User's Manual

32

RA8M2 グループ

ユーザーズマニュアル　ハードウェア編

32 ビット MCU
Renesas Advanced (RA) ファミリ
Renesas RA8 シリーズ

本資料に記載のすべての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.30　Mar 2026

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2026 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

製品間の仕様の違い

RA8M2 グループ製品には、チップバージョンに応じて以下の仕様の違いがあります。

表 1.1　チップバージョンによる仕様の違い

章		仕様の違い	
		チップバージョン A	チップバージョン B
「1. 概要」	「1.3. 型名」	製造 ID コードが 0	製造 ID コードが 1
「7. オプション設定メモリ」	「7.2.11. FSBLCTRL0 : FSBL コントロールレジスタ 0」	FSBLEN[2:0]ビットを 000b に設定することは禁止	FSBLEN[2:0]ビットを 000b に設定可能
「9. クロック発生回路」	「9.2.36. MOSCSCR : メインクロック発振器スタンバイコントロールレジスタ」	MOSCSOKP ビットを 1 に設定することは禁止	MOSCSOKP ビットを 1 に設定可能
	「9.2.37. HOCOSCR : 高速オンチップオシレータスタンバイコントロールレジスタ」	HOCOSOKP ビットを 1 に設定することは禁止	HOCOSOKP ビットを 1 に設定可能
「11. 低消費電力モード」	「11.7. 電圧スケーリング制御」	DVFS 遷移 (VSCR.VSCMTSF = 1) の際、CM85 の TCM と CM85 のキャッシュのアクセスは禁止されています。電圧スケーリング動作の前に、CCR.DC と CCR.IC を 0 に設定して I キャッシュと D キャッシュを無効にしてください。それから MSCR.DCACTIVE と MSCR.ICACTIVE を 0 に設定してそれらを停止してください。	DVFS 遷移 (VSCR.VSCMTSF = 1) の際、CM85 の TCM と CM85 のキャッシュのアクセス制限はありません。
「59. MRAM」	「59.5.43. MCUVER : MCU バージョンレジスタ」	リセット後の値は 0x1	リセット後の値は 0x2
「62. 電気的特性」	「62.2.2. I/O V_{IH}, V_{IL}」	TCK/SWCLK 1.62 V 以上 V_{IH} : Min = VCC × 0.7 V_{IL} : Max = VCC × 0.3	TCK/SWCLK 1.62 V 以上 V_{IH} : Min = VCC × 0.8 V_{IL} : Max = VCC × 0.2 ΔV_T : Min = VCC × 0.05

はじめに

1. このドキュメントについて

このマニュアルは通常、製品の概要、CPU、システム制御機能、周辺機器の機能、電気的特性、および使用上の注意事項で構成されています。このマニュアルでは、マイクロコントローラ (MCU) のスーパーセットの製品仕様について説明します。製品によっては、一部のピン、レジスタ、または機能が存在しない場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

このマニュアルは、Renesas マイクロコントローラを使用してアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路、および MCU に関する基本的な知識が求められます。

3. 関連ドキュメント

弊社では、下記のドキュメントを用意しています。これらのドキュメントを使用する際は、www.renesas.com にアクセスして、最新版を取得してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特徴、概要および MCU の電気的特性
	ユーザーズマニュアルハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などの MCU 仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドラインおよびソフトウェア移行情報
	テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	ユーザーズマニュアルソフトウェア	API リファレンスおよびプログラミング情報
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例
ツール &キット、ソリューション	ユーザーズマニュアル開発ツール	開発キット (DK) 、スタートキット (SK) 、プロモーションキット (PK) 、製品例 (PE) 、およびアプリケーション例 (AE) を含むエンベデッド・ソフトウェア・アプリケーションを開発するためのユーザーマニュアルおよびクイック・スタート・ガイド
	ユーザーズマニュアルソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例

4. 数値の表記法

このマニュアルでは、次の進数表記を使用しています。

例	内容
011b	2 進数。たとえば、3 という 2 進数に相当する値は 011b です。
0x1F	16 進数。たとえば、31 の 16 進数に相当する数値は 0x1F と記述されています。場合によっては、 16 進数の末尾に h がつくことがあります。
1234	10 進数。10 進数の後にこの記号が続くのは、混乱の可能性がある場合のみです。一般に、 10 進数はサフィックスなしで表示されます。

5. シンボルの表記法

このマニュアルでは、次の表記法が使用されています。

例	内容
AAA.BBB.CCC	機能モジュールのシンボル (AAA)、レジスタのシンボル (BBB)、およびビットフィールドのシンボル (CCC) は、ピリオドで区切られます。
AAA.BBB	機能モジュールのシンボル (AAA) とレジスタのシンボル (BBB) は、ピリオドで区切られます。
BBB.DDD	レジスタのシンボル (BBB) とビットフィールドのシンボル (DDD) は、ピリオドで区切られます。
EEE[3:0]	角カッコ内の数値はビット番号を表します。たとえば EEE[3:0] は、3〜0 ビットを占めます。

6. 単位と単位の接頭部

次の単位と単位接頭辞は誤解を招くことがあります。これらのユニットプレフィックスについては、このマニュアル全体で次の意味で説明されています。

記号	名前	内容
b	2 進数	シングル 0 または 1
B	バイト	この単位記号は、一般に MCU およびアドレス空間やメモリ容量に使用されます。
k	キロ	1000 = 10^3。k は 1024 (2^{10}) を示すためにも使用されますが、このユニットプレフィックスは本書全体で 1000 (10^3) を示すために使用されます。
K	キロ	1024 = 2^{10}。このユニットプレフィックスは、このマニュアル全体で、1000 (10^3) ではなく 1024 (2^{10}) を示すために使用されます。

7. 特殊用語

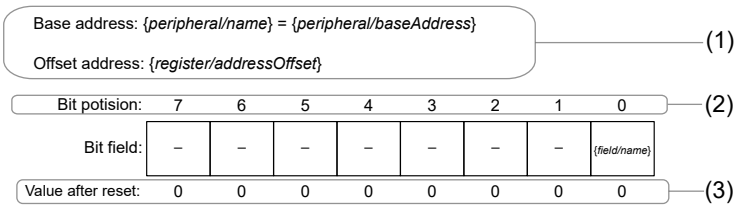
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。特に指定のない場合、この端子はフローティングにしてください。
Hi-Z	ハイインピーダンス
x	Don't care または不定

8. レジスタの説明

各章のレジスタの説明には、ビットの並びを示すレジスター配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用される記号の例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールドの定義例です。

XX.X.X {*register/name*} : {*register/description*}



(4) (5) (6)

ビット	シンボル	機能	R/W
0	{*field/name*}	{*field/description*} 0: {*enumeratedValue/description*} 1: {*enumeratedValue/description*}	{*access*}
7:1	–	読むと0が読めます。書く場合、0としてください。	R/W

(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレスの割り当て

この部分には、通常、機能モジュールのシンボル {*peripheral/name*}、レジスタのシンボル {*register/name*}、およびこのレジスタのアドレスの割り当てが記載されます。ベースアドレスとオフセットアドレスは、{*peripheral/name*} の {*register/name*} : {*register/description*} がアドレス {*peripheral/baseAddress*} + {*register/addressOffset*} に割り当てられることを意味します。

(2) ビット番号

この数字はビット番号を示します。これらのビットは、32 ビットレジスタの場合はビット 31 から 0 へ、16 ビットレジスタの場合はビット 15 から 0 へ、8 ビットレジスタの場合はビット 7 から 0 への順序で表示されます。

(3) リセット後の値

このシンボルまたは数値は、リセット後の各ビットの値を示します。特に指定がない限り、値はバイナリで表示されます。

0: リセット後の値が 0 であることを示します。

1: リセット後の値が 1 であることを示します。

x: リセット後の値が不定であることを示します。

(4) ビットシンボル

{*filed/name*} は、ビットフィールドの略名です。予約ビットの場合は、—と表記されます。

(5) 機能

機能は、ビットフィールドの正式名 {*field/description*}、および列挙された値を示します。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であるかを示します。

R/W: 読み出しも書き込みも可能。

R: 読み出しのみ可能。書き込みは無効。

W: 書き込みのみ可能。特に指定のない限り、読み出し値はリセット後の値。

9. 略語

このマニュアルで使用されている略語を次の表に示します。

略語	内容
AES	Advanced Encryption Standard（高度暗号化標準）
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHB アクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
ARC	Alleged RC（Alleged RC 暗号）
ATB	Advanced Trace Bus（アドバンストトレースバス）
BCD	Binary Coded Decimal（2 進化 10 進数）
BSDL	Boundary Scan Description Language（バウンダリスキャン記述言語）
DES	Data Encryption Standard（データ暗号化標準）
DSA	Digital Signature Algorithm（デジタル署名アルゴリズム）
ETB	Embedded Trace Buffer（エンベデッドトレースバッファ）
ETM	Embedded Trace Macrocell（エンベデッドトレースマクロセル）
FLL	Frequency Locked Loop（周波数ロックループ回路）
FPU	Floating Point Unit（浮動小数点ユニット）
HMI	Human Machine Interface（ヒューマンマシーンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
NVIC	Nested Vector Interrupt Controller（ネスト型ベクタ割り込みコントローラ）
OTP	One Time Programmable memory（ワンタイムプログラマブルメモリ）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
PLL	Phase Locked Loop（位相同期ループ回路）
POR	Power-on Reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
RSA	Rivest Shamir Adleman（リベストシャミアエーデルマン）
SHA	Secure Hash Algorithm（セキュアハッシュアルゴリズム）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
SWD	Serial Wire Debug（シリアルワイヤデバッグ）
SW-DP	Serial Wire-Debug Port（シリアルワイヤデバッグポート）
TRNG	True Random Number Generator（真性乱数生成器）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）
VCO	Voltage Controlled Oscillator（電圧制御発振器）

10. 所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード（総称してコンテンツ）は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

ARM®および Cortex®は、Arm Limited の登録商標です。CoreSight™は Arm Limited の商標です。

CoreMark®は、Embedded Microprocessor Benchmark Consortium の登録商標です。

Magic Packet™は、Advanced Micro Devices, Inc.の商標です

本書に記載されているその他のブランドおよび名称は、それぞれの所有者の商標または登録商標です。

11. 製品に関するフィードバック

この製品についてご意見やご提案がある場合は、 お問い合わせ にアクセスしてください。

目次

特長 74

1. 概要 75

1.1 機能の概要 75
1.2 ブロック図 81
1.3 型名 81
1.4 機能の比較 84
1.5 端子機能 86
1.6 ピン配置図 93
1.7 端子一覧 98

2. CPU 114

2.1 概要 114
2.1.1 CPU 114
2.1.2 デバッグ 116
2.2 ブロック図 117
2.3 実装オプション 118
2.4 トレースインタフェース 120
2.5 JTAG/SWD インタフェース 120
2.6 ブート 120
2.6.1 シングルチップモード 121
2.6.2 初期ベクタテーブルベースアドレス 121
2.7 低消費電力状態のスリープモード 121
2.7.1 スリープモード 121
2.7.2 ディープスリープモード 124
2.8 デバッグ機能 125
2.8.1 外部デバッガのコネクティビティと JTAG/SWD による認証 125
2.8.2 ソフトウェアによるデバッグ保護機構 126
2.8.3 デバッグ機能の影響 127
2.8.4 ホットプラグインデバッグ 128
2.8.5 非特権デバッグ 128
2.9 レジスタの説明 129
2.9.1 CPU コントロールレジスタ 129
2.9.2 外部デバッガのアドレス空間 137
2.9.3 CPU 周辺機能 138
2.9.4 ROM テーブル 139
2.9.5 DBGREG 143
2.9.6 OCDREG 151
2.10 CoreSight クロストリガインタフェース 158
2.11 CoreSight ATB ファネル 159

2.12 SysTick システムタイマ 160
2.13 CoreSight タイム発生器 160
2.14 OCD エミュレータ接続 160
2.14.1 OCD エミュレータ接続での制限 161
2.14.2 接続シーケンスと JTAG/SWD 認証 161
2.15 参考資料 163
2.16 CM33 キャッシュ（C キャッシュと S キャッシュ） 163
2.16.1 概要 163
2.16.2 レジスター覧 165
2.16.3 レジスタの説明 166
2.16.4 動作説明 187
2.16.5 使用上の注意事項 195
2.17 CM33 TCM (密接合メモリ) 195
2.17.1 概要 195
2.17.2 レジスター覧 197
2.17.3 レジスタの説明 198
2.17.4 動作説明 205
2.17.5 使用上の注意事項 208
3. プロセッサ間通信 (IPC) 209
3.1 概要 209
3.2 レジスタの説明 209
3.2.1 IPCSAR : IPC セキュリティ属性レジスタ 210
3.2.2 IPCPAR : IPC 特権属性レジスタ 213
3.2.3 IPCSEMn : セマフォレジスタ n (n = 0〜15) 215
3.2.4 IPC0NMISTA : プロセッサ 0 間 NMI 要求ステータスレジスタ 215
3.2.5 IPC0NMISET : プロセッサ 0 間 NMI 要求設定レジスタ 216
3.2.6 IPC0NMICLR : プロセッサ 0 間 NMI 要求クリアレジスタ 216
3.2.7 IPC1NMISTA : プロセッサ 1 間 NMI 要求ステータスレジスタ 217
3.2.8 IPC1NMISET : プロセッサ 1 間 NMI 要求設定レジスタ 217
3.2.9 IPC1NMICLR : プロセッサ間 1 NMI 要求クリアレジスタ 218
3.2.10 IPC0STA0 : プロセッサ 0 間ステータスレジスタ 0 218
3.2.11 IPC0ISET0 : プロセッサ間 0 IRQ 要求設定レジスタ 0 220
3.2.12 IPC0TXD0 : プロセッサ間 0 FIFO 転送データレジスタ 0 220
3.2.13 IPC0RXD0 : プロセッサ間 0 FIFO 受信データレジスタ 0 221
3.2.14 IPC0CLR0 : プロセッサ間 0 クリアレジスタ 0 221
3.2.15 IPC0STA1 : プロセッサ間 0 ステータスレジスタ 1 222
3.2.16 IPC0ISET1 : プロセッサ間 0 IRQ 要求設定レジスタ 1 223
3.2.17 IPC0TXD1 : プロセッサ間 0 FIFO 転送データレジスタ 1 224
3.2.18 IPC0RXD1 : プロセッサ間 0 FIFO 受信データレジスタ 1 224
3.2.19 IPC0CLR1 : プロセッサ間 0 クリアレジスタ 1 225

3.2.20 IPC1STA0 : プロセッサ間 1 ステータスレジスタ 0 226
3.2.21 IPC1ISET0 : プロセッサ間 1 IRQ 要求設定レジスタ 0 227
3.2.22 IPC1TXD0 : プロセッサ間 1 FIFO 転送データレジスタ 0 227
3.2.23 IPC1RXD0 : プロセッサ間 1 FIFO 受信データレジスタ 0 228
3.2.24 IPC1CLR0 : プロセッサ間 1 要求クリアレジスタ 0 228
3.2.25 IPC1STA1 : プロセッサ間 1 要求ステータスレジスタ 1 229
3.2.26 IPC1ISET1 : プロセッサ間 1 IRQ 要求設定レジスタ 1 231
3.2.27 IPC1TXD1 : プロセッサ間 1 FIFO 転送データレジスタ 1 231
3.2.28 IPC1RXD1 : プロセッサ間 1 FIFO 受信データレジスタ 1 232
3.2.29 IPC1CLR1 : プロセッサ間 1 クリアレジスタ 1 232
3.3 動作説明 233
3.3.1 セマフォ 233
3.3.2 プロセッサ間ノンマスカブル割り込み 234
3.3.3 プロセッサ間マスカブル割り込み 235
3.3.4 排他的制御フロー 236
3.3.5 メッセージ FIFO 237
3.3.6 IPC 割り込み 239
4. 起動モード 240
4.1 概要 240
4.2 動作モードの種類と選択 240
4.3 起動モードの詳細 240
4.3.1 シングルチップモード 240
4.3.2 JTAG ブートモード 240
4.3.3 SCI ブートモード 240
4.3.4 USB ブートモード 240
4.4 動作モード遷移 240
4.4.1 動作モードとモード遷移の関係 240
5. アドレス空間 242
5.1 アドレス空間 242
5.2 外部アドレス空間 245
5.3 周辺 I/O レジスタのアドレス空間 247
6. リセット 250
6.1 概要 250
6.2 レジスタの説明 261
6.2.1 RSTSAR : リセットセキュリティ属性レジスタ 261
6.2.2 RSTSR0 : リセットステータスレジスタ 0 262
6.2.3 RSTSR1 : リセットステータスレジスタ 1 264
6.2.4 RSTSR2 : リセットステータスレジスタ 2 267
6.2.5 RSTSR3 : リセットステータスレジスタ 3 268

6.2.6 SYRSTMSK0 : システムリセットマスクコントロールレジスタ 0 269
6.2.7 SYRSTMSK1 : システムリセットマスクコントロールレジスタ 1 269
6.2.8 SYRSTMSK2 : システムリセットマスクコントロールレジスタ 2 270
6.2.9 TEMPRCR : 温度監視リセットコントロールレジスタ 270
6.2.10 TEMPRLR : 温度監視リセットロックレジスタ 271
6.3 動作説明 271
6.3.1 RES 端子リセット 271
6.3.2 パワーオンリセット 271
6.3.3 電圧監視リセット 272
6.3.4 ディープソフトウェアスタンバイリセット 278
6.3.5 独立ウォッチドッグタイマリセット 278
6.3.6 CPU0/CPU1 ウォッチドッグタイマリセット 278
6.3.7 CPU0/CPU1 ロックアップリセット 279
6.3.8 ソフトウェアリセット 279
6.3.9 バスエラーリセット 279
6.3.10 共通メモリエラーリセット 279
6.3.11 ローカルメモリ 0／ローカルメモリ 1 エラーリセット 280
6.3.12 温度監視リセット 280
6.3.13 コールドスタート／ウォームスタート判定機能 283
6.3.14 リセット発生要因の判定 283
6.4 非セキュアプログラムからのリセット保護 284
7. オプション設定メモリ 285
7.1 概要 285
7.2 レジスタの説明 287
7.2.1 OFS0 : オプション機能選択レジスタ 0 287
7.2.2 OFS2 : オプション機能選択レジスタ 2 290
7.2.3 SAS : スタートアップ領域設定レジスタ 291
7.2.4 OFS1, OFS1_SEC : 非セキュアおよびセキュア用オプション機能選択レジスタ 1 291
7.2.5 OFS1_SEL : セキュリティ属性用オプション機能選択レジスタ 1 293
7.2.6 OFS3, OFS3_SEC : オプション機能選択レジスタ 3 294
7.2.7 OFS3_SEL : セキュリティ用オプション機能選択レジスタ 3 296
7.2.8 BPS、BPS_SEC : ブロック保護設定レジスタ 297
7.2.9 PBPS, PBPS_SEC : 永久ブロック保護設定レジスタ 297
7.2.10 永久オプション機能選択保護設定レジスタ (POFSPS) 298
7.2.11 FSBLCTRL0 : FSBL コントロールレジスタ 0 298
7.2.12 FSBLCTRL1 : FSBL コントロールレジスタ 1 299
7.2.13 FSBLCTRL2 : FSBL コントロールレジスタ 2 300
7.2.14 SACC0n : コード認証 0n の開始アドレス (n = 0～3) 300
7.2.15 SACC1n : コード認証 1n の開始アドレス (n = 0～3) 300
7.2.16 SAMR : 測定報告の開始アドレスレジスタ 301

7.2.17 REVOKE : REVOKE 有効 301
7.2.18 HOEMRTRKn : OEM_ROOT_PKn のハッシュ (n = 0〜3) 301
7.2.19 ZHUK : HUK のゼロ化の許可 302
7.2.20 ARCLS : アンチロールバックカウンタロック設定レジスタ 302
7.2.21 ARCCS : 非セキュアアプリケーション用アンチロールバックカウンタコンフィグレーション設定レジスタ 303
7.2.22 ARC_SECn : セキュアアプリケーション用アンチロールバックカウンタレジスタ n (n = 0, 1) 303
7.2.23 ARC_NSECn : 非セキュアアプリケーション用アンチロールバックカウンタレジスタ n (n = 0〜7) 304
7.2.24 ARC_OEMBLn : OEMBL 用アンチロールバックカウンタ (n = 0, 1) 304
7.2.25 GPOTPn : 汎用 OTP (n = 0〜23) 304
7.3 オプション設定メモリの設定方法 305
7.3.1 オプション設定メモリへのデータの配置方法 305
7.3.2 オプション設定メモリにプログラムするデータの設定方法 305
7.3.3 外部 MRAM オプション設定メモリのセキュリティ属性 305
7.3.4 設定値のタイミング 306
7.4 使用上の注意事項 306
7.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ 306
7.4.2 システムリセット後の FSBL 実行 306
7.4.3 FSBL スキップ機能 307
8. プログラマブル電圧検出 (PVD) 308
8.1 概要 308
8.2 レジスタの説明 310
8.2.1 PVDSAR : プログラマブル電圧検出セキュリティ属性レジスタ 310
8.2.2 PVDmCMPCR : 電圧監視 m コンパレータコントロールレジスタ (m = 1, 2) 311
8.2.3 PVDnCMPCR : 電圧監視 n コンパレータコントロールレジスタ (n = 4, 5) 312
8.2.4 PVDmCR0 : 電圧監視 m 回路コントロールレジスタ 0 (m = 1, 2) 312
8.2.5 PVDnCR0 : 電圧監視 n 回路コントロールレジスタ 0 (n = 4, 5) 314
8.2.6 PVDmCR1 : 電圧監視 m 回路コントロールレジスタ (m = 1, 2) 315
8.2.7 PVDmSR : 電圧監視 m 回路ステータスレジスタ (m = 1, 2) 315
8.2.8 PVDmFCR : 電圧監視 m 機能コントロールレジスタ (m = 1, 2) 316
8.2.9 PVDnFCR : 電圧監視 n 機能コントロールレジスタ (n = 4, 5) 317
8.2.10 PVDLR : 電圧監視ロックレジスタ 317
8.3 VCC 入力電圧の監視 318
8.3.1 V_{det0} の監視 318
8.3.2 V_{detm} の監視 318
8.4 電圧監視 0 リセット 318
8.5 電圧監視 m 割り込み、電圧監視 m リセット (m = 1, 2) 319
8.6 電圧監視 n (n = 4, 5) からのリセット 321

8.7 ELC によるリンク動作 323
8.7.1 割り込み処理とイベントリンクの関係 323
9. クロック発生回路 324
9.1 概要 324
9.2 レジスタの説明 329
9.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタ 329
9.2.2 SCKDIVCR : システムクロック分周コントロールレジスタ 333
9.2.3 SCKDIVCR2 : システムクロック分周コントロールレジスタ 2 335
9.2.4 SYRACCR : システムレジスタアクセスコントロールレジスタ 337
9.2.5 SCKSCR : システムクロックソースコントロールレジスタ 337
9.2.6 PLLCCR : PLL クロックコントロールレジスタ 338
9.2.7 PLLCCR2 : PLL クロックコントロールレジスタ 2 339
9.2.8 PLLCR : PLL コントロールレジスタ 340
9.2.9 PLL2CCR : PLL2 クロックコントロールレジスタ 341
9.2.10 PLL2CCR2 : PLL2 クロックコントロールレジスタ 2 342
9.2.11 PLL2CR : PLL2 コントロールレジスタ 343
9.2.12 BCKCR : 外部バスクロックコントロールレジスタ 344
9.2.13 MOSCCR : メインクロック発振器コントロールレジスタ 345
9.2.14 SOSCCR : サブクロック発振器コントロールレジスタ 346
9.2.15 LOCOCR : 低速オンチップオシレータコントロールレジスタ 346
9.2.16 HOCOCR : 高速オンチップオシレータコントロールレジスタ 347
9.2.17 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2 348
9.2.18 MOCOCR : 中速オンチップオシレータコントロールレジスタ 348
9.2.19 FLLCR1 : FLL コントロールレジスタ 1 349
9.2.20 FLLCR2 : FLL コントロールレジスタ 2 350
9.2.21 OSCSF : 発振安定フラグレジスタ 351
9.2.22 OSCMONR : オシレータモニタレジスタ 352
9.2.23 OSTDCR : 発振停止検出コントロールレジスタ 353
9.2.24 OSTDSR : 発振停止検出ステータスレジスタ 354
9.2.25 SOSTDCR : サブクロック発振停止検出コントロールレジスタ 355
9.2.26 SOSTDSR : サブクロック発振停止検出ステータスレジスタ 356
9.2.27 MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ 356
9.2.28 MOMCR : メインクロック発振器モード発振コントロールレジスタ 357
9.2.29 SOMCR : サブクロック発振器モードコントロールレジスタ 358
9.2.30 CKOCR : クロックアウトコントロールレジスタ 358
9.2.31 EBCKOCR : 外部バスクロック出力コントロールレジスタ 359
9.2.32 SDCKOCR : SDRAM クロック出力コントロールレジスタ 360
9.2.33 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ 360
9.2.34 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ 361
9.2.35 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ 361

9.2.36 MOSCSCR : メインクロック発振器スタンバイコントロールレジスタ 362
9.2.37 HOCOSCR : 高速オンチップオシレータスタンバイコントロールレジスタ 362
9.2.38 MOCOSCR : 中速オンチップオシレータスタンバイコントロールレジスタ 363
9.2.39 USBCKDIVCR : USB クロック分周コントロールレジスタ 363
9.2.40 OCTACKDIVCR : Octal-SPI クロック分周コントロールレジスタ 364
9.2.41 CANFDCKDIVCR : CANFD コアクロック分周コントロールレジスタ 364
9.2.42 USB60CKDIVCR : USB60 クロック分周コントロールレジスタ 365
9.2.43 I3CCKDIVCR : I3C クロック分周コントロールレジスタ 366
9.2.44 USBCKCR : USB クロックコントロールレジスタ 366
9.2.45 OCTACKCR : Octal-SPI クロックコントロールレジスタ 367
9.2.46 CANFDCKCR : CANFD コアクロックコントロールレジスタ 369
9.2.47 USB60CKCR : USB60 クロックコントロールレジスタ 370
9.2.48 I3CCKCR : I3C クロックコントロールレジスタ 371
9.2.49 SCICKDIVCR : SCI クロック分周コントロールレジスタ 372
9.2.50 SPICKDIVCR : SPI クロック分周コントロールレジスタ 373
9.2.51 ADCCKDIVCR : ADC クロック分周コントロールレジスタ 374
9.2.52 GPTCKDIVCR : GPT クロック分周コントロールレジスタ 374
9.2.53 SCICKCR : SCI クロックコントロールレジスタ 375
9.2.54 SPICKCR : SPI クロックコントロールレジスタ 376
9.2.55 ADCCKCR : ADC クロックコントロールレジスタ 377
9.2.56 GPTCKCR : GPT クロックコントロールレジスタ 379
9.2.57 TRCKCR : トレースクロックコントロールレジスタ 380
9.2.58 BCKADIVCR : 非同期外部バスクロック分周コントロールレジスタ 381
9.2.59 ESWCKDIVCR : EtherSW クロック分周コントロールレジスタ 382
9.2.60 ESWPCKDIVCR : EtherSW-PHY クロック分周コントロールレジスタ 382
9.2.61 ETHPCKDIVCR : Ether-PHY クロック分周コントロールレジスタ 383
9.2.62 BCKACR : 非同期外部バスクロックコントロールレジスタ 384
9.2.63 ESWCKCR : EtherSW クロックコントロールレジスタ 385
9.2.64 ESWPCKCR : EtherSW-PHY クロックコントロールレジスタ 386
9.2.65 ETHPCKCR : Ether-PHY クロックコントロールレジスタ 387
9.2.66 USBCKSELR : USB クロック選択レジスタ 389
9.3 メインクロック発振器 389
9.3.1 発振子を接続する方法 389
9.3.2 外部クロックを入力する方法 390
9.3.3 外部クロック入力に関する注意事項 390
9.3.4 ソフトウェアスタンバイモードでの発振保持の注意事項 390
9.4 サブクロック発振器 391
9.4.1 32.768 kHz 水晶振動子を接続する方法 391
9.4.2 外部クロックを入力する方法 391
9.5 低速オンチップオシレータ (LOCO) 392

9.5.1 LOCO 動作条件 392
9.5.2 LOCO 停止条件 392
9.5.3 LOCO の動作および停止に関する制限 392
9.6 中速オンチップオシレータ (MOCO) 393
9.6.1 MOCO 動作条件 393
9.6.2 MOCO 停止条件 393
9.6.3 MOCO の動作および停止に関する制限 394
9.7 高速オンチップオシレータ (HOCO) 395
9.7.1 周波数ロックループ機能 395
9.7.2 ソフトウェアスタンバイモードでの発振保持の注意事項 395
9.7.3 TRACE クロックソースの注意事項 395
9.8 PLL 回路 396
9.9 発振停止検出機能 397
9.9.1 発振停止検出と検出後の動作 397
9.9.2 発振停止検出割り込み 399
9.9.3 サブクロック発振停止検出と検出後の動作 400
9.9.4 サブクロック発振停止検出割り込み 403
9.10 内部クロック 403
9.10.1 CPU0 クロック (CPUCLK0) 404
9.10.2 CPU1 クロック (CPUCLK1) 404
9.10.3 MRAM コードバスクロック (MRICLK) 404
9.10.4 MRAM 周辺バスクロック (MRPCLK) 405
9.10.5 システムクロック (ICLK) 405
9.10.6 デバッガクロック (DCLK) 406
9.10.7 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE) 406
9.10.8 外部バスクロック（BCLK、EBCLK） 407
9.10.9 SDRAM クロック (SDCLK) 407
9.10.10 トレースクロック (TRCLK) 407
9.10.11 SCI クロック (SCICLK) 407
9.10.12 SPI クロック (SPICLK) 408
9.10.13 Octal-SPI クロック (OCTACLK, OCTADIVCLK) 408
9.10.14 CANFD コアクロック (CANFDCLK) 409
9.10.15 USB クロック (USBCLK) 409
9.10.16 USB クロック (USB60CLK) 409
9.10.17 USBHS の MOSC クロック (USBMCLK) 410
9.10.18 ADC クロック (ADCCLK) 410
9.10.19 GPT クロック (GPTCLK) 410
9.10.20 I3C クロック (I3CCLK) 411
9.10.21 非同期外部バスクロック (BCLKA) 411
9.10.22 EtherSW クロック (ESWCLK) 411

9.10.23 EtherSW-PHY クロック (ESWPHYCLK) 412
9.10.24 Ether-PHY クロック (ETHPHYCLK) 412
9.10.25 CAN クロック (CANMCLK) 412
9.10.26 ULPT クロック（ULPTLCLK、ULPTSCLK） 413
9.10.27 CAC クロック (CACCLK) 413
9.10.28 RTC クロック（RTCSCLK、RTCLCLK） 413
9.10.29 IWDT クロック (IWDTCLK) 413
9.10.30 AGT クロック (AGTSCLK, AGTLCLK) 413
9.10.31 PDMIF クロック (PDMIFCLK) 413
9.10.32 SysTick タイマクロック (SYSTICKCLK) 413
9.10.33 外部端子出力クロック (CLKOUT) 413
9.10.34 JTAG クロック 413
9.11 クロックの設定 414
9.11.1 システムクロックの設定 414
9.11.2 周辺モジュール専用クロックの設定 417
9.11.3 メインクロック発振器設定 419
9.11.4 サブクロック発振器設定 419
9.11.5 高速オンチップオシレータの設定 420
9.11.6 PLL の設定 421
9.12 使用上の注意 423
9.12.1 クロック発生回路に関する注意事項 423
9.12.2 発振子に関する制限 424
9.12.3 ボード設計に関する注意事項 424
9.12.4 発振子接続端子に関する注意事項 424
9.12.5 サブクロック発振器使用時の注意事項 424
9.12.6 SOSC および LOCO のリセット条件に関する注意事項 425
10. クロック周波数精度測定回路 (CAC) 426
10.1 概要 426
10.2 レジスタの説明 427
10.2.1 CACR0 : CAC コントロールレジスタ 0 427
10.2.2 CACR1 : CAC コントロールレジスタ 1 428
10.2.3 CACR2 : CAC コントロールレジスタ 2 429
10.2.4 CAICR : CAC 割り込み要求許可レジスタ 430
10.2.5 CASTR : CAC ステータスレジスタ 431
10.2.6 CAULVR : CAC 上限値設定レジスタ 432
10.2.7 CALLVR : CAC 下限値設定レジスタ 432
10.2.8 CACNTBR : CAC カウンタバッファレジスタ 432
10.3 動作説明 433
10.3.1 クロック周波数測定 433
10.3.2 CACREF 端子のデジタルフィルタ機能 434

10.4 割り込み要求 434
10.5 使用上の注意事項 434
10.5.1 モジュールストップ機能の設定 434
11. 低消費電力モード 435
11.1 概要 435
11.2 レジスタの説明 441
11.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタ 441
11.2.2 PGCSAR : パワーゲーティング制御セキュリティ属性レジスタ 443
11.2.3 DPFSAR : ディープソフトウェアスタンバイ割り込み要因セキュリティ属性レジスタ 444
11.2.4 DPFSAR1 : ディープソフトウェアスタンバイ割り込み要因セキュリティ属性レジスタ 1447
11.2.5 RSCSAR : RAM スタンバイコントロールセキュリティ属性レジスタ 448
11.2.6 MSTPCRA : モジュールストップコントロールレジスタ A 448
11.2.7 MSTPCRB : モジュールストップコントロールレジスタ B 449
11.2.8 MSTPCRC : モジュールストップコントロールレジスタ C 451
11.2.9 MSTPCRD : モジュールストップコントロールレジスタ D 453
11.2.10 MSTPCRE : モジュールストップコントロールレジスタ E 455
11.2.11 OPCCR : 動作電力コントロールレジスタ 456
11.2.12 PGSCR: パワーゲーティングシフトコントロールレジスタ 456
11.2.13 PSSTCRn : 電源スイッチ制御開始時間コントロールレジスタ n (n = 2～5) 457
11.2.14 PDCTRESWM : ESWM 電源ドメインコントロールレジスタ 457
11.2.15 PDRAMSCR0 : SRAM 電源ドメインスタンバイコントロールレジスタ 0 458
11.2.16 PDRAMSCR1 : SRAM 電源ドメインスタンバイコントロールレジスタ 1 459
11.2.17 SBYCR : スタンバイコントロールレジスタ 460
11.2.18 SSCR1 : ソフトウェアスタンバイコントロールレジスタ 1 461
11.2.19 LPSCR : 低消費電力状態コントロールレジスタ 461
11.2.20 DPSBYCR : ディープソフトウェアスタンバイコントロールレジスタ 462
11.2.21 DPSIER0 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0 463
11.2.22 DPSIER1 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1 464
11.2.23 DPSIER2 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2 465
11.2.24 DPSIER3 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 3 466
11.2.25 DPSIER4 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 4 466
11.2.26 DPSIER5 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 5 467
11.2.27 DPSIFR0 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 0 468
11.2.28 DPSIFR1 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 1 469
11.2.29 DPSIFR2 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 2 470
11.2.30 DPSIFR3 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 3 472
11.2.31 DPSIFR4 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 4 474
11.2.32 DPSIFR5 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 5 475
11.2.33 DPSIEGR0 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 0 476
11.2.34 DPSIEGR1 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 1 476

11.2.35 DPSIEGR2 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 2 477
11.2.36 DPSIEGR3 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 3 478
11.2.37 DPSIEGR4 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 4 478
11.2.38 SYOCDCR : システムコントロール OCD コントロールレジスタ 479
11.2.39 PLL1LDOCR : PLL1-LDO コントロールレジスタ 480
11.2.40 PLL2LDOCR : PLL2-LDO コントロールレジスタ 480
11.2.41 HOCOLDOCR : HOCO-LDO コントロールレジスタ 481
11.2.42 VSCR : 電圧スケーリング制御レジスタ 482
11.2.43 SVSCR : SSTBY 電圧スケーリング制御レジスタ 482
11.2.44 CPUDSCR : CPU ディープスリープコントロールレジスタ 483
11.3 クロック信号の切り替えによる消費電力の低減 484
11.4 モジュールストップ機能 484
11.5 パワーゲーティング制御 485
11.5.1 電源ドメインコントロールレジスタを使用したパワーゲーティング制御 486
11.6 低消費電力モード 486
11.6.1 CPU スリープモードおよび CPU ディープスリープモード 486
11.6.2 ソフトウェアスタンバイモード 487
11.6.3 ディープソフトウェアスタンバイモード 490
11.7 電圧スケーリング制御 494
11.8 使用上の注意事項 496
11.8.1 レジスタアクセス 496
11.8.2 I/O ポートの状態 497
11.8.3 DMAC と DTC のモジュールストップ状態 497
11.8.4 内部割り込み要因 497
11.8.5 DIRQnE ビットによる入力バッファ制御 498
11.8.6 低消費電力モードへの遷移 498
11.8.7 WFI 命令のタイミング 498
11.8.8 DMAC または DTC による WDT/IWDT レジスタ書き込み 498
11.8.9 モジュールストップビット書き込みタイミング 498
11.8.10 低消費電力状態への遷移とその解除に関する注意事項 498
11.8.11 WFE 命令または Sleep-on-exit 機能の注意事項 502
12. バッテリバックアップ機能 503
12.1 概要 503
12.1.1 バッテリバックアップ機能のブロック図 503
12.1.2 バッテリバックアップ機能 504
12.1.3 バッテリ電源スイッチ 505
12.1.4 VBATT_R 電圧降下検出機能 505
12.1.5 バックアップレジスタ 505
12.1.6 時間キャプチャ機能 505
12.1.7 改ざん検出機能 505

12.1.8 VBATT 電圧監視機能 505
12.2 レジスタの説明 506
12.2.1 BBFSAR : バッテリバックアップ機能セキュリティ属性レジスタ 506
12.2.2 VBRSABAR : VBATT バックアップレジスタセキュリティ属性バウンダリアドレスレジスタ 507
12.2.3 VBRPABARS : セキュア領域用 VBATT バックアップレジスタプリビレッジ属性バウンダリアドレスレジスタ 507
12.2.4 VBRPABARNS : 非セキュア領域用 VBATT バックアップレジスタプリビレッジ属性バウンダリアドレスレジスタ 508
12.2.5 VBATTMNSELR : バッテリバックアップ電圧監視機能選択レジスタ 509
12.2.6 VBTBER : VBATT バックアップイネーブルレジスタ 509
12.2.7 VBTBKRn : VBATT バックアップレジスタ (n = 0〜127) 510
12.2.8 VBTICTLR : VBATT 入力コントロールレジスタ 510
12.2.9 VBTICTLR2 : VBATT 入力コントロールレジスタ 2 511
12.2.10 VBTIMONR : VBATT 入力監視レジスタ 512
12.2.11 VBTBPCR1 : VBATT バッテリ電源コントロールレジスタ 1 512
12.2.12 VBTBPCR2 : VBATT バッテリ電源コントロールレジスタ 2 513
12.2.13 VBTBPSR : VBATT バッテリ電源ステータスレジスタ 514
12.2.14 VBTADSR : VBATT 改ざん検出ステータスレジスタ 514
12.2.15 VBTADCR1 : VBATT 改ざん検出コントロールレジスタ 1 515
12.2.16 VBTADCR2 : VBATT 改ざん検出コントロールレジスタ 2 516
12.2.17 VBTADCR3 : VBATT 改ざん検出コントロールレジスタ 3 516
12.2.18 VBTNCWCR : VBATT ノイズ除去幅コントロールレジスタ 517
12.3 動作説明 517
12.3.1 バッテリバックアップ機能 517
12.3.2 VBATT バッテリ電源スイッチの使用方法 519
12.3.3 VBATT_R 電圧降下検出機能の使用方法 520
12.3.4 VBATT バックアップレジスタの使用方法 520
12.3.5 改ざん検出機能の使用方法 520
12.3.6 VBATT 電圧監視機能の使用方法 522
12.3.7 初期設定例 522
12.4 割り込み要因 523
12.5 使用上の注意事項 523
13. レジスタライトプロテクション機能 525
13.1 概要 525
13.2 レジスタの説明 525
13.2.1 PRCR_S : セキュア用プロテクトレジスタ 526
13.2.2 PRCR_NS : 非セキュア用プロテクトレジスタ 527
14. 割り込みコントローラユニット (ICU) 529
14.1 概要 529

14.2 レジスタの説明 531
14.2.1 ICUSARA : 割り込みコントローラセキュリティ属性レジスタ A 532
14.2.2 ICUSARB : 割り込みコントローラセキュリティ属性レジスタ B 533
14.2.3 ICUSARE : 割り込みコントローラセキュリティ属性レジスタ E 534
14.2.4 ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F 535
14.2.5 ICUSARG : 割り込みコントローラセキュリティ属性レジスタ G 536
14.2.6 ICUSARH : 割り込みコントローラセキュリティ属性レジスタ H 537
14.2.7 ICUSARI : 割り込みコントローラセキュリティ属性レジスタ I 537
14.2.8 ICUSARJ : 割り込みコントローラユニットセキュリティ属性レジスタ J 538
14.2.9 ICUSARK : 割り込みコントローラユニットセキュリティ属性レジスタ K 538
14.2.10 ICUSARL : 割り込みコントローラユニットセキュリティ属性レジスタ L 539
14.2.11 TEVTRCR : トラストイベントルートコントロールレジスタ 540
14.2.12 IRQCRi : IRQ コントロールレジスタ (i = 0〜31) 541
14.2.13 NMISR : ノンマスカブル割り込みステータスレジスタ 542
14.2.14 NMIER : ノンマスカブル割り込みイネーブルレジスタ 547
14.2.15 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ 550
14.2.16 NMICR : NMI 端子割り込みコントロールレジスタ 552
14.2.17 IELSRn : 割り込みコントローラユニットイベントリンク設定レジスタ n (n = 0〜95) 553
14.2.18 DELSRm : DMAC イベントリンク設定レジスタ m (m = 0〜7) 555
14.2.19 WUPEN0 : ウェイクアップ割り込みイネーブルレジスタ 0 557
14.2.20 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1 559
14.2.21 DSLPWUPIRQENj : ディープスリープウェイクアップ IRQ 許可レジスタ (j = 0〜2) 561
14.2.22 INTSELRp : 割り込み要求選択レジスタ (p = 0〜31) 561
14.3 ベクタテーブル 562
14.3.1 割り込みベクタテーブル 562
14.3.2 イベント番号 565
14.4 マスカブル割り込みの動作 579
14.4.1 割り込み検出選択 579
14.4.2 割り込みの検出 579
14.5 マスカブル割り込みの設定手順 579
14.5.1 割り込み中の動作 579
14.5.2 割り込み要求の許可 580
14.5.3 割り込み要求の禁止 580
14.5.4 割り込みのポーリング 580
14.5.5 割り込み要求先の選択 580
14.5.6 デジタルフィルタ 582
14.5.7 外部端子割り込みの設定手順 583
14.6 ノンマスカブル割り込みの動作 583
14.6.1 NMI による TrustZone-M との対応関係 584
14.7 プロセッサ間通信 585

14.8 セキュリティ 585
14.8.1 CPU 割り込み入力関連セキュリティ 585
14.8.2 トラスト割り込み管理 586
14.8.3 トラスト IELSR の設定手順 587
14.9 低消費電力モードからの復帰 588
14.9.1 CPU スリープモードからの復帰 588
14.9.2 CPU ディープスリープモードからの復帰 589
14.9.3 ソフトウェアスタンバイモードからの復帰 589
14.10 ノンマスカブル割り込みとともに WFI 命令を使用する場合 590
14.11 参考資料 590
15. バス 591
15.1 概要 591
15.2 バスの説明 595
15.2.1 アービトレーション 595
15.2.2 外部バス 595
15.2.3 並列動作 598
15.2.4 バスの設定 598
15.2.5 制約事項 598
15.3 レジスタの説明 599
15.3.1 BUSSARA : バスセキュリティ属性レジスタ A 599
15.3.2 BUSSARB : バスセキュリティ属性レジスタ B 600
15.3.3 BUSSARC : バスセキュリティ属性レジスタ C 601
15.3.4 BUSPARC : バス特権属性レジスタ C 602
15.3.5 CSnCR : CSn コントロールレジスタ (n = 0〜7) 603
15.3.6 CSnREC : CSn リカバリサイクル設定レジスタ (n = 0〜7) 604
15.3.7 CSRECEN : CS リカバリサイクル挿入イネーブル レジスタ 605
15.3.8 CSnMOD : CSn モードレジスタ (n = 0〜7) 607
15.3.9 CSnWCR1 : CSn ウェイトコントロールレジスタ 1 (n = 0〜7) 609
15.3.10 CSnWCR2 : CSn ウェイトコントロールレジスタ 2 (n = 0〜7) 610
15.3.11 SDCCR : SDC コントロールレジスタ 613
15.3.12 SDCMOD : SDC モードレジスタ 614
15.3.13 SDAMOD : SDRAM アクセスモードレジスタ 615
15.3.14 SDSELF : SDRAM セルフリフレッシュコントロール レジスタ 615
15.3.15 SDRFCR : SDRAM リフレッシュコントロールレジスタ 616
15.3.16 SDRFEN : SDRAM オートリフレッシュコントロール レジスタ 617
15.3.17 SDICR : SDRAM 初期化シーケンスコントロール レジスタ 617
15.3.18 SDIR : SDRAM 初期化レジスタ 618
15.3.19 SDADR : SDRAM アドレスレジスタ 619
15.3.20 SDTR : SDRAM タイミングレジスタ 619
15.3.21 SDMOD : SDRAM モードレジスタ 621

15.3.22 SDSR : SDRAM 状態レジスタ 621
15.3.23 BUSSABT0<スレーブ> : バススレーブアービトレーションコントロールレジスタ 0 622
15.3.24 BUSSABT1MRC0BI : バススレーブアービトレーションコントロールレジスタ 1 624
15.3.25 BUSERRSTAT ＜マスタ名＞ : BUS エラーステータスレジスタ 625
15.3.26 BUSERRCLR ＜マスタ名＞ : BUS エラークリアレジスタ 626
15.3.27 BUSOAD : 検出後のバス動作レジスタ 627
15.3.28 BUSOADPT : 検出後のバス動作プロテクトレジスタ 628
15.3.29 MBWERRSTAT : マスタバッファラブル書き込みエラーステータスレジスタ 628
15.3.30 MBWERRCLR : マスタバッファラブル書き込みエラークリアレジスタ 630
15.3.31 BUSIRQEN ＜マスタ名＞ : BUS エラー割り込み許可レジスタ 630
15.4 エンディアンとデータアライメント 631
15.4.1 CS 領域のデータアライメント制御 631
15.4.2 SDRAM 領域のデータアライメント制御 636
15.5 CS 領域コントローラの動作説明 642
15.5.1 セパレートバス 642
15.5.2 アドレス／データマルチプレクスバス 656
15.5.3 外部ウェイト機能 659
15.5.4 リカバリサイクルの挿入 662
15.5.5 非アクセス時の状態 665
15.5.6 制約事項 665
15.6 SDRAM 領域コントローラの動作説明 666
15.6.1 SDRAM アクセスの許可／禁止、SDRAM バス幅の設定 667
15.6.2 非アクセス時の状態 667
15.6.3 リカバリサイクルの挿入 667
15.6.4 SDRAM コマンド 667
15.6.5 SDRAMC レジスタの設定条件 668
15.6.6 セルフリフレッシュ 668
15.6.7 オートリフレッシュ 670
15.6.8 初期化シーケンサ 672
15.6.9 モードレジスタの設定 672
15.6.10 リード／ライトアクセス 672
15.6.11 SDRAMC の設定例 674
15.6.12 アドレスマルチプレクス 684
15.6.13 SDRAM 接続例 686
15.6.14 制限事項 693
15.7 バスエラー監視部 693
15.7.1 バスエラーの種類 693
15.7.2 バスエラー発生時の動作 693
15.7.3 不正アドレスアクセスエラーを引き起こす条件 696
15.7.4 タイムアウト 699

15.8 参考資料 699
16. メモリプロテクションユニット (MPU) 701
16.1 概要 701
16.2 Arm MPU 701
16.3 バスマスタ MPU 701
16.3.1 レジスタの説明 702
16.3.2 動作説明 718
16.4 参考資料 722
17. DMA コントローラ (DMAC) 723
17.1 概要 723
17.2 レジスタの説明 724
17.2.1 DMACCHSAR : DMA チャネルセキュリティ属性レジスタ 724
17.2.2 DMACCHPAR : DMA チャネル特権属性レジスタ 726
17.2.3 DMACSAR : DMAC コントローラセキュリティ属性レジスタ 728
17.2.4 DMSAR : DMA 転送元アドレスレジスタ 728
17.2.5 DMSRR : DMA 転送元リロードアドレスレジスタ 729
17.2.6 DMDAR : DMA 転送先アドレスレジスタ 729
17.2.7 DMDRR : DMA 転送先リロードアドレスレジスタ 730
17.2.8 DMCRA : DMA 転送カウントレジスタ 730
17.2.9 DMCRB : DMA ブロック転送カウントレジスタ 732
17.2.10 DMTMD : DMA 転送モードレジスタ 732
17.2.11 DMINT : DMA 割り込み設定レジスタ 733
17.2.12 DMAMD : DMA アドレスモードレジスタ 735
17.2.13 DMOFR : DMA オフセットレジスタ 737
17.2.14 DMCNT : DMA 転送イネーブルレジスタ 738
17.2.15 DMREQ : DMA ソフトウェア起動レジスタ 739
17.2.16 DMSTS : DMA ステータスレジスタ 740
17.2.17 DMSBS : DMA 転送元バッファサイズレジスタ 741
17.2.18 DMDBS : DMA 転送先バッファサイズレジスタ 742
17.2.19 DMBWR : DMA バッファラブル書き込みイネーブルレジスタ 743
17.2.20 DMAST : DMAC モジュール起動レジスタ 744
17.2.21 DMECHR : DMAC エラーチャネルレジスタ 744
17.2.22 DMCTL : DMAC コントロールレジスタ 746
17.3 動作説明 746
17.3.1 転送モード 746
17.3.2 拡張リピート領域機能 755
17.3.3 フリーランニング機能 756
17.3.4 オフセットを使用したアドレス更新機能 757
17.3.5 リピートブロック転送モードにおけるアドレス更新機能 761

17.3.6 リピートブロック転送モードの使用例 763
17.3.7 起動要因 765
17.3.8 動作タイミング 766
17.3.9 DMAC の起動 767
17.3.10 DMA 転送の開始 768
17.3.11 DMA 転送中のレジスタ 769
17.3.12 チャネル優先順位 770
17.3.13 チャネルセキュリティ 770
17.3.14 チャネルプリビレッジ 770
17.4 DMA 転送の終了 771
17.4.1 設定した総転送回数完了による転送終了 771
17.4.2 リピートサイズ終了割り込みによる転送終了 771
17.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了 772
17.5 DMA 転送エラーの処理 772
17.6 割り込み 772
17.6.1 転送終了割り込み 772
17.6.2 転送エラー割り込み 774
17.7 イベントリンク 775
17.8 低消費電力機能 775
17.9 使用上の注意事項 775
17.9.1 DMA 書き込みアクセスへのバスの応答 775
17.9.2 DMA 転送中のレジスタアクセスについて 775
17.9.3 予約領域への DMA 転送について 776
17.9.4 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (ICU.DELSRn) の設定 776
17.9.5 DMAC 起動の保留／再開に関する注意事項 776
17.9.6 DMA 転送再開時の注意事項 776
18. データトランスファコントローラ (DTC) 777
18.1 概要 777
18.2 レジスタの説明 778
18.2.1 DTCSAR : DTC コントローラセキュリティ属性レジスタ 778
18.2.2 MRA : DTC モードレジスタ A 779
18.2.3 MRB : DTC モードレジスタ B 780
18.2.4 MRC : DTC モードレジスタ C 782
18.2.5 SAR : DTC 転送元レジスタ 782
18.2.6 DAR : DTC 転送先レジスタ 783
18.2.7 CRA : DTC 転送カウントレジスタ A 783
18.2.8 CRB : DTC 転送カウントレジスタ B 784
18.2.9 DTCCR : DTC コントロールレジスタ 784
18.2.10 DTCCR_SEC : DTC コントロールレジスタ（セキュア領域） 785

18.2.11 DTCVBR : DTC ベクタベースアドレス 785
18.2.12 DTCVBR_SEC : DTC ベクタベースレジスタ（セキュア領域） 786
18.2.13 DTCST : DTC モジュール起動レジスタ 786
18.2.14 DTCSTS : DTC ステータスレジスタ 787
18.2.15 DTCDISP : DTC アドレスずらし値レジスタ 787
18.2.16 DTEVR : DTC エラーベクタレジスタ 788
18.3 起動要因 789
18.3.1 転送情報の配置と DTC ベクタテーブル 789
18.4 動作説明 792
18.4.1 転送情報のリードスキップ機能 795
18.4.2 転送情報のライトバックスキップ機能 795
18.4.3 ノーマル転送モード 796
18.4.4 リピート転送モード 797
18.4.5 ブロック転送モード 798
18.4.6 チェーン転送 799
18.4.7 動作タイミング 800
18.4.8 ベクタセキュリティ 802
18.4.9 ベクタプリビレッジ 803
18.5 DTC の設定手順 803
18.6 DTC の使用例 804
18.6.1 ノーマル転送 804
18.6.2 チェーン転送 804
18.6.3 転送カウンタ = 0 のときのチェーン転送 806
18.7 DTC 転送エラーにおける処理 807
18.8 割り込み 808
18.8.1 転送終了割り込み要求 808
18.8.2 転送エラーの割り込み要求 808
18.9 イベントリンク 808
18.10 低消費電力機能 808
18.11 使用上の注意 809
18.11.1 転送情報の開始アドレス 809
18.11.2 転送情報の配置 809
18.11.3 DTC 書き込みアクセスへのバスの応答 809
19. イベントリンクコントローラ (ELC) 810
19.1 概要 810
19.2 レジスタの説明 812
19.2.1 ELCR : イベントリンクコントローラレジスタ 812
19.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0～3) 812
19.2.3 ELSRn : イベントリンク設定レジスタ n (n = 0～52) 813
19.2.4 ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A 823

19.2.5 ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B 824
19.2.6 ELCSARC : イベントリンクコントローラセキュリティ属性レジスタ C 825
19.2.7 ELCPARA : イベントリンクコントローラプリビレッジ属性レジスタ A 825
19.2.8 ELCPARB : イベントリンクコントローラプリビレッジ属性レジスタ B 826
19.2.9 ELCPARC : イベントリンクコントローラ特権属性レジスタ C 827
19.3 動作説明 827
19.3.1 割り込み処理とイベントリンクの関係 827
19.3.2 イベントのリンク 827
19.3.3 イベントリンクの手順例 828
19.4 使用上の注意事項 828
19.4.1 DMAC/DTC 転送終了のイベントリンク 828
19.4.2 クロックの設定 828
19.4.3 モジュールストップ機能の設定 828
19.4.4 ELC 遅延時間 828
20. I/O ポート 830
20.1 概要 830
20.2 レジスタの説明 832
20.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1 832
20.2.2 PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2 833
20.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3 834
20.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4 835
20.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0〜9, A, B, C, D, n = 00〜15) 836
20.2.6 PWPR_NS : 非セキュア用ライトプロテクトレジスタ 838
20.2.7 PFENET : イーサネットコントロールレジスタ 838
20.2.8 PWPR_S : セキュア用ライトプロテクトレジスタ 839
20.2.9 PmSAR : ポートセキュリティ属性レジスタ (m = 0〜9, A, B, C, D) 840
20.2.10 LVOCR : 低電圧動作コントロールレジスタ 840
20.3 動作 841
20.3.1 汎用入出力ポート 841
20.3.2 ポート機能選択 841
20.3.3 ELC のポートグループ機能 841
20.4 未使用端子の処理 843
20.5 使用上の注意 844
20.5.1 端子機能の設定手順 844
20.5.2 ポートグループ入力の使用手順 845
20.5.3 ポート出力データレジスタ (PODR) の概要 845
20.5.4 アナログ機能使用時の注意事項 845
20.5.5 入出力バッファの仕様 845
20.5.6 USB_DP 端子と USB_DM 端子の選択 846

20.5.7 USBFS/GPIO 機能における P814 と P815 のプルアップ／プルダウン設定 847
20.5.8 P215 および P214 使用時の注意事項 847
20.5.9 BGA169 パッケージにおける予約端子の処理 847
20.6 製品ごとの周辺選択設定 847
21. GPT 用のポートアウトプットイネーブル (POEG) 863
21.1 概要 863
21.2 レジスタの説明 864
21.2.1 POEGGn : POEG グループ n 設定レジスタ (n = A～D) 864
21.3 出力禁止制御の動作 866
21.3.1 端子入力レベル検出時の動作 866
21.3.2 GPT からの出力禁止要求 867
21.3.3 コンパレータ割り込みの検出 867
21.3.4 発振停止検出による出力禁止制御 867
21.3.5 レジスタによる出力禁止制御 867
21.3.6 出力禁止状態の解除 867
21.4 割り込み要因 868
21.5 GPT に対する外部トリガ出力 869
21.6 使用上の注意 869
21.6.1 ソフトウェアスタンバイモードへの遷移 869
21.6.2 GPT 対応端子の指定 869
22. 汎用 PWM タイマ (GPT) 870
22.1 概要 870
22.2 レジスタの説明 876
22.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ 876
22.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ 878
22.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ 879
22.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ 879
22.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ 880
22.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ 884
22.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ 887
22.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ 891
22.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ 895
22.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A 899
22.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B 902
22.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ 906
22.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ 909
22.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ 912
22.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ 917
22.2.16 GTST : 汎用 PWM タイマステータスレジスタ 920

22.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ 926
22.2.18 GTITC : 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ 929
22.2.19 GTCNT : 汎用 PWM タイマカウンタ 931
22.2.20 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k (k = A～F) 932
22.2.21 GTPR : 汎用 PWM タイマ周期設定レジスタ 932
22.2.22 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ 932
22.2.23 GTPDBR : 汎用 PWM タイマ周期設定ダブルバッファレジスタ 933
22.2.24 GTADTRk : A/D 変換開始要求タイミングレジスタ k (k = A, B) 933
22.2.25 GTADTBRk : A/D 変換開始要求タイミングバッファレジスタ k (k = A, B) 933
22.2.26 GTADTDBRk : A/D 変換開始要求タイミングダブルバッファレジスタ k (k = A, B) 934
22.2.27 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ 934
22.2.28 GTDVk : 汎用 PWM タイマデッドタイム値レジスタ k (k = U, D) 935
22.2.29 GTDBk : 汎用 PWM タイマデッドタイムバッファレジスタ k (k = U, D) 936
22.2.30 GTSOS : 汎用 PWM タイマ出力保護機能ステータスレジスタ 936
22.2.31 GTSOTR : 汎用 PWM タイマ出力保護機能一時解除レジスタ 937
22.2.32 GTADSMR : 汎用 PWM タイマ A/D 変換開始要求信号監視レジスタ 938
22.2.33 GTEITC : 汎用 PWM タイマ拡張割り込み間引きカウンタコントロールレジスタ 939
22.2.34 GTEITLI1 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1 941
22.2.35 GTEITLI2 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2 942
22.2.36 GTEITLB : 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ 944
22.2.37 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ 946
22.2.38 GTPC : 汎用 PWM タイマ周期カウントレジスタ 947
22.2.39 GTADCMSC : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引きコントロールレジスタ 948
22.2.40 GTADCMSS : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き設定レジスタ 950
22.2.41 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ 952
22.2.42 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ 953
22.2.43 GTBER2 : 汎用 PWM タイマバッファイネーブルレジスタ 2 956
22.2.44 GTOLBR : 汎用 PWM タイマ出力レベルバッファレジスタ 961
22.2.45 GTICCR : 汎用 PWM タイマのチャネル間連携インプットキャプチャコントロールレジスタ 961
22.2.46 OPSCR : 出力相切り替えコントロールレジスタ 965
22.2.47 GTCLKCR : 汎用 PWM タイマクロックコントロールレジスタ 968
22.3 動作説明 968
22.3.1 基本動作 968
22.3.2 バッファ動作 979
22.3.3 PWM 出力動作モード 997
22.3.4 デッドタイム自動設定機能 1049
22.3.5 カウント方向切り替え機能 1054
22.3.6 出力デューティー 0%および出力デューティー 100%機能 1054
22.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作 1056

22.3.8 同期動作 1062
22.3.9 PWM 出力動作例 1071
22.3.10 周期計数機能 1077
22.3.11 位相計数機能 1078
22.3.12 外部パルス幅測定機能 1088
22.3.13 出力相切り替え (GPT_OPS) 1090
22.3.14 チャネル間論理演算機能 1095
22.3.15 GTIOCnA/B 入出力端子極性反転機能 1097
22.4 割り込み要因 1097
22.4.1 割り込み要因と優先順位 1097
22.4.2 DMAC/DTC の起動 1099
22.4.3 割り込み、A/D 変換開始要求の間引き機能 1099
22.5 A/D 変換開始要求 1118
22.6 ELC によるリンク動作 1121
22.6.1 ELC へのイベント信号出力 1121
22.6.2 ELC からのイベント信号入力 1122
22.7 ノイズフィルタ機能 1122
22.8 保護機能 1122
22.8.1 レジスタの書き込み保護 1122
22.8.2 バッファ動作の禁止 1123
22.8.3 GTIOCnm 端子出力の出力禁止制御 (n = 0〜13, m = A, B) 1130
22.8.4 GTIOCnm 端子出力の出力保護機能 (n = 0〜13, m = A, B) 1131
22.9 出力端子の初期化方法 1137
22.9.1 リセット後の端子設定 1137
22.9.2 動作中の異常による端子の初期化 1138
22.10 使用上の注意事項 1138
22.10.1 モジュールストップ機能の設定 1138
22.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A〜F) 1139
22.10.3 GTCNT カウンタの設定範囲 1140
22.10.4 GTCNT カウンタのスタート／ストップ 1140
22.10.5 イベントごとの優先順位 1140
22.10.6 割り込み要求の間隔 1141
22.10.7 PWM 遅延生成回路への GTIOCnm 信号入力に関する注意事項 (n = 0〜3, m = A, B) 1141
22.10.8 GTIOR.CPSCIR=1 の場合のコンペアマッチレジスタの設定範囲 1142
22.10.9 PWM 遅延生成回路へのテスト用ストローブ信号 1142
22.10.10 スタンバイモード遷移時の注意 1143
23. PWM 遅延生成回路 (PDG) 1144
23.1 概要 1144
23.2 レジスタの説明 1146
23.2.1 GTDLYCR : PWM 出力遅延コントロールレジスタ 1146

23.2.2 GTDLYCR2 : PWM 出力遅延コントロールレジスタ 2 1147
23.2.3 GTDLYRnA : GTIOCnA 立ち上がり出力遅延レジスタ（n = 0〜3） 1148
23.2.4 GTDLYFnA: GTIOCnA 立ち下がり出力遅延レジスタ（n = 0〜3） 1148
23.2.5 GTDLYRnB : GTIOCnB 立ち上がり出力遅延レジスタ（n = 0〜3） 1149
23.2.6 GTDLYFnB : GTIOCnB 立ち下がり出力遅延レジスタ（n = 0〜3） 1150
23.3 動作説明 1151
23.3.1 PWM 波形における立ち上がりエッジおよび立ち下がりエッジのタイミング調整 1151
23.3.2 GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング ... 1153
23.4 使用上の注意事項 1154
23.4.1 モジュールストップ機能の設定 1154
23.4.2 PWM 遅延生成回路の遅延設定に関する注意事項 1154
23.4.3 レジスタ書き込み間隔 1155
24. 低消費電力非同期汎用タイマ (AGT) 1156
24.1 概要 1156
24.2 レジスタの説明 1157
24.2.1 AGT : AGT カウンタレジスタ 1157
24.2.2 AGTCMA : AGT コンペアマッチ A レジスタ 1158
24.2.3 AGTCMB : AGT コンペアマッチ B レジスタ 1158
24.2.4 AGTCR : AGT コントロールレジスタ 1159
24.2.5 AGTMR1 : AGT モードレジスタ 1 1160
24.2.6 AGTMR2 : AGT モードレジスタ 2 1161
24.2.7 AGTIOC : AGT I/O コントロールレジスタ 1163
24.2.8 AGTISR : AGT イベント端子選択レジスタ 1164
24.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ 1164
24.2.10 AGTIOSEL : AGT 端子選択レジスタ 1165
24.3 動作説明 1165
24.3.1 リロードレジスタおよびカウンタの書き換え動作 1165
24.3.2 リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作 1167
24.3.3 タイマモード 1168
24.3.4 パルス出力モード 1169
24.3.5 イベントカウンタモード 1170
24.3.6 パルス幅測定モード 1172
24.3.7 パルス周期測定モード 1172
24.3.8 コンペアマッチ機能 1173
24.3.9 各モードの出力設定 1174
24.3.10 スタンバイモード 1176
24.3.11 割り込み要因 1176
24.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力 1177
24.4 使用上の注意事項 1177
24.4.1 カウント動作の開始および停止制御 1177

24.4.2 カウンタレジスタへのアクセス 1177
24.4.3 モード変更時 1177
24.4.4 出力端子の設定 1178
24.4.5 デジタルフィルタ 1178
24.4.6 イベント番号、パルス幅およびパルス周期の計算方法 1178
24.4.7 TSTOP ビットで強制的にカウントを停止した場合 1178
24.4.8 カウントソースとして AGT0 のアンダーフローイベント信号を選択した場合 1178
24.4.9 モジュールストップ機能 1179
24.4.10 ソースクロックの切り替え時 1179
25. 超低消費電力タイマ (ULPT) 1180
25.1 概要 1180
25.2 設定 1180
25.3 レジスタの説明 1181
25.3.1 ULPTCNT : ULPT カウンタレジスタ 1181
25.3.2 ULPTCMA : ULPT コンペアマッチ A レジスタ 1182
25.3.3 ULPTCMB : ULPT コンペアマッチ B レジスタ 1182
25.3.4 ULPTCR : ULPT コントロールレジスタ 1183
25.3.5 ULPTMR1 : ULPT モードレジスタ 1 1185
25.3.6 ULPTMR2 : ULPT モードレジスタ 2 1186
25.3.7 ULPTMR3 : ULPT モードレジスタ 3 1187
25.3.8 ULPTIOC : ULPT I/O コントロールレジスタ 1188
25.3.9 ULPTISR : ULPT イベント端子選択レジスタ 1189
25.3.10 ULPTCMSR : ULPT コンペアマッチ機能選択レジスタ 1189
25.4 動作 1190
25.4.1 カウント動作 1190
25.4.2 カウンタとリロードレジスタの書き換え 1200
25.4.3 コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換え 1203
25.4.4 パルス出力 1204
25.4.5 コンペアマッチ機能 1205
25.4.6 各モードの入出力設定 1206
25.4.7 スタンバイモード 1207
25.4.8 割り込み要因 1208
25.4.9 ELC へのイベント出力動作 1209
25.5 使用上の注意事項 1209
25.5.1 カウンタ制御の開始と停止 1209
25.5.2 フラグへのアクセス（ULPTCR レジスタの TUNDF ビット、TCMAF ビット、および TCMBF ビット） 1210
25.5.3 ULPTCNT レジスタ、ULPTCMA レジスタ、ULPTCMB レジスタへのアクセス 1210
25.5.4 モード変更 1210
25.5.5 ULPTOn 端子、ULPTOAn 端子、および ULPTOBn 端子の設定 1210

25.5.6 イベント数の計算 1210
25.5.7 TSTOP ビットでカウンタを強制停止した場合 1210
25.5.8 デジタルフィルタ 1211
25.5.9 モジュールストップ機能の設定 1211
25.5.10 ULPTEEn 端子および ULPTEVIn 端子の設定 1211
26. リアルタイムクロック (RTC) 1212
26.1 概要 1212
26.2 レジスタの説明 1213
26.2.1 R64CNT : 64 Hz カウンタ 1214
26.2.2 RSECCNT : 秒カウンタ（カレンダーカウントモード時） 1214
26.2.3 RMINCNT : 分カウンタ（カレンダーカウントモード時） 1215
26.2.4 RHRCNT : 時カウンタ（カレンダーカウントモード時） 1215
26.2.5 RWKCNT : 曜日カウンタ（カレンダーカウントモード時） 1216
26.2.6 BCNTn : バイナリカウンタ n (n = 0〜3)（バイナリカウントモード時） 1216
26.2.7 RDAYCNT : 日カウンタ 1217
26.2.8 RMONCNT : 月カウンタ 1217
26.2.9 RYRCNT : 年カウンタ 1218
26.2.10 RSECAR : 秒アラームレジスタ（カレンダーカウントモード時） 1218
26.2.11 RMINAR : 分アラームレジスタ（カレンダーカウントモード時） 1219
26.2.12 RHRAR : 時アラームレジスタ（カレンダーカウントモード時） 1219
26.2.13 RWKAR : 曜日アラームレジスタ（カレンダーカウントモード時） 1220
26.2.14 BCNTnAR : バイナリカウンタ n アラームレジスタ (n = 0〜3)（バイナリカウントモード時） 1221
26.2.15 RDAYAR : 日アラームレジスタ（カレンダーカウントモード時） 1221
26.2.16 RMONAR : 月アラームレジスタ（カレンダーカウントモード時） 1222
26.2.17 RYRAR : 年アラームレジスタ（カレンダーカウントモード時） 1223
26.2.18 RYRAREN : 年アラームイネーブルレジスタ（カレンダーカウントモード時） 1223
26.2.19 BCNTnAER : バイナリカウンタ n アラームイネーブルレジスタ (n = 0〜3)（バイナリカウントモード時） 1224
26.2.20 RCR1 : RTC コントロールレジスタ 1 1224
26.2.21 RCR2 : RTC コントロールレジスタ 2（カレンダーカウントモード時） 1225
26.2.22 RCR2 : RTC コントロールレジスタ 2（バイナリカウントモード時） 1227
26.2.23 RCR4 : RTC コントロールレジスタ 4 1229
26.2.24 RFRL : 周波数レジスタ L 1229
26.2.25 RFRH : 周波数レジスタ H 1230
26.2.26 RADJ : 時間誤差補正レジスタ 1230
26.2.27 RTCCRn : 時間キャプチャコントロールレジスタ n (n = 0〜2) 1231
26.2.28 RSECCPn : 秒キャプチャレジスタ n（n = 0〜2）（カレンダーカウントモード時） 1232
26.2.29 RMINCPn : 分キャプチャレジスタ n (n = 0〜2)（カレンダーカウントモード時） 1233
26.2.30 RHRCPn : 時キャプチャレジスタ n (n = 0〜2)（カレンダーカウントモード時） 1233

26.2.31 RDAYCPn : 日キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時） 1234
26.2.32 RMONCPn : 月キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時） 1234
26.2.33 BCNTnCPm : BCNTn キャプチャレジスタ m (n = 0～3, m = 0～2)（バイナリカウントモード時） 1235
26.3 動作説明 1235
26.3.1 電源投入後のレジスタ初期設定の概要 1235
26.3.2 クロックおよびカウントモードの設定手順 1236
26.3.3 時刻の設定 1236
26.3.4 30 秒調整 1237
26.3.5 64 Hz カウンタと時刻の読み出し 1238
26.3.6 アラーム機能 1240
26.3.7 アラーム割り込み禁止手順 1241
26.3.8 時間誤差補正機能 1241
26.3.9 時間キャプチャ機能 1243
26.4 割り込み要因 1244
26.5 イベントリンク出力機能 1245
26.5.1 割り込み処理とイベントリンクの関係 1246
26.6 使用上の注意事項 1246
26.6.1 カウント動作時のレジスタ書き込みについて 1246
26.6.2 周期割り込みの使用について 1246
26.6.3 RTCOUT (1 Hz/64 Hz) クロック出力について 1247
26.6.4 レジスタ設定後の低消費電力モードへの遷移について 1247
26.6.5 レジスタの書き込み／読み出し時の注意事項 1247
26.6.6 カウントモードの変更について 1247
26.6.7 RTC を使用しない場合の初期化手順 1247
26.6.8 ソースクロック切り替え時 1248
26.6.9 RTC レジスタへ書き込む場合 1248
27. ウォッチドッグタイマ (WDT) 1249
27.1 概要 1249
27.2 レジスタの説明 1250
27.2.1 WDTRR : WDT リフレッシュレジスタ 1250
27.2.2 WDTCR : WDT コントロールレジスタ 1251
27.2.3 WDTSR : WDT ステータスレジスタ 1253
27.2.4 WDTRCR : WDT リセットコントロールレジスタ 1255
27.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタ 1255
27.2.6 オプション機能選択レジスタ 1256
27.3 動作説明 1256
27.3.1 スタートモード別のカウント動作 1256
27.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御 1260
27.3.3 リフレッシュ動作 1260

27.3.4 ステータスフラグ 1261
27.3.5 リセット出力 1261
27.3.6 割り込み要因 1261
27.3.7 ダウンカウンタ値の読み出し 1262
27.3.8 オプション機能選択レジスタ m (OFSm) と WDT のレジスタの対応関係 (m = 0, 3) 1262
27.4 イベントリンクコントローラ (ELC) への出力 1263
27.5 使用上の注意事項 1263
27.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限 1263
28. 独立ウォッチドッグタイマ (IWDT) 1264
28.1 概要 1264
28.1.1 ブロック図 1264
28.2 レジスタの説明 1265
28.2.1 IWDTRR : IWDT リフレッシュレジスタ 1265
28.2.2 IWDTCR : IWDT コントロールレジスタ 1266
28.2.3 IWDTSR : IWDT ステータスレジスタ 1269
28.2.4 IWDTRCR : IWDT リセットコントロールレジスタ 1270
28.2.5 IWDTCSTPR : IWDT カウント停止コントロールレジスタ 1271
28.3 動作説明 1271
28.3.1 スタートモード別のカウント動作 1271
28.3.2 IWDTCR、IWDTRCR、および IWDTCSTPR レジスタへの書き込み制御 1274
28.3.3 リフレッシュ動作 1275
28.3.4 ステータスフラグ 1277
28.3.5 リセット出力 1277
28.3.6 割り込み要因 1277
28.3.7 ダウンカウンタ値の読み出し 1278
28.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係 1279
28.4 イベントリンク機能によるリンク動作 1279
28.5 使用上の注意事項 1280
28.5.1 低消費電力モードへの遷移 1280
28.5.2 ディープソフトウェアスタンバイモード 1 から復帰後のカウンタ値の読み出しに関する制限 1280
29. レイヤ 3 イーサネットスイッチモジュール (ESWM) 1281
29.1 概要 1281
29.2 レジスタの説明 1283
29.2.1 ESWM インタフェースコントロールレジスタ 1283
29.2.2 関連する ESWM 割り込みのレジスタの説明 1286
29.2.3 ESWM コアレジスタ 1296
29.2.4 gPTP および PTP パルスジェネレータレジスタ 1296
29.3 レジスタの使用 1296
29.3.1 ソフトウェアフロー 1296

29.4 機能説明 1301
29.4.1 ESWM 転送モード 1301
29.4.2 注意事項 1311
29.5 動作説明 1312
29.5.1 内部クロック 1312
29.5.2 PHY インタフェース 1312
29.5.3 ESWM コア機能 1313
29.5.4 gPTP および PTP パルスジェネレータ 1313
29.5.5 TAS ゲートステータスモニタ 1313
29.6 割り込みとイベント 1314
29.7 使用上の注意事項 1315
29.7.1 モジュールストップ機能の設定 1315
29.7.2 ソフトウェアスタンバイモードへの遷移 1315
29.7.3 ソフトウェアスタンバイモードからの復帰 1315
29.7.4 パワーゲーティングによる ESWM 電源ドメイン OFF への遷移 1315
29.7.5 パワーゲーティングによる ESWM 電源ドメイン ON への遷移 1315
30. イーサネットメッセージ転送エンジン (MFWD) 1316
30.1 概要 1316
30.2 MFWD のレジスター覧 1317
30.3 MFWD レジスタの説明 1323
30.3.1 MFWD 機能レジスタ 1323
30.3.2 MFWD カウンタレジスタ 1418
30.3.3 MFWD 割り込みレジスタ 1429
30.4 レジスタの使用 1464
30.4.1 ソフトウェアフロー 1464
30.5 機能の詳細 1498
30.5.1 汎用機能 1498
30.5.2 転送／ルーティング 1506
30.5.3 フィルタリング 1571
30.5.4 ファブリック (MFAB) 1586
31. イーサネット共通エージェント (COMA) 1590
31.1 概要 1590
31.2 COMA のレジスター覧 1591
31.3 COMA レジスタの説明 1592
31.3.1 ESWM レジスタ 1592
31.3.2 イーサネット共通エージェント機能レジスタ 1595
31.3.3 イーサネット共通エージェントカウンタレジスタ 1603
31.3.4 イーサネット共通エージェント割り込みレジスタ 1604
31.4 レジスタの使用 1612

31.4.1 ソフトウェアフロー 1612
31.5 機能説明 1617
31.5.1 ウォーターマーク機能 1617
31.5.2 休止機能 1620
31.5.3 ポート単位のメモリ割り当て機能 1622
31.6 注意事項 1626
31.6.1 注意事項 1626
31.6.2 制約事項（既知の問題を含む） 1626
32. イーサネットエージェント (ETHA) 1627
32.1 概要 1627
32.2 ETHA のレジスター覧 1628
32.3 ETHA レジスタの説明 1631
32.3.1 ETHA モード機能レジスタ 1631
32.3.2 送信機能レジスタ 1632
32.3.3 TAG 機能レジスタ 1640
32.3.4 CBS 機能レジスタ[802.1Qav] 1642
32.3.5 TAS 機能レジスタ[802.1Qbv] 1646
32.3.6 ETHA カウンタレジスタ 1657
32.3.7 ETHA 割り込みレジスタ 1660
32.4 レジスタの使用 1669
32.4.1 動作モード 1669
32.4.2 ソフトウェアフロー 1670
32.5 機能説明 1682
32.5.1 データ送信 1682
32.5.2 データ受信 1701
33. イーサネット MAC (RMAC) 1704
33.1 概要 1704
33.2 端子機能 1705
33.2.1 端子の説明 1705
33.3 RMAC のレジスター覧 1706
33.4 RMAC レジスタの説明 1708
33.4.1 RMAC 機能レジスタ 1708
33.4.2 RMAC カウンタレジスタ 1727
33.4.3 RMAC 割り込みレジスタ 1747
33.5 レジスタの使用 1765
33.5.1 動作モード 1765
33.5.2 ソフトウェアフロー 1766
33.5.3 ソフトウェアフローなしで書き込み可能なレジスタ 1772
33.6 機能の詳細 1772

33.6.1 プリエンプション 1772
33.6.2 フロー制御 1773
33.6.3 タイムスタンプ 1778
33.6.4 ステーション管理 1782
33.6.5 EEE (Energy Efficient Ethernet) 1785
33.6.6 受信時における MAC アドレスのフィルタリング 1786

34. イーサネット CPU エージェント (GWCA) 1789
34.1 概要 1789
34.2 GWCA のレジスター覧 1790
34.3 GWCA レジスタの説明 1794
34.3.1 GWCA モード機能レジスタ 1794
34.3.2 受信機能レジスタ 1795
34.3.3 受信マルチキャスト機能レジスタ 1801
34.3.4 MAC 機能レジスタ 1804
34.3.5 TAG 機能レジスタ 1805
34.3.6 タイムスタンプ機能レジスタ 1807
34.3.7 AXI マスタレジスタ 1809
34.3.8 レートリミッタ機能レジスタ 1819
34.3.9 割り込み機能レジスタ 1821
34.3.10 GWCA カウンタレジスタ 1822
34.3.11 GWCA 割り込みレジスタ 1832
34.4 レジスタの使用 1855
34.4.1 動作モード 1855
34.4.2 ソフトウェアフロー 1856
34.5 機能の詳細 1870
34.5.1 AXI マスタに関する一般的情報 1870
34.5.2 データ送信 1883
34.5.3 データ受信 1898
34.5.4 タイムスタンプ受信[gPTP] 1929
34.5.5 gPTP トリガ送信 1932
34.5.6 割り込み遅延機能 1932
34.6 注意事項 1933

35. イーサネット汎用 PTP タイマ (GPTP) 1934
35.1 概要 1934
35.2 gPTP レジスタの一覧 1935
35.3 gPTP レジスタの説明 1936
35.3.1 バージョンレジスタ 1936
35.3.2 タイマコンフィグレーションレジスタ 1936
35.3.3 タイマ監視レジスタ 1939

35.3.4 メディアクロックキャプチャレジスタ 1941
35.3.5 メディアクロックリカバリレジスタ 1944
35.3.6 周期的比較レジスタ 1947
35.3.7 割り込みレジスタ 1948
35.4 レジスタの使用 1952
35.4.1 ソフトウェアフロー 1952
35.5 機能説明 1960
35.5.1 タイマ t (t = 0, 1) [gPTP] 1960
35.5.2 メディアクロック m キャプチャ (m = 0, 1) 1961
35.5.3 メディアクロック m リカバリ (m = 0, 1) 1962
35.5.4 出力端子へのメディアクロック m のマッピング 1962
35.5.5 周期的比較 c (c = 0～7) 1963
35.6 パルス出力タイマモジュール (plsotim) 1963
35.6.1 plsotim の概要 1963
35.6.2 plsotim レジスタの一覧 1963
35.6.3 plsotim レジスタの説明 1964
35.6.4 plsotim の動作 1968
35.6.5 割り込み出力 1972
35.6.6 注意事項 1973
35.6.7 制約事項（既知の問題を含む） 1973
36. USB2.0 フルスピードモジュール (USBFS) 1974
36.1 概要 1974
36.2 レジスタの説明 1976
36.2.1 SYSCFG : システムコンフィグレーションコントロールレジスタ 1976
36.2.2 SYSSTS0 : システムコンフィグレーションステータスレジスタ 0 1977
36.2.3 DVSTCTR0 : デバイスステートコントロールレジスタ 0 1979
36.2.4 CFIFO/CFIFOL : CFIFO ポートレジスタ 1981
36.2.5 DnFIFO/DnFIFOL : D0FIFO ポートレジスタ (n = 0, 1) 1982
36.2.6 CFIFOSEL : CFIFO ポート選択レジスタ 1983
36.2.7 DnFIFOSEL : D0FIFO ポート選択レジスタ (n = 0, 1) 1985
36.2.8 CFIFOCTR : CFIFO ポートコントロールレジスタ 1987
36.2.9 DnFIFOCTR : D0FIFO ポートコントロールレジスタ (n = 0, 1) 1988
36.2.10 INTENB0 : 割り込みイネーブルレジスタ 0 1990
36.2.11 INTENB1 : 割り込みイネーブルレジスタ 1 1991
36.2.12 BRDYENB : BRDY 割り込みイネーブルレジスタ 1992
36.2.13 NRDYENB : NRDY 割り込みイネーブルレジスタ 1993
36.2.14 BEMPENB : BEMP 割り込みイネーブルレジスタ 1994
36.2.15 SOFCFG : SOF 出力コンフィグレーションレジスタ 1995
36.2.16 INTSTS0 : 割り込みステータスレジスタ 0 1995
36.2.17 INTSTS1 : 割り込みステータスレジスタ 1 1998

36.2.18 BRDYSTS : BRDY 割り込みステータスレジスタ 2000
36.2.19 NRDYSTS : NRDY 割り込みステータスレジスタ 2001
36.2.20 BEMPSTS : BEMP 割り込みステータスレジスタ 2002
36.2.21 FRMNUM : フレームナンバレジスタ 2003
36.2.22 DVCHGR : デバイスステート切り替えレジスタ 2004
36.2.23 USBADDR : USB アドレスレジスタ 2004
36.2.24 USBREQ : USB リクエストタイプレジスタ 2005
36.2.25 USBVAL : USB リクエストバリューレジスタ 2006
36.2.26 USBINDX : USB リクエストインデックスレジスタ 2007
36.2.27 USBLENG : USB リクエストレングスレジスタ 2007
36.2.28 DCPCFG : DCP コンフィグレーションレジスタ 2008
36.2.29 DCPMAXP : DCP マックスパケットサイズレジスタ 2009
36.2.30 DCPCTR : DCP コントロールレジスタ 2009
36.2.31 PIPESEL : パイプウィンドウ選択レジスタ 2012
36.2.32 PIPECFG : パイプコンフィグレーションレジスタ 2013
36.2.33 PIPEMAXP : パイプマックスパケットサイズレジスタ 2015
36.2.34 PIPEPERI : パイプ周期コントロールレジスタ 2016
36.2.35 PIPEnCTR : PIPEn コントロールレジスタ (n = 1～5) 2017
36.2.36 PIPEnCTR : PIPEn コントロールレジスタ (n = 6～9) 2021
36.2.37 PIPEnTRE : PIPEn トランザクションカウンタ許可レジスタ (n = 1～5) 2023
36.2.38 PIPEnTRN : PIPEn トランザクションカウンタレジスタ (n = 1～5) 2024
36.2.39 DEVADDn : デバイスアドレス n コンフィグレーションレジスタ (n = 0～5) 2025
36.2.40 DPUSR0R : ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ 2026
36.2.41 DPUSR1R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ 2027
36.3 動作説明 2029
36.3.1 システムコントロール 2029
36.3.2 割り込み 2037
36.3.3 割り込みの説明 2040
36.3.4 パイプコントロール 2049
36.3.5 FIFO バッファ 2053
36.3.6 FIFO バッファクリア 2054
36.3.7 FIFO ポートの機能 2054
36.3.8 DMA 転送（D0FIFO/D1FIFO ポート） 2055
36.3.9 DCP を使用したコントロール転送 2056
36.3.10 バルク転送（パイプ 1～5） 2058
36.3.11 インタラプト転送（パイプ 6～9） 2058
36.3.12 アイソクロナス転送（パイプ 1～2） 2058
36.3.13 SOF 補完機能 2066
36.3.14 パイプスケジュール 2066

36.4 使用上の注意事項 2067
36.4.1 モジュールストップ状態の設定 2067
36.4.2 ソフトウェアスタンバイモード解除時の割り込みステータスレジスタのクリア 2067
36.4.3 ポート機能設定後の割り込みステータスレジスタのクリア 2067
36.4.4 USB 機能設定前のポート機能の設定 2068
37. USB2.0 ハイスピードモジュール (USBHS) 2069
37.1 概要 2069
37.2 レジスタの説明 2071
37.2.1 SYSCFG : システムコンフィグレーションコントロールレジスタ 2071
37.2.2 BUSWAIT : CPU バスウェイトレジスタ 2073
37.2.3 SYSSTS0 : システムコンフィグレーションステータスレジスタ 2074
37.2.4 PLLSTA : PLL ステータスレジスタ 2075
37.2.5 DVSTCTR0 : デバイスステートコントロールレジスタ 0 2075
37.2.6 TESTMODE : USB テストモードレジスタ 2078
37.2.7 CFIFO, DnFIFO : FIFO ポートレジスタ (n = 0, 1) 2079
37.2.8 CFIFOSEL : CFIFO ポート選択レジスタ 2081
37.2.9 DnFIFOSEL : DnFIFO ポート選択レジスタ (n = 0, 1) 2083
37.2.10 CFIFOCTR, DnFIFOCTR : FIFO ポートコントロールレジスタ (n = 0, 1) 2085
37.2.11 INTENB0 : 割り込みイネーブルレジスタ 0 2086
37.2.12 INTENB1 : 割り込みイネーブルレジスタ 1 2087
37.2.13 BRDYENB : BRDY 割り込みイネーブルレジスタ 2088
37.2.14 NRDYENB : NRDY 割り込みイネーブルレジスタ 2089
37.2.15 BEMPENB : BEMP 割り込みイネーブルレジスタ 2089
37.2.16 SOFCFG : SOF 出力コンフィグレーションレジスタ 2090
37.2.17 PHYSET : PHY 設定レジスタ 2091
37.2.18 INTSTS0 : 割り込みステータスレジスタ 0 2092
37.2.19 INTSTS1 : 割り込みステータスレジスタ 1 2094
37.2.20 BRDYSTS : BRDY 割り込みステータスレジスタ 2097
37.2.21 NRDYSTS : NRDY 割り込みステータスレジスタ 2097
37.2.22 BEMPSTS : BEMP 割り込みステータスレジスタ 2098
37.2.23 FRMNUM : フレーム番号レジスタ 2098
37.2.24 UFRMNUM : μ フレーム番号レジスタ 2099
37.2.25 USBADDR : USB アドレスレジスタ 2100
37.2.26 USBREQ : USB リクエストタイプレジスタ 2101
37.2.27 USBVAL : USB リクエストバリューレジスタ 2101
37.2.28 USBINDX : USB リクエストインデックスレジスタ 2102
37.2.29 USBLENG : USB リクエストレングスレジスタ 2102
37.2.30 DCPCFG : DCP コンフィグレーションレジスタ 2103
37.2.31 DCPMAXP : DCP 最大パケットサイズレジスタ 2103
37.2.32 DCPCTR : DCP コントロールレジスタ 2104

37.2.33 PIPESEL : パイプウィンドウ選択レジスタ 2108
37.2.34 PIPECFG : パイプコンフィグレーションレジスタ 2108
37.2.35 PIPEBUF : パイプバッファレジスタ 2111
37.2.36 PIPEMAXP : パイプ最大パケットサイズレジスタ 2112
37.2.37 PIPEPERI : パイプ周期コントロールレジスタ 2113
37.2.38 PIPEnCTR : パイプ n コントロールレジスタ (n = 1～9) 2114
37.2.39 PIPEnTRE : パイプ n トランザクションカウンタ許可レジスタ (n = 1～5) 2119
37.2.40 PIPEnTRN : パイプ n トランザクションカウンタレジスタ (n = 1～5) 2119
37.2.41 DEVADDn : デバイスアドレス n コンフィグレーションレジスタ (n = 0～9, A) 2120
37.2.42 LPCTRL : ローパワーコントロールレジスタ 2121
37.2.43 LPSTS : ローパワーステータスレジスタ 2122
37.2.44 BCCTRL : Battery Charging コントロールレジスタ 2123
37.2.45 PL1CTRL1 : ファンクション L1 コントロールレジスタ 1 2125
37.2.46 PL1CTRL2 : ファンクション L1 コントロールレジスタ 2 2126
37.2.47 HL1CTRL1 : ホスト L1 コントロールレジスタ 1 2126
37.2.48 HL1CTRL2 : ホスト L1 コントロールレジスタ 2 2127
37.2.49 DPUSR0R : ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ 2128
37.2.50 DPUSR1R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ 2129
37.2.51 DPUSR2R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ 2130
37.2.52 DPUSRCR : ディープソフトウェアスタンバイ USB サスペンド／レジュームコマンドレジスタ 2130
37.3 動作説明 2131
37.3.1 システム制御 2131
37.3.2 抵抗による USB データバス制御 2131
37.3.3 クロック供給 2131
37.3.4 クロック停止時の注意事項 2133
37.3.5 割り込み 2134
37.3.6 割り込みの説明 2138
37.3.7 パイプコントロール 2148
37.3.8 FIFO バッファ 2153
37.3.9 DCP を使用したコントロール転送 2157
37.3.10 バルク転送（パイプ 1～5） 2159
37.3.11 インタラプト転送（パイプ 6～9） 2160
37.3.12 アイソクロナス転送（パイプ 1～2） 2161
37.3.13 SOF 補完機能 2168
37.3.14 パイプスケジュール 2169
37.3.15 バッテリチャージング検出処理 2169
37.3.16 Link Power Management 処理 2173

37.3.17 USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除 2175
37.3.18 外部接続回路例 2180
37.4 使用上の注意事項 2184
37.4.1 モジュールストップ機能の設定 2184
37.4.2 ディープソフトウェアスタンバイモード 1 遷移時の設定 2184
37.4.3 ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア 2184
37.4.4 ポート機能設定後の割り込みステータスレジスタのクリア 2185
37.4.5 レジスタアクセスの制限事項 2185
38. シリアルコミュニケーションインタフェース (SCI) 2186
38.1 概要 2186
38.2 レジスタの説明 2191
38.2.1 RSR : 受信シフトレジスタ 2191
38.2.2 RDR/RDR_BY : 受信データレジスタ 2192
38.2.3 TDR/TDRLL/TDRLH : 送信データレジスタ 2193
38.2.4 TSR : 送信シフトレジスタ 2194
38.2.5 CCR0 : 共通コントロールレジスタ 0 2194
38.2.6 CCR1 : 共通コントロールレジスタ 1 2197
38.2.7 CCR2 : 共通コントロールレジスタ 2 2201
38.2.8 CCR3 : 共通コントロールレジスタ 3 2216
38.2.9 CCR4 : 共通コントロールレジスタ 4 2222
38.2.10 ICR : 簡易 IIC コントロールレジスタ 2224
38.2.11 FCR : FIFO コントロールレジスタ 2227
38.2.12 MCR : マンチェスタコントールレジスタ 2228
38.2.13 DCR : ドライバコントロールレジスタ 2232
38.2.14 XCR0 : 簡易 LIN コントロールレジスタ 0 2233
38.2.15 XCR1 : 簡易 LIN コントロールレジスタ 1 2235
38.2.16 XCR2 : 簡易 LIN コントロールレジスタ 2 2236
38.2.17 CSR : 共通ステータスレジスタ 2237
38.2.18 ISR : 簡易 IIC ステータスレジスタ 2243
38.2.19 FRSR : FIFO 受信ステータスレジスタ 2244
38.2.20 FTSR : FIFO 送信ステータスレジスタ 2245
38.2.21 MSR : マンチェスタステータスレジスタ 2246
38.2.22 XSR0 : 簡易 LIN ステータスレジスタ 0 2248
38.2.23 XSR1 : 簡易 LIN ステータスレジスタ 1 2250
38.2.24 CFCLR : 共通フラグクリアレジスタ 2251
38.2.25 ICFCLR : 簡易 IIC フラグクリアレジスタ 2252
38.2.26 FFCLR : FIFO フラグクリアレジスタ 2252
38.2.27 MFCLR : マンチェスタフラグクリアレジスタ 2253
38.2.28 XFCLR : 簡易 LIN フラグクリアレジスタ 2253

38.2.29 CESR : 通信許可ステータスレジスタ 2254
38.3 調歩同期式モードの動作 2254
38.3.1 シリアル転送フォーマット 2255
38.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 2256
38.3.3 クロック 2257
38.3.4 倍速動作とビットレートの 6 倍または 4 倍の周波数 2258
38.3.5 CTS、RTS 機能 2258
38.3.6 アドレス一致（受信データ一致）検出機能 2259
38.3.7 SCI の初期化（調歩同期式モード） 2261
38.3.8 シリアルデータの送信（調歩同期式モード） 2263
38.3.9 シリアルデータの受信（調歩同期式モード） 2269
38.3.10 受信サンプリングタイミング調整機能（調歩同期式モード） 2276
38.3.11 送信タイミング調整機能（調歩同期式モード） 2279
38.4 マルチプロセッサ通信機能 2284
38.4.1 マルチプロセッサシリアルデータ送信 2286
38.4.2 マルチプロセッサシリアルデータ受信 2288
38.5 マンチェスタモードの動作 2294
38.5.1 フレームフォーマット 2295
38.5.2 クロック 2299
38.5.3 マンチェスタモードにおける SCI の初期化 2299
38.5.4 倍速動作 2300
38.5.5 CTS および RTS 機能 2300
38.5.6 マンチェスタモードにおけるシリアルデータの送信 2300
38.5.7 シリアルデータの受信（マンチェスタモード） 2302
38.5.8 マルチプロセッサが使用されている場合の動作 2307
38.5.9 受信再タイミング 2307
38.5.10 マンチェスタコードの極性設定 2308
38.5.11 マンチェスタモードにおけるエラー 2309
38.6 クロック同期式モードの動作 2314
38.6.1 クロック 2314
38.6.2 CTS、RTS 機能 2314
38.6.3 SCI の初期化（クロック同期式モード） 2315
38.6.4 シリアルデータの送信（クロック同期式モード） 2316
38.6.5 シリアルデータの受信（クロック同期式モード） 2320
38.6.6 シリアルデータの同時送受信（クロック同期式モード） 2324
38.6.7 受信サンプリングタイミング調整機能（クロック同期式モード、内部クロック使用） 2326
38.7 スマートカードインタフェースモードの動作 2327
38.7.1 接続例 2327
38.7.2 データフォーマット（ブロック転送モード時を除く） 2328
38.7.3 ブロック転送モード 2329

38.7.4 受信データサンプリングタイミングと受信マージン 2329
38.7.5 SCI の初期化（スマートカードインタフェースモード） 2330
38.7.6 シリアルデータの送信（ブロック転送モードを除く） 2332
38.7.7 シリアルデータの受信（ブロック転送モード時を除く） 2334
38.7.8 クロック出力制御 2336
38.8 簡易 IIC モードの動作 2337
38.8.1 開始条件、再開始条件、停止条件の生成 2338
38.8.2 クロック同期化 2339
38.8.3 SDAn 出力遅延 2340
38.8.4 SCI の初期化（簡易 IIC モード） 2341
38.8.5 マスタ送信動作（簡易 IIC モード） 2341
38.8.6 マスタ受信動作（簡易 IIC モード） 2344
38.9 簡易 SPI モードの動作 2347
38.9.1 マスタモード、スレーブモードと各端子の状態 2348
38.9.2 マスタモード時の SS 機能 2348
38.9.3 スレーブモード時の SS 機能 2349
38.9.4 クロックと送受信データの関係 2349
38.9.5 SCI の初期化（簡易 SPI モード） 2350
38.9.6 シリアルデータの送受信（簡易 SPI モード） 2350
38.9.7 受信サンプリングタイミング調整機能（簡易 SPI モード、内部クロック使用） 2350
38.10 ビットレート変調機能 2351
38.11 簡易 LIN モード 2351
38.11.1 簡易 LIN スタートフレーム送信 2352
38.11.2 簡易 LIN スタートフレーム受信 2354
38.11.3 簡易 LIN バス競合検出機能 2359
38.11.4 簡易 LIN ビットレート測定機能 2360
38.12 割り込み要因 2361
38.12.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 2361
38.12.2 調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み 2362
38.12.3 スマートカードインタフェースモードにおける割り込み 2363
38.12.4 簡易 IIC モードにおける割り込み 2364
38.12.5 簡易 LIN モードにおける割り込み 2365
38.13 イベントリンク機能 2366
38.14 ノイズ除去機能 2367
38.15 RS-485 ドライバコントロール機能 2368
38.16 ループバック機能 2369
38.17 半二重通信機能 2370
38.18 シンクロナイザーバイパス機能 2370
38.19 使用上の注意 2371

38.19.1 モジュールストップ機能の設定 2371
38.19.2 ソフトウェアスタンバイモード 2371
38.19.3 ブレークの検出と処理について 2376
38.19.4 マーク状態とブレークの送出 2377
38.19.5 受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード） 2377
38.19.6 TDR へのデータ書き込み 2377
38.19.7 クロック同期式送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード） 2377
38.19.8 DMAC または DTC 使用時の制限 2378
38.19.9 通信の開始に関する注意事項 2378
38.19.10 簡易 SPI モードに関する制限事項 2379
38.19.11 送信許可ビット (CCR0.TE) に関する注意事項 2379
38.19.12 簡易 LIN モードに関する注意事項 2379
38.19.13 RS-485 ドライバコントロール機能に関する注意事項 2380
38.19.14 ループバック機能に関する注意事項 2380
38.19.15 動作クロック (TCLK) がバスクロック (PCLK) より遅い場合のレジスタアクセスに関する注意事項 2380
38.19.16 動作の中断に関する注意事項 2380
38.19.17 CCR3.BPEN ビットの設定に関する注意事項 2380

39. I²C バスインタフェース (IIC) 2381

39.1 概要 2381
39.2 レジスタの説明 2383
39.2.1 ICCR1 : I²C バスコントロールレジスタ 1 2383
39.2.2 ICCR2 : I²C バスコントロールレジスタ 2 2385
39.2.3 ICMR1 : I²C バスモードレジスタ 1 2388
39.2.4 ICMR2 : I²C バスモードレジスタ 2 2389
39.2.5 ICMR3 : I²C バスモードレジスタ 3 2391
39.2.6 ICFER : I²C バスファンクションイネーブルレジスタ 2393
39.2.7 ICSER : I²C バスステータスイネーブルレジスタ 2394
39.2.8 ICIER : I²C バス割り込みイネーブルレジスタ 2396
39.2.9 ICSR1 : I²C バスステータスレジスタ 1 2397
39.2.10 ICSR2 : I²C バスステータスレジスタ 2 2399
39.2.11 ICWUR : I²C バスウェイクアップユニットレジスタ 2402
39.2.12 ICWUR2 : I²C バスウェイクアップユニットレジスタ 2 2403
39.2.13 SARLy : スレーブアドレスレジスタ Ly (y = 0〜2) 2405
39.2.14 SARUy : スレーブアドレスレジスタ Uy (y = 0〜2) 2406
39.2.15 ICBRL : I²C バスビットレート Low レジスタ 2406
39.2.16 ICBRH : I²C バスビットレート High レジスタ 2407
39.2.17 ICDRT : I²C バス送信データレジスタ 2408
39.2.18 ICDRR : I²C バス受信データレジスタ 2409

39.2.19 ICDRS : I2C バスシフトレジスタ 2409
39.3 動作説明 2409
39.3.1 通信データフォーマット 2409
39.3.2 初期設定 2410
39.3.3 マスタ送信動作 2411
39.3.4 マスタ受信動作 2415
39.3.5 スレーブ送信動作 2421
39.3.6 スレーブ受信動作 2424
39.4 SCL 同期回路 2426
39.5 SDA 出力遅延機能 2427
39.6 デジタルノイズフィルタ回路 2427
39.7 アドレス一致検出機能 2428
39.7.1 スレーブアドレス一致検出機能 2428
39.7.2 ジェネラルコールアドレス検出機能 2431
39.7.3 デバイス ID アドレス検出機能 2432
39.7.4 ホストアドレス検出機能 2433
39.8 ウェイクアップ機能 2434
39.8.1 ノーマルウェイクアップモード 1 2435
39.8.2 ノーマルウェイクアップモード 2 2438
39.8.3 コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード） 2440
39.9 SCL の自動 Low ホールド機能 2443
39.9.1 送信データの誤送信防止機能 2443
39.9.2 NACK 受信転送中断機能 2444
39.9.3 受信データ取りこぼし防止機能 2445
39.10 アービトレーションロスト検出機能 2446
39.10.1 マスタアービトレーションロスト検出機能（MALE ビット） 2446
39.10.2 NACK 送信中のアービトレーションロスト検出機能（NALE ビット） 2449
39.10.3 スレーブアービトレーションロスト検出機能（SALE ビット） 2450
39.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 2451
39.11.1 スタートコンディション発行動作 2451
39.11.2 リスタートコンディション発行動作 2451
39.11.3 ストップコンディション発行動作 2453
39.12 バスハングアップ 2454
39.12.1 タイムアウト検出機能 2454
39.12.2 SCL クロック追加出力機能 2455
39.12.3 IIC リセット、内部リセット 2456
39.13 SMBus 動作 2456
39.13.1 SMBus タイムアウト測定 2457
39.13.2 パケットエラーコード (PEC) 2458
39.13.3 SMBus ホスト通知プロトコル（Notify ARP Master コマンド） 2458

39.14 割り込み要因 2458
39.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作 2459
39.15 各コンディション発行時のリセット、レジスタ、機能の状態 2459
39.16 イベントリンク出力機能 2460
39.16.1 割り込み処理とイベントリンクの関係 2461
39.17 使用上の注意事項 2461
39.17.1 モジュールストップ機能の設定 2461
39.17.2 転送開始に関する注意事項 2461
39.17.3 ソフトウェアスタンバイモード 2461
40. I3C バスインタフェース (I3C) 2462
40.1 概要 2462
40.1.1 機能概要 2462
40.1.2 ブロック図 2465
40.2 レジスタの説明 2466
40.2.1 PRTS : プロトコル選択レジスタ 2466
40.2.2 BCTL : バスコントロールレジスタ 2466
40.2.3 MSDVAD : マスタデバイスアドレスレジスタ 2468
40.2.4 RSTCTL : リセットコントロールレジスタ 2469
40.2.5 PRSST : 現在ステートレジスタ 2471
40.2.6 INST : 内部ステータスレジスタ 2473
40.2.7 INSTE : 内部ステータス有効レジスタ 2474
40.2.8 INIE : 内部割り込み許可レジスタ 2474
40.2.9 INSTFC : 内部ステータス強制レジスタ 2475
40.2.10 DVCT : デバイス特性テーブルレジスタ 2475
40.2.11 IBINCTL : IBI 通知コントロールレジスタ 2476
40.2.12 BFCTL : バス機能コントロールレジスタ 2477
40.2.13 SVCTL : スレーブコントロールレジスタ 2479
40.2.14 REFCKCTL : リファレンスクロックコントロールレジスタ 2480
40.2.15 STDBR : スタンダードビットレートレジスタ 2481
40.2.16 EXTBR : 拡張ビットレートレジスタ 2483
40.2.17 BFRECDT : バスフリー状態検出時間レジスタ 2484
40.2.18 BAVLCDT : バス利用可能状態検出時間レジスタ 2485
40.2.19 BIDLCDT : バスアイドル状態検出時間レジスタ 2485
40.2.20 OUTCTL : 出力コントロールレジスタ 2486
40.2.21 INCTL : 入力コントロールレジスタ 2487
40.2.22 TMOCTL : タイムアウトコントロールレジスタ 2488
40.2.23 WUCTL : ウェイクアップユニットコントロールレジスタ 2489
40.2.24 ACKCTL : アクノリッジコントロールレジスタ 2490
40.2.25 SCSTRCTL : SCL ストレッチコントロールレジスタ 2491
40.2.26 SCSTLCTL : SCL ストールコントロールレジスタ 2492

40.2.27 SVTDLG0 : スレーブ転送データ長レジスタ 0 2494
40.2.28 STCTL : 同期タイミングコントロールレジスタ 2494
40.2.29 ATCTL : 非同期タイミングコントロールレジスタ 2494
40.2.30 ATTRG : 非同期タイミングトリガレジスタ 2495
40.2.31 ATCCNTE : 非同期タイミングコントロールカウンタイネーブルレジスタ 2496
40.2.32 CNDCTL : 条件コントロールレジスタ 2496
40.2.33 NCMDQP : 通常コマンドキューポートレジスタ 2498
40.2.34 NRSPQP : 通常レスポンスキューポートレジスタ 2498
40.2.35 NTDTBP0/NTDTBP0_BY : 通常転送データバッファポートレジスタ 0 2499
40.2.36 NIBIQP : 通常 IBI キューポートレジスタ 2500
40.2.37 NRSQP : 通常受信ステータスキューポートレジスタ 2500
40.2.38 HCMDQP : 優先コマンドキューポートレジスタ 2501
40.2.39 HRSPQP : 優先応答キューポートレジスタ 2501
40.2.40 HTDTBP : 優先転送データバッファポートレジスタ 2501
40.2.41 NQTHCTL : 通常キュースレッショルドコントロールレジスタ 2502
40.2.42 NTBTHCTL0 : 通常転送データバッファスレッショルドコントロールレジスタ 0 2504
40.2.43 NRQTHCTL : 通常受信ステータスキュースレッショルドコントロールレジスタ 2505
40.2.44 HQTHCTL : 優先キュースレッショルドコントロールレジスタ 2506
40.2.45 HTBTHCTL : 優先転送データバッファスレッショルドコントロールレジスタ 2507
40.2.46 BST : バスステータスレジスタ 2508
40.2.47 BSTE : バスステータス許可レジスタ 2512
40.2.48 BIE : バス割り込み許可レジスタ 2513
40.2.49 BSTFC : バスステータス強制レジスタ 2515
40.2.50 NTST : 通常転送ステータスレジスタ 2516
40.2.51 NTSTE : 通常転送ステータス許可レジスタ 2520
40.2.52 NTIE : 通常転送割り込み許可レジスタ 2522
40.2.53 NTSTFC : 通常転送ステータス強制レジスタ 2523
40.2.54 HTST : 優先転送ステータスレジスタ 2525
40.2.55 HTSTE : 優先転送ステータスイネーブルレジスタ 2527
40.2.56 HTIE : 優先転送割り込み許可レジスタ 2528
40.2.57 HTSTFC : 優先転送ステータス強制レジスタ 2530
40.2.58 BCST : バス状態ステータスレジスタ 2530
40.2.59 SVST : スレーブステータスレジスタ 2532
40.2.60 WUST : ウェイクアップユニット動作ステータスレジスタ 2535
40.2.61 MRCCPT : MSyncCNT カウンタキャプチャレジスタ 2536
40.2.62 DATBASm : デバイスアドレステーブル基本レジスタ m (m = 0～7) 2536
40.2.63 EXDATBAS : 拡張デバイスアドレステーブル基本レジスタ 2538
40.2.64 SDATBASn : スレーブデバイスアドレステーブル基本レジスタ n (n = 0～2) 2538
40.2.65 MSDCTm : マスタデバイス特性テーブルレジスタ m (m = 0～7) 2540
40.2.66 SVDCT : スレーブデバイス特性テーブルレジスタ 2541

40.2.67 SDCTPIDL : スレーブデバイス特性テーブル暫定 ID Low レジスタ 2542
40.2.68 SDCTPIDH : スレーブデバイス特性テーブル暫定 ID High レジスタ 2543
40.2.69 SVDVADn : スレーブデバイスアドレスレジスタ n (n = 0～2) 2543
40.2.70 CSECMD : CCC スレーブイベントコマンドレジスタ 2545
40.2.71 CEACTST : CCC 遷移アクティビティステートレジスタ 2546
40.2.72 CMWLG : CCC 最大書き込み長レジスタ 2547
40.2.73 CMRLG : CCC 最大読み出し長レジスタ 2547
40.2.74 CETSTMD : CCC 遷移テストモードレジスタ 2548
40.2.75 CGDVST : CCC デバイスステータス取得レジスタ 2549
40.2.76 CMDSPW : CCC 最大データ速度 W（書き込み）レジスタ 2550
40.2.77 CMDSPR : CCC 最大データ速度 R（読み出し）レジスタ 2550
40.2.78 CMDSPT : CCC 最大データ速度 T（切り替え）レジスタ 2551
40.2.79 CETSM : CCC 交換タイミングサポート情報 M（モード）レジスタ 2552
40.2.80 CETSS : CCC 交換タイミングサポート情報 S（ステート）レジスタ 2553
40.2.81 CGHDRCAP : CCC HDR 機能取得レジスタ 2554
40.2.82 BITCNT : ビットカウントレジスタ 2555
40.2.83 NQSTLV : 通常キューステータスレベルレジスタ 2557
40.2.84 NDBSTLV0 : 通常データバッファステータスレベルレジスタ 0 2557
40.2.85 NRSQSTLV : 通常受信ステータスキューステータスレベルレジスタ 2558
40.2.86 HQSTLV : 優先キューステータスレベルレジスタ 2558
40.2.87 HDBSTLV : 優先データバッファステータスレベルレジスタ 2559
40.2.88 PRSTDBG : 現在ステートデバッグレジスタ 2559
40.2.89 MSERRCNT : マスタエラーカウンタレジスタ 2560
40.2.90 SC1CPT : SC1 キャプチャモニタレジスタ 2560
40.2.91 SC2CPT : SC2 キャプチャモニタレジスタ 2561
40.2.92 CECTL : クロック許可コントロールレジスタ 2562
40.3 動作説明 2562
40.3.1 データ構造 2562
40.3.2 機能詳細 2580
40.3.3 動作 2682
40.4 割り込み要因 2704
40.4.1 概要 2704
40.4.2 バッファフル割り込み／エンプティ割り込みのバッファ動作 2706
40.5 イベントリンク出力機能 2706
40.5.1 割り込み処理とイベントリンクの関係 2706
40.6 リセットの説明 2706
40.7 使用上の注意事項 2723
40.7.1 動作クロックの設定 2723
40.7.2 SCL 周波数クロックの設定 2723
40.7.3 モジュールストップ機能 2723

40.7.4 PRTS.PRTMD ビットの書き換えに関する注意事項 2723

41. CAN フレキシブルデータレート (CANFD) 2724

41.1 概要 2724

41.1.1 CANFD モジュール 2724

41.1.2 クロックの制限事項 2726

41.2 レジスタの説明 2726

41.2.1 レジスタ表 2726

41.2.2 CFDC0NCFG : ノミナルビットレートコンフィグレーションレジスタ 2727

41.2.3 CFDC0CTR : コントロールレジスタ 2728

41.2.4 CFDC0STS : ステータスレジスタ 2733

41.2.5 CFDC0ERFL : エラーフラグレジスタ 2735

41.2.6 CFDC0DCFG : データビットレートコンフィグレーションレジスタ 2741

41.2.7 CFDC0FDCFG : CANFD コンフィグレーションレジスタ 2743

41.2.8 CFDC0FDCTR : CANFD コントロールレジスタ 2746

41.2.9 CFDC0FDSTS : CANFD ステータスレジスタ 2747

41.2.10 CFDC0FDCRC : CANFD CRC レジスタ 2749

41.2.11 CFDGCFG : グローバルコンフィグレーションレジスタ 2750

41.2.12 CFDGCTR : グローバルコントロールレジスタ 2752

41.2.13 CFDGSTS : グローバルステータスレジスタ 2754

41.2.14 CFDGERFL : グローバルエラーフラグレジスタ 2755

41.2.15 CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ 2756

41.2.16 CFDGTSC : グローバルタイムスタンプカウンタレジスタ 2758

41.2.17 CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ 2758

41.2.18 CFDGAFLCFG: グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ 2759

41.2.19 CFDGAFLIDr : グローバルアクセプタンスフィルタリスト ID レジスタ (r = 1～16) 2760

41.2.20 CFDGAFLMr : グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1～16) 2761

41.2.21 CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ (r = 1～16) 2762

41.2.22 CFDGAFLP1r : グローバルアクセプタンスフィルタリストポインタ 1 レジスタ（r = 1～16） 2765

41.2.23 CFDRMNB : RX メッセージバッファ数レジスタ 2766

41.2.24 CFDRMND : RX メッセージバッファ新規データレジスタ 2766

41.2.25 CFDRFCCa : RX FIFO コンフィグレーション／コントロールレジスタ a (a = 0～1) 2767

41.2.26 CFDRFSTSa : RX FIFO ステータスレジスタ a（a = 0, 1） 2769

41.2.27 CFDRFPCTRa : RX FIFO ポインタコントロールレジスタ a (a = 0～1) 2771

41.2.28 CFDCFCC : 共通 FIFO コンフィグレーション／コントロールレジスタ 2771

41.2.29 CFDCFSTS : 共通 FIFO ステータスレジスタ 2774

41.2.30 CFDCFPCTR : 共通 FIFO ポインタコントロールレジスタ 2777

41.2.31 CFDFESTS : FIFO エンプティステータスレジスタ 2777

41.2.32 CFDFFSTS : FIFO フルステータスレジスタ 2778
41.2.33 CFDFMSTS : FIFO メッセージロストステータスレジスタ 2779
41.2.34 CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ 2780
41.2.35 CFDCDTCT : DMA 転送コントロールレジスタ 2780
41.2.36 CFDCDTSTS : DMA 転送ステータスレジスタ 2781
41.2.37 CFDTMCi : TX メッセージバッファコントロールレジスタ i (i = 0～3) 2782
41.2.38 CFDTMSTSj : TX メッセージバッファステータスレジスタ j (j = 0～3) 2784
41.2.39 CFDTMTRSTS : TX メッセージバッファ送信要求ステータスレジスタ 2785
41.2.40 CFDTMTARSTS : TX メッセージバッファ送信中断要求ステータスレジスタ 2785
41.2.41 CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ 2786
41.2.42 CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ 2787
41.2.43 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ 2787
41.2.44 CFDTXQCC : TX キューコンフィグレーション／コントロールレジスタ 2788
41.2.45 CFDTXQSTS : TX キューステータスレジスタ 2789
41.2.46 CFDTXQPCTR : TX キューポインタコントロールレジスタ 2791
41.2.47 CFDTHLCC : TX 履歴リストコンフィグレーション／コントロールレジスタ 2791
41.2.48 CFDTHLSTS : TX 履歴リストステータスレジスタ 2792
41.2.49 CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0 2794
41.2.50 CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1 2795
41.2.51 CFDTHLPCTR : TX 履歴リストポインタコントロールレジスタ 2795
41.2.52 CFDGRSTC : グローバル SW リセットレジスタ 2796
41.2.53 CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ 2797
41.2.54 CFDGTSTCTR : グローバルテストコントロールレジスタ 2797
41.2.55 CFDGFDCFG : グローバル FD コンフィグレーションレジスタ 2798
41.2.56 CFDGLOCKK : グローバルロックキーレジスタ 2799
41.2.57 CFDRPGACCk: RAM テストページアクセスレジスタ k (k = 0～63) 2799
41.2.58 CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ 2800
41.2.59 CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ 2800
41.2.60 CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ 2801
41.2.61 メッセージバッファコンポーネントの構造 2801
41.3 動作の概要 2822
41.3.1 概要 2822
41.3.2 グローバルモード 2822
41.3.3 チャネルモード 2831
41.3.4 グローバルモード遷移とチャネルモード遷移の相互作用 2837
41.4 初期化 2839
41.4.1 CAN クロック、ビットタイミング、ボーレートの初期化 2839
41.4.2 ハードウェアリセット後の CAN モジュールの構成 2846
41.5 グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能 2847
41.5.1 概要 2847

41.5.2 AFL エントリの割り当て 2849
41.5.3 AFL エントリの説明 2849
41.5.4 AFL へのエントリの入力 2851
41.5.5 ループバックモード 2853
41.5.6 IDE マスク処理 2853
41.5.7 通信中の AFL エントリの更新 2854
41.6 FIFO バッファと通常のメッセージバッファの構成 2856
41.6.1 通常の RX メッセージバッファ 2857
41.6.2 FIFO バッファ 2857
41.7 割り込みと DMA 2862
41.7.1 割り込み 2862
41.7.2 DMA 転送 2865
41.8 受信／送信 2868
41.8.1 受信 2868
41.8.2 送信 2876
41.9 テストモード 2891
41.9.1 チャネル固有のテストモード 2891
41.9.2 グローバルテストモード 2893
41.10 使用上の注意事項 2897
41.10.1 ソフトウェアスタンバイモードへの遷移 2897
41.10.2 ソフトウェアスタンバイモードからの復帰 2897
41.10.3 モジュールストップ機能の設定 2897
42. CANFD ECC (CNECC) 2898
42.1 概要 2898
42.2 レジスタの説明 2898
42.2.1 EC710CTL : ECC コントロールレジスタ 2898
42.2.2 EC710TMC : ECC テストモードコントロールレジスタ 2901
42.2.3 EC710TED : ECC テスト置換データレジスタ 2902
42.2.4 EC710EAD0 : ECC エラーアドレスレジスタ 2903
42.3 動作説明 2903
42.3.1 ECC 機能設定 2903
42.3.2 ECC デコーダのテスト方法 2904
42.4 **割り込み** 2905
42.5 使用上の注意事項 2906
42.5.1 ソフトウェアスタンバイモードへの遷移 2906
42.5.2 ソフトウェアスタンバイモードからの復帰 2906
43. シリアルペリフェラルインタフェース (SPI) 2907
43.1 概要 2907
43.2 レジスタの説明 2911

43.2.1 SPDR : SPI データレジスタ 2911
43.2.2 SPDECR : SPI 遅延コントロールレジスタ 2913
43.2.3 SPCR : SPI コントロールレジスタ 2915
43.2.4 SPCR2 : SPI コントロールレジスタ 2 2919
43.2.5 SPCR3 : SPI コントロールレジスタ 3 2921
43.2.6 SPCMDm : SPI コマンドレジスタ (m = 0～7) 2923
43.2.7 SPDCR : SPI データコントロールレジスタ 2926
43.2.8 SPDCR2 : SPI データコントロールレジスタ 2 2927
43.2.9 SPSR : SPI ステータスレジスタ 2928
43.2.10 SPTFSR : SPI 転送 FIFO ステータスレジスタ 2934
43.2.11 SPRFSR : SPI 受信 FIFO ステータスレジスタ 2935
43.2.12 SPPSR : SPI ポーリングレジスタ 2935
43.2.13 SPSRC : SPI ステータスクリアレジスタ 2936
43.2.14 SPFCR : SPI FIFO クリアレジスタ 2937
43.3 動作説明 2937
43.3.1 SPI 動作の概要 2937
43.3.2 SPI 端子の制御 2938
43.3.3 SPI システム構成例 2939
43.3.4 データフォーマット 2945
43.3.5 転送フォーマット 2958
43.3.6 通信動作モード 2960
43.3.7 送信バッファエンプティ／受信バッファフル割り込み 2963
43.3.8 アイドル割り込み 2964
43.3.9 通信終了割り込み 2966
43.3.10 エラー検出 2974
43.3.11 SPI の初期化 2981
43.3.12 SPI 動作 2982
43.3.13 クロック同期式動作 3000
43.3.14 ループバックモード 3006
43.3.15 パリティビット機能の自己診断 3007
43.3.16 割り込み要因 3008
43.4 イベントリンクコントローラ (ELC) への出力 3009
43.4.1 受信バッファフルイベント出力 3009
43.4.2 送信バッファエンプティイベント出力 3010
43.4.3 モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力 3010
43.4.4 SPI アイドルイベント出力 3010
43.4.5 通信終了イベント出力 3011
43.4.6 同期バイパス機能 3013
43.5 使用上の注意事項 3014

43.5.1 モジュールストップ機能の設定 3014
43.5.2 低消費電力機能に関する制約 3014
43.5.3 転送の開始に関する制約 3014
43.5.4 モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力の制限事項 3014
43.5.5 SPSR.SPRF および SPSR.SPTEF フラグに関する制約 3014
44. オクタシリアルペリフェラルインタフェース (OSPI) 3015
44.1 概要 3015
44.2 レジスタの説明 3016
44.2.1 OSPI コンフィグレーションレジスタ 3016
44.2.2 OSPI コントロールレジスタ 3024
44.2.3 OSPI ステータスレジスタ 3038
44.2.4 OSPI 割り込みレジスタ 3039
44.3 動作説明 3043
44.3.1 xSPI バス 3043
44.3.2 マニュアルコマンド 3055
44.3.3 メモリマッピング 3056
44.3.4 パターン制御 3062
44.3.5 整合性チェック 3064
44.3.6 割り込み 3064
44.3.7 動作フロー 3065
44.4 SiP 製品の構成 3073
44.5 使用上の注意事項 3074
44.5.1 ソフトウェアスタンバイモード 3074
44.5.2 メモリアクセスに関する制限事項 3074
44.5.3 バースト長に関する制限事項 3075
44.5.4 メモリ書き込み結合モード 3075
44.5.5 モジュールストップ機能 3075
44.5.6 8 ピン DDR モードでのバイトデータ順 3075
44.5.7 プリフェッチ機能に関する制限事項 3075
44.5.8 フラッシュ 4 MB SiP 製品のブロック保護設定に関する制限事項 3075
44.5.9 SiP 製品用の OTP 領域に関する制限事項 3076
45. オンザフライ復号 (DOTF) 3077
45.1 概要 3077
45.2 ブロック図 3077
45.3 レジスタの説明 3078
45.3.1 CONVAREAST : DOTF 変換領域開始アドレスレジスタ 3078
45.3.2 CONVAREAD : DOTF 変換領域終了アドレスレジスタ 3078
45.4 動作説明 3079
45.5 システムフロー 3079

45.6 使用上の注意事項 3079
45.6.1 モジュールストップ機能 3079
46. 拡張シリアルサウンドインタフェース (SSIE) 3080
46.1 概要 3080
46.2 レジスタの説明 3085
46.2.1 SSICR : コントロールレジスタ 3085
46.2.2 SSISR : ステータスレジスタ 3095
46.2.3 SSIFCR : FIFO コントロールレジスタ 3106
46.2.4 SSIFSR : FIFO ステータスレジスタ 3112
46.2.5 SSIFTDR : 送信 FIFO データレジスタ 3115
46.2.6 SSIFRDR : 受信 FIFO データレジスタ 3118
46.2.7 SSIOFR : オーディオフォーマットレジスタ 3120
46.2.8 SSISCR : ステータスコントロールレジスタ 3123
46.3 通信フォーマット 3124
46.3.1 I^2S フォーマット 3125
46.3.2 モノラルフォーマット 3125
46.3.3 TDM フォーマット 3127
46.4 通信モード 3128
46.4.1 スレーブモード通信 3128
46.4.2 マスタモード通信 3128
46.4.3 送信 3129
46.4.4 受信 3129
46.4.5 送受信 3129
46.5 動作説明 3129
46.5.1 アイドル状態 3129
46.5.2 通信状態 3131
46.6 通信動作 3135
46.6.1 通信開始 3135
46.6.2 送信 3137
46.6.3 受信 3137
46.6.4 送受信 3138
46.6.5 通信停止 3138
46.6.6 エラー処理 3139
46.6.7 通信再開 3140
46.7 割り込み 3141
46.7.1 SSIEn_SSIF 割り込み (n = 0, 1) 3142
46.7.2 SSIE0_SSITXI 割り込み[全二重通信] 3143
46.7.3 SSIE0_SSIRXI 割り込み[全二重通信] 3143
46.7.4 SSIE1_SSIRT 割り込み[半二重通信] 3143
46.8 ソフトウェアリセット 3144

46.8.1 ソフトウェアリセット手順 3144
46.9 使用上の注意事項 3145
46.9.1 スレーブモード通信に関する注意事項 3145
46.9.2 マスタモード通信に関する注意事項 3146
46.9.3 通信フローに関する注意事項 3146
46.9.4 書き込みアクセス制限 3147
46.9.5 ソフトウェアスタンバイモード 3148
47. SD/MMC ホストインタフェース (SDHI) 3151
47.1 概要 3151
47.2 レジスタの説明 3152
47.2.1 SD_CMD : コマンドタイプレジスタ 3152
47.2.2 SD_ARG : SD コマンドアーギュメントレジスタ 3154
47.2.3 SD_ARG1 : SD コマンドアーギュメントレジスタ 1 3154
47.2.4 SD_STOP : データストップレジスタ 3155
47.2.5 SD_SECCNT : ブロックカウントレジスタ 3156
47.2.6 SD_RSPi : SD カードレスポンスレジスタ i (i = 10, 32, 54) 3156
47.2.7 SD_RSPj : SD カードレスポンスレジスタ j (j = 1, 3, 5) 3157
47.2.8 SD_RSP76 : SD カードレスポンスレジスタ 76 3157
47.2.9 SD_RSP7 : SD カードレスポンスレジスタ 7 3158
47.2.10 SD_INFO1 : SD カード割り込みフラグレジスタ 1 3159
47.2.11 SD_INFO2 : SD カード割り込みフラグレジスタ 2 3162
47.2.12 SD_INFO1_MASK : SD INFO1 割り込みマスクレジスタ 3166
47.2.13 SD_INFO2_MASK : SD INFO2 割り込みマスクレジスタ 3167
47.2.14 SD_CLK_CTRL : SD クロックコントロールレジスタ 3168
47.2.15 SD_SIZE : 転送データ長レジスタ 3169
47.2.16 SD_OPTION : SD カードアクセスコントロールオプションレジスタ 3170
47.2.17 SD_ERR_STS1 : SD エラーステータスレジスタ 1 3171
47.2.18 SD_ERR_STS2 : SD エラーステータスレジスタ 2 3172
47.2.19 SD_BUF0 : SD バッファレジスタ 3173
47.2.20 SDIO_MODE : SDIO モードコントロールレジスタ 3174
47.2.21 SDIO_INFO1 : SDIO 割り込みフラグレジスタ 3176
47.2.22 SDIO_INFO1_MASK : SDIO INFO1 割り込みマスクレジスタ 3177
47.2.23 SD_DMAEN : DMA モードイネーブルレジスタ 3178
47.2.24 SOFT_RST : ソフトウェアリセットレジスタ 3178
47.2.25 SDIF_MODE : SD インタフェースモード設定レジスタ 3179
47.2.26 EXT_SWAP : スワップコントロールレジスタ 3180
47.3 動作説明 3180
47.3.1 SD/MMC インタフェース 3180
47.3.2 カード検出／ライトプロテクト 3182
47.3.3 割り込み要求と DMA 転送要求 3184

47.3.4 通信エラーとタイムアウト 3185
47.3.5 データ転送を行わないコマンド (SD/MMC) 3187
47.3.6 シングルブロックリード (SD/MMC) 3188
47.3.7 シングルブロックライト (SD/MMC) 3190
47.3.8 マルチブロックリード (SD/MMC) 3191
47.3.9 マルチブロックライト（内蔵タイマによる SD/MMC） 3193
47.3.10 マルチブロックライト（外付けタイマによる MMC） 3195
47.3.11 IO_RW_DIRECT コマンド (SD: CMD52) 3197
47.3.12 IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックリード） 3197
47.3.13 IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックライト） 3199
47.3.14 DMA 転送 (SD/MMC) 3201
47.3.15 SD_CMD レジスタへの設定例 3203
47.4 使用上の注意事項 3207
47.4.1 SD_BUF0 不正書き込み (SD/MMC) 3207
47.4.2 マルチブロックリードのブロック数制限 (SD) 3207
47.4.3 SD/MMC クロック出力の自動制御 (SD/MMC) 3207
47.4.4 マルチブロックライトの C52PUB 設定の制御 (SD) 3208
47.4.5 SD_CLK_CTRL レジスタ設定時の注意 (SD/MMC) 3208
47.4.6 仕様の制限 3208
47.4.7 マルチブロックリード時の STP ビット設定 (SD/MMC) 3208
47.4.8 レジスタ設定時の注意 3209
47.4.9 モジュールストップ機能 3209
47.4.10 ソフトウェアスタンバイモード 3209
48. 巡回冗長検査 (CRC) 3210
48.1 概要 3210
48.2 レジスタの説明 3211
48.2.1 CRCCR0 : CRC コントロールレジスタ 0 3211
48.2.2 CRCCR1 : CRC コントロールレジスタ 1 3211
48.2.3 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ 3212
48.2.4 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ 3212
48.2.5 CRCSAR : スヌープアドレスレジスタ 3213
48.3 動作説明 3214
48.3.1 基本動作 3214
48.3.2 CRC スヌープ機能 3217
48.4 使用上の注意事項 3218
48.4.1 モジュールストップ状態の設定 3218
48.4.2 送信時の注意事項 3218
49. パルス密度変調インタフェース (PDM-IF) 3220
49.1 概要 3220

49.2 レジスタの説明 3222
49.2.1 レジスタマップ 3222
49.2.2 PDCSTRTR : チャネルソフトウェア起動トリガレジスタ 3226
49.2.3 PDCSTPTR : チャネルソフトウェア停止トリガレジスタ 3227
49.2.4 PDCCHGTR : チャネルソフトウェア変更トリガレジスタ 3227
49.2.5 PDCICR : チャネル割り込みコントロールレジスタ 3228
49.2.6 PDCSR : チャネルステータスレジスタ 3229
49.2.7 PDCSCR : チャネルステータスクリアレジスタ 3231
49.2.8 PDCSDCR : チャネルサウンド検出コントロールレジスタ 3231
49.2.9 PDCDRCR : チャネルデータ読み出しコントロールレジスタ 3232
49.2.10 PDCDCR : チャネルデータクリアレジスタ 3232
49.2.11 PDVR : バージョンレジスタ 3233
49.2.12 PDSTRTRCHn : ソフトウェア起動トリガレジスタチャネル n (n = 0〜2) 3233
49.2.13 PDSTPTRCHn : ソフトウェア停止トリガレジスタチャネル n (n = 0〜2) 3234
49.2.14 PDCHGTRCHn : ソフトウェア変更トリガレジスタチャネル n (n = 0〜2) 3234
49.2.15 PDICRCHn : 割り込みコントロールレジスタチャネル n (n = 0〜2) 3235
49.2.16 PDSDCRCHn : ステータス検出コントロールレジスタチャネル n (n = 0〜2) 3235
49.2.17 PDSRCHn : ステータスレジスタチャネル n (n = 0〜2) 3236
49.2.18 PDSCRCHn : ステータスクリアレジスタチャネル n (n = 0〜2) 3238
49.2.19 PDMDSRCHn : モード設定レジスタチャネル n (n = 0〜2) 3239
49.2.20 PDSFCRCHn : Sinc フィルタコントロールレジスタチャネル n (n = 0〜2) 3240
49.2.21 PDHFCS0RCHn : ハイパスフィルタ係数 s(0) レジスタチャネル n (n = 0〜2) 3241
49.2.22 PDHFCK1RCHn : ハイパスフィルタ係数 k(1) レジスタチャネル n (n = 0〜2) 3242
49.2.23 PDHFCH0RCHn : ハイパスフィルタ係数 h(0) レジスタチャネル n (n = 0〜2) 3242
49.2.24 PDHFCH1RCHn : ハイパスフィルタ係数 h(1) レジスタチャネル n (n = 0〜2) 3242
49.2.25 PDCFCH00RCHn : 補償フィルタ係数 h(0) レジスタチャネル n (n = 0〜2) 3243
49.2.26 PDCFCH01RCHn : 補償フィルタ係数 h(1) レジスタチャネル n (n = 0〜2) 3243
49.2.27 PDCFCH02RCHn : 補償フィルタ係数 h(2) レジスタチャネル n (n = 0〜2) 3243
49.2.28 PDCFCH03RCHn : 補償フィルタ係数 h(3) レジスタチャネル n (n = 0〜2) 3244
49.2.29 PDCFCH04RCHn : 補償フィルタ係数 h(4) レジスタチャネル n (n = 0〜2) 3244
49.2.30 PDCFCH05RCHn : 補償フィルタ係数 h(5) レジスタチャネル n (n = 0〜2) 3244
49.2.31 PDCFCH06RCHn : 補償フィルタ係数 h(6) レジスタチャネル n (n = 0〜2) 3245
49.2.32 PDCFCH07RCHn : 補償フィルタ係数 h(7) レジスタチャネル n (n = 0〜2) 3245
49.2.33 PDCFCH08RCHn : 補償フィルタ係数 h(8) レジスタチャネル n (n = 0〜2) 3245
49.2.34 PDCFCH09RCHn : 補償フィルタ係数 h(9) レジスタチャネル n (n = 0〜2) 3246
49.2.35 PDCFCH10RCHn : 補償フィルタ係数 h(10) レジスタチャネル n (n = 0〜2) 3246
49.2.36 PDLFCH010RCHn : ローパスフィルタ係数 h0(10) レジスタチャネル n (n = 0〜2) 3246
49.2.37 PDLFCH100RCHn : ローパスフィルタ係数 h1(0) レジスタチャネル n (n = 0〜2) 3247
49.2.38 PDLFCH101RCHn : ローパスフィルタ係数 h1(1) レジスタチャネル n (n = 0〜2) 3247
49.2.39 PDLFCH102RCHn : ローパスフィルタ係数 h1(2) レジスタチャネル n (n = 0〜2) 3247

49.2.40 PDLFCH103RCHn : ローパスフィルタ係数 h1(3) レジスタチャネル n (n = 0〜2) 3248
49.2.41 PDLFCH104RCHn : ローパスフィルタ係数 h1(4) レジスタチャネル n (n = 0〜2) 3248
49.2.42 PDLFCH105RCHn : ローパスフィルタ係数 h1(5) レジスタチャネル n (n = 0〜2) 3248
49.2.43 PDLFCH106RCHn : ローパスフィルタ係数 h1(6) レジスタチャネル n (n = 0〜2) 3249
49.2.44 PDLFCH107RCHn : ローパスフィルタ係数 h1(7) レジスタチャネル n (n = 0〜2) 3249
49.2.45 PDLFCH108RCHn : ローパスフィルタ係数 h1(8) レジスタチャネル n (n = 0〜2) 3249
49.2.46 PDLFCH109RCHn : ローパスフィルタ係数 h1(9) レジスタチャネル n (n = 0〜2) 3250
49.2.47 PDLFCH110RCHn : ローパスフィルタ係数 h1(10) レジスタチャネル n (n = 0〜2) 3250
49.2.48 PDLFCH111RCHn : ローパスフィルタ係数 h1(11) レジスタチャネル n (n = 0〜2) 3250
49.2.49 PDLFCH112RCHn : ローパスフィルタ係数 h1(12) レジスタチャネル n (n = 0〜2) 3251
49.2.50 PDLFCH113RCHn : ローパスフィルタ係数 h1(13) レジスタチャネル n (n = 0〜2) 3251
49.2.51 PDLFCH114RCHn : ローパスフィルタ係数 h1(14) レジスタチャネル n (n = 0〜2) 3251
49.2.52 PDLFCH115RCHn : ローパスフィルタ係数 h1(15) レジスタチャネル n (n = 0〜2) 3252
49.2.53 PDLFCH116RCHn : ローパスフィルタ係数 h1(16) レジスタチャネル n (n = 0〜2) 3252
49.2.54 PDLFCH117RCHn : ローパスフィルタ係数 h1(17) レジスタチャネル n (n = 0〜2) 3252
49.2.55 PDLFCH118RCHn : ローパスフィルタ係数 h1(18) レジスタチャネル n (n = 0〜2) 3253
49.2.56 PDLFCH119RCHn : ローパスフィルタ係数 h1(19) レジスタチャネル n (n = 0〜2) 3253
49.2.57 PDSDLTRCHn : サウンド検出下しきい値レジスタチャネル n (n = 0〜2) 3253
49.2.58 PDSDUTRCHn : サウンド検出上しきい値レジスタチャネル n (n = 0〜2) 3254
49.2.59 PDDBCRCHn : データバッファコントロールレジスタチャネル n (n = 0〜2) 3254
49.2.60 PDSCTSRCHn : 短絡しきい値設定レジスタチャネル n (n = 0〜2) 3254
49.2.61 PDOVLTRCHn : 過電圧下しきい値レジスタチャネル n (n = 0〜2) 3255
49.2.62 PDOVUTRCHn : 過電圧上しきい値レジスタチャネル n (n = 0〜2) 3255
49.2.63 PDDRCRCHn : データ読み出しコントロールレジスタチャネル n (n = 0〜2) 3256
49.2.64 PDDCRCHn : データクリアレジスタチャネル n (n = 0〜2) 3256
49.2.65 PDDRRCHn : データ読み出しレジスタチャネル n (n = 0〜2) 3256
49.2.66 PDDSRCHn : データステータスレジスタチャネル n (n = 0〜2) 3257
49.2.67 ミラーリングレジスタ 3257
49.3 動作説明 3258
49.3.1 クロック仕様 3258
49.3.2 チャネル起動とチャネル停止 3258
49.3.3 PDM_CLKn の周波数変更 3259
49.3.4 フィルタ 3259
49.3.5 ステレオサウンドのデータ入力制御 3270
49.3.6 サウンド検出 3272
49.3.7 データバッファ 3273
49.3.8 短絡検出 3274
49.3.9 過電圧検出 3274
49.3.10 エラー内容 3275
49.3.11 割り込み機能 3275

49.4 設定フロー ... 3276
49.4.1 起動フロー ... 3278
49.4.2 停止フロー ... 3279
49.4.3 通常処理フロー ... 3280
49.4.4 低消費電力モード遷移フロー ... 3281
49.4.5 通常モード遷移フロー ... 3283
49.5 使用上の注意事項 ... 3285
49.5.1 データ受信割り込みしきい値レジスタ設定 ... 3285
49.5.2 デフォルト設定でのフィルタの周波数特性 ... 3285
50. バウンダリスキャン ... 3287
50.1 概要 ... 3287
50.2 レジスタの説明 ... 3288
50.2.1 JTIR : インストラクションレジスタ ... 3288
50.2.2 JTIDR : ID コードレジスタ ... 3289
50.2.3 JTBPR : バイパスレジスタ ... 3289
50.2.4 JTBSR : バウンダリスキャンレジスタ ... 3289
50.3 動作 ... 3289
50.3.1 TAP コントローラ ... 3289
50.3.2 コマンド ... 3290
50.4 使用上の注意 ... 3291
51. セキュリティ機能 ... 3293
51.1 特長 ... 3293
51.2 改ざん検出 ... 3294
51.3 Arm セキュリティ機能 ... 3294
51.3.1 Arm TrustZone 技術 ... 3294
51.3.2 プリビレッジ制御 ... 3295
51.3.3 セキュリティ属性 ... 3295
51.3.4 TrustZone アクセスエラー ... 3302
51.4 デバイスライフサイクルの管理 ... 3302
51.4.1 ライフサイクル状態の変更 ... 3303
51.4.2 保護と認証レベル ... 3304
51.4.3 シリアルプログラミング ... 3305
51.4.4 デバイスライフサイクル状態と PL 変更例 ... 3305
51.4.5 故障解析 ... 3306
51.5 セキュアキーインジェクション ... 3306
51.6 セキュアファクトリプログラミング ... 3308
51.7 セキュアブート ... 3309
51.8 レジスタの説明 ... 3314
51.8.1 PSARB : 周辺モジュールセキュリティ属性レジスタ B ... 3314

51.8.2 PSARC : 周辺モジュールセキュリティ属性レジスタ C 3316
51.8.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D 3318
51.8.4 PSARE : 周辺モジュールセキュリティ属性レジスタ E 3319
51.8.5 MSSAR : モジュールストップセキュリティ属性レジスタ 3321
51.8.6 PPARB : 周辺モジュールプリビレッジ属性レジスタ B 3322
51.8.7 PPARC : 周辺モジュールプリビレッジ属性レジスタ C 3324
51.8.8 PPARD : 周辺モジュールプリビレッジ属性レジスタ D 3325
51.8.9 PPARE : 周辺モジュールプリビレッジ属性レジスタ E 3327
51.8.10 MSPAR : モジュールストッププリビレッジ属性レジスタ 3328
51.8.11 CMSAMON : コード MRAM セキュリティ属性モニタレジスタ 3329
51.8.12 SFSAMON : SiP フラッシュセキュリティ属性モニタレジスタ 3329
51.8.13 DLMMON : デバイスライフサイクル管理状態モニタレジスタ 3329
51.8.14 MSAOAD : マスタセキュリティ属性検出後動作レジスタ 3330
51.8.15 MSAPT : マスタセキュリティ属性保護レジスタ 3330
51.9 使用上の注意事項 3331
51.9.1 セキュリティビットまたはプリビレッジビットの書き込みタイミング 3331
52. Renesas セキュア IP (RSIP-E50D) 3332
52.1 概要 3332
52.2 動作説明 3334
52.2.1 対称暗号 3334
52.2.2 非対称暗号 3335
52.2.3 ハッシュ生成部 3336
52.2.4 暗号／復号処理 3336
52.3 使用上の注意事項 3337
52.3.1 ソフトウェアスタンバイモード 3337
52.3.2 モジュールストップ機能の設定 3337
52.3.3 SPA/DPA 保護 3337
52.3.4 開放処理に関する制限事項 3337
53. 16 ビット A/D コンバータ (ADC16H) 3338
53.1 概要 3338
53.2 レジスタの説明 3347
53.2.1 システム 3347
53.2.2 スキャングループ 3353
53.2.3 仮想チャネル 3365
53.2.4 A/D 変換設定 3370
53.2.5 サンプル&ホールドおよびその他 3376
53.2.6 デジタルフィルタ 3386
53.2.7 自己校正 3387
53.2.8 リミッタークリップ機能 3389

53.2.9 コンペアマッチ機能 3394
53.2.10 A/D 変換の開始および停止制御 3402
53.2.11 ステータスレジスタ 3405
53.2.12 FIFO 3414
53.2.13 データレジスタ 3421
53.3 動作説明 3424
53.3.1 A/D 変換クロック 3424
53.3.2 A/D コンバータの動作モード 3424
53.3.3 シングルエンド入力と差動入力 3425
53.3.4 アナログチャネル 3426
53.3.5 仮想チャネル 3426
53.3.6 スキャングループ 3427
53.3.7 スキャン動作説明 3427
53.3.8 自己校正 3439
53.3.9 アナログ入力チャネル 3442
53.3.10 拡張アナログ機能 3442
53.3.11 A/D コンバータの自己診断機能 3442
53.3.12 内部基準電圧 3445
53.3.13 温度センサ 3445
53.3.14 D/A コンバータ 3445
53.3.15 VBATT 1/6 電圧監視出力 3446
53.3.16 チャネル専用サンプル＆ホールド回路 3446
53.3.17 断線検出アシスト機能 3460
53.3.18 グループ優先動作 3463
53.3.19 同期動作 3470
53.4 A/D 変換の監視信号 3473
53.5 A/D 変換データ 3474
53.5.1 内部データ処理手順 3474
53.5.2 デジタルフィルタ機能 3475
53.5.3 校正と補正 3477
53.5.4 A/D 変換値加算／平均機能 3480
53.5.5 リミッタークリップ機能 3481
53.5.6 データフォーマット処理 3482
53.5.7 データフォーマット 3482
53.5.8 コンペアマッチ機能 3489
53.5.9 データレジスタ 3491
53.5.10 FIFO 機能 3491
53.5.11 データ出力デシメーション機能 3493
53.5.12 A/D 変換データエラー検出 3494
53.6 A/D 変換の開始および停止制御 3495

53.6.1 ソフトウェアトリガ 3495
53.6.2 周辺モジュールトリガ 3495
53.6.3 トリガ遅延 3496
53.6.4 A/D 変換動作の強制停止 3496
53.7 エラー検出 3498
53.7.1 A/D コンバータエラー 3498
53.7.2 A/D 変換オーバーフロー 3498
53.7.3 FIFO オーバーフロー 3499
53.8 A/D 変換の設定と変更の手順 3499
53.8.1 A/D 変換の初期設定手順 3499
53.8.2 ADCLK 設定変更手順 3499
53.8.3 A/D コンバータの設定変更手順 3500
53.9 割り込み要因および ELC イベント 3500
53.10 スキャン変換時間 3503
53.10.1 スキャン開始処理時間 3503
53.10.2 変換処理時間 3504
53.10.3 スキャン終了処理時間 3508
53.11 使用上の注意事項 3510
53.11.1 A/D 変換動作中の動作設定変更の禁止 3510
53.11.2 A/D 変換の強制停止に関する使用上の注意事項 3510
53.11.3 A/D データレジスタに関する使用上の注意事項 3511
53.11.4 モジュールストップ機能の設定 3511
53.11.5 ソフトウェアスタンバイモードの設定 3511
53.11.6 低消費電力状態への遷移および解除に関する制限 3513
53.11.7 ボード設計に関する注意事項 3513
53.11.8 同期動作に関する注意事項 3514
53.11.9 チャネル専用サンプル&ホールド回路に関する注意事項 3514
53.11.10 複数の A/D コンバータ (ADC16H) および高速アナログコンパレータ (ACMPHS) 間で共有されているアナログチャネルに関する制限 3515
53.11.11 A/D 変換開始トリガに関する注意事項 3516
53.11.12 自己校正に関する注意事項 3516
53.11.13 グループ優先動作に関する注意事項 3516
53.11.14 SAR モードに関する制限 3516
53.11.15 オーバーサンプリングモードに関する制限 3516
53.11.16 ハイブリッドモードに関する制限 3517
53.11.17 複合コンペアマッチの制限事項 3518
53.11.18 高精度モード設定レジスタの制限 3518
53.11.19 VBATT 電圧監視出力の測定に関する制限 3519
53.11.20 サンプリング誤差とサンプリング時間の見積もり 3519
53.11.21 ADC16H 入力使用時のポート設定 3520

53.11.22　他のモジュールとの同時動作における注意事項 3521
54.　12 ビット D/A コンバータ (DAC12) 3522
54.1　概要 3522
54.2　レジスタの説明 3523
54.2.1　DADR : D/A データレジスタ 3523
54.2.2　DACR0 : D/A コントロール 0 レジスタ 3523
54.2.3　DACR1 : D/A コントロール 1 レジスタ 3525
54.2.4　DACR2 : D/A コントロール 2 レジスタ 3525
54.3　動作 3525
54.3.1　コンフィグレーション更新による係数値の転送 3526
54.3.2　DAC 出力モード 3526
54.3.3　コンパレータ出力モード 3526
54.4　イベントリンクの動作設定手順 3527
54.4.1　DA0 イベントリンクの動作設定手順 3527
54.4.2　DA1 イベントリンクの動作設定手順 3527
54.5　セキュリティ属性によるアナログ出力制御 3528
54.6　イベントリンク動作における注意事項 3528
54.7　使用上の注意 3528
54.7.1　モジュールストップ機能の設定 3528
54.7.2　モジュールストップ時の DAC12 の動作 3528
54.7.3　ソフトウェアスタンバイモード時の DAC12 の動作 3529
54.7.4　ディープソフトウェアスタンバイモードへの移行に関する制約 3529
55.　温度センサ回路 (TSN) 3530
55.1　概要 3530
55.2　レジスタの説明 3531
55.2.1　TSCR : 温度センサコントロールレジスタ 3531
55.2.2　TSCDR : 温度センサ校正データレジスタ 3531
55.2.3　TSCDR2 : 温度センサ校正データレジスタ 2 3532
55.3　温度センサ回路の使用方法 3532
55.3.1　使用前の準備 3532
55.3.2　ADC16H で温度センサを使用して温度センサを測定するための手順 3534
55.3.3　温度監視リセットを使用するための手順 3536
55.4　使用上の注意事項 3539
55.4.1　モジュールストップ機能の設定 3539
55.4.2　ソフトウェアスタンバイモードの設定 3539
56.　高速アナログコンパレータ (ACMPHS) 3541
56.1　概要 3541
56.2　レジスタの説明 3542
56.2.1　CMPCTL : コンパレータコントロールレジスタ 3542

56.2.2 CMPSEL0 : コンパレータ入力選択レジスタ 3543
56.2.3 CMPSEL1 : コンパレータ基準電圧選択レジスタ 3544
56.2.4 CMPMON : コンパレータ出力モニタレジスタ 3544
56.2.5 CPIOC : コンパレータ出力コントロールレジスタ 3545
56.2.6 CPINTCTL : コンパレータ割り込みコントロールレジスタ 3545
56.2.7 CPMSKCTL : コンパレータ割り込みマスクコントロールレジスタ 3546
56.3 動作説明 3546
56.4 ノイズフィルタ 3548
56.5 ACMPHS 割り込み 3549
56.6 イベントリンクコントローラ (ELC) への ACMPHS 出力 3549
56.7 ACMPHS 端子出力 3549
56.8 使用上の注意事項 3550
56.8.1 モジュールストップ機能の設定 3550
56.8.2 DAC12 の設定 3550
56.8.3 ADC16H との関係 3550
56.8.4 モジュールストップ状態における ACMPHS の動作 3550
56.8.5 ソフトウェアスタンバイモード時の ACMPHS の動作 3550
56.8.6 基準電圧生成のための D/A コンバータの設定 3550
57. データ演算回路 (DOC) 3551
57.1 概要 3551
57.2 レジスタの説明 3552
57.2.1 DOCR : DOC コントロールレジスタ 3552
57.2.2 DOSR : DOC フラグステータスレジスタ 3553
57.2.3 DOSCR : DOC フラグステータスクリアレジスタ 3553
57.2.4 DODIR : DOC データ入力レジスタ 3554
57.2.5 DODSR0 : DOC データ設定レジスタ 0 3554
57.2.6 DODSR1 : DOC データ設定レジスタ 1 3555
57.3 動作説明 3555
57.3.1 データ比較モード 3555
57.3.2 データ加算モード 3557
57.3.3 データ減算モード 3558
57.4 割り込み要因 3558
57.5 イベントリンク出力 3559
57.6 割り込み処理とイベントリンクの関係 3559
57.7 使用上の注意事項 3559
57.7.1 モジュールストップ機能の設定 3559
58. SRAM 3560
58.1 概要 3560
58.2 レジスタの説明 3560

58.2.1 SRAMSABARn : SRAM セキュリティ属性バウンダリアドレスレジスタ (n = 0〜3)..... 3560
58.2.2 SRAMSAR : SRAM セキュリティ属性レジスタ 3561
58.2.3 SRAMESAR : SRAM ECC 領域セキュリティ属性レジスタ 3563
58.2.4 SRAMPRCR_S : セキュア用 SRAM 保護コントロールレジスタ 3563
58.2.5 SRAMPRCR_NS : 非セキュア用 SRAM 保護コントロールレジスタ 3564
58.2.6 SRAMWTSC : SRAM ウェイトステートコントロールレジスタ 3564
58.2.7 SRAMCRn : ECC RAM 用 SRAM コントロールレジスタ n (n = 0〜3) 3565
58.2.8 SRAMECCRGN0 : SRAM ECC 領域コントロールレジスタ 0 3566
58.2.9 SRAMECCRGN1 : SRAM ECC 領域コントロールレジスタ 1 3567
58.2.10 SRAMECCRGN2 : SRAM ECC 領域コントロールレジスタ 2 3568
58.2.11 SRAMECCRGN3 : SRAM ECC 領域コントロールレジスタ 3 3568
58.2.12 SRAMESR : ECC RAM 用 SRAM エラーステータスレジスタ 3569
58.2.13 SRAMESCLR : ECC RAM 用 SRAM エラーステータスクリアレジスタ 3570
58.2.14 SRAMEARnm : ECC RAM 用 SRAM エラーアドレスレジスタ nm (n = 0〜3、m = 0〜1)3571
58.3 動作説明 3571
58.3.1 モジュールストップ機能 3571
58.3.2 ECC 誤り訂正機能 3571
58.3.3 ECC エラー割り込み機能 3572
58.3.4 ECC デコーダのテスト方法 3572
58.3.5 TrustZone フィルタ機能 3573
58.3.6 割り込み要因 3574
58.3.7 ウェイトステート 3574
58.3.8 アクセスサイクル 3575
58.3.9 ECC 領域へのアクセス 3575
58.4 使用上の注意事項 3575
58.4.1 SRAM 領域からの命令フェッチ 3575
58.4.2 SRAM のエラー確認使用時の注意事項 3575

59. MRAM 3576
59.1 概要 3576
59.2 メモリ構成 3578
59.3 アドレス空間 3579
59.4 MRAM の読み出しおよび書き込み機能 3580
59.4.1 プリフェッチバッファ 3580
59.4.2 書き込み手順 3580
59.4.3 周波数の変更手順 3582
59.5 レジスタの説明 3584
59.5.1 MRCPFB : コード MRAM プリフェッチバッファイネーブルレジスタ 3585
59.5.2 MRCFREQ : コード MRAM 周波数通知レジスタ 3585
59.5.3 MREFREQ : エクストラ MRAM 周波数通知レジスタ 3586
59.5.4 MRCDECC : コード MRAM ECC デコーダコントロールレジスタ 3587

59.5.5 MRCRAEINT : コード MRAM 読み出しアクセスエラー割り込み許可レジスタ 3588
59.5.6 MRCRAES : コード MRAM 読み出しアクセスエラーステータスレジスタ 3589
59.5.7 MRCRTEA : コード MRAM TED エラーアドレスレジスタ 3590
59.5.8 MRCRDEA : コード MRAM DEC エラーアドレスレジスタ 3590
59.5.9 MRERAEINT : エクストラ MRAM 読み出しアクセスエラー割り込み許可レジスタ 3591
59.5.10 MRERAES : エクストラ MRAM 読み出しアクセスエラーステータスレジスタ 3591
59.5.11 MRERTEA : エクストラ MRAM TED エラーアドレスレジスタ 3592
59.5.12 MRERDEA : エクストラ MRAM DEC エラーアドレスレジスタ 3593
59.5.13 MSAR : MRAM セキュリティ属性レジスタ 3594
59.5.14 MREZS : エクストラ MRAM ゼロ化ステータスレジスタ 3595
59.5.15 MREZC : エクストラ MRAM ゼロ化コントロールレジスタ 3596
59.5.16 MASTAT : エクストラ MRAM アクセスステータスレジスタ 3597
59.5.17 MPAEINT : エクストラ MRAM アクセスエラー割り込み許可レジスタ 3598
59.5.18 MRDYIE : エクストラ MRAM レディ割り込み許可レジスタ 3598
59.5.19 MSADDR : MACI コマンド開始アドレスレジスタ 3599
59.5.20 MCNTSELR : MRAM カウンタ選択レジスタ 3599
59.5.21 MCNTDTRn : MRAM カウンタデータレジスタ (n = 0, 1) 3601
59.5.22 MCTRCNTR : MRAM コンフィグレーション更新転送コントロールレジスタ 3601
59.5.23 MCTRLSR : MRAM コンフィグレーション更新転送リスト選択レジスタ 3602
59.5.24 MCTRSTATR : MRAM コンフィグレーション更新転送ステータスレジスタ 3602
59.5.25 MSTATR : エクストラ MRAM ステータスレジスタ 3603
59.5.26 MENTRYR : エクストラ MRAM プログラムモード遷移レジスタ 3606
59.5.27 MSUINITR : エクストラ MRAM シーケンサセットアップ初期化レジスタ 3607
59.5.28 MCMDR : MACI コマンドレジスタ 3607
59.5.29 MSUASMON : MRAM スタートアップ領域選択モニタレジスタ 3608
59.5.30 MSUACR : MRAM スタートアップ領域コントロールレジスタ 3609
59.5.31 MRPSC : MRAM プログラム速度コントロールレジスタ 3610
59.5.32 MRCPC0 : コード MRAM プログラムコントロールレジスタ 3610
59.5.33 MRCPC1 : セキュア用 MRAM プログラムコントロールレジスタ 3611
59.5.34 MRCBPROT0 : コード MRAM ブロック保護レジスタ 3611
59.5.35 MRCBPROT1 : セキュア用コード MRAM ブロック保護レジスタ 3612
59.5.36 MRCPS : コード MRAM プログラムステータスレジスタ 3612
59.5.37 MRCPAEINT : コード MRAM プログラムアクセスエラー割り込み許可レジスタ 3614
59.5.38 MRCPEA : コード MRAM 書き込みエラーアドレスレジスタ 3615
59.5.39 MRCFLR : コード MRAM フラッシュレジスタ 3615
59.5.40 MRCEECC : コード MRAM ECC エンコーダコントロールレジスタ 3616
59.5.41 UIDRn : ユニーク ID レジスタ n (n = 0～3) 3616
59.5.42 PNRn : 型名レジスタ n (n = 0～3) 3617
59.5.43 MCUVER : MCU バージョンレジスタ 3617
59.5.44 MWMCR : OTP 書き込みモードコントロールレジスタ 3617

59.6 動作モード 3618
59.6.1 MRAM 読み出し／プログラムモード 3618
59.6.2 MRAM 高速プログラムモード 3619
59.6.3 デバッガサポート機能 3620
59.7 MACI コマンド 3621
59.7.1 MACI コマンドによる設定可能領域 3621
59.7.2 MACI コマンド一覧 3621
59.7.3 エクストラ MRAM シーケンサの状態と MACI コマンドの関係 3622
59.7.4 MACI コマンドの使用法 3623
59.8 セキュリティ機能 3634
59.8.1 永久 OFS 保護設定 3634
59.8.2 スタートアップ領域およびスタートアップサイズ選択のセキュリティフラグ 3635
59.8.3 永久ブロック保護設定 3635
59.8.4 TrustZone に対する MRAM 保護 3639
59.8.5 アンチロールバックカウンタ 3642
59.8.6 HUK の保護 3643
59.8.7 OEM ROOT KEY 保護 3644
59.9 プロテクション機能 3644
59.9.1 ソフトウェアプロテクション 3644
59.9.2 エラープロテクション 3647
59.9.3 スタートアッププログラムプロテクション 3649
59.9.4 フォルトの訂正および検出 3653
59.10 コンフィグレーション更新転送 3656
59.11 ブートモード 3657
59.11.1 ブートモード（SCI インタフェース） 3657
59.11.2 ブートモード（USB インタフェース） 3658
59.12 シリアルプログラマを使用した書き換え 3658
59.12.1 シリアルプログラミング環境 3659
59.13 セルフプログラミングでの書き換え 3659
59.13.1 概要 3659
59.13.2 パラレルアクセス可能性 3660
59.13.3 MRAM の読み出し 3660
59.14 使用上の注意事項 3661
60. キャプチャエンジンユニット (CEU) 3663
60.1 概要 3663
60.2 レジスタの説明 3666
60.2.1 CAPSR : キャプチャ開始レジスタ 3667
60.2.2 CAPCR : キャプチャ制御レジスタ 3671
60.2.3 CAMCR : キャプチャインタフェース制御レジスタ 3673
60.2.4 CMCYR : キャプチャインタフェースサイクルレジスタ 3677

60.2.5 CAMOR, CAMOR_x : キャプチャインタフェースオフセットレジスタ (x = B, M) 3678
60.2.6 CAPWR, CAPWR_x : キャプチャインタフェース幅レジスタ (x = B, M) 3680
60.2.7 CAIFR : キャプチャインタフェース入力方式レジスタ 3681
60.2.8 CRCNTR : CEU レジスタ制御レジスタ 3686
60.2.9 CRCMPR : CEU レジスタ強制制御レジスタ 3688
60.2.10 CFLCR, CFLCR_x : キャプチャフィルタ制御レジスタ (x = B, M) 3688
60.2.11 CFSZR, CFSZR_x : キャプチャフィルタサイズクリップレジスタ (x = B, M) 3690
60.2.12 CDWDR, CDWDR_x : キャプチャデスティネーション幅レジスタ (x = B, M) 3691
60.2.13 CDAYR, CDAYR_x : キャプチャデータアドレス Y レジスタ (x = B, M) 3692
60.2.14 CDACR, CDACR_x : キャプチャデータアドレス C レジスタ (x = B, M) 3693
60.2.15 CDBYR, CDBYR_x : キャプチャデータボトムフィールドアドレス Y レジスタ (x = B, M) 3695
60.2.16 CDBCR, CDBCR_x : キャプチャデータボトムフィールドアドレス C レジスタ (x = B, M) 3696
60.2.17 CBDSR, CBDSR_x : キャプチャバンドルデスティネーションサイズレジスタ (x = B, M) 3697
60.2.18 CFWCR : ファイアウォール動作制御レジスタ 3698
60.2.19 CLFCR, CLFCR_x : キャプチャローパスフィルタ制御レジスタ (x = B, M) 3699
60.2.20 CDOCR, CDOCR_x : キャプチャデータ出力制御レジスタ (x = B, M) 3699
60.2.21 CEIER : キャプチャイベント割り込み許可レジスタ 3705
60.2.22 CETCR : キャプチャイベントフラグクリアレジスタ 3706
60.2.23 CSTSR : キャプチャステータスレジスタ 3710
60.2.24 CDSSR : キャプチャデータサイズレジスタ 3711
60.2.25 CDAYR2, CDAYR2_x : キャプチャデータアドレス Y レジスタ 2 (x = B, M) 3713
60.2.26 CDACR2, CDACR2_x : キャプチャデータアドレス C レジスタ 2 (x = B, M) 3714
60.2.27 CDBYR2, CDBYR2_x : キャプチャデータボトムフィールドアドレス Y レジスタ 2 (x = B, M) 3716
60.2.28 CDBCR2, CDBCR2_x : キャプチャデータボトムフィールドアドレス C レジスタ 2 (x = B, M) 3717
60.2.29 CBWER : CEU バッファラブル書き込みイネーブルレジスタ 3718
60.3 使用上の注意事項 3718
60.3.1 モジュールストップ機能の設定 3718
60.3.2 外部モジュールの接続条件 3719
60.3.3 入出力機能制限事項 3719
61. 内部電圧レギュレータ 3720
61.1 概要 3720
61.2 動作説明 3720
61.2.1 DCDC モード 3720
61.2.2 外部 VDD モード 3721
61.3 使用上の注意事項 3722
62. 電気的特性 3723
62.1 絶対最大定格 3723

62.2 DC 特性 3725
62.2.1 Tj/Ta の定義 3725
62.2.2 I/O V_{IH}, V_{IL} 3726
62.2.3 I/O I_{OH}, I_{OL} 3730
62.2.4 I/O V_{OH}、V_{OL}、およびその他の特性 3735
62.2.5 動作電流とスタンバイ電流 3738
62.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数 3785
62.2.7 電源立ち上がり勾配 3786
62.2.8 熱特性 3786
62.3 AC 特性 3794
62.3.1 周波数 3794
62.3.2 クロックタイミング 3801
62.3.3 リセットタイミング 3805
62.3.4 ウェイクアップタイミング 3806
62.3.5 NMI/IRQ ノイズフィルタ 3812
62.3.6 バスタイミング 3814
62.3.7 I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング 3828
62.3.8 CAC タイミング 3835
62.3.9 SCI タイミング 3836
62.3.10 SPI タイミング 3845
62.3.11 OSPI タイミング 3855
62.3.12 IIC タイミング 3863
62.3.13 I3C タイミング 3867
62.3.14 SSIE タイミング 3884
62.3.15 SD/MMC ホストインタフェースタイミング 3887
62.3.16 CEU タイミング 3889
62.3.17 CANFD タイミング 3891
62.3.18 PDG タイミング 3891
62.3.19 ESWM タイミング 3892
62.3.20 PDMIF タイミング 3898
62.4 USB 特性 3899
62.4.1 USBFS タイミング 3899
62.4.2 USBHS タイミング 3901
62.5 ADC 特性 3904
62.6 DAC12 特性 3934
62.7 TSN 特性 3934
62.8 OSC 停止検出特性 3934
62.9 POR と PVD の特性 3936
62.10 外部 VDD タイミング特性 3938
62.11 コア電圧監視リセット特性 3939

62.12 温度監視リセット特性 3940
62.13 VBATT 特性 3941
62.14 ACMPHS 特性 3943
62.15 MRAM 特性 3943
62.15.1 コード MRAM 特性 3943
62.15.2 オプション設定メモリ（コンフィグレーション領域）特性 3944
62.15.3 オプション設定メモリ（ECC ありの OTP 領域）特性 3945
62.15.4 オプション設定メモリ（ECC なしの OTP 領域）特性 3946
62.15.5 MACI コマンド特性 3946
62.15.6 W-HUK のゼロ化 3947
62.15.7 MRAM 磁場耐性特性 3947
62.16 バウンダリスキャン 3947
62.17 JTAG (Joint Test Action Group) 3949
62.18 シリアルワイヤデバッグ (SWD) 3951
62.19 エンベデッドトレースマクロインタフェース (ETM) 3952
付録 1. 各プロセスモードのポート状態 3954
付録 2. 外形寸法図 3956
付録 3. I/O レジスタ 3961
3.1 周辺機能のベースアドレス 3961
3.2 アクセスサイクル 3964
付録 4. レジスタ R/W に関する注意事項 3968
付録 5. ペリフェラル変数 3970

ルネサス RA8M2 グループ
ユーザーズマニュアル

高性能な 1 GHz Arm® Cortex®-M85 コア、250 MHz Arm® Cortex®-M33 コア、最大 1 MB のコード MRAM、および ECC を備えた 2 MB の SRAM。高集積度のレイヤ 3 イーサネットスイッチモジュール、USB 2.0 ハイスピード、CANFD、SDHI、I3C、オクタ SPI、オンザフライ復号、高度なアナログ機能。Arm® TrustZone と協調して動作する暗号化アクセラレータ、鍵管理サポート、改ざん検出、および電源分析耐性を備え、セキュア要素機能を有機的に結ぶ統合ルネサスセキュリティ IP。

特長

■ Arm® Cortex®-M85 コア

- Armv8.1-M アーキテクチャプロファイル
- Armv8-M セキュリティ拡張
- 最高動作周波数：1 GHz
- メモリプロテクションユニット (Arm MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S): 8 領域
  - 非セキュア MPU (MPU_NS): 8 領域
- SysTick タイマ
  - 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス
  - CPUCLK0 または MOCO 駆動（8 分周）
- CoreSight™ ETM-M85

■ Arm® Cortex®-M33 コア

- Armv8-M アーキテクチャプロファイル
- Armv8-M セキュリティ拡張
- 最高動作周波数：250 MHz
- メモリプロテクションユニット (Arm MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S): 8 領域
  - 非セキュア MPU (MPU_NS): 8 領域
- SysTick タイマ
  - 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス
  - CPUCLK1 または MOCO 駆動（8 分周）
- CoreSight™ ETM-M33

■ メモリ

- 最大 1 MB の MRAM
- 2 MB の SRAM（256 KB の CM85 TCM および 128 KB の CM33 TCM を含む）
- 最大 8 MB のフラッシュメモリ（SiP 製品）

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 10、最大 60 Mbps
- I^2C バスインタフェース (IIC) × 3
- I^3C バスインタフェース (I3C)
- シリアルペリフェラルインタフェース (SPI) × 2、最大 166 Mbps
- オクタシリアルペリフェラルインタフェース (OSPI) × 2、最大 333 MB/s
- USB 2.0 フルスピードモジュール (USBFS)
- USB 2.0 ハイスピードモジュール (USBHS)
- CAN フレキシブルデータレート (CANFD) × 2
- レイヤ 3 イーサネットスイッチモジュール (ESWM)
  - ギガビットイーサネット× 2
- SD/MMC ホストインタフェース (SDHI) × 2
- 拡張シリアルサウンドインタフェース (SSIE) × 2
- パルス密度変調インタフェース (PDMIF)

■ アナログ

- 16 ビット A/D コンバータ (ADC16H) × 2、最大 23 チャネル
- 12 ビット D/A コンバータ (DAC12) × 2
- 高速アナログコンパレータ (ACMPHS) × 4
- 温度センサ (TSN)

■ タイマ

- 高分解能の 32 ビット汎用 PWM タイマ (GPT32) × 4
  - 300 MHz での分解能 52 ps
- 32 ビット汎用 PWM タイマ (GPT32) × 10
- 低消費電力非同期汎用タイマ (AGT) × 2
- 超低消費電力タイマ (ULPT) × 2

■ セキュリティおよび暗号化

- ルネサスセキュリティ IP (RSIP-E50D)
- Arm® TrustZone®
- プリビレッジ制御
- デバイスライフサイクルの管理
- セキュアブート
  - OTP 内の不変ファーストステージブートローダー
- オンザフライ復号 (DOTF)
- 端子機能
  - 最大 3 つの耐タンパー端子
  - セキュア端子マルチプレキシング
- HUK のゼロ化

■ システムおよび電源管理

- 低消費電力モード
- バッテリバックアップ機能 (VBATT)
- リアルタイムクロック (RTC)（カレンダー、VBATT 対応）
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC) × 2
- DMA コントローラ (DMAC) × 16
- パワーオンリセット
- プログラマブル電圧検出機能 (PVD) の設定可能
- ウォッチドッグタイマ (WDT) × 2
- 独立ウォッチドッグタイマ (IWDT)

■ ヒューマンマシンインタフェース (HMI)

- キャプチャエンジンユニット (CEU)

■ マルチクロックソース

- メインクロック発振器 (MOSC) (8～48 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (16/18/20/32/48 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- PLL1/PLL2
- クロックアウトのサポート

■ 汎用入出力ポート

- 5 V トレランス、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧

- 標準製品
  - VCC/VCC2: 1.62～3.63 V
- SiP 製品
  - VCC/VCC2: 1.62～3.63 V/1.70～2.00 V

■ 動作ジャンクション温度およびパッケージ

- Tj = 0 °C～+95 °C
  - 289 ピン BGA（12 mm × 12 mm、0.65 mm ピッチ）
  - 224 ピン BGA（11 mm × 11 mm、0.65 mm ピッチ）
  - 303 ピン BGA（15 mm × 15 mm、0.8 mm ピッチ）
  - 169 ピン BGA（7 mm × 7 mm、0.5 mm ピッチ）
- Tj = -40 °C～+105 °C
  - 289 ピン BGA（12 mm × 12 mm、0.65 mm ピッチ）
  - 224 ピン BGA（11 mm × 11 mm、0.65 mm ピッチ）
  - 303 ピン BGA（15 mm × 15 mm、0.8 mm ピッチ）
  - 169 ピン BGA（7 mm × 7 mm、0.5 mm ピッチ）
- Tj = -40 °C～+125 °C
  - 289 ピン BGA（12 mm × 12 mm、0.65 mm ピッチ）
  - 224 ピン BGA（11 mm × 11 mm、0.65 mm ピッチ）
  - 176 ピン HLQFP（24 mm × 24 mm、0.5 mm ピッチ）

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアと互換性のある Arm®ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は、高性能な Arm® Cortex®-M85 コア（最高 1 GHz で動作）および Arm® Cortex®-M33 コア（最高 250 MHz で動作）を内蔵しており、以下の特長があります。

- 最大 1 MB の MRAM
- 2 MB の SRAM（256 KB の CM85 TCM RAM、128 KB の CM33 TCM RAM、1664 KB のユーザー SRAM）
- オクタシリアルペリフェラルインタフェース (OSPI)
- レイヤ 3 イーサネットスイッチモジュール (ESWM)、USBFS、USBHS、SD/MMC ホストインタフェース
- アナログ周辺機能
- セキュリティ&セーフティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm® Cortex®-M85 コア	• 最高動作周波数：1 GHz • Arm® Cortex®-M85 コア – リビジョン：(r1p1-00rel0) – ARMv8.1-M アーキテクチャプロファイル – Armv8-M セキュリティ拡張 – ANSI/IEEE 規格 754-2008 準拠浮動小数点ユニット (FPU) スカラーの半精度、単精度、および倍精度浮動小数点演算 – M プロファイルベクタ拡張 (MVE) 整数、半精度、および単精度浮動小数点 MVE (MVE-F) • Arm®メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S): 8 領域 – 非セキュア MPU (MPU_NS): 8 領域 • SysTick タイマ – 2 つの SysTick タイマを搭載：セキュアインスタンス (SysTick_S) と非セキュアインスタンス (SysTick_NS) – CPUCLK0 または MOCO 駆動（8 分周） • CoreSight™ ETM-M85
Arm® Cortex®-M33 コア	• 最高動作周波数：250 MHz • Arm® Cortex®-M33 コア – リビジョン：(r0p4-00rel2) – ARMv8-M アーキテクチャプロファイル – Armv8-M セキュリティ拡張 – Armv8-DSP セキュリティ拡張 – ANSI/IEEE 規格 754-2008 の単精度浮動小数点数演算に準拠した浮動小数点ユニット (FPU) • Arm®メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S): 8 領域 – 非セキュア MPU (MPU_NS): 8 領域 • SysTick タイマ – 2 つの SysTick タイマを搭載：セキュアインスタンス (SysTick_S) と非セキュアインスタンス (SysTick_NS) – CPUCLK1 または MOCO 駆動（8 分周） • CoreSight™ ETM-M33

表 1.2 メモリ (1/2)

機能	機能の説明
コード MRAM	最大 1 MB のコード MRAM。 「59. MRAM」を参照してください。

表 1.2 メモリ (2/2)

機能	機能の説明
フラッシュメモリ	システムインパッケージ (SiP) 最大 8 MB のシリアルフラッシュメモリ。 「44.4. SiP 製品の構成」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。 「7. オプション設定メモリ」を参照してください。
SRAM	誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。 「58. SRAM」を参照してください。
OTP	内蔵 OTP はファーストステージブートローダー (FSBL) を含みます。 汎用 96 バイト OTP

表 1.3 システム

機能	機能の説明
動作モード	3 種類の動作モード : ● シングルチップモード ● JTAG ブートモード ● SCI/USB ブートモード 「4. 起動モード」を参照してください。
リセット	本 MCU は以下の 21 種類のリセットをサポートしています。 「6. リセット」を参照してください。
プログラマブル電圧検出 (PVD)	プログラマブル電圧検出 (PVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。PVD モジュールは、5 つの独立した電圧監視回路 (PVD0, PVD1, PVD2, PVD4, PVD5) から構成されています。これらの PVD は VCC 端子への入力電圧レベルを測定します。PVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。 「8. プログラマブル電圧検出 (PVD)」を参照してください。
クロック	● メインクロック発振器 (MOSC) ● サブクロック発振器 (SOSC) ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● PLL1/PLL2 ● クロックアウトのサポート 「9. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、そのパルス数が許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にないとき、割り込み要求が発生します。 「10. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC) モジュール、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。 「14. 割り込みコントローラユニット (ICU)」を参照してください。
低消費電力モード	消費電力は、以下に示す複数の方法で低減できます。その方法には、クロック分周器の設定、EBCLK 出力制御、SDCLK 出力制御、モジュール停止、パワーゲート制御、通常動作時の動作電力制御モードの選択、低消費電力モードやプロセッサ低消費電力モードへの遷移があります。 「11. 低消費電力モード」を参照してください。
バッテリバックアップ機能	バッテリバックアップ機能により、バッテリによる部分電力供給が可能です。バッテリ電源領域に含まれるものには、RTC、SOSC、バックアップレジスタ、改ざん検出、VBATT_R 電圧降下検出、および VCC/VBATT 切り替えがあります。 「12. バッテリバックアップ機能」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護対象のレジスタは、プロテクトレジスタ（PRCR_S と PRCR_NS）で設定します。 「13. レジスタライトプロテクション機能」を参照してください。
メモリプロテクションユニット (MPU)	すべてのバスマスタはメモリプロテクションユニット (MPU) を備えています。 「16. メモリプロテクションユニット (MPU)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。 「19. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは、割り込み要求によって起動するとデータ転送を行います。 「18. データトランスファコントローラ (DTC)」を参照してください。
DMA コントローラ (DMAC)	8 チャネルのダイレクトメモリアクセスコントローラ (DMAC) は CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。 「17. DMA コントローラ (DMAC)」を参照してください。

表 1.6 外部バスインタフェース

機能	機能の説明
外部バス	• CS 領域 (ECBI) : 外部デバイス（外部メモリインタフェース）を接続 • SDRAM 領域 (ECBI): SDRAM（外部メモリインタフェース）を接続 • OSPI0 領域 (OSPI0BI): OSPI0（外部デバイスインタフェース）を接続 • OSPI1 領域 (OSPI1BI): OSPI1（外部デバイスインタフェース）を接続

表 1.7 タイマ (1/2)

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 × 14 チャネルの 32 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーター制御用の PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。 「22. 汎用 PWM タイマ (GPT)」を参照してください。
PWM 遅延生成回路 (PDG)	PWM 遅延生成回路 (PDG) は、GPT に接続できる 4 チャネルの遅延回路を備えています。PDG は、GPT323 を介した GPT320 に対する PWM 出力の立ち上がり／立ち下がりエッジタイミングを制御できます。 「23. PWM 遅延生成回路 (PDG)」を参照してください。
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることができます。 「21. GPT 用のポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。 「24. 低消費電力非同期汎用タイマ (AGT)」を参照してください。
超低消費電力タイマ (ULPT)	超低消費電力タイマ (ULPT) は、パルス出力または外部イベントのカウントに使用可能な 32 ビットタイマです。この 32 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、ULPTCNT レジスタでアクセス可能です。 「25. 超低消費電力タイマ (ULPT)」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) には、カレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタの設定を切り替えることにより使用します。カレンダーカウントモードでは、RTC は 2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。 「26. リアルタイムクロック (RTC)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるためにも使用できます。 「27. ウォッチドッグタイマ (WDT)」を参照してください。

表 1.7 タイマ (2/2)

機能	機能の説明
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) には、14 ビットのダウンカウンタがあり、ダウンカウンタのアンダーフロー時のリセット出力によって、MCU をリセットします。代替的には、カウンタのアンダーフロー時の割り込み要求の発生を選択できます。これにより、リフレッシュインターバルを考慮して、プログラムの暴走を検出できます。IWDT には、次の 2 種類のスタートモードがあります。オートスタートモードでは、リセット状態の解除後にカウントを自動的に開始します。また、レジスタスタートモードでは、リフレッシュ（特定のレジスタへの書き込み）により、カウントを開始します。 「28. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.8 通信インタフェース (1/2)

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 10 チャネルには、調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● スマートカードインタフェース ● マンチェスタインタフェース ● 簡易 LIN インタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。すべてのチャネルは FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。 本 MCU では、最大レートがサポートされています。実際のレートについては、電気的特性を参照してください。 「38. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
I^2C バスインタフェース (IIC)	I^2C バスインタフェース (IIC) には 3 チャネルあります。IIC モジュールは、NXP 社の I^2C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。 「39. I^2C バスインタフェース (IIC)」を参照してください。
I3C バスインタフェース (I3C)	I3C バスインタフェース (I3C) には 1 チャネルあります。I3C モジュールは、NXP 社の I^2C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。 「40. I3C バスインタフェース (I3C)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。 本 MCU では、最大レートがサポートされています。実際のレートについては、電気的特性を参照してください。 「43. シリアルペリフェラルインタフェース (SPI)」を参照してください。
Control Area Network with Flexible Data-Rate モジュール (CANFD)	CAN with Flexible Data-Rate (CANFD) モジュールは、クラシカル CAN フレームと ISO 11898-1 規格に準拠する CANFD フレームの両方を取り扱うことができます。 本モジュールはチャネルごとに 4 個の送信バッファと 16 個の受信バッファをサポートしています。 「41. CAN フレキシブルデータレート (CANFD)」を参照してください。
USB 2.0 フルスピードモジュール (USBFS)	ホストコントローラまたはデバイスコントローラとして動作可能な USB2.0 フルスピードモジュール (USBFS) です。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピードおよびロースピード転送（ホストコントローラのみ）をサポートしています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。USB はデータ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。パイプ 1～9 に対しては、通信を行う周辺デバイスやユーザーシステムに合わせた任意のエンドポイント番号の割り付けが可能です。 「36. USB2.0 フルスピードモジュール (USBFS)」を参照してください。
USB 2.0 ハイスピードモジュール (USBHS)	USB (Universal Serial Bus) 規格 2.0 に準拠するホストコントローラまたはデバイスコントローラとして動作する USB2.0 ハイスピードモジュール (USBHS) です。ホストコントローラは、USB2.0 ハイスピード、フルスピード、ロースピード転送に対応しています。デバイスコントローラは、USB2.0 ハイスピード転送とフルスピード転送に対応しています。 また、USBHS は USB トランシーバを内蔵し、USB 2.0 規格で定義されている全転送タイプに対応しています。 USBHS はデータ転送用に FIFO バッファを内蔵し、最大 10 本のパイプを使用できます。 「37. USB2.0 ハイスピードモジュール (USBHS)」を参照してください。

表 1.8 通信インタフェース (2/2)

機能	機能の説明
オクタシリアルペリフェラルインタフェース (OSPI)	オクタシリアルペリフェラルインタフェース (OSPI) は、拡張シリアルペリフェラルインタフェース (xSPI)（JEDEC 規格の JESD251、JESD251-1、および JESD252）をサポートするメモリコントローラです。OSPI は 1 ビット、2 ビット、4 ビット、および 8 ビットのプロトコルをサポートします。 JESD251 では 2 つのインタフェースプロファイルを指定します。プロファイル 1.0 はオクタル SPI、プロファイル 2.0 は HyperBus™（HyperRAM™ および HyperFlash™）です。OSPI は QSPI プロトコルをサポートします。 「44. オクタシリアルペリフェラルインタフェース (OSPI)」を参照してください。
拡張シリアルサウンドインタフェース (SSIE)	拡張シリアルサウンドインタフェース (SSIE) 周辺機能は、I²S/モノラル/TDM オーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で接続する機能を提供しています。SSIE は最高 50 MHz のオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ／トランスミッタ／トランシーバとして動作します。SSIE はレシーバとトランスミッタに 32 段 FIFO バッファを内蔵し、割り込みおよび DMA 駆動によるデータ送受信をサポートしています。 「46. 拡張シリアルサウンドインタフェース (SSIE)」を参照してください。
SD/MMC ホストインタフェース (SDHI)	セキュアデジタル (SD) カードホストインタフェースおよびマルチメディアカード (MMC) ホストインタフェースは、各種の外付けメモリカードと MCU との接続に必要な機能を提供します。SDHI は、SD、SDHC、および SDXC フォーマットに対応するメモリカードを接続するために 1 ビットと 4 ビットのバスをサポートしています。SD 規格に対応したホスト機器を開発するには、SD Host/Ancillary Product License Agreement (SD HALA) に準拠する必要があります。MMC インタフェースは、eMMC 4.51 (JEDEC Standard JESD 84-B451) デバイスアクセスを可能にする 1 ビット、4 ビット、および 8 ビットの MMC バスをサポートしています。このインタフェースには下位互換性があり、高速 SDR 転送モードもサポートしています。 「47. SD/MMC ホストインタフェース (SDHI)」を参照してください。
レイヤ 3 イーサネットスイッチモジュール (ESWM)	レイヤ 3 イーサネットスイッチモジュール (ESWM) は、2 チャネルのギガビットイーサネットコントローラ、高レベルのルーティング機能を持つイーサネットスイッチ、およびマルチプロトコルインタフェースサポートで構成されています。ギガビットイーサネットコントローラは、IEEE 802.3 規格のイーサネット MAC (Media Access Control) 層の定義に準拠します。この規格に準拠する外部物理層 LSI チップ (PHY-LSI) に接続することにより、イーサネット (IEEE 802.3) フレームの送信と受信が可能です。本イーサネットスイッチは、同一のネットワークインタフェースプロトコル内および異なるネットワークインタフェースプロトコル間、または最適化されたゲートウェイアプリケーションとの間での自立的なフレームルーティングが可能です。 「29. レイヤ 3 イーサネットスイッチモジュール (ESWM)」を参照してください。
パルス密度変調インタフェース (PDMIF)	PDM-IF には、パルス密度変調 (PDM) 信号を出力する外部マイクロホンに接続可能なチャネルが最大 3 つあります。PDM-IF は最大 3 つの外部マイクロホンと接続可能です。PDM-IF は、高いサンプリングレートでパルス密度変調された 1 ビットのデジタルデータストリームをフィルタリングして、より低いサンプリングレートの 20 ビットまたは 16 ビットのデジタルデータに変換できます。 「49. パルス密度変調インタフェース (PDM-IF)」を参照してください。

表 1.9 アナログ

機能	機能の説明
16 ビット A/D コンバータ (ADC16H)	16 ビット A/D コンバータを内蔵しています。最大 23 チャネルのアナログ入力を選択可能です。変換には温度センサ出力、内部基準電圧、および VBATT 1/6 電圧監視を選択可能です。 「53. 16 ビット A/D コンバータ (ADC16H)」を参照してください。
12 ビット D/A コンバータ (DAC12)	12 ビットの D/A コンバータ (DAC12) を内蔵しています。 「54. 12 ビット D/A コンバータ (DAC12)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC16H で変換されてから、末端の応用機器で使用できます。センサは異常温度検出信号をリセット制御回路に出力し、これを使用して異常温度による不具合を防止できます。 「55. 温度センサ回路 (TSN)」を参照してください。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は、アナログ入力電圧と基準電圧の比較、および変換結果に基づいたデジタル出力に使用できます。アナログ入力電圧と基準電圧は、どちらも内部ソース（D/A コンバータ出力または内部基準電圧）および外部ソースから ACMPHS に供給できます。このような柔軟性は、A/D 変換を行うことなくアナログ信号間の合否判定を実施する必要があるアプリケーションで有用です。 「56. 高速アナログコンパレータ (ACMPHS)」を参照してください。

表 1.10 ヒューマンマシンインタフェース

機能	機能の説明
キャプチャエンジンユニット (CEU)	キャプチャエンジンユニット (CEU) は、外部から入力される画像データを取り込み、メモリに転送するキャプチャモジュールです。 「60. キャプチャエンジンユニット (CEU)」を参照してください。

表 1.11 データ処理

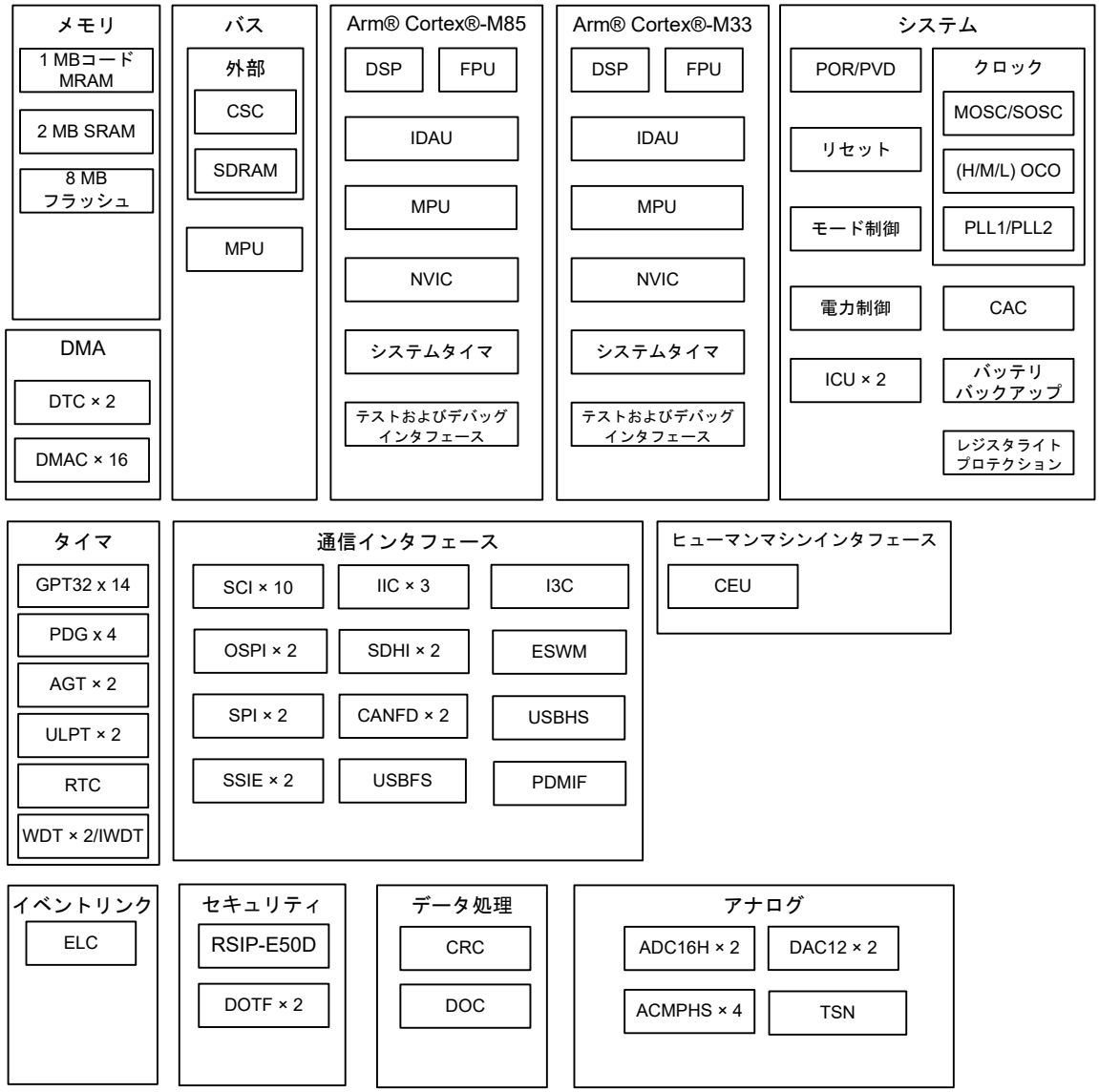
機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能は、特定のアドレスに対する読み出しと書き込みをモニタするのを許可します。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。 「48. 巡回冗長検査 (CRC)」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、32 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、32 ビットのデータが比較され、割り込みを生成可能です。 「57. データ演算回路 (DOC)」を参照してください。

表 1.12 セキュリティ

機能	機能の説明
セキュリティ機能	• ARMv8-M TrustZone セキュリティ • プリビレッジ制御 • デバイスライフサイクル管理 • 認証レベル (AL) • キーインジェクション • セキュア端子マルチプレキシング • HUK のゼロ化 • VBATT バックアップレジスタのゼロ化 • セキュアブート • セキュアファクトリプログラミング 「51. セキュリティ機能」を参照してください。
Renesas セキュア IP (RSIP-E50D)	• 対称暗号：AES および ChaCha20-Poly1305 • 非対称暗号：RSA および ECC • メッセージダイジェスト計算：HASH、HMAC • 128 ビット真性乱数生成回路 • 256 ビットハードウェアユニークキー (HUK) • 128 ビットのユニーク ID • OEM ブートローダーバージョン • オンザフライ復号 (DOTF) 用のキーデータ • SPA/DPA 保護 「52. Renesas セキュア IP (RSIP-E50D)」を参照してください。
オンザフライ復号 (DOTF)	オンザフライ復号 (DOTF) は、外部メモリに格納されている暗号化されたコンテンツをリアルタイムで復号します。 「45. オンザフライ復号 (DOTF)」を参照してください。

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。



注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.13 に、製品一覧表を示します。

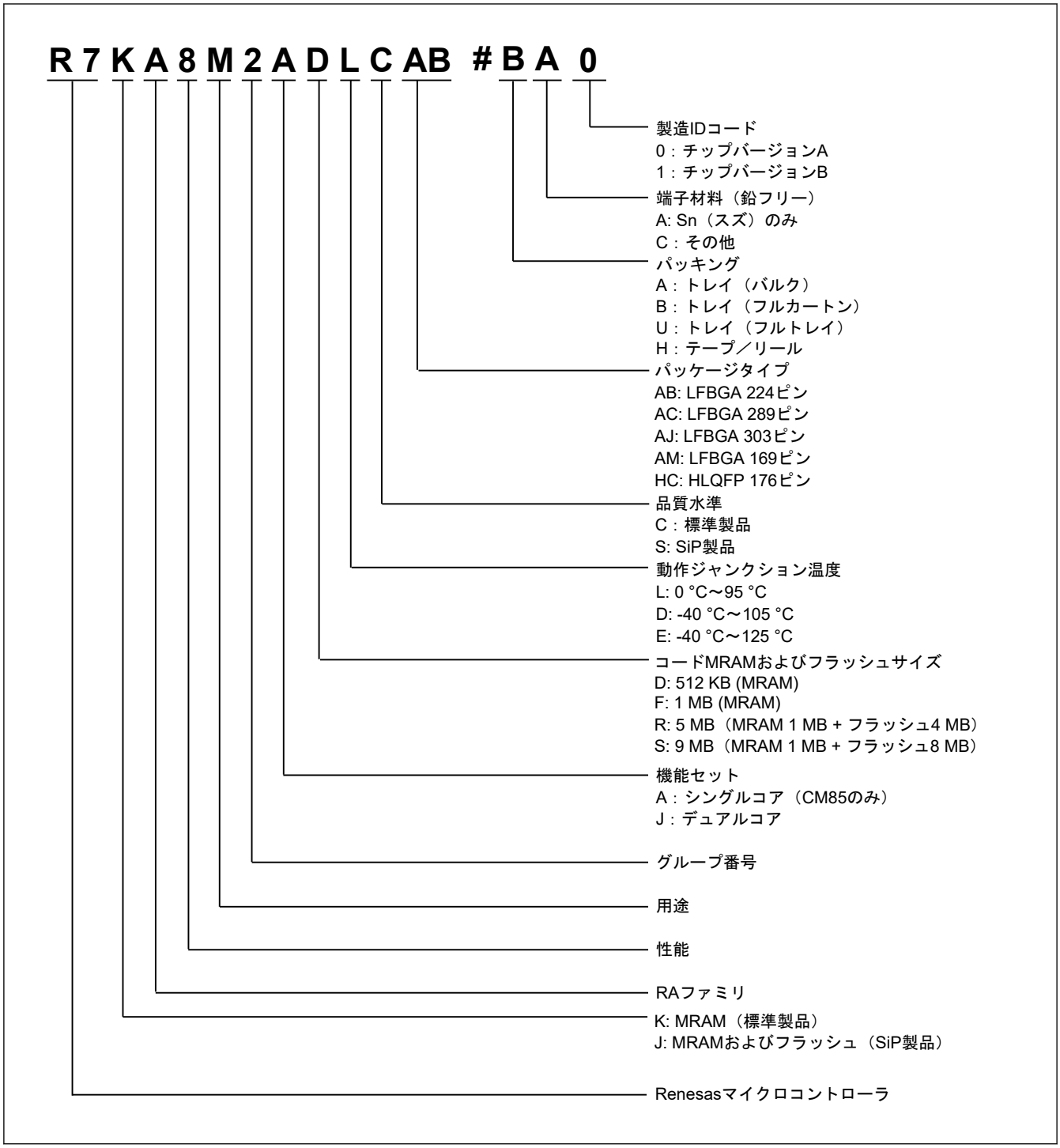

R 7 K A 8 M 2 A D L C AB # B A 0
製造IDコード
0：チップバージョンA
1：チップバージョンB
端子材料（鉛フリー）
A: Sn（スズ）のみ
C：その他
パッキング
A：トレイ（バルク）
B：トレイ（フルカートン）
U：トレイ（フルトレイ）
H：テープ／リール
パッケージタイプ
AB: LFBGA 224ピン
AC: LFBGA 289ピン
AJ: LFBGA 303ピン
AM: LFBGA 169ピン
HC: HLQFP 176ピン
品質水準
C：標準製品
S: SiP製品
動作ジャンクション温度
L: 0 °C～95 °C
D: -40 °C～105 °C
E: -40 °C～125 °C
コードMRAMおよびフラッシュサイズ
D: 512 KB (MRAM)
F: 1 MB (MRAM)
R: 5 MB（MRAM 1 MB + フラッシュ4 MB）
S: 9 MB（MRAM 1 MB + フラッシュ8 MB）
機能セット
A：シングルコア（CM85のみ）
J：デュアルコア
グループ番号
用途
性能
RAファミリ
K: MRAM（標準製品）
J: MRAMおよびフラッシュ（SiP製品）
Renesasマイクロコントローラ

図 1.2　型名の読み方

表 1.13 製品一覧

製品型名	製品グループ	CPU	パッケージコード	コード MRAM	SRAM	フラッシュ	動作ジャンクション温度
R7KA8M2ADLCAB	A	シングル	PLBG0224JA-A	512 KB	2 MB	—	0～95 °C
R7KA8M2ADLCAC			PLBG0289JA-A				
R7KA8M2ADDCAB	B		PLBG0224JA-A				-40～105 °C
R7KA8M2ADDCAC			PLBG0289JA-A				
R7KA8M2ADECAB	C		PLBG0224JA-A				-40～125 °C
R7KA8M2ADECAC			PLBG0289JA-A				
R7KA8M2ADECHC			PLQP0176KK-A				
R7KA8M2AFLCAM	A		PLBG0169xx-x	1 MB			0～95 °C
R7KA8M2AFLCAB			PLBG0224JA-A				
R7KA8M2AFLCAC			PLBG0289JA-A				
R7KA8M2AFDCAM	B		PLBG0169xx-x				-40～105 °C
R7KA8M2AFDCAB			PLBG0224JA-A				
R7KA8M2AFDCAC			PLBG0289JA-A				
R7KA8M2AFECAB	C		PLBG0224JA-A				-40～125 °C
R7KA8M2AFECAC			PLBG0289JA-A				
R7KA8M2AFECHC			PLQP0176KK-A				
R7KA8M2JFLCAM	A	デュアル	PLBG0169xx-x	1 MB			0～95 °C
R7KA8M2JFLCAB			PLBG0224JA-A				
R7KA8M2JFLCAC			PLBG0289JA-A				
R7KA8M2JFDCAM	B		PLBG0169xx-x				-40～105 °C
R7KA8M2JFDCAB			PLBG0224JA-A				
R7KA8M2JFDCAC			PLBG0289JA-A				
R7KA8M2JFECAB	C		PLBG0224JA-A				-40～125 °C
R7KA8M2JFECAC			PLBG0289JA-A				
R7KA8M2JFECHC			PLQP0176KK-A				
R7JA8M2JRLSAJ	A	デュアル	PLBG0303GA-A	1 MB		4 MB	0～95 °C
R7JA8M2JSLSAJ						8 MB	
R7JA8M2JRDSAJ	B					4 MB	-40～105 °C
R7JA8M2JSDSAJ						8 MB	

1.4 機能の比較

表 1.14 機能の比較 (1/2)

型名		R7KA8M2 AxxCAC	R7KA8M2 JxxCAC	R7KA8M2 AxxCAB	R7KA8M2 JxxCAB	R7KA8M2 AxxCAM	R7KA8M2 JxxCAM	R7KA8M2 AxxCHC	R7KA8M2 JxxCHC	R7JA8M2 JxxSAJ
端子総数		289		224		169		176		303
パッケージ		BGA						HLQFP		BGA
I/O ポート		208		149		109		130		195
コード MRAM		1 MB, 512 KB								1 MB
CPU0 TCM		256 KB								
CPU1 TCM		なし	128 KB	なし	128 KB	なし	128 KB	なし	128 KB	
CPU0 I/D キャッシュ		32 KB								
CPU1 C/S キャッシュ		なし	32 KB	なし	32 KB	なし	32 KB	なし	32 KB	
SRAM		1792 KB	1664 KB	1792 KB	1664 KB	1792 KB	1664 KB	1792 KB	1664 KB	
フラッシュ		なし								8 MB, 4 MB
DMA	DTC	1	2	1	2	1	2	1	2	
	DMAC	8	16	8	16	8	16	8	16	
バス	外部バス	32 ビットバス		16 ビットバス		なし		16 ビットバス		
	SDRAM	32 ビットバス		16 ビットバス		なし		16 ビットバス		
システム	CPU0 クロック	最高 1 GHz						最高 600 MHz		最高 1 GHz
	CPU1 クロック	なし	最高 250 MHz	なし	最高 250 MHz	なし	最高 250 MHz	なし	最高 200 MHz	最高 250 MHz
	CPU クロックソース	MOSC, SOSC, HOCO, MOCO, PLL1P								
	CAC	あり								
	WDT	1	2	1	2	1	2	1	2	
	IWDT	あり								
	バックアップレジスタ	128 B								
通信	SCI	10		9		10		9		10
	IIC	3								
	I3C	あり								
	SPI	2								
	CANFD	2								
	USBFS	あり								
	USBHS	あり				なし		あり		
	OSPI	2		1		1(注3)		1		2(注2)
	SSIE	2								
	SDHI/MMC	2				1(注4)		2		
	ESWM	MII, RMII, GMII, RGMII		MII, RMII, RGMII		RMII(注5)		MII, RMII		MII, RMII, GMII, RGMII
	PDMIF	あり								

表 1.14 機能の比較 (2/2)

型名		R7KA8M2 AxxCAC	R7KA8M2 JxxCAC	R7KA8M2 AxxCAB	R7KA8M2 JxxCAB	R7KA8M2 AxxCAM	R7KA8M2 JxxCAM	R7KA8M2 AxxCHC	R7KA8M2 JxxCHC	R7JA8M2 JxxSAJ
タイマ	GPT32 (注1)	14								
	PDG	4								
	AGT(注1)	2								
	ULPT(注1)	2								
	RTC	あり								
アナログ	ADC16H	ユニット 0: 15、ユニット 1: 15		ユニット 0: 7、ユニット 1: 5		ユニット 0: 13、ユニット 1: 11		ユニット 0: 7、ユニット 1: 5		ユニット 0: 15、ユニット 1: 15
	DAC12	2								
	ACMPHS	4								
	TSN	あり								
HMI	CEU	あり				あり(注6)		あり		
データ処理	CRC	あり								
	DOC	あり								
イベント制御	ELC	あり								
セキュリティ		RSIP-E50D、オンザフライ復号、セキュアデバッグ、OTP、TrustZone、ライフサイクル管理								

注. 製品型名は、サポートしているメモリサイズによって異なります。「1.3. 型名」を参照してください。
注. 最高周波数は製品グループによって異なります。詳細は、「62.3.1. 周波数」を参照してください。
注 1. 使用できる端子はピン数によります。詳細は、「1.7. 端子一覧」を参照してください。
注 2. OSPI1 は、SiP 製品のシリアルフラッシュに接続されます。
注 3. OM_0_ECSINT1、OM_0_RSTO1、および OM_0_WP1 端子はサポートしていません。
注 4. SD1CLK_B、SD1CMD_B、SD1DAT0_B～SD1DAT3_B、および SD1WP_B 端子のみがサポートされます。
注 5. ポート 1 のみがサポートされます。
注 6. 16 ビットインタフェースはサポートされません。

1.5 端子機能

表 1.15 端子機能 (1/7)

機能	信号	入出力	内容
電源	VCC_01～VCC_10, VCC2_11～VCC2_15	入力	電源端子。システムの電源に接続してください。この端子は、0.1 μF のコンデンサを介して同じ番号の VSS_01～VSS_15 に接続してください。コンデンサは端子近くに配置してください。 SiP 製品では、VCC2_11～VCC2_15 をシステムの 1.8 V 電源に接続してください。
	VCC2_16～VCC2_19	入力	SiP 製品用の専用電源端子。システムの 1.8 V 電源に接続してください。この端子は、0.1 μF のコンデンサを介して同じ番号の VSS_16～VSS_19 に接続してください。コンデンサは端子近くに配置してください。
	VCC_DCDC	入力	スイッチングレギュレータ電源端子
	VLO	入出力	スイッチングレギュレータ端子
	VCL0～VCL11	入力	この端子は、内部電源を安定化するための平滑コンデンサを介して同じ番号の VSS0～VSS11 端子に接続してください。 コンデンサは端子近くに配置してください。
	VBATT	入力	バッテリバックアップ電源端子
	VSS_01～VSS_15, VSS0～VSS11, VSS_DCDC	入力	グランド端子。システムの電源 (0 V) に接続してください。
	VSS_16～VSS_19, VSS	入力	SiP 製品用の専用グランド端子。システムの電源 (0 V) に接続してください。
	Vpp	入力	シリアルフラッシュプログラミング動作用の電源端子。詳細は、ISSI シリアルフラッシュ IS25WX064 データシートを参照してください。使用しない場合、Vpp 端子は浮かせることができます。ディープパワーダウン電流は Vpp 端子の電源ステータスによって異なることに注意してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	EXCIN	入力	外部サブクロック入力
	CLKOUT	出力	クロック出力端子
動作モード制御	MD	入力	動作モード設定用の端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
	PUP	入力	抵抗を介して VCC2 に接続してください。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	TMS	入力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TCLK	出力	トレースデータと同期をとるためのクロックを出力します。
	TDATA0～TDATA3	出力	トレースデータ出力
	SWO	出力	シリアルワイヤトレース出力端子
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子

表 1.15 端子機能 (2/7)

機能	信号	入出力	内容
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQn	入力	マスカブル割り込み要求端子
	IRQn-DS	入力	マスカブル割り込み要求端子は、ディープソフトウェアスタンバイモード時も使用できます。
外部バスインタフェース	EBCLK	出力	外部デバイス用の外部バスクロックを出力します。
	RD	出力	外部バスインタフェース空間から読み出し中であることを示すストローブ信号、アクティブ Low
	WR	出力	1 ライトストローブモード時、外部バスインタフェース空間に書き込み中であることを示すストローブ信号、アクティブ Low
	WRn	出力	バイトストローブモード時、外部バスインタフェース空間に書き込み中で、データバス端子 (D07～D00, D15～D08, D23～D16, D31～D24) のいずれかが有効であることを示すストローブ信号、アクティブ Low
	BCn	出力	1 ライトストローブモード時、外部バスインタフェース空間にアクセス中で、データバス端子 (D07～D00, D15～D08, D23～D16, D31～D24) のいずれかが有効であることを示すストローブ信号、アクティブ Low
	ALE	出力	アドレス／データマルチプレクスバス選択時のアドレスラッチ信号
	WAIT	入力	外部空間をアクセスするときのウェイト要求信号用の入力端子、アクティブ Low
	CSn	出力	CS 領域選択信号、アクティブ Low
	A00～A23	出力	アドレスバス
	D00～D31	入出力	データバス
	A00/D00～A15/D15	入出力	アドレス／データマルチプレクスバス
SDRAM インタフェース	SDCLK	出力	SDRAM 専用クロックを出力します。
	CKE	出力	SDRAM クロックイネーブル信号
	SDCS	出力	SDRAM のチップ選択信号、アクティブ Low
	RAS	出力	SDRAM Low アドレスストローブ信号、アクティブ Low
	CAS	出力	SDRAM 列アドレスストローブ信号、アクティブ Low
	WE	出力	SDRAM 書き込みイネーブル信号、アクティブ Low
	DQMn	出力	SDRAM 入出力データマスクイネーブル信号 (DQ07～DQ00, DQ15～DQ08, DQ23～DQ16, DQ31～DQ24)
	A00～A16	出力	アドレスバス
	DQ00～DQ31	入出力	データバス

表 1.15 端子機能 (3/7)

機能	信号	入出力	内容
GPT	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOCnA, GTIOCnB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTADSM0, GTADSM1	出力	A/D 変換開始要求モニタリング出力端子
	GTCPPOn	出力	PWM 同期トグル出力
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）
AGT	AGTEEn	入力	外部イベント入力イネーブル信号
	AGTIOn	入出力	外部イベント入力およびパルス出力端子
	AGTOn	出力	パルス出力端子
	AGTOAn	出力	アウトプットコンペアマッチ A 出力端子
	AGTOBn	出力	アウトプットコンペアマッチ B 出力端子
ULPT	ULPTEEn	入力	外部カウント制御入力
	ULPTEVIn	入力	外部イベント入力
	ULPTEEn-DS	入力	外部カウント制御入力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTEVIn-DS	入力	外部イベント入力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOn	出力	パルス出力
	ULPTOAn	出力	アウトプットコンペアマッチ A 出力
	ULPTOBn	出力	アウトプットコンペアマッチ B 出力
	ULPTOn-DS	出力	パルス出力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOAn-DS	出力	アウトプットコンペアマッチ A 出力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOBn-DS	出力	アウトプットコンペアマッチ B 出力はディープソフトウェアスタンバイモード 1 時も使用できます。
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子
	RTCICn	入力	時間キャプチャイベント入力端子

表 1.15 端子機能 (4/7)

機能	信号	入出力	内容
SCI	SCKn	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	CTSn	入力	送信の開始用の入力端子
	DEn	出力	RS-485 用のドライバイネーブル信号
	SCLn	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn	入力	チップ選択入力端子（簡易 SPI モード）、アクティブ Low
IIC	SCLn	入出力	クロック用の入出力端子
	SDAn	入出力	データ用の入出力端子
I3C	I3C_SCL0	入出力	クロック用の入出力端子
	I3C_SDA0	入出力	データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1～SSLA3, SSLB1～SSLB3	出力	スレーブ選択用の出力端子
CANFD	CRXn	入力	受信データ
	CTXn	出力	送信データ
USBFS	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB_DP	入出力	USB 内蔵トランシーバ D+端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出できます。
	USB_EXICEN	出力	外部電源 (OTG) チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへの VBUS (5 V) 供給許可信号
	USB_OVRCURA, USB_OVRCURB	入力	これらの端子には外部過電流検出信号を接続してください。OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください。
	USB_OVRCURA-DS, USB_OVRCURB-DS	入力	USBFS 用オーバーカレント端子は、ディープソフトウェアスタンバイモード 1 時も使用できます。これらの端子には外部過電流検出信号を接続してください。OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください。
	USB_ID	入力	OTG 動作時に MicroAB コネクタの ID 入力信号を接続してください。

表 1.15 端子機能 (5/7)

機能	信号	入出力	内容
USBHS	VCC_USBHS	入力	電源端子
	VSS1_USBHS, VSS2_USBHS	入力	グランド端子
	AVCC_USBHS	入力	アナログ電源
	USBHS_RREF	入出力	USBHS 用の基準電流源端子。2.2 kΩ (±1%) の抵抗を介して VSS2_USBHS 端子に接続してください。
	USBHS_DP	入出力	USB バスの D+データラインの入出力端子
	USBHS_DM	入出力	USB バスの D-データラインの入出力端子
	USBHS_EXICEN	出力	OTG 電源 IC に接続してください。
	USBHS_ID	入力	OTG 電源 IC に接続してください。
	USBHS_VBUSEN	出力	USBHS 用の VBUS 電源イネーブル端子
	USBHS_OVRCURA, USBHS_OVRCURB	入力	USBHS 用オーバーカレント端子
	USBHS_OVRCURA-DS, USBHS_OVRCURB-DS	入力	USBHS 用オーバーカレント端子は、ディープソフトウェアスタンバイモード 1 時も使用できます。
	USBHS_VBUS	入力	USB ケーブル接続モニタ入力端子
OSPI	OM_n_SCLK	出力	クロック出力（OCTACLK の 2 分周）
	OM_n_SCLKN	出力	反転クロック出力（OCTACLK の 2 分周）
	OM_n_CSn	出力	OctaFlash デバイス用チップ選択信号、アクティブ Low
	OM_n_DQS	入出力	読み出しデータストローブ／書き込みデータマスク信号
	OM_n_SIOn	入出力	データ入出力
	OM_n_RESET	出力	両スレーブデバイス用のリセット信号、アクティブ Low
	OM_n_ECSINT1	入力	スレーブ 1 のエラー訂正状態と割り込み
	OM_n_RSTO1	入力	スレーブ 1 のスレーブリセット状態
	OM_n_WP1	出力	スレーブ 1 の書き込み保護、アクティブ Low
SSIE	SSIBCK0, SSIBCK1	入出力	SSIE シリアルビットクロック端子
	SSILRCK0/ SSIFS0, SSILRCK1/ SSIFS1	入出力	LR クロック／フレーム同期端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA1	入出力	シリアルデータ入出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子（入力オーバーサンプリングクロック）
SDHI/MMC	SDnCLK	出力	SD クロック出力端子
	SDnCMD	入出力	コマンド出力端子および応答入力信号端子
	SDnDAT0～ SDnDAT7	入出力	SD/MMC データバス端子
	SDnCD	入力	SD カード検出端子
	SDnWP	入力	SD 書き込み保護信号

表 1.15 端子機能 (6/7)

機能	信号	入出力	内容
ESWM	ETn_GTX_CLK	出力	1000 Mb/s の送信クロック
	ETn_TX_CLK	入力	100 Mb/s、10 Mb/s の送信クロック
	ETn_RX_CLK	入力	受信クロック
	ETn_TX_EN	出力	送信許可
	ETn_TXD0～ETn_TXD7	出力	送信データ
	ETn_TX_ER	出力	送信コーディングエラー
	ETn_RX_DV	入力	受信データ有効
	ETn_RXD0～ETn_RXD7	入力	受信データ
	ETn_RX_ER	入力	受信エラー
	ETn_MDC	出力	管理データクロック
	ETn_MDIO	入出力	管理データ入出力
	RGMIIn_TXC	出力	送信クロック
	RGMIIn_RXC	入力	受信クロック
	RGMIIn_TX_CTL	出力	送信制御
	RGMIIn_TXD0～RGMIIn_TXD3	出力	送信データ
	RGMIIn_RX_CTL	入力	受信制御
	RGMIIn_RXD0～RGMIIn_RXD3	入力	受信データ
	RMIIn_REF50CK	入力	同期クロック参照
	RMIIn_TX_EN	出力	送信許可
	RMIIn_TXD0～RMIIn_TXD1	出力	送信データ
	RMIIn_CRS_DV	入力	キャリア感知／受信データ有効
	RMIIn_RXD0～RMIIn_RXD1	入力	受信データ
	RMIIn_RX_ER	入力	受信エラー
	ETn_LINKSTA	入力	PHY リンク状態
	ETn_INT	入力	PHY 割り込み
	ETn_WOL	出力	Wake-on-LAN。Magic Packet が受信されたことを示す信号
	GPTP_CAPTUREn	入力	メディアクロックキャプチャ入力
	GPTP_MATCHn	出力	メディアクロックリカバリ出力
	GPTP_PPSn	出力	PPS 信号
	GPTP_PTPOUT0～GPTP_PTPOUT3	出力	PTP パルスジェネレータ信号
	ET_TAS_STA0～ET_TAS_STA3	出力	TAS 状態監視
	ETHPHYCLK	出力	PHY 用クロック出力

表 1.15 端子機能 (7/7)

機能	信号	入出力	内容
PDMIF	PDMCLK0～PDMCLK2	出力	クロック出力端子
	PDMDAT0～PDMDAT2	入力	データ入力端子
アナログ電源	AVCC0	入力	アナログ電圧源端子。それぞれのモジュールのアナログ電源端子として使用されます。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH	入力	ADC16H（ユニット 1）と D/A コンバータ用のアナログ基準電圧端子。ADC16H（ユニット 1）と D/A コンバータを使用しない場合は AVCC0 に接続してください。
	VREFL	入力	ADC16H と D/A コンバータ用のアナログ基準グランド端子。ADC16H（ユニット 1）と D/A コンバータを使用しない場合は AVSS0 に接続してください。
	VREFH0	入力	ADC16H（ユニット 0）用のアナログ基準電圧端子。ADC16H（ユニット 0）を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC16H 用のアナログ基準グランド端子。ADC16H（ユニット 0）を使用しない場合は AVSS0 に接続してください。
ADC16H	ANxxx	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRGm	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
	ADSTm	出力	A/D 変換開始
	ADmFLAG1	出力	A/D 変換終了
	ADSYNC	出力	ユニット間の同期信号
DAC12	DAn	出力	D/A コンバータで処理されるアナログ信号用の出力端子
ACMPHS	VCOUT	出力	コンパレータ出力端子
	IVREFn	入力	コンパレータ用基準電圧入力端子
	IVCMPn	入力	コンパレータ用アナログ電圧入力端子
I/O ポート	Pmn	入出力	汎用入出力端子（m：ポート番号、n：ピン番号）
	P200	入力	汎用入力端子
CEU	VIO_D15～VIO_D0	入力	CEU データバス端子
	VIO_CLK	入力	CEU クロック端子
	VIO_VD	入力	CEU 垂直同期端子
	VIO_HD	入力	CEU 水平同期端子
	VIO_FLD	入力	フィールド信号端子

1.6 ピン配置図

以下にピン配置図（上面図）を示します。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A	P609	P113	P115	P112	P302	P915	VLO	VLO	VSS_DCDC	VCC_DCDC	VCC_DCDC	P309	P906	P905	P907	P904	P207	A
B	P813	PA12	P114	PA11	P300	P303	VLO	VLO	VSS_DCDC	VCC_DCDC	VCC_DCDC	P311	P908	P909	P206	PD01	PD02	B
C	PA06	P613	PA13	P301	P200	P210/TMS/SWDIO	P208/TDI	P110	P308	P305	P307	P911	P312	PD04	PD03	PD05	PD06	C
D	PA04	P611	P610	PA14	RES	P211/TCK/SWCLK	P109	P108	P903	P304	P306	P912	PB04	PB07	PB05	PB03	PB01	D
E	PA15	P615	P614	P612	P914	P201/MD	P209/TDO	P111	P902	P310	P910	P913	PB02	PB06	PD07	PB00	P706	E
F	PA02	PA10	PA08	PA09	PC14	VCC_08	VSS_08	VSS3	VCL3	VSS_07	VCC_07	P700	P702	P406	P701	P707	P705	F
G	PA00	PA03	PA05	PA07	PC12	VCC_09	VSS_09	VSS4	VCL4	VSS_06	VCC_06	P405	P704	P703	VSS_03	VCC_05	VSS_05	G
H	P504	P503	P505	PA01	PC11	VCC_10	VSS_10	VSS7	VCL5	VSS5	VCC_04	VSS_04	P403	VCC_03	VCC_USBHS	USBHS_DP	USBHS_DM	H
J	P506	P507	P508	P509	PC13	VCC2_11	VSS_11	VCL7	VCL6	VSS6	VCL2	VSS2	P404	VSS_02	USBHS_RREF	VSS2_USBHS	VSS1_USBHS	J
K	PC15	P608	P510	PD00	PC07	VSS_12	VSS9	VCL9	VCL8	VSS8	VCL1	VSS1	P410	VCC_02	AVCC_USBHS	P213/XTAL	P212/EXTAL	K
L	PC03	PC02	PC04	PC09	PC05	VCC2_12	VSS_14	VSS_15	VSS10	VCL10	VCL0	VSS0	P414	P402	VCC_01	P214/XCOUT	P215/XCIN/EXCIN	L
M	PC00	P607	PC01	PC08	PC10	P104	VCC2_14	VCC2_15	P810	VSS11	VCL11	P412	P710	P411	P408	VBATT	VSS_01	M
N	P605	P604	P606	PC06	P107	P106	P105	P811	P013	P011	P807	P708	P712	P714	P711	P713	P401	N
P	P603	P602	P600	P601	P102	P801	P803	P812	P012	P010	P009	P805	P512	P413	P515	P709	P400	P
R	VCC2_13	P315	P900	P103	P101	P802	P804	P501	AVCC0	AVSS0	P005	P003	P513	P514	P415	P409	P407	R
T	P205	P203	P313	P901	P809	P800	P502	P014	VREFL	VREFL0	P004	P007	P001	P806	P715	P815/USB_DM	VSS_USB	T
U	P204	P202	P314	VSS_13	P808	P100	P500	P015	VREFH	VREFH0	P008	P006	P000	P002	P511	P814/USB_DP	VCC_USB	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

図 1.3 289 ピン BGA のピン配置

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
A	NC	PA11	P114	P112	P300	VLO	VLO	VSS_DCDC	VCC_DCDC	VCC_DCDC	P309	P312	P908	P905	P206	A
B	P610	PA12	P115	P113	P302	VLO	VLO	VSS_DCDC	VCC_DCDC	VCC_DCDC	P311	P310	P906	P907	P909	B
C	P612	P611	PA13	P609	P301	RES	P210/TMS/SWDIO	P211/TCK/SWCLK	P304	P306	P305	P307	PB03	PB00	PB01	C
D	P615	P613	P614	PA14	P200	P208/TDI	P201/MD	P209/TDO	P902	P308	PB02	PB04	P705	P707	P706	D
E	PA15	PA08	P813	PA09	VCC_08	VSS_08	VSS5	VCL5	VSS_07	VCC_07	P405	P702	P704	P406	P701	E
F	PA06	PA10	PA05	PA07	VCC_09	VSS_09	VSS6	VCL6	VCL4	VSS4	P700	P703	VSS_03	VCC_05	VSS_05	F
G	PA04	PA02	PA01	PA03	VCC_10	VSS_10	VSS7	VCL7	VCL3	VSS3	P404	VCC_03	VCC_USBHS	USBHS_DP	USBHS_DM	G
H	PA00	P504	P503	P505	PC14	VSS_15	VSS8	VCL8	VCL2	VSS2	P403	VSS_02	USBHS_RREF	VSS2_USBHS	VSS1_USBHS	H
J	P506	P510	P507	P508	PC12	VCC2_15	VSS9	VCL9	VCL1	VSS1	P402	VCC_02	AVCC_USBHS	P213/XTAL	P212/EXTAL	J
K	PC15	P608	PD00	P509	VCC2_14	VSS_14	VSS10	VCL10	VCL0	VSS0	P410	P407	VCC_01	P214/XCOUT	P215/XCIN/EXCIN	K
L	PC13	P604	P603	P107	P106	P104	P105	VSS11	VCL11	P409	P414	P408	P415	VBATT	VSS_01	L
M	PC11	P602	P600	P601	P102	P801	P803	P009	P007	P708	P411	P710	P709	P711	P401	M
N	VCC2_12	P315	VSS_13	P103	P101	P802	P804	AVCC0	AVSS0	P005	P001	P712	P714	P713	P400	N
P	P205	P203	P313	VCC2_13	P809	P800	P015	VREFL	VREFL0	P006	P002	P003	P512	P815/USB_DM	VSS_USB	P
R	P204	P202	P314	VSS_12	P808	P100	P014	VREFH	VREFH0	P008	P004	P000	P511	P814/USB_DP	VCC_USB	R
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	

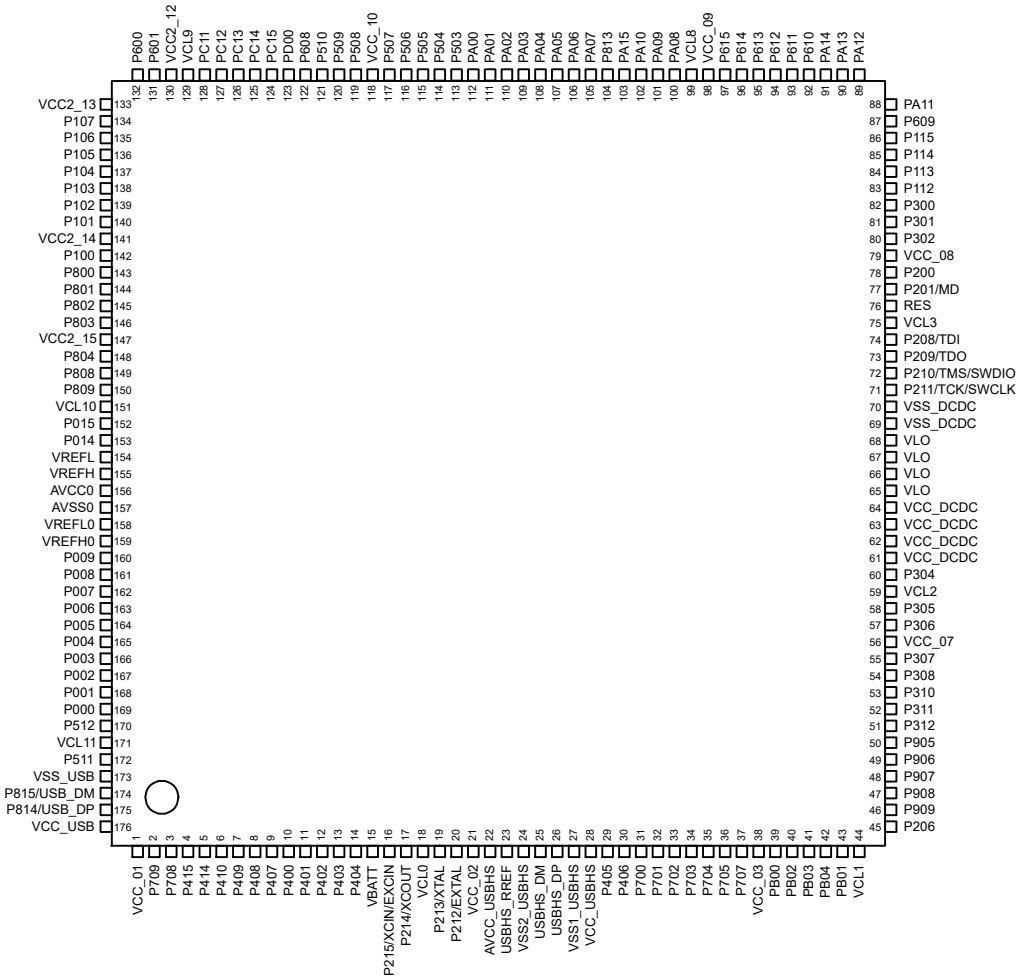
図 1.4　224 ピン BGA のピン配置

	1	2	3	4	5	6	7	8	9	10	11	12	13	
A	PA11	P114	P300	P302	VLO	VLO	VSS_DCDC	VCC_DCDC	VCC_DCDC	P306	P312	P905	P206	A
B	P115	P112	P113	P200	VLO	VLO	VSS_DCDC	VCC_DCDC	VCC_DCDC	P307	P906	P908	P909	B
C	P610	P609	PA12	P301	RES	P201/MD	P208/TDI	P209/TDO	P210/TMS/SWDIO	P211/TCK/SWCLK	P310	P907	P703	C
D	P613	P612	PA13	VCC_08	VSS_08	VSS5	VCL5	VSS_07	VCC_07	P311	P700	P702	P701	D
E	P614	PA08	PA14	VCC_09	VSS_09	VSS6	VCL6	VCL4	VSS4	P405	P404	VCC_02	VSS_02	E
F	PA10	PA09	P615	VCC_10	VSS_10	VSS7	VCL7	VCL3	VSS3	P402	P403	P213/XTAL	P212/EXTAL	F
G	PA02	PA04	PA05	VCC2_14	VSS_14	VSS8	VCL8	VCL2	VSS2	P408	VCC_01	P214/XCOUT	P215/XCIN/EXCIN	G
H	PA00	P509	PA03	VCC2_15	VSS_15	VSS9	VCL9	VCL1	VSS1	P409	P407	VBATT	VSS_01	H
J	P510	P603	PC13	PC14	VSS11	VCL11	VCL10	VCL0	VSS0	P410	P414	P415	P401	J
K	P602	P106	P104	PC11	P501	P015	VSS10	P009	P007	P709	P708	P514	P400	K
L	P107	P103	P101	P802	P500	AVCC0	AVSS0	P005	P003	P805	P512	P511	P515	L
M	P102	P800	P808	P803	P502	VREFL	VREFL0	P006	P004	P001	P513	VSS_USB	P815/USB_DM	M
N	P100	P801	P809	P804	P014	VREFH	VREFH0	P008	P002	P806	P000	VCC_USB	P814/USB_DP	N
	1	2	3	4	5	6	7	8	9	10	11	12	13	

図 1.5　169 ピン BGA のピン配置

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	
A	VSS	P114	P609	P113	P301	P208/ TDI	P210/ TMS/ SWDIO	VLO	VLO	VSS_D CDC	VCC_D CDC	VCC_D CDC	P309	P906	P905	P907	P207	VSS	A
B	P813	PA12	P115	PA11	P112	P209/ TDO	P211/ TCK/ SWCLK	VLO	VLO	VSS_D CDC	VCC_D CDC	VCC_D CDC	P311	P908	P909	P904	PD01	PD02	B
C	PA06	P613	PA13	P300	P302	P200	RES	P110	P903	P308	P305	P307	P911	P206	PD04	PD03	PD05	PD06	C
D	PA04	P611	P610	PA14	P303	P915	P108	P111	P109	P310	P304	P306	P912	PB04	PB07	PB05	PB03	PB01	D
E	PA15	P615	P614	P612	P914	P201/ MD				P902	P312	P910	P913	PB02	PB06	PD07	PB00	P706	E
F	PA02	PA10	PA08	PA09	PC14		VCC_ 08	VSS_ 08	VSS3	VCL3	VSS_ 07	VCC_ 07	P700	P702	P406	P701	P707	P705	F
G	PA00	PA03	PA05	PA07	PC12		VCC_ 09	VSS_ 09	VSS4	VCL4	VSS_ 06	VCC_ 06	P405	P704	P703	VSS_ 03	VCC_ 05	VSS_ 05	G
H	P504	P503	P505	PA01	PC11		VCC_ 10	VSS_ 10	VSS7	VCL5	VSS5	VCC_ 04	VSS_ 04		VCC_ 03	VCC_U SBHS	USBHS _DP	USBHS _DM	H
J	P506	P507	P508	P509	PC13		VCC2_ 11	VSS_ 11	VCL7	VCL6	VSS6	VCL2	VSS2		VSS_ 02	USBHS _RREF	VSS2_ USBHS	VSS1_ USBHS	J
K	PC15	P608	P510	PD00	VSS	VSS	VSS_ 12	VSS9	VCL9	VCL8	VSS8	VCL1	VSS1		VCC_ 02	AVCC_ USBHS	P213/ XTAL	P212/ EXTAL	K
L	PC10	VSS	PUP	VCC2_ 16	VSS_ 16		VCC2_ 12	VSS_ 14	VSS_ 15	VSS10	VCL10	VCL0	VSS0	P403	P404	VCC_ 01	P214/ XCOUT	P215/ XCIN/ EXCIN	L
M	PC09	VSS	VSS	VCC2_ 17	VSS_ 17			VCC2 _14	VCC2 _15		VSS11	VCL11		P414	P402	P410	VBATT	VSS_ 01	M
N	PC08	VSS	VSS	VCC2_ 18	VSS_ 18		P105			P810				P710	P411	P408	P412	P401	N
P	VSS	VSS	VSS	VCC2_ 19	VSS_ 19	P104	P107	P106	P811	P013	P011	P807	P708	P712	P714	P711	P713	P400	P
R	P602	VSS	VSS	P600	P601	P102	P801	P803	P812	P012	P010	P009	P805	P512	P413	P515	P709	P407	R
T	Vpp	VSS	P315	P900	P103	P101	P802	P804	P501	AVCC0	AVSS0	P005	P003	P513	P514	P415	P409	VCC_U SB	T
U	VCC2_ 13	P205	P203	P313	P901	P809	P800	P502	P014	VREFL	VREFL 0	P004	P007	P001	P806	P715	P815/ USB_D M	VSS_U SB	U
V	VSS	P204	P202	P314	VSS_ 13	P808	P100	P500	P015	VREFH	VREFH 0	P008	P006	P000	P002	P511	P814/ USB_D P	VSS	V
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	

図 1.6 303 ピン BGA のピン配置



注. VSS_01～VSS_15 と VSS0～VSS11 は、QFP パッケージ底面の露出パッドに配置します。このパッドは必ずグランド (0 V) に接続してください。

図 1.7 176 ピンのピン配置

1.7 端子一覧

表 1.16 標準製品の端子一覧 (1/9)

BGA289	BGA224	BGA169	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/ USBHS/OSPI/SSIE/SDHI/MMC/ ESWM(GMII, RGMII, MII, RMII)/ PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
A1	C4	C2	87	—	P609	D7/DQ7	IRQ29	TXD0_C/SDA0_C/MOSI0_C/ MISOA_B/CTX1	GTIU/GTIOC5B/ ULPTOA1-DS	AD1FLAG1	—
A2	B4	B3	84	—	P113	D4/DQ4	IRQ28	RXD0_A/SCL0_A/MISO0_A/ SSLA1_B/SSILRCK0_B/ SSIFS0_B/SD0DAT5_B	GTETRGB/GTIOC2A/ ULPTOA0-DS	ADST1	—
A3	B3	B1	86	—	P115	D6/DQ6	IRQ31-DS	CTS0_A/MOSIA_B/SSITXD0_B/ SD0DAT7_B	GTETRGD/GTIOC5A	AD0FLAG1	—
A4	A4	B2	83	—	P112	D3/DQ3	IRQ27	TXD0_A/SDA0_A/MOSI0_A/ SSLA2_B/SSIBCK0_B/ SD0DAT4_B	GTETRGA/GTIOC3B/ ULPTOB0-DS	ADST0	—
A5	B5	A4	80	—	P302	D0/DQ0	IRQ5	RXD6_B/SCL6_B/MISO6_B/ SD0DAT1_B	GTOUUP/GTIOC4A/ ULPTO0-DS	—	—
A6	—	—	—	—	P915	—	IRQ8	CTS6_B	GTIOC5A	—	—
A7	A6	A5	68	VLO	—	—	—	—	—	—	—
A8	A7	A6	66	VLO	—	—	—	—	—	—	—
A9	A8	A7	70	VSS_DCDC	—	—	—	—	—	—	—
A10	A9	A8	64	VCC_DCDC	—	—	—	—	—	—	—
A11	A10	A9	62	VCC_DCDC	—	—	—	—	—	—	—
A12	A11	—	—	—	P309	—	IRQ25-DS	CTS9_B/ET1_GTX_CLK/ RGMII1_TXC	GTCPPO8	VCOUT	VIO_D10
A13	B13	B11	49	—	P906	—	IRQ9	CTS6_A/USB_ID/SSILRCK1_A/ SSIFS1_A/ET1_RXD0/ RGMII1_RXD0/RMII1_RXD0/ PDMDAT0	GTIOC13B/ULPTO1	AD0FLAG1	VIO_D5
A14	A14	A12	50	—	P905	—	IRQ8	RXD3_B/SCL3_B/MISO3_B/ ET1_RX_CLK/RGMII1_RXC/ RMII1_REF50CK/PDMDAT1	GTCPPO13	AD1FLAG1	VIO_D6
A15	B14	C12	48	—	P907	—	IRQ10	SCK6_A/DE6/USB_EXICEN/ SSIBCK1_A/ET1_RXD1/ RGMII1_RXD1/RMII1_RXD1/ PDMCLK2	GTIOC13A/ULPTEE1	ADSYNC	VIO_D4
A16	—	—	—	—	P904	—	IRQ2	ET1_RXD4	GTIOC11B	—	—
A17	—	—	—	—	P207	—	IRQ25	ET1_RXD5	GTCPPO3	—	—
B1	E3	—	104	—	P813	SDCS	IRQ15	SCK7_A/DE7/PDMCLK2	GTETRGA/GTIOC7B	—	VIO_D13
B2	B2	C3	89	—	PA12	D9/DQ9	IRQ11	RXD9_C/SCL9_C/MISO9_C	GTIW/GTIOC6B	—	—
B3	A3	A2	85	—	P114	D5/DQ5	IRQ30-DS	CTS_RTS0_A/SS0_A/DE0/ SSLA0_B/SSIRXD0_B/ SD0DAT6_B	GTETRGC/GTIOC2B	ADSYNC	—
B4	A2	A1	88	—	PA11	D8/DQ8	IRQ10	SCK9_C/DE9	GTIV/GTIOC6A	—	—
B5	A5	A3	82	—	P300	D2/DQ2	IRQ4	SCK0_A/DE0/SSLA3_B/ SD0DAT3_B	GTIOC3A/ULPTEVI0-DS	—	—
B6	—	—	—	—	P303	—	IRQ29-DS	SCK6_B/DE6	GTIOC7B	—	—
B7	B6	B5	67	VLO	—	—	—	—	—	—	—
B8	B7	B6	65	VLO	—	—	—	—	—	—	—
B9	B8	B7	69	VSS_DCDC	—	—	—	—	—	—	—
B10	B9	B8	63	VCC_DCDC	—	—	—	—	—	—	—
B11	B10	B9	61	VCC_DCDC	—	—	—	—	—	—	—
B12	B11	D10	52	—	P311	—	IRQ23-DS	SCK3_B/DE3/CRX0/ET1_TX_CLK	GTADSM1/GTCPPO6/ AGTOB1	—	VIO_D8
B13	A13	B12	47	—	P908	—	IRQ11	TXD6_A/SDA6_A/MOSI6_A/ CRX1/USB_OVRCURB/ USBHS_ID/ET1_RXD2/ RGMII1_RXD2/PDMCLK1	GTIOC12B/ULPTEVI1	ADST1	VIO_D3
B14	B15	B13	46	—	P909	—	IRQ21-DS	RXD6_A/SCL6_A/MISO6_A/ CTX1/USB_OVRCURA/ USBHS_EXICEN/ET1_RXD3/ RGMII1_RXD3/PDMCLK0	GTIOC12A/ULPTOA1	ADST0	VIO_D2
B15	A15	A13	45	CLKOUT	P206	CS7	IRQ0-DS	USB_VBUSEN/SSIDATA1_A/ SD0DAT7_C/ET1_RX_DV/ RGMII1_RX_CTL/RMII1_CRS_DV	GTIU/GTCPPO0/ ULPTOB1	—	VIO_D0
B16	—	—	—	—	PD01	—	IRQ22	SCK8_C/DE8/SD0DAT2_C/ ET1_RXD6	GTCPPO2	—	—

表 1.16 標準製品の端子一覧 (2/9)

BGA289	BGA224	BGA169	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS	CEU
B17	—	—	—	—	PD02	—	IRQ21	TXD8_C/SDA8_C/MOSI8_C/SD0DAT1_C/ET1_RXD7	GTCPPO1	—	—
C1	F1	—	106	—	PA06	CS1/CKE	IRQ17	CTS2_C/SD0DAT1_A/PDMDAT1	GTETRGC/GTIOC7B	—	VIO_D11
C2	D2	D1	95	—	P613	D15/DQ15	IRQ19	CTS0_C/USBHS_OVRCURB	GTETRGA/GTIOC9B/AGTO1	—	—
C3	C3	D3	90	—	PA13	D10/DQ10	IRQ12	CTS_RTS9_C/SS9_C/DE9	GTOVUP/GTIOC10A	—	—
C4	C5	C4	81	—	P301	D1/DQ1	IRQ6	TXD6_B/SDA6_B/MOSI6_B/SD0DAT2_B	GTOULO/GTIOC4B/AGTIO0/ULPTEE0-DS	—	—
C5	D5	B4	78	—	P200	—	NMI	—	—	—	—
C6	C7	C9	72	TMS/SWDIO	P210	—	IRQ24	CTS_RTS9_B/SS9_B/DE9	GTOULO/GTIOC0B	—	—
C7	D6	C7	74	TDI	P208	—	IRQ3	RXD9_B/SCL9_B/MISO9_B/CRX1	GTOVLO/GTIOC1B	VCOUT	—
C8	—	—	—	—	P110	—	IRQ20	SD0DAT4_C	GTIOC9B	—	—
C9	D10	—	54	TCLK	P308	—	IRQ26-DS	CTS3_B/SD0CLK_B/ET1_TX_ER/ETHPHYCLK	GTIU/GTCPPO9/ULPTOB1	—	VIO_D11
C10	C11	—	58	TDATA2	P305	—	IRQ8	SD0WP/ET1_TXD2/RGMII1_TXD2	GTOVUP/GTCPPO12/ULPTEE1	—	VIO_D14
C11	C12	B10	55	TDATA0	P307	—	IRQ27-DS	CTS_RTS6_A/SS6_A/DE6/SD0CMD_B/ET1_TXD0/RGMII1_TXD0/RMII1_TXD0	GTIV/GTCPPO10/ULPTOA1	—	VIO_D12
C12	—	—	—	—	P911	—	IRQ6	ET1_TXD5	GTIOC3B	—	—
C13	A12	A11	51	—	P312	—	IRQ22-DS	CTS_RTS3_B/SS3_B/DE3/CTX0/ET1_RX_ER/RMII1_RX_ER/PDMDAT2	GTADSM0/GTCPPO5/AGTOA1	—	VIO_D7
C14	—	—	—	—	PD04	—	IRQ20	CTS_RTS8_C/SS8_C/DE8/USBHS_ID/SD0CMD_C/ET0_RXD5	GTIOC3A	—	—
C15	—	—	—	—	PD03	—	IRQ21	RXD8_C/SCL8_C/MISO8_C/USBHS_EXICEN/SD0DAT0_C/ET0_RXD4	GTIOC3B	—	—
C16	—	—	—	—	PD05	—	IRQ19	CTS8_C/USBHS_OVRCURB/SD0CLK_C/ET0_RXD6	GTIOC2B	—	—
C17	—	—	—	—	PD06	—	IRQ18	USBHS_OVRCURA/SD0WP/ET0_RXD7	GTIOC2A	—	—
D1	G1	G2	108	—	PA04	A1/DQM3	IRQ19	SCK2_C/DE2/SD0DAT3_A	GTIU/GTIOC4B	ADST0	VIO_D9
D2	C2	—	93	CACREF/CLKOUT	P611	D13/DQ13	IRQ17	SCK0_C/DE0/MOSIA_B/USBHS_VBUSEN	GTOULO/GTIOC4B	—	—
D3	B1	C1	92	—	P610	D12/DQ12	IRQ16	RXD0_C/SCL0_C/MISO0_C/RSPCKA_B/CRX1	GTOUUP/GTIOC4A/ULPTOB1-DS	—	—
D4	D4	E3	91	—	PA14	D11/DQ11	IRQ13	TXD9_C/SDA9_C/MOSI9_C	GTOVLO/GTIOC10B	—	—
D5	C6	C5	76	RES	—	—	—	—	—	—	—
D6	C8	C10	71	TCK/SWCLK	P211	—	IRQ23	SCK9_B/DE9	GTOUUP/GTIOC0A	—	—
D7	—	—	—	—	P109	—	IRQ23	SD0DAT5_C	GTIOC10A	—	—
D8	—	—	—	—	P108	—	IRQ24	SD0DAT6_C	GTIOC10B	—	—
D9	—	—	—	—	P903	—	IRQ1	—	GTIOC11A	—	—
D10	C9	—	60	TDATA3	P304	—	IRQ9	SD0DAT0_B/ET1_TXD3/RGMII1_TXD3	GTOVLO/GTIOC7A/ULPTO1	—	VIO_D15
D11	C10	A10	57	TDATA1	P306	—	IRQ28-DS	SD0CD/ET1_TXD1/RGMII1_TXD1/RMII1_TXD1	GTIW/GTCPPO11/ULPTEVI1	—	VIO_D13
D12	—	—	—	—	P912	—	IRQ5	ET1_TXD6	GTIOC3A	—	—
D13	D12	—	42	—	PB04	—	IRQ9	SCK5_C/DE5/ET0_TXD3/RGMII0_TXD3	GTCPPO3	AD0FLAG1	VIO_CLK
D14	—	—	—	—	PB07	—	IRQ1	ET0_TXD5	GTIOC9B	—	—
D15	—	—	—	—	PB05	—	IRQ15	CTS5_C/ET0_TXD7	GTCPPO4	—	—
D16	C13	—	41	—	PB03	—	IRQ13	TXD5_C/SDA5_C/MOSI5_C/ET0_TXD2/RGMII0_TXD2	GTCPPO1	ADSYNC	VIO_HD
D17	C15	—	43	—	PB01	ALE	IRQ12	CTS_RTS1_B/SS1_B/DE1/ET0_TX_CLK	GTCPPO2	AD1FLAG1	VIO_FLD
E1	E1	—	103	—	PA15	EBCLK/SDCLK	IRQ14	CTS9_C/PDMCLK1	GTIOC7A	—	VIO_D14

表 1.16 標準製品の端子一覧 (3/9)

BGA289	BGA224	BGA169	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/ USBHS/OSPI/SSIE/SDHI/MMC/ ESWM(GMII, RGMII, MII, RMII)/ PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
E2	D1	F3	97	—	P615	WR2/BC 2/DQM2	IRQ7	TXD7_A/SDA7_A/MOSI7_A/ USBHS_EXICEN	GTETRGC/GTCPPO10	—	—
E3	D3	E1	96	—	P614	WR/WR0 /DQM0	IRQ20	RXD7_A/SCL7_A/MISO7_A/ USBHS_ID	GTETRGB/GTCPPO9/ AGTO0	—	—
E4	C1	D2	94	—	P612	D14/ DQ14	IRQ18	CTS_RTS0_C/SS0_C/DE0/ SSLA0_B/USBHS_OVRCURA	GTIOC9A	—	—
E5	—	—	—	—	P914	—	IRQ9	CTS_RTS6_B/SS6_B/DE6	GTIOC5B	—	—
E6	D7	C6	77	MD	P201	—	IRQ4	—	—	—	—
E7	D8	C8	73	TDO/SWO/CLKOUT	P209	—	IRQ25	TXD9_B/SDA9_B/MOSI9_B/CTX1	GTOVUP/GTIOC1A	—	—
E8	—	—	—	—	P111	—	IRQ19	SD0DAT3_C	GTIOC9A	—	—
E9	D9	—	—	—	P902	ALE	IRQ0	AUDIO_CLK/ETHPHYCLK	GTCPPO13	—	VIO_D1
E10	B12	C11	53	—	P310	—	IRQ24-DS	TXD3_B/SDA3_B/MOSI3_B/ ET1_TX_EN/RGMII1_TX_CTL/ RMII1_TX_EN	GTCPPO7/AGTEE1	—	VIO_D9
E11	—	—	—	—	P910	—	IRQ7	ET1_TXD4	GTCPPO12	—	—
E12	—	—	—	CLKOUT	P913	—	IRQ3	ET1_TXD7	GTCPPO11	—	—
E13	D11	—	40	—	PB02	—	IRQ11	RXD5_C/SCL5_C/MISO5_C/ ET0_TXD1/RGMII0_TXD1/ RMII0_TXD1	GTCPPO0	ADST1	VIO_VD
E14	—	—	—	—	PB06	—	IRQ0	CTS_RTS5_C/SS5_C/DE5/ ET0_TXD6	GTIOC9A	—	—
E15	—	—	—	—	PD07	—	IRQ17	USBHS_VBUSEN/SD0CD/ ET0_TXD4	GTCPPO0	—	—
E16	C14	—	39	—	PB00	—	IRQ10	SCK1_B/DE1/USBHS_VBUSEN/ ET0_TXD0/RGMII0_TXD0/ RMII0_TXD0/PDMDAT2	GTCPPO4	ADST0	—
E17	D15	—	—	—	P706	—	IRQ7	RXD1_B/SCL1_B/MISO1_B/ USBHS_OVRCURB-DS/ ET0_GTX_CLK/RGMII0_TXC/ ETHPHYCLK/PDMDAT0	GTCPPO2/AGTIO0	—	VIO_D10
F1	G2	G1	110	—	PA02	A3	IRQ31	RXD2_C/SCL2_C/MISO2_C/ SD0DAT5_A	GTIW/GTCPPO9	ADSYNC	VIO_D7
F2	F2	F1	102	—	PA10	CS2/RA S	IRQ4	SCK5_B/DE5/PDMCLK0	GTCPPO13	—	VIO_D15
F3	E2	E2	100	—	PA08	CS0/WE	IRQ6	RXD5_B/SCL5_B/MISO5_B	GTETRGD/GTCPPO11	—	—
F4	E4	F2	101	—	PA09	CS3/CA S	IRQ5	TXD5_B/SDA5_B/MOSI5_B	GTCPPO12	—	—
F5	H5	J4	125	—	PC14	D16/ DQ16	IRQ0	TXD6_C/SDA6_C/MOSI6_C/ ET0_WOL	GTADSM1/GTCPPO9	—	—
F6	E5	D4	79	VCC_08	—	—	—	—	—	—	—
F7	E6	D5	—	VSS_08	—	—	—	—	—	—	—
F8	G10	F9	—	VSS3	—	—	—	—	—	—	—
F9	G9	F8	75	VCL3	—	—	—	—	—	—	—
F10	E9	D8	—	VSS_07	—	—	—	—	—	—	—
F11	E10	D9	56	VCC_07	—	—	—	—	—	—	—
F12	F11	D11	31	—	P700	—	IRQ16-DS	RXD2_B/SCL2_B/MISO2_B/ MISOA_C/SSIDATA1_B/SD1WP/ ET0_RXD2/RGMII0_RXD2	GTIOC5A	—	VIO_D4
F13	E12	D12	33	—	P702	—	IRQ18-DS	CTS2_B/RSPCKA_C/SSIBCK1_B/ SD1DAT5_B/ET0_RXD0/ RGMII0_RXD0/RMII0_RXD0	GTIOC6A/ULPTO0	—	VIO_D6
F14	E14	—	30	—	P406	—	IRQ31	TXD2_B/SDA2_B/MOSI2_B/ SSLA3_C/SSIRXD0_A/SD1CD/ ET0_RXD3/RGMII0_RXD3	GTIOC1B	—	VIO_D3
F15	E15	D13	32	—	P701	—	IRQ17-DS	CTS_RTS2_B/SS2_B/DE2/ MOSIA_C/SSILRCK1_B/ SSIFS1_B/SD1DAT4_B/ ET0_RXD1/RGMII0_RXD1/ RMII0_RXD1	GTIOC5B/ULPTO1	—	VIO_D5
F16	D14	—	37	—	P707	—	IRQ8	TXD1_B/SDA1_B/MOSI1_B/ USBHS_OVRCURA-DS/ ET0_TX_ER/ETHPHYCLK/ PDMDAT1	GTCPPO3	—	VIO_D11
F17	D13	—	36	—	P705	—	IRQ19	CTS1_B/SSLA2_C/CRX0/ ET0_TX_EN/RGMII0_TX_CTL/ RMII0_TX_EN/PDMCLK2	GTADSM1/GTCPPO1/ AGTIO0	—	VIO_D9

表 1.16 標準製品の端子一覧 (4/9)

BGA289	BGA224	BGA169	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/ USBHS/OSPI/SSIE/SDHI/MMC/ ESWM(GMII, RGMII, MII, RMII)/ PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
G1	H1	H1	112	—	PA00	A5	IRQ22	CTS_RTS5_B/SS5_B/DE5/ SD0DAT7_A	GTOVLO/GTCPPO7	AD1FLAG1	VIO_D5
G2	G4	H3	109	—	PA03	A2	IRQ20	TXD2_C/SDA2_C/MOSI2_C/ SD0DAT4_A	GTIV/GTCPPO10	ADST1	VIO_D8
G3	F3	G3	107	—	PA05	A0/BC0/ DQM1	IRQ18	CTS_RTS2_C/SS2_C/DE2/ SD0DAT2_A/PDMDAT2	GTETRGD/GTIOC4A	—	VIO_D10
G4	F4	—	105	—	PA07	RD	IRQ16	CTS7_A/SD0DAT0_A/PDMDAT0	GTETRGB/GTIOC7A	VCOUT	VIO_D12
G5	J5	—	127	—	PC12	D18/ DQ18	IRQ2	SCK6_C/DE6/ET0_MDIO	GTCPPO11	—	—
G6	F5	E4	98	VCC_09	—	—	—	—	—	—	—
G7	F6	E5	—	VSS_09	—	—	—	—	—	—	—
G8	F10	E9	—	VSS4	—	—	—	—	—	—	—
G9	F9	E8	—	VCL4	—	—	—	—	—	—	—
G10	—	—	—	VSS_06	—	—	—	—	—	—	—
G11	—	—	—	VCC_06	—	—	—	—	—	—	—
G12	E11	E10	29	—	P405	—	IRQ30	SCK2_B/DE2/SSITXD0_A/ SD1DAT3_B/ET0_RX_DV/ RGMII0_RX_CTL/RMII0_CRS_DV	GTIOC1A/AGTIO1	—	VIO_D2
G13	E13	—	35	—	P704	—	IRQ26	SSLA1_C/CTX0/SD1DAT7_B/ ET0_RX_ER/RMII0_RX_ER/ PDMCLK1	GTADSM0/GTCPPO0/ AGTO0	—	VIO_D8
G14	F12	C13	34	—	P703	—	IRQ19-DS	SSLA0_C/SD1DAT6_B/ ET0_RX_CLK/RGMII0_RXC/ RMII0_REF50CK/PDMCLK0	GTIOC6B/AGTO1	VCOUT	VIO_D7
G15	F13	—	—	VSS_03	—	—	—	—	—	—	—
G16	F14	—	—	VCC_05	—	—	—	—	—	—	—
G17	F15	—	—	VSS_05	—	—	—	—	—	—	—
H1	H2	—	114	—	P504	A7	IRQ7	SD0WP	GTOULO/GTCPPO1	—	VIO_D3
H2	H3	—	113	—	P503	A6	IRQ6	SD0CD	GTOUUP/GTCPPO6	—	VIO_D4
H3	H4	—	115	—	P505	A8	IRQ8	SD0CLK_A	GTOWUP/GTCPPO2	—	VIO_D2
H4	G3	—	111	—	PA01	A4	IRQ21	CTS5_B/SD0DAT6_A	GTOVUP/GTCPPO8	AD0FLAG1	VIO_D6
H5	M1	K4	128	—	PC11	D19/ DQ19	IRQ3	CTS_RTS6_C/SS6_C/DE6/ ET0_MDC	GTCPPO12	—	—
H6	G5	F4	118	VCC_10	—	—	—	—	—	—	—
H7	G6	F5	—	VSS_10	—	—	—	—	—	—	—
H8	G7	F6	—	VSS7	—	—	—	—	—	—	—
H9	E8	D7	—	VCL5	—	—	—	—	—	—	—
H10	E7	D6	—	VSS5	—	—	—	—	—	—	—
H11	—	—	—	VCC_04	—	—	—	—	—	—	—
H12	—	—	—	VSS_04	—	—	—	—	—	—	—
H13	H11	F11	13	—	P403	—	IRQ14-DS	CTS_RTS1_A/SS1_A/DE1/ SSIBCK0_A/SD1DAT1_B/ ET1_WOL	GTIOC3A/RTCIC1	AD0FLAG1	—
H14	G12	—	38	VCC_03	—	—	—	—	—	—	—
H15	G13	—	28	VCC_USBHS	—	—	—	—	—	—	—
H16	G14	—	26	USBHS_DP	—	—	—	—	—	—	—
H17	G15	—	25	USBHS_DM	—	—	—	—	—	—	—
J1	J1	—	116	—	P506	A9	IRQ9	SD0CMD_A	GTOWLO/GTCPPO3	—	VIO_D1
J2	J3	—	117	—	P507	A10	IRQ10	CTS_RTS7_A/SS7_A/DE7/ ET_TAS_STA0	GTADSM0/GTIOC0A	—	VIO_D0
J3	J4	—	119	—	P508	A11	IRQ1	CTS5_A/ET_TAS_STA1	GTADSM1/GTIOC0B	—	VIO_VD
J4	K4	H2	120	—	P509	A12	IRQ2	CTS_RTS5_A/SS5_A/DE5/ ET_TAS_STA2	GTIOC1A/ULPTEVI1	—	VIO_HD
J5	L1	J3	126	—	PC13	D17/ DQ17	IRQ1	RXD6_C/SCL6_C/MISO6_C/ ET0_INT	GTCPPO10	—	—
J6	—	—	—	VCC2_11	—	—	—	—	—	—	—
J7	—	—	—	VSS_11	—	—	—	—	—	—	—

表 1.16 標準製品の端子一覧 (5/9)

BGA289	BGA224	BGA169	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/ USBHS/OSPI/SSIE/SDHI/MMC/ ESWM(GMII, RGMII, MII, RMII)/ PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
J8	G8	F7	—	VCL7	—	—	—	—	—	—	—
J9	F8	E7	—	VCL6	—	—	—	—	—	—	—
J10	F7	E6	—	VSS6	—	—	—	—	—	—	—
J11	H9	G8	59	VCL2	—	—	—	—	—	—	—
J12	H10	G9	—	VSS2	—	—	—	—	—	—	—
J13	G11	E11	14	—	P404	—	IRQ15-DS	CTS1_A/SSILRCK0_A/SSIFS0_A/ SD1DAT2_B/ET0_WOL	GTIOC3B/RTCIC2	AD1FLAG1	—
J14	H12	E13	—	VSS_02	—	—	—	—	—	—	—
J15	H13	—	23	USBHS_RREF	—	—	—	—	—	—	—
J16	H14	—	24	VSS2_USBHS	—	—	—	—	—	—	—
J17	H15	—	27	VSS1_USBHS	—	—	—	—	—	—	—
K1	K1	—	124	—	PC15	A16	IRQ30	CTS6_C/CRX1	GTADSM0	—	—
K2	K2	—	122	CACREF	P608	A14	IRQ22	TXD5_A/SDA5_A/MOSI5_A	GTOWUP/GTCPPO4	—	VIO_FLD
K3	J2	J1	121	—	P510	A13	IRQ3	RXD5_A/SCL5_A/MISO5_A/ ET_TAS_STA3	GTIOC1B/ULPTEVI0	—	VIO_CLK
K4	K3	—	123	—	PD00	A15	IRQ23	SCK5_A/DE5/CTX1	GTOWLO/GTCPPO5	—	—
K5	—	—	—	—	PC07	D23/ DQ23	IRQ21	OM_1_RESET	GTCPPO0	—	—
K6	R4	—	—	VSS_12	—	—	—	—	—	—	—
K7	J7	H6	—	VSS9	—	—	—	—	—	—	—
K8	J8	H7	129	VCL9	—	—	—	—	—	—	—
K9	H8	G7	99	VCL8	—	—	—	—	—	—	—
K10	H7	G6	—	VSS8	—	—	—	—	—	—	—
K11	J9	H8	44	VCL1	—	—	—	—	—	—	—
K12	J10	H9	—	VSS1	—	—	—	—	—	—	—
K13	K11	J10	6	—	P410	A19	IRQ5	SCK3_A/DE3/SCL0_A(注1)/ USB_OVRCURB-DS/ USBHS_OVRCURB/ GPTP_MATCH0	GTOVLO/GTIOC9B/ AGTOB1	ADST0	—
K14	J12	E12	21	VCC_02	—	—	—	—	—	—	—
K15	J13	—	22	AVCC_USBHS	—	—	—	—	—	—	—
K16	J14	F12	19	XTAL	P213	—	IRQ2	TXD1_C/SDA1_C/MOSI1_C	GTETRGC/GTIOC0A/ ULPTEE0	ADTRG1	—
K17	J15	F13	20	EXTAL	P212	—	IRQ3	RXD1_C/SCL1_C/MISO1_C	GTETRGD/GTIOC0B/ AGTEE1	—	—
L1	—	—	—	—	PC03	D27/ DQ27	IRQ25	TXD7_C/SDA7_C/MOSI7_C/ OM_1_SIO4	GTCPPO4	—	—
L2	—	—	—	—	PC02	D28/ DQ28	IRQ26	SCK7_C/DE7/OM_1_SIO3	GTCPPO5	—	—
L3	—	—	—	—	PC04	D26/ DQ26	IRQ24	RXD7_C/SCL7_C/MISO7_C/ OM_1_SIO2	GTCPPO3	—	—
L4	—	—	—	—	PC09	D21/ DQ21	IRQ5	OM_1_RSTO1	—	—	—
L5	—	—	—	—	PC05	D25/ DQ25	IRQ23	OM_1_CS1	GTCPPO2	—	—
L6	N1	—	130	VCC2_12	—	—	—	—	—	—	—
L7	K6	G5	—	VSS_14	—	—	—	—	—	—	—
L8	H6	H5	—	VSS_15	—	—	—	—	—	—	—
L9	K7	K7	—	VSS10	—	—	—	—	—	—	—
L10	K8	J7	151	VCL10	—	—	—	—	—	—	—
L11	K9	J8	18	VCL0	—	—	—	—	—	—	—
L12	K10	J9	—	VSS0	—	—	—	—	—	—	—
L13	L11	J11	5	—	P414	A23	IRQ9	RXD4_B/SCL4_B/MISO4_B/ SSLB0_B/CRX1/ET1_MDIO	GTIOC0B	—	VIO_CLK
L14	J11	F10	12	CACREF	P402	—	IRQ4-DS	SCK1_A/DE1/CRX0/AUDIO_CLK/ SD1DAT0_B/ET0_LINKSTA	RTCIC0	—	—
L15	K13	G11	1	VCC_01	—	—	—	—	—	—	—

表 1.16 標準製品の端子一覧 (6/9)

BGA289	BGA224	BGA169	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/ USBHS/OSPI/SSIE/SDHI/MMC/ ESWM(GMII, RGMII, MII, RMII)/ PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
L16	K14	G12	17	XCOUT	P214	—	IRQ21	—	—	—	—
L17	K15	G13	16	XCIN/EXCIN	P215	—	IRQ20	—	—	—	—
M1	—	—	—	—	PC00	D30/ DQ30	IRQ28	CTS_RTS7_C/SS7_C/DE7/ OM_1_SIO5	GTCPPO7	—	—
M2	—	—	—	—	P607	D31/ DQ31	IRQ23	OM_1_DQS	—	—	—
M3	—	—	—	—	PC01	D29/ DQ29	IRQ27	CTS7_C/OM_1_SIO0	GTCPPO6	—	—
M4	—	—	—	—	PC08	D22/ DQ22	IRQ29	OM_1_CS0	GTCPPO8	—	—
M5	—	—	—	—	PC10	D20/ DQ20	IRQ4	OM_1_WP1	GTCPPO13	—	—
M6	L6	K3	137	—	P104	—	IRQ1	CTS9_A/SSLB1_A/OM_0_CS1/ GPTP_MATCH0	GTETRGB/GTIOC1B	AD0FLAG1	—
M7	K5	G4	141	VCC2_14	—	—	—	—	—	—	—
M8	J6	H4	147	VCC2_15	—	—	—	—	—	—	—
M9	—	—	—	—	P810	—	IRQ21	SCK7_B/DE7/SD1DAT2_A/ PDMCLK0	GTIOC10A/ULPTOA0	—	—
M10	L8	J5	—	VSS11	—	—	—	—	—	—	—
M11	L9	J6	171	VCL11	—	—	—	—	—	—	—
M12	—	—	—	—	P412	A21	IRQ20-DS	CTS3_A/USB_EXICEN/ USBHS_EXICEN/ GPTP_PTPOUT0	GTOULO/GTCPPO8/ AGTEE1	—	—
M13	M12	—	—	—	P710	CS5	IRQ17	CTS4_B/SSLB3_B/ET0_LINKSTA	GTIOC11B	—	VIO_D12
M14	M11	—	—	CACREF	P411	A20	IRQ4	CTS_RTS3_A/SS3_A/DE3/ USB_ID/USBHS_ID/ GPTP_PTPOUT1	GTOVUP/GTIOC9A/ AGTOA1	—	—
M15	L12	G10	8	—	P408	A17	IRQ7	RXD3_A/SCL3_A/MISO3_A/ SCL0_B(注1)/USB_VBUSEN/ USBHS_VBUS/GPTP_PTPOUT2	GTOWLO/GTIOC10A/ ULPTOB0	ADSYNC	—
M16	L14	H12	15	VBATT	—	—	—	—	—	—	—
M17	L15	H13	—	VSS_01	—	—	—	—	—	—	—
N1	—	—	—	—	P605	—	IRQ25	CTS0_B/OM_1_SIO1	GTIOC8A	—	—
N2	L2	—	—	—	P604	—	IRQ26	CTS_RTS0_B/SS0_B/DE0/ OM_1_SIO7	GTIOC8B	—	—
N3	—	—	—	—	P606	WR3/BC3	IRQ24	OM_1_SIO6	—	—	—
N4	—	—	—	—	PC06	D24/ DQ24	IRQ22	OM_1_ECSINT1	GTCPPO1	—	—
N5	L4	L1	134	—	P107	—	IRQ31	CTS4_A/OM_0_CS0/ET1_INT	GTOWUP/GTIOC8A/ AGTOA0	ADST0	—
N6	L5	K2	135	—	P106	—	IRQ16	CTS8_B/SSLB3_A/ OM_0_RESET/ET1_LINKSTA	GTOWLO/GTIOC8B/ AGTOB0/ULPTEE1-DS	ADST1	—
N7	L7	—	136	—	P105	—	IRQ0	CTS_RTS8_B/SS8_B/DE8/ SSLB2_A/OM_0_ECSINT1/ GPTP_CAPTURE0	GTIOC1A/ULPTO1-DS	ADSYNC	—
N8	—	—	—	—	P811	—	IRQ22	CTS7_B/USB_ID/SD1DAT3_A/ PDMCLK1	GTIOC10B/ULPTOB0	—	—
N9	—	—	—	—	P013	—	IRQ14	—	—	AN013	—
N10	—	—	—	—	P011	—	IRQ16	—	—	AN011	—
N11	—	—	—	—	P807	—	IRQ11	—	GTIOC13A	—	—
N12	M10	K11	3	CACREF	P708	WR1/BC1	IRQ11	SCK4_B/DE4/SDA2_A(注1)/ MOSIB_B/AUDIO_CLK/ET0_MDC	GTCPPO6	—	VIO_VD
N13	N12	—	—	—	P712	—	IRQ2	CTS1_C/SSLB1_B/ GPTP_CAPTURE1	GTIOC2B/AGTOB0	—	—
N14	N13	—	—	—	P714	—	IRQ13	TXD4_C/SDA4_C/MOSI4_C/ GPTP_PPS1	GTIOC12B	—	—
N15	M14	—	—	—	P711	—	IRQ3	CTS_RTS1_C/SS1_C/DE1/ SSLB2_B/GPTP_PPS0	GTIOC11A/AGTEE0	—	—
N16	N14	—	—	—	P713	—	IRQ14	CTS4_C/GPTP_MATCH1	GTIOC2A/AGTOA0	—	—
N17	M15	J13	11	—	P401	—	IRQ5-DS	RXD1_A/SCL1_A/MISO1_A/ I3C_SDA0/CTX0/SD1CMD_B	GTETRGA/GTIOC6B	—	VIO_D1

表 1.16 標準製品の端子一覧 (7/9)

BGA289	BGA224	BGA169	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/ USBHS/OSPI/SSIE/SDHI/MMC/ ESWM(GMII, RGMII, MII, RMII)/ PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
P1	L3	J2	—	—	P603	—	IRQ27	TXD0_B/SDA0_B/MOSI0_B/ OM_1_SCLK	GTIOC7A/ULPTO0	—	—
P2	M2	K1	—	—	P602	—	IRQ28	RXD0_B/SCL0_B/MISO0_B/ OM_1_SCLKN	GTIOC7B/ULPTEE0	—	—
P3	M3	—	132	CACREF	P600	—	IRQ30	OM_0_RSTO1/ET1_WOL	GTIOC6B/ULPTEVI1-DS	—	—
P4	M4	—	131	—	P601	—	IRQ29	SCK0_B/DE0/OM_0_WP1	GTIOC6A/ULPTEVI0/ RTCOUT	—	—
P5	M5	M1	139	—	P102	—	IRQ17	TXD9_A/SDA9_A/MOSI9_A/ RSPCKB_A/CRX0/OM_0_SIO4	GTOWLO/GTIOC2B/ AGTO0	ADTRG0	—
P6	M6	N2	144	—	P801	—	IRQ12	TXD2_A/SDA2_A/MOSI2_A/ OM_0_DQS/GPTP_PPS1	GTIV/GTIOC11B/ AGTOB0	—	—
P7	M7	M4	146	—	P803	—	IRQ19	SCK2_A/DE2/OM_0_SIO1	GTETRGC/GTIOC12B	—	—
P8	—	—	—	—	P812	—	IRQ23	CTS_RTS7_B/SS7_B/DE7/ USB_EXICEN/SD1DAT4_A/ PDMCLK2	GTIOC11A	AN022	—
P9	—	—	—	—	P012	—	IRQ15	—	—	AN012	—
P10	—	—	—	—	P010	—	IRQ14	—	—	AN010	—
P11	M8	K8	160	—	P009	—	IRQ13-DS	—	—	AN009/ IVREF1	—
P12	—	L10	—	—	P805	—	IRQ30	TXD8_A/SDA8_A/MOSI8_A/ ET1_MDIO	—	AN017/ IVCMP0	VIO_D15
P13	P13	L11	170	—	P512	—	IRQ14	CTS8_A/SCL1_A(注1)/CTX1/ ET1_INT	GTIOC0A	—	—
P14	—	—	—	—	P413	A22	IRQ18	ET_TAS_STA3	GTOUUP/GTCPPO7/ ULPTEE1	—	—
P15	—	L13	—	—	P515	—	IRQ12	CTS_RTS4_C/SS4_C/DE4/ SCL2_B(注1)/ET_TAS_STA0	GTIOC13A	—	—
P16	M13	K10	2	—	P709	CS4	IRQ10	CTS_RTS4_B/SS4_B/DE4/ SCL2_A(注1)/MISOB_B/ ET0_MDIO	GTCPPO5	—	VIO_D13
P17	N15	K13	10	—	P400	—	IRQ0	TXD1_A/SDA1_A/MOSI1_A/ I3C_SCL0/AUDIO_CLK/ SD1CLK_B	GTIOC6A/AGTIO1	ADTRG1	VIO_D0
R1	P4	—	133	VCC2_13	—	—	—	—	—	—	—
R2	N2	—	—	—	P315	—	IRQ29	SCK3_C/DE3/SSLA3_A	—	—	—
R3	—	—	—	—	P900	—	IRQ30	CTS3_C	GTADSM0	—	—
R4	N4	L2	138	—	P103	—	IRQ16	CTS_RTS9_A/SS9_A/DE9/ SSLB0_A/CTX0/OM_0_SIO2/ GPTP_PPS0	GTOWUP/GTIOC2A	AD1FLAG1	—
R5	N5	L3	140	—	P101	—	IRQ1	RXD9_A/SCL9_A/MISO9_A/ MOSIB_A/OM_0_SIO3/ GPTP_CAPTURE1	GTETRGB/GTIOC8A/ AGTEE0	—	—
R6	N6	L4	145	—	P802	—	IRQ18	RXD2_A/SCL2_A/MISO2_A/ OM_0_SIO6	GTIW/GTIOC12A	—	—
R7	N7	N4	148	—	P804	—	IRQ14	CTS_RTS2_A/SS2_A/DE2/ OM_0_SIO7	GTETRGD/GTIOC13A	—	—
R8	—	K5	—	—	P501	—	IRQ25	TXD8_B/SDA8_B/MOSI8_B/ USB_OVRCURA/SD1DAT6_A/ PDMDAT1	GTIOC12A	AN020	—
R9	N8	L6	156	AVCC0	—	—	—	—	—	—	—
R10	N9	L7	157	AVSS0	—	—	—	—	—	—	—
R11	N10	L8	164	—	P005	—	IRQ10-DS	—	—	AN005/ IVCMP3	—
R12	P12	L9	166	—	P003	—	IRQ29	—	—	AN003/ IVCMP3	—
R13	—	M11	—	—	P513	—	IRQ31	SCK8_A/DE8/ET0_INT	GTIOC13B	AN016/ IVCMP0	VIO_FLD
R14	—	K12	—	—	P514	—	IRQ13	SCK4_C/DE4/SDA2_B(注1)/ ET_TAS_STA1	GTIOC13B	—	—
R15	L13	J12	4	—	P415	WAIT	IRQ8	TXD4_B/SDA4_B/MOSI4_B/ RSPCKB_B/CTX1/ET1_MDC	GTIOC0A	—	VIO_HD
R16	L10	H10	7	—	P409	A18	IRQ6	TXD3_A/SDA3_A/MOSI3_A/ SDA0_A(注1)/USB_OVRCURA-DS/USBHS_OVRCURA/ GPTP_CAPTURE0	GTOWUP/ULPTOA0	ADST1	—

表 1.16 標準製品の端子一覧 (8/9)

BGA289	BGA224	BGA169	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS	CEU
R17	K12	H11	9	—	P407	CS6	IRQ22	SCK1_C/DE1/SDA0_B(注1)/USB_VBUS/USBHS_VBUSEN/GPTP_PTPOUT3	GTIOC10B/AGTIO0/RTCOUT	ADTRG0	—
T1	P1	—	—	CLKOUT	P205	—	IRQ1-DS	TXD4_A/SDA4_A/MOSI4_A/SCL1_B(注1)/SSLA1_A/USB_OVRCURA/SD1CD	GTIV/GTIOC4A/AGTO1	—	—
T2	P2	—	—	—	P203	—	IRQ2-DS	RXD4_A/SCL4_A/MISO4_A/RSPCKA_A/CTX0/USB_VBUSEN/SD1CLK_A	GTIOC5A/ULPTOA1	—	—
T3	P3	—	—	—	P313	—	IRQ27	TXD3_C/SDA3_C/MOSI3_C/MISOA_A/USB_ID/SD1DAT0_A	—	—	—
T4	—	—	—	—	P901	—	IRQ31	CTS_RTS3_C/SS3_C/DE3	GTADSM1/AGTIO1	—	—
T5	P5	N3	150	—	P809	—	IRQ20	TXD7_B/SDA7_B/MOSI7_B/OM_0_SCLKN	—	—	—
T6	P6	M2	143	—	P800	—	IRQ11	CTS2_A/OM_0_SIO5	GTIU/GTIOC11A/AGTOA0	—	—
T7	—	M5	—	—	P502	—	IRQ26	SCK8_B/DE8/USB_OVRCURB/SD1DAT7_A/PDMDAT2	GTIOC12B	AN019	—
T8	R7	N5	153	—	P014	—	IRQ27	—	—	AN014/DA0/IVCMP0	—
T9	P8	M6	154	VREFL	—	—	—	—	—	—	—
T10	P9	M7	158	VREFL0	—	—	—	—	—	—	—
T11	R11	M9	165	—	P004	—	IRQ9-DS	—	—	AN004/IVCMP2	—
T12	M9	K9	162	—	P007	—	IRQ28	—	—	AN007/IVCMP3	—
T13	N11	M10	168	—	P001	—	IRQ7-DS	—	—	AN001/IVCMP3	—
T14	—	N10	—	—	P806	—	IRQ0	RXD8_A/SCL8_A/MISO8_A/ET1_MDC	—	AN018	VIO_D14
T15	—	—	—	—	P715	—	IRQ12	RXD4_C/SCL4_C/MISO4_C/ET_TAS_STA2	GTIOC12A	—	—
T16	P14	M13	174	—	P815	—	IRQ15	CTX0/USB_DM	GTIOC8A	—	—
T17	P15	M12	173	VSS_USB	—	—	—	—	—	—	—
U1	R1	—	—	CACREF	P204	—	IRQ26	SCK4_A/DE4/SDA1_B(注1)/SSLA0_A/USB_OVRCURB/SD1WP	GTIW/GTIOC4B/AGTIO1	—	—
U2	R2	—	—	—	P202	—	IRQ3-DS	CTS_RTS4_A/SS4_A/DE4/MOSIA_A/CRX0/USB_EXICEN/SD1CMD_A	GTIOC5B/ULPTOB1	—	—
U3	R3	—	—	—	P314	—	IRQ28	RXD3_C/SCL3_C/MISO3_C/SSLA2_A/SD1DAT1_A	—	ADTRG0	—
U4	N3	—	—	VSS_13	—	—	—	—	—	—	—
U5	R5	M3	149	—	P808	—	IRQ15	RXD7_B/SCL7_B/MISO7_B/OM_0_SCLK	GTIOC13B	—	—
U6	R6	N1	142	—	P100	—	IRQ2	SCK9_A/DE9/MISOB_A/OM_0_SIO0/GPTP_MATCH1	GTETRGA/GTIOC8B/AGTIO0	—	—
U7	—	L5	—	CACREF	P500	—	IRQ24	RXD8_B/SCL8_B/MISO8_B/USB_VBUSEN/SD1DAT5_A/PDMDAT0	GTIOC11B	AN021	—
U8	P7	K6	152	—	P015	—	IRQ13	—	—	AN015/DA1/IVCMP0	—
U9	R8	N6	155	VREFH	—	—	—	—	—	—	—
U10	R9	N7	159	VREFH0	—	—	—	—	—	—	—
U11	R10	N8	161	—	P008	—	IRQ12-DS	—	—	AN008/IVREF0	—
U12	P10	M8	163	—	P006	—	IRQ11-DS	—	—	AN006/IVCMP2	—
U13	R12	N11	169	—	P000	—	IRQ6-DS	—	—	AN000/IVCMP2	—
U14	P11	N9	167	—	P002	—	IRQ8-DS	—	—	AN002/IVCMP2	—
U15	R13	L12	172	—	P511	—	IRQ15	CTS_RTS8_A/SS8_A/DE8/SDA1_A(注1)/CRX1/ET1_LINKSTA	GTIOC0B	—	—

表 1.16 標準製品の端子一覧 (9/9)

BGA289	BGA224	BGA169	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/ USBHS/OSPI/SSIE/SDHI/MMC/ ESWM(GMII, RGMII, MII, RMII)/ PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
U16	R14	N13	175	—	P814	—	IRQ16	CRX0/USB_DP	GTIOC8B	—	—
U17	R15	N12	176	VCC_USB	—	—	—	—	—	—	—

注. いくつかの端子名には、_A、_B、および_C という接尾語が付加されています。これらの接尾語には、電気的特性に対しては特別な条件があります。詳細は、「62. 電気的特性」を参照してください。

注 1. 2 種類の IIC 機能があり、1 つは SCI による簡易 IIC で、もう 1 つは専用 IIC です。この端子は専用 IIC 用です。

表 1.17 SiP 製品の端子一覧 (1/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/ OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
A1	VSS	—	—	—	—	—	—	—
A2	—	P114	D5/DQ5	IRQ30-DS	CTS_RTS0_A/SS0_A/DE0/SSLA0_B/ SSIRXD0_B/SD0DAT6_B	GTETRGC/GTIOC2B	ADSYNC	—
A3	—	P609	D7/DQ7	IRQ29	TXD0_C/SDA0_C/MOSI0_C/MISOA_B/ CTX1	GTIU/GTIOC5B/ULPTOA1-DS	AD1FLAG1	—
A4	—	P113	D4/DQ4	IRQ28	RXD0_A/SCL0_A/MISO0_A/SSLA1_B/ SSILRCK0_B/SSIFS0_B/SD0DAT5_B	GTETRGB/GTIOC2A/ULPTOA0-DS	ADST1	—
A5	—	P301	D1/DQ1	IRQ6	TXD6_B/SDA6_B/MOSI6_B/SD0DAT2_B	GTOULO/GTIOC4B/AGTIO0/ ULPTEE0-DS	—	—
A6	TDI	P208	—	IRQ3	RXD9_B/SCL9_B/MISO9_B/CRX1	GTOVLO/GTIOC1B	VCOUT	—
A7	TMS/SWDIO	P210	—	IRQ24	CTS_RTS9_B/SS9_B/DE9	GTOULO/GTIOC0B	—	—
A8	VLO	—	—	—	—	—	—	—
A9	VLO	—	—	—	—	—	—	—
A10	VSS_DCDC	—	—	—	—	—	—	—
A11	VCC_DCDC	—	—	—	—	—	—	—
A12	VCC_DCDC	—	—	—	—	—	—	—
A13	—	P309	—	IRQ25-DS	CTS9_B/ET1_GTX_CLK/RGMII1_TXC	GTCPPO8	VCOUT	VIO_D10
A14	—	P906	—	IRQ9	CTS6_A/USB_ID/SSILRCK1_A/ SSIFS1_A/ET1_RXD0/RGMII1_RXD0/ RMII1_RXD0/PDMDAT0	GTIOC13B/ULPTO1	AD0FLAG1	VIO_D5
A15	—	P905	—	IRQ8	RXD3_B/SCL3_B/MISO3_B/ ET1_RX_CLK/RGMII1_RXC/ RMII1_REF50CK/PDMDAT1	GTCPPO13	AD1FLAG1	VIO_D6
A16	—	P907	—	IRQ10	SCK6_A/DE6/USB_EXICEN/SSIBCK1_A/ ET1_RXD1/RGMII1_RXD1/RMII1_RXD1/ PDMCLK2	GTIOC13A/ULPTEE1	ADSYNC	VIO_D4
A17	—	P207	—	IRQ25	ET1_RXD5	GTCPPO3	—	—
A18	VSS	—	—	—	—	—	—	—
B1	—	P813	SDCS	IRQ15	SCK7_A/DE7/PDMCLK2	GTETRGA/GTIOC7B	—	VIO_D13
B2	—	PA12	D9/DQ9	IRQ11	RXD9_C/SCL9_C/MISO9_C	GTIW/GTIOC6B	—	—
B3	—	P115	D6/DQ6	IRQ31-DS	CTS0_A/MOSIA_B/SSITXD0_B/ SD0DAT7_B	GTETRGD/GTIOC5A	AD0FLAG1	—
B4	—	PA11	D8/DQ8	IRQ10	SCK9_C/DE9	GTIV/GTIOC6A	—	—
B5	—	P112	D3/DQ3	IRQ27	TXD0_A/SDA0_A/MOSI0_A/SSLA2_B/ SSIBCK0_B/SD0DAT4_B	GTETRGA/GTIOC3B/ULPTOB0-DS	ADST0	—
B6	TDO/SWO/CLKOUT	P209	—	IRQ25	TXD9_B/SDA9_B/MOSI9_B/CTX1	GTOVUP/GTIOC1A	—	—
B7	TCK/SWCLK	P211	—	IRQ23	SCK9_B/DE9	GTOUUP/GTIOC0A	—	—
B8	VLO	—	—	—	—	—	—	—
B9	VLO	—	—	—	—	—	—	—
B10	VSS_DCDC	—	—	—	—	—	—	—
B11	VCC_DCDC	—	—	—	—	—	—	—
B12	VCC_DCDC	—	—	—	—	—	—	—
B13	—	P311	—	IRQ23-DS	SCK3_B/DE3/CRX0/ET1_TX_CLK	GTADSM1/GTCPPO6/AGTOB1	—	VIO_D8
B14	—	P908	—	IRQ11	TXD6_A/SDA6_A/MOSI6_A/CRX1/ USB_OVRCURB/USBHS_ID/ET1_RXD2/ RGMII1_RXD2/PDMCLK1	GTIOC12B/ULPTEVI1	ADST1	VIO_D3
B15	—	P909	—	IRQ21-DS	RXD6_A/SCL6_A/MISO6_A/CTX1/ USB_OVRCURA/USBHS_EXICEN/ ET1_RXD3/RGMII1_RXD3/PDMCLK0	GTIOC12A/ULPTOA1	ADST0	VIO_D2
B16	—	P904	—	IRQ2	ET1_RXD4	GTIOC11B	—	—

表 1.17 SiP 製品の端子一覧 (2/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/ OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
B17	—	PD01	—	IRQ22	SCK8_C/DE8/SD0DAT2_C/ET1_RXD6	GTCPPO2	—	—
B18	—	PD02	—	IRQ21	TXD8_C/SDA8_C/MOSI8_C/SD0DAT1_C/ ET1_RXD7	GTCPPO1	—	—
C1	—	PA06	CS1/CKE	IRQ17	CTS2_C/SD0DAT1_A/PDMDAT1	GTETRGC/GTIOC7B	—	VIO_D11
C2	—	P613	D15/DQ15	IRQ19	CTS0_C/USBHS_OVRCURB	GTETRGA/GTIOC9B/AGTO1	—	—
C3	—	PA13	D10/DQ10	IRQ12	CTS_RTS9_C/SS9_C/DE9	GTOVUP/GTIOC10A	—	—
C4	—	P300	D2/DQ2	IRQ4	SCK0_A/DE0/SSLA3_B/SD0DAT3_B	GTIOC3A/ULPTEVI0-DS	—	—
C5	—	P302	D0/DQ0	IRQ5	RXD6_B/SCL6_B/MISO6_B/SD0DAT1_B	GTOUUP/GTIOC4A/ULPTO0-DS	—	—
C6	—	P200	—	NMI	—	—	—	—
C7	RES	—	—	—	—	—	—	—
C8	—	P110	—	IRQ20	SD0DAT4_C	GTIOC9B	—	—
C9	—	P903	—	IRQ1	—	GTIOC11A	—	—
C10	TCLK	P308	—	IRQ26-DS	CTS3_B/SD0CLK_B/ET1_TX_ER/ ETHPHYCLK	GTIU/GTCPPO9/ULPTOB1	—	VIO_D11
C11	TDATA2	P305	—	IRQ8	SD0WP/ET1_TXD2/RGMII1_TXD2	GTOVUP/GTCPPO12/ULPTEE1	—	VIO_D14
C12	TDATA0	P307	—	IRQ27-DS	CTS_RTS6_A/SS6_A/DE6/SD0CMD_B/ ET1_TXD0/RGMII1_TXD0/RMII1_TXD0	GTIV/GTCPPO10/ULPTOA1	—	VIO_D12
C13	—	P911	—	IRQ6	ET1_TXD5	GTIOC3B	—	—
C14	CLKOUT	P206	CS7	IRQ0-DS	USB_VBUSEN/SSIDATA1_A/ SD0DAT7_C/ET1_RX_DV/ RGMII1_RX_CTL/RMII1_CRS_DV	GTIU/GTCPPO0/ULPTOB1	—	VIO_D0
C15	—	PD04	—	IRQ20	CTS_RTS8_C/SS8_C/DE8/USBHS_ID/ SD0CMD_C/ET0_RXD5	GTIOC3A	—	—
C16	—	PD03	—	IRQ21	RXD8_C/SCL8_C/MISO8_C/ USBHS_EXICEN/SD0DAT0_C/ ET0_RXD4	GTIOC3B	—	—
C17	—	PD05	—	IRQ19	CTS8_C/USBHS_OVRCURB/SD0CLK_C/ ET0_RXD6	GTIOC2B	—	—
C18	—	PD06	—	IRQ18	USBHS_OVRCURA/SD0WP/ET0_RXD7	GTIOC2A	—	—
D1	—	PA04	A1	IRQ19	SCK2_C/DE2/SD0DAT3_A	GTIU/GTIOC4B	ADST0	VIO_D9
D2	CACREF/CLKOUT	P611	D13/DQ13	IRQ17	SCK0_C/DE0/MOSIA_B/ USBHS_VBUSEN	GTOULO/GTIOC4B	—	—
D3	—	P610	D12/DQ12	IRQ16	RXD0_C/SCL0_C/MISO0_C/RSPCKA_B/ CRX1	GTOUUP/GTIOC4A/ULPTOB1-DS	—	—
D4	—	PA14	D11/DQ11	IRQ13	TXD9_C/SDA9_C/MOSI9_C	GTOVLO/GTIOC10B	—	—
D5	—	P303	—	IRQ29-DS	SCK6_B/DE6	GTIOC7B	—	—
D6	—	P915	—	IRQ8	CTS6_B	GTIOC5A	—	—
D7	—	P108	—	IRQ24	SD0DAT6_C	GTIOC10B	—	—
D8	—	P111	—	IRQ19	SD0DAT3_C	GTIOC9A	—	—
D9	—	P109	—	IRQ23	SD0DAT5_C	GTIOC10A	—	—
D10	—	P310	—	IRQ24-DS	TXD3_B/SDA3_B/MOSI3_B/ET1_TX_EN/ RGMII1_TX_CTL/RMII1_TX_EN	GTCPPO7/AGTEE1	—	VIO_D9
D11	TDATA3	P304	—	IRQ9	SD0DAT0_B/ET1_TXD3/RGMII1_TXD3	GTOVLO/GTIOC7A/ULPTO1	—	VIO_D15
D12	TDATA1	P306	—	IRQ28-DS	SD0CD/ET1_TXD1/RGMII1_TXD1/ RMII1_TXD1	GTIW/GTCPPO11/ULPTEVI1	—	VIO_D13
D13	—	P912	—	IRQ5	ET1_TXD6	GTIOC3A	—	—
D14	—	PB04	—	IRQ9	SCK5_C/DE5/ET0_TXD3/RGMII0_TXD3	GTCPPO3	AD0FLAG1	VIO_CLK
D15	—	PB07	—	IRQ1	ET0_TXD5	GTIOC9B	—	—
D16	—	PB05	—	IRQ15	CTS5_C/ET0_TXD7	GTCPPO4	—	—
D17	—	PB03	—	IRQ13	TXD5_C/SDA5_C/MOSI5_C/ET0_TXD2/ RGMII0_TXD2	GTCPPO1	ADSYNC	VIO_HD
D18	—	PB01	ALE	IRQ12	CTS_RTS1_B/SS1_B/DE1/ET0_TX_CLK	GTCPPO2	AD1FLAG1	VIO_FLD
E1	—	PA15	EBCLK/ SDCLK	IRQ14	CTS9_C/PDMCLK1	GTIOC7A	—	VIO_D14
E2	—	P615	—	IRQ7	TXD7_A/SDA7_A/MOSI7_A/ USBHS_EXICEN	GTETRGC/GTCPPO10	—	—
E3	—	P614	WR/WR0/ DQM0	IRQ20	RXD7_A/SCL7_A/MISO7_A/USBHS_ID	GTETRGB/GTCPPO9/AGTO0	—	—

表 1.17 SiP 製品の端子一覧 (3/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/ OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
E4	—	P612	D14/DQ14	IRQ18	CTS_RTS0_C/SS0_C/DE0/SSLA0_B/ USBHS_OVRCURA	GTIOC9A	—	—
E5	—	P914	—	IRQ9	CTS_RTS6_B/SS6_B/DE6	GTIOC5B	—	—
E6	MD	P201	—	IRQ4	—	—	—	—
E10	—	P902	ALE	IRQ0	AUDIO_CLK/ETHPHYCLK	GTCPPO13	—	VIO_D1
E11	—	P312	—	IRQ22-DS	CTS_RTS3_B/SS3_B/DE3/CTX0/ ET1_RX_ER/RMII1_RX_ER/PDMDAT2	GTADSM0/GTCPPO5/AGTOA1	—	VIO_D7
E12	—	P910	—	IRQ7	ET1_TXD4	GTCPPO12	—	—
E13	CLKOUT	P913	—	IRQ3	ET1_TXD7	GTCPPO11	—	—
E14	—	PB02	—	IRQ11	RXD5_C/SCL5_C/MISO5_C/ET0_TXD1/ RGMII0_TXD1/RMII0_TXD1	GTCPPO0	ADST1	VIO_VD
E15	—	PB06	—	IRQ0	CTS_RTS5_C/SS5_C/DE5/ET0_TXD6	GTIOC9A	—	—
E16	—	PD07	—	IRQ17	USBHS_VBUSEN/SD0CD/ET0_TXD4	GTCPPO0	—	—
E17	—	PB00	—	IRQ10	SCK1_B/DE1/USBHS_VBUSEN/ ET0_TXD0/RGMII0_TXD0/RMII0_TXD0/ PDMDAT2	GTCPPO4	ADST0	—
E18	—	P706	—	IRQ7	RXD1_B/SCL1_B/MISO1_B/ USBHS_OVRCURB-DS/ET0_GTX_CLK/ RGMII0_TXC/ETHPHYCLK/PDMDAT0	GTCPPO2/AGTIO0	—	VIO_D10
F1	—	PA02	A3	IRQ31	RXD2_C/SCL2_C/MISO2_C/SD0DAT5_A	GTIW/GTCPPO9	ADSYNC	VIO_D7
F2	—	PA10	CS2/RAS	IRQ4	SCK5_B/DE5/PDMCLK0	GTCPPO13	—	VIO_D15
F3	—	PA08	CS0/WE	IRQ6	RXD5_B/SCL5_B/MISO5_B	GTETRGD/GTCPPO11	—	—
F4	—	PA09	CS3/CAS	IRQ5	TXD5_B/SDA5_B/MOSI5_B	GTCPPO12	—	—
F5	—	PC14	—	IRQ0	TXD6_C/SDA6_C/MOSI6_C/ET0_WOL	GTADSM1/GTCPPO9	—	—
F7	VCC_08	—	—	—	—	—	—	—
F8	VSS_08	—	—	—	—	—	—	—
F9	VSS3	—	—	—	—	—	—	—
F10	VCL3	—	—	—	—	—	—	—
F11	VSS_07	—	—	—	—	—	—	—
F12	VCC_07	—	—	—	—	—	—	—
F13	—	P700	—	IRQ16-DS	RXD2_B/SCL2_B/MISO2_B/MISOA_C/ SSIDATA1_B/SD1WP/ET0_RXD2/ RGMII0_RXD2	GTIOC5A	—	VIO_D4
F14	—	P702	—	IRQ18-DS	CTS2_B/RSPCKA_C/SSIBCK1_B/ SD1DAT5_B/ET0_RXD0/RGMII0_RXD0/ RMII0_RXD0	GTIOC6A/ULPTO0	—	VIO_D6
F15	—	P406	—	IRQ31	TXD2_B/SDA2_B/MOSI2_B/SSLA3_C/ SSIRXD0_A/SD1CD/ET0_RXD3/ RGMII0_RXD3	GTIOC1B	—	VIO_D3
F16	—	P701	—	IRQ17-DS	CTS_RTS2_B/SS2_B/DE2/MOSIA_C/ SSILRCK1_B/SSIFS1_B/SD1DAT4_B/ ET0_RXD1/RGMII0_RXD1/RMII0_RXD1	GTIOC5B/ULPTO1	—	VIO_D5
F17	—	P707	—	IRQ8	TXD1_B/SDA1_B/MOSI1_B/ USBHS_OVRCURA-DS/ET0_TX_ER/ ETHPHYCLK/PDMDAT1	GTCPPO3	—	VIO_D11
F18	—	P705	—	IRQ19	CTS1_B/SSLA2_C/CRX0/ET0_TX_EN/ RGMII0_TX_CTL/RMII0_TX_EN/ PDMCLK2	GTADSM1/GTCPPO1/AGTIO0	—	VIO_D9
G1	—	PA00	A5	IRQ22	CTS_RTS5_B/SS5_B/DE5/SD0DAT7_A	GTOVLO/GTCPPO7	AD1FLAG1	VIO_D5
G2	—	PA03	A2	IRQ20	TXD2_C/SDA2_C/MOSI2_C/SD0DAT4_A	GTIV/GTCPPO10	ADST1	VIO_D8
G3	—	PA05	A0/BC0/ DQM1	IRQ18	CTS_RTS2_C/SS2_C/DE2/SD0DAT2_A/ PDMDAT2	GTETRGD/GTIOC4A	—	VIO_D10
G4	—	PA07	RD	IRQ16	CTS7_A/SD0DAT0_A/PDMDAT0	GTETRGB/GTIOC7A	VCOUT	VIO_D12
G5	—	PC12	—	IRQ2	SCK6_C/DE6/ET0_MDIO	GTCPPO11	—	—
G7	VCC_09	—	—	—	—	—	—	—
G8	VSS_09	—	—	—	—	—	—	—
G9	VSS4	—	—	—	—	—	—	—
G10	VCL4	—	—	—	—	—	—	—
G11	VSS_06	—	—	—	—	—	—	—
G12	VCC_06	—	—	—	—	—	—	—

表 1.17 SiP 製品の端子一覧 (4/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/ OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
G13	—	P405	—	IRQ30	SCK2_B/DE2/SSITXD0_A/SD1DAT3_B/ ET0_RX_DV/RGMII0_RX_CTL/ RMII0_CRS_DV	GTIOC1A/AGTIO1	—	VIO_D2
G14	—	P704	—	IRQ26	SSLA1_C/CTX0/SD1DAT7_B/ ET0_RX_ER/RMII0_RX_ER/PDMCLK1	GTADSM0/GTCPPO0/AGTO0	—	VIO_D8
G15	—	P703	—	IRQ19-DS	SSLA0_C/SD1DAT6_B/ET0_RX_CLK/ RGMII0_RXC/RMII0_REF50CK/ PDMCLK0	GTIOC6B/AGTO1	VCOUT	VIO_D7
G16	VSS_03	—	—	—	—	—	—	—
G17	VCC_05	—	—	—	—	—	—	—
G18	VSS_05	—	—	—	—	—	—	—
H1	—	P504	A7	IRQ7	SD0WP	GTOULO/GTCPPO1	—	VIO_D3
H2	—	P503	A6	IRQ6	SD0CD	GTOUUP/GTCPPO6	—	VIO_D4
H3	—	P505	A8	IRQ8	SD0CLK_A	GTOWUP/GTCPPO2	—	VIO_D2
H4	—	PA01	A4	IRQ21	CTS5_B/SD0DAT6_A	GTOVUP/GTCPPO8	AD0FLAG1	VIO_D6
H5	—	PC11	—	IRQ3	CTS_RTS6_C/SS6_C/DE6/ET0_MDC	GTCPPO12	—	—
H7	VCC_10	—	—	—	—	—	—	—
H8	VSS_10	—	—	—	—	—	—	—
H9	VSS7	—	—	—	—	—	—	—
H10	VCL5	—	—	—	—	—	—	—
H11	VSS5	—	—	—	—	—	—	—
H12	VCC_04	—	—	—	—	—	—	—
H13	VSS_04	—	—	—	—	—	—	—
H15	VCC_03	—	—	—	—	—	—	—
H16	VCC_USBHS	—	—	—	—	—	—	—
H17	USBHS_DP	—	—	—	—	—	—	—
H18	USBHS_DM	—	—	—	—	—	—	—
J1	—	P506	A9	IRQ9	SD0CMD_A	GTOWLO/GTCPPO3	—	VIO_D1
J2	—	P507	A10	IRQ10	CTS_RTS7_A/SS7_A/DE7/ET_TAS_STA0	GTADSM0/GTIOC0A	—	VIO_D0
J3	—	P508	A11	IRQ1	CTS5_A/ET_TAS_STA1	GTADSM1/GTIOC0B	—	VIO_VD
J4	—	P509	A12	IRQ2	CTS_RTS5_A/SS5_A/DE5/ET_TAS_STA2	GTIOC1A/ULPTEVI1	—	VIO_HD
J5	—	PC13	—	IRQ1	RXD6_C/SCL6_C/MISO6_C/ET0_INT	GTCPPO10	—	—
J7	VCC2_11	—	—	—	—	—	—	—
J8	VSS_11	—	—	—	—	—	—	—
J9	VCL7	—	—	—	—	—	—	—
J10	VCL6	—	—	—	—	—	—	—
J11	VSS6	—	—	—	—	—	—	—
J12	VCL2	—	—	—	—	—	—	—
J13	VSS2	—	—	—	—	—	—	—
J15	VSS_02	—	—	—	—	—	—	—
J16	USBHS_RREF	—	—	—	—	—	—	—
J17	VSS2_USBHS	—	—	—	—	—	—	—
J18	VSS1_USBHS	—	—	—	—	—	—	—
K1	—	PC15	A16	IRQ30	CTS6_C/CRX1	GTADSM0	—	—
K2	CACREF	P608	A14	IRQ22	TXD5_A/SDA5_A/MOSI5_A	GTOWUP/GTCPPO4	—	VIO_FLD
K3	—	P510	A13	IRQ3	RXD5_A/SCL5_A/MISO5_A/ ET_TAS_STA3	GTIOC1B/ULPTEVI0	—	VIO_CLK
K4	—	PD00	A15	IRQ23	SCK5_A/DE5/CTX1	GTOWLO/GTCPPO5	—	—
K5	VSS	—	—	—	—	—	—	—
K6	VSS	—	—	—	—	—	—	—
K7	VSS_12	—	—	—	—	—	—	—
K8	VSS9	—	—	—	—	—	—	—
K9	VCL9	—	—	—	—	—	—	—
K10	VCL8	—	—	—	—	—	—	—

表 1.17 SiP 製品の端子一覧 (5/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/ OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
K11	VSS8	—	—	—	—	—	—	—
K12	VCL1	—	—	—	—	—	—	—
K13	VSS1	—	—	—	—	—	—	—
K15	VCC_02	—	—	—	—	—	—	—
K16	AVCC_USBHS	—	—	—	—	—	—	—
K17	XTAL	P213	—	IRQ2	TXD1_C/SDA1_C/MOSI1_C	GTETRGC/GTIOC0A/ULPTEE0	ADTRG1	—
K18	EXTAL	P212	—	IRQ3	RXD1_C/SCL1_C/MISO1_C	GTETRGD/GTIOC0B/AGTEE1	—	—
L1	—	PC10	—	IRQ4	—	GTCPPO13	—	—
L2	VSS	—	—	—	—	—	—	—
L3	PUP	—	—	—	—	—	—	—
L4	VCC2_16	—	—	—	—	—	—	—
L5	VSS_16	—	—	—	—	—	—	—
L7	VCC2_12	—	—	—	—	—	—	—
L8	VSS_14	—	—	—	—	—	—	—
L9	VSS_15	—	—	—	—	—	—	—
L10	VSS10	—	—	—	—	—	—	—
L11	VCL10	—	—	—	—	—	—	—
L12	VCL0	—	—	—	—	—	—	—
L13	VSS0	—	—	—	—	—	—	—
L14	—	P403	—	IRQ14-DS	CTS_RTS1_A/SS1_A/DE1/SSIBCK0_A/ SD1DAT1_B/ET1_WOL	GTIOC3A/RTCIC1	AD0FLAG1	—
L15	—	P404	—	IRQ15-DS	CTS1_A/SSILRCK0_A/SSIFS0_A/ SD1DAT2_B/ET0_WOL	GTIOC3B/RTCIC2	AD1FLAG1	—
L16	VCC_01	—	—	—	—	—	—	—
L17	XCOUT	P214	—	IRQ21	—	—	—	—
L18	XCIN/EXCIN	P215	—	IRQ20	—	—	—	—
M1	—	PC09	—	IRQ5	—	—	—	—
M2	VSS	—	—	—	—	—	—	—
M3	VSS	—	—	—	—	—	—	—
M4	VCC2_17	—	—	—	—	—	—	—
M5	VSS_17	—	—	—	—	—	—	—
M8	VCC2_14	—	—	—	—	—	—	—
M9	VCC2_15	—	—	—	—	—	—	—
M11	VSS11	—	—	—	—	—	—	—
M12	VCL11	—	—	—	—	—	—	—
M14	—	P414	A23	IRQ9	RXD4_B/SCL4_B/MISO4_B/SSLB0_B/ CRX1/ET1_MDIO	GTIOC0B	—	VIO_CLK
M15	CACREF	P402	—	IRQ4-DS	SCK1_A/DE1/CRX0/AUDIO_CLK/ SD1DAT0_B/ET0_LINKSTA	RTCIC0	—	—
M16	—	P410	A19	IRQ5	SCK3_A/DE3/SCL0_A(注1)/ USB_OVRCURB-DS/USBHS_OVRCURB/ GPTP_MATCH0	GTOVLO/GTIOC9B/AGTOB1	ADST0	—
M17	VBATT	—	—	—	—	—	—	—
M18	VSS_01	—	—	—	—	—	—	—
N1	—	PC08	—	IRQ29	—	GTCPPO8	—	—
N2	VSS	—	—	—	—	—	—	—
N3	VSS	—	—	—	—	—	—	—
N4	VCC2_18	—	—	—	—	—	—	—
N5	VSS_18	—	—	—	—	—	—	—
N7	—	P105	—	IRQ0	CTS_RTS8_B/SS8_B/DE8/SSLB2_A/ OM_0_ECSINT1	GTIOC1A/ULPTO1-DS	ADSYNC	—
N10	—	P810	—	IRQ21	SCK7_B/DE7/SD1DAT2_A/PDMCLK0	GTIOC10A/ULPTOA0	—	—
N14	—	P710	CS5	IRQ17	CTS4_B/SSLB3_B/ET0_LINKSTA	GTIOC11B	—	VIO_D12

表 1.17 SiP 製品の端子一覧 (6/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/ OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
N15	CACREF	P411	A20	IRQ4	CTS_RTS3_A/SS3_A/DE3/USB_ID/ USBHS_ID/GPTP_PTPOUT1	GTOVUP/GTIOC9A/AGTOA1	—	—
N16	—	P408	A17	IRQ7	RXD3_A/SCL3_A/MISO3_A/SCL0_B(注1)/ USB_VBUSEN/USBHS_VBUS/ GPTP_PTPOUT2	GTOWLO/GTIOC10A/ULPTOB0	ADSYNC	—
N17	—	P412	A21	IRQ20-DS	CTS3_A/USB_EXICEN/USBHS_EXICEN/ GPTP_PTPOUT0	GTOULO/GTCPPO8/AGTEE1	—	—
N18	—	P401	—	IRQ5-DS	RXD1_A/SCL1_A/MISO1_A/I3C_SDA0/ CTX0/SD1CMD_B	GTETRGA/GTIOC6B	—	VIO_D1
P1	VSS	—	—	—	—	—	—	—
P2	VSS	—	—	—	—	—	—	—
P3	VSS	—	—	—	—	—	—	—
P4	VCC2_19	—	—	—	—	—	—	—
P5	VSS_19	—	—	—	—	—	—	—
P6	—	P104	—	IRQ1	CTS9_A/SSLB1_A/OM_0_CS1	GTETRGB/GTIOC1B	AD0FLAG1	—
P7	—	P107	—	IRQ31	CTS4_A/OM_0_CS0	GTOWUP/GTIOC8A/AGTOA0	ADST0	—
P8	—	P106	—	IRQ16	CTS8_B/SSLB3_A/OM_0_RESET	GTOWLO/GTIOC8B/AGTOB0/ ULPTEE1-DS	ADST1	—
P9	—	P811	—	IRQ22	CTS7_B/USB_ID/SD1DAT3_A/PDMCLK1	GTIOC10B/ULPTOB0	—	—
P10	—	P013	—	IRQ14	—	—	AN013	—
P11	—	P011	—	IRQ16	—	—	AN011	—
P12	—	P807	—	IRQ11	—	GTIOC13A	—	—
P13	CACREF	P708	WR1/BC1	IRQ11	SCK4_B/DE4/SDA2_A(注1)/MOSIB_B/ AUDIO_CLK/ET0_MDC	GTCPPO6	—	VIO_VD
P14	—	P712	—	IRQ2	CTS1_C/SSLB1_B/GPTP_CAPTURE1	GTIOC2B/AGTOB0	—	—
P15	—	P714	—	IRQ13	TXD4_C/SDA4_C/MOSI4_C/GPTP_PPS1	GTIOC12B	—	—
P16	—	P711	—	IRQ3	CTS_RTS1_C/SS1_C/DE1/SSLB2_B/ GPTP_PPS0	GTIOC11A/AGTEE0	—	—
P17	—	P713	—	IRQ14	CTS4_C/GPTP_MATCH1	GTIOC2A/AGTOA0	—	—
P18	—	P400	—	IRQ0	TXD1_A/SDA1_A/MOSI1_A/I3C_SCL0/ AUDIO_CLK/SD1CLK_B	GTIOC6A/AGTIO1	ADTRG1	VIO_D0
R1	—	P602	—	IRQ28	RXD0_B/SCL0_B/MISO0_B	GTIOC7B/ULPTEE0	—	—
R2	VSS	—	—	—	—	—	—	—
R3	VSS	—	—	—	—	—	—	—
R4	CACREF	P600	—	IRQ30	OM_0_RSTO1	GTIOC6B/ULPTEVI1-DS	—	—
R5	—	P601	—	IRQ29	SCK0_B/DE0/OM_0_WP1	GTIOC6A/ULPTEVI0/RTCOUT	—	—
R6	—	P102	—	IRQ17	TXD9_A/SDA9_A/MOSI9_A/RSPCKB_A/ CRX0/OM_0_SIO4	GTOWLO/GTIOC2B/AGTO0	ADTRG0	—
R7	—	P801	—	IRQ12	TXD2_A/SDA2_A/MOSI2_A/OM_0_DQS	GTIV/GTIOC11B/AGTOB0	—	—
R8	—	P803	—	IRQ19	SCK2_A/DE2/OM_0_SIO1	GTETRGC/GTIOC12B	—	—
R9	—	P812	—	IRQ23	CTS_RTS7_B/SS7_B/DE7/USB_EXICEN/ SD1DAT4_A/PDMCLK2	GTIOC11A	AN022	—
R10	—	P012	—	IRQ15	—	—	AN012	—
R11	—	P010	—	IRQ14	—	—	AN010	—
R12	—	P009	—	IRQ13-DS	—	—	AN009/ IVREF1	—
R13	—	P805	—	IRQ30	TXD8_A/SDA8_A/MOSI8_A/ET1_MDIO	—	AN017/ IVCMP0	VIO_D15
R14	—	P512	—	IRQ14	CTS8_A/SCL1_A(注1)/CTX1/ET1_INT	GTIOC0A	—	—
R15	—	P413	A22	IRQ18	ET_TAS_STA3	GTOUUP/GTCPPO7/ULPTEE1	—	—
R16	—	P515	—	IRQ12	CTS_RTS4_C/SS4_C/DE4/SCL2_B(注1)/ ET_TAS_STA0	GTIOC13A	—	—
R17	—	P709	CS4	IRQ10	CTS_RTS4_B/SS4_B/DE4/SCL2_A(注1)/ MISOB_B/ET0_MDIO	GTCPPO5	—	VIO_D13
R18	—	P407	CS6	IRQ22	SCK1_C/DE1/SDA0_B(注1)/USB_VBUS/ USBHS_VBUSEN/GPTP_PTPOUT3	GTIOC10B/AGTIO0/RTCOUT	ADTRG0	—
T1	Vpp	—	—	—	—	—	—	—
T2	VSS	—	—	—	—	—	—	—

表 1.17 SiP 製品の端子一覧 (7/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/ OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
T3	—	P315	—	IRQ29	SCK3_C/DE3/SSLA3_A	—	—	—
T4	—	P900	—	IRQ30	CTS3_C	GTADSM0	—	—
T5	—	P103	—	IRQ16	CTS_RTS9_A/SS9_A/DE9/SSLB0_A/ CTX0/OM_0_SIO2	GTOWUP/GTIOC2A	AD1FLAG1	—
T6	—	P101	—	IRQ1	RXD9_A/SCL9_A/MISO9_A/MOSIB_A/ OM_0_SIO3	GTETRGB/GTIOC8A/AGTEE0	—	—
T7	—	P802	—	IRQ18	RXD2_A/SCL2_A/MISO2_A/OM_0_SIO6	GTIW/GTIOC12A	—	—
T8	—	P804	—	IRQ14	CTS_RTS2_A/SS2_A/DE2/OM_0_SIO7	GTETRGD/GTIOC13A	—	—
T9	—	P501	—	IRQ25	TXD8_B/SDA8_B/MOSI8_B/ USB_OVRCURA/SD1DAT6_A/PDMDAT1	GTIOC12A	AN020	—
T10	AVCC0	—	—	—	—	—	—	—
T11	AVSS0	—	—	—	—	—	—	—
T12	—	P005	—	IRQ10-DS	—	—	AN005/ IVCMP3	—
T13	—	P003	—	IRQ29	—	—	AN003/ IVCMP3	—
T14	—	P513	—	IRQ31	SCK8_A/DE8/ET0_INT	GTIOC13B	AN016/ IVCMP0	VIO_FLD
T15	—	P514	—	IRQ13	SCK4_C/DE4/SDA2_B(注1)/ET_TAS_STA1	GTIOC13B	—	—
T16	—	P415	WAIT	IRQ8	TXD4_B/SDA4_B/MOSI4_B/RSPCKB_B/ CTX1/ET1_MDC	GTIOC0A	—	VIO_HD
T17	—	P409	A18	IRQ6	TXD3_A/SDA3_A/MOSI3_A/SDA0_A(注1)/ USB_OVRCURA-DS/USBHS_OVRCURA/ GPTP_CAPTURE0	GTOWUP/ULPTOA0	ADST1	—
T18	VCC_USB	—	—	—	—	—	—	—
U1	VCC2_13	—	—	—	—	—	—	—
U2	CLKOUT	P205	—	IRQ1-DS	TXD4_A/SDA4_A/MOSI4_A/SCL1_B(注1)/ SSLA1_A/USB_OVRCURA/SD1CD	GTIV/GTIOC4A/AGTO1	—	—
U3	—	P203	—	IRQ2-DS	RXD4_A/SCL4_A/MISO4_A/RSPCKA_A/ CTX0/USB_VBUSEN/SD1CLK_A	GTIOC5A/ULPTOA1	—	—
U4	—	P313	—	IRQ27	TXD3_C/SDA3_C/MOSI3_C/MISOA_A/ USB_ID/SD1DAT0_A	—	—	—
U5	—	P901	—	IRQ31	CTS_RTS3_C/SS3_C/DE3	GTADSM1/AGTIO1	—	—
U6	—	P809	—	IRQ20	TXD7_B/SDA7_B/MOSI7_B/ OM_0_SCLKN	—	—	—
U7	—	P800	—	IRQ11	CTS2_A/OM_0_SIO5	GTIU/GTIOC11A/AGTOA0	—	—
U8	—	P502	—	IRQ26	SCK8_B/DE8/USB_OVRCURB/ SD1DAT7_A/PDMDAT2	GTIOC12B	AN019	—
U9	—	P014	—	IRQ27	—	—	AN014/DA0/ IVCMP0	—
U10	VREFL	—	—	—	—	—	—	—
U11	VREFL0	—	—	—	—	—	—	—
U12	—	P004	—	IRQ9-DS	—	—	AN004/ IVCMP2	—
U13	—	P007	—	IRQ28	—	—	AN007/ IVCMP3	—
U14	—	P001	—	IRQ7-DS	—	—	AN001/ IVCMP3	—
U15	—	P806	—	IRQ0	RXD8_A/SCL8_A/MISO8_A/ET1_MDC	—	AN018	VIO_D14
U16	—	P715	—	IRQ12	RXD4_C/SCL4_C/MISO4_C/ ET_TAS_STA2	GTIOC12A	—	—
U17	—	P815	—	IRQ15	CTX0/USB_DM	GTIOC8A	—	—
U18	VSS_USB	—	—	—	—	—	—	—
V1	VSS	—	—	—	—	—	—	—
V2	CACREF	P204	—	IRQ26	SCK4_A/DE4/SDA1_B(注1)/SSLA0_A/ USB_OVRCURB/SD1WP	GTIW/GTIOC4B/AGTIO1	—	—
V3	—	P202	—	IRQ3-DS	CTS_RTS4_A/SS4_A/DE4/MOSIA_A/ CRX0/USB_EXICEN/SD1CMD_A	GTIOC5B/ULPTOB1	—	—
V4	—	P314	—	IRQ28	RXD3_C/SCL3_C/MISO3_C/SSLA2_A/ SD1DAT1_A	—	ADTRG0	—
V5	VSS_13	—	—	—	—	—	—	—

表 1.17 SiP 製品の端子一覧 (8/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/USBHS/ OSPI/SSIE/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/PDMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS	CEU
V6	—	P808	—	IRQ15	RXD7_B/SCL7_B/MISO7_B/OM_0_SCLK	GTIOC13B	—	—
V7	—	P100	—	IRQ2	SCK9_A/DE9/MISOB_A/OM_0_SIO0	GTETRGA/GTIOC8B/AGTIO0	—	—
V8	CACREF	P500	—	IRQ24	RXD8_B/SCL8_B/MISO8_B/ USB_VBUSEN/SD1DAT5_A/PDMDAT0	GTIOC11B	AN021	—
V9	—	P015	—	IRQ13	—	—	AN015/DA1/ IVCMP0	—
V10	VREFH	—	—	—	—	—	—	—
V11	VREFH0	—	—	—	—	—	—	—
V12	—	P008	—	IRQ12-DS	—	—	AN008/ IVREF0	—
V13	—	P006	—	IRQ11-DS	—	—	AN006/ IVCMP2	—
V14	—	P000	—	IRQ6-DS	—	—	AN000/ IVCMP2	—
V15	—	P002	—	IRQ8-DS	—	—	AN002/ IVCMP2	—
V16	—	P511	—	IRQ15	CTS_RTS8_A/SS8_A/DE8/SDA1_A(注1)/ CRX1/ET1_LINKSTA	GTIOC0B	—	—
V17	—	P814	—	IRQ16	CRX0/USB_DP	GTIOC8B	—	—
V18	VSS	—	—	—	—	—	—	—

注. いくつかの端子名には、_A、_B、および_C という接尾語が付加されています。これらの接尾語には、電気的特性に対しては特別な条件があります。詳細は、「62. 電気的特性」を参照してください。

注 1. 2 種類の IIC 機能があり、1 つは SCI による簡易 IIC で、もう 1 つは専用 IIC です。この端子は専用 IIC 用です。

2. CPU

本 MCU は、Arm® Cortex-M85 プロセッサおよび Arm® Cortex®-M33 プロセッサをベースにしています。

2.1 概要

2.1.1 CPU

(1) CPU0

- Arm® Cortex-M85
  - リビジョン：r1p1-00rel0
  - ARMv8.1-M アーキテクチャプロファイル
  - ANSI/IEEE 規格 754-2008 準拠の浮動小数点ユニット (FPU)
    スカラ半精度、単精度、および倍精度浮動小数点演算
    FPU 例外発生時の割り込み通知
  - M プロファイルベクタ拡張 (MVE)
    整数、半精度、および単精度浮動小数点 MVE (MVE-F)
  - Armv8-M セキュリティ拡張
- セキュリティ属性ユニット (SAU): 8 領域
- 実装定義属性ユニット (IDAU)
- メモリプロテクションユニット (MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S): 8 領域
  - 非セキュア MPU (MPU_NS): 8 領域
- システムタイマ (SysTick)
  基準クロック：
  - CPUCLK0
  - オンチップオシレータ (MOCO/8) から 1 MHz 発生

  2 つのシステムタイマを実装
  - セキュアインスタンス (SysTick_S)
  - 非セキュアインスタンス (SysTick_NS)
- 低消費電力モード
  - スリープモード
  - ディープスリープモード
- CPU 個別リセット
- キャッシュ
  - 命令キャッシュ：ECC 付きの 16 KB
  - データキャッシュ：ECC 付きの 16 KB
- 密接合メモリ (TCM)
  - ITCM: 128 KB（16 ブロック × 8 KB）、ECC 付き
  - DTCM: 128 KB（16 ブロック × 8 KB）、ECC 付き
- ネスト型ベクタ割り込みコントローラ (NVIC): 96 個の IRQ
- プログラム可能 MBIST コントローラ：除外
- グローバル排他的監視は未サポート

詳細は、参考資料[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)、[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照してください。

(2) CPU1

- Arm® Cortex®-M33 プロセッサ
  - リビジョン：r0p4-00rel2
  - ARMv8-M アーキテクチャプロファイル
  - ANSI/IEEE 規格 754-2008 準拠浮動小数点ユニット (FPU)
    単精度浮動小数点演算。
    FPU 例外発生時の割り込み通知。
  - Armv8-M セキュリティ拡張（OTP で無効にできます。CPU1 は、セキュリティ拡張が有効になっている場合のみ、一次 CPU として選択できます。）
  - Armv8-DSP セキュリティ拡張。
- セキュリティ属性ユニット (SAU): 8 領域
- 実装定義属性ユニット (IDAU)
- メモリプロテクションユニット (MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S): 8 領域
  - 非セキュア MPU (MPU_NS): 8 領域
- システムタイマ (SysTick)
  基準クロック：
  - CPUCLK1
  - オンチップオシレータ (MOCO/8) から 1 MHz 発生

  2 つのシステムタイマを実装
  - セキュアインスタンス (SysTick_S)
  - 非セキュアインスタンス (SysTick_NS)
- 低消費電力モード
  - スリープモード
  - ディープスリープモード
- キャッシュ
  - コードバスキャッシュ（C キャッシュ）：ECC 付きの 16 KB
  - システムバスキャッシュ（S キャッシュ）：ECC 付きの 16 KB
- 密接合メモリ (TCM)
  - CTCM: ECC 付きの 64 KB
  - STCM: ECC 付きの 64 KB
- ネスト型ベクタ割り込みコントローラ (NVIC): 96 個の IRQ
- グローバル排他的監視は未サポート

詳細は、以下の参考資料を参照してください。

- [1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)
- [9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)。

2.1.2 デバッグ

(1) CPU0 デバッグコンポーネント

- Arm® CoreSight™ ETM-M85
  - リビジョン：r1p1-00rel0
  - ARM ETM アーキテクチャ第 4.5 版
- Instrumentation Trace Macrocell (ITM)
- データウォッチポイントとトレースユニット (DWT)
  - 8 つのデータウォッチポイントとトレース (DWT) コンパレータで最大 2 つのデータ値比較
- ブレークポイントユニット (BPU)
  - 8 つの命令コンパレータ
- クロストリガインタフェース (CTI0)
- Cortex-M85 (TPIU) 用 Arm® CoreSight™ トレースポートインタフェースユニット
  - TPIU フォーマッタ出力：なし
  - シリアルワイヤ出力 (SWO)

(2) CPU1 デバッグコンポーネント

- Arm® CoreSight™ ETM-M33
  - リビジョン：r0p2-00rel0
  - ARM ETM アーキテクチャ第 4.2 版
- Instrumentation Trace Macrocell (ITM)
- データウォッチポイントとトレースユニット (DWT)
  - 4 つのデータウォッチポイントとトレース (DWT) コンパレータ
- ブレークポイントユニット (BPU)
  - 8 つの命令コンパレータ
- クロストリガインタフェース (CTI1)
- Cortex-M33 (TPIU) 用 Arm® CoreSight™ トレースポートインタフェースユニット
  - TPIU フォーマッタ出力：なし
  - シリアルワイヤ出力 (SWO)

(3) 共通デバッグコンポーネント

- デバッグアクセスポート (DAP)
  - CoreSight SoC-400 デバッグアクセスポート：
    - #0: AHB-AP0
    - #1: APB-AP
    - #2: AHB-AP1
  - JTAG デバッグポートとシリアルワイヤデバッグポート (SWJ-DP)
    シリアルワイヤプロトコル第 2 版（対象インスタンスは固定値 0000）
- タイムスタンプ発生器 (TSG)
  - CoreSight SoC-400 タイムスタンプ発生器
  - ETM および ITM 用のグローバルタイムスタンプ
  - ICLK により駆動

- 埋め込みクロストリガ
  - CoreSight SoC-400 クロストリガインタフェース (CTI)
  - CoreSight SoC-400 クロストリガマトリックス (CTM)
- エンベデッドトレース FIFO (ETF)
  - ETF 構成を持つ CoreSight™ トレースメモリコントローラ
  - FIFO サイズ：8 KB
- デバッグレジスタモジュール (DBGREG)
- 内蔵デバッグレジスタモジュール (OCDREG)
- JTAG/SWD を使用した認証方法：チャレンジ応答
- トレース出力セレクタ：CPU0 と CPU1 SWO トレース出力間で選択
- CoreSight SoC-400 トレースポートインタフェースユニット (TPIU) による最大 4 ビットの TPIU フォーマッタ出力

詳細は、以下の参考資料を参照してください。

- [1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)
- [2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)
- [4] ARM Limited., Arm(R) CoreSight SoC-400 Technical Reference Manual (ARM 0302-01 2nd release for r3p2)
- [9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)。

2.2 ブロック図

図 2.1 に各 CPU と CoreSight デバッグサブシステム (DBGSS) のブロック図を示します。

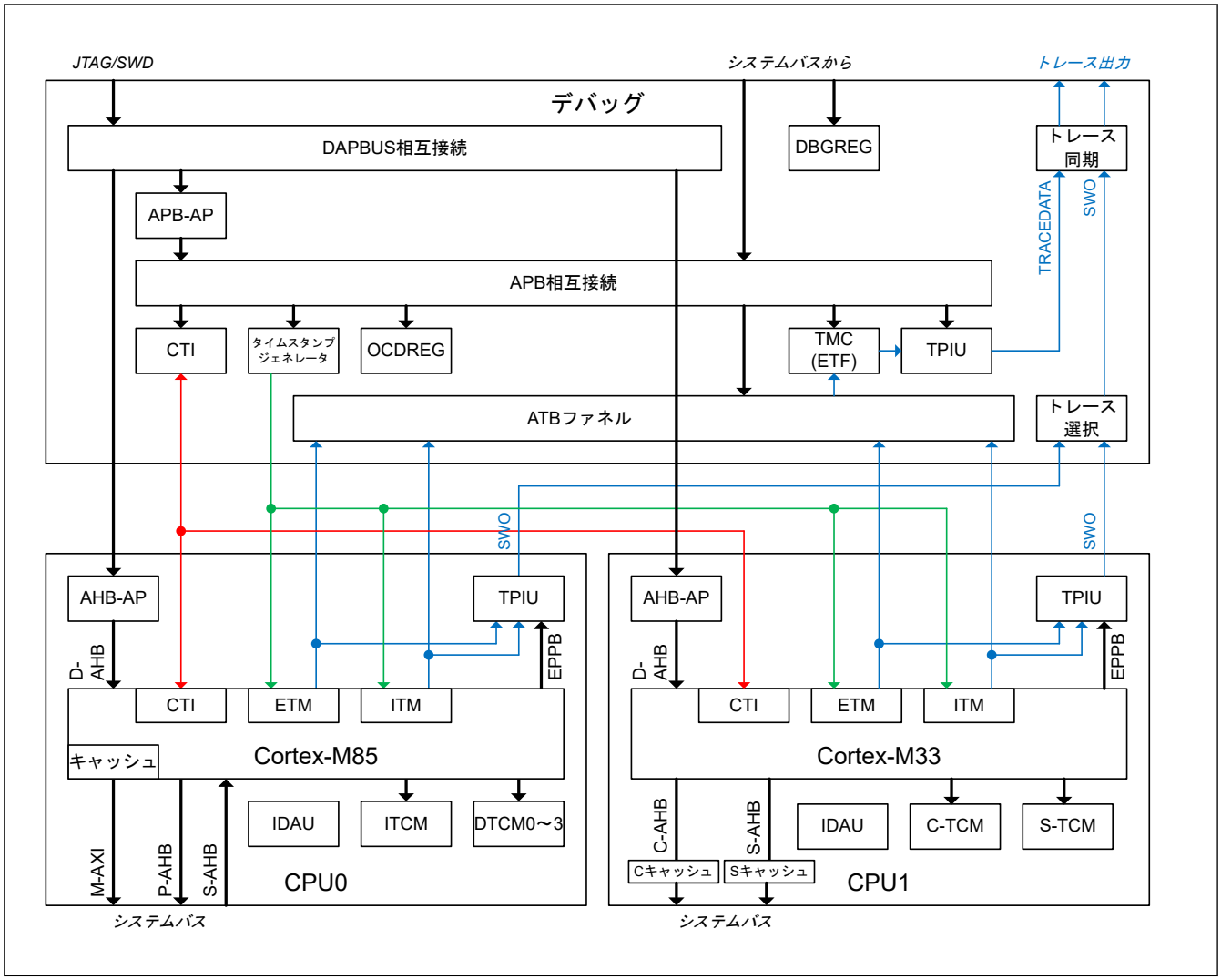


図 2.1 CPU およびデバッグブロック図

2.3 実装オプション

表 2.1 に CPU0 (Cortex-M85) に関連する実装オプションを示し、表 2.2 に CPU1 (Cortex-M33) に関連する実装オプションを示します。

表 2.1 CPU0 に関連する実装オプション (1/2)

オプション	実装
SAU	8 領域
IDAU	あり
MPU	MPU_S : 8 領域 MPU_NS : 8 領域
MVE	整数、半精度、および単精度浮動小数点 MVE
FPU	スカラ半精度、単精度、および倍精度浮動小数点
割り込み	96
優先ビット	4 ビット（16 レベル）
スリープモードでの節電	スリープモード、ディープスリープモード

表 2.1 CPU0 に関連する実装オプション (2/2)

オプション	実装
TCM	● ITCM：128 KB（16 ブロック × 8 KB） ● DTCM：128 KB（16 ブロック × 8 KB） ● ECC 有効（OFS1.INITECCEN により決定） ● ITCMCR.EN = 1 かつ DTCMCR.EN = 1、書き換え不可
キャッシュ	● I キャッシュ：16 KB ● D キャッシュ：16 KB ● ECC 有効（OFS1.INITECCEN により決定） ● 自動無効化を許可 デバッグ時、キャッシュは CACHEDBGCR.L1RSTDIS によって制御されます。
P-AHB	512 MB、常に有効（PAHBCR.EN は常に 1）
SysTick	2 つのシステムタイマ（SysTick_S と SysTick_NS）あり 外部基準クロック、周波数 = 1 MHz (MOCO/8) SYST_CALIB = 0x0000270F NOREF、ビット[31] = 0：基準クロックを実装 SKEW、ビット[30] = 0：TENMS 校正値は正確 ビット[29:24] = 0x00：予約 TENMS、ビット[23:0] = 0x00270F： (0x270F + 1) x 1 [µs] = 10 [ms]
システムリセット要求出力	AIRCR.SYSRESETREQ ビットによりシステムリセット発生
DWT	8 つのコンパレータ
BPU	8 つのコンパレータ
CTI	あり、CTI0（CPU0 用）
ITM	あり
ETM	あり
TPIU	あり ● TPIU フォーマッタ出力：なし ● シリアルワイヤ出力 (SWO)
プログラマブル MBIST コントローラ (PMC-100)	なし

表 2.2 CPU1 に関連する実装オプション (1/2)

オプション	実装
SAU	8 領域
IDAU	あり
MPU	MPU_S：8 領域 MPU_NS：8 領域
SECEXT（セキュリティ拡張）	サポートあり。OTP の設定で有効・無効を切り替え可。
FPU	単精度浮動小数点
割り込み	96
優先ビット	4 ビット（16 レベル）
スリープモードでの節電	スリープモード、ディープスリープモード
SysTick	2 つのシステムタイマ（SysTick_S と SysTick_NS）あり 周波数 = 1 MHz (MOCO/8) の外部基準クロック SYST_CALIB = 0x0000270F NOREF、ビット[31] = 0：基準クロックを実装 SKEW、ビット[30] = 0：TENMS 校正値は正確 ビット[29:24] = 0x00：予約 TENMS、ビット[23:0] = 0x00270F：(0x270F + 1) x 1 [µs] = 10 [ms]
システムリセット要求出力	AIRCR.SYSRESETREQ ビットによりシステムリセット要求を出力
DWT	4 つのコンパレータ
BPU	8 つのコンパレータ
CTI	あり、CTI1（CPU1 用）

表 2.2 CPU1 に関連する実装オプション (2/2)

オプション	実装
ITM	あり
ETM	あり
TPIU	あり ● TPIU フォーマッタ出力：なし ● シリアルワイヤ出力 (SWO)

表 2.3 DBGSS 実装オプション

オプション	実装
TSG	あり 周波数 = ICLK のクロックにより駆動
TMC（ETF 構成）	8 KB
DAP	SWJ-DP AHB-AP0（CPU0 用）：AP0 APB-AP（CoreSight SoC-400 用）：AP1 AHB-AP1（CPU1 用）：AP2
TPIU	あり ● 最大 32 ビットの TPIU フォーマッタ出力

2.4 トレースインタフェース

トレースポートインタフェースユニット (TPIU) とシリアルワイヤ出力 (SWO) は、トレース出力を行います。表 2.4 に本機能に対応する MCU 端子を示します。これらの端子は他の機能との兼用端子です。

表 2.4 トレース機能端子

名称	入出力	機能	未使用時の端子処理
TCLK	OUT	トレースクロック	オープン
TDATA0	OUT	トレースデータ出力	オープン
TDATA1	OUT	トレースデータ出力	オープン
TDATA2	OUT	トレースデータ出力	オープン
TDATA3	OUT	トレースデータ出力	オープン
SWO	OUT	シリアルワイヤ出力 JTAG TDO 端子の多重化	オープン

2.5 JTAG/SWD インタフェース

表 2.5 に JTAG/SWD チップ端子を示します。

表 2.5 JTAG/SWD 端子

名称	入出力	機能	未使用時の端子処理
TCK/SWCLK	入力	JTAG クロック端子 シリアルワイヤデータクロック端子	プルアップ
TMS/SWDIO	入出力	JTAG TMS 端子 シリアルワイヤデータ入出力端子	プルアップ
TDI	入力	JTAG TDI 端子	プルアップ
TDO	出力	JTAG TDO 端子 シリアルワイヤ出力の多重化	オープン

2.6 ブート

MCU は、シングルチップモード、ブートモード (JTAG, SCI/USB) をサポートしています。各モードについては、「4. 起動モード」を参照してください。

2.6.1 シングルチップモード

このモードでは、CPU がユーザーアプリケーションコードを実行します。ただし、ファーストステージブートローダー (FSBL) の実行が許可されている場合、一次 CPU はユーザーアプリケーションコードを実行する前に、ルネサスが提供する FSBL コードを実行します。

2.6.1.1 ブート CPU 選択

デュアルコアシステムでは、システムリセット解除後にブートファームウェアコマンドで一次 CPU を選択し、最初にブートできます。デフォルトでは、CPU0 が一次 CPU です。

システムリセット解除時に、二次 CPU は CPUnACTCSR レジスタへの書き込みにより一次 CPU によって起動されるまで、パワーゲーティング状態になります。その後、CPUnWAITCR.CPUWAIT により、二次 CPU はウェイト状態 (CPUWAIT) になるか、プログラム実行が開始されます。ウェイト状態の間、コードとデータは二次 CPU の TCM に転送できます（CPU0 が二次 CPU の場合、コード／データの転送前または CPUWAIT の解除前に、その起動状態を確認する必要があります）。CPUnWAITCR.CPUWAIT は一次 CPU には影響しません。

2.6.2 初期ベクタテーブルベースアドレス

MCU では、各 CPU のセキュアベクタテーブルベースアドレスは、動作モードおよび CPU が一次 CPU か二次 CPU かに従って表 2.6 に示すように決定され、非セキュアベクタテーブルのベースアドレスは、セキュリティ拡張機能付き CPU1 (CM33) が無効の場合を除き、両 CPU とも 0x0000_0000 に固定され、非セキュアベクタテーブルのベースアドレスは CPUnINITVTOR の値で決定されます。

表 2.6 シングルチップモードにおける初期セキュアベクタテーブルベースアドレス

動作モード	一次 CPU INITSVTOR	二次 CPU INITSVTOR
シングルチップモード	0x0200_0000	CPUnINITVTOR

2.7 低消費電力状態のスリープモード

各 CPU は、スリープモードおよびディープスリープモードという 2 つのスリープモードをサポートしています。

2.7.1 スリープモード

2.7.1.1 スリープモードへの遷移

SCR.SLEEPDEEP ビットが 0 の状態で WFI/WFE 命令またはスリープオンイグジットを実行すると、対応する CPU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、CPU はスリープモードを解除します。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

表 2.7 に、一次 CPU がスリープモードへ遷移した場合の IWDT の動作を示します。

表 2.7 一次 CPU がスリープモードに遷移したときの IWDT の動作

IWDT 動作	OFS0.IWDTSTRT	OFS0.IWDTSTPCTL(注1)	IWDTCSTPR.SLCSTP(注2)
カウント停止	0（オートスタートモード）	1	—
カウント継続	0（オートスタートモード）	0	—
カウント停止	1（レジスタスタートモード）	—	1
カウント継続	1（レジスタスタートモード）	—	0

注 1. OFS0.IWDTSTPCTL は、IWDT がオートスタートモードであり、かつ一次 CPU がスリープモードのときの IWDT のカウント停止／継続を制御します。
注 2. IWDTCSTPR.SLCSTP は、IWDT がレジスタスタートモードであり、かつ一次 CPU がスリープモードのときの IWDT のカウント停止／継続を制御します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（一次 CPU がスリープモード時に IWDT カウント停止）の場合、一次 CPU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（一次 CPU がスリープモード時に IWDT カウント継続）の場合、一次 CPU がスリープモードへ遷移しても IWDT はカウントを継続します。

IWDT がレジスタスタートモードであり、かつ IWDTCSTPR の SLCSTP ビットが 1（一次 CPU がスリープモード時に IWDT カウント停止）の場合、一次 CPU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がレジスタスタートモードであり、かつ IWDTCSTPR の SLCSTP ビットが 0（一次 CPU がスリープモード時に IWDT カウント継続）の場合、一次 CPU がスリープモードへ遷移しても IWDT はカウントを継続します。

表 2.8 および表 2.9 に CPU0/1 がスリープモードへ遷移した場合の WDT0/1 動作を示します。

表 2.8　CPU0 がスリーブモードに遷移したときの WDT0 の動作

WDT0 動作	OFS0.WDTSTRT0	OFS0.WDTSTPCTL0(注1)	WDT0.WDTCSTPR.SLCSTP(注2)
カウント停止	0（オートスタートモード）	1	—
カウント継続	0（オートスタートモード）	0	—
カウント停止	1（レジスタスタートモード）	—	1
カウント継続	1（レジスタスタートモード）	—	0

注 1. OFS0.WDTSTPCTL0 は、WDT0 がオートスタートモードであり、かつ CPU0 がスリーブモードのときの WDT0 のカウント停止／継続を制御します。
注 2. WDT0.WDTCSTPR.SLCSTP は、WDT0 がレジスタスタートモードであり、かつ CPU0 がスリーブモードのときの WDT0 のカウント停止／継続を制御します。

WDT0 がオートスタートモードであり、かつ OFS0.WDTSTPCTL0 ビットが 1（CPU0 がスリープモードのときに WDT0 カウント停止）の場合、CPU0 がスリープモードへ遷移すると WDT0 はカウントを停止します。同様に、WDT0 がレジスタスタートモードであり、かつ WDTCSTPR の SLCSTP ビットが 1（CPU0 がスリープモードのときに WDT0 カウント停止）の場合、CPU0 がスリープモードへ遷移すると WDT0 はカウントを停止します。

WDT0 がオートスタートモードであり、かつ OFS0.WDTSTPCTL0 ビットが 0（CPU0 がスリープモードのときに WDT0 カウント継続）の場合、CPU0 がスリープモードへ遷移しても WDT0 はカウントを継続します。同様に、WDT0 がレジスタスタートモードであり、かつ WDTCSTPR の SLCSTP ビットが 0（CPU0 がスリープモードのときに WDT0 カウント継続）の場合、CPU0 がスリープモードへ遷移しても WDT0 はカウントを継続します。

表 2.9　CPU1 がスリーブモードに遷移したときの WDT1 の動作

WDT1 動作	OFS3.WDTSTRT1	OFS3.WDTSTPCTL1(注1)	WDT1.WDTCSTPR.SLCSTP(注2)
カウント停止	0（オートスタートモード）	1	—
カウント継続	0（オートスタートモード）	0	—
カウント停止	1（レジスタスタートモード）	—	1
カウント継続	1（レジスタスタートモード）	—	0

注 1. OFS3.WDTSTPCTL1 は、WDT1 がオートスタートモードであり、かつ CPU1 がスリーブモードのときの WDT1 のカウント停止／継続を制御します。
注 2. WDT1.WDTCSTPR.SLCSTP は、WDT1 がレジスタスタートモードであり、かつ CPU1 がスリーブモードのときの WDT1 のカウント停止／継続を制御します。

WDT1 がオートスタートモードであり、かつ OFS3.WDTSTPCTL1 ビットが 1（CPU1 がスリープモードのときに WDT1 カウント停止）の場合、CPU1 がスリープモードへ遷移すると WDT1 はカウントを停止します。同様に、WDT1 がレジスタスタートモードであり、かつ WDTCSTPR の SLCSTP ビットが 1（CPU1 がスリープモードのときに WDT1 カウント停止）の場合、CPU1 がスリープモードへ遷移すると WDT1 はカウントを停止します。

WDT1 がオートスタートモードであり、かつ OFS3.WDTSTPCTL1 ビットが 0（CPU1 がスリープモードのときに WDT1 カウント継続）の場合、CPU1 がスリープモードへ遷移しても WDT1 はカウントを継続します。同様に、WDT1 がレジスタスタートモードであり、かつ WDTCSTPR の SLCSTP ビットが 0（CPU1 がスリープモードのときに WDT1 カウント継続）の場合、CPU1 がスリープモードへ遷移しても WDT1 はカウントを継続します。

スリープモードへ遷移するための WFI/WFE 命令およびスリープオンイグジット機能の詳細については、[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)を参照してください。

2.7.1.2　スリープモードの解除

各 CPU のスリープモードは以下により解除されます。

- 割り込み／イベント

- リセット
  - RES 端子リセット
  - パワーオンリセット
  - 電圧監視 0 リセット
  - 過電流保護リセット
  - コア電圧監視リセット
  - 独立ウォッチドッグタイマリセット
  - CPUn (n = 0, 1) ウォッチドッグタイマリセット
  - 電圧監視 m リセット (m = 1, 2, 4, 5)
  - ソフトウェアリセット
  - CPUn (n = 0, 1) ロックアップリセット
  - 共通メモリエラーリセット
  - ローカルメモリ n (n = 0, 1) エラーリセット
  - バスエラーリセット

動作は以下のとおりです。

割り込み／イベントによる解除

- 利用可能な割り込み要求が発生すると、スリープモードが解除されて、CPUn (n = 0, 1) は割り込み処理を開始します。
- デバッガが MCUCTRL.EDBGRQn（CPU0 および CPU1 の場合、n = 0、1）に 1 を書き込むと、スリープモードが解除されて、CPUn (n = 0, 1) はデバッグ状態(注1)に遷移します。
- CPUn (n = 0, 1) が他の CPU で実行された SEV 命令で発行されたイベントを受信し、WFE 命令でスリープモードへの移行が発生した場合、スリープモードは解除され、CPUn (n = 0, 1) は WFE の次の命令を実行します。

RES 端子リセットによる解除

RES 端子を Low にすると、MCU はリセット状態になります。「62. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、一次 CPU はリセット例外処理を開始します。

IWDT リセットによる解除

IWDT アンダーフローによるシステムリセットが発生すると、スリープモードが解除されて、一次 CPU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するためのシステムリセットが発生しません。

- OFS0.IWDTSTRT = 0（オートスタートモード）かつ OFS0.IWDTSTPCTL = 1
- OFS0.IWDTSTRT = 1（レジスタスタートモード）かつ IWDTCSTPR.SLCSTP = 1

WDT0 リセットによる解除

WDT0 アンダーフローによるシステムリセットが発生すると、スリープモードが解除されて、一次 CPU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT0 はスリープモードで停止して、スリープモードを解除するためのシステムリセットが発生しません。

- OFS0.WDTSTRT0 = 0（オートスタートモード）かつ OFS0.WDTSTPCTL0 = 1
- OFS0.WDTSTRT0 = 1（レジスタスタートモード）かつ WDT0.WDTCSTPR.SLCSTP = 1

WDT1 リセットによる解除

WDT1 アンダーフローによるシステムリセットが発生すると、スリープモードが解除されて、一次 CPU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT1 はスリープモードで停止して、スリープモードを解除するためのシステムリセットが発生しません。

- OFS3.WDTSTRT1 = 0（オートスタートモード）かつ OFS3.WDTSTPCTL1 = 1
- OFS3.WDTSTRT1 = 1（レジスタスタートモード）かつ WDT1.WDTCSTPR.SLCSTP = 1

スリープモードで利用可能な他のリセットによる解除

その他のリセットによってスリープモードは解除され、一次 CPU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. デバッガが非セキュア状態のときは、セキュア状態の CPU はデバッグ状態に遷移できません。

2.7.2 ディープスリープモード

2.7.2.1 ディープスリープモードへの遷移

SCR.SLEEPDEEP ビットが 1 の状態で WFI 命令またはスリープオンイグジット機能を実行すると、対応する CPU はディープスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。ただし、このモードでは CPU0 の TCM にアクセスできず（CPU0 がディープスリープモードの場合）、SysTick も停止します。ディープスリープモードで利用可能なリセットまたはすべての割り込みが発生すると、ディープスリープモードが解除されます。

ディープスリープモードでは、CPU はパワーゲーティング状態になります（CPU0 の場合は、CPDLPSTATE 設定に依存します）。

ディープスリープモード時の IWDT と WDT0/1 の動作は、スリープモード時の動作と同じです。

2.7.2.2 ディープスリープモードの解除

ディープスリープモードは以下の方法で解除されます。

- 表 14.5 に示す割り込み
- リセット
  - RES 端子リセット
  - パワーオンリセット
  - 電圧監視 0 リセット
  - 過電流保護リセット
  - コア電圧監視リセット
  - 独立ウォッチドッグタイマリセット
  - CPUn (n = 0, 1) ウォッチドッグタイマリセット
  - 電圧監視 m リセット (m = 1、2、および 4、5)
  - ソフトウェアリセット
  - CPUn (n = 0, 1) ロックアップリセット
  - 共通メモリエラーリセット
  - ローカルメモリ n (n = 0, 1) エラーリセット
  - バスエラーリセット

動作は以下のとおりです。

割り込みによる解除

割り込み要求が発生すると、ディープスリープモードが解除されて、CPUn (n = 0, 1) は割り込み処理を開始します。

RES 端子リセットによる解除

RES 端子を Low にすると、MCU はリセット状態になります。「62. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPUs はリセット例外処理を開始します。

IWDT リセットによる解除

IWDT アンダーフローによるシステムリセットが発生すると、ディープスリープモードが解除されて、一次 CPU はリセット例外処理を開始します。ただし、下記の条件下では、ディープスリープモード時に IWDT が停止して、ディープスリープモードを解除するためのシステムリセットが発生しません。

- OFS0.IWDTSTRT = 0（オートスタートモード）かつ OFS0.IWDTSTPCTL = 1
- OFS0.IWDTSTRT = 1（レジスタスタートモード）かつ IWDTCSTPR.SLCSTP = 1

WDT0 リセットによる解除

WDT0 アンダーフローによるシステムリセットが発生すると、ディープスリープモードが解除されて、一次 CPU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT0 はディープスリープモードで停止して、ディープスリープモードを解除するためのシステムリセットが発生しません。

- OFS0.WDTSTRT0 = 0（オートスタートモード）かつ OFS0.WDTSTPCTL0 = 1
- OFS0.WDTSTRT0 = 1（レジスタスタートモード）かつ WDT0.WDTCSTPR.SLCSTP = 1

WDT1 リセットによる解除

WDT1 アンダーフローによるシステムリセットが発生すると、ディープスリープモードが解除されて、一次 CPU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT1 はディープスリープモードで停止して、ディープスリープモードを解除するためのシステムリセットが発生しません。

- OFS3.WDTSTRT1 = 0（オートスタートモード）かつ OFS3.WDTSTPCTL1 = 1
- OFS3.WDTSTRT1 = 1（レジスタスタートモード）かつ WDT1.WDTCSTPR.SLCSTP = 1

ディープスリープモードで利用可能な他のリセットによる解除

その他のリセットによってディープスリープモードは解除され、一次 CPU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

2.8 デバッグ機能

MCU には、外部デバッグまたはセルフホスティングデバッグによってソフトウェアをデバッグする機能があります。

外部デバッグ機能は JTAG/SWD またはソフトウェアプログラミングによって有効になります。詳細は、「2.8.1. 外部デバッガのコネクティビティと JTAG/SWD による認証」と「2.8.2. ソフトウェアによるデバッグ保護機構」を参照してください。

セルフホスティングデバッグ機能はソフトウェアプログラミングで有効にできます。詳細は「2.8.2. ソフトウェアによるデバッグ保護機構」を参照してください。

デバッグ機能を有効にすると、システムの動作が影響を受ける可能性があります。詳細は「2.8.3. デバッグ機能の影響」を参照してください。

2.8.1 外部デバッガのコネクティビティと JTAG/SWD による認証

この MCU では、3 つの保護レベル (PL) を設定できます。

- PL0 — デバッグは許可されない
- PL1 — 非セキュアデバッグは許可される
- PL2 — セキュアデバッグは許可される

JTAG/SWD を使用して認証を実行することによりデバッグ機能を有効にした場合、3 つの認証レベル (AL) に対応する次の 3 つのデバッグレベルがあります。

- AL0 — デバッグ機能は使用不可
- AL1 — 非セキュアデバッグ機能（侵入型デバッグと非侵入型デバッグの両方）のみ有効であり、デバッガは定義された非セキュアデバッグアクセス可能領域にのみアクセス可能
- AL2 — 非セキュアデバッグ機能とセキュアデバッグ機能（侵入型デバッグと非侵入型デバッグの両方）が有効であり、デバッガからアクセス可能

注. **侵入型デバッグ、非侵入型バッグ、セキュアバッグ、非セキュアデバッグの詳細については、参考資料[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)を参照してください。**

認証レベルは以下のように決定されます。

- デバイスライフサイクル状態（DLM 状態）が OEM 以外 (LCK_BOOT, RMA_RET, RMA_REQ, RMA_ACK) の場合、AL は DLM 状態により決定されます。表 2.10 を参照してください。
- デバイスライフサイクル状態（DLM 状態）が OEM に等しい場合、ユーザーが設定した PL および JTAG/SWD を使用して実行される認証により AL を決定できます。MCU の認証方法は、ユーザーがインストールした認証キーを使ったチャレンジ応答方法です。

認証レベル (AL) の初期値は、保護レベル (PL) の値によって決まります。表 2.10 を参照してください。

認証シーケンスについては、「2.14.2.2. 接続シーケンスと JTAG/SWD 認証」を参照してください。

また、認証キー AL1 および AL2 の使用は、それぞれ保護 LCKS および LCKNS の設定で禁止できます。LCKS と LCKNS の設定はブートファームウェアコマンドにより実行できます。

表 2.10 にシリアルプログラマに使用できる認証レベルの条件を示します。

表 2.10 認証レベルの条件

条件				
DLM の状態	**PL**	**LCKS**	**LCKNS**	**利用可能な認証レベル**
OEM	PL2	Don't care	Don't care	AL2（デフォルト）
OEM	PL1	111	Don't care	AL1（デフォルト） AL2（AL2_KEY を使った認証）
OEM	PL1	000（AL2_KEY の使用禁止）	Don't care	AL1（デフォルト）
OEM	PL0	111	111	AL0（デフォルト） AL1（AL1_KEY を使った認証） AL2（AL2_KEY を使った認証）
OEM	PL0	111	000（AL1_KEY の使用禁止）	AL0（デフォルト） AL2（AL2_KEY を使った認証）
OEM	PL0	000（AL2_KEY の使用禁止）	111	AL0（デフォルト） AL1（AL1_KEY を使った認証）
OEM	PL0	000（AL2_KEY の使用禁止）	000（AL1_KEY の使用禁止）	AL0（デフォルト）
LCK_BOOT	PL0	Don't care	Don't care	AL0（デフォルト）
RMA_RET	PL0	Don't care	Don't care	AL0（デフォルト）
RMA_REQ	PL0	Don't care	Don't care	AL0（デフォルト）
RMA_ACK	PL2	Don't care	Don't care	AL2（デフォルト）

注. SWJ-DP を使用してデバッグを行う場合、CDBGPWRUPREQ = 1 に設定してください。
注. 外部エミュレータから CoreSight コンポーネントへのデバッグ APB を使用したデバッグ接続はデフォルト設定で許可されており、「Don't care」は認証機構の結果です。ただし、この接続はソフトウェアプログラミングで禁止できます。詳細は、DBGAUTH0.DEVICEEN を参照してください。

MCU がブートモードで動作中あるいは FSBL 実行中の場合、デバッグ機能は使用できません。

2.8.2 ソフトウェアによるデバッグ保護機構

この機構ではチャレンジ＆レスポンス認証手順は実行せず、代わりにソフトウェアのプログラムにより MCU のデバッグ機能を直接有効にできます。言い換えれば、デバッグ機能はソフトウェアで完全に制御されます。

OFS1.SWDBG = 0 および以下のいずれかのビットの設定によりデバッグ機能を有効にできます。

- DBGAUTH0.NIDENn = 1：非侵入型デバッグ許可（CPU0 の場合は n = 0、CPU1 の場合は n = 1）
- DBGAUTH0.DBGENn = 1：非侵入型デバッグ許可（CPU0 の場合は n = 0、CPU1 の場合は n = 1）
- DAUTHCTRL.SPNIDENSEL = 1 および DAUTHCTRL.INTSPNIDEN = 1：セキュアな非侵入型デバッグ許可詳細は、[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)を参照してください。
- DAUTHCTRL.SPIDENSEL = 1 および DAUTHCTRL.INTSPIDEN = 1：セキュアな侵入型デバッグ許可詳細は、[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)を参照してください。

注. ソフトウェアプログラミングを使用した認証は DLM 状態、PL、LCKS、および LCKNS による制限を受けません。

注. DAUTHCTRL.INTSPNIDEN と DAUTHCTRL.INTSPIDEN がプロセッサ外部のセキュアな侵入型／非侵入型デバッグ認証インタフェースより優先される場合を除き、JTAG/SWD を使用した認証でデバッグ機能が有効にされたときはソフトウェアでは無効にできません。

2.8.3 デバッグ機能の影響

デバッグ機能は CPU の内部および外部に影響を与えます。本項では、デバッグ認証を除いた影響について説明します。

2.8.3.1 低消費電力モード

SYOCDCR.DBGEN が 1（「11. 低消費電力モード」を参照）、かつ以下の条件のいずれかが真の場合は、CPU がディープスリープモードに遷移しても、あるいは MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに遷移しても、すべての CoreSight デバッグコンポーネントがレジスタ設定を保存できます。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN0 または DBGAUTH0.NIDEN0 が 1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN1 または DBGAUTH0.NIDEN1 が 1

ただし、AHB-APn（n = 0、1: CPU0、1 のそれぞれに合わせて AHB-AP0、AHB-AP1）は、これらの低消費電力モードではオンチップデバッグ (OCD) アクセスに応答できません。すなわち、CoreSight デバッグコンポーネントにアクセスするには、OCD は低消費電力モードが解除されるのを待つ必要があります。

MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードのときに OCD が MCU への接続を開始すると、MCU はオンチップデバッグ (OCD) に応答しません。

2.8.3.2 リセット／割り込み

デバッグ時に CPU がデバッグ状態になると、IWDT と対応する WDTn (n = 0, 1) が停止します(注1)。デバッグ時に CPU がデバッグ状態にならず、デバッグ機能が AL0 でないかセルフホストデバッグが有効でない場合、DBGSTOPCR 設定に応じて、WDT0、WDT1、IWDT などのリセットが制限されます(注2)。PVDn (n!= 0) の場合、CPU が停止モードであるかどうかによって、割り込みとリセットは DBGSTOPCR に依存します。一部のアクセスエラーは外部デバッガ (DAP) アクセスでは発生しません。表 2.11 を参照してください。

表 2.11 OCD モード時のリセットと割り込み発生の制御 (1/2)

リセット／割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザーモードと同じ	
パワーオンリセット	ユーザーモードと同じ	
独立ウォッチドッグタイマリセット／割り込み(注2)	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う(注2)
ウォッチドッグタイマ 0/1 リセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う(注2)
CPU ロックアップリセット／割り込み	発生しない	ユーザーモードと同じ
電圧監視 0 リセット	ユーザーモードと同じ	
電圧監視 1 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う(注3)	

表 2.11 OCD モード時のリセットと割り込み発生の制御 (2/2)

リセット／割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
電圧監視 2 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う(注3)	
CPU0 キャッシュ／TCM ECC エラーリセット	DBGSTOPCR レジスタの設定内容に従う	
CPU1 キャッシュ／TCM ECC エラーリセット／割り込み	キャッシュ：CAPOAD.OAD に従う TCM：TCMCRC.OAD および TCMCRS.OAD に従う	
MRAM ECC エラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
キャッシュ／TCM ECC エラーバス障害	ユーザーモードと同じ(注4)	
SRAM ECC エラーリセット／割り込み	ユーザーモードと同じ(注4)	
ディープソフトウェアスタンバイリセット	ユーザーモードと同じ	
ソフトウェアリセット	ユーザーモードと同じ	
バスエラーリセット／割り込み	ユーザーモードと同じ(注4)	

注 1. OCD ブレークモードの場合
以下のいずれかの条件に合致する場合、IWDT は常に停止します。
- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OSF1.SWDBG が 0、DBGAUTH0.DBGEN0 が 1、かつ CPU0 が一次 CPU
- OSF1.SWDBG が 0、DBGAUTH0.DBGEN1 が 1、かつ CPU1 が一次 CPU

以下のいずれかの条件に合致する場合、WDT0 は常に停止します。
- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OSF1.SWDBG が 0、かつ DBGAUTH0.DBGEN0

以下のいずれかの条件に合致する場合、WDT1 は常に停止します。
- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OSF1.SWDBG が 0、かつ DBGAUTH0.DBGEN1

注 2. OCD RUN モードでは、以下の条件のいずれかが真の場合、IWDT と WDTn (n = 0, 1) の動作は DBGSTOPCR の設定内容に従います。
IWDT:
- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OSF1.SWDBG が 0、DBGAUTH0.DBGEN0 が 1、かつ CPU0 が一次 CPU
- OSF1.SWDBG が 0、DBGAUTH0.DBGEN1 が 1、かつ CPU1 が一次 CPU

WDT0:
- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OSF1.SWDBG が 0、かつ DBGAUTH0.DBGEN0

WDT1:
- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OSF1.SWDBG が 0、かつ DBGAUTH0.DBGEN1

注 3. リセットまたは割り込みのマスクは DBGSTOPCR レジスタの設定内容に従います。
注 4. DAP アクセスのエラーが検出されたときに、システムリセット要求または割り込み要求は発生しません（CPU1 のキャッシュおよび TCM に適用される）。

2.8.3.3 ファーストステージブートローダー (FSBL)

FSBL 実行中は、認証レベル (AL) に関わらずデバッグは禁止されます。

2.8.4 ホットプラグインデバッグ

ホットプラグインデバッグは、チャレンジ&レスポンス認証が不要の場合にサポートされます。また、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードではサポートされません。

2.8.5 非特権デバッグ

非特権デバッグは CPU0 (Armv8.1-M) でのみサポートされています。

2.9 レジスタの説明

2.9.1 CPU コントロールレジスタ

MCU には、CPU の内部レジスタに加えて、CPU コントロールレジスタと見なされる追加の特定コントロールレジスタとステータスレジスタがあります。

表 2.12 に CPU コントロールレジスター一覧を示します。

表 2.12 CPU コントロールレジスター一覧

名称	略称	アドレス（セキュア）	アドレス（非セキュア）	アクセスサイズ	R/W
CPU セキュリティ属性レジスタ	CPUSAR	0x4000_8170	0x5000_8170	32 ビット	読み出し／書き込み
CPU0 ロックアップコントロールレジスタ	CPU0LCKUPCR	0x4000_F030	0x5000_F030	8 ビット	読み出し／書き込み
CPU1 ロックアップコントロールレジスタ	CPU1LCKUPCR	0x4000_F034	0x5000_F034	8 ビット	読み出し／書き込み
CPU0 コントロールレジスタ保護レジスタ	CPU0CRPT	0x4000_F840	0x5000_F840	16 ビット	読み出し／書き込み
CPU1 コントロールレジスタ保護レジスタ	CPU1CRPT	0x4000_F844	0x5000_F844	16 ビット	読み出し／書き込み
CPU0 機能ロックコントロールレジスタ	CPU0LOCKCR	0x4000_F400	—	8 ビット	読み出し／書き込み
CPU1 機能ロックコントロールレジスタ	CPU1LOCKCR	0x4000_F404	—	8 ビット	読み出し／書き込み
CPU0 非セキュア機能ロックコントロールレジスタ	CPU0LOCKCRNS	—	0x5000_F500	8 ビット	読み出し／書き込み
CPU1 非セキュア機能ロックコントロールレジスタ	CPU1LOCKCRNS	—	0x5000_F504	8 ビット	読み出し／書き込み
CPU0 初期ベクタベースアドレスレジスタ	CPU0INITVTOR	0x4000_F040	—	32 ビット	読み出し／書き込み
CPU1 初期ベクタベースアドレスレジスタ	CPU1INITVTOR	0x4000_F044	0x5000_F044	32 ビット	読み出し／書き込み
CPU0 CPUWAIT コントロールレジスタ	CPU0WAITCR	0x4000_F050	—	8 ビット	読み出し／書き込み
CPU1 CPUWAIT コントロールレジスタ	CPU1WAITCR	0x4000_F054	0x5000_F054	8 ビット	読み出し／書き込み
CPU0 起動コントロール／ステータスレジスタ	CPU0ACTCSR	0x4000_F060	—	16 ビット	読み出し／書き込み
CPU1 起動コントロール／ステータスレジスタ	CPU1ACTCSR	0x4000_F064	0x5000_F064	16 ビット	読み出し／書き込み
CPU0 ローカルメモリエラーコントロールレジスタ	CPU0LMECR	0x4000_F070	0x5000_F070	8 ビット	読み出し／書き込み
CPU 識別レジスタ	CPUIDR	0x4000_F078	0x5000_F078	8 ビット	読み出し
CPU0 ステータスモニタレジスタ	CPU0STATM	0x4000_F080	0x5000_F080	8 ビット	読み出し
CPU1 ステータスモニタレジスタ	CPU1STATM	0x4000_F084	0x5000_F084	8 ビット	読み出し
CPU SECEXT モニタレジスタ	SECEXTMON	0x4000_F090	—	8 ビット	読み出し
非セキュア CPU コントロールレジスタ	NSCPUCR	0x4000_F094	—	32 ビット	読み出し／書き込み

2.9.1.1 CPUSAR : CPU セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x170

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSA1	CPUSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPUSA0	CPU セキュリティ属性 0 (CPU0) 0: セキュア 1: 非セキュア	R/W
1	CPUSA1	CPU セキュリティ属性 1 (CPU1) 0: セキュア 1: 非セキュア	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1
P-TYPE-1

CPUSAn ビット

CPUn 制御用レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- CPU.CPUnLCKUPCR
- CPU.CPUnCRPT

CPUSA0 ビット

CPUSA0 ビットは、次のレジスタのセキュリティ属性を制御します。

- CPU0RSTCR
- CPU0LMECR

CPUSA1 ビット

CPUSA1 ビットは、次のレジスタのセキュリティ属性を制御します。

- CPU1INITVTOR
- CPU1WAITCR
- CPU1ACTCSR

2.9.1.2 CPUnLCKUPCR : CPUn ロックアップコントロールレジスタ (n = 0, 1)

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x030 + 0x004 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	CPUn ロックアップ検出後の動作 0: ノンマスカブル割り込み 1: システムリセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (CPUSAR.CPUSAn)
P-TYPE-2
n = 0, 1

CPUn がロックアップ状態に遷移すると、システムリセットまたは割り込みの発生を CPUnLCKUPCR.OAD への書き込みにより選択できます。

CPUnLCKUPCR セキュリティ属性は CPUSAR で制御されます。

CPUnLCKUPCR.OAD ビットへの書き込みは、CPU コントロールレジスタ保護レジスタ (CPUnCRPT) で保護されています。

2.9.1.3 CPUnCRPT : CPUn コントロールレジスタ保護レジスタ (n = 0, 1)

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x840 + 0x004 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: CPUnLCKUPCR レジスタへの書き込み可能 1: CPUnLCKUPCR レジスタへの書き込み不可。読み出しアクセスは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください 0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。 KEY[7:0]は読むと常に 0x00 が読み出されます。	W

注. S-TYPE-3 (CPUSAR.CPUSAn)
P-TYPE-2
n = 0, 1

CPUnCRPT.PROTECT ビットは、CPUnLCKUPCR、CPUnWAITCR、および CPUnLMECR レジスタへの書き込みを許可します（CPU1LMECR は使用できません）。

CPUnCRPT のセキュリティ属性は CPUSAR で制御されます。

2.9.1.4 CPU0LOCKCR : CPU0 機能ロックコントロールレジスタ

Base address: CPU_CTRL = 0x4000_F000

Offset address: 0x400

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	LCKDCAIC	LCKDTGU	LCKITGU	LCKSAU	LCKSMPU	LCKSVTAIR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCKSVTAIR	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから以下のセキュアレジスタへの書き込みを禁止します。 VTOR_S, AIRCR.PRIS, AIRCR.BFHFNMINS	R/W(注1)

ビット	シンボル	機能	R/W
1	LCKSMPU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントからセキュア MPU 領域に対応するレジスタへの書き込みを禁止します。 MPU_CTRL、MPU_RNR、MPU_RBAR、MPU_RLAR、MPU_RBAR_An、MPU_RLAR_An	R/W(注1)
2	LCKSAU	この信号は、ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから SAU 領域に対応するレジスタへの書き込みを禁止します。 SAU_CTRL、SAU_RNR、SAU_RBAR、SAU_RLAR	R/W(注1)
3	LCKITGU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから ITCM インタフェースセキュリティゲーティングに対応するレジスタへの書き込みを禁止します。 ITGUCTRL、ITGU_LUTn	R/W(注1)
4	LCKDTGU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから DTCM インタフェースセキュリティゲーティングに対応するレジスタへの書き込みを禁止します。 DTGUCTRL、DTGU_LUTn	R/W(注1)
5	LCKDCAIC	命令キャッシュ直接キャッシュアクセスレジスタ DCAICLR および DCAICRR へのアクセスを禁止します。	R/W(注1)
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6
P-TYPE-2
注 1. 0 の書き込みは無視されます。

CPU0LOCKCR レジスタは、CPU0 の種々雑多な信号を制御します。

リセットが唯一のクリア条件です。

2.9.1.5 CPU1LOCKCR : CPU1 機能ロックコントロールレジスタ

Base address: CPU_CTRL = 0x4000_F000

Offset address: 0x404

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	LCKSAU	LCKSMPU	LCKSVTAIR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCKSVTAIR	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから以下のセキュアレジスタへの書き込みを禁止します。 VTOR_S、AIRCR.PRIS、AIRCR.BFHFNMINS	R/W(注1)
1	LCKSMPU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントからセキュア MPU 領域に対応するレジスタへの書き込みを禁止します。 MPU_CTRL、MPU_RNR、MPU_RBAR、MPU_RLAR、MPU_RBAR_An、MPU_RLAR_An	R/W(注1)
2	LCKSAU	この信号は、ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから SAU 領域に対応するレジスタへの書き込みを禁止します。 SAU_CTRL、SAU_RNR、SAU_RBAR、SAU_RLAR	R/W(注1)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6
P-TYPE-2
注 1. 0 の書き込みは無視されます。

CPU1LOCKCR レジスタは、CPU1 の種々雑多な信号を制御します。

リセットが唯一のクリア条件です。

2.9.1.6 CPUnLOCKCRNS : CPUn 非セキュア機能ロックコントロールレジスタ (n = 0, 1)

Base address: CPU_CTRL_NS = 0x5000_F000

Offset address: 0x500 + 0x004 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	LCKNSMPU	LCKNSVTOR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCKNSVTOR	VTOR_NS レジスタへの書き込みを禁止します	R/W(注1)
1	LCKNSMPU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから非セキュア MPU 領域に対応するレジスタへの書き込みを禁止します MPU_CTRL_NS, MPU_RNR_NS, MPU_RBAR_NS, MPU_RLAR_NS, MPU_RBAR_A_NSn, MPU_RLAR_A_NSn	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-7
P-TYPE-2

注 1. 0 の書き込みは無視されます。

CPUnLOCKCRNS レジスタは、CPUn の種々雑多な信号を制御します。

リセットが唯一のクリア条件です。

2.9.1.7 CPUnINITVTOR : CPU 初期ベクタベースアドレスレジスタ (n = 0, 1)

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x040 + 0x004 × n

Bit position:	31	0
Bit field:	CPUINITVTOR[31:0]	
Value after reset:	0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	CPUINITVTOR[31:0]	CPUn 初期ベクタベースアドレス CPUINITVTOR[6:0]への書き込みは破棄され、読むと 0 が読めます	R/W

注. S-TYPE-6 (CPU0INITVTOR) / S-TYPE-3 (CPU1INITVTOR)
P-TYPE-2 (CPUnINITVTOR)

CPUnINITVTOR レジスタは、セキュア／非セキュアベクタテーブルオフセットのベクタベースアドレスビットフィールドを制御します。

2.9.1.8 CPUnWAITCR : CPUn CPUWAIT コントロールレジスタ (n = 0, 1)

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x050 + 0x004 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CPUWAIT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPUWAIT	リセット解除後に 1 を書き込むことで CPUn をストールさせる このビットは CPUn が二次 CPU の場合にのみ有効です。 0: CPUn はリセット解除後に命令の実行を開始する 1: CPUn はリセット解除後に強制的に静止状態にされる	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6 (CPU0WAITCR)/S-TYPE-3 (CPU1WAITCR)
P-TYPE-2 (CPUnWAITCR)

CPUnWAITCR レジスタは、リセット解除後の二次 CPU の実行状態を制御します。

CPUnWAITCR.CPUWAIT ビットへの書き込みは、CPU コントロールレジスタ保護レジスタ (CPUnCRPT) で保護されています。

2.9.1.9 CPUnACTCSR : CPUn 起動制御およびステータスレジスタ (n = 0～1)

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x060 + 0x004 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								ACT	—	—	—	—	—	—	ACTREQ
Value after reset:	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ACTREQ	CPUn 起動要求 読むと 0 が読めます このビットは CPUn が二次 CPU である場合にのみ有効です 0: 影響なし 1: ACT ビットが 0 の場合は CPUn 起動を要求する	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ACT	CPUn 起動ステータス 0: CPUn は非駆動状態（パワーゲーティング／リセット状態） 1: CPUn は駆動状態（リセット解除後）	R
15:8	KEY[7:0]	キーコード 本レジスタへの書き込みを制御します。本レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください 読むと 0 が読めます。	R/W

注. ACT ビットの初期値は以下のとおりです。
1：CPUn が一次 CPU の場合。
0：CPUn が二次 CPU の場合。
注. S-TYPE-6 (CPU0ACTCSR) / S-TYPE-3 (CPU1ACTCSR)
P-TYPE-2 (CPUnACTCSR)

CPUnACTCSR レジスタは、システムリセット後の二次 CPU の起動を制御します。また、CPUn の起動状態も示します。

2.9.1.10 CPU0LMECR : CPU0 ローカルメモリエラーコントロールレジスタ

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x070

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SYRSTEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SYRSTEN	システムリセット要求許可 0: データキャッシュまたは TCM で複数ビットのエラーが発生した場合に、システムリセット要求を禁止する 1: データキャッシュまたは TCM で複数ビットのエラーが発生した場合に、システムリセット要求を許可する	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

CPU0LMECR レジスタは、データキャッシュで、または CPU0 の TCM で複数ビットのエラーが発生した場合のシステムリセット要求を制御します。

CPU0LMECR.SYRSTEN ビットへの書き込みは、CPU コントロールレジスタ保護レジスタ (CPU0CRPT) で保護されています。

初期化されていない TCM に対して CPU0 と CPU1 が投機的アクセスを発行すると ECC エラーが発生する可能性があるため、CPU0LMECR.SYRSTEN ビットを設定する前に TCM を初期化する必要があります。

2.9.1.11 CPUIDR : CPU 特定レジスタ

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x078

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CPUID
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPUID	CPU 特定 0: CPU0 1: CPU1	R
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-5

CPUIDR レジスタは、CPUn の ID を示します。このレジスタは CPUn によって読み出されることが想定されています。CPUn 以外のバスマスタによって読み出される場合、読み出し値は不定です。

2.9.1.12 CPU0STATM : CPU0 状態監視レジスタ

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x080

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SAHBSTP	—	—	SLEEPDEEP	SLEEPING
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLEEPING	CPU0 スリープ状態 0: CPU0 は動作中である 1: CPU0 はスリープモードである	R
1	SLEEPDEEP	CPU0 ディープスリープ状態 プロセッサがディープスリープモードであることを示します。	R

ビット	シンボル	機能	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SAHBSTP	CPU0 S-AHB ステータスフラグ 0: CPU0 S-AHB 有効 1: CPU0 S-AHB 停止	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-5

CPU0STATM レジスタは、スリープ、ディープスリープ、S-AHB 停止に関連する CPU0 の状態を示します。

2.9.1.13 CPU1STATM : CPU1 状態監視レジスタ

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x084

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SLEEPDEEP	SLEEPING
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLEEPING	CPU1 スリープ状態 0: CPU1 は動作中である 1: CPU1 はスリープモードである	R
1	SLEEPDEEP	CPU1 ディープスリープ状態 プロセッサがディープスリープモードであることを示します。	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-5

CPU1STATM レジスタは、スリープとディープスリープに関連する CPU1 の状態を示します。

2.9.1.14 SECEXTMON : CPU SECEXT 監視レジスタ

Base address: CPU_CTRL = 0x4000_F000

Offset address: 0x090

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SECEXT1	SECEXT0
Value after reset:	0	0	0	0	0	0	0/1	1

ビット	シンボル	機能	R/W
0	SECEXT0	CPU0 セキュリティ拡張 CPU0 (Cortex-M85) は常にセキュリティ拡張を含みます。 0: CPU0 はセキュリティ拡張を含まない 1: CPU0 はセキュリティ拡張を含む	R
1	SECEXT1	CPU1 セキュリティ拡張 0: CPU1 はセキュリティ拡張を含まない 1: CPU1 はセキュリティ拡張を含む	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6
P-TYPE-2

SECEXTMON レジスタは、セキュリティ拡張に関連する CPU0/1 の状態を示します。

2.9.1.15 NSCPUCR : 非セキュア CPU コントロールレジスタ

Base address: CPU_CTRL = 0x4000_F000

Offset address: 0x094

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RSTREQEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	RSTREQEN	システムリセット要求許可 0: SECEXT なしの非セキュア CPU によるシステムリセット要求は許可されない 1: SECEXT なしの非セキュア CPU によるシステムリセット要求は許可される	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6
P-TYPE-2

NSCPUCR レジスタは、セキュリティ拡張のない CPU のシステムリセット要求を管理します。

2.9.2 外部デバッガのアドレス空間

本 MCU のデバッグシステムには、次の 3 つの CoreSight アクセスポート (AP) があります。

- AHB-APn: CPUn バスマトリックスに接続され、CPUn (n = 0, 1) と同様にシステムアドレス空間にアクセスします。
- APB-AP: OCD アドレス空間を持ち、CoreSight コンポーネントと OCDREG レジスタに接続されます。

図 2.2 に AP 接続とアドレス空間のブロック図を示します。

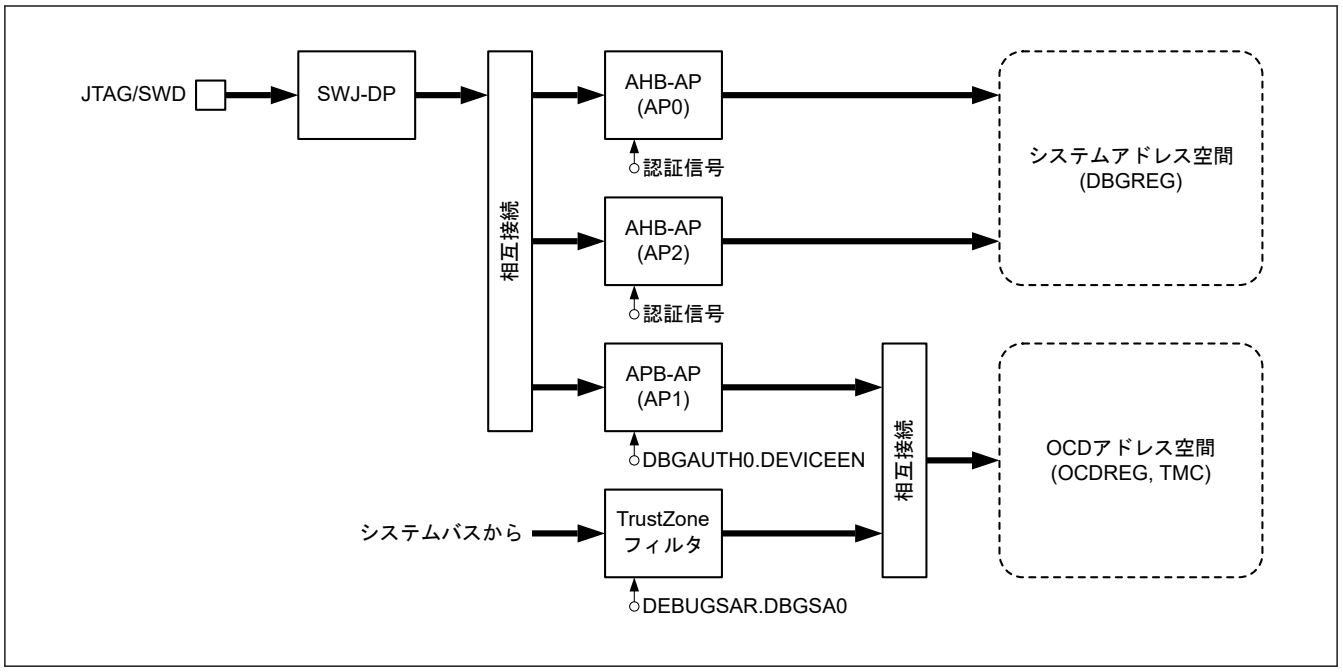


図 2.2 AP 接続とアドレス空間のブロック図

デバッグ用に、DBGREG と OCDREG という 2 つのアドレス空間が存在します。

DBGREG はシステムアドレス空間に配置され、OCD エミュレータ、CPU、あるいは本 MCU における他のバスマスタからアクセスが可能です。

OCDREG は OCD アドレス空間に配置され、OCD エミュレータ、CPU、あるいは本 MCU における他のバスマスタからアクセスが可能です。詳細は表 2.15 を参照してください。

2.9.3 CPU 周辺機能

各 CPU コアには、当該 CPU と OCD エミュレータからのみアクセス可能な Private Peripheral Bus (PPB) があります。CoreSight コンポーネントは各 CPU または OCD エミュレータからアクセス可能です。表 2.13 と表 2.14 に CPUn (n = 0, 1) の専用周辺アドレスを示します。表 2.15 に CoreSight コンポーネントアドレスを示します。

表 2.13 CPU0 の周辺アドレス

コンポーネント名	開始アドレス	終了アドレス	備考
ITM	0xE000_0000	0xE000_0FFF	参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照
DWT	0xE000_1000	0xE000_1FFF	参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照
BPU	0xE000_2000	0xE000_2FFF	参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照
PMU	0xE000_3000	0xE000_3FFF	参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照
SCS	0xE000_E000	0xE000_EFFF	参考資料[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)を参照
SCS 非セキュアエイリアス	0xE002_E000	0xE002_EFFF	参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照
TPIU	0xE004_0000	0xE004_0FFF	参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照
ETM	0xE004_1000	0xE004_1FFF	「2.11. CoreSight ATB ファネル」と参考資料[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)を参照
CTI0	0xE004_2000	0xE004_2FFF	参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照
EPPB ROM テーブル	0xE00F_E000	0xE00F_EFFF	—
プロセッサ ROM テーブル	0xE00F_F000	0xE00F_FFFF	参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照

表 2.14 CPU1 の周辺アドレス (1/2)

コンポーネント名	開始アドレス	終了アドレス	備考
ITM	0xE000_0000	0xE000_0FFF	参考資料[9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)を参照
DWT	0xE000_1000	0xE000_1FFF	参考資料[9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)を参照
BPU	0xE000_2000	0xE000_2FFF	参考資料[9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)を参照
SCS	0xE000_E000	0xE000_EFFF	参考資料[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)を参照
SCS 非セキュアエイリアス	0xE002_E000	0xE002_EFFF	参考資料[9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)を参照
TPIU	0xE004_0000	0xE004_0FFF	参考資料[11] ARM Limited., Arm(R) CoreSight ETM-M33 Technical Reference Manual (ARM 100232)を参照
ETM	0xE004_1000	0xE004_1FFF	「2.11. CoreSight ATB ファネル」と参考資料[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)を参照

表 2.14 CPU1 の周辺アドレス (2/2)

コンポーネント名	開始アドレス	終了アドレス	備考
CTI1	0xE004_2000	0xE004_2FFF	参考資料[9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)を参照
EPPB ROM テーブル	0xE00F_E000	0xE00F_EFFF	—
プロセッサ ROM テーブル	0xE00F_F000	0xE00F_FFFF	参考資料[9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)を参照

表 2.15 CoreSight コンポーネントアドレス

コンポーネント名	開始アドレス(注1)	終了アドレス	備考
システム ROM テーブル	0x4001_0000	0x4001_0FFF	参考資料[3]を参照
OCDREG	0x4001_1000	0x4001_1FFF	参考資料[4] ARM Limited., Arm(R) CoreSight SoC-400 Technical Reference Manual (ARM 0302-01 2nd release for r3p2)を参照
CTI	0x4001_2000	0x4001_2FFF	参考資料[4] ARM Limited., Arm(R) CoreSight SoC-400 Technical Reference Manual (ARM 0302-01 2nd release for r3p2)を参照
ファネル	0x4001_3000	0x4001_3FFF	「2.11. CoreSight ATB ファネル」と参考資料[4] ARM Limited., Arm(R) CoreSight SoC-400 Technical Reference Manual (ARM 0302-01 2nd release for r3p2)を参照
TMC（ETF 構成）	0x4001_4000	0x4001_4FFF	参考資料[12] ARM Limited., Arm(R) CoreSight Trace Memory Controller Technical Reference Manual (ARM DDI0461B)を参照
タイムスタンプ発生器	0x4001_5000	0x4001_5FFF	「3.1. 概要」と参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照
TPIU	0x4001_6000	0x4001_6FFF	参考資料[4] ARM Limited., Arm(R) CoreSight SoC-400 Technical Reference Manual (ARM 0302-01 2nd release for r3p2)を参照
予約領域	0x4001_7000	0x4001_AFFF	—

注. トレースクロックが供給されていない場合は、TPIU にアクセスしないでください。
注 1. ベースアドレス 0x4001_0000 は CPU セキュアアクセス専用です。
CPU 非セキュアアクセス用のベースアドレスは 0x5001_0000 です。
OCD エミュレータアクセス用のベースアドレスは 0x8001_0000 です。
予約領域にアクセスしないでください（セキュア：0x4001_7000-0x4001_AFFF、非セキュア：0x5001_7000-0x5001_AFFF）。
予約領域にアクセスした場合、アクセスは保証されません。

2.9.4 ROM テーブル

本 MCU には 5 つの ROM テーブルがあります。

- CPU0 プロセッサ ROM テーブル
- CPU0 EPPB ROM テーブル
- CPU1 プロセッサ ROM テーブル
- CPU1 EPPB ROM テーブル
- システム ROM テーブル

CPUn EPPB ROM テーブルは各 CPU 内の TPIU コンポーネントとプロセッサ ROM テーブルを指します。EPPB ROM テーブルは ROM テーブルを指したり ROM テーブルから指されたりしません。

プロセッサ ROM テーブルには、CPUn (n = 0, 1) に実装されたデバッグコンポーネントのリストを保持するエントリがあります。システム ROM テーブルには、MCU の CoreSight デバッグコンポーネントとして実装されたデバッグコンポーネントのリストを保持するエントリがあります。

2.9.4.1 ROM エントリ

ROM エントリは、システム内の CoreSight デバッグコンポーネントのリストを保持します。OCD エミュレータは、ROM エントリを使用して、どのコンポーネントがシステムに実装されているかを判定できます。

以下にデバッグコンポーネントの各エントリを説明します。

- 表 2.16：システム ROM エントリ

- 表 2.17: CPU0 EPPB ROM エントリ
- 表 2.18: CPU0 プロセッサ ROM エントリ（参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照）
- 表 2.19: CPU1 EPPB ROM エントリ
- 表 2.20: CPU1 プロセッサ ROM エントリ（参考資料[9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)を参照）

表 2.16　システム ROM エントリ

#	アドレス(注1)	アクセスサイズ	R/W	値	対象モジュール
0	0x4001_0000	32 ビット	読み出しのみ可能	0x00001003	OCDREG
1	0x4001_0004	32 ビット	読み出しのみ可能	0x00002003	CTI
2	0x4001_0008	32 ビット	読み出しのみ可能	0x00003003	ファネル
3	0x4001_000C	32 ビット	読み出しのみ可能	0x00004003	ETF
4	0x4001_0010	32 ビット	読み出しのみ可能	0x00005003	TSG
5	0x4001_0014	32 ビット	読み出しのみ可能	0x00006003	TPIU
6	0x4001_00148	32 ビット	読み出しのみ可能	0x00000000	エントリ終了

注 1.　ベースアドレス 0x4001_0000 は CPU のセキュアアクセス専用です。CPU の非セキュアアクセス用のベースアドレスは 0x5001_0000 です。OCD エミュレータアクセス用のベースアドレスは 0x8001_0000 です。

表 2.17　CPU0 EPPB ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	0xE00F_E000	32 ビット	読み出しのみ可能	0x00001003	CPU0 プロセッサ ROM テーブル
1	0xE00F_E004	32 ビット	読み出しのみ可能	0xFFF42003	CPU0 TPIU
2	0xE00F_E008	32 ビット	読み出しのみ可能	0x00000000	エントリ終了

注.　CPU0 EPPB ROM テーブルのベースアドレスは 0xE00F_E000 です。
注.　ROM テーブルを読み出す前に TPIU クロック供給を許可する必要があります。

表 2.18　CPU0 プロセッサ ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	0xE00F_F000	32 ビット	読み出しのみ可能	0xFFF0F003	SCS
1	0xE00F_F004	32 ビット	読み出しのみ可能	0xFFF02003	DWT
2	0xE00F_F008	32 ビット	読み出しのみ可能	0xFFF03003	BPU
3	0xE00F_F00C	32 ビット	読み出しのみ可能	0xFFF01003	ITM
5	0xE00F_F014	32 ビット	読み出しのみ可能	0xFFF42003	ETM
6	0xE00F_F018	32 ビット	読み出しのみ可能	0xFFF04003	PMU
7	0xE00F_F01C	32 ビット	読み出しのみ可能	0xFFF43003	CTI0
8	0xE00F_F020	32 ビット	読み出しのみ可能	0xFFF47002	PMC
9	0xE00F_F024	32 ビット	読み出しのみ可能	0x00000000	エントリ終了

注.　CPU0 プロセッサ ROM テーブルのベースアドレスは 0xE00F_F000 です。

表 2.19　CPU1 EPPB ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	0xE00F_E000	32 ビット	読み出しのみ可能	0x00001003	CPU1 プロセッサ ROM テーブル
1	0xE00F_E004	32 ビット	読み出しのみ可能	0xFFF42003	CPU1 TPIU
2	0xE00F_E008	32 ビット	読み出しのみ可能	0x00000000	エントリ終了

注.　CPU1 EPPB ROM テーブルのベースアドレスは 0xE00F_E000 です。
注.　ROM テーブルを読み出す前に TPIU クロック供給を許可する必要があります。

表 2.20 CPU1 プロセッサ ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	0xE00F_F000	32 ビット	読み出しのみ可能	0xFFF0F003	SCS
1	0xE00F_F004	32 ビット	読み出しのみ可能	0xFFF02003	DWT
2	0xE00F_F008	32 ビット	読み出しのみ可能	0xFFF03003	BPU
3	0xE00F_F00C	32 ビット	読み出しのみ可能	0xFFF01003	ITM
5	0xE00F_F014	32 ビット	読み出しのみ可能	0xFFF42003	ETM
6	0xE00F_F018	32 ビット	読み出しのみ可能	0xFFF43003	CTI1
7	0xE00F_F01C	32 ビット	読み出しのみ可能	0xFFF44002	MTB
8	0xE00F_F20	32 ビット	読み出しのみ可能	0x00000000	エントリ終了

注. CPU1 プロセッサ ROM テーブルのベースアドレスは 0xE00F_F000 です。

2.9.4.2 CoreSight コンポーネントレジスタ

ROM テーブルには、Arm® CoreSight™アーキテクチャで定義された CoreSight コンポーネントレジスタがあります。

表 2.21 にシステム ROM テーブルのレジスタを示します。

表 2.22 に CPU0 EPPB ROM テーブルを示します。

表 2.23 に CPU0 プロセッサ ROM テーブルを示します。参考資料[2] ARM Limited., Arm(R) Cortex-M85 Processor Technical Reference Manual (ARM 101924)を参照してください。

表 2.24 に CPU1 EPPB ROM テーブルを示します。

表 2.25 に CPU1 プロセッサ ROM テーブルを示します。参考資料[9] ARM Limited., Arm(R) Cortex-M33 Processor Technical Reference Manual (ARM 100230)を参照してください。

表 2.21 システム ROM テーブルのレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x8001_0FD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0x8001_0FD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0x8001_0FD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0x8001_0FDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0x8001_0FE0	32 ビット	読み出しのみ可能	0x00000050
PID1	0x8001_0FE4	32 ビット	読み出しのみ可能	0x00000030
PID2	0x8001_0FE8	32 ビット	読み出しのみ可能	0x0000000A
PID3	0x8001_0FEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0x8001_0FF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0x8001_0FF4	32 ビット	読み出しのみ可能	0x00000010
CID2	0x8001_0FF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0x8001_0FFC	32 ビット	読み出しのみ可能	0x000000B1

表 2.22 CPU0 EPPB ROM テーブル (1/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0xE00F_EFD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0xE00F_EFD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0xE00F_EFD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0xE00F_EFDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0xE00F_EFE0	32 ビット	読み出しのみ可能	0x00000050

表 2.22 CPU0 EPPB ROM テーブル (2/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PID1	0xE00F_EFE4	32 ビット	読み出しのみ可能	0x00000030
PID2	0xE00F_EFE8	32 ビット	読み出しのみ可能	0x0000000A
PID3	0xE00F_EFEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0xE00F_EFF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0xE00F_EFF4	32 ビット	読み出しのみ可能	0x00000010
CID2	0xE00F_EFF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0xE00F_EFFC	32 ビット	読み出しのみ可能	0x000000B1

表 2.23 CPU0 プロセッサ ROM テーブル

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0xE00F_FFD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0xE00F_FFD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0xE00F_FFD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0xE00F_FFDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0xE00F_FFE0	32 ビット	読み出しのみ可能	0x000000D4
PID1	0xE00F_FFE4	32 ビット	読み出しのみ可能	0x000000B4
PID2	0xE00F_FFE8	32 ビット	読み出しのみ可能	0x0000000B
PID3	0xE00F_FFEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0xE00F_FFF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0xE00F_FFF4	32 ビット	読み出しのみ可能	0x00000010
CID2	0xE00F_FFF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0xE00F_FFFC	32 ビット	読み出しのみ可能	0x000000B1

表 2.24 CPU1 EPPB ROM テーブル

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0xE00F_EFD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0xE00F_EFD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0xE00F_EFD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0xE00F_EFDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0xE00F_EFE0	32 ビット	読み出しのみ可能	0x00000050
PID1	0xE00F_EFE4	32 ビット	読み出しのみ可能	0x00000030
PID2	0xE00F_EFE8	32 ビット	読み出しのみ可能	0x0000000A
PID3	0xE00F_EFEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0xE00F_EFF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0xE00F_EFF4	32 ビット	読み出しのみ可能	0x00000010
CID2	0xE00F_EFF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0xE00F_EFFC	32 ビット	読み出しのみ可能	0x000000B1

表 2.25 CPU1 プロセッサ ROM テーブル (1/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0xE00F_FFD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0xE00F_FFD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0xE00F_FFD8	32 ビット	読み出しのみ可能	0x00000000

表 2.25 CPU1 プロセッサ ROM テーブル (2/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PID7	0xE00F_FFDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0xE00F_FFE0	32 ビット	読み出しのみ可能	0x000000C9
PID1	0xE00F_FFE4	32 ビット	読み出しのみ可能	0x000000B4
PID2	0xE00F_FFE8	32 ビット	読み出しのみ可能	0x0000000B
PID3	0xE00F_FFEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0xE00F_FFF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0xE00F_FFF4	32 ビット	読み出しのみ可能	0x00000010
CID2	0xE00F_FFF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0xE00F_FFFC	32 ビット	読み出しのみ可能	0x000000B1

2.9.5 DBGREG

ベースアドレス：0x4001_B000（セキュア）、0x5001_B000（非セキュア）

DBGREG モジュールはデバッグ機能を制御します。

表 2.26 に DBGREG レジスタ一覧を示します。

表 2.26 DBGREG レジスタ

名称		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0/2	0x4001_B000 0x5001_B000	32 ビット	読み出し／書き込み
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート 0/2	0x4001_B010 0x5001_B010	32 ビット	読み出し／書き込み
デバッグ認証コントロールレジスタ 0	DBGAUTH0	ポート 0/2	0x4001_B020 0x5001_B020	32 ビット	読み出し／書き込み
トレースポートコントロールレジスタ	TRPORTCR	ポート 0/2	0x4001_B030 0x5001_B030	32 ビット	読み出し／書き込み
トレースポートサイズコントロールレジスタ	TRPORTSZ	ポート 0/2	0x4001_B038 0x5001_B038	32 ビット	読み出し／書き込み
キャッシュデバッグコントロールレジスタ	CACHEDBGCR	ポート 0/2	0x4001_B040 0x5001_B040	32 ビット	読み出し／書き込み
デバッグ不揮発性メモリコントロールレジスタ	DBGNVMCR	ポート 0/2	0x4001_B050 0x5001_B050	32 ビット	読み出し／書き込み
認証レベルコントロールレジスタ	ALCTRL	ポート 0/2	0x4001_B100 0x5001_B100	32 ビット	読み出し／書き込み
ファーストステージブートローダーステータスレジスタ	FSBLSTAT	ポート 0/2	0x4001_B200 0x5001_B200	32 ビット	読み出し／書き込み

2.9.5.1 DEBUGSAR : デバッグセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DBGSA0	デバッグセキュリティ属性 0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1
P-TYPE-1

DBGSA0 ビット（デバッグセキュリティ属性 0）

デバッグ制御用レジスタのセキュリティ属性対象のレジスタを以下に示します。

- DBGREG.DBGAUTH0
- APB-AP に接続され、システムアドレス空間にマッピングされた CoreSight レジスタ

注. これは、APB-AP による外部からのアクセスには影響しません。

2.9.5.2 DBGSTR : デバッグステータスレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	CDBGPWRUPACK	CDBGPWRUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読むと 0 が読めます。	R
28	CDBGPWRUPREQ	デバッグパワーアップ要求 0: OCD はデバッグパワーアップを要求していない 1: OCD はデバッグパワーアップを要求している	R
29	CDBGPWRUPACK	デバッグパワーアップアクノリッジ 0: デバッグパワーアップ要求をアクノリッジしない 1: デバッグパワーアップ要求をアクノリッジする	R
31:30	—	読むと 0 が読めます。	R

注. S-TYPE-5
P-TYPE-2

DBGSTR レジスタは、プログラムに OCD 状態を通知するステータスレジスタです。このレジスタはデバッグ接続状態を監視します。

2.9.5.3 DBGSTOPCR : デバッグストップコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	DBGSTOP_CTERR1	DBGSTOP_CTERR0	—	DBGSTOP_NVMERR	—	—	—	—	—	—	—	—	DBGSTOP_PVD	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_WDT1	DBGSTOP_WDT0	DBGSTOP_IWDT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
0	DBGSTOP_IWDT	OCD RUN モードでの IWDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、IWDT カウンタは停止します。 0: IWDT リセット／割り込みを許可 1: IWDT リセット／割り込みをマスクし、IWDT カウントを停止	R/W
1	DBGSTOP_WDT0	OCD RUN モードでの WDT0 リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、WDT0 カウンタは停止します。 0: WDT0 リセット／割り込みを許可 1: WDT0 リセット／割り込みをマスクし、WDT0 カウントを停止	R/W
2	DBGSTOP_WDT1	OCD RUN モードでの WDT1 リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、WDT1 カウンタは停止します。 0: WDT1 リセット／割り込みを許可 1: WDT1 リセット／割り込みをマスクし、WDT1 カウントを停止	R/W
16:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	DBGSTOP_PVD	PVDn (n! = 0) リセット／割り込み用のマスク 0: PVDn (n! = 0) リセット／割り込みを許可 1: PVDn (n! = 0) リセット／割り込みをマスク	R/W
25:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26	DBGSTOP_NVMERR	MRAM ECC エラーリセット／割り込み用のマスク 0: MRAM ECC エラーリセット／割り込みを許可 1: MRAM ECC エラーリセット／割り込みをマスク	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	DBGSTOP_CTERR0	CPU0 のキャッシュ／TCM ECC エラーリセット用のマスク 0: キャッシュ／TCM ECC エラーリセットを許可 1: キャッシュ／TCM ECC エラーリセットをマスク	R/W
29	DBGSTOP_CTERR1	本ビットは予約されています。R/W にすることは可能ですが、影響ありません。	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-2

DBGSTOPCR レジスタは、デバッグ中の機能停止を指定します。

このレジスタは、次の条件のいずれかが真のときに有効です。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN0 が 1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN1 が 1

上記の条件のいずれも真でない場合、MCU はこのレジスタ設定を無視し、すべてのビットを 0 と見なします。

2.9.5.4 DBGAUTH0 : デバッグ認証コントロールレジスタ 0

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SWDBG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEVICEEN
Value after reset:	OFS1.SWDBG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	NIDEN1	NIDEN0	—	—	DBGEN1	DBGEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DBGEN0(注1)	CPU0 侵入型デバッグ許可 0: 禁止 1: 許可	R/W
1	DBGEN1(注1)	CPU1 侵入型デバッグ許可 0: 禁止 1: 許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NIDEN0	CPU0 非侵入型デバッグ許可 0: 禁止 1: 許可	R/W
5	NIDEN1	CPU1 非侵入型デバッグ許可 0: 禁止 1: 許可	R/W
15:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DEVICEEN(注2)	APB-AP (AP1) 認証 0: 禁止 1: 許可	R/W
30:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	SWDBG	デバッグ機能のソフトウェア制御 0: 禁止 1: 許可	R

注. S-TYPE-3 (DEBUGSAR.DBGSA0)
P-TYPE-2
注. MCU は、DBGENn = 1 または NIDENn = 1 が TRUE の場合、または CDBGPWRUPREQ = 1 および AL ≠ AL0 が TRUE の場合 (n = 0, 1)、DBGSTOPCR、SYOCDCR、TRCKCR、TRACECTR、および MCUCTRL の設定に従って動作します。
注 1. AL2 または AL1 の場合、MCU はこのビットを無視して、1 が設定されたと見なします。
注 2. AL2 の場合、MCU はこのビットを無視して、1 が設定されたと見なします。

デバッグ機能のソフトウェア制御 (OFS1.SWDBG = 0) が有効の場合、本レジスタの DBGENn ビットと NIDENn ビット (n = 0, 1) で CPUn の非セキュアな侵入型および非侵入型のデバッグ機能を制御できます。

APB-AP から CoreSight コンポーネントへのデバッグ APB を介したアクセスは、本レジスタの DEVICEEN ビットで許可できます。

OFS1.SWDBG が 1 の場合、MCU はこのレジスタを無視して、初期値が設定されたと見なします。

2.9.5.5 CACHEDBGCR : キャッシュデバッグコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	L1RSTDIS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	L1RSTDIS	CPU0 の L1 キャッシュ自動無効化を禁止 0: L1 キャッシュの自動無効化を許可 1: L1 キャッシュの自動無効化を禁止	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6
P-TYPE-2

注. レジスタの設定は以下のいずれの条件が該当する場合にのみ有効です。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN0 または DBGAUTH0.NIDEN0 が 1

CACHEDBGCR レジスタは、デバッグ中にリセット解除後の L1 キャッシュ無効化の禁止を制御できます。

2.9.5.6 TRPORTCR : トレースポートコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWOSEL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PORTSEL[1:0]		—	—	—	—	DRV[1:0]		—	OE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	OE	データ出力許可ビットは、トレースクロック、トレースデータ、SWO 出力を許可するかどうかを示します トレースクロックを許可する前に、OE ビットを許可する必要があります 0: 出力禁止 1: 出力許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
3:2	DRV[1:0]	ポート駆動能力制御ビットは、トレースポートバッファ速度を示します 0 0: 低 0 1: 中 1 0: 高速高駆動 1 1: 高	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	PORTSEL[1:0]	ポート選択。A ポート設定のみがサポートされます 0 0: A ポート 0 1: B ポート	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SWOSEL	CPU0 と CPU1 間で SWO を選択します 0: CPU0 の SWO が選択される（デフォルト） 1: CPU1 の SWO が選択される	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-2

注. レジスタの設定は以下のいずれの条件が該当する場合にのみ有効です。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN0 または DBGAUTH0.NIDEN0 が 1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN1 または DBGAUTH0.NIDEN1 が 1

OE ビットが 1 のときのトレースデータ制御。

対象 CPU	トレースプロトコル	TPIU_SPPR (CPU0)	TPIU_SPPR (CPU1)	SWOSEL
CPU0	SWO	01b または 10b	Don’t care	0 (CPU0)
	パラレル	00b	Don’t care	0 (CPU0)
CPU1	SWO	Don’t care	01b または 10b	1 (CPU1)
	パラレル	Don’t care	00b	1 (CPU1)
CPU0 および CPU1	SWO	01b または 10b	01b または 10b	CPU 出力 SWO を選択
	パラレル	00b～CPU0 または CPU1		TPIU_SPPR = 00b のときに CPU を選択

TPIU_SPPR レジスタ（CPU0: PProtocol ビット、CPU1: TXMODE ビット）の詳細については、[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)を参照してください。

2.9.5.7 ALCTRL : 認証レベルコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	FAILCNT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	AL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	x(注1)	x(注1)	x(注1)	x(注1)	x(注1)	x(注1)	x(注1)	x(注1)

注 1. PL の値によって決まります。

ビット	シンボル	機能	R/W
7:0	AL[7:0]	AL モニタ パワーオンリセットにより、AL は AL0 に初期化されます。 現在のデバイスのライフサイクルが OEM ではない場合、AL はデバイスのライフサイクルに対応するレベルに更新されます。 現在のデバイスのライフサイクルが OEM の場合： ● デバッガ接続なし：AL は PL と同じレベルに更新されます ● デバッガ接続あり：PL が AL より高い場合のみ、AL は PL と同じレベルに更新されます ルネサスファームウェアは、デバッグ認証が成功すると、ブートモードで AL を更新します。 ルネサスファームウェアは、認証ステータスに関係なく、ブートモードで AL をより低いレベルに更新します。 デバッガ切断により、AL は PL と同じレベルに更新されます。 FAILCNT[1:0] = 11 のとき、AL[7:0]で更新を停止します（ソフトウェアで制御されます）。 0x00: AL0 0x05: AL1 0xA5: AL2	R/W
29:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:30	FAILCNT[1:0]	不正な応答データへの応答回数 0 0: 不正な応答データへの応答回数なし 0 1: 不正な応答データへの 1 回目の応答 1 0: 不正な応答データへの 2 回目の応答 1 1: 不正な応答データへの 3 回目の応答	R/W

注. S-TYPE-5
P-TYPE-5

注.
- CDBGPWRUPREQ が 1 から 0 になると、AL 値は PL 値に初期化されます。
- DBGPWRUPREQ = 0 でブートモードを終了すると、AL 値も初期化されます。
- ブートモードでのみアクセスできます。

ALCTRL レジスタは、認証レベルを監視します。

2.9.5.8 FSBLSTAT：ファーストステージブートローダー状態レジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x200

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FSBLCLK[2:0]			—	—	—	—	—	—	RS	CS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CS	FSBL 完了状態 0: FSBL 実行中 1: FSBL 実行完了	R/W
1	RS	FSBL 結果状態 0: FSBL 失敗 1: FSBL 合格	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	FSBLCLK[2:0]	FSBL 実行中のシステムクロック周波数選択 選択は、FSBLCTRL0.FSBLCLK[2:0]の値を反映します。 FSBLCTRL0 の仕様については、「7. オプション設定メモリ」で説明します。	R
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-5

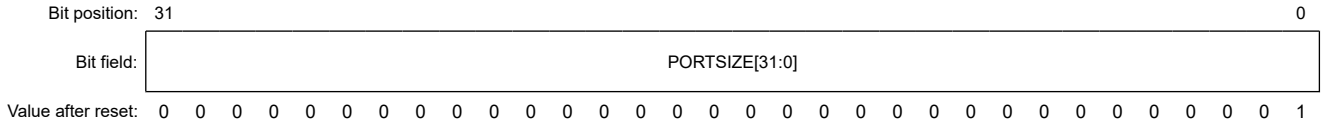
FSBLSTAT レジスタは、FSBL の完了をデバッガに通知します。

本レジスタは、システムリセットで初期化され、FSBL 実行中のみアクセスできます。

2.9.5.9 TRPORTSZ : トレースポートサイズコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x038



ビット	シンボル	機能	R/W
31:0	PORTSIZE[31:0]	TRACEDATA の使用可能な端子数を示します。 このレジスタには 1 ビットのみ設定し、その他はすべて 0 にする必要があります。 1 ビットより大きい値を書き込むと、予期しない動作を引き起こす可能性があります。 このレジスタに設定する値は、CoreSight TPIU.CPSR レジスタの設定値と同じにする必要があります。異なる値を書き込むと、予期しない動作を引き起こす可能性があります。 ビット N が設定: TRACEDATA の N + 1 ビット (N = 0～31) がサポートされます。	R/W

注. S-TYPE-5
P-TYPE-2

注. レジスタの設定は以下のいずれの条件が該当する場合にのみ有効です。

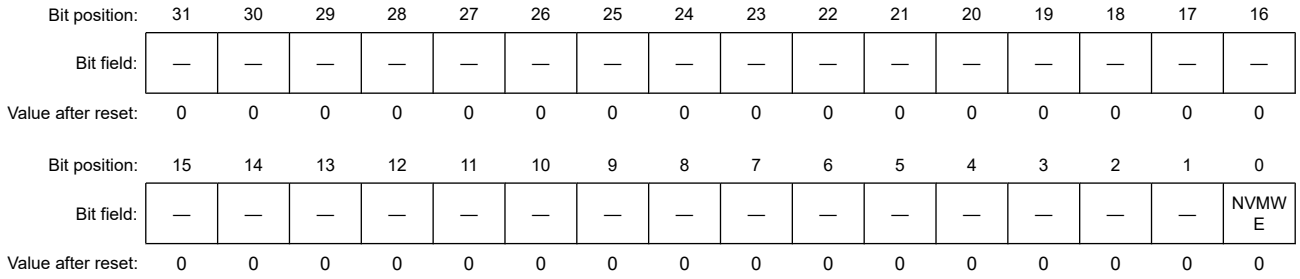
- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN0 または DBGAUTH0.NIDEN0 が 1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN1 または DBGAUTH0.NIDEN1 が 1

TRPORTSZ レジスタは、トレースデータで使用する端子数を制御します。

2.9.5.10 DBGNVMCR : デバッグ不揮発性メモリコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x050



ビット	シンボル	機能	R/W
0	NVMWE	不揮発性メモリ書き込み許可 0: MRAM は書き込み不可 1: MRAM は書き込み可能	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-2

注. NVMWE は、CPU が停止状態の場合にのみ有効です。

2.9.5.11 CoreSight コンポーネントレジスタ

DBGREG には、ARM® CoreSight™アーキテクチャで定義された CoreSight コンポーネントレジスタがあります。表 2.27 に DBGREG CoreSight コンポーネントレジスタ一覧を示します。

表 2.27 DBGREG の CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x4001_BFD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0x4001_BFD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0x4001_BFD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0x4001_BFDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0x4001_BFE0	32 ビット	読み出しのみ可能	0x00000005
PID1	0x4001_BFE4	32 ビット	読み出しのみ可能	0x00000030
PID2	0x4001_BFE8	32 ビット	読み出しのみ可能	0x0000000A
PID3	0x4001_BFEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0x4001_BFF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0x4001_BFF4	32 ビット	読み出しのみ可能	0x000000F0
CID2	0x4001_BFF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0x4001_BFFC	32 ビット	読み出しのみ可能	0x000000B1

2.9.6 OCDREG

OCDREG は、OCD（オンチップデバッグ）エミュレータ機能用に提供されたレジスタモジュールです。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。表 2.28 に OCDREG レジスター一覧を示します。

注. CPU およびその他のバスマスタから OCDREG のアクセスは特権アクセスのみによって許可され、以下の条件のどれか一つを満足させる必要があります。

- デバッガが接続されている
- セルフホスティングデバッグが有効である

外部デバッグから OCDREG への APB-AP を介したアクセスは、プリビレッジアクセスまたはアンプリビレッジアクセスにより許可されます。

ベースアドレス：

- 0x4001_1000（セキュア）、0x5001_1000（非セキュア）
- OCD: 0x8001_1000

表 2.28 OCDREG レジスター一覧 (1/2)

名称		DAP ポート	OCD アドレス	CPU アドレス	アクセスサイズ	R/W
MCU ステータスレジスタ(注1)	MCUSTAT	ポート 1	0x8000_0400	CPU からのアクセス不可	32 ビット	読み出しのみ可能
MCU エラーステータスレジスタ	MCUERRSTAT	ポート 1	0x8001_1000	0x4001_1000 0x5001_1000	32 ビット	読み出しのみ可能
MCU コントロールレジスタ	MCUCTRL	ポート 1	0x8001_1004	0x4001_1004 0x5001_1004	32 ビット	読み出し／書き込み
JTAG ブートモード遷移レジスタ	JBMDR	ポート 1	0x8001_1100	0x4001_1100 0x5001_1100	32 ビット	読み出し／書き込み
JTAG ブート受信データレジスタ	JBRDR	ポート 1	0x8001_1120	0x4001_1120 0x5001_1120	32 ビット	読み出し／書き込み
JTAG ブート送信データレジスタ	JBTDR	ポート 1	0x8001_1130	0x4001_1130 0x5001_1130	32 ビット	読み出し／書き込み
JTAG ブートステータスレジスタ	JBSTR	ポート 1	0x8001_1140	0x4001_1140 0x5001_1140	32 ビット	読み出し／書き込み

表 2.28 OCDREG レジスター覧 (2/2)

名称		DAP ポート	OCD アドレス	CPU アドレス	アクセスサイズ	R/W
JTAG ブート割り込みコントロールレジスタ	JBICR	ポート 1	0x8001_1150	0x4001_1150 0x5001_1150	32 ビット	読み出し／書き込み
ファーストステージブートローダー状態監視レジスタ	FSBLSTATM	ポート 1	0x8001_1300	0x4001_1300 0x5001_1300	32 ビット	読み出しのみ可能

注. CPU が MCUCTRL、JBMDR、JBRDR、JBTDR、および JBICR にアクセスしている間は、JTAG/SWD を使って MCUCTRL に書き込みをしないでください。
RES ピンリセット中を除き、JTAG/SWD を使って JBMDR に書き込みをしないでください。
CPU が MCUCTRL、JBMDR、JBRDR、JBTDR、および JBICR にアクセスしている間は、JTAG/SWD を使って JBRDR に書き込みをしないでください。
JTAG/SWD を使って JBTDR に書き込みをしないでください。
JTAG/SWD を使って JBSTR に書き込みをしないでください。
JTAG/SWD を使って JBICR に書き込みをしないでください。

注 1. 「2.9.6.1. MCUSTAT : MCU ステータスレジスタ」を参照してください。

2.9.6.1 MCUSTAT : MCU ステータスレジスタ

Address: 0x8000_0400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	AP[1:0]		—	—	—	—	—	—	—	DSTBY3	DSTBY2	DSTBY1	—	—	STBY2	—
Value after reset:	0	x	0	0	0	0	0	0	0	x	x	x	0	0	x	x

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	AL[1:0]		—	—	—	SECEXT	—	—	—	CPU1STOPCLK	CPU1SLEEP	CPU0STOPCLK	CPU0SLEEP	—
Value after reset:	1	0	0	0	0	0	0	1	0	0	0	x	x	x	x	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	CPU0SLEEP	CPU0 がスリープモードであることを示します。 0: CPU0 はスリープモードではない 1: CPU0 はスリープモードである	R
2	CPU0STOPCLK	0: CPU0 へのクロックを供給中。CPU0 が通常モードまたはスリープモードであることを示します 1: CPU0 へのクロックは停止中。CPU0 がディープスリープモードである、または MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードであることを示します	R
3	CPU1SLEEP	CPU1 がスリープモードであることを示します。 0: CPU1 はスリープモードではない 1: CPU1 はスリープモードである	R
4	CPU1STOPCLK	0: CPU1 へのクロックを供給中。CPU1 が通常モードまたはスリープモードであることを示します。 1: CPU1 へのクロックは停止中。CPU1 がディープスリープモードである、または MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードであることを示します。	R
7:5	—	読むと 0 が読めます。	R
8	SECEXT	読むと 1 が読めます 0: セキュアデバッグはサポートなし 1: セキュアデバッグはサポートあり	R
11:9	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
13:12	AL[1:0]	認証レベルモニタ 0x0: AL0 0x1: AL1 0x3: AL2	R
14	—	読むと 0 が読めます。	R
15	—	読むと 1 が読めます。	R
16	—	読み出し値は不定です。	R
17	STBY2	MCU がソフトウェアスタンバイモードであることを示します。 0: MCU はソフトウェアスタンバイモードではない 1: MCU はソフトウェアスタンバイモードである	R
19:18	—	読むと 0 が読めます。	R
20	DSTBY1	MCU がディープソフトウェアスタンバイ 1 モードであることを示します。 0: MCU はディープソフトウェアスタンバイ 1 モードではない 1: MCU はディープソフトウェアスタンバイ 1 モードである	R
21	DSTBY2	MCU がディープソフトウェアスタンバイ 2 モードであることを示します。 0: MCU はディープソフトウェアスタンバイ 2 モードではない 1: MCU はディープソフトウェアスタンバイ 2 モードである	R
22	DSTBY3	MCU がディープソフトウェアスタンバイ 3 モードであることを示します。 0: MCU はディープソフトウェアスタンバイ 3 モードではない 1: MCU はディープソフトウェアスタンバイ 3 モードである	R
29:23	—	読むと 0 が読めます。	R
31:30	AP[1:0]	利用可能なアクセスポートを示します。 外部ホストは、AP[1:0]をチェックし、利用できない AP にはアクセスしないようにする必要があります。利用できない AP は応答できないためです。 0 0: AP0 および AP1 は使用可能である 0 1: AP0、AP1、および AP2 は使用可能である	R

注. MCUSTAT レジスタのアドレスは OCDREG 空間とは独立しています。OCD エミュレータのみがこのレジスタにアクセスできます。

MCUSTAT レジスタは、MCU ステータスおよび認証ステータスを示すレジスタです。本レジスタのビットはすべて監視ビットなので、リセット不可です。本レジスタにはセキュア保護がありません。

2.9.6.2 MCUERRSTAT : MCU エラーステータスレジスタ

Base address: CPU_OCD = 0x4001_1000
CPU_OCD_NS = 0x5001_1000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ZERO
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ZERO	ゼロ化ステータスフラグ 0: 改ざん検出によるゼロ化は実行されていない 1: 改ざん検出によるゼロ化は実行された	R
31:1	—	読むと 0 が読めます。	R

注. S-TYPE-5
P-TYPE-2

MCUERRSTAT レジスタは、改ざん攻撃による MCU のエラーステータスを示します。本レジスタのビットはすべて監視ビットなので、リセット不可です。本レジスタにはセキュア保護がありません。

2.9.6.3 MCUCTRL : MCU コントロールレジスタ

Base address: CPU_OCD = 0x4001_1000
CPU_OCD_NS = 0x5001_1000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUWAIT1	CPUWAIT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EDBGRQ1	EDBGRQ0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EDBGRQ0	CPU0 の外部デバッグ要求。このビットに 1 を書き込むと、CPU 停止またはデバッグ監視の例外要求が発生します。 0: デバッグイベントを要求しない 1: デバッグイベントを要求する	R/W
1	EDBGRQ1	CPU1 の外部デバッグ要求。このビットに 1 を書き込むと、CPU 停止またはデバッグ監視の例外要求が発生します。 0: デバッグイベントを要求しない 1: デバッグイベントを要求する	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CPUWAIT0	CPU0 ウェイト設定。CPUWAIT0 に 1 を書き込むとアサート、CPUWAIT0 に 0 を書き込むとネゲートです。 0: CPUWAIT0 を Low にする 1: CPUWAIT0 を High に設定	R/W
17	CPUWAIT1	CPU1 ウェイト設定。CPUWAIT1 に 1 を書き込むとアサート、CPUWAIT1 に 0 を書き込むとネゲートです。 0: CPUWAIT1 を Low にする 1: CPUWAIT1 を High に設定	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは、次の条件のいずれかが真のときに有効です。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN0 が 1
- OFS1.SWDBG が 0、かつ DBGAUTH0.DBGEN1 が 1

上記の条件のいずれも真でない場合、MCU はこのレジスタ設定を無視し、すべてのビットを 0 と見なします。

注. S-TYPE-5
P-TYPE-2

MCUCTRL レジスタは、外部デバッガに、低消費電力状態からシステムをウェイクアップさせる機能、および外部イベントによりデバッグ状態に遷移する機能を提供します。

2.9.6.4 認証制御レジスタ

デバッガからアクセス可能な認証レジスタは、OCDREG に配置されます。

2.9.6.4.1 JBMDR : JTAG ブートモード遷移レジスタ

Base address: CPU_OCD = 0x4001_1000
CPU_OCD_NS = 0x5001_1000

Offset address: 0x100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	KEY							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	KEY	モード遷移キー 0xA5 が設定されると端子リセットが解除され、システムは JTAG ブートモードに遷移します。システムが JTAG ブートモードに遷移すると、MDSR.JBOTS = 1 となります。デバッグが接続されてない場合、この値を設定しても効果がありません。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-2

JBMDR レジスタは、デバッガからコマンドを設定します。

本レジスタは、デバッガ切断によって初期化されます。

2.9.6.4.2 JBRDR : JTAG ブート受信データレジスタ

Base address: CPU_OCD = 0x4001_1000
CPU_OCD_NS = 0x5001_1000

Offset address: 0x120

Bit position:	31	0
Bit field:	RDAT[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	RDAT[31:0]	受信データレジスタ R/W は外部ホストと CPU の両方で可能ですが、次のように使い分けることを推奨します。 W: 外部ホスト R: CPU（ブートファームウェア） JBSTR.RDF = 1 のとき、書き込みができず、エラーが発生します。	R/W

注. S-TYPE-5
P-TYPE-2

JBRDR レジスタは、デバッガからのデータの受信に使用します。

2.9.6.4.3 JBTDR : JTAG ブート送信データレジスタ

Base address: CPU_OCD = 0x4001_1000
CPU_OCD_NS = 0x5001_1000

Offset address: 0x130

Bit position:	31																												0
Bit field:	TDAT[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TDAT[31:0]	送信データレジスタ R/W は外部ホストと CPU の両方で可能ですが、次のように使い分けることを推奨します。 W: CPU（ブートファームウェア） R: 外部ホスト JBSTR.TDE = 1 のとき、読み出しができず、エラーが発生します。	R/W

注. S-TYPE-5
P-TYPE-2

JBTDR レジスタは、デバッガからのデータの送信に使用します。

2.9.6.4.4 JBSTR : JTAG ブートステータスレジスタ

Base address: CPU_OCD = 0x4001_1000
CPU_OCD_NS = 0x5001_1000

Offset address: 0x140

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE	RDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	RDF	受信バッファフル [1 になる条件] ● JBRDR への書き込み ● JBSTR.RDF への 1 の書き込み [0 になる条件] ● JBRDR の読み出し ● JBSTR.RDF への 0 の書き込み 0: 受信データなし 1: 受信データあり	R/W
1	TDE	送信データエンプティ [1 になる条件] ● JBTDR の読み出し ● JBSTR.TDE への 1 の書き込み [0 になる条件] ● JBTDR への書き込み ● JBSTR.TDE への 0 の書き込み 0: データ送信あり 1: データ送信なし	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-2

JBSTR レジスタはブート状態の監視に使用します。

2.9.6.4.5 JBICR : JTAG ブート割り込みコントロールレジスタ

Base address: CPU_OCD = 0x4001_1000
CPU_OCD_NS = 0x5001_1000

Offset address: 0x150

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDFIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RDFIE	受信バッファフル割り込み許可 0: RDF = 1 で割り込み要求を禁止 1: RDF = 1 で割り込み要求を許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5
P-TYPE-2

JBICR レジスタは、JTAG ブート中の割り込みを制御するのに使用します。

2.9.6.4.6 FSBLSTATM : ファーストステージブートローダー状態監視レジスタ

Base address: CPU_OCD = 0x4001_1000
CPU_OCD_NS = 0x5001_1000

Offset address: 0x300

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RS	CS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CS	FSBL 完了状態 0: FSBL 未完了 1: FSBL 完了	R
1	RS	FSBL 結果状態 0: FSBL 失敗 1: FSBL 合格	R
31:2	—	読むと 0 が読めます。	R

注. S-TYPE-5
P-TYPE-2

FSBLSTATM レジスタは、FSBLSTAT レジスタのミラーです。

2.9.6.5 CoreSight コンポーネントレジスタ

OCDREG には、ARM® CoreSight™アーキテクチャで定義された CoreSight コンポーネントレジスタがあります。表 2.29 に OCDREG CoreSight コンポーネントレジスタ一覧を示します。

各レジスタの詳細は、参考資料[6] ARM Limited., Arm(R) CoreSight Architecture Specification (ARM IHI 0029D)を参照してください。

表 2.29 OCDREG の CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x8001_1FD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0x8001_1FD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0x8001_1FD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0x8001_1FDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0x8001_1FE0	32 ビット	読み出しのみ可能	0x00000004
PID1	0x8001_1FE4	32 ビット	読み出しのみ可能	0x00000030
PID2	0x8001_1FE8	32 ビット	読み出しのみ可能	0x0000000A
PID3	0x8001_1FEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0x8001_1FF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0x8001_1FF4	32 ビット	読み出しのみ可能	0x000000F0
CID2	0x8001_1FF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0x8001_1FFC	32 ビット	読み出しのみ可能	0x000000B1

注. S-TYPE-5
P-TYPE-2

2.10 CoreSight クロストリガインタフェース

表 2.30 クロストリガインタフェース (1/2)

CTI チャネル数	CTITRIGIN		CTITRIGOUT	
CTI	0	ETF ACQCOMP	0	TPIU FLUSHIN
	1	ETF FULL	1	TPIU TRIGIN
	2	—	2	ETF FLUSHIN
	3	—	3	ETF TRIGIN
	4	—	4	—
	5	—	5	—
	6	—	6	—
	7	—	7	—
CTI0	0	プロセッサ停止	0	プロセッサデバッグ要求
	1	DWT コンパレータ出力 0	1	プロセッサ再開始
	2	DWT コンパレータ出力 1	2	CTIIRQ[0]（ICU0 に接続）
	3	DWT コンパレータ出力 2	3	CTIIRQ[1]（ICU0 に接続）
	4	ETM イベント出力 0	4	ETM イベント入力 0
	5	ETM イベント出力 1	5	ETM イベント入力 1
	6	—	6	ETM イベント入力 2
	7	—	7	ETM イベント入力 3

表 2.30　クロストリガインタフェース (2/2)

CTI チャネル数	CTITRIGIN		CTITRIGOUT	
CTI1	0	プロセッサ停止	0	プロセッサデバッグ要求
	1	DWT コンパレータ出力 0	1	プロセッサ再開始
	2	DWT コンパレータ出力 1	2	CTIIRQ[0]（ICU1 に接続）
	3	DWT コンパレータ出力 2	3	CTIIRQ[1]（ICU1 に接続）
	4	ETM イベント出力 0	4	ETM イベント入力 0
	5	ETM イベント出力 1	5	ETM イベント入力 1
	6	—	6	ETM イベント入力 2
	7	—	7	ETM イベント入力 3

本 MCU は、プロセッサ CTI0/CTI1 およびデバッグモジュールに実装された CoreSight 共通 CTI をサポートしています。CTIIRQ を使用する場合、ICU 設定が必要です。

2.11　CoreSight ATB ファネル

MCU には 1 つの CoreSight ATB ファネルがあります。ファネルには 4 つの ATB スレーブと 1 つの ATB マスタがあり、ETMn および ITMn から ETF までのデバッグトレースソースの選択に使用します。図 2.3 に MCU (n = 0, 1) 内の CoreSight ATB 接続を示します。

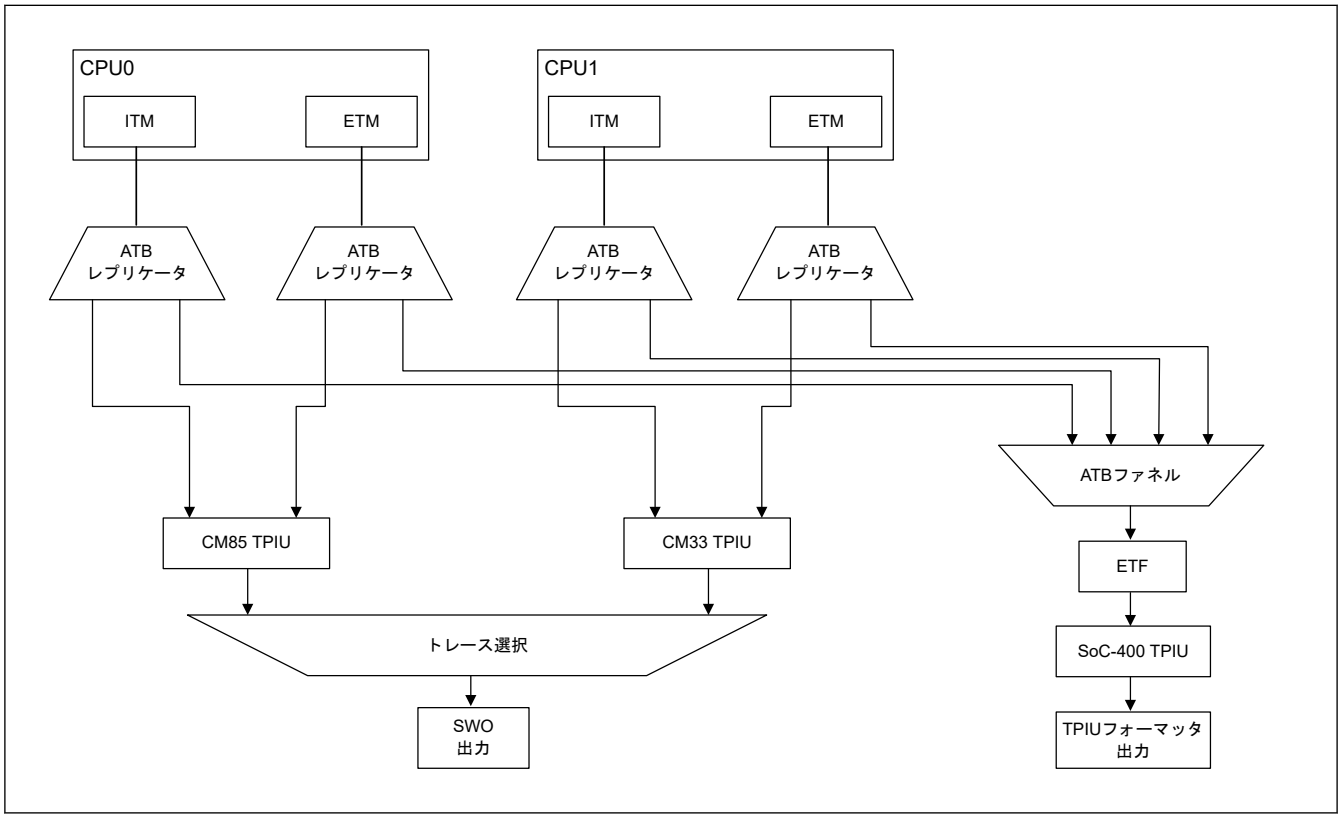


図 2.3　CoreSight ATB 接続

表 2.31 にファネル ATB スレーブ接続を示します。

表 2.31　ATB スレーブ接続 (1/2)

ATB スレーブ番号	接続されたトレースソース
#0	CPU0-ITM
#1	CPU0-ETM

表 2.31 ATB スレーブ接続 (2/2)

ATB スレーブ番号	接続されたトレースソース
#2	CPU1-ITM
#3	CPU1-ETM

ATB とファネルの詳細は、参考資料[4] ARM Limited., Arm(R) CoreSight SoC-400 Technical Reference Manual (ARM 0302-01 2nd release for r3p2) を参照してください。

2.12 SysTick システムタイマ

本 MCU は、各 CPUn (n = 0, 1) に対し、セキュア SysTick と非セキュア SysTick という 2 つの SysTick システムタイマを内蔵しています。

SysTick 要因は、CPUCLKn、またはオンチップオシレータから生成される 1 MHz クロックです。SysTick 要因としてオンチップオシレータから発生する 1 MHz クロックを使用する場合、CPUCLKn 周波数は 2 MHz 以上にする必要があります (n = 0, 1)。

2.13 CoreSight タイム発生器

MCU には、各 CPUn (n = 0, 1) の ITM と ETM にタイムスタンプを供給する CoreSight タイムスタンプ発生器があります。

タイムスタンプは 64 ビットカウンタ動作により生成されます。

詳細は、参考資料[4] ARM Limited., Arm(R) CoreSight SoC-400 Technical Reference Manual (ARM 0302-01 2nd release for r3p2)を参照してください。

2.14 OCD エミュレータ接続

この製品では、MCU は OCDREG に格納された現在の認証レベルをチェックすることによって MCU リソースのアクセス権を確認します。認証レベルの制御方法は以下の 2 つがあります。

- JTAG/SWD。図 2.4 を参照してください。
- ソフトウェア。図 2.5 を参照してください。

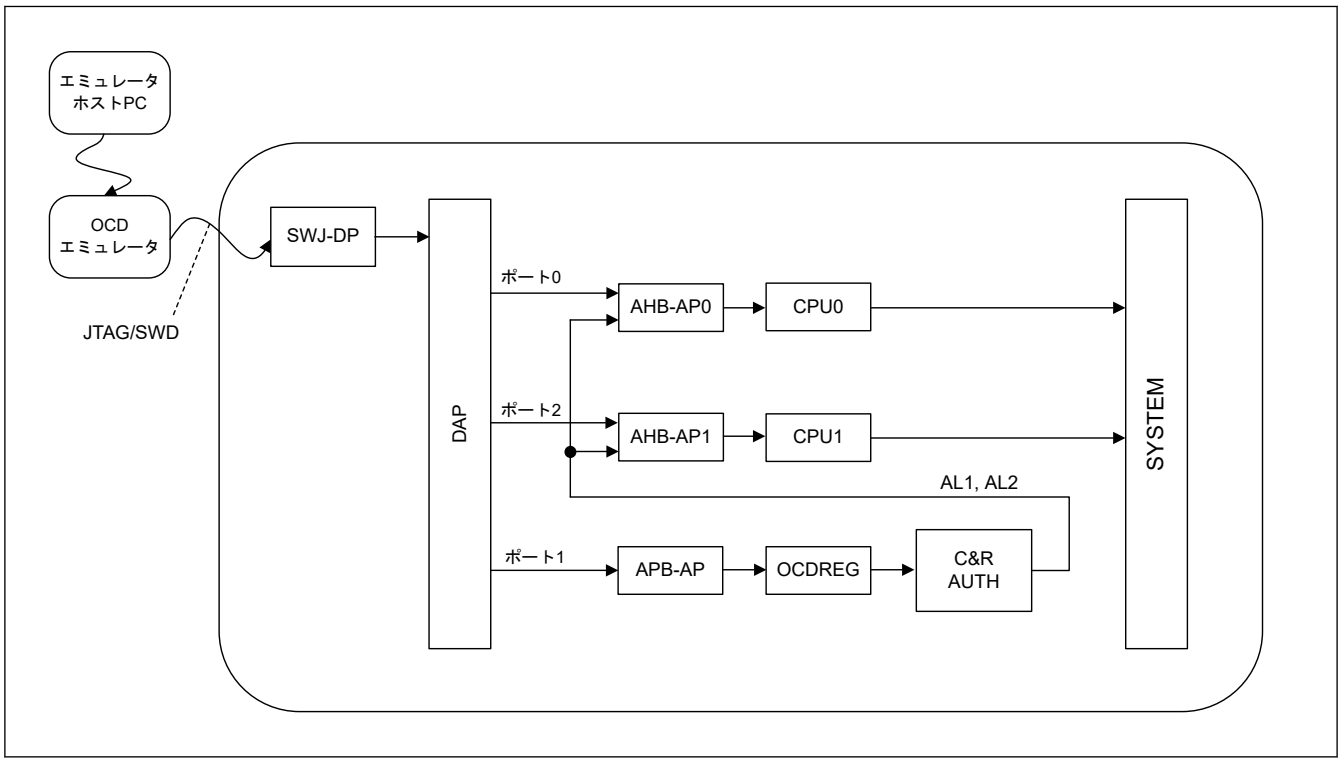


図 2.4 JTAG/SWD を使用した認証レベルの制御

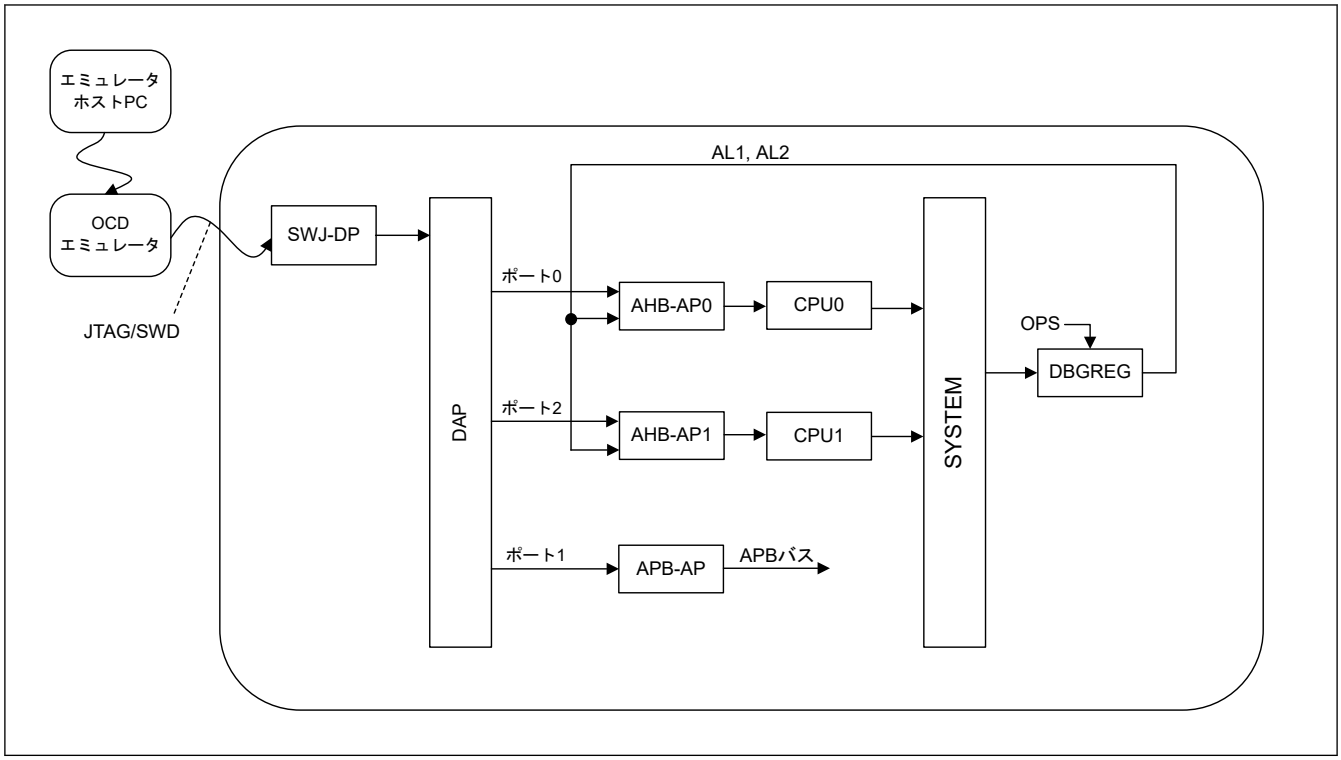


図 2.5　ソフトウェアを使用した認証レベルの制御

2.14.1　OCD エミュレータ接続での制限

エミュレータアクセスに関するいくつかの制限があります。本項では、その制限について説明します。

2.14.1.1　低消費電力モードでの接続開始

OCD エミュレータから JTAG/SWD 接続を開始するとき、MCU は通常モード、スリープモード、またはディープスリープモードでなければなりません。MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードであると、OCD エミュレータは MCU をハングさせる場合があります。

2.14.1.2　デバッグ中の低消費電力モードへの切り替え

本 MCU が OCD モードであるとき、低消費電力モードの切り替えが可能です。ただし、AHB-AP (n = 0, 1) からのシステムバスアクセスは、ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.32 に制限事項を示します。

表 2.32　低消費電力モード時の SWJ-DP、APB-AP、および OCDREG の制約事項

現在のモード	OCD エミュレータ接続開始	低消費電力モードへの変更	AHB-APn (n = 0, 1) およびシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
通常	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ディープスリープ	可能	可能	不可能	可能
ソフトウェアスタンバイ	該当なし	可能	不可能	可能
ディープソフトウェアスタンバイ	該当なし	可能	不可能	可能

2.14.2　接続シーケンスと JTAG/SWD 認証

この項では、MCU の認証方法を説明します。「2.14.2.1. JTAG/SWD 認証機構」では、認証に使用されるメカニズムを紹介します。また、「2.14.2.2. 接続シーケンスと JTAG/SWD 認証」では、JTAG/SWD を使用した MCU の接

続順序と認証の手順を示します。レジスタ制御 JTAG/SWD 認証の詳細については、「2.9.5. DBGREG」および「2.9.6. OCDREG」を参照してください。

2.14.2.1 JTAG/SWD 認証機構

MCU はブートファームウェアを用いたチャレンジ&レスポンス認証をサポートしています。

2.14.2.1.1 JTAG ブートモードと認証要求

RES 端子がアサートされている状態でデバッガが 0xA5 コマンドを JBMDR に設定し、RES 端子がデアサートされるときに MD 端子が High の状態である場合、JTAG モード要求がアサートされます。JTAG ブードモードに移行後、デバッガは JBRDR レジスタに認証コマンドを送信することで認証手順を発行できます。

2.14.2.1.2 認証回路

認証回路は、保護レベル (PL) 別に初期認証レベル (AL) を更新します。

チャレンジ&レスポンス認証の完了時に、認証レベルはブートファームウェアにより更新されます。

(1) 初期認証レベルの更新

認証回路は、保護レベル別に初期認証レベルを更新します。

表 2.33 に認証回路の初期認証レベル更新を示します。

OEM 以外では、初期認証レベルは保護レベルに依存しません。

表 2.33 認証回路の初期認証レベル更新

入力		出力
ライフサイクル	保護レベル	認証レベル
OEM	PL0	AL0
	PL1	AL1
	PL2	AL2
RMA_REQ	*	AL0
RMA_ACK	*	AL2
RMA_RET	*	AL0
LCK_BOOT	*	AL0

(2) チャレンジ&レスポンス認証時の認証

ブートファームウェアは認証を実行し、認証結果を認証コントロールレジスタに書き込みます。

2.14.2.2 接続シーケンスと JTAG/SWD 認証

チャレンジ&レスポンス認証

1. JTAG または SWD インタフェースを介して OCD デバッガを本 MCU に接続することで、RES 端子をアサートします。
2. DAP バスにアクセスするよう SWJ-DP を設定します。
   この設定において、OCD エミュレータは SWJDP コントロールステータスレジスタ (CTRL/STAT) の CDBGPWRUPREQ をアサートした後、同レジスタの CDBGPWRUPACK がアサートされるまで待つ必要があります。
3. OCDREG にアクセスするよう APB-AP を設定します。この APB-AP は DAP バスのポート 1 に接続されます。
4. ブートモード要求コマンド命令 (0xA5) を JBMDR に設定し、MD 端子を 1 に設定します。
5. RES 端子をネゲートします。
6. MCUSTAT.AL を確認します。
   - MCUSTAT.AL が要求 AL 以上の場合は、認証の必要はありません。手順 11.に進みます。

7. JBRDR に認証コマンドを設定します。
8. JBTDR からチャレンジ値を読み出します。
9. JBRDR に応答データを設定します。
10. JBTDR を読み出し、MCUSTAT.AL を確認します。
    - MCUSTAT.AL が要求された AL と一致しない場合、認証は失敗しました。
    - 認証をリトライする場合は手順 7.に進みます。
11. システムアドレス空間にアクセスするように AHB-APn を設定します。AHB-APn は DAP バスのポート 0, 2 (n = 0, 1) に接続されます。
12. AHB-APn (n = 0, 1) を使用して、CPU デバッグリソースへのアクセスを開始します。

CPU 個別リセットの場合、FSBL は決して実行されません。

FSBL 実行の場合、OEM 選択モードの設定として IWDT と WDT0/1 が機能します。

2.15 参考資料

[1] ARM Limited., ARMv8-M Architecture Reference Manual (ARM DDI 0553B)

[2] ARM Limited., Arm® Cortex-M85 Processor Technical Reference Manual (ARM 101924)

[3] ARM Limited., Arm® Cortex-M85 Processor User Guide (ARM 101927)

[4] ARM Limited., Arm® CoreSight SoC-400 Technical Reference Manual (ARM 0302-01 2nd release for r3p2)

[5] ARM Limited., Arm® CoreSight ETM-M85 Technical Reference Manual (ARM 101926)

[6] ARM Limited., Arm® CoreSight Architecture Specification (ARM IHI 0029D)

[7] ARM Limited., Arm® Embedded Trace Macrocell Architecture Specification (ARM IHI 0064H.a)

[8] ARM Limited., Arm® CoreSight SoC-400 User Guide (ARM 100490)

[9] ARM Limited., Arm® Cortex-M33 Processor Technical Reference Manual (ARM 100230)

[10] ARM Limited., Arm® Cortex-M33 Processor User Guide (ARM 100234)

[11] ARM Limited., Arm® CoreSight ETM-M33 Technical Reference Manual (ARM 100232)

[12] ARM Limited., Arm® CoreSight Trace Memory Controller Technical Reference Manual (ARM DDI0461B)

2.16 CM33 キャッシュ（C キャッシュと S キャッシュ）

2.16.1 概要

キャッシュには 2 種類あります。

- Cortex-M33 コード AHB インタフェース上の C キャッシュ (C-AHB)
- Cortex-M33 システム AHB インタフェース上の S キャッシュ (S-AHB)

2.16.1.1 キャッシュの仕様

表 2.34 キャッシュ仕様 (1/2)

項目	C キャッシュ	S キャッシュ
容量	16 KB	16 KB
ウェイ	4 ウェイセットアソシアティブ	4 ウェイセットアソシアティブ
ラインサイズ	256 ビット	256 ビット
エントリ数	128 エントリ／ウェイ（4 ウェイセットアソシアティブ）	128 エントリ／ウェイ（4 ウェイセットアソシアティブ）
ライトウェイ	ライトスルー／ライトバック 非書き込み割り当て／書き込み割り当て	ライトスルー／ライトバック 非書き込み割り当て／書き込み割り当て
置き換えウェイ	LRU	LRU

表 2.34　キャッシュ仕様 (2/2)

項目	C キャッシュ	S キャッシュ
エラー検出	ECC データメモリ： SECDED タグメモリ：tSED	ECC データメモリ：SECDED タグメモリ： SEDDED
キャッシュサポート領域	0x0000_0000～0x1FFF_FFFF	0x2000_0000～0xDFFF_FFFF

注.　メモリ属性の過渡性、非過渡性、および共有可能性（Arm MPU によって設定）は、キャッシュ動作に影響しません。

2.16.1.2　ブロック図

図 2.6 にキャッシュのブロック構造を示します。

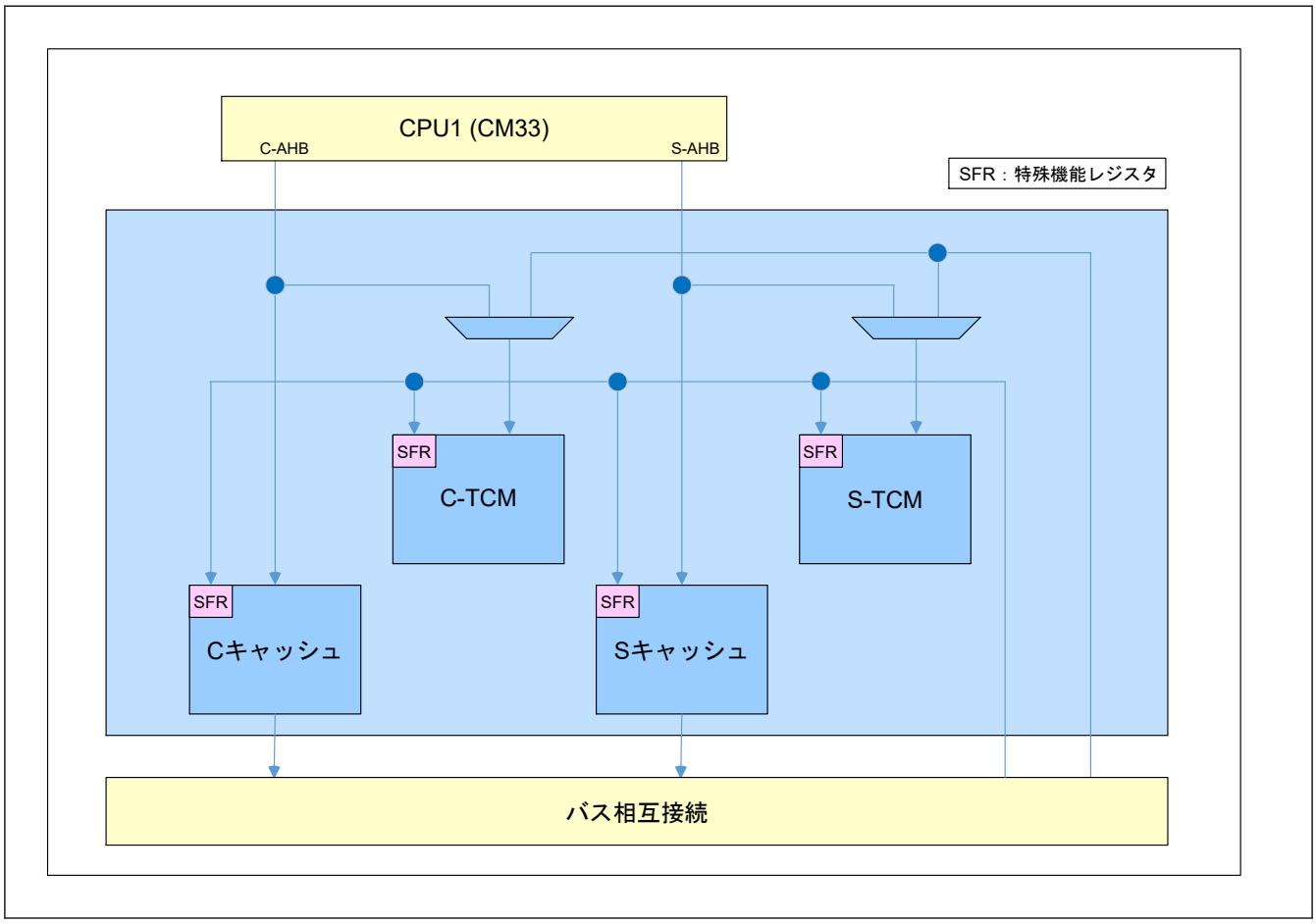


図 2.6　キャッシュのブロック構成

図 2.7 に、詳細なキャッシュ構造を示します。

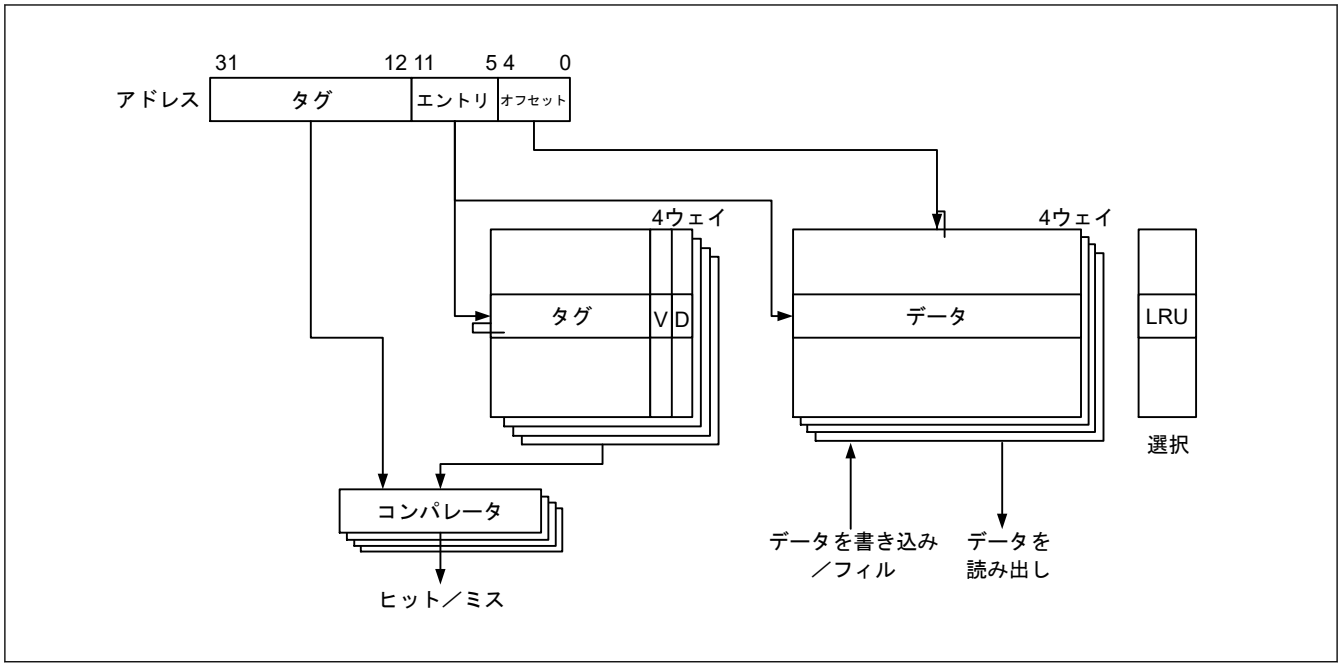


図 2.7　詳細なキャッシュ構造

タグ

タグはキャッシュされたアドレス[31:12]を保持します。タグはゼロ拡張アドレス[31:12]と VALID ビット V を含む 32 ビットの ECC コードも保持します。

タグはキャッシュフラッシュ機能によりクリアされます。

V

V は VALID ビットであり、各キャッシュラインに存在します。これは、検証済みのデータがキャッシュラインに格納されていることを示します。

V ビットはキャッシュフラッシュ機能によりクリアされます。

D

D はダーティビットで、各キャッシュラインごとにあります。これは、キャッシュラインに格納されている検証済みのデータが元の値から変更されているため、バスへのライトバックが必要であることを示します。

データ

各キャッシュラインには 256 ビットのデータが保持されます。

LRU

各キャッシュラインの置き換えには LRU (Least Recently Used) 方式が使用されます。

コンパレータ

コンパレータが、アクセス対象のデータがキャッシュラインに格納されているかどうかを判定します。

V が設定されており、アドレスがタグに格納されているアドレスと等しい場合、キャッシュはアクセスヒットと判定します。そうでなければ、ミスとします。ヒットタグのメモリラインに ECC エラーがある場合、ミスとして処理されます。

2.16.2　レジスター覧

キャッシュには、キャッシュ機能を制御するレジスタがあります。表 2.35 にキャッシュ関連のすべてのレジスタを示します。

表 2.35　レジスター覧

レジスタ名	シンボル	アドレス（セキュア／非セキュアアクセス用）
キャッシュセキュリティ属性レジスタ	CACHESAR	CPSCU_BASE + 0x500
C キャッシュコントロールレジスタ	CCACTL	CACHE_BASE + 0x000
C キャッシュフラッシュコントロールレジスタ	CCAFCT	CACHE_BASE + 0x004
C キャッシュ書き込み属性	CCAWTA	CACHE_BASE + 0x00C
C キャッシュエラー検出ステータス	CCAEDST	CACHE_BASE + 0x010
C キャッシュテストアクセスアドレス	CCATAA	CACHE_BASE + 0x014
C キャッシュテストアクセスデータ	CCATAD	CACHE_BASE + 0x018
S キャッシュコントロールレジスタ	SCACTL	CACHE_BASE + 0x040
S キャッシュフラッシュコントロールレジスタ	SCAFCT	CACHE_BASE + 0x044
S キャッシュ書き込み属性	SCAWTA	CACHE_BASE + 0x04C
S キャッシュエラー検出ステータス	SCAEDST	CACHE_BASE + 0x050
S キャッシュテストアクセスアドレス	SCATAA	CACHE_BASE + 0x054
S キャッシュテストアクセスデータ	SCATAD	CACHE_BASE + 0x058
キャッシュ ECC エラー検出後動作レジスタ	CAPOAD	CACHE_BASE + 0x200
キャッシュプロテクトレジスタ	CAPRCR	CACHE_BASE + 0x204

CPSCU_BASE（CPSCU のベースアドレス）は 0x4000_8000（セキュア）または 0x5000_8000（非セキュア）です。

CACHE_BASE（キャッシュのベースアドレス）は 0x4001_C000（セキュア）または 0x5001_C000（非セキュア）です。

2.16.3　レジスタの説明

2.16.3.1　CACHESAR : キャッシュセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x500

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CACHEESA	—	CACHESA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CACHESA	キャッシュ制御用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CACHEESA	キャッシュエラー用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　セキュリティ：S-TYPE-1
　　プリビレッジ：P-TYPE-1

本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

セキュアアクセスのみ本レジスタへ書き込み可能です。非セキュアリードアクセスは許可され、非セキュアライトアクセスは拒否されます。TrustZone アクセスエラーは発生しません。

CACHESA ビット（キャッシュ制御用レジスタのセキュリティ属性）

キャッシュ制御用レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- CCACTL
- CCAWTA
- CCAEDST
- SCACTL
- SCAWTA
- SCAEDST

CACHEESA ビット（キャッシュエラー用レジスタのセキュリティ属性）

キャッシュエラー用レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- CAPOAD
- CAPRCR

セキュアプログラム／セキュアデータがキャッシャブルである場合、CACHESA および CACHEESA は 0 に設定する必要があります。

2.16.3.2 CCACTL : C キャッシュコントロールレジスタ

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	WB	FC	—	—	—	—	—	—	—	ENC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENC	C キャッシュ許可ビット C キャッシュの許可／禁止を設定します。 0: C キャッシュ禁止 1: C キャッシュ許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	FC	C キャッシュフラッシュビット C キャッシュのラインフラッシュを設定します。 0: 動作なし 1: C キャッシュラインフラッシュ（すべてのラインをインバリデート）	R/W
9	WB	C キャッシュライトバック C キャッシュのライトバックトリガ 0: 動作なし 1: C キャッシュライトバック	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ：S-TYPE-3 (CACHESAR.CACHESA)
特権：P-TYPE-2

ENC ビット（C キャッシュ許可ビット）

ENC ビットは、C キャッシュのキャッシュ許可／禁止を制御します。

C キャッシュが許可に設定されている場合、データをキャッシュするかどうかは、CPU1 のキャッシャブルのアクセス属性設定に依存します。

FC ビット（C キャッシュフラッシュビット）

FC ビットは CCAFCT.FC のエイリアスです。詳細は「2.16.3.3. CCAFCT : C キャッシュフラッシュコントロールレジスタ」を参照してください。

WB ビット（C キャッシュライトバック）

WB ビットは CCAFCT.WB のエイリアスです。詳細は「2.16.3.3. CCAFCT : C キャッシュフラッシュコントロールレジスタ」を参照してください。

2.16.3.3 CCAFCT : C キャッシュフラッシュコントロールレジスタ

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WB	FC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FC	C キャッシュフラッシュビット C キャッシュのラインフラッシュを設定します。 0: 動作なし 1: C キャッシュラインフラッシュ（すべてのラインをインバリデート）	R/W
1	WB	C キャッシュライトバック C キャッシュのライトバックトリガ 0: 動作なし 1: C キャッシュライトバック	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ：S-TYPE-5
特権：P-TYPE-2

FC ビット（C キャッシュフラッシュビット）

FC ビットは、C キャッシュのキャッシュフラッシュを制御します。

[0 になる条件]

- 本ビットは、キャッシュフラッシュが完了したとき自動的にクリアされます。

[1 になる条件]

- このビットに 1 を書き込む。

WB ビット（C キャッシュライトバック）

WB ビットは、C キャッシュのライトバックをトリガします。

[0 になる条件]

- 本ビットは、ライトバックが完了したとき自動的にクリアされます。

[1 になる条件]

- このビットに 1 を書き込む。

注. CCAWTA.WT が 0 のときに FC を 1 に設定すると、ライトバックとフラッシュの両方が実行されます。

フラッシュまたはライトバックがすでに開始されている場合（CCAFCT.FC = 1 または CCAFCT.WB = 1）、CCAFCT.FC および CCAFCT.WB が自動的にクリアされるまで、つまり、プロセスが完了するまで、CCAFCT および CCACTL に書き込みできません。

リセット後のキャッシュは無効です。

キャッシュが無効またはリセットされた場合、キャッシュはキャッシュメモリのライトバックとフラッシュを自動的に実行しません。

キャッシュが無効のときにキャッシュ内にダーティな行が残っている場合、キャッシュとメモリの間で不整合が発生する可能性があります。

キャッシュを無効にするには、以下の手順に従ってください。

1. CCACTL に 0x0100（CCAWTA.WT = 1 の場合）または 0x0300（CCAWTA.WT = 0 の場合）を書き込みます。
2. CCAFCT.FC と CCAFCT.WB の両方が 0 であることを確認します。

リセット後にキャッシュを有効にするには、以下の手順に従ってください。

1. CCAFCT.FC に 1 を設定してキャッシュメモリをフラッシュします。
2. CCAFCT.FC が 0 になるまでフラッシュの完了を待ちます。
3. CCACTL.ENC を 1 に設定してキャッシュを有効にします。
4. リセット後に CCACTL または CCAFCT に書き込むと、キャッシュが自動的にフラッシュされます。

キャッシュの無効後にキャッシュを有効にするには、以下の手順に従ってください。

1. CCAFCT.WB と CCAFCT.FC が 0 であることを確認します。つまり、キャッシュがライトバックやフラッシュを行わないようにします。
2. CCACTL.ENC を 1 に設定してキャッシュを有効にします。

2.16.3.4 CCAWTA : C キャッシュ書き込み属性

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WA	WT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	WT	C キャッシュライトスルー C キャッシュの属性をライトスルーまたはライトバックに設定します。 0: ライトスルーまたはライトバックは、領域のキャッシュ属性によって異なる 1: 常にライトスルーモード	R/W
1	WA	C キャッシュ書き込み割り当て C キャッシュ書き込み割り当ての属性を設定します。 0: 常に書き込み割り当てを禁止 1: 書き込み割り当ての許可は、領域のキャッシュ属性によって異なる	R/W

ビット	シンボル	機能	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ：S-TYPE-3 (CACHESAR.CACHESA)
特権：P-TYPE-2

WT ビット（C キャッシュライトスルー）

WT ビットは、C キャッシュの書き込み属性をライトスルーまたはライトバックに指定します。

このビット値を変更するときは、C キャッシュを禁止する (CCACTL.ENC = 0) 必要があります。

WT が 0 のとき、キャッシュ属性は Cortex-M33 プロセッサのデフォルトのメモリマップまたは MPU によって決定されます。

WA ビット（C キャッシュ書き込み割り当て）

WA ビットは、C キャッシュ書き込み割り当てを許可します。

このビット値を変更するときは、C キャッシュを禁止する (CCACTL.ENC = 0) 必要があります。

2.16.3.5 CCAEDST : C キャッシュエラー検出ステータス

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	EST2	ESTD	ESTC	ESD1	ESD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESD0	C キャッシュデータエラーステータス 0 C キャッシュデータメモリを読み出すときに、ECC 1 ビットエラーが検出されたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: ECC 1 ビットエラーが検出されなかった 1: ECC 1 ビットエラーが検出され修正された	R/W
1	ESD1	C キャッシュデータエラーステータス 1 C キャッシュデータメモリを読み出すときに、ECC 2 ビットエラーが検出されたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: ECC 2 ビットエラーが検出されなかった 1: ECC 2 ビットエラーが検出された	R/W
2	ESTC	C キャッシュタグクリーンラインのインバリデートステータス C キャッシュタグメモリの ECC 1 ビットエラーにより、クリーンラインがインバリデートされたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: クリーンラインはインバリデートされなかった 1: クリーンラインはインバリデートされた	R/W
3	ESTD	C キャッシュタグダーティラインのインバリデートステータス C キャッシュタグメモリの ECC 1 ビットエラーにより、ダーティラインがインバリデートされたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: ダーティラインはインバリデートされなかった 1: ダーティラインはインバリデートされた	R/W

ビット	シンボル	機能	R/W
4	EST2	C キャッシュタグ 2 ビットエラーステータス C キャッシュタグメモリを読み出すときに、ECC 2 ビットエラーが検出されたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: ECC 2 ビットエラーが検出されなかった 1: ECC 2 ビットエラーが検出された	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ：S-TYPE-3 (CACHESAR.CACHESA)
特権：P-TYPE-2

ESD0、ESD1 ビット

これらのビットは、C キャッシュデータメモリを読み出すときに、ECC エラーが検出されたかどうかの状態を示します。

0 を書き込むとこの状態をクリアすることができます。バスエラーリセットまたはメモリエラーリセット以外のリセットは、この状態をクリアします。エラーが発生し、同時に状態がクリアされた場合、状態はクリアされ、エラーは無視されます。

ESTC、ESTD、EST2 ビット

これらのビットは、C キャッシュタグメモリを読み出すときに、訂正不可能 ECC エラーが検出されたかどうかの状態を示します。

ESTC：ECC 1 ビットエラーでクリーンラインをインバリデートします（訂正可能）

ESTD：ECC 1 ビットエラーでダーティラインをインバリデートします（訂正不可能）

EST2：ECC 2 ビットエラーを検出します（訂正不可能）

0 を書き込むとこの状態をクリアすることができます。エラーが発生し、同時に状態がクリアされた場合、状態はクリアされ、エラーは無視されます。

ESTD が 1 の場合、ダーティラインはライトバックなしでインバリデートされます。

2.16.3.6 CCATAA : C キャッシュテストアクセスアドレス

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	WAY[1:0]		—	—	—	—	—	—	RW	—	—	—	—	TARGET[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	ENTRY[6:0]							OFFSET[2:0]			—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4:2	OFFSET[2:0]	アドレスオフセット C キャッシュテストアクセスアドレスの下位 3 ビット[4:2]は、5 ビットオフセット[4:0]の上位 3 ビットに対応します。これらのビットは、キャッシュデータの読み出し／書き込みおよび ECC コードの読み出し／書き込み時に有効です。	R/W
11:5	ENTRY[6:0]	アドレスエントリ C キャッシュテストアクセスアドレスの中位 7 ビット[11:5]は、エントリに対応します。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
18:16	TARGET[2:0]	アクセス対象 これらのビットは、C キャッシュテストアクセスの対象を指定します。アクセスタイプは、ビット RW[23]によって指定されます。 000: キャッシュデータ読み出しまたは書き込み 001: データ ECC コード読み出しまたは書き込み 010: タグ、V、D 読み出しまたは書き込み 011: LRU 読み出しまたは書き込み 100: タグ ECC コード読み出しまたは書き込み 101 - 設定禁止 111 :	R/W
22:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	RW	読み出し／書き込み このビットは C キャッシュテストアクセスのタイプが読み出しか書き込みかを指定します。 0: 読み出し 1: 書き込み	R/W
29:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:30	WAY[1:0]	アドレスウェイ C キャッシュテストアクセスアドレスの上位 2 ビットは、ウェイに対応します。これらのビットは、キャッシュデータ／ECC コード／タグ読み出し／書き込み時に有効です。これらのビットは、LRU 読み出し／書き込み時は無効です。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

WAY[1:0]、ENTRY[6:0]、OFFSET[2:0]ビット

これらのビットは、C キャッシュテストアクセス用のアドレスを示します。

ECC コード／キャッシュデータ読み出しまたは書き込みの場合、WAY[1:0]、ENTRY[6:0]、OFFSET[2:0]が有効です。

タグおよびタグ ECC コード読み出しまたは書き込みの場合、WAY[1:0]、ENTRY[6:0]は有効で、OFFSET[2:0]は無効です。

LRU 読み出しまたは書き込みの場合、ENTRY[6:0]は有効で、WAY[1:0], OFFSET[2:0]は無効です。

TARGET[2:0]ビット（アクセス対象）

これらのビットは C キャッシュテストアクセス対象を指定します。以下に真理値表を示します。

RW ビット（読み出し／書き込み）

RW ビットは、C キャッシュテストアクセスのタイプが読み出しか書き込みかを指定します。以下に真理値表を示します。

CCATAA.RW[23]	CCATAA.TARGET[18:16]	コマンド
0	000	キャッシュデータ読み出し
1	000	キャッシュデータ書き込み
0	001	データ ECC コード読み出し
1	001	データ ECC コード書き込み
0	010	タグ読み出し
1	010	タグ書き込み
0	011	LRU 読み出し
1	011	LRU 書き込み
0	100	タグ ECC コード読み出し
1	100	タグ ECC コード書き込み

CCATAA レジスタへの書き込みは、テストアクセスをトリガします。テストアクセス書き込み時は、レジスタ CCATAA へ書き込む前にレジスタ CCATAD へ書き込んでください。テストアクセス読み出し時は、レジスタ CCATAA へ書き込んだ後にレジスタ CCATAD を読み出してください。

読み出しアクセスを実行するには、次の手順に従います。

1. CCATAA.RW = 0 で CCATAA に書き込みます。
2. 確認する CCATAA レジスタを読み出します。
3. CCATAD レジスタを読み出します。

書き込みは以下の手順で実行してください。

1. CCATDA に書き込みます。
2. CCATAA.RW = 1 で CCATAA に書き込みます。

テストアクセス読み出しで CCATAD レジスタを更新し、同時に CCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる CCATAD レジスタ更新は無視され、CCATAD レジスタに書き込みが行われます。

2.16.3.7 CCATAD_DATA : C キャッシュテストアクセスデータ (DATA)

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DATA[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	DATA[31:0]	C キャッシュテストアクセスデータ これらのビットは、C キャッシュテストアクセスキャッシュデータ読み出し／書き込み (CCATAA[18:16] = 000) の場合に有効です。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

DATA[31:0]ビット

これらのビットは、C キャッシュテストアクセス時に各データを示します。

どのビットが有効かは C キャッシュテストアクセスのタイプに依存します。

C キャッシュテストアクセスは、C キャッシュがオフの状態 (CCACTL.ENC = 0) で行う必要があります。

テストアクセス読み出しで CCATAD レジスタを更新し、同時に CCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる CCATAD レジスタ更新は無視され、CCATAD レジスタに書き込みが行われます。

2.16.3.8 CCATAD_ECC : C キャッシュテストアクセスデータ (ECC)

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	ECC[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	ECC[6:0]	C キャッシュテストアクセス ECC コード これらのビットは、キャッシュデータの C キャッシュテストアクセスデータ ECC コード読み出し／書き込み (CCATAA[18:16] = 001) の場合に有効です。	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

ECC[6:0]ビット

ECC[6:0]ビットは、C キャッシュテストアクセス時の各データを示します。

どのビットが有効かは C キャッシュテストアクセスのタイプに依存します。

C キャッシュテストアクセスは、C キャッシュがオフの状態 (CCACTL.ENC = 0) で行う必要があります。

テストアクセス読み出しで CCATAD レジスタを更新し、同時に CCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる CCATAD レジスタ更新は無視され、CCATAD レジスタに書き込みが行われます。

2.16.3.9 CCATAD_TAG : C キャッシュテストアクセスデータ (TAG)

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TAG[19:4]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TAG[3:0]				—	—	—	—	—	—	—	—	—	—	V	D
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	D	C キャッシュテストアクセスダーティー このビットは、C キャッシュテストアクセスタグ、V、D 読み出し／書き込み (CCATAA [18:16] = 010) の場合に有効です。	R/W
1	V	C キャッシュテストアクセス有効 このビットは、C キャッシュテストアクセスタグ、V、D 読み出し／書き込み (CCATAA [18:16] = 010) の場合に有効です。	R/W
11:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
31:12	TAG[19:0]	C キャッシュテストアクセスタグデータ これらのビットは、C キャッシュテストアクセスタグ、V、D 読み出し／書き込み (CCATAA [18:16] = 010) の場合に有効です。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

TAG[19:0]、V、D ビット

これらのビットは、C キャッシュテストアクセス時に各データを示します。

どのビットが有効かは C キャッシュテストアクセスのタイプに依存します。

C キャッシュテストアクセスは、C キャッシュがオフの状態 (CCACTL.ENC = 0) で行う必要があります。

テストアクセス読み出しで CCATAD レジスタを更新し、同時に CCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる CCATAD レジスタ更新は無視され、CCATAD レジスタに書き込みが行われます。

2.16.3.10 CCATAD_LRU : C キャッシュテストアクセスデータ (LRU)

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	LRU[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	LRU[4:0]	C キャッシュテストアクセス LRU データ これらのビットは、C キャッシュテストアクセス LRU 読み出し／書き込み (CCATAA[18:16] = 011) の場合に有効です。	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

LRU[4:0]ビット

LRU[4:0]ビットは、C キャッシュテストアクセス時の各データを示します。

どのビットが有効かは C キャッシュテストアクセスのタイプに依存します。

C キャッシュテストアクセスは、C キャッシュがオフの状態 (CCACTL.ENC = 0) で行う必要があります。

テストアクセス読み出しで CCATAD レジスタを更新し、同時に CCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる CCATAD レジスタ更新は無視され、CCATAD レジスタに書き込みが行われます。

2.16.3.11 CCATAD_TAGECC : C キャッシュテストアクセスデータ (TAGECC)

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	TAG ECC[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	TAG ECC[6:0]	C キャッシュテストアクセスタグ ECC コード これらのビットは、C キャッシュテストアクセスタグ ECC コード読み出し／書き込み (CCATAA[18:16] = 100) の場合に有効です。	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

TAG ECC[6:0]ビット（C キャッシュテストアクセスタグ ECC コード）

これらのビットは、C キャッシュテストアクセス時に各データを示します。

どのビットが有効かは C キャッシュテストアクセスのタイプに依存します。

C キャッシュテストアクセスは、C キャッシュがオフの状態 (CCACTL.ENC = 0) で行う必要があります。

テストアクセス読み出しで CCATAD レジスタを更新し、同時に CCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる CCATAD レジスタ更新は無視され、CCATAD レジスタに書き込みが行われます。

2.16.3.12 SCACTL : S キャッシュコントロールレジスタ

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	WB	FS	—	—	—	—	—	—	—	ENS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENS	S キャッシュ許可ビット S キャッシュの許可／禁止を設定します。 0: S キャッシュ禁止 1: S キャッシュ許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	FS	S キャッシュフラッシュビット S キャッシュのラインフラッシュを設定します。 0: 動作なし 1: S キャッシュラインフラッシュ（すべてのラインをインバリデート）	R/W
9	WB	S キャッシュライトバック S キャッシュのライトバックトリガ 0: 動作なし 1: S キャッシュライトバック	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ： S-TYPE-3 (CACHESAR.CACHESA)
特権：P-TYPE-2

ENS ビット（S キャッシュ許可ビット）

ENS ビットは、S キャッシュのキャッシュ許可／禁止を制御します。

S キャッシュが許可に設定されている場合、データをキャッシュするかどうかは、CPU1 のキャッシャブルのアクセス属性設定に依存します。

FS ビット（S キャッシュフラッシュビット）

FS ビットは SCAFCT.FS のエイリアスです。詳細は「2.16.3.13. SCAFCT : S キャッシュフラッシュコントロールレジスタ」を参照してください。

WB ビット（S キャッシュライトバック）

WB ビットは SCAFCT.WB のエイリアスです。詳細は「2.16.3.13. SCAFCT : S キャッシュフラッシュコントロールレジスタ」を参照してください。

2.16.3.13 SCAFCT : S キャッシュフラッシュコントロールレジスタ

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x044

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WB	FS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FS	S キャッシュフラッシュビット S キャッシュのラインフラッシュを設定します。 0: 動作なし 1: S キャッシュラインフラッシュ（すべてのラインをインバリデート）	R/W
1	WB	S キャッシュライトバック S キャッシュのライトバックトリガ 0: 動作なし 1: S キャッシュライトバック	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ：S-TYPE-5
特権：P-TYPE-2

FS ビット（S キャッシュフラッシュビット）

FS ビットは、S キャッシュのキャッシュフラッシュを制御します。

[0 になる条件]

- 本ビットは、キャッシュフラッシュが完了したとき自動的にクリアされます。

[1 になる条件]

- このビットに 1 を書き込む。

WB ビット（S キャッシュライトバック）

WB ビットは、S キャッシュのライトバックをトリガします。

[0 になる条件]

- 本ビットは、ライトバックが完了したとき自動的にクリアされます。

[1 になる条件]

- このビットに 1 を書き込む。

注. SCAWTA.WT が 0 のときに FS を 1 に設定すると、ライトバックとフラッシュの両方が実行されます。

フラッシュまたはライトバックがすでに開始されている場合（SCAFCT.FS = 1 または SCAFCT.WB = 1）、SCAFCT.FS および SCAFCT.WB が自動的にクリアされるまで、つまり、プロセスが完了するまで、SCAFCT および SCACTL に書き込みできません。

リセット後のキャッシュは無効です。

キャッシュが無効またはリセットされた場合、キャッシュはキャッシュメモリのライトバックとフラッシュを自動的に実行しません。

キャッシュが無効のときにキャッシュ内にダーティな行が残っている場合、キャッシュとメモリの間で不整合が発生する可能性があります。

キャッシュを無効にするには、以下の手順に従ってください。

1. SCACTL に 0x0100（SCAWTA.WT = 1 の場合）または 0x0300（SCAWTA.WT = 0 の場合）を書き込みます。
2. SCAFCT.FC と SCAFCT.WB の両方が 0 であることを確認します。

リセット後にキャッシュを有効にするには、以下の手順に従ってください。

1. SCAFCT.FC に 1 を設定してキャッシュメモリをフラッシュします。
2. SCAFCT.FC が 0 になるまでフラッシュの完了を待ちます。
3. SCACTL.ENS を 1 に設定してキャッシュを有効にします。
4. リセット後に SCACTL または SCAFCT に書き込むと、キャッシュが自動的にフラッシュされます。

キャッシュの無効後にキャッシュを有効にするには、以下の手順に従ってください。

1. SCAFCT.WB と SCAFCT.FS が 0 であることを確認します。つまり、キャッシュがライトバックやフラッシュを行わないようにします。
2. SCACTL.ENS を 1 に設定してキャッシュを有効にします。

2.16.3.14 SCAWTA : S キャッシュ書き込み属性

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x04C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WA	WT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	WT	S キャッシュライトスルー S キャッシュの属性をライトスルーまたはライトバックに設定します。 0: ライトスルーまたはライトバックは、領域のキャッシュ属性によって異なる 1: 常にライトスルーモード	R/W
1	WA	S キャッシュ書き込み割り当て S キャッシュ書き込み割り当ての属性を設定します。 0: 常に書き込み割り当てを禁止 1: 書き込み割り当ての許可は、領域のキャッシュ属性によって異なる	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ：S-TYPE-3 (CACHESAR.CACHESA)
特権：P-TYPE-2

WT ビット（S キャッシュライトスルー）

WT ビットは、S キャッシュの書き込み属性をライトスルーまたはライトバックに指定します。

このビット値を変更するときは、S キャッシュを禁止する (SCACTL.ENS = 0) 必要があります。

WT が 0 のとき、キャッシュ属性は Cortex-M33 プロセッサのデフォルトのメモリマップまたは MPU によって決定されます。

WA ビット（S キャッシュ書き込み割り当て）

WA ビットは、S キャッシュ書き込み割り当てを許可します。

このビット値を変更するときは、S キャッシュを禁止する (SCACTL.ENS = 0) 必要があります。

2.16.3.15 SCAEDST : S キャッシュエラー検出ステータス

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x050

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	EST2	ESTD	ESTC	ESD1	ESD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESD0	S キャッシュデータエラーステータス 0 S キャッシュデータメモリを読み出すときに、ECC 1 ビットエラーが検出されたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: ECC 1 ビットエラーが検出されなかった 1: ECC 1 ビットエラーが検出され修正された	R/W
1	ESD1	S キャッシュデータエラーステータス 1 S キャッシュデータメモリを読み出すときに、ECC 2 ビットエラーが検出されたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: ECC 2 ビットエラーが検出されなかった 1: ECC 2 ビットエラーが検出された	R/W
2	ESTC	S キャッシュタグクリーンラインのインバリデート状態 S キャッシュタグメモリの ECC 1 ビットエラーにより、クリーンラインがインバリデートされたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: クリーンラインはインバリデートされなかった 1: クリーンラインはインバリデートされた	R/W
3	ESTD	S キャッシュタグダーティーラインのインバリデート状態 S キャッシュタグメモリの ECC 1 ビットエラーにより、ダーティラインがインバリデートされたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: ダーティラインはインバリデートされなかった 1: ダーティラインはインバリデートされた	R/W
4	EST2	S キャッシュタグ 2 ビットエラーステータス S キャッシュタグメモリを読み出すときに、ECC 2 ビットエラーが検出されたかどうかの状態を示します。 書く場合、0 としてください。0 を書き込むとこの状態をクリアすることができます。 0: ECC 2 ビットエラーが検出されなかった 1: ECC 2 ビットエラーが検出された	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ：S-TYPE-3 (CACHESAR.CACHESA)
特権：P-TYPE-2

ESD0、ESD1

これらのビットは、S キャッシュデータメモリを読み出すときに、ECC エラーが検出されたかどうかの状態を示します。

0 を書き込むとこの状態をクリアすることができます。バスエラーリセットまたはメモリエラーリセット以外のリセットは、この状態をクリアします。エラーが発生し、同時に状態がクリアされた場合、状態はクリアされ、エラーは無視されます。

ESTC、ESTD、EST2

これらのビットは、S キャッシュタグメモリを読み出すときに、訂正不可能 ECC エラーが検出されたかどうかの状態を示します。

ESTC: ECC 1 ビットエラーでクリーンラインをインバリデートします（訂正可能）

ESTD: ECC 1 ビットエラーでダーティラインをインバリデートします（訂正不可能）

EST2: ECC 2 ビットエラーを検出します（訂正不可能）

0 を書き込むとこの状態をクリアすることができます。エラーが発生し、同時に状態がクリアされた場合、状態はクリアされ、エラーは無視されます。

ESTD が 1 の場合、ダーティラインはライトバックなしでインバリデートされます。

2.16.3.16 SCATAA : S キャッシュテストアクセスアドレス

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x054

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	WAY[1:0]		—	—	—	—	—	—	RW	—	—	—	—	TARGET[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	ENTRY[6:0]							OFFSET[2:0]			—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4:2	OFFSET[2:0]	アドレスオフセット S キャッシュテストアクセスアドレスの下位 3 ビット[4:2]は、5 ビットオフセット[4:0]の上位 3 ビットに対応します。これらのビットは、キャッシュデータの読み出し／書き込みおよび ECC コードの読み出し／書き込み時に有効です。	R/W
11:5	ENTRY[6:0]	アドレスエントリ S キャッシュテストアクセスアドレスの中位 7 ビット[11:5]は、エントリに対応します。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	TARGET[2:0]	アクセス対象 これらのビットは、S キャッシュテストアクセスの対象を指定します。アクセスタイプは、ビット RW[23]によって指定されます。 0 0 0: キャッシュデータ読み出しまたは書き込み 0 0 1: データ ECC コード読み出しまたは書き込み 0 1 0: タグ、V、D 読み出しまたは書き込み 0 1 1: LRU 読み出しまたは書き込み 1 0 0: タグ ECC コード読み出しまたは書き込み 1 0 1 - 設定禁止 1 1 1 :	R/W
22:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	RW	読み出し／書き込み このビットは S キャッシュテストアクセスのタイプが読み出しか書き込みかを指定します。 0: 読み出し 1: 書き込み	R/W
29:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:30	WAY[1:0]	アドレスウェイ S キャッシュテストアクセスアドレスの上位 2 ビットは、ウェイに対応します。これらのビットは、キャッシュデータ／ECC コード／タグ読み出し／書き込み時に有効です。これらのビットは、LRU 読み出し／書き込み時は無効です。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

WAY[1:0]、ENTRY[6:0]、OFFSET[2:0]ビット

これらのビットは、S キャッシュテストアクセス時にアドレスを示します。

ECC コード／キャッシュデータ読み出しまたは書き込みの場合、WAY[1:0]、ENTRY[6:0]、OFFSET[2:0]が有効です。

タグおよびタグ ECC コード読み出しまたは書き込みの場合、WAY[1:0]、ENTRY[6:0]は有効で、OFFSET[2:0]は無効です。

LRU 読み出しまたは書き込みの場合、ENTRY[6:0]は有効で、WAY[1:0], OFFSET[2:0]は無効です。

TARGET[2:0]ビット

TARGET[2:0]ビットは、S キャッシュテストアクセスの対象を指定します。以下に真理値表を示します。

RW ビット

RW ビットは、S キャッシュテストアクセスのタイプが読み出しか書き込みかを指定します。以下に真理値表を示します。

SCATAA.RW[23]	SCATAA.TARGET[18:16]	コマンド
0	000	キャッシュデータ読み出し
1	000	キャッシュデータ書き込み
0	001	データ ECC コード読み出し
1	001	データ ECC コード書き込み
0	010	タグ読み出し
1	010	タグ書き込み
0	011	LRU 読み出し
1	011	LRU 書き込み
0	100	タグ ECC コード読み出し
1	100	タグ ECC コード書き込み

SCATAA レジスタへの書き込みは、テストアクセスをトリガします。テストアクセス書き込み時は、レジスタ SCATAA へ書き込む前にレジスタ SCATAD へ書き込んでください。テストアクセス読み出し時は、レジスタ SCATAA へ書き込んだ後にレジスタ SCATAD を読み出してください。

読み出しアクセスを実行するには、次の手順に従います。

1. SCATAA.RW = 0 で SCATAA に書き込みます。
2. 確認する SCATAA レジスタを読み出します。
3. SCATAD レジスタを読み出します。

書き込みは以下の手順で実行してください。

1. SCATDA に書き込みます。
2. SCATAA.RW = 1 で SCATAA に書き込みます。

テストアクセス読み出しで SCATAD レジスタを更新し、同時に SCATAD に書き込みを行った場合、テストアクセス読み出しによる SCATAD レジスタ更新は無視され、SCATAD レジスタに書き込みが行われます。

2.16.3.17 SCATAD_DATA : S キャッシュテストアクセスデータ (DATA)

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DATA[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	DATA[31:0]	S キャッシュテストアクセスデータ これらのビットは、S キャッシュテストアクセスキャッシュデータ読み出し／書き込み (SCATAA[18:16] = 000) の場合に有効です。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

DATA[31:0]ビット

これらのビットは、S キャッシュテストアクセス時に各データを示します。

どのビットが有効であるかは、S キャッシュテストアクセスによって異なります。

S キャッシュテストアクセスは、S キャッシュがオフの状態 (SCACTL.ENS = 0) で行う必要があります。

テストアクセス読み出しで SCATAD レジスタを更新し、同時に SCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる SCATAD レジスタ更新は無視され、SCATAD レジスタに書き込みが行われます。

2.16.3.18 SCATAD_ECC : S キャッシュテストアクセスデータ (ECC)

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	ECC[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	ECC[6:0]	S キャッシュテストアクセス ECC コード これらのビットは、キャッシュデータの S キャッシュテストアクセスデータ ECC コード読み出し／書き込み (SCATAA[18:16] = 001) の場合に有効です。	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

ECC[6:0]ビット

これらのビットは、S キャッシュテストアクセス時に各データを示します。

どのビットが有効であるかは、S キャッシュテストアクセスによって異なります。

S キャッシュテストアクセスは、S キャッシュがオフの状態 (SCACTL.ENS = 0) で行う必要があります。

テストアクセス読み出しで SCATAD レジスタを更新し、同時に SCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる SCATAD レジスタ更新は無視され、SCATAD レジスタに書き込みが行われます。

2.16.3.19 SCATAD_TAG : S キャッシュテストアクセスデータ (TAG)

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TAG[19:4]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TAG[3:0]				—	—	—	—	—	—	—	—	—	—	V	D
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	D	S キャッシュテストアクセスダーティー このビットは、S キャッシュテストアクセスタグ、V、D 読み出し／書き込み (SCATAA[18:16] = 010) の場合に有効です。	R/W
1	V	S キャッシュテストアクセス有効 このビットは、S キャッシュテストアクセスタグ、V、D 読み出し／書き込み (SCATAA[18:16] = 010) の場合に有効です。	R/W
11:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:12	TAG[19:0]	S キャッシュテストアクセスタグデータ これらのビットは、S キャッシュテストアクセスタグ、V、D 読み出し／書き込み (SCATAA[18:16] = 010) の場合に有効です。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

TAG、V、D ビット

これらのビットは、S キャッシュテストアクセス時に各データを示します。

どのビットが有効であるかは、S キャッシュテストアクセスによって異なります。

S キャッシュテストアクセスは、S キャッシュがオフの状態 (SCACTL.ENS = 0) で行う必要があります。

テストアクセス読み出しで SCATAD レジスタを更新し、同時に SCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる SCATAD レジスタ更新は無視され、SCATAD レジスタに書き込みが行われます。

2.16.3.20 SCATAD_LRU : S キャッシュテストアクセスデータ (LRU)

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	LRU[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	LRU[4:0]	S キャッシュテストアクセス LRU データ これらのビットは、S キャッシュテストアクセス LRU 読み出し／書き込み (SCATAA[18:16] = 011) の場合に有効です。	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

LRU[4:0]ビット

LRU[4:0]ビットは、S キャッシュテストアクセス時の各データを示します。

どのビットが有効であるかは、S キャッシュテストアクセスによって異なります。

S キャッシュテストアクセスは、S キャッシュがオフの状態 (SCACTL.ENS = 0) で行う必要があります。

テストアクセス読み出しで SCATAD レジスタを更新し、同時に SCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる SCATAD レジスタ更新は無視され、SCATAD レジスタに書き込みが行われます。

2.16.3.21 SCATAD_TAGECC : S キャッシュテストアクセスデータ

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	TAGECC[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	TAGECC[6:0]	S キャッシュテストアクセスタグ ECC コード これらのビットは、S キャッシュテストアクセスタグ ECC コード読み出し／書き込み (CCATAA[18:16] = 100) の場合に有効です。	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ワード（32 ビット）アクセスで書き込みを行ってください。ハーフワード／バイトライトアクセスは禁止です。
注. セキュリティ：S-TYPE-6
特権：P-TYPE-2

TAGECC[6:0]ビット（S キャッシュテストアクセスタグ ECC コード）

TAGECC[6:0]ビットは、S キャッシュテストアクセス時の各データを示します。

どのビットが有効であるかは、S キャッシュテストアクセスによって異なります。

S キャッシュテストアクセスは、S キャッシュがオフの状態 (SCACTL.ENS = 0) で行う必要があります。

テストアクセス読み出しで SCATAD レジスタを更新し、同時に SCATAD レジスタに書き込みを行った場合、テストアクセス読み出しによる SCATAD レジスタ更新は無視され、SCATAD レジスタに書き込みが行われます。

2.16.3.22 CAPOAD : キャッシュ ECC エラー検出後動作レジスタ

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x200

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	E1STSEN	ECCMOD1	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 エラー検出後の動作を選択します。 0: 割り込み 1: リセット	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	ECCMOD1	ECC 有効 C キャッシュおよび S キャッシュの ECC（誤り訂正コード）を有効にする 0: ECC を禁止 1: ECC 有効	R/W
4	E1STSEN	ECC 訂正可能エラー情報更新許可 訂正可能な ECC エラーは以下の通りです。 ● キャッシュデータメモリの 1 ビット ECC エラー ● ECC 1 ビットエラーによりキャッシュタグメモリのクリーンラインがインバリデートされた 0: 訂正可能 ECC エラー情報の更新禁止 1: 訂正可能 ECC エラー情報の更新許可	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ： S-TYPE-3 (CACHESAR.CACHEESA)
特権：P-TYPE-2

CAPOAD レジスタは CAPRCR レジスタによって書き込み保護されています。本レジスタへ書き込む前に CAPRCR.PRCR を設定してください。キャッシュが有効のとき、本レジスタに書き込まないでください。

OAD ビット（検出後の動作）

OAD ビットは、ECC エラー検出後の動作を指定します。

ECCMOD1 ビット（ECC 有効）

ECCMOD1 ビットにより、C キャッシュと S キャッシュの ECC によるエラーの検出と訂正が有効になります。

E1STSEN ビット（ECC 訂正可能エラー情報更新許可）

E1STSEN ビットは、訂正可能 ECC エラーステータス CCAEDST.ESD0/SCAEDST.ESD0/CCAEDST.ESTC/SCAEDST.ESTC の更新を許可または禁止します。

CAPOAD.E1STSEN = 0 の場合、訂正可能 ECC エラーが発生してもエラーステータスは更新されず、CAPOAD.OAD の値に関係なく、エラーが検出された後に中断やリセットなどのアクションは実行されません。

2.16.3.23 CAPRCR : キャッシュプロテクトレジスタ

Base address: CACHE = 0x4001_C000
CACHE_NS = 0x5001_C000

Offset address: 0x204

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	KW[6:0]							PRCR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRCR	レジスタ書き込み制御ビット レジスタ書き込み制御を設定します 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコードビット これらのビットは、PRCR ビットの書き込みを許可または禁止します。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ：S-TYPE-3 (CACHESAR.CACHEESA)
特権：P-TYPE-2

PRCR ビット（レジスタ書き込み制御ビット）

PRCR ビットは、CAPOAD レジスタの書き込みを制御します。

PRCR ビットが 1 のとき、CAPOAD レジスタへの書き込みが許可されます。

本ビットへ書き込む際は、同時に KW[6:0]ビットに 0x78 を書き込んでください。

KW[6:0]ビット（書き込みキーコードビット）

KW[6:0]ビットは、PRCR ビットへの書き込みを禁止／許可します。

PRCR ビットに書き込む際は、同時に KW[6:0]ビットに 0x78 を書き込んでください。

0x78 以外の値を KW[6:0]ビットに書き込むと、PRCR ビットは更新されません。

KW[6:0]ビットは読むと常に 0x00 が読み出されます。

2.16.4 動作説明

2.16.4.1 C キャッシュ／S キャッシュ

図 2.8 に CPU から C キャッシュ／S キャッシュにアクセスする機能フローチャートを示します。

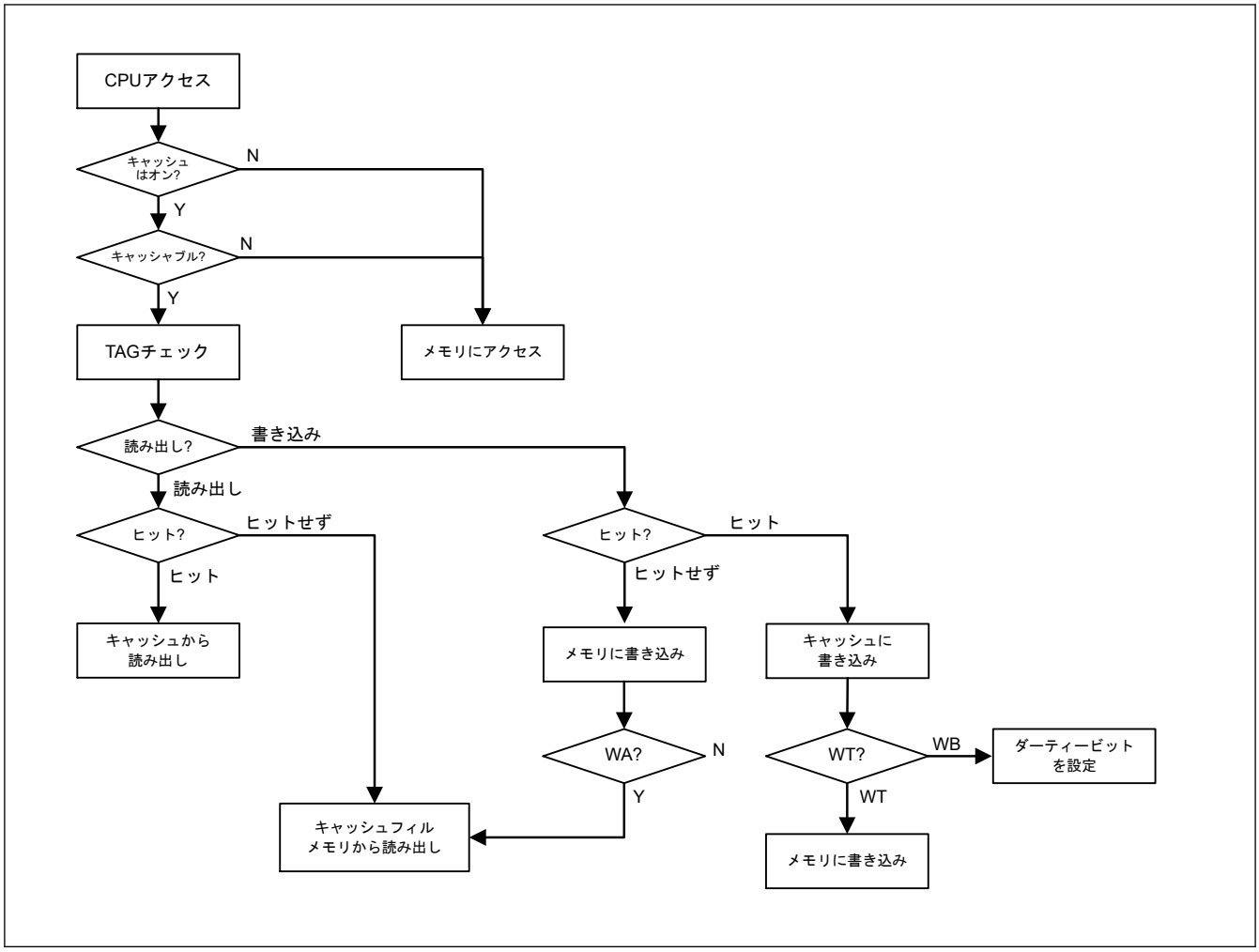


図 2.8　C キャッシュ／S キャッシュの CPU アクセス機能フローチャート

キャッシュ機能が動作するのは、キャッシュが有効 (CCACTL.ENC = 1, SCACTL.ENS = 1) で、キャッシャブルアクセスが CPU からの場合です。キャッシュは、CPU アクセス要求からのアドレスおよびキャッシュタグ内のアドレスをチェックし、CPU アクセスがヒットなのかミスなのかを判断します。

- リードミス：キャッシュはメモリから 1 つのキャッシュラインデータを読み出し、それをキャッシュデータに格納します。続いてキャッシュは必要なデータを CPU に返します。
- リードヒット：キャッシュは必要なデータをキャッシュデータから読み出し、CPU に戻します。続いてアクセスサイクルがゼロウェイトサイクルのヒットとして決定されます。
- ライトミス：キャッシュはデータをメモリに書き込みます。書き込み割り当てが設定されていて (CCAWTA.WA = 1, SCAWTA.WA = 1)、領域の属性が書き込み割り当てである場合、キャッシュはメモリからラインをフィルします。
- ライトヒット：キャッシュはデータをキャッシュに書き込みます。ライトスルーが設定されている場合 (CCAWTA.WT = 1, SCAWTA.WT = 1)、または領域の属性がライトスルーである場合、キャッシュはデータをメモリに書き込みます。ただし、ライトスルーが設定されていない (CCAWTA.WT = 0, SCAWTA.WT = 0) 、かつ領域の属性がライトバックである場合、キャッシュはタグ内のデータのダーティビットを設定します。

2.16.4.2　キャッシュフラッシュ

キャッシュをフラッシュするには、CCAFCT.FC および SCAFCT.FS ビットを 1 に設定します。これにより、タグ内の VALID ビット、ダーティビット、およびタグデータがクリアされます。タグ ECC コードは、値 0 で発生するコードに初期化されます。キャッシュデータはクリアされません。

注.　同じアドレスが異なるキャッシャビリティ（Arm MPU によって設定）でアクセスされる場合、キャッシャビリティが変更された後のアクセス前に、キャッシュのライトバックとキャッシュのフラッシュを行います。CCAWTA.WT および SCAWTA.WT が 1 に設定されている場合、ライトバックは不要です。

ライトバックやフラッシュを行わずに同じアドレスが異なるキャッシャビリティでアクセスされる場合、読み出し／書き込みデータは未定義です。

2.16.4.3 LRU と置き換え

キャッシュは、キャッシュ置き換えアルゴリズムとして LRU (Least Recently Used) 方式を使用します。CPU アクセスがヒットまたはミスと判定された場合、キャッシュは最新回復データではないキャッシュデータを置き換えます。さらに、キャッシュはキャッシュデータの LRU において最新データとしてマークされます。したがって、キャッシュウェイのキャッシュラインがフルの場合、キャッシュはより古いキャッシュを示す LRU を使ってキャッシュデータを置き換えできます。

2.16.4.4 ECC

2.16.4.4.1 キャッシュデータメモリの ECC 誤り訂正

CAPOAD.ECCMOD1 ビットの設定によって、ECC 誤り訂正の有効・無効を選択することができます。初期状態では、ECC 誤り訂正は無効です。ECC チェックのタイプは、SEC-DED（Single-Error Correction/Double-Error Detection Code：単一誤り訂正／二重誤り検出符号）です。

ECC 機能が有効の場合、32 ビットのデータから 7 ビットの ECC が生成され、32 ビットのデータと 7 ビットの ECC コードがキャッシュデータメモリに書き込まれます。読み出しの場合は、32 ビットのデータと 7 ビットの ECC コードがキャッシュデータメモリから読み出されます。

ECC 機能が有効の場合、1 ビットエラーが発生すると誤り訂正が実行され、CAPOAD.E1STSEN ビットが 1 のときは CCAEDST.ESD0 または SCAEDST.ESD0 ビットが 1 になります。2 ビットエラーが発生すると、誤り検出が実行され、CCAEDST.ESD1 または SCAEDST.ESD1 ビットが 1 になりますが、誤り訂正は実行されません。

キャッシュデータで ECC エラーが検出された場合、誤り訂正と CCAEDST、SCAEDST の設定のみを行います。タグ ECC エラーのようにキャッシュをインバリデートしません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。そのため、CCAEDST.ESD0 ビット、CCAEDST.ESD1 ビット、SCAEDST.ESD0 ビット、SCAEDST.ESD1 ビットは更新されません。

2.16.4.4.2 キャッシュタグメモリの ECC エラー

タグ ECC エラー検出の有効化と無効化は、CAPOAD.ECCMOD1 ビットの設定により選択できます（キャッシュデータと同じ）。ECC チェックのタイプは、SED-DED（Single-Error Detection/Double-Error Detection Code：単一誤り検出／二重誤り検出符号）です。

ECC 機能が有効の場合、32 ビットのデータ（タグの上位ビット／V 拡張 0）から 7 ビットの ECC コードが生成され、タグデータと 7 ビットの ECC コードがキャッシュタグメモリに書き込まれます。読み出しの場合は、タグデータと 7 ビットの ECC コードがキャッシュタグメモリから読み出されます。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り検出は実行されません。そのため、CCAEDST.ESTC ビット、CCAEDST.ESTD ビット、CCAEDST.EST2 ビット、SCAEDST.ESTC ビット、SCAEDST.ESTD ビット、SCAEDST.EST2 ビットは更新されません。

タグ ECC エラーが検出された場合、そのラインは無効となり、ミスとして処理されます。クリーンラインエラーの場合は、キャッシュのリフィルによりキャッシュをリカバリできます。しかし、ダーティラインエラーの場合は、ダーティデータがライトバックできないため、システムをリカバリできません。

2.16.4.4.3 ECC エラー割り込み機能

ECC 機能が有効な場合、キャッシュタグ／データメモリにおいてエラーチェックが可能です。

キャッシュデータの 2 ビットエラーの場合、CCAEDST.ESD1 ビットまたは SCAEDST.ESD1 ビットが 1 に設定されます。キャッシュデータの 1 ビットエラーの場合、CAPOAD.E1STSEN ビットが 1 のとき、CCAEDST.ESD0 ビットまたは SCAEDST.ESD0 ビットが 1 に設定されます。

キャッシュタグの 2 ビットエラーの場合、CCAEDST.EST2 ビットまたは SCAEDST.EST2 ビットが 1 に設定されます。ECC 1 ビットエラーによるキャッシュタグダーティラインがインバリデートの場合、CCAEDST.ESTD ビットまたは SCAEDST.ESTD ビットが 1 に設定されます。

ECC 1 ビットエラーによるキャッシュタグクリーンラインがインバリデートの場合、CAPOAD.E1STSEN ビットが 1 のとき、CCAEDST.ESTC ビットまたは SCAEDST.ESTC ビットが 1 に設定されます。

訂正可能エラーをマスクする場合は、以下のビットの 1 への更新を禁止するために、CAPOAD.E1STSEN ビットを 0 にする必要があります。

- CCAEDST.ESD0
- CCAEDST
- ESTC
- SCAEDST.ESD0
- SCAEDST.ESTC

ECC 機能が無効である場合、ECC エラーは発生しません。

ECC エラーにより、リセットまたは割り込みが要求されることがあります。ECC エラーが発生した場合、CAPOAD.OAD ビットが 1 のときは、リセット要求が出力されます。0 のとき、割り込み要求は ICU に出力されます。

ECC エラー割り込みは、CCAEDST レジスタに 1 つ以上のエラーステータスがあり、SCAEDST レジスタが 1 に設定されているときに発生します。CCAEDST レジスタおよび SCAEDST レジスタのすべてのエラーステータスがクリアされるまで、ECC エラー割り込みは発生し続けます。

2.16.4.4.4 ECC デコーダのテスト方法

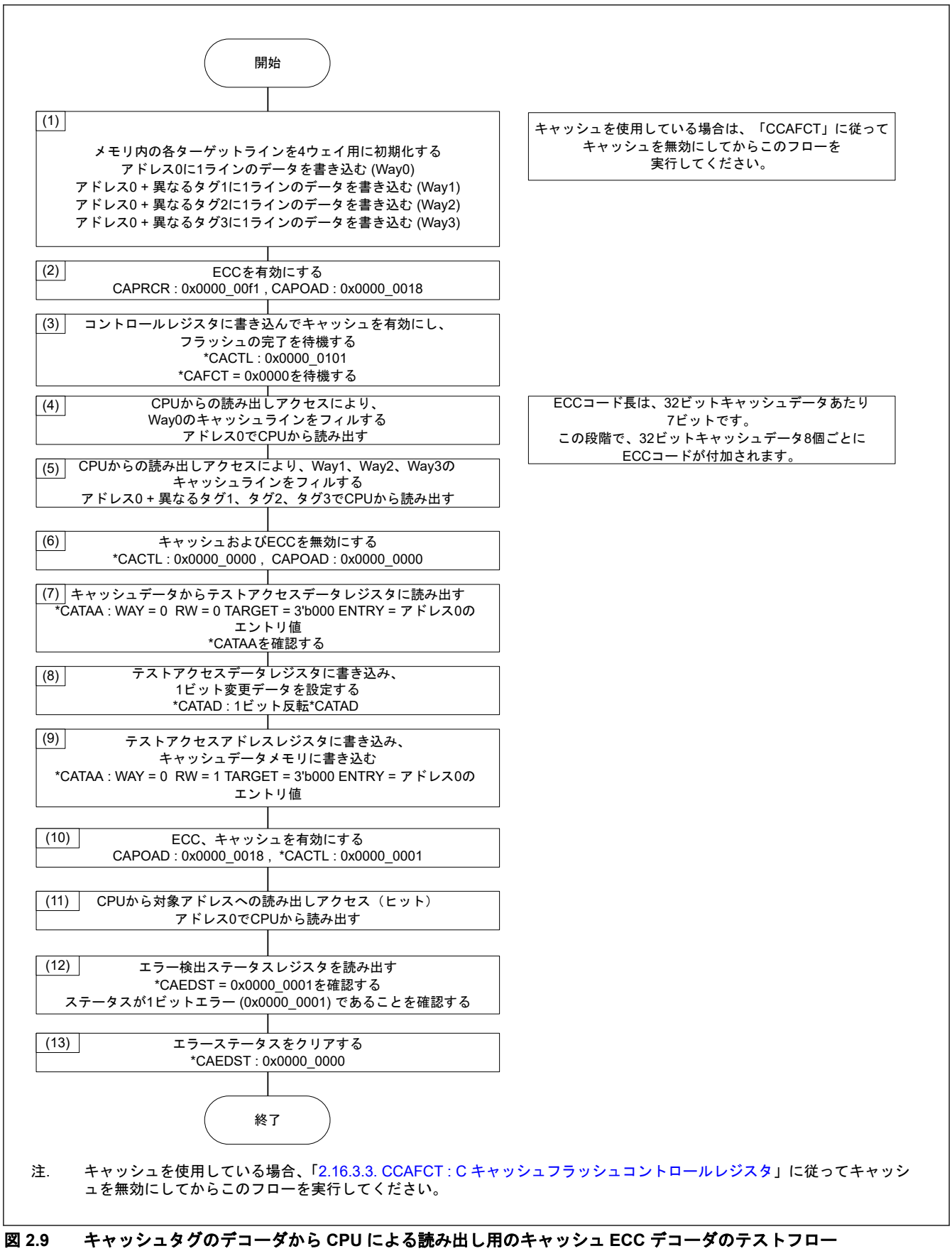
ECC デコーダは合計 6 つあり、キャッシュタグの各ウェイに 1 つ、キャッシュデータの CPU 読み出しパスと書き込みバックパスのそれぞれに 1 つあります。

キャッシュデータにおける ECC デコーダをテストするには、CPU 読み出しのフロー（「2.16.4.4.4.1. CPU 読み出しの ECC デコーダ」）とライトバックのフロー（「2.16.4.4.4.2. ライトバックの ECC デコーダ」）を実行します。キャッシュタグにおける ECC デコーダをテストするには、CPU 読み出しのフロー（「2.16.4.4.4.1. CPU 読み出しの ECC デコーダ」）でタグの Way0 から Way3 まですべてを実行します。

キャッシュデータの ECC デコーダは Way0 と Way3 で共有されるため、両方のウェイでテストしなくても ECC デコーダをテストできます。参考までに、両方のウェイのテストについて説明します。

2.16.4.4.4.1 CPU 読み出しの ECC デコーダ

図 2.9 に、キャッシュタグのキャッシュまたはデコーダから CPU による読み出し用のキャッシュ ECC デコーダのテストフローを示します。



注. キャッシュを使用している場合、「2.16.3.3. CCAFCT : C キャッシュフラッシュコントロールレジスタ」に従ってキャッシュを無効にしてからこのフローを実行してください。

図 2.9 キャッシュタグのデコーダから CPU による読み出し用のキャッシュ ECC デコーダのテストフロー

動作フローの各手順に関する注意事項について、以下に説明します。

(1) ターゲットラインを初期化するには、オフセット値が 0x00 から 0x1F までのアドレスにデータを書き込みます。

Way1 のデータを初期化するには、アドレス 0 + 異なるタグ 1 アドレスに書き込みます。

Way2 と Way3 のデータも同様に初期化します。

例：アドレス 0 = 0x2100_0000

アドレス 0 + 異なるタグ 1 = 0x2101_0000

アドレス 0 + 異なるタグ 2 = 0x2102_0000

アドレス 0 + 異なるタグ 3 = 0x2103_0000

(7)(9) これらの手順の流れは、キャッシュデータの Way0 の ECC デコーダに関するものです。ECC デコーダの書き込みバック（「2.16.4.4.4.2. ライトバックの ECC デコーダ」を参照）を除く ECC デコーダテストについては、*CATAA に以下の項目の組み合わせ値を書き込み、手順 (1) から (13) を繰り返します。

	*CATAA.TARGET
データ	000
データ ECC	001
タグ	010
タグ ECC	100

	*CATAA.WAY
Way0	00
Way1	01
Way2	10
Way3	11

タグ ECC デコーダはすべてのウェイにそれぞれ存在するため、Way0 から Way3 のすべてを TARGET = 3'b010 または 3'b100 でテストします。

(8) 2 ビット ECC エラー検出をテストするには、2 ビット反転*CATAD を書き込みます。

(11) Way1 をテストするときは、アドレス 0 + 異なるタグ 1 で CPU から読み出します。

Way2 をテストするときは、アドレス 0 + 異なるタグ 2 で CPU から読み出します。

Way3 をテストするときは、アドレス 0 + 異なるタグ 3 で CPU から読み出します。

(12) 1 ビット ECC 誤り訂正をテストするには、読み出し値が修正されていることを確認します。

*CAEDST が各テストにおいて以下の値であることを確認します。

対象	エラー	*CAEDST の値
データ	ECC 1 ビットエラー	0x0000_0001
	ECC 2 ビットエラー	0x0000_0002
データ ECC	ECC 1 ビットエラー	0x0000_0001
	ECC 2 ビットエラー	0x0000_0002
タグ	ECC 1 ビットエラー	0x0000_0004（この手順ではキャッシュラインはクリーンです）
	ECC 2 ビットエラー	0x0000_0010
タグ ECC	ECC 1 ビットエラー	0x0000_0004（この手順ではキャッシュラインはクリーンです）
	ECC 2 ビットエラー	0x0000_0010

2.16.4.4.4.2 ライトバックの ECC デコーダ

図 2.10 に、ライトバック用キャッシュ ECC デコーダのテストフローを示します。

注. キャッシュを使用している場合、「2.16.3.3. CCAFCT : C キャッシュフラッシュコントロールレジスタ」に従ってキャッシュを無効にしてからこのフローを実行してください。

図 2.10 ライトバック用キャッシュ ECC デコーダのテストフロー

動作フローの各手順に関する注意事項について、以下に説明します。

(1) ターゲットラインを初期化するには、オフセット値が 0x00 から 0x1F までのアドレスにデータを書き込みます。

Way1 のデータを初期化するには、アドレス 0 + 異なるタグ 1 アドレスに書き込みます。

Way2 と Way3 のデータも同様に初期化します。

例：アドレス 0 = 0x2100_0000

アドレス 0 + 異なるタグ 1 = 0x2101_0000

アドレス 0 + 異なるタグ 2 = 0x2102_0000

アドレス 0 + 異なるタグ 3 = 0x2103_0000

(7)(9) これらの手順の流れは、キャッシュデータの Way0 の ECC デコーダに関するものです。ライトバックのデコーダの場合は、*CATAA に以下の項目の組み合わせ値を書き込み、手順 (1) から (15) を繰り返します。

	*CATAA.TARGET
データ	000
データ ECC	001

	*CATAA.WAY
Way0	00
Way1	01
Way2	10
Way3	11

(8) 2 ビット ECC エラー検出をテストするには、2 ビット反転*CATAD を書き込みます。

(10)(11) これらの手順の流れは、キャッシュデータの Way0 の ECC デコーダに関するものです。他のウェイの経路にあるデコーダの場合は、Way0 から Way3 の以下の値を変更し、手順 (1) から (15) を繰り返します。

	ウェイ 0	ウェイ 1	ウェイ 2	ウェイ 3
*CATAA.WAY	00	01	10	11
(11) の*CATAD	0x0000_0014	0x0000_0009	0x0000_001E	0x0000_0013

(13) 異なるタグ（キャッシュ内でない）は、(1) の各ウェイアドレスとは異なるタグアドレスを持ちます。

例：アドレス 0 + 異なるタグ（キャッシュ内でない） = 0x2110_0000

(14) 1 ビット ECC エラーをテストするには、アドレス 0 の読み出し値（ライトバック値）が訂正されていることを確認します。

2 ビット ECC エラーをテストするには、アドレス 0 の読み出し値（ライトバック値）が訂正されていないことを確認します。

*CAEDST が以下の値であることを確認します。

対象	エラー	*CAEDST
データ	ECC 1 ビットエラー	0x0000_0001
	ECC 2 ビットエラー	0x0000_0002
データ ECC	ECC 1 ビットエラー	0x0000_0001
	ECC 2 ビットエラー	0x0000_0002

2.16.4.4.5 ECC の注意事項

ECC を有効にするために切り替えるときは、切り替え前に C キャッシュと S キャッシュを無効にする手順（「2.16.3.3. CCAFCT : C キャッシュフラッシュコントロールレジスタ」および「2.16.3.13. SCAFCT : S キャッシュフラッシュコントロールレジスタ」）に従ってください。キャッシュが有効な状態で ECC を有効に切り替えると、誤った ECC コードにより ECC エラーが発生する可能性があります。

2.16.4.5 バスエラー

バスエラーに対するバススレーブの対応について以下で説明します。

- キャッシュ OFF の場合：キャッシュは CPU にバスエラーを返します。
- 非キャッシャブルアクセスの場合：キャッシュは CPU にバスエラーを返します。
- キャッシュフィルの場合 : キャッシュは CPU にバスエラーを返します。キャッシュはエラーを含むラインをキャッシュメモリに書き込みません。
- ライトヒット状態の場合 : キャッシュは CPU にバスエラーを返せません。キャッシュは検証をクリアしません。
- ライトミス状態の場合：キャッシュは CPU にバスエラーを返せません。

2.16.5 使用上の注意事項

2.16.5.1 コヒーレンシ

キャッシュと外部メモリおよび内部 SRAM とのコヒーレンシはソフトウェアにより保証する必要があります。キャッシュ対応領域内で複数のバスマスタ間（複数の CPU 間や CPU と DMAC 間など）でメモリを共有するには、必要に応じてキャッシュデータのライトバックとフラッシュを実行します。

2.16.5.2 キャッシュフラッシュ／ライトバック動作

CPU1 が*CAFCT/*CACTL でキャッシュフラッシュ／ライトバックを実行した場合、CPU1 はフラッシュ／ライトバックが完了したこと（*CAFCT = 0、*は C キャッシュまたは S キャッシュ、つまり CCAFCT/CCACTL または SCAFCT/SCACTL を表す）を確認する必要があります。

CPU1 以外のバスマスタからはフラッシュ／WB を操作しないでください。

キャッシュフラッシュ／ライトバック操作が実行されると、キャッシュフラッシュ／ライトバック操作の優先順位は、CPU1 からのアクセスよりも高くなります。

2.16.5.3 C キャッシュおよび S キャッシュのセキュリティ属性に関連する制約事項

C キャッシュと S キャッシュを使用する際には、以下の条件のいずれかを満たす必要があります。

- CPU1 はセキュア状態でのみ使用する必要があります。
- CPU1 は非セキュア状態でのみ使用する必要があります。これは CPU1 の SECEXT（セキュリティ拡張）が無効になっている場合のみ可能です。
- C キャッシュと S キャッシュは、非セキュアプログラムでのみ使用する必要があります。さらに、以下の条件をすべて満たす必要があります。
  1. セキュアプログラムが使用するすべてのセキュアメモリ領域が非キャッシャブルとなるように、MPU を設定します。
  2. セキュアプログラムが非セキュアメモリ領域にアクセスするときは、アクセス前にキャッシュのライトバックとフラッシュを実行します。
  3. 外部 WDT ではなく内蔵 WDT を使用するときは、内蔵 WDT をセキュア属性として設定し、WDT エラー発生時に CPU0 への割り込みまたはリセットを適用するように設定する必要があります。

2.17 CM33 TCM (密接合メモリ)

2.17.1 概要

本 MCU は、誤り訂正コード (ECC) を備えたオンチップ TCM（密接合メモリ）を内蔵しています。

2.17.1.1 TCM の仕様

表 2.36 TCM の仕様

項目	C-TCM	S-TCM
容量	64 KB	64 KB
エラー検出	ECC (SECDED)	ECC (SECDED)
セキュリティ	セキュア領域／非セキュア領域	セキュア領域／非セキュア領域

表 2.37 TCM のアドレスマップ

アドレス	用途	マスタ	SA
0x0000_0000, 0x0000_FFFF	C-TCM	CPU1 (CM33)	セキュア
0x1000_0000, 0x1000_FFFF	C-TCM	CPU1 (CM33)	非セキュア
0x2000_0000, 0x2000_FFFF	S-TCM	CPU1 (CM33)	セキュア
0x2A00_0000, 0x2A00_FFFF	C-TCM	バスマスタ（例：CPU0）	セキュア
0x2A01_0000, 0x2A01_FFFF	S-TCM	バスマスタ（例：CPU0）	セキュア
0x3000_0000, 0x3000_FFFF	S-TCM	CPU1 (CM33)	非セキュア
0x3A00_0000, 0x3A00_FFFF	C-TCM	バスマスタ（例：CPU0）	非セキュア
0x3A01_0000, 0x3A01_FFFF	S-TCM	バスマスタ（例：CPU0）	非セキュア

各 C-TCM または S-TCM メモリは、容量が 64 KB の 1 つのエンティティであり、異なるマスタから異なるアドレスでアクセスできます。

バスマスタのアクセスと CPU1 のアクセスが競合した場合、TCM のバスインタフェースはバスにウェイトサイクルを返します。「2.17.4.4. ウェイトサイクル」を参照してください。

2.17.1.2 ブロック図

図 2.11 にキャッシュと TCM のブロック構成を示します。

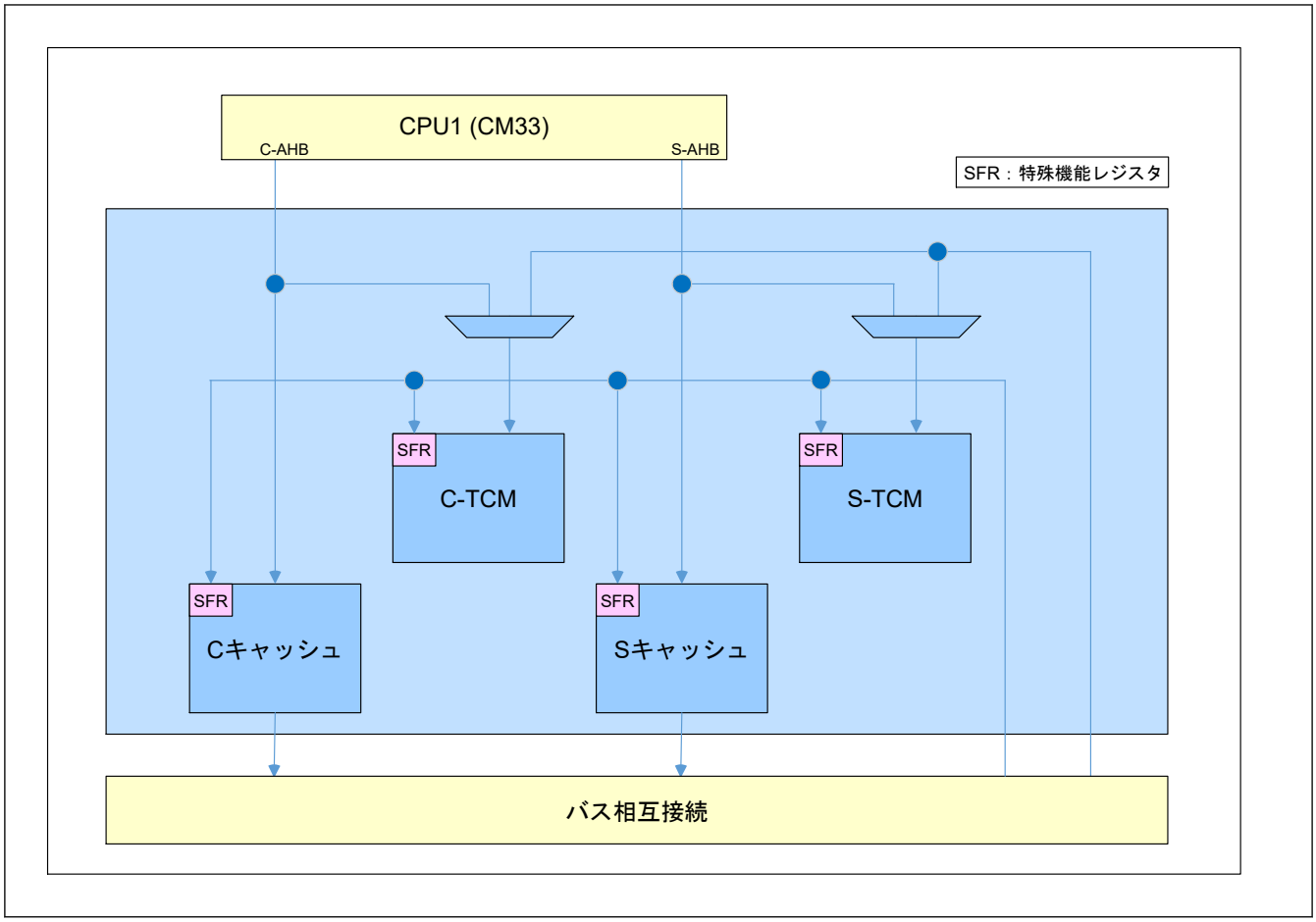


図 2.11　キャッシュおよび TCM のブロック構造

2.17.2　レジスター覧

TCM_BASE_S（TCM のベースアドレス）は 0x4001_C800

TCM_BASE_NS（TCM のベースアドレス）は 0x5001_C800

CPSCU_BASE_S（CPSCU のベースアドレス）は 0x4000_8000

CPSCU_BASE_NS（CPSCU のベースアドレス）は 0x5000_8000

セキュリティ属性レジスタ (TCMSAR) は PRCR.PRCR4 によって書き込み保護されています。TCMSAR レジスタは、すべての TCM レジスタのセキュリティ属性を制御します。TCMPRCR_S および TCMPRCR_NS は TCMCRn をセキュア書き込みおよび非セキュア書き込みから保護します。

表 2.38　レジスター覧 (1/2)

レジスタ名	アドレス（セキュアアクセス用）		アドレス（非セキュアアクセス用）	
TCMSAR	CPSCU_BASE_S +	0x504	—	—
TCMSABARC TCMSABARS	CPSCU_BASE_S +	0x508 0x50C	—	—
TCMPRCR_S	TCM_BASE_S +	0x00	—	—
TCMPRCR_NS	—	—	TCM_BASE_NS +	0x04
TCMCRC TCMCRS	TCM_BASE_S +	0x10 0x14	TCM_BASE_NS +	0x10 0x14
TCMESR	TCM_BASE_S +	0x40	TCM_BASE_NS +	0x40
TCMESCLR	TCM_BASE_S +	0x48	TCM_BASE_NS +	0x48

表 2.38 レジスター覧 (2/2)

レジスタ名	アドレス（セキュアアクセス用）		アドレス（非セキュアアクセス用）	
TCMEARC0 TCMEARC1 TCMEARS0 TCMEARS1	TCM_BASE_S +	0x50 0x54 0x58 0x5C	TCM_BASE_NS +	0x50 0x54 0x58 0x5C

2.17.3 レジスタの説明

2.17.3.1 TCMSAR : TCM セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x504

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TCMSA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCMSA	TCM 制御用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

セキュリティ：S-TYPE-1

プリビレッジ：P-TYPE-1

セキュアアクセスのみ本レジスタへ書き込み可能です。非セキュアリードアクセスは許可され、非セキュアライトアクセスは拒否されます。TrustZone アクセスエラーは発生しません。

TCMSA ビット（TCM 制御用レジスタのセキュリティ属性）

TCM 制御用レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- TCMCRx
- TCMESCLR

TCM にセキュアプログラム／セキュアデータが配置されている場合、TCMSA ビットは 0 に設定する必要があります。

2.17.3.2 TCMSABARx : TCM セキュリティ属性境界アドレスレジスタ （x = C または S）

Base address: CPSCU = 0x4000_8000

Offset address: 0x508 or 0x50C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	TCMSABA		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TCMSABA			—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:13	TCMSABA	セキュア／非セキュア間のバウンダリアドレス（非セキュア領域の開始アドレス）。	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

セキュリティ：S-TYPE-1

特権：P-TYPE-1

TCMSABARx は、各 TCM のセキュア領域／非セキュア領域間のバウンダリアドレスを指定します。TCMSABARx は、非セキュア領域の開始アドレスを示します。TCMSABARx の 32 ビット値は絶対アドレスに対応します。TCMSABARx に書き込むとき、ビット[31:19]およびビット[12:0]の値は 0 としてください。

バウンダリアドレスより下位の領域はセキュア領域であり、バウンダリアドレス以上の上位の領域は非セキュア領域です。

TCMSABARC

バウンダリアドレスが 0x0000_0000 のとき、全 C-TCM が非セキュア領域です。

バウンダリアドレスが 0x0001_0000 以上のとき、全 C-TCM がセキュア領域です。

初期バウンダリアドレスは 0x0007_E000 であるため、リセット後は全 C-TCM (64 KB) がセキュア領域です。

バウンダリアドレス設定は、CPU1 アドレスだけでなく、バスマスタアドレス（エイリアスアドレス）にも影響します。

表 2.39 C-TCM のアドレスマップ

アドレス	マスタ	SA
0x0000_0000～0x0000_0000 + TCMSABARC - 0x1	CPU1 (CM33)	セキュア
0x0000_0000 + TCMSABARC～0x0000_FFFF	CPU1 (CM33)	非セキュア
0x1000_0000～0x1000_0000 + TCMSABARC - 0x1	CPU1 (CM33)	セキュア
0x1000_0000 + TCMSABARC～0x1000_FFFF	CPU1 (CM33)	非セキュア
0x2A00_0000～0x2A00_0000 + TCMSABARC - 0x1	バスマスタ	セキュア
0x2A00_0000 + TCMSABARC～0x2A00_FFFF	バスマスタ	非セキュア
0x3A00_0000～0x3A00_0000 + TCMSABARC - 0x1	バスマスタ	セキュア
0x3A00_0000 + TCMSABARC～0x3A00_FFFF	バスマスタ	非セキュア

TCMSABARS

バウンダリアドレスが 0x0000_0000 のとき、全 S-TCM が非セキュア領域です。

バウンダリアドレスが 0x0001_0000 以上のとき、全 S-TCM がセキュア領域です。

初期バウンダリアドレスは 0x0007_E000 であるため、リセット後は全 S-TCM (64 KB) がセキュア領域です。

バウンダリアドレス設定は、CPU1 アドレスだけでなく、バスマスタアドレス（エイリアスアドレス）にも影響します。

表 2.40 S-TCM のアドレスマップ

アドレス	マスタ	SA
0x2000_0000～0x2000_0000 + TCMSABARS - 0x1	CPU1 (CM33)	セキュア
0x2000_0000 + TCMSABARS～0x2000_FFFF	CPU1 (CM33)	非セキュア
0x2A01_0000～0x2A01_0000 + TCMSABARS - 0x1	バスマスタ	セキュア
0x2A01_0000 + TCMSABARS～0x2A01_FFFF	バスマスタ	非セキュア
0x3000_0000～0x3000_0000 + TCMSABARS - 0x1	CPU1 (CM33)	セキュア
0x3000_0000 + TCMSABARS～0x3000_FFFF	CPU1 (CM33)	非セキュア
0x3A01_0000～0x3A01_0000 + TCMSABARS - 0x1	バスマスタ	セキュア
0x3A01_0000 + TCMSABARS～0x3A01_FFFF	バスマスタ	非セキュア

2.17.3.3 TCMPRCR_S : セキュア用 TCM 保護コントロールレジスタ

Base address: TCM = 0x4001_C800

Offset address: 0x00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KW[7:0]								—	—	—	—	—	—	—	PR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PR	レジスタ書き込み制御 0: 書き込みレジスタ禁止 1: 書き込みレジスタ許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KW[7:0]	書き込みキーコード PR ビットへのキーコード保護	R/W

注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

セキュリティ：S-TYPE-1

特権：P-TYPE-1

PR ビット（レジスタ書き込み制御）

PR ビットは、TCMSAR レジスタによりセキュアに指定されている TCMCRx レジスタの書き込みモードを制御します。本ビットが 1 のとき、セキュアに指定されている TCMCRx レジスタへの書き込みが許可されます。

KW[7:0]ビット（書き込みキーコード）

KW[7:0]ビットは、PR ビットへの書き込みを許可または禁止します。PR ビットへ書き込む際は、同時に KW[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KW[7:0]に書き込むと、PR ビットは更新されません。KW[7:0]ビットは読むと常に 0x00 が読み出されます。

2.17.3.4 TCMPRCR_NS : 非セキュア用 TCM 保護コントロールレジスタ

Base address: TCM_NS = 0x5001_C800

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KW[7:0]								—	—	—	—	—	—	—	PR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PR	レジスタ書き込み制御 0: 書き込みレジスタ禁止 1: 書き込みレジスタ許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KW[7:0]	書き込みキーコード PR ビットへのキーコード保護	R/W

注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

セキュリティ：S-TYPE-1

特権：P-TYPE-1

PR ビット（レジスタ書き込み制御）

PR ビットは、TCMSAR レジスタにより非セキュアに指定されている TCMCRx レジスタの書き込みモードを制御します。本ビットが 1 のとき、非セキュアに指定されている TCMCRx レジスタへの書き込みが許可されます。

KW[7:0]ビット（書き込みキーコード）

KW[7:0]ビットは、PR ビットへの書き込みを許可または禁止します。PR ビットへ書き込む際は、同時に KW[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KW[7:0]に書き込むと、PR ビットは更新されません。KW[7:0]ビットは読むと常に 0x00 が読み出されます。

2.17.3.5 TCMCRx : TCM コントロールレジスタ (x = C または S)

Base address: TCM = 0x4001_C800
TCM_NS = 0x5001_C800

Offset address: 0x10 or 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TSTBYP	—	—	E1STSEN	ECCMOD[1:0]		—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	ECC エラー検出後の動作 0: 割り込み 1: リセット	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3:2	ECCMOD[1:0]	ECC 動作モード選択 0 0: ECC 機能無効 0 1: 設定禁止 1 0: ECC 機能有効／エラーチェックなし 1 1: ECC 機能有効／エラーチェックあり	R/W
4	E1STSEN	ECC 1 ビットエラー情報更新許可 0: ECC 1 ビットエラー情報の更新禁止 1: ECC 1 ビットエラー情報の更新許可	R/W

ビット	シンボル	機能	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TSTBYP	ECC テスト許可／ECC バイパス選択 0: ECC バイパスは無効 1: ECC バイパスは有効	R/W

セキュリティ： S-TYPE-3 (TCMSAR.TCMSA)

特権：P-TYPE-2

本レジスタへの書き込みはプロテクトレジスタ（TCMPRCR_S または TCMPRCR_NS）によって保護されています。本レジスタは、TCMPRCR_S レジスタまたは TCMPRCR_S レジスタの PR ビットが 1 のときに限り書き込み可能です。

TCM へのアクセス中は本レジスタへ書き込まないでください。

ECC 有効の状態で、初期化されていない TCM に対して CPU0 および CPU1 が投機的アクセスを発行すると、割り込みまたはリセットが発生する可能性があります。エラーチェックありで ECC 機能を有効にした後は、IELSRn レジスタに割り込みを設定する前か OAD ビットにリセットを設定する前に、TCM を初期化してください。

OAD ビット（ECC エラー検出後の動作）

OAD ビットは、ECC エラーが検出された場合にリセットと割り込みのどちらを発生させるか選択します。

ECCMOD[1:0]ビット（ECC 動作モード選択）

ECCMOD[1:0]ビットは、ECC 領域へのアクセスモードを設定します。

E1STSEN ビット（ECC 1 ビットエラー情報更新許可）

E1STSEN ビットは、ECC 1 ビットエラーステータス TCMESR.ERRC0、TCMESR.ERRS0 の更新を許可または禁止します。

TCMCRx.E1STSEN = 0 のとき、ECC 1 ビット誤り訂正が行われた場合でも、TCMCRx.OAD の値に関係なく、エラー後の動作（NMI やリセットなど）は実行されません。

TSTBYP ビット（ECC テスト許可／ECC バイパス選択）

TSTBYP ビットは、ECC 機能をバイパスして ECC コードへの直接アクセスを許可します。

ECC バイパス機能は、同じレジスタの ECCMOD[1:0]ビットを 00b にして使用します。

ECC コード長は、32 ビットのデータの場合 7 ビットです。TSTBYP ビットが 1 の場合、読み出しデータのビット[6:0]が ECC コードとなり、読み出しデータのビット[31:7]は未定義、書き込みデータのビット[6:0]はアドレスの ECC 領域に書き込まれ、書き込みデータのビット[31:7]は無視されます。

ECC テストの詳細については、「2.17.4.1. ECC 機能」を参照してください。

2.17.3.6 TCMESR : TCM エラーステータスレジスタ

Base address: TCM = 0x4001_C800
TCM_NS = 0x5001_C800

Offset address: 0x40

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	ERRS1	ERRS0	ERRC1	ERRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ERRC0	C-TCM 1 ビット ECC エラーステータス 0: 1 ビット ECC エラー発生なし 1: 1 ビット ECC エラー発生あり	R

ビット	シンボル	機能	R/W
1	ERRC1	C-TCM 2 ビット ECC エラーステータス 0: 2 ビット ECC エラー発生なし 1: 2 ビット ECC エラー発生あり	R
2	ERRS0	S-TCM 1 ビット ECC エラーステータス 0: 1 ビット ECC エラー発生なし 1: 1 ビット ECC エラー発生あり	R
3	ERRS1	S-TCM 2 ビット ECC エラーステータス 0: 2 ビット ECC エラー発生なし 1: 2 ビット ECC エラー発生あり	R
15:4	—	読むと 0 が読めます。	R

注. 本レジスタは、デバッガが接続中にソフトウェアスタンバイモードから復帰した後に初期化されます。

セキュリティ：S-TYPE-5

特権：P-TYPE-2

TCMESR レジスタは、TCMESCLR レジスタの対応するビットまたはバスエラーリセットとメモリエラーリセット以外のリセットによってクリアされます。また、デバッガからのアクセス中も、TCMESR レジスタは更新されません。

ERRx0 ビット（x-TCM 1 ビット ECC エラーステータス）（x = C または S）

ERRx0 ビットは、x-TCM における 1 ビット ECC エラーの有無を示します。

エラーチェックありの ECC 機能が有効 (TCMCRx.ECCMOD = 2’b11) なときには、1 ビットエラー情報の更新が有効 (TCMCRx.E1STSEN = 1) な場合に 1 ビットエラーが検出されると、ERRx0 ビットが 1 に設定されます。ERRx0 ビットが 1 の場合、TCMCRx.OAD に従ってリセットまたは割り込み要求が発生します。

ERRx1 ビット（x-TCM 2 ビット ECC エラーステータス）（x = C または S）

ERRx1 ビットは、x-TCM における 2 ビット ECC エラーの有無を示します。

エラーチェックありの ECC 機能が有効 (TCMCRx.ECCMOD = 2’b11) なときには、2 ビットエラーが検出された場合に ERRx1 ビットが 1 に設定されます。

ERRx1 ビットが 1 の場合、TCMCRx.OAD に従ってリセットまたは割り込み要求が発生します。

ステータスがクリアされ、同時にエラーが発生した場合、エラーは無視され、ステータスはクリアされます。

2.17.3.7 TCMESCLR : TCM エラーステータスクリアレジスタ

Base address: TCM = 0x4001_C800
TCM_NS = 0x5001_C800

Offset address: 0x48

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CLRS1	CLRS0	CLRC1	CLRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLRC0	C-TCM 1 ビット ECC エラーステータスクリア CLRC0 に書き込むと TCMESR.ERRC0 と TCMEARC0.EAR がクリアされます。 1: クリアエラー	R/W(注1)
1	CLRC1	C-TCM 2 ビット ECC エラーステータスクリア CLRC1 に書き込むと TCMESR.ERRC1 と TCMEARC1.EAR がクリアされます。 1: クリアエラー	R/W(注1)
2	CLRS0	S-TCM 1 ビット ECC エラーステータスクリア CLRS0 に書き込むと TCMESR.ERRS0 と TCMEARS0.EAR がクリアされます。 1: クリアエラー	R/W(注1)

ビット	シンボル	機能	R/W
3	CLRS1	S-TCM 2 ビット ECC エラーステータスクリア CLRS1 に書き込むと TCMESR.ERRS1 と TCMEARS1.EAR がクリアされます。 1: クリアエラー	R/W(注1)
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 1 の書き込みのみ有効です。書き込み値は保持されず、読むと 0 が読めます。

セキュリティ：S-TYPE-3 (TCMSAR.TCMSA)

特権：P-TYPE-2

CLRx0 ビット（x-TCM 1 ビット ECC エラーステータスクリア）（x = C または S）

CLRx0 ビットで、TCMESR の 1 ビット ECC エラーステータスビットをクリアできます。

TCMESR.ERRx0 は、CLRx0 に 1 を書き込むとクリアできます。

CLRx1 ビット（x-TCM 2 ビット ECC エラーステータスクリア）（x = C または S）

CLRx1 ビットで、TCMESR の 2 ビット ECC エラーステータスビットをクリアできます。

TCMESR.ERRx1 は、CLRx1 に 1 を書き込むとクリアできます。

ステータスがクリアされ、同時にエラーが発生した場合、エラーは無視され、ステータスはクリアされます。

2.17.3.8 TCMEARxm : TCM エラーアドレスレジスタ （x = C または S） (m = 0～1)

Base address: TCM = 0x4001_C800
TCM_NS = 0x5001_C800

Offset address: 0x50, 0x54, 0x58 or 0x5C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EAR[17:2]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EAR[17:2]														—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:2	EAR[17:2]	SRAM エラーが発生すると、エラーアドレスが格納されます。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは、デバッガが接続中にソフトウェアスタンバイモードから復帰した後に初期化されます。

セキュリティ：S-TYPE-5

特権：P-TYPE-2

本レジスタは、TCMESCLR レジスタの対応するビットまたはバスエラーリセットとメモリエラーリセット以外のリセットによってクリアされます。また、デバッガからのアクセス中も、このレジスタは更新されません。

TCMEARx0 ビット

本レジスタは、1 ビット ECC エラーが検出されたエラーアドレスを格納します。本ビットは、最初に発生したエラーアドレスを保持します。このビットは、TCMESCLR.CLRx0 からの 1 ビット ECC エラーをクリアすることによって、クリアされます。

TCMEARx1 ビット

本レジスタは、2 ビット ECC エラーが検出されたエラーアドレスを格納します。本ビットは、最初に発生したエラーアドレスを保持します。このビットは、TCMESCLR.CLRx1 からの 2 ビット ECC エラーをクリアすることによって、クリアされます。

ステータスがクリアされ、同時にエラーが発生した場合、エラーは無視され、ステータスはクリアされます。

2.17.4 動作説明

2.17.4.1 ECC 機能

2.17.4.1.1 ECC エラーの修正

TCMCRx.ECCMOD[1:0]ビットの設定によって、ECC 誤り訂正の有効・無効を選択することができます。初期状態では、ECC 誤り訂正は無効です。ECC チェックのタイプは、SEC-DED（Single-Error Correction/Double-Error Detection Code：単一誤り訂正／二重誤り検出符号）です。

ECC 機能が有効である場合、32 ビットのデータから 7 ビットの ECC コードが生成されます。TCM への書き込みは、32 ビットのデータと 7 ビットの ECC コードです。読み出しの場合は、32 ビットのデータと 7 ビットの ECC コードが TCM から読み出されます。

エラーチェック機能ありの ECC 機能が有効の場合、1 ビットエラーが発生すると誤り訂正が実行され、TCMCRx.E1STSEN ビットが 1 のときは TCMESR.ERRx0 ビットが 1 になります。2 ビットエラーが発生すると、誤り検出が実行され、TCMESR.ERRx1 ビットが 1 になりますが、誤り訂正は実行されません。

エラーチェック機能なしの ECC 機能が有効の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、TCMCRx.E1STSEN ビットが 1 であっても TCMESR.ERRx0 ビットは更新されません。2 ビットエラーが発生すると、誤り検出は実行されますが、TCMESR.ERRx1 ビットは更新されず、誤り訂正は実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。そのため、TCMESR.ERRx0 ビットおよび TCMESR.ERRx1 ビットの更新は行われません。

エラー発生後のデータ更新時には、32 ビットデータ書き込みだけがサポートされます。電源投入後およびディープソフトウェアスタンバイモード解除後、TCM データは不定であるため、ECC 機能が有効でエラーチェックが選択されている場合に TCM にアクセスを行うと、ECC エラーが発生します。したがって、ECC 機能を使用する前には、TCM 内で使用する領域に 32 ビットデータサイズの初期書き込み、または ECC 機能が有効でエラーチェックが無効の場合の初期書き込みを実行してください。

2.17.4.1.2 ECC エラー割り込み機能

エラーチェックありの ECC 機能が有効な場合、TCM においてエラーチェックが可能です。2 ビットエラーの場合、TCMESR.ERRx1 ビットが 1 に設定されます。1 ビットエラーの場合、TCMCRx.E1STSEN ビットが 1 のとき、TCMESR.ERRx0 ビットが 1 に設定されます。

ECC 1 ビットエラーをマスクする場合は、TCMESR.ERRx0 ビットの 1 への設定を禁止するために、TCMCRx.E1STSEN ビットを 0 にする必要があります。ECC 機能が無効になっているときや、エラーチェックなしの ECC 機能が有効になっているときには、ECC エラーは生成されません。

ECC エラーにより、リセットまたは割り込みが要求されることがあります。ECC エラーが発生した場合、TCMCRx.OAD ビットが 1 のときは、リセット要求が出力されます。TCMCRx.OAD ビットが 0 のとき、割り込み要求は ICU に出力されます。

ECC エラーは、TCMESR レジスタのエラーステータスが 1 に設定されたときに発生します。TCMESR レジスタのエラーステータスがクリアされるまで、ECC エラー割り込みは発生し続けます。

2.17.4.1.3 ECC デコーダのテスト方法

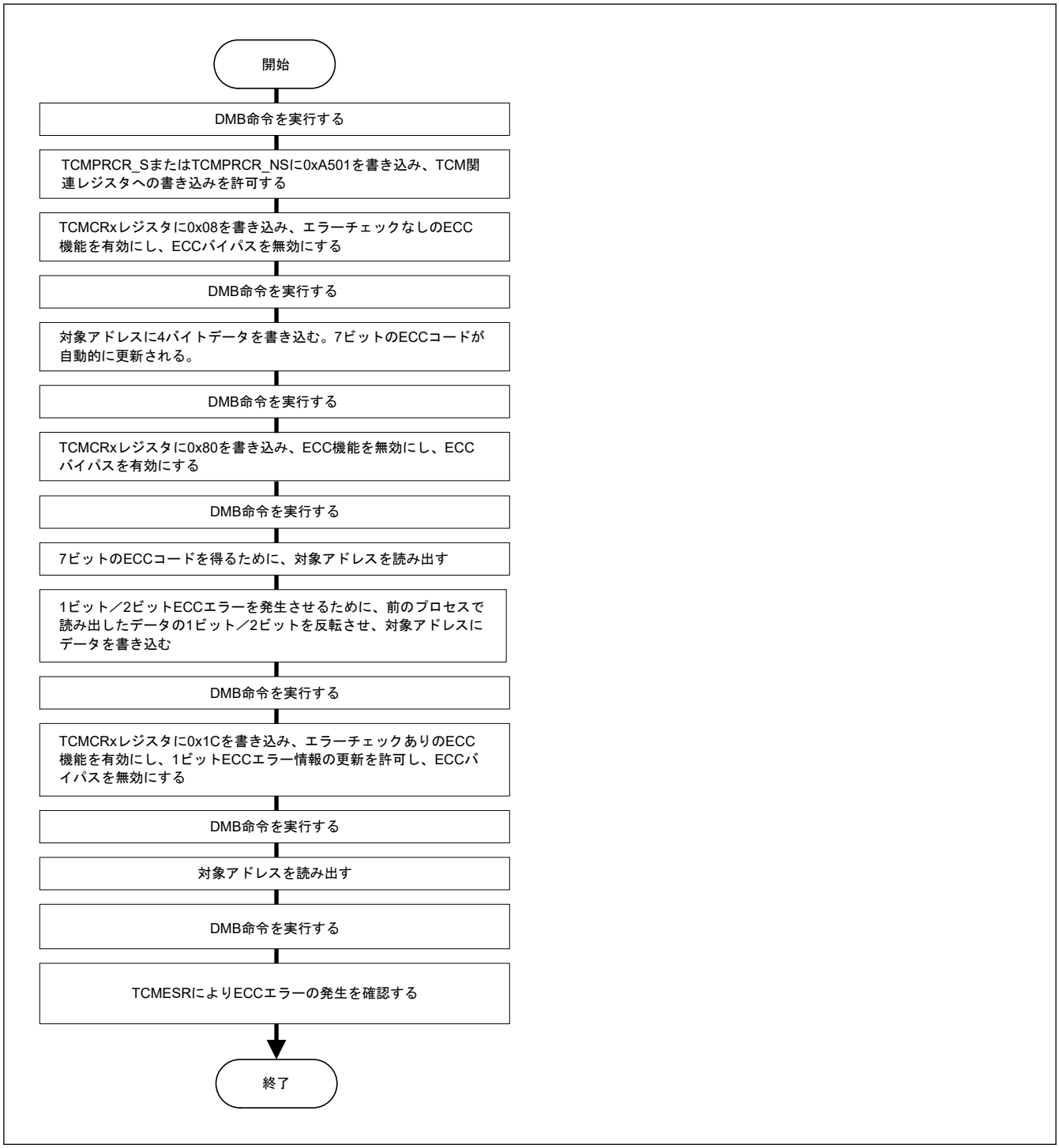


図 2.12 ECC デコーダのテストフロー

2.17.4.2 TrustZone フィルタ機能

2.17.4.2.1 TCM レジスタ用 TrustZone フィルタ

TCM レジスタは、セキュリティ属性 (SA) に応じて非セキュアまたはセキュアトランザクションから保護できます。TCM レジスタがセキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、アクセスから保護するため、非セキュアトランザクションはこのレジスタにアクセスできません。TCM レジスタが非セキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、アクセスから

保護するため、セキュアトランザクションはこのレジスタにアクセスできません。TCM レジスタの SA は、TCM レジスタ間共通で同一の設定が使用されます。

TrustZone フィルタエラーが原因でアクセスに失敗した場合は、エラー応答が発生します。

SA	トランザクション	書き込みアクセス	読み出しアクセス
セキュア	セキュア	許可	許可
	非セキュア	保護 （TrustZone フィルタエラー）	保護 （TrustZone フィルタエラー）
非セキュア	セキュア	保護 （TrustZone フィルタエラー）	保護 （TrustZone フィルタエラー）
	非セキュア	許可	許可

2.17.4.2.2 TCM メモリ領域用 TrustZone フィルタ

C-TCM 領域と S-TCM 領域は、独立してセキュアと非セキュアに分割できます。これらの領域へのアクセス許可は、以下のとおりです。

SA	トランザクション	書き込みアクセス	読み出しアクセス
セキュア	セキュア	許可	許可
	非セキュア	保護 （TrustZone フィルタエラー）	保護 （TrustZone フィルタエラー）
非セキュア	セキュア	保護 （TrustZone フィルタエラー）	保護 （TrustZone フィルタエラー）
	非セキュア	許可	許可

TCM メモリ用 TrustZone フィルタのエラーが発生すると、エラー通知が生成されます。

詳細は、「51. セキュリティ機能」を参照してください。

2.17.4.3 割り込み要因

TCM 割り込み要因には、ECC エラーと TrustZone フィルタエラーがあります。

ECC エラーは、TCMCRx.OAD ビットにより、リセット要求または割り込み要求を選択できます。

TCM 割り込みは、TCMESR レジスタのエラーステータスが 1 に設定されたときに発生します。TCMESR レジスタのエラーステータスがクリアされるまで、TCM 割り込みは発生し続けます。

ローカルメモリエラーが発生した場合（NMISR.LMST = 1 または RSTSR1.LM1RF = 1）、TCMESR を読み出し、TCM 割り込み要因を確認します。デバッガからのアクセスがあると、エラーの検出と訂正は行われますが、エラーステータスは設定されません。また、リセット要求も割り込み要求も出力されません。

デバッグモードの詳細は、「2. CPU」を参照してください。

表 2.41 TCM 割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
ECCERR	ECC エラー（ECC ありの x-TCM）	不可	不可
TZFLT	TrustZone フィルタエラー	不可	不可

2.17.4.4 ウェイトサイクル

ECC 機能が有効で (TCMCRx.ECCMOD[1] = 1)、アクセスサイズが 32 ビット以外（例えば、8 ビットまたは 16 ビット）の場合、ウェイトサイクルが発生します。

バスマスタのアクセスと CPU1 のアクセスが競合した場合、CPU1 の優先順位が高いため、CPU1 のアクセスが終了するまで TCM のバスインタフェースはバスマスタにウェイトサイクルを返します。

CPU1 に、または TCM へのバスマスタのアクセスにセキュリティ違反がある場合、TCM は AHB エラーでウェイトサイクルを挿入して応答します。その他の場合、ウェイトサイクルは必要ありません。

2.17.5 使用上の注意事項

2.17.5.1 TCM メモリセルテストの注意点

TCM は書き込みバッファを持っているため、書き込み後に同じアドレスから読み出すと、TCM メモリセルではなくライトバッファのデータが読み出される場合があります。TCM メモリセルのテスト用に書き込んだデータを読み出すときは、次の手順に従って書き込みを挿入して、ライトバッファからの読み出しを回避します。

1. テスト対象アドレスにデータを書き込みます。
2. 同じ TCM 内で、手順 1.のアドレスから 4 つ以上離れたアドレスに書き込みます。
3. 手順 1.のアドレスからデータを読み出します。

3. プロセッサ間通信 (IPC)

3.1 概要

プロセッサ間通信 (IPC) は、2 つのプロセッサ間でハードウェア共有と通信をサポートします。IPC は、各プロセッサ間の通信をサポートするために割り込みイベントを発生させることができます。

プロセッサ間の相互排他的アクセスを実現するには、複数のセマフォメカニズムが必要です。これを実現するために、IPC は複数のロックを実装しています。アプリケーション開発者は、2 つの CPU 間で個別のハードウェアセマフォを使用するか、共有ハードウェアセマフォを使用するかを選択します。また、CPU 間で単純なデータ通信を行うためのメカニズムも必要です。例えば、CPU0 は書き込み専用データ用に、CPU1 は読み出し専用データ用に使用する FIFO などです。また、相互利用のため、CPU1 は書き込み専用データ、CPU0 は読み取り専用データとして FIFO が必要です。表 3.1 に IPC の仕様を示します。

表 3.1 IPC の仕様

項目		説明
セマフォ	ロック情報	• 合計 16 要因 • セキュリティ属性とプリビレッジ属性が 8 要因ごとに選択されます
プロセッサ間割り込み	ノンマスカブル	• IPC0: 1 要因、1 つのノンマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます。 • IPC1: 1 要因、1 つのノンマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます。
	マスカブル	• IPC00: 8 要因、1 つのマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます。(注1) • IPC01: 8 要因、1 つのマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます。(注1) • IPC10: 8 要因、1 つのマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます。(注1) • IPC11: 8 要因、1 つのマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます。(注1)
メッセージ FIFO	FIFO	• メッセージ FIFO 00 (CPU1 -> CPU0)、1 つのマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます(注1) • メッセージ FIFO 01 (CPU1 -> CPU0)、1 つのマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます(注1) • メッセージ FIFO 10 (CPU0 -> CPU1)、1 つのマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます(注1) • メッセージ FIFO 11 (CPU0 -> CPU1)、1 つのマスカブル割り込み、セキュリティ属性、およびプリビレッジ属性が選択されます(注1) • FIFO 段数 4 • 転送データサイズ 32 ビット
	エラー情報	• FIFO フルで書き込み(注1) • FIFO エンプティで読み出し(注1)

注 1. IPC00、メッセージ FIFO 00、エラー情報の割り込みは共通です。他に対しても同様です。

3.2 レジスタの説明

IPC_BASE（IPC のベースアドレス）は 0x4002_0000（セキュア）および 0x5002_0000（非セキュア）です。

CPSCU_BASE（CPSCU のベースアドレス）は 0x4000_8000（セキュア）および 0x5000_8000（非セキュア）です。

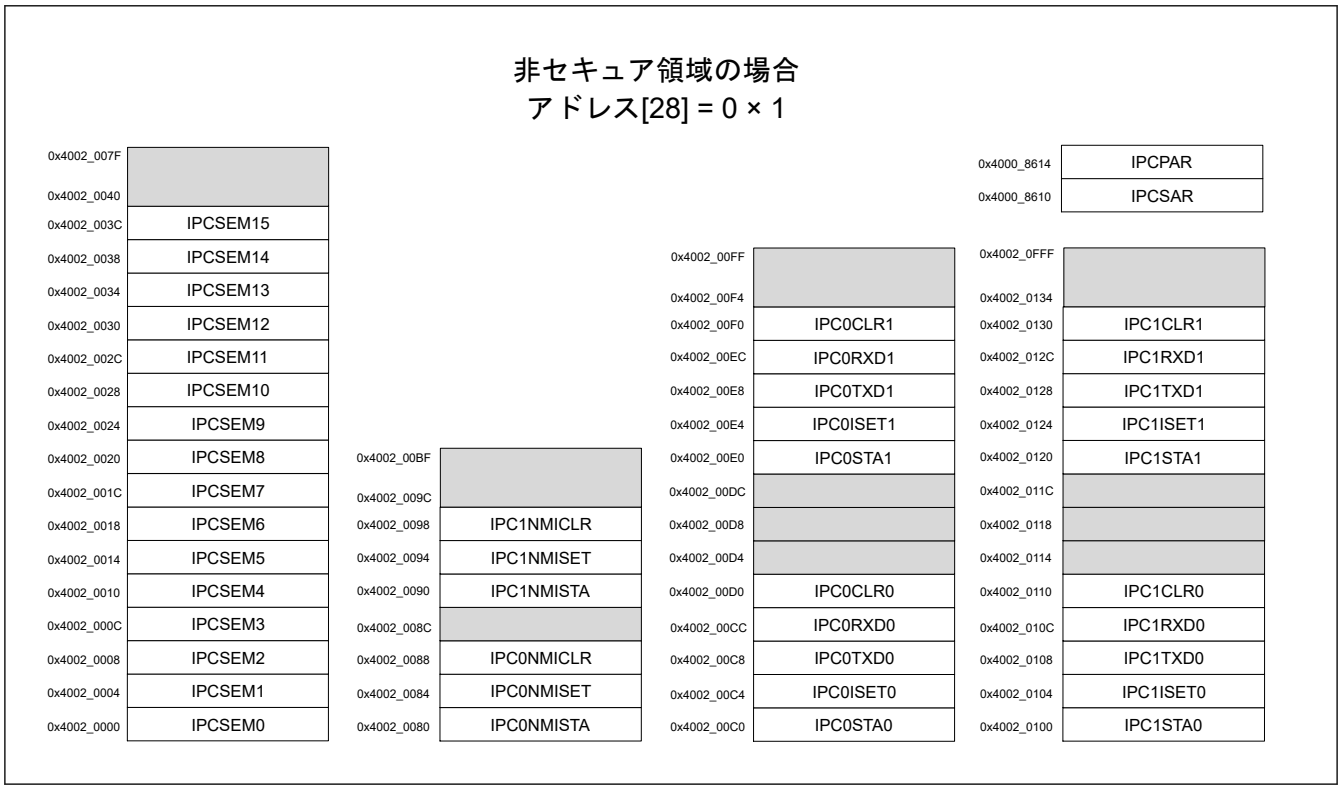


図 3.1 IPC レジスタのアドレスマップ

3.2.1 IPCSAR : IPC セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x610

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SAIPCIR3	SAIPCIR2	SAIPCIR1	SAIPCIR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SAIPCNMI1	SAIPCNMI0	—	—	—	—	—	—	SAIPCSEM1	SAIPCSEM0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SAIPCSEM0	IPCSEMn (n = 0～7)のレジスタのセキュリティ属性 IPCPAR.PAIPCSEM0 のセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	SAIPCSEM1	IPCSEMn (n = 8～15)のレジスタのセキュリティ属性 IPCPAR.PAIPCSEM1 のセキュリティ属性 0: セキュア 1: 非セキュア	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	SAIPCNMI0	IPC0NMISTA、IPC0NMISET、および IPC0NMICLR のセキュリティ属性 IPCPAR.PAIPCNMI0 のセキュリティ属性 0: セキュア 1: 非セキュア	R/W
9	SAIPCNMI1	IPC1NMISTA、IPC1NMISET、および IPC1NMICLR のセキュリティ属性 IPCPAR.PAIPCNMI1 のセキュリティ属性 0: セキュア 1: 非セキュア	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SAIPCIR0	IPC0STA0、IPC0ISET0、IPC0TXD0、IPC0RXD0、および IPC0CLR0 レジスタのセキュリティ属性 IPCPAR.PAIPCIR0 のセキュリティ属性 0: セキュア 1: 非セキュア	R/W
17	SAIPCIR1	IPC0STA1、IPC0ISET1、IPC0TXD1、IPC0RXD1、および IPC0CLR1 レジスタのセキュリティ属性 IPCPAR.PAIPCIR1 のセキュリティ属性 0: セキュア 1: 非セキュア	R/W
18	SAIPCIR2	IPC1STA0、IPC1ISET0、IPC1TXD0、IPC1RXD0、および IPC1CLR0 レジスタのセキュリティ属性 IPCPAR.PAIPCIR2 のセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19	SAIPCIR3	IPC1STA1、IPC1ISET1、IPC1TXD1、IPC1RXD1、および IPC1CLR1 レジスタのセキュリティ属性 IPCPAR.PAIPCIR3 のセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1

本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIPCSEM0 ビット

レジスタのセキュリティ属性対象のレジスタを以下に示します。

- IPCSEM0～IPCSEM7 レジスタ
- IPCPAR.PAIPCSEM0 ビット

SAIPCSEM1 ビット

レジスタのセキュリティ属性対象のレジスタを以下に示します。

- IPCSEM8～IPCSEM15 レジスタ
- IPCPAR.PAIPCSEM1 ビット

SAIPCNMI0 ビット

レジスタのセキュリティ属性対象のレジスタを以下に示します。

- IPC0NMISTA レジスタ
- IPC0NMISET レジスタ
- IPC0NMICLR レジスタ
- IPCPAR.PAIPCNMI0 ビット

SAIPCNMI1 ビット

レジスタのセキュリティ属性対象のレジスタを以下に示します。

- IPC1NMISTA レジスタ

- IPC1NMISET レジスタ
- IPC1NMICLR レジスタ
- IPCPAR.PAIPCNMI1 ビット

SAIPCIR0 ビット

レジスタのセキュリティ属性対象のレジスタを以下に示します。

- IPC0STA0 レジスタ
- IPC0ISET0 レジスタ
- IPC0TXD0 レジスタ
- IPC0RXD0 レジスタ
- IPC0CLR0 レジスタ
- IPCPAR.PAIPCIR0 ビット

SAIPCIR1 ビット

レジスタのセキュリティ属性対象のレジスタを以下に示します。

- IPC0STA1 レジスタ
- IPC0ISET1 レジスタ
- IPC0TXD1 レジスタ
- IPC0RXD1 レジスタ
- IPC0CLR1 レジスタ
- IPCPAR.PAIPCIR1 ビット

SAIPCIR2 ビット

レジスタのセキュリティ属性対象のレジスタを以下に示します。

- IPC1STA0 レジスタ
- IPC1ISET0 レジスタ
- IPC1TXD0 レジスタ
- IPC1RXD0 レジスタ
- IPC1CLR0 レジスタ
- IPCPAR.PAIPCIR2 ビット

SAIPCIR3 ビット

レジスタのセキュリティ属性対象のレジスタを以下に示します。

- IPC1STA1 レジスタ
- IPC1ISET1 レジスタ
- IPC1TXD1 レジスタ
- IPC1RXD1 レジスタ
- IPC1CLR1 レジスタ
- IPCPAR.PAIPCIR3 ビット

3.2.2 IPCPAR : IPC 特権属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x614

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PAIPCIR3	PAIPCIR2	PAIPCIR1	PAIPCIR0
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PAIPCNMI1	PAIPCNMI0	—	—	—	—	—	—	PAIPCSEM1	PAIPCSEM0
Value after reset:	x	x	x	x	x	x	1	1	x	x	x	x	x	x	1	1

ビット	シンボル	機能	R/W
0	PAIPCSEM0	IPCSEMn (n = 0～7)のレジスタのプリビレッジ属性 0: プリビレッジ 1: アンプリビレッジ	R/W
1	PAIPCSEM1	IPCSEMn (n = 8～15)のレジスタのプリビレッジ属性 0: プリビレッジ 1: アンプリビレッジ	R/W
7:2	—	読み出し値は不定です。書く場合、1 としてください。	R/W
8	PAIPCNMI0	IPC0NMISTA、IPC0NMISET、および IPC0NMICLR レジスタの特権属性 0: プリビレッジ 1: アンプリビレッジ	R/W
9	PAIPCNMI1	IPC1NMISTA、IPC1NMISET、および IPC1NMICLR レジスタの特権属性 0: プリビレッジ 1: アンプリビレッジ	R/W
15:10	—	読み出し値は不定です。書く場合、1 としてください。	R/W
16	PAIPCIR0	IPC0STA0、IPC0ISET0、IPC0TXD0、IPC0RXD0、および IPC0CLR0 レジスタの特権属性 0: プリビレッジ 1: アンプリビレッジ	R/W
17	PAIPCIR1	IPC0STA1、IPC0ISET1、IPC0TXD1、IPC0RXD1、および IPC0CLR1 レジスタの特権属性 0: プリビレッジ 1: アンプリビレッジ	R/W
18	PAIPCIR2	IPC1STA0、IPC1ISET0、IPC1TXD0、IPC1RXD0、および IPC1CLR0 レジスタの特権属性 0: プリビレッジ 1: アンプリビレッジ	R/W
19	PAIPCIR3	IPC1STA1、IPC1ISET1、IPC1TXD1、IPC1RXD1、および IPC1CLR1 レジスタの特権属性 0: プリビレッジ 1: アンプリビレッジ	R/W
31:20	—	読み出し値は不定です。書く場合、1 としてください。	R/W

注. S-TYPE-2、P-TYPE-1

本レジスタのビットのセキュリティ属性は、対応する IPCSAR のビットで決定されます。

本レジスタはセキュリティ属性設定に従って 1 ビットずつ書き込み保護されています。

セキュアビットは PRCR_S.PRC4 レジスタによって書き込み保護されています。

非セキュアビットは PRCR_NS.PRC4 レジスタによって書き込み保護されています。

PAIPCSEM0 ビット

レジスタの特権属性対象のレジスタを以下に示します。

- IPCSEM0～IPCSEM7 レジスタ

PAIPCSEM1 ビット

レジスタの特権属性対象のレジスタを以下に示します。

- IPCSEM8～IPCSEM15 レジスタ

PAIPCNMI0 ビット

レジスタの特権属性対象のレジスタを以下に示します。

- IPC0NMISTA レジスタ
- IPC0NMISET レジスタ
- IPC0NMICLR レジスタ

PAIPCNMI1 ビット

レジスタの特権属性対象のレジスタを以下に示します。

- IPC1NMISTA レジスタ
- IPC1NMISET レジスタ
- IPC1NMICLR レジスタ

PAIPCIR0 ビット

レジスタの特権属性対象のレジスタを以下に示します。

- IPC0STA0 レジスタ
- IPC0ISET0 レジスタ
- IPC0TXD0 レジスタ
- IPC0RXD0 レジスタ
- IPC0CLR0 レジスタ

PAIPCIR1 ビット

レジスタの特権属性対象のレジスタを以下に示します。

- IPC0STA1 レジスタ
- IPC0ISET1 レジスタ
- IPC0TXD1 レジスタ
- IPC0RXD1 レジスタ
- IPC0CLR1 レジスタ

PAIPCIR2 ビット

レジスタの特権属性対象のレジスタを以下に示します。

- IPC1STA0 レジスタ
- IPC1ISET0 レジスタ
- IPC1TXD0 レジスタ
- IPC1RXD0 レジスタ
- IPC1CLR0 レジスタ

PAIPCIR3 ビット

レジスタの特権属性対象のレジスタを以下に示します。

- IPC1STA1 レジスタ
- IPC1ISET1 レジスタ
- IPC1TXD1 レジスタ

- IPC1RXD1 レジスタ
- IPC1CLR1 レジスタ

3.2.3 IPCSEMn : セマフォレジスタ n (n = 0～15)

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x000 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOCK
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LOCK	このビットは、共有リソースがロックされたことを示します。 1 になる条件：このレジスタを読み出す。 0 になる条件：このビットに 1 を書き込む。 0: ロック解除 1: ロックする	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. LOCK ビットは、b0 を含まないハーフワードアクセスやバイトアクセスでの読み出しに対しては設定されません。
注. S-TYPE-3、P-TYPE-3

IPC には、CPU0 と CPU1 の間で同期および排他制御を行うためのセマフォを実行するレジスタがあります。このレジスタは状態のみを示し、共有メモリに対するハードウェア保護は備えていません。そのため、このレジスタを使用するソフトウェアで排他制御を行う必要があります。

このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

LOCK ビット（共用リソースがセマフォ制御用にロックされている）

このレジスタの LOCK ビットは、プロセッサ間の相互排他的アクセスを行うために使用されます。このビットを使用することで、アプリケーション開発者は、ハードウェアセマフォを 2 つのプロセッサ間で個別に使用するか、共通で使用するかを選択できます。

3.2.4 IPC0NMISTA : プロセッサ 0 間 NMI 要求ステータスレジスタ

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x080

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NMI	このビットは、割り込み要求の状態を示します。 0: 割り込みを要求しない 1: 割り込みを要求する	R
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3

IPC0NMISTA

レジスタは、CPU0 から CPU1 へのノンマスカブル割り込みが発行されたことを示します。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

NMI ビット（NMI 要求設定）

NMI ビットは、NMI 割り込み要求が CPU0 から CPU1 に発行されたことを示します。

3.2.5 IPC0NMISET : プロセッサ 0 間 NMI 要求設定レジスタ

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x084

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SET
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SET	このビットに 1 を書き込むと、IPC0NMISTA.NMI が設定されます。	W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

IPC0NMISET

レジスタは、CPU0 から CPU1 へのノンマスカブル割り込みを発行するために使用されます。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

SET ビット（NMI 要求設定）

1 を書き込むと、IPC0NMISTA.NMI が 1 に設定され、CPU0 に NMI 割り込みが発行されます。

3.2.6 IPC0NMICLR : プロセッサ 0 間 NMI 要求クリアレジスタ

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x088

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLR	このビットに 1 を書き込むと、IPC0NMISTA.NMI がクリアされます。	W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

IPC0NMICLR

レジスタは、CPU1 から CPU0 へのノンマスカブル割り込みを取り消すために使用されます。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

CLR ビット（NMI 要求クリア）

1 を書き込むと、IPC0NMISTA.NMI が 0 にクリアされ、CPU0 への NMI 割り込みが取り消されます。

3.2.7 IPC1NMISTA : プロセッサ 1 間 NMI 要求ステータスレジスタ

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NMI	このビットは、割り込み要求の状態を示します。 0: 割り込みを要求しない 1: 割り込みを要求する	R
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3

IPC1NMISTA

レジスタは、CPU0 から CPU1 へのノンマスカブル割り込みが発行されたことを示します。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

NMI ビット（NMI 要求ステータス）

NMI ビットは、NMI 割り込み要求が CPU0 から CPU1 に発行されたことを示します。

3.2.8 IPC1NMISET : プロセッサ 1 間 NMI 要求設定レジスタ

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x094

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SET
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SET	このビットに 1 を書き込むと、IPC1NMISTA.NMI が設定されます。	W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

IPC1NMISET

レジスタは、CPU0 から CPU1 へのノンマスカブル割り込みを発行するために使用されます。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

SET ビット（NMI 要求設定）

1 を書き込むと、IPC1NMISTA.NMI が 1 に設定され、CPU1 に NMI 割り込みが発行されます。

3.2.9 IPC1NMICLR : プロセッサ間 1 NMI 要求クリアレジスタ

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLR	このビットに 1 を書き込むと、IPC1NMISTA.NMI がクリアされます。	W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

CPU0 から CPU1 へのノンマスカブル割り込みを取り消すために、
IPC1NMICLR

レジスタが使用されます。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

CLR ビット（NMI 要求クリア）

1 を書き込むと、IPC1NMISTA.NMI が 0 にクリアされ、CPU1 への NMI 割り込みが取り消されます。

3.2.10 IPC0STA0 : プロセッサ 0 間ステータスレジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FERR	RERR	—	—	—	—	—	—	FULL	RDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IRQ7～IRQ0	このビットは、割り込み要求の状態を示します。 0: 割り込みを要求しない 1: 割り込みを要求する	R
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	RDY	このビットは、FIFO がエンプティでないときに設定されます。 このビットは、割り込み要求のために使用されます。 0: FIFO 00 の準備ができていない 1: FIFO 00 の準備ができている	R
17	FULL	0: FIFO 00 はフルではない 1: FIFO 00 はフルである	R
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R
24	RERR	エンプティにも関わらず、メッセージ FIFO 00 がデータを読み出そうとしたことを示します。 0: エラーではない。割り込みを要求しない。 1: エラー。割り込みを要求する。	R
25	FERR	メッセージ FIFO 00 が、フルの状態でさらにデータを送信しようとしたことを示します。 0: エラーではない。割り込みを要求しない。 1: エラー。割り込みを要求する。	R
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3

このレジスタは、CPU1 から CPU0 へのマスカブル割り込み IPC0IRQ0 のステータスを示します。IRQn (n = 0～7)、RDY、RERR、または FERR のいずれかが「1」であるとき、IPC0IRQ0 割り込みが発行されます。割り込みハンドラのこのレジスタを読み出して、どの割り込みが発生したかを判別します。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

IRQn ビット（割り込み要求ステータス n (n = 0～7)）

これらのビットは、CPU0 への割り込みを示します。IPC0ISET0.SETn に 1 を書き込むと、IRQn が「1」になります。IPC0CLR0.CLRn に 1 を書き込むと、IRQn が「0」にクリアされます。いずれかのビットが「1」になると、IPC0IRQ0 割り込み要求が発行されます。

RDY ビット（受信データレディ）

このビットが「1」であるとき、CPU0 用のメッセージ FIFO 00 に受信データがあることを示します。メッセージ FIFO がエンプティであるとき、このビットは「0」です。このビットが「1」になると、IPC0IRQ0 割り込み要求が発行されます。

FULL ビット（FIFO フル）

メッセージ FIFO 00 の容量は 4 です。このビットが「1」であるとき、メッセージ FIFO 00 がフルであることを示します。

RERR ビット（RDY エラーステータス）

RDY ビットが「0」であるときに IPC0RXD0 を読み出すと、このビットは「1」になります。IPC0CLR0.RCLR ビットに「1」を書き込むと、このビットは「0」にクリアされます。このビットが「1」になると、IPC0IRQ0 割り込み要求が発行されます。

FERR ビット（FULL エラーステータス）

FULL ビットが「1」であるときに IPC0TXD0 に書き込むと、このビットは「1」になります。IPC0CLR0.FCLR ビットに「1」を書き込むと、このビットは「0」にクリアされます。このビットが「1」になると、IPC0IRQ0 割り込み要求が発行されます。

3.2.11 IPC0ISET0 : プロセッサ間 0 IRQ 要求設定レジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SET7	SET6	SET5	SET4	SET3	SET2	SET1	SET0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SETn (n = 0～7)	このビットに 1 を書き込むと、IPC0STA0.IRQn が設定されます。	W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

CPU0 から CPU1 へのマスカブル割り込みを発行するために、
IPC0ISET0

レジスタが使用されます。IRQ には 8 つのイベントが割り当てられますが、割り込みイベントは 1 つだけです。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

SETn ビット（割り込み要求設定 n (n = 0～7)）

1 を書き込むと、IPC0STA0.IRQn が 1 に設定され、CPU0 へのマスカブル割り込みが発行されます。

3.2.12 IPC0TXD0 : プロセッサ間 0 FIFO 転送データ レジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0C8

Bit position:	31	0
Bit field:	TXD[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	TXD[31:0]	メッセージ FIFO 00 への送信データ	W

注. 32 ビットデータサイズでの書き込みのみが有効です。ハーフワードまたはバイトアクセスは無視されます。
注. S-TYPE-3, P-TYPE-3

CPU1 から CPU0 へのメッセージ FIFO 00 へデータを書き込むためのレジスタです。CPU1 がこのレジスタに書き込みます。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

TXD[31:0]ビット（メッセージ FIFO 00 への送信データ）

このレジスタに書き込みをすると、メッセージ FIFO 00 に送信データを設定し IPC0STA0.RDY ビットが「1」になります。IPC0STA0.FULL ビットが「1」であるときにこのレジスタに書き込むと、書き込み動作は無視され、IPC0STA0.FERR ビットが「1」になります。

3.2.13 IPC0RXD0 : プロセッサ間 0 FIFO 受信データレジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0CC

Bit position:	31																												0
Bit field:	RXD[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RXD[31:0]	メッセージ FIFO 00 からの受信データ このレジスタを読み出すと、メッセージ FIFO 00 の次の受信データに更新されます。	R

注. TRZ エラーが発生すると、読み出しは 0 になり、次のデータを更新しません。
S-TYPE-3, P-TYPE-3

このレジスタは、CPU1 から CPU0 へのメッセージ FIFO 00 から受信データを読み出すためのものです。CPU0 がこのレジスタを読み出します。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

RXD[31:0]ビット（メッセージ FIFO 00 からの受信データ）

IPC0STA0.RDY ビットが「0」であるときにこのレジスタを読み出すと、IPC0STA0.RERR ビットは「1」になります。

3.2.14 IPC0CLR0 : プロセッサ間 0 クリアレジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FCLR	RCLR	—	—	—	—	—	—	—	RST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CLRn (n = 0～7)	このビットに 1 を書き込むと、IPC0STA0.IRQn がクリアされます。	W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	W
16	RST	1 を書き込むと、メッセージ FIFO 00 がリセットされます。	W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	W
24	RCLR	1 を書き込むと、IPC0STA0.RERR がリセットされます。	W
25	FCLR	1 を書き込むと、IPC0STA0.FERR がリセットされます。	W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

CPU1 から CPU0 へのマスカブル割り込みを取り消すために、
IPC0CLR0

レジスタが使用されます。レジスタは FIFO 転送を取り消すために使用できます。また、FIFO で発生したエラーフラグをクリアすることもできます。IRQ には 8 つのイベントが割り当てられますが、割り込みイベントは 1 つ

だけです。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

CLRn ビット（割り込み要求クリア n (n = 0～7)）

1 が書き込まれると、IPC0STA0.IRQn は 0 にクリアされます。IPC0STA0 のすべてのビットが 0 になり、CPU0 へのマスカブル割り込みは取り消されます。

RST ビット（FIFO リセット）

1 が書き込まれると、RST ビットはメッセージ FIFO 00 をリセットします。FIFO に格納されたデータは無効となり、後続のレジスタがクリアされます。

- IPC0STA0.FULL
- IPC0STA0.RDY

メッセージ FIFO 以外の割り込みイベントがない場合、割り込み要求は取り消されます。

RCLR ビット（クリア RDY エラーステータス 00）

RCLR ビットは IPC0STA0.RERR をクリアします。

FCLR ビット（クリア FULL エラーステータス 00）

FCLR ビットは IPC0STA0.FERR をクリアします。

3.2.15 IPC0STA1：プロセッサ間 0 ステータスレジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FERR	RERR	—	—	—	—	—	—	FULL	RDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IRQn (n = 0～7)	このビットは、割り込み要求の状態を示します。 0: 割り込みを要求しない 1: 割り込みを要求する	R
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	RDY	このビットは、FIFO がエンプティでないときに設定されます。 このビットは、割り込み要求のために使用されます。 0: FIFO 01 の準備ができていない 1: FIFO 01 の準備ができている	R
17	FULL	0: FIFO 01 はフルではない 1: FIFO 01 はフルである	R
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R
24	RERR	エンプティにも関わらず、メッセージ FIFO 01 がデータを読み出そうとしたことを示します。 0: エラーではない。割り込みを要求しない。 1: エラー。割り込みを要求する。	R
25	FERR	メッセージ FIFO 01 が、フルの状態でさらにデータを送信しようとしたことを示します。 0: エラーではない。割り込みを要求しない。 1: エラー。割り込みを要求する。	R

ビット	シンボル	機能	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3

このレジスタは、CPU1 から CPU0 へのマスカブル割り込み IPC0IRQ1 のステータスを示します。IRQn (n = 0～7)、RDY、RERR、または FERR のいずれかが「1」であるとき、IPC0IRQ1 割り込みが発行されます。割り込みハンドラのこのレジスタを読み出して、どの割り込みが発生したかを判別します。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

IRQn ビット（割り込み要求ステータス n (n = 0～7)）

これらのビットは、CPU0 への割り込みを示します。IPC0ISET1.SETn に 1 を書き込むと、IRQn が「1」になります。IPC0CLR1.CLRn に 1 を書き込むと、IRQn が「0」にクリアされます。いずれかのビットが「1」になると、IPC0IRQ1 割り込み要求が発行されます。

RDY ビット（受信データレディ）

このビットが「1」であるとき、CPU0 用のメッセージ FIFO 01 に受信データがあることを示します。メッセージ FIFO がエンプティであるとき、このビットは「0」です。このビットが「1」になると、IPC0IRQ1 割り込み要求が発行されます。

FULL ビット（FIFO フル）

メッセージ FIFO 01 の容量は 4 です。このビットが「1」であるとき、メッセージ FIFO 01 がフルであることを示します。

RERR ビット（RDY エラーステータス）

RDY ビットが「0」であるときに IPC0RXD1 を読み出すと、このビットは「1」になります。IPC0CLR1.RCLR ビットに「1」を書き込むと、このビットは「0」にクリアされます。このビットが「1」になると、IPC0IRQ1 割り込み要求が発行されます。

FERR ビット（FULL エラーステータス）

FULL ビットが「1」であるときに IPC0TXD1 に書き込むと、このビットは「1」になります。IPC0CLR1.FCLR ビットに「1」を書き込むと、このビットは「0」にクリアされます。このビットが「1」になると、IPC0IRQ1 割り込み要求が発行されます。

3.2.16 IPC0ISET1 : プロセッサ間 0 IRQ 要求設定レジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SET7	SET6	SET5	SET4	SET3	SET2	SET1	SET0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SETn (n = 0～7)	このビットに 1 を書き込むと、IPC0STA1.IRQn が設定されます。	W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

CPU1 から CPU0 へのマスカブル割り込みを発行するために、
IPC0ISET1

レジスタが使用されます。IRQ には 8 つのイベントが割り当てられますが、割り込みイベントは 1 つだけです。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

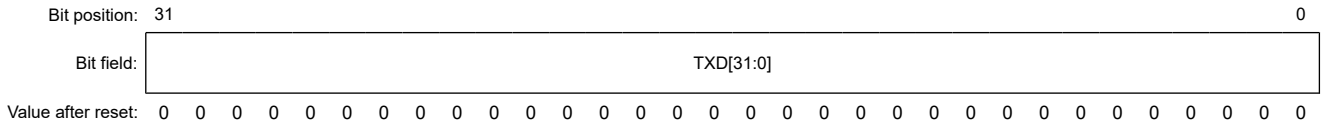
SETn ビット（割り込み要求設定 n (n = 0～7)）

1 を書き込むと、IPC0STA1.IRQn が 1 に設定され、CPU0 へのマスカブル割り込みが発行されます。

3.2.17 IPC0TXD1：プロセッサ間 0 FIFO 転送データレジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0E8



ビット	シンボル	機能	R/W
31:0	TXD[31:0]	メッセージ FIFO 01 への送信データ	W

注. 32 ビットデータサイズでの書き込みのみが有効です。ハーフワードまたはバイトアクセスは無視されます。
注. S-TYPE-3, P-TYPE-3

CPU1 から CPU0 へのメッセージ FIFO 01 へデータを書き込むためのレジスタです。CPU1 がこのレジスタに書き込みます。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

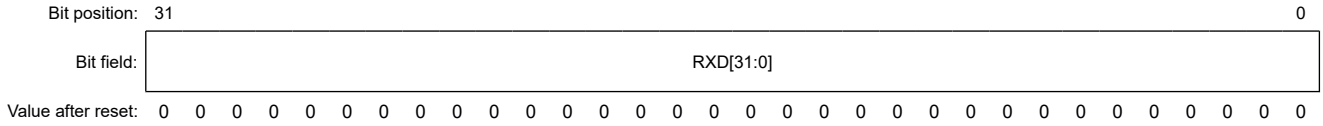
TXD[31:0]ビット（メッセージ FIFO 01 への送信データ）

このレジスタに書き込みをすると、メッセージ FIFO 01 に送信データを設定し IPC0STA1.RDY ビットが「1」になります。IPC0STA1.FULL ビットが「1」であるときにこのレジスタに書き込むと、書き込み動作は無視され、IPC0STA1.FERR ビットが「1」になります。

3.2.18 IPC0RXD1：プロセッサ間 0 FIFO 受信データレジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0EC



ビット	シンボル	機能	R/W
31:0	RXD[31:0]	メッセージ FIFO 01 からの受信データ このレジスタを読み出すと、メッセージ FIFO 01 の次の受信データに更新されます。	R

注. TRZ エラーが発生すると、読み出しは 0 になり、次のデータを更新しません。
S-TYPE-3, P-TYPE-3

このレジスタは、CPU1 から CPU0 へのメッセージ FIFO 01 から受信データを読み出すためのものです。CPU0 がこのレジスタを読み出します。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

RXD[31:0]ビット（メッセージ FIFO 01 からの受信データ）

IPC0STA1.RDY ビットが「0」であるときにこのレジスタを読み出すと、IPC0STA1.RERR ビットは「1」になります。

3.2.19 IPC0CLR1 : プロセッサ間 0 クリアレジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x0F0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FCLR	RCLR	—	—	—	—	—	—	—	RST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CLRn (n = 0～7)	このビットに 1 を書き込むと、IPC0STA1.IRQn がクリアされます。	W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	W
16	RST	1 を書き込むと、メッセージ FIFO 01 がリセットされます。	W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	W
24	RCLR	1 を書き込むと、IPC0STA1.RERR がリセットされます。	W
25	FCLR	1 を書き込むと、IPC0STA1.FERR がリセットされます。	W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

CPU1 から CPU0 へのマスカブル割り込みを取り消すために、
IPC0CLR1

レジスタが使用されます。レジスタは FIFO 転送を取り消すために使用できます。このレジスタは、FIFO で発生したエラーフラグをクリアすることもできます。IRQ には 8 つのイベントが割り当てられますが、割り込みイベントは 1 つだけです。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

CLRn ビット（割り込み要求クリア n (n = 0～7)）

1 が書き込まれると、IPC0STA1.IRQn は 0 にクリアされます。IPC0STA1 のすべてのビットが 0 になり、CPU0 へのマスカブル割り込みは取り消されます。

RST ビット（FIFO リセット）

RST ビットに 1 を書き込むと、メッセージ FIFO 01 がリセットされます。FIFO に格納されたデータは無効となり、後続のレジスタがクリアされます。

- IPC0STA1.FULL
- IPC0STA1.RDY

メッセージ FIFO 以外の割り込みイベントがない場合、割り込み要求は取り消されます。

RCLR ビット（クリア RDY エラーステータス 01）

RCLR ビットは IPC0STA1.RERR をクリアします。

FCLR ビット（クリア FULL エラーステータス 01）

FCLR ビットは IPC0STA1.FERR をクリアします。

3.2.20 IPC1STA0 : プロセッサ間 1 ステータスレジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FERR	RERR	—	—	—	—	—	—	FULL	RDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IRQn (n = 0～7)	このビットは、割り込み要求の状態を示します。 0: 割り込みを要求しない 1: 割り込みを要求する	R
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	RDY	このビットは、FIFO がエンプティでないときに設定されます。 このビットは、割り込み要求のために使用されます。 0: FIFO 10 の準備ができていない 1: FIFO 10 の準備ができている	R
17	FULL	0: FIFO 10 はフルではない 1: FIFO 10 はフルである	R
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R
24	RERR	このビットは、エンプティにも関わらず、メッセージ FIFO 10 がデータを読み出そうとしたことを示します。 0: エラーではない。割り込みを要求しない。 1: エラー。割り込みを要求する。	R
25	FERR	このビットは、メッセージ FIFO 10 が、フルの状態でさらにデータを送信しようとしたことを示します。 0: エラーではない。割り込みを要求しない。 1: エラー。割り込みを要求する。	R
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3

このレジスタは、CPU0 から CPU1 へのマスカブル割り込み IPC1IRQ0 のステータスを示します。IRQn (n = 0～7)、RDY、RERR、または FERR のいずれかが「1」であるとき、IPC1IRQ0 割り込みが発行されます。割り込みハンドラのこのレジスタを読み出して、どの割り込みが発生したかを判別します。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

IRQn ビット（割り込み要求ステータス n (n = 0～7)）

これらのビットは、CPU1 への割り込みを示します。IPC1ISET0.SETn に 1 を書き込むと、IRQn が「1」になります。IPC1CLR0.CLRn に 1 を書き込むと、IRQn が「0」にクリアされます。いずれかのビットが「1」になると、IPC1IRQ0 割り込み要求が発行されます。

RDY ビット（受信データレディ）

このビットが「1」であるとき、CPU1 用のメッセージ FIFO 10 に受信データがあることを示します。メッセージ FIFO がエンプティであるとき、このビットは「0」です。このビットが「1」になると、IPC1IRQ0 割り込み要求が発行されます。

FULL ビット（FIFO フル）

メッセージ FIFO 10 の容量は 4 です。このビットが「1」であるとき、メッセージ FIFO 10 がフルであることを示します。

RERR ビット（RDY エラーステータス）

RDY ビットが「0」であるときに IPC1RXD0 を読み出すと、このビットは「1」になります。IPC1CLR0.RCLR ビットに「1」を書き込むと、このビットは「0」にクリアされます。このビットが「1」になると、IPC1IRQ0 割り込み要求が発行されます。

FERR ビット（FULL エラーステータス）

FULL ビットが「1」であるときに IPC1TXD0 に書き込むと、このビットは「1」になります。IPC1CLR0.FCLR ビットに「1」を書き込むと、このビットは「0」にクリアされます。このビットが「1」になると、IPC1IRQ0 割り込み要求が発行されます。

3.2.21 IPC1ISET0 : プロセッサ間 1 IRQ 要求設定レジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SET7	SET6	SET5	SET4	SET3	SET2	SET1	SET0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SETn (n = 0～7)	このビットに 1 を書き込むと、IPC1STA0.IRQn が設定されます。	W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

CPU0 から CPU1 へのマスカブル割り込みを発行するために、
IPC1ISET0

レジスタが使用されます。IRQ には 8 つのイベントが割り当てられますが、割り込みイベントは 1 つだけです。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

SETn ビット（割り込み要求設定 n (n = 0～7)）

1 を書き込むと、IPC1STA0.IRQn が 1 に設定され、CPU1 へのマスカブル割り込みが発行されます。

3.2.22 IPC1TXD0 : プロセッサ間 1 FIFO 転送データ レジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x108

Bit position:	31	0
Bit field:	TXD[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	TXD[31:0]	メッセージ FIFO 10 への送信データ	W

注. 32 ビットデータサイズでの書き込みのみが有効です。ハーフワードまたはバイトアクセスは無視されます。
注. S-TYPE-3, P-TYPE-3

CPU0 から CPU1 へのメッセージ FIFO 10 へデータを書き込むためのレジスタです。CPU0 がこのレジスタに書き込みます。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

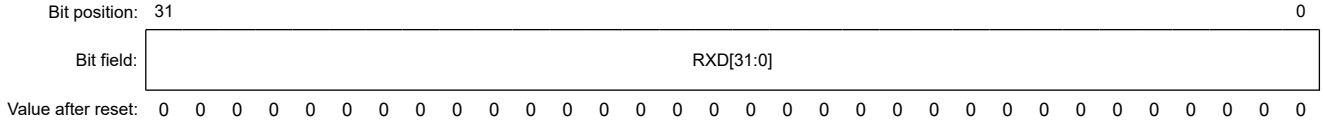
TXD[31:0]ビット（メッセージ FIFO 10 への送信データ）

このレジスタに書き込みをすると、メッセージ FIFO 10 に送信データを設定し IPC1STA0.RDY ビットが「1」になります。IPC1STA0.FULL ビットが「1」であるときにこのレジスタに書き込むと、書き込み動作は無視され、IPC1STA0.FERR ビットが「1」になります。

3.2.23 IPC1RXD0 : プロセッサ間 1 FIFO 受信データレジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x10C



ビット	シンボル	機能	R/W
31:0	RXD[31:0]	メッセージ FIFO 10 からの受信データ このレジスタを読み出すと、メッセージ FIFO 10 の次の受信データに更新されます。	R

注. TRZ エラーが発生すると、読み出しは 0 になり、次のデータを更新しません。
S-TYPE-3, P-TYPE-3

このレジスタは、CPU0 から CPU1 へのメッセージ FIFO 10 から受信データを読み出すためのものです。CPU1 がこのレジスタを読み出します。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

RXD[31:0]ビット（メッセージ FIFO 10 からの受信データ）

IPC1STA0.RDY ビットが「0」であるときにこのレジスタを読み出すと、IPC1STA0.RERR ビットは「1」になります。

3.2.24 IPC1CLR0 : プロセッサ間 1 要求クリアレジスタ 0

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x110

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FCLR	RCLR	—	—	—	—	—	—	—	RST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CLRn (n = 0～7)	このビットに 1 を書き込むと、IPC1STA0.IRQn がクリアされます。	W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	W
16	RST	1 を書き込むと、メッセージ FIFO 10 がリセットされます。	W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	W

ビット	シンボル	機能	R/W
24	RCLR	1 を書き込むと、IPC1STA0.RERR がリセットされます。	W
25	FCLR	1 を書き込むと、IPC1STA0.FERR がリセットされます。	W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

CPU0 から CPU1 へのマスカブル割り込みを取り消すために、
IPC1CLR0

レジスタが使用されます。レジスタは FIFO 転送を取り消すために使用できます。また、FIFO で発生したエラーフラグをクリアすることもできます。IRQ には 8 つのイベントが割り当てられますが、割り込みイベントは 1 つだけです。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

CLRn ビット（割り込み要求クリア n (n = 0～7)）

1 が書き込まれると、IPC1STA0.IRQn は 0 にクリアされます。IPC1STA0 のすべてのビットが 0 になり、CPU1 へのマスカブル割り込みは取り消されます。

RST ビット（FIFO リセット）

RST ビットに 1 を書き込むと、メッセージ FIFO 10 がリセットされます。FIFO に格納されたデータは無効となり、後続のレジスタがクリアされます。

- IPC1STA0.FULL
- IPC1STA0.RDY

メッセージ FIFO 以外の割り込みイベントがない場合、割り込み要求は取り消されます。

RCLR ビット（クリア RDY エラーステータス 10）

RCLR ビットは IPC1STA0.RERR をクリアします。

FCLR ビット（クリア FULL エラーステータス 10）

FCLR ビットは IPC1STA0.FERR をクリアします。

3.2.25 IPC1STA1 : プロセッサ間 1 要求ステータスレジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x120

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FERR	RERR	—	—	—	—	—	—	FULL	RDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IRQn (n = 0～7)	このビットは、割り込み要求の状態を示します。 0: 割り込みを要求しない 1: 割り込みを要求する	R
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R

ビット	シンボル	機能	R/W
16	RDY	このビットは、FIFO がエンプティでないときに設定されます。 このビットは、割り込み要求のために使用されます。 0: FIFO 11 の準備ができていない 1: FIFO 11 の準備ができている	R
17	FULL	0: FIFO 11 はフルではない 1: FIFO 11 はフルである	R
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R
24	RERR	エンプティにも関わらず、メッセージ FIFO 11 がデータを読み出そうとしたことを示します。 0: エラーではない。割り込みを要求しない。 1: エラー。割り込みを要求する。	R
25	FERR	メッセージ FIFO 11 が、フルの状態でさらにデータを送信しようとしたことを示します。 0: エラーではない。割り込みを要求しない。 1: エラー。割り込みを要求する。	R
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3

このレジスタは、CPU0 から CPU1 へのマスカブル割り込み IPC1IRQ1 のステータスを示します。IRQn (n = 0～7)、RDY、RERR、または FERR のいずれかが「1」であるとき、IPC1IRQ1 割り込みが発行されます。割り込みハンドラのこのレジスタを読み出して、どの割り込みが発生したかを判別します。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

IRQn ビット（割り込み要求ステータス n (n = 0～7)）

これらのビットは、CPU1 への割り込みを示します。IPC1ISET1.SETn に 1 を書き込むと、IRQn が「1」になります。IPC1CLR1.CLRn に 1 を書き込むと、IRQn が「0」にクリアされます。いずれかのビットが「1」になると、IPC1IRQ1 割り込み要求が発行されます。

RDY ビット（受信データレディ）

このビットが「1」であるとき、CPU1 用のメッセージ FIFO 11 に受信データがあることを示します。メッセージ FIFO がエンプティであるとき、このビットは「0」です。このビットが「1」になると、IPC1IRQ1 割り込み要求が発行されます。

FULL ビット（FIFO フル）

メッセージ FIFO 11 の容量は 4 です。このビットが「1」であるとき、メッセージ FIFO 11 がフルであることを示します。

RERR ビット（RDY エラーステータス）

RDY ビットが「0」であるときに IPC1RXD1 を読み出すと、このビットは「1」になります。IPC1CLR1.RCLR ビットに「1」を書き込むと、このビットは「0」にクリアされます。このビットが「1」になると、IPC1IRQ1 割り込み要求が発行されます。

FERR ビット（FULL エラーステータス）

FULL ビットが「1」であるときに IPC1TXD1 に書き込むと、このビットは「1」になります。IPC1CLR1.FCLR ビットに「1」を書き込むと、このビットは「0」にクリアされます。このビットが「1」になると、IPC1IRQ1 割り込み要求が発行されます。

3.2.26 IPC1ISET1 : プロセッサ間 1 IRQ 要求設定レジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x124

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SET7	SET6	SET5	SET4	SET3	SET2	SET1	SET0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SETn (n = 0～7)	このビットに 1 を書き込むと、IPC1STA1.IRQn が設定されます。	W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

CPU0 から CPU1 へのマスカブル割り込みを発行するために、
IPC1ISET1

レジスタが使用されます。IRQ には 8 つのイベントが割り当てられますが、割り込みイベントは 1 つだけです。このレジスタのセキュリティは IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

SETn ビット（割り込み要求設定 n (n = 0～7)）

1 を書き込むと、IPC1STA1.IRQn が 1 に設定され、CPU1 へのマスカブル割り込みが発行されます。

3.2.27 IPC1TXD1 : プロセッサ間 1 FIFO 転送データレジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x128

Bit position:	31	0
Bit field:	TXD[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	TXD[31:0]	メッセージ FIFO 11 への送信データ	W

注. 32 ビットデータサイズでの書き込みのみが有効です。ハーフワードまたはバイトアクセスは無視されます。
注. S-TYPE-3, P-TYPE-3

CPU0 から CPU1 へのメッセージ FIFO 11 へデータを書き込むためのレジスタです。CPU0 がこのレジスタに書き込みます。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

TXD[31:0]ビット（メッセージ FIFO 11 への送信データ）

このレジスタに書き込みをすると、メッセージ FIFO 11 に送信データを設定し IPC1STA1.RDY ビットが「1」になります。IPC1STA1.FULL ビットが「1」であるときにこのレジスタに書き込むと、書き込み動作は無視され、IPC1STA1.FERR ビットが「1」になります。

3.2.28 IPC1RXD1 : プロセッサ間 1 FIFO 受信データレジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x12C

Bit position:	31																												0
Bit field:	RXD[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RXD[31:0]	メッセージ FIFO 11 からの受信データ このレジスタを読み出すと、メッセージ FIFO 11 の次の受信データに更新されます。	R

注. TRZ エラーが発生すると、読み出しは 0 になり、次のデータを更新しません。
S-TYPE-3, P-TYPE-3

このレジスタは、CPU0 から CPU1 へのメッセージ FIFO 11 から受信データを読み出すためのものです。CPU1 がこのレジスタを読み出します。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。

RXD[31:0]ビット（メッセージ FIFO 11 からの受信データ）

IPC1STA1.RDY ビットが「0」であるときにこのレジスタを読み出すと、IPC1STA1.RERR ビットは「1」になります。

3.2.29 IPC1CLR1 : プロセッサ間 1 クリアレジスタ 1

Base address: IPC = 0x4002_0000
IPC_NS = 0x5002_0000

Offset address: 0x130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FCLR	RCLR	—	—	—	—	—	—	—	RST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CLRn (n = 0～7)	このビットに 1 を書き込むと、IPC0IRQSTA1.IRQn がクリアされます。	W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	W
16	RST	1 を書き込むと、メッセージ FIFO 11 がリセットされます。	W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	W
24	RCLR	1 を書き込むと、IPC1STA1.RERR がリセットされます。	W
25	FCLR	1 を書き込むと、IPC1STA1.FERR がリセットされます。	W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

CPU0 から CPU1 へのマスカブル割り込みを取り消すために、
IPC1CLR1

レジスタが使用されます。レジスタは FIFO 転送を取り消すために使用できます。また、FIFO で発生したエラーフラグをクリアすることもできます。IRQ には 8 つのイベントが割り当てられますが、割り込みイベントは 1 つ

だけです。このレジスタのセキュリティは、IPCSAR に依存します。このレジスタのプリビレッジは、IPCPAR に依存します。

CLRn ビット（割り込み要求クリア n (n = 0～7)）

1 が書き込まれると、IPC1STA1.IRQn は 0 にクリアされます。IPC1STA1 のすべてのビットが 0 になり、CPU1 へのマスカブル割り込みは取り消されます。

RST ビット（FIFO リセット）

1 を書き込むと、メッセージ FIFO 11 がリセットされます。FIFO に格納されたデータは無効となり、後続のレジスタがクリアされます。

- IPC1STA1.FULL
- IPC1STA1.RDY

メッセージ FIFO 以外の割り込みイベントがない場合、割り込み要求は取り消されます。

RCLR ビット（クリア RDY エラーステータス 11）

RCLR ビットは IPC1STA1.RERR をクリアします。

FCLR ビット（クリア FULL エラーステータス 11）

FCLR ビットは IPC1STA1.FERR をクリアします。

3.3 動作説明

3.3.1 セマフォ

IPC には、CPU0 と CPU1 の間で同期および排他制御を行うためのセマフォを実行するレジスタがあります。

図 3.2 に、セマフォ制御に使用される IPCSEM レジスタの構造を示します。

このレジスタは状態のみを示し、共有メモリに対するハードウェア保護は備えていません。そのため、このレジスタを使用するソフトウェアで排他制御を行う必要があります。

IPCSEM0～IPCSEM7 および IPCSEM8～IPCSEM15 については、セキュリティ属性とプリビレッジ属性を共通に設定する必要があります。

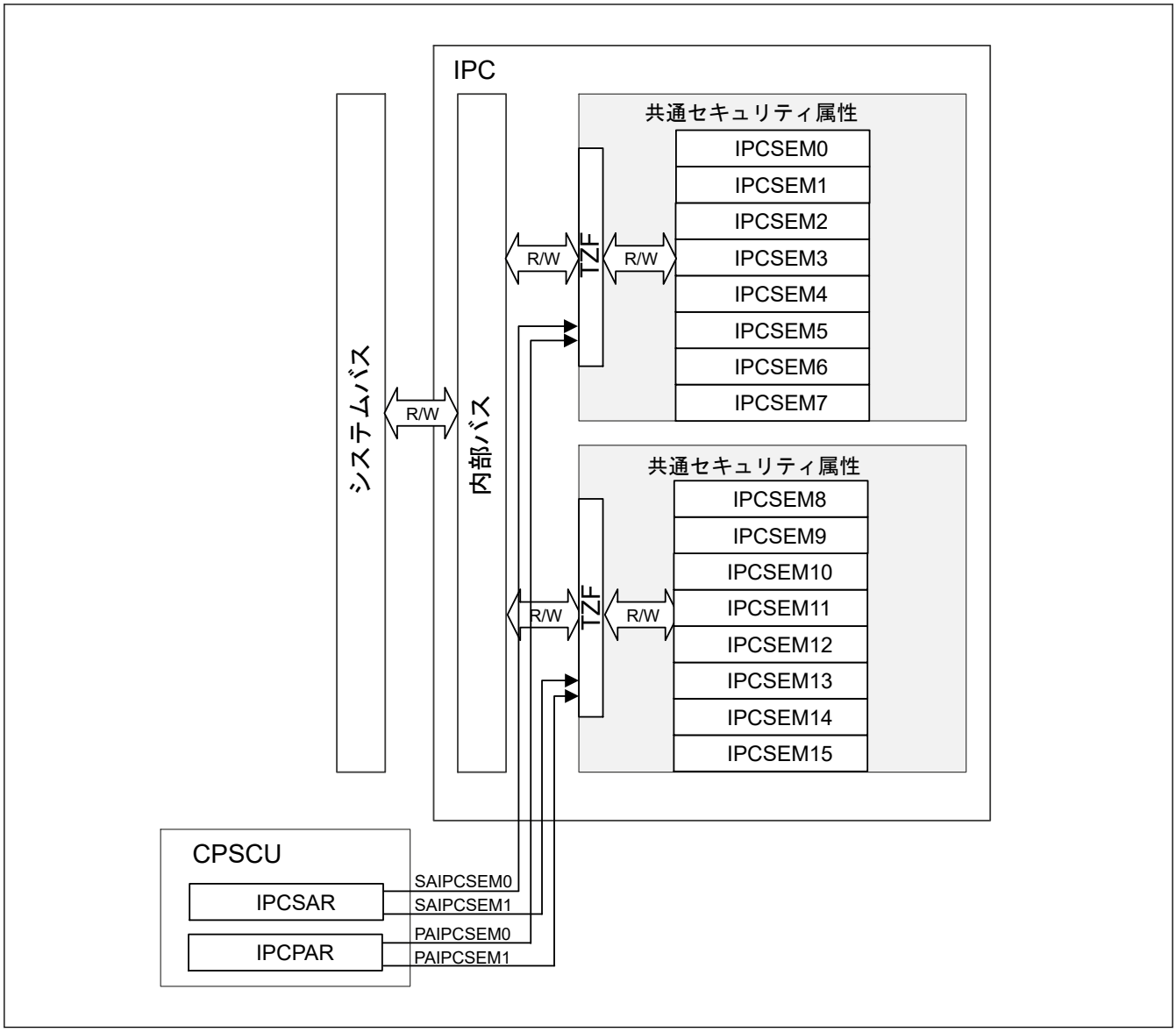


図 3.2 IPCSEM レジスタ

3.3.2 プロセッサ間ノンマスカブル割り込み

IPC は、CPU0 と CPU1 の間のプロセッサ間ノンマスカブル割り込みに対応しています。図 3.3 に「プロセッサ間ノンマスカブル割り込み」機能の構成図を示します。IPC0NMI は CPU1 から CPU0 へのノンマスカブル割り込みで、IPC1NMI は CPU0 から CPU1 へのノンマスカブル割り込みです。IPCiNMI (i = 0, 1) 機能は、IPCiNMISTA、IPCiNMISET、および IPCiNMICLR により制御されます。これらのビットのセキュリティ属性は IPCSAR により制御され、これらのビットのプリビレッジ属性は IPCPAR により制御されます。

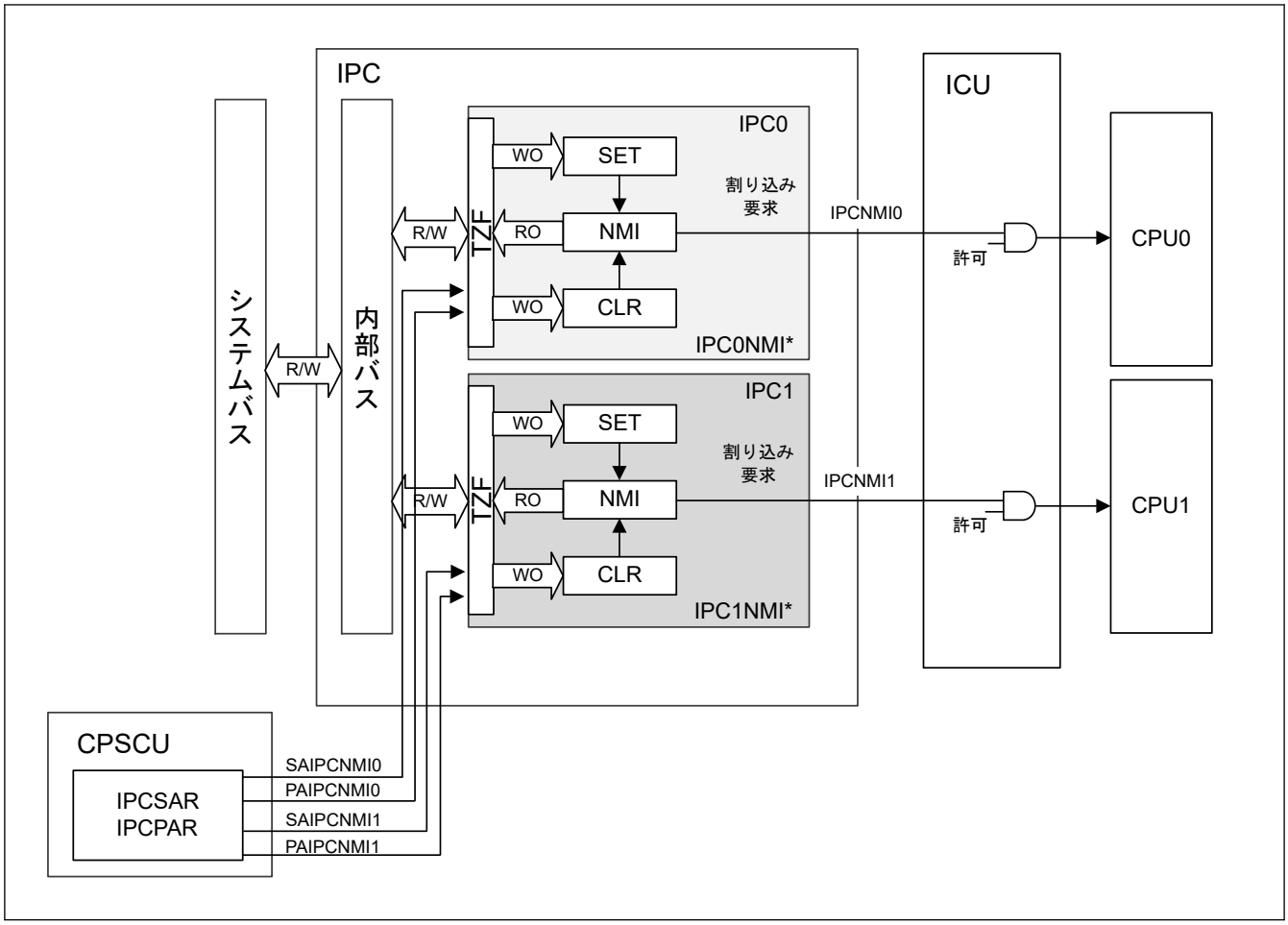


図 3.3 プロセッサ間ノンマスカブル割り込み

CPU は、NMI に対してセキュアまたは非セキュアのいずれかのみを選択できます。IPC NMI セキュリティ属性も、それに応じて設定する必要があります。セキュア NMI と非セキュア NMI を組み合わせて制御する方法については、「14. 割り込みコントローラユニット (ICU)」を参照してください。IPC が NMI 割り込みを使用しない場合は、ICU レジスタでマスクしてください。

3.3.3 プロセッサ間マスカブル割り込み

IPC は、CPU0 と CPU1 の間のプロセッサ間マスカブル割り込みに対応しています。図 3.4 に「プロセッサ間マスカブル割り込み」機能の構成図を示します。IPC0IRQj (j = 0, 1) は CPU1 から CPU0 へのマスカブル割り込みで、IPC1IRQj (j = 0, 1) は CPU0 から CPU1 へのマスカブル割り込みです。IPCiIRQj (i = 0, 1)、(j = 0, 1) は、IPCiSTAj.IRQn、IPCiISETj.SETn、IPCiCLRj.CLRn (n = 0～7) によりそれぞれ制御されます。この機能に関連するレジスタのセキュリティ属性は IPCSAR により制御され、プリビレッジ属性は IPCPAR により制御されます。セキュリティ属性およびプリビレッジ属性は、各 IPCiIRQj (i = 0, 1)、(j = 0, 1) に設定可能です。各 IPCiIRQj には、8 個の割り込み要求要因 IPCiSTAj.IRQn (n = 0～7) があります。

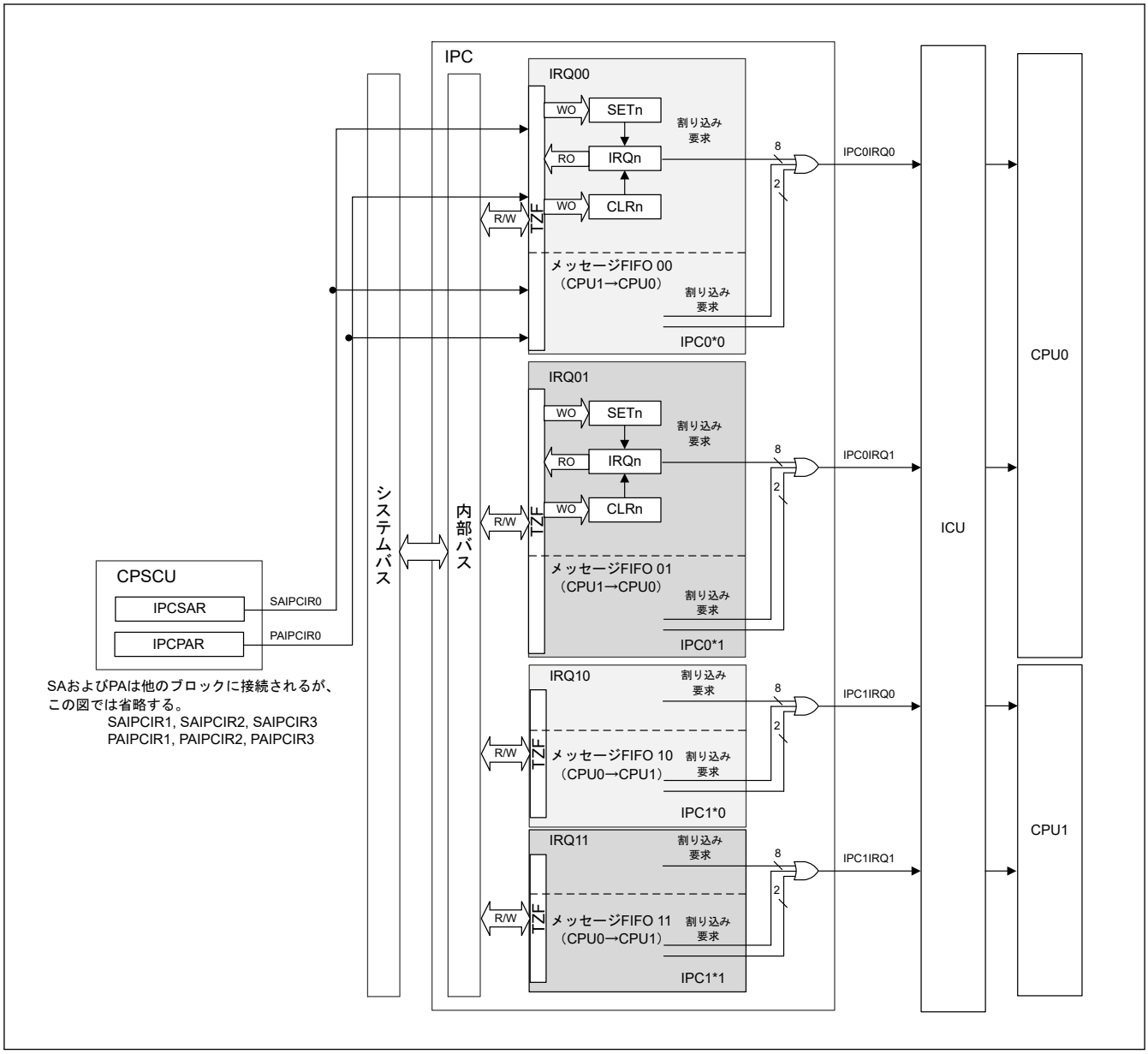


図 3.4　プロセッサ間マスカブル割り込み

3.3.4　排他的制御フロー

図 3.5 に、2 つの CPU 間でセマフォを実行する際の排他的アクセス制御フローの例を示します。

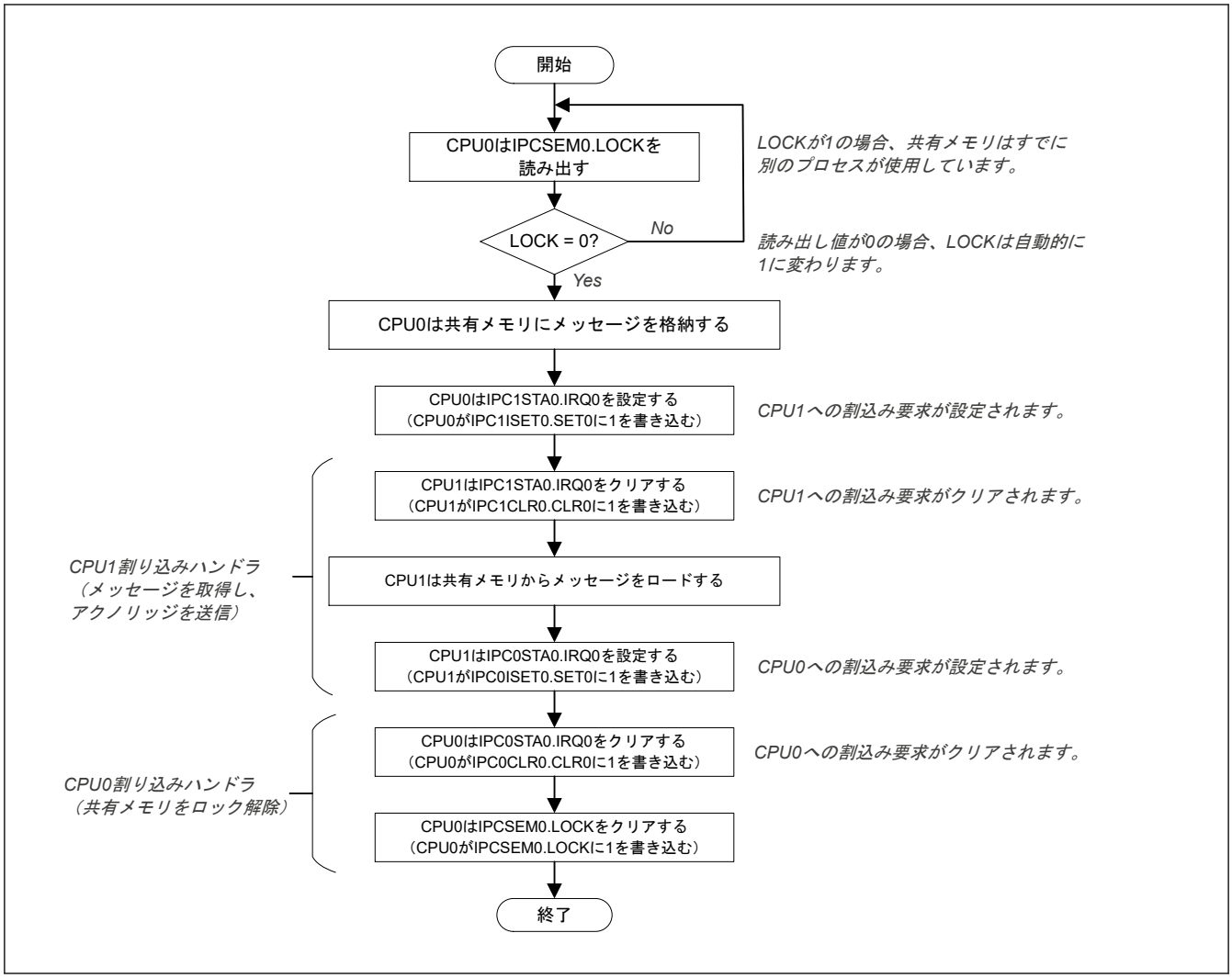


図 3.5　CPU1 にメッセージを送信する CPU0 のフローチャート例

3.3.5　メッセージ FIFO

IPC には 4 つの FIFO があります。IPC00 と IPC01 は CPU1 から CPU0 にデータを送信する FIFO で、IPC10 と IPC11 は CPU0 から CPU1 にデータを送信する FIFO です。以下の図に示すように各 FIFO はマスカブル割り込み IPCiIRQj (i = 0, 1)、(j = 0, 1) を発行します。IRQij (i = 0, 1; j = 0, 1).において、メッセージ FIFO に要求があり (RDY = 1)、メッセージ FIFO がフルでかつメッセージ FIFO に書き込みをしたとき (FERR = 1)、またはメッセージ FIFO がエンプティでかつメッセージ FIFO から読み出しをしたとき (RERR = 1)、IPCiIRQj が発行されます。このレジスタのセキュリティ属性は IPCSAR で制御します。このレジスタのプリビレッジ属性は IPCPAR で制御します。各 FIFO に対してセキュリティ属性とプリビレッジ属性の設定が可能です。図 3.6 に、メッセージ FIFO の概念図を示します。

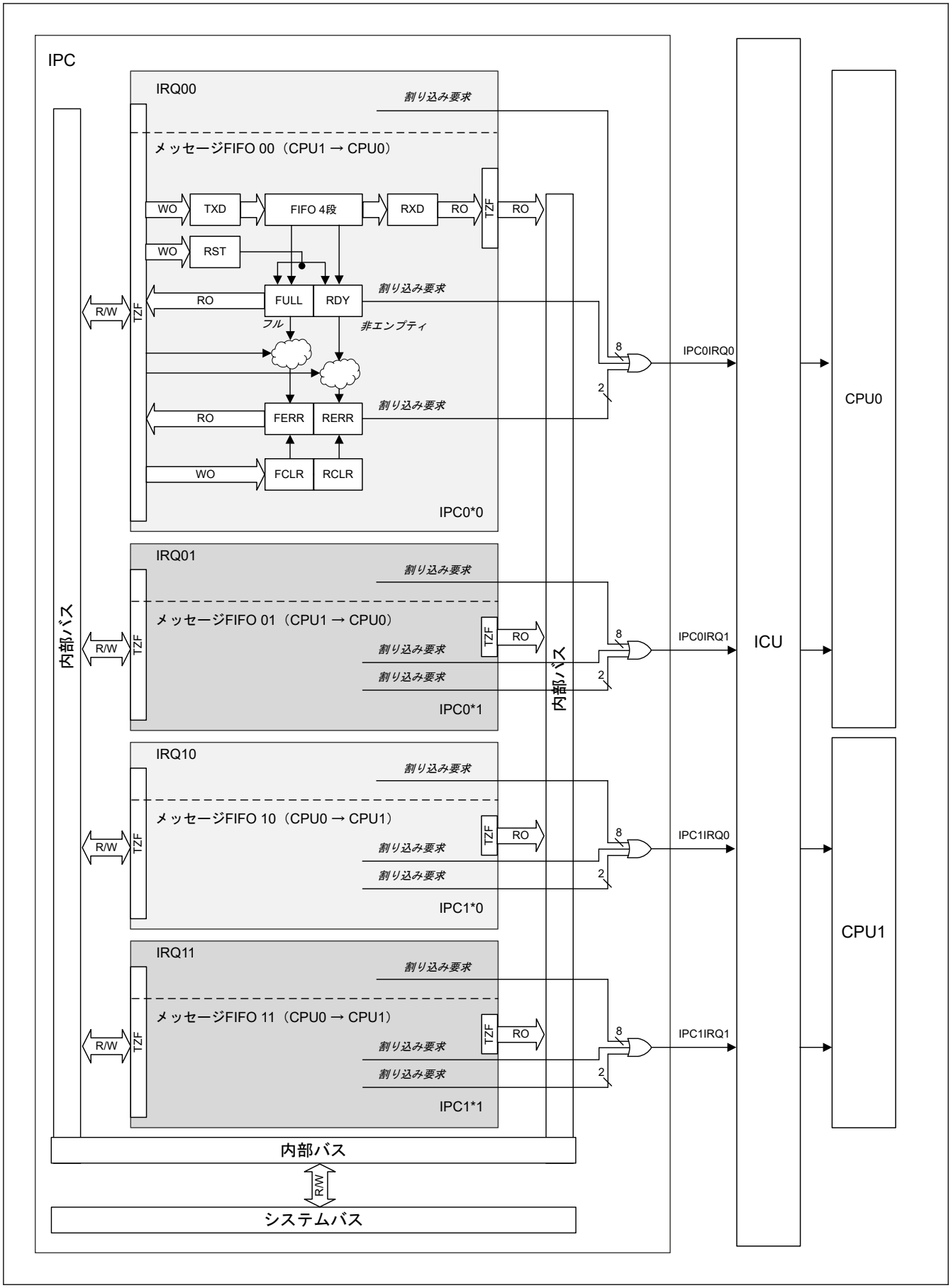


図 3.6　プロセッサ間のメッセージ FIFO

セキュリティ属性とプリビレッジ属性については、図 3.4 を参照してください。

図 3.7 に、メッセージ FIFO 00 を使用して CPU1 から CPU0 にデータを送信する例を示します。

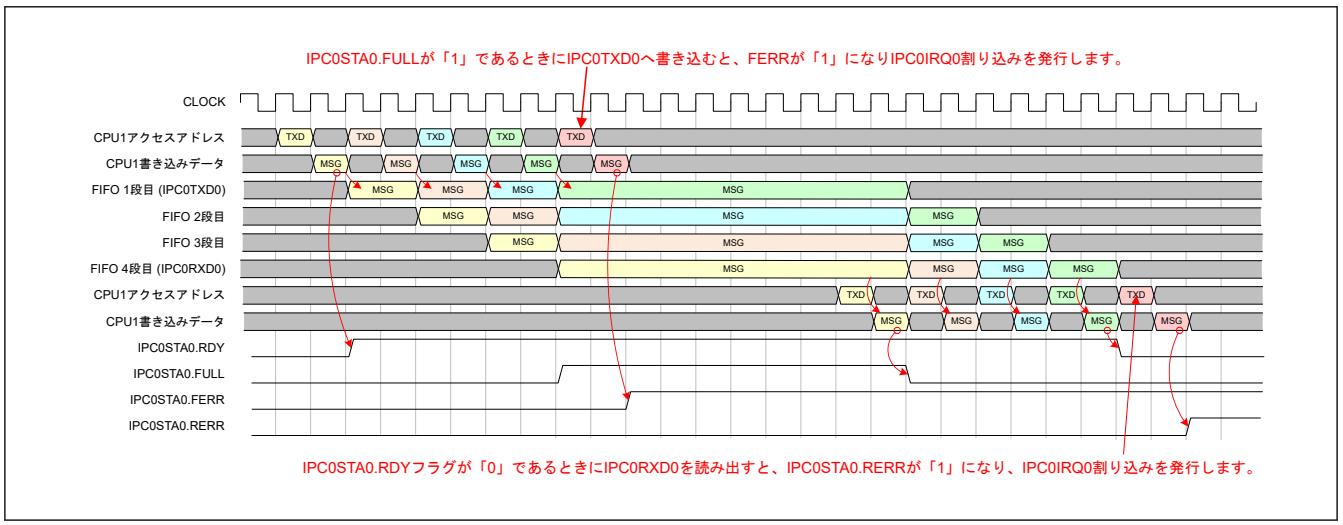


図 3.7 プロセッサ間メッセージ FIFO のタイミング

3.3.6 IPC 割り込み

CPU スリープモードおよび CPU ディープスリープモードは、IPC 機能で発行した割り込みにより解除できます。

4. 起動モード

4.1 概要

表 4.1 は、モード設定端子（MD 端子）と JTAG アクセス可能コマンドによる動作モードの選択を示しています。詳細は、「4.3. 起動モードの詳細」を参照してください。

表 4.1 モード設定端子による動作モードの選択

モード設定端子 (MD)	動作モード	内蔵 MRAM	外部バス
1	シングルチップモード／ JTAG ブートモード	有効	無効
0	SCI/USB ブートモード	有効	無効

4.2 動作モードの種類と選択

表 4.1 に、リセット状態解除時のモード設定端子 (MD) のレベルとそのときに選択される動作モードの対応関係を示します。各動作モードの詳細については、「4.3. 起動モードの詳細」を参照してください。どの動作モードで起動しても、内蔵 MRAM が有効、かつ外部バスが無効な状態で動作を開始します。

4.3 起動モードの詳細

4.3.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵 MRAM が有効になります。

4.3.2 JTAG ブートモード

このモードでは、MCU 内部の専用領域に格納された、内蔵 MRAM 書き込みルーチン（JTAG ブートプログラム）が用いられます。JTAG および SWD インタフェースを使用して、MCU 外部から内蔵 MRAM（コード MRAM およびエクストラ MRAM）を書き換えることができます。このモードでは、APB-AP コントロール／ステータスワードレジスタの CSW.DbgSwEnable ビットを 1 にしてください。

このモードに遷移するには、RES 端子リセット中に JTAG-I/F と SWD-IF から要求を入力する必要があります。

4.3.3 SCI ブートモード

このモードでは、MCU 内部の専用領域に格納された、内蔵 MRAM 書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式シリアル通信インタフェース (UART) SCI を使用して、MCU 外部から内蔵 MRAM（コード MRAM およびエクストラ MRAM）を書き換えることができます。詳細は、「59. MRAM」を参照してください。MD 端子を Low に保持してリセットを解除すると、SCI ブートモードで起動します。

4.3.4 USB ブートモード

このモードでは、MCU 内部の専用領域に格納された、内蔵 MRAM 書き込みルーチン（USB ブートプログラム）が用いられます。USB を使用して、MCU 外部から内蔵 MRAM（コード MRAM およびエクストラ MRAM）を書き換えることができます。詳細は、「59. MRAM」を参照してください。MD 端子を Low に保持してリセットを解除すると、USB ブートモードで起動します。

4.4 動作モード遷移

4.4.1 動作モードとモード遷移の関係

図 4.1 に動作モードとモード遷移の関係を示します。動作モードは、図の矢印の向きに遷移できます。

POR を使用した JTAG ブートモードと SCI/USB ブートモードは、選択できません。

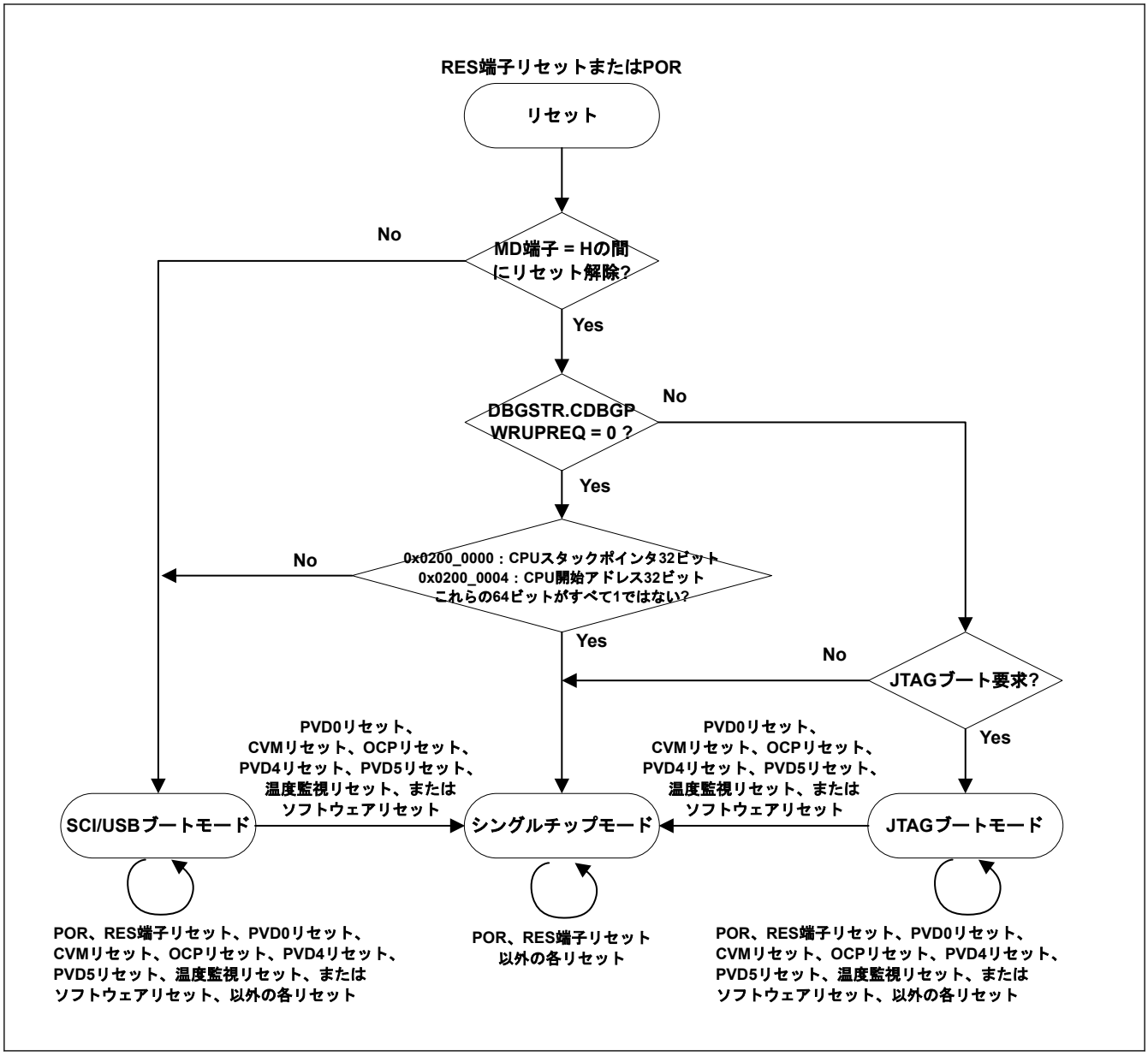


図 4.1　動作モードとモード遷移の関係

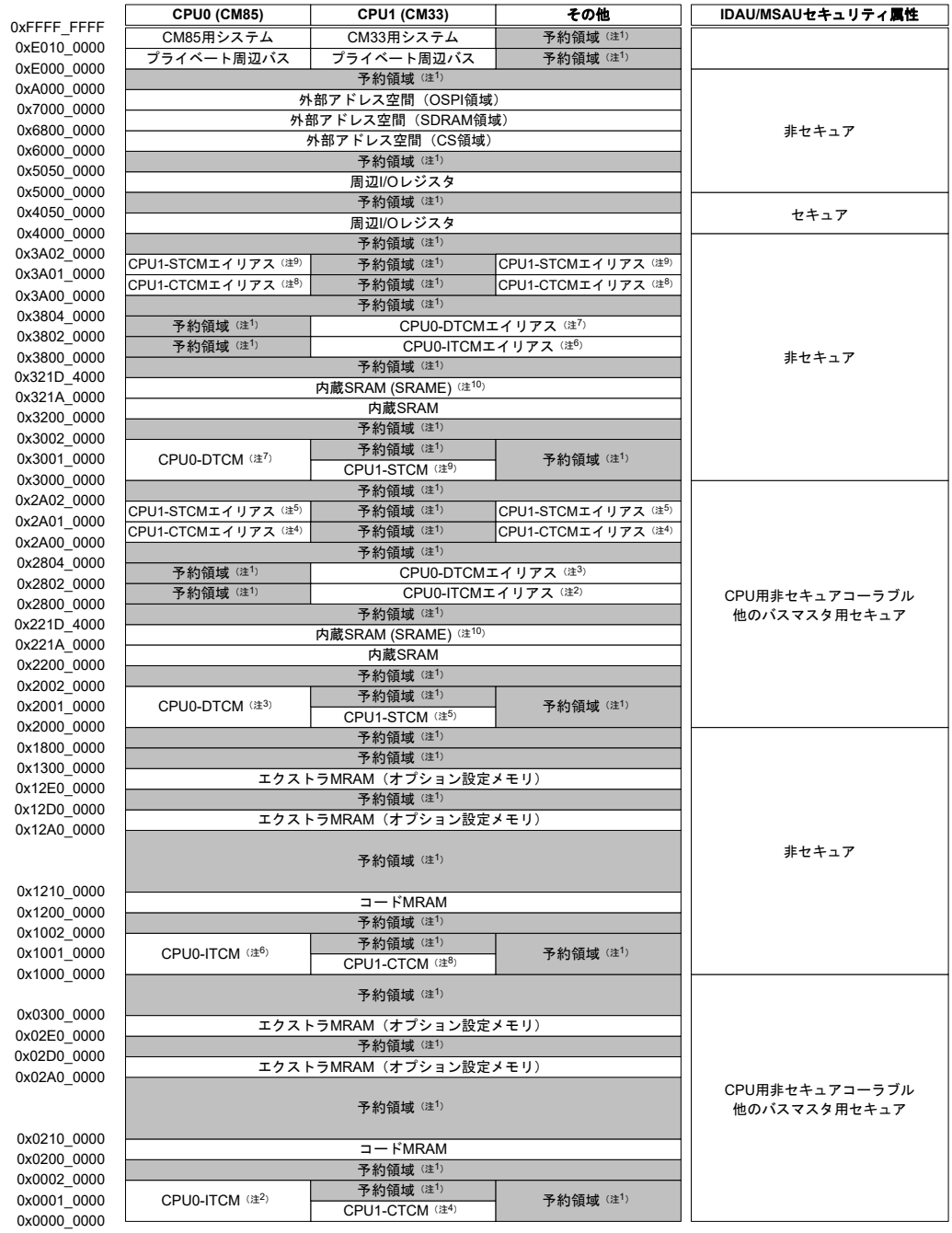
5. アドレス空間

5.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4 GB のリニアアドレス空間 (0x0000_0000～0xFFFF_FFFF) をサポートしています。0x0000_0000～0x5FFF_FFFF のアドレスにおいて、セキュア領域と非セキュア領域が分離されます。図 5.1 と図 5.2 に 1 MB MRAM 製品のメモリマップの例を示します。

注. 表 5.1 を参照してください。コード MRAM および内蔵 SRAM の容量は製品により異なります。
注 1. 予約領域にはアクセスしないでください。
注 2. セキュア用の CPU0-ITCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
注 3. セキュア用の CPU0-DTCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
注 4. セキュア用の CPU1-CTCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
注 5. セキュア用の CPU1-STCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
注 6. 非セキュア用の CPU0-ITCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
注 7. 非セキュア用の CPU0-DTCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
注 8. 非セキュア用の CPU1-CTCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
注 9. 非セキュア用の CPU1-STCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
注 10. SRAM ECC 機能が無効である場合のみ、これらの領域にアクセス可能です。

図 5.1 SiP 製品用 1 MB MRAM 製品



注. 表 5.1 を参照してください。コード MRAM および内蔵 SRAM の容量は製品により異なります。
注 1. 予約領域にはアクセスしないでください。
注 2. セキュア用の CPU0-ITCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
注 3. セキュア用の CPU0-DTCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
注 4. セキュア用の CPU1-CTCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
注 5. セキュア用の CPU1-STCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
注 6. 非セキュア用の CPU0-ITCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
注 7. 非セキュア用の CPU0-DTCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
注 8. 非セキュア用の CPU1-CTCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
注 9. 非セキュア用の CPU1-STCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
注 10. SRAM ECC 機能が無効である場合のみ、これらの領域にアクセス可能です。

図 5.2 標準製品用 1 MB MRAM 製品

表 5.1 コード MRAM、SRAM、SiP フラッシュの容量

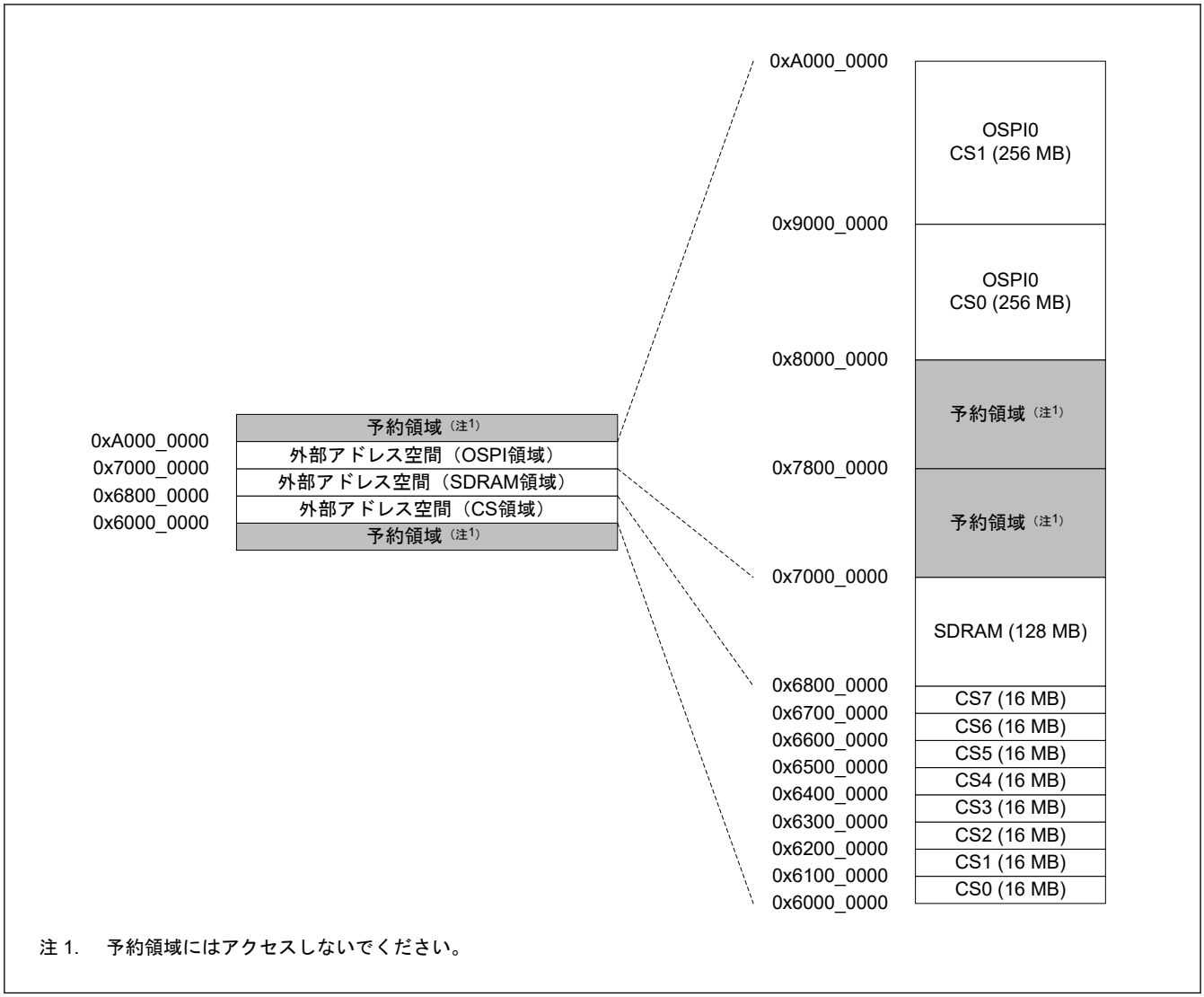
CPU	コード MRAM			内蔵 SRAM			SiP フラッシュ		
	容量	アドレス		容量	アドレス		容量	アドレス	
		セキュアエイリアス	非セキュアエイリアス		セキュアエイリアス	非セキュアエイリアス		セキュアエイリアス	非セキュアエイリアス
デュアル	1 MB	0x0200_0000～0x0210_0000	0x1200_0000～0x1210_0000	1.6 MB	0x2200_0000～0x221A_0000	0x3200_0000～0x321A_0000	4 MB	0x0800_0000～0x0840_0000	0x1800_0000～0x1840_0000
							8 MB	0x0800_0000～0x0880_0000	0x1800_0000～0x1880_0000
シングル	1 MB	0x0200_0000～0x0210_0000	0x1200_0000～0x1210_0000	1.6 MB + 128 KB(注1)	0x2200_0000～0x221A_0000 0x2A00_0000～0x2A02_0000	0x3200_0000～0x321A_0000 0x3A00_0000～0x3A02_0000	—		
	512 - KB	0x0200_0000～0x0208_0000	0x1200_0000～0x1208_0000						

注 1. シングルコアでは、アドレスが 0x2A00_0000～0x2A01_FFFFF の C-TCM および S-TCM を SRAM として使用できます。TCM の詳細については、「2. CPU」を参照してください。

5.2 外部アドレス空間

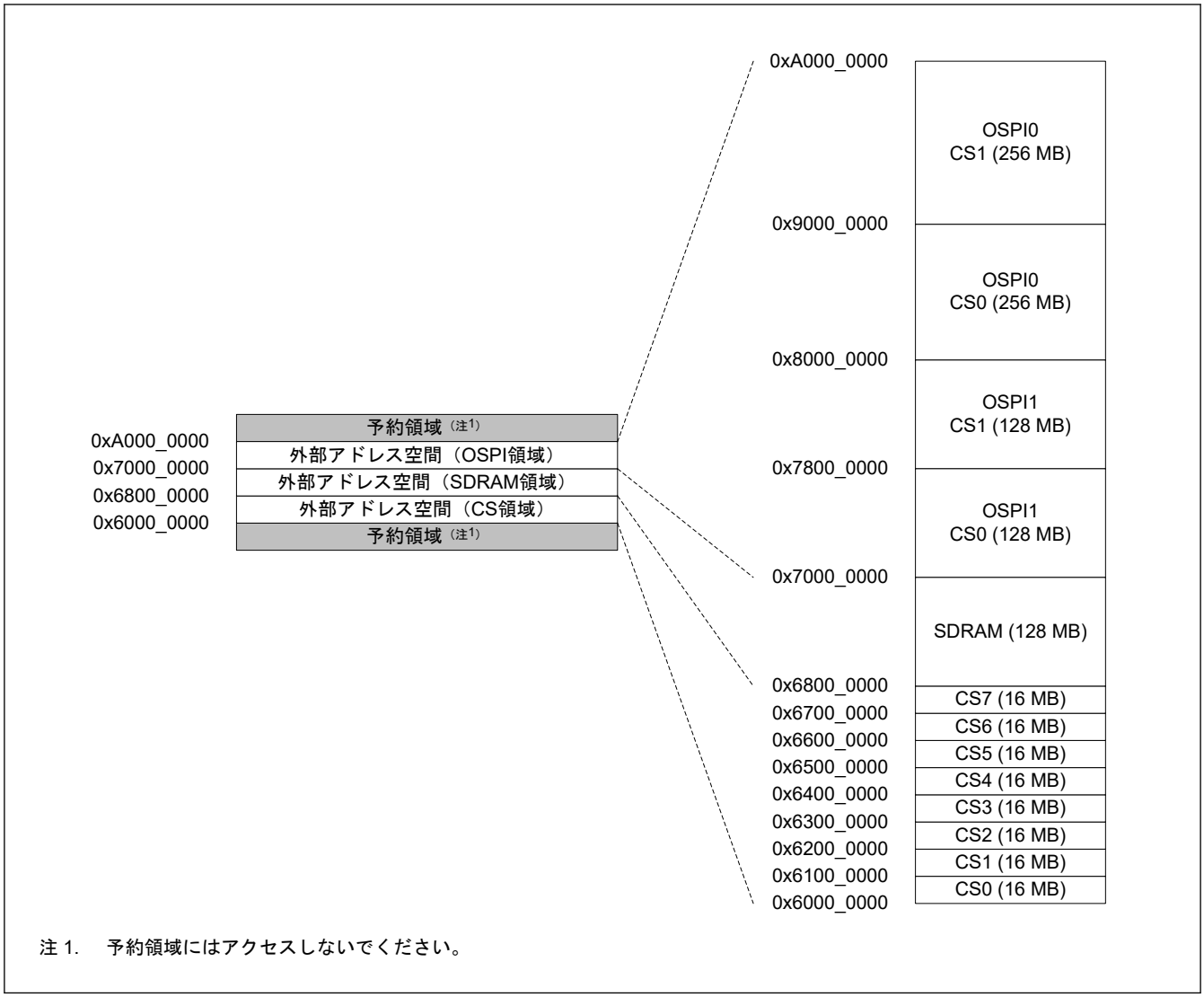
外部アドレス空間は、CS 領域 (CS0～CS7)、SDRAM 領域 (SDCS)、OSPI 領域 (CS0, CS1) に分割されます。8 つの CS 領域 (CS0～CS7) はそれぞれ、CSn (n = 0～7) 端子からの CSn 信号出力に対応しています。2 つの OSPI 領域 (CS0, CS1) はそれぞれ、OM_CSn (n = 0, 1) 端子からの OM_CSn 信号出力に対応しています。

図 5.3 と図 5.4 に、CS 領域 (CS0～CS7)、SDRAM 領域 (SDCS)、および OSPI 領域（CS0 および CS1）それぞれに対応するアドレス範囲を示します。



注 1. 予約領域にはアクセスしないでください。

図 5.3 SiP 製品用の CS 領域、SDRAM 領域、および OSPI 領域のアドレスマップの詳細



注 1. 予約領域にはアクセスしないでください。

図 5.4 標準製品用の CS 領域、SDRAM 領域、および OSPI 領域のアドレスマップの詳細

5.3 周辺 I/O レジスタのアドレス空間

周辺 I/O レジスタのアドレス空間は 2 種類に分類されます。図 5.5 にアドレス空間の種類を示し、表 5.2 に各モジュールのアドレス空間の種類を示します。

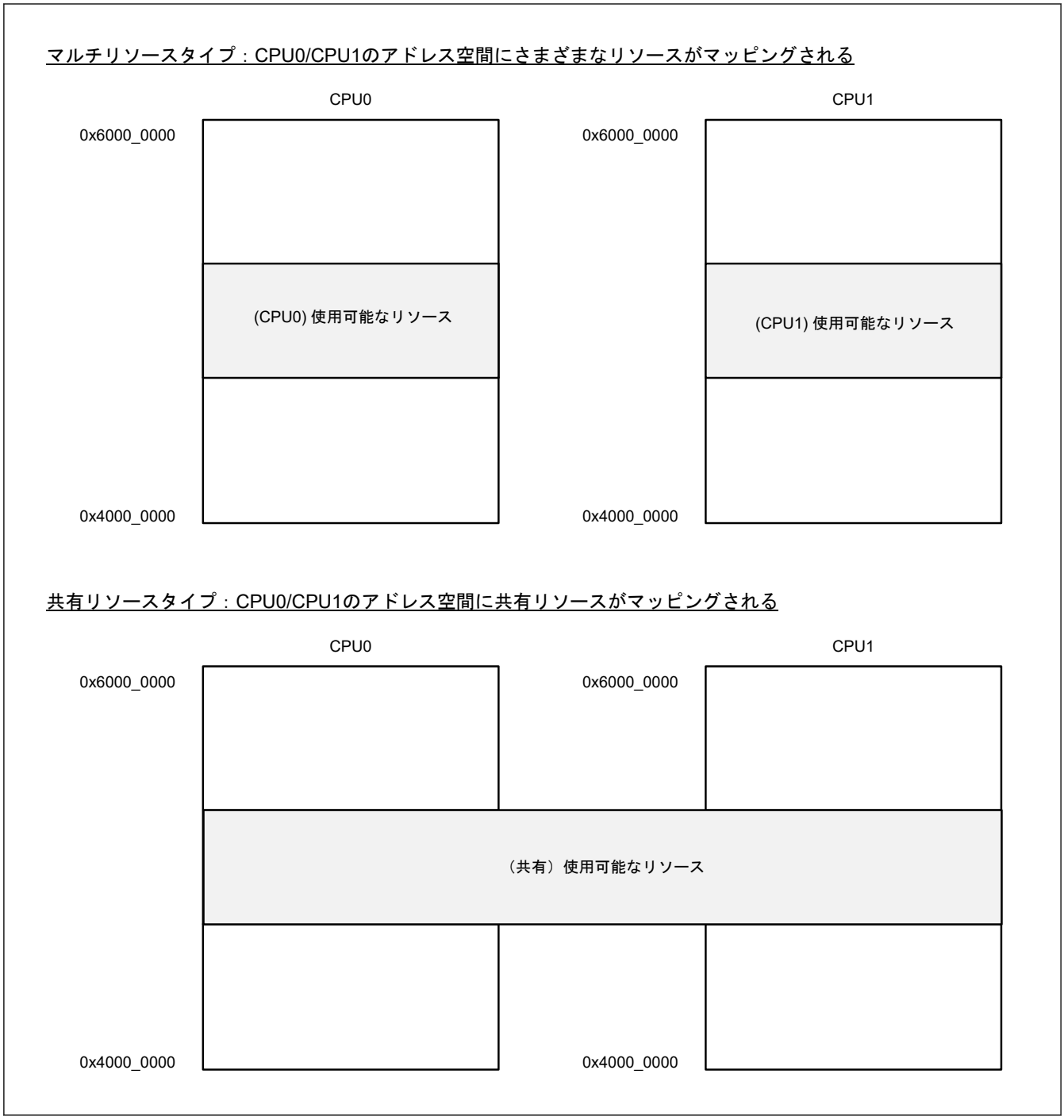


図 5.5　アドレス空間の種類

表 5.2　各モジュールのアドレス空間の種類 (1/2)

モジュール名	レジスタ名	空間の種類
ICU	NMIER, NMICLR, NMISR, WUPEN0, WUPEN1, DSLPWUPIRQENj, DELSRm, IELSRn	マルチリソースタイプ
	上記以外	共有リソースタイプ
DMAC	DMACCHSAR, DMACCHPAR, DMACSAR	共有リソースタイプ
	上記以外	マルチリソースタイプ
DTC	DTCSAR	共有リソースタイプ
	上記以外	マルチリソースタイプ

表 5.2 各モジュールのアドレス空間の種類 (2/2)

モジュール名	レジスタ名	空間の種類
その他	すべて	共有リソースタイプ

6. リセット

6.1 概要

本 MCU は以下の 21 種類のリセットをサポートしています。

また、セキュアプログラムアクセスのみで、リセット発生を制御する機能も有します。

システムリセットは、CPU コアを初期化できる全要因です。本製品では、VBATT_POR を除くすべてのリセット要因はシステムリセットです。

一方で CPU には、自身を個別に初期化するリセットがあります。そのリセットは、システムリセットではありません。「2. CPU」を参照してください。

表 6.1 にリセットの名称と要因を示します。

表 6.1 リセットの名称と要因

リセット名		要因
システムリセット	RES 端子リセット	RES 端子への入力電圧が Low
	パワーオンリセット (POR)	VCC 端子電圧の下降（電圧検出：V_{POR}）(注1)
	電圧監視 0 リセット	VCC 端子電圧の下降（電圧検出：V_{det0}）(注1)
	電圧監視 1 リセット	VCC 端子電圧の下降（電圧検出：V_{det1}）(注1) VCC 端子電圧の上昇（電圧検出：V_{det1}）(注1)
	電圧監視 2 リセット	VCC 端子電圧の下降（電圧検出：V_{det2}）(注1) VCC 端子電圧の上昇（電圧検出：V_{det2}）(注1)
	電圧監視 4 リセット	VCC 端子電圧の下降（電圧検出：V_{det4}）(注1) VCC 端子電圧の上昇（電圧検出：V_{det4}）(注1)
	電圧監視 5 リセット	VCC 端子電圧の下降（電圧検出：V_{det5}）(注1) VCC 端子電圧の上昇（電圧検出：V_{det5}）(注1)
	コア電圧監視リセット	VDD 端子電圧の下降（電圧検出：V_{det_VDDL}）(注1) VDD 端子電圧の上昇（電圧検出：V_{det_VDDH}）(注1)
	温度監視リセット	特定範囲外の温度を検出
	独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラー
	CPU0 ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラー (CPU0)
	CPU1 ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラー (CPU1)
	CPU0 ロックアップリセット	CPU0 ロックアップ時に発生
	CPU1 ロックアップリセット	CPU1 ロックアップ時に発生
	バスエラーリセット	バスエラー（MSAU エラー、MMPU エラー、不正アドレスエラー、TZF エラー、スレーブバスエラー、バッファ書き込みエラー）
	共通メモリエラーリセット	RAM エラー（SRAM の ECC エラー）
	ローカルメモリ 0 エラーリセット	RAM エラー（CPU0 キャッシュまたは TCM の ECC エラー）
	ローカルメモリ 1 エラーリセット	RAM エラー（CPU1 キャッシュまたは TCM の ECC エラー）
	ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
	ソフトウェアリセット	レジスタ設定（ソフトウェアリセットビット：AIRCR.SYSRESETREQ を使用）
VBATT_POR リセット		VBATT_R 端子電圧の下降（電圧検出：$V_{PORBATT}$）(注1)

注 1. 監視電圧 (V_{POR}, V_{det0}, V_{det1}, V_{det2}, V_{det4}, V_{det5}, V_{det_VDDL}, V_{det_VDDH}, $V_{PORBATT}$) の詳細については、「8. プログラマブル電圧検出 (PVD)」、「12. バッテリバックアップ機能」、および「62. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 6.2 と表 6.3 にリセット種類別の初期化対象を示します。

表 6.2　リセット種類別の初期化対象（リセット検出フラグ） (1/4)

初期化対象フラグ	リセット要因										
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	コア電圧監視リセット	電圧監視 4 リセット	電圧監視 5 リセット	温度監視リセット	独立ウォッチドッグタイマリセット	CPU0 ウォッチドッグタイマリセット	CPU1 ウォッチドッグタイマリセット	CPU0 ロックアップリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	✓	—	—	—	—	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.PVD0RF)	✓	✓	—	—	—	—	—	—	—	—	—
コア電圧監視リセット検出フラグ (RSTSR3.CVMRF)	✓	✓	✓	—	—	—	—	—	—	—	—
温度監視リセット検出フラグ (RSTSR3.TEMPRF)	✓	✓	✓	—	—	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
CPU0 ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDT0RF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
CPU1 ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDT1RF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
CPU0 ロックアップリセット検出フラグ (RSTSR1.CLU0RF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
CPU1 ロックアップリセット検出フラグ (RSTSR1.CLU1RF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.PVD1RF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.PVD2RF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
電圧監視 4 リセット検出フラグ (RSTSR0.PVD4RF)	✓	✓	✓	—	—	—	—	—	—	—	—
電圧監視 5 リセット検出フラグ (RSTSR0.PVD5RF)	✓	✓	✓	—	—	—	—	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
バスエラーリセット検出フラグ (RSTSR1.BUSRF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
共通メモリエラーリセット検出フラグ (RSTSR1.CMRF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—

表 6.2 リセット種類別の初期化対象（リセット検出フラグ） (2/4)

初期化対象フラグ	リセット要因										
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	コア電圧監視リセット	電圧監視 4 リセット	電圧監視 5 リセット	温度監視リセット	独立ウォッチドッグタイマリセット	CPU0 ウォッチドッグタイマリセット	CPU1 ウォッチドッグタイマリセット	CPU0 ロックアップリセット
ローカルメモリ 0 エラーリセット検出フラグ (RSTSR1.LM0RF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
ローカルメモリ 1 エラーリセット検出フラグ (RSTSR1.LM1RF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	✓	—	—	—	—	—	—	—	—	—

表 6.2 リセット種類別の初期化対象（リセット検出フラグ） (3/4)

初期化対象フラグ	リセット要因											
									ディープソフトウェアスタンバイリセット			
	CPU1 ロックアップリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	バスエラーリセット	共通メモリエラーリセット	ローカルメモリ 0 エラーリセット	ローカルメモリ 1 エラーリセット	ディープソフトウェアスタンバイモード 1	ディープソフトウェアスタンバイモード 2	ディープソフトウェアスタンバイモード 3	VBATT_POR (注1)
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—	—	—	—	—	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.PVD0RF)	—	—	—	—	—	—	—	—	—	—	—	—
コア電圧監視リセット検出フラグ (RSTSR3.CVMRF)	—	—	—	—	—	—	—	—	—	—	—	—
温度監視リセット検出フラグ (RSTSR3.TEMPRF)	—	—	—	—	—	—	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—	—	—	—	—	—	—	—	✓	✓	—
CPU0 ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDT0RF)	—	—	—	—	—	—	—	—	—	✓	✓	—
CPU1 ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDT1RF)	—	—	—	—	—	—	—	—	—	✓	✓	—
CPU0 ロックアップリセット検出フラグ (RSTSR1.CLU0RF)	—	—	—	—	—	—	—	—	—	✓	✓	—

表 6.2　リセット種類別の初期化対象（リセット検出フラグ） (4/4)

初期化対象フラグ	リセット要因											
									ディープソフトウェアスタンバイリセット			
	CPU1 ロックアップリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	バスエラーリセット	共通メモリエラーリセット	ローカルメモリ 0 エラーリセット	ローカルメモリ 1 エラーリセット	ディープソフトウェアスタンバイモード 1	ディープソフトウェアスタンバイモード 2	ディープソフトウェアスタンバイモード 3	VBATT_POR (注1)
CPU1 ロックアップリセット検出フラグ (RSTSR1.CLU1RF)	—	—	—	—	—	—	—	—	—	✓	✓	—
電圧監視 1 リセット検出フラグ (RSTSR0.PVD1RF)	—	—	—	—	—	—	—	—	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.PVD2RF)	—	—	—	—	—	—	—	—	—	—	—	—
電圧監視 4 リセット検出フラグ (RSTSR0.PVD4RF)	—	—	—	—	—	—	—	—	—	—	—	—
電圧監視 5 リセット検出フラグ (RSTSR0.PVD5RF)	—	—	—	—	—	—	—	—	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—	—	—	—	—	—	—	—	✓	✓	—
バスエラーリセット検出フラグ (RSTSR1.BUSRF)	—	—	—	—	—	—	—	—	—	✓	✓	—
共通メモリエラーリセット検出フラグ (RSTSR1.CMRF)	—	—	—	—	—	—	—	—	—	✓	✓	—
ローカルメモリ 0 エラーリセット検出フラグ (RSTSR1.LM0RF)	—	—	—	—	—	—	—	—	—	✓	✓	—
ローカルメモリ 1 エラーリセット検出フラグ (RSTSR1.LM1RF)	—	—	—	—	—	—	—	—	—	✓	✓	—
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	—	—	—	—	—	—	—	—	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—	—	—	—	—	—	—	—	—	—	—

注.　✓ : 0 に初期化される
　　— : 初期化されない
注 1.　VBATT_POR の詳細については、「12. バッテリバックアップ機能」を参照してください。

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ (1/8)

初期化対象レジスタ		リセット要因										
		RES#端子リセット	パワーオンリセット	電圧監視 0 リセット	コア電圧監視リセット	電圧監視 4 リセット	電圧監視 5 リセット	温度監視リセット	独立ウォッチドッグタイマリセット	CPU0 ウォッチドッグタイマリセット	CPU1 ウォッチドッグタイマリセット	CPU0 ロックアップリセット
電圧監視機能 1 のレジスタ	PVD1CR0, PVD1CMPCR, PVD1FCR	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—
	PVD1CR1, PVD1SR	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—
電圧監視機能 2 のレジスタ	PVD2CR0, PVD2CMPCR, PVD2FCR	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—
	PVD2CR1, PVD2SR	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—
電圧監視機能 4 のレジスタ	PVD4CR0, PVD4CMPCR, PVD4FCR	✓	✓	✓	—	—	—	—	—	—	—	—
	PVD4CR1, PVD4SR	✓	✓	✓	—	—	—	—	—	—	—	—
電圧監視機能 5 のレジスタ	PVD5CR0, PVD5CMPCR, PVD5FCR	✓	✓	✓	—	—	—	—	—	—	—	—
	PVD5CR1, PVD5SR	✓	✓	✓	—	—	—	—	—	—	—	—
温度リセットコントロールレジスタ	TEMPRCR	✓	✓	✓	—	—	—	—	—	—	—	—
SOSC のレジスタ	SOSCCR, SOSTDR, SOSTDSR, SOMCR	—	—	—	—	—	—	—	—	—	—	—
LOCO のレジスタ	LOCOUTCR	—	✓	✓	✓	✓	✓	✓	—	—	—	—
MOSC のレジスタ	MOMCR	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
HOCO のレジスタ	HOCOCR2	—	✓	✓	✓	✓	✓	✓	—	—	—	—
端子状態（XCIN/XCOUT 端子以外）		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
端子状態（XCIN/XCOUT 端子）		—	—	—	—	—	—	—	—	—	—	—
IO キャプチャおよび改ざん検出 (VBAT)（RTC 用サンプリングタイミング）(RTCIC0-2)	VBTICTLR, VBTICTLR2, VBTADSR, VBTADCR1, VBTADCR2, VBTADCR3, VBTNCWCR	—	—	—	—	—	—	—	—	—	—	—

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ (2/8)

初期化対象レジスタ		リセット要因										
		RES#端子リセット	パワーオンリセット	電圧監視 0 リセット	コア電圧監視リセット	電圧監視 4 リセット	電圧監視 5 リセット	温度監視リセット	独立ウォッチドッグタイマリセット	CPU0 ウォッチドッグタイマリセット	CPU1 ウォッチドッグタイマリセット	CPU0 ロックアップリセット
VBATT バッテリ電源スイッチコントロールレジスタ 1	VBTBPCR1	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
VBATT バッテリ電源スイッチコントロールレジスタ 2	VBTBPCR2	—	—	—	—	—	—	—	—	—	—	—
VBATT バックアップイネーブルレジスタ	VBTBER	—	✓	—	—	—	—	—	—	—	—	—
バッテリバックアップのレジスタ	VBTBKRn	—	—	—	—	—	—	—	—	—	—	—
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, IWDTTS, IWDTPR	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
リアルタイムクロック(注1)のレジスタ		—	—	—	—	—	—	—	—	—	—	—
低消費電力タイマのレジスタ	ULPTCNT, ULPTCMA, ULPTCMB, ULPTCR, ULPTMR1, ULPTMR2, ULPTMR3, ULPTIOC, ULPTISR, ULPTCMSR	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
USBFS のレジスタ	DPUSR0R, DPUSR1R	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
USBHS のレジスタ	DPUSR0R, DPUSR1R, DPUSR2R, DPUSRCR	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ (3/8)

初期化対象レジスタ		リセット要因										
		RES#端子リセット	パワーオンリセット	電圧監視 0 リセット	コア電圧監視リセット	電圧監視 4 リセット	電圧監視 5 リセット	温度監視リセット	独立ウォッチドッグタイマリセット	CPU0 ウォッチドッグタイマリセット	CPU1 ウォッチドッグタイマリセット	CPU0 ロックアップリセット
リセットフラグ	BUSERRSTAT<マスタ名>、MBWERRSTAT、SRAMESR、SRAMEARnm (n = 0～3, m = 0～1)、CCAEDST	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
リセットフラグ		表 6.2 を参照してください。										
低消費電力機能のレジスタ	DPSBYCR, DPSWCR, DPSIER0～DPSIER5, DPSIFR0～DPSIFR5, DPSIEGR0～DPSIEGR4 LPSCR	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
低消費電力機能のレジスタ	SYOCDCR	—	✓	✓	✓	✓	✓	✓	—	—	—	—
システムリセットマスクコントロールレジスタ	SYRSTMSK0, SYRSTMSK1, SYRSTMSK2	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
ARM デバッグ機能	MCUSTAT、MCUCTRL、JBMDR、DBGSTR、DBGSTOPCR、DBGAUTH0、CACHEDBGCR、TRPORTCR、ALCTRL、TRPORTSZ、DBGNVMCR、Cortex-M85 レジスタ(注4)、Cortex-M33 レジスタ(注5)、CoreSight レジスタ(注6)	—	✓	✓	✓	✓	✓	✓	—	—	—	—
TRCLK コントロールレジスタ	TRCKCR	—	✓	✓	✓	✓	✓	✓	—	—	—	—

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ (4/8)

初期化対象レジスタ		リセット要因										
		RES#端子リセット	パワーオンリセット	電圧監視 0 リセット	コア電圧監視リセット	電圧監視 4 リセット	電圧監視 5 リセット	温度監視リセット	独立ウォッチドッグタイマリセット	CPU0 ウォッチドッグタイマリセット	CPU1 ウォッチドッグタイマリセット	CPU0 ロックアップリセット
パワーゲートコントロールレジスタ	PDRAMSCR0, PDRAMSCR1, PGSCR, PSSTCRn (n = 2～5)	—	✓	✓	✓	✓	✓	✓	—	—	—	—
上記以外		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ (5/8)

初期化対象レジスタ		リセット要因											
		CPU1 ロックアップリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	バスエラーリセット	共通メモリエラーリセット	ローカルメモリ 0 エラーリセット	ローカルメモリ 1 エラーリセット	ディープソフトウェアスタンバイリセット			VBATT 選択電圧パワーオンリセット
										ディープソフトウェアスタンバイモード 1 リセット	ディープソフトウェアスタンバイモード 2 リセット	ディープソフトウェアスタンバイモード 3 リセット	
電圧監視機能 1 のレジスタ	PVD1CR0, PVD1CMPCR, PVD1FCR	—	—	—	—	—	—	—	—	—	—	—	—
	PVD1CR1, PVD1SR	—	—	—	—	—	—	—	—	✓	✓	✓	—
電圧監視機能 2 のレジスタ	PVD2CR0, PVD2CMPCR, PVD2FCR	—	—	—	—	—	—	—	—	—	—	—	—
	PVD2CR1, PVD2SR	—	—	—	—	—	—	—	—	✓	✓	✓	—
電圧監視機能 4 のレジスタ	PVD4CR0, PVD4CMPCR, PVD4FCR	—	—	—	—	—	—	—	—	—	—	—	—
	PVD4CR1, PVD4SR	—	—	—	—	—	—	—	—	✓	✓	✓	—
電圧監視機能 5 のレジスタ	PVD5CR0, PVD5CMPCR, PVD5FCR	—	—	—	—	—	—	—	—	—	—	—	—
	PVD5CR1, PVD5SR	—	—	—	—	—	—	—	—	✓	✓	✓	—
温度リセットコントロールレジスタ	TEMPRCR	—	—	—	—	—	—	—	—	—	—	—	—
SOSC のレジスタ	SOSCCR, SOSTDR, SOSTDSR, SOMCR	—	—	—	—	—	—	—	—	—	—	—	✓

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ (6/8)

初期化対象レジスタ		リセット要因											
		CPU1 ロックアップリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	バスエラーリセット	共通メモリエラーリセット	ローカルメモリ 0 エラーリセット	ローカルメモリ 1 エラーリセット	ディープソフトウェアスタンバイリセット			VBATT 選択電圧パワーオンリセット
										ディープソフトウェアスタンバイモード 1 リセット	ディープソフトウェアスタンバイモード 2 リセット	ディープソフトウェアスタンバイモード 3 リセット	
LOCO のレジスタ	LOCOUTCR	—	—	—	—	—	—	—	—	—	✓	✓	—
MOSC のレジスタ	MOMCR	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
HOCO のレジスタ	HOCOCR2	—	—	—	—	—	—	—	—	✓(注3)	✓(注3)	✓(注3)	—
端子状態（XCIN/XCOUT 端子以外）		✓	✓	✓	✓	✓	✓	✓	✓	(注2)	(注2)	(注2)	—
端子状態（XCIN/XCOUT 端子）		—	—	—	—	—	—	—	—	—	—	—	✓
IO キャプチャおよび改ざん検出 (VBAT)（RTC 用サンプリングタイミング）(RTCIC0-2)	VBTICTLR, VBTICTLR2, VBTADSR, VBTADCR1, VBTADCR2, VBTADCR3, VBTNCWCR	—	—	—	—	—	—	—	—	—	—	—	✓
VBATT バッテリ電源スイッチコントロールレジスタ 1	VBTBPCR1	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
VBATT バッテリ電源スイッチコントロールレジスタ 2	VBTBPCR2	—	—	—	—	—	—	—	—	—	—	—	✓
VBATT バックアップイネーブルレジスタ	VBTBER	—	—	—	—	—	—	—	—	—	—	—	—
バッテリバックアップのレジスタ	VBTBKRn	—	—	—	—	—	—	—	—	—	—	—	✓
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, IWDTTS, IWDTPR	✓	✓	✓	✓	✓	✓	✓	✓	—	✓	✓	—

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ (7/8)

初期化対象レジスタ		リセット要因											
		CPU1 ロックアップリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	バスエラーリセット	共通メモリエラーリセット	ローカルメモリ 0 エラーリセット	ローカルメモリ 1 エラーリセット	ディープソフトウェアスタンバイリセット			VBATT 選択電圧パワーオンリセット
										ディープソフトウェアスタンバイモード 1 リセット	ディープソフトウェアスタンバイモード 2 リセット	ディープソフトウェアスタンバイモード 3 リセット	
リアルタイムクロック(注1)のレジスタ		—	—	—	—	—	—	—	—	—	—	—	—
低消費電力タイマのレジスタ	ULPTCNT, ULPTCMA, ULPTCMB, ULPTCR, ULPTMR1, ULPTMR2, ULPTMR3, ULPTIOC, ULPTISR, ULPTCMSR	✓	✓	✓	✓	✓	✓	✓	✓	—	✓	✓	—
USBFS のレジスタ	DPUSR0R, DPUSR1R	✓	✓	✓	✓	✓	✓	✓	✓	—	✓	✓	—
USBHS のレジスタ	DPUSR0R, DPUSR1R, DPUSR2R, DPUSRCR	✓	✓	✓	✓	✓	✓	✓	✓	—	✓	✓	—
リセットフラグ	BUSERRSTAT<マスタ名>、MBWERRSTAT、SRAMESR、SRAMEARnm (n = 0〜3, m = 0〜1)、CCAEDST	✓	✓	✓	✓	—	—	—	—	✓	✓	✓	—
リセットフラグ		表 6.2 を参照してください。											
低消費電力機能のレジスタ	DPSBYCR, DPSWCR, DPSIER0〜DPSIER5, DPSIFR0〜DPSIFR5, DPSIEGR0〜DPSIEGR4, LPSCR	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
低消費電力機能のレジスタ	SYOCDCR	—	—	—	—	—	—	—	—	—	—	—	—
システムリセットマスクコントロールレジスタ	SYRSTMSK0, SYRSTMSK1, SYRSTMSK2	—	—	—	—	—	—	—	—	—	—	—	—

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ (8/8)

初期化対象レジスタ		リセット要因											
		CPU1 ロックアップリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	バスエラーリセット	共通メモリエラーリセット	ローカルメモリ 0 エラーリセット	ローカルメモリ 1 エラーリセット	ディープソフトウェアスタンバイリセット			VBATT 選択電圧パワーオンリセット
										ディープソフトウェアスタンバイモード 1 リセット	ディープソフトウェアスタンバイモード 2 リセット	ディープソフトウェアスタンバイモード 3 リセット	
ARM デバッグ機能	MCUSTAT、MCUCTRL、JBMDR、DBGSTR、DBGSTOPCR、DBGAUTH0、CACHEDBGCR、TRPORTCR、ALCTRL、TRPORTSZ、DBGNVMCR、Cortex-M85 レジスタ(注4)、Cortex-M33 レジスタ(注5)、CoreSight レジスタ(注6)	—	—	—	—	—	—	—	—	✓(注3)	✓(注3)	✓(注3)	—
TRCLK コントロールレジスタ	TRCKCR	—	—	—	—	—	—	—	—	✓(注3)	✓(注3)	✓(注3)	—
パワーゲートコントロールレジスタ	PDRAMSCR0, PDRAMSCR1, PGSCR, PSSTCRn (n = 2～5)	—	—	—	—	—	—	—	—	✓(注3)	✓(注3)	✓(注3)	—
上記以外		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—

注. ✓：初期化される
—：初期化されない

注 1. RTC にはソフトウェアリセットがあります。一部の制御ビットは、どの種類のリセットによっても初期化されません。対象ビットの詳細については、「9. クロック発生回路」を参照してください。

注 2. DPSBYCR.IOKEEP の設定値に依存します。

注 3. デバッガ認証を通過後、SYOCDCR.DBGEN を 1 に設定しても、このレジスタまたはその機能は初期化されません。詳細は、「2. CPU」を参照してください。

注 4. Cortex-M85 レジスタはコールドリセット時に初期化されます。

注 5. Cortex-M33 レジスタはコールドリセット時に初期化されます。

注 6. CoreSight SoC-400 TPIU レジスタ、CoreSight SoC-400 ATB ファネルレジスタ、CoreSight SoC-400 ATB レプリケータレジスタ、CoreSight SoC-400 CTI レプリケータレジスタ、CoreSight SoC-400 AHB-AP レジスタ、CoreSight SoC-400 APB-AP レジスタ、CoreSight SoC-400 デバッグポートレジスタ、CoreSight SoC-400 タイムスタンプ発生器レジスタ、CoreSight トレースメモリコントローラレジスタ。

RTC はいかなるリセット要因でも初期化されません。SOSC と LOCO は RTC のクロックソースとして選択可能です。

表 6.4 と表 6.5 にリセット発生時の SOSC と LOCO の状態を示します。

表 6.4 リセット発生時の SOSC の状態

		リセット要因	
		VBAT_POR リセット	その他
SOSC	有効／無効	初期化（有効）	リセット発生前に選択されていた状態を継続
	駆動能力	初期化（標準駆動能力）	

表 6.5 リセット発生時の LOCO の状態

		リセット要因	
		パワーオンリセット、電圧監視 0、4、5 リセット、コア電圧監視リセット、温度監視リセット、およびディープソフトウェアスタンバイ 2、3 リセット	その他
LOCO	有効／無効	初期化（有効）	
	発振精度(注1)	初期化（LOCOUTCR による調整前の精度（精度：± 15%））	LOCOUTCR レジスタにより調整された精度を継続

注 1. LOCOUTCR レジスタにより調整された LOCO が RTC ソースクロックとして選択される場合、LOCO 発振精度が、パワーオンリセット、電圧監視 0、4、5 リセット、コア電圧監視リセット、温度監視リセット、およびディープソフトウェアスタンバイ 2、3 リセットによって初期化されることに注意してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理の詳細については、「6.3.14. リセット発生要因の判定」を参照してください。

表 6.6 にリセット機能に関連する端子を示します。

表 6.6 リセット関連端子

端子名	入出力	機能
RES	入力	リセット端子

6.2 レジスタの説明

6.2.1 RSTSAR : リセットセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	NONSEC3	NONSEC2	NONSEC1	NONSEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ: リセットステータスレジスタ 0 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ: リセットステータスレジスタ 1 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ：リセットステータスレジスタ 2 0: セキュア 1: 非セキュア	R/W
3	NONSEC3	非セキュア属性ビット 3 対象レジスタ：リセットステータスレジスタ 3 0: セキュア 1: 非セキュア	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

NONSEC0 ビット（非セキュア属性ビット 0）

本ビットは RSTSR0 のセキュリティ属性を制御します。

NONSEC1 ビット（非セキュア属性ビット 1）

本ビットは RSTSR1 のセキュリティ属性を制御します。

NONSEC2 ビット（非セキュア属性ビット 2）

本ビットは RSTSR2 のセキュリティ属性を制御します。

NONSEC3 ビット（非セキュア属性ビット 3）

RSTSR3 レジスタのセキュリティ属性を制御します。

6.2.2 RSTSR0：リセットステータスレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA40

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSRSTF	PVD5RF	PVD4RF	—	PVD2RF	PVD1RF	PVD0RF	PORF
Value after reset:	x(注1)	x(注1)	x(注1)	0	x(注1)	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	PORF	パワーオンリセット検出フラグ 0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W(注2)
1	PVD0RF	電圧監視 0 リセット検出フラグ 0: 電圧監視 0 リセット未検出 1: 電圧監視 0 リセット検出	R/W(注2)
2	PVD1RF	電圧監視 1 リセット検出フラグ 0: 電圧監視 1 リセット未検出 1: 電圧監視 1 リセット検出	R/W(注2)
3	PVD2RF	電圧監視 2 リセット検出フラグ 0: 電圧監視 2 リセット未検出 1: 電圧監視 2 リセット検出	R/W(注2)
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PVD4RF	電圧監視 4 リセット検出フラグ 0: 電圧監視 4 リセット未検出 1: 電圧監視 4 リセット検出	R/W(注2)
6	PVD5RF	電圧監視 5 リセット検出フラグ 0: 電圧監視 5 リセット未検出 1: 電圧監視 5 リセット検出	R/W(注2)

ビット	シンボル	機能	R/W
7	DPSRSTF	ディープソフトウェアスタンバイリセット検出フラグ 0: 割り込み／リセットによるディープソフトウェアスタンバイモード解除要求の発生なし(注3) 1: 割り込み／リセットによるディープソフトウェアスタンバイモード解除要求の発生あり(注3)	R/W(注2)

注. S-TYPE-3, P-TYPE-2
注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをクリアするための 0 の書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書くことによりクリアしてください。
注 3. 独立ウォッチドッグタイマリセット、電圧監視 1 リセット、電圧監視 2 リセット

PORF フラグ（パワーオンリセット検出フラグ）

PORF フラグはパワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- PORF フラグから 1 を読んだ後に 0 を書いたとき

PVD0RF フラグ（電圧監視 0 リセット検出フラグ）

PVD0RF フラグは電圧監視 0 リセットが発生したことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- PVD0RF フラグから 1 を読んだ後、0 を書いたとき

PVD1RF フラグ（電圧監視 1 リセット検出フラグ）

PVD1RF フラグは電圧監視 1 リセットが発生したことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- PVD1RF フラグから 1 を読んだ後、0 を書いたとき

PVD2RF フラグ（電圧監視 2 リセット検出フラグ）

PVD2RF フラグは電圧監視 2 リセットが発生したことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- PVD2RF フラグから 1 を読んだ後、0 を書いたとき

PVD4RF フラグ（電圧監視 4 リセット検出フラグ）

PVD4RF フラグは電圧監視 4 リセットが発生したことを示します。

[1 になる条件]

- 電圧監視 4 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- PVD4RF フラグから 1 を読んだ後、0 を書いたとき

PVD5RF フラグ（電圧監視 5 リセット検出フラグ）

PVD5RF フラグは電圧監視 5 リセットが発生したことを示します。

[1 になる条件]

- 電圧監視 5 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- PVD5RF フラグから 1 を読んだ後、0 を書いたとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセット検出フラグ）

DPSRSTF フラグは、外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたこと、およびディープソフトウェアスタンバイモードからの例外発生時に内部リセット（ディープソフトウェアスタンバイリセット）が発生したことを示します。

[1 になる条件]

- 外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたとき。詳細は、「11. 低消費電力モード」を参照してください。

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- DPSRSTF フラグから 1 を読んだ後、0 を書いたとき

6.2.3 RSTSR1 : リセットステータスレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	LM1RF	CLU1RF	—	—	WDT1RF	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	x(注1)	x(注1)	0	0	x(注1)	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CMRF	—	—	—	BUSRF	—	—	—	—	LM0RF	CLU0RF	—	SWRF	WDT0RF	IWDTRF
Value after reset:	0	x(注1)	0	0	0	x(注1)	0	0	0	0	x(注1)	x(注1)	0	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ 0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/W(注2)
1	WDT0RF	ウォッチドッグタイマ 0 リセット検出フラグ 0: ウォッチドッグタイマ 0 リセット未検出 1: ウォッチドッグタイマ 0 リセット検出	R/W(注2)
2	SWRF	ソフトウェアリセット検出フラグ 0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/W(注2)

ビット	シンボル	機能	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CLU0RF	CPU0 ロックアップリセット検出フラグ 0: CPU0 ロックアップリセット未検出 1: CPU0 ロックアップリセット検出	R/W
5	LM0RF	ローカルメモリ 0 エラーリセット検出フラグ 0: ローカルメモリ 0 エラーリセット未検出 1: ローカルメモリ 0 エラーリセット検出	R/W(注2)
9:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	BUSRF	バスエラーリセット検出フラグ 0: バスエラーリセット未検出 1: バスエラーリセット検出	R/W(注2)
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	CMRF	共通メモリエラーリセット検出フラグ 0: 共通メモリエラーリセット未検出 1: 共通メモリエラーリセット検出	R/W(注2)
16:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	WDT1RF	ウォッチドッグタイマ 1 リセット検出フラグ 0: ウォッチドッグタイマ 1 リセット未検出 1: ウォッチドッグタイマ 1 リセット検出	R/W(注2)
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	CLU1RF	CPU1 ロックアップリセット検出フラグ 0: CPU1 ロックアップリセット未検出 1: CPU1 ロックアップリセット検出	R/W(注2)
21	LM1RF	ローカルメモリ 1 エラーリセット検出フラグ 0: ローカルメモリ 1 エラーリセット未検出 1: ローカルメモリ 1 エラーリセット検出	R/W(注2)
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注 1. リセット後の値は、リセット要因によって異なります。
注 2. フラグをクリアするための 0 書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

IWDTRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

IWDTRF フラグは独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- IWDTRF フラグから 1 を読んだ後、0 を書いたとき

WDT0RF フラグ（ウォッチドッグタイマ 0 リセット検出フラグ）

WDT0RF フラグは CPU0 ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- CPU0 ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- WDT0RF フラグから 1 を読んだ後、0 を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

SWRF フラグはソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- SWRF フラグから 1 を読んだ後、0 を書いたとき

CLU0RF フラグ（CPU0 ロックアップリセット検出フラグ）

CLU0RF フラグは CPU0 ロックアップリセットが発生したことを示します。

[1 になる条件]

- CPU0 ロックアップリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- CLU0RF フラグから 1 を読んだ後、0 を書いたとき

LM0RF フラグ（ローカルメモリ 0 エラーリセット検出フラグ）

LM0RF フラグはローカルメモリ 0 エラーリセット（CPU0 キャッシュまたは TCM の ECC エラー）が発生したことを示します。

[1 になる条件]

- ローカルメモリ 0 エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- LM0RF フラグから 1 を読んだ後、0 を書いたとき

BUSRF フラグ（バスエラーリセット検出フラグ）

BUSRF フラグはバスエラーリセット（MSAU エラー、MMPU エラー、不正アドレスエラー、TZF エラー、スレーブバスエラー、バッファ書き込みエラー）が発生したことを示します。

[1 になる条件]

- バススレーブ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- BUSRF フラグから 1 を読んだ後、0 を書いたとき

このリセットフラグの設定に対して、いくつかの要因があります。

リセット要因を確認したい場合は、「15. バス」を参照してください。

CMRF フラグ（共通メモリエラーリセット検出フラグ）

CMRF フラグは共通メモリエラーリセット（SRAM の ECC エラー）が発生したことを示します。

[1 になる条件]

- 共通メモリエラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- CMRF フラグから 1 を読んだ後、0 を書いたとき

このリセットフラグの設定に対して、いくつかの要因があります。

リセット要因を確認したい場合は、「58. SRAM」を参照してください。

WDT1RF フラグ（ウォッチドッグタイマ 1 リセット検出フラグ）

WDT1RF フラグは CPU1 ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- CPU1 ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- WDT1RF フラグから 1 を読んだ後、0 を書いたとき

CLU1RF フラグ（CPU1 ロックアップリセット検出フラグ）

CLU1RF フラグは CPU1 ロックアップリセットが発生したことを示します。

[1 になる条件]

- CPU1 ロックアップリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- CLU1RF フラグから 1 を読んだ後、0 を書いたとき

LM1RF フラグ（ローカルメモリ 1 エラーリセット検出フラグ）

LM1RF フラグはローカルメモリ 1 エラーリセット（CPU1 キャッシュまたは TCM の ECC エラー）が発生したことを示します。

[1 になる条件]

- ローカルメモリ 1 エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき
- LM1RF フラグから 1 を読んだ後、0 を書いたとき

6.2.4 RSTSR2 : リセットステータスレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA44

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CWSF
Value after reset:	0	0	0	0	0	0	0	x(注1)

ビット	シンボル	機能	R/W
0	CWSF	コールドスタート／ウォームスタート判別フラグ 0: コールドスタート 1: ウォームスタート	R/W(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをセットするための 1 書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ (コールドスタート／ウォームスタート判別フラグ)

CWSF フラグはリセット処理の種類（コールドスタートまたはウォームスタート）を示します。CWSF フラグは、パワーオンリセットで初期化されます。RES 端子で生成されたリセット信号では初期化されません。

[1 になる条件]

- ソフトウェアで 1 を書いたとき。CWSF フラグへの 0 の書き込みは、このフラグを 0 にセットしません。

[0 になる条件]

- 表 6.2 に示すリセットが発生したとき

6.2.5 RSTSR3 : リセットステータスレジスタ 3

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA48

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TEMPRF	—	—	—	—	—	—	CVMRF
Value after reset:	x(注1)	0	0	0	0	0	0	x(注1)

ビット	シンボル	機能	R/W
0	CVMRF	コア電圧監視リセット検出フラグ 0: コア電圧監視リセット未検出 1: コア電圧監視リセット検出	R/W(注2)
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TEMPRF	温度監視リセット検出フラグ 0: 温度監視リセット未検出 1: 温度監視リセット検出	R/W(注2)

注. S-TYPE-3、P-TYPE-2
注 1. リセット後の値は、リセット要因によって異なります。
注 2. フラグをクリアするために、0 の書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書くことによりクリアしてください。

CVMRF フラグ（コア電圧監視リセット検出フラグ）

CVMRF フラグはコア電圧が V_{det}_VDDL レベル以下になったことを示します。

CVMRF フラグはコア電圧が V_{det}_VDDH レベルを越えたことを示します。

[1 になる条件]

- コア電圧監視リセットが発生したとき

[0 になる条件]

- 表 6.3 に示すリセットが発生したとき
- CVMRF フラグから 1 を読んだ後、0 を書いたとき

TEMPRF フラグ（温度監視リセット検出フラグ）

TEMPRF フラグは温度監視リセットが発生したことを示します。

[1 になる条件]

- 温度監視リセットが発生したとき

[0 になる条件]

- 表 6.3 に示すリセットが発生したとき
- TEMPRF フラグから 1 を読んだ後、0 を書いたとき

6.2.6 SYRSTMSK0 : システムリセットマスクコントロールレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xAD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BUSMASK	CMMASK	LM0MASK	CLU0MASK	—	SWMASK	WDT0MASK	IWDTMASK
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTMASK	独立ウォッチドッグタイマリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
1	WDT0MASK	CPU0 ウォッチドッグタイマリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
2	SWMASK	ソフトウェアリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CLU0MASK	CPU0 ロックアップリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
5	LM0MASK	ローカルメモリ 0 エラーリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
6	CMMASK	共通メモリエラーリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
7	BUSMASK	バスエラーリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W

注. S-TYPE-6, P-TYPE-2
注. PRCR.PRC5 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SYRSTMSK0 レジスタは、リセットの発生を制御するレジスタです。

IWDTMASK ビットは、独立ウォッチドッグタイマの動作中に書き換えできません。WDT0MASK ビットは、CPU0 ウォッチドッグタイマの動作中に書き換えできません。

6.2.7 SYRSTMSK1 : システムリセットマスクコントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xAD4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	LM1MASK	CLU1MASK	—	—	WDT1MASK	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	WDT1MASK	CPU1 ウォッチドッグタイマリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W

ビット	シンボル	機能	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CLU1MASK	CPU1 ロックアップリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
5	LM1MASK	ローカルメモリ 1 エラーリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6, P-TYPE-2
注. PRCR.PRC5 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SYRSTMSK1 レジスタは、リセットの発生を制御するレジスタです。

6.2.8 SYRSTMSK2 : システムリセットマスクコントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xAD8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PVD2 MASK	PVD1 MASK
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PVD1MASK	電圧監視 1 リセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
1	PVD2MASK	電圧監視 2 リセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6, P-TYPE-2
注. PRCR.PRC5 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SYRSTMSK2 レジスタは、リセットの発生を制御するレジスタです。

6.2.9 TEMPRCR : 温度監視リセットコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xADC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	TSNKEEP	CMPEN	TSNEN	TEMPREN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TEMPREN	温度リセット許可 0: 温度リセットが無効 1: 温度リセットが有効	R/W
1	TSNEN	温度センサ許可 0: 温度センサが無効 1: 温度センサが有効	R/W

ビット	シンボル	機能	R/W
2	CMPEN	コンパレータ許可 0: コンパレータが無効 1: コンパレータが有効	R/W
3	TSNKEEP	温度センサラッチコントロール 0: 温度センサラッチが開いている 1: 温度センサラッチが閉じている	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6、P-TYPE-2
注. PRCR.PRC5 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

6.2.10 TEMPRLR : 温度監視リセットロックレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xAE0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LOCK
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	LOCK	温度監視リセットコントロールレジスタのロック 0: 温度監視リセットコントロールレジスタのロック解除 1: 温度監視リセットコントロールレジスタをロック	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6、P-TYPE-2
注. PRCR.PRC5 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. このレジスタは、書き込みを 2 回しか受け付けません。TEMPRLR レジスタに 3 回以上書き込む場合は、一旦リセットしてから再度書き込んでください。

6.3 動作説明

6.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切られ、本 MCU はリセット状態になります。本 MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、解除後待機時間 (t_{RESWT}) 経過後、内部リセットが解除されます。その後 CPU がリセット例外処理を開始します。

詳細は、「62. 電気的特性」を参照してください。

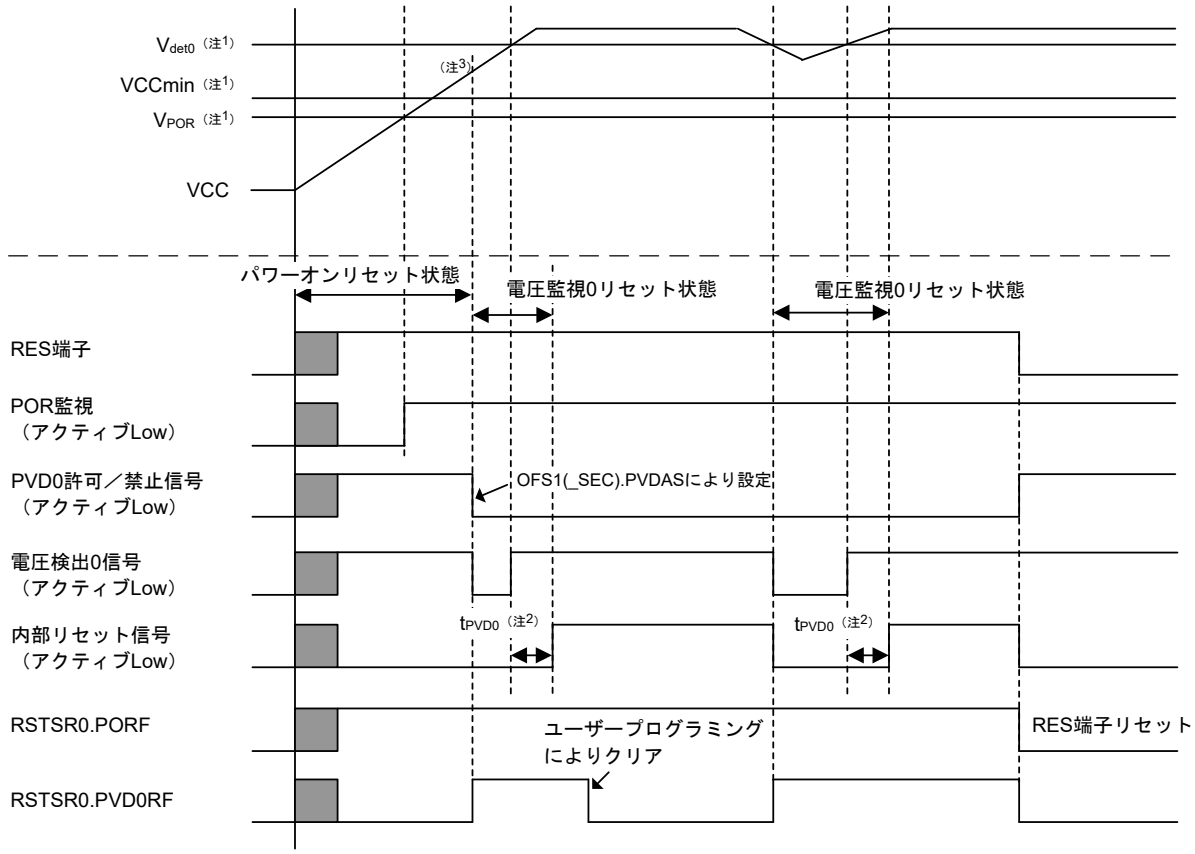
6.3.2 パワーオンリセット

パワーオンリセット回路がこの内部リセットを発生させます。RES 端子を High にした状態で、電源を投入した場合、パワーオンリセットが発生します。

VCC が V_{POR} を超えた後、指定された時間（パワーオンリセット時間）経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源と MCU 回路が安定して動作するための時間です。

パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。

図 6.1 にパワーオンリセット時および電圧監視 0 リセット時の動作例を示します。



注. 電気的特性の詳細は、「62. 電気的特性」を参照してください。
注 1. V_{det0} は電圧監視 0 リセット検出レベルを示し、V_{POR} はパワーオンリセット検出レベルを示します。また、VCCmin は MCU の最低保証電圧を示します。
注 2. tPVD0 は、電圧監視 0 のリセット時間を示します。
注 3. 電源立ち上がり時、パワーオンリセットが解除されるまでに VCC が最低保証動作電圧以上まで上昇している必要があります。

図 6.1 パワーオンリセット時および電圧監視 0 リセット時の動作例

6.3.3 電圧監視リセット

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (PVDAS) が 0（リセット後、電圧監視 0 リセット有効）の状態で、VCC が V_{det0} 以下になると、RSTSR0.PVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.PVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{PVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。オプション機能選択レジスタ 1 (OFS1) の VDSEL[1:0]ビットを設定することにより、V_{det0} 電圧検出レベルを変更できます。

- PVDiFCR.RHSEL = 0、かつ PVDjFCR.RHSEL = 0 (i = 1, 2, j = 4, 5) の場合

電圧監視 1 回路コントロールレジスタ 0 (PVD1CR0) の電圧監視 1 割り込み／リセット許可ビット (RIE) が 1（電圧検出回路によるリセット／割り込み発生許可）で、かつ電圧監視 1 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生を選択）の状態にあるとき、VCC 電圧が V_{det1} 以下になると、RSTSR0.PVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

電圧監視 1 リセット状態の解除タイミングは、PVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。RN ビットが 0 で、かつ VCC 電圧が Vdet1 以下になっている場合、VCC 電圧が V_{det1} を超えてから PVD1 リセット時間 (tPVD1) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。また、PVD1CR0.RN ビットが 1 で、かつ VCC 電圧が Vdetm 以下になっている場合、PVD1 リセット時間 (tPVD1) が経過すると、内部リセット状態は解除され、CPU がリセット例外処理を開始します。

電圧監視 2 回路コントロールレジスタ 0 (PVD2CR0) の電圧監視 2 割り込み／リセット許可ビット (RIE) が 1（電圧検出回路によるリセット／割り込み発生許可）で、かつ電圧監視 2 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生を選択）の状態にあるとき、VCC 電圧が V_{det2} 以下になると、RSTSR0.PVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

電圧監視 2 リセット状態の解除タイミングは、PVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。RN ビットが 0 で、かつ VCC 電圧が V_{det2} 以下になっている場合、VCC 電圧が V_{det2} を超えてから PVD2 リセット時間 (tPVD2) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。また、PVD2CR0.RN ビットが 1 で、かつ VCC 電圧が Vdetm 以下になっている場合、PVD2 リセット時間 (tPVD2) が経過すると、内部リセット状態は解除され、CPU がリセット例外処理を開始します。

電圧監視 4 回路コントロールレジスタ 0 (PVD4CR0) の電圧監視 4 リセット許可ビット (RE) が 1（電圧検出回路によるリセット発生許可）の場合、VCC 電圧が V_{det4} 以下になると、RSTSR0.PVD4RF フラグが 1 になり、電圧検出回路は電圧監視 4 リセットを発生させます。

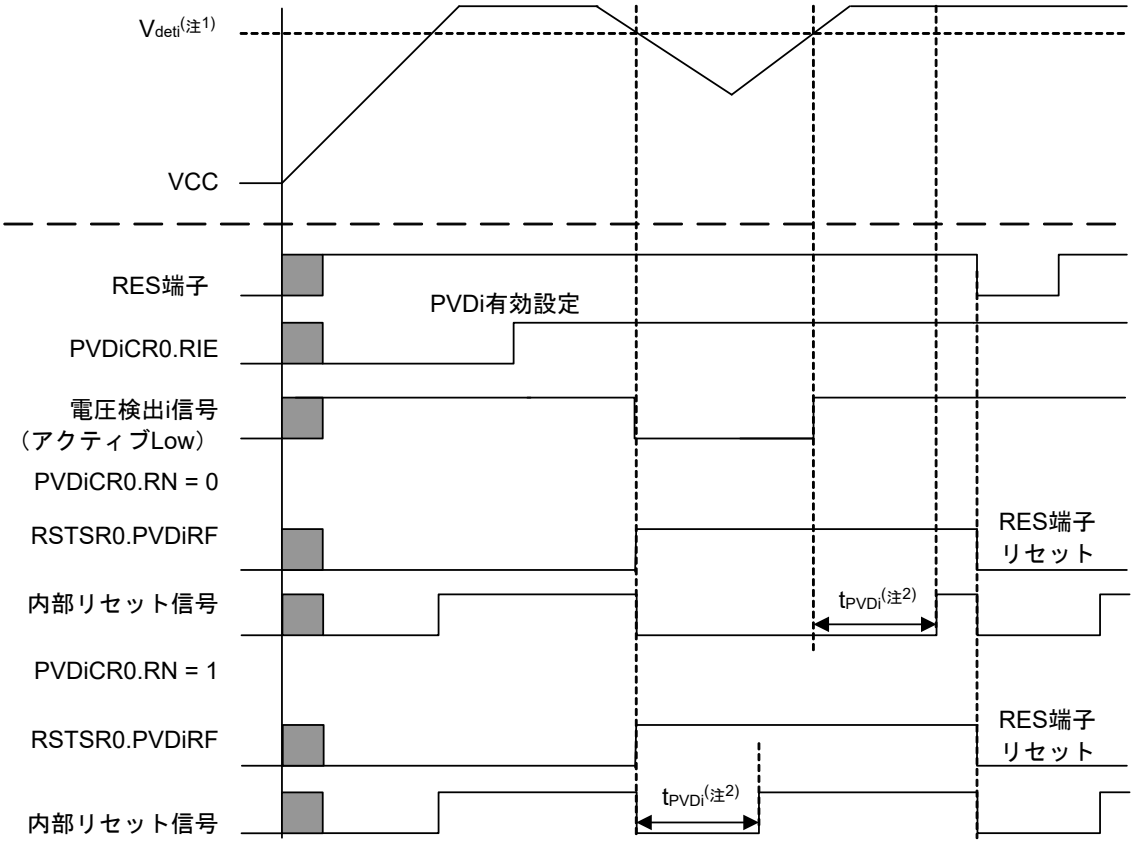
その後、VCC 電圧が V_{det4} を超えてから PVD4 リセット時間 (tPVD4) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

電圧監視 5 回路コントロールレジスタ 0 (PVD5CR0) の電圧監視 5 リセット許可ビット (RE) が 1（電圧検出回路によるリセット発生許可）の場合、VCC 電圧が V_{det5} 以下になると、RSTSR0.PVD5RF フラグが 1 になり、電圧検出回路は電圧監視 5 リセットを発生させます。

その後、VCC 電圧が V_{det5} を超えてから PVD5 リセット時間 (tPVD5) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

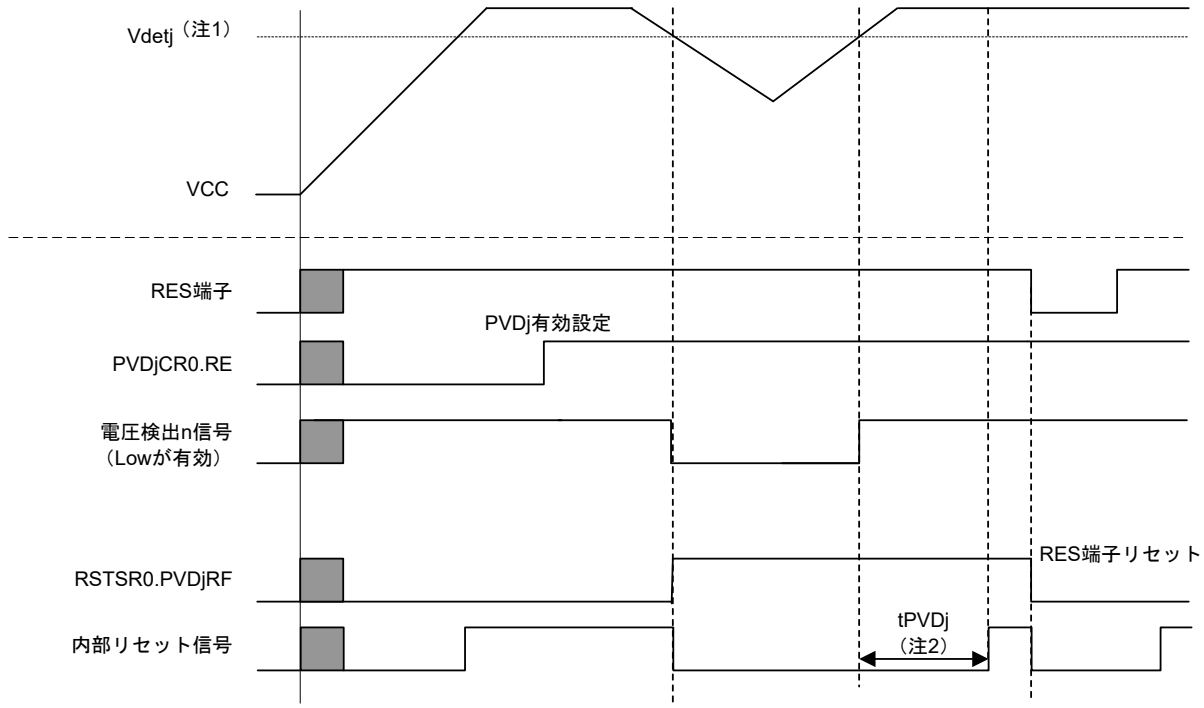
図 6.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。

図 6.3 に電圧監視 4 リセットおよび電圧監視 5 リセット時の動作例を示します。



注. 電気的特性の詳細は、「62. 電気的特性」を参照してください。
注 1. V_{deti} は電圧監視 i リセットの検出レベルを示します。(i = 1, 2)
注 2. t_{PVDi} は電圧監視 i リセット時間を示します。(i = 1, 2)

図 6.2 電圧監視 i リセット時の動作例 (i = 1, 2)



注. 電気的特性の詳細は、「62. 電気的特性」を参照してください。
注 1. Vdetj は、電圧監視 j リセットの検出レベルを示します。(j = 4, 5)
注 2. tPVDj は、電圧監視 j リセットの時間を示します。(j = 4, 5)

図 6.3 電圧監視 j リセット時の動作例 (j = 4, 5)

- PVDiFCR.RHSEL = 1、かつ PVDjFCR.RHSEL = 1 (i = 1, 2, j = 4, 5) の場合

電圧監視 1 回路コントロールレジスタ 0 (PVD1CR0) の電圧監視 1 割り込み／リセット許可ビット (RIE) が 1（電圧検出回路によるリセット／割り込み発生許可）で、かつ電圧監視 1 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生を選択）の状態にあるとき、VCC 電圧が V_{det1} 以上になると、RSTSR0.PVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

その後、VCC 電圧が V_{det1} 以下になってから PVD1 リセット時間 (tPVD1) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

電圧監視 2 回路コントロールレジスタ 0 (PVD2CR0) の電圧監視 2 割り込み／リセット許可ビット (RIE) が 1（電圧検出回路によるリセット／割り込み発生許可）で、かつ電圧監視 2 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生を選択）の状態にあるとき、VCC 電圧が V_{det2} 以上になると、RSTSR0.PVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

その後、VCC 電圧が V_{det2} 以下になってから PVD2 リセット時間 (tPVD2) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

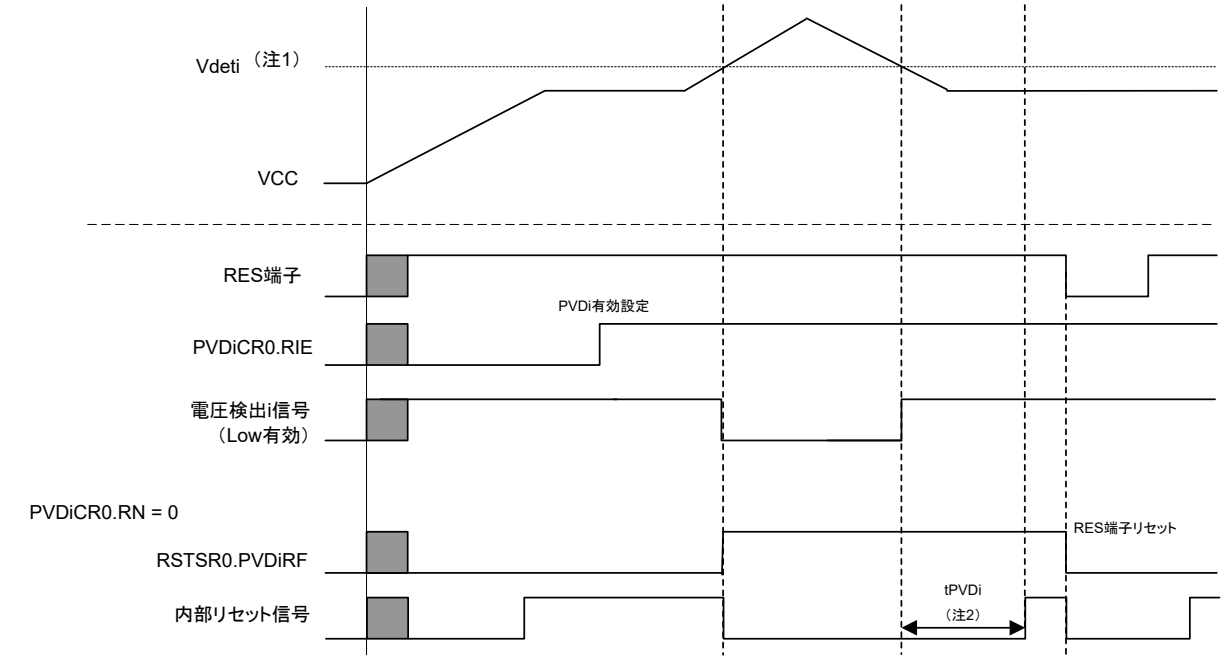
電圧監視 4 回路コントロールレジスタ 0 (PVD4CR0) の電圧監視 4 リセット許可ビット (RE) が 1（電圧検出回路によるリセット発生許可）のとき、VCC 電圧が V_{det4} 以上になると、RSTSR0.PVD4RF フラグが 1 になり、電圧検出回路は電圧監視 4 リセットを発生させます。

その後、VCC 電圧が V_{det4} 以下になってから PVD4 リセット時間 (tPVD4) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

電圧監視 5 回路コントロールレジスタ 0 (PVD5CR0) の電圧監視 5 リセット許可ビット (RE) が 1（電圧検出回路によるリセット発生許可）のとき、VCC 電圧が V_{det5} 以上になると、RSTSR0.PVD5RF フラグが 1 になり、電圧検出回路は電圧監視 5 リセットを発生させます。

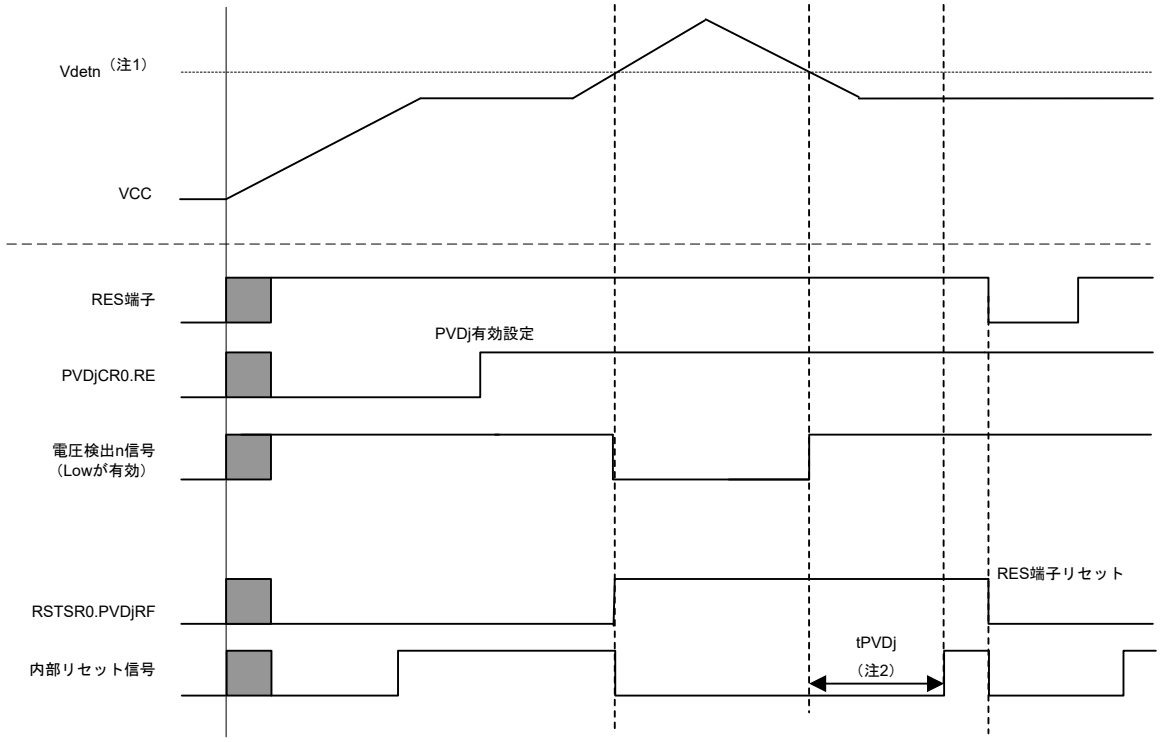
その後、VCC 電圧が V_{det5} 以下になってから PVD5 リセット時間 (tPVD5) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

図 6.4 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。
図 6.5 に電圧監視 4 リセットおよび電圧監視 5 リセット時の動作例を示します。



注. 電気的特性の詳細は、「62. 電気的特性」を参照してください。
注 1. V_{deti} は電圧監視 i リセットの検出レベルを示します (i = 1～2)。
注 2. t_{PVDi} は電圧監視 i リセット時間を示します (i = 1～2)。

図 6.4 電圧監視 i リセット時の動作例 (i = 1, 2)



注. 電気的特性の詳細は、「62. 電気的特性」を参照してください。
注 1. Vdetj は、電圧監視 j リセットの検出レベルを示します。(j = 4, 5)
注 2. tPVDj は、電圧監視 j リセットの時間を示します。(j = 4, 5)

図 6.5 電圧監視 j リセット時の動作例 (j = 4, 5)

コア電圧監視リセットは、コア電圧監視回路による内部リセットです。

オプション機能選択レジスタ 0 (OFS2) のコア電圧検出回路禁止ビット (CVMRDIS) が 0（リセット後、コア電圧監視リセット有効）の状態で、VDD が V_{det}_VDDL 以下になるか V_{det}_VDDH を超えた場合、RSTSR3.CVMRF フラグが 1 になり、コア電圧検出回路はコア電圧監視リセットを発生させます。

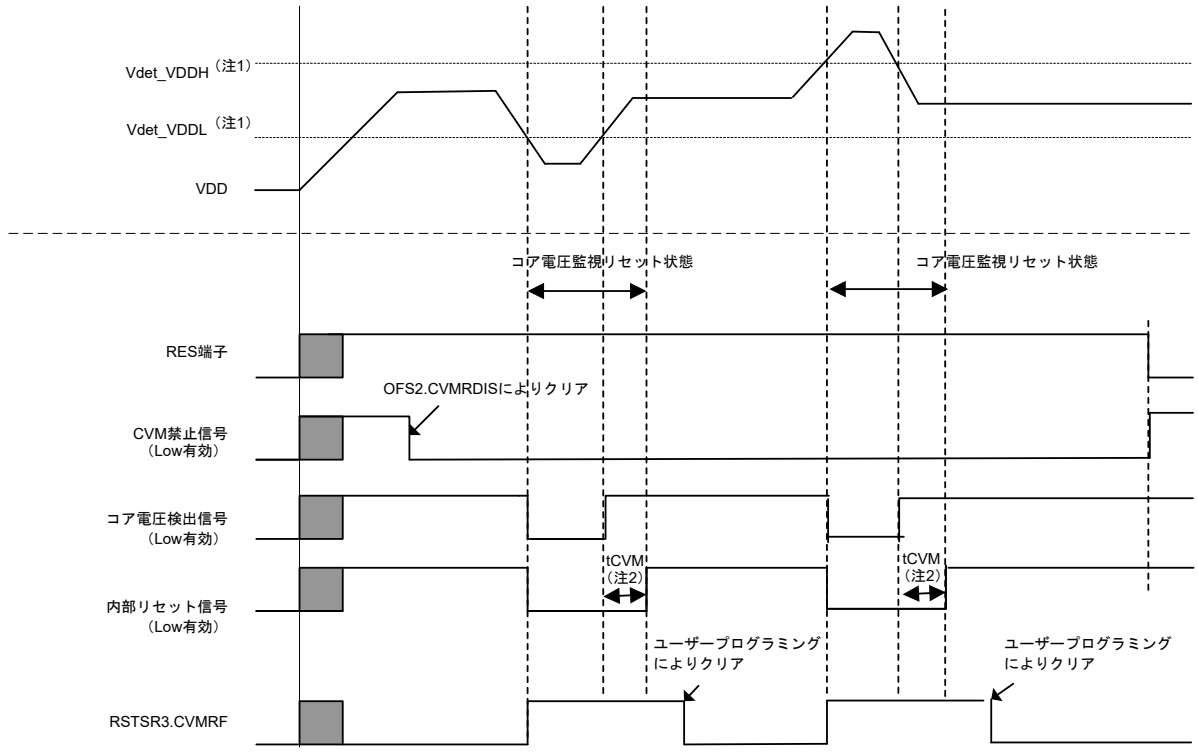
VDD が V_{det}_VDDL～V_{det}_VDDH の範囲内になってからコア電圧監視リセット時間 (tCVM) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。

コア電圧監視リセット機能は DSTBY モード時は無効になります。

CVM リセットの発行中に RES 端子リセットがアサートされると、CVM リセットはネゲートされません。

コア電圧監視リセットが発生すると、リセットが発生するまでの応答時間のために、レジスタと SRAM の値は保証されません。

図 6.6 にコア電圧監視リセット時の動作例を示します。



注 1. 電気的特性の詳細は、「62. 電気的特性」を参照してください。
注 2. tCVM は、コア電圧監視のリセット時間を示します。

図 6.6 コア電圧監視リセット時の動作例

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイリセット（内部リセット）は、ディープソフトウェアスタンバイモードのいずれかが対応する割り込みによって解除されたときに発生します。

t_{DSBY}（ディープソフトウェアスタンバイモード解除後の復帰時間）が経過した後に、ディープソフトウェアスタンバイリセットは解除されます。同時に、ディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後に、t_{DSBYWT}（ディープソフトウェアスタンバイモード解除後の待機時間）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「11. 低消費電力モード」を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。 オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「28. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

6.3.6 CPU0/CPU1 ウォッチドッグタイマリセット

CPU0/CPU1 ウォッチドッグタイマリセットは、ウォッチドッグタイマ (WDT0/1) による内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、WDT0/1 からウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、またはリフレッシュ動作が禁止されている期間に書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「27. ウォッチドッグタイマ (WDT)」を参照してください。

6.3.7 CPU0/CPU1 ロックアップリセット

CPU0 ロックアップリセットは、Arm コアにより発生する内部リセットです。Arm コアからのリセット出力は、CPU0LCKUPCR.OAD によって選択できます。

CPU0 ロックアップリセット出力が選択されると、Arm コアがロックアップ状態にある場合に CPU0 ロックアップリセットが発生します。CPU0 ロックアップリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

同様に、CPU1 にはロックアップリセットがあります。Arm コアからのリセット出力は、CPU1LCKUPCR.OAD によって選択できます。

CPU ロックアップリセットの詳細は、「2. CPU」を参照してください。

6.3.8 ソフトウェアリセット

ソフトウェアリセット（内部リセット）は、ARM コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生します。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。デュアル CPU システムの場合、CPU0 の SYSRESETREQ は常にソフトウェアリセットを発生させますが、CPU0 で動作しているセキュアソフトウェアがアクセス可能なコントロールレジスタの設定によって CPU1 リセット要求をゲートオフすることができます。

6.3.9 バスエラーリセット

バスエラーリセットは、バスにより発生する内部リセットです。

このリセットは、バスにより発生する統合されたリセットであり、以下のリセットで構成されます。

- バスエラーリセット（MSAU エラー、MMPU エラー、不正アドレスエラー、スレーブ TrustZone フィルタエラー、スレーブバスエラー、バッファ書き込みエラー）

バスエラーリセットの出力は、MSAOAD.OAD、MMPUOAD.OAD、BUSOAD.ILERROAD、BUSOAD.SLERROAD、または BUSOAD.BWERROAD によって選択できます。

バスエラーリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

バスエラーリセットの詳細は、「15. バス」を参照してください。バスエラーリセットのリセット発生要因の判定は、割り込み発生要因の判定に類似しています。「14. 割り込みコントローラユニット (ICU)」を参照してください。

6.3.10 共通メモリエラーリセット

共通メモリエラーリセットは、SRAM により発生する内部リセットです。

このリセットは、SRAM により発生する統合されたリセットであり、以下のリセットで構成されます。

- SRAM エラーリセット（ECC エラー）

SRAM エラーリセットの出力は、SRAMCRn.OAD によって選択できます。

共通メモリエラーリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

共通メモリエラーリセットの詳細は、「58. SRAM」を参照してください。共通メモリエラーリセットのリセット発生要因の判定は、割り込み発生要因の判定に類似しています。「14. 割り込みコントローラユニット (ICU)」を参照してください。

6.3.11 ローカルメモリ 0／ローカルメモリ 1 エラーリセット

ローカルメモリ 0／ローカルメモリ 1 エラーリセットは、SRAM により発生する内部リセットです。

このリセットは、SRAM により発生する統合されたリセットであり、以下のリセットで構成されます。

- ローカルメモリ 0 エラーリセット（CPU0 キャッシュまたは TCM の ECC エラー）
- ローカルメモリ 1 エラーリセット（CPU1 キャッシュまたは TCM の ECC エラー）

ローカルメモリ 1 エラーリセットの出力は CAPOAD.OAD および TCMCRC.OAD または TCMCRS.OAD によって選択できます。

ローカルメモリ 0/1 エラーリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ローカルメモリ 0／ローカルメモリ 1 エラーリセットの詳細については、「2. CPU」を参照してください。ローカルメモリ 0／ローカルメモリ 1 エラーリセットのリセット発生要因の判定については、割り込み発生要因の判定と類似しているので、「14. 割り込みコントローラユニット (ICU)」を参照してください。

6.3.12 温度監視リセット

温度監視リセットは温度センサ (TSN) により発生する内部リセットです。TSN は MCU の周囲環境の気温を検出します。気温が指定範囲外の場合、リセットが発行されます。

温度監視リセット機能は図 6.7 に記載された特定手順で有効になります。

TSN が起動し、リセット機能が有効の場合、温度監視が実行されます。温度監視リセットの代表的な動作を図 6.8 と図 6.9 に示します。

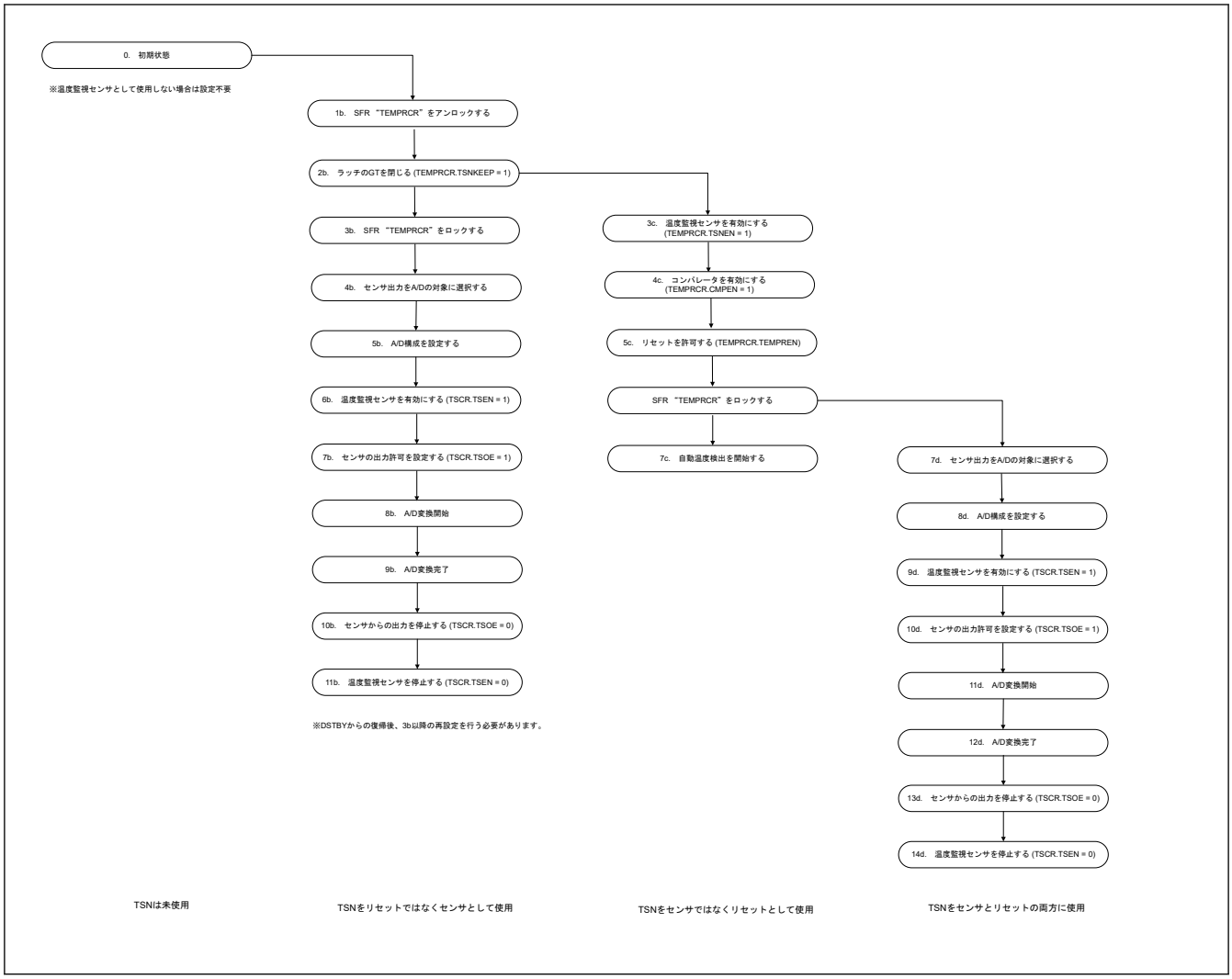


図 6.7　温度監視センサの設定手順

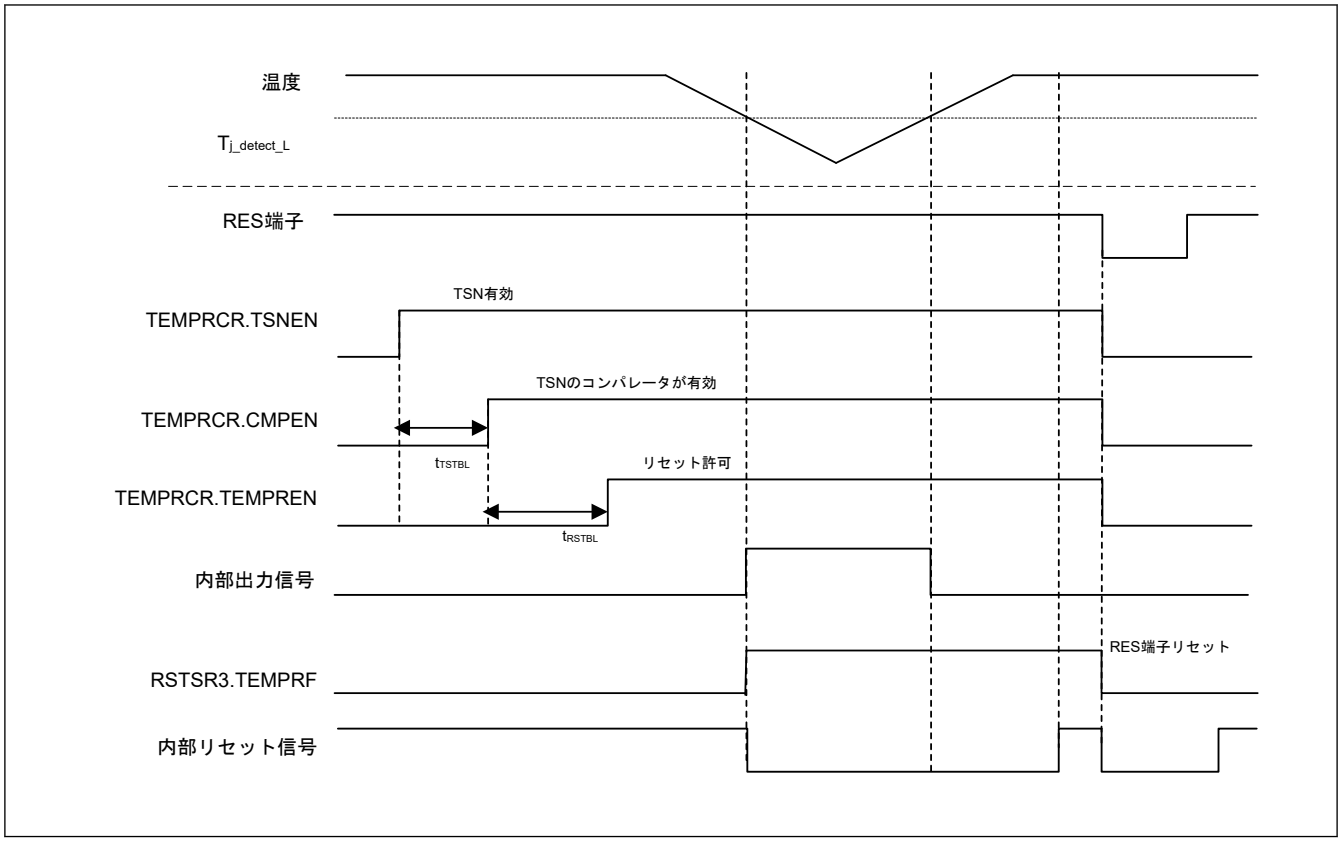


図 6.8　温度監視リセット動作例（Low 検出）

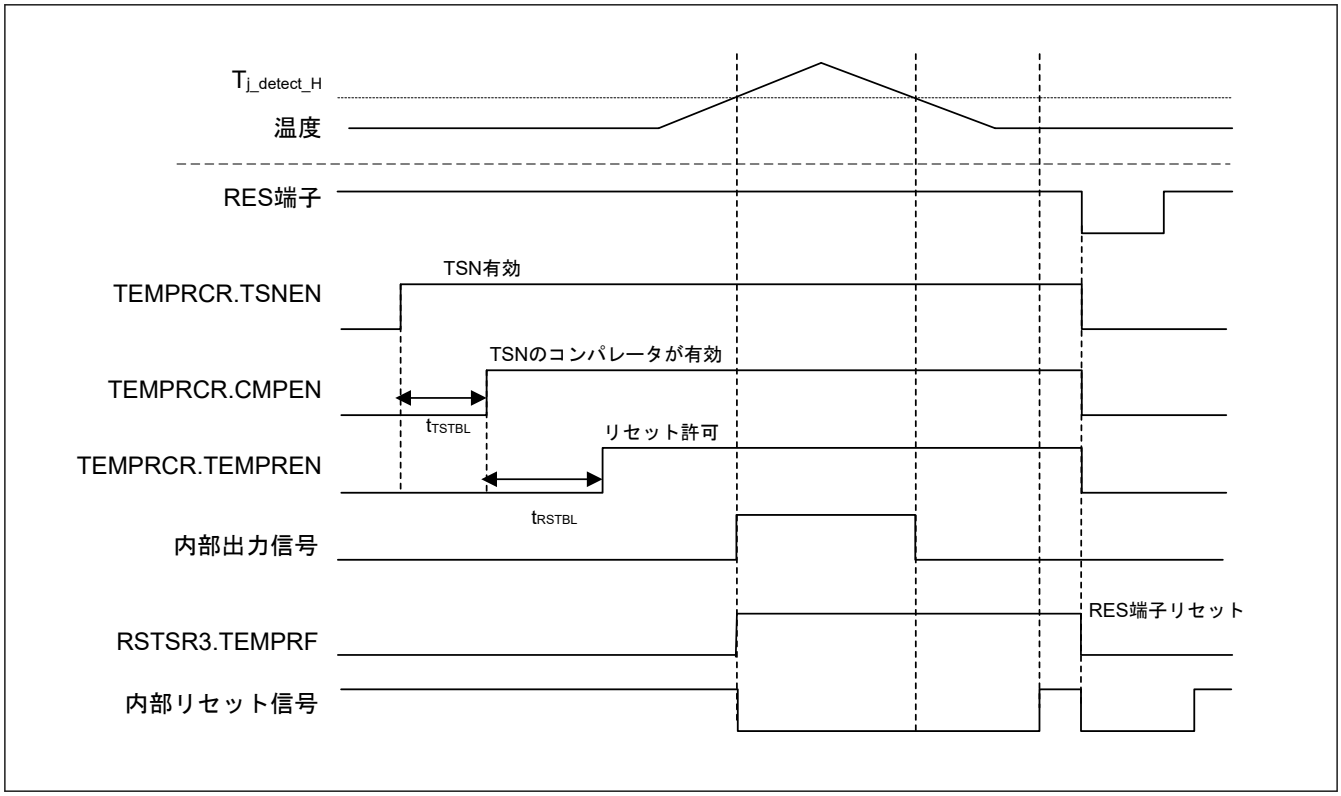


図 6.9　温度監視リセット動作例（High 検出）

6.3.13 コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 6.10 にコールドスタート／ウォームスタート判定機能の動作例を示します。

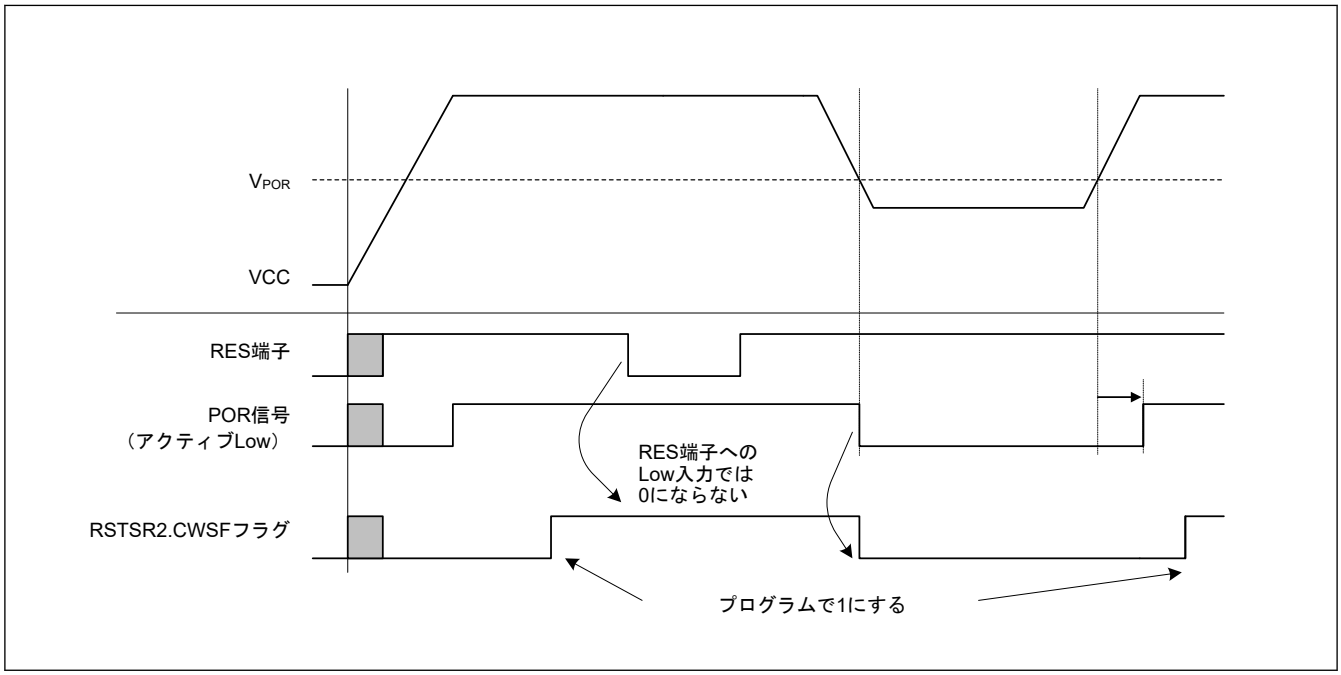
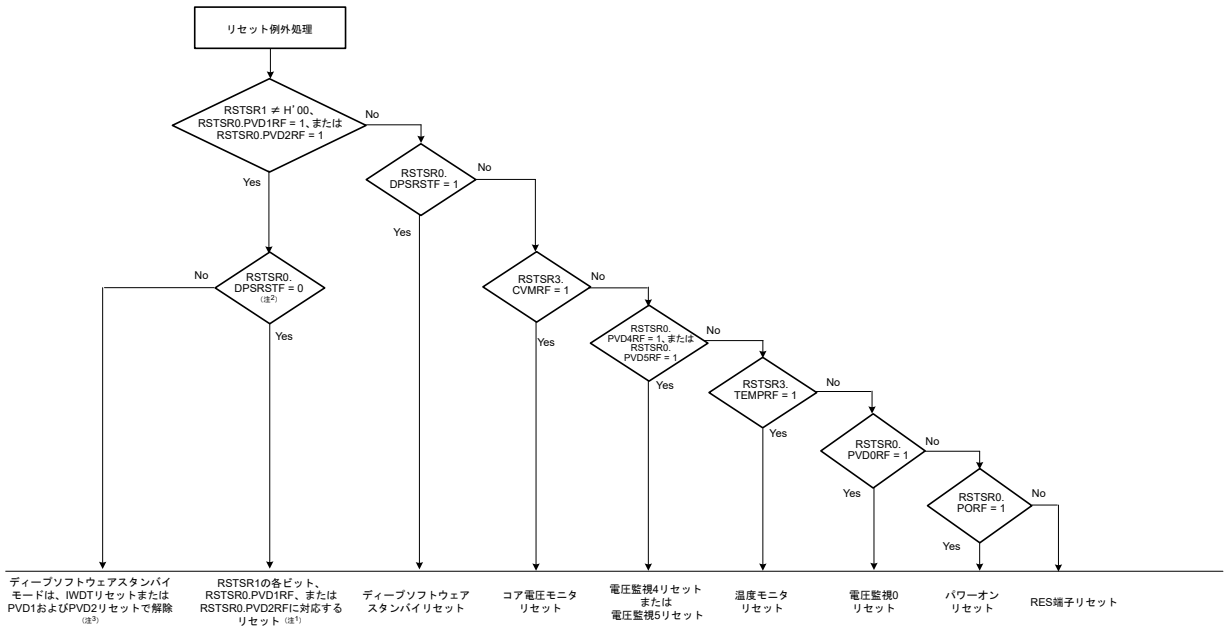


図 6.10 コールドスタート／ウォームスタート判定機能の動作例

6.3.14 リセット発生要因の判定

RSTSR0、RSTSR1、および RSTSR3 レジスタを読み出すことで、どのリセットがリセット例外処理を実行したかを判定できます。

図 6.11 にリセット発生要因の判定フロー例を示します。リセットフラグは、1 を読み出し後に 0 を書いてください。



注 1. RSTSR1、RSTSR0.PVD1RF、または RSTSR0.PVD2RF の各ビットに対応するリセットが同時に発生した場合、リセットが発生したすべてのリセットフラグは 1 になります。
注 2. RSTSR1 ≠ 0x00、RSTSR0.PVD1RF = 1、または RSTSR0.PVD2RF = 1 を確認後に、ディープソフトウェアスタンバイモードの解除が発生したかどうかを判定するために、RSTSR0.DPSRSTF を確認してください。
注 3. リセットステータスレジスタ (RSTSR0, RSTSR1, RSTSR2, RSTSR3) をディープソフトウェアスタンバイモードへの遷移前にクリアしてください。リセットフラグがクリアされなかった場合、復帰要因を正しく識別できません。

図 6.11 リセット発生要因の判定フロー例

6.4 非セキュアプログラムからのリセット保護

リセットの発生は制御可能です。セキュアプログラムからのみアクセス可能な SYRSTMSK0、SYRSTMSK1、および SYRSTMSK2 の設定に従って、リセットが発生します。

無効に設定されたリセット要因は発生しますが、MCU には伝播されません。RSTSR0 ビットと RSTSR1 ビットのリセットフラグは設定されません。

制御可能なリセットは以下の通りです。

- 独立ウォッチドッグタイマリセット
- CPU0/CPU1 ウォッチドッグタイマリセット
- CPU0/CPU1 ロックアップリセット
- 共通メモリエラーリセット
- ローカルメモリ 0 エラーリセット
- ローカルメモリ 1 エラーリセット
- バスエラーリセット
- 電圧監視 1 リセット
- 電圧監視 2 リセット
- ソフトウェアリセット

7. オプション設定メモリ

7.1 概要

オプション設定メモリは、MCU のリセット後の状態を決定します。オプション設定メモリは、エクストラ MRAM メモリのコンフィグレーション設定領域または OTP 領域に割り当てられています。

図 7.1 にオプション設定メモリの領域を示します。オプション設定メモリの領域には、セキュア領域と非セキュア領域があります。表 7.1 にオプション設定メモリ領域のプログラミング条件を示します。

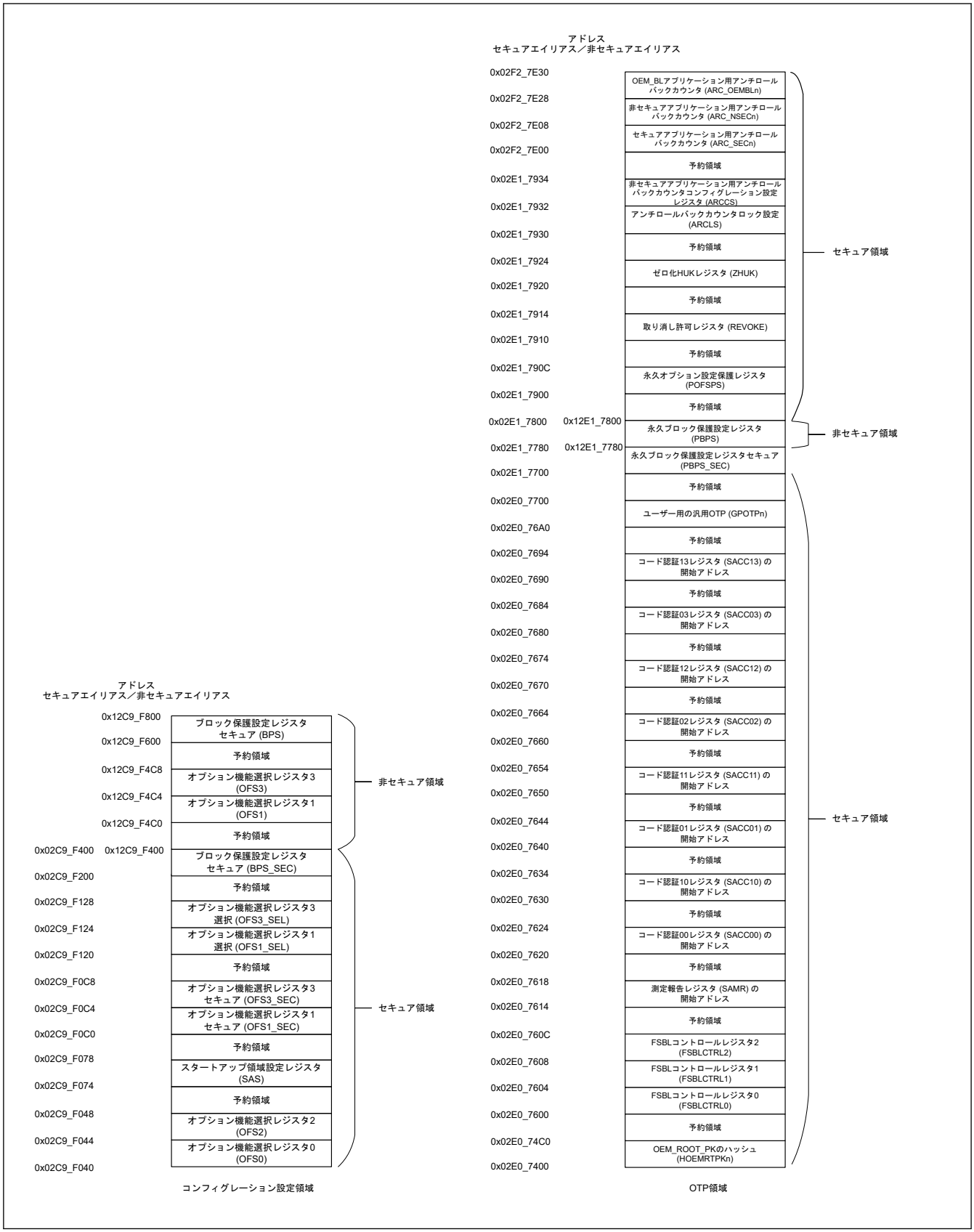


図 7.1　オプション設定メモリの領域

表 7.1 オプション設定メモリ領域のプログラミング条件

	セルフプログラミング	シリアルプログラミング	オンチップデバッガによるプログラミング
セキュア領域	セキュアエイリアスアクセスにより発行されたプログラミングコマンド	認証レベルが AL2 のとき発行されたプログラミングコマンド	認証レベルが AL2 のとき発行されたプログラミングコマンド
非セキュア領域	非セキュアエイリアスアクセスにより発行されたプログラミングコマンド	認証レベルが AL2 または AL1 のとき発行されたプログラミングコマンド	認証レベルが AL2 または AL1 のとき発行されたプログラミングコマンド

7.2 レジスタの説明

7.2.1 OFS0 : オプション機能選択レジスタ 0

Address: 0x02C9_F040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	WDT0STPCTL	—	WDT0RSTIRQS	WDT0RPSS[1:0]		WDT0RPES[1:0]		WDT0CKS[3:0]				WDT0TOPS[1:0]		WDT0STRT	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IWDTSTPCTL	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
0	—	プログラム値は本ビットから読み出します。(注2)	R
1	IWDTSTRT	IWDT スタートモード選択 0: リセット後、IWDT は自動的に起動（オートスタートモード） 1: リセット後、IWDT は停止状態（レジスタスタートモード）	R
3:2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF)	R
7:4	IWDTCKS[3:0]	IWDT 専用クロック分周比選択 0x0: 分周なし 0x2: 16 分周 0x3: 32 分周 0x4: 64 分周 0xF: 128 分周 0x5: 256 分周 その他: 予約	R
9:8	IWDTRPES[1:0]	IWDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
11:10	IWDTRPSS[1:0]	IWDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
12	IWDTRSTIRQS	IWDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
13	—	プログラム値は本ビットから読み出します。(注2)	R

ビット	シンボル	機能	R/W
14	IWDTSTPCTL	IWDT 停止制御 0: カウント継続 1: 一次 CPU が CPU スリープモードまたは CPU ディープスリープモードであるか、MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 のとき、カウント停止	R
16:15	—	プログラム値は本ビットから読み出します。(注2)	R
17	WDT0STRT	WDT0 スタートモード選択 0: リセット後、WDT0 は自動的に起動（オートスタートモード） 1: リセット後、WDT0 は停止状態（レジスタスタートモード）	R
19:18	WDT0TOPS[1:0]	WDT0 タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R
23:20	WDT0CKS[3:0]	WDT0 クロック分周比選択 0x1: PCLKB の 4 分周 0x4: PCLKB の 64 分周 0xF: PCLKB の 128 分周 0x6: PCLKB の 512 分周 0x7: PCLKB の 2048 分周 0x8: PCLKB の 8192 分周 その他: 予約	R
25:24	WDT0RPES[1:0]	WDT0 ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
27:26	WDT0RPSS[1:0]	WDT0 ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
28	WDT0RSTIRQS	WDT0 リセット割り込み要求選択 0: 割り込み 1: リセット	R
29	—	プログラム値は本ビットから読み出します。(注2)	R
30	WDT0STPCTL	WDT0 停止制御 : 0: カウント継続 1: CPU0 が CPU スリープモードまたは CPU ディープスリープモードの場合、カウント停止	R
31	—	プログラム値は本ビットから読み出します。(注2)	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

IWDTSTRT ビット（IWDT スタートモード選択）

IWDTSTRT ビットは、リセット後の IWDT の起動モード（停止状態または起動状態）を選択します。IWDT が自動起動モードで起動する場合、IWDT に対する OFS0 レジスタの設定は有効です。

IWDTTOPS[1:0]ビット（IWDT タイムアウト期間選択）

IWDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでの時間（すなわち、タイムアウト期間）を、IWDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル、512 サイクル、1024 サイクル、または 2048 サイクルから選択します。リフレッシュ動作後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0]ビットと IWDTTOPS[1:0]ビットの組み合わせにより決定されます。

詳細は「28. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTCKS[3:0]ビット（IWDT 専用クロック分周比選択）

IWDTCKS[3:0]ビットは、IWDT 用のクロックを分周するプリスケーラの分周比設定を、1 分周、16 分周、32 分周、64 分周、128 分周、256 分周から選択します。この設定を IWDTTOPS[1:0]ビットの設定と組み合わせて、IWDT のカウント期間を 128～524288 の IWDT クロックサイクルの間で設定できます。

詳細は「28. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPES[1:0]ビット（IWDT ウィンドウ終了位置選択）

IWDTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置＞ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、IWDTTOPS[1:0]ビットの設定により変わります。

詳細は「28. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPSS[1:0]ビット（IWDT ウィンドウ開始位置選択）

IWDTRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント値（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は、「28. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

IWDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「28. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTSTPCTL ビット（IWDT 停止制御）

IWDTSTPCTL ビットは、CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード 1 に遷移時、カウントを停止するかどうかを指定します。

詳細は「28. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

WDT0STRT ビット（WDT0 スタートモード選択）

WDT0STRT ビットは、リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）を選択します。WDT がオートスタートモードで起動する場合、WDT に対する OFS0 レジスタの設定は有効です。

WDT0TOPS[1:0]ビット（WDT0 タイムアウト期間選択）

WDT0TOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDT0CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、または 16384 の各サイクル数で指定します。リフレッシュ動作後、アンダーフローするまでの PCLKB サイクル数は、WDT0CKS[3:0]ビットと WDT0TOPS[1:0]ビットの組み合わせで決定されます。

詳細は、「27. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0CKS[3:0]ビット（WDT0 クロック分周比選択）

WDT0CKS[3:0]ビットは、PCLKB を分周するプリスケーラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。この設定を WDT0TOPS[1:0]ビットの設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの PCLKB サイクル数に設定できます。

詳細は、「27. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0RPES[1:0]ビット（WDT0 ウィンドウ終了位置選択）

WDT0RPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置＞ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置より大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDT0RPSS[1:0]および WDT0RPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、WDT0TOPS[1:0]ビットの設定により変わります。

詳細は、「27. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0RPSS[1:0]ビット（WDT0 ウィンドウ開始位置選択）

WDT0RPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント値の 100%、75%、50%、25%から選択します。カウントを開始する位置は 100%、アンダーフローが発生する位置は 0%です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。

それ以外はリフレッシュ禁止期間となります。

詳細は、「27. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0RSTIRQS ビット（WDT0 リセット割り込み要求選択）

WDT0RSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「27. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0STPCTL ビット（WDT0 停止制御）

WDT0STPCTL ビットは、CPU0 が CPU スリープモードまたは CPU ディープスリープモードの場合にカウントを停止するかどうかを指定します。

詳細は、「27. ウォッチドッグタイマ (WDT)」を参照してください。

7.2.2 OFS2 : オプション機能選択レジスタ 2

Address: 0x02C9_F044

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	EXVDDSEL[1:0]	EXVDDSEL[1:0]	—	—	CVMRDIS	DCDCEN
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
0	DCDCEN	DCDC 有効 0: DCDC を禁止 1: DCDC を許可	R
1	CVMRDIS	CVM リセット禁止 0: CVM リセットを許可 1: CVM リセットを禁止	R
3:2	—	プログラム値は本ビットから読み出します。(注2)	R
5:4	EXVDDSEL[1:0]	SRAM 用外部 VDD 電圧選択 1 0: 0.9 V ±10% その他: 設定禁止	R
31:6	—	プログラム値は本ビットから読み出します。(注2)	R

注 1. ブランク品の値は、0xFFFFFFEF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

DCDCEN ビット（DCDC 有効）

DCDCEN ビットは、DCDC の有効または無効を選択します。

CVMRDIS ビット（CVM リセット禁止）

CVMRDIS ビットは、CVM リセットの許可または禁止を選択します。

EXVDDSEL[1:0]ビット（SRAM 用外部 VDD 電圧選択）

EXVDDSEL[1:0]ビットは、外部 VDD モード時の SRAM の電圧を選択します。

7.2.3 SAS : スタートアップ領域設定レジスタ

Address: 0x02C9_F074

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	BTSIZE[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
14:0	—	読むとプログラム値が本ビットから読み出されます。(注2)	R
28:15	—	読むとプログラム値が本ビットから読み出されます。(注2)	R
30:29	BTSIZE[1:0]	スタートアップ領域選択 0 0: 予約 0 1 スタートアップ領域サイズを 32 KB に設定 1 0 スタートアップ領域サイズを 16 KB に設定 1 1: スタートアップ領域サイズを 8 KB に設定	R
31	BTFLG	スタートアップ領域選択フラグ スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 8 KB スタートアップ領域の例 0: 最初の 8 KB 領域 (0x0200_0000～0x0200_1FFF) と 2 番目の 8 KB 領域 (0x0200_2000～0x0200_3FFF) が入れ替わる 1: 最初の 8 KB 領域 (0x0200_0000～0x0200_1FFF) と 2 番目の 8 KB 領域 (0x0200_2000～0x0200_3FFF) が入れ替わらない	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

7.2.4 OFS1, OFS1_SEC : 非セキュアおよびセキュア用オプション機能選択レジスタ 1

Address: OFS1: 0x12C9_F4C0
OFS1_SEC: 0x02C9_F0C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	INITECCEN	SWDBG	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	HOCOFRQ0[2:0]			HOCOEN	—	—	PVDLPSEL	—	PVDAS	VDSEL[2:0]		
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	VDSEL[2:0]	電圧検出 0 レベル選択 0 0 0: 2.85 V を選択 0 0 1: 2.58 V を選択 0 1 0: 2.15 V を選択 0 1 1: 2.00 V を選択 1 0 0: 1.90 V を選択 1 0 1: 1.80 V を選択 1 1 0: 1.67 V を選択 1 1 1: 1.56 V を選択(注3)	R
3	PVDAS	電圧検出 0 回路起動 0: リセット後、電圧監視 0 リセット有効 1: リセット後、電圧監視 0 リセット無効	R
4	—	プログラム値は本ビットから読み出します。(注2)	R
5	PVDLPSEL	ディープソフトウェアスタンバイモードでの PVD0 の低消費電力機能選択 0: DSTBY1 および DSTBY2 モード時にバッテリ電源スイッチの PVD0 を選択することで低電力消費機能を有効にします。 1: DSTBY1 および DSTBY2 モード時にバッテリ電源スイッチの PVD0 の低電力消費機能を無効にします。	R
7:6	—	プログラム値は本ビットから読み出します。(注2)	R
8	HOCOEN	HOCO 発振有効 0: リセット後、HOCO 発振が有効 1: リセット後、HOCO 発振が無効	R
11:9	HOCOFRQ0[2:0]	HOCO 周波数設定 0 0 0 0: 16 MHz 0 0 1: 18 MHz 0 1 0: 20 MHz 1 0 0: 32 MHz 1 1 1: 48 MHz その他: 予約	R
23:12	—	プログラム値は本ビットから読み出します。(注2)	R
24	SWDBG	ソフトウェアデバッグ制御 0: ソフトウェアデバッグ制御は有効です。 MCU は DBGCTRL0 と DBGCTRL1 の設定に従って動作し、CPU がデバッグ状態のとき、IWDT と WDT は自動停止します。 1: ソフトウェアデバッグ制御は無効です。 MCU は DBGCTRL0 と DBGCTRL1 の設定を無視し、CPU がデバッグ状態のときでも、IWDT と WDT は動作を継続します。しかし、CDBGPWRUPREQ が 1 で、かつ AL が AL0 ではない場合は、CPU がデバッグ状態のとき、IWDT と WDT は自動停止します。	R
25	INITECCEN	初期 ECC 機能有効 0: CPU0 の TCM と CACHE の ECC 機能無効 1: CPU0 の TCM と CACHE の ECC 機能有効	R
31:26	—	プログラム値は本ビットから読み出します。(注2)	R

注 1. ブランク品の OFS1 と OFS1_SEC の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。
注 3. VBATT 機能が有効で、OFS1(_SEC).PVDAS、PVDLPSEL ビットが 0、かつディープソフトウェアスタンバイモード 1、2 のうち 1 つ以上が使用されている場合、設定禁止

OFS1 レジスタは、非セキュア開発者用で、OFS1_SEC レジスタはセキュア開発者用です。

VDSEL[2:0]ビット（電圧検出 0 レベル選択）

VDSEL[2:0]ビットは、電圧検出 0 回路の電圧検出レベルを選択します。

PVDAS ビット（電圧検出 0 回路起動）

PVDAS ビットは、リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

PVDLPSEL ビット（ディープソフトウェアスタンバイモードでの PVD0 の低消費電力機能選択）

PVDLPSEL ビットは、DSTBY1 モードと DSTBY2 モードでのバッテリ電源スイッチ制御用の PVD0 の低消費電力機能の有効または無効を選択します。

この機能を無効にすると、バッテリ電源スイッチは VBATT 専用の VCC 電圧降下検出回路で制御され、電流消費が増加する代わりに応答時間が速くなります。この機能を有効にすると、バッテリ電源スイッチは PVD0 機能で制御され、応答時間が遅くなる代わりに電力消費が小さくなります。

「62. 電気的特性」を参照してください。

HOCOEN ビット（HOCO 発振有効）

HOCOEN ビットは、リセット後、HOCO 発振を有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始でき、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1(_SEC).HOCOFRQ0[2:0]ビットを最適な値に設定してください。

注. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1.HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、OFS1(_SEC).HOCOEN = 1 の場合 HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

HOCOFRQ0[2:0]ビット（HOCO 周波数設定 0）

HOCOFRQ0[2:0]ビットは、リセット後の HOCO 周波数を、16～48 MHz から選択します。

SWDBG ビット（ソフトウェアデバッグ制御）

SWDBG ビットは、ソフトウェアデバッグ制御の有効または無効を選択します。

INITECCEN ビット（初期 ECC 機能有効）

INITECCEN ビットは、CPU0 の TCM と CACHE の ECC 機能の有効または無効を選択します。

INITECCEN ビットを 1 から 0 に変更した場合は、変更後に必ずパワーオンリセットを実行してください。

7.2.5 OFS1_SEL : セキュリティ属性用オプション機能選択レジスタ 1

Address: OFS1_SEL: 0x02C9_F120

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	INITECCEN	SWDBG	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	HOCOFRQ0[2:0]			HOCOEN	—	—	PVDLPSEL	—	PVDAS	VDSEL[2:0]		
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	VDSEL[2:0]	電圧検出 0 レベル選択のセキュリティ属性 0 0 0: OFS1_SEC.VDSEL0[2:0]を選択 1 1 1: OFS1.VDSEL0[2:0]を選択 その他: 予約	R
3	PVDAS	電圧検出 0 回路起動のセキュリティ属性 0: OFS1_SEC.PVDAS を選択 1: OFS1.PVDAS を選択	R
4	—	プログラム値は本ビットから読み出します。(注2)	R

ビット	シンボル	機能	R/W
5	PVDLPSEL	ディープソフトウェアスタンバイモード PVD0 低消費電力機能選択のセキュリティ属性 0: OFS1_SEC.PVDLPSEL を選択 1: OFS1.PVDLPSEL を選択	R
7:6	—	プログラム値は本ビットから読み出します。(注2)	R
8	HOCOEN	HOCO 発振有効のセキュリティ属性 0: OFS1_SEC.HOCOEN を選択 1: OFS1.HOCOEN を選択	R
11:9	HOCOFRQ0[2:0]	HOCO 周波数設定 0 のセキュリティ属性 0 0 0: OFS1_SEC.HOCOFRQ0[2:0]を選択 1 1 1: OFS1.HOCOFRQ0[2:0]を選択 その他: 予約	R
23:12	—	プログラム値は本ビットから読み出します。(注2)	R
24	SWDBG	ソフトウェアデバッグ制御のセキュリティ属性 0: OFS1_SEC.SWDBG を選択 1: OFS1.SWDBG を選択	R
25	INITECCEN	初期 ECC 機能有効のセキュリティ属性 0: OFS1_SEC.INITECCEN を選択 1: OFS1.INITECCEN を選択	R
31:26	—	プログラム値は本ビットから読み出します。(注2)	R

注 1. ブランク品の OFS1_SEL の値は、0x00000000 です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 0 です。

OFS1_SEL レジスタは、セキュリティ属性を選択します。OFS または OFS_SEC のどちらのセキュリティ属性が適用されるかは、OFS1_SEL レジスタの対応するビットの設定値によって決まります。詳細は、「7.3.3. 外部 MRAM オプション設定メモリのセキュリティ属性」を参照してください。

7.2.6 OFS3, OFS3_SEC : オプション機能選択レジスタ 3

Address: OFS3: 0x12C9_F4C4
OFS3_SEC: 02C9_F0C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	WDT1STPCTL	—	WDT1RSTIRQS	WDT1RPSS[1:0]		WDT1RPES[1:0]		WDT1CKS[3:0]				WDT1TOPS[1:0]		WDT1STRT	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
16:0	—	プログラム値はこれらのビットから読み出します。 (注2)	R
17	WDT1STRT	WDT1 スタートモード選択 0: リセット後、WDT は自動的に起動（オートスタートモード） 1: リセット後、WDT は停止状態（レジスタスタートモード）	R
19:18	WDT1TOPS[1:0]	WDT1 タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R

ビット	シンボル	機能	R/W
23:20	WDT1CKS[3:0]	WDT1 クロック分周比選択 0 0 0 1: PCLKB の 4 分周 0 1 0 0: PCLKB の 64 分周 1 1 1 1: PCLKB の 128 分周 0 1 1 0: PCLKB の 512 分周 0 1 1 1: PCLKB の 2048 分周 1 0 0 0: PCLKB の 8192 分周 上記以外の設定は禁止されています。	R
25:24	WDT1RPES[1:0]	WDT1 ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
27:26	WDT1RPSS[1:0]	WDT1 ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
28	WDT1RSTIRQS	WDT1 リセット割り込み要求選択 WDT 動作選択 0: NMI 1: リセット	R
29	—	プログラム値はこれらのビットから読み出します。 (注2)	R
30	WDT1STPCTL	WDT1 停止制御 : 0: カウント継続 1: CPU1 が CPU スリープモードまたは CPU ディープスリープモードの場合、カウント停止	R
31	—	プログラム値はこれらのビットから読み出します。 (注2)	R

注 1. ブランク品の OFS3 と OFS3_SEC の値は、0xFFFFFFFF です。工場出荷製品の OFS3_SEL の値は、0x00000000 です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 0 です。

OFS3 レジスタは、非セキュア開発者用で、OFS3_SEC レジスタはセキュア開発者用です。OFS3 レジスタは、非セキュア開発者用です。

WDT1STRT ビット（WDT1 スタートモード選択）

WDT1STRT ビットは、リセット後の WDT の起動モード（停止状態または起動状態）を選択します。WDT がオートスタートモードで起動する場合、WDT に対する OFS0 レジスタの設定は有効です。

WDT1TOPS[1:0]ビット（WDT1 タイムアウト期間選択）

WDT1TOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDT1CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、または 16384 の各サイクル数で選択します。リフレッシュ後、カウンタがアンダーフローするまでの PCLKB サイクル数は、WDT1CKS[3:0]ビットと WDT1TOPS[1:0]ビットの組み合わせにより決定します。

詳細は「27. ウォッチドッグタイマ (WDT)」を参照してください。.

WDT1CKS[3:0]ビット（WDT1 クロック分周比選択）

WDT1CKS[3:0]ビットは、PCLKB を分周するプリスケーラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。この設定を WDT1TOPS[1:0]ビットの設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの PCLKB サイクル数に設定できます。

詳細は「27. ウォッチドッグタイマ (WDT)」を参照してください。.

WDT1RPES[1:0]ビット（WDT1 ウィンドウ終了位置選択）

WDT1RPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します。ウィンドウ終了位置をウィンドウ開始位置より大きい値に設定した場合、ウィンドウ開始位置の値のみが有効となります。

WDT1RPSS[1:0]ビットと WDT1RPES[1:0]ビットで設定したウィンドウ開始／終了位置に対応するカウンタ値は、WDT1TOPS[1:0]ビットの設定により変わります。

詳細は「27. ウォッチドッグタイマ (WDT)」を参照してください。.

WDT1RPSS[1:0]ビット（WDT1 ウィンドウ開始位置選択）

WDT1RPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100%から選択します。カウント開始位置は 100%で、アンダーフロー発生位置は 0%です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。ただし、それ以外はリフレッシュ禁止期間となります。

詳細は「27. ウォッチドッグタイマ (WDT)」を参照してください。.

WDT1RSTIRQS ビット（WDT1 リセット割り込み要求選択）

WDT1RSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は「27. ウォッチドッグタイマ (WDT)」を参照してください。.

WDT1STPCTL ビット（WDT1 停止制御）

WDT1STPCTL ビットは、CPU1 が CPU スリープモードまたは CPU ディープスリープモードの場合にカウントを停止するかどうかを指定します。詳細は「27. ウォッチドッグタイマ (WDT)」を参照してください。

7.2.7 OFS3_SEL : セキュリティ用オプション機能選択レジスタ 3

Address: OFS3_SEL: 02C9 F124h

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	WDT1STPCTL	—	WDT1RSTIRQS	WDT1RPSS[1:0]		WDT1RPES[1:0]		WDT1CKS[3:0]				WDT1TOPS[1:0]		WDT1STRT	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
16:0	—	プログラム値はこれらのビットから読み出します。 (注2)	R
17	WDT1STRT	WDT1 スタートモード選択のセキュリティ属性 0: OFS3_SEC.WDT1STRT を選択 1: OFS3.WDT1STRT を選択	R
19:18	WDT1TOPS[1:0]	WDT1 タイムアウト期間選択のセキュリティ属性 0 0: OFS3_SEC.WDT1TOPS[1:0]を選択 1 1: OFS3.WDT1TOPS[1:0]を選択 その他: 設定禁止	R
23:20	WDT1CKS[3:0]	WDT1 クロック分周比選択のセキュリティ属性 0 0 0 0: OFS3_SEC.WDT1CKS[3:0]を選択 1 1 1 1: OFS3.WDT1CKS[3:0]を選択 その他: 設定禁止	R

ビット	シンボル	機能	R/W
25:24	WDT1RPES[1:0]	WDT1 ウィンドウ終了位置選択のセキュリティ属性 0 0: OFS3_SEC.WDT1RPES[1:0]を選択 1 1: OFS3.WDT1RPES[1:0]を選択 その他: 設定禁止	R
27:26	WDT1RPSS[1:0]	WDT1 ウィンドウ開始位置選択のセキュリティ属性 0 0: OFS3_SEC.WDT1RPSS[1:0]を選択 1 1: OFS3.WDT1RPSS[1:0]を選択 その他: 設定禁止	R
28	WDT1RSTIRQS	WDT1 リセット割り込み要求選択のセキュリティ属性 0: OFS3_SEC.WDT1RSTIRQS を選択 1: OFS3.WDT1RSTIRQS を選択	R
29	—	プログラム値はこれらのビットから読み出します。 (注2)	R
30	WDT1STPCTL	WDT1 停止制御のセキュリティ属性 0: OFS3_SEC.WDT1STPCTL を選択 1: OFS3.WDT1STPCTL を選択	R
31	—	プログラム値はこれらのビットから読み出します。 (注2)	R

注 1. ブランク品の OFS3 と OFS3_SEC の値は、0xFFFFFFFF です。工場出荷製品の OFS3_SEL の値は、0x00000000 です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 0 です。

OFS3_SEL レジスタは、セキュリティ属性を選択します。OFS または OFS_SEC のどちらのセキュリティ属性が適用されるかは、OFS3_SEL レジスタの対応するビットの設定値によって決まります。詳細は「59. MRAM」を参照してください。

7.2.8 BPS、BPS_SEC : ブロック保護設定レジスタ

Address:

BPS: 0x12C9_F600 + 0x04 × n (n = 0～127)（非セキュア）
BPS_SEC: 0x02C9_F200 + 0x04 × n (n = 0～127)（セキュア）

Bit position:	31	0
Bit field:		
Value after reset:	ユーザー設定値(注1)	

注 1. ブランク品の BPS と BPS_SEC の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

BPS_SEC レジスタは、セキュア開発者用で、BPS レジスタは非セキュア開発者用です。

BPS レジスタおよび BPS_SEC レジスタは、コード MRAM メモリへの書き込みを無効にします。本レジスタのビットが 0 の場合、対応するブロックへの書き込みは無効です。詳細は「59. MRAM」を参照してください。

7.2.9 PBPS, PBPS_SEC : 永久ブロック保護設定レジスタ

Address: PBPS: 0x12E1_7780 + 0x04 × n (n = 0～31)（非セキュア）
PBPS_SEC: 0x02E1_7700 + 0x04 × n (n = 0～31)（セキュア）

Bit position:	31	0
Bit field:		
Value after reset:	ユーザー設定値(注1)	

注 1. ブランク品の PBPS と PBPS_SEC の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

PBPS_SEC レジスタはセキュア開発者用で、PBPS レジスタは非セキュア開発者用です。PBPS レジスタおよび PBPS_SEC レジスタは、BPS レジスタおよび BPS_SEC レジスタのビットへの書き込みを無効にします。本レジスタのビットを 0 にできるのは、BPS レジスタおよび BPS_SEC レジスタの対応するビットが 0 の場合です。本

レジスタのビットが 0 の場合、BPS レジスタおよび BPS_SEC レジスタの対応するビットへの書き込みは無効です。本レジスタのビットは一度 0 にすると、1 に変更できません。

詳細は「59. MRAM」を参照してください。

7.2.10 永久オプション機能選択保護設定レジスタ (POFSPS)

Address: 0x02E1_7900

ビット位置：	31 … 0
Bit field:	POFSPS[31:0]
Value after reset:	ユーザー設定値(注1)

Address: 0x02E1_7904

ビット位置：	63 … 32
Bit field:	POFSPS[63:32]
Value after reset:	ユーザー設定値(注1)

Address: 0x02E1_7908

ビット位置：	95 … 80	79 … 64
Bit field:	予約ビット	POFSPS[79:64]
Value after reset:	ユーザー設定値(注1)	

注 1. ブランク品の POFSPS の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

POFSPS レジスタは、オプション機能選択領域へのプログラミングおよびイレースをインバリデートします。本レジスタのビットが 0 の場合、対応する領域へのプログラミングおよびイレースは無効です。詳細は、「59. MRAM」を参照してください。

7.2.11 FSBLCTRL0 : FSBL コントロールレジスタ 0

Address: 0x02E0_7600

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	FSBLCLK[2:0]			FSBLSKIPDS[2:0]			FSBLSKIPSW[2:0]			FSBLEN[2:0]		
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	FSBLEN[2:0]	FSBL 有効 0 0 0: FSBL 有効 1 1 1: FSBL 無効 その他: 予約	R
5:3	FSBLSKIPSW[2:0]	ソフトウェアリセット用 FSBL スキップ有効 0 0 0: スキップ有効 1 1 1: スキップ無効 その他: 予約	R

ビット	シンボル	機能	R/W
8:6	FSBLSKIPDS[2:0]	ディープソフトウェアスタンバイリセット用 FSBL スキップ有効 0 0 0: スキップ有効 1 1 1: スキップ無効 その他: 予約	R
11:9	FSBLCLK[2:0]	FSBL 実行中クロック周波数選択 表 7.2 を参照してください。	R
31:12	—	読むとプログラム値が本ビットから読み出されます。(注2)	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

表 7.2 FSBLCLK 設定とシステムクロック周波数の関係

システムクロック	(UTA0CK.CK[2:0] = 111b) (VDD = VSCR_1 または電圧範囲 1)	(UTA0CK.CK[2:0] = 110b) (VDD = VSCR_1 または電圧範囲 1)	(UTA0CK.CK[2:0] = 101b) (VDD = VSCR_2 または電圧範囲 2)	(UTA0CK.CK[2:0] = 100b) (VDD = VSCR_2 または電圧範囲 2)
CPUCLK0	250 MHz	200 MHz	150 MHz	133 MHz
CPUCLK1	250 MHz	200 MHz	150 MHz	133 MHz
ICLK	250 MHz	200 MHz	150 MHz	133 MHz
MRICLK	250 MHz	200 MHz	150 MHz	133 MHz
MRPCLK	125 MHz	100 MHz	75 MHz	66 MHz
PCLKA	125 MHz	100 MHz	75 MHz	66 MHz
PCLKB	62.5 MHz	50 MHz	37.5 MHz	33 MHz

注. 上記以外の FSBLCLK 設定は禁止されています。

7.2.12 FSBLCTRL1 : FSBL コントロールレジスタ 1

Address: 0x02E0_7604

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FSBLEXMD[1:0]	
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
1:0	FSBLEXMD[1:0]	FSBL 実行モード 0 0: CRC ブート、測定報告なし 0 1: CRC ブート、測定報告あり 1 0: セキュアブート、測定報告なし 1 1: セキュアブート、測定報告あり	R
31:2	—	読むとプログラム値が本ビットから読み出されます。(注2)	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

7.2.13 FSBLCTRL2 : FSBL コントロールレジスタ 2

Address: 0x02E0_7608

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PORTGN[4:0]					PORTPN[3:0]			
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
3:0	PORTPN[3:0]	FSBL エラー通知ポート端子番号(注2) 0 0 0 0: PORTn00 0 0 0 1: PORTn01 ⋮ 1 1 1 1: PORTn15 (n = 0～9, A, B)	R
8:4	PORTGN[4:0]	FSBL エラー通知ポートグループ名(注2) 0 0 0 0 0: PORT0m 0 0 0 0 1: PORT1m ⋮ 0 1 0 1 1: PORTBm その他:　予約 (m = 0～15)	R
31:9	—	読むとプログラム値が本ビットから読み出されます。(注3)	R

注 1.　ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2.　存在しない端子を選択した場合、FSBL エラー通知は出力されません。
注 3.　本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

FSBLCTRL2 レジスタは、FSBL 実行中にエラーが発生したときの出力ポートを選択します。PORTGN ビットはポートのグループを選択し、PORTPN ビットはそのグループの端子を選択します。それによって、1 つのポートを決めます。

7.2.14 SACC0n : コード認証 0n の開始アドレス (n = 0～3)

Address: SACC0n: 0x02E0_7620 + 0x20 × n (n = 0～3)

Bit position:	31	0
Bit field:		
Value after reset:	ユーザー設定値(注1)	

注 1.　ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

詳細は、「51.7. セキュアブート」を参照してください。

7.2.15 SACC1n : コード認証 1n の開始アドレス (n = 0～3)

Address: SACC1n: 0x02E0_7630 + 0x20 × n (n = 0～3)

Bit position:	31	0
Bit field:		
Value after reset:	ユーザー設定値(注1)	

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

詳細は、「51.7. セキュアブート」を参照してください。

7.2.16 SAMR : 測定報告の開始アドレスレジスタ

Address: 0x02E0_7614

Bit position:	31	0
Bit field:		
Value after reset:	ユーザー設定値(注1)	

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

SAMR レジスタは、測定レポートの開始アドレスを指定します。測定レポートはに示す SRAM に格納されます。SRAM0 から SRAM3 までのアドレスを指定します。SRAM0 を測定レポートに使用する場合、0x22007780 から 0x22007BFF までのアドレスを指定しないでください。測定レポートを読み出すとき、SRAMCRn.ECCMOD[1:0] = 00b に設定して ECC 機能を無効にしてください。詳細は「51.7. セキュアブート」を参照してください。

7.2.17 REVOKE : REVOKE 有効

Address: 0x02E1_7910

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	REVOKE[3:0]			
Value after reset:	ユーザー設定値(注1)															

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

ビット	シンボル	機能	R/W
3:0	REVOKE[3:0]	OEM_ROOT_KEY 取り消しのコンフィグレーション設定 xxx0b: OEM_ROOT_PK0 を取り消し、読み出しデータを 0 にマスクする xxx1b: OEM_ROOT_PK0 は有効で、読み出し可能 xx0xb: OEM_ROOT_PK1 を取り消し、読み出しデータを 0 にマスクする xx1xb: OEM_ROOT_PK1 は有効で、読み出し可能 x0xxb: OEM_ROOT_PK2 を取り消し、読み出しデータを 0 にマスクする x1xxb: OEM_ROOT_PK2 は有効で、読み出し可能 0xxxb: OEM_ROOT_PK3 を取り消し、読み出しデータを 0 にマスクする 1xxxb: OEM_ROOT_PK3 は有効で、読み出し可能	R
31:4	—	プログラム値は本ビットから読み出します。(注1)	R

注 1. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

7.2.18 HOEMRTRKn : OEM_ROOT_PKn のハッシュ (n = 0～3)

Address: HOEMRTPK0: 0x02E0_7400 +0x4 × i (i = 0～11)
HOEMRTPK1: 0x02E0_7430 +0x4 × i (i = 0～11)
HOEMRTPK2: 0x02E0_7460 +0x4 × i (i = 0～11)
HOEMRTPK3: 0x02E0_7490 +0x4 × i (i = 0～11)

Bit position:	31	0
Bit field:		
Value after reset:	ユーザー設定値(注1)	

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
本レジスタは、ブートファームウェアによってのみプログラム可能です。

7.2.19 ZHUK : HUK のゼロ化の許可

Address: 0x02E1_7920

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	ZHUKEN3	ZHUKEN2	ZHUKEN1	ZHUKEN0
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
0	ZHUKEN0	RTCIC0 コンフィグレーション設定 0: RTCIC0 改ざんイベントによる W-HUK ゼロ化有効 1: RTCIC0 改ざんイベントによる W-HUK ゼロ化無効	R
1	ZHUKEN1	RTCIC1 コンフィグレーション設定 0: RTCIC1 改ざんイベントによる W-HUK ゼロ化有効 1: RTCIC1 改ざんイベントによる W-HUK ゼロ化無効	R
2	ZHUKEN2	RTCIC2 コンフィグレーション設定 0: RTCIC2 改ざんイベントによる W-HUK ゼロ化有効 1: RTCIC2 改ざんイベントによる W-HUK ゼロ化無効	R
3	ZHUKEN3	MREZC レジスタのコンフィグレーション設定 0: MREZC による W-HUK ゼロ化有効 1: MREZC による W-HUK ゼロ化無効	R
31:4	—	プログラム値は本ビットから読み出します。(注2)	R

注. ZHUKEN3 ビットが 0 のとき、ZHUKENn (n = 0～2) ビットの設定を VBTADCR3 と同じ設定にします（「12. バッテリバックアップ機能」を参照）。
例えば、ZHUKENn (n = 0～2) が 101b のときは、VBTADCR3.VBATADZEn (n = 0～2) に 010b を設定します。
注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

7.2.20 ARCLS : アンチロールバックカウンタロック設定レジスタ

Address: 0x02E1_7930

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	ARCBL_LK	ARCNS_LK[3:0]				ARCS_LK
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
0	ARCS_LK	ARC_SEC ロック 0: ARC_SEC 保護有効 1: ARC_SEC 保護無効	R

ビット	シンボル	機能	R/W
4:1	ARCNS_LK[3:0]	ARC_NSEC ロック 64 ビット × 4 カウンタ設定の場合 x x x 0: ARC_NSEC[63:0]保護有効 x x 0 x: ARC_NSEC[127:64]保護有効 x 0 x x: ARC_NSEC[191:128]保護有効 0 x x x : ARC_NSEC[255:192]保護有効 1 1 1 1: ARC_NSEC[255:0]保護無効 その他: 予約 256 ビットカウンタ設定の場合 0 0 0 0: ARC_NSEC[255:0]保護有効 1 1 1 1: ARC_NSEC[255:0]保護有効 その他: 予約	R
5	ARCBL_LK	ARC_OENBL ロック 0: ARC_OEMBL 保護有効 1: ARC_OEMBL 保護無効	R
15:6	—	読むとプログラム値が本ビットから読み出されます。(注2)	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

アンチロールバックカウンタロックビットの設定は、OTP 領域に位置しています。アンチロールバックカウンタロックビットは、プログラムコマンドにより 0 に設定できます。その値を 0 から 1 には変更できません。アンチロールバックカウンタロックビットが 0 の場合、各ビットに対応するアンチロールバックカウンタは、インクリメントカウンタコマンドにより更新できません。

7.2.21 ARCCS : 非セキュアアプリケーション用アンチロールバックカウンタコンフィグレーション設定レジスタ

Address: 0x02E1_7932

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CNF_ARCNS[1:0]	
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
1:0	CNF_ARCNS[1:0]	ARC_NSEC コンフィグレーション設定 0 0: ARC_NSEC コンフィグレーションは 4 × 64 ビット 0 1: ARC_NSEC コンフィグレーションは 1 × 256 ビット その他: ARC_NSEC コンフィグレーションは無効	R
15:2	—	読むとプログラム値が本ビットから読み出されます。(注2)	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは MACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

ARC_NSEC コンフィグレーション設定は、OTP 領域に位置しています。本ビットは、2 種類の ARC_NSEC コンフィグレーションを指定します。それは 4 × 64 ビットまたは 1 × 256 ビットです。インクリメントカウンタコマンドまたはリードカウンタコマンドは、カウンタコンフィグレーション設定が無効な場合、ARC_NSEC に発行できません。

7.2.22 ARC_SECn : セキュアアプリケーション用アンチロールバックカウンタ レジスタ n (n = 0, 1)

Address: 0x02F2 7E00 + 4 × n (n=0, 1)

Bit position:	31	0
Bit field:	ARC_SEC[32 × n + 31 : 32 × n]	
Value after reset:	ユーザー設定値(注1)	

ビット	シンボル	機能	R/W
31:0	ARC_SEC[32 × n + 31 : 32 × n]	セキュアアプリケーションアンチロールバックカウンタ カウンタ値は、上位レジスタ (n = 1) から下位レジスタ (n = 0) へ読み出し値を配置することによって得られます。	R

注 1. ブランク品の値は、0x0 です。ユーザーがプログラムした値になります。

7.2.23 ARC_NSECn : 非セキュアアプリケーション用アンチロールバックカウンタレジスタ n (n = 0〜7)

Address: 0x02F2 7E08 + 4 × n (n = 0〜7)

Bit position:	31															0
Bit field:	ARC_NSECn[32 × n + 31 : 32 × n]															
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
31:0	ARC_NSECn[32 × n + 31 : 32 × n]	非セキュアアプリケーションアンチロールバックカウンタ カウンタ値は、上位レジスタ (n = 7) から下位レジスタ (n = 0) へ読み出し値を配置することによって得られます。	R

注 1. ブランク品の値は、0x0 です。ユーザーがプログラムした値になります。

7.2.24 ARC_OEMBLn : OEMBL 用アンチロールバックカウンタ (n = 0, 1)

Address: 0x02F2 7E28 + 4 × n (n = 0, 1)

Bit position:	31															0
Bit field:	ARC_OEMBL[32 × n + 31 : 32 × n]															
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
31:0	ARC_OEMBL[32 × n + 31 : 32 × n]	OEM_BL アプリケーションアンチロールバックカウンタ カウンタ値は、上位レジスタ (n = 1) から下位レジスタ (n = 0) へ読み出し値を配置することによって得られます。	R

注 1. ブランク品の値は、0x0 です。ユーザーがプログラムした値になります。

7.2.25 GPOTPn : 汎用 OTP (n = 0〜23)

Address: 02E0 76A0h + 4 x n (n = 0〜23)

Bit position:	31															0
Bit field:	GPOTP[31:0]															
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
31:0	GPOTP[31:0]	汎用 OTP これは汎用的に使用できる OTP 領域です。セキュアユーザーは任意の値を書き込めます。	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

7.3 オプション設定メモリの設定方法

7.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 7.1 に示すアドレスに配置してください。配置したデータは、フラッシュメモリプログラミングソフトウェアやオンチップデバッガなどの FSBL またはツールで使用されます。

注. プログラミング形式はコンパイラによって異なります。 詳細については、コンパイラのマニュアルを参照してください。

7.3.2 オプション設定メモリにプログラムするデータの設定方法

「7.3.1. オプション設定メモリへのデータの配置方法」に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

また、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。

外部 MRAM オプション設定メモリは、バックグラウンドオペレーション (BGO) に対応しています。オプション設定メモリの書き込み時に、コード MRAM を読み出すことができます。

コンフィグレーション設定コマンドの詳細は、「59. MRAM」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライタによってプログラムする場合

この手順は使用するツールによって異なるため、詳細についてはツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- 「7.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムします
- ツールの GUI インタフェースを使用して、「7.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータをプログラムします

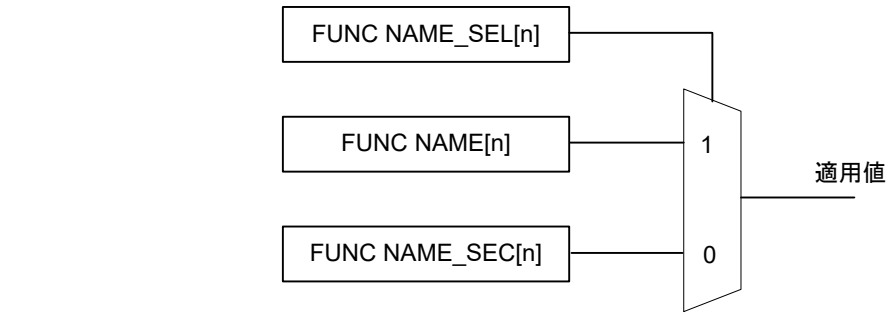
7.3.3 外部 MRAM オプション設定メモリのセキュリティ属性

非セキュア (FUNC NAME)、セキュア (FUNC NAME_SEC)、セキュリティ属性 (FUNC NAME_SEL) 用に 3 つのレジスタを備えた機能があります。セキュアおよびセキュリティ属性用のレジスタを設定できるのはセキュア開発者のみです。図 7.2 に示すように、セキュリティ属性レジスタのビットが 0 になると、セキュアレジスタの対応ビットが適用されます。セキュリティ属性レジスタのビットが 1 になると、非セキュアレジスタの対応ビットが適用されます。

例えば、OFS1 レジスタの PVD をセキュアに、OFS1 レジスタの HOCO を非セキュアに設定したい場合、セキュア開発者は OFS1_SEL レジスタを下記のように設定する必要があります。

OFS1_SEL = 0xFFFF_FFF0

このように設定すると、OFS1_SEC レジスタの PVDAS および VDSEL[2:0]ビット値と OFS1 レジスタの HOCOFRQ0[2:0]および HOCOEN ビット値が MCU に適用されます。セキュリティ属性レジスタ (FUNC NAME_SEL) の予約ビットは 0 に設定してください。



注. FUNC_NAME は OFS1 および OFS3 に対応します。

図 7.2 適用される値の選択

ブロック保護設定（BPS または BPS_SEC）および永久ブロック保護設定（PBPS または PBPS_SEC）は、コード MRAM セキュリティ属性によって選択されます。

7.3.4 設定値のタイミング

SAS、BPS、BPS_SEC、PBPS、PBPS_SEC レジスタにおいて、関連する設定領域とブロック保護の設定値の適用タイミングは、書き込みの直後です。その他のレジスタについては、設定値は MCU のリセット後に適用されます。

7.4 使用上の注意事項

7.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

- セキュリティ属性領域 (0x02C9_F120～0x02C9_F1FF)
  オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 0 を書き込んでください。本ビットに 1 を書き込んだ場合、動作は保証しません。
- その他の領域
  オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込んだ場合、正常動作は保証されません。

7.4.2 システムリセット後の FSBL 実行

FSBLCTRL0.FSBLEN ビットが 000b のとき、FSBL は常にシステムリセットの解除後に実行されます。しかし、FSBLCTRL0.FSBLSKIPSW ビットまたは FSBLCTRL0.FSBLSKIPDS ビットの設定は、FSBL スキップ条件を付加します。表 7.3 を参照してください。

表 7.3 FSBL 実行条件

FSBLEN	FSBLSKIPSW	FSBLSKIPDS	システムリセット後の FSBL 実行
111b	*	*	不実行
000b	111b	111b	実行
000b	111b	000b	ディープソフトウェアスタンバイリセット：不実行 上記以外のリセット：実行
000b	000b	111b	ソフトウェアリセット：不実行 上記以外のリセット：実行
000b	000b	000b	ソフトウェアリセット：不実行 ディープソフトウェアスタンバイリセット：不実行 上記以外のリセット：実行

FSBL スキップ機能を使用する場合、リセットステータスレジスタ (RSTSR0, RSTSR1, RSTSR3) を、システムリセットの解除前にクリアしてください。

注. FSBL 実行を許可するリセットフラグの少なくとも 1 つが設定されている場合、FSBL は常に実行されます。

7.4.3 FSBL スキップ機能

ソフトウェアリセットの解除後に FSBL 実行をスキップするためには、RSTSR0、RSTSR1、RSTSR3 をソフトウェアリセットの実行前にクリアしてください。RSTSR1.SWRF 以外のフラグが設定された場合、FSBL が実行される可能性があります。

ディープソフトウェアスタンバイリセットの解除後に FSBL 実行をスキップするためには、RSTSR0、RSTSR1、RSTSR3 をディープソフトウェアスタンバイモードに遷移する前にクリアしてください。RSTSR0.DPSRSTF 以外のフラグが設定された場合、FSBL が実行される可能性があります。

8. プログラマブル電圧検出 (PVD)

8.1 概要

プログラマブル電圧検出 (PVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはソフトウェアプログラムを使用して選択できます。PVD モジュールは、VCC 端子への入力電圧レベルを測定する、いくつかの独立した電圧レベル検出器で構成されます。PVD のレジスタにより、さまざまな電圧しきい値で、VCC 端子への入力電圧変動の検出を設定できます。

各電圧レベル検出器には、それに対応した電圧監視があります。電圧監視レジスタを用いることで、電圧しきい値を通過したときに、PVD を設定して、割り込み、イベントリンク出力、またはリセットを発生させることができます。

表 8.1 に PVD の仕様を示します。図 8.1 に電圧監視 0 リセット発生回路のブロック図を示します。図 8.2 に電圧監視 m 割り込み／リセット発生回路のブロック図 (m = 1, 2) を、図 8.3 に電圧監視 n 割り込み／リセット発生回路のブロック図 (n = 4, 5) を示します。

PVD モジュールは、低電圧検出回路 (LVD) と高電圧検出回路 (HVD) で構成さます。LVD は、VCC が電圧しきい値より低くなったことを検出します。HVD は、VCC が電圧しきい値を超えていること検出します。

PVDn はセキュリティ用に実装されています。PVDm と比較すると、利用できる機能がより制限されています。PVDn にはセキュリティ用のレジスタロック機能があります。

コア電圧用の電圧レベル検出器が実装されています。これは VDD への入力電圧レベルを監視し、検出レベルはハードウェアによって事前設定されています。コア電圧用の電圧レベル検出器には、それに対応した電圧監視回路があります。コア電圧がしきい値を通過したとき、つまり Vdet_VDDL より小さいか、Vdet_VDDH を超えた場合、コア電圧用の電圧監視回路はリセット（コア電圧監視リセット）をアサートできます。

コア電圧監視リセット (CVMR) の機能は OFS2.CVMRDIS = 0 の場合に有効です。

表 8.1 PVD の仕様 (1/2)

項目		プログラマブルな電圧監視 0	プログラマブルな電圧監視 m (m = 1, 2)	プログラマブルな電圧監視 n (n = 4, 5)
電圧監視	監視端子	VCC	VCC	VCC
	検出イベント	下降して V_{det0} を通過	上昇または下降して V_{detm} を通過	上昇または下降して V_{detn} を通過
	検出電圧	V_{det0} として OFS1.VDSEL0[2:0]ビットで 8 個の異なるレベルから選択可能	V_{detm} として PVDmCMPCR.PVDLVL[4:0]ビットで 16 個の異なるレベルから選択可能	V_{detn} として PVDnCMPCR.PVDLVL[4:0]ビットで 16 個の異なるレベルから選択可能
	監視フラグ	なし	PVDmSR.MON フラグ：電圧が V_{detm} より高いか低いかを監視	なし
			PVDmSR.DET フラグ：V_{detm} 通過検出	
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 m リセット	電圧監視 n リセット
		V_{det0} > VCC でリセット。VCC > V_{det0} の一定時間後に CPU 動作再開	選択可能なリセット条件：V_{detm} > VCC (LVD) または V_{detm} < VCC (HVD) でリセット 選択可能な CPU 再開時間：LVD または HVD の一定時間後	選択可能なリセット条件：V_{detn} > VCC (LVD) または V_{detm} < VCC (HVD) でリセット
	割り込み	割り込みなし	電圧監視 m 割り込み	割り込みなし
			ノンマスカブル割り込み、またはマスカブル割り込みを選択可能	
			LVD と HVD の片方または両方に応じて、割り込み要求を発行	
デジタルフィルタ	有効／無効の切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCO クロックの s 分周 × 2 (s: 2, 4, 8, 16)	LOCO クロックの s 分周 × 2 (s: 2, 4, 8, 16)

表 8.1 PVD の仕様 (2/2)

項目	プログラマブルな電圧監視 0	プログラマブルな電圧監視 m (m = 1, 2)	プログラマブルな電圧監視 n (n = 4, 5)
イベントリンク機能	なし	あり／V_{detm} 通過検出時にイベント信号出力	なし
レジスタロック	なし	なし	PVDLR

表 8.2 CVM の仕様

項目		コア電圧監視
電圧監視	監視端子	VDD
	検出イベント	下降して V_{det}_VDDL を通過 上昇して V_{det}_VDDH を通過
	検出電圧	事前設定レベル(注1)
電圧検出時の処理	リセット	コア電圧監視リセット(注2)
		V_{det}_VDDL > VDD または V_{det}_VDDH < VDD でリセット V_{det}_VDDL ≦ VDD ≦ V_{det}_VDDH の一定時間後に CPU 動作再開

注 1. V_{det}_VDDL および V_{det}_VDDH を意味します。
注 2. コア電圧監視リセットについては、リセットの章を参照してください。

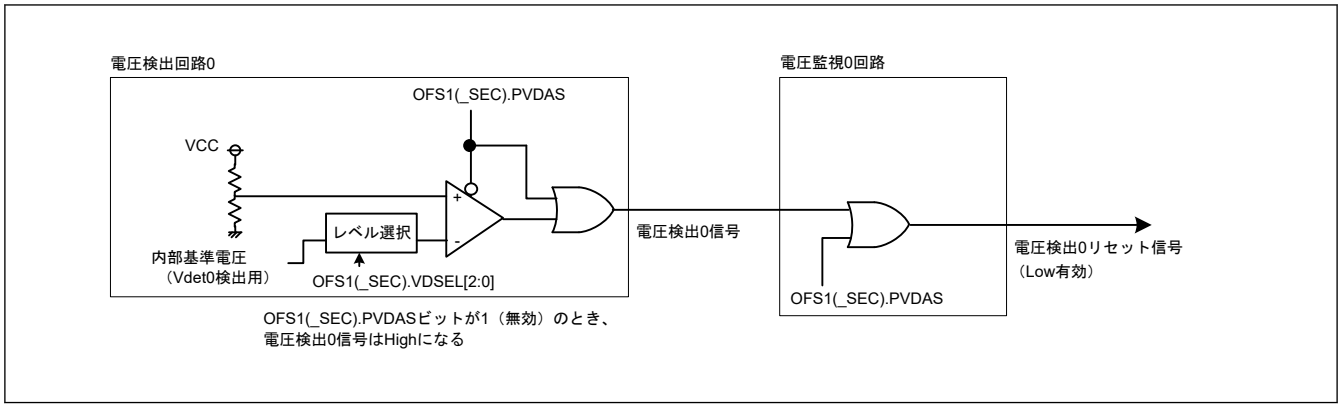


図 8.1 電圧監視 0 リセット発生回路のブロック図

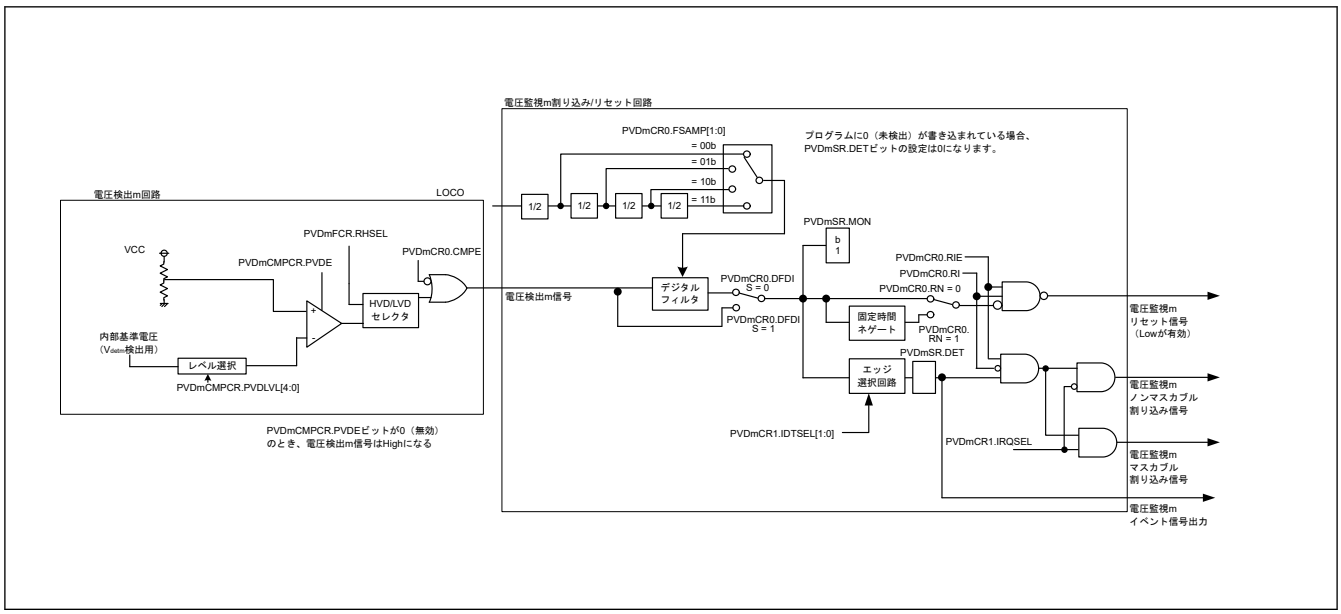


図 8.2 電圧監視 m 割り込み／リセット発生回路のブロック図（m = 1, 2 m は整数）

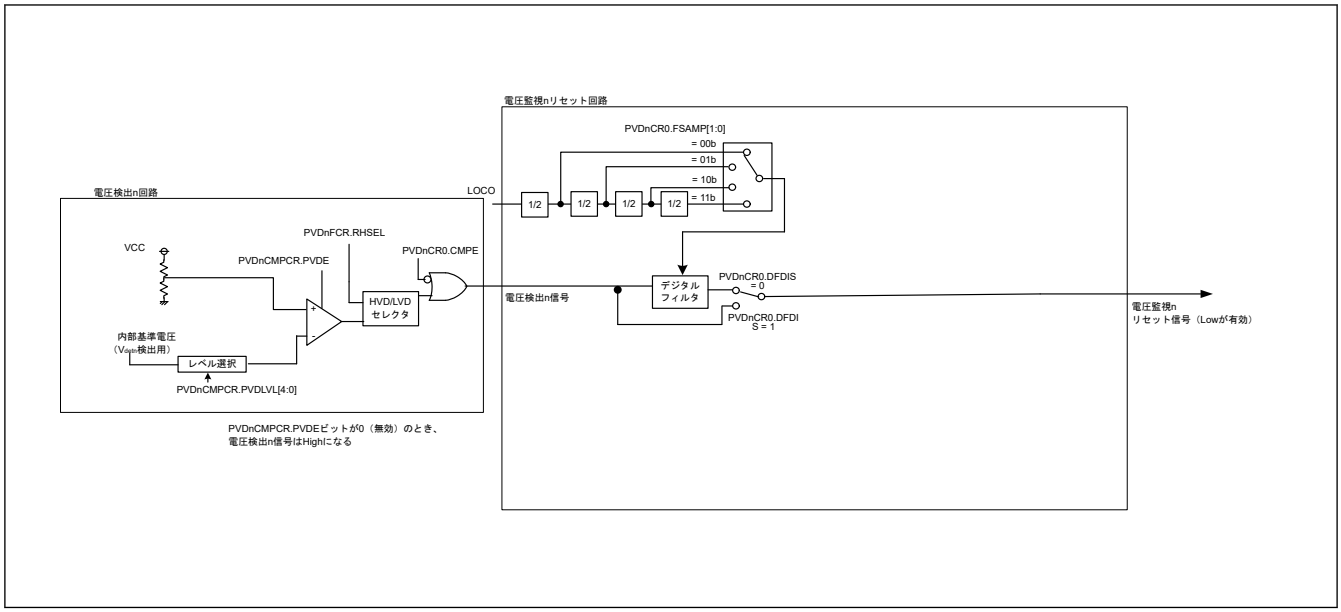


図 8.3　電圧監視 n リセット発生回路のブロック図（n = 4, 5 n は整数）

8.2　レジスタの説明

8.2.1　PVDSAR : プログラマブル電圧検出セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NONSEC1	NONSEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC0	ノンセキュリティ属性ビット 0 対象レジスタ：PVD1 用レジスタ 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	ノンセキュリティ属性ビット 1 対象レジスタ：PVD2 用レジスタ 0: セキュア 1: 非セキュア	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-1, P-TYPE-1
注.　このレジスタは PRCR レジスタによって書き込み保護されています。

PVDSAR レジスタは PVD レジスタのセキュア属性を制御します。

NONSEC0 ビット（ノンセキュリティ属性ビット 0）

本ビットは PVD1CMPCR、PVD1CR0、PVD1CR1、PVD1SR のセキュリティ属性を制御します。

NONSEC1 ビット（ノンセキュリティ属性ビット 1）

本ビットは PVD2CMPCR、PVD2CR0、PVD2CR1、PVD2SR のセキュリティ属性を制御します。

8.2.2 PVDmCMPCR : 電圧監視 m コンパレータコントロールレジスタ (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA58 + 0x4 × (m - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PVDE	—	—	PVDLVL[4:0]				
Value after reset:	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
4:0	PVDLVL[4:0]	検出電圧 m レベル選択 下記以外は設定しないでください。これらは電圧下降時の標準電圧レベルです。 電圧上昇時の標準電圧レベルの詳細は、「62. 電気的特性」を参照してください。 0x03: 3.86 V (Vdetm_3) 0x04: 3.14 V (Vdetm_4) 0x05: 3.10 V (Vdetm_5) 0x06: 3.08 V (Vdetm_6) 0x07: 2.85 V (Vdetm_7) 0x08: 2.83 V (Vdetm_8) 0x09: 2.80 V (Vdetm_9) 0x0A: 2.62 V (Vdetm_10) 0x0B: 2.33 V (Vdetm_11) 0x0C: 1.90 V (Vdetm_12) 0x0D: 1.86 V (Vdetm_13) 0x0E: 1.74 V (Vdetm_14) 0x0F: 1.71 V (Vdetm_15) その他: 設定禁止	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PVDE	電圧検出 m 許可 0: 電圧検出 m 回路無効 1: 電圧検出 m 回路有効	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PVDLVL[4:0]ビット（検出電圧 m レベル選択）

PVDmCMPCR.PVDLVL は、すべての PVDmCMPCR.PVDE ビットとすべての PVDnCMPCR.PVDE ビットが 0 の場合にのみ書き換えることができます。すべての電圧検出回路は、同じ電圧検出レベルに設定しないでください。

PVDmCMPCR.PVDLVL ビットと PVDmCMPCR.PVDE ビットを同時に書き換えないでください。

PVDE ビット（電圧検出 m 許可）

電圧検出 m の割り込み／リセットまたは PVDmSR.MON ビットを使用する場合、PVDmCMPCR.PVDE ビットを 1 にしてください。PVDmCMPCR.PVDE ビットの値を 0 から 1 に変更した後、td(E-A) 経過すると、電圧検出 m 回路が起動します。ディープソフトウェアスタンバイモードで電圧検出 m 回路を使用する場合は、ディープソフトウェアスタンバイモード 3 へ遷移しないでください。

8.2.3 PVDnCMPCR : 電圧監視 n コンパレータコントロールレジスタ (n = 4, 5)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA64+ 0x4 × (n - 4)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PVDE	—	—	PVDLVL[4:0]				
Value after reset:	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
4:0	PVDLVL[4:0]	検出電圧 n レベル選択 上記以外は設定しないでください。 （これらは電圧下降時の標準電圧レベルです。電圧上昇時の標準電圧レベルについては、電気的特性の章を参照してください。） 0 0 0 1 1: 3.86V (Vdetn_3) 0 0 1 0 0: 3.14V (Vdetn_4) 0 0 1 0 1: 3.10V (Vdetn_5) 0 0 1 1 0: 3.08V (Vdetn_6) 0 0 1 1 1: 2.85V (Vdetn_7) 0 1 0 0 0: 2.83V (Vdetn_8) 0 1 0 0 1: 2.80V (Vdetn_9) 0 1 0 1 0: 2.62V (Vdetn_10) 0 1 0 1 1: 2.33V (Vdetn_11) 0 1 1 0 0: 1.90V (Vdetn_12) 0 1 1 0 1: 1.86V (Vdetn_13) 0 1 1 1 0: 1.74V (Vdetn_14) 0 1 1 1 1: 1.71V (Vdetn_15)	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PVDE	電圧検出 n 許可 0: 電圧検出 n 回路無効 1: 電圧検出 n 回路有効	R/W

注. S-TYPE-6、P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PVDnCMPCR.PVDLVL は、すべての PVDmCMPCR.PVDE ビットとすべての PVDnCMPCR.PVDE ビットが 0 の場合にのみ書き換えることができます。すべての電圧検出回路は、同じ電圧検出レベルに設定しないでください。

PVDnCMPCR.PVDLVL ビットと PVDnCMPCR.PVDE ビットを同時に書き換えないでください。

PVDE ビット（電圧検出 n 許可）

電圧検出 n の割り込み／リセットまたは PVDnSR.MON ビットを使用する場合、PVDnCMPCR.PVDE ビットを 1 にしてください。PVDnCMPCR.PVDE ビットの値を 0 から 1 に変更した後、td(E-A) 経過すると、電圧検出 n 回路が起動します。ディープソフトウェアスタンバイモードで電圧検出 n 回路を使用する場合は、ディープソフトウェアスタンバイモード 3 へ遷移しないでください。

8.2.4 PVDmCR0 : 電圧監視 m 回路コントロールレジスタ 0 (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA70 + 0x4 × (m - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	FSAMP[1:0]		—	CMPE	DFDIS	RIE
Value after reset:	1	0	0	0	x	0	1	0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 m 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	DFDIS	電圧監視 m デジタルフィルタ無効モード選択 0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
2	CMPE	電圧監視 m 回路比較結果出力許可 0: 電圧監視 m 回路比較結果出力禁止 1: 電圧監視 m 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	FSAMP[1:0]	サンプリングクロック選択 0 0: LOCO クロックの 2 分周 0 1: LOCO クロックの 4 分周 1 0: LOCO クロックの 8 分周 1 1: LOCO クロックの 16 分周	R/W
6	RI	電圧監視 m 回路モード選択 (1) PVDmFCR.RHSEL = 0 の場合 0: V_{detm} 通過時に電圧監視 m 割り込み発生 1: 電圧が下降して V_{detm} 通過時に電圧監視 m リセット許可 (2) PVDmFCR.RHSEL = 1 の場合 0: 禁止 1: 電圧が上昇して V_{detm} 通過時に電圧監視 m リセット許可	R/W
7	RN	電圧監視 m リセットネゲート選択 (1) PVDmFCR.RHSEL = 0 の場合 0: VCC > V_{detm} 検出後、安定時間 (t_{PVDm}) 経過後にネゲート 1: PVDm リセットアサート後、安定時間 (t_{PVDm}) 経過後にネゲート (2) PVDmFCR.RHSEL = 1 の場合 0: VCC < V_{detm} 検出後、安定時間 (t_{PVDm}) 経過後にネゲート 1: 禁止	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RIE ビット（電圧監視 m 割り込み／リセット許可）

RIE ビットは電圧監視 m 割り込みと電圧監視 m リセットを許可または禁止にします。MRAM のプログラム／イレース中は、電圧監視 m 割り込みも電圧監視 m リセットも発生しないように、0 に設定してください。

DFDIS ビット（電圧監視 m デジタルフィルタ無効モード選択）

DFDIS ビットはデジタルフィルタの有効または無効を設定します。DFDIS ビットが 0（デジタルフィルタ有効）の場合、LOCOCR.LCSTP ビットを 0（LOCO 動作）にしてください。電圧監視 m 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、DFDIS ビットを 1（デジタルフィルタ無効）にしてください。

CMPE ビット（電圧監視 m 回路比較結果出力許可）

CMPE ビットは、電圧監視 m 回路比較結果出力を許可または禁止します。電圧検出 m 回路を有効にして安定時間 ($t_{d(E-A)}$) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 m 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 m 回路を無効にしてください。

FSAMP[1:0]ビット（サンプリングクロック選択）

FSAMP[1:0]ビットは、PVDmCR0.DFDIS ビットが 1（デジタルフィルタ無効）の場合のみ、書き換え可能です。PVDmCR0.DFDIS ビットが 0（デジタルフィルタ有効）の場合は、FSAMP[1:0]ビットを書き換えないでください。

RI ビット（電圧監視 m 回路モード選択）

PVDmCR0.RI ビットが 1（電圧監視 m リセット選択）の場合、ディープソフトウェアスタンバイモード 2、3 へ遷移できません。この場合、ディープソフトウェアスタンバイモード 1 へ遷移します。ディープソフトウェアスタンバイモード 2、3 へ遷移するには、PVDmCR0.RI ビットを 0（電圧監視 m 割り込み選択）にしてください。

RN ビット（電圧監視 m リセットネゲート選択）

PVDmFCR.RHSEL = 0 の場合

RN ビットを 1（PVDm リセット信号のアサート後、安定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。さらに、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに遷移すると、RN ビットは 0（VCC > V_{detm} 検出後、安定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1（PVDm リセット信号のアサート後、安定時間経過後にネゲート）にしないでください。

PVDmFCR.RHSEL = 1 の場合

RN ビットを 1 にしないでください。

8.2.5 PVDnCR0 : 電圧監視 n 回路コントロールレジスタ 0 (n = 4, 5)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA7C + 0x4 × (n - 4)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	FSAMP[1:0]		—	CMPE	DFDIS	RE
Value after reset:	0	1	0	0	x	0	1	0

ビット	シンボル	機能	R/W
0	RE	電圧監視 n リセット許可 0: 禁止 1: 許可	R/W
1	DFDIS	電圧監視 n デジタルフィルタ無効モード選択 0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
2	CMPE	電圧監視 n 回路比較結果出力許可 0: 電圧監視 n 回路比較結果出力禁止 1: 電圧監視 n 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。 書く場合、1 としてください。	R/W
5:4	FSAMP[1:0]	サンプリングクロック選択 0 0: LOCO クロックの 2 分周 0 1: LOCO クロックの 4 分周 1 0: LOCO クロックの 8 分周 1 1: LOCO クロックの 16 分周	R/W
6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6、P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RE ビット（電圧監視 n リセット許可）

RE ビットは電圧監視 n リセットを許可するかどうかを決定します。RE ビットが 1 のとき、この機能は有効になります。MRAM のプログラム／イレース中に電圧監視 n リセットが発生しないようにしてください。

DFDIS ビット（電圧監視 n デジタルフィルタ無効モード選択）

DFDIS ビットが 0（デジタルフィルタ有効）の場合は、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。

電圧監視 n 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、DFDIS ビットを 1（デジタルフィルタ無効）にしてください。

FSAMP[1:0]ビット（サンプリングクロック選択）

FSAMP[1:0]ビットは、PVDnCR0.DFDIS ビットが 1（デジタルフィルタ無効）の場合のみ、書き換え可能です。PVDnCR0.DFDIS ビットが 0（デジタルフィルタ有効）の場合は、FSAMP[1:0]ビットを書き換えないでください。

8.2.6 PVDmCR1 : 電圧監視 m 回路コントロールレジスタ (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0E0 + 0x2 × (m-1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 m 割り込み発生条件選択 (1) PVDmFCR.RHSEL = 0 の場合 0 0: VCC≧V_{detm}（上昇）検出時に発生 0 1: VCC<V_{detm}（下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止 (2) PVDmFCR.RHSEL = 1 の場合 このビットは該当しません。	R/W
2	IRQSEL	電圧監視 m 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. マスカブル割り込みを許可する場合、ICU にある NMIER.PVDmEN ビットの値をリセット状態から変更しないでください。

8.2.7 PVDmSR : 電圧監視 m 回路ステータスレジスタ (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0E1 + 0x2 × (m - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 m 電圧変化検出フラグ(注1) (1) PVDmFCR.RHSEL = 0 の場合 0: 未検出 1: V_{detm} 通過検出 (2) PVDmFCR.RHSEL = 1 の場合 このビットは該当しません。(注2)	R/W
1	MON	電圧監視 1 信号監視フラグ (1) PVDmFCR.RHSEL = 0 の場合 0: VCC≦V_{detm} 1: VCC ＞ V_{detm} または MON が無効 (2) PVDmFCR.RHSEL = 1 の場合 0: VCC≧V_{detm} 1: VCC ＜ V_{detm} または MON が無効	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. このビットは 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。
注 2. DET は PVDmCR1.IDETSEL[1:0]に依存します。

PVDmCR1.IDETSEL[1:0] = 0 0: VCC ＜ Vdetm（下降）検出時、DET が設定されます。
PVDmCR1.IDETSEL[1:0] = 0 1: VCC≧Vdetm（上昇）検出時、DET が設定されます。
PVDmCR1.IDETSEL[1:0] = 1 0: 下降または上昇の検出時、DET が設定されます。
PVDmCR1.IDETSEL[1:0] = 1 1: 設定禁止

DET フラグ（電圧監視 m 電圧変化検出フラグ）

DET フラグは、PVDmCMPCR.PVDE ビットが 1（電圧検出 m 回路有効）であり、かつ PVDmCR0.CMPE ビットが 1（電圧監視 m 回路比較結果出力許可）のときに有効になります。

PVDmCR0.RIE ビットを 0（禁止）にした後、DET フラグを 0 にしてください。PCLKB の 2 サイクル以上の期間が経過した後、PVDmCR0.RIE ビットを 1（許可）に設定できます。

I/O レジスタの読み出しアクセス用に規定された PCLKB のサイクル数に依存して、PCLKB の 2 サイクル以上の期間を待機時間として確保しなければならない場合があります。

MON フラグ（電圧監視 1 信号監視フラグ）

MON フラグは、PVDmCMPCR.PVDE ビットが 1（電圧検出 m 回路有効）であり、かつ PVDmCR0.CMPE ビットが 1（電圧監視 m 回路比較結果出力許可）のときに有効になります。

8.2.8 PVDmFCR : 電圧監視 m 機能コントロールレジスタ (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB20 + 0x4 × (m - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RHSEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RHSEL	上昇ヒステリシス選択 0: VCC 下降検出用のヒステリシスレベルを選択 1: VCC 上昇検出用のヒステリシスレベルを選択	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

RHSEL ビット（上昇ヒステリシス選択）

VCC 下降検出用に RHSEL を 0 にした場合、PVDLVL[4:0]で設定した電圧検出レベルを超えるヒステリシスレベルが設定されます。VCC 上昇検出用に RHSEL を 1 にした場合、PVDLVL[4:0]で設定した電圧検出レベル未満のヒステリシスレベルが設定されます。PVD のヒステリシスレベルの詳細については、電気的特性の章を参照してください。

VCC 下降検出による PVD リセット発生が必要な場合は、RHSEL を 0 にしてください。

VCC 上昇検出による PVD リセット発生が必要な場合は、RHSEL を 1 にしてください。

PVDmCR0.RI = 0 の場合は、RHSEL は設定禁止です。

RHSEL は、すべての PVDmCMPCR.PVDE ビットとすべての PVDnCMPCR.PVDE ビットが 0 の場合にのみ書き換えることができます。

8.2.9 PVDnFCR : 電圧監視 n 機能コントロールレジスタ (n = 4, 5)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB2C + 0x4 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RHSEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RHSEL	上昇ヒステリシス選択 0: VCC 下降検出のヒステリシスレベルを選択 1: VCC 上昇検出のヒステリシスレベルを選択	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6、P-TYPE-2

RHSEL ビット（上昇ヒステリシス選択）

VCC 下降検出用に RHSEL を 0 にした場合、PVDLVL[4:0]で設定した電圧検出レベルを超えるヒステリシスレベルが設定されます。VCC 上昇検出用に RHSEL を 1 にした場合、PVDLVL[4:0]で設定した電圧検出レベル未満のヒステリシスレベルが設定されます。PVD のヒステリシスレベルの詳細については、電気的特性の章を参照してください。

VCC 下降検出による PVD リセット発生が必要な場合は、RHSEL を 0 にしてください。

VCC 上昇検出による PVD リセット発生が必要な場合は、RHSEL を 1 にしてください。

RHSEL は、すべての PVDmCMPCR.PVDE ビットとすべての PVDnCMPCR.PVDE ビットが 0 の場合にのみ書き換えることができます。

8.2.10 PVDLR : 電圧監視ロックレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB34

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LOCK
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	LOCK	LOCK 制御 0: PVD4 と PVD5 のコントロールレジスタは書き込み可能 1: PVD4 と PVD5 のコントロールレジスタは書き込み不可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6、P-TYPE-2

本レジスタは、POR、RES 端子リセット、電圧監視 0 リセット（PVD0 リセット）によって初期化されます。

LOCK ビット（LOCK 制御）

LOCK ビットの初期値は 1 です。LOCK ビットが 1 の場合、PVD4 と PVD5 のコントロールレジスタは書き込み不可です。LOCK を初期化できるリセットにより LOCK を初期化した後に LOCK に 0 を書き込んだ場合、PVD4 と PVD5 のコントロールレジスタは書き込み可能となります。

その後、任意の値を LOCK に書き込むと、LOCK ビットは 1 に固定されます。次に、PVD4 と PVD5 のコントロールレジスタが書き込み不可となります。

ここで、PVD4 と PVD5 のコントロールレジスタとは PVD4CMPCR、PVD5CMPCR、PVD4CR0、PVD5CR0、PVD4FCR、PVD5FCR です。

8.3 VCC 入力電圧の監視

8.3.1 V_{det0} の監視

電圧監視 0 の比較結果は、読み出すことができません。

8.3.2 V_{detm} の監視

設定が完了すると、PVDmSR.MON フラグで電圧監視 m の比較結果を監視できます。

表 8.3 V_{detm} の監視の設定手順

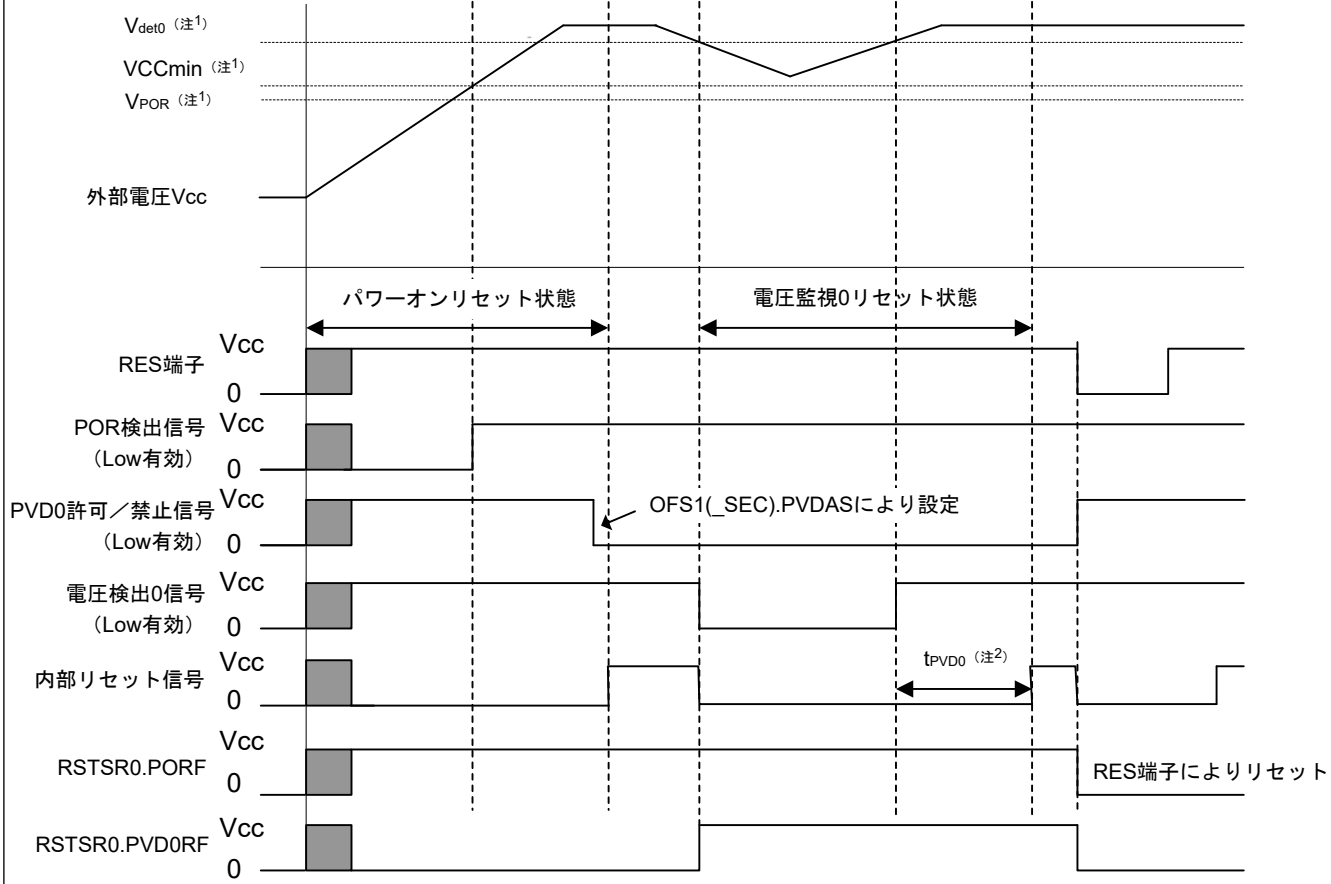
手順		電圧監視 1 による比較結果監視
電圧検出 m 回路の設定	1	PVDmCMPCR.PVDLVL[4:0]ビットへ書き込みを行う前に、PVDmCMPCR.PVDE を 0 にして電圧検出 m 回路を無効にする
	2	PVDmCMPCR.PVDLVL[4:0]ビットで検出電圧を選択する
	3	PVDmCMPCR.PVDE を 1 にして、電圧検出 m 回路を有効にする
	4	$t_{d\ (E-A)}$以上待機する(注1)
デジタルフィルタの設定 (注2)	5	PVDmCR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	6	PVDmCR0.DFDIS = 0 にして、デジタルフィルタを有効にする
	7	LOCO クロックの 2s + 3 サイクル以上待機する （ここで、s = 2、4、8、16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの s 分周である）
出力許可の設定	8	PVDmCR0.CMPE = 1 にして、電圧監視 m の比較結果の出力を許可する

注 1. 手順 4 の待機時間中に手順 5～7 を行うことができます。
注 2. デジタルフィルタを使用しない場合、手順 5～7 は不要です。

8.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1(_SEC).PVDAS ビットを 0 にしてください。（リセット後、電圧監視 0 リセットを有効にします。）

図 8.4 に電圧監視 0 リセットの動作例を示します。



注. 電気的特性の詳細は、「62. 電気的特性」を参照してください。
注 1. V_{POR} はパワーオンリセットの検出レベルを示し、V_{det0} は電圧監視 0 リセットの検出レベルを示します。また、VCC_{min} は MCU の最低保証電圧を示します。
注 2. t_{PVD0}: 電圧監視 0 リセットが解除されるまでの期間
注 3. 電源電圧が上昇するとき、パワーオンリセット状態が解除される前に、VCC が少なくとも最低保証電圧に達していなければなりません。

図 8.4 電圧監視 0 リセットの動作例

8.5 電圧監視 m 割り込み、電圧監視 m リセット (m = 1, 2)

電圧検出 m 回路での比較結果により、割り込みまたはリセットを発生させることができます。

表 8.4 に電圧監視動作時の電圧監視 m 割り込みと電圧監視 m リセットに関連するビットの設定手順を示します。
表 8.5 に電圧監視停止時の電圧監視 m 割り込みと電圧監視 m リセットに関連するビットの設定手順を示します。
図 8.5 に電圧監視 m 割り込みの動作例を示します。電圧監視 m リセットの動作については、「6. リセット」の図 6.2 を参照してください。

さらに、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 m 回路を使用する場合は、以下の手順に従って、電圧監視 m 回路を設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (PVDmCR0.DFDIS = 1) にしてください。
- VCC>V_{detm} 検出後、動作安定時間経過後に電圧監視 m リセット信号をネゲート (PVDmCR0.RN = 0) してください。

(2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (PVDmCR0.DFDIS = 1) にしてください。

- 電圧監視 m 割り込みを許可 (PVDmCR0.RI = 0) にしてください。電圧監視 m リセットが許可 (PVDmCR0.RI = 1) になっている場合、ディープソフトウェアスタンバイモード 2 または 3 へ遷移せず、ディープソフトウェアスタンバイモード 1 へ遷移します。
- ディープソフトウェアスタンバイモード 3 の間は、電圧監視 m 回路は停止します。ディープソフトウェアスタンバイモードで電圧監視 m 回路を使用する場合は、ディープソフトウェアスタンバイモード 3 へ遷移しないでください。

(3) オンチップデバッグモードにおける無効

- オンチップデバッグモードで DBGSTOPCR.DBGSTOP_PVD を設定することにより、電圧監視 m 回路の機能は無効になります。

表 8.4 電圧監視動作時の電圧監視 m 割り込みと電圧監視 m リセットに関連するビットの設定手順 (m = 1, 2)

手順		電圧監視 m 割り込み（電圧監視 m の ELC イベント出力）	電圧監視 m リセット
電圧検出 m 回路の設定	1	PVDmCMPCR レジスタへ書き込みを行う前に、PVDmCMPCR.PVDE を 0 にして電圧検出 m 回路を無効にしてください。	
	2	PVDmCMPCR.PVDLVL ビットを設定して、検出電圧を選択してください。	
	3	—	PVDmFCR.RHSEL ビットを設定して、リセット条件の種類を選択してください。
	4	PVDmCMPCR.PVDE を 1 にして、電圧検出 m 回路を有効にしてください。	
	5	$t_{d\ (E-A)}$ 以上待機してください(注1)。	
デジタルフィルタの設定 (注2)	6	PVDmCR0.FSAMP[1:0]ビットを設定して、デジタルフィルタのサンプリングクロックを選択してください。	
	7	PVDmCR0.DFDIS = 0 にして、デジタルフィルタを有効にしてください。	
	8	LOCO クロックの 2s + 3 サイクル以上待機してください（ここで、s = 2、4、8、16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの s 分周です）(注4)。	
電圧監視 m 割り込み／リセットの設定	9	PVDmCR0.RI = 0 にして、電圧監視 m 割り込みを選択してください。	• PVDmCR0.RI = 1 にして、電圧監視 m リセットを選択してください。 • PVDmCR0.RN ビットを設定して、リセットネゲートの種類を選択してください。
	10	• PVDmCR1.IDTSEL[1:0]ビットを設定して、割り込み要求のタイミングを選択してください。 • PVDmCR1.IRQSEL ビットを設定して、割り込みの種類を選択してください。	—
出力許可の設定	11	PVDmSR.DET = 0 にしてください。	
	12	PVDmCR0.RIE = 1 にして、電圧監視 m 割り込み／リセットを許可してください(注3)。	
	13	PVDmCR0.CMPE = 1 にして、電圧監視 m の比較結果出力を許可にしてください。	

注 1. 手順 5 の待機時間中に手順 6～12 を行うことができます。
注 2. デジタルフィルタを使用しない場合、手順 6～8 は不要です。
注 3. ELC イベント信号のみを出力させる場合、手順 12 は不要です。
注 4. 手順 8 の待機時間中に手順 9～12 を行うことができます。

表 8.5 電圧監視停止時の電圧監視 m 割り込みと電圧監視 m リセットに関連するビットの設定手順 (m = 1, 2)

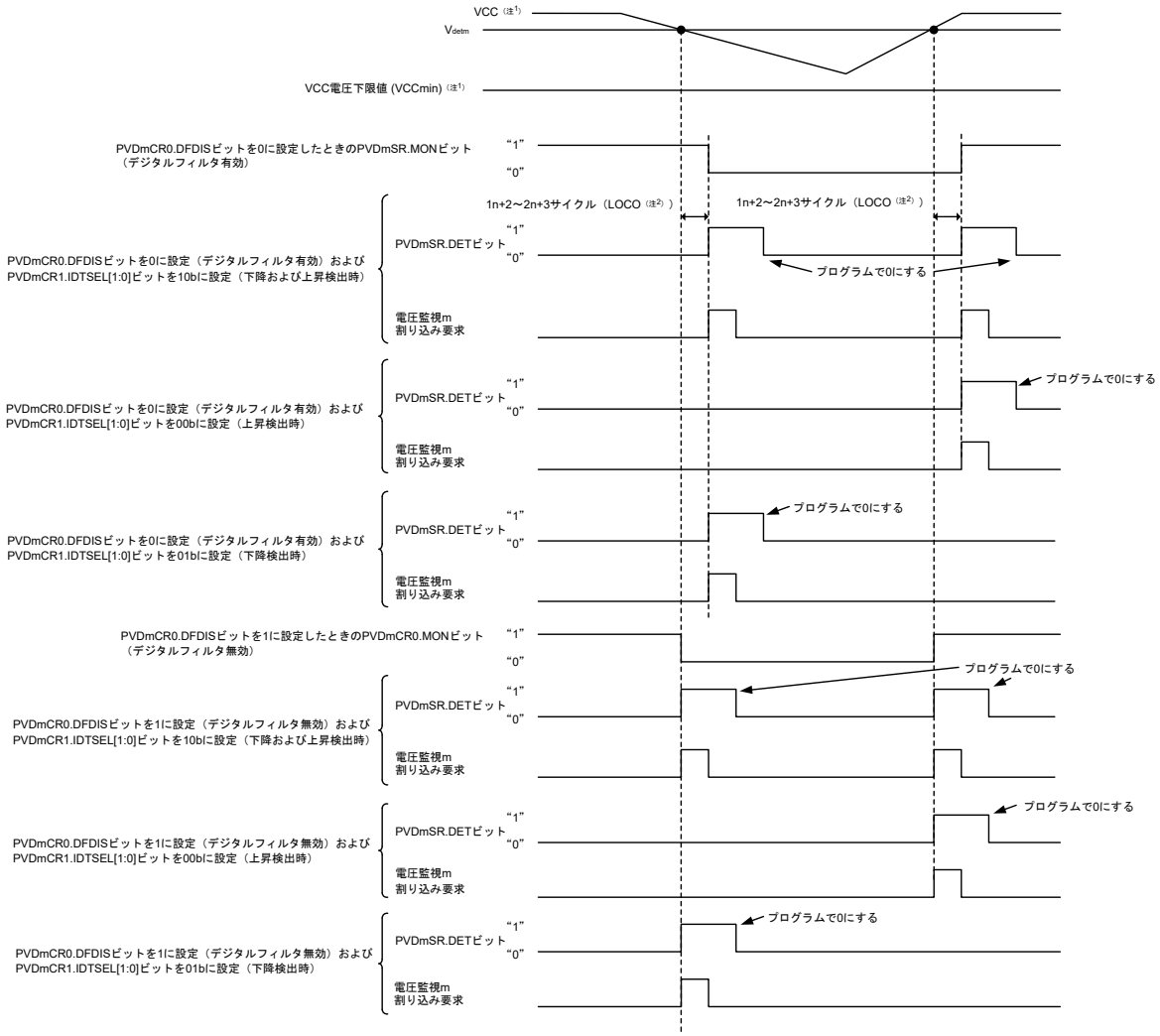
手順		電圧監視 m 割り込み（電圧監視 m の ELC イベント出力）、電圧監視 m リセット
出力許可停止の設定	1	PVDmCR0.CMPE = 0 にして、電圧監視 m の比較結果出力を禁止する
	2	LOCO クロックの 2s + 3 サイクル以上待機してください（ここで、s = 2、4、8、16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの s 分周です）(注1)。
	3	PVDmCR0.RIE = 0 にして、電圧監視 m 割り込み／リセットを禁止してください(注3)。
デジタルフィルタ停止の設定	4	PVDmCMPCR.DFDIS = 1 にして、デジタルフィルタを無効にしてください(注1) (注2)。
電圧検出 m 回路停止の設定	5	PVDmCMPCR.PVDE を 0 にして、電圧検出 m 回路を無効にしてください。

注 1. デジタルフィルタを使用しない場合、手順 2 と手順 4 は不要です。

注 2. デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO クロックの 2 サイクル以上待機する必要があります。
注 3. ELC イベント信号のみを出力させる場合、手順 3 は不要です。

電圧監視 m 割り込みまたは電圧監視 m リセットを使用した後にいったん停止してから、再度設定する場合は、条件に従って停止手順と再設定手順を次のように省略することができます。

- 電圧検出 m 回路の設定を変更しない場合、電圧検出 m 回路に対する再設定または停止は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタに対する再設定または停止は不要
- 電圧監視 m 割り込みまたは電圧監視 m リセットの設定を変更しない場合、電圧監視 m 割り込みまたは電圧監視 m リセットに対する再設定は不要



注 1. 電圧監視 0 リセットを使用しない場合、VCC≧VCCmin で使用してください。
注 2. デジタルフィルタのサンプリングクロックの周波数は、LOCO クロックの周波数の n 分周です。

図 8.5 電圧監視 m 割り込みの動作例 (m = 1, 2)

8.6 電圧監視 n (n = 4, 5) からのリセット

電圧検出 n 回路での比較結果により、リセットを発生させることができます。

表 6.6 に、電圧監視動作時の電圧監視 n リセット関連ビットの設定手順を示します。表 6.7 に、電圧監視停止時の電圧監視 n リセット関連ビットの設定手順を示します。電圧監視 n リセットの動作については、「6.3.3. 電圧監視リセット」を参照してください。

さらに、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 n 回路を使用する場合は、以下の手順に従って、電圧監視 n 回路を設定してください。

1. ソフトウェアスタンバイモード時の設定
   - デジタルフィルタを無効 (PVDnCR0.DFDIS = 1) にしてください。
   - VCC ＞ Vdetn 検出後に、動作安定時間が経過してから電圧監視 n リセット信号をネゲートしてください。
2. ディープソフトウェアスタンバイモード時の設定
   - デジタルフィルタを無効 (PVDnCR0.DFDIS = 1) にしてください。
   - ディープソフトウェアスタンバイモード 3 の間は、電圧監視 n 回路は停止します。ディープソフトウェアスタンバイモードで電圧監視 n 回路を使用する場合は、ディープソフトウェアスタンバイモード 3 へ遷移しないでください。

表 8.6　電圧監視動作時の電圧監視 n リセット関連ビットの設定手順

処理手順	手順	電圧監視 n リセット
電圧検出 n 回路の設定	1	PVD nCMPCR.PVDLVL に書き込みを行う前に、PVDnCMPCR.PVDE = 0 にして、電圧検出 n を無効にしてください
	2	PVDnCMPCR.PVDLVL[4:0]ビットを設定して、検出電圧を選択してください
	3	PVDnFCR.RHSEL ビットを設定して、リセット条件の種類を選択してください
	4	PVDnCMPCR.PVDE = 1 にして、電圧検出 n 回路を有効にしてください
	5	td (E-A).以上待機してください(注1)
デジタルフィルタの設定 (注2)	6	PVDnCR0.FSAMP[1:0]ビットを設定して、デジタルフィルタのサンプリングクロックを選択してください
	7	PVDnCR0.DFDIS = 0 にして、デジタルフィルタを有効にしてください
	8	LOCO クロックの 2s+3 サイクル以上待機してください（ここで、s = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの s 分周です）(注3)
出力許可の設定	9	PVDnCR0.RE = 1 にして、電圧監視 n リセットを許可してください
	10	PVDnCR0.CMPE = 1 にして、電圧監視 n の比較結果出力を許可してください

注 1.　手順 4 の待機時間中に手順 5～10 を行うことができます。
注 2.　デジタルフィルタを使用しない場合、手順 5～8 は不要です。
注 3.　手順 8 の待機時間中に手順 9 を行うことができます。

表 8.7　電圧監視停止時の電圧監視 n リセット関連ビットの設定手順

処理手順	手順	電圧監視 n リセット
出力許可停止の設定	1	PVDnCR0.CMPE = 0 にして、電圧監視 n の比較結果出力を禁止してください
	2	LOCO クロックの 2s+3 サイクル以上待機してください（ここで、s = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの s 分周です）(注1)
	3	PVDnCR0.RIE = 0 にして、電圧監視 n リセットを禁止してください
デジタルフィルタ停止の設定	4	PVDnCR0.DFDIS = 1 にして、デジタルフィルタを無効にしてください(注1)(注2)
電圧検出 n 回路の停止	5	PVDnCMPCR.PVDE = 0 にして、電圧検出 n 回路を無効にしてください

注 1.　デジタルフィルタを使用しない場合、手順 2 と手順 4 は不要です。
注 2.　デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO クロックの 2 サイクル以上待機する必要があります。

電圧監視 m リセットを使用した後にいったん停止してから、再度設定する場合は、条件に従って停止手順と再設定手順を次のように省略することができます。

- 電圧検出 n 回路の設定を変更しない場合、電圧検出 n 回路に対する再設定または停止は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタに対する再設定または停止は不要
- 電圧監視 m 割り込みまたは電圧監視 n リセットの設定を変更しない場合、電圧監視 n 割り込みまたはリセットに対する再設定は不要

8.7 ELC によるリンク動作

PVDm (m = 1, 2) は、イベントリンクコントローラ (ELC) に対してイベント信号の出力が可能です。

(1) V_{detm} 通過検出イベント

PVDm は、電圧検出 m 回路有効かつ電圧監視 m 回路比較結果出力許可の状態において、V_{detm} 通過を検出した場合にイベント信号を出力します。

PVDm のイベントリンク出力機能を有効にする場合、PVDm を有効にしてから、ELC 側の PVDm イベントリンク機能を有効にする必要があります。PVDm のイベントリンク出力機能を停止する場合は、PVDm を停止してから、ELC 側の PVDm イベントリンク機能を無効にする必要があります。

8.7.1 割り込み処理とイベントリンクの関係

各 PVD には、電圧監視 m 割り込みを個別に許可または禁止するビットがあります。割り込み要因が発生し、割り込み許可ビットで割り込みが許可される場合は、割り込み信号が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに、ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1、およびディープソフトウェアスタンバイモード 2 では、電圧監視 m 割り込み信号を出力することができます。ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1、およびディープソフトウェアスタンバイモード 2 では、ELC 用のイベント信号は以下のように出力されます。

- ソフトウェアスタンバイモード期間中に V_{detm} 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は発生しません。V_{detm} 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、V_{detm} 通過検出フラグの状態に従って ELC 用のイベント信号が出力されます。
- ディープソフトウェアスタンバイモード期間中に V_{detm} 通過イベントを検出した場合、ELC 用のイベント信号は発生しません。

9. クロック発生回路

9.1 概要

本 MCU はクロック発生回路を内蔵しています。表 9.1 と表 9.2 にクロック発生回路の仕様を示します。図 9.1 にブロック図、表 9.3 に入出力端子を示します。

表 9.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
メインクロック発振器 (MOSC)	発振子周波数	8 MHz～48 MHz
	外部クロック入力周波数	最高 48 MHz
	接続可能発振子または付加回路：セラミック発振子、水晶振動子 接続端子：EXTAL、XTAL	あり
	駆動能力切り替え	あり
	自動ゲイン制御機能	あり
	発振停止検出機能	あり
サブクロック発振器 (SOSC)	発振子周波数	32.768 kHz
	接続可能発振子または付加回路：水晶振動子 接続端子：XCIN、XCOUT	あり
	外部クロック入力	あり
	駆動能力切り替え	あり
	発振停止検出機能	あり
PLL1 回路 PLL2 回路	入力クロックソース	MOSC/HOCO
	入力分周比	1、2、3 分周から選択可能
	入力クロック周波数	8 MHz～48 MHz
	入力クロック周波数 （入力周波数分周後）	8 MHz～24 MHz
	周波数の逓倍比	40～300 から選択可能（小数点以下：0/0.33/0.50/0.66）
	VCO 周波数	960 MHz～2400 MHz
	出力クロック数	3 つの異なるクロックを出力
	出力分周比	出力クロック数、3 つの異なるクロックを出力
	PLL 出力クロック P	60～1200 MHz （出力分周比：2/3/4/6/8/16）
	PLL 出力クロック Q	106.6～1200 MHz （出力分周比：1.5/2/3/4/5/6/8/9）
	PLL 出力クロック R	106.6～1200 MHz （出力分周比：1.5/2/3/4/5/6/8/9）
高速オンチップオシレータ (HOCO)	発振周波数	16/18/20/32/48/ MHz
	FLL 機能	あり
	ユーザートリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8 MHz
	ユーザートリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768 kHz
	ユーザートリミング	あり
JTAG 用外部クロック入力 (TCK)	入力クロック周波数	最高 25 MHz
SWD 用外部クロック入力 (SWCLK)	入力クロック周波数	最高 25 MHz

表 9.2 クロック発生回路の仕様（内部クロック） (1/3)

項目	クロックソース	クロックソースの最高周波数	クロック供給	仕様
CPU0 クロック (CPUCLK0)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	CPU0	最高 1 GHz、分周比：1/2/3/4/6/8/12/16/24/32/64
CPU1 クロック (CPUCLK1)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	CPU1	最高 250 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
MRAM バスクロック (MRICLK)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	コード MRAM、MRAM コードバス	最高 250 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
MRAM クロック (MRPCLK)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	エクストラ MRAM、MRAM 周辺バス	最高 125 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
システムクロック (ICLK)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	DMAC、DTC、SRAM、システムバス、I/O ポート、ICU	最高 250 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
デバッガクロック (DCLK)	ICLK	—	デバッグサブシステム	最高 250 MHz
周辺モジュールクロック A (PCLKA)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	高速周辺バス（ESWM、USBHS、SCI、I3C、CANFD、CNECC、SPI、CRC、DOC、ADC16H、RSIP-E50D、GPT、PDG、DOTF AES クロック、CEU）	最高 125 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	低速周辺バス（CAC、ELC、POEG、RTC、WDT、IWDT、AGT、ULPT、IIC、USBFS、SSIE、SDHI、TSN、ACMPHS、OSPI、DOTF バスクロック、DAC12、PDMIF）	最高 62.5 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
周辺モジュールクロック C (PCLKC)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	使用しない	最高 125 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	周辺モジュール（GPT カウントクロック、PDG）	最高 250 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
周辺モジュールクロック E (PCLKE)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	周辺モジュール (CANFDRAM)	最高 250 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
外部バスクロック (BCLK)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	外部バス	最高 125 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64
EBCLK 端子出力 (EBCLK)	BCLK、BCLK の 2 分周、BCLKA、または BCLKA の 2 分周	—	EBCLK 端子	BCLK： 最高 60 MHz、分周比：1 または 2 BCLKA： 最高 60 MHz、分周比：1 または 2
SDCLK 端子出力 (SDCLK)	BCLK または BCLKA	—	SDCLK 端子	BCLK： 最高 125 MHz BCLKA： 最高 133 MHz
トレースクロック (TRCLK)	MOSC/SOSC/HOCO/ MOCO/PLL1P	1 GHz	CPU-OCD	最高 125 MHz、分周比：1/2/3/4/6/8/12/16/24/32/64/128/256
SCI クロック (SCICLK)	MOSC/SOSC/HOCO/ MOCO/LOCO/PLL1P/ PLL1Q/PLL1R/PLL2P/ PLL2Q/PLL2R	480 MHz	SCI	最高 120 MHz、分周比：1/2/3/4/5/6/8/10/16/32
SPI クロック (SPICLK)	MOSC/SOSC/HOCO/ MOCO/LOCO/PLL1P/ PLL1Q/PLL1R/PLL2P/ PLL2Q/PLL2R	333 MHz	SPI	最高 333.33 MHz、分周比：1/2/3/4/5/6/8/10/16/32

表 9.2 クロック発生回路の仕様（内部クロック） (2/3)

項目	クロックソース	クロックソースの最高周波数	クロック供給	仕様
Octal-SPI クロック (OCTACLK)	MOSC/SOSC/HOCO/ MOCO/LOCO/PLL1P/ PLL1Q/PLL1R/PLL2P/ PLL2Q/PLL2R	333 MHz	Octal-SPI	最高 333.33 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
Octal-SPI 分周クロック (OCTADIVCLK)	OCTACLK の 2 分周	—	Octal-SPI	最高 166.67 MHz
CANFD コアクロック (CANFDCLK)	MOSC/SOSC/HOCO/ MOCO/LOCO/PLL1P/ PLL1Q/PLL1R/PLL2P/ PLL2Q/PLL2R	480 MHz	CANFD	最高 80 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
ADC クロック (ADCCLK)	MOSC/SOSC/HOCO/ MOCO/LOCO/PLL1P/ PLL1Q/PLL1R/PLL2P/ PLL2Q/PLL2R	480 MHz	ADC16H	最高 120 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
GPT クロック (GPTCLK)	MOSC/HOCO/MOCO/ PLL1P/PLL1Q/PLL1R/ PLL2P/PLL2Q/PLL2R	600 MHz	GPT, PDG, ADC16H	最高 300 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
USB クロック (USBCLK)	MOSC/HOCO/MOCO/ PLL1P/PLL1Q/PLL1R/ PLL2P/PLL2Q/PLL2R	480 MHz	USBFS, USBHS	48 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
USB クロック (USB60CLK)	MOSC/HOCO/MOCO/ PLL1P/PLL1Q/PLL1R/ PLL2P/PLL2Q/PLL2R	480 MHz	USBHS	60 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
I3C クロック (I3CCLK)	MOCO/PLL1P/PLL1Q/ PLL1R/PLL2P/PLL2Q/ PLL2R	800 MHz	I3C	最高 200 MHz 分周比： 1/2/3/4/5/6/8/10/16/32
非同期外部バスクロック (BCLKA)	MOCO/PLL1P/PLL1Q/ PLL1R/PLL2P/PLL2Q/ PLL2R	800 MHz	外部バス	最高 133 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
EtherSW クロック (ESWCLK)	MOCO/PLL1P/PLL1Q/ PLL1R/PLL2P/PLL2Q/ PLL2R	1 GHz	ESWM	最高 250 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
EtherSW-PHY クロック (ESWPHYCLK)	MOCO/PLL1P/PLL1Q/ PLL1R/PLL2P/PLL2Q/ PLL2R	1 GHz	ESWM	500 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
Ether-PHY クロック (ETHPHYCLK)	MOSC/MOCO/PLL1P/ PLL1Q/PLL1R/PLL2P/ PLL2Q/PLL2R	800 MHz	ETHPHYCLK 端子	25/50 MHz、分周比： 1/2/3/4/5/6/8/10/16/32
クロック／ブザー出力 (CLKOUT)	MOSC/SOSC/HOCO/ MOCO/LOCO	—	CLKOUT 端子	最高 60 MHz、分周比： 1/2/4/8/16/32/64/128
USBHS の MOSC クロック (USBMCLK)	MOSC	—	USBHS	12/20/24/48 MHz、分周なし
CAN クロック (CANMCLK)	MOSC	—	CANFD	8 MHz～48 MHz、分周なし
ULPT LOCO クロック (ULPTLCLK)	LOCO	—	ULPT	32.768 kHz、分周なし
ULPT サブクロック (ULPTSCLK)	SOSC	—	ULPT	32.768 kHz、分周なし
AGT LOCO クロック (AGTLCLK)	LOCO	—	AGT	32.768 kHz、分周なし
AGT サブクロック (AGTSCLK)	SOSC	—	AGT	32.768 kHz、分周なし
PDMIF クロック (PDMIFCLK)	MOCO	—	PDMIF	8 MHz、分周なし

表 9.2 クロック発生回路の仕様（内部クロック） (3/3)

項目	クロックソース	クロックソースの最高周波数	クロック供給	仕様
CAC メインクロック (CACMCLK)	MOSC	—	CAC	最高 48 MHz、分周なし
CAC サブクロック (CACSCLK)	SOSC	—	CAC	32.768 kHz、分周なし
CAC HOCO クロック (CACHCLK)	HOCO	—	CAC	16/18/20/32/48 MHz、分周なし
CAC MOCO クロック (CACMOCLK)	MOCO	—	CAC	8 MHz、分周なし
CAC LOCO クロック (CACLCLK)	LOCO	—	CAC	32.768 kHz、分周なし
RTC LOCO クロック (RTCLCLK)	LOCO	—	RTC	32.768 kHz、分周なし
RTC サブクロック (RTCSCLK)	SOCO	—	RTC	32.768 kHz、分周なし
IWDT クロック (IWDTCLK)	LOCO の 2 分周	—	IWDT	16.384 kHz、分周なし
SysTick タイマクロック (SYSTICKCLK)	MOCO の 8 分周	—	SysTick タイマ	1 MHz、分周なし
JTAG クロック (JTAGTCK)	TCK	—	JTAG	最高 25 MHz、分周なし
シリアルワイヤクロック (SWCLK)	TCK	—	OCD	最高 25 MHz、分周なし
TCLK 端子出力 (TCLK)	TRCLK の 2 分周	—	TCLK 端子	最高 60 MHz

注. クロックソースとして PLL を選択した場合、PLL 出力周波数は 1 GHz 以下に設定してください。

注. PLL 基準クロックソースとして HOCO を使用する場合、PLL 乗算設定は、HOCO 周波数（最高／最低）を考慮して、PLL の出力周波数範囲内としてください。

注. クロック周波数の設定に関する制限 : CPUCLK0 ≧ ICLK、CPUCLK1 ≧ ICLK、MRICLK ≧ ICLK、CPUCLK0 ≧ MRICLK、CPUCLK1 ≧ MRICLK、ICLK ≧ MRPCLK、ICLK ≧ PCLKA ≧ PCLKB、ICLK ≧ BCLK、GPTCLK > PCLKA、PCLKD ≧ PCLKA ≧ PCLKB
クロック周波数比に関する制限 :（N は最大 64 の整数）
CPUCLK0: ICLK = N: 1、CPUCLK1: ICLK = N: 1、MRICLK: ICLK = N: 1、CPUCLK0: MRICLK = N: 1、CPUCLK1: MRICLK = N: 1、ICLK: MRPCLK = N: 1、ICLK: BCLK = N: 1、ICLK: PCLKA = N: 1、ICLK: PCLKB = N: 1、ICLK: PCLKC = N: 1 または 1: N、ICLK: PCLKD = N: 1 または 1: N、ICLK: PCLKE = N: 1 または 1: N
1 クロックで 3、6、12、24 分周を選択しているときに、SCKDIVCR レジスタと SCKDIVCR2 レジスタで設定するその他のクロックで 2、4、8、16、32、64 分周を選択しないでください。
CAN-FD を用いる場合、クロック周波数比は、PCLKA:PCLKE = 1:2 に制限されます。

注. FLL 機能を使用しない場合 HOCO 周波数を考慮し、PLL1 と PLL2 の逓倍は PLL1、PLL2 の出力周波数範囲内としてください。

注. クロックには、許容周波数範囲があります（表 9.2 を参照してください）。
MRAM と SRAM にも、各ウェイトサイクルの設定値に許容動作周波数範囲があります（「58. SRAM」および「59. MRAM」を参照してください）。
FLL 機能を使用しない場合、これらのクロック周波数範囲は HOCO 自身に最高または最低周波数があったとしても、必ず満たす必要があります（「62. 電気的特性」を参照してください）。

注. CPUCLK0 が 960 MHz 超に設定されている場合、PLLCCR.PLSRCSEL ビットを 0 に設定してください。

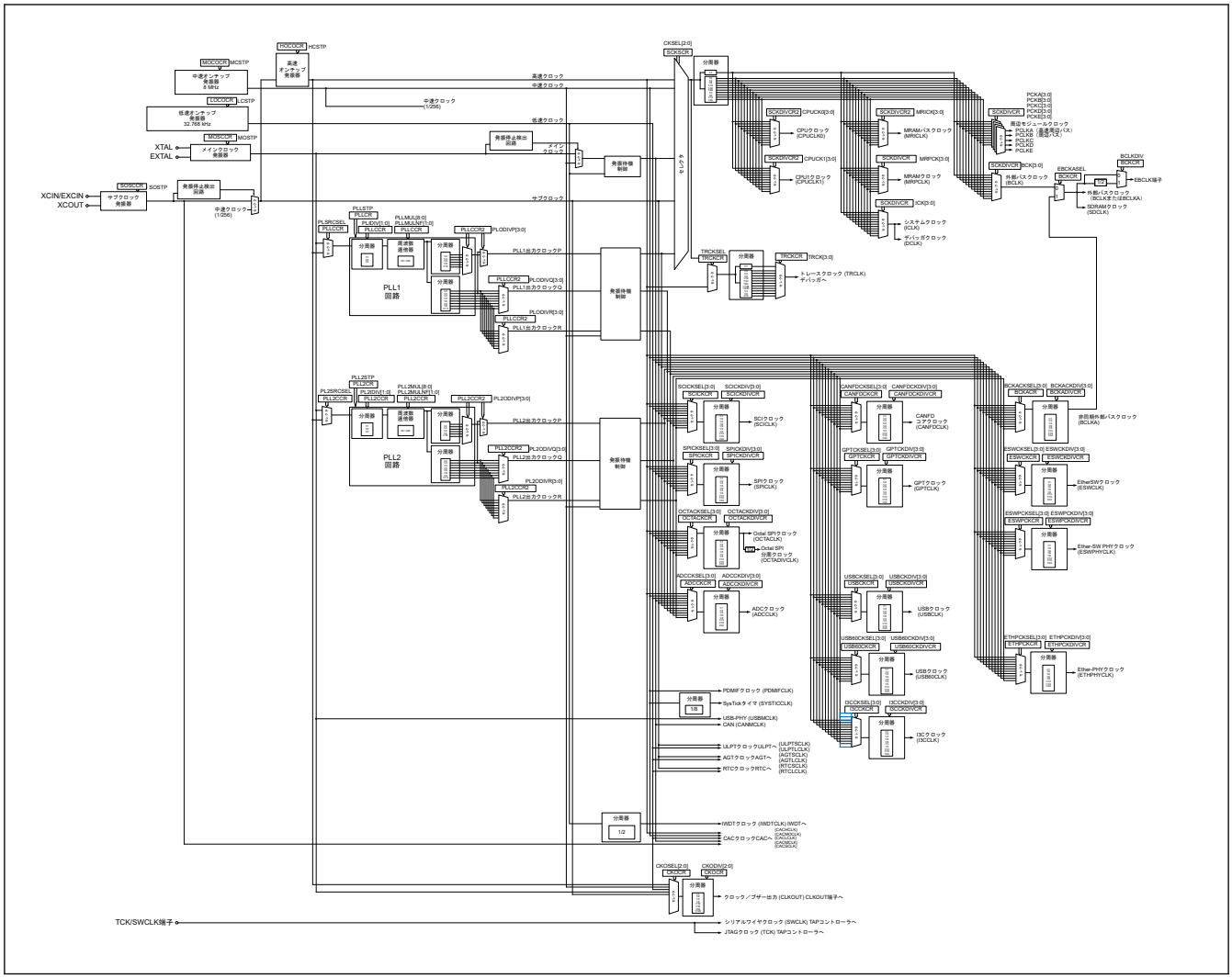


図 9.1　クロック発生回路のブロック図

表 9.3 にクロック発生回路の入出力端子を示します。

表 9.3　クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	これらの端子はセラミック発振子または水晶振動子の接続に使用します。EXTAL 端子は外部クロックの入力にも使用できます。詳細は、「9.3.2. 外部クロックを入力する方法」を参照してください。
EXTAL	入力	
XCIN/EXCIN	入力	32.768 kHz の水晶振動子を接続します。 XCIN 端子は外部クロックを入力することもできます。詳細は「9.4.2. 外部クロックを入力する方法」を参照してください。
XCOUT	出力	
TCK/SWCLK	入力	JTAG/SWD 用のクロック入力端子
EBCLK	出力	外部デバイス用の外部バスクロック (EBCLK) 供給端子
SDCLK	出力	外部デバイス用の SDRAM クロック (SDCLK) 供給端子
CLKOUT	出力	CLKOUT/BUZZER クロックを出力します。
TRCLK	出力	トレースクロック出力

9.2 レジスタの説明

9.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	NONSEC28	NONSEC27	—	NONSEC25	NONSEC24	—	NONSEC22	NONSEC21	NONSEC20	NONSEC19	NONSEC18	NONSEC17	NONSEC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	NONSEC14	NONSEC13	NONSEC12	NONSEC11	NONSEC10	NONSEC09	NONSEC08	NONSEC07	NONSEC06	NONSEC05	NONSEC04	NONSEC03	NONSEC02	—	NONSEC00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC00	非セキュア属性ビット 00 対象レジスタ: SCKDIVCR, SCKDIVCR2, SCKSCR 対象要素：システムクロックコントロール 0: セキュア 1: 非セキュア	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	NONSEC02	非セキュア属性ビット 02 対象レジスタ: HOCOCR, HOCOCR2, FLLCR1, FLLCR2, HOCOUTCR, HOCOSCR, USBCKSELR 対象要素：HOCO 0: セキュア 1: 非セキュア	R/W
3	NONSEC03	非セキュア属性ビット 03 対象レジスタ: MOCOCR、MOCOUTCR、MOCOSCR 対象要素：MOCO 0: セキュア 1: 非セキュア	R/W
4	NONSEC04	非セキュア属性ビット 04 対象レジスタ：LOCOCR、LOCOUTCR 対象要素：LOCO 0: セキュア 1: 非セキュア	R/W
5	NONSEC05	非セキュア属性ビット 05 対象レジスタ: MOSCCR、MOSCWTCR、MOMCR、MOMCR2、MOSCSCR 対象要素：MOSC 0: セキュア 1: 非セキュア	R/W
6	NONSEC06	非セキュア属性ビット 06 対象レジスタ: OSTDCR、OSTDSR 対象要素：発振停止検出コントロール 0: セキュア 1: 非セキュア	R/W
7	NONSEC07	非セキュア属性ビット 07 対象レジスタ: SOSCCR、SOMCR 対象要素：SOSC 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
8	NONSEC08	非セキュア属性ビット 08 対象レジスタ: PLLCCR, PLLCCR2, PLLCR 対象要素：PLL 0: セキュア 1: 非セキュア	R/W
9	NONSEC09	非セキュア属性ビット 09 対象レジスタ: PLL2CCR, PLL2CCR2, PLL2CR 対象要素: PLL2 0: セキュア 1: 非セキュア	R/W
10	NONSEC10	非セキュア属性ビット 10 対象レジスタ: SOSTDCR、SOSTDSR 対象要素: サブ発振停止検出制御 0: セキュア 1: 非セキュア	R/W
11	NONSEC11	非セキュア属性ビット 11 対象レジスタ: CKOCR 対象要素: CLKOUT 制御 0: セキュア 1: 非セキュア	R/W
12	NONSEC12	非セキュア属性ビット 12 対象レジスタ: BCKCR、EBCKOCR 対象要素: EBCLK 0: セキュア 1: 非セキュア	R/W
13	NONSEC13	非セキュア属性ビット 13 対象レジスタ: SDCKOCR 対象要素: SDCLK 0: セキュア 1: 非セキュア	R/W
14	NONSEC14	非セキュア属性ビット 14 対象レジスタ: BCKADIVCR、BCKACR 対象要素: BCLKA 0: セキュア 1: 非セキュア	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	NONSEC16	非セキュア属性ビット 16 対象レジスタ: USBCKDIVCR、USBCKCR 対象要素: USBCLK 0: セキュア 1: 非セキュア	R/W
17	NONSEC17	非セキュア属性ビット 17 対象レジスタ: OCTACKDIVCR、OCTACKCR 対象要素: OCTACLK 0: セキュア 1: 非セキュア	R/W
18	NONSEC18	非セキュア属性ビット 18 対象レジスタ：CANFDCKDIVCR、CANFDCKCR 対象要素：CANFDCLK 0: セキュア 1: 非セキュア	R/W
19	NONSEC19	非セキュア属性ビット 19 対象レジスタ: USB60CKDIVCR、USB60CKCR 対象要素: USB60CLK 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
20	NONSEC20	非セキュア属性ビット 20 対象レジスタ: I3CCKDIVCR, I3CCKCR 対象要素: I3CCLK 0: セキュア 1: 非セキュア	R/W
21	NONSEC21	非セキュア属性ビット 21 対象レジスタ: SCICKDIVCR、SCICKCR 対象要素: SCICLK 0: セキュア 1: 非セキュア	R/W
22	NONSEC22	非セキュア属性ビット 22 対象レジスタ: SPICKDIVCR、SPICKCR 対象要素: SPICLK 0: セキュア 1: 非セキュア	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	NONSEC24	非セキュア属性ビット 24 対象レジスタ: ADCCKDIVCR、ADCCKCR 対象要素: ADCCLK 0: セキュア 1: 非セキュア	R/W
25	NONSEC25	非セキュア属性ビット 25 対象レジスタ: GPTCKDIVCR、GPTCKCR 対象要素: GPTCLK 0: セキュア 1: 非セキュア	R/W
26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27	NONSEC27	非セキュア属性ビット 27 対象レジスタ: ESWCKDIVCR、ESWCKCR、ESWPCKDIVCR、ESWPCKCR 対象要素: ESWCLK、ESWPHYCLK 0: セキュア 1: 非セキュア	R/W
28	NONSEC28	非セキュア属性ビット 28 対象レジスタ: ETHPCKDIVCR、ETHPCKCR 対象要素: ETHPHYCLK 0: セキュア 1: 非セキュア	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. PRCR.PRC4 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CGFSAR レジスタは、クロック発生機能レジスタのセキュリティ属性を制御します。

NONSEC00 ビット（非セキュア属性ビット 00）

本ビットは SCKDIVCR、SCKDIVCR2、SCKSCR の各レジスタのセキュリティ属性を制御します。

NONSEC02 ビット（非セキュア属性ビット 02）

本ビットは HOCOCR、HOCOCR2、FLLCR1、FLLCR2、HOCOUTCR、HOCOSCR、USBCKSELR の各レジスタのセキュリティ属性を制御します。

NONSEC03 ビット（非セキュア属性ビット 03）

本ビットは MOCOCR、MOCOUTCR、MOCOSCR の各レジスタのセキュリティ属性を制御します。

NONSEC04 ビット（非セキュア属性ビット 04）

本ビットは LOCOCR、LOCOUTCR レジスタのセキュリティ属性を制御します。

NONSEC05 ビット（非セキュア属性ビット 05）

本ビットは MOSCCR、MOSCWTCR、MOMCR、MOMCR2、MOSCSCR の各レジスタのセキュリティ属性を制御します。

NONSEC06 ビット（非セキュア属性ビット 06）

本ビットは OSTDCR、OSTDSR レジスタのセキュリティ属性を制御します。

NONSEC07 ビット（非セキュア属性ビット 07）

本ビットは SOSCCR、SOMCR レジスタのセキュリティ属性を制御します。

NONSEC08 ビット（非セキュア属性ビット 08）

本ビットは PLLCCR、PLLCCR2、PLLCR の各レジスタのセキュリティ属性を制御します。

NONSEC09 ビット（非セキュア属性ビット 09）

本ビットは PLL2CCR、PLL2CCR2、PLL2CR の各レジスタのセキュリティ属性を制御します。

NONSEC10 ビット（非セキュア属性ビット 10）

本ビットは SOSTDCR、SOSTDSR の各レジスタのセキュリティ属性を制御します。

NONSEC11 ビット（非セキュア属性ビット 11）

本ビットは CKOCR レジスタのセキュリティ属性を制御します。

NONSEC12 ビット（非セキュア属性ビット 12）

本ビットは BCKCR、EBCKOCR の各レジスタのセキュリティ属性を制御します。

NONSEC13 ビット（非セキュア属性ビット 13）

本ビットは SDCKOCR レジスタのセキュリティ属性を制御します。

NONSEC14 ビット（非セキュア属性ビット 14）

本ビットは BCKADIVCR、BCKACR の各レジスタのセキュリティ属性を制御します。

NONSEC16 ビット（非セキュア属性ビット 16）

本ビットは USBCKDIVCR、USBCKCR の各レジスタのセキュリティ属性を制御します。

NONSEC17 ビット（非セキュア属性ビット 17）

本ビットは OCTACKDIVCR、OCTACKCR の各レジスタのセキュリティ属性を制御します。

NONSEC18 ビット（非セキュア属性ビット 18）

本ビットは CANFDCKDIVCR、CANFDCKCR レジスタのセキュリティ属性を制御します。

NONSEC19 ビット（非セキュア属性ビット 19）

本ビットは USB60CKDIVCR、USB60CKCR の各レジスタのセキュリティ属性を制御します。

NONSEC20 ビット（非セキュア属性ビット 20）

本ビットは I3CCKDIVCR、I3CCKCR の各レジスタのセキュリティ属性を制御します。

NONSEC21 ビット（非セキュア属性ビット 21）

本ビットは SCICKDIVCR、SCICKCR の各レジスタのセキュリティ属性を制御します。

NONSEC22 ビット（非セキュア属性ビット 22）

本ビットは SPICKDIVCR、SPICKCR の各レジスタのセキュリティ属性を制御します。

NONSEC24 ビット（非セキュア属性ビット 24）

本ビットは ADCCKDIVCR、ADCCKCR の各レジスタのセキュリティ属性を制御します。

NONSEC25 ビット（非セキュア属性ビット 25）

本ビットは GPTCKDIVCR、GPTCKCR の各レジスタのセキュリティ属性を制御します。

NONSEC27 ビット（非セキュア属性ビット 27）

本ビットは ESWCKDIVCR、ESWCKCR、ESWPCKDIVCR、ESWPCKCR の各レジスタのセキュリティ属性を制御します。

NONSEC28 ビット（非セキュア属性ビット 28）

本ビットは ETHPCKDIVCR、ETHPCKCR の各レジスタのセキュリティ属性を制御します。

9.2.2 SCKDIVCR : システムクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MRPCK[3:0]				ICK[3:0]				PCKE[3:0]				BCK[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PCKA[3:0]				PCKB[3:0]				PCKC[3:0]				PCKD[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PCKD[3:0](注4)	周辺モジュールクロック D (PCLKD) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W
7:4	PCKC[3:0](注4)	周辺モジュールクロック C (PCLKC) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
11:8	PCKB[3:0](注3)	周辺モジュールクロック B (PCLKB) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W
15:12	PCKA[3:0](注3)	周辺モジュールクロック A (PCLKA) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W
19:16	BCK[3:0](注2)	外部バスクロック (BCLK) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W
23:20	PCKE[3:0](注4)	周辺モジュールクロック E (PCLKE) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
27:24	ICK[3:0](注1)(注2)(注3)(注4)(注5)(注6)(注7)	システムクロック (ICLK) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W
31:28	MRPCK[3:0](注1)(注8)	MRAM クロック (MRPCLK) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. 1 クロックで 3、6、12、24 分周を選択しているときに、それ以外のクロックで 2、4、8、16、32、64 分周を選択しないでください。
注 1. システムクロック (ICLK) と MRAM クロック (MRPCLK) との間には以下の周波数関係が必要です。
ICLK:MRPCLK = N:1（N：整数）
注 2. システムクロック (ICLK) と外部バスクロック (BCLK) との間には以下の周波数関係が必要です。
ICLK:BCLK = N:1（N：整数）
注 3. システムクロック (ICLK) と周辺モジュールクロック (PCLKA, PCLKB) との間には次の周波数関係が必要です。
ICLK:PCLKA = N:1、ICLK:PCLKB = N:1（N：整数）
注 4. システムクロック (ICLK) と周辺モジュールクロック (PCLKC, PCLKD, PCLKE) との間には以下の周波数関係が必要です。
ICLK:PCLKC、PCLKD PCLKE = N:1 または 1:N（N：整数）
注 5. CPU0 クロック (CPUCLK0) とシステムクロック (ICLK) との間には以下の周波数関係が必要です。
CPUCLK0:ICLK = N:1（N：整数）
注 6. CPU1 クロック (CPUCLK1) とシステムクロック (ICLK) との間には以下の周波数関係が必要です。
CPUCLK1:ICLK = N:1（N：整数）
注 7. MRAM バスクロック (MRICLK)、CPU0 クロック (CPUCLK0)、CPU1 クロック (CPUCLK1)、およびシステムクロック (ICLK) の間には、以下の周波数関係が必要です。
MRICLK:ICLK = N:1（N：整数）
CPUCLK0:MRICLK = N:1（N：整数）
CPUCLK1:MRICLK = N:1（N：整数）
注 8. MRAM クロック (MRPCLK) の周波数は、MRE 周波数通知レジスタ (MREFREQ) に制限されます。「59. MRAM」を参照してください。

SCKDIVCR レジスタは、システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE)、MRAM クロック (MRPCLK)、および外部バスクロック (BCLK) の周波数を選択します。

9.2.3 SCKDIVCR2 : システムクロック分周コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x024

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MRICK[3:0]				—				CPUCK1[3:0]				CPUCK0[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CPUCK0[3:0](注1)	CPU0 クロック (CPUCLK0) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W
7:4	CPUCK1[3:0](注2) (注5)	CPU1 クロック (CPUCLK1) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W
11:8	—	これらのビットは MRICK[3:0]と同じ値に設定してください。	R/W
15:12	MRICK[3:0](注3)(注4)	MRAM バスクロック (MRICLK) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 1 0 1 1: × 1/24 その他: 設定禁止	R/W

注. S-TYPE-3、P-TYPE-2
注. 1 クロックで 3、6、12、24 分周を選択しているときに、それ以外のクロックで 2、4、8、16、32、64 分周を選択しないでください。
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. CPU0 クロック (CPUCLK0) とシステムクロック (ICLK) との間には以下の周波数関係が必要です。CPUCLK0:ICLK = N:1（N：整数）
注 2. CPU1 クロック (CPUCLK1) とシステムクロック (ICLK) との間には以下の周波数関係が必要です。CPUCLK1:ICLK = N:1（N：整数）
注 3. MRAM バスクロック (MRICLK)、CPU0 クロック (CPUCLK0)、CPU1 クロック (CPUCLK1)、およびシステムクロック (ICLK) の間には、以下の周波数関係が必要です。
MRICLK:ICLK = N:1（N：整数）
CPUCLK0:MRICLK = N:1（N：整数）
CPUCLK1:MRICLK = N:1（N：整数）
注 4. MRAM バスクロック (MRICLK) の周波数は、MRC 周波数通知レジスタ (MRCFREQ) に制限されます。「59. MRAM」を参照してください。
注 5. シングルコア製品の場合は、MRICK[3:0]と同じ値を設定してください。

SCKDIVCR2 レジスタは、CPU0 クロック (CPUCLK0)、CPU1 クロック (CPUCLK1)、および MRAM バスクロック (MRICLK) の周波数を選択します。

9.2.4 SYRACCR : システムレジスタアクセスコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xCC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BUSY
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BUSY	アクセス可能状態モニタ 0: 読み出し／書き込みアクセス可能状態 1: 書き込み中	R
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-5、P-TYPE-5
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SYRACCR レジスタは、対象レジスタがアクセス可能であるように監視します。

対象レジスタは、LOCOCR および LOCOUTCR です。

BUSY ビット（アクセス可能状態モニタ）

SYRACCR.BUSY ビットが 0 の場合、対象レジスタはアクセス可能です。

SYRACCR.BUSY ビットが 0 であることを確認してから、対象レジスタにアクセスしてください。

SYRACCR.BUSY ビットが 1 の場合、対象レジスタのうちの 1 つへ書き込みアクセス中です。SYRACCR.BUSY ビットが 1 の場合、対象レジスタのうちの 1 つへさらに書き込みしても無視されます。また、対象レジスタからの読み出し値は保証されません。

9.2.5 SCKSCR : システムクロックソースコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x026

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CKSEL[2:0]	クロックソース選択ビット 0 0 0: HOCO 0 0 1: MOCO（リセット後の値） 0 1 0: 設定禁止 0 1 1: メインクロック発振器 (MOSC) 1 0 0: サブクロック発振器 (SOSC) 1 0 1: PLL1 出力クロック P (PLL1P) 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. S-TYPE-3, P-TYPE-2

SCKSCR レジスタは、システムクロックのクロックソースを選択します。

CKSEL[2:0]ビット（クロックソース選択ビット）

CKSEL[2:0]ビットは、下記のモジュールに対してソースを選択します。

- CPU0 クロック (CPUCLK0)
- CPU1 クロック (CPUCLK1)
- MRAM バスクロック (MRICLK)
- MRAM クロック (MRPCLK)
- システムクロック (ICLK)
- 周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE）
- 外部バスクロック (BCLK)
- SDRAM クロック (SDCLK)

本ビットは下記のソースから 1 つを選択します。

- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)
- メインクロック発振器 (MOSC)
- サブクロック発振器 (SOSC)
- PLL1 出力クロック P (PLL1P)

各クロックソースの動作状態は、クロック発振器の有効設定だけでなく、製品動作モードによっても制御されます。使用する製品動作モードによっては、強制停止となるクロックソースがあります。

各製品の動作モードにおけるクロックソースの動作状態を確認し、停止するクロックソースを SCKSCR で選択しないようにしてください。なお、クロックソースの切り替えは、WDT/IWDT からの割り込みが発生していないタイミングで実施してください。

9.2.6 PLLCCR : PLL クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0AC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLLMUL[8]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PLLMUL[7:0]								PLLMULNF[1:0]		—	PLSRCSEL	—		PLIDIV[1:0]	
Value after reset:	0	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PLIDIV[1:0](注1)	PLL1 入力周波数分周比選択 0 0: 1/1 0 1: 1/2 1 0: 1/3 その他: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PLSRCSEL	PLL1 クロックソース選択 0: メインクロック発振器(注3) 1: HOCO(注4)	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7:6	PLLMULNF[1:0](注2)	PLL1 周波数小数逓倍率選択 0 0: 0.00 分周（リセット後の値） 0 1: 0.33 (1/3) 1 0: 0.66 (2/3) 1 1: 0.50 (1/2)	R/W
16:8	PLLMUL[8:0](注2)	PLL1 周波数逓倍率選択 0x27: 40 倍（リセット後の値） 0x28: 41 倍 0x29: 42 倍 ⋮ 0x12A: 299 倍 0x12B: 300 倍 その他: 設定禁止	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PLIDIV[1:0]ビットは、PLL1 入力信号の周波数が「9.1. 概要」の範囲に入るように設定してください。
注 2. PLLMUL[8:0]ビットと PLLMULNF[1:0]ビットは、PLL1 出力信号の周波数が「9.1. 概要」の範囲に入るように設定してください。
注 3. CPUCLK0 が 960 MHz 超に設定されている場合、PLSRCSEL を 0 に設定してください。
注 4. USBCLK 使用時、必ず FLL 機能を有効にしてください。

PLLCCR レジスタは、PLL1 回路の動作を設定します。

PLLCR.PLLSTP ビットが 0（PLL1 動作）のとき、PLLCCR レジスタへの書き込みは禁止です。

PLIDIV[1:0]ビット（PLL1 入力周波数分周比選択）

PLL1 のクロックソースの分周比を選択します。

PLSRCSEL ビット（PLL1 クロックソース選択）

PLL1 のクロックソースを選択します。

PLLMULNF[1:0]ビット（PLL1 周波数小数逓倍率選択）

PLL1 回路の周波数逓倍率の小数部を選択します。

PLLMUL[8:0]ビット（PLL1 周波数逓倍率選択）

PLL1 回路の周波数逓倍率を選択します。

9.2.7 PLLCCR2 : PLL クロックコントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x4C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—				PLODIVR[3:0]				PLODIVQ[3:0]				PLODIVP[3:0]			
Value after reset:	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1

ビット	シンボル	機能	R/W
3:0	PLODIVP[3:0](注1)	PLL1 出力周波数分周比選択（出力クロック P 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1111: 16 分周 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
7:4	PLODIVQ[3:0](注1)	PLL1 出力周波数分周比選択（出力クロック Q 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 5 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1000: 9 分周 1001: 1.5 分周 その他: 設定禁止	R/W
11:8	PLODIVR[3:0](注1)	PLL1 出力周波数分周比選択（出力クロック R 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 5 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1000: 9 分周 1001: 1.5 分周 その他: 設定禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PLL1 出力信号の周波数が表 9.1 の範囲に入るように設定してください。

PLLCCR2 レジスタは、PLL1 回路の動作を設定します。PLLCR.PLLSTP ビットが 0（PLL1 動作）のとき、PLLCCR2 レジスタへの書き込みは禁止です。

PLL1 出力クロック P、PLL1 出力クロック Q、または PLL1 出力クロック R のいずれか 1 つだけ使用している場合でも、PLLCCR2 は、PLL1 出力信号の周波数が表 9.1 の範囲に入るように設定してください。

PLODIVP[3:0]ビット（PLL1 出力周波数分周比選択（出力クロック P 用））

これらのビットは、PLL1 出力クロック P (PLL1P) の出力周波数分周比を選択します。

PLODIVQ[3:0]ビット（PLL1 出力周波数分周比選択（出力クロック Q 用））

これらのビットは、PLL1 出力クロック Q (PLL1Q) の出力周波数分周比を選択します。

PLODIVR[3:0]ビット（PLL1 出力周波数分周比選択（出力クロック R 用））

これらのビットは、PLL1 出力クロック R (PLL1R) の出力周波数分周比を選択します。

9.2.8 PLLCR : PLL コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x02A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PLLSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PLLSTP	PLL1 停止制御 : 0: PLL1 動作 1: PLL1 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PLLCR レジスタは、PLL1 回路の動作を制御します。

PLLSTP ビット（PLL1 停止制御）

本ビットは PLL1 回路を動作または停止させます。

PLLCCR.PLSRCSEL ビットで、メインクロック発振器を PLL1 のクロックソースとして選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLL1 を動作させるように PLLSTP ビットの設定を変更した場合は、OSCSF.PLLSF ビットが 1 になっていることを確認してから、PLL1 クロックを使用してください。PLL1 は、動作開始後発振が安定するまでに一定の時間を要します。また、PLL1 動作が停止した後も、発振が停止するまでに一定の時間を要します。さらに、PLLSTP ビットで PLL1 動作を開始および停止させる場合、以下の制限があります。

- PLL1 の停止後、OSCSF.PLLSF ビットが 0 であることを確認してから、PLL1 を再開してください。
- PLL1 が動作していること、および OSCSF.PLLSF ビットが 1 であることを確認してから、PLL1 を停止してください。
- PLL1 クロックをシステムクロックソースとして選択しているかどうかにかかわらず、PLL1 を動作させた後、MCU をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF が 1 になっていることを確認してから WFI 命令を実行してください。
- PLL1 を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 0 になっていることを確認してから WFI 命令を実行してください。

SCKSCR.CKSEL[2:0]ビットが 101（システムクロックソース = PLL1 出力クロック P (PLL1P)）のとき、PLLSTP ビットへ 1 を書き込むことは禁止です。

PLLSTP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- PLL1 ソースクロック = MOSC の場合：MOSCCR.MOSTP = 0（MOSC 動作）
- PLL1 ソースクロック = HOCO の場合：HOCOCR.HCSTP = 0（HOCO 動作）

9.2.9 PLL2CCR : PLL2 クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL2MUL[8]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PLL2MUL[7:0]								PLL2MULNF[1:0]		—	PL2SRCSEL	—		PL2IDIV[1:0]	
Value after reset:	0	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PL2IDIV[1:0](注1)	PLL2 入力分周比選択 0 0: 1/1（リセット後の値） 0 1: 1/2 1 0: 1/3 その他: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PL2SRCSEL	PLL2 クロックソース選択 0: メインクロック発振器 1: HOCO(注3)	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7:6	PLL2MULNF[1:0](注2)	PLL2 周波数小数逓倍率選択 00: 0.00 分周（リセット後の値） 01: 0.33 (1/3) 10: 0.66 (2/3) 11: 0.50 (1/2)	R/W
16:8	PLL2MUL[8:0](注2)	PLL2 周波数逓倍率選択 0x27: 40 倍（リセット後の値） 0x28: 41 倍 0x29: 42 倍 ⋮ 0x12A: 299 倍 0x12B: 300 倍 その他: 設定禁止	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PL2IDIV[1:0]ビットは、PLL2 の入力周波数が「9.1. 概要」の範囲に入るように設定してください。
注 2. PLL2MUL[8:0]ビットと PLL2MULNF[1:0]ビットは、PLL2 出力信号の周波数が「9.1. 概要」の範囲に入るように設定してください。
注 3. USBCLK 使用時、必ず FLL 機能を有効にしてください。

PLL2CCR レジスタは、PLL2 回路の動作を設定します。

PLL2CR.PLL2STP ビットが 0（PLL2 動作）のとき、PLL2CCR レジスタへの書き込みは禁止です。

PL2IDIV[1:0]ビット（PLL2 入力分周比選択）

PLL2 のクロックソースの分周比を選択します。

PL2SRCSEL ビット（PLL2 クロックソース選択）

PLL2 のクロックソース源を選択します。

PLL2MULNF[1:0]ビット（PLL2 周波数小数逓倍率選択）

PLL2 回路の周波数逓倍率の小数部を選択します。

PLL2MUL[8:0]ビット（PLL2 周波数逓倍率選択）

PLL2 回路の周波数逓倍率を選択します。

9.2.10 PLL2CCR2 : PLL2 クロックコントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x4E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—				PL2ODIVR[3:0]				PL2ODIVQ[3:0]				PL2ODIVP[3:0]			
Value after reset:	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1

ビット	シンボル	機能	R/W
3:0	PL2ODIVP[3:0](注1)	PLL2 出力周波数分周比選択（出力クロック P 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1111: 16 分周 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
7:4	PL2ODIVQ[3:0](注1)	PLL2 出力周波数分周比選択（出力クロック Q 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 5 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1000: 9 分周 1001: 1.5 分周 その他: 設定禁止	R/W
11:8	PL2ODIVR[3:0](注1)	PLL2 出力周波数分周比選択（出力クロック R 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 5 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1000: 9 分周 1001: 1.5 分周 その他: 設定禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PLL2 出力信号の周波数が表 9.1 の範囲に入るように設定してください。

PLL2CCR2 レジスタは、PLL2 回路の動作を設定します。PLL2CR.PLL2STP ビットが 0（PLL2 動作）のとき、PLL2CCR2 レジスタへの書き込みは禁止です。

PLL2 出力クロック P、PLL2 出力クロック Q、または PLL2 出力クロック R のいずれか 1 つだけ使用している場合でも、PLL2CCR2 は、PLL2 出力信号の周波数が表 9.1 の範囲に入るように設定してください。

PL2ODIVP[3:0]ビット（PLL2 出力周波数分周比選択（出力クロック P 用））

これらのビットは、PLL2 出力クロック P (PLL2P) の出力周波数分周比を選択します。

PL2ODIVQ[3:0]ビット（PLL2 出力周波数分周比選択（出力クロック Q 用））

これらのビットは、PLL2 出力クロック Q (PLL2Q) の出力周波数分周比を選択します。

PL2ODIVR[3:0]ビット（PLL2 出力周波数分周比選択（出力クロック R 用））

これらのビットは、PLL2 出力クロック R (PLL2R) の出力周波数分周比を選択します。

9.2.11 PLL2CR : PLL2 コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x04A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PLL2STP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PLL2STP	PLL2 停止制御 : 0: PLL2 動作 1: PLL2 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PLL2CR レジスタは、PLL2 回路の動作を制御します。

PLL2STP ビット（PLL2 停止制御）

このビットは PLL2 回路を動作または停止させます。

PLL2CCR.PL2SRCSEL ビットで、メインクロック発振器を PLL2 のクロックソースとして選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLL2 を動作させるように PLL2STP ビットの設定を変更した場合は、OSCSF.PLL2SF ビットが 1 になっていることを確認してから、PLL2 クロックを使用してください。PLL2 は、動作開始後発振が安定するまでに一定の時間を要します。また、PLL2 動作が停止した後も、発振が停止するまでに一定の時間を要します。さらに、PLL2STP ビットで PLL2 動作を開始および停止させる場合、以下の制限があります。

- PLL2 の停止後、動作を再開させる前に OSCSF.PLL2SF ビットが 0 であることを確認してください。
- PLL2 を停止させる前に、PLL2 が動作していること、および OSCSF.PLL2SF ビットが 1 であることを確認してください。
- PLL2 を動作させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLL2SF ビットが 1 になっていることを確認した上で WFI 命令を実行してください。
- PLL2 を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLL2SF ビットが 0 になっていることを確認した上で WFI 命令を実行してください。

PLL2STP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- PLL2 ソースクロック = MOSC の場合：MOSCCR.MOSTP = 0（MOSC 動作）
- PLL2 ソースクロック = HOCO の場合：HOCOCR.HCSTP = 0（HOCO 動作）

9.2.12 BCKCR : 外部バスクロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x030

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EBCKASEL	—	—	—	—	—	—	BCLKDIV
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BCLKDIV	BCLK 端子出力選択 0: BCLK または BCLKA 1: BCLK/2 または BCLKA/2	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	EBCKASEL(注1)	外部バス非同期選択 0: 同期 (BCLK) 1: 非同期 (BCLKA)	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. BCKACR.BCKACKSREQ = 1 に設定し、BCKACR.BCKACKSRDY = 1 である間にこのビットの値を書き換えてください。

BCKCR レジスタは、外部バスクロック端子を制御します。

本レジスタは、BCKACR レジスタと一緒に選択する必要があります。詳細は、「9.2.62. BCKACR : 非同期外部バスクロックコントロールレジスタ」を参照してください。

BCLKDIV ビット（BCLK 端子出力選択）

BCLK 端子から出力するクロックを選択します。

SCKDIVCR.BCK[2:0]ビットで選択した周波数の BCLK、または BCLK の 2 分周を選択できます。

EBCKASEL ビット（外部バス非同期選択）

外部バス、EBCLK、および SDCLK のクロック信号を選択します。

9.2.13 MOSCCR : メインクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x032

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MOSTP	メインクロック発振器停止 0: メインクロック発振器動作(注1) 1: メインクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. S-TYPE-3、P-TYPE-2
注 1. MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御します。

MOSTP ビット（メインクロック発振器停止）

MOSTP ビットは、メインクロック発振器を動作または停止させます。

MOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。MOSTP ビットを 0 にした後、OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロック発振器を使用してください。

メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、メインクロック発振器が停止した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後､動作を再開させる前に OSCSF.MOSCSF ビットが 0 であることを確認してください。
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが 1 であることを確認してください。
- メインクロック発振器をシステムクロックソースとして選択しているかどうかにかかわらず、メインクロック発振器を動作させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認してから WFI 命令を実行してください。
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移させる場合は、OSCSF.MOSCSF ビットが 0 になっていることを確認してから WFI 命令を実行してください。

以下の条件下で MOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）
- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）かつ PLLCR.PLLSTP = 0（PLL1 動作）
- PLL2CCR.PL2SRCSEL = 0（PLL2 ソースクロック = MOSC）かつ PLL2CR.PLL2STP = 0（PLL2 動作）

9.2.14 SOSCCR : サブクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	SOSTP	サブクロック発振器停止 0: サブクロック発振器動作(注1) 1: サブクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注 1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御します。

SOSTP ビット（サブクロック発振器停止）

SOSTP ビットは、サブクロック発振器を動作または停止させます。SOSTP ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。RTC などの周辺モジュールのソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定してください。

SOMCR.SOSEL によって外部クロック入力を選択する場合、SOMCR.SOSEL を 1 にして 50 µs 待ってから、SOSTP を 0 にしてください。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させる前に SOSC クロックで少なくとも 5 サイクルに相当する停止期間が必要です。
- SOSTP ビットを 0 にした後、サブクロック発振安定時間 ($t_{SUBOSCWT}$) が経過してからサブクロックを使用してください。
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに遷移する場合は、サブクロックの発振が安定していることを確認した上で WFI 命令実行してください。
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、SOSC クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で SOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 100b（システムクロックソース = SOSC）

9.2.15 LOCOCR : 低速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x400

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCSTP	LOCO 停止 0: LOCO 動作 1: LOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. SYRACCR.BUSY ビットが 0 であることを確認してから、LOCOCR にアクセスしてください。SYRACCR.BUSY ビットが 1 の場合、書き込みは無視されます。また、読み出し値は保証されません。

LOCOCR レジスタは、LOCO を制御します。

LCSTP ビット（LOCO 停止）

LCSTP ビットは、LOCO を動作または停止させます。

ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。

9.2.16 HOCOCR : 高速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x036

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HCSTP
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作(注2) (注3) 1: HOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注 1. OFS1(_SEC).HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1(_SEC).HOCOEN ビットが 1 のときは、このビットのリセット後の値は 1 になります。
注 2. HOCO を使用する場合 (HCSTP = 0) は、OFS1(_SEC).HOCOFRQ0[2:0]ビットを最適な値に設定してください。
注 3. OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、OFS1(_SEC).HOCOFRQ0[2:0]の値が適切でない場合でも HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することができます。

HOCOCR レジスタは、HOCO を制御します。

HCSTP ビット（HOCO 停止）

HCSTP ビットは、HOCO を動作または停止させます。

HCSTP ビットを 0 にして HOCO を動作させた後、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。OFS1(_SEC).HOCOEN が 0 になっている場合は、OSCSF.HOCOSF も 1 になっていることを確認してから HOCO クロックを使用してください。HOCO クロックが動作するように設定してから、発振が安定するまでに一定の待機時間を要します。また、HOCO クロックを停止するように設定した後も一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO クロックを停止した後、HOCO 停止幅の時間より長く待機し、OSCSF.HOCOSF が 0 であることを確認してから HOCO クロックを再開してください。HOCO 停止幅の時間については、「62. 電気的特性」を参照してください。
- HOCO クロックが動作していること、および OSCSF.HOCOSF が 1 であることを確認してから、HOCO を停止してください。

- HOCO クロックをシステムクロックソースとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO 動作を設定後に MCU をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 1 になっていることを確認してから WFI 命令を実行してください。
- HOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 0 になっていることを確認してから WFI 命令を実行してください。

以下の条件下で HCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b（システムクロックソース = HOCO）
- PLLCCR.PLSRCSEL = 1（PLL1 ソースクロック = HOCO）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）
- PLLCCR.PLSRCSEL = 1（PLL1 ソースクロック = HOCO）かつ PLLCR.PLLSTP = 0（PLL1 動作）
- PLL2CCR.PL2SRCSEL = 1（PLL2 ソースクロック = HOCO）および PLL2CR.PLL2STP = 0（PLL2 動作）

9.2.17 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x037

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	HCFRQ0[2:0]		
Value after reset:	0	0	0	0	0	0/1 (注1)	0/1 (注1)	0/1 (注1)

ビット	シンボル	機能	R/W
2:0	HCFRQ0[2:0]	HOCO 周波数設定 0 0 0 0: 16 MHz 0 0 1: 18 MHz 0 1 0: 20 MHz 1 0 0: 32 MHz 1 1 1: 48 MHz その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. HCFRQ0[2:0]ビットのリセット後の値は、OFS1(_SEC).HOCOFRQ0[2:0]ビットに依存します。

HOCOCR2 レジスタは、HOCO クロックを制御します。

HOCOCR.HCSTP ビットが 0（HOCO 動作）のとき、HOCOCR2 レジスタへの書き込みは禁止です。

HCFRQ0[2:0]ビット（HOCO 周波数設定 0）

これらのビットは、HOCO の周波数を選択します。

9.2.18 MOCOCR : 中速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x038

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCSTP	MOCO 停止 0: MOCO 動作 1: MOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

MOCOCR レジスタは、MOCO を制御します。

MCSTP ビット（MOCO 停止）

このビットは、MOCO を動作または停止させます。

ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。

MOCO の動作条件と停止条件、および MCSTP ビットの設定には制限があります。詳細は、「9.6. 中速オンチップオシレータ (MOCO)」を参照してください。

9.2.19 FLLCR1 : FLL コントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x039

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FLLEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLLEN	FLL 機能有効 0: FLL 機能は無効 1: FLL 機能は有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. HOCO を停止 (HOCOCR.HCSTP = 1) にしてから、FLLCR1.FLLEN ビットを変更する必要があります。
注. FLL が有効 (FLLCR1.FLLEN = 1) であるとき、SOSC は安定して動作中でなければいけません。
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

FLLCR1 レジスタは、HOCO の周波数補正機能を制御します。

FLLEN ビット（FLL 機能有効）

HOCO の FLL 機能を有効または無効にします。

FLL が有効である場合、その周波数精度が保証されるのは FLL が安定した後です。FLL 機能が安定していることは、HOCO の安定後にクロック周波数精度測定回路 (CAC) で周波数を測定することにより確認できます。

また、ソフトウェアスタンバイモードへ遷移する前に FLL 機能を無効にする必要があります。FLLEN ビットを 0 にしてからソフトウェアスタンバイモードへ遷移してください。

表 9.4 に、各状況に応じた FLL の設定フロー例を示します。

表 9.4 FLL 設定フロー

手順		動作
リセット解除後／ディープソフトウェアスタンバイモード解除後	1	開始（リセット解除後／ディープソフトウェアスタンバイモード解除後）
	2	FLL 設定 (FLLCR2.FLLCNTL)
	3	FLL を許可 (FLLCR1.FLLEN = 1) 注. SOSC は、発振が安定している状態で動作させてください。
	4	HOCO を許可 (HOCOCR.HCSTP = 0)
	5	FLL が安定するまで待機 (t_{FLLWT})
	6	HOCO の安定を確認 (OSCSF.HOCOSF = 1)
	7	終了（HOCO 使用可能）
ソフトウェアスタンバイへの遷移／解除	1	開始（FLL 使用中）
	2	HOCO を停止 (HOCOCR.HCSTP = 1) 注. システムクロックまたは PLL 基準クロックとして HOCO を使用する場合、クロックソースは、HOCO が停止する前に別のクロックへ変更してください。
	3	FLL を禁止 (FLLCR1.FLLEN = 0)
	4	WFI 命令
	5	ソフトウェアスタンバイモード
	6	ソフトウェアスタンバイモードの解除
	7	FLL を許可 (FLLCR1.FLLEN = 1)
	8	HOCO を許可 (HOCOCR.HCSTP = 0)
	9	FLL が安定するまで待機 (t_{FLLWT})
	10	HOCO の安定を確認 (OSCSF.HOCOSF = 1)
	11	終了（HOCO 使用可能）

9.2.20 FLLCR2 : FLL コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x03A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FLLCNTL[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	FLLCNTL[10:0]	FLL 逓倍制御 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 000b (16 MHz) または 100b (32 MHz) の場合、これらのビットは 0x1E8 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 001b (18 MHz) の場合、これらのビットは 0x225 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 010b (20 MHz) の場合、これらのビットは 0x262 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 111b (48 MHz) の場合、これらのビットは 0x1E8 にする必要があります。 上記以外は設定しないでください。	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

FLLCR2 レジスタは、HOCO の FLL 機能を制御します。

FLLCNTL[10:0]ビット（FLL 逓倍制御）

FLL 基準クロックの逓倍比を選択します。

FLL を有効 (FLLCR1.FLLEN = 1) にする前に、これらのビットを設定する必要があります。

9.2.21 OSCSF : 発振安定フラグレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x03C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PLL2SF	PLLSF	—	MOSCSF	—	—	HOCOSF
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HOCOSF	HOCO クロック発振安定フラグ 0: HOCO クロックは停止、または発振安定待ち中 1: HOCO クロックは安定、システムクロックソースとして使用可能	R
2:1	—	読むと 0 が読めます。	R
3	MOSCSF	メインクロック発振安定フラグ 0: メインクロック発振器は停止または発振安定待機中(注2) 1: メインクロック発振器は安定、システムクロックソースとして使用可能	R
4	—	読むと 0 が読めます。	R
5	PLLSF	PLL1 クロック発振安定フラグ 0: PLL1 クロックは停止、または発振安定待ち中 1: PLL1 クロックは安定、システムクロックソースとして使用可能	R
6	PLL2SF	PLL2 クロック発振安定フラグ 0: PLL2 クロックは停止、または発振安定待ち中 1: PLL2 クロックは安定	R
7	—	読むと 0 が読めます。	R

注. S-TYPE-5, P-TYPE-5
注 1. リセット後の値は、OFS1(_SEC).HOCOEN の設定値で決まります。
OFS1(_SEC).HOCOEN = 1（HOCO 停止）の場合、HOCOSF のリセット後の値は 0 です。
OFS1(_SEC).HOCOEN = 0（HOCO 動作）の場合、リセット解除直後は HOCOSF は 0 ですが、HOCO 発振安定待機時間経過後に HOCOSF は 1 になります。
注 2. メインクロック発振器のウェイトコントロールレジスタに適切な値が設定されている場合に当てはまります。値（待機時間）が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へのクロック信号の供給が開始します。

このレジスタは、CGFSAR レジスタにより制御されません。

OSCSF レジスタは、各発振器の発振安定待機回路の動作状態を示すフラグからなります。これらの回路は、発振開始後、各発振器の出力クロックが安定するまでの待機時間を生成します。各発振安定待機フラグが 1 になっている状態は、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ（HOCO クロック発振安定フラグ）

HOCOSF フラグは高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。
OFS1(_SEC).HOCOEN が 0 のとき、HOCO クロックを使用する前に OSCSF.HOCOSF が 1 であることを確認してください。

[1 になる条件]

- HOCO クロックが停止し、HOCOCR.HCSTP ビットが 0 になった後、HOCO クロックの変動が 10%の範囲内となり安定してから HOCOSF は 1 になります。HOCO クロックの変動が 1.5%で使用している場合、電気的特性で規定された待機時間が経過するまで待ちます。（詳細は、「62. 電気的特性」を参照してください。）
HOCOCR.HCSTP ビットが 0 の場合、HOCOSF の状態にかかわらず HOCO クロックが供給されます。

[0 になる条件]

- HOCO の動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO が発振停止になったとき

注. OFS1(_SEC).HOCOEN ビットが 0 になっていた場合でも、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。

注. デバッグモードでは、HOCO が発振している間でも、以下のすべての条件を満たす場合は、ユーザープログラムのデバッグの目的で本フラグは 0 にマスクされます。

- TRCKCR.TRCKEN ビットを 1 にすることで、トレースクロックが有効化され動作中
- TRCKCR.TRCKSEL ビットを 1 にすることで、トレースクロックソースとして選択された HOCO がデバッグモードで発振
- HOCOCR.HCSTP ビットを 1 に設定

MOSCSF フラグ（メインクロック発振安定フラグ）

MOSCSF フラグは、メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットが 0 になった後、MOSCWTCR レジスタの設定値に応じた LOCO クロックサイクル数をカウントし、MCU 内部へメインクロック供給を開始したとき

[0 になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

PLLSF フラグ（PLL1 クロック発振安定フラグ）

PLLSF フラグは、PLL1 の発振安定待ち状態を示します。

[1 になる条件]

- PLL1 が停止し PLLCR.PLLSTP ビットが 0 になった後、PLL1 クロックが安定してから PLL1 クロックの供給が開始します。
  PLLSTP ビットが 0 になったときに、PLLCCR.PLSRCSEL ビットで選択した PLL1 クロックソースの発振が安定していなければ、PLL1 クロックソースの発振が安定した後に PLL1 の発振が安定するのを待ちます。

[0 になる条件]

- PLL1 の動作時に、PLLCR.PLLSTP ビットを 1 にした結果、PLL1 が発振停止になったとき

PLL2SF フラグ（PLL2 クロック発振安定フラグ）

本フラグは、PLL2 の発振安定待ち状態を示します。

[1 になる条件]

- PLL2 が停止し PLL2CR.PLL2STP ビットが 0 になった後、PLL2 クロックが安定してから PLL2 クロックの供給が開始します。
  PLL2STP ビットが 0 になったときに、PLLCCR.PLSRCSEL ビットで選択した PLL2 クロックソースの発振が安定していなければ、PLL2 クロックソースの発振が安定した後に PLL2 の発振が安定するのを待ちます。

[0 になる条件]

- PLL2 の動作時に、PLL2CR.PLL2STP ビットを 1 にした結果、PLL2 が発振停止になったとき

9.2.22 OSCMONR : オシレータモニタレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x43

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	LOCOMON	MOCOMON	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	MOCOMON	MOCO 動作モニタ 0: MOCO 動作設定 1: MOCO 停止設定	R
2	LOCOMON	LOCO 動作モニタ 0: LOCO 動作設定 1: LOCO 停止設定	R
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-5

このレジスタは、CGFSAR レジスタにより制御されません。

MOCOMON ビット（MOCO 動作モニタ）

MOCOMON は、MOCO の動作／停止設定状態を示します。

[0 になる条件]

- MOCO 動作条件を満たしている場合。詳細は、「9.6.1. MOCO 動作条件」を参照してください。

[1 になる条件]

- MOCO ストップコンディションを満たしている場合。詳細は、「9.6.2. MOCO 停止条件」を参照してください。

LOCOMON ビット（LOCO 動作モニタ）

LOCOMON は、LOCO の動作/停止設定状態を示します。

[0 になる条件]

- LOCO 動作条件を満たしている場合。詳細は、「9.5.1. LOCO 動作条件」を参照してください。

[1 になる条件]

- LOCO 停止条件を満たしている場合。詳細は、「9.5.2. LOCO 停止条件」を参照してください。

9.2.23 OSTDCR : 発振停止検出コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x040

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OSTDE	—	—	—	—	—	—	OSTDIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDIE	発振停止検出割り込み許可 0: 発振停止検出割り込みを禁止（POEG への通知なし） 1: 発振停止検出割り込みを許可（POEG への通知あり）	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	OSTDE	発振停止検出機能有効 0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. S-TYPE-3、P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

OSTDCR レジスタは、メインクロック発振停止検出機能を制御します。

OSTDIE ビット（発振停止検出割り込み許可）

OSTDIE ビットは、発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF をクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB クロックの 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことで、PCLKB の 2 サイクル以上の待ち時間を確保できます。

OSTDE ビット（発振停止検出機能有効）

OSTDE ビットは、発振停止検出機能を有効にします。

OSTDE ビットを 1（有効）にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み（MOCO 停止）は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1（メインクロック発振停止検出）のとき、OSTDE ビットへの 0 の書き込みは無効です。

9.2.24 OSTDSR : 発振停止検出ステータスレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x041

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OSTDF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDF	発振停止検出フラグ 0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注 1. このビットには 0 のみ書けます。本フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDSR レジスタは、メインクロック発振器の発振停止の検出状態を示します。

OSTDF フラグ（発振停止検出フラグ）

OSTDF フラグは、メインクロック発振器の状態を示します。本フラグが 1 のとき、メインクロックの発振停止が検出されたことを示します。発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは 0 になりません。OSTDF フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDF に 0 を書き込んでから、0 を読み出せるようになるまで、ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF フラグを 0 にすると、OSTDF フラグはいったん 0 になった後、再度 1 に戻ります。

以下の条件下では、OSTDF フラグは 0 にできません。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）

クロックソースをメインクロック発振器と PLL1P 以外に切り替えた後、OSTDF フラグを 0 にする必要があります。

[1 になる条件]

- OSTDCR.OSTDE ビットが 1（発振停止検出機能有効）の状態で、メインクロックの発振が停止したとき

[0 になる条件]

- SCKSCR.CKSEL[2:0]ビットが 011b（システムクロックソースが MOSC）、101b（システムクロックソースが PLL1P）以外のときかつ PLLCCR.PLSRCSEL ビットが 0 以外（PLL1 ソースクロックが MOSC）の場合に、1 を読み出して 0 を書いたとき

9.2.25 SOSTDCR : サブクロック発振停止検出コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SOSTDE	—	—	—	—	—	—	SOSTDIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOSTDIE	サブクロック発振停止検出割り込み許可 0: 発振停止検出割り込みを禁止 1: 発振停止検出割り込みを許可	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SOSTDE	サブクロック発振停止検出機能有効 0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. S-TYPE-3、P-TYPE-2

SOSTDCR レジスタは、サブクロック発振停止検出機能を制御します。

本レジスタは、VBATT_POR リセットでのみ初期化されます。

SOSTDIE ビット（サブクロック発振停止検出割り込み許可）

このビットは、サブクロック発振停止検出機能割り込みを許可または禁止します。

サブクロック発振停止検出ステータスレジスタのサブクロック発振停止検出フラグ (SOSTDSR.SOSTDF) のクリアが必要な場合、SOSTDIE ビットを 0 にクリアしてから SOSTDF レジスタをクリアしてください。SOSTDF レジスタがクリアされたことを確認してから SOSTDIE ビットを再度 1 にしてください。

SOSTDE ビット（サブクロック発振停止検出機能有効）

このビットは、サブクロック発振停止検出機能を有効または無効にします。

SOSTDE ビットを 1（サブクロック発振停止検出機能有効）にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 にクリアされ、MOCO が起動します。発振停止検出機能が有効の間は MOCO を停止できません（ディープソフトウェアスタンバイモードおよび VBAT モード時を除く）。MOCOCR.MCSTP ビットへの 1 の書き込み（MOCO 停止）は無効です。

サブクロック発振停止検出ステータスレジスタのサブクロック発振停止検出フラグ (SOSTDSR.SOSTDF) が 1（サブクロック発振停止検出）のとき、SOSTDE ビットへの 0 の書き込みは無効です。

サブクロック発振停止検出機能を有効にするには、SOSTDCR.SOSTDE ビットを 1 にしてから SOSTDSR.SOSTDF フラグを 0 にクリアする必要があります。ただし、SOSTDCR.SOSTDE ビットを 1 にした後は、必ずサブクロック発振停止検出器の起動時間 (Tsosdup) の間待機してから、SOSTDSR.SOSTDF フラグをクリアしてください。SOSTDSR レジスタについては、「9.2.26. SOSTDSR : サブクロック発振停止検出ステータスレジスタ」を参照してください。

必ずシステムクロックをサブクロック発振器以外のクロックソースに設定してから、サブクロック発振停止検出機能を有効にしてください。

9.2.26 SOSTDSR : サブクロック発振停止検出ステータスレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SOSTDF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOSTDF	サブクロック発振停止検出フラグ 0: サブクロック発振停止は未検出 1: サブクロック発振停止が検出された	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注 1. このビットには 0 のみ書けます。

SOSTDSR レジスタは、サブクロック発振停止検出の状態を示します。

本レジスタは、VBATT_POR リセットでのみ初期化されます。

SOSTDF フラグ（サブクロック発振停止検出フラグ）

このビットは、サブクロックの状態を示すフラグです。SOSTDF フラグが 1 のとき、サブクロックの発振停止が検出されたことを示します。

サブクロック発振停止が一旦検出されると、サブクロック発振が再開されても OSTDF ビットは 0 にクリアされません。SOSTDF ビットは、ビットから 1 を読み出してから 0 を書き込むと、クリアされます。

SOSTDF に 0 を書き込んでから、SOSTDF から 0 を読み出せるようになるまで、PCLKB で 3 サイクル以上待つ必要があります。

サブクロック発振が停止している間に SOSTDF ビットを 0 にクリアすると、SOSTDF ビットは即座に 1 になります。

以下の条件下にあるときは、SOSTDSR.SOSTDF を 0 にクリアできません。

- SCKSCR.CKSEL[2:0] = 100（システムクロックソース = SOSC）

[1 になる条件]

- SOSTDCR.SOSTDE が 1（サブクロック発振停止検出機能有効）の状態でサブクロック発振が停止したとき

[0 になる条件]

- SCKSCR.CKSEL[2:0]ビットが 100b（システムクロックは SOSC）以外の場合に 1 を読み出してから 0 を書いたとき

9.2.27 MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0A2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MSTS[3:0]			
Value after reset:	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
3:0	MSTS[3:0]	メインクロック発振安定待機時間設定 0x0: 待機時間 = 3 サイクル (11.4 µs) 0x1: 待機時間 = 35 サイクル (133.5 µs) 0x2: 待機時間 = 67 サイクル (255.6 µs) 0x3: 待機時間 = 131 サイクル (499.7 µs) 0x4: 待機時間 = 259 サイクル (988.0 µs) 0x5: 待機時間 = 547 サイクル (2086.6 µs) 0x6: 待機時間 = 1059 サイクル (4039.8 µs) 0x7: 待機時間 = 2147 サイクル (8190.2 µs) 0x8: 待機時間 = 4291 サイクル (16368.9 µs) 0x9: 待機時間 = 8163 サイクル (31139.4 µs) その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

MSTS[3:0]ビット（メインクロック発振安定待機時間設定）

MSTS[3:0]ビットは、メインクロック発振器の発振安定待機時間を指定します。

発振器メーカーが推奨する長さ以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので 0x0 に設定してください。

これらのビットに設定した待機時間は、次式を用いてカウントされます。1 サイクル (µs) = 1/(f_{LOCO}[MHz] × 8) = 1/(0.032768 × 8) = 3.81 (µs) (min.) LOCO クロックは、必要であれば、LOCO.LCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロック発振器の供給が開始され、OSCSF.MOSCSF フラグは 1 になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロック発振器の供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが 1 で、かつ OSCSF.MOSCSF フラグが 0 の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

9.2.28 MOMCR : メインクロック発振器モード発振コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA50

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MOSEL	—	—	MODRV0[2:0]			—
Value after reset:	0	0	0	1	1	0	1	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3:1	MODRV0[2:0]	メインクロック発振器駆動能力 0 切り替え 0 0 0: 8 MHz 0 1 1: 8 MHz～24 MHz 1 0 1: 8 MHz～48 MHz その他: 設定禁止	R/W
4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	MOSEL	メインクロック発振器切り替え 0: 発振子 1: 外部クロック入力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. EXTAL/XTAL 端子はポートとしても使用されます。初期状態では、この端子がポートとして設定されます。
注. このレジスタを変更する前に、MOSCCR.MOSTP ビットを 1（MOSC 停止）にする必要があります。
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MODRV0[2:0]ビット（メインクロック発振器駆動能力 0 切り替え）

MODRV0[2:0]ビットは、メインクロック発振器の駆動能力を切り替えます。101b を設定することを推奨します。その他を設定した場合、電流消費が下がる可能性があります。電流消費については、「62. 電気的特性」を参照してください。

MOSEL ビット（メインクロック発振器切り替え）

MOSEL ビットは、メインクロック発振器の発振源を切り替えます。

9.2.29 SOMCR : サブクロック発振器モードコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SOSEL	—	—	—	—	SODRV[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SODRV[1:0]	サブクロック発振器駆動能力切り替え 0 0: 標準 (12.5 pf) 0 1: 低消費電力モード 1 (9 pf) 1 0: 低消費電力モード 2 (7 pf) 1 1: 低消費電力モード 3 (4 pf)	R/W
5:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	SOSEL	サブクロック発振器切り替え 0: 発振子 1: 外部クロック入力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SOMCR レジスタの変更は、SOSCCR.SOSTP が 1（SOSC 停止）のときに行う必要があります。

本レジスタは、VBATT_POR リセットのみで初期化されます。

SODRV[1:0]ビット（サブクロック発振器駆動能力切り替え）

SODRV[1:0]ビットは、サブクロック発振器の駆動能力を切り替えます。

SOSEL ビット（サブクロック発振器切り替え）

SOSEL ビットは、サブクロック発振器のソースを切り替えます。

詳細は、「9.4. サブクロック発振器」を参照してください。

9.2.30 CKOCR : クロックアウトコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x03E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKOEN	CKODIV[2:0]			—	CKOSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CKOSEL[2:0]	クロック出力ソース選択 0 0 0: HOCO 0 0 1: MOCO（リセット後の値） 0 1 0: LOCO 0 1 1: MOSC 1 0 0: SOSC その他: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CKODIV[2:0]	クロック出力周波数分周比 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 1 1 1: × 1/128	R/W
7	CKOEN	クロック出力許可 0: クロック出力禁止 1: クロック出力許可	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

CKOSEL[2:0]ビット（クロック出力ソース選択）

CKOSEL[2:0]ビットは、CLKOUT 端子から出力するクロックのソースを選択します。クロックソースを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0]ビット（クロック出力周波数分周比）

CKODIV[2:0]ビットは、クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。

CKOEN ビット（クロック出力許可）

CKOEN ビットは、CLKOUT 端子からの出力を許可します。

1 を書き込むと、選択したクロックが出力されます。0 を書き込むと、Low が出力されます。このビットを変更する場合は、CKOSEL[2:0]ビットで選択したクロック出力のクロックソースが安定していることを確認してください。それ以外の場合は、出力にグリッチを生じることがあります。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する際は、これらのモードで選択中のクロック出力ソースを停止させる場合、事前にこのビットをクリアしてください。

9.2.31 EBCKOCR : 外部バスクロック出力コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x052

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EBCKOEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EBCKOEN	EBCLK 端子出力制御 0: EBCLK 端子出力を禁止（High 固定） 1: EBCLK 端子出力を許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

9.2.32 SDCKOCR : SDRAM クロック出力コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x053

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SDCKOEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SDCKOEN	SDCLK 端子出力制御 0: SDCLK 端子出力を禁止（High 固定） 1: SDCLK 端子出力を許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SDCKOEN ビット（SDCLK 端子出力制御）

このビットは、SDCLK 端子の出力を制御します。

9.2.33 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x402

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LOCOUTRM[7:0]	LOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. SYRACCR.BUSY ビットが 0 であることを確認してから、LOCOUTCR にアクセスしてください。SYRACCR.BUSY ビットが 1 の場合、書き込みは無視されます。また、読み出し値は保証されません。
注. LOCOUTCR に LOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
注. LOCOUTCR を変更後、周波数が安定するまで一定の時間を要します。動作開始時の発振安定時間と同じだけの時間がかかります。

LOCOUTCR レジスタは元の LOCO トリミングデータに追加されます。

RTC の動作中に LOCOUTCR の変更はしないでください。

9.2.34 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x061

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	MOCOUTRM[7:0]	MOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. MOCOUTCR に MOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
注. MOCOUTCR を変更後、周波数が安定するまで一定の時間を要します。動作開始時の発振安定時間と同じだけの時間がかかります。

MOCOUTCR レジスタは元の MOCO トリミングデータに追加されます。

9.2.35 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x062

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	HOCOUTRM[7:0]	HOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。
注. HOCOUTCR に HOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
注. HOCOUTCR を変更後、周波数が安定するまで一定の時間を要します。動作開始時の発振安定時間と同じだけの時間がかかります。
注. FLL が有効 (FLLCR1.FLLEN = 1) の場合、これらのビットを 0x00 にしてください。

HOCOUTCR レジスタは元の HOCO トリミングデータに追加されます。

9.2.36 MOSCSCR : メインクロック発振器スタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x07C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOSCSOKP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MOSCSOKP	メインクロック発振器スタンバイ発振保持選択 0: 無効 1: 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MOSCSCR は、MOSCCR.MOSTP が 1（MOSC 停止）のときに変更してください。

MOSCSOKP ビット（メインクロック発振器スタンバイ発振保持選択）

このビットは、メインクロック発振器がソフトウェアスタンバイモードで発振を継続するように制御します。

このビットが無効で MOSCCR.MOSTP ビットが 0（MOSC 動作）の場合、メインクロック発振器はソフトウェアスタンバイモードで停止します。

このビットが有効で MOSCCR.MOSTP ビットが 0（MOSC 動作）の場合、メインクロック発振器はソフトウェアスタンバイモードで発振を継続します。

MOSCCR.MOSTP ビットが 1（MOSC 停止）の場合、このビットの設定にかかわらず、メインクロック発振器はソフトウェアスタンバイモードで停止します。

9.2.37 HOCOSCR : 高速オンチップオシレータスタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x07D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HOCOSOKP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	HOCOSOKP	HOCO スタンバイ発振保持選択 0: 無効 1: 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

HOCOSOKP ビット（HOCO スタンバイ発振保持選択）

このビットは、HOCO がソフトウェアスタンバイモードで発振を継続するように制御します。

このビットが無効で HOCOCR.HCSTP ビットが 0（HOCO 動作）の場合、HOCO はソフトウェアスタンバイモードで停止します。

このビットが有効で HOCOCR.HCSTP ビットが 0（HOCO 動作）の場合、HOCO はソフトウェアスタンバイモードで発振を継続します。

HOCOCR.HCSTP ビットが 1（HOCO 停止）の場合、このビットの設定にかかわらず、HOCO はソフトウェアスタンバイモードで停止します。

9.2.38 MOCOSCR : 中速オンチップオシレータスタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x084

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOCOSOKP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MOCOSOKP	MOCO スタンバイ発振保持選択 0: 禁止 1: 許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

MOCOSOKP ビット（MOCO スタンバイ発振保持選択）

このビットは、MOCO がソフトウェアスタンバイモードで発振を継続するように制御します。

このビットが無効で MOCOCR.MCSTP ビットが 0（MOCO 動作）の場合、MOCO はソフトウェアスタンバイモードで停止します。

このビットが有効で MOCOCR.MCSTP ビットが 0（MOCO 動作）の場合、MOCO はソフトウェアスタンバイモードで発振を継続します。

9.2.39 USBCKDIVCR : USB クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x06C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	USBCKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	USBCKDIV[3:0]	USB クロック (USBCLK) 分周比選択 0 0 0 0: 1/1（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 0 1: 1/3 0 1 1 0: 1/5 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

USBCKDIVCR レジスタは、USB クロックを制御します。

USBCKDIV[3:0]ビット（USB クロック (USBCLK) 分周比選択）

本ビットは、USB クロック (USBCLK) の周波数を選択します。書き換えは、USBCKCR.USBCKSRDY が 1 の時に行ってください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPB11 = 1 かつ MSTPCRB.MSTPB12 = 1 に設定してから USBCKCR.USBCKSREQ = 1 に設定してください。

9.2.40 OCTACKDIVCR : Octal-SPI クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x06D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	OCTACKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	OCTACKDIV[3:0]	Octal-SPI クロック (OCTACLK) 分周比選択 0 0 0 0: 1/1（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 0 1: 1/3 0 1 1 0: 1/5 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

OCTACKDIVCR は Octal-SPI クロックを制御します。

OCTACKDIV[3:0]ビット（Octal-SPI クロック (OCTACLK) 分周比選択）

本ビットは、Octal-SPI クロック (OCTACLK) の周波数を選択します。書き換えは、OCTACKCR.OCTACKSRDY が 1 の時に行ってください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPB16 = 1 かつ MSTPCRB.MSTPB17 = 1 に設定してから OCTACKCR.OCTACKSREQ = 1 に設定してください。

9.2.41 CANFDCKDIVCR : CANFD コアクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x06E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CANFDCKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CANFDCKDIV[3:0]	CANFD コアクロック (CANFDCLK) 分周比選択 0 0 0 0: 1/1（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 0 1: 1/3 0 1 1 0: 1/5 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKDIVCR レジスタは、CANFD コアクロックを制御します。

CANFDCKDIV[3:0]ビット（CANFD コアクロック (CANFDCLK) 分周比選択）

これらのビットは、CANFD コアクロック (CANFDCLK) の周波数を選択します。書き換えは、CANFDCKCR.CANFDCKSRDY が 1 の時に行ってください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRC.MSTPC26 = 1 かつ MSTPCRC.MSTPC27 = 1 に設定してから CANFDCKCR.CANFDCKSREQ = 1 に設定してください。

9.2.42 USB60CKDIVCR : USB60 クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x06F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	USB60CKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	USB60CKDIV[3:0]	USB クロック (USB60CLK) 分周比選択 0 0 0 0: 1/1（リセット後の値） 0 0 0 1: 2 分周 0 0 1 0: 4 分周 0 0 1 1: 6 分周 0 1 0 0: 8 分周 0 1 0 1: 3 分周 0 1 1 0: 5 分周 0 1 1 1: 10 分周 1 0 0 0: 16 分周 1 0 0 1: 32 分周 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

USB60CKDIVCR は、USB クロックを制御します。

USB60CKDIV[3:0]ビット（USB クロック (USB60CLK) 分周比選択）

これらのビットは、USB クロック (USB60CKDIV) の周波数を選択します。書き換えは、USB60CKCR.USB60CKSRDY が 1 のときに行ってください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPB12 = 1 に設定してから USB60CKCR.USB60CKSREQ = 1 に設定してください。

9.2.43 I3CCKDIVCR : I3C クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x070

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	I3CCKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	I3CCKDIV[3:0]	I3C クロック (I3CCLK) 分周比選択 0 0 0 0: 1/1（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 0 1: 1/3 0 1 1 0: 1/5 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

I3CCKDIVCR は、I3C クロックを制御します。

I3CCKDIV[3:0]ビット（I3C クロック (I3CCLK) 分周比選択）

これらのビットは、I3C クロック (I3CCLK) の周波数を選択します。書き換えは、I3CCKCR.I3CCKSRDY が 1 の時に行ってください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPB4 = 1 に設定してから I3CCKCR.I3CCKSREQ = 1 に設定してください。

9.2.44 USBCKCR : USB クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x074

Bit position:	7	6	5	4	3	2	1	0
Bit field:	USBCKSRDY	USBCKSREQ	—	—	USBCKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	USBCKSEL[3:0]	USB クロック (USBCLK) ソース選択 0000: HOCO 0001: MOCO（リセット後の値） 0011: メインクロック発振器 0101: PLL1P 0110: PLL2P 0111: PLL1Q 1000: PLL1R 1001: PLL2Q 1010: PLL2R その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	USBCKSREQ	USB クロック (USBCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	USBCKSRDY	USB クロック (USBCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

USBCKCR レジスタは、USB クロックを制御します。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。USBCKDIVCR.USBCKDIV[3:0]ビットと USBCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRB.MSTPB11 と MSTPCRB.MSTPB12 に 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、USBCLK を 2 サイクル待機してください。
3. USBCKSREQ に 1 を書き込み
4. USBCKSRDY フラグが 1 になるまでポーリングする USBCKSRDY が 1 である間、USBCLK にクロックが出力されない
5. USBCKDIVCR.USBCKDIV[3:0]ビットと USBCKSEL[3:0]ビットに書き込み
6. USBCKSREQ に 0 を書き込み
7. USBCKSRDY フラグが 0 になるまでポーリングする
8. USBCKSRDY フラグが 0 になると、USBCLK 出力を開始するクロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、USBCKSREQ = 1 かつ USBCKSRDY = 0、または、USBCKSREQ = 0 かつ USBCKSRDY = 1 であるときに WFI 命令を実行しないでください。

USBCKSEL[3:0]ビット（USB クロック (USBCLK) ソース選択）

これらのビットは、USB クロック (USBCLK) のクロックソースを選択します。書き換えは、USBCKCR.USBCKSRDY が 1 のときに行ってください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

USBCKSREQ ビット（USB クロック (USBCLK) 切り替え要求）

本ビットは、USBCLK の切り替え要求を選択します。

USBCKSRDY フラグ（USB クロック (USBCLK) 切り替え可能状態フラグ）

本フラグは、USBCLK の切り替え可能状態を示します。USBCKSRDY が 1 である時は、USBCLK にクロックが出力されません。

9.2.45 OCTACKCR : Octal-SPI クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x075

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OCTACKSRDY	OCTACKSREQ	—	—	OCTACKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	OCTACKSEL[3:0]	Octal-SPI クロック (OCTACLK) ソース選択 0 0 0 0: HOCO 0 0 0 1: MOCO（リセット後の値） 0 0 1 0: LOCO 0 0 1 1: メインクロック発振器 0 1 0 0: サブクロック発振器 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OCTACKSREQ	Octal-SPI クロック (OCTACLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	OCTACKSRDY	Octal-SPI クロック (OCTACLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

OCTACKCR レジスタは、Octal-SPI クロックを制御します。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。

OCTACKDIVCR.OCTACKDIV[3:0]ビットと OCTACKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRB.MSTPB16 と MSTPCRB.MSTPB17 に 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRB.MSTPB16 と MSTPCRB.MSTPB17 両方からの読み出し値が 1 であることを確認してください。
3. OCTACKSREQ に 1 を書き込み
4. OCTACKSRDY フラグが 1 になるまでポーリングする OCTACKSRDY が 1 である間、OCTACLK にクロックが出力されない
5. OCTACKDIVCR.OCTACKDIV[3:0]ビットと OCTACKSEL[3:0]ビットに書き込み
6. OCTACKSREQ に 0 を書き込み
7. OCTACKSRDY フラグが 0 になるまでポーリングする
8. OCTACKSRDY フラグが 0 になると、OCTACLK 出力を開始するクロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、OCTACKSREQ = 1 かつ OCTACKSRDY = 0、または、OCTACKSREQ = 0 かつ OCTACKSRDY = 1 であるときに WFI 命令を実行しないでください。

OCTACKSEL[3:0]ビット（Octal-SPI クロック (OCTACLK) ソース選択）

これらのビットは、Octal-SPI クロック (OCTACLK) のクロックソースを選択します。書き換えは、OCTACKCR.OCTACKSRDY が 1 の時に行ってください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

OCTACKSREQ ビット（Octal-SPI クロック (OCTACLK) 切り替え要求）

本ビットは、OCTACLK の切り替え要求を選択します。

OCTACKSRDY フラグ（Octal-SPI クロック (OCTACLK) 切り替え可能状態フラグ）

本フラグは、OCTACLK の切り替え可能状態を示します。OCTACKSRDY が 1 である時は、OCTACLK にクロックが出力されません。

9.2.46 CANFDCKCR : CANFD コアクロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x076

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CANFDCKSRDY	CANFDCKSREQ	—	—	CANFDCKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	CANFDCKSEL[3:0]	CANFD コアクロック (CANFDCLK) ソース選択 0 0 0 0: HOCO 0 0 0 1: MOCO（リセット後の値） 0 0 1 0: LOCO 0 0 1 1: メインクロック発振器 0 1 0 0: サブクロック発振器 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CANFDCKSREQ	CANFD コアクロック (CANFDCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	CANFDCKSRDY	CANFD コアクロック (CANFDCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKCR レジスタは、CANFD コアクロック (CANFDCLK) を制御します。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。CANFDCKDIVCR.CANFDCKDIV[3:0]ビットと CANFDCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRC.MSTPC26 と MSTPCRC.MSTPC27 に 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、CANFDCLK を 2 サイクル待機してください。
3. CANFDCKSREQ に 1 を書き込み
4. CANFDCKSRDY フラグが 1 になるまでポーリングする CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されない
5. CANFDCKDIVCR.CANFDCKDIV[3:0]ビットと CANFDCKSEL[3:0]ビットに書き込み
6. CANFDCKSREQ に 0 を書き込み
7. CANFDCKSRDY フラグが 0 になるまでポーリングする
8. CANFDCKSRDY フラグが 0 になると、CANFDCLK 出力を開始するクロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、CANFDCKSREQ = 1 かつ CANFDCKSRDY = 0、または、CANFDCKSREQ = 0 かつ CANFDCKSRDY = 1 であるときに WFI 命令を実行しないでください。

CANFDCKSEL[3:0]ビット（CANFD コアクロック (CANFDCLK) ソース選択）

これらのビットは、CANFD コアクロック (CANFDCLK) のクロックソースを選択します。書き換えは、CANFDCKCR.CANFDCKSRDY が 1 のときに行ってください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

CANFDCKSREQ ビット（CANFD コアクロック (CANFDCLK) 切り替え要求）

本ビットは、CANFDCLK の切り替え要求を選択します。

CANFDCKSRDY フラグ（CANFD コアクロック (CANFDCLK) 切り替え可能状態フラグ）

本フラグは、CANFDCLK の切り替え可能状態を示します。CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されません。

9.2.47 USB60CKCR : USB60 クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x077

Bit position:	7	6	5	4	3	2	1	0
Bit field:	USB60CKSRDY	USB60CKSREQ	—	—	USB60CKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	USB60CKSEL[3:0]	USB60 クロック (USB60CK) ソース選択 0 0 0 0: HOCO 0 0 0 1: MOCO（リセット後の値） 0 0 1 1: メインクロック発振器 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	USB60CKSREQ	USB60 クロック (USB60CK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	USB60CKSRDY	USB60 クロック (USB60CK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

USB60CKCR レジスタは、USB60 クロックを制御します。

USB60CKDIVCR.USB60CKDIV[3:0]ビットと USB60CKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRB.MSTPB12 に 1 を書き込んでください。

2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、USB60CLK を 2 サイクル待機してください。
3. USB60CKSREQ に 1 を書き込み
4. USB60CKSRDYY フラグが 1 になるまでポーリングする。USB60CKSRDY が 1 である間、USB60CLK にクロックが出力されない
5. USB60CKDIVCR.USB60CKDIV[3:0]ビットと USB60CKSEL[3:0]に書き込み
6. USB60CKSREQ に 0 を書き込み
7. USB60CKSRDY が 0 になるまでポーリングする
8. USB60CKSRDY が 0 になると、USB60CLK 出力を開始する。クロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、USB60CKSREQ = 1 かつ USB60CKSRDY = 0、または USB60CKSREQ = 0 かつ USB60CKSRDY = 1 であるときに WFI 命令を実行しないでください。

USB60CKSEL[3:0]ビット（USB60 クロック (USB60CK) ソース選択）

これらのビットは、USB クロック (USB60CLK) のクロックソースを選択します。書き換えは、USB60CKCR.USB60CKSRDY が 1 の時に行ってください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

USB60CKSREQ ビット（USB60 クロック (USB60CK) 切り替え要求）

本ビットは、USB60CLK の切り替え要求を選択します。

USB60CKSRDY フラグ（USB60 クロック (USB60CK) 切り替え可能状態フラグ）

本フラグは、USB60CLK の切り替え可能状態を示します。USB60CKSRDY が 1 である間、USB60CLK にクロックが出力されません。

9.2.48 I3CCKCR : I3C クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x078

Bit position:	7	6	5	4	3	2	1	0
Bit field:	I3CCKSRDY	I3CCKSREQ	—	—	I3CCKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	I3CCKSEL[3:0]	I3C クロック (I3CCLK) ソース選択 0001: MOCO（リセット後の値） 0101: PLL1P 0110: PLL2P 0111: PLL1Q 1000: PLL1R 1001: PLL2Q 1010: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	I3CCKSREQ	I3C クロック (I3CCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	I3CCKSRDY	I3C クロック (I3CCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3, P-TYPE-2

I3CCKCR は、I3C クロックを制御します。

I3CCKDIVCR.I3CCKDIV[3:0]ビットと I3CCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRB.MSTPB4 に 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、I3CCLK を 2 サイクル待機してください。
3. I3CCKSREQ に 1 を書き込み
4. I3CCKSRDY が 1 になるまでポーリングする。I3CCKSRDY が 1 である間、I3CCLK にクロックが出力されない
5. 設定値を I3CCKDIVCR.I3CCKDIV[3:0]と I3CCKSEL[3:0]に書き込み
6. I3CCKSREQ に 0 を書き込み
7. I3CCKSRDY が 0 になるまでポーリングする
8. I3CCKSRDY が 0 になると、I3CCLK 出力を開始する。クロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、I3CCKSREQ = 1 かつ I3CCKSRDY = 0、または I3CCKSREQ = 0 かつ I3CCKSRDY = 1 の状態で WFI 命令を実行しないでください。

I3CCKSEL[3:0]ビット（I3C クロック (I3CCLK) ソース選択）

このビットは、I3C クロック (I3CCLK) のクロックソースを選択します。書き換えは、I3CCKCR.I3CCKSRDY = 1 の時に行ってください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

I3CCKSREQ ビット（I3C クロック (I3CCLK) 切り替え要求）

このビットは、I3CCLK の切り替え要求を選択します。

I3CCKSRDY ビット（I3C クロック (I3CCLK) 切り替え可能状態フラグ）

本フラグは、I3CCLK の切り替え可能状態を示します。

I3CCKSRDY が 1 である間、I3CCLK にクロックが出力されません。

9.2.49 SCICKDIVCR : SCI クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x054

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SCICKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SCICKDIV[3:0]	SCI クロック (SCICLK) 分周比選択 0 0 0 0: 1 分周（リセット後の値） 0 0 0 1: 2 分周 0 0 1 0: 4 分周 0 0 1 1: 6 分周 0 1 0 0: 8 分周 0 1 0 1: 3 分周 0 1 1 0: 5 分周 0 1 1 1: 10 分周 1 0 0 0: 16 分周 1 0 0 1: 32 分周 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SCICKDIVCR は、SCI クロックを制御します。

SCICKDIV[3:0]ビット（SCI クロック (SCICLK) 分周比選択）

これらのビットは、SCI クロック (SCICLK) の周波数を選択します。書き換えは、SCICKCR.SCICKSRDY が 1 のときに行ってください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPB22～MSTPB31 のすべてを 1 に設定してから SCICKCR.SCICKSREQ = 1 に設定してください。

9.2.50 SPICKDIVCR : SPI クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x056

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SPICKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SPICKDIV[3:0]	SPI クロック (SPICLK) 分周比選択 0 0 0 0: 1 分周（リセット後の値） 0 0 0 1: 2 分周 0 0 1 0: 4 分周 0 0 1 1: 6 分周 0 1 0 0: 8 分周 0 1 0 1: 3 分周 0 1 1 0: 5 分周 0 1 1 1: 10 分周 1 0 0 0: 16 分周 1 0 0 1: 32 分周 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SPICKDIVCR は、SPI クロックを制御します。

SPICKDIV[3:0]ビット（SPI クロック (SPICLK) 分周比選択）

これらのビットは、SPI クロック (SPICLK) の周波数を選択します。書き換えは、SPICKCR.SPICKSRDY が 1 のときに行ってください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPB18 = 1 かつ MSTPCRB.MSTPB19 = 1 に設定してから SPICKCR.SPICKSREQ = 1 に設定してください。

9.2.51 ADCCKDIVCR : ADC クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x05A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	ADCCKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ADCCKDIV[3:0]	ADC クロック (ADCCLK) 分周比選択 0 0 0 0: 1 分周（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

ADCCKDIVCR は、ADC クロックを制御します。

ADCCKDIV[3:0]ビット（ADC クロック (ADCCLK) 分周比選択）

本ビットは、ADC クロック (ADCCLK) の周波数を選択します。

本ビットは、必ず ADCCKCR.ADCCKSRDY = 1 のときに書き換えてください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRD.MSTPD21 = 1 に設定してから ADCCKCR.ADCCKSREQ = 1 に設定してください。

9.2.52 GPTCKDIVCR : GPT クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x05C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	GPTCKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	GPTCKDIV[3:0]	GPT クロック (GPTCLK) 分周比選択 0 0 0 0: 1 分周（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 0 1: 1/3(注1) 0 1 1 0: 1/5(注1) 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

注 1. GPT クロックが ADC16H または PDG に使用されている場合は、設定しないでください。

GPTCKDIVCR は、GPT クロックを制御します。

GPTCKDIV[3:0]ビット（GPT クロック (GPTCLK) 分周比選択）

本ビットは、GPT クロック (GPTCLK) の周波数を選択します。

本ビットは、必ず GPTCKCR.GPTCKSRDY = 1 のときに書き換えてください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRE.MSTPE18～MSTPE21 および MSTPE27～MSTPE31 のすべてを 1 に設定してから GPTCKCR.GPTCKSREQ = 1 に設定してください。

9.2.53 SCICKCR : SCI クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x055

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SCICKSRDY	SCICKSREQ	—	—	SCICKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	SCICKSEL[3:0]	SCI クロック (SCICLK) ソース選択 0000: HOCO 0001: MOCO（リセット後の値） 0010: LOCO 0011: メインクロック発振器 0100: サブクロック発振器 0101: PLL1P 0110: PLL2P 0111: PLL1Q 1000: PLL1R 1001: PLL2Q 1010: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	SCICKSREQ	SCI クロック (SCICLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	SCICKSRDY	SCI クロック (SCICLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3, P-TYPE-2

SCICKCR は、SCI クロックを制御します。

SCICKDIVCR.SCICKDIV[3:0]ビットと SCICKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRB.MSTPB22～MSTPB31 のすべてに 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、SCICLK を 2 サイクル待機してください。
3. SCICKSREQ に 1 を書き込み
4. SCICKSRDY が 1 になるまでポーリングする。SCICKSRDY が 1 である間、SCICLK にクロックが出力されない

5. 設定値を SCICKDIVCR.SCICKDIV[3:0]と SCICKSEL[3:0]に書き込み
6. SCICKSREQ に 0 を書き込み
7. SCICKSRDY が 0 になるまでポーリングする
8. SCICKSRDY が 0 になると、SCICLK 出力を開始する。クロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、SCICKSREQ = 1 かつ SCICKSRDY = 0、または SCICKSREQ = 0 かつ SCICKSRDY = 1 の状態で WFI 命令を実行しないでください。

SCICKSEL[3:0]ビット（SCI クロック (SCICLK) ソース選択）

これらのビットは、SCI クロック (SCICLK) のクロックソースを選択します。書き換えは、SCICKCR が 1 のときに行ってください。SCICKSRDY = 1 のとき、これらのビットの設定が有効になります。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

SCICKSREQ ビット（SCI クロック (SCICLK) 切り替え要求）

本ビットは、SCICLK の切り替え要求を選択します。

SCICKSRDY ビット（SCI クロック (SCICLK) 切り替え可能状態フラグ）

本フラグは、SCICLK の切り替え可能状態を示します。

SCICKSRDY が 1 である間、SCICLK にクロックが出力されない

9.2.54 SPICKCR : SPI クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x057

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPICKSRDY	SPICKSREQ	—	—	SPICKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SPICKSEL[3:0]	SPI クロック (SPICLK) ソース選択 0000: HOCO 0001: MOCO（リセット後の値） 0010: LOCO 0011: メインクロック発振器 0100: サブクロック発振器 0101: PLL1P 0110: PLL2P 0111: PLL1Q 1000: PLL1R 1001: PLL2Q 1010: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	SPICKSREQ	SPI クロック (SPICLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	SPICKSRDY	SPI クロック (SPICLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3, P-TYPE-2

SPICKCR は SPI クロックを制御します。

SPICKDIVCR.SPICKDIV[3:0]ビットと SPICKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRB.MSTPB18 と MSTPCRB.MSTPB19 に 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、SPICLK を 2 サイクル待機してください。
3. SPICKSREQ に 1 を書き込み。
4. SPICKSRDY が 1 になるまでポーリングする。SPICKSRDY が 1 である間、SPICLK にクロックが出力されない。
5. 設定値を SPICKDIVCR.SPICKDIV[3:0]と SPICKSEL[3:0]に書き込み。
6. SPICKSREQ に 0 を書き込み。
7. SPICKSRDY が 0 になるまでポーリングする。
8. SPICKSRDY が 0 になると、SPICLK 出力を開始する。クロック切り替えが完了する。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、SPICKSREQ = 1 かつ SPICKSRDY = 0、または SPICKSREQ = 0 かつ SPICKSRDY = 1 の状態で WFI 命令を実行しないでください。

SPICKSEL[3:0]ビット（SPI クロック (SPICLK) ソース選択）

これらのビットは、SPI クロック (SPICLK) のクロックソースを選択します。書き換えは、SPICKCR が 1 のときに行ってください。SPICKSRDY = 1 のとき、これらのビットの設定が有効になります。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

SPICKSREQ ビット（SPI クロック (SPICLK) 切り替え要求）

このビットは、SPICLK の切り替え要求を選択します。

SPICKSRDY ビット（SPI クロック (SPICLK) 切り替え可能状態フラグ）

本フラグは、SPICLK の切り替え可能状態を示します。

SPICKSRDY が 1 である間、SPICLK にクロックが出力されない。

9.2.55 ADCCKCR : ADC クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x05B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADCCKSRDY	ADCCKSREQ	—	—	ADCCKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ADCCKSEL[3:0]	ADC クロック (ADCCLK) ソース選択 0 0 0 0: HOCO 0 0 0 1: MOCO（リセット後の値） 0 0 1 0: LOCO 0 0 1 1: メインクロック発振器 0 1 0 0: サブクロック発振器 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	ADCCKSREQ	ADC クロック (ADCCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	ADCCKSRDY	ADC クロック (ADCCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R(注1)

注. S-TYPE-3、P-TYPE-2
注 1. このビットは読み出し専用です。

ADCCKCR は、ADCCLK を制御します。

ADCCKDIVCR.ADCCKDIV[3:0]ビットと ADCCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRD.MSTPD21 に 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、ADCCLK を 2 サイクル待機してください。
3. ADCCKSREQ に 1 を書き込み
4. ADCCKSRDY が 1 になるまでポーリングする。
   ADCCKSRDY が 1 である間、ADCCLK にクロックが出力されない
5. 設定値を ADCCKDIVCR.ADCCKDIV[3:0]と ADCCKSEL[3:0]に書き込み
6. ADCCKSREQ に 0 を書き込み
7. ADCCKSRDY が 0 になるまでポーリングする。
   ADCCKSRDY が 0 になると、ADCCLK 出力を開始する。
8. クロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、ADCCKSREQ = 1 かつ ADCCKSRDY = 0、または ADCCKSREQ = 0 かつ ADCCKSRDY = 1 の状態で WFI 命令を実行しないでください。

ADCCKSEL[3:0]ビット（ADC クロック (ADCCLK) ソース選択）

これらのビットは、ADCCLK のクロックソースを選択します。

本ビットは、必ず ADCCKCR.ADCCKSRDY = 1 のときに書き換えてください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

ADCCKSREQ ビット（ADC クロック (ADCCLK) 切り替え要求）

このビットは、ADCCLK の切り替え要求を選択します。

ADCCKSRDY フラグ（ADC クロック (ADCCLK) 切り替え可能状態フラグ）

本フラグは、ADCCLK の切り替え可能状態を示します。

ADCCKSRDY が 1 である間、ADCCLK にクロックが出力されません。

9.2.56 GPTCKCR : GPT クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x05D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	GPTCKSRDY	GPTCKSREQ	—	—	GPTCKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	GPTCKSEL[3:0]	GPT クロック (GPTCLK) ソース選択 0 0 0 0: HOCO 0 0 0 1: MOCO（リセット後の値） 0 0 1 1: メインクロック発振器 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	GPTCKSREQ	GPT クロック (GPTCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	GPTCKSRDY	GPT クロック (GPTCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R/W(注1)

注. S-TYPE-3、P-TYPE-2
注 1. このビットは読み出し専用です。

GPTCKCR は、GPTCLK を制御します。

GPTCKDIVCR.GPTCKDIV[3:0]ビットと GPTCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRE.MSTPE18～MSTPE21 および MSTPE27～MSTPE31 のすべてに 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、GPTCLK を 2 サイクル待機してください。
3. GPTCKSREQ に 1 を書き込み
4. GPTCKSRDY が 1 になるまでポーリングする。
   GPTCKSRDY が 1 である間、GPTCLK にクロックが出力されない
5. 設定値を GPTCKDIVCR.GPTCKDIV[3:0]と GPTCKSEL[3:0]に書き込み
6. GPTCKSREQ に 0 を書き込み
7. GPTCKSRDY が 0 になるまでポーリングする。
   GPTCKSRDY が 0 になると、GPTCLK 出力を開始する。
8. クロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、GPTCKSREQ = 1 かつ GPTCKSRDY = 0、または GPTCKSREQ = 0 かつ GPTCKSRDY = 1 の状態で WFI 命令を実行しないでください。

GPTCKSEL[3:0]ビット（GPT クロック (GPTCLK) ソース選択）

これらのビットは、GPTCLK のクロックソースを選択します。

本ビットは、必ず GPTCKCR.GPTCKSRDY = 1 のときに書き換えてください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

GPTCKSREQ ビット（GPT クロック (GPTCLK) 切り替え要求）

このビットは、GPTCLK の切り替え要求を選択します。

GPTCKSRDY フラグ（GPT クロック (GPTCLK) 切り替え可能状態フラグ）

本フラグは、GPTCLK の切り替え可能状態を示します。

GPTCKSRDY が 1 である間、GPTCLK にクロックが出力されません。

9.2.57 TRCKCR : トレースクロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x03F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TRCKEN	—	—	TRCKSEL	TRCK[3:0]			
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
3:0	TRCK[3:0]	トレースクロック動作周波数選択 0000: 1 分周 0001: 2 分周 0010: 4 分周（リセット後の値） 0011: 8 分周 0100: 16 分周 0101: 32 分周 0110: 64 分周 0111: 128 分周 1000: 256 分周 1001: 3 分周 1010: 6 分周 1011: 12 分周 その他: 設定禁止	R/W
4	TRCKSEL	トレースクロックソース選択 0: システムクロックソース（リセット後の値） 1: HOCO（デバッグモードの発振）	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TRCKEN	トレースクロック動作許可 0: 停止 1: 動作許可	R/W

注. S-TYPE5, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. トレースクロックは、TPIU レジスタにアクセスするときは許可する必要があります。

トレースクロックコントロールレジスタは、トレースクロックの切り替えを制御します。

このレジスタは、CGFSAR レジスタにより制御されません。

トレースクロックの周波数を変更する場合、トレースクロックは停止している必要があります (TRCKCR.TRCKEN = 0)。

TRCK[3:0]ビット（トレースクロック動作周波数選択）

これらのビットは、トレースクロックの周波数を選択します。

このビットは、必ず TRCKCR.TRCKEN = 0 のときに書き換えてください。

TRCKSEL ビット（トレースクロックソース選択）

このビットは、トレースクロックのクロックソースを選択します。トレースクロックは、このビットの設定により以下となります。

[このビットが 0 のとき]

- システムクロックソースは、トレースクロックのクロックソースとして選択されます。
  システムクロックソースは、SCKSCR.CKSEL[2:0]ビットによって選択されます。
- トレースクロックへのクロックの供給は、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードのときに、MOCO の 1 分周で選択されます。

[このビットが 1 のとき]

- HOCO は、トレースクロックのクロックソースとして選択されます。
- TRCKSEL を 1 にすると、HOCOCR.HCSTP の状態に応じて HOCO が動作します。ただし、OSCSF は、振幅が安定していることを確認しません。そのため、安定待機時間が経過するまで待ちます。
- HOCO は、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードであっても、発振とトレースクロックへの供給を継続します。

このビットは、必ず TRCKCR.TRCKEN = 0 のときに書き換えてください。

TRCKEN ビット（トレースクロック動作許可）

このビットは、トレースクロックへのクロック供給を許可または禁止します。

TRCK[3:0]ビットおよび TRCKSEL ビットを設定してから、このビットを 0（停止）から 1（許可）にしてください。

このビットを 1（許可）から 0（停止）にする場合、トレース機能は無効にする必要があります。

トレースクロックは、このビットが 1 のときに以下の条件下で出力されます。

- CDBGPWRUPREQ = 1 かつ AL≠AL0
- DBGCTRL0.REGEN = 1 かつ OFS1.SWDBG = 0

9.2.58 BCKADIVCR : 非同期外部バスクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0D4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	BCKACKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	BCKACKDIV[3:0]	非同期外部バスクロック (BCLKA) 分周比選択 0 0 0 0: 1 分周（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

BCKADIVCR は、非同期外部バスクロックを制御します。

BCKACKDIV[3:0]ビット（非同期外部バスクロック (BCLKA) 分周比選択）

本ビットは、非同期外部バスクロック (BCLKA) の周波数を選択します。

本ビットは、必ず BCKACR.BCKACKSRDY = 1 のときに書き換えてください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、EBCKOCR.EBCKOEN = 0 かつ SDCKOCR.SDCKOEN = 0 に設定してから BCKACR.BCKACKSREQ = 1 に設定してください。また、BCKCR.EBCKASEL = 0 に設定して同期 (BCLK) 側を選択してから分周比を切り替えてください。

9.2.59 ESWCKDIVCR : EtherSW クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0D5

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	ESWCKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ESWCKDIV[3:0]	EtherSW クロック (ESWCLK) 分周比選択 0 0 0 0: 1 分周（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

ESWCKDIVCR は、EtherSW クロックを制御します。

ESWCKDIV[3:0]ビット（EtherSW クロック (ESWCLK) 分周比選択）

これらのビットは、EtherSW クロック (ESWCLK) の周波数を選択します。

本ビットは、必ず ESWCKCR.ESWCKSRDY = 1 のときに書き換えてください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRC.MSTPC30 = 1 に設定してから ESWCKCR.ESWCKSREQ = 1 に設定してください。

9.2.60 ESWPCKDIVCR : EtherSW-PHY クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0D6

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	ESWPCKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ESWPCKDIV[3:0]	EtherSW-PHY クロック (ESWPHYCLK) 分周比選択 0 0 0 0: 1 分周（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

ESWPCKDIVCR は、EtherSW-PHY クロックを制御します。

ESWPCKDIV[3:0]ビット（EtherSW-PHY クロック (ESWPHYCLK) 分周比選択）

これらのビットは、EtherSW-PHY クロック (ESWPHYCLK) の周波数を選択します。

本ビットは、必ず ESWPCKCR.ESWPCKSRDY = 1 のときに書き換えてください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRC.MSTPC30 = 1 に設定してから ESWPCKCR.ESWPCKSREQ = 1 に設定してください。

9.2.61 ETHPCKDIVCR : Ether-PHY クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0D8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	ETHPCKDIV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ETHPCKDIV[3:0]	Ether-PHY クロック (ETHPHYCLK) 分周比選択 0 0 0 0: 1 分周（リセット後の値） 0 0 0 1: 1/2 0 0 1 0: 1/4 0 0 1 1: 1/6 0 1 0 0: 1/8 0 1 1 1: 1/10 1 0 0 0: 1/16 1 0 0 1: 1/32 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

ETHPCKDIVCR は、Ether-PHY クロックを制御します。

ETHPCKDIV[3:0]ビット（Ether-PHY クロック (ETHPHYCLK) 分周比選択）

これらのビットは、Ether-PHY クロック (ETHPHYCLK) の周波数を選択します。

本ビットは、必ず ETHPCKCR.ETHPCKSRDY = 1 のときに書き換えてください。

分周比の設定を 1/n (n ≠ 1) から切り替えるときは、MSTPCRC.MSTPC28 = 1 に設定してから ETHPCKCR.ETHPCKSREQ = 1 に設定してください。

9.2.62 BCKACR : 非同期外部バスクロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0DA

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCKACKSRDY	BCKACKSREQ	—	—	BCKACKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	BCKACKSEL[3:0]	非同期外部バスクロック (BCLKA) 0 0 0 1: MOCO（リセット後の値） 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	BCKACKSREQ	非同期外部バスクロック (BCLKA) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	BCKACKSRDY	非同期外部バスクロック (BCLKA) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R(注1)

注. S-TYPE-3、P-TYPE-2
注 1. このビットは読み出し専用です。

BCKACR は、BCLKA を制御します。

BCKADIVCR.BCKACKDIV[3:0]ビットと BCKACKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、EBCKOCR.EBCKOEN と SDCKOCR.SDCKOEN に 0 を書き込んでください。
2. BCKACKSREQ に 1 を書き込み
3. BCKACKSRDY が 1 になるまでポーリングする。
   BCKACKSRDY が 1 である間、BCLKA にクロックが出力されない
4. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、BCKCR.EBCKASEL に 0 を書き込んでください。
5. 設定値を BCKCR.BCLKDIV、BCKCR.EBCKASEL、BCKADIVCR.BCKACKDIV[3:0]、および BCKACKSEL[3:0] に書き込み
6. BCKACKSREQ に 0 を書き込み
7. BCKACKSRDY が 0 になるまでポーリングする。
   BCKACKSRDY が 0 になると、BCLKA 出力を開始する
8. クロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、BCKACKSREQ = 1 かつ BCKACKSRDY = 0、または BCKACKSREQ = 0 かつ BCKACKSRDY = 1 の状態で WFI 命令を実行しないでください。

BCKACKSEL[3:0]ビット（非同期外部バスクロック (BCLKA)）

これらのビットは、BCLKA のクロックソースを選択します。

本ビットは、必ず BCKACR.BCKACKSRDY = 1 のときに書き換えてください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

BCKACKSREQ ビット（非同期外部バスクロック (BCLKA) 切り替え要求）

このビットは、BCLKA の切り替え要求を選択します。

BCKACKSRDY フラグ（非同期外部バスクロック (BCLKA) 切り替え可能状態フラグ）

本フラグは、BCLKA の切り替え可能状態を示します。

BCKACKSRDY が 1 である間、BCLKA にクロックが出力されません。

9.2.63 ESWCKCR : EtherSW クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0DB

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ESWCKSRDY	ESWCKSREQ	—	—	ESWCKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	ESWCKSEL[3:0]	EtherSW クロック (ESWCLK) ソース選択 0 0 0 1: MOCO（リセット後の値） 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	ESWCKSREQ	EtherSW クロック (ESWCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	ESWCKSRDY	EtherSW クロック (ESWCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R(注1)

注. S-TYPE-3、P-TYPE-2
注 1. このビットは読み出し専用です。

ESWCKCR は、ESWCLK を制御します。

ESWCKDIVCR.ESWCKDIV[3:0]ビットと ESWCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRC.MSTPC30 に 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、ESWCLK を 2 サイクル待機してください。
3. ESWCKSREQ に 1 を書き込み
4. ESWCKSRDY が 1 になるまでポーリングする。
   ESWCKSRDY が 1 である間、ESWCLK にクロックが出力されない

5. 設定値を ESWCKDIVCR.ESWCKDIV[3:0]と ESWCKSEL[3:0]に書き込み
6. ESWCKSREQ に 0 を書き込み
7. ESWCKSRDY が 0 になるまでポーリングする。
   ESWCKSRDY が 0 になると、ESWCLK 出力を開始する
8. クロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、ESWCKSREQ = 1 かつ ESWCKSRDY = 0、または ESWCKSREQ = 0 かつ ESWCKSRDY = 1 の状態で WFI 命令を実行しないでください。

ESWCKSEL[3:0]ビット（EtherSW クロック (ESWCLK) ソース選択）

これらのビットは、ESWCLK のクロックソースを選択します。

本ビットは、必ず ESWCKCR.ESWCKSRDY = 1 のときに書き換えてください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

ESWCKSREQ ビット（EtherSW クロック (ESWCLK) 切り替え要求）

このビットは、ESWCLK の切り替え要求を選択します。

ESWCKSRDY フラグ（EtherSW クロック (ESWCLK) 切り替え可能状態フラグ）

本フラグは、ESWCLK の切り替え可能状態を示します。

ESWCKSRDY が 1 である間、ESWCLK にクロックが出力されません。

9.2.64 ESWPCKCR : EtherSW-PHY クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0DC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ESWPCKSRDY	ESWPCKSREQ	—	—	ESWPCKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	ESWPCKSEL[3:0]	EtherSW-PHY クロック (ESWPHYCLK) ソース選択 0 0 0 1: MOCO（リセット後の値） 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	ESWPCKSREQ	EtherSW-PHY クロック (ESWPHYCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	ESWPCKSRDY	EtherSW-PHY クロック (ESWPHYCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R(注1)

注. S-TYPE-3、P-TYPE-2
注 1. このビットは読み出し専用です。

ESWPCKCR は、ESWPHYCLK を制御します。

ESWPCKDIVCR.ESWPCKDIV[3:0]ビットと ESWPCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRC.MSTPC30 に 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、ESWPHYCLK を 2 サイクル待機してください。
3. ESWPCKSREQ に 1 を書き込み
4. ESWPCKSRDY が 1 になるまでポーリングする。
   ESWPCKSRDY が 1 である間、ESWPHYCLK にクロックが出力されない
5. 設定値を ESWPCKDIVCR.ESWPCKDIV[3:0]と ESWPCKSEL[3:0]に書き込み
6. ESWPCKSREQ に 0 を書き込み
7. ESWPCKSRDY が 0 になるまでポーリングする。
   ESWPCKSRDY が 0 になると、ESWPHYCLK 出力を開始する。
8. クロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、ESWPCKSREQ = 1 かつ ESWPCKSRDY = 0、または ESWPCKSREQ = 0 かつ ESWPCKSRDY = 1 の状態で WFI 命令を実行しないでください。

ESWPCKSEL[3:0]ビット（EtherSW-PHY クロック (ESWPHYCLK) ソース選択）

これらのビットは、ESWPHYCLK のクロックソースを選択します。

本ビットは、必ず ESWPCKCR.ESWPCKSRDY = 1 のときに書き換えてください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

ESWPCKSREQ ビット（EtherSW-PHY クロック (ESWPHYCLK) 切り替え要求）

このビットは、ESWPHYCLK の切り替え要求を選択します。

ESWPCKSRDY フラグ（EtherSW-PHY クロック (ESWPHYCLK) 切り替え可能状態フラグ）

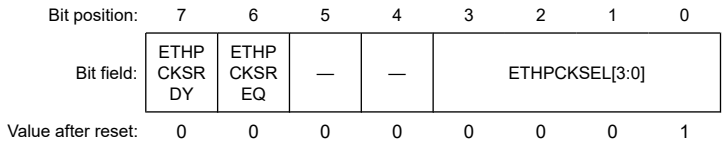
本フラグは、ESWPHYCLK の切り替え可能状態を示します。

ESWPCKSRDY が 1 である間、ESWPHYCLK にクロックが出力されません。

9.2.65 ETHPCKCR : Ether-PHY クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0DE



ビット	シンボル	機能	R/W
3:0	ETHPCKSEL[3:0]	Ether-PHY クロック (ETHPHYCLK) ソース選択 0 0 0 1: MOCO（リセット後の値） 0 0 1 1: メインクロック発振器 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6	ETHPCKSREQ	Ether-PHY クロック (ETHPHYCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	ETHPCKSRDY	Ether-PHY クロック (ETHPHYCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R(注1)

注. S-TYPE-3, P-TYPE-2
注 1. 本ビットは読み出し専用です。

ETHPCKCR は ETHPHYCLK を制御します。

ETHPCKDIVCR.ETHPCKDIV[3:0]ビットと ETHPCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、MSTPCRC.MSTPC28 に 1 を書き込んでください。
2. 分周比の設定を 1/n (n ≠ 1) から切り替えるときのみ、ETHPHYCLK を 2 サイクル待機してください。
3. ETHPCKSREQ に 1 を書き込み
4. ETHPCKSRDY が 1 になるまでポーリングする。
   ETHPCKSRDY が 1 である間、ETHPHYCLK にクロックが出力されない
5. 設定値を ETHPCKDIVCR.ETHPCKDIV[3:0]と ETHPCKSEL[3:0]に書き込み
6. ETHPCKSREQ に 0 を書き込み
7. ETHPCKSRDY が 0 になるまでポーリングする。
   ETHPCKSRDY が 0 になると、ETHPHYCLK 出力を開始する
8. クロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、ETHPCKSREQ = 1 かつ ETHPCKSRDY = 0、または ETHPCKSREQ = 0 かつ ETHPCKSRDY = 1 の状態で WFI 命令を実行しないでください。

ETHPCKSEL[3:0]ビット（Ether-PHY クロック (ETHPHYCLK) ソース選択）

本ビットは、ETHPHYCLK のクロックソースを選択します。

本ビットは、必ず ETHPCKCR.ETHPCKSRDY = 1 のときに書き換えてください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

ETHPCKSREQ ビット（Ether-PHY クロック (ETHPHYCLK) 切り替え要求）

本ビットは、ETHPHYCLK の切り替え要求を選択します。

ETHPCKSRDY フラグ（Ether-PHY クロック (ETHPHYCLK) 切り替え可能状態フラグ）

本フラグは、ETHPHYCLK の切り替え可能状態を示します。

ETHPCKSRDY が 1 である間、ETHPHYCLK にクロックが出力されない

9.2.66 USBCKSELR : USB クロック選択レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0F0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	UCKSEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	UCKSEL	USB クロック (USBCLK) 選択 0: 禁止（リセット後の値） 1: 許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

USBCKSELR の書き換えは、SYSCFG.SCKE ビットが 0 の間に行います。

UCKSEL ビット（USB クロック (USBCLK) 選択）

表 9.5 に示されるその他のレジスタ設定に応じて UCKSEL ビットを設定します。

UCKSEL ビットを 1 に設定できるのは、USBFS がデバイスコントローラとして使用される場合のみです。ホストコントローラと OTG (On-The-Go) 機能を使用するには、UCKSEL ビットを 0 に設定します。

UCKSEL ビットが 1 のとき、HOCO ユーザートリミング機能は使用できません。HOCOUTCR.HOCOUTRIM[7:0] ビットを 0x00 に設定します。

表 9.5 UCKSEL ビットの設定値

UCKSEL	USBCKCR.USBCKSEL[3:0]	FLLCR1.FLLEN
0	0000 以外（HOCO 以外）	—
	0000 (HOCO)	1（FLL 機能有効）
1	0000 (HOCO)	0（FLL 機能無効）

9.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振子を接続
- 外部クロック信号の入力を接続

9.3.1 発振子を接続する方法

図 9.2 に発振子の接続例を示します。必要に応じてダンピング抵抗 (Rd) を挿入してください。

この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカから外部に帰還抵抗 (Rf) を追加するよう指示があった場合は、その指示に従って EXTAL と XTAL の間に Rf を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 9.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

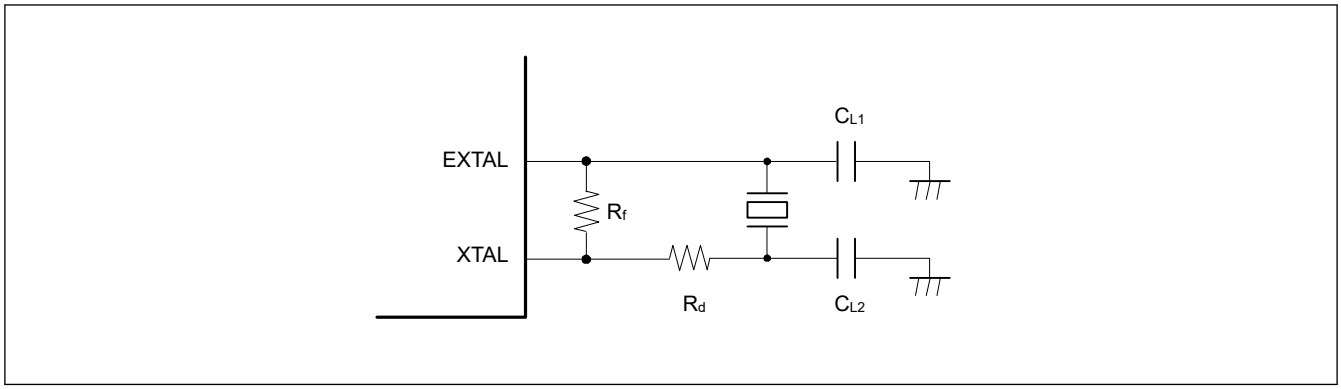


図 9.2　発振子の接続例

図 9.3 に発振子の等価回路を示します。

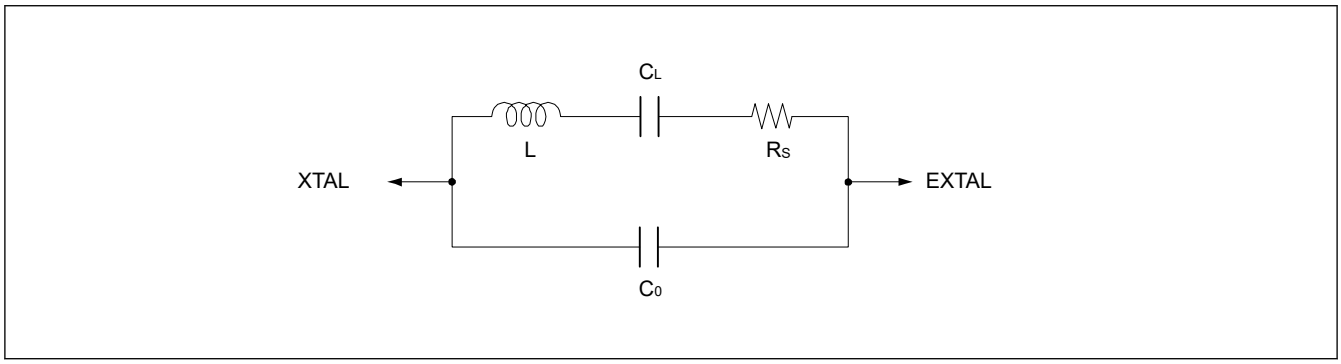


図 9.3　発振子の等価回路

9.3.2　外部クロックを入力する方法

図 9.4 に、外部クロック入力の接続例を示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。

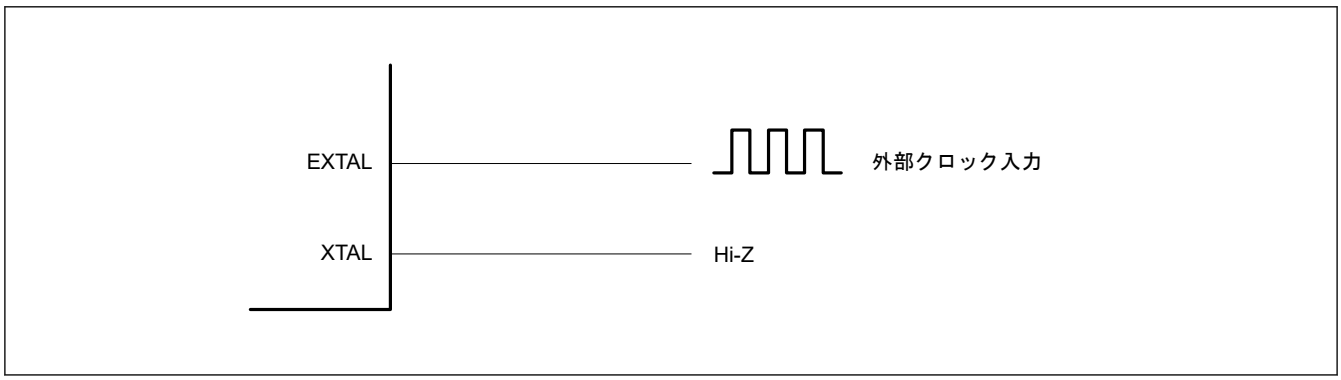


図 9.4　外部クロックの等価回路

9.3.3　外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット（MOSCCR.MOSTP）が 0 の場合、外部クロック入力の周波数を変更しないでください。

9.3.4　ソフトウェアスタンバイモードでの発振保持の注意事項

ソフトウェアスタンバイモードでのメインクロック発振器の発振保持機能を使用することにより、ソフトウェアスタンバイモード解除後のメインクロック発振器の発振安定待機時間を短縮できます。

MOSCSCR.MOSCSOKP ビットが有効（MOSCSCR.MOSCSOKP ビットが 1）、かつメインクロック発振器が動作している状態でソフトウェアスタンバイモードに遷移すると、メインクロック発振器はソフトウェアスタンバイ

モードで発振を継続します。この状態でソフトウェアスタンバイモードを解除する場合、発振安定待機時間を生じさせずにメインクロックを使用することが可能です。

発振保持機能を使用するときは、設定値がレジスタに書き込まれていることを確認してからソフトウェアスタンバイモードに遷移してください。

ただし、発振保持機能が許可されていても、ソフトウェアスタンバイモード中は、システムおよび周辺モジュールへのクロック供給は停止します。

9.4 サブクロック発振器

サブクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振子を接続
- 外部クロック信号の入力を接続

9.4.1 32.768 kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、図 9.5 に示すように 32.768 kHz 水晶振動子を接続します。必要に応じてダンピング抵抗 (Rd) を挿入してください。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカが外部帰還抵抗 (Rf) の使用を推奨している場合は、その指示に従って XCIN と XCOUT の間に Rf を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、表 9.1 に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

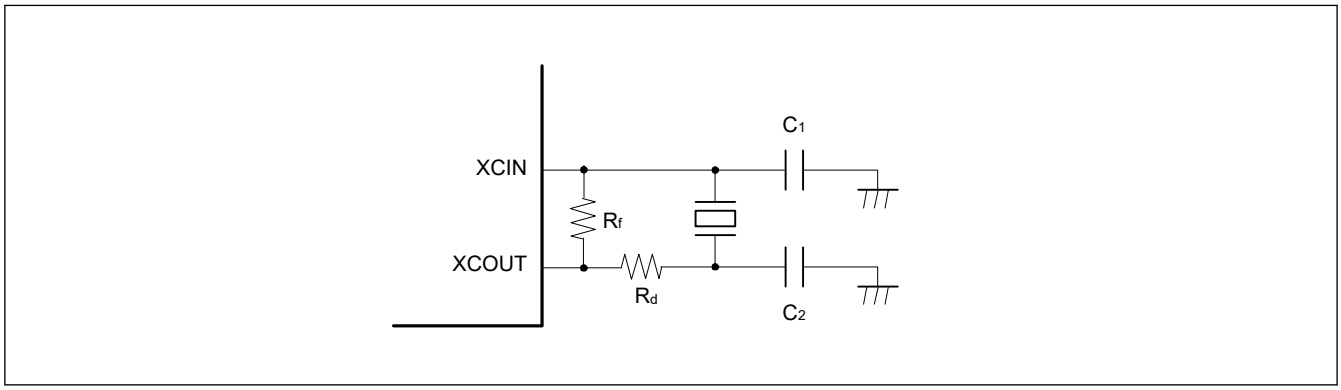


図 9.5 32.768 kHz 水晶振動子の接続例

図 9.6 に 32.768 kHz 水晶振動子の等価回路を示します。

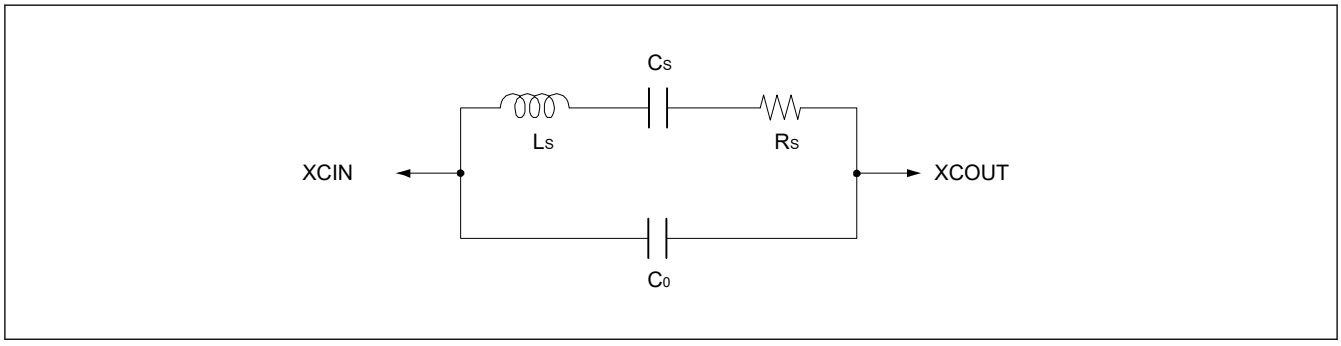


図 9.6 32.768 kHz 水晶振動子の等価回路

9.4.2 外部クロックを入力する方法

外部クロック入力モードでは、クロックは EXCIN 端子から入力されます。

9.5 低速オンチップオシレータ (LOCO)

低速オンチップオシレータ (LOCO) は、低速クロックを供給する内蔵オシレータです。

9.5.1 LOCO 動作条件

LOCO の動作設定には制約があります。詳細は、「9.5.3. LOCO の動作および停止に関する制限」を参照してください。

LOCO は、以下のいずれかの条件が満たされたときに発振します。(注1)

[LOCO 動作条件]

- LOCOCR レジスタで、LOCO が動作するように設定されている（LOCOCR.LCSTP ビットが 0）
- IWDT が自動起動モードに設定されている（OFS0.IWDTSTRT ビットが 0）(注2)
- IWDT がレジスタスタートモード（OFS0.IWDTSTRT ビットが 1）に設定されており、かつカウントが開始している(注3)
- メインクロック発振器の発振安定を待機中である（MOCOCR.MCSTP ビットが 0、かつ OSCSF.MOSCSF ビットが 0）(注4)

注 1. LOCO は、ディープソフトウェアスタンバイモード 2 またはディープソフトウェアスタンバイモード 3 で停止します。
注 2. IWDT がオートスタートモードに設定されている場合、OFS0 レジスタの IWDTSTPCTL ビットの設定にかかわらず、LOCO は発振を継続します。
注 3. IWDT がレジスタスタートモードに設定されている場合、IWDTCSTPR レジスタの SLCSTP ビットの設定にかかわらず、IWDT のカウントが開始すると LOCO は発振を継続します。
注 4. メインクロック発振器が外部クロック入力モードに設定されている場合でも、メインクロック発振器が動作を開始する際、発振安定待機回路が動作するため、LOCO は動作します。

9.5.2 LOCO 停止条件

LOCO の停止設定には制約があります。詳細は、「9.5.3. LOCO の動作および停止に関する制限」を参照してください。

LOCO を停止するには、次の 2 つの方法があります。1 つは低消費電力モードへの遷移により停止する方法、もう 1 つは LOCOCR レジスタにより停止する方法です。

(1) 低消費電力モードによる LOCO 停止条件

LOCO は、以下の低消費電力モードへ遷移するときに停止します。

- ディープソフトウェアスタンバイモード 2
- ディープソフトウェアスタンバイモード 3

(2) LOCOCR レジスタによる LOCO 停止条件

LOCOCR レジスタを使用して LOCO を停止する場合、LCSTP ビットが停止設定（LOCOCR.LCSTP ビットが 1）になっていても、IWDT および発振器の動作状態によっては LOCO は停止しない可能性があります。

LOCO は、下記条件がすべて満たされたときに停止できます。

- LOCOCR レジスタを使用して LOCO が停止するように設定されている（LOCOCR.LCSTP ビットが 1）
- IWDT が停止中（OFS0.IWDTSTPCT ビットまたは IWDTCSTPR.SLCSTP ビットを設定することによる、CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモード 1 での停止の場合を含む）
- メインクロック発振器が停止中、またはメインクロックの発振が安定している（MOCOCR.MCSTP ビットが 1、または OSCSF.MOSCSF ビットが 1）

9.5.3 LOCO の動作および停止に関する制限

LOCOCR.LCSTP ビットを 0 にして LOCO クロックを動作させた後、LOCO クロック発振安定待機時間 (tMOCOWT) が経過してから、LOCO クロックを使用してください。LOCO が動作するように設定してから、発振が安定するまでに一定の時間を要します。発振が停止するまでにも一定の時間が必要です。

動作の開始および停止に関しては、以下の制限があります。

- LOCO クロックが停止した後に、OSCMONR.MOCOMON を読み出し LOCO が停止していることを確認したうえで動作を設定すること
- LOCO を停止させる前に、LOCO クロックの発振が安定していることを確認すること
- ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定していることを確認したうえで WFI 命令を実行すること
- LOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCMONR.LOCOMON を読み出し LOCO が停止していることを確認したうえで WFI 命令を実行すること

LOCO クロックを使用して、メインクロック発振器の発振安定待機時間を測定します。メインクロック発振器の安定待機中、LOCO クロックは、LCSTP ビットの設定にかかわらず発振します。この場合、LOCOCR.LCSTP ビットによる LOCO 停止（または動作）と、メインクロック発振器の発振安定待機時間中の LOCO クロックの発振（または、メインクロックの発振安定後の LOCO クロックの停止）との競合を防ぐ必要があります。そのため、OSCSF レジスタの発振安定フラグによりメインクロック発振器の安定が確認できるまでは、LOCO クロックでの 3 サイクルからメインクロック発振器の動作開始設定までの間、LOCOCR.LCSTP ビットを変更しないでください。

レジスタスタートモード（OFS0.IWDTSTRT ビットが 1）で IWDT を使用する場合、IWDT のカウント動作の開始前に LOCO が動作するよう設定 (LOCOCR.LCSTP = 0) し、LOCO が安定してから IWDT を使用してください。レジスタスタートモードで IWDT を使用する場合、IWDT カウント動作が確認できるまでは、LOCO クロックでの 3 サイクルから IWDT カウント動作開始までの間、LOCOCR.LCSTP ビットを変更しないでください。

プログラマブル電圧検出 (PVDm) の電圧監視 m（m = 1～2）リセットネゲート選択またはデジタルフィルタを使用している場合、LOCO が動作するよう設定 (LOCOCR.LCSTP = 0) してから PVDm を有効にし、LOCO が安定した後 PVDm を使用してください。

9.6 中速オンチップオシレータ (MOCO)

中速オンチップオシレータ (MOCO) は、中速クロックを供給する内蔵オシレータです。

9.6.1 MOCO 動作条件

MOCO の動作設定には制約があります。詳細は、「9.6.3. MOCO の動作および停止に関する制限」を参照してください。

MOCO は、以下のいずれかの条件が満たされたときに発振します。

[MOCO 動作条件]

- LOCOCR レジスタで、MOCO が動作するように設定されている (MOCOCR.MCSTP = 0)
- HOCO 発振安定待機中（OFS1.HOCOEN ビットが 0、または HOCOCR.HCSTP ビットが 0 かつ OSCSF.HOCOSF ビットが 0）
- PLL1 発振安定待機中（PLLCR.PLLSTP ビットが 0、かつ OSCSF.PLLSF ビットが 0）
- PLL2 発振安定待機中（PLL2CR.PLL2STP ビットが 0、かつ OSCSF.PLL2SF ビットが 0）
- MOSC 発振停止検出機能が有効に設定されている
- SOSC 発振停止検出機能が有効に設定されている

注. MOCO は、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで停止します。

9.6.2 MOCO 停止条件

MOCO の停止設定には制約があります。詳細は、「9.6.3. MOCO の動作および停止に関する制限」を参照してください。

MOCO を停止するには、次の 2 つの方法があります。1 つは低消費電力モードへの遷移により停止する方法、もう 1 つは MOCOCR レジスタにより停止する方法です。

(1) 低消費電力モードによる MOCO ストップコンディション

MOCO は、以下の低消費電力モードへ遷移するときに停止します。

- ソフトウェアスタンバイモード (MOCOSCR.MOCOSOKP = 0)
- ディープソフトウェアスタンバイモード

注. オンチップデバッガ機能が有効になっていると、上記いずれのスタンバイモードへ遷移する際にも MOCO は停止しません。

(2) MOCOCR レジスタによる MOCO ストップコンディション

MOCOCR レジスタを使用して MOCO を停止する場合、MCSTP ビットが停止設定（MOCOCR.MCSTP ビットが 1）になっていても、システムの動作状態によっては MOCO は停止しない可能性があります。

MOCO は、下記条件がすべて満たされたときに停止できます。

[MOCO ストップコンディション]

- MOCOCR レジスタを使用して MOCO が停止するように設定されている（MOCOCR.MCSTP ビットが 1）
- HOCO が停止、あるいは HOCO 発振が安定している（OFS1(_SEC).HOCOEN ビットが 1 かつ HOCOCR.HCSTP ビットが 1、あるいは OSCSF.HOCOSF ビットが 1）
- PLL1 回路が停止、あるいは PLL1 発振が安定している（PLLCR.PLSTP ビットが 1、または OSCSF.PLLSF ビットが 1）
- PLL2 回路が停止、あるいは PLL2 発振が安定している（PLL2CR.PL2STP ビットが 1、または OSCSF.PLL2SF ビットが 1）

9.6.3 MOCO の動作および停止に関する制限

MCSTP ビットを 0 にして MOCO クロックを動作させた後、MOCO クロック発振安定時間 (tMOCOWT) が経過してから、MOCO クロックを使用してください。MOCO クロックが動作するように設定してから、発振が安定するまでに一定の時間を要します。発振が停止するまでにも一定の時間が必要です。

動作の開始および停止に関しては、以下の制限があります。

- MOCO クロックが停止した後に、OSCMONR.MOCOMON を読み出し MOCO が停止していることを確認したうえで動作を設定すること
- MOCO クロックを停止させる前に、MOCO クロックの発振が安定していることを確認すること
- MOCO クロックをシステムクロックソースとして選択しているかどうかにかかわらず、MCU をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、MOCO の発振が安定していることを確認してから WFI 命令を実行してください。MOCO が停止している場合、MOCO を動作させてください。
- MOCO クロックをシステムクロックソースとして選択しているかどうかにかかわらず、CPU を CPU ディープスリープモードへ遷移させる場合は、MOCO の発振が安定していることを確認してから待機命令を実行してください。MOCO が停止している場合、MOCO を動作させてください。
- MOCO 発振が安定していることを確認してから、ソフトウェアによる各電源ドメインの電力制御を実行すること。MOCO が停止している場合、MOCO を開始します。

以下の条件下で MCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b（システムクロックソース = MOCO）
- 発振停止検出が有効（OSTDCR.OSTDE ビットが 1）
- HOCO 発振安定待機中（OFS1.HOCOEN ビットが 0、または HOCOCR.HCSTP ビットが 0 かつ OSCSF.HOCOSF ビットが 0）
- PLL1 発振安定待機中（PLLCR.PLLSTP ビットが 0、かつ OSCSF.PLLSF ビットが 0）
- PLL2PLL2CR.PLL2STP 発振安定待機中（PLL2CR.PLL2STP ビットが 0、かつ OSCSF.PLL2SF ビットが 0）
- ソフトウェアによる各電源ドメインの電力制御中（パワーゲーティング制御中）

MOCO クロックを使用して、HOCO、PLL1、または PLL2 クロックの発振安定待機時間を測定します。HOCO、PLL1、または PLL2 クロックの安定待ちの間、MOCO クロックは、MOCOCR.MCSTP ビットの設定にかかわらず発振します。この場合、MOCOCR.MCSTP ビットによる MOCO 停止（または動作）と、HOCO、PLL1、また

は PLL2 クロックの発振安定待機時間中の MOCO クロックの発振（または、HOCO、PLL1、または PLL2 クロックの発振安定後の MOCO クロックの停止）との競合を防ぐ必要があります。そのため、OSCSF レジスタの HOCOSF、PLLSF、または PLL2SF フラグにより HOCO、PLL1、または PLL2 クロックの発振の安定が確認できるまでは、MOCO クロックでの 3 サイクルから HOCO、PLL1、または PLL2 クロックの動作開始設定までの間、MOCOCR.MCSTP ビットを変更しないでください。

9.7 高速オンチップオシレータ (HOCO)

高速オンチップオシレータ (HOCO) は、高速クロックを供給する内蔵オシレータです。

9.7.1 周波数ロックループ機能

HOCO は、周波数ロックループ機能 (FLL) をサポートします。FLL 機能は、サブクロック発振器を使用して HOCO クロックの周波数精度を補正します。FLL 機能を有効にすると、FLL 機能が無効の場合よりも HOCO クロックの周波数精度が向上します。

FLL 機能を使用する場合は、サブクロック発振器の発振は安定していなければなりません。また、サブクロック発振器は、「62. 電気的特性」で規定された周波数精度を満たしている必要があります。

FLL 機能を有効にして HOCO を使用する場合、あらかじめ FLL 機能を有効にし、SOSC が安定してから HOCO (HOCOCR.HCTSP = 0) を有効にしてください。

各 HOCO 周波数設定で、FLLCR2.FLLCNTL[10:0]を以下のように設定してください。HOCO クロックの周波数は、HOCO を有効化してから tFLLWT が経過した後、期待値となります。

表 9.6 各 HOCO 周波数の設定に応じた FLLCNTL 設定

FLLCR2.FLLCNTL[10:0]	OFS1(_SEC).HOCOFRQ0[2:0]	対象となる周波数 (FHOCO)
0x1E8	000b	16 MHz
0x225	001b	18 MHz
0x262	010b	20 MHz
0x1E8	100b	32 MHz
0x1E8	111b	48 MHz

9.7.2 ソフトウェアスタンバイモードでの発振保持の注意事項

ソフトウェアスタンバイモードで HOCO の発振保持機能を使用することにより、ソフトウェアスタンバイモード解除後の HOCO の発振安定待機時間を短縮できます。

ソフトウェアスタンバイモードで HOCO の発振を保持するには、以下の設定を行います。

- HOCOSCR レジスタの HOCO スタンバイ発振保持機能を許可（HOCOSCR.HOCOSOKP ビットを 1 に設定）
- HOCOLDOCR で HOCO の電力制御を設定

上記の設定かつ HOCO が動作中にソフトウェアスタンバイモードに遷した場合、HOCO はソフトウェアスタンバイモードで発振を継続します。この状態でソフトウェアスタンバイモードを解除する場合、発振安定待機時間を生じさせずに HOCO クロックを使用することが可能です。

発振保持機能を使用するときは、設定値がレジスタに書き込まれていることを確認してからソフトウェアスタンバイモードに遷移してください。

ただし、発振保持機能が許可されていても、ソフトウェアスタンバイモード中は、システムおよび周辺モジュールへのクロック供給は停止します。

9.7.3 TRACE クロックソースの注意事項

TRCKCR レジスタの TRCKCRSE ビットでトレースクロックとして HOCO を選択し、トレースクロック機能を有効にした場合 (TRCKCR.TRCKEN = 1)、HOCOCR レジスタの HCSTP ビットの値にかかわらず HOCO は発振します。この場合、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、またはリセット（POR と PVD0 以外）の状態であっても、HOCO は発振を継続し、TRACE モジュールへクロックを供給し続けます。

トレースクロックソースとして HOCO を使用する場合、HOCO の停止中（OFS1(_SEC).HOCOEN = 1 かつ HOCOCR.HCSTP = 1）、または HOCO の安定した発振中 (OSCSF.HOCOSF = 1)、TRCKCR レジスタの TRCKEN ビットでトレースクロックを有効にする必要があります。

9.8 PLL 回路

PLL 回路には発振器からの周波数を逓倍する機能があります。

図 9.7 に PLL1 回路のブロック図を、図 9.8 に PLL2 回路のブロック図を示します。PLL1 回路と PLL2 回路の構成は同じです。以下の例では PLL1 回路について説明します。

入力クロックソース選択回路では、PLL へのクロックソース入力を選択します。

入力クロック分周回路は、入力クロックを分周し、PLL 基準クロックを生成します。

周波数制御回路は、周波数逓倍器の設定に従って、PLL 基準クロックから生成された VCO クロックを制御します。逓倍比は、PLLMUL ビットと PLLMULNF ビットの組み合わせによって決まります。逓倍比の整数部は PLLMUL ビット、逓倍比の小数部は PLLMULNF ビットによって決まります。たとえば、PLLMUL ビットの設定値が 26 かつ PLLMULNF ビットの設定値が 0.33 の場合、逓倍比は 26.33 となります。

PLL 回路には 3 つの出力クロックがあります。出力クロック分周回路は、VCO クロックを分周して各 PLL クロック出力を生成します。各出力クロックを生成する分周比は、PLODIVP ビット、PLODIVQ ビット、および PLODIVR ビットを使用して個別に設定できます。

PLL 入力クロック周波数、PLL 基準クロック周波数、VCO クロック周波数、および各出力クロック周波数は、「62. 電気的特性」に記載された範囲内である必要があります。

PLL 周波数の設定は、PLL 回路が停止しているときのみ変更が可能です。PLL 停止制御ビット (PLLSTP) が 0 の場合、PLL 周波数設定を変更しないでください。

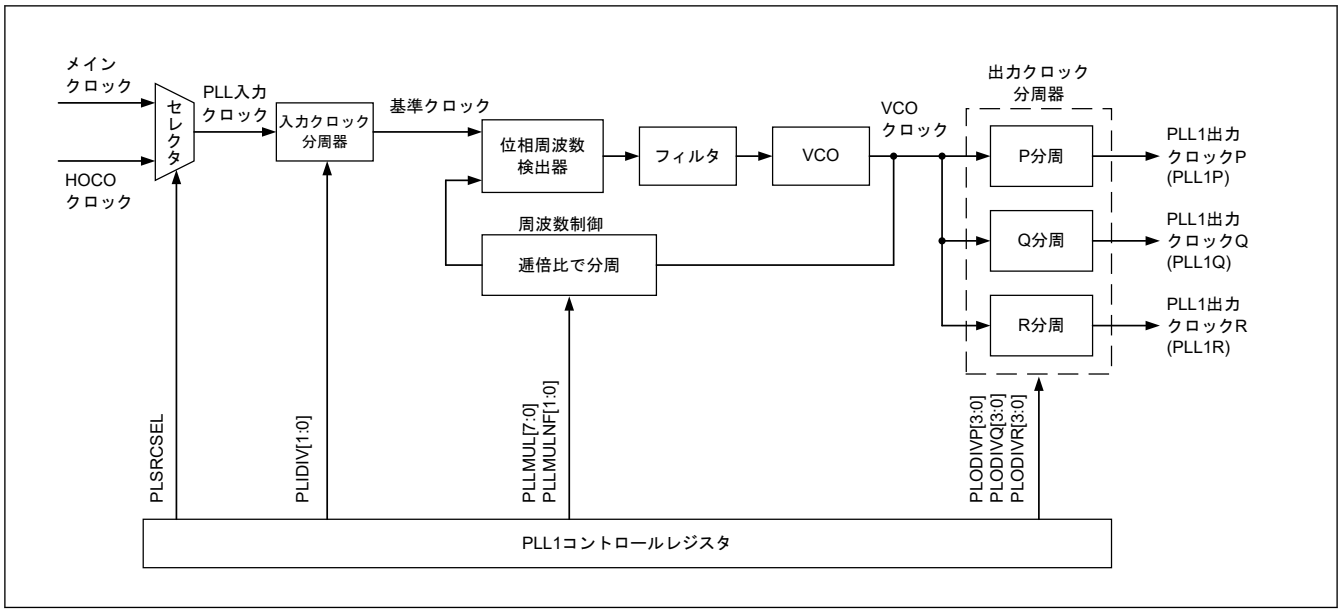


図 9.7 PLL1 のブロック図

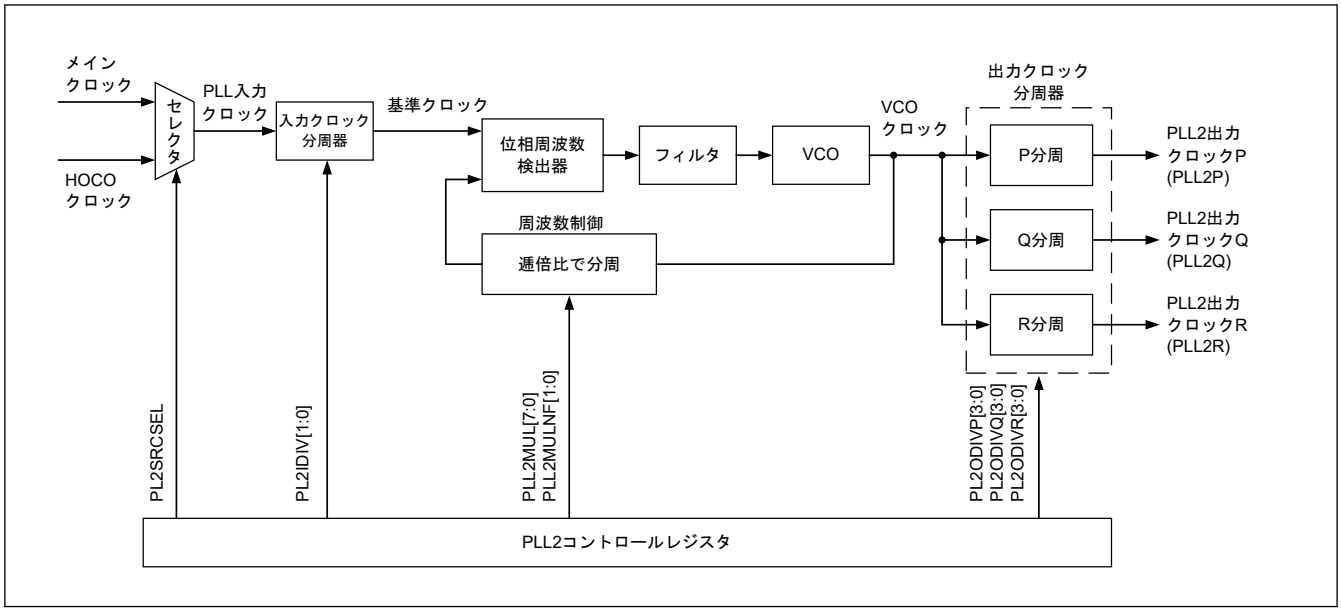


図 9.8　PLL2 のブロック図

9.9　発振停止検出機能

9.9.1　発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の発振停止を検出します。発振停止が検出されると、システムクロックソースは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる
- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）で発振停止が検出されると、PLL1 クロックはシステムクロックソースのままとなる。周波数はフリーランニング動作となり、SCKSCR.CKSEL[2:0]ビットの設定は変わらない。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力を停止状態にすることが可能です。

メインクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロックの発振停止が検出されます。「62. 電気的特性」を参照してください。

メインクロック発振器と MOCO クロックの切り替え、または PLL1 クロックと PLL1 フリーランニングクロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る
- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは PLL1 フリーランニング発振クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは PLL1 に戻る

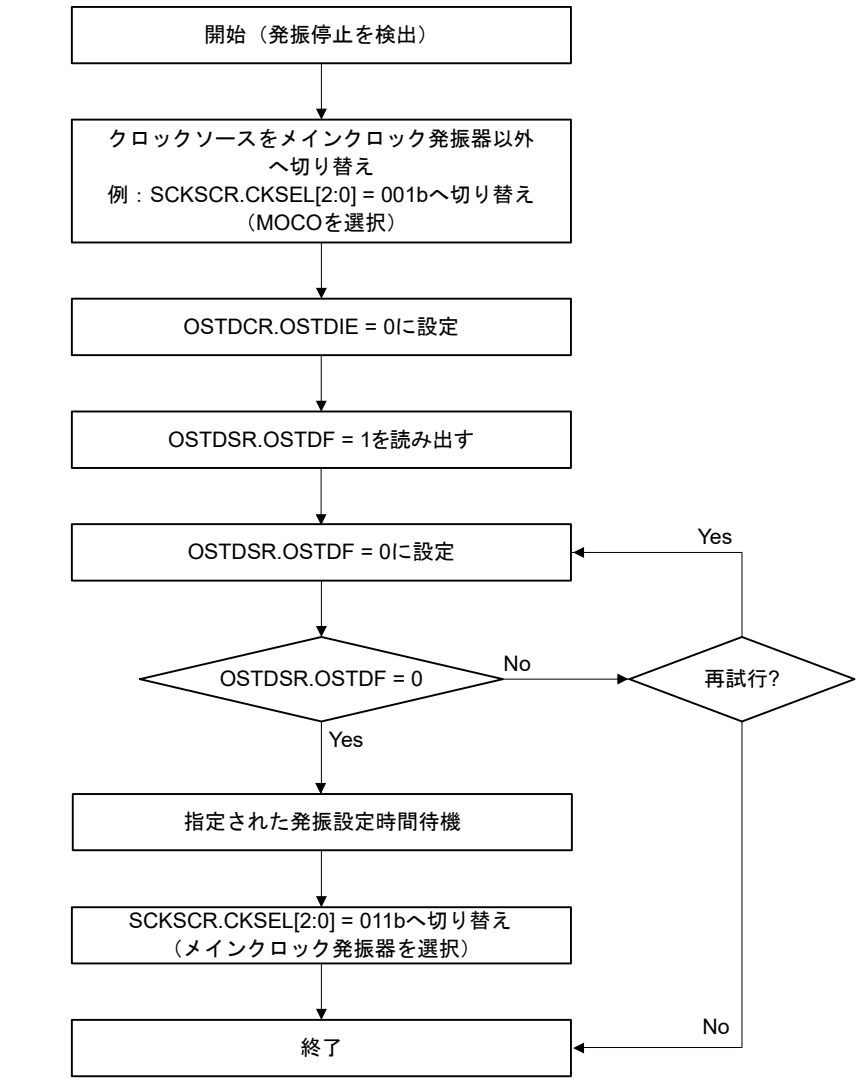
発振停止検出後にクロックソースをメインクロックまたは PLL1 クロックに再度切り替える場合、CKSEL[2:0]ビットをメインクロックまたは PLL1 クロック以外のクロックソースに設定し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0]ビットの設定をメインクロックまたは PLL1 クロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。

発振停止検出機能は、以下のクロックを MOCO クロック（システムクロックソースが MOSC の場合）または PLL1 フリーランニングクロック（システムクロックソースが PLL1P の場合）に切り替えます。

- MOSC クロックまたは PLL1 として選択可能なすべてのクロック（CLKOUT、USBMCLK、および CACMCLK 以外）
- MOCO 動作中（システムクロックソースが MOSC の場合）または PLL1 フリーランニング動作中（システムクロックソースが PLL1P の場合）のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[3:0]) で設定された分周比に指定される。



注. 発振停止状態から復帰する際は、発振を再開できるように、メインクロック発振回路の停止要因をシステムから取り除く必要があります。

図 9.9 発振停止検出時の復帰フロー

9.9.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1（許可）のとき、発振停止検出割り込み (MOSC_STOP) が発生します。このとき GPT 用ポート出力イネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて、POEG グループ n 設定レジスタ (POEGGn.OSTPF) (n = A, B, C, D) の発振停止検出フラグを 1 にします。

発振停止を検出後、POEGGn.OSTPF フラグに書き込む前に、PCLKB で 10 クロックサイクル以上待ってください。OSTDSR.OSTDF フラグのクリアが必要な場合、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) をクリアした後に行ってください。OSTDCR.OSTDIE ビットを再び 1 にする前に、PCLKB で 2 クロックサイクル以上待ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB の待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可してください。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

9.9.3 サブクロック発振停止検出と検出後の動作

サブクロック発振停止検出機能は、サブクロック発振器停止の検出に使用します。発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 100b（システムクロックソース = SOSC）で発振停止が検出された場合、システムクロックソースは MOCO/256 クロックに切り替わる
  発振停止検出時には発振停止検出割り込み要求を発生させることができます。
  サブクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、サブクロックの発振停止が検出されます。「電気的特性」を参照してください。
  サブクロック発振器と MOCO/256 クロックの切り替えは、サブクロック発振停止検出フラグ (SOSTDSR.SOSTDF) で制御されます。
  SOSTDF フラグは切り替えたクロックを以下のように制御します。
- SCKSCR.CKSEL[2:0] = 100b（システムクロックソース = SOSC）の場合：
  - SOSTDF が 0 から 1 になると、クロックソースは MOCO/256 クロックに切り替わる
  - SOSTDF が 1 から 0 になると、クロックソースは再度 SOSC に切り替わる

発振停止検出後にクロックソースをサブクロック発振器に再度切り替える場合、CKSEL[2:0]ビットをサブクロック以外のクロックソースに設定し、SOSTDF フラグを 0 にしてください。さらに、SOSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0]ビットの設定をサブクロック発振器に変更してください。

VBAT_POR 解除後、サブクロック発振器は停止して、サブクロック発振停止検出機能は無効になります。サブクロック発振停止検出機能を有効にするには、サブクロック発振器を動作させた後、所定の発振安定時間が経過してから、サブクロック発振停止検出機能有効ビット (SOSTDCR.SOSTDE) に 1 を書き込んでください。

その後、必ずサブクロック発振停止検出器の起動時間 (Tsosdup) が経過してから、サブクロック発振停止検出フラグ (SOSTDSR.SOSTDF) を 0 にしてください。

システムクロック用にサブクロック発振器を選択するときは、上記設定を完了してから切り替えを行ってください。

サブクロック発振停止検出機能は、外部要因によってサブクロック発振器が停止したことを検出します。

サブクロック発振停止検出機能は、以下のクロックを MOCO/256 クロックに切り替えます。

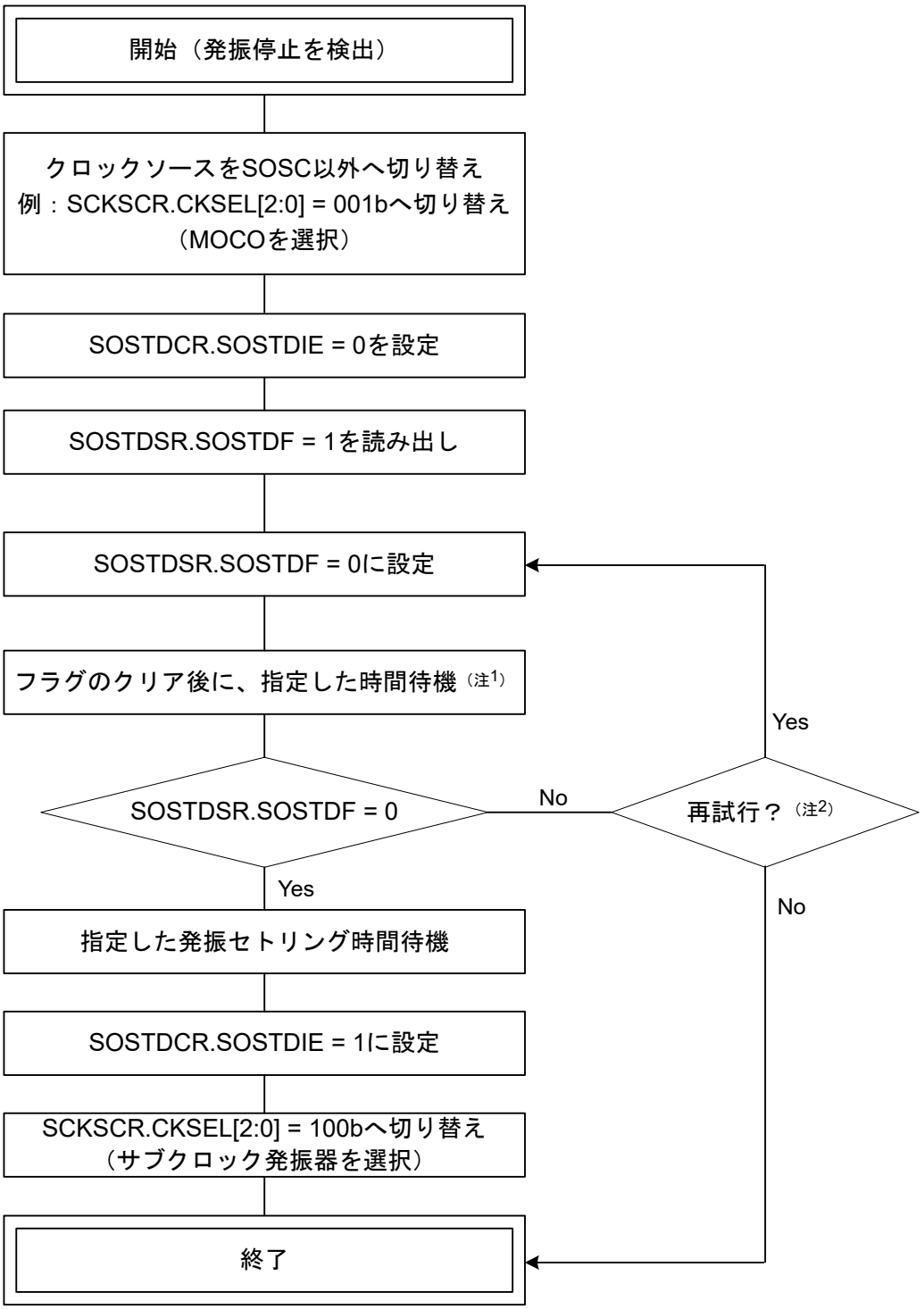
- SOSC クロックとして選択可能なすべてのクロック（CACSCLK 以外）
- MOCO/256 動作中のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[3:0]) で設定した分周率により指定します。

CKSEL[2:0] = 100b（サブクロック発振器を選択）の場合のサブクロック発振停止検出機能の起動例

注. システムクロックをサブクロック発振器以外のクロックソースに設定してから、このフローを実行してください。

図 9.10 サブクロック発振器停止検出機能の起動フロー

CKSEL[2:0] = 100b（サブクロック発振器を選択）で発振停止の検出後の再復帰の例



注. 発振停止状態から復帰する際は、発振を再開できるように、サブクロック発振回路の停止要因をユーザーシステムから取り除く必要があります。
注 1. SOSTDSR.SOSTDF フラグをクリアした場合は、1.5 µs 以上待ってから次の SOSTDSR.SOSTDF フラグを読み出してください。
注 2. 再試行は 1 回以上行ってください。

図 9.11 サブクロック発振器停止の検出からの復帰フロー

9.9.4 サブクロック発振停止検出割り込み

サブクロック発振停止検出フラグ (SOSTDSR.SOSTDF) が 1 で、かつサブクロック発振停止検出コントロールレジスタのサブクロック発振停止検出割り込み許可ビット (SOSTDCR.SOSTDIE) が 1（許可）のとき、サブクロック発振停止検出割り込み (SOSTD) が発生します。

SOSTDSR.SOSTDF フラグのクリアは、サブクロック発振停止検出コントロールレジスタのサブクロック発振停止検出割り込み許可ビット (SOSTDCR.SOSTDIE) を 0 にした後に行ってください。SOSTDF がクリアされていることを確認してから、SOSTDIE ビットを再度 1 にしてください。

9.10 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック発振器
- サブクロック発振器
- HOCO クロック
- MOCO クロック
- LOCO クロック
- PLL1 クロック（PLL1P、PLL1Q、および PLL1R）
- PLL2 クロック（PLL2P、PLL2Q、および PLL2R）
- JTAG 用外部クロック入力
- SWD 用外部クロック入力

これらのクロックソースから、以下の内部クロックが生成されます。

- CPU0 の動作クロック：CPU0 クロック (CPUCLK0)
- CPU1 の動作クロック：CPU1 クロック (CPUCLK1)
- DMAC、DTC、SRAM、システムバス、I/O ポート、および ICU の動作クロック：システムクロック (ICLK)
- デバッグサブシステムの動作クロック：デバッグクロック (DCLK)
- MRAM コードバスの動作クロック：MRAM コードバスクロック (MRICLK)
- 周辺モジュールの動作クロック：周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE）
- MRAM 周辺バスの動作クロック：MRAM 周辺バスクロック (MRPCLK)
- 外部バスコントローラおよび外部端子出力のクロック：外部バスクロック (BCLK, EBCLK)
- SDRAM 用外部バスコントローラおよび外部端子出力のクロック：SDRAM クロック (SDCLK)
- トレース機能および外部端子出力のクロック：トレースクロック (TRCLK)
- SCI の動作クロック：SCI クロック (SCICLK)
- SPI の動作クロック：SPI クロック (SPICLK)
- Octal-SPI の動作クロック：Octal-SPI クロック (OCTACLK, OCTADIVCLK)
- CANFD コアの動作クロック：CANFD コアクロック (CANFDCLK)
- USBFS および USBHS の動作クロック：USB クロック (USBCLK)
- USBHS の動作クロック：USB クロック (USB60CLK)
- ADC16H の動作クロック：ADC クロック (ADCCLK)
- GPT の動作クロック：GPT クロック (GPTCLK)
- I3C の動作クロック：I3C クロック (I3CCLK)
- 外部バスコントローラのクロック（非同期）：外部バスクロック (BCLKA)
- EtherSW の動作クロック：ESWM クロック (ESWCLK)

- EtherSW-PHY の動作クロック：ESWM クロック (ESWPHYCLK)
- ETHPHYCLK 端子出力の動作クロック：Ether-PHY クロック (ETHPHYCLK)
- 外部端子出力のクロック：クロック／ブザー出力 (CLKOUT)
- USBHS の動作クロック：USBHS の MOSC クロック (USBMCLK)
- CAN の動作クロック：CAN クロック (CANMCLK)
- ULPT の動作クロック：ULPT LOCO クロック (ULPTLCLK) および ULPT サブクロック (ULPTSCLK)
- AGT の動作クロック：AGT LOCO クロック (AGTLCLK) および AGT サブクロック (AGTSCLK)
- CAC の動作クロック：CAC クロック (CACCLK)
- RTC の動作クロック：RTC LOCO クロック (RTCLCLK) および RTC サブクロック (RTCSCLK)
- PDMIF の動作クロック：PDMIF クロック (PDMIFCLK)
- IWDT の動作クロック：IWDT クロック (IWDTCLK)
- SysTick タイマの動作クロック：SysTick タイマクロック (SYSTICKCLK)
- JTAG の動作クロック：JTAG クロック (JTAGTCK)

内部クロックの周波数設定に使用するレジスタの詳細については、「9.10.5. システムクロック (ICLK)」～「9.10.34. JTAG クロック」を参照してください。

いずれかのビットの値を変更した場合、以降は変更後の値に応じた周波数で動作します。

9.10.1 CPU0 クロック (CPUCLK0)

CPU0 クロック (CPUCLK0) は、CPU0 の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR2.CPUCK0[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、および PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.2 CPU1 クロック (CPUCLK1)

CPU1 クロック (CPUCLK1) は、CPU1 の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR2.CPUCK1[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、および PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.3 MRAM コードバスクロック (MRICLK)

MRAM コードバスクロック (MRICLK) は、MRAM コードバスインタフェースの動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR2.MRICK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、および PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.4 MRAM 周辺バスクロック (MRPCLK)

MRAM 周辺バスクロック (MRPCLK) は、MRAM 周辺バスインタフェースの動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR.MRPCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、および PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.5 システムクロック (ICLK)

システムクロック (ICLK) は、DMAC、DTC、SRAM、システムバス、I/O ポート、および ICU の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR.ICK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR2.PLLMUL[8:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、および PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

ICLK クロックソースの切り替え時、クロックソース切り替えを行う間、ICLK クロックサイクルが長くなります。図 9.12 と図 9.13 を参照してください。

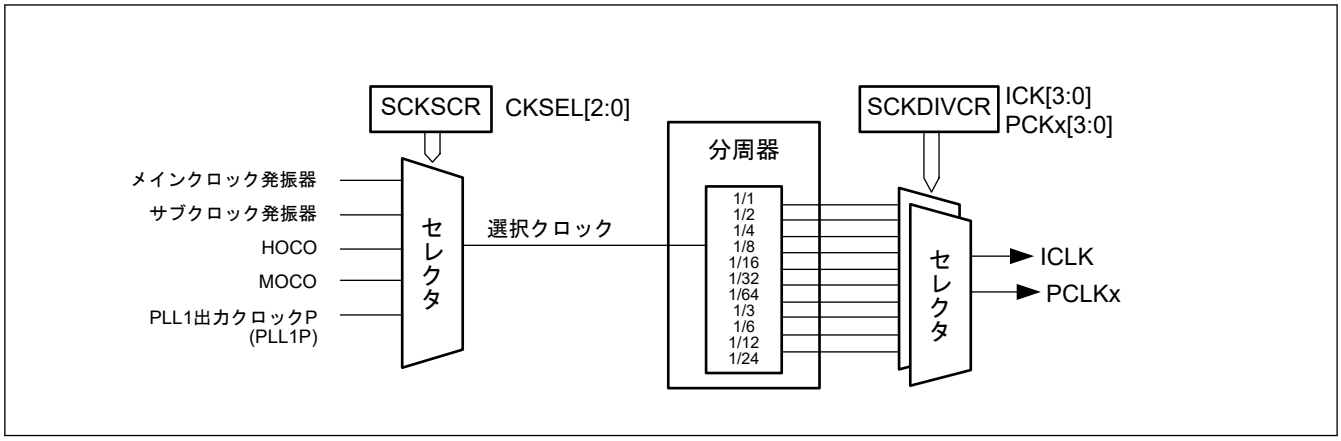


図 9.12　クロックソースセレクタのブロック図

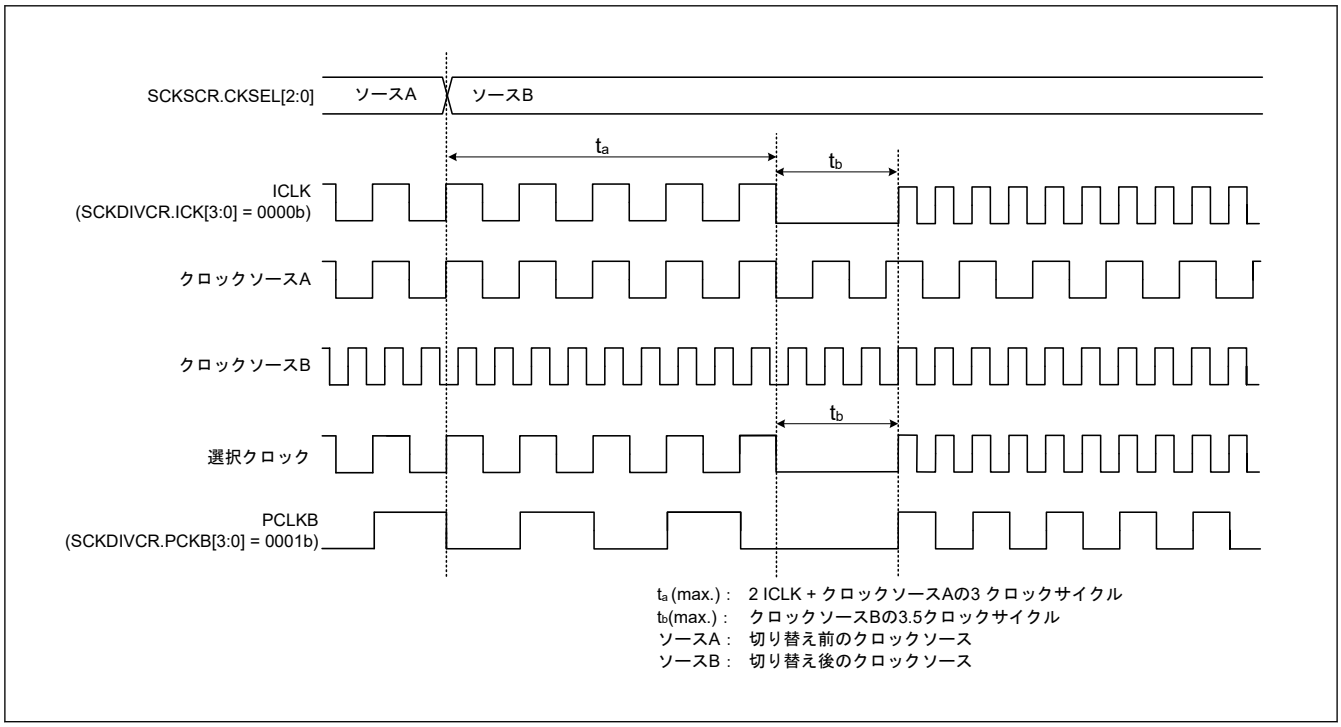


図 9.13　クロックソース切り替えのタイミング

9.10.6　デバッガクロック (DCLK)

デバッガクロック (DCLK) は、デバッグサブシステムの動作クロックです。周波数は ICLK と同じです。

9.10.7　周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE)

周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE) は、周辺モジュールの動作クロックです。各クロックの周波数は、それぞれ以下のビットで設定します。

- SCKDIVCR.PCKA[3:0]ビット、SCKDIVCR.PCKB[3:0]ビット、SCKDIVCR.PCKC[3:0]ビット、SCKDIVCR.PCKD[3:0]ビット、および SCKDIVCR.PCKE[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[8:0]、PLLMULNF[1:0]、PLIDIV[1:0]、PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

周辺モジュールクロックのクロックソース切り替え時、クロックソース切り替えを行う間、周辺モジュールクロック周期が長くなります。図 9.12 と図 9.13 を参照してください。

9.10.8 外部バスクロック（BCLK、EBCLK）

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、外部接続バスの EBCLK 端子からも外部に出力されます。

EBCKOCR.EBCKOEN ビットを 1 にして、PmnPFS.PSEL[4:0]ビットを 01011b にすることによって、EBCLK 端子から BCLK を出力できます。PmnPFS.PSEL[4:0]ビットの 01011b への変更は、EBCKOCR.EBCKOEN ビットが 0 の時だけに行ってください。

また、BCKCR.BCLKDIV ビットを 1 にすると、EBCLK 端子から BCLK の 2 分周クロックを出力できます。

周波数は下記のビットで指定します。

- SCKDIVCR.BCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR2.PLLMUL[8:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、および PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

BCLK は、システムクロック (ICLK) より高い周波数に設定することはできません。

9.10.9 SDRAM クロック (SDCLK)

SDRAM クロック (SDCLK) は、外部バスコントローラの動作クロックです。SDCLK は、外部バスに接続された SDRAM の SDCLK 端子から外部に出力されます。SDCLK 端子に SDCLK を出力する場合、SDCKOCR.SDCKOEN ビットを 1 にして、PmnPFS.PSEL[4:0]ビットを 01011b（SDCLK 出力有効）にしてください。PmnPFS.PSEL[4:0]の値を変更できるのは、SDCKOCR.SDCKOEN ビットが 0 の場合だけです。周波数は下記のビットで指定します。

- SCKDIVCR.BCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[8:0]、PLLMULNF[1:0]、PLIDIV[1:0]、PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

SDCLK はシステムクロック (ICLK) より高い周波数に設定するのは禁止です。

9.10.10 トレースクロック (TRCLK)

トレースクロック (TRCLK) は、オンチップデバッガ機能の CPU トレースクロックです。

TRCLK 周波数は、TRCKCR.TRCK[3:0]ビットおよび TRCKCR.TRCKSEL ビット（トレースクロック周波数分周比およびトレースクロックソース選択）で指定します。トレースクロックの周波数を変更する場合、トレースクロックは停止している必要があります (TRCKCR.TRCKEN = 0)。

9.10.11 SCI クロック (SCICLK)

SCI クロック (SCICLK) は、SCI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- SCICKDIVCR.SCICKDIV[3:0]ビット
- SCICKCR.SCICKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[8:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.12 SPI クロック (SPICLK)

SPI クロック (SPICLK) は、SPI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- SPICKDIVCR.SPICKDIV[3:0]ビット
- SPICKCR.SPICKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[8:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.13 Octal-SPI クロック (OCTACLK, OCTADIVCLK)

Octal-SPI クロック (OCTACLK) は、Octal-SPI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- OCTACKDIVCR.OCTACKDIV[3:0]ビット
- OCTACKCR.OCTACKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[8:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

OCTADIVCLK では、常に OCTACLK の 2 分周クロックが出力されます。

9.10.14 CANFD コアクロック (CANFDCLK)

CANFD コアクロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

周波数は下記のビットで指定します。

- CANFDCKDIVCR.CANFDCKDIV[3:0]ビット
- CANFDCKCR.CANFDCKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[8:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.15 USB クロック (USBCLK)

USB クロック (USBCLK) は、USBFS モジュールおよび USBHS モジュールの動作クロックです。

USBFS モジュールを使用する場合、または CL-only モードで USBHS を使用する場合、48 MHz クロックを供給する必要があります。CL-only モードで USBHS を使用する場合を除き、USBCLK は供給する必要がありません。

USBCLK の周波数は、以下のビットで設定します。

- USBCKDIVCR.USBCKDIV[3:0]ビット
- USBCKCR.USBCKSEL[3:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[8:0]、PLLMULNF[1:0]、PLIDIV[1:0]、PLODIVP[3:0]ビット
- PLL2CCR.PLL2MUL[8:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.16 USB クロック (USB60CLK)

USB クロック (USB60CLK) は、USBHS モジュールの動作クロックです。CL-only モードで USBHS モジュールを使用する場合、60 MHz クロックを供給する必要があります。CL-only モードで USBHS を使用する場合を除き、USB60CLK は供給する必要がありません。

周波数は下記のビットで指定します。

- USB60CKDIVCR.USB60CKDIV[3:0]ビット
- USB60CKCR.USB60CKSEL[3:0]ビット

- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[8:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.17 USBHS の MOSC クロック (USBMCLK)

USBHS の MOSC クロック (USBMCLK) は、CL-only モード以外で USBHS を使用する場合の動作クロックです。CL-only モードで USBHS を使用する場合、USBMCLK は供給する必要がありません。

USBMCLK の周波数は、12 MHz、20 MHz、24 MHz、または 48 MHz で、メインクロック発振器から供給されます。

9.10.18 ADC クロック (ADCCLK)

ADC クロック (ADCCLK) は、ADC16H モジュールの動作クロックです。周波数は下記のビットで指定します。

- ADCCKDIVCR.ADCCKDIV[3:0]ビット
- ADCCKCR.ADCCKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLLCCR.PLL2MUL[8:0]、PLLCCR.PLL2MULNF[1:0]、PLLCCR.PL2IDIV[1:0]、PLLCCR.PL2ODIVP[3:0]、PLLCCR.PL2ODIVQ[3:0]、PLLCCR.PL2ODIVR[3:0]、PLLCCR2.PLL2MUL[8:0]、PLLCCR2.PLL2MULNF[1:0]、PLLCCR2.PL2IDIV[1:0]、PLLCCR2.PL2ODIVP[3:0]、PLLCCR2.PL2ODIVQ[3:0]、および PLLCCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.19 GPT クロック (GPTCLK)

GPT クロック (GPTCLK) は、GPT モジュールの動作クロックです。周波数は下記のビットで指定します。

- GPTCKDIVCR.GPTCKDIV[3:0]ビット
- GPTCKCR.GPTCKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLLCCR.PLL2MUL[8:0]、PLLCCR.PLL2MULNF[1:0]、PLLCCR.PL2IDIV[1:0]、PLLCCR.PL2ODIVP[3:0]、PLLCCR.PL2ODIVQ[3:0]、PLLCCR.PL2ODIVR[3:0]、PLLCCR2.PLL2MUL[8:0]、PLLCCR2.PLL2MULNF[1:0]、PLLCCR2.PL2IDIV[1:0]、PLLCCR2.PL2ODIVP[3:0]、PLLCCR2.PL2ODIVQ[3:0]、および PLLCCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.20 I3C クロック (I3CCLK)

I3C クロック (I3CCLK) は、I3C モジュールの動作クロックです。

周波数は下記のビットで指定します。

- I3CCKDIVCR.I3CCKDIV[3:0]ビット
- I3CCKCR.I3CCKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[8:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.21 非同期外部バスクロック (BCLKA)

非同期外部バスクロック (BCLKA) は、外部バスコントローラの動作クロックです。周波数は下記のビットで指定します。

- BCKADIVCR.BCKACKDIV[3:0]ビット
- BCKACR.BCKACKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLLCCR.PLL2MUL[8:0]、PLLCCR.PLL2MULNF[1:0]、PLLCCR.PL2IDIV[1:0]、PLLCCR.PL2ODIVP[3:0]、PLLCCR.PL2ODIVQ[3:0]、PLLCCR.PL2ODIVR[3:0]、PLLCCR2.PLL2MUL[8:0]、PLLCCR2.PLL2MULNF[1:0]、PLLCCR2.PL2IDIV[1:0]、PLLCCR2.PL2ODIVP[3:0]、PLLCCR2.PL2ODIVQ[3:0]、および PLLCCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.22 EtherSW クロック (ESWCLK)

EtherSW クロック (ESWCLK) は、ESWM モジュールの動作クロックです。周波数は下記のビットで指定します。

- ESWCKDIVCR.ESWCKDIV[3:0]ビット
- ESWCKCR.ESWCKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット

- PLLCCR.PLL2MUL[8:0]、PLLCCR.PLL2MULNF[1:0]、PLLCCR.PL2IDIV[1:0]、PLLCCR.PL2ODIVP[3:0]、PLLCCR.PL2ODIVQ[3:0]、PLLCCR.PL2ODIVR[3:0]、PLLCCR2.PLL2MUL[8:0]、PLLCCR2.PLL2MULNF[1:0]、PLLCCR2.PL2IDIV[1:0]、PLLCCR2.PL2ODIVP[3:0]、PLLCCR2.PL2ODIVQ[3:0]、および PLLCCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.23 EtherSW-PHY クロック (ESWPHYCLK)

EtherSW-PHY クロック (ESWPHYCLK) は、ESWM モジュールの動作クロックです。周波数は下記のビットで指定します。

- ESWPCKDIVCR.ESWPCKDIV[3:0]ビット
- ESWPCKCR.ESWPCKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLLCCR.PLL2MUL[8:0]、PLLCCR.PLL2MULNF[1:0]、PLLCCR.PL2IDIV[1:0]、PLLCCR.PL2ODIVP[3:0]、PLLCCR.PL2ODIVQ[3:0]、PLLCCR.PL2ODIVR[3:0]、PLLCCR2.PLL2MUL[8:0]、PLLCCR2.PLL2MULNF[1:0]、PLLCCR2.PL2IDIV[1:0]、PLLCCR2.PL2ODIVP[3:0]、PLLCCR2.PL2ODIVQ[3:0]、および PLLCCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.24 Ether-PHY クロック (ETHPHYCLK)

Ether-PHY クロック (ETHPHYCLK) は、ETHPHYCLK 端子出力の動作クロックです。周波数は下記のビットで指定します。

- ETHPCKDIVCR.ETHPCKDIV[3:0]ビット
- ETHPCKCR.ETHPCKSEL[3:0]ビット
- PLLCCR.PLLMUL[8:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLLCCR.PLL2MUL[8:0]、PLLCCR.PLL2MULNF[1:0]、PLLCCR.PL2IDIV[1:0]、PLLCCR.PL2ODIVP[3:0]、PLLCCR.PL2ODIVQ[3:0]、PLLCCR.PL2ODIVR[3:0]、PLLCCR2.PLL2MUL[8:0]、PLLCCR2.PLL2MULNF[1:0]、PLLCCR2.PL2IDIV[1:0]、PLLCCR2.PL2ODIVP[3:0]、PLLCCR2.PL2ODIVQ[3:0]、および PLLCCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.25 CAN クロック (CANMCLK)

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されます。

9.10.26 ULPT クロック（ULPTLCLK、ULPTSCLK）

ULPT クロック（ULPTLCLK および ULPTSCLK）は、ULPT モジュールの動作クロックです。ULPTLCLK は LOCO クロックで生成され、ULPTSCLK はサブクロック発振器で生成されます。

9.10.27 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。CACCLK に含まれるクロックは、以下のとおりです。

- メインクロック発振器によって生成される CAC メインクロック (CACMCLK)
- サブクロック発振器によって生成される CAC サブ発振器クロック (CACSCLK)
- HOCO クロックによって生成される CAC HOCO クロック (CACHCLK)
- MOCO クロックによって生成される CAC MOCO クロック (CACMOCLK)
- LOCO クロックによって生成される CAC LOCO クロック (CACLCLK)

9.10.28 RTC クロック（RTCSCLK、RTCLCLK）

RTC クロック（RTCSCLK、RTCLCLK）は、RTC の動作クロックです。

RTCSCLK はサブクロック発振器で生成され、RTCLCLK は LOCO クロックで生成されます。

9.10.29 IWDT クロック (IWDTCLK)

IWDT クロック (IWDTCLK) は、IWDT の動作クロックです。

IWDTCLK は、LOCO クロック（常に 2 分周）によって内部生成されます。

9.10.30 AGT クロック (AGTSCLK, AGTLCLK)

AGT クロック（AGTSCLK および AGTLCLK）は、AGT の動作クロックです。AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO クロックで生成されます。

9.10.31 PDMIF クロック (PDMIFCLK)

PDMIF クロック (PDMIFCLK) は、PDMIF の動作クロックです。

PDMIFCLK は MOCO クロックで生成されます。

9.10.32 SysTick タイマクロック (SYSTICKCLK)

SysTick タイマクロック (SYSTICKCLK) は、SysTick タイマの動作クロックです。SYSTICKCLK は、MOCO クロック（常に 8 分周）によって生成されます。

9.10.33 外部端子出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

9.10.34 JTAG クロック

JTAG クロック (JTAGTCK) は、JTAG のクロックです。

JTAGTCK は、JTAG 外部クロック (TCK) から生成されたクロックです。

9.11 クロックの設定

9.11.1 システムクロックの設定

9.11.1.1 システムクロックの初期設定

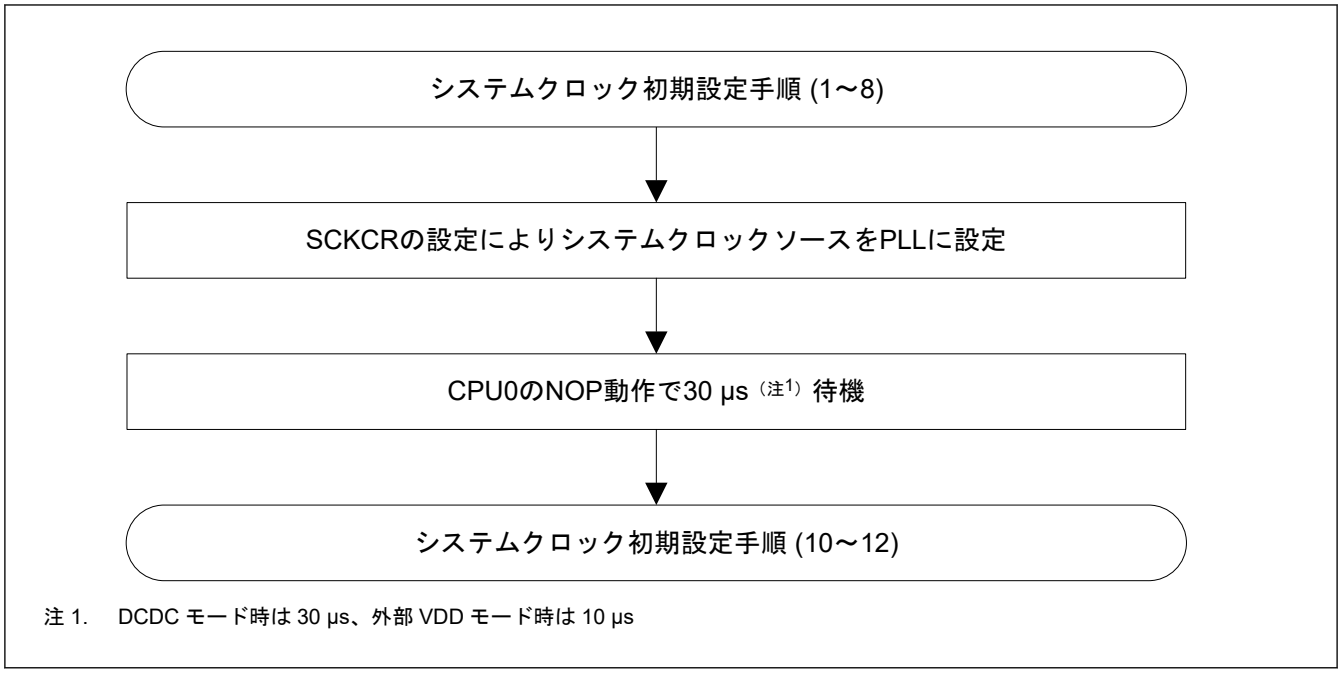
表 9.7 に、システムクロックの初期設定手順の例を示します。

表 9.7 システムクロック初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）

番号	手順	説明
1	開始	リセット解除後／ディープソフトウェアスタンバイモード解除後 （システムクロックソースとして MOCO を選択）
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は、「11. 低消費電力モード」を参照してください。
4	クロックソース発振設定	システムクロックソースへ切り替えるクロックソースの発振を設定します。
5	MRAM および SRAM ウェイトサイクル設定	システムクロック (ICLK)、MRICLK、および MRPCLK を設定後、動作周波数に応じて MRAM および SRAM の適切なアクセスウェイト数を設定します。 詳細は、「59. MRAM」および「58. SRAM」を参照してください。
6	電圧スケーリング設定	システムクロック切り替え後の各クロックの周波数に応じて、VDD の適切なターゲット電圧を設定します。詳細は、「11. 低消費電力モード」を参照してください。
7	内部クロック分周比設定	SCKDIVCR レジスタと SCKDIVCR2 レジスタで、内部クロック分周比を設定します。
8	外部バスクロック出力／SDRAM クロック出力(注3)	BCKCR で、EBCLK 端子出力を設定します。 SDCKOCR で、SDCLK 端子出力を設定します。
9	システムクロックソース切り替え	SCKCR レジスタで、システムクロックソースを切り替えます。 クロックソースの発振が安定していることを確認してからシステムクロックソースを切り替えてください。
10	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
11	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 0 にします。
12	終了	システムクロック設定は完了です。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。
注 3. 外部バスまたは SDRAM を使用しない場合、設定は必要ありません。

システムクロックソースとして PLL1 を選択した場合、手順 9 で、さらに手順を行う必要があります。この追加手順については、図 9.14 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。



注 1. DCDC モード時は 30 µs、外部 VDD モード時は 10 µs

図 9.14 システムクロック初期設定の追加フロー（モジュールストップビットはすべて初期値である想定で、システムクロックソースとして PLL を使用する場合）

9.11.1.2 システムクロック設定による周波数高速化

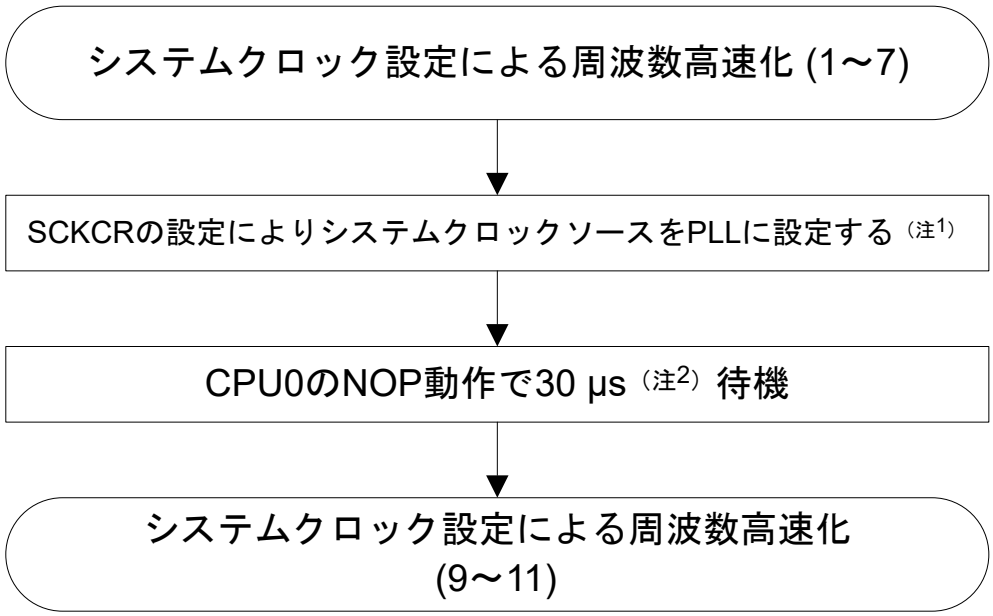
表 9.8 に、現在使用中のシステムクロック周波数を高速化する際の設定手順例を示します。

表 9.8 使用中のシステムクロック周波数を高速化する際の設定手順例

番号	手順	内容
1	開始	
2	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は、「11. 低消費電力モード」を参照してください。
4	クロックソース発振設定(注3)	システムクロックソースへ切り替えるクロックソースの発振を設定します。(注4)
5	MRAM および SRAM ウェイトサイクル設定	システムクロック (ICLK)、MRICLK、および MRPCLK を設定後、動作周波数に応じて MRAM および SRAM の適切なアクセスウェイト数を設定します。 詳細は、「59. MRAM」および「58. SRAM」を参照してください。
6	電圧スケーリング設定	システムクロック切り替え後の各クロックの周波数に応じて、VDD の適切なターゲット電圧を設定します。詳細は、「11. 低消費電力モード」を参照してください。
7	内部クロック分周比設定	SCKDIVCR レジスタと SCKDIVCR2 レジスタで、内部クロック分周比を設定します。
8	システムクロックソース切り替え(注3)	SCKCR レジスタで、システムクロックソースを切り替えます。 クロックソースの発振が安定していることを確認してからシステムクロックソースを切り替えてください。
9	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
10	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 0 にします。
11	終了	システムクロックの周波数は速くなります。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。
注 3. システムクロックソースを変更しない場合、設定は必要ありません。
注 4. システムクロックソースとして選択された PLL の周波数を変更する場合、システムクロックソースを別のクロックソースに変更し、PLL を停止したうえで PLL の設定を変更する必要があります。

システムクロックソースとして PLL1 を選択した場合、手順 8 で、さらに手順を行う必要があります。この追加手順については、図 9.15 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。



注 1. PLL をすでに選択している場合は、SCKCR を設定しないでください。
注 2. DCDC モード時は 30 μs、外部 VDD モード時は 10 μs

図 9.15 システムクロック設定の追加フロー（システムクロックソースおよび CPUCLK0 として PLL を使用し周波数を高速化する場合）

9.11.1.3 システムクロック設定による周波数低速化

表 9.9 に、現在使用中のシステムクロック周波数を低速化する際の設定手順例を示します。

表 9.9 使用中のシステムクロック周波数を低速化する際の設定手順例 (1/2)

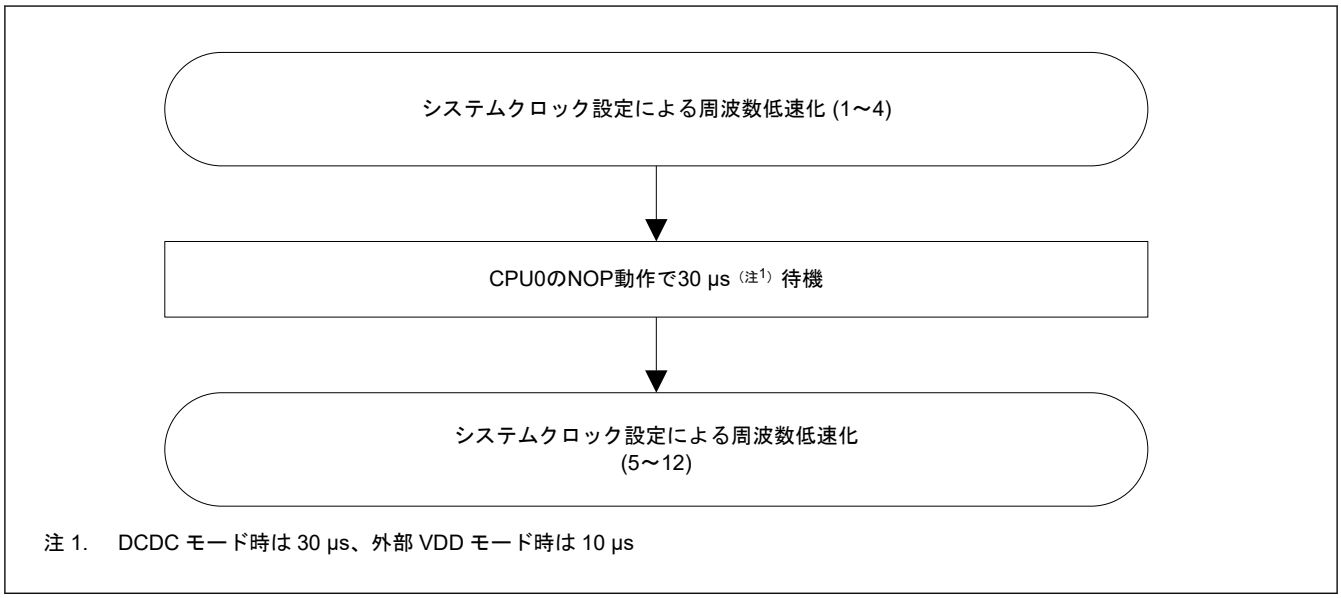
番号	手順	説明
1	開始	
2	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は「11. 低消費電力モード」を参照してください。
4	クロックソース発振設定(注3)	システムクロックソースへ切り替えるクロックソースの発振を設定します。(注4)
5	内部クロック分周比設定	次の手順でシステムクロックソースを切り替えた際、周波数が電気的特性の範囲を超えないように、以下の設定をします。 ● 内部クロック分周比を、現在の分周比よりも大きく設定します。 ● システムクロックソースを切り替えた後に周波数が現在より遅くなるよう、内部クロック分周比を設定します。(注3)
6	システムクロックソース切り替え(注3)	SCKCR レジスタで、システムクロックソースを切り替えます。 クロックソースの発振が安定していることを確認してからシステムクロックソースを切り替えてください。
7	内部クロック分周比再設定	システムクロックソース切り替え後の周波数に応じて、SCKDIVCR レジスタと SCKDIVCR2 レジスタで内部クロック分周比を再設定します。
8	電圧スケーリング設定	システムクロック切り替え後の各クロックの周波数に応じて、VDD の適切なターゲット電圧を設定します。詳細は、「11. 低消費電力モード」を参照してください。

表 9.9　使用中のシステムクロック周波数を低速化する際の設定手順例 (2/2)

番号	手順	説明
9	MRAM および SRAM ウェイトサイクル設定	システムクロック (ICLK)、MRICLK、および MRPCLK を設定後、動作周波数に応じて MRAM および SRAM の適切なアクセスウェイト数を設定します。 詳細は、「59. MRAM」および「58. SRAM」を参照してください。
10	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
11	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 0 にします。
12	終了	システムクロックの周波数は低くなります。

注 1.　動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2.　動作電力制御モードを変更しない場合、設定は必要ありません。
注 3.　システムクロックソースを変更しない場合、設定は必要ありません。
注 4.　システムクロックソースとして選択された PLL の周波数を変更する場合、システムクロックソースを別のクロックソースに変更し、PLL を停止したうえで PLL の設定を変更する必要があります。

システムクロックソースとして PLL1 を選択してからシステムクロックソースを切り替える場合、手順 5 の前にさらに手順を行う必要があります。この追加手順については、図 9.16 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。



注 1.　DCDC モード時は 30 µs、外部 VDD モード時は 10 µs

図 9.16　システムクロック設定の追加フロー（システムクロックソースおよび CPUCLK0 として PLL を使用し周波数を低速化する場合）

9.11.2　周辺モジュール専用クロックの設定

ここでは、周辺モジュールで使用する動作クロックの設定手順について説明します。対象のクロックを以下に示します。SCICLK、SPICLK、OCTACLK、CANFDCLK、USBCLK、USB60CLK、ADCCLK、GPTCLK、I3CCLK、BCLKA、ESWCLK、ESWPHYCLK、および ETHPHYCLK。

9.11.2.1　周辺モジュール専用クロックの初期設定

表 9.10 に周辺モジュールの初期クロック設定手順の例を示します。

表 9.10　周辺モジュールの動作クロック設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後） (1/2)

番号	手順	説明
1	開始	リセット解除後／ディープソフトウェアスタンバイモード解除後 （システムクロックソースとして MOCO を選択）
2	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。

表 9.10　周辺モジュールの動作クロック設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後） (2/2)

番号	手順	説明
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は「11. 低消費電力モード」を参照してください。
4	CKSREQ 設定と CKSRDY 設定待機	各 CKCR レジスタの CKSREQ ビットに 1 を書き込みます。 各 CKCR レジスタの CKSRDY ビットが 1 になるまでポーリングを行います。 CKSRDY が 1 になると、クロック供給は停止します。
5	クロックソース発振設定	周辺モジュール専用クロックソースへ切り替えるクロックソースの発振を設定します。
6	クロック分周比設定とクロックソース切り替え	各 CKDIVCR レジスタの CKDIV[3:0]に設定値を書き込みます。 各 CKCR レジスタの CKSEL[3:0]に設定値を書き込みます。
7	CKSREQ クリアと CKSRDY クリア待機	各 CKCR レジスタの CKSREQ ビットに 0 を書き込みます。 各 CKCR レジスタの CKSRDY ビットが 0 になるまでポーリングを行います。 CKSRDY が 0 になると、クロック供給が開始します。
8	モジュールストップ制御の解除	MSTPCRn レジスタ (n = A～E) でモジュールストップ制御を解除し、周辺モジュールにクロックを供給します。
9	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
10	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
11	終了	クロック設定は完了です。 その後、周辺モジュールを設定します。

注 1.　動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2.　動作電力制御モードを変更しない場合、設定は必要ありません。

9.11.2.2　周辺モジュール専用クロックソースの変更

表 9.11 に、使用している周辺モジュールについて動作クロックのクロックソースを切り替える際の設定変更手順例を示します。

表 9.11　使用中周辺モジュールの動作クロックのクロックソース切り替え設定変更手順例

番号	手順	内容
1	開始	周辺モジュールの動作クロックを使用中です。
2	周辺モジュール停止	動作クロック変更対象の周辺モジュールの動作を停止します。
3	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
4	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1)詳細は、「11. 低消費電力モード」を参照してください。
5	CKSREQ 設定と CKSRDY 設定待機	各 CKCR レジスタの CKSREQ ビットに 1 を書き込みます。 各 CKCR レジスタの CKSRDY ビットが 1 になるまでポーリングを行います。CKSRDY が 1 になると、クロック供給は停止します。
6	クロックソース発振設定	周辺モジュール専用クロックソースへ切り替えるクロックソースの発振を設定します。
7	クロック分周比設定とクロックソース切り替え	各 CKDIVCR レジスタの CKDIV[3:0]に設定値を書き込みます。 各 CKCR レジスタの CKSEL[3:0]に設定値を書き込みます。
8	CKSREQ クリアと CKSRDY クリア待機	各 CKCR レジスタの CKSREQ ビットに 0 を書き込みます。 各 CKCR レジスタの CKSRDY ビットが 0 になるまでポーリングを行います。 CKSRDY が 0 になると、クロック供給が開始します。
9	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
10	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
11	周辺モジュール再開	動作クロックの設定変更後、その設定に従って周辺モジュールの設定を変更します。その後、周辺モジュールの動作を再開します。
12	終了	クロック設定は完了です。

注 1.　動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。

注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。

9.11.2.3 周辺モジュール専用クロック分周比の変更

表 9.12 に、使用している周辺モジュールについて動作クロックの分周比を切り替える際の設定変更手順例を示します。

表 9.12 使用中周辺モジュールの動作クロックの分周比切り替え設定変更手順例（クロックソースの変更なし）

番号	手順	説明
1	開始	周辺モジュールの動作クロックを使用中です。
2	周辺モジュール停止	動作クロック変更対象の周辺モジュールの動作を停止します。
3	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
4	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は、「11. 低消費電力モード」を参照してください。
5	クロック分周比設定	各 CKDIVCR レジスタの CKDIV[3:0]に設定値を書き込みます。
6	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
7	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
8	周辺モジュール再開	動作クロックの設定変更後、その設定に従って周辺モジュールの設定を変更します。その後、周辺モジュールの動作を再開します。
9	終了	クロック設定は完了です。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。

9.11.3 メインクロック発振器設定

表 9.13 に、メインクロック発振器の初期設定手順の例を示します。

表 9.13 メインクロック発振器の初期設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後）

番号	手順	説明
1	開始	メインクロック発振器は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットを 1 にします。
3	メインクロック発振器のモード設定	MOMCR レジスタで、次のメインクロック発振器モードを設定します。 ● 発振子またはクロック入力 ● 駆動能力
4	発振安定待機時間の設定	MOSCWTCR レジスタで、メインクロック発振器待機時間を設定します。
5	ソフトウェアスタンバイモードの発振保持設定	ソフトウェアスタンバイモードでメインクロック発振器が発振を保持する場合、MOSCSCR を設定します。
6	メインクロック発振器の動作設定	MOSCCR レジスタで、メインクロック発振器の発振開始を設定します。
7	メインクロック発振の安定待ち	OSCSF レジスタの MOSCSF ビットが 1 になるまで（発振が安定）ポーリングを行います。
8	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットを 0 にします。
9	終了	メインクロック発振器の設定を完了します。メインクロックは使用可能です。

9.11.4 サブクロック発振器設定

表 9.14 に、サブクロック発振器の初期設定手順の例を示します。

表 9.14 サブクロック発振器の初期設定手順例（VBAT パワーオンリセット解除後） (1/2)

番号	手順	説明
1	開始	サブクロック発振器は、VBAT パワーオンリセット解除後に停止します。
2	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットを 1 にします。

表 9.14 サブクロック発振器の初期設定手順例（VBAT パワーオンリセット解除後） (2/2)

番号	手順	説明
3	サブクロック発振器のモード設定	SOMCR レジスタで、次のサブクロック発振器モードを設定します。 ● 発振子またはクロック入力 ● 駆動能力
4	サブクロック発振器の動作設定	SOSCCR レジスタで、サブクロック発振器の発振開始を設定します。
5	サブクロック発振の安定待ち	サブクロック発振安定時間 (tSUBOSCWT) が経過するまで待ちます。 サブクロック発振安定時間については、「62. 電気的特性」を参照してください。
6	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットを 0 にします。
7	終了	サブクロック発振器の設定を完了します。 サブクロックは使用可能です。

9.11.5 高速オンチップオシレータの設定

9.11.5.1 HOCO クロック初期設定

表 9.15 に、HOCO の初期設定手順の例を示します。

表 9.15 HOCO 初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）（OFS1(_SEC).HOCOEN = 1、FLL なし）

番号	手順	説明
1	開始	OFS1(_SEC).HOCOEN が 1 の場合、HOCO は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	HOCO 電源確認(注1)	HOCOLDOCR レジスタのビットが以下になっていることを確認します。 ● LDOSTP ビットは 0（LDO が有効）
4	HOCO 周波数設定	HOCOCR2 レジスタで、HOCO 周波数を設定します。
5	ソフトウェアスタンバイモードの発振保持設定	HOCO がソフトウェアスタンバイモードで発振を保持する場合、以下を設定します。 ● HOCOSCR レジスタの HOCOSOKP ビット ● HOCOLDOCR レジスタの SKEEP ビット
6	HOCO 動作設定	HOCOCR レジスタで、HOCO の発振開始を設定します。
7	HOCO クロック発振安定待機	OSCSF レジスタの HOCOSF ビットが 1 になるまで（発振が安定）ポーリングを行います。
8	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
9	終了	HOCO クロックの設定は完了です。HOCO クロックは使用可能です。

注 1. HOCOLDOCR.LDOSTP ビットが 1 の場合、HOCO を動作させないでください。HOCOLDOCR.LDOSTP ビットを 1 から 0 に切り替えた場合、HOCO の電源が安定するまで待つ必要があります。HOCO 電源が安定するまでの待機時間については、「62. 電気的特性」を参照してください。

9.11.5.2 FLL 機能を使用した HOCO 設定

表 9.16 に、FLL 機能を使用した HOCO の初期設定手順の例を示します。

表 9.17 に、ソフトウェアスタンバイモード遷移と解除の際の、FLL 機能の設定フローを示します。

表 9.16 FLL 機能を使用した HOCO 設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後）(OFS1(_SEC).HOCOEN = 1) (1/2)

番号	手順	説明
1	開始	OFS1(_SEC).HOCOEN が 1 の場合、HOCO は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	HOCO 電源確認(注1)	HOCOLDOCR レジスタのビットが以下になっていることを確認します。 ● LDOSTP ビットは 0（LDO が有効）

表 9.16 FLL 機能を使用した HOCO 設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後）(OFS1(_SEC).HOCOEN = 1) (2/2)

番号	手順	説明
4	HOCO 周波数設定	HOCOCR2 レジスタで、HOCO 周波数を設定します。
5	FLL 機能有効設定(注2)	FLLCR2 レジスタで、FLL 逓倍制御を設定します。 FLLCR1 レジスタで、FLL 機能を有効に設定します。
6	HOCO 動作設定	HOCOCR レジスタで、HOCO の発振開始を設定します。
7	HOCO クロック発振安定待機	OSCSF レジスタの HOCOSF ビットが 1 になるまで（発振が安定）ポーリングを行います。
8	FLL 安定待機	FLL 安定待機時間 (t_{FLLWT}) が経過するまで待ちます。あるいは、HOCO クロックの測定により周波数精度が安定していることを確認できるまで待ちます。
9	HOCO 安定確認	OSCSF レジスタの HOCOSF ビットが 1 になることを確認します。
10	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
11	終了	FLL 設定は完了です。HOCO クロックは使用可能です。

注 1. HOCOLDOCR.LDOSTP ビットが 1 の場合、HOCO を動作させないでください。
HOCOLDOCR.LDOSTP ビットを 1 から 0 に切り替えた場合、HOCO の電源が安定するまで待つ必要があります。HOCO 電源が安定するまでの待機時間については、「62. 電気的特性」を参照してください。
注 2. サブクロック発振器は、安定して発振していなければなりません。

表 9.17 ソフトウェアスタンバイモード遷移と解除の際の FLL 機能設定フロー

番号	手順	説明
1	開始	FLL が有効で HOCO は動作中です。
2	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	HOCO 停止(注1)	HOCOCR レジスタで、HOCO を停止します。
4	FLL 無効	FLLCR1 レジスタで、FLL 機能を無効にします。
5	WFI 命令(注2)	WFI 命令によりソフトウェアスタンバイモードへ遷移します。
6	ソフトウェアスタンバイモード(注2)	MCU は、ソフトウェアスタンバイモードです。
7	ソフトウェアスタンバイモードの解除(注2)	ソフトウェアスタンバイモードを解除します。
8	FLL 機能有効設定(注3)	FLLCR2 レジスタで、FLL 逓倍制御を設定します。 FLLCR1 レジスタで、FLL 機能を有効に設定します。
9	HOCO 動作設定	HOCOCR レジスタで、HOCO の発振開始を設定します。
10	FLL 安定待機	FLL 安定待機時間 (t_{FLLWT}) が経過するまで待ちます。あるいは、HOCO クロックの測定により周波数精度が安定していることを確認できるまで待ちます。
11	HOCO 安定確認	OSCSF レジスタの HOCOSF ビットが 1 になることを確認します。
12	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
13	終了	HOCO クロックは使用可能です。

注 1. システムクロックソースまたは PLL のクロックソースとして HOCO を使用する場合、これらのクロックソースは、HOCO が停止する前に別のクロックへ変更してください。
注 2. ソフトウェアスタンバイモードの詳細は、「11. 低消費電力モード」を参照してください。
注 3. サブクロック発振器は、安定して発振していなければなりません。

9.11.6 PLL の設定

9.11.6.1 PLL クロック初期設定

表 9.18 に、PLL の初期設定手順の例を示します。

表 9.18 PLL 初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）（PLL1 または PLL2）

番号	手順	内容
1	開始	PLL1 は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。 PLL2 は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタ書き込み保護解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。 詳細は、「11. 低消費電力モード」を参照してください。
4	PLL 電源確認(注2)	[PLL1] PLL1LDOCR レジスタのビットが以下に設定されていることを確認します。 ● LDOSTP ビットは 0（LDO が有効） [PLL2] PLL2LDOCR レジスタのビットが以下に設定されていることを確認します。 ● LDOSTP ビットは 0（LDO が有効）
5	PLL 設定	[PLL1] PLLCCR レジスタおよび PLLCCR2 レジスタで、以下の PLL1 設定を行います。 [PLL2] PLL2CCR レジスタおよび PLL2CCR2 レジスタで、以下の PLL2 設定を行います。 [設定項目] ● PLL 入力周波数分周比 ● PLL クロックソース ● 周波数逓倍率 ● 周波数小数逓倍率 ● PLL 出力周波数分周比 (P/Q/R)
6	PLL 動作設定	[PLL1] PLLCR レジスタで、PLL1 の発振開始を設定します。 [PLL2] PLL2CR レジスタで、PLL2 発振開始を設定します。
7	PLL クロック発振安定待機	[PLL1] OSCSF レジスタの PLLSF ビットが 1 になるまで（発振が安定）ポーリングを行います。 [PLL2] OSCSF レジスタの PLL2SF ビットが 1 になるまで（発振が安定）ポーリングを行います。
8	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
9	終了	PLL1 または PLL2 クロックの設定は完了です。 [PLL1] PLL1P、PLL1Q、または PLL1R クロックは使用可能です。 [PLL2] PLL2P、PLL2Q、または PLL2R クロックは使用可能です。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. PLL1LDOCR.LDOSTP ビットが 1 の場合、PLL1 を動作させないでください。
PLL1LDOCR.LDOSTP ビットを 1 から 0 に切り替えた場合、PLL1 の電源が安定するまで待つ必要があります。PLL1 電源が安定するまでの待機時間については、「62. 電気的特性」を参照してください。
PLL2LDOCR.LDOSTP ビットが 1 の場合、PLL2 を動作させないでください。
PLL2LDOCR.LDOSTP ビットを 1 から 0 に切り替えた場合、PLL2 の電源が安定するまで待つ必要があります。PLL2 電源が安定するまでの待機時間については、「62. 電気的特性」を参照してください。

9.11.6.2 PLL クロックの設定変更

表 9.19 に、PLL の初期設定手順の例を示します。

表 9.19 PLL 設定変更手順の例（PLL1 または PLL2） (1/2)

No.	手順	説明
1	開始	PLL1 は発振中かつ PLL1 クロック（PLL1P、PLL1Q、および PLL1R）を使用中です。 PLL2 は発振中かつ PLL2 クロック（PLL2P、PLL2Q、および PLL2R）を使用中です。

表 9.19 PLL 設定変更手順の例（PLL1 または PLL2） (2/2)

No.	手順	説明
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	PLL 停止(注1)	[PLL1] PLLCR レジスタで、PLL1 停止にします。 [PLL2] PLL2CR レジスタで、PLL2 停止にします。
4	PLL 設定変更	[PLL1] PLLCCR レジスタおよび PLLCCR2 レジスタで、以下の PLL1 設定を行います。 [PLL2] PLL2CCR レジスタおよび PLL2CCR2 レジスタで、以下の PLL2 設定を行います。 [設定項目] ● PLL 入力周波数分周比 ● PLL クロックソース ● 周波数逓倍率 ● 周波数小数逓倍率 ● PLL 出力周波数分周比 (P/Q/R)
5	PLL 動作設定	[PLL1] PLLCR レジスタで、PLL1 の発振開始を設定します。 [PLL2] PLL2CR レジスタで、PLL2 発振開始を設定します。
6	PLL クロック発振安定待機	[PLL1] OSCSF レジスタの PLLSF ビットが 1 になるまで（発振が安定）ポーリングを行います。 [PLL2] OSCSF レジスタの PLL2SF ビットが 1 になるまで（発振が安定）ポーリングを行います。
7	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
8	終了	PLL1 または PLL2 クロックの設定は完了です。 [PLL1] PLL1P、PLL1Q、または PLL1R クロックは使用可能です。 [PLL2] PLL2P、PLL2Q、または PLL2R クロックは使用可能です。

注 1. システムクロックソースとして PLL1P クロックを使用する場合、PLL1 が停止する前に、システムクロックソースを別のクロックソースに変更する必要があります。

9.12 使用上の注意

9.12.1 クロック発生回路に関する注意事項

各モジュールへ供給される以下のクロックの周波数は、SCKDIVCR および SCKDIVCR2 レジスタの設定に応じて変わります。

- CPU0 クロック (CPUCLK0)
- CPU1 クロック (CPUCLK1)
- MRAM コードバスクロック (MRICLK)
- システムクロック (ICLK)
- 周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE）
- MRAM 周辺バスクロック (MRPCLK)
- 外部バスクロック (BCLK)

各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 特性で規定される動作周波数 (f) の動作保証範囲内に収まるように選択すること。「62. 電気的特性」を参照してください。
- 各クロックは、表 9.2 に従って設定してください。

- 外部バスアクセス中は、クロック周波数を変更しないでください。またクロック周波数の変更後に外部バスアクセスを開始する場合は、周波数変更が完了したことを確認してから外部バスアクセスを開始するようにしてください。

クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタに書き込んで周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

9.12.2 発振子に関する制限

発振子の特性はユーザーのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 9.5 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。回路定数を決定する際は、常に発振子メーカと相談してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.12.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 9.17 に示すように、発振回路の近くには他の信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。図 9.17 に、メインクロック発振器を使用した場合を示します。サブクロック発振器を使用した場合も図 9.17 と同様です。

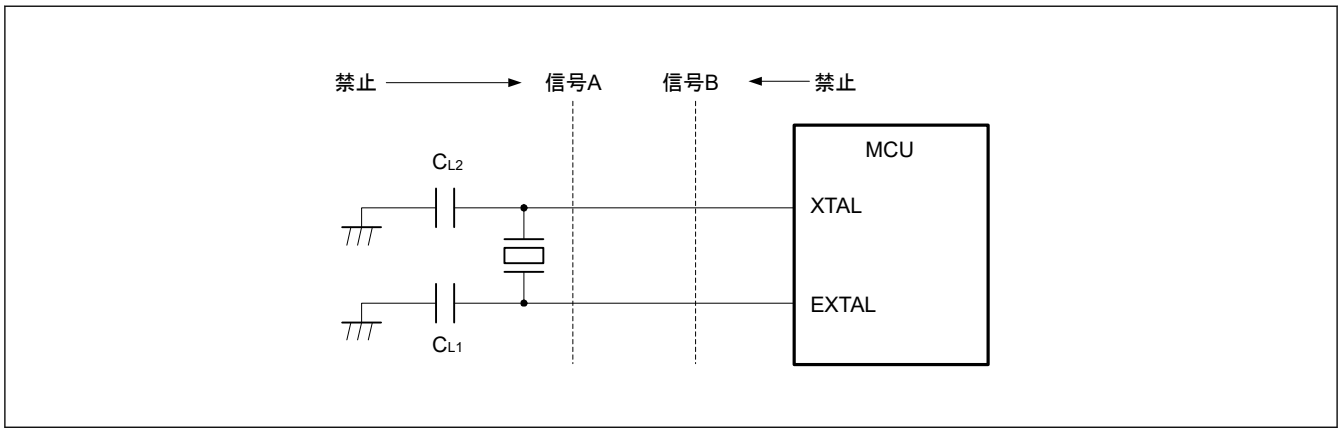


図 9.17 発振回路部のボード設計に関する信号のルーティング

9.12.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポートとして使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる（MOSCCR.MOSTP ビットを 1 にする）必要があります。

サブクロックを使用しない場合、XCIN 端子と XCOUT 端子は、汎用ポートとして使用可能です。これらの端子を汎用ポートとして使用する場合は、サブクロックを停止させる（SOSCCR.SOSTP ビットを 1 にする）必要があります。

9.12.5 サブクロック発振器使用時の注意事項

P212 (EXTAL)、P213 (XTAL)、P408（BGA-289pin の場合）、および P415（BGA-224pin の場合）端子の出力は、サブクロック発振器の発振に影響を及ぼす可能性があります。

サブクロック発振器を使用する場合、発振に影響しないようボードを設計してください。P212 (EXTAL)、P213 (XTAL)、P408（BGA-289pin の場合）、および P415（BGA-224pin の場合）端子を出力端子として使用し、かつサブクロック発振器を使用する場合は、PmnPFS.DSCR[1:0]ビットを 00b または 01b に設定することを強く推奨します。

さらに、P212 (EXTAL)、P213 (XTAL)、P408（BGA 289 ピン用）、および P415（BGA 224 ピン用）端子を出力端子として使用し、かつサブクロック発振器を低消費電力モード駆動能力（SOMCR.SODRV[1:0] = 01b、10b、および 11b）で使用する場合、PmnPFS.DSCR[1:0]ビットを 00b に設定することを推奨します。

9.12.6 SOSC および LOCO のリセット条件に関する注意事項

RTC はいかなるリセット要因でも初期化されません。

SOSC と LOCO は RTC のクロックソースとして選択可能です。以下に、リセット発生時の SOSC と LOCO の状態を示します。

表 9.20 SOSC のリセット動作

クロックソース	項目	リセット要因	
		VBATT_POR リセット	その他
SOSC	有効／無効 駆動能力	初期化（有効）	リセット発生前の状態が継続

表 9.21 LOCO のリセット動作

クロックソース	項目	リセット要因	
		パワーオンリセット／電圧監視 0、4、5 リセット／コア電圧監視リセット／ディープソフトウェアスタンバイ 2、3 リセット	その他
LOCO	有効／無効	初期化（有効）	
	発振精度(注1)	初期化（LOCOUTCR による調整前の精度（精度：±15%））	LOCOUTCR レジスタにより調整された精度を継続

注 1. LOCOUTCR レジスタにより調整された LOCO が RTC ソースクロックとして選択される場合、LOCO 発振精度が、パワーオンリセット、電圧監視 0、4、5 リセット、コア電圧監視リセット、およびディープソフトウェアスタンバイ 2、3 リセットによって初期化されることに注意してください。

リセットが解除されると、リセット例外処理を開始します。

リセット例外処理の詳細については、「6. リセット」を参照してください。

10. クロック周波数精度測定回路 (CAC)

10.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を、表 10.2 に CAC の入出力端子を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 • メインクロック発振器 (CACMCLK) • サブクロック発振器 (CACSCLK) • HOCO クロック (CACHCLK) • MOCO クロック (CACMOCLK) • LOCO クロック (CACLCLK) • 周辺モジュールクロック B (PCLKB)
測定基準クロック	以下のクロックの周波数を測定基準とすることが可能 • CACREF 端子への外部クロック入力 • メインクロック発振器 (CACMCLK) • サブクロック発振器 (CACSCLK) • HOCO クロック (CACHCLK) • MOCO クロック (CACMOCLK) • LOCO クロック (CACLCLK) • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	• 測定終了割り込み • 周波数エラー割り込み • オーバーフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能
TrustZone フィルタ	セキュリティおよびプリビレッジ属性を設定可能

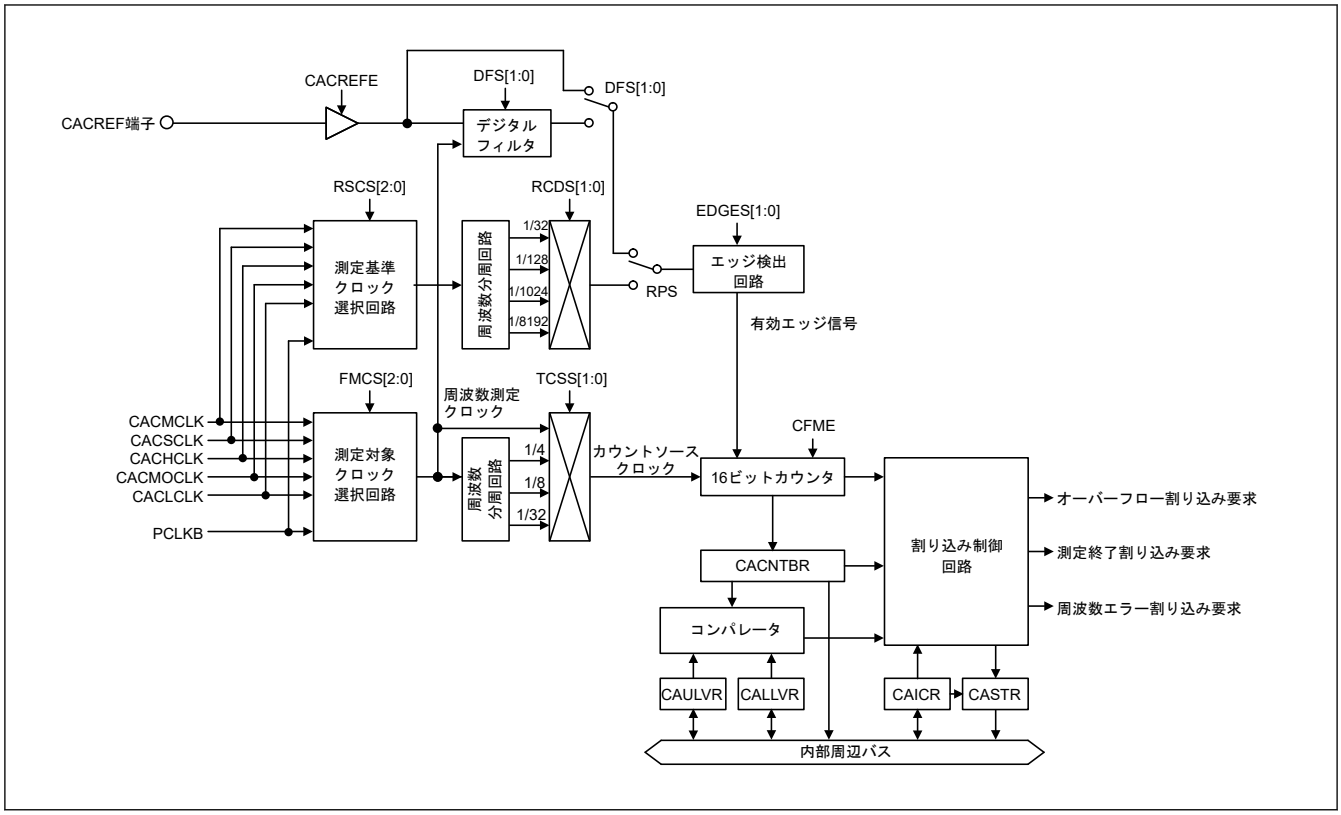


図 10.1　CAC のブロック図

表 10.2　CAC の入出力端子

機能	端子名	入出力	内容
CAC	CACREF	入力	測定基準クロックの入力端子

10.2　レジスタの説明

10.2.1　CACR0 : CAC コントロールレジスタ 0

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFME
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFME	クロック周波数測定有効 0: クロック周波数測定無効 1: クロック周波数測定有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE3, P-TYPE3

CFME ビット（クロック周波数測定有効）

CFME ビットはクロック周波数の測定機能が有効か無効かを設定します。このビットを書き換える場合、変更が内部回路に反映されるまでにはある程度時間を要します。内部回路に前回の値が反映されていないときにこのビットを書き換える場合、書き込みは無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CACR1 : CAC コントロールレジスタ 1

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EDGES[1:0]		TCSS[1:0]		FMCS[2:0]			CACREFE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CACREFE	CACREF 端子入力有効 0: CACREF 端子入力無効 1: CACREF 端子入力有効	R/W
3:1	FMCS[2:0]	測定対象クロック選択 0 0 0: メインクロック発振器 (CACMCLK) 0 0 1: サブクロック発振器 (CACSCLK) 0 1 0: HOCO クロック (CACHCLK) 0 1 1: MOCO クロック (CACMOCLK) 1 0 0: LOCO クロック (CACLCLK) 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
5:4	TCSS[1:0]	タイマカウントクロックソース選択 0 0: 分周なしクロック 0 1: × 4 分周クロック 1 0: × 8 分周クロック 1 1: × 32 分周クロック	R/W
7:6	EDGES[1:0]	有効エッジ選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 立ち上がり／立ち下がり両エッジ 1 1: 設定禁止	R/W

注. S-TYPE3, P-TYPE3
注. CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

CACREFE ビット（CACREF 端子入力有効）

CACREFE ビットは、CACREF 端子からの入力が有効か無効かを設定します。

FMCS[2:0]ビット（測定対象クロック選択）

FMCS[2:0]ビットは、周波数を測定する測定対象クロックを選択します。

TCSS[1:0]ビット（タイマカウントクロックソース選択）

TCSS[1:0]ビットは、測定対象クロックの分周比を選択します。

EDGES[1:0]ビット（有効エッジ選択）

EDGES[1:0]ビットは、測定基準クロックの有効エッジを選択します。

10.2.3 CACR2 : CAC コントロールレジスタ 2

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DFS[1:0]		RCDS[1:0]		RSCS[2:0]			RPS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPS	基準信号選択 0: CACREF 端子入力 1: 内部クロック（内部生成信号）	R/W
3:1	RSCS[2:0]	測定基準クロック選択 0 0 0: メインクロック発振器 (CACMCLK) 0 0 1: サブクロック発振器 (CACSCLK) 0 1 0: HOCO クロック (CACHCLK) 0 1 1: MOCO クロック (CACMOCLK) 1 0 0: LOCO クロック (CACLCLK) 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
5:4	RCDS[1:0]	測定基準クロック分周比選択 0 0: × 32 分周クロック 0 1: × 128 分周クロック 1 0: × 1024 分周クロック 1 1: × 8192 分周クロック	R/W
7:6	DFS[1:0]	デジタルフィルタ機能選択 0 0: デジタルフィルタ機能無効 0 1: 測定対象クロックでサンプリング 1 0: 測定対象クロックの 4 分周でサンプリング 1 1: 測定対象クロックの 16 分周でサンプリング	R/W

注. S-TYPE3, P-TYPE3
注. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット（基準信号選択）

RPS ビットは、エッジ検出回路への入力として CACREF 端子入力か内部クロックから生成した内部生成信号のどちらを使用するか選択します。

RSCS[2:0]ビット（測定基準クロック選択）

RSCS[2:0]ビットは、測定基準クロックを選択します。

RCDS[1:0]ビット（測定基準クロック分周比選択）

RCDS[1:0]ビットは、測定基準クロックとして内部クロックが選択されている場合、測定基準クロックの分周比を選択します。RPS = 0 （CACREF 端子入力が測定基準クロックとして使用）の場合、測定基準クロックは分周されません。

DFS[1:0]ビット（デジタルフィルタ機能選択）

DFS[1:0]ビットは、デジタルフィルタのサンプリングクロックを選択します。

10.2.4 CAICR : CAC 割り込み要求許可レジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	OVFFCL	MENDFCL	FERRFCL	—	OVFIE	MENDIE	FERRIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRIE	周波数エラー割り込み要求許可 0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
1	MENDIE	測定終了割り込み要求許可 0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W
2	OVFIE	オーバーフロー割り込み要求許可 0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	FERRFCL	FERRF フラグクリア 0: 影響なし 1: CASTR.FERRF フラグをクリアします。	W
5	MENDFCL	MENDF フラグクリア 0: 影響なし 1: CASTR.MENDF フラグをクリアします。	W
6	OVFFCL	OVFF フラグクリア 0: 影響なし 1: CASTR.OVFF フラグをクリアします。	W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

FERRIE ビット（周波数エラー割り込み要求許可）

FERRIE ビットは、周波数エラー割り込み要求の許可または禁止を設定します。

MENDIE ビット（測定終了割り込み要求許可）

MENDIE ビットは、測定終了割り込み要求の許可または禁止を設定します

OVFIE ビット（オーバーフロー割り込み要求許可）

OVFIE ビットは、オーバーフロー割り込み要求の許可または禁止を設定します。

FERRFCL ビット（FERRF フラグクリア）

FERRFCL ビットは、1 を書くと CASTR.FERRF フラグをクリアします。

MENDFCL ビット（MENDF フラグクリア）

MENDFCL ビットは、1 を書くと CASTR.MENDF フラグをクリアします。

OVFFCL ビット（OVFF フラグクリア）

OVFFCL ビットは、1 を書くと CASTR.OVFF フラグをクリアします。

10.2.5 CASTR : CAC ステータスレジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OVFF	MENDF	FERRF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRF	周波数エラーフラグ 0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた（周波数エラー）	R
1	MENDF	測定終了フラグ 0: 測定中 1: 測定が終了	R
2	OVFF	オーバーフローフラグ 0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
7:3	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

FERRF フラグ（周波数エラーフラグ）

FERRF フラグは測定クロックのカウント値が設定値を外れた（周波数エラー）ことを示します。

[1 になる条件]

- 測定クロックのカウント値が設定値を外れたとき

[0 になる条件]

- CAICR.FERRFCL ビットに 1 を書き込んだとき

MENDF フラグ（測定終了フラグ）

MENDF フラグは測定が終了したことを示します。

[1 になる条件]

- 測定終了したとき

[0 になる条件]

- CAICR.MENDFCL ビットに 1 を書き込んだとき

OVFF フラグ（オーバーフローフラグ）

OVFF フラグはカウンタがオーバーフローしたことを示します。

[1 になる条件]

- カウンタがオーバーフローしたとき

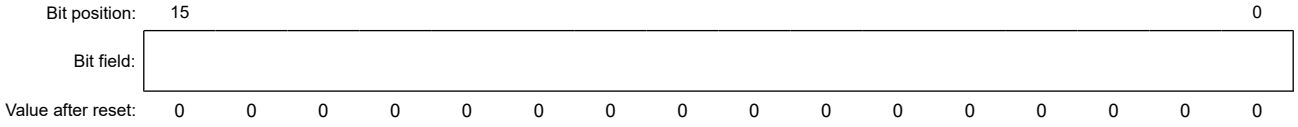
[0 になる条件]

- CAICR.OVFFCL ビットに 1 を書き込んだとき

10.2.6 CAULVR : CAC 上限値設定レジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x06



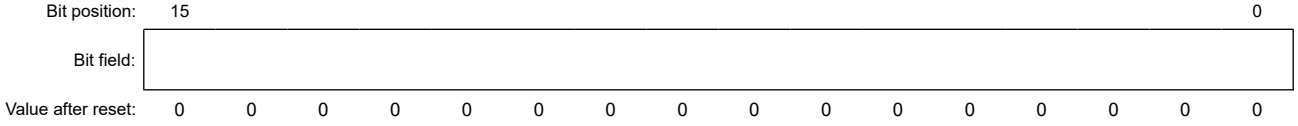
ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の上限値 CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

注. S-TYPE3, P-TYPE3

10.2.7 CALLVR : CAC 下限値設定レジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x08



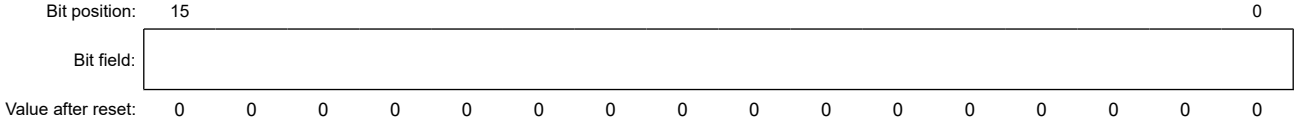
ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の下限値 CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

注. S-TYPE3, P-TYPE3

10.2.8 CACNTBR : CAC カウンタバッファレジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x0A



ビット	シンボル	機能	R/W
15:0	n/a	測定結果 CACNTBR レジスタは測定基準クロックの有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。	R

注. S-TYPE3, P-TYPE3

10.3 動作説明

10.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。 図 10.2 に CAC の動作例を示します。CAC は、クロック周波数測定時、以下のように動作します。

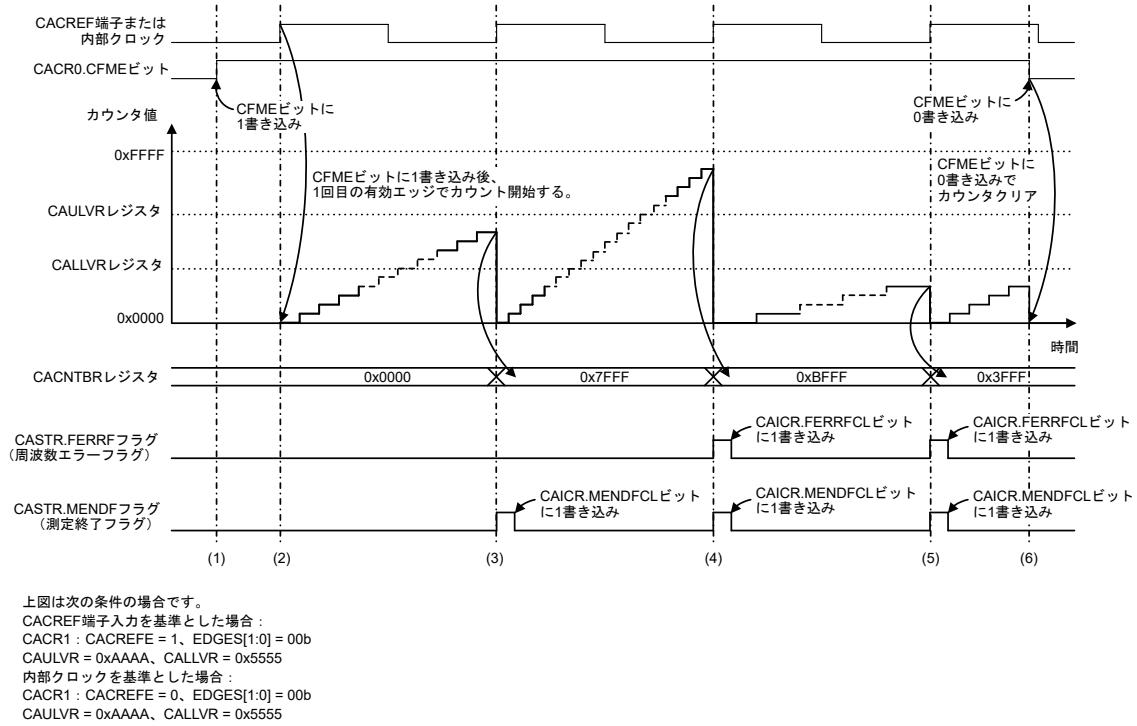


図 10.2 CAC の動作例

図 10.2 におけるイベントは以下の通りです。

1. CACREF 端子入力を基準とした場合 (CACR1.CACREFE = 1) は、CACR2.RPS ビットを 0、CACR1.CACREFE ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。一方、内部クロックを基準とした場合 (CACR1.CACREFE = 0) は、CACR2.RPS ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。
2. CACREF 端子入力を基準とした場合は、CFME ビットに 1 を書き込み後、CACREF 端子から CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。内部クロックを基準とした場合は、CFME ビットに 1 を書き込み後、CACR2.RSCS[2:0]ビットで選択したクロックソースを元に CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 ≦ CAULVR レジスタの値かつ CACNTBR レジスタの値 ≧ CALLVR レジスタの値のときはクロック周波数が正常なので CASTR.MENDF フラグだけが 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 > CAULVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設

定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。

5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値＜CALLVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
6. CACR0.CFME ビットが 1 の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

カウント値誤差 = (カウントソースクロック1周期) / (サンプリングクロック1周期)

10.4 割り込み要求

CAC が要求する割り込み要因には次の 3 種類があります。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

各割り込み要因が発生すると各ステータスフラグが 1 にセットされます。 表 10.3 に CAC 割り込み要求を示します。

表 10.3 CAC 割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタ値を CAULVR レジスタ値および CALLVR レジスタ値と比較をした結果が、CACNTBR レジスタ値> CAULVR レジスタ値または CACNTBR レジスタ値< CALLVR レジスタ値のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	• 測定基準クロックの有効エッジが入力されたとき • ただし、CACR0.CFME ビットを 1 に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止／許可を設定することが可能です。リセット後の値では、CAC は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

11. 低消費電力モード

11.1 概要

本 MCU には電力消費を低減するためのさまざまな機能があります。たとえば、クロック分周器の設定、EBCLK 出力制御、SDCLK 出力制御、モジュールストップ設定、パワーゲーティング制御、動作電力制御モード選択、低消費電力モードへの遷移などがあります。

表 11.1 に、電力消費を低減するための各機能の仕様を示します。表 11.2～表 11.4 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、モジュールは動作しません（DMAC、DTC、および SRAM を除く）。

表 11.1 低消費電力モード機能の仕様

項目	仕様
クロックの切り替えによる消費電力の低減	システムクロック、周辺モジュールクロック、外部バスクロック、MRAM インタフェースクロックの各クロックとは関係なく周波数分周比の選択が可能(注1)
EBCLK 出力制御	BCLK 出力または High 出力の選択が可能
SDCLK 出力制御	SDCLK 出力または High 出力の選択が可能
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
パワーゲーティング制御	この機能は電源ドメインの電源状態を制御できます。 • 電源ドメインの ON/OFF を制御 • パワーゲーティング時の特定回路の保持を制御
プロセッサ低消費電力モード	• CPU スリープモード • CPU ディープスリープモード
低消費電力モード	• ソフトウェアスタンバイモード(注2) • ディープソフトウェアスタンバイモード 1/2/3(注2)

注 1. 詳細は、「9. クロック発生回路」を参照してください。
注 2. このモードは外部 VDD モードではサポートされていません。

表 11.2 プロセッサ低消費電力モードの動作状態 (1/2)

項目	CPUn スリープモード		CPUn ディープスリープモード	
	n = 0 (CPU0)	n = 1 (CPU1)	n = 0 (CPU0)	n = 1 (CPU1)
遷移条件	CPU0.SCR.SLEEPDEEP = 0 設定後の［条件 1］または［条件 2］の場合 ［条件 1］ • WFI または WFE 命令 • 有効な割り込み要求が CPU で受け付けされない(注5) （WFI 命令実行時からスリープモードへの遷移完了時への遷移を含む） • CPU1 からのイベントなし ［条件 2］ • CPU0.SCR.SLEEPONEXIT = 1 • すべての例外ハンドラの実行を完了 • 有効な割り込み要求が CPU で受け付けされない(注5) （WFI 命令実行時からスリープモードへの遷移完了時への遷移を含む） • CPU1 からのイベントなし	CPU1.SCR.SLEEPDEEP = 0 設定後の［条件 1］または［条件 2］の場合 ［条件 1］ • WFI または WFE 命令 • 有効な割り込み要求が CPU で受け付けされない(注5) （WFI 命令実行時からスリープモードへの遷移完了時への遷移を含む） • CPU0 からのイベントなし ［条件 2］ • CPU1.SCR.SLEEPONEXIT = 1 • すべての例外ハンドラの実行を完了 • 有効な割り込み要求が CPU で受け付けされない(注5) （WFI 命令実行時からスリープモードへの遷移完了時への遷移を含む） • CPU0 からのイベントなし	CPU0.SCR.SLEEPDEEP = 1 設定後の［条件 1］または［条件 2］の場合 ［条件 1］ • WFI 命令 • 有効な割り込み要求が CPU で受け付けされない(注5) （WFI 命令実行時からディープスリープモードへの遷移完了時への遷移を含む） ［条件 2］ • CPU0.SCR.SLEEPONEXIT = 1 • すべての例外ハンドラの実行を完了 • 有効な割り込み要求が CPU で受け付けされない(注5) （WFI 命令実行時からディープスリープモードへの遷移完了時への遷移を含む）	CPU1.SCR.SLEEPDEEP = 1 設定後の［条件 1］または［条件 2］の場合 ［条件 1］ • WFI 命令 • 有効な割り込み要求が CPU で受け付けされない(注5) （WFI 命令実行時からディープスリープモードへの遷移完了時への遷移を含む） ［条件 2］ • CPU1.SCR.SLEEPONEXIT = 1 • すべての例外ハンドラの実行を完了 • 有効な割り込み要求が CPU で受け付けされない(注5) （WFI 命令実行時からディープスリープモードへの遷移完了時への遷移を含む）

表 11.2 プロセッサ低消費電力モードの動作状態 (2/2)

項目	CPUn スリープモード		CPUn ディープスリープモード	
	n = 0 (CPU0)	n = 1 (CPU1)	n = 0 (CPU0)	n = 1 (CPU1)
解除方法	すべての割り込み。 このモードで利用可能なすべてのリセット。	すべての割り込み。 このモードで利用可能なすべてのリセット。	表 14.5 に示す割り込み このモードで利用可能なすべてのリセット。	表 14.5 に示す割り込み このモードで利用可能なすべてのリセット。
割り込みによる解除後の状態	プログラム実行状態	プログラム実行状態	プログラム実行状態	プログラム実行状態
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態	リセット状態
CPU0	停止（保持）	—	停止（保持）	—
CPU0 TCM (SRAM)	—	—	停止（保持）(注4)	—
DMA コントローラ 0 (DMAC0)	選択可能	—	選択可能	—
データトランスファコントローラ 0 (DTC0)	選択可能	—	選択可能	—
ウォッチドッグタイマ 0 (WDT0)	選択可能(注1)	—	選択可能(注1)	—
CPU1	—	停止（保持）	—	停止（保持）
DMA コントローラ 1 (DMAC1)	—	選択可能	—	選択可能
データトランスファコントローラ 1 (DTC)	—	選択可能	—	選択可能
ウォッチドッグタイマ 1 (WDT1)	—	選択可能(注1)	—	選択可能(注1)
独立ウォッチドッグタイマ (IWDT)	選択可能(注1)	選択可能(注1)	選択可能(注1)	選択可能(注1)
ARM デバッグ機能	停止(注2)	停止(注2)	停止(注2)	停止(注2)
トレース機能	停止(注3)	停止(注3)	停止(注3)	停止(注3)
その他の周辺モジュール	—	—	—	—

注. 「選択可能」とは、プロセッサ低消費電力モードへの遷移前に動作／停止がコントロールレジスタの設定によって選択できることを意味します。
「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。
「—」は動作に影響がないことを意味します。

注 1. IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 の IWDT 停止制御ビット (OFS0.IWDTSTPCTL) の設定により、動作／停止を選択することができます。また、IWDT レジスタスタートモード時、IWDT.IWDTCSTPR.SLCSTP ビットの設定により動作／停止を選択することができます。
WDT の場合、WDT オートスタートモード時、オプション機能選択レジスタ 0 の WDT 停止制御ビット (OFS0.WDTSTPCTL) の設定により、動作／停止を選択することができます。また、WDT レジスタスタートモード時、WDT.WDTCSTPR.SLCSTP ビットの設定により動作／停止を選択することができます。

注 2. このモードに遷移する前にデバッガが接続中（DBGSTR.CDBGPWRUPREQ = 1 かつ SYOCDCR.DBGEN = 1）の場合、この機能は動作中です。

注 3. このモードに遷移する前にデバッガが接続中（DBGSTR.CDBGPWRUPREQ = 1 かつ SYOCDCR.DBGEN = 1）で、かつ TRCKCR.TRCKEN = 1 の場合、この機能は動作中です。

注 4. PDRAMSCR1.RKEEP0 ビットを 0 にすると、CPU0 TCM の内容は保持されません。

注 5. 有効な割り込み要求は、現在の例外の優先レベルおよび BASEPRI によって設定された優先レベルによりマスクされていない、任意の割り込み／例外です。さらに、割り込み要求が IELSRn に基づいている場合、その割り込みは NVIC_ISERn により許可されなければなりません。

表 11.3 各低消費電力モードの動作状態 (1/2)

項目	ソフトウェアスタンバイモード (SSTBY)	ディープソフトウェアスタンバイモード (DSTBY)		
	SSTBY	DSTBY 1	DSTBY 2	DSTBY 3
遷移条件	LPSCR および CPUn.SCR.SLEEPDEEP = 1 (n = 0, 1) 設定後の［条件 1］または［条件 2］の場合 ［条件 1］ ● WFI 命令 ● 有効な割り込み要求が CPU で受け付けされない(注24) （WFI 命令実行時からソフトウェアスタンバイモードへの遷移完了時への遷移を含む） ［条件 2］ ● CPUn.SCR.SLEEPONEXIT = 1 ● すべての例外ハンドラの実行を完了 ● 有効な割り込み要求が CPU で受け付けされない(注24) （WFI 命令実行時からソフトウェアスタンバイモードへの遷移完了時への遷移を含む）	LPSCR および CPUn.SCR.SLEEPDEEP = 1 (n = 0, 1) 設定後の［条件 1］または［条件 2］の場合 ［条件 1］ ● WFI 命令 ● 有効な割り込み要求が CPU で受け付けされない(注24) （WFI 命令実行時からソフトウェアスタンバイモードへの遷移完了時への遷移を含む） ［条件 2］ ● CPUn.SCR.SLEEPONEXIT = 1 ● すべての例外ハンドラの実行を完了 ● 有効な割り込み要求が CPU で受け付けされない(注24) （WFI 命令実行時からソフトウェアスタンバイモードへの遷移完了時への遷移を含む）		
解除方法	表 11.4 に示す割り込み。 このモードで利用可能なすべてのリセット。	表 11.4 に示す割り込み。 このモードで利用可能なすべてのリセット。		
割り込みによる解除後の状態	プログラム実行状態	リセット状態		
リセットによる解除後の状態	リセット状態	リセット状態		
メインクロック発振器	選択可能(注10)	停止		
サブクロック発振器	選択可能	選択可能		
高速オンチップオシレータ	選択可能(注11)	停止		
中速オンチップオシレータ	選択可能(注18)	停止(注18)		
低速オンチップオシレータ	選択可能(注2)	選択可能(注2)	停止	
PLL1	停止	停止		
PLL2	停止	停止		
発振停止検出機能	選択可能(注12)	停止		
サブクロック発振器停止検出機能	選択可能	選択可能		
クロック／ブザー出力機能	選択可能(注3)	停止（不定）		
外部バス (EBCLK)	停止（保持）	停止（保持）		
CPU	停止（保持）	停止（不定）		
TCM (SRAM)	停止（保持）(注14)	停止（不定）		
ユーザー SRAM	停止（保持）(注13)	停止（不定）		
バックアップレジスタ	停止（保持）	停止（保持）		
MRAM	停止（保持）	停止（保持）		
独立ウォッチドッグタイマ (IWDT)	選択可能(注1)	選択可能(注1)	停止（不定）	
ARM デバッグ機能	停止(注15)	停止(注15)		
トレース機能	停止(注16)	停止(注16)		

表 11.3 各低消費電力モードの動作状態 (2/2)

項目	ソフトウェアスタンバイモード (SSTBY)	ディープソフトウェアスタンバイモード (DSTBY)		
	SSTBY	DSTBY 1	DSTBY 2	DSTBY 3
レイヤ 3 イーサネットスイッチモジュール (ESWM)	停止（不定）	停止（不定）		
USB 2.0 フルスピード (USBFS)	停止（保持）(注22) USB レジューム検出は可能	停止（保持） USB レジューム検出は可能	停止（不定）	
USB2.0 ハイスピードモジュール (USBHS)	停止（保持）(注22) USB レジューム検出は可能	停止（保持） USB レジューム検出は可能	停止（不定）	
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能(注4)	
CAN フレキシブルデータレート (CANFD)	停止（不定）	停止（不定）		
SD/MMC ホストインタフェース (SDHI)	停止（不定）	停止（不定）		
超低消費電力タイマ (ULPT)	選択可能	選択可能	停止（不定）	
非同期汎用タイマ (AGT)	選択可能(注5)	停止（不定）		
I2C バスインタフェース (IIC0)	選択可能(注6)	停止（不定）		
I2C バスインタフェース (IICn, n ≧ 1)	停止（保持）	停止（不定）		
I3C バスインタフェース (I3C)	選択可能(注21)	停止（不定）		
キャプチャエンジンユニット (CEU)	停止（保持）(注23)	停止（不定）		
12 ビット D/A コンバータ (DAC12)	選択可能	選択可能		
温度センサ (TSN)	選択可能(注20)	選択可能(注20)		
高速アナログコンパレータ 0 (ACMPHS0)	選択可能	停止（不定）		
高速アナログコンパレータ n (ACMPHSn, n ≧ 1)	選択可能(注19)	停止（不定）		
パルス密度モジュレータインタフェース (PDMIF)	選択可能	停止（不定）		
IRQn (n ≧ 0) 端子割り込み	選択可能	停止（不定）		
NMI、IRQn-DS (n ≧ 0) 端子割り込み	選択可能	選択可能		
プログラマブル電圧検出 (PVD)	選択可能	選択可能(注7)	選択可能(注7)	停止（不定）(注7)
VBATT の VCC 電圧降下検出	選択可能	選択可能(注17)	選択可能(注17)	停止（不定）
パワーオンリセット回路	動作	動作	動作	動作(注8)
CVM リセット回路	選択可能	停止	停止	停止
その他の周辺モジュール	停止（保持）	停止（不定）		
I/O ポート	保持(注9)	保持(注9)		

注. 「**選択可能**」とは、低消費電力モードへの遷移前に動作／停止がコントロールレジスタの設定によって選択できることを意味します。
「**停止（保持）**」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。

「**停止（不定）**」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。各低消費電力モードの解除前に、内部レジスタが初期化されます。

注 1. IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 の IWDT 停止制御ビット (OFS0.IWDTSTPCTL) の設定により、動作／停止を選択することができます。また、IWDT レジスタスタートモード時、IWDT.IWDTCSTPR.SLCSTP ビットの設定により動作／停止を選択することができます。

注 2. IWDT を使用せず、LOCOCR.LCSTP = 0 の場合、LOCO はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 では停止しません。
IWDT を使用し、IWDT 停止制御ビットが 0（OFS.IWDTSTPCTL = 0 または IWDT.IWDTCSTPR.SLCSTP = 0）の場合、LOCOCR.LCSTP の値にかかわらず、LOCO はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 では停止しません。
IWDT を使用し、IWDT 停止制御ビットが 1（OFS.IWDTSTPCTL = 1 または IWDT.IWDTCSTPR.SLCSTP = 1）の場合、LOCOCR.LCSTP = 0 の状態では、LOCO はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 では停止しません。
その他の場合、LOCO はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 で停止します。

注 3. クロックアウトプットソース選択ビット (CKOCR.CKOSEL[2:0]) が 010 (LOCO) および 100 (SOSC) 以外の値に設定されている場合は停止します。

注 4. サブクロック発振器のみが、RTC のカウントソースクロックとして選択可能です。RCR4.RCKSEL ビットが 1 (LOCO) になっている場合、ディープソフトウェアスタンバイモードへ遷移する前に LPSCR をディープソフトウェアスタンバイモード 1 にする必要があります。

注 5. AGT0.AGTMR1.TCK[2:0]ビットで 100 (AGTLCLK) または 110 (AGTSCLK) が選択されている場合、AGT0 は動作可能です。
AGT1.AGTMR1.TCK[2:0]ビットで 100 (AGTLCLK)、110 (AGTSCLK)、または 101（AGT0 からのアンダーフローイベント信号）が選択されている場合、AGT1 は動作可能です。

注 6. IIC0 ウェイクアップ割り込みのみが利用可能です。

注 7. ディープソフトウェアスタンバイモードで PVD を使用する場合、ディープソフトウェアスタンバイモードへ遷移する前に LPSCR を DSTBY1 または DSTBY2 にする必要があります。

注 8. MCU がディープソフトウェアスタンバイモード 3 に遷移すると PVD 回路は停止します。

注 9. アドレスバスおよびバス制御信号（SRAM の場合：[A00～A23、CS0～CS7、RD、WR0～WR3、WR、BC0～BC3、ALE]、SDRAM の場合：[A00～A16、DQM0～DQM3、SDCS、RAS、CAS、WE、CKE]）に対して、出力状態の維持やハイインピーダンス状態への変更は、SBYCR.OPE ビットで選択可能です。

注 10. MOSC の発振中に MOSCSCR.MOSCSOKP = 1 となった場合、MOSC はソフトウェアスタンバイモードで発振を継続します。

注 11. HOCO の発振中に HOCOSCR.HOCOSOKP = 1 となった場合、HOCO はソフトウェアスタンバイモードで発振を継続します。

注 12. 本機能は MOSCSCR.MOSCSOKP ビットの設定値に従います。

注 13. PDRAMSCR0.RKEEPn ビットを 0 にすると、対象ユーザー SRAM の内容は保持されません。

注 14. PDRAMSCR1.RKEEPn ビットを 0 にすると、対象 TCM の内容は保持されません。

注 15. このモードに遷移する前にデバッガが接続中の場合、この機能は動作中です。

注 16. このモードに遷移する前にデバッガが接続中、かつ TRCKCR.TRCKEN = 1 の場合、この機能は動作中です。

注 17. OFS1.PVDAS = 0 かつ OFS1.PVDLPSEL = 0 の状態で MCU がディープソフトウェアスタンバイモード 1/2 に遷移すると、バッテリ電源スイッチは電圧監視 0 で制御されます。電圧監視 0 は、VBATT 専用 VCC 電圧降下検出回路よりも少ない消費電力で動作します。OFS1.PVDLPSEL = 1 の状態で MCU がディープソフトウェアスタンバイモード 1/2 に遷移すると、バッテリ電源スイッチは VBATT 専用 VCC 電圧降下検出回路で制御されます。詳細は、「12. バッテリバックアップ機能」と「62. 電気的特性」を参照してください。

注 18. オンチップデバッガ機能が有効の場合、MOCO はこのモードでは停止しません。

注 19. VCOUT 機能のみが許可されます。ACMPHS がデジタルフィルタを使用していない場合に、VCOUT 端子は動作します。デジタルフィルタの詳細については、「56. 高速アナログコンパレータ (ACMPHS)」を参照してください。

注 20. 温度監視リセット機能だけが動作可能です。

注 21. I3C ウェイクアップ割り込みのみが利用可能です。

注 22. FIFO バッファは保持されません。

注 23. 書き込みバッファは保持されません。

注 24. 有効な割り込み要求は、現在の例外の優先レベルおよび BASEPRI によって設定された優先レベルによりマスクされていない、任意の割り込み／例外です。さらに、割り込み要求が IELSRn に基づいている場合、その割り込みは NVIC_ISERn により許可されなければなりません。

表 11.4 ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードを解除するための割り込み要因 (1/2)

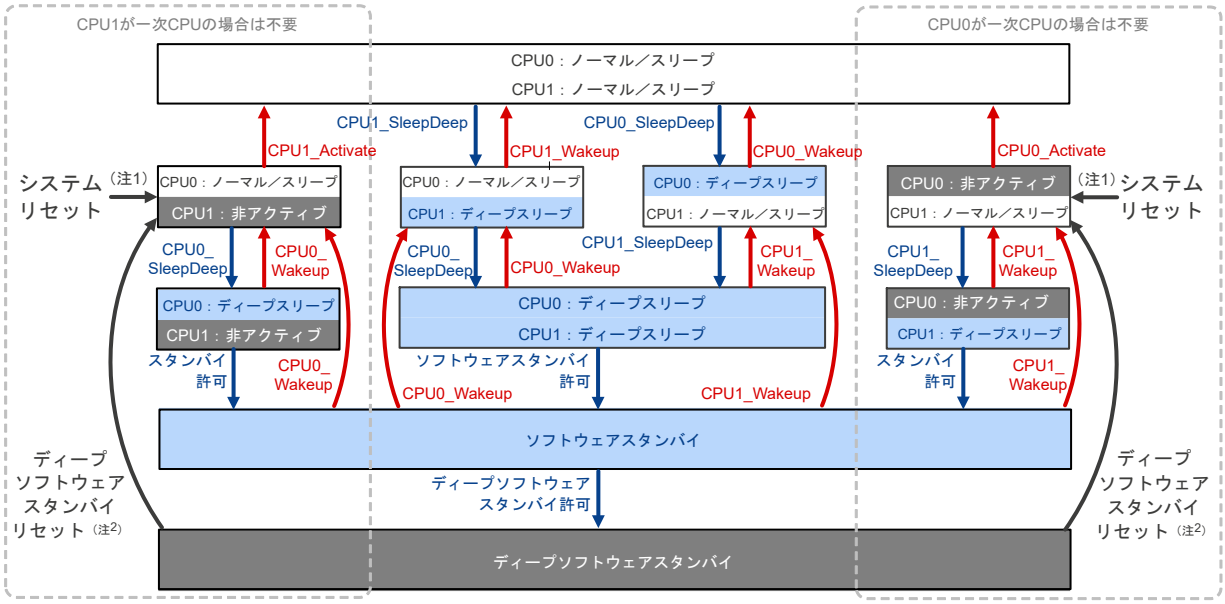
割り込み要因	名称	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード		
		SSTBY	DSTBY1	DSTBY2	DSTBY3
NMI		可能	可能	可能	可能
ポート	PORT_IRQn	可能	不可能	不可能	不可能
	PORT_IRQn-DS	可能	可能	可能	可能
PVD	PVD_PVDm (m = 1, 2)	可能	可能	可能	不可能
IWDT	IWDT_NMIUNDF	可能	可能	不可能	不可能
USBFS	USBFS_USBR	可能	可能	不可能	不可能
USBHS	USBHS_USBIR	可能	可能	不可能	不可能

表 11.4 ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードを解除するための割り込み要因 (2/2)

割り込み要因	名称	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード		
		SSTBY	DSTBY1	DSTBY2	DSTBY3
RTC	RTC_ALM	可能	可能	可能	可能
	RTC_PRD	可能	可能	可能	可能
ULPT0	ULPT0_ULPTI	可能	可能	不可能	不可能
	ULPT0_ULPTCMAI	可能	不可能	不可能	不可能
	ULPT0_ULPTCMBI	可能	不可能	不可能	不可能
ULPT1	ULPT1_ULPTI	可能	可能	不可能	不可能
	ULPT1_ULPTCMAI	可能	不可能	不可能	不可能
	ULPT1_ULPTCMBI	可能	不可能	不可能	不可能
AGT1	AGT1_AGTI	可能	不可能	不可能	不可能
	AGT1_AGTCMAI	可能	不可能	不可能	不可能
	AGT1_AGTCMBI	可能	不可能	不可能	不可能
ACMPHS0	ACMP_HS0	可能	不可能	不可能	不可能
IIC0	IIC0_WUI	可能	不可能	不可能	不可能
I3C	I3C_WU	可能	不可能	不可能	不可能
PDMIF	PDM_SDET	可能	不可能	不可能	不可能
サブクロック発振器停止検出機能	SOSC_STOP	可能	可能	可能	可能
BBF（バッテリバックアップ機能）	VBATT_TADI	可能	可能	可能	可能

図 11.1 に低消費電力モードの遷移を示します。

詳細は、「11.6. 低消費電力モード」を参照してください。



注. CPU スリープモードまたは CPU ディープスリープモードへの遷移中に、CPU スリープモードまたは CPU ディープスリープモードの解除トリガとして機能する割り込みが受け付けられると、割り込みを受け付けた CPU は CPU スリープモードまたは CPU ディープスリープモードには遷移せずに、通常モードに戻ります。ソフトウェアスタンバイモードへの遷移中に、CPU スリープモードまたは CPU ディープスリープモードの解除トリガとして機能する割り込みが受け付けられると、MCU はソフトウェアスタンバイモードへは遷移せずに、遷移前の状態に戻ります。ディープソフトウェアスタンバイモードへの遷移時、状態が遷移した後に割り込みが発生した場合、モード遷移終了後にディープソフトウェアスタンバイリセットにより復帰します。

注. 割り込みによって CPU スリープモード、CPU ディープスリープモード、またはソフトウェアスタンバイモードから通常モードに遷移した場合、各低消費電力モードへの遷移前と同じクロックソースが使用されます。

注. CPU スリープモードおよび CPU ディープスリープモード解除の割り込み要因については、「2.7. 低消費電力状態のスリープモード」を参照してください。

注. ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード解除の割り込み要因については、表 11.4 を参照してください。

注 1. リセット状態から通常モードへ遷移した後は、MOCO クロックが動作クロックソースです。

注 2. 利用可能な割り込み要求が発生すると、内部リセット（ディープソフトウェアスタンバイリセット）が一定時間発生します。内部リセット状態の解除とともにディープソフトウェアスタンバイモードは解除されます。その後、一次 CPU は通常モードへ遷移して、MOCO クロックを動作クロックソースとしてリセット例外処理を実行します。二次 CPU は非アクティブになります。

図 11.1 低消費電力モードの遷移

11.2 レジスタの説明

11.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	NONSEC21	—	NONSEC19	NONSEC18	NONSEC17	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	NONSEC8	—	—	—	NONSEC4	—	NONSEC2	NONSEC1	NONSEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ：OPCCR 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ：LPSCR 0: セキュア 1: 非セキュア	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ： SBYCR, SSCR1, SVSCR 0: セキュア 1: 非セキュア	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NONSEC4	非セキュア属性ビット 4 対象レジスタ： VSCR 0: セキュア 1: 非セキュア	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	NONSEC8	非セキュア属性ビット 8 対象レジスタ：DPSBYCR 0: セキュア 1: 非セキュア	R/W
16:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	NONSEC17	非セキュア属性ビット 17 対象レジスタ：HOCOLDOCR 0: セキュア 1: 非セキュア	R/W
18	NONSEC18	非セキュア属性ビット 18 対象レジスタ： PLL1LDOCR 0: セキュア 1: 非セキュア	R/W
19	NONSEC19	非セキュア属性ビット 19 対象レジスタ：PLL2LDOCR 0: セキュア 1: 非セキュア	R/W
20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21	NONSEC21	非セキュア属性ビット 21 対象レジスタ： LVOCR, MWMCR 0: セキュア 1: 非セキュア	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

LPMSAR レジスタは、低消費電力モードレジスタのセキュア属性を制御します。

NONSEC0 ビット（非セキュア属性ビット 0）

OPCCR レジスタのセキュリティ属性を制御します。

NONSEC1 ビット（非セキュア属性ビット 1）

LPSCR レジスタのセキュリティ属性を制御します。

NONSEC2 ビット（非セキュア属性ビット 2）

SBYCR レジスタ、SSCR11 レジスタ、および SVSCR レジスタのセキュリティ属性を制御します。

NONSEC4 ビット（非セキュア属性ビット 4）

VSCR レジスタのセキュリティ属性を制御します。

NONSEC8 ビット（非セキュア属性ビット 8）

DPSBYCR レジスタのセキュア属性を制御します。

NONSEC17 ビット（非セキュア属性ビット 17）

HOCOLDOCR レジスタのセキュリティ属性を制御します。

NONSEC18 ビット（非セキュア属性ビット 18）

PLL1LDOCR レジスタのセキュリティ属性を制御します。

NONSEC19 ビット（非セキュア属性ビット 19）

PLL2LDOCR レジスタのセキュリティ属性を制御します。

NONSEC21 ビット（非セキュア属性ビット 21）

LVOCR レジスタおよび MWMCR レジスタのセキュリティ属性を制御します。

11.2.2 PGCSAR : パワーゲーティング制御セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3D8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	NONSEC7	NONSEC6	NONSEC5	NONSEC4	NONSEC3	—	—	NONSEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ: PGSCR 0: セキュア 1: 非セキュア	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	NONSEC3	非セキュア属性ビット 3 対象レジスタ: PSSTCR2 0: セキュア 1: 非セキュア	R/W
4	NONSEC4	非セキュア属性ビット 4 対象レジスタ: PSSTCR3 0: セキュア 1: 非セキュア	R/W
5	NONSEC5	非セキュア属性ビット 5 対象レジスタ: PSSTCR4 0: セキュア 1: 非セキュア	R/W
6	NONSEC6	非セキュア属性ビット 6 対象レジスタ: PSSTCR5、PDCTRESWM 0: セキュア 1: 非セキュア	R/W
7	NONSEC7	非セキュア属性ビット 7 対象レジスタ : CPUDSCR 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

PGCSAR レジスタはパワーゲーティングレジスタのセキュリティ属性を制御します。

NONSEC0 ビット（非セキュア属性ビット 0）

本ビットは PGSCR レジスタのセキュリティ属性を制御します。

NONSEC3 ビット（非セキュア属性ビット 3）

本ビットは PSSTCR2 のセキュリティ属性を制御します。

NONSEC4 ビット（非セキュア属性ビット 4）

本ビットは PSSTCR3 のセキュリティ属性を制御します。

NONSEC5 ビット（非セキュア属性ビット 5）

本ビットは PSSTCR4 のセキュリティ属性を制御します。

NONSEC6 ビット（非セキュア属性ビット 6）

本ビットは PSSTCR5、PLL2CR レジスタのセキュリティ属性を制御します。

NONSEC7 ビット（非セキュア属性ビット 7）

CPUDSCR レジスタのセキュリティ属性を制御します。

11.2.3 DPFSAR : ディープソフトウェアスタンバイ割り込み要因セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DPFSA31	DPFSA30	DPFSA29	—	DPFSA27	DPFSA26	DPFSA25	DPFSA24	—	—	—	DPFSA20	DPFSA19	DPFSA18	DPFSA17	DPFSA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DPFSA								DPFSA							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DPFSA7～DPFSA0	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 0～7) 対象レジスタ：DPSIER0.bn, DPSIFR0.bn, DPSIEGR0.bn (n = 0～7) 対象要因: IRQn-DS 端子 (n = 0～7) 0: セキュア 1: 非セキュア	R/W
15:8	DPFSA15～DPFSA8	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 8～15) 対象レジスタ：DPSIER1.bn, DPSIFR1.bn, DPSIEGR1.bn (n = 0～7) 対象要因: IRQn-DS 端子 (n = 8～15) 0: セキュア 1: 非セキュア	R/W
16	DPFSA16	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 16 対象レジスタ： DPSIER2.b0, DPSIFR2.b0, DPSIEGR2.b0 対象要素：PVD1 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
17	DPFSA17	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 17 対象レジスタ： DPSIER2.b1, DPSIFR2.b1, DPSIEGR2.b1 対象要素：PVD2 0: セキュア 1: 非セキュア	R/W
18	DPFSA18	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 18 対象レジスタ：DPSIER2.b2, DPSIFR2.b2 対象要素：RTC 周期 0: セキュア 1: 非セキュア	R/W
19	DPFSA19	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 19 対象レジスタ：DPSIER2.b3, DPSIFR2.b3 対象要素：RTC アラーム 0: セキュア 1: 非セキュア	R/W
20	DPFSA20	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 20 対象レジスタ： DPSIER2.b4, DPSIFR2.b4, DPSIEGR2.b4 対象要素：NMI 端子 0: セキュア 1: 非セキュア	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DPFSA24	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 24 対象レジスタ：DPSIER3.b0, DPSIFR3.b0 対象要素：USBFS サスペンド／レジューム 0: セキュア 1: 非セキュア	R/W
25	DPFSA25	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 25 対象レジスタ：DPSIER3.b1, DPSIFR3.b1 対象要素：USBHS サスペンド／レジューム 0: セキュア 1: 非セキュア	R/W
26	DPFSA26	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 26 対象レジスタ：DPSIER3.b2, DPSIFR3.b2 対象要素：ULPT0 0: セキュア 1: 非セキュア	R/W
27	DPFSA27	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 27 対象レジスタ：DPSIER3.b3, DPSIFR3.b3 対象要素：ULPT1 0: セキュア 1: 非セキュア	R/W
28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	DPFSA29	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 29 対象レジスタ：DPSIER3.b5, DPSIFR3.b5 対象要素：IWDT オーバーフロー 0: セキュア 1: 非セキュア	R/W
30	DPFSA30	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 30 対象レジスタ：DPSIER3.b6, DPSIFR3.b6 対象要素：サブクロック発振停止検出 0: セキュア 1: 非セキュア	R/W
31	DPFSA31	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 31 対象レジスタ：DPSIER3.b7, DPSIFR3.b7 対象要素：改ざん検出 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1, P-TYPE-1

DPFSAR レジスタは、ディープソフトウェアスタンバイ割り込み要因コントロールレジスタのセキュリティ属性を制御します。

DPFSA ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 0～7)）

DPSIER0.bn、DPSIFR0.bn、DPSIEGR0.bn (n = 0～7) の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子 (n = 0～7) です。

DPFSA ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 8～15)）

DPSIER1.bn、DPSIFR1.bn、DPSIEGR1.bn (n = 0～7) の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子 (n = 8～15) です。

DPFSA16 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 16）

本ビットは DPSIER2.b0、DPSIFR2.b0、DPSIEGR2.b0 の各レジスタのセキュリティ属性を制御します。

対象要因は、PVD1 です。

DPFSA17 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 17）

DPSIER2.b1、DPSIFR2.b1、DPSIEGR2.b1 の各レジスタのセキュリティ属性を制御します。

対象要因は、PVD2 です。

DPFSA18 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 18）

このビットは DPSIER2.b2、DPSIFR2.b2 レジスタのセキュリティ属性を制御します。

対象要因は、RTC 周期です。

DPFSA19 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 19）

このビットは DPSIER2.b3、DPSIFR2.b3 レジスタのセキュリティ属性を制御します。

対象要因は、RTC アラームです。

DPFSA20 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 20）

DPSIER2.b4、DPSIFR2.b4、DPSIEGR2.b4 の各レジスタのセキュリティ属性を制御します。

対象要因は、NMI 端子です。

DPFSA24 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 24）

このビットは DPSIER3.b0、DPSIFR3.b0 レジスタのセキュリティ属性を制御します。

対象要因は、USBFS サスペンド／レジュームです。

DPFSA25 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 25）

このビットは DPSIER3.b1、DPSIFR3.b1 レジスタのセキュリティ属性を制御します。

対象要因は、USBHS サスペンド／レジュームです。

DPFSA26 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 26）

このビットは DPSIER3.b2、DPSIFR3.b2 レジスタのセキュリティ属性を制御します。

対象要因は、ULPT0 です。

DPFSA27 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 27）

このビットは DPSIER3.b3、DPSIFR3.b3 レジスタのセキュリティ属性を制御します。

対象要因は、ULPT1 です。

DPFSA29 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 29）

このビットは DPSIER3.b5、DPSIFR3.b5 レジスタのセキュリティ属性を制御します。

対象要因は、IWDT オーバーフローです。

DPFSA30 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 30）

このビットは DPSIER3.b6、DPSIFR3.b6 レジスタのセキュリティ属性を制御します。

対象要因は、サブクロック発振停止検出です。

DPFSA31 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 31）

このビットは DPSIER3.b7、DPSIFR3.b7 レジスタのセキュリティ属性を制御します。

対象要因は、改ざん検出です。

11.2.4 DPFSAR1：ディープソフトウェアスタンバイ割り込み要因セキュリティ属性レジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3E8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DPFSA[15:8]								DPFSA[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DPFSA7～DPFSA0	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 0～7) 対象レジスタ：DPSIER4.bn, DPSIFR4.bn, DPSIEGR3.bn (n = 0～7) 対象要素：IRQn-DS 端子 (n = 16～23) 0: セキュア 1: 非セキュア	R/W
15:8	DPFSA15～DPFSA8	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 8～15) 対象レジスタ：DPSIER5.bn, DPSIFR5.bn, DPSIEGR4.bn (n = 0～7) 対象要素：IRQn-DS 端子 (n = 24～31) 0: セキュア 1: 非セキュア	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

DPFSAR1 レジスタは、ディープソフトウェアスタンバイ割り込み要因コントロールレジスタのセキュリティ属性を制御します。

DPFSA ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 0～7)）

DPSIER4.bn、DPSIFR4.bn、DPSIEGR3.bn (n = 0～7) の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子 (n = 16～23) です。

DPFSA ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 8～15)）

DPSIER5.bn、DPSIFR5.bn、DPSIEGR4.bn の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子 (n = 24～31) です。

11.2.5 RSCSAR : RAM スタンバイコントロールセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RSCSA[17:16]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RSCSA[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	RSCSA[12:0]	RAM スタンバイ制御セキュリティ属性ビット n (n = 0～12) 対象レジスタ: PDRAMSCR0.bn (n = 0～12) 0: セキュア 1: 非セキュア	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	RSCSA[17:16]	RAM スタンバイ制御セキュリティ属性ビット n (n = 16～17) 対象レジスタ: PDRAMSCR1.bn (n = 0～1) 0: セキュア 1: 非セキュア	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

RSCSAR レジスタは RAM スタンバイコントロールレジスタのセキュア属性を制御します。

RSCSA[12:0]ビット（RAM スタンバイ制御セキュリティ属性ビット n (n = 0～12)）

本ビットは PDRAMSCR0.bn (n = 0～12) のセキュリティ属性を制御します。

RSCSA[17:16]ビット（RAM スタンバイ制御セキュリティ属性ビット n (n = 16～17)）

PDRAMSCR1.bn（n = 0～1）のセキュリティ属性を制御します。

11.2.6 MSTPCRA : モジュールストップコントロールレジスタ A

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	MSTPA23	MSTPA22	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MSTPA3	MSTPA2	MSTPA1	MSTPA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0

ビット	シンボル	機能	R/W
0	MSTPA0	SRAM0 モジュールストップ設定(注2) 対象モジュール：SRAM0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
1	MSTPA1	SRAM1 モジュールストップ設定(注2) 対象モジュール：SRAM1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
2	MSTPA2	SRAM2 モジュールストップ設定(注2) 対象モジュール：SRAM2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
3	MSTPA3	SRAM3 モジュールストップ設定(注2) 対象モジュール：SRAM3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPA22	DMA コントローラ 0 およびデータトランスファコントローラ 0 モジュールストップ設定(注1) 対象モジュール： DMAC0, DTC0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
23	MSTPA23	DMA コントローラ 1 およびデータトランスファコントローラ 1 モジュールストップ設定(注1) 対象モジュール： DMAC1, DTC1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:24	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-4, P-TYPE-2
注 1. MSTPAi (i = 22, 23) ビットを 0 から 1 に書き換える場合、DMAC および DTC を無効にしてから MSTPAi ビットを設定してください。
注 2. このビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。

11.2.7 MSTPCRB : モジュールストップコントロールレジスタ B

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	MSTPB26	MSTPB25	MSTPB24	MSTPB23	MSTPB22	—	—	MSTPB19	MSTPB18	MSTPB17	MSTPB16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MSTPB12	MSTPB11	—	MSTPB9	MSTPB8	MSTPB7	—	—	MSTPB4	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
3:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	MSTPB4	I3C バスインタフェースモジュールストップ設定(注1) 対象モジュール：I3C 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
6:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	MSTPB7	IIC バスインタフェース 2 モジュールストップ設定 対象モジュール：IIC2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
8	MSTPB8	IIC バスインタフェース 1 モジュールストップ設定 対象モジュール：IIC1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
9	MSTPB9	IIC バスインタフェース 0 モジュールストップ設定 対象モジュール：IIC0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	MSTPB11	ユニバーサルシリアルバス 2.0 FS インタフェース 0 モジュールストップ設定(注2) 対象モジュール：USBFS0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12	MSTPB12	ユニバーサルシリアルバス 2.0 HS インタフェースモジュールストップ設定(注2) 対象モジュール：USBHS 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15:13	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	MSTPB16	オクタシリアルペリフェラルインタフェース 0 およびオンザフライ復号 0 モジュールストップ設定(注3) 対象モジュール：OSPI0 および DOTF0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
17	MSTPB17	オクタシリアルペリフェラルインタフェース 1 およびオンザフライ復号 1 モジュールストップ設定(注3) 対象モジュール：OSPI1 および DOTF1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
18	MSTPB18	シリアルペリフェラルインタフェース 1 モジュールストップ設定(注4) 対象モジュール：SPI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19	MSTPB19	シリアルペリフェラルインタフェース 0 モジュールストップ設定(注4) 対象モジュール：SPI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPB22	シリアルコミュニケーションインタフェース 9 モジュールストップ設定(注5) 対象モジュール：SCI9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
23	MSTPB23	シリアルコミュニケーションインタフェース 8 モジュールストップ設定(注5) 対象モジュール：SCI8 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
24	MSTPB24	シリアルコミュニケーションインタフェース 7 モジュールストップ設定(注5) 対象モジュール：SCI7 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
25	MSTPB25	シリアルコミュニケーションインタフェース 6 モジュールストップ設定(注5) 対象モジュール：SCI6 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26	MSTPB26	シリアルコミュニケーションインタフェース 5 モジュールストップ設定(注5) 対象モジュール：SCI5 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
27	MSTPB27	シリアルコミュニケーションインタフェース 4 モジュールストップ設定(注5) 対象モジュール：SCI4 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPB28	シリアルコミュニケーションインタフェース 3 モジュールストップ設定(注5) 対象モジュール：SCI3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
29	MSTPB29	シリアルコミュニケーションインタフェース 2 モジュールストップ設定(注5) 対象モジュール：SCI2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30	MSTPB30	シリアルコミュニケーションインタフェース 1 モジュールストップ設定(注5) 対象モジュール：SCI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31	MSTPB31	シリアルコミュニケーションインタフェース 0 モジュールストップ設定(注5) 対象モジュール：SCI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. S-TYPE-4, P-TYPE-4

注 1. MSTPB4 ビットは、I3C クロック (I3CCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPB4 が変化した後に I3CCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

注 2. MSTPB11 および MSTPB12 ビットは、USB クロック (USBCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPB11 および MSTPB12 が変化した後に USBCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

注 3. MSTPB16 および MSTPB17 ビットは、Octal-SPI クロック (OCTACLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPB16 および MSTPB17 が変化した後に OCTACLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。このビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。

注 4. MSTPB18 および MSTPB19 ビットは、SPI クロック (SPICLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPB18 および MSTPB19 が変化した後に SPICLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

注 5. MSTPBi ビットは、SCI クロック (SCICLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPBi (i = 22～31) が変化した後に SCICLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

11.2.8 MSTPCRC : モジュールストップコントロールレジスタ C

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPC31	MSTPC30	—	MSTPC28	MSTPC27	MSTPC26	—	MSTPC24	—	—	—	—	—	—	—	MSTPC16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTPC14	MSTPC13	MSTPC12	MSTPC11	—	—	MSTPC8	MSTPC7	—	—	—	—	—	MSTPC1	MSTPC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定(注1) 対象モジュール：CAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
1	MSTPC1	巡回冗長検査演算器モジュールストップ設定 対象モジュール：CRC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
6:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	MSTPC7	シリアルサウンドインタフェース拡張 1 モジュールストップ設定 対象モジュール：SSIE1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
8	MSTPC8	シリアルサウンドインタフェース拡張 0 モジュールストップ設定 対象モジュール：SSIE0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	MSTPC11	セキュアデジタルホスト IF 1 モジュールストップ設定 対象モジュール：SDHI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12	MSTPC12	セキュアデジタルホスト IF 0 モジュールストップ設定 対象モジュール：SDHI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
13	MSTPC13	データ演算回路モジュールストップ設定 対象モジュール：DOC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPC14	イベントリンクコントローラモジュールストップ設定 対象モジュール：ELC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	MSTPC16	キャプチャエンジンユニットモジュールストップ設定 対象モジュール：CEU 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
23:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
24	MSTPC24	パルス密度変調インタフェースモジュールストップ設定(注2) 対象モジュール：PDMIF 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
25	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	MSTPC26	Controller Area Network with Flexible Data-Rate 1 モジュールストップ設定(注3) 対象モジュール：CANFD1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27	MSTPC27	Controller Area Network with Flexible Data-Rate 0 モジュールストップ設定(注3) 対象モジュール：CANFD0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPC28	Ether-PHY クロックモジュールストップ設定(注4) 対象モジュール：ETHPHYCLK 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
30	MSTPC30	レイヤ 3 イーサネットスイッチモジュールストップ設定(注5) 対象モジュール：ESWM 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31	MSTPC31	Renesas セキュア IP モジュールストップ設定 対象モジュール：RSIP-E50D 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. S-TYPE-4, P-TYPE-4
注 1. MSTPC0 ビットは、CAC クロックが安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC0 が変化した後に CAC クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。
注 2. MSTPC24 ビットは、PDM クロック (PDMCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC24 が変化した後に PDMCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。
注 3. MSTPC26 ビットと MSTPC27 ビットは、CANFD クロック (CANFDCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC26 と MSTPC27 が変化した後に CANFDCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。
注 4. MSTPC28 ビットは、Ether-PHY クロック (ETHPHYCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC28 が変化した後に ETHPHYCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。
注 5. MSTPC30 ビットは、EtherSW クロック (ESWCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC30 が変化した後に ESWCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

11.2.9 MSTPCRD : モジュールストップコントロールレジスタ D

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	MSTPD28	MSTPD27	MSTPD26	MSTPD25	—	—	MSTPD22	MSTPD21	MSTPD20	MSTPD19	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTPD14	MSTPD13	MSTPD12	MSTPD11	—	—	—	—	MSTPD6	MSTPD5	MSTPD4	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
3:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	MSTPD4	低消費電力非同期汎用タイマ 1 モジュールストップ設定(注1) 対象モジュール：AGT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
5	MSTPD5	低消費電力非同期汎用タイマ 0 モジュールストップ設定(注1) 対象モジュール：AGT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
6	MSTPD6	PWM 遅延生成回路モジュールストップ 対象モジュール：PDG 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10:7	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	MSTPD11	GPT 用ポートアウトプットイネーブルグループ D モジュールストップ設定 対象モジュール：POEG グループ D 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
12	MSTPD12	GPT 用ポートアウトプットイネーブルグループ C モジュールストップ設定 対象モジュール：POEG グループ C 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
13	MSTPD13	GPT 用ポートアウトプットイネーブルグループ B モジュールストップ設定 対象モジュール：POEG グループ B 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPD14	GPT 用ポートアウトプットイネーブルグループ A モジュールストップ設定 対象モジュール：POEG グループ A 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
18:15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
19	MSTPD19	12 ビット D/A コンバータ 1 モジュールストップ設定 対象モジュール：DAC12_1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
20	MSTPD20	12 ビット D/A コンバータ 0 モジュールストップ設定 対象モジュール：DAC12_0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21	MSTPD21	16 ビット A/D コンバータモジュールストップ設定(注2) 対象モジュール：ADC16H 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
22	MSTPD22	温度センサモジュールストップ設定 対象モジュール：TSN 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
24:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
25	MSTPD25	高速アナログコンパレータ 3 モジュールストップ設定 対象モジュール：ACMPHS3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26	MSTPD26	高速アナログコンパレータ 2 モジュールストップ設定 対象モジュール：ACMPHS2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27	MSTPD27	高速アナログコンパレータ 1 モジュールストップ設定 対象モジュール：ACMPHS1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPD28	高速アナログコンパレータ 0 モジュールストップ設定 対象モジュール：ACMPHS0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-4, P-TYPE-4

注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPDi ビットを 1 にしても、AGTn のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGTn レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。(n = 1〜0) (i = 4〜5)

注 2. MSTPD21 ビットは、ADC クロック (ADCCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPD21 が変化した後に ADCCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

11.2.10 MSTPCRE : モジュールストップコントロールレジスタ E

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPE31	MSTPE30	MSTPE29	MSTPE28	MSTPE27	—	—	—	—	—	MSTPE21	MSTPE20	MSTPE19	MSTPE18	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MSTPE9	MSTPE8	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	MSTPE8	超低消費電力タイマ 1 モジュールストップ設定(注1) 対象モジュール：ULPT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
9	MSTPE9	超低消費電力タイマ 0 モジュールストップ設定(注1) 対象モジュール：ULPT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
17:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	MSTPE18	汎用 PWM タイマ 13 モジュールストップ設定(注2) 対象モジュール：GPT13 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19	MSTPE19	汎用 PWM タイマ 12 モジュールストップ設定(注2) 対象モジュール：GPT12 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
20	MSTPE20	汎用 PWM タイマ 11 モジュールストップ設定(注2) 対象モジュール：GPT11 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21	MSTPE21	汎用 PWM タイマ 10 モジュールストップ設定(注2) 対象モジュール：GPT10 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26:22	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	MSTPE27	汎用 PWM タイマ 4～9 モジュールストップ設定(注2) 対象モジュール：GPT4-9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPE28	汎用 PWM タイマ 3 モジュールストップ設定(注2) 対象モジュール：GPT3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
29	MSTPE29	汎用 PWM タイマ 2 モジュールストップ設定(注2) 対象モジュール：GPT2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
30	MSTPE30	汎用 PWM タイマ 1 モジュールストップ設定(注2) 対象モジュール：GPT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31	MSTPE31	汎用 PWM タイマ 0 モジュールストップ設定(注2) 対象モジュール：GPT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. S-TYPE-4, P-TYPE-4
注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPEi ビットを 1 にしても、ULPTn のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、ULPTn レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。(n = 1, 0) (i = 8, 9)
注 2. MSTPEi ビットは、GPT クロック (GPTCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPEi (i = 18～21, 27～31) が変化した後に GPTCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

11.2.11 OPCCR : 動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0A0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	OPCMTSF	—	—	OPCM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OPCM[1:0]	動作電力制御モード選択 0 0: High-speed モード 0 1: 禁止 1 0: 禁止 1 1: 禁止 上記以外は設定しないでください。	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	OPCMTSF	動作電力制御モード遷移状態フラグ ● 読み出し 0: 遷移完了 1: 遷移中 ● 書き込み 書く場合、0 としてください。	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

OPCCR は、通常モードおよびプロセッサ低消費電力モード時に消費電力を低減させるために使用します。初期値を変更しないでください。

11.2.12 PGSCR: パワーゲーティングシフトコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x104

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PGS
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PGS	パワーゲーティングシフトタイミング 各ドメインに対してパワーゲーティングの開始タイミングを設定します。ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに遷移する前に、このビットを 0 に設定します。 0: 各ドメインのパワーゲーティング制御を同時に開始 1: 各ドメインのパワーゲーティング制御を連続的に開始	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

11.2.13 PSSTCRn : 電源スイッチ制御開始時間コントロールレジスタ n (n = 2～5)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x210 + 0x2 × n (n = 2～5)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PSST												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	PSST	電源スイッチ制御開始時間 PGSCR.PGS = 0 のときに電源スイッチ制御開始時間を設定します。 これらのビットに 0x00B0 を設定してください。その他の設定は禁止されています。	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

11.2.14 PDCTRESWM : ESWM 電源ドメインコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x118

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PDPGSF	PDCSF	—	—	—	—	—	PDDE
Value after reset:	1	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PDDE	電力制御許可 0: 対象ドメインの電源オン 1: 対象ドメインの電源オフ	R/W
5:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PDCSF	電力制御ステータスフラグ 0: パワーゲーティング制御の実行なし（アイドル） 1: パワーゲーティング制御中	R
7	PDPGSF	パワーゲーティングステータスフラグ 0: 対象ドメインは電源オン（ゲーティング中ではない） 1: 対象ドメインは電源オフ（ゲーティング中）	R

注. S-TYPE-3, P-TYPE-2

PDCTRESWM レジスタは ESWM 電源ドメインのパワーゲーティングを制御します。

このレジスタの制限事項については、本項に加えて「11.5.1. 電源ドメインコントロールレジスタを使用したパワーゲーティング制御」も参照してください。

PDDE ビット（電力制御許可）

PDDE ビットは対象ドメインのパワーゲーティングを制御します。PDDE ビットを 0 から 1 に設定する場合は、PDCSF = 0 および PDPGSF = 0 であることを確認してから設定してください。一方、PDDE ビットを 1 から 0 に設定する場合は、PDCSF = 0 および PDPGSF = 1 であることを確認してから設定してください。

PDCSF フラグ（電力制御ステータスフラグ）

PDCSF フラグは対象ドメインの電力制御状態を示します。

PDPGSF フラグ（パワーゲーティングステータスフラグ）

PDPGSF フラグは、対象ドメインがパワーゲートされているかどうかを示します。

11.2.15 PDRAMSCR0 : SRAM 電源ドメインスタンバイコントロールレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RKEEP12	RKEEP11	RKEEP10	RKEEP9	RKEEP8	RKEEP7	RKEEP6	RKEEP5	RKEEP4	RKEEP3	RKEEP2	RKEEP1	RKEEP0
Value after reset:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
12:0	RKEEP[12:0]	RAM 保持 0: ソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持しない 1: ソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持する	R/W
14:13	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4, P-TYPE-2

PDRAMSCR0 レジスタは、ソフトウェアスタンバイモード時の対象メモリを制御します。

RKEEPn ビット（RAM 保持）

RKEEPn (n = 0～12) ビットはソフトウェアスタンバイモード時に対象メモリの内容を保持するかどうかを制御します。

表 11.5 に、各ビットと対象メモリの関係を示します。

また、各ビットの設定に関して以下に示す制約事項があります。

RKEEP0～RKEEP3

0000: ソフトウェアスタンバイモードへの遷移時に SRAM0 の内容を保持しない

1111: ソフトウェアスタンバイモードへの遷移時に SRAM0 の内容を保持する

上記以外：なし

RKEEP4～RKEEP7

0000: ソフトウェアスタンバイモードへの遷移時に SRAM1 の内容を保持しない

1111: ソフトウェアスタンバイモードへの遷移時に SRAM1 の内容を保持する

上記以外：なし

RKEEP8～RKEEP11

0000: ソフトウェアスタンバイモードへの遷移時に SRAM2 の内容を保持しない

1111: ソフトウェアスタンバイモードへの遷移時に SRAM2 の内容を保持する

上記以外：なし

表 11.5　各ビットと対象メモリの関係

PDRAM レジスタビット	対象メモリ
PDRAM.b0	SRAM0: 0x2200_0000～0x2201_FFFF（セキュアエイリアス） 0x3200_0000～0x3201_FFFF（非セキュアエイリアス） SRAM (CPU1 TCM)(注1): 0x2A00_0000～0x2A01_FFFF（セキュアエイリアス） 0x3A00_0000～0x3A01_FFFF（非セキュアエイリアス）
PDRAM.b1	SRAM0: 0x2202_0000～0x2203_FFFF（セキュアエイリアス） 0x3202_0000～0x3203_FFFF（非セキュアエイリアス）
PDRAM.b2	SRAM0: 0x2204_0000～0x2205_FFFF（セキュアエイリアス） 0x3204_0000～0x3205_FFFF（非セキュアエイリアス）
PDRAM.b3	SRAM0: 0x2206_0000～0x2207_FFFF（セキュアエイリアス） 0x3206_0000～0x3207_FFFF（非セキュアエイリアス）
PDRAM.b4	SRAM1: 0x2208_0000～0x2209_FFFF（セキュアエイリアス） 0x3208_0000～0x3209_FFFF（非セキュアエイリアス）
PDRAM.b5	SRAM1: 0x220A_0000～0x220B_FFFF（セキュアエイリアス） 0x320A_0000～0x320B_FFFF（非セキュアエイリアス）
PDRAM.b6	SRAM1: 0x220C_0000～0x220D_FFFF（セキュアエイリアス） 0x320C_0000～0x320D_FFFF（非セキュアエイリアス）
PDRAM.b7	SRAM1: 0x220E_0000～0x220F_FFFF（セキュアエイリアス） 0x320E_0000～0x320F_FFFF（非セキュアエイリアス）
PDRAM.b8	SRAM2: 0x2210_0000～0x2211_FFFF（セキュアエイリアス） 0x3210_0000～0x3211_FFFF（非セキュアエイリアス）
PDRAM.b9	SRAM2: 0x2212_0000～0x2213_FFFF（セキュアエイリアス） 0x3212_0000～0x3213_FFFF（非セキュアエイリアス）
PDRAM.b10	SRAM2: 0x2214_0000～0x2215_FFFF（セキュアエイリアス） 0x3214_0000～0x3215_FFFF（非セキュアエイリアス）
PDRAM.b11	SRAM2: 0x2216_0000～0x2217_FFFF（セキュアエイリアス） 0x3216_0000～0x3217_FFFF（非セキュアエイリアス）
PDRAM.b12	SRAM3: 0x2218_0000～0x2219_FFFF（セキュアエイリアス） 0x3218_0000～0x3219_FFFF（非セキュアエイリアス）

注 1.　SRAM (CPU1 TCM) はシングルコア製品でのみサポートされます。

11.2.16　PDRAMSCR1 : SRAM 電源ドメインスタンバイコントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x142

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RKEEP1	RKEEP0
Value after reset:	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	RKEEP0	RAM 保持 0: CPU0 ディープスリープおよびソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持しない 1: CPU0 ディープスリープおよびソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持する	R/W
1	RKEEP1(注1)	RAM 保持 0: ソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持しない 1: ソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持する	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4, P-TYPE-2
注 1. RKEEP1 はデュアルコア製品でのみ有効です。

PDRAMSCR1 レジスタは、CPU0 ディープスリープおよびソフトウェアスタンバイモード時の対象メモリを制御します。

RKEEP0 ビット（RAM 保持）

RKEEP0 ビットは、CPU0 ディープスリープおよびソフトウェアスタンバイモード時に対象メモリの内容を保持するかどうかを制御します。

RKEEP1 ビット（RAM 保持）

RKEEP1 ビットは、ソフトウェアスタンバイモード時に対象メモリの内容を保持するかどうかを制御します。

表 11.6 に、各ビットと対象メモリの関係を示します。

表 11.6 各ビットと対象メモリの関係

PDRAM レジスタビット	対象メモリ
PDRAM.b0	CPU0 TCM
PDRAM.b1(注1)	CPU1 TCM

注 1. デュアルコア製品でのみ使用できます。

11.2.17 SBYCR : スタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x00C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	OPE	—	—	—	—	—	—
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OPE	出力ポート許可 0: ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時、アドレスバスとその他のバス制御信号をハイインピーダンス状態に設定 1: ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時、アドレスバスとその他のバス制御信号は出力状態を保持	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

SBYCR レジスタはソフトウェアスタンバイモードとディープソフトウェアスタンバイモード時のバス信号出力を制御します。

OPE ビット（出力ポート許可）

OPE ビットは、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に、アドレスバスとバス制御信号（SRAM の場合：[A00～A23、CS0～CS7、RD、WR0～WR3、WR、BC0～BC3、ALE]、SDRAM

の場合：[A00～A16、DQM0～DQM3、SDCS、RAS、CAS、WE、CKE]）がハイインピーダンス状態となるか、出力状態を維持するかを選択します。

11.2.18 SSCR1：ソフトウェアスタンバイコントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA98

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SS2LP[1:0]		—	SS2FR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SS2FR	ソフトウェアスタンバイ高速復帰 0: ソフトウェアスタンバイモードからの復帰時、高速復帰機能は無効になります。 1: ソフトウェアスタンバイモードからの復帰時、高速復帰機能は有効になります。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3:2	SS2LP[1:0]	ソフトウェアスタンバイ低消費電力モード選択 0 0: SS2LP_0（デフォルトモード） 0 1: SS2LP_1（低消費電力設定 1） 上記以外は設定しないでください。	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

SS2FR ビット（ソフトウェアスタンバイ高速復帰）

SS2FR ビットが 1 の場合、ソフトウェアスタンバイモードからの復帰時間が短縮されます。このビットの設定が有効なのは、SS2LP ビットが 01b であるときだけです。

復帰時間の詳細については、「62. 電気的特性」を参照してください。

注. 本ビットを 1 に設定することを推奨します。そのように設定しない場合、復帰時間が長くなります。

SS2LP[1:0]ビット（ソフトウェアスタンバイ低消費電力モード選択）

SS2LP[1:0]ビットが 01b であるとき、ソフトウェアスタンバイモードの電力消費は少なくなりますが、ソフトウェアスタンバイモードからの復帰時間が長くなります。電力消費と復帰時間の詳細については、「62. 電気的特性」を参照してください。

11.2.19 LPSCR：低消費電力状態コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA90

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	LPMD[3:0]			
Value after reset:	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
3:0	LPMD[3:0]	低消費電力モード設定 0x0: システムアクティブ 0x4: 予約ビット(注1) 0x5: ソフトウェアスタンバイモード 0x8: ディープソフトウェアスタンバイモード 1 0x9: ディープソフトウェアスタンバイモード 2 0xA: ディープソフトウェアスタンバイモード 3 上記以外は設定しないでください。	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. 低消費電力モードに遷移している間の設定は禁止されています。低消費電力モードに遷移する前に、0x4 以外の値に設定を変更してください。

LPSCR レジスタは低消費電力モードの遷移先を制御します。

LPSCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

LPMD[3:0]ビット（低消費電力モード設定）

LPMD[3:0]ビットは低消費電力モードの遷移先を示します。実際の低消費電力モード遷移は CPU 内の WFI 命令で実行されます。

各 CPU の WFI 命令が実行されるまで、ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードの遷移は発生しません。

割り込みにより低消費電力モードが解除された場合、LPMD ビットは遷移前の値のままになります。0 を書き込むことにより、ビット自身をクリアできます。

MENTRYR.MENTRY ビットが 1 の場合、ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードの設定は無効となります。LPMD[3:0]が 0x5、0x8～0xA のいずれかであっても、MCU は WFI 命令実行時にシステムアクティブ状態を保持します。詳細は、表 11.8 を参照してください。

OFS0.IWDTSTPCTL ビットが 0（カウント継続）の場合、ディープソフトウェアスタンバイ 2 モードと 3 モードの設定は無効となります。LPMD が 0x9 または 0xA であっても、MCU は WFI 命令実行時にディープソフトウェアスタンバイ 1 モードへ遷移します。

IWDTCSTPR.SLCSTP が 0（カウント継続）の場合、ディープソフトウェアスタンバイ 2 モードと 3 モードの設定は無効となります。LPMD が 0x9 または 0xA であっても、MCU は WFI 命令実行時にディープソフトウェアスタンバイ 1 モードへ遷移します。

詳細は、表 11.8 を参照してください。

電圧監視 n (n = 1, 2) リセット許可 (PVDnCR0.RI = 1) の場合、ディープソフトウェアスタンバイモード 2、3 の設定は無効となります。LPMD が 0x9 または 0xA であっても、MCU は WFI 命令実行時にディープソフトウェアスタンバイ 1 モードへ遷移します。詳細は、表 11.8 を参照してください。

PVDnCR0.RE (n = 4, 5) ビットが 1、すべての PVDnCR0.RI (n = 1, 2) ビットが 0、OFS0.IWDTSTPCTL が 1、IWDTCSTPR.SLCSTP が 1 の各条件のうちで少なくとも一つが該当する場合、ディープソフトウェアスタンバイモード 3 への設定は無効になります。 LPMD が 0xA であっても、MCU は WFI 命令実行時にディープソフトウェアスタンバイモード 2 へ遷移します。詳細は、表 11.8 を参照してください。

11.2.20 DPSBYCR : ディープソフトウェアスタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	IOKEEP	—	—	DCSSMODE[1:0]		—	—
Value after reset:	0	0	0	1	0	1	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3:2	DCSSMODE[1:0]	DCDC ソフトスタートモード DCDC 使用時のディープソフトウェアスタンバイモードからのウェイクアップ時間を設定します。 0 0: 設定禁止 0 1: 128 µs 1 0: 256 µs 1 1: 512 µs	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	IOKEEP	I/O ポート保持 0: ディープソフトウェアスタンバイモード解除時に、I/O ポートと D/A 出力はリセット状態 1: ディープソフトウェアスタンバイモード解除時に、I/O ポートと D/A 出力はディープソフトウェアスタンバイモード時と同じ状態	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードを制御します。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

DCSSMODE[1:0]ビット（DCDC ソフトスタートモード）

DCSSMODE[1:0]ビットは、ディープソフトウェアスタンバイモードからの復帰に必要な時間を短縮するかどうかを指定します。詳細は、「62. 電気的特性」を参照してください。

IOKEEP ビット（I/O ポート保持）

ディープソフトウェアスタンバイモード時に、I/O ポートと D/A 出力はソフトウェアスタンバイモード時と同じ状態を維持します。IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除後、I/O ポートと D/A 出力の状態をリセットするか否かを指定します。

11.2.21 DPSIER0 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0E	IRQ0-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ1E	IRQ1-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DIRQ2E	IRQ2-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DIRQ3E	IRQ3-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

ビット	シンボル	機能	R/W
4	DIRQ4E	IRQ4-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	DIRQ5E	IRQ5-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DIRQ6E	IRQ6-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7	DIRQ7E	IRQ7-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. S-TYPE-4, P-TYPE-2

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR0 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 11.4 を参照してください。

11.2.22 DPSIER1 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ15E	DIRQ14E	DIRQ13E	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8E	IRQ8-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ9E	IRQ9-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DIRQ10E	IRQ10-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DIRQ11E	IRQ11-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DIRQ12E	IRQ12-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	DIRQ13E	IRQ13-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DIRQ14E	IRQ14-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

ビット	シンボル	機能	R/W
7	DIRQ15E	IRQ15-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. S-TYPE-4, P-TYPE-2

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

なお、DPSIER1 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR1 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR1 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 11.4 を参照してください。

11.2.23 DPSIER2 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIE	DRTCAIE	DRTCIIE	DPVD2IE	DPVD1IE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPVD1IE	PVD1 ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DPVD2IE	PVD2 ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DRTCIIE	RTC 周期割り込みディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DRTCAIE	RTC アラーム割り込みディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DNMIE	NMI 端子ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W(注1)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4, P-TYPE-2
注 1. 一度だけ 1 を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR2 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 11.4 を参照してください。

11.2.24 DPSIER3 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 3

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DVBATTADIE	DSOSTDIE	DIWDTIE	—	DULPT1IE	DULPT0IE	DUSBHSIE	DUSBFSIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DUSBFSIE	USBFS サスペンド／レジュームディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DUSBHSIE	USBHS サスペンド／レジュームディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DULPT0IE	ULPT0 オーバーフローディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DULPT1IE	ULPT1 オーバーフローディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DIWDTIE	IWDT オーバーフローディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DSOSTDIE	サブクロック発振停止検出ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7	DVBATTADIE	VBATT 改ざん検出ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. S-TYPE-4, P-TYPE-2

DPSIER3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

なお、DPSIER3 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR3 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR3 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 11.4 を参照してください。

11.2.25 DPSIER4 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 4

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB40

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ23E	DIRQ22E	DIRQ21E	DIRQ20E	DIRQ19E	DIRQ18E	DIRQ17E	DIRQ16E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ16E	IRQ16-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ17E	IRQ17-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DIRQ18E	IRQ18-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DIRQ19E	IRQ19-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DIRQ20E	IRQ20-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	DIRQ21E	IRQ21-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DIRQ22E	IRQ22-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7	DIRQ23E	IRQ23-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. S-TYPE-4, P-TYPE-2

DPSIER4 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

なお、DPSIER4 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR4 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR4 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 11.4 を参照してください。

11.2.26 DPSIER5 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 5

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB44

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ31E	DIRQ30E	DIRQ29E	DIRQ28E	DIRQ27E	DIRQ26E	DIRQ25E	DIRQ24E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ24E	IRQ24-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ25E	IRQ25-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DIRQ26E	IRQ26-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

ビット	シンボル	機能	R/W
3	DIRQ27E	IRQ27-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DIRQ28E	IRQ28-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	DIRQ29E	IRQ29-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DIRQ30E	IRQ30-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7	DIRQ31E	IRQ31-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. S-TYPE-4, P-TYPE-2

DPSIER5 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

なお、DPSIER5 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR5 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR5 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 11.4 を参照してください。

11.2.27 DPSIFR0 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7F	DIRQ6F	DIRQ5F	DIRQ4F	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0F	IRQ0-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	DIRQ1F	IRQ1-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
2	DIRQ2F	IRQ2-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DIRQ3F	IRQ3-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
4	DIRQ4F	IRQ4-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
5	DIRQ5F	IRQ5-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

ビット	シンボル	機能	R/W
6	DIRQ6F	IRQ6-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
7	DIRQ7F	IRQ7-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

注. S-TYPE-4, P-TYPE-2
注 1. フラグをクリアするための 0 の書き込みのみ可能です。本フラグは、1 を読んだ後に 0 を書く必要があります。

それぞれのフラグは、DPSIEGR0 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER0 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR0 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR0 レジスタを読んだ後、DPSIFR0 レジスタに 0 を書いてください。たとえば、DPSIER0 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ）(n = 0～7)

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

11.2.28 DPSIFR1 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ15F	DIRQ14F	DIRQ13F	DIRQ12F	DIRQ11F	DIRQ10F	DIRQ9F	DIRQ8F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8F	IRQ8-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	DIRQ9F	IRQ9-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
2	DIRQ10F	IRQ10-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DIRQ11F	IRQ11-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
4	DIRQ12F	IRQ12-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

ビット	シンボル	機能	R/W
5	DIRQ13F	IRQ13-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
6	DIRQ14F	IRQ14-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
7	DIRQ15F	IRQ15-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

注. S-TYPE-4, P-TYPE-2
注 1. フラグをクリアするための 0 の書き込みのみ可能です。本フラグは、1 を読んだ後に 0 を書く必要があります。

それぞれのフラグは、DPSIEGR1 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER1 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR1 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER1 レジスタの設定変更後に DPSIFR1 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR1 レジスタを読んだ後、DPSIFR1 レジスタに 0 を書いてください。たとえば、DPSIER1 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ）(n = 8～15)

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

11.2.29 DPSIFR2 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA20

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIF	DRTCAIF	DRTCIIF	DPVD2IF	DPVD1IF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPVD1IF	PVD1 ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	DPVD2IF	PVD2 ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
2	DRTCIIF	RTC 周期割り込みディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DRTCAIF	RTC アラーム割り込みディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

ビット	シンボル	機能	R/W
4	DNMIF	NMI 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4, P-TYPE-2
注 1. フラグをクリアするための 0 の書き込みのみ可能です。本フラグは、1 を読んだ後に 0 を書く必要があります。

それぞれのフラグは、DPSIEGR2 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER2 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR2 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR2 レジスタを読んだ後、DPSIFR2 レジスタに 0 を書いてください。たとえば、DPSIER2 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

DPVDmIF フラグ（PVDm ディープソフトウェアスタンバイ解除フラグ）(m = 1, 2)

DPVDmIF フラグは電圧監視 m 信号による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

DRTCIIF フラグ（RTC 周期割り込みディープソフトウェアスタンバイ解除フラグ）

RTC 周期割り込み信号による解除要求が発生したことを示します。

[1 になる条件]

- RTC 周期割り込み信号による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DRTCAIF フラグ（RTC アラーム割り込みディープソフトウェアスタンバイ解除フラグ）

RTC アラーム割り込み信号による解除要求が発生したことを示します。

[1 になる条件]

- RTC アラーム割り込み信号による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DNMIF フラグ（NMI 端子ディープソフトウェアスタンバイ解除フラグ）

NMI 端子による解除要求が発生したことを示します。

[1 になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

11.2.30 DPSIFR3 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 3

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DVBATTADIF	DSOSTDIF	DIWDTIF	—	DULPT1IF	DULPT0IF	DUSBHSIF	DUSBFSIF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DUSBFSIF	USBFS サスペンド／レジュームディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	DUSBHSIF	USBHS サスペンド／レジュームディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
2	DULPT0IF	ULPT0 オーバーフローディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DULPT1IF	ULPT1 オーバーフローディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DIWDTIF	IWDT オーバーフローディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
6	DSOSTDIF	サブクロック発振停止検出ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
7	DVBATTADIF	VBATT 改ざん検出ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

注. S-TYPE-4, P-TYPE-2
注 1. フラグをクリアするための 0 の書き込みのみ可能です。本フラグは、1 を読んだ後に 0 を書く必要があります。

それぞれのフラグは、対応する解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER3 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR3 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER3 レジスタの設定変更後に DPSIFR3 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR3 レジスタを読んだ後、DPSIFR3 レジスタに 0 を書いてください。たとえば、DPSIER3 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

DUSBFSIF フラグ（USBFS サスペンド／レジュームディープソフトウェアスタンバイ解除フラグ）

USBFS のサスペンド／レジュームによる解除要求が発生したことを示します。

DUSBFSIF フラグは USBFS 用のフラグです。

[1 になる条件]

- USBFS のサスペンド／レジュームによる解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DUSBHSIF フラグ（USBHS サスペンド／レジュームディープソフトウェアスタンバイ解除フラグ）

USBHS のサスペンド／レジュームによる解除要求が発生したことを示します。

DUSBHSIF フラグは USBHS 用のフラグです。

[1 になる条件]

- USBHS のサスペンド／レジュームによる解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DULPT0IF フラグ（ULPT0 オーバーフローディープソフトウェアスタンバイ解除フラグ）

ULPT0 オーバーフローによる解除要求が発生したことを示します。

[1 になる条件]

- ULPT0 による解除要求の発生あり

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DULPT1IF フラグ（ULPT1 オーバーフローディープソフトウェアスタンバイ解除フラグ）

ULPT1 オーバーフローによる解除要求が発生したことを示します。

[1 になる条件]

- ULPT1 による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DIWDTIF フラグ（IWDT オーバーフローディープソフトウェアスタンバイ解除フラグ）

IWDT オーバーフローによる解除要求が発生したことを示します。

[1 になる条件]

- IWDT による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DSOSTDIF フラグ（サブクロック発振停止検出ディープソフトウェアスタンバイ解除フラグ）

サブクロック発振停止検出による解除要求が発生したことを示します。

[1 になる条件]

- SOSTD による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DVBATTADIF フラグ（VBATT 改ざん検出ディープソフトウェアスタンバイ解除フラグ）

VBATT 改ざん検出による解除要求が発生したことを示します。

[1 になる条件]

- VBATT 改ざん検出による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

11.2.31 DPSIFR4 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 4

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB48

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ23F	DIRQ22F	DIRQ21F	DIRQ20F	DIRQ19F	DIRQ18F	DIRQ17F	DIRQ16F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ16F	IRQ16-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	DIRQ17F	IRQ17-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
2	DIRQ18F	IRQ18-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DIRQ19F	IRQ19-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
4	DIRQ20F	IRQ20-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
5	DIRQ21F	IRQ21-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
6	DIRQ22F	IRQ22-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
7	DIRQ23F	IRQ23-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

注. S-TYPE-4, P-TYPE-2
注 1. フラグをクリアするための 0 の書き込みのみ可能です。本フラグは、1 を読んだ後に 0 を書く必要があります。

それぞれのフラグは、DPSIEGR3 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER4 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR4 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER4 レジスタの設定変更後に DPSIFR4 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR4 レジスタを読んだ後、DPSIFR4 レジスタに 0 を書いてください。たとえば、DPSIER4 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR4 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ）(n = 16～23)

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR3 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

11.2.32 DPSIFR5 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 5

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB4C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ31F	DIRQ30F	DIRQ29F	DIRQ28F	DIRQ27F	DIRQ26F	DIRQ25F	DIRQ24F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ24F	IRQ24-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	DIRQ25F	IRQ25-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
2	DIRQ26F	IRQ26-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DIRQ27F	IRQ27-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
4	DIRQ28F	IRQ28-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
5	DIRQ29F	IRQ29-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
6	DIRQ30F	IRQ30-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
7	DIRQ31F	IRQ31-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

注. S-TYPE-4, P-TYPE-2
注 1. フラグをクリアするための 0 の書き込みのみ可能です。本フラグは、1 を読んだ後に 0 を書く必要があります。

それぞれのフラグは、DPSIEGR4 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER5 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR5 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER5 レジスタの設定変更後に DPSIFR5 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR5 レジスタを読んだ後、DPSIFR5 レジスタに 0 を書いてください。たとえば、DPSIER5 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR5 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ）(n = 24～31)

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR4 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

11.2.33 DPSIEGR0 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA28

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7EG	DIRQ6EG	DIRQ5EG	DIRQ4EG	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0EG	IRQ0-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
1	DIRQ1EG	IRQ1-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
2	DIRQ2EG	IRQ2-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3	DIRQ3EG	IRQ3-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
4	DIRQ4EG	IRQ4-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
5	DIRQ5EG	IRQ5-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
6	DIRQ6EG	IRQ6-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	DIRQ7EG	IRQ7-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. S-TYPE-4, P-TYPE-2

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

11.2.34 DPSIEGR1 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA2C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ15EG	DIRQ14EG	DIRQ13EG	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8EG	IRQ8-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

ビット	シンボル	機能	R/W
1	DIRQ9EG	IRQ9-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
2	DIRQ10EG	IRQ10-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3	DIRQ11EG	IRQ11-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
4	DIRQ12EG	IRQ12-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
5	DIRQ13EG	IRQ13-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
6	DIRQ14EG	IRQ14-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	DIRQ15EG	IRQ15-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. S-TYPE-4, P-TYPE-2

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

11.2.35 DPSIEGR2 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA30

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIEG	—	—	DPVD2EG	DPVD1EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPVD1EG	PVD1 エッジ選択 0: VCC ＜ Vdet1（下降）検出時に解除要求を発生 1: VCC≧VVdet1（上昇）検出時に解除要求を発生	R/W
1	DPVD2EG	PVD2 エッジ選択 0: VCC ＜ Vdet2（下降）検出時に解除要求を発生 1: VCC≧Vdet2（上昇）検出時に解除要求を発生	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DNMIEG	NMI 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4, P-TYPE-2

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

11.2.36 DPSIEGR3 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 3

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA34

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ23EG	DIRQ22EG	DIRQ21EG	DIRQ20EG	DIRQ19EG	DIRQ18EG	DIRQ17EG	DIRQ16EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ16EG	IRQ16-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
1	DIRQ17EG	IRQ17-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
2	DIRQ18EG	IRQ18-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3	DIRQ19EG	IRQ19-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
4	DIRQ20EG	IRQ20-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
5	DIRQ21EG	IRQ21-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
6	DIRQ22EG	IRQ22-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	DIRQ23EG	IRQ23-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. S-TYPE-4, P-TYPE-2

DPSIEGR3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

11.2.37 DPSIEGR4 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 4

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB50

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ31EG	DIRQ30EG	DIRQ29EG	DIRQ28EG	DIRQ27EG	DIRQ26EG	DIRQ25EG	DIRQ24EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ24EG	IRQ24-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

ビット	シンボル	機能	R/W
1	DIRQ25EG	IRQ25-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
2	DIRQ26EG	IRQ26-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3	DIRQ27EG	IRQ27-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
4	DIRQ28EG	IRQ28-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
5	DIRQ29EG	IRQ29-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
6	DIRQ30EG	IRQ30-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	DIRQ31EG	IRQ31-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. S-TYPE-4, P-TYPE-2

DPSIEGR4 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「6. リセット」を参照してください。

11.2.38 SYOCDCR : システムコントロール OCD コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA38

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DBGEN	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DBGEN	デバッガ有効 0: オンチップデバッガ機能は無効 1: オンチップデバッガ機能は有効(注1)	R/W

注. S-TYPE-5 P-TYPE-2
注 1. DBGEN の値はソフトウェアで設定できます。ただし、デバッガ認証に成功するまではオンチップデバッガ機能は有効になりません。つまり、DBGEN が 1 でも、デバッガ認証に成功するまではオンチップデバッガ機能は無効です。詳細は、「2. CPU」を参照してください。

本レジスタはどのセキュリティ属性レジスタ（例：LPMSAR、DPFSAR）によっても制御されません。

SYOCDCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。

DBGEN ビット（デバッガ有効）

DBGEN は、オンチップデバッガ機能を有効にします。

[1 になる条件]

- パワーオンリセットが発生したとき

- 電圧監視 0 リセットが発生したとき
- コア電圧監視リセットが発生したとき
- 1 を書いたとき

[0 になる条件]

- 0 を書き込んだとき

11.2.39 PLL1LDOCR : PLL1-LDO コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SKEEP	LDOSTP
Value after reset:	0	0	0	0	0	x	0	0

ビット	シンボル	機能	R/W
0	LDOSTP	LDO 停止 0: PLL1-LDO 有効 1: PLL1-LDO 停止	R/W
1	SKEEP	STBY 保持 0: PLL1-LDO はソフトウェアスタンバイモード時に停止します。 1: ソフトウェアスタンバイモード中は、ソフトウェアスタンバイモード前の PLL1-LDO 状態を保持します。	R/W
2	—	読み出し値は不定です。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

このレジスタを使って、PLL1 専用の LDO (PLL1-LDO) の動作を制御できます。

LDOSTP ビット（LDO 停止）

通常モード時の PLL1-LDO 状態を制御します。

このビットを 1 にした後、少なくとも 1 µs 間は 0 にしないでください。このビットは 1 にしてから 1 µs 経過したときのみ、0 にできます。

このビットを 1 から 0 に変更した場合、電源が安定するまで 25 µs かかります。

電源が安定してから PLL1 を操作してください。

SKEEP ビット（STBY 保持）

ソフトウェアスタンバイモード時の PLL1-LDO 状態を制御します。ソフトウェアスタンバイモード時に PLL1-LDO 動作が停止した場合に、ソフトウェアスタンバイモード時の電力消費を低減できます。

11.2.40 PLL2LDOCR : PLL2-LDO コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SKEEP	LDOSTP
Value after reset:	0	0	0	0	0	x	0	0

ビット	シンボル	機能	R/W
0	LDOSTP	LDO 停止 0: PLL2-LDO 有効 1: PLL2-LDO 停止	R/W
1	SKEEP	STBY 保持 0: PLL2-LDO はソフトウェアスタンバイモード時に停止します。 1: ソフトウェアスタンバイモード中は、ソフトウェアスタンバイモード前の PLL2-LDO 状態を保持します。	R/W
2	—	読み出し値は不定です。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

このレジスタを使って、PLL2 専用の LDO (PLL2-LDO) の動作を制御できます。

LDOSTP ビット（LDO 停止）

通常モード時の PLL2-LDO 状態を制御します。

このビットを 1 にした後、少なくとも 1 µs 間は 0 にしないでください。このビットは 1 にしてから 1 µs 経過したときのみ、0 にできます。

このビットを 1 から 0 に変更した場合、電源が安定するまで 25 µs かかります。

電源が安定してから PLL2 を操作してください。

SKEEP ビット（STBY 保持）

ソフトウェアスタンバイモード時の PLL2-LDO 状態を制御します。ソフトウェアスタンバイモード時に PLL2-LDO 動作が停止した場合に、ソフトウェアスタンバイモード時の電力消費を低減できます。

11.2.41 HOCOLDOCR : HOCO-LDO コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SKEEP	LDOSTP
Value after reset:	0	0	0	0	0	x	0	0

ビット	シンボル	機能	R/W
0	LDOSTP	LDO 停止 0: HOCO-LDO 有効 1: HOCO-LDO 停止	R/W
1	SKEEP	STBY 保持 0: HOCO-LDO はソフトウェアスタンバイモード時に停止します。 1: ソフトウェアスタンバイモード中は、ソフトウェアスタンバイモード前の HOCO-LDO 状態を保持します。	R/W
2	—	読み出し値は不定です。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

このレジスタを使って、HOCO 専用の LDO (HOCO-LDO) の動作を制御できます。

LDOSTP ビット（LDO 停止）

通常モード時の HOCO-LDO 状態を制御します。

このビットを 1 にした後､少なくとも 2 µs 間は 0 にしないでください。このビットは 1 にしてから 2 us 経過したときのみ、0 にできます。

このビットを 1 から 0 に変更した場合、電源が安定するまで 5 µs かかります。

電源が安定してから HOCO を操作してください。

SKEEP ビット（STBY 保持）

ソフトウェアスタンバイモード時の HOCO-LDO 状態を制御します。ソフトウェアスタンバイモード時に HOCO-LDO 動作が停止した場合に、ソフトウェアスタンバイモード時の電力消費を低減できます。

11.2.42 VSCR : 電圧スケーリング制御レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x014

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	VSCMTSF	—	VSCM[2:0]		
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
2:0	VSCM[2:0]	電圧スケーリング制御モードビット VDD のターゲット電圧 0 0 1: VSCR_1 0 1 0: VSCR_2（デフォルト） 上記以外は設定しないでください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VSCMTSF	電圧スケーリング制御モード遷移状態フラグ ● 読み出し 0: 遷移完了 1: 遷移中 ● 書き込み 書く場合、0 としてください。	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VSCR レジスタは、電圧スケーリングの動作を制御します。

VSCM[2:0]ビット（電圧スケーリング制御モードビット）

VSCM ビットは、電圧スケーリング動作用 VDD のターゲット電圧を指定します。

VSCMTSF フラグ（電圧スケーリング制御モード遷移状態フラグ）

VSCMTSF フラグは、動作電圧スケーリング制御を実行した時の電圧スケーリング遷移状態を示します。電圧スケーリング制御モードを変更するために書き込みアクセスを試みると、VSCMTSF フラグが 1 になります。電圧スケーリング制御モードへの遷移完了後にこのフラグは 0 になります。VSCMTSF フラグが 0（電圧スケーリング制御モードへの遷移完了）になっていることを確認してから次の処理を開始してください。

11.2.43 SVSCR : SSTBY 電圧スケーリング制御レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA9C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SVSCM[2:0]		
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
2:0	SVSCM[2:0]	SSTBY 電圧スケーリング制御モードビット ソフトウェアスタンバイモードのときの VDD のターゲット電圧を設定します。 0 0 1: SVSCR_1 0 1 0: SVSCR_2（デフォルト） 0 1 1: SVSCR_3 1 0 0: SVSCR_4 1 0 1: SVSCR_5 上記以外は設定しないでください。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

SVSCR レジスタは、ソフトウェアスタンバイモードのときの電圧スケーリング動作を制御します。

SVSCM[2:0]ビット（SSTBY 電圧スケーリング制御モードビット）

SVSCM ビットは、ソフトウェアスタンバイモードのときの電圧スケーリング動作用 VDD のターゲット電圧を指定します。

SVSCR_1 および SS2LP[1:0] = 01b を設定してソフトウェアスタンバイモードへ遷移することは禁止です。

SVSCR_3、SVSCR_4、または SVSCR_5 を設定した場合、ソフトウェアスタンバイモードを終了する割り込み要因は NMI 端子か IRQ 端子に限定されます。

11.2.44 CPUDSCR : CPU ディープスリープコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PGD1	PGD0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PGD0	CPU0 パワーゲーティング禁止 0: CPU0 ディープスリープ（デフォルト）の時にパワーゲーティングを許可します。 1: CPU0 ディープスリープ（デフォルト）の時にパワーゲーティングを禁止します。	R/W
1	PGD1	CPU1 パワーゲーティング禁止 0: CPU1 ディープスリープ（デフォルト）の時にパワーゲーティングを許可します。 1: CPU1 ディープスリープ（デフォルト）の時にパワーゲーティングを禁止します。	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

CPUDSCR レジスタは、CPU ディープスリープモードの時にパワーゲーティングを制御します。

CPUDSCR の各ビットを変更する場合は、対象 CPU 動作中に行ってください。

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ遷移する時は、CPUDSCR.PGDn を 0 にしてください。

PGD0 ビット（CPU0 パワーゲーティング禁止）

PGD0 ビットは、CPU0 ディープスリープモード時に CPU0 電源ドメインのパワーゲーティング制御を指定します。

PGD1 ビット（CPU1 パワーゲーティング禁止）

PGD1 ビットは、CPU1 ディープスリープモード時に CPU1 電源ドメインのパワーゲーティング制御を指定します。

11.3 クロック信号の切り替えによる消費電力の低減

SCKDIVCR レジスタと SCKDIVCR2 レジスタを設定すると、クロック周波数が切り替わります。

モジュールとクロックの対応関係は、「9.2.2. SCKDIVCR : システムクロック分周コントロールレジスタ」と「9.2.3. SCKDIVCR2 : システムクロック分周コントロールレジスタ 2」を参照してください。

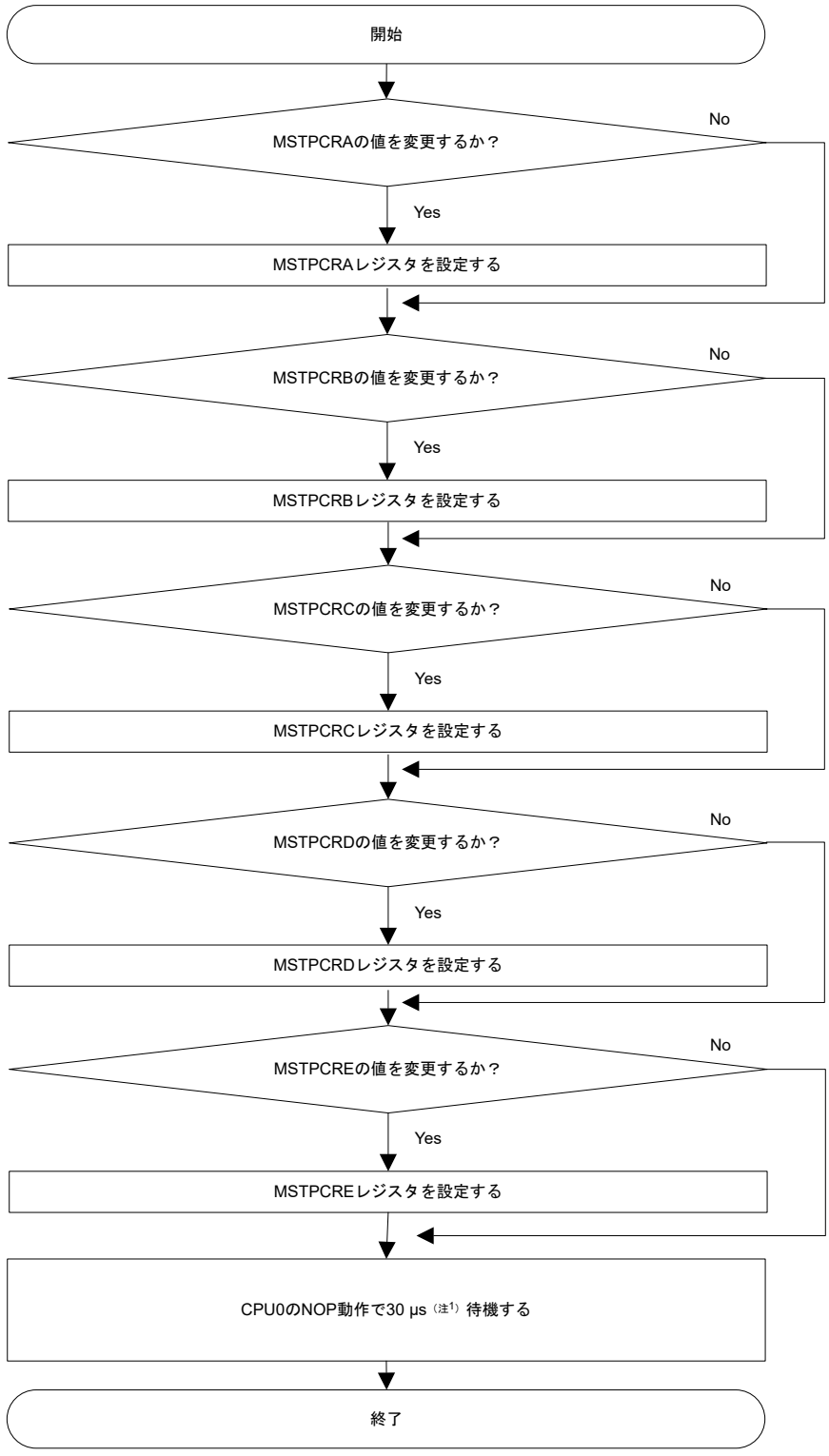
11.4 モジュールストップ機能

モジュールストップ機能を内蔵周辺モジュールごとに設定することができます。

MSTPCRA～MSTPCRE レジスタの MSTPmi ビット (m = A～E, i = 31～0) を 1 にすると、対応するモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。MSTPmi ビットを 0 にクリアすることによって、モジュールストップ状態が解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュール内部の状態が保持されます。

リセット解除後は、DMAC、DTC および SRAMn (n = 0～3) 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。これを守らない場合、読み出し／書き込みデータもそのモジュールの動作も保証されません。また、対応するモジュールがアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

CPUCLK0 が電気的特性の KCLK 最高周波数より高い場合は、MSTPmi ビットの変更後、図 11.2 に示すフローに従って待機時間を指定してください。ソフトウェアを使用して待機時間を測定することを推奨します。必要な待機時間が確実に経過するように、最悪のケースの条件を考慮に入れるようにしてください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。



注 1. DCDC モード時は 30 µs、外部 VDD モード時は 10 µs

図 11.2 CPUCLK0 が電気的特性の KCLK 最高周波数より高い場合のモジュールストップコントロールレジスタの設定フロー

11.5 パワーゲーティング制御

本 MCU は、電源ドメインのパワーゲーティング機能をサポートしています。

ユーザーは、分轄された電源ドメインの電源オン／オフを個別に制御できます。

パワーゲーティング状態では、ドメインの電源が遮断され、状態は表 11.3 の SSTBY と同じになります。

11.5.1 電源ドメインコントロールレジスタを使用したパワーゲーティング制御

表 11.7 に、PDCTR レジスタと対象電源ドメインとの関係を示します。

PDCTR レジスタを設定すると、パワーゲーティング制御が実行されます。さらに、パワーゲーティング機能を使用する場合は、事前に MOCOCR.MCSTP を 0（MOCO 動作）にしてください。

CPU の電源ドメイン制御と PDCTRESWM による電源ドメイン制御が競合しないようにしてください。

表 11.7 PDCTR レジスタと対象電源ドメインとの関係

コントロールレジスタ				対象電源ドメイン名	実装した IP 名
レジスタ名	PDDE	PDCSF	PDPGSF		
PDCTRESWM	あり	あり	あり	ESWM ドメイン	ESWM

パワーゲーティング制御手順の例

1. PDCTRn.PDDE による電源 OFF(注1)
   手順 1：対象ドメインがパワーゲーティングプロセス実行中ではないことを確認します。
   - PDCTRn.PDCSF = 0 であることを確認

   手順 2：モジュールストップコントロールレジスタを「停止」に設定します。
   - MSTPCR* = 1（*：対象ドメインの全てのレジスタ）書き込み

   手順 3：PDCTRn.PDDE ビットを設定して電力制御を開始します。
   - PDCTRn.PDDE = 1 書き込み

   手順 4：パワーゲーティングプロセスが完了し、ドメインは電源オフ状態であることを確認します。
   - PDCTRn.PDCSF = 0 かつ PDCTRn.PDPGSF = 1 であることを確認
2. PDCTRn.PDDE による電源 ON(注1)
   手順 1：対象ドメインがパワーゲーティングプロセス実行中ではないことを確認します。
   - PDCTRn.PDCSF = 0 であることを確認

   手順 2：PDCTRn.PDDE ビットを設定して電力制御を開始します。
   - PDCTRn.PDDE = 0 書き込み

   手順 3：パワーゲーティングプロセスが完了し、ドメインは電源オン状態であることを確認します。
   - PDCTRn.PDCSF = 0 かつ PDCTRn.PDPGSF = 0 であることを確認

   手順 4：モジュールストップコントロールレジスタを「動作」に設定します。
   - MSTPCR* = 0（*：対象ドメインの全てのレジスタ）書き込み

注 1. PDCTRn.PDCSF ビットが 1（パワーゲーティング制御処理中）の場合、PDCTRn レジスタを変更しないでください。

11.6 低消費電力モード

11.6.1 CPU スリープモードおよび CPU ディープスリープモード

「2.7. 低消費電力状態のスリープモード」を参照してください。

11.6.2 ソフトウェアスタンバイモード

11.6.2.1 ソフトウェアスタンバイモードへの遷移

LPSCR.LPMD ビットが 0x5 で、かつ CPUn.SCR.SLEEPDEEP ビットが 1 の状態で両方の CPU の WFI 命令が実行されると、MCU は LPSCR.LPMD 設定に従ってソフトウェアスタンバイモードへ遷移します。ソフトウェアスタンバイモードへ遷移する時は、CPUDSCR.PGDn を 0 にしてください。WFI 命令を実行して本モードに遷移する前に、MOCOCR.MCSTP を 0（MOCO 動作）にする必要があります。コンフィグレーション更新転送中、遷移は中断されますので注意してください。

ソフトウェアスタンバイモードでは、CPU、ほとんどの内蔵周辺機能、およびほとんどの発振器が停止します(注1)。ただし、CPU の内部レジスタの値と RAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため(注1)、消費電力が大幅に削減されます。表 11.3 に、各内蔵周辺機能と発振器の状態を示します。また、ソフトウェアスタンバイモードでは、SSCR1.SS2LP レジスタによって、内部レギュレータを低消費電力状態に遷移させることができます。これによって消費電力をさらに削減することが可能になります。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、通常モードに復帰します。各モードで利用可能な割り込み要因については、表 11.4 を参照してください。割り込みを使用して通常モードに復帰する場合は、WFI 命令を実行する前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. 発振器の状態は、各発振器のコントロールレジスタの設定に依存します。詳細は、「9. クロック発生回路」を参照してください。

ソフトウェアスタンバイモード時のアドレスバスとバス制御信号の状態は、SBYCR.OPE ビットで選択可能です。SBYCR.OPE ビットは、ソフトウェアスタンバイモード時にアドレスバスとバス制御信号がハイインピーダンス状態となるか、出力を保持するかを指定します。

DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモードまたはソフトウェアスタンバイモード時に IWDT カウント停止）の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモードまたはソフトウェアスタンバイモード時に IWDT カウント継続）の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

IWDT がレジスタスタートモードであり、かつ IWDTCSTPR レジスタの SLCSTP ビットが 1（スリープモードまたはソフトウェアスタンバイモード時に IWDT カウント停止）の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。

IWDT がレジスタスタートモードであり、かつ IWDTCSTPR レジスタの SLCSTP ビットが 0（スリープモードまたはソフトウェアスタンバイモード時に IWDT カウント継続）の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

ソフトウェアスタンバイモードへ遷移すると、PCLK が停止するため WDT はカウントを停止します。

MRAM のプログラム処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移するには、プログラム処理が完了してから WFI 命令を実行してください。

外部 VDD モード時は、ソフトウェアスタンバイモードに遷移しないでください。

表 11.8 に、関連する制御ビットの設定値と、WFI 命令実行後に遷移するモードを示します。

表 11.8 WFI 命令実行後にモードに影響するビットの設定 (1/2)

		LPSCR.LPMD ビットと CPUn.SCR.SLEEPDEEP (n = 0, 1) ビットのモード設定			
		ソフトウェアスタンバイ (LPSCR.LPMD = 0x5, CPUn.SCR.SLEEPDEEP = 1)	ディープソフトウェアスタンバイ 1 (LPSCR.LPMD = 0x8, CPUn.SCR.SLEEPDEEP = 1)	ディープソフトウェアスタンバイ 2 (LPSCR.LPMD = 0x9, CPUn.SCR.SLEEPDEEP = 1)	ディープソフトウェアスタンバイ 3 (LPSCR.LPMD = 0xA, CPUn.SCR.SLEEPDEEP = 1)
MENTRYR.MENTRY	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
	1	CPU ディープスリープモード	CPU ディープスリープモード	CPU ディープスリープモード	CPU ディープスリープモード

表 11.8 WFI 命令実行後にモードに影響するビットの設定 (2/2)

		LPSCR.LPMD ビットと CPUn.SCR.SLEEPDEEP (n = 0, 1) ビットのモード設定			
		ソフトウェアスタンバイ (LPSCR.LPMD = 0x5, CPUn.SCR.SLEEPDEEP = 1)	ディープソフトウェアスタンバイ 1 (LPSCR.LPMD = 0x8, CPUn.SCR.SLEEPDEEP = 1)	ディープソフトウェアスタンバイ 2 (LPSCR.LPMD = 0x9, CPUn.SCR.SLEEPDEEP = 1)	ディープソフトウェアスタンバイ 3 (LPSCR.LPMD = 0xA, CPUn.SCR.SLEEPDEEP = 1)
CPUDSCR.PGD0	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
	1	CPU ディープスリープモード	CPU ディープスリープモード	CPU ディープスリープモード	CPU ディープスリープモード
CPUDSCR.PGD1	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
	1	CPU ディープスリープモード	CPU ディープスリープモード	CPU ディープスリープモード	CPU ディープスリープモード
OFS0.IWDTSTPCTL（オートスタートモード）	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 1
	1			ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
IWDTCSTPR.SLCSTP（レジスタスタートモード）	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 1
	1			ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
OFS2.CVMRDIS	0	ソフトウェアスタンバイ	ソフトウェアスタンバイ	ソフトウェアスタンバイ	ソフトウェアスタンバイ
	1		ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
PVD1CR0.RI	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
	1			ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 1
PVD2CR0.RI	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
	1			ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 1
PVD4CR0.RE	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
	1				ディープソフトウェアスタンバイ 2(注1)
PVD5CR0.RE	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
	1				ディープソフトウェアスタンバイ 2(注1)

注 1. PVDnCR0.RE (n = 4, 5) ビットが 1、すべての PVDnCR0.RI (n = 1, 2) ビットが 0、OFS0.IWDTSTPCTL が 1、IWDTCSTPR.SLCSTP が 1 の各条件のうちで少なくとも一つが該当する場合、LPSCR を 0xA に設定してもディープソフトウェアスタンバイモードに遷移します。

11.6.2.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、1) 表 11.4 に示す利用可能な割り込み、2) RES 端子リセット、3) パワーオンリセット、4) 電圧監視リセット、5) コア電圧監視リセット、6) IWDT アンダーフローによるリセット、または 7) 温度監視リセットによって解除されます。

ソフトウェアスタンバイモードに遷移する前に動作していた発振器は動作を再開します。これらの発振器すべての発振が安定したら、MCU はソフトウェアスタンバイモードから通常モードに復帰します。

1. 割り込みによる解除

利用可能な割り込み要求（利用可能な割り込みについては、表 11.4 を参照）が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していた各発振器が動作を再開します。これらすべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードに戻り、割り込み処理を開始します。割り込みによってソフトウェアスタンバイモードを解除すると、各電源ドメインはソフトウェアスタンバイ状態に遷移する前と同じ電源状態に戻ります。

2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルトで動作状態にあった発振器が発振を開始します。「62. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
   - OFS0.IWDTSTRT = 0、かつ OFS0.IWDTSTPCTL = 1（オートスタートモード）
   - IWDTCSTPR.SLCSTP = 1（レジスタスタートモード）
6. コア電圧監視リセットによる解除
コア電圧監視リセット (CVMR) によってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
7. 温度監視リセットによる解除
温度監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

11.6.2.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジによってソフトウェアスタンバイモードに遷移し、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除される例を図 11.3 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0] (i = 0～31) ビットが 00b（立ち下がりエッジ）の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0] (i = 0～31) ビットを 01b（立ち上がりエッジ）にしています。さらに、MOCO が動作していない場合、MOCOCR.MCSTP を 0（MOCO 動作）にする必要があります。続いて、LPSCR.LPMD ビットを 0x5 に、CPUn.SCR.SLEEPDEEP ビットを 1 にした後、WFI 命令を実行しています。ソフトウェアスタンバイモードへの遷移はこのようにして完了します。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。図 11.2 の発振安定待機時間については、「62. 電気的特性」に示されています。

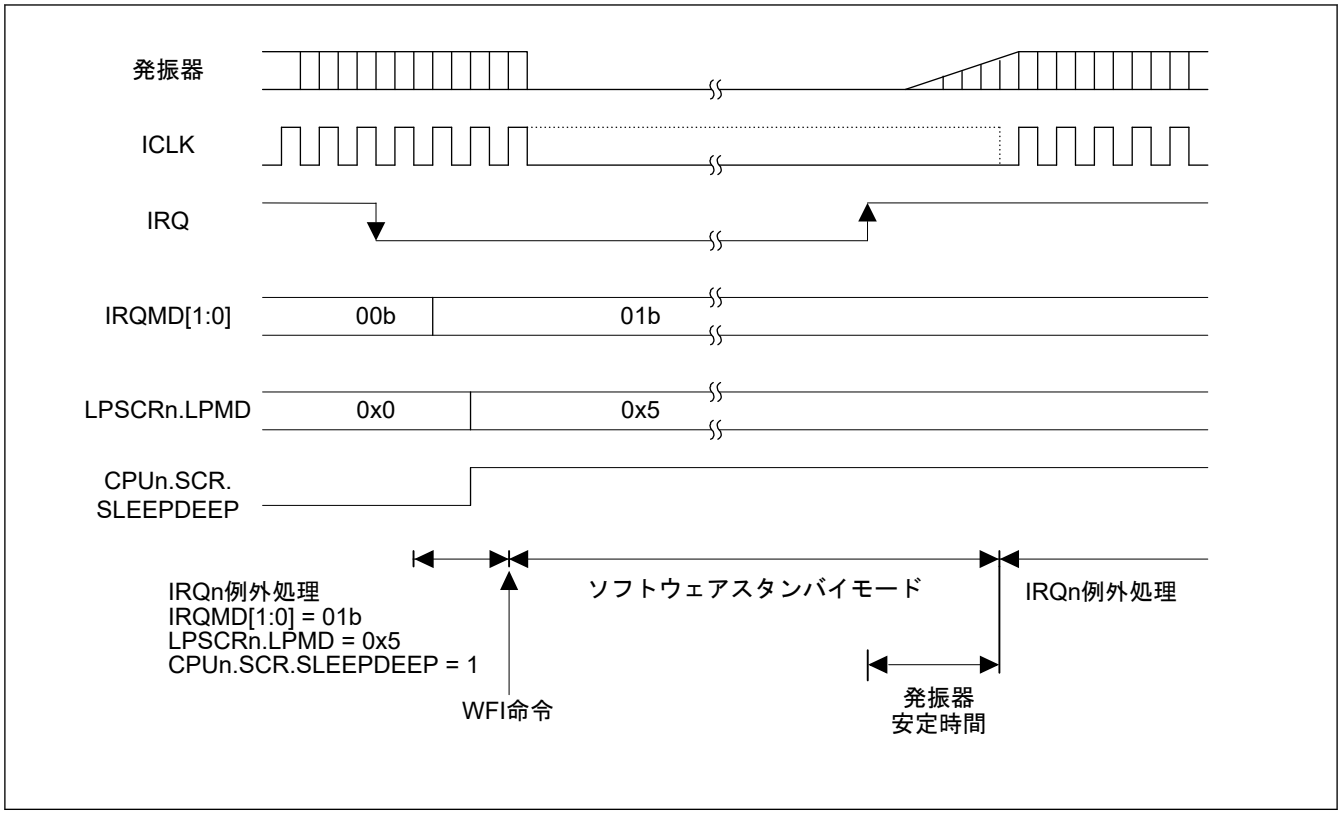


図 11.3　ソフトウェアスタンバイモードの応用例

11.6.3　ディープソフトウェアスタンバイモード

11.6.3.1　ディープソフトウェアスタンバイモードへの遷移

LPSCR.LPMD ビットが 0x8、0x9、0xA で、かつ CPUn.SCR.SLEEPDEEP ビットが 1 の状態で両方の CPU で WFI 命令を実行すると、MCU は LPSCR.LPMD 設定に従ってディープソフトウェアスタンバイモード 1、2、3 のいずれかへ遷移します。ディープソフトウェアスタンバイモードへ遷移する時は、CPUDSCR.PGDn を 0 にしてください。WFI 命令を実行して本モードへ遷移する前に、MOCOCR.MCSTP を 0（MOCO 動作）にしてください。関連する制御ビットの設定値については、表 11.8 を参照してください。

これらのモードでは、表 11.3 に示すように CPU、オンチップ周辺機能、SRAM、および発振器がほぼすべて停止します。さらに、これらの非アクティブモジュールに対する内部電源の供給が停止するので、消費電力が著しく削減されます。CPU レジスタと特定の内部周辺モジュールの内容はすべて不定となります。表 11.3 に、各内蔵周辺機能と発振器の状態を示します。

ディープソフトウェアスタンバイモード 1 では、OFS1.PVDAS = 0 かつ OFS1.PVDLPSEL = 0 のとき、バッテリ電源は電圧監視 0 によって制御されます。電圧監視 0 は、VBATT 専用 VCC 電圧降下検出回路よりも消費電力が少ないため、VBATT 機能を有効にした時よりも電力消費が削減されます。ディープソフトウェアスタンバイモード 2 では、USB レジューム検出部および IWDT への内部電源の供給も停止しますので、消費電力が削減されます。OFS1.PVDAS = 0 かつ OFS1.PVDLPSEL = 0 のとき、バッテリ電源は電圧監視 0 によって制御されます。電圧監視 0 は、VBATT 専用 VCC 電圧降下検出回路よりも消費電力が少ないため、VBATT 機能を有効にした時よりも電力消費が削減されます。ディープソフトウェアスタンバイモード 3 では、PVD も停止します。詳細は、「62. 電気的特性」を参照してください。

DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 の状態で MCU がディープソフトウェアスタンバイモード 2 または 3 へ遷移すると、IWDT 専用クロックと IWDT への電源供給が停止します。また、IWDT もカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 の場合、LPSCR.LPMD ビットの設定にかかわらず、MCU はディープソフトウェアスタンバイモード 2 または 3 ではなくディープソフトウェアスタンバイモード 1 へ遷移します。

IWDT がレジスタスタートモードであり、かつ IWDTCSTPR.SLCSTP ビットが 0 の場合、LPSCR.LPMD の設定にかかわらず、MCU はディープソフトウェアスタンバイモード 2 または 3 ではなくディープソフトウェアスタンバイモード 1 へ遷移します。

MRAM のプログラム処理中は、ディープソフトウェアスタンバイモードへ遷移しないでください。ディープソフトウェアスタンバイモードへ遷移するには、プログラム処理が完了してから WFI 命令を実行してください。

外部 VDD モード時は、ディープソフトウェアスタンバイモードに遷移しないでください。

PVDnCR0.RI (n = 1, 2) が 1（電圧監視 n リセット選択）の場合、LPSCR.LPMD の設定にかかわらず、MCU はディープソフトウェアスタンバイモード 2 または 3 ではなくディープソフトウェアスタンバイモード 1 に遷移します。I/O ポートの端子状態はソフトウェアスタンバイモード時と同じです。

PVDnCR0.RE (n = 4, 5) ビットが 1、すべての PVDnCR0.RI (n = 1, 2) ビットが 0、OFS0.IWDTSTPCTL が 1、IWDTCSTPR.SLCSTP が 1 の各条件のうちで少なくとも一つが該当する場合、LPSCR.LPMD の設定に関係なく、MCU はディープソフトウェアスタンバイモード 2 に遷移します（ディープソフトウェアスタンバイモード 3 には遷移しません）。 I/O ポートの端子状態はソフトウェアスタンバイモード時と同じです。

コア電圧検出回路が有効のとき（つまり、オプション機能選択レジスタ 0 (OFS2) のコア電圧監視無効ビット (CVMRDIS) が 0 のとき）、LPSCR.LPMD の設定に関係なく、MCU はソフトウェアスタンバイモードに遷移します（ディープソフトウェアスタンバイモード 1/2/3 には遷移しません）。

11.6.3.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、1) 表 11.4 に示す割り込み、2) RES 端子リセット、3) パワーオンリセット、4) 電圧監視リセット、5) コア電圧監視リセット、6) IWDT アンダーフローによるリセット、または 7) 温度監視リセットによって解除されます。

(1) 割り込みによる解除

割り込みによる解除は、DPSIERn (n = 0～5) レジスタと DPSIFRn (n = 0～5) レジスタで制御されます。ディープソフトウェアスタンバイモードの解除可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが 1 になります。DPSIERn レジスタで割り込みが許可されていると、ディープソフトウェアスタンバイモードが解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn (n = 0～4) にて設定可能です。エッジ選択が可能な割り込みは、NMI 割り込み、IRQ0-DS～IRQ31-DS 割り込み、電圧監視 n (n = 1, 2) 割り込みです。ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源が供給され、MOCO クロックが発振を開始し、MCU 全体に対して内部リセット（ディープソフトウェアスタンバイリセット）が発生します。

安定した MOCO クロックが MCU 全体に供給され、ディープソフトウェアスタンバイリセットが解除され、MCU はリセット例外処理を開始します。

外部割り込み端子または内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが 1 になります。

(2) RES 端子リセットによる解除

RES 端子を Low にすると、本 MCU はディープソフトウェアスタンバイモードを解除して、リセット状態になります。「62. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

パワーオンリセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

(4) 電圧監視 0 リセットによる解除

電圧検出回路による電圧監視 0 リセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

(5) 電圧監視 n リセット (n = 1, 2, 4, 5) による解除

電圧検出回路による電圧監視 n リセット (n = 1, 2, 4, 5) によってディープソフトウェアスタンバイモード 1 が解除され、MCU はリセット例外処理を開始します。

(6) IWDT リセットによる解除

IWDT リセット（IWDT アンダーフローにより発生する内部リセット）によってディープソフトウェアスタンバイモード 1 が解除され、MCU はリセット例外処理を開始します。

ただし、下記の条件下では、ディープソフトウェアスタンバイモード 1 の時に IWDT が停止して、ディープソフトウェアスタンバイモード 1 を解除するための IWDT リセットが発生しません。

- OFS0.IWDTSTRT = 0、かつ OFS0.IWDTSTPCTL = 1（オートスタートモード）
- IWDTCSTPR.SLCSTP = 1（レジスタスタートモード）

(7) 温度監視リセットによる解除

温度監視リセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

11.6.3.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートはディープソフトウェアスタンバイモードへの遷移前と同じ状態を保持しています。本 MCU はディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されます。ディープソフトウェアスタンバイモードを解除すると、リセット例外処理がただちに開始されます。

I/O ポートを初期化するか、ディープソフトウェアスタンバイモード遷移前の状態を保持するかは DPSBYCR.IOKEEP ビットで選択可能です。

- DPSBYCR.IOKEEP ビットが 0 の場合
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートは初期化されます。
- DPSBYCR.IOKEEP ビットが 1 の場合

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、MCU が初期化されますが、I/O ポートは MCU の内部状態にかかわらずディープソフトウェアスタンバイモード遷移前の状態を保持します。このとき、I/O ポートまたは周辺モジュールが設定されていても、I/O ポート状態はディープソフトウェアスタンバイモード遷移前の状態から変化しません。さらに、DPSBYCR.IOKEEP ビットを 0 にすることによって、保持されていた I/O ポート状態が解放され、MCU は内部状態に従って動作します。

DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。

11.6.3.4 ディープソフトウェアスタンバイモードの応用例

(1) ディープソフトウェアスタンバイモードの遷移と解除

図 11.4 に IRQn-DS 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに遷移し、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードを解除する例を示します。この例では、ICU の IRQCRi.IRQMD[1:0] (i = 0～31) ビットを 00b（立ち下がりエッジ）にした状態で、IRQn 端子の割り込みを受け付けています。その後、DPSIEGRy.DIRQnEG (y = 0, 1, 4, 5, n = 0～31) ビットを 1（立ち上がりエッジ）に、LPSCR.LPMD ビットを 0x8、0x9、または 0xA に、かつ CPUn.SCR.SLEEPDEEP ビットを 1 にすると、WFI 命令が実行されます。ディープソフトウェアスタンバイモードへの遷移はこのようにして実行されます。その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

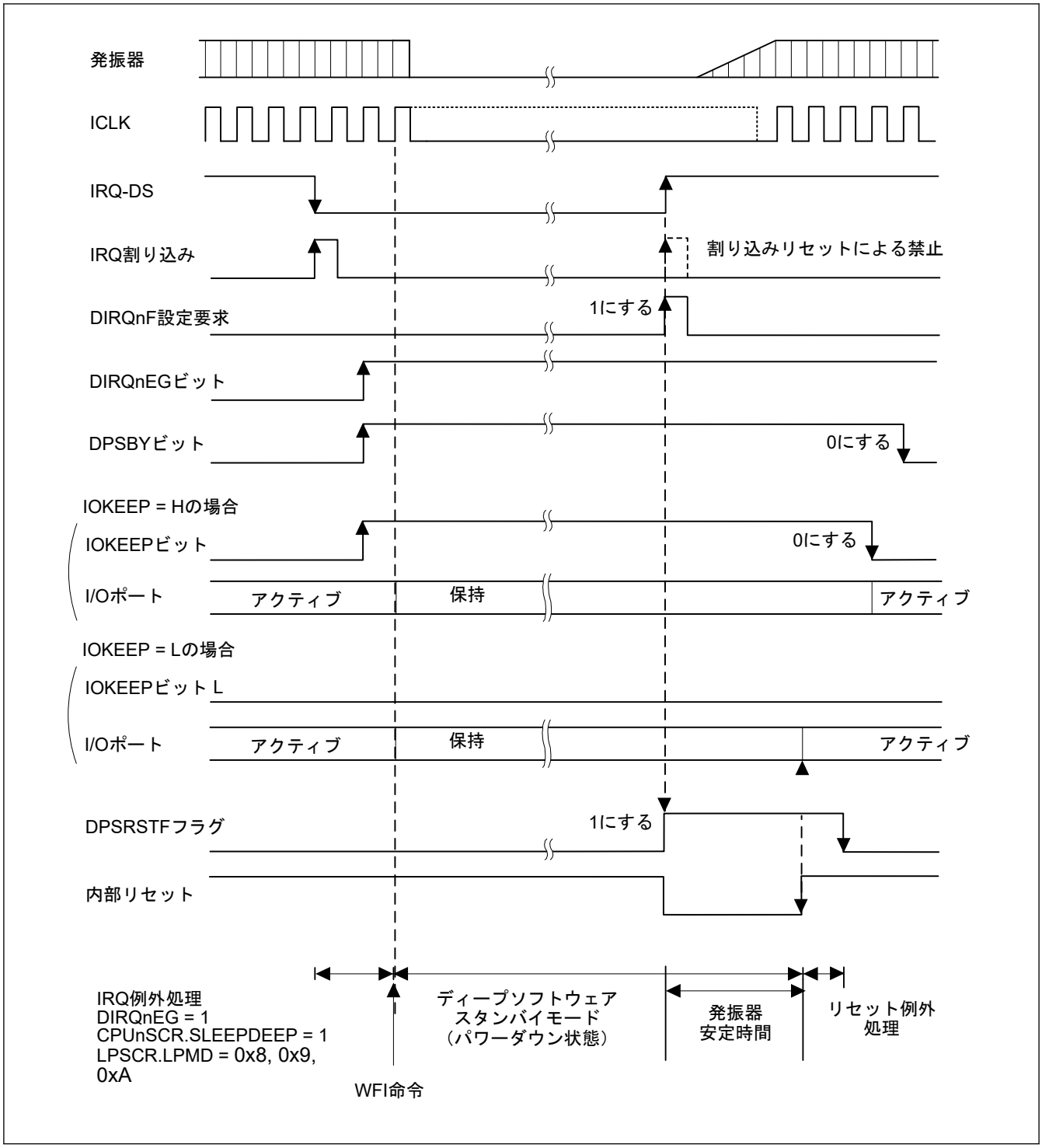


図 11.4　ディープソフトウェアスタンバイモードの応用例

11.6.3.5　ディープソフトウェアスタンバイモード使用時のフローチャート

図 11.5 にディープソフトウェアスタンバイモード使用時のフローチャート例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグを読み出して、RES 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES 端子によるリセットの場合は、必要なレジスタの設定を行った後、ディープソフトウェアスタンバイモードへ遷移しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で、DPSBYCR.IOKEEP ビットを 0 にクリアしています。

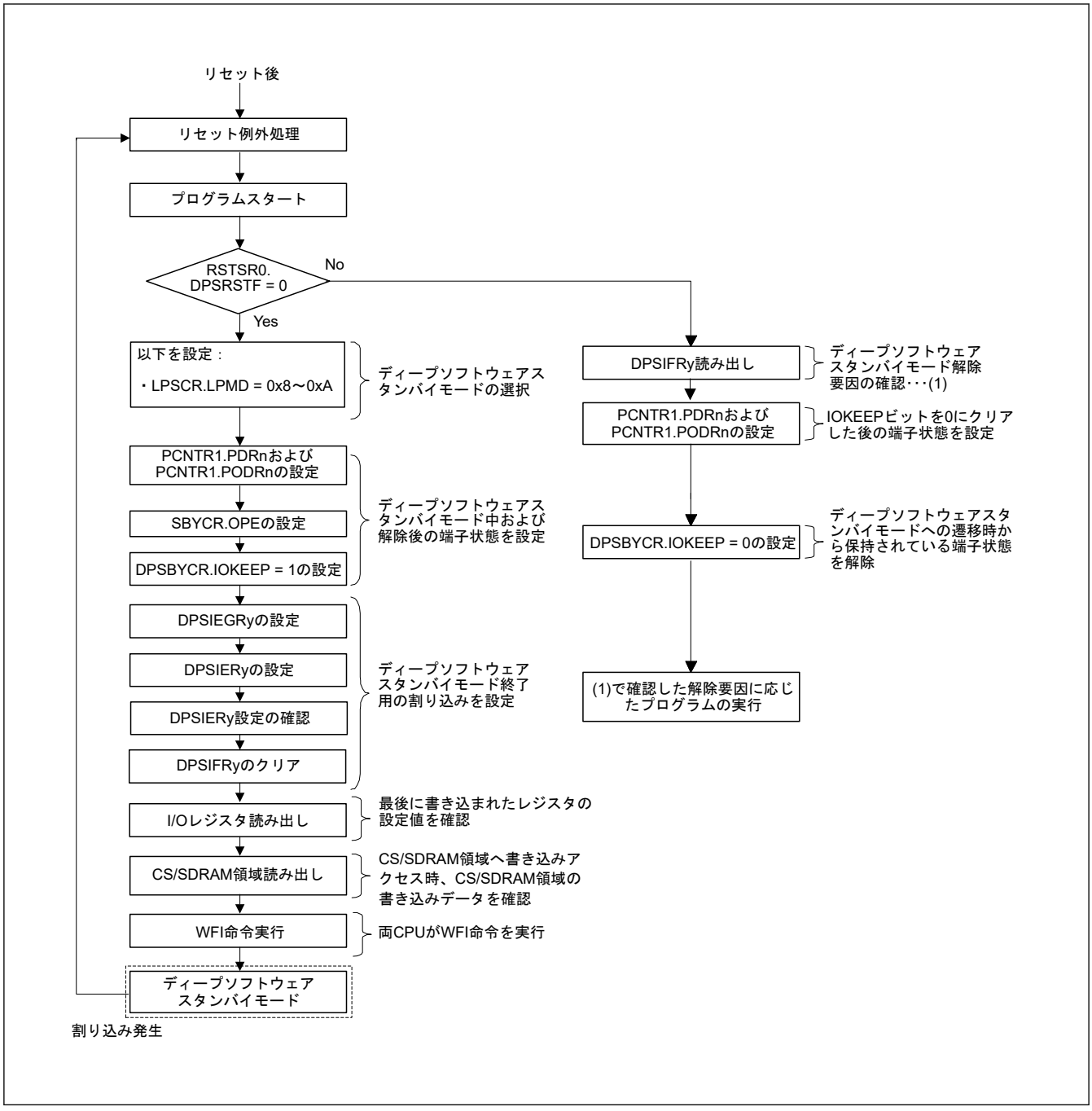


図 11.5　ディープソフトウェアスタンバイモード使用時のフローチャート例

11.7　電圧スケーリング制御

本 MCU は、低消費電力動作を行ったり高性能動作を行ったりするための、電圧スケーリング制御機能 DVFS (Dynamic Voltage and Frequency Scaling) に対応しています。CM85 TCM と CM85 キャッシュは、遷移中 (VSCR.VSCMTSF = 1) に使用できません。CM85 TCM のアクセスをしないでください。CM85 キャッシュを停止するか、すべてのアドレス空間のキャッシュ属性を非キャッシャブルに設定してください。図 11.6 に、DVFS 制御によるモード遷移を示します。

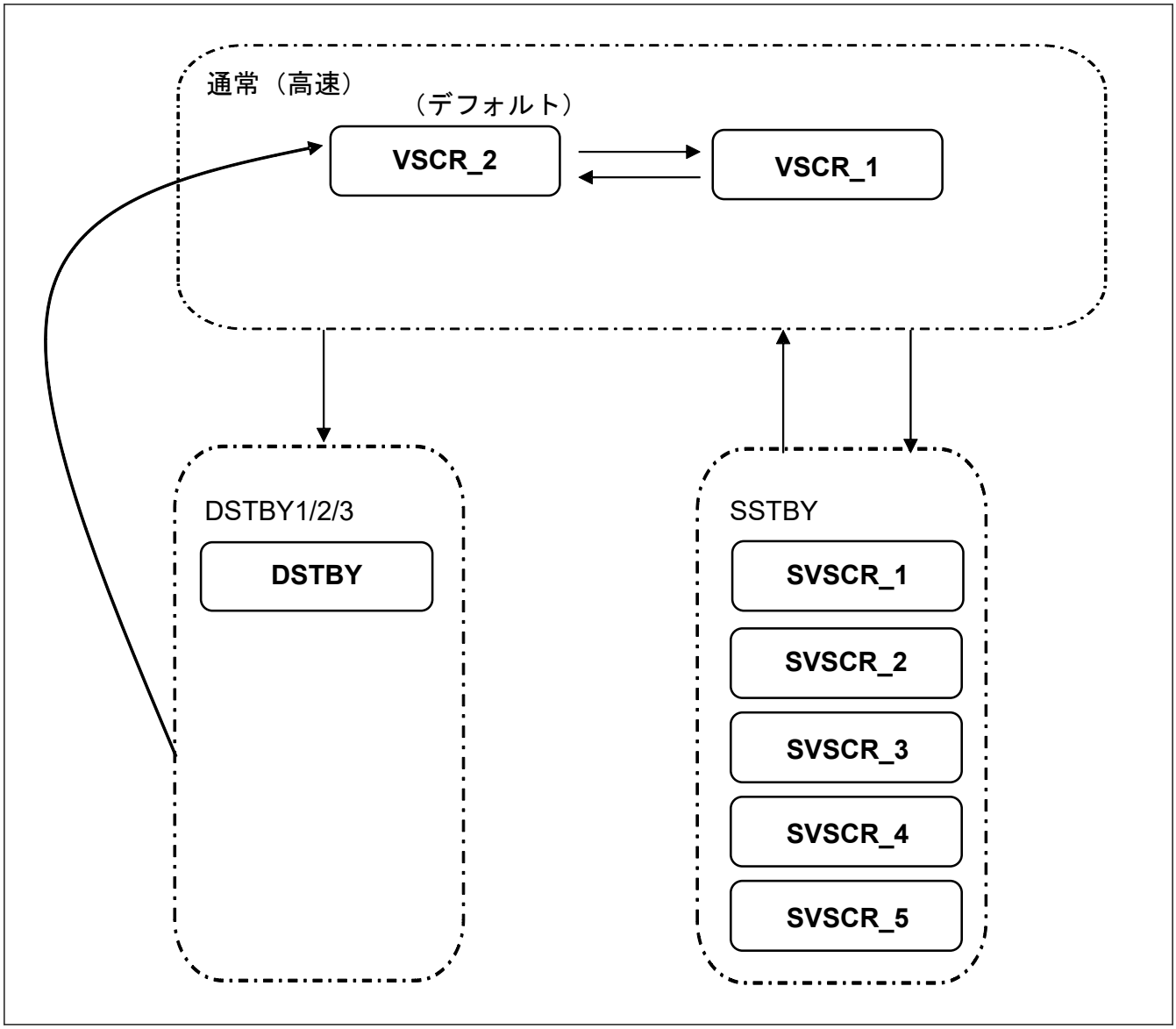


図 11.6 低消費電力運転／高性能運転を行うための電圧スケーリング制御機能 DVFS (Dynamic Voltage and Frequency Scaling)

＜通常モード＞

通常モードで VDD を切り替える場合は、その前後において、周波数範囲などの動作条件が仕様範囲内に収まっていることを必ず確認してください。各クロックの動作周波数が「62. 電気的特性」に示す最大値を超えないように電圧の切り替えを行ってください。

VDD の切り替え手順の例を以下に示します。

(1) VSCR_2 から VSCR_1 への切り替え

1. VSCR.VSCM[2:0]ビットを 0x1 にします。
2. VSCR.VSCMTSF フラグが 0 であることを確認します。
3. SCKDIVCR と SCKDIVCR2 を所望の値に設定します。

(2) VSCR_1 から VSCR_2 への切り替え

1. SCKDIVCR と SCKDIVCR2 を所望の値に設定します。
2. VSCR.VSCM[2:0]ビットを 0x2 にします。
3. VSCR.VSCMTSF フラグが 0 であることを確認します。

(3) VDD 変更時に PLL 設定を変更する必要がある場合

1. クロックソースを PLL 以外に変更します。
2. PLL を停止します。
3. PLL 設定を変更します。
4. VSCR.VSCM[2:0]ビットを所望の値に設定します。
5. VSCR.VSCMTSF フラグが 0 であることを確認します。
6. PLL を有効にします。
7. PLL が安定するまで待機します。
8. クロックソースを PLL に変更します。

<ソフトウェアスタンバイモード>

- VSCR をデフォルトの通常モード以外に設定したままで、ソフトウェアスタンバイモードに遷移したりソフトウェアスタンバイモードから復帰したりすることが可能です。
  ソフトウェアスタンバイモードでは、SVSCR 設定は有効です。SVSCR の設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。
  ソフトウェアスタンバイモードの間もソフトウェアスタンバイモードからの復帰後も VSCR 設定は保持されます。
- SVSCR_1 および SS2LP[1:0] = 01b を設定してソフトウェアスタンバイモードへ遷移することは禁止です。

<ディープソフトウェアスタンバイモード 1/2/3>

- VSCR をデフォルトの通常モード以外に設定したままで、ディープソフトウェアスタンバイモード 1/2/3 に遷移したりディープソフトウェアスタンバイモード 1/2/3 から復帰したりすることが可能です。
  ディープソフトウェアスタンバイモード 1/2/3 から復帰すると VSCR は初期化されます。

11.8 使用上の注意事項

11.8.1 レジスタアクセス

(1) 下記のどちらかの条件に当てはまる場合、下記のレジスタに書き込まないでください。

＜レジスタ＞

- SYSC という周辺名をもつ全レジスタ

＜条件＞

- OPCCR.OPCMTSF = 1（動作電力制御モード遷移中）
- MENTRYR.MENTRY = 1（エクストラ MRAM プログラムモード）
- VSCR.VSCMTSF = 1（動作電力制御モード遷移中）
- 両 CPU からの WFI 命令が実行されてから通常モードに復帰するまでの期間

(2) 下記のレジスタには DTC または DMAC で書き込まないでください。

＜レジスタ＞

- MSTPCRA
- MSTPCRB
- MSTPCRC
- MSTPCRD
- MSTPCRE

(3) PRCR.PRC1 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

＜レジスタ＞

- OPCCR

- PGSCR
- PSSTCRn
- PDCTRESWM
- PDRAMSCRn
- SBYCR
- SSCR1
- LPSCR
- DPSBYCR
- DPSIERn
- DPSIFRn
- DPSIEGRn
- PLL1LDOSCR
- PLL2LDOSCR
- HOCOLDOSCR
- LVOCR
- VSCR
- SVSCR
- CPUDSCR
- MWMCR

(4) PRCR.PRC4 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

＜レジスタ＞

- LPMSAR
- PGCSAR
- DPFSAR
- DPFSAR1
- RSCSAR

11.8.2 I/O ポートの状態

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードでの I/O ポートの状態は、当該モードに遷移する前の状態と同じです。したがって、High を出力している間、供給電流は低減されません。

11.8.3 DMAC と DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットまたは MSTPCRA.MSTPA23 ビットを 1 にする前に、DMAC の DMAST.DMST ビットと DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「17. DMA コントローラ (DMAC)」および「18. データトランスファコントローラ (DTC)」を参照してください。

11.8.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や、DMAC や DTC の起動要因をクリアできません。そのため、対応する割り込みを事前に禁止してから、モジュールストップビットを設定してください。

11.8.5 DIRQnE ビットによる入力バッファ制御

DPSIERy.DIRQnE (y = 0, 1, 4, 5, n = 0～31) ビットを 1 にすることで、IRQ0-DS～IRQ31-DS 端子の入力バッファを有効にできます。これにより、当該端子の入力は、DPSIFRy.DIRQnF (y = 0, 1, 4, 5, n = 0～31) ビットに送られますが、割り込みコントローラや周辺モジュール、I/O ポートには送られませんので注意してください。

11.8.6 低消費電力モードへの遷移

WFE 命令の実行によって低消費電力モード（CPU ディープスリーブモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード）へ遷移させないでください。WFE 命令の実行によって CPU スリープモードに遷移することができます。その場合、他の CPU により実行された SEV 命令または利用可能な割り込み要求により CPU スリープモードは解除されます。

11.8.7 WFI 命令のタイミング

WFI 命令は、I/O レジスタおよび CS 領域の書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタおよび CS 領域への書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタおよび CS 領域を読み戻して、書き込みの完了を確認することをお勧めします。

11.8.8 DMAC または DTC による WDT/IWDT レジスタ書き込み

プロセッサ低消費電力モードへの遷移によって WDT または IWDT が停止している間は、DMAC または DTC で WDT または IWDT 内のレジスタに書き込みをしないでください。

11.8.9 モジュールストップビット書き込みタイミング

対応するモジュールストップビットの書き込みが完了する前に I/O レジスタへのアクセスを実行することは可能です。この場合、I/O レジスタへのアクセスは意図しない動作を起こす恐れがあります。この問題を避けるには、I/O レジスタにアクセスする前に、モジュールストップビットを読み戻して、書き込みの完了を確認してください。

11.8.10 低消費電力状態への遷移とその解除に関する注意事項

低消費電力状態に遷移したり、低消費電力状態を解除したりするには、必要な手順があります。

図 11.7 から図 11.12 にそうしたフローを示します。ソフトウェアを使用して待機時間を測定することを推奨します。必要な待機時間が確実に経過するように、最悪のケースの条件を考慮に入れるようにしてください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。

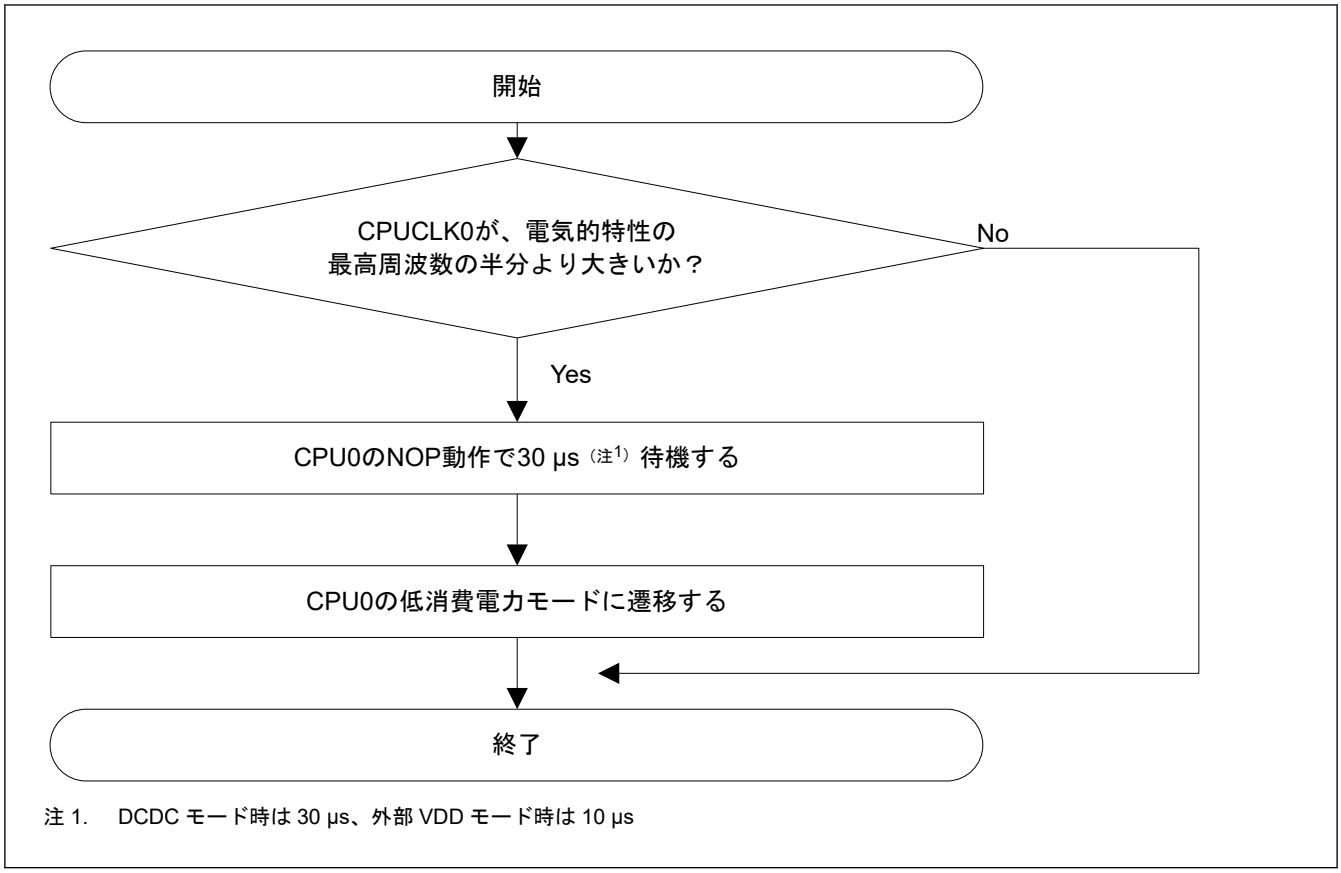


図 11.7 CPUDSCR.PGD0 ビットが 1 のとき CPUCLK0 周波数に応じて CPU0 スリープモード、CPU0 ディープスリープモードに遷移する場合の追加フロー

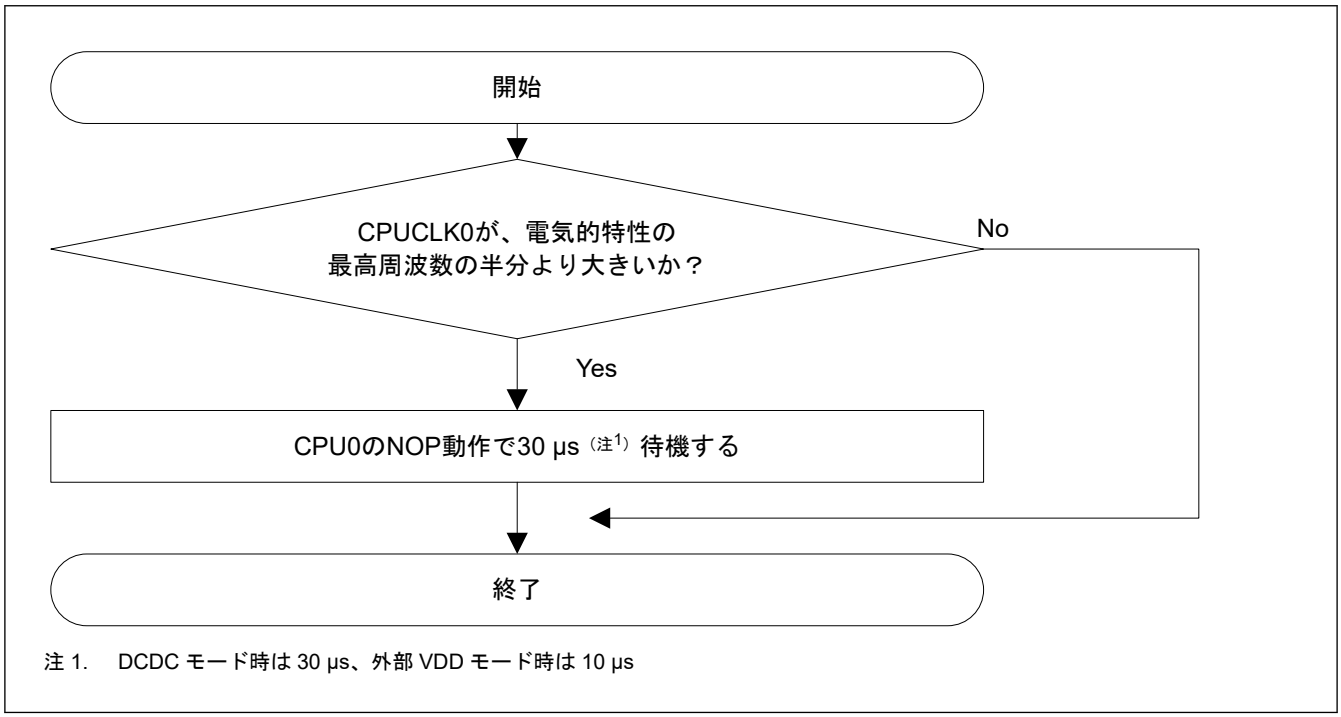
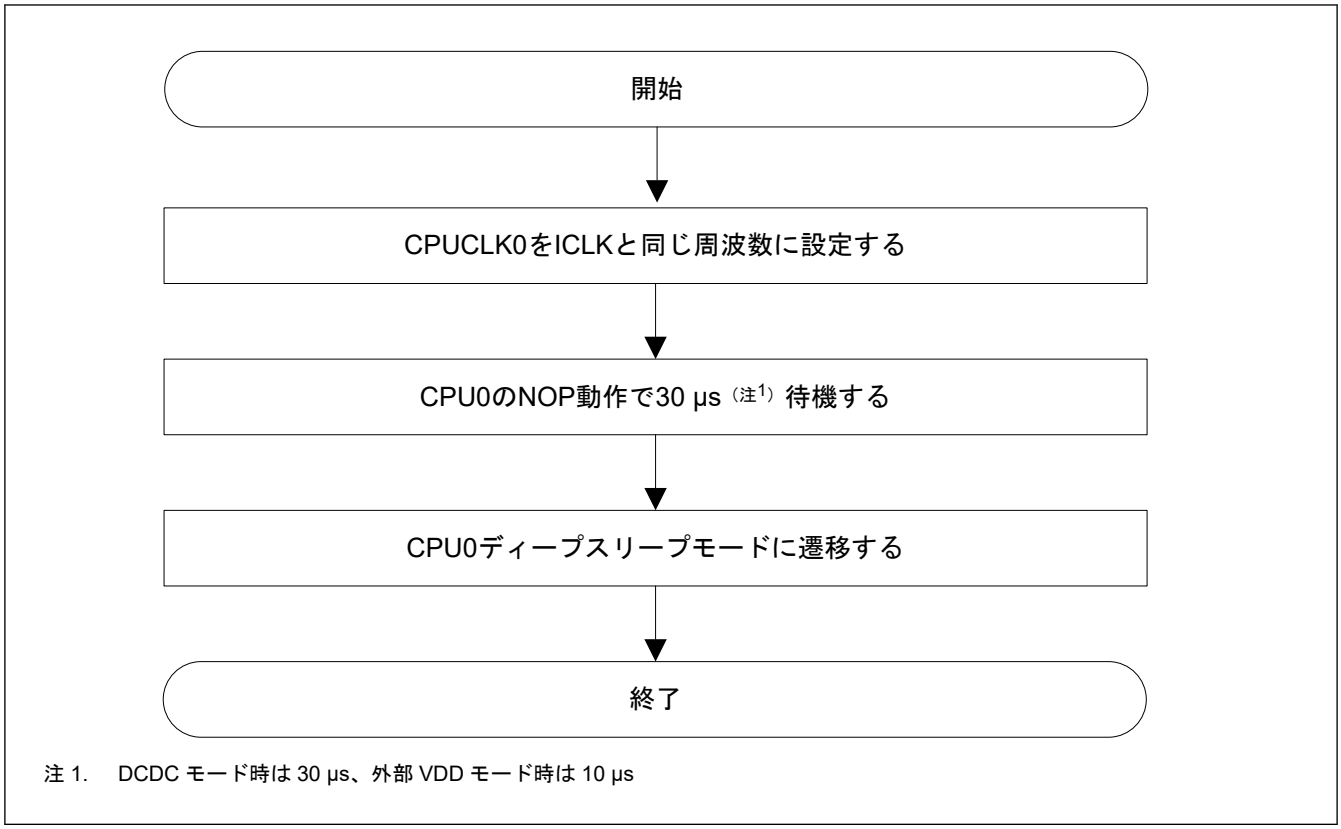
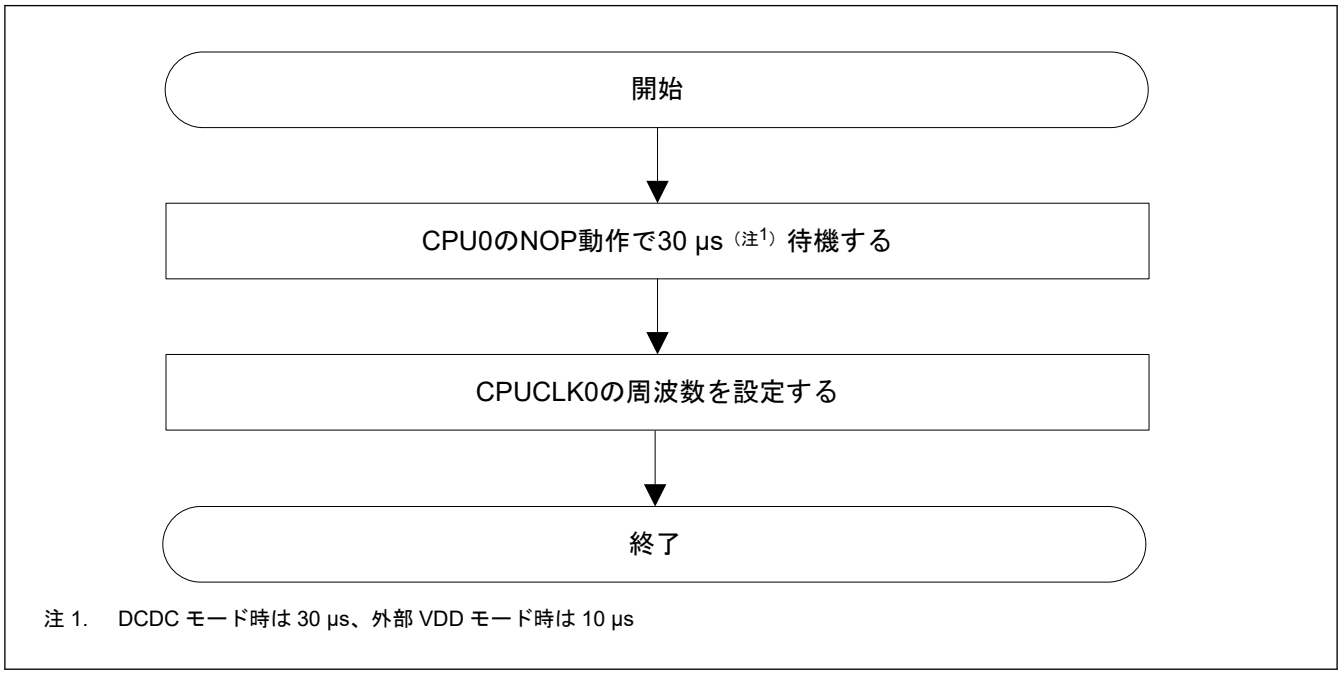


図 11.8 CPUDSCR.PGD0 ビットが 1 のとき CPUCLK0 周波数に応じて CPU0 スリープモード、CPU0 ディープスリープモードから復帰する場合の追加フロー



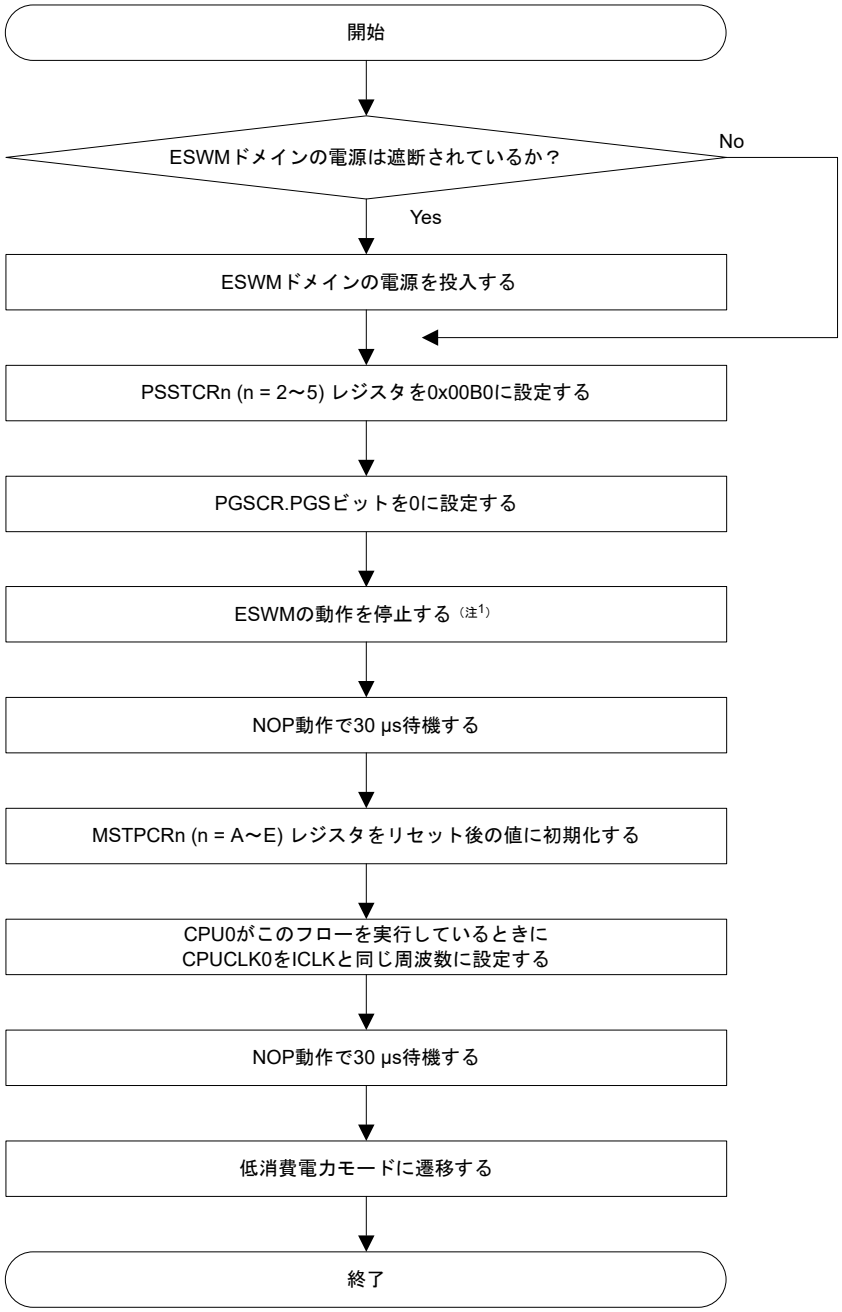
注 1. DCDC モード時は 30 µs、外部 VDD モード時は 10 µs

図 11.9 CPUDSCR.PGD0 ビットが 0 のとき CPU0 ディープスリープモードに遷移する場合の追加フロー



注 1. DCDC モード時は 30 µs、外部 VDD モード時は 10 µs

図 11.10 CPUDSCR.PGD0 ビットが 0 のとき CPU0 ディープスリープモードから復帰する場合の追加フロー（復帰時に CPUCLK0 と ICLK が同じ周波数であると想定）



注 1. 動作を停止する方法については、各章の使用上の注意事項を参照してください。

図 11.11 ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード 1/2/3 に遷移する場合の追加フロー

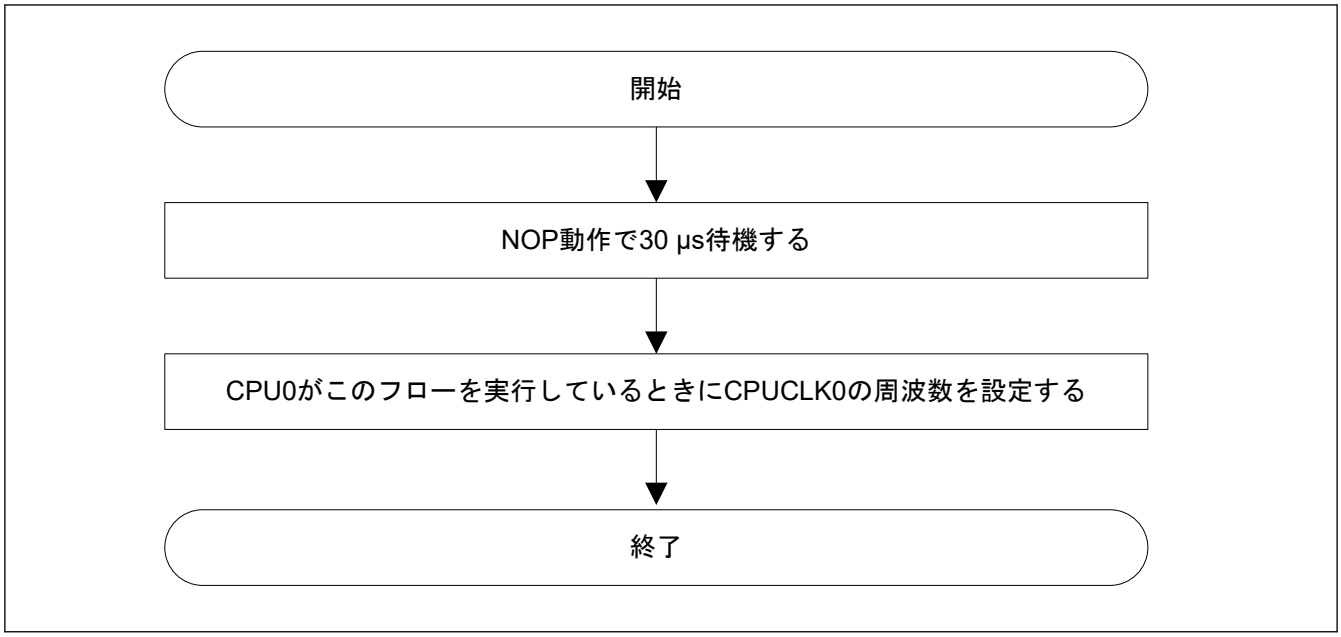


図 11.12 ソフトウェアスタンバイモードから復帰する場合の追加フロー（復帰時に CPUCLK0 と ICLK が同じ周波数であると想定）

11.8.11 WFE 命令または Sleep-on-exit 機能の注意事項

低消費電力モードに遷移する方法には、WFI 命令、WFE 命令、および Sleep-on-exit の 3 つの方法があります。WFE 命令または Sleep-on-exit を低消費電力モードへの遷移に使う場合、ユーザーズマニュアルハードウェア編に記載の WFI 命令に関するコメントを WFE 命令または Sleep-on-exit に適用できます。

12. バッテリバックアップ機能

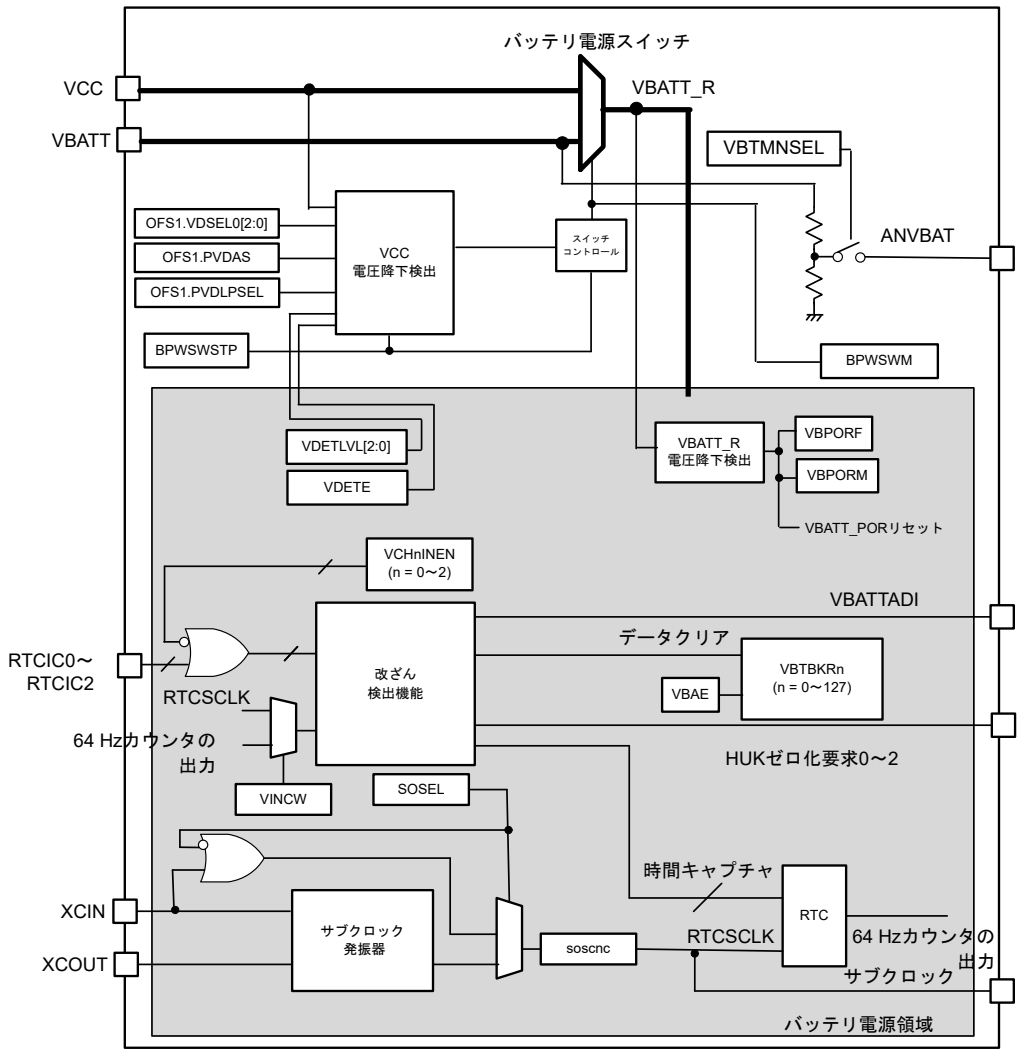
12.1 概要

本 MCU はバッテリバックアップ機能を備えており、電力損失が生じた場合に、バッテリによる部分給電が維持されます。VCC 端子と VBATT 端子を切り替えることにより、RTC、SOSC、バックアップレジスタ、改ざん検出、および VBATT_R 電圧降下検出は、バッテリ電源領域に含まれます。VBATT_R は、バッテリ電源スイッチの出力電圧です。これはバッテリ電源領域の電源です。

正常に動作しているとき、バッテリ電源領域には主電源（VCC 端子）から電源が供給されます。VCC 端子に電圧降下が検出されると、電源は専用のバッテリバックアップ用電源端子（VBATT 端子）に切り替わります。そして電圧が上昇すると、電源は再び VBATT 端子から VCC 端子へ切り替わります。

12.1.1 バッテリバックアップ機能のブロック図

図 12.1 にバッテリバックアップ機能の構成図を示します。



注. VCC：主電源端子
VBATT：バッテリバックアップ電源端子
XCIN/XCOUT: SOSC 入出力
RTCICn (n = 0～2)：バッテリバックアップ機能用入力ポート

図 12.1 バッテリバックアップ機能のブロック図

12.1.2 バッテリバックアップ機能

以下の機能で構成されます。

- バッテリ電源スイッチ
- VBATT_R 電圧降下検出機能
- バックアップレジスタ
- 時間キャプチャ端子検出
- 改ざん検出機能

- VBATT 電圧監視機能

12.1.3 バッテリ電源スイッチ

VCC 端子の印加電圧が低下すると、この機能によって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。

VCC が $V_{DETBATT}$ より低く、かつ VBAT より高い場合、注入電流は、内部ダイオードを介して VCC 端子から VBATT 端子へ流れます。VBATT 端子に接続された電源バッテリが、この電流注入に対応していない（たとえば、バッテリが再充電可能なものではない）場合、ルネサスは、電源バッテリと VBATT 端子の間に低電圧しきい値のダイオードを接続することを強く推奨しています。

電圧監視 0 リセットを許可にした上で、バッテリバックアップ機能を使用する必要があります。電圧監視 0 レベルは、VBATT 切り替えレベルよりも高く設定しなければなりません。

12.1.4 VBATT_R 電圧降下検出機能

VBATT_R 電圧降下検出機能は、バッテリ電源領域に対応しています。この機能は VBATT_R 電圧レベルを監視します。VBATT_R は、バッテリ電源スイッチの出力電圧です。この電圧降下検出は VBATT_POR リセットを引き起こし、バッテリ電源領域を初期化します。詳細は、各レジスタの説明を参照してください。VBATT ステータスレジスタは、この電圧降下検出を確認するためのフラグを含んでいます。

12.1.5 バックアップレジスタ

バッテリ電源領域には、128 バイトのバックアップレジスタが搭載されています。これらのレジスタは、VBATT 端子が電源供給されていて、VCC 端子が電源 OFF の場合に、データを保持します。改ざんが検出されると、バックアップレジスタのデータは 0x00 にクリアできます。

12.1.6 時間キャプチャ機能

RTC は、RTCICn (n = 0～2) 端子の入力レベルの変化を検出します。詳細は、「26. リアルタイムクロック (RTC)」を参照してください。

12.1.7 改ざん検出機能

改ざん検出機能は、RTCICn (n = 0～2) 端子の入力イベントを検出します。入力イベントは、RTCICn (n = 0～2) 端子の入力レベルの変化として定義されます。改ざん検出フラグは、入力イベントによって 1 に設定されます。割り込みが許可され、フラグが 1 に設定されると、改ざん検出割り込みが発生します。バックアップレジスタのクリアが許可され、フラグが 1 に設定されると、バックアップレジスタのデータがクリアされます。時間キャプチャ機能は、時間キャプチャトリガのソースとして、本フラグを選択できます。

改ざん検出ゼロ化有効が有効に設定されフラグが 1 であるとき、HUK ゼロ化要求が出力されます。

12.1.8 VBATT 電圧監視機能

VBATT 電圧監視機能は、VBATT 端子への入力電圧レベルを監視します。電圧レベルは、アナログ信号として監視できます。詳細は、「53. 16 ビット A/D コンバータ (ADC16H)」を参照してください。

12.2 レジスタの説明

12.2.1 BBFSAR : バッテリバックアップ機能セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	NONSEC6	NONSEC5	NONSEC4	NONSEC3	NONSEC2	NONSEC1	NONSEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ: VBATTMNSELR 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ: VBTBER 0: セキュア 1: 非セキュア	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ: VBTICTLR, VBTICTLR2, VBTIMONR 0: セキュア 1: 非セキュア	R/W
3	NONSEC3	非セキュア属性ビット 3 対象レジスタ: VBTBPCR1, VBTBPCR2, VBTBPSR 0: セキュア 1: 非セキュア	R/W
4	NONSEC4	非セキュア属性ビット 4 対象レジスタ: VBTADSR, VBTADCR1, VBTADCR2 0: セキュア 1: 非セキュア	R/W
5	NONSEC5	非セキュア属性ビット 5 対象レジスタ: VBTADCR3 0: セキュア 1: 非セキュア	R/W
6	NONSEC6	非セキュア属性ビット 6 対象レジスタ: VBTNCWCR 0: セキュア 1: 非セキュア	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. このレジスタは PRCR レジスタによって書き込み保護されています。

BBFSAR レジスタは、バッテリバックアップ機能レジスタのセキュア属性を制御します。

NONSEC0 ビット（非セキュア属性ビット 0）

本ビットは VBATTMNSELR のセキュリティ属性を制御します。

NONSEC1 ビット（非セキュア属性ビット 1）

本ビットは VBTBER のセキュリティ属性を制御します。

NONSEC2 ビット（非セキュア属性ビット 2）

本ビットは VBTICTLR、VBTICTLR2、および VBTIMONR の各レジスタのセキュリティ属性を制御します。

NONSEC3 ビット（非セキュア属性ビット 3）

本ビットは VBTBPCR1 および VBTADCR2 のセキュリティ属性を制御します。

NONSEC4 ビット（非セキュア属性ビット 4）

本ビットは VBTADSR、VBTADCR1、および VBTADCR2 の各レジスタのセキュリティ属性を制御します。

NONSEC5 ビット（非セキュア属性ビット 5）

本ビットは VBTADCR3 のセキュリティ属性を制御します。

NONSEC6 ビット（非セキュア属性ビット 6）

本ビットは VBTNCWCR のセキュリティ属性を制御します。

12.2.2 VBRSABAR : VBATT バックアップレジスタセキュリティ属性バウンダリアドレスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3B0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SABA[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SABA[15:0]	セキュア領域／非セキュア領域間のバウンダリアドレス	R/W

注. S-TYPE-6, P-TYPE-2

VBRSABAR は、VBATT バックアップレジスタのセキュア領域／非セキュア領域間のバウンダリアドレスを指定します。本レジスタは、VBATT バックアップレジスタのアドレスの下位 16 ビットを指定します。セキュア領域は SABA より下側です。非セキュア領域は SABA と同じか上側です。バウンダリアドレスは 32 バイト単位で設定できます。よって、b4～b0 に書き込まれる値は 0 である必要があります。SABA は VBATT バックアップレジスタ以外には、影響ありません。

VBATT バックアップレジスタは、以下のように分離されています。

セキュア領域： 0x4001_ED00 ≦ アドレス < 0x4001_0000 + SABA

非セキュア領域： 0x4001_0000 + SABA ≦ アドレス

注. 初期値は、VBATT バックアップレジスタの最終アドレスよりも上側のアドレスを指定します。よって、すべての領域がセキュア領域です。VBATT バックアップレジスタのすべての領域を非セキュア領域に指定する場合は、VBATT バックアップレジスタの領域の最上位アドレスを指定してください。

12.2.3 VBRPABARS : セキュア領域用 VBATT バックアップレジスタプリビレッジ属性バウンダリアドレスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3B4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PABAS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PABAS[15:0]	セキュア領域プリビレッジ属性バウンダリアドレス セキュア領域のプリビレッジ領域と任意のプリビレッジ領域間のバウンダリアドレス	R/W

注. S-TYPE-6, P-TYPE-2

VBRPABARS は、VBATT バックアップレジスタのセキュア領域のプリビレッジ領域と任意のプリビレッジ領域間のバウンダリアドレスを指定します。さらに、本レジスタは、VBRSABAR レジスタで設定された VBATT バックアップレジスタのセキュア領域を、プリビレッジ領域と任意のプリビレッジ領域に分離します。本レジスタは、VBATT バックアップレジスタのアドレスの下位 16 ビットを指定します。プリビレッジ領域は PABAS より下側です。任意のプリビレッジ領域は PABAS と同じか上側です。バウンダリアドレスは 32 バイト単位で設定できます。よって、b4～b0 に書き込まれる値は 0 である必要があります。PABAS は VBATT バックアップレジスタ以外には、影響ありません。

VBATT バックアップレジスタは、以下のように分離されています。

セキュア領域内のプリビレッジ領域： 0x4001_ED00 ≦ アドレス < 0x4001_0000 + PABAS
0x4001_ED00 ≦ アドレス < 0x4001_0000 + SABA

この領域は両方のアドレスの条件を満たします。

セキュア領域内の任意のプリビレッジ領域： 0x4001_0000 + PABAS ≦ アドレス < 0x4001_0000 + SABA

注. 初期値は、VBATT バックアップレジスタの最上位アドレスより前を指定します。よって、すべてのセキュア領域が任意のプリビレッジ領域です。この場合の本レジスタの設定は、実際には無視されます。

セキュア領域として設定した、すべての VBATT バックアップレジスタをプリビレッジ領域に指定する場合は、VBRPABARS レジスタに 0xFFE0 の値を設定してください。

12.2.4 VBRPABARNS : 非セキュア領域用 VBATT バックアップレジスタプリビレッジ属性バウンダリアドレスレジスタ

Base address: SYSC_NS = 0x5001_E000

Offset address: 0x3B8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PABANS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PABANS[15:0]	非セキュア領域プリビレッジ属性バウンダリアドレス 非セキュア領域のプリビレッジ領域と任意のプリビレッジ領域間のバウンダリアドレス	R/W

注. S-TYPE-7, P-TYPE-2

VBRPABARNS は、VBATT バックアップレジスタの非セキュア領域のプリビレッジ領域と任意のプリビレッジ領域間のバウンダリアドレスを指定します。さらに、本レジスタは、VBRSABAR レジスタで設定された VBATT バックアップレジスタの非セキュア領域を、プリビレッジ領域と任意のプリビレッジ領域に分離します。本レジスタは、VBATT バックアップレジスタのアドレスの下位 16 ビットを指定します。プリビレッジ領域は PABANS より下側です。任意のプリビレッジ領域は PABANS と同じか上側です。バウンダリアドレスは 32 バイト単位で設定できます。よって、b4～b0 に書き込まれる値は 0 である必要があります。PABANS は VBATT バックアップレジスタ以外には、影響ありません。

VBATT バックアップレジスタは、以下のように分離されています。

非セキュア領域内のプリビレッジ領域： 0x4001_0000 + SABA ≦ アドレス ＜ 0x4001_0000 + PABANS

非セキュア領域内の任意のプリビレッジ領域： 0x4001_0000 + PABANS ≦ アドレス
0x4001_0000 + SABA ≦ アドレス

この領域は両方のアドレスの条件を満たします。

注. 初期値は、VBATT バックアップレジスタの最上位アドレスより前を指定します。よって、すべての非セキュア領域が任意のプリビレッジ領域です。この場合の本レジスタの設定は、実際には無視されます。

非セキュア領域として設定した、すべての VBATT バックアップレジスタをプリビレッジ領域に指定する場合は、VBRPABARNS レジスタに 0xFFE0 の値を設定してください。

12.2.5 VBATTMNSELR : バッテリバックアップ電圧監視機能選択レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA84

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	VBTMNSEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VBTMNSEL	VBATT 電圧監視機能選択 VBATT 電圧監視機能を選択します。 0: VBATT 電圧監視機能無効 1: VBATT 電圧監視機能有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBATTMNSELR は、VBATT 電圧監視機能を制御するレジスタです。

本レジスタは、VBATT_POR リセットを除く全リセット要因により初期化されます。

VBTMNSEL ビット（VBATT 電圧監視機能選択）

本ビットは、VBATT 低電圧監視機能を選択します。本ビットを 1 に設定後、監視レベルが安定するまで t_{MONWT} だけ待機する必要があります。

VBTMNSEL = 1 のとき、消費電流が増加します。したがって、VBATT 電圧レベルを監視後、VBATT 電源の消費電力を低減させるために、VBTMNSEL を 0 にクリアしてください。

t_{MONWT} についての詳細は、「62. 電気的特性」を参照してください。

12.2.6 VBTBER : VBATT バックアップイネーブルレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC40

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	VBAE	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	VBAE	VBATT バックアップレジスタアクセス許可 0: VBTBKR へのアクセスは禁止 1: VBTBKR へのアクセスは許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBAE ビットは、VBATT モードへの遷移後、VCC のパワーオンリセットにより初期化されます。

VBAE ビット（VBATT バックアップレジスタアクセス許可）

VBTBKR にアクセスする前に、VBAE に 1 を書き込む必要があります。また、VBTBKR へのすべてのアクセス（書き込みまたは読み出し）が終了した後は、0 を書き込む必要があります。VBAE に 0 を書き込まなかった場合、VBTBKR のデータを VBATT モードで保持することができません。

また、VBAE が 0 のとき、VDD 電源と VCC 電源が OFF の場合でも、VBTBKR の値は保持できます。

（VBAE を 0 に設定した後にコア電圧監視リセットと過電流保護リセットが発生しても、値は保持できます。）

VBTBKR にアクセスするには、VBAE ビットに 1 を書き込んだ後 500 ns 以上待機してから、VBTBKR にアクセスしてください。

ディープソフトウェアスタンバイモードに遷移する前に、VBAE ビットに 0 を書き込む必要があります。

ディープソフトウェアスタンバイモードに遷移するためには、VBAE ビットに 0 を書き込んだ後 250 ns 以上待機してから、ディープソフトウェアスタンバイモードに遷移してください。

VBTBKR を使用しない場合、VBTBKR の電力消費を減らすために VBAE ビットを 0 にしてください。

12.2.7 VBTBKRn : VBATT バックアップレジスタ (n = 0～127)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xD00 + 0x001 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	VBTBKRn[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	VBTBKRn[7:0]	VBATT バックアップレジスタ 本レジスタの値は、VBATT モードでも保持されます。 本レジスタは、いずれのリセット要因によっても初期化されません。	R/W

注. S-TYPE-3, P-TYPE-3

VBTBKRn[7:0]ビット（VBATT バックアップレジスタ）

本レジスタの値は、VBATT モードでも保持されます。

VBTBKRn レジスタにアクセスする場合、32、16、または 8 ビットのアクセス命令を使用できます。アクセス時は、VBTBKRn レジスタに格納されたデータのバイト順序がリトルエンディアンであることに注意してください。

VBTBKRn レジスタのデータは、VBATT_POR リセットまたは改ざん検出機能により、0x00 にクリアされます。

12.2.8 VBTICTLR : VBATT 入力コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC4C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VCH2INEN	VCH1INEN	VCH0INEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VCH0INEN	VBATT CH0 入力許可 0: RTCIC0 入力禁止 1: RTCIC0 入力許可	R/W
1	VCH1INEN	VBATT CH1 入力許可 0: RTCIC1 入力禁止 1: RTCIC1 入力許可	R/W

ビット	シンボル	機能	R/W
2	VCH2INEN	VBATT CH2 入力許可 0: RTCIC2 入力禁止 1: RTCIC2 入力許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTICTLR レジスタは、RTCICn (n = 0～2) 端子を入力として選択可能です。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VCHnINEN ビット（VBATT CHn 入力許可）(n = 0～2)

VCHnINEN ビットは RTCICn の入力方向を許可します。RTCICn 端子入力が許可された後、安定化動作のために 50 µs の待機時間が必要です。

12.2.9 VBTICTLR2 : VBATT 入力コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC4D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	VCH2EG	VCH1EG	VCH0EG	—	VCH2NCE	VCH1NCE	VCH0NCE
Value after reset:	0	1	1	1	0	0	0	0

ビット	シンボル	機能	R/W
0	VCH0NCE	VBATT CH0 入力ノイズキャンセラ有効 0: RTCIC0 端子入力ノイズキャンセラ無効 1: RTCIC0 端子入力ノイズキャンセラ有効	R/W
1	VCH1NCE	VBATT CH1 入力ノイズキャンセラ有効 0: RTCIC1 端子入力ノイズキャンセラ無効 1: RTCIC1 端子入力ノイズキャンセラ有効	R/W
2	VCH2NCE	VBATT CH2 入力ノイズキャンセラ有効 0: RTCIC2 端子入力ノイズキャンセラ無効 1: RTCIC2 端子入力ノイズキャンセラ有効	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VCH0EG	VBATT CH0 入力エッジ選択 0: 立ち下がりエッジで RTCIC0 端子入力イベント検出 1: 立ち上がりエッジで RTCIC0 端子入力イベント検出	R/W
5	VCH1EG	VBATT CH1 入力エッジ選択 0: 立ち下がりエッジで RTCIC1 端子入力イベント検出 1: 立ち上がりエッジで RTCIC1 端子入力イベント検出	R/W
6	VCH2EG	VBATT CH2 入力エッジ選択 0: 立ち下がりエッジで RTCIC2 端子入力イベント検出 1: 立ち上がりエッジで RTCIC2 端子入力イベント検出	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTICTLR2 レジスタは、RTCICn (n = 0～2) 端子入力モードを選択可能です。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VCHnNCE ビット（VBATT CHn 入力ノイズキャンセラ有効）(n = 0～2)

VCHnNCEN ビットは、RTCICn (n = 0～2) 端子入力の入力ノイズキャンセラを有効にします。

VCHnEG ビット（VBATT CHn 入力エッジ選択）(n = 0～2)

VCHnEG ビットは、VBTADFn フラグを設定するために、入力イベント検出エッジを選択します。

12.2.10 VBTIMONR : VBATT 入力監視レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC4E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VCH2MON	VCH1MON	VCH0MON
Value after reset:	0	0	0	0	0	x	x	x

ビット	シンボル	機能	R/W
0	VCH0MON	VBATT CH0 入力監視 0: RTCIC0 端子の入力レベル Low 1: RTCIC0 端子の入力レベル High	R
1	VCH1MON	VBATT CH1 入力監視 0: RTCIC1 端子の入力レベル Low 1: RTCIC1 端子の入力レベル High	R
2	VCH2MON	VBATT CH2 入力監視 0: RTCIC2 端子の入力レベル Low 1: RTCIC2 端子の入力レベル High	R
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTIMONR レジスタは、RTCICn (n = 0～2) 端子の入力レベルを監視できます。

VCHnMON ビット（VBATT CHn 監視）(n = 0～2)

VCHnMON ビットは、RTCICn (n = 0～2) 端子の入力レベルを示します。

12.2.11 VBTBPCR1 : VBATT バッテリ電源コントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA88

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BPWSWSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPWSWSTP	バッテリ電源スイッチ停止 0: バッテリ電源スイッチ許可 1: バッテリ電源スイッチ停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTBPCR1 レジスタはバッテリ電源スイッチを制御します。本レジスタは、ディープソフトウェアスタンバイリセットと VBATT_POR リセットを除く全リセット要因により初期化されます。

BPWSWSTP ビット（バッテリ電源スイッチ停止）

BPWSWSTP ビットは、VCC 端子電圧が降下したとき、バッテリバックアップモジュールの電源ソースを VCC から VBATT へ切り替えることを許可できます。

電源ソースの切り替えの停止を選択すると、バッテリバックアップモジュールの電源ソースは常に VCC です。BPWSWSTP ビットを 1 にした後に、VDETE ビットを 0 にしてください。VDETE ビットが 1 のとき、BPWSWSTP ビットを 1 から 0 に設定しないでください。この設定をすると、バックアップ電源領域の状態は保証できません。

BPWSWSTP ビットを 1 から 0 に変更する場合は、その前に VBTBPCR2.VDETLVL の値を設定します。

BPWSWSTP の値を 1 から 0 に変更した後は、t_{DETWT} の間待機してから、VBTBPCR2.VDETE ビットが 1 である状態に設定にします。

12.2.12 VBTBPCR2 : VBATT バッテリ電源コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC45

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	VDETE	—	VDETLVL[2:0]		
Value after reset:	0	0	0	0	0	1	1	0

ビット	シンボル	機能	R/W
2:0	VDETLVL[2:0]	$V_{DETBATT}$ レベル選択 0 0 0: 2.80 V 0 0 1: 2.53 V 0 1 0: 2.10 V 0 1 1: 1.95 V 1 0 0: 1.85 V 1 0 1: 1.75 V 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VDETE	電圧降下検出有効 0: VCC 電圧降下検出無効 1: VCC 電圧降下検出有効	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTBPCR2 レジスタはバッテリ電源スイッチを制御します。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VDETLVL[2:0]ビット（$V_{DETBATT}$ レベル選択）

VDETLVL[2:0]ビットは $V_{DETBATT}$ レベルを選択します。VCC 端子電圧が $V_{DETBATT}$ より低下すると、電源ソースが VCC 端子から VBATT 端子に切り替わります。$V_{DETBATT}$ レベルは、電圧監視 0 レベルよりも低くしてください。

本 MCU はディープソフトウェアスタンバイモード 1 または 2 の消費電力を低減できます。OFS1.PVDAS = 0 かつ OFS1.PVDLPSEL = 0 に設定することによって MCU がディープソフトウェアスタンバイモード 1 または 2 に遷移したとき、バッテリ電源スイッチは VBATT 専用の VCC 電圧低下検出回路より電力消費が低い電圧監視 0 により制御されます。

VDETLVL[2:0]ビットは、VDETE ビットが 0 のときに変更してください。VCC 電圧検出機能には、$V_{DETBATT}$ レベルの変化時に、安定待機時間 t_{DETWT} を必要とします。VDETE ビットは、この待機時間後に 1 にしてください。

VDETLVL[2:0]ビットの詳細については、「12.3.2. VBATT バッテリ電源スイッチの使用方法」を参照してください。

VDETE ビット（電圧降下検出有効）

VDETE ビットは、バッテリ電源スイッチに対して、VCC 電圧降下検出機能を有効にします。VDETE ビットの初期値は 0 であり、このとき、バッテリ電源スイッチに対して、VCC 電圧降下検出機能は無効です。バッテリ電源スイッチ機能を使用する場合、$V_{DETBATT}$ レベルを選択し、VCC 電圧降下検出機能を有効にしてください。

VDETE ビットの詳細については、「12.3.2. VBATT バッテリ電源スイッチの使用方法」を参照してください。

t_{DETWT} についての詳細は、「62. 電気的特性」を参照してください。

12.2.13 VBTBPSR : VBATT バッテリ電源ステータスレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC46

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	BPWSWM	VBPORM	—	—	—	VBPORF
Value after reset:	0	0	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	VBPORF	VBATT_POR フラグ 0: VBATT_R 電圧降下未検出 1: VBATT_R 電圧降下検出	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VBPORM	VBATT_POR 監視 0: VBATT_R 電圧 < $V_{PORBATT}$ 1: VBATT_R 電圧 > $V_{PORBATT}$	R
5	BPWSWM	バッテリ電源スイッチステータス監視 0: VCC 電圧 < $V_{DETBATT}$ 1: VCC 電圧 > $V_{DETBATT}$	R
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTBPSR レジスタはバッテリ電源ステータスを示します。

VBPORF フラグ（VBATT_POR フラグ）

VBPORF フラグは、VBATT_R 電圧降下が検出され、VBATT_POR リセットがアサートされたことを示します。

[1 になる条件]

- VBATT_R 電圧降下が V_{PORBAT} を下回ったとき

[0 になる条件]

- 0 を書いたとき

VBPORM ビット（VBATT_POR 監視）

VBPORM ビットは、VBATT_R と V_{PORBAT} の比較結果を示します。

BPWSWM ビット（バッテリ電源スイッチステータス監視）

BPWSWM ビットは、VCC と $V_{DETBATT}$ の比較結果を示します。

12.2.14 VBTADSR : VBATT 改ざん検出ステータスレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC48

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VBTADF2	VBTADF1	VBTADF0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VBTADF0	VBATT 改ざん検出フラグ 0 0: RTCIC0 入力エッジ未検出 1: RTCIC0 入力エッジ検出	R/W
1	VBTADF1	VBATT 改ざん検出フラグ 1 0: RTCIC1 入力エッジ未検出 1: RTCIC1 入力エッジ検出	R/W
2	VBTADF2	VBATT 改ざん検出フラグ 2 0: RTCIC2 入力エッジ未検出 1: RTCIC2 入力エッジ検出	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTADSR レジスタは、改ざん検出機能のステータスを示します。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VBTADFn フラグ（VBATT 改ざん検出フラグ n）(n = 0, 1, 2)

VBTADFn (n = 0, 1, 2) フラグは、RTCICn (n = 0, 1, 2) 入力エッジが検出されたことを示します。RTCICn (n = 0, 1, 2) 入力エッジのタイプは、VCHnEG (n = 0, 1, 2) ビットにより、選択可能です。

[1 になる条件]

- RTCICn (n = 0, 1, 2) 入力エッジが検出されたとき

[0 になる条件]

- VBTADFn (n = 0, 1, 2) フラグから 1 を読んだ後、0 を書いたとき

12.2.15 VBTADCR1 : VBATT 改ざん検出コントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC49

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	VBTADCE2	VBTADCE1	VBTADCE0	—	VBTADIE2	VBTADIE1	VBTADIE0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VBTADIE0	VBATT 改ざん検出割り込み許可 0 0: VBTADF0 フラグによる割り込み禁止 1: VBTADF0 フラグによる割り込み許可	R/W
1	VBTADIE1	VBATT 改ざん検出割り込み許可 1 0: VBTADF1 フラグによる割り込み禁止 1: VBTADF1 フラグによる割り込み許可	R/W
2	VBTADIE2	VBATT 改ざん検出割り込み許可 2 0: VBTADF2 フラグによる割り込み禁止 1: VBTADF2 フラグによる割り込み許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VBTADCE0	VBATT 改ざん検出バックアップレジスタクリア許可 0 0: VBTADF0 フラグによるバックアップレジスタのクリア禁止 1: VBTADF0 フラグによるバックアップレジスタのクリア許可	R/W
5	VBTADCE1	VBATT 改ざん検出バックアップレジスタクリア許可 1 0: VBTADF1 フラグによるバックアップレジスタのクリア禁止 1: VBTADF1 フラグによるバックアップレジスタのクリア許可	R/W
6	VBTADCE2	VBATT 改ざん検出バックアップレジスタクリア許可 2 0: VBTADF2 フラグによるバックアップレジスタのクリア禁止 1: VBTADF2 フラグによるバックアップレジスタのクリア許可	R/W

ビット	シンボル	機能	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTADCR1 レジスタは、改ざん検出機能を制御します。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VBTADIEn ビット（VBATT 改ざん検出割り込み許可）(n = 0, 1, 2)

VBTADIEn (n = 0, 1, 2) ビットは、改ざん検出割り込みを許可します。

VBTADCEn ビット（VBATT 改ざん検出バックアップレジスタクリア許可）(n = 0, 1, 2)

VBTADCEn (n = 0, 1, 2) ビットは、改ざん検出フラグによるバックアップレジスタのクリアを許可します。

12.2.16 VBTADCR2 : VBATT 改ざん検出コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC4A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VBRTCES2	VBRTCES1	VBRTCES0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VBRTCES0	VBATT RTC 時間キャプチャイベント要因選択 0 0: RTCIC0 1: VBTADF0	R/W
1	VBRTCES1	VBATT RTC 時間キャプチャイベント要因選択 1 0: RTCIC1 1: VBTADF1	R/W
2	VBRTCES2	VBATT RTC 時間キャプチャイベント要因選択 2 0: RTCIC2 1: VBTADF2	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTADCR2 レジスタは、改ざん検出機能を制御します。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VBRTCESn ビット（VBATT RTC 時間キャプチャイベント要因選択）(n = 0, 1, 2)

VBRTCESn (n = 0, 1, 2) ビットは、RTC 時間キャプチャイベント要因を選択します。

RTCIC 端子入力のノイズ除去機能とサブクロック発振停止検出機能の両方が有効である場合（VBTICTLR2.VCHnNCEN = 1 かつ SOSTDCR.SOSTDE = 1）、RTC 時間キャプチャイベント要因を VBTADFn (VBRTCESn = 1) に設定してください。

12.2.17 VBTADCR3 : VBATT 改ざん検出コントロールレジスタ 3

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC54

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VBTADZE2	VBTADZE1	VBTADZE0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VBTADZE0	VBATT 改ざん検出ゼロ化有効 0 0: VBTADF0 フラグによる HUK ゼロ化要求は無効 1: VBTADF0 フラグによる HUK ゼロ化要求は有効	R/W
1	VBTADZE1	VBATT 改ざん検出ゼロ化有効 1 0: VBTADF1 フラグによる HUK ゼロ化要求は無効 1: VBTADF1 フラグによる HUK ゼロ化要求は有効	R/W
2	VBTADZE2	VBATT 改ざん検出ゼロ化有効 2 0: VBTADF2 フラグによる HUK ゼロ化要求は無効 1: VBTADF2 フラグによる HUK ゼロ化要求は有効	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTADCR3 レジスタは、改ざん検出機能を制御します。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VBTADZEn ビット（VBATT 改ざん検出ゼロ化有効）(n = 0, 1, 2)

VBTADZEn (n = 0, 1, 2) ビットは改ざん検出フラグによる HUK ゼロ化要求出力を有効にします。

12.2.18 VBTNCWCR : VBATT ノイズ除去幅コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC50

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VINCW[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	VINCW[2:0]	VBATT 入力ノイズ除去幅選択 0 0 0: 32.768 kHz 0 0 1: 64 Hz 0 1 0: 32 Hz 0 1 1: 16 Hz 1 0 0: 8 Hz 1 0 1: 4 Hz 1 1 0: 2 Hz 1 1 1: 1 Hz	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

本レジスタは、VBATT_POR リセットでのみ初期化されます。

VBTNCWCR ビットは、改ざん入力のノイズ除去幅を選択します。

ノイズ除去は、図 12.5 に示す回路を使用して実施されます。設定は、ノイズサンプリングクロックの周波数です。

VBTNCWCR が 000b 以外の値に設定されているときは、RTC 64 Hz カウンタを起動します。

12.3 動作説明

12.3.1 バッテリバックアップ機能

VCC 端子の電圧が低下したとき、VBATT 端子から VBATT_R バックアップ電源領域に電源を供給できます。また、VCC 端子の電圧が $V_{DETBATT}$ を超えると、VCC 端子からの電源供給に戻ります。VCC 端子の電圧降下が検出されると、バックアップ電源領域は VBATT モードへ遷移します。VBATT モードでは、電源は VBATT 端子に

切り替わります。また、VCC 端子の電圧が $V_{DETBATT}$ を超えると、VCC 端子からの電源供給に戻ります。この電源の切り替わりは、VBATT_R バックアップ電源領域の機能に影響を与えません。

バッテリバックアップ機能を使用するためには、電圧監視 0 リセットを許可にする必要があります。

VBATT_R バックアップ電源領域には、以下の機能があります。

- RTC（時間キャプチャ検出を含み、時間キャプチャ端子の入力レベルの変化によってトリガ）
- サブクロック発振器（XCIN、XCOUT 端子を含む）
- サブクロック発振停止検出機能
- VBATT バックアップレジスタ
- 改ざん検出機能
- VBATT 電圧監視機能

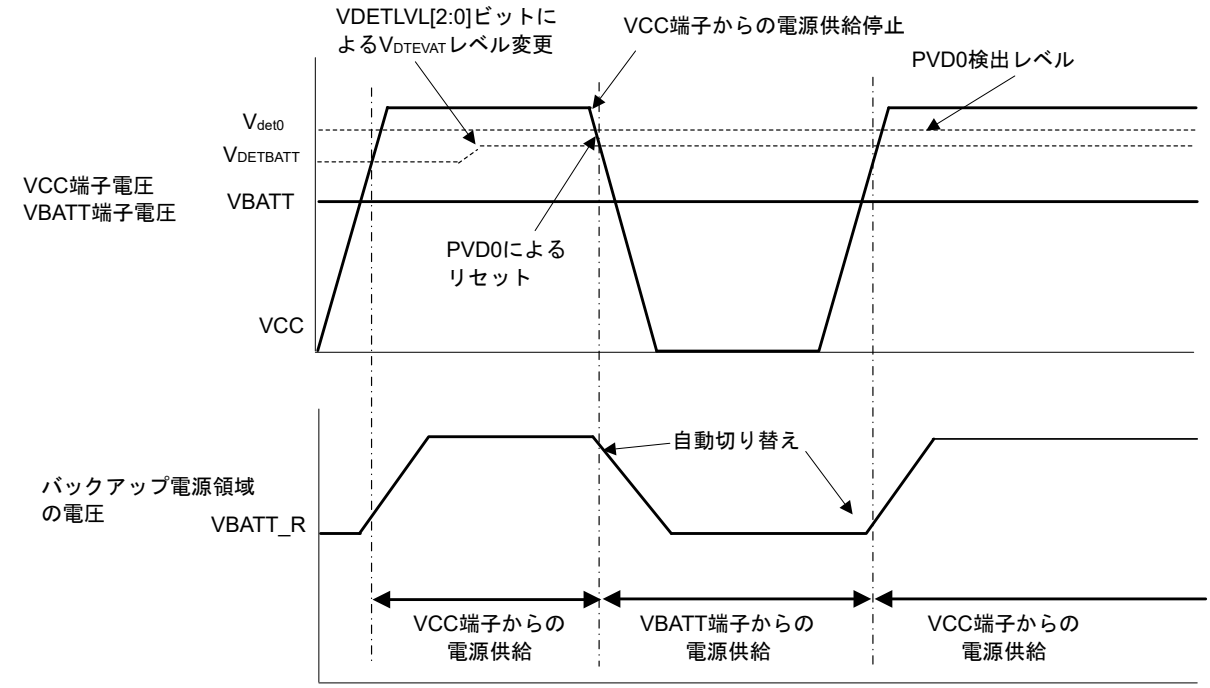
表 12.1 に、VBATT モード時の動作状態を示します。

表 12.1 VBATT モード時の動作状態

動作状態	VBATT モード
遷移条件	VCC 電圧降下の検出
リセット以外の解除方法	VCC 電圧上昇の検出
割り込みによる解除後の状態	—
リセットによる解除後の状態	—
メインクロック発振器	停止
サブクロック発振器	動作または停止は、SOSCCR.SOSTP ビットによって選択可能です。発振器の状態は、VBATT モードへ遷移する前と同じです。
高速オンチップオシレータ	停止
中速オンチップオシレータ	停止
低速オンチップオシレータ	停止
サブクロック発振停止検出機能	動作または停止は、SOSTDCR.SOSTDE ビットによって選択可能です。機能の状態は、VBATT モードへ遷移する前と同じです。
PLL	停止
PLL2	停止
CPU	停止（不定）
SRAM（ECC RAM を含む）	停止（不定）
VBATT バックアップレジスタ	停止（改ざん入力検出時に保持またはゼロを選択可能）
MRAM	停止（保持）
リアルタイムクロック (RTC)	動作中のクロックをカウントソースとして選択した場合に選択可能
プログラマブル電圧検出回路 (PVD)	停止
パワーオンリセット回路	停止
その他の周辺モジュール	停止（不定）
I/O ポート	RTCICn ポート (n = 0～2)：動作 ここに指定されていない全ポート：不定

注. 「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
注. 「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。

図 12.2 に、バッテリバックアップ機能の切り替え順序を示します。



注. 詳細は、「62. 電気的特性」を参照してください。
注. $V_{DETBATT}$ は、VCC 端子と VBATT 端子の間で電源を切り替える際のしきい値レベルを表します。

図 12.2 バッテリバックアップ機能の切り替え順序

12.3.2 VBATT バッテリ電源スイッチの使用方法

VCC 端子の印加電圧が低下すると、バッテリ電源スイッチによって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。

図 12.1 に記載されたバッテリ電源スイッチに対する VCC 電圧降下検出機能は、2 つの電圧降下検出器から構成されます。一方は、VDTETLVL[2:0]ビットと VDETE ビットの設定に従って動作する、バッテリ電源スイッチの通常動作に対する VCC 電圧降下検出器です。他方は、ディープソフトウェアスタンバイモード 1、2 の間に、消費電力を低減するための電圧監視 0 です。

コールドスタートでは、VDETE ビットは VBATT_POR リセットにより初期化され、バッテリ電源スイッチの VCC 電圧降下検出機能は無効です。

バッテリ電源スイッチを使用するためには、VDETLVL[2:0]ビットにより適正な $V_{DETBATT}$ レベルを選択し、安定のために t_{DETWT} 待機してください。待機後、VDETE ビットにより、VCC 電圧降下検出機能を有効にします。バッテリ電源スイッチには、VDETLVL[2:0]ビットにより選択された $V_{DETBATT}$ レベルが電圧監視 0 レベルより低いという制約があります。

MCU がディープソフトウェアスタンバイモード 1、2 に遷移し、電圧監視 0 の低消費電力機能が有効になると、バッテリ電源スイッチの通常動作の VCC 電圧降下検出器は、消費電力低減のために停止します。このとき、電源スイッチは電圧監視 0 により制御されます。この電圧監視 0 による制御は、ディープソフトウェアスタンバイモードから復帰するまで継続します。

バッテリバックアップ機能は、電圧監視 0 リセットを許可（OFS1.PVDAS ビットが 0）に設定した後に使用してください。

バッテリ電源スイッチを使用しない場合、BPWSWSTP ビットを 1 にし、VCC 端子と VBATT 端子を短絡してください。BPWSWSTP ビットを 1 にすると、バッテリ電源スイッチは停止し、電源は常に VCC 端子から供給されます。

12.3.3 VBATT_R 電圧降下検出機能の使用方法

本機能は VBATT_R 電圧降下の検出を可能にします。VBATT_R 電圧が降下し、$V_{PDR\ (BATR)}$よりも低くなると、VBATT_POR リセットがアサートされます。VBATT_POR リセットにより、VBPORF フラグが 1 に設定されます。VBPORF フラグが 1 の場合、RTC のカウンタとレジスタは無効であり、バッテリバックアップ機能レジスタはリセットされます。バックアップ電源領域を含む機能を初期化してください。

図 12.3 に VBATT_R 電圧降下検出機能を示します。

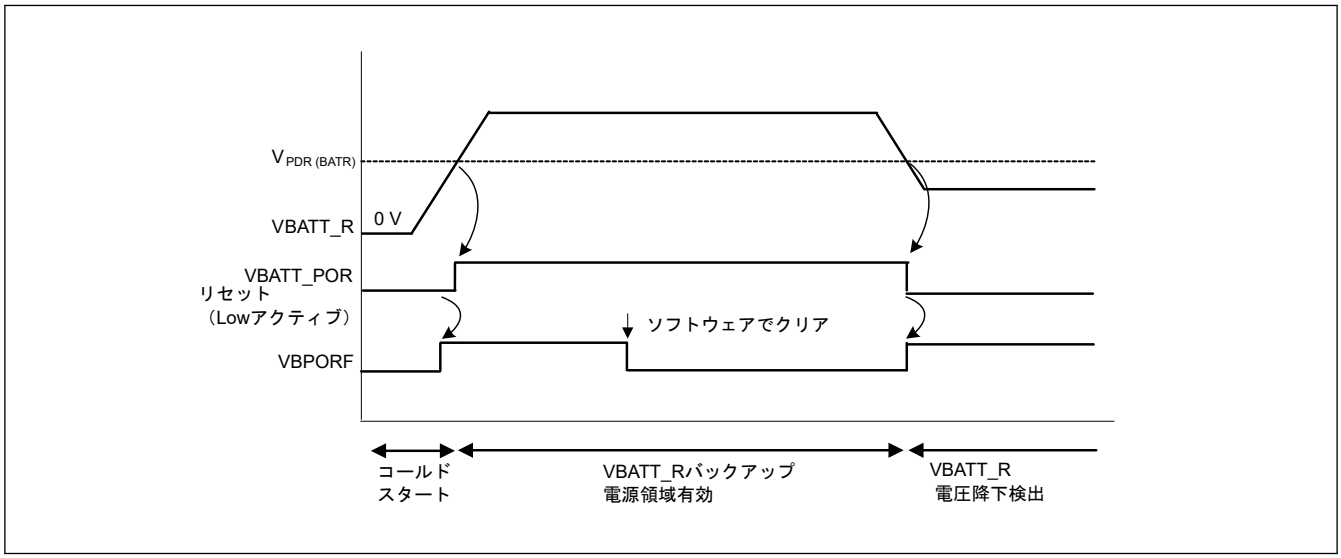


図 12.3 VBATT_R 電圧降下検出機能

12.3.4 VBATT バックアップレジスタの使用方法

VBATT バックアップレジスタにアクセスする場合、32、16、または 8 ビットのアクセス指示を使用できます。

ただし、たとえば、32 ビットのアクセス指示が実行された場合、8 ビットの読み出しまたは書き込み動作が 4 回連続で実行されます。アクセス時は、VBTBKR[n] (n = 0～127) レジスタに格納されたデータのバイト順序がリトルエンディアンであることに注意してください。

VBATT バックアップレジスタのデータは、VBATT_POR リセットまたは改ざん検出機能により、0x00 にクリアされます。

クリア機能が有効で改ざん検出フラグが 1 の場合、改ざん検出機能は VBATT バックアップレジスタのクリア動作を開始します。クリア動作の開始後、100 ns は解除しないでください。クリア動作を解除するには、クリア機能を無効にするか、または改ざん検出フラグを 0 にクリアしてください。クリア動作を解除後、500 ns は VBATT バックアップレジスタにアクセスしないでください。

12.3.5 改ざん検出機能の使用方法

改ざん検出機能は、RTCICn (n = 0～2) 端子の入力イベントを検出します。入力イベントは、RTCICn 端子の入力レベルの変化として定義されます。VBTADFn (n = 0～2) フラグは、入力イベントによって 1 に設定されます。割り込みの発生が許可され、フラグが 1 に設定されると、改ざん検出割り込みが発生します。バックアップレジスタクリア機能が有効で、フラグが 1 に設定されると、VBATT バックアップレジスタのデータがクリアされます。改ざん検出ゼロ化有効が有効に設定されフラグが 1 であるとき、HUK ゼロ化要求が出力されます。RTC 時間キャプチャイベント要因は、RTCICn 端子入力または VBTADFn フラグを選択できます。VBTADFn フラグを 1 にして、時間キャプチャを同期する必要がある場合、VBTADFn フラグを RTC 時間キャプチャイベント要因に選択することが推奨されます。

図 12.4 に改ざん検出機能を示します。

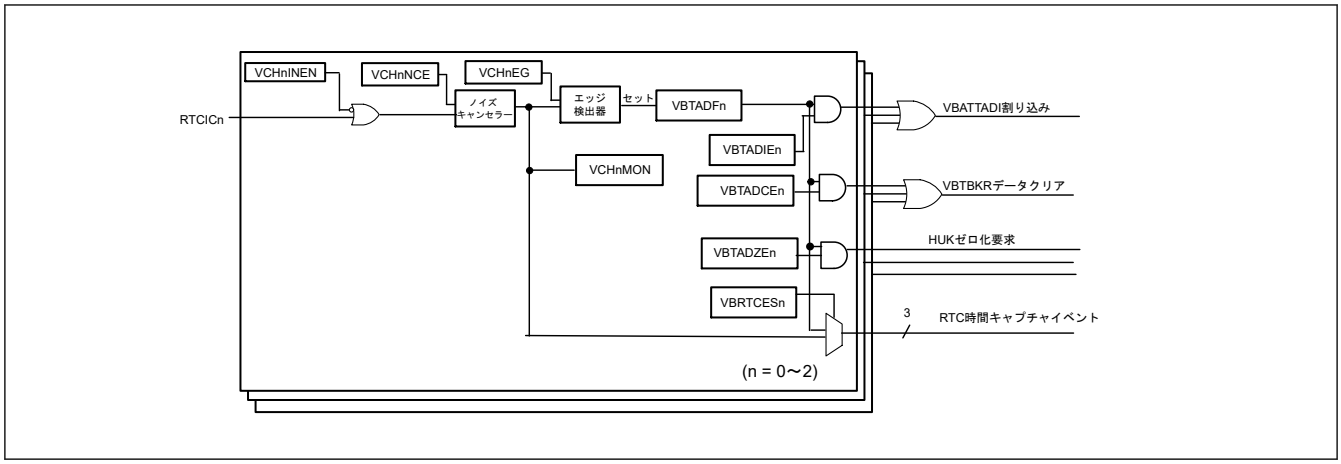


図 12.4　改ざん検出機能

VCHnINEN (n = 0～2) ビットによって、RTCICn 端子入力は許可されます。RTCICn 端子入力が許可された後、安定化動作のために 50 µs の待機時間が必要です。

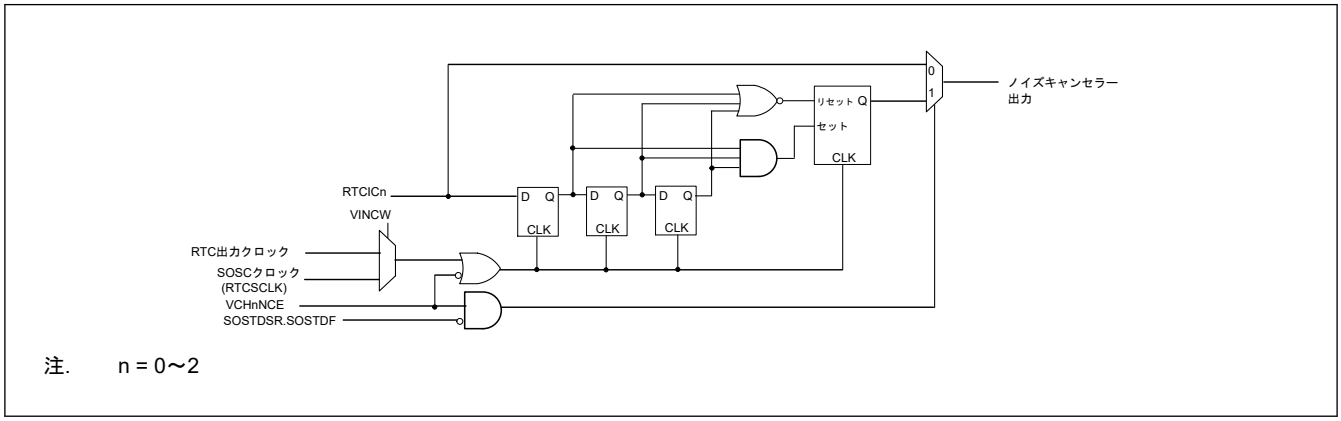
VCHnNCE (n = 0～2) ビットはノイズキャンセラを有効にします。ノイズキャンセラは、入力信号をサブクロック (RTCSCLK) または RTC 出力周波数でサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズ低減のサンプリング周波数は、VBTNCWCR.VINCW ビットで選択できます。

図 12.5 にノイズキャンセラ回路のブロック図を示します。

ノイズ除去のサンプリング周波数を変更する (VBTNCWCR.VINCW ビットの設定値を変更する) とき、VCHnNCE ビット、VBTADCR1、VBTADCR2、および VBTADCR3 は無効にする必要があります。

初期化時に推奨されるのは、フロー例 3 に従う手順です。詳細は、「12.3.7.4. 改ざん検出機能の初期化設定フロー例」を参照してください。



注.　n = 0～2

図 12.5　ノイズ除去回路のブロック図

このノイズキャンセラを有効にした後、5 クロックの安定化時間が必要です。

VCHnEG (n = 0～2) ビットは改ざん検出エッジの選択を有効にします。エッジ検出器は非同期で動作します。これらのコントロールレジスタが変更されると、VBTADFn フラグは疑似的に 1 に設定される可能性があります。VBTADFn フラグは、コントロールレジスタの初期化後に確認して、0 にクリアする必要があります。
VCHNnMON (n = 0～2) ビットは、現在の入力ステータスの監視を有効にします。このビットも、コントロールレジスタの初期化後に非アクティブレベルを確認する必要があります。

3 チャネルの内、1 チャネル以上でフラグがセットされ、割り込みが許可されると、VBATTADI 割り込みがアサートされます。

3 チャネルの内、1 チャネル以上でフラグがセットされ、VBATT バックアップレジスタクリア機能が有効になると、VBTBKRm (m = 0～127) レジスタのデータは 0x00 にクリアされます。

12.3.6 VBATT 電圧監視機能の使用方法

VBATT 端子の入力電圧レベルを監視できます。VBATT 端子の電圧レベルのうち、1/6 をアナログ信号として監視できます。VBTMNSEL ビットを 1 に設定後、監視レベルが安定するまで t_{MONWT} だけ待機する必要があります。t_{MONWT} の詳細は、「62. 電気的特性」を参照してください。

図 12.6 に VBATT 電圧監視機能を示します。

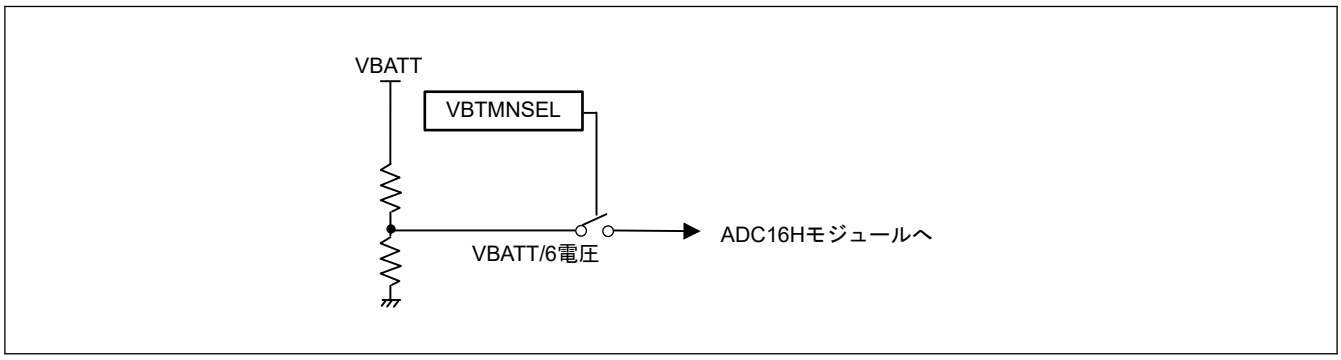


図 12.6 VBATT 電圧監視機能

注. 詳細は、「53. 16 ビット A/D コンバータ (ADC16H)」を参照してください。

注. VBTMNSEL ビットが 1 のとき、VBAT の電力消費が増加します。監視タイミングでのみ VBTMNSEL ビットを 1 にすることが推奨されます。

12.3.7 初期設定例

12.3.7.1 コールドスタートおよび電源スイッチ使用のフロー例

はじめて VCC 端子と VBATT 端子の電源を ON にするとき、以下のフローを使用して初期化してください。

1. VBPORM ビットを確認してください。VBPORM フラグが 0 の場合、1 になるまで待機してください。
2. VBPORF フラグを 0 にクリアしてください。
3. VDETLVL[2:0]ビットを適正値に設定してください。$V_{DETBATT}$ レベルが選択されます。
4. VCC 電圧検出機能安定化のために、t_{DETWT} だけ待機してください。
5. VDETE ビットを 1 にしてください。VCC 電圧検出機能が有効になります。
6. 必要に応じて、サブクロック発振器を有効にしてください。
7. 他のバッテリバックアップ機能と RTC レジスタを設定してください。

t_{DETWT} の詳細は、「62. 電気的特性」を参照してください。

サブクロック発信器の詳細は、「9. クロック発生回路」を参照してください。

12.3.7.2 ウォームスタートおよび電源スイッチ使用のフロー例

VBATT 端子の電源が ON の間に VCC 端子の電源が OFF になると、MCU は VBATT モードへ遷移します。本節では、ウォームスタートとは、VBATT モードで VCC 端子の電源が ON になる場合を意味します。MCU がウォームスタートで処理を開始する場合は、他の処理を実行する前に VBATT_R 電圧降下を確認するために、以下のフローを実行してください。

1. VBPORM フラグを確認してください。VBPORM フラグが 0 の場合、1 になるまで待機してください。
2. VBPORF フラグを確認してください。VBPORF フラグが 1 の場合、VBATT_R 電圧降下が検出されます。バックアップ電源領域の再初期化の詳細については、「12.3.7.1. コールドスタートおよび電源スイッチ使用のフロー例」を参照してください。そのようにしない場合は、VBATT_R 電圧は降下せず、バックアップ電源領域の状態が保持されることを意味します。よって、バックアップ電源領域の再初期化は不要です。

12.3.7.3 電源スイッチを使用しないフロー例

電源スイッチを使用しない場合は、VCC 端子と VBATT 端子を短絡してください。この場合、VBATT_POR リセットは VCC パワーオンリセットの後に発生できず、VBATT_R 電圧降下は検出されない可能性があります。以下のフローを使用して、バックアップ電源領域を初期化してください。

1. BPWSWSTP ビットを 1 にしてください。電源スイッチは停止します。
2. VBPORM フラグを確認してください。VBPORM フラグが 1 の場合、0 になるまで待機してください。
3. VDETE ビットを 0 にクリアしてください。VCC 電圧降下検出機能は停止します。
4. VDETLVL[2:0]ビットを 110b にクリアしてください。初期値が選択されます。
5. VBPORF フラグを確認してください。VBPORF フラグが 1 の場合、0 にクリアしてください。
6. SOSTP ビットを、その値にかかわらず 1 にしてください。サブクロック発振器を停止してください。
7. VBTICTLR レジスタと SOMCR.SOSEL ビットを初期化してください。これらのレジスタは IO ポートの制御に関連するので、初期化を推奨します。
8. 必要に応じて、他のバッテリバックアップ機能レジスタを初期化してください。他のバッテリバックアップ機能レジスタは、VBTICTLR2、VBTADSR、VBTADCR1、VBTADCR2、および VBTBKRn です。
9. 必要に応じて、サブクロック発振器を有効にしてください。
10. RTC レジスタを設定してください。

サブクロック発振器の詳細は、「9. クロック発生回路」を参照してください。

12.3.7.4 改ざん検出機能の初期化設定フロー例

改ざん検出機能を使用する場合は、以下のフロー例に従って初期化することを推奨します。

1. VCHnINEN を適正値に設定してください。
2. RTCICn 入力後に安定化するまで、50 µs 待機してください。
3. VBTNCWCR を適正値に設定してください。
4. VCHnNCE ビットと VCHnEG ビットを設定してください。
5. ノイズキャンセラが有効な場合は、安定化するまで RTC の 5 クロックだけ待機してください。
6. VCHnMON ビットが非アクティブを示すのを確認することが推奨されます。アクティブの場合は、改ざん検出が可能ではないかもしれません。
7. ダミーリード後に 0 にクリアすることにより、VBTADFn フラグの無効なステータスを初期化してください。
8. 割り込み、バックアップレジスタクリア、HUK ゼロ化要求出力、および RTC 時間キャプチャイベントを許可するために、VBTADCR1、VBTADCR2、VBTADCR3 を設定してください。
9. 必要に応じて、RTC 時間キャプチャ機能を有効にしてください。

12.4 割り込み要因

バッテリバックアップ機能には、表 12.2 に示す 2 つの割り込み要因があります。

表 12.2 バッテリバックアップ機能の割り込み要因

シンボル	割り込み要因	割り込みフラグ	割り込み発生条件
VBATTADI	VBATT 改ざん検出	VBTADF0	VBTADF0 = 1, VBTADIE0 = 1
		VBTADF1	VBTADF1 = 1, VBTADIE1 = 1
		VBTADF2	VBTADF2 = 1, VBTADIE2 = 1

12.5 使用上の注意事項

1. VBATT の電圧レベルが動作保証範囲を下回ったとき、サブクロック発振器と RTC の動作は保証されません。VBATT 端子が保証動作電圧以下になった場合は、RTC を初期化した後、再度電源を投てください。
2. 本項で説明するレジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊される可能性があります。

3. VCC が $V_{DETBATT_m}$ を上回っているときは、VCC 端子と VBATT 端子は切り離されます。VCC が $V_{DETBATT}$ を下回って、スイッチが VBATT 端子に接続された場合、VBATT 端子電圧が VCC 端子電圧よりも低下すると、VCC 端子と VBATT 端子の間の寄生ダイオードを介して VBATT 端子に電流が流れ込む可能性があります。
4. VBATT 端子からの電圧とバックアップ領域内の I/O ポートによって RTC が動作しているとき、その電源領域は RTC の時間キャプチャイベント入力端子としてのみ使用可能です。

13. レジスタライトプロテクション機能

13.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護対象のレジスタは、プロテクトレジスタ（PRCR_S と PRCR_NS）で設定します。

2 種類の保護されるレジスタは、一方はセキュアセットレジスタ／ビットとして、他方は非セキュアセットレジスタ／ビットとして機能します。これらはまとめて、PRCR レジスタと呼ばれます。

表 13.1 に、PRCR ビットと、保護されるレジスタの用途の対応関係を示します。

PRCR ビットに適用されるレジスタの情報は、各レジスタの説明の中に示します。

表 13.1 PRCR ビットと保護されるレジスタの用途の対応関係

PRCR レジスタ	保護されるレジスタ
PRC0	• クロック発生回路に関連するレジスタ： SCKDIVCR, SCKDIVCR2, SCKSCR, PLLCCR, PLLCR, BCKCR, MOSCCR, HOCOCR, HOCOCR2, MOCOCR, FLLCR1, FLLCR2, CKOCR, OSTDCR, OSTDSR, SOSTDCR, SOSTDSR, PLL2CCR, PLL2CR, PLLCCR2, PLL2CCR2, EBCKOCR, SDCKOCR, SCICKDIVCR, SCICKCR, SPICKDIVCR, SPICKCR, ADCCKDIVCR, ADCCKCR, GPTCKDIVCR, GPTCKCR, BCKADIVCR, ESWCKDIVCR, ESWPCKDIVCR, ETHPCKDIVCR, BCKACR, ESWCKCR, ESWPCKCR, ETHPCKCR, MOCOUTCR, HOCOUTCR, USBCKDIVCR, OCTACKDIVCR, CANFDCKDIVCR, USB60CKDIVCR, I3CCKDIVCR, USBCKCR, OCTACKCR, CANFDCKCR, USB60CKCR, I3CCKCR, MOSCSCR, HOCOSCR, PLLSCR, PLL2SCR, MOCOSCR, MOSCWTCR, LOCOCR, LOCOUTCR, MOMCR, MOMCR2, SOSCCR, SOMCR, SYRACCR, USBCKSELR
PRC1	• 低消費電力モードに関連するレジスタ OPCCR, PGSCR, PSSTCR2, PSSTCR3, PSSTCR4, PSSTCR5, PDCTRESWM, PDRAMSCR0, PDRAMSCR1, SBYCR, SSCR1, LPSCR, DPSBYCR, DPSWCR, DPSIER0-5, DPSIFR0-5, DPSIEGR0-4, LDOSCR, PLL1LDOCR, PLL2LDOCR, HOCOLDOCR, LVOCR, VSCR, SVSCR, MLSMCR, CPUDSCR, MWMCR • バッテリバックアップ機能に関連するレジスタ： VBTBER, VBTICTLR, VBTBKRn (n = 0～127), VBTBPCR1, VBTBPCR2, VBTBPSR, VBTADSR, VBTADCR1, VBTADCR2, VBTICTLR2, VBTADCR3, VBTNCWCR
PRC3	• PVD 関連レジスタ： PVD1CMPCR, PVD2CMPCR, PVD4CMPCR, PVD5CMPCR, PVD1CR0, PVD2CR0, PVD4CR0, PVD5CR0, PVD1CR1, PVD1SR, PVD2CR1, PVD2SR, PVD1FCR, PVD2FCR, PVD4FCR, PVD5FCR, PVDLR, VBATTMNSELR
PRC4	• セキュリティ／プリビレッジ設定レジスタに関連するレジスタ： CGFSAR, RSTSAR, LPMSAR, PVDSAR, BBFSAR, DPFSAR, DPFSAR1, RSCSAR, PGCSAR, VBRSABAR, VBRPABARS, VBRPABARNS, CPUSAR, DEBUGSAR, CACHESAR, TCMSAR, TCMSABARC, TCMSABARS, IPCSAR, IPCPAR, ICUSARx (x = A, B, E～M), TEVTRCR, BUSSARx (x = A, B, C), BUSPARC, MMPUSARx (x = A, B), DMACCHSAR, DMACCHPAR, DMACSAR, DTCSAR, ELCSARx (x = A, B, C), ELCPARx (x = A, B, C), PmSAR (m = 0～9, A, B, C, D), PSARx (x = B, C, D, E), MSSAR, PPARBx (x = B, C, D, E), MSPAR, SRAMSABARn (n = 0～3), SRAMSAR, SRAMESAR, MSAR
PRC5	• リセット制御に関連するレジスタ： SYRSTMSK0～2, TEMPRCR, TEMPRLR

13.2 レジスタの説明

SYSC のベースアドレスは 0x4001_E000（セキュア）および 0x5001_E000（非セキュア）です。

表 13.2 にレジスタライトプロテクション機能に関連するレジスタを示します。

表 13.2 レジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
セキュアレジスタ用プロテクトレジスタ	PRCR_S	0x0000	0x4001_E3FA	16
非セキュアレジスタ用プロテクトレジスタ	PRCR_NS	0x0000	0x5001_E3FE	16

13.2.1 PRCR_S : セキュア用プロテクトレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3FA

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	PRC5	PRC4	PRC3	—	PRC1	PRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モードおよびバッテリバックアップ機能関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PRC3	PVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
4	PRC4	セキュリティ／プリビレッジ設定レジスタに関連するレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
5	PRC5	リセット制御関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	PRC キーコード PRCR_S レジスタへの書き込みを制御します。PRCR_S レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください。	W

注. S-TYPE6, P-TYPE2

PRCR_S レジスタは、常にセキュアであるか、またはセキュアに設定されているレジスタを保護するために使用されます。

PRC0 ビット（クロック発生回路関連レジスタへの書き込み許可）

PRC0 ビットはクロック発生回路に関連するレジスタへの書き込みを保護します。本ビットを 1 にすると対応するレジスタへの書き込みを許可します。本ビットを 0 にすると対応するレジスタへの書き込みを禁止します。

PRC1 ビット（低消費電力モードおよびバッテリバックアップ機能関連レジスタへの書き込み許可）

PRC1 ビットは低消費電力モードおよびバッテリバックアップ機能に関連するレジスタへの書き込みを保護します。本ビットを 1 にすると対応するレジスタへの書き込みを許可します。本ビットを 0 にすると対応するレジスタへの書き込みを禁止します。

PRC3 ビット（PVD 関連レジスタへの書き込み許可）

PRC3 ビットは PVD に関連するレジスタへの書き込みを保護します。本ビットを 1 にすると対応するレジスタへの書き込みを許可します。本ビットを 0 にすると対応するレジスタへの書き込みを禁止します。

PRC4 ビット（セキュリティ／プリビレッジ設定レジスタに関連するレジスタへの書き込み許可）

PRC4 ビットはセキュリティ／プリビレッジ設定レジスタに関連するレジスタへの書き込みを保護します。本ビットを 1 にすると対応するレジスタへの書き込みを許可します。本ビットを 0 にすると対応するレジスタへの書き込みを禁止します。

PRCR_S とそれに制御されるレジスタが連続的に書き込みアクセスされる場合、PRC4 により制御されるレジスタは PRC4 の変更を反映しない可能性があります。連続的な書き込みアクセスを避けるか、または PRC4 の変更後に PRCR_S を読み出してから、PRC4 で制御されるレジスタに書き込みアクセスをしてください。

PRC5 ビット（リセット制御関連レジスタへの書き込み許可）

PRC5 ビットはリセット制御に関連するレジスタへの書き込みを保護します。本ビットを 1 にすると対応するレジスタへの書き込みを許可します。本ビットを 0 にすると対応するレジスタへの書き込みを禁止します。

PRKEY[7:0]ビット（PRC キーコード）

PRKEY[7:0]ビットは、PRCR_S レジスタへの書き込みの許可または禁止を制御します。PRCR_S レジスタの PRCi ビットに書き込むためには、PRKEY[7:0]に 0xA5 を書き込んでください。PRKEY[7:0]に 0xA5 以外の値を書き込んだ場合、PRCR_S レジスタに書き込んでも PRCi ビットは変更されません。

13.2.2 PRCR_NS : 非セキュア用プロテクトレジスタ

Base address: SYSC_NS = 0x5001_E000

Offset address: 0x3FE

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	PRC4	PRC3	—	PRC1	PRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モードおよびバッテリバックアップ機能関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PRC3	PVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
4	PRC4	プリビレッジ設定レジスタに関連するレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	PRC キーコード PRCR_NS レジスタへの書き込みを制御します。PRCR_NS レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください。	W

注. S-TYPE7, P-TYPE2

PRCR_NS レジスタは、非セキュアに設定されているレジスタを保護するために使用されます。

PRC0 ビット（クロック発生回路関連レジスタへの書き込み許可）

PRC0 ビットはクロック発生回路に関連するレジスタへの書き込みを保護します。本ビットを 1 にすると対応するレジスタへの書き込みを許可します。本ビットを 0 にすると対応するレジスタへの書き込みを禁止します。

PRC1 ビット（低消費電力モードおよびバッテリバックアップ機能関連レジスタへの書き込み許可）

PRC1 ビットは低消費電力モードおよびバッテリバックアップ機能に関連するレジスタへの書き込みを保護します。本ビットを 1 にすると対応するレジスタへの書き込みを許可します。本ビットを 0 にすると対応するレジスタへの書き込みを禁止します。

PRC3 ビット（PVD 関連レジスタへの書き込み許可）

PRC3 ビットは PVD に関連するレジスタへの書き込みを保護します。本ビットを 1 にすると対応するレジスタへの書き込みを許可します。本ビットを 0 にすると対応するレジスタへの書き込みを禁止します。

PRC4 ビット（プリビレッジ設定レジスタに関連するレジスタへの書き込み許可）

PRC4 ビットはプリビレッジ設定レジスタに関連するレジスタへの書き込みを保護します。本ビットを 1 にすると対応するレジスタへの書き込みを許可します。本ビットを 0 にすると対応するレジスタへの書き込みを禁止します。

PRCR_NS とそれに制御されるレジスタが連続的に書き込みアクセスされる場合、PRC4 により制御されるレジスタは PRC4 の変更を反映しない可能性があります。連続的な書き込みアクセスを避けるか、または PRC4 の変更後に PRCR_NS を読み出してから、PRC4 で制御されるレジスタに書き込みアクセスをしてください。

PRKEY[7:0]ビット（PRC キーコード）

PRKEY[7:0]ビットは、PRCR_NS レジスタへの書き込みの許可または禁止を制御します。PRCR_NS レジスタの PRCi ビットに書き込むためには、PRKEY[7:0]に 0xA5 を書き込んでください。PRKEY[7:0]に 0xA5 以外の値を書き込んだ場合、PRCR_NS レジスタに書き込んでも PRCi ビットは変更されません。

14. 割り込みコントローラユニット (ICU)

14.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC) モジュール、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。

表 14.1 に ICU の仕様、図 14.1 に ICU のブロック図、表 14.2 に ICU の入出力端子を示します。

表 14.1 ICU の仕様 (1/2)

項目		内容
マスカブル割り込み	周辺機能割り込み	周辺モジュールからの割り込み 要因数：497（イベントリスト番号 33～1023 内で要因を選択）
	外部端子割り込み	● 割り込み検出方式：Low レベル(注4)、立ち下がりエッジ、立ち上がりエッジ、立ち上がりエッジおよび立ち下がりエッジ。要因ごとにこれらの方式のうち 1 つを設定可能。 ● デジタルフィルタ機能 ● 32 要因（IRQi (i = 0～31) 端子からの割り込み）
	CPU 相互割り込み	● IPC CPU 相互割り込み 0 (IPC_IRQ0) ● IPC CPU 相互割り込み 1 (IPC_IRQ1)
	CPU (NVIC) への割り込み要求	96 本の割り込み要求を NVIC に対して出力
	DMAC 制御	● 割り込み要因によって DMAC の起動が可能(注1) ● DMAC の全チャネル個別に対象の割り込み要因を選択可能
	DTC 制御	● 割り込み要因によって DTC の起動が可能(注1) ● 割り込み要因の選択方式は NVIC への割り込み要求と同一
ノンマスカブル割り込み(注2)	NMI 端子割り込み	● NMI 端子からの割り込み ● 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ ● デジタルフィルタ機能
	発振停止検出割り込み(注3)	メインクロック発振器の停止を検出したときの割り込み
	サブクロック発振停止検出割り込み(注3)	サブクロック発振器の停止を検出したときの割り込み
	WDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み (CPU0, CPU1)
	IWDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視 1 割り込み(注3)	電圧検出回路 1 の電圧監視割り込み (PVD_PVD1)
	電圧監視 2 割り込み(注3)	電圧検出回路 2 の電圧監視割り込み (PVD_PVD2)
	共通メモリエラー割り込み	「共通メモリエラー」は SRAM ECC エラーのこと
	ローカルメモリエラー割り込み	ローカルメモリエラー割り込みにはキャッシュエラーと TCM ECC エラーが含まれる（CPU1 のみ）
	バスエラー割り込み	バスエラーには MPU エラーと TZF エラーが含まれる
	ロックアップエラー割り込み	ロックアップエラー割り込み (CPU0, CPU1)
	CPU 相互割り込み	IPC NMI CPU 相互割り込み (CPU0, CPU1)
	FPU 例外割り込み	FPU 例外割り込み (CPU0, CPU1)
	MRAM 読み出しエラー割り込み	● MRC 用 MRAM 読み出しエラー割り込み ● MRE 用 MRAM 読み出しエラー割り込み
セキュリティ	セキュア	一部のレジスタにはセキュリティ属性あり
	プリビレッジ	ICU の各レジスタは特権アクセスでのみアクセス可能

表 14.1 ICU の仕様 (2/2)

項目	内容
低消費電力モードからの復帰	• CPU スリープモード : ノンマスカブル割り込みまたはその他の割り込み要因によって復帰。 • CPU ディープスリープモード : ノンマスカブル割り込みによって復帰。割り込みは、WUPEN0、WUPEN1、DSLPWUPIRQENj レジスタ (j = 0～2) として選択可能。 次の各項を参照 :「14.2.4. ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F」、「14.2.9. ICUSARK : 割り込みコントローラユニットセキュリティ属性レジスタ K」、「14.2.10. ICUSARL : 割り込みコントローラユニットセキュリティ属性レジスタ L」、「14.2.11. TEVTRCR : トラストイベントルートコントロールレジスタ」、「14.9.2. CPU ディープスリープモードからの復帰」。 • ソフトウェアスタンバイモード : ノンマスカブル割り込みによって復帰。割り込みは、WUPEN0、WUPEN1 レジスタとして選択可能。次の各項を参照 :「14.2.4. ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F」、「14.2.9. ICUSARK : 割り込みコントローラユニットセキュリティ属性レジスタ K」、「14.2.10. ICUSARL : 割り込みコントローラユニットセキュリティ属性レジスタ L」、「14.9.2. CPU ディープスリープモードからの復帰」。

注 1. DMAC と DTC の起動要因については、表 14.4 を参照してください。
注 2. リセット解除後に 1 回だけノンマスカブル割り込みを許可することができます。
注 3. これらのノンマスカブル割り込みは、通常の割り込みとしても使用可能です。マスカブル割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 および 2 の割り込みを許可するには、PVD1CR1.PVD1IRQSEL ビットと PVD2CR1.PVD2IRQSEL ビットを 1 にしてください。
注 4. Low レベル : 割り込み検出は、検出後にクリアしない限り解除されません。

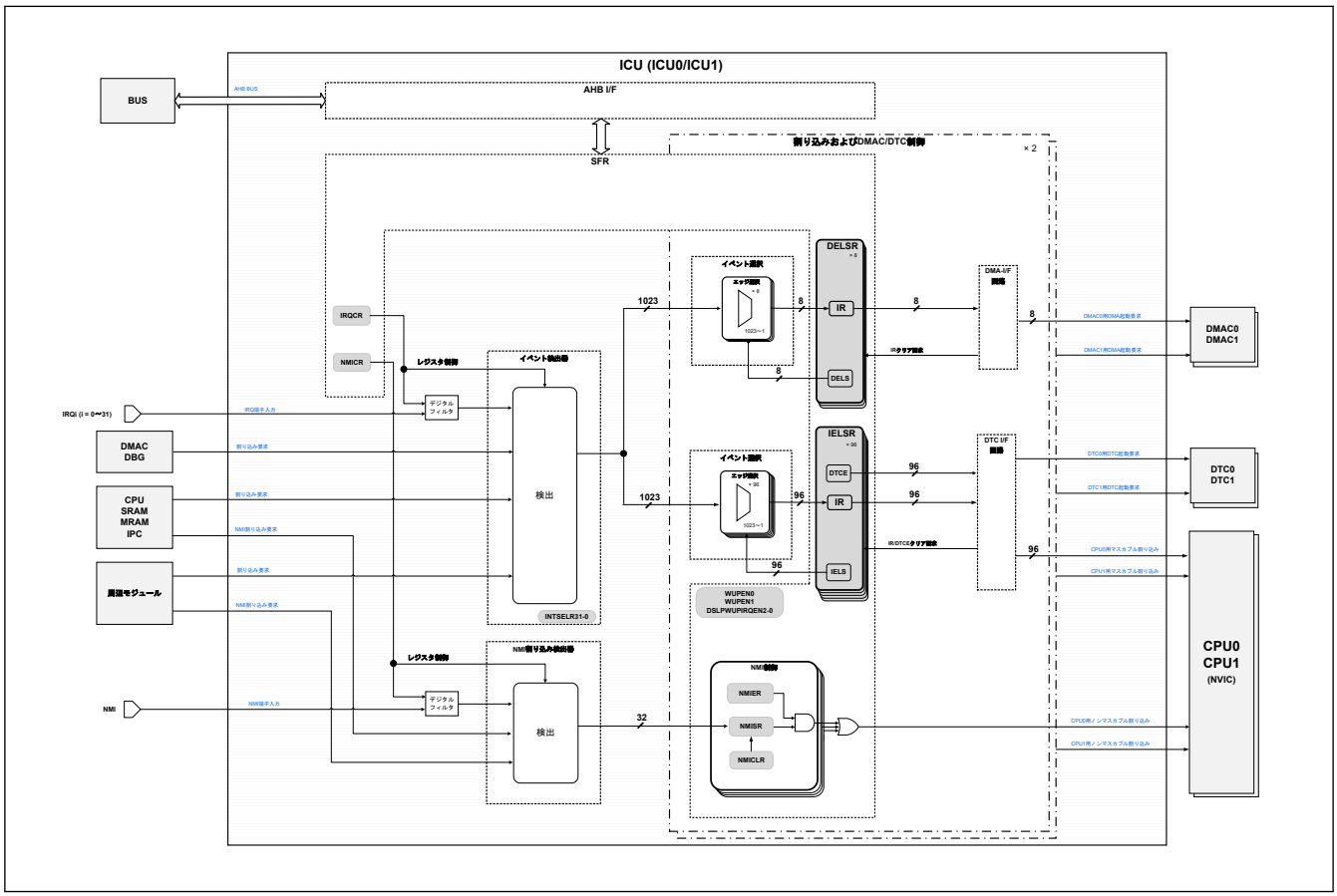


図 14.1 ICU のブロック図

NMISR：ノンマスカブル割り込みステータスレジスタ

NMIER：ノンマスカブル割り込みイネーブルレジスタ

NMICLR：ノンマスカブル割り込みステータスクリアレジスタ

NMICR: NMI 端子割り込みコントロールレジスタ

IRQCRi: IRQi コントロールレジスタ (i = 0～31)

WUPEN0/1：ウェイクアップ割り込みイネーブルレジスタ 0/1

IELSRn: ICU イベントリンク設定レジスタ (n = 0～95)

DELSRm: DMAC イベントリンク設定レジスタ (m = 0～7)

IR：割り込みステータスフラグ (IELSRn.IR, DELSRm.IR)

DTCE: DTC 起動許可 (IELSRn.DTCE)

DSLPWUPIRQENj：ディープスリープウェイクアップ IRQ 許可レジスタ (j = 0～2)

INTSELRp：割り込み要求選択レジスタ (p = 0～31)

表 14.2　ICU の入出力端子

端子名	入出力	内容
NMI	入力	ノンマスカブル割り込み要求端子
IRQi (i = 0～31)	入力	外部割り込み要求端子

14.2　レジスタの説明

Arm® NVIC に内蔵されたレジスタについてはこの項では扱いません。

これらのレジスタについては、「Arm® Processor Technical Reference Manual [1], [3]」の「NVIC」の章を参照してください。

ICU_BASE（ICU のベースアドレス）は 0x4000_C000（セキュア）および 0x5000_C000（非セキュア）です。

COMMON_ICU_BASE（COMMON_ICU のベースアドレス）は 0x4000_6000（セキュア）および 0x5000_6000（非セキュア）です。

CPSCU_BASE（CPSCU のベースアドレス）は 0x4000_8000（セキュア）および 0x5000_8000（非セキュア）です。

ICU0 および ICU1 レジスタのベースアドレスは同じです。ICU0 は CPU0 専用であり、CPU0 からのみアクセスが可能です。ICU1 は CPU1 専用であり、CPU1 からのみアクセスが可能です。

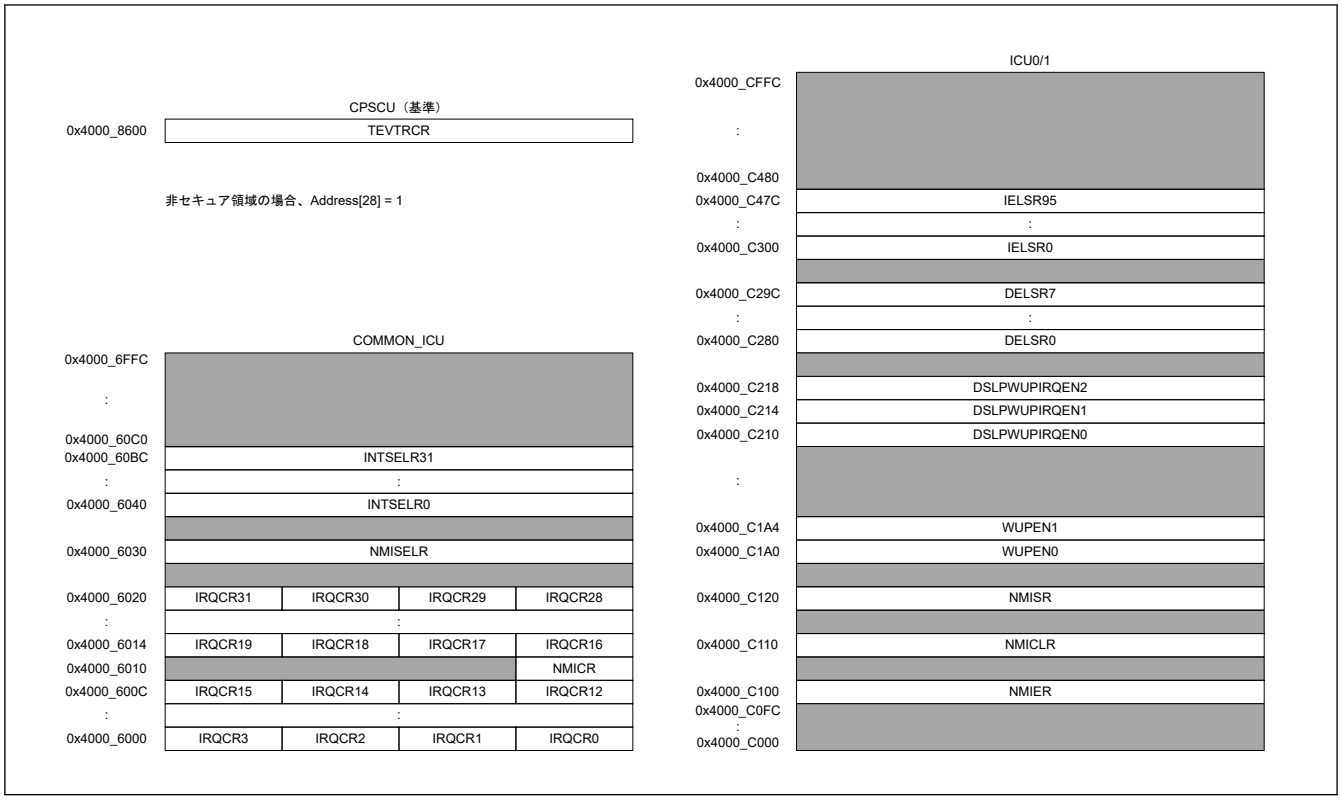


図 14.2　ICU レジスタのアドレスマップ

14.2.1　ICUSARA : 割り込みコントローラセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIRQ CR31	SAIRQ CR30	SAIRQ CR29	SAIRQ CR28	SAIRQ CR27	SAIRQ CR26	SAIRQ CR25	SAIRQ CR24	SAIRQ CR23	SAIRQ CR22	SAIRQ CR21	SAIRQ CR20	SAIRQ CR19	SAIRQ CR18	SAIRQ CR17	SAIRQ CR16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIRQ CR15	SAIRQ CR14	SAIRQ CR13	SAIRQ CR12	SAIRQ CR11	SAIRQ CR10	SAIRQ CR9	SAIRQ CR8	SAIRQ CR7	SAIRQ CR6	SAIRQ CR5	SAIRQ CR4	SAIRQ CR3	SAIRQ CR2	SAIRQ CR1	SAIRQ CR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIRQCR31～SAIRQCR0	IRQCR、WUPEN0、WUPEN1 のレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注.　S-TYPE1, P-TYPE1
注.　本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIRQCRn (n = 0～31)

IRQCRn、WUPEN0、WUPEN1 のレジスタのセキュリティ属性対象のレジスタを以下に示します。

- ICU.IRQCR0～ICU.IRQCR31 レジスタ
- ICU0.WUPEN0[15:0]
- ICU0.WUPEN1[31:16]
- ICU1.WUPEN0[15:0]

- ICU1.WUPEN1[31:16]

14.2.2 ICUSARB : 割り込みコントローラセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SANMI1	SANMI0	SANMI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SANMI	NMICR レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	SANMI0	ICU0.NMISR レジスタ、ICU0.NMIER レジスタ、および ICU0.NMICLR レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	SANMI1	ICU1.NMISR レジスタ、ICU1.NMIER レジスタ、および ICU1.NMICLR レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SANMI ビット（NMICR レジスタのセキュリティ属性）

ノンマスカブル割り込みのためのレジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- NMICR

SANMI0 ビット（ICU0.NMISR レジスタ、ICU0.NMIER レジスタ、および ICU0.NMICLR レジスタのセキュリティ属性）

ノンマスカブル割り込みのためのレジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- ICU0.NMIER
- ICU0.NMICLR
- ICU0.NMISR

SANMI1 ビット（ICU1.NMISR レジスタ、ICU1.NMIER レジスタ、および ICU1.NMICLR レジスタのセキュリティ属性）

ノンマスカブル割り込みのためのレジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- ICU1.NMIER
- ICU1.NMICLR
- ICU1.NMISR

ARM CPU のアプリケーション割り込みおよびリセットコントロールレジスタの AIRCR.BFHFNMINS（ビット 13）の値は、セキュリティ属性の値と同じである必要があります。AIRCR.BFHFNMINS ビットと SANMI ビットの初期値は異なります。

AIRCR.BFHFNMINS ビットはセキュア、SANMI ビットは非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

注. ノンマスカブル割り込み関連のレジスタのセキュリティ属性には、セキュアか非セキュアのいずれか一方のみ設定できます。セキュア属性をセキュアとしてプログラムすると、常にセキュア割り込みハンドラにジャンプします。いずれかのノンマスカブル割り込み要因を非セキュアユーザーに解放したい場合は、セキュア用割り込みハンドラから非セキュアプログラムを実行する関数を用意してください。

14.2.3 ICUSARE : 割り込みコントローラセキュリティ属性レジスタ E

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIIC0WUP	SAAGT1CBWUP	SAAGT1CAWUP	SAAGT1UDWUP	SAUSBFS0WUP	SAUSBHSWUP	SARTCPRDWUP	SARTCALMWUP	—	—	—	SAVBATTWUP	SAPVD2WUP	SAPVD1WUP	—	SAIWDTWUP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SAIWDTWUP	WUPEN0.b16 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	SAPVD1WUP	WUPEN0.b18 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19	SAPVD2WUP	WUPEN0.b19 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
20	SAVBATTWUP	WUPEN0.b20 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SARTCALMWUP	WUPEN0.b24 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
25	SARTCPRDWUP	WUPEN0.b25 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
26	SAUSBHSWUP	WUPEN0.b26 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
27	SAUSBFS0WUP	WUPEN0.b27 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
28	SAAGT1UDWUP	WUPEN0.b28 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
29	SAAGT1CAWUP	WUPEN0.b29 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30	SAAGT1CBWUP	WUPEN0.b30 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31	SAIIC0WUP	WUPEN0.b31 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1、P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

14.2.4 ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x54

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAPDMWUP	SAULP1BWUP	SAULP1AWUP	SAULP1UWUP	SAI3CWUP	SAULP0BWUP	SAULP0AWUP	SAULP0UWUP	SASOSCWUP	—	—	—	SACOMPHS0WUP	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	SACOMPHS0WUP	WUPEN1.b3 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SASOSCWUP	WUPEN1.b7 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
8	SAULP0UWUP	WUPEN1.b8 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
9	SAULP0AWUP	WUPEN1.b9 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
10	SAULP0BWUP	WUPEN1.b10 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
11	SAI3CWUP	WUPEN1.b11 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
12	SAULP1UWUP	WUPEN1.b12 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
13	SAULP1AWUP	WUPEN1.b13 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
14	SAULP1BWUP	WUPEN1.b14 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
15	SAPDMWUP	WUPEN1.b15 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE1、P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

14.2.5 ICUSARG : 割り込みコントローラセキュリティ属性レジスタ G

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x70

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR31	SAIELSR30	SAIELSR29	SAIELSR28	SAIELSR27	SAIELSR26	SAIELSR25	SAIELSR24	SAIELSR23	SAIELSR22	SAIELSR21	SAIELSR20	SAIELSR19	SAIELSR18	SAIELSR17	SAIELSR16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR15	SAIELSR14	SAIELSR13	SAIELSR12	SAIELSR11	SAIELSR10	SAIELSR9	SAIELSR8	SAIELSR7	SAIELSR6	SAIELSR5	SAIELSR4	SAIELSR3	SAIELSR2	SAIELSR1	SAIELSR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIELSR31～SAIELSR0	ICU0 イベントリンク設定 0 用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIELSRn (n = 0～31)

ICU0 イベントリンク設定 0 用レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- ICU0.IELSR0～IELSR31
- ICU0.DSLPWUPIRQEN0

Arm® CPU NVIC で管理するセキュア属性は、ICU0.IELSEn (n = 0～31) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS0[31:0]にあります。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

14.2.6 ICUSARH : 割り込みコントローラセキュリティ属性レジスタ H

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x74

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR63	SAIELSR62	SAIELSR61	SAIELSR60	SAIELSR59	SAIELSR58	SAIELSR57	SAIELSR56	SAIELSR55	SAIELSR54	SAIELSR53	SAIELSR52	SAIELSR51	SAIELSR50	SAIELSR49	SAIELSR48
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR47	SAIELSR46	SAIELSR45	SAIELSR44	SAIELSR43	SAIELSR42	SAIELSR41	SAIELSR40	SAIELSR39	SAIELSR38	SAIELSR37	SAIELSR36	SAIELSR35	SAIELSR34	SAIELSR33	SAIELSR32
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIELSR32～SAIELSR63	ICU0 イベントリンク設定 1 用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIELSRn (n = 32～63)

ICU0 イベントリンク設定 1 用レジスタのセキュリティ属性対象のレジスタを以下に示します。

- ICU0.IELSR32～IELSR63
- ICU0.DSLPWUPIRQEN1

Arm® CPU NVIC で管理するセキュア属性は、ICU0.IELSRn (n = 32～63) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS1[31:0]にあります。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

14.2.7 ICUSARI : 割り込みコントローラセキュリティ属性レジスタ I

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x78

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR95	SAIELSR94	SAIELSR93	SAIELSR92	SAIELSR91	SAIELSR90	SAIELSR89	SAIELSR88	SAIELSR87	SAIELSR86	SAIELSR85	SAIELSR84	SAIELSR83	SAIELSR82	SAIELSR81	SAIELSR80
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR79	SAIELSR78	SAIELSR77	SAIELSR76	SAIELSR75	SAIELSR74	SAIELSR73	SAIELSR72	SAIELSR71	SAIELSR70	SAIELSR69	SAIELSR68	SAIELSR67	SAIELSR66	SAIELSR65	SAIELSR64
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIELSR64～SAIELSR95	ICU0 イベントリンク設定 2 用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIELSRn (n = 64～95)

ICU0 イベントリンク設定 2 用レジスタのセキュリティ属性対象のレジスタを以下に示します。

- ICU0.IELSR64～IELSR95
- ICU0.DSLPWUPIRQEN2

Arm® CPU NVIC で管理するセキュア属性は、ICU0.IELSRn (n = 64～95) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS2[31:0]にあります。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

14.2.8 ICUSARJ : 割り込みコントローラユニットセキュリティ属性レジスタ J

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x7C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR31	SAIELSR30	SAIELSR29	SAIELSR28	SAIELSR27	SAIELSR26	SAIELSR25	SAIELSR24	SAIELSR23	SAIELSR22	SAIELSR21	SAIELSR20	SAIELSR19	SAIELSR18	SAIELSR17	SAIELSR16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR15	SAIELSR14	SAIELSR13	SAIELSR12	SAIELSR11	SAIELSR10	SAIELSR9	SAIELSR8	SAIELSR7	SAIELSR6	SAIELSR5	SAIELSR4	SAIELSR3	SAIELSR2	SAIELSR1	SAIELSR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIELSR0～SAIELSR31	ICU1 イベントリンク設定 0 用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIELSRn (n = 0～31)

ICU1 イベントリンク設定 0 用レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- ICU1.IELSR0～IELSR31
- ICU1.DSLPWUPIRQEN0

Arm® CPU NVIC で管理するセキュア属性は、ICU1.IELSRn (n = 0～31) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS0[31:0]にあります。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

14.2.9 ICUSARK : 割り込みコントローラユニットセキュリティ属性レジスタ K

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x80

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR63	SAIELSR62	SAIELSR61	SAIELSR60	SAIELSR59	SAIELSR58	SAIELSR57	SAIELSR56	SAIELSR55	SAIELSR54	SAIELSR53	SAIELSR52	SAIELSR51	SAIELSR50	SAIELSR49	SAIELSR48
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR47	SAIELSR46	SAIELSR45	SAIELSR44	SAIELSR43	SAIELSR42	SAIELSR41	SAIELSR40	SAIELSR39	SAIELSR38	SAIELSR37	SAIELSR36	SAIELSR35	SAIELSR34	SAIELSR33	SAIELSR32
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIELSR32～ SAIELSR63	ICU1 イベントリンク設定 1 用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIELSR (n = 32～63)

ICU1 イベントリンク設定 1 用レジスタのセキュリティ属性対象のレジスタを以下に示します。

- ICU1.IELSR32～IELSR63
- ICU1.DSLPWUPIRQEN1

Arm® CPU NVIC で管理するセキュア属性は、ICU1.IELSRn (n = 32～63) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS1[31:0]にあります。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

14.2.10 ICUSARL : 割り込みコントローラユニットセキュリティ属性レジスタ L

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x84

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR95	SAIELSR94	SAIELSR93	SAIELSR92	SAIELSR91	SAIELSR90	SAIELSR89	SAIELSR88	SAIELSR87	SAIELSR86	SAIELSR85	SAIELSR84	SAIELSR83	SAIELSR82	SAIELSR81	SAIELSR80
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR79	SAIELSR78	SAIELSR77	SAIELSR76	SAIELSR75	SAIELSR74	SAIELSR73	SAIELSR72	SAIELSR71	SAIELSR70	SAIELSR69	SAIELSR68	SAIELSR67	SAIELSR66	SAIELSR65	SAIELSR64
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIELSR64～ SAIELSR95	ICU1 イベントリンク設定 2 用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIELSR (n = 64～95)

ICU1 イベントリンク設定 2 用レジスタのセキュリティ属性対象のレジスタを以下に示します。

- ICU1.IELSR64～IELSR95
- ICU1.DSLPWUPIRQEN2

ARM CPU NVIC で管理するセキュア属性は、ICU1.IELSRn (n = 64～95) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS2[31:0]にあります。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

14.2.11 TEVTRCR : トラストイベントルートコントロールレジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x600

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	TEVTEICU1	TEVTEICU0	TEVTE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TEVTE	ELC 用トラストイベントルートコントロールレジスタ 0: 禁止 1: 許可	R/W
1	TEVTEICU0	ICU0 用トラストイベントルートコントロールレジスタ 0: 禁止 1: 許可	R/W
2	TEVTEICU1	ICU1 用トラストイベントルートコントロールレジスタ 0: 禁止 1: 許可	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

TEVTE ビット（ELC 用トラストイベントルートコントロールレジスタ）

TEVTE = 1 の場合、ELC.ELSRn (n = 0～18) の全 ELS[9:0]ビットは、セキュアライトアクセスが許可されます。非セキュアライトアクセスからは保護されます。

- ELSRn.IELS[9:0] (n = 0～18)

TEVTEICU0 ビット（ICU0 用トラストイベントルートコントロールレジスタ）

TEVTEICU0 = 1 の場合、ICU0.IELSRn (n = 0～95) の IELS[9:0]ビットおよび ICU0.DELSRm (m = 0～7) の全 DELS[9:0]ビットは、セキュアライトアクセスが許可されます。非セキュアライトアクセスからは保護されます。さらに、TEVTEICU0 = 1 の場合、対象レジスタ（ICU0.IELSRn (n = 0～95) の IELS[31:16]ビット）のセキュリティ属性が非セキュアのとき、セキュアアクセスは許可されません。このとき、上位レベルの[31:16]ビットは読み出しおよび書き込みできませんが、応答は可能であり、エラーは発生しません。

- ICU0.IELSRn.IELS[9:0] (n = 0～95)
- ICU0.DELSRm.DELS[9:0] (m = 0～7)

TEVTEICU1 ビット（ICU1 用トラストイベントルートコントロールレジスタ）

TEVTEICU1 = 1 の場合、ICU1.IELSRn (n = 0～95) の IELS[9:0]ビットおよび ICU1.DELSRm (m = 0～7) の全 DELS[9:0]ビットは、セキュアライトアクセスが許可されます。非セキュアライトアクセスからは保護されます。さらに、TEVTEICU1 = 1 の場合、対象レジスタ（ICU1.IELSRn (n = 0～95) の IELS[31:16]ビット）のセキュリティ属性が非セキュアのとき、セキュアアクセスは許可されません。このとき、上位レベルの[31:16]ビットは読み出しおよび書き込みできませんが、応答は可能であり、エラーは発生しません。

- ICU1.IELSRn.IELS[9:0] (n = 0～95)
- ICU1.DELSRm.DELS[9:0] (m = 0～7)

14.2.12 IRQCRi : IRQ コントロールレジスタ (i = 0～31)

Base address: ICU_COMMON = 0x4000_6000
ICU_COMMON_NS = 0x5000_6000

Offset address: 0x000 + 0x01 × i (i = 0～15)
0x004 + 0x01 × i (i = 16～31)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FLTEN	—	FCLKSEL[1:0]		—	—	IRQMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	IRQMD[1:0]	IRQi 検出センス選択 0 0: 立ち下がりエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Low レベル	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FLTEN	IRQi デジタルフィルタ有効 0: 無効 1: 有効	R/W

注. S-TYPE3, P-TYPE2

IRQCRi レジスタの変更には、以下の条件があります。

1. CPU 割り込みまたは DTC 起動要因の場合：
IRQCRi レジスタの値を変更してから、対象の IELSRn レジスタ (n = 0～95) を設定する必要があります。
対象の IELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
2. DMAC 起動要因の場合：
IRQCRi レジスタの値を変更してから、対象の DELSRm レジスタ (m = 0～7) を設定する必要があります。
対象の DELSRm レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
3. ウェイクアップ許可信号の場合：
IRQCRi レジスタの設定を変更してから、対象の WUPEN0.IRQWUPEN[n] (n = 0～15) ビットまたは WUPEN1.IRQWUPEN[m] (m = 31～16) ビットを設定する必要があります。対象の WUPEN0.IRQWUPEN[n]ビットまたは WUPEN1.IRQWUPEN[m]ビットが 0 の場合にのみ、レジスタ値の変更が可能です。

IRQMD[1:0]ビット（IRQi 検出センス選択）

IRQMD[1:0]ビットは IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法については、「14.5.7. 外部端子割り込みの設定手順」を参照してください。

FCLKSEL[1:0]ビット（IRQi デジタルフィルタサンプリングクロック選択）

FCLKSEL[1:0]ビットは IRQi 外部端子割り込み要求端子用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB（1 サイクルに 1 回）
- PCLKB/8（8 サイクルに 1 回）
- PCLKB/32（32 サイクルに 1 回）
- PCLKB/64（64 サイクルに 1 回）

デジタルフィルタの詳細は、「14.5.6. デジタルフィルタ」を参照してください。

FLTEN ビット（IRQi デジタルフィルタ有効）

FLTEN ビットは IRQi 外部端子割り込み要因に使用されるデジタルフィルタを有効にします。デジタルフィルタは IRQCRi.FLTEN ビットが 1 の場合に有効で、IRQCRi.FLTEN ビットが 0 の場合に無効です。IRQi の端子レベルは IRQCRi.FCLKSEL[1:0]ビットで指定されるクロックサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「14.5.6. デジタルフィルタ」を参照してください。

14.2.13 NMISR : ノンマスカブル割り込みステータスレジスタ

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x120

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	IPCST	—	MRERDST	MRCRDST	FPUEXCST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LUST	LMST	CMST	BUSST	—	—	—	—	NMIST	OSTST	SOSTST	—	PVD2ST	PVD1ST	WDTST	IWDTST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTST	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
1	WDTST	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
2	PVD1ST	電圧監視 1 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
3	PVD2ST	電圧監視 2 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
4	—	読むと 0 が読めます。	R
5	SOSTST	サブクロック発振停止検出割り込みステータスフラグ 0: サブクロック発振停止の割り込み要求なし 1: サブクロック発振停止の割り込み要求あり	R
6	OSTST	メインクロック発振停止検出割り込みステータスフラグ 0: メインクロック発振停止の割り込み要求なし 1: メインクロック発振停止の割り込み要求あり	R
7	NMIST	NMI 端子割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
11:8	—	読むと 0 が読めます。	R
12	BUSST	バスエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
13	CMST	共通メモリエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
14	LMST	ローカルメモリエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R

ビット	シンボル	機能	R/W
15	LUST	ロックアップエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
16	FPUEXCST	FPU 例外割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
17	MRCRDST	MRAM MRC 読み出しエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
18	MRERDST	MRAM MRE 読み出しエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
19	—	読むと 0 が読めます。	R
20	IPCST	IPC NMI CPU 相互割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
31:21	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE2

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。

NMISR は、NMIER の設定判定によって CPU0/CPU1 に供給されるノンマスカブル割り込みとして有効な信号で設定されます。NMIER 設定による判定の詳細は、「14.8.2. トラスト割り込み管理」を参照してください。

ノンマスカブル割り込みの処理ルーチンでは、本レジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

IWDTST フラグは IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。IWDT 割り込みは一次 CPU でのみ有効です。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

IWDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

WDTST フラグは、WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。同じ CPU の WDT 割り込みを受け付けます。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

PVD1ST フラグ（電圧監視 1 割り込みステータスフラグ）

PVD1ST フラグは電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.PVD1CLR ビットでクリアされます。電圧監視 1 割り込みが有効になるのは、NMIER レジスタのビット 2 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

電圧監視 1 割り込みが発生し、この割り込み要因が許可されたとき

[0 になる条件]

NMICLR.PVD1CLR ビットに 1 を書いたとき

PVD2ST フラグ（電圧監視 2 割り込みステータスフラグ）

PVD2ST フラグは電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.PVD2CLR ビットでクリアされます。電圧監視 2 割り込みが有効になるのは、NMIER レジスタのビット 3 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

電圧監視 2 割り込みが発生し、この割り込み要因が許可されたとき

[0 になる条件]

NMICLR.PVD2CLR ビットに 1 を書いたとき

SOSTST フラグ（サブクロック発振停止検出割り込みステータスフラグ）

SOSTST フラグはサブクロック発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.SOSTCLR ビットでクリアされます。サブクロック発振停止検出割り込みが有効になるのは、NMIER レジスタのビット 5 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

サブクロック発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.SOSTCLR ビットに 1 を書いたとき

OSTST フラグ（メインクロック発振停止検出割り込みステータスフラグ）

OSTST フラグは、メインクロック発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。クロック発振停止検出割り込みが有効になるのは、NMIER レジスタのビット 6 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

サブクロック発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ（NMI 端子割り込みステータスフラグ）

NMIST フラグは、NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。NMI 端子割り込みが有効になるのは、NMIER レジスタのビット 7 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMICLR ビットに 1 を書いたとき

BUSST フラグ（バスエラー割り込みステータスフラグ）

BUSST フラグは、NMI の起動要因となるバスエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.BUSCLR ビットでクリアされます。バスエラーには、MPU エラーと TZF エラーがあります。バスエラー割り込みが有効になるのは、NMIER レジスタのビット 12 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

バスエラー検出割り込みが発生したとき

[0 になる条件]

NMICLR.BUSCLR ビットに 1 を書いたとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合は、ステータスフラグをクリアするために、以下の手順を使用してください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.BUSCLR により、ステータスフラグをクリアします。

CMST フラグ（共通メモリエラー割り込みステータスフラグ）

CMST フラグは、共通メモリエラーを示します。このフラグは読み出し専用であり、NMICLR.CMCLR ビットでクリアされます。

共通メモリエラーは SRAM ECC エラーです。共通メモリエラー割り込みが有効になるのは、NMIER レジスタのビット 13 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

共通メモリエラー検出割り込みが発生したとき

[0 になる条件]

NMICLR.CMCLR ビットに 1 を書いたとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合は、ステータスフラグをクリアするために、以下の手順を使用してください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.CMCLR により、ステータスフラグをクリアします。

LMST フラグ（ローカルメモリエラー割り込みステータスフラグ）

LMST フラグは、ローカルメモリエラーを示します。このフラグは読み出し専用であり、NMICLR.LMCLR ビットでクリアされます。

ローカルメモリエラーには、CPU1 キャッシュエラーと TCM ECC エラーがあります。ローカルメモリエラー割り込みが有効になるのは、NMIER レジスタのビット 14 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

ローカルメモリエラー検出割り込みが発生したとき

[0 になる条件]

NMICLR.LMCLR ビットに 1 を書いたとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合、ステータスフラグのクリアは以下の手順に従ってください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.LUSTCLR により、ステータスフラグをクリアします。

LUST フラグ（ロックアップエラー割り込みステータスフラグ）

LUST フラグは、ロックアップエラーを示します。このフラグは読み出し専用であり、NMICLR.LUCLR ビットでクリアされます。同じ CPU のロックアップエラー割り込みを受け付けます。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

ローカルメモリエラー検出割り込みが発生したとき

[0 になる条件]

NMICLR.LMCLR ビットに 1 を書いたとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合は、ステータスフラグをクリアするために、以下の手順を使用してください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.LUCLR により、ステータスフラグをクリアします。

FPUEXCST フラグ（FPU 例外割り込みステータスフラグ）

FPUEXCST フラグは、FPU 例外割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.FPUEXCCLR ビットでクリアされます。同じ CPU の FPU 例外割り込みを受け付けます。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

FPU 例外検出割り込みが発生したとき

[0 になる条件]

NMICLR.FPUEXCCLR ビットに 1 を書き込んだとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合、ステータスフラグのクリアは以下の手順に従ってください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.FPUEXCCLR により、ステータスフラグをクリアします。

MRCRDST フラグ（MRAM MRC 読み出しエラー割り込みステータスフラグ）

MRCRDST フラグは、MRAM MRC 読み出しエラー割り込みを示します。このフラグは読み出し専用であり、NMICLR.MRCRDCLR ビットでクリアされます。MRAM MRC 読み出しエラー割り込みが有効になるのは、NMIER レジスタのビット 17 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

MRAM MRC 読み出しエラー検出割り込みが発生したとき

[0 になる条件]

NMICLR.MRCRDSCLR ビットに 1 を書き込んだとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合、ステータスフラグのクリアは以下の手順に従ってください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.MRCRDCLR により、ステータスフラグをクリアします。

MRERDST フラグ（MRAM MRE 読み出しエラー割り込みステータスフラグ）

MRERDST フラグは、MRAM MRE 読み出しエラー割り込みを示します。このフラグは読み出し専用であり、NMICLR.MRERDCLR ビットでクリアされます。MRAM MRE 読み出しエラー割り込みが有効になるのは、

NMIER レジスタのビット 18 が 1 で、かつ対象 CPU への供給が選択されている場合だけです。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

MRAM MRE 読み出しエラー検出割り込みが発生したとき

[0 になる条件]

NMICLR.MRERDCLR ビットに 1 を書き込んだとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合、ステータスフラグのクリアは以下の手順に従ってください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.MRERDCLR により、ステータスフラグをクリアします。

IPCST フラグ（IPC NMI CPU 相互割り込みステータスフラグ）

IPCST フラグは、NMI の起動要因となる IPC NMI CPU 相互割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IPCCLR ビットでクリアされます。他の CPU の IPC 割り込みを受け付けます。「14.8.2. トラスト割り込み管理」を参照してください。

[1 になる条件]

IPC NMI CPU 相互割り込みが発生したとき

[0 になる条件]

NMICLR.IPCCLR ビットに 1 を書いたとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合は、ステータスフラグをクリアするために、以下の手順を使用してください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.IPCCLR により、ステータスフラグをクリアします。

14.2.14 NMIER : ノンマスカブル割り込みイネーブルレジスタ

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	IPCEN	—	MRERDEN	MRCRDEN	FPUEXCEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LUEN	LMEN	CMEN	BUSEN	—	—	—	—	NMIEN	OSTEN	SOSTEN	—	PVD2EN	PVD1EN	WDTEN	IWDTEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)

ビット	シンボル	機能	R/W
1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
2	PVD1EN	電圧監視 1 割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
3	PVD2EN	電圧監視 2 割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	SOSTEN	サブクロック発振停止検出割り込み許可 0: 禁止 1: 許可	R/W
6	OSTEN	発振停止検出割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
7	NMIEN	NMI 端子割り込み許可 0: 禁止 1: 許可	R/W(注1)
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	BUSEN	バスエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
13	CMEN	共通メモリエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
14	LMEN	ローカルメモリエラー割り込み許可 0: 禁止 1: 許可	R/W
15	LUEN	ロックアップエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
16	FPUEXCEN	FPU 例外割り込み許可 0: 禁止 1: 許可	R/W
17	MRCRDEN	MRAM MRC 読み出しエラー割り込み許可 0: 禁止 1: 許可	R/W
18	MRERDEN	MRAM MRE 読み出しエラー割り込み許可 0: 禁止 1: 許可	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	IPCEN	IPC NMI CPU 相互割り込み許可 0: 禁止 1: 許可	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE2
注 1. リセット後、本ビットに 1 回だけ 1 を書き込むことが可能です。以後のライトアクセスは無効です。0 の書き込みは無効です。
注 2. 割り込み信号として使用する場合、1 にしないでください。

NMIER ビットについては、CPU0 と CPU1 のうち 1 つのみを 1 に設定してください。CPU0 と CPU1 両方の NMIER ビットに 1 を設定することは禁止です。

IWDTEN ビット（IWDT アンダーフロー／リフレッシュエラー割り込み許可）

IWDTEN ビットは、NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。本ビットは、IWDT アンダーフロー／リフレッシュエラー割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

WDTEN ビット（WDT アンダーフロー／リフレッシュエラー割り込み許可）

WDTEN ビットは、NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。本ビットは、ディープスリープモード復帰要因として WDT アンダーフロー／リフレッシュエラー割り込みを使用するかどうかを制御する許可ビットです。

PVD1EN ビット（電圧監視 1 割り込み許可）

PVD1EN ビットは、NMI の起動要因となる電圧監視 1 割り込みを許可します。

PVD2EN ビット（電圧監視 2 割り込み許可）

PVD2EN ビットは、NMI の起動要因となる電圧監視 2 割り込みを許可します。本ビットは、電圧監視 2 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

SOSTEN ビット（サブクロック発振停止検出割り込み許可）

OSTEN ビットは、NMI の起動要因となるメインクロック発振停止検出割り込みを許可します。本ビットは、サブクロック発振停止検出割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

OSTEN ビット（発振停止検出割り込み許可）

OSTEN ビットは、NMI の起動要因となるメインクロック発振停止検出割り込みを許可します。本ビットは、メインクロック発振停止検出割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

NMIEN ビット（NMI 端子割り込み許可）

NMIEN ビットは、NMI の起動要因となる NMI 端子割り込みを許可します。本ビットは、NMI 端子割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

BUSEN ビット（バスエラー割り込み許可）

BUSEN ビットは、NMI の起動要因となるバスエラー割り込みを許可します。本ビットは、ディープスリープモード復帰要因としてバスエラー割り込みを使用するかどうかを制御する許可ビットです。バスエラーには、MPU エラーと TZF エラーがあります。

CMEN ビット（共通メモリエラー割り込み許可）

CMEN ビットは、NMI の起動要因となる共通メモリエラー割り込みを許可します。本ビットは、ディープスリープモード復帰要因としてバスエラー割り込みを使用するかどうかを制御する許可ビットです。共通メモリエラーは SRAM ECC エラーです。

LMEN ビット（ローカルメモリエラー割り込み許可）

LMEN ビットは、NMI の起動要因となるローカルメモリエラー割り込みを許可します。本ビットは、ディープスリープモード復帰要因としてローカルメモリエラー割り込みを使用するかどうかを制御する許可ビットです。ローカルメモリエラー割り込みは、キャッシュと TCM ECC エラーを含みます。

LUEN ビット（ロックアップエラー割り込み許可）

LUEN ビットは、NMI の起動要因となるロックアップエラー割り込みを許可します。

FPUEXCEN ビット（FPU 例外割り込み許可）

FPUEXCEN ビットは、NMI の起動要因となる FPU 例外割り込みを許可します。

MRCRDEN ビット（MRAM MRC 読み出しエラー割り込み許可）

MRCRDEN ビットは、NMI の起動要因となる MRAM MRC 読み出しエラー割り込みを許可します。本ビットは、ディープスリープモード復帰要因として MRAM MRC 読み出しエラー割り込みを使用するかどうかを制御する許可ビットです。

MRERDEN ビット（MRAM MRE 読み出しエラー割り込み許可）

MRERDEN ビットは、NMI の起動要因となる MRAM MRE 読み出しエラー割り込みを許可します。本ビットは、ディープスリープモード復帰要因として MRAM MRE 読み出しエラー割り込みを使用するかどうかを制御する許可ビットです。

IPCEN ビット（IPC NMI CPU 相互割り込み許可）

IPCEN ビットは、NMI の起動要因となる IPC NMI CPU 相互割り込みを許可します。本ビットは、ディープスリープモード復帰要因として IPC NMI CPU 相互割り込みを使用するかどうかを制御する許可ビットです。

14.2.15 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x110

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	IPCCLR	—	MRERDCLR	MRCRDCLR	FPUEXCCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LUCLR	LMCLR	CMCLR	BUSCLR	—	—	—	—	NMICLR	OSTCLR	SOSTCLR	—	PVD2CLR	PVD1CLR	WDTCLR	IWDTCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTCLR	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.IWDTST フラグをクリア	R/W(注1)
1	WDTCLR	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.WDTST フラグをクリア	R/W(注1)
2	PVD1CLR	電圧監視 1 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.PVD1ST フラグをクリア	R/W(注1)
3	PVD2CLR	電圧監視 2 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.PVD2ST フラグをクリア	R/W(注1)
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	SOSTCLR	発振停止検出割り込みステータスフラグクリア 0: 影響なし 1: NMISR.OSTST フラグをクリア	R/W(注1)
6	OSTCLR	発振停止検出割り込みステータスフラグクリア 0: 影響なし 1: NMISR.OSTST フラグをクリア	R/W(注1)
7	NMICLR	NMI 端子割り込みステータスフラグクリア 0: 影響なし 1: NMISR.NMIST フラグをクリア	R/W(注1)
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
12	BUSCLR	バスエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.BUSST フラグをクリア	R/W(注1)
13	CMCLR	共通メモリエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.CMST フラグをクリア	R/W(注1)
14	LMCLR	ローカルメモリエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LMST フラグをクリア	R/W(注1)
15	LUCLR	ロックアップエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LUST フラグをクリア	R/W(注1)
16	FPUEXCCLR	FPU 例外割り込みステータスフラグクリア 0: 影響なし 1: NMISR.FPUEXCST フラグをクリア	R/W(注1)
17	MRCRDCLR	MRAM MRC 読み出しエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.MRCRDST フラグをクリア	R/W(注1)
18	MRERDCLR	MRAM MRE 読み出しエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.MRERDST フラグをクリア	R/W(注1)
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	IPCCLR	IPC NMI CPU 間割り込みステータスフラグクリア 0: 影響なし 1: NMISR.IPCST フラグをクリア	R/W(注1)
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE2
注. CPU と ICU の処理速度は異なる場合があります。CPU は NMISR をクリアする前に、割り込みハンドラを終了させる可能性があります。すると CPU が誤って NMI ハンドラに再度ジャンプすることになります。これを回避するために、NMI ハンドラを終了させる前に必ず NMISR を読み出し、NMISR がクリアされていることを確認してください。
注 1. このビットには 1 のみ書けます。

IWDTCLR ビット（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

IWDTCLR ビットに 1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

WDTCLR ビット（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

WDTCLR ビットに 1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

PVD1CLR ビット（電圧監視 1 割り込みステータスフラグクリア）

PVD1CLR ビットに 1 を書き込むことにより、NMISR.PVD1ST フラグをクリアします。読むと 0 が読めます。

PVD2CLR ビット（電圧監視 2 割り込みステータスフラグクリア）

PVD2CLR ビットに 1 を書き込むことにより、NMISR.PVD2ST フラグをクリアします。読むと 0 が読めます。

SOSTCLR ビット（発振停止検出割り込みステータスフラグクリア）

SOSTCLR ビットに 1 を書き込むことにより、NMISR.SOSTST フラグをクリアします。読むと 0 が読めます。

OSTCLR ビット（発振停止検出割り込みステータスフラグクリア）

OSTCLR ビットに 1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット（NMI 端子割り込みステータスフラグクリア）

NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

BUSCLR ビット（バスエラー割り込みステータスフラグクリア）

BUSCLR ビットに 1 を書き込むことにより、NMISR.BUSST フラグをクリアします。読むと 0 が読めます。

CMCLR ビット（共通メモリエラー割り込みステータスフラグクリア）

CMCLR ビットに 1 を書き込むことにより、NMISR.CMST フラグをクリアします。読むと 0 が読めます。

LMCLR ビット（ローカルメモリエラー割り込みステータスフラグクリア）

LMCLR ビットに 1 を書き込むことにより、NMISR.LMST フラグをクリアします。読むと 0 が読めます。

LUCLR ビット（ロックアップエラー割り込みステータスフラグクリア）

LUCLR ビットに 1 を書き込むことにより、NMISR.LUST フラグをクリアします。読むと 0 が読めます。

FPUEXCCLR ビット（FPU 例外割り込みステータスフラグクリア）

FPUEXCCLR ビットに 1 を書き込むことにより、NMISR.FPUEXCST フラグをクリアします。読むと 0 が読めます。

MRCRDCLR ビット（MRAM MRC 読み出しエラー割り込みステータスフラグクリア）

MRCRDCLR ビットに 1 を書き込むことにより、NMISR.MRCRDST フラグをクリアします。読むと 0 が読めます。

MRERDCLR ビット（MRAM MRE 読み出しエラー割り込みステータスフラグクリア）

MRERDCLR ビットに 1 を書き込むことにより、NMISR.MRERDST フラグをクリアします。読むと 0 が読めます。

IPCCLR ビット（IPC NMI CPU 間割り込みステータスフラグクリア）

IPCCLR ビットに 1 を書き込むことにより、NMISR.IPCST フラグをクリアします。読むと 0 が読めます。

14.2.16 NMICR : NMI 端子割り込みコントロールレジスタ

Base address: ICU_COMMON = 0x4000_6000
ICU_COMMON_NS = 0x5000_6000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	NFLTEN	—	NFCLKSEL[1:0]		—	—	—	NMIMD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NMIMD	NMI 検出設定 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NFLTEN	NMI デジタルフィルタ有効 0: 無効 1: 有効	R/W

注. S-TYPE3, P-TYPE2

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可（NMIER.NMIEN ビットを 1）にしてください。

NMIMD ビット（NMI 検出設定）

NMIMD ビットは NMI 端子割り込みの検出イベントを選択します。

NFCLKSEL[1:0]ビット（NMI デジタルフィルタサンプリングクロック選択）

NFCLKSEL[1:0]ビットは NMI 端子割り込み用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB（1 サイクルに 1 回）
- PCLKB/8（8 サイクルに 1 回）
- PCLKB/32（32 サイクルに 1 回）
- PCLKB/64（64 サイクルに 1 回）

デジタルフィルタの詳細は、「14.5.6. デジタルフィルタ」を参照してください。

NFLTEN ビット（NMI デジタルフィルタ有効）

NFLTEN ビットは、NMI 端子割り込みのデジタルフィルタを有効にします。フィルタは NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NMIFLTC.NFCLKSEL[1:0]ビットで指定されたサンプリングクロックサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「14.5.6. デジタルフィルタ」を参照してください。

14.2.17 IELSRn : 割り込みコントローラユニットイベントリンク設定レジスタ n (n = 0～95)

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x300 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	IELS[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	IELS[9:0]	ICU イベントリンク選択 0x00: 対応する NVIC または DTC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は、「14.3.2. イベント番号」を参照してください。	R/W(注1)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IR	割り込みステータスフラグ 0: 割り込み要求の発生なし 1: 割り込み要求の発生あり	R/W(注2)
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DTCE	DTC 起動許可 0: DTC 起動禁止 1: DTC 起動許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. 本レジスタの[15:0]ビットは、ハーフワードアクセスまたはワードアクセスでのみアクセス可能です。バイトアクセスは無視されます。
注 2. IR フラグに 1 を書き込まないでください。

本レジスタには、トラストイベントルートコントロールレジスタ (TEVTRCR) の設定によって、異なるセキュアアクセス許可があります。

セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが禁止されている場合、

- セキュアライトアクセスは無視されます。セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
- 非セキュアアクセスが許可されています。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが許可されている場合、

- IELS ビットへのセキュアアクセスが許可されています。
- IELS ビットへの非セキュアライトアクセスは無視されます。非セキュアリードアクセスは許可されています。
- 他のビットへのセキュアライトアクセスは無視されます。他のビットへのセキュアリードアクセスは 0 が読めます。
- 他のビットへの非セキュアアクセスが許可されています。
- TrustZone アクセスエラーは発生しません。

IELSRn レジスタは NVIC により使用される割り込み要因を選択します。詳細は、表 14.3 を参照してください。IELSRn (n = 0～95) は、NVIC 割り込み入力要因番号 0～95 に対応します。

IELS[9:0] ビット（ICU イベントリンク選択）

IELS[9:0]ビットは、対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。詳細は、「14.3. ベクタテーブル」を参照してください。すべての IELS[9:0]ビットに同時に書き込む必要があります。

[1 になる条件]

本ビットに値を書いたとき

[0 になる条件]

本ビットに 0 を書いたとき

アクセスエラー発生により、DTC 転送が停止したとき。「18. データトランスファコントローラ (DTC)」ユニットの章を参照してください。

IR フラグ（割り込みステータスフラグ）

IR ステータスフラグは、IELS[9:0]ビットで指定されたイベントからの個別の割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

- 0 を書くことにより、IR フラグは 0 にクリアされます。
- DTC.DISEL = 0 の場合、DTCE = 1 のとき、DTC 転送で最終転送終了時以外は、IR フラグはハードウェアにより設定およびクリアされます。
- DTC.DISEL = 1 の場合、DTCE = 1 のとき、DTC 転送でハードウェアは IR フラグをクリアしません。No.1 と同様に、CPU によってクリアされなければなりません。

最終転送以外の DTC 転送が終了する場合（DTCE ビットは 1 から 0 になる）

レベル検出の場合、IR フラグのクリアは以下の手順に従ってください。

1. 入力要因のレベルをネゲートします。
2. 周辺リードアクセスを 1 回実行し、対応する周辺モジュールクロックの 2 クロックサイクル分待機します。
3. 0 を書き込んで IR フラグをクリアします。

注. DTCE = 1 のとき、IR レジスタに 0 を書き込まないでください。

注. CPU と ICU の処理速度は異なる場合があります。CPU は IR フラグをクリアする前に、割り込みハンドラを終了させる可能性があります。すると CPU が誤って割り込みハンドラに再度ジャンプすることになります。これを回避するために、割り込みハンドラを終了させる前に必ず本レジスタを読み出し、IR フラグがクリアされていることを確認してください。

DTCE ビット（DTC 起動許可）

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

- DTCE ビットに 1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- DTCE ビットに 0 を書いたとき

注. Arm CPU NVIC で管理するセキュリティ属性は、IELSRn (n = 0～95) のセキュリティ属性と一致している必要があります。

注. DTC 転送中のエラー

DTC 転送中にエラー応答が発生すると、DTC はエラーが発生したことを ICU に通知します。ICU は対象の IELSRn (n = 0～95) のすべてのビットをクリアします。対象外の IELSRn (n = 0～95) はクリアされません。

14.2.18 DELSRm : DMAC イベントリンク設定レジスタ m (m = 0～7)

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x280 + 0x4 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DELS[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	DELS[9:0]	DMAC イベントリンク選択 0x00: 対応する DMAC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は「14.3.2. イベント番号」を参照してください。	R/W(注1)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IR	DMAC 起動要求ステータスフラグ 0: DMAC 起動要求なし 1: DMAC 起動要求あり	R/W(注2)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W(注1)

注. S-TYPE-3, P-TYPE-2
注 1. 本レジスタはハーフワードアクセスまたはワードアクセスをしてください。
注 2. IR フラグに 1 を書き込まないでください。

本レジスタには、トラストイベントルートコントロールレジスタ (TEVTRCR) の設定によって、異なるセキュアアクセス許可があります。

セキュリティ属性がセキュアに設定されている場合

- セキュアアクセスが許可されます。

- 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが禁止されている場合、

- セキュアライトアクセスは無視されます。セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
- 非セキュアアクセスが許可されています。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが許可されている場合、

- DELS ビットへのセキュアアクセスが許可されています。
- DELS ビットへの非セキュアライトアクセスは無視されます。DELS ビットへの非セキュアリードアクセスは許可されています。
- 他のビットへのセキュアライトアクセスは無視されます。他のビットへのセキュアリードアクセスは 0 が読めます。
- 他のビットへの非セキュアアクセスが許可されています。
- TrustZone アクセスエラーは発生しません。

DELS[9:0]ビット（DMAC イベントリンク選択）

DELS[9:0]ビットは対応する DMAC モジュールへのイベント信号にリンクします。すべての DELS[9:0]ビットを同時に書き込んでください。複数の DELSRm レジスタに同じイベント番号を設定しないでください。

[1 になる条件]

本ビットに値を書いたとき

[0 になる条件]

本ビットに 0 を書いたとき

アクセスエラー発生により、DMA 転送が停止したとき。「17. DMA コントローラ (DMAC)」ユニットの章を参照してください。

IR フラグ（DMAC 起動要求ステータスフラグ）

本フラグは DMAC 起動要求のステータスフラグです。

本フラグは本レジスタの DELS[9:0]ビットに対応します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から DMAC の起動要求が発生したとき

[0 になる条件]

フラグに 0 を書いたとき

DMAC 起動要求発生後に DMA 転送を開始したとき

アクセスエラーの発生により DMA 転送が停止したとき「17. DMA コントローラ (DMAC)」を参照してください。

注. IR フラグは DMA 転送終了後に自動的にクリアされますので、アボート発生時などの緊急時以外は 0 を書き込まないでください。DMA 転送中に 0 を書いた場合、DMA 転送動作は保証できません。

14.2.19 WUPEN0 : ウェイクアップ割り込みイネーブルレジスタ 0

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RIIC0WUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	USBFS0WUPEN	USBHSWUPEN	RTCPRDWUPEN	RTCALMWUPEN	—	—	—	VBATTWUPEN	PVD2WUPEN	PVD1WUPEN	—	IWDTWUPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IRQWUPEN15	IRQWUPEN14	IRQWUPEN13	IRQWUPEN12	IRQWUPEN11	IRQWUPEN10	IRQWUPEN9	IRQWUPEN8	IRQWUPEN7	IRQWUPEN6	IRQWUPEN5	IRQWUPEN4	IRQWUPEN3	IRQWUPEN2	IRQWUPEN1	IRQWUPEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	IRQWUPEN0～IRQWUPEN15	割り込みソフトウェアスタンバイモード復帰許可ビット IRQ15～IRQ0 0: IRQn 割り込みによるソフトウェアスタンバイモード復帰禁止 1: IRQn 割り込みによるソフトウェアスタンバイモード復帰許可(注1)	R/W
16	IWDTWUPEN	IWDT 割り込みソフトウェアスタンバイモード復帰許可 0: IWDT 割り込みによるソフトウェアスタンバイモード復帰禁止 1: IWDT 割り込みによるソフトウェアスタンバイモード復帰許可	R/W
17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	PVD1WUPEN	PVD1 割り込みソフトウェアスタンバイモード復帰許可 0: PVD1 割り込みによるソフトウェアスタンバイモード復帰禁止 1: PVD1 割り込みによるソフトウェアスタンバイモード復帰許可	R/W
19	PVD2WUPEN	PVD2 割り込みソフトウェアスタンバイモード復帰許可 0: PVD2 割り込みによるソフトウェアスタンバイモード復帰禁止 1: PVD2 割り込みによるソフトウェアスタンバイモード復帰許可	R/W
20	VBATTWUPEN	VBATT 監視割り込みソフトウェアスタンバイモード復帰許可 0: VBATT 監視割り込みによるソフトウェアスタンバイモード復帰禁止 1: VBATT 監視割り込みによるソフトウェアスタンバイモード復帰許可	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	RTCALMWUPEN	RTC アラーム割り込みソフトウェアスタンバイモード復帰許可 0: RTC アラーム割り込みによるソフトウェアスタンバイモード復帰禁止 1: RTC アラーム割り込みによるソフトウェアスタンバイモード復帰許可	R/W
25	RTCPRDWUPEN	RTC 周期割り込みソフトウェアスタンバイモード復帰許可 0: RTC 周期割り込みによるソフトウェアスタンバイモード復帰禁止 1: RTC 周期割り込みによるソフトウェアスタンバイモード復帰許可	R/W
26	USBHSWUPEN	USBHS 割り込みソフトウェアスタンバイモード復帰許可 0: USBHS 割り込みによるソフトウェアスタンバイモード復帰禁止 1: USBHS 割り込みによるソフトウェアスタンバイモード復帰許可	R/W
27	USBFS0WUPEN	USBFS 割り込みソフトウェアスタンバイモード復帰許可 0: USBFS 割り込みによるソフトウェアスタンバイモード復帰禁止 1: USBFS 割り込みによるソフトウェアスタンバイモード復帰許可	R/W
28	AGT1UDWUPEN	AGT1 アンダーフロー割り込みソフトウェアスタンバイモード復帰許可 0: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイモード復帰禁止 1: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイモード復帰許可	R/W
29	AGT1CAWUPEN	AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード復帰許可 0: AGT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイモード復帰禁止 1: AGT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイモード復帰許可	R/W
30	AGT1CBWUPEN	AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード復帰許可 0: AGT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイモード復帰禁止 1: AGT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイモード復帰許可	R/W

ビット	シンボル	機能	R/W
31	RIIC0WUPEN	RIIC0 アドレスマッチ割り込みによるソフトウェアスタンバイモード復帰許可 0: IIC0 アドレスマッチ A 割り込みによるソフトウェアスタンバイモード復帰禁止 1: IIC0 アドレスマッチ A 割り込みによるソフトウェアスタンバイモード復帰許可	R/W

注. S-TYPE4, P-TYPE2
注. 本レジスタのビットを有効にした要因を選択する IELSRn レジスタに対応する DSLPWUPIRQENj レジスタのビットを 1 にする必要があります。
注 1. 本レジスタのセキュリティ属性は、ウェイクアップイベントごとに設定されます。セキュリティホールの発生を避けるため、ウェイクアップの対象イベントと、本ビットに追加されるセキュリティ属性が一致していなければなりません。

IRQWUPEN15～IRQWUPEN0 ビット（割り込みソフトウェアスタンバイモード復帰許可ビット IRQ15～IRQ0）

IRQWUPENn (n = 0～15) は、IRQn 端子をソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

IWDTWUPEN ビット（IWDT 割り込みソフトウェアスタンバイモード復帰許可）

IWDTWUPEN ビットは、IWDT 割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

PVD1WUPEN ビット（PVD1 割り込みソフトウェアスタンバイモード復帰許可）

PVD1WUPEN ビットは、PVD1 割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

PVD2WUPEN ビット（PVD2 割り込みソフトウェアスタンバイモード復帰許可）

PVD2WUPEN ビットは、PVD2 割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

VBATTWUPEN ビット（VBATT 監視割り込みソフトウェアスタンバイモード復帰許可）

VBATTWUPEN ビットは、VBATT 監視割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

RTCALMWUPEN ビット（RTC アラーム割り込みソフトウェアスタンバイモード復帰許可）

RTCALMWUPEN ビットは、RTC アラーム割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

RTCPRDWUPEN ビット（RTC 周期割り込みソフトウェアスタンバイモード復帰許可）

RTCPRDWUPEN ビットは、RTC 周期割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

USBHSWUPEN ビット（USBHS 割り込みソフトウェアスタンバイモード復帰許可）

USBHSWUPEN ビットは、USBHS 割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

USBFS0WUPEN ビット（USBFS 割り込みソフトウェアスタンバイモード復帰許可）

USBFS0WUPEN ビットは、USBFS 割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

AGT1UDWUPEN ビット（AGT1 アンダーフロー割り込みソフトウェアスタンバイモード復帰許可）

AGT1UDWUPEN ビットは、AGT1 アンダーフロー割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

AGT1CAWUPEN ビット（AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード復帰許可）

AGT1CAWUPEN ビットは、AGT1 コンペアマッチ A 割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

AGT1CBWUPEN ビット（AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード復帰許可）

AGT1CBWUPEN ビットは、AGT1 コンペアマッチ B 割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

RIIC0WUPEN ビット（RIIC0 アドレスマッチ割り込みによるソフトウェアスタンバイモード復帰許可）

RIIC0WUPEN ビットは、RIIC0 割り込みをソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

14.2.20 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x1A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	IRQWUPEN31	IRQWUPEN30	IRQWUPEN29	IRQWUPEN28	IRQWUPEN27	IRQWUPEN26	IRQWUPEN25	IRQWUPEN24	IRQWUPEN23	IRQWUPEN22	IRQWUPEN21	IRQWUPEN20	IRQWUPEN19	IRQWUPEN18	IRQWUPEN17	IRQWUPEN16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDMWUPEN	ULP1BWUPEN	ULP1AWUPEN	ULP1UWUPEN	I3CWUPEN	ULP0BWUPEN	ULP0AWUPEN	ULP0UWUPEN	SOSCWUPEN	—	—	—	COMPHS0WUPEN	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	COMPHS0WUPEN	コンパレータ HS0 割り込みソフトウェアスタンバイモード復帰許可 0: コンパレータ HS0 割り込みによるソフトウェアスタンバイ復帰禁止 1: コンパレータ HS0 割り込みによるソフトウェアスタンバイ復帰許可	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SOSCWUPEN	サブクロック発振停止検出割り込みソフトウェアスタンバイモード復帰許可 0: サブクロック発振停止検出割り込みによるソフトウェアスタンバイモード復帰禁止 1: サブクロック発振停止検出割り込みによるソフトウェアスタンバイモード復帰許可	R/W
8	ULP0UWUPEN	ULPT0 アンダーフロー割り込みソフトウェアスタンバイモード復帰許可 0: ULPT0 割り込みによるソフトウェアスタンバイ復帰禁止 1: ULPT0 アンダーフロー割り込みによるソフトウェアスタンバイ復帰許可	R/W
9	ULP0AWUPEN	ULPT0 コンペアマッチ A 割り込みソフトウェアスタンバイモード復帰許可 0: ULPT0 コンペアマッチ A 割り込みによるソフトウェアスタンバイ復帰禁止 1: ULPT0 コンペアマッチ A 割り込みによるソフトウェアスタンバイ復帰許可	R/W
10	ULP0BWUPEN	ULPT0 コンペアマッチ B 割り込みソフトウェアスタンバイモード復帰許可 0: ULPT0 コンペアマッチ B 割り込みによるソフトウェアスタンバイ復帰禁止 1: ULPT0 コンペアマッチ B 割り込みによるソフトウェアスタンバイ復帰許可	R/W
11	I3CWUPEN	I3C ウェイクアップ条件検出割り込みソフトウェアスタンバイモード復帰許可 0: I3C ウェイクアップ条件検出割り込みによるソフトウェアスタンバイ復帰禁止 1: I3C ウェイクアップ条件検出割り込みによるソフトウェアスタンバイ復帰許可	R/W
12	ULP1UWUPEN	ULPT1 アンダーフロー割り込みソフトウェアスタンバイモード復帰許可 0: ULPT1 アンダーフロー割り込みによるソフトウェアスタンバイ復帰禁止 1: ULPT1 アンダーフロー割り込みによるソフトウェアスタンバイ復帰許可	R/W
13	ULP1AWUPEN	ULPT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード復帰許可 0: ULPT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイ復帰禁止 1: ULPT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイ復帰許可	R/W
14	ULP1BWUPEN	ULPT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード復帰許可 0: ULPT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイ復帰禁止 1: ULPT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイ復帰許可	R/W
15	PDMWUPEN	PDMIF サウンド検出割り込みソフトウェアスタンバイモード復帰許可 0: PDMIF サウンド検出割り込みによるソフトウェアスタンバイ復帰禁止 1: PDMIF サウンド検出割り込みによるソフトウェアスタンバイ復帰許可	R/W

ビット	シンボル	機能	R/W
31:16	IRQWUPEN16～IRQWUPEN31	割り込みソフトウェアスタンバイモード復帰許可 IRQ31～IRQ16 0: IRQn 割り込みによるソフトウェアスタンバイ復帰禁止 1: IRQn 割り込みによるソフトウェアスタンバイ復帰許可	R/W

注. S-TYPE4, P-TYPE2
注. 本レジスタのビットを有効にした要因を選択する IELSRn レジスタに対応する DSLPWUPIRQENj レジスタのビットを 1 にする必要があります。
注. 本レジスタのセキュリティ属性は、ウェイクアップイベントごとに設定されます。セキュリティホールの発生を避けるため、ウェイクアップの対象イベントと、本ビットに追加されるセキュリティ属性が一致していなければなりません。

COMPHS0WUPEN ビット（コンパレータ HS0 割り込みソフトウェアスタンバイモード復帰許可）

このビットは、コンパレータ HS0 割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

SOSCWUPEN ビット（サブクロック発振停止検出割り込みソフトウェアスタンバイモード復帰許可）

このビットは、サブクロック発振停止検出割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

ULP0UWUPEN ビット（ULPT0 アンダーフロー割り込みソフトウェアスタンバイモード復帰許可）

このビットは、ULPT0 アンダーフロー割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

ULP0AWUPEN ビット（ULPT0 コンペアマッチ A 割り込みソフトウェアスタンバイモード復帰許可）

このビットは、ULPT0 コンペアマッチ A 割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

ULP0BWUPEN ビット（ULPT0 コンペアマッチ B 割り込みソフトウェアスタンバイモード復帰許可）

このビットは、ULPT0 コンペアマッチ B 割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

I3CWUPEN ビット（I3C ウェイクアップ条件検出割り込みソフトウェアスタンバイモード復帰許可）

このビットは、I3C ウェイクアップ条件検出割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

ULP1UWUPEN ビット（ULPT1 アンダーフロー割り込みソフトウェアスタンバイモード復帰許可）

このビットは、ULPT1 アンダーフロー割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

ULP1AWUPEN ビット（ULPT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード復帰許可）

このビットは、ULPT1 コンペアマッチ A 割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

ULP1BWUPEN ビット（ULPT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード復帰許可）

このビットは、ULPT1 コンペアマッチ A 割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

PDMWUPEN ビット（PDMIF サウンド検出割り込みソフトウェアスタンバイモード復帰許可）

このビットは、PDMIF サウンド検出割り込みをソフトウェアスタンバイ復帰要因として使用するかどうかを制御する許可ビットです。

IRQWUPEN31～IRQWUPEN16 ビット（割り込みソフトウェアスタンバイモード復帰許可 IRQ31～IRQ16）

IRQWUPEN31 ビットは、IRQ31 端子をソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御する許可ビットです。

IRQWUPEN16 ビットは、IRQ16 端子をソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御する許可ビットです。

ビット位置と IRQ 端子番号は対応しています。

14.2.21 DSLPWUPIRQENj : ディープスリープウェイクアップ IRQ 許可レジスタ (j = 0～2)

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x210 + 0x4 × j

Bit position:	31																													0
Bit field:	IRQn (n = 32 × j + 31)～IRQn (n = 32 × j + 0)																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	IRQn	IRQ ディープスリープモード復帰許可ビット n (n = 32 × j + i (i = 0～31)) 0: IRQ イベントによるディープスリープモードからの復帰を禁止 1: IRQ イベントによるディープスリープモードからの復帰を許可	R/W

注. S-TYPE4, P-TYPE2

IRQ ビット

このビットは、ディープスリープモード復帰要因として IRQ を使用するかどうかを制御する許可ビットです。

IRQn (n = 32 × j + i (i = 0～31)) の選択は、IELSRn.IELS[9:0]ビット (n = 0～95) で行います。

14.2.22 INTSELRp : 割り込み要求選択レジスタ (p = 0～31)

Base address: ICU_COMMON = 0x4000_6000
ICU_COMMON_NS = 0x5000_6000

Offset address: 0x40 + 0x4 × p

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	IS32p +31	IS32p +30	IS32p +29	IS32p +28	IS32p +27	IS32p +26	IS32p +25	IS32p +24	IS32p +23	IS32p +22	IS32p +21	IS32p +20	IS32p +19	IS32p +18	IS32p +17	IS32p +16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IS32p +15	IS32p +14	IS32p +13	IS32p +12	IS32p +11	IS32p +10	IS32p +9	IS32p +8	IS32p +7	IS32p +6	IS32p +5	IS32p +4	IS32p +3	IS32p +2	IS32p +1	IS32p +0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	IS32p+31～IS32p+0	このビットは、割り込み要求と DTC 要求が CPU0 側と CPU1 側のどちらにあるかを設定します。 0: CPU0 要因として選択 1: CPU1 要因として選択	R/W(注1)

注. S-TYPE-6, P-TYPE-2
注 1. 以下の各条件にあるビットは割り当てられていないため 0 に固定です。

- 要因が割り当てられていない INTSELR0.IS0（ビット 0 : イベント番号 0）
- 要因が割り当てられていない無効なイベント番号
  詳細は、イベントリストの列 M（イベント機能割り当て）と列 Y（CPU 割り込みマスカブル）を参照してください。
- CPU0/CPU1 に固有のイベント番号（イベント番号 88、89、91、92、101）。
  （DBG CTI1～0 割り込み、IPC CPU 相互割り込み 0, IPC CPU 相互割り込み 1、FPU 例外。）

IS32p + (31～0) ビット

たとえば、IS1 = 0 のとき、イベント番号 1 の要因は CPU0 への割り込みです。また、IS2 = 1 のとき、イベント番号 2 の要因は CPU1 への割り込みです。

レジスタとイベント番号の関係を以下に示します。

- IS32p + 31～IS32p + 0

p = 0：イベント番号 31～0 を選択
p = 1：イベント番号 63～32 を選択
p = 2：イベント番号 95～64 を選択
p = 3：イベント番号 127～96 を選択
p = 4：イベント番号 159～128 を選択
p = 5：イベント番号 191～160 を選択
⋮
p = 14：イベント番号 479～448 を選択
p = 15：イベント番号 511～480 を選択
⋮
p = 30：イベント番号 991～960 を選択
p = 31：イベント番号 1023～992 を選択

14.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについての情報は、「14.11. 参考資料」を参照してください。

14.3.1 割り込みベクタテーブル

表 14.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 14.3 割り込みベクタテーブル (1/4)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
0	—	0x000	Arm	初期スタックポインタ
1	—	0x004	Arm	初期プログラムカウンタ（リセットベクタ）
2	—	0x008	Arm	ノンマスカブル割り込み (NMI)
3	—	0x00C	Arm	HardFault
4	—	0x010	Arm	MemManage 障害
5	—	0x014	Arm	BusFault
6	—	0x018	Arm	UsageFault
7	—	0x01C	Arm	SecureFault
8	—	0x020	Arm	予約
9	—	0x024	Arm	予約
10	—	0x028	Arm	予約
11	—	0x02C	Arm	スーパバイザコール (SVCall)
12	—	0x030	Arm	DebugMonitor
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	システムティックタイマ (SysTick)
16	0	0x040	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	0x044	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	0x048	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	0x04C	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	0x050	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	0x054	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント

表 14.3 割り込みベクタテーブル (2/4)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
22	6	0x058	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	0x05C	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	0x060	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	0x064	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	0x068	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	0x06C	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	0x070	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	0x074	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	0x078	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	0x07C	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	0x080	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	0x084	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	0x088	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	0x08C	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	0x090	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	0x094	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	0x098	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	0x09C	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0x0A0	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0x0A4	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0x0A8	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0x0AC	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0x0B0	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0x0B4	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0x0B8	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0x0BC	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント
48	32	0x0C0	ICU.IELSR32	ICU.IELSR32 レジスタで選択されたイベント
49	33	0x0C4	ICU.IELSR33	ICU.IELSR33 レジスタで選択されたイベント
50	34	0x0C8	ICU.IELSR34	ICU.IELSR34 レジスタで選択されたイベント
51	35	0x0CC	ICU.IELSR35	ICU.IELSR35 レジスタで選択されたイベント
52	36	0x0D0	ICU.IELSR36	ICU.IELSR36 レジスタで選択されたイベント
53	37	0x0D4	ICU.IELSR37	ICU.IELSR37 レジスタで選択されたイベント
54	38	0x0D8	ICU.IELSR38	ICU.IELSR38 レジスタで選択されたイベント
55	39	0x0DC	ICU.IELSR39	ICU.IELSR39 レジスタで選択されたイベント
56	40	0x0E0	ICU.IELSR40	ICU.IELSR40 レジスタで選択されたイベント
57	41	0x0E4	ICU.IELSR41	ICU.IELSR41 レジスタで選択されたイベント
58	42	0x0E8	ICU.IELSR42	ICU.IELSR42 レジスタで選択されたイベント
59	43	0x0EC	ICU.IELSR43	ICU.IELSR43 レジスタで選択されたイベント
60	44	0x0F0	ICU.IELSR44	ICU.IELSR44 レジスタで選択されたイベント
61	45	0x0F4	ICU.IELSR45	ICU.IELSR45 レジスタで選択されたイベント
62	46	0x0F8	ICU.IELSR46	ICU.IELSR46 レジスタで選択されたイベント

表 14.3 割り込みベクタテーブル (3/4)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
63	47	0x0FC	ICU.IELSR47	ICU.IELSR47 レジスタで選択されたイベント
64	48	0x100	ICU.IELSR48	ICU.IELSR48 レジスタで選択されたイベント
65	49	0x104	ICU.IELSR49	ICU.IELSR49 レジスタで選択されたイベント
66	50	0x108	ICU.IELSR50	ICU.IELSR50 レジスタで選択されたイベント
67	51	0x10C	ICU.IELSR51	ICU.IELSR51 レジスタで選択されたイベント
68	52	0x110	ICU.IELSR52	ICU.IELSR52 レジスタで選択されたイベント
69	53	0x114	ICU.IELSR53	ICU.IELSR53 レジスタで選択されたイベント
70	54	0x118	ICU.IELSR54	ICU.IELSR54 レジスタで選択されたイベント
71	55	0x11C	ICU.IELSR55	ICU.IELSR55 レジスタで選択されたイベント
72	56	0x120	ICU.IELSR56	ICU.IELSR56 レジスタで選択されたイベント
73	57	0x124	ICU.IELSR57	ICU.IELSR57 レジスタで選択されたイベント
74	58	0x128	ICU.IELSR58	ICU.IELSR58 レジスタで選択されたイベント
75	59	0x12C	ICU.IELSR59	ICU.IELSR59 レジスタで選択されたイベント
76	60	0x130	ICU.IELSR60	ICU.IELSR60 レジスタで選択されたイベント
77	61	0x134	ICU.IELSR61	ICU.IELSR61 レジスタで選択されたイベント
78	62	0x138	ICU.IELSR62	ICU.IELSR62 レジスタで選択されたイベント
79	63	0x13C	ICU.IELSR63	ICU.IELSR63 レジスタで選択されたイベント
80	64	0x140	ICU.IELSR64	ICU.IELSR64 レジスタで選択されたイベント
81	65	0x144	ICU.IELSR65	ICU.IELSR65 レジスタで選択されたイベント
82	66	0x148	ICU.IELSR66	ICU.IELSR66 レジスタで選択されたイベント
83	67	0x14C	ICU.IELSR67	ICU.IELSR67 レジスタで選択されたイベント
84	68	0x150	ICU.IELSR68	ICU.IELSR68 レジスタで選択されたイベント
85	69	0x154	ICU.IELSR69	ICU.IELSR69 レジスタで選択されたイベント
86	70	0x158	ICU.IELSR70	ICU.IELSR70 レジスタで選択されたイベント
87	71	0x15C	ICU.IELSR71	ICU.IELSR71 レジスタで選択されたイベント
88	72	0x160	ICU.IELSR72	ICU.IELSR72 レジスタで選択されたイベント
89	73	0x164	ICU.IELSR73	ICU.IELSR73 レジスタで選択されたイベント
90	74	0x168	ICU.IELSR74	ICU.IELSR74 レジスタで選択されたイベント
91	75	0x16C	ICU.IELSR75	ICU.IELSR75 レジスタで選択されたイベント
92	76	0x170	ICU.IELSR76	ICU.IELSR76 レジスタで選択されたイベント
93	77	0x174	ICU.IELSR77	ICU.IELSR77 レジスタで選択されたイベント
94	78	0x178	ICU.IELSR78	ICU.IELSR78 レジスタで選択されたイベント
95	79	0x17C	ICU.IELSR79	ICU.IELSR79 レジスタで選択されたイベント
96	80	0x180	ICU.IELSR80	ICU.IELSR80 レジスタで選択されたイベント
97	81	0x184	ICU.IELSR81	ICU.IELSR81 レジスタで選択されたイベント
98	82	0x188	ICU.IELSR82	ICU.IELSR82 レジスタで選択されたイベント
99	83	0x18C	ICU.IELSR83	ICU.IELSR83 レジスタで選択されたイベント
100	84	0x190	ICU.IELSR84	ICU.IELSR84 レジスタで選択されたイベント
101	85	0x194	ICU.IELSR85	ICU.IELSR85 レジスタで選択されたイベント
102	86	0x198	ICU.IELSR86	ICU.IELSR86 レジスタで選択されたイベント
103	87	0x19C	ICU.IELSR87	ICU.IELSR87 レジスタで選択されたイベント

表 14.3 割り込みベクタテーブル (4/4)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
104	88	0x1A0	ICU.IELSR88	ICU.IELSR88 レジスタで選択されたイベント
105	89	0x1A4	ICU.IELSR89	ICU.IELSR89 レジスタで選択されたイベント
106	90	0x1A8	ICU.IELSR90	ICU.IELSR90 レジスタで選択されたイベント
107	91	0x1AC	ICU.IELSR91	ICU.IELSR91 レジスタで選択されたイベント
108	92	0x1B0	ICU.IELSR92	ICU.IELSR92 レジスタで選択されたイベント
109	93	0x1B4	ICU.IELSR93	ICU.IELSR93 レジスタで選択されたイベント
110	94	0x1B8	ICU.IELSR94	ICU.IELSR94 レジスタで選択されたイベント
111	95	0x1BC	ICU.IELSR95	ICU.IELSR95 レジスタで選択されたイベント

14.3.2 イベント番号

下表は、イベント番号を記した表 14.5 の各項目の説明です。

表 14.4 イベントリストの見出しの内容

項目	説明
割り込み要求発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVIC への接続	CPU 割り込みとして使用可能な割り込みが✓印で示されています。
DTC の起動	DTC の起動要求に使用可能な割り込みが✓印で示されています。
DMAC の起動	DMAC の起動要求に使用可能な割り込みが✓印で示されています。
CPU ディープスリープモードの解除	CPU ディープスリープモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ディープソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。

表 14.5 イベントリスト (1/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x001	ポート	PORT_IRQ0	✓	✓	✓	✓	✓	✓
0x002		PORT_IRQ1	✓	✓	✓	✓	✓	✓
0x003		PORT_IRQ2	✓	✓	✓	✓	✓	✓
0x004		PORT_IRQ3	✓	✓	✓	✓	✓	✓
0x005		PORT_IRQ4	✓	✓	✓	✓	✓	✓
0x006		PORT_IRQ5	✓	✓	✓	✓	✓	✓
0x007		PORT_IRQ6	✓	✓	✓	✓	✓	✓
0x008		PORT_IRQ7	✓	✓	✓	✓	✓	✓
0x009		PORT_IRQ8	✓	✓	✓	✓	✓	✓
0x00A		PORT_IRQ9	✓	✓	✓	✓	✓	✓
0x00B		PORT_IRQ10	✓	✓	✓	✓	✓	✓
0x00C		PORT_IRQ11	✓	✓	✓	✓	✓	✓
0x00D		PORT_IRQ12	✓	✓	✓	✓	✓	✓
0x00E		PORT_IRQ13	✓	✓	✓	✓	✓	✓
0x00F		PORT_IRQ14	✓	✓	✓	✓	✓	✓
0x010		PORT_IRQ15	✓	✓	✓	✓	✓	✓
0x011		PORT_IRQ16	✓	✓	✓	✓	✓	✓
0x012		PORT_IRQ17	✓	✓	✓	✓	✓	✓
0x013		PORT_IRQ18	✓	✓	✓	✓	✓	✓
0x014		PORT_IRQ19	✓	✓	✓	✓	✓	✓
0x015		PORT_IRQ20	✓	✓	✓	✓	✓	✓
0x016		PORT_IRQ21	✓	✓	✓	✓	✓	✓
0x017		PORT_IRQ22	✓	✓	✓	✓	✓	✓
0x018		PORT_IRQ23	✓	✓	✓	✓	✓	✓
0x019		PORT_IRQ24	✓	✓	✓	✓	✓	✓
0x01A		PORT_IRQ25	✓	✓	✓	✓	✓	✓
0x01B		PORT_IRQ26	✓	✓	✓	✓	✓	✓
0x01C		PORT_IRQ27	✓	✓	✓	✓	✓	✓
0x01D		PORT_IRQ28	✓	✓	✓	✓	✓	✓
0x01E		PORT_IRQ29	✓	✓	✓	✓	✓	✓
0x01F		PORT_IRQ30	✓	✓	✓	✓	✓	✓
0x020		PORT_IRQ31	✓	✓	✓	✓	✓	✓
0x040	DMAC00	DMAC00_INT	✓	✓	—	✓	—	—
0x041	DMAC01	DMAC01_INT	✓	✓	—	✓	—	—
0x042	DMAC02	DMAC02_INT	✓	✓	—	✓	—	—
0x043	DMAC03	DMAC03_INT	✓	✓	—	✓	—	—
0x044	DMAC04	DMAC04_INT	✓	✓	—	✓	—	—
0x045	DMAC05	DMAC05_INT	✓	✓	—	✓	—	—
0x046	DMAC06	DMAC06_INT	✓	✓	—	✓	—	—
0x047	DMAC07	DMAC07_INT	✓	✓	—	✓	—	—

表 14.5 イベントリスト (2/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x048	DMAC10	DMAC10_INT	✓	✓	—	✓	—	—
0x049	DMAC11	DMAC11_INT	✓	✓	—	✓	—	—
0x04A	DMAC12	DMAC12_INT	✓	✓	—	✓	—	—
0x04B	DMAC13	DMAC13_INT	✓	✓	—	✓	—	—
0x04C	DMAC14	DMAC14_INT	✓	✓	—	✓	—	—
0x04D	DMAC15	DMAC15_INT	✓	✓	—	✓	—	—
0x04E	DMAC16	DMAC16_INT	✓	✓	—	✓	—	—
0x04F	DMAC17	DMAC17_INT	✓	✓	—	✓	—	—
0x056	DMAC/DTC	DMA0_TRANSERR	✓	—	—	✓	—	—
0x057	DMAC/DTC	DMA1_TRANSERR	✓	—	—	✓	—	—
0x058	DBG	DBG_CTIIRQ0	✓	—	—	—	—	—
0x059		DBG_CTIIRQ1	✓	—	—	—	—	—
0x05A		DBG_JBRXI	✓	—	—	✓	—	—
0x05B	IPC	IPC_IRQ0	✓	—	—	✓	—	—
0x05C		IPC_IRQ1	✓	—	—	✓	—	—
0x05F	ローカルメモリ	LM0_ERR	✓	—	—	✓	—	—
0x060		LM1_ERR	✓	—	—	✓	—	—
0x061	CPU	CPU0_LOCKUP	✓	—	—	✓	—	—
0x062		CPU1_LOCKUP	✓	—	—	✓	—	—
0x063	BUS	BUS_ERR	✓	—	—	✓	—	—
0x064	CM	CM_ERR	✓	—	—	✓	—	—
0x065	FPU	FPU_EXC	✓	—	—	—	—	—
0x068	MRAM	MRAM_MRCRD	✓	—	—	✓	—	—
0x069		MRAM_MRERD	✓	—	—	✓	—	—
0x06B		MRAM_MRCPR	✓	—	—	✓	—	—
0x06C		MRAM_MREPR	✓	—	—	✓	—	—
0x06D		MRAM_ENDOFPE	✓	—	—	✓	—	—
0x070	PVD1	PVD_PVD1	✓	—	—	✓	✓	✓(注4)
0x071	PVD2	PVD_PVD2	✓	—	—	✓	✓	✓(注4)
0x075	BBF	VBATT_TADI	✓	—	—	✓	✓	✓
0x076	MOSC	MOSC_STOP	✓	—	—	✓	—	—
0x077	SOSC	SOSC_STOP	✓	—	—	✓	✓	✓
0x080	ULPT0	ULPT0_ULPTI	✓	✓	✓	✓	✓	✓(注5)
0x081		ULPT0_ULPTCMAI	✓	✓	✓	✓	✓	—
0x082		ULPT0_ULPTCMBI	✓	✓	✓	✓	✓	—
0x083	ULPT1	ULPT1_ULPTI	✓	✓	✓	✓	✓	✓(注5)
0x084		ULPT1_ULPTCMAI	✓	✓	✓	✓	✓	—
0x085		ULPT1_ULPTCMBI	✓	✓	✓	✓	✓	—

表 14.5 イベントリスト (3/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x086	AGT0	AGT0_AGTI	✓	✓	✓	✓	—	—
0x087		AGT0_AGTCMAI	✓	✓	✓	✓	—	—
0x088		AGT0_AGTCMBI	✓	✓	✓	✓	—	—
0x089	AGT1	AGT1_AGTI	✓	✓	✓	✓	✓	—
0x08A		AGT1_AGTCMAI	✓	✓	✓	✓	✓	—
0x08B		AGT1_AGTCMBI	✓	✓	✓	✓	✓	—
0x092	IWDT	IWDT_NMIUNDF	✓	—	—	✓	✓	✓(注5)
0x093	WDT0	WDT0_NMIUNDF	✓	—	—	✓	—	—
0x094	WDT1	WDT1_NMIUNDF	✓	—	—	✓	—	—
0x095	RTC	RTC_ALM	✓	—	—	✓	✓	✓
0x096		RTC_PRD	✓	—	—	✓	✓	✓
0x097		RTC_CUP	✓	—	—	✓	—	—
0x098	USBFS	USBFS_D0FIFO	✓	✓	✓	✓	—	—
0x099		USBFS_D1FIFO	✓	✓	✓	✓	—	—
0x09A		USBFS_USBI	✓	—	—	✓	—	—
0x09B		USBFS_USBR	✓	—	—	✓	✓	✓(注5)
0x09C	IIC0	IIC0_RXI	✓	✓	✓	✓	—	—
0x09D		IIC0_TXI	✓	✓	✓	✓	—	—
0x09E		IIC0_TEI	✓	—	—	✓	—	—
0x09F		IIC0_EEI	✓	—	—	✓	—	—
0x0A0		IIC0_WUI	✓	—	—	✓	✓	—
0x0A1	IIC1	IIC1_RXI	✓	✓	✓	✓	—	—
0x0A2		IIC1_TXI	✓	✓	✓	✓	—	—
0x0A3		IIC1_TEI	✓	—	—	✓	—	—
0x0A4		IIC1_EEI	✓	—	—	✓	—	—
0x0A6	IIC2	IIC2_RXI	✓	✓	✓	✓	—	—
0x0A7		IIC2_TXI	✓	✓	✓	✓	—	—
0x0A8		IIC2_TEI	✓	—	—	✓	—	—
0x0A9		IIC2_EEI	✓	—	—	✓	—	—
0x0AB	SDHI/MMC0	SDHI_MMC0_ACCS	✓	—	—	✓	—	—
0x0AC		SDHI_MMC0_SDIO	✓	—	—	✓	—	—
0x0AD		SDHI_MMC0_CARD	✓	—	—	✓	—	—
0x0AE		SDHI_MMC0_ODMSDBREQ	—	✓	✓	✓	—	—
0x0AF	SDHI/MMC1	SDHI_MMC1_ACCS	✓	—	—	✓	—	—
0x0B0		SDHI_MMC1_SDIO	✓	—	—	✓	—	—
0x0B1		SDHI_MMC1_CARD	✓	—	—	✓	—	—
0x0B2		SDHI_MMC1_ODMSDBREQ	—	✓	✓	✓	—	—
0x0B3	SSI0	SSI0_SSITXI	✓	✓	✓	✓	—	—
0x0B4		SSI0_SSIRXI	✓	✓	✓	✓	—	—
0x0B6		SSI0_SSIF	✓	—	—	✓	—	—

表 14.5 イベントリスト (4/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x0B9	SSI1	SSI1_SSIRT	✓	✓	✓	✓	—	—
0x0BA		SSI1_SSIF	✓	—	—	✓	—	—
0x0BB	OSPI0	OSPI0_ERR	✓	—	—	✓	—	—
0x0BC		OSPI0_CMP	✓	—	—	✓	—	—
0x0BD	OSPI1	OSPI1_ERR	✓	—	—	✓	—	—
0x0BE		OSPI1_CMP	✓	—	—	✓	—	—
0x0BF	PDMIF	PDM_DAT0	✓	✓	✓	✓	—	—
0x0C0		PDM_DAT1	✓	✓	✓	✓	—	—
0x0C1		PDM_DAT2	✓	✓	✓	✓	—	—
0x0C2		PDM_SDET	✓	—	—	✓	✓	—
0x0C3		PDM_ERR0	✓	—	—	✓	—	—
0x0C4		PDM_ERR1	✓	—	—	✓	—	—
0x0C5		PDM_ERR2	✓	—	—	✓	—	—
0x0C6	ACMPHS	ACMP_HS0	✓	—	—	✓(注1)	✓(注1)	—
0x0C7		ACMP_HS1	✓	—	—	✓	—	—
0x0C8		ACMP_HS2	✓	—	—	✓	—	—
0x0C9		ACMP_HS3	✓	—	—	✓	—	—
0x0CC	ELC	ELC_SWEVT0	✓(注3)	✓	—	✓	—	—
0x0CD		ELC_SWEVT1	✓(注3)	✓	—	✓	—	—
0x0CE		ELC_SWEVT2	✓(注3)	✓	—	✓	—	—
0x0CF		ELC_SWEVT3	✓(注3)	✓	—	✓	—	—
0x0D0	PORT	IOPORT_GROUP1	✓	✓(注2)	✓(注2)	✓	—	—
0x0D1		IOPORT_GROUP2	✓	✓(注2)	✓(注2)	✓	—	—
0x0D2		IOPORT_GROUP3	✓	✓(注2)	✓(注2)	✓	—	—
0x0D3		IOPORT_GROUP4	✓	✓(注2)	✓(注2)	✓	—	—
0x0D4	CAC	CAC_FEERI	✓	—	—	✓	—	—
0x0D5		CAC_MENDI	✓	—	—	✓	—	—
0x0D6		CAC_OVFI	✓	—	—	✓	—	—
0x0D7	POEG	POEG_GROUPA	✓	—	—	✓	—	—
0x0D8		POEG_GROUPB	✓	—	—	✓	—	—
0x0D9		POEG_GROUPC	✓	—	—	✓	—	—
0x0DA		POEG_GROUPD	✓	—	—	✓	—	—
0x180	GPT	GPT_UVWEDGE	✓	—	—	✓	—	—

表 14.5 イベントリスト (5/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x181	GPT0	GPT0_CCMPA	✓	✓	✓	✓	—	—
0x182		GPT0_CCMPB	✓	✓	✓	✓	—	—
0x183		GPT0_CMPC	✓	✓	✓	✓	—	—
0x184		GPT0_CMPD	✓	✓	✓	✓	—	—
0x185		GPT0_CMPE	✓	✓	✓	✓	—	—
0x186		GPT0_CMPF	✓	✓	✓	✓	—	—
0x187		GPT0_OVF	✓	✓	✓	✓	—	—
0x188		GPT0_UDF	✓	✓	✓	✓	—	—
0x189		GPT0_PC	✓	✓	✓	✓	—	—
0x18A	GPT1	GPT1_CCMPA	✓	✓	✓	✓	—	—
0x18B		GPT1_CCMPB	✓	✓	✓	✓	—	—
0x18C		GPT1_CMPC	✓	✓	✓	✓	—	—
0x18D		GPT1_CMPD	✓	✓	✓	✓	—	—
0x18E		GPT1_CMPE	✓	✓	✓	✓	—	—
0x18F		GPT1_CMPF	✓	✓	✓	✓	—	—
0x190		GPT1_OVF	✓	✓	✓	✓	—	—
0x191		GPT1_UDF	✓	✓	✓	✓	—	—
0x192		GPT1_PC	✓	✓	✓	✓	—	—
0x193	GPT2	GPT2_CCMPA	✓	✓	✓	✓	—	—
0x194		GPT2_CCMPB	✓	✓	✓	✓	—	—
0x195		GPT2_CMPC	✓	✓	✓	✓	—	—
0x196		GPT2_CMPD	✓	✓	✓	✓	—	—
0x197		GPT2_CMPE	✓	✓	✓	✓	—	—
0x198		GPT2_CMPF	✓	✓	✓	✓	—	—
0x199		GPT2_OVF	✓	✓	✓	✓	—	—
0x19A		GPT2_UDF	✓	✓	✓	✓	—	—
0x19B		GPT2_PC	✓	✓	✓	✓	—	—
0x19C	GPT3	GPT3_CCMPA	✓	✓	✓	✓	—	—
0x19D		GPT3_CCMPB	✓	✓	✓	✓	—	—
0x19E		GPT3_CMPC	✓	✓	✓	✓	—	—
0x19F		GPT3_CMPD	✓	✓	✓	✓	—	—
0x1A0		GPT3_CMPE	✓	✓	✓	✓	—	—
0x1A1		GPT3_CMPF	✓	✓	✓	✓	—	—
0x1A2		GPT3_OVF	✓	✓	✓	✓	—	—
0x1A3		GPT3_UDF	✓	✓	✓	✓	—	—
0x1A4		GPT3_PC	✓	✓	✓	✓	—	—

表 14.5 イベントリスト (6/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x1A5	GPT4	GPT4_CCMPA	✓	✓	✓	✓	—	—
0x1A6		GPT4_CCMPB	✓	✓	✓	✓	—	—
0x1A7		GPT4_CMPC	✓	✓	✓	✓	—	—
0x1A8		GPT4_CMPD	✓	✓	✓	✓	—	—
0x1A9		GPT4_CMPE	✓	✓	✓	✓	—	—
0x1AA		GPT4_CMPF	✓	✓	✓	✓	—	—
0x1AB		GPT4_OVF	✓	✓	✓	✓	—	—
0x1AC		GPT4_UDF	✓	✓	✓	✓	—	—
0x1AE	GPT5	GPT5_CCMPA	✓	✓	✓	✓	—	—
0x1AF		GPT5_CCMPB	✓	✓	✓	✓	—	—
0x1B0		GPT5_CMPC	✓	✓	✓	✓	—	—
0x1B1		GPT5_CMPD	✓	✓	✓	✓	—	—
0x1B2		GPT5_CMPE	✓	✓	✓	✓	—	—
0x1B3		GPT5_CMPF	✓	✓	✓	✓	—	—
0x1B4		GPT5_OVF	✓	✓	✓	✓	—	—
0x1B5		GPT5_UDF	✓	✓	✓	✓	—	—
0x1B7	GPT6	GPT6_CCMPA	✓	✓	✓	✓	—	—
0x1B8		GPT6_CCMPB	✓	✓	✓	✓	—	—
0x1B9		GPT6_CMPC	✓	✓	✓	✓	—	—
0x1BA		GPT6_CMPD	✓	✓	✓	✓	—	—
0x1BB		GPT6_CMPE	✓	✓	✓	✓	—	—
0x1BC		GPT6_CMPF	✓	✓	✓	✓	—	—
0x1BD		GPT6_OVF	✓	✓	✓	✓	—	—
0x1BE		GPT6_UDF	✓	✓	✓	✓	—	—
0x1C0	GPT7	GPT7_CCMPA	✓	✓	✓	✓	—	—
0x1C1		GPT7_CCMPB	✓	✓	✓	✓	—	—
0x1C2		GPT7_CMPC	✓	✓	✓	✓	—	—
0x1C3		GPT7_CMPD	✓	✓	✓	✓	—	—
0x1C4		GPT7_CMPE	✓	✓	✓	✓	—	—
0x1C5		GPT7_CMPF	✓	✓	✓	✓	—	—
0x1C6		GPT7_OVF	✓	✓	✓	✓	—	—
0x1C7		GPT7_UDF	✓	✓	✓	✓	—	—
0x1C9	GPT8	GPT8_CCMPA	✓	✓	✓	✓	—	—
0x1CA		GPT8_CCMPB	✓	✓	✓	✓	—	—
0x1CB		GPT8_CMPC	✓	✓	✓	✓	—	—
0x1CC		GPT8_CMPD	✓	✓	✓	✓	—	—
0x1CD		GPT8_CMPE	✓	✓	✓	✓	—	—
0x1CE		GPT8_CMPF	✓	✓	✓	✓	—	—
0x1CF		GPT8_OVF	✓	✓	✓	✓	—	—
0x1D0		GPT8_UDF	✓	✓	✓	✓	—	—

表 14.5 イベントリスト (7/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x1D2	GPT9	GPT9_CCMPA	✓	✓	✓	✓	—	—
0x1D3		GPT9_CCMPB	✓	✓	✓	✓	—	—
0x1D4		GPT9_CMPC	✓	✓	✓	✓	—	—
0x1D5		GPT9_CMPD	✓	✓	✓	✓	—	—
0x1D6		GPT9_CMPE	✓	✓	✓	✓	—	—
0x1D7		GPT9_CMPF	✓	✓	✓	✓	—	—
0x1D8		GPT9_OVF	✓	✓	✓	✓	—	—
0x1D9		GPT9_UDF	✓	✓	✓	✓	—	—
0x1DB	GPT10	GPT10_CCMPA	✓	✓	✓	✓	—	—
0x1DC		GPT10_CCMPB	✓	✓	✓	✓	—	—
0x1DD		GPT10_CMPC	✓	✓	✓	✓	—	—
0x1DE		GPT10_CMPD	✓	✓	✓	✓	—	—
0x1DF		GPT10_CMPE	✓	✓	✓	✓	—	—
0x1E0		GPT10_CMPF	✓	✓	✓	✓	—	—
0x1E1		GPT10_OVF	✓	✓	✓	✓	—	—
0x1E2		GPT10_UDF	✓	✓	✓	✓	—	—
0x1E3		GPT10_PC	✓	✓	✓	✓	—	—
0x1E4	GPT11	GPT11_CCMPA	✓	✓	✓	✓	—	—
0x1E5		GPT11_CCMPB	✓	✓	✓	✓	—	—
0x1E6		GPT11_CMPC	✓	✓	✓	✓	—	—
0x1E7		GPT11_CMPD	✓	✓	✓	✓	—	—
0x1E8		GPT11_CMPE	✓	✓	✓	✓	—	—
0x1E9		GPT11_CMPF	✓	✓	✓	✓	—	—
0x1EA		GPT11_OVF	✓	✓	✓	✓	—	—
0x1EB		GPT11_UDF	✓	✓	✓	✓	—	—
0x1EC		GPT11_PC	✓	✓	✓	✓	—	—
0x1ED	GPT12	GPT12_CCMPA	✓	✓	✓	✓	—	—
0x1EE		GPT12_CCMPB	✓	✓	✓	✓	—	—
0x1EF		GPT12_CMPC	✓	✓	✓	✓	—	—
0x1F0		GPT12_CMPD	✓	✓	✓	✓	—	—
0x1F1		GPT12_CMPE	✓	✓	✓	✓	—	—
0x1F2		GPT12_CMPF	✓	✓	✓	✓	—	—
0x1F3		GPT12_OVF	✓	✓	✓	✓	—	—
0x1F4		GPT12_UDF	✓	✓	✓	✓	—	—
0x1F5		GPT12_PC	✓	✓	✓	✓	—	—

表 14.5 イベントリスト (8/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x1F6	GPT13	GPT13_CCMPA	✓	✓	✓	✓	—	—
0x1F7		GPT13_CCMPB	✓	✓	✓	✓	—	—
0x1F8		GPT13_CMPC	✓	✓	✓	✓	—	—
0x1F9		GPT13_CMPD	✓	✓	✓	✓	—	—
0x1FA		GPT13_CMPE	✓	✓	✓	✓	—	—
0x1FB		GPT13_CMPF	✓	✓	✓	✓	—	—
0x1FC		GPT13_OVF	✓	✓	✓	✓	—	—
0x1FD		GPT13_UDF	✓	✓	✓	✓	—	—
0x1FE		GPT13_PC	✓	✓	✓	✓	—	—
0x29A	ESWM	ETHER_FWEI	✓	—	—	✓	—	—
0x29B		ETHER_CAEI	✓	—	—	✓	—	—
0x29C		ETHER_GWEI	✓	—	—	✓	—	—
0x29D		ETHER_EAEI0	✓	—	—	✓	—	—
0x29E		ETHER_EAEI1	✓	—	—	✓	—	—
0x29F		ETHER_PTPSI0	✓	—	—	✓	—	—
0x2A0		ETHER_PTPSI1	✓	—	—	✓	—	—
0x2A1		ETHER_FWSI	✓	—	—	✓	—	—
0x2A3		ETHER_CAMI	✓	—	—	✓	—	—
0x2A4		ETHER_EASI0	✓	—	—	✓	—	—
0x2A5		ETHER_EASI1	✓	—	—	✓	—	—
0x2A6		ETHER_GWDI0	✓	—	—	✓	—	—
0x2A7		ETHER_GWDI1	✓	—	—	✓	—	—
0x2A8		ETHER_GWDI2	✓	—	—	✓	—	—
0x2A9		ETHER_GWDI3	✓	—	—	✓	—	—
0x2AA		ETHER_GWDI4	✓	—	—	✓	—	—
0x2AB		ETHER_GWDI5	✓	—	—	✓	—	—
0x2AC		ETHER_GWDI6	✓	—	—	✓	—	—
0x2AD		ETHER_GWDI7	✓	—	—	✓	—	—
0x2AE		ETHER_TSDI0	✓	—	—	✓	—	—
0x2AF		ETHER_TSDI1	✓	—	—	✓	—	—
0x2B0		ETHER_MDIO0	✓	—	—	✓	—	—
0x2B1		ETHER_MDIO1	✓	—	—	✓	—	—
0x2B2		ETHER_RMPI0	✓	—	—	✓	—	—
0x2B3		ETHER_RMPI1	✓	—	—	✓	—	—
0x2B4		GPTP_PTPOUT0	✓	✓	✓	✓	—	—
0x2B5		GPTP_PTPOUT1	✓	✓	✓	✓	—	—
0x2B6		GPTP_PTPOUT2	✓	✓	✓	✓	—	—
0x2B7		GPTP_PTPOUT3	✓	✓	✓	✓	—	—
0x2B8		GPTP_MATCH0	✓	✓	✓	✓	—	—
0x2B9		GPTP_MATCH1	✓	✓	✓	✓	—	—

表 14.5 イベントリスト (9/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x2C1	USBHS	USBHS_D0FIFO	✓	✓	✓	✓	—	—
0x2C2		USBHS_D1FIFO	✓	✓	✓	✓	—	—
0x2C3		USBHS_USBIR	✓	—	—	✓	✓	✓(注5)
0x2C4	SCI0	SCI0_RXI	✓	✓	✓	✓	—	—
0x2C5		SCI0_TXI	✓	✓	✓	✓	—	—
0x2C6		SCI0_TEI	✓	—	—	✓	—	—
0x2C7		SCI0_ERI	✓	—	—	✓	—	—
0x2C8		SCI0_AED	✓	—	—	✓	—	—
0x2C9		SCI0_BFD	✓	—	—	✓	—	—
0x2CA		SCI0_AM	✓	—	—	✓	—	—
0x2CB	SCI1	SCI1_RXI	✓	✓	✓	✓	—	—
0x2CC		SCI1_TXI	✓	✓	✓	✓	—	—
0x2CD		SCI1_TEI	✓	—	—	✓	—	—
0x2CE		SCI1_ERI	✓	—	—	✓	—	—
0x2CF		SCI1_AED	✓	—	—	✓	—	—
0x2D0		SCI1_BFD	✓	—	—	✓	—	—
0x2D1		SCI1_AM	✓	—	—	✓	—	—
0x2D2	SCI2	SCI2_RXI	✓	✓	✓	✓	—	—
0x2D3		SCI2_TXI	✓	✓	✓	✓	—	—
0x2D4		SCI2_TEI	✓	—	—	✓	—	—
0x2D5		SCI2_ERI	✓	—	—	✓	—	—
0x2D6		SCI2_AED	✓	—	—	✓	—	—
0x2D7		SCI2_BFD	✓	—	—	✓	—	—
0x2D8		SCI2_AM	✓	—	—	✓	—	—
0x2D9	SCI3	SCI3_RXI	✓	✓	✓	✓	—	—
0x2DA		SCI3_TXI	✓	✓	✓	✓	—	—
0x2DB		SCI3_TEI	✓	—	—	✓	—	—
0x2DC		SCI3_ERI	✓	—	—	✓	—	—
0x2DD		SCI3_AED	✓	—	—	✓	—	—
0x2DE		SCI3_BFD	✓	—	—	✓	—	—
0x2DF		SCI3_AM	✓	—	—	✓	—	—
0x2E0	SCI4	SCI4_RXI	✓	✓	✓	✓	—	—
0x2E1		SCI4_TXI	✓	✓	✓	✓	—	—
0x2E2		SCI4_TEI	✓	—	—	✓	—	—
0x2E3		SCI4_ERI	✓	—	—	✓	—	—
0x2E4		SCI4_AED	✓	—	—	✓	—	—
0x2E5		SCI4_BFD	✓	—	—	✓	—	—
0x2E6		SCI4_AM	✓	—	—	✓	—	—

表 14.5 イベントリスト (10/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x2E7	SCI5	SCI5_RXI	✓	✓	✓	✓	—	—
0x2E8		SCI5_TXI	✓	✓	✓	✓	—	—
0x2E9		SCI5_TEI	✓	—	—	✓	—	—
0x2EA		SCI5_ERI	✓	—	—	✓	—	—
0x2EB		SCI5_AED	✓	—	—	✓	—	—
0x2EC		SCI5_BFD	✓	—	—	✓	—	—
0x2ED		SCI5_AM	✓	—	—	✓	—	—
0x2EE	SCI6	SCI6_RXI	✓	✓	✓	✓	—	—
0x2EF		SCI6_TXI	✓	✓	✓	✓	—	—
0x2F0		SCI6_TEI	✓	—	—	✓	—	—
0x2F1		SCI6_ERI	✓	—	—	✓	—	—
0x2F2		SCI6_AED	✓	—	—	✓	—	—
0x2F3		SCI6_BFD	✓	—	—	✓	—	—
0x2F4		SCI6_AM	✓	—	—	✓	—	—
0x2F5	SCI7	SCI7_RXI	✓	✓	✓	✓	—	—
0x2F6		SCI7_TXI	✓	✓	✓	✓	—	—
0x2F7		SCI7_TEI	✓	—	—	✓	—	—
0x2F8		SCI7_ERI	✓	—	—	✓	—	—
0x2F9		SCI7_AED	✓	—	—	✓	—	—
0x2FA		SCI7_BFD	✓	—	—	✓	—	—
0x2FB		SCI7_AM	✓	—	—	✓	—	—
0x2FC	SCI8	SCI8_RXI	✓	✓	✓	✓	—	—
0x2FD		SCI8_TXI	✓	✓	✓	✓	—	—
0x2FE		SCI8_TEI	✓	—	—	✓	—	—
0x2FF		SCI8_ERI	✓	—	—	✓	—	—
0x300		SCI8_AED	✓	—	—	✓	—	—
0x301		SCI8_BFD	✓	—	—	✓	—	—
0x302		SCI8_AM	✓	—	—	✓	—	—
0x303	SCI9	SCI9_RXI	✓	✓	✓	✓	—	—
0x304		SCI9_TXI	✓	✓	✓	✓	—	—
0x305		SCI9_TEI	✓	—	—	✓	—	—
0x306		SCI9_ERI	✓	—	—	✓	—	—
0x307		SCI9_AED	✓	—	—	✓	—	—
0x308		SCI9_BFD	✓	—	—	✓	—	—
0x309		SCI9_AM	✓	—	—	✓	—	—

表 14.5 イベントリスト (11/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x30A	SCI10	SCI10_RXI	✓	✓	✓	✓	—	—
0x30B		SCI10_TXI	✓	✓	✓	✓	—	—
0x30C		SCI10_TEI	✓	—	—	✓	—	—
0x30D		SCI10_ERI	✓	—	—	✓	—	—
0x30E		SCI10_AED	✓	—	—	✓	—	—
0x30F		SCI10_BFD	✓	—	—	✓	—	—
0x310		SCI10_AM	✓	—	—	✓	—	—
0x311	SCI11	SCI11_RXI	✓	✓	✓	✓	—	—
0x312		SCI11_TXI	✓	✓	✓	✓	—	—
0x313		SCI11_TEI	✓	—	—	✓	—	—
0x314		SCI11_ERI	✓	—	—	✓	—	—
0x315		SCI11_AED	✓	—	—	✓	—	—
0x316		SCI11_BFD	✓	—	—	✓	—	—
0x317		SCI11_AM	✓	—	—	✓	—	—
0x318	SPI0	SPI0_SPRI	✓	✓	✓	✓	—	—
0x319		SPI0_SPTI	✓	✓	✓	✓	—	—
0x31A		SPI0_SPII	✓	—	—	✓	—	—
0x31B		SPI0_SPEI	✓	—	—	✓	—	—
0x31C		SPI0_SPCEND	✓	—	—	✓	—	—
0x31D	SPI1	SPI1_SPRI	✓	✓	✓	✓	—	—
0x31E		SPI1_SPTI	✓	✓	✓	✓	—	—
0x31F		SPI1_SPII	✓	—	—	✓	—	—
0x320		SPI1_SPEI	✓	—	—	✓	—	—
0x321		SPI1_SPCEND	✓	—	—	✓	—	—

表 14.5 イベントリスト (12/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x322	CANFD	CAN_RXF	✓	—	—	✓	—	—
0x323		CAN_GLERR	✓	—	—	✓	—	—
0x324		CAN0_RF_DMAREQ0	✓	✓	✓	✓	—	—
0x325		CAN0_RF_DMAREQ1	✓	✓	✓	✓	—	—
0x328		CAN1_RF_DMAREQ0	✓	✓	✓	✓	—	—
0x329		CAN1_RF_DMAREQ1	✓	✓	✓	✓	—	—
0x32C		CAN0_TX	✓	—	—	✓	—	—
0x32D		CAN0_CHERR	✓	—	—	✓	—	—
0x32E		CAN0_COMFRX	✓	—	—	✓	—	—
0x32F		CAN0_CF_DMAREQ	✓	✓	✓	✓	—	—
0x330		CAN0_RXMB	✓	—	—	✓	—	—
0x331		CAN1_TX	✓	—	—	✓	—	—
0x332		CAN1_CHERR	✓	—	—	✓	—	—
0x333		CAN1_COMFRX	✓	—	—	✓	—	—
0x334		CAN1_CF_DMAREQ	✓	✓	✓	✓	—	—
0x335		CAN1_RXMB	✓	—	—	✓	—	—
0x338		CAN0_MRAM_ERI	✓	—	—	✓	—	—
0x339		CAN1_MRAM_ERI	✓	—	—	✓	—	—
0x33A	I3C	I3C_RESP	✓	✓	✓	✓	—	—
0x33B		I3C_CMD	✓	✓	✓	✓	—	—
0x33C		I3C_IBI	✓	✓	✓	✓	—	—
0x33D		I3C_RX	✓	✓	✓	✓	—	—
0x33E		I3C_TX	✓	✓	✓	✓	—	—
0x33F		I3C_RCV	✓	✓	✓	✓	—	—
0x340		I3C_HRESP	✓	✓	✓	✓	—	—
0x341		I3C_HCMD	✓	✓	✓	✓	—	—
0x342		I3C_HRX	✓	✓	✓	✓	—	—
0x343		I3C_HTX	✓	✓	✓	✓	—	—
0x344		I3C_TEND	✓	—	—	✓	—	—
0x345		I3C_EEI	✓	—	—	✓	—	—
0x346		I3C_STEV	✓	—	—	✓	—	—
0x347		I3C_MREFOVF	✓	—	—	✓	—	—
0x348		I3C_MREFCPT	✓	—	—	✓	—	—
0x349		I3C_AMEV	✓	—	—	✓	—	—
0x34A		I3C_WU	✓	—	—	✓	✓	—

表 14.5 イベントリスト (13/13)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x34B	ADC16H	ADC_LIMCLPI	✓	—	—	✓	—	—
0x34C		ADC_FIFOOVF	✓	—	—	✓	—	—
0x34D		ADC_ADI0	✓	✓	✓	✓	—	—
0x34E		ADC_ADI1	✓	✓	✓	✓	—	—
0x34F		ADC_ADI2	✓	✓	✓	✓	—	—
0x350		ADC_ADI3	✓	✓	✓	✓	—	—
0x351		ADC_ADI4	✓	✓	✓	✓	—	—
0x352		ADC_ADI5	✓	✓	✓	✓	—	—
0x353		ADC_ADI6	✓	✓	✓	✓	—	—
0x354		ADC_ADI7	✓	✓	✓	✓	—	—
0x355		ADC_ADI8	✓	✓	✓	✓	—	—
0x356		ADC_FIFOREQ0	✓	✓	✓	✓	—	—
0x357		ADC_FIFOREQ1	✓	✓	✓	✓	—	—
0x358		ADC_FIFOREQ2	✓	✓	✓	✓	—	—
0x359		ADC_FIFOREQ3	✓	✓	✓	✓	—	—
0x35A		ADC_FIFOREQ4	✓	✓	✓	✓	—	—
0x35B		ADC_FIFOREQ5	✓	✓	✓	✓	—	—
0x35C		ADC_FIFOREQ6	✓	✓	✓	✓	—	—
0x35D		ADC_FIFOREQ7	✓	✓	✓	✓	—	—
0x35E		ADC_FIFOREQ8	✓	✓	✓	✓	—	—
0x35F		ADC_CMPI0	✓	—	—	✓	—	—
0x360		ADC_CMPI1	✓	—	—	✓	—	—
0x361		ADC_CCMPM0	✓	✓	✓	✓	—	—
0x362		ADC_CCMPUM0	✓	✓	✓	✓	—	—
0x363		ADC_ERR0	✓	—	—	✓	—	—
0x364		ADC_RESOVF0	✓	—	—	✓	—	—
0x366		ADC_CALEND0	✓	—	—	✓	—	—
0x367		ADC_CMPI2	✓	—	—	✓	—	—
0x368		ADC_CMPI3	✓	—	—	✓	—	—
0x369		ADC_CCMPM1	✓	✓	✓	✓	—	—
0x36A		ADC_CCMPUM1	✓	✓	✓	✓	—	—
0x36B		ADC_ERR1	✓	—	—	✓	—	—
0x36C		ADC_RESOVF1	✓	—	—	✓	—	—
0x36E		ADC_CALEND1	✓	—	—	✓	—	—
0x36F	DOC	DOC_DOPCI	✓	—	—	✓	—	—
0x371	RSIP-E50D	RSIP_TADI	✓	—	—	✓	—	—
0x397	CEU	CEU_CEUI	✓	—	—	✓	—	—

注 1. CMPCTL0.CSTEN = 1 の場合のみサポートしています。
注 2. 最初のエッジ検出のみが有効です。
注 3. DTC 転送後の割り込みのみサポートしています。
注 4. ディープソフトウェアスタンバイモード 1、2 のみサポートしています。

注 5. ディープソフトウェアスタンバイモード 1 のみサポートしています。

14.4 マスカブル割り込みの動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択（CPU 割り込み、DTC 起動など）

14.4.1 割り込み検出選択

割り込みコントローラユニットは、IELSRn.IELS[9:0] (n = 0～95) で周辺機能割り込みまたは外部端子割り込みから入力されるイベント要因を選択します。

受け付けた割り込み要因は、IELSRn.IR (n = 0～95) を 1 にして、NVIC へ割り込み要求を伝えます。

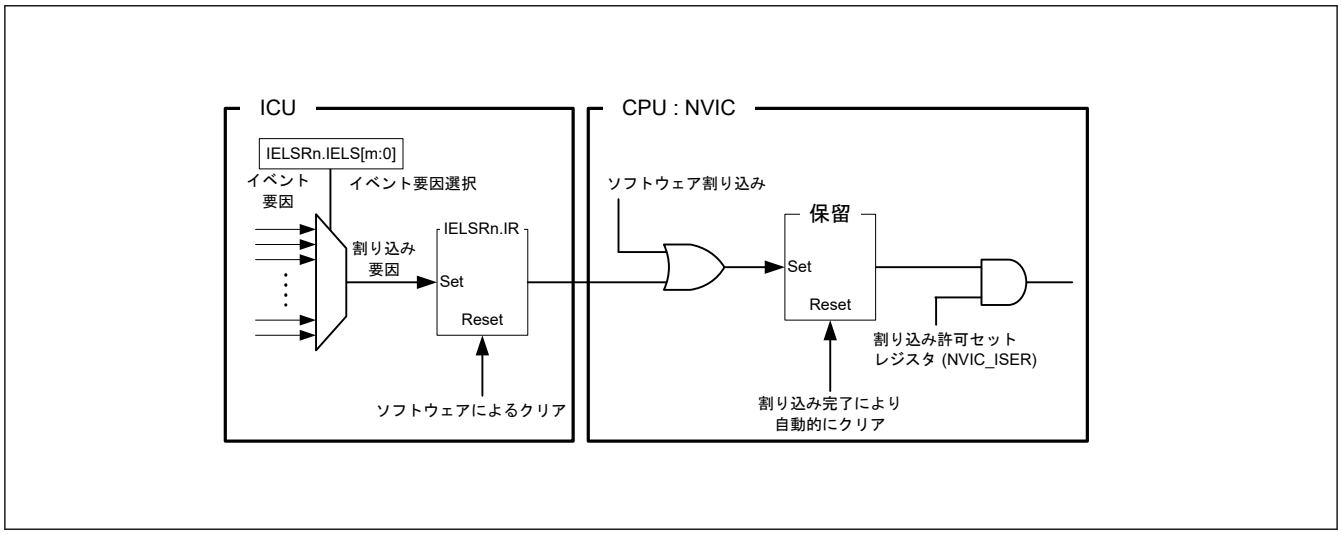


図 14.3 ICU および CPU の割り込み経路：NVIC

14.4.2 割り込みの検出

外部端子割り込み要求は、割り込み信号のエッジまたはレベルのいずれかにより検出されます（立ち下がりエッジ、立ち上がりエッジ、両エッジ、または Low レベル）。IRQi (i = 0～31) 端子用の検出モードを選択するために、IRQCRi.IRQMD[1:0] (i = 0～31) ビットを設定してください。周辺モジュールに対応する割り込み要因については、「14.3.2. イベント番号」を参照してください。

14.5 マスカブル割り込みの設定手順

14.5.1 割り込み中の動作

- 割り込み（ソフトウェア割り込み以外）が発生した場合：
  IELSRn.IR (n = 0～95) フラグと割り込みセット保留レジスタ (NVIC_ISPRn) が設定されます。
- 割り込み（ソフトウェア割り込み）が発生した場合：
  割り込みセット保留レジスタ (NVIC_ISPRn) が設定されます。
- 割り込みが完了した場合：
  ソフトウェアで IELSRn.IR (n = 0～95) フラグをクリアしてください。割り込み保留セットレジスタ (NVIC_ISPRn) が自動的にクリアされます。

注. CPU と ICU の処理速度は異なる場合があります。CPU は IR フラグをクリアする前に、割り込みハンドラを終了させる可能性があります。すると CPU が誤って割り込みハンドラに再度ジャンプすることになります。これを回避するために、割り込みハンドラを終了させる前に必ず IELSRn (n = 0～95) レジスタを読み出し、IR フラグがクリアされていることを確認してください。

14.5.2 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

1. 割り込みイネーブルセットレジスタ (NVIC_ISER) を設定してください。
2. 割り込み要因として IELSRn.IELS[9:0] (n = 0～95) ビットを設定します。
3. ディープスリープモード／ソフトウェアスタンバイモードの解除など、イベント要因に関する動作設定（WUPEN0 レジスタ、WUPEN1 レジスタ、および DSLPWUPIRQENj (j = 0～2) レジスタの設定）を行います。

14.5.3 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

1. ディープスリープモード／ソフトウェアスタンバイモードの解除など、イベント要因に関する動作設定（WUPEN0 レジスタ、WUPEN1 レジスタ、および DSLPWUPIRQENj (j = 0～2) レジスタの設定）を禁止します。
2. 割り込み要因の設定をクリアしてください (IELSRn.IELS[9:0 (n = 0～95)] = 0x00)。
3. 割り込みステータスフラグをクリアしてください (IELSRn.IR (n = 0～95) = 0)。
4. 割り込みイネーブルクリアレジスタ (NVIC_ICER) と割り込み保留クリアレジスタ (NVIC_ICPR) をクリアしてください。

14.5.4 割り込みのポーリング

割り込み要求をポーリングする手順を以下に示します。

1. 割り込み許可クリアレジスタ (NVIC_ICER) を設定します。
2. 割り込み要因として IELSRn.IELS[9:0] (n = 0～95) ビットを設定します。
3. 割り込みセット保留レジスタ (NVIC_ISPR) をポーリングします。

14.5.5 割り込み要求先の選択

割り込み出力要求先（CPU と DTC）は、割り込み要因ごとに個別に選択できます。

選択可能な要求先は、「14.3.2. イベント番号」に示されているように、割り込みごとに固定されています。

イベントリスト（「14.3.2. イベント番号」参照）に✓印の記載がある割り込み要求先の設定を使用してください。

いずれかの IELSRn (n = 0～95) レジスタで CPU または DTC が選択されている場合は、他の IELSRn (n = 0～95) レジスタで同じ割り込み要因を設定しないでください。

IELSRn (n = 0～95) レジスタと DELSRm レジスタで、同じ割り込み要因は設定しないでください。

DMAC または DTC が IRQi (i = 0～31) 端子からの割り込み要求先として選択された場合、エッジ検出を選択するため、その割り込み要求に対して IRQCRi.IRQMD[1:0] (i = 0～31) ビットを設定してください。

14.5.5.1 CPU への割り込み要求

IELSRn.DTCE (n = 0～95) = 0 のとき、IELSRn (n = 0～95) レジスタで指定されたイベントが NVIC に出力されます。

14.5.5.2 DTC の起動

IELSRn.DTCE (n = 0～95) = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. 対象イベントに対応する IELSRn.IELS[9:0] (n = 0～95) ビットを設定し、IELSRn.DTCE (n = 0～95) ビットを 1 にします。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

DTC 送信の完了後に同じ要因で割り込みが発生します。

表 14.6 に DTC が割り込み要求先となる場合の動作を示します。

表 14.6 DTC の起動時の動作

割り込み要求先	DISEL (注1)	残り転送数	割り込み要求 1 回あたりの動作	IR(注2)	転送後の DTCE
DTC(注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	IELSRn.DTCE = 1
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	IELSRn.DTCE = 0（IELSRn.DTCE ビットは自動的にクリアされる）
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる	IELSRn.DTCE = 1
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	IELSRn.DTCE = 0（IELSRn.DTCE ビットは自動的にクリアされる）

注 1. DTC.MRB.DISEL ビットで DTC から CPU への割り込み要求の発生タイミングを設定します。
注 2. IELSRn.IR (n = 0～95) フラグが 1 のとき、再度発生した割り込み要求（DTC 起動要求）は無視されます。
注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR (n = 0～95) フラグクリアのタイミング、および割り込み要求先が決まります。「18. データ トランスファコントローラ (DTC)」の表 18.2 を参照してください。

注. DTC 転送中のエラー

DTC 転送中にエラー応答が発生すると、DTC はエラーが発生したことを ICU に通知します。ICU は対象の IELSRn (n = 0～95) のすべてのビットをクリアします。対象でない IELSRn (n = 0～95) はクリアされません。

14.5.5.3 DMAC の起動

DELSRm (m= 0～7) レジスタで指定されたイベントが DMAC に出力されます。

DMAC に対して割り込み要因を設定するには、以下の手順に従ってください。

1. DELSRm.DELS[9:0] (m= 0～7) ビットで DMAC の起動イベントを設定する。
2. CPU への割り込みを使用する場合、IELSRn.IELS (n = 0～95) ビットを DMAC 割り込み要因に設定し、かつ IELSRn.DTCE ビットを 0 に設定する。
3. 対象の DMAC チャネルの起動要因 (DMACm.DMTMD.DCTG[1:0] (m = 0～7)) を 01b（割り込みモジュール検出）にする。
4. 対象の DMAC チャネルの DMAC 転送許可ビット (DMACm.DMCNT.DTE (m = 0～7)) を 1 にする。
5. DMAC 動作許可ビット (DMAST.DMST) を 1 にする。

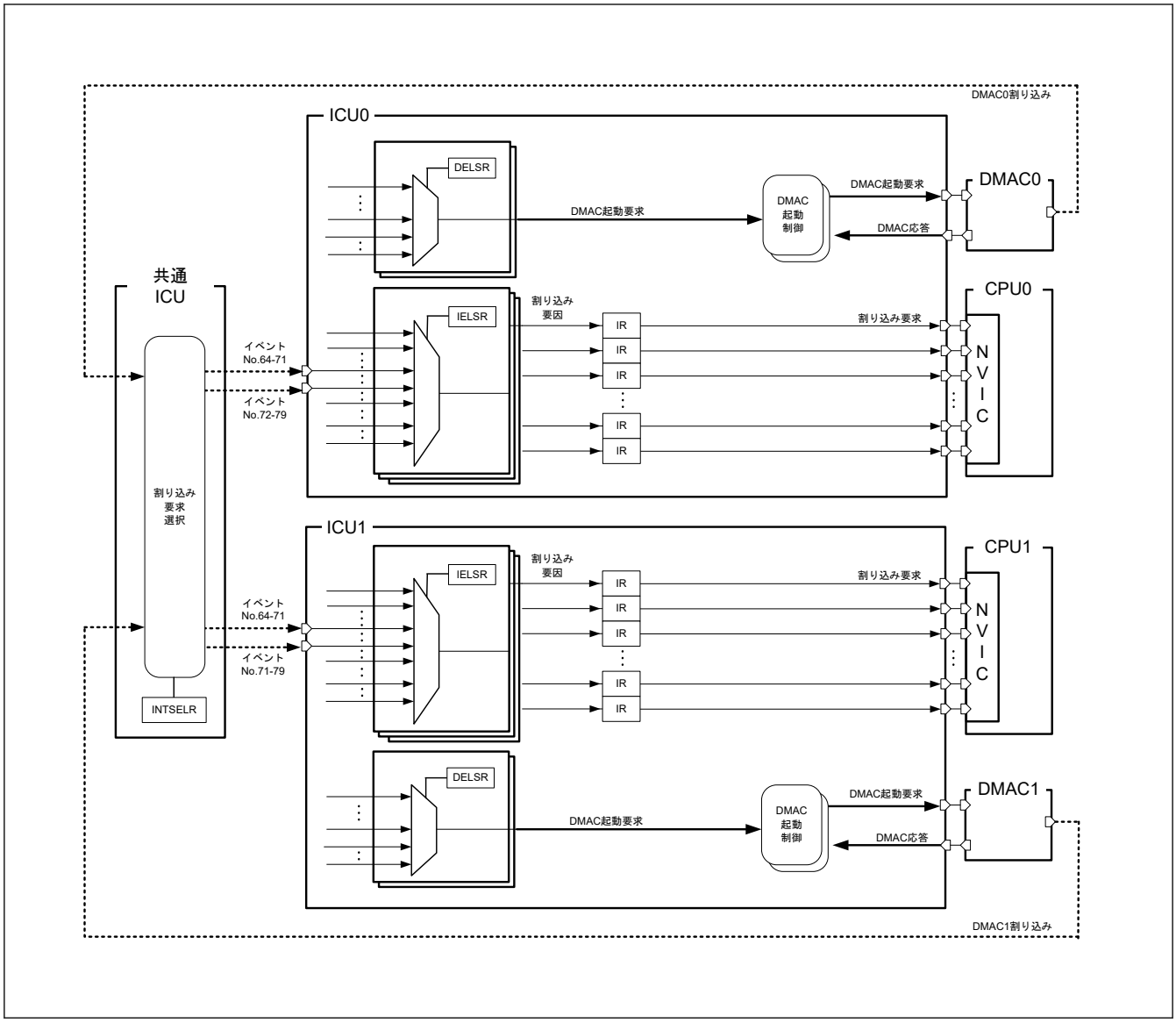


図 14.4　DMAC 要求のトリガと割り込みの経路

注.　DMAC 転送中にエラー応答が生じると、DMAC はエラーが発生したことを ICU に通知します。

ICU は、DELSRm (m = 0～7) の対象チャネルの全ビットをクリアします。対象チャネル以外の DELSRm (m = 0～7) はクリアされません。

14.5.6　デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 IRQi (i = 0～31) と NMI 端子割り込みのために用意されています。デジタルフィルタ機能は、フィルタ PCLKB サンプリングクロックの入力信号をサンプリングし、3 サンプリングサイクル以下のパルス幅の信号を除去します。

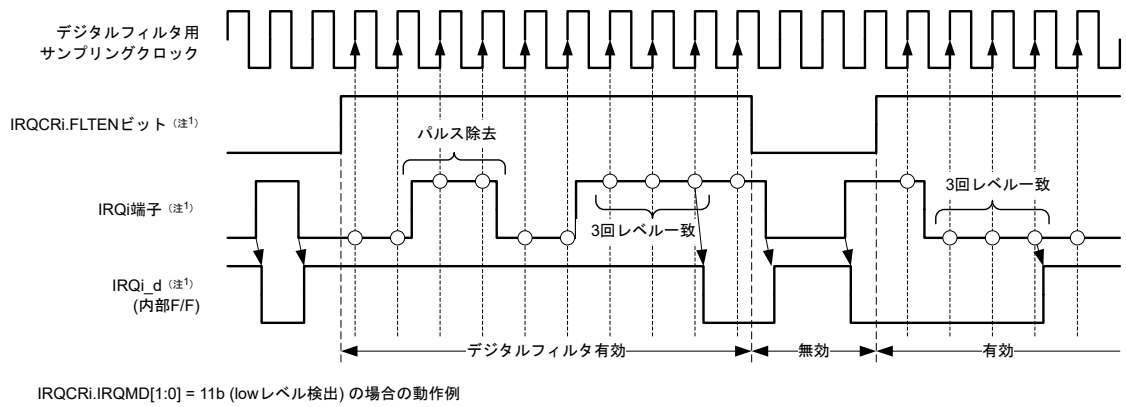
IRQi 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. IRQCRi.FCLKSEL[1:0]ビット (i = 0～31) で、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 です。
2. IRQCRi.FLTEN ビット (i = 0～31) を 1（デジタルフィルタ有効）に設定してください。

NMI 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. NMICR.NFCLKSEL[1:0]ビットで、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 です。
2. NMICR.NFLTEN ビットを 1（デジタルフィルタ有効）に設定してください。

図 14.5 にデジタルフィルタの動作例を示します。



IRQCRi.IRQMD[1:0] = 11b (lowレベル検出) の場合の動作例

注 1. i = 0～15

図 14.5 デジタルフィルタの動作例

ソフトウェアスタンバイモードの間は、デジタルフィルタはハードウェアにより強制的に OFF になります。ソフトウェアスタンバイモードから通常モードに復帰した後は、IRQCRi.FLTEN (i = 0～31) と NMICR.NFLTEN の値に従ってください。デジタルフィルタがいったん無効になると、その時点までサンプリングされたイベント情報は失われます。

14.5.7 外部端子割り込みの設定手順

外部端子割り込みを使用するときの手順を以下に示します。I/O ポートの設定をしてください。

1. IRQCRi.FLTEN ビット (i = 0～31) を 0（デジタルフィルタ無効）にしてください。
2. I/O ポートの設定を指定または確認してください。
3. IRQCRi (i = 0～31) レジスタの IRQMD[1:0]ビット、FCLKSEL[1:0]ビット、および FLTEN ビットを設定してください。
4. IRQ 端子を以下のように選択してください。
   - IRQ 端子を CPU への割り込み要求に使用する場合は、IELSRn.IELS[9:0] (n = 0～95) ビットと IELSRn.DTCE (n = 0～95) ビットを 0 にしてください。
   - IRQ 端子を DTC の起動に使用する場合は、IELSRn.IELS[9:0] (n = 0～95) ビットと IELSRn.DTCE (n = 0～95) ビットを 0 にしてください。
   - IRQ 端子を DMAC の起動に使用する場合は、DMAC を設定してください。DELSRm.DELS[9:0] (m = 0～7) ビットです。

14.6 ノンマスカブル割り込みの動作

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- サブクロック発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み (CPU0, CPU1)
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- 共通メモリエラー割り込み

- ローカルメモリエラー割り込み（CPU1 のみ）
- バスエラー割り込み
- ロックアップエラー割り込み (CPU0, CPU1)
- IPC NMI CPU 間割り込み (CPU0, CPU1)
- FPU 例外割り込み (CPU0, CPU1)
- MRAM MRC/MRE 読み出しエラー割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI ハンドラから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

CPU と ICU の処理速度は異なる場合があります。CPU は NMISR をクリアする前に、割り込みハンドラを終了させる可能性があります。すると CPU が誤って NMI ハンドラに再度ジャンプすることになります。これを回避するために、NMI ハンドラを終了させる前に必ず NMISR を読み出し、NMISR がクリアされていることを確認してください。

ノンマスカブル割り込みは初期設定では禁止になっています。ノンマスカブル割り込みを使用するには、以下の手順で設定してください。

1. NMICR.NFLTEN ビットを 0 にしてください（デジタルフィルタ無効）。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0]ビット、および NFLTEN ビットを設定してください。
3. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にしてください。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の NMIEN ビットを 1 にしてノンマスカブル割り込みを許可にしてください。

NMIER レジスタに 1 が書き込まれた後、NMIER.NMIEN ビットへの書き込みは無視されます。NMI は許可されると、リセットの場合を除き、禁止にすることはできません。

14.6.1 NMI による TrustZone-M との対応関係

NMI セキュリティは AIRCR.BFHFNMINS で設定します。

CPU としては 1 つの NMI しかありませんが、複数の要因を設定可能です。本項では、NMI のセキュアプログラムと非セキュアプログラムを組み合わせて使用する手順を説明します。その際、ICU の NMI 関連レジスタはセキュアに設定する必要があります。

ノンマスカブル割り込みに関連するレジスタは以下です。

- NMISR
- NMIER
- NMICLR
- NMICR

フローを図 14.6 に示します。

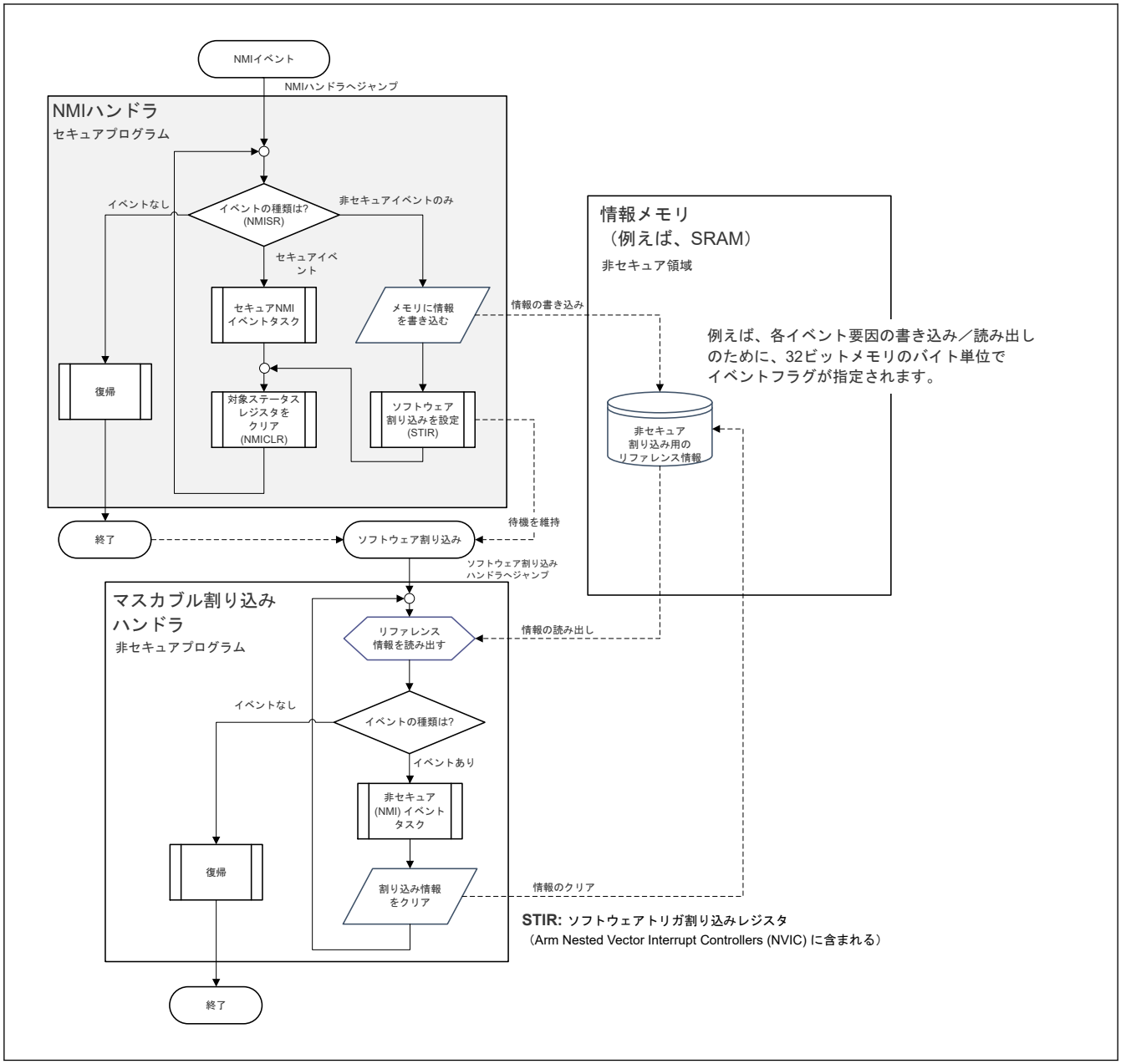


図 14.6　NMI による TrustZone-M との対応関係

14.7　プロセッサ間通信

プロセッサ間通信には、CPU0 から CPU1 への割り込み機能と CPU1 から CPU0 への割り込み機能があります。以下の割り込みは CPU 間割り込みとして使用できます。

- IPC NMI CPU 相互割り込み（NMI ビット 20）
- IPC CPU 相互割り込み 0（イベント番号 91）
- IPC CPU 相互割り込み 1（イベント番号 92）

14.8　セキュリティ

14.8.1　CPU 割り込み入力関連セキュリティ

ノンマスカブル割り込み

Arm® CPU NMI セキュアは AIRCR.BFHFNMINS によって修正され、セキュアを管理するソフトウェア開発者によって管理されます。

以下のレジスタは、AIRCR.BFHFNMINS で設定されたセキュア属性に従わなければなりません。

- ICU.NMISR
- ICU.NMIER
- ICU.NMICLR

したがって、ICUSARB で設定されたセキュア属性は、AIRCR.BFHFNMINS で設定されたセキュア属性と一致しなければなりません。

マスカブル割り込み

マスカブル割り込みのセキュアは、Arm CPU NVIC 内部レジスタ (NVIC_ITNS0～NVIC_ITNS15) で設定されます。

どのマスカブル割り込みがセキュアかは、セキュアを管理するソフトウェア開発者によって制御されます。

以下のレジスタは、NVIC_ITNS0～NVIC_ITNS15 で設定されたセキュア属性に従わなければなりません。

- ICU.IELSRn (n = 0～95)

したがって、ICUSARG、ICUSARH、ICUSARI、ICUSARJ、ICUSARK、および ICUSARL で設定されたセキュア属性は、NVIC_ITNS0～NVIC_ITNS15 で設定されたセキュア属性と一致しなければなりません。

14.8.2 トラスト割り込み管理

セキュア割り込みは、非セキュア動作に対して可視にしないでください。重要情報がアタッカーに漏洩するリスクがあるので、内蔵割り込みネットワークが、セキュアまたは非セキュアワールドへの任意の割り込みのルートを決めることができます。ただし、セキュアワールドからのみ設定できるように、セキュア割り込みのルートを抑制してください。

TEVTRCR.TEVTEICU0/TEVTEICU1 = 1 を設定したときは、セキュアプログラムが割り込み要因の選択を管理します。許可のないセキュア割り込み要因の使用と監視から、非セキュアプログラムを保護します。特に、TEVTRCR.TEVTEICU0/TEVTEICU1 = 1 の場合、IELSR.IELS[9:0]の書き込み許可はセキュア属性により制限され、非セキュア属性による書き込みは無視されます。TEVTRCR.TEVTEICU0/TEVTEICU1 は、IELS[9:0]のみ保護します。IR と DTCE のセキュリティ属性は、ICUSARG、ICUSARH、ICUSARI、ICUSARJ、ICUSARK、および ICUSARL の設定に従います。TEVTRCR.TEVTEICU0/TEVTEICU1 = 1 の場合は、セキュアプログラムで非セキュア割り込みを含む全 IELS を設定するか、あるいは非セキュアプログラムからの要求に応じて IELS を設定するためのセキュア API を準備する必要があります。

- ノンマスカブル割り込み
  CPU0 と CPU1 が使用可能なノンマスカブル割り込み要因は NMIER レジスタで判定されます。
  判定条件と優先順位を以下に示します。
  条件 1 : NMIER レジスタの対象ビットを CPU0 と CPU1 のどちらか一方に設定した場合、設定したほうの CPU へ割り込みが供給されます。
  条件 2: NMIER レジスタの対象ビットを CPU0 と CPU1 の両方に設定した場合は、CPU の主従関係（一次／二次）および NMIER レジスタ書き込み時のセキュリティレベルに従った優先順位によって割り込みの供給先が決定されます。
  優先順位 (1) 一次 CPU 側の NMIER レジスタにセキュアライトが設定されている場合は、一次 CPU が優先します。
  優先順位 (2) 二次 CPU 側の NMIER レジスタにセキュアライトが設定されている場合は、二次 CPU が優先します。
  優先順位 (3) 一次と二次の両 CPU の NMIER レジスタに非セキュアライトが設定されている場合は、一次 CPU が優先します。
  例 1 :「ICU0.NMIER.NMIEN = 0」かつ「ICU1.NMIER.NMIEN = 1」の場合、割り込みは CPU1 へ供給されます。
  例 2: CPU0 が一次 CPU の場合。
  – CPU0 と CPU1 の両方の NMIER レジスタにセキュアライトが設定されている場合、割り込みは CPU0 へ供給されます。

– CPU0 の NMIER に非セキュアライトが設定され、CPU1 の NMIER にセキュアライトが設定されている場合、割り込みは CPU1 へ供給されます。
– マスタとスレーブの両 CPU の NMIER レジスタに非セキュアライトが設定されている場合、割り込みは CPU0 へ供給されます。

例外条件を以下に示します。
例外 1) 一次 CPU 側に固定され、二次 CPU 側では選択ができない場合。
– ビット 0。IWDT アンダーフロー／リフレッシュエラー割り込み

例外 2) 個別の CPU 要因により CPU0 と CPU1 の間にディストリビューション制御がない場合。
– ビット 1。WDT アンダーフロー／リフレッシュエラー割り込み（同じ CPU の割り込みを受け付けます）
– ビット 15。ロックアップエラー割り込み（同じ CPU の割り込みを受け付けます）
– ビット 16。FPU 例外割り込み（同じ CPU の割り込みを受け付けます）
– ビット 20。IPC NMI CPU 間割り込み（IPC で制御されます）

- マスカブル割り込み
CPU0 と CPU1 が使用可能なマスカブル割り込み要因は INTSELRp レジスタで判定されます。(p = 0～31)。
INTSELRp レジスタのビット番号はイベントリストの項番に対応します。
INTSELRp レジスタに 0 を設定すると要因は CPU0 で使用可能になり、1 を設定すると CPU1 で使用可能になります。
なお、INTSELRp レジスタの設定値に関係なく以下の要因を使用できます。
– イベント番号 88 DBG CTI0 割り込み（同じ CPU の割り込みを受け付けます）
– イベント番号 89 DBG CTI1 割り込み（同じ CPU の割り込みを受け付けます）
– イベント番号 91 IPC CPU 間割り込み 0（IPC で制御されます）
– イベント番号 92 IPC CPU 間割り込み 1（IPC で制御されます）
– イベント番号 101 FPU 例外割り込み（同じ CPU の割り込みを受け付けます）

14.8.3 トラスト IELSR の設定手順

14.8.3.1 セキュアプログラムが全 IELSR を設定する場合

すべての設定がセキュア初期シーケンスで実行される場合を以下に示します。

システムリセット解除後の IELSR 初期設定手順

1. セキュアプログラムが割り込み要求選択 (ICU.INTSELRp) を設定します。
2. セキュアプログラムが TEVTEICU0/TEVTEICU1 = 1 を設定します。
3. セキュアプログラムが全割り込みのセキュリティ属性を設定します（NVIC_ITNS、ICU.IELSRn.IELS のセキュリティ属性）。
4. セキュアプログラムが全割り込み要因を選択します (ICU.IELSRn.IELS)。
5. セキュアプログラムがセキュア割り込みを許可します（セキュア割り込み用 NVIC_ISER）。
6. セキュアプログラムが非セキュアプログラムへジャンプします。
7. 非セキュアプログラムが非セキュア割り込みを許可します（非セキュア割り込み用 NVIC_ISER）。

14.8.3.2 セキュア API で非セキュアプログラムが IELSRn を設定する場合

非セキュアプログラムからの要求を受信する設定を以下に示します。

システムリセット解除後の IELSR 初期設定手順

1. セキュアプログラムが割り込み要求選択 (ICU.INTSELRp) を設定します。
2. セキュアプログラムが TEVTEICU0/TEVTEICU1 = 1 を設定します。
3. セキュアプログラムが全割り込みのセキュリティ属性を設定します（NVIC_ITNS、ICU.IELSRn.IELS のセキュリティ属性）。

4. セキュアプログラムがセキュア割り込み要因を選択します (ICU.IELSRn.IELS)。
5. セキュアプログラムがセキュア割り込みを許可します（セキュア割り込み用 NVIC_ISER）。
6. セキュアプログラムが非セキュアプログラムへジャンプします。
7. 非セキュアプログラムがセキュアプログラムを呼び出します（API コール）。
8. セキュアプログラムが非セキュア割り込み要因を選択します (ICU.IELSRn.IELS)。
9. セキュアプログラムが非セキュアプログラムへ復帰します。
10. 非セキュアプログラムが非セキュア割り込みを許可します（非セキュア割り込み用 NVIC_ISER）。

14.8.3.3 TEVTEICU0/TEVTEICU1 = 1 の場合の IELSR 解除手順

<セキュアプログラムによるセキュア属性の割り込み設定をクリアする場合>

1. 割り込み要因の設定をクリアしてください (IELSRn.IELS = 0x00)。
2. 割り込みステータスフラグをクリアしてください (ICU.IELSRn.IR = 0)。
3. 割り込みクリア許可レジスタ (NVIC_ICPR) をクリアしてください。

<セキュアプログラムによる非セキュア属性の割り込み設定をクリアする場合>

1. 割り込み要因の設定をクリアしてください (IELSRn.IELS = 0x00)。
2. 非セキュアエイリアスアドレスを使用することにより、割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
3. 割り込みクリア許可レジスタ (NVIC_ICPR) をクリアしてください。

セキュアも NVIV_ICPRn_NS を書き換えることができます。

<非セキュアプログラムによるセキュア属性の割り込み設定をクリアする場合>

これは解除できません。

<非セキュアプログラムによる非セキュア属性の割り込み設定をクリアする場合>

1. 非セキュアプログラムがセキュアプログラムを呼び出します（API コール）。
2. 割り込み要因の設定をクリアしてください (IELSRn.IELS = 0x00)。
3. セキュアプログラムから非セキュアプログラムに復帰してください。
4. 割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
5. 割り込みクリア許可レジスタ (NVIC_ICPR) をクリアしてください。

14.9 低消費電力モードからの復帰

スリープモード、ディープスリープモード、またはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因を、表 14.5 に示します。詳細は、「11. 低消費電力モード」を参照してください。

ディープソフトウェアスタンバイモードからの復帰については、「ディープソフトウェアスタンバイモード」の章を参照してください。

注. 低消費電力モードからの復帰要因は、CPU が許容可能な優先権を持たなければなりません。

14.9.1 CPU スリープモードからの復帰

割り込みに応じて CPU スリープモードから復帰するためには、以下を実施してください。

ノンマスカブル割り込み

NMIER レジスタによって該当する割り込み要求を許可してください。

マスカブル割り込み

1. 割り込み要求先を CPU にしてください。
2. NVIC で割り込みを許可してください。

14.9.2 CPU ディープスリープモードからの復帰

MCU は、ノンマスカブル割り込みまたはマスカブル割り込みを使用して CPU ディープスリープモードから復帰します。ディープスリープモードに存在するノンマスカブル割り込み要因については、「14.2.14. NMIER : ノンマスカブル割り込みイネーブルレジスタ」を参照してください。ディープスリープモードに存在するマスカブル割り込み要因については、「14.2.22. INTSELRp : 割り込み要求選択レジスタ (p = 0～31)」を参照してください。

割り込みに応じて CPU ディープスリープモードから復帰するためには、以下を実施してください。

ノンマスカブル割り込み

NMIER レジスタによって該当する割り込み要求を許可してください。

マスカブル割り込み

1. CPU ディープスリープモードからの復帰可能な割り込み要因を選択してください。
2. DSLPWUPIRQENj (j = 0～2) レジスタを使用して対象の割り込み要求を許可します。
3. 割り込み要求先として CPU を選択してください。
4. NVIC で割り込みを許可してください。

CPU ディープスリープモードでクロックが停止している間、これらの条件を満足しない IRQi (i = 0～31) 端子による割り込み要求は検出されません。同様に、CPU ディープスリープモードでクロックが停止している要求元からのノンマスカブル割り込みの要求は、検出できません。よって、それらのイベントは復帰要因として使用できません。たとえば、以下の NMI イベントが発生しないため、CPU はソフトウェアスタンバイモードから復帰できません。

- ロックアップエラー割り込み（同 CPU）
- FPU 例外割り込み（同 CPU）

14.9.3 ソフトウェアスタンバイモードからの復帰

MCU は CPU ディープスリープ状態を介してソフトウェアスタンバイモードへ遷移します。

MCU は、ノンマスカブル割り込みまたはマスカブル割り込みによりソフトウェアスタンバイモードから復帰できます。ソフトウェアスタンバイモードに存在するノンマスカブル割り込み要因については、「14.2.14. NMIER : ノンマスカブル割り込みイネーブルレジスタ」を参照してください。ソフトウェアスタンバイモードに存在するマスカブル割り込み要因については、「14.2.19. WUPEN0 : ウェイクアップ割り込みイネーブルレジスタ 0」、「14.2.20. WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1」、および「14.2.22. INTSELRp : 割り込み要求選択レジスタ (p = 0～31)」を参照してください。

ソフトウェアスタンバイモードを終了させるマスカブル割り込み要因は、WUPEN0 レジスタと WUPEN1 レジスタのビットで指定します。また、DSLPWUPIRQENj (j = 0～2) レジスタの対応するビットを「1」に設定する必要があります。

なお、CPU ディープスリープモードで復帰要因が検出されている間にソフトウェアスタンバイモードに入った場合、ディープスリープモードからの復帰要因によって、ソフトウェアスタンバイモードから通常モードに復帰する場合があります。

ソフトウェアスタンバイモードで停止する機能からは、イベントは発生しません。よって、それらのイベントは復帰要因として使用できません。たとえば、以下の NMI イベントが発生しないため、CPU はソフトウェアスタンバイモードから復帰できません。

- WDT アンダーフロー／リフレッシュエラー (CPU0, CPU1)
- 共通メモリエラー割り込み
- ローカルメモリエラー割り込み（CPU1 のみ）
- バスエラー割り込み
- ロックアップエラー割り込み (CPU0, CPU1)

- IPC NMI CPU 間割り込み (CPU0, CPU1)
- FPU 例外割り込み (CPU0, CPU1)
- MRAM MRC/MRE 読み出しエラー割り込み

14.10 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

14.11 参考資料

[1] ARM Limited., ARM® Cortex®-M33 Processor Technical Reference Manual (ARM 100230)

[2] ARM Limited., TrustZone® technology for ARM®v8-M Architecture (ARM 100690_0100_00_en)

[3] ARM Limited., ARM® Cortex®-M85 Processor Technical Reference Manual (ARM 101924_0000_02_en)

15. バス

15.1 概要

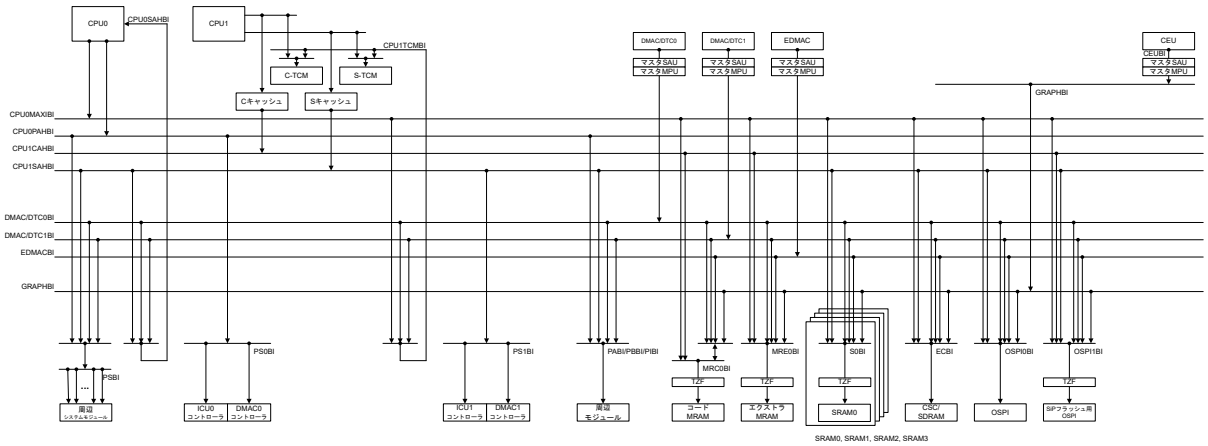
この章の EDMAC は、ESWM の GWCA 機能を意味します。表 15.1 にバスマスタおよびバススレーブを、図 15.1 にシステムバスの構成図を、表 15.3 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスマスタ／スレーブ名	同期クロック	内容
分類：バスマスタ		
CPU0MAXIBI (Arm® Cortex®-M85)	CPUCLK0	CPU0 マスタ AXI (M-AXI) インタフェースに接続
CPU0PAHBI (Arm® Cortex®-M85)	CPUCLK0	CPU0 周辺 AHB (P-AHB) インタフェースに接続
CPU1CAHBI (Arm® Cortex®-M33)	CPUCLK1	命令およびオペランド用 CPU1 命令キャッシュを接続
CPU1SAHBI (Arm® Cortex®-M33)	CPUCLK1	システム用 CPU1 データキャッシュを接続
DMAC/DTC0BI	ICLK	DMAC/DTC0 インタフェースに接続
DMAC/DTC1BI	ICLK	DMAC/DTC1 インタフェースに接続
EDMACBI	ICLK	EDMAC インタフェースに接続
CEUBI	PCLKA	CEU インタフェース（書き込み専用）に接続
分類：バススレーブ		
MRC0BI	MRICLK	コード MRAM を接続
MRE0BI	MRPCLK	エクストラ MRAM（読み出し専用）を接続
CPU0SAHBI	ICLK	CPU0 S-AHB に接続
CPU1TCMBI	CPUCLK1	CPU1 S-TCM および CPU1 C-TCM に接続
S0BI	ICLK	SRAM0 に接続
S1BI	ICLK	SRAM1 に接続
S2BI	ICLK	SRAM2 に接続
S3BI	ICLK	SRAM3 に接続
ECBI	BCLK	外部デバイス（外部メモリインタフェース）に接続
OSPI0BI	ICLK	（DOTF を介した）OSPI（外部メモリインタフェース）に接続
OSPI1BI	ICLK	SIP フラッシュ用 OSPI（外部メモリインタフェース）に接続
PBBI	PCLKB	PCLKB に同期した周辺モジュールに接続
PABI	PCLKA	PCLKA に同期した周辺モジュールに接続
PIBI	ICLK	ICLK に同期した周辺モジュールに接続
PS0BI	ICLK	ICU0 コントローラに接続 DMAC/DTC0 コントローラに接続
PS1BI	ICLK	ICU1 コントローラに接続 DMAC/DTC1 コントローラに接続
PSBI	CPUCLK1	周辺システムモジュールに接続（CPU1 キャッシュコントローラ）
	ICLK	周辺システムモジュールに接続 （MPU、CSC/SDRAM、SRAM、デバッグコンポーネント、バスコントローラ、共通 ICU コントローラ、CPU コントローラ、デバッグコントローラ、IPC コントローラ、およびセキュリティ属性コントローラ）
	MRPCLK	周辺システムモジュールに接続（MRAM コントローラ）
	PCLKB	周辺システムモジュールに接続（システムコントローラ）

注. CPU0MAXIBI: CPU0 M-AXI バスインタフェース

CPU0PAHBI: CPU0 P-AHB バスインタフェース
CPU1CAHBI: CPU1 C-AHB バスインタフェース
CPU1SAHBI: CPU1 S-AHB バスインタフェース
DMAC/DTC0BI: DMAC/DTC0 バスインタフェース
DMAC/DTC1BI: DMAC/DTC1 バスインタフェース
EDMACBI: EDMAC バスインタフェース
CEUBI: CEU バスインタフェース
MRC0BI: コード MRAM バスインタフェース
MRE0BI: エクストラ MRAM バスインタフェース
CPU0SAHBI: CPU0 S-AHB インタフェース（CPU0 以外のバスマスタから CPU0 ITCM および CPU0 DTCM へのバスインタフェース）
CPU1TCMBI: CPU1 以外のバスマスタから CPU1 S-TCM および CPU1 C-TCM へのバスインタフェース
S0BI: SRAM0 バスインタフェース
S1BI: SRAM1 バスインタフェース
S2BI: SRAM2 バスインタフェース
S3BI: SRAM3 バスインタフェース
ECBI：外部メモリ CSC および SDRAM バスインタフェース
OSPI0BI：外部メモリ OSPI バスインタフェース
OSPI1BI: SIP-フラッシュ用外部メモリ OSPI バスインタフェース
PBBI: PCLKB と同期した周辺バスインタフェース
PABI: PCLKA と同期した周辺バスインタフェース
PIBI: ICLK と同期した周辺バスインタフェース
PS0BI: ICU0/DMAC/DTC0 コントローラバスインタフェース
PS1BI: ICU1/DMAC/DTC1 コントローラバスインタフェース
PSBI：周辺システムバスインタフェース



注. 「TZF」はスレーブの Trust Zone フィルタです。
注. GRAPHBI は CEUBI が接続されているバスインタフェースです。

図 15.1 システムバスの接続

表 15.2　システムバスのアクセスパス

		マスタ							
	名称	CPU0MAXIBI	CPU0PAHBI	CPU1CAHBI	CPU1SAHBI	DMAC/DTC0BI	DMAC/DTC1BI	EDMACBI	CEUBI（W 専用）
スレーブ	MRC0BI（読み出し）	T	F	T	F	T	T	T	F
	MRC0BI（書き込み）	T	F	T	F	T	T	F	F
	MRE0BI（読み出し）	T	F	T	F	T	T	T	F
	CPU0SAHBI	F	F	F	T	T	T	F	F
	CPU1TCMBI	T	F	F	F	T	T	F	F
	S0BI	T	F	F	T	T	T	T	T
	S1BI	T	F	F	T	T	T	T	T
	S2BI	T	F	F	T	T	T	T	T
	S3BI	T	F	F	T	T	T	T	T
	ECBI	T	F	F	T	T	T	T	T
	OSPI0BI	T	F	F	T	T	T	T	T
	OSPI1BI	T	F	T	T	T	T	T	T
	PBBI	F	T	F	T	T	T	F	F
	PABI	F	T	F	T	T	T	F	F
	PIBI	F	T	F	T	T	T	F	F
	PS0BI	F	T	F	F	F	F	F	F
	PS1BI	F	F	F	T	F	F	F	F
	PSBI	F	T	F	T	T	T	F	F

T：マスタはスレーブにアクセス可能。

F：マスタはスレーブにアクセス不可。

表 15.3　各スレーブに割り当てられたアドレス (1/3)

領域	アドレス	バスインタフェース	領域
コード	0x0200_0000～0x0207_FFFF（非セキュアコーラブルまたはセキュア） 0x1200_0000～0x1207_FFFF（非セキュア）	MRC0BI	コード MRAM
	0x0208_0000～0x020F_FFFF（非セキュアコーラブルまたはセキュア） 0x1208_0000～0x120F_FFFF（非セキュア）	MRC0BI(注2)	コード MRAM
	0x02A0_0000～0x02CF_FFFF（非セキュアコーラブルまたはセキュア） 0x02E0_0000～0x02FF_FFFF（非セキュアコーラブルまたはセキュア） 0x12A0_0000～0x12CF_FFFF（非セキュア） 0x12E0_0000～0x12FF_FFFF（非セキュア）	MRE0BI	エクストラ MRAM
	0x0800_0000～0x0FFF_FFFF（非セキュアコーラブルまたはセキュア） 0x1800_0000～0x1FFF_FFFF（非セキュア）	OSPI1BI	SIP フラッシュ用 OSPI

表 15.3 各スレーブに割り当てられたアドレス (2/3)

領域	アドレス	バスインタフェース	領域
データ	0x2200_0000～0x2207_FFFF（非セキュアコーラブルまたはセキュア） 0x221A_0000～0x221A_FFFF（非セキュアコーラブルまたはセキュア） 0x3200_0000～0x3207_FFFF（非セキュア） 0x321A_0000～0x321A_FFFF（非セキュア）	S0BI	SRAM0
	0x2208_0000～0x220F_FFFF（非セキュアコーラブルまたはセキュア） 0x221B_0000～0x221B_FFFF（非セキュアコーラブルまたはセキュア） 0x3208_0000～0x320F_FFFF（非セキュア） 0x321B_0000～0x321B_FFFF（非セキュア）	S1BI	SRAM1
	0x2210_0000～0x2217_FFFF（非セキュアコーラブルまたはセキュア） 0x221C_0000～0x221C_FFFF（非セキュアコーラブルまたはセキュア） 0x3210_0000～0x3217_FFFF（非セキュア） 0x321C_0000～0x321C_FFFF（非セキュア）	S2BI	SRAM2
	0x2218_0000～0x2219_FFFF（非セキュアコーラブルまたはセキュア） 0x221D_0000～0x221D_3FFF（非セキュアコーラブルまたはセキュア） 0x3218_0000～0x3219_FFFF（非セキュア） 0x321D_0000～0x321D_3FFF（非セキュア）	S3BI	SRAM3
	0x2800_0000～0x2803_FFFF（非セキュアコーラブルまたはセキュア） 0x3800_0000～0x3803_FFFF（非セキュア）	CPU0SAHBI	CPU0 ITCM/DTCM
	0x2A00_0000～0x2A01_FFFF（非セキュアコーラブルまたはセキュア） 0x3A00_0000～0x3A01_FFFF（非セキュア）	CPU1TCMBI	CPU1 CTCM/STCM
周辺モジュール	0x4000_0000～0x4000_1FFF（セキュア） 0x5000_0000～0x5000_1FFF（非セキュア）	PSBI	MPU コントローラ
	0x4000_2000～0x4000_2FFF（セキュア） 0x5000_2000～0x5000_2FFF（非セキュア）		SRAM コントローラ
	0x4000_3000～0x4000_3FFF（セキュア） 0x5000_3000～0x5000_3FFF（非セキュア）		CSC/SDRAM コントローラ
	0x4000_4000～0x4000_4FFF（セキュア） 0x5000_4000～0x5000_4FFF（非セキュア）		バスコントローラ
	0x4000_6000～0x4000_6FFF（セキュア） 0x5000_6000～0x5000_6FFF（非セキュア）		共通 ICU コントローラ
	0x4000_8000～0x4000_8FFF（セキュア） 0x5000_8000～0x5000_8FFF（非セキュア）		セキュリティ属性コントローラ
	0x4000_A000～0x4000_AFFF（セキュア） 0x5000_A000～0x5000_AFFF（非セキュア） 0x4000_C000～0x4000_CFFF（セキュア） 0x5000_C000～0x5000_CFFF（非セキュア）	PS0BI PS1BI	DMAC/DTC コントローラ ICU コントローラ
	0x4000_F000～0x4000_FFFF（セキュア） 0x5000_F000～0x5000_FFFF（非セキュア）	PSBI	CPU コントローラ
	0x4001_0000～0x4001_AFFF（セキュア） 0x5001_0000～0x5001_AFFF（非セキュア）		デバッグコンポーネント
	0x4001_B000～0x4001_BFFF（セキュア） 0x5001_B000～0x5001_BFFF（非セキュア）		デバッグコントローラ
	0x4001_C000～0x4001_CFFF（セキュア） 0x5001_C000～0x5001_CFFF（非セキュア）		CPU1 キャッシュコントローラ
	0x4001_E000～0x4001_EFFF（セキュア） 0x5001_E000～0x5001_EFFF（非セキュア）		システムコントローラ
	0x4002_0000～0x4002_0FFF（セキュア） 0x5002_0000～0x5002_0FFF（非セキュア）		IPC コントローラ
	0x4012_0000～0x4013_FFFF（セキュア） 0x5012_0000～0x5013_FFFF（非セキュア）		MRAM コントローラ

表 15.3 各スレーブに割り当てられたアドレス (3/3)

領域	アドレス	バスインタフェース	領域
	0x4020_0000～0x402F_FFFF（セキュア） 0x5020_0000～0x502F_FFFF（非セキュア）	PBBI	PCLKB 同期周辺モジュール
	0x4030_0000～0x403F_FFFF（セキュア） 0x5030_0000～0x503F_FFFF（非セキュア）	PABI	PCLKA 同期周辺モジュール
	0x4040_0000～0x404F_FFFF（セキュア） 0x5040_0000～0x504F_FFFF（非セキュア）	PIBI	ICLK 同期周辺モジュール
外部 RAM	0x6000_0000～0x6FFF_FFFF	ECBI	CSC/SDRAM（外部バス）
	0x7000_0000～0x7FFF_FFFF	OSPI1BI(注1)	OSPI（DOTF 経由）
	0x8000_0000～0x9FFF_FFFF	OSPI0BI	OSPI（DOTF 経由）

注 1. SIP フラッシュのない製品にはアクセスできますが、SIP フラッシュのある製品にはアクセスできません。
注 2. MRAM のサイズが 1 MB の製品にはアクセスできますが、512 KB の製品にはアクセスできません。

15.2 バスの説明

15.2.1 アービトレーション

各スレーブにおけるマスタ間アービトレーションについては、優先順位固定とラウンドロビン方式を選択可能です。詳細は、「15.3.23. BUSSABT0<スレーブ> : バススレーブアービトレーションコントロールレジスタ 0」および「15.3.24. BUSSABT1MRC0BI : バススレーブアービトレーションコントロールレジスタ 1」を参照してください。

15.2.2 外部バス

外部バスコントローラは、CPU M-AXI バス、DMAC/DTC バス、EDMAC バス、および CEU バスからの外部アドレス空間におけるバスアクセス要求を調停します。優先順位および各マスタの外部バスに対する調停方法については、「15.2.1. アービトレーション」を参照してください。

バスシステムには OSPI (OSPI0BI, OSPI1BI) 用の外部空間があります。「44. オクタシリアルペリフェラルインタフェース (OSPI)」を参照してください。

表 15.4 に外部バスの仕様を、表 15.5 に入出力端子を示します。

外部バスコントローラは、AXI マスタと外部バスの間で FIFO バッファを通じて転送を行います。

外部アドレス空間へのアクセスでは、FIFO バッファでバスアクセス要求がキャプチャされると、外部バスアクセスが完了する前に内部バスが解放されます。内部バスは次のバスアクセスを開始することができます。ただし、FIFO バッファが満杯で次のアクセスが外部アドレス空間へのアクセスの場合は、実行中の外部バスアクセスの完了を待ちます。

図 15.2 に、FIFO バッファ機能を使用した場合の動作例を示します。この機能の使用時、外部デバイスアクセスの後に周辺モジュールアクセスが続く場合、周辺モジュールアクセスは外部デバイスアクセスの完了を待たずに並列的に実行されます。

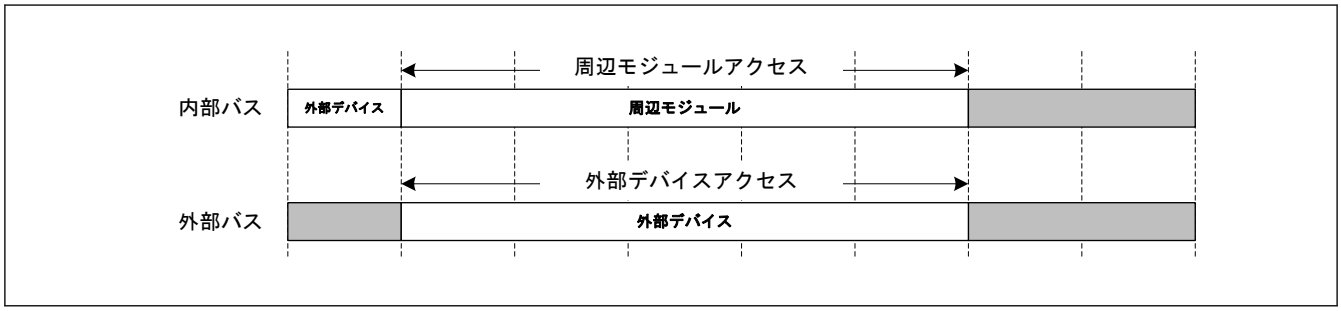


図 15.2 FIFO バッファ機能使用時の動作例

表 15.4　外部バスの仕様

項目	内容
外部アドレス空間	● 外部アドレス空間を 8 つの CS 領域 (CS0～CS7) と SDRAM 領域 (SDCS) に分割して管理 ● 領域ごとにチップセレクト信号の出力が可能 ● 領域ごとにバス幅を選択可能 – セパレートバス：8 ビット、16 ビット、または 32 ビットのバス空間を選択可能 – アドレス／データマルチプレクスバス：8 ビットまたは 16 ビットのバス空間を選択可能 ● 領域ごとにエンディアン形式を設定可能 ビッグエンディアンモードには制約事項があります。詳細は「15.2.5.1. エンディアンに関する制限事項」を参照してください。
CS 領域コントローラ	● リカバリサイクル挿入可能 – リードリカバリ：最大 15 サイクル – ライトリカバリ：最大 15 サイクル ● サイクルウェイト機能：最大 31 サイクルウェイト（ページアクセスの場合最大 7 サイクルウェイト） ● ウェイト制御の設定： – チップセレクト信号 (CS0～CS7) のアサート／ネゲートタイミング – リード信号 (RD) とライト信号（WR0/WR および WR1）のアサートタイミング – データ出力の開始／終了タイミング ● ライトアクセスモード： – 1 ライトストローブモード／バイトストローブモード セパレートバス、アドレス／データマルチプレクスバスを領域ごとに設定可能
SDRAM 領域コントローラ	● ロウアドレス／カラムアドレスのマルチプレクス出力（8、9、10、または 11 ビット） ● セルフリフレッシュとオートリフレッシュを選択可能 ● CAS レイテンシを 1 サイクル～3 サイクルに設定可能
FIFO	FIFO 段数：データ読み出しとデータ書き込みに 16 段
周波数	● CS 領域コントローラ (CSC) は外部バスクロック (BCLK) に同期して動作(注1) ● EBCLK 端子出力の周波数は、デフォルトで BCLK と同じ。外部バスクロックコントロールレジスタの EBCLK 端子出力選択ビット (BCKCR.BCLKDIV) により、BCLK サイクルの 2 分周が可能。詳細は、「9. クロック発生回路」を参照してください。 ● SDRAM 領域コントローラ (SDRAMC) は、SDRAM クロック (SDCLK) に同期して動作

注 1.　SDRAM 使用時は、BCLK と SDCLK は同じ周波数で動作させる必要があります。

表 15.5　外部バスの入出力端子 (1/2)

端子名	入出力	関連機能	説明
EBCLK、SDCLK(注1)	出力	CSC、SDRAMC	クロック出力端子
A23～A00(注2)	出力	CSC、SDRAMC	アドレス出力端子
D31～D00 DQ31～DQ00	入出力	CSC、SDRAMC	D31～D00 は CSC データの入出力端子 DQ31～DQ00 は SDRAMC データの入出力端子 ● 32 ビットバス空間を設定した場合、D31～D00、DQ31～DQ00 端子が有効 ● 16 ビットバス空間を設定した場合、D15～D00、DQ15～DQ00 端子が有効 ● 8 ビットバス空間を設定した場合、D07～D00、DQ07～DQ00 端子が有効
BC0	出力	CSC	● 1 ライトストローブモード時、外部アドレス空間へのアクセス中に D07～D00 が有効であることを示すストローブ信号（Low の場合）、アクティブ Low ● 8 ビットバス空間を設定した場合、ライトアクセスモードに関係なく常に Low 出力となります。
BC1	出力	CSC	● 1 ライトストローブモード時、外部アドレス空間へのアクセス中に D15～D08 が有効であることを示すストローブ信号（Low の場合）、アクティブ Low ● 8 ビットバス空間を設定した場合、使用しません。
BC2	出力	CSC	● 1 ライトストローブモード時、外部アドレス空間へのアクセス中に D23～D16 が有効であることを示すストローブ信号（Low の場合）、アクティブ Low ● 8 ビットまたは 16 ビットのビットバス空間を設定した場合、使用しません。
BC3	出力	CSC	● 1 ライトストローブモード時、外部アドレス空間へのアクセス中に D31～D24 が有効であることを示すストローブ信号（Low の場合）、アクティブ Low ● 8 ビットまたは 16 ビットのビットバス空間を設定した場合、使用しません。
CS0(注3)	出力	CSC	領域 0 (CS0) のチップセレクト信号、アクティブ Low
CS1(注3)	出力	CSC	領域 1 (CS1) のチップセレクト信号、アクティブ Low

表 15.5 外部バスの入出力端子 (2/2)

端子名	入出力	関連機能	説明
CS2(注3)	出力	CSC	領域 2 (CS2) のチップセレクト信号、アクティブ Low
CS3(注3)	出力	CSC	領域 3 (CS3) のチップセレクト信号、アクティブ Low
CS4	出力	CSC	領域 4 (CS4) のチップセレクト信号、アクティブ Low
CS5	出力	CSC	領域 5 (CS5) のチップセレクト信号、アクティブ Low
CS6	出力	CSC	領域 6 (CS6) のチップセレクト信号、アクティブ Low
CS7	出力	CSC	領域 7 (CS7) のチップセレクト信号、アクティブ Low
RD	出力	CSC	外部アドレス空間 (CS0～CS7) から読み出し中であることを示すストローブ信号、アクティブ Low
WR0/WR(注4)	出力	CSC	• WR0 信号は、バイトストローブモード時、外部アドレス空間へ書き込み中であること、および D07～D00 が有効であることを示すストローブ信号、アクティブ Low • WR 信号は、1 ライトストローブモード時、外部アドレス空間へ書き込み中であることを示すストローブ信号、アクティブ Low • 8 ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス中は常に Low 出力となります。
WR1	出力	CSC	• バイトストローブモード時、外部アドレス空間への書き込み中に D15～D08 が有効であることを示すストローブ信号、アクティブ Low • 1 ライトストローブモード時、この信号は無効です。 • 8 ビットバス空間を設定した場合、使用しません。
WR2	出力	CSC	• バイトストローブモード時、外部アドレス空間への書き込み中に D23～D16 が有効であることを示すストローブ信号、アクティブ Low • 1 ライトストローブモード時、この信号は無効です。 • 8 ビットまたは 16 ビットのバス空間を設定した場合、使用しません。
WR3	出力	CSC	• バイトストローブモード時、外部アドレス空間への書き込み中に D31～D24 が有効であることを示すストローブ信号、アクティブ Low • 1 ライトストローブモード時、この信号は無効です。 • 8 ビットまたは 16 ビットのバス空間を設定した場合、使用しません。
ALE	出力	CSC	アドレス／データマルチプレクスバス選択時のアドレスラッチ信号
WAIT	入力	CSC	外部アドレス空間 (CS0～CS7) へのアクセス時に用いられるウェイト要求信号、アクティブ Low
CKE	出力	SDRAMC	クロックイネーブル信号
SDCS	出力	SDRAMC	チップセレクト信号、アクティブ Low
RAS	出力	SDRAMC	ロウアドレスストローブ信号、アクティブ Low
CAS	出力	SDRAMC	カラムアドレスストローブ信号、アクティブ Low
WE	出力	SDRAMC	ライトイネーブル信号、アクティブ Low
DQM0	出力	SDRAMC	入出力データマスクイネーブル信号（DQ07～DQ00 を制御）
DQM1	出力	SDRAMC	入出力データマスクイネーブル信号（DQ15～DQ08 を制御）
DQM2	出力	SDRAMC	入出力データマスクイネーブル信号（DQ23～DQ16 を制御）
DQM3	出力	SDRAMC	入出力データマスクイネーブル信号（DQ31～DQ24 を制御）

注 1. EBCLK 端子機能と SDCLK 端子機能は、CS 領域コントローラ (CSC) と SDRAM 領域コントローラ (SDRAMC) によって共有されます。
CSC と SDRAMC を同時に使用する場合、SDCLK 端子機能が有効です。

注 2. A23～A00 端子機能は、CSC と SDRAMC によって共有されます。
CSC のみを使用する場合：
A00 端子機能と BC0 端子機能は同じ端子を共有しており、領域に応じてバイトストローブモード時は A00 端子、1 ライトストローブモード時は BC0 端子が有効になります。1 ライトストローブモード時は、8 ビット外部バス幅の設定は禁止です。
SDRAMC のみを使用する場合：
A15～A00 端子機能が有効です。
A00 端子機能と DQM1 端子機能は同じ端子を共有しており、外部バス幅に応じてどちらか一方の端子機能が有効になります。
8 ビットバス幅を選択した場合、A00 端子機能になります。16 ビットバス幅を選択した場合、DQM1 端子機能になります。
CSC と SDRAMC を同時に使用する場合：
A23～A16 端子機能は、CSC に対して有効です。A15～A00 端子機能は、CSC と SDRAMC によって共有されます。SDRAMC 機能での A00 および DQM1 端子機能は上記のとおりです。
CSC での A00 および BC0 端子機能は上記のとおりです。

注 3. CS0～CS3 (CSC) 端子機能と SDRAMC 端子機能は同じ端子を共有しています。CSC と SDRAMC を同時に使用する場合、CS0～CS3 端子機能は無効です。
注 4. WR0 信号と WR 信号は同じ信号です。1 ライトストローブモード時、WR0 信号は WR 端子のことを示します。

15.2.3 並列動作

それぞれのバスマスタモジュールが異なるスレーブインタフェースへのアクセスを要求している場合、並列に動作可能です。たとえば、CPU がコードフラッシュから命令をフェッチし、MRAM からオペランドをフェッチ中に、DMAC は周辺モジュールと外部メモリインタフェース間の転送を同時に行うことができます。

図 15.3 に並列動作の例を示します。この例では、CPU は CPUMAXIBI を使って MRC0BI にアクセスします。また、CPU が MRC0BI にアクセスしているときは、それと同時に DMAC/DTC は周辺バスまたは外部バスにアクセスします。

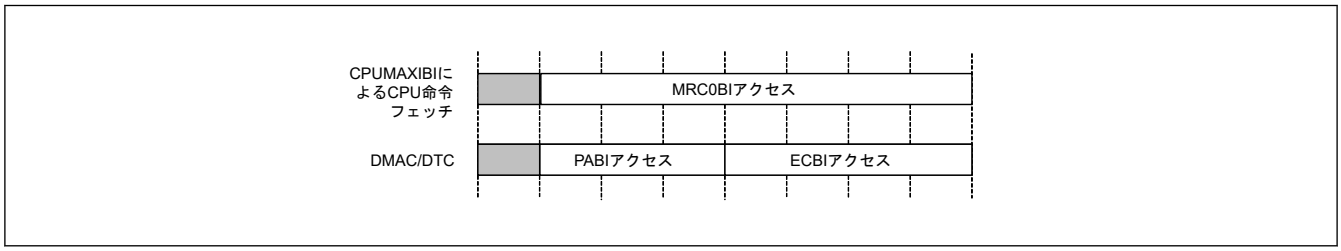


図 15.3 並列動作の例

15.2.4 バスの設定

外部バスの設定には、以下のレジスタを使用します。

- モード設定：
  CSn モードレジスタ (CSnMOD)
  CSn ウェイトコントロールレジスタ 1 (CSnWCR1)
  CSn ウェイトコントロールレジスタ 2 (CSnWCR2)
  CSn コントロールレジスタ (CSnCR)
  CSn リカバリサイクル設定レジスタ (CSnREC)
  CS リカバリサイクル挿入許可レジスタ (CSRECEN)
- I/O ポートの割り当て：
  PmnPFS.PMR = 1 および PmnPFS.PSEL[4:0] = 0x0B
- 外部バスクロック (BCLK) と SDRAM クロック (SDCLK) の周波数：
  SCKDIVCR レジスタ

PmnPFS については「20. I/O ポート」を、SCKDIVCR についてはクロック発生機能の章を参照してください。

15.2.5 制約事項

15.2.5.1 エンディアンに関する制限事項

Arm Cortex-M85 コアおよび Arm Cortex-M33 コアのコードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

ビッグエンディアンモードには制約事項があります。

- ビッグエンディアン領域にアクセスできるのは、CPU0、CPU1、DMAC/DTC0、および DMAC/DTC1 だけです。
- Arm Cortex-M85 コアと Arm Cortex-M33 コアはリトルエンディアンで固定されています。そのため、命令コードの外部空間への配置が可能なのはリトルエンディアンが指定された場合に限られます。領域にビッグエンディアンが指定された場合、命令コードは配置されません。
- アライメントなしのアクセスはできません。
- 同じアドレスにデータサイズの異なるアクセスを行うのは禁止です。
- ビッグエンディアンを設定した領域では 64 ビットのデータアクセスは行えません。

- メモリタイプはデバイスメモリに限ります。（スパースライトは禁止）
- メモリタイプの変更については、参考文献[1]を参照してください。
- M プロファイルベクタ拡張 (MVE) を使用しているとき、CPU0（Cortex-M85 コア）はビッグエンディアン領域にアクセスできません。

15.2.5.2 バッファラブル書き込みアクセス

以下のバッファラブル書き込みアクセスでは、書き込みアクセスのエンドポイントではなく、バスの途中から書き込み応答が来ます。

1. CPU0 M-AXI が CPU1TCMBI にアクセス。
2. CPU0 P-AHB が任意の領域にアクセス。
3. CPU1 C-AHB が任意の領域にアクセス。
4. CPU1 S-AHB が任意の領域にアクセス。
5. DMA が、PABI、PBBI、PIBI、PSBI、CPU0SAHBI、および CPU1TCMBI にアクセス。

バッファラブル書き込みによりアクセス違反が発生した場合、バスマスタにエラー応答は返されませんが、BUSOAD レジスタの設定に応じて割り込み要求またはリセット要求が生成されます。詳細は、「15.7.2. バスエラー発生時の動作」を参照してください。

15.2.5.3 完了タイミングの書き込みに関する注意事項

以下のアクセスの場合、属性がバッファラブルかどうかを問わず、書き込みが完了する前に書き込み応答がバスマスタに返されます。

MRC0BI への書き込み時には、設定がバッファラブルであるか非バッファラブルであるかを問わず、MRAM 自体ではなく MRAM 用の書き込みバッファから書き込み応答が返されます。

ECBI への書き込みでは、設定がバッファラブルであるか非バッファラブルであるかを問わず、CS/SDRAM に対する書き込みアクセスが始まったときに CSC/SDRAMC コントローラから書き込み応答が来ます。

15.3 レジスタの説明

15.3.1 BUSSARA : バスセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BUSSA0	バスセキュリティ属性 A0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1

BUSSA0 ビット（バスセキュリティ属性 A0）

属性コントロールレジスタ用セキュリティ属性対象のレジスタを以下に示します。

- BUSSABT0<slave>
  ＜スレーブ＞ = MRE0BI, S0BI, S1BI, S2BI, S3BI, ECBI, OSPI0BI, OSPI1BI, CPU0SAHBI, CPU1TCMBI, PBBI, PABI, PIBI, PSBI
- BUSSABT1MRC0BI

15.3.2 BUSSARB : バスセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSB0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BUSSB0	バスセキュリティ属性 B0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1

BUSSB0 ビット（バスセキュリティ属性 B0）

バスエラーに関係するレジスタのセキュリティ属性を設定します。対象のレジスタを以下に示します。

- BUSERRCLR ＜マスタ名＞
- MBWERRCLR
- BUSOAD
- BUSOADPT
- BUSIRQEN ＜マスタ名＞

＜マスタ名＞： CPU0/CPU1/DMAC0/DMAC1/EDMAC/CEU

15.3.3 BUSSARC : バスセキュリティ属性レジスタ C

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x110

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BUSSC0	バスセキュリティ属性 C0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1

BUSSC0 ビット（バスセキュリティ属性 C0）

このビットはバス (SDRAMC/CSC) コントロールレジスタのセキュリティ属性を設定します。対象のレジスタを以下に示します。

- BUS.CSnCR (n = 0～7)
- BUS.CSnREC (n = 0～7)
- BUS.CSRECEN
- BUS.CSnMOD (n = 0～7)
- BUS.CSnWCR1 (n = 0～7)
- BUS.CSnWCR2 (n = 0～7)
- BUS.SDCCR
- BUS.SDCMOD
- BUS.SDAMOD
- BUS.SDSELF
- BUS.SDRFCR
- BUS.SDRFEN
- BUS.SDICR
- BUS.SDIR
- BUS.SDADR
- BUS.SDTR
- BUS.SDMOD
- BUS.SDSR
- CPSCU.BUSPARC

15.3.4 BUSPARC : バス特権属性レジスタ C

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x114

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSPA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	BUSPA0	外部バスコントローラ特権属性 0: 特権あり 1: 特権なし	R/W
31:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-2、P-TYPE-1

BUSPA0 ビット（外部バスコントローラ特権属性）

このビットはバス (SDRAMC/CSC) コントロールレジスタの特権属性を設定します。対象のレジスタを以下に示します。

- BUS.CSnCR (n = 0～7)
- BUS.CSnREC (n = 0～7)
- BUS.CSRECEN
- BUS.CSnMOD (n = 0～7)
- BUS.CSnWCR1 (n = 0～7)
- BUS.CSnWCR2 (n = 0～7)
- BUS.SDCCR
- BUS.SDCMOD
- BUS.SDAMOD
- BUS.SDSELF
- BUS.SDRFCR
- BUS.SDRFEN
- BUS.SDICR
- BUS.SDIR
- BUS.SDADR
- BUS.SDTR
- BUS.SDMOD
- BUS.SDSR

15.3.5 CSnCR : CSn コントロールレジスタ (n = 0～7)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x802 + 0x10 × n (n = 0～7)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MPXEN	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
Value after reset:	0	0	0	0	0	0	0	0	0	0	0(注1)	0	0	0	0	0(注1)

ビット	シンボル	機能	R/W
0	EXENB	動作許可 0: 動作禁止 1: 動作許可	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	BSIZE[1:0]	外部バス幅選択 0 0: 16 ビットバス空間 0 1: 32 ビットバス空間 1 0: 8 ビットバス空間 その他: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	EMODE	エンディアンモード 0: リトルエンディアン 1: ビッグエンディアン	R/W
11:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	MPXEN	アドレス／データマルチプレクス I/O インタフェース選択 0: 領域 n はセパレートバスインタフェース 1: 領域 n はアドレス／データマルチプレクス I/O インタフェース	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. n = 0 の場合、リセット後の値は 1 です。

BSIZE、EMODE、MPXEN の各ビットは、EXENB ビットが 1 のときは書き換えできません。EXENB ビットと同時に書き換えることができます。

外部バスへのアクセス中は、CSnCR レジスタに書き込まないでください。

EXENB ビット（動作許可）

EXENB ビットは、対応する CS 領域の動作を許可します。MCU のリセット時は、領域 0 のみ動作許可 (EXENB = 1) になります。それ以外の領域は動作禁止 (EXENB = 0) になります。禁止領域へアクセスしても何も影響されません。

CSC と SDRAMC を同時使用する場合、EBCLK と SDCLK は同じ周波数で動作させる必要があります。

BSIZE[1:0]ビット（外部バス幅選択）

BSIZE[1:0]ビットは、対応する領域のデータバス幅を指定します。

アドレス／データマルチプレクス I/O インタフェースを MPXEN ビットで設定している場合、32 ビットバス空間に設定することは禁止されています。このように設定されている場合、動作は保証されません。

EMODE ビット（エンディアンモード）

EMODE ビットは、対応する領域のエンディアン形式を指定します。詳細は「15.2.5.1. エンディアンに関する制限事項」を参照してください。

MPXEN ビット（アドレス／データマルチプレクス I/O インタフェース選択）

MPXEN ビットは、各領域のセパレートバスインタフェースまたはアドレス／データマルチプレクス I/O インタフェースを指定します。

15.3.6 CSnREC : CSn リカバリサイクル設定レジスタ (n = 0～7)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x80A + 0x10 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	WRCV[3:0]				—	—	—	—	RRCV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	RRCV[3:0]	リードリカバリ設定 0 0 0 0: リカバリサイクルを挿入しない。 0 0 0 1: 1 リカバリサイクルを挿入する。 0 0 1 0: 2 リカバリサイクルを挿入する。 0 0 1 1: 3 リカバリサイクルを挿入する。 0 1 0 0: 4 リカバリサイクルを挿入する。 0 1 0 1: 5 リカバリサイクルを挿入する。 0 1 1 0: 6 リカバリサイクルを挿入する。 0 1 1 1: 7 リカバリサイクルを挿入する。 1 0 0 0: 8 リカバリサイクルを挿入する。 1 0 0 1: 9 リカバリサイクルを挿入する。 1 0 1 0: 10 リカバリサイクルを挿入する。 1 0 1 1: 11 リカバリサイクルを挿入する。 1 1 0 0: 12 リカバリサイクルを挿入する。 1 1 0 1: 13 リカバリサイクルを挿入する。 1 1 1 0: 14 リカバリサイクルを挿入する。 1 1 1 1: 15 リカバリサイクルを挿入する。	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	WRCV[3:0]	ライトリカバリ設定 0 0 0 0: リカバリサイクルを挿入しない。 0 0 0 1: 1 リカバリサイクルを挿入する。 0 0 1 0: 2 リカバリサイクルを挿入する。 0 0 1 1: 3 リカバリサイクルを挿入する。 0 1 0 0: 4 リカバリサイクルを挿入する。 0 1 0 1: 5 リカバリサイクルを挿入する。 0 1 1 0: 6 リカバリサイクルを挿入する。 0 1 1 1: 7 リカバリサイクルを挿入する。 1 0 0 0: 8 リカバリサイクルを挿入する。 1 0 0 1: 9 リカバリサイクルを挿入する。 1 0 1 0: 10 リカバリサイクルを挿入する。 1 0 1 1: 11 リカバリサイクルを挿入する。 1 1 0 0: 12 リカバリサイクルを挿入する。 1 1 0 1: 13 リカバリサイクルを挿入する。 1 1 1 0: 14 リカバリサイクルを挿入する。 1 1 1 1: 15 リカバリサイクルを挿入する。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CSnCR.EXENB ビットが 1 のときに書き込みアクセスを行うと無視されます。

外部バスへのアクセス中は、CSnREC レジスタに書き込まないでください。

前バスアクセスがセパレートバスからの場合、CSRECEN レジスタのセパレートバス用リカバリサイクル挿入許可ビット (RCVENi) (i = 0～7) でリカバリサイクルの挿入が許可されているとき、CSnREC レジスタが有効になります。前バスアクセスがアドレス／データマルチプレクスバスアクセスの場合は、CSRECEN レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (RCVENMj) (j = 0～7) でリカバリサイクルの挿入が許可されているとき、CSnREC レジスタが有効になります。詳細は、「15.5.4. リカバリサイクルの挿入」を参照してください。

RRCV[3:0]ビット（リードリカバリ設定）

RRCV[3:0]ビットは、CSn (n = 0～7) の外部バスに対するリードアクセス後に挿入するリカバリサイクル数を指定します。リカバリサイクルの挿入を許可し、これらのビットを 0000 以外にすると、以下の場合に 1～15 のリカバリサイクルが挿入されます。

- 外部バスにリードアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにライトアクセスする場合

WRCV[3:0]ビット（ライトリカバリ設定）

WRCV[3:0]ビットは、CSn (n = 0～7) の外部バスに対するライトアクセス後に挿入するリカバリサイクル数を指定します。リカバリサイクルの挿入を許可し、これらのビットを 0000 以外にすると、以下の場合に 1～15 のリカバリサイクルが挿入されます。

- 外部バスにライトアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにライトアクセスする場合

15.3.7 CSRECEN : CS リカバリサイクル挿入イネーブル レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x880

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RCVENM7	RCVENM6	RCVENM5	RCVENM4	RCVENM3	RCVENM2	RCVENM1	RCVENM0	RCVEN7	RCVEN6	RCVEN5	RCVEN4	RCVEN3	RCVEN2	RCVEN1	RCVEN0
Value after reset:	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	RCVEN0	セパレートバス用リカバリサイクル挿入許可 0 0: 無効 1: 有効	R/W
1	RCVEN1	セパレートバス用リカバリサイクル挿入許可 1 0: 無効 1: 有効	R/W
2	RCVEN2	セパレートバス用リカバリサイクル挿入許可 2 0: 無効 1: 有効	R/W
3	RCVEN3	セパレートバス用リカバリサイクル挿入許可 3 0: 無効 1: 有効	R/W
4	RCVEN4	セパレートバス用リカバリサイクル挿入許可 4 0: 無効 1: 有効	R/W
5	RCVEN5	セパレートバス用リカバリサイクル挿入許可 5 0: 無効 1: 有効	R/W
6	RCVEN6	セパレートバス用リカバリサイクル挿入許可 6 0: 無効 1: 有効	R/W

ビット	シンボル	機能	R/W
7	RCVEN7	セパレートバス用リカバリサイクル挿入許可 7 0: 無効 1: 有効	R/W
8	RCVENM0	マルチプレクスバス用リカバリサイクル挿入許可 0 0: 無効 1: 有効	R/W
9	RCVENM1	マルチプレクスバス用リカバリサイクル挿入許可 1 0: 無効 1: 有効	R/W
10	RCVENM2	マルチプレクスバス用リカバリサイクル挿入許可 2 0: 無効 1: 有効	R/W
11	RCVENM3	マルチプレクスバス用リカバリサイクル挿入許可 3 0: 無効 1: 有効	R/W
12	RCVENM4	マルチプレクスバス用リカバリサイクル挿入許可 4 0: 無効 1: 有効	R/W
13	RCVENM5	マルチプレクスバス用リカバリサイクル挿入許可 5 0: 無効 1: 有効	R/W
14	RCVENM6	マルチプレクスバス用リカバリサイクル挿入許可 6 0: 無効 1: 有効	R/W
15	RCVENM7	マルチプレクスバス用リカバリサイクル挿入許可 7 0: 無効 1: 有効	R/W

注. S-TYPE-3、P-TYPE-3

CSnCR.EXENB ビットが 1 の場合は書き込みが無視されます。CSRECEN レジスタには、すべての CSnCR.EXENB ビットが 0 の場合にだけ書き込みを行ってください。

外部バスへのアクセス中は、CSRECEN レジスタに書き込まないでください。リカバリサイクルの挿入については、「15.5.4. リカバリサイクルの挿入」を参照してください。

RCVENi ビット（セパレートバス用リカバリサイクル挿入許可 i） (i = 0～7)

外部バスにリード／ライトアクセスした後、同じまたは異なる領域の外部バスにリード／ライトアクセスする場合、リードリカバリサイクルまたはライトリカバリサイクルの挿入を許可します。

RCVENMj ビット（マルチプレクスバス用リカバリサイクル挿入許可 j） (j = 0～7)

外部バスにリード／ライトアクセスした後、同じまたは異なる領域の外部バスにリード／ライトアクセスする場合、リードリカバリサイクルまたはライトリカバリサイクルの挿入を許可します。

表 15.6 RCVENn ビットとアクセスの種類の対応関係 (1/2)

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット（セパレート／マルチプレクス）
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0] ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN0/RCVENM0
	異なる領域	RRCV[3:0] ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN1/RCVENM1

表 15.6 RCVENn ビットとアクセスの種類の対応関係 (2/2)

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット（セパレート／マルチプレクス）
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0] ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN2/RCVENM2
	異なる領域	RRCV[3:0] ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN3/RCVENM3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0] ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN4/RCVENM4
	異なる領域	WRCV[3:0] ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN5/RCVENM5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0] ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN6/RCVENM6
	異なる領域	WRCV[3:0] ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN7/RCVENM7

15.3.8 CSnMOD : CSn モードレジスタ (n = 0～7)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x002 + 0x10 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WRMOD	ライトアクセスモード選択 0: バイトストローブモード 1: 1 ライトストローブモード	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	EWENB	外部ウェイト許可 0: 禁止 1: 許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	PRENB	ページリードアクセス許可 0: 禁止 1: 許可	R/W
9	PWENB	ページライトアクセス許可 0: 禁止 1: 許可	R/W
14:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	PRMOD	ページリードアクセスモード選択 0: ノーマルアクセス互換モード 1: 外部データリード連続アサートモード	R/W

注. S-TYPE-3、P-TYPE-3

CSnCR.EXENB ビットが 1 のときに書き込みアクセスを行うと無視されます。

CSn 領域へのアクセス中は、CSnMOD レジスタに書き込まないでください。

WRMOD ビット（ライトアクセスモード選択）

WRMOD ビットは、ライトアクセス時の動作モードを選択します。このビットを 0 にすると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn 信号 (n = 0～3) によってデータライトが制御されます。このビットを 1 にすると、1 ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn 信号 (n = 0～3) と WR 信号によってデータライトが制御されます。

注. 1 ライトストローブモード時は、8 ビット外部バス幅の設定は禁止です。

表 15.7 ライトアクセスモードの制御信号

モード	端子名							
ライトアクセスモード	WR3	WR2	WR1	WR0/WR	BC3	BC2	BC1	BC0
バイトストローブモード	✓	✓	✓	✓ (WR0)	—	—	—	—
1 ライトストローブモード	—	—	—	✓ (WR)	✓	✓	✓	✓

✓ : 許可、— : 禁止

EWENB ビット（外部ウェイト許可）

EWENB ビットは、外部ウェイトを許可します。このビットを 0 にすると、WAIT 信号は禁止されます。1 にすると、外部ウェイトが許可され、WAIT 信号によってサイクルあたりのウェイト数の制御が可能になります。この場合、WAIT 信号が Low のとき、ウェイトサイクルが挿入されます。

PRENB ビット（ページリードアクセス許可）

PRENB ビットは、ページリードアクセスを許可します。

注. CSnCR.MPXEN ビットでアドレス／データマルチプレクス I/O インタフェースを選択している場合、PRENB ビットによりページリードアクセスを許可しないでください。アドレス／データマルチプレクス I/O インタフェースでは、ページリードアクセスには対応していません。

PWENB ビット（ページライトアクセス許可）

PWENB ビットは、ページライトアクセスを許可します。

注. CSnCR.MPXEN ビットでアドレス／データマルチプレクス I/O インタフェースを選択している場合、PWENB ビットによりページライトアクセスを許可しないでください。アドレス／データマルチプレクス I/O インタフェースでは、ページライトアクセスには対応していません。

PRMOD ビット（ページリードアクセスモード選択）

PRMOD ビットは、ページリードアクセスの動作モードを選択します。このビットを 0 にすると、ノーマルアクセス互換モードになります。このとき、1 つのデータを読み出すごとに RD 信号がネゲートされ、RD アサートウェイトが挿入されます。RD アサートウェイトがない場合、外部バスアクセスの最後の転送以外、RD 信号はネゲートされません。

このビットを 1 にすると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトが挿入され、ウェイト中に RD 信号がアサートされ続けます。

15.3.9 CSnWCR1 : CSn ウェイトコントロールレジスタ 1 (n = 0～7)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x004 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	CSRWAIT[4:0]					—	—	—	CSWWAIT[4:0]				
Value after reset:	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CSPRWAIT[2:0]			—	—	—	—	—	CSPWWAIT[2:0]		
Value after reset:	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
2:0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択(注1) 0 0 0: ウェイトは挿入されない。 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 1 0 0: 4 クロックサイクルの長さのウェイトが挿入される。 1 0 1: 5 クロックサイクルの長さのウェイトが挿入される。 1 1 0: 6 クロックサイクルの長さのウェイトが挿入される。 1 1 1: 7 クロックサイクルの長さのウェイトが挿入される。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	CSPRWAIT[2:0]	ページリードサイクルウェイト選択(注2) 0 0 0: ウェイトは挿入されない。 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 1 0 0: 4 クロックサイクルの長さのウェイトが挿入される。 1 0 1: 5 クロックサイクルの長さのウェイトが挿入される。 1 1 0: 6 クロックサイクルの長さのウェイトが挿入される。 1 1 1: 7 クロックサイクルの長さのウェイトが挿入される。	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト選択 0 0 0 0 0: ウェイトは挿入されない。 0 0 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 0 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 0 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 ⋮ 1 1 1 0 1: 29 クロックサイクルの長さのウェイトが挿入される。 1 1 1 1 0: 30 クロックサイクルの長さのウェイトが挿入される。 1 1 1 1 1: 31 クロックサイクルの長さのウェイトが挿入される。	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト選択 0 0 0 0 0: ウェイトは挿入されない。 0 0 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 0 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 0 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 ⋮ 1 1 1 0 1: 29 クロックサイクルの長さのウェイトが挿入される。 1 1 1 1 0: 30 クロックサイクルの長さのウェイトが挿入される。 1 1 1 1 1: 31 クロックサイクルの長さのウェイトが挿入される。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. CSPWWAIT[2:0] ビットの設定値は、CSnMOD.PWENB ビットが 1 の場合のみ有効となります。
注 2. CSPRWAIT[2:0] ビットの設定値は、CSnMOD.PRENB ビットが 1 の場合のみ有効となります。

CSnCR.EXENB ビットが 1 のときに書き込みアクセスを行うと無視されます。

外部バスへのアクセス中は、CSnWCR1 レジスタに書き込まないでください。各ビットは、バスインタフェースにあわせて、(1) セパレートバスインタフェース使用時の制限事項または(2) アドレス／データマルチプレクスバスインタフェース使用時の制限事項に示す制限の範囲内で設定してください。

CSPWWAIT[2:0]ビット（ページライトサイクルウェイト選択）

CSPWWAIT[2:0]ビットは、ページライトサイクル時の 2 サイクル目以降のアクセスに挿入するウェイトサイクル数を設定します。設定値は、CSnMOD.PWENB ビットが 1 のとき有効になります。

注. 1≦CSnWCR2.WDON[2:0] ビット≦CSnWCR2.WRON[2:0] ビット≦CSnWCR1.CSPWWAIT[2:0] ビット、および CSnWCR2.CSON[2:0] ビット≦CSnWCR2.WRON[2:0] ビット≦CSnWCR1.CSPWWAIT[2:0] ビットとなるように設定してください。

CSPRWAIT[2:0]ビット（ページリードサイクルウェイト選択）

CSPRWAIT[2:0]ビットは、ページリードサイクル時の 2 サイクル目以降のアクセスに挿入するウェイトサイクル数を設定します。設定値は、CSnMOD.PRENB ビットが 1 のとき有効になります。

注. CSnWCR2.CSON[2:0] ビット≦CSnWCR2.RDON[2:0] ビット≦CSnWCR1.CSPRWAIT[2:0] ビットとなるように設定してください。

CSWWAIT[4:0]ビット（ノーマルライトサイクルウェイト選択）

CSWWAIT[4:0]ビットは、ノーマルライトサイクルまたはページライトサイクル時の最初のアクセスに挿入するウェイトサイクル数を設定します。

注. 1≦CSnWCR2.WDON[2:0] ビット≦CSnWCR2.WRON[2:0] ビット≦CSnWCR1.CSWWAIT[4:0] ビット、および CSnWCR2.CSON[2:0] ビット≦CSnWCR2.WRON[2:0] ビット≦CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSRWAIT[4:0]ビット（ノーマルリードサイクルウェイト選択）

CSRWAIT[4:0]ビットは、ノーマルリードサイクルまたはページリードサイクル時の最初のアクセスに挿入するウェイトサイクル数を設定します。

注. CSnWCR2.CSON[2:0] ビット≦CSnWCR2.RDON[2:0] ビット≦CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

15.3.10 CSnWCR2 : CSn ウェイトコントロールレジスタ 2 (n = 0～7)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x008 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	AWAIT[1:0]		—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
2:0	CSROFF[2:0]	リードアクセス時 CS 延長サイクル選択 0 0 0: ウェイトは挿入されない。 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 1 0 0: 4 クロックサイクルの長さのウェイトが挿入される。 1 0 1: 5 クロックサイクルの長さのウェイトが挿入される。 1 1 0: 6 クロックサイクルの長さのウェイトが挿入される。 1 1 1: 7 クロックサイクルの長さのウェイトが挿入される。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CSWOFF[2:0]	ライトアクセス時 CS 延長サイクル選択 0 0 0: ウェイトは挿入されない。 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 1 0 0: 4 クロックサイクルの長さのウェイトが挿入される。 1 0 1: 5 クロックサイクルの長さのウェイトが挿入される。 1 1 0: 6 クロックサイクルの長さのウェイトが挿入される。 1 1 1: 7 クロックサイクルの長さのウェイトが挿入される。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	WDOFF[2:0]	ライトデータ出力延長サイクル選択 0 0 0: ウェイトは挿入されない。 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 1 0 0: 4 クロックサイクルの長さのウェイトが挿入される。 1 0 1: 5 クロックサイクルの長さのウェイトが挿入される。 1 1 0: 6 クロックサイクルの長さのウェイトが挿入される。 1 1 1: 7 クロックサイクルの長さのウェイトが挿入される。	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	AWAIT[1:0]	アドレスサイクルウェイト選択 0 0: ウェイトは挿入されない。 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 1 1: 3 クロックサイクルの長さのウェイトが挿入される。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	RDON[2:0]	RD アサートウェイト選択 0 0 0: ウェイトは挿入されない。 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 1 0 0: 4 クロックサイクルの長さのウェイトが挿入される。 1 0 1: 5 クロックサイクルの長さのウェイトが挿入される。 1 1 0: 6 クロックサイクルの長さのウェイトが挿入される。 1 1 1: 7 クロックサイクルの長さのウェイトが挿入される。	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	WRON[2:0]	WR アサートウェイト選択 0 0 0: ウェイトは挿入されない。 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 1 0 0: 4 クロックサイクルの長さのウェイトが挿入される。 1 0 1: 5 クロックサイクルの長さのウェイトが挿入される。 1 1 0: 6 クロックサイクルの長さのウェイトが挿入される。 1 1 1: 7 クロックサイクルの長さのウェイトが挿入される。	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
26:24	WDON[2:0]	ライトデータ出力ウェイト選択 0 0 0: ウェイトは挿入されない。 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 1 0 0: 4 クロックサイクルの長さのウェイトが挿入される。 1 0 1: 5 クロックサイクルの長さのウェイトが挿入される。 1 1 0: 6 クロックサイクルの長さのウェイトが挿入される。 1 1 1: 7 クロックサイクルの長さのウェイトが挿入される。	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	CSON[2:0]	CS アサートウェイト選択 0 0 0: ウェイトは挿入されない。 0 0 1: 1 クロックサイクルの長さのウェイトが挿入される。 0 1 0: 2 クロックサイクルの長さのウェイトが挿入される。 0 1 1: 3 クロックサイクルの長さのウェイトが挿入される。 1 0 0: 4 クロックサイクルの長さのウェイトが挿入される。 1 0 1: 5 クロックサイクルの長さのウェイトが挿入される。 1 1 0: 6 クロックサイクルの長さのウェイトが挿入される。 1 1 1: 7 クロックサイクルの長さのウェイトが挿入される。	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CSnCR.EXENB ビットが 1 のときに書き込みアクセスを行うと無視されます。

外部バスへのアクセス中は、CSnWCR2 レジスタに書き込まないでください。各ビットは、バスインタフェースにあわせて、(1) セパレートバスインタフェース使用時の制限事項または(2) アドレス／データマルチプレクスバスインタフェース使用時の制限事項に示す制限の範囲内で設定してください。

CSROFF[2:0]ビット（リードアクセス時 CS 延長サイクル選択）

CSROFF[2:0]ビットは、リードアクセスモード時に、ウェイトサイクルの終了（RD 信号のネゲート）から CSn 信号 (n = 0～7) がネゲートされるまでの間に挿入するウェイトサイクル数を設定します。

CSWOFF[2:0]ビット（ライトアクセス時 CS 延長サイクル選択）

CSWOFF[2:0]ビットは、ライトアクセスモード時に、ウェイトサイクルの終了（WRn 信号 (n = 0～3) のネゲート）から CSn 信号 (n = 0～7) がネゲートされるまでの間に挿入するウェイトサイクル数を設定します。

注. CSnWCR2.WDOFF[2:0]ビット ≦ CSnWCR2.CSWOFF[2:0]ビットとなるように設定してください。

WDOFF[2:0]ビット（ライトデータ出力延長サイクル選択）

WDOFF[2:0]ビットは、ライトアクセスモード時に、ウェイトサイクルの終了（WRn 信号 (n = 0～3) のネゲート）からライトデータ出力が終了するまでの間に挿入するウェイトサイクル数を設定します。

注. CSnWCR2.WDOFF[2:0]ビット ≦ CSnWCR2.CSWOFF[2:0]ビットとなるように設定してください。

AWAIT[1:0]ビット（アドレスサイクルウェイト選択）

AWAIT[1:0]ビットは、アドレス／データマルチプレクス I/O インタフェースのアドレス出力サイクルに挿入するウェイトサイクル数を設定します。

注. CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.AWAIT[1:0]ビット

リードアクセス時、CSnWCR2.AWAIT[1:0]ビット + 2 ≦ CSnWCR2.RDON[2:0]ビット ≦ CSnWCR1.CSRWAIT[4:0]ビットとなるように設定してください。

ライトアクセス時、CSnWCR2.AWAIT[1:0]ビット + 2 ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSWWAIT[4:0]ビット、および CSnWCR2.AWAIT[1:0]ビット + 2 ≦ CSnWCR2.WDON[2:0]ビット ≦ CSnWCR1.CSWWAIT[4:0]ビットとなるように設定してください。

RDON[2:0]ビット（RD アサートウェイト選択）

RDON[2:0]ビットは、RD 信号のアサート前に挿入するウェイトサイクル数を設定します。

注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.RDON[2:0]ビット ≦ CSnWCR1.CSRWAIT[4:0]ビットとなるように設定してください。

ページリードアクセス時、CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.RDON[2:0]ビット ≦ CSnWCR1.CSPRWAIT[2:0]ビットとなるように設定してください。

アドレス／データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0]ビット + 2 ≦ CSnWCR2.RDON[2:0]ビット ≦ CSnWCR1.CSRWAIT[4:0]ビットとなるように設定してください。

WRON[2:0]ビット（WR アサートウェイト選択）

WRON[2:0]ビットは、WRn 信号 (n = 0〜3) のアサート前に挿入するウェイトサイクル数を設定します。

注. ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0]ビット ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSWWAIT[4:0]ビット、および CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSWWAIT[4:0]ビットとなるように設定してください。

ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0]ビット ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSPWWAIT[2:0]ビット、および CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSPWWAIT[2:0]ビットとなるように設定してください。

アドレス／データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0]ビット + 2 ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSWWAIT[4:0]ビットとなるように設定してください。

WDON[2:0]ビット（ライトデータ出力ウェイト選択）

WDON[2:0]ビットは、ライトデータの出力前に挿入するウェイトサイクル数を設定します。

注. ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0]ビット ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSWWAIT[4:0]ビットとなるように設定してください。

ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0]ビット ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSPWWAIT[2:0]ビットとなるように設定してください。

アドレス／データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0]ビット + 2 ≦ CSnWCR2.WDON[2:0]ビット ≦ CSnWCR1.CSWWAIT[4:0]ビットとなるように設定してください。

CSON[2:0]ビット（CS アサートウェイト選択）

CSON[2:0]ビットは、CSn 信号 (n = 0〜7) のアサート前に挿入するウェイトサイクル数を設定します。

注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.RDON[2:0]ビット ≦ CSnWCR1.CSRWAIT[4:0]ビットとなるように設定してください。

ページリードアクセス時、CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.RDON[2:0]ビット ≦ CSnWCR1.CSPRWAIT[2:0]ビットとなるように設定してください。

ノーマルライトアクセス時、CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSWWAIT[4:0]ビットとなるように設定してください。

ページライトアクセス時、CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.WRON[2:0]ビット ≦ CSnWCR1.CSPWWAIT[2:0]ビットとなるように設定してください。

アドレス／データマルチプレクス I/O インタフェースの場合、CSnWCR2.CSON[2:0]ビット ≦ CSnWCR2.AWAIT[1:0]ビットとなるように設定してください。

15.3.11 SDCCR : SDC コントロールレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	BSIZE[1:0]		—	—	—	EXENB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EXENB	動作許可 0: 禁止 1: 許可	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	BSIZE[1:0]	SDRAM バス幅選択 0 0: 16 ビットバス空間 0 1: 32 ビットバス空間 1 0: 8 ビットバス空間 その他: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

BSIZE ビットは、EXENB ビットが 1 のときは書き換えできません。EXENB ビットと同時に書き換えることができます。

EXENB ビット（動作許可）

EXENB ビットは、SDRAM アドレス空間の動作を許可します。リセット時、動作は禁止 (EXENB = 0) になります。禁止領域へアクセスしても何も影響されません。

CSC と SDRAMC を同時使用する場合、EBCLK と SDCLK は同じ周波数で動作させる必要があります。

BSIZE[1:0]ビット（SDRAM バス幅選択）

BSIZE[1:0]ビットは、対応する領域のデータバス幅を指定します。

15.3.12 SDCMOD : SDC モードレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EMODE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EMODE	エンディアンモード 0: リトルエンディアン 1: ビッグエンディアン	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

SDCCR.EXENB ビットが 1 のときに書き込みアクセスを行うと無視されます。

このレジスタは、リセット解除後、一度だけ書き込みが可能です。このレジスタへの 2 回目以降の書き込みは禁止されています。2 回以上ライトアクセスを行った場合の SDRAM アクセス動作は保証されません。

EMODE ビット（エンディアンモード）

EMODE ビットは、SDRAM アドレス空間のエンディアン形式を設定します。詳細は「15.2.5.1. エンディアンに関する制限事項」を参照してください。

15.3.13 SDAMOD : SDRAM アクセスモードレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BE	連続アクセス許可 0: 連続アクセス禁止 1: 連続アクセス許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

SDCCR.EXENB ビットが 1 のときに書き込みアクセスを行うと無視されます。

SDAMOD レジスタの設定は、表 15.31 の条件が満たされている場合に行ってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

BE ビット（連続アクセス許可）

SDRAM アクセス空間の連続アクセスの許可／禁止を設定します。

15.3.14 SDSELF : SDRAM セルフリフレッシュコントロール レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SFEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SFEN	SDRAM セルフリフレッシュ動作許可 0: 禁止 1: 許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

SDSELF レジスタは、表 15.31 の条件が満たされている場合にのみ設定してください。それ以外の場合の SDRAM I/F 機能の動作は保証されません。

SFEN ビット（SDRAM セルフリフレッシュ動作許可）

SFEN ビットは、セルフリフレッシュ動作を制御します。このビットを 1 にすると、オートリフレッシュサイクルを行い、その後セルフリフレッシュを開始します。0 にクリアすると、セルフリフレッシュを終了し、オートリフレッシュが再開されます。このビットを 1 にした場合、書き込み値はセルフリフレッシュの開始時点で有効になります。0 にクリアすると、セルフリフレッシュ動作がすでに終了している場合、オートリフレッシュ開始前に書き込み値が有効になります。セルフリフレッシュ動作中であれば、セルフリフレッシュ終了後、オートリフレッシュ開始前に書き込み値が有効になります。

15.3.15 SDRFCR : SDRAM リフレッシュコントロールレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFW[3:0]				RFC[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
11:0	RFC[11:0]	オートリフレッシュ要求間隔設定 0 0 0 0 0 0 0 0 0 0 0 0: 設定禁止 0 0 0 0 0 0 0 0 0 0 0 1: 2 サイクル 0 0 0 0 0 0 0 0 0 0 1 0: 3 サイクル ⋮ 1 1 1 1 1 1 1 1 1 1 1 1: 4096 サイクル	R/W
15:12	REFW[3:0]	オートリフレッシュサイクル数／セルフリフレッシュ解除サイクル数設定 0 0 0 0: 1 サイクル 0 0 0 1: 2 サイクル 0 0 1 0: 3 サイクル 0 0 1 1: 4 サイクル 0 1 0 0: 5 サイクル 0 1 0 1: 6 サイクル 0 1 1 0: 7 サイクル 0 1 1 1: 8 サイクル 1 0 0 0: 9 サイクル 1 0 0 1: 10 サイクル 1 0 1 0: 11 サイクル 1 0 1 1: 12 サイクル 1 1 0 0: 13 サイクル 1 1 0 1: 14 サイクル 1 1 1 0: 15 サイクル 1 1 1 1: 16 サイクル	R/W

注. S-TYPE-3、P-TYPE-3

RFC[11:0]ビット（オートリフレッシュ要求間隔設定）

RFC[11:0]ビットは、オートリフレッシュ要求間隔を設定します。SDRFEN レジスタのオートリフレッシュ動作許可ビット (RFEN) の状態にかかわらず、いつでも書き込みが可能です。オートリフレッシュが許可の場合、書き込み値はオートリフレッシュサイクルの終了後に有効になります。リフレッシュカウンタは SDCLK を使用します。

REFW[3:0]ビット（オートリフレッシュサイクル数／セルフリフレッシュ解除サイクル数設定）

REFW[3:0]ビットは、オートリフレッシュサイクル数、セルフリフレッシュ解除サイクル数を設定します。SDRFEN レジスタのオートリフレッシュ動作許可ビット (RFEN) の状態にかかわらず、いつでも書き込みが可能です。オートリフレッシュが許可の場合、オートリフレッシュサイクル中であれば、書き込み値はオートリフレッシュサイクル終了後に有効になります。

注. SDRAM のアクセス中はオートリフレッシュ要求は受け付けられません。すなわち、アクセス終了まで待たされるので、オートリフレッシュ間隔が広がる場合があります。RFC[11:0]ビットには、使用する SDRAM の仕様を満たすオートリフレッシュ要求間隔を設定してください。このとき、オートリフレッシュ要求間隔はオートリフレッシュサイクルより長くなるように設定してください。また、動作中に周波数を変更したときのオートリフレッシュ間隔の自動追随はできません。その場合、セルフリフレッシュを行い、周波数に対応したオートリフレッシュ間隔を設定し直すようにしてください。

15.3.15.1 オートリフレッシュ要求間隔と RFC ビット設定値の関係

SDRAMC（SDRAM 領域コントローラ）は 12 ビットのリフレッシュカウンタを内蔵しており、定期的にオートリフレッシュ要求を発生させます。オートリフレッシュ要求間隔から RFC[11:0] ビットの設定値を計算する場合、次式を使用してください。

RFC = （オートリフレッシュ要求間隔／SDCLK 周期） - 1

注. SDRAM のアクセス中はオートリフレッシュ要求は受け付けられません。アクセスが終了するまで待たされます。ただし、要求が受け付けられたか否かにかかわらず、カウンタ値は更新されます。SDRAM のアクセス中に 2 回以上オートリフレッシュ要求が発生した場合、2 回目以降の要求は無視されます。

15.3.16 SDRFEN : SDRAM オートリフレッシュコントロール レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC16

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RFEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFEN	オートリフレッシュ動作許可 0: 禁止 1: 許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

RFEN ビット（オートリフレッシュ動作許可）

RFEN ビットは、オートリフレッシュ動作を許可します。オートリフレッシュを要求する場合、SDRAM アクセスの前に RFEN ビットを 1 にしてください。

オートリフレッシュが有効のときに RFEN ビットを 0 にすると、オートリフレッシュが一通り完了してから RFEN ビットが 0 になり、オートリフレッシュの動作は停止します。リフレッシュ要求が発生する間隔は、SDRAM リフレッシュコントロールレジスタ (SDRFCR) のオートリフレッシュ要求間隔設定ビット (RFC[11:0]) で決定されます。

15.3.17 SDICR : SDRAM 初期化シーケンスコントロール レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC20

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	INIRQ
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	INIRQ	初期化シーケンス開始 0: 無効 1: 初期化シーケンスを開始	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

このレジスタは、リセット解除後、一度だけ書き込みが可能です。2 回以上ライトアクセスを行った場合の動作は保証されません。

INIRQ ビット（初期化シーケンス開始）

INIRQ ビットを 1 にすると SDRAM 初期化シーケンスが開始され、自動的に SDRAM ステータスレジスタ (SDSR) の初期化ステータスビット (INIST) が 1 になります。初期化シーケンス終了後、INIST ビットは自動的に 0 になります。INIRQ ビットへ書いた値は保持されません。

「15.6.11.1. SDRAMC のアクセス手順」に示す手順に従って SDRAM を初期化してください。

注. SDRAM 初期化シーケンス開始ビット (INIRQ) は、表 15.31 の条件が満たされる場合にのみ設定してください。条件に違反した場合の動作は保証されません。

15.3.18 SDIR : SDRAM 初期化レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC24

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	PRC[2:0]			ARFC[3:0]				ARFI[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ARFI[3:0]	初期化オートリフレッシュ間隔 0 0 0 0: 3 サイクル 0 0 0 1: 4 サイクル 0 0 1 0: 5 サイクル 0 0 1 1: 6 サイクル 0 1 0 0: 7 サイクル 0 1 0 1: 8 サイクル 0 1 1 0: 9 サイクル 0 1 1 1: 10 サイクル 1 0 0 0: 11 サイクル 1 0 0 1: 12 サイクル 1 0 1 0: 13 サイクル 1 0 1 1: 14 サイクル 1 1 0 0: 15 サイクル 1 1 0 1: 16 サイクル 1 1 1 0: 17 サイクル 1 1 1 1: 18 サイクル	R/W
7:4	ARFC[3:0]	初期化オートリフレッシュ回数 0 0 0 0: 設定禁止 0 0 0 1: 1 回 0 0 1 0: 2 回 0 0 1 1: 3 回 0 1 0 0: 4 回 0 1 0 1: 5 回 0 1 1 0: 6 回 0 1 1 1: 7 回 1 0 0 0: 8 回 1 0 0 1: 9 回 1 0 1 0: 10 回 1 0 1 1: 11 回 1 1 0 0: 12 回 1 1 0 1: 13 回 1 1 1 0: 14 回 1 1 1 1: 15 回	R/W
10:8	PRC[2:0]	初期化プリチャージサイクル数 0 0 0: 3 サイクル 0 0 1: 4 サイクル 0 1 0: 5 サイクル 0 1 1: 6 サイクル 1 0 0: 7 サイクル 1 0 1: 8 サイクル 1 1 0: 9 サイクル 1 1 1: 10 サイクル	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

このレジスタは、リセット解除後、一度だけ書き込みが可能です。2 回以上ライトアクセスを行った場合の動作は保証されません。

ARFI[3:0]ビット（初期化オートリフレッシュ間隔）

ARFI[3:0]ビットは、SDRAM の初期化シーケンスにおけるオートリフレッシュコマンドの発行間隔を設定します。

ARFC[3:0]ビット（初期化オートリフレッシュ回数）

ARFC[3:0]ビットは、SDRAM の初期化シーケンスにおけるオートリフレッシュ回数を設定します。

PRC[2:0]ビット（初期化プリチャージサイクル数）

PRC[2:0]ビットは、SDRAM の初期化シーケンスにおけるプリチャージサイクル数を設定します。

注. 初期化シーケンスを開始する前に、接続する SDRAM の仕様を満たすように設定してください。

15.3.19 SDADR : SDRAM アドレスレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC40

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MXC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MXC[1:0]	アドレスマルチプレクス選択 0 0: 8 ビットシフト 0 1: 9 ビットシフト 1 0: 10 ビットシフト 1 1: 11 ビットシフト	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

SDCCR.EXENB ビットが 1 のときに書き込みアクセスを行うと無視されます。

SDADR レジスタは、表 15.31 の条件が満たされる場合にのみ設定してください。条件に違反した場合の動作は保証されません。

MXC[1:0]ビット（アドレスマルチプレクス選択）

MXC[1:0]ビットは、ロウアドレス／カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。詳細は、表 15.36 を参照してください。

15.3.20 SDTR : SDRAM タイミングレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RAI[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RCD[1:0]		RP[2:0]			WR	—	—	—	—	—	CL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
2:0	CL[2:0]	SDRAMC カラムレイテンシ設定 0 0 0: 設定禁止 0 0 1: 1 サイクル 0 1 0: 2 サイクル 0 1 1: 3 サイクル その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	WR	ライトリカバリ期間設定 0: 1 サイクル 1: 2 サイクル	R/W
11:9	RP[2:0]	ロウプリチャージ期間設定 0 0 0: 1 サイクル 0 0 1: 2 サイクル 0 1 0: 3 サイクル 0 1 1: 4 サイクル 1 0 0: 5 サイクル 1 0 1: 6 サイクル 1 1 0: 7 サイクル 1 1 1: 8 サイクル	R/W
13:12	RCD[1:0]	ロウカラムレイテンシ設定 0 0: 1 サイクル 0 1: 2 サイクル 1 0: 3 サイクル 1 1: 4 サイクル	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	RAI[2:0]	ロウアクティブ期間設定 0 0 0: 1 サイクル 0 0 1: 2 サイクル 0 1 0: 3 サイクル 0 1 1: 4 サイクル 1 0 0: 5 サイクル 1 0 1: 6 サイクル 1 1 0: 7 サイクル 1 1 1: 設定禁止	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

SDCCR.EXENB ビットが 1 のときに書き込みアクセスを行うと無視されます。

SDTR レジスタは、SDRAM のリード／ライトアクセスのタイミングを設定するレジスタです。詳細は、「15.6.11.3. タイミングレジスタ設定値とアクセスタイミング」を参照してください。

SDTR レジスタは、表 15.31 の条件が満たされる場合にのみ設定してください。条件に違反した場合の動作は保証されません。

このレジスタは、リセット解除後、一度だけ書き込みが可能です。2 回以上ライトアクセスを行った場合の動作は保証されません。

CL[2:0]ビット（SDRAMC カラムレイテンシ設定）

CL[2:0]ビットは、SDRAM コントローラのカラムレイテンシを設定します。この設定は、SDRAM コントローラ側のレイテンシ設定のみに影響します。外部接続の SDRAM にカラムレイテンシを設定するには、SDRAM モードレジスタ (SDMOD) を使用してください。

WR ビット（ライトリカバリ期間設定）

WR ビットは、SDRAM のライト (WRIT) コマンドから非活性化 (PRE) までの期間を設定します。

RP[2:0]ビット（ロウプリチャージ期間設定）

RP[2:0]ビットは、SDRAM の非活性化 (PRE) コマンドから次の有効なコマンドまでの最短サイクル数を設定します。

RCD[1:0]ビット（ロウカラムレイテンシ設定）

RCD[1:0]ビットは、SDRAM のロウカラムレイテンシを設定します。

RAI[2:0]ビット（ロウアクティブ期間設定）

RAI[2:0]ビットは、SDRAM のロウの活性化 (ACTV) コマンドから非活性化 (PRE) までの最短期間を設定します。これらのビットの値は、ロウカラムレイテンシ (RCD[1:0]) とカラムレイテンシ (CL[2:0]) の合計以下でなければいけません。

15.3.21 SDMOD : SDRAM モードレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC48

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MR[14:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	MR[14:0]	モードレジスタ設定 これらのビットを書き込むと、モードレジスタ設定コマンドがトリガされます。	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

SDMOD レジスタは、SDRAM のモードレジスタに書く値を設定するレジスタです。SDMOD レジスタに書き込むことによって、自動的に SDRAM に対しモードレジスタ設定コマンドが発行されます。SDMOD レジスタは、表 15.31 の条件が満たされる場合にのみ設定してください。条件に違反した場合の動作は保証されません。

このレジスタは、リセット解除後、一度だけ書き込みが可能です。2 回以上ライトアクセスを行った場合の動作は保証されません。

MR[14:0]ビット（モードレジスタ設定）

MR[14:0]ビットに書き込むことによって、SDRAM に対しモードレジスタ設定コマンドが発行され、アドレスの下位側に MR[14:0]ビットの設定値が出力されます。詳細は、「15.6.9. モードレジスタの設定」を参照してください。

「15.6.11.1. SDRAMC のアクセス手順」に示す手順に従ってモードレジスタに書き込みを行ってください。

注. 1. SDRAM に対してバースト長 1 を設定してください。これ以外のバースト長を設定した場合、動作は保証されません。
2. SDRAM のカラムレイテンシは、SDRAM タイミングレジスタ (SDTR) の SDRAMC カラムレイテンシ設定ビット (CL[2:0]) の値と一致していなければいけません。両者が一致していないと、動作は保証されません。
3. SDRAM ステータスレジスタ (SDSR) のステータスビット (SRFST, INIST, MRSST) がすべて 0 になっていることを確認してください。

15.3.22 SDSR : SDRAM 状態レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0xC50

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SRFST	INIST	—	—	MRSST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MRSST	モードレジスタセットステータス 0: モードレジスタセット動作中ではない 1: モードレジスタセット動作中	R
2:1	—	読むと 0 が読めます。	R
3	INIST	初期化ステータス 0: 初期化シーケンス中ではない 1: 初期化シーケンス中	R
4	SRFST	セルフリフレッシュ遷移／復帰ステータス 0: 遷移／復帰動作中ではない 1: 遷移／復帰動作中	R
7:5	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

MRSST ビット（モードレジスタセットステータス）

1 になっているときは、MRSST ビットは、SDRAM がモードレジスタセット動作中であることを示します。

INIST ビット（初期化ステータス）

1 になっているときは、SDRAM が SDRAM 初期化シーケンス実行中であることを示します。

SRFST ビット（セルフリフレッシュ遷移／復帰ステータス）

1 になっているときは、SRFST ビットは、SDRAM がセルフリフレッシュの遷移／復帰動作中であることを示します。動作中の期間は、表 15.8 に示すビットに書き込まれた時点から始まり、対応するコマンドが発行されるまで続きます。

注. セルフリフレッシュ、初期化シーケンス、およびモードレジスタ設定の実行は、すべてのステータスビットが 0 の場合にのみ可能です。ステータスビット (SRFST, INIST, MRSST) のいずれかが 1 の場合、表 15.8 に示すレジスタおよびビットを書き換えないでください。

表 15.8 ステータスビット確認が必要なレジスタとビット

機能	レジスタ	ビット
セルフリフレッシュ	SDSELF	SFEN
初期化シーケンス	SDICR	INIRQ
モードレジスタ設定	SDMOD	MR[14:0]

15.3.23 BUSSABT0<スレーブ> : バススレーブアービトレーションコントロールレジスタ 0

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1208 (BUSSABT0MRE0BI), 0x1220 (BUSSABT0S0BI), 0x1228 (BUSSABT0S1BI), 0x1230 (BUSSABT0S2BI), 0x1238 (BUSSABT0S3BI), 0x1250 (BUSSABT0ECBI), 0x1258 (BUSSABT0OSPI0BI), 0x1260 (BUSSABT0OSPI1BI), 0x1268 (BUSSABT0CPU0SAHBI), 0x1270 (BUSSABT0CPU1TCMBI), 0x1278 (BUSSABT0PBBI), 0x1280 (BUSSABT0PABI), 0x1288 (BUSSABT0PIBI), 0x1290 (BUSSABT0PSBI)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ARBS	<slave>のアービトレーション選択 0: 優先順位固定 1: ラウンドロビン	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

このレジスタは、<slave>バスのアービトレーション方式を指定します。

（＜スレーブ＞ = MRE0BI, S0BI, S1BI, S2BI, S3BI, ECBI, OSPI0BI, OSPI1BI, CPU0SAHBI, CPU1TCMBI, PBBI, PABI, PIBI, PSBI）

ARBS ビット（<slave>のアービトレーション選択）

ARBS ビットは、<slave>に接続されているバスマスタ間の優先順位を指定します。優先順位固定については、表 15.9 を参照してください。ラウンドロビンについては、表 15.10 を参照してください。

表 15.9 優先順位固定 (ARBS = 0) によるバス優先順位

バススレーブアービトレーション コントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT0MRE0BI	MRE0BI	GRAPH >EDMAC > DMAC/DTC0 > DMAC/DTC1 > CPU0MAXI > CPU1CAHB
BUSSABT0SnBI (n = 0～3) BUSSABT0ECBI BUSSABT0OSPI0BI	S0BI、S1BI、S2BI、S3BI ECBI OSPI0BI	GRAPH >EDMAC > DMAC/DTC0 > DMAC/DTC1 > CPU0MAXI > CPU1SAHB
BUSSABT0OSPI1BI	OSPI1BI	GRAPH >EDMAC > DMAC/DTC0 > DMAC/DTC1 > CPU0MAXI > CPU1SAHB > CPU1CAHB
BUSSABT0CPU0SAHBI	CPU0SAHBI	DMAC/DTC0 (R > W) > DMAC/DTC1 (R >W) > CPU1SAHB
BUSSABT0CPU1TCMBI	CPU1TCMBI	(DMAC/DTC0 (R > W) >DMAC/DTC1 (R > W)) > CPU0MAXI
BUSSABT0PBBI BUSSABT0PABI BUSSABT0PIBI BUSSABT0PSBI	PBBI PABI PIBI PSBI	DMAC/DTC0 (R > W) > DMAC/DTC1 (R > W) > CPU0PAHB > CPU1SAHB

注 1. 「>」は、左側が優先であることを示します。

表 15.10 ラウンドロビン (ARBS = 1) によるバス優先順位

バススレーブアービトレーション コントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT0MRE0BI	MRE0BI	GRAPH ↔ EDMAC ↔ DMAC/DTC0 ↔ DMAC/DTC1 ↔ CPU0MAXI ↔ CPU1CAHB
BUSSABT0SnBI (n = 0～3) BUSSABT0ECBI BUSSABT0OSPI0BI	S0BI、S1BI、S2BI、S3BI ECBI OSPI0BI	GRAPH ↔ EDMAC ↔ DMAC/DTC0 ↔ DMAC/DTC1 ↔ CPU0MAXI ↔ CPU1SAHB
BUSSABT0OSPI1BI	OSPI1BI	GRAPH ↔ EDMAC ↔ DMAC/DTC0 ↔ DMAC/DTC1 ↔ CPU0MAXI ↔ CPU1SAHB ↔ CPU1CAHB
BUSSABT0CPU0SAHBI	CPU0SAHBI	DMAC/DTC0 ↔ DMAC/DTC1 ↔ CPU1SAHB
BUSSABT0CPU1TCMBI	CPU1TCMBI	(DMAC/DTC0 ↔ DMAC/DTC1) ↔ CPU0MAXI
BUSSABT0PBBI BUSSABT0PABI BUSSABT0PIBI BUSSABT0PSBI	PBBI PABI PIBI PSBI	DMAC/DTC0 ↔ DMAC/DTC1 ↔ CPU0PAHB ↔ CPU1SAHB

注 1. 「↔」はラウンドロビンを表します。

15.3.24 BUSSABT1MRC0BI : バススレーブアービトレーションコントロールレジスタ 1

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1200

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ARBS[1:0]	アービトレーション選択 0 0: 優先順位固定 0 1: 設定禁止 1 0: ラウンドロビンと固定優先順位の組み合わせ 1 1: ラウンドロビン	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

このレジスタは、MRC0BI のアービトレーション方式を指定します。

ARBS[1:0]ビット（アービトレーション選択）

ARBS ビットは、コード MRAM に接続されているバスマスタ間の優先順位を指定します。各設定の優先順位については、表 15.11、表 15.12 および表 15.13 を参照してください。

表 15.11 優先順位固定型アービトレーション (ARBS[1:0] = 00b) によるバス優先順位

バススレーブアービトレーションコントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT1MRC0BI	MRC0BI	EDMAC > DMAC/DTC0 > DMAC/DTC1 > CPU0MAXI > CPU1CAHB

注 1. 「>」は、左側が優先であることを示します。

表 15.12 ラウンドロビン型と優先順位固定型を組み合わせたアービトレーション (ARBS[1:0] = 10b) によるバス優先順位

バススレーブアービトレーションコントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT1MRC0BI	MRC0BI	(EDMAC ↔ DMAC/DTC0 ↔ DMAC/DTC1)> CPU0MAXI > CPU1CAHB

注 1. 「↔」はラウンドロビンを表します。「>」は、左側が優先であることを示します。

表 15.13 ラウンドロビン型アービトレーション (ARBS[1:0] = 11b) によるバス優先順位

バススレーブアービトレーションコントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT1MRC0BI	MRC0BI	(EDMAC ↔ DMAC/DTC0 ↔ DMAC/DTC1) ↔ CPU0MAXI ↔ CPU1CAHB

注 1. 「↔」はラウンドロビンを表します。

15.3.25 BUSERRSTAT ＜マスタ名＞ : BUS エラーステータスレジスタ

（マスタ名 : CPU0、CPU1、DMAC0、DMAC1、EDMAC、CEU）

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1A00 (BUSERRSTATCPU0), 0x1A10 (BUSERRSTATCPU1), 0x1A20 (BUSERRSTATDMAC0), 0x1A30 (BUSERRSTATDMAC1), 0x1A50 (BUSERRSTATEDMAC), 0x1AA0 (BUSERRSTATCEU)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MSERRSTAT	ILERRSTAT	MMERRSTAT	—	—	SLERRSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRSTAT	スレーブバスエラー状態 0: エラーなし 1: エラー発生	R
2:1	—	読むと 0 が読めます。	R
3	MMERRSTAT	マスタ MPU エラー状態 0: エラーなし 1: エラー発生	R
4	ILERRSTAT	不正アドレスアクセスエラー状態 0: エラーなし 1: エラー発生	R
5	MSERRSTAT	マスタセキュリティ属性ユニットエラー状態 0: エラーなし 1: エラー発生	R
7:6	—	読むと 0 が読めます。	R

注. S-TYPE-5、P-TYPE-2
注. このレジスタは、デバッガが接続中にソフトウェアスタンバイモードから復帰した後に初期化されます。

このレジスタは、バスエラーリセット、コモンメモリリセット、CPU ローカルメモリリセット以外のリセットでクリアされます。

バスエラーが同時に複数発生した場合、STAT ビットは以下の優先順位でのみ有効 (1) となります。左側が優先になります。

マスタセキュリティ属性ユニットエラー＞スレーブバスエラー＝スレーブ Trust Zone フィルタエラー＞マスタ MPU エラー＞不正アドレスアクセスエラー

いったん MSERRSTAT、ILERRSTAT、MMERRSTAT、SLERRSTAT のいずれかが設定されると、MSERRSTAT、ILERRSTAT、MMERRSTAT、および SLERRSTAT は更新されません。

SLERRSTAT ビット（スレーブバスエラー状態）

バスでスレーブエラーまたは Trust Zone フィルタが発生すると、BUSERRSTAT.SLERRSTAT ＜マスタ名＞.SLERRSTAT は 1 になります。

クリア条件は以下のとおりです。

- BUSERRCLR ＜マスタ名＞.SLERRCLR を 1 にする

スレーブエラーとは、タイムアウトのようなスレーブに発生するエラーです。

SLERRSTAT ビットは、デバッガ使用時に違反した場合は設定されません。

バスに発生するスレーブエラーの詳細については、「15.7. バスエラー監視部」を参照してください。

MMERRSTAT ビット（マスタ MPU エラー状態）

バスでマスタ MPU エラーが発生すると、BUSERRSTAT ＜マスタ名＞.MMERRSTAT は 1 になります。

クリア条件は以下のとおりです。

- BUSERRCLR ＜マスタ名＞.MMERRCLR を 1 にする

バスに発生するマスタ MPU エラーの詳細については、「16. メモリプロテクションユニット (MPU)」を参照してください。

ILERRSTAT ビット（不正アドレスアクセスエラー状態）

バスに不正アドレスアクセスエラーが発生し、MRE0BI への書き込みアクセスが発生すると、BUSERRSTAT ＜マスタ名＞.ILERRSTAT が 1 になります。

クリア条件は以下のとおりです。

- BUSERRCLR ＜マスタ名＞.ILLERRCLR を 1 にする

ILERRSTAT ビットは、デバッガ使用時に違反した場合は設定されません。

バスに発生する不正アドレスアクセスエラーの詳細については、「15.7. バスエラー監視部」を参照してください。

MSERRSTAT ビット（マスタセキュリティ属性ユニットエラー状態）

バスで MSAU エラーが発生すると、BUSERRSTAT ＜マスタ名＞.MSERRSTAT は 1 になります。

クリア条件は以下のとおりです。

- BUSERRCLR ＜マスタ名＞.MSERRCLR を 1 にする

バスに発生する MSAU エラーの詳細については、「15.7. バスエラー監視部」を参照してください。

表 15.14　バス種類とレジスタの対応

n	バスマスタ種類	バスエラーステータスレジスタ (0x1A00 + 0x10 × n)	バスエラークリアレジスタ (0x1A04 + 0x10 × n)	バスエラー IRQ 許可レジスタ (0x1A08 + 0x10 × n)
0	CPU0	BUSERRSTATCPU0	BUSERRCLRCPU0	BUSIRQENCPU0
1	CPU1	BUSERRSTATCPU1	BUSERRCLRCPU1	BUSIRQENCPU1
2	DMAC/DTC0	BUSERRSTATDMAC0	BUSERRCLRDMAC0	BUSIRQENDMAC0
3	DMAC/DTC1	BUSERRSTATDMAC1	BUSERRCLRDMAC1	BUSIRQENDMAC1
5	EDMAC	BUSERRSTATEDMAC	BUSERRCLREDMAC	BUSIRQENEDMAC
10	CEU	BUSERRSTATCEU	BUSERRCLRCEU	BUSIRQENCEU

15.3.26　BUSERRCLR ＜マスタ名＞ : BUS エラークリアレジスタ

(Master Name: CPU0, CPU1, DMAC0, DMAC1, EDMAC, CEU)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1A04 (BUSERRCLRCPU0), 0x1A14 (BUSERRCLRCPU1), 0x1A24 (BUSERRCLRDMAC0), 0x1A34 (BUSERRCLRDMAC1), 0x1A54 (BUSERRCLREDMAC), 0x1AA4 (BUSERRCLRCEU)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MSERRCLR	ILERRCLR	MMERRCLR	—	—	SLERRCLR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRCLR	スレーブバスエラークリア 0: 影響なし 1: BUSERRSTAT ＜マスタ名＞.SLERRSTAT フラグをクリアする	W
2:1	—	書く場合、0 としてください。	W
3	MMERRCLR	マスタ MPU エラークリア 0: 影響なし 1: BUSERRSTAT ＜マスタ名＞.MMERRSTAT フラグをクリアする	W
4	ILERRCLR	不正アドレスアクセスエラークリア 0: 影響なし 1: BUSERRSTAT ＜マスタ名＞.ILERRSTAT フラグをクリアする	W

ビット	シンボル	機能	R/W
5	MSERRCLR	マスタセキュリティ属性ユニットエラークリア 0: 影響なし 1: BUSERRSTAT ＜マスタ名＞.MSERRSTAT フラグをクリアする	W
7:6	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-2

BUSERRCLR ＜マスタ名＞に 1 を書き込む場合、バスアクセスを停止してください。対応するバスマスタでのエラーの原因になります。

15.3.27 BUSOAD : 検出後のバス動作レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BWERROAD	SLERROAD	ILERROAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ILERROAD	不正なアドレスアクセスエラー検出後の動作 すべてのバスマスタ 0: 割り込み 1: リセット	R/W
1	SLERROAD	スレーブバスエラー検出後の動作 すべてのバスマスタ 0: 割り込み 1: リセット	R/W
2	BWERROAD	バッファラブル書き込みエラー検出後の動作 すべてのバスマスタ 0: 割り込み 1: リセット	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. CPU0 または CPU1 が実行した投機的なアクセスでエラーが発生した場合、OAD ビットと BUSIRQEN ＜マスタ名＞.EN の設定値によっては、割り込み要求またはシステムリセット要求が発生することがあります。そのような場合、Arm MPU を使用することで回避可能です。詳細は、「15.8. 参考資料」[3]を参照してください。

ILERROAD ビット（不正なアドレスアクセスエラー検出後の動作）

OAD ビットは、不正なアドレスアクセスエラー検出時の動作を指定します。OAD ビットが 0 のときはエラー応答が返され、さらに BUSIRQEN ＜マスタ名＞.EN が 1 のときは割り込み要求が発生します。OAD ビットが 1 のときはエラー応答が返され、リセット要求が発生します。

SLERROAD ビット（スレーブバスエラー検出後の動作）

OAD ビットは、スレーブバスエラー検出時の動作を指定します。OAD ビットが 0 のときはエラー応答が返され、さらに BUSIRQEN ＜マスタ名＞.EN が 1 のときは割り込み要求が発生します。OAD ビットが 1 のときはエラー応答が返され、リセット要求が発生します。

BWERROAD ビット（バッファラブル書き込みエラー検出後の動作）

OAD ビットは、バッファラブル書き込みエラー検出時の動作を指定します。

OAD ビットが 0 のときはリセット要求が発生します。

このとき、OAD ビットが 1 になっていると、リセット要求が発生します。

バスエラー（バッファラブルエラーを含む）によって発生する割り込みも NMI として使用できます。詳細は、「「14. 割り込みコントローラユニット (ICU)」」の NMIER レジスタの仕様を参照してください。

15.3.28 BUSOADPT : 検出後のバス動作プロテクトレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: BUSOAD レジスタの書き込みは可能 1: BUSOAD レジスタの書き込みは禁止。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3、P-TYPE-2

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

BUSOADPT.PROTECT ビットは下記のレジスタを制御します。

- BUSOAD

同時に PROTECT ビットを設定する際は、ハーフワードアクセスによって KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。同時に PROTECT ビットに書き込む場合は、KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは、読むと常に 0x00 が読み出されます。

15.3.29 MBWERRSTAT : マスタバッファラブル書き込みエラーステータスレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1B00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MBWERR19	—	MBWERR17	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MBWERR9	MBWERR8	—	—	—	—	—	—	MBWERR1	MBWERR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MBWERR0	マスタバッファラブル書き込みエラー 0: マスタ#0 にバッファラブル書き込みエラーなし 1: マスタ#0 にバッファラブル書き込みエラー発生	R
1	MBWERR1	マスタバッファラブル書き込みエラー 0: マスタ#1 にバッファラブル書き込みエラーなし 1: マスタ#1 にバッファラブル書き込みエラー発生	R

ビット	シンボル	機能	R/W
7:2	—	読むと 0 が読めます。	R
8	MBWERR8	マスタバッファラブル書き込みエラー 0: マスタ#8 にバッファラブル書き込みエラーなし 1: マスタ#8 にバッファラブル書き込みエラー発生	R
9	MBWERR9	マスタバッファラブル書き込みエラー 0: マスタ#9 にバッファラブル書き込みエラーなし 1: マスタ#9 にバッファラブル書き込みエラー発生	R
16:10	—	読むと 0 が読めます。	R
17	MBWERR17	マスタバッファラブル書き込みエラー 0: マスタ#17 にバッファラブル書き込みエラーなし 1: マスタ#17 にバッファラブル書き込みエラー発生	R
18	—	読むと 0 が読めます。	R
19	MBWERR19	マスタバッファラブル書き込みエラー 0: マスタ#19 にバッファラブル書き込みエラーなし 1: マスタ#19 にバッファラブル書き込みエラー発生	R
31:20	—	読むと 0 が読めます。	R

注. S-TYPE-5, P-TYPE-2
注. このレジスタは、デバッガが接続中にソフトウェアスタンバイモードから復帰した後に初期化されます。
注. このレジスタは、バスエラーリセット、共通メモリリセット、CPU ローカルメモリリセット以外のリセットでクリアされます。

MBWERRn ビット（マスタバッファラブル書き込みエラー n）

バッファラブル書き込みアクセスエラーが発生すると、MBWERRSTAT.MBWERRn は 1 になります。

クリア条件は以下のとおりです。

- MBWERRCLR.MBWECLRn を 1 にする

スレーブ側でエラーが検出された場合は、アクセスを実行したマスタのフラグに加えて、同時にマスタのエラーフラグがアクセスパスと共に設定されます。

表 15.15 に、バスマスタの種類とレジスタの対応を示します。

表 15.15 バスマスタ種類とビットの対応

バスマスタ種類	マスタバッファラブル書き込みエラーステータスビット	マスタバッファラブル書き込みエラークリアビット
CPU0	MBWERR0	MBWECLR0
CPU1	MBWERR1	MBWECLR1
DMAC/DTC0	MBWERR8	MBWECLR8
DMAC/DTC1	MBWERR9	MBWECLR9
EDMAC	MBWERR17	MBWECLR17
CEU	MBWERR19	MBWECLR19

15.3.30 MBWERRCLR : マスタバッファラブル書き込みエラークリアレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1B08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MBWECLR19	—	MBWECLR17	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MBWECLR9	MBWECLR8	—	—	—	—	—	—	MBWECLR1	MBWECLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MBWECLR0	マスタバッファラブル書き込みエラークリア 0: 影響なし 1: MBWERRSTAT.MBWERR0 フラグをクリア	W
1	MBWECLR1	マスタバッファラブル書き込みエラークリア 0: 影響なし 1: MBWERRSTAT.MBWERR1 フラグをクリア	W
7:2	—	書く場合、0 としてください。	W
8	MBWECLR8	マスタバッファラブル書き込みエラークリア 0: 影響なし 1: MBWERRSTAT.MBWERR8 フラグをクリア	W
9	MBWECLR9	マスタバッファラブル書き込みエラークリア 0: 影響なし 1: MBWERRSTAT.MBWERR9 フラグをクリア	W
16:10	—	読むと 0 が読めます。	W
17	MBWECLR17	マスタバッファラブル書き込みエラークリア 0: 影響なし 1: MBWERRSTAT.MBWERR17 フラグをクリア	W
18	—	書く場合、0 としてください。	W
19	MBWECLR19	マスタバッファラブル書き込みエラークリア 0: 影響なし 1: MBWERRSTAT.MBWERR19 フラグをクリア	W
31:20	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-2

15.3.31 BUSIRQEN ＜マスタ名＞ : BUS エラー割り込み許可レジスタ

(Master Name: CPU0, CPU1, DMAC0, DMAC1, EDMAC, CEU)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1A08 (BUSIRQENCPU0), 0x1A18 (BUSIRQENCPU1), 0x1A28 (BUSIRQENDMAC0), 0x1A38 (BUSIRQENDMAC1), 0x1A58 (BUSIRQENEDMAC), 0x1AA8 (BUSIRQENCEU)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EN	バスエラー検出後の割り込み許可 バスエラー（マスタバッファラブル書き込みエラーを除く）発生時に ICU へのバス割り込み要求の発行を許可するかどうかを設定します。 0: 禁止 1: 許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

BUSIRQEN ＜マスタ名＞に 1 を書き込む場合、バスアクセスを停止してください。対応するバスマスタでのエラーの原因になります。

EN ビット（バスエラー検出後の割り込み許可）

特定のエラーの発生を契機に ICU へバスエラー割り込み要求を出力するには、そのエラーに対応する OAD 設定で割り込みを選択し、このビットで割り込み要求を許可してください。マスタバッファラブル書き込みエラーを契機にバスエラー割り込み要求を出力するかどうかの設定はこのビットの設定に影響を及ぼしません。

15.4 エンディアンとデータアライメント

外部バスはデータアライメント機能を持っており、外部アドレス空間（CS および SDRAM 領域）にアクセスするとき、データバスのどちらのバイト (D31～D24, D23～D16, D15～D08, D07～D00) を使用するか制御します。データアライメントは、アクセスする領域のバス仕様（8 ビット、16 ビット、または 32 ビットバス空間）、データサイズ、およびエンディアン形式に基づいています。

15.4.1 CS 領域のデータアライメント制御

15.4.1.1 32 ビットバス空間

CSnCR の BSIZE[1:0] ビットで 32 ビットバス空間を選択すると、アドレスバス (A23～A2) が 32 ビット単位のアドレス出力信号として有効になり、アドレスバス (A1, A0) は無効（Low 固定）になります。

バイトストローブモード（CSnMOD の WRMOD ビット = 0）を選択した場合、WR0～WR3 端子が有効になります。BC0～BC3 端子は使用しません。

1 ライトストローブモード（CSnMOD の WRMOD ビット = 1）を選択した場合、WR0 端子のみが有効となり、データサイズに関係なくライトアクセス時には WR0 端子より Low が出力されます。WR1～WR3 端子は無効（High 固定）になります。有効なバイト位置は、BC0～BC3 端子により表します。

32 ビットバス空間では、ビッグエンディアンとリトルエンディアンで MCU 外部のデータ、制御信号の有効位置は異なります。

表 15.16 32 ビットバス空間におけるデータアライメント（リトルエンディアン） (1/2)

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス	WR3/BC3	WR2/BC2	WR1/BC1	WR0/BC0
						RD			
						データバス			
						D31 D24	D23 D16	D15 D8	D7 D0
8 ビット	4n	1	1 番目	8 ビット	4n				7 0
	4n + 1	1			4n			7 0	
	4n + 2	1	1 番目	8 ビット	4n		7 0		
	4n + 3	1			4n	7 0			

表 15.16　32 ビットバス空間におけるデータアライメント（リトルエンディアン）(2/2)

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス	WR3/BC3	WR2/BC2	WR1/BC1	WR0/BC0
						RD			
						データバス			
						D31 D24	D23 D16	D15 D8	D7 D0
16 ビット	4n	1	1 番目	16 ビット	4n			15 8	7 0
	4n + 2	1	1 番目	16 ビット	4n	15 8	7 0		
32 ビット	4n	1	1 番目	32 ビット	4n	31 24	23 16	15 8	7 0
64 ビット	4n	2	1 番目	32 ビット	4n	31 24	23 16	15 8	7 0
			2 番目	32 ビット	4n + 4	63 56	55 48	47 40	39 32

表 15.17　32 ビットバス空間のデータアライメント（ビッグエンディアン）

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス	WR3/BC3	WR2/BC2	WR1/BC1	WR0/BC0
						RD			
						データバス			
						D31 D24	D23 D16	D15 D8	D7 D0
8 ビット	4n	1	1 番目	8 ビット	4n	7 0			
	4n + 1	1			4n		7 0		
	4n + 2	1	1 番目	8 ビット	4n			7 0	
	4n + 3	1			4n				7 0
16 ビット	4n	1	1 番目	16 ビット	4n	15 8	7 0		
	4n + 2	1	1 番目	16 ビット	4n			15 8	7 0
32 ビット	4n	1	1 番目	32 ビット	4n	31 24	23 16	15 8	7 0

15.4.1.2　16 ビットバス空間

CSnCR の BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス (A23～A01) が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス (A00) は無効（Low 固定）になります。

バイトストローブモード（CSnMOD の WRMOD ビット＝0）を選択した場合、WR0、WR1 端子が有効になり、WR2、WR3 端子は無効（High 固定）となります。BC0～BC3 端子は使用しません。

1 ライトストローブモード（CSnMOD の WRMOD ビット＝1）を選択した場合、WR0 端子のみが有効となり、データサイズに関係なくライトアクセス時には WR0 端子から常に Low が出力されます。WR1～WR3 端子は無効（High 固定）になります。有効なバイト位置は、BC0 端子と BC1 端子により表します。

制御信号と MCU 外部データの有効位置は、エンディアン形式によって異なります。表 15.18 と表 15.19 を参照してください。

32 ビット単位のデータアクセスに対して、ページアクセスが発生する場合があります。アクセスが 32 ビット境界を越えず、かつ BC0 および BC1 信号に変化が生じない場合に限り、ページアクセスが発生します。ページアクセスが発生する条件を表 15.18 と表 15.19 に (p) で示します。

表 15.18　16 ビットバス空間におけるデータアライメント（リトルエンディアン）

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		WR1/BC1 RD データバス D15 D08	WR0/BC0 RD データバス D07 D00
8 ビット	4n	1	1 番目	8 ビット	4n			7 0
	4n + 1	1	1 番目	8 ビット	4n		7 0	
	4n + 2	1	1 番目	8 ビット	4n + 2			7 0
	4n + 3	1	1 番目	8 ビット	4n + 2		7 0	
16 ビット	4n	1	1 番目	16 ビット	4n		15 8	7 0
	4n+2	1	1 番目	16 ビット	4n + 2		15 8	7 0
32 ビット	4n	2	1 番目	16 ビット	4n		15 8	7 0
			2 番目	16 ビット	4n + 2	(p)	31 24	23 16
64 ビット	4n	4	1 番目	16 ビット	4n		15 8	7 0
			2 番目	16 ビット	4n + 2	(p)	31 24	23 16
			3 番目	16 ビット	4n + 4		47 40	39 32
			4 番目	16 ビット	4n + 6	(p)	63 56	55 48

(p)：ページアクセス（CSnMOD レジスタの PRENB ビットと PWENB ビットでページアクセス許可の場合のみ）

表 15.19　16 ビットバス空間のデータアライメント（ビッグエンディアン）

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		WR1/BC1	WR0/BC0
							RD	
							データバス	
							D15 D08	D07 D00
8 ビット	4n	1	1 番目	8 ビット	4n		7 0	
	4n + 1	1	1 番目	8 ビット	4n			7 0
	4n + 2	1	1 番目	8 ビット	4n + 2		7 0	
	4n + 3	1	1 番目	8 ビット	4n + 2			7 0
16 ビット	4n	1	1 番目	16 ビット	4n		15 8	7 0
	4n+2	1	1 番目	16 ビット	4n + 2		15 8	7 0
32 ビット	4n	2	1 番目	16 ビット	4n		31 24	23 16
			2 番目	16 ビット	4n + 2	(p)	15 8	7 0

(p)：ページアクセス（CSnMOD レジスタの PRENB ビットと PWENB ビットでページアクセス許可の場合のみ）

15.4.1.3　8 ビットバス空間

CSnCR の BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス (A23～A0) がバイト単位のアドレス信号として有効になります。

8 ビットバス空間ではライトアクセスモードの設定にかかわらず、WR0#端子のみが有効になります。WR0#端子にはライトアクセス時に常に Low が出力されます。WR1#～WR3#、BC0#～BC3#端子は使用しません。

16 ビット単位、32 ビット単位、または 64 ビット単位のデータアクセスにおいては、ページアクセスが発生することがあります。具体的には、アクセスが 32 ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する条件を表 15.20 と表 15.21 に (p) で示します。

8 ビットバス空間では、エンディアン形式にかかわらず、MCU 外部データの有効位置は D7～D0 であり、WR0#端子は制御信号として使用されます。

表 15.20　8 ビットバス空間におけるデータアライメント（リトルエンディアン）

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		WR1/BC1 RD データバス D15 D08	WR0/BC0 RD データバス D07 D00
8 ビット	4n	1	1 番目	8 ビット	4n			7 0
	4n + 1	1	1 番目	8 ビット	4n + 1			7 0
	4n + 2	1	1 番目	8 ビット	4n + 2			7 0
	4n + 3	1	1 番目	8 ビット	4n + 3			7 0
16 ビット	4n	2	1 番目	8 ビット	4n			7 0
			2 番目	8 ビット	4n + 1	(p)		15 8
	4n + 2	2	1 番目	8 ビット	4n + 2			7 0
			2 番目	8 ビット	4n + 3	(p)		15 8
32 ビット	4n	4	1 番目	8 ビット	4n			7 0
			2 番目	8 ビット	4n + 1	(p)		15 8
			3 番目	8 ビット	4n + 2	(p)		23 16
			4 番目	8 ビット	4n + 3	(p)		31 24
64 ビット	4n	8	1 番目	8 ビット	4n			7 0
			2 番目	8 ビット	4n + 1	(p)		15 8
			3 番目	8 ビット	4n + 2	(p)		23 16
			4 番目	8 ビット	4n + 3	(p)		31 24
			5 番目	8 ビット	4n + 4			39 32
			6 番目	8 ビット	4n + 5	(p)		47 40
			7 番目	8 ビット	4n + 6	(p)		55 48
			8 番目	8 ビット	4n + 7	(p)		63 56

(p)：ページアクセス（CSnMOD レジスタの PRENB ビットと PWENB ビットでページアクセス許可の場合のみ）

表 15.21　8 ビットバス空間のデータアライメント（ビッグエンディアン）

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		WR1/BC1 RD データバス D15 D08	WR0/BC0 RD データバス D07 D00
8 ビット	4n	1	1 番目	8 ビット	4n			7 0
	4n + 1	1	1 番目	8 ビット	4n + 1			7 0
	4n + 2	1	1 番目	8 ビット	4n + 2			7 0
	4n + 3	1	1 番目	8 ビット	4n + 3			7 0
16 ビット	4n	2	1 番目	8 ビット	4n			15 8
			2 番目	8 ビット	4n + 1	(p)		7 0
	4n + 2	2	1 番目	8 ビット	4n + 2			15 8
			2 番目	8 ビット	4n + 3	(p)		7 0
32 ビット	4n	4	1 番目	8 ビット	4n			31 24
			2 番目	8 ビット	4n + 1	(p)		23 16
			3 番目	8 ビット	4n + 2	(p)		15 8
			4 番目	8 ビット	4n + 3	(p)		7 0

(p)：ページアクセス（CSnMOD レジスタの PRENB ビットと PWENB ビットでページアクセス許可の場合のみ）

15.4.2　SDRAM 領域のデータアライメント制御

15.4.2.1　32 ビットバス空間

SDCCR の BSIZE[1:0] ビットで 32 ビットバス空間を選択すると、アドレスバス (A26～A02) が 32 ビット単位のアドレス出力信号として有効になり、アドレスバス (A01, A00) は無効（Low 固定）になります。有効なバイト位置は、DQM0～DQM3 信号により表します。

外部データは、D31～D24、D23～D16、D15～D8、および D7～D0 を使ってアクセスを行います。1 回にアクセスできるデータサイズは、8 ビット、16 ビット、または 32 ビットです。

32 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、SDRAM 制御信号 (DQM0～DQM3) の有効位置は異なります。表 15.22 にデータのエンディアンモードをリトルエンディアンにした場合のデータアライメント制御を、表 15.23 にデータのエンディアンモードをビッグエンディアンにした場合のデータアライメント制御を示します。

SDAMOD.BE ビットが 1 のとき、以下の条件では連続アクセスが起きる場合があります。

- 同じロウアドレスへのアクセスが連続して行われる。
- 64 ビットアドレス境界を横断しない 64 ビットデータアクセスが行われる。

連続アクセスが発生する条件を表 15.22 と表 15.23 に記号「(r1)」で示します。

表 15.22　32 ビットバス空間におけるデータアライメント（リトルエンディアン）

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス	DQM3		DQM2		DQM1		DQM0	
						WE							
						データバス							
						D31	D24	D23	D16	D15	D8	D7	D0
8 ビット	4n	1	1 番目	8 ビット	4n (r1)							7	0
	4n + 1	1			4n (r1)					7	0		
	4n + 2	1	1 番目	8 ビット	4n (r1)			7	0				
	4n + 3	1			4n (r1)	7	0						
16 ビット	4n	1	1 番目	16 ビット	4n (r1)					15	8	7	0
	4n + 2	1	1 番目	16 ビット	4n (r1)	15	8	7	0				
32 ビット	4n	1	1 番目	32 ビット	4n (r1)	31	24	23	16	15	8	7	0
64 ビット	4n	2	1 番目	32 ビット	4n (r1)	31	24	23	16	15	8	7	0
			2 番目	32 ビット	4n + 4 (r1)	63	56	55	48	47	40	39	32

表 15.23　32 ビットバス空間のデータアライメント（ビッグエンディアン）

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス	DQM3	DQM2	DQM1	DQM0
						WE			
						データバス			
						D31 D24	D23 D16	D15 D8	D7 D0
8 ビット	4n	1	1 番目	8 ビット	4n (r1)	7 0			
	4n + 1	1			4n (r1)		7 0		
	4n + 2	1	1 番目	8 ビット	4n (r1)			7 0	
	4n + 3	1			4n (r1)				7 0
16 ビット	4n	1	1 番目	16 ビット	4n (r1)	15 8	7 0		
	4n + 2	1	1 番目	16 ビット	4n (r1)			15 8	7 0
32 ビット	4n	1	1 番目	32 ビット	4n (r1)	31 24	23 16	15 8	7 0

15.4.2.2　16 ビットバス空間

SDCCR の BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス (A26～A01) が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス (A00) は無効（Low 固定）になります。有効なバイト位置は、DQM0 信号と DQM1 信号により表します。

外部データは、DQ15～DQ08 および DQ07～DQ00 端子と、DQM0 および DQM1 制御信号を用いてアクセスされます。1 回にアクセスできるデータサイズは、8 ビットまたは 16 ビットです。

SDAMOD.BE ビットが 1 のとき、以下の条件では連続アクセスが起きる場合があります。

- 同じロウアドレスへのアクセスが連続して行われる。
- 32 ビットデータアクセス
- 64 ビットアドレス境界を横断しない 64 ビットデータアクセスが行われる。
- 32 ビットアドレス境界を横断しない 64 ビットデータアクセスが行われる。
- 連続アクセスが発生する条件を表 15.24 と表 15.25 に記号「(r1)」で示します。

制御信号と MCU 外部データの有効位置は、エンディアン形式によって異なります。表 15.24 と表 15.25 を参照してください。

表 15.24　SDRAM 領域の 16 ビットバス空間におけるデータアライメント（リトルエンディアン）

							DQM1		DQM0	
							WE			
							データバス			
データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		DQ15	DQ08	DQ07	DQ00
8 ビット	4n	1	1 番目	8 ビット	4n	(r1)			7	0
	4n + 1	1	1 番目	8 ビット	4n	(r1)	7	0		
	4n + 2	1	1 番目	8 ビット	4n + 2	(r1)			7	0
	4n + 3	1	1 番目	8 ビット	4n + 2	(r1)	7	0		
16 ビット	4n	1	1 番目	16 ビット	4n	(r1)	15	8	7	0
	4n+2	1	1 番目	16 ビット	4n + 2	(r1)	15	8	7	0
32 ビット	4n	2	1 番目	16 ビット	4n	(r1)	15	8	7	0
			2 番目	16 ビット	4n + 2	(r1)	31	24	23	16
64 ビット	4n	4	1 番目	16 ビット	4n	(r1)	15	8	7	0
			2 番目	16 ビット	4n + 2	(r1)	31	24	23	16
			3 番目	16 ビット	4n + 4	(r1)	47	40	39	32
			4 番目	16 ビット	4n + 6	(r1)	63	56	55	48

表 15.25　SDRAM 領域の 16 ビットバス空間におけるデータアライメント（ビッグエンディアン）(1/2)

							DQM1		DQM0	
							WE			
							データバス			
データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		DQ15	DQ08	DQ07	DQ00
8 ビット	4n	1	1 番目	8 ビット	4n	(r1)	7	0		
	4n + 1	1	1 番目	8 ビット	4n	(r1)			7	0
	4n + 2	1	1 番目	8 ビット	4n + 2	(r1)	7	0		
	4n + 3	1	1 番目	8 ビット	4n + 2	(r1)			7	0

表 15.25 SDRAM 領域の 16 ビットバス空間におけるデータアライメント（ビッグエンディアン） (2/2)

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		DQM1		DQM0	
							WE			
							データバス			
							DQ15	DQ08	DQ07	DQ00
16 ビット	4n	1	1 番目	16 ビット	4n	(r1)	15	8	7	0
	4n+2	1	1 番目	16 ビット	4n + 2	(r1)	15	8	7	0
32 ビット	4n	2	1 番目	16 ビット	4n	(r1)	31	24	23	16
			2 番目	16 ビット	4n + 2	(r1)	15	8	7	0

15.4.2.3 8 ビットバス空間

SDCCR の BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス (A26～A00) が 8 ビット単位のアドレス出力信号として有効になります。

外部データは、DQ07～DQ00 端子と、DQM0 制御信号を用いてアクセスされます。8 ビットデータでは 1 回、16 ビットデータでは 2 回、32 ビットデータでは 4 回の 8 ビットアクセスを実行します。

SDAMOD.BE ビットが 1 のとき、以下の条件では連続アクセスが起きる場合があります。

- 同じロウアドレスへのアクセスが連続して行われる。
- 16 ビットデータアクセスまたは 32 ビットデータアクセスが行われる。
- 64 ビットアドレス境界を横断しない 64 ビットデータアクセスが行われる。
- 32 ビットアドレス境界を横断しない 64 ビットデータアクセスが行われる。

表 15.26 と表 15.27 に、連続アクセスが発生するケース (r1) を示します。

制御信号と MCU 外部データの有効位置は、エンディアン形式によって異なります。表 15.26 と表 15.27 を参照してください。

表 15.26 SDRAM 領域の 8 ビットバス空間におけるデータアライメント（リトルエンディアン） (1/2)

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		DQM1		DQM0	
							WE			
							データバス			
							DQ15	DQ08	DQ07	DQ00
8 ビット	4n	1	1 番目	8 ビット	4n	(r1)			7	0
	4n + 1	1	1 番目	8 ビット	4n + 1	(r1)			7	0
	4n + 2	1	1 番目	8 ビット	4n + 2	(r1)			7	0
	4n + 3	1	1 番目	8 ビット	4n + 3	(r1)			7	0

表 15.26　SDRAM 領域の 8 ビットバス空間におけるデータアライメント（リトルエンディアン） (2/2)

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		DQM1		DQM0	
							WE			
							データバス			
							DQ15	DQ08	DQ07	DQ00
16 ビット	4n	2	1 番目	8 ビット	4n	(r1)			7	0
			2 番目	8 ビット	4n + 1	(r1)			15	8
	4n + 2	2	1 番目	8 ビット	4n + 2	(r1)			7	0
			2 番目	8 ビット	4n + 3	(r1)			15	8
32 ビット	4n	4	1 番目	8 ビット	4n	(r1)			7	0
			2 番目	8 ビット	4n + 1	(r1)			15	8
			3 番目	8 ビット	4n + 2	(r1)			23	16
			4 番目	8 ビット	4n + 3	(r1)			31	24
64 ビット	4n	8	1 番目	8 ビット	4n	(r1)			7	0
			2 番目	8 ビット	4n + 1	(r1)			15	8
			3 番目	8 ビット	4n + 2	(r1)			23	16
			4 番目	8 ビット	4n + 3	(r1)			31	24
			5 番目	8 ビット	4n + 4	(r1)			39	32
			6 番目	8 ビット	4n + 5	(r1)			47	40
			7 番目	8 ビット	4n + 6	(r1)			55	48
			8 番目	8 ビット	4n + 7	(r1)			63	56

表 15.27 SDRAM 領域の 8 ビットバス空間におけるデータアライメント（ビッグエンディアン）

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス		DQM1	DQM0
							WE	
							データバス	
							DQ15 DQ08	DQ07 DQ00
8 ビット	4n	1	1 番目	8 ビット	4n	(r1)		7 0
	4n + 1	1	1 番目	8 ビット	4n + 1	(r1)		7 0
	4n + 2	1	1 番目	8 ビット	4n + 2	(r1)		7 0
	4n + 3	1	1 番目	8 ビット	4n + 3	(r1)		7 0
16 ビット	4n	2	1 番目	8 ビット	4n	(r1)		15 8
			2 番目	8 ビット	4n + 1	(r1)		7 0
	4n + 2	2	1 番目	8 ビット	4n + 2	(r1)		15 8
			2 番目	8 ビット	4n + 3	(r1)		7 0
32 ビット	4n	4	1 番目	8 ビット	4n	(r1)		31 24
			2 番目	8 ビット	4n + 1	(r1)		23 16
			3 番目	8 ビット	4n + 2	(r1)		15 8
			4 番目	8 ビット	4n + 3	(r1)		7 0

15.5 CS 領域コントローラの動作説明

15.5.1 セパレートバス

本項では、タイミング図に記載のサイクルについて説明します。CS 領域コントローラ (CSC) は外部バスクロック (BCLK) に同期して動作します。CSC のレジスタで設定されるウェイトサイクルなどの動作サイクルは、BCLK でカウントされます。以下では、特に断りのない限り、外部バスクロック (BCLK) と EBCLK 端子出力は、同一周波数であるものとします。外部バスを経由したアクセス開始の基点は、EBCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック (BCLK) と EBCLK 端子出力が異なる周波数の場合、2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては EBCLK 端子出力の立ち下がり時点になる可能性があります。図 15.11～図 15.15 を参照してください。また、バスアクセスに対してリカバリサイクルが挿入されている場合にも、リカバリサイクル数の設定によっては EBCLK 端子出力の立ち下がり時点になる可能性があります。図 15.33 を参照してください。

Tw1～Twn（ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトのクロックサイクル）

Tw1 から Twn までの期間は、外部バスアクセス開始からストローブ信号有効サイクルの 1 サイクル前までのサイクル数です。サイクル数は 0～31 サイクルを選択できます。この期間内に、CSn、RD、WRn 信号アサーション（信号を Low にする）のタイミングは、それぞれのウェイト設定によって決定されます。ウェイト期間は、CSn ウェイトコントロールレジスタ 2 (CSnWCR2) の以下のビットで制御されます。

- CS アサートウェイト選択ビット (CSON)

- RD アサートウェイト選択ビット (RDON)
- WR アサートウェイト選択ビット (WRON)
- ライトデータ出力ウェイト選択ビット (WDON)

各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点にして、0～7 サイクルから選択できます。選択可能なサイクル数は、リード／ライトサイクルウェイトに必要な全サイクル数の範囲内です。

Tend（ストローブ信号有効サイクル）

Tend は、ノーマルリード／ライトサイクルウェイト期間、あるいはページリード／ライトサイクルウェイト期間が終了した次のサイクルです。これらのサイクルウェイト選択ビットが 0 の場合、バスアクセス開始のサイクルがストローブ信号有効サイクルとなります。その次のサイクルで、RD 信号と WRn 信号がネゲートされます。リードアクセスの場合、ストローブ信号が有効なサイクルが、リードデータがサンプリングされるサイクルです。外部ウェイトが許可の場合、ストローブ信号が有効なサイクルでウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長します。ウェイト信号が High になると、次のサイクルでバスサイクルを終了します。Tend は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセス中にストローブ信号が有効な最初のサイクルが終了した後、ライトアクセス時にライトデータ出力延長サイクルが 0 以外の値に設定されている場合（Tdw1～Tdwn（ライトデータ出力延長クロックサイクル）を参照）を除いて、次のサイクルでは 2 回目以降のページアクセス（Tpw1～Tpwn（ページリードサイクルウェイト、ページライトサイクルウェイト）を参照）が開始されます。RD アサートウェイトまたは WR アサートウェイトの設定が 0 以外の場合、次のサイクルで RD 信号と WRn 信号がネゲートされます。0 の場合、アサートが継続されます。また、CSn 信号はネゲートされずにアサートされ続けます。

Tn1～Tnm（CS 延長クロックサイクル）

ノーマルアクセスの場合、Tn1～Tnm は、ストローブ信号有効サイクル (Tend) の次のサイクルから CSn 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時は、CSn ウェイトコントロールレジスタ 2 (CSnWCR2) のリードアクセス時 CS 延長サイクル選択ビット (CSROFF)、ライトアクセス時は、ライトアクセス時 CS 延長サイクル選択ビット (CSWOFF) によって制御可能です。サイクル数は、ストローブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、Tn1～Tnm は、ストローブ信号が有効な最後のサイクルから CSn 信号をネゲートするまでの期間のクロックサイクルを表します。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) により、アドレスおよび出力データが有効な期間の延長が制御されます。

Tdw1～Tdwn（ライトデータ出力延長クロックサイクル）

ライトアクセス時、ライトデータ出力延長ウェイトの設定が 0 以外の場合、指定されたクロックサイクル数がストローブ信号が有効なサイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル期間 (Tn1～Tnm) 内に挿入されます。

ページアクセスの場合、ストローブ信号有効サイクルと後続のページアクセスの期間内、または CS 延長サイクル期間 (Tn1～Tnm) 内に挿入されます。この期間にわたって、アドレスと出力データが延長され、WRn 信号がネゲートされます。

Tpw1～Tpwn（ページリードサイクルウェイト、ページライトサイクルウェイト）

ページアクセス中の 2 回目以降のバスサイクルについては、ノーマルリード／ライトサイクルウェイトの代わりに、ページリードサイクルウェイトまたはページライトサイクルウェイトの値が使用されます。WR アサートウェイト選択ビットの設定は、1 回目のアクセスと同様に有効となります。RD アサート制御は、下記に示すように、ページリードアクセスモード（CSnMOD の PRMOD ビット）の設定によって動作が異なります。

- CSnMOD.PRMOD ビット = 0 の場合：1 回目と同様に RD アサートウェイトが挿入され、RD 信号がネゲートされる
- CSnMOD.PRMOD ビット = 1 の場合：ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されるが、その間、RD 信号がアサートされ続ける

Tr1～Trn（リカバリサイクル）

バスサイクルの終了時点（CSn 信号のネゲート時点）からリカバリサイクルの挿入が可能です。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) のリードリカバリ設定ビット (RRCV)、ライトリカバリ

設定ビット (WRCV) によって制御することができます。各リカバリサイクル数は、バスサイクルの終了時点（CSn 信号のネゲート時点）を起点に数え、0～15 サイクルの選択が可能です。詳細は、「15.5.4. リカバリサイクルの挿入」を参照してください。

(1) ノーマルアクセス

CSnMOD レジスタの PRENB ビットと PWENB ビットを 0（ページリードアクセスおよびページライトアクセスを禁止）にした場合、すべてのバスアクセスはノーマルアクセスを行います。これらのビットを 1（ページリードアクセスおよびページライトアクセスを許可）にした場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。図 15.4～図 15.6 にノーマルアクセスの動作例を示します。

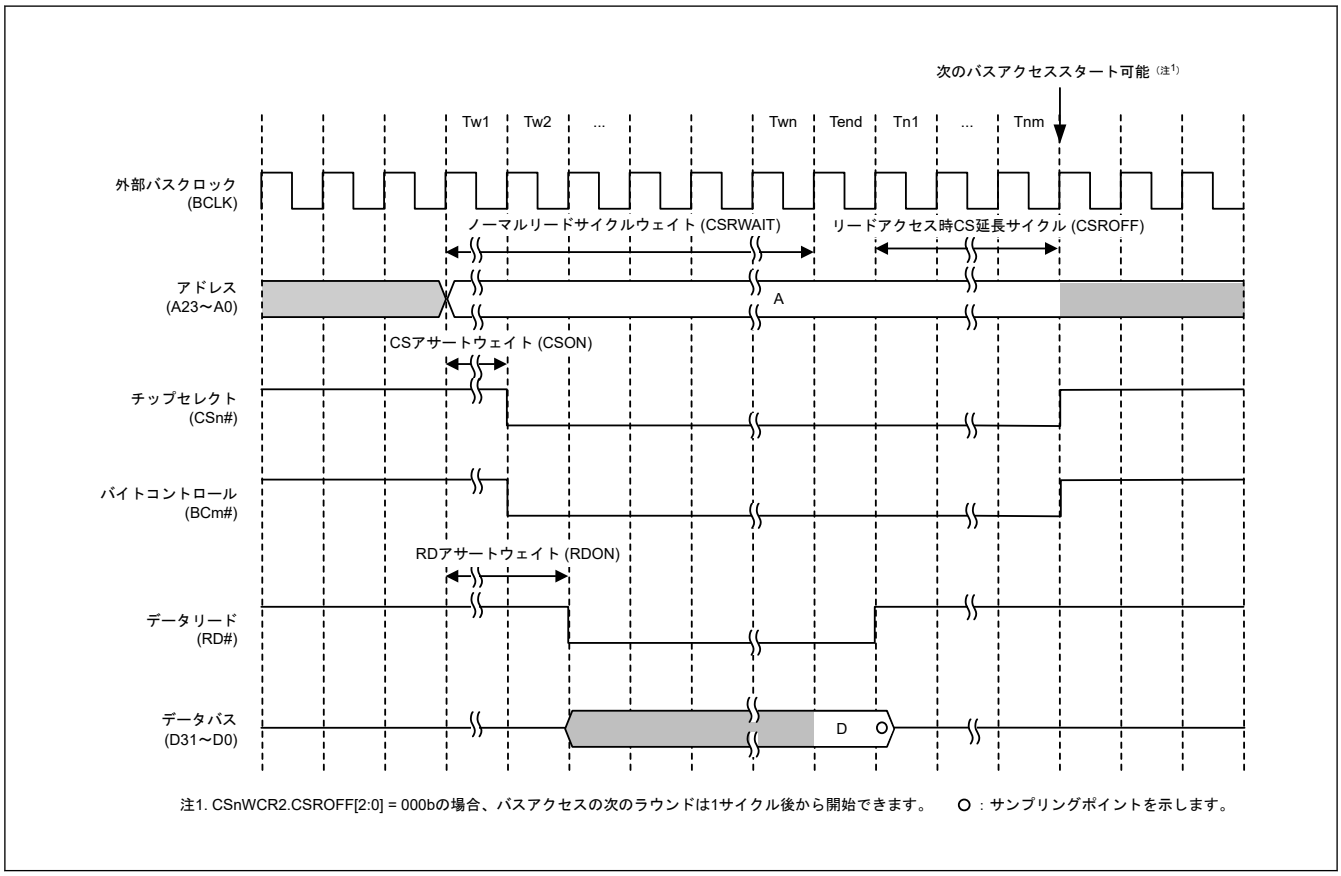


図 15.4 ノーマルリードアクセスのバスタイミング (n = 0～7, m = 0～3)

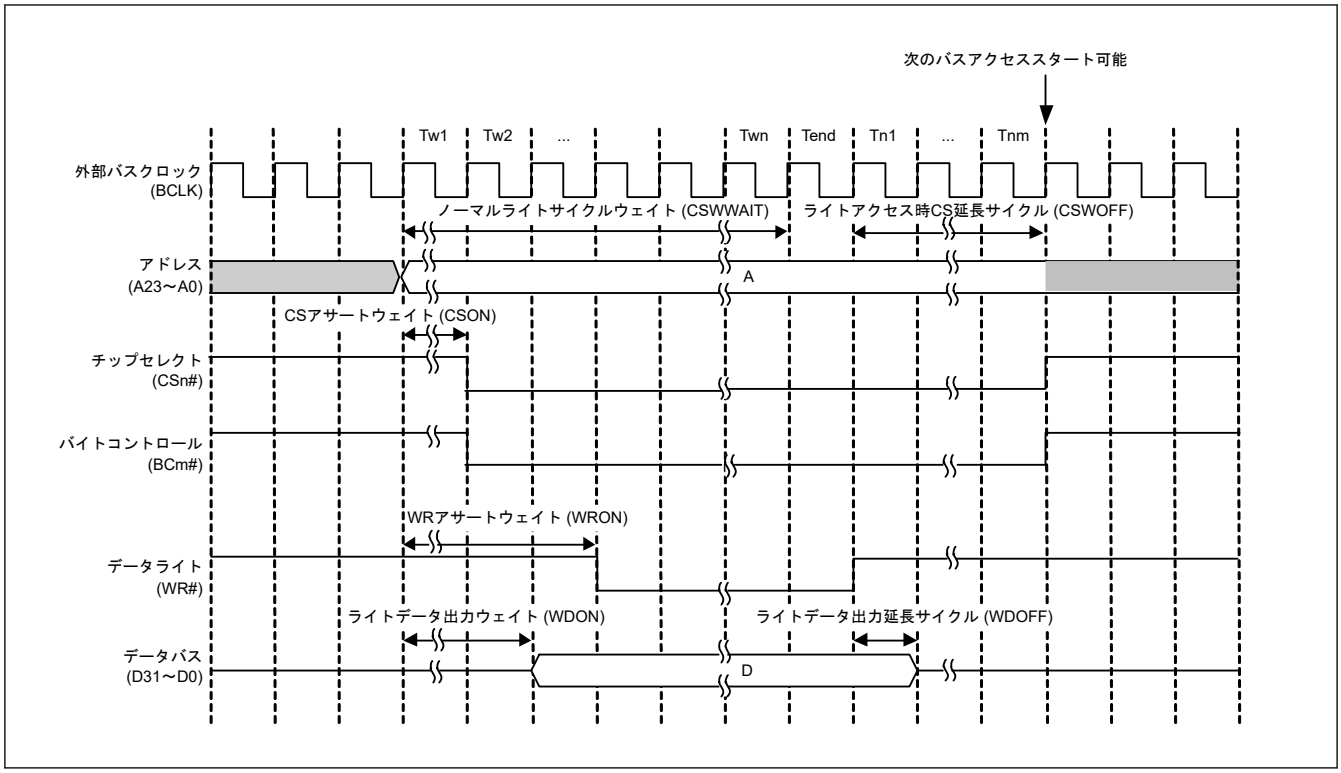


図 15.5　ノーマルライトアクセスのバスタイミング（1 ライトストローブモード） (n = 0～7, m = 0～3)

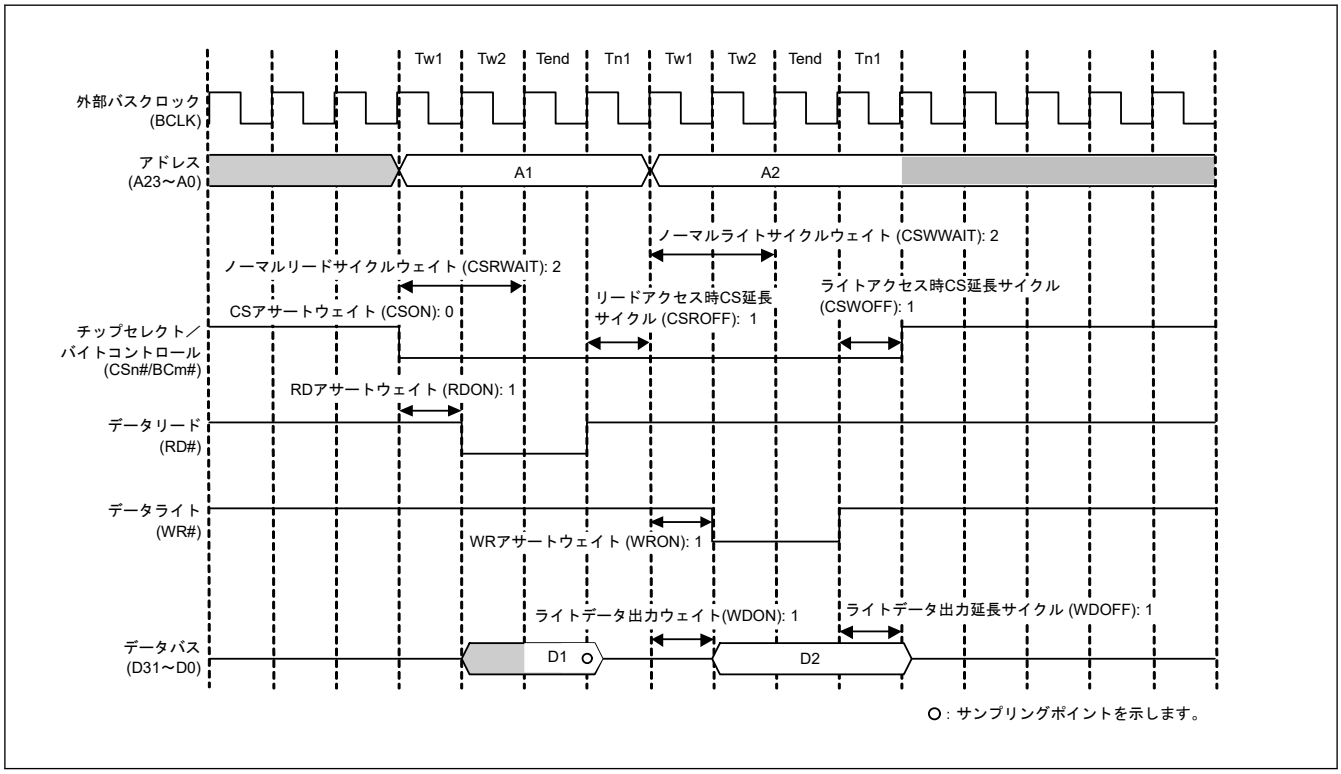


図 15.6　ノーマルアクセスの動作例（読み出し／書き込み） (n = 0～7, m = 0～3)

バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作を繰り返します。Tw1～Twn（ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトのクロックサイクル）～Tdw1～Tdwn（ライトデータ出力延長クロックサイクル）を参照してください。図 15.7 と図 15.8 に、1 転送要求に対して 2 回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2 回目以降の外部バスアクセスにもリカバリサイクル（Tr1～Trn（リカバリサイクル））が挿入されます。図 15.31 を参照してください。

図に示す各ウェイトコントロールレジスタの値は設定例です。アプリケーションにおいては、接続するデバイスの仕様に合わせて適切にレジスタを設定してください。

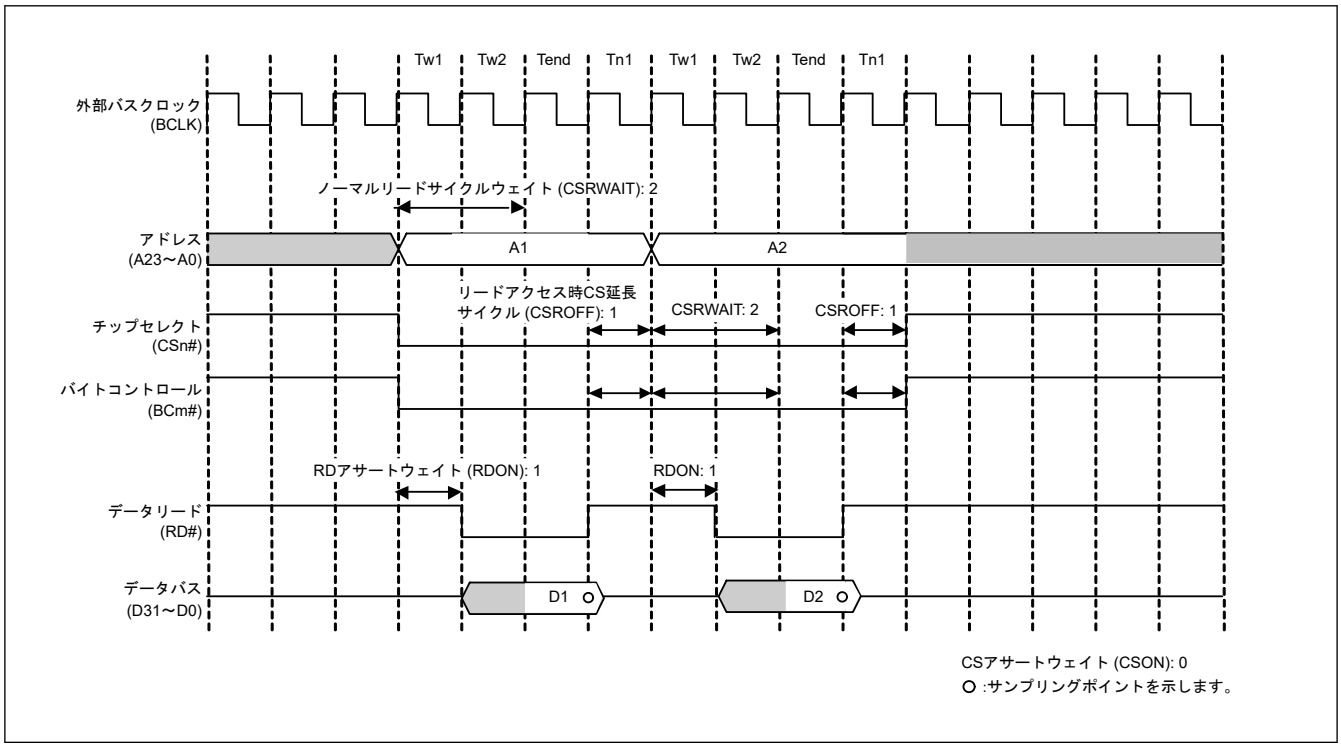


図 15.7　ノーマルリードアクセスの動作例（1 転送要求に対して 2 回バスアクセスが発生する場合） (n = 0～7, m = 0～3)

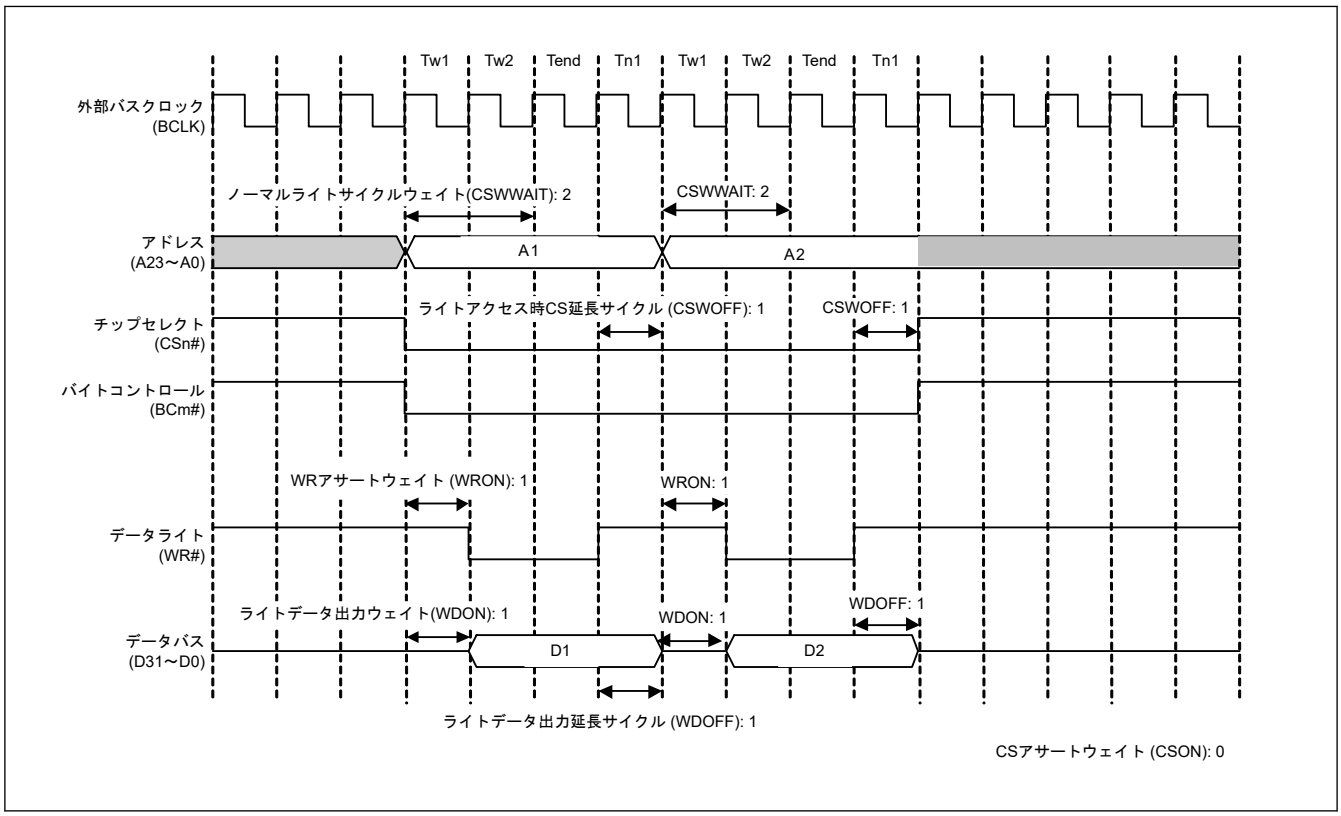


図 15.8　ノーマルライトアクセスの動作例（1 転送要求に対して 2 回バスアクセスが発生する場合、1 ライトストローブモード時） (n = 0～7, m = 0, 1)

図 15.9 と図 15.10 に、32 ビットバス空間に対して 16 ビットアクセスした場合のノーマルリード、ノーマルライトアクセスの動作例を示します。

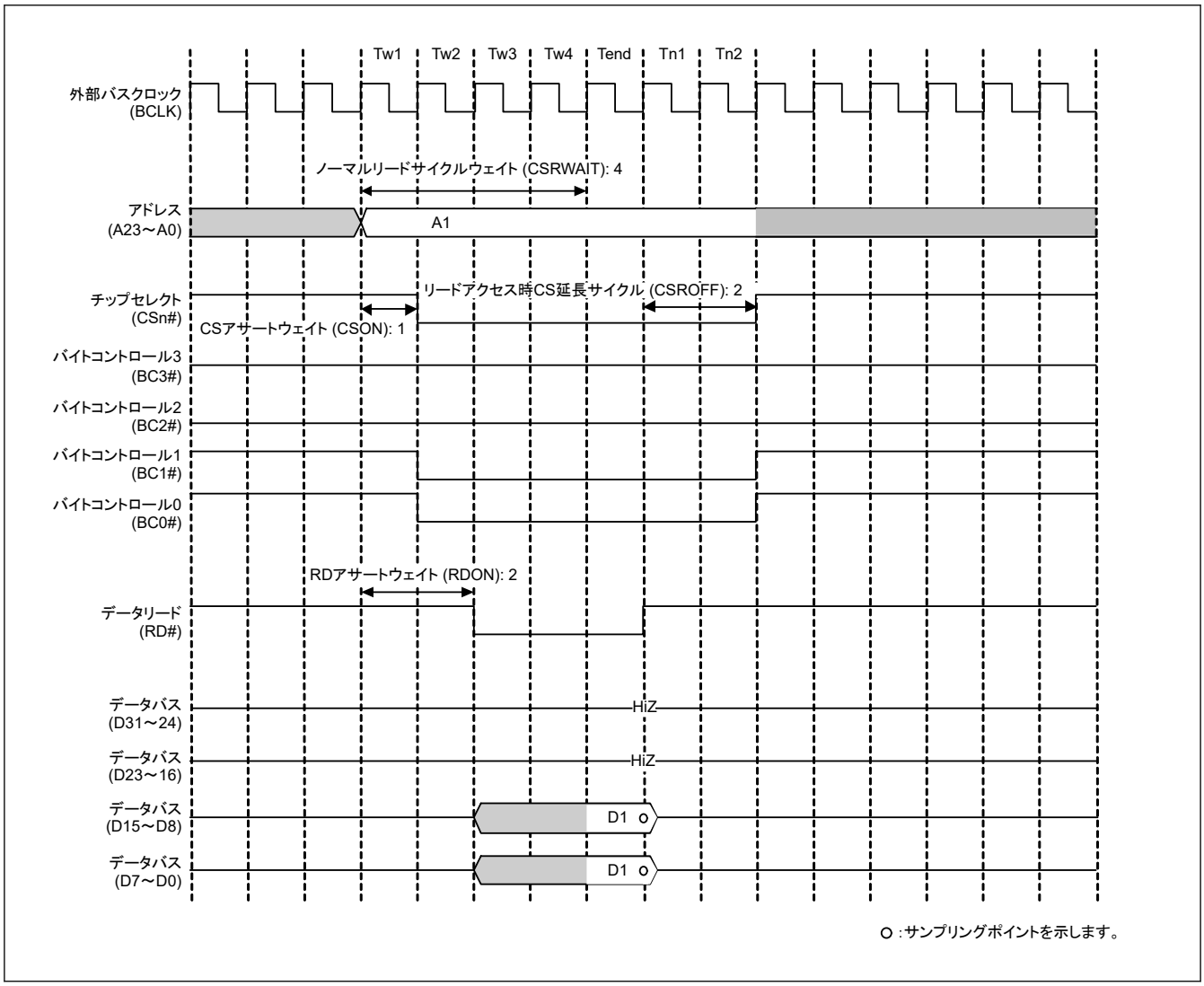


図 15.9　ノーマルリードアクセスの動作例（32 ビットバス空間に対する 16 ビットアクセスの場合） (n = 0～7)

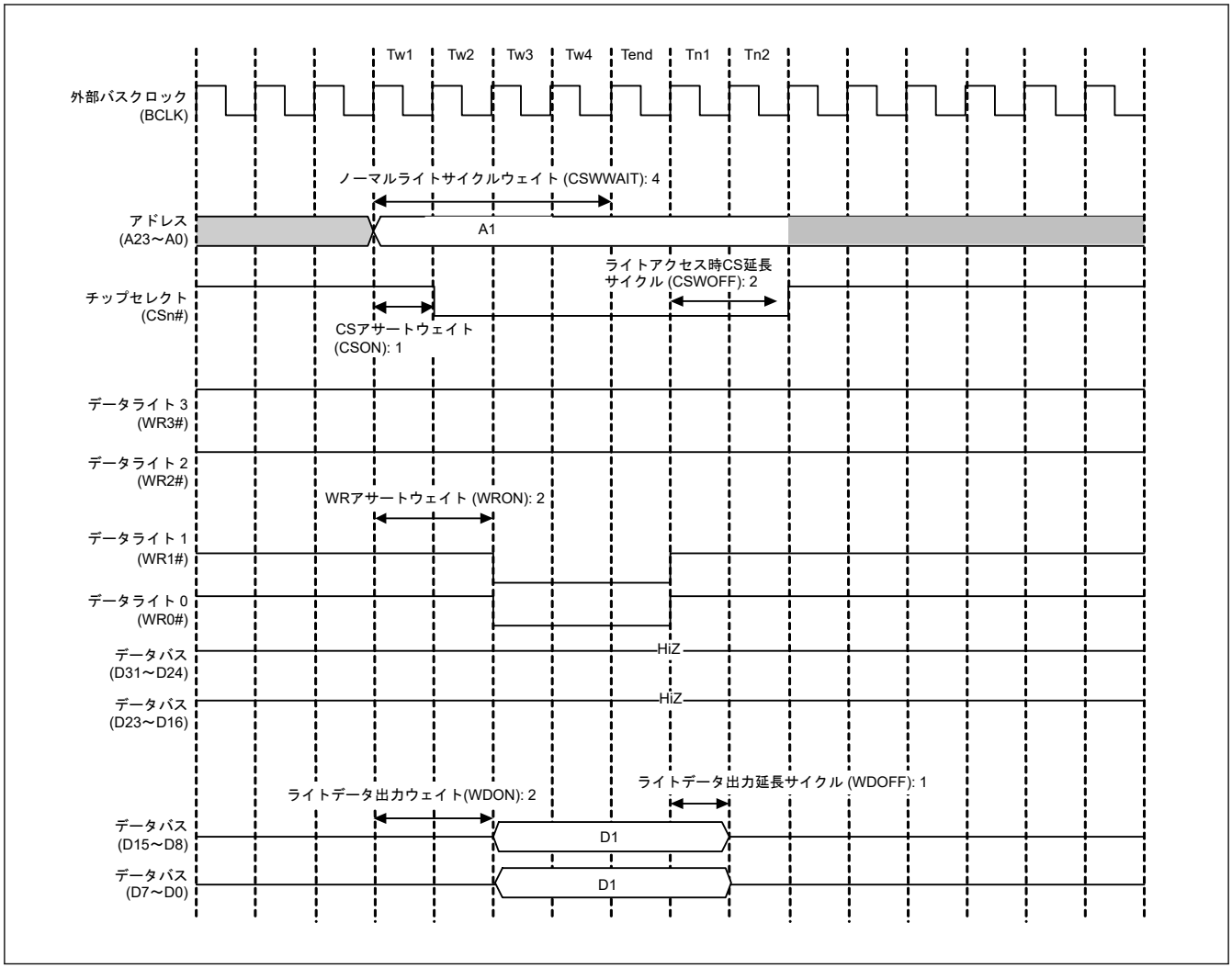


図 15.10　ノーマルライトアクセスの動作例（32 ビットバス空間に対する 16 ビットアクセスの場合、バイトストローブモード時） (n = 0～7)

図 15.11～図 15.15 に、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合のノーマルアクセスの動作例を示します。

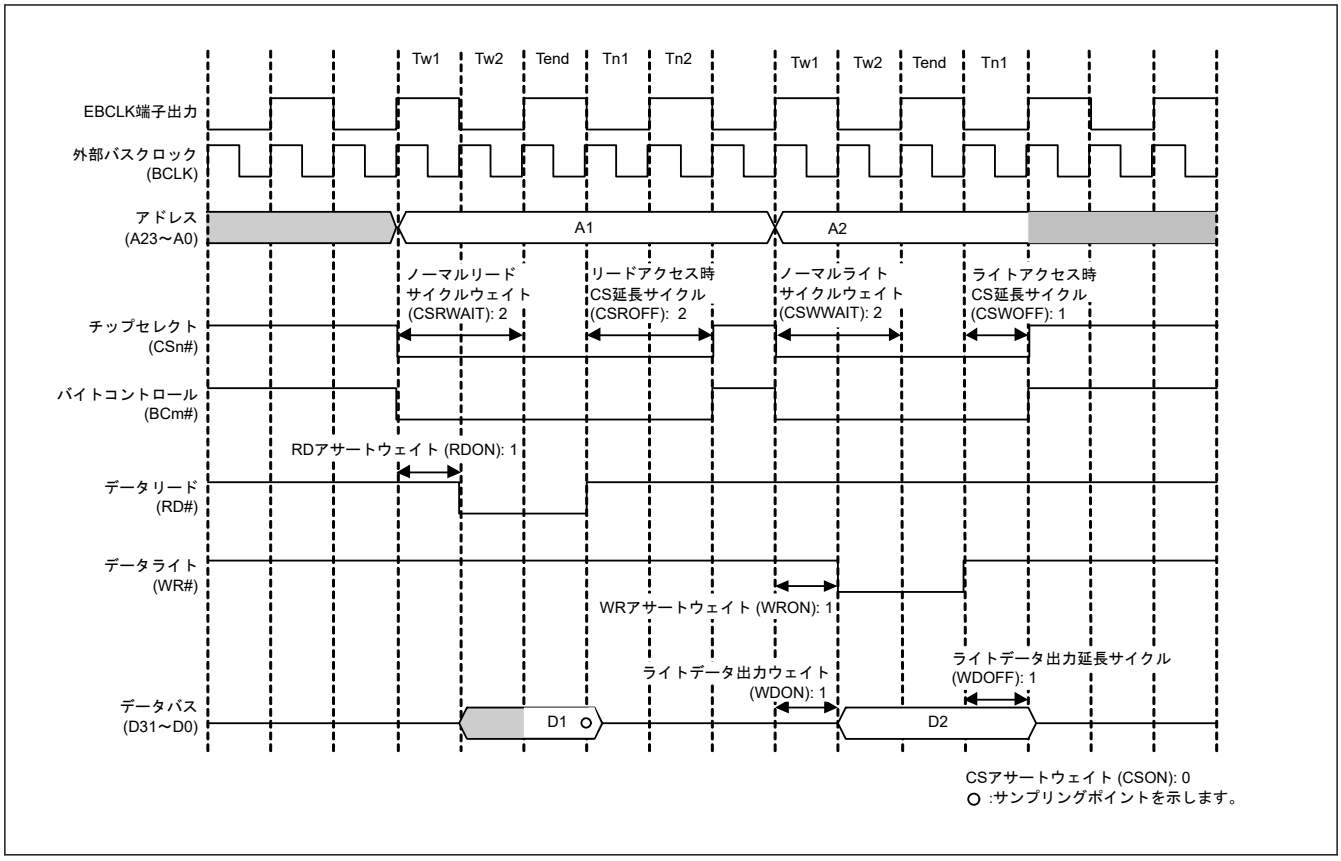


図 15.11　ノーマルアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合） (n = 0～7, m = 0～3)

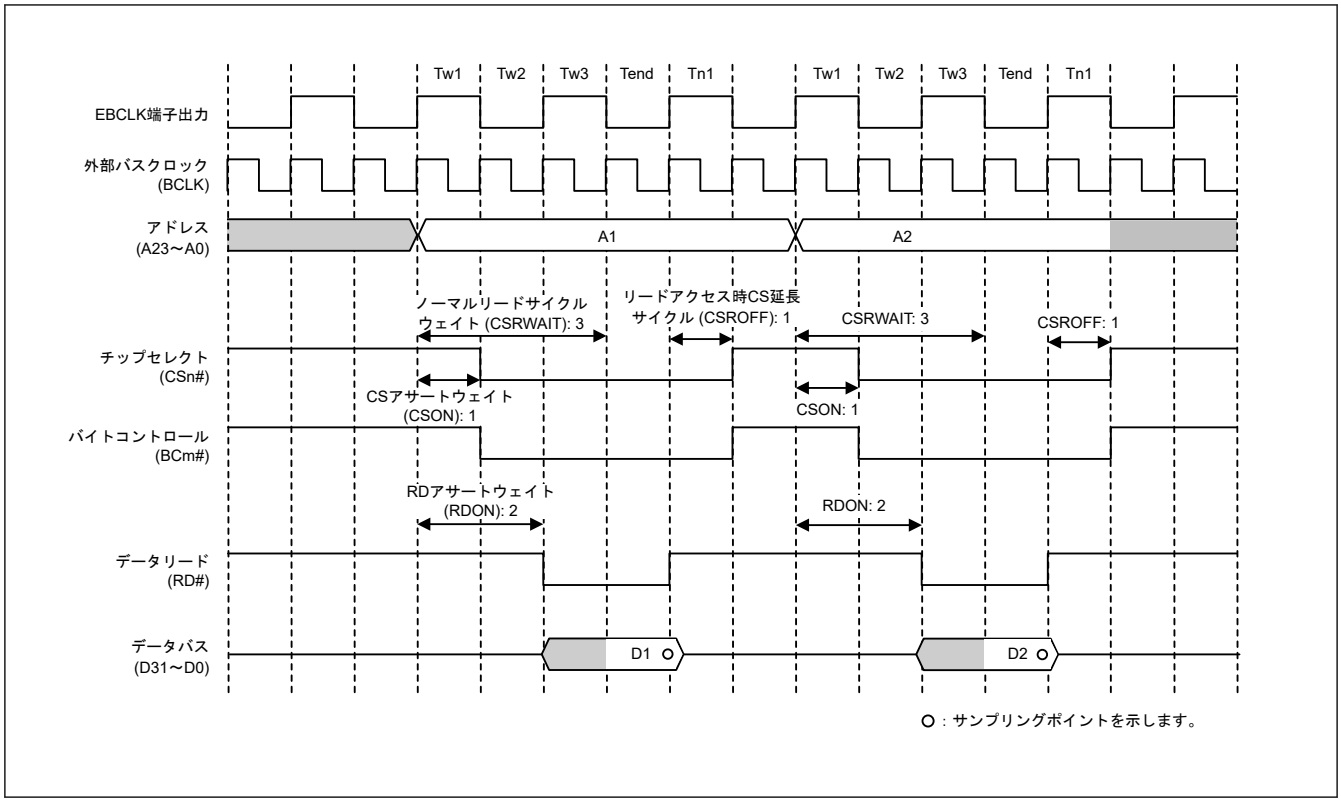


図 15.12　ノーマルリードアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合） (n = 0～7, m = 0～3)

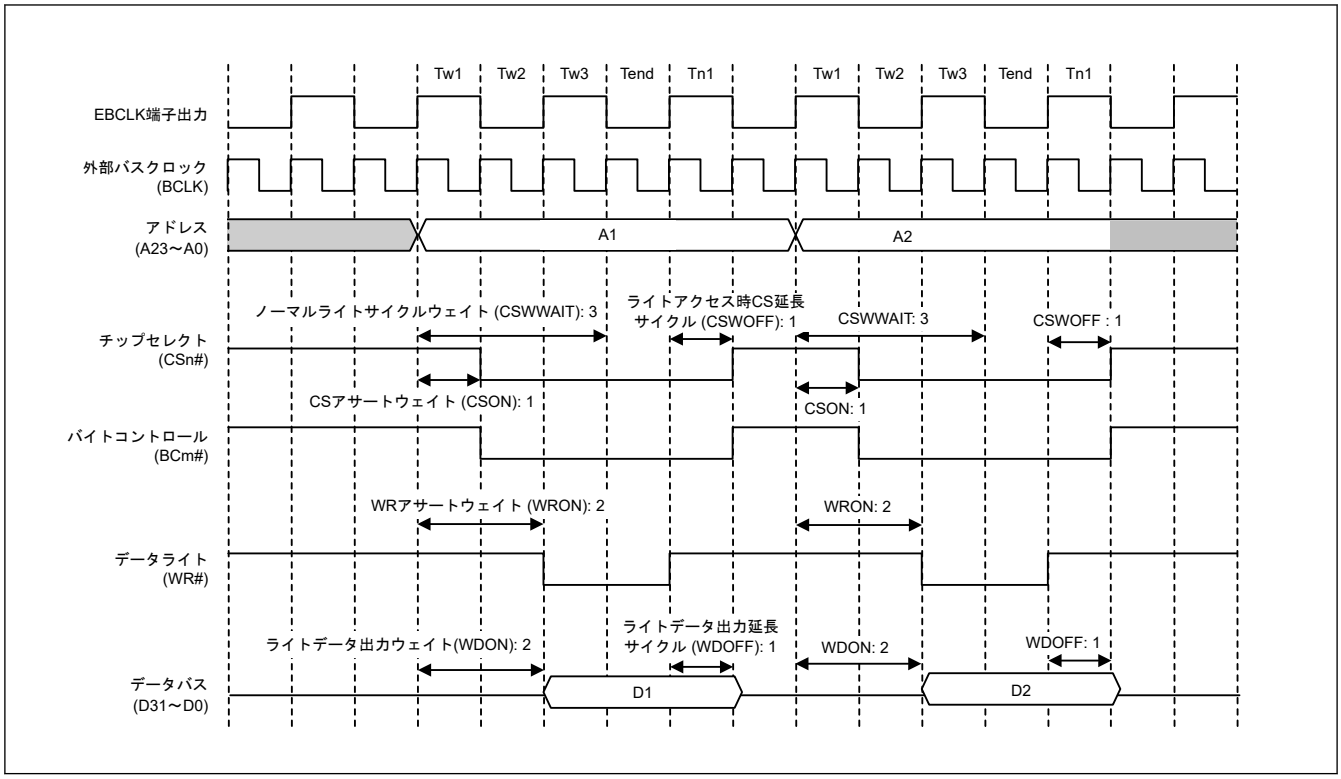


図 15.13　ノーマルライトアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合） (n = 0～7, m = 0～3)

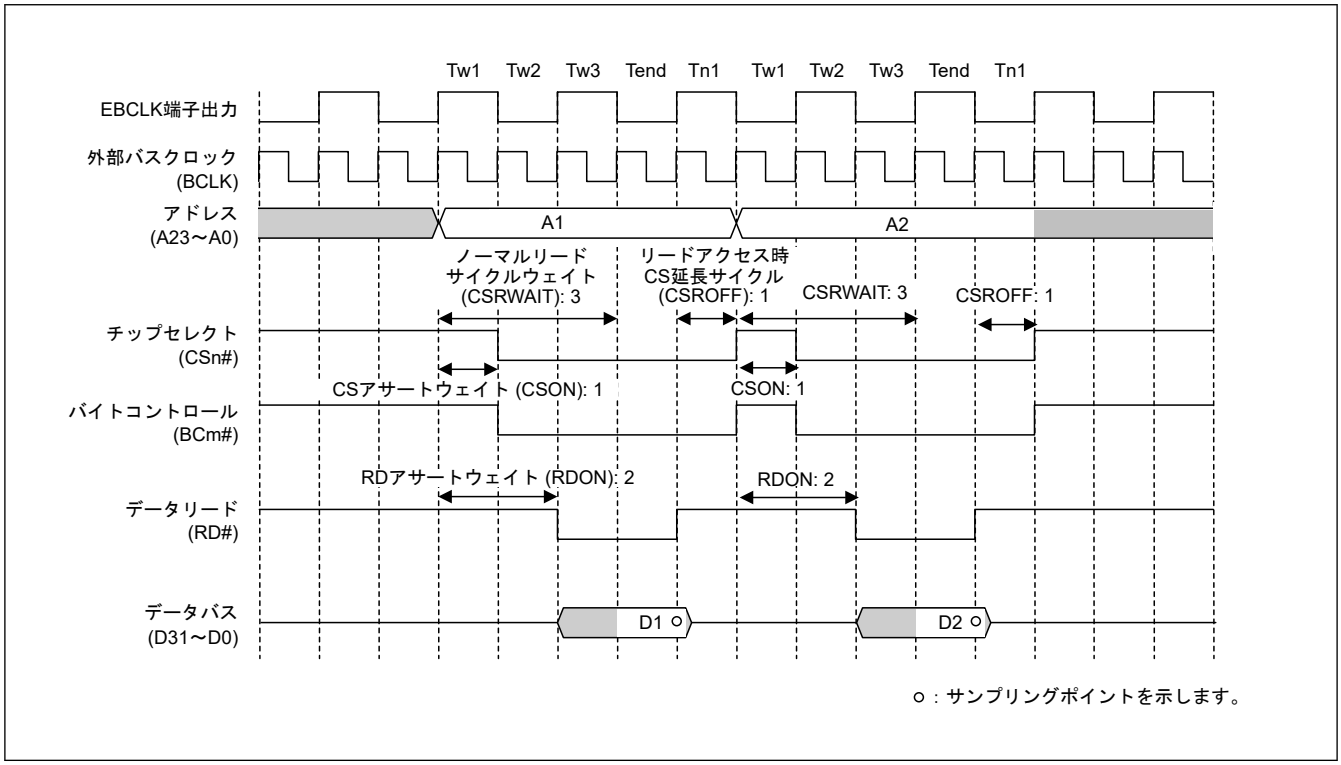


図 15.14　ノーマルリードアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定していて、1 転送要求に対して 2 回バスアクセスが発生する場合） (n = 0～7, m = 0～3)

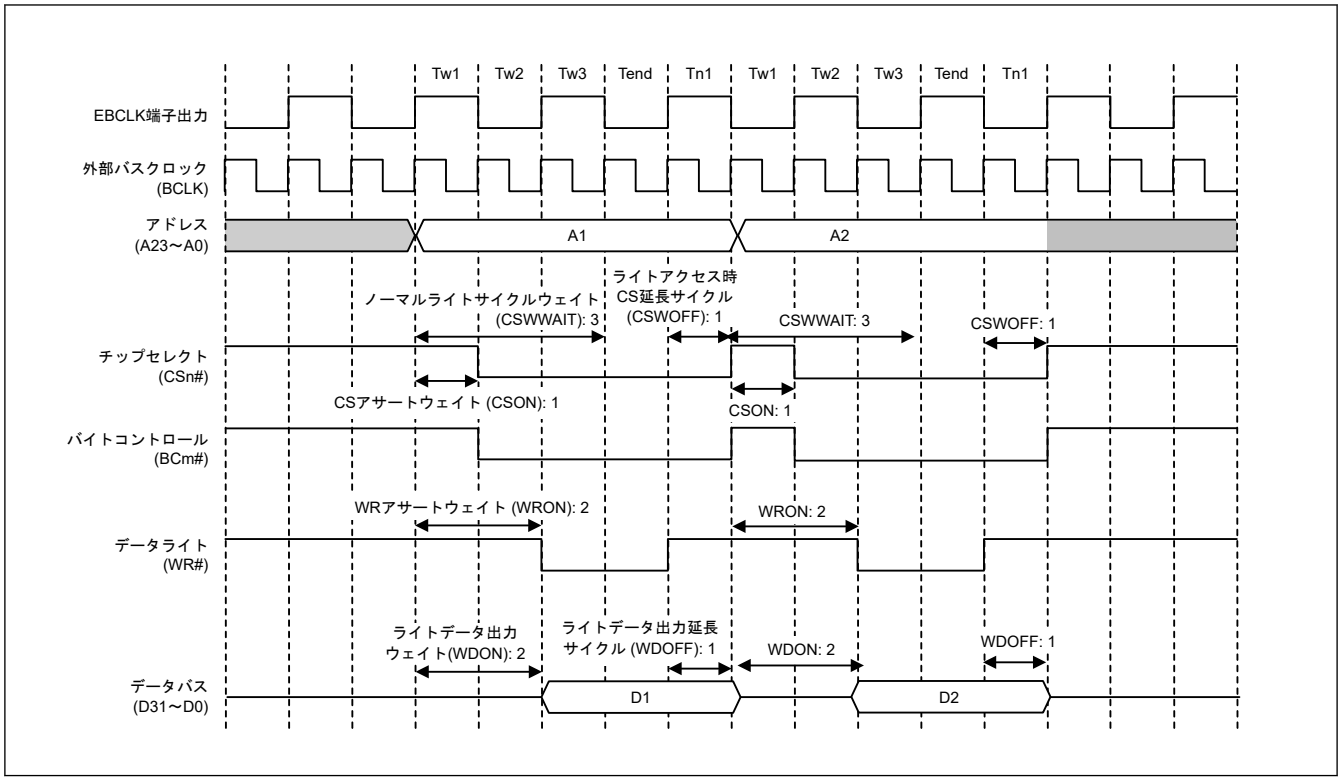


図 15.15　ノーマルライトアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定していて、1 転送要求に対して 2 回バスアクセスが発生する場合） (n = 0～7, m = 0～3)

(2)　ページアクセス

CSnMOD の PRENB ビットを 1（ページリードアクセス許可）、CSnMOD の PWENB ビットを 1（ページライトアクセス許可）に設定した場合、ページアクセスに該当するバスアクセスはページリードおよびページライトとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合に限り、ページアクセスが発生します。ただし、分割されたアクセスが非アラインアクセスになる場合、または 32 ビット境界を越えるアクセスになる場合は、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件については、表 15.18～表 15.21 を参照してください。

図 15.16 と図 15.17 にページアクセスの動作例を示します。

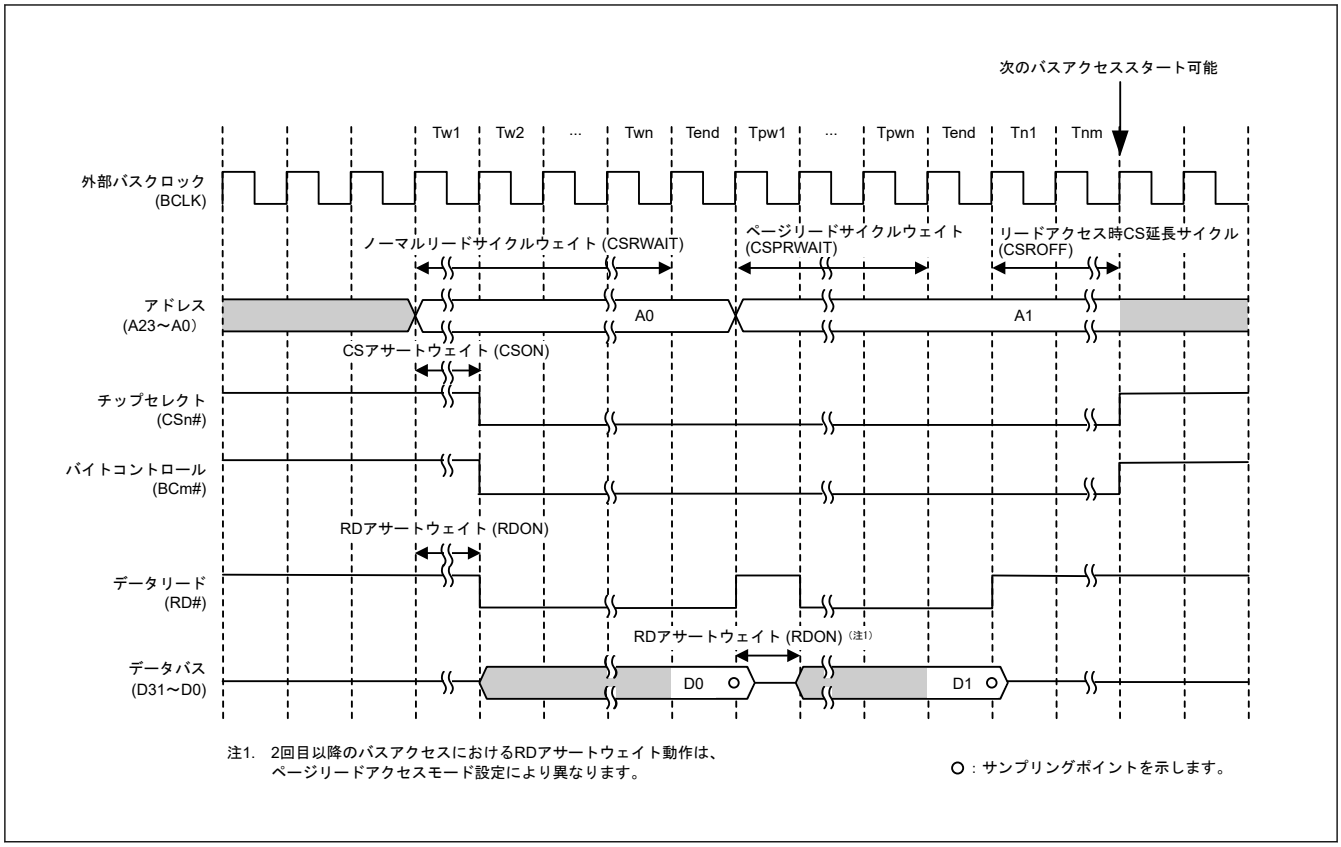


図 15.16　ページリードアクセスのタイミング (n = 0～7, m = 0～3)

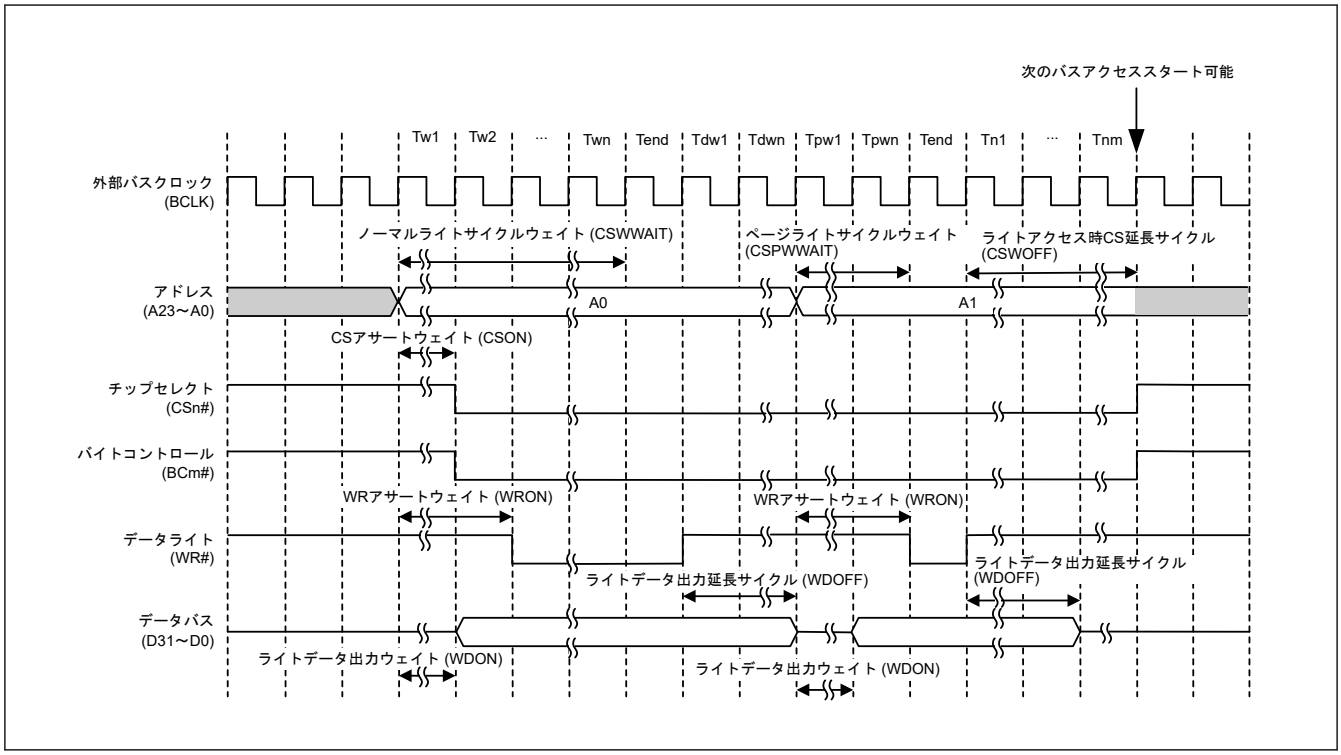


図 15.17　ページライトアクセスのタイミング (n = 0～7, m = 0～3)

図 15.18 と図 15.19 に、16 ビットバス空間に対する 32 ビットアクセスの動作例を示します。図に示す各ウェイトコントロールレジスタの値は設定例です。アプリケーションにおいては、接続するデバイスの仕様に合わせて適切にレジスタを設定してください。

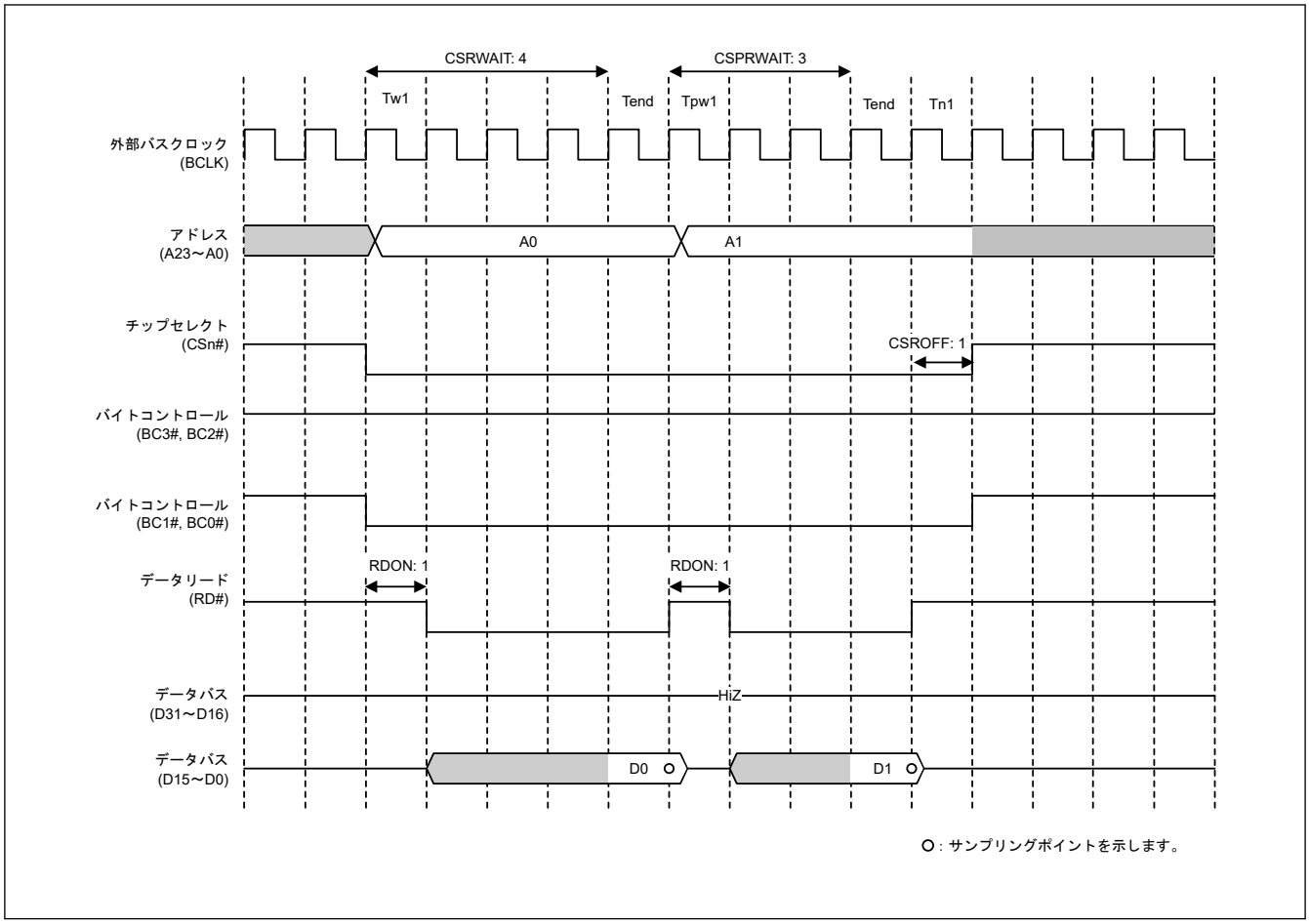


図 15.18　ページリードアクセスの動作例（16 ビットバス空間に対する 32 ビットアクセスの場合） (n = 0～7)

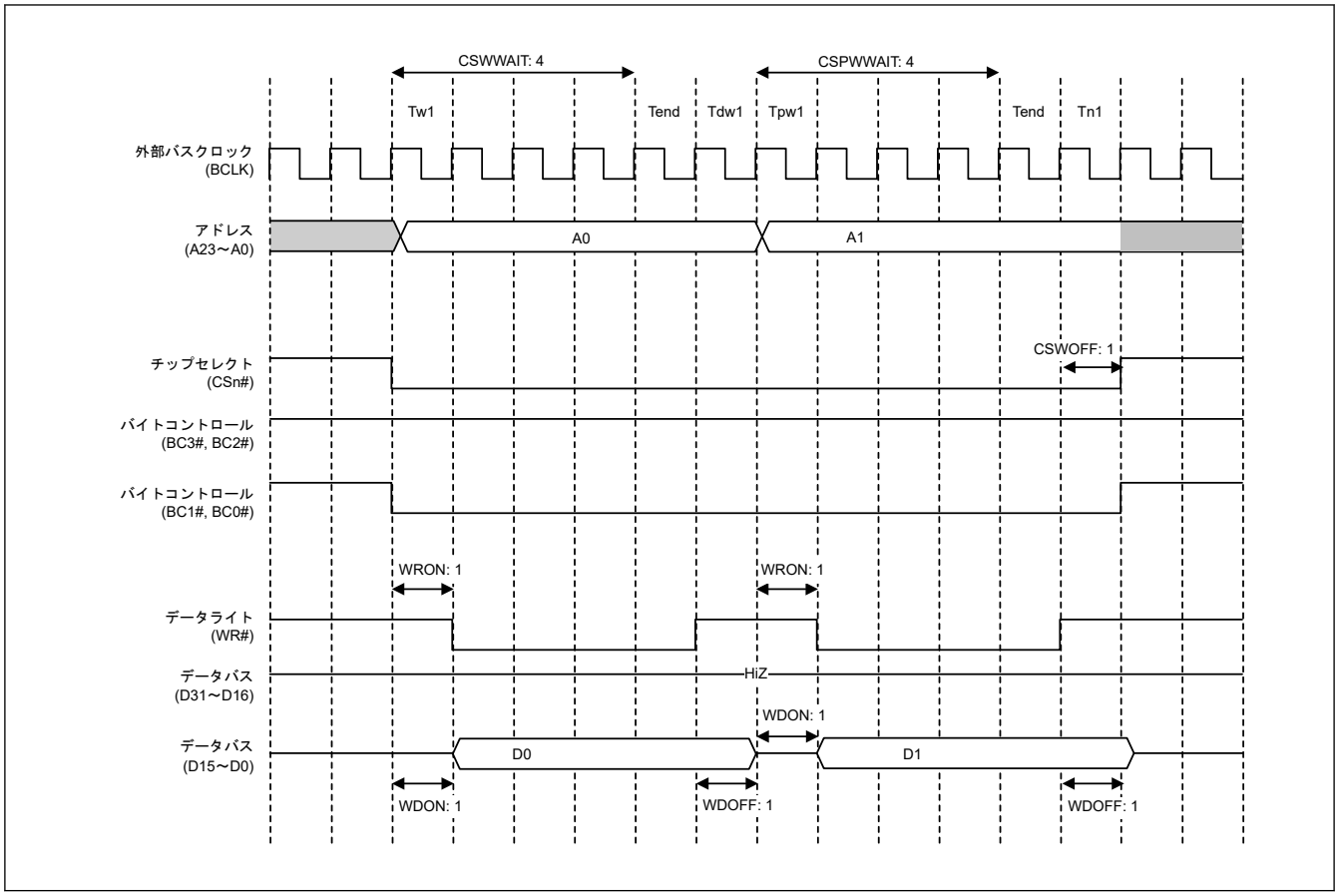


図 15.19　ページライトアクセスの動作例（16 ビットバス空間に対する 32 ビットアクセスの場合、1 ライトストローブモード時）（n = 0～7）

図 15.20 と図 15.21 に、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合のページアクセスの動作例を示します。

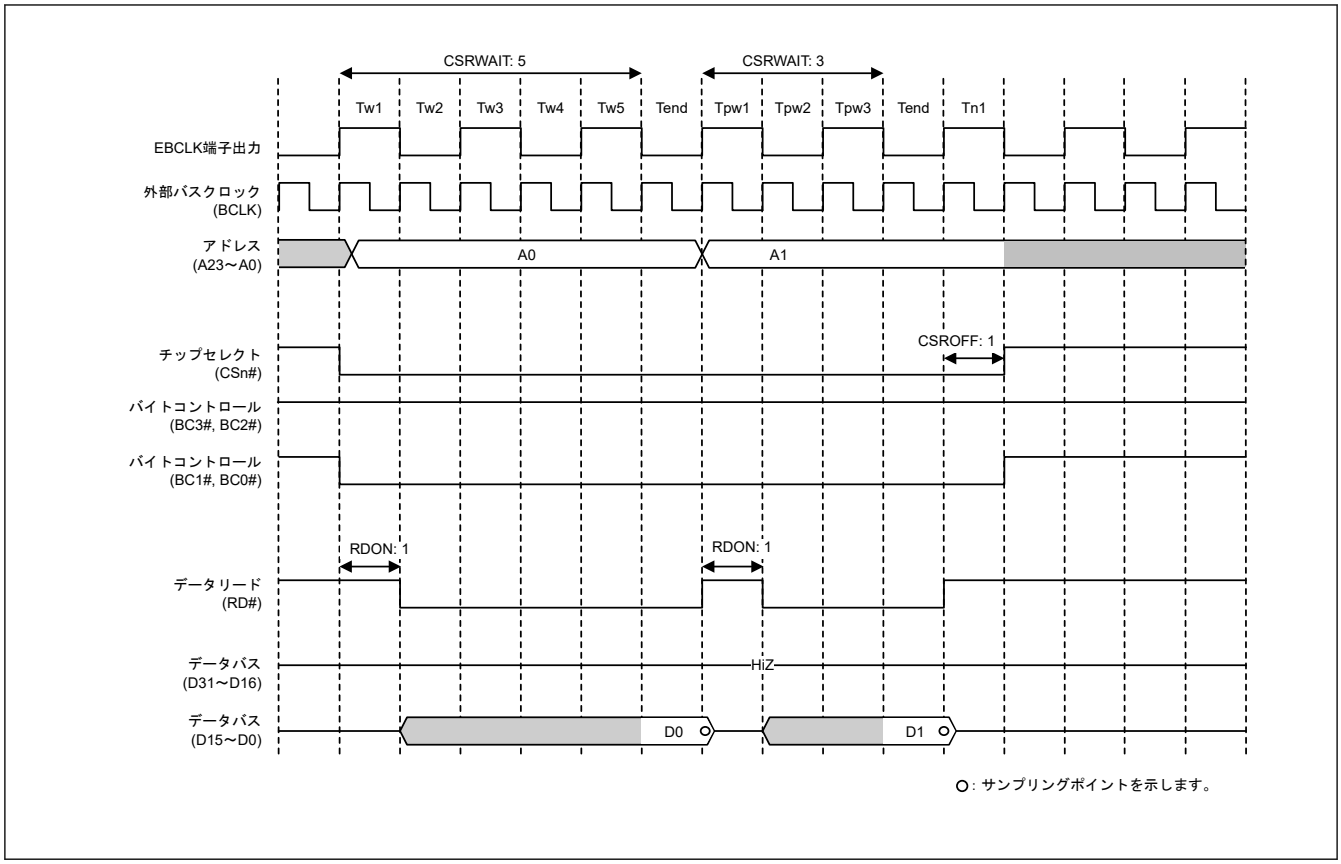


図 15.20　ページリードアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合） (n = 0～7)

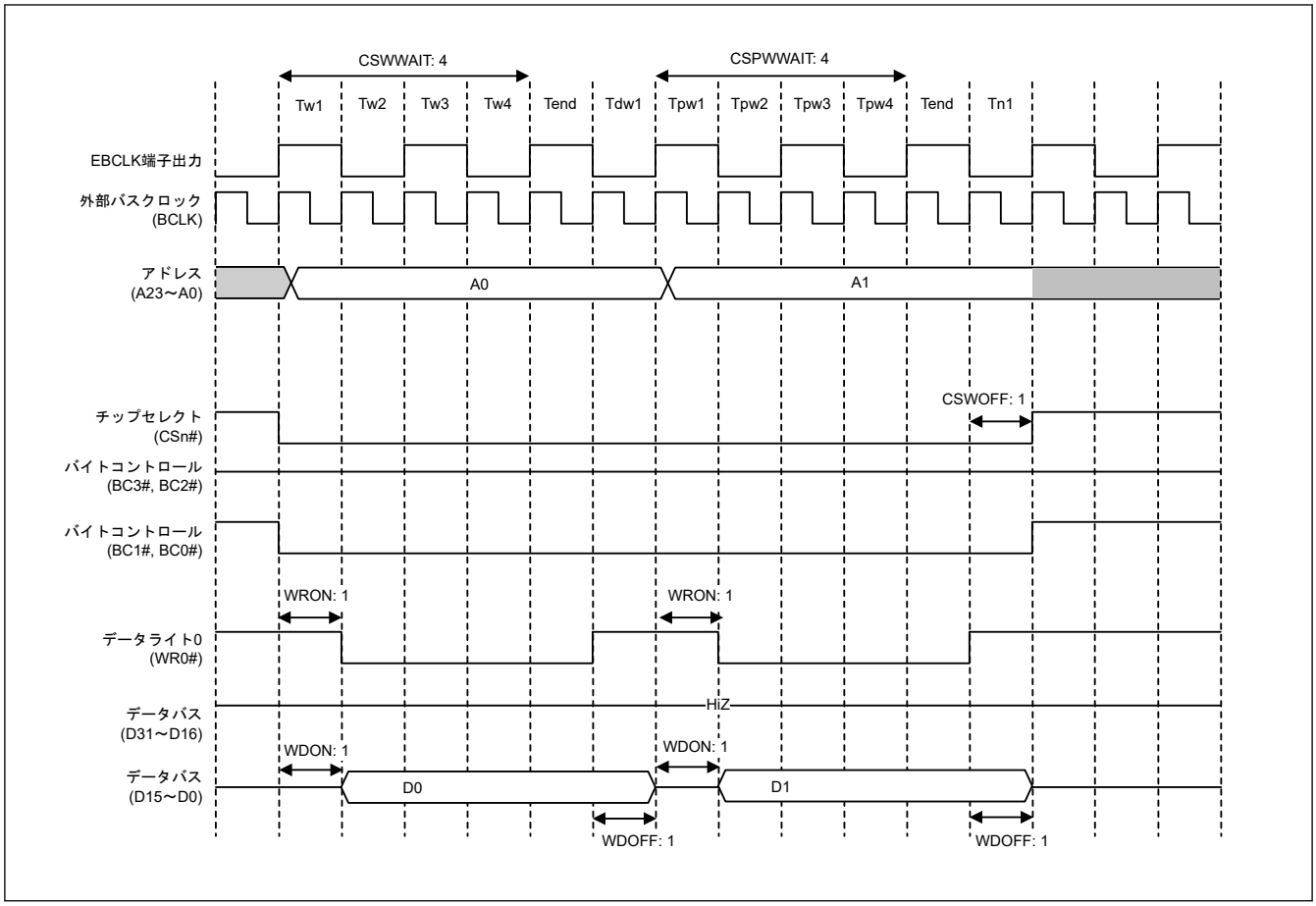


図 15.21　ページライトアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合、1 ライトストローブモード時） (n = 0～7)

15.5.2　アドレス／データマルチプレクスバス

CSnCR レジスタのアドレス／データマルチプレクス I/O インタフェース選択ビット (MPXEN) を 1 にした場合、対応する領域で D15～D00 端子にアドレスとデータをマルチプレクスして入出力することが可能です。これにより、アドレス／データマルチプレクスが必要な MCU の周辺デバイスを本 MCU に直結できます。CSnCR の BSIZE[1:0] ビットで 8 ビット幅を選択した領域では、D7～D00 が A07～A00 とマルチプレクスされます。CSnCR の BSIZE[1:0] ビットで 16 ビット幅を選択した領域では、D15～D00 が A15～A00 とマルチプレクスされます。アドレス／データマルチプレクス I/O 空間では、ALE、RD、WRn、および BCn 信号でアクセスが制御されます。

セパレートバスと同様、バイトストローブモードまたは 1 ライトストローブモードを選択可能です。ただし、アドレスサイクル中の BCn 信号については、読み出し中データまたは書き込み中データに対するバイトコントロール信号が出力されます。

アドレス／データマルチプレクス I/O 空間のアクセスでは、アドレス出力サイクルに CSnWCR2 のアドレスサイクルウェイト選択ビット (AWAIT[1:0]) で指定されたウェイトサイクル数の後に、データのアクセスが行われます。

Ta1～Tan（アドレスサイクルウェイト）

Ta1～Tan 期間はアドレス／データマルチプレクス I/O 空間設定時のみ有効です。この期間は、外部バスアクセスの開始からアドレスラッチ (ALE) 信号がネゲートされる 1 サイクル前までのクロックサイクル数です。サイクル数は 0～3 サイクルの範囲内で選択可能です。ALE 信号がネゲートされた次のサイクルまでアドレスが出力されます（アドレスサイクル）。ALE 信号のアサートタイミングは CS 信号と同じです。アドレスサイクル後はデータサイクルが開始します。アドレスサイクルとデータサイクルが重ならないように、CSnWCR1 と CSnWCR2 レジスタの値を設定してください。

アドレス／データマルチプレクス I/O 空間へのページアクセスは無効です。ページリードまたはページライトアクセスを許可するため、CSnMOD の PRENB ビットまたは PWENB ビットを 1 に設定した場合、これらの設定は無視されノーマルリードまたはノーマルライト動作が実行されます。

図 15.22～図 15.24 に、アドレス／データマルチプレクス I/O インタフェース時の動作例を示します。

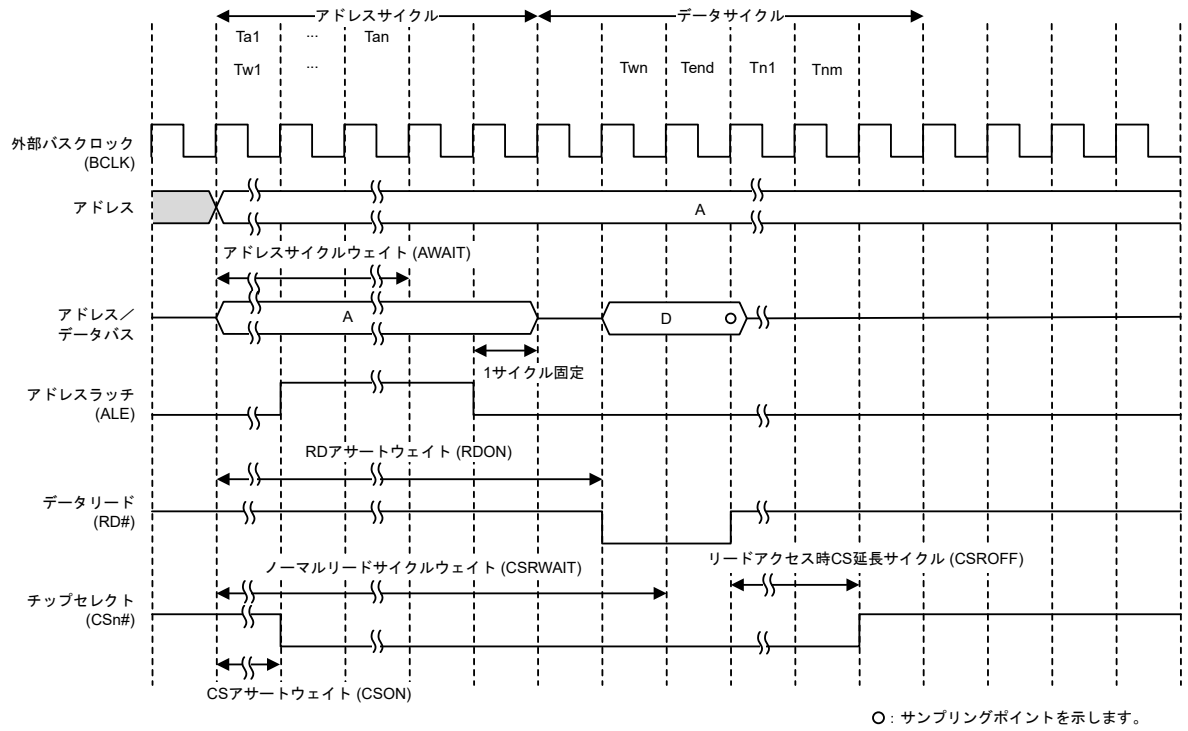


図 15.22　アドレス／データマルチプレクス I/O インタフェース時のリードアクセスの動作例 (n = 0～7)

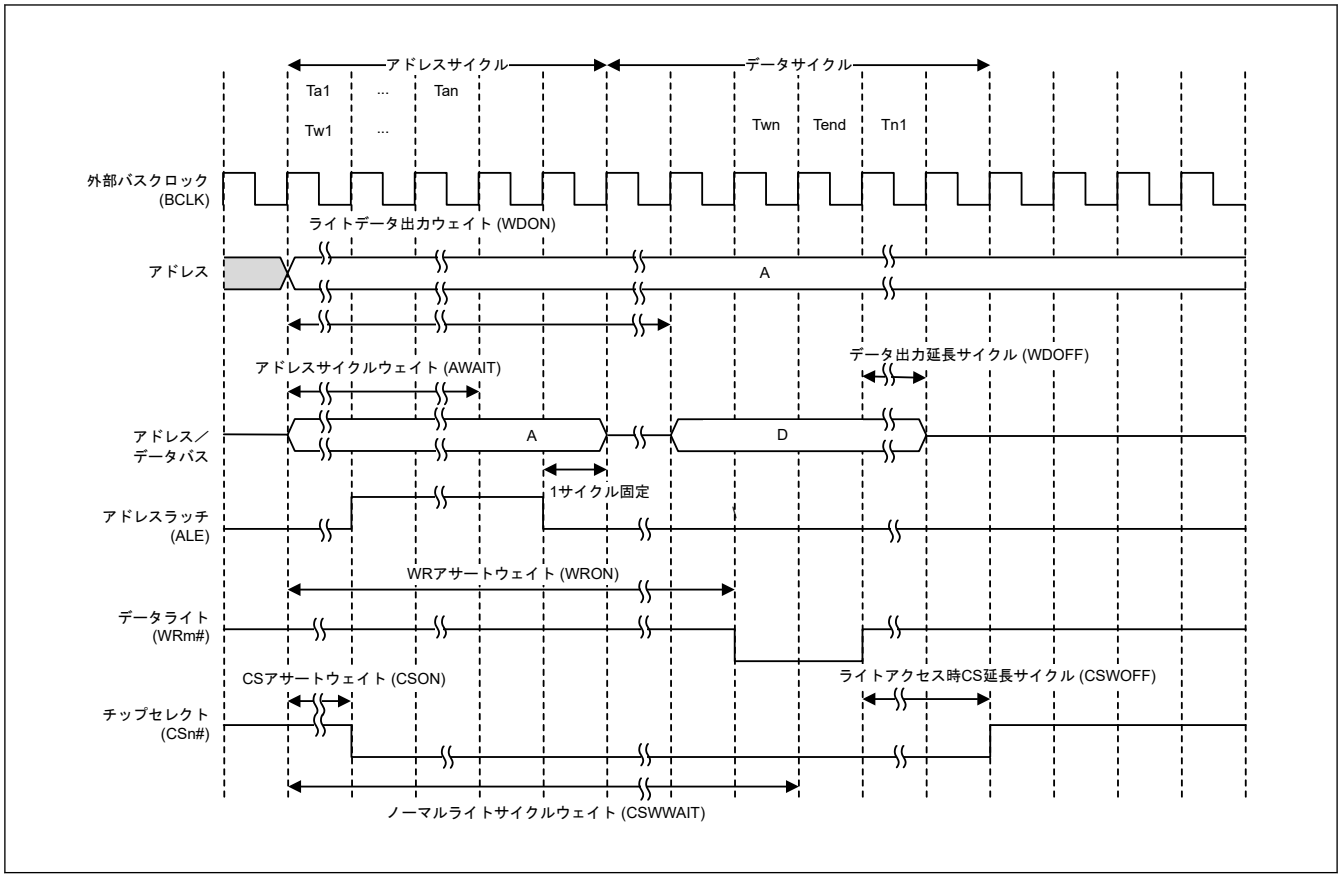


図 15.23　アドレス／データマルチプレクス I/O インタフェース時のライトアクセスの動作例 (n = 0～7, m = 0, 1)

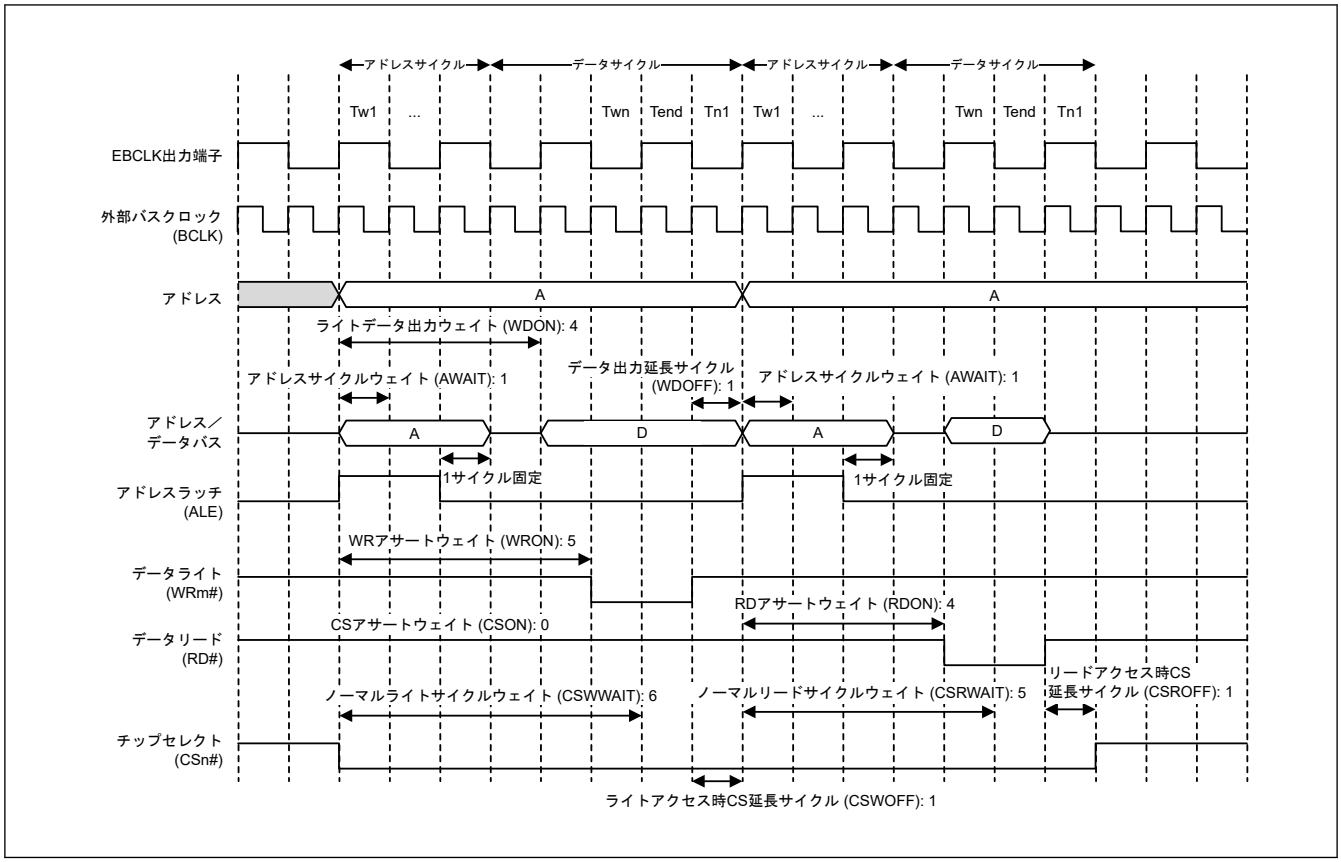


図 15.24　アドレス／データマルチプレクス I/O インタフェース時のバスタイミング例 (n = 0～7, m = 0, 1)

15.5.3 外部ウェイト機能

WAIT 信号により、CSn ウェイトコントロールレジスタ 1 (CSnWCR1) で設定したノーマルアクセスサイクルウェイト長（CSRWAIT[4:0] ビットおよび CSWWAIT[4:0] ビット）や、ページアクセスサイクルウェイト長（CSPRWAIT[2:0] ビットおよび CSPWWAIT[2:0] ビット）を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可（CSnMOD の EWENB ビット = 1）にすると、WAIT 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止（CSnMOD の EWENB ビット = 0）であれば WAIT 信号は無効です。なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT 信号にかかわらず挿入されます。

(1) ノーマルアクセス

CSnWCR1 レジスタで設定したウェイトサイクル数が完了した時点 (Tend) から WAIT 信号がサンプリングされます。WAIT 信号が Low の間、バスサイクルが延長されます。WAIT 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

(2) ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。CSnWCR1 レジスタで設定したウェイトサイクル数が完了した時点 (Tend) から WAIT 信号がサンプリングされます。WAIT 信号が Low の間、バスサイクルが延長されます。WAIT 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 番目以降のアクセスに対しては、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT 信号がサンプリングされます。WAIT 信号が Low の間、ページアクセスのウェイトサイクルが延長され、WAIT 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

図 15.25～図 15.28 に、セパレートバスインタフェース時の外部ウェイトの挿入タイミング例を示します。

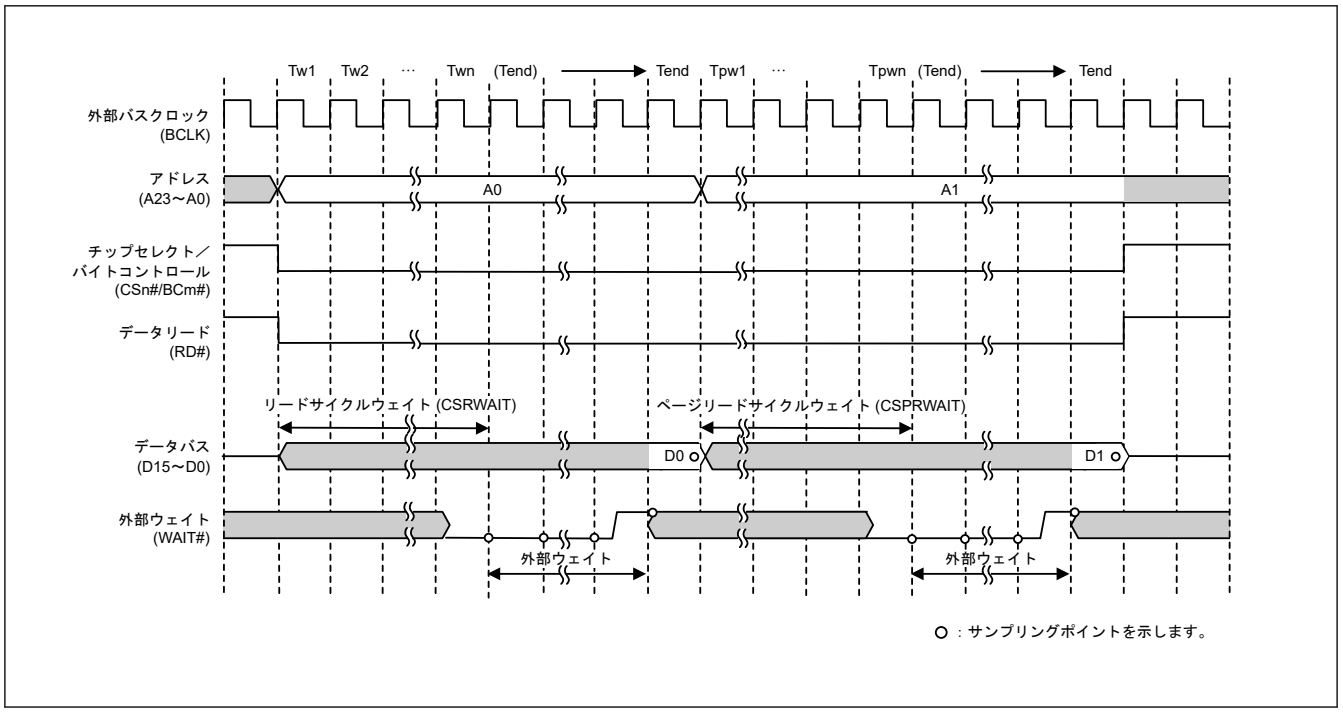


図 15.25 外部ウェイトタイミング例（16 ビットバス空間に対するページリードアクセス、BCLK 端子出力選択ビットで BCLK の 1 分周を選択した場合） (n = 0～7, m = 0, 1)

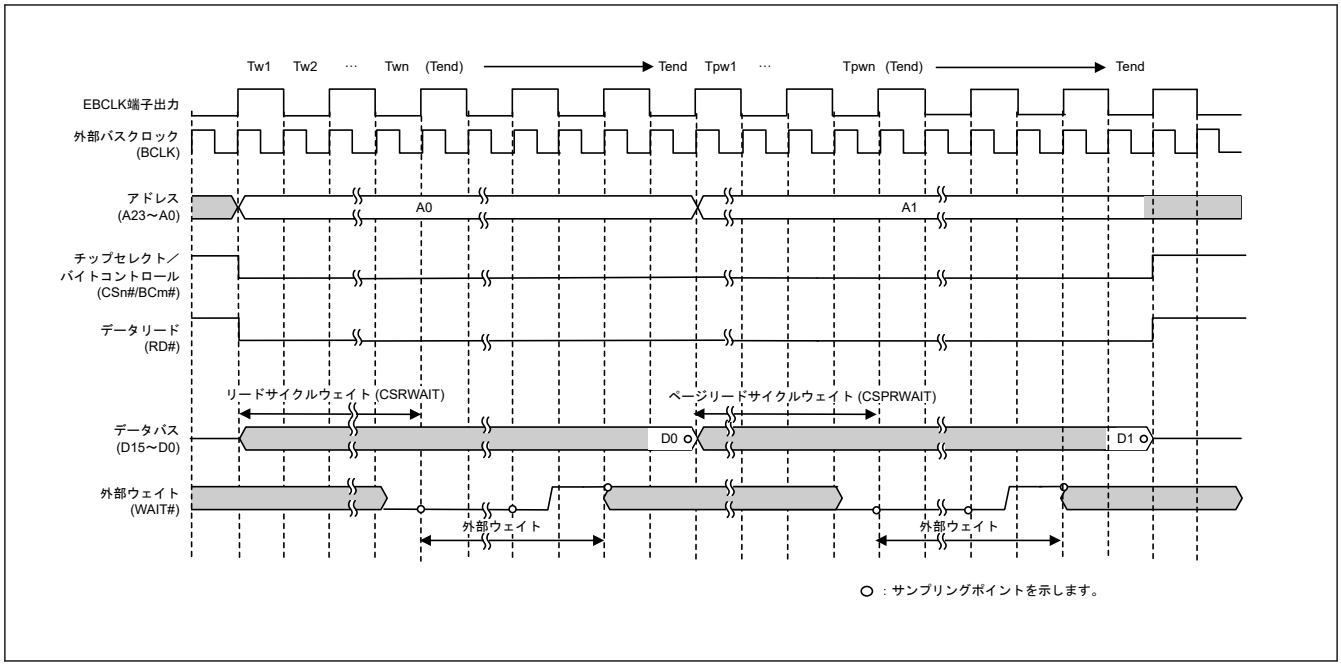


図 15.26　外部ウェイトタイミング例（16 ビットバス空間に対するページリードアクセス、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合） (n = 0～7, m = 0, 1)

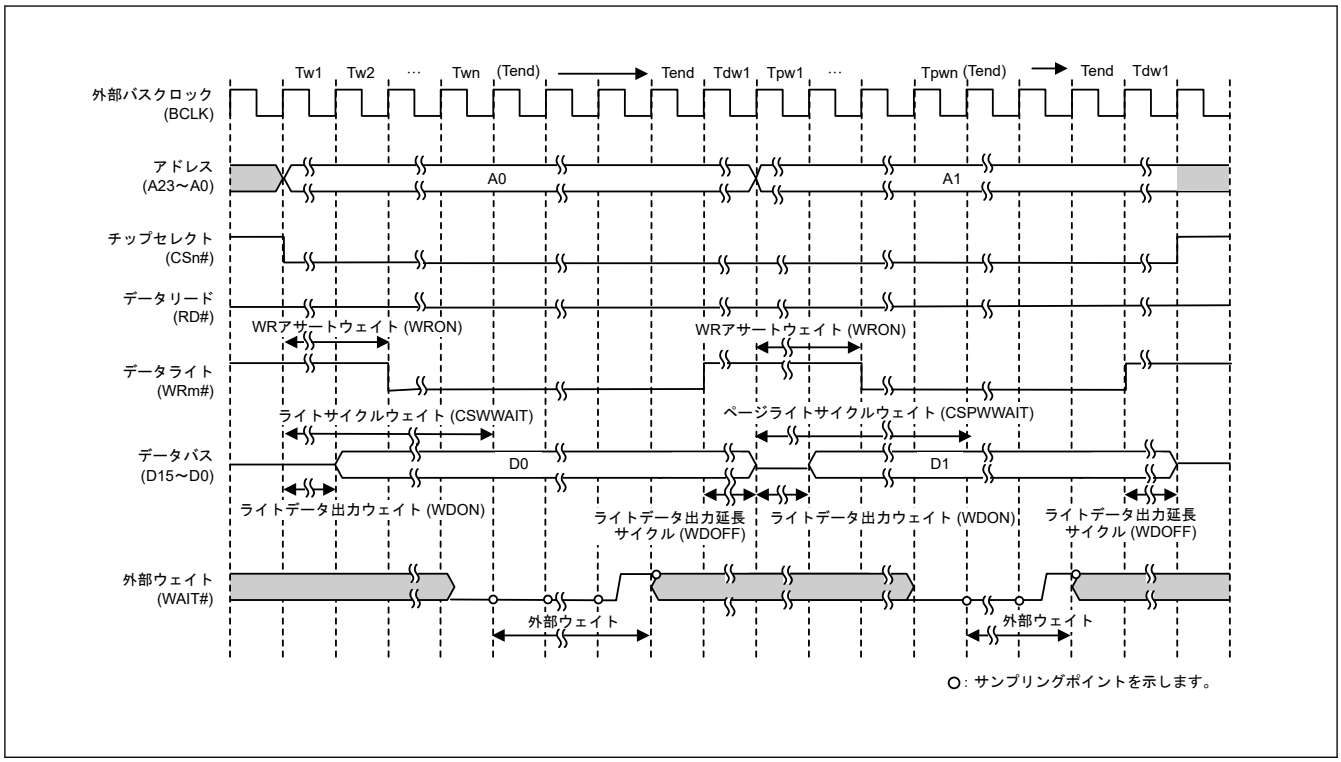


図 15.27　外部ウェイトタイミング例（バイトストローブモード時の 16 ビットバス空間に対するページライトアクセス、BCLK 端子出力選択ビットで BCLK の 1 分周を選択した場合） (n = 0～7, m = 0, 1)

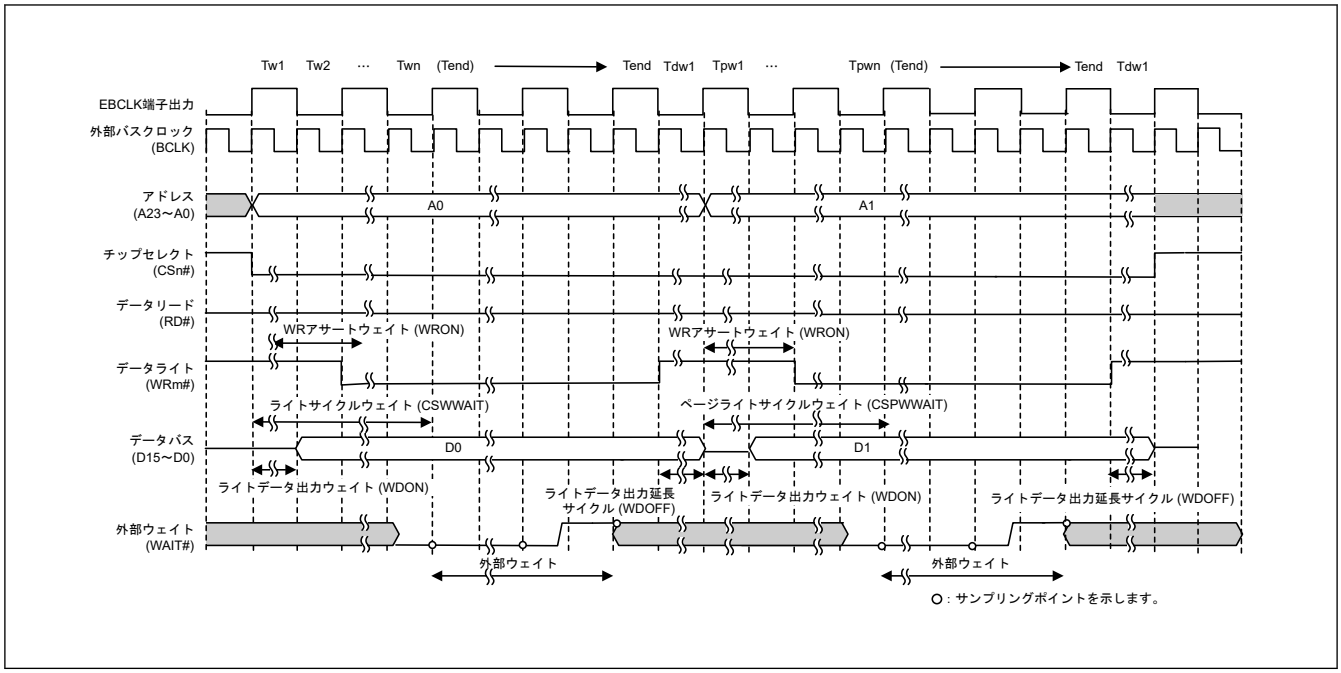


図 15.28　外部ウェイトタイミング例（バイトストローブモード時の 16 ビットバス空間に対するページライトアクセス、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合）(n = 0～7, m = 0, 1)

(3)　アドレス／データマルチプレクス I/O インタフェース

アドレス／データマルチプレクス I/O インタフェースのデータサイクルには、セパレートバスインタフェースと同様にプログラムウェイトの挿入、WAIT 端子による端子ウェイトの挿入が可能です。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。図 15.29 に、アドレス／データマルチプレクス I/O インタフェース時の外部ウェイト挿入のタイミング例を示します。

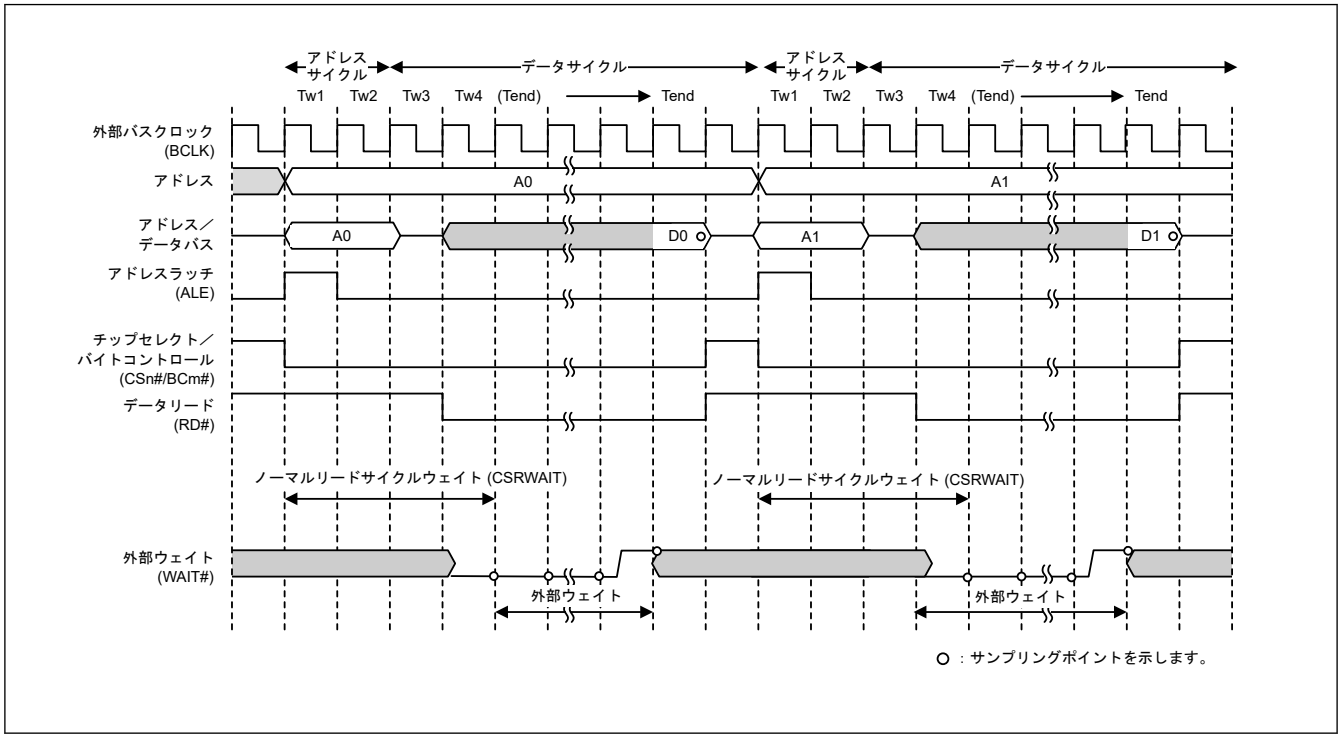


図 15.29　アドレス／データマルチプレクス I/O インタフェース時の外部ウェイト挿入のタイミング例 (n = 0～7, m = 0, 1)

15.5.4 リカバリサイクルの挿入

CSRECEN レジスタのリカバリサイクル挿入許可ビットを 1 にすることにより、連続する外部バスアクセスの間にリカバリサイクルを挿入できます。

リードサイクル後とライトサイクル後に挿入するリカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) で各領域に対し個別に設定可能です。前バスサイクルがライトアクセスの場合、対応する領域のライトリカバリサイクル設定ビット (WRCV[3:0]) で、ライトリカバリサイクル数を設定する必要があります。前バスサイクルがリードアクセスの場合、対応する領域のリードリカバリサイクル設定ビット (RRCV[3:0]) で、リードリカバリサイクル数を設定する必要があります。たとえば、CS0 リードアクセス後に CS1 リードアクセスがある場合、この間に挿入するリカバリサイクル数は、CS0REC の RRCV[3:0] ビットで設定されます。

リカバリサイクル挿入の可否は、前バスアクセスがセパレートバスアクセスの場合は CSRECEN の RCVENi ビット (i = 0～7) で設定し、前バスアクセスがアドレス／データマルチプレクスバスアクセスの場合は RCVENMj ビット (j = 0～7) で設定できます。

リカバリサイクルの挿入可能な条件は、以下のいずれかです。

- 外部バスにリードアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにライトアクセスする場合
- 外部バスにライトアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにライトアクセスする場合

リカバリサイクルの起点は、前バスサイクルの終了時点（たとえば、CSn 信号 (n = 0～7) のネゲート時点）です。この時点から始まって、設定したリカバリサイクル期間に CSn 信号の High 期間が挿入されます。

最短では、リカバリサイクルの終了直後に、次のバスアクセスの CSn 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可 (CSnMOD.PRENB = 1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = 1) に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみ、リカバリサイクルが挿入されます。図 15.33 を参照してください。

同様に、ページアクセス許可設定時にノーマルアクセスとなる場合も、途中のバスアクセスにリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみ、リカバリサイクルが挿入されます。アドレス／データマルチプレクス I/O インタフェース時は、ページアクセス許可設定にかかわらず、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。

図 15.30～図 15.33 に、セパレートバスインタフェース時のリカバリサイクルの挿入例を示します。

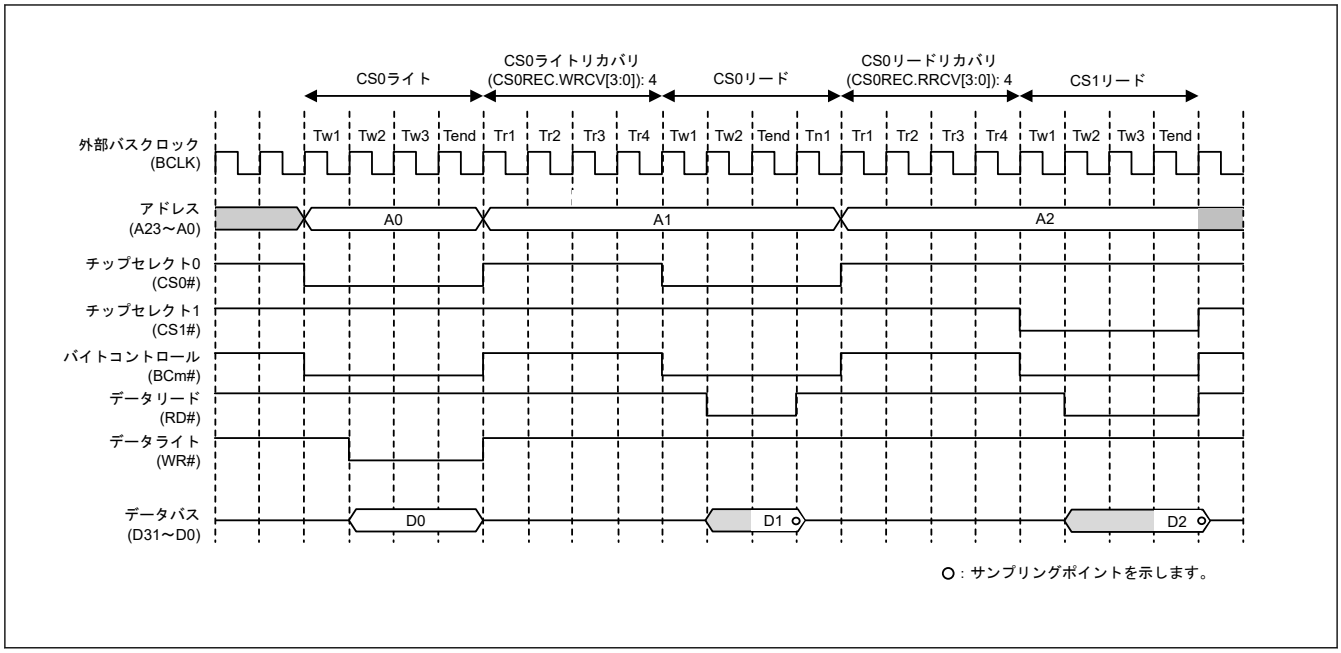


図 15.30　セパレートバスインタフェース時のリカバリサイクルの挿入例 (m = 0～3)

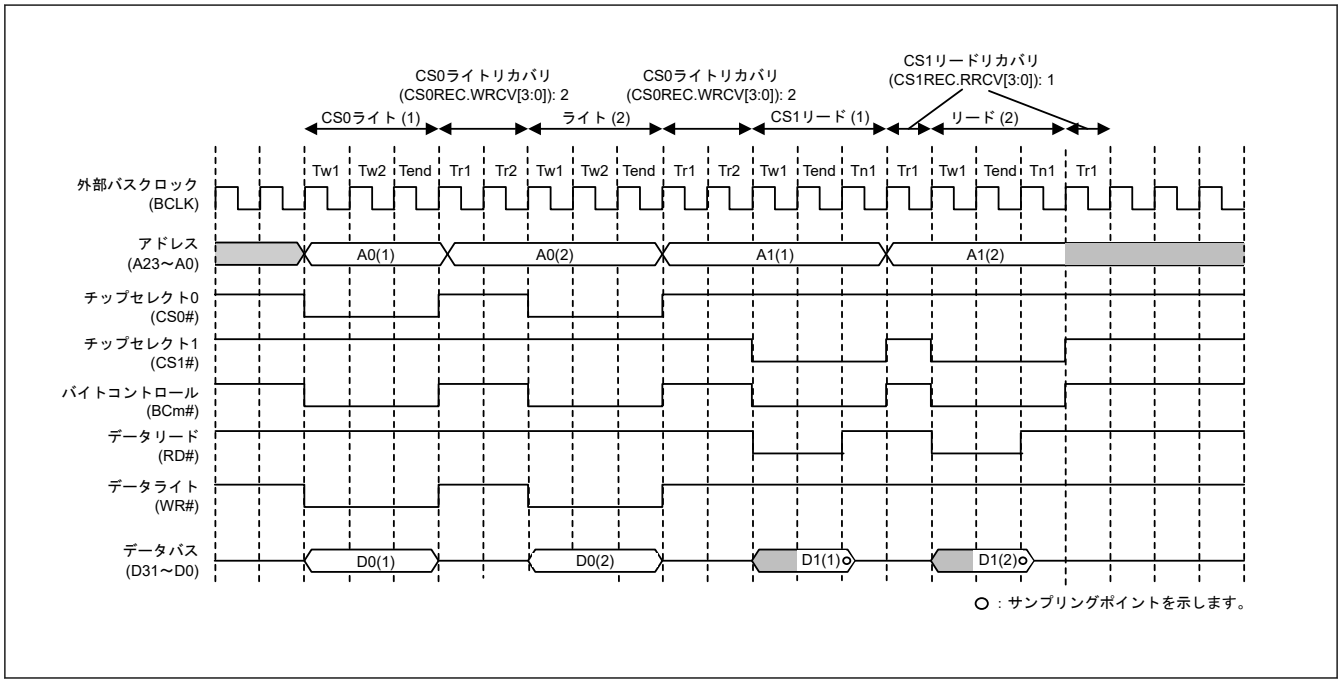


図 15.31　バスアクセスが分割された場合のリカバリサイクルの挿入例（セパレートバスインタフェースによるノーマルアクセスの場合） (m = 0～3)

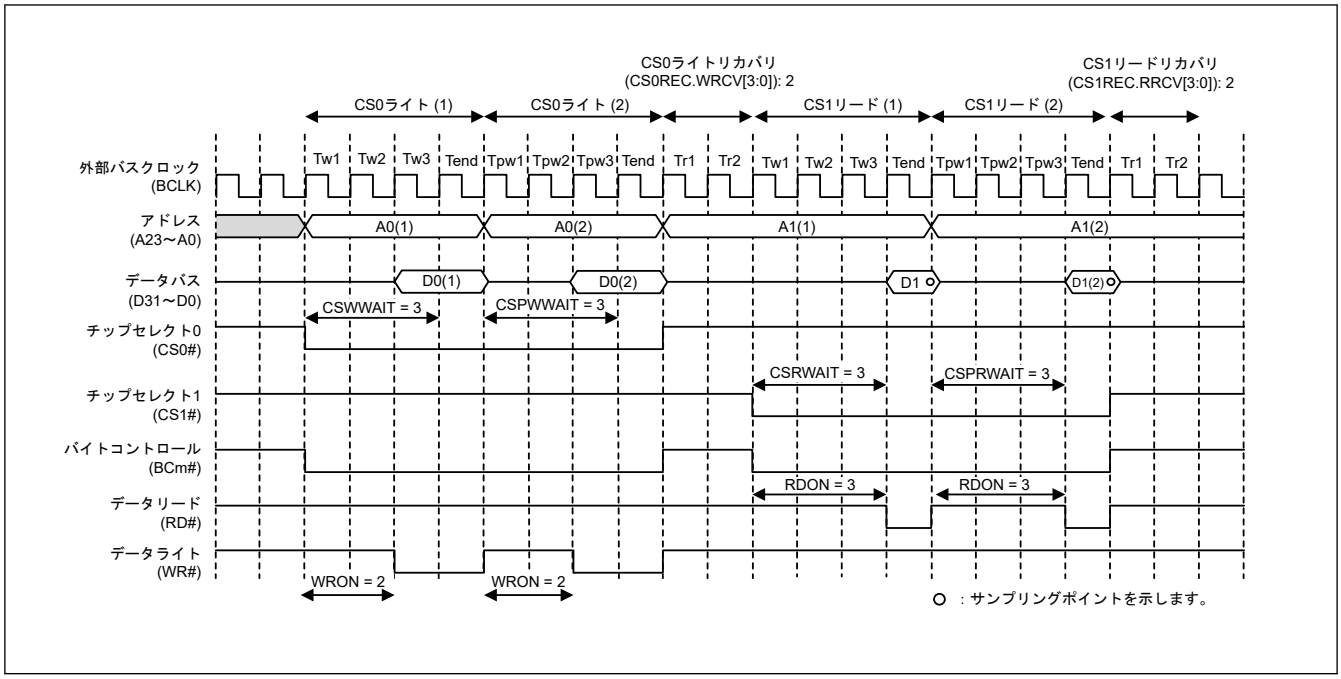


図 15.32　バスアクセスが分割された場合のリカバリサイクルの挿入例(セパレートバスインタフェースによるページアクセスの場合） (m = 0～3)

図 15.33 に、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合の動作例を示します。

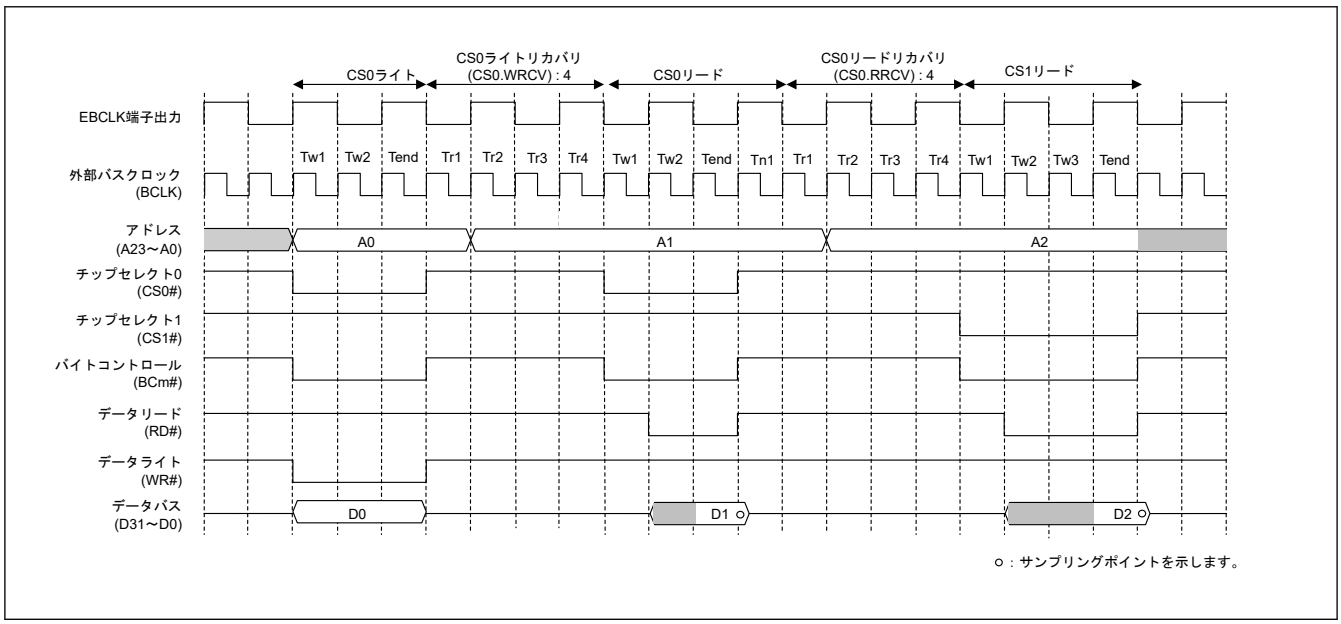


図 15.33　EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合のリカバリサイクルの動作例（セパレートバスインタフェースによるノーマルアクセスの場合） (m = 0～3)

アドレス／データマルチプレクス I/O インタフェースのリカバリサイクルの挿入もセパレートバスインタフェースと同様に行われます。図 15.34 および図 15.35 に、アドレス／データマルチプレクス I/O インタフェース時のリカバリサイクルの挿入例を示します。

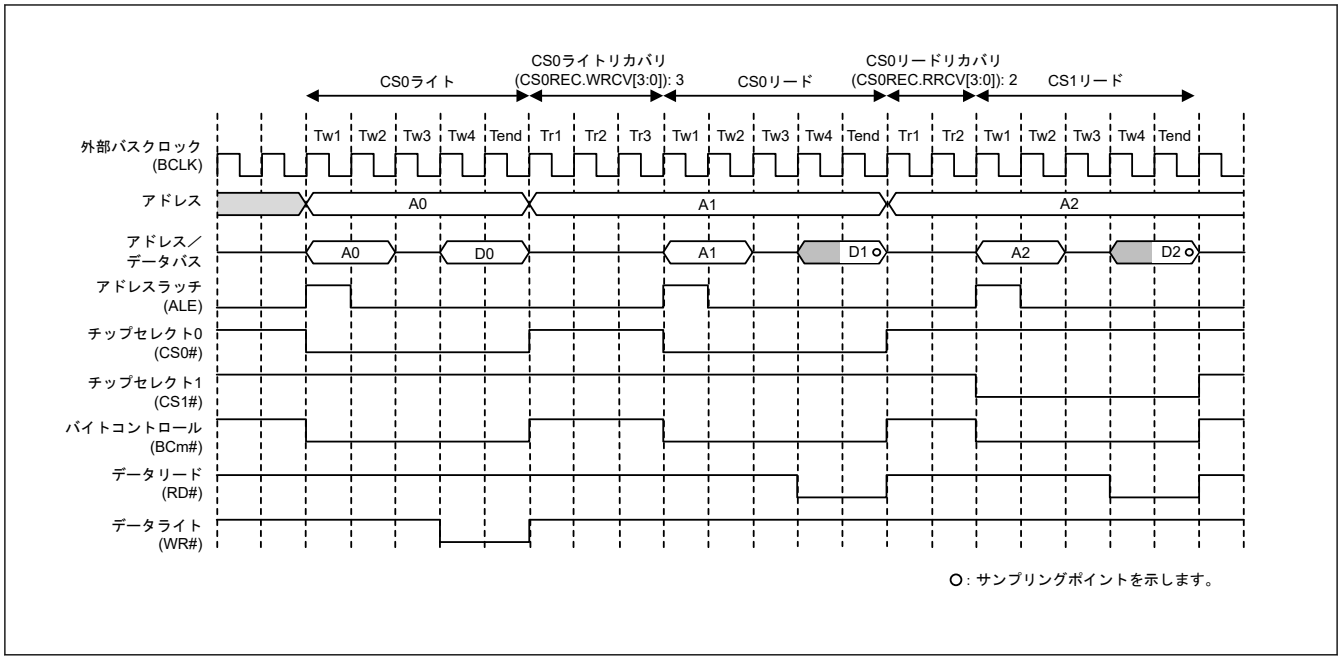


図 15.34　リカバリサイクルの動作例（アドレス／データマルチプレクス I/O インタフェースの場合） (m = 0, 1)

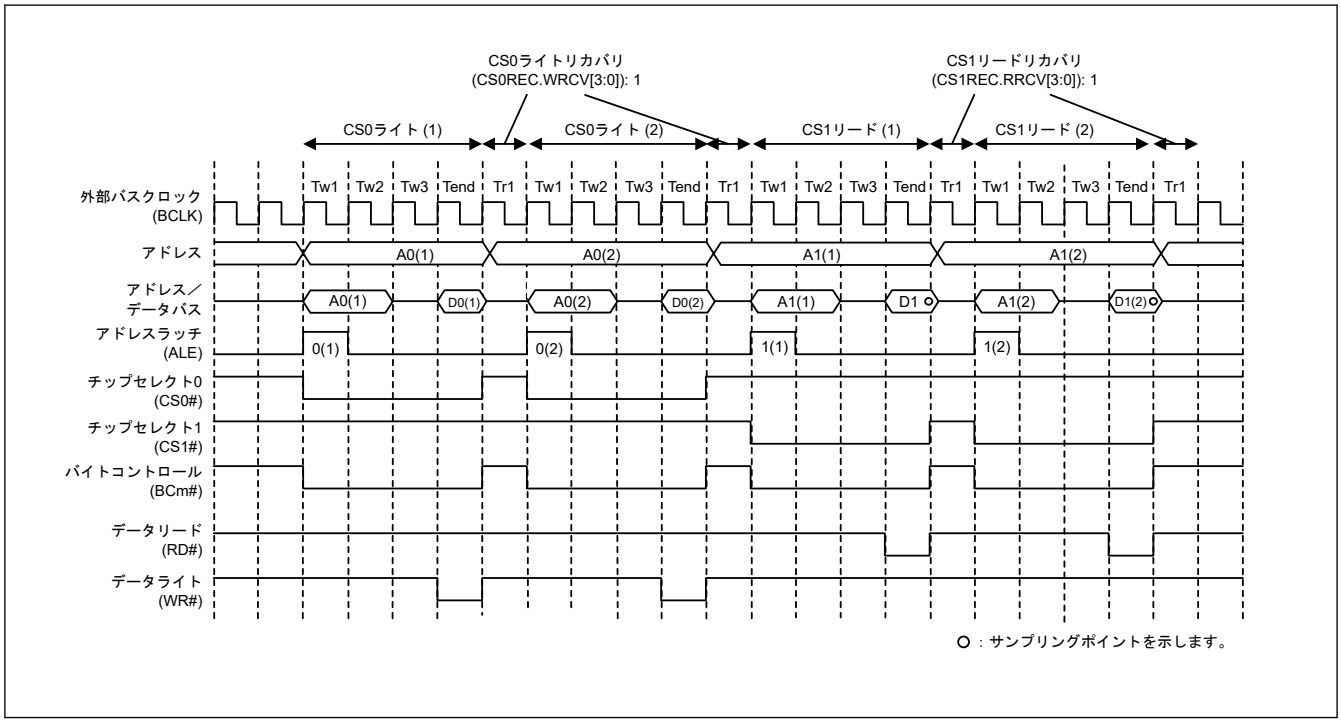


図 15.35　バスアクセスが分割された場合のリカバリサイクルの動作例（アドレス／データマルチプレクス I/O インタフェースの場合） (m = 0, 1)

15.5.5　非アクセス時の状態

どの外部アドレス空間にもアクセスしていないときには、CSn、BCn、WRn、および RDn 信号は High に、ALE 信号は Low に、D31～D00 はハイインピーダンス状態になります。

15.5.6　制約事項

(1)　セパレートバスインタフェース使用時の制限事項

表 15.28 に、ノーマルアクセス時とページアクセス時の CSn ウェイトコントロールレジスタ 1 (CSnWCR1) と CSn ウェイトコントロールレジスタ 2 (CSnWCR2) の各ビットに適用される制限事項を示します。

CSn モードレジスタのページリードアクセス許可ビットまたはページライトアクセス許可ビットが許可（CSnMOD.PRENB = 1 または CSnMOD.PWENB = 1）になっていても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となります。そのため、ノーマルアクセスの制限事項を満たす必要があります。

表 15.28　ノーマルアクセス時とページアクセス時の制限事項

ノーマルアクセス時の制約事項		ページアクセス時の制約事項	
読み出し	書き込み	読み出し	書き込み
CSON[2:0] ≦ CSRWAIT RDON[2:0] ≦ CSRWAIT CSON[2:0] ≦ RDON	1 ≦ WDON[2:0] CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≤CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON	CSON[2:0] ≦ CSPRWAIT RDON[2:0] ≦ CSPRWAIT CSON[2:0] ≦ RDON	1 ≦ WDON[2:0] CSON[2:0] ≦ CSPWWAIT WRON[2:0] ≦ CSPWWAIT WDON[2:0] ≦ CSPWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON

注.　バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可 (CSnMOD.PRENB = 1) またはページライトアクセス許可 (CSnMOD.PWENB = 1) に設定されていれば、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

(2)　アドレス／データマルチプレクスバスインタフェース使用時の制限事項

アドレス／データマルチプレクス I/O 空間では、ページアクセスは無効です。ページアクセス設定を指定しても設定は無視され、ノーマルリードまたはノーマルライト動作が実行されます。アドレス／データマルチプレクス I/O インタフェースを設定した場合、CSnCR レジスタの BSIZE[1:0]ビットで、32 ビットバス空間に設定することは禁止しています。設定した場合、動作を保証しません。

表 15.29　ノーマルアクセス時の制限事項

読み出し	書き込み
CSON[2:0] ≦ CSRWAIT RDON[2:0] ≦ CSRWAIT CSON[2:0] ≦ RDON AWAIT[1:0] + 2 ≦ RDON CSON[2:0] ≦ AWAIT	CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON AWAIT[1:0] + 2 ≦ WRON AWAIT[1:0] + 2 ≦ WDON CSON[2:0] ≦ AWAIT

(3)　A00 および BC0 機能の兼用端子に対する制限事項

8 ビットバス空間では 1 ライトストローブモードの設定は禁止されています。

(4)　EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合の制限事項

EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の起点は、EBCLK 端子出力の立ち上がり時点になります。ただし、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、EBCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様に合わせて適切にレジスタを設定してください。

(5)　命令コードの制限事項

命令コードはリトルエンディアンに固定する必要があります。

15.6　SDRAM 領域コントローラの動作説明

本節では、SDRAM 領域コントローラ (SDRAMC) の動作許可、SDRAM バス幅の設定、および SDRAMC に対して行う各種動作（読み出し、書き込み、オートリフレッシュ、セルフリフレッシュ、初期化シーケンス、モードレジスタ設定）について説明します。

15.6.1 SDRAM アクセスの許可／禁止、SDRAM バス幅の設定

SDRAM アクセスは、SDC コントロールレジスタ (SDCCR) を用いて許可または禁止することが可能です。また、SDRAM バス幅の設定も SDCCR レジスタで行います。SDRAM アドレス空間の動作を禁止しても、セルフリフレッシュまたはオートリフレッシュ動作が許可されている限り、リフレッシュ動作は行われます。

15.6.2 非アクセス時の状態

外部アドレス空間に対して処理を行っていない場合、SDCS 信号、WE 信号、RAS 信号、CAS 信号は High になります。

15.6.3 リカバリサイクルの挿入

CS 領域へのアクセスに続いて SDRAM 領域へのアクセスが行われる場合、CS 領域コントローラ (CSC) に対してデータリカバリサイクルが挿入されます。CSC に対するリカバリサイクル数がない場合は、最短で、CSn 信号のネゲート直後に、次の SDRAM アクセスのための ACT コマンドが発行されます。リカバリサイクルが 0 以外の場合は、最短で、CSn 信号のネゲートから指定したリカバリサイクル数経過後の 2 サイクル後に、ACT コマンドが発行されます。SDRAM 領域へのアクセス中にデータ衝突が発生することはありえないため、SDRAM に対するデータリカバリサイクルの設定は不要です（0 サイクルに固定されます）。

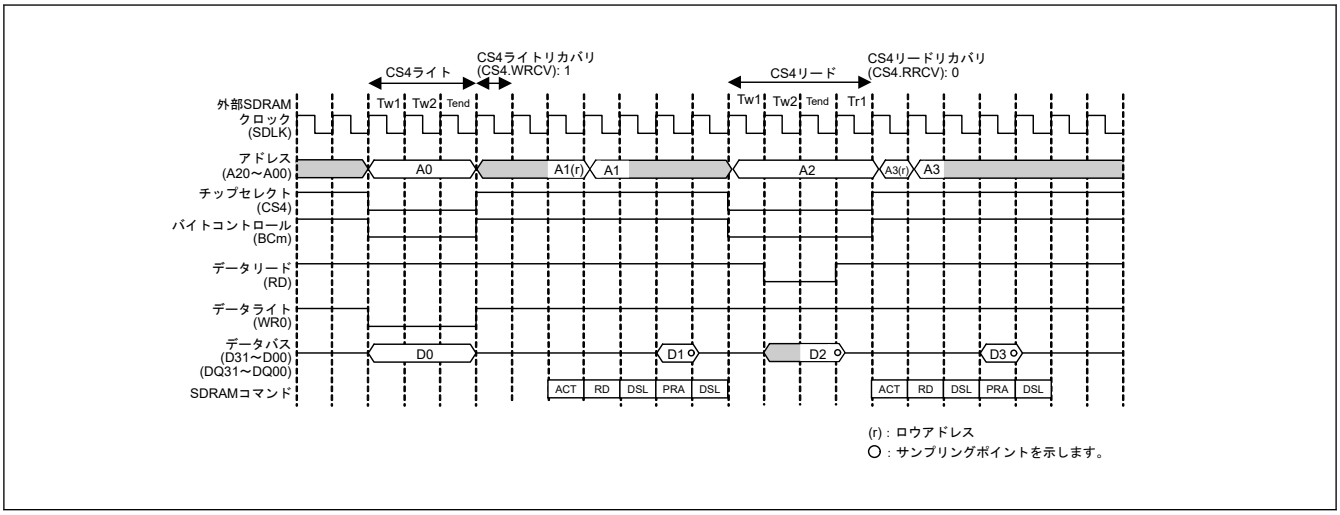


図 15.36 リカバリタイミングの例（SDRAM アクセス時）

15.6.4 SDRAM コマンド

SDRAM を制御するため、SDRAMC はバスサイクルごとにコマンドを発行します。コマンドは、SDCS、RAS、CAS、WE、CKE 信号などの組み合わせによって定義されます。表 15.30 に SDRAMC が発行するコマンドを示します。

表 15.30 SDRAMC コマンド (1/2)

名称	略称	コマンド	SDCS	RAS	CAS	WE	CKE		BA1	BA0
							n-1	n		
DESL	DSL	デバイス非選択	H	x	x	x	H	x	x	x
ACTV	ACT	バンクアクティブ	L	L	H	H	H	x	V	V
READ	RD	読み出し	L	H	L	H	H	x	V	V
WRIT	WRI	書き込み	L	H	L	L	H	x	V	V
PRE	PRE	プリチャージ	L	L	H	L	H	x	V	V
PALL	PRA	オールバンクプリチャージ	L	L	H	L	H	x	x	x
REF	RFA	オートリフレッシュ	L	L	L	H	H	x	x	x
MRS	MRS	モードレジスタ設定	L	L	L	L	H	x	L	L

表 15.30 SDRAMC コマンド (2/2)

名称	略称	コマンド	SDCS	RAS	CAS	WE	CKE		BA1	BA0
							n-1	n		
SELF	RFS	セルフリフレッシュエントリ	L	L	L	H	H	L	x	x
SELFX	RFX	セルフリフレッシュ終了	H	x	x	x	L	H	x	x

注. H：High、L：Low、V：有効、x：Don't Care
n = コマンド発行サイクル、n-1 = コマンド発行の 1 サイクル前

15.6.5 SDRAMC レジスタの設定条件

SDRAMC のレジスタを書き換える場合、必ず表 15.31 に示す全条件を満たす必要があります。

表 15.31 レジスタの書き換え条件

機能または動作	レジスタ	条件
セルフリフレッシュ	SDSELF(注1)	• SDRAM アクセス禁止 (SDCCR.EXENB = 0(注2)) • オートリフレッシュ動作許可 (SDRFEN.RFEN = 1)
オートリフレッシュ	SDRFCR	セルフリフレッシュ動作禁止 (SDSELF.SFEN = 0)
	SDRFEN	• SDRAM アクセス禁止 (SDCCR.EXENB = 0(注2)) • セルフリフレッシュ動作禁止 (SDSELF.SFEN = 0)
初期化シーケンス	SDIR(注1)	SDICR 設定前、かつ SDICR の書き換えと同じ条件
	SDICR(注1)	• オートリフレッシュ動作禁止 (SDRFEN.RFEN = 0) • セルフリフレッシュ動作禁止 (SDSELF.SFEN = 0)
アドレスレジスタ	SDADR	• SDRAM アクセス禁止 (SDCCR.EXENB = 0(注2)) • オートリフレッシュ動作禁止 (SDRFEN.RFEN = 0) • セルフリフレッシュ動作禁止 (SDSELF.SFEN = 0)
タイミングレジスタ	SDTR	• セルフリフレッシュ動作中 (SDSELF.SFEN = 1) または • SDRAM アクセス禁止 (SDCCR.EXENB = 0(注2)) • オートリフレッシュ動作禁止 (SDRFEN.RFEN = 0) • セルフリフレッシュ動作禁止 (SDSELF.SFEN = 0)
モードレジスタ	SDMOD(注1)	• SDRAM アクセス禁止 (SDCCR.EXENB = 0(注2)) • セルフリフレッシュ動作禁止 (SDSELF.SFEN = 0)
アクセスモードレジスタ	SDAMOD	• SDRAM アクセス禁止 (SDCCR.EXENB = 0(注2)) • オートリフレッシュ動作禁止 (SDRFEN.RFEN = 0) • セルフリフレッシュ動作禁止 (SDSELF.SFEN = 0)

注 1. このレジスタを書き換える前に、SDSR レジスタのステータスビットがすべて 0 になっていることを確認してください。
注 2. EXENB ビットに 0 を書いた後、同ビットが 0 になっていることを確認してください。

15.6.6 セルフリフレッシュ

SDRAM セルフリフレッシュコントロールレジスタ (SDSELF) で、セルフリフレッシュモードへの遷移や同モードからの復帰を制御できます。セルフリフレッシュモードへの遷移直前に、オートリフレッシュ動作が実行されます。セルフリフレッシュモードでは、CKE 信号が Low になります。セルフリフレッシュモードからの復帰直後には、オートリフレッシュサイクルが起動されます。

図 15.37 にセルフリフレッシュモードへの遷移タイミング例を、図 15.38 に復帰タイミング例を示します。

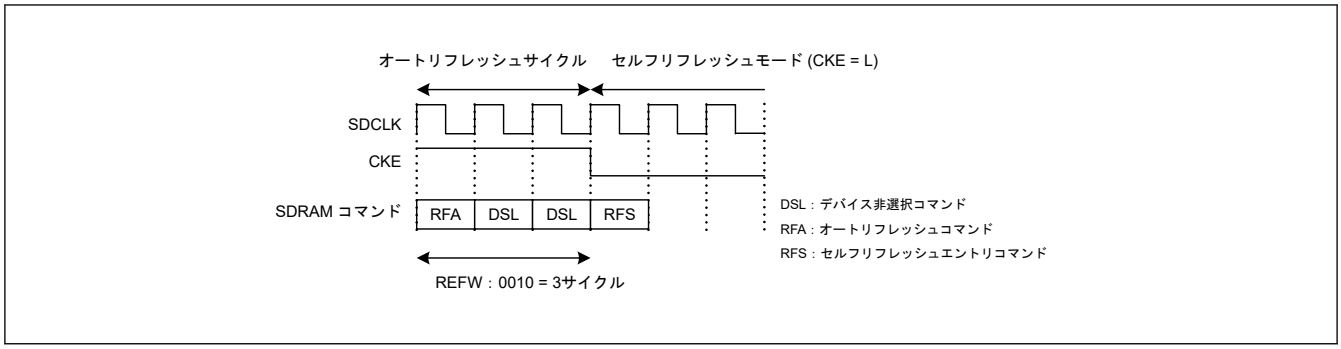


図 15.37　セルフリフレッシュモードへの遷移タイミング例（SDRFCR.REFW[3:0] ビット = 0010 : 3 サイクルの場合）

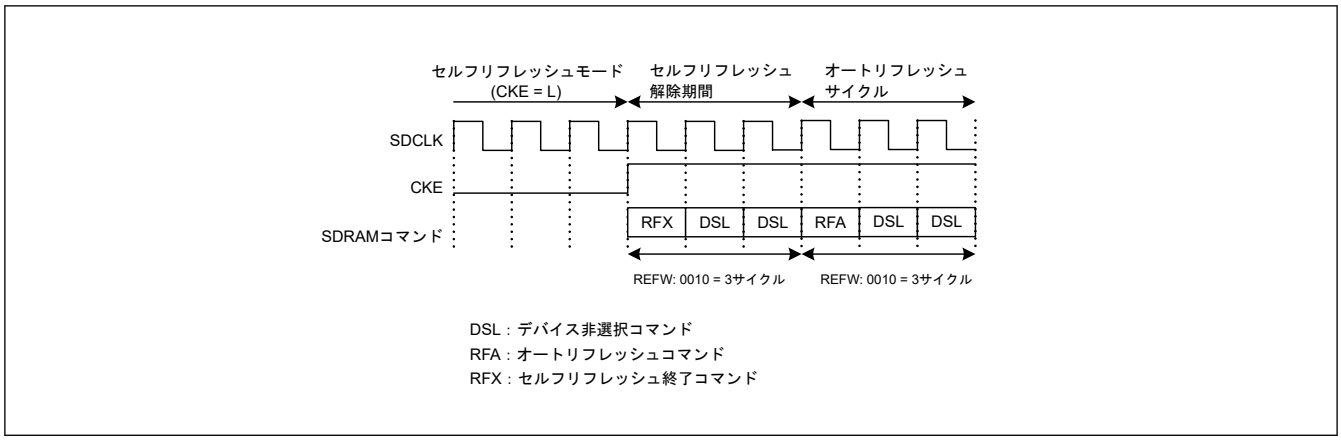


図 15.38　セルフリフレッシュモードからの復帰タイミング例

(1)　ソフトウェアスタンバイモードでのセルフリフレッシュ

ソフトウェアスタンバイモードでセルフリフレッシュを起動する場合は、最初に、「15.6.11.2. セルフリフレッシュモード遷移／復帰手順」に示す手順に従ってください。その後、ソフトウェアスタンバイモードへの遷移を設定してください。このモードでは、スタンバイコントロールレジスタ (SBYCR) の出力ポートイネーブルビット (OPE) を 1 にして、アドレスバスとバス制御信号の出力状態を保持してください。

ソフトウェアスタンバイモードの解除後は、「15.6.11.2. セルフリフレッシュモード遷移／復帰手順」に示す手順に従ってください。ソフトウェアスタンバイモードの遷移と解除については、「11. 低消費電力モード」を参照してください。

(2)　ディープソフトウェアスタンバイモードでのセルフリフレッシュ

ディープソフトウェアスタンバイモードは、ソフトウェアスタンバイモード内から起動されます。この遷移において、端子状態は不変です。したがって、ディープソフトウェアスタンバイモードでのセルフリフレッシュの起動は、ソフトウェアスタンバイモードの場合と同様ですが、追加の設定が 1 つ必要です。すなわち、ディープソフトウェアスタンバイコントロールレジスタ (DPSBYCR) の I/O ポート保持ビット (IOKEEP) を 1 にする必要があります。

ディープソフトウェアスタンバイモードの解除時に、SDRAMC の内部状態がリセットされるので、SDRAM 関連のコントロールレジスタの再設定が必要になります。ディープソフトウエアスタンバイモードの解除後は、セルフリフレッシュを解除するために以下の手順に従ってください。

図 15.39 に、ディープソフトウェアスタンバイモードにおけるセルフリフレッシュサイクルのタイミング例を示します。ディープソフトウェアスタンバイモードの遷移と解除については、「11. 低消費電力モード」を参照してください。

セルフリフレッシュモードの解除方法は以下の通りです。

1. DPSBYCR.IOKEEP ビットを 1 にして、ディープソフトウェアスタンバイモードにおいて CKE 信号出力を Low に保持します。
2. SDRAMC へのクロック供給を開始します。

3. SDRAM 関連のコントロールレジスタ（SDCMOD、SDADR および SDTR）を再設定します。これらのレジスタは、ディープソフトウエアスタンバイモード遷移時に内部リセットで初期化されています。
4. SDRFEN.RFEN ビットを 1 にして、オートリフレッシュ動作を許可します。
5. SDSR レジスタのすべてのステータスビットが 0 であることを確認し、SDSELF.SFEN ビットを 1 にして、セルフリフレッシュモードを再度選択します。
6. SDRAM インタフェース用のポート設定を変更します。
7. SDCKOCR.SDCKOEN ビットを 1 にして、SDCLK 端子から SDRAM へクロック供給を開始します。
8. SDSR レジスタのすべてのステータスビットが 0 であることを確認し、SDSELF.SFEN ビットを 0 にして、セルフリフレッシュモードを解除します。

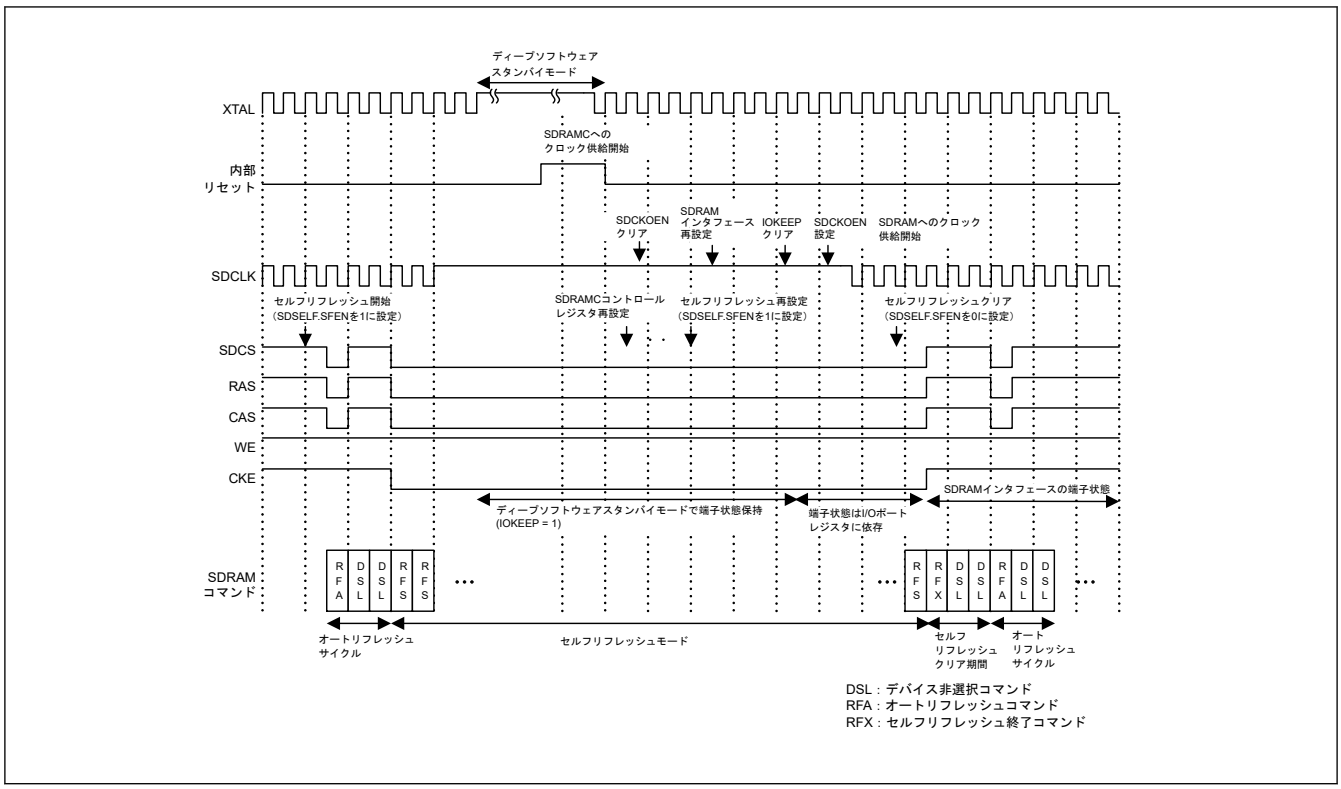


図 15.39　ディープソフトウェアスタンバイモードにおけるセルフリフレッシュサイクルのタイミング例

15.6.7　オートリフレッシュ

オートリフレッシュサイクルは、SDRAM オートリフレッシュコントロールレジスタ (SDRFEN) のオートリフレッシュ動作許可ビット (RFEN) を 1 にすると開始されます。以後は、リフレッシュカウンタにより定期的にリフレッシュ要求が発生します。ただし、リフレッシュ要求はリード／ライトアクセス中には受け付けられないため、オートリフレッシュサイクルの起動が待たされることがあります。

SDRAM アクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。また、CS 領域アクセスとリフレッシュ要求は同時に行うことができます。ただし、リフレッシュコマンドの発行に必要な SDCS、RAS、CAS、WE、および CKE 信号は、SDRAM アクセス専用の信号でなければなりません。

リフレッシュカウンタは、セルフリフレッシュ中は停止します。セルフリフレッシュモードからの復帰後は、オートリフレッシュサイクルが開始され、カウンタ値がリセットされてカウント動作が再開されます。

図 15.40 に、オートリフレッシュサイクルのタイミング例を示します。

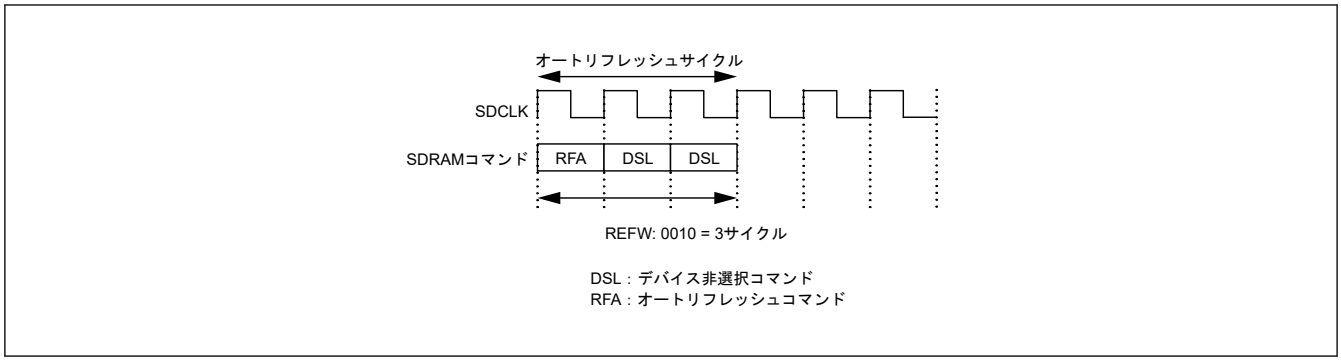


図 15.40　オートリフレッシュサイクルのタイミング例 (1)

図 15.41 と図 15.42 に、シングルアクセス中と連続アクセス中のそれぞれで、オートリフレッシュ要求が発生した場合の動作例を示します。

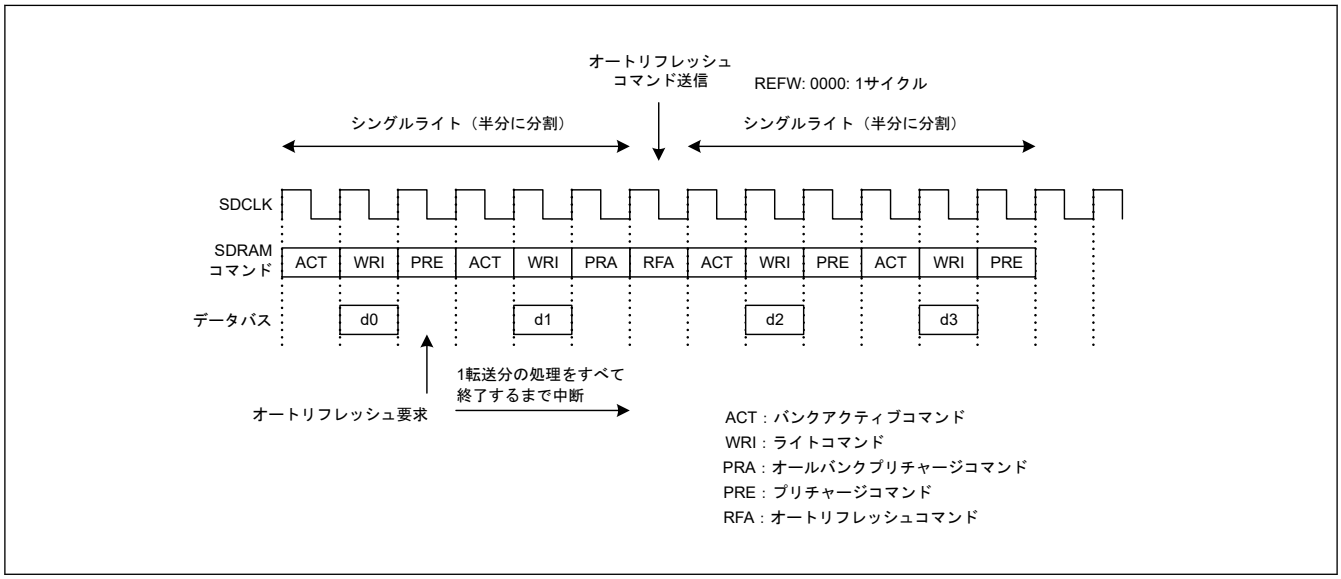


図 15.41　オートリフレッシュサイクルのタイミング例 (2)（シングルアクセス中にオートリフレッシュ要求が発生した場合）

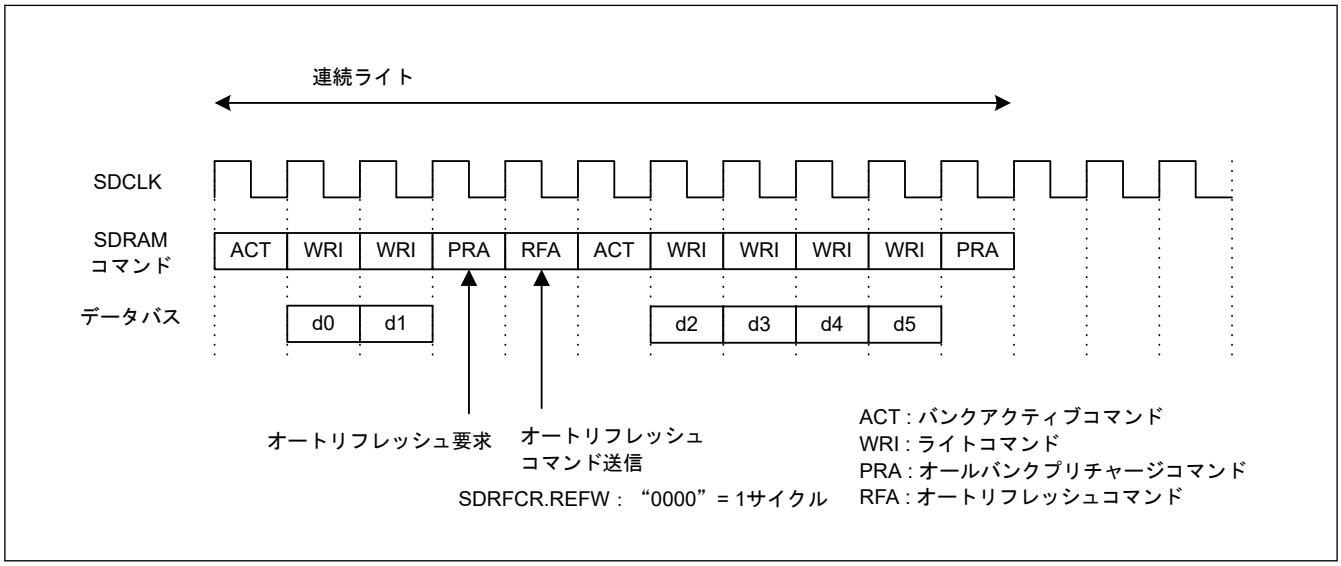


図 15.42　オートリフレッシュサイクルのタイミング例 (3)（連続アクセス中にオートリフレッシュ要求が発生した場合）

15.6.8 初期化シーケンサ

SDRAMC は、SDRAM を初期化するためのコマンドを発行するシーケンサを備えています。リセット後は、必ず初期化シーケンサを起動してください。SDRAM を初期化しなかった場合の動作は保証されません。

SDRAM の初期化シーケンサは、オールバンクプリチャージコマンドを発行した後、オートリフレッシュコマンドを n 回 (n = 1～15) 発行します。SDRAM 初期化シーケンスのタイミングは、SDRAM 初期化レジスタ (SDIR) で設定可能です。SDRAM 初期化シーケンスは、SDRAM 初期化シーケンスコントロールレジスタ (SDICR) で起動できます。これらのレジスタを設定する場合、必ず表 15.31 に示す条件を満たす必要があります。

図 15.43 に、SDRAM 初期化シーケンスのタイミング例を示します。オートリフレッシュ動作が 2 回以上実行されるように SDIR の ARFC[3:0] ビットが設定されている場合、初期化シーケンスではオートリフレッシュサイクルが繰り返されます。

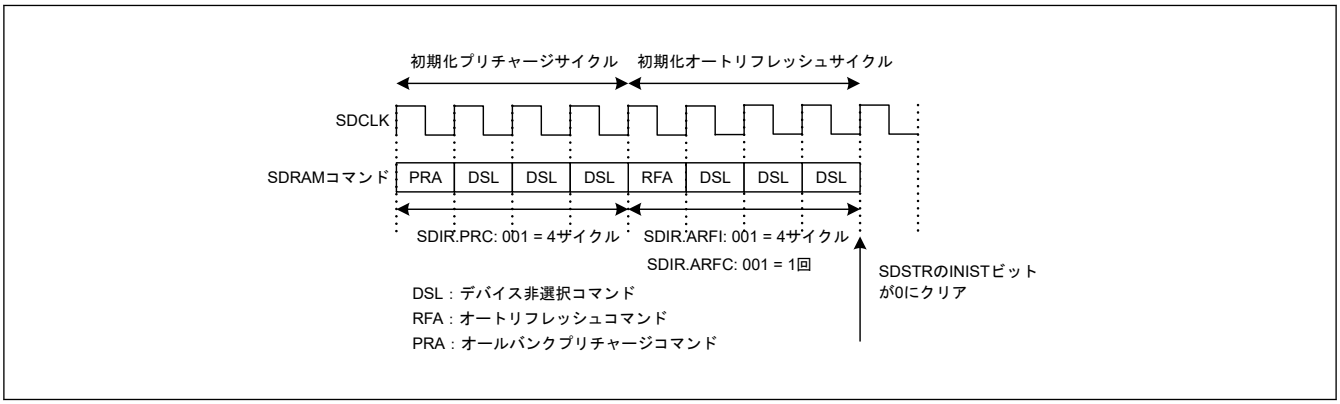


図 15.43 SDRAM 初期化シーケンスのタイミング例

15.6.9 モードレジスタの設定

SDRAM モードレジスタ (SDMOD) を設定することにより、SDRAM にモードレジスタ設定コマンドを発行し、アドレスの下位ビットに、SDMOD の MR[14:0]ビットで設定した値を出力することができます。具体的には、バス幅が 8 ビットの場合は A14～A00 に、16 ビットの場合は A15～A01 に、32 ビットの場合は A16～A02 に出力されます。モードレジスタの設定前に、SDC コントロールレジスタの SDRAM バス幅選択ビット (SDCCR.BSIZE[1:0]) を設定し、SDRAM のデータバス幅を確定しておく必要があります。

図 15.44 にモードレジスタ設定動作タイミングを示します。

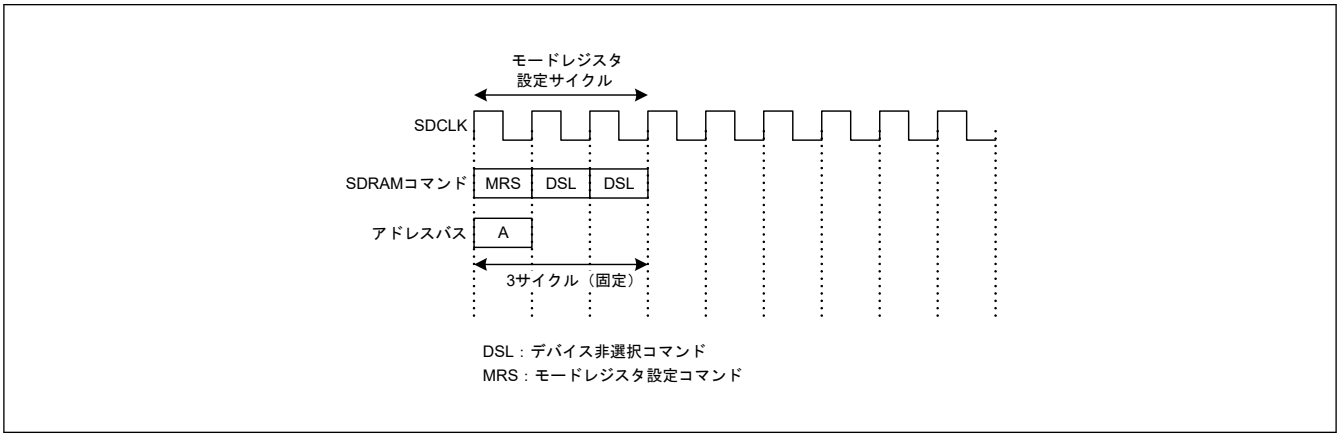


図 15.44 モードレジスタ設定動作タイミング

15.6.10 リード／ライトアクセス

SDRAM リード／ライトアクセスには 2 種類があります。

- シングルアクセス
  データにアクセスするたびにロウアドレスが出力されます。
- 連続アクセス

同じロウアドレスを連続的にアクセスする場合、ロウアドレス出力後にカラムアドレスを変えるだけで高速でデータにアクセスできます。

SDRAM アクセスモードレジスタの連続アクセス許可ビット (SDAMOD.BE) が 1 のとき、SDRAM の連続アクセス動作が許可されます。

バスマスタからの転送でバースト長が 2 以上で転送データサイズが外部バス幅以下の場合に連続アクセスが起きます。

(1) シングルアクセス

図 15.45 に、シングルリードとシングルライトのタイミング例を示します。アクセスのタイミングは SDRAM タイミングレジスタ (SDTR) の設定によって変わります。詳細は、「15.6.11.3. タイミングレジスタ設定値とアクセスタイミング」を参照してください。

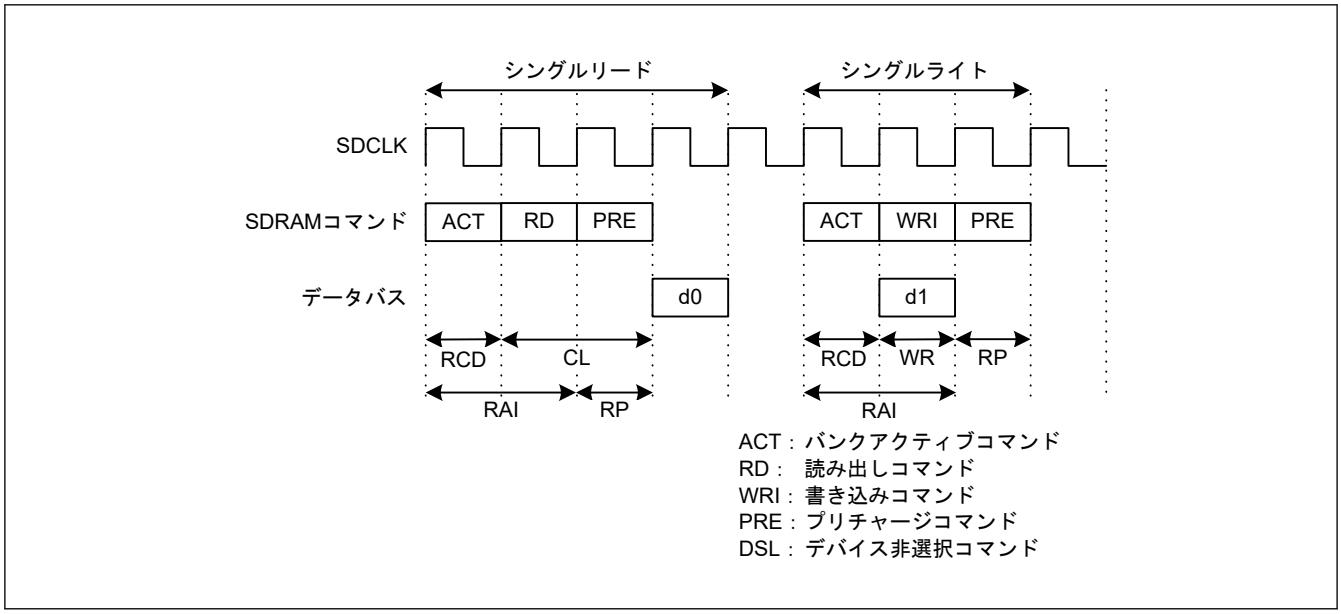


図 15.45 シングルリードとシングルライトのタイミング例

(2) 連続アクセス

図 15.46 に、データ 4 個の連続リードと連続ライトを行う場合のタイミング例を示します。

転送の最中に SDRAM のロウアドレスが変わる場合、有効／無効になるロウは自動的に切り替わります。

アクセスのタイミングは SDRAM タイミングレジスタ (SDTR) の設定によって変わります。詳細は、「15.6.11.3. タイミングレジスタ設定値とアクセスタイミング」を参照してください。

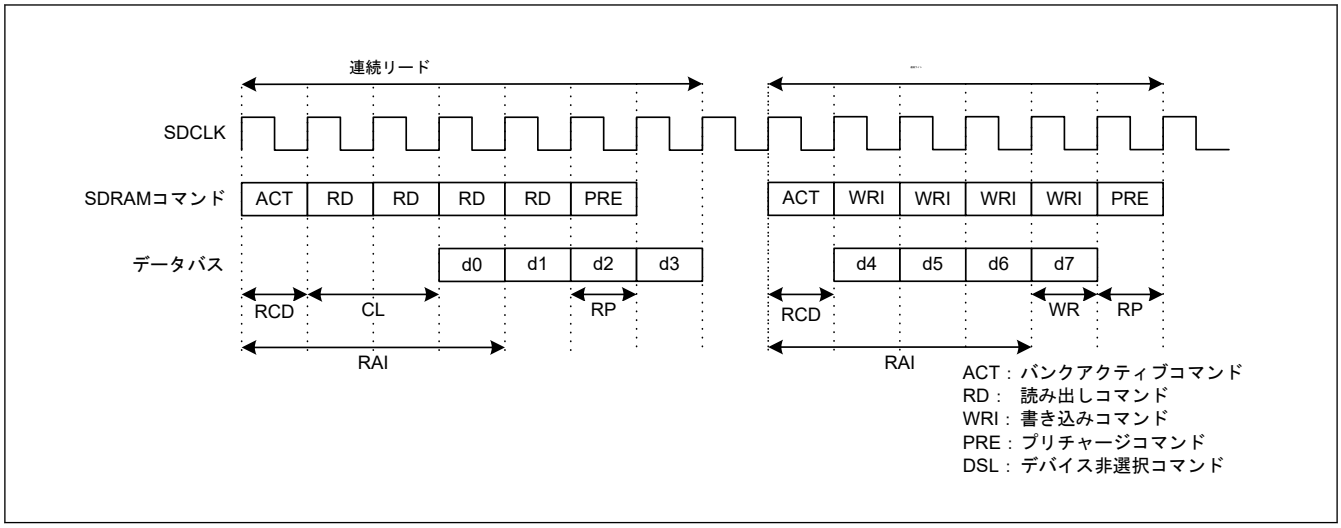


図 15.46　連続リードと連続ライトのタイミング例

図 15.47 に、連続ライトの最中にロウアドレスが変わる場合のタイミングの例を示します。

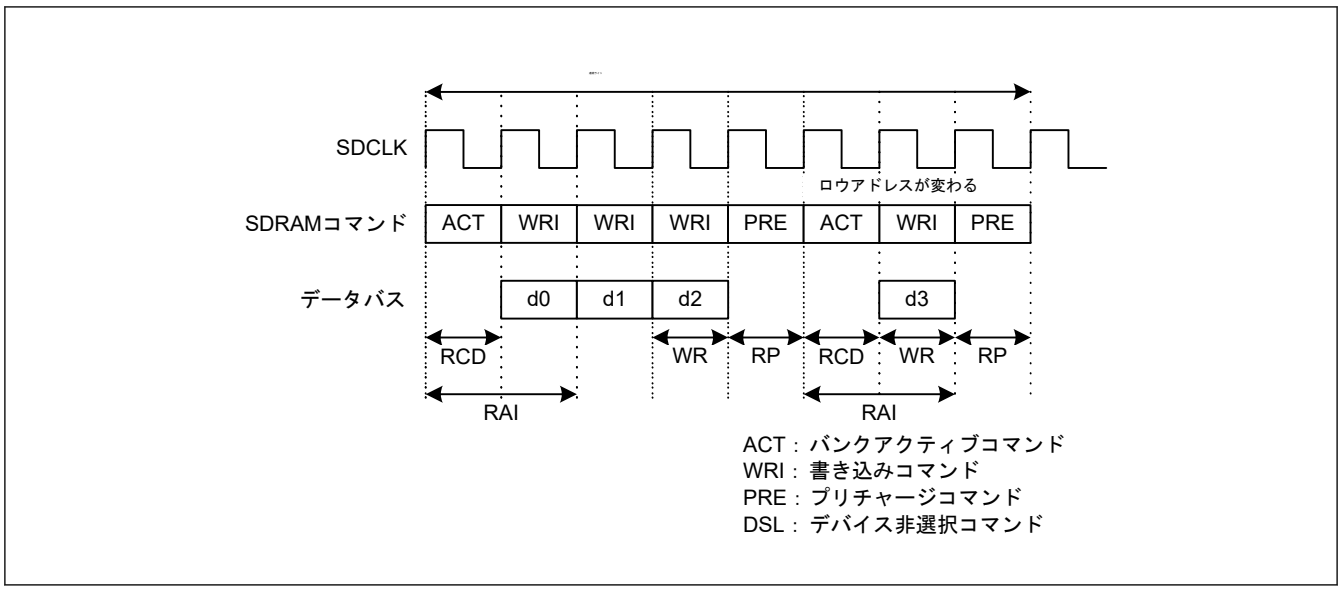


図 15.47　連続ライトのタイミング例（ロウアドレスが変わる場合）

注.　バスマスタから SDRAM 領域に連続バーストライトアクセスが発行されるときには、以下の条件がすべて満たされると冗長ライトアクセスが発生する可能性があり、前のバーストアクセスにおける、SDRAM に対する最後のライトアクセスが、同じアドレスと同じ書き込みデータを使用して繰り返されます。

- 前のバーストライトと後続のバーストライトの転送サイズが同一で、サイズが 8、16、または 32 ビットである。
- 後続のバーストライトのアドレスが、前のバーストライトに転送サイズを加えた最後のアドレスである。
- 前のバーストライトのバースト長が 2 以上であり、後続のバーストライトのバースト長が 1 である。

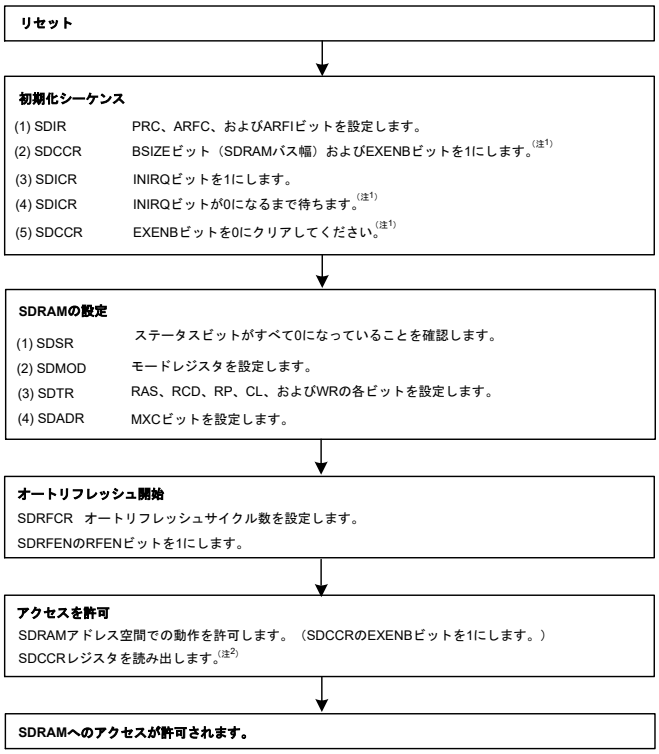
15.6.11　SDRAMC の設定例

本項では以下の内容を説明します。

- SDRAMC の設定手順
- タイミングレジスタの設定例
- セルフリフレッシュモード遷移／復帰手順

15.6.11.1　SDRAMC のアクセス手順

図 15.48 に SDRAMC の設定手順を示します。



注 1. SDRAM のバス幅が 16 ビットの場合はこれらの 2 ステップを省略することができます。
注 2. CPU0（Cortex-M85 コア）で設定する場合は、SDCCR リードアクセスと外部バスアクセスが反転するのを防ぐため、バリア命令を使用してください。

図 15.48 SDRAMC の設定手順

15.6.11.2 セルフリフレッシュモード遷移／復帰手順

図 15.49 に、セルフリフレッシュモード遷移／復帰手順を示します。

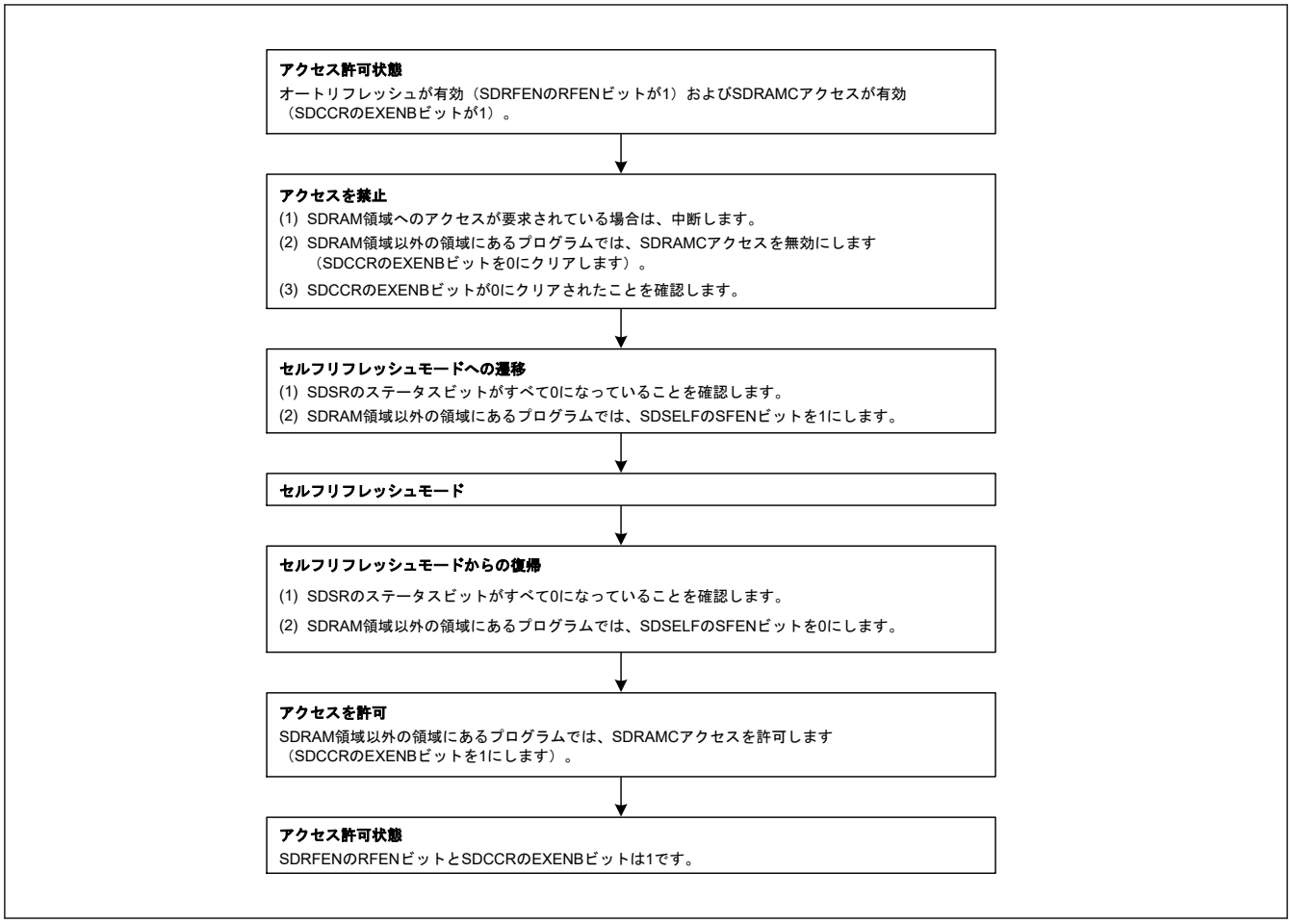


図 15.49　セルフリフレッシュモード遷移／復帰手順

注.　SDRAM のアクセス中は、セルフリフレッシュモードを起動できません。セルフリフレッシュモードの遷移および復帰中は、SDRAM アクセスを禁止する必要があります。図 15.50 に示すプログラミング指示に従ってください。

セルフリフレッシュモードへ遷移する前に、SDRAM 領域へのアクセスを禁止してください。

セルフリフレッシュモード遷移時、セルフリフレッシュ動作中、およびセルフリフレッシュモード復帰時に実行するプログラムは、SDRAM 領域へのオペランドアクセス、命令フェッチ（プリフェッチを含む）が生じないようにしてください。

図 15.50 に、ディープソフトウェアスタンバイモードでのセルフリフレッシュモード遷移／復帰手順を示します。

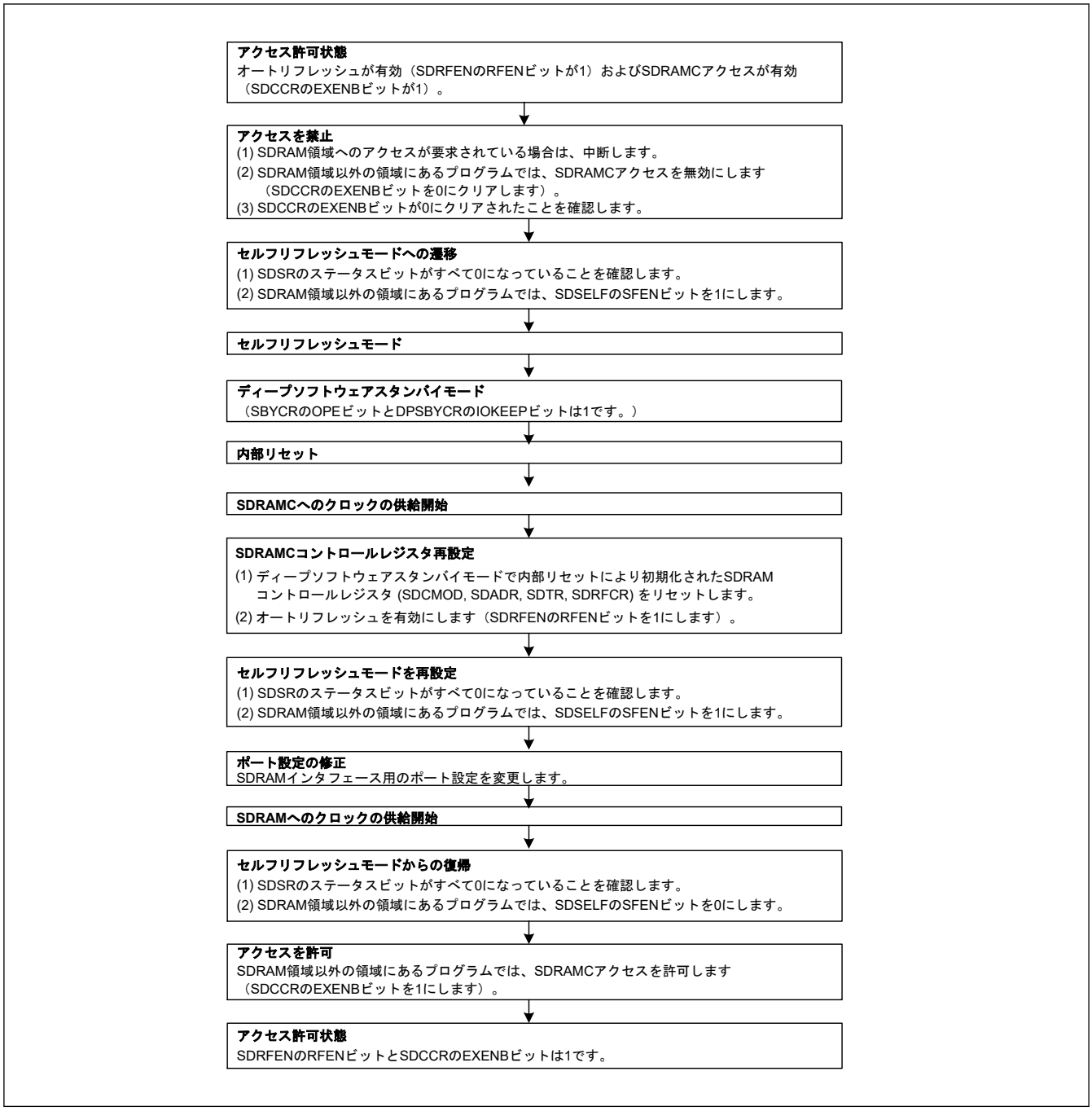


図 15.50　ディープソフトウェアスタンバイモードでのセルフリフレッシュモード遷移／復帰手順

15.6.11.3　タイミングレジスタ設定値とアクセスタイミング

ここでは、リードアクセス／ライトアクセスのタイミングと、SDRAM タイミングレジスタ (SDTR) 設定値との関係について説明します。

(1)　シングルリードタイミング設定例

図 15.51～図 15.55 に、シングルリードタイミングと SDRAM タイミングレジスタ (SDTR) 設定値との関係を示します。表 15.32 に、それぞれの図と SDTR レジスタ設定値との対応を示します。

リードアクセスの場合は、最短でリードデータが有効になった 2 サイクル後に次のバスアクセスが可能となります。ただし、1 転送要求に対して 2 回以上のバスアクセスが発生する場合は、図 15.55 に示すように、最短でリードデータが有効になった 1 サイクル後に次のバスアクセスが可能となります。

表 15.32　タイミング図と STDR レジスタ設定値の対応表（シングルリードタイミング）

図番号	RAI[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	CL[2:0] 設定値	サイクル数
図 15.51	010	3	00	1	001	2	010	2
図 15.52	000	1	01	2	001	2	010	2
図 15.53	000	1	01	2	001	2	011	3
図 15.54 図 15.55	010	3	00	1	000	1	010	2

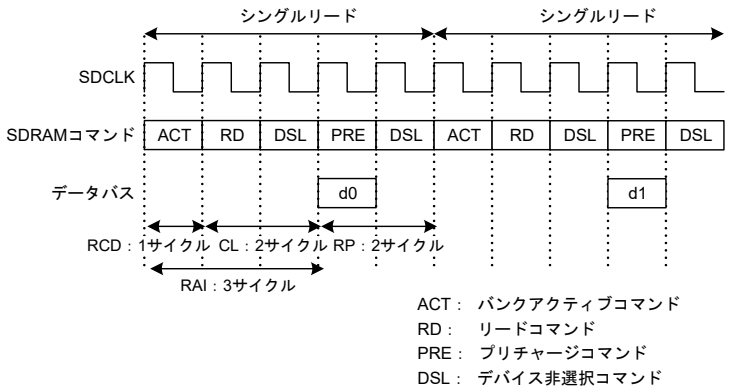
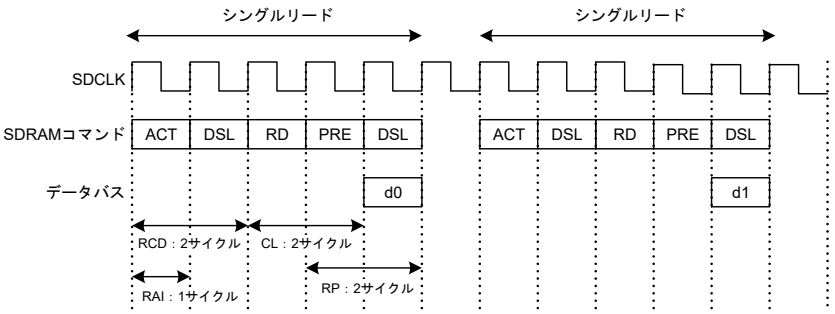


図 15.51　シングルリードタイミング例 (1)



注. RAIビットに設定された期間がRDコマンド発行より早く終了した場合、PREコマンドはRDコマンド周期の次の周期で発行されます。

ACT： バンクアクティブコマンド
RD： リードコマンド
PRE： プリチャージコマンド
DSL： デバイス非選択コマンド

図 15.52　シングルリードタイミング例 (2)

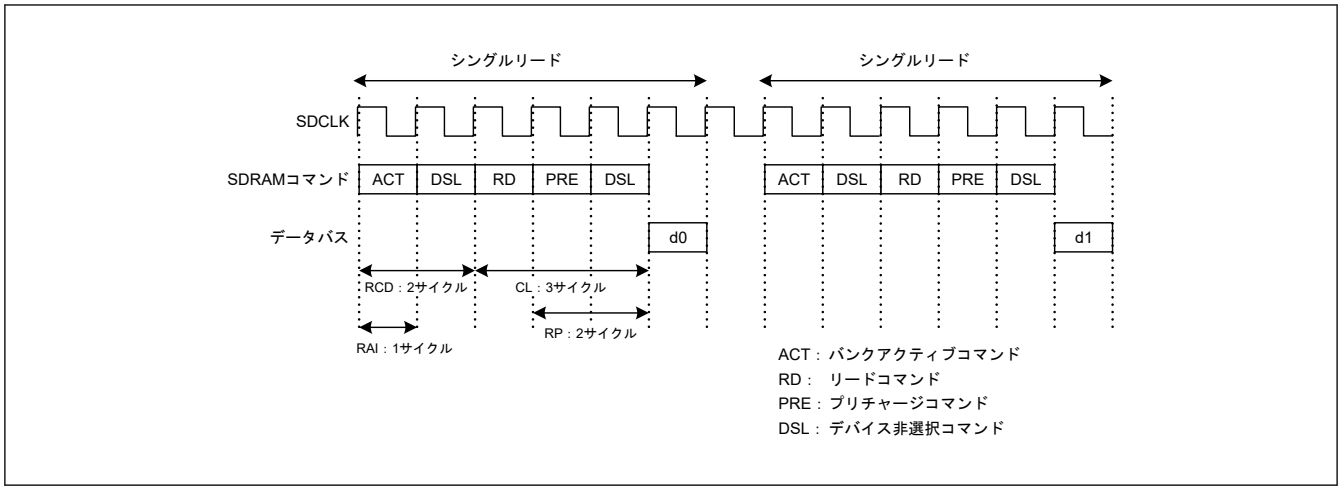


図 15.53　シングルリードタイミング例 (3)

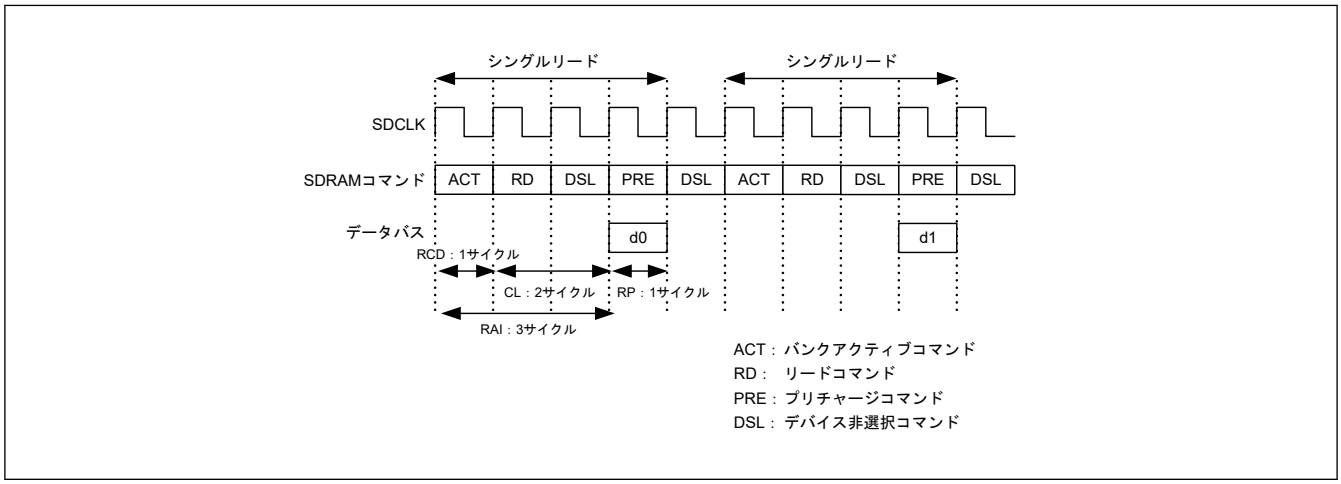


図 15.54　シングルリードタイミング例 (4)

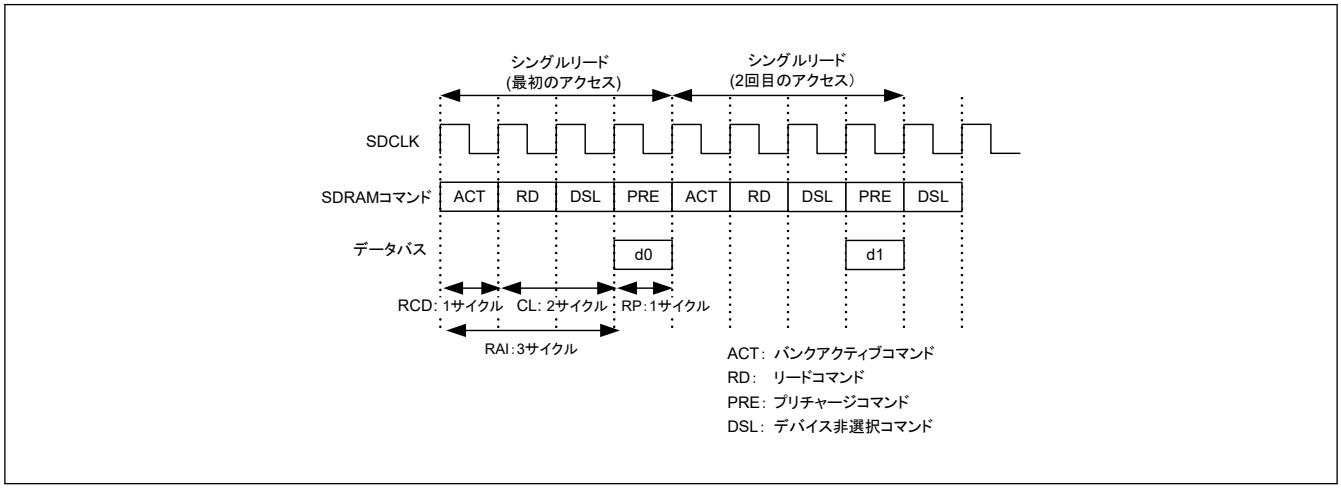


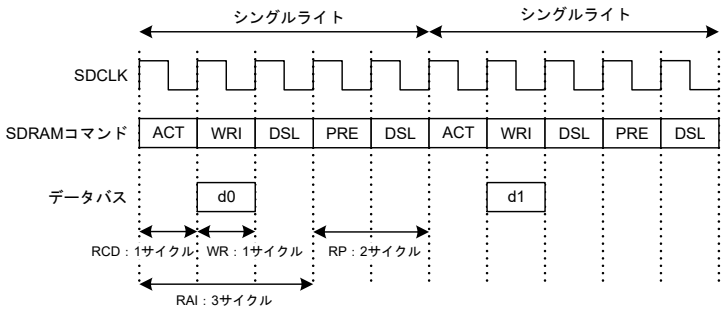
図 15.55　シングルリードタイミング例 (5)（1 転送要求に対して 2 回バスアクセスが発生する場合）

(2)　シングルライトタイミング設定例

図 15.56～図 15.60 に、シングルライトタイミングと SDRAM タイミングレジスタ (SDTR) 設定値との関係を示します。表 15.33 に、それぞれの図と SDTR レジスタ設定値との対応関係を示します。ライトアクセスの場合は、最短でプリチャージコマンド (PRE) が発行された 2 サイクル後に次のバスアクセスが可能となります。ただし、1 転送要求に対して 2 回以上のバスアクセスが発生する場合は、図 15.60 に示すように、最短で PRE が発行された 1 サイクル後に次のバスアクセスが可能となります。

表 15.33　タイミング図と STDR レジスタ設定値の対応表（シングルライトタイミング）

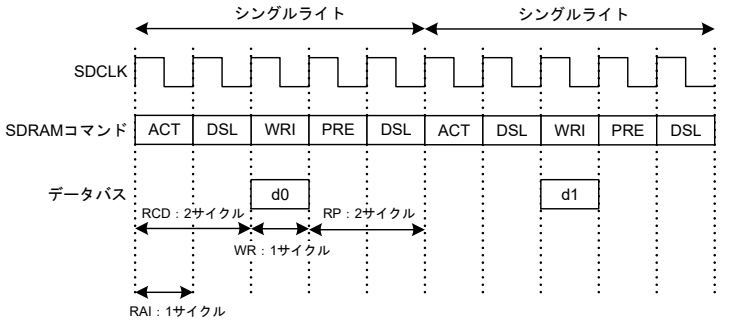
図番号	RAI[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	WR 設定値	サイクル数
図 15.56	010	3	00	1	001	2	0	1
図 15.57	000	1	01	2	001	2	0	1
図 15.58	000	1	01	2	001	2	1	2
図 15.59 図 15.60	010	3	00	0	000	2	0	1



注. RAIビットで指定された期間がWRビットで指定された期間より長い場合、WRIコマンドの発行から、RAI設定が適用されます。

ACT：バンクアクティブコマンド
WRI：ライトコマンド
PRE：プリチャージコマンド
DSL：デバイス非選択コマンド

図 15.56　シングルライトタイミング例 (1)



注. RAIビットで指定された期間がWRビットで指定された期間より短い場合、WRIコマンドの発行から、WR設定が適用されます。

ACT：バンクアクティブコマンド
WRI：ライトコマンド
PRE：プリチャージコマンド
DSL：デバイス非選択コマンド

図 15.57　シングルライトタイミング例 (2)

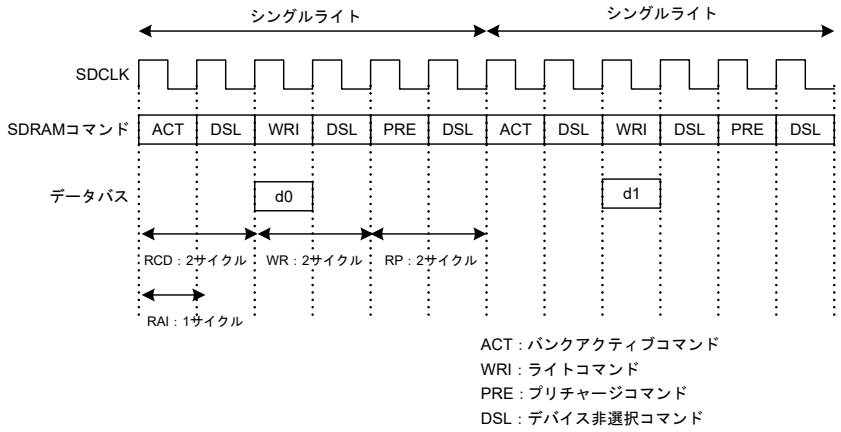
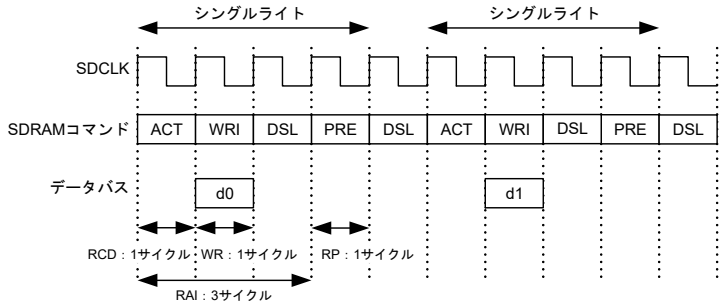


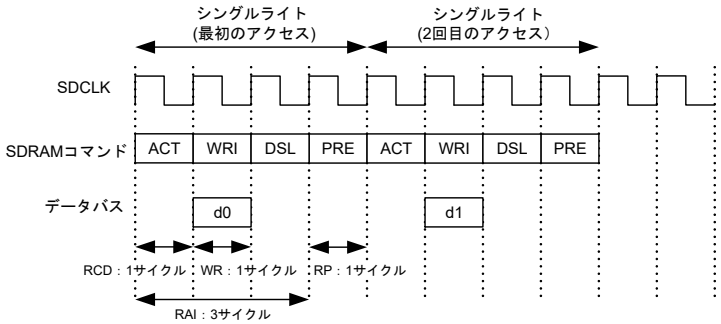
図 15.58　シングルライトタイミング例 (3)



注. RAIビットで指定された期間がWRビットで指定された期間より長い場合、WRIコマンドの発行から、RAI設定が適用されます。

ACT：バンクアクティブコマンド
WRI：ライトコマンド
PRE：プリチャージコマンド
DSL：デバイス非選択コマンド

図 15.59　シングルライトタイミング例 (4)



注. RAIビットで指定された期間がWRビットで指定された期間より長い場合、WRIコマンドの発行から、RAI設定が適用されます。

ACT：バンクアクティブコマンド
WRI：ライトコマンド
PRE：プリチャージコマンド
DSL：デバイス非選択コマンド

図 15.60　シングルライトタイミング例 (5)（1 転送要求に対して 2 回バスアクセスが発生する場合）

(3) 連続リードタイミング設定例

図 15.61～図 15.63 に、4 回連続のデータリード時のタイミングと、SDRAM タイミングレジスタ (SDTR) 設定値との関係を示します。表 15.34 に、それぞれの図と SDTR レジスタ設定値との対応を示します。

表 15.34 図と STDR 設定値の対応表（連続リードタイミング）

図番号	RAI[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	CL[2:0] 設定値	サイクル数
図 15.61	010	3	00	1	001	2	010	2
図 15.62	000	1	01	2	001	2	010	2
図 15.63	000	1	01	2	001	2	011	3

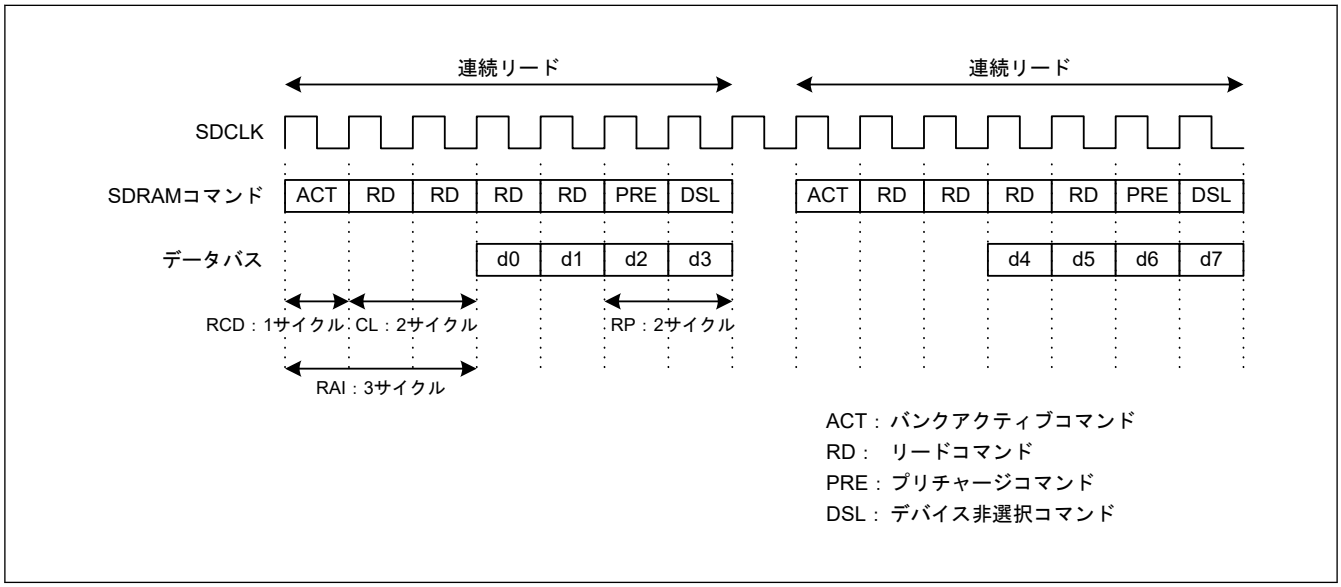


図 15.61 連続リードタイミング例 (1)

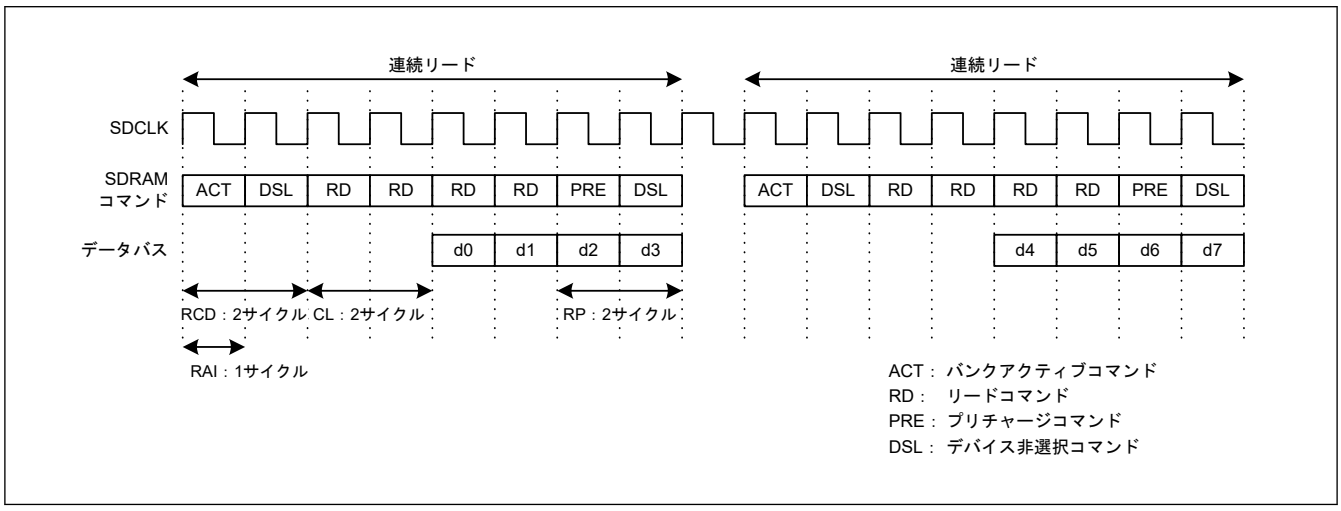


図 15.62 連続リードタイミング例 (2)

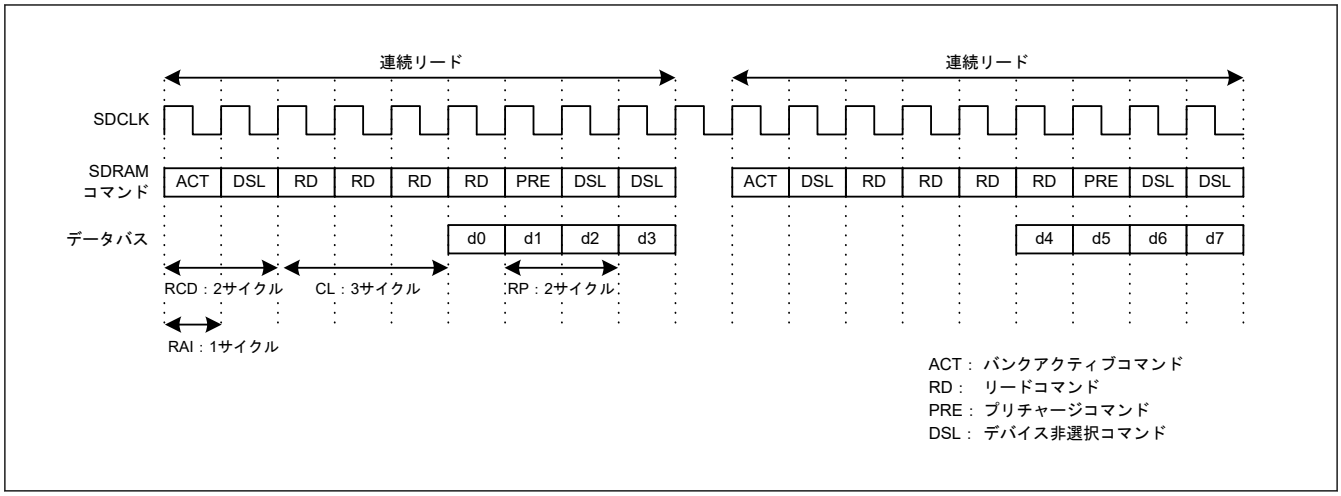


図 15.63　連続リードタイミング例 (3)

(4)　連続ライトタイミング設定例

図 15.64～図 15.66 に、4 回連続のデータライト時のタイミングと、SDRAM タイミングレジスタ (SDTR) 設定値との関係を示します。表 15.35 に、それぞれの図と SDTR レジスタ設定値との対応を示します。

表 15.35　図と STDR 設定値の対応表（連続ライトタイミング）

図番号	RAI[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	WR 設定値	サイクル数
図 15.64	010	3	00	1	001	2	0	1
図 15.65	000	1	01	2	001	2	0	1
図 15.66	000	1	01	2	001	2	1	2

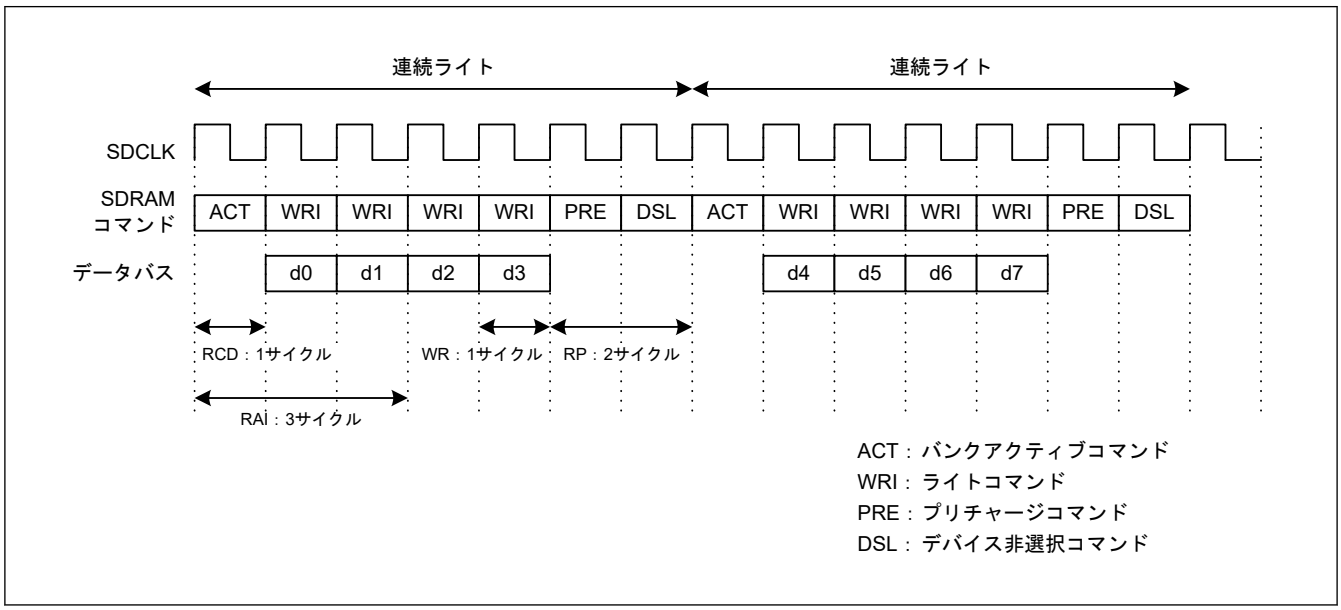


図 15.64　連続ライトタイミング例 (1)

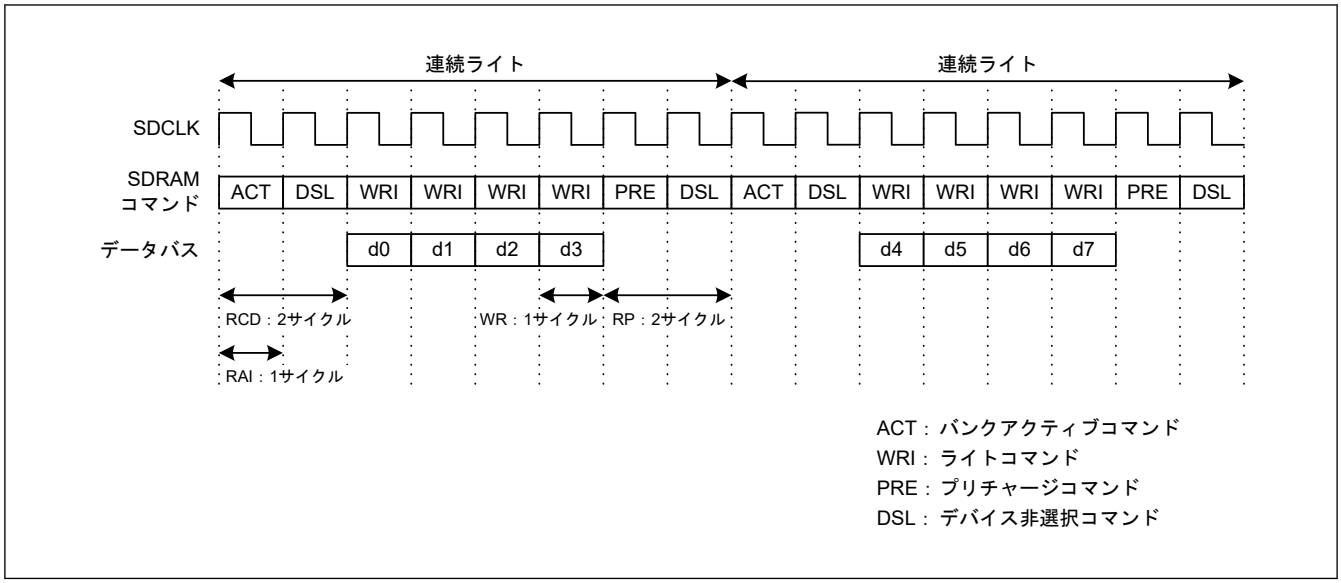


図 15.65　連続ライトタイミング例 (2)

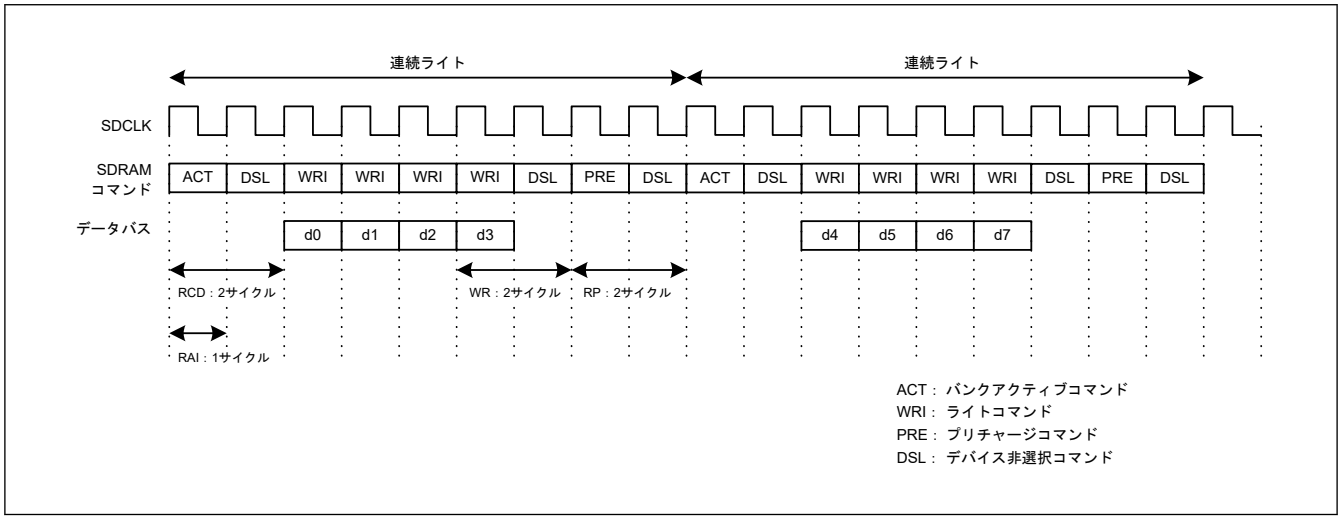


図 15.66　連続ライトタイミング例 (3)

15.6.12　アドレスマルチプレクス

SDRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。SDRAM アドレスレジスタ (SDADR) のアドレスマルチプレクス選択ビット (SDADR.MXC[1:0]) でロウアドレスのシフト量を選択する必要があります。また、SDRAM 空間では、カラムアドレスの上位側にアドレスプリチャージ選択コマンド (Precharge-sel) が出力されます。表 15.36 に、SDADR.MXC[1:0] ビットの設定値とシフト量の関係を示します。

表 15.36　アドレスマルチプレクス (1/2)

MXC [1:0]	シフト量	データバス幅	アドレス	MCU 外部アドレス端子																
				A16	A15	A14	A13	A12	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
00	8 ビット	8 ビット	ロウ	A24	A23	A22	A21	A20	A19	A18(注1)	A17	A16	A15	A14	A13	A12	A11	A10	A09	A08
			カラム	A24	A23	A22	A21	A20	A19	P	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		16 ビット	ロウ	A24	A23	A22	A21	A20	A19(注1)	A18	A17	A16	A15	A14	A13	A12	A11	A10	A09	A08
			カラム	A24	A23	A22	A21	A20	P	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		32 ビット	ロウ	A24	A23	A22	A21	A20(注1)	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A09	A08
			カラム	A24	A23	A22	A21	P	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
01	9 ビット	8 ビット	ロウ	A25	A24	A23	A22	A21	A20	A19(注1)	A18	A17	A16	A15	A14	A13	A12	A11	A10	A09
			カラム	A25	A24	A23	A22	A21	A20	P	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		16 ビット	ロウ	A25	A24	A23	A22	A21	A20(注1)	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A09
			カラム	A25	A24	A23	A22	A21	P	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		32 ビット	ロウ	A25	A24	A23	A22	A21(注1)	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A09
			カラム	A25	A24	A23	A22	P	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
10	10 ビット	8 ビット	ロウ	A26	A25	A24	A23	A22	A21	A20(注1)	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	A26	A25	A24	A23	A22	A21	P	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		16 ビット	ロウ	A26	A25	A24	A23	A22	A21(注1)	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	A26	A25	A24	A23	A22	P	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		32 ビット	ロウ	A26	A25	A24	A23	A22(注1)	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	A26	A25	A24	A23	P	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00

表 15.36　アドレスマルチプレクス (2/2)

MXC [1:0]	シフト量	データバス幅	アドレス	MCU 外部アドレス端子																
				A16	A15	A14	A13	A12	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
11	11 ビット	8 ビット	ロウ	—	A26	A25	A24	A23	A22	A21(注1)	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	—	A26	A25	A24	A23	A10	P	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		16 ビット	ロウ	—	A26	A25	A24	A23	A22(注1)	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	—	A26	A25	A24	A11	P	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		32 ビット	ロウ	—	A26	A25	A24	A23(注1)	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	—	A26	A25	A24	P	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00

注.　P：プリチャージ選択コマンド (Precharge-sel) を出力します。
注 1.　PALL コマンド発行時は Precharge-sel = 1 (High) を出力します。Active コマンド発行時は対応するアドレスを出力します。

15.6.13　SDRAM 接続例

15.6.13.1　32 ビットバス空間

表 15.37 に、ロウアドレス 13 ビット、カラムアドレス 10 ビット、および 16 ビットバスの 512 M ビット SDRAM を 2 個接続する場合の例を示します。

表 15.37　16 ビットバスへの 512 MB SDRAM × 2 の接続例 (1/2)

本 MCU（シフト量：10 ビット）					SDRAM（512 M ビット、16 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
1	RAS			→	RAS#			
2	CAS			→	CAS#			
3	WE			→	WE#			
4	CKE			→	CKE			
5	SDCS			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			
8	DQM0			→	LDQM			
9	A16	A26	A26	→	BA1 (A14)	BA1	—	—
10	A15	A25	A25	→	BA0 (A13)	BA0	—	—
11	A14	A24	A24	→	A12		A12	—
12	A13	A23	A23	→	A11		A11	—
13	A12	A22	P	→	A10	AP	A10	—
14	A11	A21	A11	→	A9		A9	A9
15	A10	A20	A10	→	A8		A8	A8
16	A09	A19	A9	→	A7		A7	A7
17	A08	A18	A8	→	A6		A6	A6
18	A07	A17	A7	→	A5		A5	A5

表 15.37　16 ビットバスへの 512 MB SDRAM × 2 の接続例 (2/2)

本 MCU（シフト量 : 10 ビット）					SDRAM（512 M ビット、16 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
19	A06	A16	A6	→	A4		A4	A4
20	A05	A15	A5	→	A3		A3	A3
21	A04	A14	A4	→	A2		A2	A2
22	A03	A13	A3	→	A1		A1	A1
23	A02	A12	A2	→	A0		A0	A0
24	DQ15～DQ08			↔	DQ[15:8]			
25	DQ07～DQ00			↔	DQ[7:0]			
本 MCU（シフト量 10 ビット）					SDRAM（512 M ビット、16 ビットバス）			
No. (注1)	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
(1)	RAS			→	RAS#			
(2)	CAS			→	CAS#			
(3)	WE			→	WE#			
(4)	CKE			→	CKE			
(5)	SDCS			→	CS#			
(6)	SDCLK			→	CLK			
26	DQM3			→	UDQM			
27	DQM2			→	LDQM			
(9)	A16	A26	A26	→	BA1 (A14)	BA1	—	—
(10)	A15	A25	A25	→	BA0 (A13)	BA0	—	—
(11)	A14	A24	A24	→	A12		A12	—
(12)	A13	A23	A23	→	A11		A11	—
(13)	A12	A22	P	→	A10	AP	A10	—
(14)	A11	A21	A11	→	A9		A9	A9
(15)	A10	A20	A10	→	A8		A8	A8
(16)	A09	A19	A9	→	A7		A7	A7
(17)	A08	A18	A8	→	A6		A6	A6
(18)	A07	A17	A7	→	A5		A5	A5
(19)	A06	A16	A6	→	A4		A4	A4
(20)	A05	A15	A5	→	A3		A3	A3
(21)	A04	A14	A4	→	A2		A2	A2
(22)	A03	A13	A3	→	A1		A1	A1
(23)	A02	A12	A2	→	A0		A0	A0
28	DQ31～DQ24			↔	DQ[15:8]			
29	DQ23～DQ16			↔	DQ[7:0]			

注 1.　括弧内の数字 (No.) は、その端子が 2 つの SDRAM 端子に分岐していることを示します。

表 15.38 に、ロウアドレス 12 ビット、カラムアドレス 9 ビット、および 32 ビットバスの 256 M ビット SDRAM を 1 個接続する場合の例を示します。

表 15.38　32 ビットバスへの 256 MB SDRAM × 1 の接続例

本 MCU（シフト量 : 9 ビット）					SDRAM（256 M ビット、32 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
1	RAS			→	RAS#			
2	CAS			→	CAS#			
3	WE			→	WE#			
4	CKE			→	CKE			
5	SDCS			→	CS#			
6	SDCLK			→	CLK			
7	DQM3			→	DQM3			
8	DQM2			→	DQM2			
9	DQM1			→	DQM1			
10	DQM0			→	DQM0			
11	A15	A24	A24	→	BA1 (A13)	BA1	—	—
12	A14	A23	A23	→	BA0 (A12)	BA0	—	—
13	A13	A22	A22	→	A11		A11	—
14	A12	A21	P	→	A10	AP	A10	—
15	A11	A20	A11	→	A9		A9	—
16	A10	A19	A10	→	A8		A8	A8
17	A09	A18	A9	→	A7		A7	A7
18	A08	A17	A8	→	A6		A6	A6
19	A07	A16	A7	→	A5		A5	A5
20	A06	A15	A6	→	A4		A4	A4
21	A05	A14	A5	→	A3		A3	A3
22	A04	A13	A4	→	A2		A2	A2
23	A03	A12	A3	→	A1		A1	A1
24	A02	A11	A2	→	A0		A0	A0
25	DQ31～DQ24			↔	DQ[31:24]			
26	DQ23～DQ16			↔	DQ[23:16]			
27	DQ15～DQ08			↔	DQ[15:8]			
28	DQ07～DQ00			↔	DQ[7:0]			

表 15.39 に、ロウアドレス 12 ビット、カラムアドレス 9 ビット、および 16 ビットバスの 128 M ビット SDRAM を 2 個接続する場合の例を示します。

表 15.39　16 ビットバスへの 128 MB SDRAM × 2 の接続例 (1/3)

本 MCU（シフト量 : 9 ビット）					SDRAM（128 M ビット、16 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
1	RAS			→	RAS#			
2	CAS			→	CAS#			
3	WE			→	WE#			
4	CKE			→	CKE			
5	SDCS			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			

表 15.39　16 ビットバスへの 128 MB SDRAM × 2 の接続例 (2/3)

本 MCU（シフト量 : 9 ビット）					SDRAM（128 M ビット、16 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
8	DQM0			→	LDQM			
9	A15	A24	A24	→	BA1 (A13)	BA1	—	—
10	A14	A23	A23	→	BA0 (A12)	BA0	—	—
11	A13	A22	A22	→	A11		A11	—
12	A12	A21	P	→	A10	AP	A10	—
13	A11	A20	A11	→	A9		A9	—
14	A10	A19	A10	→	A8		A8	A8
15	A09	A18	A9	→	A7		A7	A7
16	A08	A17	A8	→	A6		A6	A6
17	A07	A16	A7	→	A5		A5	A5
18	A06	A15	A6	→	A4		A4	A4
19	A05	A14	A5	→	A3		A3	A3
20	A04	A13	A4	→	A2		A2	A2
21	A03	A12	A3	→	A1		A1	A1
22	A02	A11	A2	→	A0		A0	A0
23	DQ15～DQ08			↔	DQ[15:8]			
24	DQ07～DQ00			↔	DQ[7:0]			
本 MCU（シフト量 9 ビット）					SDRAM（128 M ビット、16 ビットバス）			
No. (注1)	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
(1)	RAS			→	RAS#			
(2)	CAS			→	CAS#			
(3)	WE			→	WE#			
(4)	CKE			→	CKE			
(5)	SDCS			→	CS#			
(6)	SDCLK			→	CLK			
25	DQM3			→	UDQM			
26	DQM2			→	LDQM			
(9)	A15	A24	A24	→	BA1 (A13)	BA1	—	—
(10)	A14	A23	A23	→	BA0 (A12)	BA0	—	—
(11)	A13	A22	A22	→	A11		A11	—
(12)	A12	A21	P	→	A10	AP	A10	—
(13)	A11	A20	A11	→	A9		A9	—
(14)	A10	A19	A10	→	A8		A8	A8
(15)	A09	A18	A9	→	A7		A7	A7
(16)	A08	A17	A8	→	A6		A6	A6
(17)	A07	A16	A7	→	A5		A5	A5
(18)	A06	A15	A6	→	A4		A4	A4
(19)	A05	A14	A5	→	A3		A3	A3
(20)	A04	A13	A4	→	A2		A2	A2
(21)	A03	A12	A3	→	A1		A1	A1

表 15.39　16 ビットバスへの 128 MB SDRAM × 2 の接続例 (3/3)

本 MCU（シフト量 : 9 ビット）					SDRAM（128 M ビット、16 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
(22)	A02	A11	A2	→	A0		A0	A0
27	DQ31～DQ24			↔	DQ[15:8]			
28	DQ23～DQ16			↔	DQ[7:0]			

注 1.　括弧内の数字 (No.) は、その端子が 2 つの SDRAM 端子に分岐していることを示します。

15.6.13.2　16 ビットバス空間

表 15.40 に、ロウアドレス 13 ビット、カラムアドレス 11 ビット、および 8 ビットバスの 512 M ビット SDRAM を 2 個接続する場合の例を示します。

表 15.40　8 ビットバスへの 512 MB SDRAM × 2 の接続例 (1/2)

本 MCU（シフト量 : 11 ビット）					SDRAM（512 M ビット、8 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
1	RAS			→	RAS#			
2	CAS			→	CAS#			
3	WE			→	WE#			
4	CKE			→	CKE			
5	SDCS			→	CS#			
6	SDCLK			→	CLK			
7	DQM0			→	LDQM			
8	A15	A26	A26	→	BA1 (A14)	BA1	—	—
9	A14	A25	A25	→	BA0 (A13)	BA0	—	—
10	A13	A24	A24	→	A12		A12	—
11	A12	A23	A11	→	A11		A11	A11
12	A11	A22	P	→	A10	AP	A10	—
13	A10	A21	A10	→	A9		A9	A9
14	A09	A20	A9	→	A8		A8	A8
15	A08	A19	A8	→	A7		A7	A7
16	A07	A18	A7	→	A6		A6	A6
17	A06	A17	A6	→	A5		A5	A5
18	A05	A16	A5	→	A4		A4	A4
19	A04	A15	A4	→	A3		A3	A3
20	A03	A14	A3	→	A2		A2	A2
21	A02	A13	A2	→	A1		A1	A1
22	A01	A12	A1	→	A0		A0	A0
23	DQ07～DQ00			↔	DQ[7:0]			
本 MCU（シフト量 11 ビット）					SDRAM（512 M ビット、8 ビットバス）			
No. (注1)	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
(1)	RAS			→	RAS#			
(2)	CAS			→	CAS#			
(3)	WE			→	WE#			
(4)	CKE			→	CKE			

表 15.40　8 ビットバスへの 512 MB SDRAM × 2 の接続例 (2/2)

本 MCU（シフト量 : 11 ビット）					SDRAM（512 M ビット、8 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
(5)	SDCS			→	CS#			
(6)	SDCLK			→	CLK			
24	DQM1			→	LDQM			
(8)	A15	A26	A26	→	BA1 (A14)	BA1	—	—
(9)	A14	A25	A25	→	BA0 (A13)	BA0	—	—
(10)	A13	A24	A24	→	A12		A12	—
(11)	A12	A23	A11	→	A11		A11	A11
(12)	A11	A22	P	→	A10	AP	A10	—
(13)	A10	A21	A10	→	A9		A9	A9
(14)	A09	A20	A9	→	A8		A8	A8
(15)	A08	A19	A8	→	A7		A7	A7
(16)	A07	A18	A7	→	A6		A6	A6
(17)	A06	A17	A6	→	A5		A5	A5
(18)	A05	A16	A5	→	A4		A4	A4
(19)	A04	A15	A4	→	A3		A3	A3
(20)	A03	A14	A3	→	A2		A2	A2
(21)	A02	A13	A2	→	A1		A1	A1
(22)	A01	A12	A1	→	A0		A0	A0
25	DQ15～DQ08			↔	DQ[7:0]			

注 1.　括弧内の数字 (No.) は、その端子が 2 つの SDRAM 端子に分岐していることを示します。

表 15.41 に、ロウアドレス 13 ビット、カラムアドレス 10 ビット、および 16 ビットバスの 512 M ビット SDRAM を 1 個接続する場合の例を示します。

表 15.41　16 ビットバスへの 512 MB SDRAM × 1 の接続例 (1/2)

本 MCU（シフト量 : 10 ビット）					SDRAM（512 M ビット、16 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
1	RAS			→	RAS#			
2	CAS			→	CAS#			
3	WE			→	WE#			
4	CKE			→	CKE			
5	SDCS			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			
8	DQM0			→	LDQM			
9	A15	A25	A25	→	BA1 (A14)	BA1	—	—
10	A14	A24	A24	→	BA0 (A13)	BA0	—	—
11	A13	A23	A23	→	A12		A12	—
12	A12	A22	A22	→	A11		A11	—
13	A11	A21	P	→	A10	AP	A10	—
14	A10	A20	A10	→	A9		A9	A9
15	A09	A19	A9	→	A8		A8	A8

表 15.41　16 ビットバスへの 512 MB SDRAM × 1 の接続例 (2/2)

本 MCU（シフト量 : 10 ビット）					SDRAM（512 M ビット、16 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
16	A08	A18	A8	→	A7		A7	A7
17	A07	A17	A7	→	A6		A6	A6
18	A06	A16	A6	→	A5		A5	A5
19	A05	A15	A5	→	A4		A4	A4
20	A04	A14	A4	→	A3		A3	A3
21	A03	A13	A3	→	A2		A2	A2
22	A02	A12	A2	→	A1		A1	A1
23	A01	A11	A1	→	A0		A0	A0
24	DQ15～DQ08			↔	DQ[15:8]			
25	DQ07～DQ00			↔	DQ[7:0]			

表 15.42 に、ロウアドレス 13 ビット、カラムアドレス 9 ビット、および 16 ビットバスの 256 M ビット SDRAM を 1 個接続する場合の例を示します。

表 15.42　16 ビットバスへの 256 MB SDRAM × 1 の接続例

本 MCU（シフト量 : 9 ビット）					SDRAM（256 M ビット、16 ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
1	RAS			→	RAS#			
2	CAS			→	CAS#			
3	WE			→	WE#			
4	CKE			→	CKE			
5	SDCS			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			
8	DQM0			→	LDQM			
9	A15	A24	A24	→	BA1 (A14)	BA1	—	—
10	A14	A23	A23	→	BA0 (A13)	BA0	—	—
11	A13	A22	A22	→	A12		A12	—
12	A12	A21	A21	→	A11		A11	—
13	A11	A20	P	→	A10	AP	A10	—
14	A10	A19	A10	→	A9		A9	—
15	A09	A18	A9	→	A8		A8	A8
16	A08	A17	A8	→	A7		A7	A7
17	A07	A16	A7	→	A6		A6	A6
18	A06	A15	A6	→	A5		A5	A5
19	A05	A14	A5	→	A4		A4	A4
20	A04	A13	A4	→	A3		A3	A3
21	A03	A12	A3	→	A2		A2	A2
22	A02	A11	A2	→	A1		A1	A1
23	A01	A10	A1	→	A0		A0	A0
24	DQ15～DQ08			↔	DQ[15:8]			
25	DQ07～DQ00			↔	DQ[7:0]			

15.6.14 制限事項

(1) アドレス空間の領域を横断するアクセスの禁止

1 回のアクセスでアドレス空間の複数の領域を横断することは禁止されています。その場合の動作は保証されません。1 ワードのロングワードアクセスがアドレス空間の各領域の境界をまたがないようにしてください。

(2) 低電力状態

ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードでは、SDRAMC へのクロック供給が停止するため、オートリフレッシュ動作は利用できません。外部に SDRAM を接続し、SDRAM のデータを保持したい場合には、セルフリフレッシュ機能を使用してください。セルフリフレッシュモードの遷移／復帰手順については、「15.6.6. セルフリフレッシュ」を参照してください。

(3) SDRAM タイミングレジスタの設定

SDRAM タイミングレジスタ (SDTR) の RAI[2:0] ビット値は、ロウカラムレイテンシ (SDTR.RCD[1:0]) とカラムレイテンシ (SDTR.CL[2:0]) の合計以下に設定してください。この条件が満たされない場合の動作は保証されません。

(4) 命令コードの制限事項

命令コードはリトルエンディアンに固定する必要があります。

詳細は「15.2.5.1. エンディアンに関する制限事項」を参照してください。

(5) 連続アクセスモード

SDAMOD.BE が 1（連続アクセスが許可）の場合は SDTR.CL を 1 にしないでください。SDTR.CL が 1 の場合、動作は保証されません。

15.7 バスエラー監視部

この監視システムは、個々の領域を監視して、エラーを検出するとそのエラーを要求マスタ IP に返します。

15.7.1 バスエラーの種類

それぞれのバスでは、下記のエラーが生じる可能性があります。

- マスタセキュリティ属性ユニットエラー
- バスマスタ MPU エラー
- 不正アドレスアクセス
- スレーブ TrustZone フィルタエラー
- 各スレーブ IP より送信されるバスエラー

表 15.46 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU については、「16. メモリプロテクションユニット (MPU)」を参照してください。

15.7.2 バスエラー発生時の動作

15.7.2.1 バッファラブル書き込みエラー発生時の動作

バッファラブル書き込みによりアクセス違反が発生した場合、バスマスタにエラー応答が返らない場合があります。

エラー応答を返さないバッファラブル書き込みエラーが検出された場合、アクセスがブロックされ、MBWERRSTAT のエラー発生位置に対応するビットが 1 になります。さらに、BUSOAD.BWERROAD の設定に従って、バスエラー割り込み要求またはリセット要求が発生します。MBWERRSTAT は、バスエラーリセットおよびメモリエラーリセット以外のリセットまたは MBWERRCLR によりクリアされるまで保持されるので、バスエラー割り込みハンドラで確認することができます。

バッファラブル書き込みエラーは、次のような場合に発生することがあります。

1. CPU0 M-AXI が CPU1TCMBI にアクセスし、スレーブエラーまたはスレーブ TrustZone フィルタエラーが発生。
2. CPU0 P-AHB が不正なアドレス領域にアクセス。
3. CPU0 P-AHB がアクセスできる領域にアクセスし、スレーブエラーまたはスレーブ TrustZone フィルタエラーが発生。
4. CPU1 C-AHB が不正なアドレス領域にアクセス。
5. CPU1 C-AHB がアクセスできる領域にアクセスし、スレーブエラーまたはスレーブ TrustZone フィルタエラーが発生。
6. CPU1 S-AHB が不正なアドレス領域にアクセス。
7. CPU1 S-AHB がアクセスできる領域にアクセスし、スレーブエラーまたはスレーブ TrustZone フィルタエラーが発生。
8. DMA が PABI、PBBI、PIBI、PSBI、CPU0SAHBI、および CPU1TCMBI にアクセスし、スレーブバスエラーまたはスレーブ TrustZone フィルタエラーが発生。

表 15.43　バッファラブル書き込み時のバスエラー通知方法

OAD 設定	DAP	CPU0, CPU1	その他
BUSOAD.BWERROAD = 0	割り込み	割り込み	割り込み
BUSOAD.BWERROAD = 1	リセット	リセット	リセット

バスエラー割り込み要求 BUS_ERR は、ノンマスカブル割り込み要求として割り当てることができます。詳細は、ICU.NMIER レジスタの仕様を参照してください。

15.7.2.2　バッファラブル書き込みエラー以外のエラー発生時の動作

バッファラブル書き込み以外のアクセスでバスエラーが発生した場合、エラーアクセスをブロックし、OAD 設定とバスマスタで決定したエラー動作を行います。表 15.44 に、各エラーに対応する OAD 設定を示します。表 15.45 に、バスエラー発生時の通知方法を示します。

- OAD 設定が割り込みの場合
  エラー応答はバスマスタに返されます。
  BUSIRQEN<マスタ名>.EN = 1 の場合、バスエラー割り込み BUS_ERR が発生します。
  バスエラー割り込み要求 BUS_ERR は、ノンマスカブル割り込み要求としても使用できます。詳細は ICU.NMIER レジスタの仕様を参照してください。
- OAD 設定がリセットの場合
  エラー応答がバスマスタに返され、リセット要求が発生します。

表 15.44　各エラーに対応する OAD 設定

エラー種別	OAD ビット
MSAU エラー	MSAOAD.OAD
MPU エラー	MMPUOAD.OAD
不正アドレスアクセスエラー	BUSOAD.ILERROAD
スレーブバスエラー	BUSOAD.SLERROAD
スレーブ TrustZone フィルタエラー	BUSOAD.SLERROAD

表 15.45　非バッファラブル書き込み時のバスエラー通知方法

OAD 設定		DAP(注1)	CPUn (n = 0, 1)	DMAC/DTCn (n = 0, 1)	EDMAC	CEU
割り込み	バス	エラー応答のみ	BUS_ERR	BUS_ERR	BUS_ERR	BUS_ERR
	バスマスタ		バスフォールト	DMAn_TRANSERR	ETHER_GWEI	—
リセット	バス／バスマスタ	エラー応答のみ	リセット	リセット	リセット	リセット

注. DMAC/DTC0、DMAC/DTC1、および EDMAC は、エラー応答を受信したときに割り込みを発行することができます。この割り込みは ICU に出力され、ICU から CPU に送信されます。
注 1. バスマスタが DAP の場合のみ、BUSOAD.OAD の設定に関わらずエラー応答のみが返され、割り込み要求やリセット要求は発生しません。

図 15.67 に、リセット後の OAD 設定フローを示します。本レジスタ設定中は、バスマスタを停止してください。

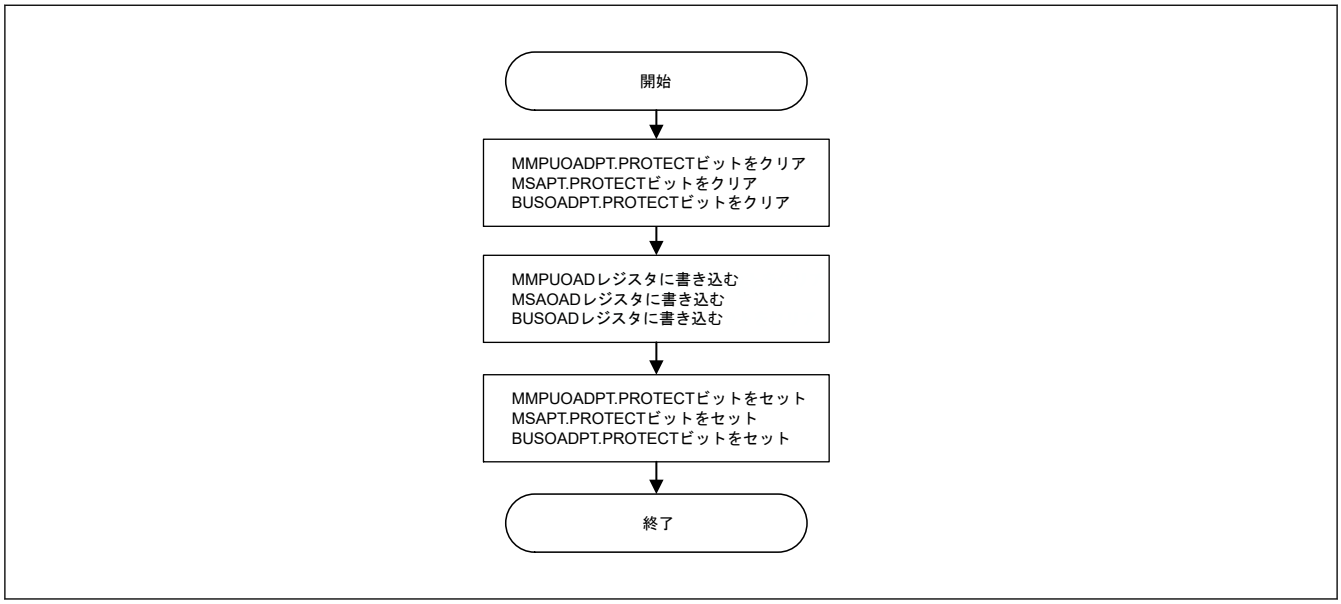


図 15.67 リセット後の OAD 設定フロー

MMPUOADPT レジスタと MMPUOAD レジスタの詳細は、「16. メモリプロテクションユニット (MPU)」を参照してください。

MSAPT レジスタと MSAOAD レジスタの詳細は、「51. セキュリティ機能」を参照してください。

(1) マスタセキュリティ属性ユニットエラー

CPU と DAP 以外のバスマスタは、非セキュアマスタからのセキュアエイリアスアドレスへのアクセスをブロックする MSAU を持っています。CPU には IDAU および SAU があるので、MSAU はありません。MSAU エラーが検出されると、マスタにエラー応答が返されます。それと同時に、BUSERRSTAT<マスタ名>の MSERRSTAT ビットが 1 になります。さらに、MSAOAD.OAD および BUSIRQEN<マスタ名>.EN の設定に従って、バスエラー割り込み要求またはリセット要求が発生します。BUSERRSTAT<マスタ名>は、リセット（バスエラーリセット、共通メモリリセット、および CPU ローカルメモリリセットを除く）または BUSERRCLR<マスタ名>でクリアされるまで保持されるので、バスエラー割り込みハンドラの中またはリセット後に確認することができます。バスエラー割り込みが発生するのは、リセットが発生した後に、または BUSERRSTAT<マスタ名>.MSERRSTAT ビットが BUSERRCLR<マスタ名>でクリアされた後に、最初の MSAU エラーが発生したときだけです。

(2) バスマスタ MPU エラー

CPU および DAP 以外のバスマスタは、設定されたアドレス領域のアクセス制御のためにマスタ MPU を備えています。CPU には ARM MPU があるので、マスタ MPU はありません。マスタ MPU エラーが検出されると、マスタにエラー応答が返されます。それと同時に、BUSERRSTAT<マスタ名>の MMERRSTAT ビットが 1 になります。さらに、MMPUOAD.OAD および BUSIRQEN<マスタ名>.EN の設定に従って、バスエラー割り込み要求またはリセット要求が発生します。BUSERRSTAT<マスタ名>は、リセット（バスエラーリセット、共通メモリリセット、および CPU ローカルメモリリセットを除く）または BUSERRCLR<マスタ名>でクリアされるまで保持されるので、バスエラー割り込みハンドラの中またはリセット後に確認することができます。バスエラー割り込みが発生するのは、リセットが発生した後に、または BUSERRSTAT<マスタ名>.MMERRSTAT ビットが BUSERRCLR<マスタ名>でクリアされた後に、最初のマスタ MPU エラーが発生したときだけです。

(3) 不正アクセスエラー

不正アドレスアクセスエラーは、「15.7.3. 不正アドレスアクセスエラーを引き起こす条件」に記載の条件で発生します。不正アドレスアクセスエラーが検出されると、マスタにエラー応答が返されます。DAP 以外のマスタによる不正アドレスアクセスエラーが発生した場合、BUSERRSTAT<マスタ名>の ILERRSTAT ビットは 1 になります。さらに、BUSOAD.ILERROAD および BUSIRQEN<マスタ名>.EN の設定に従って、バスエラー割り込み要求

またはリセット要求が発生します。BUSERRSTAT<マスタ名>は、リセット（バスエラーリセット、共通メモリエラーリセット、および CPU ローカルメモリリセットを除く）または BUSERRCLR<マスタ名>でクリアされるまで保持されるので、BusFault ハンドラまたはバスエラー割り込みハンドラの中で確認することができます。バスエラー割り込みが発生するのは、リセットが発生した後に、または BUSERRSTAT<マスタ名>.ILERRSTAT ビットが BUSERRCLR<マスタ名>でクリアされた後に、最初の不正エラーが発生したときだけです。

(4) スレーブ TrustZone フィルタエラー

スレーブ TrustZone フィルタエラーが検出されると、マスタにエラー応答が返されます。DAP 以外のマスタによるスレーブ TrustZone フィルタエラーが発生した場合、BUSERRSTAT<マスタ名>の SLERRSTAT ビットは 1 になります。さらに、BUSOAD.SLERROAD および BUSIRQEN<マスタ名>.EN の設定に従って、バスエラー割り込み要求またはリセット要求が発生します。BUSERRSTAT<マスタ名>は、リセット（バスエラーリセット、共通メモリリセット、および CPU ローカルメモリリセットを除く）または BUSERRCLR<マスタ名>でクリアされるまで保持されるので、バスエラー割り込みハンドラの中またはリセット後に確認することができます。バスエラー割り込みが発生するのは、リセットが発生した後に、または BUSERRSTAT<マスタ名>.SLERRSTAT ビットが BUSERRCLR<マスタ名>でクリアされた後に、最初のスレーブ TrustZone フィルタエラーが発生したときだけです。

(5) スレーブバスエラー

スレーブバスエラーはスレーブで発生します。スレーブバスエラーが検出されると、マスタにエラー応答が返されます。DAP 以外のマスタによるスレーブバスエラーが発生した場合、BUSERRSTAT<マスタ名>の SLERRSTAT ビットは 1 になります。さらに、BUSOAD.SLERROAD および BUSIRQEN<マスタ名>.EN の設定に従って、バスエラー割り込み要求またはリセット要求が発生します。BUSERRSTAT<マスタ名>は、リセット（バスエラーリセットおよびメモリエラーリセットを除く）または BUSERRCLR<マスタ名>でクリアされるまで保持されるので、BusFault ハンドラまたはバスエラー割り込みハンドラの中で確認することができます。バスエラー割り込みが発生するのは、リセットが発生した後に、または BUSERRSTAT<マスタ名>.SLERRSTAT ビットが BUSERRCLR<マスタ名>でクリアされた後に、最初のスレーブバスエラーが発生したときだけです。

15.7.3 不正アドレスアクセスエラーを引き起こす条件

バスアクセスによる不正アドレスアクセスエラーは、表 15.46 に示すアドレス空間で発生します。

表 15.46 不正アドレスアクセスエラーを引き起こす条件 (1/4)

アドレス			マスタバス							
							DMAC/DTC			GRAPHIC
開始	終了	スレーブバス	CPU0 MAXI	CPU0 PAHB	CPU1 CAHB	CPU1 SAHB	0	1	EDMAC	CEU
0x0000_0000	0x01FF_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x0200_0000	0x0207_FFFF	MRC0BI（読み出し）	—	N/A	—	N/A	—	—	—	N/A
		MRC0BI（書き込み）	—	N/A	—	N/A	—	—	E	E
0x0208_0000	0x020B_FFFF	MRC0BI（読み出し）	—/E(注1)	N/A	—/E(注1)	N/A	—/E(注1)	—/E(注1)	—/E(注1)	N/A
		MRC0BI（書き込み）	—/E(注1)	N/A	—/E(注1)	N/A	—/E(注1)	—/E(注1)	E	E
0x020C_0000	0x020_FFFFF	MRC0BI（読み出し）	—/E(注2)	N/A	—/E(注2)	N/A	—/E(注2)	—/E(注2)	—/E(注2)	N/A
		MRC0BI（書き込み）	—/E(注2)	N/A	—/E(注2)	N/A	—/E(注2)	—/E(注2)	E	E
0x0210_0000	0x027F_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x0280_0000	0x0280_1FFF	予約	E	N/A	E	N/A	E	E	E	E
0x0280_2000	0x029F_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x02A0_0000	0x02CF_FFFF	MRE0BI	—	N/A	—	N/A	—	—	—	E
0x02D0_0000	0x02DF_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x02E0_0000	0x02FF_FFFF	MRE0BI	—	N/A	—	N/A	—	—	—	E
0x0300_0000	0x07FF_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x0800_0000	0x0FFF_FFFF	OSPI1BI	—	N/A	—	N/A	—	—	—	—

表 15.46　不正アドレスアクセスエラーを引き起こす条件 (2/4)

アドレス			マスタバス							
							DMAC/DTC			GRAPHIC
開始	終了	スレーブバス	CPU0 MAXI	CPU0 PAHB	CPU1 CAHB	CPU1 SAHB	0	1	EDMAC	CEU
0x1000_0000	0x11FF_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x1200_0000	0x1207_FFFF	MRC0BI（読み出し）	—	N/A	—	N/A	—	—	—	N/A
		MRC0BI（書き込み）	—	N/A	—	N/A	—	—	E	E
0x1208_0000	0x120B_FFFF	MRC0BI（読み出し）	—/E(注1)	N/A	—/E(注1)	N/A	—/E(注1)	—/E(注1)	—/E(注1)	N/A
		MRC0BI（書き込み）	—/E(注1)	N/A	—/E(注1)	N/A	—/E(注1)	—/E(注1)	E	E
0x120C_0000	0x120F_FFFF	MRC0BI（読み出し）	—/E(注2)	N/A	—/E(注2)	N/A	—/E(注2)	—/E(注2)	—/E(注2)	N/A
		MRC0BI（書き込み）	—/E(注2)	N/A	—/E(注2)	N/A	—/E(注2)	—/E(注2)	E	E
0x1210_0000	0x127F_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x1280_0000	0x1280_1FFF	予約	E	N/A	E	N/A	E	E	E	E
0x1280_2000	0x129F_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x12A0_0000	0x12CF_FFFF	MRE0BI	—	N/A	—	N/A	—	—	—	E
0x12D0_0000	0x12DF_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x12E0_0000	0x12FF_FFFF	MRE0BI	—	N/A	—	N/A	—	—	—	E
0x1300_0000	0x17FF_FFFF	予約	E	N/A	E	N/A	E	E	E	E
0x1800_0000	0x1FFF_FFFF	OSPI1BI	—	N/A	—	N/A	—	—	—	—
0x2000_0000	0x21FF_FFFF	予約	E	N/A	N/A	E	E	E	E	E
0x2200_0000	0x2207_FFFF	S0BI	—	N/A	N/A	—	—	—	—	—
0x2208_0000	0x220F_FFFF	S1BI	—	N/A	N/A	—	—	—	—	—
0x2210_0000	0x2217_FFFF	S2BI	—	N/A	N/A	—	—	—	—	—
0x2218_0000	0x2219_FFFF	S3BI	—	N/A	N/A	—	—	—	—	—
0x221A_0000	0x221A_FFFF	S0BI	—	N/A	N/A	—	—	—	—	—
0x221B_0000	0x221B_FFFF	S1BI	—	N/A	N/A	—	—	—	—	—
0x221C_0000	0x221C_FFFF	S2BI	—	N/A	N/A	—	—	—	—	—
0x221D_0000	0x221D_3FFF	S3BI	—	N/A	N/A	—	—	—	—	—
0x221D_4000	0x27FF_FFFF	予約	E	N/A	N/A	E	E	E	E	E
0x2800_0000	0x2803_FFFF	CPU0SAHBI	E	N/A	N/A	—	—	—	E	E
0x2804_0000	0x29FF_FFFF	予約	E	N/A	N/A	E	E	E	E	E
0x2A00_0000	0x2A01_FFFF	CPU1TCMBI	—	N/A	N/A	E	—	—	E	E
0x2A02_0000	0x2FFF_FFFF	予約	E	N/A	N/A	E	E	E	E	E
0x3000_0000	0x31FF_FFFF	予約	E	N/A	N/A	E	E	E	E	E
0x3200_0000	0x3207_FFFF	S0BI	—	N/A	N/A	—	—	—	—	—
0x3208_0000	0x320F_FFFF	S1BI	—	N/A	N/A	—	—	—	—	—
0x3210_0000	0x3217_FFFF	S2BI	—	N/A	N/A	—	—	—	—	—
0x3218_0000	0x3219_FFFF	S3BI	—	N/A	N/A	—	—	—	—	—
0x321A_0000	0x321A_FFFF	S0BI	—	N/A	N/A	—	—	—	—	—
0x321B_0000	0x321B_FFFF	S1BI	—	N/A	N/A	—	—	—	—	—
0x321C_0000	0x321C_FFFF	S2BI	—	N/A	N/A	—	—	—	—	—
0x321D_0000	0x321D_3FFF	S3BI	—	N/A	N/A	—	—	—	—	—
0x321D_4000	0x37FF_FFFF	予約	E	N/A	N/A	E	E	E	E	E
0x3800_0000	0x3803_FFFF	CPU0SAHBI	E	N/A	N/A	—	—	—	E	E
0x3804_0000	0x39FF_FFFF	予約	E	N/A	N/A	E	E	E	E	E

表 15.46　不正アドレスアクセスエラーを引き起こす条件 (3/4)

アドレス			マスタバス							
							DMAC/DTC			GRAPHIC
開始	終了	スレーブバス	CPU0 MAXI	CPU0 PAHB	CPU1 CAHB	CPU1 SAHB	0	1	EDMAC	CEU
0x3A00_0000	0x3A01_FFFF	CPU1TCMBI	—	N/A	N/A	E	—	—	E	E
0x3A02_0000	0x3FFF_FFFF	予約	E	N/A	N/A	E	E	E	E	E
0x4000_0000	0x4000_1FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4000_2000	0x4000_2FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4000_3000	0x4000_3FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4000_4000	0x4000_4FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4000_5000	0x4000_5FFF	予約	N/A	E	N/A	E	E	E	E	E
0x4000_6000	0x4000_6FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4000_7000	0x4000_7FFF	予約	N/A	E	N/A	E	E	E	E	E
0x4000_8000	0x4000_8FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4000_9000	0x4000_9FFF	予約	N/A	E	N/A	E	E	E	E	E
0x4000_A000	0x4000_AFFF	PS0BI	N/A	—	N/A	N/A	E	E	E	E
		PS1BI	N/A	N/A	N/A	—	E	E	E	E
0x4000_B000	0x4000_BFFF	予約	N/A	E	N/A	E	E	E	E	E
0x4000_C000	0x4000_CFFF	PS0BI	N/A	—	N/A	N/A	E	E	E	E
		PS1BI	N/A	N/A	N/A	—	E	E	E	E
0x4000_D000	0x4000_EFFF	予約	N/A	E	N/A	E	E	E	E	E
0x4000_F000	0x4000_FFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4001_0000	0x4001_AFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4001_B000	0x4001_BFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4001_C000	0x4001_CFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4001_D000	0x4001_DFFF	予約	N/A	E	N/A	E	E	E	E	E
0x4001_E000	0x4001_EFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4001_F000	0x4001_FFFF	予約	N/A	E	N/A	E	E	E	E	E
0x4002_0000	0x4002_0FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4002_1000	0x4011_FFFF	予約	N/A	E	N/A	E	E	E	E	E
0x4012_0000	0x4013_FFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x4014_0000	0x4014_0FFF	予約	N/A	—	N/A	—	—	—	E	E
0x4014_1000	0x401F_FFFF	予約	N/A	E	N/A	E	E	E	E	E
0x4020_0000	0x402F_FFFF	PBBI	N/A	—	N/A	—	—	—	E	E
0x4030_0000	0x403F_FFFF	PABI	N/A	—	N/A	—	—	—	E	E
0x4040_0000	0x404F_FFFF	PIBI	N/A	—	N/A	—	—	—	E	E
0x4050_0000	0x4FFF_FFFF	予約	N/A	E	N/A	E	E	E	E	E
0x5000_0000	0x5000_1FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5000_2000	0x5000_2FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5000_3000	0x5000_3FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5000_4000	0x5000_4FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5000_5000	0x5000_5FFF	予約	N/A	E	N/A	E	E	E	E	E
0x5000_6000	0x5000_6FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5000_7000	0x5000_7FFF	予約	N/A	E	N/A	E	E	E	E	E
0x5000_8000	0x5000_8FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5000_9000	0x5000_9FFF	予約	N/A	E	N/A	E	E	E	E	E
0x5000_A000	0x5000_AFFF	PS0BI	N/A	—	N/A	E	E	E	E	E
		PS1BI	N/A	E	N/A	—	E	E	E	E

表 15.46　不正アドレスアクセスエラーを引き起こす条件 (4/4)

アドレス			マスタバス							
							DMAC/DTC			GRAPHIC
開始	終了	スレーブバス	CPU0 MAXI	CPU0 PAHB	CPU1 CAHB	CPU1 SAHB	0	1	EDMAC	CEU
0x5000_B000	0x5000_BFFF	予約	N/A	E	N/A	E	E	E	E	E
0x5000_C000	0x5000_CFFF	PS0BI	N/A	—	N/A	E	E	E	E	E
		PS1BI	N/A	E	N/A	—	E	E	E	E
0x5000_D000	0x5000_EFFF	予約	N/A	E	N/A	E	E	E	E	E
0x5000_F000	0x5000_FFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5001_0000	0x5001_AFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5001_B000	0x5001_BFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5001_C000	0x5001_CFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5001_D000	0x5001_DFFF	予約	N/A	E	N/A	E	E	E	E	E
0x5001_E000	0x5001_EFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5001_F000	0x5001_FFFF	予約	N/A	E	N/A	E	E	E	E	E
0x5002_0000	0x5002_0FFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5002_1000	0x5011_FFFF	予約	N/A	E	N/A	E	E	E	E	E
0x5012_0000	0x5013_FFFF	PSBI	N/A	—	N/A	—	—	—	E	E
0x5014_0000	0x5014_0FFF	予約	N/A	—	N/A	—	—	—	E	E
0x5014_1000	0x501F_FFFF	予約	N/A	E	N/A	E	E	E	E	E
0x5020_0000	0x502F_FFFF	PBBI	N/A	—	N/A	—	—	—	E	E
0x5030_0000	0x503F_FFFF	PABI	N/A	—	N/A	—	—	—	E	E
0x5040_0000	0x504F_FFFF	PIBI	N/A	—	N/A	—	—	—	E	E
0x5050_0000	0x5FFF_FFFF	予約	N/A	E	N/A	E	E	E	E	E
0x6000_0000	0x6FFF_FFFF	ECBI	—	N/A	N/A	—	—	—	—	—
0x7000_0000	0x7FFF_FFFF	OSPI1BI	—/E(注3)	N/A	N/A	—/E(注3)	—/E(注3)	—/E(注3)	—/E(注3)	—/E(注3)
0x8000_0000	0x9FFF_FFFF	OSPI0BI	—	N/A	N/A	—	—	—	—	—
0xA000_0000	0xFFFF_FFFF	予約	E	N/A	N/A	E	E	E	E	E

注.　E：バスエラー発生あり
N/A：転送発生なし
—：バスエラーの発生なし。予約領域がある場合でも、バスエラーは発生していません。
次の各メモリにある予約領域にアクセスしないでください：コード MRAM、エクストラ MRAM、SRAM0、SRAM1、SRAM2、SRAM3。アクセスした場合、スレーブ TrustZone フィルタエラーが発生する可能性があります。
注 1.　容量が 512 KB のコード MRAM を持つ製品は「E」、それ以外の製品は「—」。
注 2.　容量が 512 KB または 768 KB のコード MRAM を持つ製品は「E」、それ以外の製品は「—」。
注 3.　SIP フラッシュのない製品は「—」、SIP フラッシュのある製品は「E」。

15.7.4　タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生することがあります。

一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。

タイムアウトエラーは、AHB-Lite プロトコルのエラー応答により要求元マスタ IP に返されます。

15.8　参考資料

1. ARM Limited, *Arm v8-M Architecture Reference Manual*(ARM DDI0553B.g)
2. ARM Limited, *Arm® Cortex®-M85 Processor Integration and Implementation Manual Revision:r0p2* (ARM 101925_0002_05_en)
3. ARM Limited, *Arm® Cortex®-M85 Processor Technical Reference Manual Revision:r0p2* (ARM 101924_0002_05_en)
4. ARM Limited, *Arm® Cortex®-M85 Processor User Guide Reference Material Revision:r0p2* (ARM 101927_0002_05_en)

5. ARM Limited, *Arm® Cortex®-M33 Processor Integration and Implementation Manual Revision:r0p2* (ARM 100323_0002_00_en)
6. ARM Limited, *Arm® Cortex®-M33Processor Technical Reference Manual Revision:r0p4* (ARM 100230_0004_00_en)
7. ARM Limited, *Arm® Cortex®-M33Processor User Guide Reference Material Revision:r0p2* (ARM 100234_0002_00_en)
8. ARM Limited, *ARM AMBA 5 AHB Protocol Specification AHB5, AHB-Lite* (ARM IHI 0033B.b)
9. ARM Limited, *ARM AMBA AXI and ACE Protocol Specification AXI3, AXI4, and AXI4-Lite*, ACE and ACE-Lite (ARM IHI 0022H.c)
10. ARM Limited, *ARM AMBA APB Protocol Specification Version: 2.0* (ARM IHI 0024D)

16. メモリプロテクションユニット (MPU)

16.1 概要

この章の EDMAC は、ESWM の GWCA 機能を指します。

すべてのバスマスタはメモリプロテクションユニット (MPU) を備えています。

表 16.1 に MPU の仕様を示します。また、表 16.2 に各 MPU エラーの検出動作を示します。

表 16.1 MPU の仕様

項目	モジュール／機能	内容
メモリプロテクション	Arm MPU	CPU 用のメモリプロテクション機能： • CPU0：セキュア MPU の 8 領域と非セキュア MPU の 8 領域 • CPU1：セキュア MPU の 8 領域と非セキュア MPU の 8 領域
	バスマスタ MPU	CPU を除く各バスマスタ用のメモリプロテクション機能： • DMAC0 (DMAC/DTC0): 8 領域 • DMAC1 (DMAC/DTC1): 8 領域 • EDMAC (Ether-DMAC): 5 領域 • CEU: 2 領域

表 16.2 MPU エラー検出動作

MPU の種類	アクセス許可設定	バウンダリアドレス設定の最小単位	MPU のエラー通知に対するエラー応答	エラー検出時のバスアクセス	エラーアクセス情報の保持
Arm MPU	読み出しアクセス 書き込みアクセス 実行	32 バイト	サポートあり(注1)	• 不正書き込みアクセス • 不正読み出しアクセス	CPU で保持
バスマスタ MPU	読み出しアクセス 書き込みアクセス プリビレッジアクセス （DMAC/DTC 専用）	DMAC0/1: 32 バイト EDMAC: 32 バイト CEU: 4 KB	サポートあり	• 書き込みアクセスは無視 • 読み出しアクセスは 0 が読める	保持

注 1. アンプリビレッジデバッグ拡張メカニズムによりプリビレッジ DAP 要求がアンプリビレッジアクセスに降格し、MPU の確認を受ける必要があります。プリビレッジ要求とアンプリビレッジ要求は、MPU の確認を受ける必要があります。

Arm MPU に対するエラーアクセス情報については、「16.4. 参考資料」を参照してください。他の MPU に対するエラーアクセス情報については、「16.3.1. レジスタの説明」および「15.7. バスエラー監視部」を参照してください。

16.2 Arm MPU

Arm MPU は次の機能を全面的にサポートしています。

- CPU0, 1: 8 つのセキュア領域と 8 つの非セキュア領域
- アクセス許可
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致およびアクセス違反によって、プログラマブルプライオリティ MemManage フォールト（ハードフォールト）ハンドラが呼び出されます。詳細は、「16.4. 参考資料」を参照してください。

16.3 バスマスタ MPU

バスマスタ MPU は、全アドレス空間 (0x0000_0000～0xFFFF_FFFF) を対象にバスマスタがアクセスするアドレスを監視しています。アクセス制御情報は、最大で以下の領域まで設定可能です。

- 8 領域 (DMAC0)
- 8 領域 (DMAC1)
- 5 領域 (EDMAC)
- 2 領域 (CEU)

バスマスタ MPU は、本設定に従って各領域へのアクセスを監視します。

アクセスがバスマスタ MPU で設定したアクセス許可に違反した場合、またはバーストアクセスで有効な MPU 領域のバウンダリを通過した場合には、バスマスタ MPU はエラー応答を返します。エラーアクセス情報については、「16.3.1. レジスタの説明」および「15.7.2. バスエラー発生時の動作」を参照してください。

表 16.3 にバスマスタ MPU の仕様を示します。

表 16.3　バスマスタ MPU の仕様

項目	内容
マスタグループ	（グループ名：対応するバスマスタ） • DMAC0: DMAC/DTC0 • DMAC1: DMAC/DTC1 • EDMAC: Ether-DMAC • CEU: CEU
保護領域	0x0000_0000～0xFFFF_FFFF
領域数	• DMAC0: 8 領域 • DMAC1: 8 領域 • EDMAC: 5 領域 • CEU: 2 領域
各領域のアドレス仕様	• 領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効または無効設定	• 対応する領域に対して有効または無効を設定
各領域のアクセス制御設定	• 読み出しおよび書き込み許可 • アンプリビレッジアクセス許可
エラー検出時の動作	• リセットまたはエラー応答
レジスタの保護	• 不正書き込みからレジスタを保護可能

16.3.1　レジスタの説明

レジスタの書き込み処理は、対応するマスタグループのバスアクセス停止後に行われます。

各レジスタには SA（セキュリティ属性）が設定されます。SA は、対象レジスタがセキュアレジスタか非セキュアレジスタかを決めるのに使用されます。

16.3.1.1　MMPUSARA : マスタメモリプロテクションユニットセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	MMPUASAn[23:16]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	MMPUASAn[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	MMPUASA7～ MMPUASA0	MMPUAn セキュリティ属性 (n = 0～7) 0: セキュア 1: 非セキュア	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
23:16	MMPUASA23～ MMPUASA16	MMPUAn セキュリティ属性 (n = 16～23) 0: セキュア 1: 非セキュア	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1
P-TYPE-1

MMPUASA ビット（MMPUAn セキュリティ属性 (n = 0～7)）

これらのビットは、DMAC0 用バスマスタ MPU 領域設定レジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- MMPUSDMAC00n
- MMPUEDMAC00n
- MMPUACDMAC00n

MMPUASA ビット（MMPUAn セキュリティ属性 (n = 16～23)）

これらのビットは、DMAC1 用バスマスタ MPU 領域設定レジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- MMPUSDMAC10y (y = n − 16)
- MMPUEDMAC10y (y = n − 16)
- MMPUACDMAC10y (y = n − 16)

16.3.1.2 MMPUSARB : マスタメモリプロテクションユニットセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MMPUBSA8	—	—	—	—	—	—	MMPUBSA1	MMPUBSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MMPUBSA0	MMPUB0 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	MMPUBSA1	MMPUB1 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	MMPUBSA8	MMPUB8 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1
P-TYPE-1

MMPUBSA0 ビット（MMPUB0 セキュリティ属性）

このビットは、DMAC0 MPU 許可設定レジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- MMPUENDMAC0
- MMPUENPTDMAC0

MMPUBSA1 ビット（MMPUB1 セキュリティ属性）

このビットは、DMAC1 MPU 許可設定レジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- MMPUENDMAC1
- MMPUENPTDMAC1

MMPUBSA8 ビット（MMPUB8 セキュリティ属性）

このビットは、検出後 MPU 動作設定レジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- MMPUOAD
- MMPUOADPT

16.3.1.3 MMPUSDMACmn : DMAC 用 MMPU 開始アドレスレジスタ (m = 0, 1, n = 00～07)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0204 + 0x0010 × n (DMAC0n)
0x0404 + 0x0010 × n (DMAC1n)

Bit position:	31																										0
Bit field:																											
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	領域開始アドレスレジスタ 領域開始アドレス（領域決定に使用） MPU 領域開始アドレスは 0x0000_0000～0xFFFF_FFE0 の範囲で設定してください。 ビット 0～ビット 4 への書き込みは無視されます。読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUSDMACmn (m = 0, 1, n = 00～07) レジスタは、領域開始位置の開始アドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

MMPUSDMACmn (m = 0, 1, n = 00～07)、MMPUEDMACmn (m = 0, 1, n = 00～07)、および MMPUACDMACmn (m = 0, 1, n = 00～07) レジスタで設定される領域を、MMPUSARA レジスタでセキュアアクセスまたは非セキュアアクセスに設定可能です。対応する MMPUSARA.MMPUASAn (n = 0～7, 16～23) ビットが 1 に設定されると、その領域には非セキュアアクセスのみが許可されます。一方、対応する MMPUSARA.MMPUASAn (n = 0～7, 16～23) ビットが 0 に設定されると、その領域にはセキュアアクセスのみが許可されます。

16.3.1.4 MMPUSEDMACn : EDMAC 用 MMPU 開始アドレスレジスタ (n = 0～4)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0604 + 0x010 × n

Bit position:	31																									0
Bit field:																										
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	EDMAC 用領域開始アドレスレジスタ 領域開始アドレス（領域決定に使用） MPU 領域開始アドレスは 0x0000_0000～0xFFFF_FFE0 の範囲で設定してください。 ビット 0～ビット 4 への書き込みは無視されます。読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUSEDMACn (n = 0～4) レジスタは、領域開始位置の開始アドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

16.3.1.5 MMPUSCEUn : CEU 用 MMPU 開始アドレスレジスタ (n = 0, 1)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0E04+ 0x010 × n

Bit position:	31																									0
Bit field:																										
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CEU 用領域開始アドレスレジスタ 領域開始アドレス（領域決定に使用） MPU 領域開始アドレスは 0x0000_0000～0xFFFF_F000 の範囲で設定してください。 ビット 0～ビット 11 への書き込みは無視されます。読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUSCEUn (n = 0, 1) レジスタは、領域開始位置の開始アドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

16.3.1.6 MMPUEDMACmn : DMAC 用 MMPU 終了アドレスレジスタ (m = 0, 1, n = 00～07)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0208 + 0x0010 × n (DMAC0n)
0x0408 + 0x0010 × n (DMAC1n)

ビット	シンボル	機能	R/W
31:0	n/a	領域終了アドレスレジスタ 領域終了アドレス（領域決定に使用） MPU 領域終了アドレスは 0x0000_001F～0xFFFF_FFFF の範囲で設定してください。 ビット 0～ビット 4 への書き込みは無視されます。読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

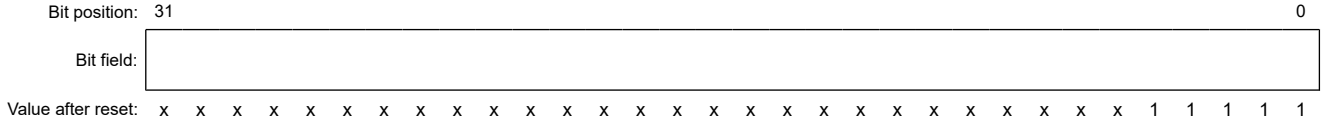
MMPUEDMACmn (m = 0, 1, n = 00～07) レジスタは、領域終了位置の終了アドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

16.3.1.7 MMPUEEDMACn : EDMAC 用 MMPU 終了アドレスレジスタ (n = 0～4)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0608 + 0x0010 × n



ビット	シンボル	機能	R/W
31:0	n/a	EDMAC 用領域終了アドレスレジスタ 領域終了アドレス（領域決定に使用） MPU 領域終了アドレスは 0x0000_001F～0xFFFF_FFFF の範囲で設定してください。 ビット 0～ビット 4 への書き込みは無視されます。読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUEEDMACn (n = 0～4) レジスタは、領域終了位置の終了アドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

16.3.1.8 MMPUECEUn : CEU 用 MMPU 終了アドレスレジスタ (n = 0, 1)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0E08 + 0x010 × n

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	CEU 用領域終了アドレスレジスタ 領域終了アドレス（領域決定に使用） MPU 領域終了アドレスは 0x0000_0FFF～0xFFFF_FFFF の範囲で設定してください。 ビット 0～ビット 11 への書き込みは無視されます。読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUECEUn (n = 0, 1) レジスタは、領域終了位置の終了アドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

16.3.1.9 MMPUACDMACmn : DMAC 用 MMPU アクセスコントロールレジスタ (m = 0, 1, n = 00～07)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0200 + 0x0010 × n (DMAC0n)
0x0400 + 0x0010 × n (DMAC1n)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PP	WP	RP	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	領域有効 0: DMAC 領域 n ユニット無効 1: DMAC 領域 n ユニット有効	R/W
1	RP	読み出し保護 0: 読み出し許可 1: 読み出し保護	R/W
2	WP	書き込み保護 0: 書き込み許可 1: 書き込み保護	R/W
3	PP	プリビレッジ保護 0: アンプリビレッジアクセス許可 1: アンプリビレッジアクセス保護	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

ENABLE ビット（領域有効）

ENABLE ビットは、DMACm 領域 n (m = 0, 1, n = 00～07) ユニットを有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUSDMACmn (m = 0, 1, n = 00～07) と MMPUEDMACmn (m = 0, 1, n = 00～07) の範囲へのアクセスの許可または保護に対して、RP ビット、WP ビット、および PP ビットが有効になります。

ENABLE ビットを 0 に設定すると、DMACm 領域 n (m = 0, 1, n = 00～07) へのアクセスは領域外となります。

RP ビット（読み出し保護）

RP ビットは、DMACm 領域 n (m = 0, 1, n = 00～07) の読み出し保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、RP ビットは使用可能になります。

WP ビット（書き込み保護）

WP ビットは、DMACm 領域 n (m = 0, 1, n = 00～07) の書き込み保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、WP ビットは使用可能になります。

PP ビット（プリビレッジ保護）

PP ビットは、DMACm 領域 n (m = 0, 1, n = 00～07) の非特権アクセス保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、PP ビットは使用可能になります。

16.3.1.10 MMPUACEDMACn : EDMAC 用 MMPU アクセスコントロールレジスタ (n = 0～4)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0600 + 0x0010 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	領域有効 0: EDMAC 領域 n ユニット無効 1: EDMAC 領域 n ユニット有効	R/W
1	RP	読み出し保護 0: 読み出し許可 1: 読み出し保護	R/W
2	WP	書き込み保護 0: 書き込み許可 1: 書き込み保護	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

ENABLE ビット（領域有効）

ENABLE ビットは、EDMAC 領域 n (n = 0～4) ユニットを有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUSEDMACn (n = 0～4) と MMPUEEDMACn (n = 0～4) の範囲へのアクセスの許可または保護に対して、RP ビットおよび WP ビットが有効になります。

ENABLE ビットを 0 に設定すると、EDMAC 領域 n (n = 0～4) へのアクセスは領域外となります。

RP ビット（読み出し保護）

RP ビットは、EDMAC 領域 n (n = 0～4) の読み出し保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、RP ビットは使用可能になります。

WP ビット（書き込み保護）

WP ビットは、EDMAC 領域 n (n = 0～4) の書き込み保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、WP ビットは使用可能になります。

16.3.1.11 MMPUACCEUn : CEU 用 MMPU アクセスコントロールレジスタ (n = 0, 1)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0E00 + 0x010 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	領域有効 0: CEU 領域 n ユニット無効 1: CEU 領域 n ユニット有効	R/W
1	RP	読み出し保護 0: 読み出し許可 1: 読み出し保護	R/W
2	WP	書き込み保護 0: 書き込み許可 1: 書き込み保護	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

ENABLE ビット（領域有効）

ENABLE ビットは、CEU 領域 n (n = 0, 1) ユニットを有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUSCEUn (n = 0, 1) と MMPUECEUn (n = 0, 1) に設定された領域へのアクセスの許可または保護に対して、RP ビットおよび WP ビットが有効になります。

ENABLE ビットを 0 に設定すると、CEU 領域 n (n = 0, 1) へのアクセスは領域外となります。

RP ビット（読み出し保護）

RP ビットは、CEU 領域 n (n = 0, 1) の読み出し保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、RP ビットは使用可能になります。

WP ビット（書き込み保護）

WP ビットは、CEU 領域 n (n = 0, 1) の書き込み保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、WP ビットは使用可能になります。

16.3.1.12 MMPUENDMACm : DMAC 用 MMPU イネーブルレジスタ (m = 0, 1)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0100 (DMAC0n)
0x0300 (DMAC1n)

Bit position:	15	8	0
Bit field:	KEY[7:0]	— — — — — — —	ENABLE
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0	0

ビット	シンボル	機能	R/W
0	ENABLE	DMAC のバスマスタ MPU 有効 0: DMAC のバスマスタ MPU 無効 1: DMAC のバスマスタ MPU 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード ENABLE ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

ENABLE ビット（DMAC のバスマスタ MPU 有効）

ENABLE ビットは、DMACm (m = 0, 1) のバスマスタ MPU 機能を有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUACDMACmn (m = 0, 1, n = 00～07) レジスタは使用可能になります。

ENABLE ビットを 0 に設定すると、MMPUACDMACmn (m = 0, 1, n = 00～07) レジスタはすべての領域に対して使用できなくなります。

各マスタグループのバスマスタ MPU 機能は、ENABLE ビットを設定します。

ENABLE ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、ENABLE ビットへの書き込みを禁止／許可します。

ENABLE ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.13 MMPUENEDMAC : EDMAC 用 MMPU イネーブルレジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0500

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	EDMAC のバスマスタ MPU 有効 0: EDMAC のバスマスタ MPU 無効 1: EDMAC のバスマスタ MPU 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード ENABLE ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

ENABLE ビット（EDMAC のバスマスタ MPU 有効）

ENABLE ビットは、各マスタグループのバスマスタ MPU 機能を有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUACEDMACn (n = 0～3) レジスタは使用可能になります。

ENABLE ビットを 0 に設定すると、MMPUACEDMACn (n = 0～3) レジスタはすべての領域に対して使用できなくなります。

各マスタグループのバスマスタ MPU 機能は、ENABLE ビットを設定します。

ENABLE ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、ENABLE ビットへの書き込みを禁止／許可します。

ENABLE ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.14 MMPUENCEU : CEU 用 MMPU イネーブルレジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0D00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	CEU のバスマスタ MPU 有効 0: CEU のバスマスタ MPU 無効 1: CEU のバスマスタ MPU 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード ENABLE ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

ENABLE ビット（CEU のバスマスタ MPU 有効）

ENABLE ビットは、各マスタグループのバスマスタ MPU 機能を有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUACCEUn (n = 0, 1) レジスタは使用可能になります。

ENABLE ビットを 0 に設定すると、MMPUACCEUn (n = 0, 1) レジスタはすべての領域に対して使用できなくなります。

各マスタグループのバスマスタ MPU 機能は、ENABLE ビットを設定します。

ENABLE ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、ENABLE ビットへの書き込みを禁止／許可します。

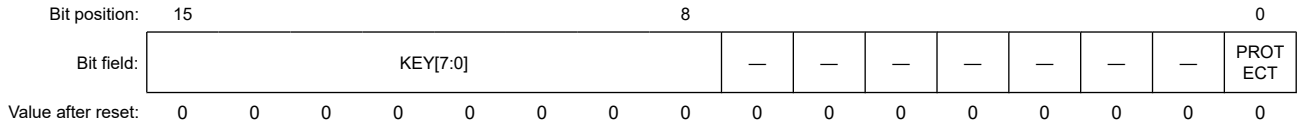
ENABLE ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.15 MMPUENPTDMACm : DMAC 用 MMPU イネーブル保護レジスタ m (m = 0, 1)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0104 (DMAC0n)
0x0304 (DMAC1n)



ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUENDMACm レジスタの書き込みは可能 1: MMPUENDMACm レジスタの書き込みから保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、MMPUENDMACm (m = 0, 1) レジスタの保護を制御します。

PROTECT ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを禁止／許可します。

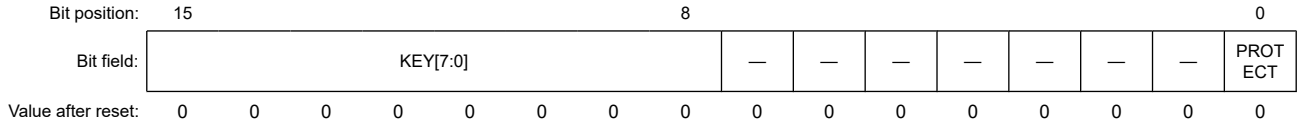
PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.16 MMPUENPTEDMAC : EDMAC 用 MMPU イネーブル保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0504



ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUENEDMAC レジスタの書き込みは可能 1: MMPUENEDMAC レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、MMPUENEDMAC レジスタの保護を制御します。

PROTECT ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを禁止／許可します。

PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.17 MMPUENPTCEU : CEU 用 MMPU イネーブル保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0D04

Bit position:	15							8								0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUENCEU レジスタの書き込みは可能 1: MMPUENCEU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、MMPUENCEU レジスタの保護を制御します。

PROTECT ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを禁止／許可します。

PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.18 MMPURPTDMACm : DMAC 非セキュア用 MMPU 領域保護レジスタ m (m = 0, 1)

Base address: RMPU_NS = 0x5000_0000

Offset address: 0x0108 (DMAC0n)
0x0308 (DMAC1n)

Bit position:	15							8								0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC 用バスマスタ MPU レジスタの書き込みは可能 1: DMAC 用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-7
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMACm.PROTECT (m =0, 1) ビットは以下のレジスタを制御します。

- 非セキュア MMPUSDMACmn (m =0, 1, n = 00～07) レジスタ
- 非セキュア MMPUEDMACmn (m =0, 1, n = 00～07) レジスタ
- 非セキュア MMPUACDMACmn (m =0, 1, n = 00～07) レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.19 MMPURPTDMAC_SECm : DMAC セキュア用 MMPU 領域保護レジスタ m (m = 0, 1)

Base address: RMPU = 0x4000_0000

Offset address: 0x010C (DMAC0n)
0x030C (DMAC1n)

Bit position:	15							8								0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC セキュア用バスマスタ MPU レジスタの書き込みは可能 1: DMAC セキュア用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-6
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMAC_SECm.PROTECT (m =0, 1) ビットは以下のレジスタを制御します。

- セキュア MMPUSDMACmn (m = 0, 1, n = 00～07)
- セキュア MMPUEDMACmn (m = 0, 1, n = 00～07)
- セキュア MMPUACDMACmn (m = 0, 1, n = 00～07)

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.20 MMPURPTEDMAC : EDMAC 用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0508

Bit position:	15								8							0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: EDMAC 用バスマスタ MPU レジスタの書き込みは可能 1: EDMAC 用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTEDMAC.PROTECT ビットは以下のレジスタを制御します。

- MMPUSEDMACn (n = 0～4)
- MMPUEEDMACn (n = 0～4)
- MMPUACEDMACn (n = 0～4)

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.21 MMPURPTCEU : CEU 用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0D08

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: CEU 用バスマスタ MPU レジスタの書き込みは可能 1: CEU 用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTCEU.PROTECT ビットは以下のレジスタを制御します。

- MMPUSCEUn (n = 0, 1) レジスタ
- MMPUECEUn (n = 0, 1) レジスタ
- MMPUACCEUn (n = 0, 1) レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.22 MMPUOAD : MMPU 検出後の動作レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0000

Bit position:	15							8								0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: IRQ 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットへの書き込みを許可または禁止します。	R/W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

OAD ビット（検出後の動作）

OAD ビットはアクセス違反が検出された時の動作を指定します。

OAD ビットが 0 のときはバスマスタにエラー応答が返され、さらに BUSIRQEN ＜マスタ名＞.EN が 1 の場合は IRQ 要求が発生します。詳細は、「15.3.31. BUSIRQEN ＜マスタ名＞ : BUS エラー割り込み許可レジスタ 」を参照してください。バスエラーによって発生する割り込みも NMI として使用できます。詳細は、ICU.NMIER レジスタの仕様を参照してください。

OAD ビットが 1 のとき、リセット要求が発生します。

OAD ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。他の値を書き込むと、OAD ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.1.23 MMPUOADPT : MMPU 検出後の動作保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0004

Bit position:	15							8								0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUOAD レジスタの書き込みは可能 1: MMPUOAD レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. バイトライトアクセスは禁止のため、ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPUOAD.PROTECT ビットは以下のレジスタを制御します。

- MMPUOAD レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

16.3.2 動作説明

16.3.2.1 メモリプロテクション

バスマスタ MPU は、各アクセス制御領域に設定されたアクセス制御情報を用いてメモリアクセスを監視します。アクセスがバスマスタ MPU に設定されたアクセス許可に違反すると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU には次のマスタグループがあります : DMAC0、DMAC1、EDMAC、CEU。メモリプロテクション機能は、統合したマスタグループに対してバスのアドレスをチェックし、バスマスタ MPU により保護領域へのマスタグループの不正アクセスをブロックします。

DMAC 用バスマスタ MPU の領域設定レジスタは、MMPUSARA レジスタを使用したセキュアマスタおよび非セキュアマスタに対して設定可能です。MMPUSARA.MMPUASAn = 0 における MPU 領域設定は、セキュアマスタからのアクセスのみに適用されます。MMPUSARA.MMPUASAn = 1 における MPU 領域設定は、非セキュアマスタからのアクセスのみに適用されます。図 16.1 に MPU のセキュア領域と非セキュア領域設定時のセキュアマスタと非セキュアマスタに対するアクセス権限の例を示します。

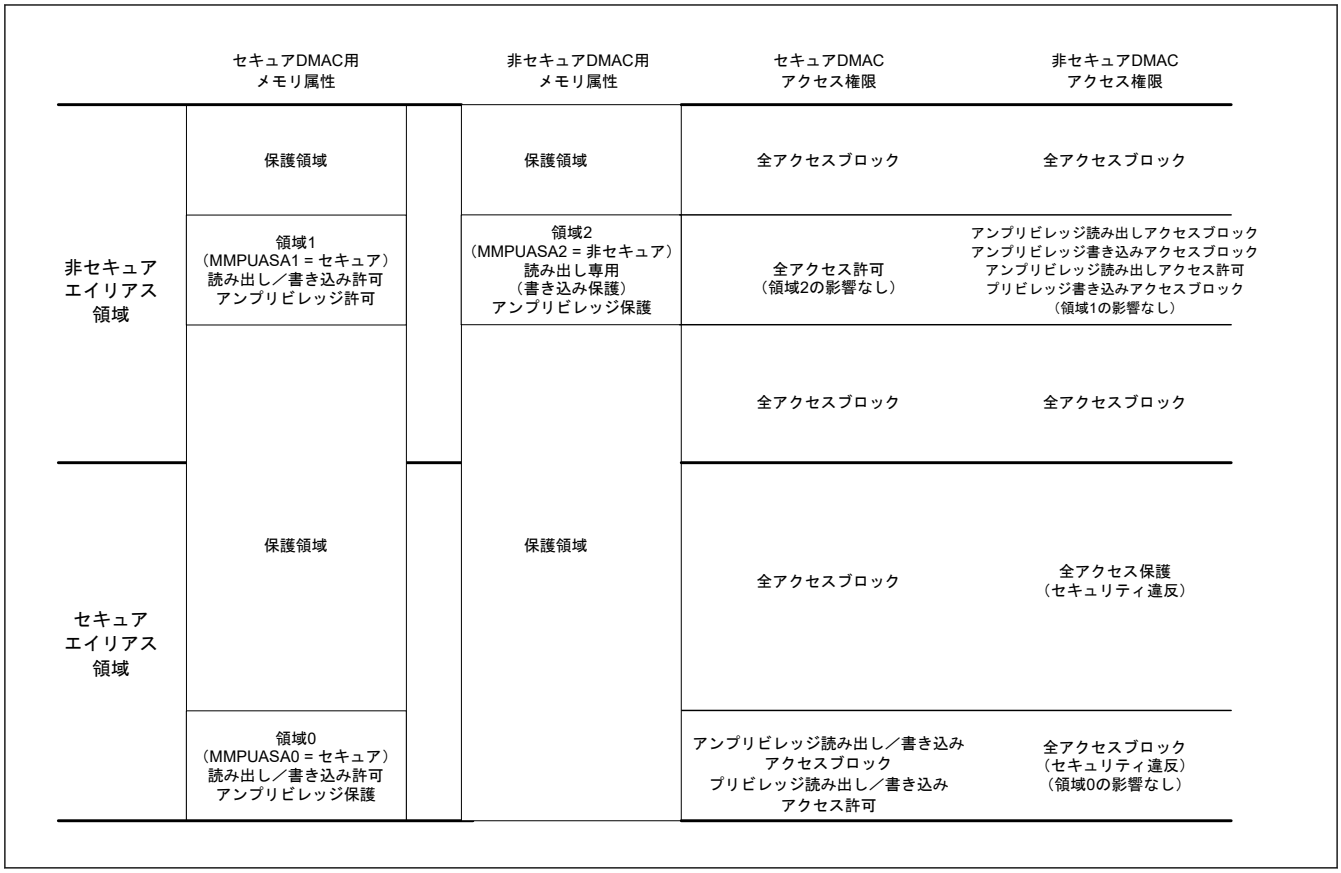


図 16.1　MPU のセキュア領域と非セキュア領域設定時のアクセス権限の例

バスマスタ MPU は、リセット後、全領域が許可領域です。MMPUENXXXX.ENABLE が 1 で、対応するバスマスタに MPU の領域設定がない場合、全領域が保護領域です。(XXXX = マスタグループ名)

図 16.2 にバスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護について示します。

オーバーラップ領域へのアクセス制御は以下のとおりです。

- 1 つ以上の領域の出力が保護領域の場合、領域は保護領域として処理されます。
- 全領域の出力が領域外の場合、領域は保護領域として処理されます。
- 他の場合は許可領域として処理されます。

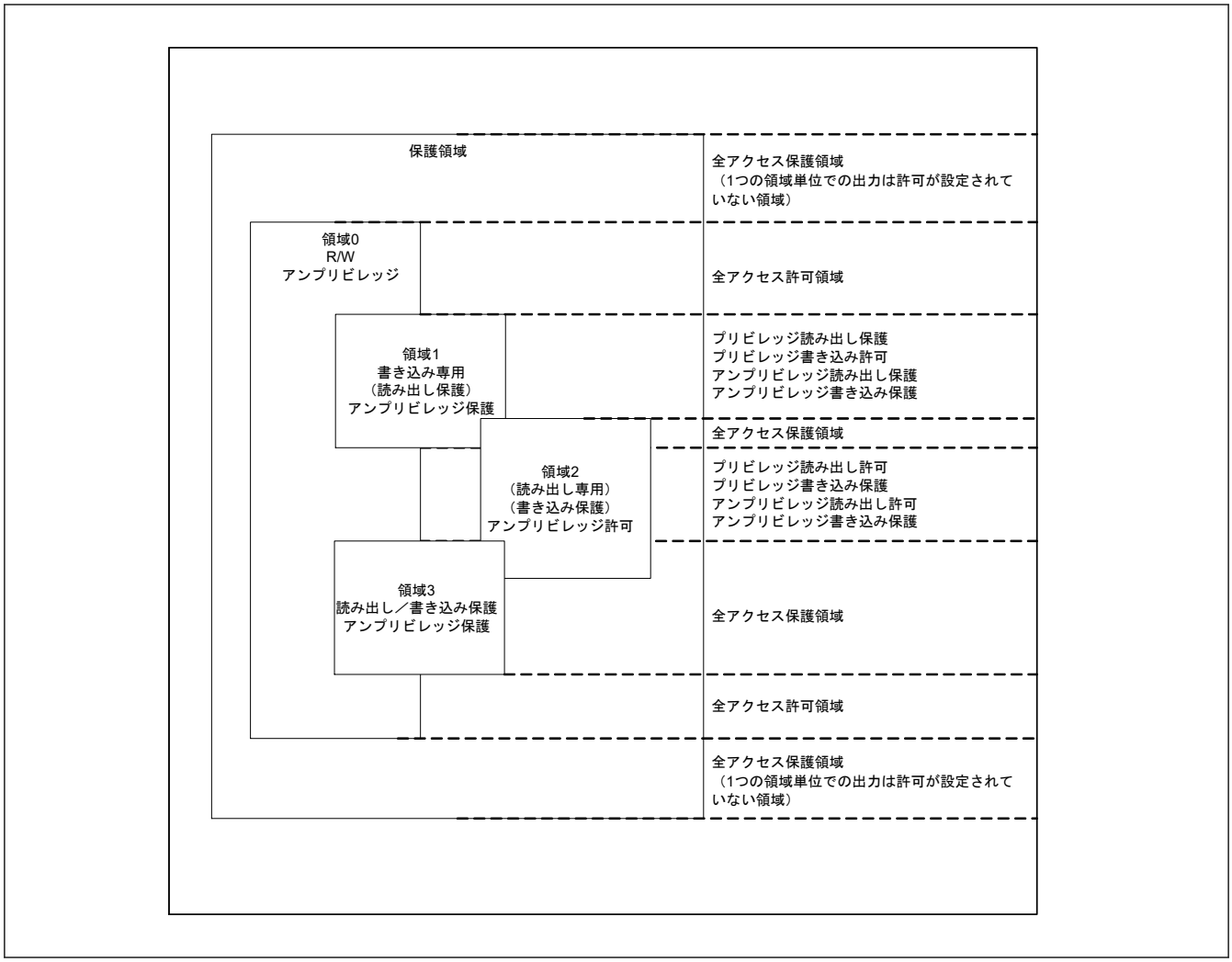


図 16.2　バスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護

図 16.3 にリセット後のレジスタの設定フローを示します。本レジスタ設定中は、CPU 以外のバスマスタを停止してください。

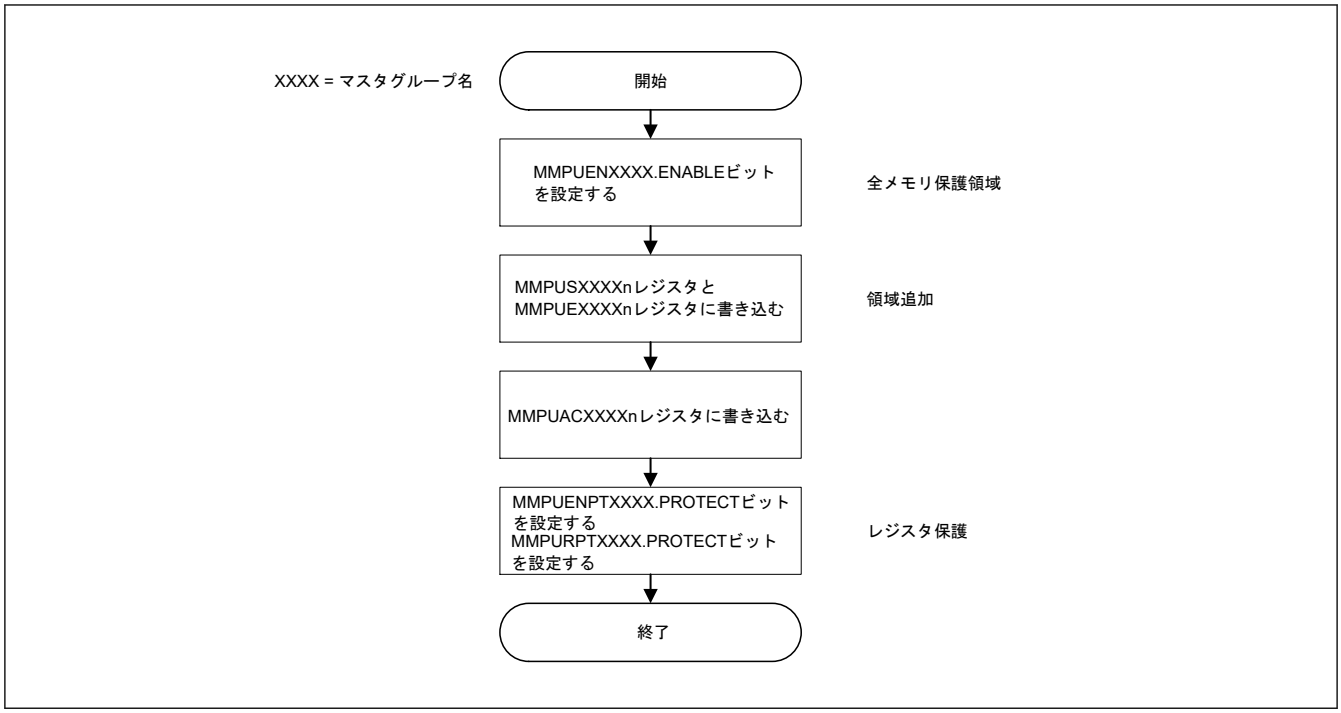


図 16.3　リセット後のレジスタの設定フロー

図 16.4 に領域追加のレジスタの設定フローを示します。本レジスタ設定中は、CPU 以外のマスタを停止してください。

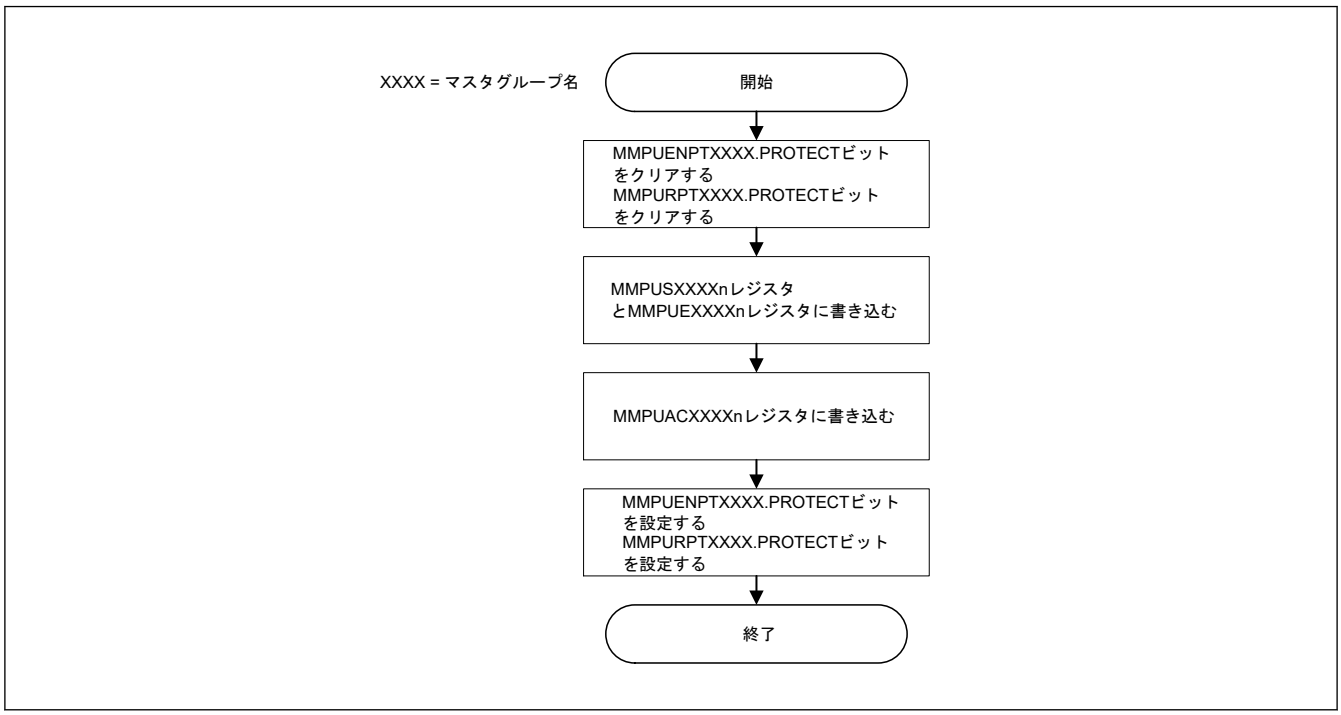


図 16.4　領域追加のレジスタの設定フロー

16.3.2.2　レジスタの保護

バスマスタ MPU 関連のレジスタは、表 16.4 に示した PROTECT ビットで保護できます。

表 16.4 PROTECT ビットと保護対象レジスタ

PROTECT ビット	保護対象レジスタ
MMPUENPTDMACm.PROTECT	MMPUENDMACm (m = 0, 1)
MMPUENPTEDMAC.PROTECT	MMPUENEDMAC
MMPUENPTCEU.PROTECT	MMPUENCEU
MMPURPTDMACm.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn (n = 0～7, 16～23) により、非セキュアに設定されます。 MMPUSDMACmk (m = 0, 1, k = 00～07) MMPUEDMACmk (m = 0, 1, k = 00～07) MMPUACDMACmk (m = 0, 1, k = 00～07)
MMPURPTDMACm_SEC.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn (n = 0～7, 16～23) により、セキュアに設定されます。 MMPUSDMACmk (m = 0, 1, k = 00～07) MMPUEDMACmk (m = 0, 1, k = 00～07) MMPUACDMACmk (m = 0, 1, k = 00～07)
MMPURPTEDMAC.PROTECT	MMPUSEDMACn (n = 0～4) MMPUEEDMACn (n = 0～4) MMPUACEDMACn (n = 0～4)
MMPURPTCEU.PROTECT	MMPUSCEUn (n = 0, 1) MMPUECEUn (n = 0, 1) MMPUACCEUn (n = 0, 1)
MMPUOADPT.PROTECT	MMPUOAD.OAD

16.3.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。エラーを IRQ として報告するかリセットとして報告するかは MMPUOAD ビットで選択します。

バスマスタ MPU エラーの詳細は、「15. バス」を参照してください。

IRQ の状態は ICU.IELSRn.IR フラグに示されます。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。リセットの状態は SYSC.RSTSR1.BUSRF フラグに示されます。詳細は、「6. リセット」を参照してください。バスエラーによって発生する割り込みも NMI として使用できます。仕様の詳細については、「14.2.14. NMIER : ノンマスカブル割り込みイネーブルレジスタ」を参照してください。

16.4 参考資料

1. *ARM® v8-M Architecture Reference Manual* (ARM DDI0553B.g)
2. *ARM® Cortex®-M85 Processor Technical Reference Manual* (ARM 101924_0002_05_en)
3. *ARM® Cortex®-M85 Processor User Guide Reference Material* (ARM 101927_0002_05_en)
4. *ARM® Cortex®-M85 Processor Integration and Implementation Manual* (ARM 101925_0002_05_en)
5. *ARM® Cortex®-M33 Processor Technical Reference Manual* (100230_0004_00_en)
6. *ARM® Cortex®-M33 Processor User Guide Reference Material* (ARM 100234_0002_00_en)
7. *ARM® Cortex®-M33 Processor Integration and Implementation Manual* (ARM 100323_0002_00_en)

17. DMA コントローラ (DMAC)

17.1 概要

8 チャネルのダイレクトメモリアクセスコントローラ (DMAC) は CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 17.1 に DMAC の仕様を、図 17.1 に DMAC のブロック図を示します。

表 17.1 DMAC の仕様 (1/2)

項目		DMAC0（CPU0 用）	DMAC1（CPU1 用）
チャネル数		8 チャネル (DMAC0n (n = 0～7))	8 チャネル (DMAC1n (n = 0～7))
転送空間		4 GB （0x0000_0000～0xFFFF_FFFF のうち、予約領域を除く領域）	
最大転送データ数		64M データ （ブロック転送モードにおける最大転送数：1,024 データ × 65,536 ブロック）	
DMAC 起動要因		チャネルごとに個別に選択可能 ● ソフトウェアトリガ ● 周辺モジュールからの割り込み要求／外部割り込み入力端子からのトリガ入力(注1)	
チャネル優先順位		優先順位固定またはラウンドロビンを選択可能 ● チャネル 0 ＞チャネル 1 ＞チャネル 2 ＞チャネル 3…＞チャネル 7 ＞ DTC（チャネル 0：最高） ● ラウンドロビン	
転送データ	1 データ	ビット長：8、16、32、64 ビット	
	ブロックサイズ	データ数：1～1024	
転送モード	ノーマル転送モード	● 1 回の DMA 転送要求で 1 データを転送 ● 設定可能なフリーランニング機能（データ転送の全回数の設定の指定なし）	
	リピート転送モード	● 1 回の DMA 転送要求で 1 データを転送 ● 転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 ● 設定可能な最大リピートサイズ：1024 ● 選択可能なフリーランニング機能	
	リピートブロック転送モード	● 1 回の DMA 転送要求で 1 ブロックを転送 ● 設定可能な最大ブロックサイズ：1024 ● ブロック転送はリピート可能 ● 設定可能な最大リピートサイズ：64K ● 選択可能なフリーランニング機能	
	ブロック転送モード	● 1 回の DMA 転送要求で 1 ブロックを転送 ● 設定可能な最大ブロックサイズ：1024 ● 選択可能なフリーランニング機能	
選択機能	拡張リピート領域機能	● 転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレス値を繰り返すことでデータ転送が可能 ● 拡張リピート領域は 2 バイトから 128 MB まで転送元、転送先別に設定可能	
DMA 転送エラーの処理		● DMAC 転送エラーが発生したとき、エラーが発生したチャネルを停止。 ● ICU の DMAC イベントリンク設定レジスタ (DELSRn (n =0～7)) をクリア。クリア対象はチャネルごとに個別に選択または全チャネルが選択可能。	
割り込み DMACmn_INT (m = 0, 1, n = 0～7)	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生	
	転送エスケープ終了割り込み	● リピートサイズ分のデータ転送の終了時に発生 ● 拡張リピート領域の転送元アドレスがオーバーフローしたときに発生 ● 拡張リピート領域の転送先アドレスがオーバーフローしたときに発生	
割り込み DMAm_TRANSERR (m = 0, 1)	エラー応答検出割り込み	● DMAC 転送エラーが生じたときに発生	
イベントリンク起動 (DMACmn_INT (m = 0, 1, n = 0～7))		各データ転送後（ブロック転送の場合は各ブロック転送後）に発生	
モジュールストップ機能		消費電力低減のためにモジュールストップ状態を設定可能	

表 17.1 DMAC の仕様 (2/2)

項目	DMAC0（CPU0 用）	DMAC1（CPU1 用）
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性を設定可能	

注. DMAC チャネルのセキュリティ属性レジスタは、ICU.ICUSARC で説明します。
注 1. DMAC の起動要因については、「14. 割り込みコントローラユニット (ICU)」の表 14.5 を参照してください。

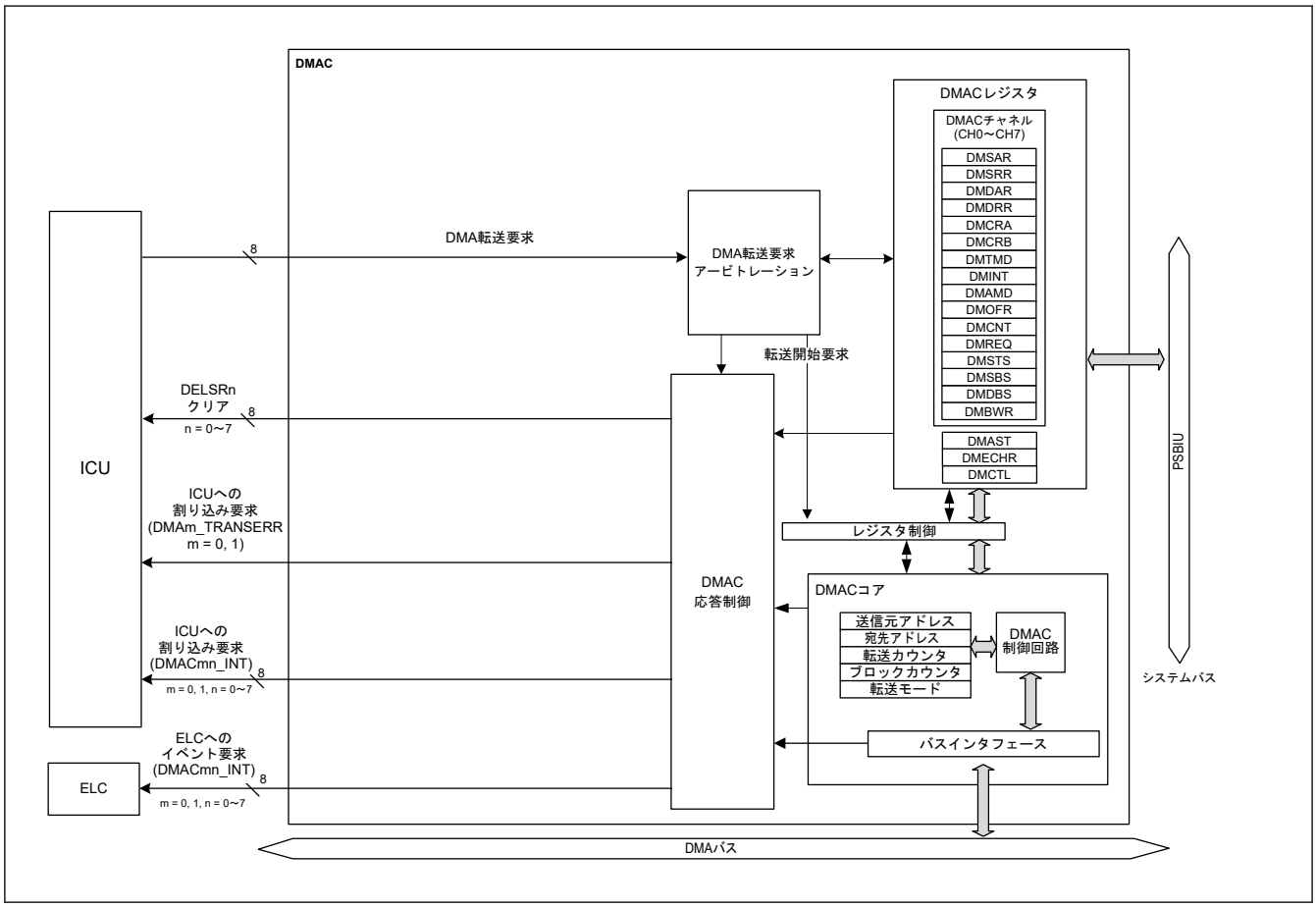


図 17.1 DMAC のブロック図

17.2 レジスタの説明

DMAC0 および DMAC1 レジスタのベースアドレスは同じです。DMAC0 は CPU0 専用であり、CPU0 からのみアクセスが可能です。DMAC1 は CPU1 専用であり、CPU1 からのみアクセスが可能です。

17.2.1 DMACCHSAR : DMA チャネルセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	SADMAC107	SADMAC106	SADMAC105	SADMAC104	SADMAC103	SADMAC102	SADMAC101	SADMAC100
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SADMAC007	SADMAC006	SADMAC005	SADMAC004	SADMAC003	SADMAC002	SADMAC001	SADMAC000
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SADMAC007～SADMAC000	DMAC0 チャネルの出力とレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	SADMAC107～SADMAC100	DMAC1 チャネルの出力とレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

SADMAC00n (n = 0～7)

このビットは DMAC0 チャネルのレジスタのセキュリティ属性を指定します。

このビットは、各 DMAC0 チャネルのマスタ出力のセキュリティ属性を決めます。

DMAC0 レジスタで制御されるチャネルを以下に示します。詳細は、「17.3.13. チャネルセキュリティ」を参照してください。

- CPSCU.DMACCHPAR.PADMAC00n
- ICU0.DELSR チャネル n
- DMAC0.DMSAR チャネル n
- DMAC0.DMSRR チャネル n
- DMAC0.DMDAR チャネル n
- DMAC0.DMDRR チャネル n
- DMAC0.DMCRA チャネル n
- DMAC0.DMCRB チャネル n
- DMAC0.DMTMD チャネル n
- DMAC0.DMINT チャネル n
- DMAC0.DMAMD チャネル n
- DMAC0.DMOFR チャネル n
- DMAC0.DMCNT チャネル n
- DMAC0.DMREQ チャネル n
- DMAC0.DMSTS チャネル n
- DMAC0.DMSBS チャネル n
- DMAC0.DMDBS チャネル n
- DMAC0.DMBWR チャネル n

SADMAC10n (n = 0～7)

このビットは DMAC1 チャネルのレジスタのセキュリティ属性を指定します。

このビットは、各 DMAC1 チャネルのマスタ出力のセキュリティ属性を決めます。

DMAC1 レジスタで制御されるチャネルを以下に示します。詳細は、「17.3.13. チャネルセキュリティ」を参照してください。

- CPSCU.DMACCHPAR.PADMAC10n
- ICU1.DELSR チャネル n
- DMAC1.DMSAR チャネル n
- DMAC1.DMSRR チャネル n
- DMAC1.DMDAR チャネル n

- DMAC1.DMDRR チャネル n
- DMAC1.DMCRA チャネル n
- DMAC1.DMCRB チャネル n
- DMAC1.DMTMD チャネル n
- DMAC1.DMINT チャネル n
- DMAC1.DMAMD チャネル n
- DMAC1.DMOFR チャネル n
- DMAC1.DMCNT チャネル n
- DMAC1.DMREQ チャネル n
- DMAC1.DMSTS チャネル n
- DMAC1.DMSBS チャネル n
- DMAC1.DMDBS チャネル n
- DMAC1.DMBWR チャネル n

17.2.2 DMACCHPAR : DMA チャネル特権属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x1F0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	PADMAC107	PADMAC106	PADMAC105	PADMAC104	PADMAC103	PADMAC102	PADMAC101	PADMAC100
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PADMAC007	PADMAC006	PADMAC005	PADMAC004	PADMAC003	PADMAC002	PADMAC001	PADMAC000
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	PADMAC007～PADMAC000	DMAC0 チャネルの出力とレジスタの特権属性 0: プリビレッジ 1: アンプリビレッジ	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	PADMAC107～PADMAC100	DMAC1 チャネルの出力とレジスタの特権属性 0: プリビレッジ 1: アンプリビレッジ	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-2, P-TYPE-1

PADMAC00n (n = 0～7)

DMAC0 チャネルの出力とレジスタの特権属性

このビットは、各 DMAC0 チャネルのマスタ出力の特権属性を決めます。このビットはまた、各チャネルの DMAC0 レジスタの特権属性も決めます。詳細は、「17.3.14. チャネルプリビレッジ」を参照してください。

DMAC0 レジスタで制御されるチャネルを以下に示します。

- DMAC0.DMSAR チャネル n
- DMAC0.DMSRR チャネル n
- DMAC0.DMDAR チャネル n

- DMAC0.DMDRR チャネル n
- DMAC0.DMCRA チャネル n
- DMAC0.DMCRB チャネル n
- DMAC0.DMTMD チャネル n
- DMAC0.DMINT チャネル n
- DMAC0.DMAMD チャネル n
- DMAC0.DMOFR チャネル n
- DMAC0.DMCNT チャネル n
- DMAC0.DMREQ チャネル n
- DMAC0.DMSTS チャネル n
- DMAC0.DMSBS チャネル n
- DMAC0.DMDBS チャネル n
- DMAC0.DMBWR チャネル n

PADMAC10n (n = 0～7)

DMAC1 チャネルの出力とレジスタの特権属性

このビットは、各 DMAC1 チャネルのマスタ出力の特権属性を決めます。このビットはまた、各チャネルの DMAC1 レジスタの特権属性も決めます。詳細は、「17.3.14. チャネルプリビレッジ」を参照してください。

DMAC1 レジスタで制御されるチャネルを以下に示します。

- DMAC1.DMSAR チャネル n
- DMAC1.DMSRR チャネル n
- DMAC1.DMDAR チャネル n
- DMAC1.DMDRR チャネル n
- DMAC1.DMCRA チャネル n
- DMAC1.DMCRB チャネル n
- DMAC1.DMTMD チャネル n
- DMAC1.DMINT チャネル n
- DMAC1.DMAMD チャネル n
- DMAC1.DMOFR チャネル n
- DMAC1.DMCNT チャネル n
- DMAC1.DMREQ チャネル n
- DMAC1.DMSTS チャネル n
- DMAC1.DMSBS チャネル n
- DMAC1.DMDBS チャネル n
- DMAC1.DMBWR チャネル n

17.2.3 DMACSAR : DMAC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASTSA1
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASTSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DMASTSA0	DMAC0 DMAST セキュリティ属性 0: セキュア 1: 非セキュア	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DMASTSA1	DMAC1 DMAST セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

DMAC ではセキュリティ属性は各チャネルに設定されます。ただし、本レジスタは DMAST レジスタのセキュリティ属性のみを設定します。

DMASTSA0 ビット（DMAC0 DMAST セキュリティ属性）

このビットは、DMAC0.DMAST と DMAC0.DMCTL に対応するレジスタのセキュリティ属性を指定します。DMAC0 転送が有効のとき、またはバスマスタが DMAC0 レジスタに書き込みを行っている最中は、DMASTSA0 ビットに書き込みを行わないでください。

DMASTSA1 ビット（DMAC1 DMAST セキュリティ属性）

このビットは、DMAC1.DMAST と DMAC1.DMCTL に対応するレジスタのセキュリティ属性を指定します。DMAC1 転送が有効のとき、またはバスマスタが DMAC1 レジスタに書き込みを行っている最中は、DMASTSA1 ビットに書き込みを行わないでください。

17.2.4 DMSAR : DMA 転送元アドレスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送元の開始アドレスを設定 設定範囲：0x00000000～0xFFFFFFFF (4 GB)	R/W

注. S-TYPE-3, P-TYPE-3

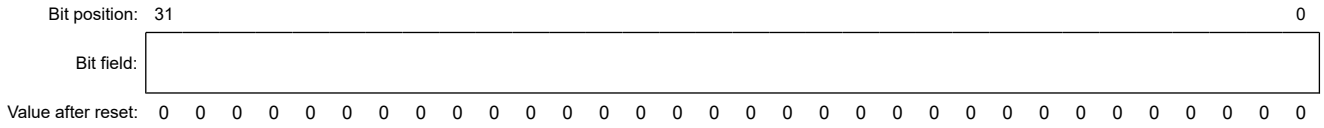
DMSAR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

17.2.5 DMSRR : DMA 転送元リロードアドレスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x20



ビット	シンボル	機能	R/W
31:0	n/a	転送元リロードアドレス指定 0x0000 0000～0xFFFF FFFF (4 GB)	R/W

注. S-TYPE-3, P-TYPE-3

DMSRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMSRR は、リピート／ブロック転送モードで DMSBS に設定されたバッファサイズの開始アドレスを格納するために使用されます。リピートブロック転送モードにおいて、DMSAR は転送終了後に DMSRR の値をリロードします。

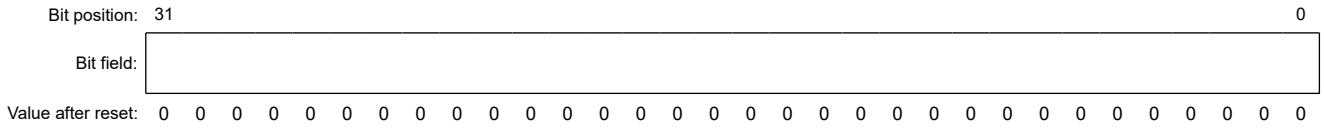
ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSRR は使用されません。その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

17.2.6 DMDAR : DMA 転送先アドレスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x04



ビット	シンボル	機能	R/W
31:0	n/a	転送先の開始アドレスを設定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. S-TYPE-3, P-TYPE-3

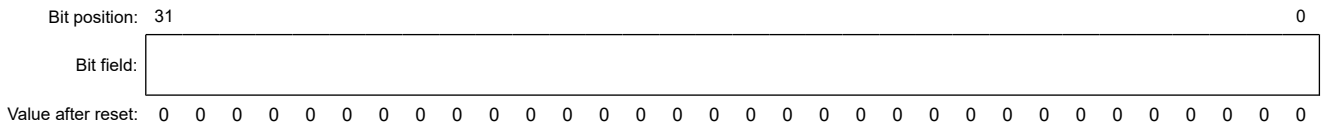
DMDAR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

17.2.7 DMDRR : DMA 転送先リロードアドレスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x24



ビット	シンボル	機能	R/W
31:0	n/a	転送先リロードアドレス指定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. S-TYPE-3, P-TYPE-3

DMDRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMDRR は、リピート／ブロック転送モードで DMDBS に設定されたバッファサイズの開始アドレスを格納するために使用されます。リピート／ブロック転送モードにおいて、DMDAR は転送終了後に DMDRR の値をリロードします。

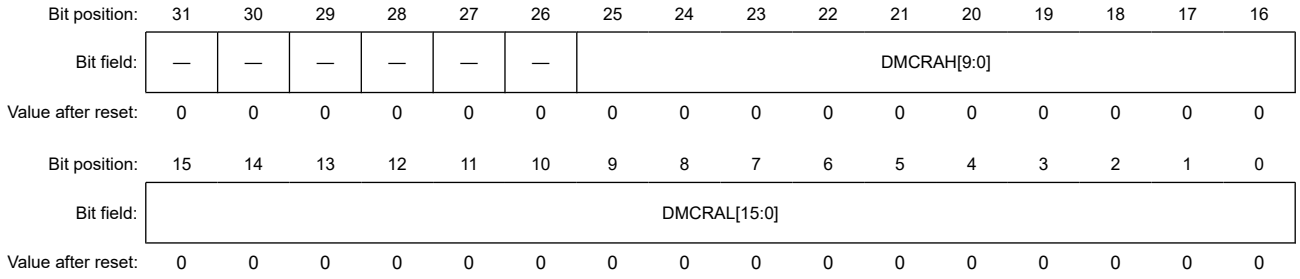
ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDRR は使用されず、その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

17.2.8 DMCRA : DMA 転送カウントレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x08



ビット	シンボル	機能	R/W
15:0	DMCRAL[15:0]	転送カウント下位ビット 転送回数を設定	R/W
25:16	DMCRAH[9:0]	転送カウント上位ビット 転送回数を設定	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DMCRA レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

リピート転送モード、ブロック転送モードおよびリピートブロック転送モードでは、DMCRAH ビットと DMCRAL ビットに同じ値を設定してください。リピート転送モード、ブロック転送モードおよびリピートブロック転送モードではビット 15～ビット 10 は 0 に固定です。

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

ノーマル転送モードでは、DMCRAL ビットは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント (–1) されます。

設定値が 0x0000 のときは転送回数の指定なしとなり、転送カウンタが停止した状態でデータ転送を行います (フリーランニング機能)。

ノーマル転送モードでは、フリーランニング機能は DMTMD.TKP ビットにより選択されません。

ノーマル転送モードでは、DMCRAH ビットを使用しないでください。DMCRAH ビットへは 0x0000 を書いてください。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

リピート転送モードでは、DMCRAH ビットはリピートサイズを指定し、DMCRAL ビットは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x001 のときは 1 回、0x3FF のときは 1023 回、0x000 のときは 1024 回となります。リピート転送モードでは、0x000～0x3FF（1～1024 回）の範囲の値を DMCRAH ビットと DMCRAL ビットに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL ビットは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH ビットの値が DMCRAL ビットにロードされます。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

ブロック転送モードでは、DMCRAH ビットはブロックサイズを指定し、DMCRAL ビットは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。ブロック転送モードでは、0x000～0x3FF の範囲の値を DMCRAH ビットと DMCRAL ビットに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL ビットは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH ビットの値が DMCRAL ビットにロードされます。

(4) リピートブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

リピートブロック転送モードでは、DMCRAH ビットはブロックサイズを指定し、DMCRAL ビットは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。このモードでは、DMCRAH ビットと DMCRAL ビットの設定可能範囲は、0x000～0x3FF です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL ビットは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH ビットの値が DMCRAL ビットにロードされます。

17.2.9 DMCRB : DMA ブロック転送カウントレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMCRBH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMCRBL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMCRBL[15:0]	ブロック転送、リピート転送、またはリピートブロック転送のカウンタとして機能 0x0001～0xFFFF (1～65535) 0x0000 (65536)	R/W
31:16	DMCRBH[15:0]	ブロック転送、リピート転送、またはリピートブロック転送の回数を指定 0x0001～0xFFFF (1～65535) 0x0000 (65536)	R/W

注. S-TYPE-3, P-TYPE-3

DMCRB レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、DMCRBH ビットと DMCRBL ビットに同じ値を設定してください。

DMCRBH ビットは、ブロック転送モード時、リピート転送モード時、およびリピートブロック転送モード時の転送回数を指定します。また、DMCRBL ビットは、ブロック転送モード時、リピート転送モード時、およびリピートブロック転送モード時に 16 ビットの転送回数カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (–1) されます。

ブロック転送モードおよびリピートブロック転送モードの場合、各ブロックの最後のデータが転送されるときに値がデクリメント (–1) されます。

ノーマル転送モードでは、設定は無効ですので、DMCRB レジスタは使用しないでください。

DMTMD.TKP = 1 で 1 リピートサイズまたは 1 ブロックサイズの最終データ転送時に、DMCRBL ビットは自動的に DMCRBH ビットの値をリロードします。

17.2.10 DMTMD : DMA 転送モードレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		DTS[1:0]		—	TKP	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	DCTG[1:0]	転送要求元選択 0 0: ソフトウェア 0 1: 周辺モジュールまたは外部割り込み入力端子からの割り込み(注1) 1 0: 設定禁止 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	SZ[1:0]	転送データサイズ選択 0 0: 8 ビット 0 1: 16 ビット 1 0: 32 ビット 1 1: 64 ビット	R/W
10	TKP	転送継続 0: 設定した総転送回数完了により転送が終了する 1: 設定した総転送回数完了により転送が終了しない（フリーランニング）	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DTS[1:0]	リピート領域選択 0 0: 転送先をリピート領域またはブロック領域に設定 0 1: 転送元をリピート領域またはブロック領域に設定 1 0: リピート領域、ブロック領域の設定なし 1 1: 設定禁止	R/W
15:14	MD[1:0]	転送モード選択 0 0: ノーマル転送 0 1: リピート転送 1 0: ブロック転送 1 1: リピートブロック転送	R/W

注. S-TYPE-3, P-TYPE-3
注 1. DMAC の起動要因を選択するには、ICU.DELSRn レジスタを使用してください。DMAC の起動要因の詳細については、「14. 割り込みコントローラユニット (ICU)」の表 14.5 を参照してください。

DMTMD レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DTS[1:0]ビット（リピート領域選択）

DTS[1:0]ビットは、リピート転送モードまたはブロック転送モードにおいて、リピート領域としての転送元または転送先を選択します。ノーマル転送モードやリピートブロック転送モードでは、これらのビットの設定は無効です。

TKP ビット（転送継続）

TKP ビットは、リピート転送、ブロック転送、またはリピートブロック転送モードにおいて、設定した総転送回数完了により転送が終了するか、継続するかを選択します。ノーマル転送モードでは、このビットの設定値は無効です。

17.2.11 DMINT : DMA 割り込み設定レジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DARIE	転送先アドレス拡張リピート領域オーバーフロー割り込み許可 0: 転送先アドレス拡張リピート領域オーバーフロー割り込み要求を禁止 1: 転送先アドレス拡張リピート領域オーバーフロー割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
1	SARIE	転送元アドレス拡張リピート領域オーバーフロー割り込み許可 0: 転送元アドレス拡張リピート領域オーバーフロー割り込み要求を禁止 1: 転送元アドレス拡張リピート領域オーバーフロー割り込み要求を許可	R/W
2	RPTIE	リピートサイズ終了割り込み許可 0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可	R/W
3	ESIE	転送エスケープ終了割り込み許可 0: 転送エスケープ終了割り込み要求を禁止 1: 転送エスケープ終了割り込み要求を許可	R/W
4	DTIE	転送終了割り込み許可 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DMINT レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DARIE ビット（転送先アドレス拡張リピート領域オーバーフロー割り込み許可）

DARIE ビットが 1 のときに、転送先アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送先アドレスの拡張リピート領域オーバーフローによって割り込み要求が発生したことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送先アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

リピートブロック転送モードでは、このビットを 1 にしないでください。

SARIE ビット（転送元アドレス拡張リピート領域オーバーフロー割り込み許可）

SARIE ビットが 1 のときに、転送元アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送元アドレスの拡張リピート領域オーバーフローによって割り込み要求が発生したことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送元アドレスに拡張リピート領域を設定していない場合は、このビットは無視されます。

リピートブロック転送モードでは、このビットを 1 にしないでください。

RPTIE ビット（リピートサイズ終了割り込み許可）

リピート転送モードにおいて RPTIE ビットを 1 にすると、1 リピートサイズ分のデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0]ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

このビットをブロック転送モードで 1 にしたときも、リピート転送モードの場合と同様に 1 ブロックのデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0]ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

リピートブロック転送モードでは、このビットを 1 にしないでください。

ESIE ビット（転送エスケープ終了割り込み許可）

ESIE ビットは DMA 転送中に発生した転送エスケープ終了割り込み要求（リピートサイズ終了割り込み要求、拡張リピート領域オーバーフロー割り込み要求）を許可します。

このビットが 1 のとき割り込みが発生して、DMSTS.ESIF フラグが 1 になります。転送エスケープ終了割り込みを解除するには、このビットまたは DMSTS.ESIF フラグを 0 にします。

DTIE ビット（転送終了割り込み許可）

DTIE ビットは指定した回数のデータ転送が終了したときに発生する転送終了割り込み要求を許可します。

このビットが 1 のとき、DMSTS.DTIF フラグが 1 になると、転送終了割り込みが発生します。転送終了割り込みを解除するには、このビットまたは DMSTS.DTIF フラグを 0 にします。

17.2.12 DMAMD : DMA アドレスモードレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SM[1:0]		SADR	SARA[4:0]					DM[1:0]		DADR	DARA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DARA[4:0]	転送先アドレス拡張リピート領域設定 転送先アドレスに拡張リピート領域を設定します。設定についての詳細は、表 17.2 を参照してください。	R/W
5	DADR	リロード後の転送先アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
7:6	DM[1:0]	転送先アドレス更新モード設定 0 0: 転送先アドレス固定 0 1: オフセット加算 1 0: 転送先アドレスインクリメント 1 1: 転送先アドレスデクリメント	R/W
12:8	SARA[4:0]	転送元アドレス拡張リピート領域設定 転送元アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 17.2 を参照してください。	R/W
13	SADR	リロード後の転送元アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
15:14	SM[1:0]	転送元アドレス更新モード設定 0 0: 転送元アドレス固定 0 1: オフセット加算 1 0: 転送元アドレスインクリメント 1 1: 転送元アドレスデクリメント	R/W

注. S-TYPE-3, P-TYPE-3

DMAMD レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DARA[4:0]ビット（転送先アドレス拡張リピート領域設定）

DARA[4:0]ビットは転送先アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 00b（転送先にリピート領域またはブロック領域を設定）であれば、DARA[4:0]ビットには 00000b を書いてください。

リピート／ブロック転送モードでは、DARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.DARIE ビットを 1 にしてください。表 17.2 には、各設定値に対応した拡張リピート領域が示されています。

DADR ビット（リロード後の転送先アドレス更新選択）

リピートブロック転送モードでは、本ビットは DMDRR リロード後の DMDAR の動作を指定します。

本ビットに 1 を設定すると、DMDRR リロード後の DMDAR にインデックス値（(DMDBSH-DMDBSL) × データサイズ）が付加されます。

本ビットに 0 を設定すると、DMDAR は DMDRR はリロードするだけです。本動作を表 17.13 に示します。

ノーマル転送モード、リピート転送モード、またはブロック転送モードでは、本ビットは無視されます。

DM[1:0]ビット（転送先アドレス更新モード設定）

DM[1:0]ビットは転送先アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、10b、または 11b を設定した場合、転送先アドレスはそれぞれ 1、2、または 8 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、10b、または 11b を設定した場合、転送先アドレスはそれぞれ 1、2、または 8 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

SARA[4:0]ビット（転送元アドレス拡張リピート領域設定）

SARA[4:0]ビットは転送元アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 01b（転送元にリピート領域またはブロック領域を設定）であれば、SARA[4:0]ビットには 00000b を書いてください。

リピート／ブロック転送モードでは、SARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.SARIE ビットを 1 にしてください。表 17.2 には、各設定値に対応した拡張リピート領域が示されています。

SADR ビット（リロード後の転送元アドレス更新選択）

リピートブロック転送モードでは、本ビットは DMSRR リロード後の DMSAR の動作を指定します。

本ビットに 1 を設定すると、DMSRR リロード後の DMSAR にインデックス値（(DMSBSH-DMSBSL) × データサイズ）が付加されます。

本ビットに 0 を設定すると、DMSAR は DMSRR はリロードするだけです。本動作を表 17.12 に示します。

ノーマル転送モード、リピート転送モード、またはブロック転送モードでは、本ビットは無視されます。

SM[1:0]ビット（転送元アドレス更新モード設定）

SM[1:0]ビットは転送元アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、10b、または 11b を設定した場合、転送元アドレスはそれぞれ 1、2、4、または 8 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、10b、または 11b を設定した場合、転送元アドレスはそれぞれ 1、2、4、または 8 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

表 17.2 SARA[4:0]ビットまたは DARA[4:0]ビットの設定値と対応するリピート領域

SARA[4:0]ビットまたは DARA[4:0]ビットの設定値	拡張リピート領域
00000b	拡張リピート領域を設定しない
00001b	当該アドレスの下位 1 ビット（2 バイト）を拡張リピート領域に設定
00010b	当該アドレスの下位 2 ビット（4 バイト）を拡張リピート領域に設定
00011b	当該アドレスの下位 3 ビット（8 バイト）を拡張リピート領域に設定
00100b	当該アドレスの下位 4 ビット（16 バイト）を拡張リピート領域に設定
00101b	当該アドレスの下位 5 ビット（32 バイト）を拡張リピート領域に設定
00110b	当該アドレスの下位 6 ビット（64 バイト）を拡張リピート領域に設定
00111b	当該アドレスの下位 7 ビット（128 バイト）を拡張リピート領域に設定
01000b	当該アドレスの下位 8 ビット（256 バイト）を拡張リピート領域に設定
01001b	当該アドレスの下位 9 ビット（512 バイト）を拡張リピート領域に設定
01010b	当該アドレスの下位 10 ビット (1 KB) を拡張リピート領域に設定
01011b	当該アドレスの下位 11 ビット (2 KB) を拡張リピート領域に設定
01100b	当該アドレスの下位 12 ビット (4 KB) を拡張リピート領域に設定
01101b	当該アドレスの下位 13 ビット (8 KB) を拡張リピート領域に設定
01110b	当該アドレスの下位 14 ビット (16 KB) を拡張リピート領域に設定
01111b	当該アドレスの下位 15 ビット (32 KB) を拡張リピート領域に設定
10000b	当該アドレスの下位 16 ビット (64 KB) を拡張リピート領域に設定
10001b	当該アドレスの下位 17 ビット (128 KB) を拡張リピート領域に設定
10010b	当該アドレスの下位 18 ビット (256 KB) を拡張リピート領域に設定
10011b	当該アドレスの下位 19 ビット (512 KB) を拡張リピート領域に設定
10100b	当該アドレスの下位 20 ビット (1 MB) を拡張リピート領域に設定
10101b	当該アドレスの下位 21 ビット (2 MB) を拡張リピート領域に設定
10110b	当該アドレスの下位 22 ビット (4 MB) を拡張リピート領域に設定
10111b	当該アドレスの下位 23 ビット (8 MB) を拡張リピート領域に設定
11000b	当該アドレスの下位 24 ビット (16 MB) を拡張リピート領域に設定
11001b	当該アドレスの下位 25 ビット (32 MB) を拡張リピート領域に設定
11010b	当該アドレスの下位 26 ビット (64 MB) を拡張リピート領域に設定
11011b	当該アドレスの下位 27 ビット (128 MB) を拡張リピート領域に設定
11100b～11111b	設定禁止

17.2.13 DMOFR : DMA オフセットレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x18

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送元または転送先のアドレス更新モードとしてオフセット加算が選択されている場合、そのオフセット値を設定 0x00000000～0x00FFFFFF（0 バイト～(16M–1) バイト） 0xFF000000～0xFFFFFFFF (–16 MB～–1 byte)	R/W

注. S-TYPE-3, P-TYPE-3

DMOFR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

このレジスタへの書き込みは、データ転送中ではなく、DMAC 動作停止中または DMA 転送が禁止されているときに行ってください。

b31～b25 の設定は無効です。b24 の値が b31～b25 へ拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

リピートブロック転送モードでは、オフセット加算が選択された場合、オフセットは DMOFR レジスタにより指定されません。DMOFR レジスタに 0 を書き込んでください。

17.2.14 DMCNT : DMA 転送イネーブルレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTE	DMA 転送許可 0: DMA 転送禁止 1: DMA 転送許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DTE ビット（DMA 転送許可）

DMA 転送は、DMAST.DMST ビットが 1（DMAC 動作許可）のとき、対応するチャネルの DTE ビットを 1 にすることで、開始することができます。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき
- アクセスエラー発生により、DMA 転送が停止したとき。「17.5. DMA 転送エラーの処理」を参照してください。

DMA 転送中に対応するチャネルの DTE が 0 になった場合、転送終了後に新たな転送要求を受け付けません。

17.2.15 DMREQ : DMA ソフトウェア起動レジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x1D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CLRS	—	—	—	SWREQ
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SWREQ	DMA ソフトウェア起動 0: DMA 転送を要求しない 1: DMA 転送を要求する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CLRS	DMA ソフトウェア起動ビット自動クリア選択 0: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする 1: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアしない	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SWREQ ビット（DMA ソフトウェア起動）

SWREQ ビットを 1 にすると DMA 転送要求が発生します。その要求に対して転送が開始されると、CLRS ビットが 0 の場合、SWREQ ビットが 0 になります。CLRS ビットが 1 の場合はクリアされません。DMA 転送要求は、転送終了後に再発行できます。

DMTMD.DCTG[1:0]ビットが 00b（DMAC 起動要因がソフトウェア）になっている場合のみ、このビットの設定が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0]ビットが 00b 以外になっている場合、このビットの設定は無効です。

CLRS ビットが 0 の状態でソフトウェアによる DMA 転送を行う場合、SWREQ ビットが 0 であることを確認してから SWREQ ビットに 1 を書いてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- CLRS ビットが 0（ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする）の場合に、ソフトウェアによる DMA 転送要求が受け付けられて DMA 転送が開始したとき
- 0 を書いたとき

アクセスエラー発生により、DMA 転送が停止したとき「17.5. DMA 転送エラーの処理」を参照してください。

CLRS ビット（DMA ソフトウェア起動ビット自動クリア選択）

CLRS ビットは SWREQ ビットを 1 にして転送要求を発生させた場合、その要求に対して DMA 転送が開始した後、SWREQ ビットを 0 にするか否かを設定します。CLRS ビットを 0 にすると、DMA 転送の開始後、SWREQ ビットは 0 になります。1 にすると、SWREQ ビットは 0 にクリアされません。DMA 転送要求は、転送終了後に再発行できます。

17.2.16 DMSTS : DMA ステータスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	DTIF	—	—	—	ESIF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESIF	転送エスケープ終了割り込みフラグ 0: 転送エスケープ終了割り込み発生なし 1: 転送エスケープ終了割り込み発生あり	R/W(注1)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DTIF	転送終了割り込みフラグ 0: 転送終了割り込み発生なし 1: 転送終了割り込み発生あり	R/W(注1)
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ACT	DMA アクティブフラグ 0: DMAC がアイドル状態 1: DMAC が動作中	R

注. S-TYPE-3, P-TYPE-3
注 1. フラグをクリアするための 0 の書き込みのみ可能です。

ESIF フラグ（転送エスケープ終了割り込みフラグ）

転送エスケープ終了割り込みが発生したことを示します。

[1 になる条件]

- リピート転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 リピートサイズ分のデータ転送が終了したとき
- ブロック転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 ブロック分のデータ転送が終了したとき
- DMINT.SARIE ビットが 1 で、かつ DMAMD.SARA[4:0]ビットが 00000b 以外（転送元アドレスに拡張リピート領域を設定）の状態で、転送元アドレスに拡張リピート領域オーバーフローが発生したとき
- DMINT.DARIE ビットが 1 で、かつ DMAMD.DARA[4:0]ビットが 00000b 以外（転送先アドレスに拡張リピート領域を設定）の状態で、転送先アドレスに拡張リピート領域オーバーフローが発生したとき

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示します。

[1 になる条件]

- ノーマル転送モードにおいて、指定した回数のデータ転送が終了したとき（DMCRAL ビットの値が 0 になり転送が終了したとき）
- リピート転送モードにおいて、指定した回数のリピート転送動作が終了したとき（DMTMD.TKP = 0 の状態で転送終了時に DMCRBL ビットの値が 0 になっているとき、または DMTMD.TKP = 1 の状態で DMCRBL ビットの値が DMCRBH をリロードしたものであるとき）
- ブロック転送モードおよびリピートブロック転送モードにおいて、指定したブロック数の転送が終了したとき（DMTMD.TKP = 0 の状態で転送終了時に DMCRBL ビットの値が 0 になっているとき、または DMTMD.TKP = 1 の状態で DMCRBL ビットの値が DMCRBH をリロードしたものであるとき）

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

ACT フラグ（DMA アクティブフラグ）

DMAC が停止状態であるか、または動作中であるかを示します。

[1 になる条件]

- DMAC がデータ転送を開始したとき

[0 になる条件]

- 1 転送要求に対するデータ転送が終了したとき

17.2.17 DMSBS : DMA 転送元バッファサイズレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMSBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMSBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMSBSL[15:0]	リピートブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 17.3 を参照してください。	R/W
31:16	DMSBSH[15:0]	リピートブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 17.3 を参照してください。	R/W

注. S-TYPE-3, P-TYPE-3

DMSBS レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

リピートブロック転送モードでは、DMSBSH と DMSBSL に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMSBS に 0x00000000 を書き込んでください。

リピートブロック転送モードでは、DMSBSH はバッファサイズを指定し、DMSBSL は 16 ビットのバッファサイズカウンタとして機能します。リピートブロック転送モードでは、転送元リピート領域を DMSBSH で指定します。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMSBSH と DMSBSL に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMSBSL は DMSBSH の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 17.3 に、転送元アドレス更新モードでの転送データサイズに対応した DMA 転送元バッファサイズレジスタの設定値を示します。

表 17.3 リピートブロック転送モードにおいて DMSBS レジスタで利用可能な設定 (1/2)

転送元アドレス更新モード (DMAMD.SM)	転送データサイズ (DMTMD.SZ)	DMSBSH ビットと DMSBSL ビットで利用可能な設定
転送元アドレス固定 (SM = 00b)	Don't care	0x0000（DMSBS 未使用時）

表 17.3 リピートブロック転送モードにおいて DMSBS レジスタで利用可能な設定 (2/2)

転送元アドレス更新モード (DMAMD.SM)	転送データサイズ (DMTMD.SZ)	DMSBSH ビットと DMSBSL ビットで利用可能な設定
オフセット加算 (SM = 01b)	8 ビット (SZ = 00b)	0x0001～0xFFFF (1～65535)
	16 ビット (SZ = 01b)	0x0001～0x7FFF (1～32767)
	32 ビット (SZ = 10b)	0x0001～0x3FFF (1～16383)
	64 ビット (SZ = 11b)	0x0001～0x1FFF (1～8191)
転送元アドレスがインクリメントアドレスかデクリメントアドレス (SM = 1xb)	Don't care	0x0000（無限） 0x0001～0xFFFF (1～65535)

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSBS は使用されず、その設定は無効です。

17.2.18 DMDBS : DMA 転送先バッファサイズレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMDBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMDBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMDBSL[15:0]	リピートブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 17.4 を参照してください。	R/W
31:16	DMDBSH[15:0]	リピートブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 17.4 を参照してください。	R/W

注. S-TYPE-3, P-TYPE-3

DMDBS レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

リピートブロック転送モードでは、DMDBSH と DMDBSL に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMDBS に 0x00000000 を書き込んでください。

リピートブロック転送モードにおいて、DMDBSH はバッファサイズを指定し、DMDBSL は 16 ビットバッファサイズカウンタとして機能します。リピートブロック転送モードでは、転送先のリピート領域は DMDBSH により指定されます。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMDBSH と DMDBSL に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMDBSL は DMDBSH の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 17.4 に、転送先アドレス更新モードでの転送データサイズに対応した転送先バッファサイズレジスタの設定値を示します。

表 17.4 リピートブロック転送モードにおいて DMDBS レジスタで利用可能な設定 (1/2)

転送先アドレス更新モード (DMAMD.DM)	転送データサイズ (DMTMD.SZ)	DMDBSH ビットと DMDBSL ビットで利用可能な設定
転送先アドレス固定 (DM = 00b)	Don't care	0x0000（DMDBS 未使用時）

表 17.4 リピートブロック転送モードにおいて DMDBS レジスタで利用可能な設定 (2/2)

転送先アドレス更新モード (DMAMD.DM)	転送データサイズ (DMTMD.SZ)	DMDBSH ビットと DMDBSL ビットで利用可能な設定
オフセット加算 (DM = 01b)	8 ビット (SZ = 00b)	0x0001～0xFFFF (1～65535)
	16 ビット (SZ = 01b)	0x0001～0x7FFF (1～32767)
	32 ビット (SZ = 10b)	0x0001～0x3FFF (1～16383)
	64 ビット (SZ = 11b)	0x0001～0x1FFF (1～8191)
転送先アドレスはインクリメントまたはデクリメント (DM = 1xb)	Don't care	0x0000（無限） 0x0001～0xFFFF (1～65535)

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDBS は使用されず、その設定は無効です。

17.2.19 DMBWR : DMA バッファラブル書き込みイネーブルレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x30

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BWE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BWE	バッファラブル書き込みイネーブル 0: バッファラブル書き込み禁止 1: バッファラブル書き込み許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DMBWR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

BWE ビット（バッファラブル書き込みイネーブル）

BWE ビットはバッファラブル書き込みの許可または禁止を指定します。

このビットが 1 の場合、DMAC としての書き込みアクセスが完了しても、実際のスレーブ書き込みは終了していない可能性があります。

このビットが 1 のとき、スレーブに対して可能であればテンポラリバッファに書き込みデータを書き込むことによって、早期応答を要求します。そのため、DMAC としての書き込みアクセスが完了しても、実際のスレーブ書き込みが終了していない場合があります。対象のスレーブへの書き込みアクセスの最中にエラーが発生した場合、エラーが検出されず転送が自動的に停止しない場合があります。そのような場合、エラー応答検出割り込み DMAm_TRANSERR (m = 0, 1) は発生しません。

バッファラブル書き込みに対応したスレーブグループとエラー応答検出割り込みを発生できないスレーブグループについては、「15.7.2. バスエラー発生時の動作」を参照してください。

一部の個別のスレーブモジュールはバッファラブル書き込みにも対応するので、それぞれのモジュールの章を参照してください。

[1 になる条件]

- 本ビットに 1 が書き込まれたとき

[0 になる条件]

- 本ビットに 0 が書き込まれたとき

17.2.20 DMAST : DMAC モジュール起動レジスタ

Base address: DMA0 = 0x4000_A800
DMA0_NS = 0x5000_A800

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DMST	DMAC 動作許可 0: DMAC 起動禁止 1: DMAC 起動許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE2

DMST ビット（DMAC 動作許可）

DMAST.DMST ビットを 1 にすると、DMAC 全チャネルの起動が許可されます。DMST ビットを 1（DMAC 起動許可）にした場合、複数チャネルの DMCNT.DTE ビットを 1（DMA 転送許可）にすることで、対応する全チャネルが同時に転送要求受け付け可能状態になります。

DMA 転送中に DMST ビットを 0 にすると、実行中の 1 転送要求に対するデータ転送が終了した後、DMA 転送が一時停止します。DMA 転送を再開するには、再度 DMST ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

17.2.21 DMECHR : DMAC エラーチャネルレジスタ

Base address: DMA0 = 0x4000_A800
DMA0_NS = 0x5000_A800

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMESTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMECHSAM	—	—	—	—	DMECH[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	DMECH[3:0]	DMAC エラーチャネル エラーが発生したチャネル番号を示します。 0000: チャネル 0 でエラー発生 0001: チャネル 1 でエラー発生 0010: チャネル 2 でエラー発生 ⋮ ⋮ 0111: チャネル 7 でエラー発生	R
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R

ビット	シンボル	機能	R/W
8	DMECHSAM	DMAC エラーチャネルセキュリティ属性監視 エラーが発生したチャネルのセキュリティ属性を示します。 0: セキュアチャネル 1: 非セキュアチャネル	R
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	DMESTA	DMAC エラーステータス 0: DMA 転送エラー発生なし 1: DMA 転送エラー発生あり	R/W (注1)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. P-TYPE-2
注 1. DMESTA への書き込みは DMECHSAM の値に依存します。

本レジスタを読み出す場合、セキュアアクセスと非セキュアアクセスの両方でアクセス可能です。

本レジスタに書き込む場合、DMECHR.DMESA に依存します。

- DMESA = 1 の場合、セキュアアクセスと非セキュアアクセスでアクセス可能
- DMESA = 0 の場合、セキュアアクセスでアクセス可能非セキュアアクセスでライトアクセスをすると、エラーから復帰します。

本レジスタは、転送エラーによって生じるリセットでクリアされます。プログラムをデバッグする場合は、BUS.OADCFG.OAD で割り込み DMAm_TRANSERR (m = 0, 1) を選択してください。

DMECH[3:0]ビット（DMAC エラーチャネル）

DMA 転送起因の転送エラーが発生した場合、本ビットは違反した DMAC のチャネルを格納します。

MPU.MMPUOAD.OAD と TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合は、ノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMECHSAM ビット（DMAC エラーチャネルセキュリティ属性監視）

DMA 転送起因の転送エラーが発生した場合、本ビットは違反した DMAC チャネルのセキュリティ属性を示します。

MPU.MMPUOAD.OAD と TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合は、ノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMESTA ビット（DMAC エラーステータス）

本ビットは DMA 転送エラーの発生の有無を示します。

DMESTA に 1 を書くことにより、DMECH[3:0]、DMECHSAM、DMESTA はクリアされます。DMESTA への 0 の書き込みは無視されます。

MPU.MMPUOAD.OAD と TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合は、ノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生した場合

[0 になる条件]

- DMESTA に 1 を書く場合

注. DMECHSAM = 1 の場合、セキュア状態および非セキュア状態でクリア可能です。DMECHSAM = 0 の場合、非セキュア状態ではクリアできません。

17.2.22 DMCTL : DMAC コントロールレジスタ

Base address: DMA0 = 0x4000_A800
DMA0_NS = 0x5000_A800

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ERCH	—	—	—	PR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PR	優先順位制御モード選択 0: 固定優先モード 1: ラウンドロビンモード	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	ERCH	チャネル選択クリア 0: 対象チャネルのみ 1: 全チャネル	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

DMCTL レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

PR ビット（優先順位制御モード選択）

DMCTL.PR が 0 のとき、アービトレーションは優先順位固定モード（チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 … > チャネル 7 > DTC（チャネル 0 が最優先））で実行され、DMA 転送が開始されます。

DMCTL.PR が 1 のときはラウンドロビンモードでアービトレーションが行われ、DMA 転送が開始されます。

ERCH ビット（チャネル選択クリア）

DMCTL.ERCH が 0 の場合、ICU は転送時のエラー応答を契機に DELSRn (n = 0～7) の対象チャネルのすべてのビットをクリアします。対象チャネル以外の DELSRn (n = 0～7) はクリアされません。

DMCTL.ERCH が 1 の場合、ICU は転送時のエラー応答を契機に DELSRn (n = 0～7) のすべてのチャネルのすべてのビットをクリアします。

17.3 動作説明

17.3.1 転送モード

17.3.1.1 ノーマル転送モード

ノーマル転送モードでは、1 転送要求に対して 1 データの転送を行います。DMCRAL ビットで転送回数を最大 65535 回まで設定できます。また、これらのビットを 0x0000 にすると、転送回数は指定なしとなり、転送カウンタが停止した状態でデータ転送を行います（フリーランニング機能）。ノーマル転送モードでは、DMCRB レジスタの設定は無効です。フリーランニング機能を除き、指定した転送回数の終了後に転送終了割り込み要求を発生させることができます。

表 17.5 にノーマル転送モードにおけるレジスタ更新動作を、図 17.2 にノーマル転送モードにおける転送動作を示します。

表 17.5 ノーマル転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する転送終了後の更新動作
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算
DMCRAL	転送カウント	1 減算／更新なし（フリーランニング機能時）
DMCRAH	—	更新なし（ノーマル転送モードでは使用しない）
DMCRB	—	更新なし（ノーマル転送モードでは使用しない）

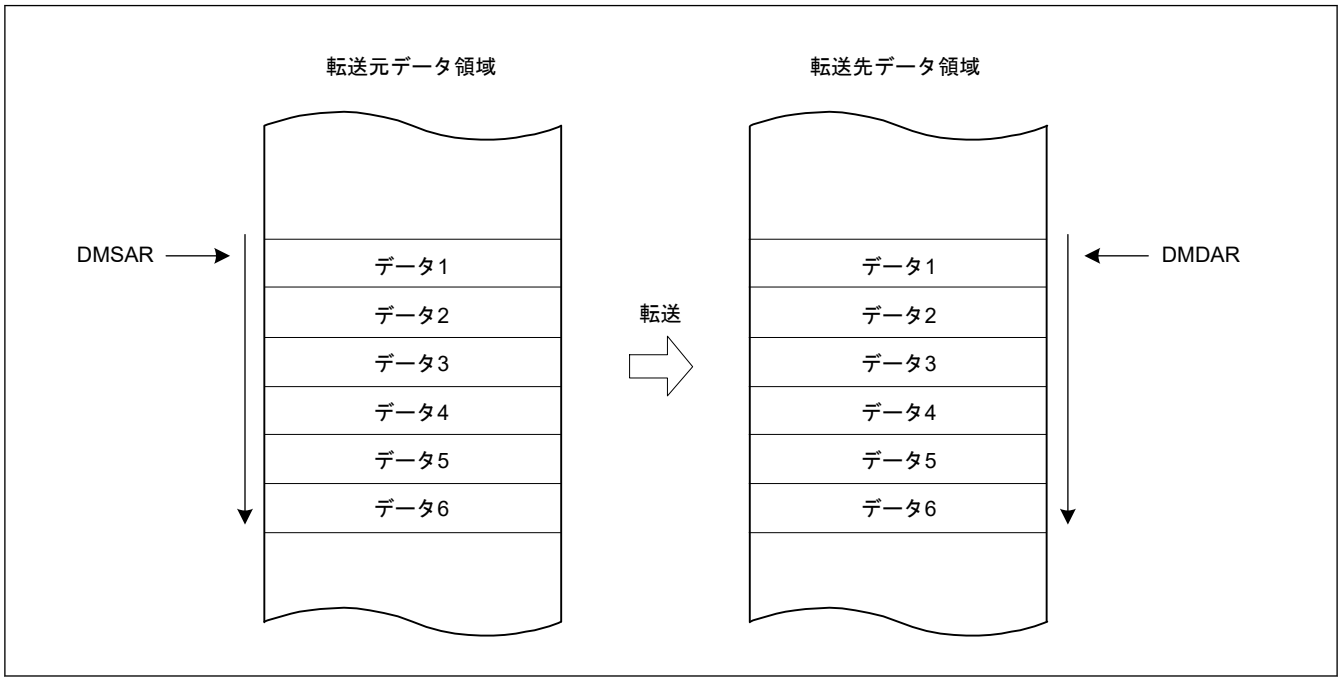


図 17.2 ノーマル転送モードにおける動作

17.3.1.2 リピート転送モード

リピート転送モードは 1 回の転送要求について 1 データの転送を行います。

DMCRA レジスタで最大 1K データのリピート転送サイズを設定できます。

また、DMCRB レジスタで最大 64K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ×64K リピート回数＝64M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、リピートサイズ分のデータ転送が終了すると、転送開始時のアドレスに復帰します。リピート転送モードでは、指定されたリピートサイズ分のデータの転送がすべて終了した時に、DMA 転送を停止させ、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したリピート転送回数の終了後に、転送終了割り込み要求を発生させることができます。

リピート転送モードにおけるレジスタ更新動作を表 17.6 に、リピート転送モードにおける転送動作を図 17.3 に示します。

表 17.6　リピート転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMCRAL ビットが 1 以外のとき	DMCRAL ビットが 1 のとき（リピートサイズの最終データ転送）
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 01b DMSAR の初期値 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMTMD.DTS[1:0] = 00b DMDAR の初期値 • DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMCRAH	リピートサイズ	更新なし	更新なし
DMCRAL	転送カウント	1 減算	DMCRAH
DMCRBH	リピート転送回数	更新なし	更新なし
DMCRBL	リピート転送回数のカウント	更新なし	1 減算

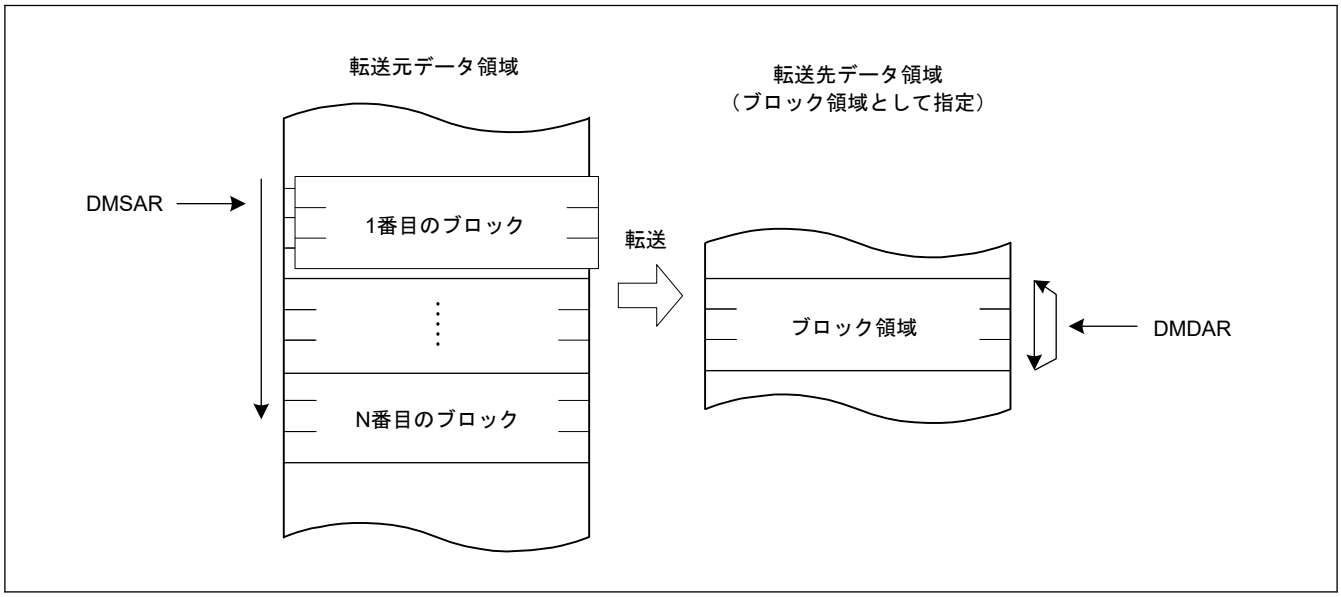


図 17.3　リピート転送モードの動作

17.3.1.3　ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックのデータ転送を行います。

DMCRA レジスタで最大 1K データのブロック転送サイズを設定できます。

また、DMCRB レジスタで最大 64K 回の指定ブロック転送回数を設定できます。総データ転送数は最大 1K データ×64K ブロック転送回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、1 ブロック分のデータ転送が終了すると、転送開始時のアドレスに復帰します。ブロック転送モードでは、1 ブロックのデータ転送がすべて終了した時に、DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したブロック転送回数の終了後に、転送終了割り込み要求を発生させることができます。

ブロック転送モードにおけるレジスタ更新動作を表 17.7 に、ブロック転送モードにおける転送動作を図 17.4 に示します。

表 17.7　ブロック転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する 1 ブロック転送終了後の更新動作
DMSAR	転送元アドレス	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 01b DMSAR の初期値 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	• DMTMD.DTS[1:0] = 00b DMDAR の初期値 • DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMCRAH	ブロックサイズ	更新なし
DMCRAL	転送カウント	DMCRAH
DMCRBH	ブロック転送回数	更新なし
DMCRBL	ブロック転送回数のカウント	1 減算

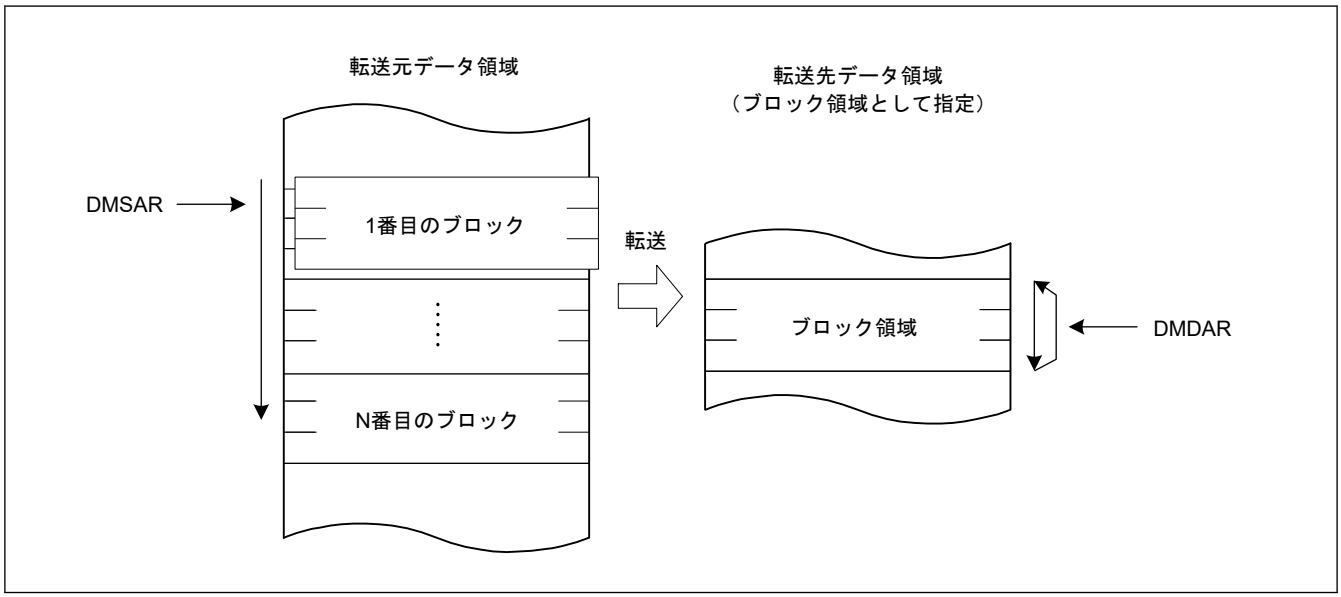


図 17.4　ブロック転送モードの動作

17.3.1.4　リピートブロック転送モード

リピートブロック転送はブロック転送機能に追加された以下の機能をもつ動作モードです。

リピート機能：特定のアドレス領域をリピートする追加機能（リングバッファ）

オフセット機能：オフセットのある複数の領域を 1 ブロック転送内で指定可能

リピート機能とオフセット機能は、リピートブロック転送の転送元と転送先に対して使用可能です。

図 17.5 に転送先へリピート機能を追加する例を示します。

図 17.6 に転送先へオフセット加算するリピートブロック転送の例を示します。

リピートブロック転送モードでは、1 つの転送要求で 1 つのブロックデータが転送されます。

DMACn の DMCRA を使用して、最大 1 K のデータを合計ブロック転送サイズとして設定可能です。

DMACn の DMCRB を使用して、最大 64 K をブロック転送回数として設定可能です。したがって、最大 64 M のデータ（1 K データ × 64 K ブロック転送回数）を合計データ転送サイズとして設定可能です。

また、指定した回数のリピートブロック転送動作の終了後に、転送終了割り込み要求を発生させることができます。

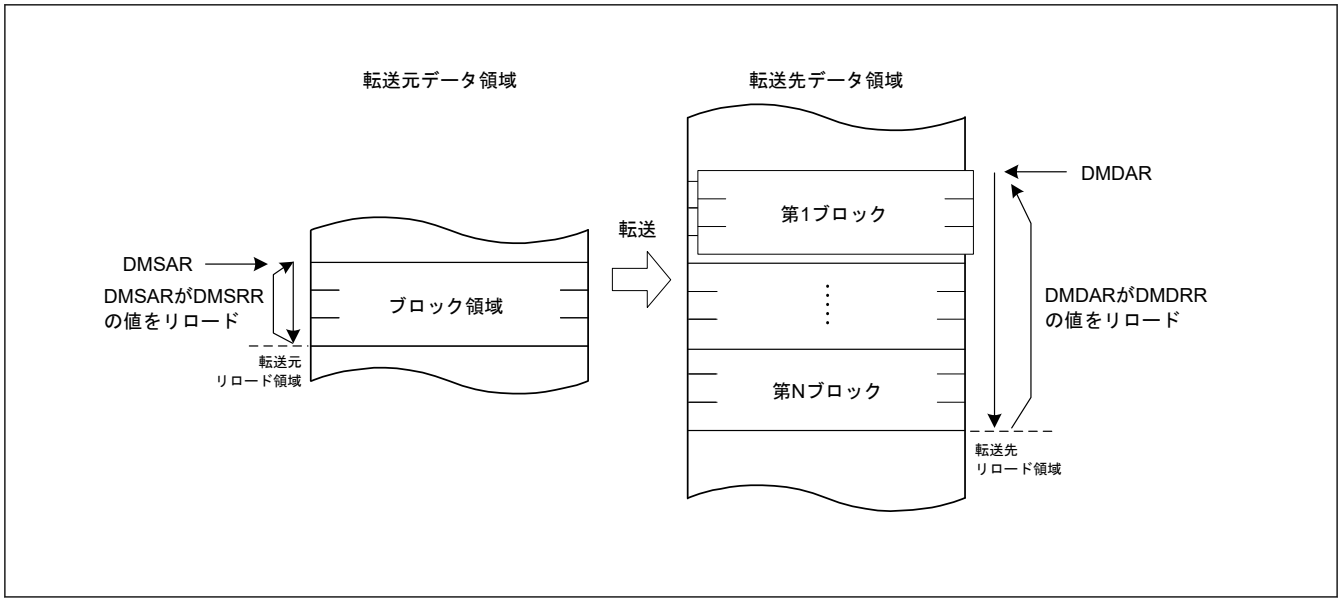


図 17.5　リピートブロック転送モードの動作

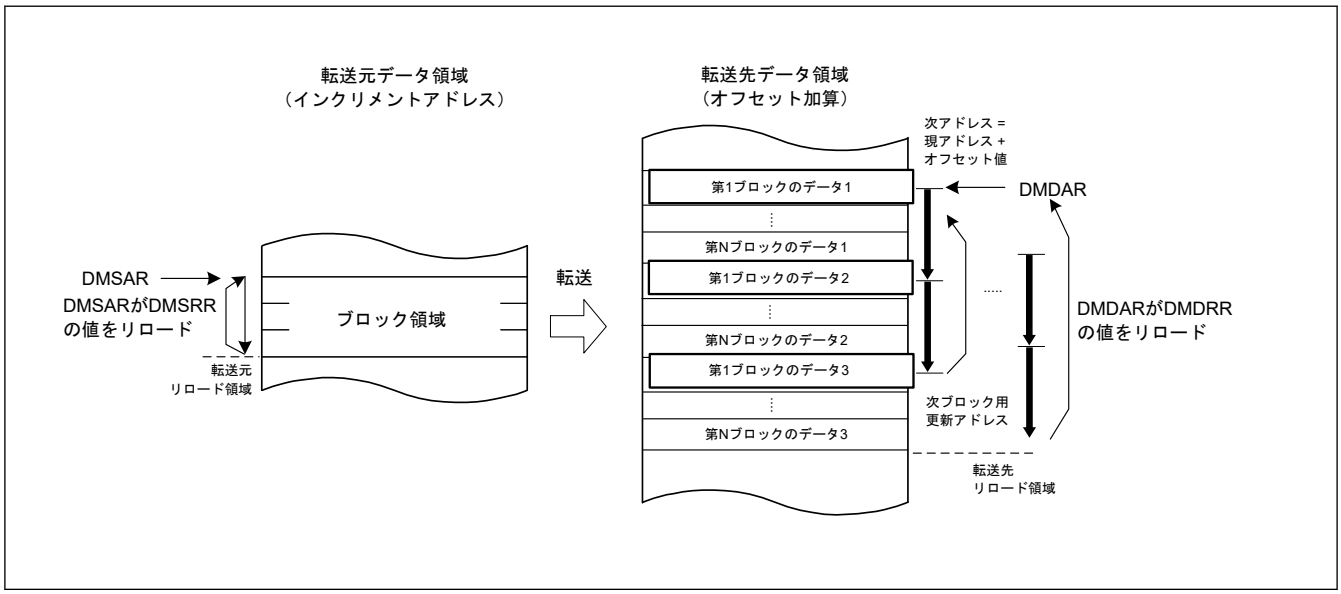


図 17.6　リピートブロック転送モードの動作（オフセット加算）

表 17.8～表 17.13 にリピートブロック転送モードのレジスタ更新動作をまとめます。

リピートブロック転送モードにおけるアドレス更新機能についての詳細は、「17.3.5. リピートブロック転送モードにおけるアドレス更新機能」を参照してください。

表 17.8 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（固定アドレス DMAMD.SM[1:0] = 00b）

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし
DMSAR	転送元アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 17.9 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（固定アドレス DMAMD.DM[1:0] = 00b）

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし
DMDAR	転送先アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 17.10 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b） (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が 1 ではない			DMSBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし

表 17.10 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が 1 ではない			DMSBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSAR	DMTMD.SM[1:0] = 10b の場合の転送元アドレス	データサイズによるインクリメント			DMSRR		
	DMTMD.SM[1:0] = 11b の場合の転送元アドレス	データサイズによるデクリメント			DMSRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMSBSH[15:0]	転送元バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウント	1 減算	1 減算	1 減算	DMSBSH	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]			DMCRBH[15:0]

表 17.11 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b） (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし

表 17.11 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDAR	DMTMD.DM[1:0] = 10b の場合の転送先アドレス	データサイズによるインクリメント			DMDRR		
	DMTMD.DM[1:0] = 11b の場合の転送先アドレス	データサイズによるデクリメント			DMDRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの転送データカウント	1 減算	1 減算	1 減算	DMDBSH	DMDBSH	DMDBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]			DMCRBH[15:0]

表 17.12 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（オフセット加算 DMAMD.SM[1:0] = 01b） (1/2)

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMSBSL[15:0]が 1 ではない		DMSBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMAMD.SADR = 0 の場合の転送元アドレス	DMSBSH によるオフセット加算	DMSRR		DMSRR	
	DMAMD.SADR = 1 の場合の転送元アドレス		DMSRR + (DMS-BSH - DMSBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし

表 17.12 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（オフセット加算 DMAMD.SM[1:0] = 01b） (2/2)

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMSBSL[15:0]が 1 ではない		DMSBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMSBSH[15:0]	転送元バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウント	更新なし	1 減算	1 減算	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

表 17.13 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（オフセット加算 DMAMD.DM[1:0] = 01b）

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMDBSL[15:0]が 1 ではない		DMDBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMDAR	DMAMD.DADR = 0 の場合の転送先アドレス	DMDBSH によるオフセット加算	DMDRR		DMDRR	
	DMAMD.DADR = 1 の場合の転送先アドレス		DMDRR + (DMDBSH - DMDBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの転送データカウント	更新なし	1 減算	1 減算	DMDBSH	DMDBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

17.3.2 拡張リピート領域機能

DMAC には、転送元アドレスと転送先アドレスに拡張リピート領域を設定する機能があります。拡張リピート領域を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

この機能を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

転送元アドレスの拡張リピート領域は、DMAMD.SARA[4:0]ビットで設定します転送先アドレスの拡張リピート領域は、DMAMD.DARA[4:0]ビットで設定します。転送元と転送先に異なるサイズの設定が可能です。

ただし、リピート領域またはブロック領域として設定した転送元または転送先に、拡張リピート領域を設定することはできません。

アドレスレジスタの値が拡張リピート領域の終了アドレスに到達し、拡張リピート領域がオーバーフローすると、DMA 転送を停止させて、拡張リピート領域オーバーフロー割り込み要求を発生させることができます。DMINT.SARIE ビットが 1 のとき、転送元の拡張リピート領域がオーバーフローすると、DMSTS.ESIF フラグが 1 になり、DMCNT.DTE ビットを 0 にして DMA 転送を終了させます。このとき、DMINT.ESIE ビットが 1 になっていると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMINT.DARIE ビットが 1 の場合、この機能は転送先アドレスレジスタが対象になります。DMA 転送を再開させるには、割り込み処理で DMCNT.DTE ビットに 1 を書き込んでください。

図 17.7 に、拡張リピート領域の動作例を示します。

DMSAR の下位 3 ビット（8 バイト）を拡張リピート領域に設定する (DMAMD.SARA[4:0] = 00011b)。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

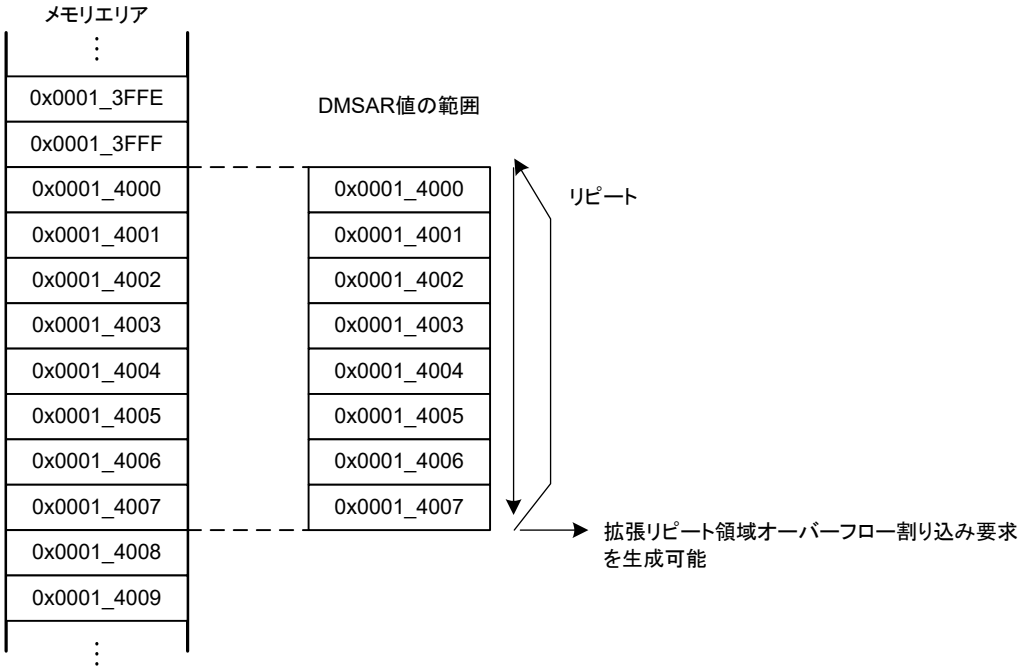


図 17.7 拡張リピート領域の動作例

ブロック転送モードで拡張リピート領域オーバーフロー割り込みを使用する場合は、以下の点に注意してください。

拡張リピート領域オーバーフロー割り込みで転送を終了させる場合、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの境界と拡張リピート領域の範囲の境界が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックの転送中に拡張リピート領域にオーバーフローが発生した場合、そのブロックの転送が終了するまで拡張リピート領域オーバーフロー割り込みは保留され、転送はオーバーランします。

図 17.8 に、ブロック転送モードにおける拡張リピート領域機能の使用例を示します。

DMSAR の下位 3 ビット（8 バイト）を拡張リピート領域に設定し (DMAMD.SARA[4:0] = 00011b)、ブロック転送モードでブロックサイズを 5 に設定し (DMCRA = 0x00050005)、転送元アドレスをブロック領域に指定しない。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

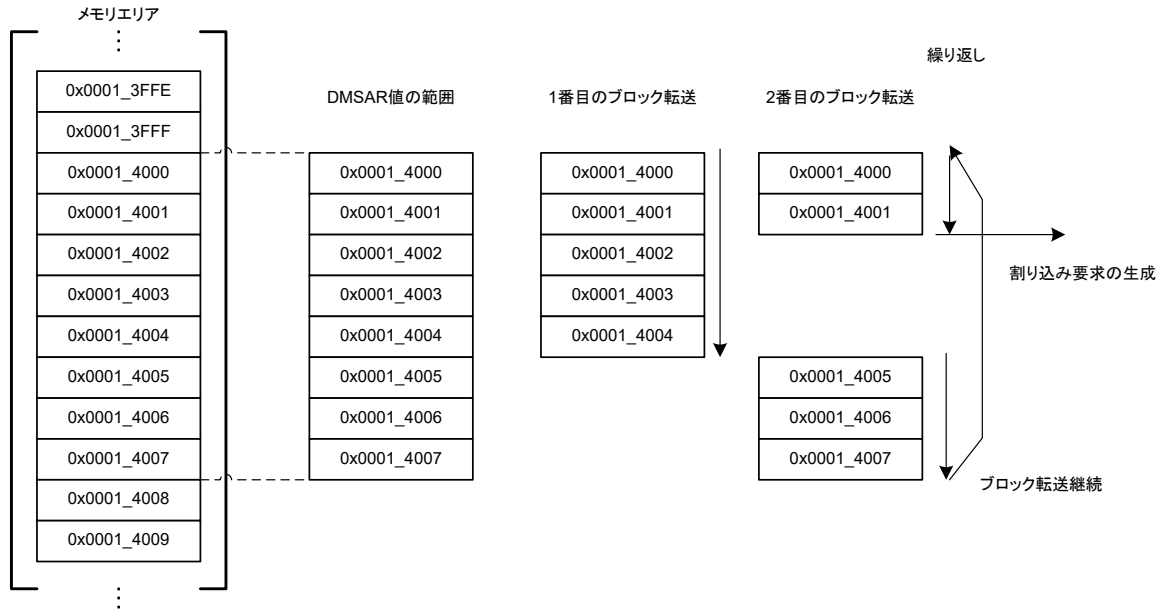


図 17.8　ブロック転送モードにおける拡張リピート領域機能の使用例

17.3.3　フリーランニング機能

DMAC はフリーランニング機能をサポートしています。この機能は割り込みハンドラを再設定することなく、リピート転送を許可します。

17.3.3.1　ノーマル転送モード

ノーマル転送モードで、DMCRA.DMCRAL ビットが 0x0000 の場合、転送動作の回数は設定されません。データ転送は、転送カウンタ停止で実行されます。

詳細については、「17.3.1.1. ノーマル転送モード」を参照してください。

17.3.3.2　他の転送モード

リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、DMAC は DMTMD.TKP ビットを使用したフリーランニング機能をサポートしています。DMTMD.TKP ビットが 1 に設定される場合、転送動作の指定された全回数の終了により転送は停止せず、繰り返し DMCRBH をリロードします。

図 17.9 にフリーランニング機能がない場合のブロック転送例を示します。

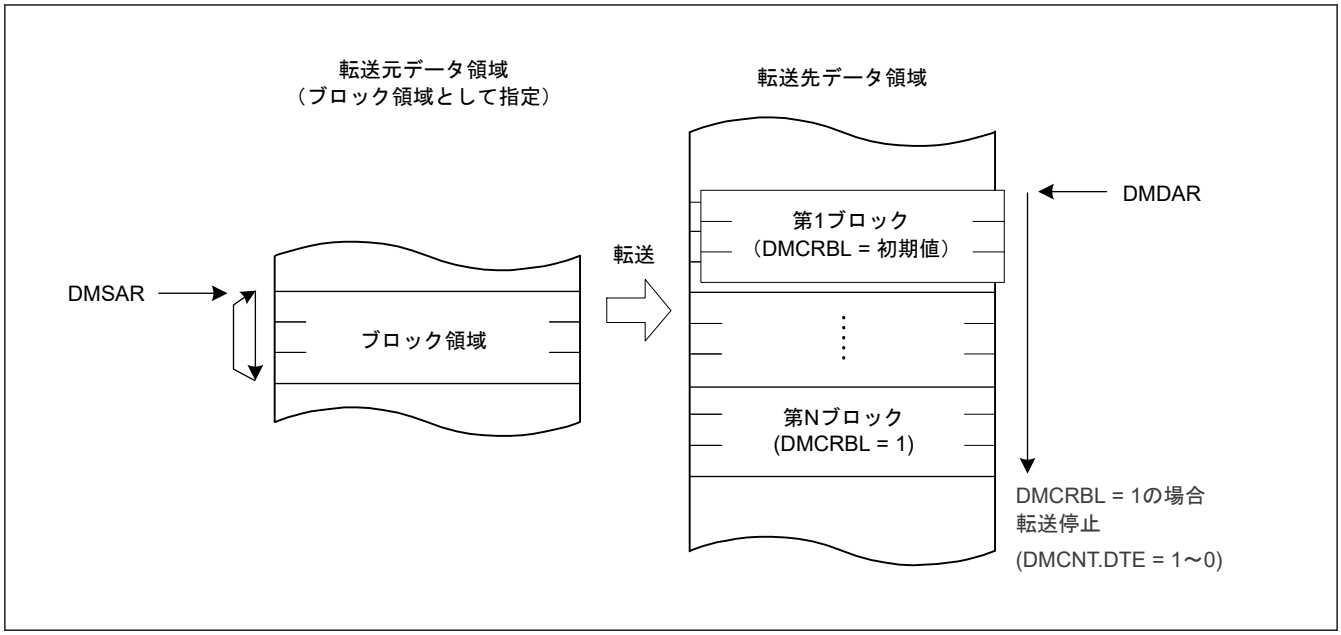


図 17.9　DMTMD.TKP ビットが 0 の場合のブロック転送モードの動作

図 17.10 にフリーランニング機能がある場合のブロック転送例を示します。

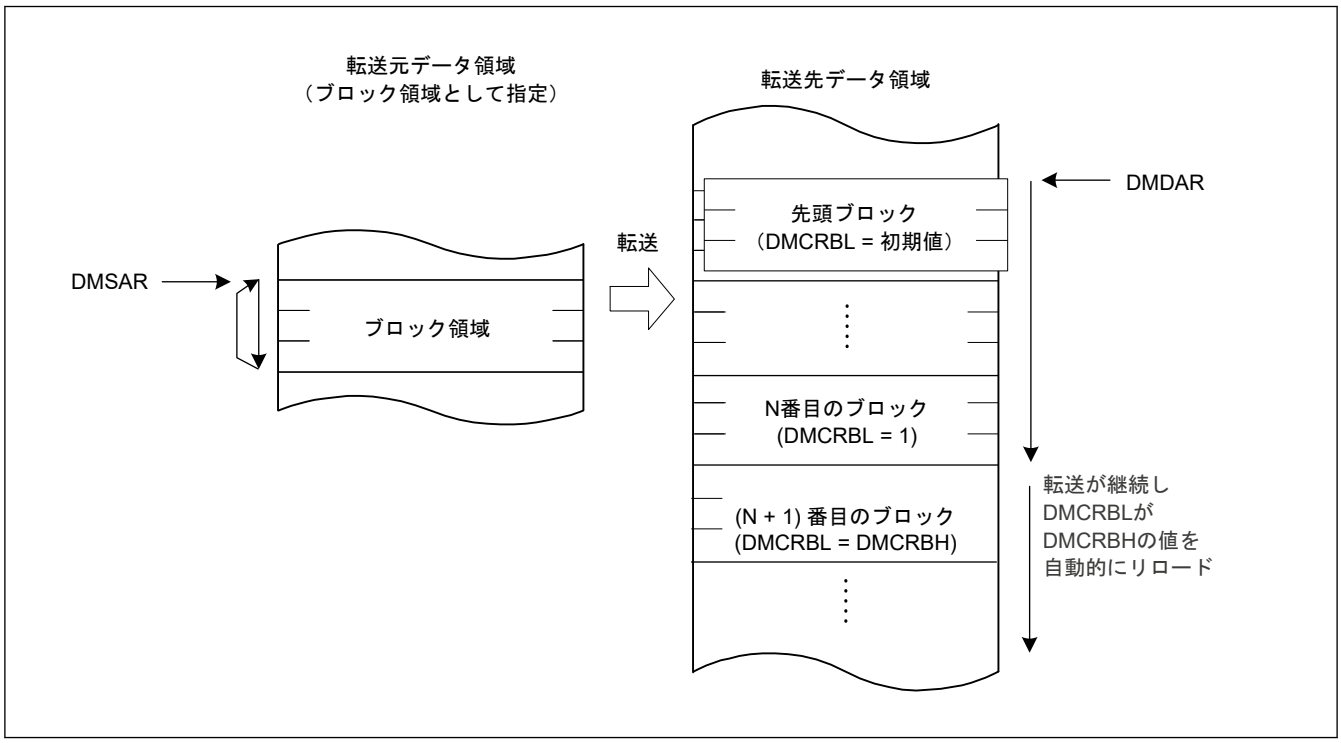


図 17.10　DMTMD.TKP ビットが 1 の場合のブロック転送モードの動作

17.3.4　オフセットを使用したアドレス更新機能

転送元アドレスと転送先アドレスの更新方法には、固定、インクリメント、デクリメントの他にオフセット加算があります。ノーマル転送モード、リピート転送モード、およびブロック転送モードでオフセット加算が選択された場合、DMAC が 1 回のデータ転送を実行するたびに、DMA オフセットレジスタ (DMOFR) で指定したオフセットがアドレスに加算されます。この機能によって、分散した領域にアドレスが割り当てられているデータ転送を実施できます。

また、DMOFR に負の値を設定すると、オフセットによる減算も可能です。負の値は 2 の補数で設定する必要があります。

リピートブロック転送モードでは、DMOFR の代わりに DMSBS または DMDBS が使用されます。詳細については、「17.3.1.4. リピートブロック転送モード」を参照してください。

表 17.14 に各アドレス更新モードにおけるアドレス更新方法を示します。

表 17.14　各アドレス更新モードにおけるアドレス更新方法

アドレス更新モード	アドレス更新モードに対する DMAMD.SM[1:0]および DMAMD.DM[1:0]の設定値	アドレス更新方法（DMTMD.SZ[1:0]設定値別）			
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b	SZ[1:0] = 11b
アドレス固定	00b	固定			
オフセット加算	01b	+DMOFR(注1)			
インクリメント	10b	+1	+2	+4	+8
デクリメント	11b	-1	-2	-4	-8

注 1.　DMA オフセットレジスタに負の値を設定する場合、その値は次式で計算される 2 の補数でなければいけません。
負のオフセット値の 2 の補数表現 = ～（オフセット値）+1（～：ビット反転）

17.3.4.1　オフセット加算を使用した基本的な転送

図 17.11 にオフセット加算によるアドレス更新機能の動作例を示します。

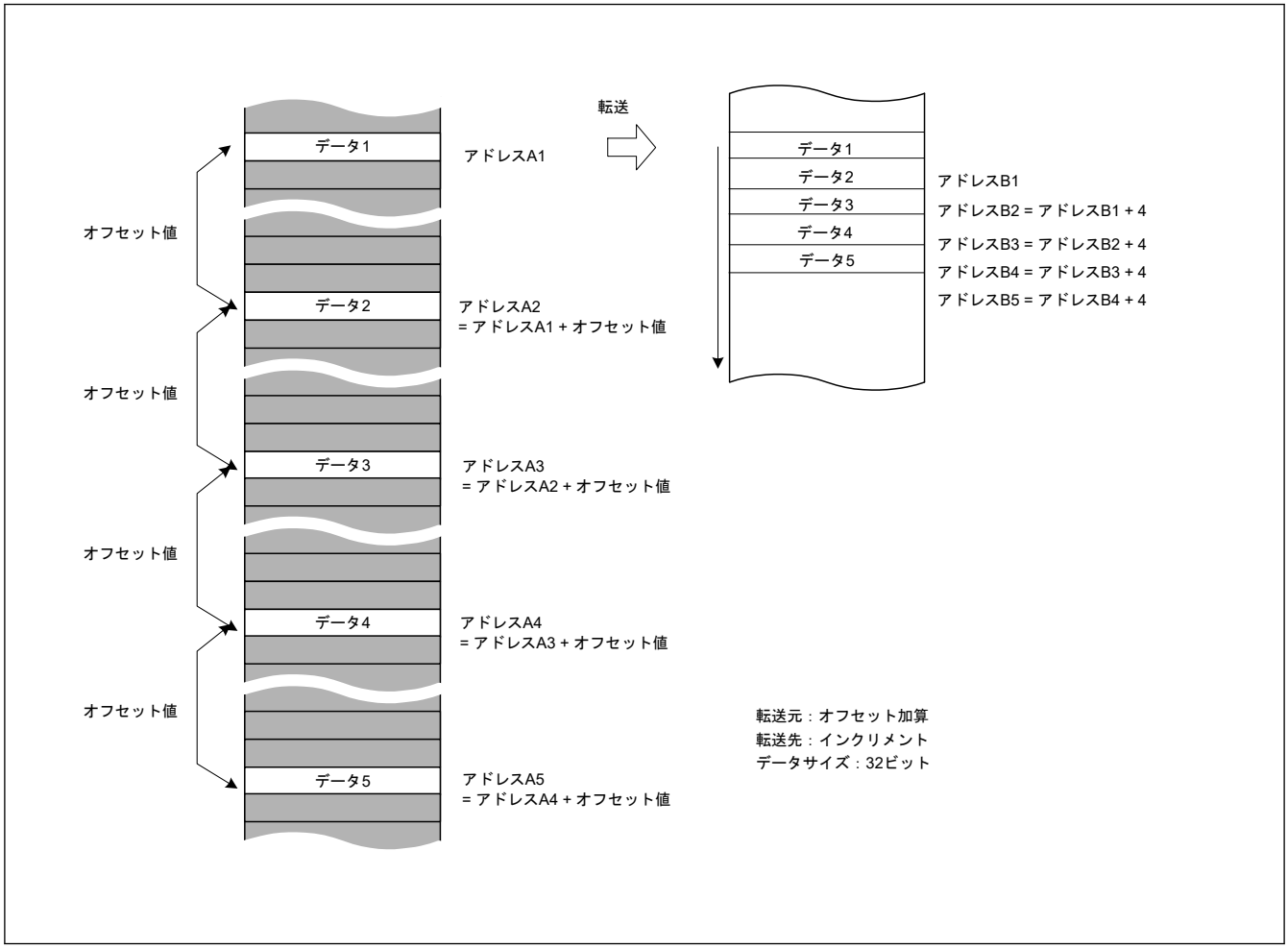


図 17.11　オフセット加算によるアドレス更新機能の動作例

図 17.11 では、以下のように設定しています。

- 転送データサイズは 32 ビット
- 転送元アドレスの更新モードはオフセット加算
- 転送先アドレスの更新モードはインクリメント

2 回目以降のデータは、前回のアドレスにオフセット値を加算することで得られる転送元アドレスから読み出されます。指定された間隔で読み出されたデータは、転送先では連続した領域に書き込まれます。

17.3.4.2 オフセット加算を使用した XY 変換例

図 17.12 に、リピート転送モードとオフセット加算を組み合わせて XY 変換を行うときの動作を示します。

設定方法は以下のとおりです。

- DMAMD.SM — 転送元アドレス更新モード：オフセット加算
- DMAMD.DM — 転送先アドレス更新モード：転送先アドレスがインクリメントされる
- DMTMD.SZ — 転送データサイズ選択：32 ビット
- DMTMD.MD — 転送モード選択：リピート転送
- DMTMD.DTS — リピート領域選択：転送元をリピート領域に設定
- DMOFR — オフセットアドレス：0x10
- DMCRA—リピートサイズ：0x4
- DMINT.RPTIE — リピートサイズ終了割り込みを許可

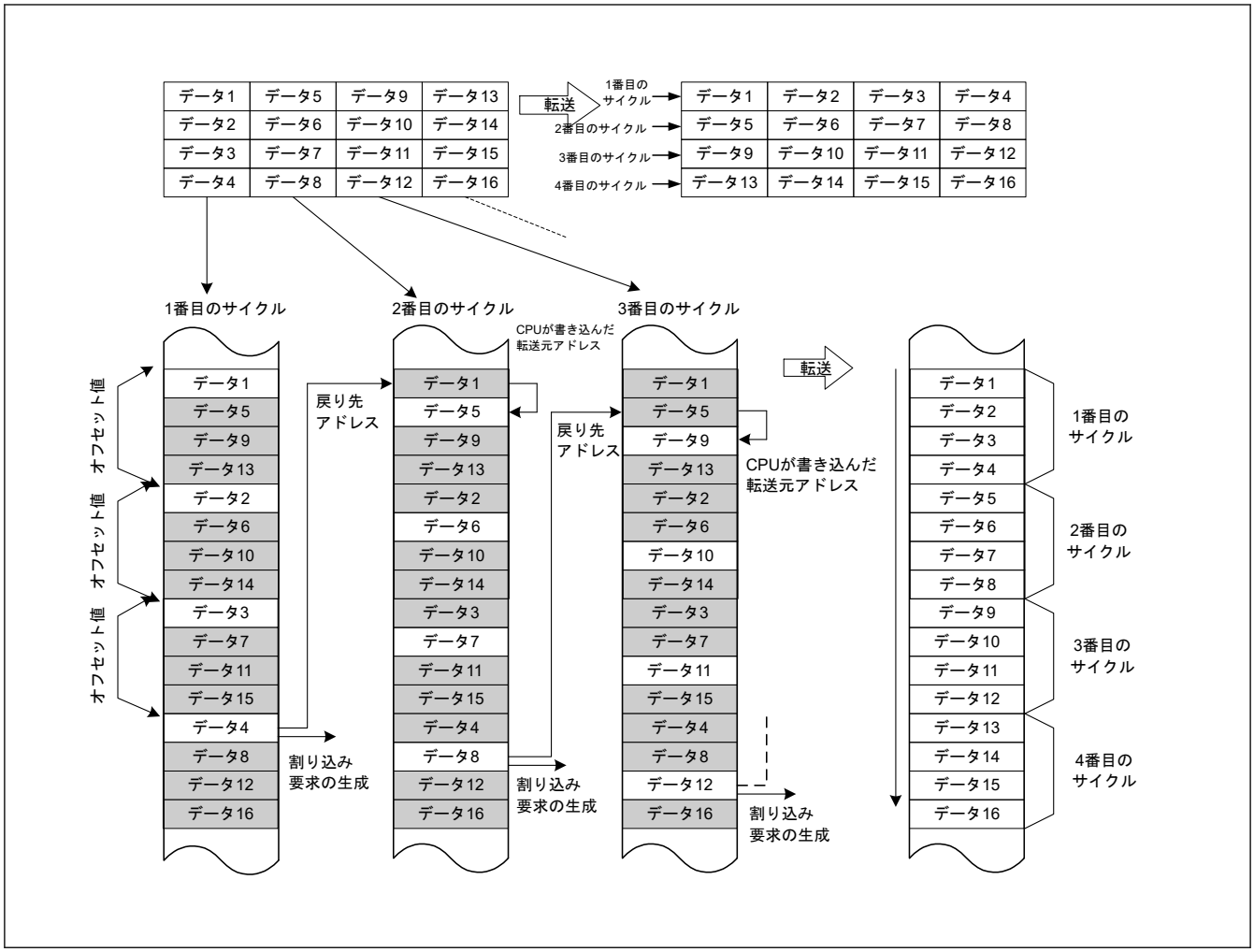


図 17.12 リピート転送モードにおけるオフセット加算による XY 変換動作

転送が開始されると、毎回、転送元アドレスにオフセット値を加算してデータ転送が行われます。転送データは、連続した転送先アドレスに書き込まれます。“データ 4”まで転送されたときの動作は以下のとおりです。

- リピートサイズ分のデータ転送が終了する
- 転送元アドレスは転送開始時のアドレス（転送元の“データ 1”のアドレス）に復帰する

- リピートサイズ終了割り込み要求が発生する

この割り込みによって転送が一時停止している間、以下の処理を行います。

- DMSAR—DMA 転送元アドレスをデータ 5 のアドレスに書き換える
  （この例では“データ 1”のアドレスに 4 を加算）
- DMCNT—DTE ビットを 1 にする

DMA 転送が中断したときの状態から DMA 転送が再開されます。以降、同じ処理を繰り返すと、転送元のデータが転送先で配置を入れ替えられます（XY 変換）。

図 17.13 に XY 変換の処理フローを示します。

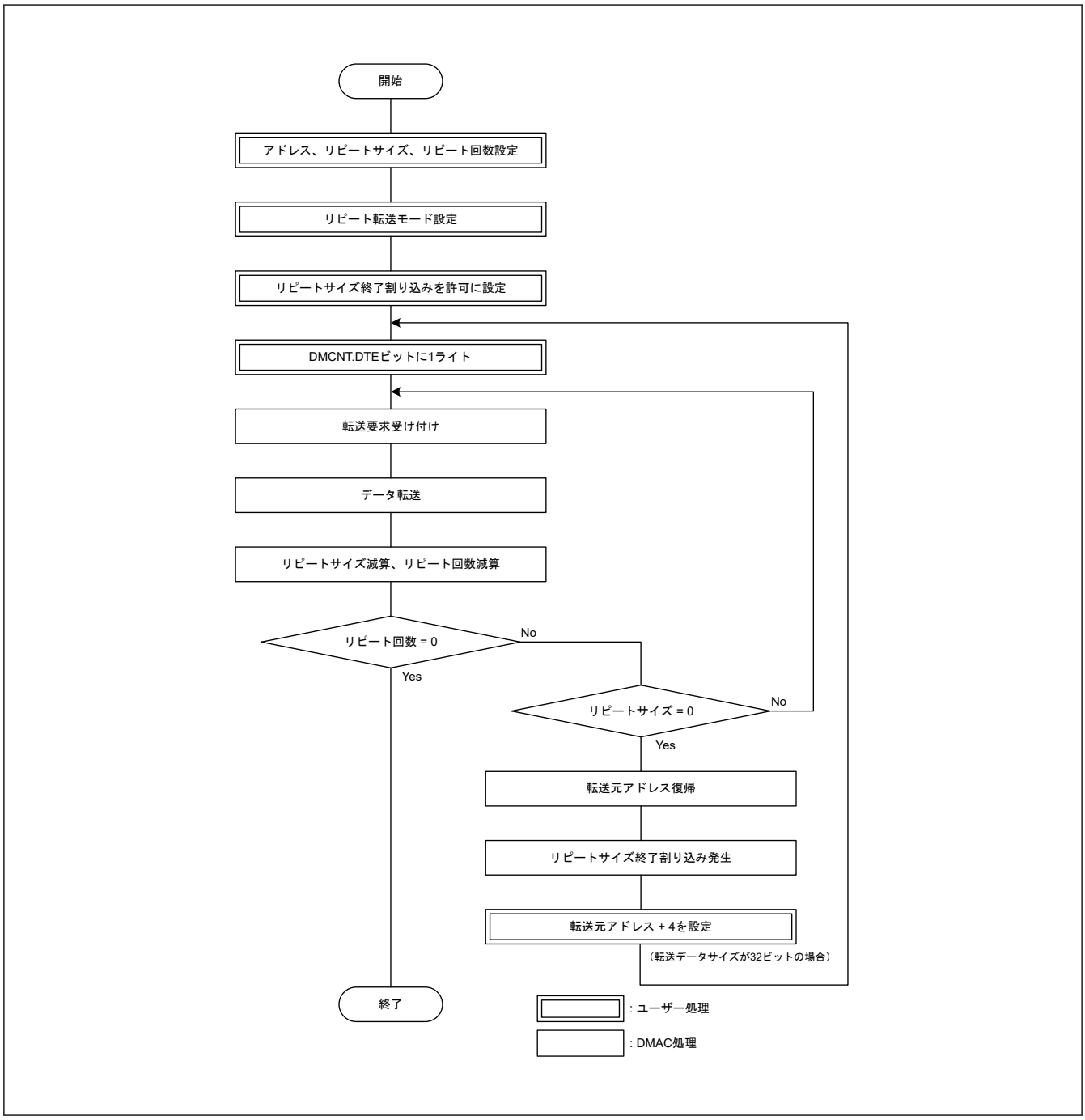


図 17.13　リピート転送モードにおけるオフセット加算による XY 変換フロー

17.3.5 リピートブロック転送モードにおけるアドレス更新機能

リピートブロック転送モードは、リピート転送モードとブロック転送モードの拡張です。ただし、アドレス更新の詳細な動作は、これらの 2 つのモードでは異なります。ここでは、リピートブロック転送モードにおけるアドレス更新機能の詳細を説明します。

17.3.5.1 固定アドレスモード

DMAMD.SM[1:0]ビットが 00b の場合、転送元のアドレス更新モードは固定アドレスモードです。
DMAMD.DM[1:0]ビットが 00b の場合、転送先のアドレス更新モードは固定アドレスモードです。

固定アドレスモードでは、アドレスは DMSAR と DMDAR の初期値から更新されません。ブロックサイズ (DMCRA) が 1 より大きい場合、1 つの要求に対して同じデータが複数回転送されます。

図 17.14 に固定アドレスモードにおけるアドレス更新を示します。

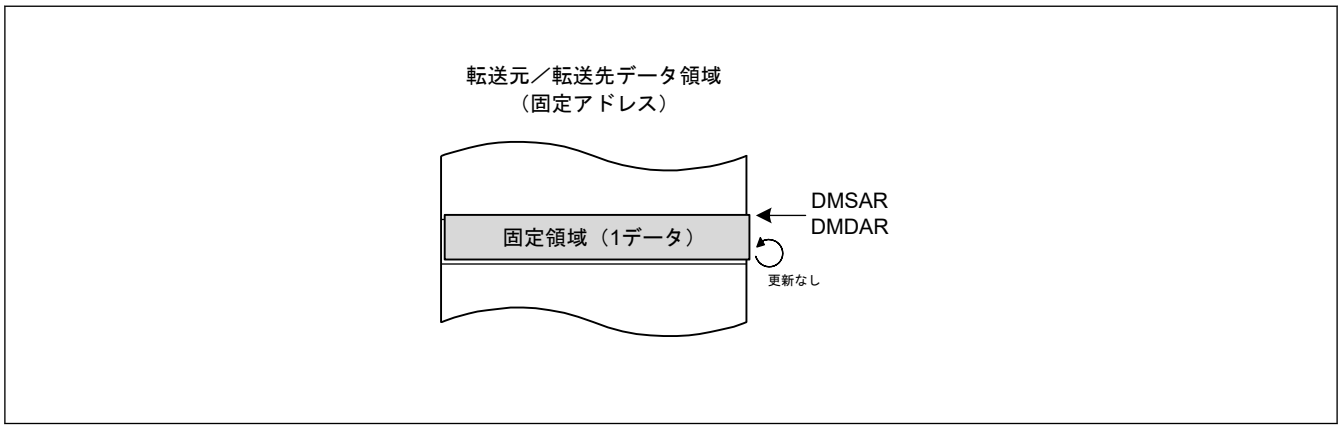


図 17.14 固定アドレスモードにおけるアドレス更新

17.3.5.2 インクリメントアドレスモードとデクリメントアドレスモード

DMAMD.SM[1:0]ビットが 10b の場合、転送元のアドレス更新モードはインクリメントアドレスモードです。
DMAMD.DM[1:0]ビットが 10b の場合、転送先のアドレス更新モードはインクリメントアドレスモードです。
DMAMD.SM[1:0]ビットが 11b の場合、転送元のアドレス更新モードはデクリメントアドレスモードです。
DMAMD.DM[1:0]ビットが 11b の場合、転送先のアドレス更新モードはデクリメントアドレスモードです。

これらの更新モードでは、DMTMD.SZ[1:0]ビットの設定に従って、アドレスはインクリメントまたはデクリメントされます。

これらの更新モードでは、DMSBS と DMDBS はリロード領域を示します。DMSBS と DMDBS の単位はデータ数です。転送開始時に DMSBSL と DMDBSL（DMSBS と DMDBS の下位 16 ビット）はダウンカウンタとして動作し、1 つのデータが転送されるごとにデクリメントします。値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

図 17.15 にインクリメントアドレスモードにおけるアドレス更新を示します。

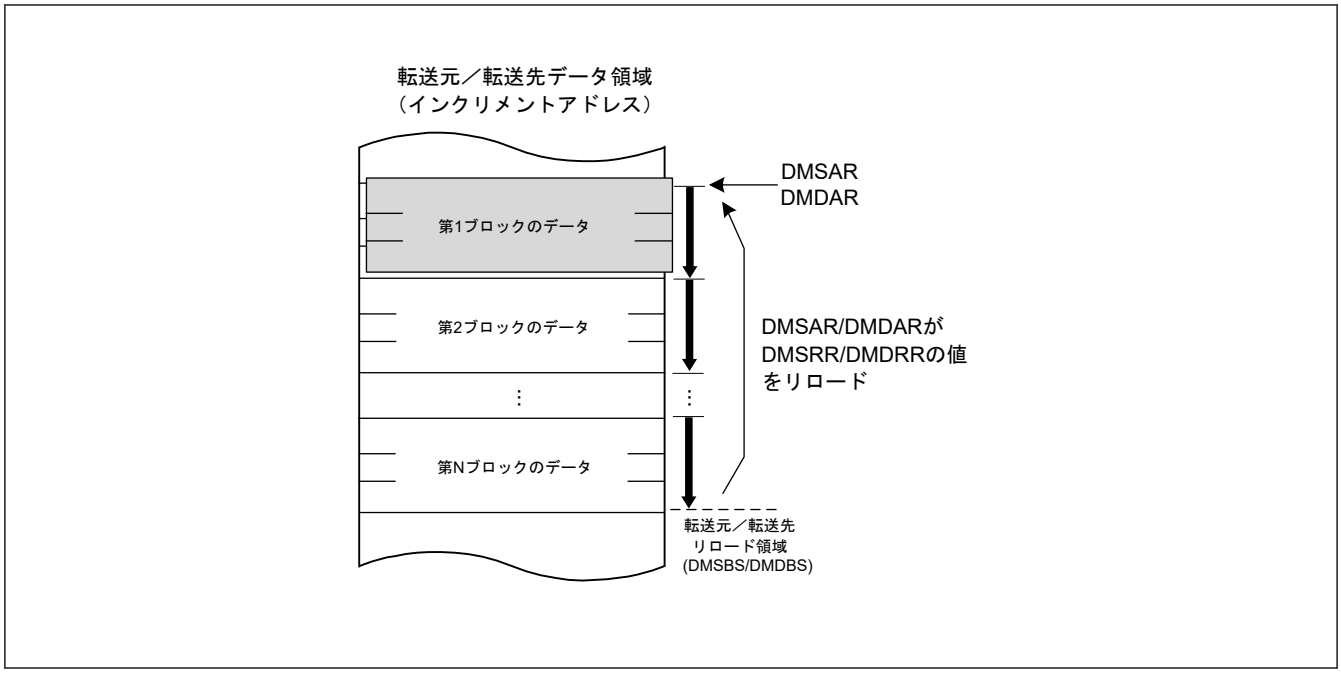


図 17.15　インクリメントアドレスモードにおけるアドレス更新

17.3.5.3　オフセット加算モード

DMAMD.SM[1:0]ビットが 01b の場合、転送元のアドレス更新モードはオフセット加算モードです。
DMAMD.DM[1:0]ビットが 01b の場合、転送先のアドレス更新モードはオフセット加算モードです。

オフセット加算モードでは、DMSBS と DMDBS はリロード領域を示し、アクセスオフセット値としても機能します。他の転送モードとは異なり、DMOFR レジスタはリピートブロック転送モードでは、使用されません。オフセット加算モードでは、DMSBS と DMDBS の単位はブロック数です。転送開始時に DMCRAL はダウンカウンタとして動作し、1 つのブロックが転送されるごとに DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。さらに、DMSBSL と DMDBSL（DMSBS と DMDBS の下位 16 ビット）はダウンカウンタとしても動作し、1 つのブロックが転送されるごとにデクリメントします。DMSBS と DMDBS の値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

DMAMD.SADR と DMAMD.DADR が 0 の場合、同じ領域のオフセット加算動作が繰り返されます。DMDAR は DMDRR をリロードするだけです。図 17.16 にオフセット加算モードにおけるアドレス更新（DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合）を示します。

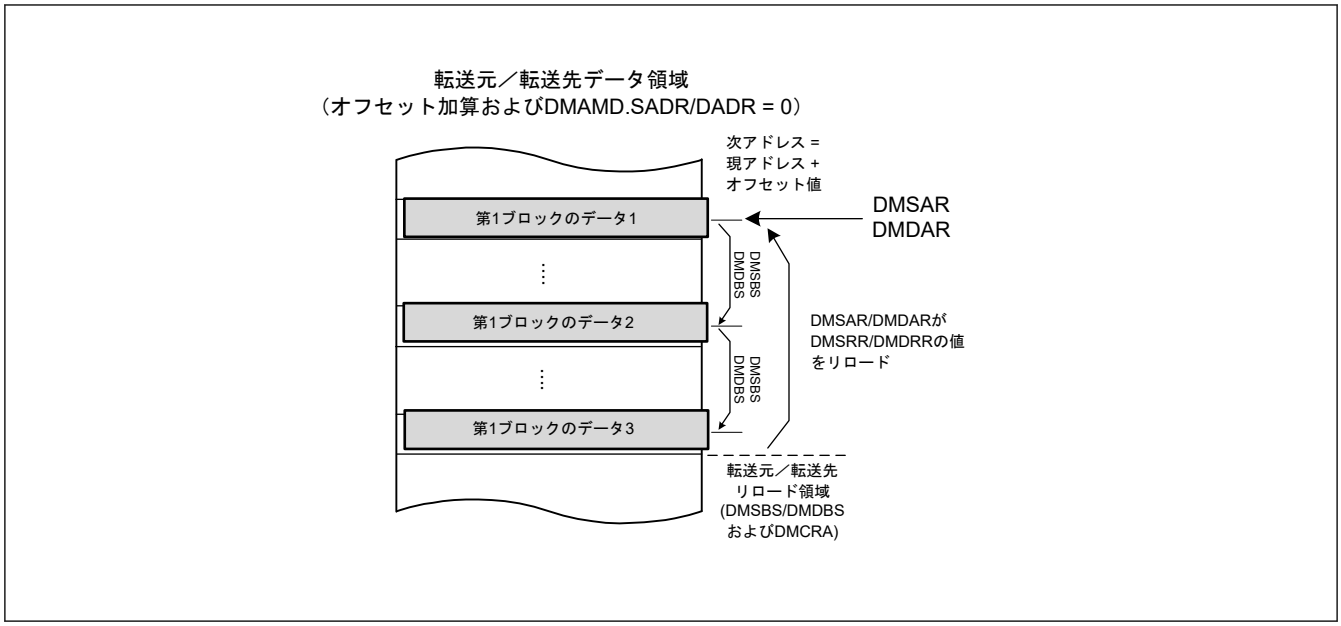


図 17.16　オフセット加算モードにおけるアドレス更新（DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合）

DMAMD.SADR ビットと DMAMD.DADR ビットが 1 の場合、DMSRR と DMDRR が DMCRAL = 1 によりリロードされた後に、アドレスは 1 データ単位でインクリメントされます。 言い換えると、DMDRR のリロード後にインデックス値（(DMDBSH-DMDBSL) × データサイズ）が DMDAR に加算されます。この動作はマルチリングバッファを実装するのに使用されます。 図 17.17 にオフセット加算モードにおけるアドレス更新（DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合）を示します。

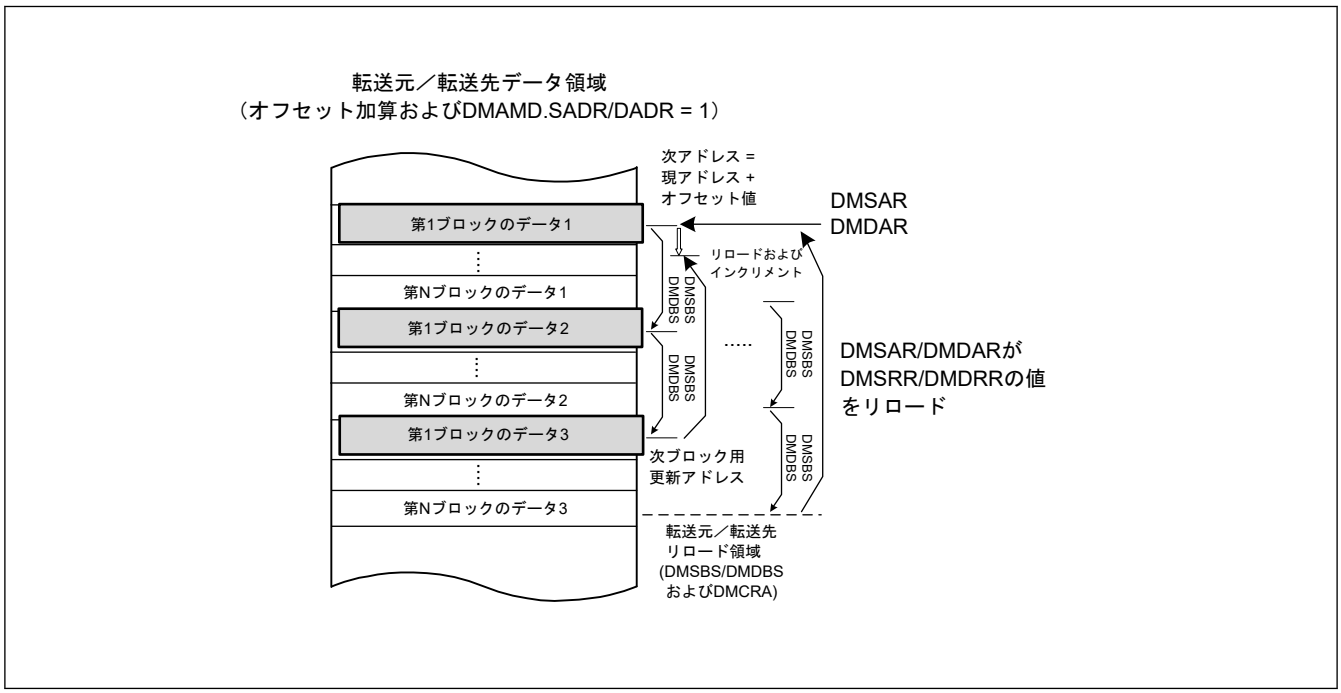


図 17.17　オフセット加算モードにおけるアドレス更新（DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合）

17.3.6　リピートブロック転送モードの使用例

リピートブロック転送モードでは、前述のアドレス更新モードを組み合わせることにより、インターバルデータやシングルリングバッファまたはマルチリングバッファへのリピートアクセスが可能です。以下の節では、いくつかの使用例を示します。

17.3.6.1 インターバルアドレスからシングルリングバッファへ

図 17.18 に ADC16H モジュールのインターバル ADDRn レジスタ（データレジスタ）の読み出しおよびシングルリングバッファへの格納の例を示します。1 要求につき、4 ハーフワードごとに 2 データの転送を行います。ブロックサイズ (DMCRA) は 2 に、転送元オフセット (DMSBS) は 4 に設定されています。表 17.15 にこの設定例を示します。

表 17.15 インターバルアドレスからシングルリングバッファへの設定

レジスタ	値	説明
DMSAR, DMSRR	0x4033_A000	初期転送元アドレス
DMDAR, DMDRR	0x2200_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード
DMAMD.SADR	0	DMSAR は DMSRR をリロードするのみ
DMAMD.SM[1:0]	01b	転送元の更新モード：オフセット加算
DMAMD.DM[1:0]	10b	転送先の更新モード：インクリメンタルアドレス
DMCRAH, DMCRAL	2	転送ブロックサイズ
DMSBSH, DMSBSL	8	転送元のアクセスオフセット（単位は"データ"）
DMDBSH, DMDBSL	N × 2 (DMCRA)	転送先のバッファサイズ（単位はデータ）

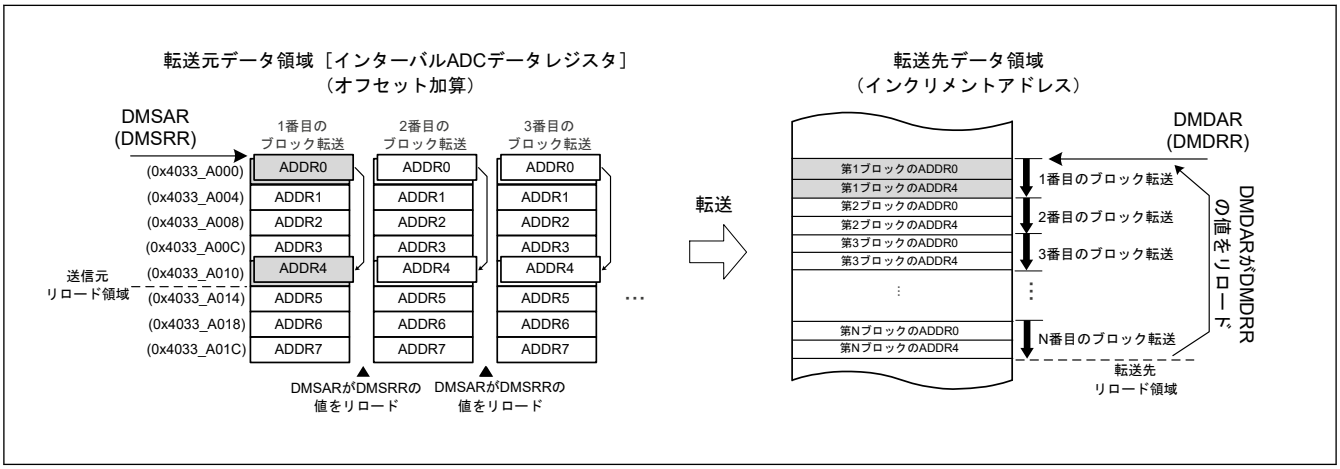


図 17.18 インターバルアドレスからシングルリングバッファへの使用例

17.3.6.2 シングルブロックからマルチリングバッファへ

図 17.19 に ADC16H モジュールの連続 ADDRn レジスタ（データレジスタ）の値をマルチリングバッファに個々に格納する例を示します。この例では、シングルブロックの最初の要素 (ADDR0) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。また、次の領域では、2 番目の要素 (ADDR1) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。以下の場合では、DMDBS によって定義されている、長さ N のリングバッファが生成されます。そしてブロック内のデータ要素数は 3 ですが、これは DMCRA によって定義されています。表 17.16 に、この例の設定を示します。

表 17.16 設定例：シングルブロックからマルチリングバッファへ (1/2)

レジスタ	値	内容
DMSAR, DMSRR	0x4033_A000	初期転送元アドレス
DMDAR, DMDRR	0x2200_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード
DMAMD.DADR	1	リロード後のインクリメント転送先アドレス

表 17.16　設定例：シングルブロックからマルチリングバッファへ (2/2)

レジスタ	値	内容
DMAMD.SM[1:0]	01b	転送元の更新モード：オフセット加算
DMAMD.DM[1:0]	01b	転送先更新モード：インクリメントアドレス
DMCRAH, DMCRAL	3	転送ブロックサイズ
DMSBSH, DMSBSL	2	転送元バッファサイズ（単位は"データ"）
DMDBSH, DMDBSL	N	転送先全バッファサイズ（単位は"ブロック"）および転送先アクセスオフセット（単位は"データ"）

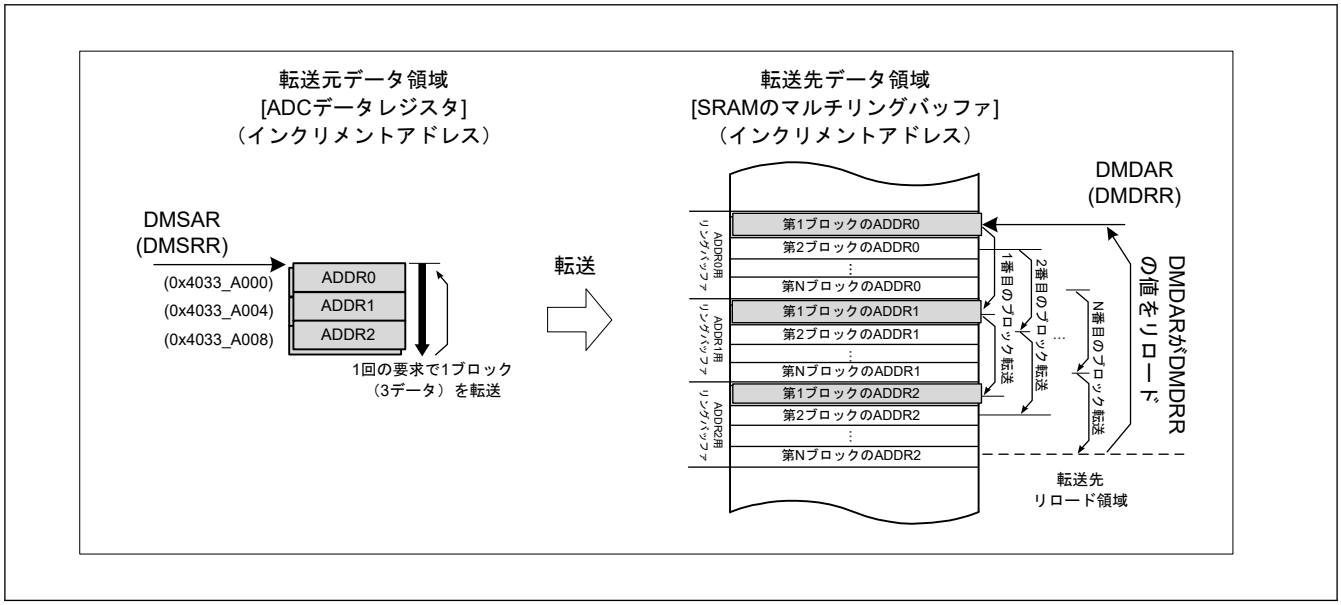


図 17.19　シングルブロックからマルチリングバッファへの使用例

17.3.7　起動要因

ソフトウェア、周辺モジュールからの割り込み要求、および外部割り込み要求は、すべて DMAC 起動要因として指定可能です。起動要因を選択するには、DMTMD.DCTG[1:0]ビットを設定します。

17.3.7.1　ソフトウェアによる DMAC 起動

ソフトウェアによって DMA 転送を開始する場合、以下の手順に従ってください。

1. DMTMD.DCTG[1:0]ビットを 00b にする。
2. DMCNT.DTE ビットを 1（DMA 転送許可）にする。
3. DMAST.DMST ビットを 1（DMAC 起動許可）にする。
4. DMREQ.SWREQ ビットを 1（DMA 転送要求あり）にする。

DMREQ.CLRS ビットが 0 の状態でソフトウェアによる DMAC 起動を行った場合、DMA 転送要求に対する転送が開始されると DMREQ.SWREQ ビットが 0 になります。

DMREQ.CLRS ビットが 1 の状態でソフトウェアによる DMAC 起動を行った場合は、転送を開始しても DMREQ.SWREQ ビットは 0 になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

17.3.7.2　内蔵周辺モジュール／外部割り込み要求による DMAC 起動

内蔵周辺モジュールからの割り込み要求と外部割り込み要求を、DMAC の起動要因として指定できます。起動要因は、ICU.DELSRn.DELS[9:0] (n = 0～7) ビットでチャネルごとに個別に選択できます。

内蔵周辺モジュールからの割り込み要求または外部割り込み要求によって DMA 転送を開始する場合、以下の手順に従います。

1. ICU.DELSRn.DELS[9:0] (n = 0～7) ビットにイベント番号を設定する（DMAC イベントリンクを選択する）。
2. DMTMD.DCTG[1:0]ビットを 01b（周辺モジュールまたは外部割り込み端子からの割り込み）にする。
3. DMCNT.DTE ビットを 1（DMA 転送許可） にする。
4. DMAST.DMST ビットを 1（DMAC 起動許可） にする。

DMAC の起動要因となる割り込み要求については、「14. 割り込みコントローラユニット (ICU)」の表 14.3 を参照してください。

17.3.8 動作タイミング

以下に示すタイミング図は、最小実行サイクル数を示しています。

図 17.20 と図 17.21 に動作タイミングを示します。

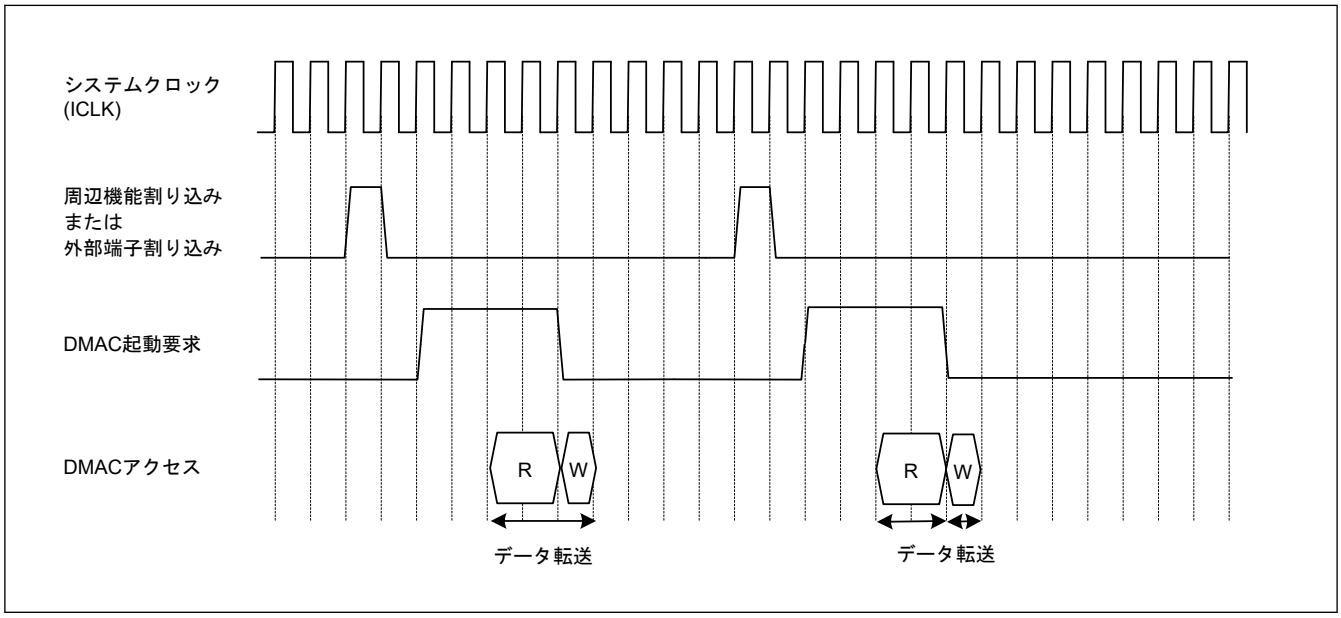


図 17.20 DMAC 動作タイミング例 (1)（周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ノーマル転送モード、リピート転送モードの場合）

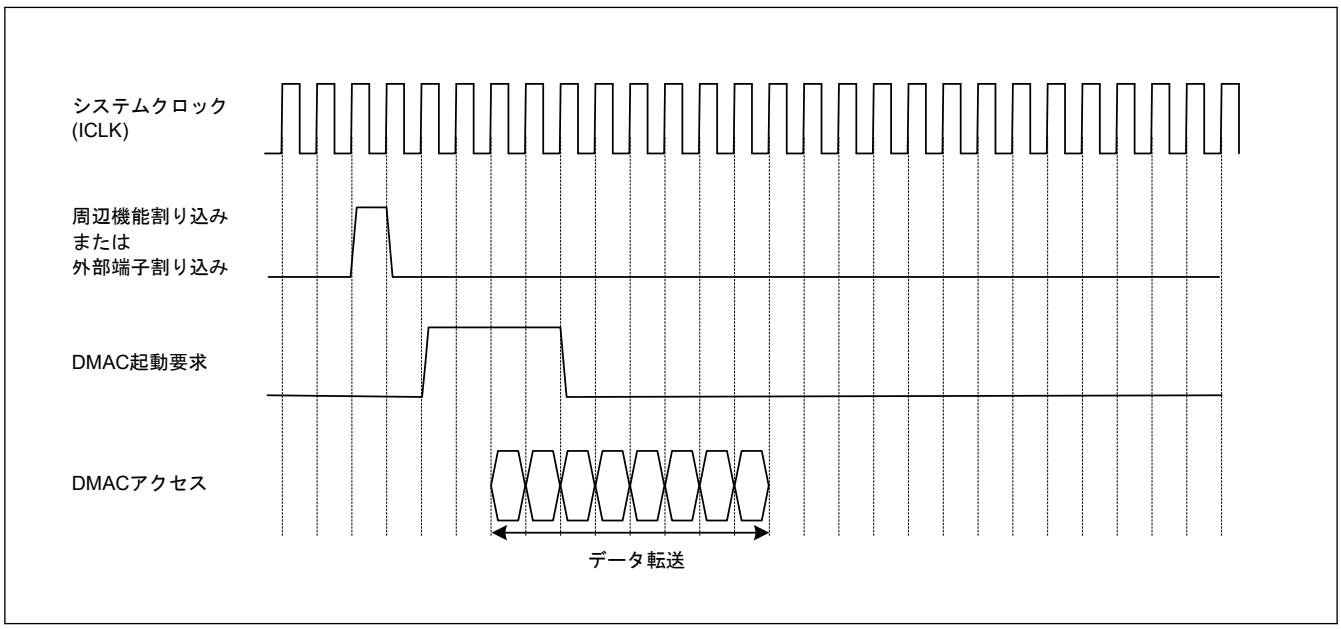


図 17.21 DMAC 動作タイミング例 (2)（周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ブロック転送モード、ブロックサイズ = 4 の場合）

17.3.9 DMAC の起動

表 17.17 にノーマル転送モード、リピート転送モード、およびブロック転送モードにおけるレジスタの設定手順を示します。また、表 17.18 にリピートブロック転送モードにおけるレジスタの設定手順を示します。

表 17.17 ノーマル転送モード、リピート転送モード、ブロック転送モードにおけるレジスタの設定手順

No.	手順名	説明
1	DMAC 要求要因となる周辺機能を禁止に設定する	DMAC 起動要因として周辺機能割り込みを使用する場合 周辺機能のコントロールレジスタを禁止に設定する
2	DMAC 要求要因となる IRQn 端子を禁止に設定する	DMAC 起動要因として外部端子割り込みを使用する場合
3	ICU.DELSRn.DELS[9:0]ビットを 0x00 に設定する	DMAC 要求を禁止に設定する
4	DMCNT.DTE ビットを 0 にクリアする	DMA 転送を禁止に設定する
5	ICU を使用して DELSRn レジスタに DMAC 要求要因となる割り込み要求を設定する	DMAC 起動要因として周辺モジュール割り込みまたは外部端子割り込みを使用する場合 起動要因の割り込みビットを許可する DMAC の起動要因を設定する
6	DMAC 要求要因となる周辺モジュールを設定する	DMAC 起動要因として周辺モジュール割り込みを使用する場合 周辺機能の制御レジスタを設定するが、開始させない
7	割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する	DMAC 起動要因として外部端子割り込みを使用する場合 割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する
8	DMAMD.DM[1:0]ビットを設定する DMAMD.SM[1:0]ビットを設定する DMAMD.DARA[4:0]ビットを設定する DMAMD.SARA[4:0]ビットを設定する	転送先アドレス更新モードビットを設定する 転送元アドレス更新モードビットを設定する 転送先アドレス拡張リピート領域ビットを設定する 転送元アドレス拡張リピート領域ビットを設定する
9	DMTMD.DCTG[1:0]ビットを設定する DMTMD.SZ[1:0]ビットを設定する DMTMD.DTS[1:0]ビットを設定する DMTMD.MD[1:0]ビットを設定する DMTMD.TKP ビットを設定する	転送要求選択ビットを設定する データ転送サイズビットを設定する リピート領域選択ビットを設定する 転送モード選択ビットを設定する 転送保持選択ビットを設定する
10	DMSAR レジスタを設定する DMDAR レジスタを設定する DMCRA レジスタを設定する	転送元の開始アドレスを設定する 転送先の開始アドレスを設定する 転送回数を設定する
11	DMCRB レジスタを設定する	ブロック転送モードまたはリピート転送モードの場合 ブロック転送回数を設定する
12	DMOFR レジスタを設定する	オフセットを使ったアドレス更新機能を使用する場合 オフセット値を設定する
13	DMINT.DTIE ビットを 1 に設定する	DMA 転送終了割り込みを使用する場合 DMAC 転送終了割り込みを許可する
14	DMINT.RPTIE ビットを設定する DMINT.SARIE ビットを設定する DMINT.DARIE ビットを設定する DMINT.ESIE ビットを 1 に設定する	DMA 転送エスケープ割り込みを使用する場合 リピートサイズ終了割り込み許可設定をする 転送元アドレス拡張リピート領域オーバーフロー割り込み許可設定をする 転送先アドレス拡張リピート領域オーバーフロー割り込み許可設定をする DMA 転送エスケープ終了割り込みを許可する
15	DMCNT.DTE ビットを 1 に設定する	DMA 転送を許可する
16	DMAST.DMST ビットを 1 に設定する	DMAC 動作を許可する(注1) DMAC 共通設定
17	DMAC 要求要因となる周辺機能を開始する	DMAC 起動要因として周辺機能割り込みを使用する場合
18	DMAC 要求要因となる IRQn 端子を許可する	DMAC 起動要因として外部端子割り込みを使用する場合
19	初期設定終了	ソフトウェアでの起動 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送が開始する

注 1. DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

表 17.18　リピートブロック転送モードのレジスタ設定手順

No.	手順名	説明
1	DMAC 要求要因となる周辺機能を禁止に設定する	DMAC 起動要因として周辺機能割り込みを使用する場合 周辺機能のコントロールレジスタを禁止に設定する
2	DMAC 要求要因となる IRQ 端子を禁止に設定する	DMAC 起動要因として外部端子割り込みを使用する場合
3	ICU.DELSRn.DELS[9:0]ビットを 0x00 に設定する	DMAC 要求を禁止に設定する
4	DMCNT.DTE ビットを 0 にクリアする	DMAC 転送を禁止に設定する
5	ICU を使用して DELSRn レジスタに DMAC 要求要因となる割り込み要求を設定する	DMAC 起動要因として周辺モジュール割り込みまたは外部端子割り込みを使用する場合 起動要因の割り込みビットを許可する DMAC の起動要因を設定する
6	DMAC 要求要因となる周辺モジュールを設定する	DMAC 起動要因として周辺モジュール割り込みを使用する場合 周辺機能の制御レジスタを設定するが、開始させない
7	割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する	DMAC 起動要因として外部端子割り込みを使用する場合 割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する
8	DMAMD.DM[1:0]ビットを設定する DMAMD.SM[1:0]ビットを設定する DMAMD.DADR ビットを設定する DMAMD.SADR ビットを設定する	転送先アドレス更新モードビットを設定する 転送元アドレス更新モードビットを設定する リロード後転送先アドレス更新選択ビットを設定する リロード後転送元アドレス更新選択ビットを設定する
9	DMTMD.DCTG[1:0]ビットを設定する DMTMD.SZ[1:0]ビットを設定する DMTMD.MD[1:0]ビットを設定する DMTMD.TKP ビットを設定する	転送要求選択ビットを設定する データ転送サイズビットを設定する 転送モードをリピートブロック転送モードに設定する 転送保持選択ビットを設定する。
10	DMSAR レジスタを設定する DMDAR レジスタを設定する DMSRR レジスタを設定する DMDRR レジスタを設定する DMCRA レジスタを設定する DMCRB レジスタを設定する	転送元の開始アドレスを設定する 転送先の開始アドレスを設定する 転送元の開始アドレスの初期値を設定する 転送先の開始アドレスの初期値を設定する 転送回数を設定する ブロック転送回数を設定する
11	DMSBS レジスタを設定する DMDBS レジスタを設定する	インクリメント、デクリメント、またはオフセットを用いたアドレス更新機能を使用する場合 転送元バッファサイズとアクセスオフセットを設定する 転送先バッファサイズとアクセスオフセットを設定する
12	DMINT.DTIE ビットを 1 に設定する	DMA 転送終了割り込みを使用する場合 DMAC 転送終了割り込みを許可する
13	DMCNT.DTE ビットを 1 に設定する	DMAC 転送を許可する
14	DMAST.DMST ビットを 1 に設定する	DMAC 動作を許可する(注1)
15	DMAC 要求要因となる周辺機能を開始する	DMA 起動要因として周辺機能割り込みを使用する場合
16	DMAC 要求要因となる IRQ 端子を許可する	DMA 起動要因として外部端子割り込みを使用する場合
17	初期設定終了	ソフトウェアによる起動の場合 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送が開始する

注 1.　DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

17.3.10　DMA 転送の開始

チャネル n の DMA 転送を有効にするには、DMCNT.DTE ビットを 1（DMA 転送許可）にして、DMAST.DMST ビットを 1（DMAC 起動許可）にします。

他の DMAC チャネルや DTC の転送中は、新たな起動要求は受け付けられません。先行する転送が終了した時点で最も優先順位の高いチャネルの DMA 転送要求が選択され、そのチャネルの DMA 転送が開始されます。DMA 転送が始まると、DMSTS.ACT フラグが 1（DMAC 動作中）になります。

17.3.11 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理によって値が更新されます。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、DMSAR、DMDAR、DMCRA、DMCRB、DMSBS、DMDBS、DMCNT、および DMSTS です。

DMA 転送元アドレスレジスタ (DMSAR)

1 転送要求に対するデータ転送が終了すると、DMSAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 17.5～表 17.13 を参照してください。

DMA 転送先アドレスレジスタ (DMDAR)

1 転送要求に対するデータ転送が終了すると、DMDAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 17.5～表 17.13 を参照してください。

DMA 転送カウントレジスタ (DMCRA)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 17.5～表 17.13 を参照してください。

DMA ブロック転送カウントレジスタ (DMCRB)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 17.5～表 17.13 を参照してください。

DMA 転送元バッファサイズレジスタ (DMSBS)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 17.8～表 17.13 を参照してください。

DMA 転送先バッファサイズレジスタ (DMDBS)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 17.8～表 17.13 を参照してください。

DMA 転送許可ビット (DMCNT.DTE)

DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可／禁止を制御します。DMA 転送の状態に応じて自動的に DMAC によって 0 にクリアされます。

DMAC がこのビットをクリアする条件は、以下のとおりです。

- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき
- DMA 転送エラーが発生したとき

対応する DMCNT.DTE ビットが 1 になっているチャネルのレジスタへは書き込まないでください（DMCNT レジスタを除く）。このビットを 0 にした後のみ、書き込みが可能になります。

DMA アクティブフラグ (DMSTS.ACT)

DMSTS.ACT フラグは、DMACn がアイドル状態であるか、または動作中であるかを示します。

このフラグは DMAC がデータ転送を開始すると 1 になり、1 転送要求に対するデータ転送が終了すると 0 になります。

DMA 転送中に DMCNT.DTE ビットに 0 を書いて DMA 転送を停止させた場合でも、このフラグは DMA 転送が終了するまで 1 を保持します。

転送終了割り込みフラグ (DMSTS.DTIF)

総転送サイズ分の DMA 転送が終了すると、DMSTS.DTIF フラグは 1 になります。

このフラグと DMINT.DTIE ビットがともに 1 の場合、転送終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

転送エスケープ終了割り込みフラグ (DMSTS.ESIF)

リピートサイズ終了割り込み要求、または拡張リピート領域オーバーフロー割り込み要求が発生したとき、DMSTS.ESIF フラグは 1 になります。このフラグと DMINT.ESIE ビットがともに 1 の場合、転送エスケープ終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

17.3.12 チャネル優先順位

DMA 転送要求が複数あり、かつ DTC 転送要求が 1 つある場合、DMAC と DTC は各転送要求のあるチャネルの優先順位を決定します。

- DMCTL.PR が 0 のとき、チャネルの優先順位は次のように固定されます：チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 … > チャネル 7 > DTC（0 が最優先）。

DMCTL.PR が 1 の場合、DMAC と DTC はラウンドロビン方式でチャネルの優先順位を決定します。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送後にチャネルアービトレーションを行い、最も優先順位の高いチャネルの転送が開始されます。

17.3.13 チャネルセキュリティ

各 DMAC チャネル n に CPSCU.DMACCHSAR.SADMACm0n (m = 0, 1, n = 0〜7) でセキュア属性を設定できます。

CPSCU.DMACCHSAR.SADMACm0n ビットが 0 のとき

- 対応するチャネルの転送時、セキュアマスタとして機能
- 対応するチャネルのレジスタはセキュア属性

CPSCU.DMACCHSAR.SADMACm0n ビットが 1 のとき

- 対応するチャネルの転送時、非セキュアマスタとして機能
- 対応するチャネルのレジスタは非セキュア属性

セキュアマスタと非セキュアマスタにアクセス可能な領域については、セキュリティ機能章とバス章を参照してください。

DMA 転送中に CPSCU.DMACCHSAR に変更しないでください。

17.3.14 チャネルプリビレッジ

各 DMAC チャネル n に CPSCU.DMACCHPAR.PADMACm0n (m = 0, 1, n = 0〜7) で特権属性を設定できます。

CPSCU.DMACCHPAR.PADMACm0n ビットが 0 のとき

- 対応するチャネルの転送時、プリビレッジマスタとして機能

- チャネルのレジスタはアンプリビレッジアクセスから保護

CPSCU.DMACCHPAR.PADMACm0n ビットが 1 のとき

- DMAC チャネルの転送は読み出しと書き込みに対してアンプリビレッジアクセス
- チャネルのレジスタはアンプリビレッジ属性

DMA 転送中に CPSCU.DMACCHPAR を変更しないでください。

17.4 DMA 転送の終了

DMA 転送の終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMCNT.DTE ビットと DMSTS.ACT フラグが 1 から 0 になります。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は「14. 割り込みコントローラユニット (ICU)」を参照してください。

17.4.1 設定した総転送回数完了による転送終了

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

DMCRAL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、同時に DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ転送終了割り込み要求が送信されます。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMTMD.TKP ビットが 1（フリーランニング機能）であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMTMD.TKP ビットが 1（フリーランニング機能）であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(4) リピートブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMTMD.TKP ビットが 1（フリーランニング機能）であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

17.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMINT.RPTIE ビットが 1 であれば、1 リピートサイズ分の転送終了時にリピートサイズ終了割り込み要求が発生します。DMA 転送完了の割り込み要求が発生すると、DMTMD.TKP ビットが 1 の場合でも（フリーランニング機能）、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。転送を再開させるには、DMCNT.DTE ビットに 1 を書き込んでください。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。1 ブロックサイズ分の転送終了時に、リピート転送モードと同様に割り込み要求が発生します。

リピートブロック転送モードにおいては、リピートサイズ終了割り込み要求を発生させることができません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

17.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了

拡張リピート領域が指定され、かつ DMINT.SARIE ビットまたは DMINT.DARIE ビットが 1 の場合に、DMTMD.TKP ビットが 1 の場合でも（フリーランニング機能）、拡張リピート領域がオーバーフローすると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMA 転送が停止して、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

この割り込み要求がリードサイクル中に発生しても、以降のライトサイクルは実行されます。

ブロック転送モードでは、割り込み要求が 1 ブロックの転送中に発生しても、そのブロックの残りのデータが転送されるまで、転送は終了しません。

リピートブロック転送モードでは、拡張リピート領域オーバーフロー割り込み要求はできません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

17.5 DMA 転送エラーの処理

DMA 転送エラーは、MSAU エラー、スレーブ TrustZone フィルタエラー、マスタ MPU エラー、スレーブバスエラー、または不正アクセスエラーによって発生します。DMA 転送中にアクセスエラーが発生すると、DMAC はエラーの発生したチャネルの転送をただちに停止します。エラーを引き起こしたチャネル以外のチャネルからの要求があれば、そのまま再調停となります。

転送エラー発生時、エラー発生チャネルの DMCNT.DTE は 0 になります。また、対応するチャネルの ICU.DELSRn はクリアされます。各レジスタへのライトバックは実行されません。エラー発生チャネルの情報は DMECHR に設定されます。

17.6 割り込み

17.6.1 転送終了割り込み

各 DMAC チャネルは、1 要求分の転送終了後、CPU または DTC へ割り込み要求 DMACmn_INT (m = 0, 1, n = 0〜7) を出力することができます。

割り込み要求は、DMA 転送の最後の書き込みにバスが応答した後に生成されます。DMA の書き込みアクセスにバスが応答するタイミングは、DMBWR.BWE と転送先によって異なります。詳細は「17.9.1. DMA 書き込みアクセスへのバスの応答」を参照してください。

リピートブロック転送モードでは、エスケープ転送終了割り込みを許可しないでください。

表 17.19 に、各割り込み要因とそれらに対応するステータスフラグおよび許可ビットを示します。図 17.22 に、割り込み出力 (DMACn (n = 0〜7)) の概略論理図を示します。図 17.23 に、DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順を示します。

表 17.19 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
転送終了		—	DMSTS.DTIF	DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMINT.RPTIE	DMSTS.ESIF	DMINT.ESIE
	転送元アドレス拡張リピート領域オーバーフロー	DMINT.SARIE		
	転送先アドレス拡張リピート領域オーバーフロー	DMINT.DARIE		

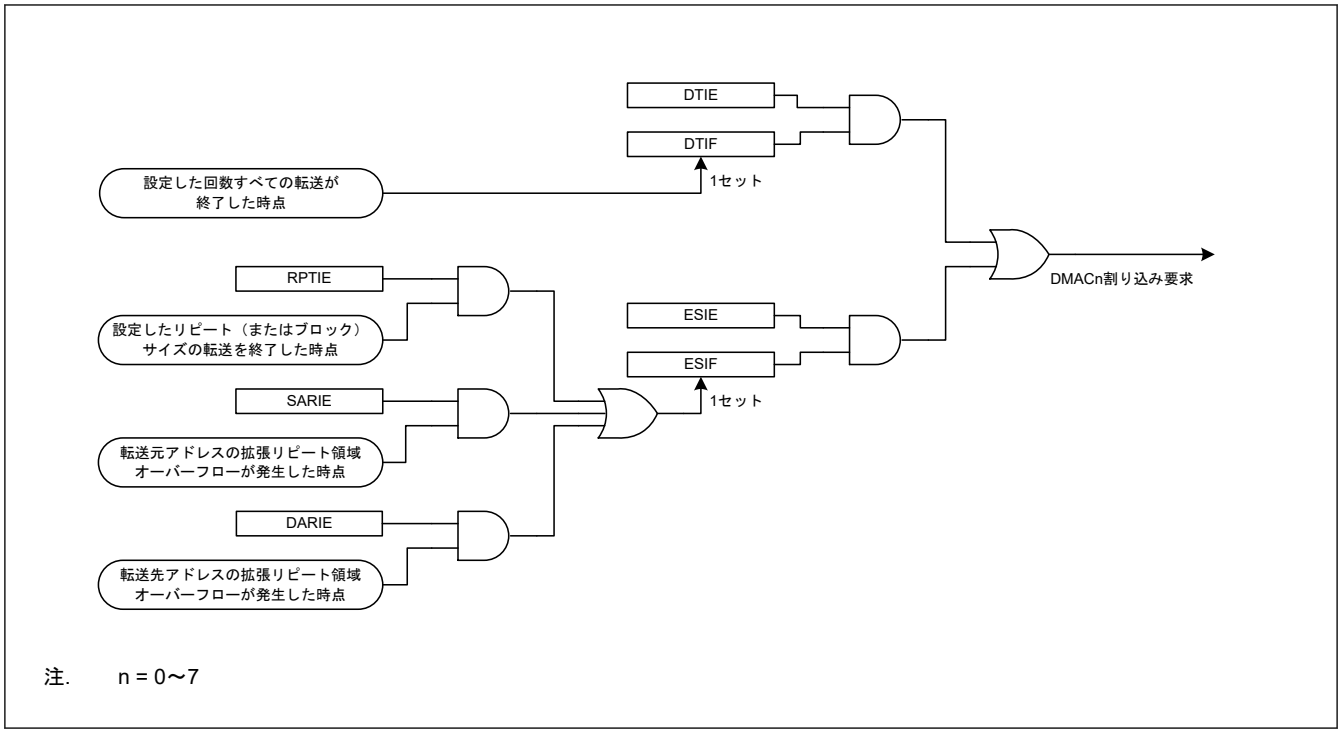


図 17.22 割り込み出力要因 (DMACn) の概略論理図

割り込みを解除して DMA 転送を再開する方法は、以下のケースで異なります。

- DMA 転送を終了した場合
- DMA 転送を継続した場合

17.6.1.1 DMA 転送を終了した場合

転送終了割り込みの場合は、DMSTS.DTIF フラグに 0 を書いてください。また、リピートサイズ割り込みと拡張リピート領域オーバーフロー割り込みの場合は、DMSTS.ESIF フラグに 0 を書いてください。DMACn は停止状態を保ちます。その後、新たな DMA 転送を開始する場合は、必要なレジスタを設定して、DMCNT.DTE ビットを 1（DMA 転送許可）にしてください。

17.6.1.2 DMA 転送を継続した場合

DMCNT.DTE ビットに 1 を書いてください。自動的に DMSTS.ESIF フラグが 0 にクリア（割り込み要因がクリア）され、DMA 転送が再開します。

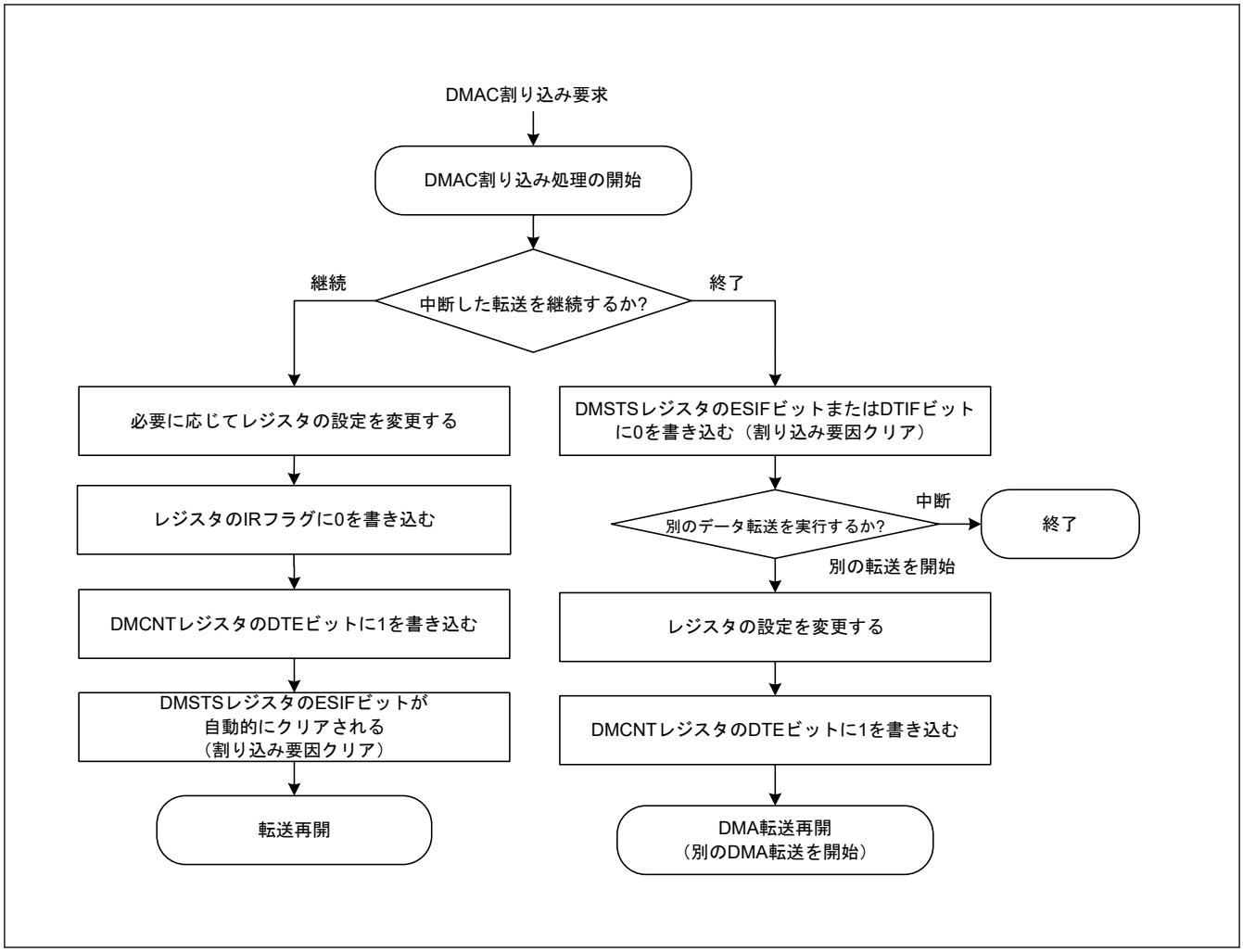


図 17.23　DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順

17.6.2　転送エラー割り込み

DMAC 転送中に転送エラーが検出されると、DMAC/DTC からエラー応答検出割り込み要求 DMAm_TRANSERR (m = 0, 1) が発生します。

表 17.20 に DMAC 転送エラー発生時に生じる割り込みの種類を示します。表 17.20 には転送エラー発生時に格納されるエラー情報も示されています。

表 17.20　DMAC 転送エラー起因の割り込みとエラー情報

転送エラー要因	NMI/RESET(注1)要求	割り込み要求	バスエラー状態	エラーチャネル情報
MSAU エラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.MESRRSTAT	DMAC. DMECHR
マスタ MPU エラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.MMERRSTAT	DMAC.DMECHR
不正アクセスエラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.ILERRSTAT	DMAC.DMECHR
スレーブバスエラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.SLERRSTAT	DMAC.DMECHR
TrustZone フィルタエラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.SLERRSTAT	DMAC.DMECHR

注 1.　ICU.NMIER.BUSEN が ICU.IELSR で設定された DMAm_TRANSERR で許可されると、DMA で生じた転送エラーが原因でノンマスカブル割り込みや割り込みが発生します。ICU.IELSR に DMAm_TRANSERR を設定しないことにより、NMI のみを発生させることができます。

17.7 イベントリンク

各 DMAC チャネルは、ノーマル転送モードまたはリピート転送モードで 1 回のデータ転送が完了するたびに、そしてブロック転送モードまたはリピートブロック転送モードで 1 回のブロック転送が完了するたびに、イベントリンク要求を出力します。イベントリンク要求 DMACmn_INT (m = 0, 1, n = 0～7) は、バスが DMA 転送の最後の転送先アクセスに応答するときに生成されます。

DMA の書き込みアクセスにバスが応答するタイミングは、DMBWR.BWE と転送先によって異なります。詳細は「17.9.1. DMA 書き込みアクセスへのバスの応答」を参照してください。

詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

17.8 低消費電力機能

モジュールストップ状態、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する前に、最初に DMAST.DMST ビットを 0（DMAC モジュールサスペンド）にして、以下の項のように設定してください。

(1) モジュールストップ機能

モジュールストップビットを 1 にすると、そのビットに対応する DMAC が停止します。

DMAC がデータを転送している最中にモジュールストップビットを 1 にした場合は、データ転送が完了してからモジュールストップ状態になります。

モジュールストップビットが 1 のときに、そのビットに対応する DMAC のレジスタにアクセスすることは禁止です。

(2) ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード

「11.6.2.1. ソフトウェアスタンバイモードへの遷移」または「11.6.3.1. ディープソフトウェアスタンバイモードへの遷移」の手順に従って設定してください。

WFI 命令実行時に DMA 転送が動作中の場合、DMA 転送が完了してからソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定については、「11.8.7. WFI 命令のタイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットを 1 にしてください。ソフトウェアスタンバイモード時に発生した要求を、DMAC 起動要求ではなく CPU への割り込み要求として使用する場合は、「14.4.1. 割り込み検出選択」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

17.9 使用上の注意事項

17.9.1 DMA 書き込みアクセスへのバスの応答

DMA の書き込みアクセスにバスが応答するタイミングは、DMBWR.BWE 設定と転送先によって異なります。DMBWR.BWE が「1」のとき、バスの応答はバスの章の「15.2.5.2. バッファラブル書き込みアクセス」に記載されている中間ポイントから返されます。また、バスの章の「15.2.5.3. 完了タイミングの書き込みに関する注意事項」に記載されているアクセス先に書き込むとき、バスの応答は書き込みが完了する前に返されます。

17.9.2 DMA 転送中のレジスタアクセスについて

同じチャネルの DMSTS.ACT フラグが 1（DMAC 動作中）、または同じチャネルの DMCNT.DTE ビットが 1（DMA 転送許可）の状態で、下記のレジスタに書き込まないでください。

- ICU.DELSR
- DMSAR
- DMDAR
- DMCRA
- DMCRB

- DMTMD
- DMINT
- DMAMD
- DMOFR
- DMSBS
- DMDBS
- DMSRR
- DMDRR
- DMBWR
- ICUSARC
- DMACSAR
- DMCTL

17.9.3 予約領域への DMA 転送について

予約領域への DMA 転送は行わないでください。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域の詳細は、「5. アドレス空間」を参照してください。

17.9.4 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (ICU.DELSRn) の設定

DMAC イベントリンク設定レジスタ n (ICU.DELSRn) を設定する前に、DMA 転送許可ビット（DMCNT.DTE ビット）が 0（DMA 転送禁止）であることを確認してください。さらに、ICU.DELSRn レジスタにより設定されている同じイベント番号に対応する DTC 起動許可レジスタ (ICU.IELSRn.DTCE) は 1 にしないでください。ICU.IELSRn.DTCE の詳細については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

17.9.5 DMAC 起動の保留／再開に関する注意事項

DMAC の起動要求を一時停止するために、DMAC イベントリンク選択ビット (ICU.DELSRn.DELS[:0]) に 0x000 を書き込んでください。DMA 転送を再開するには、「17.3.9. DMAC の起動」に記載された設定に従い、ICU.DELSRn.DELS[9:0]ビットにイベント番号を書き込んでください。

17.9.6 DMA 転送再開時の注意事項

DMA 転送終了後、次の要求時に DMAC 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMAC 起動要求は DMAC 内に保持されます。これを避けるには、ICU.DELSRn.DELS[9:0] ビットを 0 にして、DMAC の起動要求を停止してください。

最後の DMA 転送後に DMAC 起動要求が発生した場合は、以下の手順で DMAC 起動要求をクリアしてください。

1. DMCNT.DTE ビットを 0 に設定する。
2. ICU.DELSRn.IR フラグを 0 にする。

18. データトランスファコントローラ (DTC)

18.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 18.1 に DTC の仕様を、図 18.1 に DTC のブロック図を示します。

表 18.1 DTC の仕様

項目	DTC0（CPU0 用）／DTC1（CPU1 用）
転送モード	• ノーマル転送モード 1 回の起動で 1 データを転送 • リピート転送モード 1 回の起動で 1 データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート転送の最大回数は 256 回で、最大データ転送サイズは 256 × 64 ビット（2048 バイト） • ブロック転送モード 1 回の起動で 1 ブロックを転送 最大ブロックサイズは 256 × 64 ビット = 2048 バイト
転送チャネル	• 割り込み要因に対応するチャネルの転送が可能（ICU からの DTC 起動要求で転送） • 1 つの起動要因で複数のデータ単位を転送可能（チェーン転送） • チェーン転送は「カウンタが 0 のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	• 0x0000_0000～0xFFFF_FFFF のうち予約領域を除く 4 GB の領域
データ転送単位	• 1 データ単位：1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット）、1 ダブルワード（64 ビット） • 1 ブロックサイズ：1～256 データ
CPU 割り込み要因	• DTC を起動した割り込み、または DTC_COMPLETE で CPU への割り込み要求を発生可能 • 1 回のデータ転送後に CPU への割り込み要求を発生可能 • 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
DTC 転送エラーの処理	• DTC 転送エラーが発生すると、エラーを引き起こした転送を停止 • DTC エラー番号の起動要求についてレジスタをクリアするよう ICU に要求
エラー応答検出割り込み	DTC 転送エラーが生じると発生
イベントリンク機能	1 回のデータ転送ごと（ブロック転送の場合は 1 回のブロック転送後）に発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
モジュールストップ機能	モジュールストップ状態の設定が可能
TrustZone フィルタ	起動要因ごとにセキュリティ属性と特権属性の設定が可能

注. DTC のセキュリティ属性レジスタは、ICU.ICUSARG、ICU.ICUSARH、ICU.ICUSARI、ICU.ICUSARJ、ICU.ICUSARK、および ICU.ICUSARL で説明します。

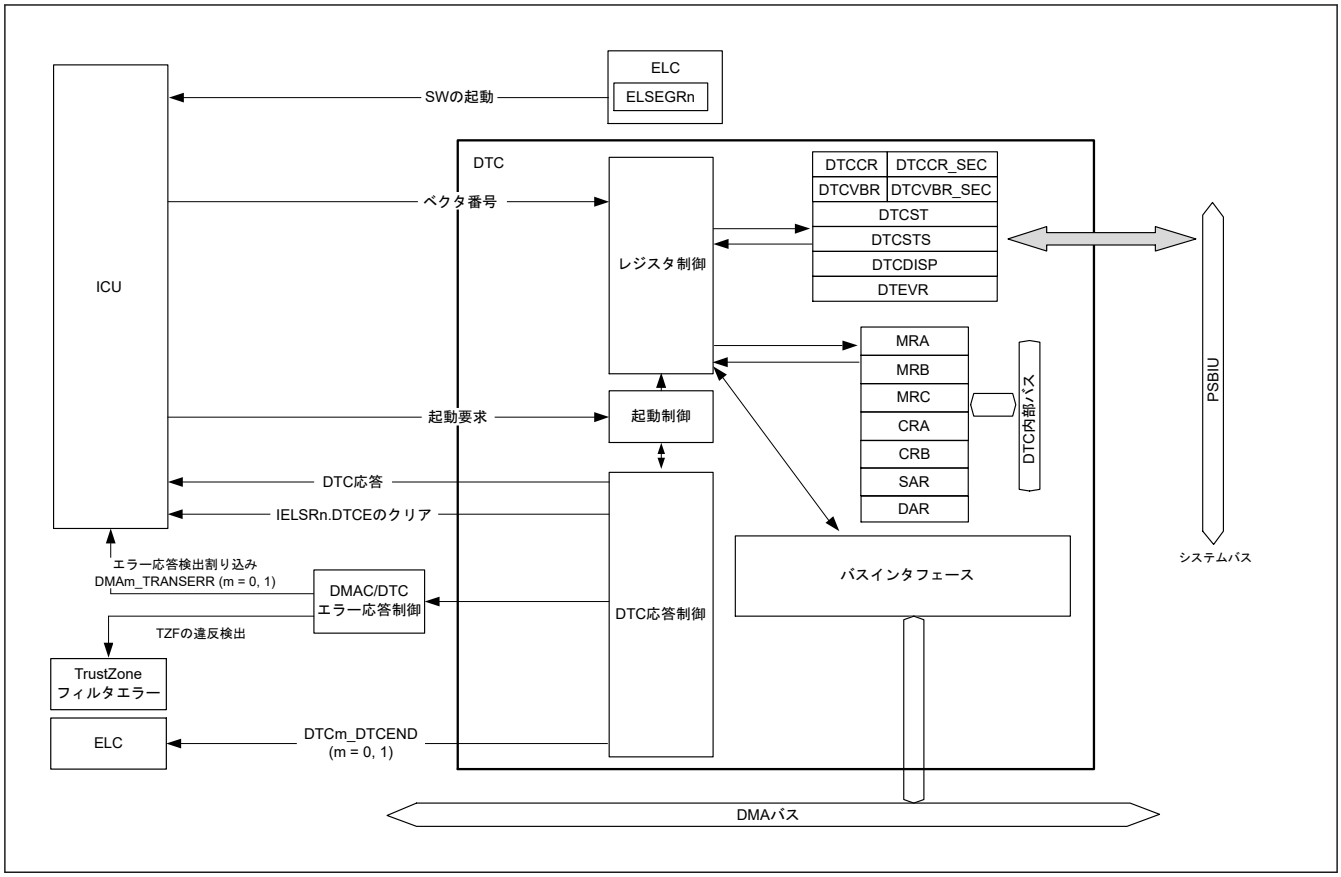


図 18.1　DTC のブロック図

CPU 内での DTC と NVIC の接続関係については、「14. 割り込みコントローラユニット (ICU)」の「14.1. 概要」を参照してください。

18.2　レジスタの説明

MRA、MRB、MRC、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

DTC0 および DTC1 レジスタのベースアドレスは同じです。DTC0 は CPU0 専用であり、CPU0 からのみアクセスが可能です。DTC1 は CPU1 専用であり、CPU1 からのみアクセスが可能です。

18.2.1　DTCSAR : DTC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTCSTSA1
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTCSTSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTCSTSA0	DTC0 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DTCSTSA1	DTC1 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

本レジスタは、DTCST と DTCSTS のセキュリティ属性を設定します。

DTCSTSA0 ビット（DTC0 セキュリティ属性）

このビットは、DTC0.DTCST と DTC0.DTCSTS に対応するレジスタのセキュリティ属性を指定します。

DTC0 転送が有効のとき、またはバスマスタが DTC0 レジスタに書き込みを行っている最中は、DTCSTSA0 ビットに書き込みを行わないでください。

DTCSTSA1 ビット（DTC1 セキュリティ属性）

このビットは、DTC1.DTCST と DTC1.DTCSTS に対応するレジスタのセキュリティ属性を指定します。

DTC1 転送が有効のとき、またはバスマスタが DTC1 レジスタに書き込みを行っている最中は、DTCSTSA1 ビットに書き込みを行わないでください。

18.2.2 MRA : DTC モードレジスタ A

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x03 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。 「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		SZ[1:0]		SM[1:0]		—	WBDIS
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
0	WBDIS	ライトバック禁止 0: DTC データ転送終了時に DTC 転送情報のライトバックを行う 1: DTC データ転送終了時に DTC 転送情報のライトバックを行わない	—
1	—	読み出し値は不定です。書く場合、0 としてください。リセット後の値は不定値です。	—
3:2	SM[1:0]	転送元アドレスアドレッシングモード 0 0: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 0 1: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 1 0: 転送後 SAR レジスタをインクリメント： SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 SZ[1:0]ビットが 11b のとき+8 1 1: 転送後 SAR レジスタをデクリメント： SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4 SZ[1:0]ビットが 11b のとき-8	—
5:4	SZ[1:0]	DTC データトランスファサイズ 0 0: バイト（8 ビット）転送 0 1: ハーフワード（16 ビット）転送 1 0: ワード（32 ビット）転送 1 1: ダブルワード（64 ビット）転送	—

ビット	シンボル	機能	R/W
7:6	MD[1:0]	DTC 転送モード選択 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

CPU は MRA レジスタに直接アクセスすることができませんが、SRAM 領域（転送情報 (n) の開始アドレス + 0x03）にはアクセスできます。DTC は、SRAM 領域と MRA レジスタの間で設定値を自動的に転送します。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

WBDIS ビット（ライトバック禁止）

このビットは、データ転送終了時に転送情報のライトバックを行うかどうかを選択します。

WBDIS ビットが 0 のときは、更新された DTC 転送情報のライトバックが行われます。

WBDIS ビットが 1 のときは、転送後にアドレスがインクリメントされる設定がなされていても、転送情報のライトバックは行われず、開始要求が発行されるたびに同一のデータ転送が行われます。DTC 転送情報のライトバックは行われないため、ROM に DTC 転送情報を格納することができます。WBDIS ビットが 1 のときの動作は転送モードによって異なります。

MRC.DISPE ビットを 1 にするときは、WBDIS ビットも 1（ライトバックを行わない）にしてください。WBDIS ビットが 1 で、かつ転送情報が 1 つ以上ある場合は、DTCCR.RRS を 0（リードスキップを行わない）にしてください。セキュア状態で使用する場合、DTCCR.RRS ではなく DTCCR_SEC.RRS にアクセスしてください。

(1) ノーマル転送モードおよびリピート転送モード

起動要因 1 つで 1 バイト、1 ハーフワード、1 ワード、1 ダブルワードの転送を行います。転送アドレスと転送回数は更新されず、転送要求が発行されるたびに同一の転送が繰り返されます。転送回数が 1 であっても、ICU.DTCERn.DTCE はクリアされず、次の起動要因で DTC 転送が続行されます。

(2) ブロック転送モード

起動要因 1 つで 1 ブロックが転送されます。転送アドレスとブロック転送回数は更新されず、転送要求が発行されるたびに同一のブロック転送が繰り返されます。ブロック転送回数が 1 であっても、ICU.DTCERn.DTCE は 0 にならず、次の起動要因で DTC 転送が続行されます。

18.2.3 MRB : DTC モードレジスタ B

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x02 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0 としてください。	—

ビット	シンボル	機能	R/W
3:2	DM[1:0]	転送先アドレスアドレッシングモード 0 0: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 0 1: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 1 0: 転送後 DAR レジスタをインクリメント： MRA.SZ[1:0]ビットが 00b のとき+1 MRA.SZ[1:0]ビットが 10b のとき+4MRA.SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 11b のとき+8 1 1: 転送後 DAR レジスタをデクリメント： MRA.SZ[1:0]ビットが 00b のとき-1 MRA.SZ[1:0]ビットが 01b のとき-2 MRA.SZ[1:0]ビットが 10b のとき-4 SZ[1:0]ビットが 11b のとき-8	—
4	DTS	DTC 転送モード選択 0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
6	CHNS	DTC チェーン転送選択 0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったときにのみチェーン転送を行う	—
7	CHNE	DTC チェーン転送許可 0: チェーン転送禁止 1: チェーン転送許可	—

CPU は MRB レジスタに直接アクセスすることができませんが、SRAM 領域（転送情報 (n) の開始アドレス + 0x02）にはアクセスできます。DTC は、SRAM 領域と MRB レジスタの間で設定値を自動的に転送します。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DM[1:0]ビット（転送先アドレスアドレッシングモード）

DM[1:0]ビットは DAR レジスタのアドレスを固定または転送後の DAR レジスタのインクリメント/デクリメントを指定します。

DTS ビット（DTC 転送モード選択）

DTS ビットはリピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

DISEL ビット（DTC 割り込み選択）

DISEL ビットは CPU への割り込み要求を発生する条件を指定します。

CHNS ビット（DTC チェーン転送選択）

CHNS ビットはチェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、表 18.3 を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可）

CHNE ビットはチェーン転送を許可します。チェーン転送条件は、CHNS ビットで選択されます。チェーン転送の詳細については、「18.4.6. チェーン転送」を参照してください。

注. チェーン転送の設定が CHNE = 1 かつ CHNS = 0 であるとき、転送設定に基づく転送回数は、各転送要求に対して-1 になります。そのため、各転送情報に対する転送回数は一致する必要があります。

18.2.4 MRC : DTC モードレジスタ C

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x01 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DISPE
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
0	DISPE	ずらし値追加 0: 転送元アドレスにずらし値を追加しない 1: 転送元アドレスにずらし値を追加する	—
7:1	—	読み出し値は不定です。書く場合、0 としてください。	—

CPU は MRC レジスタに直接アクセスすることができませんが、SRAM 領域（転送情報 (n) の開始アドレス + 0x01）にはアクセスできます。DTC は、SRAM 領域と MRC レジスタ s の間で設定値を自動的に転送します。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DISPE ビット（ずらし値追加）

DISPE ビットは、転送アドレスとして「SAR + DTCDISP」の値を使用するかどうかを指定します。DISPE ビットを 1 にするときは、MRA.WBDIS ビットを 1（ライトバックを行わない）に、DTCCR.RRS ビットを 0（リードスキップを行わない）にしてください。セキュア状態で使用する場合、DTCCR.RRS ではなく DTCCR_SEC.RRS にアクセスしてください。

18.2.5 SAR : DTC 転送元レジスタ

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x04 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31	0
Bit field:		
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x	

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x04）に SAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x04）から、SAR レジスタへ設定値を転送します。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合は、ビット[0]を 0 にしてください。MRA.SZ[1:0] = 10b の場合は、ビット[1]～[0]を 0 にしてください。MRA.SZ[1:0] = 11b の場合は、ビット[2]～[0]を 0 にしてください。

18.2.6 DAR : DTC 転送先レジスタ

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x08 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31																											0
Bit field:																												
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス 0x08）に DAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス 0x08）から、DAR レジスタへ設定値を転送します。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合は、ビット[0]を 0 にしてください。MRA.SZ[1:0] = 10b の場合は、ビット[1]～[0]を 0 にしてください。MRA.SZ[1:0] = 11b の場合は、ビット[2]～[0]を 0 にしてください。

18.2.7 CRA : DTC 転送カウントレジスタ A

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x0E + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	CRAL	転送カウンタ A 下位 転送回数を設定	—
15:8	CRAH	転送カウンタ A 上位 転送回数を設定	—

注. 転送モードによって機能が異なります。
注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは 16 ビットです。CRAL は下位 8 ビット、CRAH は上位 8 ビットです。CRA はノーマル転送モードで使用されます。

CRAL と CRAH はリピート転送モードとブロック転送モードで使用されます。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0E）に CRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0E）から、CRA レジスタへ設定値を転送します。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

(1) ノーマル転送モード (MRA.MD[1:0] = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。

(2) リピート転送モード (MRA.MD[1:0] = 01b) の場合

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となりま

す。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モード (MRA.MD[1:0] = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

18.2.8 CRB : DTC 転送カウントレジスタ B

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x0C + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (–1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、本レジスタは使用されず、設定値は無視されます。

CRB レジスタは CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0C）に CRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0C）から、CRB レジスタへ設定値を転送します。「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

18.2.9 DTCCR : DTC コントロールレジスタ

Base address: DTC0_NS = 0x5000_AC00

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可（非セキュア領域） 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE7, P-TYPE2

RRS ビット（DTC 転送情報リードスキップ許可（非セキュア領域））

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ（CRA レジスタ）が 0 になっている場合と、ブロック転送で転送カウンタ（CRB レジスタ）が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

MRA.WBDIS ビットが 1 に設定された転送が 1 つ以上ある場合、RRS ビットを 0 に設定します。

MRC.DISPE ビットを 1 に設定する場合、MRA.WBDIS ビットを 1 に設定する必要があります。

RRS ビットの機能と設定方法については、「18.4.1. 転送情報のリードスキップ機能」を参照してください。

18.2.10 DTCCR_SEC : DTC コントロールレジスタ（セキュア領域）

Base address: DTC0 = 0x4000_AC00

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可（セキュア領域） 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE6, P-TYPE2

RRS ビット（DTC 転送情報リードスキップ許可（セキュア領域））

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。これらのベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報を読み出さずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報が読み出されます。

前回のノーマル転送中に転送カウンタ（CRA レジスタ）が 0 になっている場合と、前回のブロック転送中に転送カウンタ（CRB レジスタ）が 0 になっている場合は、RRS ビットの値にかかわらず転送情報が読み出されます。

18.2.11 DTCVBR : DTC ベクタベースアドレス

Base address: DTC0_NS = 0x5000_AC00

Offset address: 0x04

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス（非セキュア領域） 非セキュア領域に DTC ベクタベースアドレスを設定します。（下位 10 ビットは 0 にしてください）	R/W

注. S-TYPE7, P-TYPE2

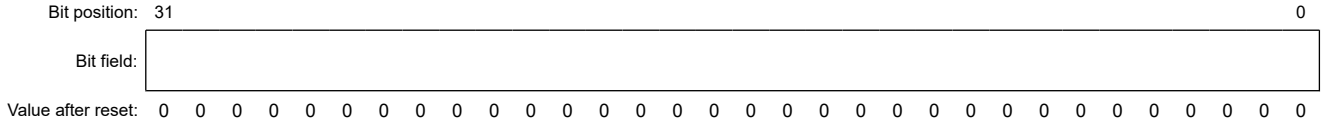
DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定します。0x0000_0000～0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

RRS ビットの機能と設定方法については、「18.4.1. 転送情報のリードスキップ機能」を参照してください。

18.2.12 DTCVBR_SEC : DTC ベクタベースレジスタ（セキュア領域）

Base address: DTC0 = 0x4000_AC00

Offset address: 0x14



ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス（セキュア領域） セキュア領域に DTC ベクタベースアドレスを設定します。（下位 10 ビットは 0 にしてください）	R/W

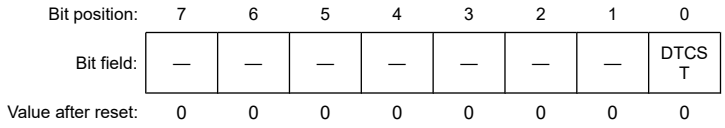
注. S-TYPE6, P-TYPE2

DTCVBR_SEC レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定します。0x0000_0000～0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

18.2.13 DTCST : DTC モジュール起動レジスタ

Base address: DTC0 = 0x4000_AC00
DTC0_NS = 0x5000_AC00

Offset address: 0x0C



ビット	シンボル	機能	R/W
0	DTCST	DTC モジュール起動 0: DTC モジュール停止 1: DTC モジュール起動	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE2

DTCST ビット（DTC モジュール起動）

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- ソフトウェアスタンバイモード
- ディープソフトウェアスタンバイモード

これらの遷移については、「18.10. 低消費電力機能」と「11. 低消費電力モード」を参照してください。

18.2.14 DTCSTS : DTC ステータスレジスタ

Base address: DTC0 = 0x4000_AC00
DTC0_NS = 0x5000_AC00

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	—	—	—	—	—	VECN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	VECN[7:0]	DTC アクティブベクタ番号モニタ DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中（ACT フラグが 1 の場合）にのみ有効です。	R
14:8	—	読むと 0 が読めます。	R
15	ACT	DTC アクティブフラグ 0: DTC 転送動作なし 1: DTC 転送動作中	R

注. S-TYPE3, P-TYPE2

VECN[7:0]ビット（DTC アクティブベクタ番号モニタ）

VECN[7:0]ビットは DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1（DTC 転送動作中）であれば、読み出された VECN[7:0]ビットの値は有効であり、ACT フラグが 0（DTC 転送動作なし）であれば、読み出された VECN[7:0]ビットの値は無効です。

ACT フラグ（DTC アクティブフラグ）

ACT フラグは DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

18.2.15 DTCDISP : DTC アドレスずらし値レジスタ

Base address: DTC0 = 0x4000_AC00
DTC0_NS = 0x5000_AC00

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DTCDISP[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DTCDISP[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	DTCDISP[31:0]	DTC アドレスずらし値 DTC 転送元アドレスに加算するずらし値	R/W

注. S-TYPE-7, P-TYPE-2

DTCDISP レジスタは、DTC 転送元アドレスに加算するずらし値を指定します。MRC.DISPE ビットが 1 の場合、転送元アドレスとして「SAR + DTCDISP」が使用されます。

18.2.16 DTEVR : DTC エラーベクタレジスタ

Base address: DTC0 = 0x4000_AC00
DTC0_NS = 0x5000_AC00

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTESTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTEVSAM	DTEV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DTEV[7:0]	DTC エラーベクタ番号 DTC のエラーベクタを表します。	R
8	DTEVSAM	DTC エラーベクタ番号 SA モニタ エラーを引き起こすベクタ番号の SA を示します。 0: セキュアベクタ番号 1: 非セキュアベクタ番号	R
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	DTESTA	DTC エラーステータスフラグ 0: DTC 転送エラー発生なし 1: DTC 転送エラー発生あり	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. P-TYPE2。セキュリティ属性によるアクセスについては下記を参照してください。
注. DTESTA への書き込みは DTEVSAM の値に依存します。

本レジスタを読み出す場合、セキュアアクセスと非セキュアアクセスの両方でアクセス可能です。

本レジスタへの書き込みアクセスは、DTEVR.DTEVSAM に依存します。

- DTEVSAM = 1 のときは、セキュアアクセスでも非セキュアアクセスでもアクセスが可能です。
- DTEVSAM = 0 のときは、セキュアアクセスでのみアクセスが可能です。書き込みアクセスが非セキュアアクセスで行われると、エラーが発生します。

本レジスタは、転送エラーで生じたリセットによりクリアされます。プログラムをデバッグする場合は、BUS.BUSOAD と TZF.MSAOAD で割り込み DMAm_TRANSERR (m = 0, 1) を選択してください。

DTEV[7:0]ビット（DTC エラーベクタ番号）

DTC 転送起因の転送エラーが発生した場合、本ビットは違反した DTC のチャネルを格納します。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTEVSAM ビット（DTC エラーベクタ番号 SA モニタ）

DTC 転送起因の転送エラーが発生した場合、本ビットは違反した DTC ベクタ番号の SA を示します。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTESTA ビット（DTC エラーステータスフラグ）

本ビットは DTC 転送エラーの発生の有無を示します。

DTEV、DTEVSAM、DTESTA は DTESTA に 1 を書き込むことによりクリアされます。

DTESTA への 0 の書き込みは無視されます。

[1 になる条件]

- DTC 転送エラーが発生した場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

18.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによる DTC の起動が許可されます。ICU.IELSRn レジスタで設定されたセレクタ出力番号 *n* は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 n に対応した特定の DTC 割り込み要因を、「14.3.2. イベント番号」に示したように ICU.IELSRn.IELS[9:0] (n = 0～95) ビットによって選択します。ソフトウェアによる起動については、「19.2.2. ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0～3)」を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時（チェーン転送の場合、連続した最後の転送時）、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が発生する
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR フラグはデータ転送開始時に 0 になる

18.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

DTC にはセキュア DTC 起動要求のベクタテーブルと、非セキュア DTC 起動要求のベクタテーブルがあります。SA = 1 である割り込みベクタ番号のベクタテーブルを非セキュア側の DTCVBR に配置してください。SA = 0 である割り込みベクタ番号のベクタテーブルをセキュア側の DTCVBR_SEC に配置してください。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。ただし、MRA.WBDIS ビットが 1（ライトバックなし）の場合は、ROM 領域に配置することもできます。ベクタ番号 n を持つ転送情報 n の開始アドレスは、ベクタテーブルのベースアドレス+4n 番地でなければいけません。各転送情報の開始アドレスは 16 の倍数にする必要があります。

特権アクセスまたは非特権アクセスの DTC 転送属性の設定をする場合、以下のようにベクタテーブルと転送情報を配置してください。ベクタテーブルは特権領域に配置してください。特権属性の転送情報は、特権領域に配置されます。非特権属性の転送情報は、いずれかの特権領域に配置されます。特権領域は MMPU で設定されます（「16. メモリプロテクションユニット (MPU)」を参照）。特権アクセスと非特権アクセスの設定は、ベクタテーブルでは、各ベクタ番号に対応するアドレスのビット 0 に位置しています。

図 18.2 に DTC ベクタテーブルと転送情報の対応関係を示します。

図 18.3 にベクタテーブルのビット配置を示します。

図 18.4 に SRAM 領域での転送情報の配置を示します。

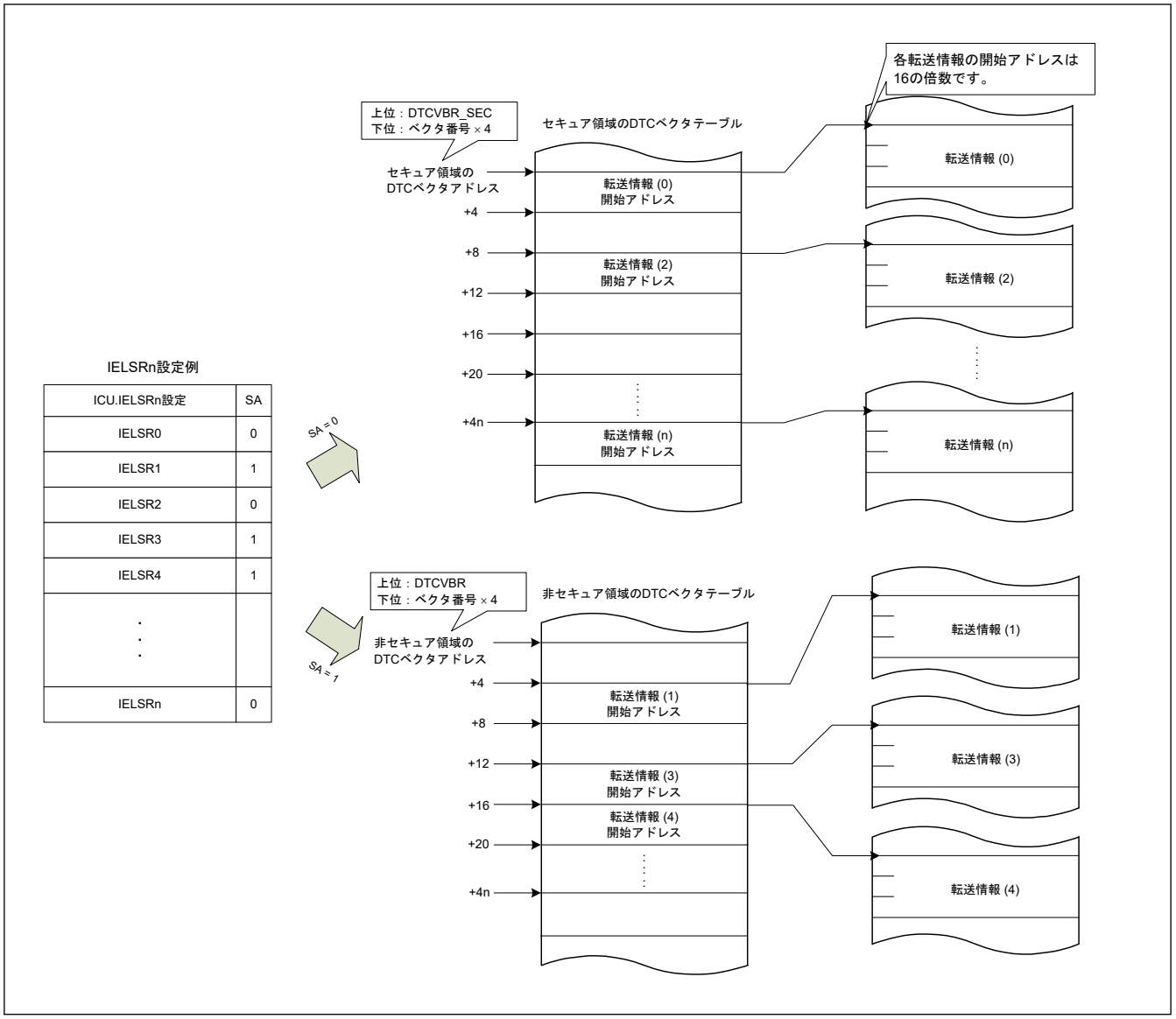


図 18.2　DTC ベクタテーブルと転送情報の対応関係

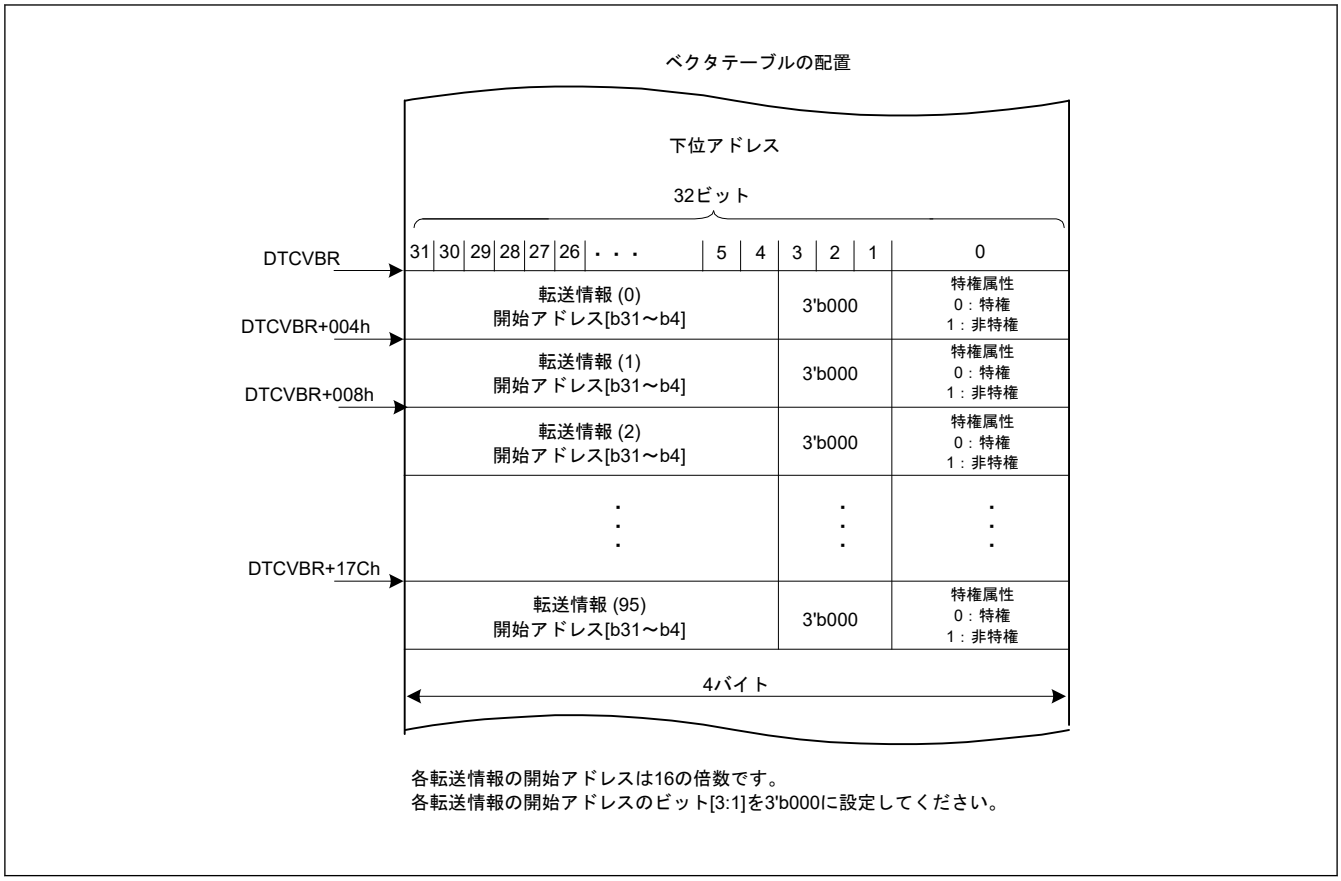


図 18.3　ベクタテーブルのビット配置

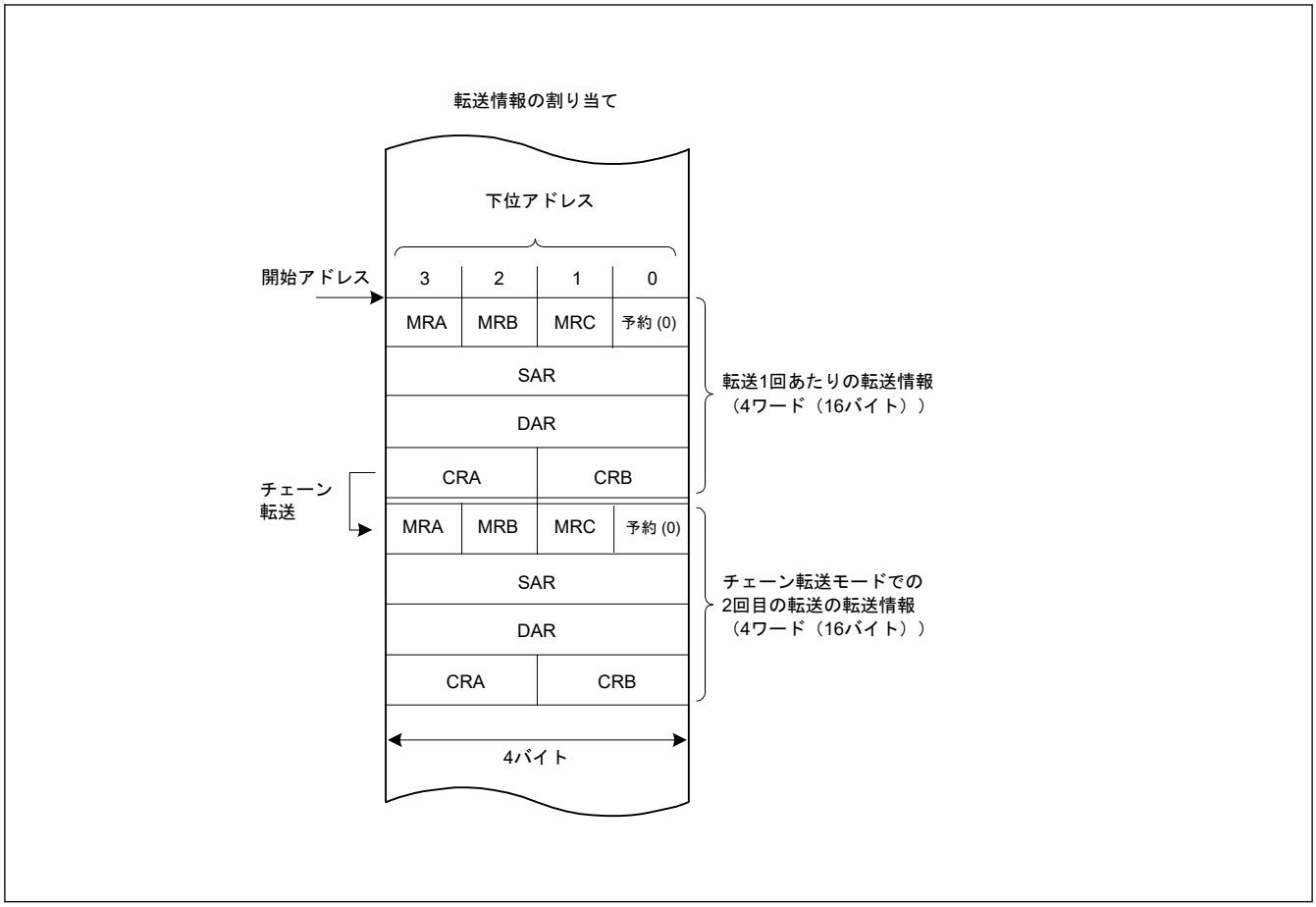


図 18.4　SRAM 領域での転送情報の配置

18.4　動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

表 18.2 に DTC の転送モードを示します。

表 18.2　DTC の転送モード (1/2)

転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット）、1 ダブルワード（64 ビット）	1、2、4、8 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回
リピート転送モード (注1)	1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット）、1 ダブルワード（64 ビット）	1、2、4、8 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256 回(注3)

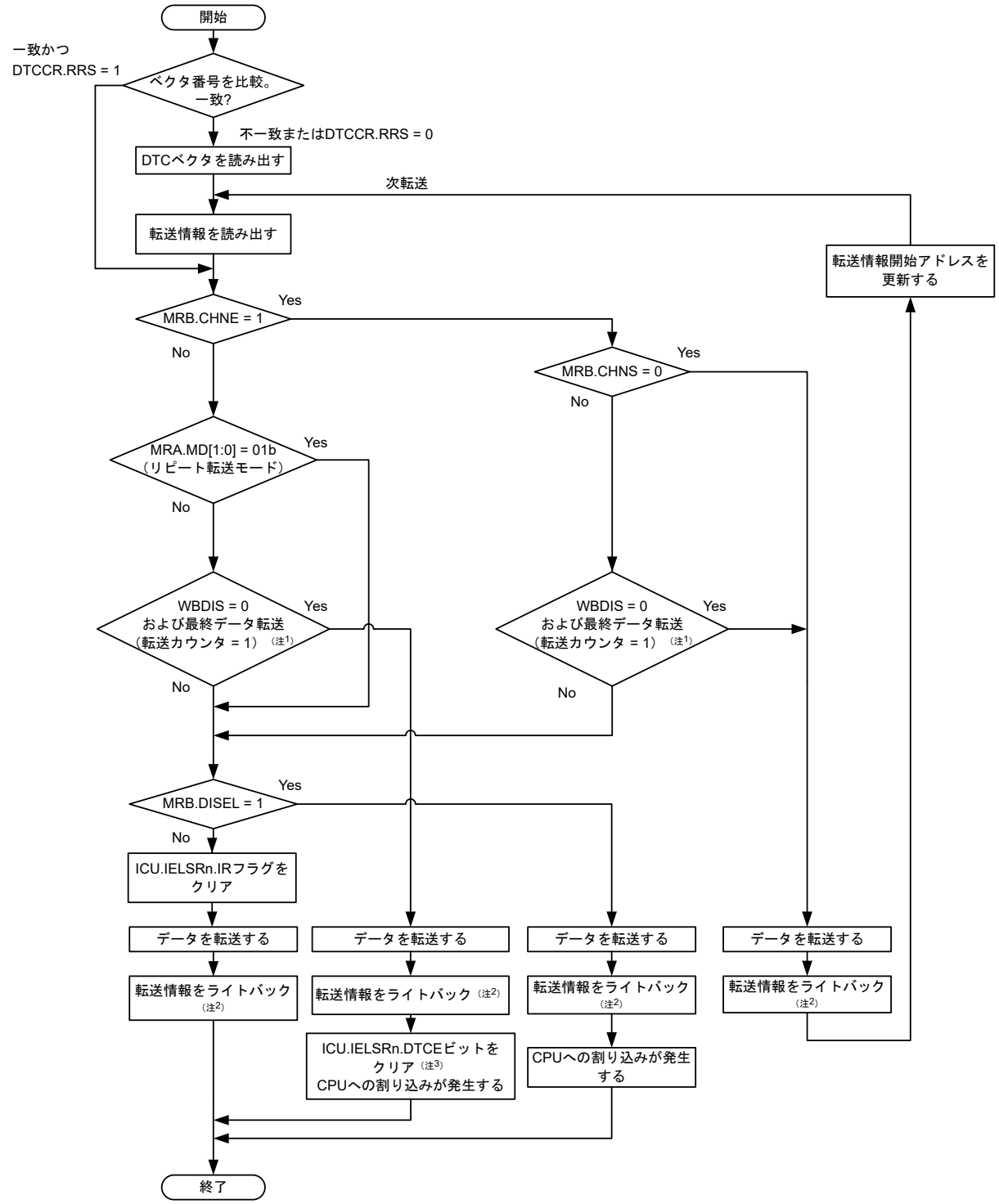
表 18.2 DTC の転送モード (2/2)

転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ブロック転送モード (注2)	CRAH に指定されるブロックサイズは、1～256 バイト、1～256 ハーフワード（2～512 バイト）、1～256 ワード（4～1024 バイト）、または 1～256 ダブルワード（8～2048 バイト）です。	1、2、4、8 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回

注 1. 転送元または転送先のいずれかをリピート領域に設定します。
注 2. 転送元または転送先のいずれかをブロック領域に設定します。
注 3. 指定回数の転送終了後は、初期状態に戻り、動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

図 18.5 に DTC の動作フローチャートを示します。表 18.3 にチェーン転送の条件を示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。



注 1. データ転送開始前のカウンタ値
注 2. WBDIS ビットが 1 のとき、ライトバックは省かれます。
注 3. WBDIS ビットが 1 のとき、DTCE ビットはクリアされません。

図 18.5 DTC 動作フローチャート

表 18.3 チェーン転送の条件

第 1 転送				第 2 転送(注3)				
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1)(注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1)(注2)	DTC 転送
0	—	0	(1→0) 以外	—	—	—	—	第 1 転送で終了
0	—	0	(1→0)	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第 1 転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。
ノーマル転送モード : CRA レジスタ
リピート転送モード : CRAL レジスタ
ブロック転送モード : CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。
ノーマル転送モードとブロック転送モードでは (1→0)
リピート転送モードでは (1→CRAH)
表中の (1→*) は、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略しています。

18.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求発生時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。さらに、前回のノーマル転送中に転送カウンタ（CRA レジスタ）が 0 になっている場合と、前回のブロック転送中に転送カウンタ（CRB レジスタ）が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報の読み出しが行われます。図 18.13 に転送情報の読み出しがスキップされる場合の例を示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次回の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

MRA.WBDIS ビットが 1 で、かつ転送情報が 1 つ以上ある場合、転送情報のリードスキップ機能は使用できません。DTCCR.RRS ビットを 0（リードスキップを行わない）にしてください。セキュア状態で使用する場合、DTCCR.RRS ではなく DTCCR_SEC.RRS にアクセスしてください。

18.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0]ビットまたは MRB.DM[1:0]ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。 表 18.4 に転送情報のライトバックスキップ条件と対応するレジスタを示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

MRA.WBDIS ビットが 1 の場合は、すべての転送情報 (SAR, DAR, CRA, CRB) のライトバックが行われません。メモリ内の転送情報は更新されないため、ROM から RAM へ転送情報をコピーせずに DTC データ転送を行えます。また、ライトバックを省略することで、データ転送の後処理に要する時間を短縮することができます。

表 18.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

18.4.3 ノーマル転送モード

ノーマル転送モードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット）、または 1 ダブルワード（64 ビット）のデータ転送が可能です。転送回数は 1～65536 回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。指定回数の転送が終了すると、CPU への割り込み要求を発生させることができます。

表 18.5 にノーマル転送モードのレジスタ機能を、図 18.6 にノーマル転送モードのメモリマップを示します。

表 18.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報の書き込みによってライトバックされる値(注2)
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。
注 2. MRA.WBDIS を 1 にするとライトバックが省略されます。

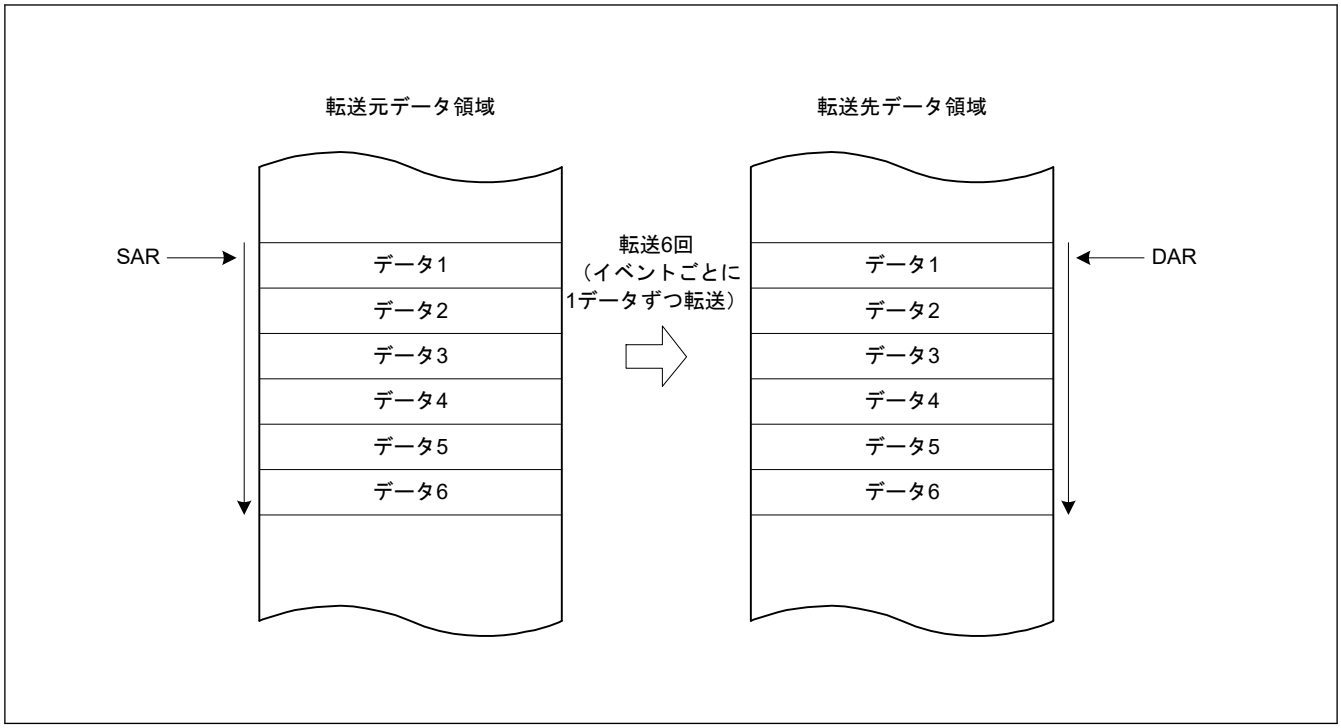


図 18.6　ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0x0006)

18.4.4　リピート転送モード

リピート転送モードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット）、または 1 ダブルワード（64 ビット）のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は 1～256 回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRAL レジスタ）が 0x00 になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 0x00 にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は発生しません。指定されたデータ転送が終了したとき、CPU への割り込みが発生します。

表 18.6 にリピート転送モードのレジスタ機能を、図 18.7 にリピート転送モードのメモリマップを示します。

表 18.6　リピート転送モードのレジスタ機能

レジスタ	機能	転送情報の書き込みによってライトバックされる値(注2)	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) • （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） DAR レジスタの初期値 • （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1.　アドレス固定のとき、ライトバックはスキップされます。
注 2.　MRA.WBDIS を 1 にするとライトバックが省略されます。

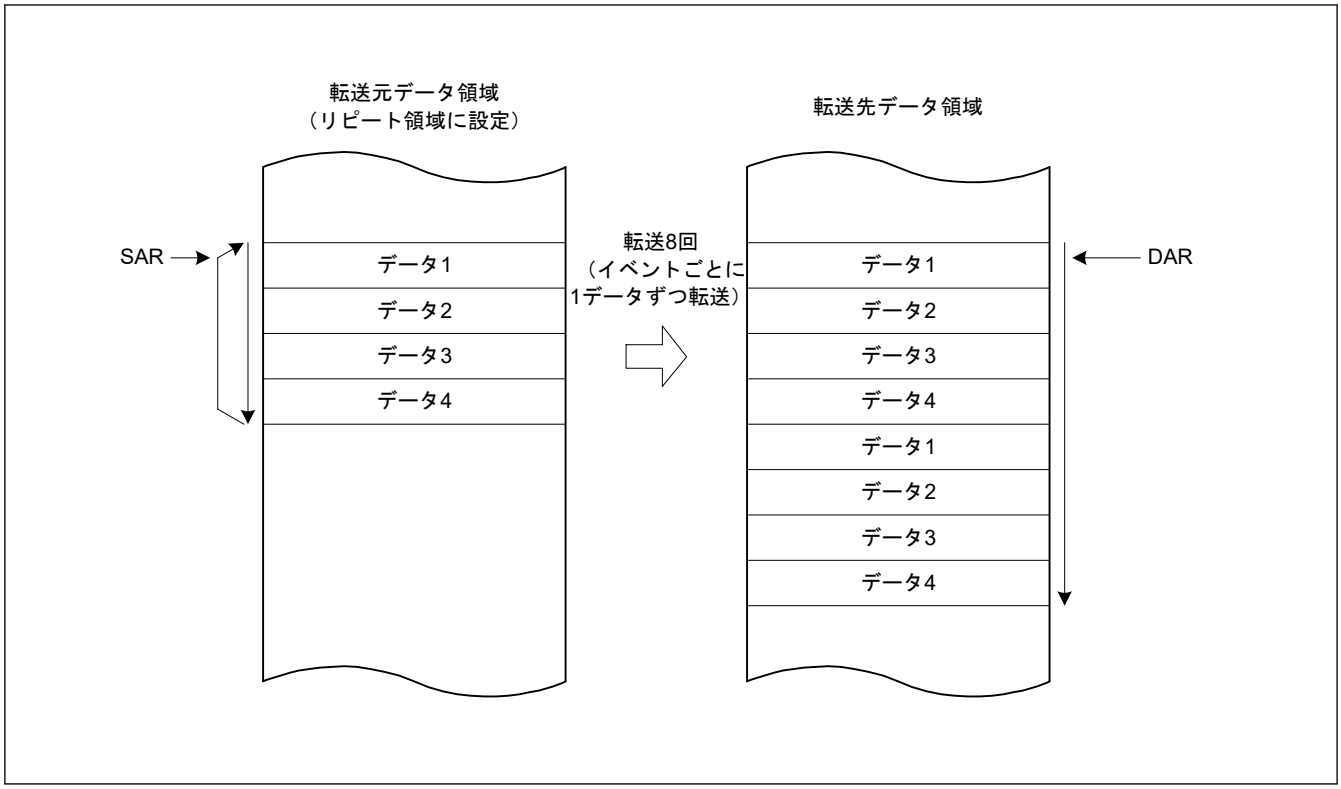


図 18.7　リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合）(MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 0x04)

18.4.5　ブロック転送モード

このモードでは、1 つの起動要因で 1 ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード（2～512 バイト）、1～256 ワード（4～1024 バイト）、または 1～256 ダブルワード（8～2048 バイト）に設定できます。指定された 1 ブロックの転送が終了すると、ブロックサイズカウンタ（CRAL レジスタ）と、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが 1 のときは SAR レジスタ、MRB.DTS ビットが 0 のときは DAR レジスタ）は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数（ブロック数）は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

表 18.7 にブロック転送モードのレジスタ機能を、図 18.8 にブロック転送モードのメモリマップを示します。

表 18.7　ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報の書き込みによってライトバックされる値(注2)
SAR	転送元アドレス	• （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) • （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	• （MRB.DTS = 0 のとき） DAR レジスタの初期値 • （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1.　アドレス固定のとき、ライトバックはスキップされます。
注 2.　MRA.WBDIS を 1 にするとライトバックが省略されます。

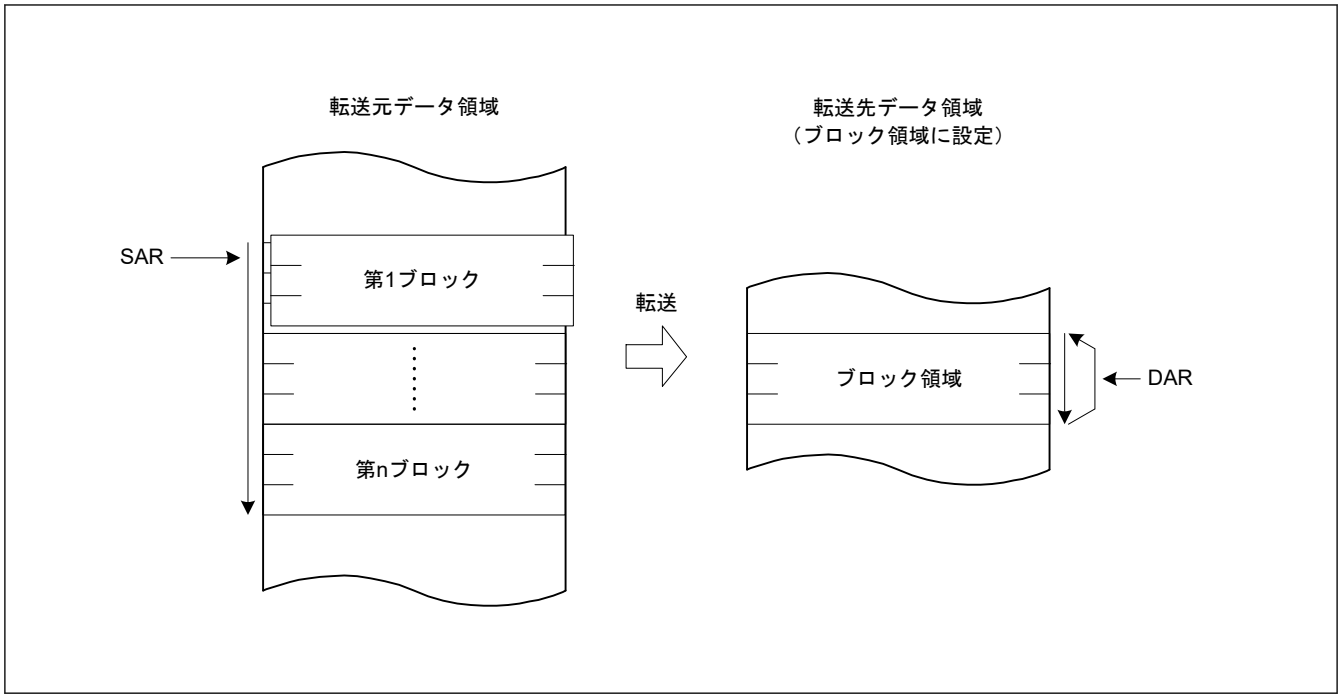


図 18.8　ブロック転送モードのメモリマップ

18.4.6　チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR フラグに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、MRB、および MRC レジスタは、それぞれ個別に設定可能です。図 18.9 にチェーン転送の動作を示します。

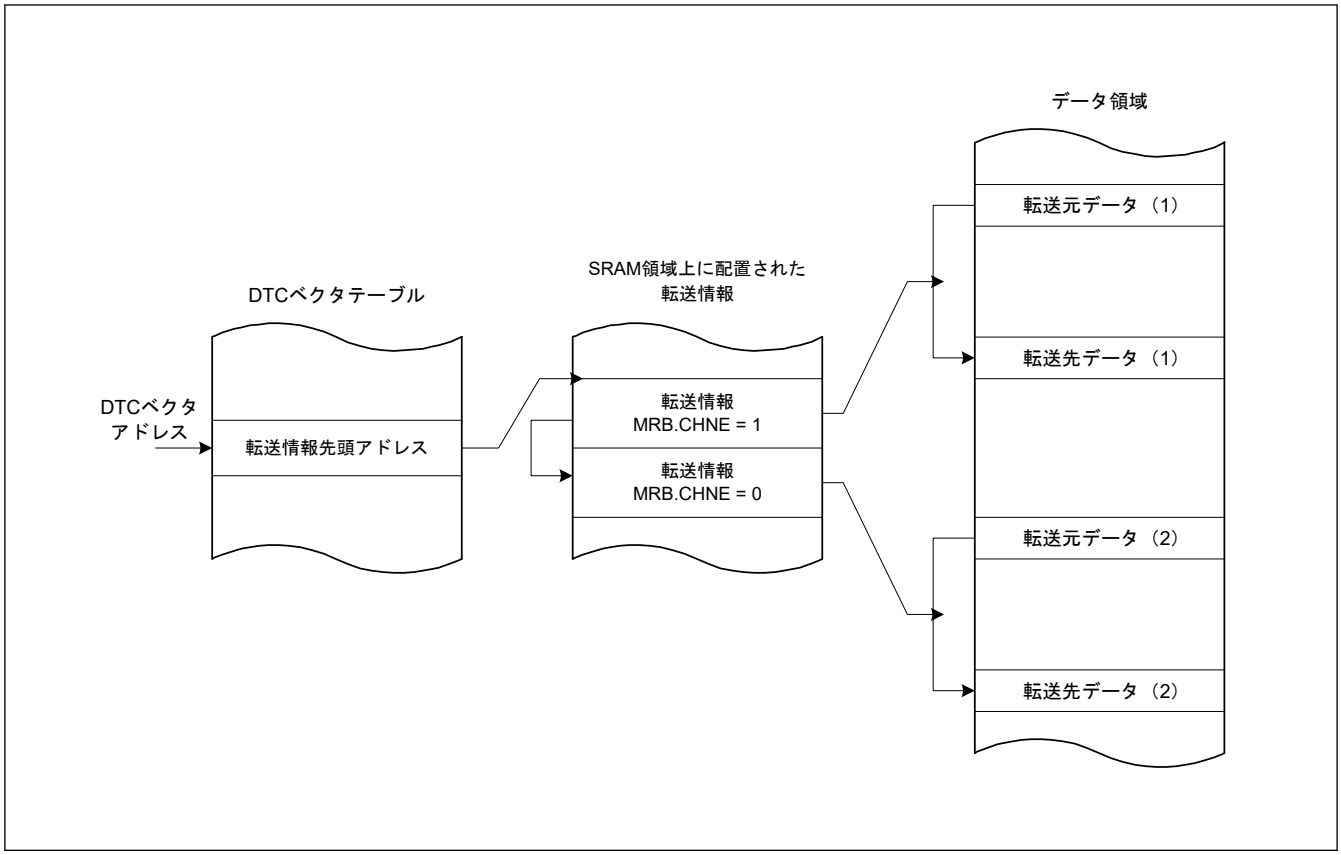


図 18.9　チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 18.3 を参照してください。

18.4.7　動作タイミング

図 18.10～図 18.13 に示すタイミング図は、最小実行サイクル数を示しています。

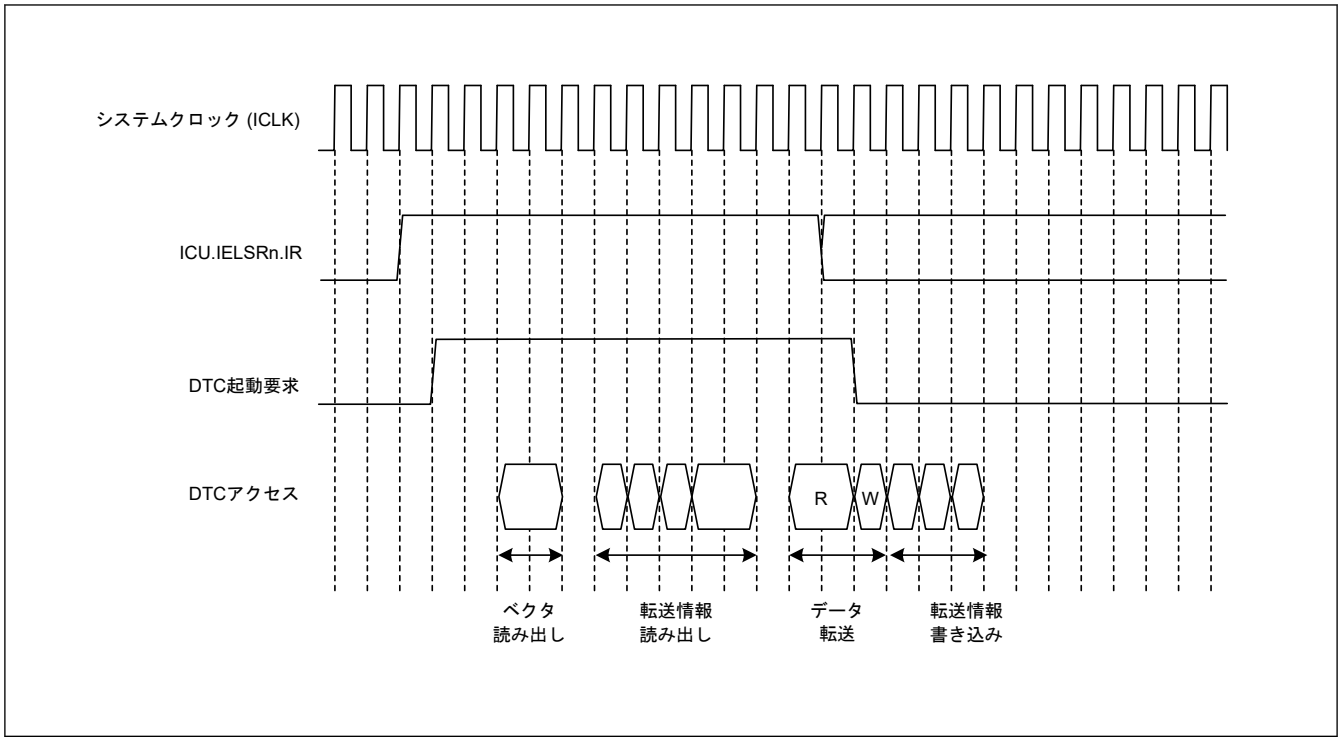


図 18.10　動作タイミング例 (1)（ノーマル転送モード、リピート転送モードの場合）

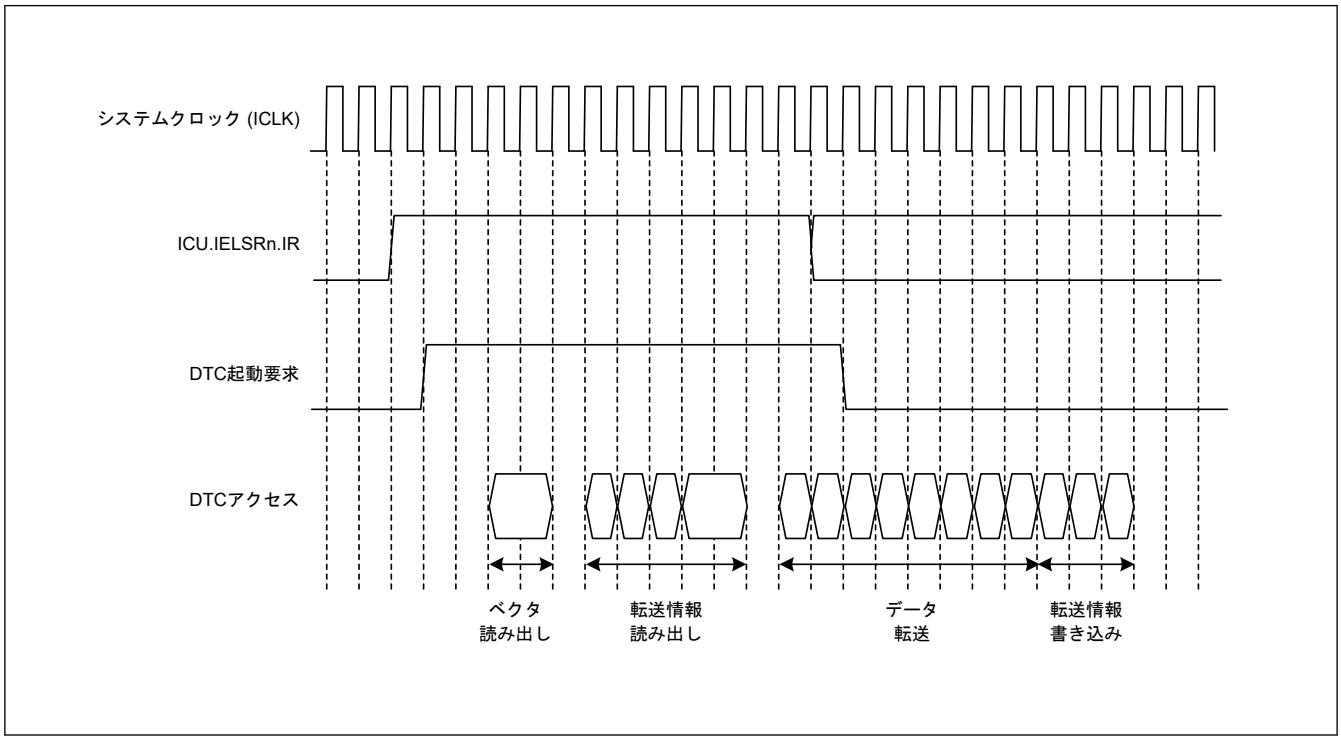
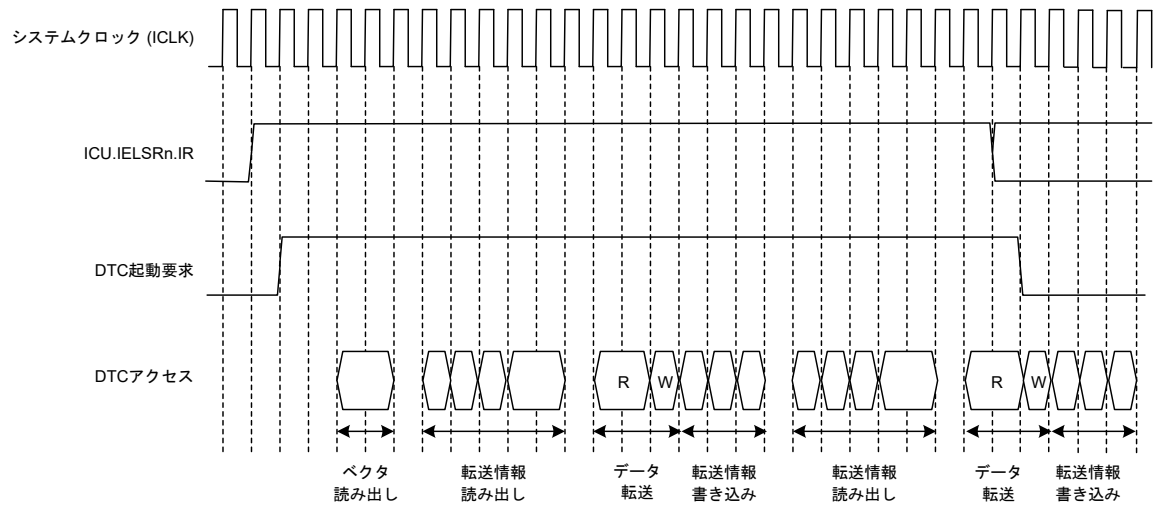
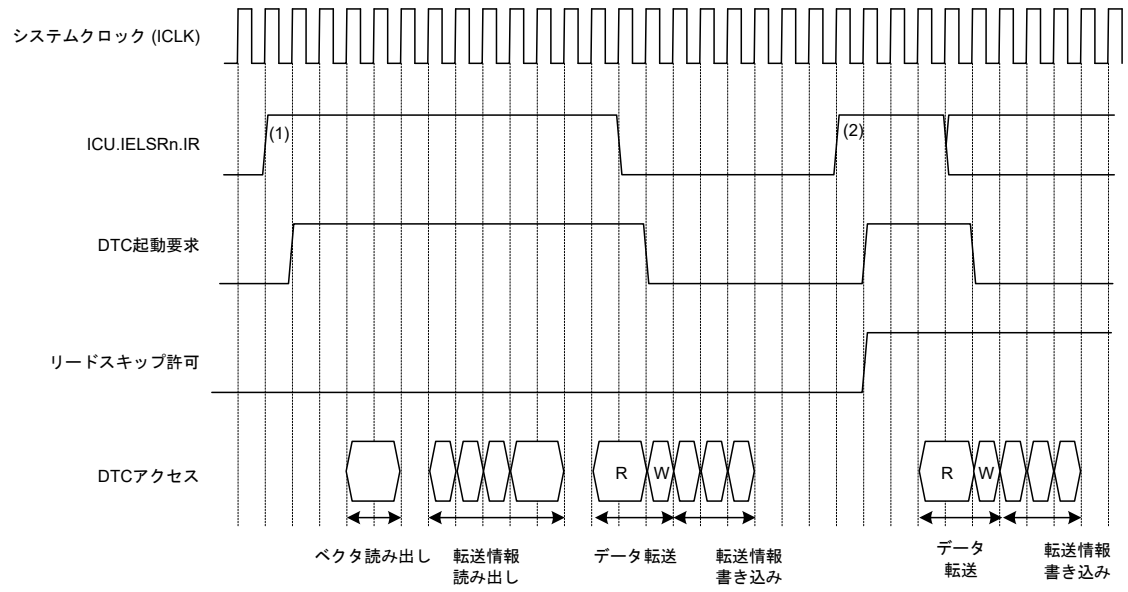


図 18.11　動作タイミング例 (2)（ブロック転送モード、ブロックサイズ = 4 の場合）



注. n = ベクタ番号

図 18.12 動作タイミング例 (3)（チェーン転送の場合）



注. n = ベクタ番号
注. (1) と (2) で起動要因（ベクタ番号）が同一で、RRS = 1 のとき、(2) の要求に対して転送情報読み出しスキップを行う。

図 18.13 転送情報リードスキップ実行時の動作例（ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合）

18.4.8 ベクタセキュリティ

DTC ベクタ n の転送アクセスのセキュリティ属性と ICU の IELSRn (n = 0～95) レジスタへのアクセスのセキュリティ属性は、CPSCU の ICUSARx (x = G, H, I, J, K, L) レジスタの SAIELSRn ビットで制御されます。CPSCU.ICUSARx レジスタの詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

CPSCU.ICUSARx.SAIELSRn ビットが 0 の場合

- IELSRn レジスタには、セキュリティ属性があります。
- IELS に設定された割り込み要求により起動した DTC のベクタ番号は、セキュアマスタとしてふるまいます。

CPSCU.ICUSARx.SAIELSRn ビットが 1 の場合

- IELSRn レジスタには、非セキュリティ属性があります。
- IELS に設定された割り込み要求により起動した DTC のベクタ番号は、非セキュアマスタとしてふるまいます。

セキュアマスタまたは非セキュアマスタにアクセス可能な領域については、「15. バス」と「51. セキュリティ機能」を参照してください。

18.4.9 ベクタプリビレッジ

DTC ベクタ n の転送アクセスのプリビレッジ属性は、ベクタテーブルのビット 0 で制御されます。

ベクタテーブルの各ベクタ番号に対応するビット 0 が 0 に設定された場合、DTC 転送はプリビレッジアクセスです。

ビット 0 が 1 に設定された場合、DTC 転送はアンプリビレッジアクセスです。

ベクタテーブルと転送情報の対応関係については、以下を参照してください。(ベクタテーブルと転送情報の対応関係へのリンクを追加予定)

18.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。セキュア状態で使用する場合、DTCVBR ではなく DTCVBR_SEC にアクセスしてください。ICU.IELSRn.IELS[8:0]ビットを 0 にして NVIC での割り込みを禁止してから、表 18.8 の手順に従って DTC を設定してください。

表 18.8 DTC の設定手順

No.	手順	内容
1	DTCCR.RRS ビットを 0 に設定します。	DTCCR.RRS ビットを 0 に設定して、転送情報読み出しスキップフラグをリセットします。その後、DTC を起動したとき、転送情報読み出しはスキップされません。転送情報を更新したときは、この設定を行ってください。
2	転送情報 (MRA, MRB, MRC, SAR, DAR, CRA, CRB) を設定してください。	転送情報 (MRA, MRB, MRC, SAR, DAR, CRA, CRB) をデータ領域に配置してください。転送情報の設定は、「18.2. レジスタの説明」を参照してください。転送情報の配置方法は、「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
3	転送情報の先頭アドレスを DTC ベクタテーブルに設定します。	転送情報の先頭アドレスを DTC ベクタテーブルに設定してください。DTC ベクタテーブルの設定方法は、「18.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
4	DTCCR.RRS ビットを 1 に設定します。	DTCCR.RRS ビットを 1 にすることで、同一の割り込み要因による連続した DTC 起動を行う場合の 2 回目以降の転送情報読み出しサイクルをスキップできます。RRS ビットは 1 に設定できますが、DTC 転送中の設定は、次回の転送から有効になります。 いずれかの転送情報の MRA.WBDIS ビットまたは MRC.DISPE ビットの値が 1 の場合、RRS ビットの値を 1 のままにしてください。
5	ICU.IELSRn.DTCE ビットを 1 に設定します。 ICU.IELSRn.IELS[8:0]を割り込み要因として設定してください。この割り込みは NVIC で許可に設定する必要があります。	ICU.IELSRn.DTCE ビットを 1 にしてください。また、DTC をトリガする割り込み要因として ICU.IELSRn.IELS[8:0]を設定してください。この割り込みは NVIC で許可に設定する必要があります。「14. 割り込みコントローラユニット (ICU)」の「14.3.2. イベント番号」を参照してください。
6	起動要因となる割り込みの許可ビットを 1 に設定します。	起動要因となる割り込みの許可ビットを 1 に設定してください。要因となる割り込みが発生すると、DTC が起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。
7	DTCST.DTCST ビットを 1 に設定します。	DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

注. DTCST.DTCST ビットの設定は、各起動要因の設定の後でなくても構いません。
注. DTCSAR.DTCSTSA = 0 が設定され、DTC がセキュア状態と非セキュア状態の両方で使用される場合、DTCST.DTCST ビットをセキュア状態で書き込む必要があります。

注. ステップ 1 とステップ 4 においてセキュア状態で使用する場合は、DTCCR.RRS ではなく DTCCR_SEC.RRS にアクセスしてください。

18.6 DTC の使用例

18.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] = 00b)、ノーマル転送モード (MRA.MD[1:0] = 00b)、およびバイト転送 (MRA.SZ[1:0] = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) と、1 回の割り込みで 1 回のデータ転送（MRB.CHNE = 0 および MRB.DISEL = 0）を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0x0080) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS[9:0]ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SCI の設定

SCI の SCR.RIE ビットを 1 にして SCIn_RXI (n = 0～9) 割り込みを許可します。SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるような設定を使用してください。

(5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに SCIn_RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する SCIn_RXI 割り込み要求が発生します。この割り込みに対して割り込み処理ルーチンで処理を終了してください。

18.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPT32n.GTCCRC レジスタ (n = 0～13) への転送用にノーマル転送モードを指定します。チェーン転送の 2 回目の転送には、GPT32n.GTCCRE レジスタ (n = 0～13) への転送用にノーマル転送モードを指定します。チェーン転送の 3 回目の転送には、GPT32n.GTPBR レジスタ (n = 0～13) への転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として GPT320.GTPR レジスタを利用し、カウンタオーバーフロー割り込みを使用する方法を説明します。

(1) 第 1 転送情報の設定

GPT320.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。

3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRC レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。

(2) 第 2 転送情報の設定

GPT320.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRE レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。

(3) 第 3 転送情報の設定

GPT320.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送を終了します (MRB.CHNE = 0, MRB.CHNS = 0, MRB.DISEL = 0)。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTPBR レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。

(4) 転送情報の配置

GPT320.GTPBR レジスタへの転送で使用する転送情報は、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. GPT320 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[9:0]ビットを設定し、GPT320 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) GPT の設定

1. GTCCRA レジスタと GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT320.GTIOR レジスタを設定します。
2. GPT320.GTCCRA レジスタと GPT320.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT320.GTPR レジスタには、デフォルトの PWM タイマ周期値を設定し、GPT320.GTPBR レジスタには、次の PWM タイマ周期値を設定します。

4. PmnPFS.PDR の出力ビットを 1 にして、PmnPFS.PSEL[4:0]の周辺モジュール選択ビットを 00011b にします。

(8) GPT の起動

GPT320.GTSTR.CSTRT ビットを 1 にして、GPT320.GTCNT カウンタを開始します。

(9) DTC 転送

GPT320.GTPR レジスタで GPT320 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT320.GTPBR レジスタへ転送されます。

(10) 割り込み処理

指定した回数の転送終了後（たとえば、GPT 転送用 CRA レジスタの値が 0 になると）、CPU に対して GPT320 カウンタオーバーフロー割り込み要求が発行されます。処理ルーチンでこの割り込みの処理を完了してください。

18.6.3 転送カウンタ = 0 のときのチェーン転送

第 2 転送は第 1 転送の転送カウンタが 0 になったときにだけ実行されます。第 1 転送情報は第 2 転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピート転送が可能になります。

以下に、1 KB の入力バッファを構成する例を示します。入力バッファは下位アドレスが 0x00 から始まるように設定されています。図 18.14 に転送カウンタ = 0 のときのチェーン転送を示します。

1. 第 1 転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
   (a) 転送元アドレス = 固定
   (b) CRA = 0x0200（512 回）
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 1（転送カウンタが 0 の場合のみチェーン転送を行う）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
2. 第 1 転送の転送先アドレスの 512 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域（コードフラッシュメモリなど）に用意してください。たとえば、入力バッファを 0x8000～0x83FF にする場合は、0x82 と 0x80 を用意します。
3. 第 2 転送は以下のように設定してください。
   (a) 第 1 転送の転送カウンタをリセットするため、リピート転送モード（転送元および転送先アドレスは固定）に設定
   (b) 転送先として、第 1 転送情報領域の CAR レジスタを指定
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 0（連続チェーン転送を選択）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (f) CRA = 0x0101（転送回数は 1 回）
4. 第 3 転送は以下のように設定してください。
   (a) 第 1 転送の転送先アドレスをリセットするため、リピート転送モード（転送元をリピート領域）に設定
   (b) 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
   (c) MRB.CHNE = 0（チェーン転送禁止）
   (d) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (e) 入力バッファを 0x8000～0x83FF にした場合は、転送カウンタ = 2
5. 1 回の割り込みで、第 1 転送が 512 回実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。

6. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x82 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
7. 引き続き 1 回の割り込みで、第 1 転送用に指定された 512 回だけ、第 1 転送が実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。
8. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x80 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
9. 手順 5 と 8 が無限に繰り返されます。第 2 転送はリピート転送モードのため、CPU への割り込み要求は発生しません。

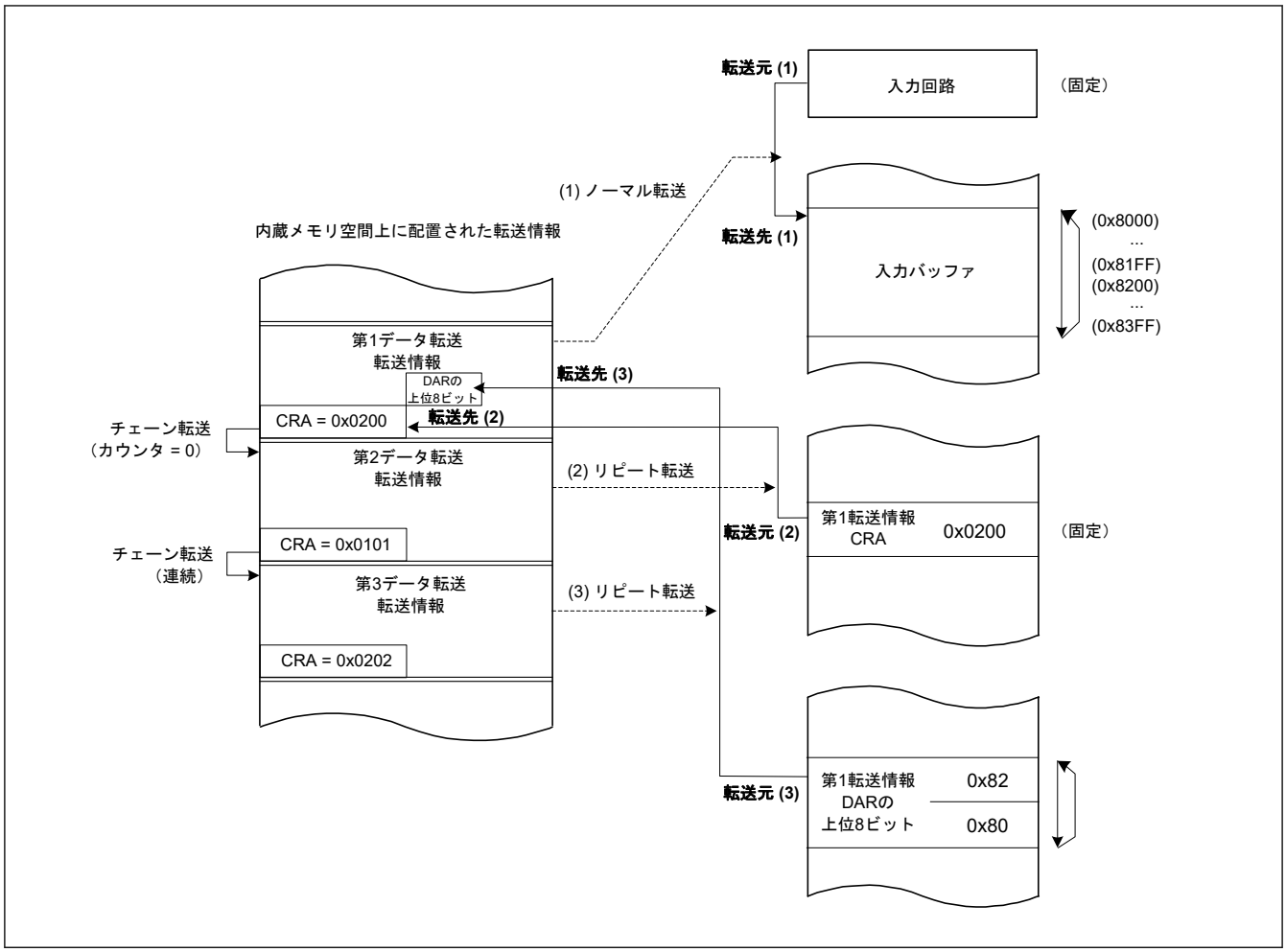


図 18.14　転送カウンタ = 0 のときのチェーン転送

18.7　DTC 転送エラーにおける処理

DTC 転送中にアクセスエラーが発生すると、DTC は即座にアクセスを停止します。DTC はエラーを引き起こしたベクタ番号のみを停止させます。

転送エラーが発生すると、エラー応答が ICU に伝わります。ICU は、転送エラーを引き起こした対応するベクタ番号の ICU.IELSRn をクリアします。SRAM への書き込みは実行されません。

その後、エラーを引き起こしたベクタ番号以外の要求があれば、そのまま再調停となります。

18.8 割り込み

18.8.1 転送終了割り込み要求

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。CPU への割り込みは、NVIC および ICU.IELSRn.IELS[9:0]ビットの設定に従って制御されます。「14. 割り込みコントローラユニット (ICU)」を参照してください。DTC では、割り込みベクタ番号が小さいほど優先順位を高くして、起動要因に優先順位を付けています。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

18.8.2 転送エラーの割り込み要求

DTC 転送中に転送エラーが検出されると、DMAC/DTC からエラー応答検出割り込み要求 DMAm_TRANSERR (m = 0, 1) が発生します。

表 18.9 に DTC 転送エラー発生時の割り込みの種類を示します。表 18.9 には転送エラー発生時に格納されるエラー情報も示されています。

表 18.9 DTC 転送エラーに起因する割り込みとエラー情報

転送エラー要因	NMI/RESET 要求(注1)	割り込み要求	バスエラー状態	エラーチャネル情報
MSAU エラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.MESRRSTAT	DTC.DTEVR
マスタ MPU エラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.MMERRSTAT	DTC.DTEVR
不正アクセスエラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.ILERRSTAT	DTC.DTEVR
スレーブバスエラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.SLERRSTAT	DTC.DTEVR
TrustZone フィルタエラー	ICU.NMISR.BUSST	DMAm_TRANSERR(注1)	BUS.BUSERRSTATDMACm.SLERRSTAT	DTC.DTEVR

注 1. ICU.NMIER.BUSEN が ICU.IELSR で設定された DMA0_TRANSERR で許可されると、DMA で生じた転送エラーが原因でノンマスカブル割り込みや割り込みが発生します。ICU.IELSR に DMAm_TRANSERR を設定しないことにより、NMI のみを発生させることができます。

18.9 イベントリンク

DTC は、1 つの転送要求の完了時にイベントリンク要求を生成できます。イベントリンク要求は、バスが DTC 転送の最後の転送先アクセスに応答したときに生成されます。DTC の書き込みアクセスにバスが応答するタイミングは、バスの構成と転送先によって異なります。バス応答の詳細については、「15.2.5. 制約事項」を参照してください。すべての DTC 転送が非バッファラブルであることに注意してください。

18.10 低消費電力機能

モジュールストップ状態、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。

(1) モジュールストップ機能

モジュールストップビットを 1 にすると、そのビットに対応する DTC が停止します。

DTC がデータを転送している最中にモジュールストップビットを 1 にした場合は、データ転送が完了してからモジュールストップ状態になります。

モジュールストップビットが 1 のときに、そのビットに対応する DTC のレジスタにアクセスすることは禁止です。

(2) ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード

「11.6.2.1. ソフトウェアスタンバイモードへの遷移」または「11.6.3.1. ディープソフトウェアスタンバイモードへの遷移」に記載された設定を使用してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定手順については、「11. 低消費電力モード」を参照してください。

低消費電力モードから復帰後、DTC 転送を行ってください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、「14.4.1. 割り込み検出選択」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

18.11 使用上の注意

18.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 16 の倍数番地でなければいけません。

18.11.2 転送情報の配置

転送情報をメモリに割り当てるときには、図 18.15 に示すように配置してください。

たとえば、CRA と CRB の設定データを 16 ビットで書き込むときには、CRA の設定データを下位アドレス 0 に、CRB の設定データを下位アドレス 2 に書き込みます。32 ビットで書き込む場合は、CRA の設定データを 32 ビットの MSB 側に、CRB の設定データを LSB 側に配置し、それらを下位アドレス 0 に書き込みます。

また、4 KB 境界をまたがないように転送情報を配置してください。

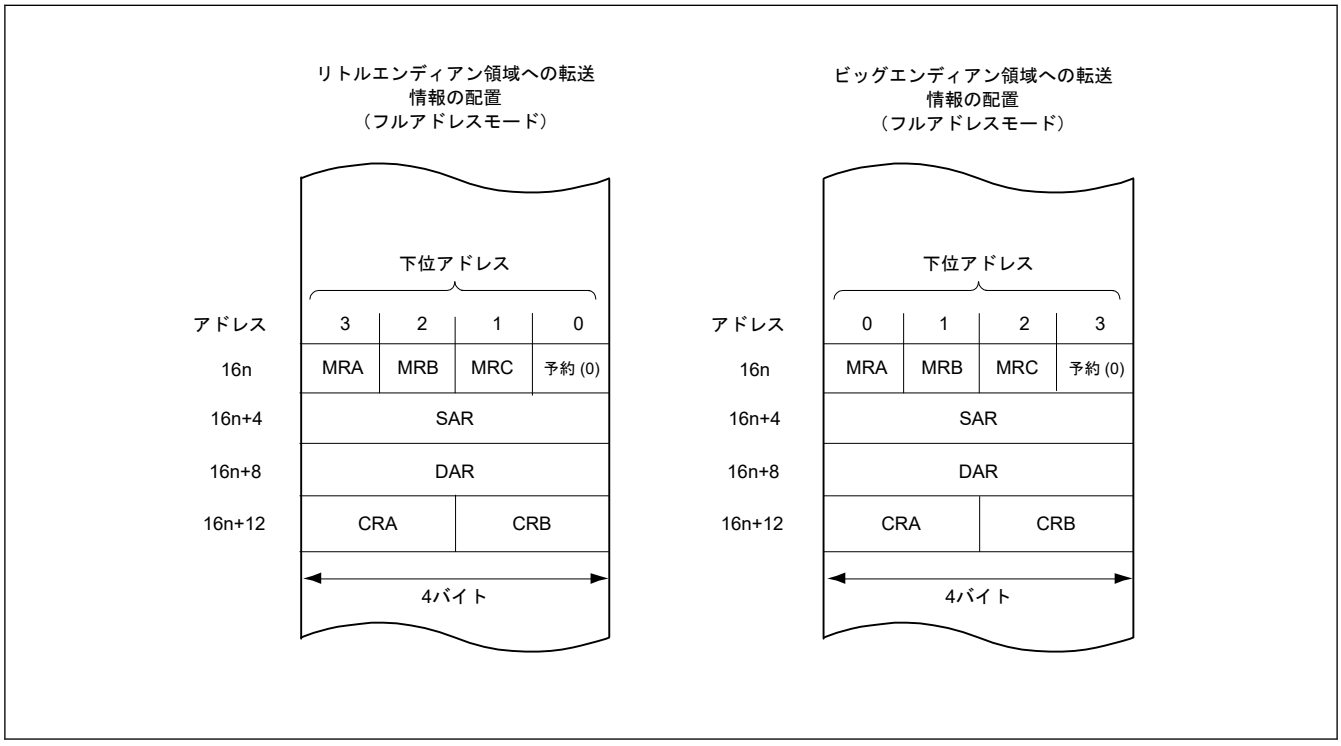


図 18.15 転送情報の配置

18.11.3 DTC 書き込みアクセスへのバスの応答

DTC の書き込みアクセスにバスが応答するタイミングは、転送先によって異なります。

「15.2.5.3. 完了タイミングの書き込みに関する注意事項」に記載されているアクセス先に書き込むとき、バスの応答は書き込み動作が完了する前に返されます。

19. イベントリンクコントローラ (ELC)

19.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 19.1 に ELC の仕様を、図 19.1 にブロック図を示します。

表 19.1 ELC の仕様

項目	内容
イベントリンク機能	322 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号と、DTC 起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	レジスタごとにセキュリティと特権の属性を設定可能

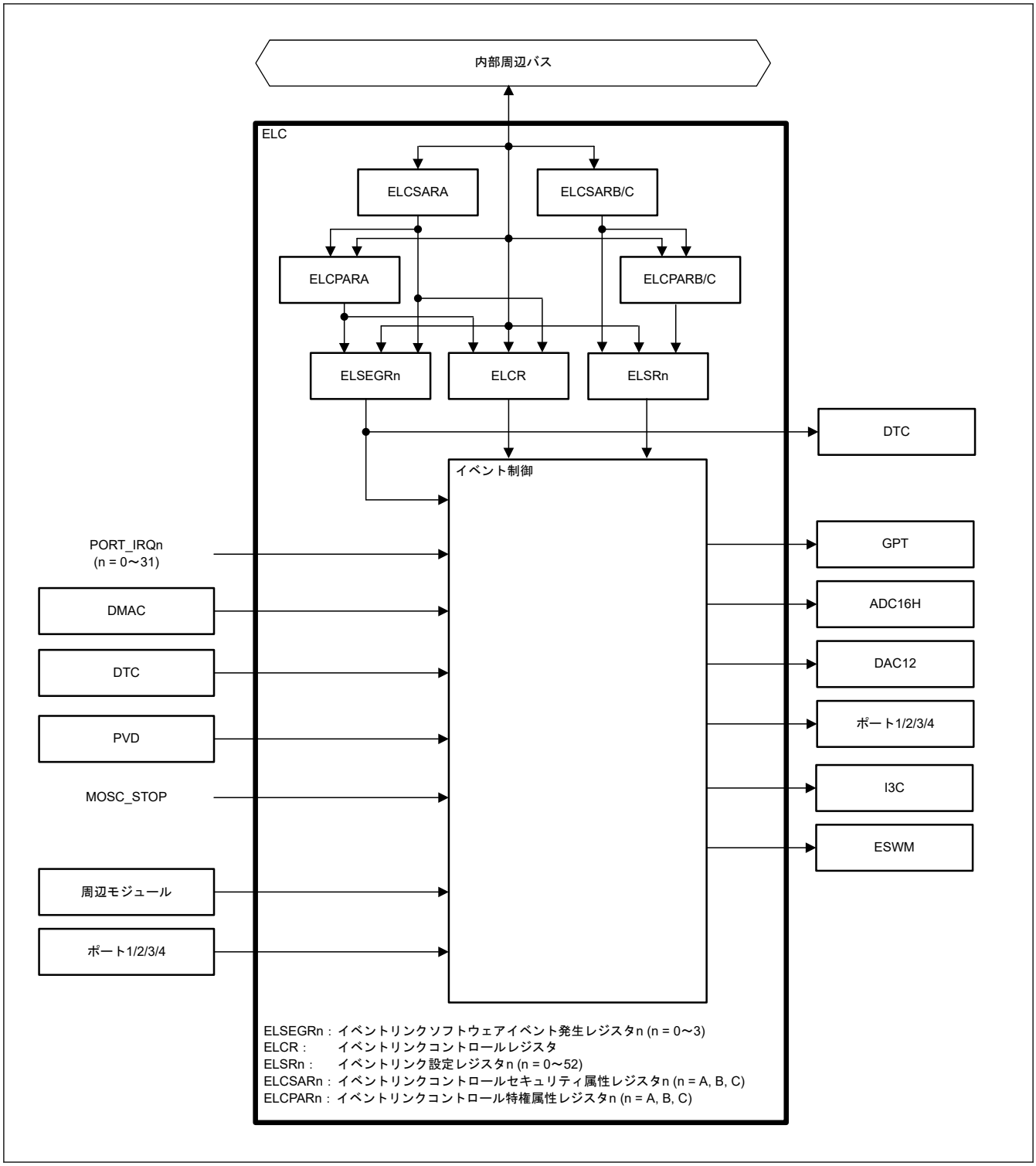


図 19.1　ELC のブロック図

19.2 レジスタの説明

19.2.1 ELCR : イベントリンクコントローラレジスタ

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ELCON	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ELCON	全イベントリンク許可 0: ELC 機能は無効 1: ELC 機能は有効	R/W

注. S-TYPE-3, P-TYPE-3

ELCR レジスタは、ELC の動作を制御します。

19.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0～3)

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x004 + 0x004 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WI	WE	—	—	—	—	—	SEG
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SEG	ソフトウェアイベント発生 0: 通常動作 1: ソフトウェアイベント発生	W
5:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	WE	SEG ビット書き込み許可 0: SEG ビットへの書き込み禁止 1: SEG ビットへの書き込み許可	R/W
7	WI	ELSEGR レジスタ書き込み禁止 0: ELSEGR レジスタへの書き込み許可 1: ELSEGR レジスタへの書き込み禁止	W

注. S-TYPE-3, P-TYPE-3

SEG ビット（ソフトウェアイベント発生）

WE ビットが 1 の状態で、SEG ビットに 1 を書くとソフトウェアイベントが発生します。読むと 0 が読めます。1 を書いてもデータは格納されません。WE ビットを 1 にしてから、本ビットに書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

WE ビット（SEG ビット書き込み許可）

WE ビットが 1 の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを 0 にクリアしてから、このビットを書く必要があります。

[1 になる条件]

- WI ビットが 0 の状態で、1 を書いたとき

[0 になる条件]

- WI ビットが 0 の状態で、0 を書いたとき

WI ビット（ELSEGR レジスタ書き込み禁止）

WI ビットへの書き込み値が 0 の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと 1 が読めます。WI ビットを 0 にしてから、WE ビットまたは SEG ビットを設定する必要があります。

19.2.3 ELSRn : イベントリンク設定レジスタ n (n = 0～52)

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x020 + 0x004 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ELS[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	ELS[9:0]	イベントリンク選択 0x000: 対応する周辺モジュールへのイベント出力は禁止 0x001: リンクするイベント信号の番号を設定 ⋮ 0x1F8: リンクするイベント信号の番号を設定 その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. P-TYPE-3

注. 本レジスタには、トラストイベントルートコントロールレジスタ (TEVTRCR) の設定によって、異なるセキュアアクセス許可があります。

セキュリティ属性がセキュアに設定されている場合

- セキュアアクセスが許可されます。
- 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが禁止されている場合、

- セキュアライトアクセスは無視されます。セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
- 非セキュアアクセスが許可されています。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが許可されている場合、

- セキュアアクセスが許可されます。
- 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは許可されます。
- TrustZone アクセスエラーは発生しません。

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定します。表 19.2 に、ELSRn レジスタと周辺モジュールの対応を示します。表 19.3 に、ELSRn レジスタに設定するイベント信号名と信号番号の対応関係を示します。

表 19.2 ELSRn レジスタと周辺機能の対応 (1/2)

レジスタ名	周辺機能（モジュール）	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF

表 19.2 ELSRn レジスタと周辺機能の対応 (2/2)

レジスタ名	周辺機能（モジュール）	イベント名
ELSR6	GPT (G)	ELC_GPTG
ELSR7	GPT (H)	ELC_GPTH
ELSR12	DAC12 チャネル 0	ELC_DA0
ELSR13	DAC12 チャネル 1	ELC_DA1
ELSR14	PORT1	ELC_PORT1
ELSR15	PORT2	ELC_PORT2
ELSR16	PORT3	ELC_PORT3
ELSR17	PORT4	ELC_PORT4
ELSR19	ADC16HA0	ELC_HAD00
ELSR20	ADC16HB0	ELC_HAD01
ELSR21	ADC16HC0	ELC_HAD02
ELSR22	ADC16HA1	ELC_HAD10
ELSR23	ADC16HB1	ELC_HAD11
ELSR24	ADC16HC1	ELC_HAD12
ELSR25	ADC16HA2	ELC_HAD20
ELSR26	ADC16HB2	ELC_HAD21
ELSR27	ADC16HC2	ELC_HAD22
ELSR30	I3C	ELC_I3C
ELSR31	ESWM	ELC_GPTP0
ELSR32	ESWM	ELC_GPTP1

表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (1/9)

イベント番号	割り込み要求の発生元	名称	内容
0x001	ポート	PORT_IRQ0(注1)	外部端子割り込み 0
0x002		PORT_IRQ1(注1)	外部端子割り込み 1
0x003		PORT_IRQ2(注1)	外部端子割り込み 2
0x004		PORT_IRQ3(注1)	外部端子割り込み 3
0x005		PORT_IRQ4(注1)	外部端子割り込み 4
0x006		PORT_IRQ5(注1)	外部端子割り込み 5
0x007		PORT_IRQ6(注1)	外部端子割り込み 6
0x008		PORT_IRQ7(注1)	外部端子割り込み 7
0x009		PORT_IRQ8(注1)	外部端子割り込み 8
0x00A		PORT_IRQ9(注1)	外部端子割り込み 9
0x00B		PORT_IRQ10(注1)	外部端子割り込み 10
0x00C		PORT_IRQ11(注1)	外部端子割り込み 11
0x00D		PORT_IRQ12(注1)	外部端子割り込み 12
0x00E		PORT_IRQ13(注1)	外部端子割り込み 13
0x00F		PORT_IRQ14(注1)	外部端子割り込み 14
0x010		PORT_IRQ15(注1)	外部端子割り込み 15
0x011		PORT_IRQ16(注1)	外部端子割り込み 16
0x012		PORT_IRQ17(注1)	外部端子割り込み 17
0x013		PORT_IRQ18(注1)	外部端子割り込み 18
0x014		PORT_IRQ19(注1)	外部端子割り込み 19
0x015		PORT_IRQ20(注1)	外部端子割り込み 20
0x016		PORT_IRQ21(注1)	外部端子割り込み 21
0x017		PORT_IRQ22(注1)	外部端子割り込み 22
0x018		PORT_IRQ23(注1)	外部端子割り込み 23
0x019		PORT_IRQ24(注1)	外部端子割り込み 24
0x01A		PORT_IRQ25(注1)	外部端子割り込み 25
0x01B		PORT_IRQ26(注1)	外部端子割り込み 26
0x01C		PORT_IRQ27(注1)	外部端子割り込み 27
0x01D		PORT_IRQ28(注1)	外部端子割り込み 28
0x01E		PORT_IRQ29(注1)	外部端子割り込み 29
0x01F		PORT_IRQ30(注1)	外部端子割り込み 30
0x020		PORT_IRQ31(注1)	外部端子割り込み 31

表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (2/9)

イベント番号	割り込み要求の発生元	名称	内容
0x040	DMAC0	DMAC00_INT	DMAC0 転送終了 0
0x041		DMAC01_INT	DMAC0 転送終了 1
0x042		DMAC02_INT	DMAC0 転送終了 2
0x043		DMAC03_INT	DMAC0 転送終了 3
0x044		DMAC04_INT	DMAC0 転送終了 4
0x045		DMAC05_INT	DMAC0 転送終了 5
0x046		DMAC06_INT	DMAC0 転送終了 6
0x047		DMAC07_INT	DMAC0 転送終了 7
0x048	DMAC1	DMAC10_INT	DMAC1 転送終了 0
0x049		DMAC11_INT	DMAC1 転送終了 1
0x04A		DMAC12_INT	DMAC1 転送終了 2
0x04B		DMAC13_INT	DMAC1 転送終了 3
0x04C		DMAC14_INT	DMAC1 転送終了 4
0x04D		DMAC15_INT	DMAC1 転送終了 5
0x04E		DMAC16_INT	DMAC1 転送終了 6
0x04F		DMAC17_INT	DMAC1 転送終了 7
0x052	DTC0	DTC0_DTCEND	DTC0 転送終了
0x055	DTC1	DTC1_DTCEND	DTC1 転送終了
0x070	PVD	PVD_PVD1	電圧監視 1 割り込み
0x071		PVD_PVD2	電圧監視 2 割り込み
0x076	MOSC	MOSC_STOP	メインクロック発振停止
0x080	ULPT0	ULPT0_ULPTI	アンダーフロー
0x081		ULPT0_ULPTCMAI	コンペアマッチ A
0x082		ULPT0_ULPTCMBI	コンペアマッチ B
0x083	ULPT1	ULPT1_ULPTI	アンダーフロー
0x084		ULPT1_ULPTCMAI	コンペアマッチ A
0x085		ULPT1_ULPTCMBI	コンペアマッチ B
0x086	AGT0	AGT0_AGTI	AGT 割り込み
0x087		AGT0_AGTCMAI	コンペアマッチ A
0x088		AGT0_AGTCMBI	コンペアマッチ B
0x089	AGT1	AGT1_AGTI	AGT 割り込み
0x08A		AGT1_AGTCMAI	コンペアマッチ A
0x08B		AGT1_AGTCMBI	コンペアマッチ B
0x092	IWDT	IWDT_NMIUNDF	IWDT アンダーフロー
0x093	WDT	WDT0_NMIUNDF	WDT アンダーフロー
0x094		WDT1_NMIUNDF	WDT アンダーフロー
0x096	RTC	RTC_PRD	周期割り込み
0x09C	IIC0	IIC0_RXI	受信データフル
0x09D		IIC0_TXI	送信データエンプティ
0x09E		IIC0_TEI	送信終了
0x09F		IIC0_EEI	転送エラー

表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (3/9)

イベント番号	割り込み要求の発生元	名称	内容
0x0A1	IIC1	IIC1_RXI	受信データフル
0x0A2		IIC1_TXI	送信データエンプティ
0x0A3		IIC1_TEI	送信終了
0x0A4		IIC1_EEI	転送エラー
0x0A6	IIC2	IIC2_RXI	受信データフル
0x0A7		IIC2_TXI	送信データエンプティ
0x0A8		IIC2_TEI	送信終了
0x0A9		IIC2_EEI	転送エラー
0x0C6	ACMPHS	ACMP_HS0(注1)	コンパレータ割り込み 0
0x0C7		ACMP_HS1(注1)	コンパレータ割り込み 1
0x0C8		ACMP_HS2(注1)	コンパレータ割り込み 2
0x0C9		ACMP_HS3(注1)	コンパレータ割り込み 3
0x0CC	ELC	ELC_SWEVT0	ソフトウェアイベント 0
0x0CD		ELC_SWEVT1	ソフトウェアイベント 1
0x0CE		ELC_SWEVT2	ソフトウェアイベント 2
0x0CF		ELC_SWEVT3	ソフトウェアイベント 3
0x0D0	I/O ポート	IOPORT_GROUP1	ポート 1 イベント
0x0D1		IOPORT_GROUP2	ポート 2 イベント
0x0D2		IOPORT_GROUP3	ポート 3 イベント
0x0D3		IOPORT_GROUP4	ポート 4 イベント
0x180	GPT	GPT_UVWEDGE	UVW のエッジイベント
0x181	GPT0	GPT0_CCMPA	コンペアマッチ A
0x182		GPT0_CCMPB	コンペアマッチ B
0x183		GPT0_CMPC	コンペアマッチ C
0x184		GPT0_CMPD	コンペアマッチ D
0x185		GPT0_CMPE	コンペアマッチ E
0x186		GPT0_CMPF	コンペアマッチ F
0x187		GPT0_OVF	オーバーフロー
0x188		GPT0_UDF	アンダーフロー
0x189		GPT0_PC	周期計数機能終了
0x18A	GPT1	GPT1_CCMPA	コンペアマッチ A
0x18B		GPT1_CCMPB	コンペアマッチ B
0x18C		GPT1_CMPC	コンペアマッチ C
0x18D		GPT1_CMPD	コンペアマッチ D
0x18E		GPT1_CMPE	コンペアマッチ E
0x18F		GPT1_CMPF	コンペアマッチ F
0x190		GPT1_OVF	オーバーフロー
0x191		GPT1_UDF	アンダーフロー
0x192		GPT1_PC	周期計数機能終了

表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (4/9)

イベント番号	割り込み要求の発生元	名称	内容
0x193	GPT2	GPT2_CCMPA	コンペアマッチ A
0x194		GPT2_CCMPB	コンペアマッチ B
0x195		GPT2_CMPC	コンペアマッチ C
0x196		GPT2_CMPD	コンペアマッチ D
0x197		GPT2_CMPE	コンペアマッチ E
0x198		GPT2_CMPF	コンペアマッチ F
0x199		GPT2_OVF	オーバーフロー
0x19A		GPT2_UDF	アンダーフロー
0x19B		GPT2_PC	周期計数機能終了
0x19C	GPT3	GPT3_CCMPA	コンペアマッチ A
0x19D		GPT3_CCMPB	コンペアマッチ B
0x19E		GPT3_CMPC	コンペアマッチ C
0x19F		GPT3_CMPD	コンペアマッチ D
0x1A0		GPT3_CMPE	コンペアマッチ E
0x1A1		GPT3_CMPF	コンペアマッチ F
0x1A2		GPT3_OVF	オーバーフロー
0x1A3		GPT3_UDF	アンダーフロー
0x1A4		GPT3_PC	周期計数機能終了
0x1A5	GPT4	GPT4_CCMPA	コンペアマッチ A
0x1A6		GPT4_CCMPB	コンペアマッチ B
0x1A7		GPT4_CMPC	コンペアマッチ C
0x1A8		GPT4_CMPD	コンペアマッチ D
0x1A9		GPT4_CMPE	コンペアマッチ E
0x1AA		GPT4_CMPF	コンペアマッチ F
0x1AB		GPT4_OVF	オーバーフロー
0x1AC		GPT4_UDF	アンダーフロー
0x1AE	GPT5	GPT5_CCMPA	コンペアマッチ A
0x1AF		GPT5_CCMPB	コンペアマッチ B
0x1B0		GPT5_CMPC	コンペアマッチ C
0x1B1		GPT5_CMPD	コンペアマッチ D
0x1B2		GPT5_CMPE	コンペアマッチ E
0x1B3		GPT5_CMPF	コンペアマッチ F
0x1B4		GPT5_OVF	オーバーフロー
0x1B5		GPT5_UDF	アンダーフロー
0x1B7	GPT6	GPT6_CCMPA	コンペアマッチ A
0x1B8		GPT6_CCMPB	コンペアマッチ B
0x1B9		GPT6_CMPC	コンペアマッチ C
0x1BA		GPT6_CMPD	コンペアマッチ D
0x1BB		GPT6_CMPE	コンペアマッチ E
0x1BC		GPT6_CMPF	コンペアマッチ F
0x1BD		GPT6_OVF	オーバーフロー
0x1BE		GPT6_UDF	アンダーフロー

表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (5/9)

イベント番号	割り込み要求の発生元	名称	内容
0x1C0	GPT7	GPT7_CCMPA	コンペアマッチ A
0x1C1		GPT7_CCMPB	コンペアマッチ B
0x1C2		GPT7_CMPC	コンペアマッチ C
0x1C3		GPT7_CMPD	コンペアマッチ D
0x1C4		GPT7_CMPE	コンペアマッチ E
0x1C5		GPT7_CMPF	コンペアマッチ F
0x1C6		GPT7_OVF	オーバーフロー
0x1C7		GPT7_UDF	アンダーフロー
0x1C9	GPT8	GPT8_CCMPA	コンペアマッチ A
0x1CA		GPT8_CCMPB	コンペアマッチ B
0x1CB		GPT8_CMPC	コンペアマッチ C
0x1CC		GPT8_CMPD	コンペアマッチ D
0x1CD		GPT8_CMPE	コンペアマッチ E
0x1CE		GPT8_CMPF	コンペアマッチ F
0x1CF		GPT8_OVF	オーバーフロー
0x1D0		GPT8_UDF	アンダーフロー
0x1D2	GPT9	GPT9_CCMPA	コンペアマッチ A
0x1D3		GPT9_CCMPB	コンペアマッチ B
0x1D4		GPT9_CMPC	コンペアマッチ C
0x1D5		GPT9_CMPD	コンペアマッチ D
0x1D6		GPT9_CMPE	コンペアマッチ E
0x1D7		GPT9_CMPF	コンペアマッチ F
0x1D8		GPT9_OVF	オーバーフロー
0x1D9		GPT9_UDF	アンダーフロー
0x1DB	GPT10	GPT10_CCMPA	コンペアマッチ A
0x1DC		GPT10_CCMPB	コンペアマッチ B
0x1DD		GPT10_CMPC	コンペアマッチ C
0x1DE		GPT10_CMPD	コンペアマッチ D
0x1DF		GPT10_CMPE	コンペアマッチ E
0x1E0		GPT10_CMPF	コンペアマッチ F
0x1E1		GPT10_OVF	オーバーフロー
0x1E2		GPT10_UDF	アンダーフロー
0x1E3		GPT10_PC	周期計数機能終了
0x1E4	GPT11	GPT11_CCMPA	コンペアマッチ A
0x1E5		GPT11_CCMPB	コンペアマッチ B
0x1E6		GPT11_CMPC	コンペアマッチ C
0x1E7		GPT11_CMPD	コンペアマッチ D
0x1E8		GPT11_CMPE	コンペアマッチ E
0x1E9		GPT11_CMPF	コンペアマッチ F
0x1EA		GPT11_OVF	オーバーフロー
0x1EB		GPT11_UDF	アンダーフロー
0x1EC		GPT11_PC	周期計数機能終了

表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (6/9)

イベント番号	割り込み要求の発生元	名称	内容
0x1ED	GPT12	GPT12_CCMPA	コンペアマッチ A
0x1EE		GPT12_CCMPB	コンペアマッチ B
0x1EF		GPT12_CMPC	コンペアマッチ C
0x1F0		GPT12_CMPD	コンペアマッチ D
0x1F1		GPT12_CMPE	コンペアマッチ E
0x1F2		GPT12_CMPF	コンペアマッチ F
0x1F3		GPT12_OVF	オーバーフロー
0x1F4		GPT12_UDF	アンダーフロー
0x1F5		GPT12_PC	周期計数機能終了
0x1F6	GPT13	GPT13_CCMPA	コンペアマッチ A
0x1F7		GPT13_CCMPB	コンペアマッチ B
0x1F8		GPT13_CMPC	コンペアマッチ C
0x1F9		GPT13_CMPD	コンペアマッチ D
0x1FA		GPT13_CMPE	コンペアマッチ E
0x1FB		GPT13_CMPF	コンペアマッチ F
0x1FC		GPT13_OVF	オーバーフロー
0x1FD		GPT13_UDF	アンダーフロー
0x1FE		GPT13_PC	周期計数機能終了
0x2B4	ESWM	GPTP_PTPOUT0	PTP パルス出力 0
0x2B5		GPTP_PTPOUT1	PTP パルス出力 1
0x2B6		GPTP_PTPOUT2	PTP パルス出力 2
0x2B7		GPTP_PTPOUT3	PTP パルス出力 3
0x2B8		GPTP_MATCH0	メディアクロックリカバリマッチ 0
0x2B9		GPTP_MATCH1	メディアクロックリカバリマッチ 1
0x2C4	SCI0	SCI0_RXI(注2)	受信データフル
0x2C5		SCI0_TXI(注2)	送信データエンプティ
0x2C6		SCI0_TEI(注2)	送信終了
0x2C7		SCI0_ERI	受信エラー
0x2C8		SCI0_AED	有効エッジ検出
0x2CA		SCI0_AM	アドレス一致イベント
0x2CB	SCI1	SCI1_RXI(注2)	受信データフル
0x2CC		SCI1_TXI(注2)	送信データエンプティ
0x2CD		SCI1_TEI(注2)	送信終了
0x2CE		SCI1_ERI	受信エラー
0x2CF		SCI1_AED	有効エッジ検出
0x2D1		SCI1_AM	アドレス一致イベント

表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (7/9)

イベント番号	割り込み要求の発生元	名称	内容
0x2D2	SCI2	SCI2_RXI(注2)	受信データフル
0x2D3		SCI2_TXI(注2)	送信データエンプティ
0x2D4		SCI2_TEI(注2)	送信終了
0x2D5		SCI2_ERI	受信エラー
0x2D6		SCI2_AED	有効エッジ検出
0x2D8		SCI2_AM	アドレス一致イベント
0x2D9	SCI3	SCI3_RXI(注2)	受信データフル
0x2DA		SCI3_TXI(注2)	送信データエンプティ
0x2DB		SCI3_TEI(注2)	送信終了
0x2DC		SCI3_ERI	受信エラー
0x2DD		SCI3_AED	有効エッジ検出
0x2DF		SCI3_AM	アドレス一致イベント
0x2E0	SCI4	SCI4_RXI(注2)	受信データフル
0x2E1		SCI4_TXI(注2)	送信データエンプティ
0x2E2		SCI4_TEI(注2)	送信終了
0x2E3		SCI4_ERI	受信エラー
0x2E4		SCI4_AED	有効エッジ検出
0x2E6		SCI4_AM	アドレス一致イベント
0x2E7	SCI5	SCI5_RXI(注2)	受信データフル
0x2E8		SCI5_TXI(注2)	送信データエンプティ
0x2E9		SCI5_TEI(注2)	送信終了
0x2EA		SCI5_ERI	受信エラー
0x2EB		SCI5_AED	有効エッジ検出
0x2ED		SCI5_AM	アドレス一致イベント
0x2EE	SCI6	SCI6_RXI(注2)	受信データフル
0x2EF		SCI6_TXI(注2)	送信データエンプティ
0x2F0		SCI6_TEI(注2)	送信終了
0x2F1		SCI6_ERI	受信エラー
0x2F2		SCI6_AED	有効エッジ検出
0x2F4		SCI6_AM	アドレス一致イベント
0x2F5	SCI7	SCI7_RXI(注2)	受信データフル
0x2F6		SCI7_TXI(注2)	送信データエンプティ
0x2F7		SCI7_TEI(注2)	送信終了
0x2F8		SCI7_ERI	受信エラー
0x2F9		SCI7_AED	有効エッジ検出
0x2FB		SCI7_AM	アドレス一致イベント

表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (8/9)

イベント番号	割り込み要求の発生元	名称	内容
0x2FC	SCI8	SCI8_RXI(注2)	受信データフル
0x2FD		SCI8_TXI(注2)	送信データエンプティ
0x2FE		SCI8_TEI(注2)	送信終了
0x2FF		SCI8_ERI	受信エラー
0x300		SCI8_AED	有効エッジ検出
0x302		SCI8_AM	アドレス一致イベント
0x303	SCI9	SCI9_RXI(注2)	受信データフル
0x304		SCI9_TXI(注2)	送信データエンプティ
0x305		SCI9_TEI(注2)	送信終了
0x306		SCI9_ERI	受信エラー
0x307		SCI9_AED	有効エッジ検出
0x309		SCI9_AM	アドレス一致イベント
0x318	SPI0	SPI0_SPRI	受信バッファフル
0x319		SPI0_SPTI	送信バッファエンプティ
0x31A		SPI0_SPII	アイドル
0x31B		SPI0_SPEI	エラー
0x31C		SPI0_SPCEND	通信完了イベント
0x31D	SPI1	SPI1_SPRI	受信バッファフル
0x31E		SPI1_SPTI	送信バッファエンプティ
0x31F		SPI1_SPII	アイドル
0x320		SPI1_SPEI	エラー
0x321		SPI1_SPCEND	送信完了イベント
0x33A	I3C	I3C_RESP	通常応答キューフル
0x33B		I3C_CMD	通常コマンドキューエンプティ
0x33C		I3C_IBI	通常 IBI キューエンプティ／フル
0x33D		I3C_RX	通常受信データバッファフル
0x33E		I3C_TX	通常送信データバッファエンプティ
0x33F		I3C_RCV	通常受信ステータスキューフル
0x340		I3C_HRESP	優先応答キューフル
0x341		I3C_HCMD	優先コマンドキューエンプティ
0x342		I3C_HRX	優先受信データバッファフル
0x343		I3C_HTX	優先送信データバッファエンプティ
0x344		I3C_TEND	送信終了
0x345		I3C_EEI	通信エラーまたはイベント発生
0x346		I3C_STEV	同期タイミング
0x347		I3C_MREFOVF	MREF カウンタオーバーフロー
0x348		I3C_MREFCPT	MREF キャプチャ
0x349		I3C_AMEV	追加マスタによるバスイベント

表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (9/9)

イベント番号	割り込み要求の発生元	名称	内容
0x34D	ADC16H	ADC_ADI0	グループ 0 の A/D スキャン終了割り込み
0x34E		ADC_ADI1	グループ 1 の A/D スキャン終了割り込み
0x34F		ADC_ADI2	グループ 2 の A/D スキャン終了割り込み
0x350		ADC_ADI3	グループ 3 の A/D スキャン終了割り込み
0x351		ADC_ADI4	グループ 4 の A/D スキャン終了割り込み
0x352		ADC_ADI5	グループ 5 の A/D スキャン終了割り込み
0x353		ADC_ADI6	グループ 6 の A/D スキャン終了割り込み
0x354		ADC_ADI7	グループ 7 の A/D スキャン終了割り込み
0x355		ADC_ADI8	グループ 8 の A/D スキャン終了割り込み
0x361		ADC_CCMPM0	複合条件コンペア 0 一致
0x362		ADC_CCMPUM0	複合条件コンペア 0 不一致
0x369		ADC_CCMPM1	複合条件コンペア 1 一致
0x36A		ADC_CCMPUM1	複合条件コンペア 1 不一致
0x36F	DOC	DOC_DOPCI	データ演算回路割り込み

注 1. パルス（エッジ検出）のみがサポートされています。
注 2. このイベントは FIFO モードではサポートされていません。

19.2.4 ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	ELSEGR3	ELSEGR2	ELSEGR1	ELSEGR0	ELCR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ELCR	イベントリンクコントローラレジスタセキュリティ属性 対象レジスタ: ELCR 0: セキュア 1: 非セキュア	R/W
1	ELSEGR0	イベントリンクソフトウェアイベント発生レジスタ 0 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	ELSEGR1	イベントリンクソフトウェアイベント発生レジスタ 1 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
3	ELSEGR2	イベントリンクソフトウェアイベント発生レジスタ 2 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
4	ELSEGR3	イベントリンクソフトウェアイベント発生レジスタ 3 セキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. 本レジスタは、PRCR_S レジスタによって書き込み保護されています。

本レジスタは、ELCR、ELSEGR0、ELSEGR1、ELSEGR2、ELSEGR3 の各レジスタのセキュリティ属性を指定します。

19.2.5 ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ELSR[31:30]		—	—	ELSR[27:19]									—	ELSR[17:16]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ELSR[15:12]				—	—	—	—	ELSR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	ELSR7～ELSR0	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ: ELSRn (n = 0～7) 0: セキュア 1: 非セキュア	R/W
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:12	ELSR17～ELSR12	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ: ELSRn (n = 12～17) 0: セキュア 1: 非セキュア	R/W
18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:19	ELSR27～ELSR19	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ: ELSRn (n = 19～27) 0: セキュア 1: 非セキュア	R/W
29:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:30	ELSR31～ELSR30	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ: ELSRn (n = 30, 31) 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1、P-TYPE-1
注. 本レジスタは、PRCR_S レジスタによって書き込み保護されています。

本レジスタは、ELSRn (n = 0～7, 12～17, 19～27, 30, 31) レジスタのセキュリティ属性を指定します。

19.2.6 ELCSARC : イベントリンクコントローラセキュリティ属性レジスタ C

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	ELSR[52:48]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ELSR[47:32]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
20:0	ELSR[52:32]	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ: ELSRn (n = 32～52) 0: セキュア 1: 非セキュア	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. 本レジスタは、PRCR_S レジスタによって書き込み保護されています。

このレジスタは、ELSRn (n = 32～52) レジスタのセキュリティ属性を指定します。

19.2.7 ELCPARA : イベントリンクコントローラプリビレッジ属性レジスタ A

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x110

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	ELSEGR3	ELSEGR2	ELSEGR1	ELSEGR0	ELCR
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	ELCR	イベントリンクコントローラレジスタプリビレッジ属性 対象レジスタ: ELCR 0: プリビレッジ 1: アンプリビレッジ	R/W
1	ELSEGR0	イベントリンクソフトウェアイベント発生レジスタ 0 プリビレッジ属性 対象レジスタ: ELSEGR0 0: プリビレッジ 1: アンプリビレッジ	R/W
2	ELSEGR1	イベントリンクソフトウェアイベント発生レジスタ 1 プリビレッジ属性 対象レジスタ: ELSEGR1 0: プリビレッジ 1: アンプリビレッジ	R/W

ビット	シンボル	機能	R/W
3	ELSEGR2	イベントリンクソフトウェアイベント発生レジスタ 2 プリビレッジ属性 対象レジスタ: ELSEGR2 0: プリビレッジ 1: アンプリビレッジ	R/W
4	ELSEGR3	イベントリンクソフトウェアイベント発生レジスタ 3 プリビレッジ属性 対象レジスタ: ELSEGR3 0: プリビレッジ 1: アンプリビレッジ	R/W
31:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-2, P-TYPE-1
注. 本レジスタは、PRCR_S レジスタと PRCR_NS レジスタによって書き込み保護されています。

本レジスタは、ELCR、ELSEGR0、ELSEGR1、ELSEGR2、ELSEGR3 の各レジスタの特権属性を指定します。

19.2.8 ELCPARB : イベントリンクコントローラプリビレッジ属性レジスタ B

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x114

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ELSR[31:30]		—	—	ELSR[27:19]									—	ELSR[17:16]	
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ELSR[15:12]				—	—	—	—	ELSR[7:0]							
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	ELSR7～ELSR0	イベントリンク設定レジスタ n 特権属性 対象レジスタ: ELSRn (n = 0～7) 0: 特権あり 1: 特権なし	R/W
11:8	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
17:12	ELSR17～ELSR12	イベントリンク設定レジスタ n 特権属性 対象レジスタ: ELSRn (n = 12～17) 0: 特権あり 1: 特権なし	R/W
18	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27:19	ELSR27～ELSR19	イベントリンク設定レジスタ n 特権属性 対象レジスタ: ELSRn (n = 19～27) 0: 特権あり 1: 特権なし	R/W
29:28	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:30	ELSR31～ELSR30	イベントリンク設定レジスタ n 特権属性 対象レジスタ: ELSRn (n = 30, 31) 0: 特権あり 1: 特権なし	R/W

注. S-TYPE-2, P-TYPE-1
注. 本レジスタは、PRCR_S レジスタと PRCR_NS レジスタによって書き込み保護されています。

本レジスタは、ELSRn (n = 0～7, 12～17, 19～27, 30, 31) レジスタの特権属性を指定します。

19.2.9 ELCPARC : イベントリンクコントローラ特権属性レジスタ C

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x118

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	ELSR[52:48]				
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ELSR[47:32]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
20:0	ELSR[52:32]	イベントリンク設定レジスタ n 特権属性 対象レジスタ: ELSRn (n = 32～52) 0: 特権あり 1: 特権なし	R/W
31:21	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-2, P-TYPE-1
注. 本レジスタは、PRCR_S レジスタと PRCR_NS レジスタによって書き込み保護されています。

本レジスタは、ELSRn (n = 32～52) レジスタの特権属性を指定します。

19.3 動作説明

19.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

19.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 19.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 19.4 イベント発生時のモジュール動作 (1/2)

モジュール	イベント入力時の動作
GPT	• カウント開始 • カウント停止 • カウントクリア • アップカウント • ダウンカウント • インプットキャプチャ
DAC12	D/A 変換開始
I/O ポート	• EORR（リセット）または EOSR（セット）に基づく端子出力の変化 • 端子状態を EIDR にラッチ • ELC で使用可能なポート PORT 1 PORT 2 PORT 3 PORT 4
I3C	動作開始
ADC16H	A/D 変換開始

表 19.4 イベント発生時のモジュール動作 (2/2)

モジュール	イベント入力時の動作
DTC	DTC データ転送開始
ESWM	メディアクロックキャプチャイベントが発生

19.3.3 イベントリンクの手順例

イベントリンクの手順は以下の通りです。

1. イベントをリンクするモジュールの動作を設定してください。
2. イベントをリンクするモジュールに対して、ELSRn.ELS[9:0]ビットを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にしてください。
4. イベント出力元モジュールの設定を行い、モジュールを起動させてください。これにより、2 つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[9:0]ビットを 0 にします。全イベントのリンク動作を停止させるためには、ELCR.ELCON ビットを 0 にします。

PVD のイベントリンク出力機能を使用する場合は、PVD の設定を行った後、ELC を設定してください。PVD を無効にするには、対応する ELSRn レジスタを 0x00 にしてから実施してください。

19.4 使用上の注意事項

19.4.1 DMAC/DTC 転送終了のイベントリンク

DMAC/DTC 転送終了のイベントリンクを使用する場合、その DMAC/DTC 転送先とイベントリンク起動先を同一周辺モジュールに設定しないでください。設定されていると、周辺モジュールへの DMAC/DTC 転送が完了する前に周辺モジュールが起動することがあります。

19.4.2 クロックの設定

イベントリンクを使用するには、ELC と関連モジュールが動作可能な状態でなければなりません。関連モジュールがモジュールストップ状態にあるか、モジュールが停止される低消費電力モード（CPU ディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード）にある場合、そのモジュールは動作できません。詳細は、表 19.3 と「11. 低消費電力モード」を参照してください。

19.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC の動作を禁止または許可することが可能です。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細については、 表 19.3 および「11. 低消費電力モード」を参照してください。

19.4.4 ELC 遅延時間

図 19.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間が存在します。表 19.5 に ELC 遅延時間を示します。

表 19.6 に各モジュール A のクロックドメインを示します。表 19.7 に各モジュール B のクロックドメインを示します。

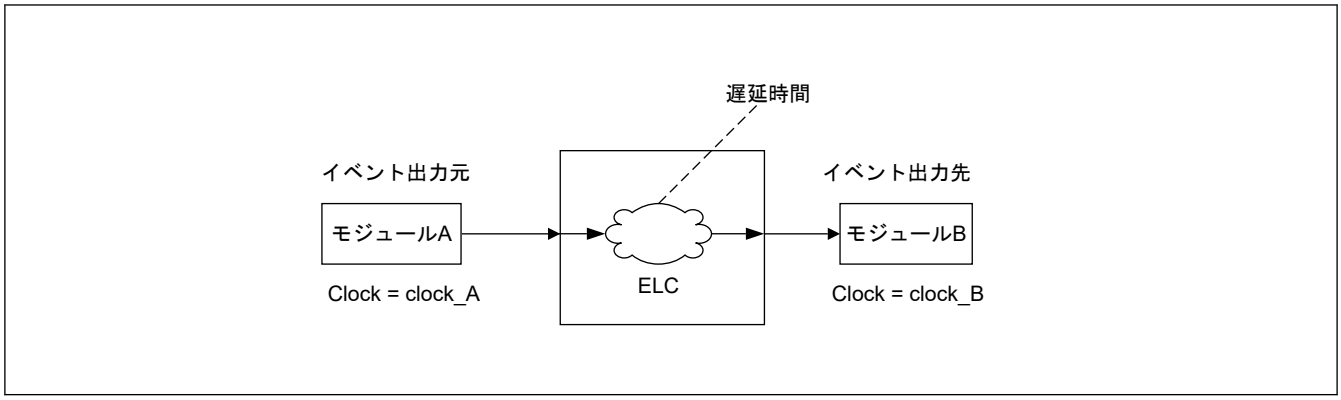


図 19.2　ELC 遅延時間

表 19.5　ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1～2 サイクル
	clock_A > clock_B	clock_B 1～2 サイクル
	clock_A < clock_B	clock_A 1～2 サイクル
clock_A ≠ clock_B	clock_A = clock_B(注2)	0 サイクル
（非同期）(注1)	—	clock_A 5 サイクル + clock_B 4 サイクル

注 1.　GPT カウント用クロックとして GPTCLK を選択した場合はこの式を使用してください。
　　送信先が ADC16H で、かつ A/D 変換クロックとして ADCCLK または GPTCLK を選択した場合はこの式を使用してください。
注 2.　GPT カウント用クロックとして GPTCLK を選択した場合の ADC 変換クロック。

表 19.6　各モジュール A のクロックドメイン

モジュール A	clock_A のクロックドメイン
SCI, SPI, I3C, ADC16H, DOC, ESWM	PCLKA
ポート、DMAC、PVD1、PVD2、MOSC、ULPT、AGT、IWDT、WDT、IIC、ACMPHS、ELC、入出力ポート	PCLKB
GPT	GPTCLK または PCLKD

表 19.7　各モジュール B のクロックドメイン

モジュール B	clock_B のクロックドメイン
I3C, ESWM	PCLKA
入出力ポート、DAC12	PCLKB
GPT	GPTCLK または PCLKD
ADC16H	ADCLK、GPTCLK、または PCLKA

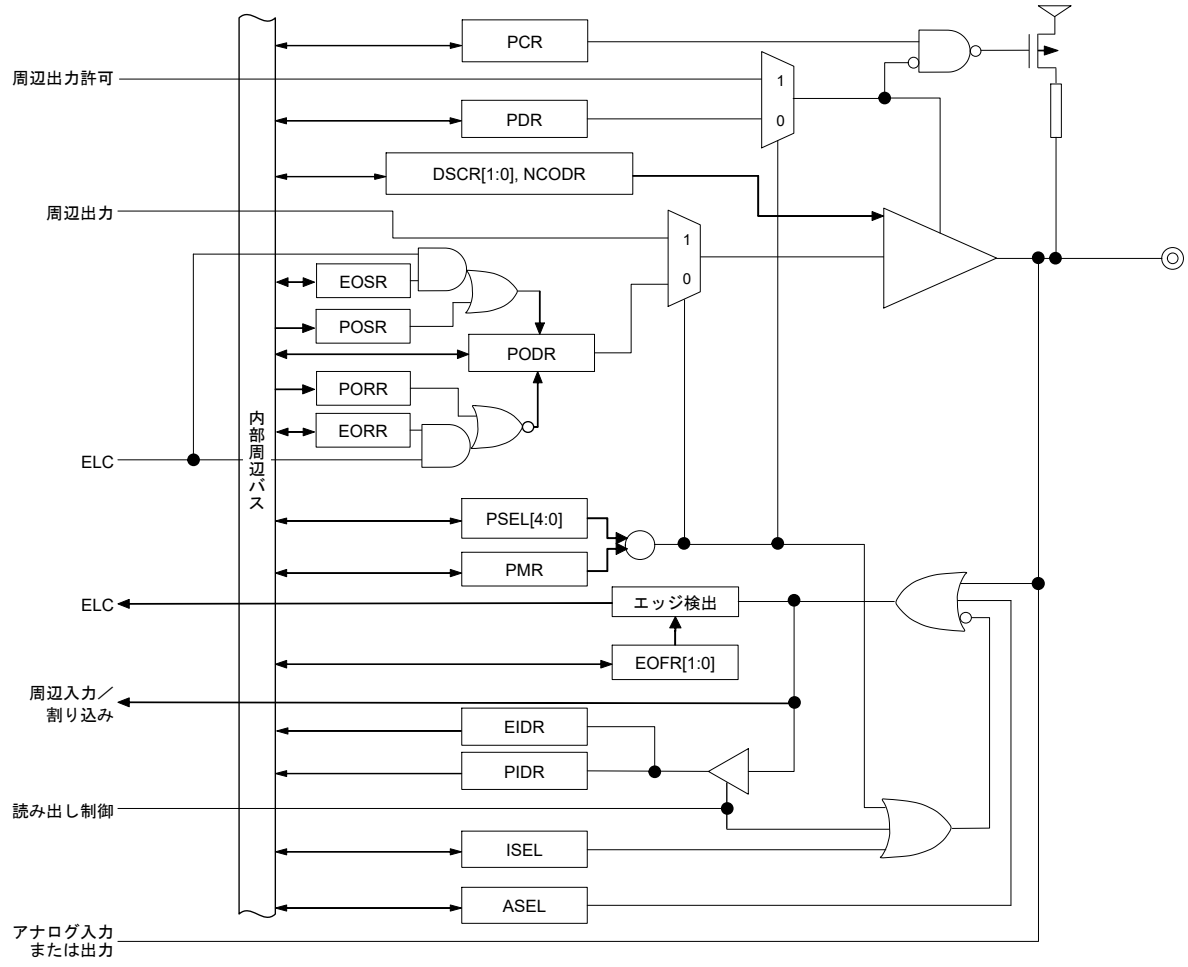
20. I/O ポート

20.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELC のポートグループ機能、またはバス制御端子として動作します。

（JTAG ポートの TDO としての）P209 を除くすべての端子は、リセット直後に入力端子として動作しますが、レジスタの設定によって端子機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、対応するレジスタで指定されます。

図 20.1 に I/O ポートレジスタの接続図を示します。パッケージによって、I/O ポートの構成は異なります。表 20.1 にパッケージ別の I/O ポートの仕様を、表 20.2 に I/O ポートの機能を示します。



注. この図はポートの基本構成を示しています。ポートによって構成は異なります。

図 20.1 I/O ポートレジスタの接続図

表 20.1 I/O ポートの仕様 (1/2)

	パッケージ		パッケージ		パッケージ		パッケージ	
ポート	289、303 ピン	端子数	224 ピン	端子数	176 ピン	端子数	169 ピン	端子数
PORT0	P000～P015	16	P000～P009, P014, P015	12	P000～P009, P014, P015	12	P000～P009, P014, P015	12
PORT1	P100～P115	16	P100～P107, P112～P115	12	P100～P107, P112～P115	12	P100～P104, P106, P107, P112～P115	11

表 20.1 I/O ポートの仕様 (2/2)

ポート	パッケージ 289、303 ピン	端子数	パッケージ 224 ピン	端子数	パッケージ 176 ピン	端子数	パッケージ 169 ピン	端子数
PORT2	P200～P215	16	P200～P206, P208～P215	15	P200, P201, P206, P208～P215	11	P200, P201, P206, P208～P215	11
PORT3	P300～P315	16	P300～P302, P304～P315	15	P300～P302, P304～P308, P310～P312	11	P300～P302, P306, P307, P310～P312	8
PORT4	P400～P415	16	P400～P411, P414, P415	14	P400～P410, P414, P415	13	P400～P405, P407～P410, P414, P415	12
PORT5	P500～P515	16	P503～P512	10	P503～P512	10	P500～P502, P509～P515	10
PORT6	P600～P615(注1)	16	P600～P604, P608～P615	13	P600, P601, P608～P615	10	P602, P603, P609, P610, P612～P615	8
PORT7	P700～P715	16	P700～P714	15	P700～P705, P707～P709	9	P700～P703, P708, P709	6
PORT8	P800～P815	16	P800～P804, P808, P809, P813～P815	10	P800～P804, P808, P809, P813～P815	10	P800～P806、P808、P809、P814、P815	11
PORT9	P900～P915	16	P902, P905～P909	6	P905～P909	5	P905～P909	5
PORTA	PA00～PA15	16	PA00～PA15	16	PA00～PA15	16	PA00, PA02～PA05, PA08～PA14	12
PORTB	PB00～PB07	8	PB00～PB04	5	PB00～PB04	5	—	0
PORTC	PC00～PC15(注1)	16	PC11～PC15	5	PC11～PC15	5	PC11, PC13, PC14	3
PORTD	PD00～PD07	8	PD00	1	PD00	1	—	0

注 1. BGA303 パッケージでは、P603～P607 および PC00～PC07 は、パッケージ内部の SiP フラッシュメモリに接続されています。

表 20.2 I/O ポートの機能 (1/2)

ポート	ポート名	入力プルアップ	オープンドレイン出力	駆動能力切り替え	5 V トレラント	入出力	電源
PORT0	P000～P015	✓	✓	低	—	入出力	AVCC0
PORT1	P100～P107	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
	P108～P115	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
PORT2	P200	✓	—	—	—	入力	VCC
	P201	✓	✓	低	—	入出力	VCC
	P202, P203	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
	P204, P205	✓	✓	低、中、高、高速高駆動	✓	入出力	VCC2
	P206～P213	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
	P214, P215	✓	—	—	—	入力	VBATT_R
PORT3	P300～P302, P304～P312	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
	P303	✓	✓	低、中、高、高速高駆動	✓	入出力	VCC
	P313～P315	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
PORT4	P400～P406, P414, P415	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
	P407～P413	✓	✓	低、中、高、高速高駆動	✓	入出力	VCC
PORT5	P500～P502	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
	P503～P510, P513	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
	P511, P512, P514, P515	✓	✓	低、中、高、高速高駆動	✓	入出力	VCC
PORT6	P600～P607	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
	P608～P615	✓	✓	低、中、高、高速高駆動	—	入出力	VCC

表 20.2 I/O ポートの機能 (2/2)

ポート	ポート名	入力プルアップ	オープンドレイン出力	駆動能力切り替え	5 V トレラント	入出力	電源
PORT7	P700～P707	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
	P708～P715	✓	✓	低、中、高、高速高駆動	✓	入出力	VCC
PORT8	P800～P804, P808～P812	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
	P805～P807, P813	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
	P814, P815	✓	✓	低、中、高、高速高駆動	—	入出力	VCC_USB
PORT9	P900, P901	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
	P902～P915	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
PORTA	PA00～PA15	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
PORTB	PB00～PB07	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
PORTC	PC00～PC10	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
	PC11～PC15	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
PORTD	PD00～PD07	✓	✓	低、中、高、高速高駆動	—	入出力	VCC

注. ✓：使用可能
—：設定禁止

20.2 レジスタの説明

20.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1

Base address: PORTm = 0x4040_0000 + 0x0020 × m (m = 0～9, A, B, C, D)
PORTm_NS = 0x5040_0000 + 0x0020 × m (m = 0～9, A, B, C, D)

Offset address: 0x000 (PCNTR1/PDR)
0x002 (PODR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PODR15	PODR14	PODR13	PODR12	PODR11	PODR10	PODR09	PODR08	PODR07	PODR06	PODR05	PODR04	PODR03	PODR02	PODR01	PODR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PDR15～PDR00	Pmn 方向 0: 入力（入力端子として機能） 1: 出力（出力端子として機能）	R/W
31:16	PODR15～PODR00	Pmn 出力データ 0: Low 出力 1: High 出力	R/W

注. S-TYPE-4, P-TYPE-5
注. m = 0～9, A, B, C, D, n = 00～15

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットまたは 16 ビットの読み出し／書き込みレジスタで、ポート方向とポート出力データを制御します。PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn（PCNTR1 のビット[15:0]）および PODRn（PCNTR1 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビット（Pmn 方向）

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定で

きます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用ポートの場合、PDRn ビットは予約ビットです。表 20.2 を参照してください。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能です。

BGA169 パッケージでは、予約端子の方向を出力に設定してください。詳細は、「20.5.9. BGA169 パッケージにおける予約端子の処理」を参照してください。

PODRn ビット（Pmn 出力データ）

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用のポートでは、PODRn ビットは予約ビットになります。表 20.2 を参照してください。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能です。

20.2.2 PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2

Base address: PORTm = 0x4040_0000 + 0x0020 × m (m = 0～9, A, B, C, D)
PORTm_NS = 0x5040_0000 + 0x0020 × m (m = 0～9, A, B, C, D)

Offset address: 0x004 (PCNTR2/PIDR)
0x006 (EIDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	PIDR15～PIDR00	Pmn 状態 0: Low レベル 1: High レベル	R
31:16	EIDR15～EIDR00(注2)	ポートイベント入力データ(注1) ELC_PORTx 信号の発生時 0: Low 入力 1: High 入力	R

注. S-TYPE-4, P-TYPE-5
注. m = 0～9, A, B, C, D, n = 00～15
注 1. x = 1、2、3、または 4、EIDR のみ
注 2. ポート 1、2、3、または 4 でサポート

ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) は、32 ビットまたは 16 ビット単位での、Pmn 状態およびポートイベント入力データへのリードアクセスを可能にします。

PCNTR2 は Pmn 状態とポートイベント入力データを指定し、32 ビット単位でアクセスされます。

PIDRn（PCNTR2 のビット[15:0]）および EIDRn（PCNTR2 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

PIDRn ビット（Pmn 状態）

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、個々のポートの端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能です。

次の機能のいずれかが有効の場合、端子状態は PIDRn に反映できません。

- RTC 時間キャプチャ入力および改ざん検出 (RTCIC)
- アナログ機能 (ASEL = 1)
- I3C バスインタフェース (I3C_SCL0, I3C_SDA0)

- JTAG/SWD インタフェース (TCK/SWCLK, TMS/SWDIO, TDI, TDO)
- トレースインタフェース (TCLK, TDATAn (n = 0～3), SWO)

EIDRn ビット（ポートイベント入力データ）

EIDRn ビットは、ELC_PORTx 信号の発生時に端子状態をラッチします。PmnPFS.PMR = 0 かつ PORTm.PCNTR1.PDRn = 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットを 1 にすると、関連する端子状態は EIDRn に反映されません。

20.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3

Base address: PORTm = 0x4040_0000 + 0x0020 × m (m = 0～9, A, B, C, D)
PORTm_NS = 0x5040_0000 + 0x0020 × m (m = 0～9, A, B, C, D)

Offset address: 0x008 (PCNTR3/POSR)
0x00A (PORR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	POSR15～POSR00	Pmn 出力設定 0: 出力に影響なし 1: High 出力	W
31:16	PORR15～PORR00	Pmn 出力リセット 0: 出力に影響なし 1: Low 出力	W

注. S-TYPE-4, P-TYPE-5
注. m = 0～9, A, B, C, D, n = 00～15

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットおよび 16 ビットの書き込み可能なレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

POSRn（PCNTR3 のビット[15:0]）および PORRn（PCNTR3 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

POSRn ビット（Pmn 出力設定）

POSR がソフトウェア書き込みによって設定されると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、POSRn ビットは予約ビットになります。表 20.2 を参照してください。

PORRn ビット（Pmn 出力リセット）

PORR がソフトウェア書き込みによってリセットされると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.PORR00 = 1 であると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、PORRn ビットは予約ビットになります。表 20.2 を参照してください。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。
注. PORRn ビットと POSRn ビットは、どちらか一方のみ設定してください。

20.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4

Base address: PORTm = 0x4040_0000 + 0x0020 × m (m = 1～4)
PORTm_NS = 0x5040_0000 + 0x0020 × m (m = 1～4)

Offset address: 0x00C (PCNTR4/EOSR)
0x00E (EORR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EOSR15～EOSR00	Pmn イベント出力設定 ELC_PORTx 信号の発生時 0: 出力に影響なし 1: High 出力	R/W
31:16	EORR15～EORR00	Pmn イベント出力リセット ELC_PORTx 信号の発生時 0: 出力に影響なし 1: Low 出力	R/W

注. S-TYPE-4, P-TYPE-5
注. m = 1～4, n = 00～15, x = 1～4

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットおよび 16 ビットの読み出し／書き込みレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

EOSRn（PCNTR4 のビット[15:0]）および EORRn（PCNTR4 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

EOSRn ビット（Pmn イベント出力設定）

EOSR が ELC_PORTx 信号の発生によって設定されると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EOSR00 が 1 になると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EOSRn ビットは予約ビットになります。表 20.2 を参照してください。

EORRn ビット（Pmn イベント出力リセット）

EORR が ELC_PORTx 信号の発生によってリセットされると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EORR00 が 1 になると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EORRn ビットは予約ビットになります。表 20.2 を参照してください。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. EORRn ビットと EOSRn ビットは、どちらか一方のみ設定してください。

20.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0～9, A, B, C, D, n = 00～15)

Base address: PFS = 0x4040_0800
PFS_NS = 0x5040_0800

Offset address: 0x000 + 0x040 × m + 0x004 × n (PmnPFS/PmnPFS_HA/PmnPFS_BY)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSEL[4:0]					—	—	—	—	—	—	—	PMR
Value after reset:	0	0	0	0(注1)	0	0	0(注1)	0(注1)	0	0	0	0	0	0	0	0(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASEL	ISEL	EOFR[1:0]		DSCR[1:0]		—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
Value after reset:	0	0	0	0	0	0(注1)	0	0	0	0	0	0(注1)	0	0	x	0

ビット	シンボル	機能	R/W
0	PODR	ポート出力データ 0: Low 出力 1: High 出力	R/W
1	PIDR	Pmn 状態 0: Low レベル 1: High レベル	R
2	PDR	ポート方向 0: 入力（入力端子として機能） 1: 出力（出力端子として機能）	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PCR	プルアップ制御 0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	NCODR	N チャネルオープンドレイン制御 0: CMOS 出力 1: NMOS オープンドレイン出力	R/W
9:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:10	DSCR[1:0]	ポート駆動能力 0 0: 低駆動 0 1: 中駆動 1 0: 高速高駆動 1 1: 高駆動	R/W
13:12	EOFR[1:0]	立ち下がり時イベント／立ち上がり時イベント(注2) 0 0: Don't care 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W
15	ASEL	アナログ入力許可 0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W
16	PMR	ポートモード制御 0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
28:24	PSEL[4:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. P201、P208、P209、P210、P211、P814、および P815 の初期値は、0x0000_0000 ではありません。P201 は 0x0000_0010、P208 は 0x0001_0010、P209 は 0x0001_0400、P210 は 0x0001_0410、P211 は 0x0001_0010、P814 は 0x1301_0000、P815 は 0x1301_0000 です。
注 2. PORTn (n = 1～4) でサポートされています。

ポート mn 端子機能選択レジスタ（PmnPFS、PmnPFS_HA、PmnPFS_BY）は、ポート mn 端子機能を選択する 32 ビット、16 ビット、または 8 ビットの読み出し／書き込みコントロールレジスタであり、32 ビット単位でアクセスされます。PmnPFS_HA（PmnPFS[15:0]ビット）は 16 ビット単位でアクセスされます。PmnPFS_BY（PmnPFS[7:0]ビット）は 8 ビット単位でアクセスされます。

使用可能なポート mn 端子は製品により異なります。詳細は、表 20.1 を参照してください。

PODR ビット（ポート出力データ）、PIDR ビット（ポート状態）、PDR ビット（ポート方向）

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

PCR ビット（プルアップ制御）

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PmnPFS.PCR の対応するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR 設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください

NCODR ビット（N チャネルオープンドレイン制御）

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください

DSCR[1:0]ビット（ポート駆動能力）

DSCR[1:0]ビットは、ポートの駆動能力を切り替えます。端子の駆動能力が固定されている場合、対応するビットは読み出し／書き込み可能ですが、駆動能力は変更できません。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

EOFR[1:0]ビット（立ち下がり時イベント／立ち上がり時イベント）

EOFR[1:0]ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOFR[1:0]ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください

ISEL ビット（IRQ 入力許可）

ISEL ビットは、IRQ 入力端子を指定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。未指定の IRQn に対する ISEL ビットは予約ビットです。

ASEL ビット（アナログ入力許可）

ASEL ビットは、アナログ端子を設定します。本ビットで、端子をアナログ端子として設定する場合、以下のように指定します。

1. ポートモード制御ビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。
2. プルアップ制御ビット (PmnPFS.PCR) で、プルアップ抵抗を無効にします。

3. ポート方向ビット (PmnPFS.PDR) で、入力を指定します。このとき、端子状態を読むことはできません。
PmnPFS レジスタは、非セキュア用ライトプロテクトレジスタ (PWPR_NS) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

PMR ビット（ポートモード制御）

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください

PSEL[4:0]ビット（周辺機能選択）

PSEL[4:0]ビットは、周辺機能を割り当てます。

20.2.6 PWPR_NS : 非セキュア用ライトプロテクトレジスタ

Base address: PFS_NS = 0x5040_0800

Offset address: 0x50C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

注. S-TYPE-7, P-TYPE-2
注. 本レジスタへのアクセスは、いずれのセキュリティ属性レジスタによっても制御されません。

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

20.2.7 PFENET : イーサネットコントロールレジスタ

Base address: PFS = 0x4040_0800
PFS_NS = 0x5040_0800

Offset address: 0x500

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	ETHIOMD1	ETHIOMD0	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	ETHIOMD0	イーサネットモード I/O 設定チャネル 0 0: GMII モード（ESWM チャネル 0） 1: MII モード（ESWM チャネル 0）	R/W
5	ETHIOMD1	イーサネットモード I/O 設定チャネル 1 0: GMII モード（ESWM チャネル 1） 1: MII モード（ESWM チャネル 1）	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. ETHIOMD0/1 ビットへのアクセスは、PSARC.PSARC30 ビットと PPARC.PPARC30 ビットにより制御されます。

ETHIOMD0/ETHIOMD1 ビット（イーサネットモード I/O 設定チャネル 0 およびイーサネットモード I/O 設定チャネル 1）

ESWM の送信データ出力ポートを GMII/RGMII ポートとして使用する場合は、ETHIOMDn ビットと DSCR[1:0] ビットで駆動能力を設定できます。設定の詳細を以下の表に示します。

インタフェース種別	PSEL[4:0]	ETHIOMDn	VCC 電圧[V]	DSCR [1:0]	駆動能力
MII のみ	0x16	1b	3.6～2.7	01b	中駆動
MII/GMII		0b	3.6～3.0	01b	RGMII/3.3 V
			2.7～2.3	11b	RGMII/2.5 V
RMII	0x17	—	3.6～2.7	11b	高駆動
RGMII	0x18		3.6～3.0	01b	RGMII/3.3 V
			2.7～2.3	11b	RGMII/2.5 V

ETHIOMDn ビットと DSCR[1:0]ビットに上表に記載のない設定を行った場合、電気的特性は保証されません。

20.2.8 PWPR_S : セキュア用ライトプロテクトレジスタ

Base address: PFS = 0x4040_0800

Offset address: 0x514

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

注. S-TYPE-6, P-TYPE-2

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmSAR レジスタによって「セキュア」に設定された I/O ポート端子の PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

20.2.9 PmSAR : ポートセキュリティ属性レジスタ (m = 0〜9, A, B, C, D)

Base address: PFS = 0x4040_0800
PFS_NS = 0x5040_0800

Offset address: 0x530 + 0x004 × m

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMNSA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMNSA[15:0]	Pmn のセキュリティ属性 対象の I/O ポート端子：Pmn 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1, P-TYPE-1
注. このレジスタは PRCR レジスタによって書き込み保護されています。
注. m = 0〜9, A, B, C, D, n = 00〜15

ポートセキュリティ属性レジスタは、各ポートのセキュリティ属性を設定するための 16 ビットのレジスタであり、16 ビット単位でのみアクセスされます。

PMNSA[15:0]ビット（Pmn のセキュリティ属性）

PmnSA ビットは Pmn のセキュリティ属性を指定します。

20.2.10 LVOCR : 低電圧動作コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xAB0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	LVO1E	LVO0E
Value after reset:	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	LVO0E	低電圧動作 0 許可 0: 禁止 1: 許可	R/W
1	LVO1E	低電圧動作 1 許可 0: 禁止 1: 許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

低電圧動作コントロールレジスタは、VCC/VCC2 が 2.7 V より低い場合の入出力を制御します。

LVO0E ビット（低電圧動作 0 許可）

VCC が 2.7 V より低い場合、LVO0E ビットを 1 にしてください。

LVO1E ビット（低電圧動作 1 許可）

VCC2 が 2.7 V より低い場合、LVO1E ビットを 1 にしてください。

20.3 動作

20.3.1 汎用入出力ポート

P208、P211、P814、P815 以外のすべての端子は、リセット後は汎用入出力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn: n = 1～4) によるポート単位のアクセス、またはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「20.2. レジスタの説明」を参照してください。

各ポートには以下のビットがあります。

- ポートセキュリティ属性レジスタ (PmSAR) (m = 0～9, A, B, C, D) はセキュリティ属性を示します。
- ポート方向ビット (PDRn)：入力／出力の方向を選択する
- ポート出力データビット (PODRn)：出力用データを格納する
- ポート入力データビット (PIDRn)：端子状態を示す
- イベント入力データビット (EIDRn)：ELC_PORTn（n = 1、2、3、または 4）信号発生時の端子状態を示す
- ポート出力設定ビット (POSRn)：ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORRn)：ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSRn)：ELC_PORTn（n = 1、2、3、または 4）信号発生時の出力値を示す
- イベント出力リセットビット (EORRn)：ELC_PORTn（n = 1、2、3、または 4）信号発生時の出力値を示す

20.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- セキュリティ機能：各端子のセキュリティ属性
- 入出力設定：CMOS 出力または NMOS オープンドレイン出力、プルアップ制御、および駆動能力制御
- 汎用入出力ポート：ポート方向、出力データ設定、および読み出し入力データ
- 代替機能：端子への機能の割り当て

各端子は、ポート mn 端子機能選択レジスタ (PmnPFS) に関連付けられます。このレジスタには対応するビット PODR、PIDR、および PDR があります。さらに、PmnPFS レジスタには以下のビットがあります。

- PCR：入力プルアップ MOS のオン／オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR：各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- DSCR[1:0]：駆動能力を選択するための駆動能力制御ビット
- EOFR[1:0]：ポートグループから入力されるイベントのエッジを選択
- ISEL：IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL：アナログ端子を設定するためのアナログ入力許可ビット
- PMR：各ポートの端子機能を設定するためのポートモードビット
- PSEL[4:0]：対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート mn 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は「20.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0～9, A, B, C, D, n = 00～15)」を参照してください。

20.3.3 ELC のポートグループ機能

本 MCU では、PORT1～PORT4 が ELC ポートグループ機能に割り当てられています。

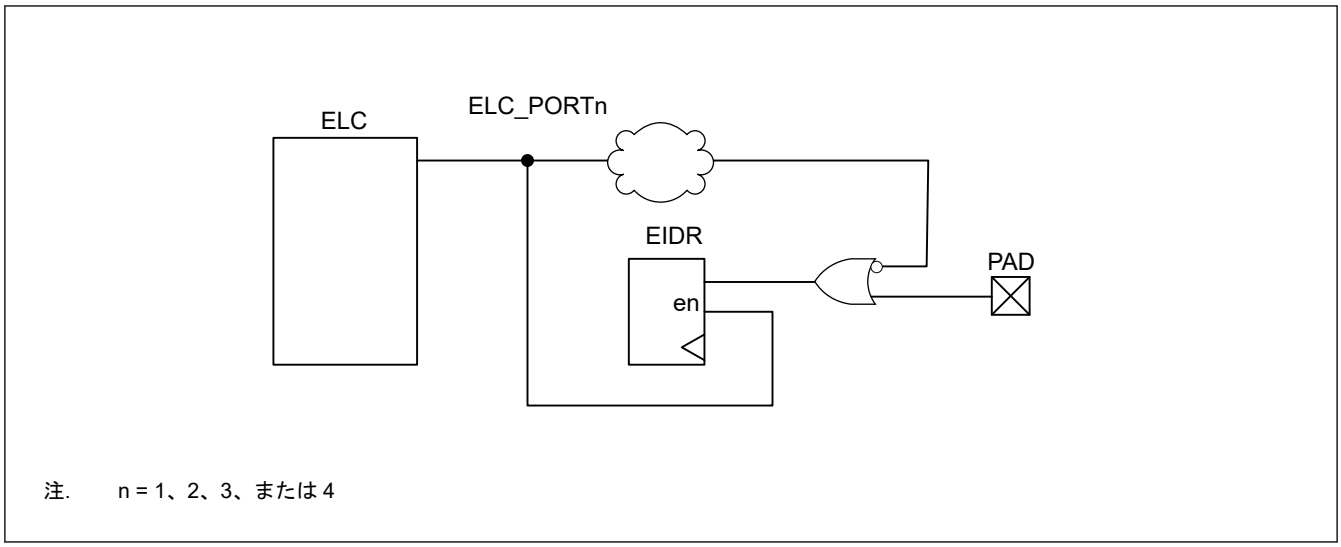
20.3.3.1 ELC から ELC_PORTn（n = 1、2、3、または 4）が入力された場合の動作

ELC から ELC_PORTn（n = 1、2、3、または 4）信号が入力されたとき、本 MCU は、以下に示す 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能（PmnPFS レジスタの PDR = 0 および PMR = 0）では、ELC から ELC_PORTn（n = 1、2、3、または 4）信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み出されます。図 20.2 を参照してください。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。



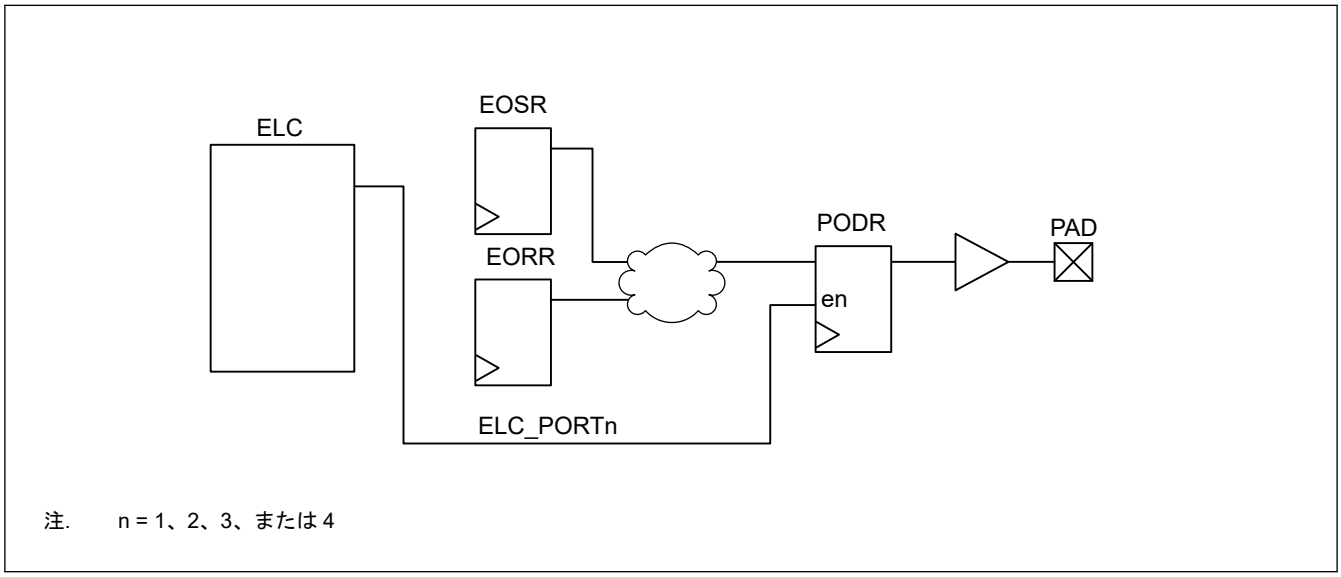
注. n = 1、2、3、または 4

図 20.2 イベントポート入力データ

(2) EOSR および EORR による PODR からの出力

ELC_PORTn（n = 1、2、3、または 4）信号の発生時に、EOSR および EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC_PORTn（n = 1、2、3、または 4）信号発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値が保持されます。
- EORR を 1 にすると、ELC_PORTn（n = 1、2、3、または 4）信号発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値が保持されます。



注. n = 1、2、3、または 4

図 20.3 イベントポート出力データ

20.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを出力するには、PmnPFS レジスタの EOFR[1:0]ビットを設定します。詳細は、「20.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0〜9, A, B, C, D, n = 00〜15)」を参照してください。EOFR[1:0]ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえばポート 1 に対して、P100 から P115 へデータが入力されると、これら 16 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート n (n = 2〜4) の動作もポート 1 と同様です。図 20.4 を参照してください。

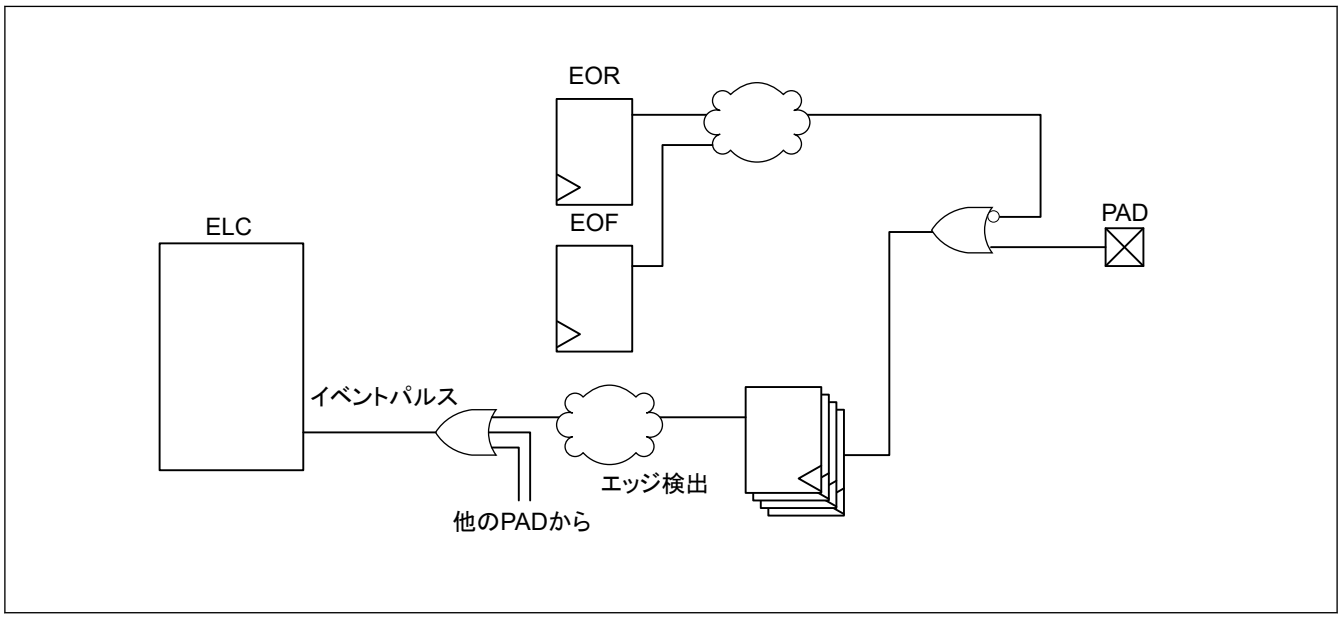


図 20.4 イベントパルスの発生

20.4 未使用端子の処理

表 20.3 に、未使用端子の処理方法を示します。

表 20.3 未使用端子の処理 (1/2)

端子名	説明
MD	モード選択端子として使用してください。
RES	抵抗を介して VCC に接続してください。
USB_DP, USB_DM	● 前提条件： – VCC_USB：VCC に接続してください。 – VSS_USB：VSS に接続してください。 – USBFS 用にモジュールストップ状態に設定してください (MSTPCRB.MSTPB11 = 1)。 ● 処理の詳細： – P814PFS.PMR ビットと P815PFS.PMR ビットが両方とも 1 の場合、これらの端子を開放してください。 – P814PFS.PMR ビットまたは P815PFS.PMR ビットが 0 の場合、ポート P814 や P815 と同様に設定してください。
P200/NMI	抵抗を介して VCC に接続してください。
EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P212）に設定してください。 この端子をポート P212 として使用しない場合、他のポートと同じ方法で設定してください。
XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P213）に設定してください。 外部クロックが EXTAL 端子に入力される場合、XTAL 端子は P213 として機能します。この端子をポート P213 として使用しない場合、他のポートと同じ方法で設定してください。
XCIN/EXCIN	サブクロック発振器を使用しない場合、SOSCCR.SOSTP ビットを 1 に設定し SOMCR.SOSEL ビットを 0（汎用ポート P215）に設定する。 この端子をポート P215 として使用しない場合、ポート P214 や P215 と同じ方法で設定する。

表 20.3 未使用端子の処理 (2/2)

端子名	説明
XCOUT	サブクロック発振器を使用しない場合、SOSCCR.SOSTP ビットを 1（汎用ポート P214）に設定する。外部クロックが EXCIN 端子に入力される場合、XCOUT 端子は P214 として機能する。この端子をポート P214 として使用しない場合、ポート P214 や P215 と同じ方法で設定する。
P000～P015	• 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して AVCC0 に接続、または抵抗を介して AVSS0 に接続してください。(注1) • 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放してください。(注1)
P100～P107, P202～P205, P313～P315, P500～P502, P600～P607, P800～P804, P808～P812, P900, P901, PC00～PC10	• 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC2 に接続、または抵抗を介して VSS に接続してください。(注1) • 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放してください。(注1)
P214, P215	抵抗を介して VSS に接続
P814, P815	• 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC_USB に接続、または抵抗を介して VSS に接続(注1) • 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放(注1)
その他のポート	• 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC に接続、または抵抗を介して VSS に接続(注1)(注2) • 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放(注1)(注3)
USBHS_DP, USBHS_DM, USBHS_RREF	• 前提条件： – AVCC_USBHS = VCC_USBHS：VCC に接続してください。 – VSS1_USBHS = VSS2_USBHS：VSS に接続してください。 – USBHS 用にモジュールストップ状態に設定してください (MSTPCRB.MSTPB12 = 1)。 • 処理の詳細： – USBHS_DP、USBHS_DM、および USBHS_RREF：開放
VREFH0、VREFH	AVCC0 に接続
VREFL0、VREFL	AVSS0 に接続してください。
VLO	端子を開放してください。(注4)
VBATT	VCC に接続してください。

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。
注 2. P208、P210、および P211 は初期値 (PmnPFS.PCR = 1) から入力プルアップが有効なので、抵抗を介しての VCC プルアップが推奨されます。
注 3. P209 は初期値から出力なので、方向を出力 (PCNTR1.PDRn = 1) に設定することを推奨します。
注 4. 詳細は、「61. 内部電圧レギュレータ」を参照してください。

20.5 使用上の注意

20.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR_NS.B0WI ビットをクリアします。PWPR_NS.PFSWE ビットへの書き込みが許可されます。(注1)
2. PWPR_NS.PFSWE ビットを 1 にします。PmnPFS レジスタへの書き込みが許可されます。(注1)
3. 当該端子の PMR のポートモード制御ビットを 0 にして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0]ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR_NS.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。(注1)
7. PWPR_NS.B0WI ビットを 1 にします。PWPR_NS.PFSWE ビットへの書き込みが禁止されます。(注1)

注 1. Pmn のセキュリティ属性が 0 のとき、PmnPFS レジスタへの書き込みをするには PWPR_S レジスタを設定する必要があります。

20.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート n (n = 1～4)）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[8:0]ビットをすべて 0 にして、意図しないパルスを無視します。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。
2. PmnPFS レジスタの EOFR[1:0]ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100 ns）待ちます。意図しないパルスを無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[8:0]ビットを設定して、イベント信号を許可します。

20.5.3 ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. ELC_PORTn（n = 1、2、3、または 4）信号発生時に PCNTR4.EORR ビットを 1 にすると、0 を出力する。
2. ELC_PORTn（n = 1、2、3、または 4）信号発生時に PCNTR4.EOSR ビットを 1 にすると、1 を出力する。
3. PCNTR3.PORR が 1 になると、0 を出力する。
4. PCNTR3.POSR が 1 になると、1 を出力する。
5. PCNTR1.PODRn が設定されると、0 または 1 を出力する。
6. PmnPFS.PODRn が設定されると、0 または 1 を出力する。

上記の番号は、PODRn への書き込み優先順位に相当しています。たとえば、上記の 1.と 3.が同時に発生した場合、優先順位の高い 1.が実行されます。

20.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット (PMR) とポート方向ビット (PDRn) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビット (ASEL) を 1 にしてください。

20.5.5 入出力バッファの仕様

P402、P403、および P404 は、RTC 入力、改ざん検出、およびその他の周辺機能として使用できます。表 20.4 に P402、P403、P404 の仕様を示します。

表 20.4 P402、P403、P404 の仕様

I/O ポート	RTC と改ざん検出			その他の周辺機能	
	RTC と改ざん検出入力イネーブルレジスタ	RTC	改ざん検出	その他の周辺機能イネーブルレジスタ	ADC16H、GPT、CAC、ESWM、CANFD、SCI、SSIE、SDHI、および割り込み
P402	VBTICTLR.VCH0INEN	RTCIC0	RTCIC0	P402PFS.PSEL および PMR	詳細は、「20.6. 製品ごとの周辺選択設定」を参照してください。
P403	VBTICTLR.VCH1INEN	RTCIC1	RTCIC1	P403PFS.PSEL および PMR	
P404	VBTICTLR.VCH2INEN	RTCIC2	RTCIC2	P404PFS.PSEL および PMR	

これらの RTC 入力と改ざん検出は、VBTICTLR レジスタによって制御されます。また、このレジスタは、機能選択において最優先されます。

RTC 入力と改ざん検出が選択されているかどうかに関わらず、P402、P403、および P404 は IRQn-DS (n = 4, 14, 15) として使用できます。これらの割り込みを使用する場合、VBTICTLR レジスタを設定した後に、割り込み手順を設定してください。「12.2.8. VBTICTLR : VBATT 入力コントロールレジスタ」を参照してください。

図 20.5 を参照してください。

VBTICTLR レジスタは、VBATT_POR リセットによってのみ初期化されます。そのため、RTC 入力と改ざん検出を使用しない場合、VBTICTLR レジスタの対応するビットは、VBATT_POR リセット以外のリセット後に 0 にする必要があります。

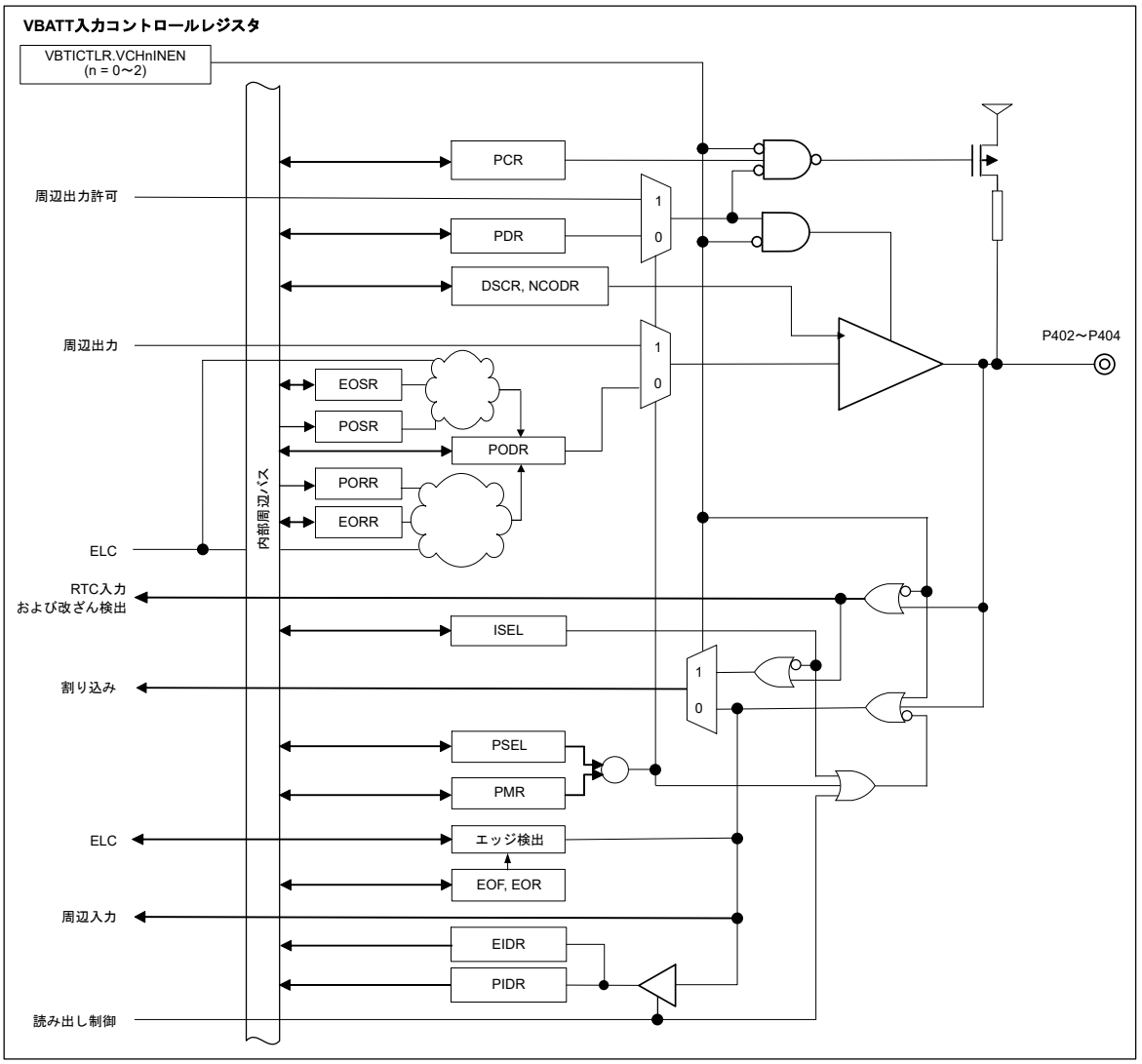


図 20.5　P402、P403、P404 の接続図

20.5.6　USB_DP 端子と USB_DM 端子の選択

USB_DP 端子と USB_DM 端子はそれぞれ P814 端子と P815 端子で共有されます。USB_DP 端子と P814 端子は、PFS.P814PFS.PMR ビットで設定できます。USB_DM 端子と P815 端子は、PFS.P815PFS.PMR ビットで設定できます。表 20.5 に、各選択端子における PFS.P814PFS.PMR ビットと PFS.P815PFS.PMR ビットの設定値を示します。

表 20.5　USB/PORT 端子の選択

PMR ビットの設定		端子選択	
P814PFS.PMR ビット	P815PFS.PMR ビット	P814/USB_DP 端子	P815/USB_DM 端子
0	0	P814	P815
0	1	P814	P815
1	0	P814	P815
1	1	USB_DP	USB_DM

注.　P814/USB_DP 端子と P815/USB_DM 端子を GPIO 端子 (P814, P815) として使用する場合、USB 関連レジスタを初期値で使用してください。

注. P814/USB_DP 端子と P815/USB_DM 端子を USB 端子 (USB_DP, USB_DM) として使用する場合、P814 と P815 の GPIO 関連レジスタを初期値で使用してください。
注. P814/USB_DP 端子と P815/USB_DM 端子を GPIO 端子または USB 端子として使用する場合、リセット後にこれらの端子を 1 回だけ設定してください。

20.5.7 USBFS/GPIO 機能における P814 と P815 のプルアップ／プルダウン設定

P814 と P815 の GPIO 機能を使用する場合、USBFS レジスタのプルアップ／プルダウン機能が P814 と P815 に影響を及ぼします。したがって、GPIO 機能を使用する前に、USBFS のプルアップ／プルダウン制御は禁止する必要があります。コントロールレジスタは、SYSCFG.DPRPU ビットと SYSCFG.DRPD ビットです。

20.5.8 P215 および P214 使用時の注意事項

表 20.6 に、P215 および P214 の端子選択と注意事項を示します。

表 20.6 P215 および P214 の端子選択と注意事項

番号	P215	P214	説明
1	XCIN	XCOUT	許可(注3)
2	EXCIN(注1)	汎用入力(注1)	許可(注4)
3	EXCIN(注1)	未使用(注2)	許可(注4)
4	汎用入力(注1)	汎用入力(注1)	許可(注5)
5	汎用入力(注1)	未使用(注2)	許可(注5)
6	未使用(注2)	汎用入力(注1)	許可(注6)
7	未使用(注2)	未使用(注2)	許可(注6)

注 1. VCC > $V_{DETBATT}$ の場合、この端子には VCC を超える電圧を入力しないでください。
VCC≦$V_{DETBATT}$ の場合、この端子には V_{BATT} を超える電圧を入力しないでください。
注 2. 未使用の端子は抵抗を介して VSS に接続してください。
注 3. SOMCR.SOSEL ビットを 0 に、SOSCCR.SOSTP ビットを 0 に設定します。
注 4. SOMCR.SOSEL ビットを 1 に、SOSCCR.SOSTP ビットを 0 に設定します。
注 5. SOMCR.SOSEL ビットを 0 に、SOSCCR.SOSTP ビットを 1 に設定します。
注 6. SOSCCR.SOSTP ビットを 1 に設定します。

20.5.9 BGA169 パッケージにおける予約端子の処理

表 20.7 に BGA169 パッケージにおける予約端子の処理方法を示します。

表 20.7 BGA169 パッケージにおける予約端子の処理

端子名	内容
P010, P011, P012, P013, P105, P108, P109, P110, P111, P202, P203, P204, P205, P207, P303, P304, P305, P308, P309, P313, P314, P315, P406, P411, P412, P413, P503、P504、P505、P506、P507、P508、 P600, P601, P604, P605, P606, P607, P608, P611, P704, P705, P706, P707, P710, P711, P712, P713, P714, P715, P807, P810, P811, P812, P813, P900, P901, P902, P903, P904, P910, P911, P912, P913, P914, P915, PA01, PA06, PA07, PA15, PB00, PB01, PB02, PB03, PB04, PB05, PB06, PB07, PB08, PB09, PB10, PB11, PB12, PB13, PB14, PC00, PC01, PC02, PC03, PC04, PC05, PC06, PC07, PC08, PC09, PC10, PC12, PC15, PD00, PD01, PD02, PD03, PD04, PD05, PD06, PD07	方向を出力に設定する (PCNTR1.PDRn = 1)

20.6 製品ごとの周辺選択設定

本項では、PmnPFS レジスタを用いた端子機能選択設定について説明します。いくつかの端子名には、_A、_B、または_C という接尾語が付加されています。IIC、SPI、SSIE、および SDHI の各機能を割り当てる場合、同じ接

尾語の機能端子を選択してください。その他の端子は、接尾語に関係なく選択可能です。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることはしないでください。

1. Pmn 端子機能選択レジスタ (PmnPFS) では、対象端子の PMR ビットが 0 のときに、PSEL ビットを設定する必要があります。PMR ビットが 1 のときに PSEL ビットを設定すると、入力機能の場合は意図しないエッジが入力され、出力機能の場合は意図しないパルスが外部端子に出力される場合があります。
2. PmnPFS レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。
3. PmnPFS レジスタでは、1 つの機能を複数の端子に割り付けないでください。GPT1、GPT5、SCI3、IIC0、SPI0 がセキュアに設定され、かつ PmSAR レジスタによってセキュリティ属性が「セキュア」に設定されている端子にこれらの端子機能が割り付けられているとき、セキュリティ属性が「非セキュア」に設定されている他の端子にセキュアな端子に割り付けられているのと同じ機能を設定するための PSEL ビットへの書き込みは無視されます。たとえば、PSARE.PSARE30 ビットが 0（GPT1 がセキュア）、P209PFS.PSEL ビットが 00011b（端子機能は GTIOC1A）で P2SAR.P209SA ビットが 0（P209 はセキュア）の場合、P4SAR.P405SA ビットが 1（P405 は非セキュア）のときの P405PFS.PSEL ビットへの 00011b の書き込みは無視されます。
4. PORT0、PORT5、および PORT8 は、A/D コンバータなどのアナログ機能を持っています。これらの端子をアナログ機能として使用する場合、分解能の低下を防止するため、PMR ビットと PDR ビットは 0 にしてください。その後、ASEL ビットを 1 にしてください。

表 20.8　入出力端子機能のレジスタ設定 (PORT0)

PSEL[4:0] 設定値	機能	端子															
		P000	P001	P002	P003	P004	P005	P006	P007	P008	P009	P010	P011	P012	P013	P014	P015
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
ASEL ビット		AN000/IVCMP2	AN001/IVCMP3	AN002/IVCMP2	AN003/IVCMP3	AN004/IVCMP2	AN005/IVCMP3	AN006/IVCMP2	AN007/IVCMP3	AN008/IVREF0	AN009/IVREF1	AN010	AN011	AN012	AN013	AN014/DA0/IVCMP0	AN015/DA1/IVCMP0
ISEL		IRQ6-DS	IRQ7-DS	IRQ8-DS	IRQ29	IRQ9-DS	IRQ10-DS	IRQ11-DS	IRQ28	IRQ12-DS	IRQ13-DS	IRQ14	IRQ16	IRQ15	IRQ14	IRQ27	IRQ13
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0] ビット	駆動能力制御(注1)	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	✓	✓
176 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	✓	✓
169 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	✓	✓

✓：使用可能
—：設定禁止

注 1.　このポートの駆動強度は、PmnPFS.DSCR[1:0]ビットで制御することはできません。

表 20.9　入出力端子機能のレジスタ設定 (PORT1) (1/2)

PSEL [4:0]設定値	機能	端子															
		P100	P101	P102	P103	P104	P105	P106	P107	P108	P109	P110	P111	P112	P113	P114	P115
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	AGTIO0	AGTEE0	AGTO0	—	—	—	AGTOB0	AGTOA0	—	—	—	—	—	—	—	—
00010b	GPT(注2)	GTETRGA	GTETRGB	GTOWLO	GTOWUP	GTETRGB	—	GTOWLO	GTOWUP	—	—	—	—	GTETRGA	GTETRGB	GTETRGC	GTETRGD
00011b	GPT(注2)	GTIOC8B	GTIOC8A	GTIOC2B	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC8B	GTIOC8A	GTIOC10B	GTIOC10A	GTIOC9B	GTIOC9A	GTIOC3B	GTIOC2A	GTIOC2B	GTIOC5A
00100b	SCI(注1)	—	—	—	—	—	CTS_RTS8_B/SS8_B	CTS8_B	CTS4_A	—	—	—	—	TXD0_A/SDA0_A/MOSI0_A	RXD0_A/SCL0_A/MISO0_A	CTS_RTS0_A/SS0_A	CTS0_A

表 20.9　入出力端子機能のレジスタ設定 (PORT1) (2/2)

PSEL [4:0]設定値	機能	端子															
		P100	P101	P102	P103	P104	P105	P106	P107	P108	P109	P110	P111	P112	P113	P114	P115
00101b	SCI(注1)	SCK9_A	RXD9_A/SCL9_A/MISO9_A	TXD9_A/SDA9_A/MOSI9_A	CTS_RTS9_A/SS9_A	CTS9_A	—	—	—	—	—	—	—	—	—	—	—
00110b	SPI(注1)	MISOB_A	MOSIB_A	RSPCKB_A	SSLB0_A	SSLB1_A	SSLB2_A	SSLB3_A	—	—	—	—	—	SSLA2_B	SSLA1_B	SSLA0_B	MOSIA_B
01010b	CAC/ADC16H	—	—	ADTRG0	AD1FLAG1	AD0FLAG1	ADSYNC	ADST1	ADST0	—	—	—	—	ADST0	ADST1	ADSYNC	AD0FLAG1
01011b	BUS	—	—	—	—	—	—	—	—	—	—	—	—	D3/DQ3	D4/DQ4	D5/DQ5	D6/DQ6
01101b	SCI	—	—	—	—	—	DE8	—	—	—	—	—	—	—	—	DE0	—
01110b	SCI	DE9	—	—	DE9	—	—	—	—	—	—	—	—	—	—	—	—
10000b	CANFD	—	—	CRX0	CTX0	—	—	—	—	—	—	—	—	—	—	—	—
10010b	SSIE(注1)	—	—	—	—	—	—	—	—	—	—	—	—	SSIBCK0_B	SSILRCK0/SSIFS0_B	SSIRXD0_B	SSITXD0_B
10101b	SDHI(注1)	—	—	—	—	—	—	—	—	SD0DAT6_C	SD0DAT5_C	SD0DAT4_C	SD0DAT3_C	SD0DAT4_B	SD0DAT5_B	SD0DAT6_B	SD0DAT7_B
10110b	ESWM (GMII/MII)	GPTP_MATCH1	GPTP_CAPTURE1	—	GPTP_PPS0	GPTP_MATCH0	GPTP_CAPTURE0	ET1_LINKSTA	ET1_INT	—	—	—	—	—	—	—	—
11100b	OSPI	OM_0_SIO0	OM_0_SIO3	OM_0_SIO4	OM_0_SIO2	OM_0_CS1	OM_0_ECSINT1	OM_0_RESET	OM_0_CS0	—	—	—	—	—	—	—	—
11110b	ULPT	—	—	—	—	—	ULPTO1-DS	ULPTEE1-DS	—	—	—	—	—	ULPTOB0-DS	ULPTOA0-DS	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ2	IRQ1	IRQ17	IRQ16	IRQ1	IRQ0	IRQ16	IRQ31	IRQ24	IRQ23	IRQ20	IRQ19	IRQ27	IRQ28	IRQ30-DS	IRQ31-DS
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR [1:0]ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	✓	✓	✓	✓
176 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	✓	✓	✓	✓
169 ピン製品		✓	✓	✓	✓	✓	—	✓	✓	—	—	—	—	✓	✓	✓	✓

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 20.10　入出力端子機能のレジスタ設定 (PORT2) (1/2)

PSEL[4:0]設定値	機能	端子															
		P200 (注4)	P201	P202	P203	P204	P205	P206	P207	P208	P209	P210	P211	P212	P213	P214	P215
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	TDI	TDO	TMS/SWDIO	TCK/SWCLK	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	—	—	—	—	AGTIO1	AGTO1	—	—	—	—	—	—	AGTEE1	—	—	—
00010b	GPT(注2)	—	—	—	—	GTIW	GTIV	GTIU	—	GTOVLO	GTOVUP	GTOULO	GTOUUP	GTETRGD	GTETRGC	—	—
00011b	GPT(注2)	—	—	GTIOC5B	GTIOC5A	GTIOC4B	GTIOC4A	GTCPPO0	GTCPPO3	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A	GTIOC0B	GTIOC0A	—	—

表 20.10　入出力端子機能のレジスタ設定 (PORT2) (2/2)

PSEL[4:0] 設定値	機能	端子															
		P200 (注4)	P201	P202	P203	P204	P205	P206	P207	P208	P209	P210	P211	P212	P213	P214	P215
00100b	SCI(注1)	—	—	CTS_RTS4_A/SS4_A	RXD4_A/SCL4_A/MISO4_A	SCK4_A	TXD4_A/SDA4_A/MOSI4_A	—	—	—	—	—	—	—	—	—	—
00101b	SCI(注1)	—	—	—	—	—	—	—	—	RXD9_B/SCL9_B/MISO9_B	TXD9_B/SDA9_B/MOSI9_B	CTS_RTS9_B/SS9_B	SCK9_B	RXD1_C/SCL1_C/MISO1_C	TXD1_C/SDA1_C/MOSI1_C	—	—
00110b	SPI(注1)	—	—	MOSIA_A	RSPCKA_A	SSLA0_A	SSLA1_A	—	—	—	—	—	—	—	—	—	—
00111b	I3C/IIC(注1)	—	—	—	—	SDA1_B	SCL1_B	—	—	—	—	—	—	—	—	—	—
01001b	RTC/CLKOUT/ACMPHS/ETHPHYCLK	—	—	—	—	—	CLKOUT	CLKOUT	—	VCOUT	CLKOUT	—	—	—	—	—	—
01010b	CAC/ADC16H	—	—	—	—	CACREF	—	—	—	—	—	—	—	—	ADTRG1	—	—
01011b	BUS	—	—	—	—	—	—	CS7	—	—	—	—	—	—	—	—	—
01101b	SCI	—	—	DE4	—	DE4	—	—	—	—	—	—	—	—	—	—	—
01110b	SCI	—	—	—	—	—	—	—	—	—	—	DE9	DE9	—	—	—	—
10000b	CANFD	—	—	CRX0	CTX0	—	—	—	—	CRX1	CTX1	—	—	—	—	—	—
10010b	SSIE(注1)	—	—	—	—	—	—	SSIDATA1_A	—	—	—	—	—	—	—	—	—
10011b	USBFS	—	—	USB_EXICEN	USB_VBUSEN	USB_OVRCURB	USB_OVRCURA	USB_VBUSEN	—	—	—	—	—	—	—	—	—
10101b	SDHI(注1)	—	—	SD1CMD_A	SD1CLK_A	SD1WP	SD1CD	SD0DAT7_C	—	—	—	—	—	—	—	—	—
10110b	ESWM (GMII/MII)	—	—	—	—	—	—	ET1_RX_DV	ET1_RXD5	—	—	—	—	—	—	—	—
10111b	ESWM (RMII)	—	—	—	—	—	—	RMII1_CRS_DV	—	—	—	—	—	—	—	—	—
11000b	ESWM (RGMII)	—	—	—	—	—	—	RGMII1_RX_CTL	—	—	—	—	—	—	—	—	—
01111b	CEU	—	—	—	—	—	—	VIO_D0	—	—	—	—	—	—	—	—	—
11110b	ULPT	—	—	ULPTOB1	ULPTOA1	—	—	ULPTOB1	—	—	—	—	—	—	ULPTEE0	—	—
Don't care	トレース（デバッグ）／クロック	—	—	—	—	—	—	—	—	—	SWO (注5)	—	—	EXTAL	XTAL	XCOUT	XCIN/EXCIN
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		NMI	IRQ4	IRQ3-DS	IRQ2-DS	IRQ26	IRQ1-DS	IRQ0-DS	IRQ25	IRQ3	IRQ25	IRQ24	IRQ23	IRQ3	IRQ2	IRQ21	IRQ20
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—
DSCR[1:0] ビット	駆動能力制御	—	L(注3)	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	—	—
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	✓	✓	✓	✓	—	✓	✓	✓	✓	✓	✓	✓	✓
176 ピン製品		✓	✓	—	—	—	—	✓	—	✓	✓	✓	✓	✓	✓	✓	✓
169 ピン製品		✓	✓	—	—	—	—	✓	—	✓	✓	✓	✓	✓	✓	✓	✓

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。
注 3. このポートの駆動強度は、PmnPFS.DSCR[1:0]ビットで制御されます。PmnPFS.DSCR[1:0]ビットを低駆動 (00b) に設定します。
注 4. NMI 端子割り込みを使用する場合、ポートに関連するレジスタの設定は不要です。
注 5. この端子機能を使用する場合は、CoreSight TPIU.SPPR.PProtocol ビットを SWO にして、TRPORTCR.OE ビットを 1 にしてください。この端子機能の駆動強度は、TRPORTCR.DRV[1:0]ビットで制御されます。

表 20.11 入出力端子機能のレジスタ設定 (PORT3) (1/2)

PSEL[4:0] 設定値	機能	端子															
		P300	P301	P302	P303	P304	P305	P306	P307	P308	P309	P310	P311	P312	P313	P314	P315
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	—	AGTIO0	—	—	—	—	—	—	—	—	AGTEE1	AGTOB1	AGTOA1	—	—	—
00010b	GPT(注2)	—	GTOULO	GTOUUP	—	GTOVLO	GTOVUP	GTIW	GTIV	GTIU	—	—	GTADSM1	GTADSM0	—	—	—
00011b	GPT(注2)	GTIOC3A	GTIOC4B	GTIOC4A	GTIOC7B	GTIOC7A	GTCPPO12	GTCPPO11	GTCPPO10	GTCPPO9	GTCPPO8	GTCPPO7	GTCPPO6	GTCPPO5	—	—	—
00100b	SCI(注1)	SCK0_A	TXD6_B/ SDA6_B/ MOSI6_B	RXD6_B/ SCL6_B/ MISO6_B	SCK6_B	—	—	—	CTS_RTS6_A/ SS6_A	—	—	—	—	—	—	—	—
00101b	SCI(注1)	—	—	—	—	—	—	—	—	CTS3_B	CTS9_B	TXD3_B/ SDA3_B/ MOSI3_B	SCK3_B	CTS_RTS3_B/ SS3_B	TXD3_C/ SDA3_C/ MOSI3_C	RXD3_C/ SCL3_C/ MISO3_C	SCK3_C
00110b	SPI(注1)	SSLA3_B	—	—	—	—	—	—	—	—	—	—	—	—	MISOA_A	SSLA2_A	SSLA3_A
01001b	RTC/ CLKOUT/ ACMPHS/ ETHPHYCLK	—	—	—	—	—	—	—	—	ETHPHYCLK	VCOUT	—	—	—	—	—	—
01010b	CAC/ ADC16H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADTRG0	—
01011b	BUS	D2/DQ2	D1/DQ1	D0/DQ0	—	—	—	—	—	—	—	—	—	—	—	—	—
01101b	SCI	DE0	—	—	DE6	—	—	—	DE6	—	—	—	—	—	—	—	—
01110b	SCI	—	—	—	—	—	—	—	—	—	—	—	DE3	DE3	—	—	DE3
10000b	CANFD	—	—	—	—	—	—	—	—	—	—	—	CRX0	CTX0	—	—	—
10011b	USBFS	—	—	—	—	—	—	—	—	—	—	—	—	—	USB_ID	—	—
10101b	SDHI(注1)	SD0DAT3_B	SD0DAT2_B	SD0DAT1_B	—	SD0DAT0_B	SD0WP	SD0CD	SD0CMD_B	SD0CLK_B	—	—	—	—	SD1DAT0_A	SD1DAT1_A	—
10110b	ESWM (GMII/MII)	—	—	—	—	ET1_TXD3	ET1_TXD2	ET1_TXD1	ET1_TXD0	ET1_TX_ER	ET1_GTX_CLK	ET1_TX_EN	ET1_TX_CLK	ET1_RX_ER	—	—	—
10111b	ESWM (RMII)	—	—	—	—	—	—	RMII1_TXD1	RMII1_TXD0	—	—	RMII1_TX_EN	—	RMII1_RX_ER	—	—	—
11000b	ESWM (RGMII)	—	—	—	—	RGMII1_TXD3	RGMII1_TXD2	RGMII1_TXD1	RGMII1_TXD0	—	RGMII1_TXC	RGMII1_TX_CTL	—	—	—	—	—
11011b	PDMIF	—	—	—	—	—	—	—	—	—	—	—	—	PDMDAT2	—	—	—
01111b	CEU	—	—	—	—	VIO_D15	VIO_D14	VIO_D13	VIO_D12	VIO_D11	VIO_D10	VIO_D9	VIO_D8	VIO_D7	—	—	—
11110b	ULPT	ULPTEVI0-DS	ULPTEE0-DS	ULPTO0-DS	—	ULPTO1	ULPTEE1	ULPTEVI1	ULPTOA1	ULPTOB1	—	—	—	—	—	—	—
Don't care	トレース（デバッグ）	—	—	—	—	TDATA3(注3)	TDATA2(注3)	TDATA1(注3)	TDATA0(注3)	TCLK(注3)	—	—	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ4	IRQ6	IRQ5	IRQ29-DS	IRQ9	IRQ8	IRQ28-DS	IRQ27-DS	IRQ26-DS	IRQ25-DS	IRQ24-DS	IRQ23-DS	IRQ22-DS	IRQ27	IRQ28	IRQ29
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

表 20.11　入出力端子機能のレジスタ設定 (PORT3) (2/2)

PSEL[4:0] 設定値	機能	端子															
		P300	P301	P302	P303	P304	P305	P306	P307	P308	P309	P310	P311	P312	P313	P314	P315
DSCR[1:0] ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
176 ピン製品		✓	✓	✓	—	✓	✓	✓	✓	✓	—	✓	✓	✓	—	—	—
169 ピン製品		✓	✓	✓	—	—	—	✓	✓	—	—	✓	✓	✓	—	—	—

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

注 3.　この端子機能を使用する場合は、CoreSight TPIU.SPPR.PProtocol ビットをパラレルポートにして、TRPORTCR.OE ビットを 1 にしてください。この端子機能の駆動強度は、TRPORTCR.DRV[1:0]ビットで制御されます。トレースデータの使用端子数は、TRPORTSZ.PORTSIZE[31:0]ビットで制御できます。

表 20.12　入出力端子機能のレジスタ設定 (PORT4) (1/2)

PSEL[4:0] 設定値	機能	端子															
		P400	P401	P402	P403	P404	P405	P406	P407	P408	P409	P410	P411	P412	P413	P414	P415
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	AGTIO1	—	—	—	—	AGTIO1	—	AGTIO0	—	—	AGTOB1	AGTOA1	AGTEE1	—	—	—
00010b	GPT(注2)	—	GTETRGA	—	—	—	—	—	—	GTOWLO	GTOWUP	GTOVLO	GTOVUP	GTOULO	GTOUUP	—	—
00011b	GPT(注2)	GTIOC6A	GTIOC6B	—	GTIOC3A	GTIOC3B	GTIOC1A	GTIOC1B	GTIOC10B	GTIOC10A	—	GTIOC9B	GTIOC9A	GTCPPO8	GTCPPO7	GTIOC0B	GTIOC0A
00100b	SCI(注1)	—	—	—	—	—	SCK2_B	TXD2_B/SDA2_B/MOSI2_B	—	—	—	—	—	—	—	RXD4_B/SCL4_B/MISO4_B	TXD4_B/SDA4_B/MOSI4_B
00101b	SCI(注1)	TXD1_A/SDA1_A/MOSI1_A	RXD1_A/SCL1_A/MISO1_A	SCK1_A	CTS_RTS1_A/SS1_A	CTS1_A	—	—	SCK1_C	RXD3_A/SCL3_A/MISO3_A	TXD3_A/SDA3_A/MOSI3_A	SCK3_A	CTS_RTS3_A/SS3_A	CTS3_A	—	—	—
00110b	SPI(注1)	—	—	—	—	—	—	SSLA3_C	—	—	—	—	—	—	—	SSLB0_B	RSPCKB_B
00111b	I3C/IIC(注1)	I3C_SCL0	I3C_SDA0	—	—	—	—	—	SDA0_B	SCL0_B	SDA0_A	SCL0_A	—	—	—	—	—
01001b	RTC/CLKOUT/ACMPHS/ETHPHYCLK	—	—	—	—	—	—	—	RTCOUT	—	—	—	—	—	—	—	—
01010b	CAC/ADC16H	ADTRG1	—	CACREF	AD0FLAG1	AD1FLAG1	—	—	ADTRG0	ADSYNC	ADST1	ADST0	CACREF	—	—	—	—
01011b	BUS	—	—	—	—	—	—	—	CS6	A17	A18	A19	A20	A21	A22	A23	WAIT
01101b	SCI	—	—	—	—	—	DE2	—	—	—	—	—	—	—	—	—	—
01110b	SCI	—	—	DE1	DE1	—	—	—	DE1	—	—	DE3	DE3	—	—	—	—
10000b	CANFD	—	CTX0	CRX0	—	—	—	—	—	—	—	—	—	—	—	CRX1	CTX1
10010b	SSIE(注1)	AUDIO_CLK	—	AUDIO_CLK	SSIBCK0_A	SSILRCK0/SSIFS0_A	SSITXD0_A	SSIRXD0_A	—	—	—	—	—	—	—	—	—
10011b	USBFS	—	—	—	—	—	—	—	USB_VBUS	USB_VBUSEN	USB_OVRCURA-DS	USB_OVRCURB-DS	USB_ID	USB_EXICEN	—	—	—
10100b	USBHS	—	—	—	—	—	—	—	USBHS_VBUSEN	USBHS_VBUS	USBHS_OVRCURA	USBHS_OVRCURB	USBHS_ID	USBHS_EXICEN	—	—	—
10101b	SDHI(注1)	SD1CLK_B	SD1CMD_B	SD1DAT0_B	SD1DAT1_B	SD1DAT2_B	SD1DAT3_B	SD1CD	—	—	—	—	—	—	—	—	—

表 20.12　入出力端子機能のレジスタ設定 (PORT4) (2/2)

PSEL[4:0] 設定値	機能	端子															
		P400	P401	P402	P403	P404	P405	P406	P407	P408	P409	P410	P411	P412	P413	P414	P415
10110b	ESWM (GMII/MII)	—	—	ET0_LINKSTA	ET1_WOL	ET0_WOL	ET0_RX_DV	ET0_RXD3	GPTP_PTPOUT3	GPTP_PTPOUT2	GPTP_CAPTURE0	GPTP_MATCH0	GPTP_PTPOUT1	GPTP_PTPOUT0	ET_TAS_STA3	ET1_MDIO	ET1_MDC
10111b	ESWM (RMII)	—	—	—	—	—	RMII0_CRS_DV	—	—	—	—	—	—	—	—	—	—
11000b	ESWM (RGMII)	—	—	—	—	—	RGMII0_RX_CTL	RGMII0_RXD3	—	—	—	—	—	—	—	—	—
01111b	CEU	VIO_D0	VIO_D1	—	—	—	VIO_D2	VIO_D3	—	—	—	—	—	—	—	VIO_CLK	VIO_HD
11110b	ULPT	—	—	—	—	—	—	—	—	ULPTOB0	ULPTOA0	—	—	—	ULPTEE1	—	—
Don't care	RTC	—	—	RTCIC0 (注3)	RTCIC1 (注3)	RTCIC2 (注3)	—	—	—	—	—	—	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ0	IRQ5-DS	IRQ4-DS	IRQ14-DS	IRQ15-DS	IRQ30	IRQ31	IRQ22	IRQ7	IRQ6	IRQ5	IRQ4	IRQ20-DS	IRQ18	IRQ9	IRQ8
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0] ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	✓	✓
176 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	✓	✓
169 ピン製品		✓	✓	✓	✓	✓	✓	—	✓	✓	✓	✓	—	—	—	✓	✓

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

注 3.　この端子機能を使用する場合は、該当端子を汎用入力（PmnPFS.PDR ビットと PmnPFS.PMR ビットを 0）に設定してください。

表 20.13　入出力端子機能のレジスタ設定 (PORT5) (1/2)

PSEL[4:0] 設定値	機能	端子															
		P500	P501	P502	P503	P504	P505	P506	P507	P508	P509	P510	P511	P512	P513	P514	P515
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00010b	GPT(注2)	—	—	—	GTOUUP	GTOULO	GTOWUP	GTOWLO	GTADSM0	GTADSM1	—	—	—	—	—	—	—
00011b	GPT(注2)	GTIOC11B	GTIOC12A	GTIOC12B	GTCPPO6	GTCPPO1	GTCPPO2	GTCPPO3	GTIOC0A	GTIOC0B	GTIOC1A	GTIOC1B	GTIOC0B	GTIOC0A	GTIOC13B	GTIOC13B	GTIOC13A
00100b	SCI(注1)	RXD8_B/SCL8_B/MISO8_B	TXD8_B/SDA8_B/MOSI8_B	SCK8_B	—	—	—	—	—	—	—	—	CTS_RTS8_A/SS8_A	CTS8_A	SCK8_A	SCK4_C	CTS_RTS4_C/SS4_C
00101b	SCI(注1)	—	—	—	—	—	—	—	CTS_RTS7_A/SS7_A	CTS5_A	CTS_RTS5_A/SS5_A	RXD5_A/SCL5_A/MISO5_A	—	—	—	—	—
00111b	I3C/IIC(注1)	—	—	—	—	—	—	—	—	—	—	—	SDA1_A	SCL1_A	—	SDA2_B	SCL2_B
01010b	CAC/ADC16H	CACREF	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
01011b	BUS	—	—	—	A6	A7	A8	A9	A10	A11	A12	A13	—	—	—	—	—
01101b	SCI	—	—	DE8	—	—	—	—	—	—	—	—	DE8	—	DE8	DE4	DE4
01110b	SCI	—	—	—	—	—	—	—	DE7	—	DE5	—	—	—	—	—	—

表 20.13　入出力端子機能のレジスタ設定 (PORT5) (2/2)

PSEL[4:0] 設定値	機能	端子															
		P500	P501	P502	P503	P504	P505	P506	P507	P508	P509	P510	P511	P512	P513	P514	P515
10000b	CANFD	—	—	—	—	—	—	—	—	—	—	—	CRX1	CTX1	—	—	—
10011b	USBFS	USB_VBUSEN	USB_OVRCURA	USB_OVRCURB	—	—	—	—	—	—	—	—	—	—	—	—	—
10101b	SDHI(注1)	SD1DAT5_A	SD1DAT6_A	SD1DAT7_A	SD0CD	SD0WP	SD0CLK_A	SD0CMD_A	—	—	—	—	—	—	—	—	—
10110b	ESWM (GMII/MII)	—	—	—	—	—	—	—	ET_TAS_STA0	ET_TAS_STA1	ET_TAS_STA2	ET_TAS_STA3	ET1_LINKSTA	ET1_INT	ET0_INT	ET_TAS_STA1	ET_TAS_STA0
11011b	PDMIF	PDMDAT0	PDMDAT1	PDMDAT2	—	—	—	—	—	—	—	—	—	—	—	—	—
01111b	CEU	—	—	—	VIO_D4	VIO_D3	VIO_D2	VIO_D1	VIO_D0	VIO_VD	VIO_HD	VIO_CLK	—	—	VIO_FLD	—	—
11110b	ULPT	—	—	—	—	—	—	—	—	—	ULPTEVI1	ULPTEVI0	—	—	—	—	—
ASEL ビット		AN021	AN020	AN019	—	—	—	—	—	—	—	—	—	—	AN016/IVCMP0	—	—
ISEL ビット		IRQ24	IRQ25	IRQ26	IRQ6	IRQ7	IRQ8	IRQ9	IRQ10	IRQ1	IRQ2	IRQ3	IRQ15	IRQ14	IRQ31	IRQ13	IRQ12
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0] ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		—	—	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—
176 ピン製品		—	—	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—
169 ピン製品		✓	✓	✓	—	—	—	—	—	—	✓	✓	✓	✓	✓	✓	✓

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 20.14　入出力端子機能のレジスタ設定 (PORT6) (1/2)

PSEL[4:0] 設定値	機能	端子															
		P600	P601	P602	P603	P604	P605	P606	P607	P608	P609	P610	P611	P612	P613	P614	P615
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	—	—	—	—	—	—	—	—	—	—	—	—	—	AGTO1	AGTO0	—
00010b	GPT(注2)	—	—	—	—	—	—	—	—	GTOWUP	GTIU	GTOUUP	GTOULO	—	GTETRGA	GTETRGB	GTETRGC
00011b	GPT(注2)	GTIOC6B	GTIOC6A	GTIOC7B	GTIOC7A	GTIOC8B	GTIOC8A	—	—	GTCPPO4	GTIOC5B	GTIOC4A	GTIOC4B	GTIOC9A	GTIOC9B	GTCPPO9	GTCPPO10
00100b	SCI(注1)	—	SCK0_B	RXD0_B/SCL0_B/MISO0_B	TXD0_B/SDA0_B/MOSI0_B	CTS_RTS0_B/SS0_B	CTS0_B	—	—	—	TXD0_C/SDA0_C/MOSI0_C	RXD0_C/SCL0_C/MISO0_C	SCK0_C	CTS_RTS0_C/SS0_C	CTS0_C	—	—
00101b	SCI(注1)	—	—	—	—	—	—	—	—	TXD5_A/SDA5_A/MOSI5_A	—	—	—	—	—	RXD7_A/SCL7_A/MISO7_A	TXD7_A/SDA7_A/MOSI7_A
00110b	SPI(注1)	—	—	—	—	—	—	—	—	—	MISOA_B	RSPCKA_B	MOSIA_B	SSLA0_B	—	—	—
01001b	RTC/CLKOUT/ACMPHS/ETHPHYCLK	—	RTCOUT	—	—	—	—	—	—	—	—	—	CLKOUT	—	—	—	—

表 20.14　入出力端子機能のレジスタ設定 (PORT6) (2/2)

PSEL[4:0] 設定値	機能	端子															
		P600	P601	P602	P603	P604	P605	P606	P607	P608	P609	P610	P611	P612	P613	P614	P615
01010b	CAC/ ADC16H	CACREF	—	—	—	—	—	—	—	CACREF	AD1FLAG1	—	CACREF	—	—	—	—
01011b	BUS	—	—	—	—	—	—	WR3/BC3	D31/ DQ31	A14	D7/DQ7	D12/ DQ12	D13/ DQ13	D14/ DQ14	D15/ DQ15	WR/WR0/ DQM0	WR2/BC2/ DQM2
01101b	SCI	—	DE0	—	—	DE0	—	—	—	—	—	—	DE0	DE0	—	—	—
10000b	CANFD	—	—	—	—	—	—	—	—	—	CTX1	CRX1	—	—	—	—	—
10100b	USBHS	—	—	—	—	—	—	—	—	—	—	—	USBHS_VBUSEN	USBHS_OVRCURA	USBHS_OVRCURB	USBHS_ID	USBHS_EXICEN
10110b	ESWM (GMII/MII)	ET1_WOL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
11100b	OSPI	OM_0_RSTO1	OM_0_WP1	OM_1_SCLKN	OM_1_SCLK	OM_1_SIO7	OM_1_SIO1	OM_1_SIO6	OM_1_DQS	—	—	—	—	—	—	—	—
01111b	CEU	—	—	—	—	—	—	—	—	VIO_FLD	—	—	—	—	—	—	—
11110b	ULPT	ULPTEVI1-DS	ULPTEVI0	ULPTEE0	ULPTO0	—	—	—	—	—	ULPTOA1-DS	ULPTOB1-DS	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ30	IRQ29	IRQ28	IRQ27	IRQ26	IRQ25	IRQ24	IRQ23	IRQ22	IRQ29	IRQ16	IRQ17	IRQ18	IRQ19	IRQ20	IRQ7
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0] ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品(注3)		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	✓	✓	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓
176 ピン製品		✓	✓	—	—	—	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓
169 ピン製品		—	—	✓	✓	—	—	—	—	—	✓	✓	—	✓	✓	✓	✓

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

注 3.　BGA303 パッケージでは、P603～P607 は、パッケージ内部の SiP フラッシュに接続されています。SiP フラッシュメモリにアクセスするには、PSEL 設定の OSPI を設定してください。

表 20.15　入出力端子機能のレジスタ設定 (PORT7) (1/2)

PSEL[4:0] 設定値	機能	端子															
		P700	P701	P702	P703	P704	P705	P706	P707	P708	P709	P710	P711	P712	P713	P714	P715
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	—	—	—	AGTO1	AGTO0	AGTIO0	AGTIO0	—	—	—	—	AGTEE0	AGTOB0	AGTOA0	—	—
00010b	GPT(注2)	—	—	—	—	GTADSM0	GTADSM1	—	—	—	—	—	—	—	—	—	—
00011b	GPT(注2)	GTIOC5A	GTIOC5B	GTIOC6A	GTIOC6B	GTCPPO0	GTCPPO1	GTCPPO2	GTCPPO3	GTCPPO6	GTCPPO5	GTIOC11B	GTIOC11A	GTIOC2B	GTIOC2A	GTIOC12B	GTIOC12A
00100b	SCI(注1)	RXD2_B/ SCL2_B/ MISO2_B	CTS_RTS2_B/ SS2_B	CTS2_B	—	—	—	—	—	SCK4_B	CTS_RTS4_B/ SS4_B	CTS4_B	—	—	CTS4_C	TXD4_C/ SDA4_C/ MOSI4_C	RXD4_C/ SCL4_C/ MISO4_C
00101b	SCI(注1)	—	—	—	—	—	CTS1_B	RXD1_B/ SCL1_B/ MISO1_B	TXD1_B/ SDA1_B/ MOSI1_B	—	—	—	CTS_RTS1_C/ SS1_C	CTS1_C	—	—	—
00110b	SPI(注1)	MISOA_C	MOSIA_C	RSPCKA_C	SSLA0_C	SSLA1_C	SSLA2_C	—	—	MOSIB_B	MISOB_B	SSLB3_B	SSLB2_B	SSLB1_B	—	—	—

表 20.15　入出力端子機能のレジスタ設定 (PORT7) (2/2)

PSEL[4:0] 設定値	機能	端子															
		P700	P701	P702	P703	P704	P705	P706	P707	P708	P709	P710	P711	P712	P713	P714	P715
00111b	I3C/IIC(注1)	—	—	—	—	—	—	—	—	SDA2_A	SCL2_A	—	—	—	—	—	—
01001b	RTC/ CLKOUT/ ACMPHS/ ETHPHYCLK	—	—	—	VCOUT	—	—	ETHPHYCLK	ETHPHYCLK	—	—	—	—	—	—	—	—
01010b	CAC/ ADC16H	—	—	—	—	—	—	—	—	CACREF	—	—	—	—	—	—	—
01011b	BUS	—	—	—	—	—	—	—	—	WR1/BC1	CS4	CS5	—	—	—	—	—
01101b	SCI	—	DE2	—	—	—	—	—	—	DE4	DE4	—	—	—	—	—	—
01110b	SCI	—	—	—	—	—	—	—	—	—	—	—	DE1	—	—	—	—
10000b	CANFD	—	—	—	—	CTX0	CRX0	—	—	—	—	—	—	—	—	—	—
10010b	SSIE(注1)	SSIDATA1_B	SSILRCK1/ SSIFS1_B	SSIBCK1_B	—	—	—	—	—	AUDIO_CLK	—	—	—	—	—	—	—
10100b	USBHS	—	—	—	—	—	—	USBHS_OVRCURB-DS	USBHS_OVRCURA-DS	—	—	—	—	—	—	—	—
10101b	SDHI(注1)	SD1WP	SD1DAT4_B	SD1DAT5_B	SD1DAT6_B	SD1DAT7_B	—	—	—	—	—	—	—	—	—	—	—
10110b	ESWM (GMII/MII)	ET0_RXD2	ET0_RXD1	ET0_RXD0	ET0_RX_CLK	ET0_RX_ER	ET0_TX_EN	ET0_GTX_CLK	ET0_TX_ER	ET0_MDC	ET0_MDIO	ET0_LINKSTA	GPTP_PPS0	GPTP_CAPTURE1	GPTP_MATCH1	GPTP_PPS1	ET_TAS_STA2
10111b	ESWM (RMII)	—	RMII0_RXD1	RMII0_RXD0	RMII0_REF50CK	RMII0_RX_ER	RMII0_TX_EN	—	—	—	—	—	—	—	—	—	—
11000b	ESWM (RGMII)	RGMII0_RXD2	RGMII0_RXD1	RGMII0_RXD0	RGMII0_RXC	—	RGMII0_TX_CTL	RGMII0_TXC	—	—	—	—	—	—	—	—	—
11011b	PDMIF	—	—	—	PDMCLK0	PDMCLK1	PDMCLK2	PDMDAT0	PDMDAT1	—	—	—	—	—	—	—	—
01111b	CEU	VIO_D4	VIO_D5	VIO_D6	VIO_D7	VIO_D8	VIO_D9	VIO_D10	VIO_D11	VIO_VD	VIO_D13	VIO_D12	—	—	—	—	—
11110b	ULPT	—	ULPTO1	ULPTO0	—	—	—	—	—	—	—	—	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ16-DS	IRQ17-DS	IRQ18-DS	IRQ19-DS	IRQ26	IRQ19	IRQ7	IRQ8	IRQ11	IRQ10	IRQ17	IRQ3	IRQ2	IRQ14	IRQ13	IRQ12
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0] ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—
176 ピン製品		✓	✓	✓	✓	✓	✓	—	✓	✓	✓	—	—	—	—	—	—
169 ピン製品		✓	✓	✓	✓	—	—	—	—	✓	✓	—	—	—	—	—	—

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 20.16　入出力端子機能のレジスタ設定 (PORT8) (1/2)

PSEL[4:0] 設定値	機能	端子															
		P800	P801	P802	P803	P804	P805	P806	P807	P808	P809	P810	P811	P812	P813	P814	P815
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

表 20.16　入出力端子機能のレジスタ設定 (PORT8) (2/2)

PSEL[4:0] 設定値	機能	端子															
		P800	P801	P802	P803	P804	P805	P806	P807	P808	P809	P810	P811	P812	P813	P814	P815
00001b	AGT	AGTOA0	AGTOB0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
00010b	GPT(注2)	GTIU	GTIV	GTIW	GTETRGC	GTETRGD	—	—	—	—	—	—	—	—	GTETRGA	—	—
00011b	GPT(注2)	GTIOC11A	GTIOC11B	GTIOC12A	GTIOC12B	GTIOC13A	—	—	GTIOC13A	GTIOC13B	—	GTIOC10A	GTIOC10B	GTIOC11A	GTIOC7B	GTIOC8B	GTIOC8A
00100b	SCI(注1)	CTS2_A	TXD2_A/SDA2_A/MOSI2_A	RXD2_A/SCL2_A/MISO2_A	SCK2_A	CTS_RTS2_A/SS2_A	TXD8_A/SDA8_A/MOSI8_A	RXD8_A/SCL8_A/MISO8_A	—	—	—	—	—	—	—	—	—
00101b	SCI(注1)	—	—	—	—	—	—	—	—	RXD7_B/SCL7_B/MISO7_B	TXD7_B/SDA7_B/MOSI7_B	SCK7_B	CTS7_B	CTS_RTS7_B/SS7_B	SCK7_A	—	—
01011b	BUS	—	—	—	—	—	—	—	—	—	—	—	—	—	SDCS	—	—
01101b	SCI	—	—	—	DE2	DE2	—	—	—	—	—	—	—	—	—	—	—
01110b	SCI	—	—	—	—	—	—	—	—	—	—	DE7	—	DE7	DE7	—	—
10000b	CANFD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CRX0	CTX0
10011b	USBFS	—	—	—	—	—	—	—	—	—	—	—	USB_ID	USB_EXICEN	—	USB_DP	USB_DM
10101b	SDHI(注1)	—	—	—	—	—	—	—	—	—	—	SD1DAT2_A	SD1DAT3_A	SD1DAT4_A	—	—	—
10110b	ESWM (GMII/MII)	—	GPTP_PPS1	—	—	—	ET1_MDIO	ET1_MDC	—	—	—	—	—	—	—	—	—
11011b	PDMIF	—	—	—	—	—	—	—	—	—	—	PDMCLK0	PDMCLK1	PDMCLK2	PDMCLK2	—	—
11100b	OSPI	OM_0_SIO5	OM_0_DQS	OM_0_SIO6	OM_0_SIO1	OM_0_SIO7	—	—	—	OM_0_SCLK	OM_0_SCLKN	—	—	—	—	—	—
01111b	CEU	—	—	—	—	—	VIO_D15	VIO_D14	—	—	—	—	—	—	VIO_D13	—	—
11110b	ULPT	—	—	—	—	—	—	—	—	—	—	ULPTOA0	ULPTOB0	—	—	—	—
Don't care	USBFS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	USB_DP	USB_DM
ASEL ビット		—	—	—	—	—	AN017/IVCMP0	AN018	—	—	—	—	—	AN022	—	—	—
ISEL ビット		IRQ11	IRQ12	IRQ18	IRQ19	IRQ14	IRQ30	IRQ0	IRQ11	IRQ15	IRQ20	IRQ21	IRQ22	IRQ23	IRQ15	IRQ16	IRQ15
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0] ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	✓	✓	—	—	—	✓	✓	—	—	—	✓	✓	✓
176 ピン製品		✓	✓	✓	✓	✓	—	—	—	✓	✓	—	—	—	✓	✓	✓
169 ピン製品		✓	✓	✓	✓	✓	✓	✓	—	✓	✓	—	—	—	—	✓	✓

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 20.17 入出力端子機能のレジスタ設定 (PORT9)

PSEL[4:0] 設定値	機能	端子															
		P900	P901	P902	P903	P904	P905	P906	P907	P908	P909	P910	P911	P912	P913	P914	P915
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	—	AGTIO1	—	—	—	—	—	—	—	—	—	—	—	—	—	—
00010b	GPT(注2)	GTADSM0	GTADSM1	—	—	—	—	—	—	—	—	—	—	—	—	—	—
00011b	GPT(注2)	—	—	GTCPPO13	GTIOC11A	GTIOC11B	GTCPPO13	GTIOC13B	GTIOC13A	GTIOC12B	GTIOC12A	GTCPPO12	GTIOC3B	GTIOC3A	GTCPPO11	GTIOC5B	GTIOC5A
00100b	SCI(注1)	—	—	—	—	—	—	CTS6_A	SCK6_A	TXD6_A/ SDA6_A/ MOSI6_A	RXD6_A/ SCL6_A/ MISO6_A	—	—	—	—	CTS_RTS6_B/ SS6_B	CTS6_B
00101b	SCI(注1)	CTS3_C	CTS_RTS3_C/ SS3_C	—	—	—	RXD3_B/ SCL3_B/ MISO3_B	—	—	—	—	—	—	—	—	—	—
01001b	RTC/ CLKOUT/ ACMPHS/ ETHPHYCLK	—	—	ETHPHYCLK	—	—	—	—	—	—	—	—	—	—	CLKOUT	—	—
01010b	CAC/ ADC16H	—	—	—	—	—	AD1FLAG1	AD0FLAG1	ADSYNC	ADST1	ADST0	—	—	—	—	—	—
01011b	BUS	—	—	ALE	—	—	—	—	—	—	—	—	—	—	—	—	—
01101b	SCI	—	—	—	—	—	—	—	DE6	—	—	—	—	—	—	DE6	—
01110b	SCI	—	DE3	—	—	—	—	—	—	—	—	—	—	—	—	—	—
10000b	CANFD	—	—	—	—	—	—	—	—	CRX1	CTX1	—	—	—	—	—	—
10010b	SSIE(注1)	—	—	AUDIO_CLK	—	—	—	SSILRCK1/ SSIFS1_A	SSIBCK1_A	—	—	—	—	—	—	—	—
10011b	USBFS	—	—	—	—	—	—	USB_ID	USB_EXICEN	USB_OVRCURB	USB_OVRCURA	—	—	—	—	—	—
10100b	USBHS	—	—	—	—	—	—	—	—	USBHS_ID	USBHS_EXICEN	—	—	—	—	—	—
10110b	ESWM (GMII/MII)	—	—	—	—	ET1_RXD4	ET1_RX_CLK	ET1_RXD0	ET1_RXD1	ET1_RXD2	ET1_RXD3	ET1_TXD4	ET1_TXD5	ET1_TXD6	ET1_TXD7	—	—
10111b	ESWM (RMII)	—	—	—	—	—	RMII1_REF50CK	RMII1_RXD0	RMII1_RXD1	—	—	—	—	—	—	—	—
11000b	ESWM (RGMII)	—	—	—	—	—	RGMII1_RXC	RGMII1_RXD0	RGMII1_RXD1	RGMII1_RXD2	RGMII1_RXD3	—	—	—	—	—	—
11011b	PDMIF	—	—	—	—	—	PDMDAT1	PDMDAT0	PDMCLK2	PDMCLK1	PDMCLK0	—	—	—	—	—	—
01111b	CEU	—	—	VIO_D1	—	—	VIO_D6	VIO_D5	VIO_D4	VIO_D3	VIO_D2	—	—	—	—	—	—
11110b	ULPT	—	—	—	—	—	—	ULPTO1	ULPTEE1	ULPTEVI1	ULPTOA1	—	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ30	IRQ31	IRQ0	IRQ1	IRQ2	IRQ8	IRQ9	IRQ10	IRQ11	IRQ21-DS	IRQ7	IRQ6	IRQ5	IRQ3	IRQ9	IRQ8
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0] ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		—	—	✓	—	—	✓	✓	✓	✓	✓	—	—	—	—	—	—
176 ピン製品		—	—	—	—	—	✓	✓	✓	✓	✓	—	—	—	—	—	—
169 ピン製品		—	—	—	—	—	✓	✓	✓	✓	✓	—	—	—	—	—	—

✓：使用可能
—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 20.18 入出力端子機能のレジスタ設定 (PORTA)

PSEL[4:0] 設定値	機能	端子															
		PA00	PA01	PA02	PA03	PA04	PA05	PA06	PA07	PA08	PA09	PA10	PA11	PA12	PA13	PA14	PA15
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00010b	GPT(注2)	GTOVLO	GTOVUP	GTIW	GTIV	GTIU	GTETRGD	GTETRGC	GTETRGB	GTETRGD	—	—	GTIV	GTIW	GTOVUP	GTOVLO	—
00011b	GPT(注2)	GTCPPO7	GTCPPO8	GTCPPO9	GTCPPO10	GTIOC4B	GTIOC4A	GTIOC7B	GTIOC7A	GTCPPO11	GTCPPO12	GTCPPO13	GTIOC6A	GTIOC6B	GTIOC10A	GTIOC10B	GTIOC7A
00100b	SCI(注1)	—	—	RXD2_C/ SCL2_C/ MISO2_C	TXD2_C/ SDA2_C/ MOSI2_C	SCK2_C	CTS_RTS2_C/ SS2_C	CTS2_C	—	—	—	—	—	—	—	—	—
00101b	SCI(注1)	CTS_RTS5_B/ SS5_B	CTS5_B	—	—	—	—	—	CTS7_A	RXD5_B/ SCL5_B/ MISO5_B	TXD5_B/ SDA5_B/ MOSI5_B	SCK5_B	SCK9_C	RXD9_C/ SCL9_C/ MISO9_C	CTS_RTS9_C/ SS9_C	TXD9_C/ SDA9_C/ MOSI9_C	CTS9_C
01001b	RTC/ CLKOUT/ ACMPHS/ ETHPHYCLK	—	—	—	—	—	—	—	VCOUT	—	—	—	—	—	—	—	—
01010b	CAC/ ADC16H	AD1FLAG1	AD0FLAG1	ADSYNC	ADST1	ADST0	—	—	—	—	—	—	—	—	—	—	—
01011b	BUS	A5	A4	A3	A2	A1/ DQM3	A0/BC0 /DQM1	CS1/CKE	RD	CS0/WE	CS3/CAS	CS2/RAS	D8/DQ8	D9/DQ9	D10/ DQ10	D11/ DQ11	EBCLK/ SDCLK
01101b	SCI	—	—	—	—	DE2	DE2	—	—	—	—	—	—	—	—	—	—
01110b	SCI	DE5	—	—	—	—	—	—	—	—	—	DE5	DE9	—	DE9	—	—
10101b	SDHI(注1)	SD0DAT7_A	SD0DAT6_A	SD0DAT5_A	SD0DAT4_A	SD0DAT3_A	SD0DAT2_A	SD0DAT1_A	SD0DAT0_A	—	—	—	—	—	—	—	—
11011b	PDMIF	—	—	—	—	—	PDMDAT2	PDMDAT1	PDMDAT0	—	—	PDMCLK0	—	—	—	—	PDMCLK1
01111b	CEU	VIO_D5	VIO_D6	VIO_D7	VIO_D8	VIO_D9	VIO_D10	VIO_D11	VIO_D12	—	—	VIO_D15	—	—	—	—	VIO_D14
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ22	IRQ21	IRQ31	IRQ20	IRQ19	IRQ18	IRQ17	IRQ16	IRQ6	IRQ5	IRQ4	IRQ10	IRQ11	IRQ12	IRQ13	IRQ14
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0] ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
176 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
169 ピン製品		✓	—	✓	✓	✓	✓	—	—	✓	✓	✓	✓	✓	✓	✓	—

✓：使用可能
—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 20.19　入出力端子機能のレジスタ設定 (PORTB)

PSEL[4:0]設定値	機能	端子							
		PB00	PB01	PB02	PB03	PB04	PB05	PB06	PB07
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00011b	GPT(注2)	GTCPPO4	GTCPPO2	GTCPPO0	GTCPPO1	GTCPPO3	GTCPPO4	GTIOC9A	GTIOC9B
00101b	SCI(注1)	SCK1_B	CTS_RTS1_B/ SS1_B	RXD5_C/ SCL5_C/ MISO5_C	TXD5_C/ SDA5_C/ MOSI5_C	SCK5_C	CTS5_C	CTS_RTS5_C/ SS5_C	—
01010b	CAC/ADC16H	ADST0	AD1FLAG1	ADST1	ADSYNC	AD0FLAG1	—	—	—
01011b	BUS	—	ALE	—	—	—	—	—	—
01110b	SCI	DE1	DE1	—	—	DE5	—	DE5	—
10100b	USBHS	USBHS_VBUSEN	—	—	—	—	—	—	—
10110b	ESWM (GMII/MII)	ET0_TXD0	ET0_TX_CLK	ET0_TXD1	ET0_TXD2	ET0_TXD3	ET0_TXD7	ET0_TXD6	ET0_TXD5
10111b	ESWM (RMII)	RMII0_TXD0	—	RMII0_TXD1	—	—	—	—	—
11000b	ESWM (RGMII)	RGMII0_TXD0	—	RGMII0_TXD1	RGMII0_TXD2	RGMII0_TXD3	—	—	—
11011b	PDMIF	PDMDAT2	—	—	—	—	—	—	—
01111b	CEU	—	VIO_FLD	VIO_VD	VIO_HD	VIO_CLK	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—
ISEL ビット		IRQ10	IRQ12	IRQ11	IRQ13	IRQ9	IRQ15	IRQ0	IRQ1
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0]ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	✓	✓	✓	✓	—	—	—
176 ピン製品		✓	✓	✓	✓	✓	—	—	—
169 ピン製品		—	—	—	—	—	—	—	—

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 20.20　入出力端子機能のレジスタ設定 (PORTC) (1/2)

PSEL[4:0]設定値	機能	端子															
		PC00	PC01	PC02	PC03	PC04	PC05	PC06	PC07	PC08	PC09	PC10	PC11	PC12	PC13	PC14	PC15
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00010b	GPT(注2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GTADSM1	GTADSM0
00011b	GPT(注2)	GTCPPO7	GTCPPO6	GTCPPO5	GTCPPO4	GTCPPO3	GTCPPO2	GTCPPO1	GTCPPO0	GTCPPO8	—	GTCPPO13	GTCPPO12	GTCPPO11	GTCPPO10	GTCPPO9	—
00100b	SCI(注1)	—	—	—	—	—	—	—	—	—	—	—	CTS_RTS6_C/ SS6_C	SCK6_C	RXD6_C/ SCL6_C/ MISO6_C	TXD6_C/ SDA6_C/ MOSI6_C	CTS6_C
00101b	SCI(注1)	CTS_RTS7_C/ SS7_C	CTS7_C	SCK7_C	TXD7_C/ SDA7_C/ MOSI7_C	RXD7_C/ SCL7_C/ MISO7_C	—	—	—	—	—	—	—	—	—	—	—
01011b	BUS	D30/ DQ30	D29/ DQ29	D28/ DQ28	D27/ DQ27	D26/ DQ26	D25/ DQ25	D24/ DQ24	D23/ DQ23	D22/ DQ22	D21/ DQ21	D20/ DQ20	D19/ DQ19	D18/ DQ18	D17/ DQ17	D16/ DQ16	A16
01101b	SCI	—	—	—	—	—	—	—	—	—	—	—	DE6	DE6	—	—	—
01110b	SCI	DE7	—	DE7	—	—	—	—	—	—	—	—	—	—	—	—	—
10000b	CANFD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CRX1

表 20.20　入出力端子機能のレジスタ設定 (PORTC) (2/2)

PSEL[4:0] 設定値	機能	端子															
		PC00	PC01	PC02	PC03	PC04	PC05	PC06	PC07	PC08	PC09	PC10	PC11	PC12	PC13	PC14	PC15
10110b	ESWM (GMII/MII)	—	—	—	—	—	—	—	—	—	—	—	ET0_MDC	ET0_MDIO	ET0_INT	ET0_WOL	—
11100b	OSPI	OM_1_SIO5	OM_1_SIO0	OM_1_SIO3	OM_1_SIO4	OM_1_SIO2	OM_1_CS1	OM_1_ECSINT1	OM_1_RESET	OM_1_CS0	OM_1_RSTO1	OM_1_WP1	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ28	IRQ27	IRQ26	IRQ25	IRQ24	IRQ23	IRQ22	IRQ21	IRQ29	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0	IRQ30
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0] ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品(注3)		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	✓
176 ピン製品		—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	✓
169 ピン製品		—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—

✓：使用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。
注 3.　BGA303 パッケージでは、PC00～PC07 は、パッケージ内部の SiP フラッシュメモリに接続されています。SiP フラッシュメモリにアクセスするには、PSEL 設定の OSPI を設定してください。

表 20.21　入出力端子機能のレジスタ設定 (PORTD)

PSEL[4:0]設定値	機能	端子							
		PD00	PD01	PD02	PD03	PD04	PD05	PD06	PD07
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00010b	GPT(注2)	GTOWLO	—	—	—	—	—	—	—
00011b	GPT(注2)	GTCPPO5	GTCPPO2	GTCPPO1	GTIOC3B	GTIOC3A	GTIOC2B	GTIOC2A	GTCPPO0
00100b	SCI(注1)	—	SCK8_C	TXD8_C/SDA8_C/MOSI8_C	RXD8_C/SCL8_C/MISO8_C	CTS_RTS8_C/SS8_C	CTS8_C	—	—
00101b	SCI(注1)	SCK5_A	—	—	—	—	—	—	—
01011b	BUS	A15	—	—	—	—	—	—	—
01101b	SCI	—	DE8	—	—	DE8	—	—	—
01110b	SCI	DE5	—	—	—	—	—	—	—
10000b	CANFD	CTX1	—	—	—	—	—	—	—
10100b	USBHS	—	—	—	USBHS_EXICEN	USBHS_ID	USBHS_OVRCURB	USBHS_OVRCURA	USBHS_VBUSEN
10101b	SDHI(注1)	—	SD0DAT2_C	SD0DAT1_C	SD0DAT0_C	SD0CMD_C	SD0CLK_C	SD0WP	SD0CD
10110b	ESWM (GMII/MII)	—	ET1_RXD6	ET1_RXD7	ET0_RXD4	ET0_RXD5	ET0_RXD6	ET0_RXD7	ET0_TXD4
ASEL ビット		—	—	—	—	—	—	—	—
ISEL ビット		IRQ23	IRQ22	IRQ21	IRQ21	IRQ20	IRQ19	IRQ18	IRQ17
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓
DSCR[1:0]ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH
289、303 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓
224 ピン製品		✓	—	—	—	—	—	—	—
176 ピン製品		✓	—	—	—	—	—	—	—
169 ピン製品		—	—	—	—	—	—	—	—

✓：使用可能
—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に"_A"、"_B"、"_C"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 2. 中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

21. GPT 用のポートアウトプットイネーブル (POEG)

21.1 概要

ポートアウトプットイネーブル (POEG) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。

- GTETRGn 端子 (n = A～D) の入力レベル検出
- GPT からの出力禁止要求
- コンパレータ割り込み要求検出
- クロック発生回路の発振停止検出
- レジスタ設定値

GTETRGn 端子 (n = A～D) は、GPT への外部トリガ入力端子として利用可能です。

表 21.1 に POEG の仕様を、図 21.1 にブロック図を、表 21.2 に入力端子を示します。

表 21.1 POEG の仕様

項目	内容
入力レベル検出による出力禁止制御	極性とフィルタの選択後、GTETRGn 端子の立ち上がりエッジまたは High レベルをサンプリングした場合に、GPT 出力端子を出力禁止に設定可能
GPT からの出力禁止要求	GTIOCxA 端子と GTIOCxB 端子が同時にアクティブレベルとなる場合、GPT は POEG に対して出力禁止要求を発生させる。POEG は、これらの出力禁止要求を受信して、GTIOCxA および GTIOCxB 端子を出力禁止にするか否かの制御が可能
コンパレータ (ACMPHS) 割り込み要求検出による出力禁止制御	割り込み要求がどのコンパレータ出力結果の変化によって発生した場合でも、GPT 出力端子を出力禁止に設定可能
発振停止検出による出力禁止制御	クロック発生回路の発振が停止した場合に、GPT 出力端子を出力禁止に設定可能
ソフトウェア（レジスタ）による出力禁止制御	レジスタの設定値を書き換えることにより、GPT 出力端子を出力禁止に設定可能
割り込み	外部トリガ入力端子（GTETRGn 端子）の入力レベル検出により、割り込みを発生させることが可能 すべての GPT 出力端子または ACMPHS 出力端子の出力レベルが同時にアクティブレベルとなる場合に、割り込みを発生させることが可能
GPT に対する外部トリガ出力機能	極性とフィルタの選択後、GTETRGn 信号を GPT へ出力可能 （カウント開始／カウント停止／カウントクリア／アップカウント／ダウンカウント／インプットキャプチャ機能）
ノイズフィルタリング	GTETRGn 端子からの入力に対して、ノイズフィルタクロックを、PCLKB/1, PCLKB/8, PCLKB/32, PCLKB/128 クロックからそれぞれ選択可能（選択クロックを用いて、入力信号を 3 回サンプリングすることでフィルタリング） どの GTETRGn 端子からの入力に対しても、正極性、負極性をそれぞれ選択可能 極性およびフィルタ選択後の信号状態のモニタが可能
モジュールストップ機能	グループごとにモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	グループごとにセキュリティ属性とプリビレッジ属性の設定が可能

注. n = A～D, x = 0～13

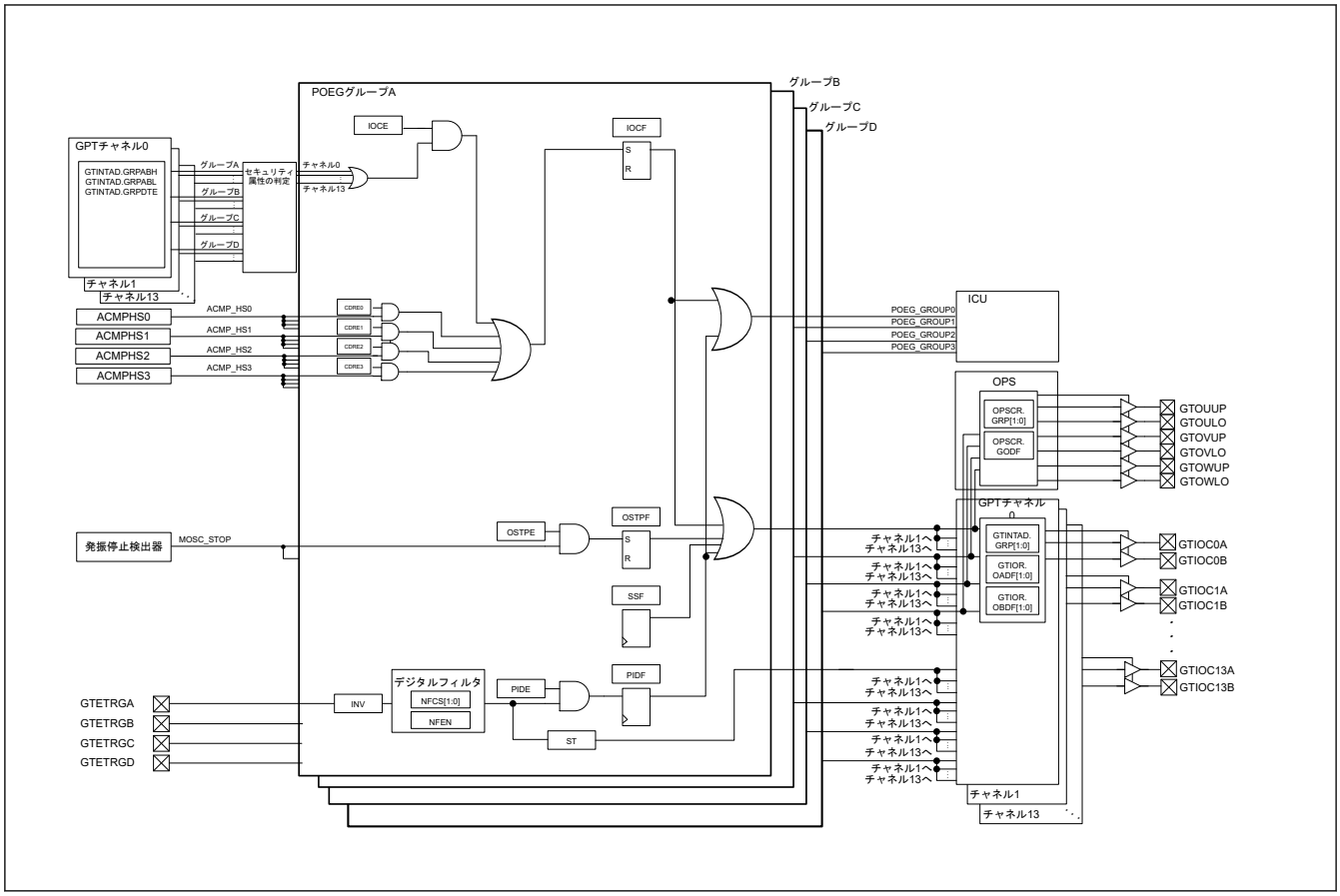


図 21.1　POEG のブロック図

表 21.2　POEG の入力端子

端子名称	入出力	機能
GTETRGA	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 A
GTETRGB	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 B
GTETRGC	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 C
GTETRGD	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 D

21.2　レジスタの説明

21.2.1　POEGGn : POEG グループ n 設定レジスタ (n = A～D)

Base address: POEG = 0x4021_2000
POEG_NS = 0x5021_2000

Offset address: 0x000 (POEGGA)
0x100 (POEGGB)
0x200 (POEGGC)
0x300 (POEGGD)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CDRE3	CDRE2	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIDF	ポート入力検出フラグ 0: GTETRGn 端子からの出力禁止要求なし 1: GTETRGn 端子からの出力禁止要求あり	R/W(注1)
1	IOCF	GPT/ACMPHS 出力禁止要求検出フラグ 0: GPT またはコンパレータ割り込みからの出力禁止要求なし 1: GPT またはコンパレータ割り込みからの出力禁止要求あり	R/W(注1)
2	OSTPF	発振停止検出フラグ 0: 発振停止検出による出力禁止要求なし 1: 発振停止検出による出力禁止要求あり	R/W(注1)
3	SSF	ソフトウェア停止フラグ 0: ソフトウェアからの出力禁止要求なし 1: ソフトウェアからの出力禁止要求あり	R/W
4	PIDE	ポート入力検出許可 0: GTETRGn 端子からの出力禁止要求を禁止 1: GTETRGn 端子からの出力禁止要求を許可	R/W(注2)
5	IOCE	GPT 出力禁止要求許可 0: GPT による出力禁止要求を禁止 1: GPT による出力禁止要求を許可	R/W(注2)
6	OSTPE	発振停止検出許可 0: 発振停止検出による出力禁止要求を禁止 1: 発振停止検出による出力禁止要求を許可	R/W(注2)
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CDRE0	ACMP HS0 許可 0: ACMPHS0 からの出力禁止要求を禁止 1: ACMPHS0 からの出力禁止要求を許可	R/W(注2)
9	CDRE1	ACMP HS1 許可 0: ACMPHS1 からの出力禁止要求を禁止 1: ACMPHS1 からの出力禁止要求を許可	R/W(注2)
10	CDRE2	ACMP HS2 許可 0: ACMPHS2 からの出力禁止要求を禁止 1: ACMPHS2 からの出力禁止要求を許可	R/W(注2)
11	CDRE3	ACMP HS3 許可 0: ACMPHS3 からの出力禁止要求を禁止 1: ACMPHS3 からの出力禁止要求を許可	R/W(注2)
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ST	GTETRGn 入力ステータスフラグ 0: フィルタリング後の GTETRGn 入力は 0 1: フィルタリング後の GTETRGn 入力は 1	R
27:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	INV	GTETRGn 入力反転 0: GTETRGn をそのまま入力 1: GTETRGn を反転して入力	R/W
29	NFEN	ノイズフィルタ有効 0: ノイズフィルタリングを禁止 1: ノイズフィルタリングを許可	R/W
31:30	NFCS[1:0]	ノイズフィルタクロック選択 0 0: GTETRGn 端子の入力レベルを PCLKB/1 クロックごとに 3 回サンプリング 0 1: GTETRGn 端子の入力レベルを PCLKB/8 クロックごとに 3 回サンプリング 1 0: GTETRGn 端子の入力レベルを PCLKB/32 クロックごとに 3 回サンプリング 1 1: GTETRGn 端子の入力レベルを PCLKB/128 クロックごとに 3 回サンプリング	R/W

注. S-TYPE3, P-TYPE3
注 1. フラグをクリアするための 0 の書き込みのみ可能です。
注 2. リセット後、1 回のみ書き込み可能です。

POEGGn (n = A～D) レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御します。

説明中の POEGGn とは、POEGGn (n = A～D) レジスタを表しています。

21.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、および BLDC モーター制御用 3 相 PWM 出力端子を出力禁止に設定できます。

- GTETRGn 端子の入力レベルまたはエッジ検出
  POEGGn.PIDE ビットが 1 の状態で、POEGGn.PIDF フラグが 1 になったとき
- GPT からの出力禁止要求
  POEGGn.IOCE ビットが 1 の場合、GTINTAD レジスタで禁止要求が許可されていると、POEGGn.IOCF フラグが 1 になります。GTINTAD.GRPABH ビットおよび GTINTAD.GRPABL ビットの設定値が、GPT レジスタの GTINTAD.GRP[1:0]ビットまたは OPSCR.GRP[1:0]ビットで選択されたグループに適用されます。

  注. GPT と POEG のセキュリティ属性が同じ場合のみ禁止要求は有効です。POEG のセキュリティ属性と異なるセキュリティ属性をもつ GPT からの禁止要求は、セキュリティ属性の判定により無効になります。
- コンパレータ (ACMPHS) 割り込み要求検出
  コンパレータ割り込みの検出は、POEGGn.CDREi (i = 0～3) のいずれかが 1 の場合に有効になります。対応するコンパレータ割り込みが発生すると、GPT 出力端子は出力禁止状態になります。POEGGn.IOCF フラグが検出状態を示します。
- クロック発生回路の発振停止検出
  POEGGn.OSTPE ビットが 1 の状態で、メインクロック発振器の停止が検出され、POEGGn.OSTPF フラグが 1 になったとき
- SSF ビットの設定
  POEGGn.SSF を 1 に設定すると、GPT と PWM の出力が無効になります。

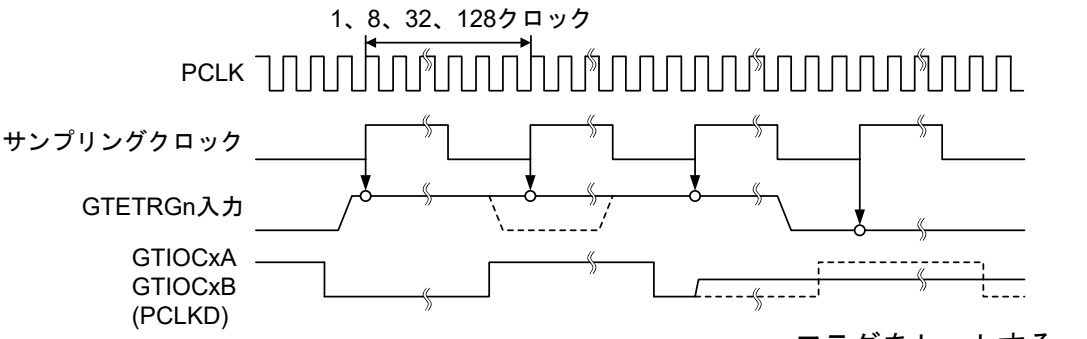
出力禁止の状態は、GPT モジュールで制御します。GTIOCxA 端子と GTIOCxB 端子の出力禁止は、GPTx の GTINTAD.GRP[1:0]ビット、GTIOR.OADF[1:0]ビットおよび GTIOR.OBDF[1:0]ビットで設定されます。BLDC モーター制御用 3 相 PWM 出力端子の出力禁止は、GPT_OPS の OPSCR.GRP[1:0]ビットおよび OPSCR.GODF ビットで設定されます。

21.3.1 端子入力レベル検出時の動作

POEGGn.PIDE ビット、POEGGn.NFCS[1:0]ビット、POEGGn.NFEN ビット、および POEGGn.INV ビットに設定された入力条件が、GTETRGn 端子で発生すると、GPT 出力端子は出力禁止状態になります。

21.3.1.1 デジタルフィルタ

図 21.2 に、デジタルフィルタによる High 検出時の動作を示します。POEGGn.INV ビットの極性設定に対応した High 状態が、POEGGn.NFCS[1:0]ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRGn 端子のレベル変化が無視されます。



注. PCLK = PCLKB
注. 各チャネルの出力は、GPT で設定できます。Low サンプリングは、POEGGn.INV で設定できます。

図 21.2 デジタルフィルタの動作例

21.3.2 GPT からの出力禁止要求

動作の詳細については、「22. 汎用 PWM タイマ (GPT)」の GTIOC 端子出力の出力禁止制御の説明を参照してください。

21.3.3 コンパレータ割り込みの検出

POEGGn.CDREi (i = 0～3) ビットが 1 の場合、対応するコンパレータ割り込み要求が発生すると、GPT 出力端子はグループごとに出力禁止状態になります。ステータスフラグは POEGGn.IOCF であり、これは GPT の出力禁止検出と共通です。

21.3.4 発振停止検出による出力禁止制御

POEGGn.OSTPE ビットが 1 の場合、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止になります。

21.3.5 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGGn.SSF) に 1 を書き込むことで直接制御が可能です。

21.3.6 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

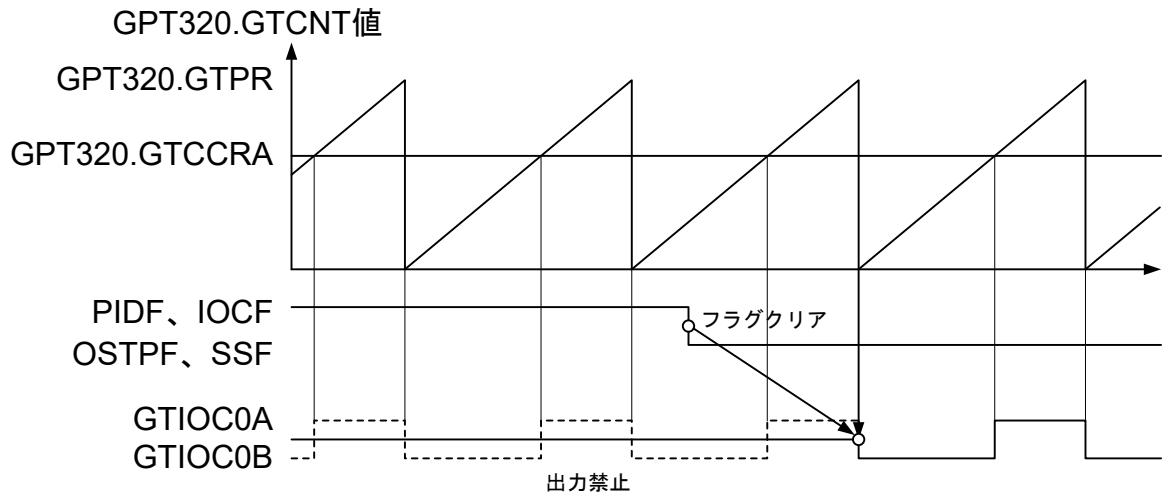
- POEGGn.PIDF
- POEGGn.IOCF
- POEGGn.OSTPF
- POEGGn.SSF

外部入力端子 GTETRGn が無効ではなく、かつ POEGGn.ST ビットが 0 になっていなければ、POEGGn.PIDF フラグに 0 を書いても無視されます（フラグはクリアされません）。

GPT の GTST.OABHF フラグおよび GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGGn.IOCF フラグに 0 を書くこと（フラグをクリアすること）ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGGn.OSTPF フラグに 0 を書いても無視されます（フラグはクリアされません）。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

図 21.3 に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。



注. レジスタのベースアドレスは同じです。

図 21.3 GPT 端子出力の出力禁止状態の解除タイミング

21.4 割り込み要因

POEG は、以下の要因に対して割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPT またはコンパレータ (ACMPHS) 割り込み要求検出からの出力禁止要求

表 21.3 に、割り込み要求の条件を示します。

表 21.3 POE の入力端子

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEG グループ A 割り込み	POEG_GROUPA	POEGGA.IOCF	GPT からの出力禁止要求の発生
			ACMPHS 割り込みからの出力禁止要求の発生
		POEGGA.PIDF	GTETRGA 端子からの出力禁止要求の発生
POEG グループ B 割り込み	POEG_GROUPB	POEGGB.IOCF	GPT からの出力禁止要求の発生
			ACMPHS 割り込みからの出力禁止要求の発生
		POEGGB.PIDF	GTETRGB 端子からの出力禁止要求の発生
POEG グループ C 割り込み	POEG_GROUPC	POEGGC.IOCF	GPT からの出力禁止要求の発生
			ACMPHS 割り込みからの出力禁止要求の発生
		POEGGC.PIDF	GTETRGC 端子からの出力禁止要求の発生
POEG グループ D 割り込み	POEG_GROUPD	POEGGD.IOCF	GPT からの出力禁止要求の発生
			ACMPHS 割り込みからの出力禁止要求の発生
		POEGGD.PIDF	GTETRGD 端子からの出力禁止要求の発生

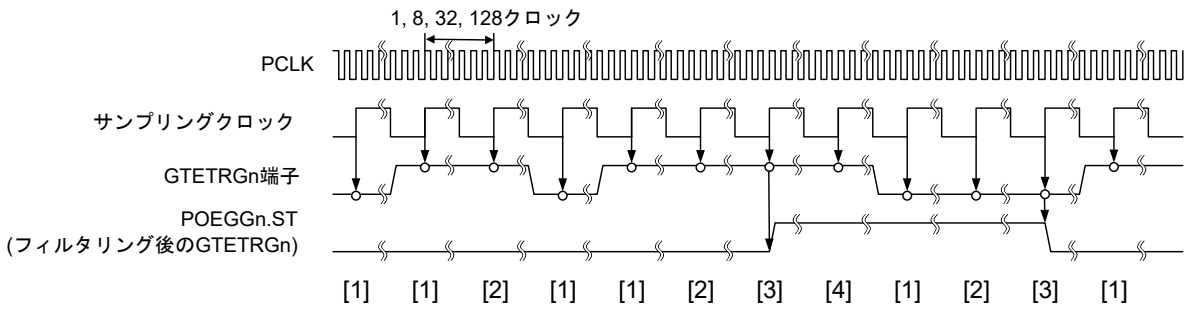
21.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETRGn 端子入力をフィルタリング、レベル検出して、出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インプットキャプチャ

POEGGn.INV ビットで設定した極性設定信号に対し、POEGGn.NFCS[1:0]で選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。「21.3.1. 端子入力レベル検出時の動作」の入力レベル検出動作と同様にコントロールレジスタを設定してください。フィルタリング後の状態は POEGGn.ST フラグでモニタできます。

図 21.4 に、GPT に対する外部トリガ出力のタイミングを示します。



注. PCLK = PCLKB
注. 各チャネルの出力は、GPT で設定可能です。極性は POEGGn.INV ビットで反転できます。

図 21.4 GPT に対する外部トリガ出力のタイミング

21.6 使用上の注意

21.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

21.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR ビットおよび PmnPFS.PSEL ビットの設定によって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

22. 汎用 PWM タイマ (GPT)

22.1 概要

汎用 PWM タイマ (GPT) は、GPT32 × 14 チャネルの 32 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーター制御用の PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。

GPT は、チャネル 0～3 に対する高精度 PWM 波形生成機能、A/D 変換開始要求機能、非対称自動デッドタイム設定機能、拡張割り込みスキップ機能を提供します。さらに、チャネル 0～3 に対する外部パルス幅測定機能、チャネル 4～9 に対する追加 PWM モード、拡張バッファ転送機能、GTCPPO 端子出力機能、チャネル間連携機能を提供します。

表 22.1 に GPT の仕様を、表 22.2 に GPT の機能一覧を示します。また、図 22.1 に GPT のブロック図を示します。

表 22.1 GPT の仕様

項目	内容
機能	• 32 ビット × 14 チャネル (GPT32n (n = 0～13)) • 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波）を選択可能 • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに 2 本の入出力端子 • チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが 2 本 • 各チャネル 2 本のアウトプットコンペア／インプットキャプチャレジスタに対し、4 本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 • チャネルごとにフレーム周期設定用レジスタを搭載（オーバーフロー／アンダーフローで割り込み可能） • PWM 動作の際にデッドタイム生成が可能 • デューティー 0%/100%の PWM 波形近傍の高精度デューティー生成 • アウトプットコンペア動作では、コンペアレジスタの設定がただちにデッドタイム付き PWM 波形の生成に使用されます。 • 任意チャネルのカウンタの同期スタート／ストップ／クリア可能 • 最大 8 つの ELC イベントによるカウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 2 本の入力端子の状態を検出し、カウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 最大 4 本の外部トリガによるカウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 出力端子間の短絡検出およびデッドタイムエラーによる出力端子無効機能 • A/D 変換開始要求生成機能 • ブラシレス DC モーター制御用の PWM 波形生成が可能 • コンペアマッチ A～F イベント、オーバーフローイベント／アンダーフローイベント、および入力 UVW エッジイベントを ELC に出力可能 • インプットキャプチャおよび入力 UVW 用のノイズフィルタが有効 • 周期計数機能 • 外部パルス幅測定機能 • チャネル出力間の論理演算 • 同期カウンタクリア／カウンタ設定／チャネル間インプットキャプチャ • バスクロック：PCLKA、コアクロック：GTCLK(注1) • 周波数比：PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64)（同期クロック使用時）、PCLKA ≦ GTCLK（非同期クロック使用時 GTIOCnA/B 入出力端子の極性反転機能）

注 1. GPT コアクロック (GTCLK) は、同期クロック選択時は PCLKD、非同期クロック選択時は GPTCLK です。図 22.3 を参照してください。

表 22.2 GPT の機能一覧 (1/2)

項目		内容
カウントクロック		GTCLK GTCLK/2 GTCLK/4 GTCLK/8 GTCLK/16 GTCLK/32 GTCLK/64 GTCLK/128 GTCLK/256 GTCLK/512 GTCLK/1024 GTETRGA, GTETRGB, GTETRGC, GTETRGD
アウトプットコンペア／インプットキャプチャレジスタ (GTCCR)		GTCCRA GTCCRB
コンペア／バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ		GTPR
周期設定バッファレジスタ		GTPBR GTPDBR
入出力端子		GTIOCnA GTIOCnB (n = 0～13)
外部トリガ入力端子(注1)		GTETRGA GTETRGB GTETRGC GTETRGD
カウンタクリア要因		GTPR レジスタコンペアマッチ インプットキャプチャ 入力端子の状態 ELC イベント入力 GTETRGn (n = A～D) 端子入力 GTCCR レジスタコンペアマッチ (GPT32n (n = 4～9)) 他のチャネルのカウンタクリア要因 (GPT32n (n = 4～9))
周期計数機能		使用可能 (GPT32n (n = 0～3, 10～13))
コンペアマッチ出力	Low 出力	使用可能
	High 出力	使用可能
	トグル出力	使用可能
インプットキャプチャ機能		使用可能
デッドタイム自動付加機能		使用可能
PWM モード		使用可能
高精度 PWM 波形		使用可能 (GPT32n (n = DEADBEEF))
位相計数機能		使用可能
外部パルス幅測定機能		使用可能
バッファ動作		ダブルバッファ 複数チャネルへの同時動作無効制御 カウンタクリア／コンペアマッチによるバッファ動作
ワンショット動作		使用可能
DMAC/DTC の起動		すべての割り込み要因
A/D 変換開始要求		GTADTRA レジスタまたは GTADTRB レジスタのコンペアマッチ
ブラシレス DC モーター制御機能		使用可能

表 22.2 GPT の機能一覧 (2/2)

項目	内容
割り込み要因	11 要因 ● GTCCRA コンペアマッチ／インプットキャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ／インプットキャプチャ (GPTn_CCMPB) ● GTCCRC コンペアマッチ (GPTn_CMPC) ● GTCCRD コンペアマッチ (GPTn_CMPD) ● GTCCRE コンペアマッチ (GPTn_CMPE) ● GTCCRF コンペアマッチ (GPTn_CMPF) ● GTCNT オーバーフロー（GTPR コンペアマッチ）(GPTn_OVF) ● GTCNT アンダーフロー (GPTn_UDF) ● GTPC カウント停止 (GPTx_PC) (x = 0～3)
割り込み間引き機能	● GTCNT カウンタオーバーフロー（GTPR レジスタコンペアマッチ）(GTPn_OVF) および GTCNT カウンタアンダーフロー (GTPn_UDF) の割り込みスキップ（他の割り込みと A/D 変換開始要求のインターロック） ● GTADTRA レジスタ、GTADTRB レジスタのコンペアマッチのスキップ (GPT32y (y = 4～9)) ● バッファ動作スキップ機能
イベントリンク (ELC) 機能	使用可能(注2)
ノイズフィルタ機能	使用可能
チャネル出力間の論理演算	使用可能
同期カウンタクリア／カウンタ設定／インプットキャプチャ	使用可能 (GPT32n (n = 4～9))
TrustZone フィルタ	各ユニットに対してセキュリティ属性とプリビレッジ属性の設定が可能。(注3)

注.
注 1. GTETRGn は、POEG モジュールを経由して GPT に接続します。そのため、GPT 機能を使用するには、MSTPCRD.MSTPDn (n = 11～14) ビットをクリアして POEG にクロックを供給する必要があります。
注 2. 「22.6. ELC によるリンク動作」を参照してください。
注 3. UNIT0～UNIT3 は CH0～CH3 です。
UNIT4 は CH4～CH9 です。
UNIT5～8 は CH10～CH13 です。

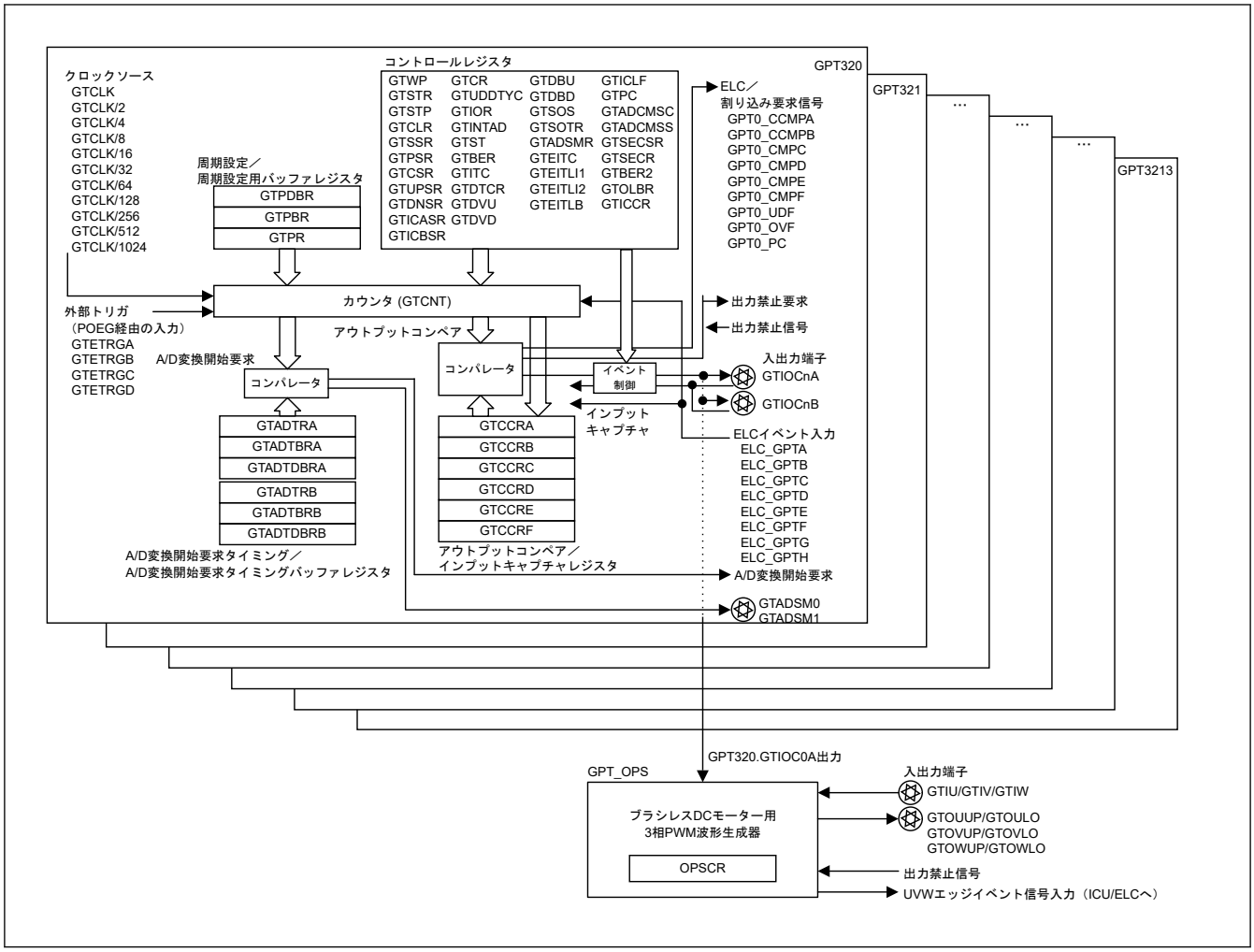


図 22.1　GPT のブロック図（のこぎり波 PWM モード 1、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3）

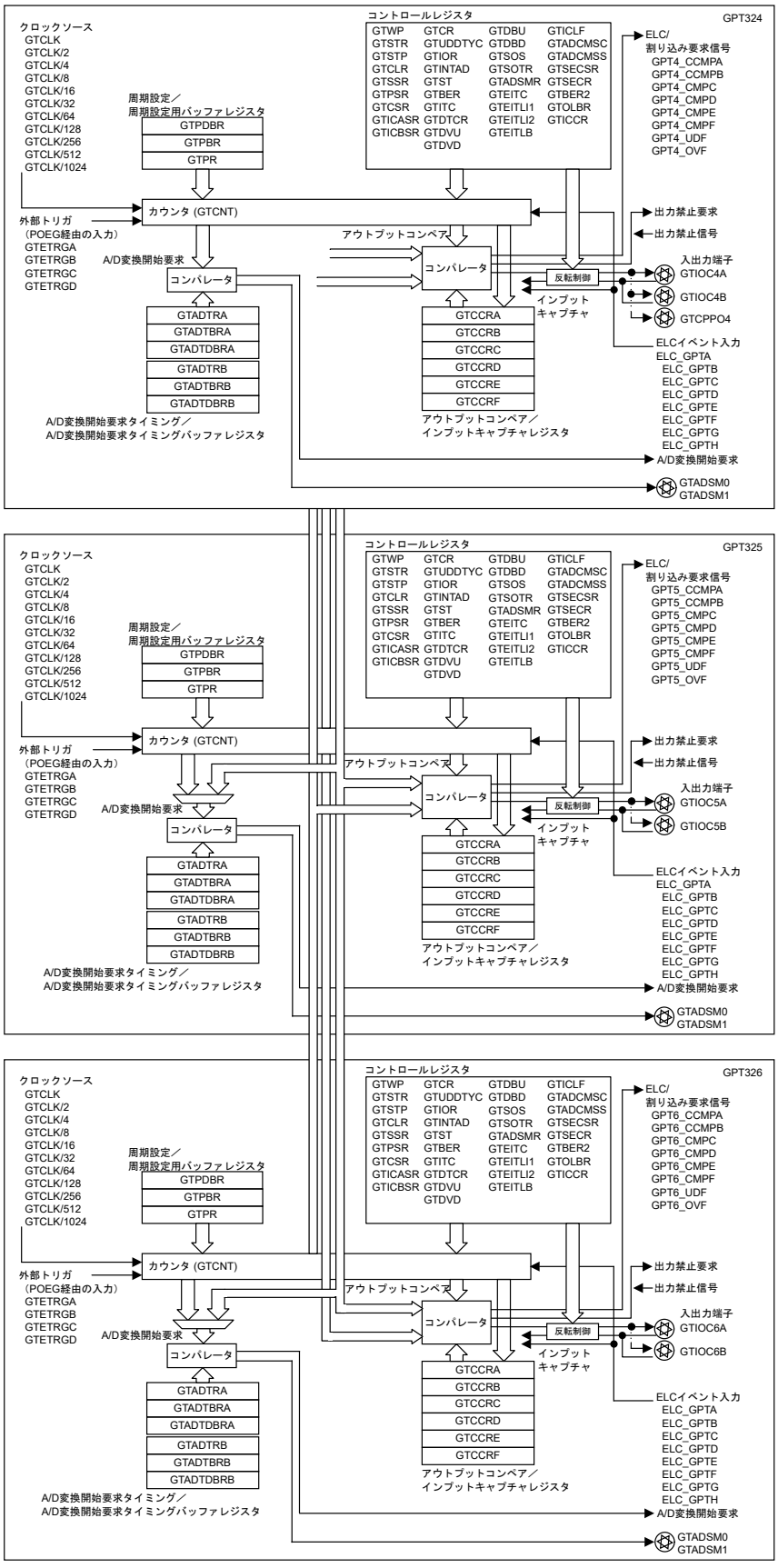


図 22.2　GPT のブロック図（のこぎり波 PWM モード 1、2、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3、相補 PWM モード 1、2、3、4）

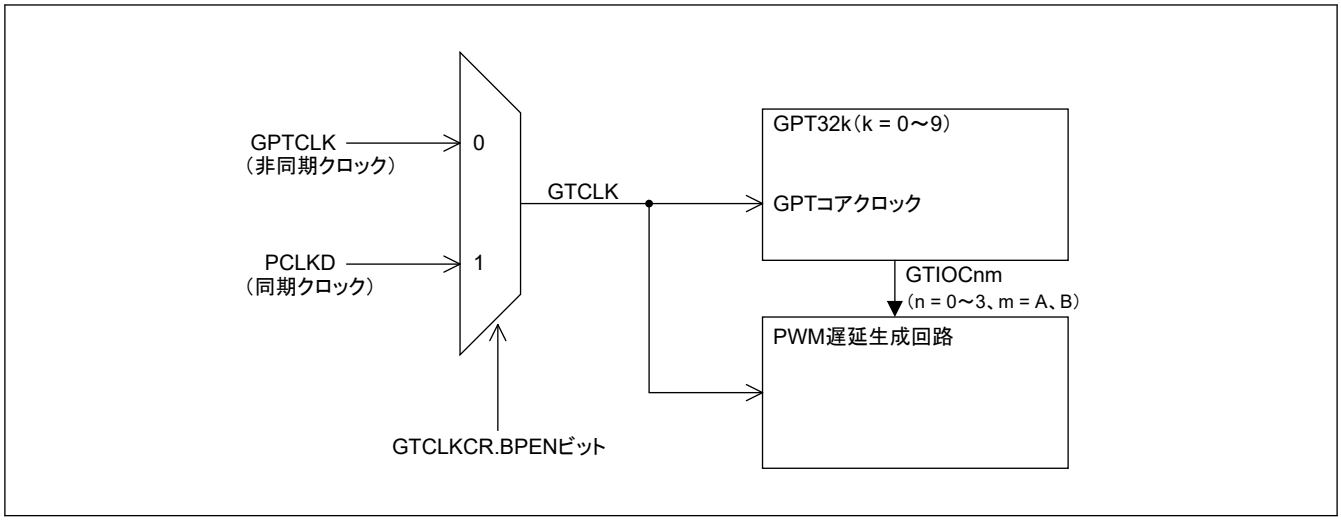


図 22.3　GPT コアクロック選択図

本仕様では、相補 PWM モードを構成する 3 つの連続したチャネルが相補 PWM モードチャネルグループとして定義されます。相補 PWM モードチャネルグループで最低位のチャネルは、マスタチャネルとして定義されます。2 番目のチャネルはスレーブチャネル 1 として定義されます。最高位のチャネルはスレーブチャネル 2 として定義されます。

図 22.4 にチャネルとモジュール名の関係を示します。

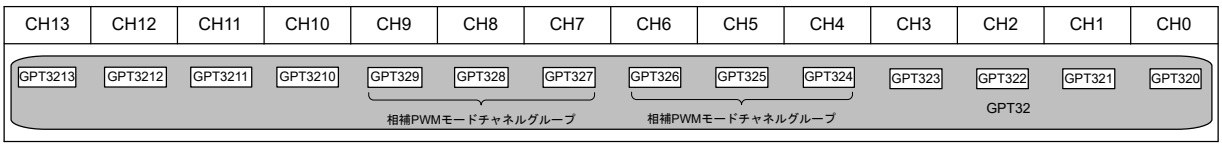


図 22.4　GPT チャネルとモジュール名の関係

表 22.3 に入出力端子の一覧を示します。

表 22.3　GPT の入出力端子 (1/2)

チャネル	端子名	入出力	機能
共通	GTETRGx	入力	外部トリガ入力端子 x（POEG 経由の入力）
	GTADSM0	出力	A/D 変換開始要求監視 0 出力端子
	GTADSM1	出力	A/D 変換開始要求監視 1 出力端子
GPT32n	GTIOCnA	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTIOCnB	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTCPPOk	出力	PWM 同期トグル出力

表 22.3 GPT の入出力端子 (2/2)

チャネル	端子名	入出力	機能
GPT_OPS	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）

注. x: A～D
n: 0～13
k: 0～13

22.2 レジスタの説明

22.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	CMNWP	CLRWP	STPWP	STRWP	WP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WP	レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
1	STRWP	GTSTR.CSTRT ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
2	STPWP	GTSTP.CSTOP ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
3	CLRWP	GTCLR.CCLR ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
4	CMNWP	共通レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	GTWP キーコード これらのビットに 0xA5 を書き込むと、WP、STRWP、STPWP、CLRWP、および CMNWP ビットへの書き込みが許可されます。読むと 0 が読めます。	W

ビット	シンボル	機能	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可または禁止するレジスタです。GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

WP ビット（レジスタ書き込み禁止）

書き込みが許可または禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTEITC, GTEITLI1, GTEITLI2, GTEITLB, GTICLF, GTPC, GTADCMSC, GTADCMSS, GTBER2, GTOLBR, GTICCR

STRWP ビット（GTSTR.CSTRT ビット書き込み禁止）

STRWP ビットは、GTSTR レジスタのチャネル番号に対応する CSTRTn ビット (n = 0～13) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTR レジスタの各 CSTRTn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STRWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CSTRT ビットの更新のみを制御します。

したがって、STRWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTRT ビットへの書き込みの場合、そのチャネルの CSTRT ビットは更新されませんが、STRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTRT ビットは更新されます。たとえば、GPT320.GTWP.STRWP ビットの設定が 0（書き込み許可）である場合、GPT321.GTSTR.CSTRT0 ビットに 1 を書き込むと（現在の設定が 0 であるとき）、値が更新され、GPT320.GTCNT カウンタが動作を開始します。GPT320.GTWP.STRWP ビットが 1（書き込み禁止）である場合、GPT321.GTSTR.CSTRT0 ビットに 1 を書き込んでも（現在の設定が 0 であるとき）、この値は 0 のままとなり、GPT320.GTCNT カウンタは動作しません。

GTSTR レジスタの全ビットの更新を保護したい場合は、全チャネルの STRWP ビットを 1 に設定してください。

STPWP ビット（GTSTP.CSTOP ビット書き込み禁止）

STPWP ビットは、GTSTP レジスタのチャネル番号に対応する CSTOPn ビット (n = 0～13) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTP レジスタの各 CSTOPn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTP レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STPWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CSTOP ビットの更新のみを制御します。

したがって、STPWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTOP ビットへの書き込みの場合、そのチャネルの CSTOP ビットは更新されませんが、STPWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTOP ビットは更新されます。たとえば、GPT320.GTWP.STPWP ビットの設定が 0（書き込み許可）である場合、GPT321.GTSTP.CSTOP0 ビットに 1 を書き込むと（現在の設定が 0 であるとき）、値が更新され、GPT320.GTCNT カウンタが停止します。GPT320.GTWP.STPWP ビットが 1（書き込み禁止）である場合、GPT321.GTSTP.CSTOP0 ビットに 1 を書き込んでも（現在の設定が 0 であるとき）、この値は 0 のままとなり、GPT320.GTCNT カウンタは停止しません。

GTSTP レジスタの全ビットの更新を保護したい場合は、全チャネルの STPWP ビットを 1 に設定してください。

CLRWP ビット（GTCLR.CCLR ビット書き込み禁止）

CLRWP ビットは、GTCLR レジスタのチャネル番号に対応する CCLRn ビット (n = 0～13) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTCLR レジスタの各 CCLRn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTCLR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの CLRWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CCLR ビットの更新のみを制御します。

したがって、CLRWP ビットが 1（書き込み禁止）に設定されたチャネルの CCLR ビットへの書き込みの場合、そのチャネルの CCLR ビットは更新されませんが、CLRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CCLR ビットは更新されます。たとえば、GPT320.GTWP.CLRWP ビットの設定が 0（書き込み許可）である場合、GPT321.GTCLR.CCLR0 ビットに 1 を書き込むと（現在の設定が 0 であるとき）、値が更新され、GPT320.GTCNT カウンタをクリアします。GPT320.GTWP.CLRWP ビットが 1（書き込み禁止）である場合、GPT321.GTCLR.CCLR0 ビットに 1 を書き込んでも（現在の設定が 0 であるとき）、この値は 0 のままとなり、GPT320.GTCNT カウンタはクリアしません。

GTCLR レジスタの全ビットの更新を保護したい場合は、全チャネルの CLRWP ビットを 1 に設定してください。

CMNWP ビット（共通レジスタ書き込み禁止）

CMNWP ビットは、GTSECSR レジスタまたは GTSECR レジスタのチャネル番号に対応する SECSELn ビット (n = 0～13) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSECSR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。任意のチャネルの GTSECR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの CMNWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する SECSEL ビットおよび GTSECR レジスタ値の更新のみを制御します。

したがって、CMNWP ビットが 1（書き込み禁止）に設定されたチャネルの SECSEL ビットと GTSECR レジスタ値を書き込む場合、そのチャネルの SECSEL ビットと GTSECR レジスタ値は更新されませんが、CMNWP ビットが 0（書き込み許可）に設定されているチャネルに対応する SECSEL ビットと GTSECR レジスタ値は更新されます。

たとえば、GPT320.GTWP.CMNWP ビットが 0（書き込み許可）である場合、GPT321.GTSECSR.SECSEL0 ビットに値を書き込むと、GPT320.GTSECSR.SECSEL0 ビットの値が更新されます。同様に、GPT321.GTSECR レジスタに書き込むと、GPT320.GTSECR レジスタの値が更新されます。GPT320.GTWP.CMNWP ビットが 1（書き込み禁止）である場合、GPT321.GTSECSR.SECSEL0 ビットに値を書き込んでも、GPT320.GTSECSR.SECSEL0 ビットの値は更新されません。同様に、GPT321.GTSECR レジスタに書き込んでも、GPT320.GTSECR レジスタの値は更新されません。

GTSECSR レジスタと GTSECR レジスタの全ビットの更新を保護したい場合は、全チャネルの CMNWP ビットを 1 に設定してください。

PRKEY[7:0]ビット（GTWP キーコード）

このビットは WP、STRWP、STPWP、CLRWP、および CMNWP ビットへの書き込みを制御します。

22.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x04

Bit position:	31																												0
Bit field:	CSTRT31～CSTRT0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CSTRT0～ CSTRT31(注1)	チャネル n GTCNT カウントスタート（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を開始しない 1: GTCNT カウンタ動作を開始する	R/W

注 1. 使用可能なビットは製品により変わります。CSTRTn の n は GPT のチャネル番号と同一です。本製品では、n は 0～13 です。

GTSTR レジスタは、各チャネル n (n = 0～13) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を開始します。 0 を書き込んでも、GTCNT カウンタの状態と GTSTR レジスタの値には影響しません。

相補 PWM モードでは、マスタチャネルの CSTRTn ビットへの書き込みのみ有効です。スレーブチャネルのビットはマスタチャネルのビット値を反映します。

モジュール名とチャネル番号の関係については、図 22.4 を参照してください。

CSTRTn ビット（チャネル n GTCNT カウントスタート (n = 0～13)）

CSTRTn ビットはチャネル n の GTCNT カウンタ動作を開始します。GTSSR.CSTRT ビットを 1 にしないかぎり、GTSTR.CSTRTn ビット (n = 0～13) への書き込みは無効です。

リードデータは各チャネルのカウンタ状態（GTCR.CST ビット値）を示します。0 はカウンタ停止中を、1 はカウンタ動作中を意味します。

22.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x08

Bit position:	31																												0
Bit field:	CSTOP31～CSTOP0																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	CSTOP0～ CSTOP31(注1)	チャネル n GTCNT カウントストップ（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を停止しない 1: GTCNT カウンタ動作を停止する	R/W

注 1. 使用可能なビットは製品により変わります。CSTOPn の n は GPT のチャネル番号と同一です。本製品では、n は 0～13 です。

GTSTP レジスタは、各チャネル n (n = 0～13) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャネル番号に相当します。GTSTP レジスタは各チャネル共通です。 1 が書き込まれた GTSTP レジスタのビット番号に対応するチャネルの GTCNT カウンタが停止します。0 を書き込んでも、GTCNT カウンタの状態と GTSTP レジスタの値には影響しません。

相補 PWM モードでは、マスタチャネルの CSTOPn ビットへの書き込みのみ有効です。スレーブチャネルのビットはマスタチャネルのビット値を反映します。

モジュール名とチャネル番号の関係については、図 22.4 を参照してください。

CSTOPn ビット（チャネル n GTCNT カウントストップ (n = 0～13)）

CSTOPn ビットはチャネル n の GTCNT カウンタ動作を停止します。GTPSR.CSTOP ビットを 1 にしないかぎり、GTSTP.CSTOPn ビット (n = 0～13) への書き込みは無効です。読み出しデータは各チャネルのカウンタ状態（GTCR.CST ビットの反転値）を示します。0 はカウンタ動作中を、1 はカウンタ停止中を意味します。

22.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x0C

Bit position:	31																												0
Bit field:	CCLR31～CCLR0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CCLR0～ CCLR31(注1)	チャネル n GTCNT カウントクリア（n：ビット値と同一） 0: GTCNT カウンタ値がクリアされない 1: GTCNT カウンタ値がクリアされる	W

注 1. 使用可能なビットは製品により変わります。CCLRn の n は GPT のチャネル番号と同一です。本製品では、n は 0～13 です。

GTCLR レジスタは書き込み専用レジスタで、各チャネル n (n = 0～13) の GTCNT カウンタをクリアします。

GTCLR レジスタのビット番号はチャネル番号に相当します。GTCLR レジスタは各チャネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャネルの GTCNT カウンタがクリアされます。 0 を書き込んでも GTCNT カウンタ値の状態には影響しません。

相補 PWM モードでは、マスタチャネルの CCLRn ビットへの書き込みのみ有効です。スレーブチャネルのビットはマスタチャネルのビット値を反映します。

モジュール名とチャネル番号の関係については、図 22.4 を参照してください。

CCLRn ビット（チャネル n GTCNT カウントクリア (n = 0～13)）

GTCR.MD[2:0]ビットで選択されたのこぎり波モードでカウント方向フラグがデクリメント（GTST.TUCF フラグ = 0）に設定される場合、GTCNT カウンタ値は CCLRn ビットへの 1 書き込みに対応する GTPR レジスタの値になります。カウンタ値は他の設定で 0x0000 0000 になります。読むと 0 が読めます。

22.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTRT	—	—	—	—	—	—	—	SSELCH	SSELCG	SSELCF	SSELCE	SSELCD	SSELCC	SSELCB	SSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSCBFAH	SSCBFAL	SSCBRAH	SSCBRAL	SSCAFBH	SSCAFBL	SSCARBH	SSCARBL	SSGTRGDF	SSGTRGDR	SSGTRGCF	SSGTRGCR	SSGTRGBF	SSGTRGBR	SSGTRGAF	SSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSGTRGAR	GTETRGA 立ち上がり要因カウントスタート許可 0: GTETRGA 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
1	SSGTRGAF	GTETRGA 立ち下がり要因カウントスタート許可 0: GTETRGA 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち下がりによるカウントスタートを許可	R/W(注1)
2	SSGTRGBR	GTETRGB 立ち上がり要因カウントスタート許可 0: GTETRGB 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
3	SSGTRGBF	GTETRGB 立ち下がり要因カウントスタート許可 0: GTETRGB 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち下がりによるカウントスタートを許可	R/W(注1)
4	SSGTRGCR	GTETRGC 立ち上がり要因カウントスタート許可 0: GTETRGC 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGC 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
5	SSGTRGCF	GTETRGC 立ち下がり要因カウントスタート許可 0: GTETRGC 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGC 入力の立ち下がりによるカウントスタートを許可	R/W(注1)
6	SSGTRGDR	GTETRGD 立ち上がり要因カウントスタート許可 0: GTETRGD 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGD 入力の立ち上がりによるカウントスタートを許可	R/W(注1)
7	SSGTRGDF	GTETRGD 立ち下がり要因カウントスタート許可 0: GTETRGD 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGD 入力の立ち下がりによるカウントスタートを許可	R/W(注1)

ビット	シンボル	機能	R/W
8	SSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
9	SSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
10	SSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
11	SSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
12	SSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
13	SSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
14	SSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
15	SSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
16	SSELCA	ELC_GPTA イベント要因カウントスタート許可 0: ELC_GPTA イベント入力によるカウントスタートを禁止 1: ELC_GPTA イベント入力によるカウントスタートを許可	R/W(注1)
17	SSELCB	ELC_GPTB イベント要因カウントスタート許可 0: ELC_GPTB イベント入力によるカウントスタートを禁止 1: ELC_GPTB イベント入力によるカウントスタートを許可	R/W(注1)
18	SSELCC	ELC_GPTC イベント要因カウントスタート許可 0: ELC_GPTC イベント入力によるカウントスタートを禁止 1: ELC_GPTC イベント入力によるカウントスタートを許可	R/W(注1)
19	SSELCD	ELC_GPTD イベント要因カウントスタート許可 0: ELC_GPTD イベント入力によるカウントスタートを禁止 1: ELC_GPTD イベント入力によるカウントスタートを許可	R/W(注1)
20	SSELCE	ELC_GPTE イベント要因カウントスタート許可 0: ELC_GPTE イベント入力によるカウントスタートを禁止 1: ELC_GPTE イベント入力によるカウントスタートを許可	R/W(注1)
21	SSELCF	ELC_GPTF イベント要因カウントスタート許可 0: ELC_GPTF イベント入力によるカウントスタートを禁止 1: ELC_GPTF イベント入力によるカウントスタートを許可	R/W(注1)

ビット	シンボル	機能	R/W
22	SSELCG	ELC_GPTG イベント要因カウントスタート許可 0: ELC_GPTG イベント入力によるカウントスタートを禁止 1: ELC_GPTG イベント入力によるカウントスタートを許可	R/W(注1)
23	SSELCH	ELC_GPTH イベント要因カウントスタート許可 0: ELC_GPTH イベント入力によるカウントスタートを禁止 1: ELC_GPTH イベント入力によるカウントスタートを許可	R/W(注1)
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTRT	ソフトウェア要因カウントスタート許可 0: GTSTR レジスタによるカウントスタートを禁止 1: GTSTR レジスタによるカウントスタートを許可	R/W(注1)

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

SSGTRGAR ビット（GTETRGA 立ち上がり要因カウントスタート許可）

SSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGAF ビット（GTETRGA 立ち下がり要因カウントスタート許可）

SSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBR ビット（GTETRGB 立ち上がり要因カウントスタート許可）

SSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBF ビット（GTETRGB 立ち下がり要因カウントスタート許可）

SSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCR ビット（GTETRGC 立ち上がり要因カウントスタート許可）

SSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCF ビット（GTETRGC 立ち下がり要因カウントスタート許可）

SSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDR ビット（GTETRGD 立ち上がり要因カウントスタート許可）

SSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDF ビット（GTETRGD 立ち下がり要因カウントスタート許可）

SSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

SSELCm ビット（ELC_GPTm イベント要因カウントスタート許可） (m = A～H)

SSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントスタートの許可／禁止を選択します。

CSTRT ビット（ソフトウェア要因カウントスタート許可）

CSTRT ビットは GTSTR レジスタによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

22.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTOP	—	—	—	—	—	—	—	PSELCH	PSELCG	PSELCF	PSELCE	PSELCD	PSELCC	PSELCB	PSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSCBFAH	PSCBFAL	PSCBRAH	PSCBRAL	PSCAFBH	PSCAFBL	PSCARBH	PSCARBL	PSGTRGDF	PSGTRGDR	PSGTRGCF	PSGTRGCR	PSGTRGBF	PSGTRGBR	PSGTRGAF	PSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSGTRGAR	GTETRGA 立ち上がり要因カウントストップ許可 0: GTETRGA 入力の立ち上がりによるカウントストップを禁止 1: GTETRGA 入力の立ち上がりによるカウントストップを許可	R/W(注1)
1	PSGTRGAF	GTETRGA 立ち下がり要因カウントストップ許可 0: GTETRGA 入力の立ち下がりによるカウントストップを禁止 1: GTETRGA 入力の立ち下がりによるカウントストップを許可	R/W(注1)
2	PSGTRGBR	GTETRGB 立ち上がり要因カウントストップ許可 0: GTETRGB 入力の立ち上がりによるカウントストップを禁止 1: GTETRGB 入力の立ち上がりによるカウントストップを許可	R/W(注1)
3	PSGTRGBF	GTETRGB 立ち下がり要因カウントストップ許可 0: GTETRGB 入力の立ち下がりによるカウントストップを禁止 1: GTETRGB 入力の立ち下がりによるカウントストップを許可	R/W(注1)
4	PSGTRGCR	GTETRGC 立ち上がり要因カウントストップ許可 0: GTETRGC 入力の立ち上がりによるカウントストップを禁止 1: GTETRGC 入力の立ち上がりによるカウントストップを許可	R/W(注1)
5	PSGTRGCF	GTETRGC 立ち下がり要因カウントストップ許可 0: GTETRGC 入力の立ち下がりによるカウントストップを禁止 1: GTETRGC 入力の立ち下がりによるカウントストップを許可	R/W(注1)
6	PSGTRGDR	GTETRGD 立ち上がり要因カウントストップ許可 0: GTETRGD 入力の立ち上がりによるカウントストップを禁止 1: GTETRGD 入力の立ち上がりによるカウントストップを許可	R/W(注1)
7	PSGTRGDF	GTETRGD 立ち下がり要因カウントストップ許可 0: GTETRGD 入力の立ち下がりによるカウントストップを禁止 1: GTETRGD 入力の立ち下がりによるカウントストップを許可	R/W(注1)
8	PSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
9	PSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
10	PSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W

ビット	シンボル	機能	R/W
11	PSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
12	PSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
13	PSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
14	PSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
15	PSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
16	PSELCA	ELC_GPTA イベント要因カウントストップ許可 0: ELC_GPTA イベント入力によるカウントストップを禁止 1: ELC_GPTA イベント入力によるカウントストップを許可	R/W(注1)
17	PSELCB	ELC_GPTB イベント要因カウントストップ許可 0: ELC_GPTB イベント入力によるカウントストップを禁止 1: ELC_GPTB イベント入力によるカウントストップを許可	R/W(注1)
18	PSELCC	ELC_GPTC イベント要因カウントストップ許可 0: ELC_GPTC イベント入力によるカウントストップを禁止 1: ELC_GPTC イベント入力によるカウントストップを許可	R/W(注1)
19	PSELCD	ELC_GPTD イベント要因カウントストップ許可 0: ELC_GPTD イベント入力によるカウントストップを禁止 1: ELC_GPTD イベント入力によるカウントストップを許可	R/W(注1)
20	PSELCE	ELC_GPTE イベント要因カウントストップ許可 0: ELC_GPTE イベント入力によるカウントストップを禁止 1: ELC_GPTE イベント入力によるカウントストップを許可	R/W(注1)
21	PSELCF	ELC_GPTF イベント要因カウントストップ許可 0: ELC_GPTF イベント入力によるカウントストップを禁止 1: ELC_GPTF イベント入力によるカウントストップを許可	R/W(注1)
22	PSELCG	ELC_GPTG イベント要因カウントストップ許可 0: ELC_GPTG イベント入力によるカウントストップを禁止 1: ELC_GPTG イベント入力によるカウントストップを許可	R/W(注1)
23	PSELCH	ELC_GPTH イベント要因カウントストップ許可 0: ELC_GPTH イベント入力によるカウントストップを禁止 1: ELC_GPTH イベント入力によるカウントストップを許可	R/W(注1)
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTOP	ソフトウェア要因カウントストップ許可 0: GTSTP レジスタによるカウントストップを禁止 1: GTSTP レジスタによるカウントストップを許可	R/W(注1)

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

PSGTRGAR ビット（GTETRGA 立ち上がり要因カウントストップ許可）

PSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGAF ビット（GTETRGA 立ち下がり要因カウントストップ許可）

PSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGBR ビット（GTETRGB 立ち上がり要因カウントストップ許可）

PSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGBF ビット（GTETRGB 立ち下がり要因カウントストップ許可）

PSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGCR ビット（GTETRGC 立ち上がり要因カウントストップ許可）

PSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGCF ビット（GTETRGC 立ち下がり要因カウントストップ許可）

PSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGDR ビット（GTETRGD 立ち上がり要因カウントストップ許可）

PSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGDF ビット（GTETRGD 立ち下がり要因カウントストップ許可）

PSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

PSELCm ビット（ELCm イベント要因カウントストップ許可）(m = A～H)

PSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントストップの許可／禁止を選択します。

CSTOP ビット（ソフトウェア要因カウントストップ許可）

CSTOP ビットは GTSTP レジスタによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

22.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CCLR	—	—	—	CP1CCE	CSCMSC[2:0]			CSELCH	CSELCG	CSELCF	CSELCE	CSELCD	CSELCC	CSELCB	CSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CSCBFAH	CSCBFAL	CSCBRAH	CSCBRAL	CSCAFBH	CSCAFBL	CSCARBH	CSCARBL	CSGTRGDF	CSGTRGDR	CSGTRGCF	CSGTRGCR	CSGTRGBF	CSGTRGBR	CSGTRGAF	CSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CSGTRGAR	GTETRGA 立ち上がり要因カウンタクリア許可 0: GTETRGA 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)
1	CSGTRGAF	GTETRGA 立ち下がり要因カウンタクリア許可 0: GTETRGA 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
2	CSGTRGBR	GTETRGB 立ち上がり要因カウンタクリア許可 0: GTETRGB 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)

ビット	シンボル	機能	R/W
3	CSGTRGBF	GTETRGB 立ち下がり要因カウンタクリア許可 0: GTETRGB 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
4	CSGTRGCR	GTETRGC 立ち上がり要因カウンタクリア許可 0: GTETRGC 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)
5	CSGTRGCF	GTETRGC 立ち下がり要因カウンタクリア許可 0: GTETRGC 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
6	CSGTRGDR	GTETRGD 立ち上がり要因カウンタクリア許可 0: GTETRGD 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち上がりによるカウンタクリアを許可	R/W(注1)
7	CSGTRGDF	GTETRGD 立ち下がり要因カウンタクリア許可 0: GTETRGD 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち下がりによるカウンタクリアを許可	R/W(注1)
8	CSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
9	CSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
10	CSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
11	CSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
12	CSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
13	CSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
14	CSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
15	CSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
16	CSELCA	ELC_GPTA イベント要因カウンタクリア許可 0: ELC_GPTA イベント入力によるカウンタクリアを禁止 1: ELC_GPTA イベント入力によるカウンタクリアを許可	R/W(注1)

ビット	シンボル	機能	R/W
17	CSELCB	ELC_GPTB イベント要因カウンタクリア許可 0: ELC_GPTB イベント入力によるカウンタクリアを禁止 1: ELC_GPTB イベント入力によるカウンタクリアを許可	R/W(注1)
18	CSELCC	ELC_GPTC イベント要因カウンタクリア許可 0: ELC_GPTC イベント入力によるカウンタクリアを禁止 1: ELC_GPTC イベント入力によるカウンタクリアを許可	R/W(注1)
19	CSELCD	ELC_GPTD イベント要因カウンタクリア許可 0: ELC_GPTD イベント入力によるカウンタクリアを禁止 1: ELC_GPTD イベント入力によるカウンタクリアを許可	R/W(注1)
20	CSELCE	ELC_GPTE イベント要因カウンタクリア許可 0: ELC_GPTE イベント入力によるカウンタクリアを禁止 1: ELC_GPTE イベント入力によるカウンタクリアを許可	R/W(注1)
21	CSELCF	ELC_GPTF イベント要因カウンタクリア許可 0: ELC_GPTF イベント入力によるカウンタクリアを禁止 1: ELC_GPTF イベント入力によるカウンタクリアを許可	R/W(注1)
22	CSELCG	ELC_GPTG イベント要因カウンタクリア許可 0: ELC_GPTG イベント入力によるカウンタクリアを禁止 1: ELC_GPTG イベント入力によるカウンタクリアを許可	R/W(注1)
23	CSELCH	ELC_GPTH イベント要因カウンタクリア許可 0: ELC_GPTH イベント入力によるカウンタクリアを禁止 1: ELC_GPTH イベント入力によるカウンタクリアを許可	R/W(注1)
26:24	CSCMSC[2:0]	コンペアマッチ／インプットキャプチャ／同期カウンタクリア要因カウンタクリア許可(注2) 0 0 0: コンペアマッチ／インプットキャプチャ／同期カウンタクリアグループによるカウンタクリア禁止 0 0 1: GTCCRA レジスタコンペアマッチ／インプットキャプチャによるカウンタクリア許可 0 1 0: GTCCRB レジスタコンペアマッチ／インプットキャプチャによるカウンタクリア許可 0 1 1: GTCCRC レジスタコンペアマッチによるカウンタクリア許可 1 0 0: GTCCRD レジスタコンペアマッチによるカウンタクリア許可 1 0 1: GTCCRE レジスタコンペアマッチによるカウンタクリア許可 1 1 0: GTCCRF レジスタコンペアマッチによるカウンタクリア許可 1 1 1: 同期カウンタクリアグループによるカウンタクリア許可	R/W
27	CP1CCE	相補 PWM モード 1 山要因カウンタクリア許可(注2) 0: 相補 PWM モード 1 の山でのカウンタクリアを禁止 1: 相補 PWM モード 1 の山でのカウンタクリアを許可	R/W(注1)
30:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CCLR	ソフトウェア要因カウンタクリア許可 0: GTCLR レジスタによるカウンタクリアを禁止 1: GTCLR レジスタによるカウンタクリアを許可	R/W(注1)

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。
注 2. このビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 および GPT3210～GPT3213 では、このビットは 0 が読めます。書く場合、0 としてください。

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST = 1) の場合または、停止 (GTCR.CST = 0) の場合に実行することが可能です。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

CSGTRGAR ビット（GTETRGA 立ち上がり要因カウンタクリア許可）

CSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGAF ビット（GTETRGA 立ち下がり要因カウンタクリア許可）

CSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBR ビット（GTETRGB 立ち上がり要因カウンタクリア許可）

CSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBF ビット（GTETRGB 立ち下がり要因カウンタクリア許可）

CSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGCR ビット（GTETRGC 立ち上がり要因カウンタクリア許可）

CSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGCF ビット（GTETRGC 立ち下がり要因カウンタクリア許可）

CSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDR ビット（GTETRGD 立ち上がり要因カウンタクリア許可）

CSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDF ビット（GTETRGD 立ち下がり要因カウンタクリア許可）

CSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

相補 PWM モードでは、本設定は無効です。

CSELCm ビット（ELCm イベント要因カウンタクリア許可） (m = A～H)

CSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCMSC[2:0]ビット（コンペアマッチ／インプットキャプチャ／同期カウンタクリア要因カウンタクリア許可(注2)）

本ビットはコンペアマッチ／インプットキャプチャ／同期カウンタクリアグループによる GTCNT カウンタのカウンタクリアの許可または禁止を選択します。

バッファ動作（波形モード固有の場合を含む）を実行しているレジスタによるコンペアマッチは発生しないので、バッファ動作の対象レジスタをコンペアマッチ要因とするカウンタクリア許可設定は無効です。

相補 PWM モードでは、GTCCRB レジスタ、GTCCRE レジスタ、および GTCCRF レジスタのコンペアマッチに対するカウンタクリア許可設定は、バッファ動作が実行されていない場合でも無効です。

CP1CCE ビット（相補 PWM モード 1 山要因カウンタクリア許可）

本ビットは相補 PWM モード 1 の山でのカウンタクリアの許可または禁止を選択します。

本ビットを許可するために、GTIOR レジスタの PSYE ビットを 1 に設定しないでください。

相補 PWM モードでは、マスタチャネルに対してのみ有効です。相補 PWM モードでは、マスタチャネルの設定もスレーブチャネルの GTCNT カウンタをクリアします。

CCLR ビット（ソフトウェア要因カウンタクリア許可）

CCLR ビットは GTCLR レジスタによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

22.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	USILVL[3:0]				USELCH	USELCG	USELCF	USELCE	USELCD	USELCC	USELCB	USELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAFBH	USCAFBL	USCARBH	USCARBL	USGTRGDF	USGTRGDR	USGTRGCF	USGTRGCR	USGTRGBF	USGTRGBR	USGTRGAF	USGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USGTRGAR	GTETRGA 立ち上がり要因アップカウント許可 0: GTETRGA 入力の立ち上がりによるアップカウントを禁止 1: GTETRGA 入力の立ち上がりによるアップカウントを許可	R/W
1	USGTRGAF	GTETRGA 立ち下がり要因アップカウント許可 0: GTETRGA 入力の立ち下がりによるアップカウントを禁止 1: GTETRGA 入力の立ち下がりによるアップカウントを許可	R/W
2	USGTRGBR	GTETRGB 立ち上がり要因アップカウント許可 0: GTETRGB 入力の立ち上がりによるアップカウントを禁止 1: GTETRGB 入力の立ち上がりによるアップカウントを許可	R/W
3	USGTRGBF	GTETRGB 立ち下がり要因アップカウント許可 0: GTETRGB 入力の立ち下がりによるアップカウントを禁止 1: GTETRGB 入力の立ち下がりによるアップカウントを許可	R/W
4	USGTRGCR	GTETRGC 立ち上がり要因アップカウント許可 0: GTETRGC 入力の立ち上がりによるアップカウントを禁止 1: GTETRGC 入力の立ち上がりによるアップカウントを許可	R/W
5	USGTRGCF	GTETRGC 立ち下がり要因アップカウント許可 0: GTETRGC 入力の立ち下がりによるアップカウントを禁止 1: GTETRGC 入力の立ち下がりによるアップカウントを許可	R/W
6	USGTRGDR	GTETRGD 立ち上がり要因アップカウント許可 0: GTETRGD 入力の立ち上がりによるアップカウントを禁止 1: GTETRGD 入力の立ち上がりによるアップカウントを許可	R/W
7	USGTRGDF	GTETRGD 立ち下がり要因アップカウント許可 0: GTETRGD 入力の立ち下がりによるアップカウントを禁止 1: GTETRGD 入力の立ち下がりによるアップカウントを許可	R/W
8	USCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
9	USCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
10	USCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
11	USCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
12	USCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
13	USCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W

ビット	シンボル	機能	R/W
14	USCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
15	USCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
16	USELCA	ELC_GPTA イベント要因アップカウント許可 0: ELC_GPTA イベント入力によるアップカウントを禁止 1: ELC_GPTA イベント入力によるアップカウントを許可	R/W
17	USELCB	ELC_GPTB イベント要因アップカウント許可 0: ELC_GPTB イベント入力によるアップカウントを禁止 1: ELC_GPTB イベント入力によるアップカウントを許可	R/W
18	USELCC	ELC_GPTC イベント要因アップカウント許可 0: ELC_GPTC イベント入力によるアップカウントを禁止 1: ELC_GPTC イベント入力によるアップカウントを許可	R/W
19	USELCD	ELC_GPTD イベント要因アップカウント許可 0: ELC_GPTD イベント入力によるアップカウントを禁止 1: ELC_GPTD イベント入力によるアップカウントを許可	R/W
20	USELCE	ELC_GPTE イベント要因アップカウント許可 0: ELC_GPTE イベント入力によるアップカウントを禁止 1: ELC_GPTE イベント入力によるアップカウントを許可	R/W
21	USELCF	ELC_GPTF イベント要因アップカウント許可 0: ELC_GPTF イベント入力によるアップカウントを禁止 1: ELC_GPTF イベント入力によるアップカウントを許可	R/W
22	USELCG	ELC_GPTG イベント要因アップカウント許可 0: ELC_GPTG イベント入力によるアップカウントを禁止 1: ELC_GPTG イベント入力によるアップカウントを許可	R/W
23	USELCH	ELC_GPTH イベント要因アップカウント許可 0: ELC_GPTH イベント入力によるアップカウントを禁止 1: ELC_GPTH イベント入力によるアップカウントを許可	R/W
27:24	USILVL[3:0]	外部入力レベル要因アップカウント許可 0 0 0 0: 外部入力レベルによるアップカウントを禁止 0 0 0 1: 設定禁止 0 0 1 0: GTIOCnA 端子入力レベル 0 によるアップカウントを許可 0 0 1 1: GTIOCnA 端子入力レベル 1 によるアップカウントを許可 0 1 0 0: GTIOCnB 端子入力レベル 0 によるアップカウントを許可 0 1 0 1: GTIOCnB 端子入力レベル 1 によるアップカウントを許可 0 1 1 0: 設定禁止 0 1 1 1: 設定禁止 1 0 0 0: GTETRGA 端子入力レベル 0 によるアップカウントを許可 1 0 0 1: GTETRGA 端子入力レベル 1 によるアップカウントを許可 1 0 1 0: GTETRGB 端子入力レベル 0 によるアップカウントを許可 1 0 1 1: GTETRGB 端子入力レベル 1 によるアップカウントを許可 1 1 0 0: GTETRGC 端子入力レベル 0 によるアップカウントを許可 1 1 0 1: GTETRGC 端子入力レベル 1 によるアップカウントを許可 1 1 1 0: GTETRGD 端子入力レベル 0 によるアップカウントを許可 1 1 1 1: GTETRGD 端子入力レベル 1 によるアップカウントを許可	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTUPSR レジスタは、GTCNT カウンタのアップカウントの要因を設定するレジスタです。

GTUPSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるアップカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のインクリメント数は 1 です。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

USGTRGAR ビット（GTETRGA 立ち上がり要因アップカウント許可）

USGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGAF ビット（GTETRGA 立ち下がり要因アップカウント許可）

USGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBR ビット（GTETRGB 立ち上がり要因アップカウント許可）

USGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBF ビット（GTETRGB 立ち下がり要因アップカウント許可）

USGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGCR ビット（GTETRGC 立ち上がり要因アップカウント許可）

USGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGCF ビット（GTETRGC 立ち下がり要因アップカウント許可）

USGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGDR ビット（GTETRGD 立ち上がり要因アップカウント許可）

USGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGDF ビット（GTETRGD 立ち下がり要因アップカウント許可）

USGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USELCm ビット（ELC_GPTm イベント要因アップカウント許可） (m = A～H)

USELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのアップカウントの許可／禁止を選択します。

USILVL[3:0]ビット（外部入力レベル要因アップカウント許可）

本ビットは、GTIOCnA 端子入力レベル、GTIOCnB 端子入力レベル、および GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力レベルによる GTCNT カウンタのアップカウントの許可または禁止を選択します。

22.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	DSILVL[3:0]				DSELCH	DSELCG	DSELCF	DSELCE	DSELCD	DSELCC	DSELCB	DSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DSCBFAH	DSCBFAL	DSCBRAH	DSCBRAL	DSCAFBH	DSCAFBL	DSCARBH	DSCARBL	DSGTRGDF	DSGTRGDR	DSGTRGCF	DSGTRGCR	DSGTRGBF	DSGTRGBR	DSGTRGAF	DSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSGTRGAR	GTETRGA 立ち上がり要因ダウンカウント許可 0: GTETRGA 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち上がりによるダウンカウントを許可	R/W
1	DSGTRGAF	GTETRGA 立ち下がり要因ダウンカウント許可 0: GTETRGA 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち下がりによるダウンカウントを許可	R/W
2	DSGTRGBR	GTETRGB 立ち上がり要因ダウンカウント許可 0: GTETRGB 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち上がりによるダウンカウントを許可	R/W
3	DSGTRGBF	GTETRGB 立ち下がり要因ダウンカウント許可 0: GTETRGB 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち下がりによるダウンカウントを許可	R/W
4	DSGTRGCR	GTETRGC 立ち上がり要因ダウンカウント許可 0: GTETRGC 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち上がりによるダウンカウントを許可	R/W
5	DSGTRGCF	GTETRGC 立ち下がり要因ダウンカウント許可 0: GTETRGC 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち下がりによるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
6	DSGTRGDR	GTETRGD 立ち上がり要因ダウンカウント許可 0: GTETRGD 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち上がりによるダウンカウントを許可	R/W
7	DSGTRGDF	GTETRGD 立ち下がり要因ダウンカウント許可 0: GTETRGD 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち下がりによるダウンカウントを許可	R/W
8	DSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
9	DSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
10	DSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
11	DSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
12	DSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
13	DSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
14	DSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
15	DSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
16	DSELCA	ELC_GPTA イベント要因ダウンカウント許可 0: ELC_GPTA イベント入力によるダウンカウントを禁止 1: ELC_GPTA イベント入力によるダウンカウントを許可	R/W
17	DSELCB	ELC_GPTB イベント要因ダウンカウント許可 0: ELC_GPTB イベント入力によるダウンカウントを禁止 1: ELC_GPTB イベント入力によるダウンカウントを許可	R/W
18	DSELCC	ELC_GPTC イベント要因ダウンカウント許可 0: ELC_GPTC イベント入力によるダウンカウントを禁止 1: ELC_GPTC イベント入力によるダウンカウントを許可	R/W
19	DSELCD	ELC_GPTD イベント要因ダウンカウント許可 0: ELC_GPTD イベント入力によるダウンカウントを禁止 1: ELC_GPTD イベント入力によるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
20	DSELCE	ELC_GPTE イベント要因ダウンカウント許可 0: ELC_GPTE イベント入力によるダウンカウントを禁止 1: ELC_GPTE イベント入力によるダウンカウントを許可	R/W
21	DSELCF	ELC_GPTF イベント要因ダウンカウント許可 0: ELC_GPTF イベント入力によるダウンカウントを禁止 1: ELC_GPTF イベント入力によるダウンカウントを許可	R/W
22	DSELCG	ELC_GPTG イベント要因ダウンカウント許可 0: ELC_GPTG イベント入力によるダウンカウントを禁止 1: ELC_GPTG イベント入力によるダウンカウントを許可	R/W
23	DSELCH	ELC_GPTF イベント要因ダウンカウント許可 0: ELC_GPTF イベント入力によるダウンカウントを禁止 1: ELC_GPTF イベント入力によるダウンカウントを許可	R/W
27:24	DSILVL[3:0]	外部入力レベル要因ダウンカウント許可 0 0 0 0: 外部入力レベルによるダウンカウントを禁止 0 0 0 1: 設定禁止 0 0 1 0: GTIOCnA 端子入力レベル 0 によるダウンカウントを許可 0 0 1 1: GTIOCnA 端子入力レベル 1 によるダウンカウントを許可 0 1 0 0: GTIOCnB 端子入力レベル 0 によるダウンカウントを許可 0 1 0 1: GTIOCnB 端子入力レベル 1 によるダウンカウントを許可 0 1 1 0: 設定禁止 0 1 1 1: 設定禁止 1 0 0 0: GTETRGA 端子入力レベル 0 によるダウンカウントを許可 1 0 0 1: GTETRGA 端子入力レベル 1 によるダウンカウントを許可 1 0 1 0: GTETRGB 端子入力レベル 0 によるダウンカウントを許可 1 0 1 1: GTETRGB 端子入力レベル 1 によるダウンカウントを許可 1 1 0 0: GTETRGC 端子入力レベル 0 によるダウンカウントを許可 1 1 0 1: GTETRGC 端子入力レベル 1 によるダウンカウントを許可 1 1 1 0: GTETRGD 端子入力レベル 0 によるダウンカウントを許可 1 1 1 1: GTETRGD 端子入力レベル 1 によるダウンカウントを許可	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDNSR レジスタは、GTCNT カウンタのダウンカウントの要因を設定するレジスタです。

GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるダウンカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のデクリメント数は 1 です。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

DSGTRGAR ビット（GTETRGA 立ち上がり要因ダウンカウント許可）

DSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGAF ビット（GTETRGA 立ち下がり要因ダウンカウント許可）

DSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBR ビット（GTETRGB 立ち上がり要因ダウンカウント許可）

DSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBF ビット（GTETRGB 立ち下がり要因ダウンカウント許可）

DSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCR ビット（GTETRGC 立ち上がり要因ダウンカウント許可）

DSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCF ビット（GTETRGC 立ち下がり要因ダウンカウント許可）

DSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDR ビット（GTETRGD 立ち上がり要因ダウンカウント許可）

DSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDF ビット（GTETRGD 立ち下がり要因ダウンカウント許可）

DSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSELCm ビット（ELC_GPTm イベント要因ダウンカウント許可） (m = A～H)

DSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSILVL[3:0]ビット（外部入力レベル要因ダウンカウント許可）

本ビットは、GTIOCnA 端子入力レベル、GTIOCnB 端子入力レベル、および GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力レベルによる GTCNT カウンタのダウンカウントの許可または禁止を選択します。

22.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	ASOC	ASELCH	ASELCG	ASELCF	ASELCE	ASELCD	ASELCC	ASELCB	ASELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAFBH	ASCAFBL	ASCARBH	ASCARBL	ASGTRGDF	ASGTRGDR	ASGTRGCF	ASGTRGCR	ASGTRGBF	ASGTRGBR	ASGTRGAF	ASGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ASGTRGAR	GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
1	ASGTRGAF	GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
2	ASGTRGBR	GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
3	ASGTRGBF	GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
4	ASGTRGCR	GTETRGC 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGC 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGC 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
5	ASGTRGCF	GTETRGC 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGC 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGC 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
6	ASGTRGDR	GTETRGD 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGD 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGD 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
7	ASGTRGDF	GTETRGD 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGD 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGD 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
8	ASCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
9	ASCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
10	ASCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
11	ASCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
12	ASCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
13	ASCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
14	ASCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
15	ASCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
16	ASELCA	ELC_GPTA イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを許可	R/W
17	ASELCB	ELC_GPTB イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを許可	R/W
18	ASELCC	ELC_GPTC イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを許可	R/W
19	ASELCD	ELC_GPTD イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを許可	R/W
20	ASELCE	ELC_GPTE イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを許可	R/W
21	ASELCF	ELC_GPTF イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを許可	R/W
22	ASELCG	ELC_GPTG イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを許可	R/W
23	ASELCH	ELC_GPTH イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを許可	R/W
24	ASOC	他チャネル要因 GTCCRA インプットキャプチャ許可(注1) 0: 他のチャネル要因による GTCCRA インプットキャプチャを禁止 1: 他のチャネル要因による GTCCRA インプットキャプチャを許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは GPT324～GPT329 でのみ使用可能です。

GPT320～GPT323 および GPT3210～GPT3213 では、このビットは 0 が読めます。書く場合、0 としてください。

GTICASR レジスタは、GTCCRA レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRA レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

ASGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGCR ビット（GTETRGC 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGCF ビット（GTETRGC 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGDR ビット（GTETRGD 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGDF ビット（GTETRGD 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASELCm ビット（ELC_GPTm イベント要因 GTCCRA インプットキャプチャ許可）(m = A～H)

ASELCm ビットは ELC_GPTm からのイベント入力による GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASOC ビット（他チャネル要因 GTCCRA インプットキャプチャ許可）

本ビットは他のチャネル要因による GTCCRA レジスタへのインプットキャプチャの許可または禁止を選択します。

他のチャネル要因のインプットキャプチャは、GTICCR レジスタの ICAFA ビットと ICBFA ビットにより設定された他のチャネルに対するインプットキャプチャ要因には従いません。

22.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	BSOC	BSELCH	BSELCG	BSELCF	BSELCE	BSELCD	BSELCC	BSELCB	BSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSCBFAH	BSCBFAL	BSCBRAH	BSCBRAL	BSCAFBH	BSCAFBL	BSCARBH	BSCARBL	BSGTRGDF	BSGTRGDR	BSGTRGCF	BSGTRGCR	BSGTRGBF	BSGTRGBR	BSGTRGAF	BSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BSGTRGAR	GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
1	BSGTRGAF	GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
2	BSGTRGBR	GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
3	BSGTRGBF	GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
4	BSGTRGCR	GTETRGC 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGC 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGC 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
5	BSGTRGCF	GTETRGC 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGC 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGC 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
6	BSGTRGDR	GTETRGD 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGD 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGD 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
7	BSGTRGDF	GTETRGD 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGD 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGD 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
8	BSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
9	BSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
10	BSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
11	BSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
12	BSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
13	BSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
14	BSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
15	BSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
16	BSELCA	ELC_GPTA イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを許可	R/W
17	BSELCB	ELC_GPTB イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを許可	R/W
18	BSELCC	ELC_GPTC イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを許可	R/W
19	BSELCD	ELC_GPTD イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを許可	R/W
20	BSELCE	ELC_GPTE イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを許可	R/W
21	BSELCF	ELC_GPTF イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを許可	R/W
22	BSELCG	ELC_GPTG イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを許可	R/W
23	BSELCH	ELC_GPTH イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを許可	R/W
24	BSOC	他チャネル要因 GTCCRB インプットキャプチャ許可(注1) 0: 他のチャネル要因による GTCCRB インプットキャプチャを禁止 1: 他のチャネル要因による GTCCRB インプットキャプチャを許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 および GPT3210～GPT3213 では、このビットは 0 が読めます。書く場合、0 としてください。

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

BSGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGCR ビット（GTETRGC 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGCF ビット（GTETRGC 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGDR ビット（GTETRGD 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGDF ビット（GTETRGD 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSELCm ビット（ELC_GPTm イベント要因 GTCCRB インプットキャプチャ許可）(m = A～H)

BSELCm ビットは ELC_GPTm からのイベント入力による GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSOC ビット（他チャネル要因 GTCCRB インプットキャプチャ許可）

本ビットは他のチャネル要因による GTCCRB レジスタへのインプットキャプチャの許可または禁止を選択します。

他のチャネル要因のインプットキャプチャは、GTICCR レジスタの ICAFB ビットと ICBFB ビットにより設定された他のチャネルに対するインプットキャプチャ要因には従いません。

22.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	CKEG[1:0]		TPCS[3:0]				—	—	—	MD[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSCEN	—	—	CPSCD	SSCGRP[1:0]		SCGTIOC	ICDS	—	—	BINV	AINV	—	—	—	CST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CST	カウントスタート 0: カウント動作をストップ 1: カウント動作を実行	R/W(注1)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	AINV	GTIOCnA 入出力端子極性反転制御 0: 反転しない 1: 反転する	R/W
5	BINV	GTIOCnB 入出力端子極性反転制御 0: 反転しない 1: 反転する	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ICDS	カウントストップ中のインプットキャプチャ動作選択 0: カウントストップ中のインプットキャプチャ動作あり 1: カウントストップ中のインプットキャプチャ動作なし	R/W
9	SCGTIOC	GTIOC 入力要因同期クリア許可(注2) 0: 他チャネルに対するクリア要因として GTIOC 入力によるカウンタクリアの使用を禁止 1: 他チャネルに対するクリア要因として GTIOC 入力によるカウンタクリアの使用を許可	R/W

ビット	シンボル	機能	R/W
11:10	SSCGRP[1:0]	同期セット／クリアグループ選択(注2) 0 0: 同期セット／クリアグループ A を選択 0 1: 同期セット／クリアグループ B を選択 1 0: 同期セット／クリアグループ C を選択 1 1: 同期セット／クリアグループ D を選択	R/W(注1)
12	CPSCD	相補 PWM モード同期クリア禁止(注2) 0: 相補 PWM モードでの谷部分以外の他チャネルによる同期カウンタクリアを許可 1: 相補 PWM モードでの谷部分以外の他チャネルによる同期カウンタクリアを禁止	R/W(注1)
14:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	SSCEN	同期セット／クリア許可(注2) 0: GTCNT カウンタの同期セット／クリア禁止 1: GTCNT カウンタの同期セット／クリア許可	R/W(注1)
19:16	MD[3:0]	モード選択(注3) 0 0 0 0: のこぎり波 PWM モード 1（シングルまたはダブルバッファ可） 0 0 0 1: のこぎり波ワンショットパルスモード（バッファ動作固定） 0 0 1 0: のこぎり波 PWM モード 2（シングルまたはダブルバッファ可） 0 0 1 1: 設定禁止 0 1 0 0: 三角波 PWM モード 1（谷での 32 ビット転送）（シングルまたはダブルバッファ可） 0 1 0 1: 三角波 PWM モード 2（山と谷での 32 ビット転送）（シングルまたはダブルバッファ可） 0 1 1 0: 三角波 PWM モード 3（谷での 64 ビット転送）（バッファ動作固定） 0 1 1 1: 設定禁止 1 0 0 0: 設定禁止 1 0 0 1: 設定禁止 1 0 1 0: 設定禁止 1 0 1 1: 設定禁止 1 1 0 0: 相補 PWM モード 1（山で転送） 1 1 0 1: 相補 PWM モード 2（谷で転送） 1 1 1 0: 相補 PWM モード 3（山と谷で転送） 1 1 1 1: 相補 PWM モード 4（即時転送）	R/W(注1)
22:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:23	TPCS[3:0]	タイマプリスケーラ選択 0 0 0 0: GTCLK/1 0 0 0 1: GTCLK/2 0 0 1 0: GTCLK/4 0 0 1 1: GTCLK/8 0 1 0 0: GTCLK/16 0 1 0 1: GTCLK/32 0 1 1 0: GTCLK/64 0 1 1 1: GTCLK/128 1 0 0 0: GTCLK/256 1 0 0 1: GTCLK/512 1 0 1 0: GTCLK/1024 1 0 1 1: 設定禁止 1 1 0 0: GTETRGA（POEG 経由） 1 1 0 1: GTETRGB（POEG 経由） 1 1 1 0: GTETRGC（POEG 経由） 1 1 1 1: GTETRGD（POEG 経由）	R/W(注1)
28:27	CKEG[1:0]	クロックエッジ選択 0 0: クロックカウントに GTETRG の立ち上がりエッジを選択 0 1: クロックカウントに GTETRG の立ち下がりエッジを選択 その他: クロックカウントに GTETRG の両エッジを選択	R/W(注1)
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。
注 2. このビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 および GPT3210～GPT3213 では、このビットは 0 が読めます。書く場合、0 としてください。
注 3. MD[3]ビットは GPT324～GPT329 でのみ使用可能です。GPT320～GPT323 および GPT3210～GPT3213 は、のこぎり波 PWM モードと三角波 PWM モード（のこぎり波 PWM モード 2 以外）のみサポートします。

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

GTCR レジスタの 8 ビット単位でのアクセスは禁止です。

CST ビット（カウントスタート）

CST ビットは GTCNT カウンタのスタート／ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTSSR レジスタでカウントスタート要因として許可された ELC イベント入力、外部トリガまたは GTIOCnA 入力端子/GTIOCnB 入力端子条件が発生したとき (n = 0〜13)
- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガまたは GTIOCnA 入力端子/GTIOCnB 入力端子条件が発生したとき (n = 0〜13)
- ソフトウェアで直接 0 を書き込んだとき
- GTPC.ASTP ビットが (n = 0〜3, 10〜13) のとき、周期カウント機能が終了する場合。

AINV ビット（GTIOCnA 入出力端子極性反転制御）

このビットは、GTIOCnA 入出力端子の極性反転制御を選択します。

BINV ビット（GTIOCnB 入出力端子極性反転制御）

このビットは、GTIOCnB 入出力端子の極性反転制御を選択します。

ICDS ビット（カウントストップ中のインプットキャプチャ動作選択）

このビットはインプットキャプチャ機能を選択した場合に、カウントストップ中のインプットキャプチャ動作を選択します。

SCGTIOC ビット（GTIOC 入力要因同期クリア許可）

GTCSR レジスタで選択した GTIOCnA/GTIOCnB 入力端子によるカウンタクリアを他チャネルに対するカウントクリア要因として使用するかどうかを選択します。

SSCGRP[1:0]ビット（同期セット／クリアグループ選択）

同期セット／クリアのチャネルグループを選択します。

相補 PWM モードでは、マスタチャネルの SSCGRP[1:0]ビットの設定により、スレーブチャネルも制御されます。

CPSCD ビット（相補 PWM モード同期クリア禁止）

相補 PWM モード時に谷部分以外で他チャネルからの同期カウンタクリアが発生した場合にカウンタクリアを禁止するか許可するかを選択します。

マスタチャネルの CPSCD ビットの設定により、スレーブチャネルも制御されます。

SSCEN ビット（同期セット／クリア許可）

同期セット／クリアを禁止するか許可するかを選択します。

相補 PWM モードでは、マスタチャネルの SSCEN ビットの設定により、スレーブチャネルも制御されます。

MD[3:0]ビット（モード選択）

これらのビットは GPT の動作モードを選択します。

相補 PWM モードでは、マスタチャネルの MD ビットの設定により、スレーブチャネルも制御されます。

インプットキャプチャ時は、MD[3:2]ビット（GPT320〜GPT323 の場合は MD[2]ビット）だけが有効です。のこぎり波モードのカウントは MD[3:2]ビットが 00（GPT320〜GPT323 の MD[2]ビットの場合は 0）の状態で行い、

三角波モードのカウントは MD[3:2]ビットが 01（GPT320～GPT323 の MD[2]ビットの場合は 1）の状態で行い、相補 PWM モードのカウントは MD[3]ビットが 1 の状態で行います。

MD ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

イベントカウント動作中（GTUPSR レジスタと GTDNSR レジスタのビットの少なくとも 1 つが 1 に設定されているとき）、MD ビットの設定は無視され、のこぎり波モード、三角波モード、または相補 PWM モードのカウントは実行されません。代わりに、GTUPSR レジスタと GTDNSR レジスタによって設定されたソースによるアップカウントまたはダウンカウントが実行されます。

TPCS[3:0]ビット（タイマプリスケーラ選択）

TPCS[3:0]ビットは GTCNT カウンタのクロックを選択します。チャネルごとに個別にクロックプリスケーラの選択が可能です。TPCS[3:0]ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

CKEG[1:0]ビット（クロックエッジ選択）

TPCS[3:0]ビットで GTETRG 入力を選択した場合、GTCNT カウンタのクロックとして使用する GTETRG 入力のエッジを選択します。

CKEG[1:0]ビットの設定は、GTCNT カウンタ動作が停止しているときのみ行ってください。

22.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	OABDTYT	OBDTYR	OBDTYF	OBDTY[1:0]		—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	UD	カウント方向設定 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R/W
1	UDF	カウント方向強制設定 0: 強制設定しない 1: 強制設定する	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	OADTY[1:0]	GTIOCnA 出力デューティー設定 0 0: GTIOCnA 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnA 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnA 端子のデューティーは 0% 1 1: GTIOCnA 端子のデューティーは 100%	R/W
18	OADTYF	GTIOCnA 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
19	OADTYR	0%/100%デューティー設定解除後の GTIOCnA 出力値選択 0: 0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOA[3:2]ビットで選択された機能が出力値に適用 1: 0%/100%デューティー比設定解除後に GTIOA[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
25:24	OBDTY[1:0]	GTIOCnB 出力デューティー設定 0 0: GTIOCnB 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnB 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnB 端子のデューティーは 0% 1 1: GTIOCnB 端子のデューティーは 100%	R/W
26	OBDTYF	GTIOCnB 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
27	OBDTYR	0%/100%デューティー設定解除後の GTIOCnB 出力値選択 0: 0%または 100%デューティー比設定解除後にデューティー比が設定された場合、GTIOB[3:2]ビットで選択された機能が出力値に適用されます。 1: 0%または 100%デューティー比設定解除後に GTIOB[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用されます。	R/W
28	OABDTYT	GTIOCnA、B 端子出力 0%/100%デューティー設定反映タイミング設定 0: アンダーフロー時に変更された出力デューティー比設定が反映されます。 1: アンダーフロー時に、かつ三角波の最上部のときに変更された出力デューティー比設定が反映されます。 三角波 PWM モードを除き、設定値“1”は無効です。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）および GTIOCnA/GTIOCnB 端子出力のデューティーを設定するレジスタです。

イベントカウント動作、のこぎり波 PWM モード 2、相補 PWM モード中では、本設定は無効です。

【カウント方向】

- のこぎり波モードの場合
  アップカウント中に UD 値を 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
  カウント停止中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。カウント停止中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
  カウント停止中に UDF ビットを 1 にすると、UD ビット値がカウントスタート時のカウント方向に反映されます。
- 三角波モードの場合
  カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。
  カウント停止中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

UD ビット（カウント方向設定）

UD ビットは GTCNT カウンタのカウント方向（アップ／ダウン）を設定します。

UDF ビット（カウント方向強制設定）

UDF ビットは GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、このビットに 0 以外を書き込まないでください。カウントストップ中に 1 を書いた場合、カウントがスタートする前に 0 に戻してください。

【出力デューティー】

- のこぎり波モードの場合
  アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティーが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティーが反映されます。

カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティーが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティーが反映されます。
カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。

- 三角波モードの場合
  カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。ただし、アンダーフロー時に出力デューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。

のこぎり波モードと三角波モードで、OADTYF/OBDTYF ビットが 0 に戻った場合、および OADTYF/OBDTYF ビットを 1 にして、カウント動作停止中に最初の周期のデューティーに対して OADTY[1:0]/OBDTY[1:0]ビットを設定した後に OADTY[1:0]/OBDTY[1:0]ビットを設定した場合、カウント動作停止中に設定されたこれらのデューティー周期は、カウント動作開始後の最初の周期と 2 番目の周期に反映されます。

OmDTY[1:0]ビット（GTIOCnm 出力デューティー設定）（m = A、B）

OmDTY[1:0]ビットは GTIOCnm 端子の出力デューティー（0%、100%、またはコンペアマッチ制御）を設定します。

OmDTYF ビット（GTIOCnm 出力デューティー強制設定）（m = A、B）

OmDTYF ビットは出力デューティー比を OmDTY の設定値に強制的に設定します。カウンタの動作中は、このビットを 0 にしてください。

OmDTYR ビット（0%/100%デューティー設定解除後の GTIOCnm 出力値選択） (m = A, B)

制御が 0%/100%デューティー設定から GTIOCnm 端子のコンペアマッチに変更され、かつ GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）に設定された場合、OmDTYR ビットは周期の終わりで出力保持／トグル出力の対象となる値を選択します。

デューティー比 0%/100%動作中に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでのコンペアマッチの値が GTIOm[3:2]ビットに適用されます。

OABDTYT ビット（GTIOCnm 端子出力 0%/100%デューティー設定反映タイミング設定）（n = 0 - （P_NUMCHALL 値 - 1）、m = A, B）

三角波モード時の GTIOCnm 端子の 0%/100%デューティー設定の反映タイミングを選択します。

OABDTYT ビットが 0 の場合、GTUDDTYC.OADTY[1:0]ビットおよび OBDTY[1:0]ビットで設定された出力デューティー設定は、アンダーフロー発生時に反映されます。

OABDTYT ビットが“1”の場合、GTUDDTYC.OADTY[1:0]ビットおよび OBDTY[1:0]ビットで設定された出力デューティー設定は、アンダーフロー発生時かつ三角波の最上部時に反映されます。

22.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCSB[1:0]		NFBEN	—	OBEOCD	OBDF[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	NFCSA[1:0]		NFAEN	PSYE	OAEOCD	OADF[1:0]		OAE	OAHLD	OADFLT	CPSCIR	GTIOA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOA[4:0]	GTIOCnA 端子機能選択 表 22.4 と表 22.5 を参照してください。	R/W
5	CPSCIR(注1)	同期クリア時の相補 PWM モード初期出力禁止 0: 相補 PWM モードの谷部分での同期クリア発生時に、GTIOR.GTIOA および GTIOB ビットで設定した初期値を出力 1: 初期値の出力を禁止	R/W
6	OADFLT	カウントストップ時の GTIOCnA 端子出力値設定 0: カウントストップ時に GTIOCnA 端子は Low を出力 1: カウントストップ時に GTIOCnA 端子は High を出力	R/W
7	OAHLD	カウントスタート／ストップ時の GTIOCnA 端子出力設定 0: カウントスタート／ストップ時の GTIOCnA 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnA 端子出力レベルは保持される	R/W
8	OAE	GTIOCnA 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
10:9	OADF[1:0]	GTIOCnA 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnA 端子を Hi-Z にする 1 0: 出力ネゲート制御に対応して GTIOCnA 端子を 0 にする 1 1: 出力ネゲート制御に対応して GTIOCnA 端子を 1 にする	R/W
11	OAEOCD(注1)	GTCCRA コンペアマッチ周期終了出力の無効化 0: GTIOA[3:2]設定を有効とする 1: GTIOA[3:2]設定を無効とする（GTIOCnA 端子出力を保持）	R/W
12	PSYE	PWM 同期出力許可 0: GTCPPOm 端子出力を禁止 1: GTCPPOm 端子出力を許可	R/W
13	NFAEN	GTIOCnA 端子入力ノイズフィルタ有効 0: GTIOCnA 端子のノイズフィルタは無効 1: GTIOCnA 端子のノイズフィルタは有効	R/W
15:14	NFCSA[1:0]	GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択 0 0: GTCLK/1 0 1: GTCLK/4 1 0: GTCLK/16 1 1: GTCLK/64	R/W
20:16	GTIOB[4:0]	GTIOCnB 端子機能選択 表 22.4 と表 22.5 を参照してください。	R/W
21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	OBDFLT	カウントストップ時の GTIOCnB 端子出力値設定 0: カウントストップ時に GTIOCnB 端子は Low を出力 1: カウントストップ時に GTIOCnB 端子は High を出力	R/W

ビット	シンボル	機能	R/W
23	OBHLD	カウントスタート／ストップ時の GTIOCnB 端子出力設定 0: カウントスタート／ストップ時の GTIOCnB 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnB 端子出力レベルは保持される	R/W
24	OBE	GTIOCnB 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
26:25	OBDF[1:0]	GTIOCnB 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnB 端子を Hi-Z にする 1 0: 出力ネゲート制御に対応して GTIOCnB 端子を 0 にする 1 1: 出力ネゲート制御に対応して GTIOCnB 端子を 1 にする	R/W
27	OBEOCD(注1)	GTCCRB コンペアマッチ周期終了出力の無効化 0: のこぎり波 PWM モード 1 の場合、GTIOB[3:2]の設定は有効になります。 のこぎり波 PWM モード 2 の場合、GTIOA[3:2]の設定は有効になります。 1: のこぎり波 PWM モード 1 の場合、GTIOB[3:2]の設定は無効になります。 （GTIOCnB 端子出力は保持されます。） のこぎり波 PWM モード 2 の場合、GTIOA[3:2]の設定は無効になります。 （GTIOCnA 端子出力は保持されます。）	R/W
28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFBEN	ノイズフィルタ B 有効 0: GTIOCnB 端子のノイズフィルタは無効 1: GTIOCnB 端子のノイズフィルタは有効	R/W
31:30	NFCSB[1:0]	ノイズフィルタ B サンプリングクロック選択 0 0: GTCLK/1 0 1: GTCLK/4 1 0: GTCLK/16 1 1: GTCLK/64	R/W

注 1. このビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 および GPT3210～GPT3213 では、このビットは 0 が読めます。書く場合、0 としてください。

GTIOR レジスタは GTIOCnA 端子、GTIOCnB 端子、および GTCPPOm 端子の機能を設定するレジスタです。(n = 0～13, m = 0～13)

GTIOA[4:0]ビット（GTIOCnA 端子機能選択）

GTIOA[4:0]ビットは GTIOCnA 端子の機能を選択します。詳細は、表 22.4 および表 22.5 を参照してください。

CPSCIR ビット（同期クリア時の相補 PWM モード初期出力禁止）

相補 PWM モードで同期クリアが発生したときの出力波形を選択します。

本機能によって初期出力が禁止されるのは、相補 PWM モードの谷部分で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、CPSCIR ビットの設定にかかわらず、GTIOA[4]/GTIOB[4]ビットで設定した初期値が出力されます。さらに、カウント開始直後に谷部分で同期クリアが発生した場合も、GTIOA[4]/GTIOB[4]ビットで設定した初期値が出力されます。

OADFLT ビット（カウントストップ時の GTIOCnA 端子出力値設定）

OADFLT ビットはカウントストップ時に、GTIOCnA 端子が High または Low のいずれを出力するかを設定します。

OAHLD ビット（カウントスタート／ストップ時の GTIOCnA 端子出力設定）

OAHLD ビットはカウントスタート／ストップ時に、GTIOCnA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OAHLD ビットを 0 にした場合]

- カウントスタート時に、GTIOA[4]ビットで指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に、OADFLT ビットを書き換えた場合、ただちに出力に反映される

［OAHLD ビットを 1 にした場合］

- カウントスタート／ストップ時に出力が保持される

OAE ビット（GTIOCnA 端子出力許可）

OAE ビットは GTIOCnA 端子出力する/しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合（GTICASR レジスタの少なくともひとつのビットが 1 の状態の場合 ） は、OAE ビットの設定にかかわらず GTIOCnA 端子出力を行いません。

OADF[1:0]ビット（GTIOCnA 端子禁止値設定）

OADF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnA 端子の出力値を選択します。

OAEOCD ビット（GTCCRA コンペアマッチ周期終了出力の無効化）

のこぎり波 PWM モード 1 および 2 で周期の終わりと GTCCRA コンペアマッチタイミングが一致した場合、GTIOA[3:2]ビットの設定を有効にするか無効にするかを選択します。1（無効）を設定すると、周期の終わりと GTCCRA コンペアマッチタイミングが一致したときに、GTIOCnA 端子が出力を保持します。

PSYE ビット（PWM 同期出力許可）

このビットは PWM 周期と同期した GTCPPOm 端子からの出力信号の有効／無効を設定します。この出力は相補 PWM モードおよび三角波モードの山／谷／GTCNT カウンタクリアまたはのこぎり波モードの周期の終わりでトグルします。

GTCPPOn 出力端子の初期出力は Low であり、カウント開始結果は High です。

NFAEN ビット（GTIOCnA 端子入力ノイズフィルタ有効）

NFAEN ビットは GTIOCnA 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSA[1:0]ビット（GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択）

NFCSA[1:0]ビットは GTIOCnA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

GTIOB[4:0]ビット（GTIOCnB 端子機能選択）

GTIOB[4:0]ビットは GTIOCnB 端子の機能を選択します。詳細は、表 22.4 および表 22.5 を参照してください。

のこぎり波 PWM モード 2 では、GTIOB[1:0]ビットのみが有効で、GTCCRB レジスタコンペアマッチにより GTIOCnB 端子の代わりに GTIOCnA 端子出力が選択されます。

OBDFLT ビット（カウントストップ時の GTIOCnB 端子出力値設定）

OBDFLT ビットはカウントストップ時に、GTIOCnB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット（カウントスタート／ストップ時の GTIOCnB 端子出力設定）

OBHLD ビットはカウントスタートまたはストップ時に、GTIOCnB 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

［OBHLD ビットを 0 にした場合］

- カウントスタート時に、GTIOB[4]ビットで指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に、OBDFLT ビットを書き換えた場合、ただちに出力に反映される

［OBHLD ビットを 1 にした場合］

- カウントスタート／ストップ時に出力が保持される

OBE ビット（GTIOCnB 端子出力許可）

OBE ビットは GTIOCnB 端子出力する/しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合（GTICBSR レジスタの少なくともひとつのビットが 1 の状態の場合） は、OBE ビットの設定にかかわらず GTIOCnB 端子出力を行いません。

OBDF[1:0]ビット（GTIOCnB 端子禁止値設定）

OBDF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnB 端子の出力値を選択します。

OBEOCD ビット（GTCCRB コンペアマッチ周期終了出力の無効化）

のこぎり波 PWM モード 1 および 2 で周期の終わりと GTCCRB コンペアマッチタイミングが一致した場合、のこぎり波 PWM モード 1 の GTIOB[3:2]ビットの設定またはのこぎり波 PWM モード 2 の GTIOA[3:2]ビットの設定を有効にするか無効にするかを選択します。1（無効）を設定すると、周期の終わりと GTCCRB コンペアマッチタイミングが一致したときに、のこぎり波 PWM モード 1 の GTIOCnB 端子またはのこぎり波 PWM モード 2 の GTIOCnA 端子が出力を保持します。

NFBEN ビット（ノイズフィルタ B 有効）

NFBEN ビットは GTIOCnB 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSB[1:0]ビット（ノイズフィルタ B サンプリングクロック選択）

NFCSB[1:0]ビットは GTIOCnB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 22.4 GTIOA[4:0]および GTIOB[4:0]ビットの設定（のこぎり波モード、三角波モード） (1/2)

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4(注4)	b3, b2(注1) (注2) (注3) (注4)	b1, b0(注2)
0	0	0	0	0	初期出力は Low	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

表 22.4 GTIOA[4:0]および GTIOB[4:0]ビットの設定（のこぎり波モード、三角波モード） (2/2)

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4(注4)	b3, b2(注1) (注2) (注3) (注4)	b1, b0(注2)
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

注 1. 周期の終わりとは、のこぎり波モードのときはオーバーフロー（アップカウント動作時に GTCNT が GTPR から 0 になる）、アンダーフロー（ダウンカウント動作時に GTCNT が 0 から GTPR になる）、またはカウンタクリアを、三角波モードのときは谷（GTCNT が 0 から 1 になる）を示します。

注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致すると、OAEOCD および OBEOCD ビットが 0 で、周期の終わりの出力が許可されている場合、のこぎり波 PWM モードでは b3 と b2 の設定値が優先され、それ以外のモードでは b1 と b0 の設定値が優先されます。

注 3. イベントカウント動作時（GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくとも 1 つのビットが 1 の状態の場合）、b3 と b2 の設定は無効です。

注 4. のこぎり波 PWM モード 2 では、GTIOB[4:2]ビットの設定は無効になります。GTIOCnA 端子のみが出力端子であるため、GTIOA[4]ビットを初期出力として設定します。周期の終わりで、GTIOA[3:2]ビットを出力に設定します。

表 22.5 GTIOA[4:0]および GTIOB[4:0]ビットの設定（相補 PWM モード）

GTIOA/GTIOB[4:0]ビット(注1) (注2) (注3)					機能		
					初期出力、アクティブレベル	アップカウントコンペアマッチ出力	ダウンカウントコンペアマッチ出力
b4	b3	b2	b1	b0	b4	b3, b2	b1, b0
0	0	1	1	0	初期出力は Low アクティブレベルは High	Low 出力	High 出力
0	1	0	0	1		High 出力	Low 出力
1	0	1	1	0	初期出力は High アクティブレベルは Low	Low 出力	High 出力
1	1	0	0	1		High 出力	Low 出力

注 1. 相補 PWM モードでは、GTIOA[4:0]ビットに設定できる値は 01001b と 10110b のみです。それ以外の値は設定禁止です。

注 2. 相補 PWM モードでは、GTIOB[4:0]ビットに設定できる値は 00110b と 11001b のみです。それ以外の値は設定禁止です。

注 3. 相補 PWM モードでは、GTIOB[4:0]ビットの設定に GTCCRB レジスタのコンペアマッチを使いません。コンペアマッチの対象であるカウンタとレジスタの組み合わせは、相補 PWM モードの動作周期によります。詳細は、「22.3.3.7. 相補 PWM モード 1、2、3」を参照してください。

22.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	GRPABL	GRPABH	GRPDTE	—	—	GRP[1:0]		—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCFPU	SCFPO	SCFF	SCFE	SCFD	SCFC	SCFB	SCFA	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SCFA	GTCCRA レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可(注1) 0: 他チャネルに対するクリア要因としての GTCCRA レジスタコンペアマッチ／インプットキャプチャの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRA レジスタコンペアマッチ／インプットキャプチャの使用を許可	R/W
9	SCFB	GTCCRB レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可(注1) 0: 他チャネルに対するクリア要因としての GTCCRB レジスタコンペアマッチ／インプットキャプチャの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRB レジスタコンペアマッチ／インプットキャプチャの使用を許可	R/W
10	SCFC	GTCCRC レジスタコンペアマッチ要因同期クリア許可(注1) 0: 他チャネルに対するクリア要因としての GTCCRC レジスタコンペアマッチの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRC レジスタコンペアマッチの使用を許可	R/W
11	SCFD	GTCCRD レジスタコンペアマッチ要因同期クリア許可(注1) 0: 他チャネルに対するクリア要因としての GTCCRD レジスタコンペアマッチの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRD レジスタコンペアマッチの使用を許可	R/W
12	SCFE	GTCCRE レジスタコンペアマッチ要因同期クリア許可(注1) 0: 他チャネルに対するクリア要因としての GTCCRE レジスタコンペアマッチの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRE レジスタコンペアマッチの使用を許可	R/W
13	SCFF	GTCCRF レジスタコンペアマッチ要因同期クリア許可(注1) 0: 他チャネルに対するクリア要因としての GTCCRF レジスタコンペアマッチの使用を禁止 1: 他チャネルに対するクリア要因としての GTCCRF レジスタコンペアマッチの使用を許可	R/W
14	SCFPO	オーバーフロー要因同期クリア許可(注1) 0: 他チャネルに対するクリア要因としてのオーバーフローの使用を禁止 1: 他チャネルに対するクリア要因としてのオーバーフローの使用を許可	R/W
15	SCFPU	アンダーフロー要因同期クリア許可(注1) 0: 他チャネルに対するクリア要因としてのアンダーフローの使用を禁止 1: 他チャネルに対するクリア要因としてのアンダーフローの使用を許可	R/W
16	ADTRAUEN	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W

ビット	シンボル	機能	R/W
17	ADTRADEN	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
18	ADTRBUEN	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
19	ADTRBDEN	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 1 0: グループ C 出力禁止要因を選択 1 1: グループ D 出力禁止要因を選択	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	GRPDTE	デッドタイムエラー出力禁止要求許可 0: デッドタイムエラー出力禁止要求を禁止 1: デッドタイムエラー出力禁止要求を許可	R/W
29	GRPABH	同時出力レベル High 禁止要求許可 0: 同時出力レベル High 禁止要求を禁止 1: 同時出力レベル High 禁止要求を許可	R/W
30	GRPABL	同時出力レベル Low 禁止要求許可 0: 同時出力レベル Low 禁止要求を禁止 1: 同時出力レベル Low 禁止要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 および GPT3210～GPT3213 では、このビットは 0 が読めます。書く場合、0 としてください。

GTINTAD レジスタは、割り込み要求、A/D 変換開始要求、および出力禁止要求を許可または禁止します。

SCFA ビット（GTCCRA レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可）

他チャネルに対するクリア要因としての GTCCRA レジスタコンペアマッチ／インプットキャプチャの使用を許可または禁止します。

SCFB ビット（GTCCRB レジスタコンペアマッチ／インプットキャプチャ要因同期クリア許可）

他チャネルに対するクリア要因としての GTCCRB レジスタコンペアマッチ／インプットキャプチャの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFC ビット（GTCCRC レジスタコンペアマッチ要因同期クリア許可）

他チャネルに対するクリア要因としての GTCCRC レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFD ビット（GTCCRD レジスタコンペアマッチ要因同期クリア許可）

他チャネルに対するクリア要因としての GTCCRD レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFE ビット（GTCCRE レジスタコンペアマッチ要因同期クリア許可）

他チャネルに対するクリア要因としての GTCCRE レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFF ビット（GTCCRF レジスタコンペアマッチ要因同期クリア許可）

他チャネルに対するクリア要因としての GTCCRF レジスタコンペアマッチの使用を許可または禁止します。

相補 PWM モードでは、本設定は無効です。

SCFPO ビット（オーバーフロー要因同期クリア許可）

他チャネルに対するクリア要因としてのオーバーフローの使用を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

SCFPU ビット（アンダーフロー要因同期クリア許可）

他チャネルに対するクリア要因としてのアンダーフローの使用を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

ADTRAUEN ビット（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタのアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRADEN ビット（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタのダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBUEN ビット（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタのアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBDEN ビット（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタのダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を許可または禁止します。

相補 PWM モードでは、本設定はマスタチャネルに対してのみ有効です。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

GRP[1:0]ビット（出力禁止要因選択）

GPT から POEG への出力禁止要求のグループと、POEG から GPT への GTIOCnA 端子と GTIOCnB 端子の出力禁止のグループを選択します。

POEG への出力禁止要求は、それぞれの禁止要求許可ビットに続くデッドタイムエラー、同時 High 出力、同時 Low 出力要因とともに、GRP[1:0]ビットで選択されたグループへ出力されます。

GTST.ODF フラグは、GRP[1:0]ビットで選択した出力禁止要因グループの要求を示します。GRP[1:0]ビットの設定は、GTIOR.OAE ビットと GTIOR.OBE ビットがともに 0 の状態で行ってください。

GRPDTE ビット（デッドタイムエラー出力禁止要求許可）

このビットはデッドタイムエラーによる出力禁止要求を許可または禁止します。

イベントカウント動作中は、デッドタイムエラー出力禁止要求は発生しません。

GRPABH ビット（同時出力レベル High 禁止要求許可）

GRPABH ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力する場合に、出力禁止要求を許可または禁止します。

GRPABL ビット（同時出力レベル Low 禁止要求許可）

GRPABL ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力する場合に、出力禁止要求を許可または禁止します。

22.2.16 GTST : 汎用 PWM タイマステータスレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PCF	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRBDF	ADTRBUF	ADTRADF	ADTRAUF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TUCF	—	—	—	—	ITCNT[2:0]			TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCFA	インプットキャプチャ／コンペアマッチフラグ A 0: GTCCRA インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRA インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
1	TCFB	インプットキャプチャ／コンペアマッチフラグ B 0: GTCCRB インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRB インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
2	TCFC	インプットコンペアマッチフラグ C 0: GTCCRC コンペアマッチの発生なし 1: GTCCRC コンペアマッチの発生あり	R/W(注1)
3	TCFD	インプットコンペアマッチフラグ D 0: GTCCRD コンペアマッチの発生なし 1: GTCCRD コンペアマッチの発生あり	R/W(注1)
4	TCFE	インプットコンペアマッチフラグ E 0: GTCCRE コンペアマッチの発生なし 1: GTCCRE コンペアマッチの発生あり	R/W(注1)
5	TCFF	インプットコンペアマッチフラグ F 0: GTCCRF コンペアマッチの発生なし 1: GTCCRF コンペアマッチの発生あり	R/W(注1)
6	TCFPO	オーバーフローフラグ 0: オーバーフロー（山）の発生なし 1: オーバーフロー（山）の発生あり	R/W(注1)
7	TCFPU	アンダーフローフラグ 0: アンダーフロー（谷）の発生なし 1: アンダーフロー（谷）の発生あり	R/W(注1)
10:8	ITCNT[2:0]	GPTn_OVF/GPTn_UDF 割り込み間引き回数カウンタ	R
14:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TUCF	カウント方向フラグ 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R
16	ADTRAUF	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント中、GTADTRA レジスタコンペアマッチの発生なし 1: アップカウント中、GTADTRA レジスタコンペアマッチの発生あり	R/W(注1)
17	ADTRADF	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント中、GTADTRA レジスタコンペアマッチの発生なし 1: ダウンカウント中、GTADTRA レジスタコンペアマッチの発生あり	R/W(注1)

ビット	シンボル	機能	R/W
18	ADTRBUF	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント中、GTADTRB レジスタコンペアマッチの発生なし 1: アップカウント中、GTADTRB レジスタコンペアマッチの発生あり	R/W(注1)
19	ADTRBDF	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント中、GTADTRB レジスタコンペアマッチの発生なし 1: ダウンカウント中、GTADTRB レジスタコンペアマッチの発生あり	R/W(注1)
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ODF	出力禁止フラグ 0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
27:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	DTEF	デッドタイムエラーフラグ 0: デッドタイムエラーの発生なし 1: デッドタイムエラーの発生あり	R
29	OABHF	同時出力レベル High フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生あり	R
30	OABLF	同時出力レベル Low フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生あり	R
31	PCF(注2)	周期計数機能終了フラグ 0: 周期計数機能が終了していない 1: 周期計数機能が終了した	R/W(注1)

注 1. このビットは 0 のみ書けます。1 を書かないでください。
ADTRAUF、ADTRADF、ADTRBUF、または ADTRBDF フラグをクリアする場合は、クリアしたいフラグにのみ 0 を、クリアしたくないフラグには 1 を書き込んでください。
注 2. このビットは GPT320～GPT322 および GPT3210～GPT3213 でのみ使用可能です。
GPT324～GPT329 でこのビットは 0 が読めます。書く場合、0 としてください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ（インプットキャプチャ／コンペアマッチフラグ A）

TCFA フラグは GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値＝GTCCRA レジスタ値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFB フラグ（インプットキャプチャ／コンペアマッチフラグ B）

TCFB フラグは GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値＝GTCCRB レジスタ値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFC フラグ（インプットコンペアマッチフラグ C）

TCFC フラグは GTCCRC のコンペアマッチのステータスを示します。

GTCCRC がバッファ動作を実行するとき、GTCCRC はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

TCFD フラグ（インプットコンペアマッチフラグ D）

TCFD フラグは GTCCRD のコンペアマッチのステータスを示します。

GTCCRD がバッファ動作を実行するとき、GTCCRD はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b、11b（GTCCRD レジスタがバッファ動作）

TCFE フラグ（インプットコンペアマッチフラグ E）

TCFE フラグは GTCCRE のコンペアマッチのステータスを示します。

GTCCRE がバッファ動作を実行するとき、GTCCRE はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRE レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b、10b、11b（GTCCRE レジスタがバッファ動作）

TCFF フラグ（インプットコンペアマッチフラグ F）

TCFF フラグは GTCCRF のコンペアマッチのステータスを示します。

GTCCRF がバッファ動作を実行するとき、GTCCRF はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b、11b（GTCCRF レジスタがバッファ動作）

TCFPO フラグ（オーバーフローフラグ）

TCFPO フラグはオーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）が発生したとき
- 三角波モードにおいて、山（GTCNT カウンタが GTPR 値から GTPR 値-1 に変化）が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー（アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化）が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFPU フラグ（アンダーフローフラグ）

TCFPU フラグはアンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき
- 三角波モードにおいて、谷（GTCNT カウンタが 0 から 1 に変化）が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

ITCNT[2:0]フラグ（GPTn_OVF/GPTn_UDF 割り込み間引き回数カウンタ）

GPTn_OVF/GPTn_UDF 割り込み間引き機能を使用時（GTITC.IVTC[1:0]ビットを 00b 以外に設定時）、GTITC.IVTC[1:0]で選択した GPTn_OVF/GPTn_UDF 割り込み要因が発生するごとに 1 カウントアップします。

これらのビットは、GTEITC レジスタによる拡張割り込み間引きとは独立して動作します。

[0 になる条件]

- GPTn_OVF/GPTn_UDF 割り込み間引き機能を未使用時（GTITC.IVTT[2:0]ビットが 000b で、IVTC[1:0]ビットが 00b のとき）
- GPTn_OVF/GPTn_UDF 割り込み間引き回数が指定した回数と一致したとき（IVTT[2:0]ビットで指定した間引き回数と ITCNT[2:0]ビット値が一致したとき）
- カウント動作が停止したとき

TUCF フラグ（カウント方向フラグ）

TUCF フラグは GTCNT カウンタのカウント方向を示します。イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ADTRAUF フラグ（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

このステータスフラグは、アップカウント中の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRAUF フラグに 0 を書いたとき

ADTRADF フラグ（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

このステータスフラグは、ダウンカウント中の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRADF フラグに 0 を書いたとき

ADTRBUF フラグ（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

このステータスフラグは、アップカウント中の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBUF フラグに 0 を書いたとき

ADTRBDF フラグ（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

このステータスフラグは、ダウンカウント中の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBDF フラグに 0 を書いたとき

ODF フラグ（出力禁止フラグ）

ODF フラグは GRP[1:0]ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる周期内では、出力禁止制御は解除されません。次の周期に解除されます。

DTEF フラグ（デッドタイムエラーフラグ）

このフラグは、デッドタイムの自動加算後のタイマ出力トグルポイントがカウント期間を超過したことを示します。

デッドタイムの自動加算の後にタイマ出力トグルポイントが期間内に戻ったときに、このフラグは 0 に戻ります。

このフラグは、読み出しのみ可能です。（フラグに 0 を書き込んでクリアすることは禁止されています。）

DTEF フラグによる出力禁止要求が許可されている場合（GTINTAD.GRPDTE ビットが 1 である場合）、出力禁止要求として DTEF フラグが POEG に出力されます。GPT にはデッドタイムエラー割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- デッドタイム自動設定後、波形の変化点がカウント期間を超過したとき（以下の場合）
  - 三角波モードのアップカウントの場合：
    GTCCRA レジスタ – GTDVU レジスタ ≦ 0
  - 三角波モードのダウンカウントの場合：
    GTCCRA レジスタ – GTDVD レジスタ < 0

– のこぎり波ワンショットパルスモードのアップカウントの場合：
GTCCRA レジスタ - GTDVU レジスタ < 0、または
GTCCRA レジスタ + GTDVD レジスタ > GTPR レジスタ
– のこぎり波ワンショットパルスモードのダウンカウントの場合：
GTCCRA レジスタ + GTDVU レジスタ > GTPR レジスタ、または
GTCCRA レジスタ – GTDVD レジスタ < 0

[0 になる条件]

- デッドタイムの自動加算後のタイマ出力トグルポイントがカウント期間内のとき

OABHF フラグ（同時出力レベル High フラグ）

OABHF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABHF フラグによる出力禁止要求が許可 (GTINTAD.GRPABH = 1) されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に High に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABLF フラグ（同時出力レベル Low フラグ）

OABLF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABLF フラグによる出力禁止要求が許可 (GTINTAD.GRPABL = 1) されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に Low に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力（PWM 出力）信号です。出力禁止条件下においても、内部ではコンペアマッチ動作が継続します。OABHF フラグまたは OABLF フラグが動作結果に基づいて更新されます。

PCF フラグ（周期計数機能終了フラグ）

周期計数機能終了のステータスフラグです。

[1 になる条件]

- 周期の終わりで GTPC.PCEN ビットが 1、かつ GTPC.PCNT カウンタが 1 のとき
- カウントクロックで GTPC.PCEN ビットが 1、かつ GTPC.PCNT カウンタが 0 のとき

[0 になる条件]

- 本フラグに 0 を書いたとき

22.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DBRTECB	—	DBRTECA	—	—	—	—	BD3	BD2	BD1	BD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BD0	GTCCR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
1	BD1	GTPR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W(注1)
2	BD2	GTADTRA/GTADTRB レジスタバッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
3	BD3	GTDVU/GTDVD レジスタバッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DBRTECA	GTCCRA レジスタダブルバッファリピート動作許可 0: GTCCRA レジスタダブルバッファリピート動作を禁止 1: GTCCRA レジスタダブルバッファリピート動作を許可	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	DBRTECB	GTCCRB レジスタダブルバッファリピート動作許可 0: GTCCRB レジスタダブルバッファリピート動作を禁止 1: GTCCRB レジスタダブルバッファリピート動作を許可	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CCRA[1:0]	GTCCRA バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTCCRA ↔GTCCRC) その他: ダブルバッファ動作 (GTCCRA ↔ GTCCRC ↔ GTCCRD)	R/W
19:18	CCRB[1:0]	GTCCRB バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTCCRB ↔ GTCCRE) その他: ダブルバッファ動作 (GTCCRB ↔ GTCCRE ↔ GTCCRF)	R/W

ビット	シンボル	機能	R/W
21:20	PR[1:0]	GTPR バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTPBR → GTPR) その他: ダブルバッファ動作 (GTPDBR → GTPBR → GTPR)	R/W
22	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。	W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	ADTTA[1:0]	GTADTRA レジスタバッファ転送タイミング選択 0 0: 三角波または相補 PWM モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1: 三角波モードまたは相補 PWM モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 0: 三角波または相補 PWM モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 1: 三角波または相補 PWM モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送	R/W
26	ADTDA	GTADTRA レジスタダブルバッファ動作 0: シングルバッファ動作 (GTADTBRA →GTADTRA) 1: ダブルバッファ動作 (GTADTDBRA → GTADTBRA → GTADTRA)	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:28	ADTTB[1:0]	GTADTRB レジスタバッファ転送タイミング選択 0 0: 三角波または相補 PWM モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1: 三角波モードまたは相補 PWM モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 0: 三角波または相補 PWM モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 1: 三角波または相補 PWM モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送	R/W
30	ADTDB	GTADTRB レジスタダブルバッファ動作 0: シングルバッファ動作 (GTADTBRB → GTADTRB) 1: ダブルバッファ動作 (GTADTDBRB → GTADTBRB → GTADTRB)	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTBER レジスタは、バッファ動作を設定します。BDx (x = 0～3) ビットを除く GTBER レジスタは、GTCNT カウンタが停止しているときに設定する必要があります。

BD0 ビット（GTCCR バッファ動作禁止）

BD0 ビットは GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが 1 のとき、BD0 ビットを 0 にしても、のこぎり波ワンショットパルスモードまたは三角波 PWM モードでは、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

相補 PWM モードでは、GTCCRC レジスタと GTCCRE レジスタのバッファ動作に対してのみ有効です。GTCCRA レジスタのバッファ動作は禁止できません。GTCCRE レジスタと GTCCRF レジスタのバッファ動作は、GTBER2 レジスタの CP3DB ビットにより許可または禁止されます。相補 PWM モードでは、GTCCRB レジスタへのバッファ転送は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD0 ビット値は、GTSECR.SBDCE または GTSECR.SBDCD に 1 が書き込まれた場合に設定可能です。

DBRTECm (m = A, B) ビットが 1 の場合、動作モードがのこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 の間に BD0 ビットを 1 に設定すると、中間バッファから GTCCRm レジスタへ転送されます。

BD1 ビット（GTPR バッファ動作禁止）

BD1 ビットは GTPR、GTPDBR、および GTPBR レジスタを組み合わせたバッファ動作を禁止します。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD1 ビット値は、GTSECR.SBDPE または GTSECR.SBDPD に 1 が書き込まれた場合に設定可能です。

相補 PWM モードでは、マスタチャネルの BD1 ビットの設定により、スレーブチャネルも制御されます。

BD2 ビット（GTADTRA/GTADTRB レジスタバッファ動作禁止）

BD2 ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタを共に使用したバッファ動作、および GTADTRB、GTADTBRB、GTADTDBRB レジスタを共に使用したバッファ動作を禁止します。

本設定はイベントカウント動作中は無効であり、GTADTRA、GTADTRB レジスタを使用したバッファ動作は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの位置に関連するチャネルの BD2 ビット値は、GTSECR レジスタの SBDAE または SBDAD ビットに 1 が書き込まれたときに設定可能です。

BD3 ビット（GTDVU/GTDVD レジスタバッファ動作禁止）

のこぎり波 PWM モード 1、のこぎり波ワンショットパルスモード、または三角波 PWM モードにおいて、このビットは GTDVU、GTDBU レジスタを共に使用したバッファ動作および GTDVD、GTDBD レジスタを共に使用したバッファ動作を禁止します。

BD3 ビットが 0 の場合でも、GTDVD レジスタのバッファ動作は、GTDTCR.TDFER ビットが 1 の場合には実行されません。その代わり、GTDVU レジスタ値は自動的に設定されます。

のこぎり波 PWM モード 2 または相補 PWM モードの場合、このビットは無効であり、GTDVU、GTDVD レジスタはバッファ動作を実行しません。

本設定はイベントカウント動作中は無効であり、GTDVU、GTDVD レジスタを使用したバッファ動作は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの位置に関連するチャネルの BD3 ビット値は、GTSECR レジスタの SBDDE または SBDDD ビットに 1 が書き込まれたときに設定可能です。

DBRTECm ビット（GTCCRm レジスタダブルバッファリピート動作許可） (m = A, B)

GTCCRm レジスタを使用したダブルバッファ動作実行時に、本設定はバッファ転送禁止期間中の周期による中間バッファから GTCCRm レジスタへの転送リピート動作を許可します。

のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3 の場合は、有効です。

バッファ転送禁止期間は、BD0 ビットの設定によるバッファ転送停止期間（GTSECSR レジスタによる CPU 書き込みまたは同時バッファ動作制御）および GTEITLB レジスタによるバッファ転送拡張スキップ期間（山と谷両方でのカウントによるスキップの場合を除く）を示しています。

DBRTECm ビットが 1 のとき、CPU による GTCCRm レジスタへの書き込みはテンポラリレジスタ x (x = C, E) に同じ値を設定します。GTCCRx (x = C, E) レジスタ値もバッファ強制転送によりテンポラリレジスタ x (x = C, E) に転送されます。

CCRA[1:0]ビット（GTCCRA バッファ動作）

CCRA[1:0]ビットは GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモード、または三角波 PWM モード 3（谷での 64 ビット転送）、または相補 PWM モードでは、バッファ動作モードは固定されます。

CCRB[1:0]ビット（GTCCRB バッファ動作）

CCRB[1:0]ビットは GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモード、または三角波 PWM モード 3（谷での 64 ビット転送）、または相補 PWM モードでは、バッファ動作モードは固定されます。

PR[1:0]ビット（GTPR バッファ動作）

PR[1:0]ビットは GTPR、GTPDBR、および GTPBR レジスタを組み合わせたバッファ動作を設定します。

相補 PWM モードでは、本設定は無効です。相補 PWM モード固有のバッファ動作は、PR[1:0]ビット設定値に関係なく実行されます。

CCRSWT ビット（GTCCRA・GTCCRB 強制バッファ動作）

CCRSWT ビットに 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。このビットは 0 が読み出され、カウントストップ時にコンペアマッチ動作が設定されている場合にのみ有効です。

相補 PWM モードでは、本設定は無効です。

ADTTA[1:0]ビット（GTADTRA レジスタバッファ転送タイミング選択）

ADTTA[1:0]ビットは GTADTRA、GTADTBRA、および GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDA ビット（GTADTRA レジスタダブルバッファ動作）

これらのビットは GTADTRA、GTADTBRA、および GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作中は、本設定は無効です。

ADTTB[1:0] ビット（GTADTRB レジスタバッファ転送タイミング選択）

これらのビットは GTADTRB、GTADTBRB、および GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDB ビット（GTADTRB レジスタダブルバッファ動作）

これらのビットは GTADTRB、GTADTBRB、および GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作中は、本設定は無効です。

22.2.18 GTITC : 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADTBL	—	ADTAL	—	IVTT[2:0]			IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ITLA	GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない。 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する。	R/W

ビット	シンボル	機能	R/W
1	ITLB	GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない。 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する。	R/W
2	ITLC	GTCCRC レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない。 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する。	R/W
3	ITLD	GTCCRD レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない。 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する。	R/W
4	ITLE	GTCCRE レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない。 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する。	R/W
5	ITLF	GTCCRF レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない。 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する。	R/W
7:6	IVTC[1:0]	GPTn_OVF/GPTn_UDF 割り込み間引き機能選択 0 0: 間引きしない。 0 1: のこぎり波のときにオーバーフロー／アンダーフロー両方を(注1)、三角波と相補 PWM モードのときに山をカウントして間引く。 1 0: のこぎり波のときにオーバーフロー／アンダーフロー両方を(注1)、三角波と相補 PWM モードのときに谷をカウントして間引く。 1 1: のこぎり波のときにオーバーフロー／アンダーフロー両方を(注1)、三角波と相補 PWM モードのときに谷／山の両方をカウントして間引く。	R/W
10:8	IVTT[2:0]	GPTn_OVF/GPTn_UDF 割り込み間引き回数選択 0 0 0: 間引かない 0 0 1: 間引き回数：1 回 0 1 0: 間引き回数：2 回 0 1 1: 間引き回数：3 回 1 0 0: 間引き回数：4 回 1 0 1: 間引き回数：5 回 1 1 0: 間引き回数：6 回 1 1 1: 間引き回数：7 回	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	ADTAL	GTADTRA レジスタ A/D 変換開始要求連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない。 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する。	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	ADTBL	GTADTRB レジスタ A/D 変換開始要求連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない。 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する。	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. のこぎり波 PWM モード 2 はこの機能の対象外です。

GTITC レジスタは、GTCNT カウンタのオーバーフロー（GTPR レジスタのコンペアマッチ）割り込み（GPTn_OVF）とアンダーフロー割り込み（GPTn_UDF）の間引き機能の設定と、他の割り込みおよび A/D 変換開始要求を GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかの設定をするレジスタです。POEG への出力禁止要求は、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動できないので注意してください。また、割り込み間引き機能を実行した場合、ステータスフラグの変化も間引かれます。

イベントカウント動作中は、この設定は無効です。

本設定は、GTEITC レジスタによる拡張割り込み間引きとは独立して動作します。

ITLA ビット（GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRA コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPA) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLB ビット（GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRB コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPB) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLC ビット（GTCCRC レジスタコンペアマッチ割り込み連動）

このビットは、GTCCRC コンペアマッチ割り込み (GPTn_CMPC) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLD ビット（GTCCRD レジスタコンペアマッチ割り込み連動）

このビットは、GTCCRD コンペアマッチ割り込み (GPTn_CMPD) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLE ビット（GTCCRE レジスタコンペアマッチ割り込み連動）

このビットは、GTCCRE コンペアマッチ割り込み (GPTn_CMPE) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLF ビット（GTCCRF レジスタコンペアマッチ割り込み連動）

このビットは、GTCCRF コンペアマッチ割り込み (GPTn_CMPF) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

IVTC[1:0]ビット（GPTn_OVF/GPTn_UDF 割り込み間引き機能選択）

GTPR コンペアマッチ（GTCNT カウンタのオーバーフロー）割り込み (GPTn_OVF)/GTCNT カウンタのアンダーフロー割り込み (GPTn_UDF) の間引き機能を設定します。

IVTT[2:0]ビット（GPTn_OVF/GPTn_UDF 割り込み間引き回数選択）

GTPR コンペアマッチ（GTCNT カウンタのオーバーフロー）割り込み (GPTn_OVF)/GTCNT カウンタのアンダーフロー割り込み (GPTn_UDF) の間引き回数を設定します。

IVTT[2:0] ビットを書き換える場合は、最初に IVTC[1:0] ビットを 00b にしてください。

ADTAL ビット（GTADTRA レジスタ A/D 変換開始要求連動）

GTCNT カウンタと GTADTRA レジスタのコンペアマッチへの応答として発生した GTADTRA A/D 変換開始要求が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ADTBL ビット（GTADTRB レジスタ A/D 変換開始要求連動）

GTCNT カウンタと GTADTRB レジスタのコンペアマッチへの応答として発生した GTADTRB A/D 変換開始要求が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

22.2.19 GTCNT : 汎用 PWM タイマカウンタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x48

Bit position:	31																												0
Bit field:	GTCNT[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	GTCNT[31:0]	GTCNT は GPT32n (n = 0～13) 用の 32 ビットの読み出し／書き込みカウンタです。 GTCNT はカウント停止後に書き込みのみ可能です。 GTCNT カウンタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。 のこぎり波または三角波の場合は、GTCNT は、0≦GTCNT≦GTPR の範囲に収まるように設定してください。	R/W

22.2.20 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k (k = A～F)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x4C (GTCCRA)
0x50 (GTCCRB)
0x54 (GTCCRC)
0x58 (GTCCRE)
0x5C (GTCCRD)
0x60 (GTCCRF)

Bit position:	31	0
Bit field:	GTCCRk[31:0]	
Value after reset:	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	

ビット	シンボル	機能	R/W
31:0	GTCCRk[31:0]	GTCCRk レジスタは読み出し／書き込みレジスタです。GTCCRk レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。 GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア／インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタはコンペアマッチレジスタであり、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。 GTCCRD レジスタと GTCCRF レジスタはコンペアマッチレジスタであり、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ（GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ）としても機能します。	R/W

22.2.21 GTPR : 汎用 PWM タイマ周期設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x64

Bit position:	31	0
Bit field:	GTPR[31:0]	
Value after reset:	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	

ビット	シンボル	機能	R/W
31:0	GTPR[31:0]	GTPR レジスタは、読み出し／書き込みレジスタで、GTCNT カウンタのカウント最大値を設定します。GTPR レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。 のこぎり波 PWM モード 2 では、本設定は無効です。のこぎり波 PWM モード 2 以外ののこぎり波の場合は、(GTPR + 1) の値が周期になります。三角波または相補 PWM モードの場合は、(GTPR × 2) の値が周期になります。 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。	R/W

22.2.22 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x68

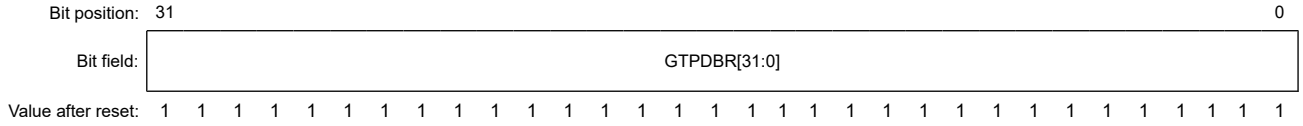
Bit position:	31	0
Bit field:	GTPBR[31:0]	
Value after reset:	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	

ビット	シンボル	機能	R/W
31:0	GTPBR[31:0]	GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能する読み出し／書き込みレジスタです。GTPBR レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。 のこぎり波 PWM モード 2 では、本設定は無効です。 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。	R/W

22.2.23 GTPDBR : 汎用 PWM タイマ周期設定ダブルバッファレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x6C

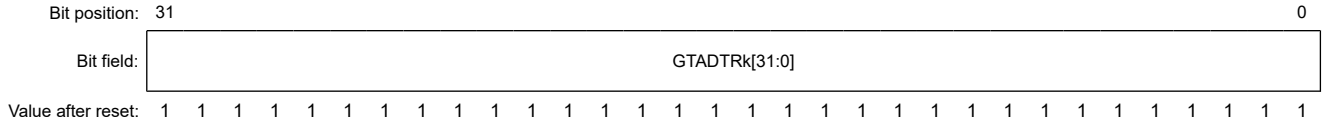


ビット	シンボル	機能	R/W
31:0	GTPDBR[31:0]	GTPBR レジスタ用のバッファレジスタ（すなわち、GTPR レジスタ用のダブルバッファレジスタ）です。 GTPDBR レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。 のこぎり波 PWM モード 2 では、この設定は無効です。 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。	R/W

22.2.24 GTADTRk : A/D 変換開始要求タイミングレジスタ k (k = A, B)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x70 (GTADTRA)
0x7C (GTADTRB)

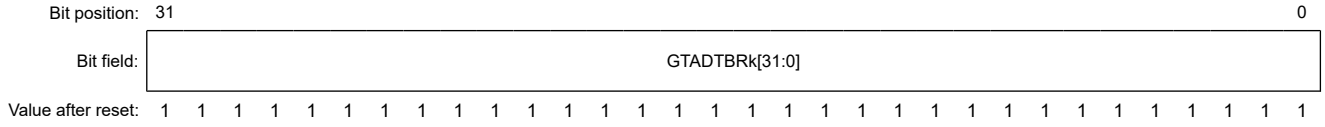


ビット	シンボル	機能	R/W
31:0	GTADTRk[31:0]	A/D 変換開始要求発生のタイミングを設定 GTADTRk レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。 GTADTRk レジスタの値が GTCNT カウンタ値と一致したとき、A/D 変換開始要求が発生します。 相補 PWM モードでは、マスタチャネルの GTCNT カウンタがこのレジスタが一致したときに A/D 変換開始要求が発生します。	R/W

22.2.25 GTADTBRk : A/D 変換開始要求タイミングバッファレジスタ k (k = A, B)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x74 (GTADTBRA)
0x80 (GTADTBRB)



ビット	シンボル	機能	R/W
31:0	GTADTBRk[31:0]	GTADTRk レジスタ用のバッファレジスタ GTADTBRk レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。	R/W

22.2.26 GTADTDBRk : A/D 変換開始要求タイミングダブルバッファレジスタ k (k = A, B)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x78 (GTADTDBRA)
0x84 (GTADTDBRB)

Bit position:	31																												0
Bit field:	GTADTDBRk[31:0]																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	GTADTDBRk[31:0]	GTADTBRk レジスタ用のバッファレジスタ（すなわち、GTADTRk レジスタ用のダブルバッファレジスタ）です。 GTADTDBRk レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。	R/W

22.2.27 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x88

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDE	逆相波形設定 0: GTDVU レジスタおよび GTDVD レジスタを使用しないで、GTCCRB レジスタを設定する 1: GTDVU レジスタと GTDVD レジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TDBUE	GTDVU レジスタバッファ動作許可 0: GTDVU レジスタバッファ動作を禁止 1: GTDVU レジスタバッファ動作を許可	R/W
5	TDBDE	GTDVD レジスタバッファ動作許可 0: GTDVD レジスタバッファ動作を禁止 1: GTDVD レジスタバッファ動作を許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TDFER	GTDVD レジスタ設定 0: GTDVU レジスタと GTDVD レジスタを個別に設定 1: GTDVU レジスタに書き込まれた値を GTDVD レジスタに自動設定	R/W

ビット	シンボル	機能	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDTCR レジスタは､デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可します。GPT にはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタと GTDVD レジスタを使用します。

本レジスタはのこぎり波 PWM モード 2 または相補 PWM モードでは無効です。

イベントカウント動作中は、本設定は無効です。

TDE ビット（逆相波形設定）

TDE ビットは GTDVU レジスタおよび GTDVD レジスタを使用するか否かを指定します。GTDVU レジスタと GTDVD レジスタを使用する場合、正相波形のコンペアマッチ値（GTCCRA 値）とデッドタイム値（GTDVU 値と GTDVD 値）から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、GTCCRB レジスタで自動設定は行われません。

GTCCRB レジスタ値が自動設定されるとき、以下のような上限値と下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタには下記の制限値が設定されます。また、GTST.DTEF フラグが 1 になります。ただし、算出された GTCCRB 値が三角波 PWM モードの上限値を超える場合、DTEF フラグは 0 になります。

- 三角波の場合
  上限値：GTPR 値 − 1
  下限値：アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合
  上限値：GTPR 値
  下限値：0

TDBUE ビット（GTDVU レジスタバッファ動作許可）

本ビットは GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。

バッファ転送のタイミングは三角波モードの谷、およびのこぎり波モードのオーバーフローまたはアンダーフローです。

TDBDE ビット（GTDVD レジスタバッファ動作許可）

本ビットは GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。

バッファ転送のタイミングは三角波モードの谷、およびのこぎり波モードのオーバーフローまたはアンダーフローです。

本ビットと TDFER ビットを同時に 1 にする場合、TDFER ビットの設定が優先されます。

TDFER ビット（GTDVD レジスタ設定）

このビットは GTDVU レジスタに書き込まれた値が GTDVD レジスタにも自動設定されるか否かを設定します。

22.2.28 GTDVk : 汎用 PWM タイマデッドタイム値レジスタ k (k = U, D)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0〜13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0〜13)

Offset address: 0x8C (GTDVU)
0x90 (GTDVD)

Bit position:	31																													0
Bit field:	GTDVk[31:0]																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	GTDVk[31:0]	GTDVk レジスタは、読み出し／書き込みレジスタで、デッドタイム付き PWM 波形を生成するためのデッドタイム値を設定します。 GTDVk レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。 のこぎり波 PWM モード 2 では、本設定は無効です。 相補 PWM モードでは、GTDVD レジスタは無効で、GTDVU レジスタがアップカウントおよびダウンカウント中にデッドタイム値として使用されます。マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどの GTDVU レジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。 三角波の場合、GTDVU レジスタがアップカウントに使用されます。GTDVD レジスタがダウンカウントに使用されます。 のこぎり波の場合、アップカウントかダウンカウントかにかかわらず、GTDVU レジスタが前部のデッドタイムを制御し、GTDVD レジスタが後部のデッドタイムを制御します。 GTPR 以上の GTDVk 値は設定しないでください。 相補 PWM モードでは、以下の条件を満たすために、GTDVU レジスタを設定します。 ● GTDVU > 0 ● GTDVU < GTPR/2 ● GTDVU + GTPR≦0xffffffff デッドタイム自動設定機能を使用する場合、波形の変化点がカウント周期を超えるような値を設定しないでください。GTCCRB レジスタを読み出すと、自動計算される逆相波形の変化点を取得できます。 GTDVk レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。相補 PWM モード以外では、このレジスタを 0 にすると、デッドタイムなしの波形が出力されます。 GTDTCR.TDFER ビットが 1 の場合、GTDVD レジスタへの書き込みは無効です。このとき、GTDVD レジスタを読むと、GTDVU レジスタの値が読み出されます。 GPT の動作中は、GTDVk レジスタ値の変更はしないでください。GTDVk を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。	R/W

22.2.29 GTDBk : 汎用 PWM タイマデッドタイムバッファレジスタ k (k = U, D)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x94 (GTDBU)
0x98 (GTDBD)

Bit position:	31																												0
Bit field:	GTDBk[31:0]																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	GTDBk[31:0]	GTDVk レジスタ用のバッファレジスタ GTDBk レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。	R/W

22.2.30 GTSOS : 汎用 PWM タイマ出力保護機能ステータスレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0x9C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SOS[1:0]	出力保護機能ステータス 0 0: 通常動作 0 1: 保護状態（谷もしくは山の転送で GTCCRA レジスタ = 0 が設定された） 1 0: 保護状態（谷の転送で GTCCRA レジスタ≧GTPR レジスタが設定された） 1 1: 保護状態（山の転送で GTCCRA レジスタ≧GTPR レジスタが設定された）	R
7:2	—	読むと 0 が読めます。	R
9:8	—	読み出し値は不定です。	R
31:10	—	読むと 0 が読めます。	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイムが自動的に設定（GTDTCR.TDE ビット = 1）されている場合にのみ有効です。

SOS[1:0]ビット（出力保護機能ステータス）

このビットは、三角波 PWM モードにおける出力保護機能の状態を示します。出力保護機能の詳細については、「22.8.4. GTIOCnm 端子出力の出力保護機能 (n = 0～13, m = A, B)」を参照してください。

22.2.31 GTSOTR : 汎用 PWM タイマ出力保護機能一時解除レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xA0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOTR	出力保護機能一時解除 0: 保護状態を解除しない 1: 保護状態を解除する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSOTR レジスタは、出力保護が設定されたときに、GTIOCnB 端子出力 (n = 0～13) の保護状態を一時解除します。

GTSOS.SOS[1:0] ビットが 10b（谷の転送で GTCCRA レジスタ≧GTPR レジスタとなったことを示す保護状態）の場合のみ、解除することができます。他の状態の場合には、保護状態は解除できません。

SOTR ビット（出力保護機能一時解除）

このビットは、出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除するかしないかを設定します。

SOTR ビットを 1 にすると、最初に現れる谷以降の出力保護機能を解除します。SOTR ビットを 0 にすると、最初に現れる谷以降の出力保護機能を再開します。

22.2.32 GTADSMR : 汎用 PWM タイマ A/D 変換開始要求信号監視レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xA4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	ADSMEN1	—	—	—	—	—	—	ADSMS1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADSMEN0	—	—	—	—	—	—	ADSMS0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADSMS0[1:0]	A/D 変換開始要求信号監視 0 の選択 0 0: アップカウント中に GTADTRA によって生成された A/D 変換開始要求信号 0 1: ダウンカウント中に GTADTRA によって生成された A/D 変換開始要求信号 1 0: アップカウント中に GTADTRB によって生成された A/D 変換開始要求信号 1 1: ダウンカウント中に GTADTRB によって生成された A/D 変換開始要求信号	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ADSMEN0	A/D 変換開始要求信号監視 0 の出力許可 0: A/D 変換開始要求信号モニタ 0 の出力を禁止 1: A/D 変換開始要求信号モニタ 0 の出力を許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	ADSMS1[1:0]	A/D 変換開始要求信号監視 1 の選択 0 0: アップカウント中に GTADTRA によって生成された A/D 変換開始要求信号 0 1: ダウンカウント中に GTADTRA によって生成された A/D 変換開始要求信号 1 0: アップカウント中に GTADTRB によって生成された A/D 変換開始要求信号 1 1: ダウンカウント中に GTADTRB によって生成された A/D 変換開始要求信号	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ADSMEN1	A/D 変換開始要求信号監視 1 の出力許可 0: A/D 変換開始要求信号モニタ 1 の出力を禁止 1: A/D 変換開始要求信号モニタ 1 の出力を許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTADSMR レジスタは、フレーム期間と同期した A/D 変換開始要求信号の監視を制御するために使用します。

ADSMSk[1:0] ビット（A/D 変換開始要求信号監視 k の選択）(k = 0, 1)

これらのビットは、GTASMk 端子によって監視される、フレーム周期に同期される A/D 変換開始要求信号を選択するために使用されます。

三角波 PWM モードや相補 PWM モードでは、次の設定は禁止されています。

- GTADTRA = 0 の状態で ADSMSk[1:0]ビットを 00b にする（アップカウント中の A/D 変換開始要求）
- GTADTRB = 0 の状態で ADSMSk[1:0]ビットを 10b にする（アップカウント中の A/D 変換開始要求）
- GTADTRA = GTPR の状態で ADSMSk[1:0]ビットを 01b にする（ダウンカウント中の A/D 変換開始要求）
- GTADTRB = GTPR の状態で ADSMSk[1:0]ビットを 11b にする（ダウンカウント中の A/D 変換開始要求）

ADSMENk ビット（A/D 変換開始要求信号監視 k の出力許可）(k = 0, 1)

このビットは、GTADSMk 端子へのモニタ出力を許可／禁止します。

出力を禁止すると、GTADSMk 端子が Low になります。

このビットが 1 の場合、GTADSMk 端子の信号は、ADSMSk[1:0] ビットで選択した A/D 変換開始要求信号のアサート時に High になり、A/D 変換開始を要求する任意の信号を発生させるチャネルの現在のタイマ周期の終わり

に Low に戻ります。カウンタが停止すると、カウンタ停止時の値が出力用に保持されます。ADSMENk ビットを 0 にして Low レベルを出力してください。

A/D 変換開始要求信号がタイマ周期の終わりに発生した場合、出力監視に関してはこの信号の発生が優先され、出力は次の周期の終わりまで High のままです。

複数チャネルに対して同じ A/D 変換開始要求信号監視の出力を許可した場合、信号の論理和が GPT から出力されます。

22.2.33 GTEITC : 汎用 PWM タイマ拡張割り込み間引きカウンタコントロールレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xA8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EITCNT2[3:0]				EITCNT2IV[3:0]				EIVTT2[3:0]				—	—	EIVTC2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EITCNT1[3:0]				—	—	—	—	EIVTT1[3:0]				—	—	EIVTC1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	EIVTC1[1:0]	拡張割り込み間引きカウンタ 1 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山をカウント 1 0: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの谷をカウント 1 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山／谷両方をカウント	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	EIVTT1[3:0]	拡張割り込み間引き 1 の間引き回数設定 拡張割り込み間引き 1 の間引き回数	R/W
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	EITCNT1[3:0]	拡張割り込み間引きカウンタ 1	R
17:16	EIVTC2[1:0]	拡張割り込み間引きカウンタ 2 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山をカウント 1 0: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの谷をカウント 1 1: のこぎり波モードでのオーバーフロー／アンダーフロー時両方のカウントと、三角波モードまたは相補 PWM モードでの山／谷両方をカウント	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:20	EIVTT2[3:0]	拡張割り込み間引き 2 の間引き回数設定 拡張割り込み間引き 2 の間引き回数	R/W
27:24	EITCNT2IV[3:0]	拡張割り込み間引きカウンタ 2 の初期値	R/W(注1)
31:28	EITCNT2[3:0]	拡張割り込み間引きカウンタ 2	R

注 1. 00b だった EIVTC2[1:0] ビットに 00b 以外の値を書き込んだときにだけ、EITCNT2IV[3:0] ビットへの書き込みが可能です。

GTEITC レジスタは、GTCNT カウンタのオーバーフロー時とアンダーフロー時のカウントによって割り込み、A/D 変換開始要求、バッファ転送を別々に間引くための拡張割り込み間引き機能を設定します。

本設定は、GTITC レジスタまたは GTADCMSC による割り込み間引きとは独立して動作します。

イベントカウント動作中は、この設定は無効です。

GTEITC レジスタの 8 ビット単位でのアクセスは禁止です。

EIVTCk[1:0] ビット（拡張割り込み間引きカウンタ k カウントソース選択）(k = 1, 2)

これらのビットは、拡張割り込み間引きカウンタ k のカウント方法を選択します。

これらのビットを設定するだけでは、割り込み、A/D 変換開始要求、バッファ転送を間引きません。間引き対象である割り込み、A/D 変換開始要求、バッファ転送に対する間引き機能は、それぞれ個別に GTEITLI1 レジスタ、GTEITLI2 レジスタ、GTEITLB レジスタで設定します。

EIVTTk[3:0] ビット（拡張割り込み間引き k の間引き回数設定）(k = 1, 2)

連続間引きがある期間の回数を、間引き回数として設定します。このとき、EIVTCk[1:0] ビットで選択したカウントソースの発生から次のカウントソースの発生までを 1 期間とします。

EIVTTk[3:0] ビットが EITCNTk[3:0] ビットに一致しているときにカウントソースが発生した場合、EITCNTk[3:0] ビットがクリアされます。

これらのビットが 0x0 の場合、間引きしません。

EITCNT1[3:0] ビット（拡張割り込み間引きカウンタ 1）

EIVTC1[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）が発生するたびに、カウントを 1 ずつインクリメントします。

カウントは 0～EIVTT1[3:0] ビットの範囲で定期的に実行されます。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタ停止時の値が保持されます。

[0 になる条件]

- EIVTC1[1:0] ビットに 00b を書き込む。
- EIVTT1[3:0] ビットに 0x0 を書き込む。
- EIVTC1[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）は、EIVTT1[3:0] ビットで設定した拡張割り込み間引き 1 の間引き回数設定が EITCNT1[3:0] の値に一致した場合に発生します。

EITCNT2IV[3:0]ビット（拡張割り込み間引きカウンタ 2 の初期値）

これらのビットは、拡張割り込み間引きカウンタ 2 の初期値です。

EIVTC2[1:0]ビットへの書き込み値が 00b 以外であり、かつ EITCNT2[3:0]ビットがカウントしない設定（EIVTC2[1:0]ビットが 00b）の間に GTEITC レジスタが上位 16 ビットまたは 32 ビットのアクセスによって書き込まれる場合のみ、EITCNT2IV[3:0]ビットへの書き込みが実行されます。EITCNT2IV[3:0]ビットが書き込まれると、EITCNT2IV[3:0]ビットに書き込まれる値は EITCNT2[3:0]ビットに同時に書き込まれます。

EITCNT2[3:0] ビットをカウントありに設定した場合（EIVTC2[1:0] ビットは 00b 以外）またはカウントなしに設定した場合（EIVTC2[1:0] ビットに 00b 書き込み）は、EITCNT2IV[3:0] ビットへの書き込みは無視されます。

EITCNT2IV[3:0] ビットは、EIVTC2[1:0] ビットへの 00b 書き込みによりリセットされません。

EITCNT2[3:0]ビット（拡張割り込み間引きカウンタ 2）

EIVTC2[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）が発生するたびに、カウントを 1 ずつインクリメントします。

カウントは 0～EIVTT2[3:0] ビットの範囲で定期的に実行されます。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタ停止時の値が保持されます。

EITCNT2[3:0] ビットの初期値が設定されるのは、EIVTC2[1:0] ビットの書き込み値が 00b 以外のときと、拡張割り込み間引きカウンタ 2 をカウントなしに設定した状態（EIVTC2[1:0] ビットは 00b）で上位 16 ビットまたは 32 ビットのアクセスにより GTEITC レジスタに書き込みが行われたときのみです。

初期値を設定すると、EITCNT2IV[3:0] ビットの書き込み値が初期値として EITCNT2[3:0] ビットに書き込まれます。

[0 になる条件]

- EIVTC2[1:0] ビットに 00b を書き込む。
- EIVTT2[3:0] ビットに 0x0 を書き込む。

- EIVTC2[1:0] ビットに 00b を設定した状態で、EIVTC2[1:0] ビットに 00b 以外の値を書き込むと同時に EITCNT2IV[3:0] ビットに 0x0 を書き込む。
- EIVTC2[1:0] ビットで選択したカウントソース（オーバーフロー／アンダーフロー／山／谷）は、EIVTT2[3:0] ビットで設定した拡張割り込み間引き 2 の間引き回数が EITCNT2[3:0] の値に一致したときに発生する。

22.2.34 GTEITLI1 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xAC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	EITLU[2:0]			—	EITLV[2:0]			—	EITLF[2:0]			—	EITLE[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	EITLD[2:0]			—	EITLC[2:0]			—	EITLB[2:0]			—	EITLA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EITLA[2:0]	GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み拡張間引き機能選択 表 22.6 を参照してください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	EITLB[2:0]	GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み拡張間引き機能選択 表 22.6 を参照してください。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	EITLC[2:0]	GTCCRC レジスタコンペアマッチ割り込み拡張間引き機能選択 表 22.6 を参照してください。	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	EITLD[2:0]	GTCCRD レジスタコンペアマッチ割り込み拡張間引き機能選択 表 22.6 を参照してください。	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	EITLE[2:0]	GTCCRE レジスタコンペアマッチ割り込み拡張間引き機能選択 表 22.6 を参照してください。	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	EITLF[2:0]	GTCCRF レジスタコンペアマッチ割り込み拡張間引き機能選択 表 22.6 を参照してください。	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	EITLV[2:0]	オーバーフロー割り込み拡張間引き機能選択 表 22.6 を参照してください。	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	EITLU[2:0]	アンダーフロー割り込み拡張間引き機能選択 表 22.6 を参照してください。	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTEITLI1 レジスタは、コンペアマッチ／インプットキャプチャ、オーバーフロー、アンダーフローなどの割り込みに対する拡張間引き機能を設定します。

このレジスタを設定するだけでは間引きは実行されません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

本設定は、GTITC レジスタまたは GTADCMSC による割り込み間引きとは独立して動作します。

イベントカウント動作中は、この設定は無効です。

EITLm[2:0] ビット（GTCCRm レジスタコンペアマッチ／インプットキャプチャ割り込み拡張間引き機能選択）(m = A, B)

これらのビットは、拡張割り込み間引き機能を選択し、GTCCRm レジスタでコンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPm) を間引きします。表 22.6 を参照してください。

EITLx[2:0] ビット（GTCCRx レジスタコンペアマッチ割り込み拡張間引き機能選択）(x = C, D, E, F)

これらのビットは、拡張割り込み間引き機能を選択し、GTCCRx レジスタでコンペアマッチ割り込み (GPTn_CMPx) を間引きします。表 22.6 を参照してください。

EITLV[2:0]ビット（オーバーフロー割り込み拡張間引き機能選択）

これらのビットは、拡張割り込み間引き機能を選択し、オーバーフロー (GPTn_OVF) で割り込みを間引きします。表 22.6 を参照してください。

EITLU[2:0]ビット（アンダーフロー割り込み拡張間引き機能選択）

これらのビットは、拡張割り込み間引き機能を選択し、アンダーフロー (GPTn_UDF) で割り込みを間引きします。表 22.6 を参照してください。

表 22.6 GTEITLI1 の機能選択の設定

EITLy[2:0]	機能
0 0 0	拡張割り込み間引きしません
0 0 1	拡張割り込み間引きカウンタ 1 の値が 0 以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = 0 の期間に出力されます）
0 1 0	拡張割り込み間引きカウンタ 2 の値が 0 以外である期間、割り込みを間引きます（割り込みは、EITCNT2[3:0] ビット = 0 の期間に出力されます）
0 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = 0 かつ EITCNT2[3:0] ビット = 0 の期間に出力されます）
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = EIVTT1[3:0] ビットの期間に出力されます）
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外である期間、割り込みを間引きます（割り込みは EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）
1 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、割り込みを間引きます（割り込みは EITCNT1[3:0] ビット = EIVTT1[3:0] ビットかつ EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）

注.
- y = A, B, C, D, E, F, V, U
- 意図する間引きカウンタをカウントなしに設定（EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0x0）した場合は間引きしません。(k = 1, 2)
- EITLy[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタ 1／2 のどちらかをカウントなしに設定した場合は間引きしません。

22.2.35 GTEITLI2 : 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xB0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	EADTBL[2:0]			—	EADTAL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EADTAL[2:0]	GTADTRA レジスタ A/D 変換開始要求の拡張間引き機能選択 表 22.7 を参照してください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	EADTBL[2:0]	GTADTRB レジスタ A/D 変換開始要求の拡張間引き機能選択 表 22.7 を参照してください。	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTEITLI2 レジスタは A/D 変換開始要求の拡張間引き機能を設定します。

このレジスタを設定するだけでは間引きは実行されません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

本設定は、GTITC レジスタまたは GTADCMSC による割り込み間引きとは独立して動作します。

イベントカウント動作中は、この設定は無効です。

EADTmL[2:0] ビット（GTADTRm レジスタ A/D 変換開始要求の拡張間引き機能選択）(m = A, B)

これらのビットは、GTADTRm レジスタのコンペアマッチについて A/D 変換開始要求を間引きする拡張間引き機能を選択します。表 22.7 を参照してください。

表 22.7 GTEITLI2 レジスタの機能選択の設定

EADTmL[2:0]	機能
0 0 0	拡張割り込み間引きしません
0 0 1	拡張割り込み間引きカウンタ 1 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = 0 の期間に出力されます）
0 1 0	拡張割り込み間引きカウンタ 2 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT2[3:0] ビット = 0 の期間に出力されます）
0 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = 0 かつ EITCNT2[3:0] ビット = 0 の期間に出力されます）
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットの期間に出力されます）
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）
1 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットかつ EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に出力されます）

注.
- m = A、B
- 意図する間引きカウンタをカウントなしに設定（EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0x0）した場合は間引きしません。 (k = 1, 2)
- EADTmL[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタ 1／2 のどちらかをカウントなしに設定した場合は間引きしません。

22.2.36 GTEITLB : 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xB4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	EBTLDVD[2:0]			—	EBTLDVU[2:0]			—	EBTLADB[2:0]			—	EBTLADA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EBTLPR[2:0]			—	EBTLCB[2:0]			—	EBTLCA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EBTLCA[2:0]	GTCCRA レジスタバッファ転送拡張間引き機能選択 表 22.8 を参照してください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	EBTLCB[2:0]	GTCCRB レジスタバッファ転送拡張間引き機能選択 表 22.8 を参照してください。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	EBTLPR[2:0]	GTPR レジスタバッファ転送拡張間引き機能選択 表 22.8 を参照してください。	R/W(注1)
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	EBTLADA[2:0]	GTADTRA レジスタバッファ転送拡張間引き機能選択 表 22.8 を参照してください。	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	EBTLADB[2:0]	GTADTRB レジスタバッファ転送拡張間引き機能選択 表 22.8 を参照してください。	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	EBTLDVU[2:0]	GTDVU レジスタバッファ転送拡張間引き機能選択 表 22.8 を参照してください。	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	EBTLDVD[2:0]	GTDVD レジスタバッファ転送拡張間引き機能選択 表 22.8 を参照してください。	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。

GTEITLB レジスタはバッファ転送の拡張間引き機能を設定します。

このレジスタを設定するだけでは間引きは実行されません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

本設定は、GTITC レジスタによる割り込み間引きとは独立して動作します。

GTOLBR レジスタから GTIOR.GTIOA[4:0] ビットと GTIOB[4:0] ビットへのバッファ転送は、拡張バッファ転送間引き機能の対象外です。

イベントカウント動作中は、この設定は無効です。

EBTLCA[2:0]ビット（GTCCRA レジスタバッファ転送拡張間引き機能選択）

これらのビットは、GTCCRA レジスタでバッファ転送（GTCCRA、GTCCRC、GTCCRD レジスタおよびテンポラリレジスタ A の間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 22.8 を参照してください。

カウント動作停止中は、GTCCRA レジスタのバッファ転送の拡張間引きは GTBER.CCRSWT ビットによるバッファ強制転送に対して有効です。GTCCRA レジスタのバッファ強制転送は、拡張バッファ転送間引きを実行しない状態で実施してください。

相補 PWM モードでの GTCCRC／GTCCRE／GTCCRA レジスタ間のバッファ転送は間引くことができません。

EBTLCB[2:0]ビット（GTCCRB レジスタバッファ転送拡張間引き機能選択）

これらのビットは、GTCCRB レジスタでバッファ転送（GTCCRB、GTCCRE、GTCCRF レジスタおよびテンポラリレジスタ B の間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 22.8 を参照してください。

カウント動作停止中は、GTCCRB レジスタのバッファ転送の拡張間引きは GTBER.CCRSWT ビットによるバッファ強制転送に対して有効です。GTCCRB レジスタのバッファ強制転送は、拡張バッファ転送間引きを実行しない状態で実施してください。

EBTLPR[2:0]ビット（GTPR レジスタバッファ転送拡張間引き機能選択）

これらのビットは、GTPR レジスタでバッファ転送（GTPR、GTPBR、および GTPDBR レジスタ間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 22.8 を参照してください。

GTPR のバッファ転送を相補 PWM モードで間引いた場合、スレーブチャネルのバッファ転送タイミングがマスタチャネルと一致するように、スレーブチャネルの GTEITC 設定とマスタチャネルの設定を一致させてください。

EBTLADm[2:0] ビット（GTADTRm レジスタバッファ転送拡張間引き機能選択）(m = A, B)

これらのビットは、GTADTRm レジスタでバッファ転送（GTADTRm、GTADTBRm、および GTADTDBRm レジスタ間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 22.8 を参照してください。

EBTLDVm[2:0] ビット（GTDVm レジスタバッファ転送拡張間引き機能選択）(m = U, D)

これらのビットは、GTDVm レジスタでバッファ転送（GTDVm レジスタと GTDBm レジスタの間での転送）を間引きする拡張バッファ転送間引き機能を選択します。表 22.8 を参照してください。

表 22.8 GTEITLB レジスタの機能選択の設定

EBTLx[2:0] ビット	機能
0 0 0	拡張割り込み間引きしません
0 0 1	拡張割り込み間引きカウンタ 1 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = 0 の期間に発生します）
0 1 0	拡張割り込み間引きカウンタ 2 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は EITCNT2[3:0] ビット = 0 の期間に発生します）
0 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = 0 かつ EITCNT2[3:0] ビット = 0 の期間に発生します）
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットの期間に発生します）
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に発生します）
1 1 1	拡張割り込み間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は EITCNT1[3:0] ビット = EIVTT1[3:0] ビットかつ EITCNT2[3:0] ビット = EIVTT2[3:0] ビットの期間に発生します）

注.
- y = CA, CB, PR, ADA, ADB, DVU, DVD
- 目的の間引きカウンタがカウントしないように設定されている場合（EIVTCk[1:0]ビット = 00b または EIVTTk[3:0]ビット = 0x0）、間引きは実行されません。 (k = 1, 2)
- EBTLx[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタ 1／2 のどちらかをカウントなしに設定した場合は間引きしません。

22.2.37 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xB8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	ICLFSELD[5:0]						—	ICLFB[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ICLFSELC[5:0]						—	ICLFA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ICLFA[2:0]	GTIOCnA 出力論理演算機能選択 0 0 0: A（遅延なし） 0 0 1: NOT A（遅延なし） 0 1 0: C（1 GTCLK サイクル遅延） 0 1 1: NOT C（1 GTCLK サイクル遅延） 1 0 0: A AND C（1 GTCLK サイクル遅延）(注2) 1 0 1: A OR C（1 GTCLK サイクル遅延）(注2) 1 1 0: A EXOR C（1 GTCLK サイクル遅延）(注2) 1 1 1: A NOR C（1 GTCLK サイクル遅延）(注2)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:4	ICLFSELC[5:0]	チャネル間信号 C 選択(注1)(注2) 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B ⋮ 0x12: GTIOC9A 0x13: GTIOC9B その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	ICLFB[2:0]	GTIOCnB 出力論理演算機能選択 0 0 0: B（遅延なし） 0 0 1: NOT B（遅延なし） 0 1 0: D（1 GTCLK サイクル遅延） 0 1 1: NOT D（1 GTCLK サイクル遅延） 1 0 0: B AND D（1 GTCLK サイクル遅延）(注3) 1 0 1: B OR D（1 GTCLK サイクル遅延）(注3) 1 1 0: B EXOR D（1 GTCLK サイクル遅延）(注3) 1 1 1: B NOR D（1 GTCLK サイクル遅延）(注3)	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:20	ICLFSELD[5:0]	チャネル間信号 D 選択(注1)(注3) 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B 0x04: GTIOC2A 0x05: GTIOC2B 0x06: GTIOC3A 0x07: GTIOC3B ⋮ ⋮ 0x3E: GTIOC31A 0x3F: GTIOC31B	R/W

ビット	シンボル	機能	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 出力禁止制御を実行する前に、信号が選択されます。
注 2. チャネル自身の GTIOCnA が選択されると、C は 1 として扱われます。
注 3. チャネル自身の GTIOCnB が選択されると、D は 1 として扱われます。

GTICLF レジスタはコンペアマッチ出力間の論理演算機能を設定します。コンペアマッチ制御後にデューティー 0%/100%処理を行った信号に対して、論理演算が実行されます。(出力禁止制御は論理演算後の信号に対して実行されます。)

GTICLF への 8 ビット単位でのアクセスはしないでください。

ICLFm[2:0]ビット（GTIOCnm 出力論理演算機能選択）(m = A, B)

これらのビットにより、GTIOCnm の出力禁止制御をする前の信号間の論理演算式を選択します。GPT 出力の障害を防ぐため、論理演算後の信号は、GTCLK でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。GTCLK 1 サイクルの遅延を生じる論理演算式を選択したとき、出力許可信号も同様に GTCLK 1 サイクル遅延して出力禁止制御に入力されます。

論理演算機能 AND、OR、EXOR、および NOR に対して同じ信号が選択されると、1 つの信号は 1 として扱われます。

ICLFSELk[5:0]ビット（チャネル間信号 k 選択）（k = C, D）

本ビットは、GTIOCnm に対する出力禁止制御を実行する前に、論理演算が実行される信号 k を選択します。

22.2.38 GTPC : 汎用 PWM タイマ周期カウントレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～3, 10～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xBC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	PCNT[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ASTP	—	—	—	—	—	—	—	PCEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PCEN	周期計数機能許可 0: 周期計数機能は禁止 1: 周期計数機能は許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ASTP	自動停止機能許可 0: 自動停止機能は禁止 1: 自動停止機能は許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	PCNT[11:0]	周期カウンタ 周期計数のカウンタ	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTPC レジスタは周期回数をカウントします。

PCEN ビット（周期計数機能許可）

周期計数機能を有効または無効にします。

計数が進行中、停止中いずれにおいても書き込み可能です。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットのどちらかに 1 が書き込まれたとき、GTSECSR レジスタにより 1 が設定されたチャネルの PCEN ビットに値が同時に設定されます。

ASTP ビット（自動停止機能許可）

周期計数終了後の GTCNT カウンタ自動停止を許可または禁止します。

PCEN ビットが 0 のとき、書き込み可能です。

PCEN ビットが 1 のとき、書き込み禁止です。

PCEN ビットが 1 のとき、ASTP ビットが 1 でありかつ PCNT カウンタが PCNT = 0 で停止すると、GTCNT カウンタも停止します。ASTP ビットが 0 のときは、GTCNT はカウント動作を継続します。

PCNT[11:0]ビット（周期カウンタ）

周期の数を計数するカウンタです。

PCEN ビットが 0 のとき、周期の数を書き込み可能です。

PCEN ビットが 1 のとき、書き込みは無効であり、周期の終わりでダウンカウントが実行されます。のこぎり波モードの場合、周期の終わりがオーバーフロー、アンダーフロー、またはカウンタクリアを表します。三角波モードまたは相補 PWM モードの場合は、谷を表します。

周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 かつ ASTP ビットが 1 の間に PCEN ビットが 0 から 1 に変化するとき、GTCNT カウンタがその直後にカウントクロックで停止します。

22.2.39 GTADCMSC : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引きコントロールレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xC0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ADCMSCNT2[3:0]				ADCMSCNT2IV[3:0]				ADCMST2[3:0]				—	—	ADCMSC2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADCMSCNT1[3:0]				ADCMSCNT1IV[3:0]				ADCMST1[3:0]				—	—	ADCMSC1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADCMSC1[1:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: GTADTRA レジスタのコンペアマッチをカウント 1 0: GTADTRB レジスタのコンペアマッチをカウント 1 1: GTADTRA レジスタのコンペアマッチと GTADTRB レジスタのコンペアマッチの両方をカウント	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	ADCMST1[3:0]	A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数設定 A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数	R/W
11:8	ADCMSCNT1IV[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の初期値	R/W(注1)
15:12	ADCMSCNT1[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 1	R

ビット	シンボル	機能	R/W
17:16	ADCMSC2[1:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 のカウントソース選択 0 0: カウントしない（間引きなし） 0 1: GTADTRA レジスタのコンペアマッチをカウント 1 0: GTADTRB レジスタのコンペアマッチをカウント 1 1: GTADTRA レジスタのコンペアマッチと GTADTRB レジスタのコンペアマッチの両方をカウント	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:20	ADCMST2[3:0]	A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数設定 A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数	R/W
27:24	ADCMSCNT2IV[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値	R/W(注2)
31:28	ADCMSCNT2[3:0]	A/D 変換開始要求コンペアマッチ間引きカウンタ 2	R

注 1. ADCMSC1[1:0] ビットが 00b のときに、00b 以外の値を ADCMSC1[1:0] ビットに書き込む場合のみ、書き込みが可能です。
注 2. ADCMSC2[1:0] ビットが 00b のときに、00b 以外の値を ADCMSC2[1:0] ビットに書き込む場合のみ、書き込みが可能です。

GTADCMSC レジスタは A/D 変換開始要求コンペアマッチ間引き機能の間引きカウンタを制御します。この機能は GTADTRA レジスタと GTADTRB レジスタのコンペアマッチをカウントし、A/D 変換開始要求とバッファ転送を別々に間引きます。

このレジスタ設定は、GTITC レジスタまたは GTEITC レジスタによる割り込み間引きとは独立して動作します。

GTADCMSC レジスタの 8 ビット単位でのアクセスは禁止です。

ADCMSCk[1:0] ビット（A/D 変換開始要求コンペアマッチ間引きカウンタ k のカウントソース選択）(k = 1, 2)

これらのビットは、A/D 変換開始要求コンペアマッチ間引きカウンタ k のカウント方法を選択します。

これらのビットを設定するだけでは、A/D 変換開始要求とバッファ転送は間引きされません。間引き対象である A/D 変換開始要求とバッファ転送に対する間引き機能は、それぞれ個別に GTADCMSS レジスタに設定します。

ADCMSTk[3:0] ビット（A/D 変換開始要求コンペアマッチ間引き k の間引き回数設定）(k = 1, 2)

連続間引きがある期間の回数を、間引き回数として設定します。この場合、ADCMSCk[1:0] ビットで選択したカウントソースの発生から次のカウントソースの発生までを 1 期間とします。

ADCMSTk[3:0] ビットが ADCMSCNTk[3:0] ビットに一致しているときにカウントソースが発生した場合、ADCMSCNTk[3:0] ビットがクリアされます。

これらのビットが 0x0 の場合、間引きしません。

ADCMSCNTkIV[3:0] ビット（A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値）(k = 1, 2)

これらのビットは、A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値です。

ADCMSCNTkIV[3:0] への書き込みが行われるのは、ADCMSCk[1:0] ビットの書き込み値が 00b 以外の場合と、ADCMSCNTk[3:0] ビットをカウントなしに設定した状態（ADCMSCk[1:0] ビットは 00b）で 16 ビットまたは 32 ビットのアクセスにより GTADCMSC レジスタに書き込みが行われた場合のみです。ADCMSCNTkIV[3:0] ビットに書き込むと、ADCMSCNTkIV[3:0] ビットに書き込んだ値は同時に ADCMSCNTk[3:0] ビットに書き込まれます。

ADCMSCNTk[3:0] ビットをカウントありに設定した場合（ADCMSCk[1:0] ビットは 00b 以外）またはカウントなしに設定した場合（ADCMSCk[1:0] ビットに 00b 書き込み）は、ADCMSCNTkIV[3:0] ビットへの書き込みは無視されます。

ADCMSCNTkIV[3:0] ビットは、ADCMSCk[1:0] ビットへの 00b 書き込みによりリセットされません。

ADCMSCNTk[3:0]ビット（A/D 変換開始要求コンペアマッチ間引きカウンタ k） (k = 1, 2)

ADCMSCk[1:0] ビットで選択したカウントソースが発生するたびに、カウントを 1 ずつインクリメントします。

カウントは 0～ADCMSTk[3:0] ビットの範囲で定期的に実行されます。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタ停止時の値が保持されます。

ADCMSCNTk[3:0] ビットの初期値が設定されるのは、ADCMSCk[1:0] ビットの書き込み値が 00b 以外の場合と、A/D 変換開始要求コンペアマッチ間引きカウンタ k をカウントなしに設定した状態（ADCMSCk[1:0] ビットは 00b）で 16 ビットまたは 32 ビットのアクセスにより GTADCMSC レジスタに書き込みが行われた場合のみです。

初期値を設定すると、ADCMSCNTkIV[3:0] ビットへの書き込み値が初期値として ADCMSCNTk[3:0] ビットに書き込まれます。

[0 になる条件]

- ADCMSCk[1:0] ビットに 00b を書き込む。
- ADCMSTk[3:0] ビットに 0x0 を書き込む。
- ADCMSCk[1:0] ビットに 00b を設定した状態で、ADCMSCk[1:0] ビットに 00b 以外の値を書き込むと同時に ADCMSCNTkIV[3:0] ビットに 0x0 を書き込む。
- ADCMSCk[1:0] ビットで選択したカウントソースは、ADCMSTk[3:0] ビットで設定した拡張割り込み間引き 2 の間引き回数が ADCMSCNTk[3:0] の値に一致したときに発生します。

22.2.40 GTADCMSS : 汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xC4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	ADCMBSB[2:0]			—	ADCMBSA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	ADCMSBL[2:0]			—	ADCMSAL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADCMSAL[2:0]	GTADTRA レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択 表 22.9 を参照してください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	ADCMSBL[2:0]	GTADTRB レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択 表 22.9 を参照してください。	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	ADCMBSA[2:0]	A/D 変換開始要求コンペアマッチ間引き機能による GTADTRA レジスタバッファ転送の選択 表 22.10 を参照してください。	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	ADCMBSB[2:0]	A/D 変換開始要求コンペアマッチ間引き機能による GTADTRB レジスタバッファ転送の選択 表 22.10 を参照してください。	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTADCMSS レジスタは、A/D 変換開始要求コンペアマッチ間引き機能、または A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm (m = A, B) レジスタバッファ転送を選択するレジスタです。

このレジスタを設定するだけでは間引きは実行されません。対応する A/D 変換開始要求コンペアマッチ間引きカウンタがカウント動作するように GTADCMSC レジスタを設定してください。

このレジスタ設定は、GTITC レジスタまたは GTEITC レジスタによる割り込み間引きとは独立して動作します。

ADCMSmL[2:0] ビット（GTADTRm レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択）(m = A, B)

これらのビットは、GTADTRm (m = A, B) レジスタの A/D 変換開始要求コンペアマッチ間引き機能を選択します（表 22.9）。

ADCMBSm[2:0] ビット（A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm レジスタバッファ転送の選択）(m = A, B)

これらのビットは、A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm (m = A, B) レジスタのバッファ転送を選択します。これは、GTADTRm (m = A, B) レジスタのバッファ転送（GTADTRm レジスタ、GTADTBRm レジスタ、GTADTDBRm レジスタ間の転送）を間引きます。表 22.10 を参照してください。

表 22.9 GTADTRm レジスタ A/D 変換開始要求コンペアマッチ間引き機能選択ビット (m = A, B) の設定

ADCMSmL[2:0]	機能
0 0 0	A/D 変換開始要求コンペアマッチ間引きしません
0 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = 0 の期間に出力されます）
0 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT2[3:0] ビット = 0 の期間に出力されます）
0 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = 0 かつ ADCMSCNT2[3:0] ビット = 0 の期間に出力されます）
1 0 0	設定禁止
1 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットの期間に出力されます）
1 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に出力されます）
1 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、A/D 変換開始要求を間引きます（A/D 変換開始要求は、ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットかつ ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に出力されます）。

注.
- m = A、B
- 目的の間引きカウンタがカウントしないように設定されている場合（ADCMSCk[1:0]ビット = 00b または ADCMSTk[3:0]ビット = 0x0）、間引きは実行されません。(k = 1, 2)
- ADCMSmL[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタのどちらかをカウントなしに設定した場合は間引きしません。

表 22.10 A/D 変換開始要求コンペアマッチ間引き機能による GTADTRm レジスタバッファ転送選択ビットの設定（m = A, B）

ADCMBSm[2:0]	機能
0 0 0	A/D 変換開始要求コンペアマッチ間引きによる GTADTRm レジスタバッファ転送をしません
0 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = 0 の期間に発生します）
0 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が 0 以外の場合、バッファ転送を間引きます（バッファ転送は ADCMSCNT2[3:0] ビット = 0 の期間に発生します）
0 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が 0 以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = 0 かつ ADCMSCNT2[3:0] ビット = 0 の期間に発生します）
1 0 0	設定禁止
1 0 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットの期間に発生します）
1 1 0	A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に発生します）
1 1 1	A/D 変換開始要求コンペアマッチ間引きカウンタ 1／2 のどちらかの値が間引き回数以外である期間、バッファ転送を間引きます（バッファ転送は ADCMSCNT1[3:0] ビット = ADCMST1[3:0] ビットかつ ADCMSCNT2[3:0] ビット = ADCMST2[3:0] ビットの期間に発生します）

注.
- m = A、B
- 意図する間引きカウンタをカウントなしに設定（ADCMSCk[1:0] ビット = 00b または ADCMSTk[3:0] ビット = 0x0）した場合は間引きしません。（k = 1, 2）
- ADCMSmL[2:0] ビットを 011b または 111b に設定した場合、および間引きカウンタのどちらかをカウントなしに設定した場合は間引きしません。

22.2.41 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xD0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	SECSEL13	SECSEL12	SECSEL11	SECSEL10	SECSEL9	SECSEL8	SECSEL7	SECSEL6	SECSEL5	SECSEL4	SECSEL3	SECSEL2	SECSEL1	SECSEL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SECSEL0	チャネル 0 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
1	SECSEL1	チャネル 1 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
2	SECSEL2	チャネル 2 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
3	SECSEL3	チャネル 3 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
4	SECSEL4	チャネル 4 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
5	SECSEL5	チャネル 5 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
6	SECSEL6	チャネル 6 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
7	SECSEL7	チャネル 7 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
8	SECSEL8	チャネル 8 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
9	SECSEL9	チャネル 9 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
10	SECSEL10	チャネル 10 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
11	SECSEL11	チャネル 11 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
12	SECSEL12	チャネル 12 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W

ビット	シンボル	機能	R/W
13	SECSEL13	チャネル 13 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSECR レジスタにより動作許可ビットを更新するチャネル n (n = 0～13) を、GTSECSR レジスタで選択します。GTSECSR レジスタのビット位置はチャネル番号を示します。各チャネルの GTSECSR レジスタは共通レジスタで、任意のチャネルの GTSECSR レジスタのビットに 1 を書き込み更新すると、GTSECSR レジスタにより 1 が書き込まれたビット位置に対応するチャネルを GTSECR レジスタによる動作許可ビットで同時制御できるようにします。

書き込みまたは読み出しアクセスの属性に反して、各チャネルに設定したセキュリティとプリビレッジ属性にセキュリティ違反またはプリビレッジ違反があった場合、セキュリティに違反したチャネル番号のビットは読み書き不可となり、当該ビットの読み出し値は 0 です。

GTSECSR レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。

SECSELn ビット（動作許可ビット同時制御チャネル選択） (n = 0～13)

本ビットはチャネル n の動作許可の同時制御を許可または禁止します。

本ビットを 1 にすると、同時制御が許可されます。本ビットを 0 にすると、同時制御が禁止されます。

22.2.42 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xD4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	SSCD	SPCD	—	—	—	—	—	—	SSCE	SPCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SBDDD	SBDAD	SBDPD	SBDCD	—	—	—	—	SBDDE	SBDAE	SBDPE	SBDCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SBDCE	GTCCR レジスタバッファ動作同時許可 0: GTCCR レジスタバッファ動作を同時に許可しない 1: GTCCR レジスタバッファ動作を同時に許可する	R/W
1	SBDPE	GTPR レジスタバッファ動作同時許可 0: GTPR レジスタバッファ動作を同時に許可しない 1: GTPR レジスタバッファ動作を同時に許可する	R/W(注1)
2	SBDAE	GTADTR レジスタバッファ動作同時許可 0: GTADTR レジスタバッファ動作を同時に許可しない 1: GTADTR レジスタバッファ動作を同時に許可する	R/W
3	SBDDE	GTDV レジスタバッファ動作同時許可 0: GTDV レジスタバッファ動作を同時に許可しない 1: GTDV レジスタバッファ動作を同時に許可する	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SBDCD	GTCCR レジスタバッファ動作同時禁止 0: GTCCR レジスタバッファ動作を同時に禁止しない 1: GTCCR レジスタバッファ動作を同時に禁止する	R/W

ビット	シンボル	機能	R/W
9	SBDPD	GTPR レジスタバッファ動作同時禁止 0: GTPR レジスタバッファ動作を同時に禁止しない 1: GTPR レジスタバッファ動作を同時に禁止する	R/W(注1)
10	SBDAD	GTADTR レジスタバッファ動作同時禁止 0: GTADTR レジスタバッファ動作を同時に禁止しない 1: GTADTR レジスタバッファ動作を同時に禁止する	R/W
11	SBDDD	GTDV レジスタバッファ動作同時禁止 0: GTDV レジスタバッファ動作を同時に禁止しない 1: GTDV レジスタバッファ動作を同時に禁止する	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SPCE	周期計数機能の同時許可(注2) 0: 周期計数機能の同時許可を禁止 1: 周期計数機能を同時に許可	R/W
17	SSCE	同期セット／クリア同時許可(注3) 0: 同期セット／クリアの同時許可を禁止 1: 同期セット／クリアを同時に許可	R/W(注1)
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SPCD	周期計数機能の同時禁止(注2) 0: 周期計数機能の同時禁止を禁止 1: 周期計数機能を同時に禁止	R/W
25	SSCD	同期セット／クリア同時禁止(注3) 0: 同期セット／クリアの同時禁止を禁止 1: 同期セット／クリアを同時に禁止	R/W(注1)
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 相補 PWM モードの場合、マスタチャネル／スレーブチャネル 1／スレーブチャネル 2 のどのレジスタに書き込まれても、3 つのチャネルは同時に書き込まれます。
注 2. このビットは GPT320～GPT323 および GPT3210～GPT3213 でのみ使用可能です。
GPT324～GPT329 でこのビットは 0 が読めます。書く場合、0 としてください。
注 3. このビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 および GPT3210～GPT3213 では、このビットは 0 が読めます。書く場合、0 としてください。

GTSECR レジスタは、GTSECSR レジスタで設定されたチャネルの動作許可ビットの値を同時に更新します。

任意のチャネルの GTSECR レジスタのビットに 1 を書き込み更新すると、全ての GTSECSR レジスタで 1 が書かれたビット位置に関連する全チャネルの動作許可ビットが更新されます。

書き込みまたは読み出しアクセスの属性に反して、各チャネルに設定したセキュリティとプリビレッジ属性にセキュリティ違反またはプリビレッジ違反があった場合、セキュリティに違反したチャネル番号のビットは読み書き不可となり、当該ビットの読み出し値は 0 です。

GTSECR レジスタの同じ動作許可ビットの許可／禁止ビットを 1 に設定することは禁止です。

1 を書き込んだビットは自動的にクリアされます。GTSECR は読むと 0 が読めます。

GTSECR レジスタへの 8 ビットまたは 16 ビット単位のアクセスは禁止されています。32 ビット単位でアクセスしてください。

SBDCE ビット（GTCCR レジスタバッファ動作同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 0 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が許可されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPE ビット（GTPR レジスタバッファ動作同時許可）

このビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 0 が設定され、GTPR、GTPDBR、GTPBR レジスタによるバッファ動作が許可されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAE ビット（GTADTR レジスタバッファ動作同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 0 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が許可されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SBDDE ビット（GTDV レジスタバッファ動作同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[3]ビットに同時に 0 が設定され、GTDVU、GTDBU レジスタおよび GTDVD、GTDBD レジスタによるバッファ動作が許可されます。

SBDDE ビットと SBDDD ビットを同時に 1 に設定しないでください。

SBDCD ビット（GTCCR レジスタバッファ動作同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 1 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が禁止されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPD ビット（GTPR レジスタバッファ動作同時禁止）

このビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 1 が設定され、GTPR、GTPDBR、GTPBR レジスタによるバッファ動作が禁止されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAD ビット（GTADTR レジスタバッファ動作同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 1 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が禁止されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SBDDD ビット（GTDV レジスタバッファ動作同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[3]ビットに同時に 1 が設定され、GTDVU、GTDBU レジスタおよび GTDVD、GTDBD レジスタによるバッファ動作が禁止されます。

SBDDE ビットと SBDDD ビットを同時に 1 に設定しないでください。

SPCE ビット（周期計数機能の同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 1 が設定され、周期計数機能が許可されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

SSCE ビット（同期セット／クリア同時許可）

このビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTCR.SSCEN ビットに同時に 1 が設定され、同期セット／クリア機能が許可されます。

SSCE ビットと SSCD ビットを同時に 1 に設定することは禁止です。

SPCD ビット（周期計数機能の同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 0 が設定され、周期計数機能が禁止されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

SSCD ビット（同期セット／クリア同時禁止）

このビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTCR.SSCEN ビットに同時に 0 が設定され、同期セット／クリア機能が禁止されます。

SSCE ビットと SSCD ビットを同時に 1 に設定することは禁止です。

22.2.43 GTBER2 : 汎用 PWM タイマバッファイネーブルレジスタ 2

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xE0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	OLTTB[1:0]		OLTTA[1:0]		CPBTD	CP3DB	—		CPTDV	CPTADB	CPTADA	CPTPR	CPTCB	CPTCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CMTADB	CMTADA	—	CMTCB[1:0]		CMTCA[1:0]		—	—	CCTDV	CCTADB	CCTADA	CCTPR	CCTCB	CCTCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CCTCA	カウンタクリア要因 GTCCRA レジスタバッファ転送禁止 0: カウンタクリアによる GTCCRA レジスタのバッファ転送を許可 1: カウンタクリアによる GTCCRA レジスタのバッファ転送を禁止	R/W
1	CCTCB	カウンタクリア要因 GTCCRB レジスタバッファ転送禁止 0: カウンタクリアによる GTCCRB レジスタのバッファ転送を許可 1: カウンタクリアによる GTCCRB レジスタのバッファ転送を禁止	R/W
2	CCTPR	カウンタクリア要因 GTPR レジスタバッファ転送禁止 0: カウンタクリアによる GTPR レジスタのバッファ転送を許可 1: カウンタクリアによる GTPR レジスタのバッファ転送を禁止	R/W
3	CCTADA	カウンタクリア要因 GTADTRA レジスタバッファ転送禁止 0: カウンタクリアによる GTADTRA レジスタのバッファ転送を許可 1: カウンタクリアによる GTADTRA レジスタのバッファ転送を禁止	R/W
4	CCTADB	カウンタクリア要因 GTADTRB レジスタバッファ転送禁止 0: カウンタクリアによる GTADTRB レジスタのバッファ転送を許可 1: カウンタクリアによる GTADTRB レジスタのバッファ転送を禁止	R/W
5	CCTDV	カウンタクリア要因 GTDVU/GTDVD レジスタバッファ転送禁止 0: カウンタクリアによる GTDVU/GTDVD レジスタのバッファ転送を許可 1: カウンタクリアによる GTDVU/GTDVD レジスタのバッファ転送を禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	CMTCA[1:0]	コンペアマッチ要因 GTCCRA レジスタバッファ転送許可 0 0: GTCCRA レジスタおよび GTCCRB レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送を禁止 0 1: GTCCRA レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送を許可 1 0: GTCCRB レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送を許可 1 1: GTCCRA レジスタおよび GTCCRB レジスタのコンペアマッチによる GTCCRA レジスタのバッファ転送を許可	R/W
11:10	CMTCB[1:0]	コンペアマッチ要因 GTCCRB レジスタバッファ転送許可 0 0: GTCCRA レジスタおよび GTCCRB レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送を禁止 0 1: GTCCRA レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送を許可 1 0: GTCCRB レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送を許可 1 1: GTCCRA レジスタおよび GTCCRB レジスタのコンペアマッチによる GTCCRB レジスタのバッファ転送を許可	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
13	CMTADA	コンペアマッチ要因 GTADTRA レジスタバッファ転送許可 0: GTADTRA レジスタのコンペアマッチによる GTADTRA レジスタのバッファ転送を禁止 1: GTADTRA レジスタのコンペアマッチによる GTADTRA レジスタのバッファ転送を許可	R/W
14	CMTADB	コンペアマッチ要因 GTADTRB レジスタバッファ転送許可 0: GTADTRB レジスタのコンペアマッチによる GTADTRB レジスタのバッファ転送を禁止 1: GTADTRB レジスタのコンペアマッチによる GTADTRB レジスタのバッファ転送を許可	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CPTCA	オーバーフロー／アンダーフロー要因 GTCCRA レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTCCRA レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTCCRA レジスタのバッファ転送を禁止	R/W
17	CPTCB	オーバーフロー／アンダーフロー要因 GTCCRB レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTCCRB レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTCCRB レジスタのバッファ転送を禁止	R/W
18	CPTPR	オーバーフロー／アンダーフロー要因 GTPR レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTPR レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTPR レジスタのバッファ転送を禁止	R/W
19	CPTADA	オーバーフロー／アンダーフロー要因 GTADTRA レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTADTRA レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTADTRA レジスタのバッファ転送を禁止	R/W
20	CPTADB	オーバーフロー／アンダーフロー要因 GTADTRB レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTADTRB レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTADTRB レジスタのバッファ転送を禁止	R/W
21	CPTDV	オーバーフロー／アンダーフロー要因 GTDVU/GTDVD レジスタバッファ転送禁止 0: オーバーフロー／アンダーフローによる GTDVU/GTDVD レジスタのバッファ転送を許可 1: オーバーフロー／アンダーフローによる GTDVU/GTDVD レジスタのバッファ転送を禁止	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	CP3DB	相補 PWM モード 3、4 ダブルバッファ選択(注1) 0: 相補 PWM モード 3、4 でのダブルバッファ機能を禁止 1: 相補 PWM モード 3、4 でのダブルバッファ機能を許可	R/W
25	CPBTD	相補 PWM モードのバッファ転送禁止(注1) 0: テンポラリレジスタから GTCCRC レジスタと GTPBR レジスタへのバッファ転送を許可 1: テンポラリレジスタから GTCCRC レジスタと GTPBR レジスタへのバッファ転送を禁止	R/W
27:26	OLTTA[1:0]	GTIOCnA 出力レベルのバッファ転送タイミング選択(注1) 0 0: 転送しない 0 1: 三角波、相補 PWM モード：山で転送 のこぎり波：期間の終わりで転送 1 0: 三角波、相補 PWM モード：谷で転送 のこぎり波：GTCCRA レジスタのコンペアマッチによる転送 1 1: 三角波、相補 PWM モード：山と谷で転送 のこぎり波：設定禁止	R/W

ビット	シンボル	機能	R/W
29:28	OLTTB[1:0]	GTIOCnB 出力レベルのバッファ転送タイミング選択(注1) 0 0: 転送しない 0 1: 三角波、相補 PWM モード：山で転送 のこぎり波：期間の終わりで転送 1 0: 三角波、相補 PWM モード：谷で転送 のこぎり波：GTCCRB レジスタのコンペアマッチによる転送 1 1: 三角波、相補 PWM モード：山と谷で転送 のこぎり波：設定禁止	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは GPT324～GPT329 でのみ使用可能です。
GPT320～GPT323 および GPT3210～GPT3213 では、このビットは 0 が読めます。書く場合、0 としてください。

GTBER2 レジスタは、バッファ動作用の設定をします。

CP3DB ビットと OLTTm[1:0] （m = A, B）ビットは GTCNT カウンタの停止時に設定してください。

CCTCA ビット（カウンタクリア要因 GTCCRA レジスタバッファ転送禁止）

このビットは、GTCCRA レジスタ、GTCCRC レジスタ、および GTCCRD レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRA[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTCA ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

CMTCA ビット設定と競合する場合、CCTCA ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CCTCB ビット（カウンタクリア要因 GTCCRB レジスタバッファ転送禁止）

このビットは、GTCCRB レジスタ、GTCCRE レジスタ、および GTCCRF レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRB[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTCB ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

CMTCB ビット設定と競合する場合、CCTCB ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CCTPR ビット（カウンタクリア要因 GTPR レジスタバッファ転送禁止）

このビットは、GTPR レジスタ、GTPBR レジスタ、および GTPDBR レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[1] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.PR[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTPR ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

イベントカウント動作中は、この設定は無効です。

CCTADm ビット（カウンタクリア要因 GTADTRm レジスタバッファ転送禁止） (m = A, B)

このビットは、GTADTRm レジスタ、GTADTBRm レジスタ、および GTADTDBRm レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[2] ビットが 0（バッファ動作許可）で、のこぎり波の ADTTm[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTADm ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

CMTADm ビット設定と競合する場合、CCTADm ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CCTDV ビット（カウンタクリア要因 GTDVU/GTDVD レジスタバッファ転送禁止）

このビットは、GTDVU レジスタと GTDBU レジスタ、または GTDVD レジスタと GTDBD レジスタを共に使用したカウンタクリアによるバッファ転送を禁止します。

このビットは、GTBER.BD[3] ビットが 0（バッファ動作許可）で、のこぎり波の GTDTCR.TDBUE ビットまたは GTDTCR.TDBDE ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。CCTDV ビットが 0 でも、カウンタクリアによるバッファ転送はしません。

イベントカウント動作中は、この設定は無効です。

CMTCA[1:0]ビット（コンペアマッチ要因 GTCCRA レジスタバッファ転送許可）

このビットは、GTCCRA レジスタ、GTCCRC レジスタ、および GTCCRD レジスタを共に使用した GTCCRA のコンペアマッチによるバッファ転送を許可します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRA[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

CCTCA ビット設定と競合する場合、CCTCA ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CMTCB[1:0]ビット（コンペアマッチ要因 GTCCRB レジスタバッファ転送許可）

このビットは、GTCCRB レジスタ、GTCCRE レジスタ、および GTCCRF レジスタを共に使用した GTCCRB のコンペアマッチによるバッファ転送を許可します。

このビットは、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRB[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

CCTCB ビット設定と競合する場合、CCTCB ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CMTADm ビット（コンペアマッチ要因 GTADTRm レジスタバッファ転送許可）(m = A, B)

このビットは、GTADTRm レジスタ、GTADTBRm レジスタ、および GTADTDBRm レジスタを共に使用した GTADTRm のコンペアマッチによるバッファ転送を許可します。

このビットは、GTBER.BD[2] ビットが 0（バッファ動作許可）で、のこぎり波の ADTTm[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

CCTADm ビット設定と競合する場合、CCTADm ビット設定が優先されます。

イベントカウント動作中は、この設定は無効です。

CPTCA ビット（オーバーフロー／アンダーフロー要因 GTCCRA レジスタバッファ転送禁止）

このビットは、GTCCRA レジスタ、GTCCRC レジスタ、および GTCCRD レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTCA ビットが 0（カウンタクリアによる GTCCRA レジスタバッファ転送許可）、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRA[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTCB ビット（オーバーフロー／アンダーフロー要因 GTCCRB レジスタバッファ転送禁止）

このビットは、GTCCRB レジスタ、GTCCRE レジスタ、および GTCCRF レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTCB ビットが 0（カウンタクリアによる GTCCRB レジスタバッファ転送許可）、GTBER.BD[0] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.CCRB[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTPR ビット（オーバーフロー／アンダーフロー要因 GTPR レジスタバッファ転送禁止）

このビットは、GTPR レジスタ、GTPBR レジスタ、および GTPDBR レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTPR ビットが 0（カウンタクリアによる GTPR レジスタバッファ転送許可）、GTBER.BD[1] ビットが 0（バッファ動作許可）で、のこぎり波の GTBER.PR[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTADm ビット（オーバーフロー／アンダーフロー要因 GTADTRm レジスタバッファ転送禁止） (m = A, B)

このビットは、GTADTRm レジスタ、GTADTBRm レジスタ、および GTADTDBRm レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTADm ビットが 0（カウンタクリアによる GTADTRm レジスタバッファ転送許可）、GTBER.BD[2] ビットが 0（バッファ動作許可）で、のこぎり波の ADTTm[1:0] ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CPTDV ビット（オーバーフロー／アンダーフロー要因 GTDVU/GTDVD レジスタバッファ転送禁止）

このビットは、GTDVU レジスタと GTDBU レジスタ、または GTDVD レジスタと GTDBD レジスタを共に使用したのこぎり波でのオーバーフロー／アンダーフローによるバッファ転送を禁止します。

このビットは、CCTDV ビットが 0（カウンタクリアによる GTDVU/GTDVD レジスタバッファ転送許可）、GTBER.BD[3] ビットが 0（バッファ動作許可）で、のこぎり波の GTDTCR.TDBUE ビットまたは GTDTCR.TDBDE ビットでバッファ動作を選択している場合に有効です。

三角波または相補 PWM モードでは、この設定は無効です。

イベントカウント動作中は、この設定は無効です。

CP3DB ビット（相補 PWM モード３、４ダブルバッファ選択）

このビットは、相補 PWM モード 3、4 での GTCCRA レジスタ、GTCCRE レジスタ、および GTCCRF レジスタを共に使用したバッファ転送を許可します。

CPBTD ビット（相補 PWM モードのバッファ転送禁止）

このビットは、相補 PWM モード 1、2、および 3 でのタイマカウント中における、テンポラリレジスタ（テンポラリレジスタ A とテンポラリレジスタ P）から GTCCRC レジスタと GTPBR レジスタへのバッファ転送を禁止します。CP3DB ビットが 1 の場合、テンポラリレジスタ B から GTCCRE レジスタへのバッファ転送も禁止されます。相補 PWM モード 4 では、本設定は無効です。

OLTTm[1:0] ビット（GTIOCnA 出力レベルのバッファ転送タイミング選択）(m = A, B)

このビットは、GTOLBR.GTIOmB[4:0]ビットから GTIOR.GTIOm[4:0]ビットへのバッファ転送のタイミングを設定します。

22.2.44 GTOLBR : 汎用 PWM タイマ出力レベルバッファレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xE4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	GTIOBB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	GTIOAB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOAB[4:0]	GTIOA バッファビット	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	GTIOBB[4:0]	GTIOB バッファビット	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTOLBR レジスタは GTIOR.GTIOA[4:0] ビットと GTIOR.GTIOB[4:0] ビット用のバッファレジスタです。

GTIOmB[4:0] ビット（GTIOm バッファビット）(m = A, B)

これらのビットは、GTIOR.GTIOm[4:0]ビットのバッファビットになります。

これらのビットは、GTBER2.OLTTm[1:0] （m = A, B）ビットで選択した転送タイミングで GTIOR.GTIOm[4:0] ビットへ転送されます。

22.2.45 GTICCR : 汎用 PWM タイマのチャネル間連携インプットキャプチャコントロールレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～13)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～13)

Offset address: 0xEC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ICBGRP[1:0]		—	—	—	—	—	ICBCLK	ICBFPU	ICBFPO	ICBFF	ICBFE	ICBFD	ICBFC	ICBFB	ICBFA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ICAGRP[1:0]		—	—	—	—	—	ICACLK	ICAFPU	ICAFPO	ICAFF	ICAFE	ICAFD	ICAFC	ICAFB	ICAFA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ICAFA	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送許可 0: GTCCRA レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRA レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W

ビット	シンボル	機能	R/W
1	ICAFB	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送許可 0: GTCCRB レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRB レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
2	ICAFC	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRC レジスタコンペアマッチの転送許可 0: GTCCRC レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRC レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
3	ICAFD	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送許可 0: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
4	ICAFE	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送許可 0: GTCCRE レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRE レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
5	ICAFF	他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送許可 0: GTCCRF レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: GTCCRF レジスタコンペアマッチの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
6	ICAFPO	他のチャネルの GTCCRA インプットキャプチャ要因へのオーバーフローの転送許可 0: のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
7	ICAFPU	他のチャネルの GTCCRA インプットキャプチャ要因へのアンダーフローの転送許可 0: のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
8	ICACLK	他のチャネルの GTCCRA インプットキャプチャ要因へのカウントクロックの転送許可 0: カウントクロックの他チャネルの GTCCRA インプットキャプチャ要因への転送を禁止 1: カウントクロックの他チャネルの GTCCRA インプットキャプチャ要因への転送を許可	R/W
13:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	ICAGRP[1:0]	GTCCRA インプットキャプチャグループ選択 0 0: グループ A を選択 0 1: グループ B を選択 1 0: グループ C を選択 1 1: グループ D を選択	R/W
16	ICBFA	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRA レジスタコンペアマッチ／インプットキャプチャの転送許可 0: GTCCRA レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRA レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W

ビット	シンボル	機能	R/W
17	ICBFB	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRB レジスタコンペアマッチ／インプットキャプチャの転送許可 0: GTCCRB レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRB レジスタコンペアマッチ／インプットキャプチャの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
18	ICBFC	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRC レジスタコンペアマッチの転送許可 0: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
19	ICBFD	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRD レジスタコンペアマッチの転送許可 0: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRD レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
20	ICBFE	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRE レジスタコンペアマッチの転送許可 0: GTCCRE レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRE レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
21	ICBFF	他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRF レジスタコンペアマッチの転送許可 0: GTCCRF レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: GTCCRF レジスタコンペアマッチの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
22	ICBFPO	他のチャネルの GTCCRB インプットキャプチャ要因へのオーバーフローの転送許可 0: のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
23	ICBFPU	他のチャネルの GTCCRB インプットキャプチャ要因へのアンダーフローの転送許可 0: のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
24	ICBCLK	他のチャネルの GTCCRB インプットキャプチャ要因へのカウントクロックの転送許可 0: カウントクロックの他チャネルの GTCCRB インプットキャプチャ要因への転送を禁止 1: カウントクロックの他チャネルの GTCCRB インプットキャプチャ要因への転送を許可	R/W
29:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:30	ICBGRP[1:0]	GTCCRB インプットキャプチャグループ選択 0 0: グループ A を選択 0 1: グループ B を選択 1 0: グループ C を選択 1 1: グループ D を選択	R/W

GTICCR レジスタはチャネル間連携によるインプットキャプチャを制御します。

チャネル間連携によるインプットキャプチャを実行するチャネルの場合、インプットキャプチャが発生する GTCCRA レジスタまたは GTCCRB レジスタに対応するインプットキャプチャ要因の転送許可ビットは無効です。

ICAFm ビット（他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRm レジスタコンペアマッチ／インプットキャプチャの転送許可）(m = A, B)

他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、GTCCRm レジスタのコンペアマッチ／インプットキャプチャを使用することを許可または禁止します。

ICAFx ビット（他のチャネルの GTCCRA インプットキャプチャ要因への GTCCRx レジスタコンペアマッチの転送許可）(x = C, D, E, F)

他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、GTCCRx レジスタのコンペアマッチを使用することを許可または禁止します。

ICAFPO ビット（他のチャネルの GTCCRA インプットキャプチャ要因へのオーバーフローの転送許可）

他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードを使用することを許可または禁止します。

ICAFPU ビット（他のチャネルの GTCCRA インプットキャプチャ要因へのアンダーフローの転送許可）

他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードを使用することを許可または禁止します。

ICACLK ビット（他のチャネルの GTCCRA インプットキャプチャ要因へのカウントクロックの転送許可）

他チャネルの GTCCRA レジスタのインプットキャプチャ要因として、カウントクロックを使用することを許可または禁止します。

ICAGRP[1:0]ビット（GTCCRA インプットキャプチャグループ選択）

GTCCRA レジスタのチャネル間連携によってインプットキャプチャのグループを選択します。

他のチャネルからのインプットキャプチャ要因により GTCCRA レジスタのインプットキャプチャを受け付けるチャネルの場合、GTICASR.ASOC ビットを 1 にして、ICAGRP[1:0] ビットでチャネル間連携のグループを選択してください。

ICBFm ビット（他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRm レジスタコンペアマッチ／インプットキャプチャの転送許可）(m = A, B)

他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、GTCCRm レジスタのコンペアマッチ／インプットキャプチャを使用することを許可または禁止します。

ICBFx ビット（他のチャネルの GTCCRB インプットキャプチャ要因への GTCCRx レジスタコンペアマッチの転送許可）(x = C, D, E, F)

他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、GTCCRx レジスタのコンペアマッチを使用することを許可または禁止します。

ICBFPO ビット（他のチャネルの GTCCRB インプットキャプチャ要因へのオーバーフローの転送許可）

他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、のこぎり波でのオーバーフロー、三角波での山、または相補 PWM モードを使用することを許可または禁止します。

ICBFPU ビット（他のチャネルの GTCCRB インプットキャプチャ要因へのアンダーフローの転送許可）

他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、のこぎり波でのアンダーフロー、三角波での谷、または相補 PWM モードを使用することを許可または禁止します。

ICBCLK ビット（他のチャネルの GTCCRB インプットキャプチャ要因へのカウントクロックの転送許可）

他チャネルの GTCCRB レジスタのインプットキャプチャ要因として、カウントクロックを使用することを許可または禁止します。

ICBGRP[1:0]ビット（GTCCRB インプットキャプチャグループ選択）

GTCCRB レジスタのチャネル間連携によってインプットキャプチャのグループを選択します。

他のチャネルからのインプットキャプチャ要因により GTCCRB レジスタのインプットキャプチャを受け付けるチャネルの場合、GTICBSR.BSOC ビットを 1 にして、ICBGRP[1:0] ビットでチャネル間連携のグループを選択してください。

22.2.46 OPSCR : 出力相切り替えコントロールレジスタ

Base address: GPT_OPS = 0x4032_3F00
GPT_OPS_NS = 0x5032_3F00

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	—	—	GODF	GRP[1:0]		—	—	ALIGN	RV	INV	N	P	FB
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	UF	入力相ソフト設定 ソフトウェア設定により入力相を設定します。 OPSCR.FB = 1 のとき、これらのビットの設定が有効になります。	R/W
1	VF		R/W
2	WF		R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	U	入力 U 相監視 入力相の状態を監視します。 OPSCRFB = 0: GTCLK と同期した外部入力 OPSCRFB = 1: ソフトウェア設定（UF ビット）	R
5	V	入力 V 相監視 入力相の状態を監視します。 OPSCRFB = 0 : GTCLK と同期した外部入力 OPSCRFB = 1: ソフトウェア設定（VF ビット）	R
6	W	入力 W 相監視 入力相の状態を監視します。 OPSCRFB = 0: GTCLK と同期した外部入力 OPSCRFB = 1: ソフトウェア設定（WF ビット）	R
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	EN	出力相許可 0: 出力しない（Hi-Z 外部端子） 1: 出力(注1)	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	FB	外部フィードバック信号許可 入力相をソフトウェア設定値と外部入力から選択します。 0: 外部入力を選択 1: ソフトウェア設定（OPSCR.UF、VF、WF ビット）を選択	R/W
17	P	正相出力 (P) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
18	N	逆相出力 (N) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
19	INV	出力相反転制御 0: 正論理（アクティブ High）を出力 1: 負論理（アクティブ Low）を出力	R/W
20	RV	出力相回転方向反転 0: 正回転 1: 逆回転	R/W
21	ALIGN	入力相アライメント 0: 入力相を GTCLK に調整 1: 入力相を PWM の立ち下がりエッジに調整	R/W

ビット	シンボル	機能	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 1 0: グループ C 出力禁止要因を選択 1 1: グループ D 出力禁止要因を選択	R/W
26	GODF	グループ出力禁止機能 0: このビット機能を無視 1: グループ禁止で OPSCR.EN ビットをクリア(注1)	R/W
28:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFEN	外部入力ノイズフィルタ有効 0: 外部入力にノイズフィルタを使用しない 1: 外部入力にノイズフィルタを使用する	R/W
31:30	NFCS[1:0]	外部入力ノイズフィルタクロック選択 外部入力のノイズフィルタサンプリングクロック設定 0 0: GTCLK/1 0 1: GTCLK/4 1 0: GTCLK/16 1 1: GTCLK/64	R/W

注 1. OPSCR.GODF = 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。

OPSCR レジスタは、ブラシレス DC モーター制御に必要な信号波形の出力を設定するレジスタです。

UF 、VF 、WF ビット (入力相ソフト設定)

UF 、VF 、WF ビットはソフトウェア設定からの入力相を設定します。OPSCR.FB ビットが 1 の場合に、これらのビットが有効になります。UF /VF /WF ビットの設定値が U/V/W 外部入力の代わりになります。

U,V,W ビット（入力相監視）

OPSCR.FB ビットが 0 の場合、GTCLK と同期した外部入力をこれらのビットで監視します。OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF、OPSCR.VF、および OPSCR.WF ビットを読み出し可能です。

EN ビット（出力相許可）

EN ビットは出力相（正相／逆相）の出力許可信号を制御します。

OPSCR.EN ビットが 1 の時に出力します。

OPSCR.EN ビットが 0 のとき、まず OPSCR.FB、OPSCR.UF/VF /WF （ソフトウェア設定選択）、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP[1:0]、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS を設定してください。それから、EN ビットを 1 に設定してください。EN ビットは POEG から出力禁止要求が発生していない場合に設定してください。また、OPSCR.GODF ビットが 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。ソフトウェアで 1 が書かれても、EN ビットは 0 のままです。

復帰の場合は、ソフトウェアで出力禁止要求をクリア後に EN ビットを 1 に設定してください。

EN ビットの優先順位は以下のとおりです（競合発生時）。

EN ビットでソフトウェアによる 1 書き込みと出力禁止要求による 0 クリアが競合している場合は、出力禁止要求による 0 クリアが有効です。

FB ビット（外部フィードバック信号許可）

FB ビットは入力相にソフトウェアで設定した値 (OPSCR.UF, VF, WF) を用いるか、ホールエレメントのような外部入力を用いるかを選択します。

P ビット（正相出力 (P) 制御）

P ビットは正相出力（GTOUUP 端子、GTOVUP 端子、GTOWUP 端子）に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

N ビット（逆相出力 (N) 制御）

N ビットは逆相出力（GTOULO 端子、GTOVLO 端子、GTOWLO 端子）に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

INV ビット（出力相反転制御）

INV ビットは出力相として、正論理（アクティブ High）出力、または負論理（アクティブ Low）出力のどちらかを選択します。

RV ビット（出力相回転方向反転）

RV ビットは V 相／ W 相を入れ替えることにより、モーターの回転方向を反転させます。

ALIGN ビット（入力相アライメント）

ALIGN ビットは入力相のサンプリングとして、GTCLK または PWM を選択します（入力相は OPSCR.FB ビットで指定）。

OPSCR.ALIGN ビットが 0 のとき、入力相は GTCLK に調整されます。

注. チョッピングが実行される場合、出力 PWM パルス幅は出力相切り替えの前後において、チョップに使用された PWM パルス幅よりも短パルスになる場合があります。これは、パルス出力切り替えタイミングと PWM 相の差分によります。

OPSCR.ALIGN ビットが 1 のとき、入力相は PWM の立ち下がりエッジに調整されます。

GRP[1:0]ビット（出力禁止要因選択）

GRP[1:0]ビットは出力禁止要因を選択します。

GODF ビットが 0 のときに GRP ビットを設定してください。GRP ビットが接続グループ以外の POEG を選択するとき、出力端子のステータスは禁止に変わりません。

GODF ビット（グループ出力禁止機能）

OPSCR.GODF ビットが 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。

OPSCR.GODF = 0 の時は、本ビットは無視されます。

GODF ビットは POEG から出力禁止要求が発生していない場合に設定してください。

NFEN ビット（外部入力ノイズフィルタ有効）

NFEN ビットは外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビットが 0 の場合、外部入力にノイズフィルタは使用されません。

注. 本ビットの切り替えにより生じる、意図しない内部エッジの発生を避けるために、EN ビットが 0 の間に本ビットを設定してください。

NFCS[1:0]ビット（外部入力ノイズフィルタクロック選択）

NFCS[1:0]ビットは外部入力用のノイズフィルタのクロックを選択します。OPSCR.NFEN ビットが 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS[1:0]ビットを設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

22.2.47 GTCLKCR : 汎用 PWM タイマクロックコントロールレジスタ

Base address: GPT_GTCLK = 0x4032_3F10
GPT_GTCLK_NS = 0x5032_3F10

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPEN	同期化回路バイパス許可 0: バスクロックと GPT コアクロックを非同期で使用する場合 1: バスクロックと GPT コアクロックを同期させて使用する場合	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTCLKCR レジスタはクロックを制御します。

リセット後はまず最初に初期設定をしてください。

MSTPCRE.MSTPE31 ビットが 0 の場合、このレジスタは変更禁止です。

BPEN ビット（同期化回路バイパス許可）

バスクロック (PCLKA) と GPT コアクロック (GTCLK) の間での同期バイパス機能を有効または無効にします。

非同期クロック (GPTCLK) を使用する場合は 0、同期クロック (PCLKD) をコアクロックとして使用する場合は 1 を設定します。

22.3 動作説明

22.3.1 基本動作

各チャネルには 32 ビットタイマがあり、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタまたは GTCCRm (m = A～F) レジスタがカウント周期を制御します。

GTCNT カウンタ値が GTCCRA レジスタまたは GTCCRB レジスタの値に一致すると、対応する GTIOCnA 端子または GTIOCnB 端子からの出力を変更できます (n = 0～13)。GTCCRA レジスタまたは GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRC および GTCCRD レジスタは、 GTCCRA レジスタ用のバッファレジスタとしても機能します。また、GTCCRE および GTCCRF レジスタは、 GTCCRB レジスタ用のバッファレジスタとしても機能します。

22.3.1.1 カウンタの動作

(1) カウンタスタート／ストップ

各チャネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始し、GTCR.CST ビットを 0 にするとカウント動作を停止します。GTCR.CST ビット値は以下の要因によって変化します。

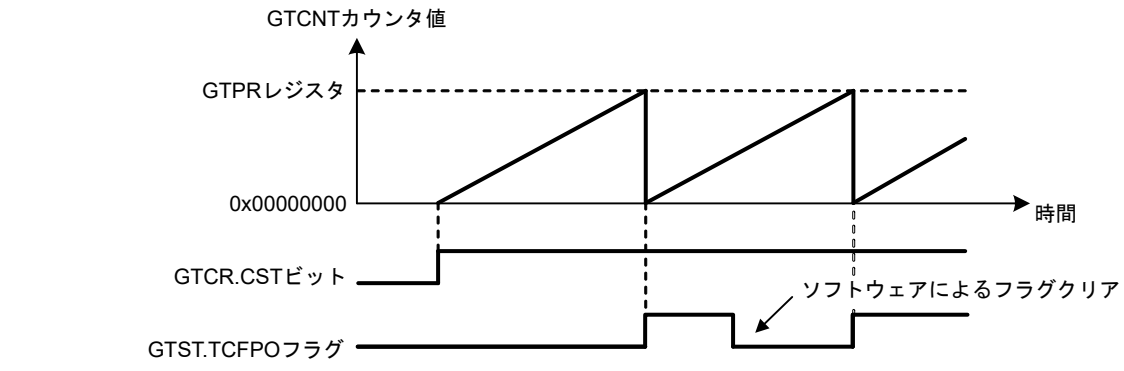
- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 になっている場合、GTSTR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 になっている場合、GTSTP レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み

- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因
- GTPC.ASTP ビットが 1 の状態での周期計数機能の終了

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタおよび GTDNSR レジスタを 0x00000000 にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバーフロー）する、またはのこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0]ビットで選択された GTCCRm (m = A～F) の値が 0 になると、オーバーフロー割り込み (GPTn_OVF) も発生します。GTCNT カウンタはオーバーフロー後、0x00000000 からアップカウントを再開します。

図 22.5 にカウントクロックによるアップカウント時の周期カウント動作例を示します。



注. レジスタのベースアドレスは同じです。

図 22.5 カウントクロックによるアップカウント時の周期カウント動作例

表 22.11 にカウントクロックによるアップカウント時の周期カウント動作の設定例を示します。

表 22.11 カウントクロックによるアップカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.5 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.5 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、そのレジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。図 22.5 では、0x00000000 を設定します。
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(3) カウントクロックによるダウンカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0x00000000 にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化（アンダーフロー）すると、GTST.TCFPU フラグが 1 になり、アンダーフロー割り込み (GPTn_UDF) も発生します。GTCNT カウンタはアンダーフロー後、GTPR 値からダウンカウントを再開します。

図 22.6 にカウントクロックによるダウンカウント時の周期カウント動作例を示します。

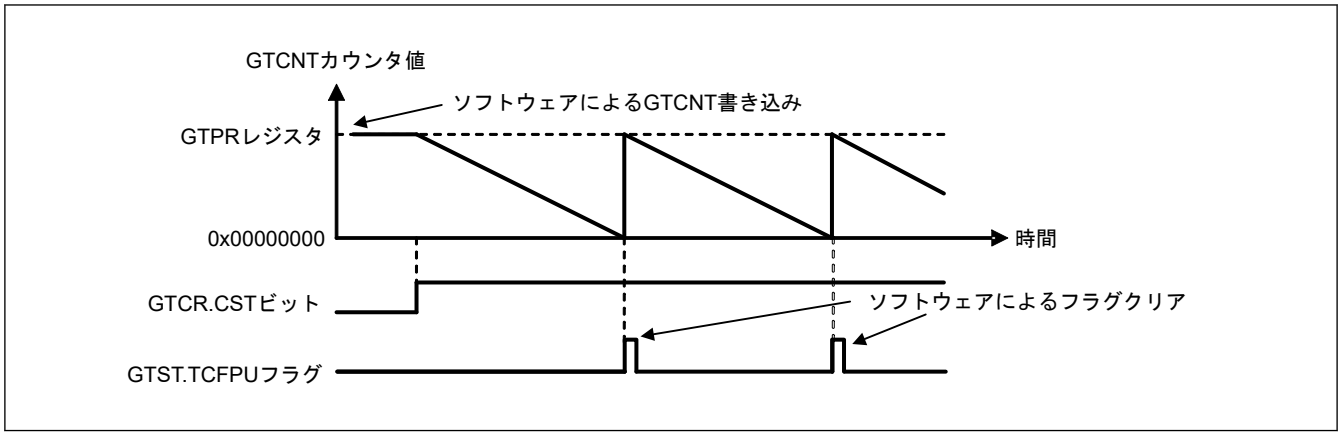


図 22.6　カウントクロックによるダウンカウント時の周期カウント動作例

表 22.12 にカウントクロックによるダウンカウント時の周期カウント動作の設定例を示します。

表 22.12　カウントクロックによるダウンカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.6 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向を設定します。 図 22.6 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します。（ダウンカウント）
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 22.6 では GTPR 値を設定します。
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。 図 22.6 では、CST ビットに 1 を設定します。

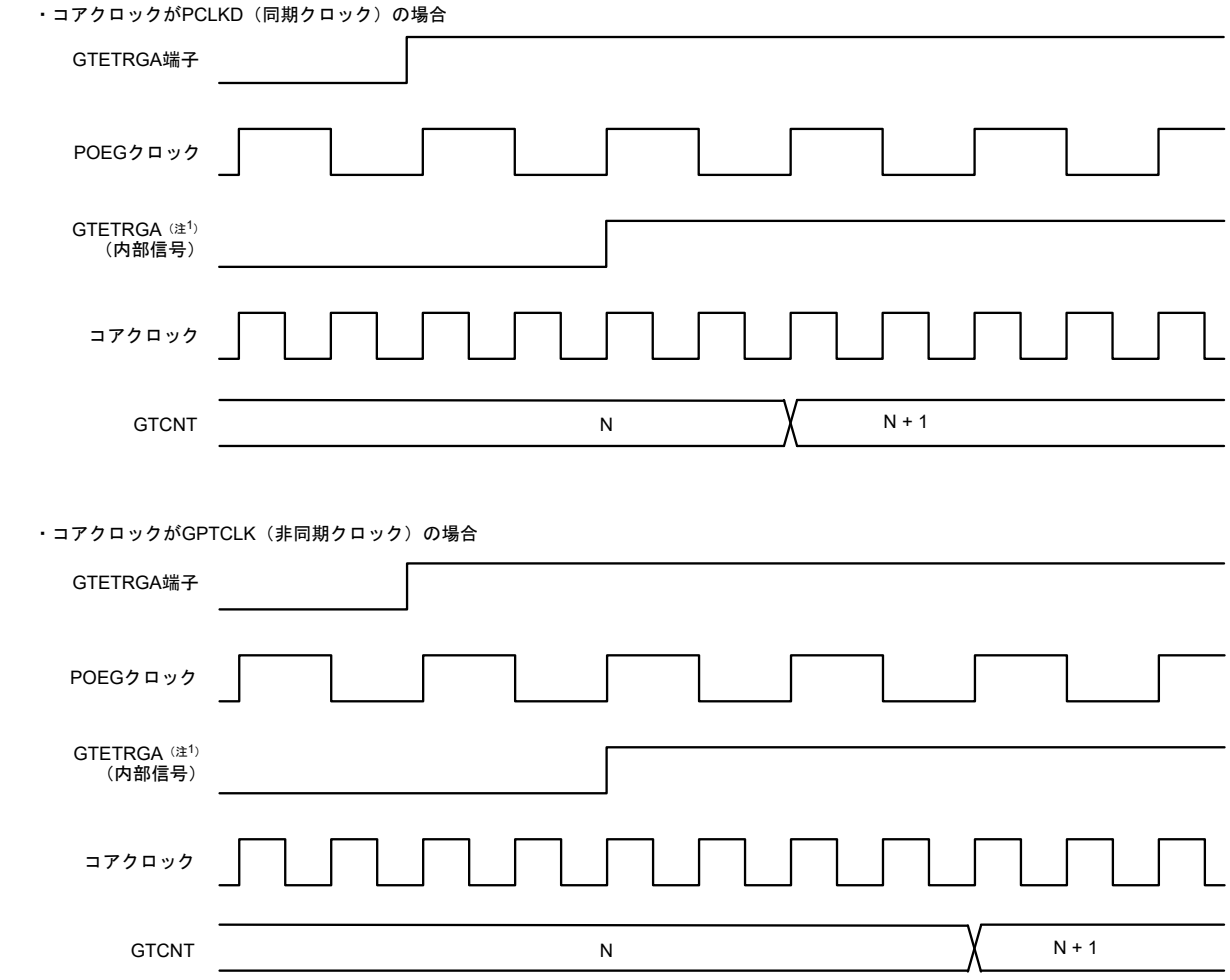
(4)　ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因を使用して、アップカウントを行うことができます。

GTUPSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで選択したカウント方向は無効です。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント動作と同じです。

アップカウントにハードウェア要因を使用している場合は、GTCR.CST ビットを 1 にしてカウント動作を有効にしてください。カウント動作は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、カウンタはアップカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1 GTCLK 後からアップカウントを行うためには、GTCR.TPCS[3:0]ビットを 000b にしてください。

図 22.7 にハードウェア要因（GTETRGA 端子入力の立ち上がりエッジ）によるアップカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 22.7 ハードウェア要因によるアップカウント時のイベントカウント動作例

図 22.8 に ELC_GPTA イベント入力によるイベントカウント動作例を示します。

これは GPT321.GTCNT カウンタのイベントカウント動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

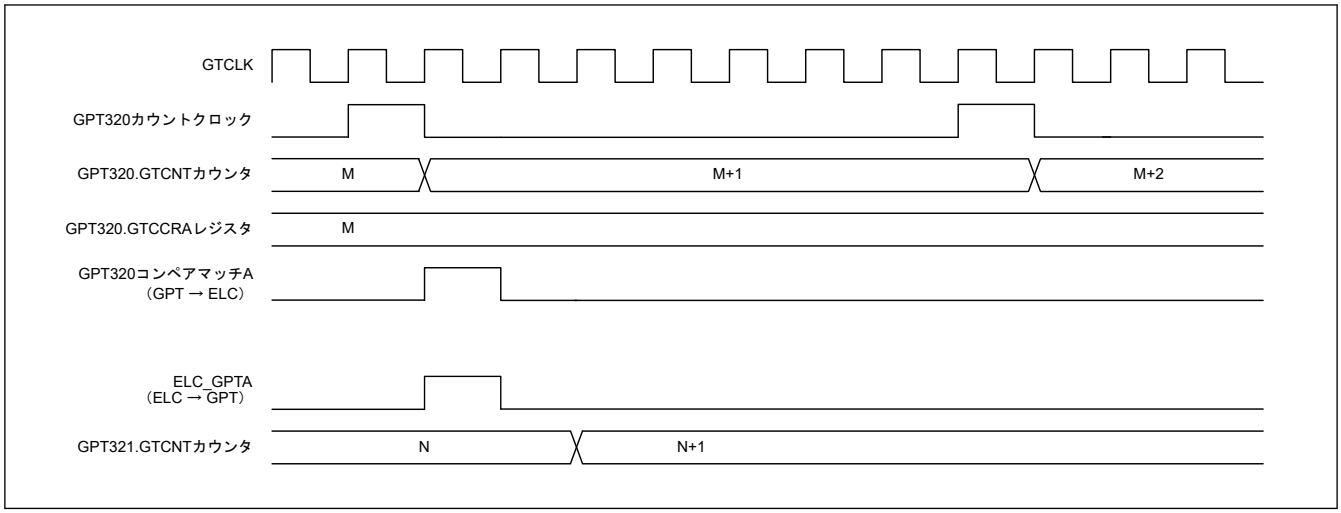


図 22.8　イベントカウント動作例（ELC_GPTA からのイベント信号入力数のアップカウント時）

表 22.13 にハードウェア要因によるアップカウント時のイベントカウント動作の設定例を示します。

表 22.13　ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTUPSR レジスタでアップカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

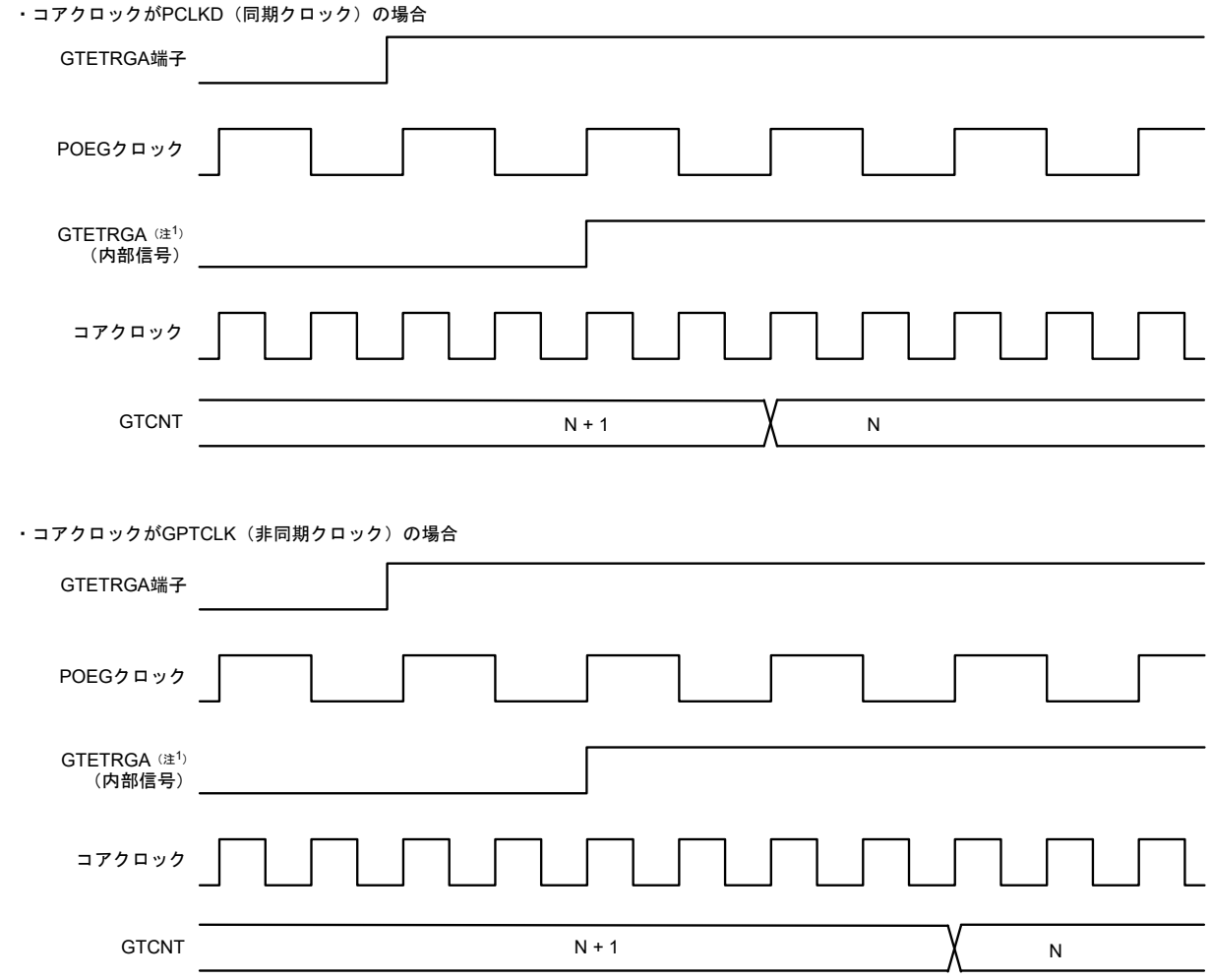
(5)　ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因を使用して、ダウンカウントを行うことができます。

GTDNSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで選択したカウント方向は無効です。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるダウンカウントを行うと、カウント動作が有効になります。カウント動作は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、カウンタはダウンカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1 GTCLK 後からダウンカウントを行うためには、GTCR.TPCS[3:0]ビットを 000b にしてください。

図 22.9 にハードウェア要因（GTETRGA の立ち上がりエッジ）によるダウンカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 22.9 ハードウェア要因によるダウンカウント時のイベントカウント動作例

表 22.14 にハードウェア要因によるダウンカウント時のイベントカウント動作の設定例を示します。

表 22.14 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTDNSR レジスタでダウンカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 の状態での GTCLR レジスタのチャネル番号に対応するビットへの 1 書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント中の書き込みアクセス（CST = 1 の場合）はできません。GTCLR レジスタへの 1 の書き込みおよびハードウェア要因によるクリア要求により、GTCNT カウンタが動作中 (GTCR.CST = 1) の場合でも、停止中 (GTCR.CST = 0) の場合でも GTCNT カウンタをクリアすることができます。

GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットでのこぎり波モード（のこぎり波 PWM モード 2 以外）を選択し、カウント方向フラグがデクリメント（GTST.TCUF フラグ = 0）の場合、GTCLR レジスタへ 1 を書き込みかつハードウェア要因によりクリアするとき、GTCNT レジスタは GTPR レジスタの値になります。

のこぎり波モード（のこぎり波 PWM モード 2 以外）やダウンカウントではない場合、GTCLR レジスタへ 1 を書き込みかつハードウェア要因によりクリアするとき、GTCNT レジスタは 0 になります。

GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方が直ちに実行され、GTCLK と同期が取られます。その他の設定を使用すると、GTCR.TPCS[3:0]ビットで選択されたカウンタクロックと同期してクリアが実行されます。

22.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA レジスタ値または GTCCRB レジスタ値と一致することを意味します。同時に、GPT は対応する GTIOCnA 出力端子または GTIOCnB 出力端子から Low 出力、High 出力、またはトグル出力を行うことができます (n = 0～13)。また、GTPR レジスタまたはのこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因として選択された GTCCRm レジスタ (n = 0～13, m = A～F) で決定される周期の終わりにおいても、GTIOCnA または GTIOCnB 端子出力を Low 出力、High 出力、またはトグル出力とすることができます。

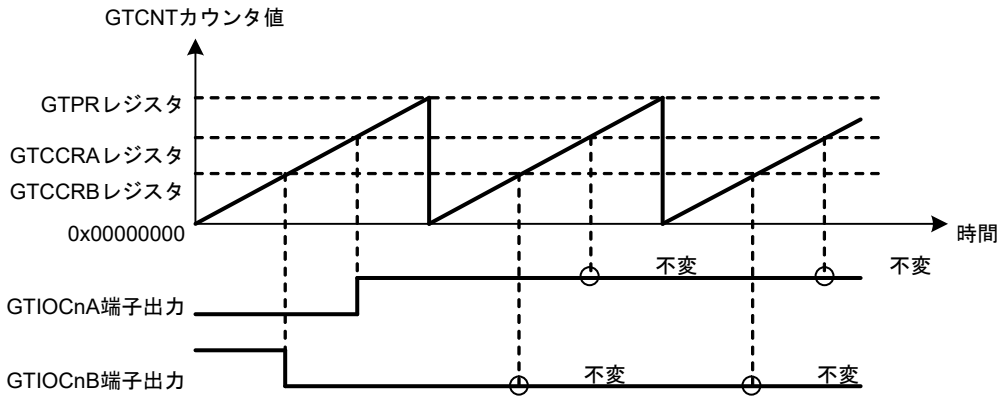
“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合（のこぎり波 PWM モード 2 以外）: GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合（のこぎり波 PWM モード 2 以外）: GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波 PWM モード 2 で GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因として選択された GTCCRm レジスタ (m = A～F) の場合 : GTCNT カウンタが GTCCRm レジスタ値から 0x0000 0000 に変化したとき
- のこぎり波の場合 : GTCNT カウンタがクリアされたとき
- 三角波または相補 PWM モードの場合 : GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力／High 出力

図 22.10 に GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力／High 出力の動作例を示します。

この例では、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子から High が出力され、GTCCRB レジスタのコンペアマッチによって GTIOCnB 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。



[設定例]
GTIOR.GTIOA[4:0]ビットの設定: 初期出力はLow出力、コンペアマッチでHigh出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定: 初期出力はHigh出力、コンペアマッチでLow出力、周期の終わりで出力保持

注. レジスタのベースアドレスは同じです。

図 22.10 Low 出力／High 出力動作例

表 22.15 に Low 出力／High 出力動作の設定例を示します。

表 22.15 Low 出力／High 出力動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.10 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.10 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、そのレジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 22.10 では、GTIOA[4:0] = 00010b、GTIOB[4:0] = 10001b
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定(注1)	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

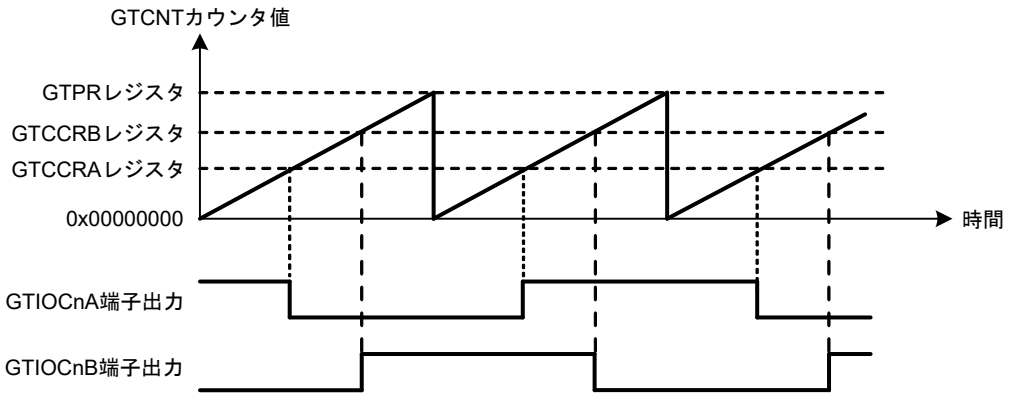
注. n: 0～13
m: A, B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

(2) トグル出力

図 22.11 および図 22.12 に GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を示します。

図 22.11 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチと、GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOCnA 端子と GTIOCnB 端子がトグル出力となるように設定した例です。

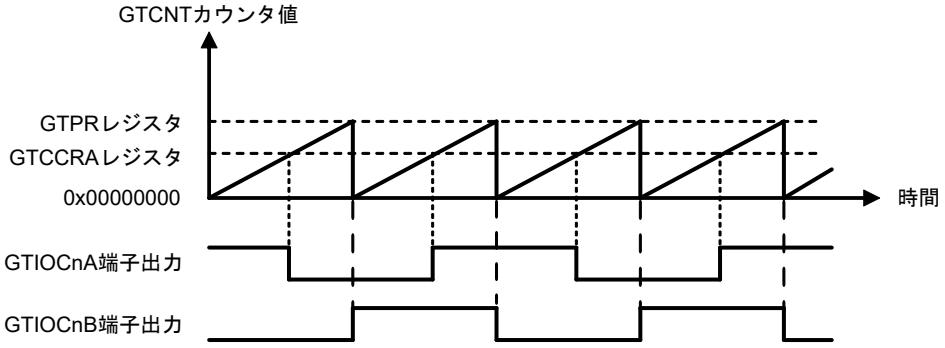
図 22.12 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子がトグル出力となり、周期の終わりで GTIOCnB 端子がトグル出力となるように設定した例です。



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチでトグル出力、周期の終わりで出力保持

注. レジスタのベースアドレスは同じです。

図 22.11 トグル出力動作例 (1)



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチで出力保持、周期の終わりでトグル出力

注. レジスタのベースアドレスは同じです。

図 22.12 トグル出力動作例 (2)

表 22.16 にトグル出力動作の設定例を示します。

表 22.16 トグル出力動作の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.11 と図 22.12 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を選択します。図 22.11 と図 22.12 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、そのレジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。

表 22.16 トグル出力動作の設定例 (2/2)

No.	手順名	説明
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。図 22.11 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 00011b、図 22.12 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 01100b
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定(注1)	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

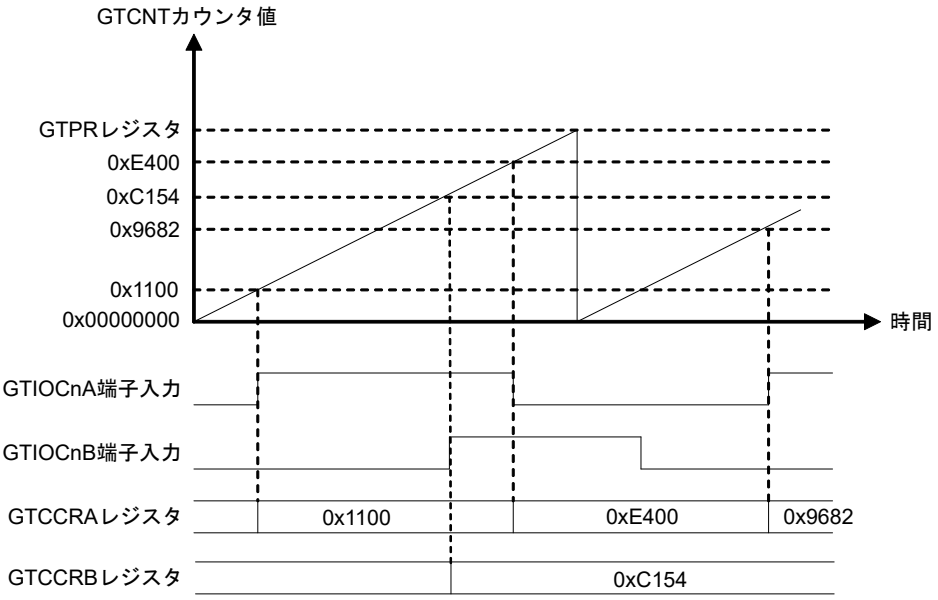
注. n: 0～13
m: A, B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

22.3.1.3 インプットキャプチャ機能

GTICASR レジスタおよび GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。相補 PWM モードでは、GTCCRA レジスタと GTCCRB レジスタはインプットキャプチャレジスタとして機能しません。

インプットキャプチャ機能の動作例を図 22.13 に示します。

この例では、カウントクロックで GTCNT カウンタがアップカウント動作を行い、GTIOCnA 入力端子の両エッジで GTCCRA レジスタにインプットキャプチャを実行し、GTIOCnB 入力端子の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャを実行するように設定しています。



注. レジスタのベースアドレスは同じです。
注. [設定例]
GTICASR 設定：両エッジでインプットキャプチャ
GTICBSR 設定：立ち上がりエッジでインプットキャプチャ

図 22.13 インプットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を表 22.17 と表 22.21 に示します。

表 22.17　インプットキャプチャ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.13 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.13 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、そのレジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 22.13 では、GTICASR = 0x00000F00、GTICBSR = 0x00003000 GPT324 から GPT329 において他のチャネル要因によるインプットキャプチャを使用する場合、GTICmSR.mSOC ビット（m = A または B）を 1 に設定し、他のチャネル要因によるインプットキャプチャを有効にします。そして、GTICCR レジスタで他のチャネル要因によるインプットキャプチャをするグループを選択します。
7	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

図 22.14 に ELC_GPTA のイベント入力に対応するインプットキャプチャ動作のタイミング例を示します。

これは入力信号に対応する GPT321.GTCCRA レジスタによるカウンタ値のキャプチャ例です。
GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

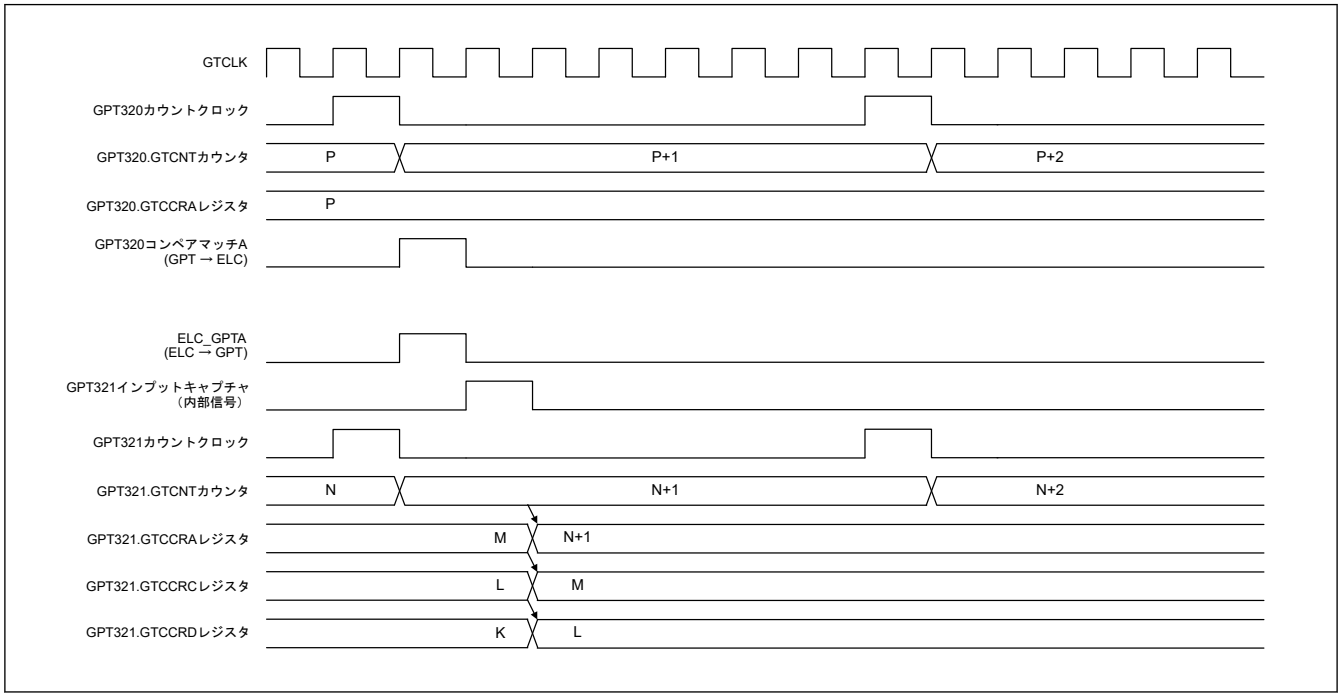


図 22.14　ELC_GPTA のイベント入力に対応するインプットキャプチャ動作のタイミング例

図 22.15 に他のチャネルからのカウントクロックに対応するインプットキャプチャ動作のタイミング例を示します。

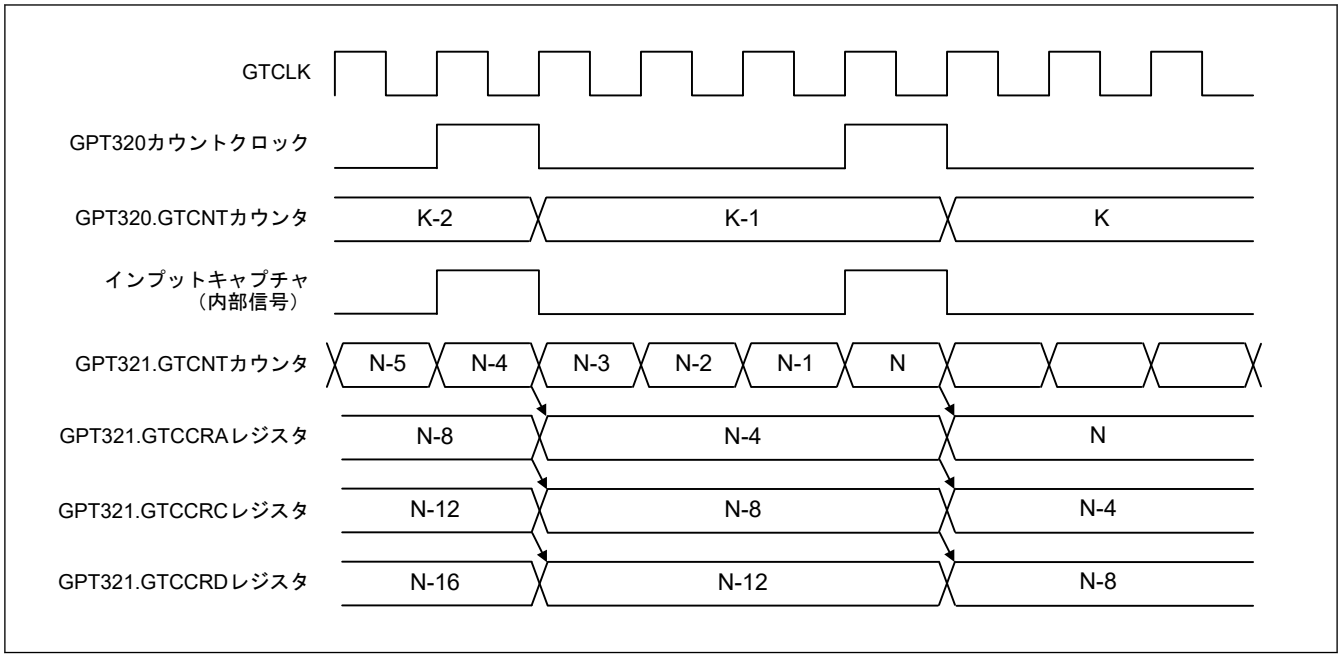


図 22.15　他のチャネルからのカウントクロックに対応するインプットキャプチャ動作のタイミング例

22.3.2　バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR、GTPBR、GTPDBR
- GTCCRA、GTCCRC、GTCCRD
- GTCCRB、GTCCRE、GTCCRF
- GTADTRA、GTADTBRA、GTADTDBRA
- GTADTRB、GTADTBRB、GTADTDBRB

GTDTCR レジスタを設定することにより、以下のバッファ動作が許可されます。

- GTDVU レジスタ、GTDBU レジスタ
- GTDVD レジスタ、GTDBD レジスタ

GTBER2 レジスタを設定することにより、以下のバッファ動作が許可されます。

- GTCCRA レジスタ、GTCCRE レジスタ、GTCCRF レジスタ（相補 PWM モード 3、4 の場合）
- GTOLBR.GTIOAB[4:0]ビット、GTIOR.GTIOA[4:0]ビット
- GTOLBR.GTIOBB[4:0]ビット、GTIOR.GTIOB[4:0]ビット

22.3.2.1　GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。

GTPDBR レジスタは GTPBR レジスタ用のバッファレジスタ（すなわち、GTPR レジスタ用のダブルバッファレジスタ）として機能します。

相補 PWM モードでは、マスタチャネル (GPT32n) でのみ、GTPDBR レジスタからテンポラリレジスタ P へのバッファ転送が実行されます。テンポラリレジスタ P はマスタチャネル、スレーブチャネル 1 (GPT32n+1)、およびスレーブチャネル 2 (GPT32n+2) の各 GTPBR レジスタに転送されます。GTPBR レジスタから GTPR レジスタへの転送は、3 チャネル同時に実行されます。したがって、同じ値はその 3 チャネルの同じレジスタに格納されます。マスタチャネルの GTPR レジスタは、GTCNT カウンタの (GTCNTn) 周期を示します。スレーブチャネルでは、GTPR レジスタ値と GTDVU レジスタ値を使って周期を制御します。

のこぎり波 PWM モード 2 では、本設定は無効です。

バッファ転送は、のこぎり波モードまたはイベントカウントでは、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードでは谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR レジスタで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR.CCLRn ビットが 1、n = 0～13）

のこぎり波の場合、カウンタのクリアによるバッファ転送を GTBER2.CCTPR ビットで禁止できます。

相補 PWM モード時のバッファ転送のタイミングを表 22.18 に示します。

表 22.18　相補 PWM モードにおける GTPR バッファ転送タイミング

	相補 PWM モード 1	相補 PWM モード 2	相補 PWM モード 3、4
GTPDBR ↓ テンポラリレジスタ P	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後
テンポラリレジスタ P ↓ GTPBR	(1) アップカウント中間部分でテンポラリレジスタ P にデータ転送されたとき : テンポラリレジスタ P へのデータ転送から GTCLK の 1 サイクル後 (2) アップカウント中間部分以外の部分でテンポラリレジスタ P にデータ転送されたとき : 谷部分の最後	(1) ダウンカウント中間部分でテンポラリレジスタ P にデータ転送されたとき : テンポラリレジスタ P へのデータ転送から GTCLK の 1 サイクル後 (2) ダウンカウント中間部分以外の部分でテンポラリレジスタ P にデータ転送されたとき : 山部分の最後	(1) 中間部分でテンポラリレジスタ P にデータ転送されたとき : テンポラリレジスタ P へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ P にデータ転送されたとき : 山部分の最後および谷部分の最後
GTPBR ↓ GTPR	山部分の最後 アップカウント中間部分とアップカウント山部分で山部分の最後の同期カウンタクリア (GTCSR.CP1CCE 設定によるカウンタクリアを含む)	谷部分の最後 ダウンカウント中間部分とダウンカウント谷部分でカウンタクリア	山部分の最後 谷部分の最後 カウンタクリア

GTPR レジスタをバッファとして機能するように設定する場合は、GTBER.PR ビットを 1 にしてください。GTPR レジスタをバッファとして機能しないように設定する場合は、GTBER.PR ビットを 0 にしてください。

GTPR レジスタをダブルバッファとして機能するように設定する場合は、GTBER.PR[1:0]ビットを 10b または 11b にしてください。シングルバッファ動作の場合は、01b とします。バッファとして動作設定しない場合は、00b にしてください。

相補 PWM モードでは、相補 PWM モード固有のバッファ動作が GTBER.PR[1:0]ビットの設定に関係なく実行されます。

図 22.16～図 22.21 に GTPR レジスタのバッファ動作例を、表 22.19 に GTPR レジスタのバッファ動作の設定例を示します。相補 PWM モードでの動作設定の詳細は、「22.3.3.7. 相補 PWM モード 1、2、3」を参照してください。

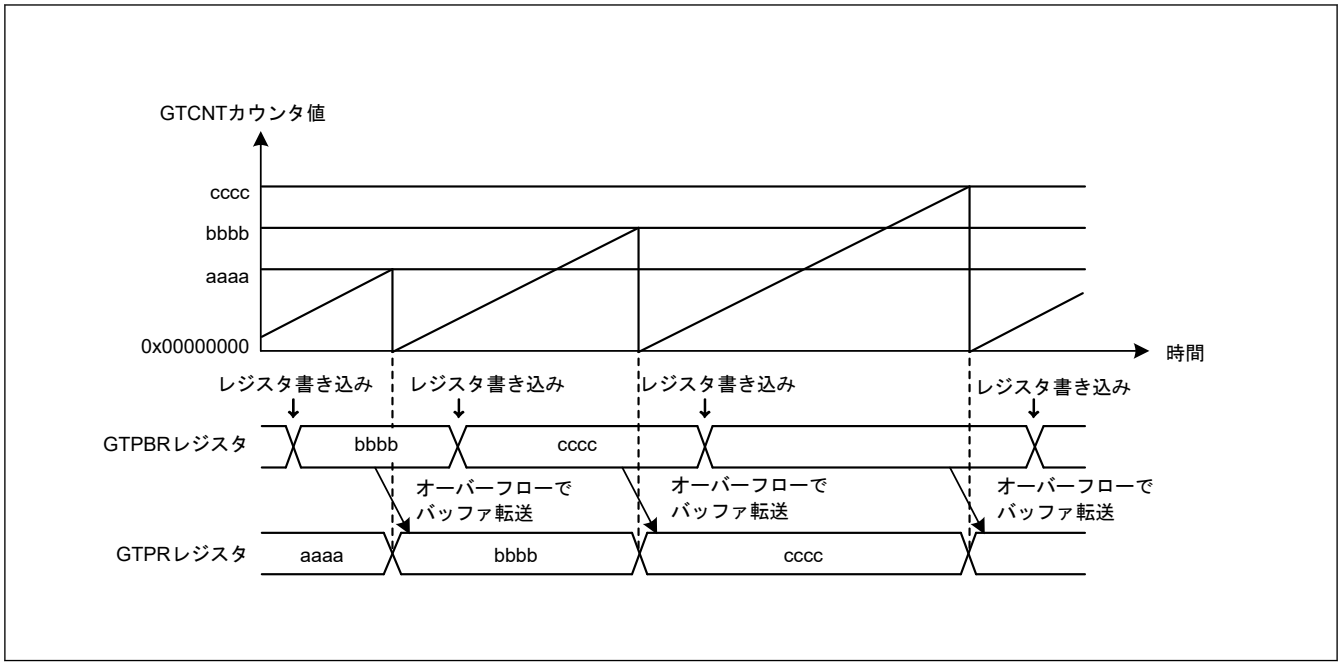


図 22.16　GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

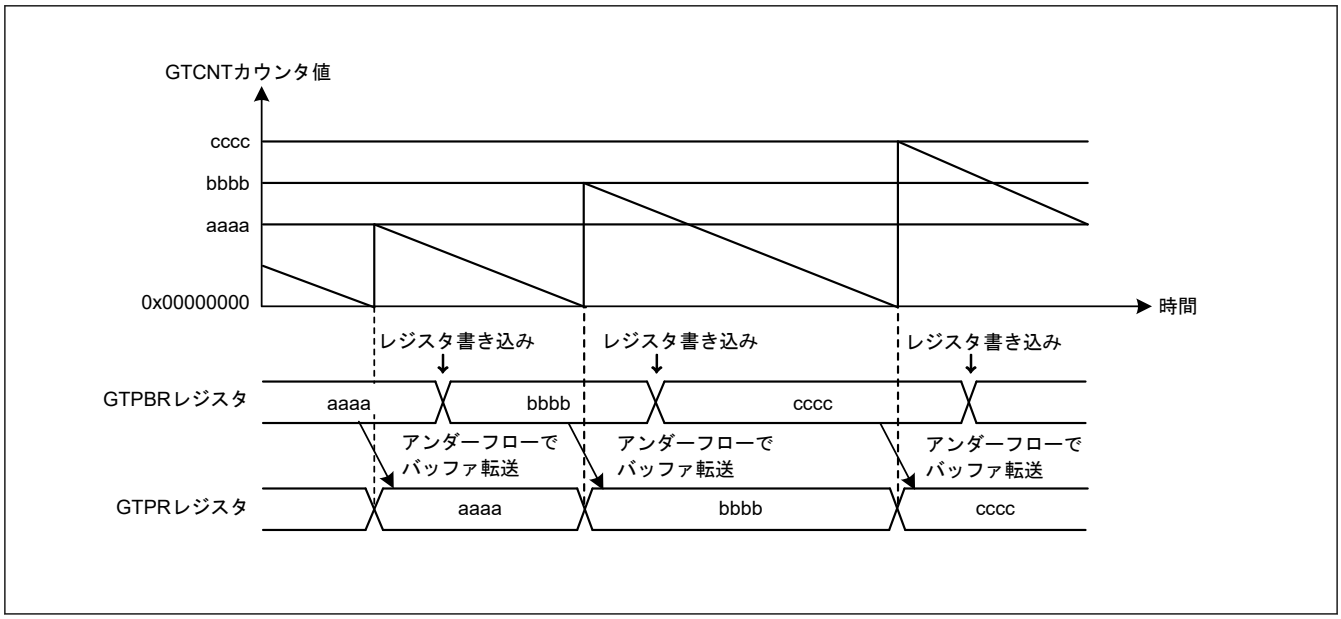


図 22.17　GTPR レジスタのバッファ動作例（のこぎり波でダウンカウントの場合）

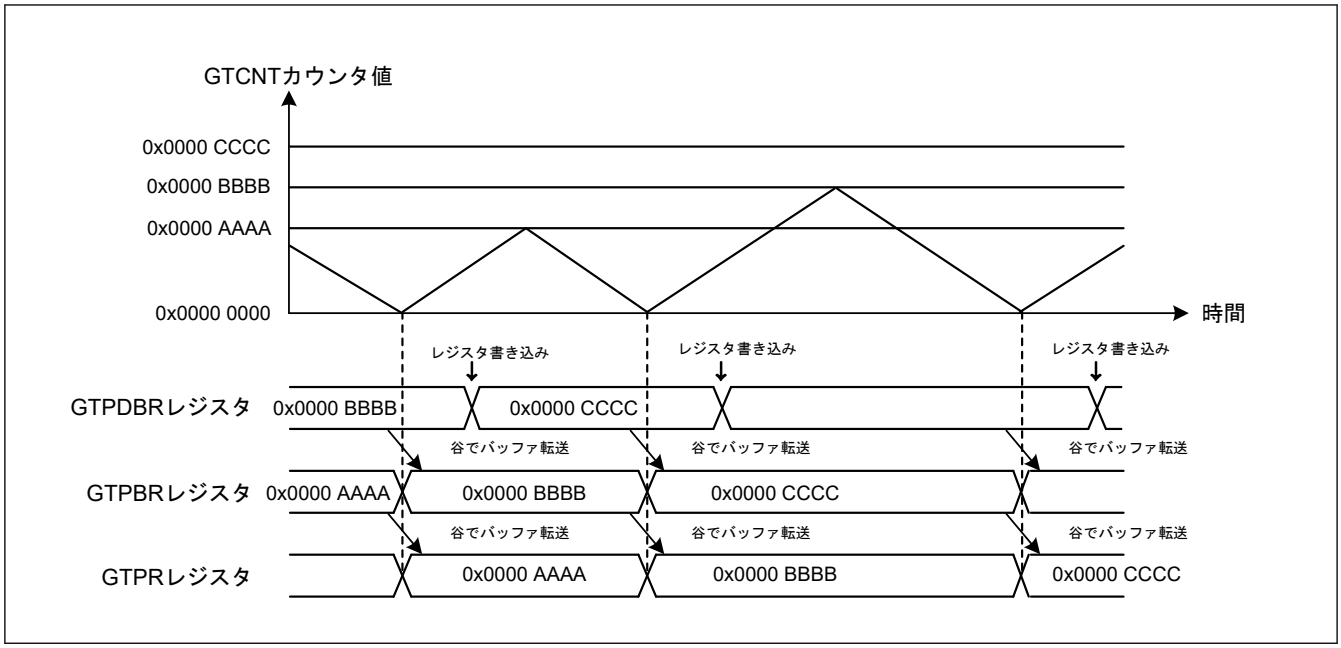


図 22.18　GTPR レジスタのダブルバッファ動作例（三角波の場合）

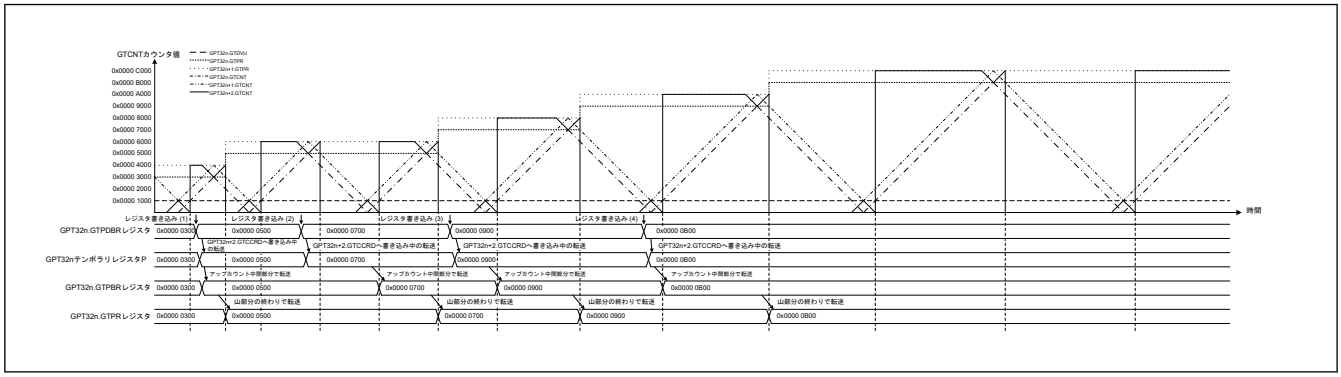


図 22.19　GTPR レジスタのダブルバッファ動作例（相補 PWM モード 1 の場合）

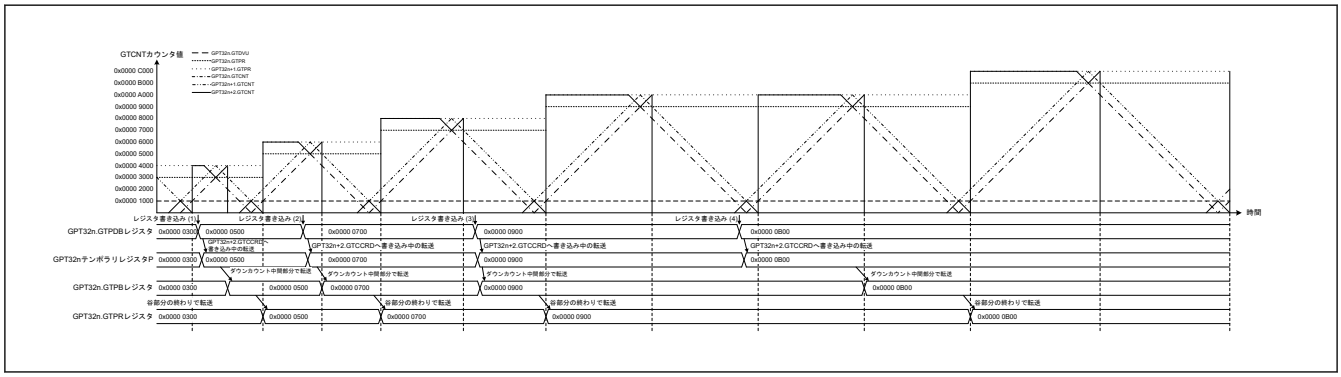


図 22.20　GTPR レジスタのダブルバッファ動作例（相補 PWM モード 2 の場合）

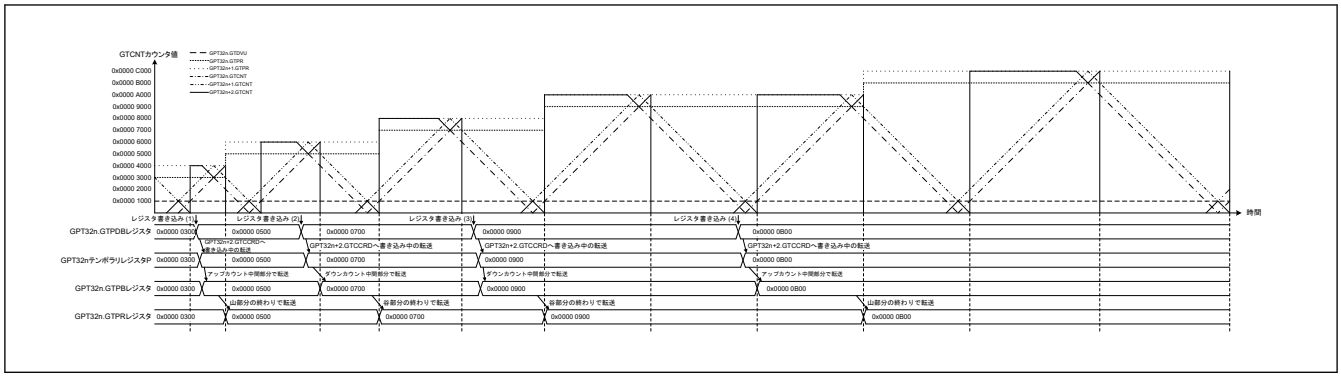


図 22.21　GTPR レジスタのダブルバッファ動作例（相補 PWM モード 3、4 の場合）

表 22.19　GTPR レジスタのバッファ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.16、図 22.17 では 000b または 0000b（のこぎり波 PWM モード 1）、図 22.18 では 100b または 0100b（三角波 PWM モード 1）を設定します。図 22.19～図 22.21 では、11xxb（相補 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.16 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。図 22.17 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER.PR[1:0]ビットでバッファ動作を設定します。図 22.16 と図 22.17 では、PR[1:0] = 01b です。図 22.18 では、PR[1:0] = 1xb です。図 22.19～図 22.21 では PR[1:0]ビットの設定は必要ありません。
7	バッファ値設定	バッファ動作時は、現在の周期から 1 周期後の周期を GTPBR レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の周期を GTPDBR レジスタに設定します。
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
9	周期ごとのバッファ値設定	バッファ動作時は、現在の周期から 1 周期後の周期を GTPBR レジスタに設定します。 ダブルバッファ動作時も、2 周期後の周期を GTPDBR レジスタに設定します。 相補 PWM モード 1（山で転送）で、GTPDBR レジスタがアップカウント谷部分または中間部分で設定されるときは、1 周期後の周期の値を設定します。他の部分では、2 周期後の周期の値を設定します。 相補 PWM モード 2（谷で転送）で、GTPDBR レジスタがアップカウント部分、またはダウンカウント山部分または中間部分で設定されるときは、1 周期後の周期の値を設定します。他の部分では、2 周期後の周期の値を設定します。 相補 PWM モード 3 または 4（山／谷で即時転送）で、GTPDBR レジスタがダウンカウント谷部分以外の部分で設定されるときは、1 周期後の周期の値を設定します。ダウンカウント谷部分では、2 周期後の周期の値を設定します。

22.3.2.2　GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ（すなわち、GTCCRA レジスタ用のダブルバッファレジスタ）として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ（すなわち、GTCCRB レジスタ用のダブルバッファレジスタ）として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0]または GTBER.CCRB[1:0]ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、および相補 PWM モードでは、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。

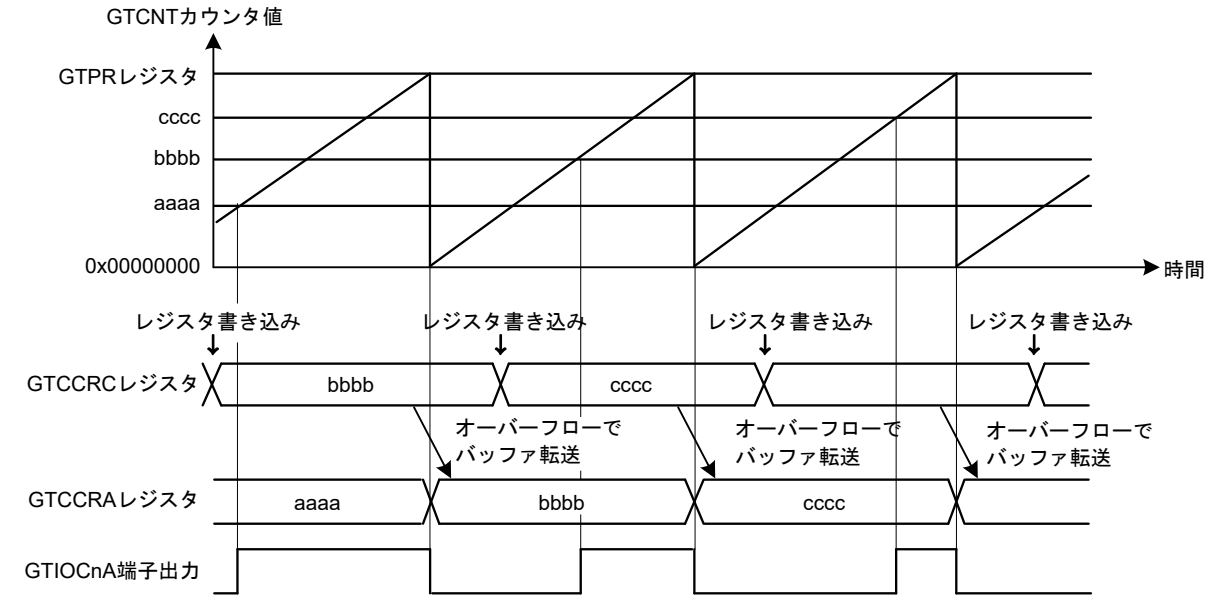
(1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして機能する場合

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、および相補 PWM モードでは、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。詳細は、「22.3.3. PWM 出力動作モード」を参照してください。指定された PWM 出力動作モード以外では、バッファ転送は次の場合に実行されます。

- オーバーフロー／アンダーフローによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に、バッファ転送が実行されます。三角波モードでは、谷（三角波 PWM モード 1）または山および谷（三角波 PWM モード 2）で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、カウント中に「22.3.2.1. GTPR レジスタのバッファ動作」に示される場合と類似したカウンタクリア要因によって、バッファ転送が（同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に）実行されます。
  のこぎり波では、カウンタクリアによる GTCCRm レジスタのバッファ転送は、GTBER2.CCTCm ビット (m = A, B) で禁止できます。
  三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- コンペアマッチによるバッファ転送
  のこぎり波では、GTBER2.CMTCm (m = A, B) ビットにより許可される、GTCCRm レジスタのコンペアマッチによるバッファ転送が実行されます。
- バッファ強制転送
  のこぎり波でも三角波でもイベントカウント動作でも、カウント停止中に GTBER.CCRSWT ビットに 1 を書くと、GTCCRA レジスタ、GTCCRB レジスタのバッファ転送を強制的に行います。
  さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタからテンポラリレジスタ A へのバッファ転送、および GTCCRF レジスタからテンポラリレジスタ B へのバッファ転送が実行されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 で GTBER.DBRTECm (m = A, B) ビットの設定値が 1 の場合、GTBER.BD[0]ビットの設定またはバッファ転送拡張スキップ機能（バッファ転送禁止時のリピートダブルバッファ動作に対する機能）によりバッファ転送が禁止されているときにおいても、中間バッファから GTCCRm (m = A, B) レジスタへの転送が周期ベースで繰り返されます。詳細は、「22.8.2.2. GTCCR バッファ転送禁止時のリピートダブルバッファ動作」を参照してください。

図 22.22～図 22.25 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 22.20 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 22.22 GTCCRA および GTCCRB レジスタのバッファ動作例（アウトプットコンペア、アップカウント時ののこぎり波 PWM モード 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

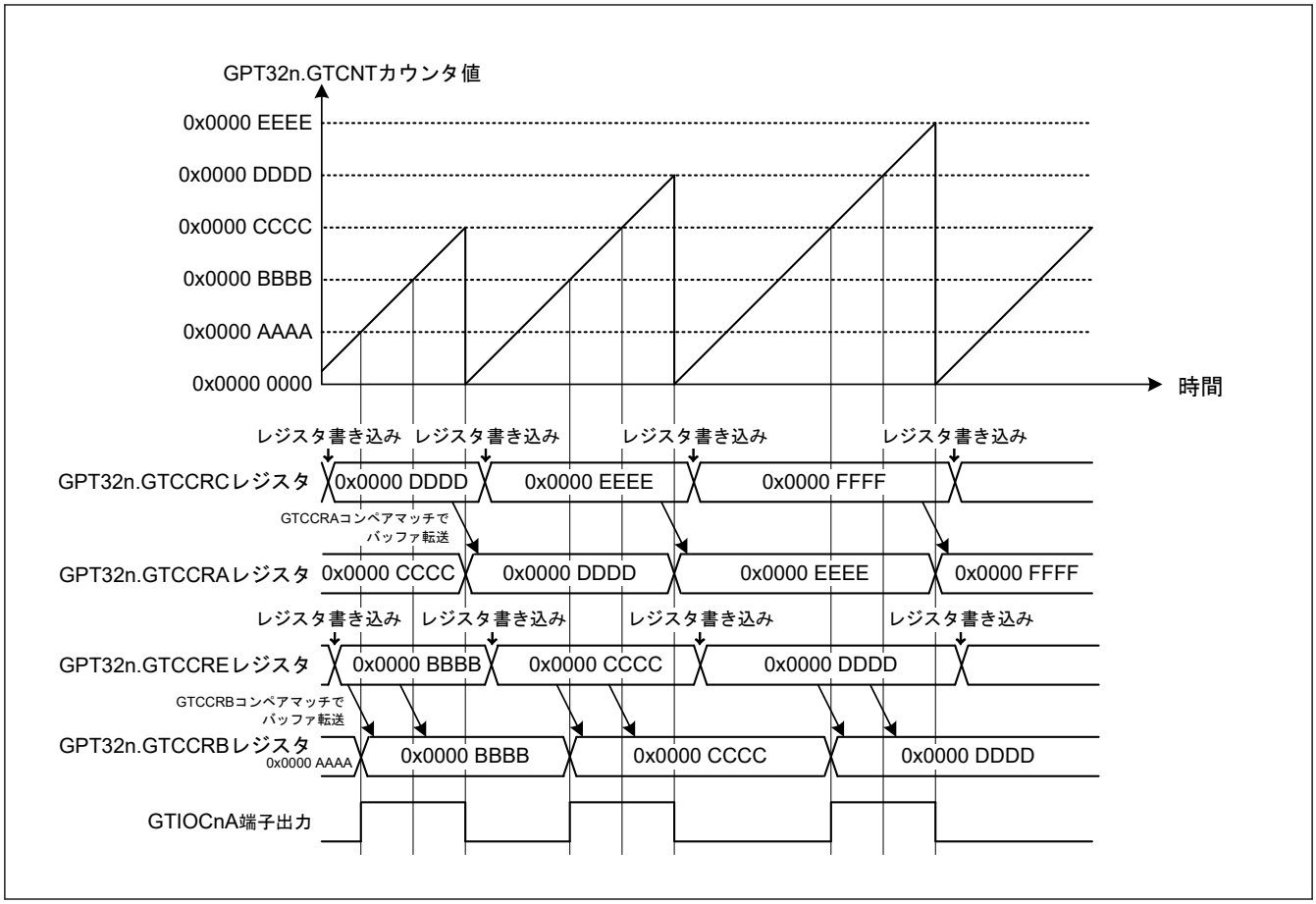
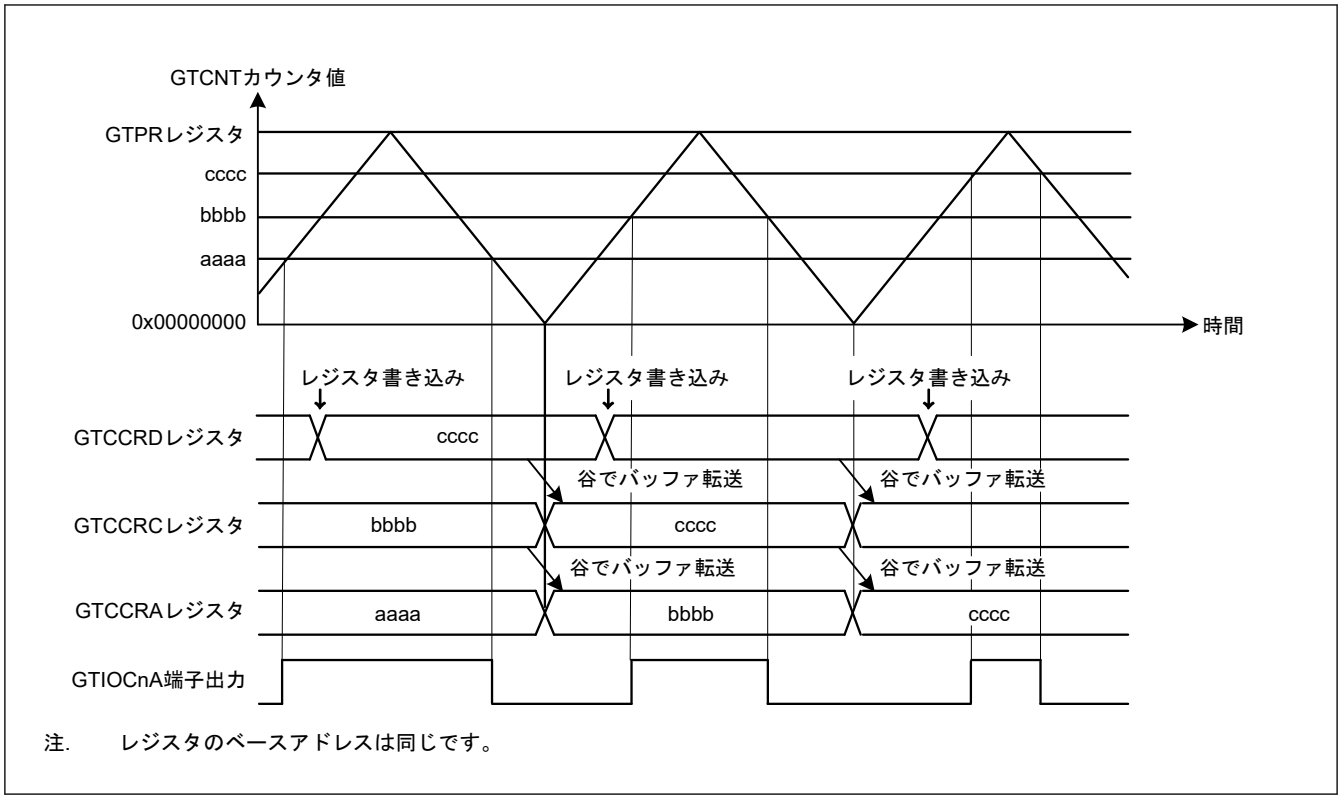
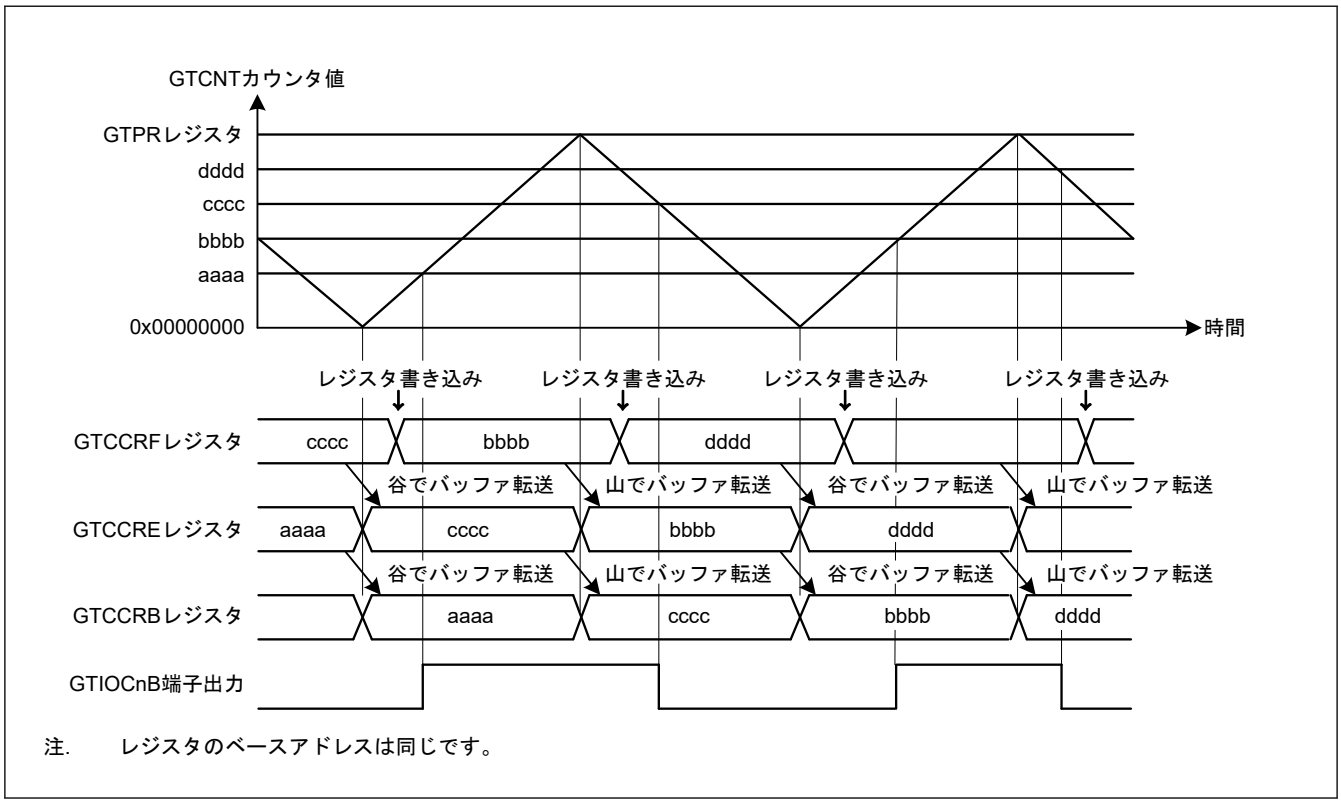


図 22.23 GTCCRA および GTCCRB レジスタのバッファ動作例（アウトプットコンペア、のこぎり波 PWM モード 2、GTCCRA レジスタのコンペアマッチでのバッファ転送、カウンタクリア、Low 出力、GTCCRB レジスタのコンペアマッチでのバッファ転送、High 出力）(n = 4～9)



注. レジスタのベースアドレスは同じです。

図 22.24 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）



注. レジスタのベースアドレスは同じです。

図 22.25 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

表 22.20　GTCCRA、GTCCRB レジスタのバッファ動作設定例（アウトプットコンペア時）

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.22 の例では 000b または 0000b（のこぎり波 PWM モード 1）が設定され、図 22.23 の例では 0010b（のこぎり波 PWM モード 2）が設定され、図 22.24 の例では 100b または 0100b（三角波 PWM モード 1）が設定され、図 22.25 の例では 101b または 0101b（三角波 PWM モード 2）が設定されています。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.22 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、そのレジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 22.22 では、GTIOA[4:0] = 00110b、図 22.23 では、GTIOA[4:0] = 00101b および GTIOB[1:0] = 10b、図 22.24 では、GTIOA[4:0] = 00011b、図 22.25 では、GTIOB[4:0] = 00011b。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 22.22 では、CCRA[1:0] = 01b、図 22.23 では、CCRA[1:0] = 01b および CCRB[1:0] = 01b、図 22.24 では、CCRA[1:0] = 1xb、図 22.25 では、CCRB[1:0] = 1xb。
9	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

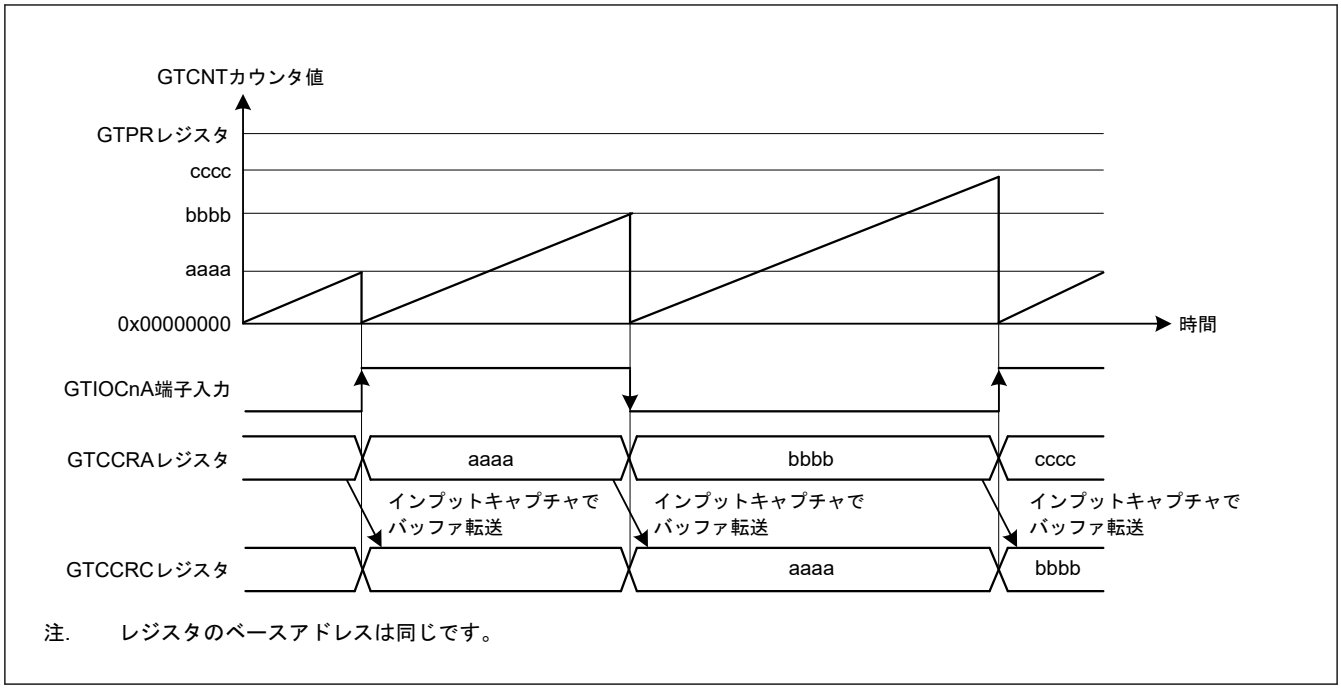
注.　n: 0～13
　　m: A, B

注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

(2)　GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして機能する場合

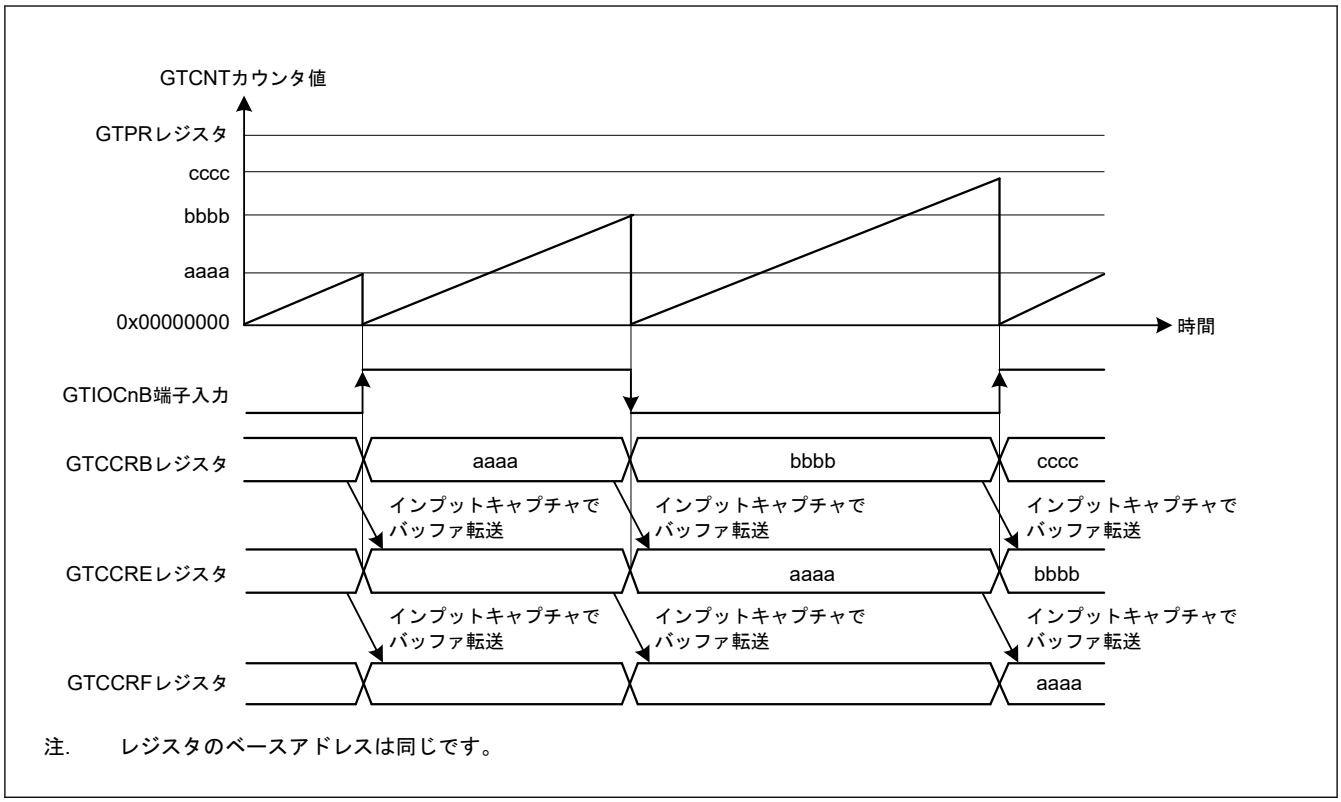
インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

図 22.26 と図 22.27 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 22.21 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 22.26 GTCCRA および GTCCRB レジスタのバッファ動作例（GTIOCnA 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnA 端子入力の両エッジで GTCNT カウンタクリアの場合）



注. レジスタのベースアドレスは同じです。

図 22.27 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（GTIOCnB 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnB 端子入力の両エッジで GTCNT カウンタクリアの場合）

表 22.21 GTCCRA、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）

No.	手順名	説明
1	動作モードとカウンタクリア要因の設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定し、GTCSR レジスタでカウンタクリア要因を設定します。 図 22.26 では、MD[2:0] = 000b または MD[3:0] = 0000b（のこぎり波 PWM モード 1）および GTCSR = 0x00000F00、図 22.27 では、MD[2:0] = 000b または MD[3:0] = 0000b（のこぎり波 PWM モード 1）および GTCSR = 0x0000F000。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.26 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、そのレジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 22.26 では GTICASR = 0x00000F00、図 22.27 では GTICBSR = 0x0000F000 GPT324 から GPT329 において他のチャネル要因でインプットキャプチャを実行するためには、GTICCR.ICmGRP ビット（m = A または B）によるチャネル間連携を行うグループを選択してください。インプットキャプチャ要因の出力側チャネルに対して、他のチャネルに出力するために、インプットキャプチャ要因が有効になるように GTICCR レジスタを設定してください。 入力側チャネルに対して、他のチャネル要因でのインプットキャプチャが有効になるように GTIOmSR.mSOC ビット（m = A または B）を 1 に設定してください。
7	バッファ動作の設定	GTBER レジスタの CCRA ビット、CCRB ビットで、バッファ動作を設定します。 図 22.26 では CCRA[1:0] = 01b、図 22.27 では CCRB[1:0] = 1xb
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

22.3.2.3 GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ（GTADTRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ（GTADTRB レジスタのダブルバッファレジスタ）として動作します。

GTADTRA または GTADTRB レジスタをダブルバッファ動作させるには、GTBER.ADTDA または ADTDB ビットを 1 にします。シングルバッファ動作の場合は、0 にします。GTADTRA と GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0] または ADTTB[1:0] ビットを 00b にします。

バッファ転送タイミングは、のこぎり波モードでは ADTTA[1:0]ビットと ADTTB[1:0]ビットを使用してオーバーフロー（アップカウントの場合）またはアンダーフロー（ダウンカウントの場合）に設定でき、三角波モードまたは相補 PWM モードでは ADTTA[1:0]ビットと ADTTB[1:0]ビットを 01b にすると山、10b にすると谷、11b にすると山／谷両方に設定できます。

のこぎり波モードでは、ADTTA[1:0] ビットと ADTTB[1:0] ビットを 00b 以外の値に設定したカウント動作時、「22.3.2.1. GTPR レジスタのバッファ動作」と同様のカウンタクリア要因により、オーバーフロー時（アップカウント時）またはアンダーフロー時（ダウンカウント時）と同じ方法でバッファ転送が実行されます。

相補 PWM モードでは、バッファ転送は、スレーブチャネル 2 の GTCCRD レジスタ書き込みから 1 GTCLK サイクル後に行われます。

のこぎり波モードでは、カウンタクリアによる GTADTRm レジスタのバッファ転送は、GTBER2.CCTADm (m = A, B) ビット設定で禁止できます。

のこぎり波モードでは、自らのコンペアマッチによる GTADTRm レジスタのバッファ転送は、GTBER2.CMTADm (m = A, B) ビット設定で許可できます。

図 22.28～図 22.32 に GTADTRA レジスタと GTADTRB レジスタのバッファ動作例を、表 22.22 に GTADTRA レジスタと GTADTRB レジスタのバッファ動作設定例を示します。

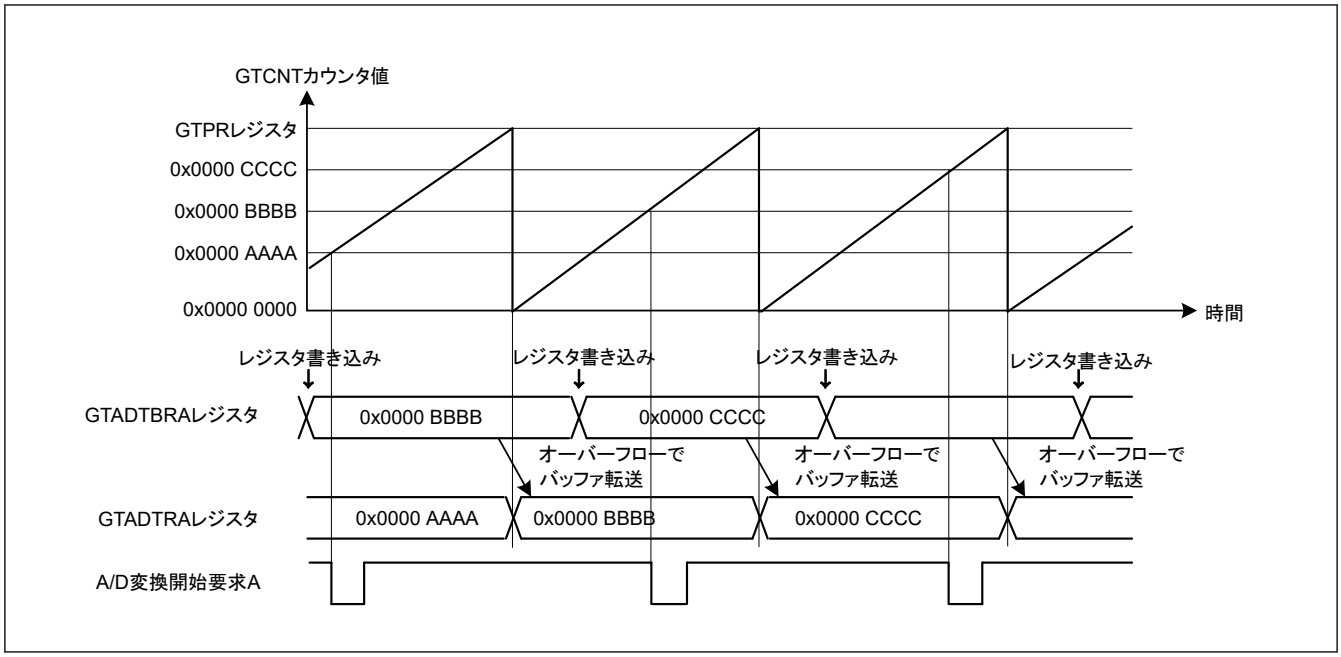


図 22.28　GTADTRA および GTADTRB レジスタのバッファ動作例（のこぎり波でアップカウント、アップカウントで A/D 変換開始要求発生の場合）

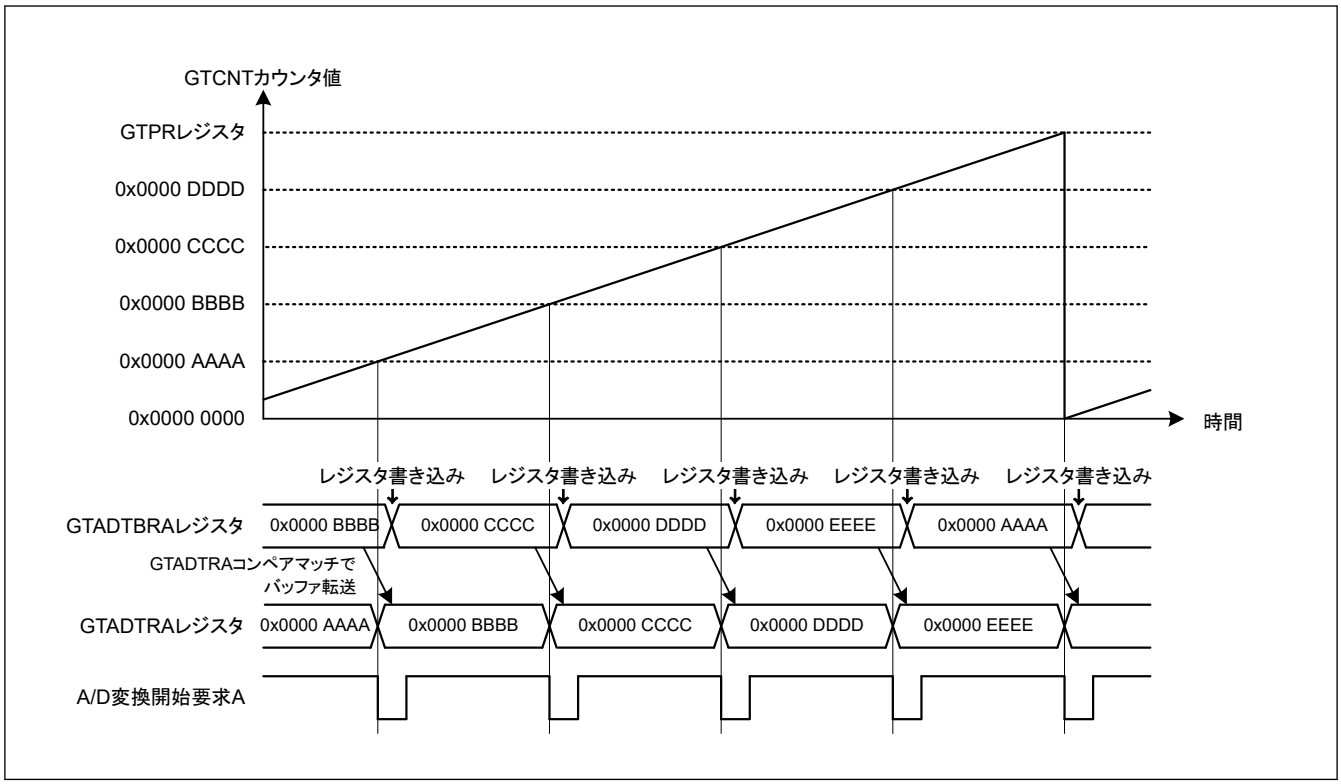


図 22.29　GTADTRA および GTADTRB レジスタのバッファ動作例（のこぎり波でアップカウント、GTADTRA コンペアマッチでバッファ転送、アップカウントで A/D 変換開始要求発生の場合）

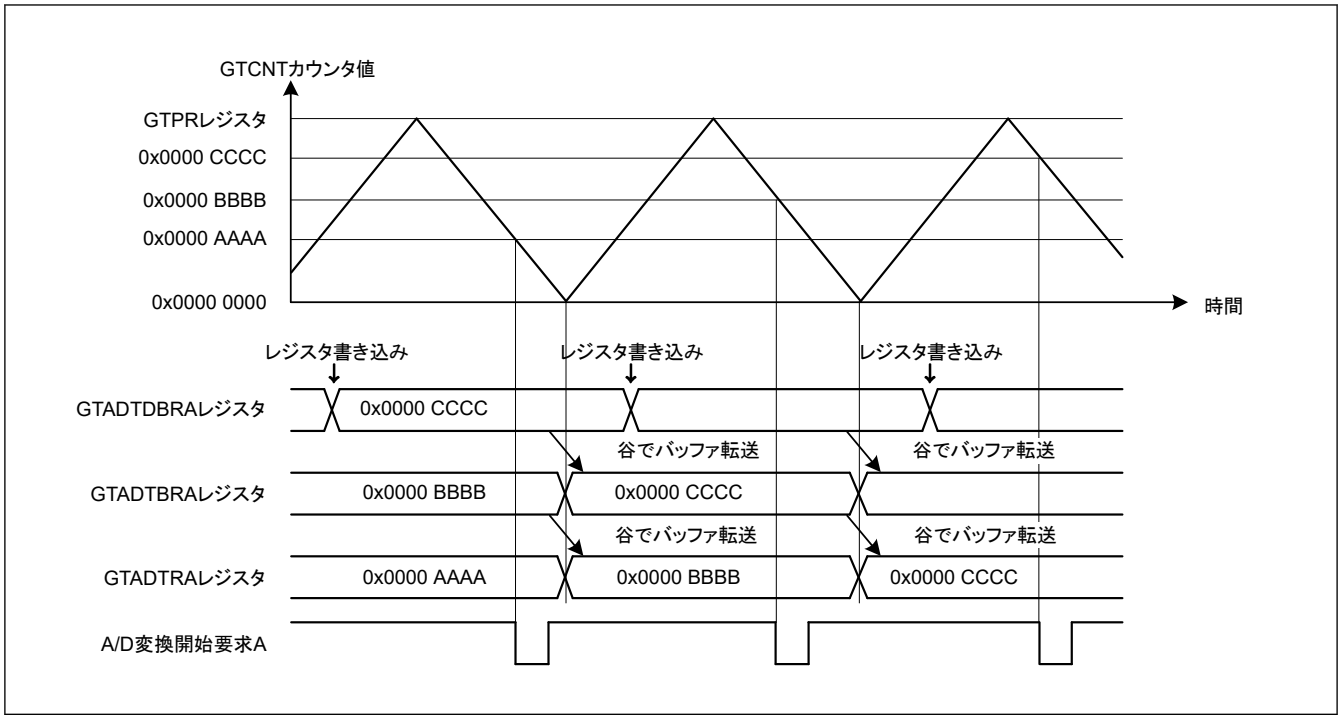


図 22.30　GTADTRA および GTADTRB レジスタのダブルバッファ動作例（三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求発生の場合）

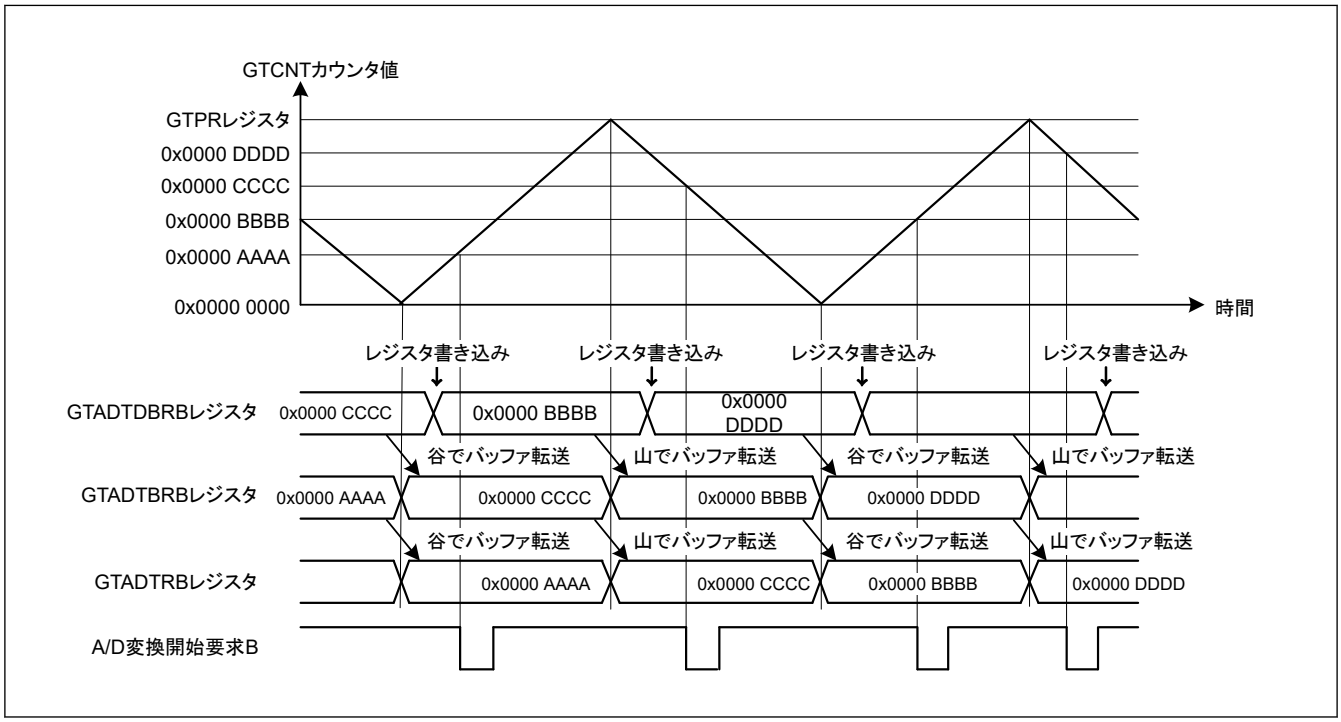


図 22.31　GTADTRA および GTADTRB レジスタのダブルバッファ動作例（三角波、谷と山の両方でバッファ転送、アップカウントとダウンカウントの両方で A/D 変換開始要求発生の場合）

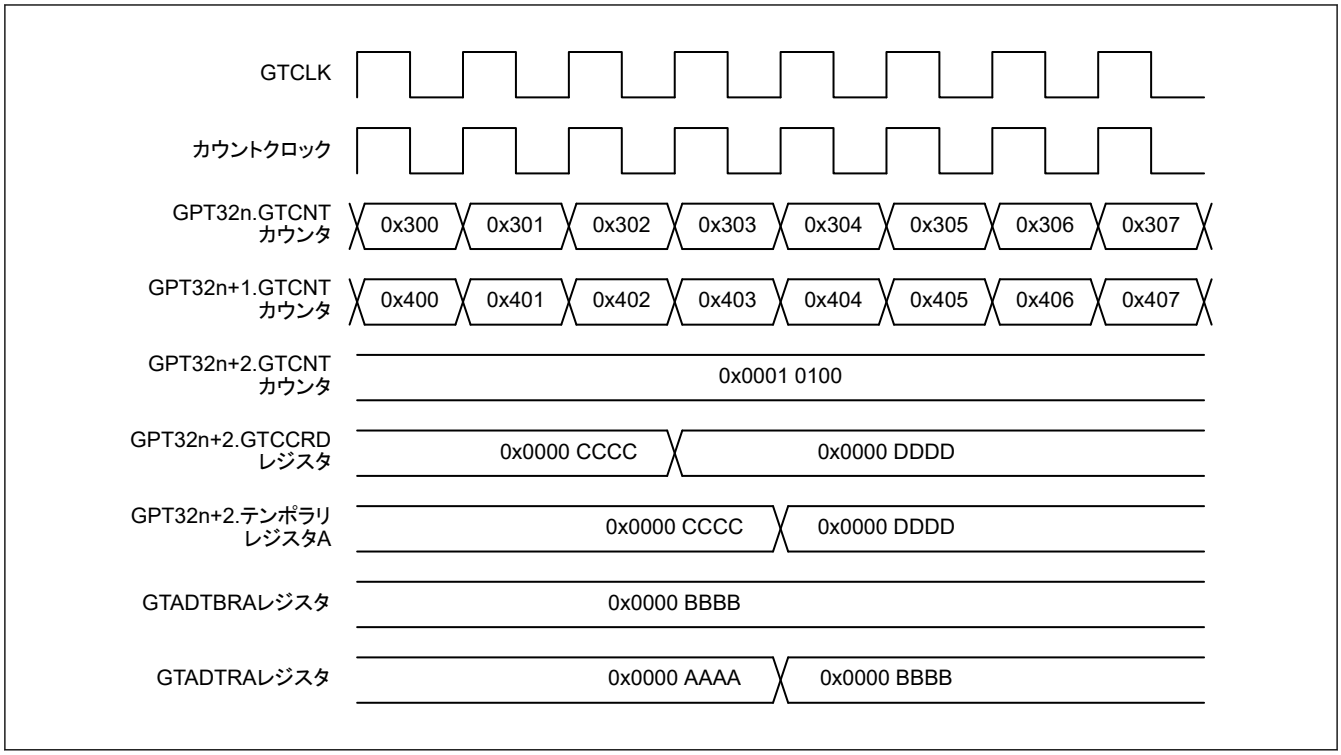


図 22.32 GTADTRA および GTADTRB レジスタのバッファ動作例（相補 PWM モードでスレーブチャネル 2 の GTCCRD レジスタが更新）

表 22.22 GTADTRA および GTADTRB レジスタのバッファ動作設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 （図 22.28 および図 22.29 では、000b または 0000b（のこぎり波 PWM モード 1）を設定し、図 22.30 および図 22.31 では、100b、101b、110b、0100b、0101b、または 0110b（三角波 PWM モード）を設定します。）
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 （図 22.28 と図 22.29 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。）
3	カウントクロックの選択	GTCR.TPCS[3:0]　ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR レジスタに周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、ADTDB ビットでバッファ動作を設定します。 ADTRAm レジスタ (m = A, B) のコンペアマッチでバッファ転送を実行するには、GTBER2.CMTADm ビットを 1 にします。 （図 22.28 では、ADTTA[1:0]ビット = 01b、10b、または 11b で、ADTDA ビット = 0 です。図 22.29 では、CMTADA ビット = 1 です。図 22.30 では、ADTTA[1:0]ビット = 10b で、ADTDA ビット = 1 です。図 22.31 では、ADTTB[1:0]ビット = 11b で、ADTDB ビット = 1 です。）
7	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA、GTADTRB レジスタに設定します。
8	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。
9	A/D 変換開始要求を許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 （図 22.28 と図 22.29 では、ADTRAUEN ビット = 1 で、図 22.30 では ADTRADEN ビット = 1 で、図 22.31 では ADTRBUEN ビット = 1 かつ ADTRBDEN ビット = 1 です。）

表 22.22 GTADTRA および GTADTRB レジスタのバッファ動作設定例 (2/2)

No.	ステップ名	説明
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モード、または三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。

22.3.2.4 GTIOA、GTIOB レジスタのバッファ動作

GTOLBR.GTIOAB[4:0] ビットは GTIOR.GTIOA[4:0] ビットのバッファレジスタ、GTOLBR.GTIOBB[4:0] ビットは GTIOR.GTIOB[4:0] ビットのバッファレジスタとして動作します。

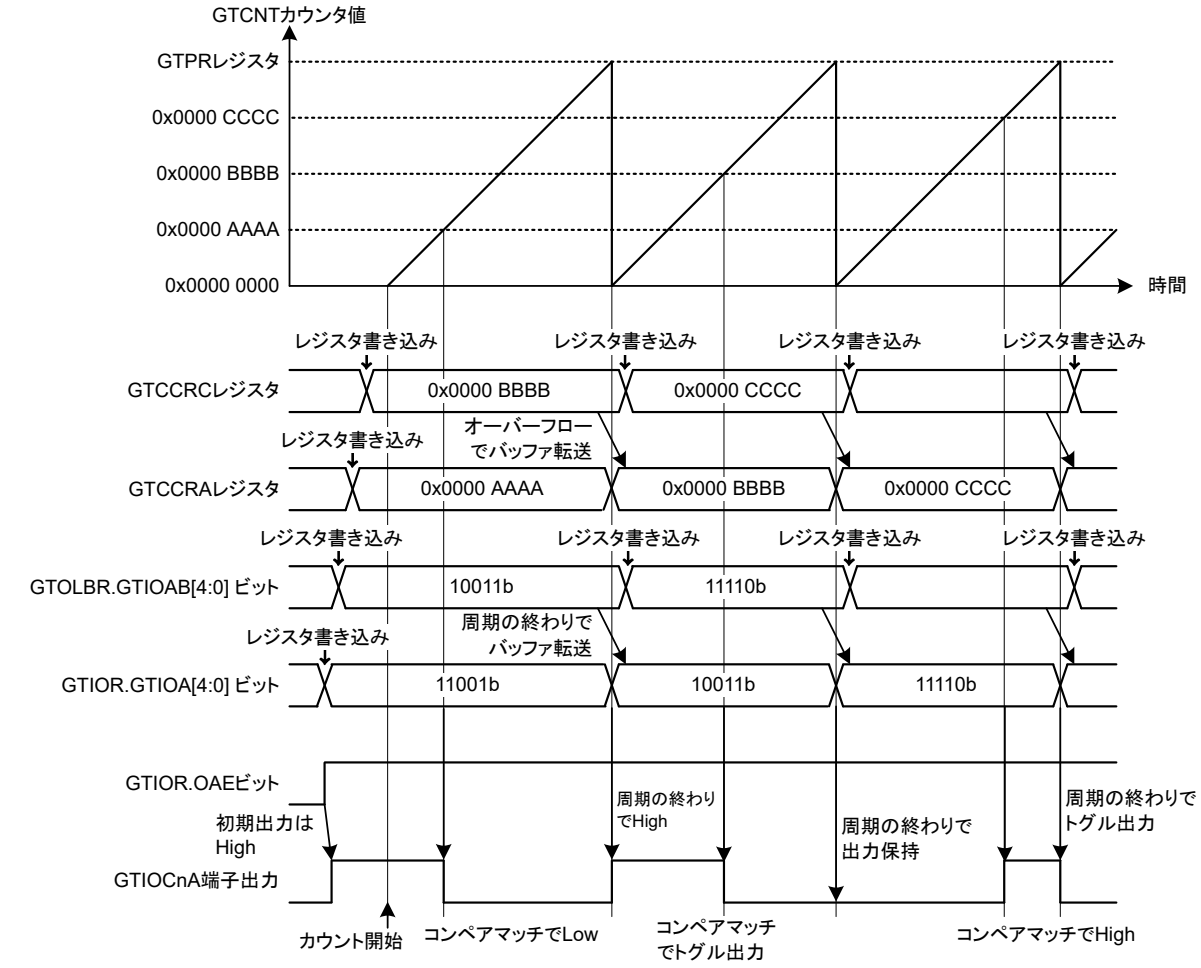
バッファ転送のタイミングは、GTBER2.OLTTm[1:0] ビット（m = A, B）で設定できます。このタイミングは、周期の終わりまたは GTCCR レジスタのコンペアマッチ（のこぎり波モードの場合）、もしくは山、谷、山と谷の両方（三角波モードおよび相補 PWM モードの場合）から選択できます。GTBER2.OLTTm[1:0] ビットが 00b の場合、バッファ転送はしません。

相補 PWM モードでは、相補 PWM のデッドタイム中にバッファ転送により GTIOA と GTIOB を変換する設定は禁止されています。

そのため、バッファ転送によって GTIOA と GTIOB を変更する場合は、山と谷のタイミングがデッドタイムと重なり合わないように設定し、GTOLBR.GTIOAB と GTOLBR.GTIOBB を変更する必要があります。

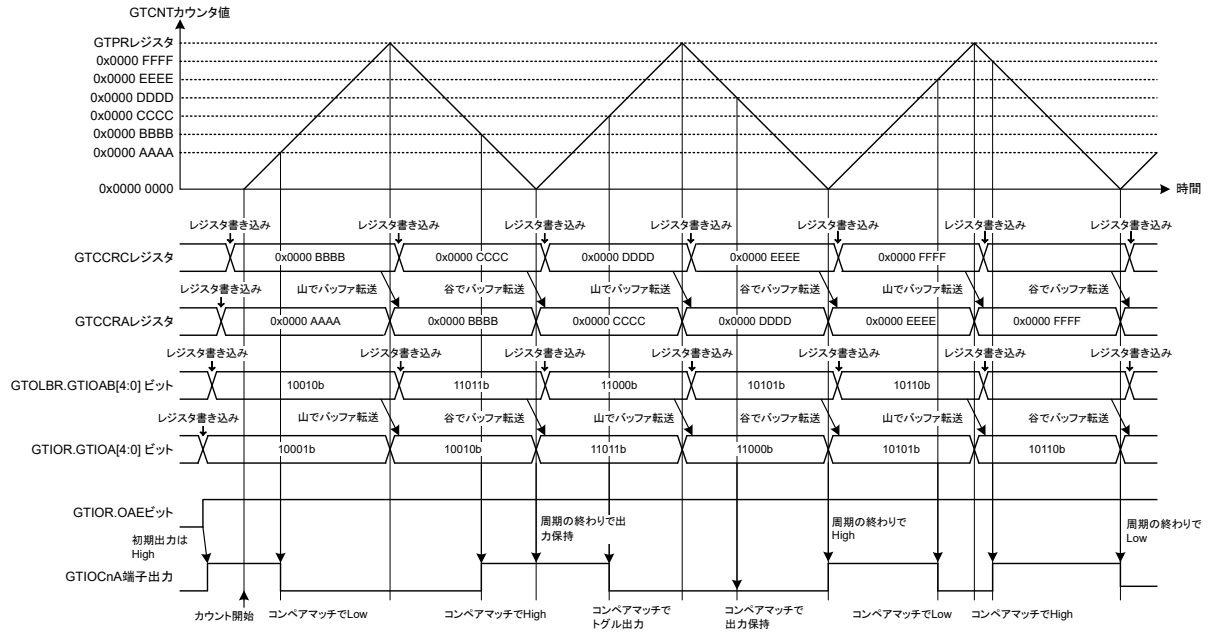
バッファ転送タイミングが山の場合、GTCCRm < GTPR を満たすように、GTCCRm (m = A, C, E) レジスタを設定します。また、バッファ転送タイミングが谷であるときは、GTDVU < GTCCRm を満たすように GTCCRm レジスタを設定してください。

図 22.33～図 22.35 に GTIOR.GTIOA[4:0]、GTIOR.GTIOB[4:0] ビットのバッファ動作例を示します。表 22.23 に GTIOR.GTIOA[4:0]、GTIOR.GTIOB[4:0] ビットのバッファ動作の設定例を示します。



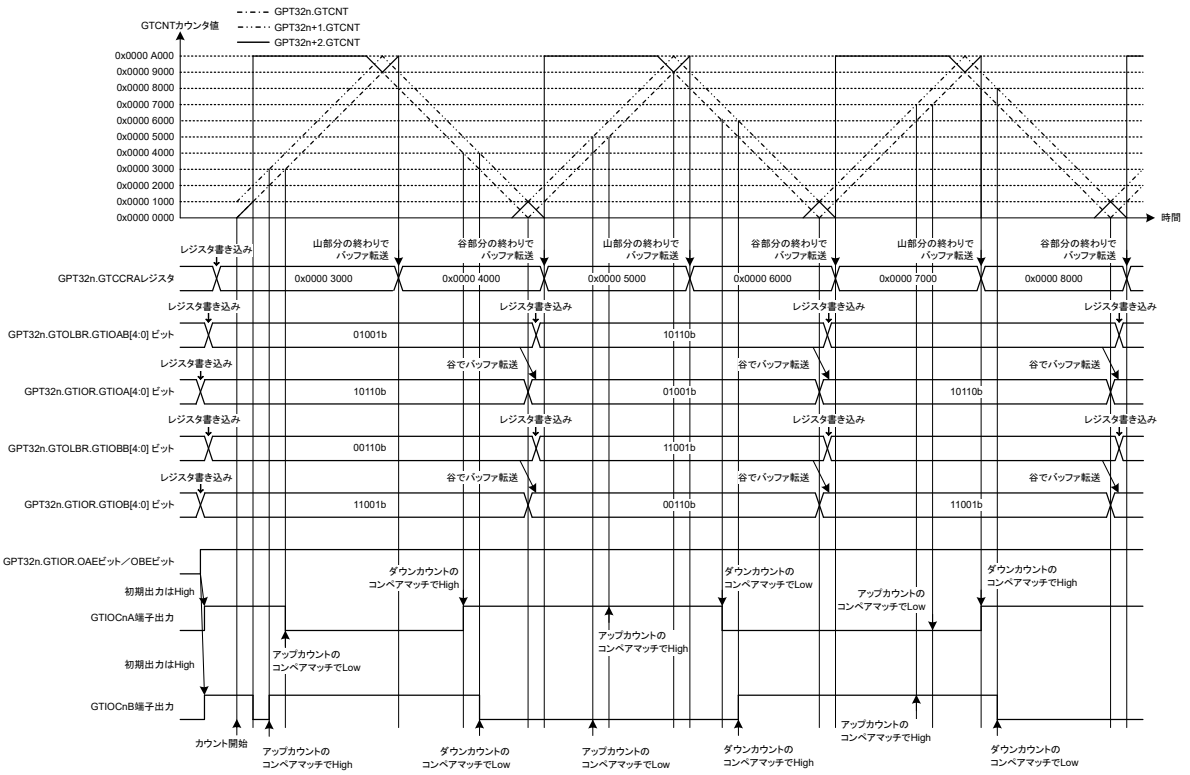
注. 初期出力はカウントクロックに同期します。

図 22.33 GTIOA ビットおよび GTIOB ビットのバッファ動作例（のこぎり波 PWM モード 1 のアップカウント、周期の終わりにバッファ転送）



注. 初期出力はカウントクロックに同期します。

図 22.34 GTIOA ビットおよび GTIOB ビットのバッファ動作例（三角波 PWM モード 2、山および谷でバッファ転送）



注. 初期出力はカウントクロックに同期します。

図 22.35 GTIOA ビットおよび GTIOB ビットのバッファ動作例（相補 PWM モード 3、谷でバッファ転送）

表 22.23 GTIOA ビットおよび GTIOB ビットのバッファ動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[3:0] ビットで動作モードを設定します。 （図 22.33 では 0000b（のこぎり波 PWM モード 1）、図 22.34 では 0101b（三角波 PWM モード 2）、図 22.35 では 1110b（相補 PWM モード 3）を設定します。）
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 （図 22.33 では GTUDDTYC[1:0]ビットを 11b にしてから GTUDDTYC[1:0]ビットを 01b（アップカウント）にします。）
3	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
4	周期設定	のこぎり波 PWM モード 2 以外では、GTPR に周期を設定します。 のこぎり波 PWM モード 2 では、GTCSR.CSCMSC[2:0]ビットによりカウンタクリア要因コンペアマッチレジスタ GTCCRx (x = A～F) を選択し、周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0] ビット、GTIOB[4:0] ビットに GTIOCnm 端子の機能を設定します。 （図 22.33 では GTIOA[4:0] = 11001b、図 22.34 では GTIOA[4:0] = 10001b、および図 22.35 では GTIOA[4:0] = 10110b と GTIOB[4:0] = 11001b。）
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビットと OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER2 レジスタの OLTTm[1:0] ビットでバッファ動作を設定します。 （図 22.33 では 01b が OLTTA[1:0]に、図 22.34 では 11b が OLTTA[1:0]に、図 22.35 では 10b が OLTTA[1:0]に、10b が OLTTB[1:0]に設定されます。）
9	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードおよび三角波モード／相補 PWM モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モード／相補 PWM モードで山と谷の両方でバッファ転送の場合）の GTIOCnm 端子機能を GTOLBR レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードおよび三角波モード／相補 PWM モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モード／相補 PWM モードで山と谷の両方でバッファ転送の場合）の GTIOCnm 端子機能を GTOLBR レジスタに設定します。

注. n = 4～9
m = A, B

22.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA レジスタまたは GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCnA 端子または GTIOCnB 端子 (n = 0～13) へ PWM 波形を出力することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

相補 PWM モードでは、0%/100%デューティー付近の PWM 出力パルス幅の直線性を保証する、デッドタイム付き PWM 波形（正相、逆相）を出力することが可能です。

のこぎり波 PWM モード 2 以外ののこぎり波モード、三角波モード、またはマスタチャネルの相補 PWM モードでは、GTIOR.PSYE ビットを 1 に設定することにより、PWM 周期と同期した信号を GTCPPOn 出力端子から出力可能です。のこぎり波モードでは周期の終わりに、三角波モードまたは相補 PWM モードでは山／谷／GTCNT カウンタクリアのタイミングで GTCPPOn がトグル出力されます。GTCPPOn の初期出力は Low であり、カウント開始時に High になります。

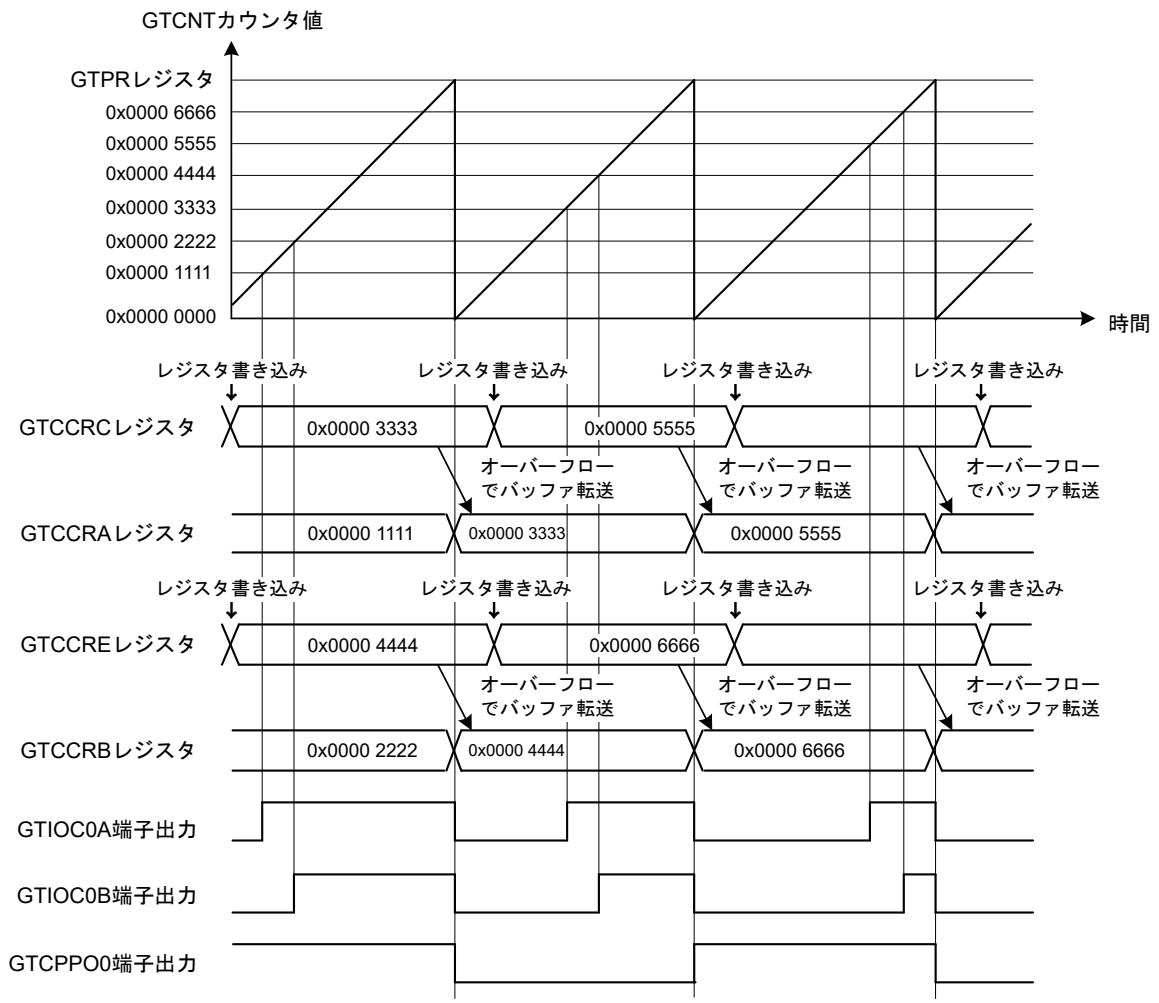
22.3.3.1 のこぎり波 PWM モード 1

のこぎり波 PWM モード 1 では、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に、GTIOCnA 端子または GTIOCnB 端子 (n = 0～13) に PWM 波形を出力させます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

GTIOR.OxEOCD (x = A, B) ビットが 0 に設定され、周期の終わりと GTCCRx レジスタのコンペアマッチのタイミングが同じ場合、出力端子は GTIOR.GTIOx[3:2]ビットで設定された周期の終わりに対する PWM 出力設定に従います。

GTIOR.OxEOCD ビットに 1 が設定されると、GTIOCnx 出力が保持されます。

図 22.36 にのこぎり波 PWM モード 1 の動作例を、表 22.24 にのこぎり波 PWM モード 1 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 22.36 のこぎり波 PWM モード 1 の動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、GTIOR.PSYE = 1 の場合）

表 22.24 のこぎり波 PWM モード 1 の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。図 22.36 の例では 000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.36 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 22.36 では GTIOA[4:0] = 00110b、GTIOB[4:0] = 00110b
7	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。

表 22.24　のこぎり波 PWM モード 1 の設定例 (2/2)

No.	手順名	説明
8	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
9	バッファ動作設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。図 22.36 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
10	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。 GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
11	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
12	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
13	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注.　n: 0～13
　　m: A, B
注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

22.3.3.2　のこぎり波 PWM モード 2

のこぎり波 PWM モード 2 では、GTCNT カウンタは GTPR レジスタを使わずにアップカウントによりのこぎり波として動作し、GTCCRA レジスタと GTCCRB レジスタのコンペアマッチにより PWM 波形を出力します。端子の出力レベルは、GTIOR レジスタの設定によって、コンペアマッチ時にそれぞれ個別に Low 出力／High 出力／トグル出力から選択できます。

GTIOCnA 端子は出力端子として使用します。GTIOR.GTIOB[1:0] ビットを使用して、GTCCRB レジスタのコンペアマッチ時の GTIOCnA 端子出力を設定してください。

GTCSR レジスタで選択した GTCNT カウンタクリア要因によりカウンタクリアが発生した場合、周期の終わりに処理され、GTIOR.GTIOA[3:2] ビットで選択した周期の終わりで PWM 出力動作が実行されます。GTCCRx（x = A, B）レジスタのコンペアマッチのためにカウンタクリア（周期の終わり）が PWM 出力変更と競合する場合、PWM 出力動作を周期の終わりに実行（GTIOR.OxEOCD ビット = 0 の場合）もしくは PWM 出力が保持されます（GTIOR.OxEOCD ビット = 1 の場合）。

のこぎり波 PWM モード 2 の動作例を図 22.37～図 22.39 に示します。表 22.25 にのこぎり波 PWM モード 2 の設定例を示します。

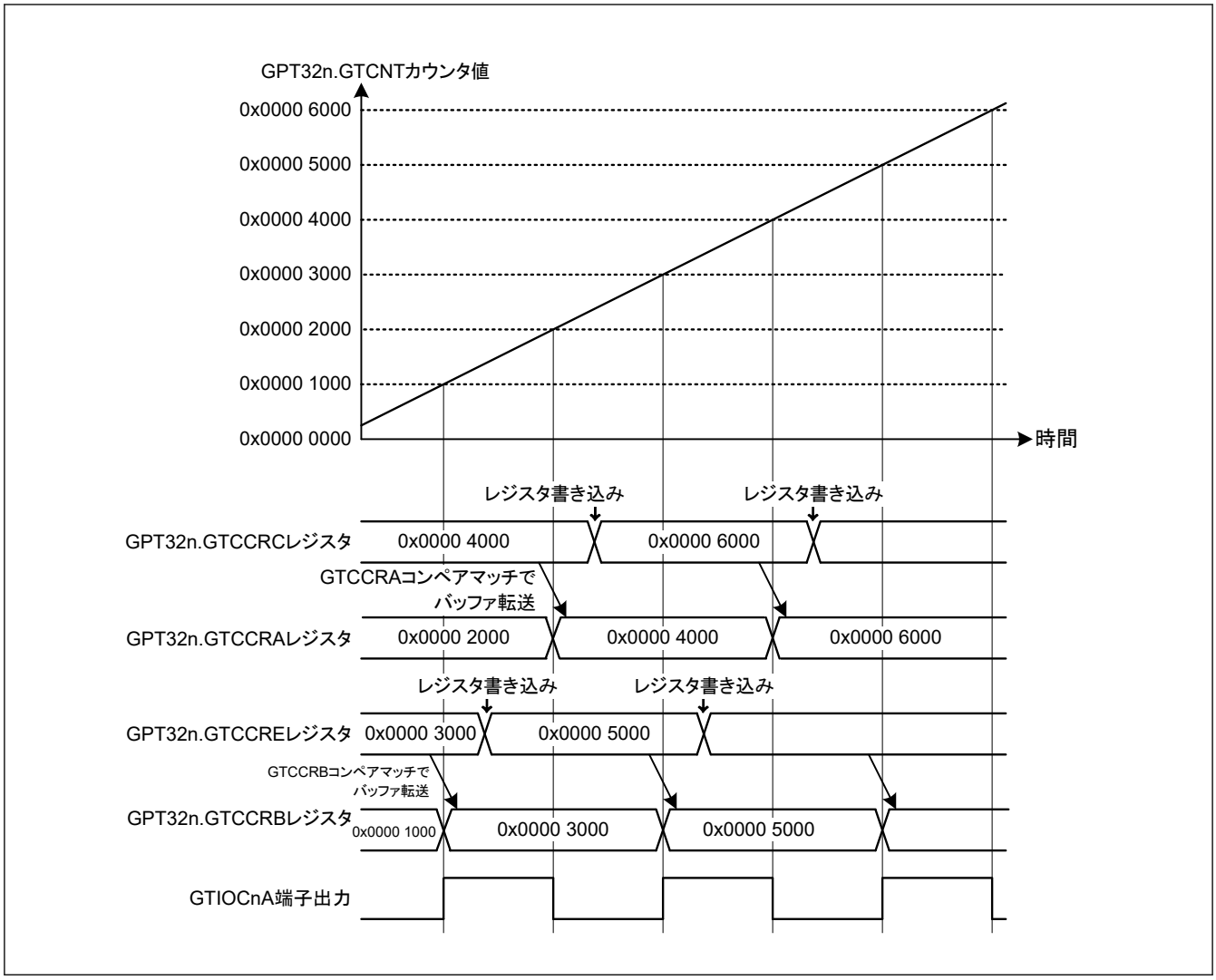


図 22.37 のこぎり波 PWM モード 2 の動作例（GTCCRA レジスタのコンペアマッチ時に Low 出力、GTCCRB レジスタのコンペアマッチ時に High 出力、シングルバッファ動作、クリアなし設定の場合）（n = 4～9）

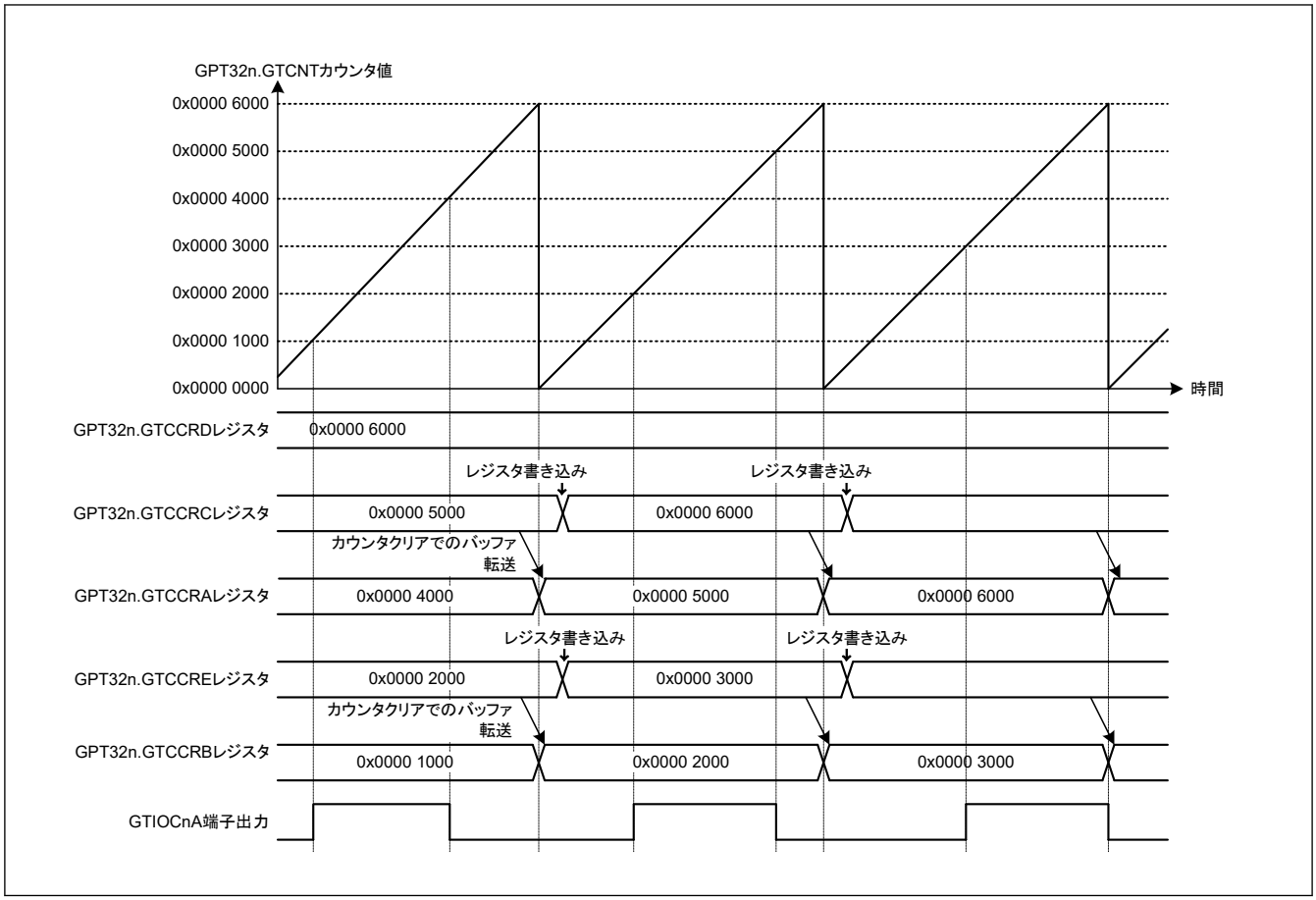


図 22.38 のこぎり波 PWM モード 2 の動作例（GTCCRA レジスタのコンペアマッチ時に Low 出力、GTCCRB レジスタのコンペアマッチ時に High 出力、周期の終わりに Low 出力、シングルバッファ動作、GTCCRD レジスタのコンペアマッチ時にクリア、GTIOR.OAEOCD ビット = 0 の場合）（n = 4～9）

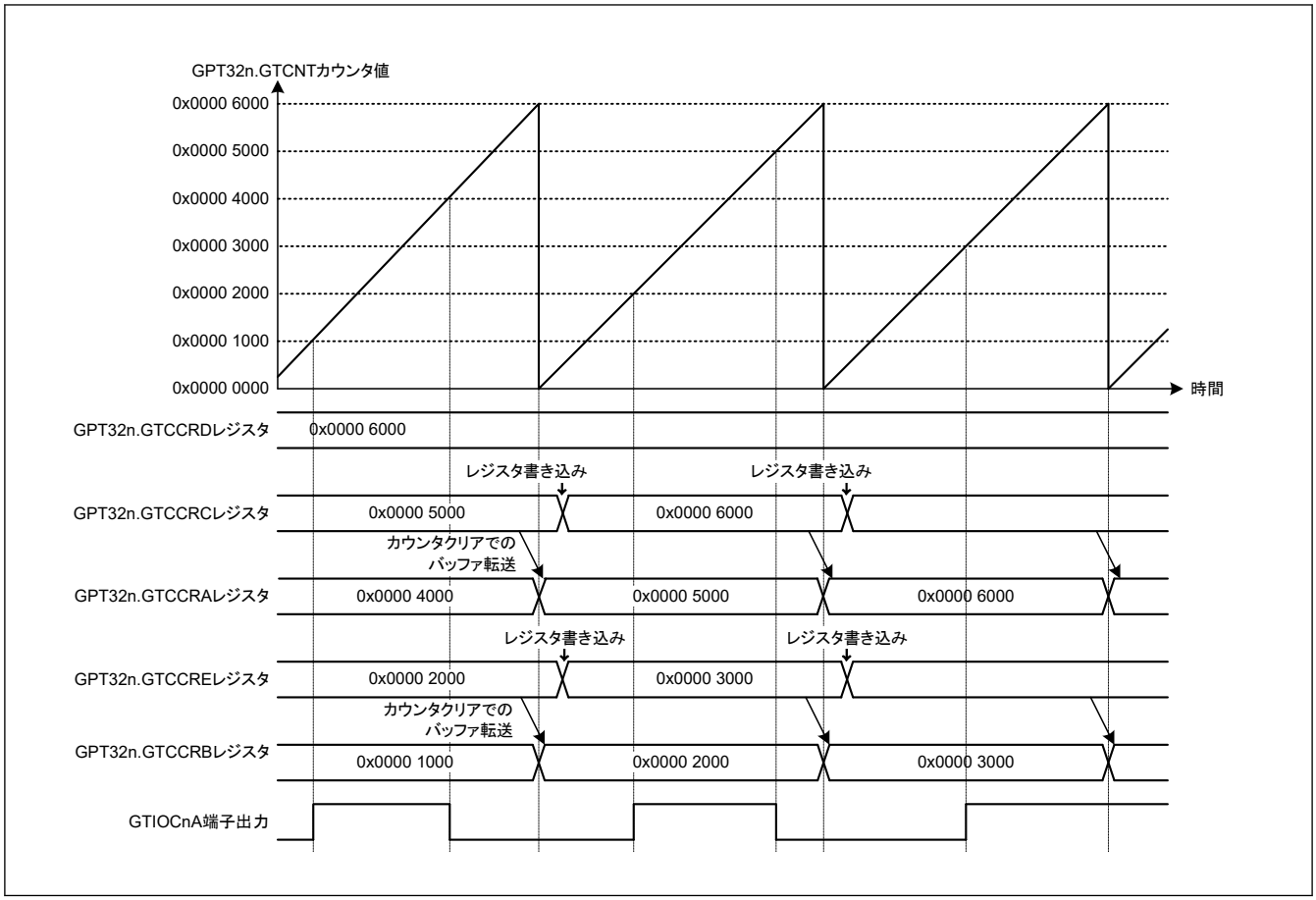


図 22.39　のこぎり波 PWM モード 2 の動作例（GTCCRA レジスタのコンペアマッチ時に Low 出力、GTCCRB レジスタのコンペアマッチ時に High 出力、周期の終わりに Low 出力、シングルバッファ動作、GTCCRD レジスタのコンペアマッチ時にクリア、GTIOR.OAEOCD ビット = 1 の場合）（n = 4～9）

表 22.25　のこぎり波 PWM モード 2 の設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[3:0] ビットで動作モードを設定します。 （図 22.37～図 22.39 では 0010b（のこぎり波 PWM モード 2）を設定）
2	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	GTIOCnA 端子機能設定	GTIOR レジスタの GTIOA[4:0] ビットと GTIOB[4:0] ビットで、GTIOCnA 端子の機能を設定します。 （図 22.37～図 22.39 では、GTIOA[4:0] = 00001b、GTIOB[1:0] = 10b）
5	GTIOCnA 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビットで、GTIOCnA 端子出力の許可を設定します。
6	バッファ動作の設定	GTBER レジスタの CCRA[1:0] ビットと CCRB[1:0] ビットで、バッファ動作を設定します。 （図 22.37～図 22.39 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b）
7	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA、GTCCRB レジスタに設定します。
8	バッファ値設定	バッファ動作時は、1 周期後に使用する GTCCRA レジスタ値を GTCCRC レジスタに、GTCCRB レジスタ値を GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後に使用する GTCCRA レジスタ値を GTCCRD レジスタに、GTCCRB レジスタ値を GTCCRF レジスタに設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
10	周期ごとのバッファ値設定	バッファ動作時は、1 周期後に使用する GTCCRA レジスタ値を GTCCRC レジスタに、GTCCRB レジスタ値を GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後に使用する GTCCRA レジスタ値を GTCCRD レジスタに、GTCCRB レジスタ値を GTCCRF レジスタに設定します。

注.　n: 4～9

注 1. PWM 遅延生成回路を使用する場合、GTIOCnA 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

22.3.3.3 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波（半波）動作させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子または GTIOCnB 端子 (n = 0～13) に PWM 波形を出力するモードです。

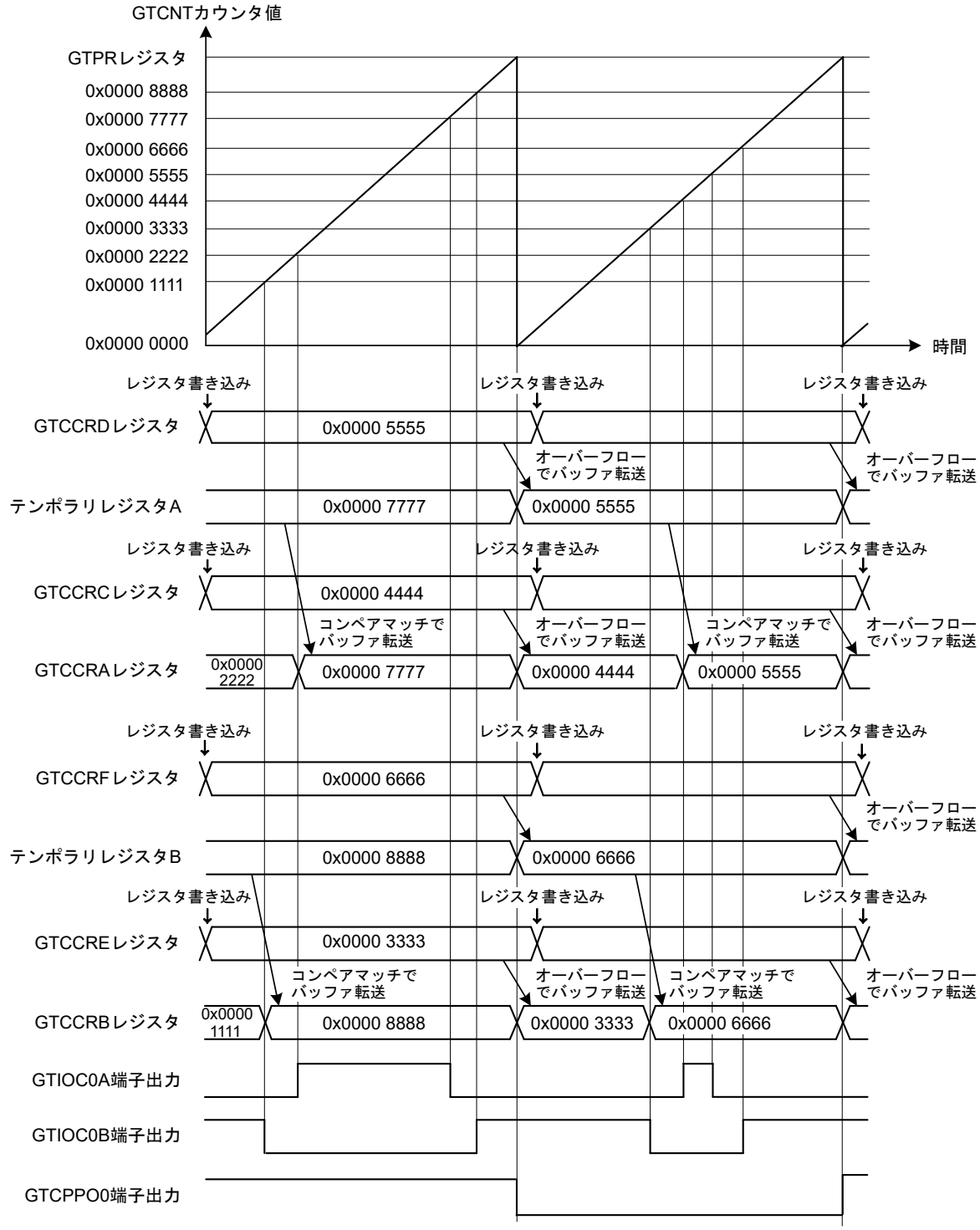
のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ
- 周期の終わりで、GTCCRE レジスタから GTCCRB レジスタ
- 周期の終わりで、GTCCRD レジスタからテンポラリレジスタ A
- 周期の終わりで、GTCCRF レジスタからテンポラリレジスタ B
- GTCCRA レジスタのコンペアマッチで、テンポラリレジスタ A から GTCCRA レジスタ
- GTCCRB レジスタのコンペアマッチで、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値は GTCCRB レジスタに自動設定されます。

GTBER.DBRTECm (m = A, B) ビットが 1 のとき、バッファ転送が禁止されている場合でも（バッファ転送禁止中のリピートダブルバッファ動作機能）、GTCCRx レジスタと GTCCRm レジスタの中間バッファとしてそれぞれ動作するテンポラリレジスタ x (x = C, E) とテンポラリレジスタ m を使用して、中間バッファから GTCCRm レジスタへの転送が周期ベースで繰り返されます。詳細は、「22.8.2.2. GTCCR バッファ転送禁止時のリピートダブルバッファ動作」を参照してください。

図 22.40 に、のこぎり波ワンショットパルスモードの動作例を、表 22.26 に、のこぎり波ワンショットパルスモードの設定例を示します。



注. レジスタのベースアドレスは同じです。

図 22.40 のこぎり波ワンショットパルスモードの動作例（アップカウント、カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持、GTIOR.PSYE = 1 の場合）

表 22.26　のこぎり波ワンショットパルスモード設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.40 では 001b（のこぎり波ワンショットパルスモード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.40 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 22.40 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
7	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
8	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
9	コンペアマッチ値設定(注1)	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
10	バッファ強制転送設定(注1)	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
11	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
12	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
13	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

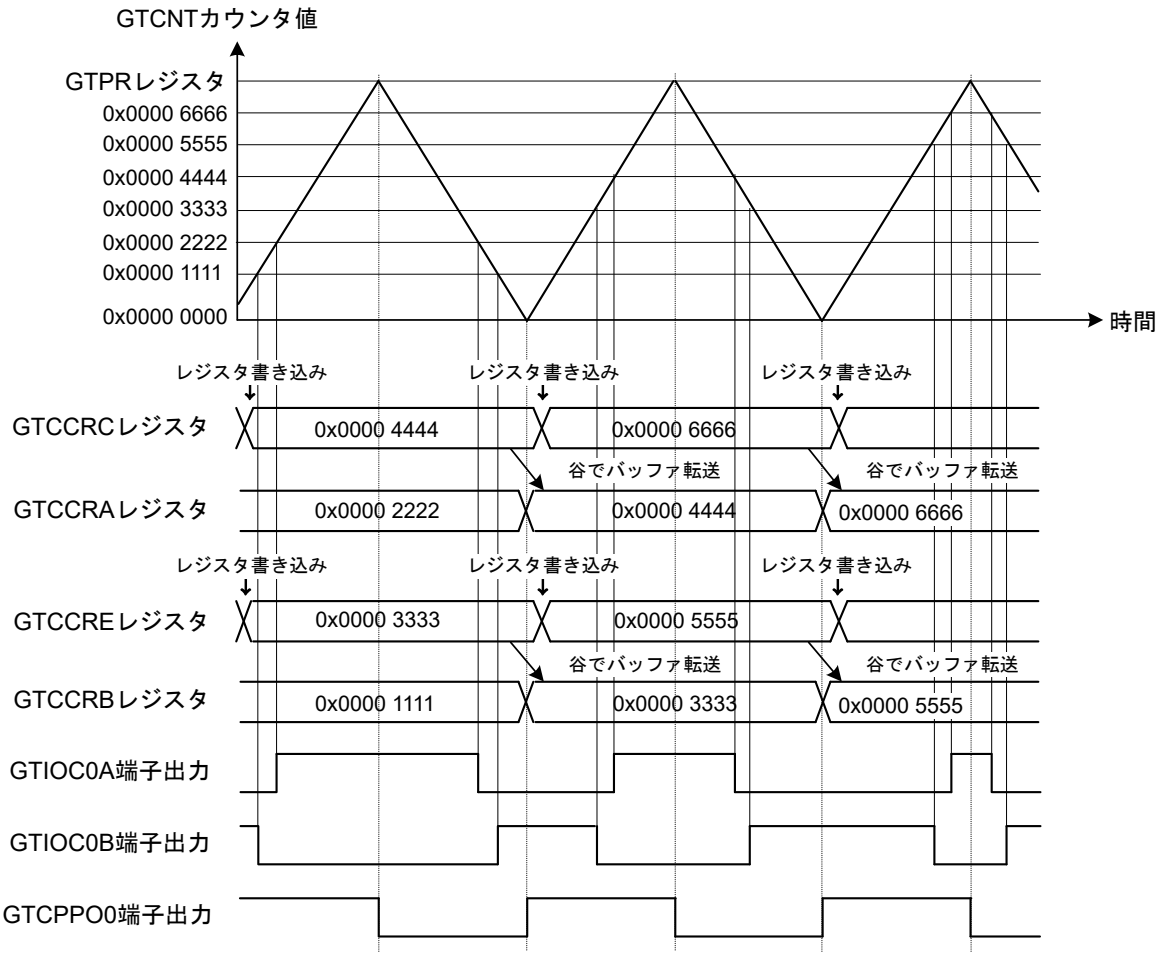
注.　n: 0～13
　　m: A, B
注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定+バッファ強制転送設定の順序を変更してください。

22.3.3.4　三角波 PWM モード 1（谷 32 ビット転送）

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0～13) に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 22.41 に三角波 PWM モード 1 の動作例を、表 22.27 に三角波 PWM モード 1 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 22.41 三角波 PWM モード 1 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持、GTIOR.PSYE = 1 の場合）

表 22.27 三角波 PWM モード 1 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.41 では、100b（三角波 PWM モード 1）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 22.41 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 22.41 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
9	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 22.27　三角波 PWM モード 1 設定例 (2/2)

No.	手順名	説明
10	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

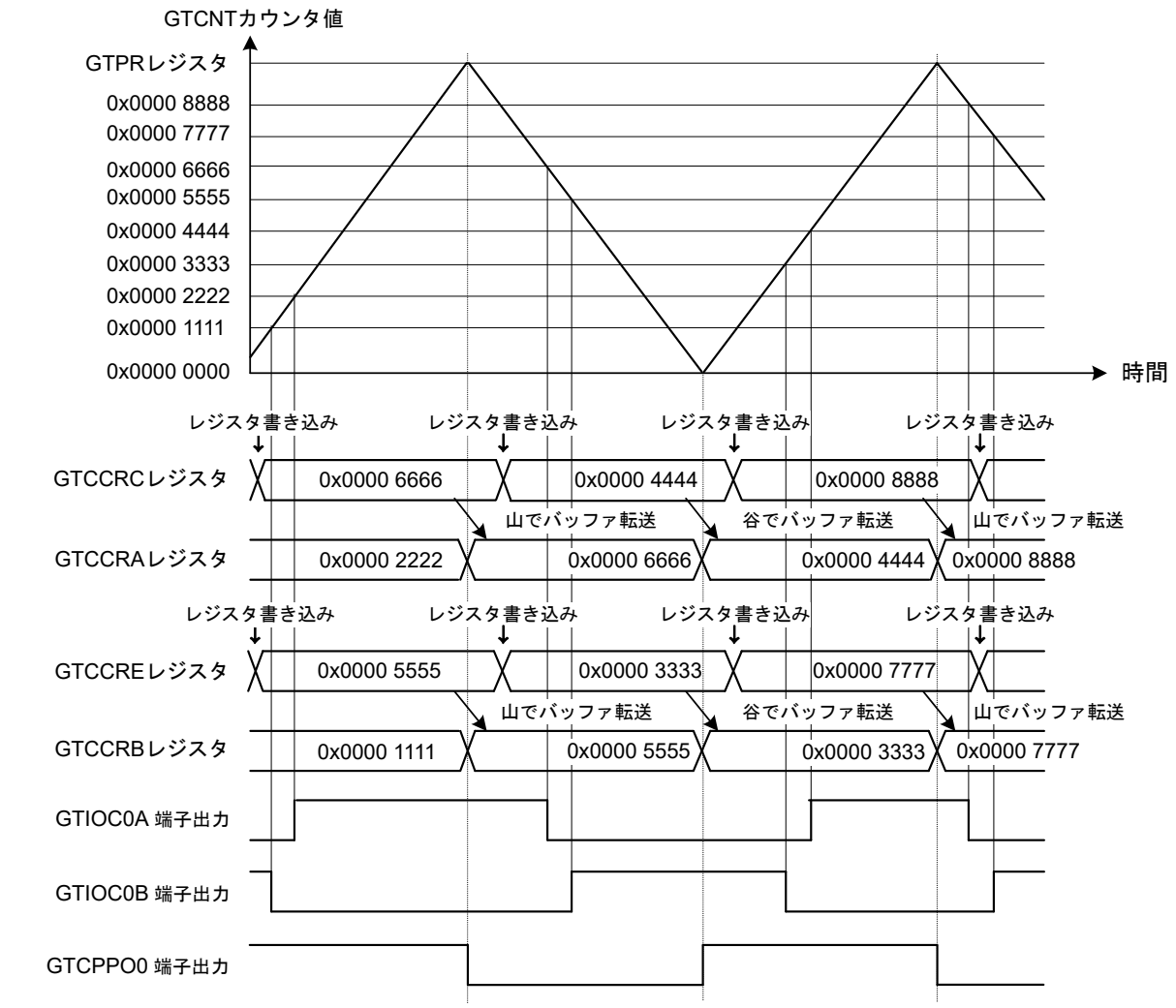
注.　n: 0～13
　　m: A, B
注 1.　PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

22.3.3.5　三角波 PWM モード 2（山／谷 32 ビット転送）

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0～13) に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 22.42 に三角波 PWM モード 2 の動作例を、表 22.28 に三角波 PWM モード 2 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 22.42 三角波 PWM モード 2 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持、GTIOR.PSYE = 1 の場合）

表 22.28 三角波 PWM モード 2 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.42 では、101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 22.42 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 22.42 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b

表 22.28 三角波 PWM モード 2 設定例 (2/2)

No.	手順名	説明
9	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	半周期ごとのバッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 0～13
m: A, B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

22.3.3.6 三角波 PWM モード 3（谷 64 ビット転送）

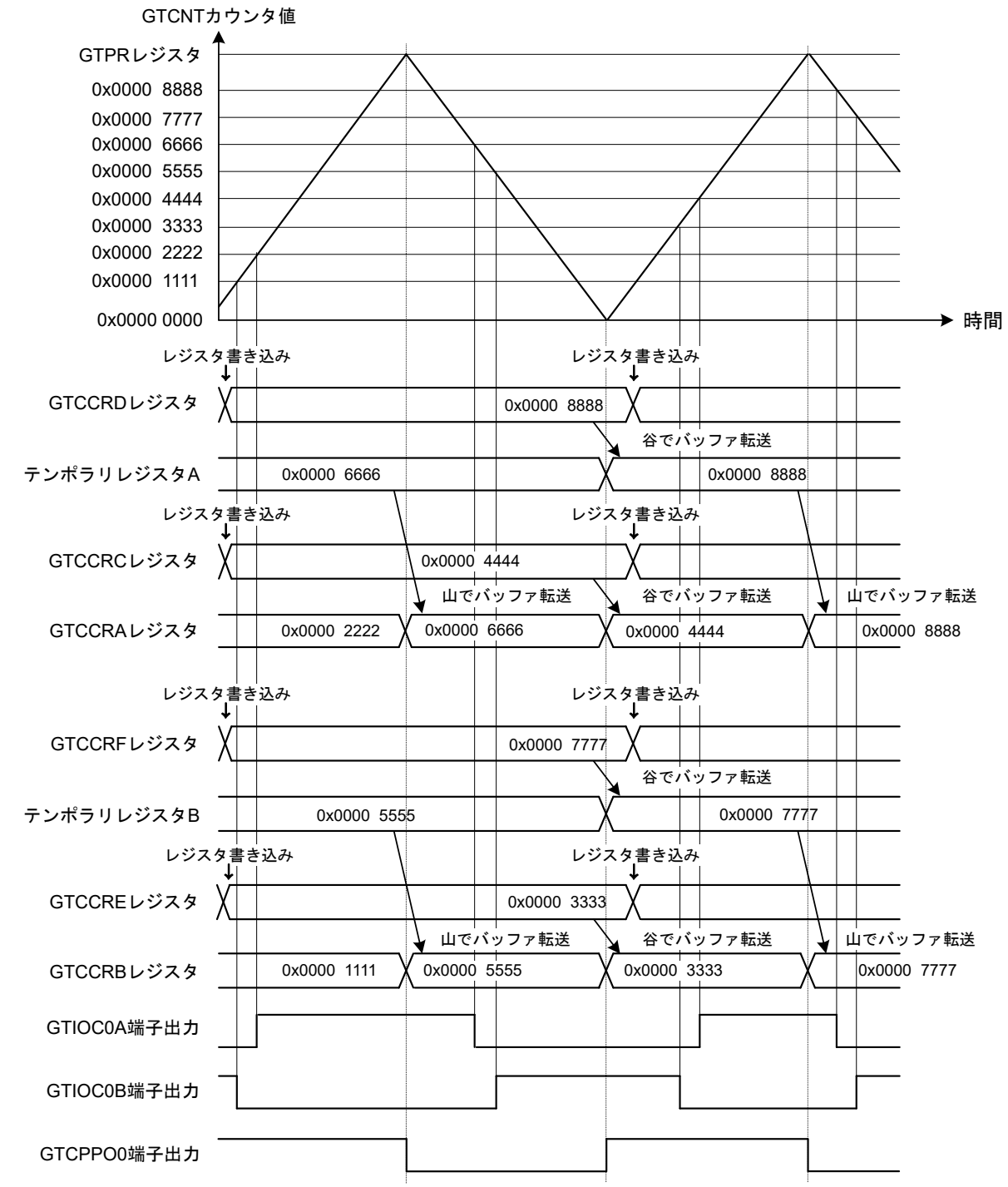
三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子または GTIOCnB 端子 (n = 0～13) に PWM 波形を出力させます。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 谷で、GTCCRC レジスタから GTCCRA レジスタ
- 谷で、GTCCRE レジスタから GTCCRB レジスタ
- 谷で、GTCCRD レジスタからテンポラリレジスタ A
- 谷で、GTCCRF レジスタからテンポラリレジスタ B
- 山で、テンポラリレジスタ A から GTCCRA レジスタ
- 山で、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力、を設定することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 22.43 に三角波 PWM モード 3 の動作例を、表 22.29 に三角波 PWM モード 3 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 22.43 三角波 PWM モード 3 の動作例（カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持、GTIOR.PSYE = 1 の場合）

表 22.29 三角波 PWM モード 3 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.43 では 110b（三角波 PWM モード 3）を設定します。

表 22.29 三角波 PWM モード 3 設定例 (2/2)

No.	手順名	説明
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。図 22.43 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTCPPOn 端子出力許可設定	GTIOR レジスタの PSYE ビットで、GTCPPOn 端子出力の許可または禁止を設定します。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定(注1)	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
9	バッファ強制転送設定(注1)	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
10	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注. n: 0～13
m: A, B

注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定+バッファ強制転送設定の順序を変更してください。

22.3.3.7 相補 PWM モード 1、2、3

相補 PWM モードでは、連続する 3 つのチャネルの GTCNT カウンタを使い、0%/100%デューティー付近の直線性を確保するデッドタイム付き三相 PWM 波形を出力できます。バッファ動作の違いにより 4 つのモードがあります。(1) 相補 PWM モード 1（山で転送）、(2) 相補 PWM モード 2（谷で転送）、(3) 相補 PWM モード 3（山と谷で転送）、(4) 相補 PWM モード 4（即時転送）

図 22.44 に、相補 PWM モード 1～3 のブロック図を示します。

連続する 3 チャネルのうち、最低位のチャネルはマスタチャネルとします。隣接する上位 2 チャネルはスレーブチャネル 1（低位側）とスレーブチャネル 2（上位側）とします。

各チャネルの GTCNT カウンタは、マスタチャネルの周期動作のもとで、独立したカウント動作を行います。各チャネルでは、各動作部分の 3 つの GTCNT カウンタの 1 つを選択して、GTCCRA レジスタとのコンペアマッチを行います。そして、マスタチャネルの GTDVU レジスタに設定したデッドタイム値のオーバーラップをしていない部分で、GTIOCn+iA 端子と GTIOCn+iB 端子（i = 0、1、2）からそれぞれ正相波形と逆相波形を出力します。

GTCCRA レジスタは、GTCCRC レジスタ、テンポラリレジスタ A、GTCCRD レジスタによるバッファ動作を行います。また、相補 PWM モード 3 では、GTBER2.CP3DB ビットを 1 に設定すると、GTCCRA レジスタ、GTCCRE レジスタ、テンポラリレジスタ B、GTCCRF レジスタによるバッファ動作を許可し、ダブルバッファ動作が可能となります。

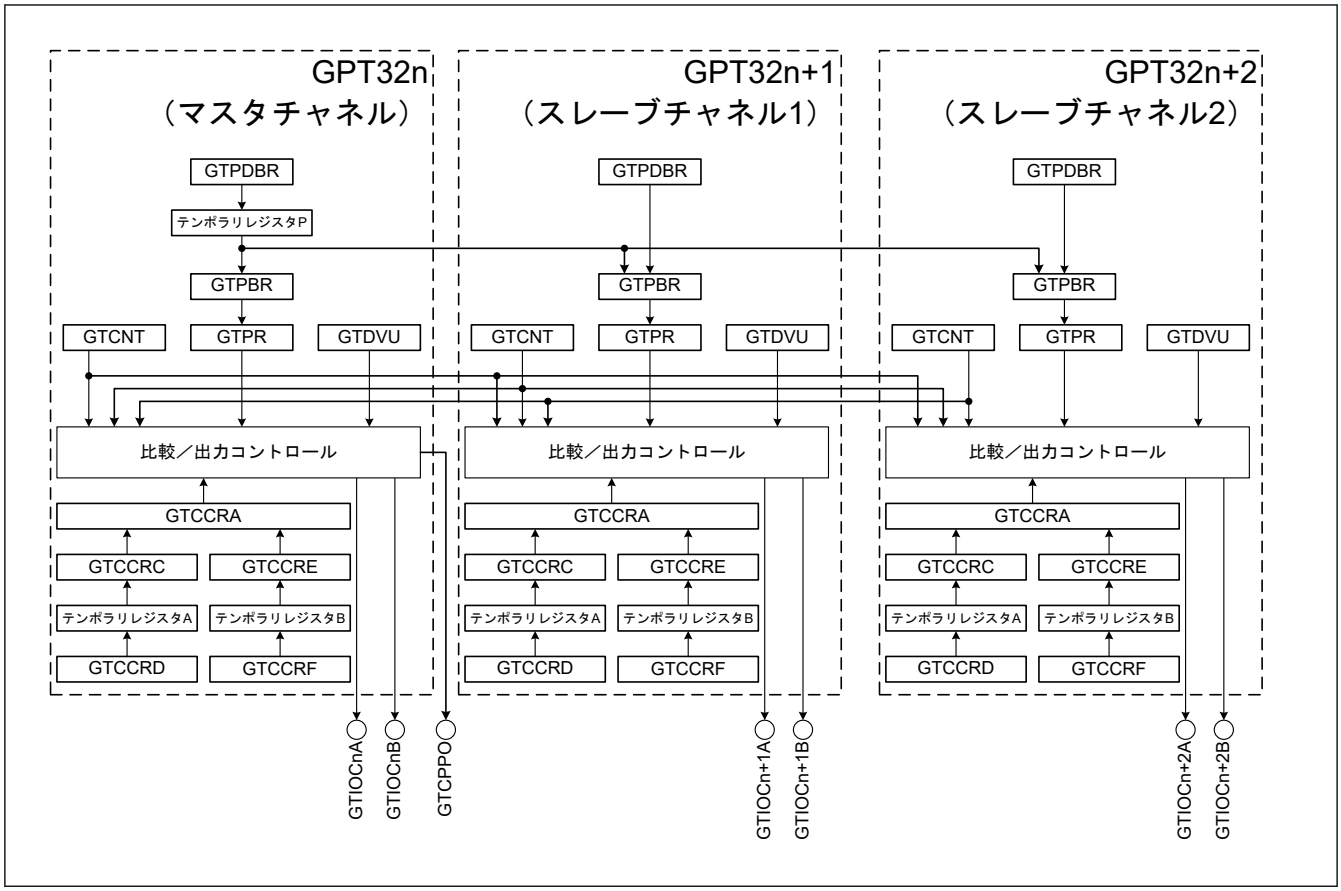


図 22.44　相補 PWM モード 1、2、3 のブロック図 (n = 4, 7)

GPT32n.GTCNT カウンタは、GPT32n.GTPR レジスタを周期レジスタとして用いた三角波のためのカウント動作を行います。GPT32n.GTCNT カウンタ値がデッドタイム値より大きくない部分は、谷部分を示します。

GPT32n+1.GTCNT カウンタは、（GPT32n.GTCNT カウンタ値 + GPT32n.GTDVU レジスタに設定されたデッドタイム値）を用いてカウント動作を行います。GPT32n+1.GTCNT カウンタ値が GPT32n.GTPR レジスタ値より大きい部分は、山部分を示します。

山部分と谷部分は、カウント方向によってアップカウント山部分、ダウンカウント山部分、アップカウント谷部分、ダウンカウント谷部分に分類できます。山と谷の間の部分は、カウント方向によってアップカウント中間部分またはダウンカウント中間部分に分類できます。カウント動作の開始後に、アップカウント谷部分と同様である部分は、初期出力部とされ、ほかのアップカウント谷部分と動作が部分的に異なります。

GPT32n+2.GTCNT カウンタは、0%/100%デューティー付近の直線性を確保するカウンタとして機能します。谷部分では、このカウンタは（GPT32n.GTPR レジスタ値 + デッドタイム値）の値を初期値として、GPT32n.GTPR レジスタ値を谷とした三角波のカウント動作（ダウンカウントの後アップカウント）を行います。このカウンタは、山部分の終わりで 0 にクリアされ、次の谷部分までカウントを停止します。谷部分でこのカウンタは、初期値が 0 で山としてのデッドタイム値である三角波のカウント動作を行います。このカウンタは、谷部分の終わりで（GPT32n.GTPR レジスタ値 + デッドタイム値）の値となり、次の山部分までカウントを停止します。初期の出力部で、このカウンタは初期値の 0 からデッドタイム値までカウントアップし、（GPT32n.GTPR レジスタ値 + デッドタイム値）の値になります。

相補 PWM モードでこのカウンタが停止して再スタートした場合、各チャネルのカウンタはカウント動作開始後に初期値に戻り、初期の出力部からカウントを開始します。

表 22.30 と表 22.31 に、各部分におけるカウント動作（カウント方向／カウント範囲）を示します。これらの表で、チャネル ID がないレジスタは、マスタチャネル、スレーブチャネル 1、スレーブチャネル 2 の各レジスタに同じ値が格納されることを示します。

表 22.30 相補 PWM モードのカウント動作

カウンタ	初期値	初期出力部（開始後）	アップカウント中間部分	アップカウント山部分	ダウンカウント山部分
GPT32n.GTCNT	0	アップカウント 0 → GTDVU	アップカウント GTDVU + 1 → GTPR - GTDVU	アップカウント GTPR - GTDVU + 1 → GTPR	ダウンカウント GTPR - 1 → GTPR - GTDVU
GPT32n+1.GTCNT	GTDVU	アップカウント GTDVU → GTDVU × 2	アップカウント GTDVU × 2 + 1 → GTPR	アップカウント GTPR + 1 → GTPR + GTDVU	ダウンカウント GTPR + GTDVU - 1 → GTPR
GPT32n+2.GTCNT	0	アップカウント 0 → GTDVU	停止 GTPR + GTDVU	ダウンカウント GTPR + GTDVU - 1 → GTPR	アップカウント GTPR + 1 → GTPR + GTDVU

表 22.31 相補 PWM モードのカウント動作

カウンタ	ダウンカウント中間部分	ダウンカウント谷部分	アップカウント谷部分
GPT32n.GTCNT	ダウンカウント GTPR - GTDVU-1 → GTDVU	ダウンカウント GTDVU - 1 → 0	アップカウント 1 → GTDVU
GPT32n+1.GTCNT	ダウンカウント GTPR - 1 → GTDVU × 2	ダウンカウント GTDVU × 2 + 1 → GTDVU	アップカウント GTDVU + 1 → GTDVU × 2
GPT32n+2.GTCNT	停止 0	アップカウント 1 → GTDVU	ダウンカウント GTDVU - 1 → 0

相補 PWM モードでは、GTCCRA レジスタが独特のバッファ動作を行います。

GPT32n+2 チャネルの GTCCRD レジスタに値を書き込むことで、GTCCRD レジスタからテンポラリレジスタ A へのデータ転送、および GTCCRF レジスタからテンポラリレジスタ B へのデータ転送が 3 チャネル同時に実行されます。

テンポラリレジスタ A とテンポラリレジスタ B から GTCCRC レジスタと GTCCRE レジスタへのデータ転送は、テンポラリレジスタ A とテンポラリレジスタ B への伝送タイミングによります。GTCCRC レジスタと GTCCRE レジスタから GTCCRA レジスタへのデータ転送は、各相補 PWM モード名（山転送、谷転送、山／谷転送）に従って行われます。

相補 PWM モードでの GTPR レジスタのバッファ動作を「22.3.2.1. GTPR レジスタのバッファ動作」に説明します。相補 PWM モードでは、GTDVU レジスタでバッファ動作を行わないでください。

表 22.32 に、相補 PWM モード 1～3 のシングルバッファ動作中のバッファ転送タイミングを示します。表 22.33 に、相補 PWM モード 3 のダブルバッファ動作中のバッファ転送タイミングを示します。

表 22.32 相補 PWM モード 1、2、3 におけるシングルバッファ転送タイミング

バッファ転送	相補 PWM モード 1	相補 PWM モード 2	相補 PWM モード 3（シングルバッファ）
GTCCRD ↓ テンポラリレジスタ A	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後
テンポラリレジスタ A ↓ GTCCRC	(1) アップカウント中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) アップカウント中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 谷部分の最後	(1) ダウンカウント中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) ダウンカウント中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 山部分の最後	(1) 中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 山部分の最後および谷部分の最後
GTCCRC ↓ GTCCRA	山部分の最後 アップカウント中間部分とアップカウント山部分でカウンタクリア	谷部分の最後（初期出力部分を除く） ダウンカウント中間部分とダウンカウント谷部分でカウンタクリア	山部分の最後 谷部分の最後 （初期出力部分を除く）カウンタクリア

表 22.33 相補 PWM モード 3 におけるダブルバッファ転送タイミング

GTCCRD から GTCCRA への転送		GTCCRF から GTCCRA への転送	
バッファ転送	**転送タイミング**	**バッファ転送**	**転送タイミング**
GTCCRD ↓ テンポラリレジスタ A	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後	GTCCRF ↓ テンポラリレジスタ B	スレーブチャネル 2 (GPT32n+2) の GTCCRD レジスタ書き込みから GTCLK の 1 サイクル後
テンポラリレジスタ A ↓ GTCCRC	(1) 中間部分でテンポラリレジスタ A にデータ転送されたとき テンポラリレジスタ A へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ A にデータ転送されたとき 山部分の最後および谷部分の最後	テンポラリレジスタ B ↓ GTCCRE	(1) 中間部分でテンポラリレジスタ B にデータ転送されたとき テンポラリレジスタ B へのデータ転送から GTCLK の 1 サイクル後 (2) 中間部分以外の部分でテンポラリレジスタ B にデータ転送されたとき 山部分の最後および谷部分の最後
GTCCRC ↓ GTCCRA	山部分の最後 カウンタクリア	GTCCRE ↓ GTCCRA	谷部分の最後（初期出力部分を除く）

各動作部分で決まるカウンタとレジスタの組み合わせによるコンペアマッチによって、GTIOCn+iA 端子 (i = 0, 1, 2) からの正相波形と GTIOCn+iB 端子からの逆相波形の出力レベルの変化が発生します。中間部分では、GPT32n.GTCNT カウンタと GTCCRA レジスタのコンペアマッチで正相波形出力レベルが変わり、GPT32n+1.GTCNT カウンタと GTCCRA レジスタのコンペアマッチで逆相波形出力レベルが変わります。山部分と谷部分では 0%/100%デューティー付近の直線性を確保するために、GPT32n+2.GTCNT カウンタ、GTCCRC レジスタ、GTCCRE レジスタを使ったコンペアマッチ動作が行われます。

コンペアマッチ値が GPT32n.GTPR レジスタ値以上の場合、デューティーが 0%（正相波形 OFF、逆相波形 ON）になります。コンペアマッチ値が 0 の場合、デューティーが 100%（正相波形 ON、逆相波形 OFF）になります。

表 22.34 に各動作部分で正相波形と逆相波形を生成するためのコンペアマッチ動作に使用するカウンタとレジスタの組み合わせを示します。

表 22.34 相補 PWM モードにおけるコンペアマッチ動作のカウンタとレジスタの組み合わせ

	アップカウント中間部分	**アップカウント山部分**	**ダウンカウント山部分**	**ダウンカウント中間部分**	**ダウンカウント谷部分**	**アップカウント谷部分**
逆相 OFF	GPT32n+1.GTCNT	GPT32n+1.GTCNT	—	GPT32n+2.GTCNT(注1)	GPT32n+2.GTCNT	GPT32n+1.GTCNT
	GTCCRA	GTCCRA	—	GTCCRC（GTCCRE、ダブルバッファ動作時）	GTCCRC（GTCCRE、ダブルバッファ動作時）	GTCCRC（GTCCRE、ダブルバッファ動作時）
正相 ON	GPT32n.GTCNT	GPT32n.GTCNT	GPT32n+2.GTCNT	—	GPT32n.GTCNT(注1)	GPT32n.GTCNT
	GTCCRA	GTCCRA	GTCCRA	—	GTCCRC（GTCCRE、ダブルバッファ動作時）	GTCCRC（GTCCRE、ダブルバッファ動作時）
正相 OFF	GPT32n+2.GTCNT(注1)	GPT32n+2.GTCNT	GPT32n.GTCNT	GPT32n.GTCNT	GPT32n.GTCNT	—
	GTCCRC	GTCCRC	GTCCRC	GTCCRA	GTCCRA	—
逆相 ON	—	GPT32n+1.GTCNT(注1)	GPT32n+1.GTCNT	GPT32n+1.GTCNT	GPT32n+1.GTCNT	GPT32n+2.GTCNT
	—	GTCCRC	GTCCRC	GTCCRA	GTCCRA	GTCCRA

注 1. 対象部分の最終カウント時にのみコンペアマッチが行われ、最終カウント以外のカウント値では行われません。

通常の相補 PWM モード波形の場合、逆相 OFF → 正相 ON → 正相 OFF → 逆相 ON の順序で PWM 波形の変化が起こります。ただし、動作部分とレジスタ値によってはこの順序が変わります。この場合、逆相波形では、谷部分で OFF が優先となり、山部分で ON が優先となります。正相波形では、谷部分で ON が優先となり、山部分で

OFF が優先となります。より高い優先度のコンペアマッチと同時に発生するか後に発生する低優先度のコンペアマッチは、無視されます。

初期出力部分で、GTIOR レジスタに設定される初期出力は維持されます。初期出力部分の最後で GTCCRA レジスタ値が GTDVU レジスタ値より大きい場合、逆相が有効になります。GTCCRA レジスタ値が GTDVU レジスタ値以下の場合、正相が有効になります。

以下に、中間部分でコンペアマッチ動作が発生した場合の通常の相補 PWM モード波形の動作例を示します。 相補 PWM モード 1 の例：図 22.45、図 22.46 相補 PWM モード 2 の例：図 22.47、図 22.48 シングルバッファ相補 PWM モード 3 の例：図 22.49、図 22.50 ダブルバッファ相補 PWM モード 3 の例：図 22.51、図 22.52

図 22.53～図 22.64 に、山部分と谷部分でコンペアマッチ動作が発生した場合の相補 PWM モード波形と、コンペアマッチ発生順序による差異を示します。

図 22.65、図 22.66 に GTCCRA レジスタ値による初期出力動作を示します。

表 22.35 に、相補 PWM モード 1～3 の設定例を示します。

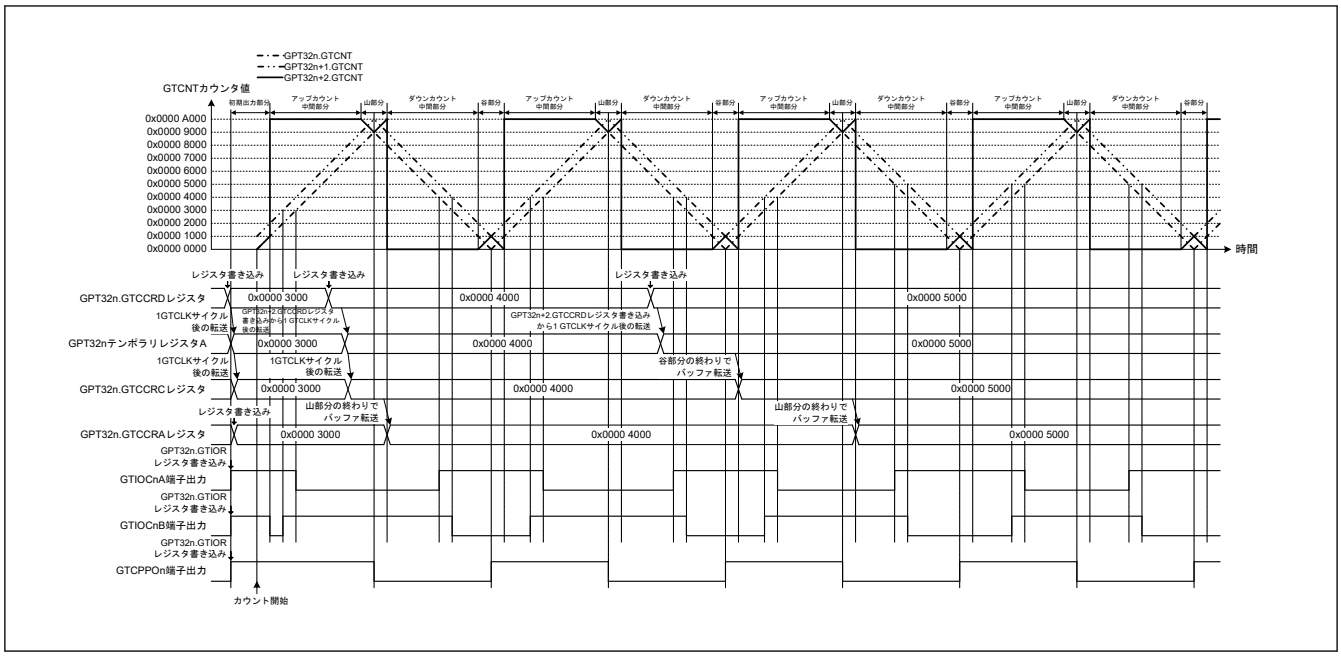


図 22.45　相補 PWM モード 1 動作例（初期出力時：GTIOCnA 端子 = High/GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを中間部分で更新）(n = 4, 7)

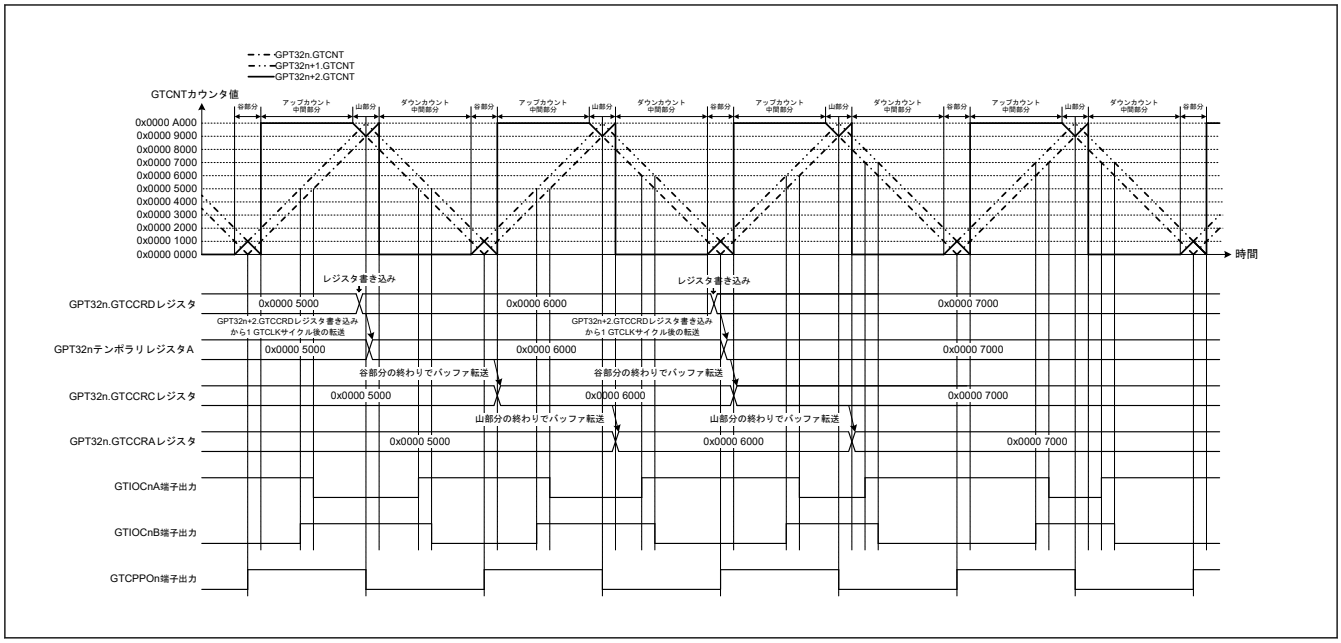


図 22.46　相補 PWM モード 1 動作例（アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）(n = 4, 7)

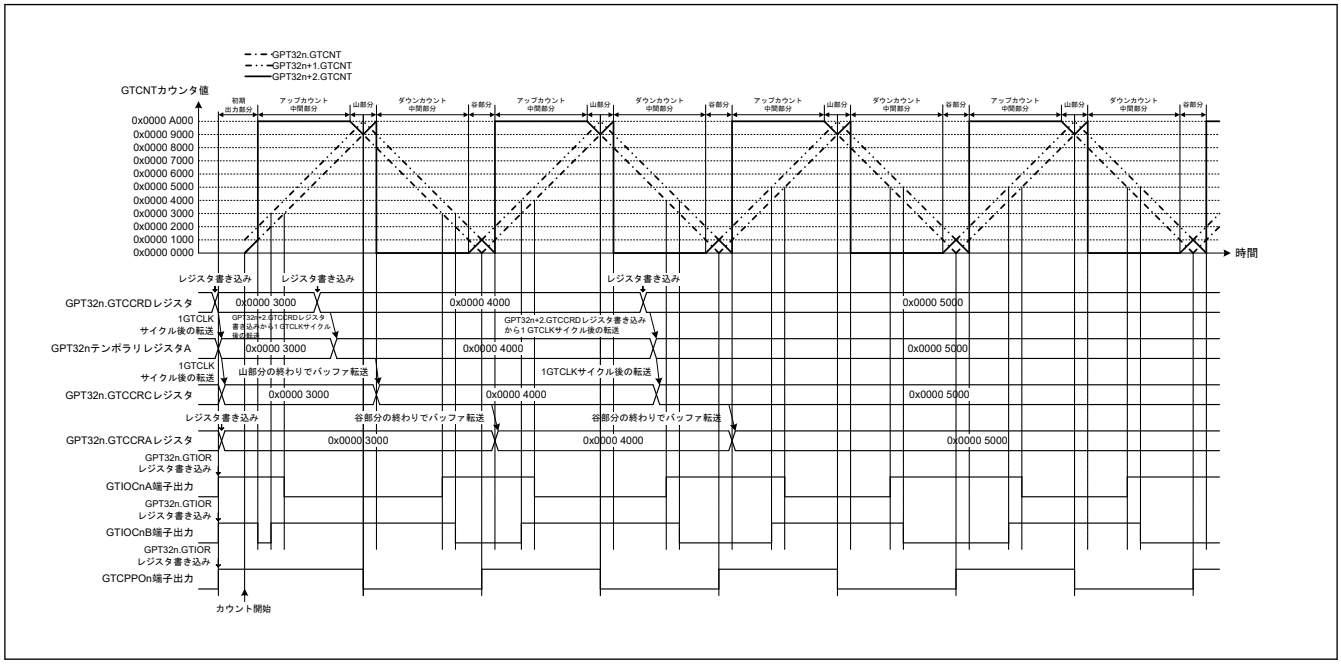


図 22.47　相補 PWM モード 2 動作例（初期出力時：GTIOCnA 端子 = High/GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを中間部分で更新）(n = 4, 7)

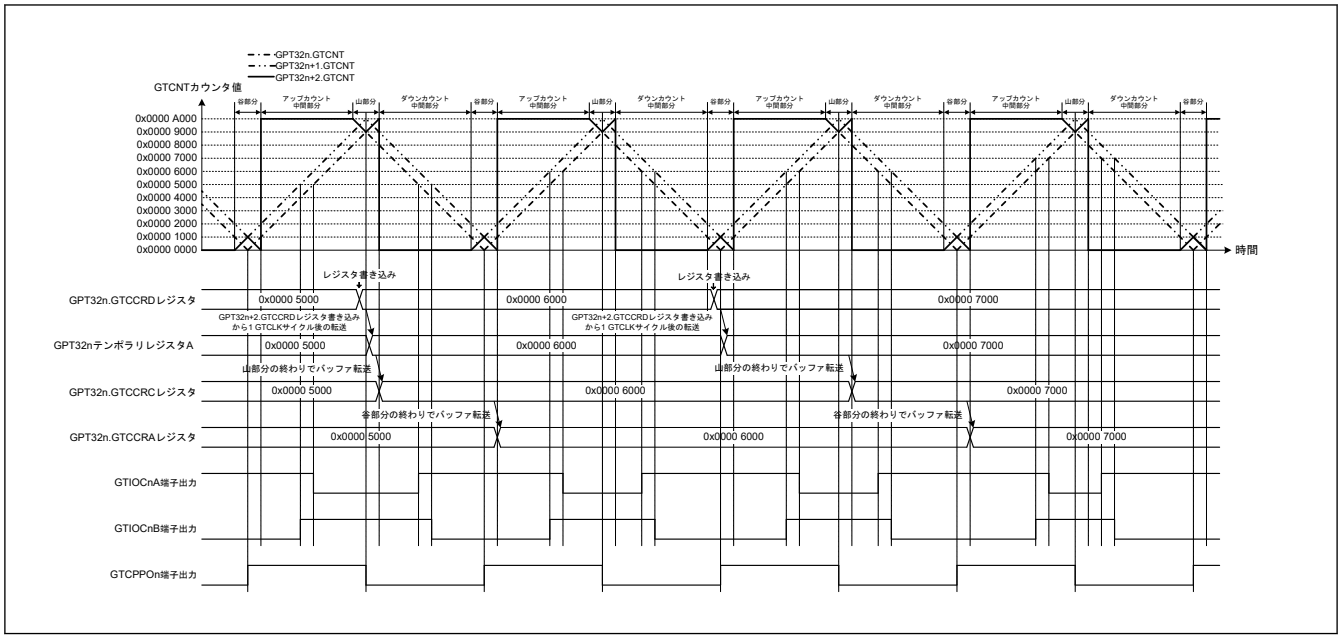


図 22.48　相補 PWM モード 2 動作例（アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値 : 0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）(n = 4, 7)

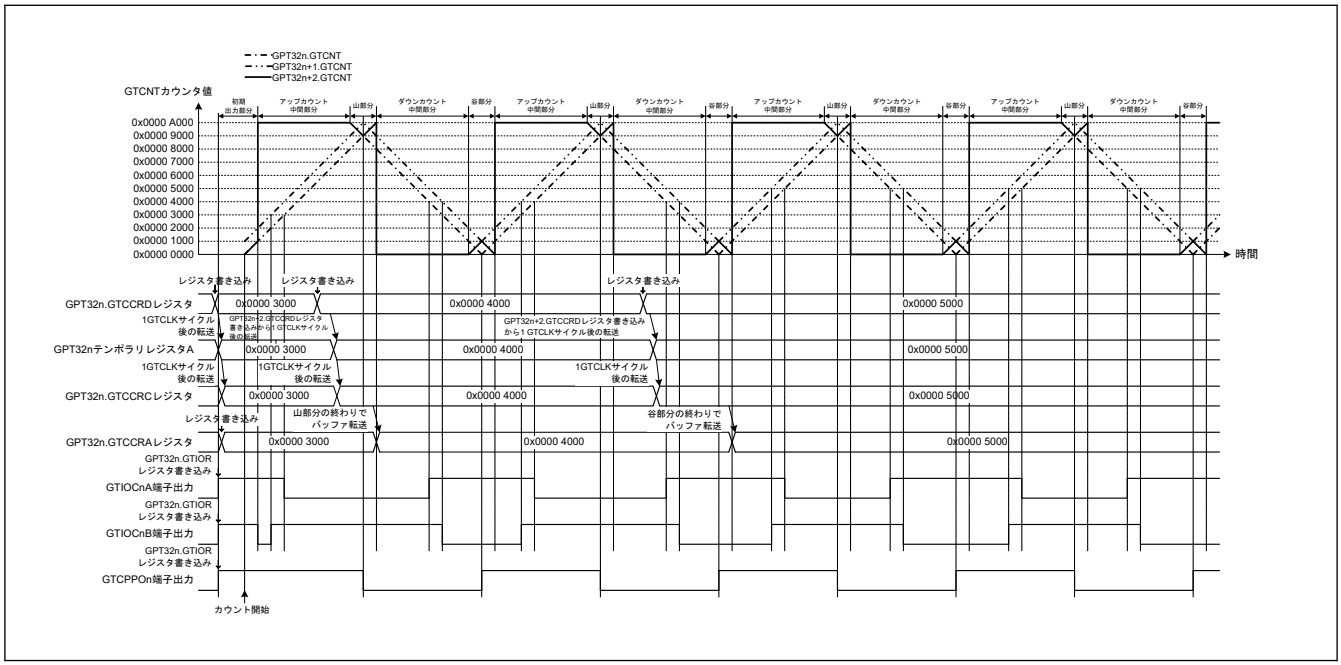


図 22.49　相補 PWM モード 3 動作例（シングルバッファ動作、初期出力時：GTIOCnA 端子 = High/GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを中間部分で更新）(n = 4, 7)

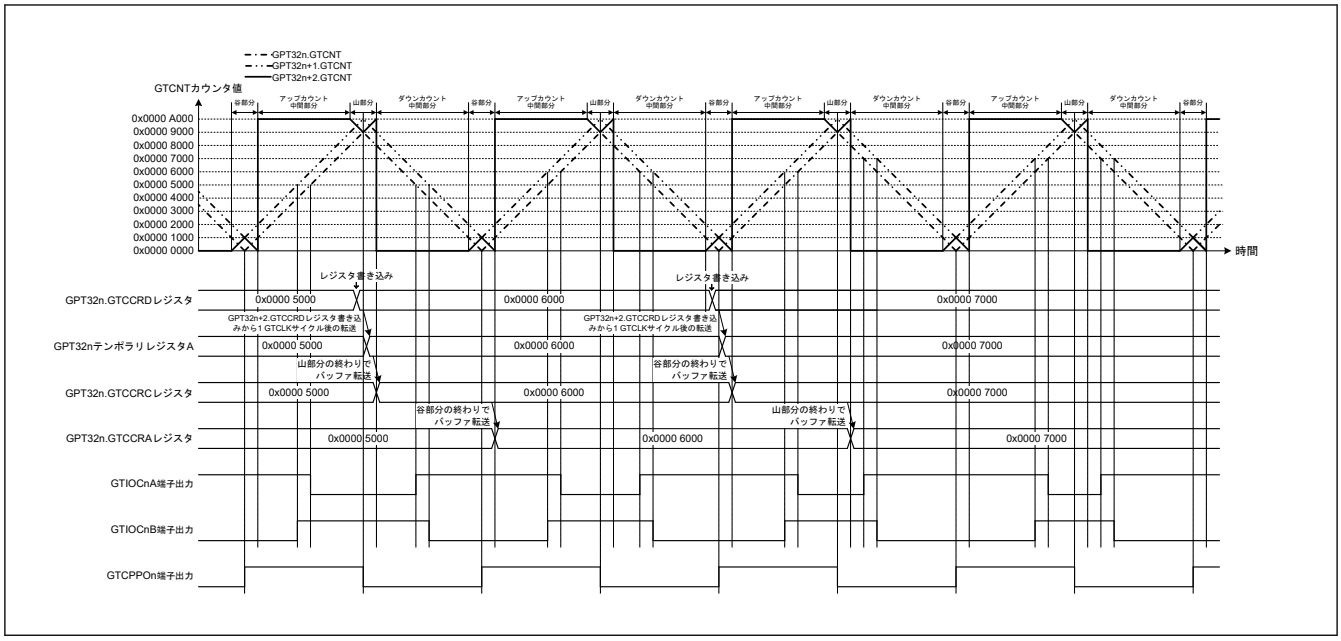


図 22.50　相補 PWM モード 3 動作例（シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）(n = 4, 7)

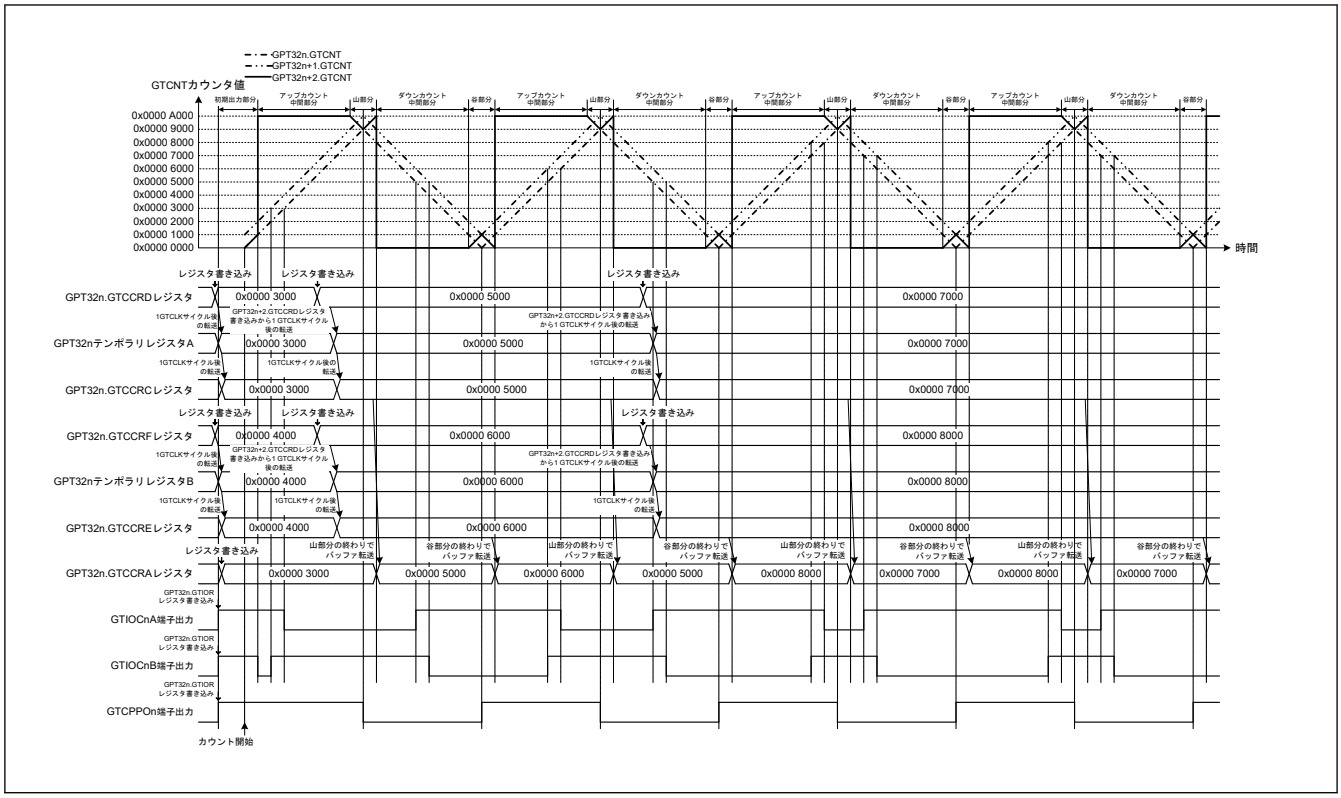


図 22.51　相補 PWM モード 3 動作例（ダブルバッファ動作、初期出力時：GTIOCnA 端子 = High/GTIOCnB 端子 = High、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを中間部分で更新）(n = 4, 7)

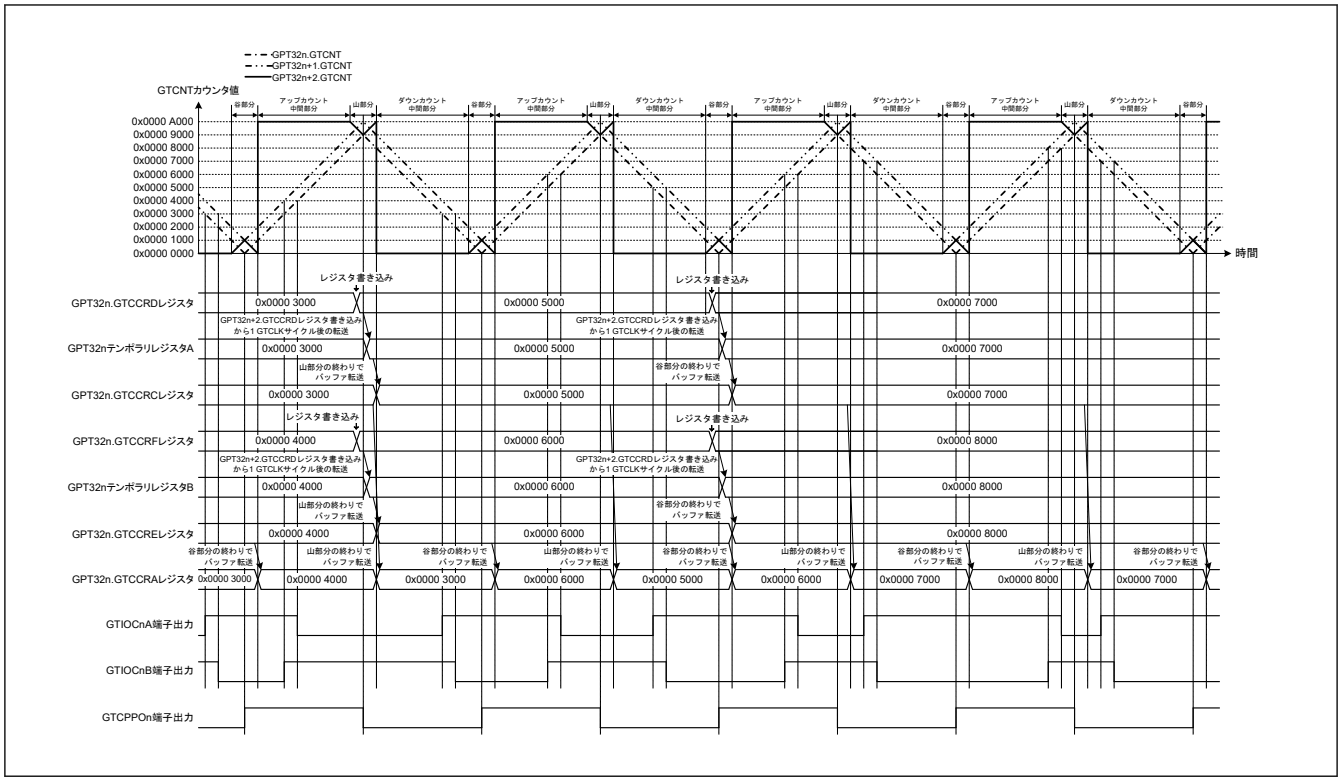


図 22.52　相補 PWM モード 3 動作例（ダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、GTCCRD レジスタを山部分と谷部分で更新）(n = 4, 7)

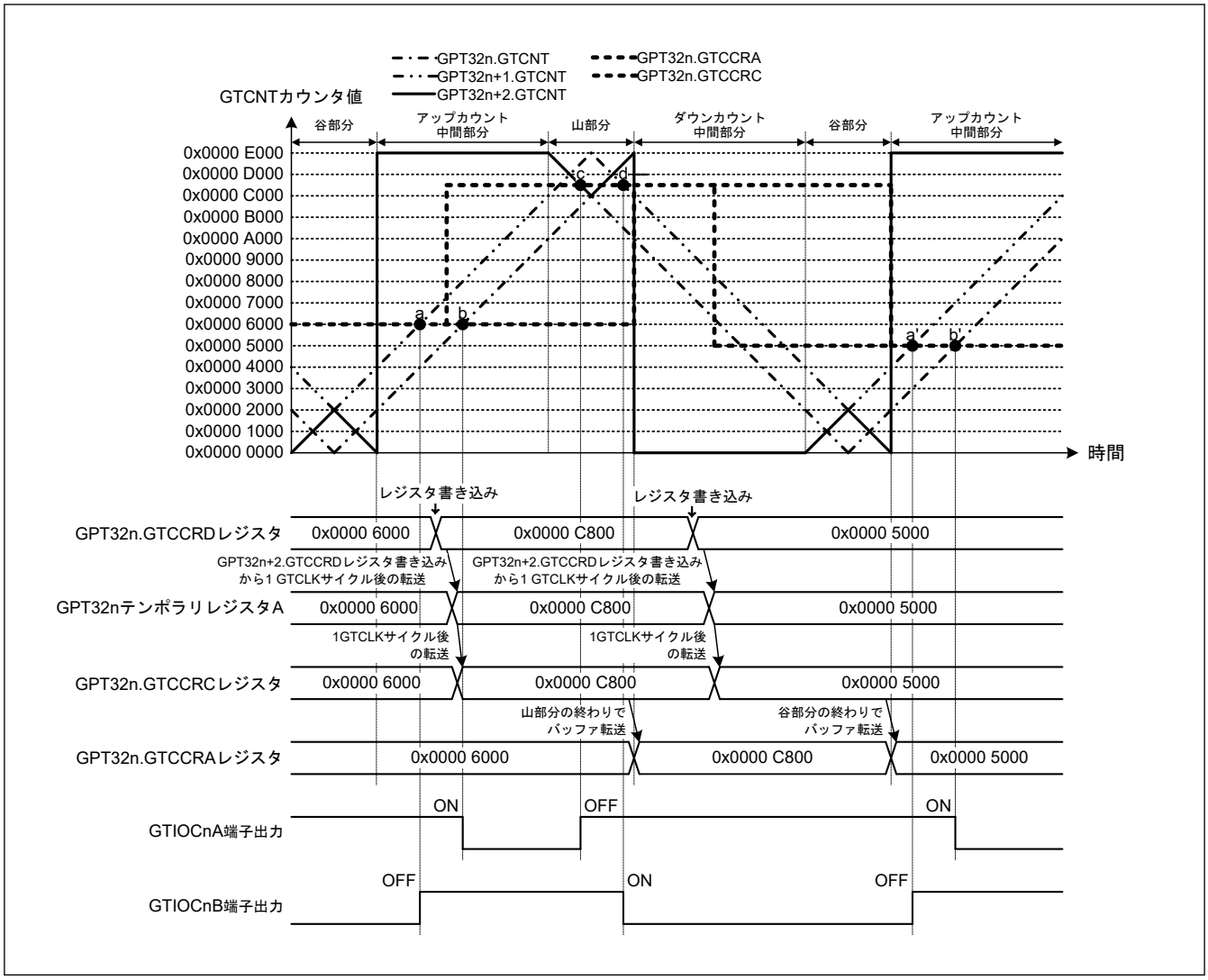


図 22.53　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a → b → c → d）(n = 4, 7)

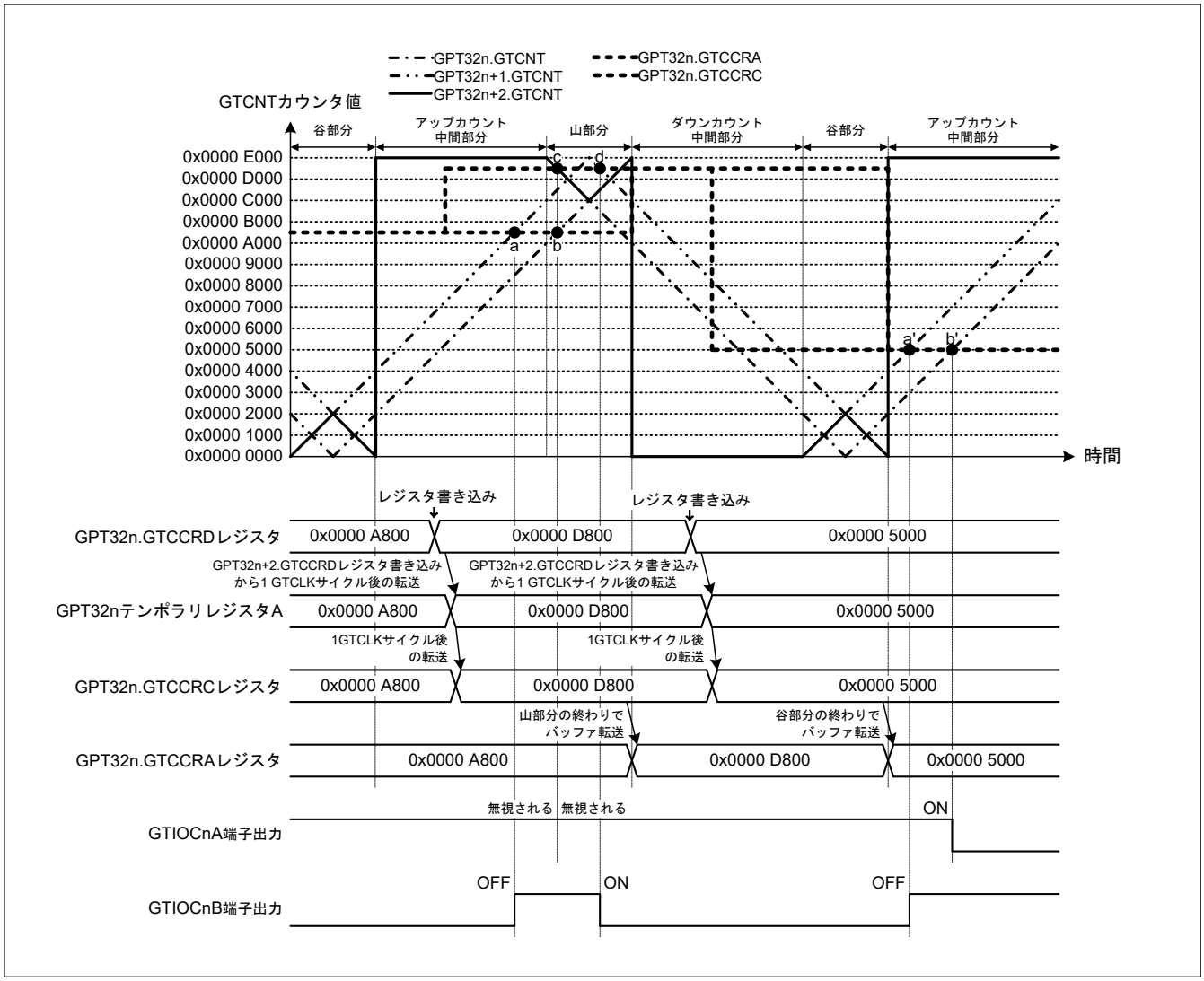


図 22.54 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a → (b, c) → d）(n = 4, 7)

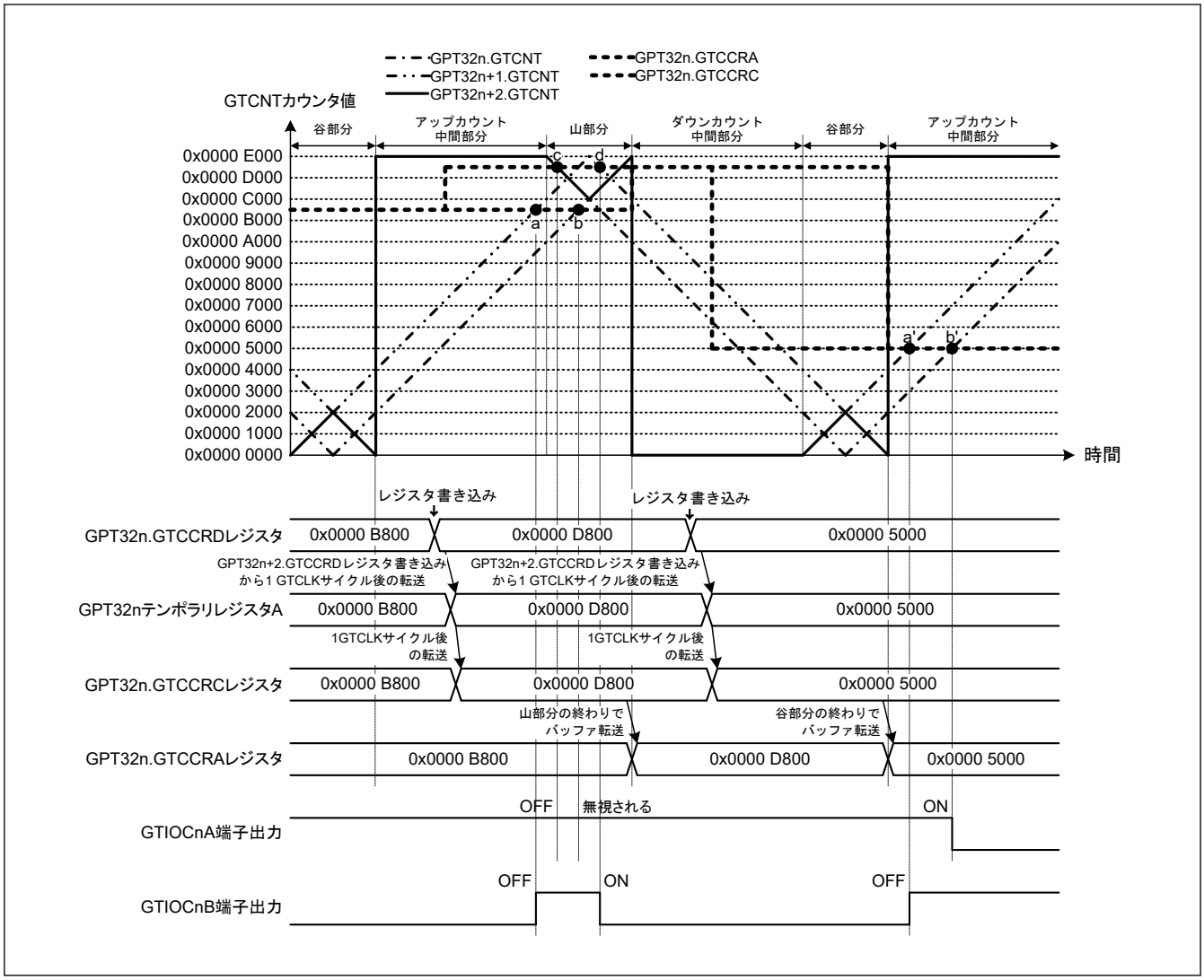


図 22.55 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a → c → b → d）(n = 4, 7)

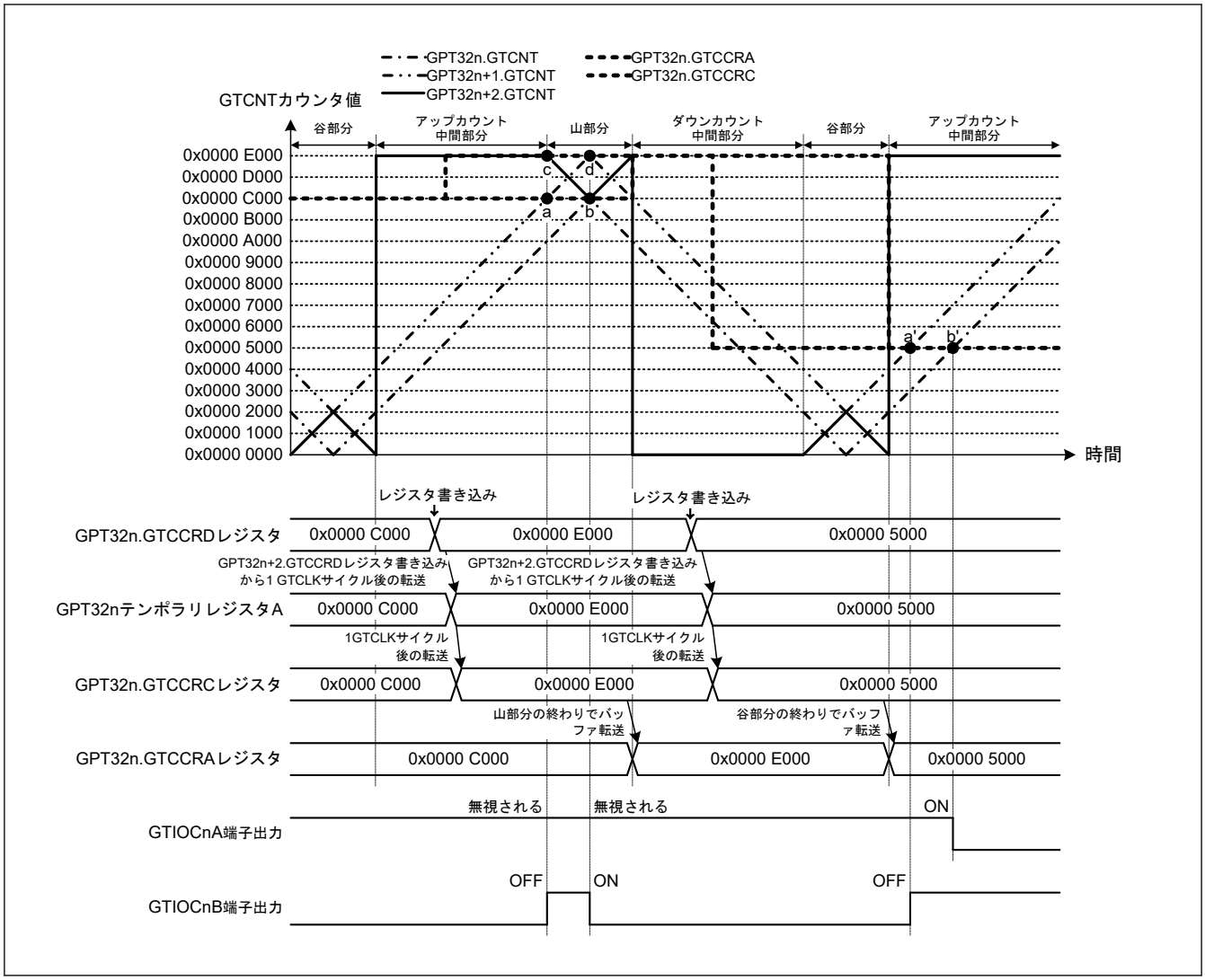


図 22.56 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序： (a, c) → (b, d)) (n = 4, 7)

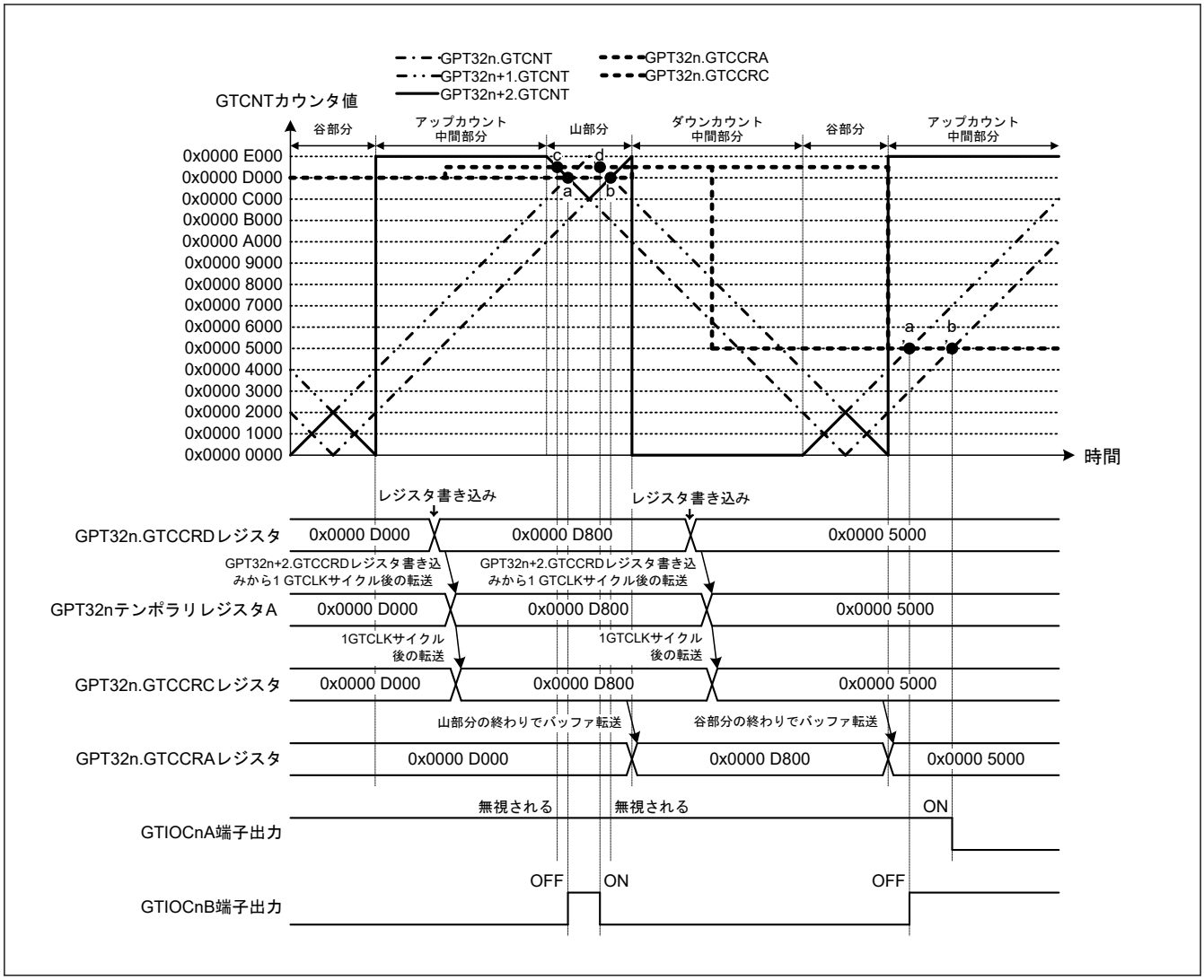


図 22.57 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → a → d → b) (n = 4, 7)

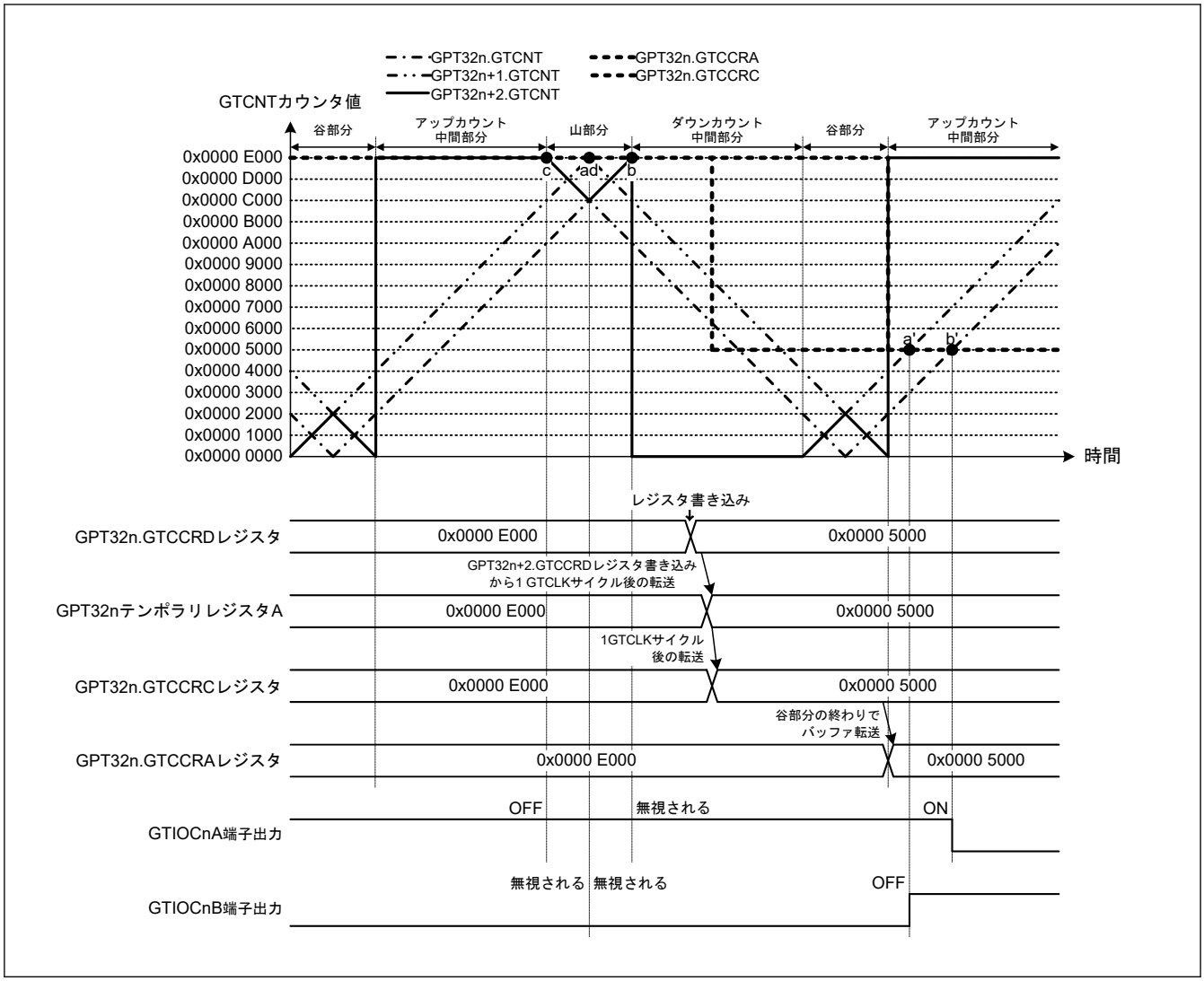


図 22.58　相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → (a, d) → b）(n = 4, 7)

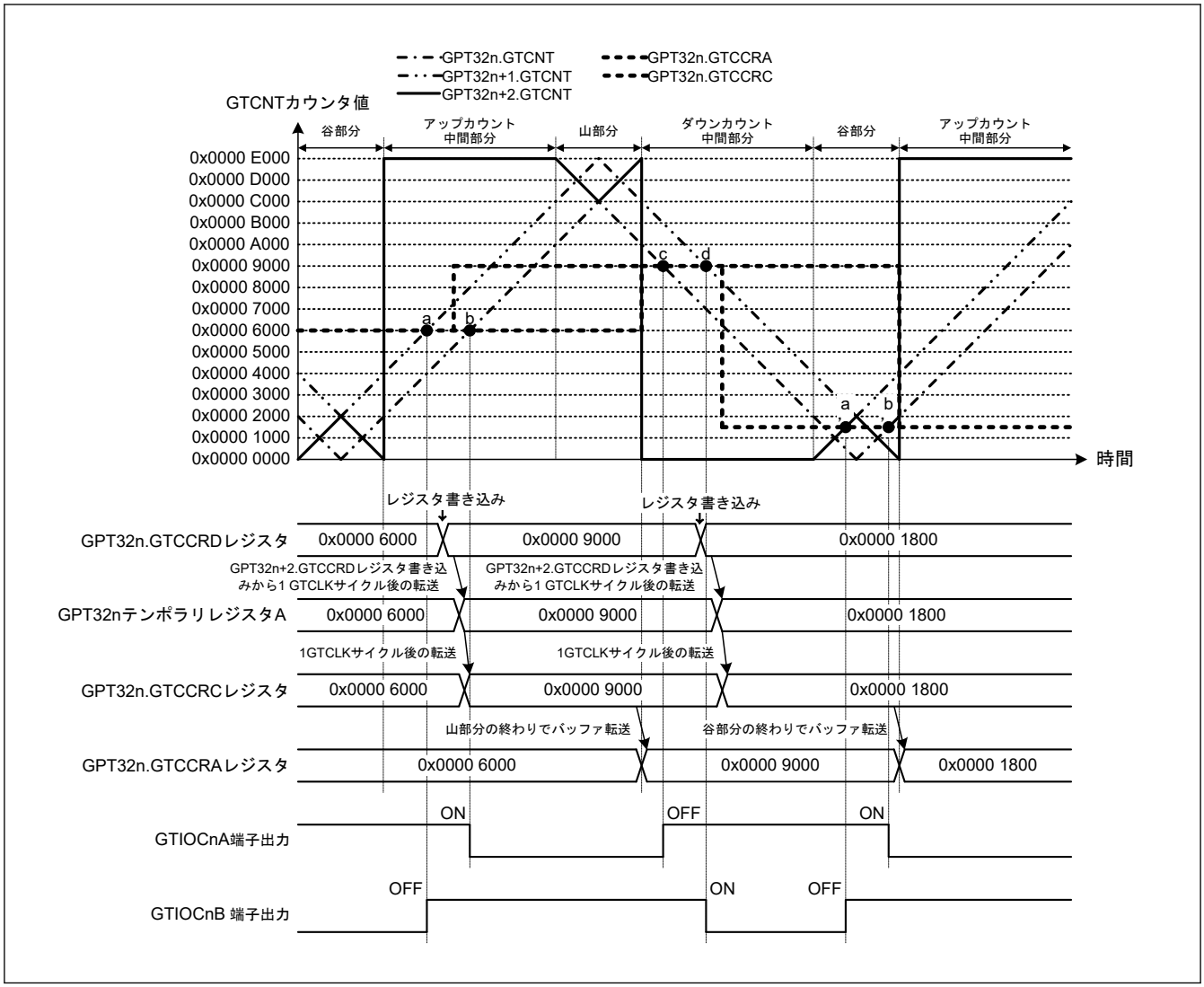


図 22.59 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → d → a’ → b’）(n = 4, 7)

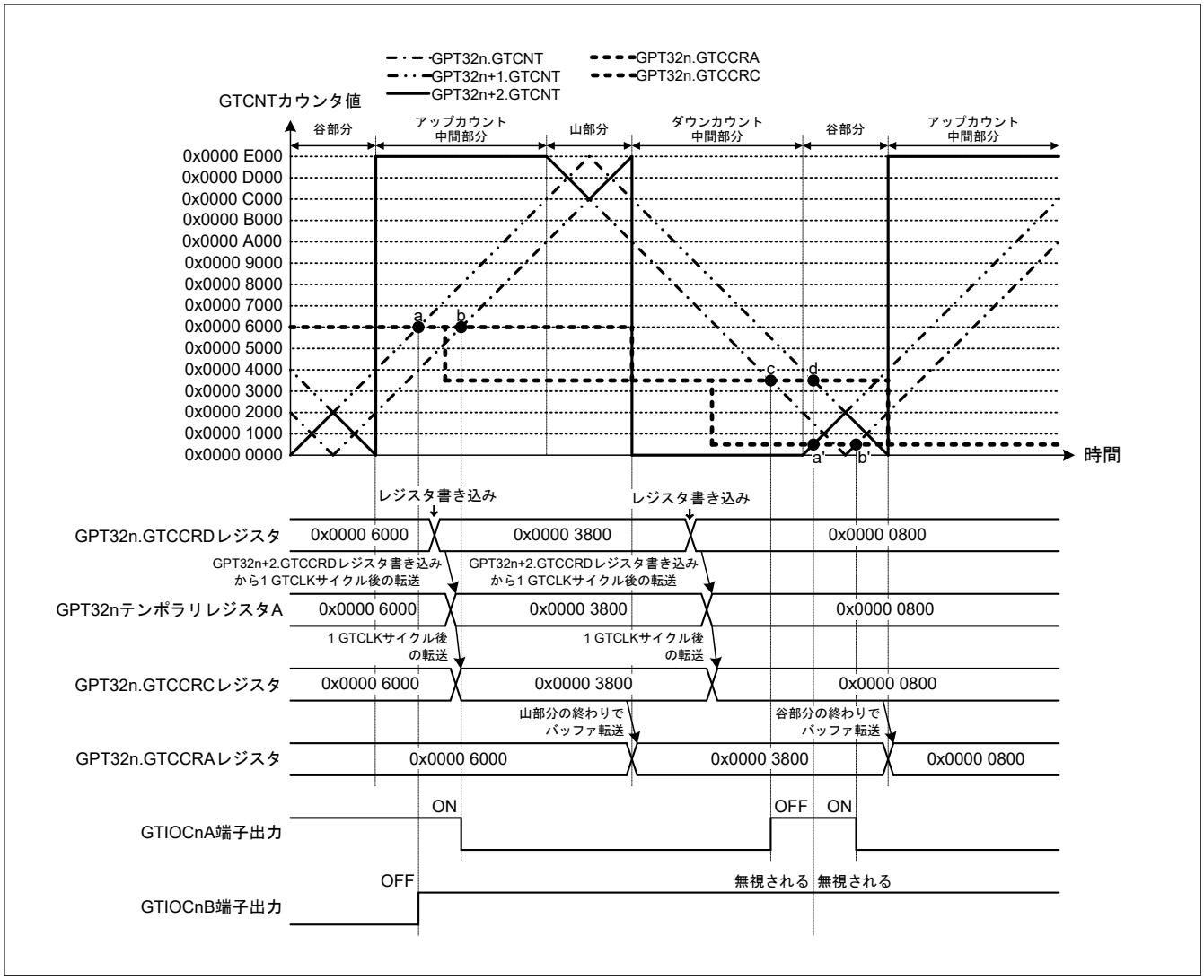


図 22.60 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → (d, a') → b'）(n = 4, 7)

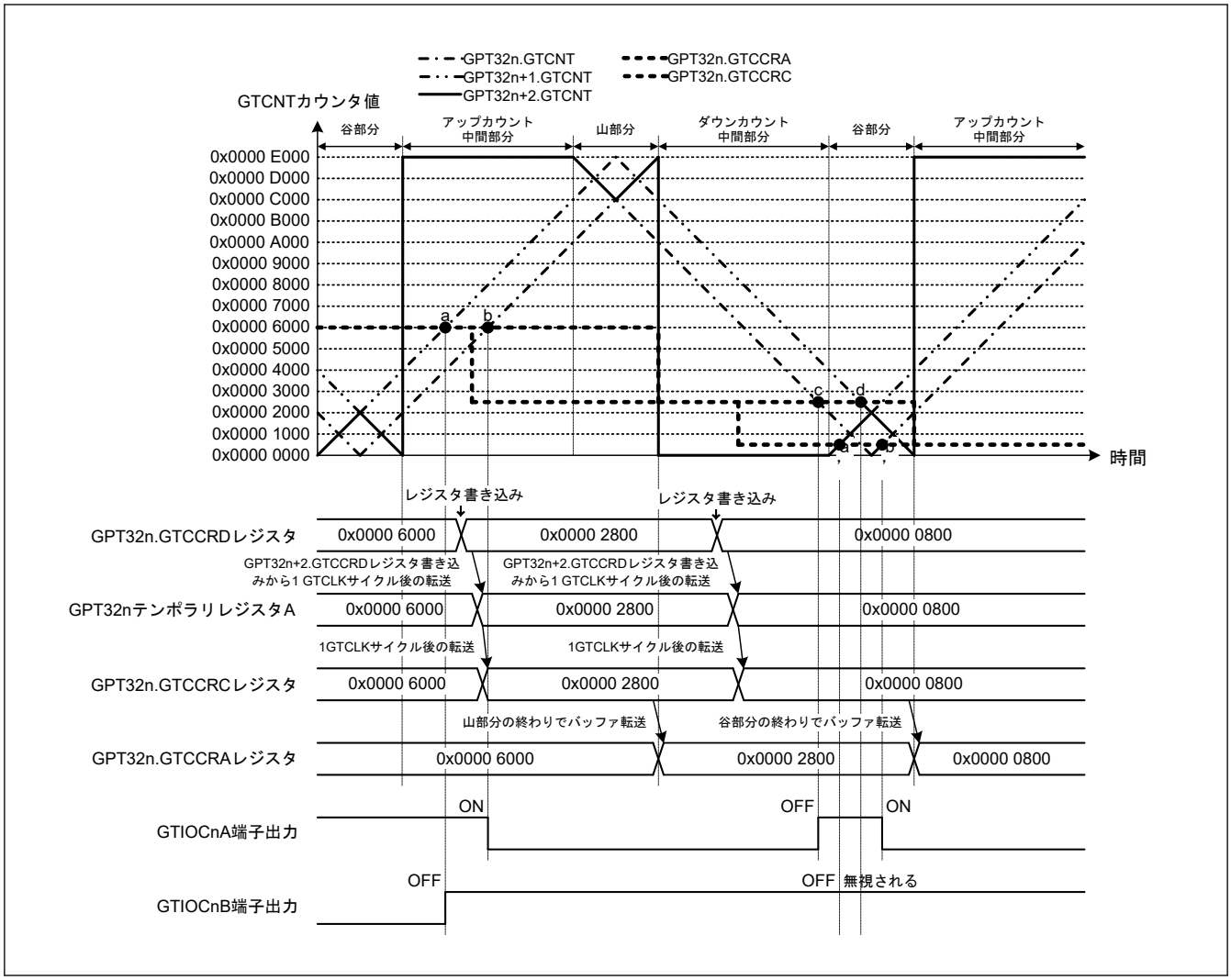


図 22.61 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：c → a’ → d → b’）(n = 4, 7)

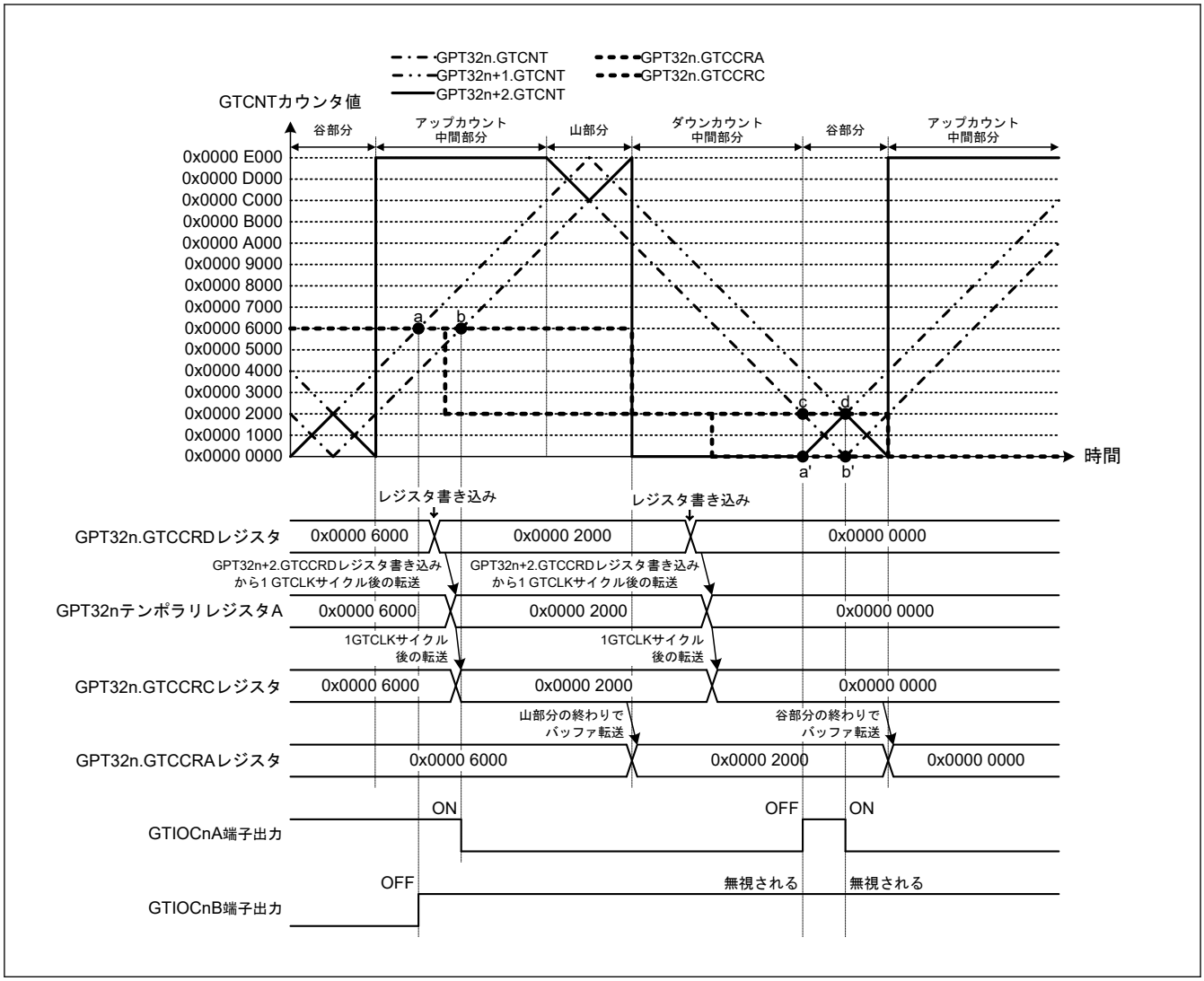


図 22.62 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序： (c, a') → (d, b')) (n = 4, 7)

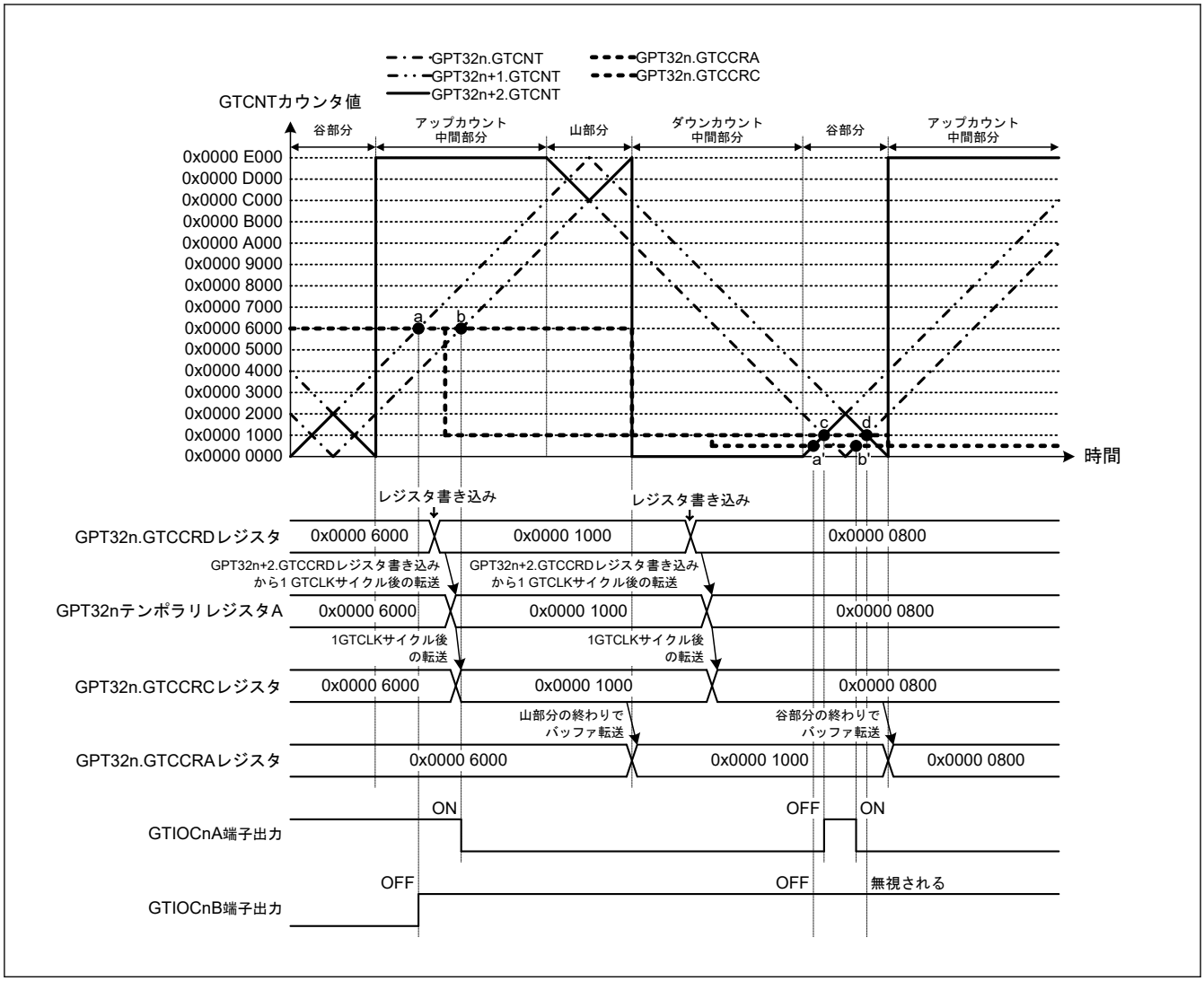


図 22.63 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a' → c → b' → d) (n = 4, 7)

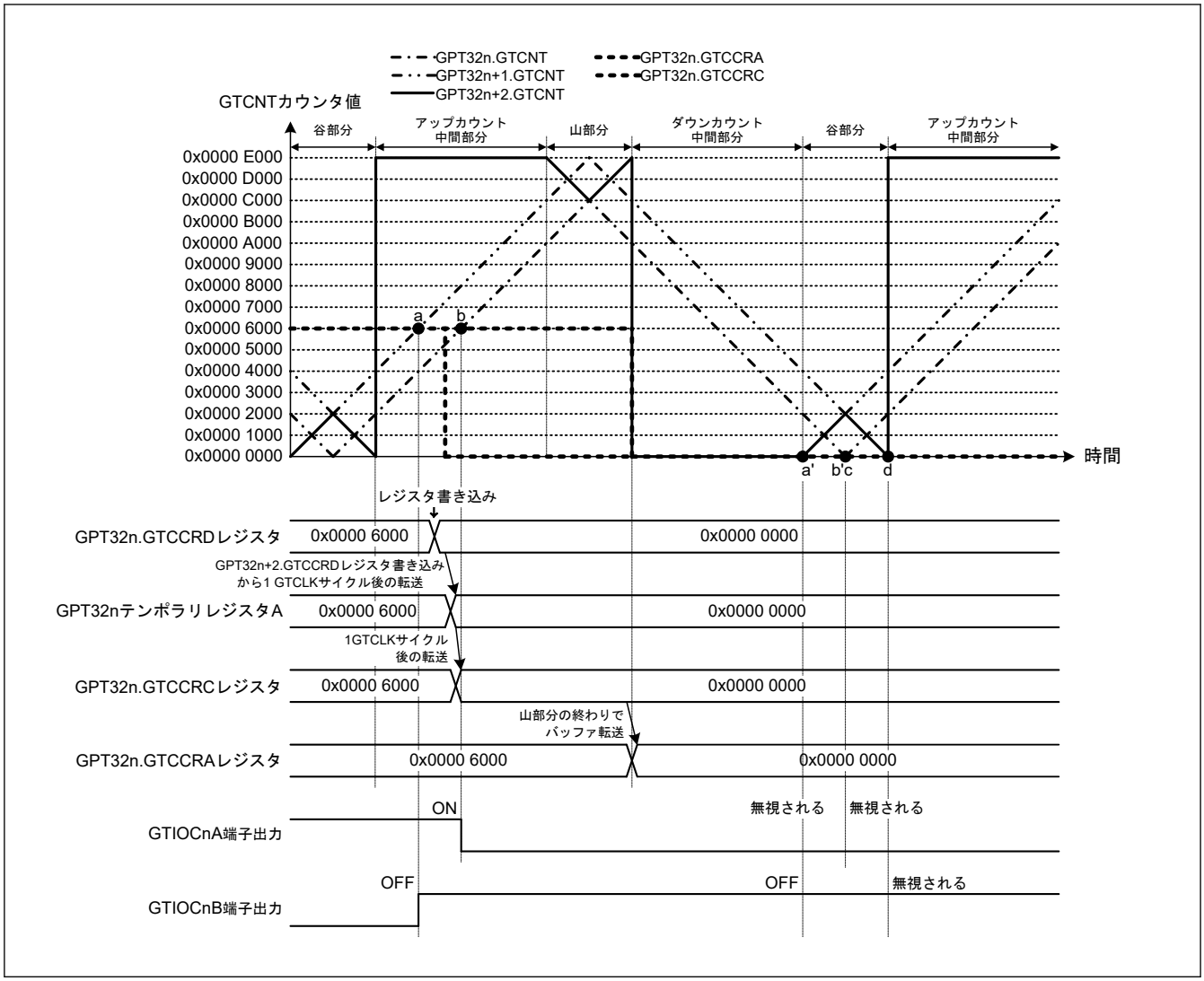


図 22.64 相補 PWM モードでのコンペアマッチ発生シーケンス動作例（相補 PWM モード 3 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 2000、コンペアマッチ発生順序：a’ → (b’, c) → d）(n = 4, 7)

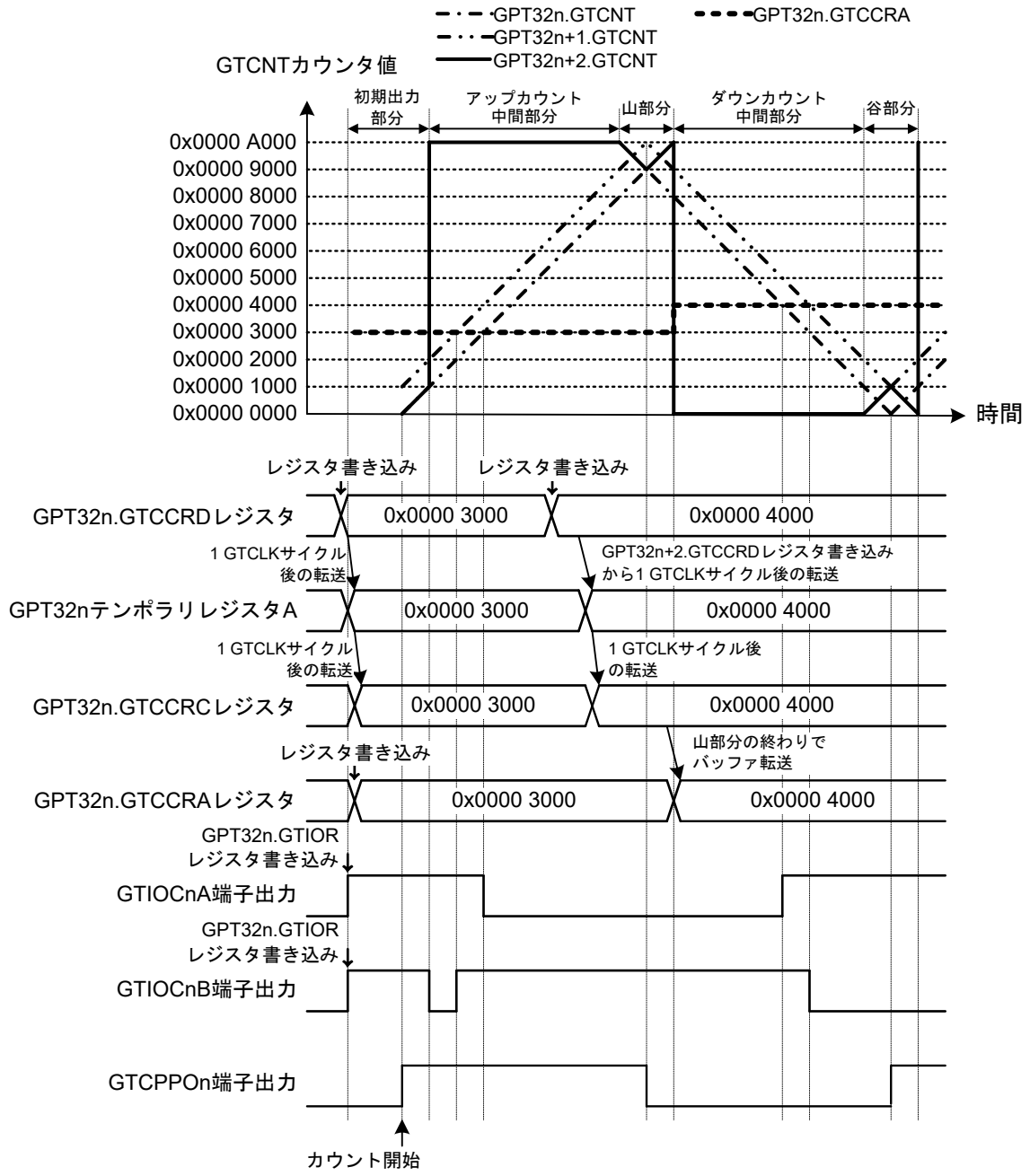


図 22.65 相補 PWM モード初期出力動作例（相補 PWM モード 1 動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、初期 GTCCRA レジスタ値がデッドタイム値より大きい場合）(n = 4, 7)

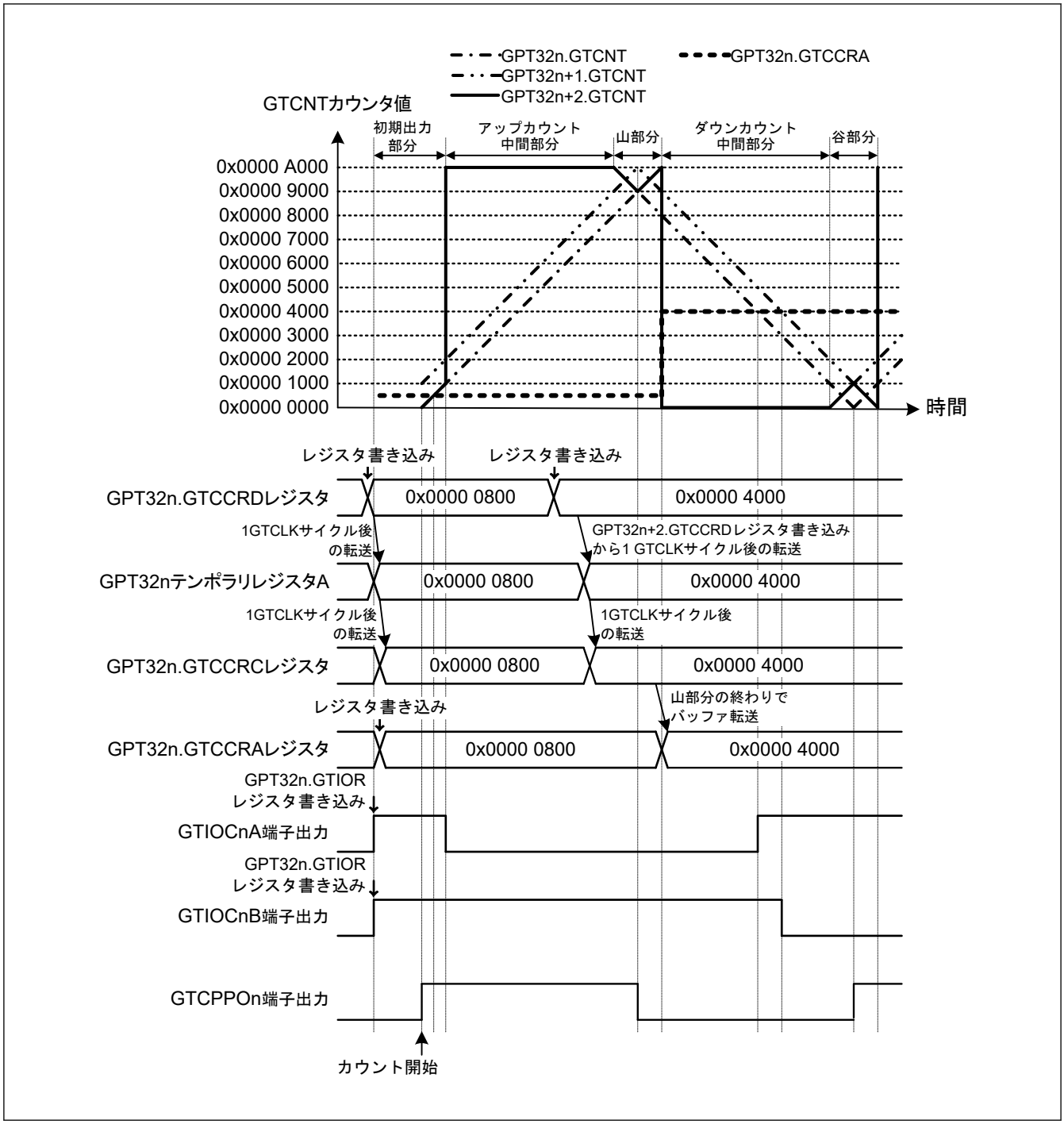


図 22.66　相補 PWM モード初期出力動作例（相補 PWM モード 1 動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low/GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High/GTIOCnB 端子 = Low、デッドタイム値：0x0000 1000、初期 GTCCRA レジスタ値がデッドタイム値以下の場合）(n = 4, 7)

表 22.35　相補 PWM モード 1、2、3 の設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTP32n チャネルの GTCR.MD[3:0]ビットで動作モードを設定します。
2	カウントクロックの選択	GPT32n チャネルの GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GPTWn.GTPR、GPTWn.GTPBR、および GPTWn.GTPDBR レジスタの周期を設定します。
4	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子機能設定	GPT32n、GPT32n+1、および GPT32n+2 の各チャネルの GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm、GTIOCn+1m、および GTIOCn+2m 端子の機能を設定します。

表 22.35 相補 PWM モード 1、2、3 の設定例 (2/2)

No.	ステップ名	説明
5	GTCPPOn 端子出力許可設定	GPT32n チャネルの GTIOR レジスタの PSYE ビットで、GTCPPOn 端子からの PWM 同期出力の許可または禁止を設定します。
6	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子出力許可設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTIOR レジスタの OAE ビット、OBE ビットに GTIOCnm、GTIOCn+1m、GTIOCn+2m 端子出力許可を設定します。
7	バッファ動作の設定	相補 PWM モード 3 では、GPT32n、GPT32n+1、GPT32n+2 チャネルの GTBER2.CP3DB ビットの設定により、バッファ動作を設定します。
8	コンペアマッチ値設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTCCRA レジスタにカウント開始後アップカウント中の出力端子の切り替わりポイントを設定します。
9	バッファ値設定	シングルバッファ動作で、(カウント開始後の最初の GTCCRA レジスタへのバッファ転送で転送される）データを GTCCRD レジスタに設定します。 相補 PWM モード 2 のバッファ動作で最初のバッファ転送が実施されないため、GTCCRA レジスタと同じ値を GTCCRD レジスタに設定します。 相補 PWM モード 3 でのダブルバッファ動作時は、最初の山の終わりに転送するデータを GTCCRD レジスタに、最初の谷の終わりに転送するデータを GTCCRF レジスタに設定します。
10	デッドタイム値設定	デッドタイム値を GTP32n チャネルの GTDVU レジスタに設定します。
11	カウント動作開始	GPT32n チャネルの GTCR.CST ビットを 1 にしてカウント動作を開始してください。
12	周期ごとのバッファ値設定	シングルバッファ動作で、(GTCCRA レジスタへの次のバッファ転送で転送される）データを GTCCRD レジスタに設定します。 相補 PWM モード 3 のダブルバッファ動作で、次のバッファ転送で転送されるデータを GTCCRF レジスタに設定します。 最終的に GPT32n+2.GTCCRD レジスタに対する設定を行ってください。データはテンポラリレジスタへ転送されます。

注. n = 4, 7
m = A、B

22.3.3.8 相補 PWM モード 4

相補 PWM モード 4 では、山または谷の転送タイミングの前のテンポラリレジスタへの転送中に GTCCRA レジスタにもデータを転送することにより、GTCCRD レジスタと GTCCRF レジスタの書き込み値を即座にコンペアマッチ動作に適用します。

図 22.67 に、相補 PWM モード 4 のブロック図を示します。

相補 PWM モード 4 の構成では、GTCCRD レジスタから GTCCRC、GTCCRA レジスタへのバッファ転送経路と GTCCRF レジスタから GTCCRE、GTCCRA レジスタへのバッファ転送経路が表 22.35 に示す他の相補 PWM モードに追加されています。

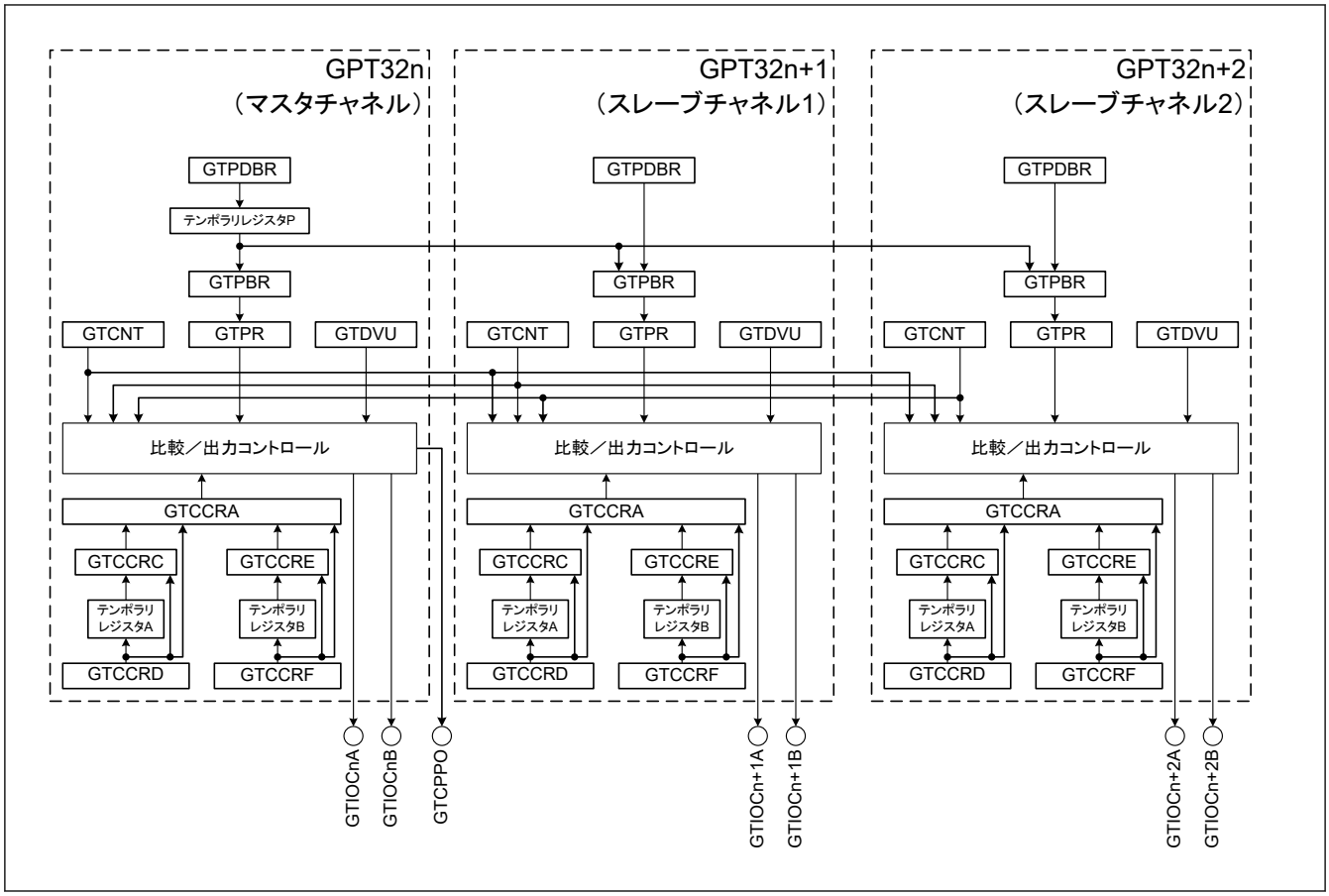


図 22.67　相補 PWM モード 4 のブロック図 (n = 4, 7)

相補 PWM モード 1～3 と同様にカウント動作を実行します。表 22.30 と表 22.31 を参照してください。

相補 PWM モード 4 でのバッファ動作と PWM 波形の変更に関しては、相補 PWM モード 3 の動作を基にして GTCCRD、GTCCRF レジスタからのバッファ転送（図 22.67 参照）が追加されます。バッファ転送と PWM 波形は、動作部分、GTCCRA レジスタとの比較状態、および書き込み値に従って制御されます。

GTCCRF レジスタの書き込みによるダブルバッファ機能は、GTBER2.CP3DB ビットで有効／無効の設定ができます。ダブルバッファ動作時は、GTCCRD レジスタの書き込み値はダウンカウント時の正相 OFF（逆相 ON）のコンペアマッチ値として使用し、GTCCRF レジスタの書き込み値はアップカウント時の逆相 OFF（正相 ON）のコンペアマッチ値として使用します。転送レジスタ、転送値、および PWM 出力の変更は動作部分（値の書き込み先）、GTCCRA レジスタとの比較状態、および書き込み値により制御されます。

ダブルバッファ動作はアップカウント中間部分とダウンカウント中間部分でのみ保証されます。デッドタイム値以下かつカウント周期以上の値は設定禁止です。

シングルバッファ動作時は、コンペアマッチ値は GTCCRD レジスタにのみ書き込まれ、転送レジスタ、転送値、および PWM 出力の変更は、動作部分（値の書き込み先）、GTCCRA レジスタとの比較状態、および書き込み値により制御されます。

GTCCRD レジスタからテンポラリレジスタ A への転送、および GTCCRF レジスタからテンポラリレジスタ B への転送は、その他の相補 PWM モードと同じように実行されます。GPT32n+2.GTCCRD レジスタに値を書き込むことで、転送は 3 チャネル同時に実行されます。前述のテンポラリレジスタへの転送と同様、GTCCRD レジスタから GTCCRC レジスタ、GTCCRA レジスタ、テンポラリレジスタ B、GTCCRE レジスタへの転送、および GTCCRF レジスタから GTCCRE レジスタと GTCCRA レジスタへの転送は、同時に実行されます。

表 22.36 と表 22.37 に、各動作部分のコンペアマッチ状態について、相補 PWM モード 4 のシングルバッファ動作中の GTCCRD レジスタへの値の書き込みによる、GTCCRC および GTCCRA レジスタへの即時バッファ転送を示します（テンポラリレジスタへの転送の場合、GPT32n+2.GTCCRD レジスタへの値の書き込みによります）。表 22.36 と表 22.37 に示された以外の転送（GTCCRD レジスタからテンポラリレジスタ A、テンポラリレジスタ A から GTCCRC レジスタ、GTCCRC レジスタから GTCCRA レジスタ）は、表 22.32 に示された相補 PWM モード 3 のシングルバッファ転送と同じ動作になります。

表 22.38 と表 22.39 に、各動作部分のコンペアマッチ状態について、相補 PWM モード 4 のダブルバッファ動作中の GTCCRD および GTCCRF レジスタへの値の書き込みによる、各レジスタへの即時バッファ転送を示します（テンポラリレジスタへの転送の場合、GPT32n+2.GTCCRD レジスタへの値の書き込みによります）。表 22.38 と表 22.39 に示された以外の転送（GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B、テンポラリレジスタ A から GTCCRC レジスタ、テンポラリレジスタ B から GTCCRE レジスタ、GTCCRC と GTCCRE レジスタから GTCCRA レジスタ）は、表 22.33 に示された相補 PWM モード 3 のダブルバッファ転送と同じ動作になります。

表 22.36 相補 PWM モード 4 での GTCCRD レジスタからの即時シングルバッファ転送 (1/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
アップカウント中間部分	アップカウントのコンペアマッチ前	GTCCRD	(i) GTCCRD > GPT32n+1.GTCNT の場合 GTCCRD (ii) GTCCRD ≦ GPT32+1.GTCNT の場合 GPT32n+1.GTCNT 逆相 OFF
	アップカウントのデッドタイム期間	GTCCRD	転送なし
	アップカウントのコンペアマッチ後	GTCCRD	転送なし
アップカウント山部分	アップカウントのコンペアマッチ前	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	ダウンカウントのコンペアマッチ前 (i) GTCCRD > GPT32n+1.GTCNT の場合 GTCCRD (ii) GTCCRD ≦ GPT32n+1.GTCNT の場合 GPT32n+1.GTCNT 逆相 OFF ダウンカウントのデッドタイム開始後 転送なし
	アップカウントのデッドタイム期間	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	転送なし
	アップカウントのコンペアマッチ後	ダウンカウントのコンペアマッチ前 (i) GTCCRD < GPT32n+2.GTCNT の場合 GTCCRD (ii) GTCCRD ≧ GPT32n+2.GTCNT の場合 GPT32n+2.GTCNT 正相 OFF ダウンカウントのデッドタイム開始後 転送なし	転送なし

表 22.36　相補 PWM モード 4 での GTCCRD レジスタからの即時シングルバッファ転送 (2/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
ダウンカウント山部分	ダウンカウントのコンペアマッチ前	アップカウントのデッドタイム期間 (i) GTCCRD < GPT32n+1.GTCNT の場合 GTCCRD (ii) GTCCRD ≧ GPT32n+1.GTCNT の場合 GPT32n+1.GTCNT 逆相 ON アップカウントのコンペアマッチ後 (i) GTCCRD < GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD ≧ GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 OFF	転送なし
	ダウンカウントのデッドタイム期間	転送なし	転送なし
	ダウンカウントのコンペアマッチ後	転送なし	転送なし

表 22.37　相補 PWM モード 4 での GTCCRD レジスタからの即時シングルバッファ転送 (1/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
ダウンカウント中間部分	ダウンカウントのコンペアマッチ前	GTCCRD	(i) GTCCRD < GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD ≧ GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 OFF
	ダウンカウントのデッドタイム期間	GTCCRD	転送なし
	ダウンカウントのコンペアマッチ後	GTCCRD	転送なし

表 22.37 相補 PWM モード 4 での GTCCRD レジスタからの即時シングルバッファ転送 (2/2)

動作部分	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
ダウンカウント谷部分	ダウンカウントのコンペアマッチ前	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	アップカウントのコンペアマッチ前 (i) GTCCRD < GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD ≧ GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 OFF アップカウントのデッドタイム開始後 転送なし
	ダウンカウントのデッドタイム期間	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	転送なし
	ダウンカウントのコンペアマッチ後	アップカウントのコンペアマッチ前 (i) GTCCRD > GPT32n+2.GTCNT の場合 GTCCRD (ii) GTCCRD ≦ GPT32n+2.GTCNT の場合 GPT32n+2.GTCNT 逆相 OFF アップカウントのデッドタイム開始後 転送なし	転送なし
アップカウント谷部分	アップカウントのコンペアマッチ前	ダウンカウントのデッドタイム期間 (i) GTCCRD > GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD ≦ GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 ON ダウンカウントのコンペアマッチ後 (i) GTCCRD > GPT32n+1.GTCNT の場合 GTCCRD (ii) GTCCRD ≦ GPT32n+1.GTCNT の場合 GPT32n+1.GTCNT 逆相 OFF	転送なし
	アップカウントのデッドタイム期間	転送なし	転送なし
	アップカウントのコンペアマッチ後	転送なし	転送なし

表 22.38　相補 PWM モード 4 での GTCCRD および GTCCRF レジスタからの即時ダブルバッファ転送

動作部分	コンペアマッチ状態	即時転送先レジスタ		
		GTCCRC	GTCCRE	GTCCRA
アップカウント中間部分	アップカウントのコンペアマッチ前	GTCCRD	GTCCRF	(i) GTCCRF > GPT32n+1.GTCNT の場合 GTCCRF (ii) GTCCRF ≦ GPT32+1.GTCNT の場合 GPT32n+1.GTCNT 逆相 OFF
	アップカウントのデッドタイム期間	GTCCRD	GTCCRF	転送なし
	アップカウントのコンペアマッチ後	GTCCRD	GTCCRF	転送なし

表 22.39　相補 PWM モード 4 での GTCCRD および GTCCRF レジスタからの即時ダブルバッファ転送

動作部分	コンペアマッチ状態	即時転送先レジスタ		
		GTCCRC	GTCCRE	GTCCRA
ダウンカウント中間部分	ダウンカウントのコンペアマッチ前	GTCCRD	GTCCRF	(i) GTCCRD < GPT32n.GTCNT の場合 GTCCRD (ii) GTCCRD ≧ GPT32n.GTCNT の場合 GPT32n.GTCNT 正相 OFF
	ダウンカウントのデッドタイム期間	GTCCRD	GTCCRF	転送なし
	ダウンカウントのコンペアマッチ後	GTCCRD	GTCCRF	転送なし

図 22.68～図 22.72 に、相補 PWM モード 4 でのシングルバッファ動作例を動作部分ごとに示します。

図 22.73～図 22.76 に、相補 PWM モード 4 セクションのダブルバッファ動作例をしましょう。

表 22.40 に、相補 PWM モード 4 の設定例を示します。

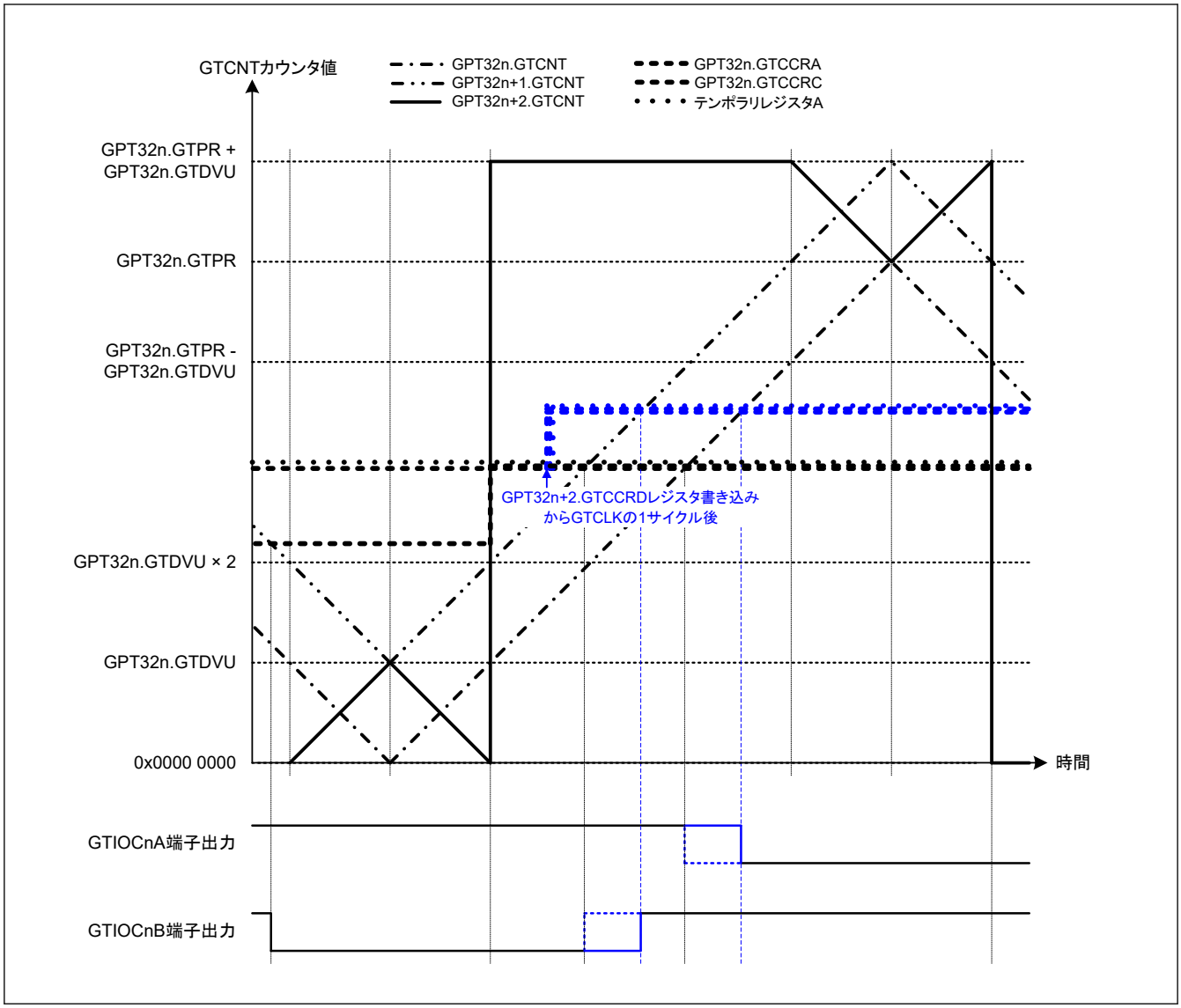


図 22.68 相補 PWM モード 4 のシングルバッファ動作例（アップカウント中間部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ前に GPT32n+1.GTCNT 値よりも大きい値が GTCCRD レジスタに書き込まれた場合）(n = 4, 7)

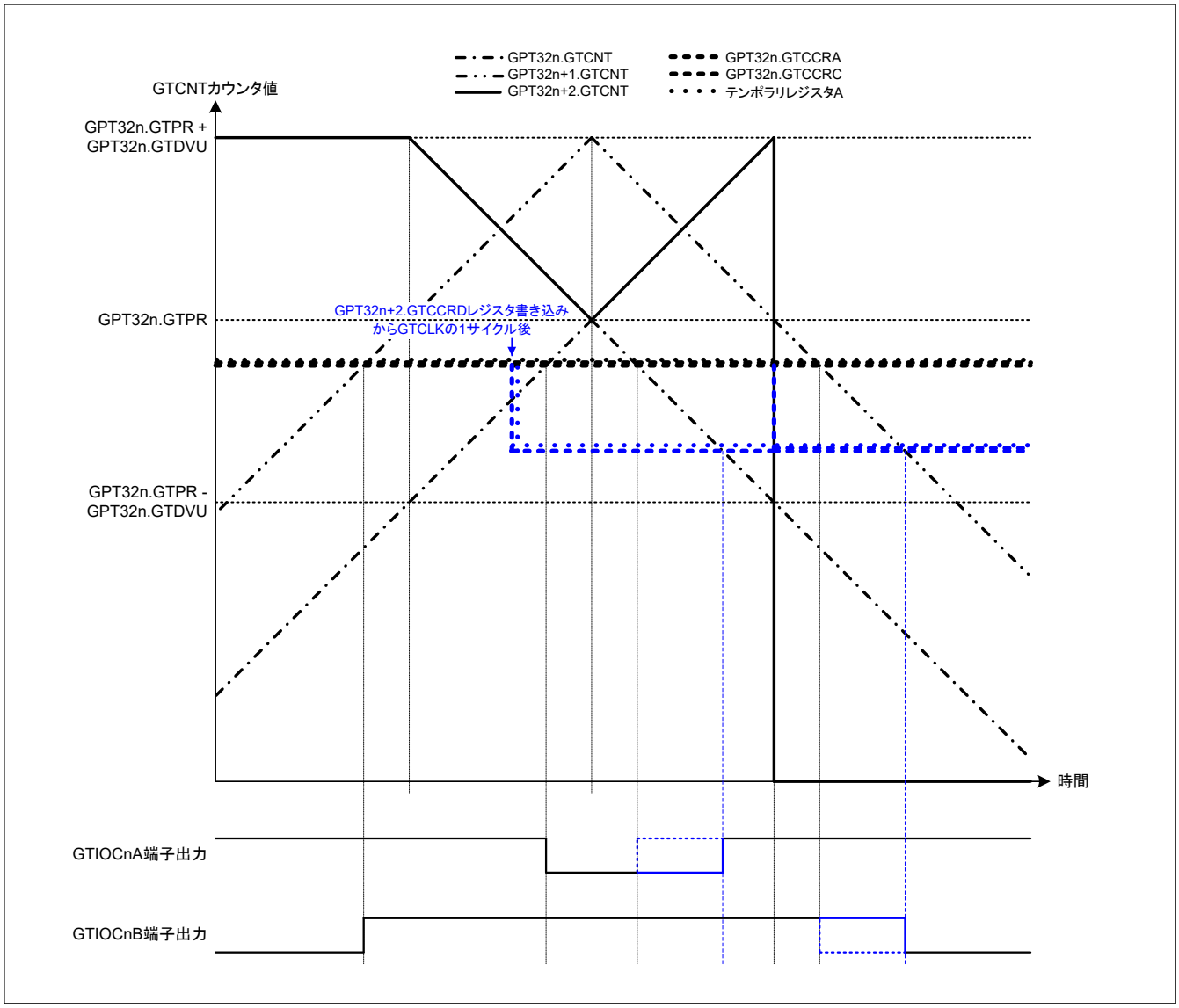


図 22.69 相補 PWM モード 4 のシングルバッファ動作例（アップカウント山部分）（相補 PWM モード 4 シングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントデッドタイム時に値が GTCCRD レジスタに書き込まれた場合）(n = 4, 7)

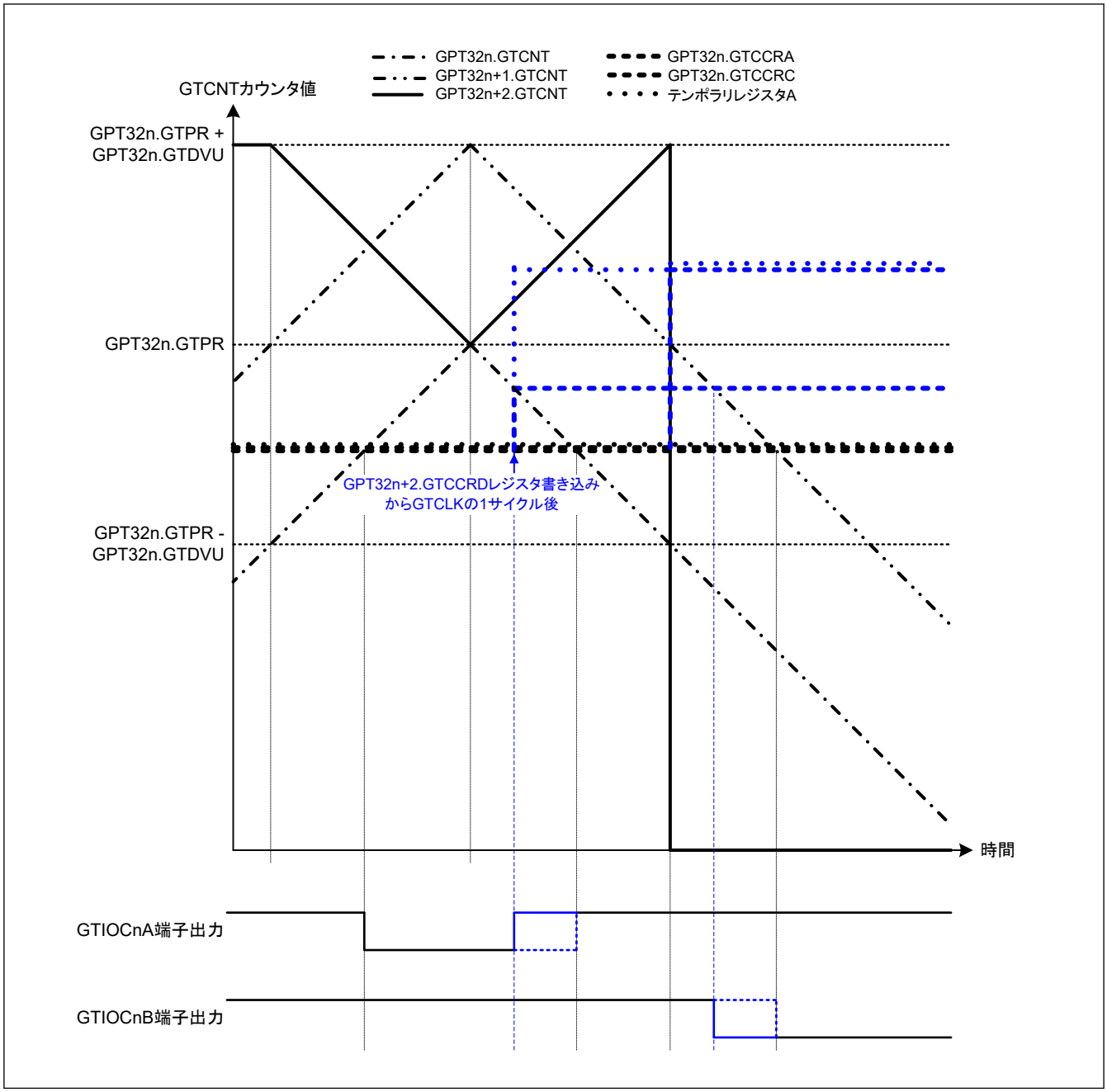


図 22.70 相補 PWM モード 4 のシングルバッファ動作例（ダウンカウント山部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ後ダウンカウントのコンペアマッチ前に GPT32n.GTCNT 値以上の値が GTCCRD レジスタに書き込まれた場合）(n = 4, 7)

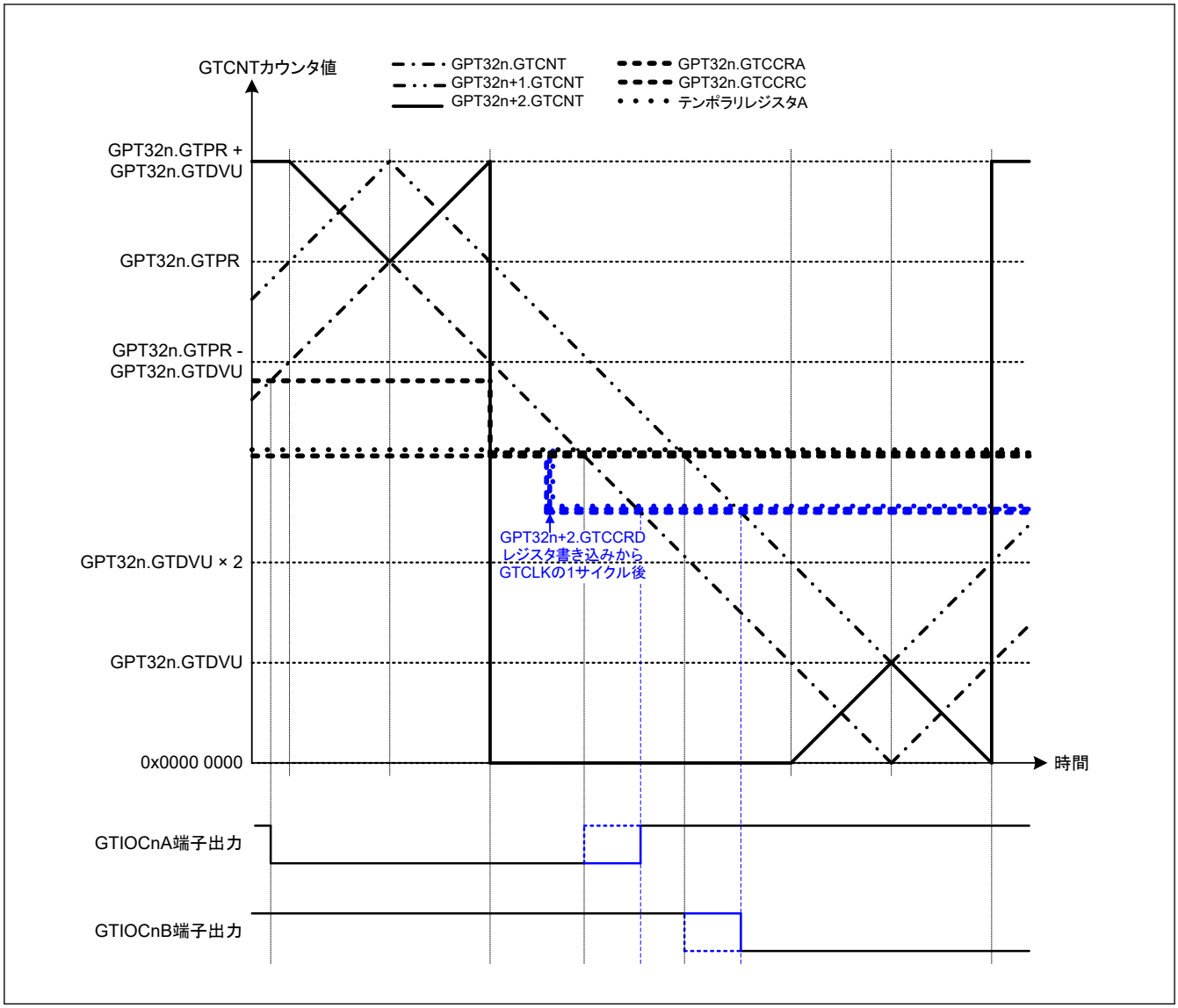


図 22.71 相補 PWM モード 4 のシングルバッファ動作の例（ダウンカウント中間部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのコンペアマッチ前に GPT32n.GTCNT 値よりも小さい値が GTCCRD レジスタに書き込まれた場合）(n = 4, 7)

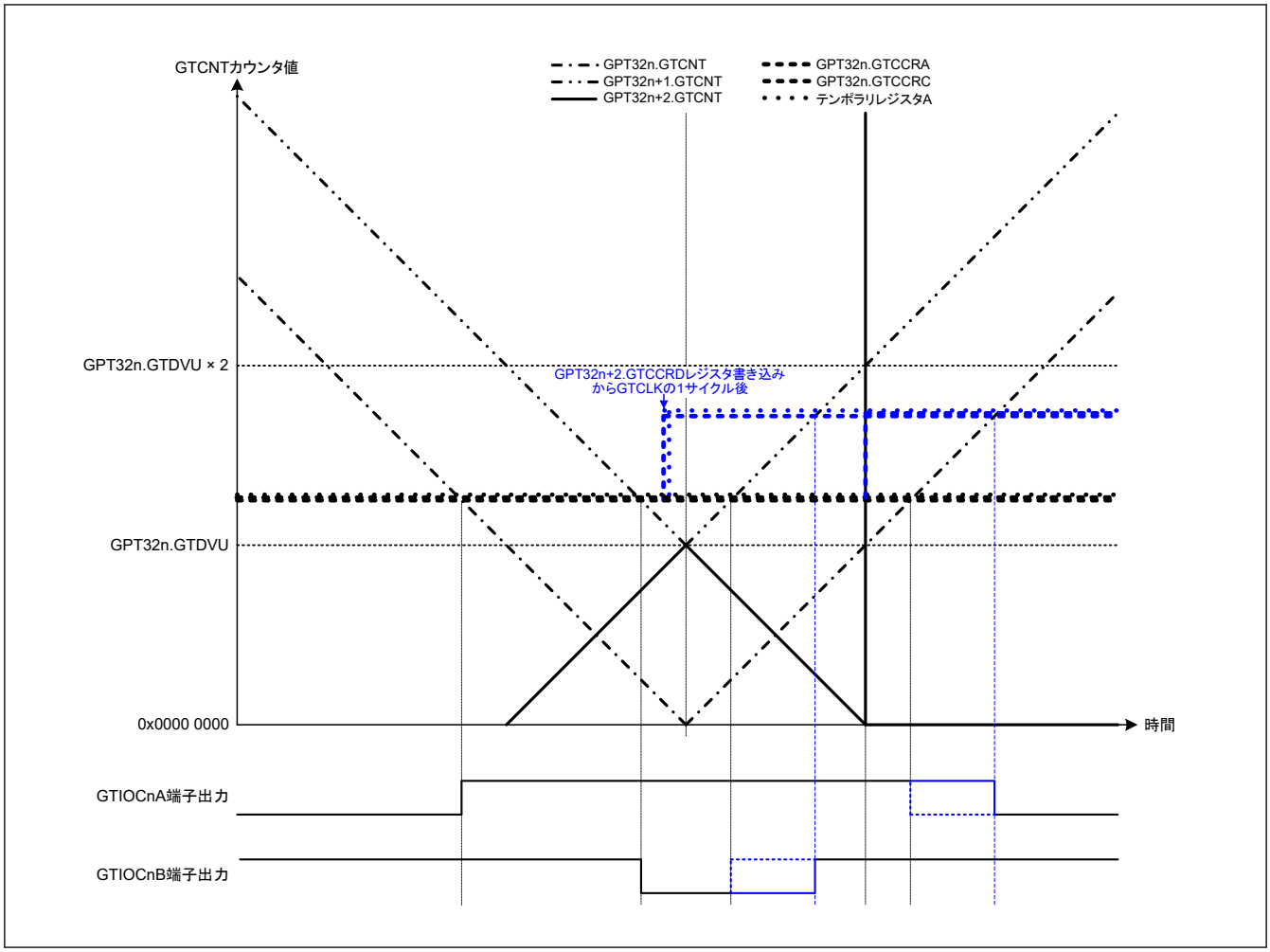


図 22.72　相補 PWM モード 4 のシングルバッファ動作例（ダウンカウント谷部分）（相補 PWM モード 4 のシングルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのコンペアマッチ後に GPT32n+2.GTCNT 値よりも大きい値が GTCCRD レジスタに書き込まれた場合）(n = 4, 7)

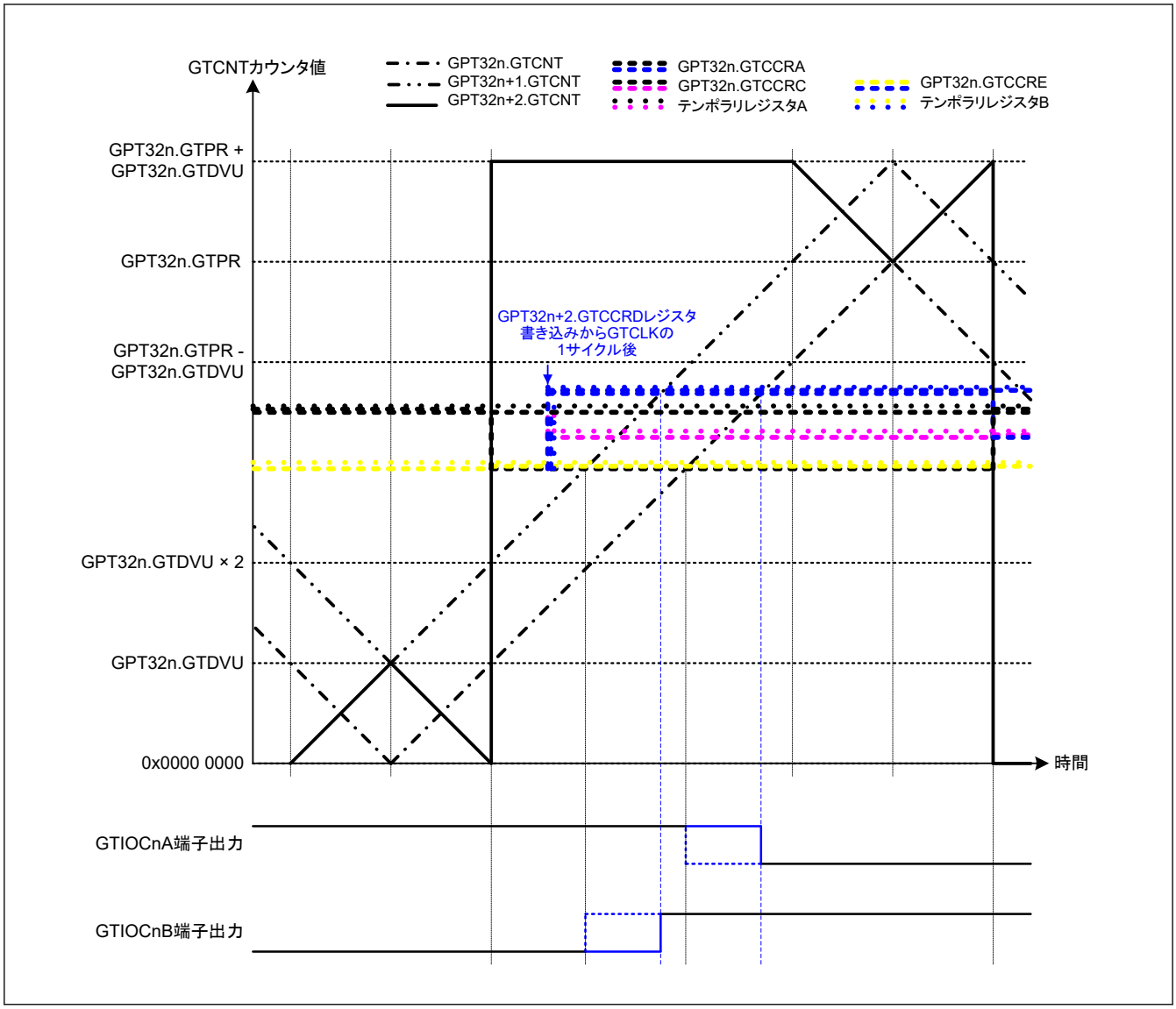


図 22.73 相補 PWM モード 4 のダブルバッファ動作例（アップカウント中間部分）（相補 PWM モード 4 のダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントのコンペアマッチ前に GPT32n+1.GTCNT 値よりも大きい値が GTCCRF レジスタに書き込まれた場合）(n = 4, 7)

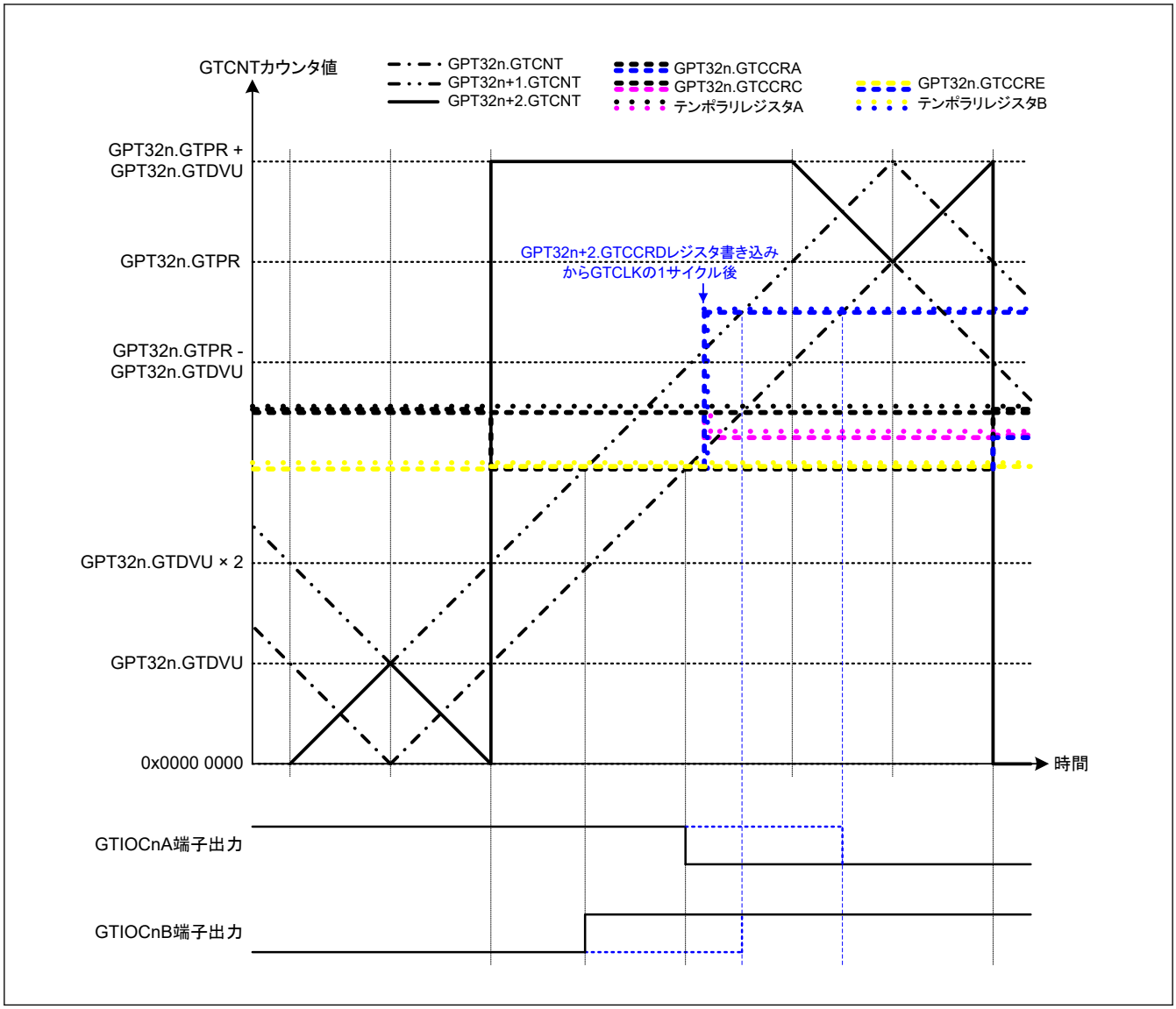


図 22.74 相補 PWM モード 4 のダブルバッファ動作例（アップカウント中間部分）（相補 PWM モード 4 ダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、アップカウントコンペアマッチ後に値が GTCCRF レジスタに書き込まれた場合）(n = 4, 7)

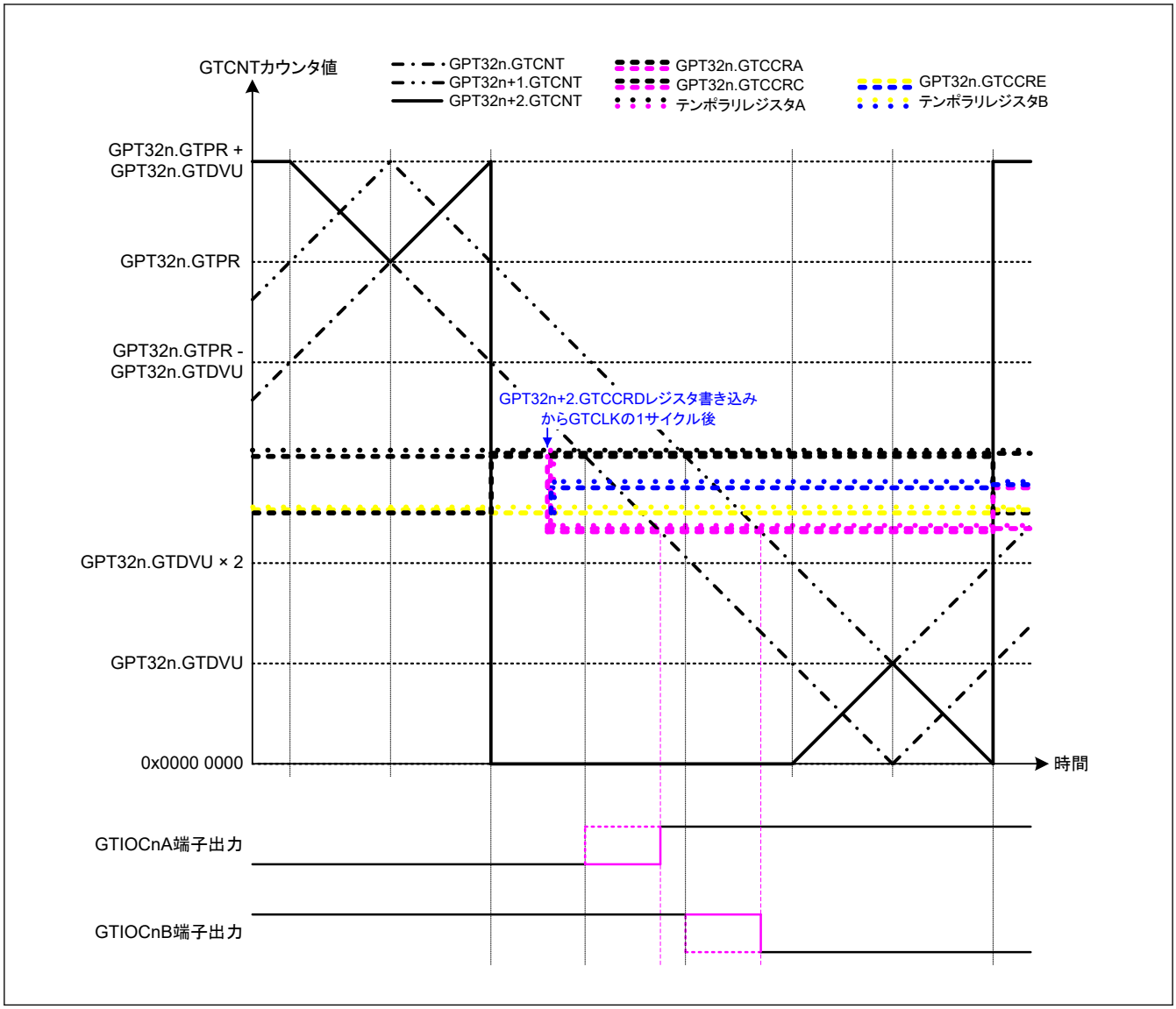


図 22.75 相補 PWM モード 4 のダブルバッファ動作の例（ダウンカウント中間部分）（相補 PWM モード 4 のダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時：GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントのコンペアマッチ前に GPT32n.GTCNT 値よりも小さい値が GTCCRD レジスタに書き込まれた場合）(n = 4, 7)

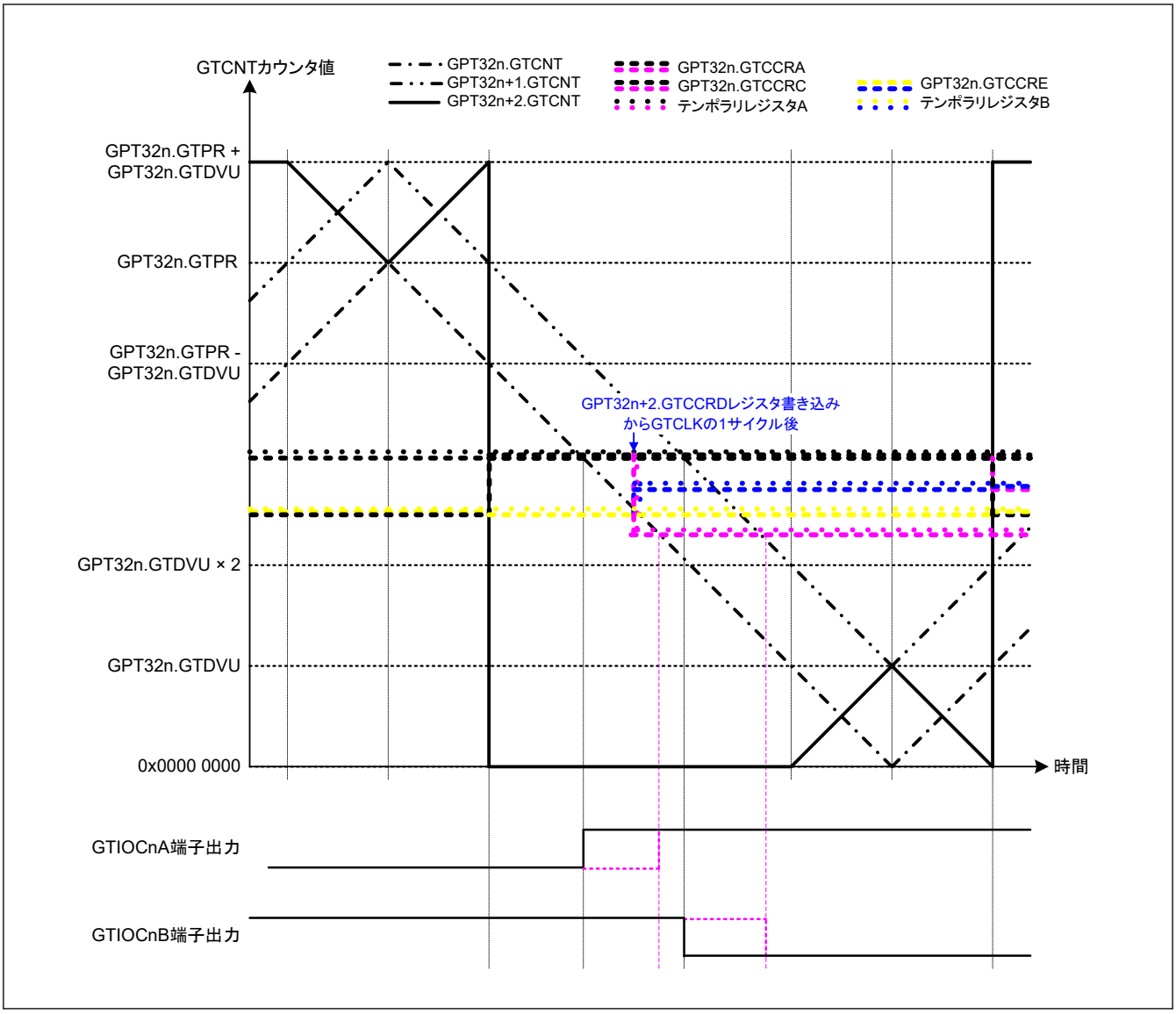


図 22.76　相補 PWM モード 4 のダブルバッファ動作例（ダウンカウント中間部分）（相補 PWM モード 4 ダブルバッファ動作、アップカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = Low／GTIOCnB 端子 = High、ダウンカウントの GTCCRA レジスタコンペアマッチ時 : GTIOCnA 端子 = High／GTIOCnB 端子 = Low、ダウンカウントデッドタイム時に値が GTCCRD レジスタに書き込まれた場合）(n = 4, 7)

表 22.40　相補 PWM モード 4 の設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTP32n チャネルの GTCR.MD[3:0]で動作モード (1111b) を設定します。
2	カウントクロックの選択	GPT32n チャネルの GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GPTWn.GTPR、GPTWn.GTPBR、および GPTWn.GTPDBR レジスタの周期を設定します。
4	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子機能設定	GPT32n、GPT32n+1、および GPT32n+2 の各チャネルの GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm、GTIOCn+1m、および GTIOCn+2m 端子の機能を設定します。
5	GTCPPOn 端子出力許可設定	GPTWn チャネルの GTIOR レジスタの PSYE ビットで、GTCPPOn 端子からの PWM 同期出力の許可または禁止を設定します。
6	GTIOCnm／GTIOCn+1m／GTIOCn+2m 端子出力許可設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTIOR レジスタの OAE ビット、OBE ビットに GTIOCnm、GTIOCn+1m、GTIOCn+2m 端子出力許可を設定します。
7	バッファ動作設定	GPT32n、GPT32n+1、GPT32n+2 チャネルの GTBER2.CP3DB ビットの設定により、バッファ動作を設定します。

表 22.40 相補 PWM モード 4 の設定例 (2/2)

No.	ステップ名	説明
8	コンペアマッチ値設定	GPT32n、GPT32n+1、GPT32n+2 の各チャネルの GTCCRA レジスタにカウント開始後アップカウント中の出力端子の切り替わりポイントを設定します。
9	バッファ値設定	シングルバッファ動作で、(カウント開始後の最初の GTCCRA レジスタへのバッファ転送で転送される) データを GTCCRD レジスタに設定します。 ダブルバッファ動作の場合は、最初の山の終わりに転送するデータを GTCCRD レジスタに、最初の谷の終わりに転送するデータを GTCCRF レジスタに設定します。
10	デッドタイム値設定	デッドタイム値を GTP32n チャネルの GTDVU レジスタに設定します。
11	カウント動作開始	GPT32n チャネルの GTCR.CST ビットを 1 にしてカウント動作を開始してください。
12	即時転送対象のコンペアマッチ値設定	シングルバッファ動作で、(GTCCRA レジスタに即時に転送される) データを GTCCRD レジスタに設定します。 ダブルバッファ動作の場合は、即時転送対象のダウンカウント用コンペアマッチ値を GTCCRD レジスタに設定し、アップカウント用コンペアマッチ値を GTCCRF レジスタに設定します。 最終的に GPT32n+2.GTCCRD レジスタに対する設定を行ってください。データはテンポラリレジスタへ転送されます。

注. n = 4, 7
m = A, B

22.3.4 デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRA レジスタ値) とデッドタイム値 (GTDVU および GTDVD レジスタ値) からデッドタイム付き逆相波形用のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは、1 つの波形の前半部と後半部で個別に設定できます。逆相波形の前半の切り替わりポイントに対するデッドタイムは GTDVU レジスタで設定し、後半の切り替わりポイントに対するデッドタイムは GTDVD レジスタで設定します。GTDTCR.TDFER を 1 にして、前半部と後半部で同じデッドタイムを設定することも可能です。

GTDBU レジスタは GTDVU レジスタのバッファレジスタとして、GTDBD レジスタは GTDVD レジスタのバッファレジスタとして使用可能です。バッファ転送は周期の終わりに実行されます (のこぎり波モードの場合 : GTCNT カウンタのオーバーフロー (アップカウント)、アンダーフロー (ダウンカウント)、または GTCNT カウンタクリアのいずれか。三角波モードの場合 : 谷)。

自動計算される逆相波形の変化点は、GTCCRB レジスタの読み出しによって得られます。デッドタイム自動設定機能を使用する時は、GTCCRB レジスタへの書き込みは禁止です。

波形の変化点がカウント周期を超過するようなデッドタイムを設定してはなりません。デッドタイムエラーが発生するデッドタイム設定が行われたときは、表 22.41 に示すように正相および逆相波形の変化点を調整して、デッドタイムが確保された波形を生成するようにしてください。調整後の逆相波形の変化点は、GTCCRB レジスタに自動的に設定されます。内部信号は正相波形の変化点の判定のために使用されるため、GTCCRA レジスタの値は調整された値によって更新されることはありません。

のこぎり波ワンショットパルスモードにおいて、デッドタイムエラーが発生して波形の変化点を調整したことによって変化点の順序に不整合が生じた場合や、調整後も変化点がカウント周期を超過している場合、正相と逆相間の相補関係は保証されません。

三角波 PWM モードでは、0x00000000 を設定することによりデッドタイムがカウント周期を超えている場合、または GTPR レジスタの設定値以上の値が GTCCRA レジスタに設定されている場合、出力の変化は出力保護機能によって制御されます (「22.8.4. GTIOCnm 端子出力の出力保護機能 (n = 0～13, m = A, B)」を参照)。GTCCRA レジスタが[GTPR レジスタ + GTDVm (m = U, D) レジスタ]と同じか、それより大きい場合、GTCCRB レジスタには上限として[GTPR レジスタ - 1]が設定されます。

GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値計算用レジスタ値が更新された後、次のカウントクロックで行われます。三角波モードでは、現在の山の次のカウントクロックで行うこともできます。

表 22.41　デッドタイムエラー発生時の波形変化点の調整

PWM 出力動作モード	カウント方向	期間	デッドタイムエラー条件	調整後の正相波形の変化点	調整後の逆相波形の変化点
のこぎり波ワンショットパルスモード	アップカウント	前半	GTCCRA - GTDVU < 0	GTDVU	0
		後半	GTCCRA + GTDVD > GTPR (GTCCRA + GTDVU > GTPR) (注1)	GTPR - GTDVD (GTPR - GTDVU)(注1)	GTPR
	ダウンカウント	前半	GTCCRA + GTDVU > GTPR	GTPR - GTDVU	GTPR
		後半	GTCCRA - GTDVD < 0 (GTCCRA - GTDVU < 0)(注1)	GTDVD (GTDVU)(注1)	0
三角波 PWM モード 1/2/3	アップカウント	（前半）	GTCCRA - GTDVU≦0	GTDVU + 1	1
	ダウンカウント	（後半）	GTCCRA - GTDVD < 0 (GTCCRA - GTDVU < 0)(注1)	GTDVD (GTDVU)(注1)	0

注 1.　GTDTCR.TDFER = 1 の場合：

図 22.77～図 22.80 にデッドタイム自動設定機能の動作例を示します。表 22.42 と表 22.43 に設定例を示します。

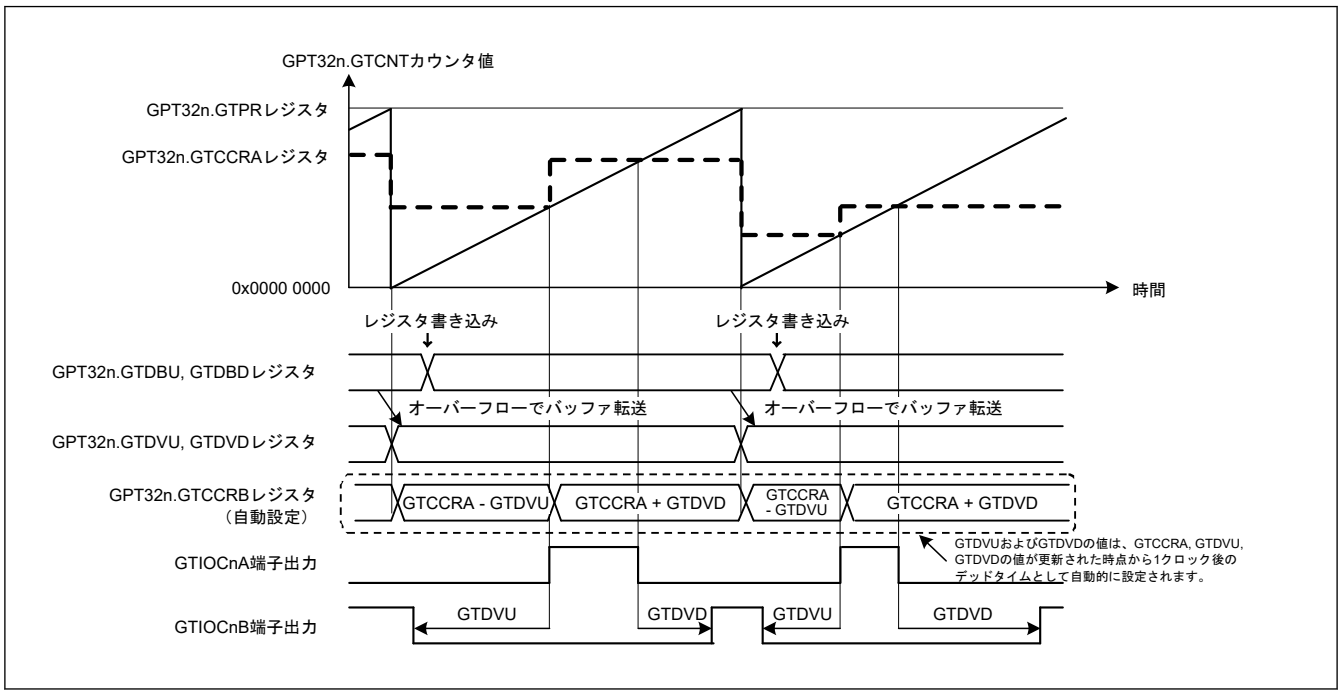


図 22.77　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、アップカウント、GTDVU と GTDVD はバッファ動作に設定、アクティブ High の場合）

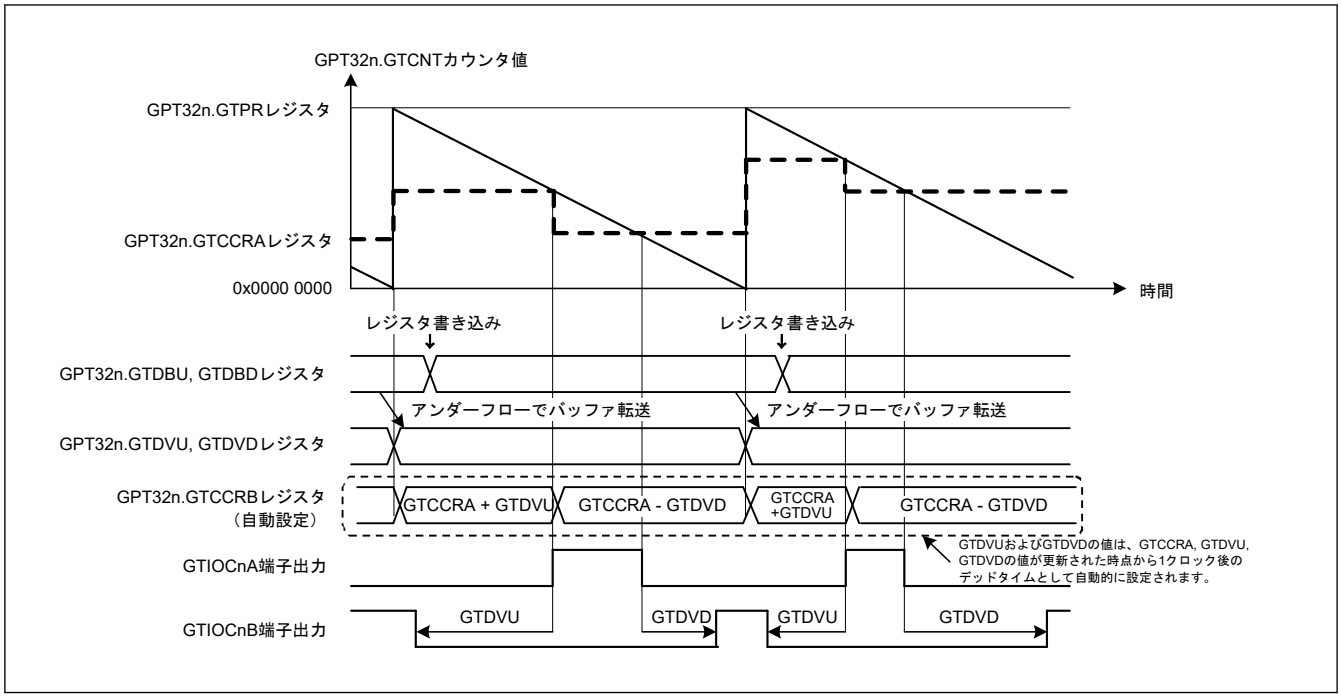


図 22.78　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU と GTDVD はバッファ動作に設定、アクティブ High の場合）

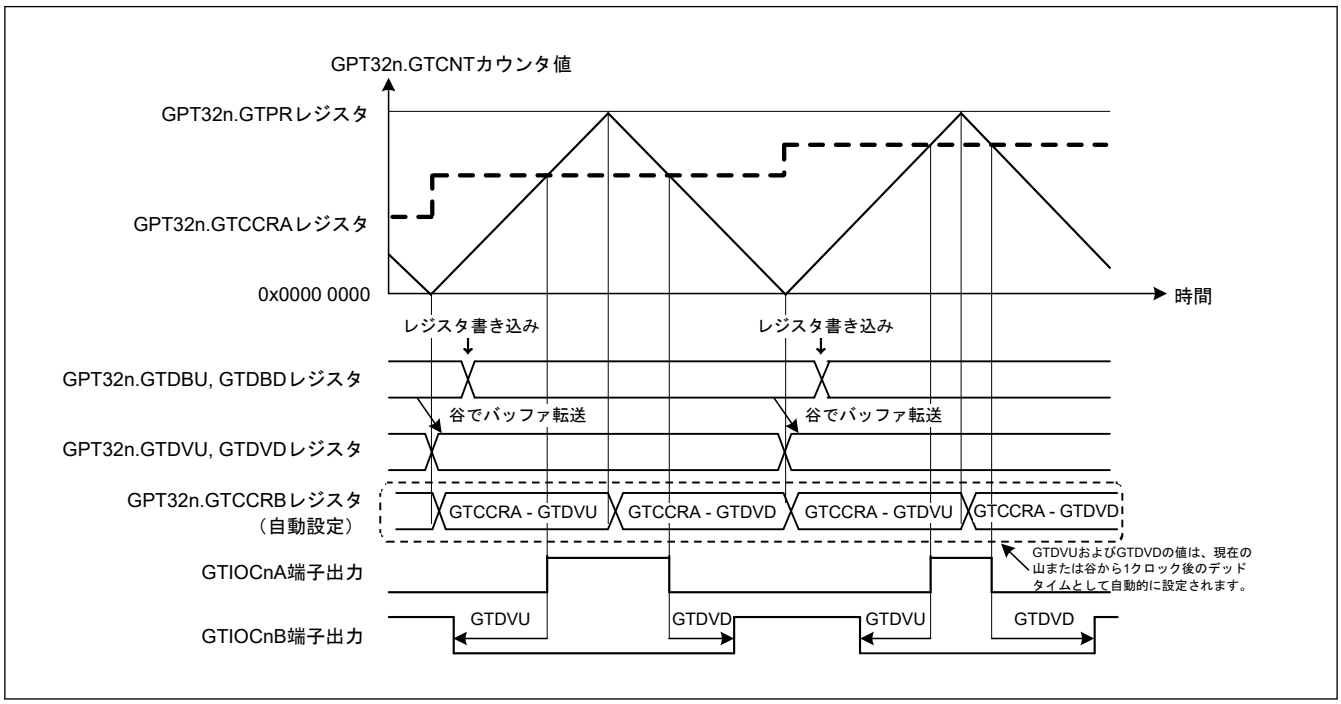


図 22.79　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、GTDVU と GTDVD はバッファ動作に設定、アクティブ High の場合）

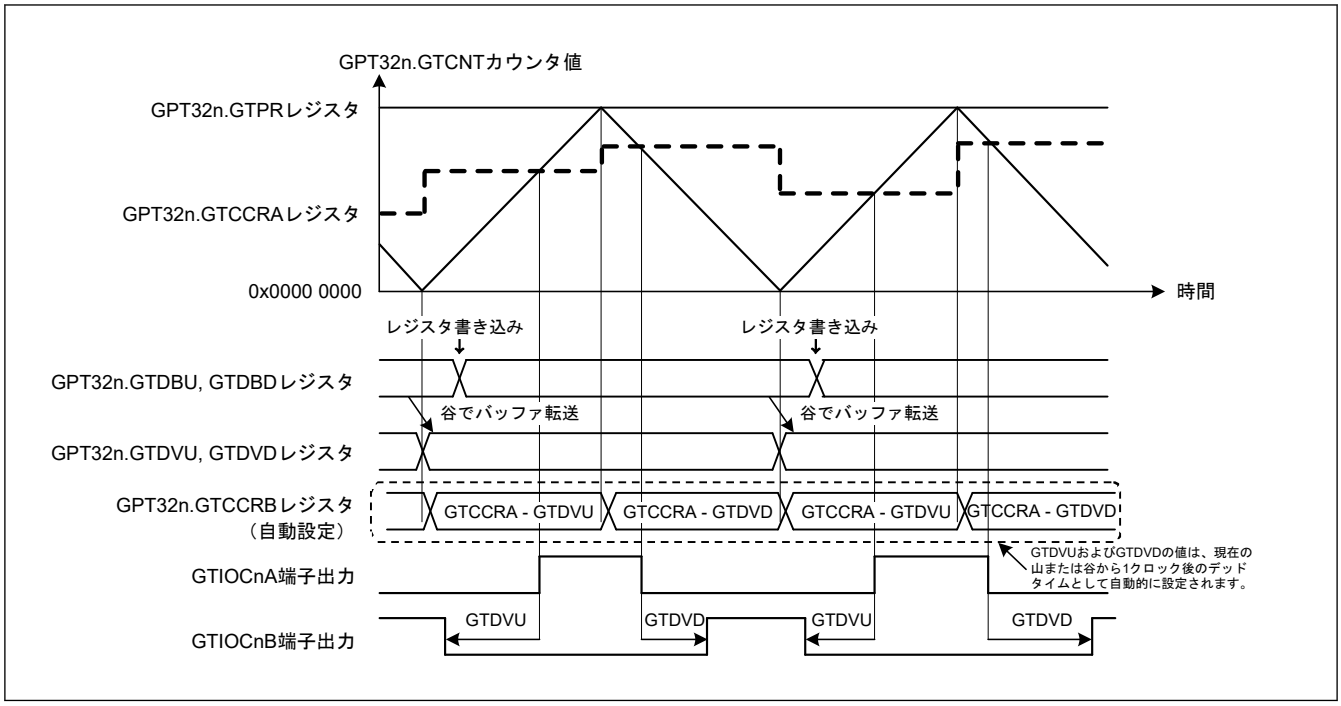


図 22.80　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、GTDVU と GTDVD はバッファ動作に設定、アクティブ High の場合）

表 22.42　デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.77 と図 22.78 では、001b または 0001b（のこぎり波ワンショットパルスモード）を設定します。図 22.80 では、110b または 0110b（三角波 PWM モード 3）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を選択します。 図 22.77 では、GTUDDTYC[1:0]ビットに 11b を設定してから 01b を設定します（アップカウント）。図 22.78 では、GTUDDTYC[1:0]ビットに 10b を設定してから 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 22.77、図 22.78、図 22.80 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b。
7	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ用バッファ値設定(注1)	カウント開始直後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
9	コンペアマッチ用バッファ強制転送設定(注1)	GTBER.CCRSWT ビットを 1 にし、バッファレジスタデータを GTCCRA レジスタへ強制転送します。
10	コンペアマッチ用バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
11	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
12	デッドタイム用バッファ動作設定	GTDTCR レジスタの TDBUE ビット、TDBDE ビットにバッファ動作を設定します。
13	デッドタイム値設定	前半部のデッドタイム値を GTDVU に、後半部のデッドタイム値を GTDVD に設定します。 GTDTCR.TDFER ビットを 1 にして GTDVU を設定すると、同じ値が GTDVD にも設定され、同じデッドタイム値を前半部と後半部に設定することができます。

表 22.42 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(2/2)

No.	手順名	説明
14	デッドタイム用バッファ値設定	バッファ動作時は、現在の周期の 1 周期後の前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。
15	カウント動作開始	GTCR.CST を 1 にしてカウント動作を開始します。
16	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。 デッドタイムレジスタをバッファレジスタとして使用する場合、現在の周期の次の周期での前半部のデッドタイム値を GTDBU に、後半部のデッドタイム値を GTDBD に設定します。

注. n: 0～13
m: A, B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ用バッファ値設定+コンペアマッチ用バッファ強制転送設定の順序を変更してください。

表 22.43 デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合）

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.79 では、100b または 0100b（三角波 PWM モード 1）を設定します。図 22.80 では、101b または 0101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 22.79 と図 22.80 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b。
6	GTIOCnm 端子出力許可設定 (注1)	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	コンペアマッチ用バッファ動作設定	GTBER レジスタの CCRA ビットにバッファ動作を設定します。
8	コンペアマッチ値設定(注1)	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。
9	コンペアマッチ用バッファ値設定	バッファ動作時は、1 周期後（三角波 PWM モード 1 時）あるいは半周期（三角波 PWM モード 2 時）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（三角波 PWM モード 1 時）あるいは 1 周期（三角波 PWM モード 2 時）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに設定します。
10	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
11	デッドタイム用バッファ動作設定	GTDTCR レジスタの TDBUE ビット、TDBDE ビットにバッファ動作を設定します。
12	デッドタイム値設定	前半部のデッドタイム値を GTDVU に、後半部のデッドタイム値を GTDVD に設定します。 GTDTCR.TDFER ビットを 1 にして GTDVU を設定すると、同じ値が GTDVD にも設定され、同じデッドタイム値を前半部と後半部に設定することができます。
13	デッドタイム用バッファ値設定	バッファ動作時は、現在の周期の 1 周期後の前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。
14	カウント動作開始	GTCR.CST を 1 にしてカウント動作を開始します。
15	周期ごとのバッファ値設定	コンペアマッチレジスタをバッファ動作に使用するときは、現在の周期から 1 周期後（三角波 PWM モード 1 の場合）、あるいは現在の周期から半周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。 コンペアマッチレジスタのダブルバッファ動作時は、現在の周期の 2 周期後（三角波 PWM モード 1）、あるいは現在の周期の 1 周期後（三角波 PWM モード 2）の GTIOCnA 端子の変化ポイントを GTCCRD に設定します。 同様に、現在の周期の後の周期での前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。

注. n: 0～13
m: A, B
注 1. PWM 遅延生成回路を使用する場合、GTIOCnm 端子出力許可設定およびコンペアマッチ値設定の順序を変更してください。

22.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。GTUDDTYC.OABDTYT ビットが 0 の場合、アンダーフロー発生時に変更された出力デューティー設定が反映され、GTUDDTYC.OABDTYT ビットが 1 の場合、アンダーフローが発生し、かつ三角波の最上部のときに変更された出力デューティー設定が反映されます。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート後の GTPR 値がカウント周期に反映されます。

図 22.81 にカウント方向切り替え機能の動作例を示します。

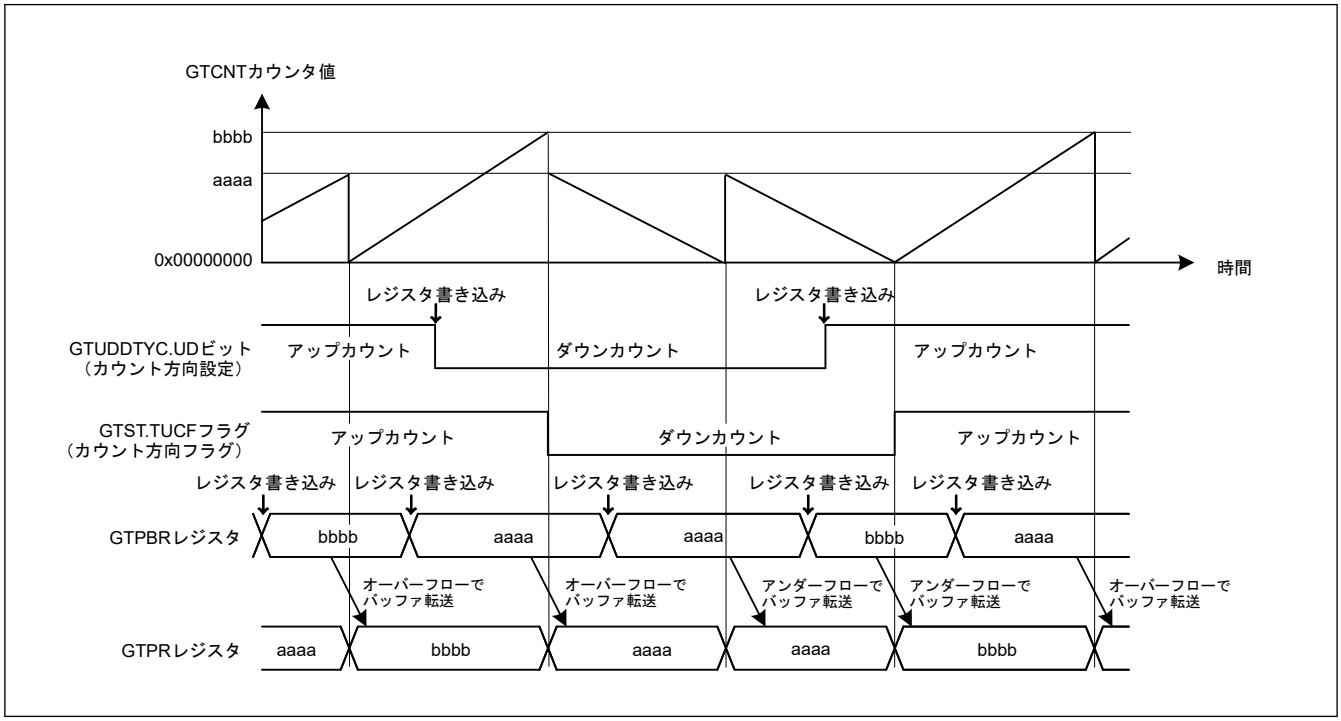


図 22.81 カウント方向切り替え機能の動作例（バッファ動作時）

22.3.6 出力デューティー 0%および出力デューティー 100%機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCnA 端子と GTIOCnB 端子 (n = 0～13) の出力デューティーが 0%または 100%に設定されます。

本機能はのこぎり波 PWM モード 2 または相補 PWM モードでは無効です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティーの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されま

せん。出力デューティーはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、その時の GTUDDTYC.OADTY ビット値または GTUDDTYC.OBDTY ビット値はカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、GTUDDTYC.OABDTYT ビットが 0 のときは、アンダーフロー発生時に変更された出力デューティー設定が反映され、GTUDDTYC.OABDTYT ビットが 1 のときは、アンダーフロー発生時かつ三角波の最上部時に変更された出力デューティー設定が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティーが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティーの変更値はカウントスタート時に反映されます。

0%または 100%デューティー動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0%または 100%デューティー設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCnA 端子の出力値は、GTIOR.GTIOA[3:2]ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCnB 端子の出力値は、GTIOR.GTIOB[3:2]ビットと GTUDDTYC.OBDTYR ビットで決定されます。

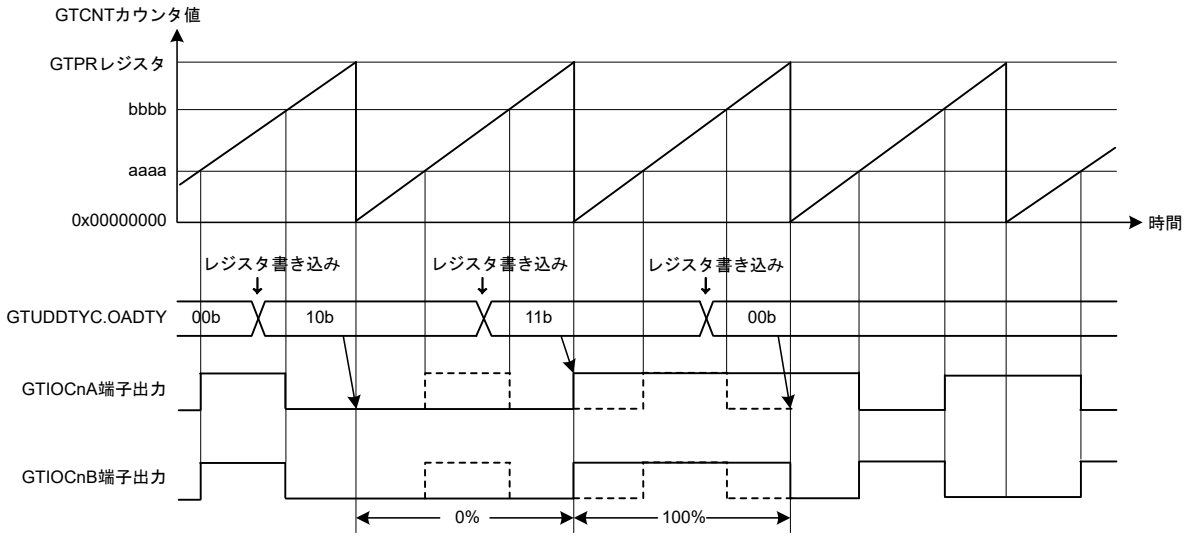
GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。 表 22.44 に周期の終わりでの GTIOCnA/GTIOCnB 端子の出力値を示します。

表 22.44　0%または 100%デューティー設定解除後の出力値 (m = A、B)

GTIOR.GTIOm[3:2]	0%/100%デューティー設定でマスクされた周期の終わりでのコンペアマッチ値	GTUDDTYC.OADTYR（デューティー 0%設定時）		GTUDDTYC.OADTYR（デューティー 100%設定時）	
		0	1	0	1
00 （周期の終わりで出力保持）	0	0	0	1	0
	1	0	1	1	1
01 （周期の終わりで Low 出力）	—	0	0	0	0
10 （周期の終わりで High 出力）	—	1	1	1	1
11 （周期の終わりでトグル出力）	0	1	1	0	1
	1	1	0	0	0

図 22.82 に出力デューティー 0%、100%機能の動作例を示します。



注. レジスタのベースアドレスは同じです。

注. ［設定例］

GTIOR.GTIOA[4:0]ビット：	00011b （初期 Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持）
GTUDDTYC.OADTYR ビット：	0b 0%/100%デューティー比設定解除後にデューティー比が設定された場合、 GTIOA[3:2]ビットで選択された機能が出力値に適用されます。
GTIOR.GTIOB[4:0]ビット：	00011b （初期 Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持）
GTUDDTYC.OBDTYR ビット：	1 GTIOB[3:2]ビットの機能が 0%/100%デューティー設定解除後にマスクされたコンペアマッチ出力値に適用されます。

図 22.82 出力デューティー 0%、100%機能動作例

22.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作

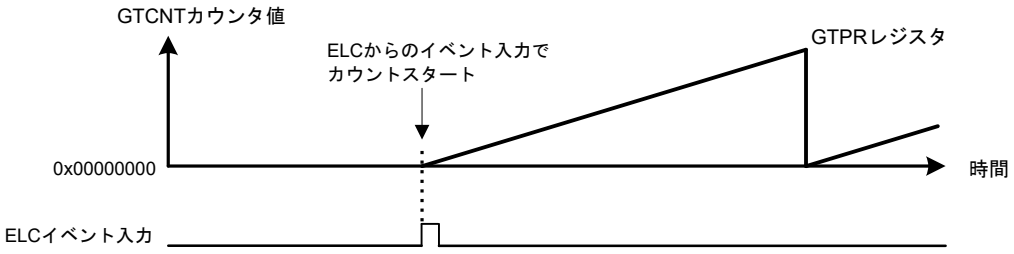
下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOCnA/GTIOCnB 端子入力 (n = 0～13)

22.3.7.1 ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 22.83 にハードウェア要因によるカウントスタートの動作例を示します。表 22.45 に設定例を示します。



注. ELC イベント入力：ELCA イベント入力

図 22.83 ハードウェア要因によるカウントスタート動作例（ELCA イベントからの信号入力時のスタート）

表 22.45 ハードウェア要因によるカウントスタート動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.83 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.83 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 22.83 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択します。 図 22.83 では GTSSR.SSELCA = 1
7	ハードウェア要因の動作設定	GTSSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートさせます。 図 22.83 では、ELCA イベント入力動作を設定します。

図 22.84 に ELC_GPTA のイベント入力に対応するカウントスタート動作のタイミング例を示します。

これは信号に対応する GPT321.GTCNT カウンタによるカウントスタートの動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

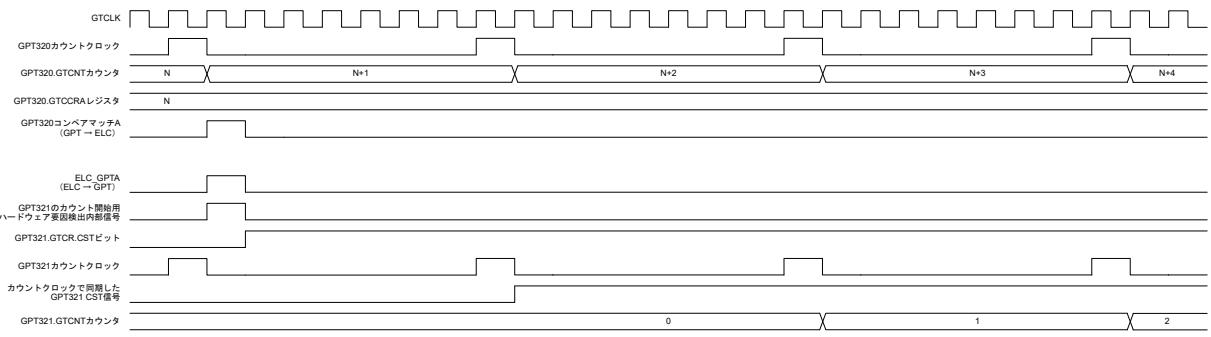
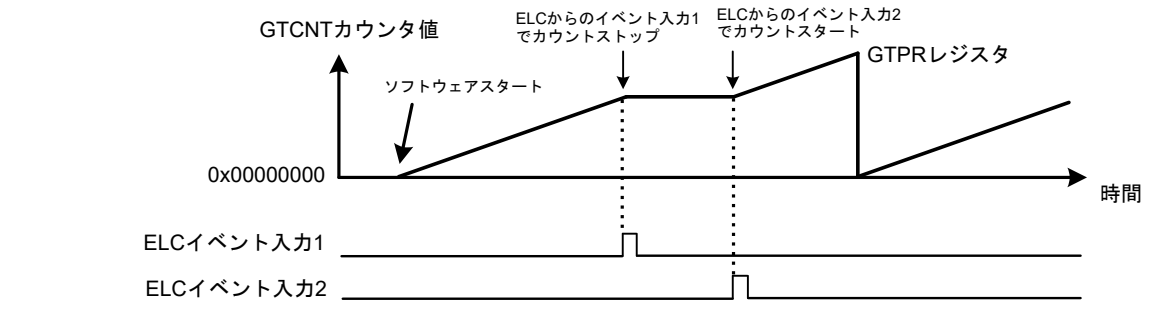


図 22.84 ELC_GPTA からのイベント入力に対応するカウントスタート動作のタイミング例

22.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 22.85 にハードウェア要因によるカウントストップの動作例を示します。表 22.46 に設定例を示します。この例では、カウント動作が ELCA イベント入力でストップし、ELCB イベント入力で再スタートしています。



注. ELC イベント入力 1: ELCA イベント入力
ELC イベント入力 2: ELCB イベント入力

図 22.85 ハードウェア要因によるカウントストップ動作例（ソフトウェアによるスタート、ELCA 入力でのストップ、ELCB 入力での再スタートの場合）

表 22.46 ハードウェア要因によるカウントストップ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.85 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.85 では GTUDDTYC[1:0]ビットを 11b にしてから GTUDDTYC[1:0]ビットを 01b（アップカウント）にします。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 22.85 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 22.85 では GTSSR.SSELCB = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 22.85 では GTPSR.PSELCA = 1
8	ハードウェア要因の動作設定	GTSSR レジスタまたは GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートまたはストップさせます。図 22.85 では ELCA 入力と ELCB 入力の動作を設定します。

図 22.86 にハードウェア要因によるカウントスタート／ストップ動作例を示します。表 22.47 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

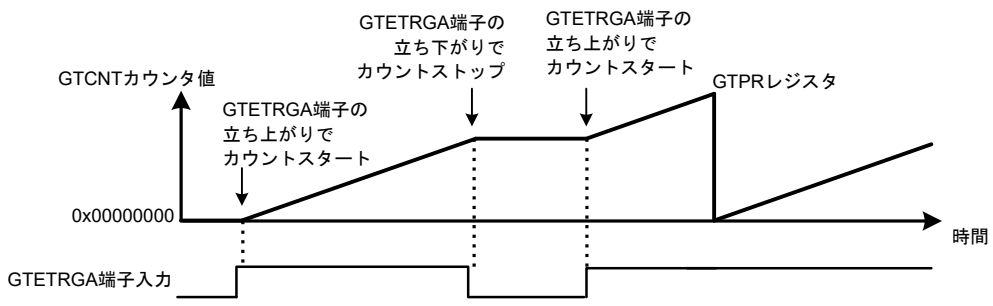


図 22.86 ハードウェア要因によるカウントスタート／ストップ動作例（GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合）

表 22.47 ハードウェア要因によるカウントスタート／ストップ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.86 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.86 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 22.86 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 22.86 では GTSSR.SSGTRGAR = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 22.86 では GTPSR.PSGTRGAF = 1
8	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップさせます。 図 22.86 では GTETRGA 端子の動作を設定します。

図 22.87 に ELC_GPTA からのイベント入力に対応するカウントストップ動作のタイミング例を示します。

これは信号に対応する GPT321.GTCNT カウンタによるカウントストップの動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

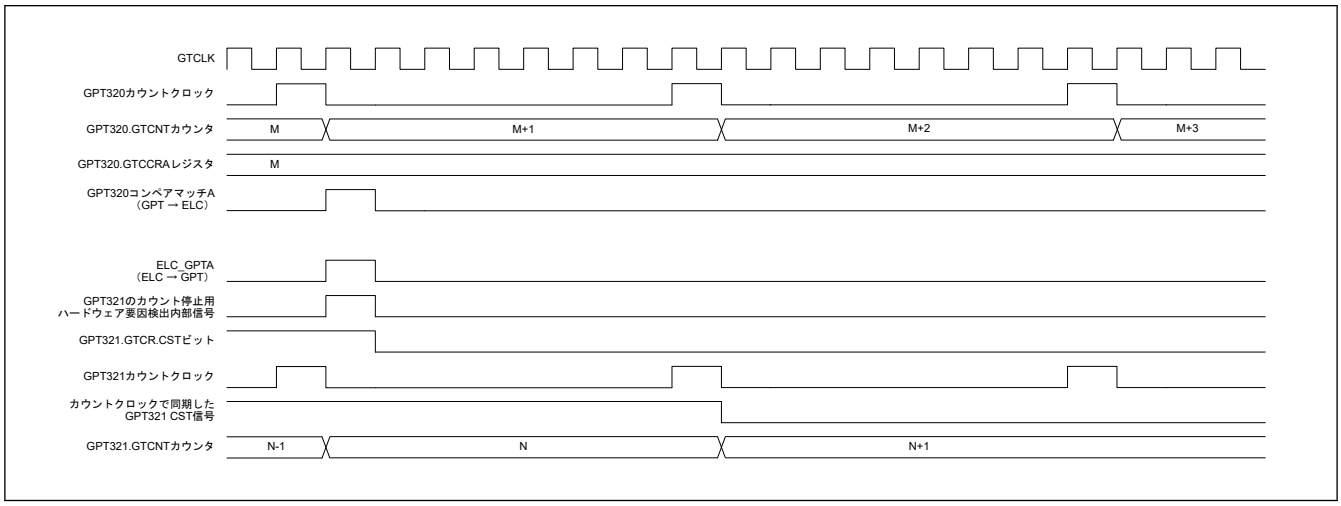


図 22.87 ELC_GPTA からのイベント入力に対応するカウントストップ動作のタイミング例

22.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントクリアができます。ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0～13) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 22.88 と図 22.89 にハードウェア要因による GTCNT カウンタのクリア動作例を示します。表 22.48 に設定例を示します。この例では、GTCNT カウンタは ELCA 入力でスタートし、ELCB 入力でストップおよびクリアされています。

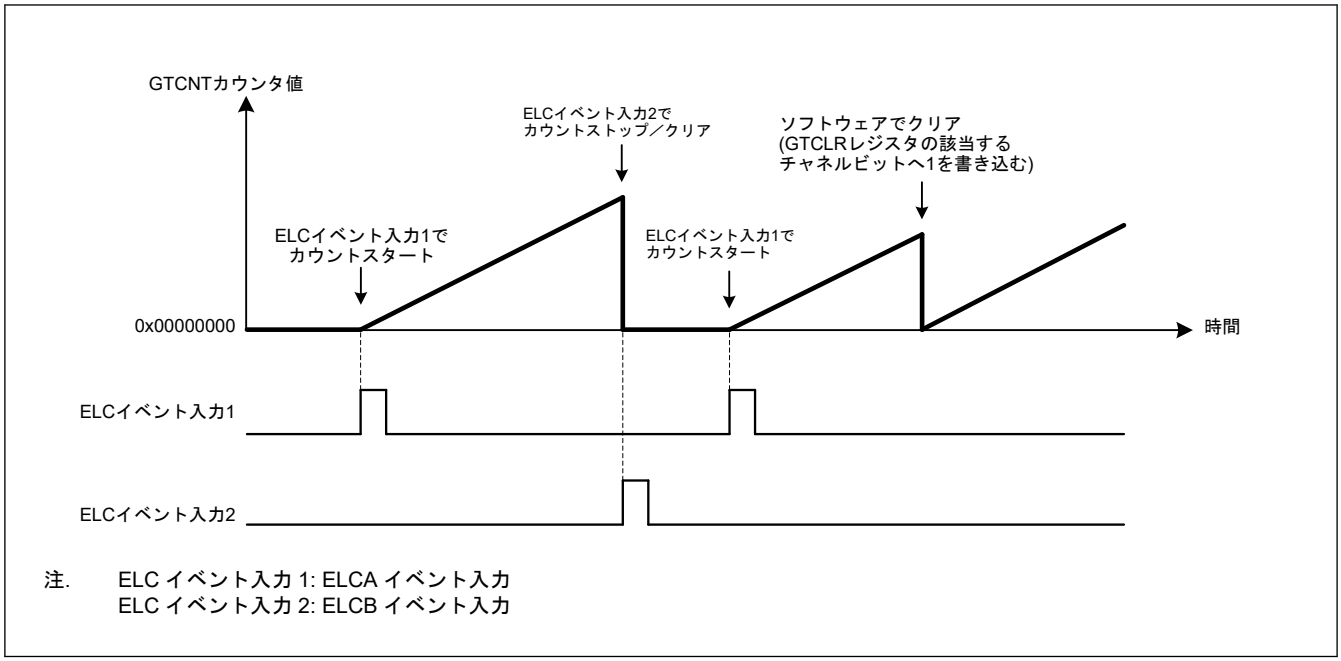


図 22.88 ハードウェア要因によるカウントクリア動作例（のこぎり波アップカウント、ELCA 入力でスタート、ELCB 入力でストップ／クリアの場合）

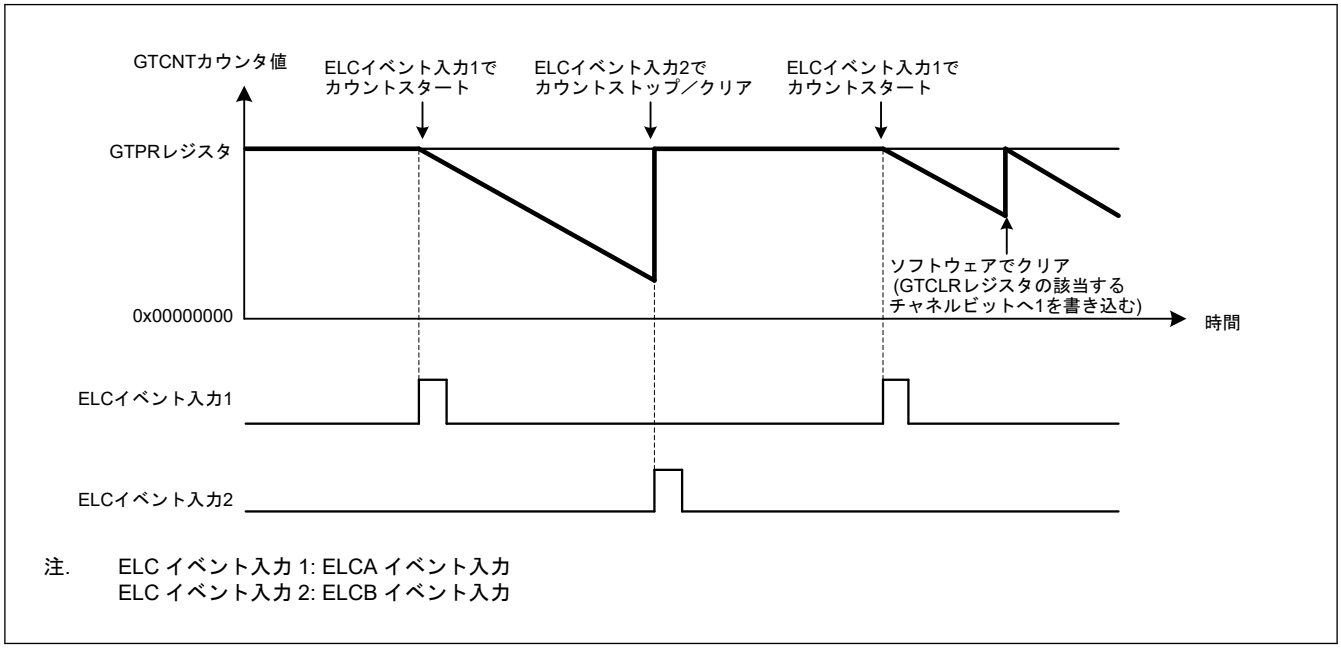


図 22.89 ハードウェア要因によるカウントクリア動作例（のこぎり波ダウンカウント、ELCA 入力でスタート、ELCB 入力でストップ／クリアの場合）

表 22.48 ハードウェア要因によるカウントクリア動作設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.88 と図 22.89 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.88 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。 図 22.89 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します。（ダウンカウント）
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

表 22.48 ハードウェア要因によるカウントクリア動作設定例 (2/2)

No.	手順名	説明
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 22.88 では 0x00000000 を設定します。図 22.89 では GTPR 値を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 22.88、図 22.89 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 22.88、図 22.89 では GTPSR.PSELCB = 1
8	ハードウェアカウントクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。図 22.88、図 22.89 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 22.88 と図 22.89 では ELCA 入力と ELCB 入力を設定します。

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0～13) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 22.90 にハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0～13) 割り込みの関係を示します。

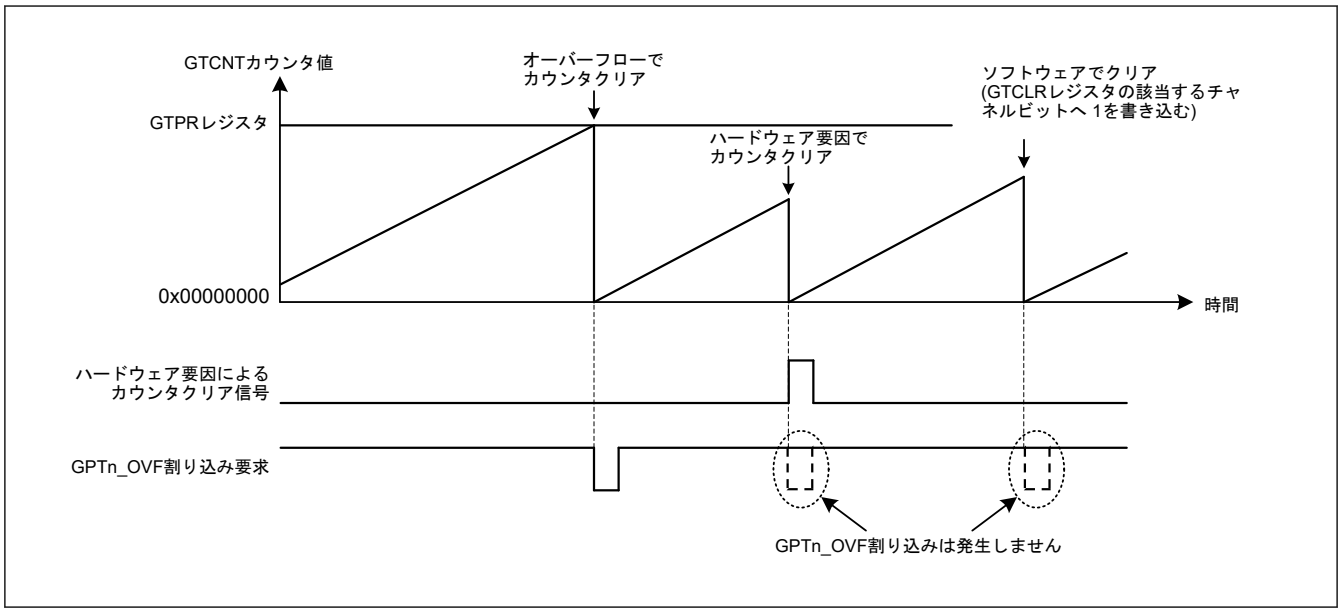


図 22.90 ハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0～13) 割り込みの関係

GTCLK 信号の分周により生成されるクロック信号が GTCNT カウンタに対するカウンタクロックとして使用される場合、ELC_GPTA からのイベント入力に対応するカウンタクリアの動作タイミング例を図 22.91 に示します。

これは信号に対応する GPT321.GTCNT カウンタによるカウントクリアの動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

GPT32 が内部クリア信号を検出した後にカウントが進行中の場合、GTCNT カウンタはクリアされます。

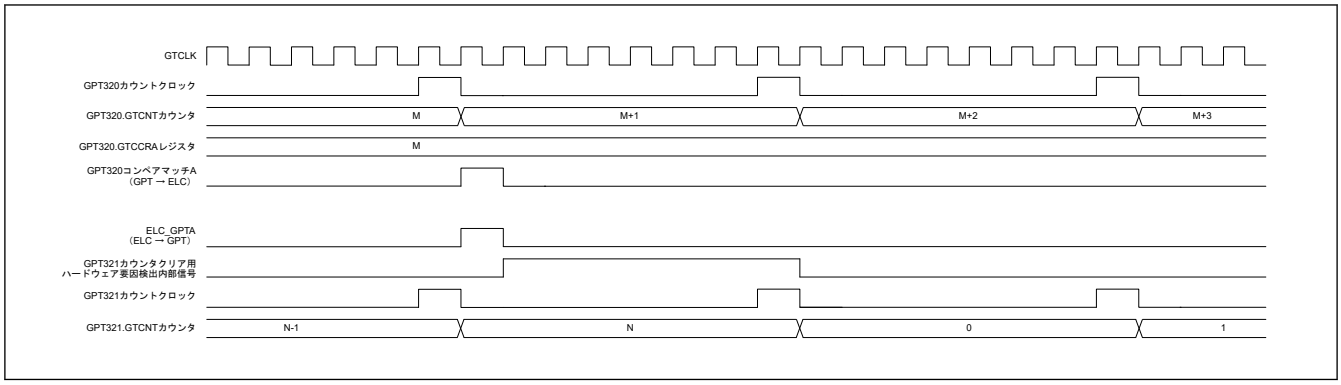


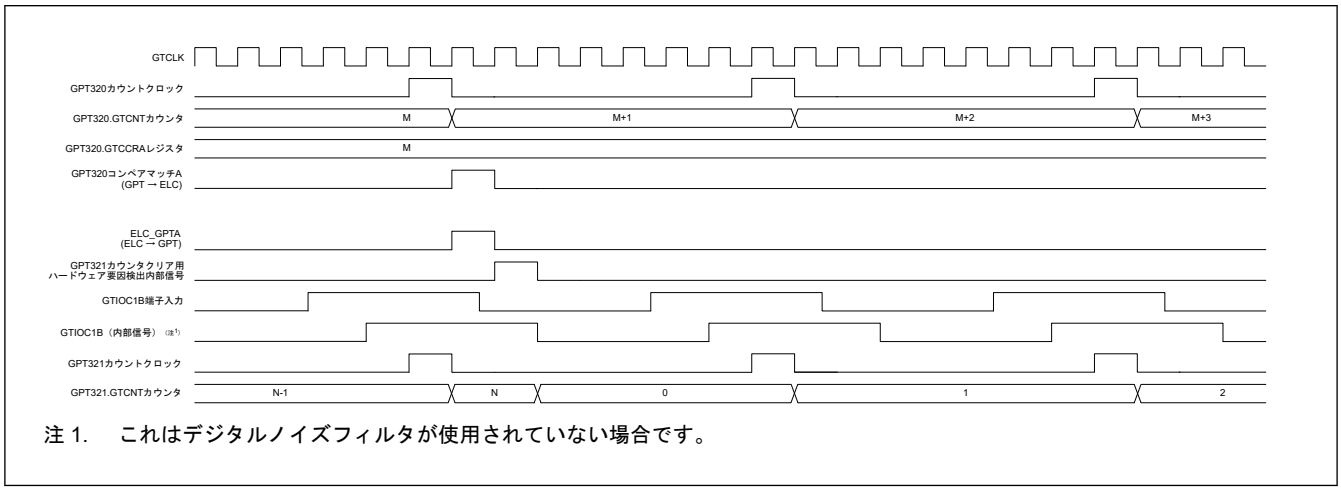
図 22.91　ELC_GPTA からのイベント入力に対応するカウンタクリアの動作タイミング例（GTCLK 信号の分周により生成されるクロック信号の周期計数中）

図 22.92 にハードウェア要因によりカウントがトリガされる場合の ELC_GPTA からのイベント信号入力に対応するカウンタクリア動作のタイミング例を示します。

これは信号に対応する GPT321.GTCNT カウンタによるカウントクリアの動作例です。GPT320.GTCCRA レジスタと一致後にイベント信号は ELC へ出力されます。これは ELC_GPTA としての ELC による、GPT321 への出力用トリガとして選択されます。

ELC は GPT320 からのイベント信号出力を遅延なく GPT321 へ渡します。

GPT32 が内部クリア信号を検出した後に、GTCNT カウンタは GTCLK と同期してクリアされます。



注 1.　これはデジタルノイズフィルタが使用されていない場合です。

図 22.92　ELC_GPTA からのイベント入力に対応するカウンタクリアの動作タイミング例（ハードウェア要因によりトリガされるカウント中）

22.3.8　同期動作

同期スタート／ストップ／クリア動作など、チャネル間の同期動作を実行できます。

22.3.8.1　ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャネル上でスタート／ストップ／クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

GTCNT 同期セット／クリア機能が GTCR.SSCEN ビットで有効な場合、GTCR.SSCGRP[1:0]ビットの同じグループで設定されたチャネルの GTCNT レジスタは同時に書き込み可能です。

相補 PWM モードでは、GTCNT への同時書き込みは無効です。

GTSECR レジスタの SSCE ビットまたは SSCD ビットのどちらかが 1 の場合、GTSECSR レジスタで選択されたチャネルの GTCR.SSCEN ビットが 0 または 1 に設定され、複数のチャネル上での GTCNT 同期セット／クリア機能が同時に有効または無効になります。

カウント動作のクロックが各チャネルの GTCR.TPCS[3:0]ビットにより選択されるので、同期動作（カウントスタート／ストップ／クリア）を実行する各チャネルのクロック周期が他と異なる場合、チャネルごとの同期動作タイミングは全く同一というわけではありません。

図 22.93 にソフトウェアによる同時スタート／ストップ／クリアの動作例を示します。図 22.94 にソフトウェアによる位相スタートの動作例を示します。図 22.95、図 22.96、図 22.97 に異なるカウント周期の同時スタート／ストップ／クリアの動作例を示します。

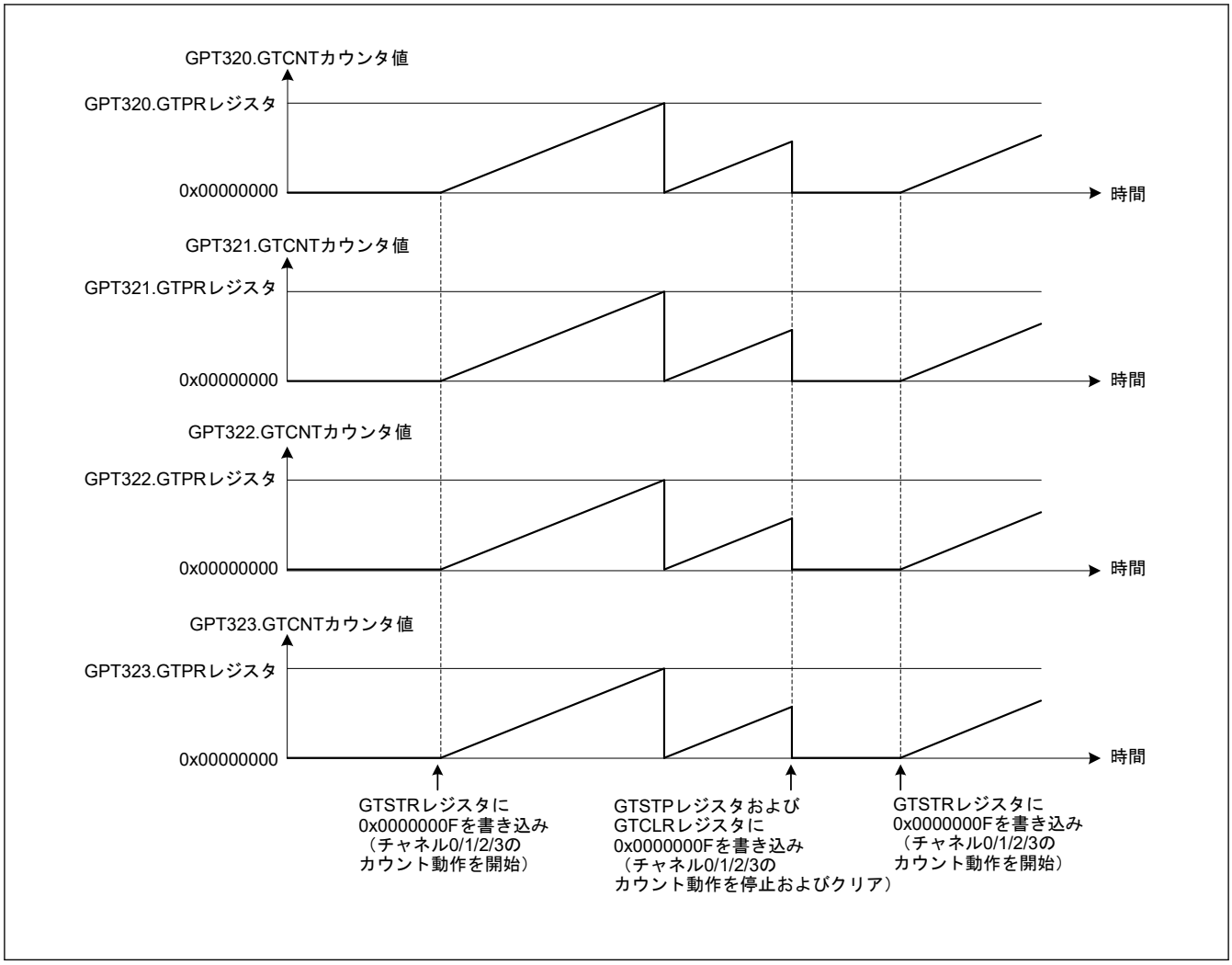


図 22.93　ソフトウェアによる同時スタート／ストップ／クリアの動作例（カウント周期（GTPR レジスタ値）が同一のとき）

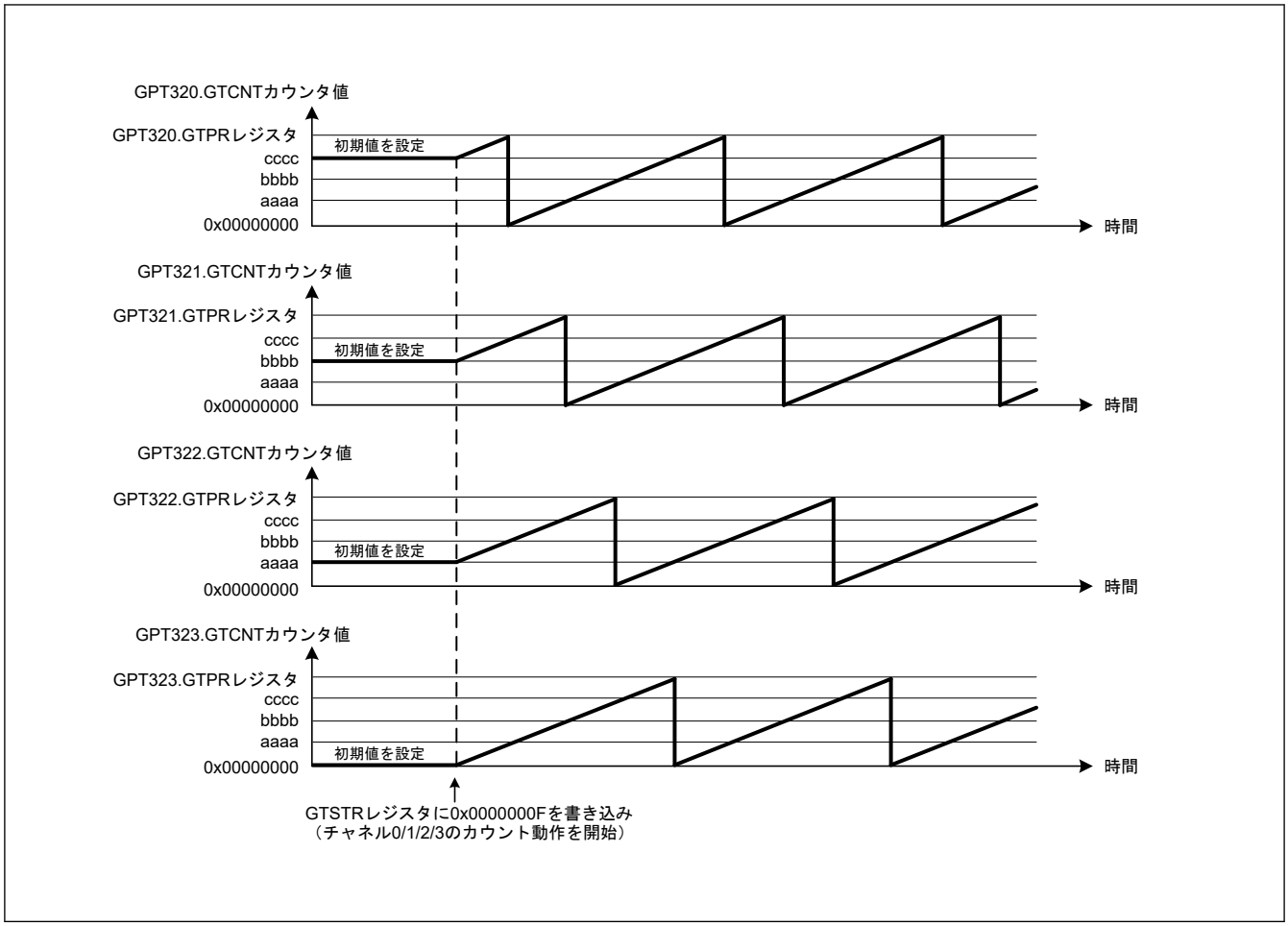


図 22.94　ソフトウェアによる位相スタート動作例（カウント周期（GTPR レジスタ値）が同一のとき）

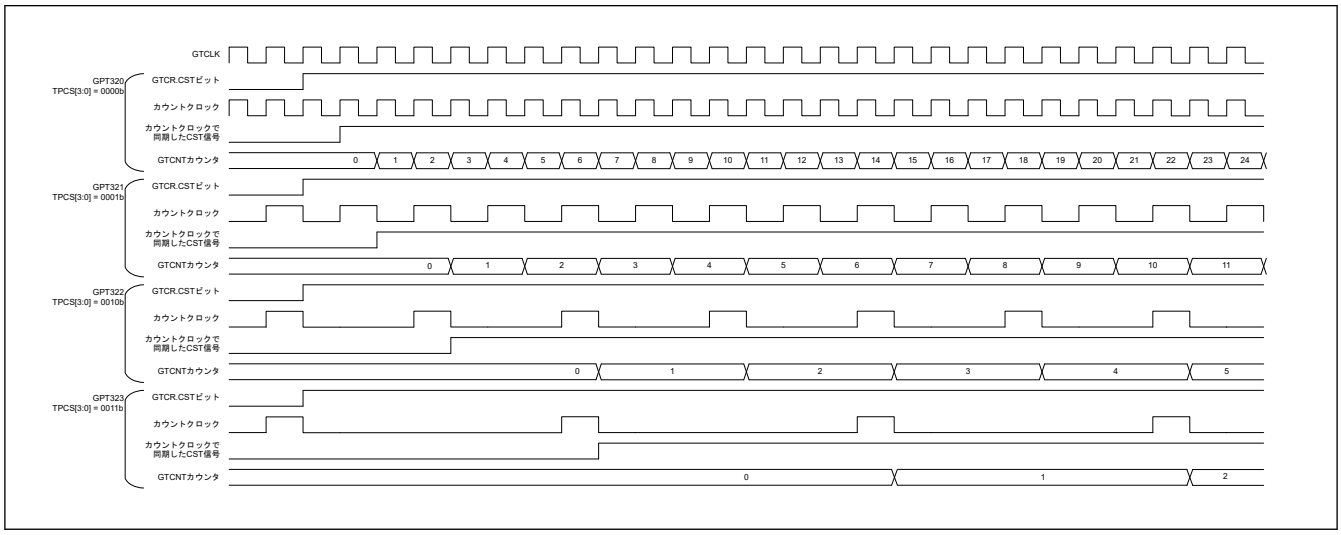


図 22.95　ソフトウェアによる同時スタートの動作例（異なるカウント周期）

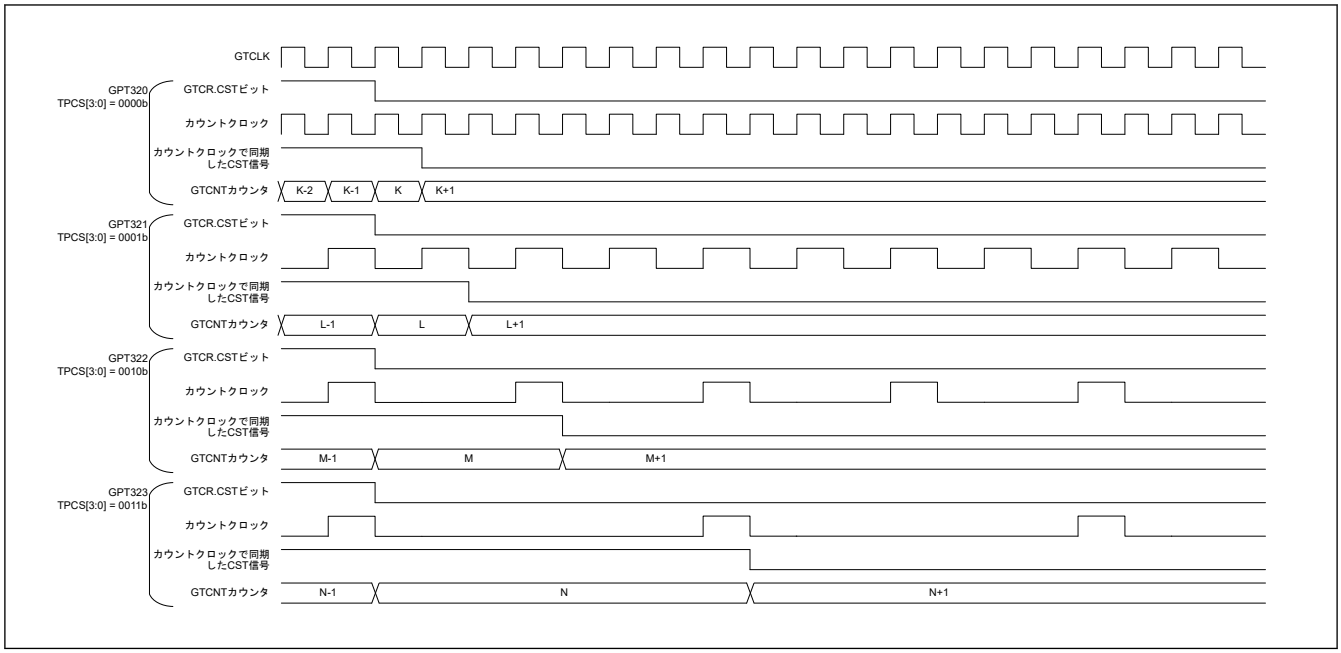


図 22.96　ソフトウェアによる同時ストップの動作例（異なるカウント周期）

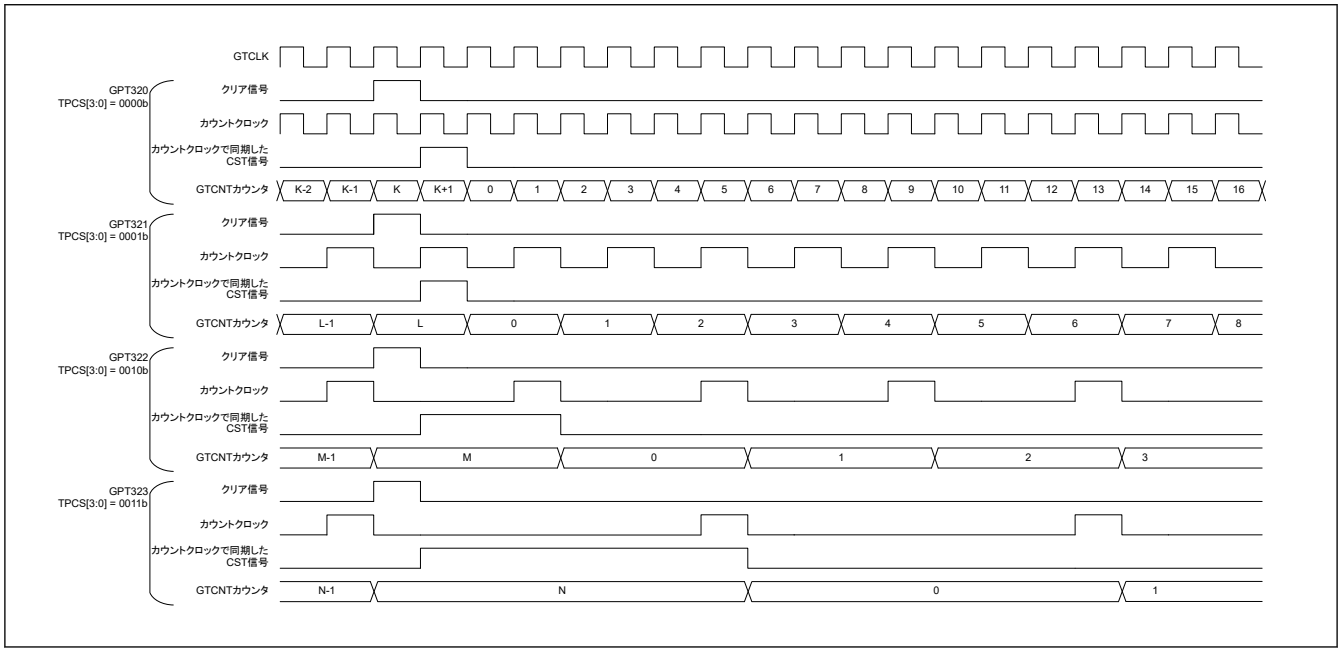
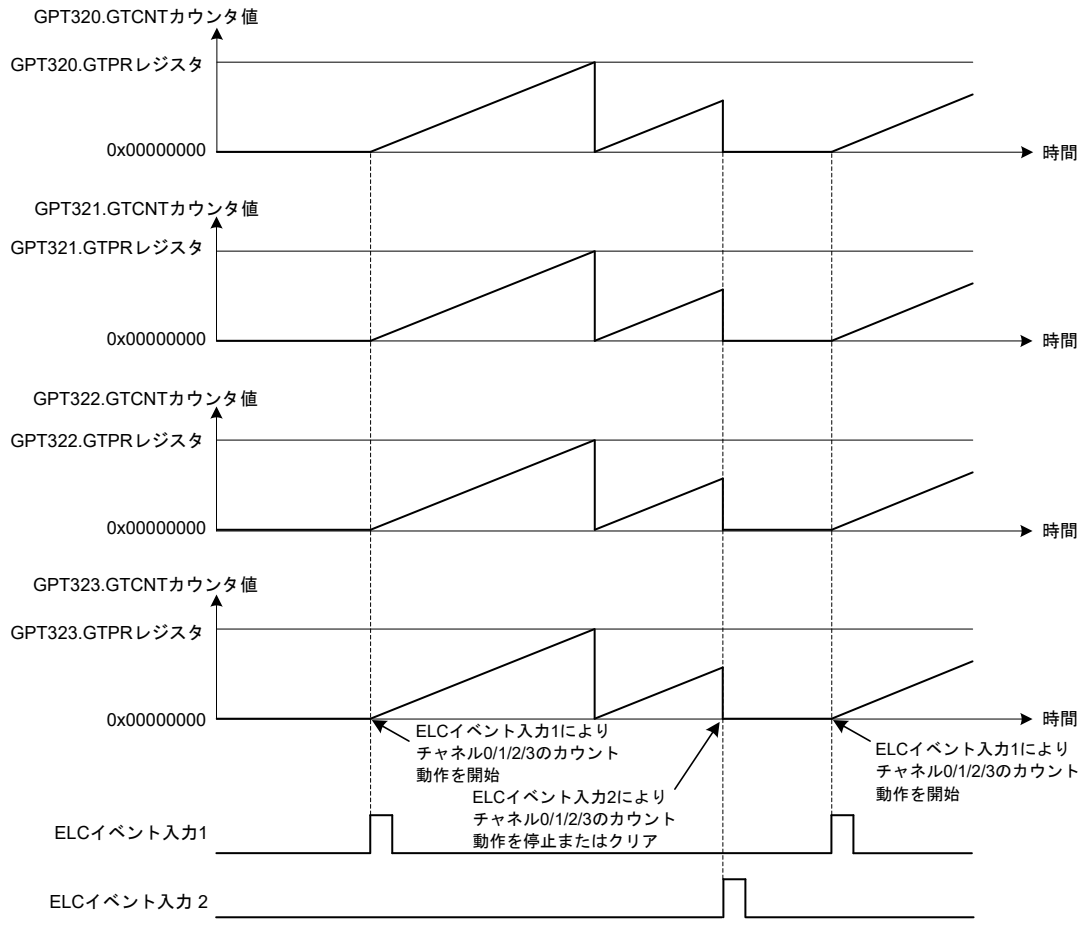


図 22.97　ソフトウェアによる同時クリアの動作例（異なるカウント周期）

22.3.8.2　ハードウェアによる同期動作

ELC イベント入力により、複数のチャネルのカウンタを同時にスタート、ストップ、クリアすることができます。

図 22.98 にハードウェア要因による同時スタート／ストップ／クリアの動作例を示します。表 22.49 に設定例を示します。



注. ELC イベント入力 1: ELCA イベント入力
ELC イベント入力 2: ELCB イベント入力

図 22.98 ハードウェア要因による同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

表 22.49 ハードウェア要因による同時スタート設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.98 では、000b または 0000b（のこぎり波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.98 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 22.98 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 22.98 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 22.98 では GTPSR.PSELCB = 1

表 22.49 ハードウェア要因による同時スタート設定例 (2/2)

No.	手順名	説明
8	ハードウェアカウンタクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。 図 22.98 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 22.98 では ELCA 入力と ELCB 入力を設定します。

22.3.8.3 チャネル間連携によるインプットキャプチャ動作

コンペアマッチ、インプットキャプチャ、のこぎり波アップカウントオーバーフロー、のこぎり波ダウンカウントアンダーフロー、三角波と相補 PWM モードの山／谷、およびカウントクロックを、他チャネルの GTCCRm レジスタ（m = A または B）のインプットキャプチャ要因として使用できます。インプットキャプチャ要因が発生するチャネルの GTICCR レジスタで、チャネル間連携によるインプットキャプチャ要因を設定できます。キャプチャされるチャネルの GTICmSR.mSOC ビット（m = A または B）で、他のチャネル要因によるインプットキャプチャを許可できます。インプットキャプチャ要因が発生するチャネルとキャプチャされるチャネルは、GTICCR.ICmGRP[1:0]ビット（m = A または B）によって同じインプットキャプチャグループに設定されます。

図 22.99 にチャネル間連携によるインプットキャプチャ動作例を、表 22.50 にチャネル間連携によるインプットキャプチャ動作の設定例を示します。

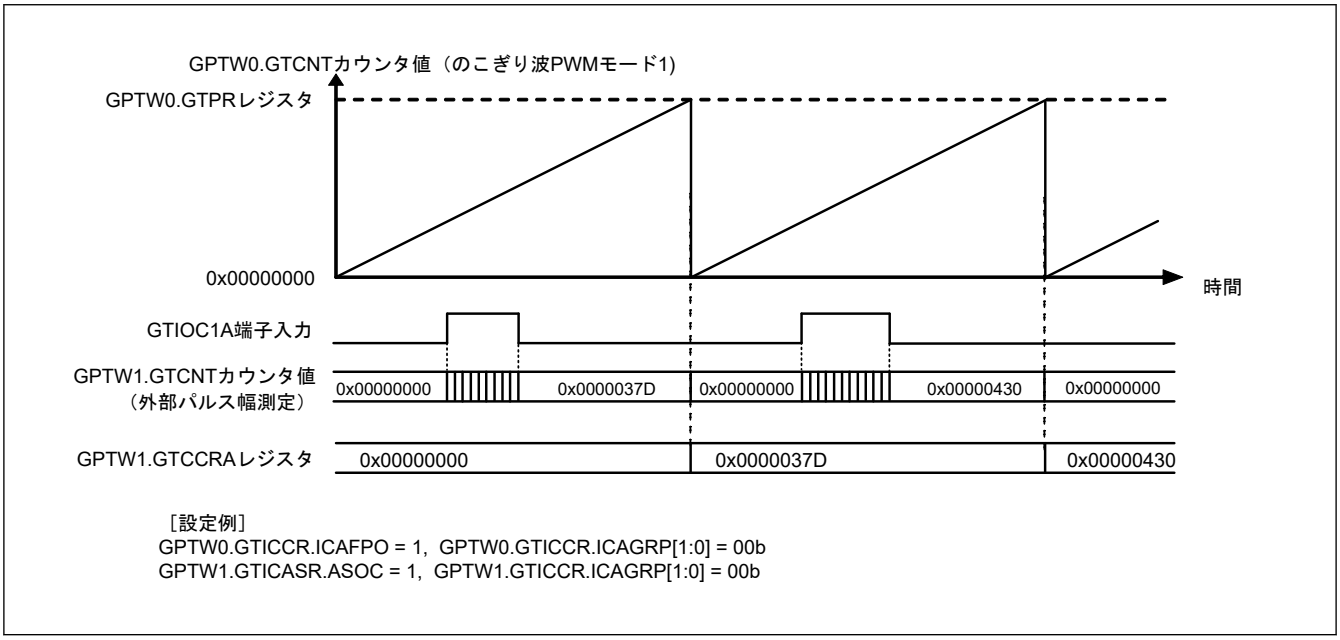


図 22.99 チャネル間連携によるインプットキャプチャ動作例（チャネル 0 のオーバーフローでチャネル 1 をキャプチャ）

表 22.50 チャネル間連携によるインプットキャプチャ動作の設定例 (1/2)

ステップ名	説明
(1) 動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.99 では、GTCR.MD[2:0] = 000b または GTCR.MD[3:0] = 0000b（のこぎり波 PWM モード 1）を GPTW0 に設定します。
(2) 外部パルス幅測定機能設定	アップカウント動作の場合は GTUPSR.USILVL [3:0]ビット、ダウンカウント動作の場合は GTDNSR.DSILVL [3:0]ビットで外部パルス幅測定機能を有効にし、測定する入力端子とレベルを選択します。 図 22.99 では、GTUPSR.USILVL[3:0] = 0011b（GTIOCnA 端子が 1 のときアップカウント）です。

表 22.50 チャネル間連携によるインプットキャプチャ動作の設定例 (2/2)

ステップ名	説明
(3) カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を選択します。 図 22.99 では、GPTW0 において、GTUDDTYC レジスタの下位 2 ビットが、11b に設定されてから 01b（アップカウント）に設定されます。
(4) カウントクロックの選択	各チャネルの GTCR.TPCS[2:0]ビットまたは GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
(5) 周期設定	各チャネルの GTPR レジスタに周期を設定します。
(6) カウンタ初期値設定	各チャネルの GTCNT カウンタに初期値を設定します。
(7) カウンタクリア要因をチャネル間連携インプットキャプチャに設定（クリアされるチャネル）	チャネル間連携によるインプットキャプチャによってクリアされるチャネルの GTCSR.CSCMSC[2:0]ビットを 001b、010b に設定し、カウンタクリア要因としてインプットキャプチャを選択します。 図 22.99 では、GPTW1.GTCSR.CSCMSC[2:0]ビットは 001b です。
(8) チャネル間連携インプットキャプチャ設定（要因チャネル）	チャネル間連携によるインプットキャプチャの要因チャネルで、GTICCR レジスタを使用してインプットキャプチャ要因を設定します。 図 22.99 では、GPTW0.GTICCR.ICAFPO ビットは 1b です。
(9) チャネル間連携インプットキャプチャ設定（キャプチャされるチャネル）	キャプチャしたチャネルの GTICmSR.mSOC ビット（m = A または B）を設定して、他のチャネル要因による GTCCRm レジスタ（m = A または B）へのインプットキャプチャを許可します。 図 22.99 では、GPTW1.GTICASR.ASOC ビットは 1b です。
(10) チャネル間連携によるインプットキャプチャのグループ設定	チャネル間連携インプットキャプチャのソースチャネルと各クリアチャネルの GTCR.SSCGRP[1:0]ビット（m = A または B）に同じ値を設定し、これらを同じインプットキャプチャグループに設定します。

22.3.8.4 チャネル間連携による同期クリア動作

コンペアマッチ、インプットキャプチャ、のこぎり波のアップカウントオーバーフロー、のこぎり波のダウンカウントオーバーフロー、GTCSR レジスタの GTIOCnA／GTIOCnB 端子入力の選択によるチャネルのカウンタクリア時に、他のチャネルのカウンタも同時にクリアできます。

GTCLR レジスタ、外部トリガ入力、および ELC 入力によるカウンタクリアは、同じカウンタクリア要因を同期クリアの対象チャネルに設定している場合に、同期クリアとして実行できます。そのため、これらの要因はチャネル間連携による同期クリア動作用に準備されていません。

同期クリア要因を発生させるチャネルと、同期クリアするチャネルを、GTCR.SSCGRP[1:0] ビットで同じ同期セット／クリアグループに設定してください。

「22.3.8.1. ソフトウェアによる同期動作」の同期動作と同様に、GTCR.TPCS[3:0] ビットで選択したカウントクロックがチャネルごとに異なる場合、同期クリア動作を正確に同じタイミングで実行することはできません。図 22.97 のソフトウェアによる同期クリア動作例と同様に、カウントクロックがチャネルごとに異なる場合、同期クリア要因が各チャネルのカウントクロックに同期してからカウンタがクリアされます。

GTSECR レジスタの SSCE ビットまたは SSCD ビットのどちらかが 1 の場合、GTSECSR レジスタで選択されたチャネルの GTCR.SSCEN ビットが 0 または 1 に設定され、複数のチャネル上での GTCNT 同期セット／クリア機能が同時に有効または無効になります。

表 22.51 に同期クリア要因レジスタの設定を、図 22.100 にチャネル間連携による同期クリア動作の例を、表 22.52 にチャネル間連携による同期クリア動作の設定例を示します。

表 22.51 同期クリア要因レジスタの設定 (1/2)

チャネル間連携による同期クリア要因	設定レジスタ	設定値
GTCCRA レジスタコンペアマッチ／インプットキャプチャ	GTINTAD.SCFA	1b
	GTCSR.CSCMSC[2:0]	001b
GTCCRB レジスタコンペアマッチ／インプットキャプチャ	GTINTAD.SCFB	1b
	GTCSR.CSCMSC[2:0]	010b

表 22.51　同期クリア要因レジスタの設定 (2/2)

チャネル間連携による同期クリア要因	設定レジスタ	設定値
GTCCRC レジスタコンペアマッチ	GTINTAD.SCFC	1b
	GTCSR.CSCMSC[2:0]	011b
GTCCRD レジスタコンペアマッチ	GTINTAD.SCFD	1b
	GTCSR.CSCMSC[2:0]	100b
GTCCRE レジスタコンペアマッチ	GTINTAD.SCFE	1b
	GTCSR.CSCMSC[2:0]	101b
GTCCRF レジスタコンペアマッチ	GTINTAD.SCFF	1b
	GTCSR.CSCMSC[2:0]	110b
のこぎり波アップカウントのオーバーフロー	GTINTAD.SCFPO	1b
のこぎり波ダウンカウントのアンダーフロー	GTINTAD.SCFPU	1b
GTIOCnA/GTIOCnB 端子に起因したクリア	GTCR.SCGTIOC	1b

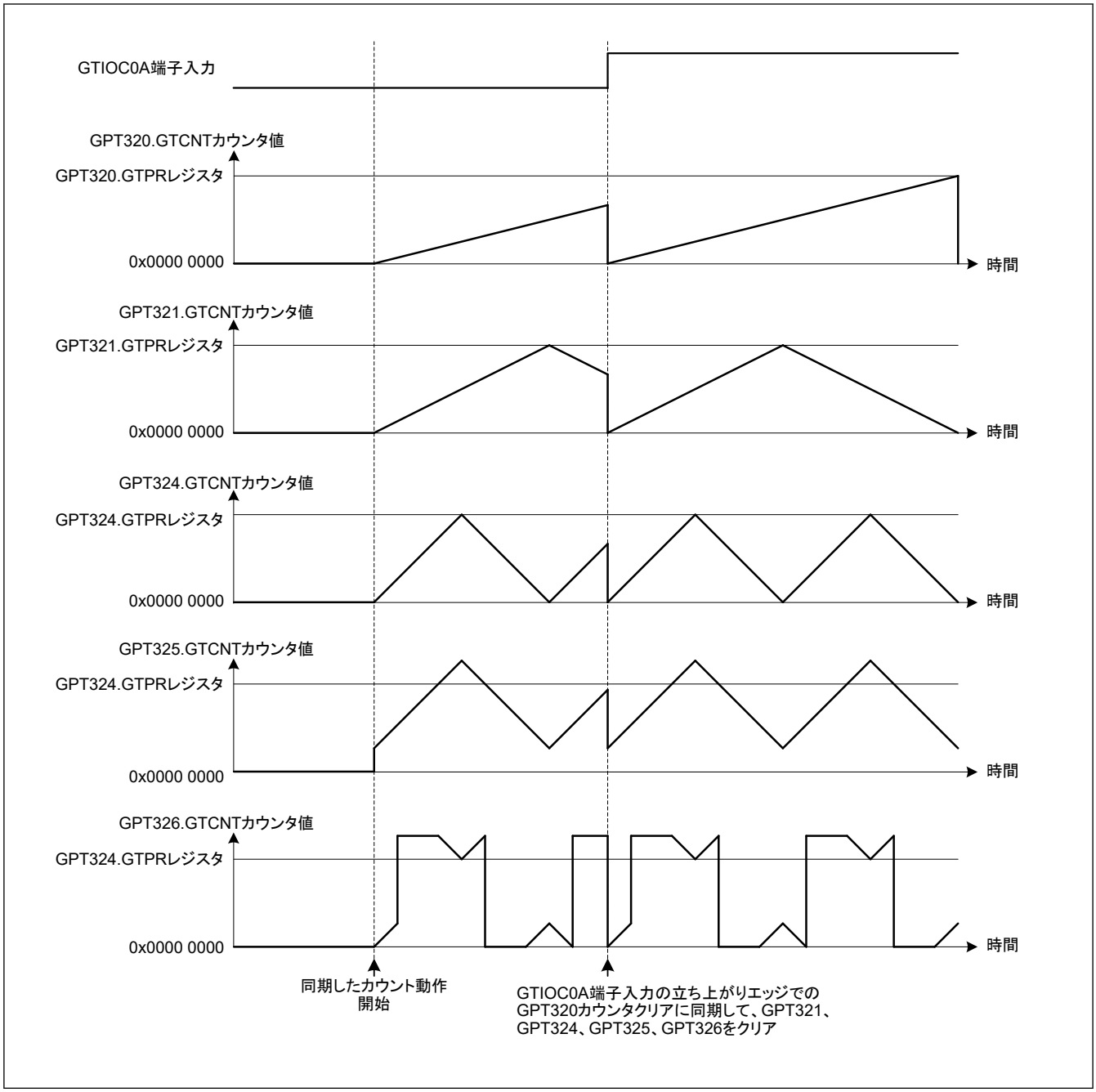


図 22.100 チャネル間連携による同期クリア動作例（GPT320 がのこぎり波、GTIOC0A の立ち上がりエッジでカウンタクリア、GPT321 が三角波、GPT324、GPT325、GPT326 が相補 PWM モード。GPT320、GPT321、GPT324、GPT325、GPT326 は同じ同期セット／クリアグループ）

表 22.52 チャネル間連携による同期クリア動作の設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0] ビットまたは GTCR.MD[3:0] ビットで動作モードを設定します。 図 22.100 の例では、GPT320 に 000b（のこぎり波 PWM モード 1）を設定します。GPT321 に 100b（三角波 PWM モード 1）を設定します。GPT324（GPT325、GPT326）には 1100b（相補 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 22.100 の例では、GPT320 と GPT321 の場合は GTUDDTYC の下位 2 ビットに 11b 設定してから、GTUDDTYC の下位 2 ビットに 01b（アップカウント）を設定します。
3	カウントクロックの選択	各チャネルの GTCR.TPCS[3:0] ビットでカウントクロックを選択します。

表 22.52 チャネル間連携による同期クリア動作の設定例 (2/2)

No.	ステップ名	説明
4	周期設定	各チャネルの GTPR レジスタに周期を設定します。 相補 PWM モードの場合、マスタチャネルの GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	各チャネルの GTCNT カウンタに初期値を設定します。
6	チャネル間連携の同期クリア設定（ソースチャネル）	チャネル間連携の同期クリアのソースチャネルの GTINTAD レジスタと GTCR.SCGTIOC ビットを設定して同期クリアを許可します。 相補 PWM モードの場合、マスタチャネルの GTINTAD レジスタを設定します。 図 22.100 の例では、GPT320.GTCR.SCGTIOC ビットは 1 です。
7	チャネル間連携の同期クリア設定（クリアチャネル）	チャネル間連携の同期クリアのクリアチャネルの GTCSR.CSCMSC[2:0] ビットを設定して同期カウンタクリアグループによるカウンタクリアを選択します。 相補 PWM モードの場合、マスタチャネルの GTCSR レジスタを設定します。 図 22.100 では、GPT321、GPT324、GPT325、および GPT326 の GTCSR.CSCMSC[2:0]ビットは 111b です。
8	チャネル間連携の同期クリアのグループ設定	チャネル間連携の同期クリアのソースチャネルと各クリアチャネルの GTCR.SSCGRP[1:0] ビットに同じ値を設定し、これらのチャネルを同じ同期セット／クリアグループに設定します。 相補 PWM モードの場合、マスタチャネルの GTCR レジスタを設定します。
9	チャネル間連携の同期クリア許可	チャネル間連携の同期クリアのソースチャネルと各クリアチャネルの GTCR.SSCEN ビットを設定して同期クリアを許可します。

表 22.53 チャネル間連携による同期クリア動作の設定例（GTIOCnA/GTIOCnB 端子を使用した GTCCRA インプットキャプチャによるクリア）

動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。
カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を選択します。
カウントクロックの選択	各チャネルの GTCR.TPCS[2:0]ビットでカウントクロックを選択するか、各チャネルの GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
周期設定	各チャネルの GTPR レジスタに周期を設定します。 相補 PWM モードのとき、マスタチャネルの GTPR レジスタに周期を設定します。
カウンタ初期値設定	各チャネルの GTCNT カウンタに初期値を設定します。
チャネル間連携の同期クリア設定（要因チャネル）	GTIOCnA/B 端子を使用するインプットキャプチャ要因を GTICASR レジスタに設定し、GTICASR レジスタと同じ要因をカウントクリア要因として GTCSR レジスタに設定します。また、GTINTAD.SCFA ビット = 1b、GTCSR.CSCMSC[2:0]ビット = 001b を設定し、GTCCRA インプットキャプチャによって同期クリア要因を有効にします。相補 PWM モードの場合は、マスタチャネルの GTINTAD レジスタを設定します。
チャネル間連携の同期クリア設定（クリアチャネル）	チャネル間連携の同期クリアの要因チャネルとクリアチャネルの GTCR.SSCGRP[1:0]ビットに同じ値を設定し、同じ同期セット／クリアグループに設定します。相補 PWM モードのとき、マスタチャネルの GTCR レジスタを設定します。
チャネル間連携の同期クリアの有効化	チャネル間連携の同期クリアの要因チャネルとクリアチャネルの GTCR.SSCEN ビットを設定し、同期クリアを有効にします。

22.3.9 PWM 出力動作例

(1) 同期 PWM 出力

GPT は、最大 GPT × 14 チャネルの 14 × 2 相の連動した PWM 波形を出力します。

図 22.101 に、4 チャネルをのこぎり波 PWM モード 1 で同期動作させて、8 相の PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

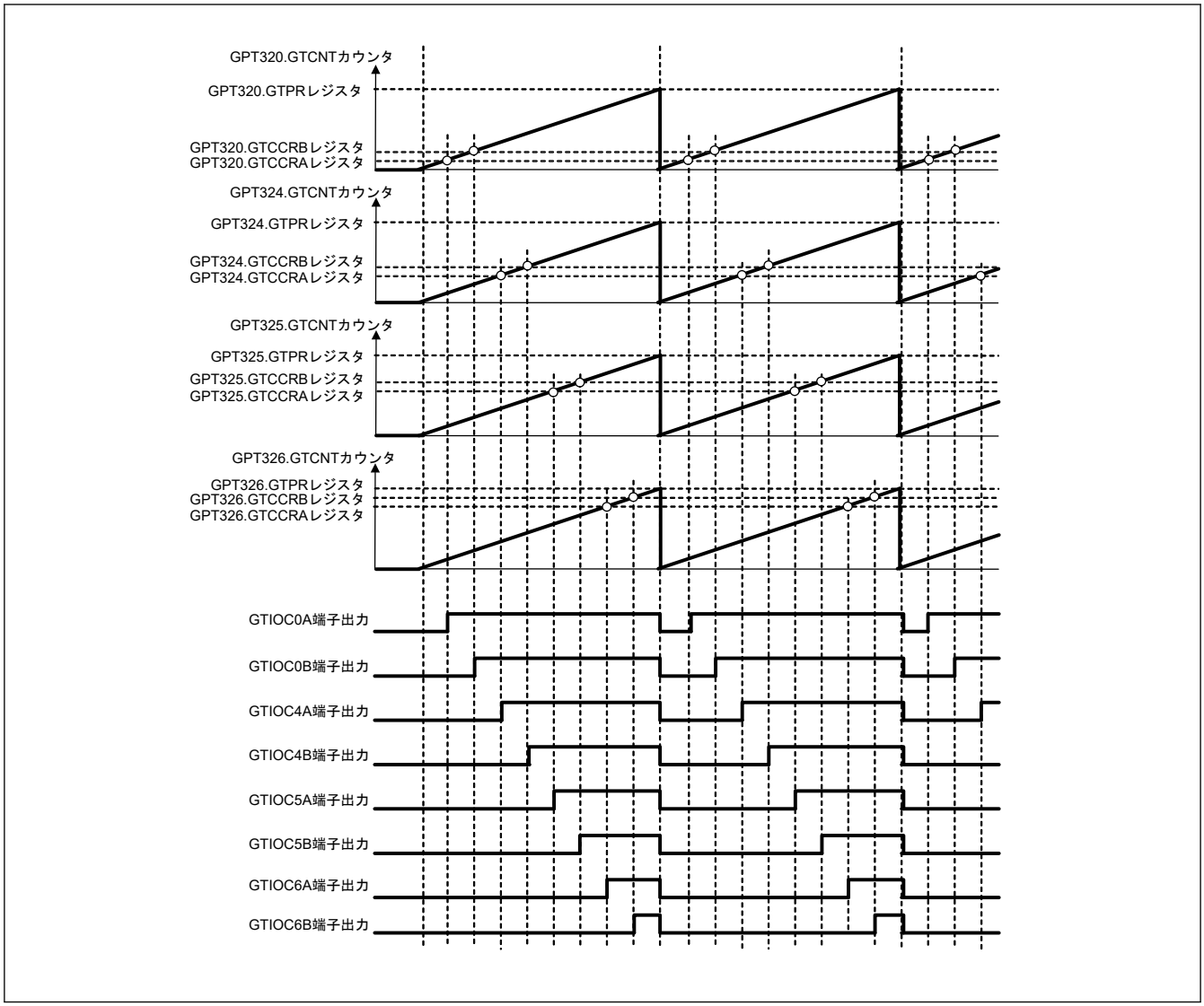


図 22.101　同期 PWM 出力例

(2)　のこぎり波 3 相相補 PWM 出力

図 22.102 に、3 チャネルをのこぎり波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

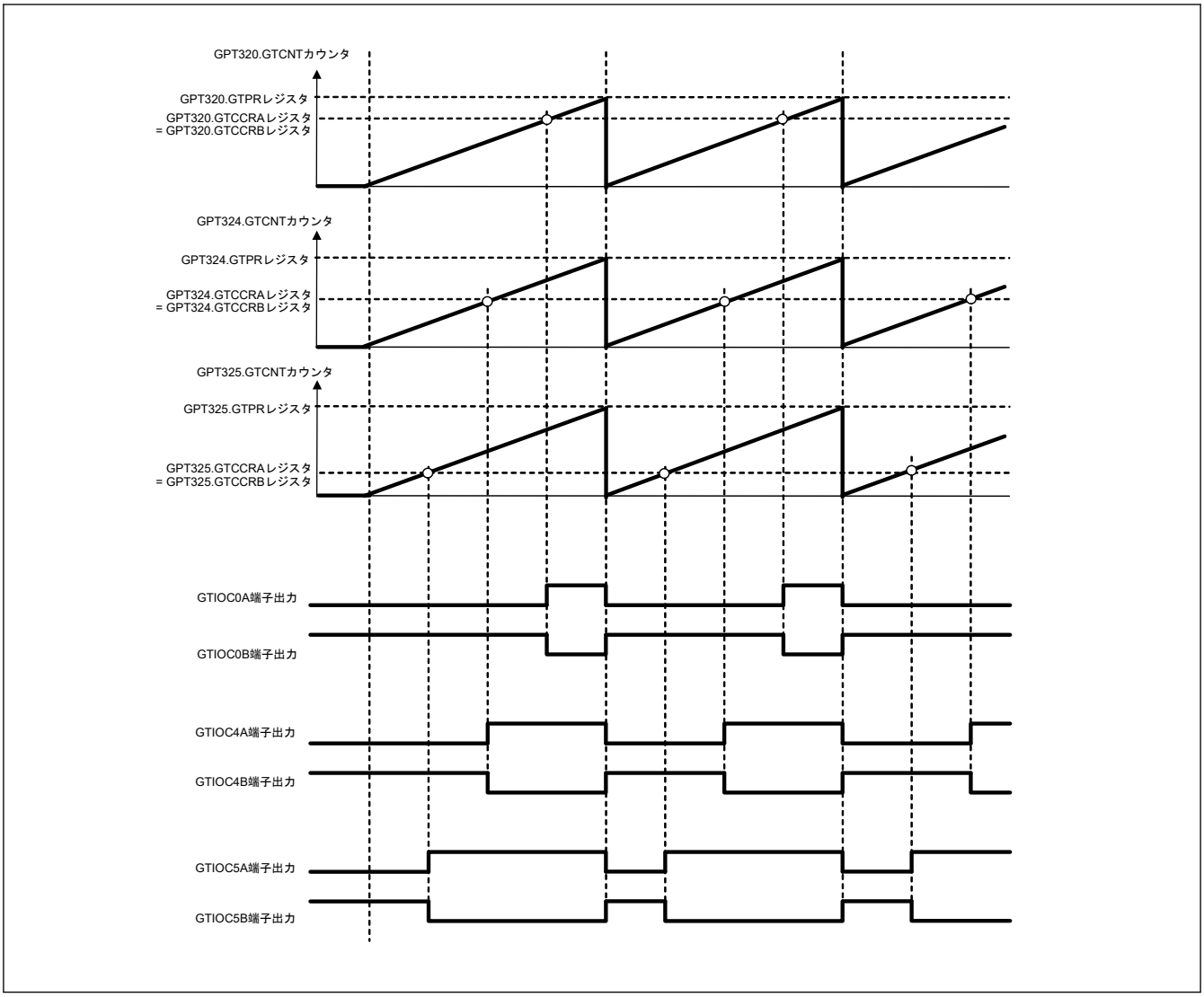


図 22.102　のこぎり波 3 相相補 PWM 出力例

(3)　のこぎり波 3 相相補 PWM 出力（デッドタイム自動設定）

図 22.103 に、デッドタイム自動設定機能を使用して、3 チャネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

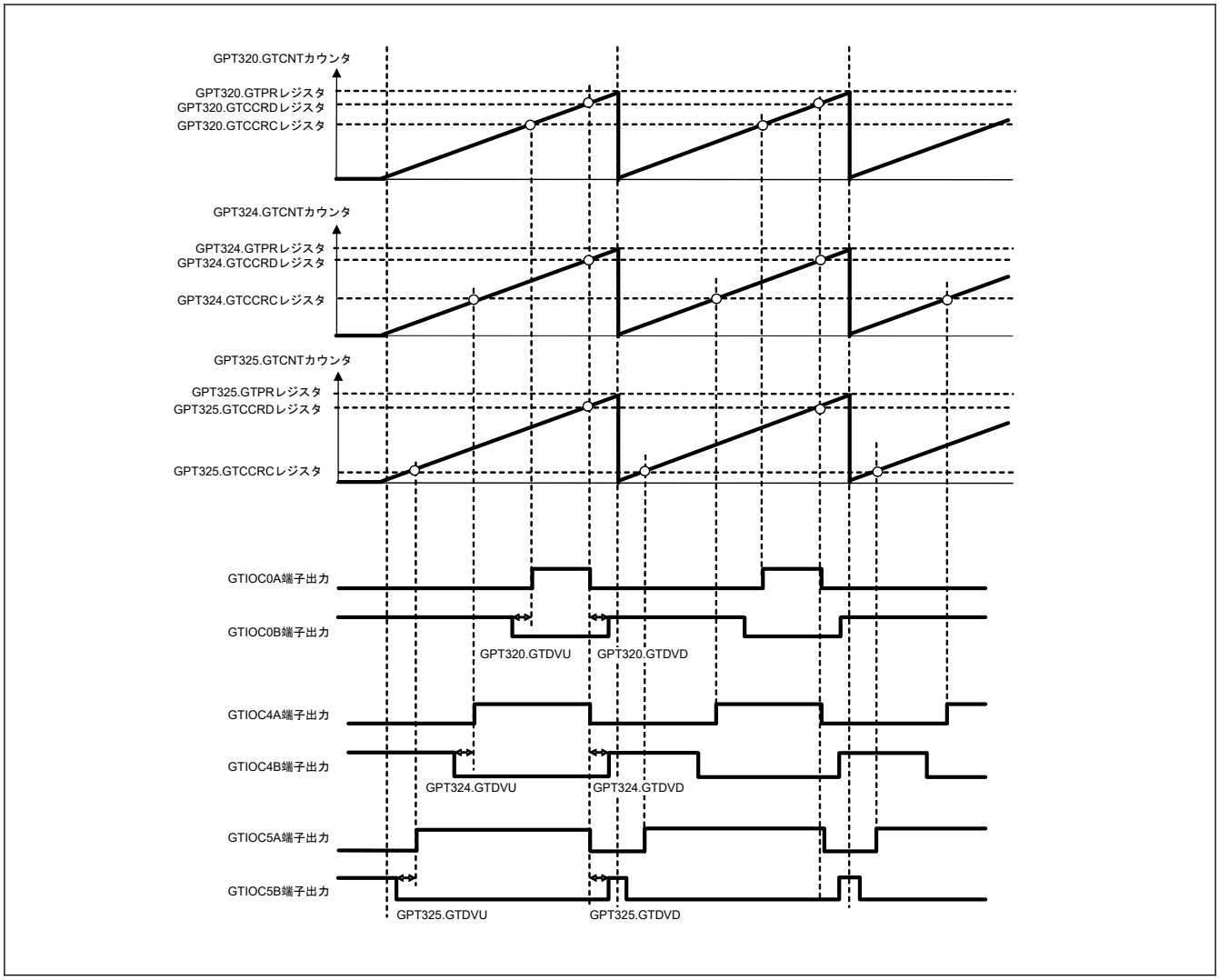


図 22.103　のこぎり波 3 相相補 PWM 出力例（デッドタイム自動設定）

(4)　三角波 3 相相補 PWM 出力

図 22.104 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

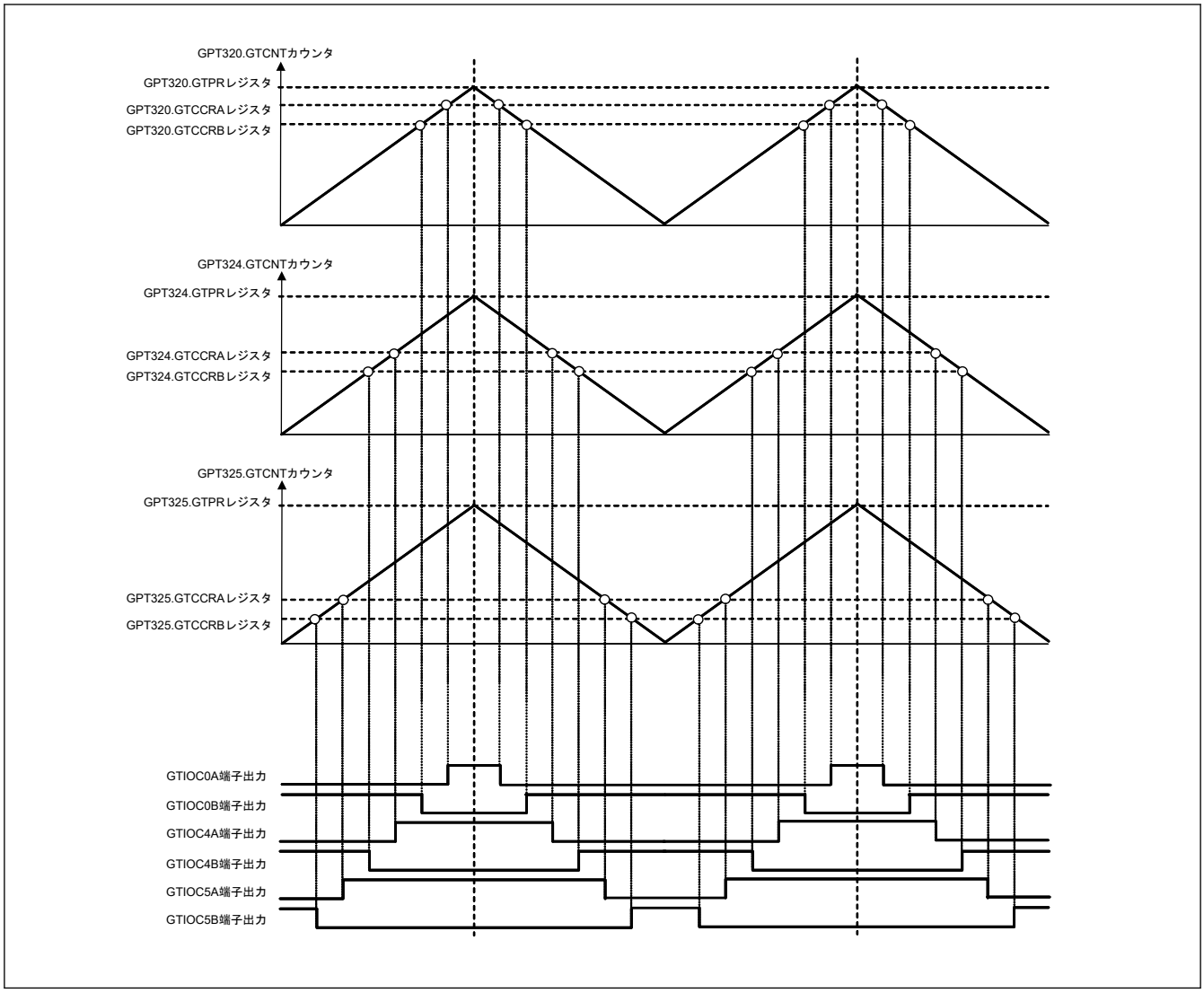


図 22.104　三角波 3 相相補 PWM 出力例

(5)　三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 22.105 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

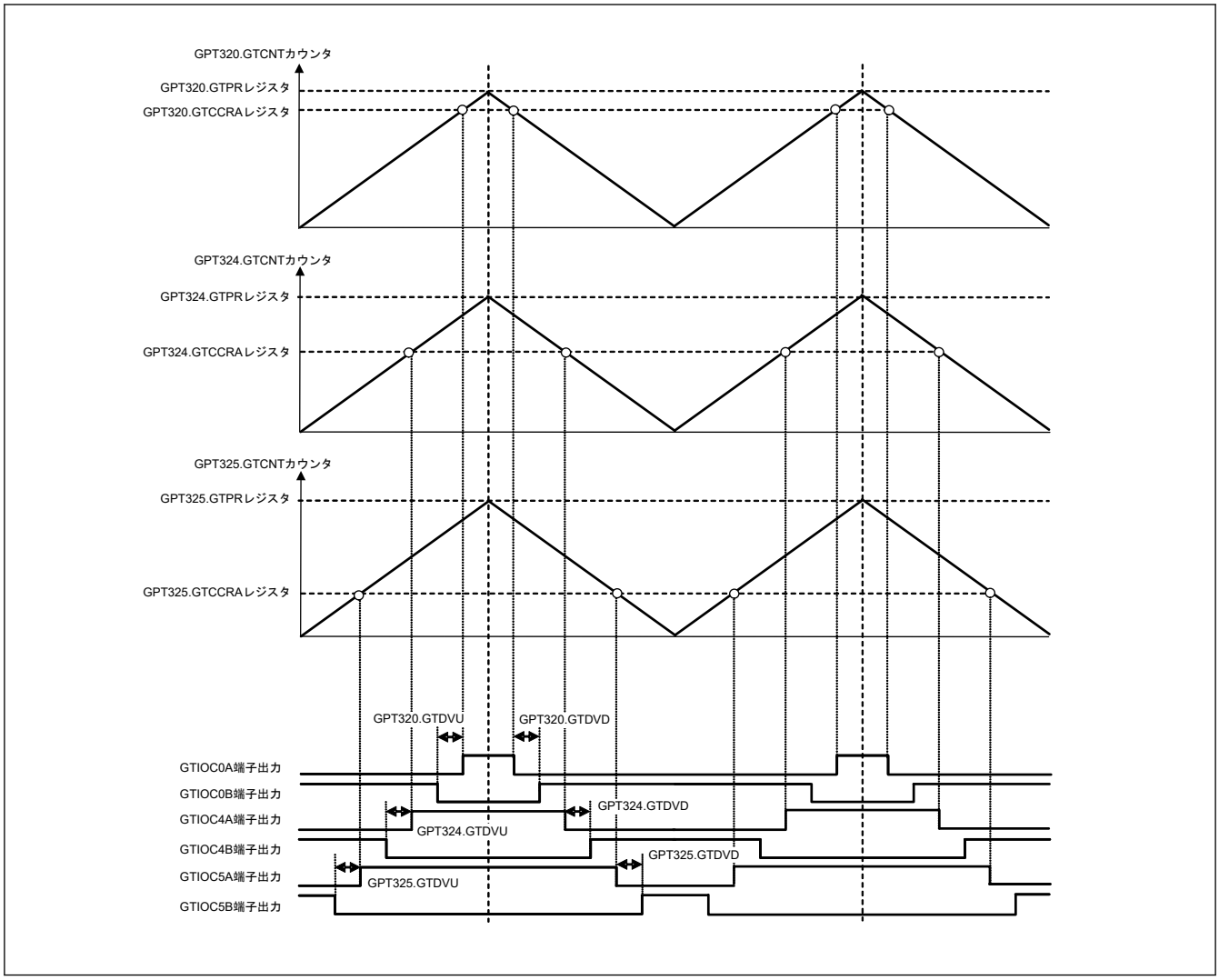


図 22.105　三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

(6)　非対称三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 22.106 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

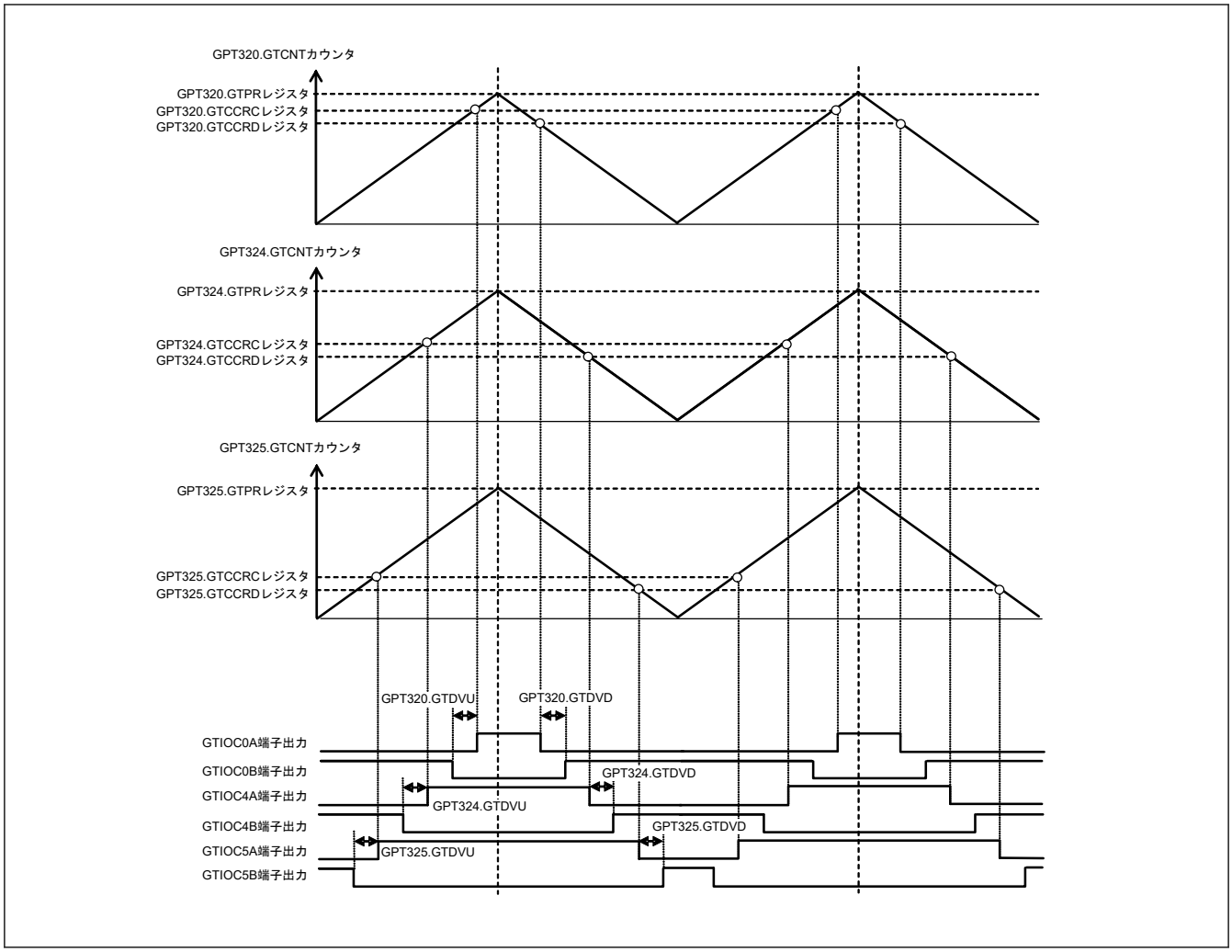


図 22.106　非対称三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

22.3.10　周期計数機能

GTPC レジスタを設定すると、周期の終了を計数できます。

GTPC.PCEN ビットが 0 の場合、計数する周期の数は GTPC.PCNT カウンタに設定します。PCEN ビットが 1 のとき、PCNT カウンタを読み出せますが、書き込みはできません。PCEN ビットが 1 のとき、周期の終わりでダウンカウントが実行されます。周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止し周期計数機能を終了します。その時、GTST.PCF フラグが設定され、周期計数機能終了割り込み要求 GPTn_PC が発生します。GTPC.ASTP ビットが 1 の場合、周期計数機能が終了したときに GTCNT カウンタも同時に停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 で ASTP ビットが 1 の状態で PCEN ビットを 0 から 1 に変更した場合、GTCNT カウンタはその直後にカウントクロックで停止します。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットいずれかが 1 に設定されたとき、GTSECSR レジスタによって 1 に設定されたチャネルの PCEN ビットが、複数のチャネルの周期計数機能を許可／禁止する値に同時に設定されます。

PWM 周期計数機能の例を図 22.107 と図 22.108 に示します。

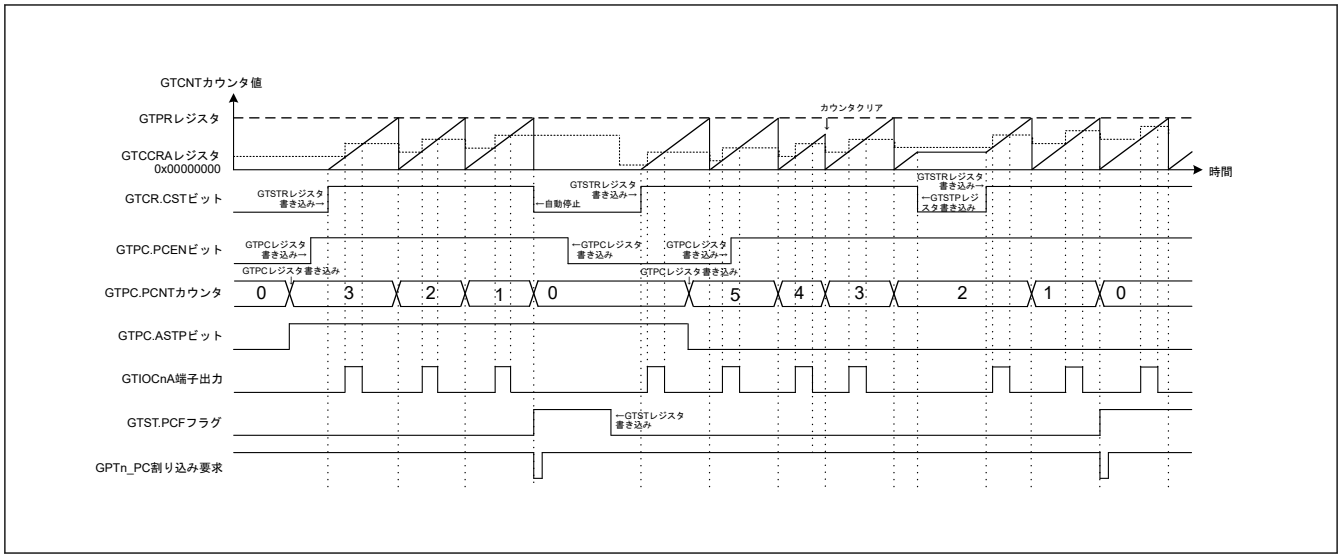
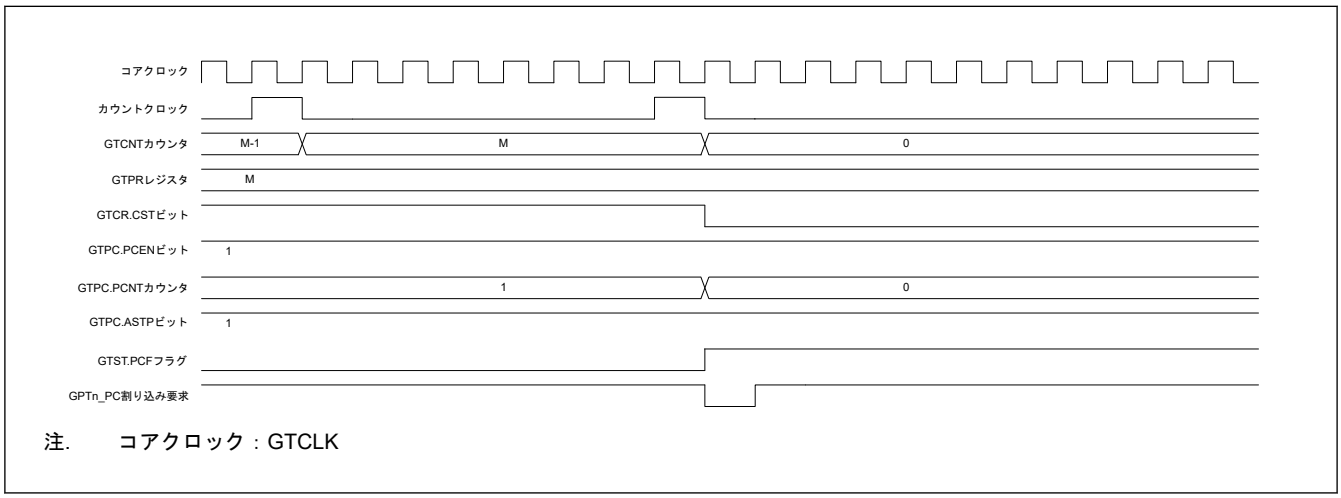


図 22.107　PWM 周期計数機能の例（のこぎり波ワンショットパルスモード）



注.　コアクロック：GTCLK

図 22.108　PWM 周期計数機能の動作タイミング例（のこぎり波ワンショットパルスモード、アップカウント）

22.3.11　位相計数機能

GTIOCnA 端子入力と GTIOCnB 端子入力 (n = 0～13) の間で位相差が検出されると、対応する GTCNT カウンタがアップカウントまたはダウンカウントを実行します。GTUPSR レジスタおよび GTDNSR レジスタに設定されている GTIOCnA 端子入力と GTIOCnB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作の詳細については、「22.3.1.1. カウンタの動作」を参照してください。

図 22.109～図 22.118 に GTIOCnA 端子、GTIOCnB 端子を使用する場合の位相計数モード 1～5 の動作例を示します。表 22.54～表 22.63 にアップカウント／ダウンカウントの条件を、図 22.109～図 22.118 に対応する GTUPSR レジスタおよび GTDNSR レジスタの設定値を示します。

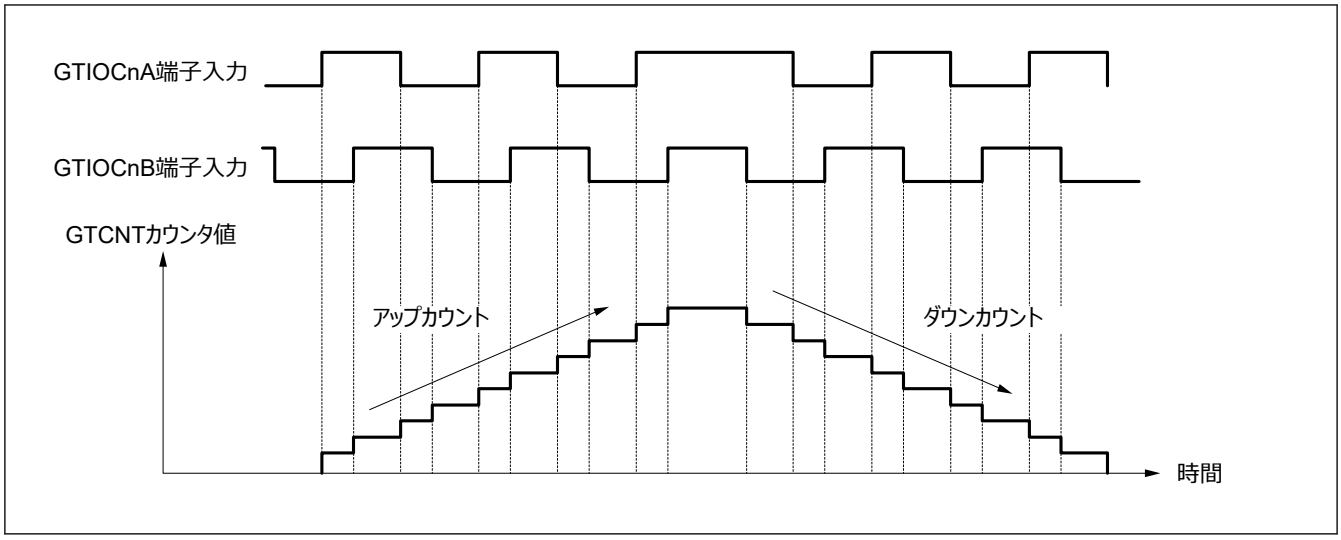


図 22.109　位相計数モード 1 の動作例

表 22.54　位相計数モード 1 でのアップカウント／ダウンカウントの条件

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR = 0x00006900 GTDNSR = 0x00009600
Low	↓		
↑	Low		
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High		
↓	Low		

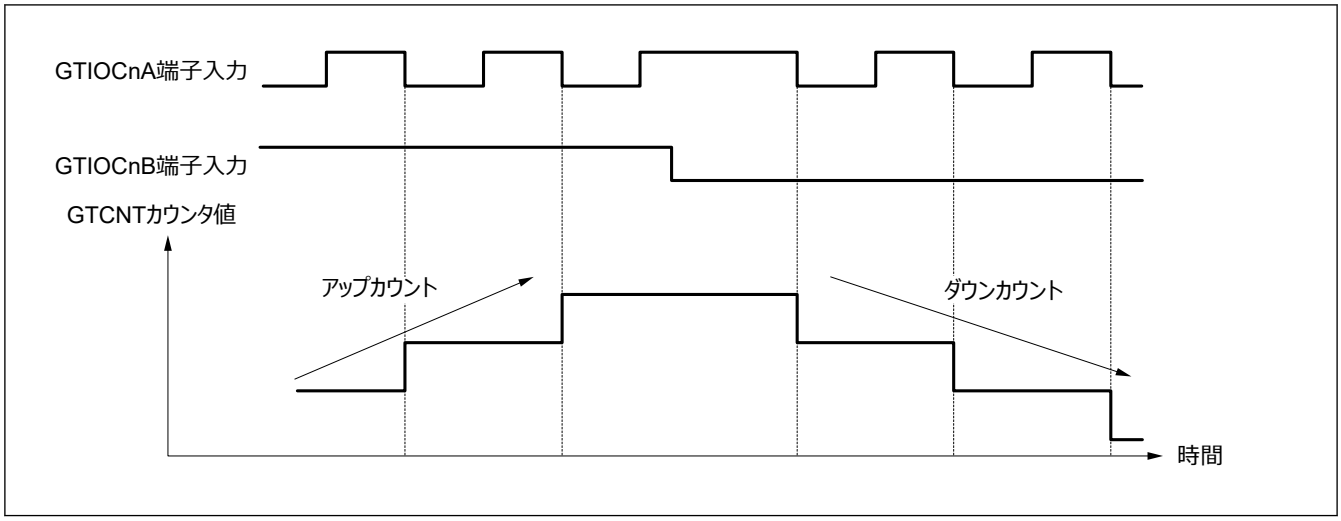


図 22.110　位相計数モード 2 の動作例 (A)

表 22.55　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00000400
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	ダウンカウント	

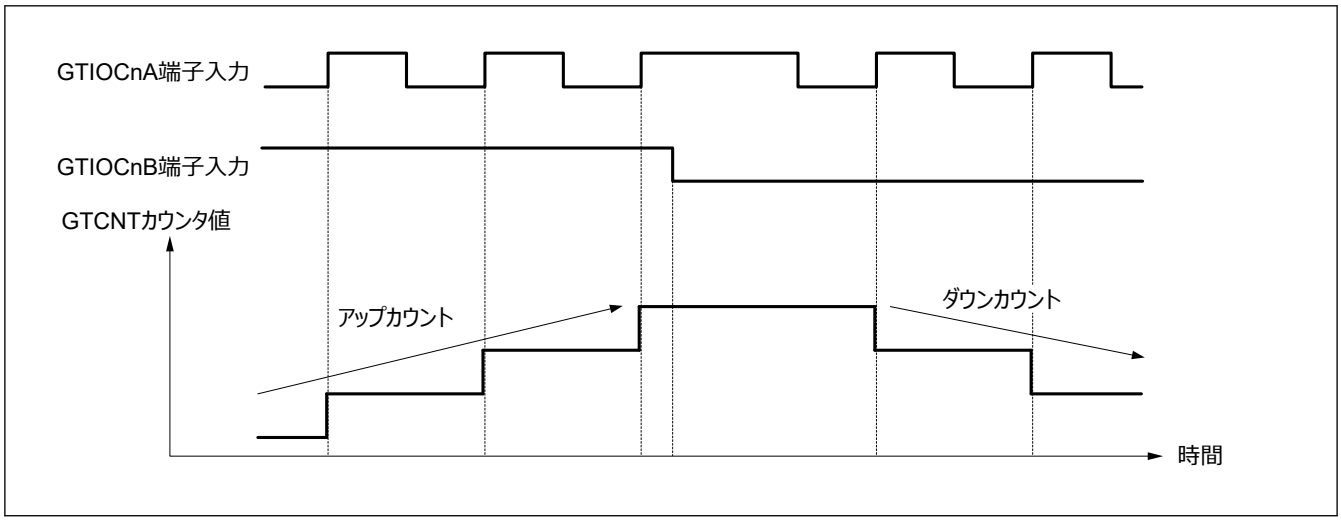


図 22.111　位相計数モード 2 の動作例 (B)

表 22.56　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	カウントしない	GTUPSR = 0x00000200 GTDNSR = 0x00000100
Low	↓		
↑	Low	ダウンカウント	
↓	High	カウントしない	
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	カウントしない	

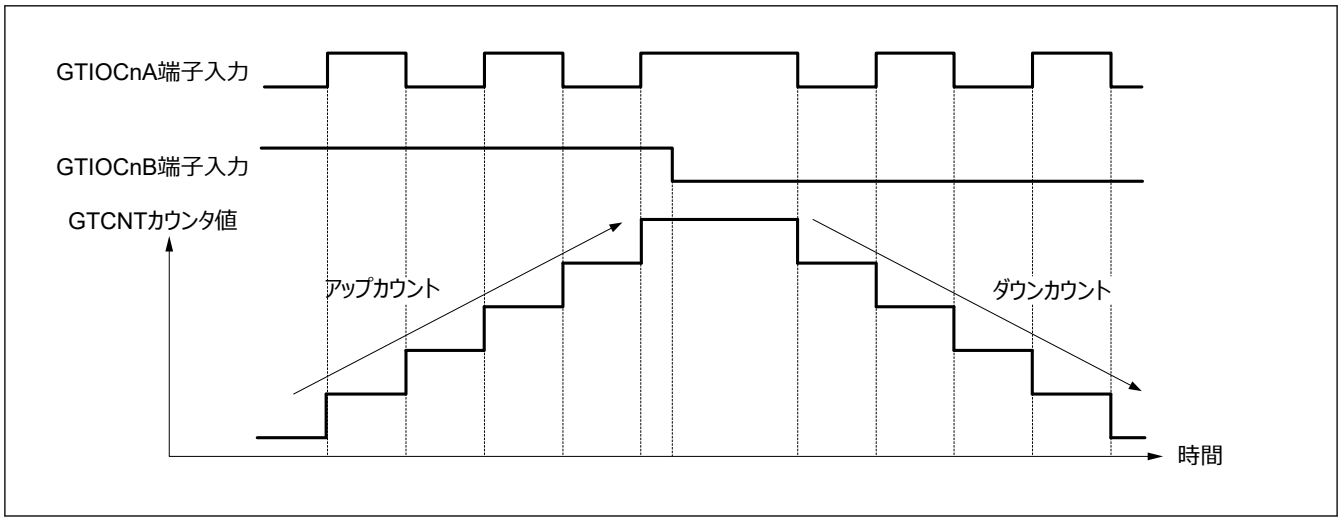


図 22.112　位相計数モード 2 の動作例 (C)

表 22.57　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (C)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000A00 GTDNSR = 0x00000500
Low			
	Low	ダウンカウント	
	High	アップカウント	
High		カウントしない	
Low			
	High	アップカウント	
	Low	ダウンカウント	

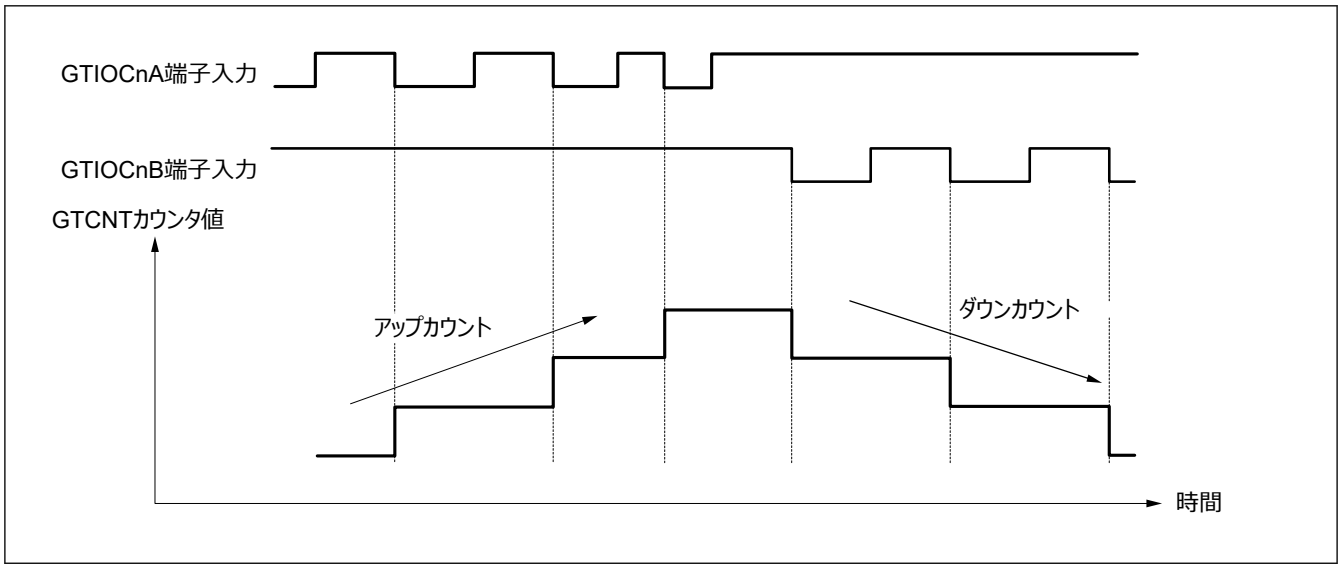


図 22.113　位相計数モード 3 の動作例 (A)

表 22.58　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00008000
Low			
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High		
	Low		

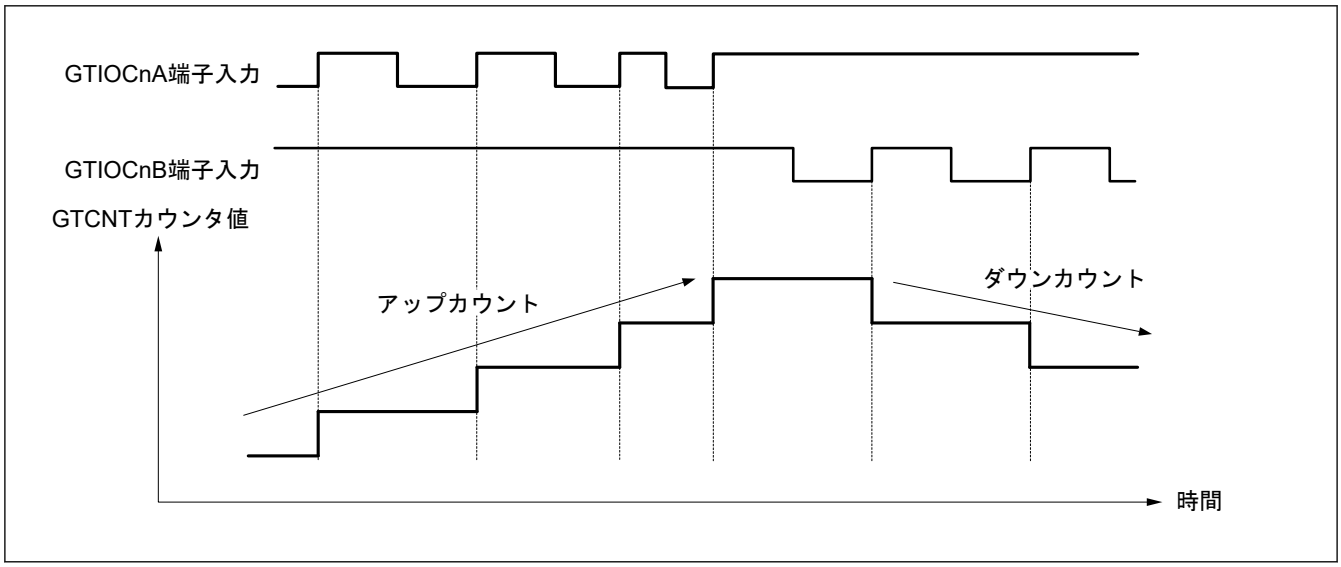


図 22.114　位相計数モード 3 の動作例 (B)

表 22.59　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR = 0x00000200 GTDNSR = 0x00002000
Low	↓	カウントしない	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	カウントしない	

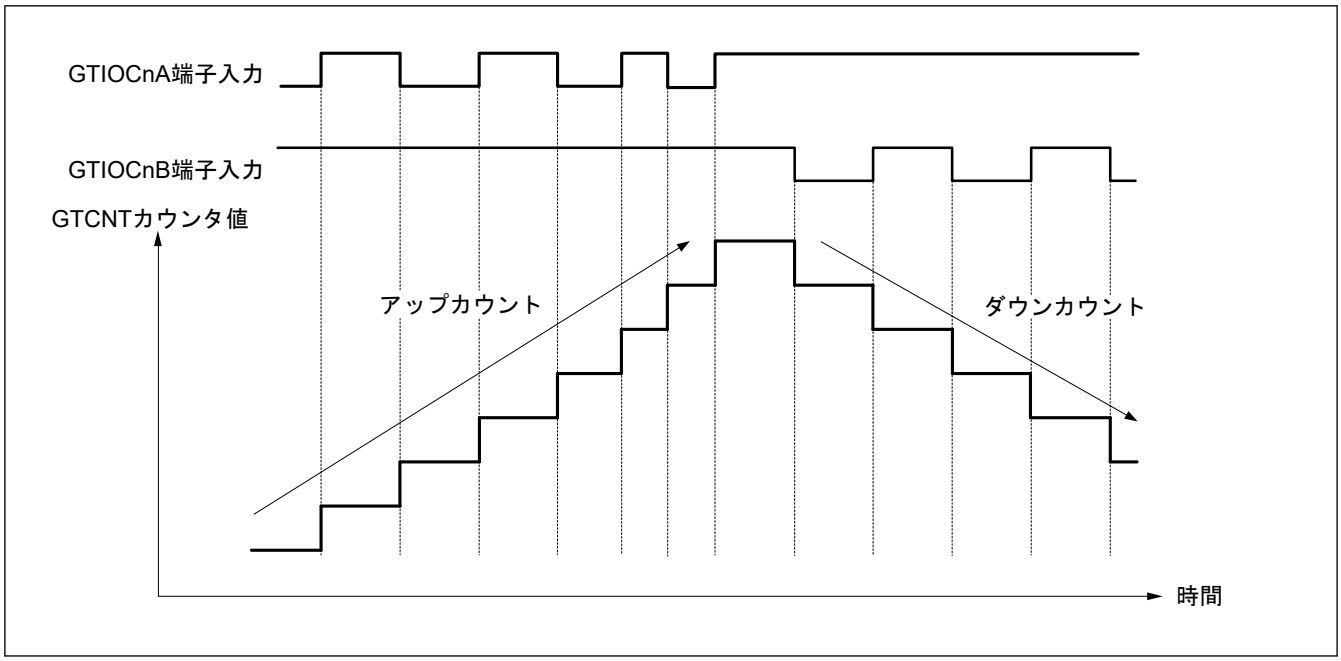


図 22.115　位相計数モード 3 の動作例 (C)

表 22.60　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (C)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR = 0x00000A00 GTDNSR = 0x0000A000
Low		カウントしない	
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High	アップカウント	
	Low	カウントしない	

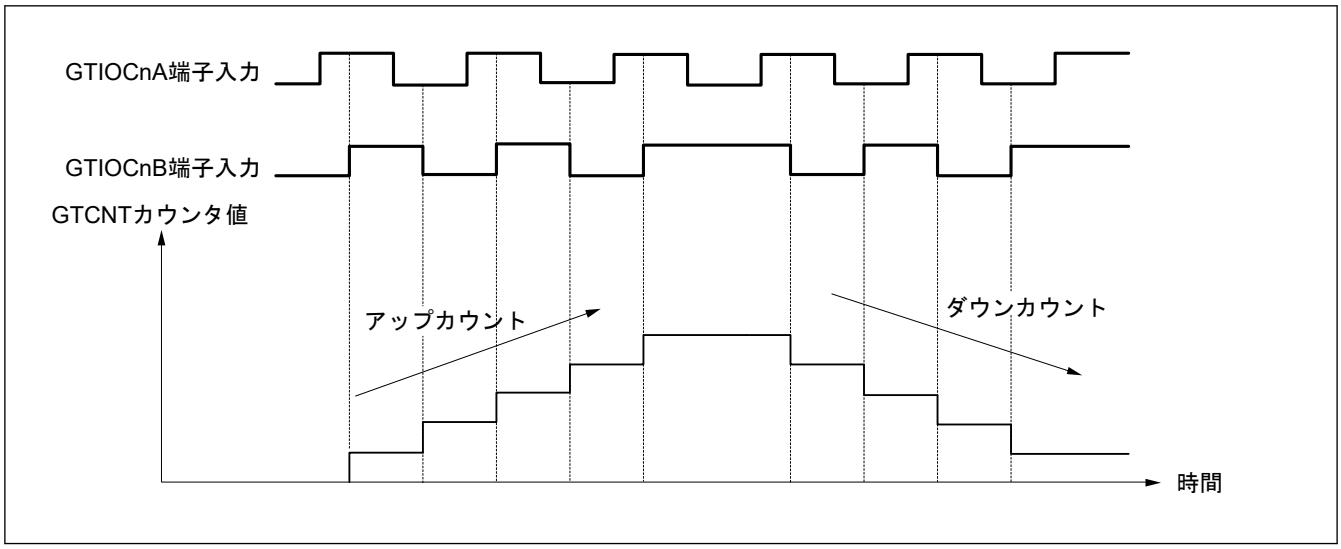


図 22.116　位相計数モード 4 の動作例

表 22.61　位相計数モード 4 でのアップカウント／ダウンカウントの条件

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR = 0x00006000 GTDNSR = 0x00009000
Low			
	Low	カウントしない	
	High		
High		ダウンカウント	
Low			
	High	カウントしない	
	Low		

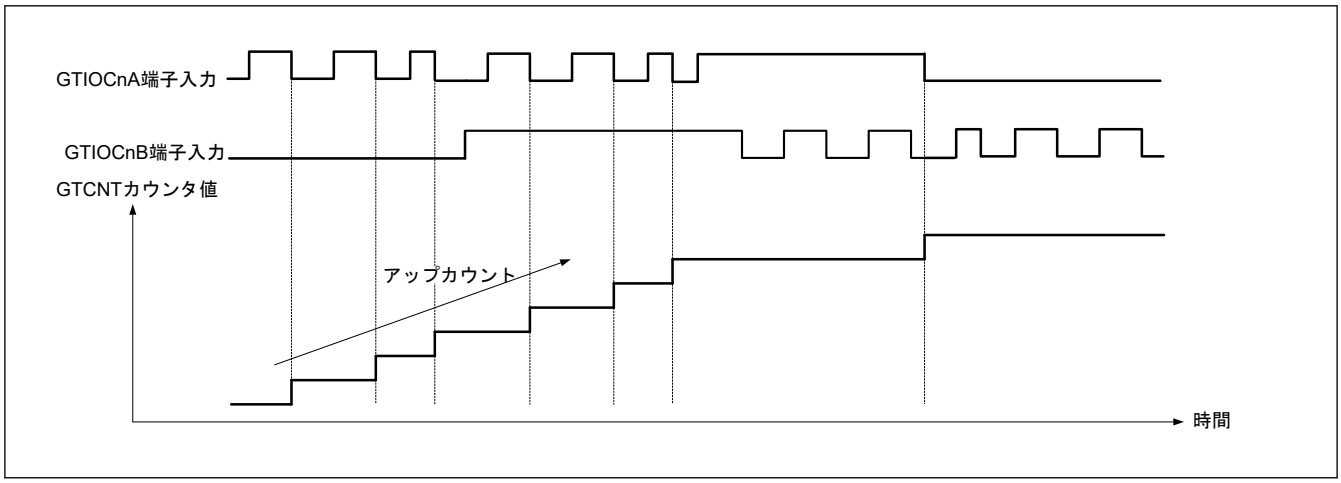


図 22.117　位相計数モード 5 の動作例 (A)

表 22.62　位相計数モード 5 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000C00 GTDNSR = 0x00000000
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	アップカウント	

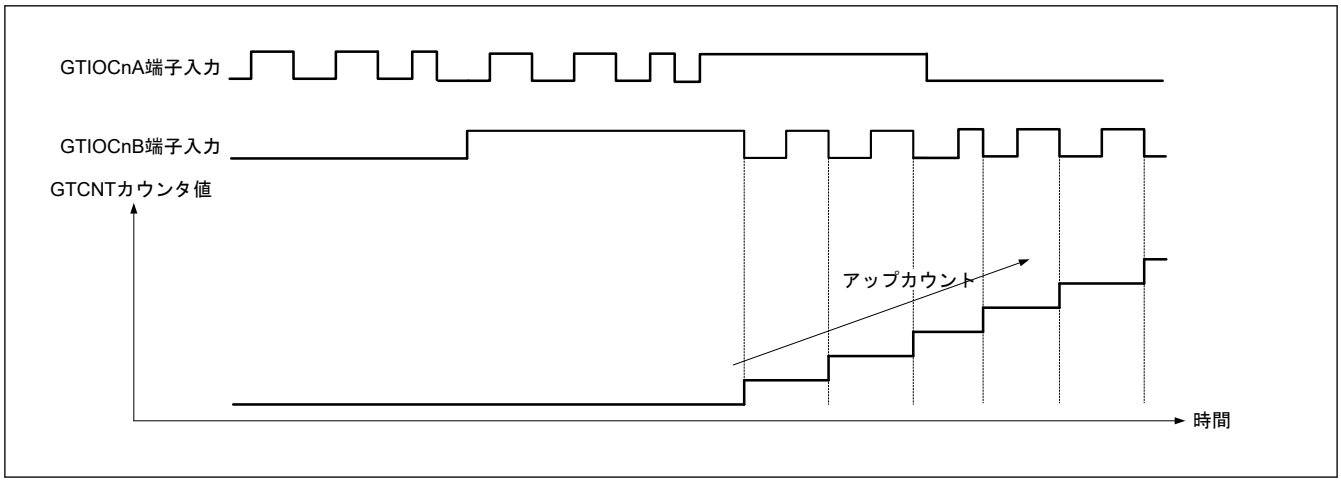


図 22.118　位相計数モード 5 の動作例 (B)

表 22.63　位相計数モード 5 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x0000C000 GTDNSR = 0x00000000
Low		アップカウント	
	Low	カウントしない	
	High		
High		アップカウント	
Low		カウントしない	
	High		
	Low		

22.3.12　外部パルス幅測定機能

GTIOCnA 端子入力（n = 0～3）、GTIOCnB 端子入力、および GTETRGA／GTETRGB／GTETRGC／GTETRGD 端子入力のパルス幅が測定可能です。

GTCNT カウンタのアップカウントの許可／禁止設定およびパルス幅を測定する入力端子とレベルは、GTUPSR レジスタの USILVL[3:0] ビットで選択します。

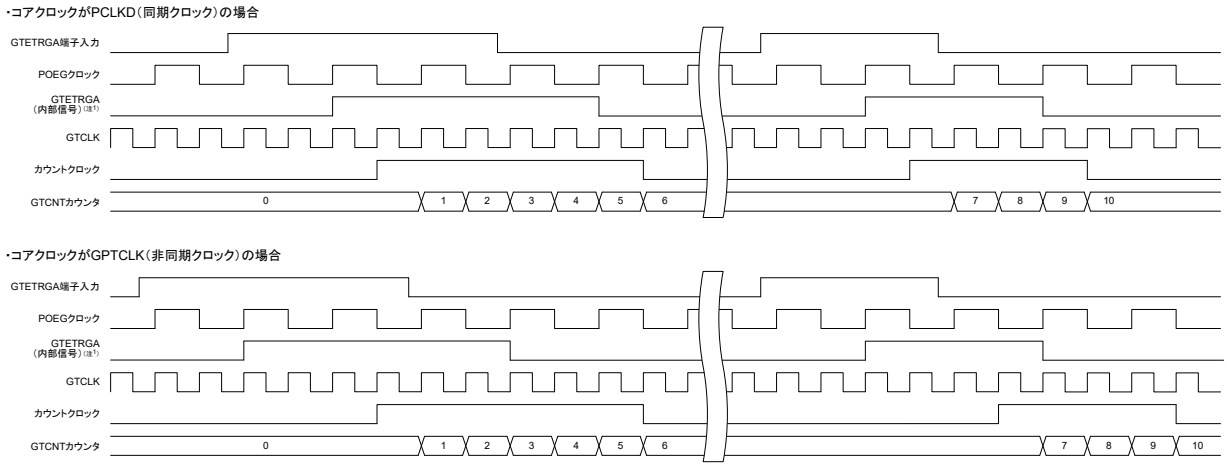
GTCNT カウンタのダウンカウントの許可／禁止設定およびパルス幅を測定する入力端子とレベルは、GTDNSR レジスタの DSILVL[3:0] ビットで選択します。

GTCNT カウンタのアップカウントとダウンカウントを同時に許可する設定は禁止です。

カウント動作は GTPR レジスタの周期で周期カウントを実行します。

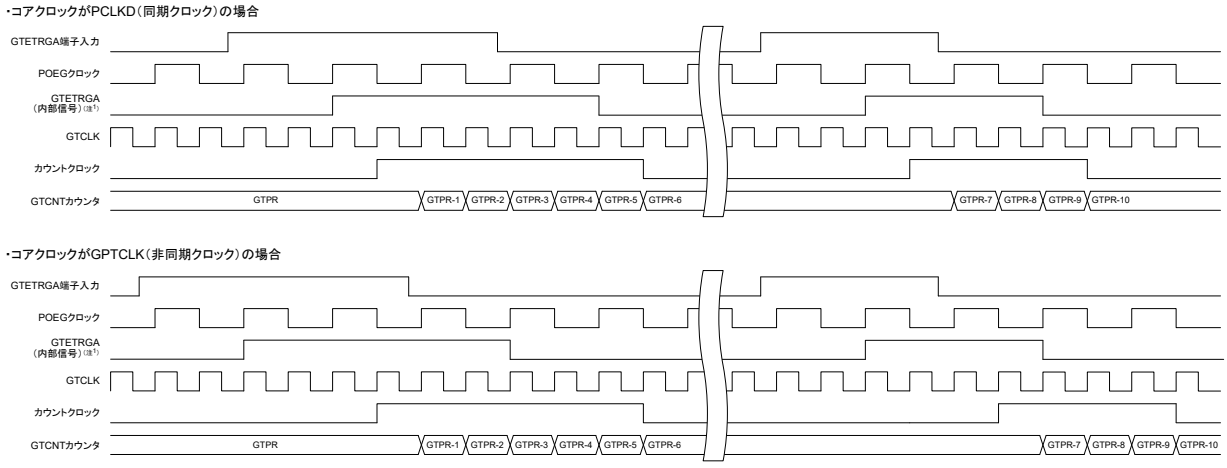
位相計数機能とパルス幅測定機能を同時に許可した場合、パルス幅測定機能は動作せず、位相計数機能が動作します。

図 22.119、図 22.120 に外部パルス幅測定機能の例を、表 22.64 に外部パルス幅測定機能の設定例を示します。



注. POEG クロック：PCLKB
注 1. GTETRGA 端子のデジタルノイズフィルタを POEG で使用しない場合の GPT への入力信号を示します。

図 22.119 外部パルス幅測定機能の例（アップカウント）



注. POEG クロック：PCLKB
注 1. GTETRGA 端子のデジタルノイズフィルタを POEG で使用しない場合の GPT への入力信号を示します。

図 22.120 外部パルス幅測定機能の例（ダウンカウント）

表 22.64 外部パルス幅測定機能の設定例

No.	ステップ名	説明
1	外部パルス幅測定機能の設定	外部パルス幅測定機能を許可し（アップカウント動作の場合は GTUPSR.USILVL[3:0] ビット、ダウンカウント動作の場合は GTDNSR.DSILVL[3:0] ビット）、測定対象の入力端子とレベルを選択します。 図 22.119 の例では、GTUPSR.USILVL[3:0] = 1001b（GTETRGA 端子が 1 の時にカウントアップ）、 図 22.120 の例では、GTDNSR.DSILVL[3:0] = 1001b（GTETRGA 端子が 1 の時にカウントダウン）
2	カウントクロックの選択	各チャネルの GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	周期設定	各チャネルの GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	各チャネルの GTCNT カウンタに初期値を設定します。 図 22.119 の例では、0000 0000h を設定。図 22.120 の例では、GTPR レジスタ値を設定。
5	カウント動作開始	測定対象の入力端子にパルスを入力してカウント動作を開始します。

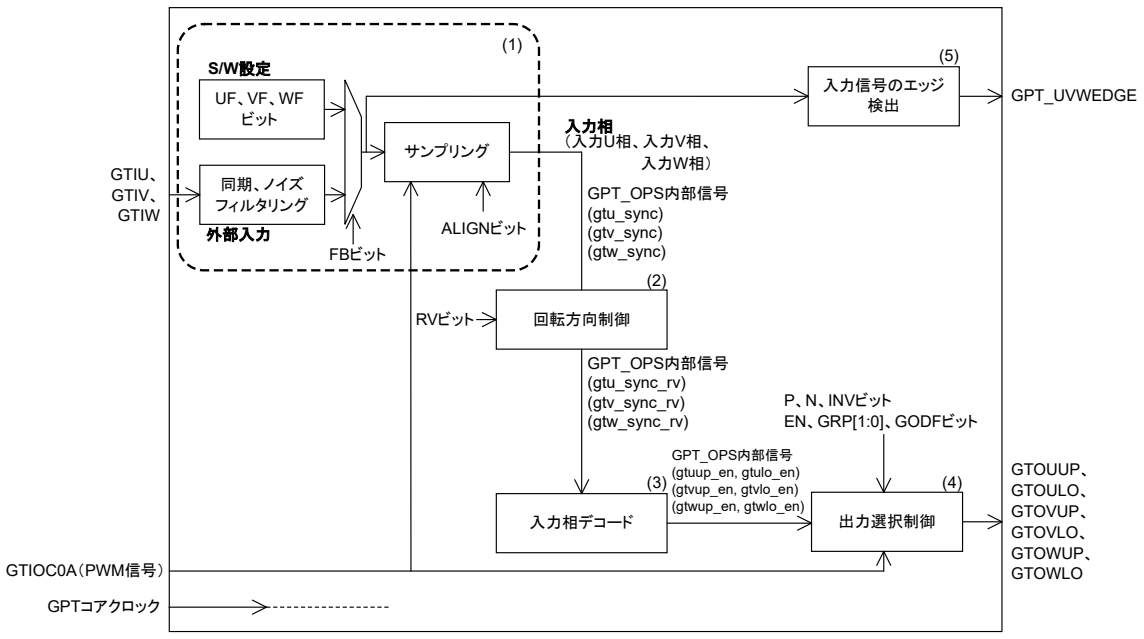
22.3.13 出力相切り替え (GPT_OPS)

GPT_OPS は、出力相切り替えコントロールレジスタ (OPSCR) を使ってブラシレス DC モーターを簡単に制御することができます。

GPT_OPS は S/W 設定値（OPSCR.UF、VF、WF ビット）またはホール素子により検知した外部信号を入力信号として使用します。GPT_OPS は、レベル信号または GPT320 の PWM によるチョップ信号をモーター制御用の 6 相（U 正相／逆相、V 正相／逆相、W 正相／逆相）信号として出力します。

図 22.121 に GPT_OPS のブロック図を示します。

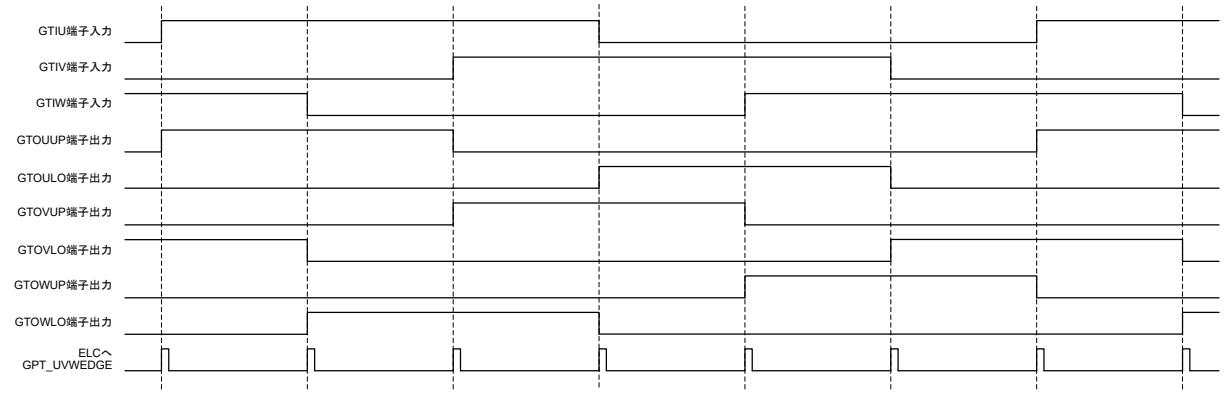
GPT_UVWEDGE 信号は、入力信号のエッジ検出により生成される、ELC への出力信号です。



注. GPT コアクロック：GTCLK（PCLKD または GPTCLK）

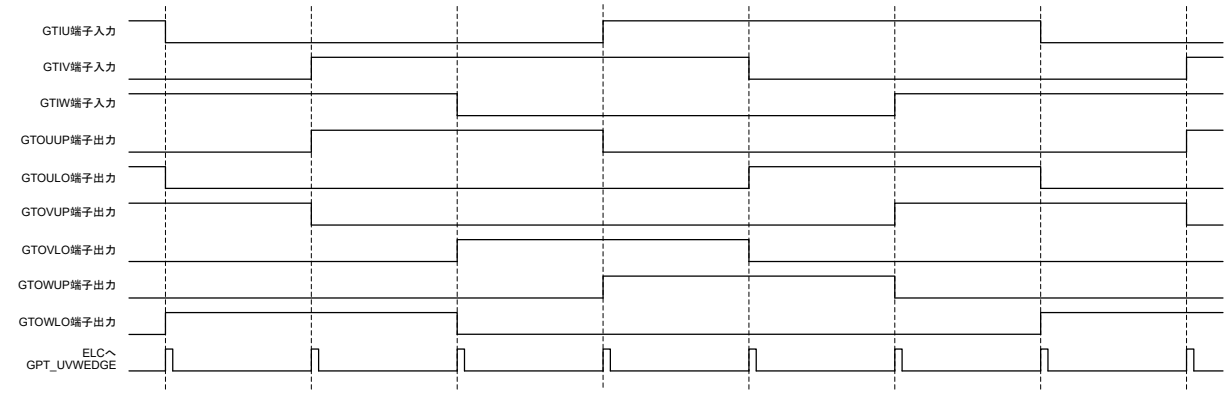
図 22.121 GPT_OPS のブロック図

図 22.122 と図 22.123 に GPT_OPS レベル出力の動作例を示します。



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 0、OPSCR.P = 0、OPSCR.N = 0、OPSCR.INV = 0

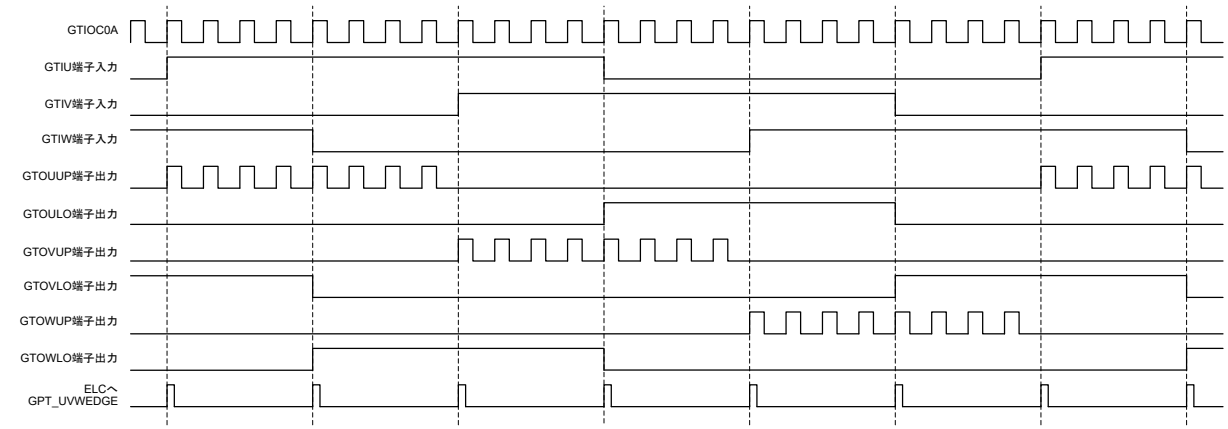
図 22.122 GPT_OPS レベル出力動作例（正回転）



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 1、OPSCR.P = 0、OPSCR.N = 0、OPSCR.INV = 0

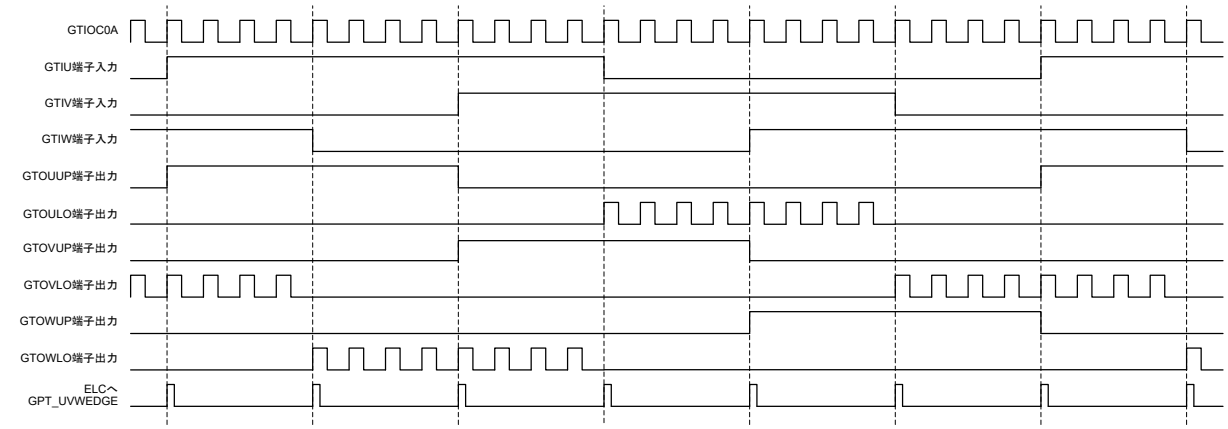
図 22.123 GPT_OPS レベル出力動作例（逆回転）

図 22.124 と図 22.125 に GPT_OPS チョップ出力の動作例を示します。



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 0、OPSCR.P = 1、OPSCR.N = 0、OPSCR.INV = 0

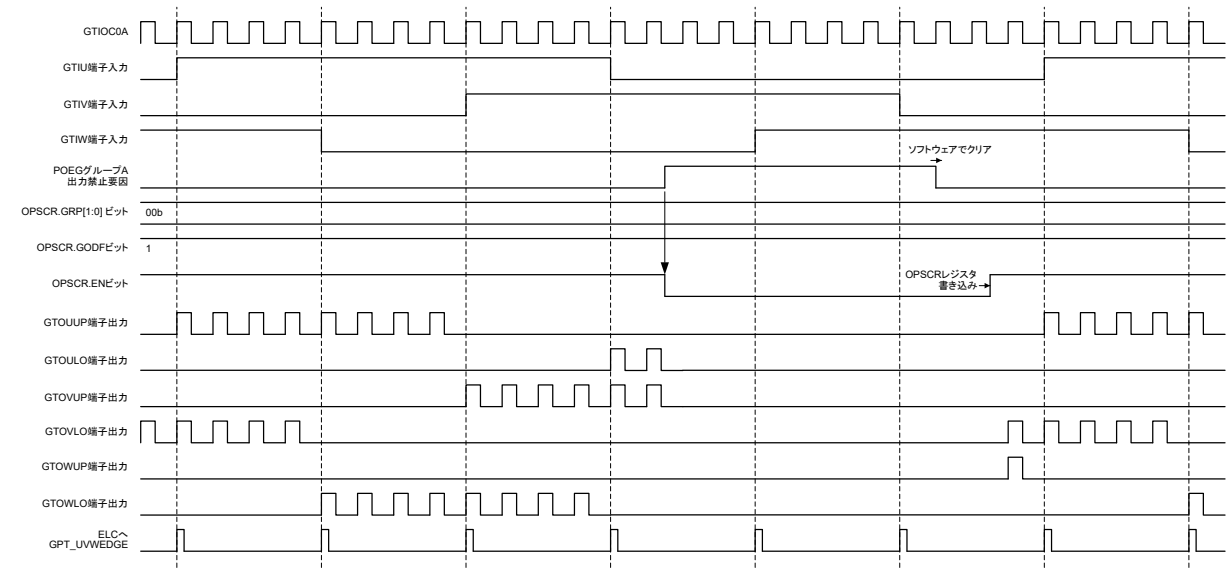
図 22.124 GPT_OPS チョップ出力動作例（正相 120°）



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 0、OPSCR.P = 0、OPSCR.N = 1、OPSCR.INV = 0

図 22.125 GPT_OPS チョップ出力動作例（逆相 120°）

図 22.126 に GPT_OPS 出力禁止制御の動作例を示します。



注. レジスタ設定値：OPSCR.FB = 0、OPSCR.RV = 0、OPSCR.P = 1、OPSCR.N = 1、OPSCR.INV = 0

図 22.126 GPT_OPS 出力禁止制御動作例

22.3.13.1 入力選択とサンプリング

FB ビットは入力信号としてソフトウェア設定値または外部入力を選択します。

FB ビットが 0 の場合、GPT コアクロック (GTCLK) との同期およびノイズフィルタ後に、GPT_OPS への入力信号として GTIU、GTIV、GTIW 外部入力が選択されます。

FB ビットが 1 の場合、GPT_OPS への入力信号としてソフトウェア設定値（UF、VF、WF ビット）が選択されます。

選択した入力信号は ALIGN ビットで選択した方法でサンプリングされ、GPT_OPS の入力相として扱われます。

ALIGN ビットが 0 のとき、入力信号は GTCLK でサンプリングされます。

ALIGN ビットが 1 のとき、入力信号は GTIOC0A 端子出力の立ち下がりエッジでサンプリングされます。

サンプリング後の信号は U、V、W ビットで読み出し可能です。

表 22.65 に、FB ビットによる入力選択と ALIGN ビットによるサンプリング方法を示します。

表 22.65 入力選択とサンプリング方法

OPSCR レジスタ		入力選択 サンプリング方法	入力相 （GPT_OPS 内部信号）
FB ビット	ALIGN ビット		
0	0	GTIU、GTIV、GTIW 外部入力 GTCLK サンプリング	U 相入力 (gtu_sync) V 相入力 (gtv_sync) W 相入力 (gtw_sync)
	1	GTIU、GTIV、GTIW 外部入力 GTIOC0A 立ち下がりエッジのサンプリング	
1	0	ソフトウェア設定値（UF、VF、WF ビット） GTCLK サンプリング	
	1	ソフトウェア設定値（UF、VF、WF ビット） GTIOC0A 立ち下がりエッジのサンプリング	

22.3.13.2 回転方向制御

回転方向が逆回転の場合（RV ビット = 1）、入力相が反転します。

22.3.13.3 入力相デコード

回転方向制御後の入力相をデコードすることによって 6 相信号が生成されます。

表 22.66 と表 22.67 に、モーターを正回転 (RV = 0) および逆回転 (RV = 1) するための入力相のデコード表を示します。

表 22.66 入力相デコード表（正回転）

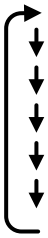
	入力相			回転方向制御後の入力相			6 相信号					
	U 相	V 相	W 相	U 相	V 相	W 相	U 正相	U 逆相	V 正相	V 逆相	W 正相	W 逆相
	gtu_sync	gtv_sync	gtw_sync	gtu_sync_rv	gtv_sync_rv	gtw_sync_rv	gtuup_en	gtulo_en	gtvup_en	gtvlo_en	gtwup_en	gtwlo_en
	1	0	1	1	0	1	1	0	0	1	0	0
	1	0	0	1	0	0	1	0	0	0	0	1
	1	1	0	1	1	0	0	0	1	0	0	1
	0	1	0	0	1	0	0	1	1	0	0	0
	0	1	1	0	1	1	0	1	0	0	1	0
	0	0	1	0	0	1	0	0	0	1	1	0
	0	0	0	0	0	0	0	0	0	0	0	0
	1	1	1	1	1	1	0	0	0	0	0	0

表 22.67 入力相デコード表（逆回転）

	入力相			回転方向制御後の入力相			6 相信号					
	U 相	V 相	W 相	U 相	V 相	W 相	U 正相	U 逆相	V 正相	V 逆相	W 正相	W 逆相
	gtu_sync	gtv_sync	gtw_sync	gtu_sync_rv	gtv_sync_rv	gtw_sync_rv	gtuup_en	gtulo_en	gtvup_en	gtvlo_en	gtwup_en	gtwlo_en
	1	0	1	0	1	0	0	1	1	0	0	0
	1	0	0	0	1	1	0	1	0	0	1	0
	1	1	0	0	0	1	0	0	0	1	1	0
	0	1	0	1	0	1	1	0	0	1	0	0
	0	1	1	1	0	0	1	0	0	0	0	1
	0	0	1	1	1	0	0	0	1	0	0	1
	0	0	0	0	0	0	0	0	0	0	0	0
	1	1	1	1	1	1	0	0	0	0	0	0

22.3.13.4 出力選択制御

EN、P、N、INV ビットで出力波を選択します。

EN ビットで 6 相出力を許可します。EN ビットが 1 の場合、6 相出力を許可します。EN ビットが 0 の場合、外部端子出力は Hi-Z です。

P、N ビットは正相と逆相のチョッピングを実行するかどうかを選択します。P、N ビットが 1 の場合、GTIOC0A 端子出力によりチョッピングを実行します。

チョッピングを実行する場合、出力 PWM パルス幅は出力相切り替えの前後において、チョップに使用された PWM パルス幅よりも短パルスになる場合があります。これは、出力切り替えタイミング相と PWM 相の差分によります。

INV ビットは相出力の極性（正論理または負論理）を選択します。

表 22.68 と表 22.69 に、正相／逆相出力の出力選択制御方法を示します。

表 22.68　出力選択制御方法（正相）

EN ビット	P ビット	INV ビット	GTOUUP/GTOVUP/GTOWUP
0	x	x	0（外部端子出力は Hi-Z）
1	0	0	正論理レベル出力 (gtuup_en) (gtvup_en) (gtwup_en)
1	0	1	負論理レベル出力 (~gtuup_en) (~gtvup_en) (~gtwup_en)
1	1	0	正論理チョップ出力 (GTIOC0A & gtuup_en) (GTIOC0A & gtvup_en) (GTIOC0A & gtwup_en)
1	1	1	負論理チョップ出力 (～(GTIOC0A & gtuup_en)) (～(GTIOC0A & gtvup_en)) (～(GTIOC0A & gtwup_en))

表 22.69　出力選択制御方法（逆相）

EN ビット	N ビット	INV ビット	GTOULO/GTOVLO/GTOWLO
0	x	x	0（外部端子出力は Hi-Z）
1	0	0	正論理レベル出力 (gtulo_en) (gtvlo_en) (gtwlo_en)
1	0	1	負論理レベル出力 (～gtulo_en) (～gtvlo_en) (～gtwlo_en)
1	1	0	正論理チョップ出力 (GTIOC0A & gtulo_en) (GTIOC0A & gtvlo_en) (GTIOC0A & gtwlo_en)
1	1	1	負論理チョップ出力 (～(GTIOC0A & gtulo_en)) (～(GTIOC0A & gtvlo_en)) (～(GTIOC0A & gtwlo_en))

22.3.13.5　出力選択制御（グループ出力禁止機能）

GODF ビット = 1 かつ GRP ビットで選択した信号値が Hi（出力禁止要求）のとき、GPT_OPS の出力端子は非同期に Hi-Z に変化し、GTCLK と同期した出力禁止要求信号により OPSCR.EN ビットは 0 にクリアされます。

復帰の場合は、ソフトウェアで出力禁止要求をクリア後に EN ビットを 1 に設定してください。

EN ビットが 0 にクリアされるタイミングは、出力禁止要求が発生してから GTCLK の 3 サイクル後です。出力禁止制御を確実に実行するには、出力禁止要求の生成から停止まで GTCLK の 4 サイクル以上空いたタイミングで、POEG の出力禁止要求フラグをクリアする必要があります。

グループ出力禁止制御の動作例については、前述の図 22.126 を参照してください。

22.3.13.6　イベントリンクコントローラ (ELC) 出力

入力相の U 相、V 相、W 相それぞれの立ち上がりエッジと立ち下がりエッジで検出したパルスの論理和は、イベントリンクコントローラ (ELC) に出力されます。入力相が High の期間が短いと、検出したエッジが論理和のせいで ELC に正しく送信されない場合があります。

22.3.13.7 GPT_OPS スタート動作設定フロー

表 22.70 GPT_OPS スタート動作設定例

No.	ステップ名	説明
1	GPT320 の動作モード設定	GPT320 の PWM 出力動作モードを設定します。 「22.3.3. PWM 出力動作モード」を参照してください。
2	GTP320 のカウント動作開始	GPT320 のカウント動作を開始して、PWM 波形を出力します。
3	GPT_OPS 入力条件の設定	• ソフト設定を選択する場合、UF、VF、WF ビットにソフト設定値を設定します。 • 外部入力を選択する場合、必要に応じてノイズフィルタリングを使用します。NFCS[1:0] ビットへの外部入力のサンプリングクロックを選択し、NFEN ビットを 1 にします。
4	GPT_OPS 入力相とアライメントの選択	FB ビットで入力相を選択します。ALIGN ビットで入力相のアライメントを選択します。
5	GPT_OPS 出力相条件の設定	RV ビットで回転方向を設定します。 チョッピングを実行するかどうかを P、N ビットで選択します。 INV ビットで出力極性を選択します。
6	GPT_OPS 出力禁止条件の設定	GRP[1:0] ビットでエラーグループを選択します。 GODF ビットで、グループ出力禁止機能のオン／オフを設定します。
7	GPT_OPS 動作の設定	EN ビットを 1 にして、ブラシレス DC モーターを駆動するための 6 相出力を出力します。

22.3.14 チャネル間論理演算機能

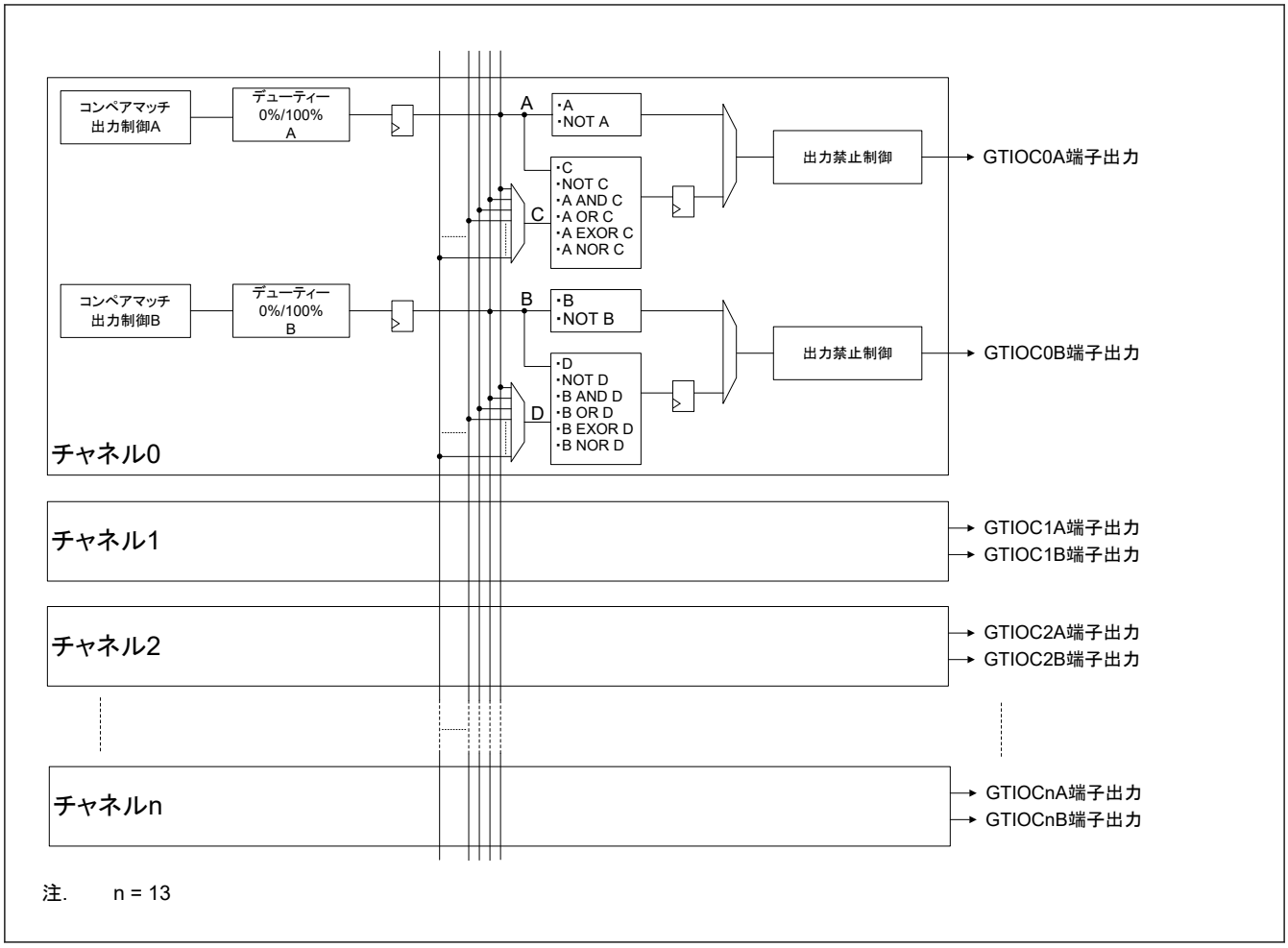
コンペアマッチ出力間の論理演算機能が可能です。

図 22.127 に、チャネル間論理演算のブロック図を示します。

GPT 出力の障害を防ぐため、論理演算後の信号は、GTCLK でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。

GTCLK 1 サイクルの遅延を生じる論理演算式を選択したとき、出力許可信号も同様に GTCLK 1 サイクル遅延して出力禁止制御に入力されます。

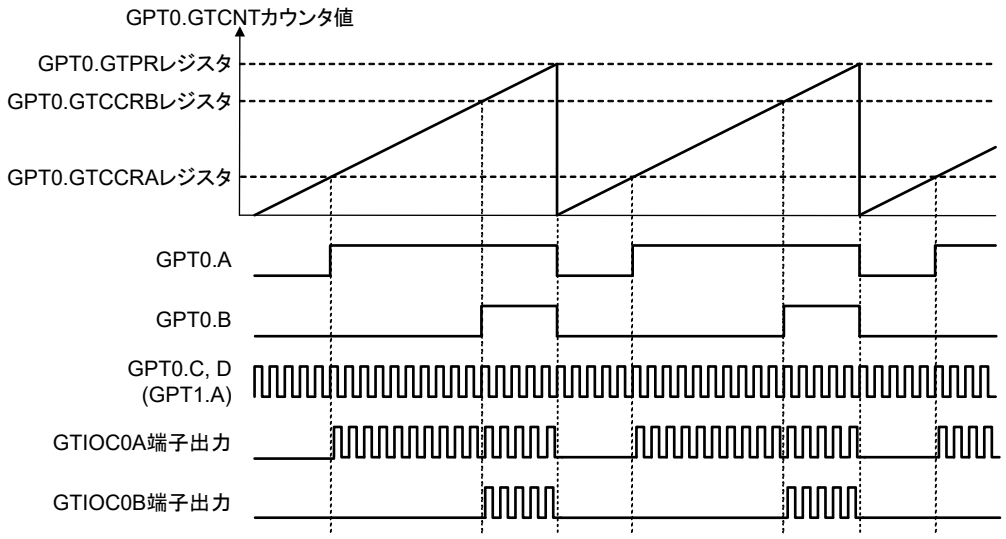
論理演算機能 AND、OR、EXOR、NOR に対して同じ信号（C = A または D = B）が選択される場合、C または D は 1 として扱われます。GTIOCnA 端子出力の場合に、同一チャネルの A が C に選ばれたとき、AND の結果は A、OR の結果は 1、EXOR の結果は NOT A、NOR の結果は 0 です。



注. n = 13

図 22.127 チャネル間論理演算のブロック図

図 22.128 に、チャネル間論理演算の例を示します。



注. GPT0、GPT1 はそれぞれ GPT320、GPT321 を意味します。

図 22.128 チャネル間論理演算の例

22.3.15 GTIOCnA/B 入出力端子極性反転機能

GTIOCnA、GTIOCnB 入力端子と GTIOCnA、GTIOCnB 出力端子の極性は、外部デバイスの極性に応じて反転できます。

GTCR.AINV が「1」のとき、GTIOCnA の入出力は反転します。GTCR.BINV が「1」のとき、GTIOCnB の入出力は反転します。

GTIOCnA および GTIOCnB は入力直後の最終出力ステージで反転します。GTIOCnA と GTIOCnB をカウントスタート／ストップ／クリア要因、カウントダウン／アップ要因、およびインプットキャプチャ要因として使用するとき、または Low/High／トグル出力を PWM 出力として使用するときは、外部入力と外部出力が反転します。それを考慮した設定が必要です。

初期設定時に GTIOCnm 端子機能を設定してから、GTCR.AINV および BINV を設定してください。

22.4 割り込み要因

22.4.1 割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ／コンペアマッチ
- GTADTR コンペアマッチ
- GTCNT カウンタのオーバーフロー（GTPR のコンペアマッチ）／アンダーフロー
- 周期計数機能終了

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。そして、割り込み要求が発生します。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。割り込みコントローラユニットでは、チャネル間の優先順位を変更できます。ただし、1 つのチャネル内での優先順位は固定されています。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

表 22.71 は、GPT の割り込み要因の一覧です。

表 22.71 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動
n = 0～13	GPTn_CCMPA	GPT32n.GTCCRA のインプットキャプチャ／コンペアマッチ	GTST[0] (TCFA)	可能
	GPTn_CCMPB	GPT32n.GTCCRB のインプットキャプチャ／コンペアマッチ	GTST[1] (TCFB)	可能
	GPTn_CMPC	GPT32n.GTCCRC のコンペアマッチ	GTST[2] (TCFC)	可能
	GPTn_CMPD	GPT32n.GTCCRD のコンペアマッチ	GTST[3] (TCFD)	可能
	GPTn_CMPE	GPT32n.GTCCRE のコンペアマッチ	GTST[4] (TCFE)	可能
	GPTn_CMPF	GPT32n.GTCCRF のコンペアマッチ	GTST[5] (TCFF)	可能
	GPTn_OVF	GPT32n.GTCNT のオーバーフロー（GPT32n.GTPR のコンペアマッチ）	GTST[6] (TCFPO)	可能
	GPTn_UDF	GPT32n.GTCNT のアンダーフロー	GTST[7] (TCFPU)	可能
	GPTn_PC	周期計数機能終了 (n = 0～3, 10～13)	GTST[31] (PCF)	可能

(1) GPTn_CCMPA 割り込み (n = 0～13)

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRA レジスタ値と一致したとき

- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき。相補 PWM モードでは、GTCCRA レジスタはインプットキャプチャレジスタとして機能しません。

(2) GPTn_CCMPB 割り込み (n = 0～13)

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき。相補 PWM モードでは、GTCCRB レジスタはコンペアマッチレジスタとして機能しません。
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき。相補 PWM モードでは、GTCCRB レジスタはインプットキャプチャレジスタとして機能しません。

(3) GPTn_CMPC 割り込み (n = 0～13)

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRC レジスタ値と一致したとき。

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b, 10b, 11b（GTCCRC レジスタがバッファ動作）

(4) GPTn_CMPD 割り込み (n = 0～13)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRD レジスタ値と一致したとき。

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b, 11b（GTCCRD レジスタがバッファ動作）

(5) GPTn_CMPE 割り込み (n = 0～13)

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRE レジスタ値と一致したとき。

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b, 10b, 11b（GTCCRE レジスタがバッファ動作）。

(6) GPTn_CMPF 割り込み (n = 0～13)

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値（相補 PWM モードでは、マスタチャネルの GTCNT カウンタ値）が GTCCRF レジスタ値と一致したとき。

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[3:0] = 0001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[3:0] = 0110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b, 11b（GTCCRF レジスタがバッファ動作）

(7) GPTn_OVF 割り込み (n = 0～13)

割り込み要求は以下の条件で発生します。

- のこぎり波 PWM モード 1 およびのこぎり波ワンショットパルスモードの場合に、オーバーフロー（アップカウント動作中に GTCNT カウンタ値が GTPR から 0 に変化する）で割り込み要求が許可されたとき
- のこぎり波 PWM モード 2 の場合に、オーバーフロー（GTCNT カウンタ値が GTCSR.CSCMSC[2:0]ビットで選択された GTCCRm (m = A～F) レジスタ値から 0 に変化する）で割り込み要求が許可されたとき、または GTCNT カウンタ値が GTPR レジスタ値と一致するとき。
- 三角波の場合、山（GTCNT が GTPR から GTPR-1 になる）が発生したとき
- 相補 PWM モードの場合に、山（マスタチャネルの GTCNT カウンタ値が GTPR レジスタ値から GTPR レジスタ値-1 に変化する）で割り込み要求が許可されたとき。
- ハードウェア要因によるカウント動作の場合に（外部パルス幅測定機能を含む）、オーバーフロー（アップカウント動作時に GTCNT カウンタ値が GTPR から 0 に変化する）が発生したとき。

(8) GPTn_UDF 割り込み (n = 0～13)

割り込み要求は以下の条件で発生します。

- のこぎり波 PWM モード 1 およびのこぎり波ワンショットパルスモードの場合に、アンダーフロー（ダウンカウント動作中に GTCNT カウンタ値が 0 から GTPR に変化する）で割り込み要求が許可されたとき
- 三角波の場合、谷（GTCNT が 0 から 1 になる）が発生したとき
- 相補 PWM モードの場合に、谷（マスタチャネルの GTCNT カウンタ値が 0 から 1 に変化する）で割り込み要求が許可されたとき。
- ハードウェア要因によるカウント動作の場合に（外部パルス幅測定機能を含む）、アンダーフロー（ダウンカウント動作時に GTCNT カウンタ値が 0 から GTPR に変化する）が発生したとき。

割り込み信号と割り込みステータスフラグについては、「22.2.16. GTST : 汎用 PWM タイマステータスレジスタ」を参照してください。

(9) GPTn_PC 割り込み (n = 0～3, 10～13)

GTPC.PCEN ビットが 1 かつ GTPC.PCNT カウンタが 1 の場合、周期の終わりに割り込み要求が発生します。

22.4.2 DMAC/DTC の起動

各チャネルの割り込みによって、DMAC および DTC を起動することができます。詳細については、「14. 割り込みコントローラユニット (ICU)」、「17. DMA コントローラ (DMAC)」、および「18. データトランスファコントローラ (DTC)」を参照してください。

22.4.3 割り込み、A/D 変換開始要求の間引き機能

22.4.3.1 GTITC レジスタによる割り込み間引き機能

GTITC レジスタを設定することにより、GTCNT カウンタのオーバーフロー（GTPR レジスタのコンペアマッチ）割り込み（GPTn_OVF）と、アンダーフロー割り込み（GPTn_UDF）を間引くことが可能です。また、他の割り込みや A/D 変換開始要求信号も、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動して間引くことができます。割り込みを間引いた場合、関連するステータスフラグの更新も間引かれます。ステータスフラグを 1 にしても、割り込み間引きは継続します。

割り込み間引き機能は GTITC レジスタ設定のみに関連する機能であり、GTINTAD レジスタ割り込み許可ビットの設定には関連しません。GTINTAD レジスタ設定で割り込みを禁止しても、割り込み間引きは継続します。

三角波モードで谷と山の両方をカウントして間引く場合、間引き回数を奇数に設定すると、間引きカウンタの開始タイミングによっては、谷のみまたは山のみで GPTn_OVF/GPTn_UDF 割り込み要求が発生しません。そのため、三角波モードで谷と山の両方をカウントし、谷のみまたは山のみで GPTn_OVF/GPTn_UDF 割り込みを発生させるには、間引き回数を偶数に設定してください。

同様に、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントして間引く場合、オーバーフローまたはアンダーフローのいずれか一方のみでは GPTn_OVF/GPTn_UDF 割り込み要求が発生しない場合があります。そのため、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントし、オーバーフローまたはアンダーフローのいずれか一方のみで GPTn_OVF/GPTn_UDF 割り込みを発生させるには、間引き状態を十分検討のうえ、使用してください。

間引き回数を変更する場合は、間引き機能をいったん解除（GTITC.IVTC[1:0] ビット = 00b）してから行ってください。

間引き機能の動作例を図 22.129～図 22.134 に示します。

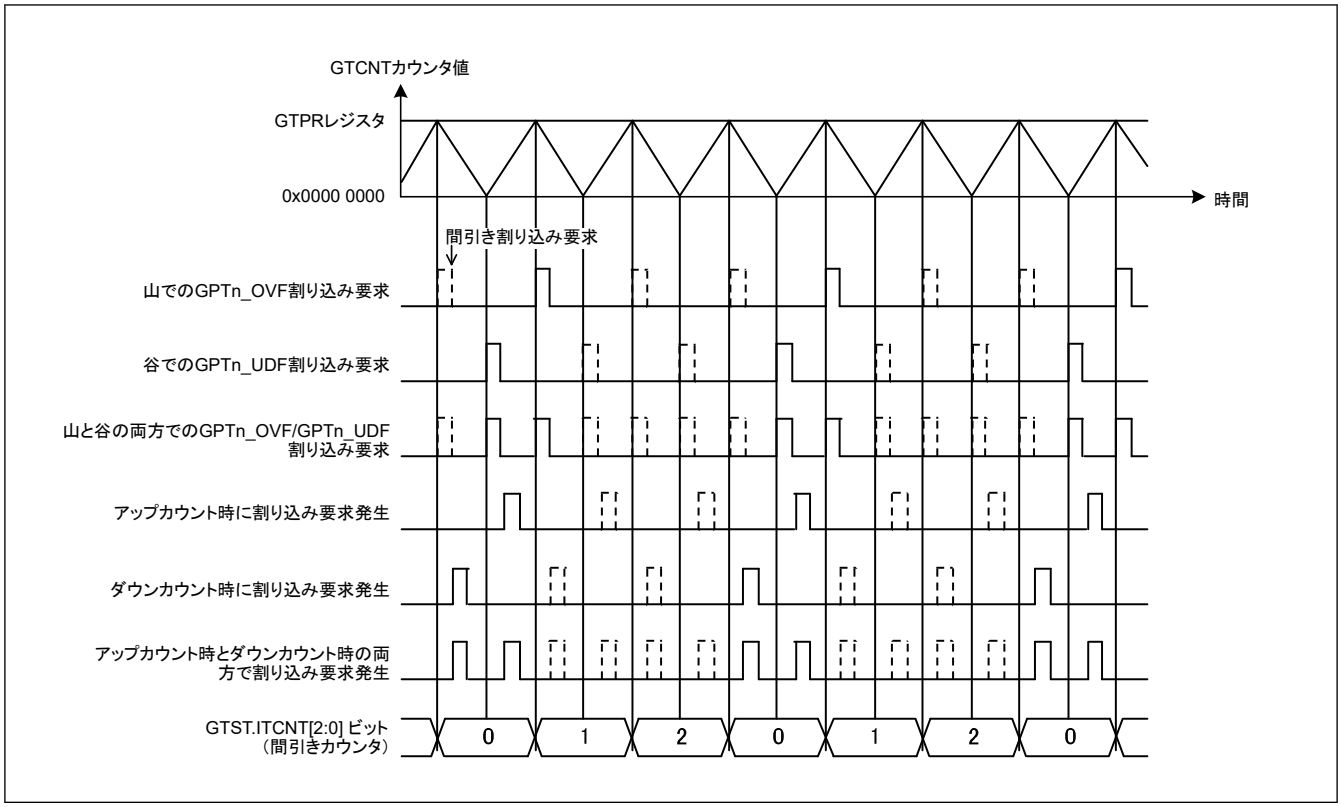


図 22.129　割り込み間引き機能の動作例（三角波、山をカウントして間引き、間引き回数 2 の場合）

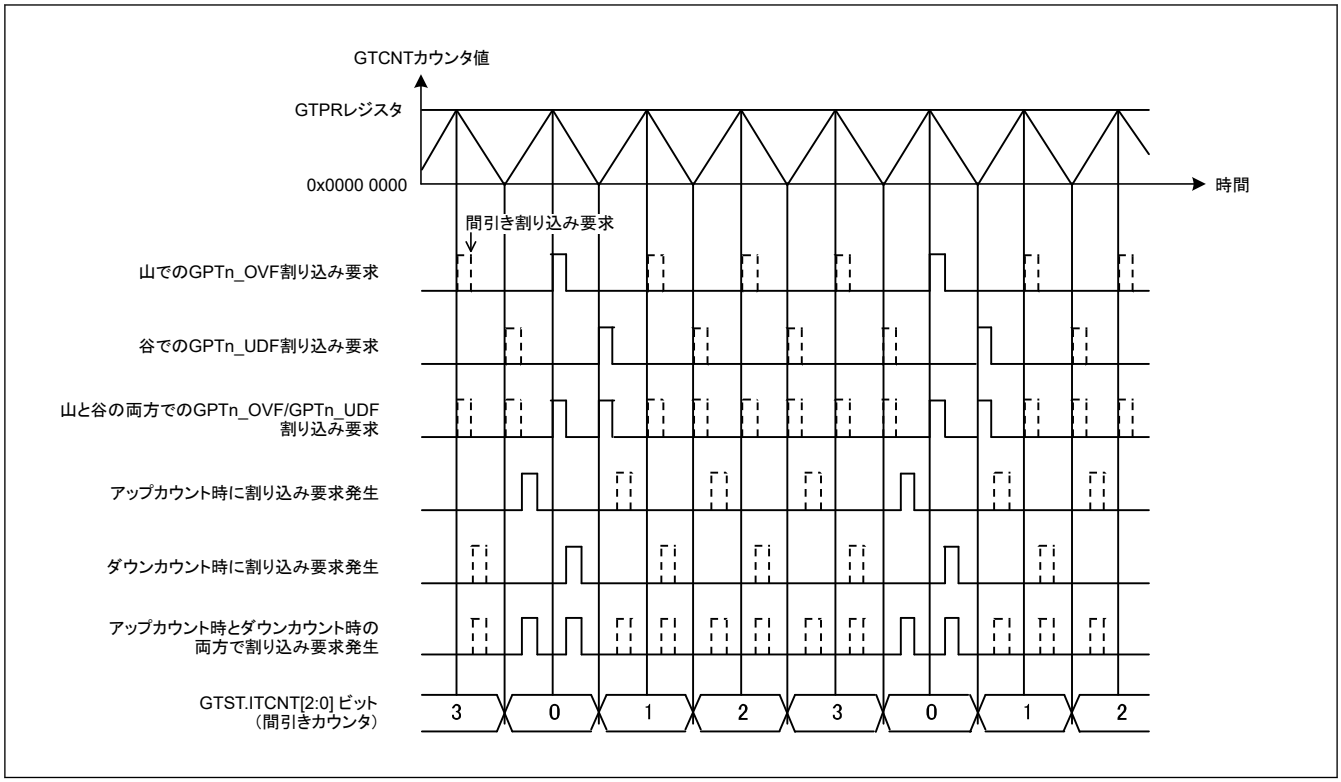


図 22.130　割り込み間引き機能の動作例（三角波、谷をカウントして間引き、間引き回数 3 の場合）

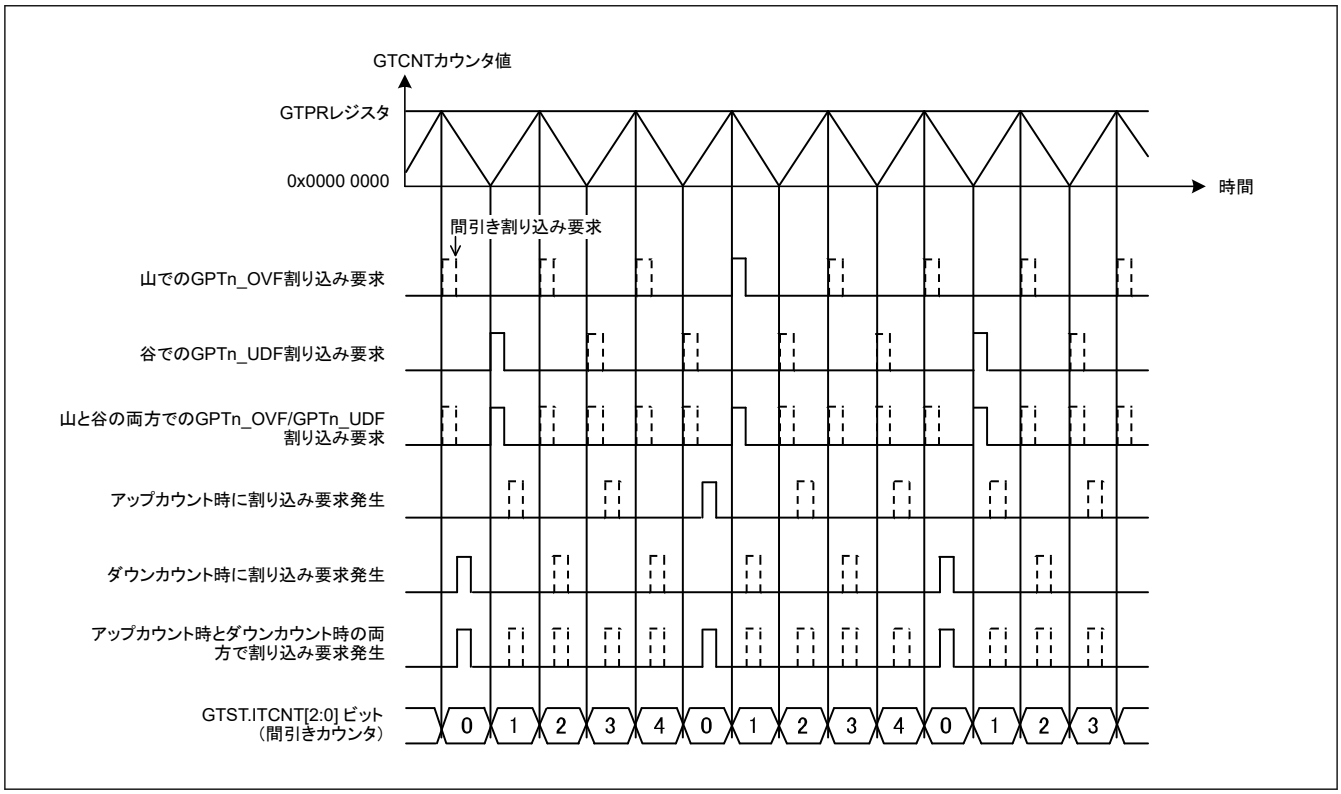


図 22.131　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 4 の場合）

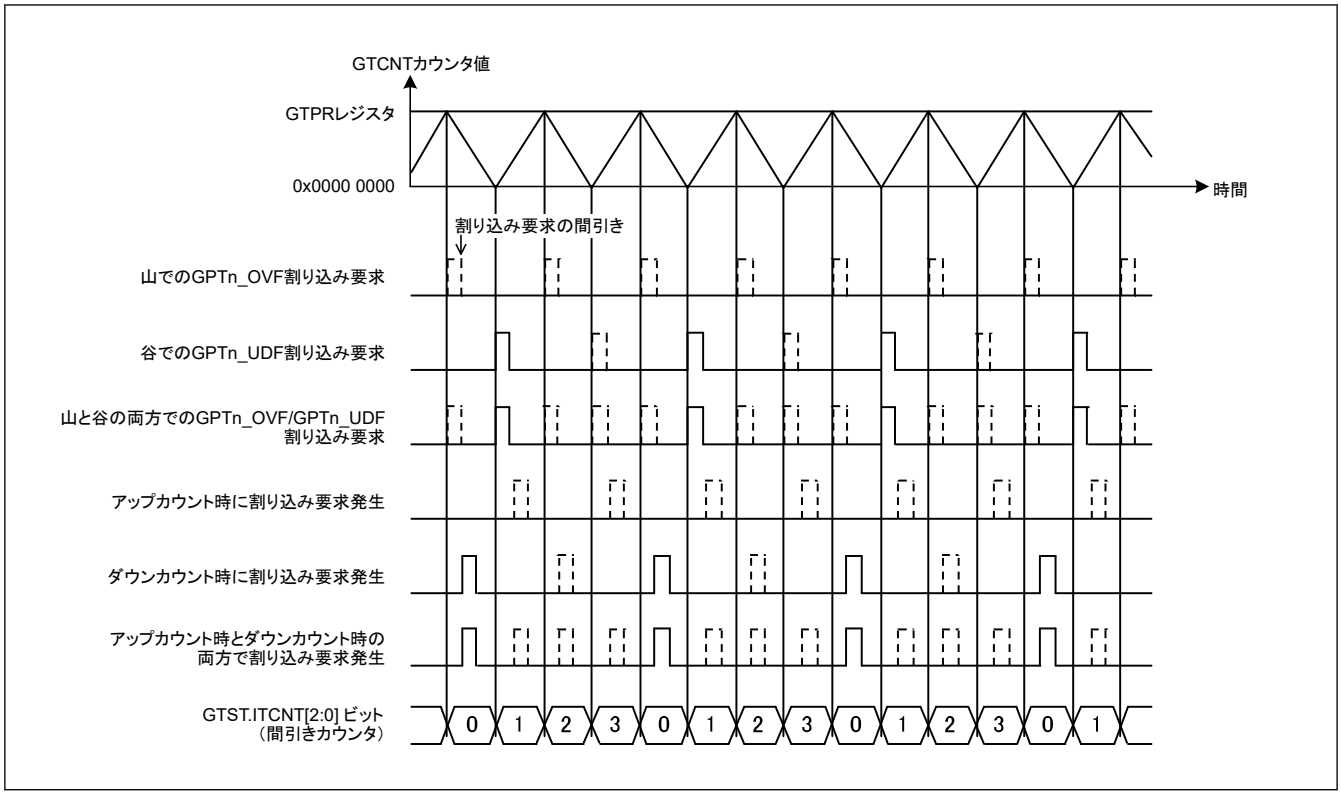


図 22.132　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合）

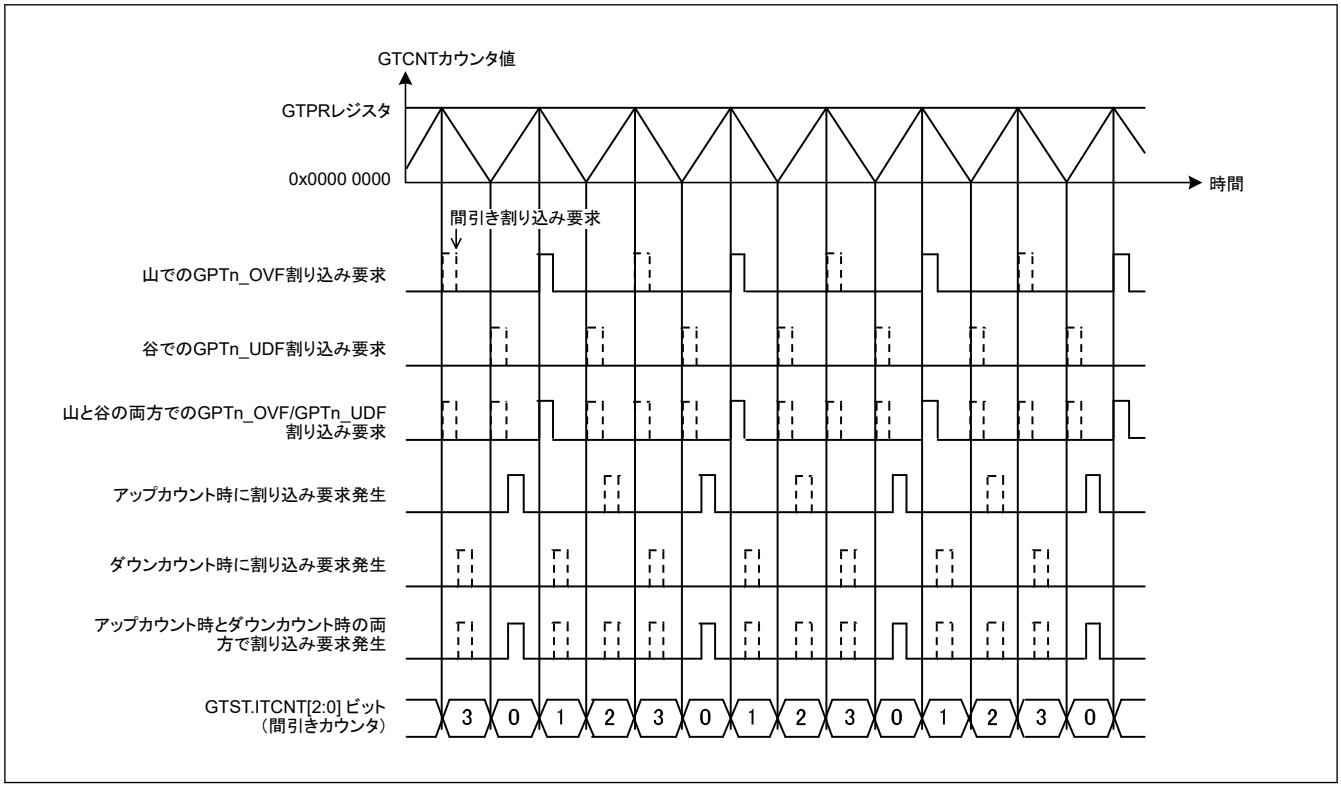


図 22.133　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合）

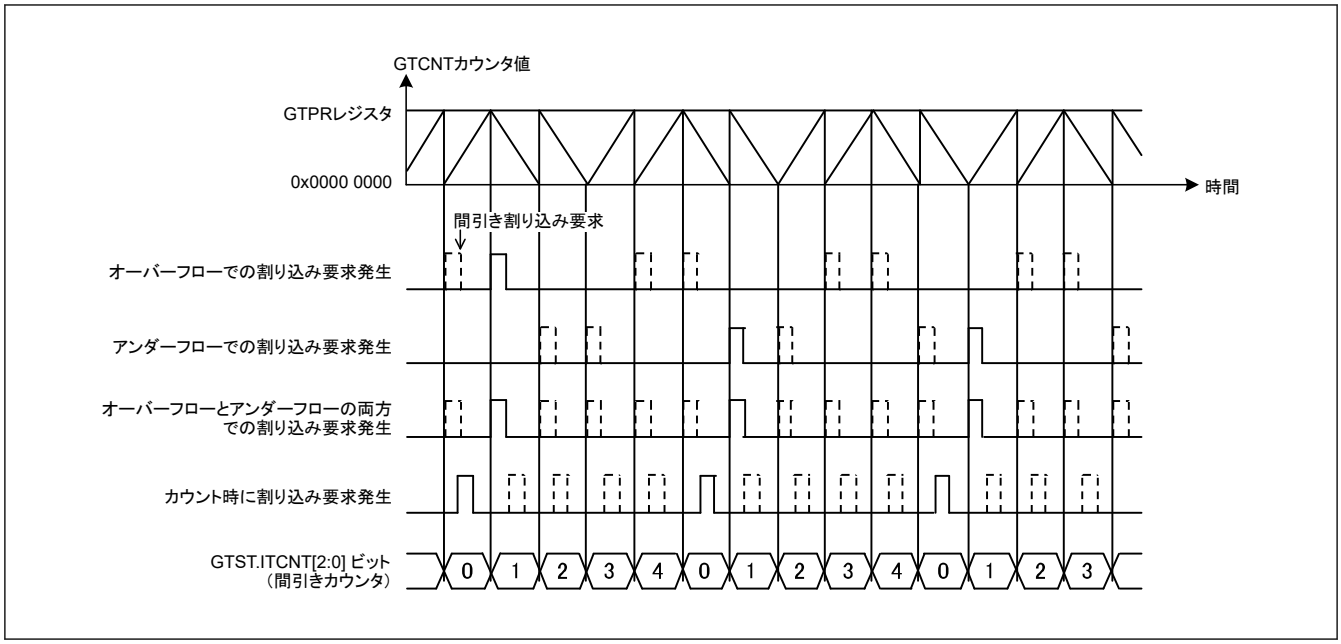


図 22.134　割り込み間引き機能の動作例（のこぎり波でカウント方向を変えながら動作、オーバーフローとアンダーフローの両方をカウントして間引き、間引き回数 4 の場合）

22.4.3.2　拡張割り込み間引き機能

GTEITC、GTEITLI1、GTEITLI2、GTEITLB レジスタの設定に基づいて GTCNT カウンタのオーバーフローまたはアンダーフローをカウントすることで、オーバーフロー／アンダーフロー割り込み、コンペアマッチ／インプットキャプチャ割り込み、A/D 変換開始要求、およびバッファ転送を間引くことが可能です。

オーバーフロー／アンダーフロー割り込み、コンペアマッチ／インプットキャプチャ割り込み、A/D 変換開始要求、およびバッファ転送は、GTEITLI1、GTEITLI2、GTEITLB レジスタを使って個別に間引き設定でき、間引き期間も設定できます。

間引き期間は、独立した 2 つの拡張割り込み間引きカウンタ（GTEITC レジスタの EITCNT1[3:0] ビットと EITCNT2[3:0]　ビット）の動作に関連して、これらの間引きカウンタのカウンタ値のいずれかが 0 以外または間引き回数以外の期間として設定します。間引き期間は、両方の間引きカウンタのカウンタ値が 0 以外または間引き回数以外に設定されている期間として設定することも可能です。

図 22.135 に GTITC レジスタによる割り込み間引きと拡張割り込み間引きのカウンタ動作を示します。

拡張割り込み間引きのカウンタ動作は GTEITC レジスタで設定します。

EITCNT1[3:0] ビットには初期値として 0 を設定します。この場合、拡張割り込みカウンタ 1 のカウントソース選択ビット（GTEITC.EIVTC1[1:0] ビット）で選択したカウントソース（図 22.135 では山を選択）をカウントし、拡張割り込み間引き 1 の間引き回数設定ビット（EIVTT1[3:0] ビット）で設定した間引き回数（図 22.135 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。

EITCNT2[3:0] ビットに初期値を設定できます。この場合、拡張割り込みカウンタ 2 のカウントソース選択ビット（EIVTC2[1:0] ビット）で選択したカウントソース（ 図 22.135 では谷を選択）をカウントし、EIVTT2[3:0] ビット）で設定した間引き回数（図 22.135 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。初期値が設定されるのは、拡張割り込み間引きカウンタ 2 をカウントしない設定（EIVTC2[1:0] ビットを 00b）にした状態で上位 16 ビットまたは 32 ビットのアクセスにより GTEITC レジスタに書き込みが行われた場合と、EIVTC2[1:0] ビットの書き込み値が 00b 以外の場合です。初期値を設定すると、拡張割り込み間引きカウンタ 2 の初期値ビット（EITCNT2IV[3:0] ビット）の書き込み値が EITCNT2[3:0] ビットの初期値として設定されます。

拡張割り込み間引きカウンタは、「カウントしない」から「カウントする」に設定を変更した後の最初のカウントクロックからアップカウントを開始します。

GTITC レジスタで設定した割り込み間引き機能の割り込み間引きカウンタ(GTST.ITCNT[2:0] ビット）は、GTCNT カウンタ動作の停止時に 000b にリセットされます。ただし、拡張割り込み間引き機能の EITCNT1[3:0] ビットと EITCNT2[3:0] ビットは GTCNT カウンタ動作の停止後も値を保持し、カウンタが停止する前の値からカウントを再開することができます。EITCNT1[3:0] ビットと EITCNT2[3:0] ビットの値をリセット（0000b）する場合、EIVTC1[1:0] ビットと EIVTC2[1:0] ビットを 00b にしてカウントしない（間引きなし）設定にしてください。

間引き数を変更するときは、間引きカウンタ動作を停止（EIVTC1[1:0]ビットまたは EIVTC2[1:0]ビットのいずれかを 00b に設定）してから間引き数を変更してください。

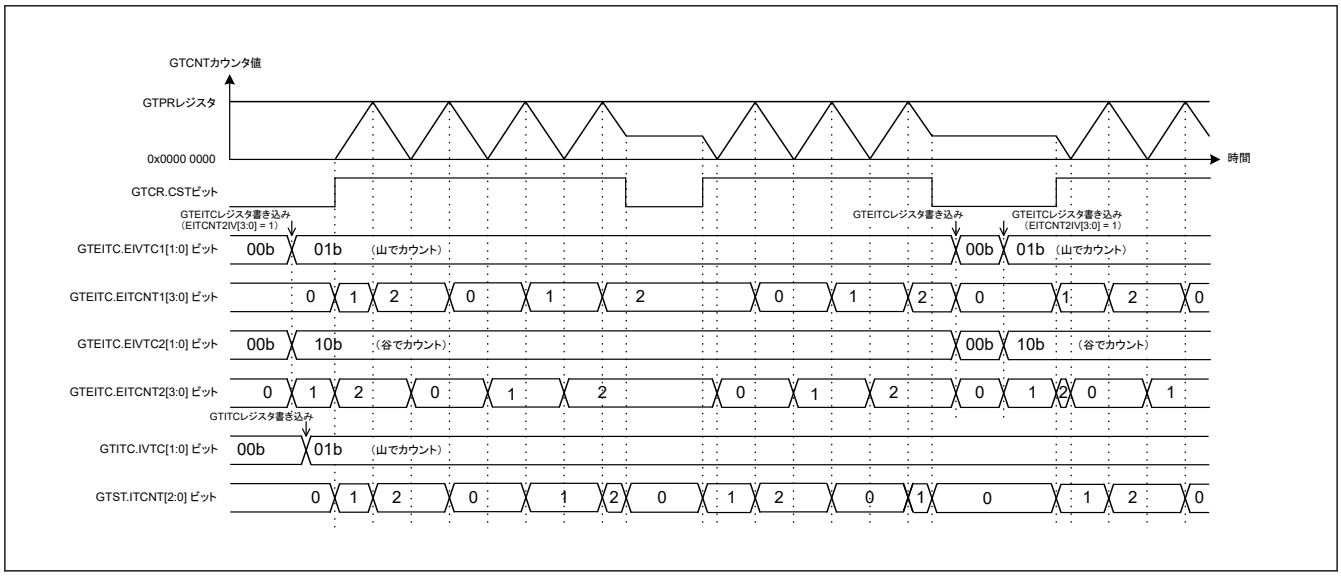


図 22.135　割り込み間引き用のカウンタ動作例

GTEITL1 レジスタによる割り込み間引きと GTEITLI2 レジスタによる A/D 変換開始要求間引きは、GTITC レジスタまたは GTADCMSC レジスタによる間引きと同時に実行できます。この場合の間引き期間は各レジスタの間引き期間の論理和として表します。

図 22.136 に、対応する割り込み間引き動作を異なるレジスタで同時に実行する場合を示します。

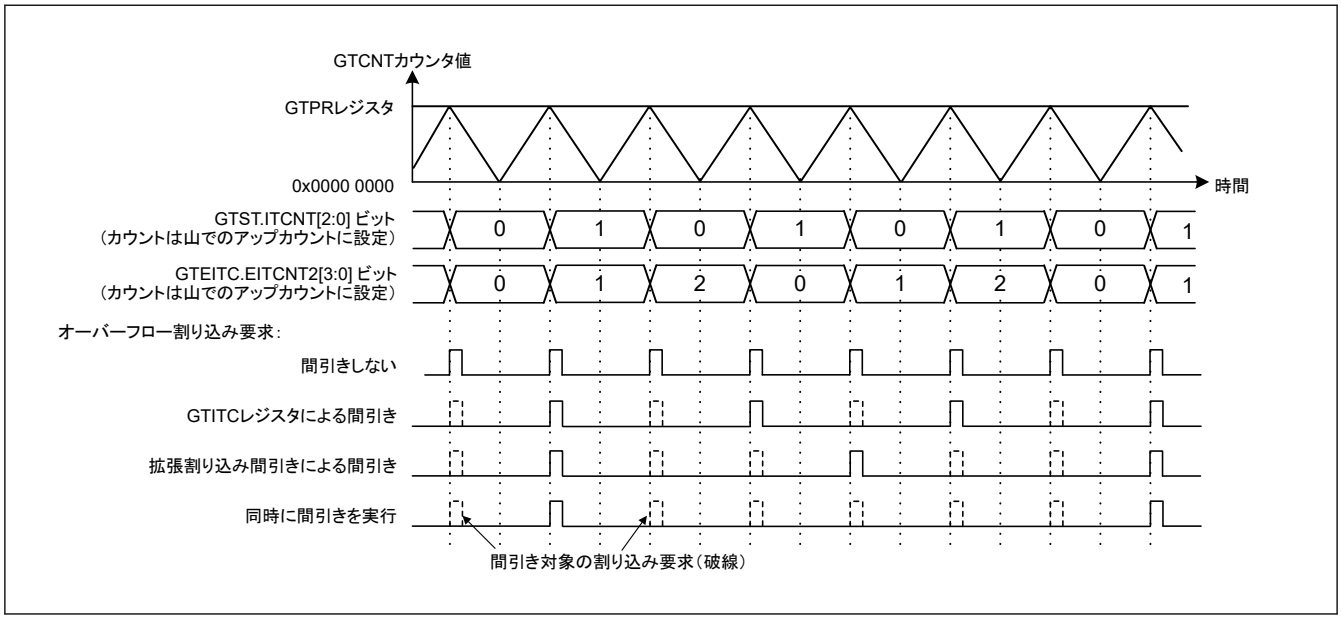


図 22.136　割り込み間引きの動作例（GTITC レジスタによる間引き：山をカウント、拡張割り込み間引き：EIVTC1[1:0]ビット = 00b、EIVTC2[1:0]ビット = 01b、EITLV[2:0]ビット = 010b）

GTEITLI1 レジスタで選択した拡張割り込み間引きを実行した場合、関連するステータスフラグも間引かれます。ステータスフラグを 1 にしても、間引き機能は継続します。

GTEITLI2 レジスタで選択した A/D 変換開始要求間引きを実行した場合、関連するステータスフラグも間引かれます。ステータスフラグを 1 にしても、間引き機能は継続します。

GTEITLI2 レジスタで間引き設定ができる A/D 変換開始要求に対応するステータスフラグの更新と ELC イベント要因出力の間引きは、GTITC レジスタと拡張割り込み間引きレジスタの設定のみに基づいて設定され、GTINTAD レジスタの A/D 変換開始要求許可ビットの設定とは関係ありません。A/D 変換開始要求許可ビットは、間引き後の A/D 変換開始要求の出力（ELC イベント要因出力）のみに使用します。

GTEITLB レジスタによるバッファ転送間引きは、GTBER レジスタ、GTDTCR レジスタ、および GTBER2 レジスタで許可されたすべてのバッファ動作、あるいはのこぎり波ワンショットパルスモード、三角波 PWM モード 3、または相補 PWM モードで行われるすべてのバッファ動作において実行されます（GTCCRC, GTCCRE～GTCCRA からのバッファ転送を除きます）。

割り込み間引きとバッファ転送間引きは個別に動作します。バッファ転送を実行しない割り込み出力と、割り込み出力なしのバッファ転送の実行も可能です。

拡張間引き機能の動作例を図 22.137～図 22.144 に示します。

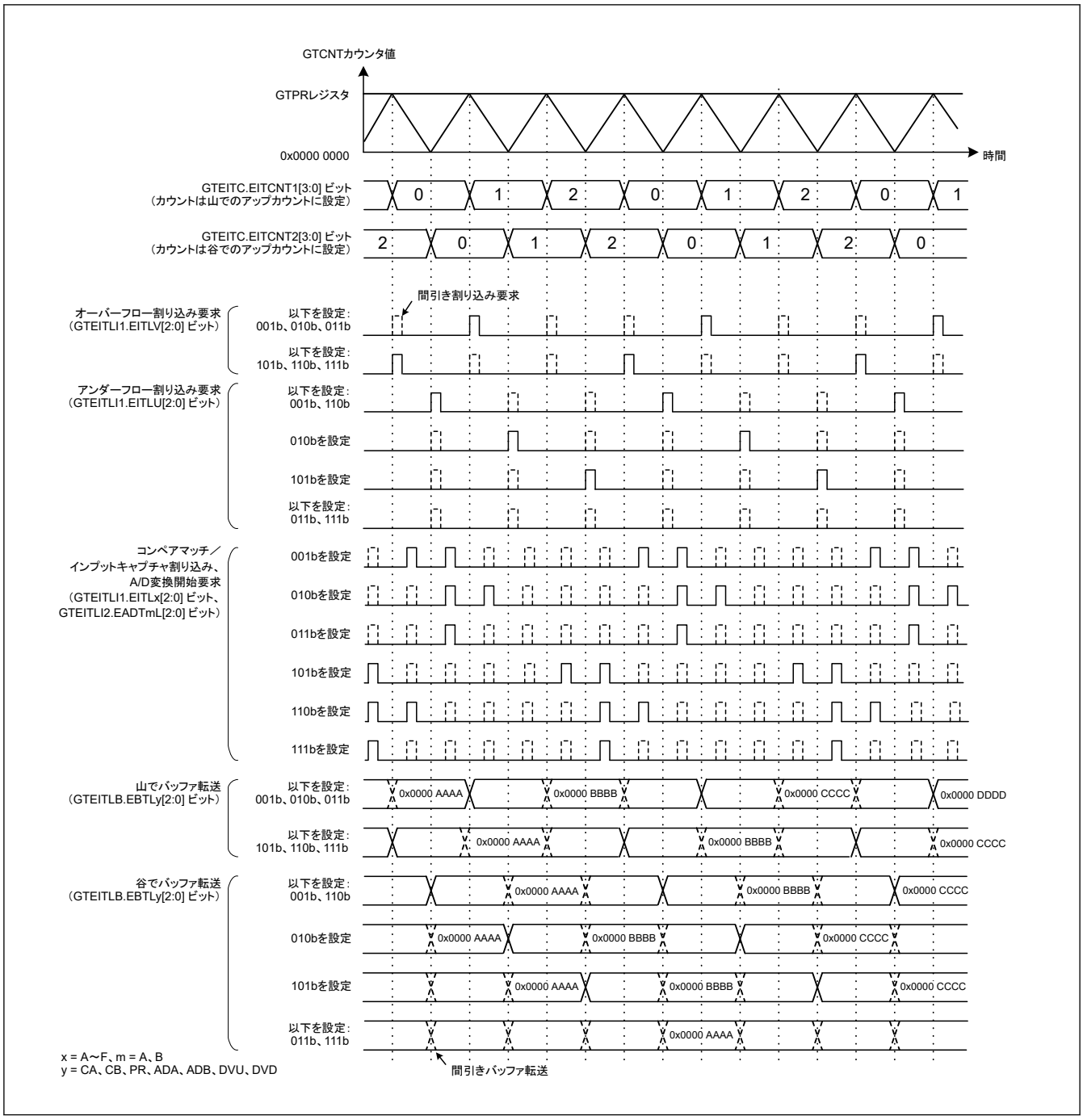


図 22.137　拡張割り込み間引き機能の例（三角波、山をカウント、拡張割り込み間引き 1 の間引き回数は 2 回、谷をカウント、拡張割り込み間引き 2 の間引き回数は 2 回、拡張割り込み間引きカウンタ 2 の初期値は 0 の場合）

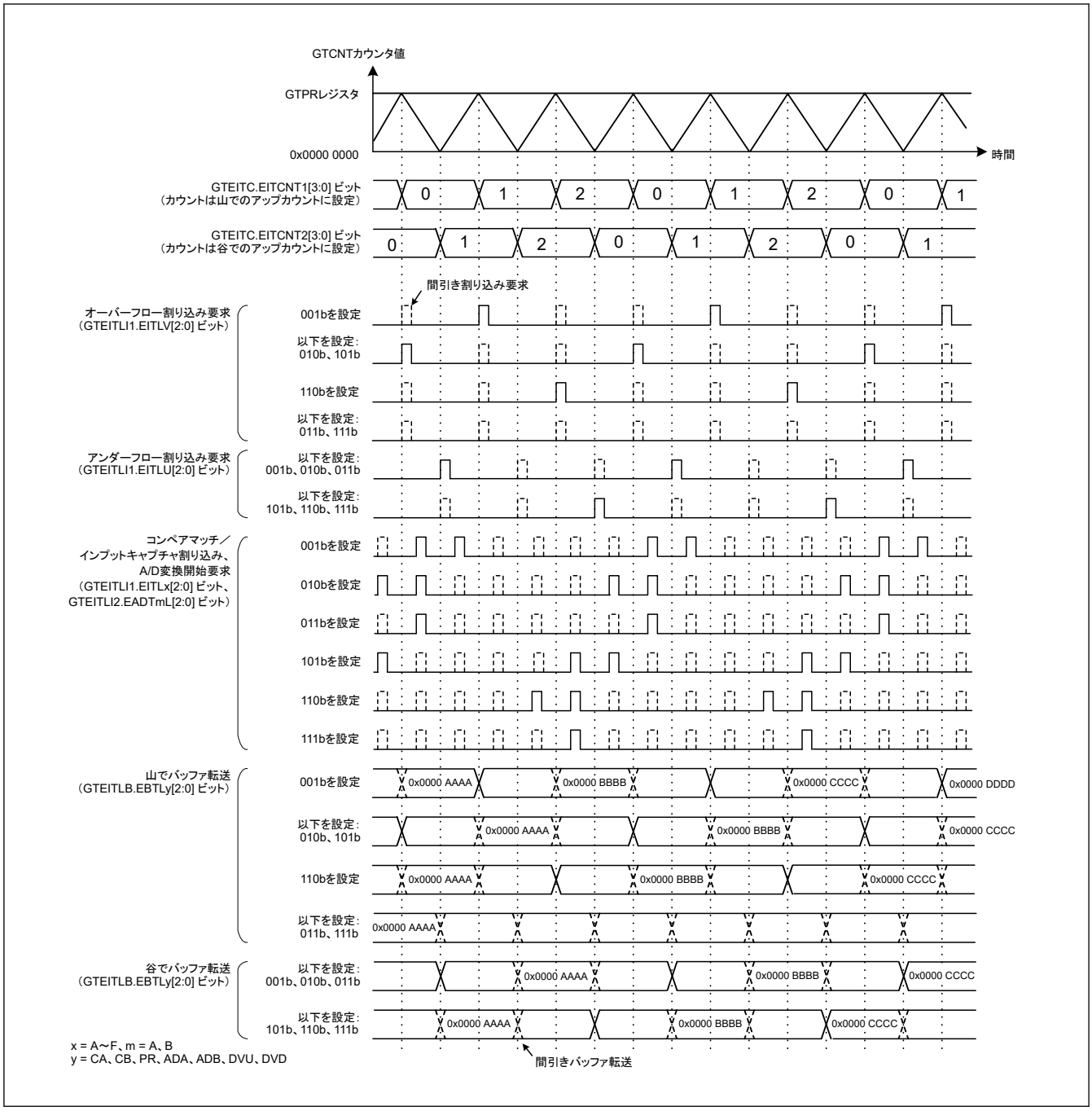


図 22.138　拡張割り込み間引き機能の例（三角波、間引き回数が 2 回の拡張割り込み間引き 1 で山をカウント、間引き回数が 2 回の拡張割り込み間引き 2 で谷をカウント、拡張割り込み間引きカウンタ 2 の初期値は 1 の場合）

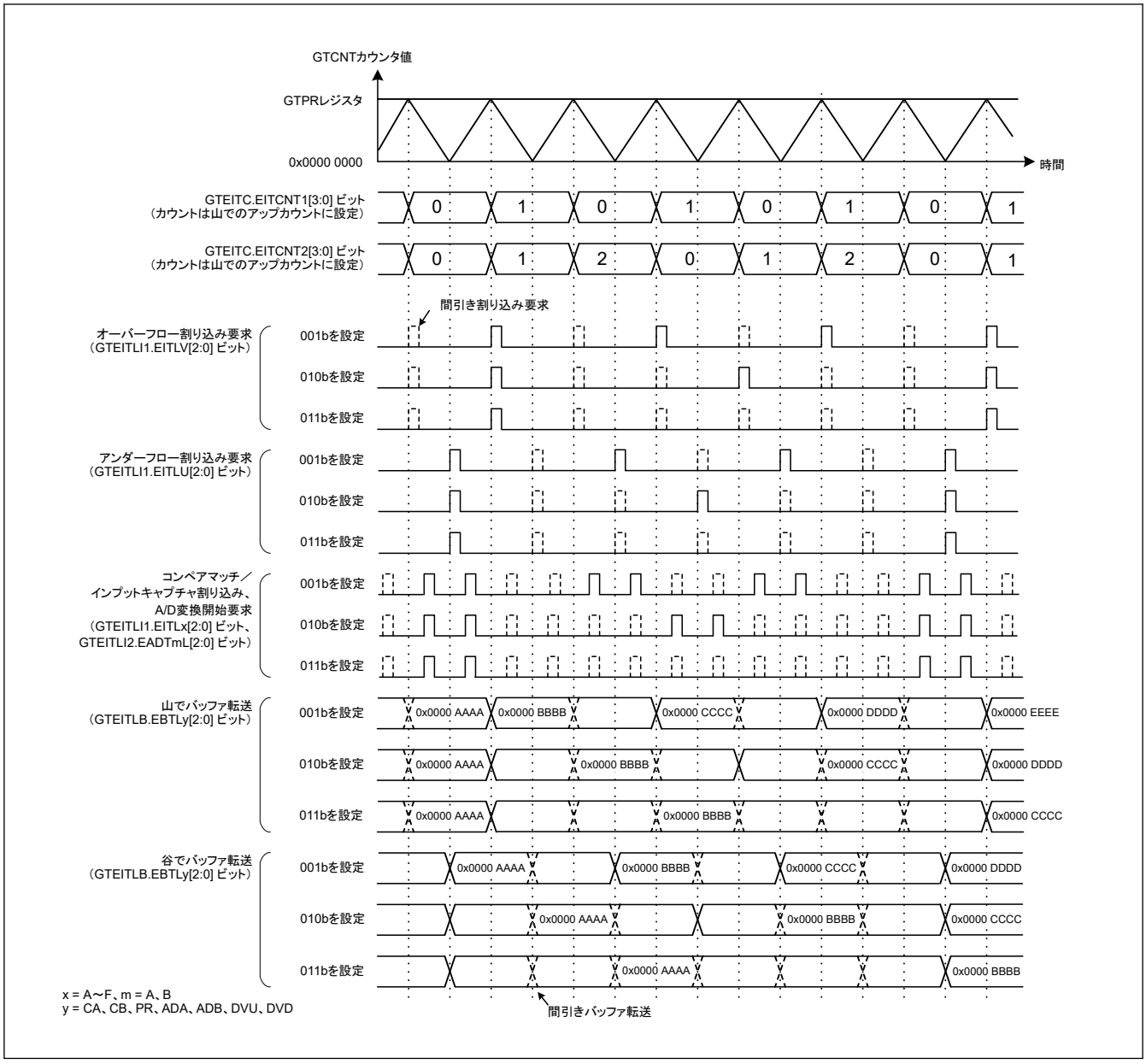


図 22.139　拡張割り込み間引き機能の動作例（三角波、山をカウント、拡張割り込み間引き 1 の間引き回数は 1 回、山をカウント、拡張割り込み間引き 2 の間引き回数は 2 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット (k = 1, 2) が 0 以外の期間に間引く場合）

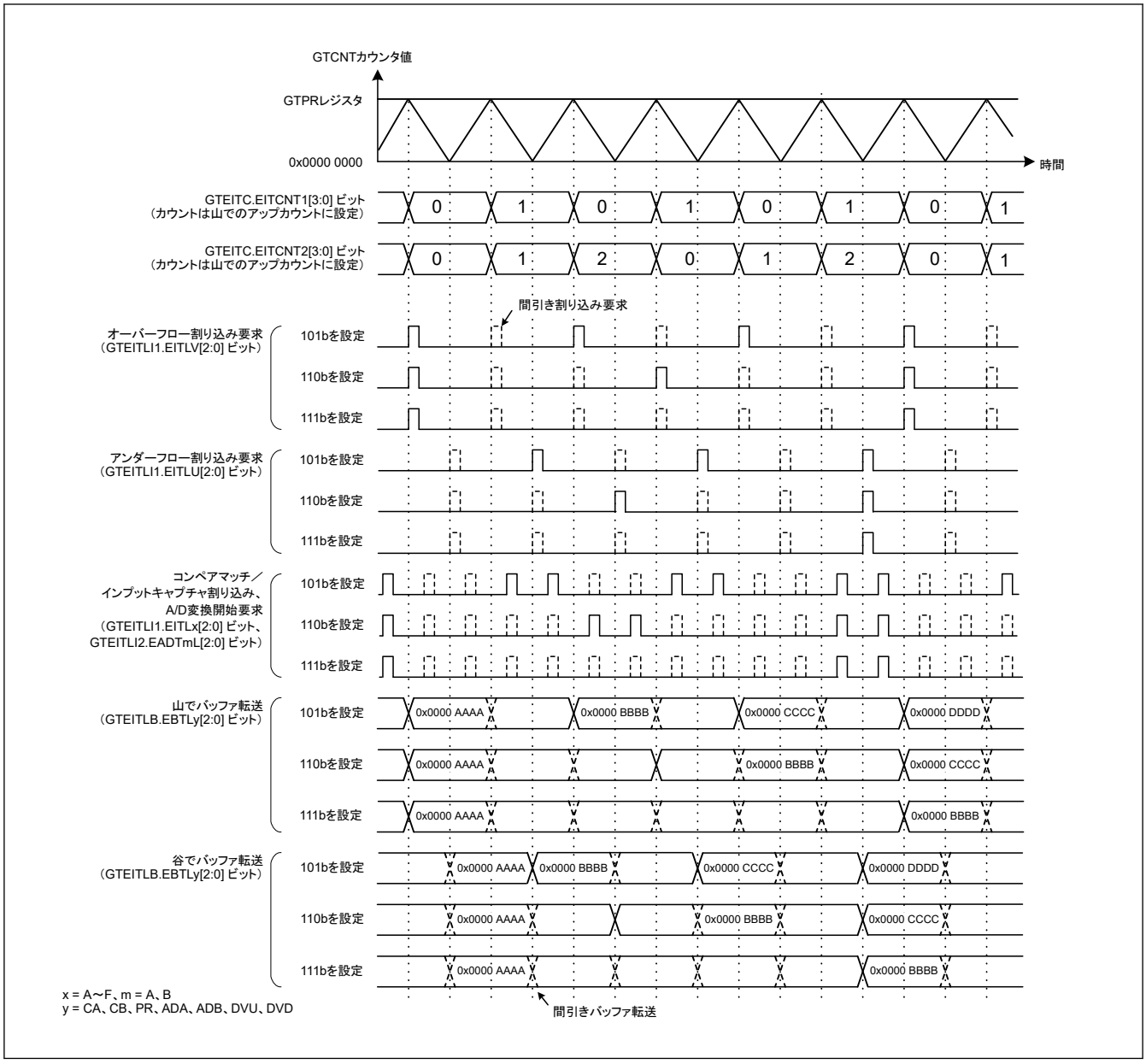


図 22.140 拡張割り込み間引き機能の動作例（三角波、山をカウント、拡張割り込み間引き 1 の間引き回数は 1 回、山をカウント、拡張割り込み間引き 2 の間引き回数は 2 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間に間引く場合）

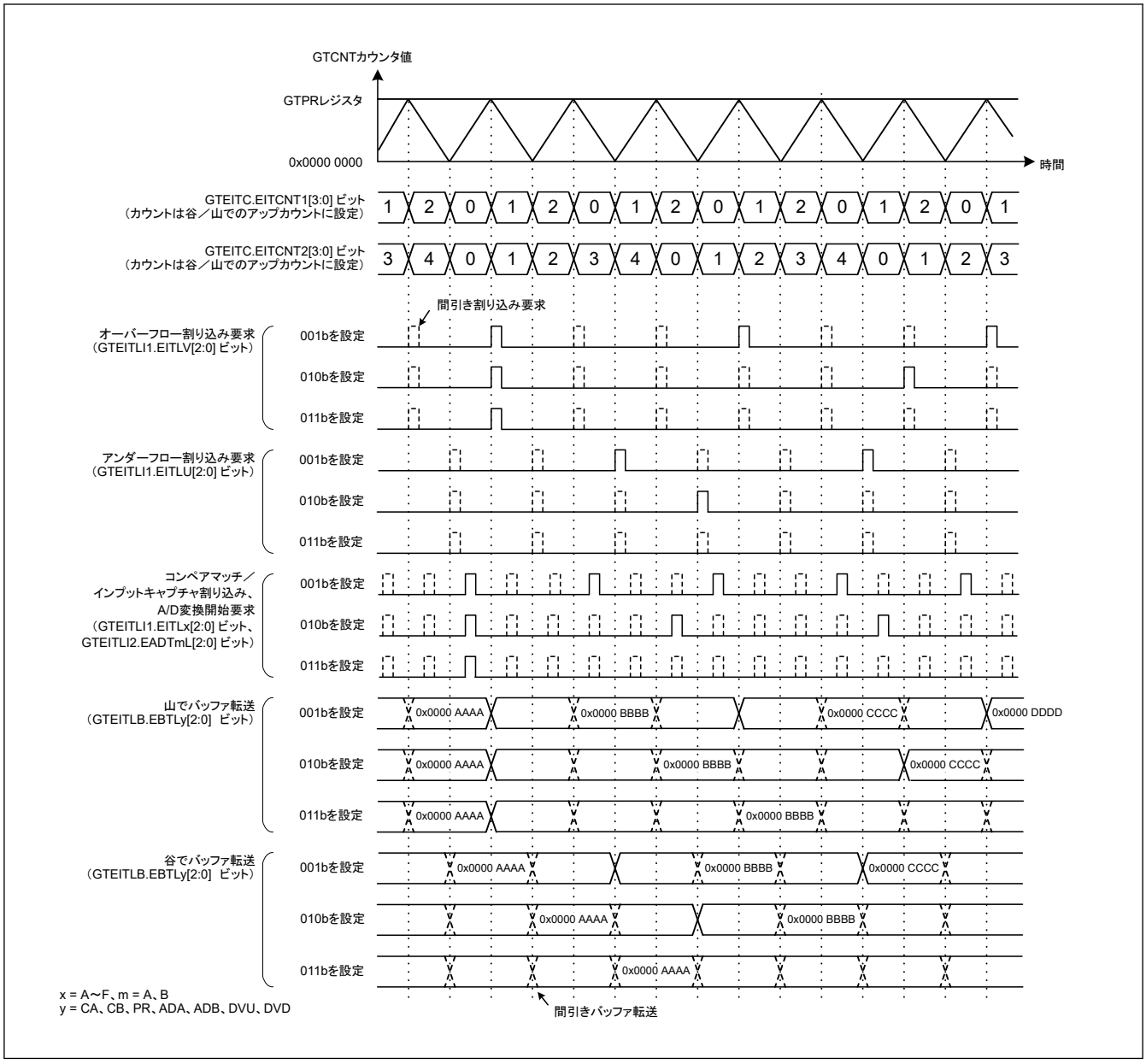


図 22.141 拡張割り込み間引き機能の動作例（三角波、山と谷の両方をカウント、拡張割り込み間引き 1 の間引き回数は 2 回、山と谷の両方をカウント、拡張割り込み間引き 2 の間引き回数は 4 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット (k = 1, 2) が 0 以外の期間に間引く場合）

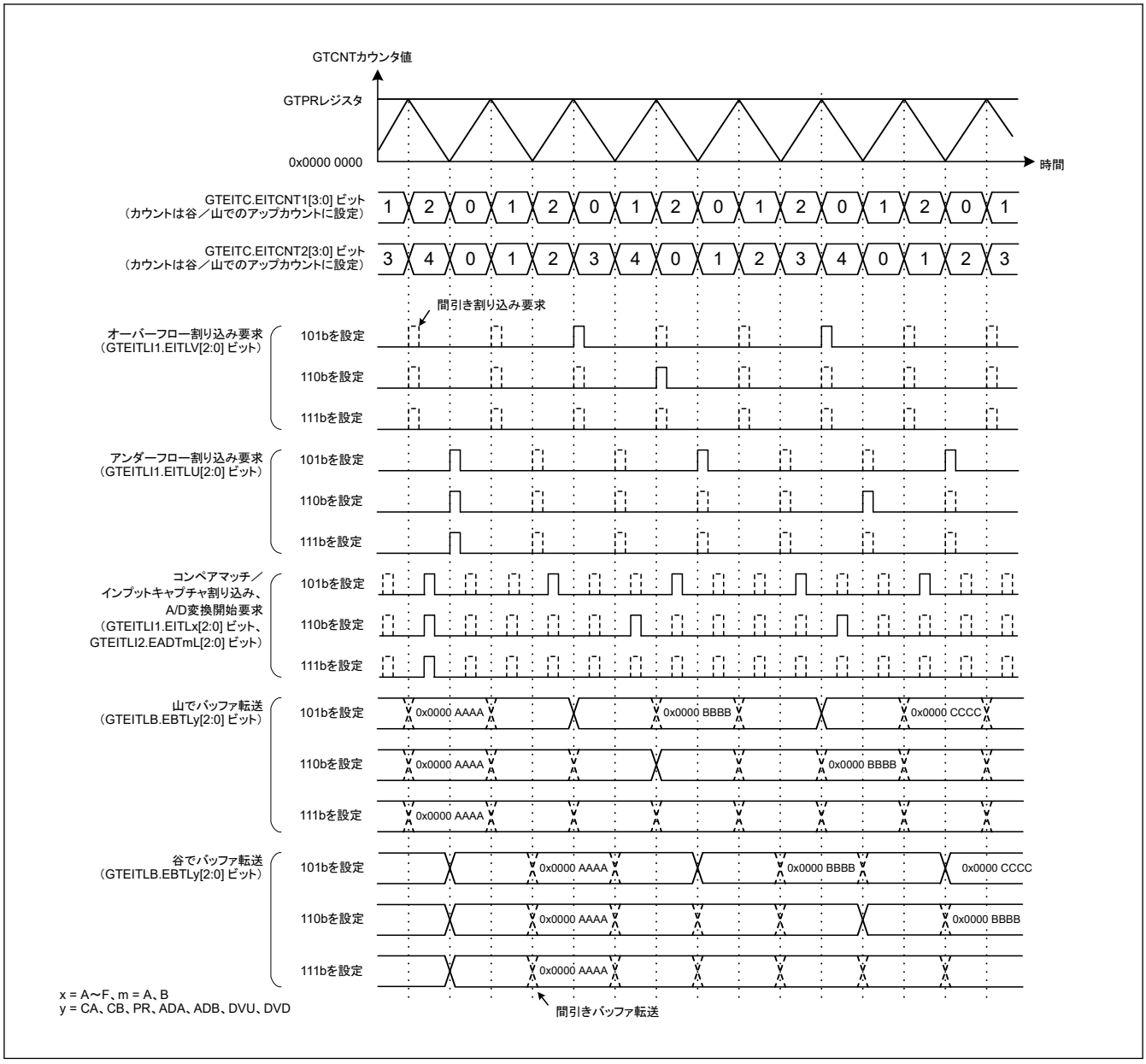


図 22.142 拡張割り込み間引き機能の動作例（三角波、山と谷の両方をカウント、拡張割り込み間引き 1 の間引き回数は 2 回、山と谷の両方をカウント、拡張割り込み間引き 2 の間引き回数は 4 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間に間引く場合）

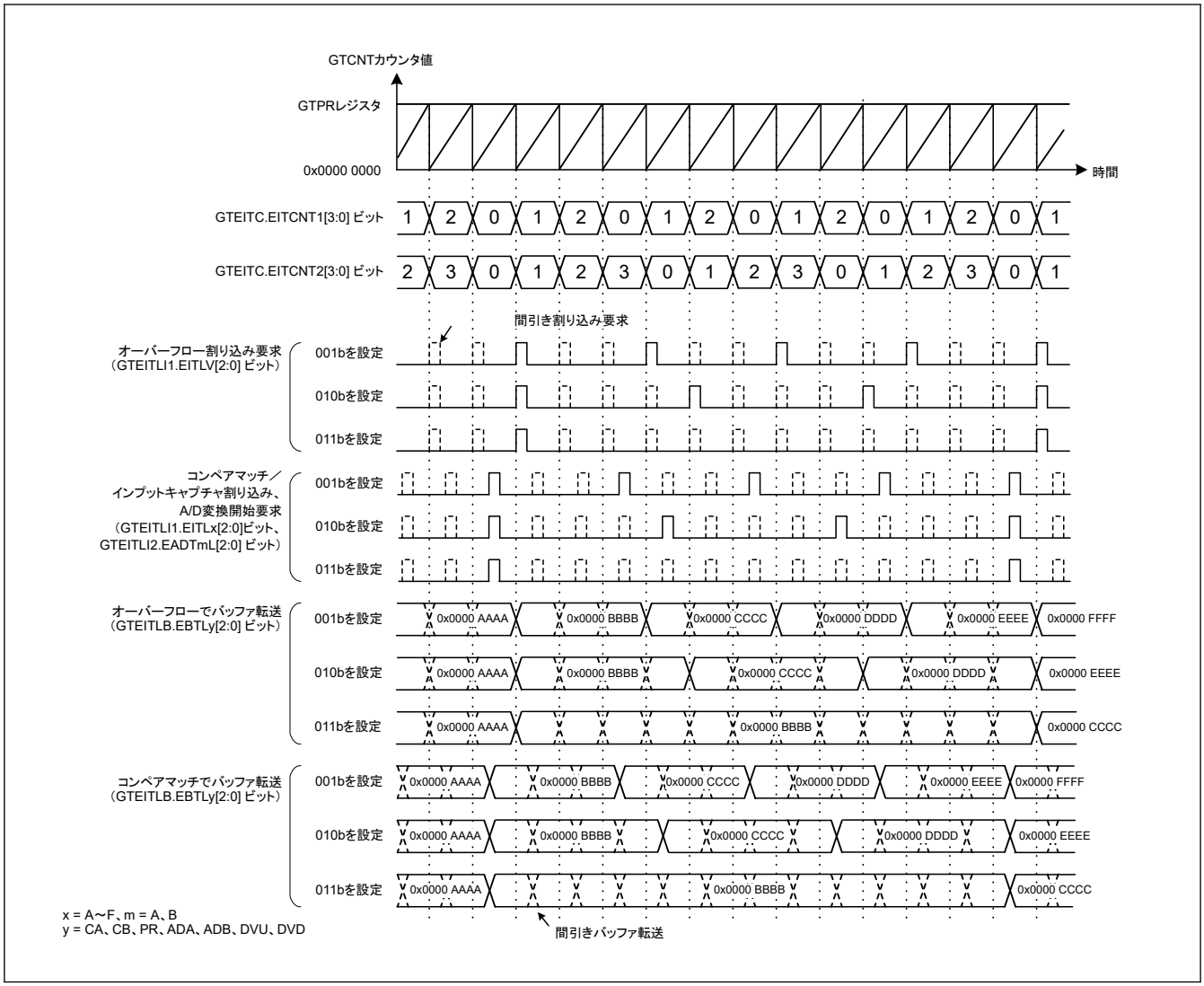


図 22.143　拡張割り込み間引き機能の動作例（のこぎり波でアップカウント、オーバーフローをカウント、拡張割り込み間引き 1 の間引き回数は 2 回、オーバーフローをカウント、拡張割り込み間引き 2 の間引き回数は 3 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット (k = 1, 2) が 0 以外の期間に間引く場合）

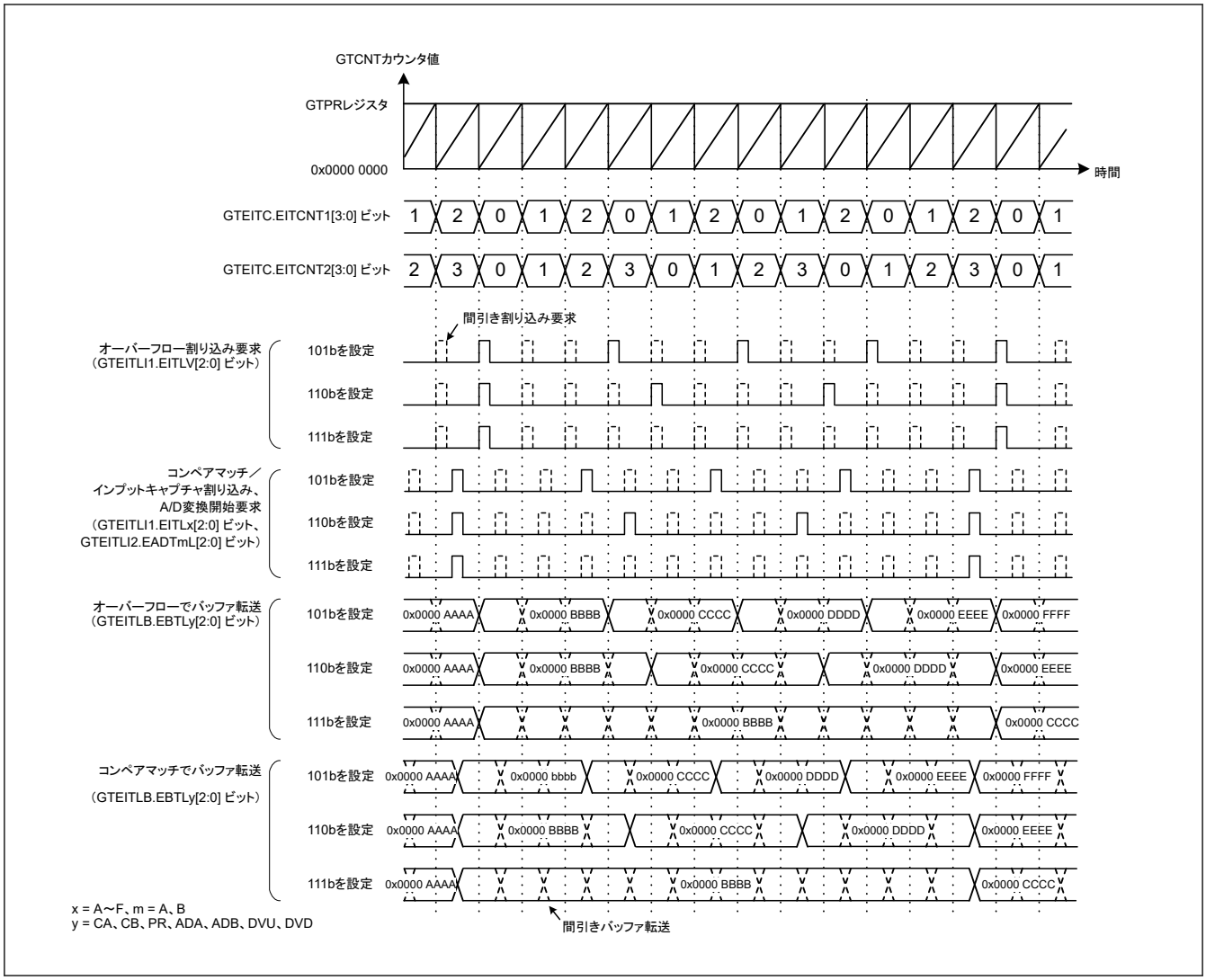


図 22.144　拡張割り込み間引き機能の動作例（のこぎり波でアップカウント、オーバーフローをカウント、拡張割り込み間引き 1 の間引き回数は 2 回、オーバーフローをカウント、拡張割り込み間引き 2 の間引き回数は 3 回、拡張割り込み間引きカウンタ 2 の初期値は 0、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間に間引く場合）

図 22.145 に、インプットキャプチャでの拡張割り込み間引き動作例を示します。GTCNT カウンタのカウント停止時のインプットキャプチャ動作設定（GTCR.ICDS ビット = 0）の場合、インプットキャプチャによる割り込みとバッファ転送の拡張間引きは GTCNT カウンタのカウント停止中でも許可されます。

ICDS ビットを 0 にすることで GTCNT カウンタのカウント停止中にインプットキャプチャが発生した場合、間引きカウンタ値が、対応する割り込み間引き機能選択ビットで設定した間引き期間と同じならば、割り込みとバッファ転送が間引かれます。

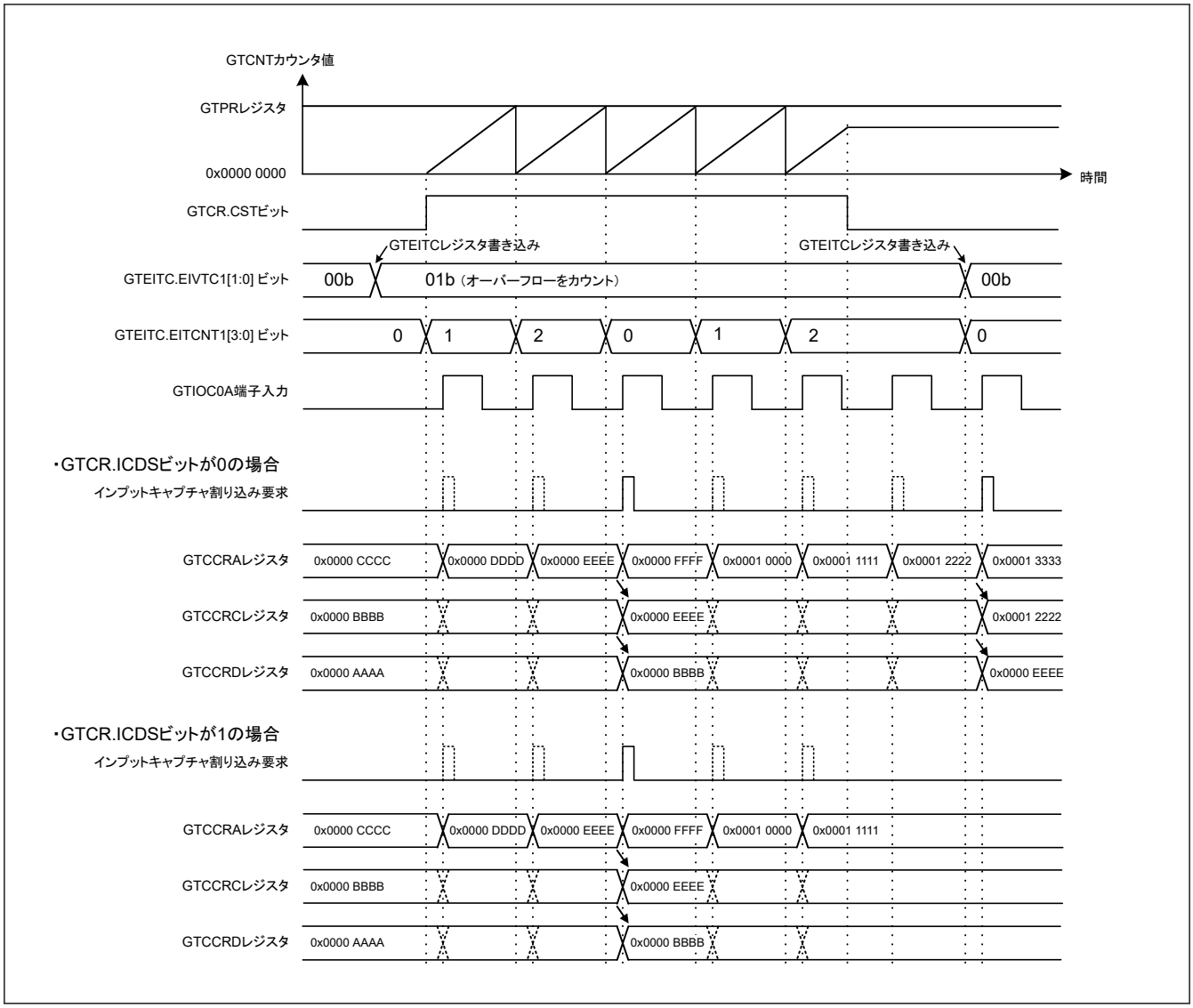


図 22.145　拡張割り込み間引き機能動作でのインプットキャプチャ動作例（のこぎり波でアップカウント、オーバーフローをカウント、拡張割り込み間引き 1 の間引き回数は 2 回、EITCNT1 ビットが 0 以外の期間で間引き、入力の立ち上がりでインプットキャプチャの場合）

表 22.72 に拡張割り込み間引きの設定例を示します。

拡張割り込み間引きカウンタ 2 の初期値は、拡張割り込み間引きカウンタ 2 のカウント要因の設定をカウントしない（GTEITC.EIVTC2[1:0]ビット = 00b）からカウントする（EIVTC2[1:0]ビットが 00b 以外）に変更するために ETICNT2IV[3:0]ビットの書き込み値で設定されます。拡張割り込み間引きカウンタ 2 の初期値ビット（ETICNT2IV[3:0]ビット）への書き込みは、上記で言及した拡張割り込み間引きカウンタ 2 の初期値の書き込みの設定をしたときにのみ実行されます。

表 22.72　拡張割り込み間引きの設定例 (1/2)

No.	ステップ名	説明
1	GTCNT カウンタ動作設定、 バッファ動作設定、 コンペアマッチ値設定	「22.3.2. バッファ動作」、「22.3.3. PWM 出力動作モード」などを参照してください。
2	拡張割り込み間引き機能の設定	間引き対象の割り込み、A/D 変換開始要求、バッファ転送に対する間引き機能選択ビットを、それぞれ GTEITLI1 レジスタ、GTEITLI2 レジスタ、GTEITLB レジスタで設定して、間引きに使用する間引きカウンタと間引き期間を選択します。

表 22.72 拡張割り込み間引きの設定例 (2/2)

No.	ステップ名	説明
3	拡張間引きカウンタの設定	GTEITC レジスタで、間引きに使用する間引きカウンタのカウントソース、間引き回数、間引きカウンタ 2 の初期値を以下の順番で設定します。 EIVTCk[1:0] ビット（k = 1, 2）を 00b 以外の値に、EIVTTk[3:0] ビットを 0000b 以外の値に設定します。 間引きカウンタ 2 を使用する場合、EIVTC2[1:0] ビットを 00b から 00b 以外の値に変更し、EITCNT2IV[3:0] ビットを間引きカウンタ 2 の初期値に設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
5	周期ごとのバッファ値設定	「22.3.2. バッファ動作」、「22.3.3. PWM 出力動作モード」などを参照してください。

22.4.3.3 A/D 変換開始要求コンペアマッチ間引き機能

GTADCMSC レジスタと GTADCMSS レジスタの設定に基づいて GTADTRA レジスタと GTADTRB レジスタのコンペアマッチをカウントすることで、A/D 変換開始要求と GTADTR レジスタバッファ転送を間引くことができます。

間引き期間は、独立した 2 つの A/D 変換開始要求コンペアマッチ間引きカウンタ（GTADCMSC レジスタの ADCMSCNT1[3:0] ビットと ADCMSCNT2[3:0] ビット）の動作に関連して、これらの間引きカウンタのカウンタ値のいずれかが 0 以外または間引き回数以外の期間として設定します。間引き期間は、両方の間引きカウンタのカウンタ値が 0 以外または間引き回数以外に設定されている期間として設定することも可能です。

図 22.146 に、A/D 変換開始要求コンペアマッチ間引きのカウンタ動作を示します。

A/D 変換開始要求コンペアマッチ間引きのカウンタ動作は GTADCMSC レジスタで設定します。

ADCMSCNT1[3:0] ビットは A/D 変換開始要求コンペアマッチ間引きカウンタ 1 のカウントソース選択ビット（GTADCMSC.ADCMSC1[1:0] ビット）で選択したカウントソース（図 22.146 では山を選択）をカウントし、A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数設定ビット（ADCMST1[3:0] ビット）で設定した間引き回数（図 22.146 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。

ADCMSCNT2[3:0] ビットは A/D 変換開始要求コンペアマッチ間引きカウンタ 2 のカウントソース選択ビット（GTADCMSC.ADCMSC2[1:0] ビット）で選択したカウントソース（図 22.146 では谷を選択）をカウントし、A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数設定ビット（ADCMST2[3:0] ビット）で設定した間引き回数（図 22.146 では 2 回）に達したときに 0 を返すカウント動作を繰り返します。

ADCMSCNTk[3:0] ビット（k = 1, 2）に初期値を設定できます。初期値が設定されるのは、A/D 変換開始要求コンペアマッチ間引きカウンタ k をカウントしない設定（ADCMSCk[1:0] ビットを 00b）にした状態で 16 ビットまたは 32 ビットのアクセスにより GTADCMSC レジスタに書き込みが行われた場合と、ADCMSCk[1:0] ビットの書き込み値が 00b 以外の場合です。初期値を設定すると、A/D 変換開始要求コンペアマッチ間引きカウンタ k の初期値ビット（ADCMSCNTkIV[3:0] ビット）の書き込み値が ADCMSCNT2[3:0] ビットの初期値として設定されます。

A/D 変換開始要求コンペアマッチ間引きカウンタは、「カウントしない」から「カウントする」に設定を変更した後の最初のカウントクロックからアップカウントを開始します。

A/D 変換開始要求コンペアマッチ間引き機能の ADCMSCNT1[3:0] ビットと ADCMSCNT2[3:0] ビットは GTCNT カウンタ動作の停止後も値を保持し、カウンタが停止する前の値からカウントを再開することができます。ADCMSCNT1[3:0] ビットと ADCMSCNT2[3:0] ビットの値をリセット（0000b）する場合、ADCMSC1[1:0] ビットと ADCMSC2[1:0] ビットを 00b にしてカウントしない（間引きなし）設定にしてください。

間引き数を変更するときは、間引きカウンタ動作を停止（ADCMSC1[1:0]ビットまたは ADCMSC2[1:0]ビットのいずれかを 00b に設定）してから間引き数を変更してください。

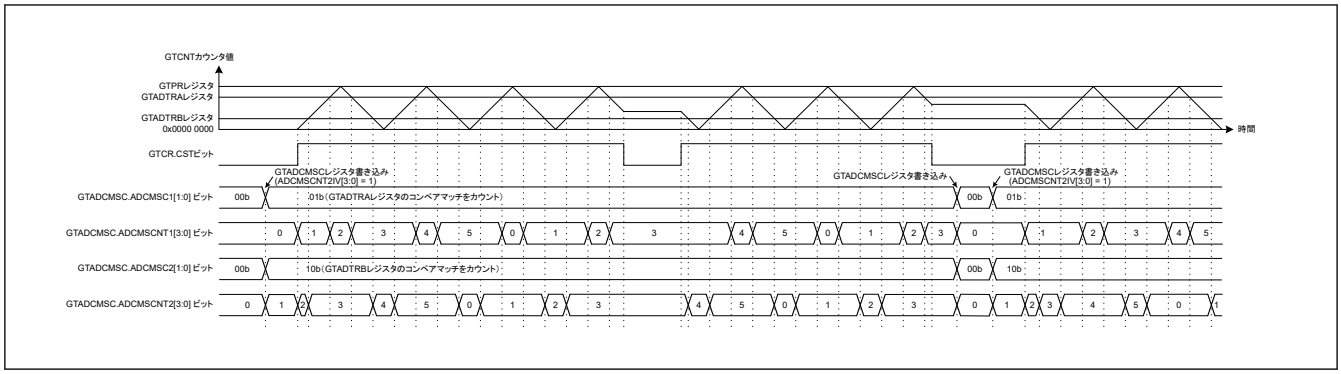


図 22.146　A/D 変換開始要求コンペアマッチ間引き機能の動作例

ADCMSC レジスタによる A/D 変換開始要求間引きは、GTITC レジスタまたは GTEITC レジスタによる間引きと同時に実行できます。この場合の間引き期間は各レジスタの間引き期間の論理和として表します。

図 22.147 に、対応する割り込み間引き動作と A/D 変換開始要求間引き動作を同時に実行する場合を示します。

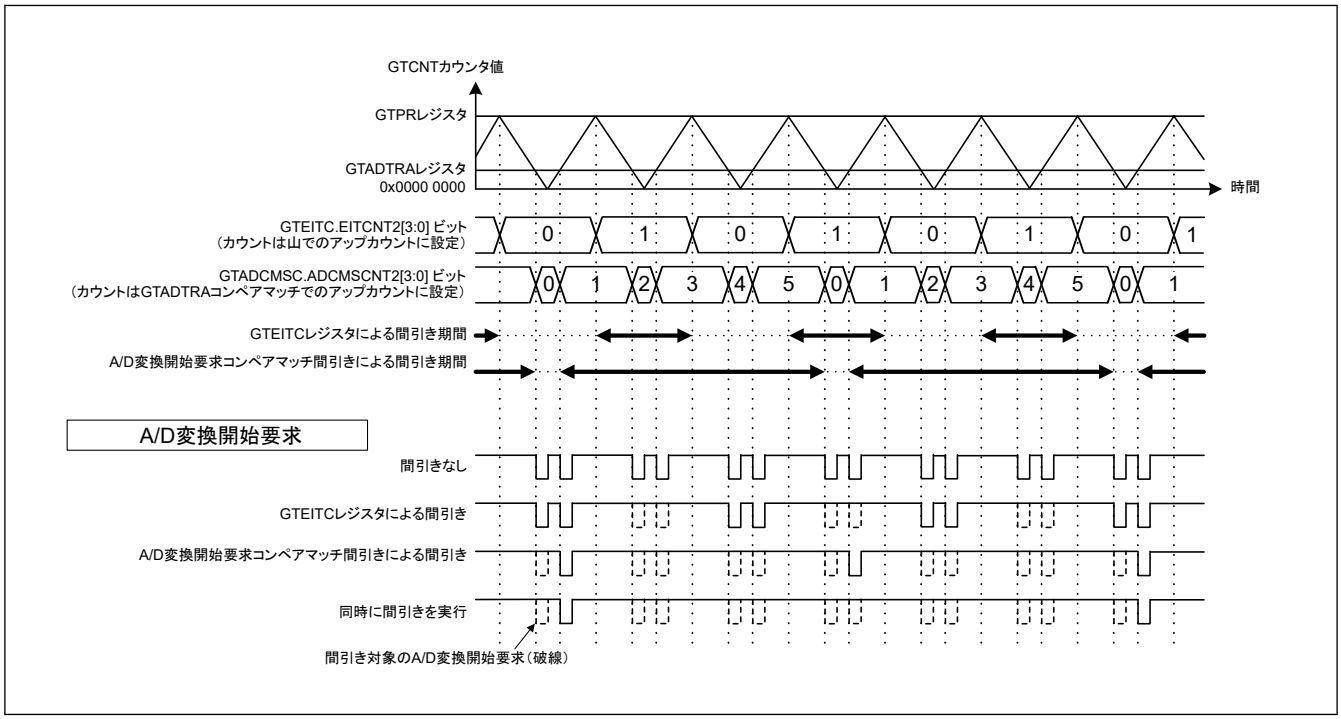


図 22.147　A/D 変換開始要求コンペアマッチ間引き機能の動作例（拡張割り込み間引き：EIVTC2[1:0] = 01b、EADTAL[2:0] = 010b、A/D 変換開始要求コンペアマッチ間引き：ADCMSC2[1:0] = 01b、ADCMSAL[2:0] = 010b の場合）

GTADCMSS レジスタで設定可能な A/D 変換開始要求間引きを実行した場合、ステータスフラグの更新と ELC イベント出力は GTINTAD レジスタの A/D 変換開始要求許可ビットにより異なります。GTINTAD レジスタで禁止設定した A/D 変換開始要求の動作は、すべて実行されません。

GTADCMSS レジスタによるバッファ転送間引きは、GTBER レジスタおよび GTBER2 レジスタで許可されたすべてのバッファ動作、あるいはのこぎり波ワンショットパルスモード、三角波 PWM モード 3、または相補 PWM モードで行われるすべてのバッファ動作において実行されます（GTCCRC, GTCCRE～GTCCRA からのバッファ転送を除きます）。

A/D 変換開始要求間引きとバッファ転送間引きは個別に動作します。

拡張間引き機能の動作例を図 22.148 と図 22.149 に示します。

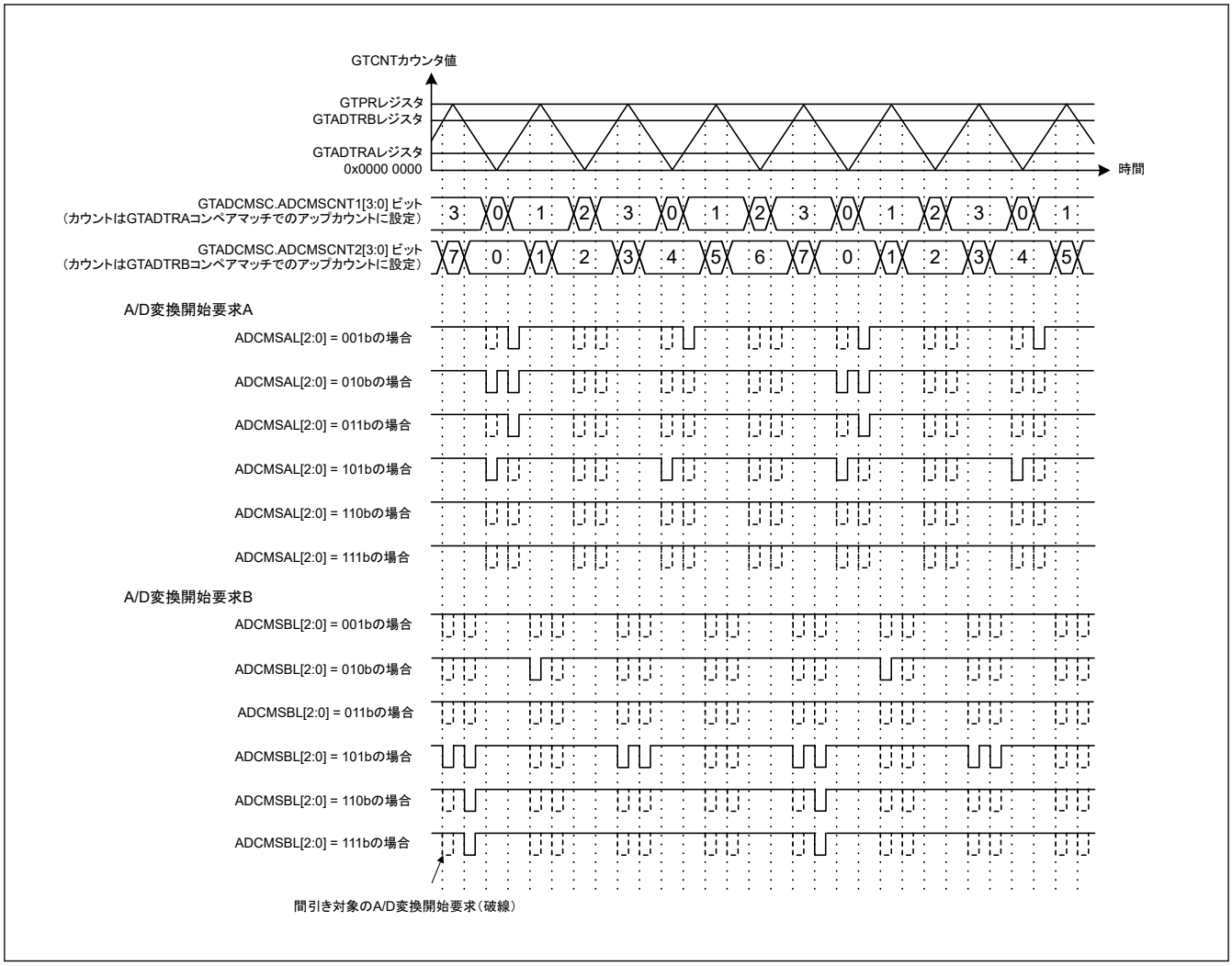


図 22.148　A/D 変換開始要求コンペアマッチ間引き機能の動作例（三角波、A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数は 3 回、GTADTRA コンペアマッチをカウント、A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数は 7 回、GTADTRB コンペアマッチをカウントする場合）

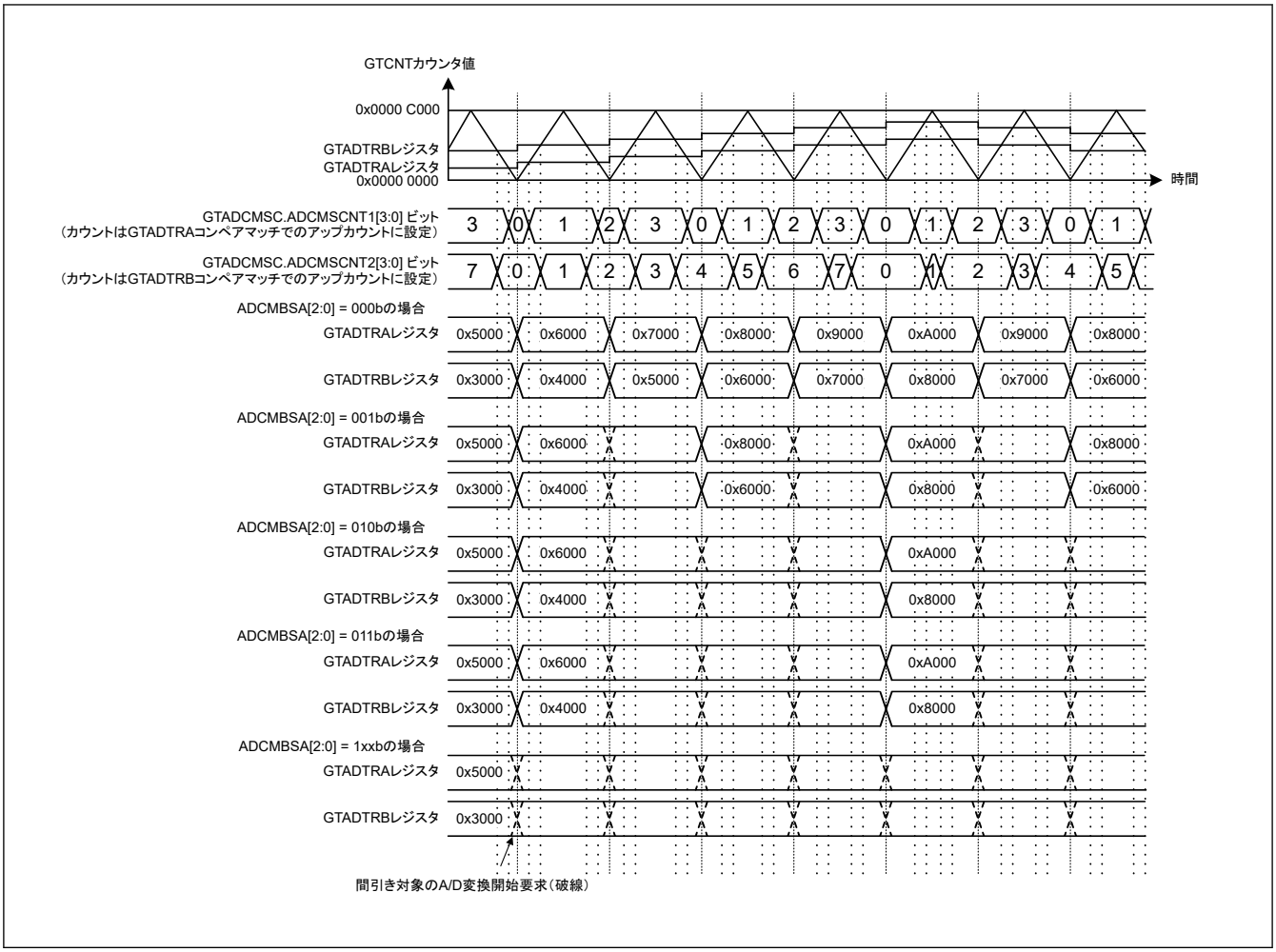


図 22.149 A/D 変換開始要求コンペアマッチ間引き機能の動作例（三角波、A/D 変換開始要求コンペアマッチ間引き 1 の間引き回数は 3 回、GTADTRA コンペアマッチをカウント、A/D 変換開始要求コンペアマッチ間引き 2 の間引き回数は 7 回、GTADTRB コンペアマッチをカウント、GTADTRA と GTADTRB のバッファ転送を谷で実行する場合）

表 22.73 に、A/D 変換開始要求コンペアマッチ間引きの設定例を示します。

A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値は、拡張割り込み間引きカウンタ 2 のカウント要因の設定をカウントしない（GTADCMSC.ADCMSC2[1:0]ビット = 00b）からカウントする（ADCMSC2[1:0]ビットが 00b 以外）に変更するために ADCMSCNT2IV[3:0]ビットの書き込み値で設定されます。A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値ビット（ADCMSCNT2IV[3:0]ビット）への書き込みは、上記で言及した A/D 変換開始要求コンペアマッチ間引きカウンタ 2 の初期値の書き込みの設定をしたときにのみ実行されます。

表 22.73 A/D 変換開始要求コンペアマッチ間引きの設定例 (1/2)

No.	ステップ名	説明
1	GTCNT カウンタ動作設定、 バッファ動作設定、 コンペアマッチ値設定	「22.3.2. バッファ動作」、「22.3.3. PWM 出力動作モード」、「22.5. A/D 変換開始要求」などを参照してください。
2	A/D 変換開始要求コンペアマッチ間引き機能の設定	間引き対象の A/D 変換開始要求またはバッファ転送に対する間引き機能選択ビットを GTADCMSS レジスタで設定して、間引きカウンタと割り込み期間を選択します。
3	A/D 変換開始要求コンペアマッチ間引きカウンタ k（k = 1, 2）の設定	GTADCMSC レジスタで、間引きカウンタのカウントソース、間引き回数、間引きカウンタ k の初期値を以下の順番で設定します。 GTADCMSC.ADCMSCk[1:0] ビットを 00b 以外の値に、ADCMSTk[3:0] ビットを 0000b 以外の値に設定します。 ADCMSCk[1:0] ビットを 00b から 00b 以外の値に変更し、ADCMSCNTkIV[3:0] ビットを間引きカウンタ k の初期値に設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

表 22.73 A/D 変換開始要求コンペアマッチ間引きの設定例 (2/2)

No.	ステップ名	説明
5	周期ごとのバッファ値設定	「22.3.2. バッファ動作」、「22.3.3. PWM 出力動作モード」、「22.5. A/D 変換開始要求」などを参照してください。

22.5 A/D 変換開始要求

A/D 変換開始要求は GTCNT カウンタと GTADTRA レジスタまたは GTADTRB レジスタとのコンペアマッチで発行できます。また GTINTAD レジスタの設定で、アップカウント時のみ、ダウンカウント時のみ、またはアップカウントとダウンカウントの両方が指定できます。

相補 PWM モードの場合、マスタチャネルの GTCNT カウンタとのコンペアマッチで A/D 変換開始要求を発行できます。

イベントカウント動作時は、A/D 変換開始要求は発生できません。

A/D 変換開始要求は、ADC16H に直接出力されます。

GTADTRA レジスタおよび GTADTRB レジスタは、それぞれ 2 つのバッファレジスタを持ちます。GTADTRA レジスタを GTADTBRA レジスタや GTADTDBRA レジスタと一緒に使用してバッファ動作を実行したり、GTADTRB レジスタを GTADTBRB レジスタや GTADTDBRB レジスタと一緒に使用してバッファ動作を実行したりできます。

A/D 変換開始要求の発生タイミングを外部端子で監視できます。監視対象の A/D 変換開始要求信号を GTADSMR.ADSMSk ビット (k = 0, 1) で選択し、ADSMENk ビットで出力を許可すると、A/D 変換開始要求信号の発生に使用されたタイマのサイクルフレームに同期した信号が出力されます。この出力は、GTADSMk 端子による A/D 変換開始要求信号発生時、または出力が Low の周期の終わりに High になります。A/D 変換開始要求信号が周期の終わりに発生した場合、この信号の発生がモニタ出力として優先され、次の周期の終わりまで出力は High のままとなります。A/D 変換開始要求信号の発生元であるレジスタ（GTADTRA および GTADTRB）と、そのカウント方向は、GTST レジスタの A/D 変換開始要求フラグ (ADTRAUF, ADTRADF, ADTRBUF, ADTRBDF) で確認できます。複数のチャネルに対して同一の A/D 変換開始要求信号監視出力の出力を許可している場合、それらの論理和を取った信号が GPT32 から出力されます。

図 22.150 に A/D 変換開始要求動作の例、表 22.74 に A/D 変換開始要求動作の設定例を示します。

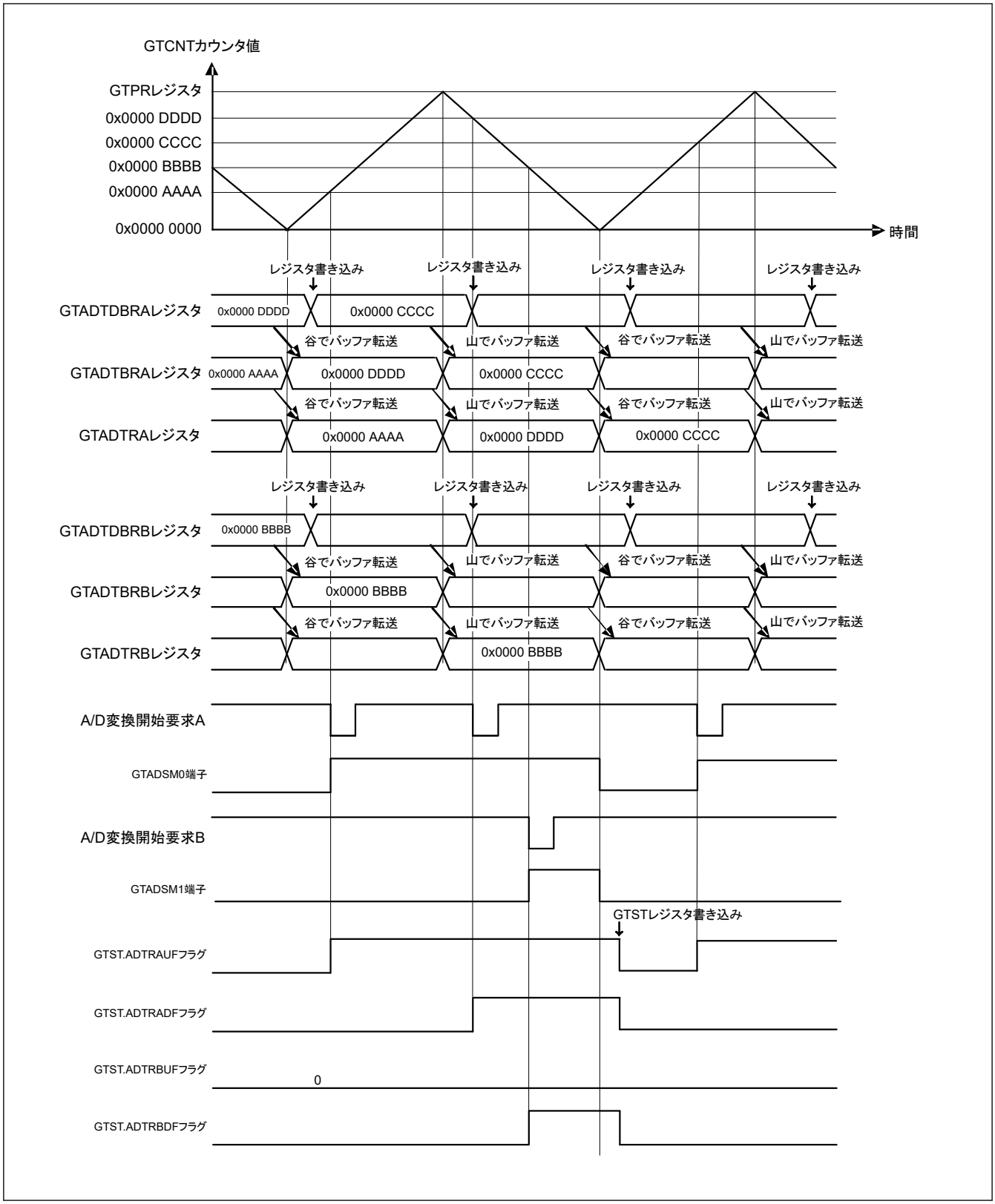


図 22.150 A/D 変換開始要求タイミング動作例（三角波、ダブルバッファ動作、谷／山両方でバッファ転送の場合、GTADTRA レジスタはアップカウント／ダウンカウント両方で A/D 変換開始要求、GTADTRB レジスタはダウンカウントで A/D 変換開始要求、GTADSM0 端子で GTADTRA レジスタのアップカウントを監視、GTADSM1 端子で GTADTRB レジスタのダウンカウントを監視の場合）

表 22.74 A/D 変換開始要求タイミング動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットまたは GTCR.MD[3:0]ビットで動作モードを設定します。 図 22.150 では、100b、101b、または 110b（0100b、0101b、または 0110b）（三角波 PWM モード）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、ADTDB ビットでバッファ動作を設定します。 図 22.150 では、ADTTA[1:0] = 11b、ADTTB[1:0] = 11b、ADTDA = 1、ADTDB = 1 です。
6	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA、GTADTRB レジスタに設定します。
7	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。
8	監視用の A/D 変換開始要求を設定	GTADSMR レジスタの ADSMS0[1:0] ビットと ADSMS1[1:0] ビットで、監視対象の A/D 変換開始要求信号（GTADSM0 端子と GTADSM1 端子から出力）を選択し、GTADSMR レジスタの ADSMEN0 ビットと ADSMEN1 ビットで、監視中の A/D 変換開始要求信号の出力を許可します。 図 22.150 では、ADSMS0[1:0] = 00b、ADSMS1[1:0] = 11b、ADSMEN0 = 1、ADSMEN1 = 1 です。
9	A/D 変換開始要求を許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 図 22.150 では、ADTRAUEN ビット = 1、ADTRADEN ビット = 1、ADTRBUEN ビット = 0、ADTRBDEN ビット = 1 です。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。

図 22.151 に、A/D 変換開始要求タイミング動作の例を示します。

これは、A/D コンバータの開始要求としての A/D 変換開始要求 A の出力例を示します。A/D 変換開始要求 A 信号は、GTADTRA レジスタとのコンペアマッチ成立により出力されます。

GPT が PCLKD で動作しており、ADC が PCLKA で動作している場合、A/D 変換開始要求 A は PCLKA の次の立ち上がりエッジで ADC に渡されます。

GPT が GPTCLK で動作しており、ADC が GPTCLK で動作している場合、A/D 変換開始要求 A は遅延なしで ADC に渡されます。

その他のクロック組み合わせすべてで、A/D 変換開始要求 A は同期され、ADC に渡されます。

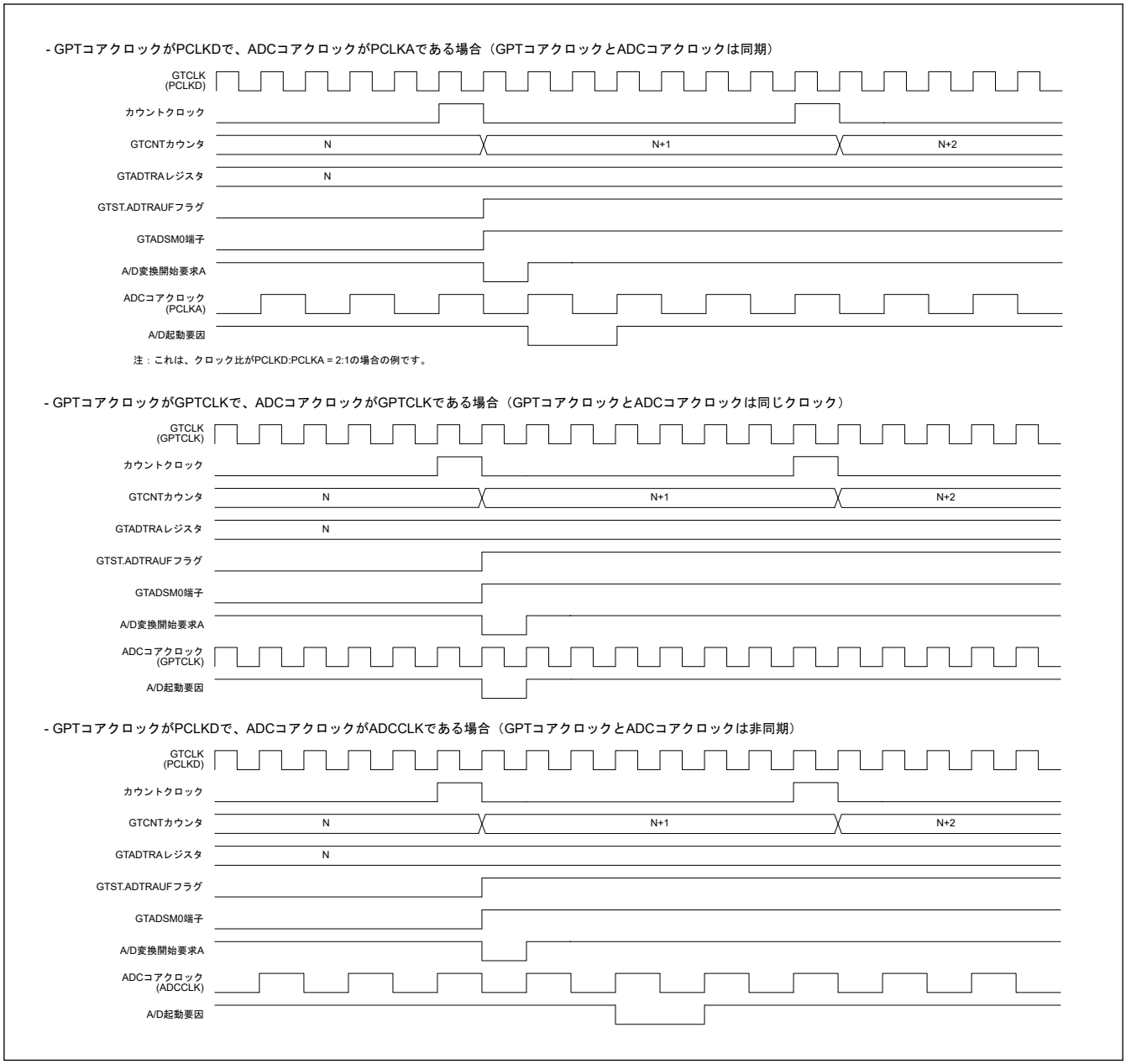


図 22.151　A/D 変換開始要求タイミング動作例

A/D 変換開始要求の制限事項については、「22.10.6. 割り込み要求の間隔」を参照してください。

22.6　ELC によるリンク動作

22.6.1　ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

アップカウント／ダウンカウント中の A/D 変換開始要求は、ELC へイベントを出力するために、A/D 変換開始要求許可ビットで個別に許可または禁止することができます。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn_CMPD)

- コンペアマッチ E 割り込み発生 (GPTn_CMPE)
- コンペアマッチ F 割り込み発生 (GPTn_CMPF)
- オーバーフロー割り込み発生 (GPTn_OVF)
- アンダーフロー割り込み発生 (GPTn_UDF)
- 周期計数機能の終了 (GPTm_PC)

注. n = 0～13
m = 0～3, 10～13

22.6.2 ELC からのイベント信号入力

GPT は、ELC からの最大 8 個のイベントに対して、以下の動作を実行することができます。

- カウントスタート／ストップ／クリア
- アップカウント／ダウンカウント
- インプットキャプチャ

ELC とイベント信号入力の接続関係は、「19. イベントリンクコントローラ (ELC)」を参照してください。

22.7 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効／無効にすることや、チャネルごとにサンプリングクロックを設定することが可能です。

図 22.152 にノイズフィルタのタイミングを示します。

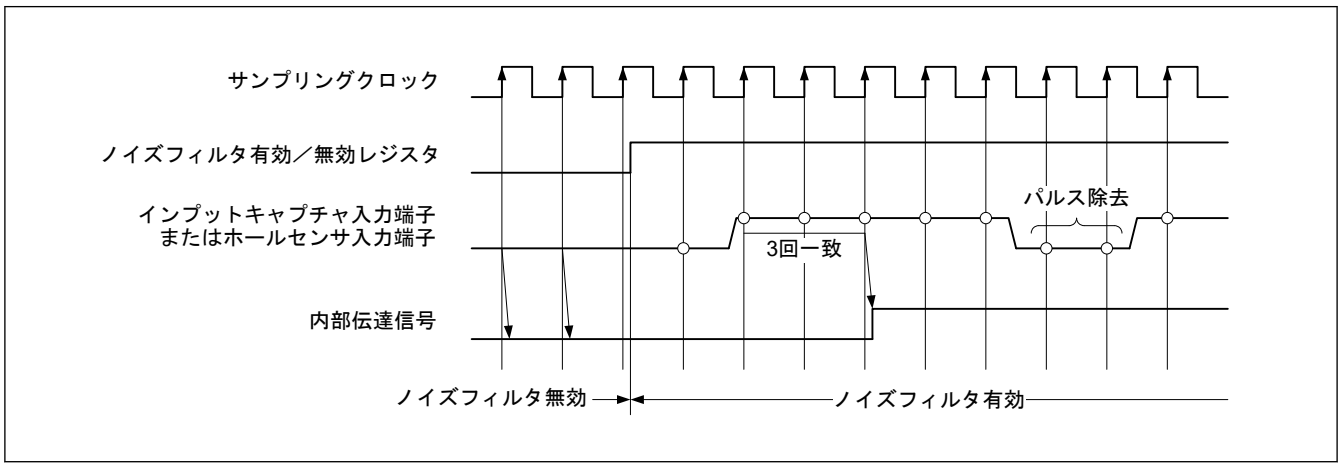


図 22.152 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、（サンプリング周期 × 2 + GTCLK）の最短の遅延の後、ノイズフィルタ対象信号のエッジでインプットキャプチャ動作またはホールセンサ入力動作が実行されます。この遅延は、インプットキャプチャ入力またはホールセンサ入力に対するノイズフィルタリングに起因するものです。

22.8 保護機能

22.8.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR,

GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTEITC, GTEITLI1, GTEITLI2, GTEITLB, GTICLF, GTPC, GTADCMSC, GTADCMSS, GTBER2, GTOLBR, GTICCR

GTSTR、GTSTP、および GTCLR レジスタ（他のチャネルの対応するレジスタを更新することができ、反対に他のチャネルの対応するレジスタによって更新されることができる）のすべてのビットは、チャネルごとにそれぞれ GTWP の STRWP、STPWP、および CLRWP ビットを設定することによって保護できます。

同様に、GTSECSR レジスタや GTSECR レジスタ（既定のチャネルの GTSECSR レジスタや GTSECR レジスタへの書き込みにより、全チャネルを制御可能）への書き込みは、GTWP.CMNWP ビットの設定により、許可または禁止することができます。

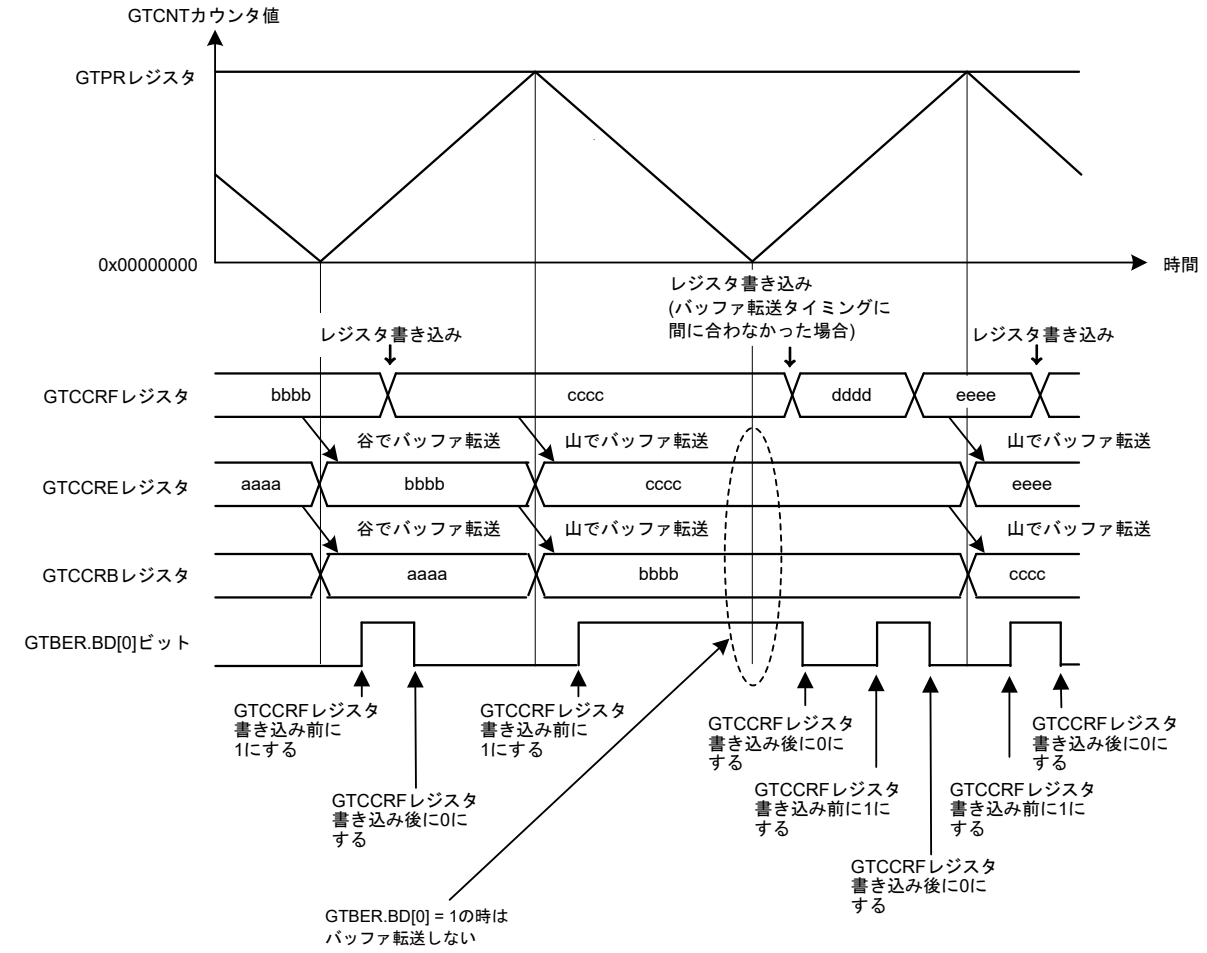
GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

22.8.2 バッファ動作の禁止

バッファレジスタへの書き込みのタイミングがバッファ転送より遅延している場合、GTBER.BD[3]、BD[2]、BD[1]、BD[0]ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタへの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することが可能です。そのためには、バッファレジスタの書き込み前に BD[3]、BD[2]、BD[1]、BD[0]ビットを 1（バッファ動作禁止）にしておき、すべてのバッファレジスタへの書き込み終了後に 0（バッファ動作許可）に戻します。

BD[3]、BD[2]、BD[1]、BD[0]ビットは、GTBER レジスタに直接書き込むことでチャネル毎に設定できます。あるいは、GTSECSR によって事前に設定された複数のチャネルに対して GTSECR レジスタを設定することで同時に 0 にすることもできます。

GTBER レジスタに書き込むことによってバッファ動作を禁止にする動作の例を図 22.153 に示します。



注. レジスタのベースアドレスは同じです。

図 22.153 バッファ動作禁止の動作例（三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合）

22.8.2.1 複数チャネルのバッファ動作の同時制御

GTBER.BD ビットは、チャネル毎の GTBER レジスタに直接書き込むか、GTSECSR にすでに設定された複数チャネルの GTSECR レジスタ内に設定を作成することにより設定できます。

複数チャネルの GTBER.BD ビットを同時に設定するには、以下の手順に従ってください。

1. GTSECSR レジスタによる同時設定用チャネルを選択してください。
   同時設定する GTBER.BD ビットのチャネルに対応するビット位置の値が 1 になるように、GTSECSR レジスタを設定してください。いずれかのチャネルの GTSECSR レジスタに書き込むと、全ての GTSECSR レジスタを更新できます。
2. GTSECR レジスタを更新することで、同時に GTBER.BD ビットを設定します。
   同時に設定される GTBER.BD ビットの動作（バッファ動作を許可／禁止）を、GTSECR レジスタで設定します。いずれかのチャネルの GTSECR レジスタに書き込むと、GTSECR レジスタの値に応じて GTSECSR レジスタに 1 が設定されているビットに対応する全てのチャネルの GTBER.BD ビットを更新します。

図 22.154 と図 22.155 に複数チャネルのバッファ動作の許可または禁止の同時制御の例を示します。

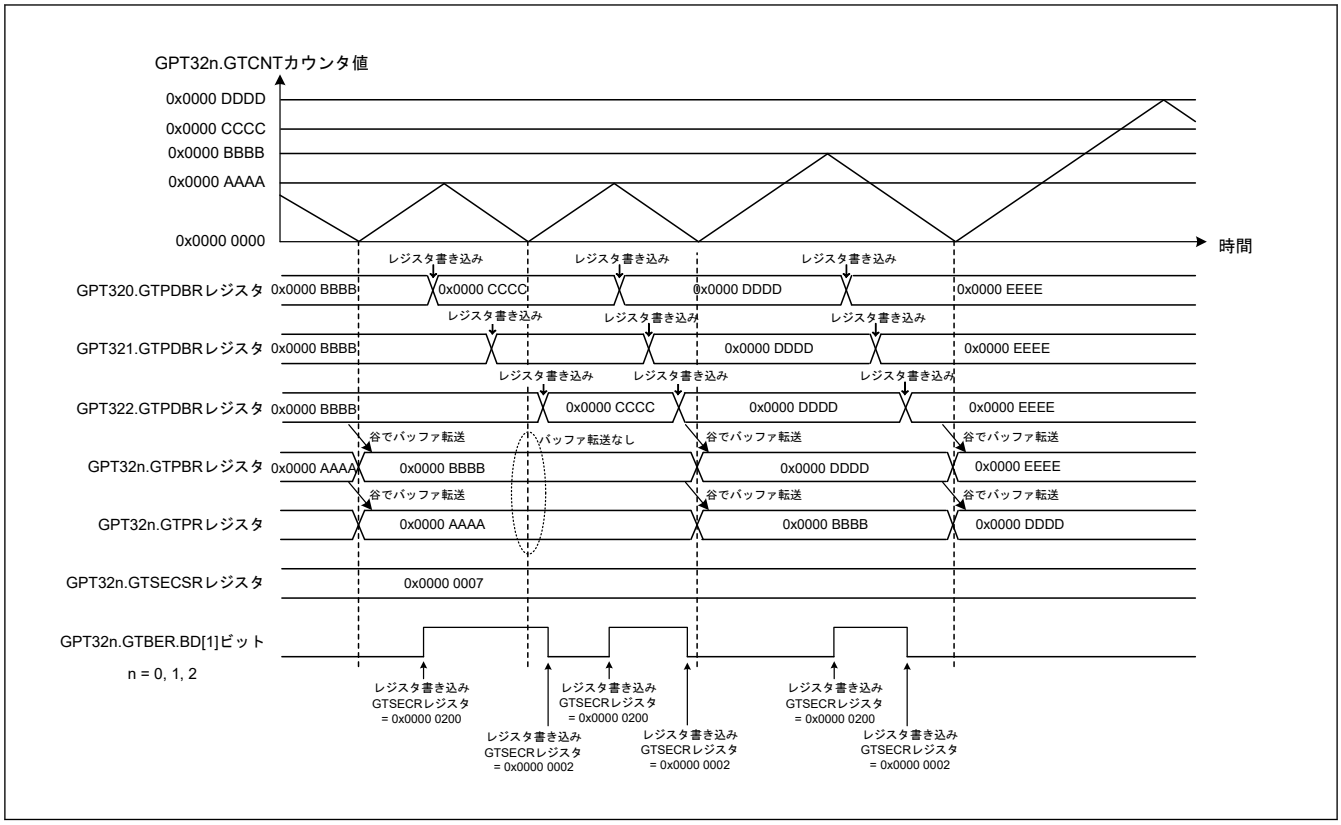


図 22.154　　バッファ動作禁止の複数チャネルの動作例（三角波、ダブルバッファ動作）

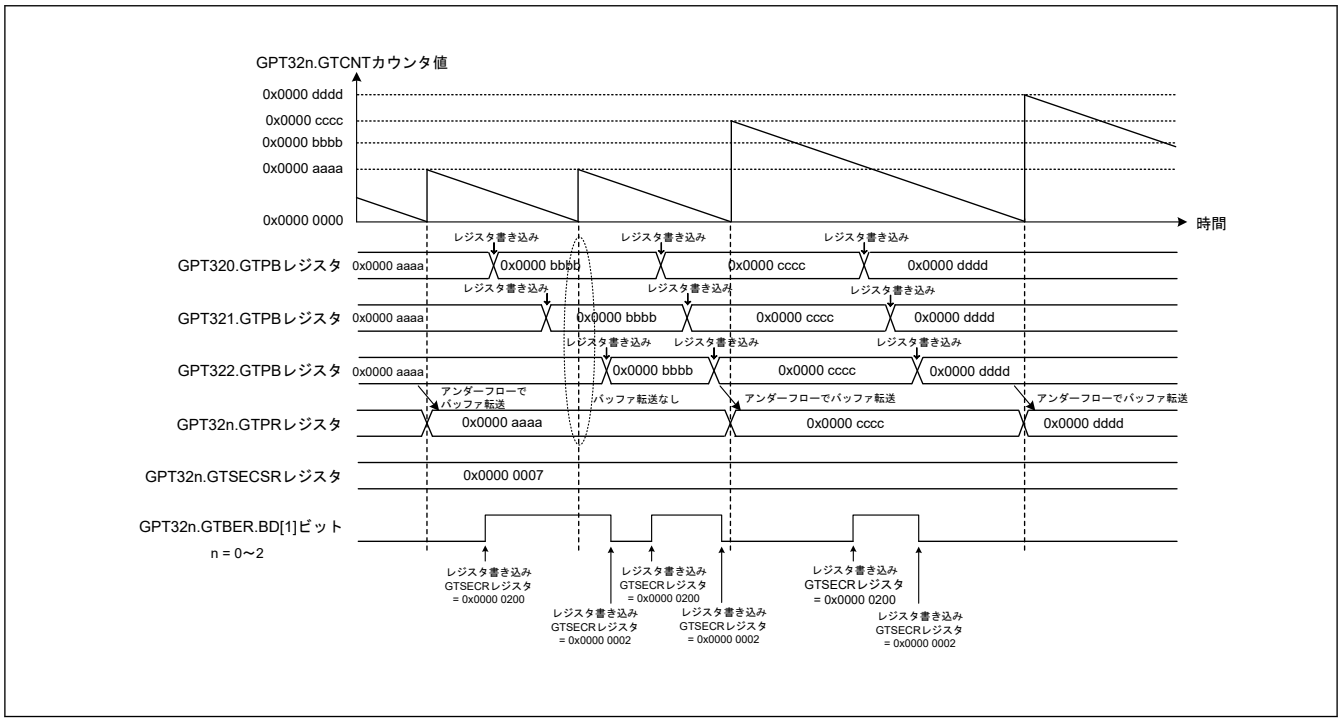


図 22.155　　バッファ動作禁止の複数チャネルの動作例（のこぎり波、シングルバッファ動作）

22.8.2.2　GTCCR バッファ転送禁止時のリピートダブルバッファ動作

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 で GTBER.DBRTECm (m = A, B) ビットが 1 の場合、GTBER.BD[0]ビットの設定またはバッファ転送拡張スキップ機能によりバッファ転送が禁止されているときでも、中間バッファから GTCCRm (m = A, B) レジスタへの転送が周期ベースで繰り返されます。

(1) のこぎり波ワンショットパルスモードの場合

のこぎり波ワンショットパルスモードでは、波形の前半のコンペアマッチ値は GTCCRx (x = C, E) レジスタの中間バッファとしてのテンポラリレジスタ x (x = C, E) に格納されます。波形の後半のコンペアマッチ値は GTCCRy (y = D, F) レジスタの中間バッファとしてのテンポラリレジスタ m (m = A, B) に格納されます。リピートバッファ動作中のコンペアマッチ値に対して、値は GTCCRm (m = A, B) レジスタに交互に転送されます。

のこぎり波ワンショットパルスモードでカウント中の GTCCR レジスタのバッファ転送の種類を表 22.75 に示します。

カウントが停止している間は、テンポラリレジスタの設定値はバッファ強制転送により、転送されます。バッファ強制転送では、対応する GTBER.DBRTECm (m = A, B) ビットの設定値が 1 のとき、GTCCRy (y = D, F) レジスタの値がテンポラリレジスタ m (m = A, B) に転送され、GTCCRx (x = C, E) レジスタの値がテンポラリレジスタ x (x = C, E) に転送されます。

GTBER.DBRTECm ビット (m = A, B) が 1 のとき、CPU による GTCCRm レジスタ (m = A, B) への書き込みはテンポラリレジスタ x (x = C, E) に同じ値を設定します。

表 22.75 GTCNT カウント中の GTCCR バッファ転送動作（のこぎり波ワンショットパルスモードの場合）

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタ x	テンポラリレジスタ x ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタ m	テンポラリレジスタ m ↓ GTCCRm
0	転送許可期間	オーバーフローまたはアンダーフロー	転送なし	転送なし	オーバーフローまたはアンダーフロー	GTCCRm コンペアマッチ
	転送禁止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	転送許可期間	オーバーフローまたはアンダーフロー	オーバーフローまたはアンダーフロー	転送なし	オーバーフローまたはアンダーフロー	GTCCRm コンペアマッチ
	転送禁止期間	転送なし	転送なし	オーバーフローまたはアンダーフロー	転送なし	GTCCRm コンペアマッチ

注. m = A, B
x = C, E
y = D, F

のこぎり波ワンショットパルスモードでの GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、拡張バッファ転送スキップ機能による転送禁止期間発生の動作例を図 22.156 に示します。

のこぎり波ワンショットパルスモードでの GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、GTBER.BD[0]ビット更新による転送禁止期間発生の動作例を図 22.157 に示します。

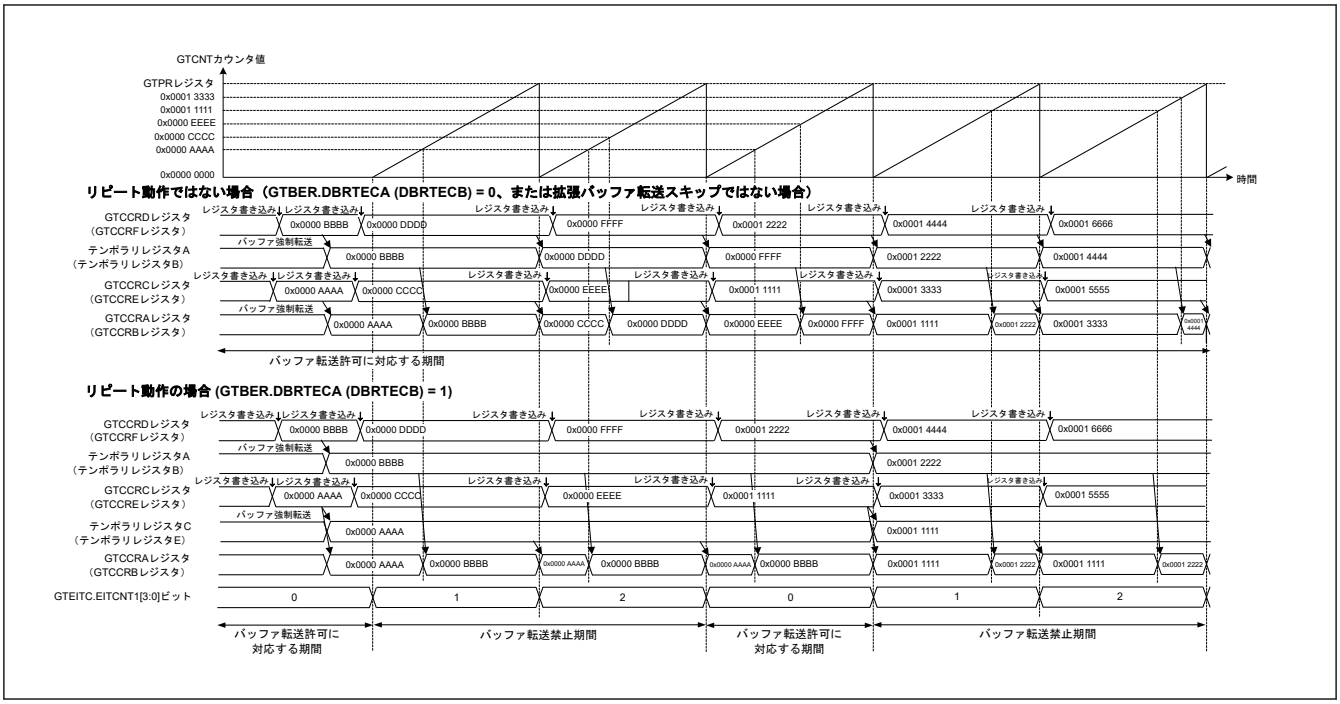


図 22.156　GTCCR バッファ転送禁止時のリピートダブルバッファ動作例（のこぎり波ワンショットパルスモード、拡張バッファ転送スキップ機能使用、GTBER.BD[0]ビットが常に 0 の場合）

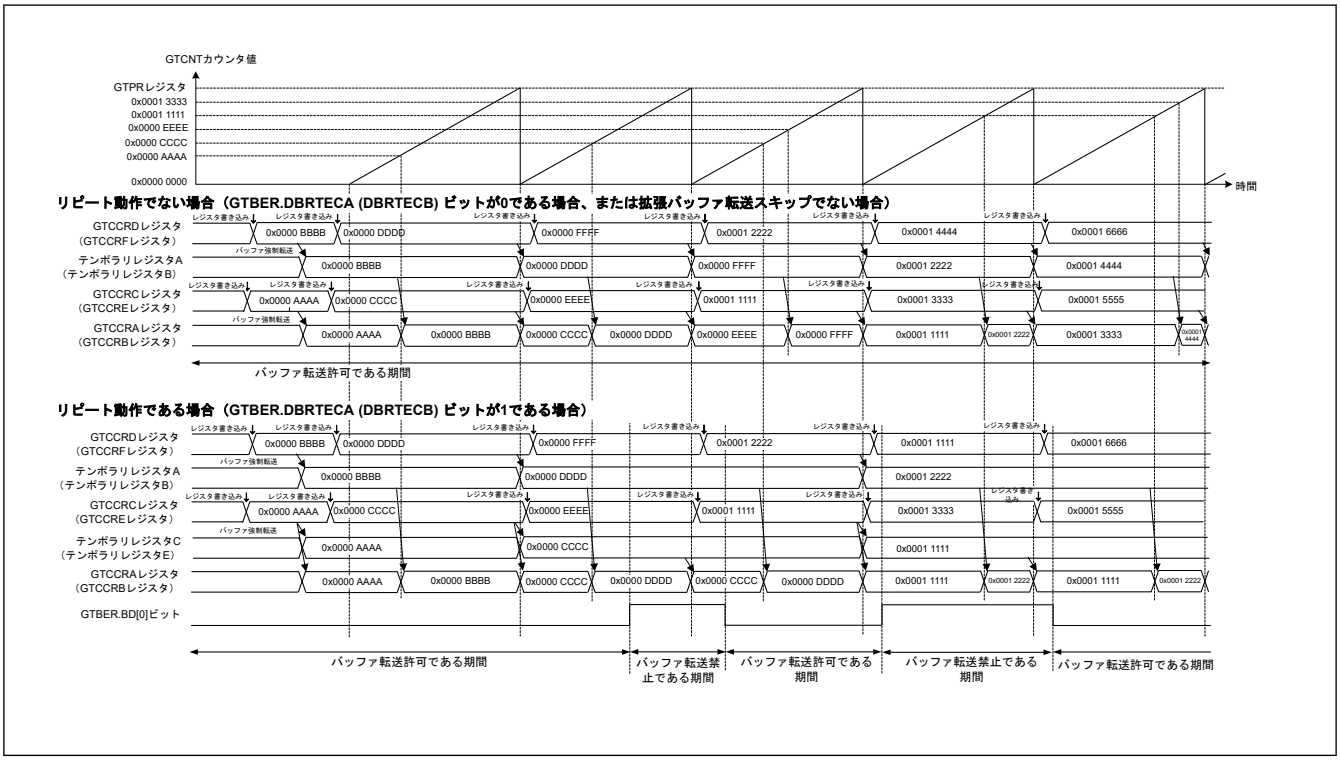


図 22.157　GTCCR バッファ転送禁止時のリピートダブルバッファ動作例（のこぎり波ワンショットパルスモード、GTBER.BD[0]ビット更新の場合）

(2)　三角波 PWM モード 3 の場合

三角波 PWM モード 3 では、波形の前半のコンペアマッチ値は GTCCRx (x = C, E) レジスタの中間バッファとしてのテンポラリレジスタ x (x = C, E) に格納されます。波形の後半のコンペアマッチ値は GTCCRy (y = D, F) レジスタの中間バッファとしてのテンポラリレジスタ m (m = A, B) に格納されます。リピートバッファ動作中のコンペアマッチ値に対して、値は GTCCRm (m = A, B) レジスタに交互に転送されます。

三角波 PWM モード 3 でカウント中の GTCCR レジスタのバッファ転送の種類を表 22.76 に示します。

カウントが停止している間は、テンポラリレジスタの設定値はバッファ強制転送により、転送されます。バッファ強制転送では、対応する GTBER.DBRTECm (m = A, B) ビットの設定値が 1 のとき、GTCCRy (y = D, F) レジスタの値がテンポラリレジスタ m (m = A, B) に転送され、GTCCRx (x = C, E) レジスタの値がテンポラリレジスタ x (x = C, E) に転送されます。

GTBER.DBRTECm (m = A, B) ビットの設定値が 1 のとき、CPU により GTCCRm (m = A, B) レジスタに書き込まれた値がテンポラリレジスタ x (x = C, E) の値として反映されます。

表 22.76 GTCNT カウント中の GTCCR バッファ転送動作（三角波 PWM モード 3 の場合）

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタ x	テンポラリレジスタ x ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタ m	テンポラリレジスタ m ↓ GTCCRm
0	転送許可期間	谷	転送なし	転送なし	谷	山
	転送禁止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	転送許可期間	谷	谷	転送なし	谷	山
	転送禁止期間	転送なし	転送なし	谷	転送なし	山

注. m = A, B
x = C, E
y = D, F

三角波 PWM モード 3 での GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、拡張バッファ転送スキップ機能による転送禁止期間発生の動作例を図 22.158 に示します。

三角波 PWM モード 3 での GTCCR バッファ転送禁止時のリピートダブルバッファ動作例として、GTBER.BD[0] ビット更新による転送禁止期間発生の動作例を図 22.159 に示します。

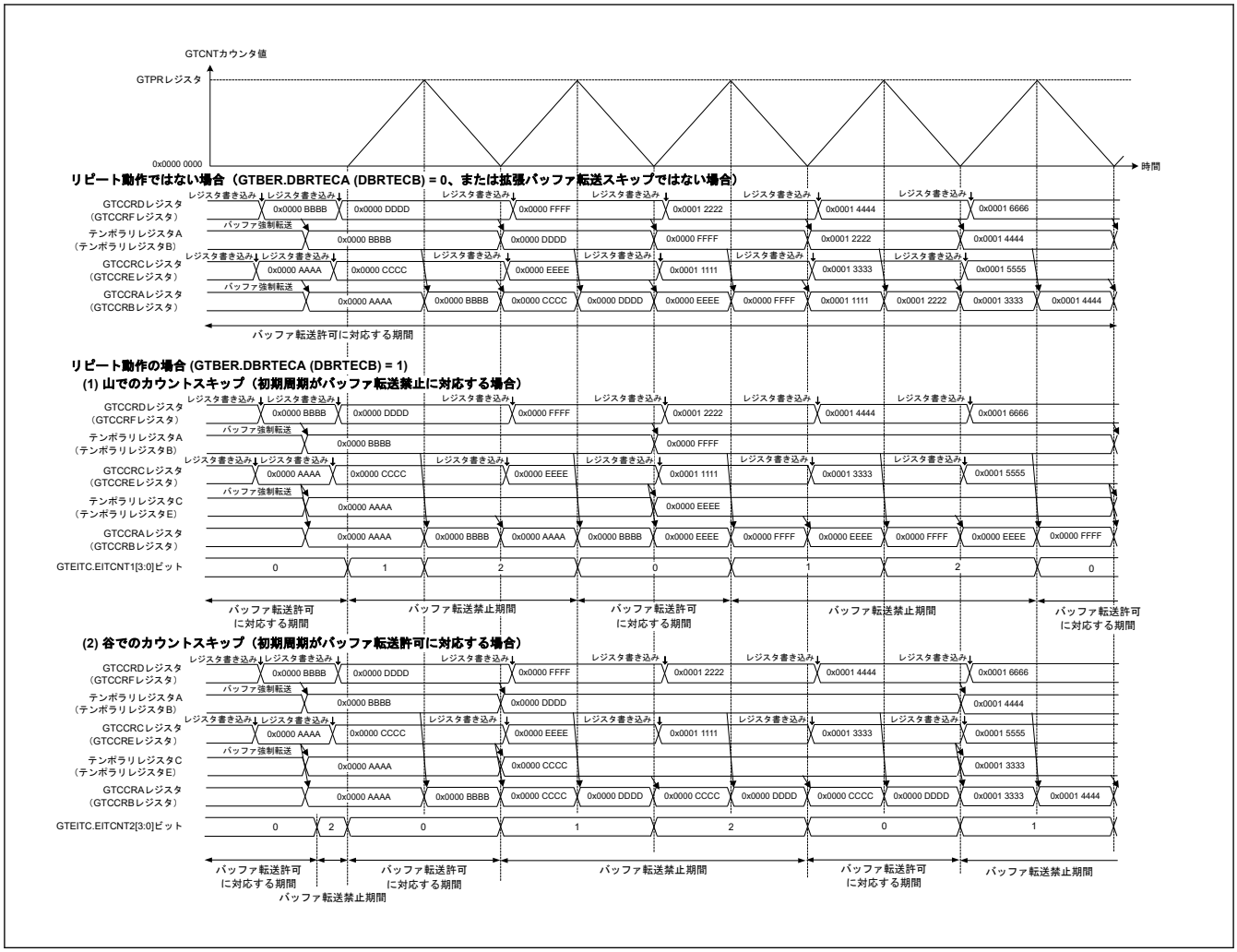


図 22.158　GTCCR バッファ転送禁止時のリピートダブルバッファ動作例（三角波 PWM モード 3、拡張バッファ転送スキップ機能使用、GTBER.BD[0]ビットが常に 0 の場合）

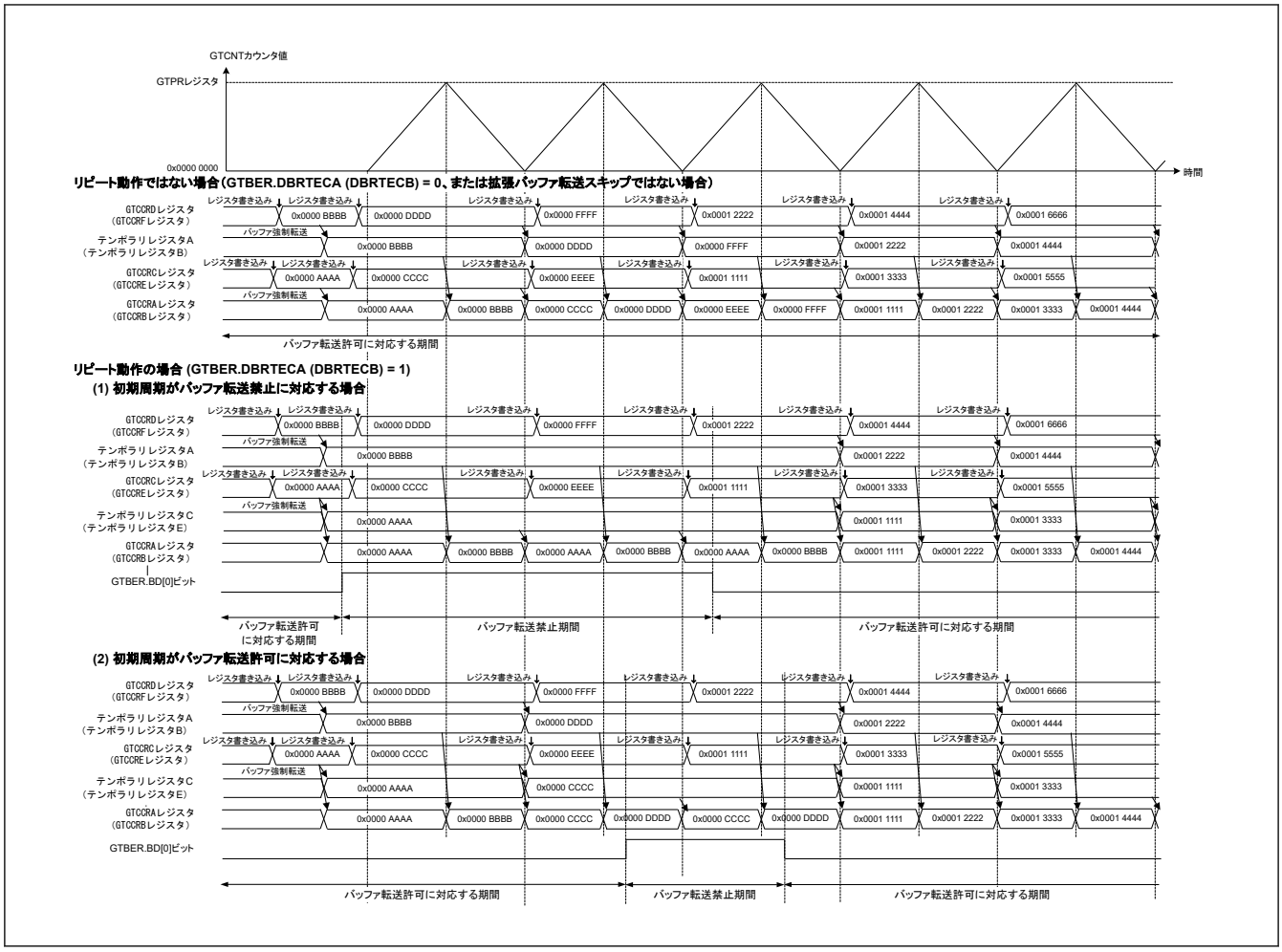


図 22.159 GTCCR バッファ転送禁止時のリピートダブルバッファ動作例（三角波 PWM モード 3、GTBER.BD[0] ビット更新の場合）

22.8.3 GTIOCnm 端子出力の出力禁止制御 (n = 0～13, m = A, B)

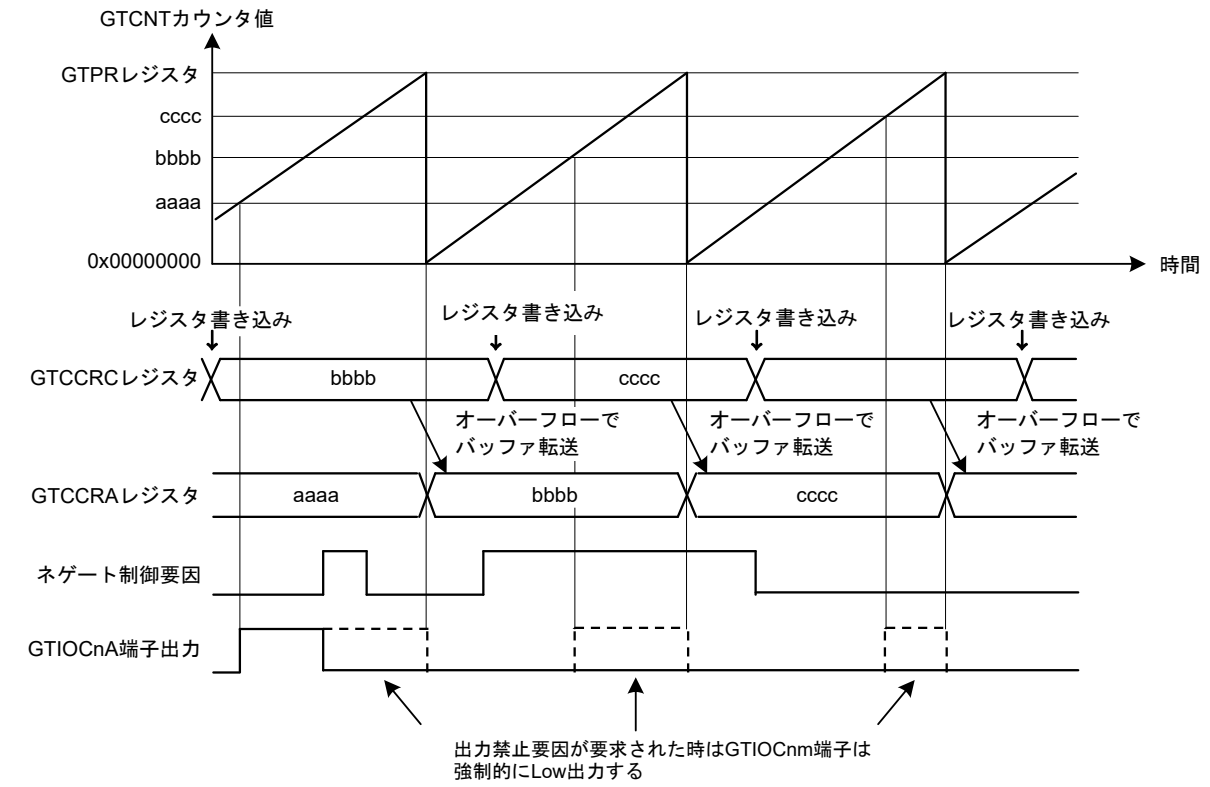
システム異常時の保護のため、POEG からの出力禁止要求によって、GTIOCnm 端子出力値を強制的に変更する出力禁止制御を、GTIOCnm 端子出力に対して行うことができます。デッドタイムエラーまたは同じ出力レベルが GTIOCnA 端子と GTIOCnB 端子に検出されるとき、出力保護が要求されます。GTINTAD.GRPDTE、GTINTAD.GRPABH、GTINTAD.GRPABL などの出力禁止要求許可ビットの設定に従って、GPT はこの条件を検出し、POEG に出力禁止要求を発生させます。POEG が各チャネルからの出力禁止要求と外部入力からの出力禁止要求の論理和をとった後で、POEG は GPT に対して出力禁止要求を発生させます。

GTINTAD.GRP[1:0]ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力禁止要求信号として、POEG から入力される 4 本の出力禁止要求から 1 本を選択することができます。選択された出力禁止要求は、GTST.ODF フラグを読むことにより確認することができます。出力禁止時の出力レベルは、GTIOCnA 端子は GTIOR.OADF[1:0]ビット、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットで設定することができます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止要求の条件が満たされなくなり、出力禁止要求が解除されるのは、最短で 3 GTCLK 目以降です。出力禁止を確実に制御するには、4 サイクルの GTCLK を経過して出力禁止要求の条件が満たされなくなってから、出力を禁止するための POEG のフラグをクリアしてください。

イベントカウント動作時、動作モードがのこぎり波 PWM モード 2 の場合、または周期の終わりを待たずにすぐに出力禁止状態を解除したい場合は、GTIOCnA 端子は GTIOR.OADF[1:0]ビットを 00b に、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットを 00b にしてください。

図 22.160 に GTIOCnm 端子出力禁止制御の動作例を示します。(n = 0～13, m = A, B)



注. レジスタのベースアドレスは同じです。

図 22.160 GTIOCnm 端子出力禁止制御の動作例（のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合） (n = 0～13, m = A, B)

22.8.4 GTIOCnm 端子出力の出力保護機能 (n = 0～13, m = A, B)

GTCCRA レジスタに誤った値（0x0000 0000 か、GTPR レジスタの値と等しいかより大きい値）が設定された場合に備えて、三角波 PWM モードで自動デッドタイムが設定されているとき（GTDTCR.TDE ビット = 1）、GTIOCnm 端子出力の出力保護機能（禁止機能）が起動されます。

出力保護機能の動作状態は、GTSOS.SOS[1:0]ビットで確認することができます。

図 22.161 に出力保護機能の状態遷移を示します。

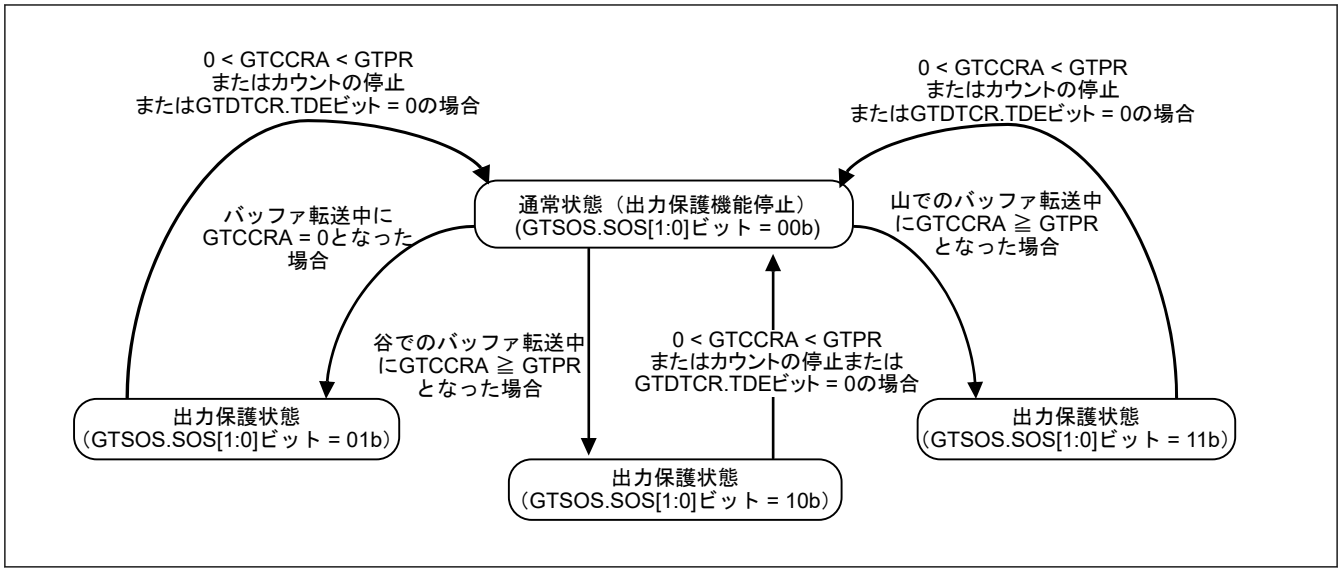
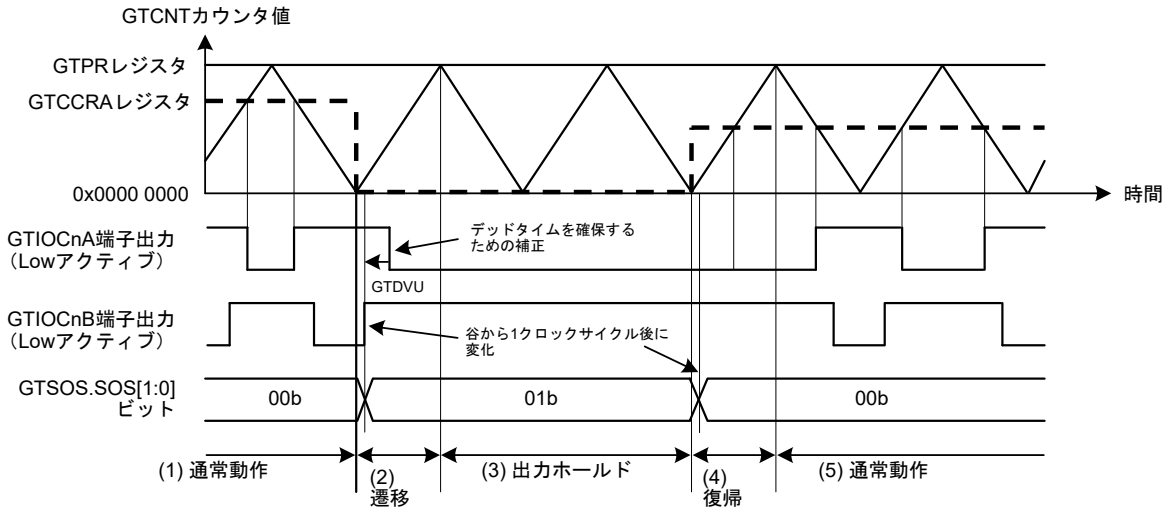


図 22.161　出力保護機能

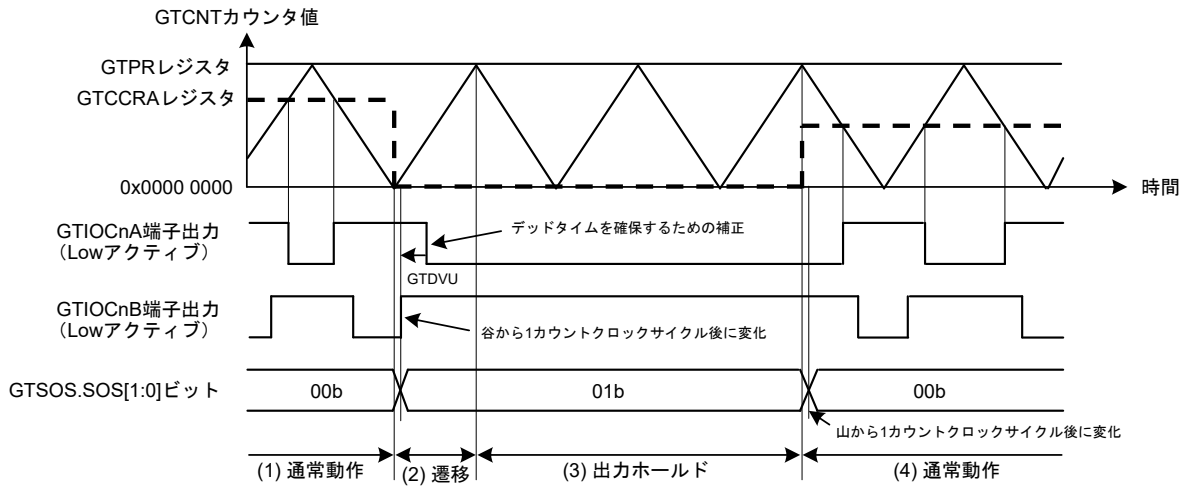
(1)　バッファ転送中に GTCCRA レジスタが 0x0000 0000 になった場合の出力保護機能

図 22.162 と図 22.163 に、谷でのバッファ転送中に GTCCRA レジスタが 0x0000 0000 になった場合の出力保護機能の動作例を、図 22.164 と図 22.165 に、山でのバッファ転送中に GTCCRA レジスタが 0x0000 0000 になった場合の出力保護機能の動作例を示します。



(1) 通常動作期間：　コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間：　GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。
(3) 出力ホールド期間：GTCCRA = 0である間、出力をホールドします。
(4) 復帰期間：　0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の山まで出力が保持されます。
(5) 通常動作期間：　コンペアマッチによるトグル出力が正常に行われた期間

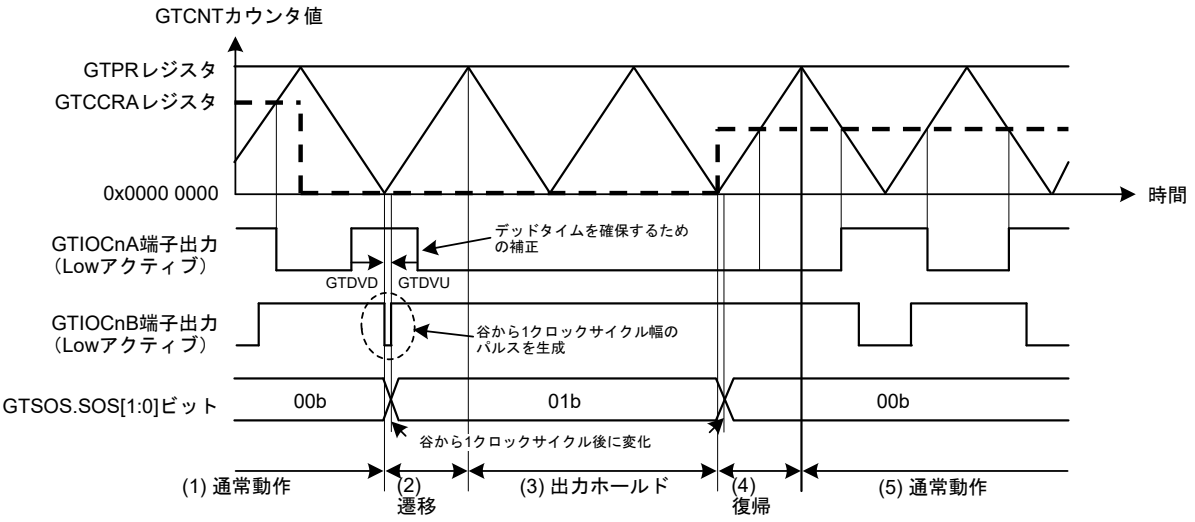
図 22.162　谷のバッファ転送で GTCCRA レジスタが 0x0000 0000 である場合の出力保護機能の動作例（谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low） (n = 0～13)



(1) 通常動作期間：コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間：GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。

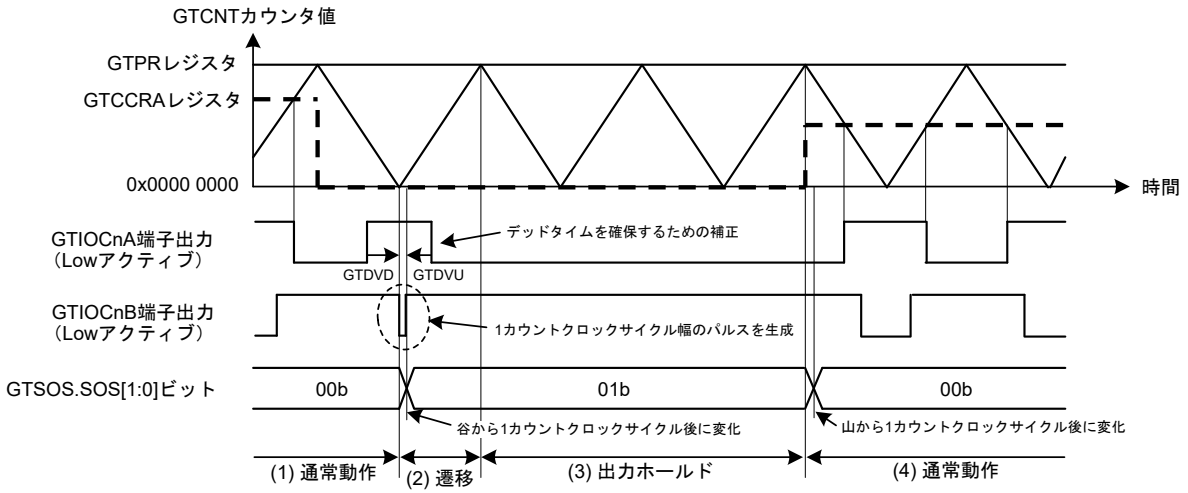
(3) 出力ホールド期間： GTCCRA = 0である間、出力をホールドします。
(4) 通常動作期間：0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 22.163　谷のバッファ転送で GTCCRA レジスタが 0x0000 0000 である場合の出力保護機能の動作例（山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low） (n = 0～13)



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間： GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。
(3) 出力ホールド期間：GTCCRA = 0である間、出力をホールドします。
(4) 復帰期間： 0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の山まで出力が保持されます。
(5) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間

図 22.164　山のバッファ転送で GTCCRA レジスタが 0x0000 0000 である場合の出力保護機能の動作例（谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low） (n = 0～13)



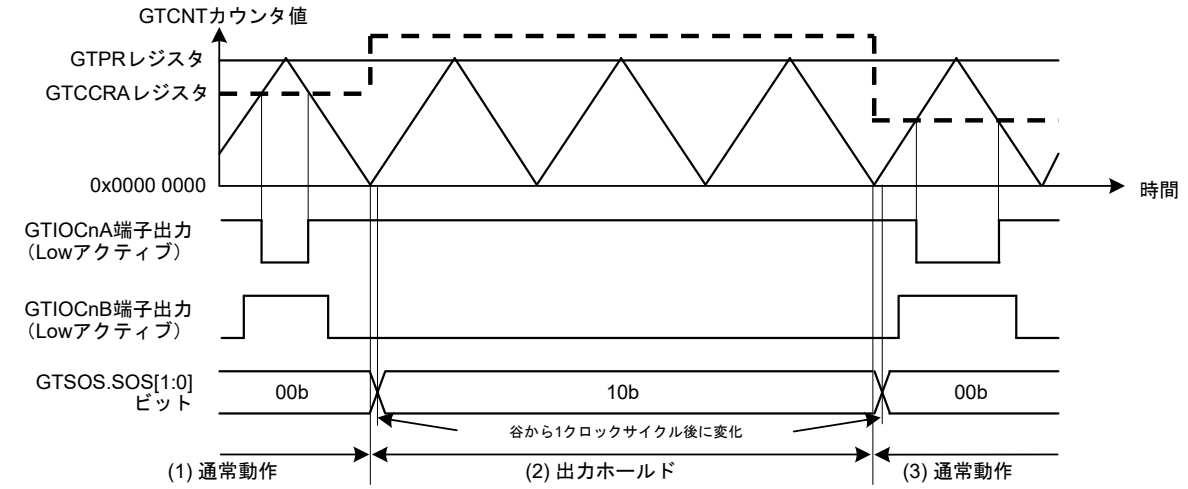
(1) 通常動作期間：コンペアマッチによるトグル出力が正常に行われた期間
(2) 遷移期間：GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山までトグル出力が継続します。

(3) 出力ホールド期間：GTCCRA = 0である間、出力を保持します。
(4) 通常動作期間：0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 22.165　山のバッファ転送で GTCCRA レジスタが 0x0000 0000 である場合の出力保護機能の動作例（山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low）(n = 0～13)

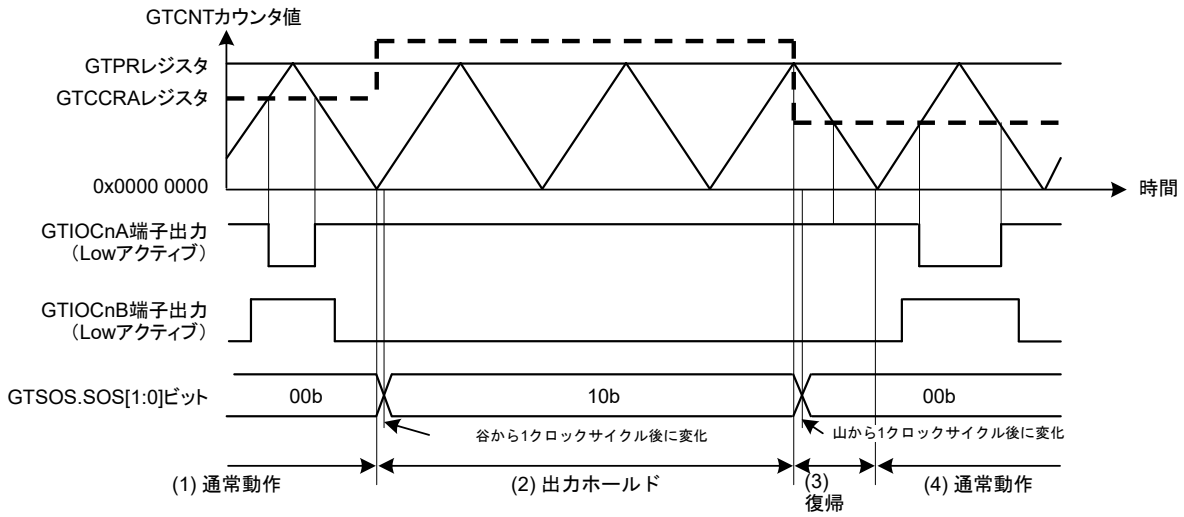
(2)　谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能

図 22.166 と図 22.167 に、谷でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例を示します。



(1) 通常動作期間：　コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間：GTCCRA ≧ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 10bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。
(3) 通常動作期間：　0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 22.166　谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例（谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low）(n = 0～13)

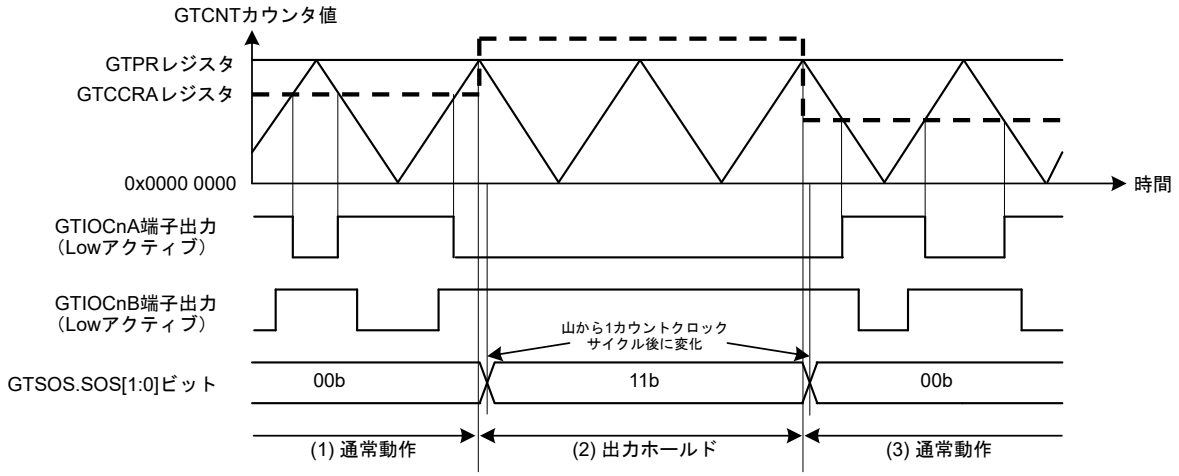


(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 10bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。
(3) 復帰期間： 0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の谷まで出力が保持されます。
(4) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間

図 22.167 谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例（山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low） (n = 0～13)

(3) 山でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能

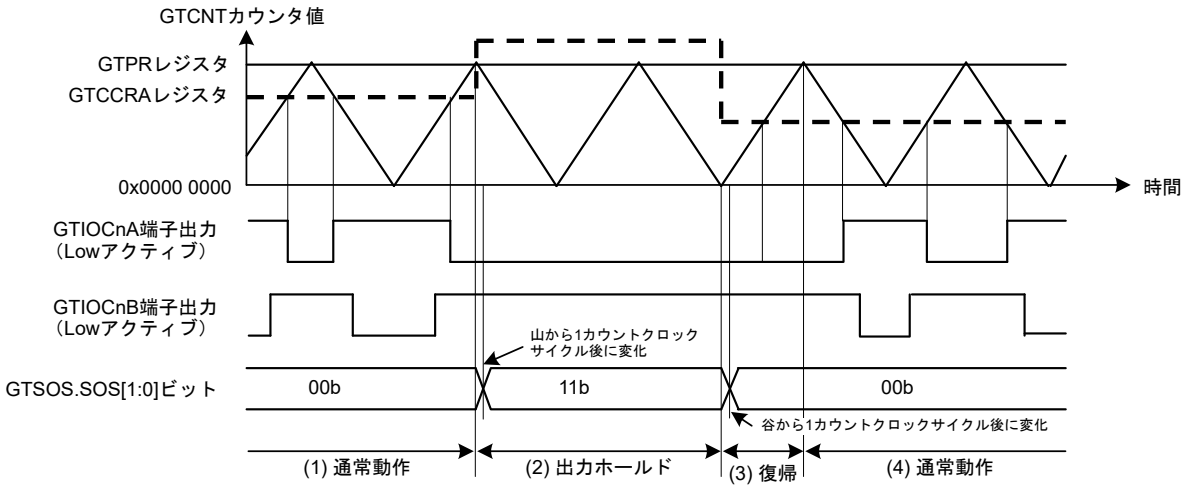
図 22.168 と図 22.169 に、山でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例を示します。



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 11bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。

(3) 通常動作期間： 0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 22.168 山のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例（山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low） (n = 0～13)



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0] = 11bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。

(3) 復帰期間：0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0] = 00bに変わり、次の山まで出力が保持されます。

(4) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間

図 22.169 山のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の動作例（谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low） (n = 0～13)

(4) 出力保護機能の仕様上の制約事項

カウント動作で GTCCRA レジスタに誤った値（0x0000 0000 か、GTPR レジスタの値と等しいかより大きい値）が設定されても、出力保護機能が指定された通り働き、正相、逆相のうちいずれかの出力が非アクティブになります。ただし、下記の条件を満足しない場合、出力保護機能は正常に動作しません。

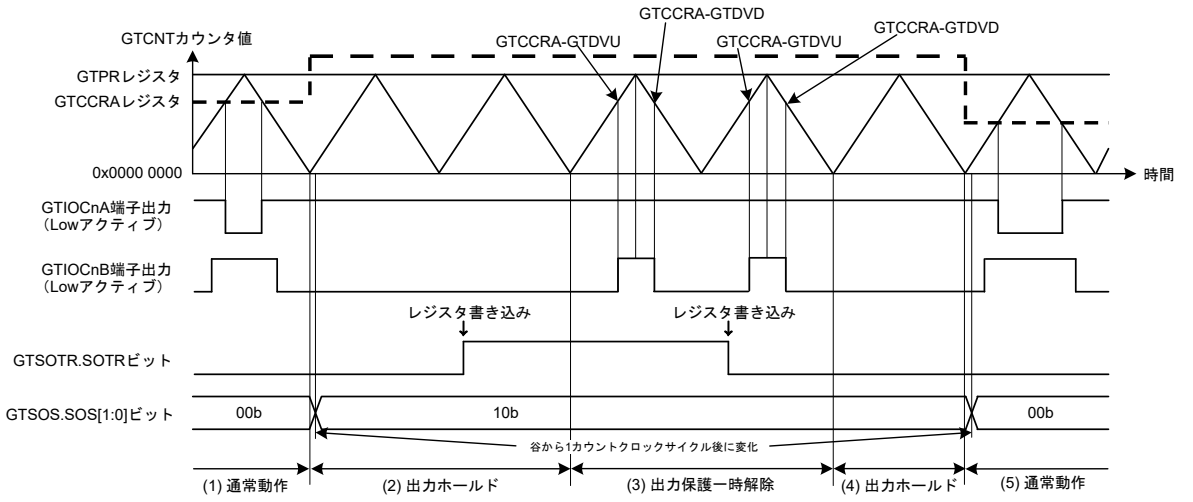
- カウント動作開始時点の GTCCRA レジスタの値が 0x0000 0000 より大きく、GTPR レジスタの設定値より小さい場合

(5) 出力保護機能の一時解除

GTSOS.SOS[1:0]ビット = 10b（谷の転送で GTCCRA レジスタ≧GTPR レジスタとなったことを示す保護状態）の場合、GTSOTR.SOTR ビットを 1 にすると、GTIOCnB 端子出力の保護状態を一時的に解除できます。出力保護機能を解除しても、SOS[1:0]ビットは 10b を保持します。

また、SOTR ビットを 0 にすると、GTIOCnB 端子出力保護を再開できます。

図 22.170 に、谷でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能の一時解除の動作例を示します。



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われた期間
(2) 出力ホールド期間： GTCCRA ≧ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 10bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。出力保護期間中にGTSOTR.SOTRビットを1にしても、設定後の最初の谷からGTIOCnB端子出力が保持されます。

(3) 出力保護一時解除期間：GTSOTR.SOTRビットを1にすると、設定後の最初の谷からGTIOCnB端子出力が正常に行われます。
出力保護解除期間中にGTSOTR.SOTRビットを0にしても、設定後の最初の谷からGTIOCnB端子出力が保持されます。

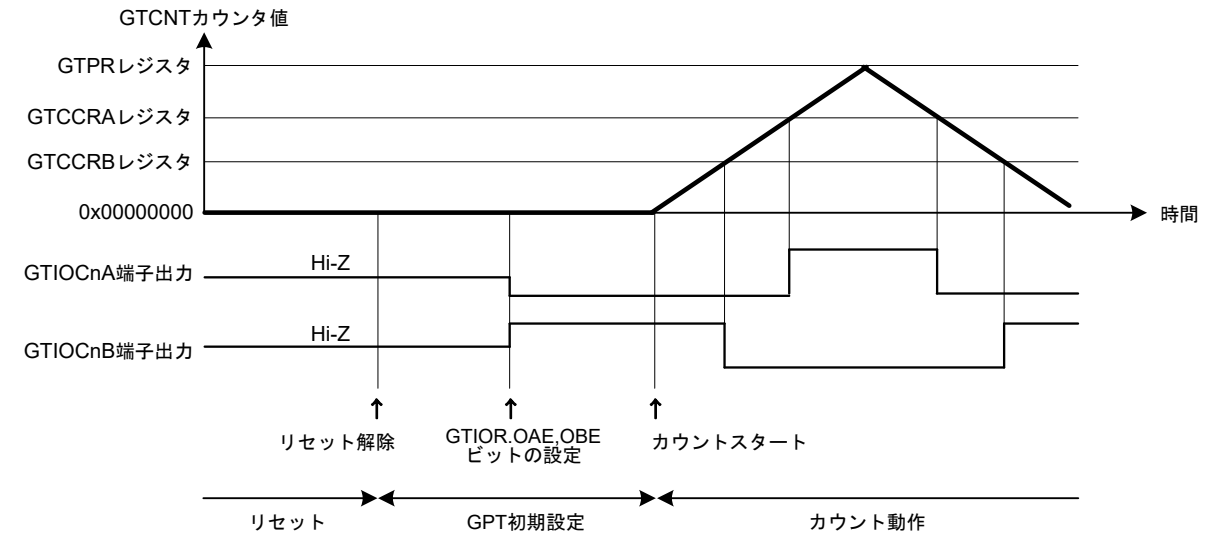
(4) 出力ホールド期間： 0 < GTCCRA < GTPRが谷で検出されるまで、出力が保持されます。
(5) 通常動作期間： 0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 22.170 谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護一時解除の例（谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low） (n = 0～13)

22.9 出力端子の初期化方法

22.9.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE ビット、 GTIOR.OBE ビットの設定を行い、GPT 機能を外部端子出力にした後、カウント動作を開始してください。



[設定例]
GTIOR.GTIOA[4:0]ビットの設定: 初期出力はLow出力、周期の終わりで出力保持、コンペアマッチでトグル出力
GTIOR.GTIOB[4:0]ビットの設定: 初期出力はHigh出力、周期の終わりで出力保持、コンペアマッチでトグル出力

注. レジスタのベースアドレスは同じです。

図 22.171 リセット後の端子設定例

22.9.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子コントロールを実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PMR ビットを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR ビットの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行ったときは、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを開始してください。

22.10 使用上の注意事項

22.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、GPT の動作禁止／許可を設定できます。リセット後の初期状態では、GPT の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

モジュールストップ状態を解除する前に、GTCLKCR レジスタを設定してください。

22.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A～F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次のすべての条件を満たす必要があります。

- GTDVU < GTCCRA
- GTCCRA > GTDVD
- 0 < GTCCRA < GTPR

カウント動作中に GTCCRA レジスタに、GTCCRA = 0 もしくは GTCCRA ≧ GTPR の値が設定されると出力保護機能が動作します。ただし、下記の条件を満足しない場合、出力保護機能は正常に機能しません。

- カウント開始時の GTCCRA レジスタの値が、0 < GTCCRA < GTPR

詳細は、「22.8.4. GTIOCnm 端子出力の出力保護機能 (n = 0～13, m = A, B)」を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA > GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲内に設定してください。GTCCRB = 0 もしくは GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB > GTPR が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：GTCCRC < GTCCRD, GTCCRC > GTDVU, GTCCRD < GTPR - GTDVD
- ダウンカウント時：GTCCRC > GTCCRD, GTCCRC < GTPR - GTDVU, GTCCRD > GTDVD

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRC < GTCCRD < GTPR
- ダウンカウント時：GTPR > GTCCRC > GTCCRD > 0

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRE < GTCCRF < GTPR
- ダウンカウント時：GTPR > GTCCRE > GTCCRF > 0

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

(6) 相補 PWM モード 1、2、3 の場合

GTCCRn レジスタは、0≦GTCCRn≦GTPR + GTDVU の範囲に収まるように設定してください。

(7) 相補 PWM モード 4 の場合

シングルバッファ動作時では、GTCCRn レジスタは、0≦GTCCRn≦GTPR + GTDVU の範囲に収まるように設定してください。

ダブルバッファ動作時では、GTCCRn レジスタは、GTDVU < GTCCRn < GTPR の範囲に収まるように設定してください。

22.10.3 GTCNT カウンタの設定範囲

のこぎり波 PWM モード 2 および相補 PWM モード以外では、GTCNT カウンタのレジスタは、0≦GTCNT≦GTPR の範囲で設定してください。

22.10.4 GTCNT カウンタのスタート／ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート／ストップ制御タイミングは、GTCR.TPCS[3:0]ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[3:0]ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート／ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

22.10.5 イベントごとの優先順位

(1) GTCNT レジスタ

表 22.77 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 22.77 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み（GTCNT/GTCLR レジスタへの書き込み）	高
GTCSR レジスタで設定したハードウェア要因によるクリア	↑
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるアップ／ダウンカウント	↑
カウント動作	低

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート／ストップと CPU による書き込み（GTCR/GTSTR/GTSTP レジスタへの書き込み）の間で競合があると、CPU による書き込みが優先されます。

周期計数機能によるストップと CPU 書き込み（GTCR/GTSTR レジスタへの書き込み）によるスタートが競合した場合、周期計数機能は GTST.PCF フラグをセットして動作を終了します。CST ビットの状態は変わらず、カウントを継続します。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出し（GTCR/GTSTR/GTSTP レジスタからの読み出し）の間で競合があると、更新前のデータが読み出されます。

(3) GTCCRm レジスタ (m = A～F)

インプットキャプチャ／バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みおよびハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(5) GTADTRm レジスタ (m = A, B)

バッファ転送動作と GTADTRm レジスタへの書き込みの間で競合があると、GTADTRm レジスタへの書き込みが優先されます。

GTADTRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(6) GTDVm レジスタ (m = U, D)

バッファ転送動作と GTDVm レジスタへの書き込みの間で競合があると、GTDVm レジスタへの書き込みが優先されます。

GTDVm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(7) GTIOR.GTIOm レジスタ (m = A, B)

バッファ転送動作と GTIOR.GTIOm レジスタへの書き込みの間で競合があると、GTIOR.GTIOm レジスタへの書き込みが優先されます。

GTIOR.GTIOm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

22.10.6 割り込み要求の間隔

GPT のコアクロックが GPTCLK の場合、同じ割り込み信号間の間隔が以下の値より短いと、割り込みが失われることがあります。ただし、この制限は異なる割り込み信号の場合には適用されません。

割り込み間隔[ns] = GPTCLK の期間[ns] × 6 + PCLKA の期間[ns] × 4

さらに、ADTRGGPTx レジスタ（x = 0～8）の設定により、ADC は GPT からの A/D 変換開始要求を ELC を経由せずに受信できます。

また、表 22.78 に示すように GPT と ADC のクロックを組み合わせた場合に、ある A/D 変換開始要求と次の要求の間隔が同じ A/D 変換開始要求に対する以下の値よりも小さいと、A/D 変換開始要求が失われる場合があります。

ただし、この制限は異なる A/D 変換開始要求の場合には適用されません。

イベント間隔[ns] = GPT コアクロックの期間[ns] × 6 + ADC コアクロックの期間[ns] × 4

表 22.78 イベント間隔を制限した場合のクロックの組み合わせ

GPT コアクロック	ADC コアクロック
GPTCLK	PCLKA または ADCCLK
PCLKD	ADCCLK または GPTCLK

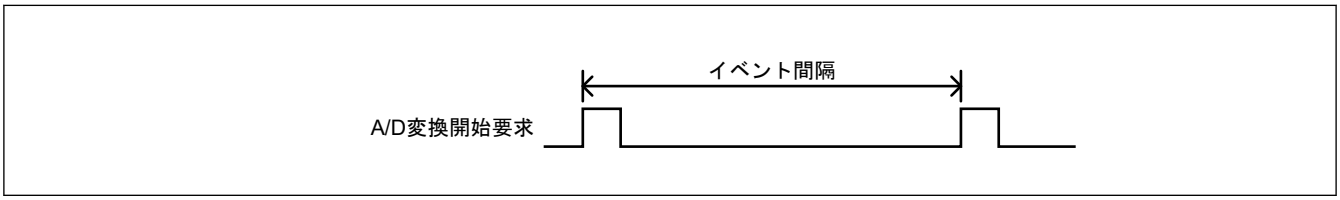


図 22.172 A/D 変換開始要求イベント間隔の例

22.10.7 PWM 遅延生成回路への GTIOCnm 信号入力に関する注意事項 (n = 0～3, m = A, B)

PWM 遅延生成回路で PWM 波形の遅延を制御する場合、以下の制限があります。

- のこぎり波モードの場合、オーバーフローあるいはアンダーフロー直前の 3 クロックサイクルの間は GTIOCnm 信号の変更は禁止です。

- のこぎり波モードの場合、カウント動作中は GTCSR による GTCNT レジスタのクリアは禁止です。
- 三角波モードの場合、谷直前の 3 クロックサイクルの間は GTIOCnm 信号の変更は禁止です。

上記の制限事項を守らないと、PWM 遅延生成回路から出力した信号波形のエッジが失われることがあります。
図 22.173 に、受け付けできない GTIOCnm 信号の変更タイミング例を示します。

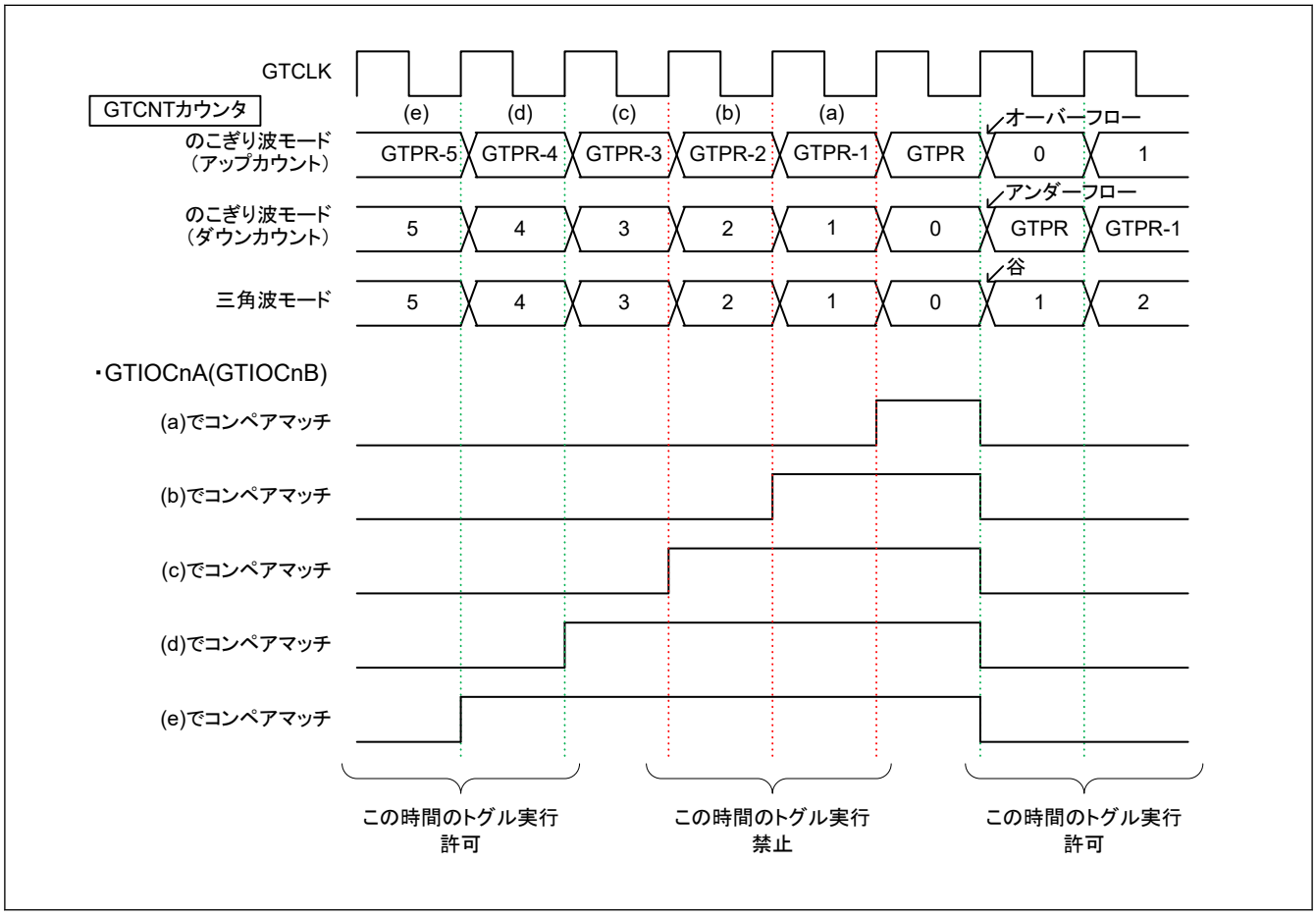


図 22.173　許容できない GTIOCnm 信号タイミングの例 (n = 0～3, m = A, B)

22.10.8　GTIOR.CPSCIR=1 の場合のコンペアマッチレジスタの設定範囲

相補 PWM モードで、GTIOR.CPSCIR = 1 かつ同期クリア後の GTIOCnA/GTIOCnB 端子の初期出力が無効のとき、コンペアマッチレジスタ (GTCCRA, GTCCRC, GTCCRD, GTCCRE, GTCCRF) を GTDVU 値の 2 倍以上に設定します。

22.10.9　PWM 遅延生成回路へのテスト用ストローブ信号

PWM 遅延生成回路 (PDG) に対する各チャネル出力の PWM 出力、PWM 周期同期信号（周期の終わり）、PWM 出力のテスト用ストローブ信号、レジスタライトプロテクション信号（GTWP.WP ビット）。

ストローブ信号は GTIOCxA 出力および GTIOCxB 出力の立ち上がりエッジおよび立ち下がりエッジを監視します。PWM 出力の変化から 1 GTCLK 後にストローブ信号は 1 になります。周期の終わりのカウントクロックで 0 になります。ストローブ信号が 0 になる条件はリセットと周期の終わりです。

GTCNT カウントが停止したとき、ストローブ信号のステータスは保持されます。GTCNT カウントが再開し、ストローブ信号が 1 の状態で GTCNT 停止後に PWM 出力が発生したとき、カウント再開後の最初の期間は、ストローブ信号が 1 から変化しません。そのため、PWM 出力のエッジは正しく監視されません。再開後の最初の周期が終了すると、ストローブ信号は 0 に戻ります。2 周期目からはストローブ信号が正しく発生します。

GTCNT 停止中にストローブ信号が 1 のステータスを維持したままリセットするためには、図 22.174 に示すように GTCNT カウントによる周期の終わりを発生させるか、図 22.175 に示すようにのこぎり波動作のカウンタをクリアします。

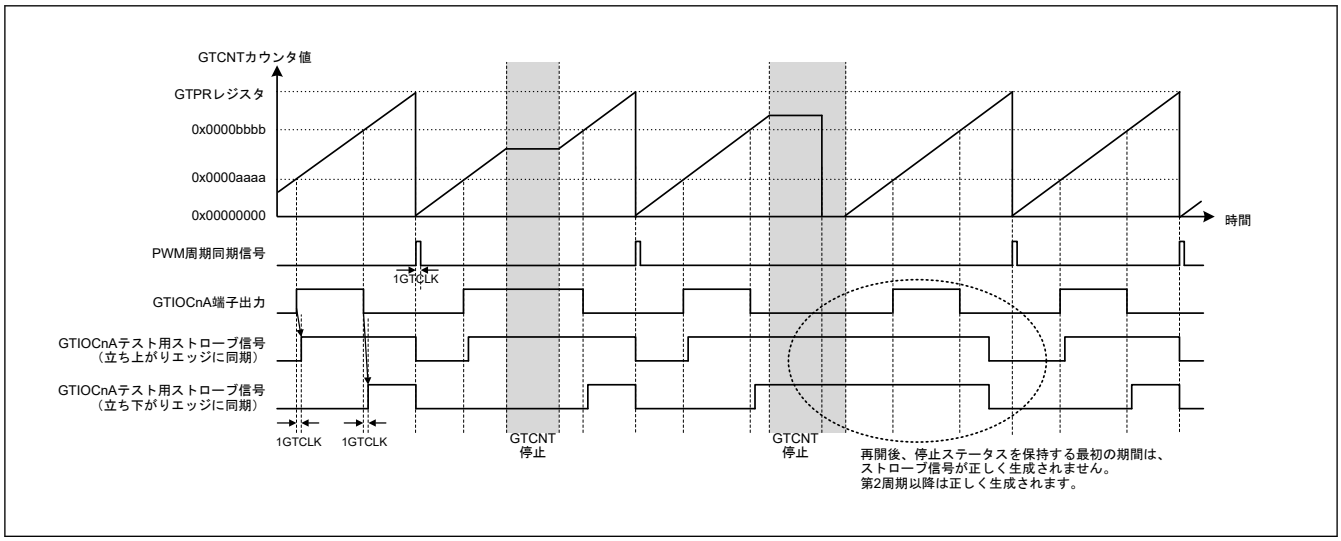


図 22.174　PDG への出力動作の例 (1)

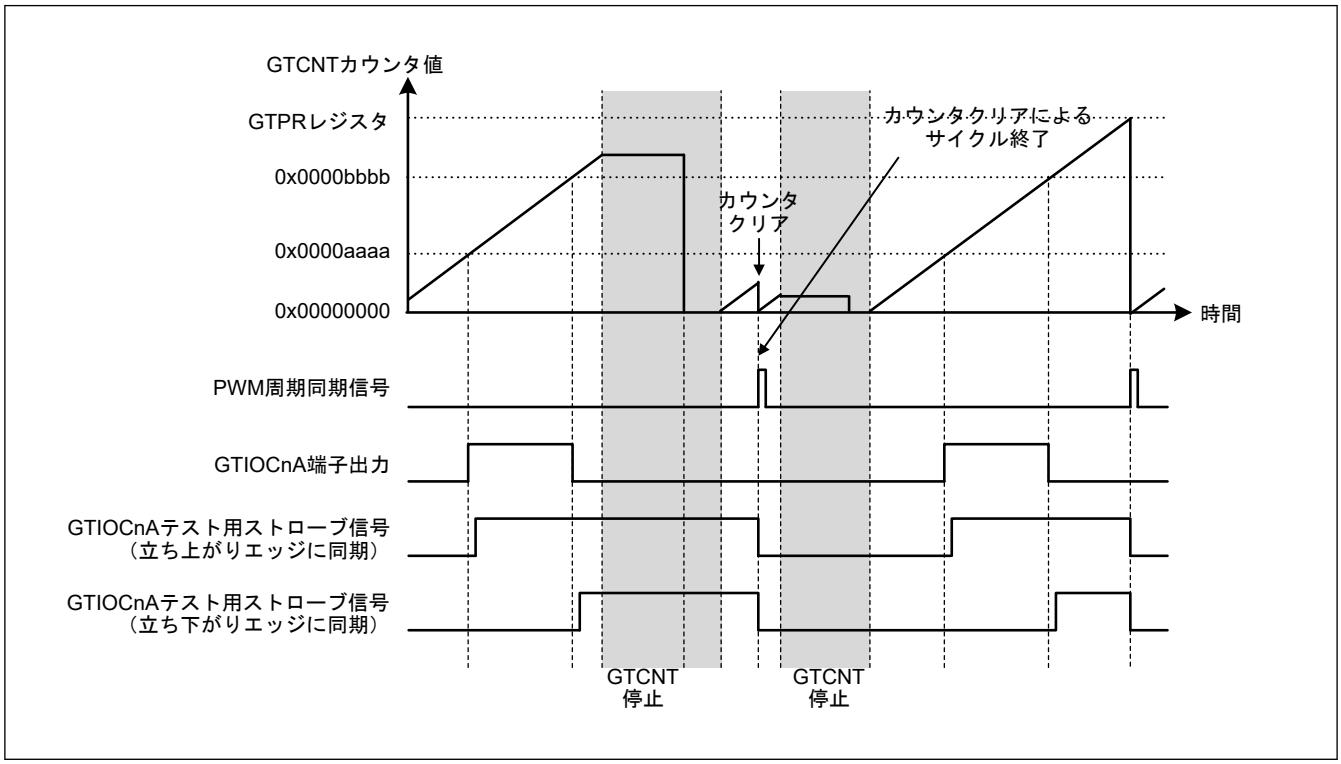


図 22.175　PDG への出力動作の例 (2)

22.10.10　スタンバイモード遷移時の注意

スタンバイモードに遷移する前に、カウンタ動作を停止させてください（GTCR.CST = 0 に設定）。

23. PWM 遅延生成回路 (PDG)

23.1 概要

PWM 遅延生成回路 (PDG) には、GPT に接続可能な 4 つのチャネル遅延回路があります。PDG は、GPT320～GPT323 が生成する PWM 波形の両エッジのタイミングを制御できます。

表 23.1 に PWM 遅延生成回路の仕様を、図 23.1 にブロック図を、表 23.2 に入出力端子を示します。

表 23.1 PWM 遅延生成回路の仕様

項目	仕様
機能	この回路は、チャネル 0/1/2/3 に対する 2 つの PWM 出力端子上の信号の立ち上がりと立ち下がりのタイミングを、GPT コアクロック (GTCLK) 周期の 1/128 の精度で制御できます。 GPT コアクロック (GTCLK) を PCLKD または GPTCLK から選択できます。

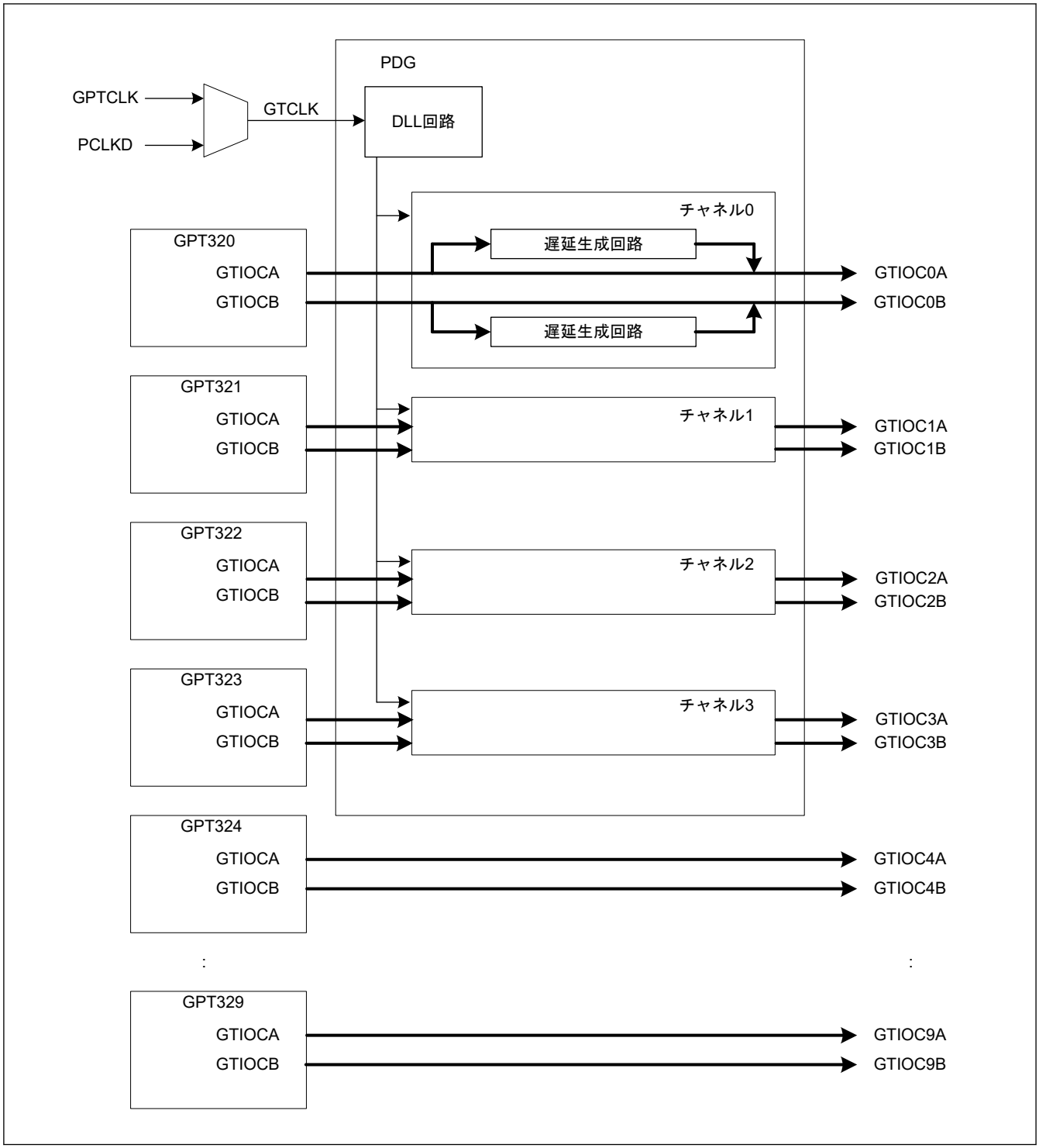


図 23.1　PWM 遅延生成回路のブロック図

表 23.2　PWM 遅延生成回路の入出力端子 (1/2)

入出力端子	入出力	機能
GTIOC0A	出力	GPT チャネル 0 の GTIOCA 端子の遅延出力
GTIOC0B	出力	GPT チャネル 0 の GTIOCB 端子の遅延出力
GTIOC1A	出力	GPT チャネル 1 の GTIOCA 端子の遅延出力
GTIOC1B	出力	GPT チャネル 1 の GTIOCB 端子の遅延出力
GTIOC2A	出力	GPT チャネル 2 の GTIOCA 端子の遅延出力

表 23.2 PWM 遅延生成回路の入出力端子 (2/2)

入出力端子	入出力	機能
GTIOC2B	出力	GPT チャネル 2 の GTIOCB 端子の遅延出力
GTIOC3A	出力	GPT チャネル 3 の GTIOCA 端子の遅延出力
GTIOC3B	出力	GPT チャネル 3 の GTIOCB 端子の遅延出力

23.2 レジスタの説明

23.2.1 GTDLYCR : PWM 出力遅延コントロールレジスタ

Base address: PDG = 0x4032_4000
PDG_NS = 0x5032_4000

Offset address: 0x0000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	FRANGE[1:0]		—	—	—	—	—	—	DLYRST	DLLEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLLEN	DLL 動作許可 0: DLL 動作を禁止 1: DLL 動作を許可	R/W
1	DLYRST	PWM 遅延生成回路のリセット 0: 通常動作 1: リセット	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	FRANGE[1:0]	GPT コアクロックの周波数範囲 0 0: GPT コアクロック周波数は 80 MHz～160 MHz 0 1: GPT コアクロック周波数は 155 MHz～300 MHz その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDLYCR レジスタは PWM 遅延生成回路を制御します。この回路は PWM 出力に遅延を発生させます。GTDLYCR への書き込みは、レジスタライトプロテクションが無効 (GPT320.GTWP.WP = 0) の場合に行うことができます。

GPT320.GTWP.WP ビットの値を変更した後に GTDLYCR を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYCR の値を変更してください。

DLLEN ビット（DLL 動作許可）

DLLEN ビットは、PWM 遅延生成回路内のオンチップ DLL を起動させるかどうかを選択します。

DLYRST ビット（PWM 遅延生成回路のリセット）

DLYRST ビットは、PWM 遅延生成回路の内部状態をリセットします。

FRANGE[1:0]ビット（GPT コアクロックの周波数範囲）

FRANGE[1:0]ビットは、GPT コアクロックの周波数範囲を設定します。

FRANGE[1:0]ビットの設定は、DLLEN ビットが 0 のときのみ行ってください。

23.2.2 GTDLYCR2 : PWM 出力遅延コントロールレジスタ 2

Base address: PDG = 0x4032_4000
PDG_NS = 0x5032_4000

Offset address: 0x0002

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	DLYEN3	DLYEN2	DLYEN1	DLYEN0	—	—	—	—	DLYBS3	DLYBS2	DLYBS1	DLYBS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLYBS0	チャネル 0 の PWM 遅延生成回路バイパス 0: チャネル 0 の遅延生成回路をバイパスする 1: チャネル 0 の遅延生成回路をバイパスしない	R/W
1	DLYBS1	チャネル 1 の PWM 遅延生成回路バイパス 0: チャネル 1 の遅延生成回路をバイパスする 1: チャネル 1 の遅延生成回路をバイパスしない	R/W
2	DLYBS2	チャネル 2 の PWM 遅延生成回路バイパス 0: チャネル 2 の遅延生成回路をバイパスする 1: チャネル 2 の遅延生成回路をバイパスしない	R/W
3	DLYBS3	チャネル 3 の PWM 遅延生成回路バイパス 0: チャネル 3 の遅延生成回路をバイパスする 1: チャネル 3 の遅延生成回路をバイパスしない	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DLYEN0	チャネル 0 の PWM 遅延生成回路許可 0: チャネル 0 の遅延生成回路を許可 1: チャネル 0 の遅延生成回路を禁止	R/W
9	DLYEN1	チャネル 1 の PWM 遅延生成回路許可 0: チャネル 1 の遅延生成回路を許可 1: チャネル 1 の遅延生成回路を禁止	R/W
10	DLYEN2	チャネル 2 の PWM 遅延生成回路許可 0: チャネル 2 の遅延生成回路を許可 1: チャネル 2 の遅延生成回路を禁止	R/W
11	DLYEN3	チャネル 3 の PWM 遅延生成回路許可 0: チャネル 3 の遅延生成回路を許可 1: チャネル 3 の遅延生成回路を禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDLYCR2 レジスタは、PWM 遅延生成回路の各チャネルを制御します。レジスタライトプロテクションが禁止の場合 (GPT320.GTWP.WP = 0)、GTDLYCR2 を書き込むことができます。

GPT320.GTWP.WP ビットの値を変更した後に GTDLYCR2 を変更する場合は、必ず GTWP レジスタの値を読み出してから、GTDLYCR2 の値を変更してください。

DLYBSn（n = 0～3）ビット（チャネル n の PWM 遅延生成回路バイパス）

DLYBSn ビットは、GTIOCnA 端子および GTIOCnB 端子（n = 0～3）からの PWM 出力信号を PWM 遅延生成回路で遅延させるのか回路をバイパスするのかを選択します。

PWM 遅延生成回路で遅延された信号は、PWM 遅延生成回路をバイパスした場合よりも、GPT コアクロック (GTCLK) の 3 周期分遅れて出力されます。

DLYENn（n = 0～3）ビット（チャネル n の PWM 遅延生成回路許可）

DLYENn ビットは、PWM 遅延発生回路のチャネル n（n = 0～3）の電源オン／オフを選択します。PWM 遅延生成回路のチャネル n を使用しない場合は 1 に設定します。

23.2.3 GTDLYRnA : GTIOCnA 立ち上がり出力遅延レジスタ（n = 0～3）

Base address: PDG = 0x4032_4000
PDG_NS = 0x5032_4000

Offset address: 0x018 + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	DLY[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	DLY[6:0]	GTIOCnA 出力立ち上がりエッジ遅延設定 (1) GTDLYCR.FRANGE[1:0] = 00b の場合 0x00: 立ち上がりエッジの遅延を適用しない。 0x01: 1/128 × GTCLK 期間の遅延を適用。 0x02: 2/128 × GTCLK 期間の遅延を適用。 0x03: 3/128 × GTCLK 期間の遅延を適用。 0x04: 4/128 × GTCLK 期間の遅延を適用。 0x05: 5/128 × GTCLK 期間の遅延を適用。 0x06: 6/128 × GTCLK 期間の遅延を適用。 ⋮ 0x7B: 123/128 × GTCLK 期間の遅延を適用。 0x7C: 124/128 × GTCLK 期間の遅延を適用。 0x7D: 125/128 × GTCLK 期間の遅延を適用。 0x7E: 126/128 × GTCLK 期間の遅延を適用。 0x7F: 127/128 × GTCLK 期間の遅延を適用。 (2) GTDLYCR.FRANGE[1:0] = 01b の場合 0x00: 立ち上がりエッジの遅延を適用しない。 0x01: 立ち上がりエッジの遅延を適用しない。 0x02: 1/64 × GTCLK 期間の遅延を適用。 0x03: 1/64 × GTCLK 期間の遅延を適用。 0x04: 2/64 × GTCLK 期間の遅延を適用。 0x05: 2/64 × GTCLK 期間の遅延を適用。 0x06: 3/64 × GTCLK 期間の遅延を適用。 ⋮ 0x7B: 61/64 × GTCLK 期間の遅延を適用。 0x7C: 62/64 × GTCLK 期間の遅延を適用。 0x7D: 62/64 × GTCLK 期間の遅延を適用。 0x7E: 63/64 × GTCLK 期間の遅延を適用。 0x7F: 63/64 × GTCLK 期間の遅延を適用。	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDLYRnA レジスタは、GTIOCnA 端子の出力信号の立ち上がりエッジに適用される遅延時間を設定します。設定の転送タイミングについては、「23.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」を参照してください。

レジスタライトプロテクションが無効のとき (GPT32n.GTWP.WP = 0)、GTDLYRnA を書き込むことができます。

GPT32n.GTWP.WP ビットの値を変更した後に GTDLYRnA を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYRnA の値を変更してください。

23.2.4 GTDLYFnA: GTIOCnA 立ち下がり出力遅延レジスタ（n = 0～3）

Base address: PDG = 0x4032_4000
PDG_NS = 0x5032_4000

Offset address: 0x028 + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	DLY[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	DLY[6:0]	GTIOCnA 出力立ち下がりエッジ遅延設定 (1) GTDLYCR.FRANGE[1:0] = 00b の場合 0x00: 立ち上がりエッジの遅延を適用しない。 0x01: 1/128 × GTCLK 期間の遅延を適用。 0x02: 2/128 × GTCLK 期間の遅延を適用。 0x03: 3/128 × GTCLK 期間の遅延を適用。 0x04: 4/128 × GTCLK 期間の遅延を適用。 0x05: 5/128 × GTCLK 期間の遅延を適用。 0x06: 6/128 × GTCLK 期間の遅延を適用。 ⋮ 0x7B: 123/128 × GTCLK 期間の遅延を適用。 0x7C: 124/128 × GTCLK 期間の遅延を適用。 0x7D: 125/128 × GTCLK 期間の遅延を適用。 0x7E: 126/128 × GTCLK 期間の遅延を適用。 0x7F: 127/128 × GTCLK 期間の遅延を適用。 (2) GTDLYCR.FRANGE[1:0] = 01b の場合 0x00: 立ち上がりエッジの遅延を適用しない。 0x01: 立ち上がりエッジの遅延を適用しない。 0x02: 1/64 × GTCLK 期間の遅延を適用。 0x03: 1/64 × GTCLK 期間の遅延を適用。 0x04: 2/64 × GTCLK 期間の遅延を適用。 0x05: 2/64 × GTCLK 期間の遅延を適用。 0x06: 3/64 × GTCLK 期間の遅延を適用。 ⋮ 0x7B: 61/64 × GTCLK 期間の遅延を適用。 0x7C: 62/64 × GTCLK 期間の遅延を適用。 0x7D: 62/64 × GTCLK 期間の遅延を適用。 0x7E: 63/64 × GTCLK 期間の遅延を適用。 0x7F: 63/64 × GTCLK 期間の遅延を適用。	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDLYFnA レジスタは、GTIOCnA 端子の出力信号の立ち下がりエッジに適用される遅延時間を設定します。設定の転送タイミングについては、「23.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」を参照してください。

レジスタライトプロテクションが無効のとき (GPT32n.GTWP.WP = 0)、GTDLYFnA を書き込むことができます。

GPT32n.GTWP.WP ビットの値を変更した後に GTDLYFnA を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYFnA の値を変更してください。

23.2.5 GTDLYRnB : GTIOCnB 立ち上がり出力遅延レジスタ（n = 0～3）

Base address: PDG = 0x4032_4000
PDG_NS = 0x5032_4000

Offset address: 0x01A + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	DLY[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	DLY[6:0]	GTIOCnB 出力立ち上がりエッジ遅延設定 (1) GTDLYCR.FRANGE[1:0] = 00b の場合 0x00: 立ち上がりエッジの遅延を適用しない。 0x01: 1/128 × GTCLK 期間の遅延を適用。 0x02: 2/128 × GTCLK 期間の遅延を適用。 0x03: 3/128 × GTCLK 期間の遅延を適用。 0x04: 4/128 × GTCLK 期間の遅延を適用。 0x05: 5/128 × GTCLK 期間の遅延を適用。 0x06: 6/128 × GTCLK 期間の遅延を適用。 ⋮ 0x7B: 123/128 × GTCLK 期間の遅延を適用。 0x7C: 124/128 × GTCLK 期間の遅延を適用。 0x7D: 125/128 × GTCLK 期間の遅延を適用。 0x7E: 126/128 × GTCLK 期間の遅延を適用。 0x7F: 127/128 × GTCLK 期間の遅延を適用。 (2) GTDLYCR.FRANGE[1:0] = 01b の場合 0x00: 立ち上がりエッジの遅延を適用しない。 0x01: 立ち上がりエッジの遅延を適用しない。 0x02: 1/64 × GTCLK 期間の遅延を適用。 0x03: 1/64 × GTCLK 期間の遅延を適用。 0x04: 2/64 × GTCLK 期間の遅延を適用。 0x05: 2/64 × GTCLK 期間の遅延を適用。 0x06: 3/64 × GTCLK 期間の遅延を適用。 ⋮ 0x7B: 61/64 × GTCLK 期間の遅延を適用。 0x7C: 62/64 × GTCLK 期間の遅延を適用。 0x7D: 62/64 × GTCLK 期間の遅延を適用。 0x7E: 63/64 × GTCLK 期間の遅延を適用。 0x7F: 63/64 × GTCLK 期間の遅延を適用。	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDLYRnB レジスタは、GTIOCnB 端子の出力信号の立ち上がりエッジに適用される遅延時間を設定します。設定の転送タイミングについては、「23.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」を参照してください。

レジスタライトプロテクションが無効のとき (GPT32n.GTWP.WP = 0)、GTDLYRnB を書き込むことができます。

GPT32n.GTWP.WP ビットの値を変更した後に GTDLYRnB を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYRnB の値を変更してください。

23.2.6 GTDLYFnB : GTIOCnB 立ち下がり出力遅延レジスタ（n = 0～3）

Base address: PDG = 0x4032_4000
PDG_NS = 0x5032_4000

Offset address: 0x02A + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	DLY[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	DLY[6:0]	GTIOCnB 出力立ち下がりエッジ遅延設定 (1) GTDLYCR.FRANGE[1:0] = 00b の場合 0x00: 立ち上がりエッジの遅延を適用しない。 0x01: 1/128 × GTCLK 期間の遅延を適用。 0x02: 2/128 × GTCLK 期間の遅延を適用。 0x03: 3/128 × GTCLK 期間の遅延を適用。 0x04: 4/128 × GTCLK 期間の遅延を適用。 0x05: 5/128 × GTCLK 期間の遅延を適用。 0x06: 6/128 × GTCLK 期間の遅延を適用。 ⋮ 0x7B: 123/128 × GTCLK 期間の遅延を適用。 0x7C: 124/128 × GTCLK 期間の遅延を適用。 0x7D: 125/128 × GTCLK 期間の遅延を適用。 0x7E: 126/128 × GTCLK 期間の遅延を適用。 0x7F: 127/128 × GTCLK 期間の遅延を適用。 (2) GTDLYCR.FRANGE[1:0] = 01b の場合 0x00: 立ち上がりエッジの遅延を適用しない。 0x01: 立ち上がりエッジの遅延を適用しない。 0x02: 1/64 × GTCLK 期間の遅延を適用。 0x03: 1/64 × GTCLK 期間の遅延を適用。 0x04: 2/64 × GTCLK 期間の遅延を適用。 0x05: 2/64 × GTCLK 期間の遅延を適用。 0x06: 3/64 × GTCLK 期間の遅延を適用。 ⋮ 0x7B: 61/64 × GTCLK 期間の遅延を適用。 0x7C: 62/64 × GTCLK 期間の遅延を適用。 0x7D: 62/64 × GTCLK 期間の遅延を適用。 0x7E: 63/64 × GTCLK 期間の遅延を適用。 0x7F: 63/64 × GTCLK 期間の遅延を適用。	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDLYFnB レジスタは、GTIOCnB 端子の出力信号の立ち下がりエッジに適用する遅延を設定します。設定の転送タイミングについては、「23.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」を参照してください。

レジスタライトプロテクションが無効のとき (GPT32n.GTWP.WP = 0)、GTDLYFnB を書き込むことができます。

GPT32n.GTWP.WP ビットの値を変更した後に GTDLYFnB を変更する場合は、必ず GTWP レジスタの値を読み戻してから GTDLYFnB の値を変更してください。

23.3 動作説明

23.3.1 PWM 波形における立ち上がりエッジおよび立ち下がりエッジのタイミング調整

GTIOCnA 端子および GTIOCnB 端子（n = チャネル番号）から出力される PWM 波形の立ち下がりエッジと立ち下がりエッジのタイミングは、GPT コアクロック (GTCLK) 周期の 1/64 または 1/128 の精度で遅延する可能性があります。

GTIOCnA および GTIOCnB 端子から出力される PWM 波形の立ち上がりエッジまたは立ち下がりエッジのタイミングを調整する必要がある場合は、図 23.2 に示す手順で PWM 生成回路の初期設定を行ってください。

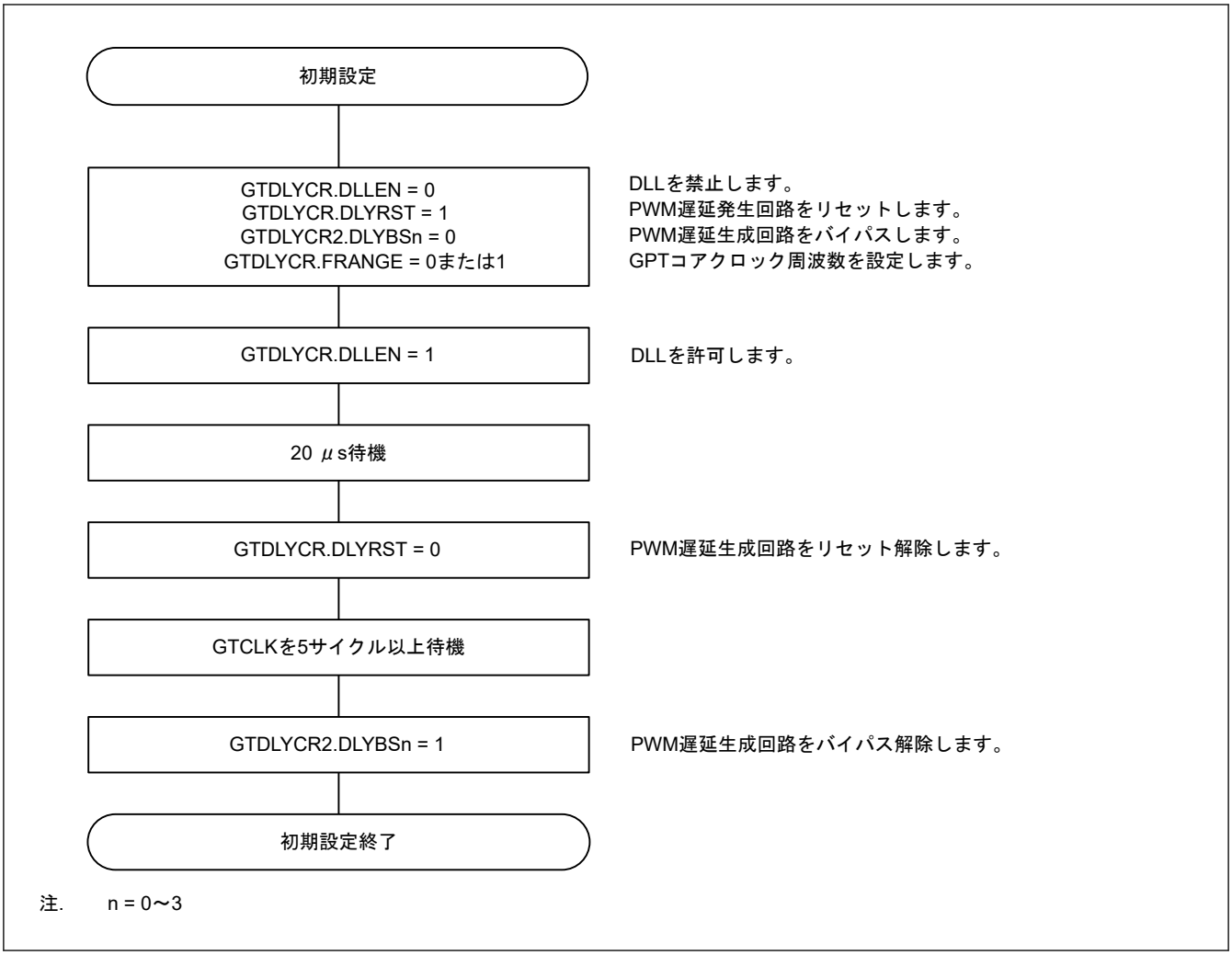


図 23.2 PWM 遅延生成回路の初期化手順の例

PWM 遅延生成回路では、GPT コアクロック (GTCLK) の周期の 1/64 または 1/128 の精度で、PWM 出力の立ち上がりエッジおよび立ち下がりエッジに遅延を適用できます。これについては、「22.3.3. PWM 出力動作モード」で説明されます。この設定に関連した遅延は、「23.3.2. GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング」で説明されたタイミングで、PWM 出力に反映されます。表 23.3 に、GTDLYRnA、GTDLYRnB、GTDLYFnA、および GTDLYFnB レジスタと、PWM 出力の対応関係を示します。

表 23.3 PWM 出力端子と遅延設定レジスタの対応関係

PWM 出力端子	立ち上がりエッジ遅延設定レジスタ	立ち下がりエッジ遅延設定レジスタ
GTIOC0A	GTDLYR0A	GTDLYF0A
GTIOC0B	GTDLYR0B	GTDLYF0B
GTIOC1A	GTDLYR1A	GTDLYF1A
GTIOC1B	GTDLYR1B	GTDLYF1B
GTIOC2A	GTDLYR2A	GTDLYF2A
GTIOC2B	GTDLYR2B	GTDLYF2B
GTIOC3A	GTDLYR3A	GTDLYF3A
GTIOC3B	GTDLYR3B	GTDLYF3B

PWM 遅延生成回路を使用する場合、PWM 出力信号の立ち上がりおよび立ち下がりのタイミングを、GPT コアクロック (GTCLK) の周期の 1/64 または 1/128 の精度で制御できます。このオプションを使用しない場合、PWM 出力波形の周期は、タイマカウンタの入力クロック (GTCLK) の 1 周期の精度で制御されます。PWM 遅延生成回路を使用することで、出力を 32 倍の精度で制御できます。さらに、遅延設定により、PWM 波形の High/Low レ

ベルの周期も指定された精度で制御できます。PWM 遅延生成回路チャネルは、個別に有効／無効を切り替えられます。

23.3.2 GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタ設定値の転送タイミング

GTDLYRnA, GTDLYRnB, GTDLYFnA, GTDLYFnB レジスタの設定値は、最初にテンポラリレジスタに転送され、その後、GTIOCnA および GTIOCnB（n = 0～3）出力の遅延に反映されます。設定値は、のこぎり波の場合はオーバーフロー（アップカウント中）またはアンダーフロー（ダウンカウント中）のときに、三角波の場合は谷のときに転送されます。

図 23.3 および図 23.4 に、GTDLYR0A および GTDLYF0A レジスタの動作例を示します。

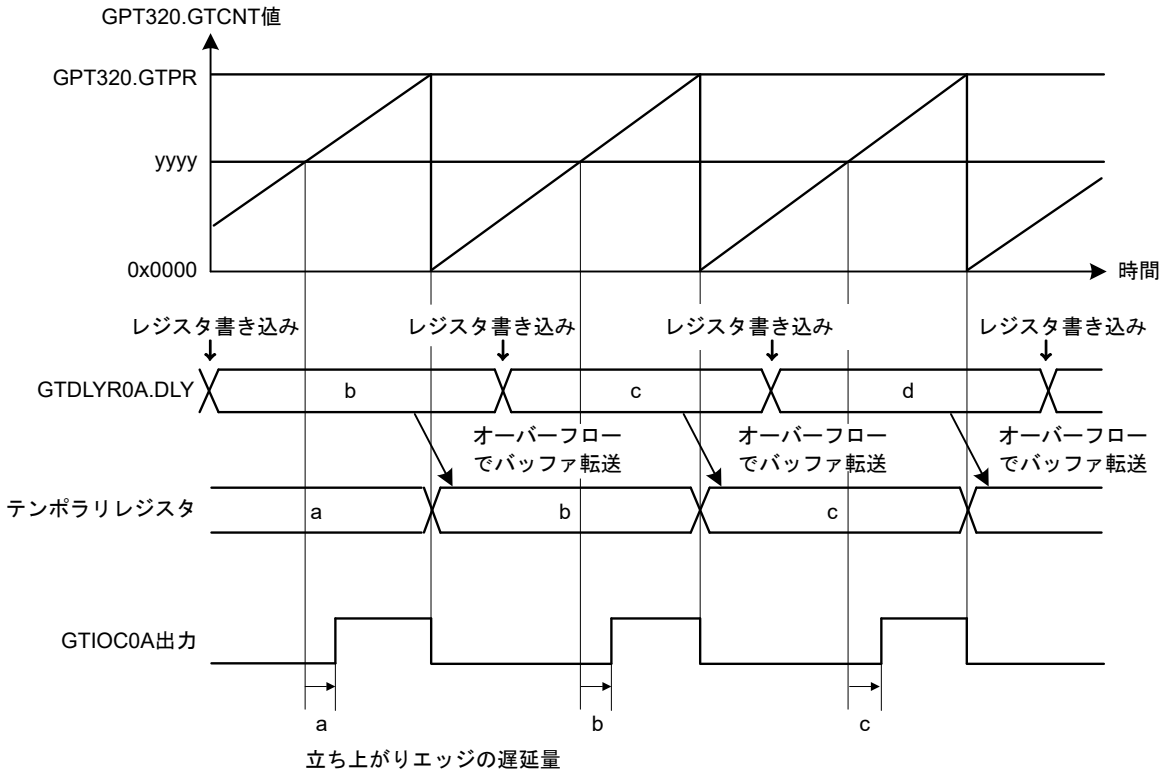


図 23.3 PWM のこぎり波生成時の GTDLYR0A レジスタ動作の例

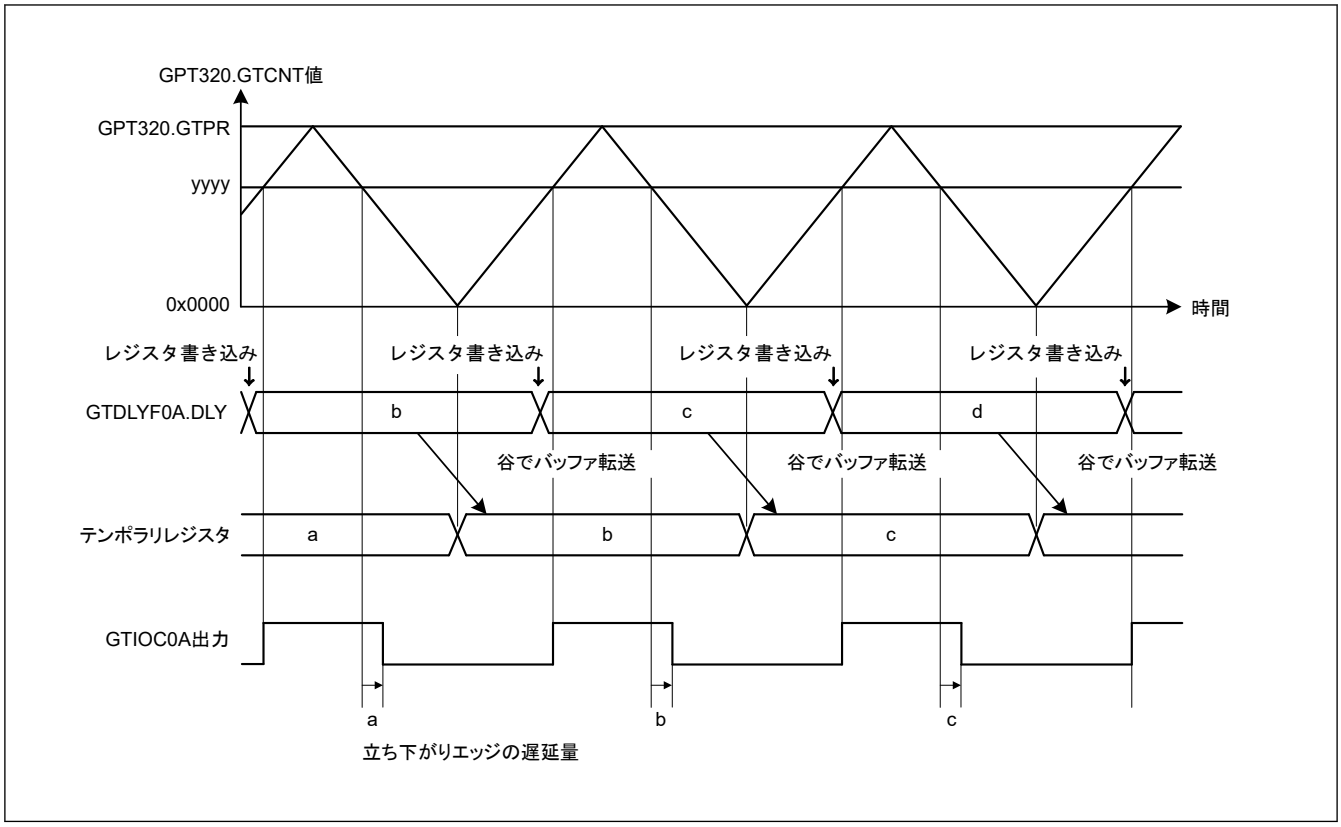


図 23.4　PWM 三角波生成時の GTDLYF0A レジスタ動作の例

23.4　使用上の注意事項

23.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、PWM 遅延生成回路の動作禁止／許可を設定することが可能です。リセット後の初期状態では、PWM 遅延生成回路は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

23.4.2　PWM 遅延生成回路の遅延設定に関する注意事項

PWM 遅延生成回路が PWM 出力波形の遅延を生成し、コンペアマッチに応答する形でその波形をトグル出力する場合、コンペアマッチの値が表 23.4 に示す範囲内にあるときは遅延の設定を変更しないでください。この制約は、GTDLYFnA、GTDLYRnA、GTDLYFnB、および GTDLYRnB レジスタに適用されます。

表 23.4　遅延設定に関する制約

モード	カウント方向	コンペアマッチ値
のこぎり波モード	アップ	GTPR - 2 以上
	ダウン	2 以下
三角波モード	ダウン	2 以下

図 23.5 に、のこぎり波形ワンショットパルスモード（アップカウント）における GTDLYFnA 設定のタイミングに対して、この制約をどのように適用するのかについて例を示します。(GTCCRD ≥ GTPR - 2) の間は GTDLYFnA に設定された値を変更しないでください。

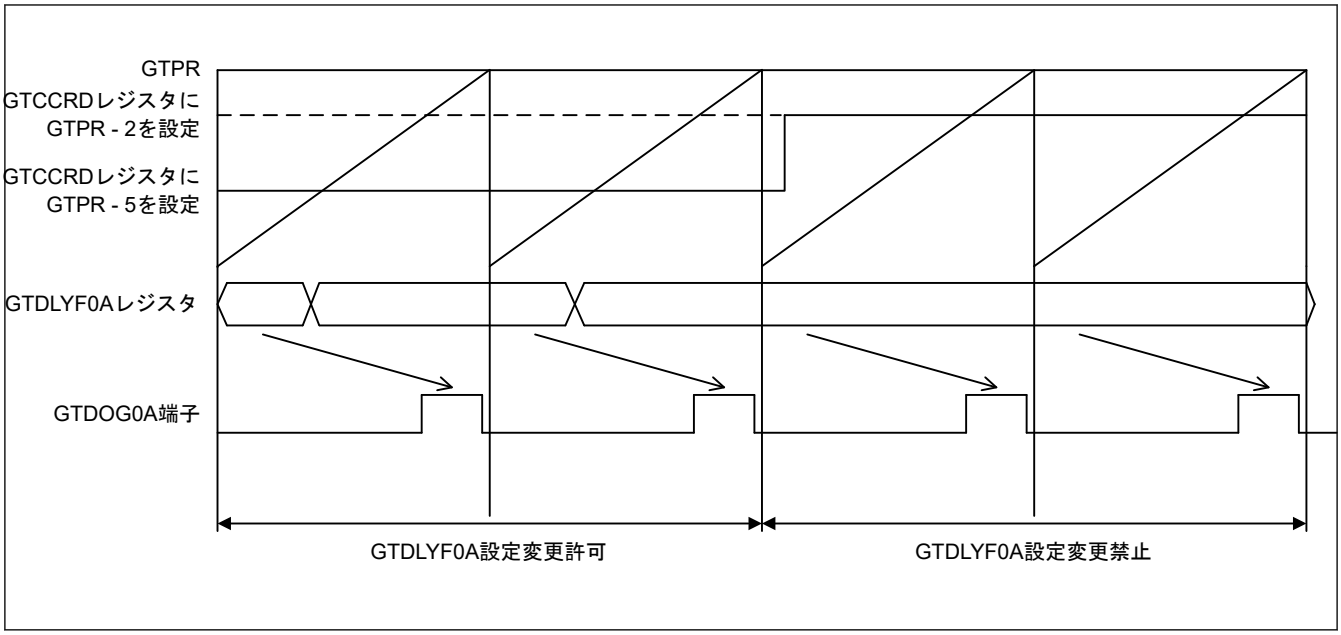


図 23.5　GTDLYF0A レジスタ設定のタイミングに関する制約

設定変更が禁止されているときに GTDLYFnA、GTDLYRnA、GTDLYFnB、および GTDLYRnB レジスタの値を変更すると、出力波形遷移のタイミングが期待値からずれるなど、出力波形に異常が生じる可能性があります。

23.4.3　レジスタ書き込み間隔

GPT コアクロックが GPTCLK の場合、GTDLYRnA/GTDLYFnA/GTDLYRnB/GTDLYFnA レジスタへの書き込み間隔が以下のインターバル時間より短いとき、書き込み値が反映されないことがあります。この制限は、同一レジスタへの連続書き込み時に適用されます。

Write_Interval [ns] = Period_of_PCLKA [ns] × 6 + Period_of_GPTCLK [ns] × 4

24. 低消費電力非同期汎用タイマ (AGT)

24.1 概要

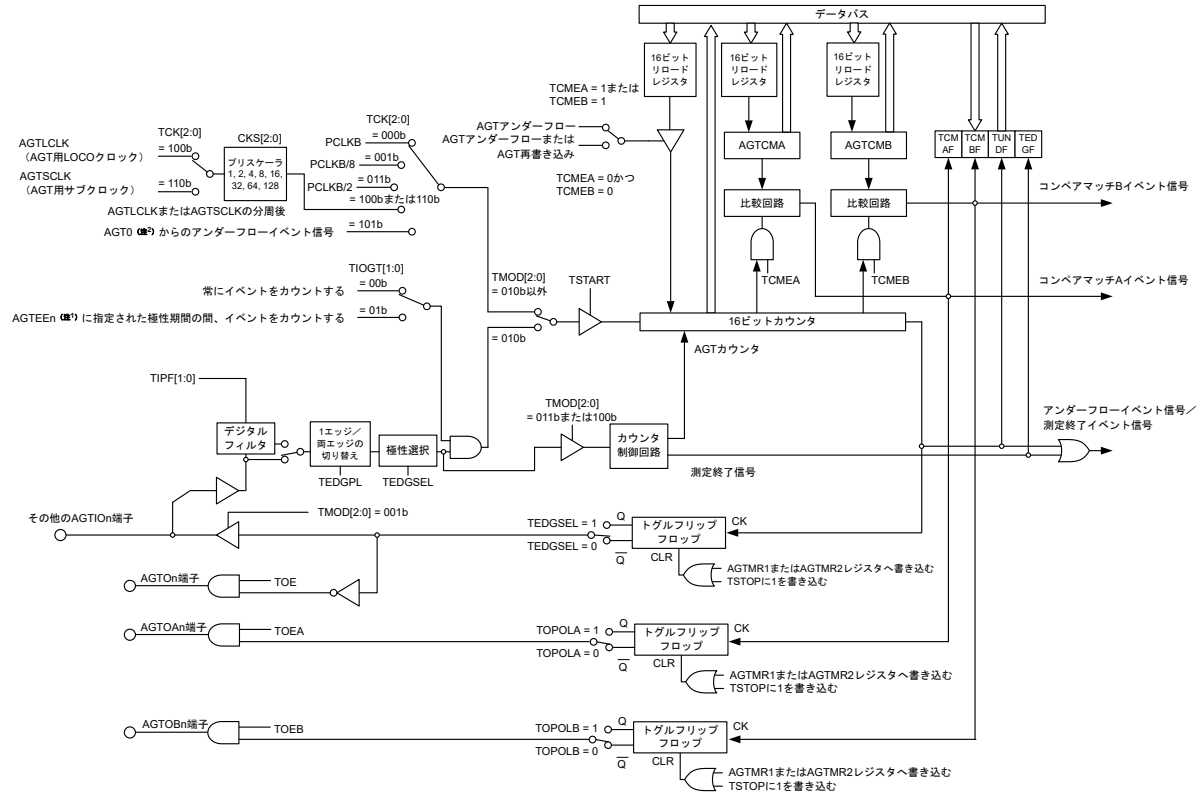
低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 24.1 に AGT の仕様、図 24.1 にブロック図、表 24.2 に入出力端子を示します。

表 24.1 AGT の仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	カウントソースをカウントし、アンダーフローするごとに出力を反転
	イベントカウントモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
構成		16 ビット × 2 チャネル (AGTn (n = 0, 1))
カウントソース（動作クロック）(注2)	タイマモード	PCLKB、PCLKB/2、PCLKB/8、AGTLCLK/d、AGTSCLK/d（d = 1、2、4、8、16、32、64、または 128）、または AGT0 のアンダーフロー信号を選択可能(注1)
	パルス出力モード	
	パルス幅測定モード	
	パルス周期測定モード	
	イベントカウントモード	外部イベント入力
割り込みとイベントリンク機能		• アンダーフローイベント信号または測定完了イベント信号 – カウンタがアンダーフローしたとき – パルス幅測定モードで外部入力端子（AGTIOn 端子）のアクティブ幅の測定が完了したとき – パルス周期測定モードで外部入力端子（AGTIOn 端子）の設定エッジが入力されたとき • コンペアマッチ A イベント信号 – AGT レジスタと AGTCMA レジスタの値が一致したとき（コンペアマッチ A 機能が有効） • コンペアマッチ B イベント信号 – AGT レジスタと AGTCMB レジスタの値が一致したとき（コンペアマッチ B 機能が有効） • AGT1_AGTI、AGT1_AGTCMAI、または AGT1_AGTCMBI でソフトウェアスタンバイモードからの復帰を実行可能(注3)
選択可能な機能		• コンペアマッチ機能 コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能
モジュールストップ機能		各チャネルに対してモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ		各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. AGT0 ではアンダーフロー信号を使用できません。AGT1 は、AGT0 タイマからのアンダーフローイベント信号に直接接続します。
注 2. 周辺モジュールクロック (PCLKB) 周波数 ≧ カウントソースクロックの周波数、を満たすように設定してください。AGTLCLK/d または AGTSCLK/d をカウントソースクロックとして選択している場合、PCLKB の周波数はそのカウントソースクロックの周波数の 2 倍以上である必要があります。
注 3. 詳細は「11. 低消費電力モード」を参照してください。



注 1. AGTISR レジスタの EEPS ビットで極性を選択できます。
注 2. AGT0 では AGT0 のアンダーフローイベントは使用できません。AGT1 が AGT0 のアンダーフローを使用します。

図 24.1 AGT のブロック図

表 24.2 AGT の入出力端子

端子名	入出力	機能
AGTEEn	入力	AGT の外部イベント入力許可
AGTIOn	入出力	AGT の外部イベント入力およびパルス出力
AGTOn	出力	AGT のパルス出力
AGTOAn	出力	AGT のコンペアマッチ A 出力
AGTOBn	出力	AGT のコンペアマッチ B 出力

注. チャネル番号：n = 0, 1

24.2 レジスタの説明

24.2.1 AGT : AGT カウンタレジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットカウンタおよびリロードレジスタ 設定範囲：0x0000～0xFFFF	R/W

注. S-TYPE-3, P-TYPE-3

AGTn.AGT は 16 ビットのレジスタです。書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は「24.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。

AGTCR レジスタの TSTOP ビットに 1 を書くと、AGT カウンタは強制停止し、0xFFFF になります。

AGTMR1 レジスタの TCK[2:0]ビットの設定が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0x0000 になると、ICU、DTC、DMAC、および ELC への要求信号がカウント開始直後に一度発生します。AGTOn 端子、AGTIOn 端子はトグル出力となります。

イベントカウントモードで AGT レジスタが 0x0000 になると、TCK[2:0]ビットの値にかかわらず、ICU、DTC、DMAC、および ELC への要求信号が、カウント開始直後に一度発生します。

また、指定したカウント期間以外の期間も AGTOn 端子出力はトグル出力となります。AGT レジスタが 0x0001 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

24.2.2 AGTCMA : AGT コンペアマッチ A レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットのコンペアマッチ A データを格納(注1) 設定範囲：0x0000～0xFFFF	R/W

注. S-TYPE-3, P-TYPE-3
注 1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは 0xFFFF にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、「24.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

24.2.3 AGTCMB : AGT コンペアマッチ B レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットのコンペアマッチ B データを格納(注1) 設定範囲：0x0000～0xFFFF	R/W

注. S-TYPE-3, P-TYPE-3

注 1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは 0xFFFF にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は「24.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

24.2.4 AGTCR : AGT コントロールレジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCMBF	TCMAF	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTART	AGT カウント開始(注2) 0: カウント停止 1: カウント開始	R/W
1	TCSTF	AGT カウント状態フラグ(注2) 0: カウント停止 1: カウント中	R
2	TSTOP	AGT カウント強制停止(注1) 0: 書き込みは無効 1: 強制的にカウント停止	W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TEDGF	アクティブエッジ判定フラグ 0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W) (注3)
5	TUNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフローあり	R/(W) (注3)
6	TCMAF	コンペアマッチ A フラグ 0: 不一致 1: 一致	R/(W) (注3)
7	TCMBF	コンペアマッチ B フラグ 0: 不一致 1: 一致	R/(W) (注3)

注. S-TYPE-3, P-TYPE-3
注 1. TSTOP ビットに 1（強制的にカウント停止）を書き込むと、TSTART ビットおよび TCSTF フラグが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。
注 2. TSTART ビットおよび TCSTF フラグの使用方法については、「24.4.1. カウント動作の開始および停止制御」を参照してください。
注 3. フラグをクリアするための 0 の書き込みのみ可能です。

TSTART ビット（AGT カウント開始）

TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 にすると、カウントソースと同期して、TCSTF フラグが 1（カウント実行中）になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF フラグが 0（カウント停止）になります。詳細は「24.4.1. カウント動作の開始および停止制御」を参照してください。

TCSTF フラグ（AGT カウント状態フラグ）

TCSTF フラグは AGT のカウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき（カウントソースと同期して、TCSTF フラグが 1 になる）

[0 になる条件]

- TSTART ビットに 0 を書いたとき（カウントソースと同期して、TCSTF フラグが 0 になる）
- TSTOP ビットに 1 を書いたとき

TSTOP ビット（AGT カウント強制停止）

TSTOP ビットに 1 を書くと、強制的にカウントが停止します。読むと 0 が読めます。

TEDGF フラグ（アクティブエッジ判定フラグ）

TEDGF フラグはアクティブエッジが検出されたことを示します。

[1 になる条件]

- パルス幅測定モードで外部入力端子 (AGTIOn) のアクティブ幅の測定が完了したとき
- パルス周期測定モードで外部入力端子 (AGTIOn) の設定エッジが入力されたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TUNDF フラグ（アンダーフローフラグ）

TUNDF フラグはカウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMAF フラグ（コンペアマッチ A フラグ）

TCMAF フラグはコンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMBF フラグ（コンペアマッチ B フラグ）

TCMBF フラグはコンペアマッチ B が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

24.2.5 AGTMR1 : AGT モードレジスタ 1

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TCK[2:0]			TEDGPL	TMOD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	TMOD[2:0]	動作モード(注3) 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウントモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード その他: 設定禁止	R/W
3	TEDGPL	エッジ極性(注4) 0: 片エッジ 1: 両エッジ	R/W
6:4	TCK[2:0]	カウントソース(注1) (注2) (注5) (注7) 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTMR2 レジスタの CKS[2:0]ビットで設定した分周クロック (AGTLCLK) 1 0 1: AGT0(注6)からのアンダーフローイベント信号 1 1 0: AGTMR2 レジスタの CKS[2:0]ビットで指定された分周クロック AGTSCLK その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. AGTMR1 レジスタへの書き込みアクセスは、AGTOn、AGTIOn、AGTOAn、および AGTOBn 端子からの出力を初期化します。初期化時の出力レベルの詳細は、「24.2.7. AGTIOC : AGT I/O コントロールレジスタ」を参照してください。
注 1. イベントカウントモードを選択した場合、TCK[2:0]ビットの設定にかかわらず、カウントソースとして外部入力端子 (AGTIOn) が選択されます。
注 2. カウント動作中は、カウントソースを切り替えないでください。カウントソースは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ切り替えてください。
注 3. AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
注 4. TEDGPL ビットは、イベントカウントモード時に限り有効です。
注 5. ソフトウェアスタンバイモードで AGT を動作させるには、AGTLCLK または AGTSCLK (TCK[2:0] = 100b, 110b) を選択してください。
注 6. AGT0 では AGT0 のアンダーフローは使用できません（設定禁止）。AGT1 が AGT0 のアンダーフローを使用します。
注 7. AGTMR2 レジスタの CKS[2:0]ビットが 000b 以外の場合は、TCK[2:0]ビットを切り替えないでください。AGTMR2 レジスタの CKS[2:0]ビットを 000b にした後、TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

24.2.6 AGTMR2 : AGT モードレジスタ 2

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPM	—	—	—	—	CKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKS[2:0]	AGTLCLK/AGTSCLK カウントソースクロック周波数分周比(注1) (注2) (注3) 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/8 1 0 0: 1/16 1 0 1: 1/32 1 1 0: 1/64 1 1 1: 1/128	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LPM	低消費電力モード 0: ノーマルモード 1: 低消費電力モード	R/W

注. S-TYPE-3, P-TYPE-3
注 1. カウント動作中は、CKS[2:0]ビットを書き換えないでください。AGTCR レジスタの TSTART ビットと TCSTF フラグがどちらも 0（カウント停止）の場合にのみ、CKS[2:0]ビットを書き換えてください。
注 2. カウントソースが AGTLCLK または AGTSCLK の場合、CKS[2:0]ビットの切り替えが有効となります。
注 3. CKS[2:0]ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0]ビットを切り替えないでください。CKS[2:0]ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

CKS[2:0]ビット（AGTLCLK/AGTSCLK カウントソースクロック周波数分周比）

CKS[2:0]ビットは AGTLCLK/AGTSCLK カウントソースクロック周波数分周比を選択します。

LPM ビット（低消費電力モード）

LPM ビットは低消費電力動作を設定します。これによって、特定の AGT レジスタへのアクセスに影響があります。低消費電力で動作させるには本ビットを 1 にしてください。

本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT レジスタから読み出す場合、AGT レジスタを 2 回読み出します。2 回目の読み出しデータのみが有効です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込む場合、カウントソースクロックで 2 サイクル以上の余裕が必要です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込まれた値を確認する場合
  - カウント動作の停止時：データ書き込み後、次のサイクルで読み出し可能です。
  - カウント動作の実行中：データ書き込み後、カウントソースクロックの 4 サイクル後に読み出し可能です。

図 24.2 に LPM ビットの書き込み方法のフローチャートを示します。

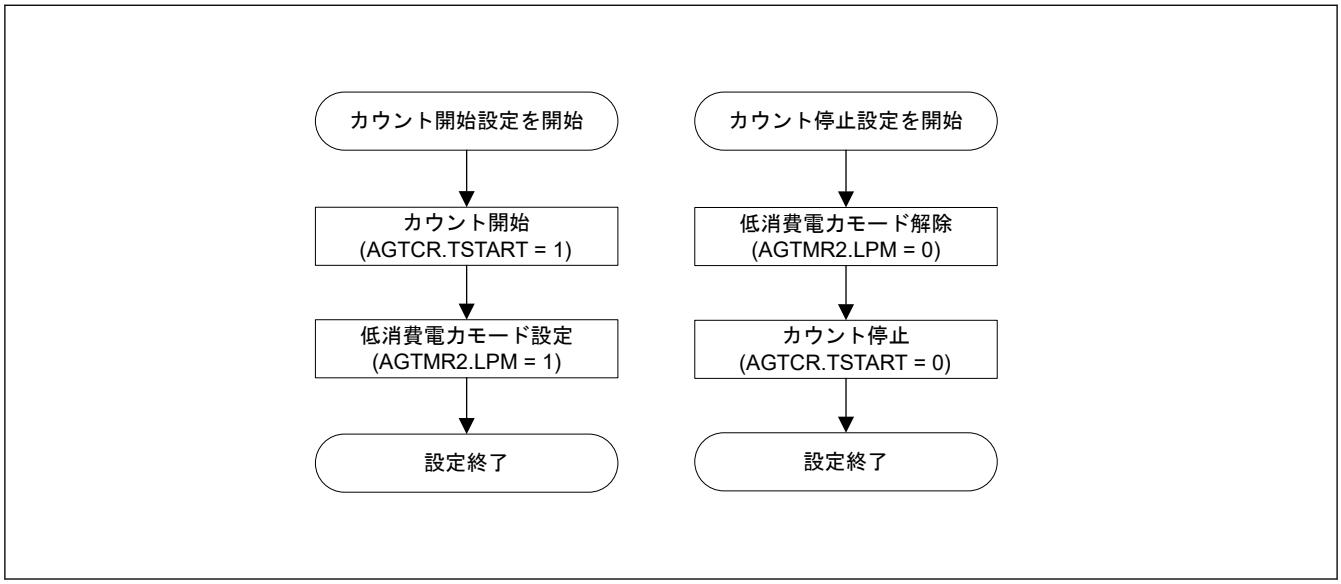


図 24.2 LPM ビットに書き込む方法のフローチャート

24.2.7 AGTIOC : AGT I/O コントロールレジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIOGT[1:0]		TIPF[1:0]		—	TOE	—	TEDG SEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TEDGSEL	I/O 極性切り替え 動作モードによって機能が異なります。表 24.3 と表 24.4 を参照してください。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	TOE	AGTOn 端子出力許可 0: AGTOn 端子出力を禁止 1: AGTOn 端子出力を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TIPF[1:0]	入力フィルタ(注3) これらのビットは、AGTIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。 0 0: フィルタなし 0 1: PCLKB でのフィルタサンプリング 1 0: PCLKB/8 でのフィルタサンプリング 1 1: PCLKB/32 でのフィルタサンプリング	R/W
7:6	TIOGT[1:0]	カウント制御(注1) (注2) 0 0: 常にイベントをカウントする 0 1: AGTEEn 端子に指定された極性の期間に、イベントをカウントする その他: 設定禁止	R/W

注. S-TYPE-3, P-TYPE-3
注 1. AGTEEn 端子を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。
注 2. TIOGT[1:0]ビットは、イベントカウントモード時に限り有効です。
注 3. ソフトウェアスタンバイモード中にイベントカウントモード動作が実行される場合、デジタルフィルタ機能は使用できません。

TEDGSEL ビット（I/O 極性切り替え）

TEDGSEL ビットは AGTOn 端子の出力極性および AGTIOn 端子の入出力エッジと極性を切り替えます。

パルス出力モードでは、AGTOn 端子の出力極性と AGTIOn 端子の出力極性のみが制御されます。AGTOn 端子出力と AGTIOn 端子出力は、AGTMR1 レジスタに書き込みを行ったとき、または AGTCR レジスタの TSTOP ビットに 1 を書いたときに初期化されます。

TOE ビット（AGTOn 端子出力許可）

TOE ビットは AGTOn 端子出力の禁止または許可を選択します。

TIPF[1:0]ビット（入力フィルタ）

TIPF[1:0]ビットは AGTIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。

TIOGT[1:0]ビット（カウント制御）

TIOGT[1:0]ビットはイベントカウントを制御します。

表 24.3 AGTIOn 端子の入出力エッジおよび極性切り替え (1/2)

動作モード	機能
タイマモード	使用しない

表 24.3 AGTIOn 端子の入出力エッジおよび極性切り替え (2/2)

動作モード	機能
パルス出力モード	0: High で出力開始（初期レベル：High）：反転出力 1: Low で出力開始（初期レベル：Low）：通常出力
イベントカウントモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Low レベル幅を測定 1: High レベル幅を測定
パルス周期測定モード	0: ある立ち上がりエッジから次の立ち上がりエッジまで測定 1: ある立ち下がりエッジから次の立ち下がりエッジまで測定

表 24.4 AGTOn 端子の出力極性切り替え

動作モード	機能
全モード	0: Low で出力開始（初期レベル：Low）：通常出力 1: High で出力開始（初期レベル：High）：反転出力

24.2.8 AGTISR : AGT イベント端子選択レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EEPS	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	EEPS	AGTEEn 極性選択 0: Low の期間、イベントをカウントする 1: High の期間、イベントをカウントする	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

EEPS ビット（AGTEEn 極性選択）

EEPS ビットはカウントされるイベントの極性を選択します。

24.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TOPOLB	TOEB	TCMEB	—	TOPOLA	TOEA	TCMEA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCMEA	AGT コンペアマッチ A レジスタ有効(注1) (注2) 0: AGT コンペアマッチ A レジスタを無効 1: AGT コンペアマッチ A レジスタを有効	R/W

ビット	シンボル	機能	R/W
1	TOEA	AGTOAn 端子出力許可(注1) (注2) 0: AGTOAn 端子出力を禁止 1: AGTOAn 端子出力を許可	R/W
2	TOPOLA	AGTOAn 端子極性選択(注1) (注2) 0: AGTOAn 端子出力を Low で開始：通常出力 1: AGTOAn 端子出力を High で開始：反転出力	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TCMEB	AGT コンペアマッチ B レジスタ有効(注1) (注2) 0: AGT コンペアマッチ B レジスタを無効 1: AGT コンペアマッチ B レジスタを有効	R/W
5	TOEB	AGTOBn 端子出力許可(注1) (注2) 0: AGTOBn 端子出力を禁止 1: AGTOBn 端子出力を許可	R/W
6	TOPOLB	AGTOBn 端子極性選択(注1) (注2) 0: AGTOBn 端子出力を Low で開始：通常出力 1: AGTOBn 端子出力を High で開始：反転出力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ書き換えてください。
注 2. パルス幅測定モードまたはパルス周期測定モード中は、1 にしないでください。

24.2.10 AGTIOSEL : AGT 端子選択レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIES	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TIES	AGTIOn 端子入力許可 0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

AGTIOSEL レジスタは、AGTIOn 端子をソフトウェアスタンバイモードで使用する場合に、AGTIOn 端子を設定します。

TIES ビット（AGTIOn 端子入力許可）

TIES ビットは外部イベント入力を許可または禁止します。

24.3 動作説明

24.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。
TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。
TSTART ビットが 1（カウント開始）で、かつ TCMEA および TCMEB ビットが 0（AGT コンペアマッチ A/B レジスタが無効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソー

スと同期してカウンタに書き込まれます。TSTART ビットが 1（カウント開始）で、かつ TCMEA または TCMEB ビットが 1（AGT コンペアマッチ A/B レジスタが有効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 24.3 および図 24.4 に示します。

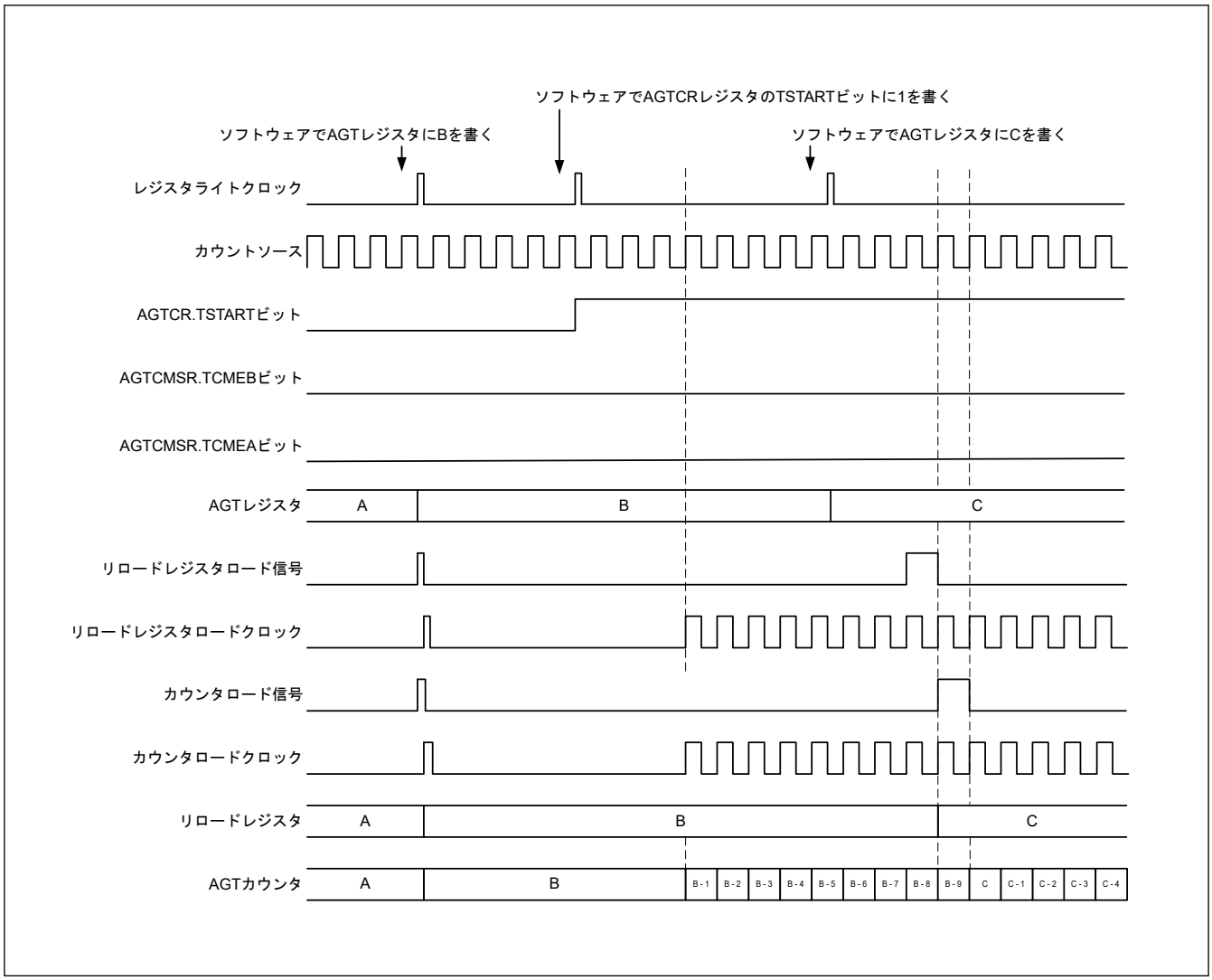


図 24.3　TSTART、TCMEA、TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタと AGT コンペアマッチ B レジスタが無効の場合）

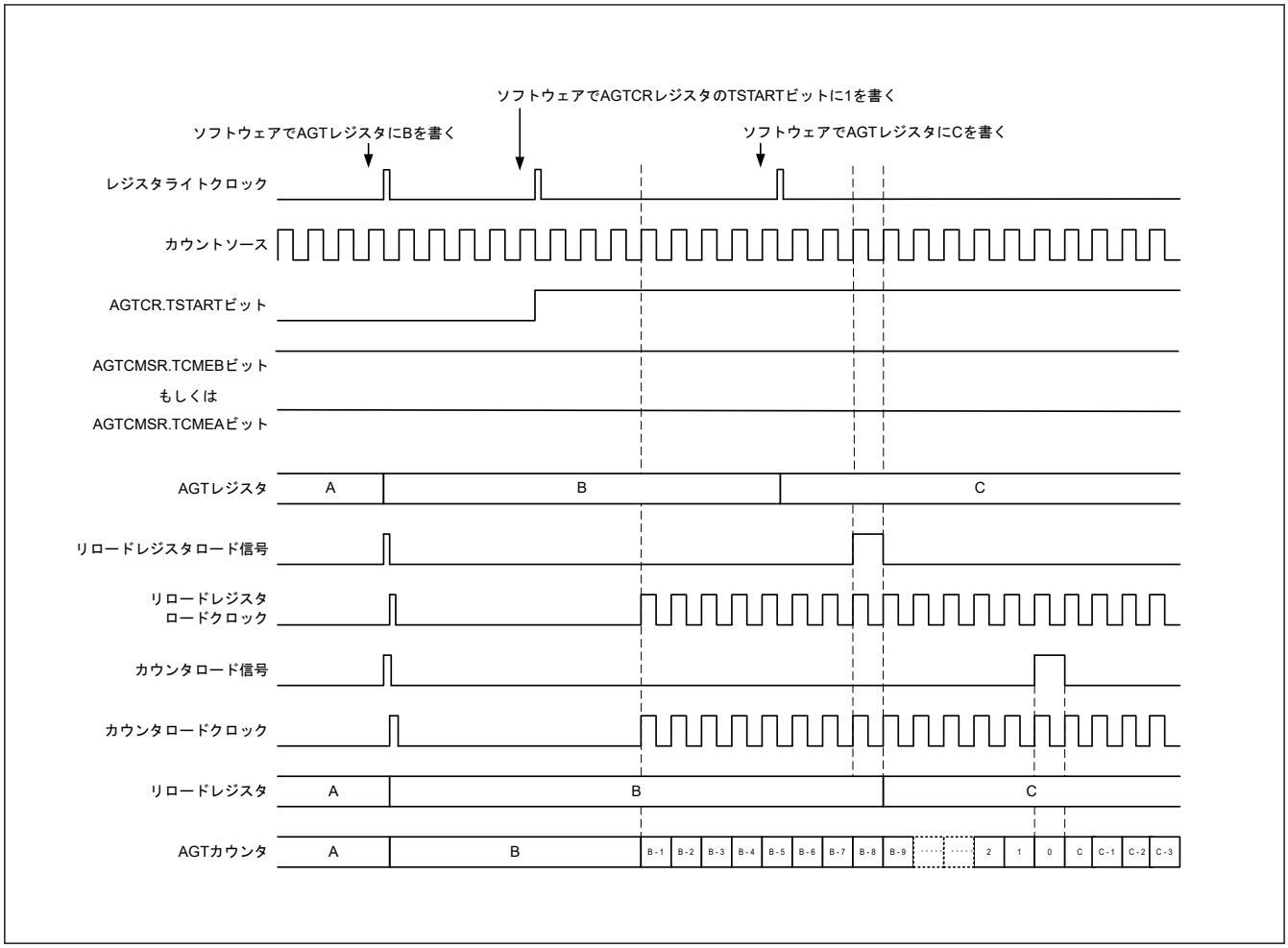


図 24.4 TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタまたは AGT コンペアマッチ B レジスタが有効の場合）

24.3.2 リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作

動作モードにかかわらず、リロードレジスタと AGT コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビットの値によって異なります。TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタと AGT コンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1（カウント開始）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 24.5 に示します。AGT コンペアレジスタ B の場合も AGT コンペアレジスタ A と同じです。

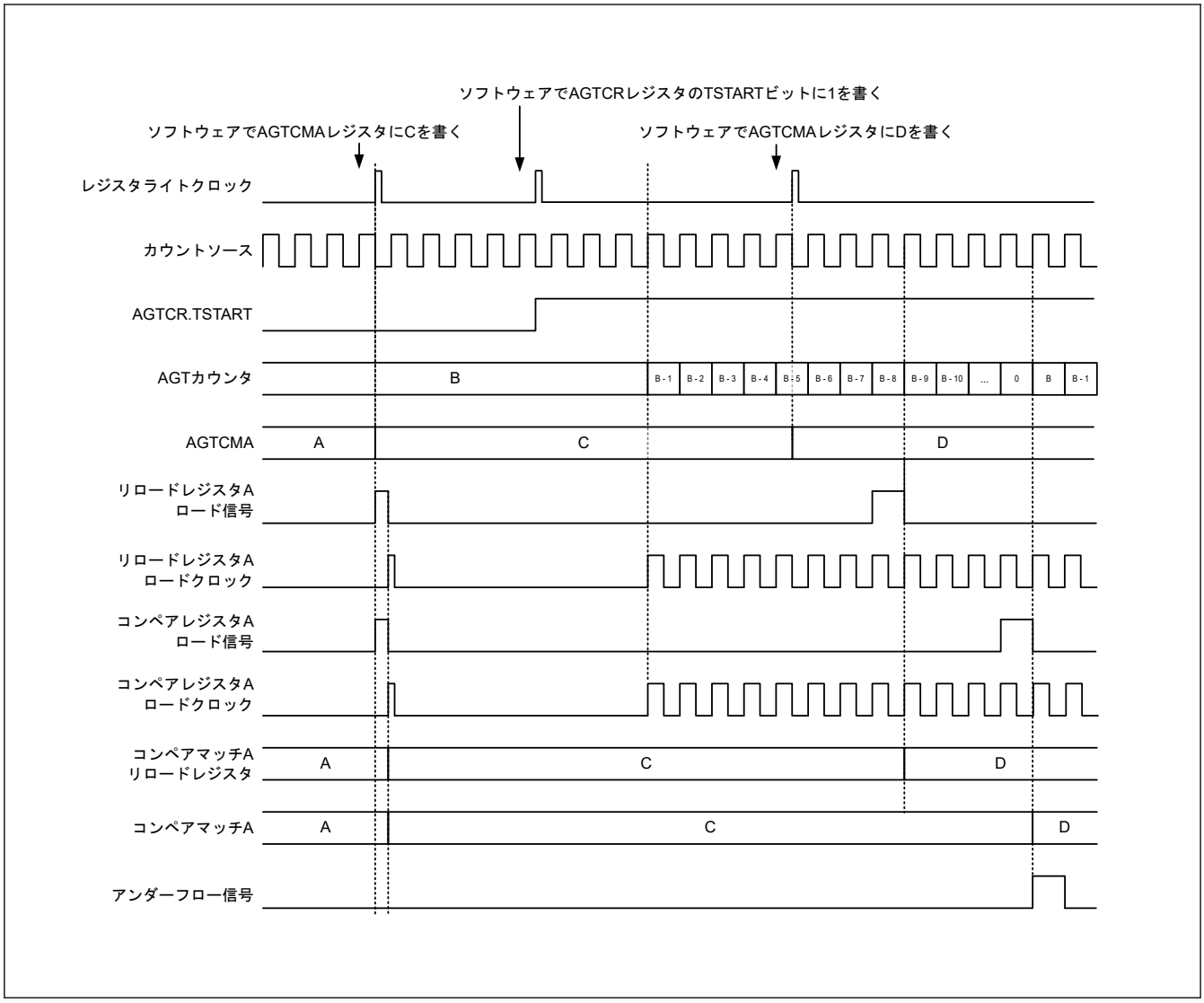


図 24.5　AGT コンペアレジスタ A の TSTART ビット値による書き換え動作のタイミング

24.3.3　タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x0000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

図 24.6 にタイマモードでの動作例を示します。

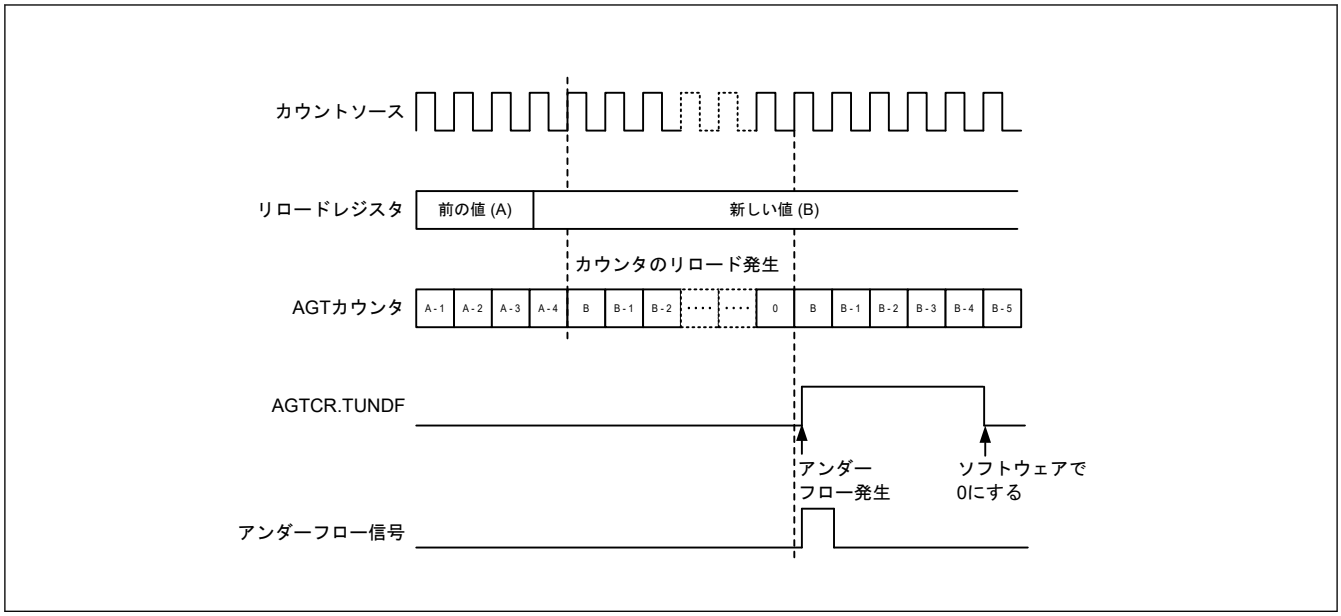


図 24.6　タイマモードでの動作例

24.3.4　パルス出力モード

パルス出力モードでは、カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するたびに AGTIOn 端子と AGTOn 端子の出力レベルは反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x0000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIOn 端子と AGTOn 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTOn 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 24.7 に示します。

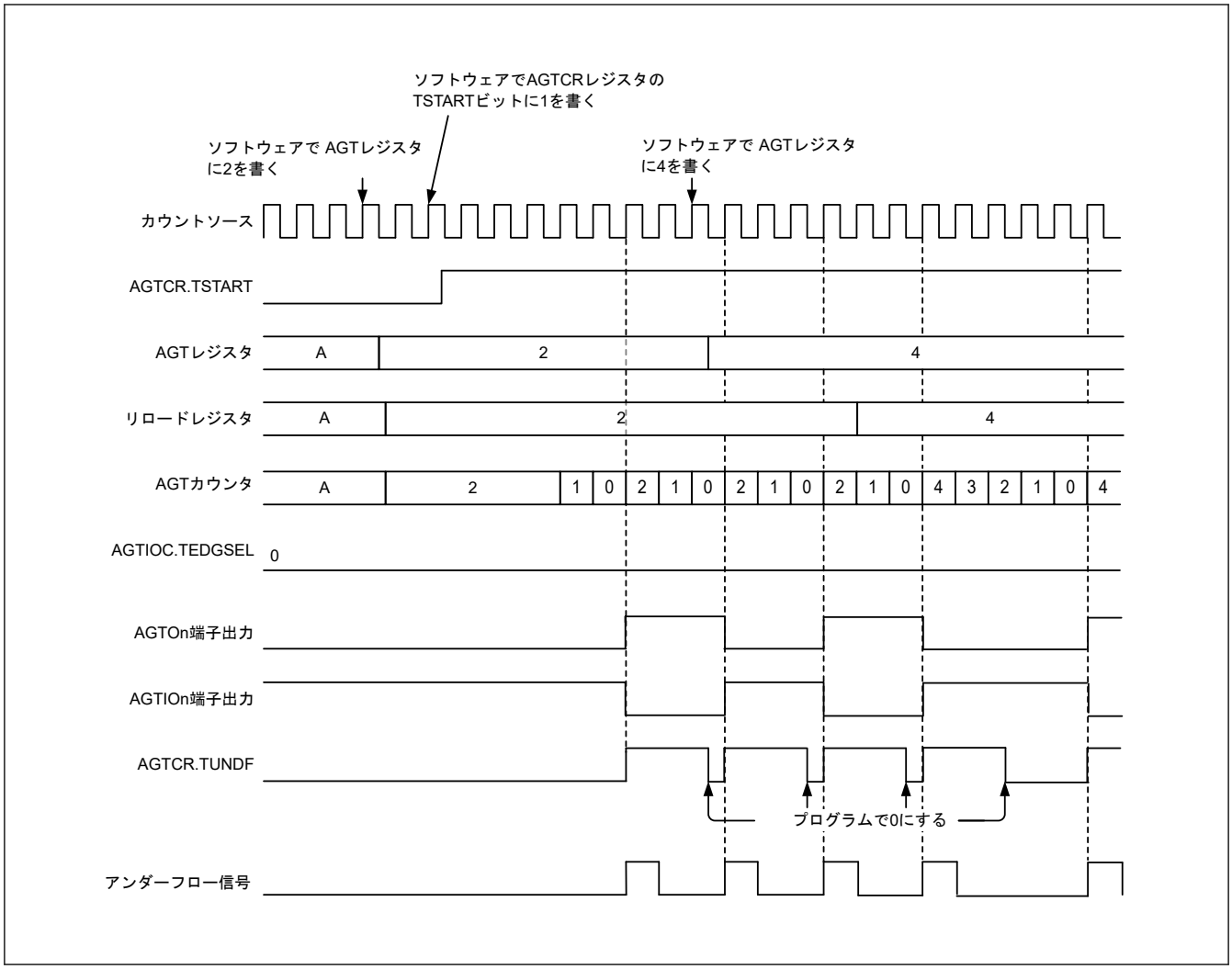


図 24.7　パルス出力モードでの動作例

24.3.5　イベントカウンタモード

イベントカウンタモードでは、カウンタは AGTIOn 端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0]ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0]ビットによって、AGTIOn 端子入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTOn 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 24.8 に示します。

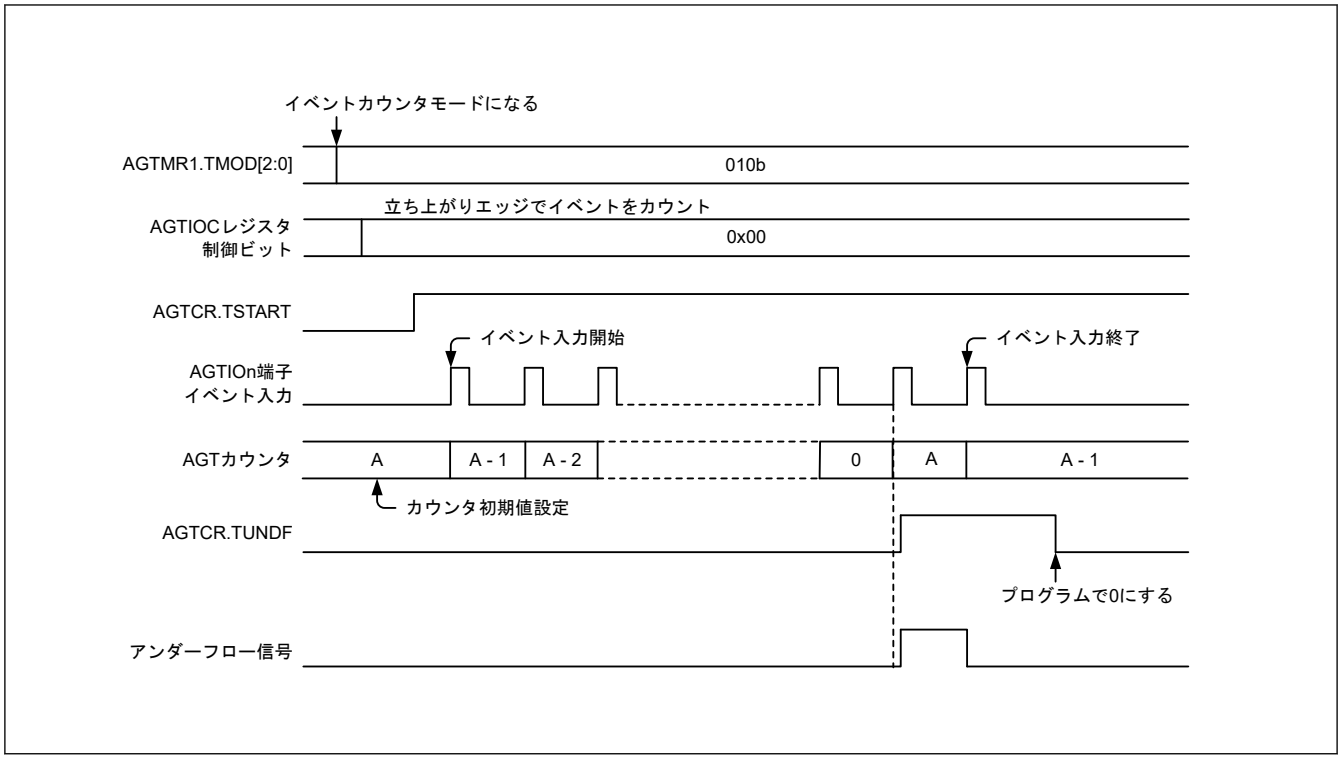
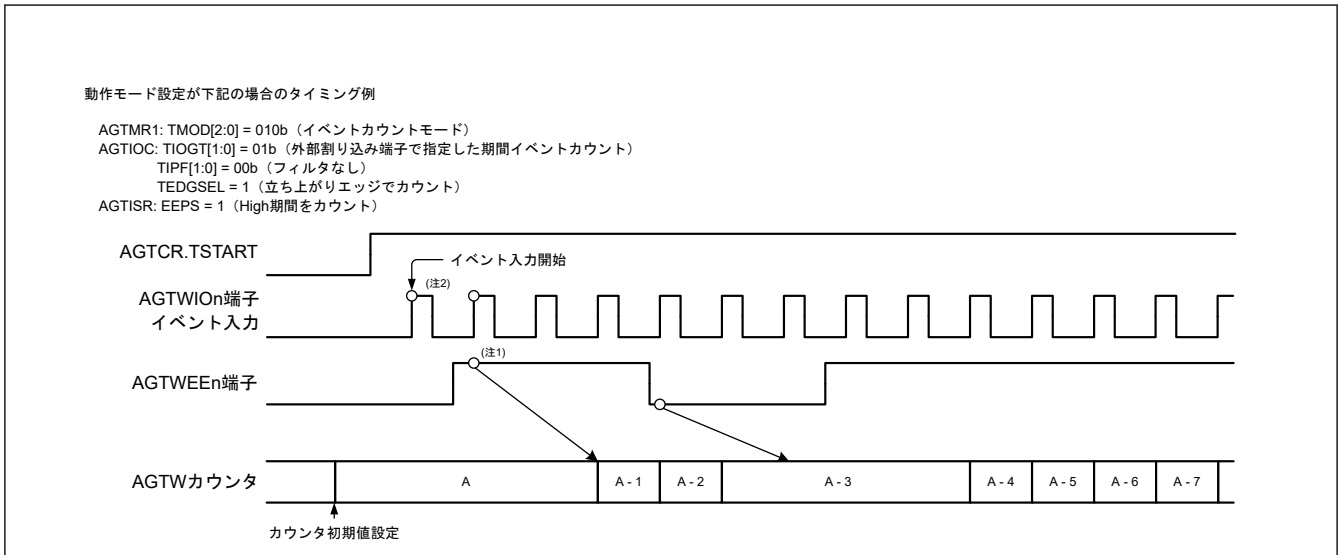


図 24.8　イベントカウンタモードでの動作例 1

イベントカウンタモード時に、指定された期間にイベントがカウントされるように（AGTIOC レジスタの TIOGT[1:0]ビットを 01b に設定）した場合の動作例を図 24.9 に示します。



注 1.　同期を制御するため、カウント動作が変更されるまでに、カウントソースの 2 サイクル分遅延が生じます。また、AGTEEn 端子とサンプリングクロックの位相差によって、カウント開始のタイミングが 1 サイクル分ずれる可能性があります。

注 2.　カウント停止前の状態によっては、カウント開始直後のカウントソースの 2 サイクル中にカウント動作が実行される場合があります。
カウント開始直後の 2 サイクル中のカウント動作を無効にするには、AGTCR レジスタの TSTOP ビットに 1 を書き込んで内部回路を初期化した後、動作設定を終えてからカウント動作を開始します。

図 24.9　イベントカウンタモードでの動作例 2

24.3.6 パルス幅測定モード

パルス幅測定モードでは、AGTIOn 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIOn 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIOn 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み出すことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1 になり、割り込み要求が発生します。

図 24.10 にパルス幅測定モードでの動作例を示します。

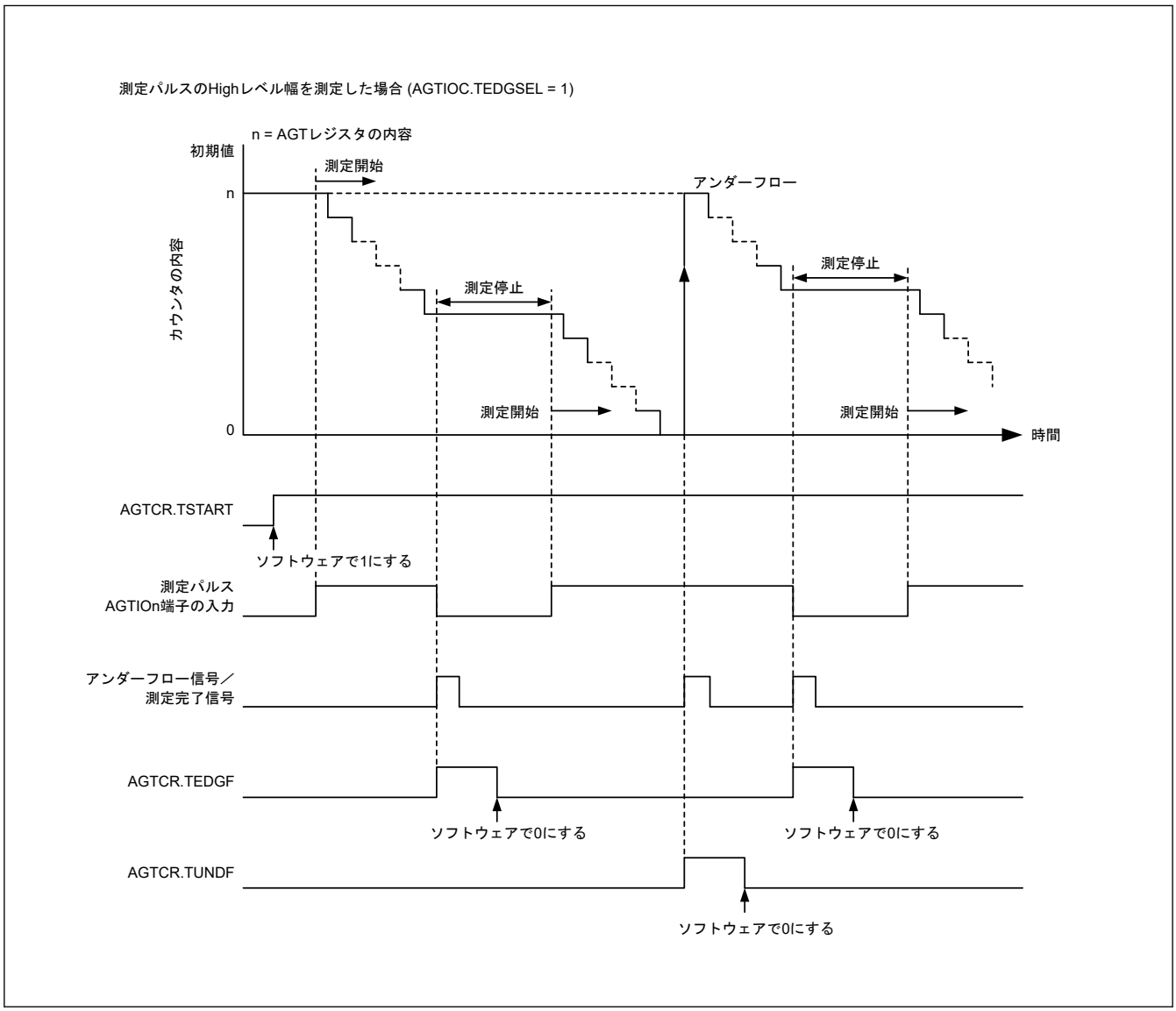


図 24.10 パルス幅測定モードでの動作例

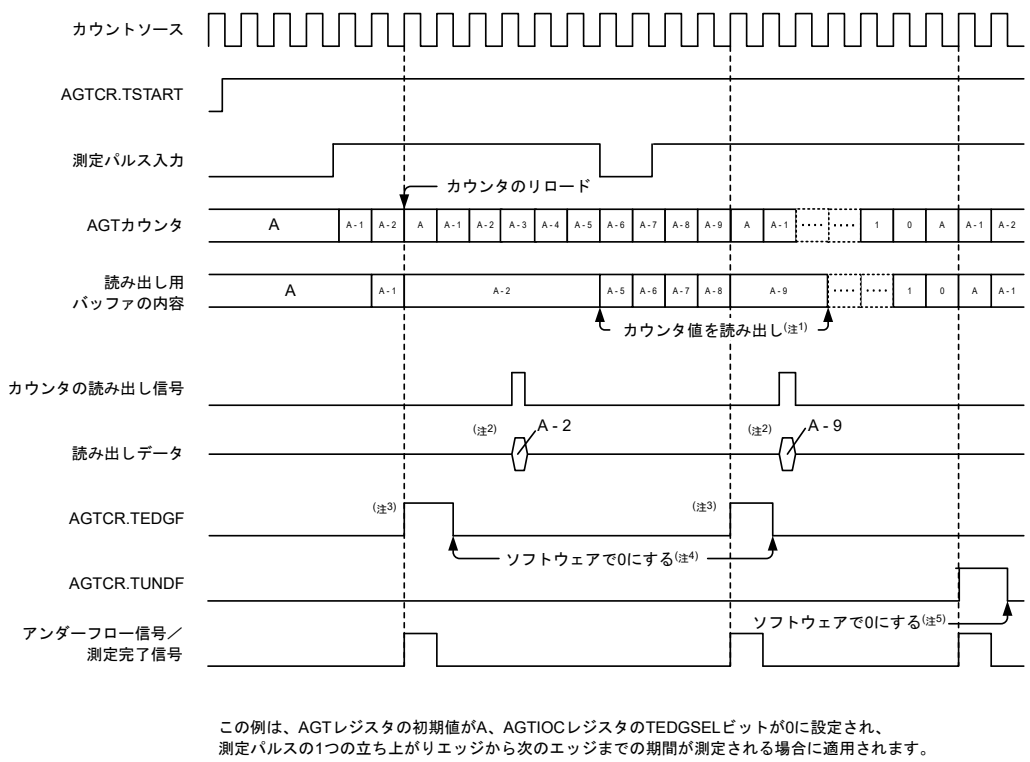
24.3.7 パルス周期測定モード

パルス周期測定モードでは、AGTIOn 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIOn 端子に入力されると、カウントソースの立ち上がりエッジでカウント値が読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発生します。この時点で読み出しバッファ（AGT レジスタ）が読み出され、リロード値（「24.4.6. イベント番号、パルス幅およびパルス周期の計算方法」を参照）との差が入力パルスの周期データとなります。こ

の周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1（アンダーフロー）になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 24.11 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。



この例は、AGTレジスタの初期値がA、AGTIOCレジスタのTEDGSELビットが0に設定され、
測定パルスの1つの立ち上がりエッジから次のエッジまでの期間が測定される場合に適用されます。

注 1. AGT レジスタからの読み出しは、TEDGF フラグが 1（アクティブエッジ受信）になってから、次のアクティブエッジが入力されるまでの期間に行う必要があります。読み出しバッファの内容は、AGT レジスタが読み出されるまで保持されます。アクティブエッジが入力される前に読み出さないと、前の周期の測定結果が保持されます

注 2. パルス周期測定モードで AGT レジスタを読み出すと、読み出しバッファの内容が読み出されます。

注 3. 測定パルスのアクティブエッジが入力された後に、外部パルスの設定エッジが入力された場合、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になります。

注 4. ソフトウェアで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TEDGF ビットに 0 を書いてください。

注 5. ソフトウェアで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TUNDF ビットに 0 を書いてください。

図 24.11 パルス周期測定モードでの動作例

24.3.8 コンペアマッチ機能

コンペアマッチ機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致（コンペアマッチ）を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF フラグが 1（一致）になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き換え動作のタイミングが異なります。詳細は「24.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。また、AGTOAn 端子、AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA ビットまたは TOPOLB ビットで選択できます。

図 24.12 にコンペアマッチ機能の動作例を示します。

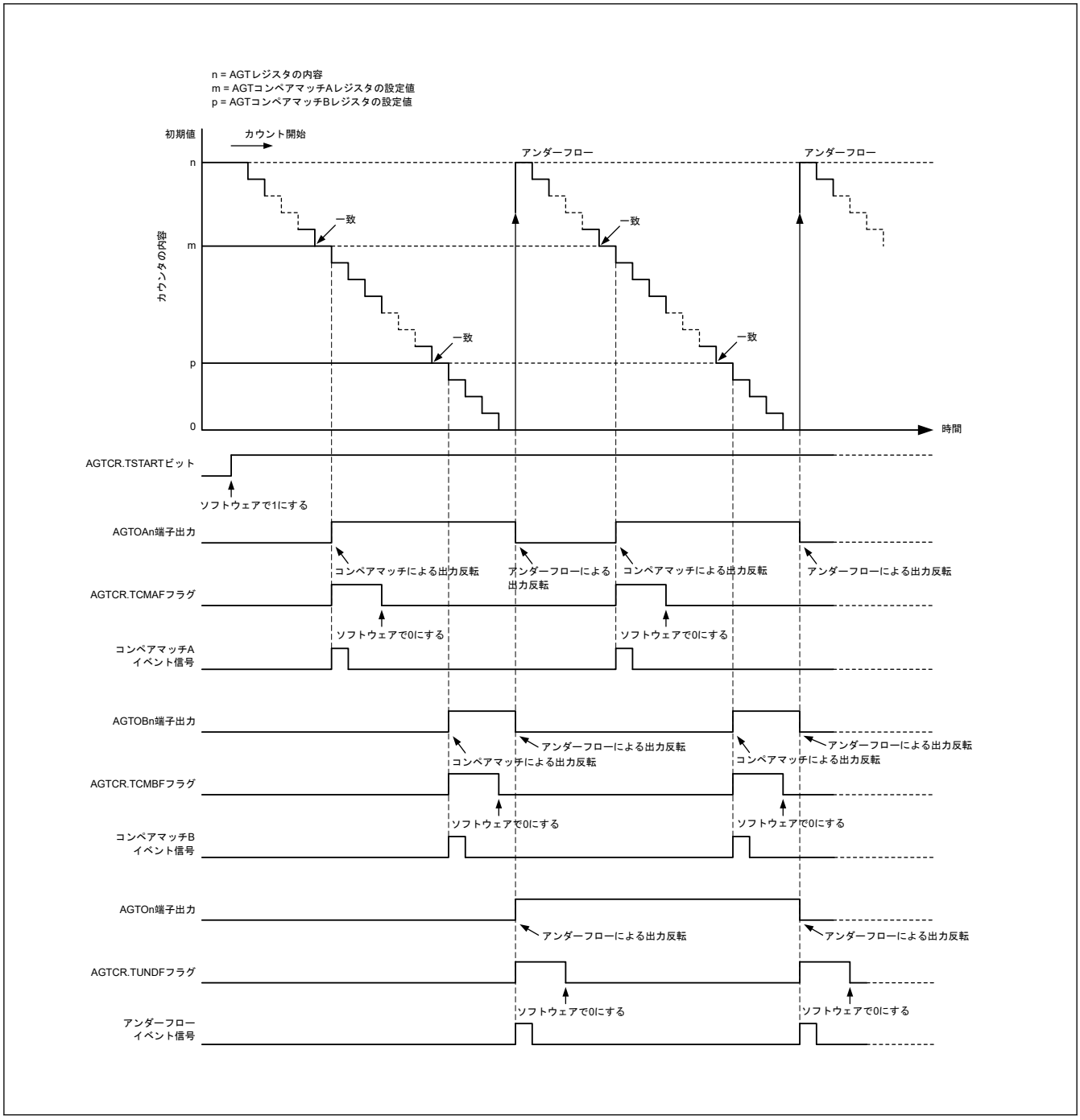


図 24.12　コンペアマッチ機能の動作例 (TOPOLA = 0, TOPOLB = 0)

24.3.9　各モードの出力設定

表 24.5～表 24.8 に各モードでの AGTOn、AGTIOn、AGTOAn、および AGTOBn 端子の状態を示します。

表 24.5 AGTOn 端子の設定

動作モード	AGTIOC レジスタ		AGTOn 端子出力
	TOE ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 24.6 AGTIOn 端子の設定

動作モード	AGTIOC レジスタ	AGTIOn 端子入出力
	TEDGSEL ビット	
タイマモード	0 または 1	入力（使用しない）
パルス出力モード	1	通常出力
	0	反転出力
イベントカウントモード	0 または 1	入力
パルス幅測定モード		
パルス周期測定モード		

表 24.7 AGTOAn 端子の設定

動作モード	AGTCMSR レジスタ		AGTOAn 端子出力
	TOEA ビット	TOPOLA ビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 24.8 AGTOBn 端子の設定 (1/2)

動作モード	AGTCMSR レジスタ		AGTOBn 端子出力
	TOEB ビット	TOPOLB ビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）

表 24.8 AGTOBn 端子の設定 (2/2)

動作モード	AGTCMSR レジスタ		AGTOBn 端子出力
	TOEB ビット	TOPOLB ビット	
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

24.3.10 スタンバイモード

AGT はソフトウェアスタンバイモードで動作可能です。カウント動作開始 (TSTART = 1, TCSTF = 1) の状態で、ソフトウェアスタンバイモードに設定してください。

表 24.9 と表 24.10 にソフトウェアスタンバイモードで使用可能な設定を示します。

表 24.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b または 110b	AGTLCLK または AGTSCLK	–
パルス出力モード	100b または 110b	AGTLCLK または AGTSCLK	–
イベントカウンタモード(注2) (注3)	–	AGTIO0(注1)	–
パルス幅測定モード	100b または 110b	AGTLCLK または AGTSCLK	–
パルス周期測定モード	100b または 110b	AGTLCLK または AGTSCLK	–

注. –（無効）
注 1. ソフトウェアスタンバイモードで AGTIO0 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定してください。
注 2. AGTEE 端子はソフトウェアスタンバイモード時には使用できません。外部イベントは常に有効です。
注 3. 外部イベント入力がソフトウェアスタンバイモード中に禁止されている場合 (AGTIOSEL.TIES = 0)、MCU がソフトウェアスタンバイモードに遷移する前にカウント動作を停止します。
MCU がソフトウェアスタンバイモードから復帰した後に、カウント動作を再開します。

表 24.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • コンペアマッチ A/B
パルス出力モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • コンペアマッチ A/B
イベントカウンタモード(注3) (注4)	–	AGTIO1(注2)	• アンダーフロー • コンペアマッチ A/B
パルス幅測定モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • アクティブエッジ
パルス周期測定モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • アクティブエッジ

注. –（無効）
注. ソフトウェアスタンバイモードの解除ができるのは AGT1 のみです。
注. コンペアマッチ A/B はソフトウェアスタンバイモードからの CPU 復帰要因です。
注 1. AGT0 が表 24.9 の状態で動作している場合のみ。
注 2. ソフトウェアスタンバイモードで AGTIO1 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定してください。
注 3. AGTEE 端子はソフトウェアスタンバイモード時には使用できません。外部イベントは常に有効です。
注 4. 外部イベント入力がソフトウェアスタンバイモード中に禁止されている場合 (AGTIOSEL.TIES = 0)、MCU がソフトウェアスタンバイモードに遷移する前にカウント動作を停止します。
MCU がソフトウェアスタンバイモードから復帰した後に、カウント動作を再開します。

24.3.11 割り込み要因

AGTn には、表 24.11 に示すように、3 種類の割り込み要因があります。

表 24.11 AGT の割り込み要因

名称	割り込み要因	DMAC/DTC の起動
AGTn_AGTI	• カウンタがアンダーフローしたとき • パルス幅測定モードで外部入力端子 (AGTIOn) のアクティブ幅の測定が完了したとき • パルス周期測定モードで外部入力端子 (AGTIOn) の設定エッジが入力されたとき	可能
AGTn_AGTCMAI	• AGT レジスタと AGTCMA レジスタの値が一致したとき	可能
AGTn_AGTCMBI	• AGT レジスタと AGTCMB レジスタの値が一致したとき	可能

注. チャネル番号 (n = 0, 1)

24.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力

AGT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。AGT は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー／測定完了信号をイベント信号として出力します。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

24.4 使用上の注意事項

24.4.1 カウント動作の開始および停止制御

- 動作モード（表 24.1 を参照）がイベントカウントモードまたはカウントソースが AGTn アンダーフローイベント信号 (TCK[2:0] = 101b) 以外に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、カウントソースの 3 サイクル間、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、カウントソースの 3 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。

- 動作モード（表 24.1 を参照）がイベントカウントモードまたはカウントソースが AGT1 アンダーフローイベント信号 (TCK[2:0] = 101b) に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、PCLKB の 2 サイクル中は、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、PCLKB の 2 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。

24.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART ビットおよび TCSTF フラグがともに 1（カウント動作中）のときに、AGT レジスタへ連続してライトアクセスする場合には、カウントソースクロックの 3 サイクル以上待ってください。

24.4.3 モード変更時

AGT の動作モードに関連するレジスタ（AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR）は、TSTART ビットおよび TCSTF フラグがともに 0（カウント停止）になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF フラグの値は不定となります。カウントを開始する前に、以下のフラグに 0 を書き込んでください。

- TEDGF（アクティブエッジ未受信）
- TUNDF（アンダーフローなし）

- TCMAF（不一致）
- TCMBF（不一致）

24.4.4 出力端子の設定

AGTOn、AGTIOn、AGTOAn、または AGTOBn を出力端子として使用する場合、動作を設定し、初期出力値を決定してください。それから、PmnPFS.PMR ビットを 1 に設定してください。

パルス幅測定モードまたはパルス周期幅測定モードで AGTIOn 端子を入力端子として使用する場合には、動作を設定し、カウント動作を開始してください。それから、AGTIOn 端子から外部イベントの入力を開始してください。また、最初の測定は無効とし、2 回目以降の測定完了処理を有効としてください。

24.4.5 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0]ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル内はタイマ動作を開始しないでください。

24.4.6 イベント番号、パルス幅およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が以下の式で求められます。
  イベント番号＝カウンタ[AGT レジスタ]の初期値－アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が以下の式で求められます。
  パルス幅＝測定停止のカウンタ値－次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が以下の式で求められます。
  入力パルス周期＝（カウンタ[AGT レジスタ]の初期値－読み出しバッファの読み出し値）＋1

24.4.7 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル間、下記のレジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

24.4.8 カウントソースとして AGT0 のアンダーフローイベント信号を選択した場合

カウントソースにアンダーフローイベント信号を選択する場合、以下の手順に従って動作させてください。

(1) 動作開始手順

1. AGT を設定します。
2. AGT1 のカウント動作を開始します。
3. AGT0 のカウント動作を開始します。

(2) 動作停止手順

1. AGT0 のカウント動作を停止します。
2. AGT1 のカウント動作を停止します。
3. AGT1 のクロック供給を停止します（AGTMR1.TCK[2:0]ビットに 000b を書き込む）。

24.4.9 モジュールストップ機能

モジュールストップコントロールレジスタ D (MSTPCRD) により、AGT の動作を無効または有効にすることが可能です。リセット後の初期状態では、AGT モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

24.4.10 ソースクロックの切り替え時

SCKSCR.CKSEL[2:0]ビットを変更してクロックソースを切り替えるとき、セレクタからのクロック出力は切り替えたクロック 4 サイクル分停止します。そのため、AGTIOn、AGTEEn の一方または両方の入力を外部イベント入力として使う際は、クロックソースを切り替えないでください。外部イベント入力を使いながらクロックソースを切り替えるときは、入力パルス幅を切り替え後のクロックで 4 サイクル分延長してください。

25. 超低消費電力タイマ (ULPT)

25.1 概要

この超低消費電力タイマ (ULPT) は、パルスの出力や外部イベントのカウントが可能な 32 ビットタイマです。

この 32 ビットタイマはリロードレジスタ群と一つのダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、ULPTCNT レジスタでアクセス可能です。

ULPT の仕様を表 25.1 に示します。

表 25.1 ULPT の仕様

項目		説明
動作モード	タイマモード	内部クロックをカウント
	イベントカウンタモード	外部イベントをカウント
チャネル数		32 ビット × 2 チャネル (ULPTn (n = 0, 1))
カウントソース（動作クロック）(注1)		以下の信号が選択可能 ● 内部クロック：ULPTLCLK/d または ULPTSCLK/d (d = 1, 2, 4, 8, 16, 32, 64, 128) ● 外部イベント：ULPTEVIn 端子
カウント動作		以下の機能が選択可能 ● 連続モードとワンショットモードの選択 ● カウント許可モード、カウント開始モード、カウント再開モードからの選択。
割り込み／イベントリンク機能（出力）		● アンダーフロー信号 – カウンタがアンダーフローしたとき ● コンペアマッチ A 信号 – ULPTCNT 値が ULPTCMA に一致したとき コンペアマッチ A 機能が有効。 ● コンペアマッチ B 信号 – ULPTCNT 値が ULPTCMB に一致したとき コンペアマッチ B 機能が有効。
選択可能な機能		● パルス出力機能 – カウンタのアンダーフローが発生するたびに出力を反転 ● コンペアマッチ機能 – コンペアマッチ A レジスタとコンペアマッチ B レジスタのいずれかまたは両方が選択可能 ● ULPTn_ULPTI、ULPTn_ULPTCMAI、または ULPTn_ULPTCMBI (n = 0, 1) でソフトウェアスタンバイモードからの復帰を実行可能(注2) ● ULPTn_ULPTI (n = 0, 1) でディープソフトウェアスタンバイモード 1 からの復帰を実行可能(注2)
モジュールストップ機能		各チャネルに対してモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ		各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. 周辺モジュールクロック (PCLKB) の周波数がカウントソースクロックの周波数の 2 倍以上であることを確認してください。
注 2. 詳細は、「11. 低消費電力モード」を参照してください。

25.2 設定

図 25.1 に ULPT のブロック図を示します。表 25.2 に ULPT の入出力端子の一覧を示します。

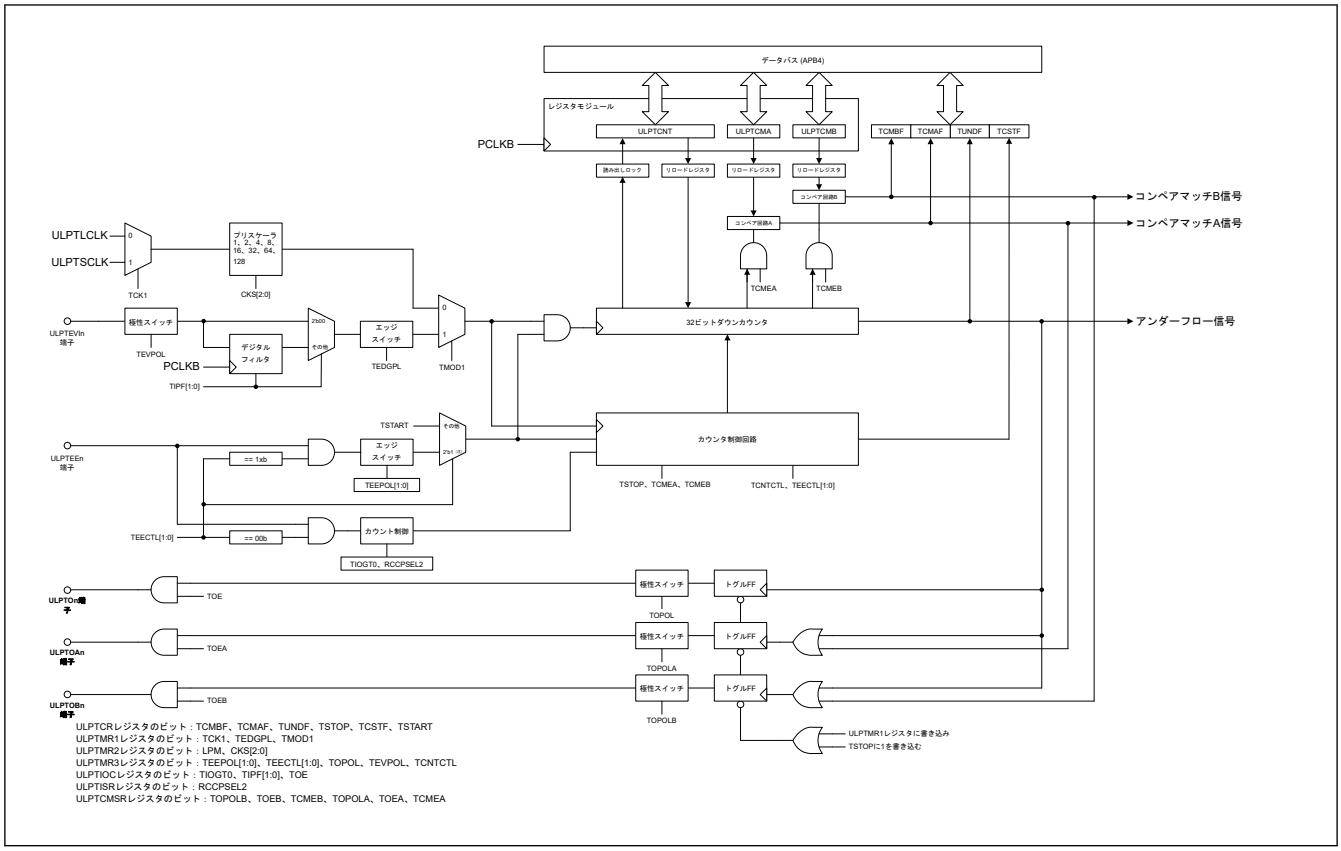


図 25.1　ULPT のブロック図

表 25.2　ULPT の入出力端子

端子名	入出力	機能
ULPTEEn(注2)	入力	外部カウント制御入力(注1)
ULPTEVIn(注2)	入力	外部イベント入力
ULPTOn(注2)	出力	パルス出力
ULPTOAn(注2)	出力	アウトプットコンペアマッチ A 出力
ULPTOBn(注2)	出力	アウトプットコンペアマッチ B 出力

注.　チャネル番号：n = 0、1
注 1.　ULPTEEn 端子の機能は、ULPTMR3.TEECTL[1:0]ビットで選択可能です。詳細は、「25.3.7. ULPTMR3 : ULPT モードレジスタ 3」を参照してください。
注 2.　ディープソフトウェアスタンバイモード 1 では、「-DS」と記されている端子のみ使用できます。

25.3　レジスタの説明

25.3.1　ULPTCNT : ULPT カウンタレジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	31	0
Bit field:	ULPTCNT	
Value after reset:	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	

ビット	シンボル	機能	R/W
31:0	ULPTCNT	32 ビットカウンタおよびリロードレジスタ(注1)(注2) 設定範囲：0x00000000～0xFFFFFFFF	R/W

注. S-TYPE-3、P-TYPE-3
注 1. ULPTCR.TSTOP ビットに 1 を書くと、カウンタは強制停止され、0xFFFFFFFF になります。リロードレジスタは 0xFFFFFFFF になります。
注 2. ULPTCNT レジスタに 0x00000000 を設定すると、カウント動作の開始直後に ICU、DTC、ELC への要求信号が 1 回だけ発生します (ULPTCR.TSTART ビットが 1 の場合)。ただし、ULPTOn 端子のパルス出力のトグルは継続します。
ULPTOn 端子からのパルス出力は ULPTIOC.TOE ビットで許可または禁止できます。
ULPTCNT レジスタ値が 0x00000001 以上になると、カウンタがアンダーフローするたびに要求信号が発生します。

ULPTCNT は 32 ビットのレジスタです。レジスタ値はリロードレジスタに書き込まれ、カウンタから読み出されます。

カウンタとリロードレジスタの状態は、ULPTCR レジスタの TSTART/TCSTF ビットと ULPTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は「25.4.2. カウンタとリロードレジスタの書き換え」を参照してください。

ULPTCNT レジスタは 32 ビットの読み出し／書き込みアクセスでのみ使用可能です。

25.3.2 ULPTCMA : ULPT コンペアマッチ A レジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	31																												0
Bit field:	ULPTCMA																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	ULPTCMA	32 ビットのコンペアマッチ A データ(注1)(注2) 設定範囲: 0x00000000～0xFFFFFFFF	R/W

注. S-TYPE-3、P-TYPE-3
注 1. ULPTCR.TSTOP ビットに 1 を書くと、ULPTCMA レジスタに 0xFFFFFFFF が設定されます。
注 2. コンペアマッチ A を使用しない場合（ULPTCMSR.TCMEA ビット = 0)、ULPTCMA レジスタは 0xFFFFFFFF にしてください。

ULPTCMA レジスタは、カウンタとのコンペアマッチ値を設定するための、読み出し／書き込み可能なレジスタです。

コンペア回路 A とリロードレジスタの状態は、ULPTCR レジスタの TSTART ビットと TCSTF ビットに応じて変化します。詳細は「25.4.3. コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換え」を参照してください。

ULPTCMA レジスタは 32 ビットの読み出し／書き込みアクセスでのみ使用可能です。

25.3.3 ULPTCMB : ULPT コンペアマッチ B レジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	31																												0
Bit field:	ULPTCMB																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	ULPTCMB	32 ビットのコンペアマッチ B データ(注1)(注2) 設定範囲: 0x00000000～0xFFFFFFFF	R/W

注. S-TYPE-3、P-TYPE-3
注 1. ULPTCR.TSTOP ビットに 1 を書くと、ULPTCMB レジスタに 0xFFFFFFFF が設定されます。
注 2. コンペアマッチ B を使用しない場合（ULPTCMSR.TCMEB ビット = 0）、ULPTCMB レジスタは 0xFFFFFFFF にしてください。

ULPTCMB レジスタは、カウンタとのコンペアマッチ値を設定するための、読み出し／書き込み可能なレジスタです。

コンペア回路 B とリロードレジスタの状態は、ULPTCR レジスタの TSTART ビットと TCSTF ビットに応じて変化します。詳細は「25.4.3. コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換え」を参照してください。

ULPTCMB レジスタは 32 ビットの読み出し／書き込みアクセスでのみ使用可能です。

25.3.4 ULPTCR : ULPT コントロールレジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCMBF	TCMAF	TUNDF	—	—	TSTOP	TCSTF	TSTART
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTART	カウンタ開始 0: カウンタ停止 1: カウンタを開始	R/W
1	TCSTF	カウンタ状態フラグ(注2) 0: カウンタ停止中 1: カウンタ動作中	R
2	TSTOP	カウンタ強制停止(注1) 0: 書き込みは無効 1: カウンタを強制停止	W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TUNDF	アンダーフローフラグ 0: アンダーフロー発生なし（カウンタ ≠ 0x00000000） 1: アンダーフロー発生あり（カウンタ = 0x00000000）	R/W(注3)
6	TCMAF	コンペアマッチ A フラグ 0: 不一致（カウンタ ≠ ULPTCMA[31:0]） 1: 一致（カウンタ = ULPTCMA[31:0]）	R/W(注3)
7	TCMBF	コンペアマッチ B フラグ 0: 不一致（カウンタ ≠ ULPTCMB[31:0]） 1: 一致（カウンタ = ULPTCMB[31:0]）	R/W(注3)

注. S-TYPE-3、P-TYPE-3
注 1. TSTOP ビットに 1（カウンタ強制停止）を書くと、TSTOP ビット、TSTART ビット、および TCSTF ビットが初期化されます。パルス出力、コンペアマッチ A 出力、およびコンペアマッチ B 出力も初期化されます。このビットを読むと 0 が読めます。
注 2. TCSTF ビットを使用する際の注意事項については、「25.5.1. カウンタ制御の開始と停止」を参照してください。
注 3. フラグをクリアするための 0 の書き込みのみ可能です。

ULPTCR レジスタはカウンタの開始と停止を制御し、ULPT の状態を表示します。

ULPTCR レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

TSTART ビットまたは TSTOP ビットの変更時は、誤って TUNDF、TCMAF、TCMBF ビットをクリアしないように、TUNDF、TCMAF、および TCMBF ビットを 1 にしてください。このとき、TUNDF、TCMAF、および TCMBF ビットを 1 にしても無視されます。

TSTART ビット（カウンタ開始）

いつどのようにカウンタを開始するかは ULPTMR3.TEECTL[1:0]ビットの設定で決まります。

カウンタの停止方法はどのモードでも同じです。

詳細は「25.4.1. カウント動作」を参照してください。

[カウンタの開始]

カウント許可モード（ULPTMR3.TEECTL[1:0]ビット = 00）の場合

- TSTART ビットに 1 を書いたとき

カウント開始モードまたはカウント再開モード（ULPTMR3.TEECTL[1:0]ビット = 10 または 11）の場合

- TSTART ビットに 1 を書いてから、ULPTEEn 端子でエッジが入力されたとき

[カウンタの停止]

- TSTART ビットに 0 を書いたとき
- TSTOP ビットに 1 を書いたとき

TCSTF ビット（カウンタ状態フラグ）

このビットの動作は ULPTMR3 レジスタの TCNTCTL ビットと TEECTL[1:0]ビットの設定に依存します。

詳細は「25.4.1. カウント動作」を参照してください。

[1 になる条件]

タイマモード (ULPTMR1.TMOD1 = 0) およびカウント許可モード（ULPTMR3.TEECTL[1:0]ビット = 00）の場合

- TSTART ビットに 1 を書いたとき（TCSTF ビットはカウントソースと同期して 1）

イベントカウンタモード (ULPTMR1.TMOD1 = 1) およびカウント許可モード（ULPTMR3.TEECTL[1:0]ビット = 00）の場合

- TSTART ビットに 1 を書いたとき（TCSTF ビットはカウントソースと同期して 1）

カウント開始モードまたはカウント再開モード（ULPTMR3.TEECTL[1:0]ビット = 10 または 11）の場合

- TSTART ビットに 1 を書いてから、ULPTEEn 端子でエッジが入力されたとき（TCSTF ビットはカウントソースと同期して 1）

[0 になる条件]

- TSTART ビットに 0 を書いたとき（TCSTF ビットはカウントソースと同期して 0）
- TSTOP ビットに 1 を書いたとき
- ワンショットモード（ULPTMR3.TCNTCTL = 1）でカウンタがアンダーフローしたとき
  この条件下でのみ、TSTART ビットは 1 から変わりません。

TSTOP ビット（カウンタ強制停止）

このビットに 1 を書くと、強制的にカウンタが停止します。このビットを読むと 0 が読めます。

TUNDF ビット（アンダーフローフラグ）

[1 になる条件]

- カウンタがアンダーフローしたとき（カウンタ = 0x00000000）

[0 になる条件]

- 0 を書いたとき

TCMAF ビット（コンペアマッチ A フラグ）

[1 になる条件]

- ULPTCNT レジスタ値が ULPTCMA レジスタ値に一致するとき（カウンタ = ULPTCMA[31:0]）

[0 になる条件]

- 0 を書いたとき

TCMBF ビット（コンペアマッチ B フラグ）

[1 になる条件]

- ULPTCNT レジスタ値が ULPTCMB レジスタ値に一致するとき（カウンタ = ULPTCMB[31:0]）

[0 になる条件]

- 0 を書いたとき

25.3.5 ULPTMR1 : ULPT モードレジスタ 1

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	TCK1	—	TEDGPL	—	TMOD1	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	TMOD1	動作モード(注1) 0: タイマモード 1: イベントカウンタモード	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	TEDGPL	ULPTEVIn エッジ極性 0: 片方のエッジ（立ち上がり） 1: 両エッジ このビットはイベントカウンタモード (TMOD1 = 1) でのみ有効です。	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TCK1	カウントソース(注2) 0: ULPTMR2.CKS[2:0]ビットで指定した分周クロック (ULPTLCLK) 1: ULPTMR2.CKS[2:0]ビットで指定した分周クロック (ULPTSCLK) このビットはタイマモード (TMOD1 = 0) でのみ有効です。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注. このレジスタへの書き込みアクセスで、ULPTOn 端子、ULPTOAn 端子、および ULPTOBn 端子からの出力が初期化されます。初期化時の出力レベルの詳細は、「25.3.7. ULPTMR3 : ULPT モードレジスタ 3」と「25.3.8. ULPTIOC : ULPT I/O コントロールレジスタ」を参照してください。
注 1. タイマモード : 内部クロック（ULPTLCLK または ULPTSCLK）をカウントソースとして使用します。カウントソースの立ち上がりエッジごとにカウンタが 1 ずつデクリメントします。
イベントカウンタモード : 外部イベント入力（ULPTEVIn 端子）をカウントソースとして使用します。カウントソースのエッジごとにカウンタがデクリメントします。エッジ極性は TEDGPL ビットと ULPTMR3.TEVPOL ビットで選択できます。
詳細は「25.4.1. カウント動作」を参照してください。
注 2. TCK1 ビットは、ULPTMR2.CKS[2:0]ビットが 000 の場合のみ変更可能です。それ以外の場合は、このビットを変更しないでください。ULPTMR2.CKS[2:0]ビットを 000 にしてから、カウントソースの 1 サイクル後に TCK1 ビットを変更してください。

ULPTMR1 レジスタは ULPT の動作モードを設定します。

ULPTMR1 レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

25.3.6 ULPTMR2 : ULPT モードレジスタ 2

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPM	—	—	—	—	CKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKS[2:0]	ULPTLCLK/ULPTSCLK カウントソースのクロック分周比(注1)(注2) 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/8 1 0 0: 1/16 1 0 1: 1/32 1 1 0: 1/64 1 1 1: 1/128 このビットはタイマモード (ULPTMR1.TMOD1 = 0) でのみ有効です。	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LPM	低消費電力モード 0: 通常モード 1: 低消費電力モード	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注 1. CKS[2:0]ビットはタイマモード (ULPTMR1.TMOD1 = 0) でのみ変更可能です。
イベントカウンタモード (ULPTMR1.TMOD1 = 1) では CKS[2:0]ビットを 000 にしてください。
注 2. ULPTMR1.TCK1 ビットは、CKS[2:0]ビットが 000 の場合のみ変更可能です。CKS[2:0]ビットを 000 にしてから、カウントソースの 1 サイクル後に ULPTMR1.TCK1 ビットを変更してください。

ULPTMR2 レジスタは、ULPT の動作モードを設定します。

ULPTMR2 レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

LPM ビット（低消費電力モード）

このビットは、レジスタアクセスを制限することにより低消費電力を実現します。このビットを 1 にすると、低消費電力モードで動作します。

このビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- ULPTCNT、ULPTCMA、ULPTCMB、および ULPTCR

このビットを 1 から 0 に切り替えた後は、アクセス禁止レジスタへの最初のアクセスが以下のように制限されます。

- ULPTCNT：レジスタを 2 回読み出す必要があります。2 回目の読み出しデータのみが有効です。
- ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR：書き込みアクセスでは、カウントソースの 2 サイクル空けてください。

25.3.7 ULPTMR3 : ULPT モードレジスタ 3

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TEEPOL[1:0]		TEECTL[1:0]		—	TOPOL	TEVPOL	TCNTCTL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCNTCTL	カウント機能選択(注1)(注2) 0: 連続モード 1: ワンショットモード	R/W
1	TEVPOL	ULPTEVIn 極性切り替え 0: 外部イベント入力（ULPTEVIn 端子） 1: 外部イベント入力（ULPTEVIn 端子）反転 このビットはイベントカウンタモード (ULPTMR1.TMOD1 = 1) でのみ有効です。	R/W
2	TOPOL	ULPTOn 極性選択(注3) 0: Low レベルのときに ULPTOn 出力を開始 1: High レベルのときに ULPTOn 出力を開始	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TEECTL[1:0]	ULPTEEn 機能選択(注1) 0 0: カウント許可モード 1 0: カウント開始モード 1 1: カウント再開モード 上記以外の設定は禁止されています。 カウント許可モードはイベントカウンタモード (ULPTMR1.TMOD1 = 1) でのみ有効です。	R/W
7:6	TEEPOL[1:0]	ULPTEEn エッジ極性選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 両エッジ 上記以外の設定は禁止されています。 このビットはカウント開始モードまたはカウント再開モードでのみ有効です。（TEECTL[1:0] = 10 または 11）	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注 1. 詳細は「25.4.1. カウント動作」を参照してください。
注 2. 連続モード：カウント開始後、カウンタはカウンタが停止するまでダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。
ワンショットモード：カウント開始後、カウンタは 1 回だけダウンカウント（アンダーフロー時に値をリロード）を実行します。
注 3. ULPTMR1 レジスタにデータを設定するか、あるいは ULPTCR.TSTOP ビットを 1 にすると、ULPTOn 出力が初期化されます。

ULPTMR3 レジスタは、ULPT の動作モードを設定します。

ULPTMR3 レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

TEECTL[1:0]ビット（ULPTEEn 機能選択）

ULPTEEn 端子の機能はモードにより異なります。詳細は「25.4.1. カウント動作」を参照してください。

カウント許可モードでは、外部イベントは ULPTEEn 端子が有効な間にカウントされます。この期間は ULPTIOC.TIOGT0 ビットで選択でき、極性は ULPTISR.RCCPSEL2 ビットで選択できます。

カウント開始モードでは、カウンタは ULPTEEn 端子のエッジトリガでカウントを開始します。ULPTEEn 端子の動作は ULPTCR レジスタの TSTART ビットと TCSTF ビットにより異なります。

カウント再開モードでは、カウンタは ULPTEEn 端子の最初のエッジトリガでカウントを開始し、2 番目以降のエッジトリガでカウントをリセットします。ULPTEEn 端子の動作は ULPTCR レジスタの TSTART ビットと TCSTF ビットにより異なります。

カウント開始モードまたはカウント再開モードでの ULPTEEn 端子の動作を表 25.3 に示します。

表 25.3　カウント開始モードまたはカウント再開モードでの ULPTEEn 端子の動作

TEECTL[1:0]	ULPTCR.TSTART	ULPTCR.TCSTF	ULPTEEn 端子の機能とカウンタ動作
10（カウント開始モード）	0（カウンタを停止）	—	ULPTEEn 端子でのエッジ入力は無効。カウンタは停止したままです。
	1（カウンタを開始）	0（カウンタ停止中）	カウンタは、ULPTEEn 端子のエッジ入力のリロード値からカウント開始します。
	1（カウンタを開始）	1（カウンタ動作中）	ULPTEEn 端子でのエッジ入力は無効。カウンタはカウントを継続します。
11（カウント再開モード）	0（カウンタを停止）	—	ULPTEEn 端子でのエッジ入力は無効。カウンタは停止したままです。
	1（カウンタを開始）	0（カウンタ停止中）	カウンタは、ULPTEEn 端子のエッジ入力のリロード値からカウント開始します。
	1（カウンタを開始）	1（カウンタ動作中）	カウンタは ULPTEEn 端子のエッジ入力でリセットされ、リロード値からカウントを再開します。

注.　ULPTEEn 端子のエッジ極性は、TEEPOL[1:0]ビットで選択可能です。

25.3.8　ULPTIOC : ULPT I/O コントロールレジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TIOGT 0	TIPF[1:0]		—	TOE	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	TOE	ULPTOn 出力許可 0: ULPTOn 出力を禁止 1: ULPTOn 出力を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TIPF[1:0]	ULPTEVIn 入力フィルタ(注2) 0 0: フィルタなし 0 1: PCLKB でのフィルタサンプリング 1 0: PCLKB/8 でのフィルタサンプリング 1 1: PCLKB/32 でのフィルタサンプリング このビットはイベントカウンタモード (ULPTMR1.TMOD1 = 1) でのみ有効です。	R/W
6	TIOGT0	ULPTEVIn カウント制御 I(注1) 0: 常に外部イベントをカウント 1: ULPTEVIn 端子が有効な間に外部イベントをカウント このビットはイベントカウンタモード (ULPTMR1.TMOD1 = 1) およびカウント許可モード (ULPTMR3.TEECTL[1:0] = 00) でのみ有効です。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3、P-TYPE-3
注.　カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注 1.　外部イベントカウント用の極性は、ULPTISR.RCCPSEL2 ビットで選択できます。
注 2.　ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 へ遷移する前に、TIPF[1:0]ビットを 00 にしてください。

ULPTIOC レジスタは、ULPT の入出力を制御します。

ULPTIOC レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

TIPF[1:0]ビット（ULPTEVIn 入力フィルタ）

本ビットは、ULPTEVIn 入力フィルタのサンプリング周波数を指定するのに使用されます。ULPTEVIn 端子への入力がサンプリングされます。値が 3 回連続で一致すると、その値は入力値とみなされます。

25.3.9 ULPTISR : ULPT イベント端子選択レジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	RCCPSEL2	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	RCCPSEL2	ULPTEEn 極性選択 0: Low のときに外部イベントをカウント 1: High のときに外部イベントをカウント このビットはイベントカウンタモード (ULPTMR1.TMOD1 = 1)、カウント許可モード (ULPTMR3.TEECTL[1:0] = 00)、および ULPTIOC.TIOGT0 = 1 の場合のみ有効です。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。

ULPTISR レジスタは、ULPTEEn 端子の極性を設定します。

ULPTISR レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

25.3.10 ULPTCMSR : ULPT コンペアマッチ機能選択レジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TOPOLB	TOEB	TCMEB	—	TOPOLA	TOEA	TCMEA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCMEA	コンペアマッチ A レジスタ有効(注1) 0: コンペアマッチ A レジスタは無効 1: コンペアマッチ A レジスタは有効	R/W
1	TOEA	ULPTOAn 出力許可 0: ULPTOAn 出力を禁止 1: ULPTOAn 出力を許可	R/W
2	TOPOLA	ULPTOAn 極性選択(注2) 0: Low のときに ULPTOAn 出力を開始 1: High のときに ULPTOAn 出力を開始	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TCMEB	コンペアマッチ B レジスタ有効(注1) 0: コンペアマッチ B レジスタは無効 1: コンペアマッチ B レジスタは有効	R/W

ビット	シンボル	機能	R/W
5	TOEB	ULPTOBn 出力許可 0: ULPTOBn 出力を禁止 1: ULPTOBn 出力を許可	R/W
6	TOPOLB	ULPTOBn 極性選択(注2) 0: Low のときに ULPTOBn 出力を開始 1: High のときに ULPTOBn 出力を開始	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注 1. ULPTCR.TSTOP ビットを 1（カウンタ強制停止）にすると、TCMEA ビットと TCMEB ビットが 0 になります。
注 2. ULPTMR1 レジスタにデータを設定するか、あるいは ULPTCR.TSTOP ビットを 1 にすると、ULPTOAn および ULPTOBn 出力が初期化されます。

ULPTCMSR レジスタは、コンペアマッチ A とコンペアマッチ B の割り込み要求信号と入出力を制御します。

ULPTCMSR レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

25.4 動作

25.4.1 カウント動作

カウントソースのエッジごとにカウンタが 1 ずつデクリメントします。カウント値が 0x00000000 に達して、カウントソースの次のエッジが入力されると、アンダーフローの割り込み要求が発生します。カウント動作は ULPTMR1 レジスタと ULPTMR3 レジスタで設定します。表 25.4 にカウント動作の一覧を示します。

表 25.4 カウント動作

項番号	カウント動作			カウントソース	ULPTMR1 レジスタ		ULPTMR3 レジスタ	
	モード 1	モード 2	モード 3		TMOD1	TCK1	TCNTCTL	TEECTL[1:0]
「25.4.1.1. タイマ連続モード」	タイマ	連続	—	ULPTLCLK/ ULPTSCLK	0	0: ULPTLCLK 1: ULPTSCLK	0	00
「25.4.1.5. 共通連続カウント開始モード」			カウント開始					10
「25.4.1.6. 共通連続カウント再開モード」			カウント再開					11
「25.4.1.2. タイマワンショットモード」		ワンショット	—				1	00
「25.4.1.7. 共通ワンショットカウント開始モード」			カウント開始					10
「25.4.1.8. 共通ワンショットカウント再開モード」			カウント再開					11
「25.4.1.3. イベントカウンタ連続カウント許可モード」	イベントカウンタ	連続	カウント許可	ULPTEVIn 端子	1	Don't care	0	00
「25.4.1.5. 共通連続カウント開始モード」			カウント開始					10
「25.4.1.6. 共通連続カウント再開モード」			カウント再開					11
「25.4.1.4. イベントカウンタワンショットカウント許可モード」		ワンショット	カウント許可				1	00
「25.4.1.7. 共通ワンショットカウント開始モード」			カウント開始					10
「25.4.1.8. 共通ワンショットカウント再開モード」			カウント再開					11

注. レジスタ設定の詳細については、「25.3.5. ULPTMR1 : ULPT モードレジスタ 1」と「25.3.7. ULPTMR3 : ULPT モードレジスタ 3」を参照してください。

[モード 1]

カウントソースとして使用するクロックは ULPTMR1 レジスタの TMOD1 ビットと TCK1 ビットで選択します。

タイマモード：内部クロック（ULPTLCLK または ULPTSCLK）をカウントソースとして使用します。

カウントソースの立ち上がりエッジごとにカウンタがデクリメントします。

イベントカウンタモード：外部イベント入力（ULPTEVIn 端子）をカウントソースとして使用します。

カウントソースのエッジごとにカウンタがデクリメントします。

エッジ極性は ULPTMR1.TEDGPL ビットと ULPTMR3.TEVPOL ビットで選択できます。

[モード 2]

カウンタ動作は ULPTMR3 レジスタの TCNTCTL ビットで選択します。

連続モード：カウント開始後、カウンタはカウンタが停止するまでダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。

ワンショットモード：カウント開始後、カウンタは 1 回だけダウンカウント（アンダーフロー時に値をリロード）を実行します。

[モード 3]

ULPTEEn 端子の機能は ULPTMR3 レジスタの TEECTL[1:0]ビットで選択します。

カウント許可モード：外部イベントは ULPTEEn 端子が有効な間にカウントされます。

（このビットはイベントカウンタモードでのみ有効です。）

注. ULPTEEn 端子はカウントソースと同期しているので、外部イベントはカウントソースの 3 サイクル後にカウントされます。

カウント開始モード：カウンタは ULPTEEn 端子のエッジトリガでカウントを開始します。

ULPTEEn 端子のエッジ極性は、ULPTMR3.TEEPOL[1:0]ビットで選択可能です。

注. ULPTEEn 端子はカウントソースと同期して固定されているので、外部イベントはカウントソースの 4 サイクル後にカウントされます。

カウント再開モード：カウンタは ULPTEEn 端子の最初のエッジトリガでカウントを開始します。

カウンタはエッジトリガの 2 番目以降のエッジトリガでカウントをリセットします。

ULPTEEn 端子のエッジ極性は、ULPTMR3.TEEPOL[1:0]ビットで選択可能です。

注. ULPTEEn 端子はカウントソースと同期して固定されているので、外部イベントはカウントソースの 4 サイクル後にカウントされます。

25.4.1.1 タイマ連続モード

このモードはタイマモードでのみ動作します。

カウンタはカウントソースと同期して、ダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。

ULPTCR.TSTART ビットを 1 にすると、カウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタはリロード値から再度ダウンカウントします。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 25.2 に、タイマ連続モードでの動作例を示します。

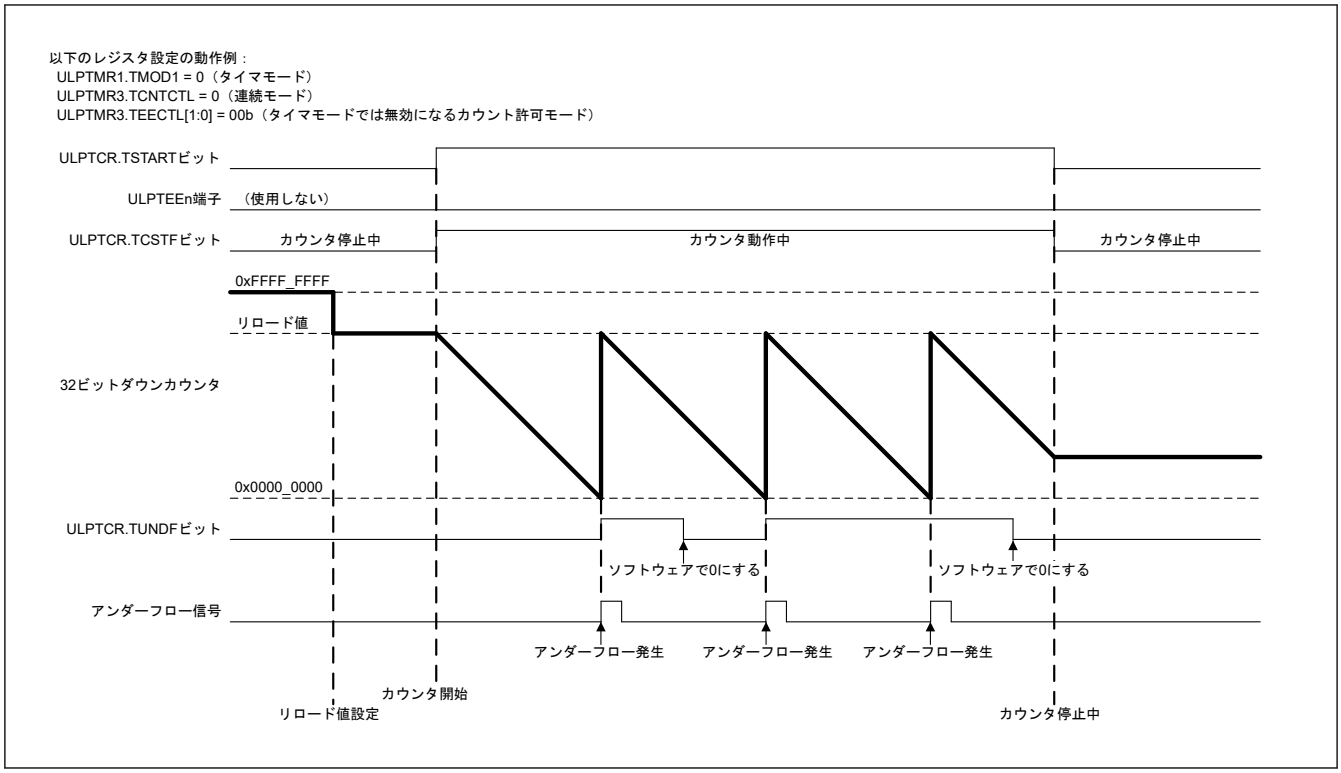


図 25.2　タイマ連続モードでの動作例

25.4.1.2　タイマワンショットモード

このモードはタイマモードでのみ動作します。

カウンタはカウントソースと同期して 1 回ダウンカウント（アンダーフロー時に値をリロード）を実行します。

ULPTCR.TSTART ビットを 1 にすると、カウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタは停止します（ULPTCR.TSTART ビットは 1、かつ ULPTCR.TCSTF ビットは 0）。

カウンタ停止後にカウンタを再開する場合は、以下の手順で行います。

1. ULPTCR.TUNDF ビットを読み出して、1（アンダーフロー発生）であることを確認します。
   これは、ダウンカウントが完了していることを確認するためです。
2. ULPTCR.TSTART ビットに 0 を書き、カウンタを停止します。
3. ULPTCR.TSTART ビットに 1 を書き、カウンタを開始します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットが 0 の場合）。

図 25.3 に、タイマワンショットモードでの動作例を示します。

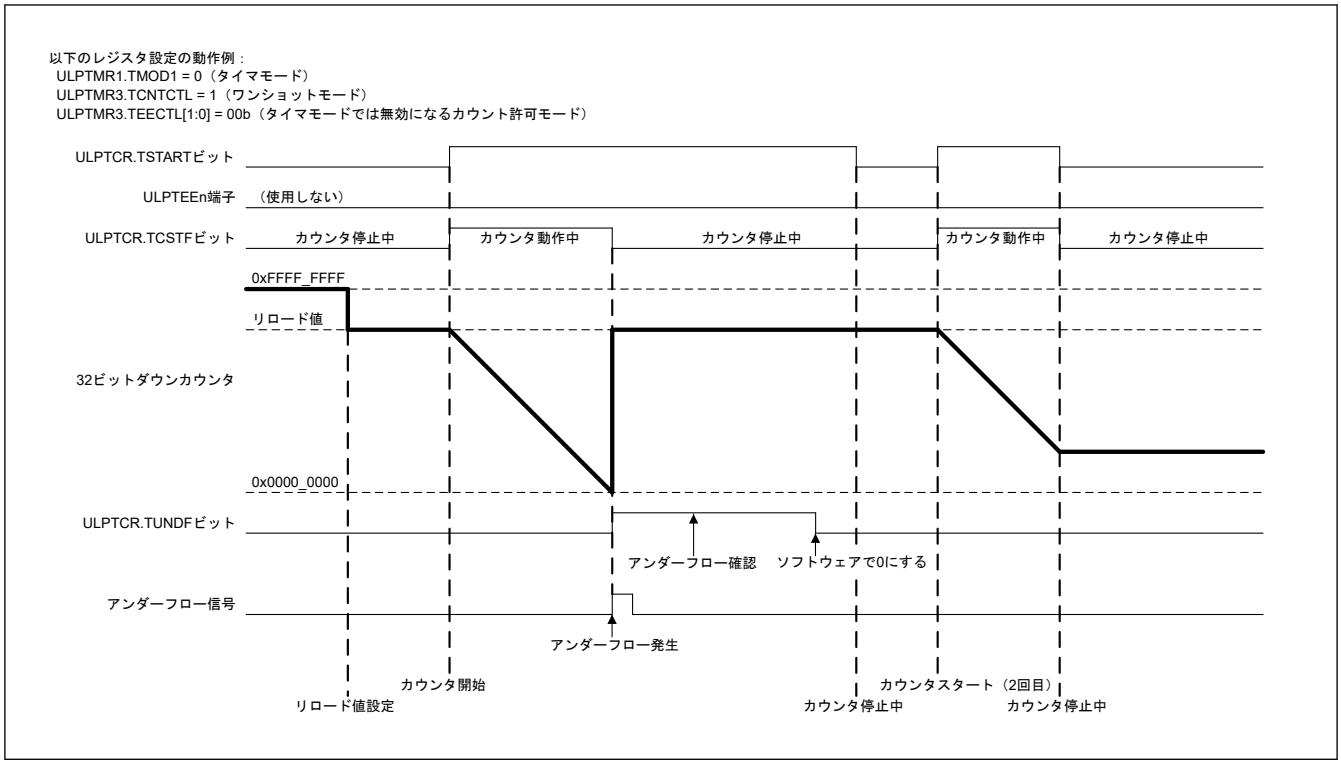


図 25.3　タイマワンショットモードでの動作例

25.4.1.3　イベントカウンタ連続カウント許可モード

このモードはイベントカウンタモードでのみ動作します。

カウンタはカウントソースと同期して、ダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。カウントソースをカウントする期間は ULPTIOC.TIOGT0 ビットと ULPTISR.RCCPSEL2 ビットで指定できます。

ULPTCR.TSTART ビットを 1 にすると、カウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタはリロード値から再度ダウンカウントします。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 25.4 に、ULPTIOC.TIOGT0 = 0 のときの動作例を示します。図 25.5 および図 25.6 に、ULPTIOC.TIOGT0 = 1 のときの動作例を示します。

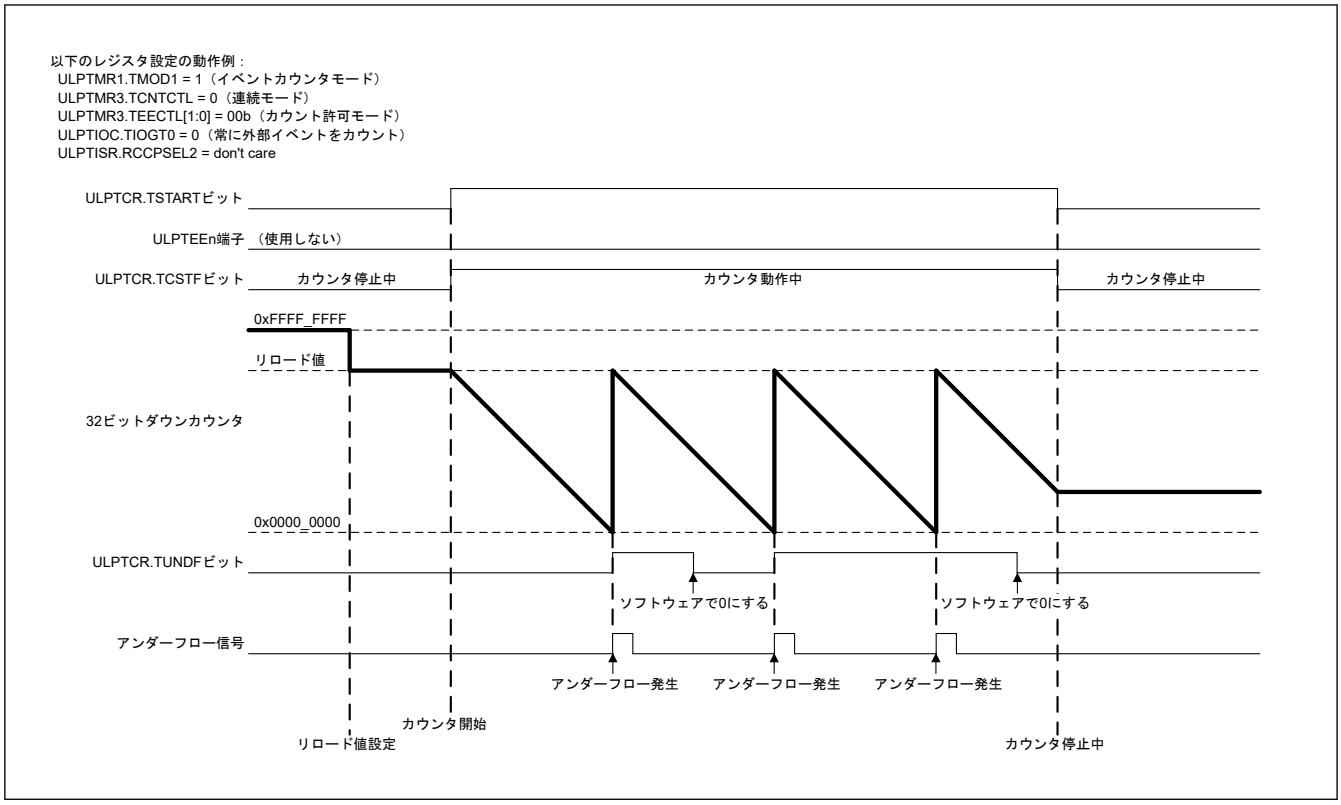


図 25.4　イベントカウンタ連続カウント許可モードの動作例（ULPTIOC.TIOGT0 ビットが 0 の場合）

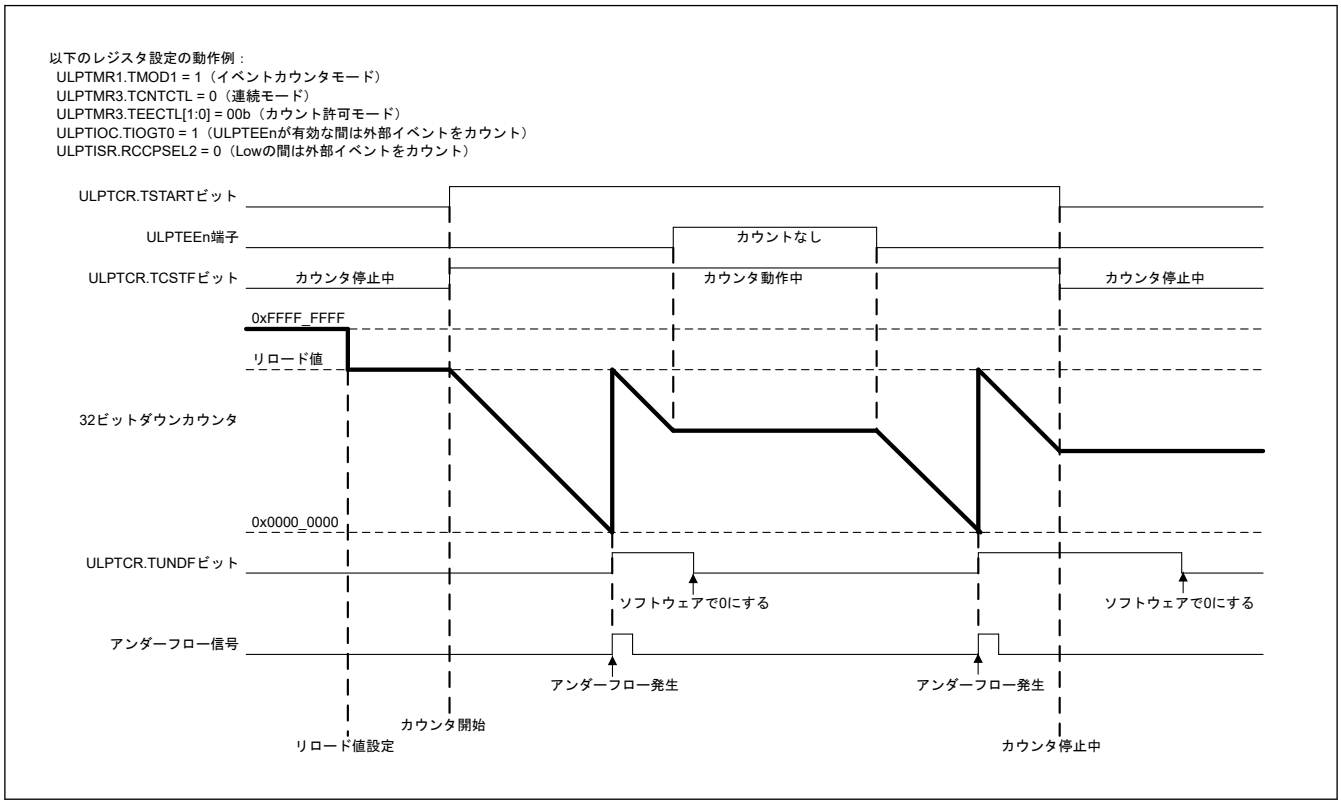
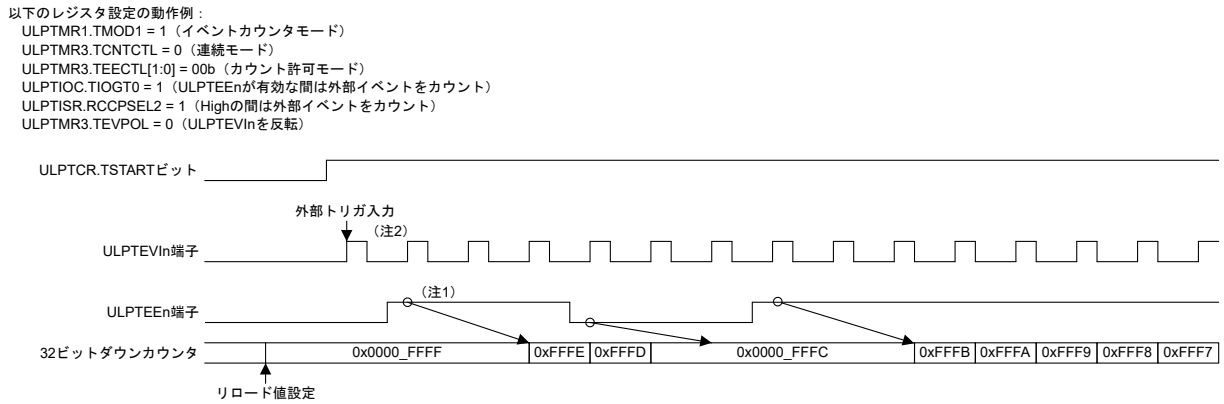


図 25.5　イベントカウンタ連続カウント許可モードの動作例 1（ULPTIOC.TIOGT0 ビットが 1 の場合）



注 1. 同期を制御している場合、外部イベントをカウントするまでにカウントソースで 2 サイクル分の遅延があります。また、ULPTEEn 端子とサンプリングクロックの位相差によって、カウント開始のタイミングが 1 サイクル分ずれることがあります。

注 2. カウンタ停止前の状態によっては、カウンタ開始直後のカウントソースの 2 サイクル中にカウントが実行される場合があります。
カウンタ開始直後のカウントソースの 2 サイクル中のカウント動作を禁止するには、ULPTCR.TSTOP ビットを 1 にして内部回路を初期化してから、カウンタ開始前に動作設定を完了してください。

図 25.6 イベントカウンタ連続カウント許可モードの動作例 2（ULPTIOC.TIOGT0 ビットが 1 の場合）

25.4.1.4 イベントカウンタワンショットカウント許可モード

このモードはイベントカウンタモードでのみ動作します。

カウンタはカウントソースと同期して 1 回ダウンカウント（アンダーフロー時に値をリロード）を実行します。カウントソースをカウントする期間は ULPTIOC.TIOGT0 ビットと ULPTISR.RCCPSEL2 ビットで指定できます。

ULPTCR.TSTART ビットを 1 にすると、カウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタは停止します（ULPTCR.TSTART ビットは 1、かつ ULPTCR.TCSTF ビットは 0）。

カウンタ停止後にカウンタを再開する場合は、以下の手順で行います。

1. ULPTCR.TUNDF ビットを読み出して、1（アンダーフロー発生）であることを確認します。
   これは、ダウンカウントが完了していることを確認するためです。
2. ULPTCR.TSTART ビットに 0 を書き、カウンタを停止します。
3. ULPTCR.TSTART ビットに 1 を書き、カウンタを開始します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットが 0 の場合）。

ULPTIOC.TIOGT0 ビットが 00 のときの動作例を図 25.7 に、ULPTIOC.TIOGT0 ビットが 01 のときの動作例を図 25.8 に示します。

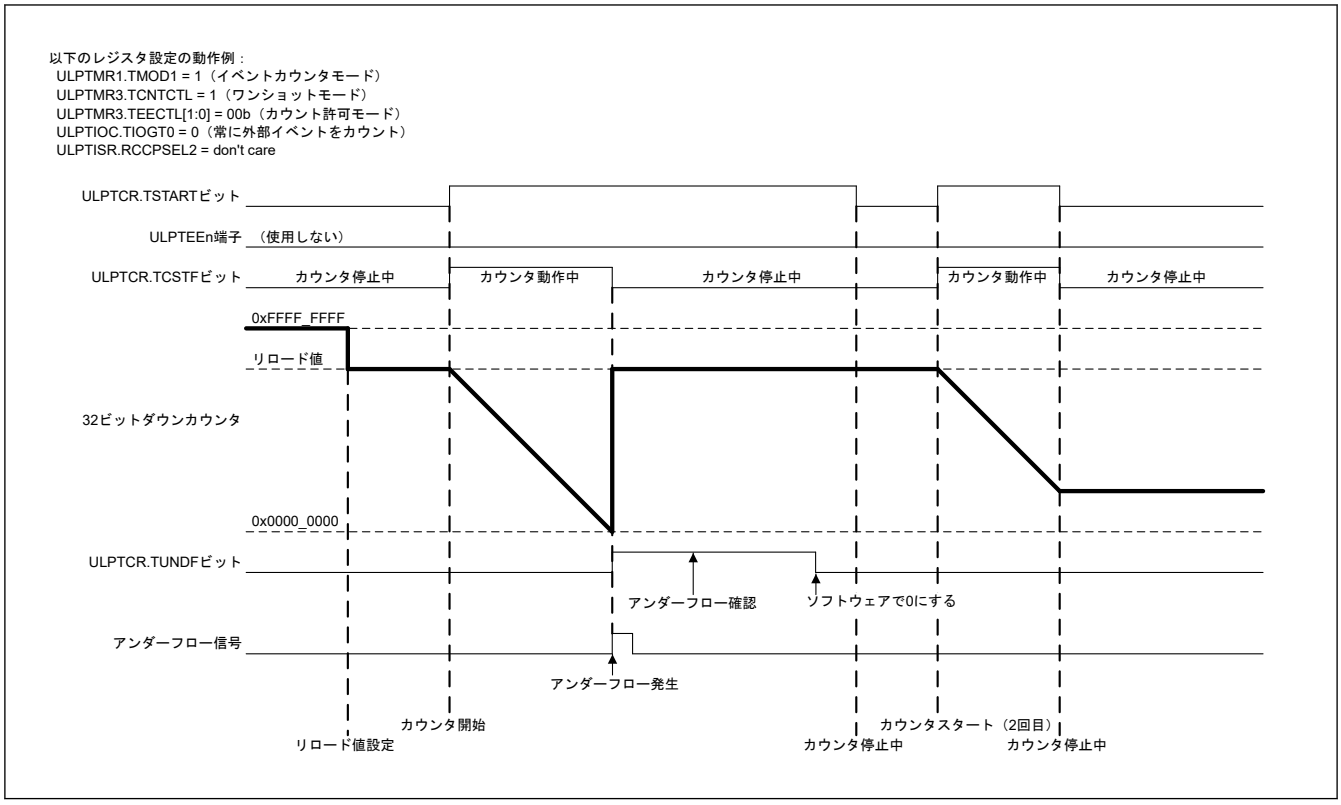


図 25.7　イベントカウンタワンショットカウント許可モードの動作例（ULPTIOC.TIOGT0 ビットが 0 の場合）

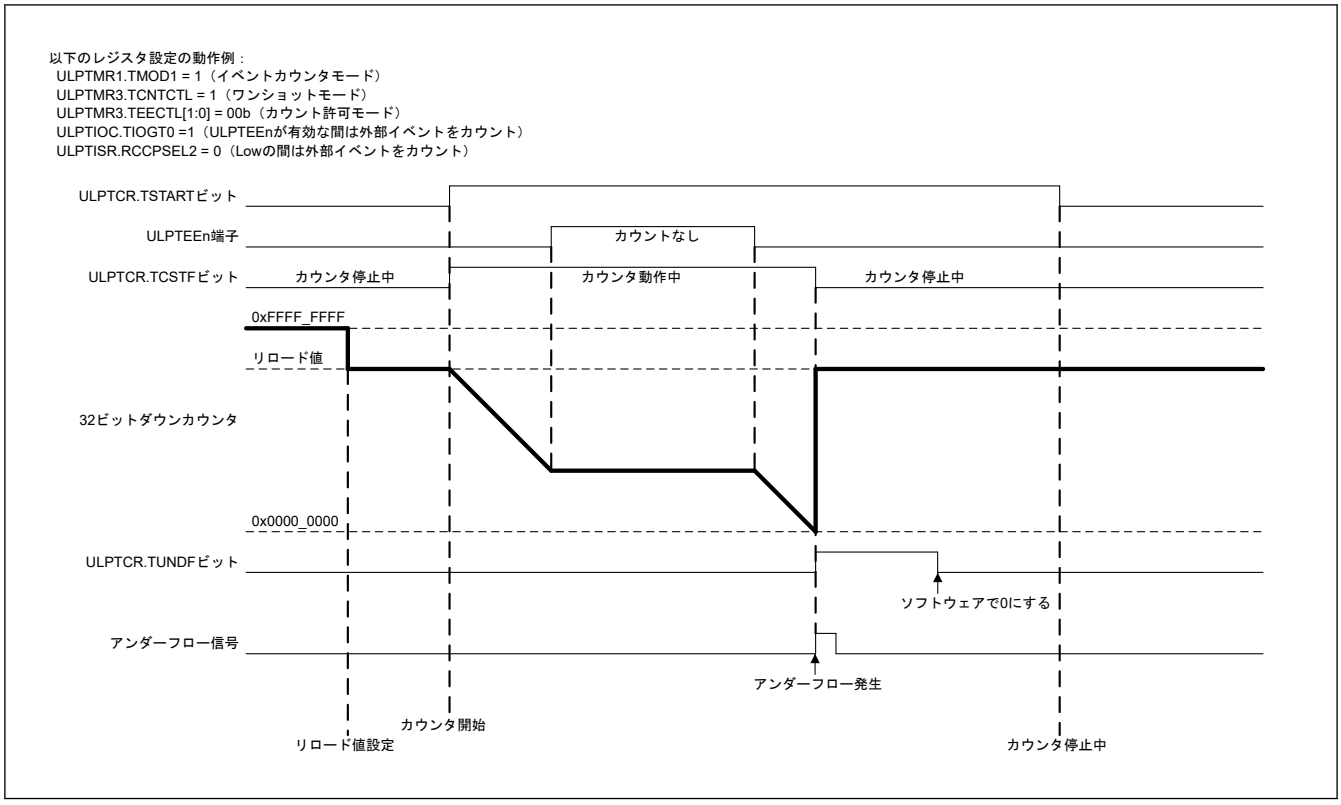


図 25.8　イベントカウンタワンショットカウント許可モードの動作例（ULPTIOC.TIOGT0 ビットが 1 の場合）

25.4.1.5　共通連続カウント開始モード

このモードはタイマモードとイベントカウンタモードの両方で動作します。

カウンタはカウントソースと同期して、ダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。

ULPTCR.TSTART ビットを 1 にした後、ULPTEEn 端子のエッジトリガでカウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタはリロード値から再度ダウンカウントします。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 25.9 に、共通連続カウント開始モードでの動作例を示します。

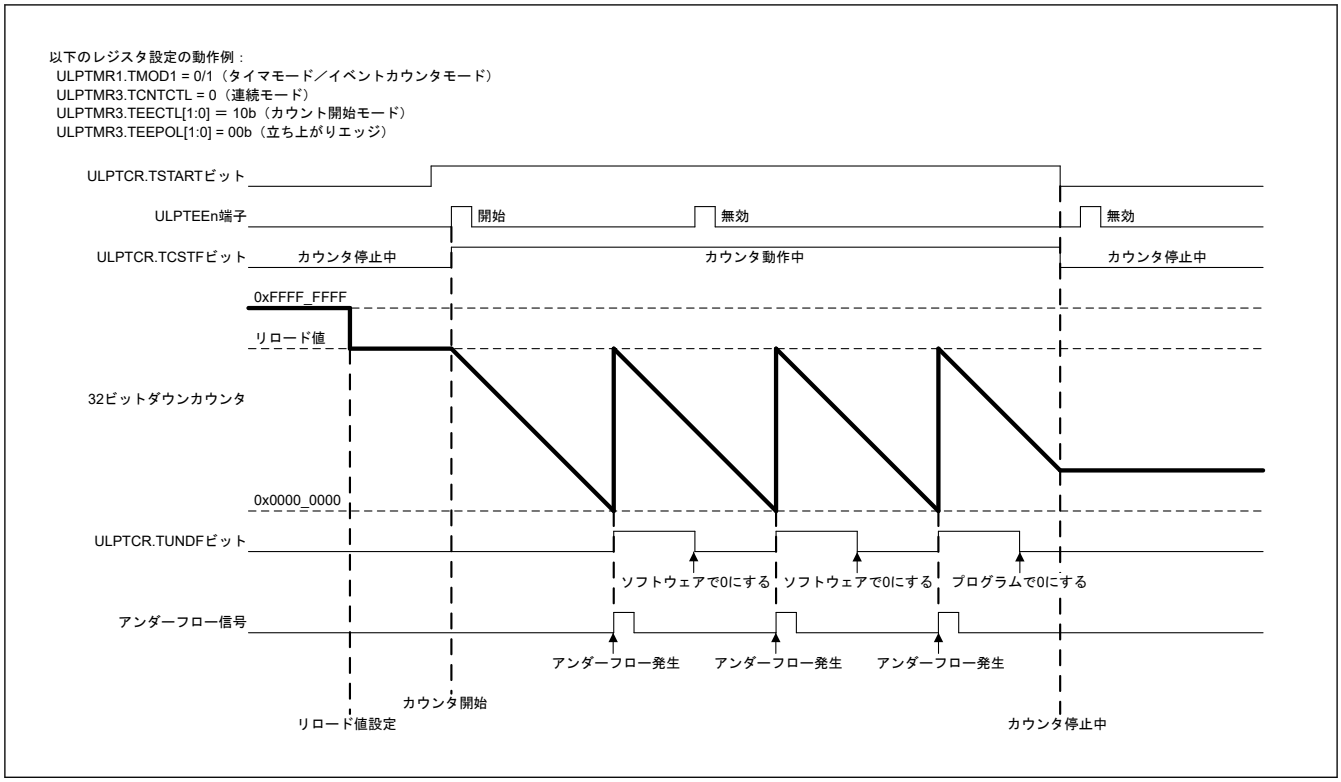


図 25.9　共通連続カウント開始モードでの動作例

25.4.1.6　共通連続カウント再開モード

このモードはタイマモードどイベントカウンタモードの両方で動作します。

カウンタはカウントソースと同期して、ダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。

ULPTCR.TSTART ビットを 1 にした後、ULPTEEn 端子のエッジトリガでカウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

カウンタが動作中（ULPTCR.TCSTF ビットが 1）の場合、カウンタは ULPTEEn 端子のエッジトリガ入力でリセットされ、リロード値からカウントを再開します。

ULPTEEn 端子からのエッジトリガ入力がなく、オーバーフローが発生すると、カウンタはリロード値からカウントを再開します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 25.10 に、共通連続カウント再開モードでの動作例を示します。

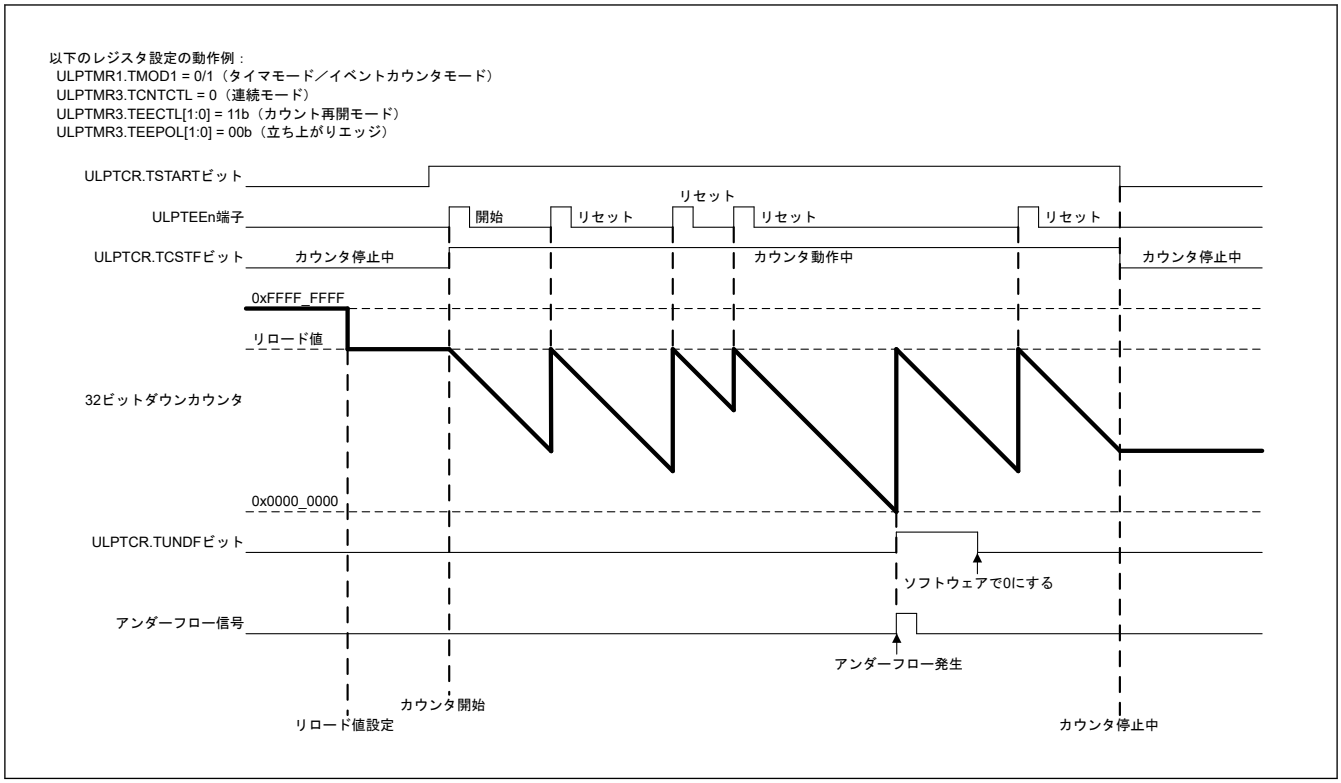


図 25.10　共通連続カウント再開モードの動作例

25.4.1.7　共通ワンショットカウント開始モード

このモードはタイマモードどイベントカウンタモードの両方で動作します。

カウンタはカウントソースと同期して 1 回ダウンカウント（アンダーフロー時に値をリロード）を実行します。

ULPTCR.TSTART ビットを 1 にした後、ULPTEEn 端子のエッジトリガでカウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタは停止します（ULPTCR.TSTART ビットは 1、かつ ULPTCR.TCSTF ビットは 0）。

カウンタが動作中（ULPTCR.TSTART ビットが 1、かつ ULPTCR.TCSTF ビットが 0）の場合、ULPTEEn 端子のエッジトリガ入力で、カウンタはリロード値からダウンカウントを再開します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 25.11 に、共通ワンショットカウント開始モードでの動作例を示します。

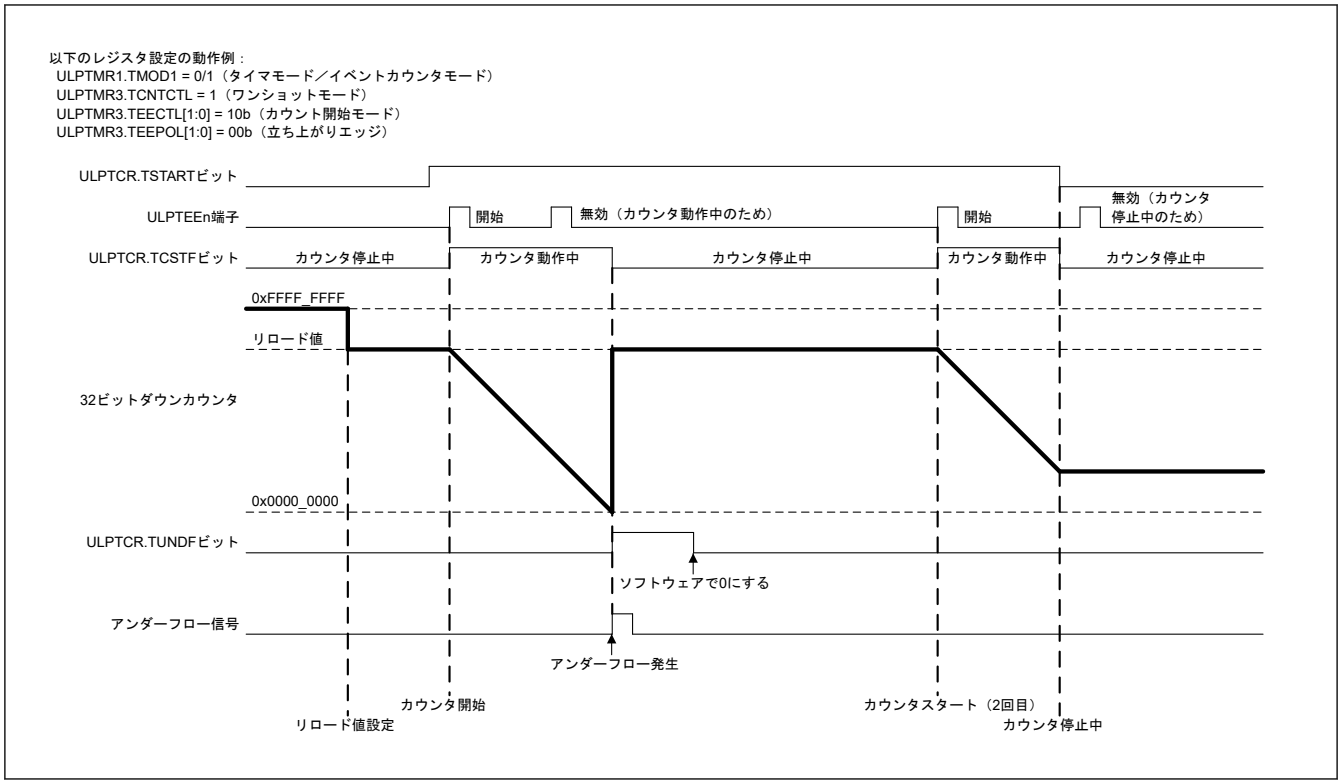


図 25.11　共通ワンショットカウント開始モードでの動作例

25.4.1.8　共通ワンショットカウント再開モード

このモードはタイマモードどイベントカウンタモードの両方で動作します。

カウンタはカウントソースと同期して 1 回ダウンカウント（アンダーフロー時に値をリロード）を実行します。

ULPTCR.TSTART ビットを 1 にした後、ULPTEEn 端子のエッジトリガでカウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

カウンタが動作中（ULPTCR.TCSTF ビットが 1）の場合、カウンタは ULPTEEn 端子のエッジトリガ入力でリセットされ、リロード値からカウントを再開します。

ULPTEEn 端子でエッジトリガの入力がなく、アンダーフローが発生すると、カウンタは停止します（ULPTCR.TSTART ビットは 1、かつ ULPTCR.TCSTF ビットは 0）。

カウンタが動作中（ULPTCR.TSTART ビットが 1、かつ ULPTCR.TCSTF ビットが 0）の場合、ULPTEEn 端子のエッジトリガ入力で、カウンタはリロード値からダウンカウントを再開します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 25.12 に、共通ワンショットカウント再開モードでの動作例を示します。

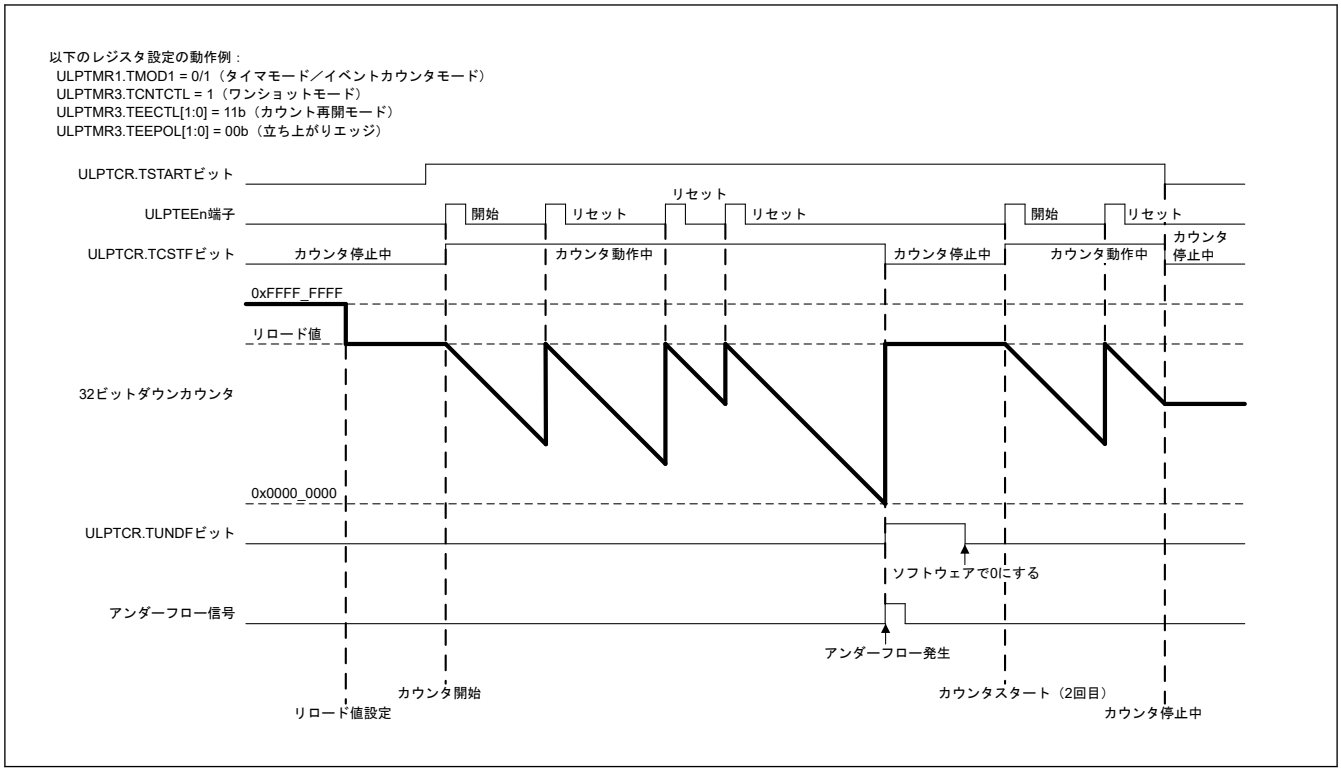


図 25.12　共通ワンショットカウント再開モードでの動作例

25.4.2　カウンタとリロードレジスタの書き換え

動作モードにかかわらず、カウンタとリロードレジスタの書き換えタイミングは以下のビットによって変わります。

- ULPTCR レジスタの TSTART ビットと TCSTF ビット
- ULPTCMSR レジスタの TCMEA ビットと TCMEB ビット
- ULPTMR3 レジスタの TEECTL[1:0]ビット

条件 A：カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合

リロード値はカウンタとリロードレジスタに直接書き込まれます。

条件 B：カウンタが動作中（ULPTCR.TCSTF ビットが 1）でコンペアマッチ A/B レジスタが無効（ULPTCR レジスタの TCMEA ビットと TCMEB ビットが両方とも 0）の場合

リロード値が ULPTCNT レジスタに書き込まれた後、そのリロード値はカウントソースと同期して最初にリロードレジスタに設定され、次にカウンタに設定されます。

条件 C：カウンタが動作中（ULPTCR.TCSTF ビットが 1）でコンペアマッチ A/B レジスタが有効（ULPTCR レジスタの TCMEA ビットと TCMEB ビットのいずれかが 1）の場合

リロード値が ULPTCNT レジスタに書き込まれた後、そのリロード値はカウントソースと同期してリロードレジスタに書き込まれます。次に、リロード値はアンダーフローと同期してカウンタに設定されます。

条件 D：カウンタが動作中（ULPTCR.TCSTF ビットが 1）でカウント再開モードが有効（ULPTMR3.TEECTL[1:0] ビットが 11）の場合

ULPTEEn 端子からのエッジトリガ入力後、リロードレジスタに設定したリロード値がカウントソースと同期してカウンタに設定されます。この条件では、リロードレジスタの書き換えは行いません。

図 25.13～図 25.15 にカウンタとレジスタの書き換えタイミングを示します。

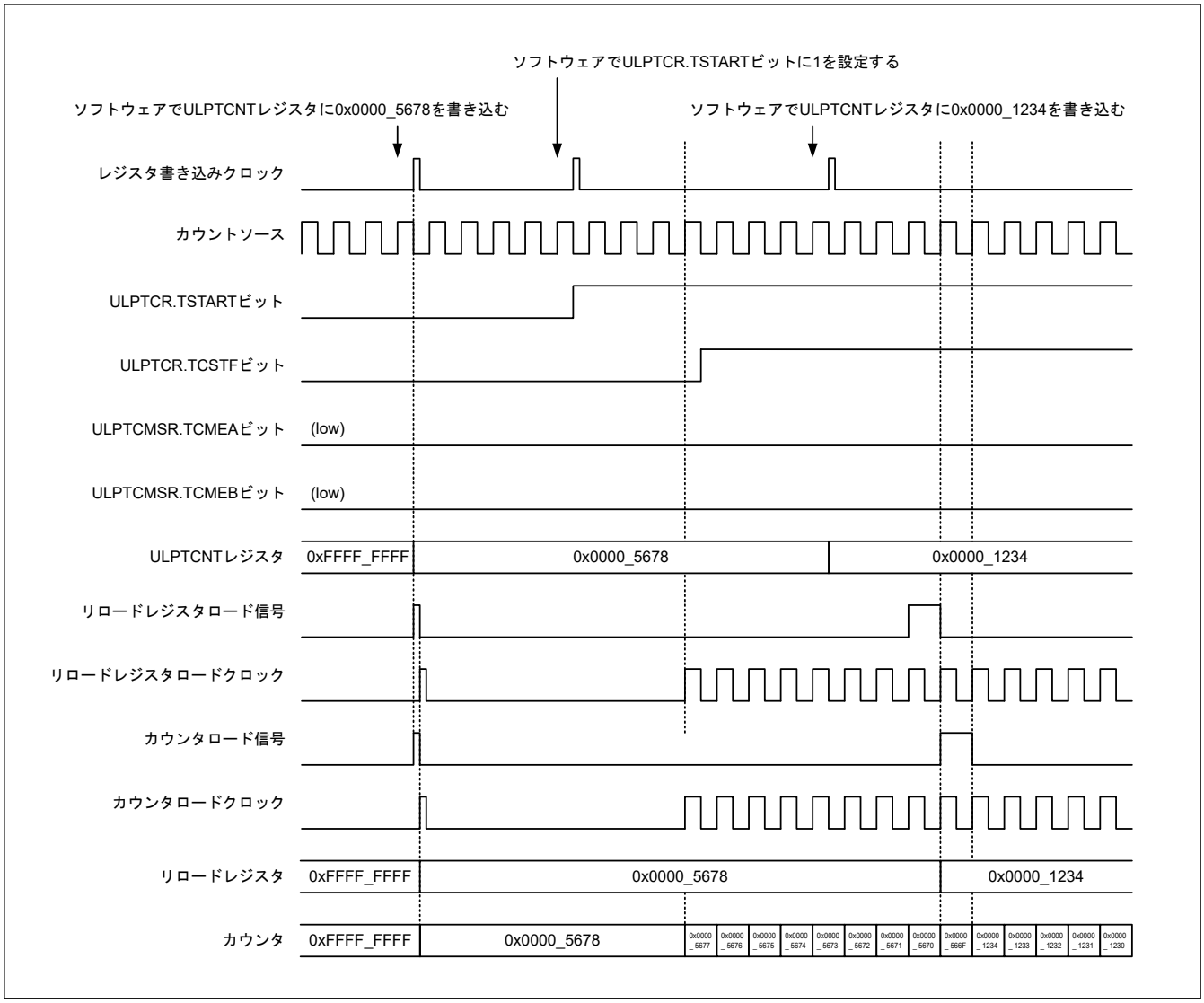


図 25.13　カウンタとリロードの書き換えタイミング（条件 A または B の場合）

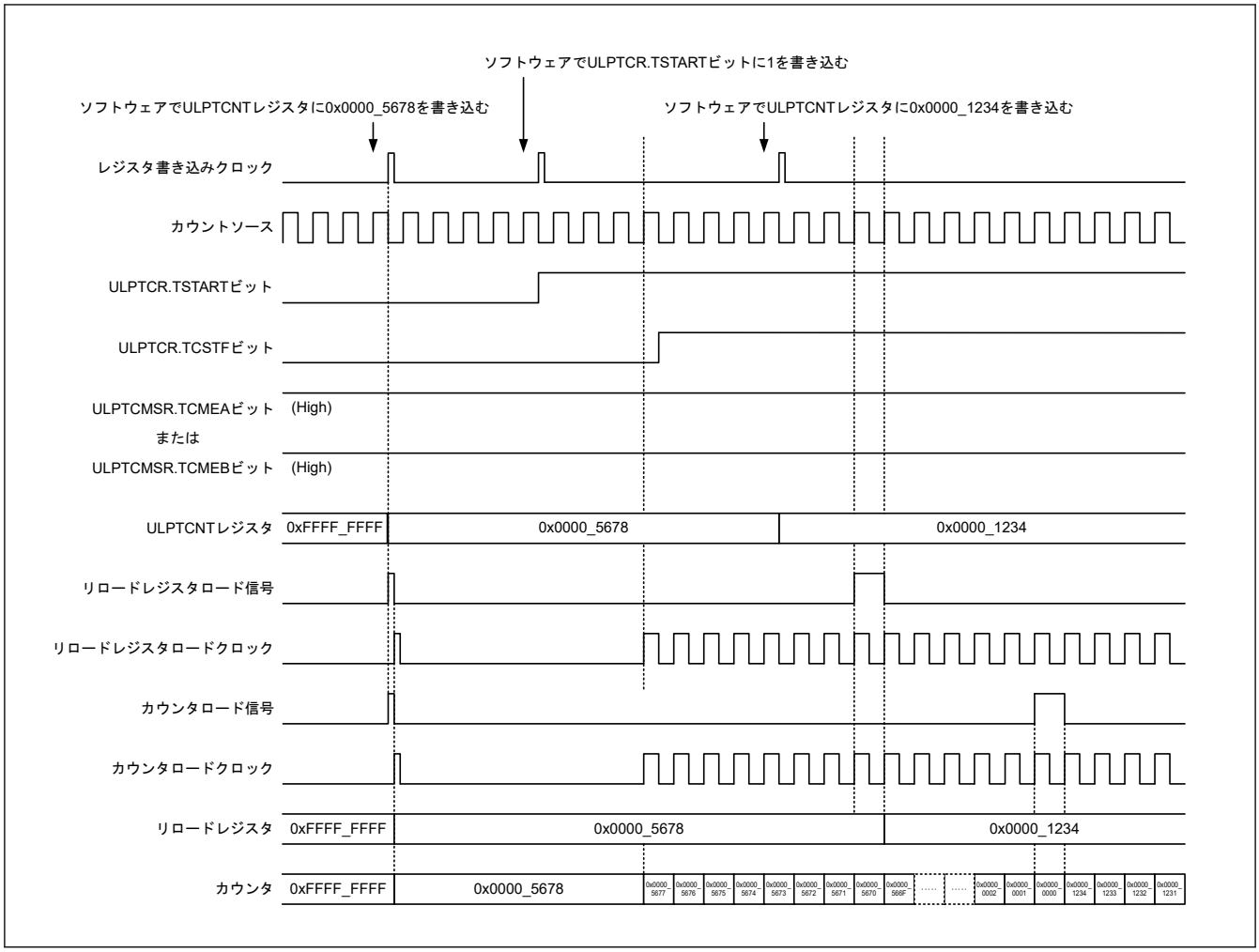


図 25.14　カウンタとリロードの書き換えタイミング（条件 A または C の場合）

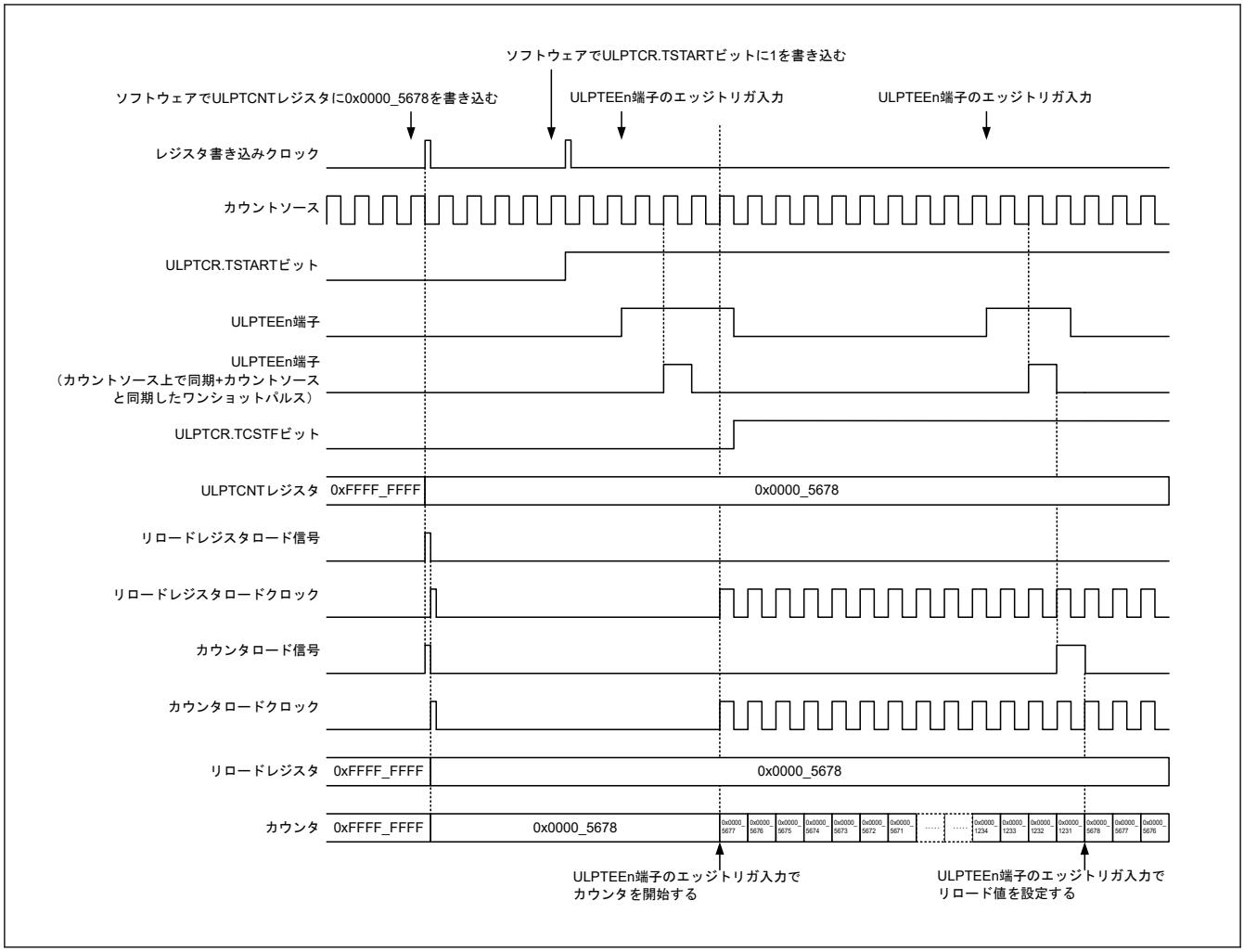


図 25.15　カウンタとリロードの書き換えタイミング（条件 D の場合）

25.4.3　コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換え

動作モードにかかわらず、コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換えタイミングは ULPTCR レジスタの TSTART ビットと TCSTF ビットによって変わります。

条件 A：カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合

コンペアマッチ A/B 値はコンペア回路とリロードレジスタに直接書き込まれます。

条件 B：カウンタが動作中（ULPTCR.TCSTF ビットが 1）の場合

コンペアマッチ A/B 値が ULPTCMA レジスタと ULPTCMB レジスタに書き込まれた後、そのコンペアマッチ A/B 値はカウントソースと同期してリロードレジスタに書き込まれます。次に、コンペアマッチ A/B 値はアンダーフローと同期してコンペア回路に書き込まれます。

図 25.16 にコンペアマッチ A のコンペア回路とリロードレジスタの書き換えタイミングを示します。

コンペアマッチ B のタイミングはコンペアマッチ A のタイミングと同様です。

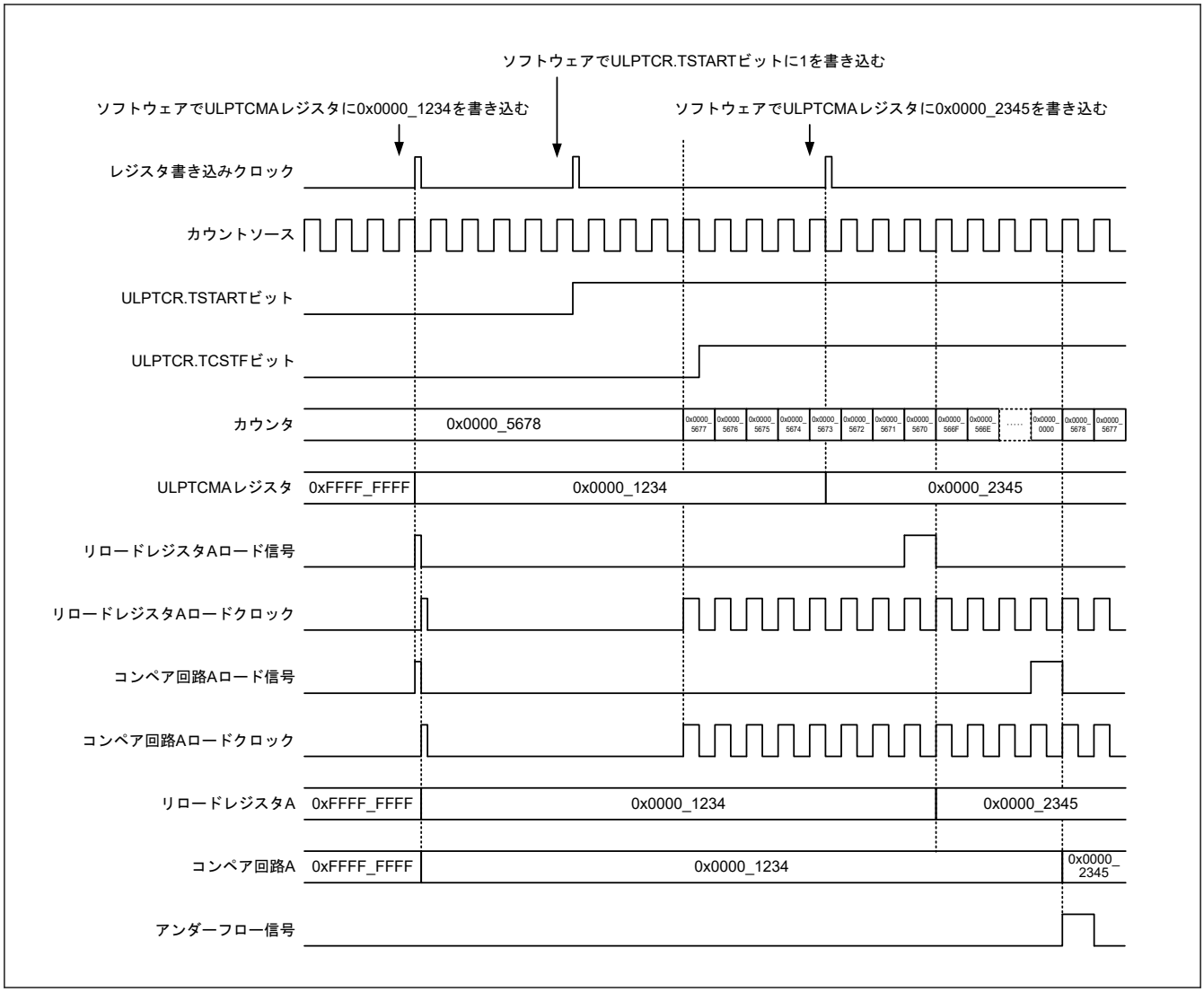


図 25.16　コンペアマッチ A のコンペア回路とリロードレジスタの書き換えタイミング

25.4.4　パルス出力

ULPTOn 端子は動作モードに関係なくパルスを出力できます。その出力レベルは、カウンタがアンダーフローするたびに反転します。ULPTOn 端子からのパルス出力は ULPTIOC.TOE ビットで停止できます。出力レベルの初期値は ULPTMR3.TOPOL ビットで選択できます。

図 25.17 にパルス出力の動作例を示します。

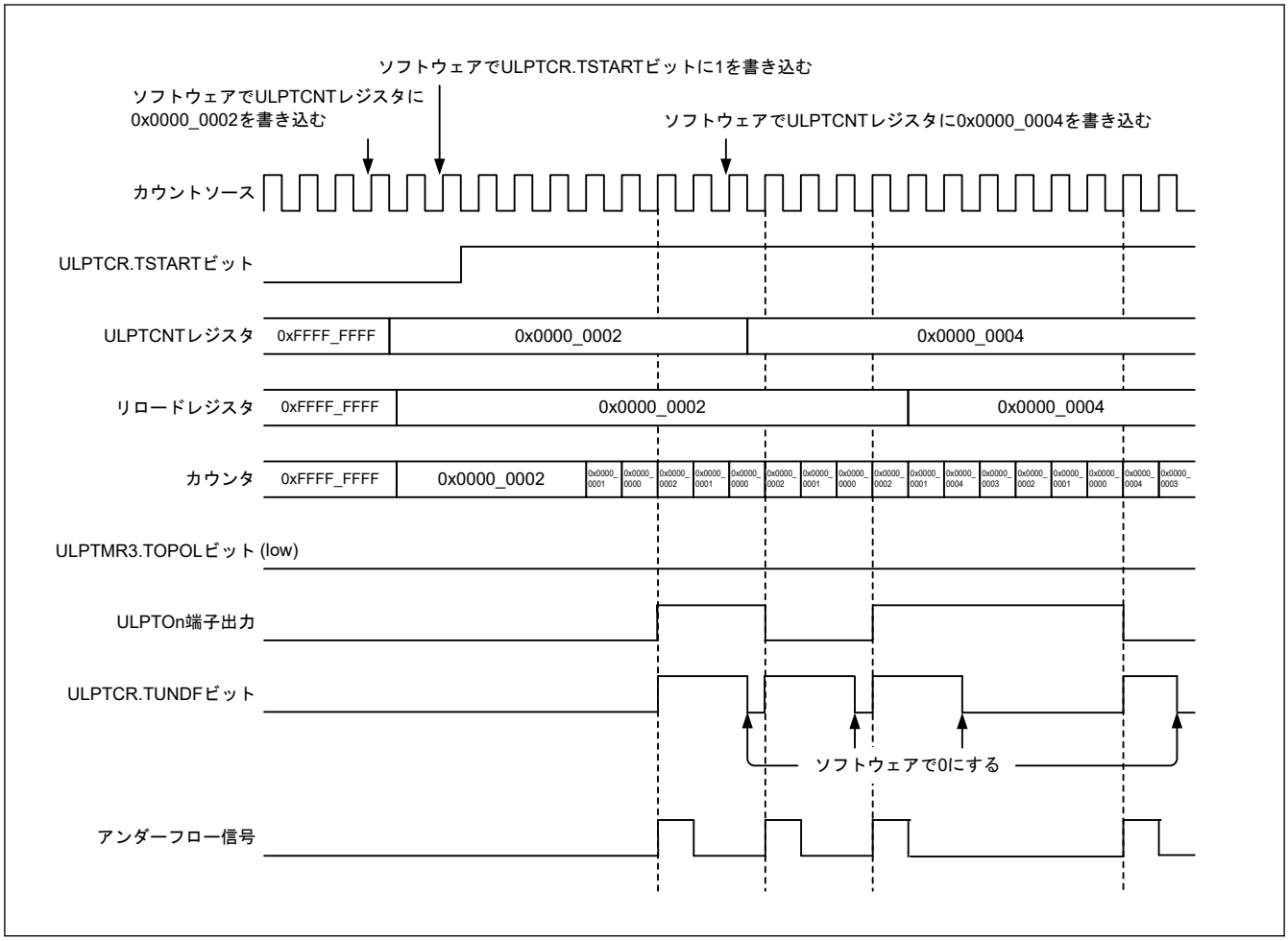


図 25.17　パルス出力の動作例

25.4.5　コンペアマッチ機能

この機能は ULPTCMA/ULPTCMB レジスタの内容と ULPTCNT レジスタの内容との一致（コンペアマッチ）を検出します。この機能は、ULPTCMSR レジスタの TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。

カウンタは ULPTMR1 レジスタの TMOD1/TCK1 ビットで選択したカウントソースと同期してデクリメントします。ULPTCNT レジスタ値が ULPTCMA または ULPTCMB レジスタ値と一致した場合、ULPTCR レジスタの TCMAF または TCMBF ビットが 1 になり、割り込み要求が発生します。

カウンタとリロードレジスタの書き換えタイミングはコンペアマッチ機能が有効かどうかによって異なります。詳細は「25.4.2. カウンタとリロードレジスタの書き換え」を参照してください。

ULPTOAn/ULPTOBn 端子の出力レベルは一致またはアンダーフロー時に反転します。出力レベルは、ULPTCMSR レジスタの ULPTOAn/ULPTOBn ビットで選択できます。

コンペアマッチ機能の動作例を図 25.18 に示します。

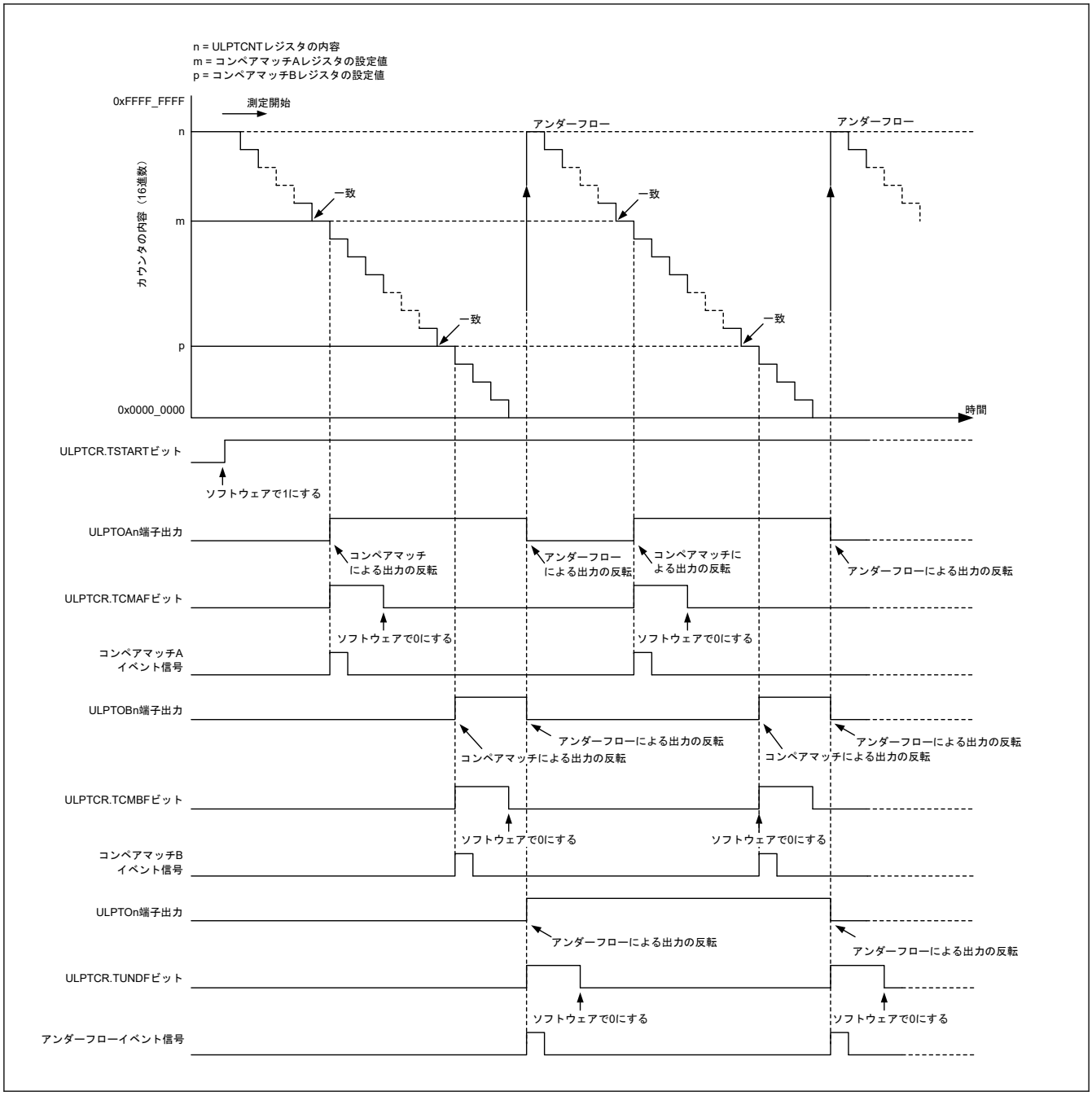


図 25.18　コンペアマッチ機能の動作例（ULPTCMSR レジスタの TOPOLA ビットと TOPOLB ビットが両方とも 0 の場合）

25.4.6　各モードの入出力設定

表 25.5～表 25.9 に各モードでの入力端子（ULPTEEn および ULPTEVIn）および出力端子（ULPTOn、ULPTOAn、および ULPTOBn）の状態を示します。

表 25.5 ULPTEEn 端子の設定

動作モード		ULPTMR1 レジスタ TMOD1 ビット	ULPTMR3 レジスタ TEECTL[1:0]ビット	ULPTEEn 端子入力
タイマモード	—	0	00	入力禁止
	カウント開始		10	通常入力
	カウント再開		11	
イベントカウンタモード	カウント許可	1	00	
	カウント開始		10	
	カウント再開		11	

表 25.6 ULPTEVIn 端子の設定

動作モード	ULPTMR1 レジスタ TMOD1 ビット	ULPTMR3 レジスタ TEVPOL ビット	ULPTEVIn 端子入力
タイマモード	0	0 または 1	入力禁止
イベントカウンタモード	1	0	通常入力
		1	反転入力

表 25.7 ULPTOn 端子の設定

動作モード	ULPTIOC レジスタ TOE ビット	ULPTMR3 レジスタ TOPOL ビット	ULPTOn 端子出力
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 25.8 ULPTOAn 端子の設定

動作モード	ULPTCMSR レジスタ		ULPTOAn 端子出力
	TOEA ビット	TOPOLA ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 25.9 ULPTOBn 端子の設定

動作モード	ULPTCMSR レジスタ		ULPTOBn 端子出力
	TOEB ビット	TOPOLB ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

25.4.7 スタンバイモード

ULPT はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 で動作可能です。カウント動作開始 (ULPTCR.TSTART = 1, ULPTCR.TCSTF = 1) の状態で ULPT を各スタンバイモードに設定してください。

表 25.10 にソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 で使用可能な設定の一覧を示します。

表 25.10 ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 で使用可能な設定

項番号	カウント動作			カウントソース	CPU 復帰要因
	モード 1	モード 2	モード 3		
「25.4.1.1. タイマ連続モード」	タイマ	連続	—	ULPTLCLK、ULPTSCLK	• アンダーフロー • コンペアマッチ A/B
「25.4.1.5. 共通連続カウント開始モード」			カウント開始		
「25.4.1.6. 共通連続カウント再開モード」			カウント再開		
「25.4.1.2. タイマワンショットモード」		ワンショット	—		
「25.4.1.7. 共通ワンショットカウント開始モード」			カウント開始		
「25.4.1.8. 共通ワンショットカウント再開モード」			カウント再開		
「25.4.1.3. イベントカウンタ連続カウント許可モード」	イベントカウンタ	連続	カウント許可	ULPTEVIn 端子 (注1)	• アンダーフロー • コンペアマッチ A/B
「25.4.1.5. 共通連続カウント開始モード」			カウント開始		
「25.4.1.6. 共通連続カウント再開モード」			カウント再開		
「25.4.1.4. イベントカウンタワンショットカウント許可モード」		ワンショット	カウント許可		
「25.4.1.7. 共通ワンショットカウント開始モード」			カウント開始		
「25.4.1.8. 共通ワンショットカウント再開モード」			カウント再開		

注. ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 の場合でも、ULPT は全モードで動作可能です。カウント動作とレジスタ設定の詳細については、「25.4.1. カウント動作」を参照してください。
注 1. ディープソフトウェアスタンバイモード 1 では、ULPTEVIn 端子のみ使用できます。

イベントカウンタモード (ULPTMR1.TMOD1 = 1) の場合のみ、スタンバイモードへ遷移する前に ULPTIOC.TIPF[1:0]ビットを 00（フィルタなし）にしてください。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモード 1 では、デジタルフィルタクロック (PCLKB) は停止します（デジタルフィルタは機能しません）。

各スタンバイモードの設定直前は、ULPTCNT レジスタ、ULPTCMA レジスタ、ULPTCMB レジスタの書き換えは禁止です。

カウンタの実行中に ULPTCNT レジスタ、ULPTCMA レジスタ、および ULPTCMB レジスタを書き換えた場合、カウントソースの 4 サイクル以上後に各スタンバイモードを設定してください。

25.4.8 割り込み要因

ULPT の割り込み要因には、次の 3 種類があります。

- ULPTI
- ULPTCMAI
- ULPTCMBI

表 25.11 に、割り込み要因の一覧を示します。

表 25.11 ULPT 割り込み要因 (1/2)

名称	割り込み要因	DMAC/DTC の起動
ULPTn_ULPTI	カウンタがアンダーフローしたとき	可能
ULPTn_ULPTCMAI	ULPTCNT 値が ULPTCMA に一致したとき	可能

表 25.11 ULPT 割り込み要因 (2/2)

名称	割り込み要因	DMAC/DTC の起動
ULPTn_ULPTCMBI	ULPTCNT 値が ULPTCMB に一致したとき	可能

25.4.9 ELC へのイベント出力動作

ULPT は割り込み要求信号をイベント信号として使用して、指定したモジュールに対してイベントリンクコントローラ (ELC) によるリンク動作を行うことができます。

ULPT はコンペアマッチ A、コンペアマッチ B、またはアンダーフローの発生時にイベント信号を出力します。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

25.5 使用上の注意事項

25.5.1 カウンタ制御の開始と停止

条件 A : タイマモード (ULPTMR1.TMOD1 = 0)、連続モード (ULPTMR3.TCNTCTL = 0)、およびカウント許可モード (ULPTMR3.TEECTL[1:0] = 00) の場合

カウンタが停止中（ULPTCR レジスタの TCSTF ビットが 0）の場合、ULPTCR レジスタの TSTART ビットを 1（カウンタを開始）にしても、TCSTF ビットはカウントソースの 5 サイクルの間、0（カウンタ停止中）のままです。

TCSTF ビットが 1（カウンタ動作中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にはアクセスしないでください。

カウンタが動作中（TCSTF ビットが 1）の場合、TSTART ビットを 0（カウンタを停止）にしても、TCSTF ビットはカウントソースの 5 サイクルの間、1（カウンタ動作中）のままです。

TCSTF ビットが 0（カウンタ停止中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. ULPT 関連レジスタ：ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR、ULPTMR1、ULPTMR2、ULPTMR3、ULPTIOC、ULPTISR、および ULPTCMSR。

条件 B : イベントカウンタモード (ULPTMR1.TMOD1 = 1)、連続モード (ULPTMR3.TCNTCTL = 0)、およびカウント許可モード (ULPTMR3.TEECTL[1:0] = 00) の場合

カウンタが停止中（ULPTCR レジスタの TCSTF ビットが 0）の場合、ULPTCR レジスタの TSTART ビットを 1（カウンタを開始）にしても、TCSTF ビットはカウントソースの 2 サイクルの間、0（カウンタ停止中）のままです。

TCSTF ビットが 1（カウンタ動作中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にはアクセスしないでください。

カウンタが動作中（TCSTF ビットが 1）の場合、TSTART ビットを 0（カウンタを停止）にしても、TCSTF ビットはカウントソースの 2 サイクルの間、1（カウンタ動作中）のままです。

TCSTF ビットが 0（カウンタ停止中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. ULPT 関連レジスタ：ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR、ULPTMR1、ULPTMR2、ULPTMR3、ULPTIOC、ULPTISR、および ULPTCMSR。

条件 C : カウント開始モードまたはカウント再開モード（ULPTMR3.TEECTL[1:0]ビット = 10 または 11）の場合

カウンタが停止中（ULPTCR レジスタの TCSTF ビットが 0）の場合、ULPTCR レジスタの TSTART ビットを 1 にしてから ULPTEEn 端子のエッジトリガでカウンタを開始しても、TCSTF ビットはカウントソースの 5 サイクルの間、0（カウンタ停止中）のままです。

TCSTF ビットが 1（カウンタ動作中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にはアクセスしないでください。

カウンタが動作中（TCSTF ビットが 1）の場合、TSTART ビットを 0（カウンタを停止）にしても、TCSTF ビットはカウントソースの 5 サイクルの間、1（カウンタ動作中）のままです。

TCSTF ビットが 0（カウンタ停止中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. ULPT 関連レジスタ：ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR、ULPTMR1、ULPTMR2、ULPTMR3、ULPTIOC、ULPTISR、および ULPTCMSR。

25.5.2 フラグへのアクセス（ULPTCR レジスタの TUNDF ビット、TCMAF ビット、および TCMBF ビット）

TSTART ビットまたは TSTOP ビットの変更時は、誤って TUNDF、TCMAF、TCMBF ビットをクリアしないように、TUNDF、TCMAF、および TCMBF ビットを 1 にしてください。このとき、TUNDF、TCMAF、および TCMBF ビットを 1 にしても無視されます。

25.5.3 ULPTCNT レジスタ、ULPTCMA レジスタ、ULPTCMB レジスタへのアクセス

カウンタが動作中（ULPTCR.TCSTF ビットが 1）の時に同じレジスタに連続して設定を行う場合、書き込み間はカウントソースで 3 サイクル以上あけてください。以下のレジスタが対象です。

- ULPTCNT
- ULPTCMA
- ULPTCMB

25.5.4 モード変更

ULPT の動作モードに関連するレジスタ（ULPTMR1、ULPTMR2、ULPTMR3、ULPTIOC、ULPTISR、および ULPTCMSR）はカウンタ停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ変更できます。カウンタが動作中のときはこれらのレジスタを変更しないでください。

ULPT の動作モードに関連するレジスタを変更すると、ULPTCR レジスタの TUNDF ビット、TCMAF ビット、および TCMBF ビットの値は不定となります。カウンタ開始前に、TUNDF ビット、TCMAF ビット、および TCMBF ビットに 0 を書き込んでください。

- TUNDF（アンダーフローなし）
- TCMAF（コンペアマッチ A 不一致）
- TCMBF（コンペアマッチ B 不一致）

25.5.5 ULPTOn 端子、ULPTOAn 端子、および ULPTOBn 端子の設定

ULPTOn 端子、ULPTOAn 端子、ULPTOBn 端子を出力端子として使用するには、ULPT をセットアップしてから、初期出力値の決定後に PORT レジスタに出力を設定します。

25.5.6 イベント数の計算

イベントカウンタモードでは、イベント数は下記の式を用いて計算されます。

イベント数 = カウンタ初期値（ULPTCNT レジスタの書き込み値） - 有効イベント後のカウンタ値

25.5.7 TSTOP ビットでカウンタを強制停止した場合

ULPTCR.TSTOP ビットでカウンタを強制停止してからカウントソースの 1 サイクルの間は、ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR、ULPTMR1、ULPTMR2、または ULPTMR3 レジスタにアクセスしないでください。

25.5.8 デジタルフィルタ

デジタルフィルタを使用する場合は、ULPTIOC.TIPF[1:0]ビットを設定後、デジタルフィルタクロックの 5 サイクル内はタイマを開始しないでください。

また、デジタルフィルタの使用中に ULPTMR3.TEVPOL ビットを変更した場合は、ビットを設定後、デジタルフィルタクロックの 5 サイクル内はタイマを開始しないでください。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモード 1 では、デジタルフィルタクロック (PCLKB) は停止し、デジタルフィルタは機能しません。ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 へ遷移する前に、ULPTIOC.TIPF[1:0]ビットを 00（フィルタなし）にしてください。

25.5.9 モジュールストップ機能の設定

モジュールストップコントロールレジスタ E (MSTPCRE) により、ULPT の動作を無効または有効に設定することができます。リセット後の初期状態で、ULPT モジュールは停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。

25.5.10 ULPTEEn 端子および ULPTEVIn 端子の設定

ULPTEEn 端子および ULPTEVIn 端子を入力端子として使用するには、ULPT を設定し、PmnPFS.PMR ビットを 1 に設定します。

26. リアルタイムクロック (RTC)

26.1 概要

リアルタイムクロック (RTC) には、カレンダーカウントモードとバイナリカウントモードの 2 つのカウントモードがあります。それらのモードはレジスタ設定を切り替えて使用します。カレンダーカウントモードは、2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。

時計カウンタのカウントソースとしてサブクロック発振器または LOCO を選択できます。RTC は、カウントソースをプリスケーラで分周して得られた 128 Hz クロックを使用します年、月、日、曜日、午前／午後（12 時間モード時）、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 26.1 に RTC の仕様を、図 26.1 に RTC のブロック図を、表 26.2 に RTC の入出力端子を示します。

表 26.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード／バイナリカウントモード
カウントソース(注1)	サブクロック (XCIN)、外部クロック入力 (EXCIN)、または LOCO
時計／カレンダ機能	• カレンダーカウントモード – 年、月、日、曜日、時、分、秒をカウント、BCD 表示 – 12 時間／24 時間モード切り替え機能 – 30 秒調整機能（30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ） – うるう年の自動補正機能 • バイナリカウントモード – 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 – スタート／ストップ機能 – 秒以下の桁のバイナリ表示（1 Hz、2 Hz、4 Hz、8 Hz、16 Hz、32 Hz、または 64 Hz） – クロック誤差補正機能 – クロック (1 Hz/64 Hz) 出力
割り込み	• アラーム割り込み (RTC_ALM) – アラーム割り込み条件として、比較対象を下記から選択可能 • カレンダーカウントモード：年、月、日、曜日、時、分、秒 • バイナリカウントモード：32 ビットバイナリカウンタの各ビット • 周期割り込み (RTC_PRD) – 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択可能 • 桁上げ割り込み (RTC_CUP) – 次のいずれかの条件で割り込み発生 • 64 Hz カウンタから秒カウンタへ桁上げが生じたとき • 64 Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき （32 kHz カウントモードは、64 Hz カウンタ読み出しのためのみに使用します） • アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	• 時間キャプチャイベント入力端子のエッジ検出時に、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、および秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ • 時間キャプチャイベント入力端子のエッジ検出時に、割り込みを発生可能。時間キャプチャイベント入力端子と IRQ は共有
イベントリンク機能	周期イベント出力 (RTC_PRD)
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ カウントソースクロック周波数となるように設定してください。

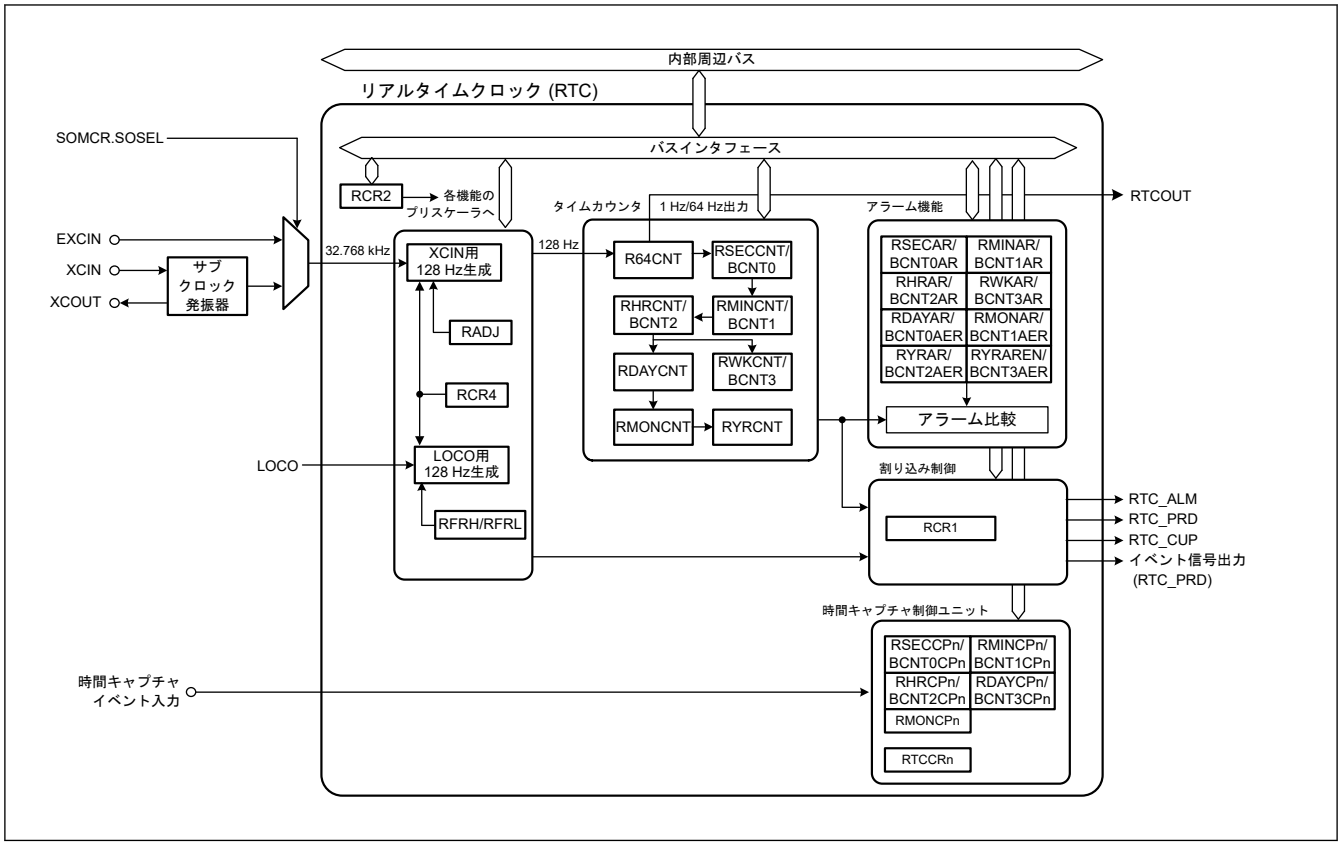


図 26.1　RTC のブロック図

表 26.2　RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768 kHz の水晶振動子を接続します。
XCOUT	出力	
EXCIN	入力	外部サブクロック入力です。
RTCOUT	出力	この端子は 1 Hz/64 Hz 波形出力に使用されます。ただし、ディープソフトウェアスタンバイモードでは使用されません。
RTCICn (n = 0～2)	入力	時間キャプチャイベント入力端子です。 RTCICn は VBTICTLR レジスタで制御できます。詳細は、「12. バッテリバックアップ機能」と「20. I/O ポート」を参照してください。

26.2　レジスタの説明

RTC レジスタの書き込み／読み出しは、「26.6.5. レジスタの書き込み／読み出し時の注意事項」に従って行ってください。

RTC レジスタのビット一覧で、リセット後の値が x（不定）になっているビットは、リセットで初期化されません。カウント動作時（たとえば RCR2.START ビットが 1 のとき）に、RTC がリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／64 Hz カウンタは動作を継続します。

注.　レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊されることがあります。さらに、どのレジスタに対しても、その設定直後は、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、またはバッテリバックアップ状態へ遷移しないでください。詳細は、「26.6.4. レジスタ設定後の低消費電力モードへの遷移について」を参照してください。

26.2.1 R64CNT : 64 Hz カウンタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
Value after reset:	0	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
0	F64HZ	64 Hz フラグ 秒以下の桁の 64 Hz の状態を示します。	R
1	F32HZ	32 Hz フラグ 秒以下の桁の 32 Hz の状態を示します。	R
2	F16HZ	16 Hz フラグ 秒以下の桁の 16 Hz の状態を示します。	R
3	F8HZ	8 Hz フラグ 秒以下の桁の 8 Hz の状態を示します。	R
4	F4HZ	4 Hz フラグ 秒以下の桁の 4 Hz の状態を示します。	R
5	F2HZ	2 Hz フラグ 秒以下の桁の 2 Hz の状態を示します。	R
6	F1HZ	1 Hz フラグ 秒以下の桁の 1 Hz の状態を示します。	R
7	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

R64CNT カウンタは、カレンダーカウントモードとバイナリカウントモードの両方で使用します。64 Hz カウンタ (R64CNT) は 128 Hz クロックでアップカウントすることにより、秒周期を生成します。このカウンタを読み出すことで、秒以下の状態を確認できます。

このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整によって 0x00 にクリアされます。このカウンタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

26.2.2 RSECCNT : 秒カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SEC10[2:0]			SEC1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒カウント 1 秒ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
6:4	SEC10[2:0]	10 秒カウント 0 から 5 までカウントして、60 秒カウントを行います。	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RSECCNT カウンタは、BCD コード化された秒の値を設定およびカウントします。64 Hz カウンタでの 1 秒ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。

このカウンタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

26.2.3 RMINCNT : 分カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MIN10[2:0]			MIN1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分カウント 1 分ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
6:4	MIN10[2:0]	10 分カウント 0 から 5 までカウントして、60 分カウントを行います。	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RMINCNT カウンタは、BCD コード化された分の値を設定およびカウントします。秒カウンタでの 1 分ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

26.2.4 RHRCNT : 時カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PM	HR10[1:0]		HR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間カウント 1 時間ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
5:4	HR10[1:0]	10 時間カウント 一の位からの桁上げごとに 1 回、0 から 2 までカウントします。	R/W
6	PM	時計カウンタの AM/PM の設定 0: 午前 1: 午後	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RHRCNT カウンタは、BCD コード化された時間の値を設定およびカウントします。分カウンタでの 1 時間ごとの桁上げによってカウントします。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00～11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00～23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。

それ以外では、PM ビットの設定値は無効です。このカウンタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

26.2.5 RWKCNT : 曜日カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DAYW[2:0]		
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
2:0	DAYW[2:0]	曜日カウント 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W
7:3	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RWKCNT カウンタは、コード化された曜日の値を設定およびカウントします。時カウンタでの 1 日ごとの桁上げによってカウントします。設定可能範囲は 10 進 (BCD) で 0～6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

26.2.6 BCNTn : バイナリカウンタ n (n = 0～3)（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x02 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCNT[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	BCNT[7:0]	バイナリカウンタ	R/W

注. S-TYPE3, P-TYPE3

BCNTn レジスタは、32 ビットバイナリカウンタの BCNT[31:0]にアクセスする書き込み／読み出し可能な 8 ビットレジスタです。BCNT3 は BCNT[31:24]ビットに、BCNT2 は BCNT[23:16]ビットに、BCNT1 は BCNT[15:8]ビットに、BCNT0 は BCNT[7:0]ビットに指定されます。32 ビットバイナリカウンタは、64 Hz カウンタでの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

26.2.7 RDAYCNT : 日カウンタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	DATE10[1:0]		DATE1[3:0]			
Value after reset:	0	0	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1 日カウント 1 日ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
5:4	DATE10[1:0]	10 日カウント 一の位からの桁上げごとに 1 回、0 から 3 までカウントします。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RDAYCNT カウンタは、カレンダカウントモード時に使用され、BCD コード化された日の値を設定およびカウントします。時カウンタでの 1 日ごとの桁上げによってカウントします。カウント動作は、月によっても、うるう年か否かによっても異なります。うるう年は、年カウンタ (RYRCNT) の値が 400、100 および 4 で割り切れるか否かで判定されます。

設定可能範囲は 10 進 (BCD) で 01～31 です。この範囲にない値が設定されると、RTC は正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なるので注意してください。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

26.2.8 RMONCNT : 月カウンタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MON10	MON1[3:0]			
Value after reset:	0	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月カウント 1 月ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
4	MON10	10 月カウント 一の位からの桁上げごとに 1 回、0 から 1 までカウントします。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RMONCNT カウンタは、カレンダカウントモード時に使用され、BCD コード化された月の値を設定およびカウントします。日カウンタでの 1 月ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 01～12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

26.2.9 RYRCNT : 年カウンタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	YR1[3:0]	1 年カウント 1 年ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
7:4	YR10[3:0]	10 年カウント 一の位からの桁上げごとに 1 回、0 から 9 までカウントします。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RYRCNT カウンタは、カレンダカウントモード時に使用され、BCD コード化された年の値を設定およびカウントします。月カウンタでの 1 年ごとの桁上げによってカウントします。

設定可能範囲は、10 進 (BCD) で 00～99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

26.2.10 RSECAR : 秒アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	SEC10[2:0]			SEC1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒 一秒の位の設定値	R/W
6:4	SEC10[2:0]	10 秒 十秒の位の設定値	R/W
7	ENB	ENB 0: このレジスタ値と RSECCNT カウンタ値との比較を行わない 1: このレジスタ値と RSECCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタの内、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR

- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RSECAR レジスタの設定可能範囲は、10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

26.2.11 RMINAR : 分アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	MIN10[2:0]			MIN1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分 一分の位の設定値	R/W
6:4	MIN10[2:0]	10 分 十分の位の設定値	R/W
7	ENB	ENB 0: このレジスタ値と RMINCNT カウンタ値との比較を行わない 1: このレジスタ値と RMINCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RMINAR レジスタの設定可能範囲は、10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

26.2.12 RHRAR : 時アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	PM	HR10[1:0]		HR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間 一時間の位の設定値	R/W
5:4	HR10[1:0]	10 時間 十時間の位の設定値	R/W
6	PM	時計アラームの AM/PM の設定 0: 午前 1: 午後	R/W
7	ENB	ENB 0: このレジスタ値と RHRCNT カウンタ値との比較を行わない 1: このレジスタ値と RHRCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RHRAR レジスタは、BCD コード化された時カウンタ (RHRCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RHRAR レジスタ値が RHRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RHRAR レジスタの設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00～11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00～23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、必ず PM ビットを設定してください。RCR2.HR24 ビットが 1 の場合、PM ビットの設定値は無効です。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

26.2.13 RWKAR : 曜日アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x16

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	—	—	DAYW[2:0]		
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
2:0	DAYW[2:0]	曜日設定 0 0 0: 日曜日 0 0 1: 月曜日 0 1 0: 火曜日 0 1 1: 水曜日 1 0 0: 木曜日 1 0 1: 金曜日 1 1 0: 土曜日 1 1 1: 設定禁止	R/W

ビット	シンボル	機能	R/W
6:3	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RWKCNT カウンタ値との比較を行わない 1: このレジスタ値と RWKCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RWKAR レジスタ値が RWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RWKAR レジスタの設定可能範囲は、10 進 (BCD) で 0～6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

26.2.14 BCNTnAR : バイナリカウンタ n アラームレジスタ (n = 0～3)（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x10 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCNTAR							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	BCNTAR	32 ビットバイナリカウンタに対応するアラームレジスタ	R/W

注. S-TYPE3, P-TYPE3

BCNTnAR レジスタは、32 ビットバイナリカウンタに対応する読み出し／書き込み可能なアラームレジスタです。BCNT3AR は BCNTAR[31:24]ビットに、BCNT2AR は BCNTAR[23:16]ビットに、BCNT1AR は BCNTAR[15:8]ビットに、BCNT0AR は BCNTAR[7:0]に割り当てられます。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

26.2.15 RDAYAR : 日アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	DATE10[1:0]		DATE1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	日の一の位 「日」の一の位の値。	R/W
5:4	DATE10[1:0]	日の十の位 「日」の十の位の値。	R/W
6	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RDAYCNT カウンタ値との比較を行わない 1: このレジスタ値と RDAYCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RDAYAR レジスタの設定可能範囲は、10 進 (BCD) で 01～31 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

26.2.16 RMONAR : 月アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x1A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	MON10	MON1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	月の一の位 「月」の一の位の値。	R/W
4	MON10	月の十の位 「月」の十の位の値。	R/W
6:5	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RMONCNT カウンタ値との比較を行わない 1: このレジスタ値と RMONCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR

- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RMONAR レジスタの設定可能範囲は、10 進 (BCD) で 01～12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

26.2.17 RYRAR : 年アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x1C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	YR1[3:0]	年の一の位 「年」の一の位の値。	R/W
7:4	YR10[3:0]	年の十の位 「年」の十の位の値。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進 (BCD) で 00～99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x0000 になります。

26.2.18 RYRAREN : 年アラームイネーブルレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	—	—	—	—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
6:0	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RYRCNT カウンタ値との比較を行わない 1: このレジスタ値と RYRCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RYRAREN レジスタは、ENB ビットが 1 のとき、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR

- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

26.2.19 BCNTnAER : バイナリカウンタ n アラームイネーブルレジスタ (n = 0～3)（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x18 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	ENB[7:0]	32 ビットバイナリカウンタに対応するアラーム許可設定	R/W

注. S-TYPE3, P-TYPE3

BCNTnAER レジスタは、32 ビットバイナリカウンタに対応するアラーム許可 (BCNTAER) 設定用の読み出し／書き込み可能なレジスタです。BCNT3AER は BCNTAER.ENB[31:24]ビットに、BCNT2AER は BCNTAER.ENB[23:16]ビットに、BCNT1AER は BCNTAER.ENB[15:8]ビットに、BCNT0AER は BCNTAER.ENB[7:0]ビットに割り当てられます。BCNTAER.ENB[31:0]ビットの内、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

26.2.20 RCR1 : RTC コントロールレジスタ 1

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x22

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PES[3:0]				RTCOS	PIE	CIE	AIE
Value after reset:	x	x	x	x	0	x	0	x

ビット	シンボル	機能	R/W
0	AIE	アラーム割り込み許可 0: アラーム割り込み要求を禁止 1: アラーム割り込み要求を許可	R/W
1	CIE	桁上げ割り込み許可 0: 桁上げ割り込み要求を禁止 1: 桁上げ割り込み要求を許可	R/W
2	PIE	周期割り込み許可 0: 周期割り込み要求を禁止 1: 周期割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
3	RTCOS	RTCOUT 出力選択 0: RTCOUT は 1 Hz を出力 1: RTCOUT は 64 Hz を出力	R/W
7:4	PES[3:0]	周期割り込み選択 0x6: 1/256 秒ごとに周期割り込みが発生(注1) 0x7: 1/128 秒ごとに周期割り込みが発生 0x8: 1/64 秒ごとに周期割り込みが発生 0x9: 1/32 秒ごとに周期割り込みが発生 0xA: 1/16 秒ごとに周期割り込みが発生 0xB: 1/8 秒ごとに周期割り込みが発生 0xC: 1/4 秒ごとに周期割り込みが発生 0xD: 1/2 秒ごとに周期割り込みが発生 0xE: 1 秒ごとに周期割り込みが発生 0xF: 2 秒ごとに周期割り込みが発生 その他: 上記以外は、周期割り込みを発生しない	R/W

注. S-TYPE3, P-TYPE3
注 1. PES[3:0] = 0x6 のときに LOCO が選択されると (RCR4.RCKSEL = 1)、1/128 秒ごとに周期割り込みが発生します。

RCR1 レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。AIE、PIE、および PES[3:0]ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットが更新されたことを確認してから次の処理を実行してください。

AIE ビット（アラーム割り込み許可）

AIE ビットはアラーム割り込み要求を許可または禁止します。

ディープソフトウェアスタンバイモード時にカウンタとアラームの設定時刻が一致した場合、AIE ビット値とは無関係に、MCU はディープソフトウェアスタンバイモードから復帰します。

CIE ビット（桁上げ割り込み許可）

CIE ビットは RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64 Hz カウンタ (R64CNT) の読み出し中に 64 Hz カウンタへの桁上げが生じたときの割り込み要求を許可または禁止します。

PIE ビット（周期割り込み許可）

PIE ビットは周期割り込み要求を許可または禁止します。

ディープソフトウェアスタンバイモード時にカウンタと PES[3:0]の設定周期が一致した場合、PIE ビット値とは無関係に、MCU はディープソフトウェアスタンバイモードから復帰します。

RTCOS ビット（RTCOUT 出力選択）

RTCOS ビットは RTCOUT の出力周期を選択します。RTCOS ビットは、カウント動作停止 (RCR2.START = 0)、かつ RTCOUT 出力禁止 (RCR2.RTCOE = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットで出力を許可にする必要があります。

PES[3:0]ビット（周期割り込み選択）

PES[3:0]ビットは周期割り込みの周期を設定します。本ビットで設定した周期に応じて周期割り込みが発生します。

26.2.21 RCR2 : RTC コントロールレジスタ 2（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
Value after reset:	x	x	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	START	スタート 0: プリスケーラと時計カウンタは停止 1: プリスケーラと時計カウンタは通常動作	R/W
1	RESET	RTC ソフトウェアリセット 0: 書き込み時：書き込みは無効 読み出し時：通常の時計動作中または RTC ソフトウェアリセット完了 1: 書き込み時：RTC ソフトウェアリセットに対してプリスケーラと対象レジスタを初期化(注1) 読み出し時：RTC ソフトウェアリセット処理中	R/W
2	ADJ30	30 秒調整 0: 書き込み時：無効（0 の書き込みは影響なし） 読み出し時：通常の時計動作中または 30 秒調整が完了 1: 書き込み時：30 秒調整を実行 読み出し時：30 秒調整処理中	R/W
3	RTCOE	RTCOUT 出力許可 0: RTCOUT 出力を禁止 1: RTCOUT 出力を許可	R/W
4	AADJE	自動補正有効(注2)(注3) 0: 自動補正は無効 1: 自動補正は有効	R/W
5	AADJP	自動補正周期選択(注2)(注3) 0: 1 分ごとのプリスケーラのカウント値に対する RADJ.ADJ[5:0]ビットの設定。 1: 10 秒ごとにプリスケーラのカウント値に対して RADJ.ADJ[5:0]ビットの設定値を調整します。	R/W
6	HR24	時間モード(注3) 0: RTC は 12 時間モードで動作 1: RTC は 24 時間モードで動作	R/W
7	CNTMD	カウントモード選択(注4) 0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注. S-TYPE3, P-TYPE3
注 1. R64CNT, RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR, RYRAREN, RADJ, RTCCRn, RSECCPn, RMINCPn, RHRCPn, RDAYCPn, RMONCPn, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP
注 2. LOCO が選択される場合、このビットの設定は無効です。
注 3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み／読み出しの注意事項については「26.6.5. レジスタの書き込み／読み出し時の注意事項」を参照してください。
注 4. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、およびカウント動作の制御に関するレジスタです。

START ビット（スタート）

START ビットはプリスケーラおよびカウンタ（時計）の停止または動作を制御します。このビットはカウントソースの次のサイクルに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

RESET ビットはプリスケーラと RTC ソフトウェアリセット対象レジスタを初期化します。このビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。このビットが 0 になったことを確認してから次の処理を実行してください。

ADJ30 ビット（30 秒調整）

ADJ30 ビットは 30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了するとこのビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認し

てから次の処理を実行してください。30 秒調整を実行すると、プリスケーラと R64CNT カウンタもリセットされます。ADJ30 ビットは、RTC ソフトウェアリセットによって 0 になります。

RTCOE ビット（RTCOUT 出力許可）

RTCOE ビットは RTCOUT 端子からの 1 Hz/64 Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と RTCOE ビット値の変更は、同時に行わないでください。

RTCOUT を外部端子から出力する場合は、RTCOE ビットで出力を許可にするとともに、ポート制御を有効にしてください。

AADJE ビット（自動補正有効）

AADJE ビットは自動補正機能の有効または無効を制御します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。

AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット（自動補正周期選択）

AADJP ビットは自動補正の周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。

AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

HR24 ビット（時間モード）

HR24 ビットは RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と HR24 ビット値の変更は、同時に行わないでください。

CNTMD ビット（カウントモード選択）

CNTMD ビットは、RTC をカレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットは、カウントソースに同期して更新されます。ただし、カウントモードが切り替わるのは、RTC ソフトウェアリセット後のみになります。（ビットは RTC リセット前に切り替わりますが、モードは RTC リセット後に切り替わります。）

初期設定の詳細は、「26.3.1. 電源投入後のレジスタ初期設定の概要」を参照してください。

26.2.22 RCR2 : RTC コントロールレジスタ 2（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CNTMD	—	AADJP	AADJE	RTCOE	—	RESET	START
Value after reset:	x	x	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	START	スタート 0: 32 ビットバイナリカウンタ、64 Hz カウンタ、およびプリスケーラは停止 1: 32 ビットバイナリカウンタ、64 Hz カウンタ、およびプリスケーラは動作	R/W

ビット	シンボル	機能	R/W
1	RESET	RTC ソフトウェアリセット 0: ［書き込み時］書き込みは無効 ［読み出し時］通常の時計動作中または RTC ソフトウェアリセット完了 1: ［書き込み時］プリスケーラおよび RTC ソフトウェアリセット対象レジスタ(注1)を初期化 ［読み出し時］RTC ソフトウェアリセット処理中	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	RTCOE	RTCOUT 出力許可 0: RTCOUT 出力を禁止 1: RTCOUT 出力を許可	R/W
4	AADJE	自動補正有効(注2)(注3) 0: 自動補正は無効 1: 自動補正は有効	R/W
5	AADJP	自動補正周期選択(注2)(注3) 0: 32 秒ごとにプリスケーラのカウント値に対して RADJ.ADJ [5:0]ビット値を加減算 1: 8 秒ごとにプリスケーラのカウント値に対して RADJ.ADJ [5:0]ビット値を加減算	R/W
6	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7	CNTMD	カウントモード選択(注4) 0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注. S-TYPE3, P-TYPE3
注 1. R64CNT, BCNTnAR, BCNTnAER, RADJ, RTCCRn, BCNTnCPm, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP
注 2. LOCO が選択される場合、このビットの設定は無効です。
注 3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「26.6.5. レジスタの書き込み／読み出し時の注意事項」を参照してください。
注 4. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。

バイナリカウントモードにおける RCR2 レジスタは、自動補正機能、RTCOUT 出力許可、RTC ソフトウェアリセット、およびカウントモード制御に関連するレジスタです。

START ビット（スタート）

START ビットはプリスケーラおよびカウンタ（時計）の停止または動作を制御します。START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

RESET ビットはプリスケーラと RTC ソフトウェアリセット対象レジスタを初期化します。RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。RESET ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。

RTCOE ビット（RTCOUT 出力許可）

RTCOE ビットは RTCOUT 端子からの 1 Hz/64 Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と、RTCOE ビット値の変更は、同時に行わないでください。RTCOUT 信号を外部端子から出力する場合は、このビットを許可にするとともに、ポート制御を有効にしてください。

AADJE ビット（自動補正有効）

AADJE ビットは自動補正機能の有効／無効を制御します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット（自動補正周期選択）

AADJP ビットは自動補正の周期を選択します。

バイナリカウントモードでは、32 秒ごとまたは 8 秒ごとの補正周期を選択できます。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

CNTMD ビット（カウントモード選択）

CNTMD ビットは、RTC をカレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットは、カウントソースに同期して更新されます。ただし、カウントモードが切り替わるのは、RTC ソフトウェアリセット後のみになります。（ビットは RTC リセット前に切り替わりますが、モードは RTC リセット後に切り替わります。）

初期設定の詳細は、「26.3.1. 電源投入後のレジスタ初期設定の概要」を参照してください。

26.2.23 RCR4 : RTC コントロールレジスタ 4

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x28

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RCKSEL
Value after reset:	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	RCKSEL	カウントソース選択 0: SOSC クロックを選択 1: LOCO クロックを選択	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RCR4 レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。

RCKSEL ビット（カウントソース選択）

RCKSEL ビットは、カウントソースをサブクロック発振器と LOCO から選択します。

RCKSEL ビットは通常動作モードでのみ使用されます。RCKSEL ビットを 0 に設定すると、サブクロック発振器でカウントされます。RCKSEL ビットを 1 に設定すると、LOCO でカウントされます。

カウントソースの設定の詳細は、「26.3.1. 電源投入後のレジスタ初期設定の概要」と「26.3.2. クロックおよびカウントモードの設定手順」を参照してください。カウントソースは、電源投入時、RTC レジスタの初期設定前に一度だけ選択してください。

26.2.24 RFRL : 周波数レジスタ L

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x2C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFC[15:0]															
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	RFC[15:0]	周波数比較値 LOCO 使用時は、このレジスタに 0x00FF を書いてください。	R/W

注. S-TYPE3, P-TYPE3

RFRL レジスタは、LOCO 選択時のプリスケーラを制御するレジスタです。

RTC の時計カウンタは、128 Hz クロック信号を基本クロックとして動作します。そのため、LOCO を選択した場合、プリスケーラで LOCO が分周されて 128 Hz クロック信号が生成されます。RFC[15:0]ビットには、LOCO 周波数から 128 Hz クロックを生成するための周波数比較値を設定します。コールドスタート後、RFC[15:0]へ書き込む前に、RFRH に 0x0000 を書き込んでください。

周波数比較値の設定可能範囲は、0x0007～0x01FF です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。周辺モジュールクロックと LOCO の動作周波数は、「周辺モジュールクロック ≧ LOCO」となるようにしてください。

周波数比較値の計算方法:

RFC[15:0] = (LOCO クロック周波数) / 128 - 1

LOCO 周波数が 32.768 kHz の時、RFRL レジスタの値は 0x00FF になります。

26.2.25 RFRH : 周波数レジスタ H

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x2A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	RFC16	コールドスタート後、RFRL レジスタに書き込む前に 0 を書いてください	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

コールドスタート後、RFC[15:0]へ書き込む前に、RFRH に 0x0000 を書き込んでください。

26.2.26 RADJ : 時間誤差補正レジスタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x2E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PMADJ[1:0]		ADJ[5:0]					
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
5:0	ADJ[5:0]	補正値 プリスケーラの補正値を指定するビットです。	R/W
7:6	PMADJ[1:0]	プラスマイナス 0 0: 補正しない 0 1: プリスケーラに対して値を加算して補正する 1 0: プリスケーラに対して値を減算して補正する 1 1: 設定禁止	R/W

注. S-TYPE3, P-TYPE3

RADJ レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。プリスケーラまたは 64 Hz カウンタに対して、値を加算または減算することによって補正されます。自動補正有効ビット (RCR2.AADJE) が 0 の場合、RADJ レジスタへの書き込み時に補正が行われます。RCR2.AADJE ビットが 1 の場合、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正が行われます。

ソフトウェア設定による補正（自動補正が無効）では、レジスタの設定後、カウントソースの 320 サイクル中に次の補正値を設定すると、現在の補正値の設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待ってから次の補正値を設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。サブクロック発振器を選択した場合にのみ、本レジスタの設定が有効になります。LOCO を選択した場合、補正は行われません。

ADJ[5:0]ビット（補正値）

ADJ[5:0]ビットはプリスケーラに対する補正値（サブクロックのサイクル数）を設定します。

PMADJ[1:0]ビット（プラスマイナス）

ADJ[5:0]ビットで設定した誤差補正値に従って、PMADJ[1:0]ビットは時計を進めるか、遅らせるかを選択します。

26.2.27 RTCCRn : 時間キャプチャコントロールレジスタ n (n = 0～2)

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x40 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCEN	—	TCNF[1:0]		—	TCST	TCCT[1:0]	
Value after reset:	x	0	x	x	0	x	x	x

ビット	シンボル	機能	R/W
1:0	TCCT[1:0]	時間キャプチャ制御 0 0: イベントを検出しない 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
2	TCST	時間キャプチャステータス 0: イベント検出なし 1: イベント検出あり(注1)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TCNF[1:0]	時間キャプチャノイズフィルタ制御 0 0: ノイズフィルタ停止 0 1: 設定禁止 1 0: ノイズフィルタ開始（カウントソース） 1 1: ノイズフィルタ開始（カウントソースの 32 分周）	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TCEN	時間キャプチャイベント入力端子有効 0: RTCICn 端子が時間キャプチャイベント入力端子として無効 1: RTCICn 端子が時間キャプチャイベント入力端子として有効	R/W

注. S-TYPE3, P-TYPE3
注 1. イベントが検出されたことを示します。1 の書き込みは無効になります。0 を書き込むと 0 になります。

RTCCRn レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRn は、カウントソースに同期して更新されます。RTCCRn レジスタを書き換えた場合は、TCST ビット以外の全ビットが更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。RTCICm を時間キャプチャ端子として使う場合、VBTICTLR.VCHnIEN (n = 0～2) を 1 に設定する必要があります。

TCCT[1:0]ビット（時間キャプチャ制御）

TCCT[1:0]ビットは時間キャプチャイベント入力端子 RTCIC0、RTCIC1、および RTCIC2 のエッジ検出を制御します。検出するエッジの選択が可能です。TCCT[1:0]ビットは、VBTICTLR.VCHnIEN ビットが 1 のときに設定してください。

TCST ビット（時間キャプチャステータス）

TCST ビットは、時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のイベントが検出されたことを示します。TCST ビットが 0 の場合、イベントは検出されていません。TCST ビットが 1 の場合、対応する端子のイベントが検出されたこと、およびキャプチャレジスタが有効であることを示します。複数回イベントが検出された場合は、最初のイベントのキャプチャ時刻が保持されます。

イベントは、カウント動作中（RCR2.START ビット = 1）にのみ検出されます。キャプチャレジスタの読み出しは、本ビットが 1 になったことを確認してから行ってください。

TCST ビットの設定は、TCCT[1:0]ビットが 00b（イベント検出なし）の状態で行ってください。TCST ビットは、カウントソースに同期して 0 になります。TCST ビットを 0 にした場合、このビットが更新されたことを確認してから次の処理を実行してください。

TCNF[1:0]ビット（時間キャプチャノイズフィルタ制御）

TCNF[1:0]ビットは、時間キャプチャイベント入力端子（RTCIC0、RTCIC1、および RTCIC2）のノイズフィルタを制御します。

ノイズフィルタが開始の場合、カウントソースの 1 分周または 32 分周を選択できます。このとき、時間キャプチャイベント入力端子の入力レベルが設定したサンプリング周期で 3 回連続して一致すると、その入力レベルが確定されます。

TCNF[1:0]ビットの設定は、TCCT[1:0]ビットが 00b（イベント検出なし）の状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0]ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0]ビットの設定を行ってください。TCNF[1:0]ビットは、VBTICTLR.VCHnIEN ビットが 1 のときに設定してください。

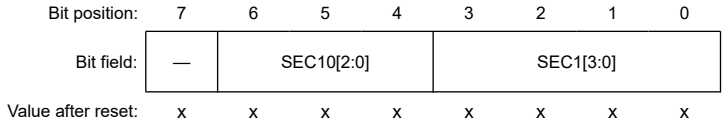
TCEN ビット（時間キャプチャイベント入力端子有効）

TCEN ビットは時間キャプチャイベント入力端子（RTCIC0、RTCIC1、および RTCIC2）を有効または無効にします。時間キャプチャイベント入力端子に複数の機能を割り当てる場合は、最初に VBTICTLR レジスタを設定してください。TCEN ビットを 0 にする場合、TCCT[1:0]ビットも 00b にしてください。

26.2.28 RSECCPn : 秒キャプチャレジスタ n（n = 0～2）（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x52 + 0x10 × n



ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒キャプチャ 一秒の位のキャプチャ値を示します。	R
6:4	SEC10[2:0]	10 秒キャプチャ 十秒の位のキャプチャ値を示します。	R
7	—	読み出し値は不定です。	R

注. S-TYPE3, P-TYPE3

RSECCPn レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RSECCP2 レジスタに、それぞれイベント検出時刻を格

納します。このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.29 RMINCPn : 分キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x54+ 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MIN10[2:0]			MIN1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分キャプチャ 一分の位のキャプチャ値を示します。	R
6:4	MIN10[2:0]	10 分キャプチャ 十分の位のキャプチャ値を示します。	R
7	—	読み出し値は不定です。	R

注. S-TYPE3, P-TYPE3

RMINCPn レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMINCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.30 RHRCPn : 時キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x56+ 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PM	HR10[1:0]		HR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間キャプチャ 一時間の位のキャプチャ値を示します。	R
5:4	HR10[1:0]	10 時間キャプチャ 十時間の位のキャプチャ値を示します。	R
6	PM	PM 0: 午前 1: 午後	R
7	—	読み出し値は不定です。	R

注. S-TYPE3, P-TYPE3

RHRCPn レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RHRCP2 レジスタに、それぞれイベント検出時刻を格納します。

RCR2.HR24 ビットが 0（12 時間モード）の場合にのみ、PM ビットが有効になります。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.31 RDAYCPn：日キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x5A+ 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	DATE10[1:0]		DATE1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1 日キャプチャ 一日の位のキャプチャ値を示します。	R
5:4	DATE10[1:0]	10 日キャプチャ 十日の位のキャプチャ値を示します。	R
7:6	—	読み出し値は不定です。	R

注. S-TYPE3, P-TYPE3

RDAYCPn レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.32 RMONCPn：月キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x5C+ 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MON10	MON1[3:0]			
Value after reset:	0	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月キャプチャ 一月の位のキャプチャ値を示します。	R
4	MON10	10 月キャプチャ 十月の位のキャプチャ値を示します。	R
7:5	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

RMONCPn レジスタは、カレンダカウントモード時に使用され、時間キャプチャイベント検出時に RMONCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMONCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.33 BCNTnCPm : BCNTn キャプチャレジスタ m (n = 0～3, m = 0～2)（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x52 + 0x10 × m (BCNT0CPm)
0x54 + 0x10 × m (BCNT1CPm)
0x56 + 0x10 × m (BCNT2CPm)
0x5A + 0x10 × m (BCNT3CPm)

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	x	x	x	x	x	x	x	x

BCNTnCPm レジスタは、時間キャプチャイベント検出時に BCNTn 値をキャプチャする読み出し専用のレジスタです。BCNT3CPm は BCNTCPm[31:24]ビットに、BCNT2CPm は BCNTCPm[23:16]ビットに、BCNT1CPm は BCNTCPm[15:8]ビットに、BCNT0CPm は BCNTCPm[7:0]ビットに割り当てられます。RTCIC0 端子によるイベント検出時は BCNTnCP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNTnCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNTnCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。読み出しは、RTCCRn.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.3 動作説明

26.3.1 電源投入後のレジスタ初期設定の概要

電源投入後は、クロック設定、カウントモード設定、時間誤差補正、時刻設定、アラーム、割り込み、および時間キャプチャに対して、初期設定を行ってください。

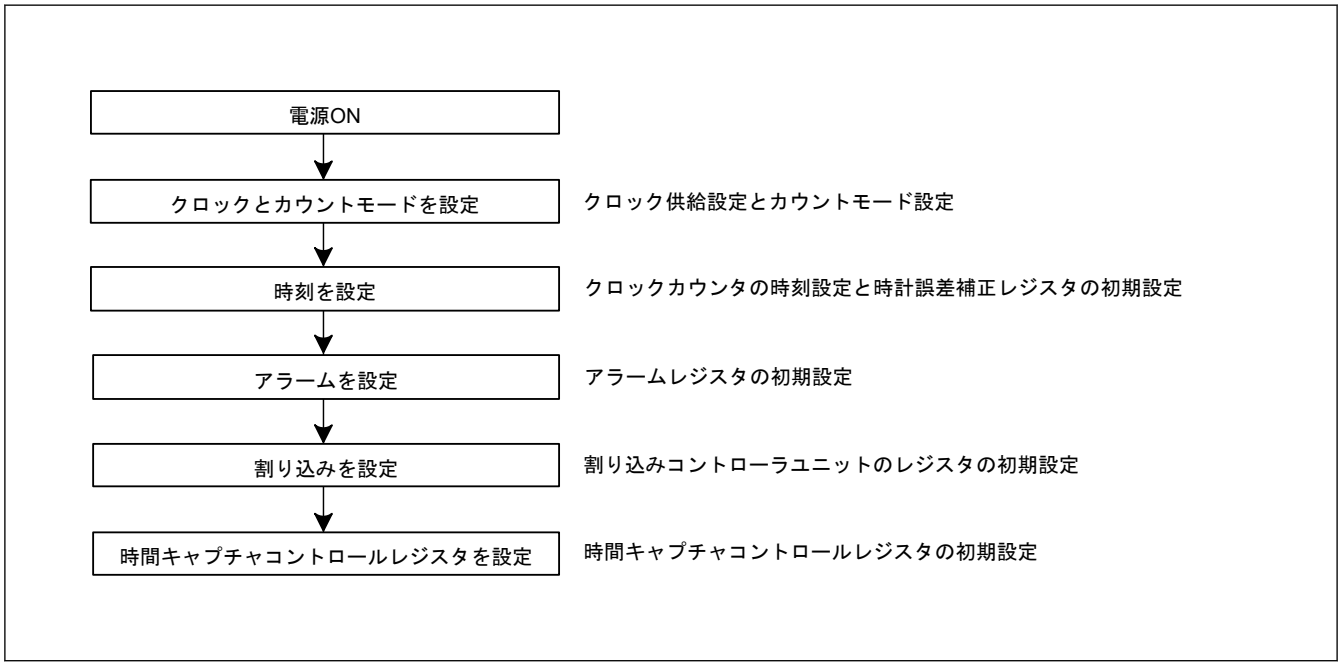
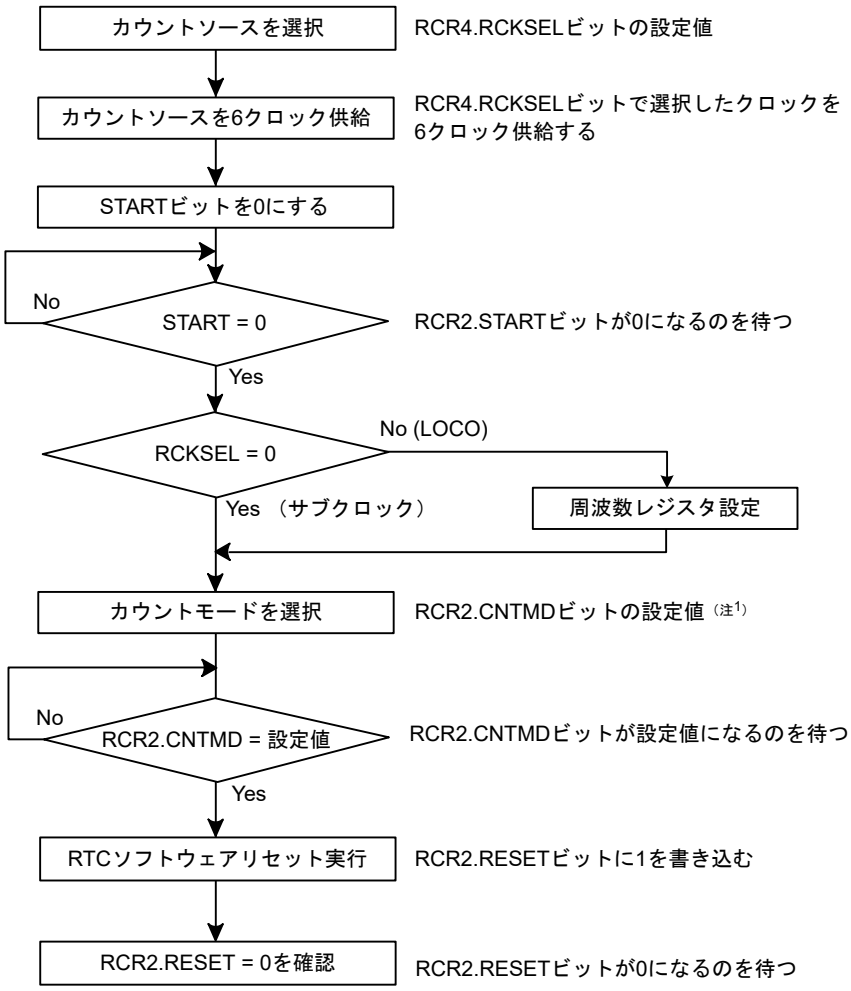


図 26.2 電源投入後の初期設定の概要

26.3.2 クロックおよびカウントモードの設定手順

図 26.3 にクロックおよびカウントモードの設定手順を示します。

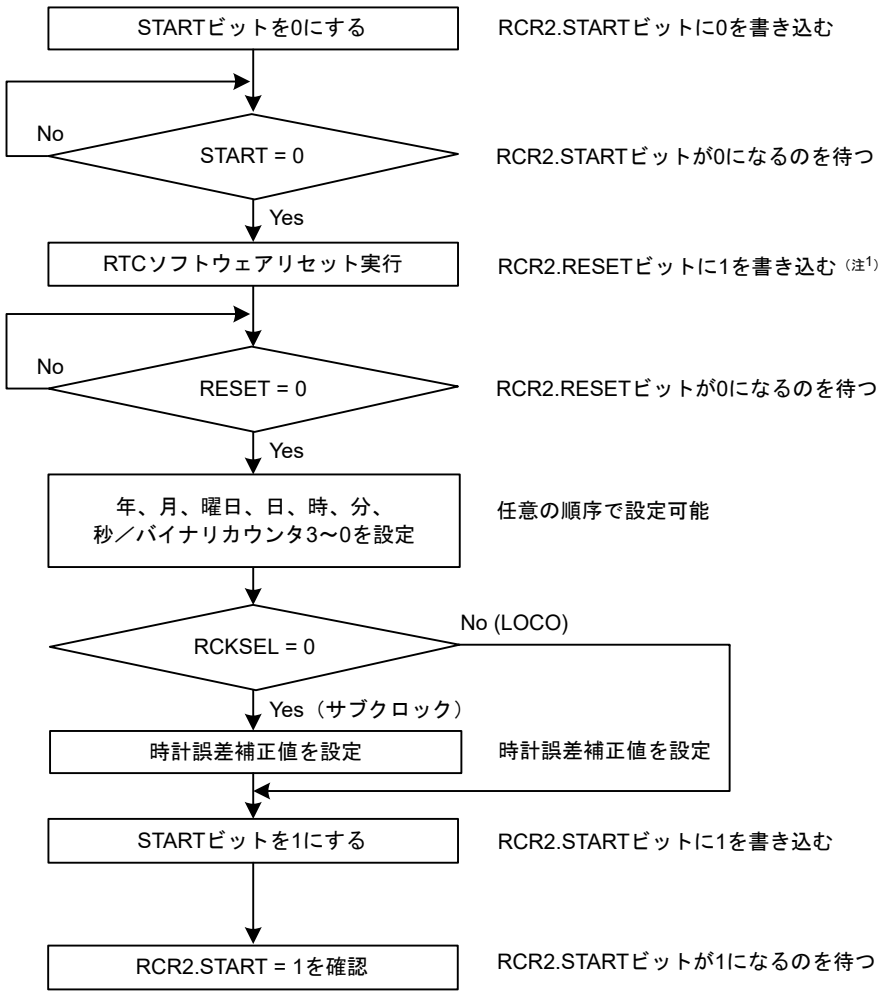


注 1. START ビットを 0 にすると同時にカウントモードを設定する場合、本手順を省略できます。RCR2.CNTMD ビットには、カウントモード設定に対応する値を書き込んでください。

図 26.3 クロックおよびカウントモードの設定手順

26.3.3 時刻の設定

図 26.4 に時刻の設定手順を示します。



注 1. 電源投入時の初期設定で行うクロック設定手順で RTC ソフトウェアリセットを実行するため、電源投入後の初期設定ではこの手順を省略することができます。

図 26.4 時刻の設定

26.3.4 30 秒調整

図 26.5 に 30 秒調整の実行手順を示します。

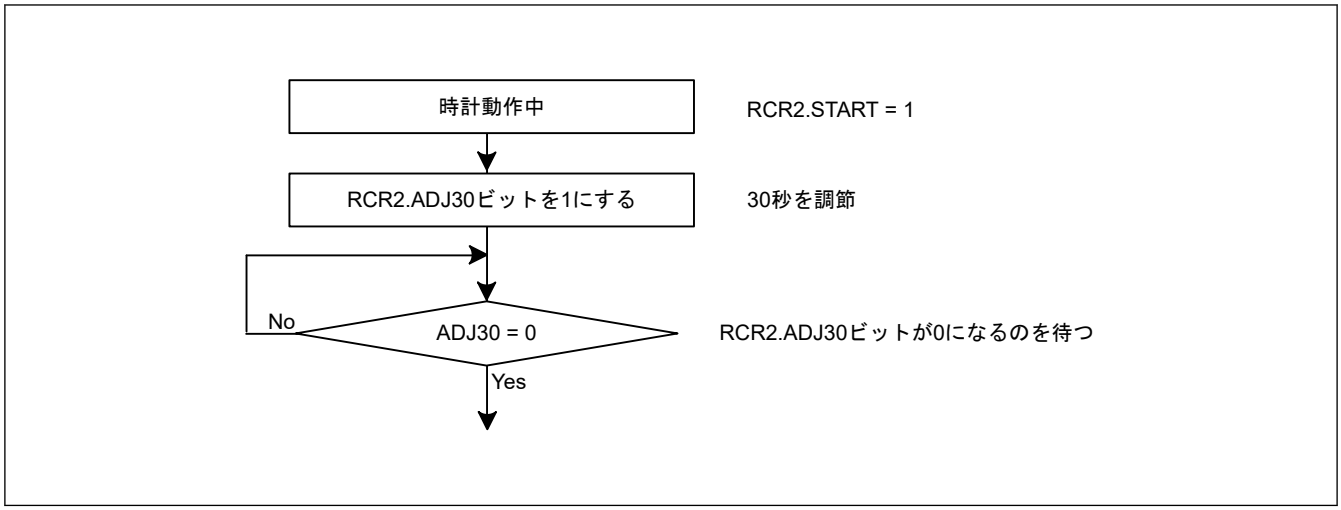
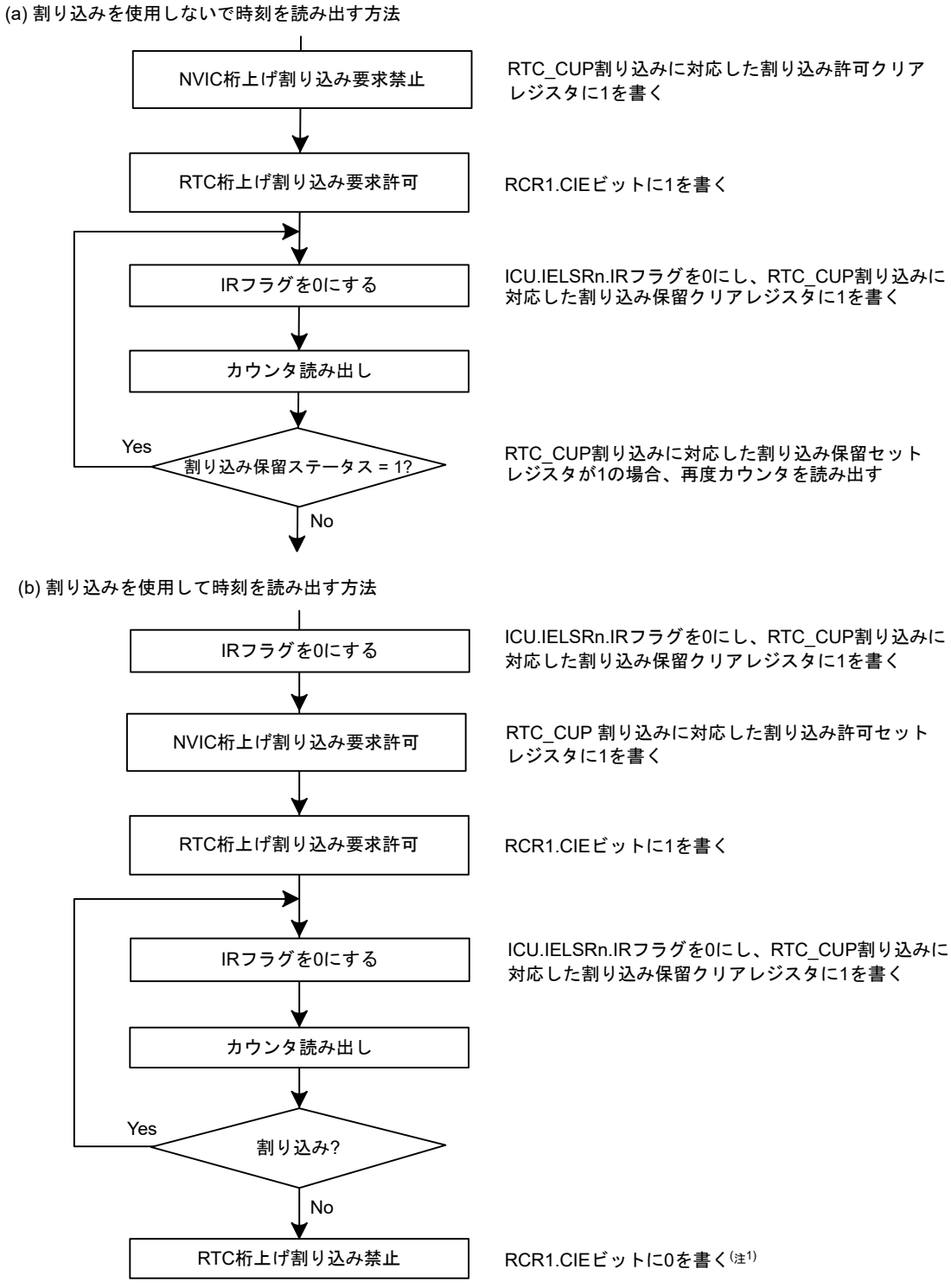


図 26.5　30 秒調整の実行

26.3.5　64 Hz カウンタと時刻の読み出し

図 26.6 に 64 Hz カウンタと時刻の読み出し手順を示します。



注 1. 必要に応じて割り込みを禁止してください。

図 26.6 64 Hz カウンタと時刻の読み出し手順

64 Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 26.6 の (a) に、桁上げ割り込みを使用する場合の手順を (b) に示します。通常は、プログラムを簡潔にするため、割り込みを使用しない方法 (a) を推奨します。

26.3.6 アラーム機能

図 26.7 にアラーム機能の使用手順を示します。

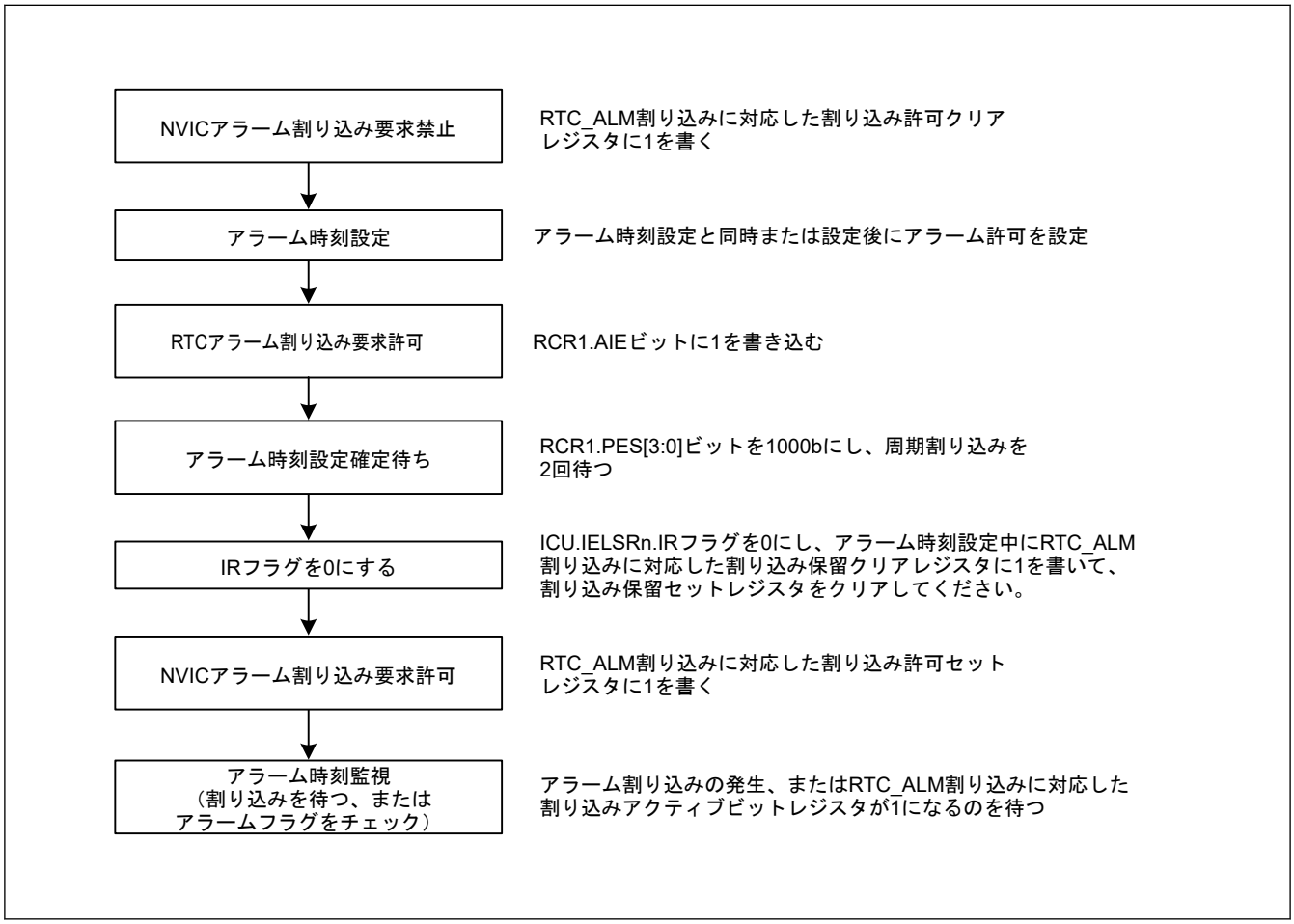


図 26.7 アラーム機能の使用手順

カレンダカウントモードでは、年、月、日、曜日、時、分、秒のいずれか 1 つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定をする各アラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは ENB ビットに 0 を書き込みます。

バイナリカウントモードでは、32 ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラームイネーブルレジスタの ENB ビットに 1 を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタ(注1)の ENB ビットに 0 を書き込みます。

ENB[31:0]ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ(注1)と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になり、割り込み保留セット／保留クリアレジスタが 1 になります。アラームの検出は、RTC_ALM 割り込みに対応した割り込み保留セットレジスタを読み出すことで確認できますが、通常は割り込みで行うことを推奨します。
RTC_ALM 割り込みに対応した割り込み許可セットレジスタが 1 になっている場合、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC_ALM 割り込みに対応した IELSRn.IR フラグは、0 を書き込むと 0 になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC_ALM 割り込みに対応した割り込み保留セット／保留クリアレジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC_ALM 割り込みに対応した割り込み保留クリアレジスタに 1 を書き込むと、レジスタはクリアされます。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCU は低消費電力状態から復帰します。

注 1. ENB ビットのうち 1 になっている各ビットに対し、以下のレジスタのうちアラームレジスタの対応する位置の値とカウンタレジスタのカウント値の対応する各ビットが比較されます。

カウンタレジスタ： RSECCNT, RMINCNT, RHRCNT, RWKCNT, RDAYCNT, RMONCNT, RYRCNT
アラームレジスタ： RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN

26.3.7 アラーム割り込み禁止手順

図 26.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

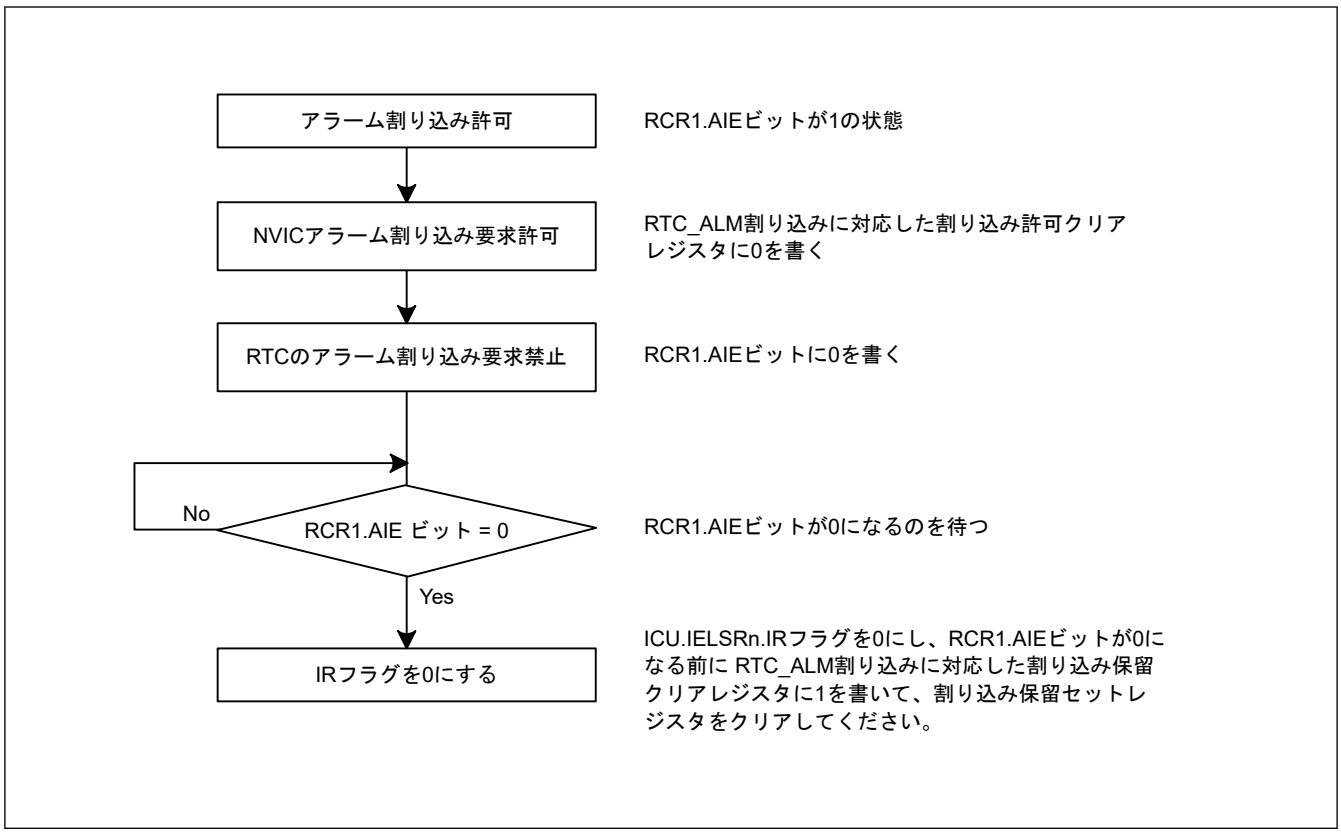


図 26.8 アラーム割り込み要求の禁止手順

26.3.8 時間誤差補正機能

時間誤差補正機能は、サブクロック発振器による発振精度の変動に起因した、時計の誤差（遅れ／進み）を補正するために使用します。サブクロック発振器を選択した場合、サブクロック発振器の 32768 サイクルが 1 秒の動作に相当するため、サブクロック発振器の周波数が高いと時計が進み、低いと時計が遅れます。

時間誤差補正機能には以下の種類があります。

- 自動補正
- ソフトウェアによる補正

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

26.3.8.1 自動補正

RCR2.AADJE ビットを 1 にすると、自動補正が有効になります。

自動補正では、RCR2.AADJP ビットで選択した補正周期ごとに、プリスケーラでカウントした値に対して RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769 kHz で動作している場合

補正方法

サブクロック発振器が 32.769 kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 1 クロックサイクル分時計が進みます。時

計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP = 0（1 分ごとに補正）
- RADJ.PMADJ[1:0] = 10b（プリスケーラに対して値を減算して補正）
- RADJ.ADJ[5:0] = 60 (0x3C)

(2) 例 2：サブクロック発振器が 32.766 kHz で動作している場合

補正方法

サブクロック発振器が 32.766 kHz で動作している場合、32766 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 2 クロックサイクル分時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP = 1（10 秒ごとに補正）
- RADJ.PMADJ[1:0] = 01b（プリスケーラに対して値を加算して補正）
- RADJ.ADJ[5:0] = 20 (0x14)

(3) 例 3：サブクロック発振器が 32.764 kHz で動作している場合

補正方法

サブクロック発振器が 32.764 kHz で動作している場合、32764 クロックサイクルで 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル分遅れるため、8 秒ごとに 32 クロックサイクル分時計を進めることで補正が可能です

レジスタ設定値：（RCR2.CNTMD = 1 の場合）

- RCR2.AADJP = 1（8 秒ごとに補正）
- RADJ.PMADJ[1:0] = 01b（プリスケーラに対して値を加算して補正）
- RADJ.ADJ[5:0] = 32 (0x20)

26.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケーラでカウントした値に対し RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769 kHz で動作している場合

補正方法

サブクロック発振器が 32.769 kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分、時計を遅らせる方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RADJ.PMADJ[1:0] = 10b（プリスケーラに対して値を減算して補正）
- RADJ.ADJ[5:0] = 1 (0x01)
  この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます。

26.3.8.3 補正方法の変更手順

補正方法を変更する場合は、RADJ.PMADJ[1:0]ビットを 00b（補正を行わない）にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADJ.PMADJ[1:0]ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 1（自動補正有効）にします。
3. RCR2.AADJP ビットで自動補正周期を選択します。
4. RADJ.PMADJ[1:0]ビットに加算または減算を設定し、RADJ.ADJ[5:0]ビットに時間誤差補正値を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADJ.PMADJ[1:0]ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 0（ソフトウェアによる補正を有効）にします。
3. 任意のタイミングで、RADJ.PMADJ[1:0]ビットに加算または減算を設定し、RADJ.ADJ[5:0]ビットに時間誤差補正値を設定することにより、補正を開始します。以降、RADJ レジスタに値を書き込むごとに時間補正が行われます。

26.3.8.4 補正の停止手順

補正機能を停止するには、RADJ.PMADJ[1:0]ビットを 00b（補正しない）にします。

26.3.9 時間キャプチャ機能

RTC は、カレンダーカウントモード時またはバイナリカウントモード時に、時間キャプチャイベント入力端子の信号のエッジ検出によって、月、日、時、分、秒、およびバイナリカウンタ 3～0 の値を格納することができます。

また、時間キャプチャイベント入力端子には、ノイズフィルタを使用できます。ノイズフィルタを有効にした場合、端子の入力レベルが 3 回一致すると TCST ビットが 1 になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタの開始または停止を設定できます。RTCICn 入力を許可するために、VBTICTLR.VCHnIEN (n = 0～2) を 1 に設定してください。ノイズフィルタ停止の場合の時間キャプチャ動作タイミングを図 26.9 に、ノイズフィルタ開始の場合の時間キャプチャ動作タイミングを図 26.10 に示します。

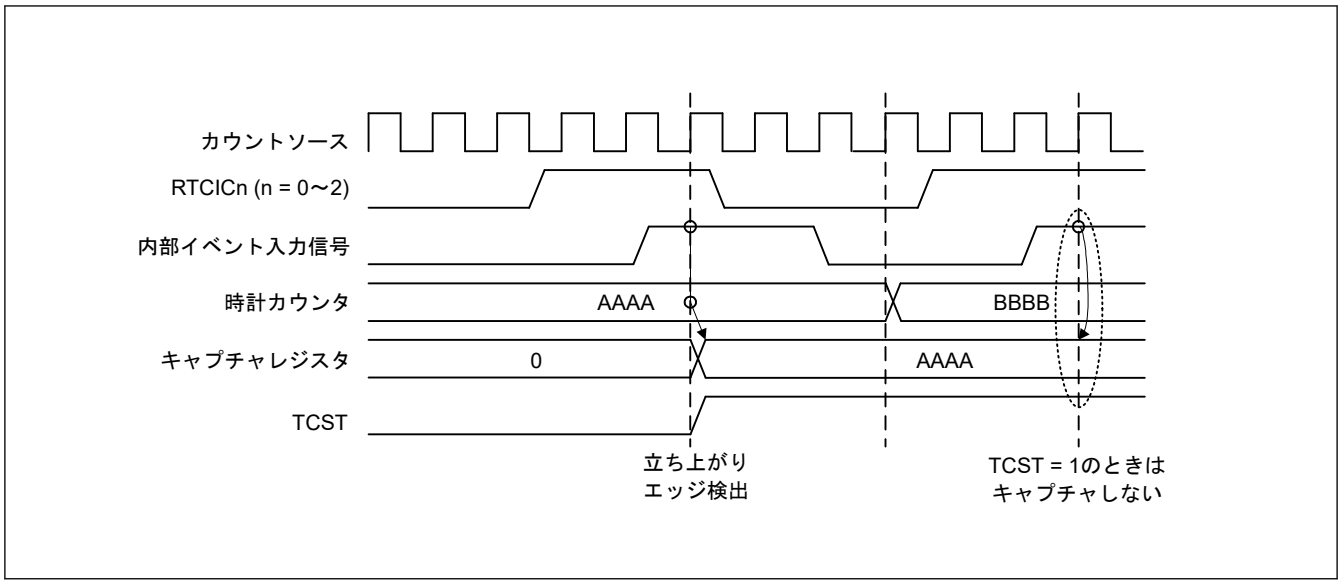


図 26.9 時間キャプチャ動作タイミング（ノイズフィルタオフ）

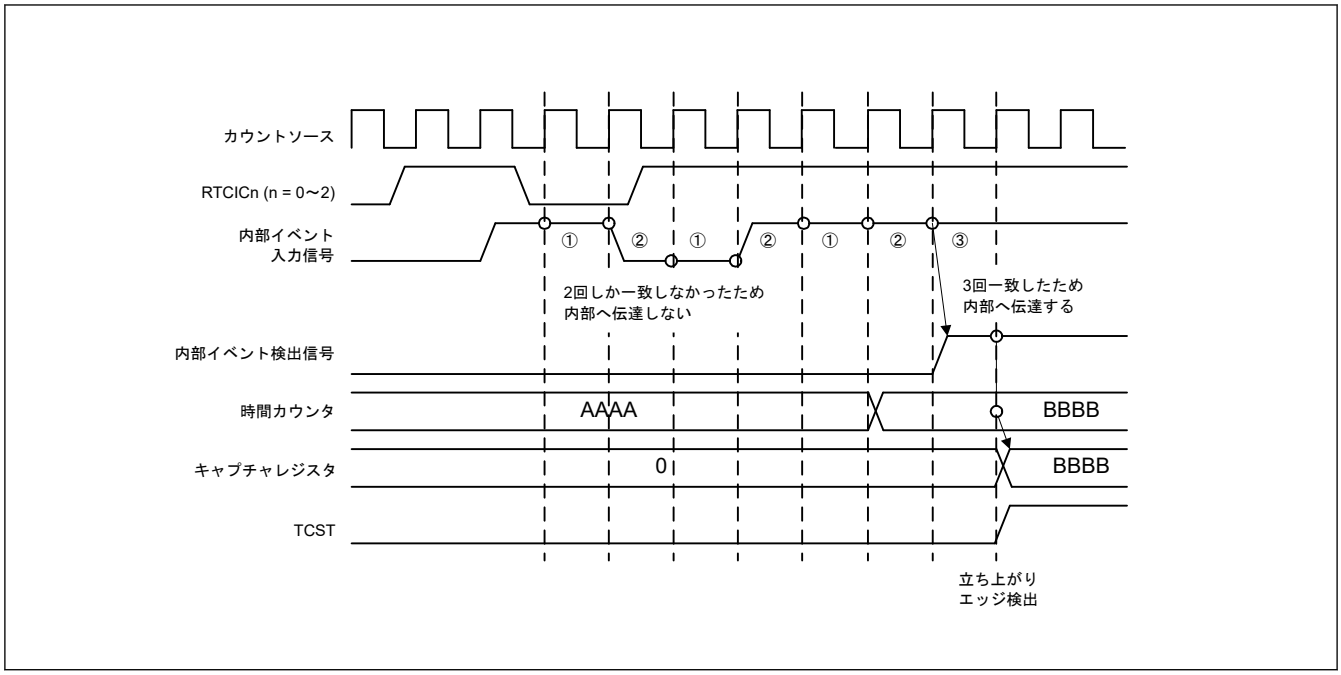


図 26.10　時間キャプチャ動作タイミング（ノイズフィルタオン）

26.4　割り込み要因

RTC には、表 26.3 に示すように、3 種類の割り込み要因があります。

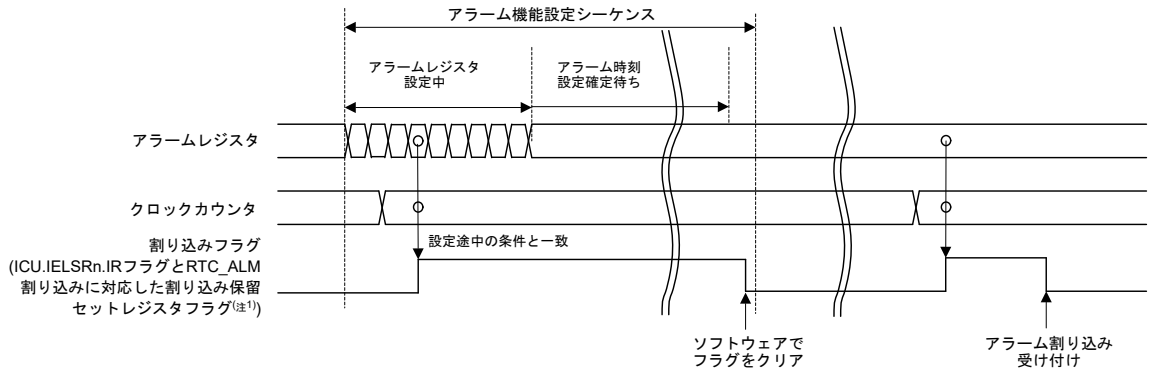
表 26.3　RTC 割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

(1)　アラーム割り込み (RTC_ALM)

この割り込みは、アラームレジスタと RTC カウンタの比較結果に基づいて発生します。詳細は、「26.3.6. アラーム機能」を参照してください。

アラームレジスタの設定値が時計カウンタと一致したとき、割り込みフラグが 1 になる可能性があるため、アラームレジスタの値を変更した後は、アラーム時刻の設定が確定されるまで待機して、IELSRn.IR フラグと、RTC_ALM 割り込みに対応する割り込み保留セットレジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは再び 1 になりません。



注 1. 関連する割り込みベクタ番号の詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.11 アラーム割り込み (RTC_ALM) のタイミング図

(2) 周期割り込み (RTC_PRD)

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

(3) 桁上げ割り込み (RTC_CUP)

この割り込みは、秒カウンタ／バイナリカウンタ 0 への桁上げが生じたとき、または 64 Hz カウンタの読み出し中に R64CNT カウンタへの桁上げが生じたときに発生します。

図 26.12 に桁上げ割り込み (RTC_CUP) のタイミング図を示します。

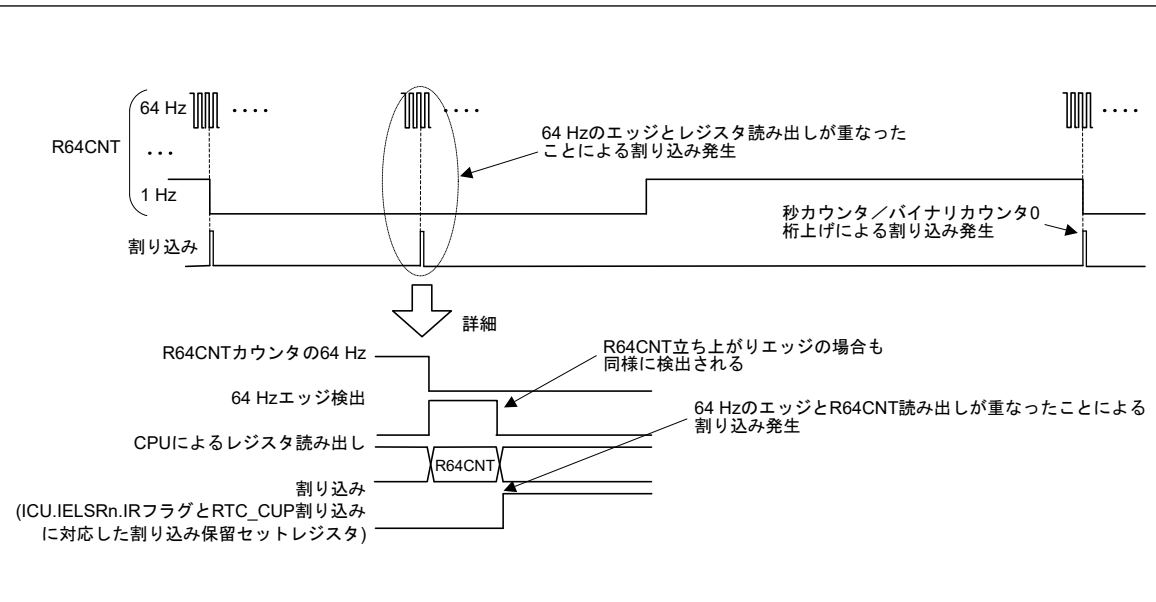


図 26.12 桁上げ割り込み (RTC_CUP) のタイミング図

26.5 イベントリンク出力機能

RTC は、ELC 用の周期イベント出力 (RTC_PRD) のイベント信号を発生させることで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

RCR1.PES[3:0]ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択した周期でイベントを出力します。

イベント発生を選択した直後のイベント発生周期は保証されません。

注. RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号を出力する場合があります。

26.5.1 割り込み処理とイベントリンクの関係

RTC には、周期割り込みを許可または禁止するビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として出力します。

注. ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力しません。

26.6 使用上の注意事項

26.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.START ビットが 1 のとき）は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24
- RFRL

上記のレジスタのいずれかに書き込みを行う場合、カウントを停止してから書き込んでください。

26.6.2 周期割り込みの使用について

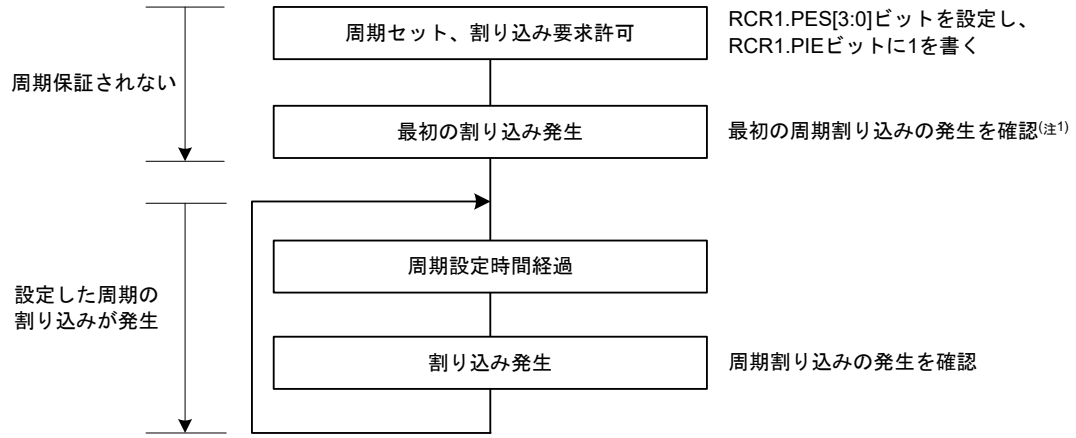
図 26.13 に周期割り込みの使用方法を示します。

周期割り込みの発生とその周期は、RCR1.PES[3:0]ビットの設定で変更できます。ただし、割り込みの生成にはプリスケーラ 、R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0]ビットの設定直後は、割り込み発生周期が保証されません。

また、RCR2 レジスタ値を変更して、以下の動作を行うと、割り込み発生周期に影響を与えます。

- カウント動作の停止／動作／リセット
- RTC ソフトウェアリセット
- 30 秒調整

時間誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正値に従って加算または減算されます。



注 1. 周期割り込みを使用中に割り込み発生周期を変更した場合は、設定完了時に割り込みが発生する場合があります。設定直後に割り込みが発生している場合は、設定直後の割り込みを含めて 2 回目の割り込みまで周期が保証されません。

図 26.13 周期割り込み機能の使用方法

26.6.3 RTCOUT (1 Hz/64 Hz) クロック出力について

RCR2 レジスタ値を変更して、カウント動作の停止／動作／リセット、RTC ソフトウェアリセットおよび 30 秒調整を行うと、RTCOUT (1 Hz/64 Hz) 出力周期に影響を与えます。時間誤差補正機能を使用した場合、補正後の RTCOUT (1 Hz/64 Hz) 出力周期は、補正値に従って加算または減算されます。

26.6.4 レジスタ設定後の低消費電力モードへの遷移について

RTC のレジスタへの書き込み中に低消費電力状態（ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、またはバッテリバックアップ状態）へ遷移すると、レジスタ値が破壊されることがあります。レジスタの設定後は、設定が確定されたことを確認してから低消費電力状態へ遷移してください。

26.6.5 レジスタの書き込み／読み出し時の注意事項

- カウンタレジスタ（秒カウンタなど）へ書き込んだ後、そのカウンタレジスタを読み出す際は、「26.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます。
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます。
- リセットあるいはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、またはバッテリバックアップ状態から復帰した後、タイマカウンタの値を読み出す際は、クロックが動作中（RCR2.START ビットが 1）の状態で 1/128 秒間待ってから読み出しを行ってください。
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください。

26.6.6 カウントモードの変更について

カウントモード（カレンダーカウントモード／バイナリカウントモード）を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、「26.3.1. 電源投入後のレジスタ初期設定の概要」を参照してください。

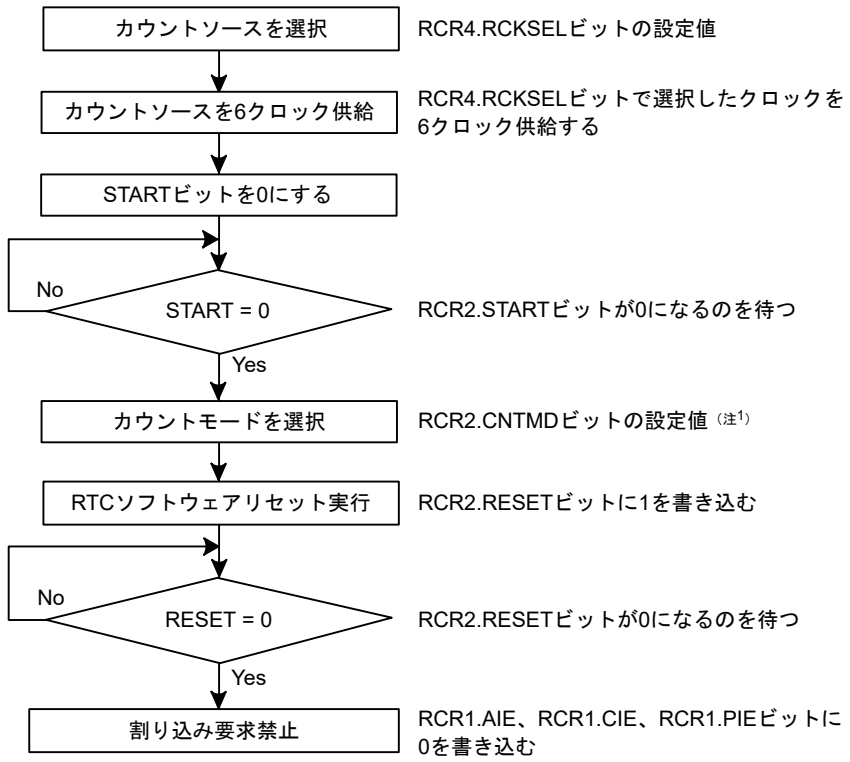
26.6.7 RTC を使用しない場合の初期化手順

RTC 内のレジスタは、リセットによって初期化されません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、電力消費が多くなります。

RTC を使用しない場合、図 26.14 に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロック発振器をシステムクロックソース、リアルタイムクロック、各周辺モジュールまたは HOCO の FLL 機能の動作クロックとして使用しない場合は、RCR4.RCKSEL ビットを 0（サブクロック発振器を選択）にした後、サブクロック発振器を停止させることでカウンタを停止できます。サブクロック発振器を停止するには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「9. クロック発生回路」を参照してください。



注 1. START ビットに 0 を書くのと同時にカウントモードを設定している場合、本手順を省略できます。

図 26.14 RTC を使用しない場合の初期化手順

26.6.8 ソースクロック切り替え時

SCKSCR.CKSEL[2:0]ビットを変更してソースクロックを切り替えるとき、セレクタからのクロック出力は切り替えたクロック 4 サイクル分停止します。このとき、RTC 周期割り込みか RTC 周期イベント出力を生成したら、その割り込みやイベントは無効です。

26.6.9 RTC レジスタへ書き込む場合

MCU の VCC 電圧が 1.8 V より低く、かつ RTC レジスタへの書き込みアクセスが行われる場合は、書き込みアクセスが 1 回行われた後に少なくとも 1 回は読み出しアクセスを行ってください。また、書き込みアクセスが連続して行われる場合は、各アクセス間に 167 ns の間隔を空けてください。

27. ウォッチドッグタイマ (WDT)

27.1 概要

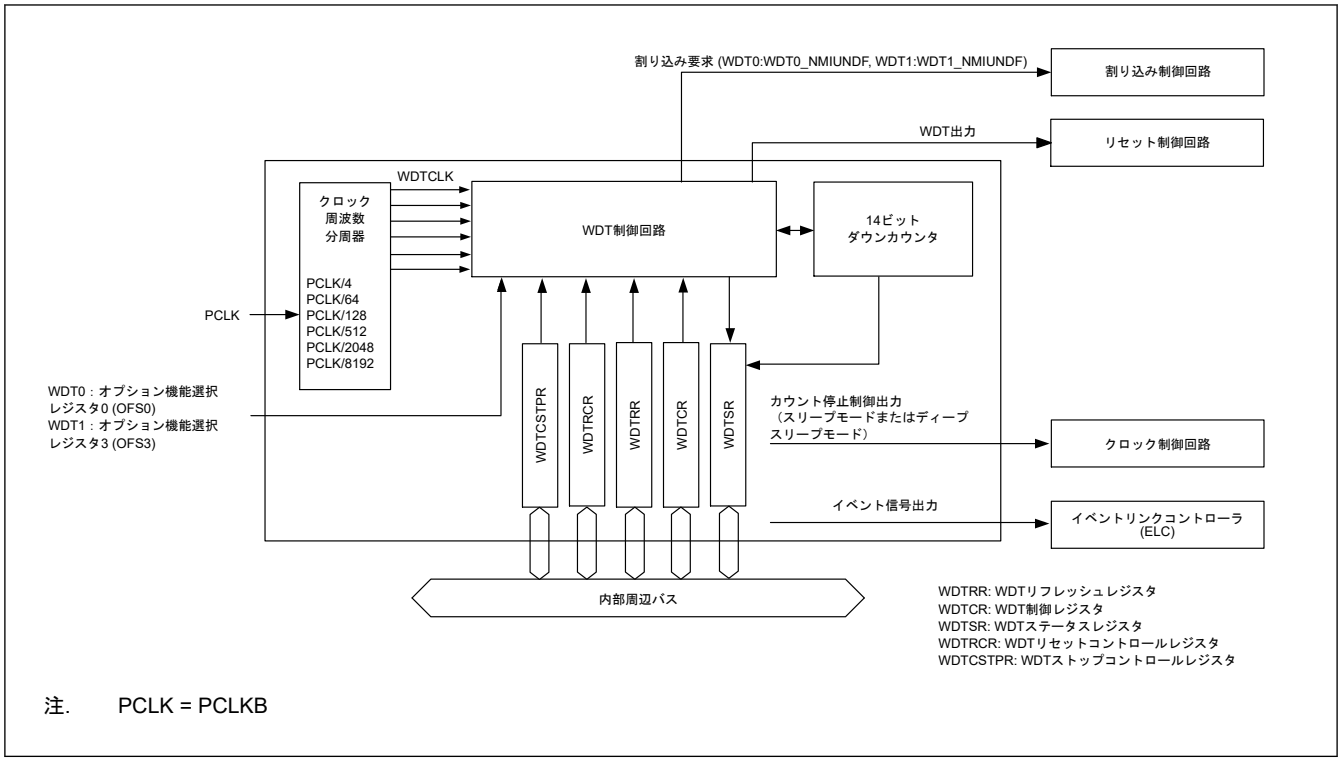
ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるためにも使用できます。

表 27.1 に WDT の仕様を、図 27.1 に WDT のブロック図を示します。

表 27.1 WDT の仕様

項目	内容
ユニット数	2（CPU0 用 WDT0、CPU1 用 WDT1）
カウントソース(注1)	周辺クロック (PCLKB)
クロック分周比	4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• オートスタートモード : リセット後、またはアンダーフロー／リフレッシュエラー発生後に自動的にカウント開始 • レジスタスタートモード : WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始 • セキュアデベロッパーのみがオートスタートモードまたはレジスタスタートモードを選択可能
カウント停止条件	• リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
ウォッチドッグタイマリセット要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • スリープモードまたはディープスリープモードカウント停止制御出力
TrustZone フィルタ	セキュリティ属性およびプリビレッジ属性が設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ 4 ×（カウントクロックソースの分周後周波数）となるように設定してください。



注. PCLK = PCLKB

図 27.1 WDT のブロック図

27.2 レジスタの説明

27.2.1 WDTRR : WDT リフレッシュレジスタ

Base address: WDTn = 0x4020_2600 + 0x0100 × n (n = 0, 1)
WDTn_NS = 0x5020_2600 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	7							0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

注. S-TYPE-3, P-TYPE-3

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

ダウンカウンタのリフレッシュ後、オートスタートモードではオプション機能選択レジスタ m の WDT タイムアウト期間選択ビット（OFS0.WDT0TOPS[1:0]または OFS3.WDT1TOPS[1:0]）の設定により選択された値からダウンカウントがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) の設定により選択された値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「27.3.3. リフレッシュ動作」を参照してください。

27.2.2 WDTCR : WDT コントロールレジスタ

Base address: WDTn = 0x4020_2600 + 0x0100 × n (n = 0, 1)
WDTn_NS = 0x5020_2600 + 0x0100 × n (n = 0, 1)

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0 0 0 1: PCLKB/4 0 1 0 0: PCLKB/64 1 1 1 1: PCLKB/128 0 1 1 0: PCLKB/512 0 1 1 1: PCLKB/2048 1 0 0 0: PCLKB/8192 その他: 設定禁止	R/W
9:8	RPES[1:0]	ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウ終了位置の設定なし）	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウ開始位置の設定なし）	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

WDTCR レジスタは、レジスタスタートモード時のダウンカウンタがアンダーフローするまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始／終了位置を設定するレジスタです。

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「27.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ m (OFSm) (m = 0, 3) の設定値が有効となります。OFSm (m = 0, 3) レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、「27.3.8. オプション機能選択レジスタ m (OFSm) と WDT のレジスタの対応関係 (m = 0, 3)」を参照してください。

TOPS[1:0]ビット（タイムアウト期間選択）

TOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／4096 サイクル／8192 サイクル／16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（PCLKB サイクル数）は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

表 27.2 に、CKS[3:0]ビットと TOPS[1:0]ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 27.2 タイムアウト期間の設定

CKS[3:0]ビット	TOPS[1:0]ビット	クロック分周比	タイムアウト期間（サイクル数）	PCLKB クロックサイクル数
0x1	00b	PCLKB/4	1024	4096
	01b		4096	16384
	10b		8192	32768
	11b		16384	65536
0x4	00b	PCLKB/64	1024	65536
	01b		4096	262144
	10b		8192	524288
	11b		16384	1048576
0xF	00b	PCLKB/128	1024	131072
	01b		4096	524288
	10b		8192	1048576
	11b		16384	2097152
0x6	00b	PCLKB/512	1024	524288
	01b		4096	2097152
	10b		8192	4194304
	11b		16384	8388608
0x7	00b	PCLKB/2048	1024	2097152
	01b		4096	8388608
	10b		8192	16777216
	11b		16384	33554432
0x8	00b	PCLKB/8192	1024	8388608
	01b		4096	33554432
	10b		8192	67108864
	11b		16384	134217728

CKS[3:0]ビット（クロック分周比選択）

CKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、PCLKB クロックの 4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周から選択できます。TOPS[1:0]ビットの設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096～134217728 サイクルから選択できます。

RPES[1:0]ビット（ウィンドウ終了位置選択）

RPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効になり、ウィンドウ終了位置は 0%になります。

RPSS[1:0]ビット（ウィンドウ開始位置選択）

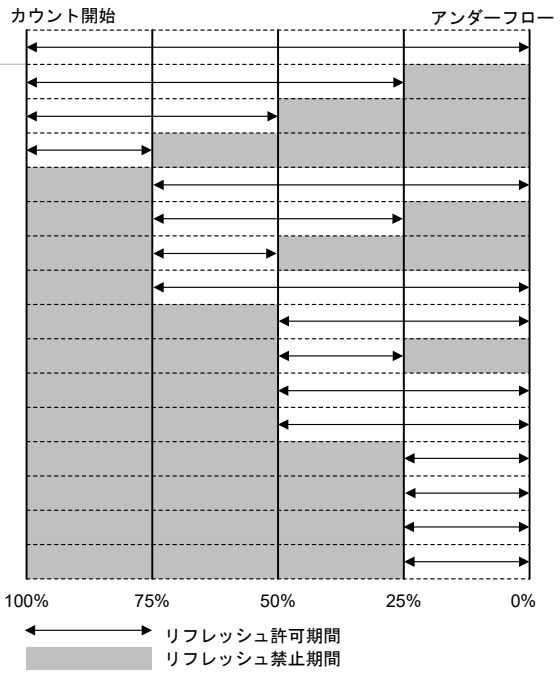
RPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効になり、ウィンドウ終了位置は 0%になります。

表 27.3 にウィンドウ開始、終了位置のカウンタ値を、図 27.2 に RPSS[1:0]、RPES[1:0]、TOPS[1:0]ビットで設定されるリフレッシュ許可期間を示します。

表 27.3　タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

TOPS[1:0] ビット	タイムアウト期間		ウィンドウ開始／終了カウンタ値			
	サイクル数	カウンタ値	100%	75%	50%	25%
00b	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
01b	4096	0x0FFF	0x0FFF	0x0BFF	0x07FF	0x03FF
10b	8192	0x1FFF	0x1FFF	0x17FF	0x0FFF	0x07FF
11b	16384	0x3FFF	0x3FFF	0x2FFF	0x1FFF	0x0FFF

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始 (%)	終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注.　ウィンドウ終了位置設定 ≧ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 27.2　RPSS[1:0]および RPES[1:0]ビットの設定とリフレッシュ許可期間

27.2.3　WDTSR : WDT ステータスレジスタ

Base address: WDTn = 0x4020_2600 + 0x0100 × n (n = 0, 1)
WDTn_NS = 0x5020_2600 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R

ビット	シンボル	機能	R/W
14	UNDFF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. フラグをクリアするための 0 書き込みのみ可能です。

WDTSR レジスタは、ダウンカウンタのカウンタ値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、(N + 1) PCLKB サイクルを要します。さらに、アンダーフローの発生から (N + 2) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は以下のように指定されます。

オートスタートモード：

- OFSm.WDTnCKS[3:0] = 0x1 の時、N = 4
- OFSm.WDTnCKS[3:0] = 0x4 の時、N = 64
- OFSm.WDTnCKS[3:0] = 0xF の時、N = 128
- OFSm.WDTnCKS[3:0] = 0x6 の時、N = 512
- OFSm.WDTnCKS[3:0] = 0x7 の時、N = 2048
- OFSm.WDTnCKS[3:0] = 0x8 の時、N = 8192

レジスタスタートモード：

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。本フラグは禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N + 1) PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N + 2) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は以下のように指定されます。

オートスタートモード：

- OFSm.WDTnCKS[3:0] = 0x1 の時、N = 4
- OFSm.WDTnCKS[3:0] = 0x4 の時、N = 64
- OFSm.WDTnCKS[3:0] = 0xF の時、N = 128

- OFSm.WDTnCKS[3:0] = 0x6 の時、N = 512
- OFSm.WDTnCKS[3:0] = 0x7 の時、N = 2048
- OFSm.WDTnCKS[3:0] = 0x8 の時、N = 8192

レジスタスタートモード：

- OFSm.WDTnCKS[3:0] = 0x1 の時、N = 4
- OFSm.WDTnCKS[3:0] = 0x4 の時、N = 64
- OFSm.WDTnCKS[3:0] = 0xF の時、N = 128
- OFSm.WDTnCKS[3:0] = 0x6 の時、N = 512
- OFSm.WDTnCKS[3:0] = 0x7 の時、N = 2048
- OFSm.WDTnCKS[3:0] = 0x8 の時、N = 8192

27.2.4 WDTRCR : WDT リセットコントロールレジスタ

Base address: WDTn = 0x4020_2600 + 0x0100 × n (n = 0, 1)
WDTn_NS = 0x5020_2600 + 0x0100 × n (n = 0, 1)

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIRQS	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RSTIRQS	WDT 動作選択 0: 割り込み 1: リセット	R/W

注. S-TYPE-3, P-TYPE-3

WDTRCR レジスタは、WDT のダウンカウンタのアンダーフローによるリセット出力、または割り込み要求出力の制御を行うレジスタです。

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「27.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ m (OFSm) (m = 0, 3) の設定値が有効となります。OFSm (m = 0, 3) レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、「27.3.8. オプション機能選択レジスタ m (OFSm) と WDT のレジスタの対応関係 (m = 0, 3)」を参照してください。

27.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタ

Base address: WDTn = 0x4020_2600 + 0x0100 × n (n = 0, 1)
WDTn_NS = 0x5020_2600 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCSTP	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	SLCSTP	スリープモードカウント停止コントロールレジスタ 0: カウント停止を禁止 1: スリープモードまたはディープスリープモードへ遷移時にカウント停止	R/W

注. S-TYPE-3, P-TYPE-3

WDTCSTPR レジスタは、スリープモードまたはディープスリープモードで WDT カウンタを停止させるかどうかを制御します。WDTCSTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、「27.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCSTPR レジスタの設定値は無効となり、オプション機能選択レジスタ m (OFSm) (m = 0, 3) の設定値が有効となります。OFSm (m = 0, 3) レジスタの設定は、WDTCSTPR レジスタと同様の設定が可能です。詳細は、「27.3.8. オプション機能選択レジスタ m (OFSm) と WDT のレジスタの対応関係 (m = 0, 3)」を参照してください。

SLCSTP ビット（スリープモードカウント停止コントロールレジスタ）

WDT0 の SLCSTP ビットは、スリープモードまたはディープスリープモードへの CPU0 遷移時にカウントを停止させるかどうかを選択します。

WDT1 の SLCSTP ビットは、スリープモードまたはディープスリープモードへの CPU1 遷移時にカウントを停止させるかどうかを選択します。

27.2.6 オプション機能選択レジスタ

OFS0 レジスタと OFS3 レジスタの詳細は、x オプション設定メモリを参照してください。

27.3 動作説明

27.3.1 スタートモード別のカウント動作

WDT には、次の 2 つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：レジスタへの書き込みによるリフレッシュでカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュメモリ内のオプション機能選択レジスタ OFS0 または OFS3/OFS3_SEC の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してから WDTRR レジスタへの書き込みによるリフレッシュを行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、選択ビット（OFS0.WDT0STRT または OFS3.WDT1STRT）で行います。

オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFSm レジスタ (m = 0, 3) の設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 または OFS3/OFS3_SEC レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値が有効となります。

27.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット（OFS0.WDT0STRT または OFS3.WDT1STRT）が 1 の場合、レジスタスタートモードが選択されて、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) が有効となります。

リセット状態の解除後、以下の設定をしてください。

- WDTCR レジスタのクロック分周比
- WDTCR レジスタのウィンドウ開始／終了位置
- WDTCR レジスタのタイムアウト期間

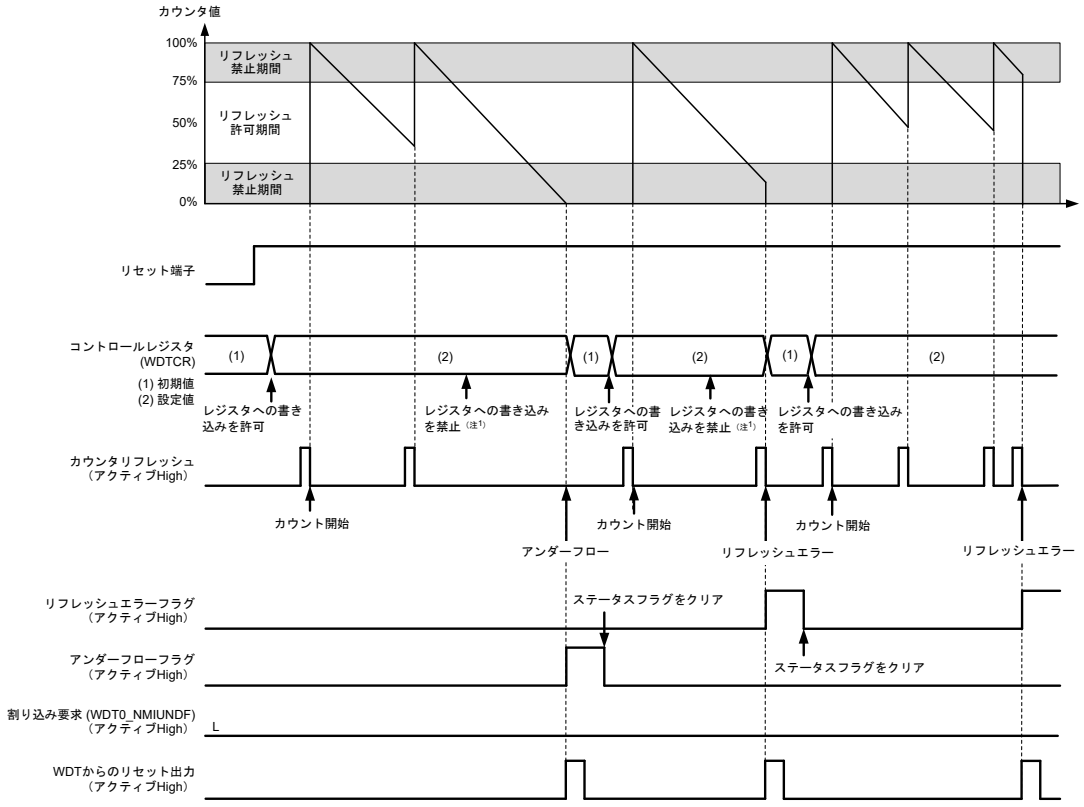
- WDTRCR レジスタのリセット出力または割り込み要求出力
- WDTCSTPR レジスタでスリープモードまたはディープスリープモードへ遷移時のカウンタ停止制御

WDT リフレッシュレジスタ (WDTRR) はダウンカウンタをリフレッシュします。その結果、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュが不可能になったか、あるいはリフレッシュ許可期間外のリフレッシュによってリフレッシュエラーが発生したため、ダウンカウンタがアンダーフローした場合は、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDTn_NMIUNDF) (n = 0, 1) を出力します。リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で行います。NMI を動作させるために許可された割り込みは、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 27.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード（OFS0.WDT0STRT または OFS3.WDT1STRT = 1）
- WDT リセット割り込み要求選択 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注 1. 「27.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。
リセット端子 = RES

図 27.3 レジスタスタートモードでの動作例

27.3.1.2 オートスタートモード

オプション機能選択レジスタ m (OFSm) の WDT スタートモード選択ビット（OFS0.WDT0STRT または OFS3.WDT1STRT = 1）が 0 の場合、オートスタートモードが選択されます。WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 または OFS3 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ m（OFS0 または OFS3）の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモードまたはディープスリープモードへ遷移時のカウンタ停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット（OFS0.WDT0STRT[1:0]または OFS3.WDT1STRT[1:0]）で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダ

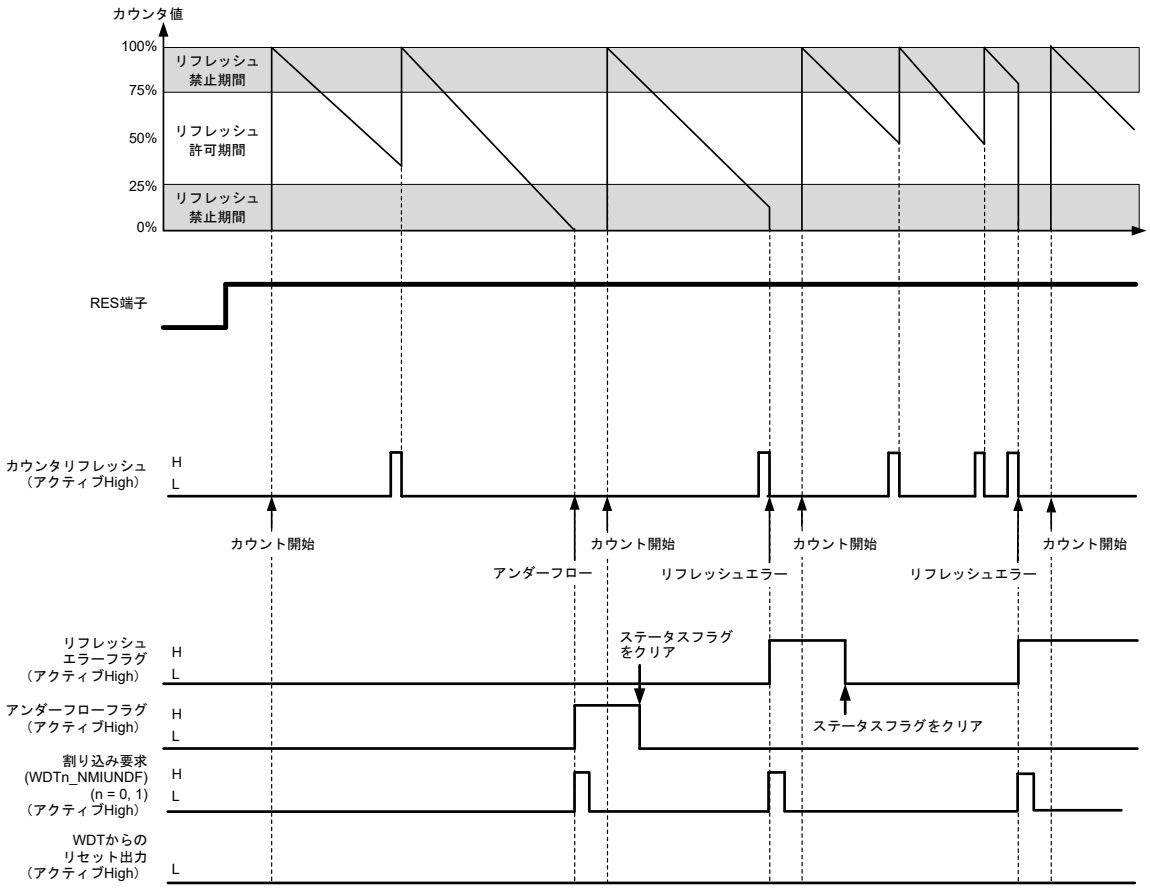
ウンカウンタのリフレッシュが不可能になったか、あるいはリフレッシュ許可期間外のリフレッシュによってリフレッシュエラーが発生したため、ダウンカウンタがアンダーフローした場合は、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDTn_NMIUNDF) (n = 0, 1) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット（OFS0.WDT0STRT または OFS3.WDT1STRT = 1）で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 27.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード (OFSm.WDTnSTRT = 0) ((m,n) = (0,0), (3,1))
- ノンマスカブル割り込み要求出力を許可 (OFSm.WDTnRSTIRQS = 0) ((m,n) = (0,0), (3,1))
- ウィンドウ開始位置 75% (OFSm.WDTnRPSS[1:0] = 10b) ((m,n) = (0,0), (3,1))
- ウィンドウ終了位置 25% (OFSm.WDTnRPES[1:0] = 10b) ((m,n) = (0,0), (3,1))



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注. リセット端子 = RES

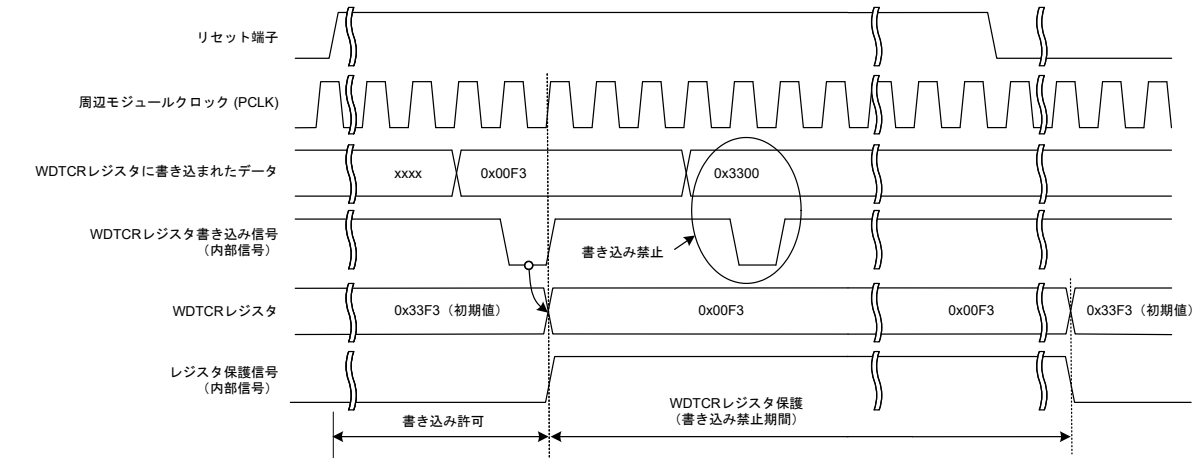
図 27.4 オートスタートモードでの動作例

27.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ（カウントスタート）後、あるいは WDTCR、WDTRCR、または WDTCSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 27.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。



注. PCLK = PCLKB
リセット端子 = RES

図 27.5 WDTCR レジスタへの書き込みに対して生成される制御波形

27.3.3 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、0x00 から 0xFF の順序で WDT リフレッシュレジスタ (WDTRR) に書き込みます。0x00 の後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタに 0x00 から 0xFF の順序で書き込むと、正常なリフレッシュが行われます。

WDTRR レジスタへの 0x00 書き込みと 0xFF 書き込みの間に、WDTRR のレジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合も正常なリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があり、この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

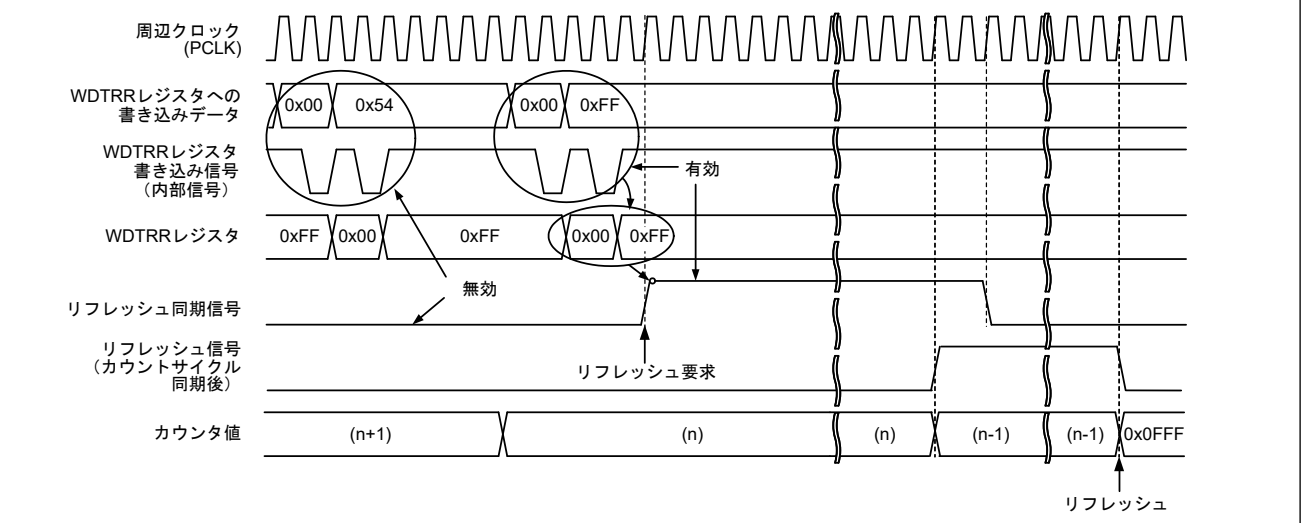
- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 →別レジスタへのアクセスまたは WDTRR レジスタの読み出し→ 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00 および 0xFF 以外の値）→ 0xFF

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの 0xFF の書き込みを完了する必要があります。

図 27.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。



注. PCLK = PCLKB

図 27.6 WDT リフレッシュ動作波形（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

注. リフレッシュ時間を設定する際は、PCLKB と WDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

27.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF) とアンダーフローフラグ (WDTSR.UNDFF) は、WDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、WDTSR.REFEF フラグと WDTSR.UNDFF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。ステータスフラグをそのままにしておいても、動作に影響を与えません。次に WDT が割り込み要求を出力したとき、フラグがクリアされていなければ、古い割り込み要因はクリアされて、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「27.2.3. WDTSR : WDT ステータスレジスタ」を参照してください。

27.3.5 リセット出力

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ m（OFS0 または OFS3）の WDT リセット割り込み要求選択ビット（OFS0.WDT0RSTIRQS または OFS3.WDT1RSTIRQS）を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクルの間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され（全ビットが 0 になり）、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

27.3.6 割り込み要因

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ m（OFS0 または OFS3）の WDT リセット割り込み要求選択ビ

ット（OFS0.WDT0RSTIRQS または OFS3.WDT1RSTIRQS）を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (WDTn_NMIUNDF) が発生します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

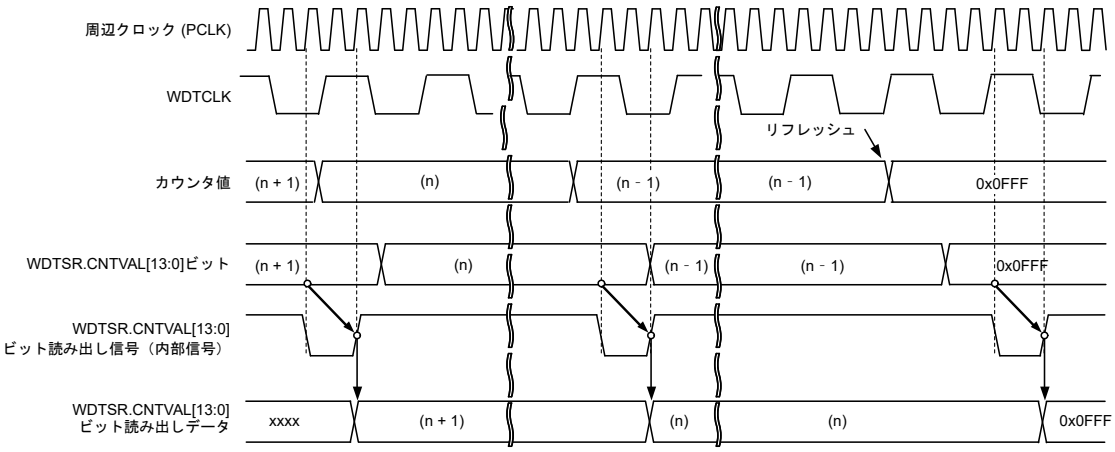
表 27.4　WDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DMAC/DTC の起動
WDTn_NMIUNDF (n = 0, 1)	• ダウンカウンタのアンダーフロー • リフレッシュエラー	可能	不可能

27.3.7　ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。ダウンカウンタの読み出し値は、実際のカウントから 1 カウントずれる場合があります。

図 27.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。



注.　PCLK = PCLKB

図 27.7　WDT ダウンカウンタ値の読み出し処理（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

27.3.8　オプション機能選択レジスタ m (OFSm) と WDT のレジスタの対応関係 (m = 0, 3)

表 27.5 に、オートスタートモードで使用するオプション機能選択レジスタ m (OFSm) と、レジスタスタートモードで使用するレジスタの対応関係を示します。オプション機能選択レジスタ m (OFSm) については、「27.2.6. オプション機能選択レジスタ」を参照してください。

表 27.5　オプション機能選択レジスタ m (OFSm) と WDT のレジスタの対応関係 (1/2)

制御対象	機能	OFSm レジスタ（オートスタートモードで有効）OFSm.WDTnSTRT = 0	WDT のレジスタ（レジスタスタートモードで有効）OFSm.WDTnSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFSm.WDTnTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFSm.WDTnCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFSm.WDTnRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFSm.WDTnRPES[1:0]	WDTCR.RPES[1:0]

表 27.5 オプション機能選択レジスタ m (OFSm) と WDT のレジスタの対応関係 (2/2)

制御対象	機能	OFSm レジスタ（オートスタートモードで有効）OFSm.WDTnSTRT = 0	WDT のレジスタ（レジスタスタートモードで有効）OFSm.WDTnSTRT = 1
リセット出力／割り込み要求出力	リセット割り込み要求を選択	OFSm.WDTnRSTIRQS	WDTRCR.RSTIRQS
カウント停止	スリープモードまたはディープスリープモードカウント停止制御	OFSm.WDTnSTPCTL	WDTCSTPR.SLCSTP

27.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードでは WDTRCR.RSTIRQS ビットの設定とは無関係に、オートスタートモードでは OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDFF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

27.5 使用上の注意事項

27.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

WDT リセットアサートを許可（OFS0.WDT0RSTIRQS = 0、OFS3.WDT1RSTIRQS = 0、または WDTRCR.RSTIRQS = 0）にした場合、またはイベントリンク動作を許可（ELSRn.ELS[8:0] = 0x93 または 0x94）にした場合、ICU イベントリンク設定レジスタ n (ICU.IELSRn) に 0x53 を設定することは禁止されています。

28. 独立ウォッチドッグタイマ (IWDT)

28.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。タイマは CPU クロック（CPUCLK0 および CPUCLK1）やシステムクロック (ICLK) とは独立したクロックで動作するので、システムの暴走時に、MCU をフェイルセーフメカニズムで既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。

IWDT の機能は、WDT の機能とは以下の点で異なります。

カウントソースとして IWDT クロック (IWDTCLK) を分周したものを使用（PCLKB の影響を受けない）

表 28.1 に IWDT の仕様を示します。

表 28.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT クロック (IWDTCLK)
クロック分周比	1 分周／16 分周／32 分周／64 分周／128 分周／256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• オートスタートモード : リセット後またはアンダーフロー／リフレッシュエラー発生後に、自動的にカウント開始 • レジスタスタートモード : IWDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始 • セキュアデベロッパーのみがオートスタートモードまたはレジスタスタートモードを選択可能
カウント停止条件	• リセット（ダウンカウンタと他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラー発生時 • 一次 CPU のデバッグ機能が許可されている。
ウィンドウ機能	ウィンドウ開始位置と終了位置を設定可能（リフレッシュ許可期間と禁止期間）
独立ウォッチドッグタイマリセット要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードカウント停止制御出力
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

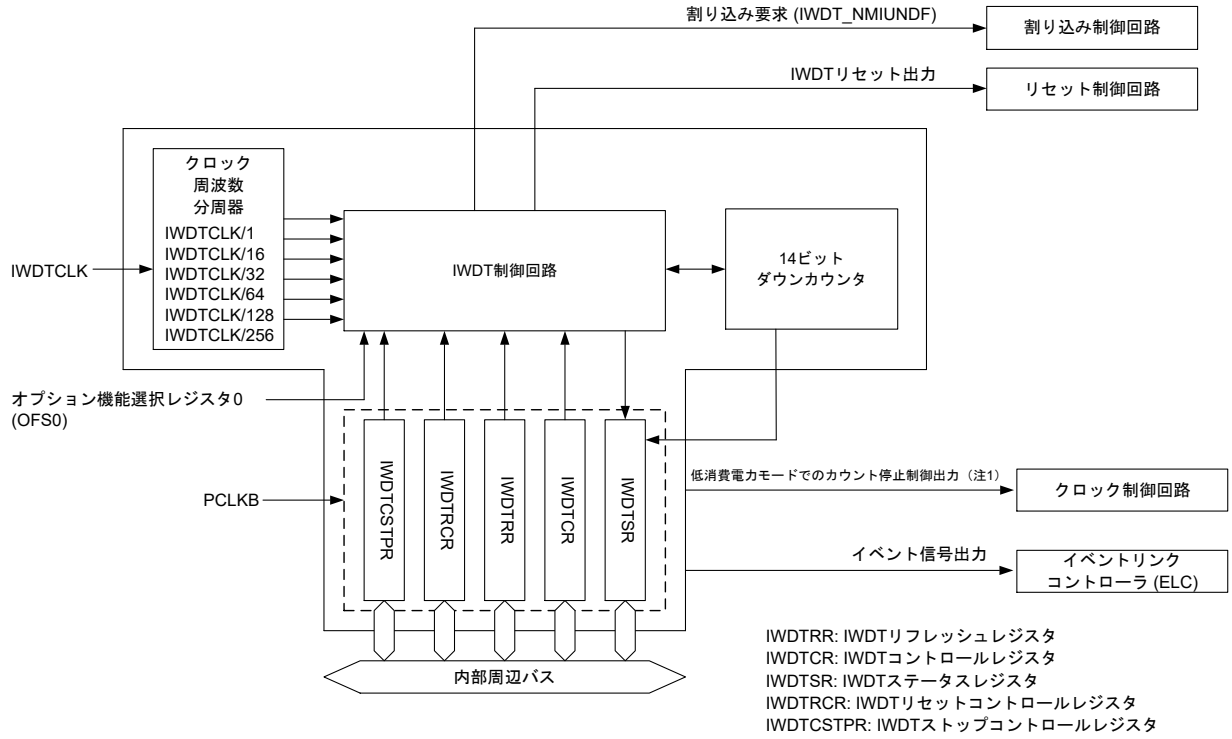
注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ 32 ×（カウントクロックソースの分周後の周波数）となるように設定してください。バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

28.1.1 ブロック図

周辺クロック (PCLKB) に加えて、周辺クロック (PCLKB) が停止する低消費電力モードでも MCU が動作するように、低消費電力モードでも停止しない IWDT クロック (IWDTCLK) を MCU は必要とします。バスインタフェース部とレジスタ部は周辺クロック (PCLKB) で動作し、14 ビットのダウンカウンタと制御回路は IWDT クロック (IWDTCLK) で動作します。

信号は同期回路を経由して、周辺クロック (PCLKB) のブロック動作と IWDT クロック (IWDTCLK) のブロック動作の間で接続されます。

図 28.1 に IWDT のブロック図を示します。



注 1. 低消費電力モードとは、CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1 を示しています。

図 28.1 IWDT のブロック図

28.2 レジスタの説明

28.2.1 IWDTRR : IWDT リフレッシュレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	REFRESH[7:0]							
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	REFRESH[7:0]	リフレッシュレジスタ このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでカウンタがリフレッシュ	R/W

注. S-TYPE-3, P-TYPE-3

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。

REFRESH[7:0]ビット（リフレッシュレジスタ）

リフレッシュ許可期間内に、IWDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタのリフレッシュ後、オートスタートモードでは IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で選択した値からダウンカウントが開始します。

レジスタスタートモードでは、IWDT コントロールレジスタ (IWDTCR) の TOPS[1:0]ビットで設定した値からダウンカウントが開始します。

また、レジスタスタートモードでは、リセット状態の解除後に最初のリフレッシュ動作により、IWDTCR.TOPS[1:0]ビットで設定した値からダウンカウントが開始します。

0x00 を書き込んだ場合は、読み出し値は常に 0x00 です。0x00 以外の値を書き込んだ場合は、読み出し値は常に 0xFF です。

リフレッシュ動作の詳細については、「28.3.3. リフレッシュ動作」を参照してください。

28.2.2 IWDTCR : IWDT コントロールレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF) 括弧内の各値はダウンカウントの開始値を示します。	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0 0 0 0: IWDTCLK 0 0 1 0: IWDTCLK/16 0 0 1 1: IWDTCLK/32 0 1 0 0: IWDTCLK/64 1 1 1 1: IWDTCLK/128 0 1 0 1: IWDTCLK/256 上記以外の設定は禁止です。	R/W
9:8	RPES[1:0]	ウィンドウ終了位置の選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置の選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

IWDTCR レジスタは、タイムアウト期間（レジスタスタートモードでダウンカウンタがアンダーフローするまでの期間）、クロック分周比、およびリフレッシュ許可期間のウィンドウ開始位置と終了位置を指定するのに使用されます。本レジスタへの書き込みには、いくつかの制限があります。詳細は、「28.3.2. IWDTCR、IWDTRCR、および IWDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、本レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。本レジスタのビットと同じ設定をオプション機能選択レジスタ 0 (OFS0) に行うことができます。詳細は、「28.3.8. オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係」を参照してください。

TOPS[1:0]ビット（タイムアウト期間選択）

TOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル／512 サイクル／1024 サイクル／2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、カウンタがアンダーフローするまでの時間（IWDT クロック (IWDTCLK) のサイクル数）は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

「28.2.2. IWDTCR : IWDT コントロールレジスタ」に CKS[3:0]ビットと TOPS[1:0]ビットの設定値、タイムアウト期間、および IWDT クロック (IWDTCLK) のサイクル数の関係を示します。

表 28.2　IWDT タイムアウト期間の設定

CKS[3:0]				TOPS[1:0]		クロック分周比	タイムアウト期間（サイクル数）	IWDT クロック (IWDTCLK) サイクル数
0	0	0	0	0	0	IWDTCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

CKS[3:0]ビット（クロック分周比選択）

本ビットは IWDT クロック (IWDTCLK) の分周比を 1、16、32、64、128、256 から選択します。

TOPS[1:0]ビットの設定と組み合わせて、IWDT のカウント期間を IWDT クロック (IWDTCLK) の 128～524288 サイクルから選択できます。

注.　ダウンカウンタ値を正常に読み出すために、周辺クロック (PCLKB) 周波数とカウントクロック (IWDTCLK) 周波数の関係を適切に設定してください。 設定については、表 28.1 の注 1 を参照してください。

RPES[1:0]ビット（ウィンドウ終了位置の選択）

本ビットは、ダウンカウンタのウィンドウ終了位置のカウント期間を、75%、50%、25%または 0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値にしてください（ウィンドウ開始位置 >

ウィンドウ終了位置)。ウィンドウ終了位置の値がウィンドウ開始位置の値より大きい場合、ウィンドウ開始位置の値のみ有効です。

RPES[1:0]ビットと RPSS[1:0]ビットの設定で選択したウィンドウ開始位置と終了位置のカウンタ値は、TOPS[1:0]ビットの設定によって変化します。

表 28.3 に TOPS[1:0]ビット値に対応したウィンドウ開始位置と終了位置のカウンタ値を示します。

表 28.3　タイムアウト期間とウィンドウ開始および終了カウンタ値の対応

TOPS[1:0]		タイムアウト期間		ウィンドウ開始および終了カウンタ値			
		サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	0x007F	0x007F	0x005F	0x003F	0x001F
0	1	512	0x01FF	0x01FF	0x017F	0x00FF	0x007F
1	0	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
1	1	2048	0x07FF	0x07FF	0x05FF	0x03FF	0x01FF

RPSS[1:0]ビット（ウィンドウ開始位置の選択）

本ビットはカウンタのウィンドウ開始位置をカウント期間の 100%、75%、50%または 25%から選択します（カウント開始時は 100%、カウンタアンダーフロー時は 0%)。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間であり、それ以外の期間はリフレッシュ禁止期間です。

図 28.2 に RPSS[1:0]ビットおよび RPES[1:0]ビットの設定とリフレッシュ許可期間およびリフレッシュ禁止期間の関係を示します。

RPSS[1:0]		RPES[1:0]		ウィンドウ 開始 (%)	ウィンドウ 終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75

注.　ウィンドウ終了設定 ≧ ウィンドウ開始設定の場合、ウィンドウ終了設定は0%になります。

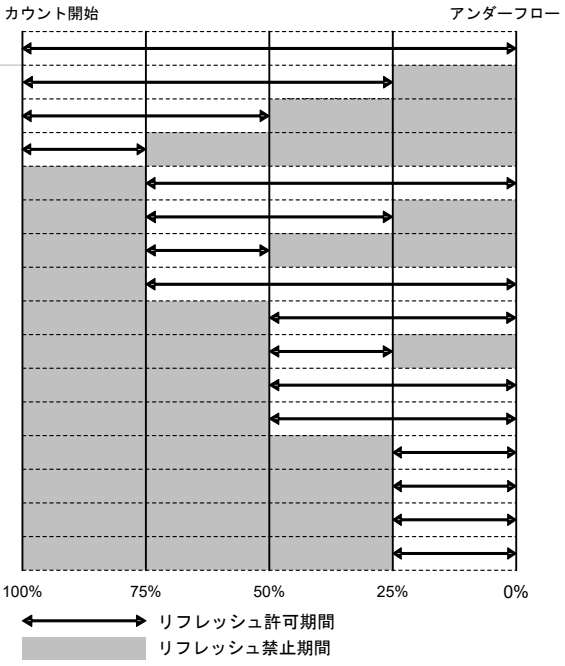


図 28.2　RPSS[1:0]ビットおよび RPES[1:0]ビットの設定とリフレッシュ許可期間およびリフレッシュ禁止期間

28.2.3 IWDTSR : IWDT ステータスレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDFF	アンダーフローフラグ 0: アンダーフロー発生なし 1: アンダーフロー発生あり	R/W
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R/W

注. S-TYPE-3, P-TYPE-3

IWDTSR レジスタは、ダウンカウンタのカウンタ値、およびアンダーフローまたはリフレッシュエラーの発生有無を示します。

IWDTSR レジスタは IWDT のリセット要因によって初期化されます。IWDTSR レジスタは他のリセット要因では初期化されません。

CNTVAL[13:0]ビット（ダウンカウンタ値）

本ビットを読み出すことにより、ダウンカウンタのカウンタ値を確認できます。

注. 読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフローの発生有無を確認できます。

読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。読み出し値が 0 のとき、ダウンカウンタがアンダーフローしていないことを示します。

値をクリアするには、UNDFF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、IWDTCLK クロックの N+2 サイクルと PCLKB クロックの 32 サイクルを要します。また、アンダーフローの発生から IWDTCLK クロックの N+2 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように指定されます。

オートスタートモード：

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32
- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

レジスタスタートモード：

- IWDTCR.CKS[3:0] = 0x0 の時、N = 1
- IWDTCR.CKS[3:0] = 0x2 の時、N = 16
- IWDTCR.CKS[3:0] = 0x3 の時、N = 32

- IWDTCR.CKS[3:0] = 0x4 の時、N = 64
- IWDTCR.CKS[3:0] = 0xF の時、N = 128
- IWDTCR.CKS[3:0] = 0x5 の時、N = 256

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー（リフレッシュ禁止期間中にリフレッシュ動作が実行された場合）の発生有無を確認できます。

読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。読み出し値が 0 のとき、リフレッシュエラーは発生していないことを示します。

値をクリアするには、REFEF フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、IWDTCLK クロックの N+2 サイクルと PCLKB クロックの 32 サイクルを要します。また、リフレッシュエラーの発生から IWDTCLK クロックの N+2 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように指定されます。

オートスタートモード：

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32
- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

レジスタスタートモード：

- IWDTCR.CKS[3:0] = 0x0 の時、N = 1
- IWDTCR.CKS[3:0] = 0x2 の時、N = 16
- IWDTCR.CKS[3:0] = 0x3 の時、N = 32
- IWDTCR.CKS[3:0] = 0x4 の時、N = 64
- IWDTCR.CKS[3:0] = 0xF の時、N = 128
- IWDTCR.CKS[3:0] = 0x5 の時、N = 256

28.2.4 IWDTRCR : IWDT リセットコントロールレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x6

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIRQS	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RSTIRQS	リセット割り込み要求選択 0: ノンマスカブル割り込み要求または割り込み要求の出力を許可 1: リセット出力を許可	R/W

注. S-TYPE-3, P-TYPE-3

IWDTRCR レジスタは、IWDT のダウンカウンタのアンダーフロー時、リセット出力または割り込み要求出力を制御します。本レジスタへの書き込みには、いくつかの制限があります。詳細は、「28.3.2. IWDTCR、IWDTRCR、および IWDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、本レジスタの設定値は無効となり、入力ポート (OFS0) の設定値が有効となります。本レジスタのビットと同じ設定を入力ポート (OFS0) に行うことができます。詳細は、「28.3.8. オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係」を参照してください。

RSTIRQS ビット（リセット割り込み要求選択）

RSTIRQS ビットは、ダウンカウンタがアンダーフローする場合、またはリフレッシュエラーが発生する場合、リセット出力または割り込み要求出力を選択します。

28.2.5 IWDTCSTPR : IWDT カウント停止コントロールレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCSTP	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	—	読むと 0 が読めます。	R
7	SLCSTP	CPU スリープモードカウント停止選択 0: カウント停止を禁止 1: 一次 CPU が CPU スリープモードまたは CPU ディープスリープモードに遷移し、MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 に遷移する場合にカウンタ停止。	R/W

注. S-TYPE-3, P-TYPE-3

IWDTCSTPR レジスタは、一次 CPU が低消費電力モードに遷移する場合に、IWDT のダウンカウンタを停止させるのに使用されます。本レジスタへの書き込みには、いくつかの制限があります。詳細は、「28.3.2. IWDTCR、IWDTRCR、および IWDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、本レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。本レジスタのビットと同じ設定をオプション機能選択レジスタ 0 (OFS0) に行うことができます。詳細は、「28.3.8. オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係」を参照してください。

SLCSTP ビット（CPU スリープモードカウント停止選択）

SLCSTP ビットは、一次 CPU が CPU スリープモードまたは CPU ディープスリープモードに遷移し、MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 に遷移する場合に、カウンタを停止させるか否かを選択します。

28.3 動作説明

28.3.1 スタートモード別のカウント動作

リセット中に IWDT スタートモード選択ビット (OFS0.IWDTSTRT) の設定により、IWDT のスタートモードが選択されます。

IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 1 の場合（レジスタスタートモード）、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) が有効です。また、カウンタをリフレッシュするために、IWDT リフレッシュレジスタ (IWDTRR) に書き込むことにより、カウントが開始されます。IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合（オートスタートモード）、オプション機能選択レジスタ 0 (OFS0) の設定が有効であり、リセット後にカウントが自動的に開始されます。

(1) レジスタスタートモード

リセット中に IWDT スタートモード選択ビット (OFS0.IWDTSTRT) を 1 にすることにより、レジスタスタートモードを選択した場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) は有効です。

リセット状態の解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始位置と終了位置、およびタイムアウト期間を設定してください。また、IWDTRCR レジスタにリセット出力または割り込み要求出力、IWDTCSTPR レジスタに低消費電力モードへ遷移時の IWDT ダウンカウンタの停止制御を設定してください。その後、ダウンカウンタをリフレッシュして、カウンタに IWDTCR.TOPS[1:0]ビットで指定した値を設定すると、ダウンカウントを開始します。

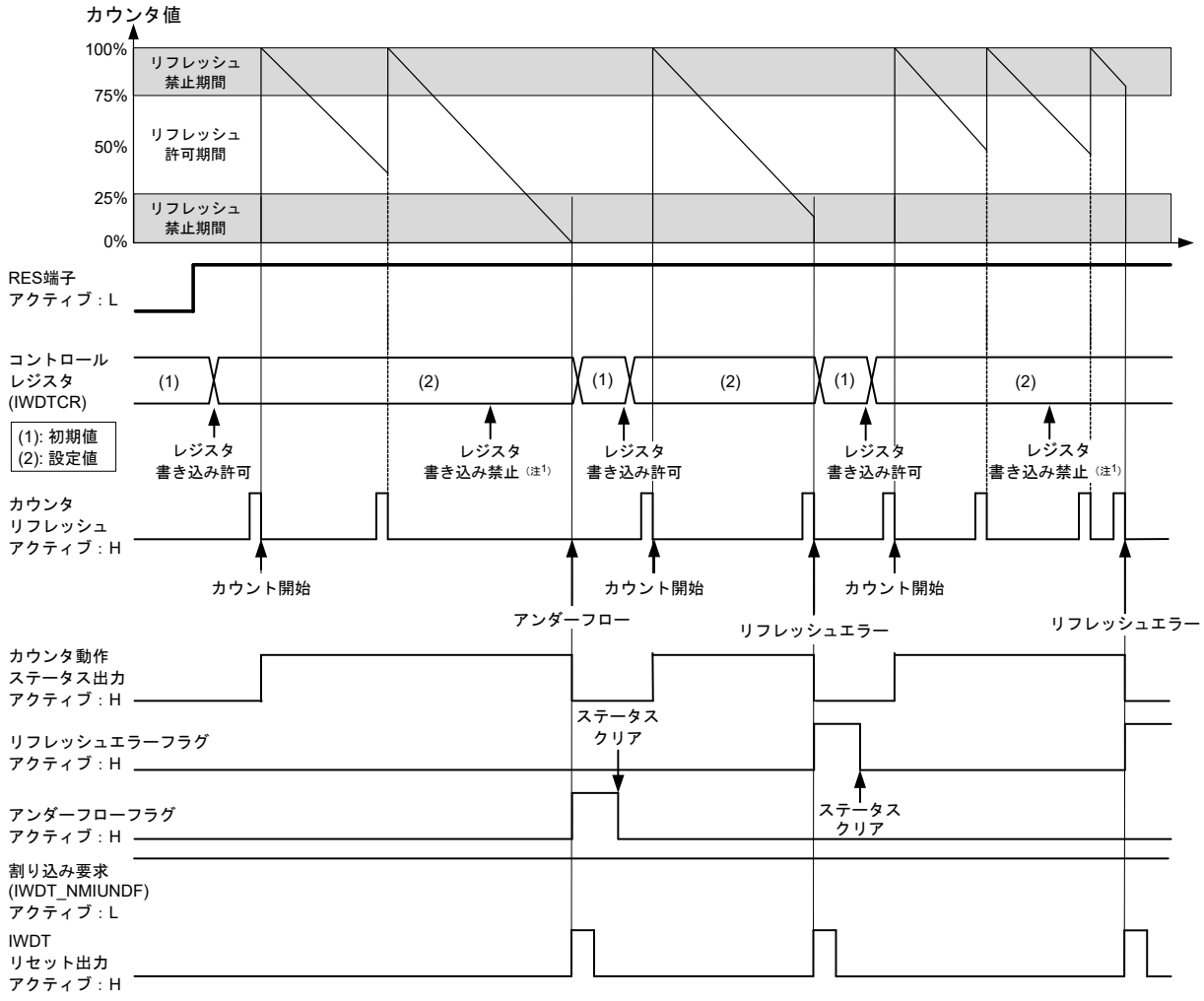
以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、カウンタのリフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。

ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外にカウンタがリフレッシュされたためリフレッシュエラーが発生した場合は、IWDT はリセット信号またはノンマスカブル割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット出力または割り込み要求出力は、IWDTRCR.RSTIRQS ビットの設定によって選択されます。

図 28.3 に下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力を許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)



注 1. 「28.3.2. IWDTCR、IWDTRCR、および IWDTCSTPR レジスタへの書き込み制御」を参照してください。

図 28.3 レジスタスタートモードでの動作例

(2) オートスタートモード

リセット中に IWDT スタートモード選択ビット (OFS0.IWDTSTRT) を 0 にすることにより、オートスタートモードを選択した場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) は無効です。

リセット中、クロック分周比、ウィンドウ開始位置と終了位置、タイムアウト期間、リセット出力または割り込み要求出力、および低消費電力モードへ遷移時のカウンタの停止制御をオプション機能選択レジスタ 0 (OFS0) で設定してください。その後、リセット状態が解除されると、オプション機能選択レジスタ 0 (OFS0) で設定されたタイムアウト期間がダウンカウンタに設定されます。そして、ダウンカウンタは自動的にダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、カウンタのリフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。

ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外にカウンタがリフレッシュされたためリフレッシュエラーが発生した場合は、IWDT はリセット信号またはノンマスカブル割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット出力または割り込み要求出力は、IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) の設定によって選択されます。

図 28.4 に下記の条件下での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- ノンマスカブル割り込み要求出力を許可 (OFS0.IWDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

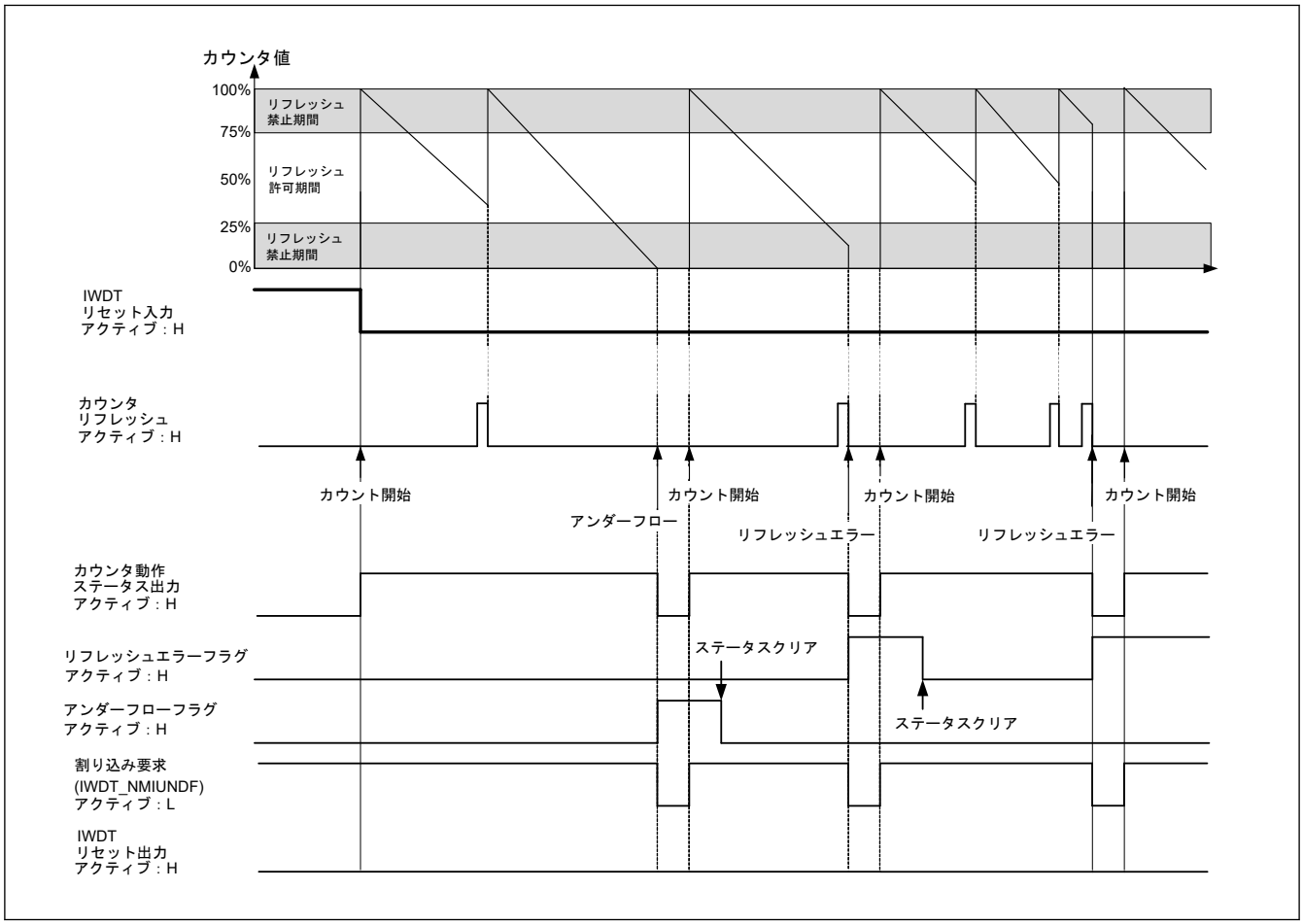


図 28.4　オートスタートモードでの動作例

28.3.2　IWDTCR、IWDTRCR、および IWDTCSTPR レジスタへの書き込み制御

IWDT コントロールレジスタ (IWDTCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作（カウント開始）後、または IWDTCR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が 1 となり、以後 IWDTCR レジスタへの書き込みを保護します。

IWDT リセットコントロールレジスタ (IWDTRCR) と IWDT カウント停止コントロールレジスタ (IWDTCSTPR) も同様に制御されます。

この保護は、IWDT のリセット要因によって解除されます。それ以外のリセット要因では、保護は解除されません。

図 28.5 に IWDTCR レジスタへの書き込みに対して生成される制御波形を示します。

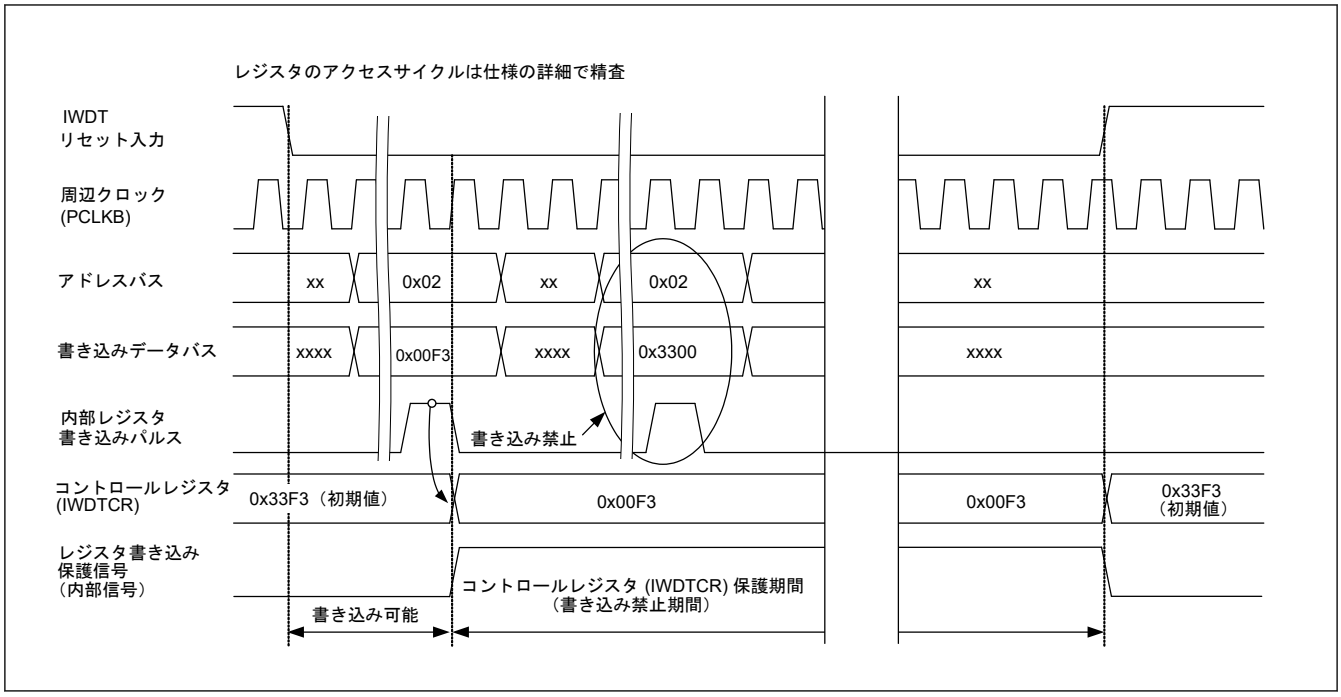


図 28.5　IWDTCR レジスタへの書き込みに対して生成される制御波形

28.3.3　リフレッシュ動作

IWDT リフレッシュレジスタ (IWDTRR) へ 0x00 の書き込みに続けて 0xFF を書き込むことによって、ダウンカウンタはリフレッシュされて、カウント動作を開始します（リフレッシュによりカウント開始）。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。そのような無効な書き込みの後は、IWDT リフレッシュレジスタ (IWDTRR) へ再度 0x00 の書き込みに続けて 0xFF を書き込むことにより、正常なリフレッシュが行われます。

0x00（1 回目）→ 0x00（2 回目）の順で書き込みが行われ、その後、0xFF が書き込まれると、書き込みの順序は 0x00 → 0xFF を満たしています。すなわち、0x00（(n–1) 回目）→ 0x00（n 回目）→ 0xFF という書き込みは有効であり、正常なリフレッシュが行われます。0x00 より前に書き込まれた最初の値が 0x00 以外であっても、動作に 0x00 → 0xFF という書き込みの順序が含まれている限り、正常なリフレッシュが行われます。IWDTRR レジスタへの 0x00 の書き込みと 0xFF の書き込みの間に、IWDTRR レジスタ以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常なリフレッシュが行われます。

[カウンタのリフレッシュに有効な書き込み順序の例]

- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 → 別のレジスタへのアクセスまたは IWDTRR レジスタの読み出し → 0xFF

[カウンタのリフレッシュに無効な書き込み順序の例]

- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00、および 0xFF 以外の値）→ 0xFF

リフレッシュ許可期間外に IWDTRR レジスタに 0x00 が書き込まれても、リフレッシュ許可期間に IWDTRR レジスタに 0xFF が書き込まれると、書き込みの順序は有効であり、リフレッシュが行われます。

カウンタのリフレッシュには、IWDTRR レジスタに 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します（カウント 1 サイクルの IWDT クロック (IWDTCLK) 数は、クロック分周比選択ビット (IWDTCR.CKS[3:0]) の設定値により異なります）。

よって、リフレッシュ許可期間の終了位置またはダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までには、IWDTRR レジスタへの 0xFF の書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

[リフレッシュ動作のタイミング例]

- ウィンドウ開始位置を 0x03FF とした場合、IWDTRR レジスタへの 0x00 の書き込みが 0x03FF より前（たとえば 0x0402）であっても、IWDTSR.CNTVAL[13:0]ビット値が 0x03FF になってから IWDTRR レジスタへ 0xFF を書き込めば、リフレッシュが発生します。
- ウィンドウ終了位置を 0x03FF とした場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x0403（0x03FF の 4 カウントサイクル前）以上であれば、リフレッシュが行われます。
- リフレッシュ許可期間がカウント 0x0000 まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x0003（アンダーフローの 4 カウントサイクル前）以上であれば、アンダーフローは発生せずに、リフレッシュが行われます。

図 28.6 に周辺クロック (PCLKB) > IWDT クロック (IWDTCLK) のとき、クロック分周比が IWDTCLK/1 である場合の IWDT リフレッシュ動作波形を示します。図 28.7 に周辺クロック (PCLKB) < IWDT クロック (IWDTCLK) のとき、クロック分周比が IWDTCLK/16 である場合の IWDT リフレッシュ動作波形を示します。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 に移行するとき、遷移前にリフレッシュ手順が完了しており、IWDTRR レジスタの読み取り値が 0xFF である必要があります（IWDTRR レジスタに 0x00 を書き込んだ後に 0xFF を書き込み、IWDTRR レジスタの読み取り値が 0xFF であることを確認します）。

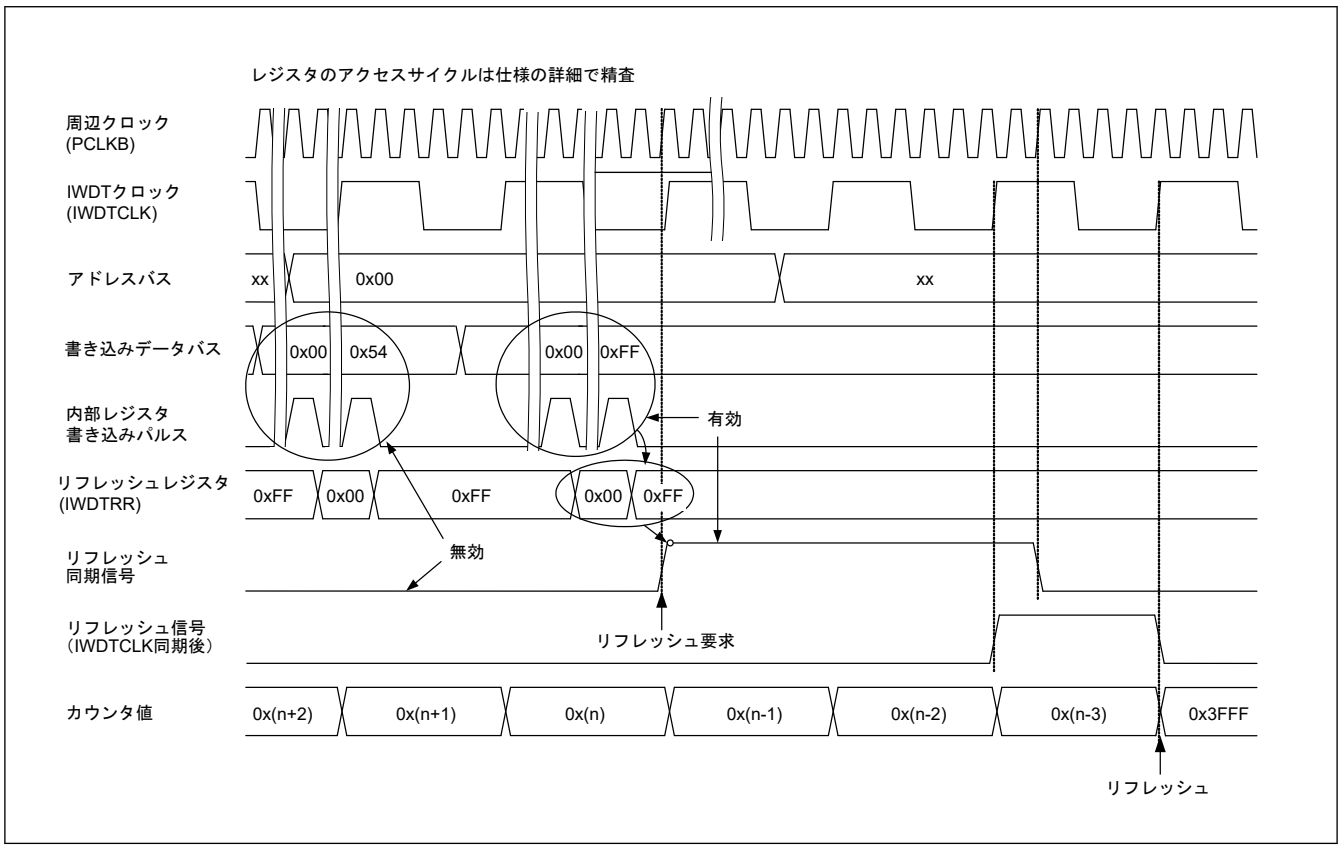


図 28.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b, IWDTCR.TOPS[1:0] = 11b)

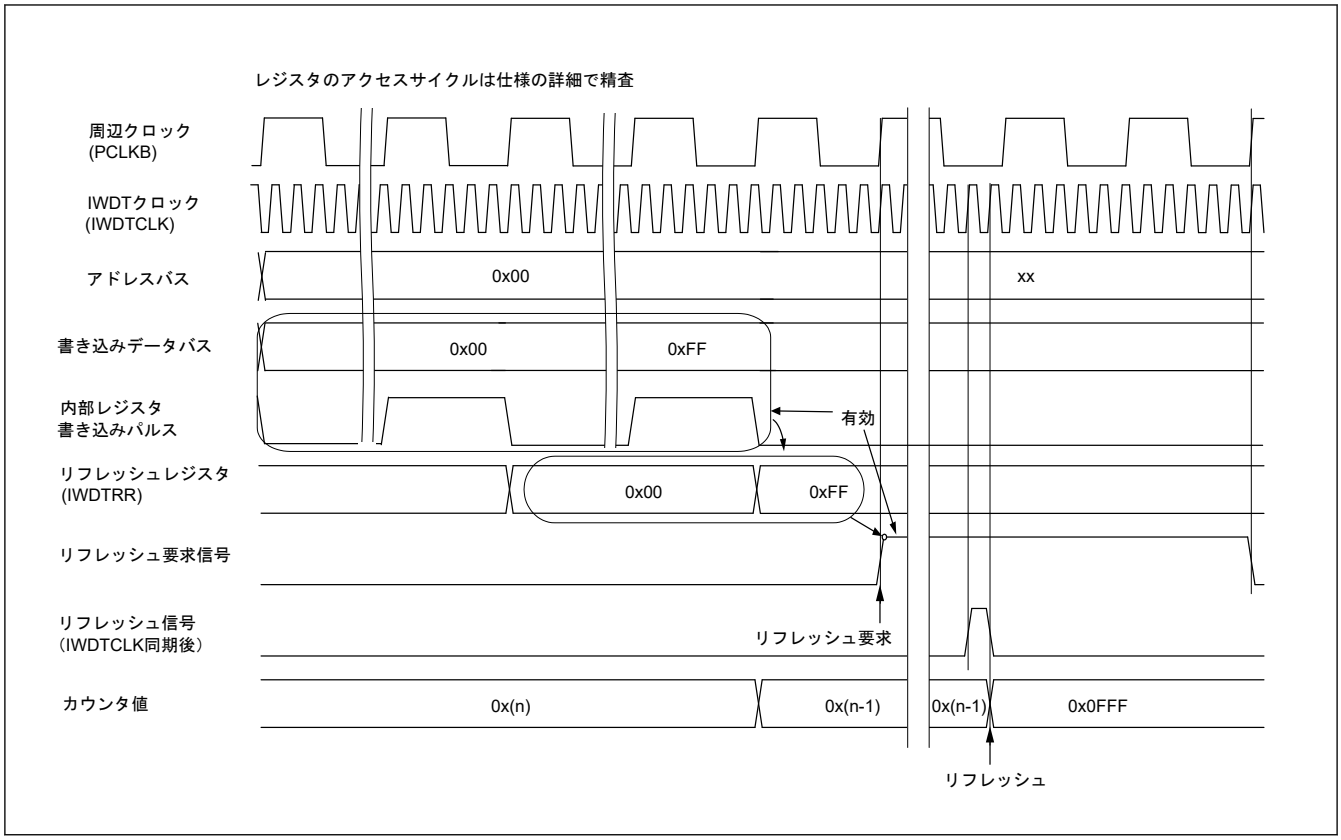


図 28.7 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0010b, IWDTCR.TOPS[1:0] = 01b)

28.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDFF) は、IWDT のリセット出力要因または IWDT の割り込み要求要因を保持します。

リセット状態の解除後または割り込み要求の発生後に、IWDTSR.REFEF フラグと IWDTSR.UNDFF フラグを読み出すことで、リセットまたは割り込み要因を確認できます。

各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

各フラグをそのままにしておいても、動作に影響を与えません。フラグがクリアされなければ、IWDT が次のリセット信号を出力したときに、最初のリセットまたは割り込み要因がクリアされ、次のリセットまたは割り込み要因が書き込まれます。

28.3.5 リセット出力

レジスタスタートモードでリセット割り込み選択ビット (IWDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードで IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 カウントサイクル間出力します。レジスタスタートモードでは、リセット信号のアサート後、ダウンカウンタが初期化され（全ビットが 0 になり）、その状態のまま維持されます。リセットが解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが再設定され、ダウンカウントを開始します。オートスタートモードでは、リセット出力後、自動的にダウンカウントを開始します。

28.3.6 割り込み要因

レジスタスタートモードでリセット割り込み選択ビット (IWDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードで IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 0 にした場合、ダウンカウンタのオーバーフローまたはリフレッシュエラー発生時に、ノンマスカブル割り込み (IWDT_NMIUNDF) が 1 カウントサイクル間発生します。

28.3.7 ダウンカウンタ値の読み出し

IWDT のダウンカウンタは IWDT クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。

IWDT はカウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタ (IWDTSR) のダウンカウンタ値ビット (CNTVAL[13:0]) へ格納します。カウンタ値は、IWDTSR.CNTVAL[13:0]ビットに格納された値を読み出すことにより、間接的に確認できます。

カウンタ値の読み出しには周辺クロック PCLKB で数クロックサイクル（最大 4 クロックサイクル）を要するため、読み出されるカウント値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 28.8 に周辺クロック (PCLKB) > IWDT クロック (IWDTCLK) のとき、クロック分周比が IWDTCLK/1 である場合の IWDT カウンタ値の読み出し処理を示します。図 28.9 に周辺クロック (PCLKB) < IWDT クロック (IWDTCLK) のとき、クロック分周比が IWDTCLK/16 である場合の IWDT カウンタ値の読み出し処理を示します。

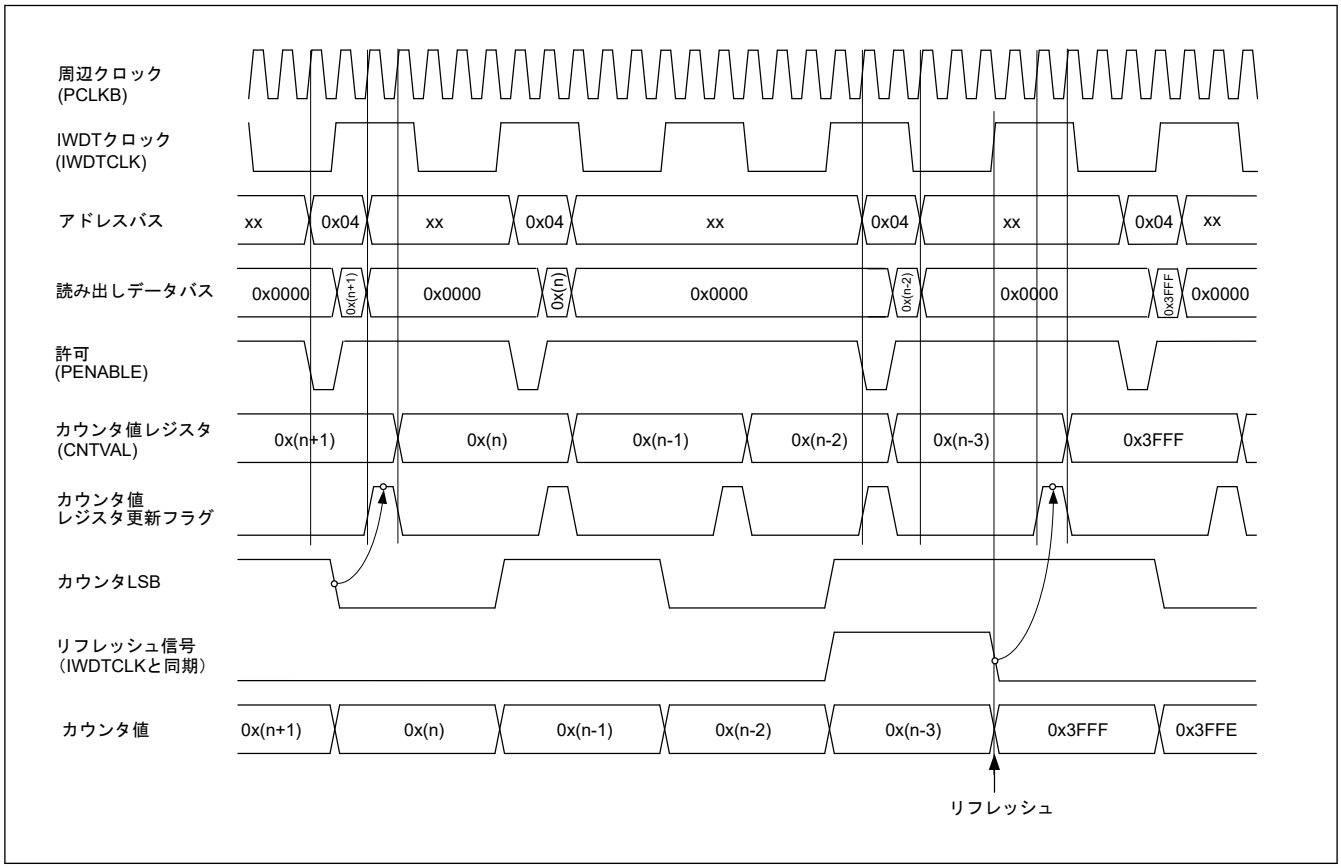


図 28.8 IWDT カウンタ値の読み出し処理（IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b の場合）

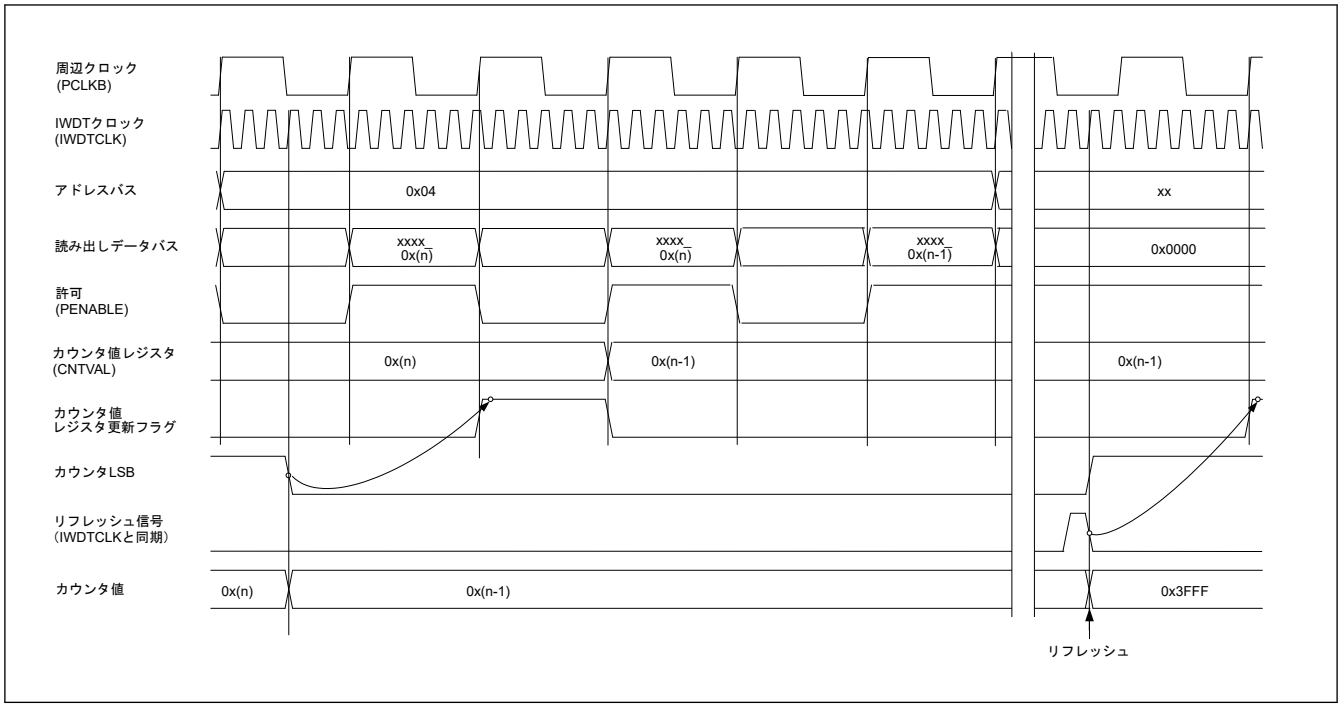


図 28.9　IWDT カウンタ値の読み出し処理（IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 11b の場合）

28.3.8　オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係

表 28.4 に、ダウンカウンタ、リセット／割り込み要求出力、カウント停止機能の制御に関して、オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタ（IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR)）の対応関係を示します。

IWDT スタートモード選択ビット (OFS0.IWDTSTRT) の設定により、オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタ (IWDTCR, IWDTRCR, IWDTCSTPR) の制御を切り替えることができます。

オプション機能選択レジスタ 0 (OFS0) の設定は、IWDT の動作中、変更されずに維持されることに注意してください。

表 28.4　オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係

制御対象	機能	OFS0 レジスタ（オートスタートモードで有効） OFS0.IWDTSTRT = 0	IWDT のレジスタ（レジスタスタートモードで有効） OFS0.IWDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDTRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDTRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力／ 割り込み要求出力	リセット出力／ 割り込み要求出力選択	OFS0.IWDTRSTIRQS	IWDTRCR.RSTIRQS
カウンタ停止	CPU スリープモードカウント停止選択	OFS0.IWDTSTPCTL	IWDTCSTPR.SLCSTP

28.4　イベントリンク機能によるリンク動作

割り込み要求信号がイベント信号として使用される場合、IWDT は設定したモジュールに対してリンク動作が可能です。IWDT は、ダウンカウンタのアンダーフロー時またはリフレッシュエラーの発生時のイベント信号を出力します。

レジスタスタートモードでのリセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) またはオートスタートモードでの IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) の設定にかかわらず、IWDT はイベント信号を出力します。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ

(IWDTSR.UNDFF) が保持されている状態で、次の割り込み要因が発生した場合も、イベント信号の出力が可能です。

28.5 使用上の注意事項

28.5.1 低消費電力モードへの遷移

低消費電力モードに遷移する前にリフレッシュ手順を実行する必要があります。詳細は「28.3.3. リフレッシュ動作」を参照してください。

28.5.2 ディープソフトウェアスタンバイモード 1 から復帰後のカウンタ値の読み出しに関する制限

ディープソフトウェアスタンバイモード 1 から復帰後、カウンタ値が正しく読み出されず、0 が読み出される場合があります。ディープソフトウェアスタンバイモード 1 から復帰後、正しいカウンタ値を読み出すには、以下のいずれかが必要です。

- 0 以外の値が読み出されるまで、読み出し値を破棄します。
- カウンタ値の読み出し前に、1 カウントダウン期間待機します。
- リフレッシュ許可期間が 100%に設定されているときは、カウンタをリフレッシュします。

29. レイヤ 3 イーサネットスイッチモジュール (ESWM)

29.1 概要

レイヤ 3 イーサネットスイッチモジュール (ESWM) は、上位レベルのルーティング機能とマルチプロトコルインタフェースをサポートしたイーサネットスイッチで構成されています。これは最適化されたゲートウェイアプリケーションのために同一プロトコル内および異なるネットワークインタフェースプロトコル間（現時点ではイーサネットのみ）での自立的なフレームルーティングが可能です。

表 29.1 に ESWM の仕様を、図 29.1 に ESWM のブロック図を示します。

表 29.1 ESWM の仕様

項目	機能		仕様
基本機能	PHY インタフェース	ポート数	2 ポート
		タイプ	MII、RMII、GMII、RGMII
		速度	10 Mbps、100 Mbps、1 Gbps
		モード	全二重
		管理 IF (MDIO)	あり
		省電力イーサネット（低電力アイドル）	あり
		Magic Packet™	あり
	スイッチ機能	レイヤ 3 サポート	あり
		カットスルー	あり
		VLAN	あり
		ジャンボフレームのサポート	Max 64 KB
		MAC テーブル	2048
		VLAN テーブル	4096
		ストリーム（完全フィルタ、レイヤ 3、レイヤ 2）テーブル	256
		レイヤ 2／レイヤ 3 更新ルールフォーマット	256
	gPTP	チャネル数	2
	PTP パルスジェネレータ	チャネル数	4
イーサネット AVB	IEEE802.1BA	AVB プロファイル	あり
	IEEE1722-2011	音声、動画用のメディア転送プロトコル	あり
	IEEE 802.1AS-2011	gPTP（AVB システム用の IEEE1588 のプロファイル）	あり
	IEEE 802.1Qav-2009	帯域幅予約用のクレジットベースのシェーパー	あり
イーサネット TSN	IEEE802.1AS-Rev	gPTP に冗長機能と機能強化を追加	あり
	IEEE 802.1Qbv-2015	時間認識シェーパー	あり
	IEEE 802.1Qbu-2016 (802.3br)	フレームプリエンプション	あり
	IEEE 802.1Qch-2017	周期的キューイングとフォワーディング	あり
	IEEE 802.1Qcr	非同期トラフィックシェーピング	あり
	IEEE 802.1Qci-2017	ストリームベースのフィルタリングとポリシング	あり（ゲートフィルタなし）
	IEEE 802.1CB-2017	信頼性のためのフレームの複製と除去	あり
TrustZone フィルタ	セキュリティ属性およびプリビレッジ属性が設定可能		

注. ネットワークのサポートについては、弊社営業窓口までお問い合わせください。

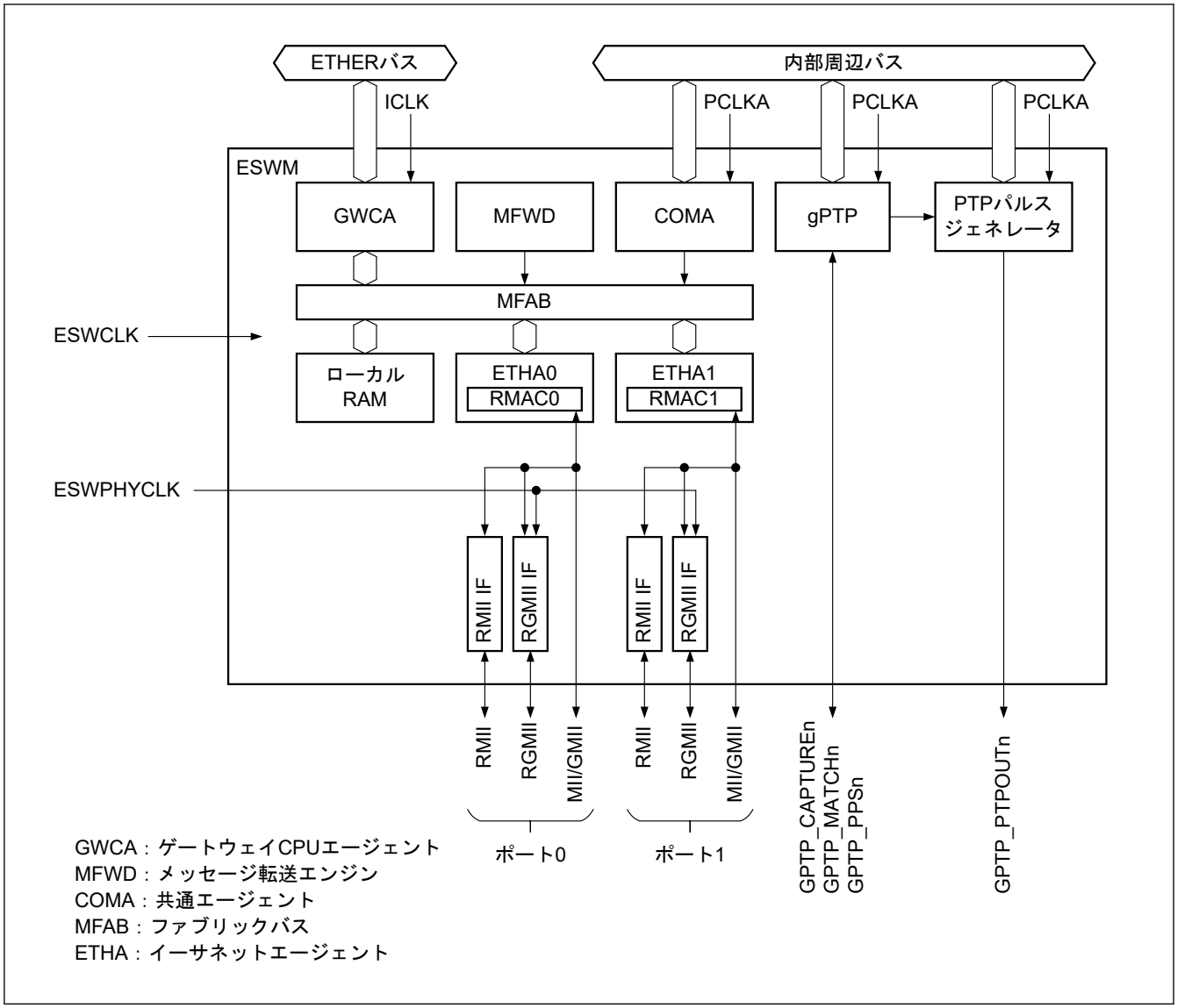


図 29.1 ESWM のブロック図

表 29.2 ESWM の機能ブロック (1/2)

ブロック名	機能
MFWD	イーサネットメッセージ転送エンジン (MFWD) は ESWM の一部で、スイッチフレームのフィルタ処理、転送、ルーティングを目的としています。MFWD はファブリックからのフレーム情報のスヌープを行い、フィルタ、転送、およびルーティングの処理の後にこれらをエージェントに再分配します。
MFAB	ファブリックバス (MFAB) は、イーサネットエージェント[ETHA]、イーサネット共通エージェント[COMA]、イーサネット CPU エージェント[GWCA]、ローカル RAM、TAG RAM、ポインタ RAM、およびイーサネットメッセージ転送エンジン[MFWD]の間でデータを交換するために使用される内部バスです。
ETHA	イーサネットエージェント (ETHA) は、ESWM 内部の通信を実現するエージェントインタフェースモジュールで構成されます。ETHA は、ESWM とイーサネット PHY の間のデータ交換を処理します。
RMAC	イーサネット MAC (RMAC) は、IEEE 802.3 標準のイーサネットの MAC (Media Access Control) 層の定義に準拠するイーサネットコントローラです。この標準に準拠する物理層 LSI チップ (PHY-LSI) で接続することにより、RMAC はイーサネット (IEEE 802.3) フレームを送受信できます。RMAC には単一の MAC 層のインタフェースがあります。
GWCA	イーサネット CPU エージェント (GWCA) は、ESWM 内部の通信を実現するエージェントインタフェースモジュールで構成される CPU インタフェースです。GWCA は、ESWM と GWCPU サブシステムの間のデータ交換を処理します。ゲートウェイ AXI バスインタフェースの構成のためのソフトウェアが必要です。

表 29.2 ESWM の機能ブロック (2/2)

ブロック名	機能
COMA	イーサネット共通エージェント (COMA) は、他のエージェントの共通機能の収集を目的とした ESWM のエージェントです。COMA は、APB から SFR へのバス変換、拒否されたフレームのバッファポインタリリース、ローカル RAM のポインタ処理を行います。イーサネット共通エージェント構成のためのソフトウェアが必要です。
gPTP	イーサネット汎用 PTP タイマ (GPTP) により、制御システム内のクロックの正確な同期が可能になります。
plsotim	パルス出力タイマモジュール (plsotim) は gPTP のサブモジュールで、gPTP タイマの基本周期に従ってパルス出力を生成します。

29.2 レジスタの説明

29.2.1 ESWM インタフェースコントロールレジスタ

29.2.1.1 MIIRR : Media-independent Interface リセットレジスタ

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x19400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RMRST1	RMRST0	—	—	—	—	—	—	RGRST1	RGRST0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RGRST0	RGMII0 リセット 0: リセット 1: 許可	R/W
1	RGRST1	RGMII1 リセット 0: リセット 1: 許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RMRST0	RMII0 リセット 0: リセット 1: 許可	R/W
9	RMRST1	RMII1 リセット 0: リセット 1: 許可	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.1.2 MIICR0 : Media-independent Interface コントロールレジスタ 0

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x19404

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TXCIDE	—	—	—	DIVSTP	—	—	—	—	—	—	MIISEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MIISEL[1:0]	Media-independent Interface 選択 0 0: MII/GMII 0 1: RGMII 1 0: RMII 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DIVSTP	クロック分周器の停止 0: 許可 1: 停止	R/W
11:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	TXCIDE	RGMII TXC 内部遅延の許可 0: TXC 内部遅延の禁止 1: TXC 内部遅延の許可	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.1.3 MIICR1 : Media-independent Interface コントロールレジスタ 1

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x19408

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TXCIDE	—	—	—	DIVSTP	—	—	—	—	—	—	MIISEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MIISEL[1:0]	Media-independent Interface 選択 0 0: MII/GMII 0 1: RGMII 1 0: RMII 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	DIVSTP	クロック分周器の停止 0: 許可 1: 停止	R/W
11:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	TXCIDE	RGMII TXC 内部遅延の許可 0: TXC 内部遅延の禁止 1: TXC 内部遅延の許可	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.1.4 MCCESR : メディアクロックキャプチャイベント選択レジスタ

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x19410

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCCES1	MCCES0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCCES0	メディアクロック 0 キャプチャイベント選択 0: I/O ポート 1: ELC	R/W
1	MCCES1	メディアクロック 1 キャプチャイベント選択 0: I/O ポート 1: ELC	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.1.5 TASSTSR : TAS ステータスモニタ信号選択レジスタ

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x19420

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	MSS3[4:0]					—	—	—	MSS2[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MSS1[4:0]					—	—	—	MSS0[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	MSS0[4:0]	ET_TAS_STA0 モニタ信号選択 ET_TAS_STA0 端子に出力する信号を race_etha0_tas_gate_state[8:0]および race_etha1_tas_gate_state[8:0]から選択	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
12:8	MSS1[4:0]	ET_TAS_STA1 モニタ信号選択 ET_TAS_STA1 端子に出力する信号を race_etha0_tas_gate_state[8:0]および race_etha1_tas_gate_state[8:0]から選択	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	MSS2[4:0]	ET_TAS_STA2 モニタ信号選択 ET_TAS_STA2 端子に出力する信号を race_etha0_tas_gate_state[8:0]および race_etha1_tas_gate_state[8:0]から選択	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	MSS3[4:0]	ET_TAS_STA3 モニタ信号選択 ET_TAS_STA3 端子に出力する信号を race_etha0_tas_gate_state[8:0]および race_etha1_tas_gate_state[8:0]から選択	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.2 関連する ESWM 割り込みのレジスタの説明

29.2.2.1 TPEMIMC1 : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 1

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CSICM[2:0]			—	—	CSIGM	CSIM	—	CEICM[2:0]			—	—	CEIGM	CEIM
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	FSICM[2:0]			—	—	FSIGM	FSIM	—	FEICM[2:0]			—	—	FEIGM	FEIM
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FEIM	MFWD エラー割り込みマッピング MFWD エラー割り込みには以下の割り込みが含まれています。 • FWEIS0 • FWEIS1 • FWEIS2 • FWEIS3 • FWEIS4 • FWEIS5 • FWEIS6 • FWEIS7 • FWEIS8 0: MFWD エラー割り込みは ETHER_FWEI にマッピングされる 1: MFWD エラー割り込みは、TPEMIMC1.FEIGM レジスタに基づいて特定のコアにマッピングされる	R/W
1	FEIGM	MFWD エラー割り込み GWCA マッピング 0: TPEMIMC1.FEIM が 1 に設定された場合、MFWD エラー割り込みは ETHER_GWDI[TPEMIMC1.FEICM]にマッピングされる 1: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	FEICM[2:0]	MFWD エラー割り込みコアマッピング MFWD エラー割り込みが GWCA にマッピングされたときにマッピングされる端子を決定します	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	FSIM	MFWD ステータス割り込みマッピング MFWD ステータス割り込みには以下の割り込みが含まれています。 ● FWMIS0 [MFWD] 0: MFWD ステータス割り込みは ETHER_FWSI にマッピングされる 1: MFWD ステータス割り込みは、TPEMIMC1.FSIGM レジスタに基づいて特定のコアにマッピングされる	R/W
9	FSIGM	MFWD ステータス割り込み GWCA マッピング 0: TPEMIMC1.FSIM が 1 に設定された場合、MFWD ステータス割り込みは ETHER_GWDI[TPEMIMC1.FSICM]にマッピングされる 1: 設定禁止	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	FSICM[2:0]	MFWD ステータス割り込みコアマッピング MFWD ステータス割り込みが GWCA にマッピングされたときにマッピングされる端子を決定します	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CEIM	COMA エラー割り込みマッピング COMA エラー割り込みには以下の割り込みが含まれています。 ● CAEIS0 [COMA] ● CAEIS1 [COMA] 0: COMA エラー割り込みは ETHER_CAEI にマッピングされる 1: COMA エラー割り込みは、TPEMIMC1.CEIGM レジスタに基づいて特定のコアにマッピングされる	R/W
17	CEIGM	COMA エラー割り込み GWCA マッピング 0: TPEMIMC1.CEIM が 1 に設定された場合、COMA エラー割り込みは ETHER_GWDI[TPEMIMC1.CEICM]にマッピングされる 1: 設定禁止	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	CEICM[2:0]	COMA エラー割り込みコアマッピング COMA エラー割り込みが GWCA にマッピングされたときにマッピングされる端子を決定します	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	CSIM	COMA ステータス割り込みマッピング COMA ステータス割り込みには以下の割り込みが含まれています。 ● CAMIS0 [COMA] ● CAMIS1 [COMA] 0: COMA ステータス割り込みは ETHER_CAMI にマッピングされる 1: COMA ステータス割り込みは、TPEMIMC1.CSIGM レジスタに基づいて特定のコアにマッピングされる	R/W
25	CSIGM	COMA ステータス割り込み GWCA マッピング 0: TPEMIMC1.CSIM が 1 に設定された場合、COMA ステータス割り込みは ETHER_GWDI[TPEMIMC1.CSICM]にマッピングされる 1: 設定禁止	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	CSICM[2:0]	COMA ステータス割り込みコアマッピング COMA ステータス割り込みが GWCA にマッピングされたときにマッピングされる端子を決定するために使用されます。	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.2.2 TPEMIMC2 : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 2

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	GEICM0[2:0]			—	—	GEIGM0	GEIM0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GEIM0	GWCA0 エラー割り込みマッピング GWCA0 エラー割り込みには以下の割り込みが含まれています。 ● GWCA0 [GWCA]の GWEIS0（GWEIS0.TDFES 以外） ● GWCA0 [GWCA]の GWEIS1 ● GWCA0 [GWCA]の GWEIS4 ● GWCA0 [GWCA]の GWEIS5 0: GWCA0 エラー割り込みは、ETHER_GWEI にマッピングされる 1: GWCA0 エラー割り込みは、TPEMIMC2.GEIGM0 レジスタに基づいて特定のコアにマッピングされる	R/W
1	GEIGM0	GWCA0 エラー割り込み GWCA マッピング 0: TPEMIMC2.GEIM0 が 1 に設定された場合、GWCA0 エラー割り込みは ETHER_GWDI[TPEMIMC2.GEICM0]にマッピングされる 1: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	GEICM0[2:0]	GWCA0 エラー割り込みコアマッピング GWCA0 エラー割り込みが GWCA にマッピングされたときにマッピングされる端子を決定します。	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.2.3 TPEMIMC3 : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 3

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ESICM0[2:0]			—	—	ESIGM0	ESIM0	—	EEICM0[2:0]			—	—	EEIGM0	EEIM0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EEIM0	ETHA0 エラー割り込みマッピング ETHA0 エラー割り込みには以下の割り込みが含まれています。 ● ETHA0 [ETHA]の EAEIS0 ● ETHA0 [ETHA]の EAEIS1 ● ETHA0 [ETHA]の EAEIS2 ● RMAC0 [RMAC]の MEIS 0: ETHA0 エラー割り込みは ETHER_EAEI0 にマッピングされる 1: ETHA0 エラー割り込みは、TPEMIMC3.EEIGM0 レジスタに基づいて特定のコアにマッピングされる	R/W
1	EEIGM0	ETHA0 エラー割り込み GWCA マッピング 0: TPEMIMC3.EEIM0 が 1 に設定された場合、ETHA0 エラー割り込みは ETHER_GWDI[TPEMIMC3.EEICM0]にマッピングされる 1: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	EEICM0[2:0]	ETHA0 エラー割り込みコアマッピング ETHA0 エラー割り込みが GWCA にマッピングされたときにマッピングされる端子を決定します。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ESIM0	ETHA0 ステータス割り込みマッピング ETHA0 ステータス割り込みには以下の割り込みが含まれています。 ● RMAC 0 [RMAC]の MMIS0 0: ETHA0 ステータス割り込みは、ETHER_EASI0 にマッピングされる 1: ETHA0 ステータス割り込みは、TPEMIMC3.ESIGM0 レジスタに基づいて特定のコアにマッピングされる	R/W
9	ESIGM0	ETHA0 ステータス割り込み GWCA マッピング 0: TPEMIMC3.ESIM0 が 1 に設定された場合、ETHA0 ステータス割り込みは ETHER_GWDI[TPEMIMC3.ESICM0]にマッピングされる 1: 設定禁止	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	ESICM0[2:0]	ETHA0 ステータス割り込みコアマッピング ETHA0 ステータス割り込みが GWCA にマッピングされたときにマッピングされる端子を決定します。	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.2.4 TPEMIMC4 : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 4

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ESICM1[2:0]			—	—	ESIGM1	ESIM1	—	EEICM1[2:0]			—	—	EEIGM1	EEIM1
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EEIM1	ETHA1 エラー割り込みマッピング ETHA1 エラー割り込みには以下の割り込みが含まれています。 ● ETHA1 [ETHA]の EAEIS0 ● ETHA1 [ETHA]の EAEIS1 ● ETHA1 [ETHA]の EAEIS2 ● RMAC1 [RMAC]の MEIS 0: ETHA1 エラー割り込みは ETHER_EAEI1 にマッピングされる 1: ETHA1 エラー割り込みは、TPEMIMC4.EEIGM1 レジスタに基づいて特定のコアにマッピングされる	R/W
1	EEIGM1	ETHA1 エラー割り込み GWCA マッピング 0: TPEMIMC4.EEIM1 が 1 に設定された場合、ETHA1 エラー割り込みは ETHER_GWDI[TPEMIMC4.EEICM1]にマッピングされる 1: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	EEICM1[2:0]	ETHA1 エラー割り込みコアマッピング ETHA1 エラー割り込みが GWCA にマッピングされたときにマッピングされる端子を決定します。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ESIM1	ETHA1 ステータス割り込みマッピング ETHA1 ステータス割り込みには以下の割り込みが含まれています。 ● RMAC 1 [RMAC]の MMIS0 0: ETHA1 ステータス割り込みは、ETHER_EASI1 にマッピングされる 1: ETHA1 ステータス割り込みは、TPEMIMC4.ESIGM1 レジスタに基づいて特定のコアにマッピングされる	R/W
9	ESIGM1	ETHA1 ステータス割り込み GWCA マッピング 0: TPEMIMC4.ESIM1 が 1 に設定された場合、ETHA1 ステータス割り込みは ETHER_GWDI[TPEMIMC4.ESICM1]にマッピングされる 1: 設定禁止	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	ESICM1[2:0]	ETHA1 ステータス割り込みコアマッピング ETHA1 ステータス割り込みが GWCA にマッピングされたときにマッピングされる端子を決定します。	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.2.5 TPEMIMC6t : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 6t (t = 0～1)

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0080 + 0x04 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	GTSICM0[2:0]			GTSIM0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GTSIM0	GWCA0 タイムスタンプ割り込みマッピング GWCA0 タイムスタンプ割り込みには以下の割り込みが含まれています。 ● GWCA0 [GWCA]の GWTDIS.TSDISt ● GWCA0 [GWCA]の GWEIS0.TDFESt 0: GWCA0 タイムスタンプ割り込み t は ETHER_TSDI[t]にマッピングされる 1: GWCA0 タイムスタンプ割り込み t は、TPEMIMC6t.GTSICM0 設定に基づいて ETHER_GWDIn にマッピングされる	R/W
3:1	GTSICM0[2:0]	GWCA0 タイムスタンプ割り込みコアマッピング TPEMIMC6t.GTSIM0 が設定されたとき、GWCA0 タイムスタンプ割り込み t を ETHER_GWDI[TPEMIMC6t.GTSICM0]にマップします。	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.2.6 TPEMIMC7t : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 7t (t = 0～63)

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0100 + 0x04 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	GDICM0[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GDICM0[2:0]	GWCA0 データ割り込みコアマッピング GWCA0 データ割り込み t を ETHER_GWDI[TPEMIMC7t.GDICM0]にマッピングします。 RMAC2 ステータス割り込みには以下の割り込みが含まれています。 ● GWCA0 [GWCA]の GWDISi.DIS ● GWCA0 [GWCA]の GWEIS2i.DFES ● GWCA0 [GWCA]の GWEIS3.lAOESt (t = 0～4)	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

29.2.2.7 TSIM : 要約割り込みミラーリングレジスタ

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0700

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	EIM1	EIM0	—	GIM0	CIM	FIM
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FIM	MFWD 割り込みミラーリング 0: MFWD に割り込みが設定されない 1: MFWD に割り込みが設定される	R
1	CIM	COMA 割り込みミラーリング 0: COMA エージェントに割り込みが設定されない 1: COMA エージェントに割り込みが設定される	R
2	GIM0	GWCA0 割り込みモニタ 0: GWCA0 に割り込みが設定されない 1: GWCA0 に割り込みが設定される	R
3	—	読むと 0 が読めます。	R
4	EIM0	ETHA0 割り込みモニタ 0: ETHA0 に割り込みが設定されない 1: ETHA0 に割り込みが設定される	R
5	EIM1	ETHA1 割り込みモニタ 0: ETHA1 に割り込みが設定されない 1: ETHA1 に割り込みが設定される	R
31:6	—	読むと 0 が読めます。	R

29.2.2.8 TFIM : MFWD 割り込みミラーリングレジスタ

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0704

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	FWMISIM0	FWEISIM8	FWEISIM7	FWEISIM6	FWEISIM5	FWEISIM4	FWEISIM3	FWEISIM2	FWEISIM1	FWEISIM0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FWEISIM0	FWEIS0 割り込みミラーリング 0: 転送エンジン FWEIS0 レジスタに割り込みが設定されない 1: 転送エンジン FWEIS0 レジスタに割り込みが設定される	R
1	FWEISIM1	FWEIS1 割り込みミラーリング 0: 転送エンジン FWEIS1 レジスタに割り込みが設定されない 1: 転送エンジン FWEIS1 レジスタに割り込みが設定される	R
2	FWEISIM2	FWEIS2 割り込みミラーリング 0: 転送エンジン FWEIS2 レジスタに割り込みが設定されない 1: 転送エンジン FWEIS2 レジスタに割り込みが設定される	R
3	FWEISIM3	FWEIS3 割り込みミラーリング 0: 転送エンジン FWEIS3 レジスタに割り込みが設定されない 1: 転送エンジン FWEIS3 レジスタに割り込みが設定される	R
4	FWEISIM4	FWEIS4 割り込みミラーリング 0: 転送エンジン FWEIS4 レジスタに割り込みが設定されない 1: 転送エンジン FWEIS4 レジスタに割り込みが設定される	R
5	FWEISIM5	FWEIS5 割り込みミラーリング 0: 転送エンジン FWEIS5 レジスタに割り込みが設定されない 1: 転送エンジン FWEIS5 レジスタに割り込みが設定される	R

ビット	シンボル	機能	R/W
6	FWEISIM6	FWEIS6 割り込みミラーリング 0: 転送エンジン FWEIS6 レジスタに割り込みが設定されない 1: 転送エンジン FWEIS6 レジスタに割り込みが設定される	R
7	FWEISIM7	FWEIS7 割り込みミラーリング 0: 転送エンジン FWEIS7 レジスタに割り込みが設定されない 1: 転送エンジン FWEIS7 レジスタに割り込みが設定される	R
8	FWEISIM8	FWEIS8 割り込みミラーリング 0: 転送エンジン FWEIS8 レジスタに割り込みが設定されない 1: 転送エンジン FWEIS8 レジスタに割り込みが設定される	R
9	FWMISIM0	FWMIS0 割り込みミラーリング 0: 転送エンジン FWMIS0 レジスタに割り込みが設定されない 1: 転送エンジン FWMIS0 レジスタに割り込みが設定される	R
31:10	—	読むと 0 が読めます。	R

29.2.2.9 TCIM : COMA 割り込みミラーリングレジスタ

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0708

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	CAMISIM1	CAMISIM0	CAEISIM1	CAEISIM0	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	CAEISIM0	CAEIS0 割り込みミラーリング 0: COMA エージェント CAEIS0 レジスタに割り込みが設定されない 1: COMA エージェント CAEIS0 レジスタに割り込みが設定される	R
2	CAEISIM1	CAEIS1 割り込みミラーリング 0: COMA エージェント CAEIS1 レジスタに割り込みが設定されない 1: COMA エージェント CAEIS1 レジスタに割り込みが設定される	R
3	CAMISIM0	CAMIS0 割り込みミラーリング 0: COMA エージェント CAMIS0 レジスタに割り込みが設定されない 1: COMA エージェント CAMIS0 レジスタに割り込みが設定される	R
4	CAMISIM1	CAMIS1 割り込みミラーリング 0: COMA エージェント CAMIS1 レジスタに割り込みが設定されない 1: COMA エージェント CAMIS1 レジスタに割り込みが設定される	R
31:5	—	読むと 0 が読めます。	R

29.2.2.10 TGIM0 : GWCA0 割り込みミラーリングレジスタ

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0710

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	GWEISIM5	GWEISIM4	GWEISIM3	GWEISIM2	GWEISIM1	GWEISIM0	GWTSDISIM	GWDISIM
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GWDISIM	GWDIS 割り込みミラーリング 0: GWCA0 GWDIS レジスタに割り込みが設定されない 1: GWCA0 GWDIS レジスタに割り込みが設定される	R
1	GWTSDISIM	GWTSDIS 割り込みミラーリング 0: GWCA0 GWTSDIS レジスタに割り込みが設定されない 1: GWCA0 GWTSDIS レジスタに割り込みが設定される	R
2	GWEISIM0	GWEIS0 割り込みミラーリング 0: GWCA0 GWEIS0 レジスタに割り込みが設定されない 1: GWCA0 GWEIS0 レジスタに割り込みが設定される	R
3	GWEISIM1	GWEIS1 割り込みミラーリング 0: GWCA0 GWEIS1 レジスタに割り込みが設定されない 1: GWCA0 GWEIS1 レジスタに割り込みが設定される	R
4	GWEISIM2	GWEIS2 割り込みミラーリング 0: GWCA0 GWEIS2 レジスタに割り込みが設定されない 1: GWCA0 GWEIS2 レジスタに割り込みが設定される	R
5	GWEISIM3	GWEIS3 割り込みミラーリング 0: GWCA0 GWEIS3 レジスタに割り込みが設定されない 1: GWCA0 GWEIS3 レジスタに割り込みが設定される	R
6	GWEISIM4	GWEIS4 割り込みミラーリング 0: GWCA0 GWEIS4 レジスタに割り込みが設定されない 1: GWCA0 GWEIS4 レジスタに割り込みが設定される	R
7	GWEISIM5	GWEIS5 割り込みミラーリング 0: GWCA0 GWEIS5 レジスタに割り込みが設定されない。 1: GWCA0 GWEIS5 レジスタに割り込みが設定される。	R
31:8	—	読むと 0 が読めます。	R

29.2.2.11 TEIM0 : ETHA0 割り込みミラーリングレジスタ

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0720

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MMISIM	MEISIM	EAEISIM2	EAEISIM1	EAEISIM0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EAEISIM0	EAEIS0 割り込みミラーリング 0: ETHA0 EAEIS0 レジスタに割り込みが設定されない 1: ETHA0 EAEIS0 レジスタに割り込みが設定される	R
1	EAEISIM1	EAEIS1 割り込みミラーリング 0: ETHA0 EAEIS1 レジスタに割り込みが設定されない 1: ETHA0 EAEIS1 レジスタに割り込みが設定される	R
2	EAEISIM2	EAEIS2 割り込みミラーリング 0: ETHA0 EAEIS2 レジスタに割り込みが設定されない 1: ETHA0 EAEIS2 レジスタに割り込みが設定される	R
3	MEISIM	MEIS 割り込みミラーリング 0: ETHA0 RMAC MEIS レジスタに割り込みが設定されない 1: ETHA0 RMAC MEIS レジスタに割り込みが設定される	R
4	MMISIM	MMIS0 割り込みミラーリング 0: ETHA0 RMAC MMIS0 レジスタに割り込みが設定されない 1: ETHA0 RMAC MMIS0 レジスタに割り込みが設定される	R
31:5	—	読むと 0 が読めます。	R

29.2.2.12 TEIM1 : ETHA1 割り込みミラーリングレジスタ

Base address: ESWM = 0x403C_8000
ESWM_NS = 0x503C_8000

Offset address: 0x0724

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MMISIM	MEISIM	EAEISIM2	EAEISIM1	EAEISIM0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EAEISIM0	EAEIS0 割り込みミラーリング 0: ETHA1 EAEIS0 レジスタに割り込みが設定されない 1: ETHA1 EAEIS0 レジスタに割り込みが設定される	R
1	EAEISIM1	EAEIS1 割り込みミラーリング 0: ETHA1 EAEIS1 レジスタに割り込みが設定されない 1: ETHA1 EAEIS1 レジスタに割り込みが設定される	R

ビット	シンボル	機能	R/W
2	EAEISIM2	EAEIS2 割り込みミラーリング 0: ETHA1 EAEIS2 レジスタに割り込みが設定されない 1: ETHA1 EAEIS2 レジスタに割り込みが設定される	R
3	MEISIM	MEIS 割り込みミラーリング 0: ETHA1 RMAC MEIS レジスタに割り込みが設定されない 1: ETHA1 RMAC MEIS レジスタに割り込みが設定される	R
4	MMISIM	MMIS0 割り込みミラーリング 0: ETHA1 RMAC MMIS0 レジスタに割り込みが設定されない 1: ETHA1 RMAC MMIS0 レジスタに割り込みが設定される	R
31:5	—	読むと 0 が読めます。	R

29.2.3 ESWM コアレジスタ

以下の項を参照してください。

- 「30.3. MFWD レジスタの説明」
- 「31.3. COMA レジスタの説明」
- 「32.3. ETHA レジスタの説明」
- 「33.4. RMAC レジスタの説明」
- 「34.3. GWCA レジスタの説明」

29.2.4 gPTP および PTP パルスジェネレータレジスタ

以下の項を参照してください。

- 「35.3. gPTP レジスタの説明」
- 「35.6.3. plsotim レジスタの説明」

29.3 レジスタの使用

29.3.1 ソフトウェアフロー

ソフトウェアフローの制限事項を以下に示します。

- SW：ESWM レジスタは、この項で指定されているフローを使用してのみ書き込むことができます
- SW：この項に記載されているすべてのソフトウェアフローは順序通りにしか使用できません。

29.3.1.1 ソフトウェアフローの凡例

図 29.2 にソフトウェアフローの凡例を示します。

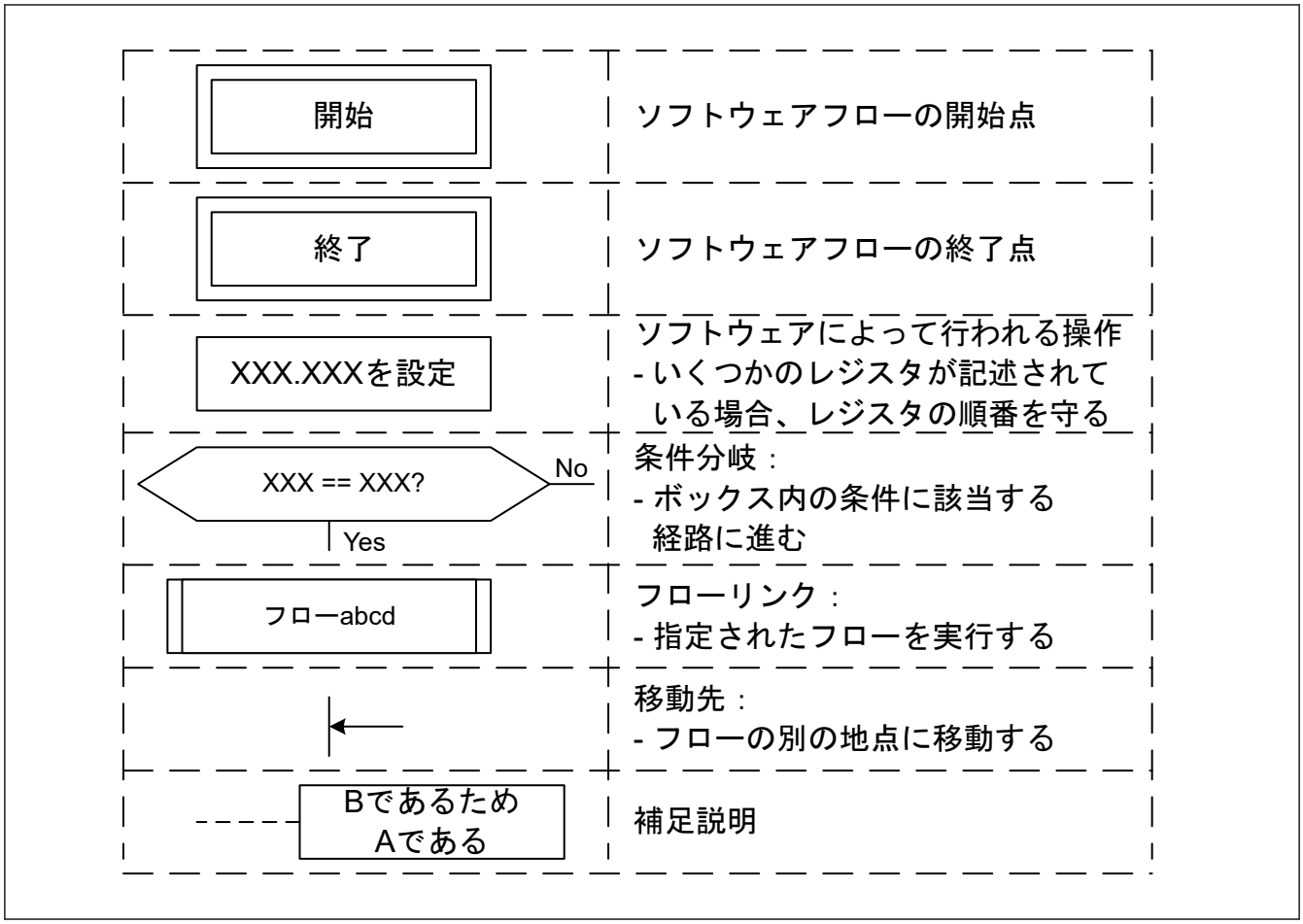


図 29.2　ソフトウェアフローの凡例

29.3.1.2　スイッチ初期化フロー

図 29.3 にスイッチ初期化フローを示します。

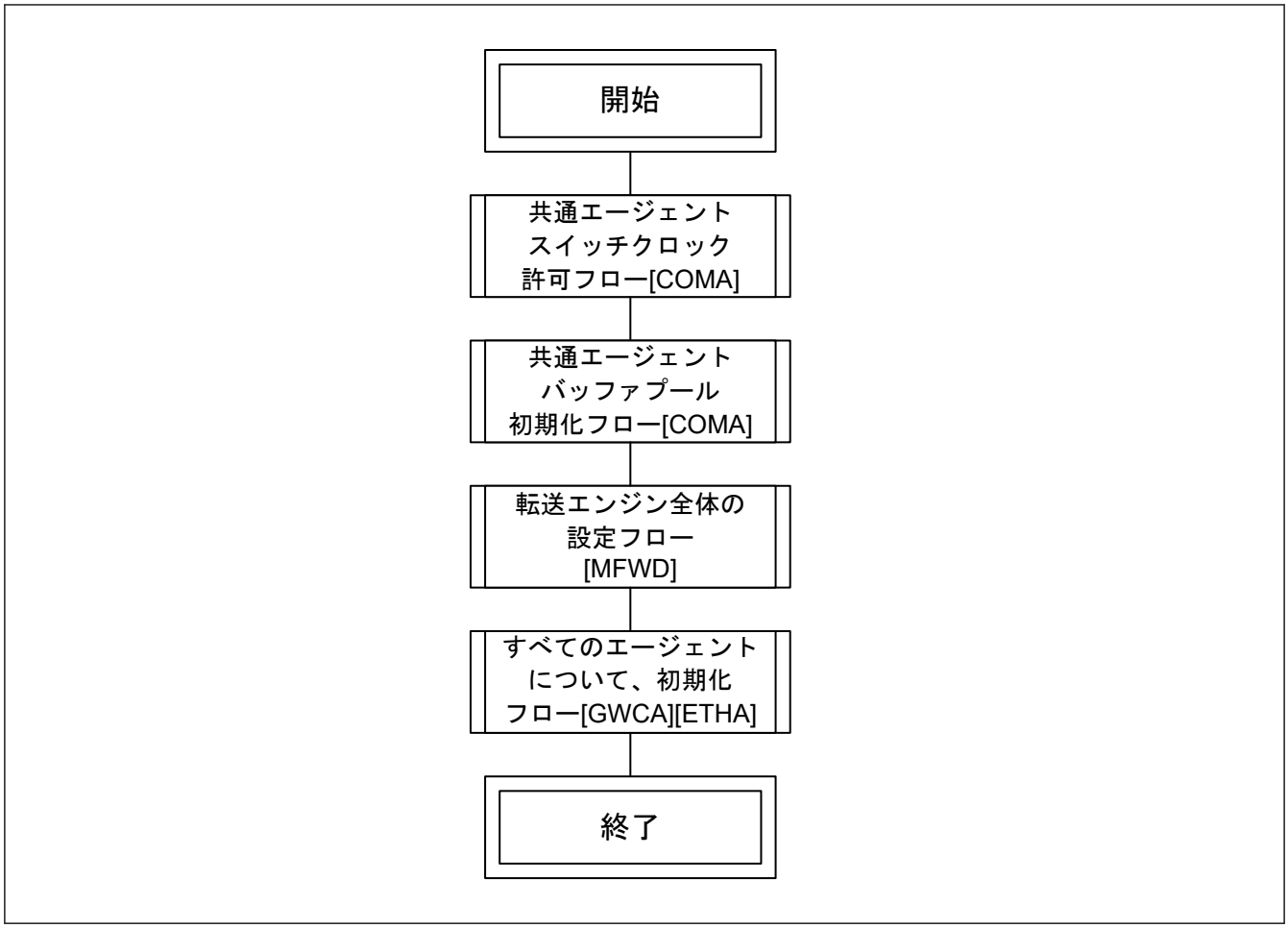


図 29.3　スイッチ初期化フロー

29.3.1.3　スイッチ禁止フロー

図 29.4 にスイッチ禁止フローを示します。

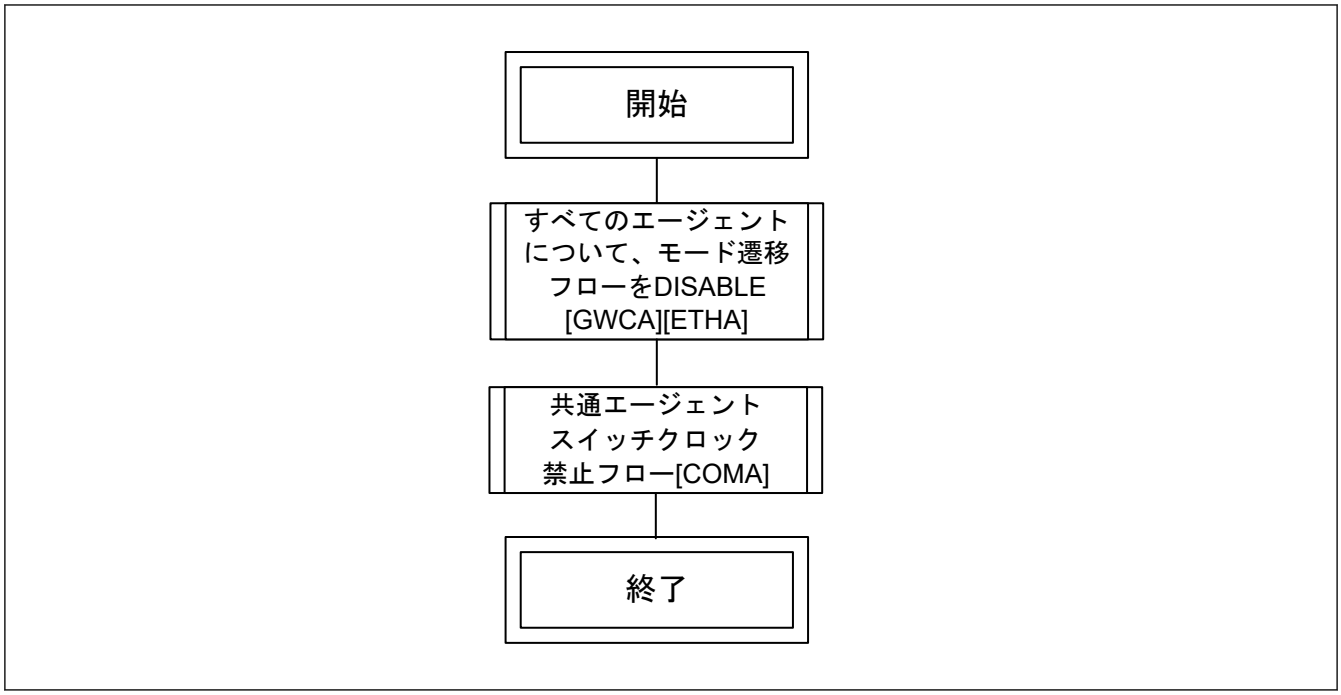


図 29.4　スイッチ禁止フロー

29.3.1.4　スイッチリセットフロー

図 29.5 にスイッチリセットフローを示します。

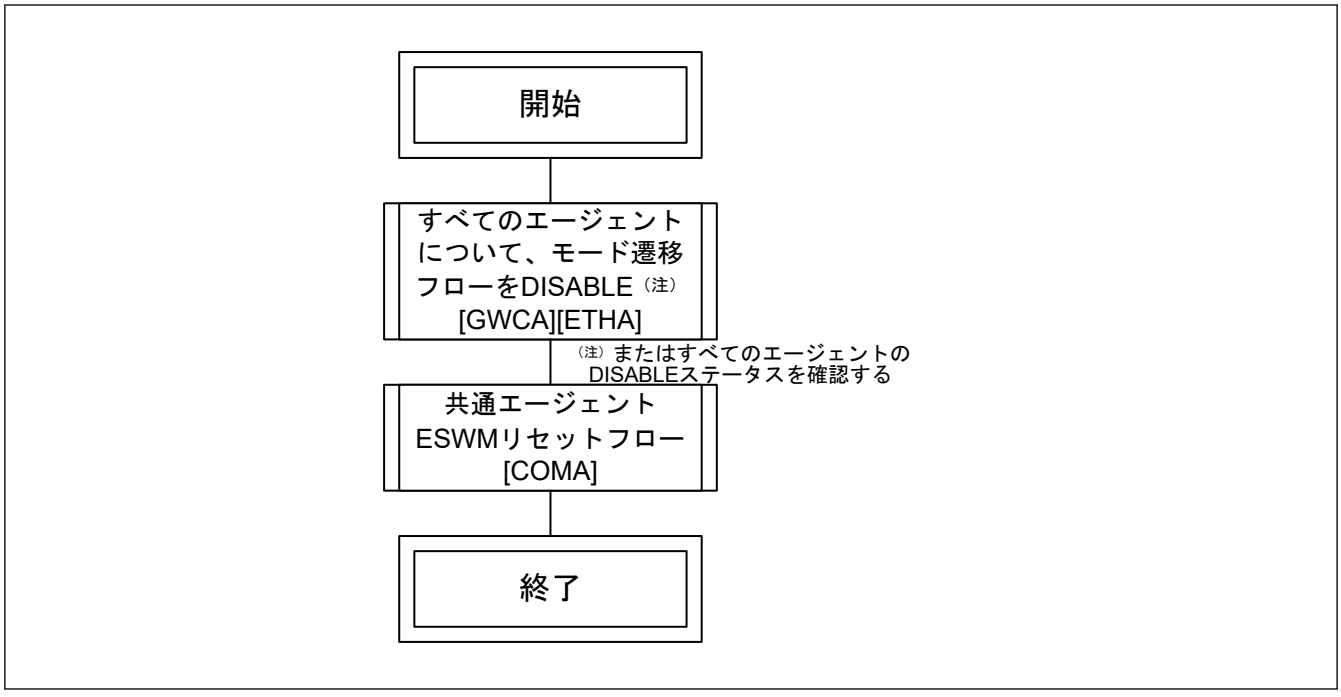


図 29.5　スイッチリセットフロー

29.3.1.5　スイッチ緊急リセットフロー

図 29.6 に[ETHA]がロックされたときのスイッチ緊急リセットフローを示します。

たとえば、MII の場合、PHY にエラーが発生して MII PHY TX クロックが停止すると、スイッチはデータを送信できず、([ETHA]動作モードでロックされた）ポインタを解除できません。この状態は、MII PHY TX クロックを再起動したときにクリアされますが、必要な場合は緊急リセットを使用します。

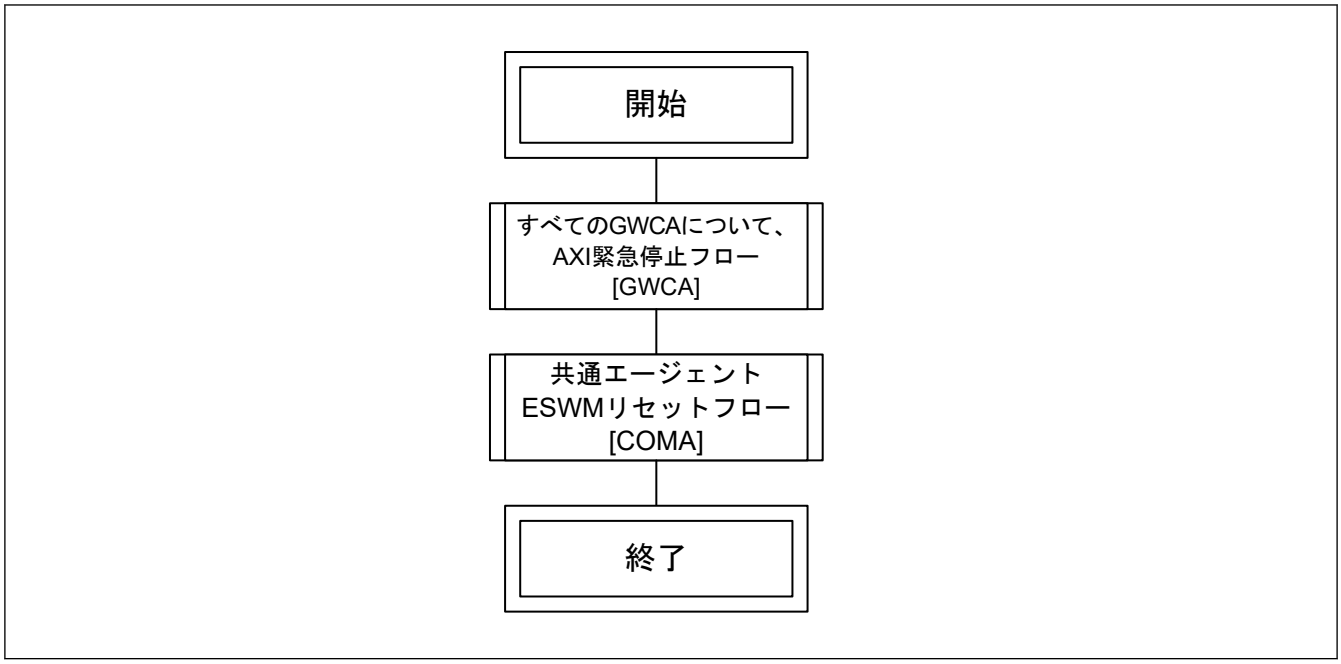


図 29.6　スイッチ緊急リセットフロー

29.3.1.6　ソフトウェアフローなしで書き込み可能なレジスタ

表 29.3 は、ソフトウェアフローなしで書き込み可能なレジスタと、それらが書き込み可能なモードを示しています。

表 29.3　ソフトウェアフローなしで書き込み可能なレジスタ（✓ = 書き込み可能、× = 書き込み不可）

レジスタ名	いつでも書き込み可能
TPEMIMC0	✓
TPEMIMC1	✓
TPEMIMC2	✓
TPEMIMC3	✓
TPEMIMC4	✓
TPEMIMC5	✓
TPEMIMC6t	✓
TPEMIMC7t	✓
TPICVC0	✓
TPICVC1	✓
TPICVC2	✓
TPRCVC	✓
TCVUC	✓

29.4 機能説明

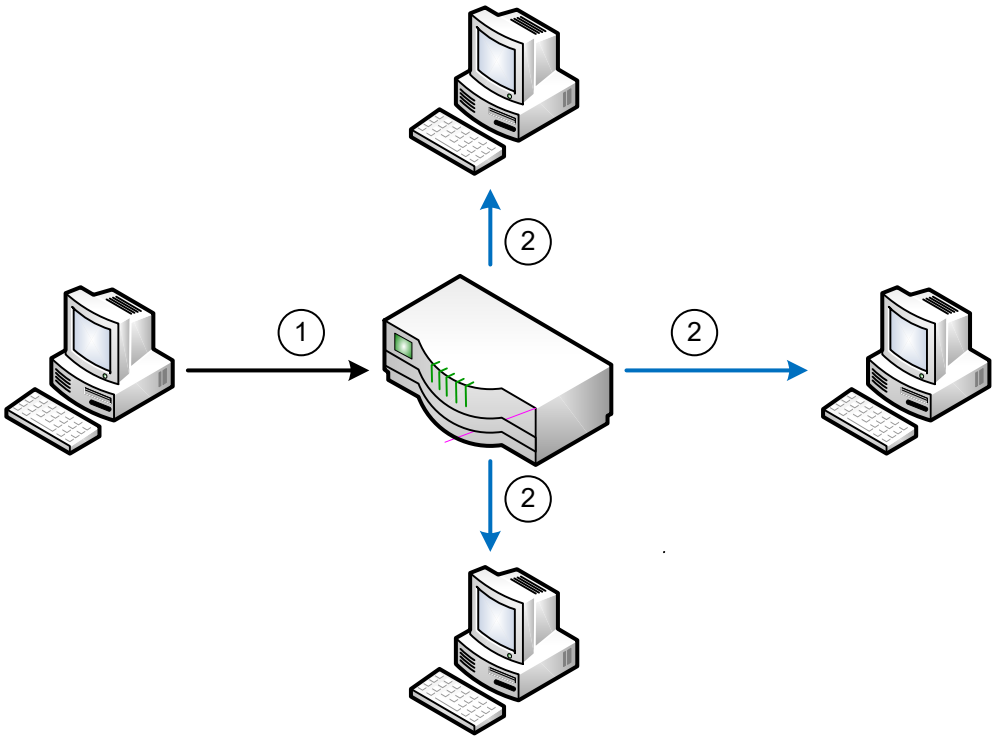
29.4.1 ESWM 転送モード

29.4.1.1 ハブ

29.4.1.1.1 背景

ハブはレイヤ 1 でのみ動作するイーサネットネットワーク相互接続システム (OSI) です。あらゆる種類のアドレス指定を考慮しないため、通過するトラフィックの種類を認識せず、セキュリティ上の問題が生じるおそれがあります。

図 29.7 にハブの動作を示します。



1	ハブはポートからパケットを受信する
2	ハブはIngressポートを除くすべてのポートにパケットをコピーする

図 29.7 ハブの動作

注. ハブモードでは、内部ポート[GWCA]はイーサネットポートのように動作します。以下の構成では、内部ポートは AXI ディスクリプタキュー番号 0 ですべてのフレームを受信し、AXI ディスクリプタキュー番号 1 ですべてのフレームを送信します。

29.4.1.1.2 設定

表 29.4 に、ハブモードの ESWM に必要な設定を示します。この設定は、「29.3.1.2. スイッチ初期化フロー」で説明されているスイッチ初期化フローを使用して指定してください。表で言及されていないすべてのレジスタは、初期値のままにする必要があり、設定する必要がありません。スイッチ初期化フローを使用した後、使用されたすべてのポートは必要に応じて動作モードにする必要があります。

表 29.4 ハブ設定

レジスタ名	設定値	説明
メッセージ転送エンジン[MFWD]		
FWPBFCi.PBDV	0 に設定される FWPBFCi.PBDV を除いてすべて 1	すべてのポートは、受信フレームをそれ以外のすべてのポートに送信するよう設定される
イーサネットエージェント[ETHA]		
EAIRC	0	すべてのフレームはディスクリプタキュー 0 に転送される
EATDQDCq.DQD	q = 0 の場合は 512 に設定 それ以外の場合は 0 に設定	QoS がないため、すべてのフレームは優先順位 0 のキューに格納される。その結果、すべての出力ディスクリプタキューメモリはキュー 0 用に予約される。
EAVCC.VEM	011b	SC タグ付きフレームと C タグ付きフレームの透過的な通過を許可する
EATTFC.UT	0	サポートされないものであってもすべての TAG フォーマットの通過を許可する
イーサネット MAC [RMAC]		
MPIC.PIS	ユーザー定義	PHY インタフェースタイプを設定する
MPIC.LSC	ユーザー定義	PHY 速度を設定する
MRAFC	03C703C7H	MAC 受信をプロミスキャスモードに設定する
ゲートウェイ CPU エージェント[GWCA]		
GWIRC	0	すべてのフレームはディスクリプタキュー 0 に転送される
GWRDQDCq.DQD	q = 0 の場合は 512 に設定 それ以外の場合は 0 に設定	QoS がないため、すべてのフレームは優先順位 0 のキューに格納される。その結果、すべての出力ディスクリプタキューメモリはキュー 0 用に予約される。
GWVCC.VEM	011	SC タグ付きフレームと C タグ付きフレームの透過的な通過を許可する
GWTTFC.UT	0	サポートされないものであってもすべての TAG フォーマットの通過を許可する
GWDCBAC0/1	ユーザー定義	LINKFIX テーブルベースアドレスを設定
GWDCCi	i = 1 の場合： ● DQT を 1 に設定 ● OSID をユーザー定義に設定。 それ以外の場合： ● OSID をユーザー定義に設定。	キュー 0 をデータ受信に使用し、キュー 1 をデータ送信に使用。その他のすべてのキューは使用しない。

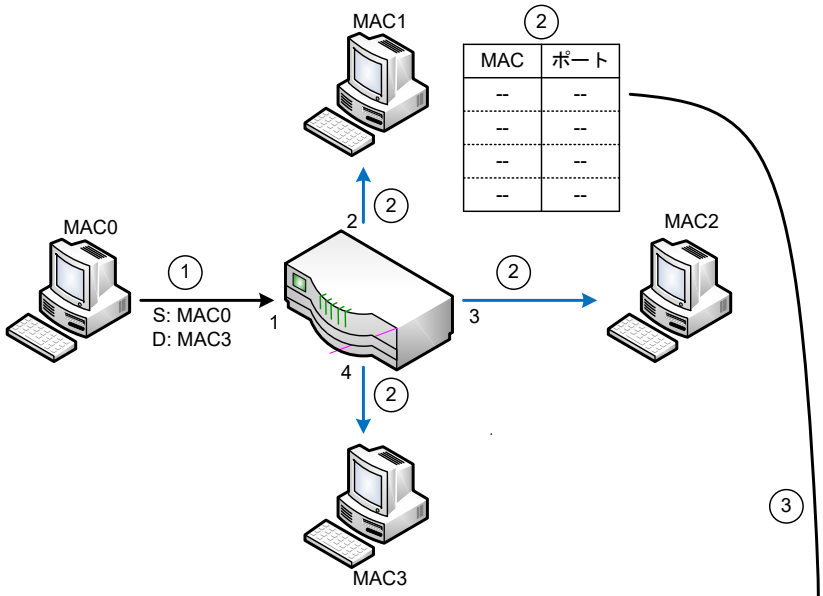
29.4.1.2 レイヤ 2 スイッチ

29.4.1.2.1 背景

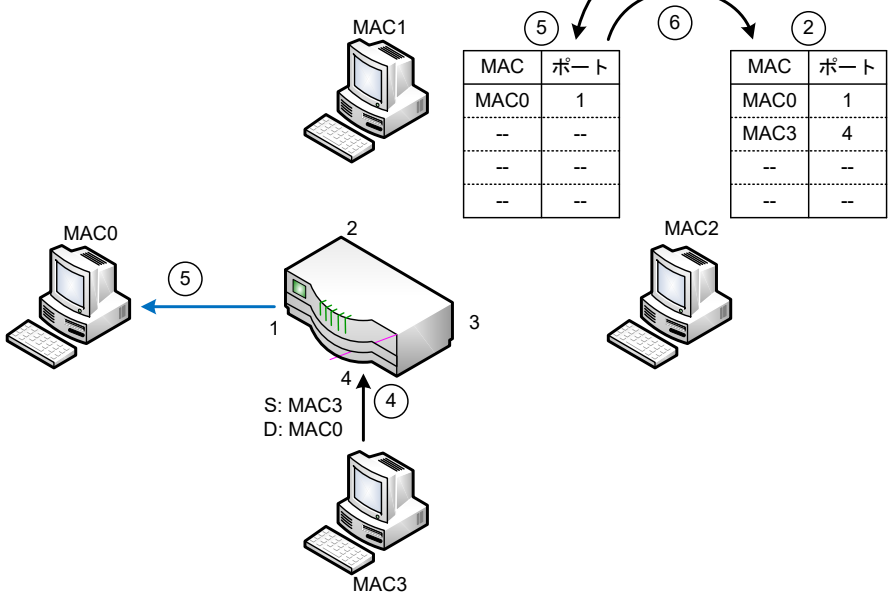
レイヤ 2 スイッチは、MAC アドレスを使用してレイヤ 2 でのみ動作するイーサネットネットワーク相互接続システム (OSI) です。MAC アドレスは、メッセージのフィルタ処理と転送に使用されます。レイヤ 2 スイッチには次の 3 つの主機能があります。

- アドレスの学習 : スイッチは受信したフレームの送信元 MAC アドレスを参照して MAC アドレスを学習できます。
- アドレスのエージング：スイッチは、対応する送信元からのフレームを所定の期間（通常は 5 分）受信しなかった場合に MAC アドレスを無効化できます。
- フレームの転送／フィルタ処理：スイッチは、宛先 MAC アドレスに基づいてフレームの転送またはフィルタ処理を行うことができます。

図 29.8 にレイヤ 2 スイッチの動作を示します。



1	スイッチはポート1から、MAC0を送信元MACアドレス、MAC3を宛先MACアドレスとしてパケットを受信する。
2	MAC3はMACテーブルに存在しないため、スイッチはハブのように動作し、Ingressポートを除くすべてのポートにパケットをコピーする。
3	MAC0はMACテーブルに存在しないため、フレーム送信元ポートとともに学習される。



4	スイッチはポート4から、MAC3を送信元MACアドレス、MAC0を宛先MACアドレスとしてパケットを受信する。
5	MAC0はポート番号1とともにMACテーブルに存在するため、フレームはポート1にのみ転送される。
6	MAC3はMACテーブルに存在しないため、フレーム送信元ポートとともに学習される。

図 29.8　レイヤ 2 スイッチの動作

29.4.1.2.2 設定

表 29.5 に、レイヤ 2 スイッチモードの ESWM に必要な設定を示します。この設定は、「29.3.1.2. スイッチ初期化フロー」で説明されているスイッチ初期化フローを使用して指定してください。表で言及されていないすべてのレジスタは、初期値のままにする必要があり、設定する必要がありません。スイッチ初期化フローを使用した後、使用されたすべてのポートは必要に応じて動作モードにする必要があります。

表 29.5 レイヤ 2 スイッチの設定

レジスタ名	設定値	説明
メッセージ転送エンジン[MFWD]		
FWPBFCi.PBDV	0 に設定される FWPBFCi.PBDV を除いてすべて 1	すべてのポートは、受信フレームをそれ以外のすべてのポートに送信するよう設定される
FWPCi0.MACDSA	1	MAC 宛先検索がすべてのポートについて実行される
FWPCi0.MACSSA	1	MAC 送信元検索がすべてのポートについて実行される
FWPCi0.MACHLA	1	MAC 送信元ハードウェア学習が、すべてのポートについて有効化される
FWPCi0.MACHMA	1	MAC 送信元ハードウェア移行が、すべてのポートについて有効化される
FWCLPRC.USMACLF	ユーザー定義	不明な送信元 MAC アドレスを学習モニタのために CPU に送信できる
FWCLPTC.LPCSD	2	学習パスのキュー番号を 2 に設定する
FWCLPTC.LPCS	ユーザー定義	学習モニタのために使用する CPU を選択する
イーサネットエージェント[ETHA]		
EAIRC	0	すべてのフレームはディスクリプタキュー 0 に転送される
EATDQDCq.DQD	q = 0 の場合は 512 に設定 それ以外の場合は 0 に設定	QoS がないため、すべてのフレームは優先順位 0 のキューに格納される。その結果、すべての出力ディスクリプタキューメモリはキュー 0 用に予約される。
EAVCC.VEM	011b	SC タグ付きフレームと C タグ付きフレームの透過的な通過を許可する
EATTFC.UT	0	サポートされないものであってもすべての TAG フォーマットの通過を許可する
イーサネット MAC [RMAC]		
MPIC.PIS	ユーザー定義	PHY インタフェースタイプを設定する
MPIC.LSC	ユーザー定義	PHY 速度を設定する
MRAFC	0x03C703C7	MAC 受信をプロミスキャスモードに設定する
ゲートウェイ CPU エージェント[GWCA]		
GWIRC	0	すべてのフレームはディスクリプタキュー 0 に転送される
GWRDQDCq.DQD	q = 0 の場合は 512 に設定 それ以外の場合は 0 に設定	QoS がないため、すべてのフレームは優先順位 0 のキューに格納される。その結果、すべての出力ディスクリプタキューメモリはキュー 0 用に予約される。
GWVCC.VEM	011b	SC タグ付きフレームと C タグ付きフレームの透過的な通過を許可する
GWTTFC.UT	0	サポートされないものであってもすべての TAG フォーマットの通過を許可する
GWDCBAC0/1	ユーザー定義	LINKFIX テーブルベースアドレスを設定
GWDCCi	i = 1 の場合： ● DQT を 1 に設定 ● OSID をユーザー定義に設定。 それ以外の場合： ● OSID をユーザー定義に設定。	キュー 0 をデータ受信に使用し、キュー 1 をデータ送信に使用し、キュー 2 を学習モニタに使用。 その他のすべてのキューは使用しない。 注. 学習モニタについては、拡張ディスクリプタを使用。

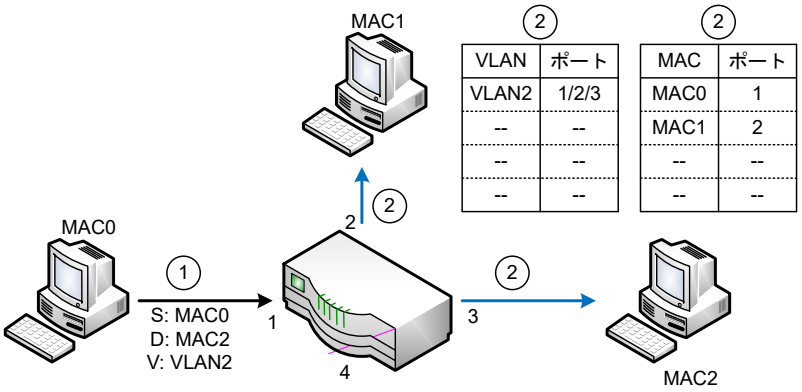
注. 内部ポート[GWCA]から受信する、ハードウェアによって学習されるすべての MAC アドレスは、常に AXI ディスクリプタキュー 0 とともに学習されます。その結果、AXI ディスクリプタキュー 0 は常に、フレーム受信キューに対応する、ハードウェアで学習される MAC アドレスのために予約してください。

29.4.1.3 VLAN 認識レイヤ 2 スイッチ

29.4.1.3.1 背景

VLAN 認識レイヤ 2 スイッチは、MAC アドレスを使用してレイヤ 2 で動作し、VLAN ID を使用してブロードキャストドメインをサブドメインに縮小できる、イーサネットネットワーク相互接続システム (OSI) です。VLAN 認識レイヤ 2 スイッチには、レイヤ 2 スイッチと同じ機能があるだけでなく、VLAN を処理できます。

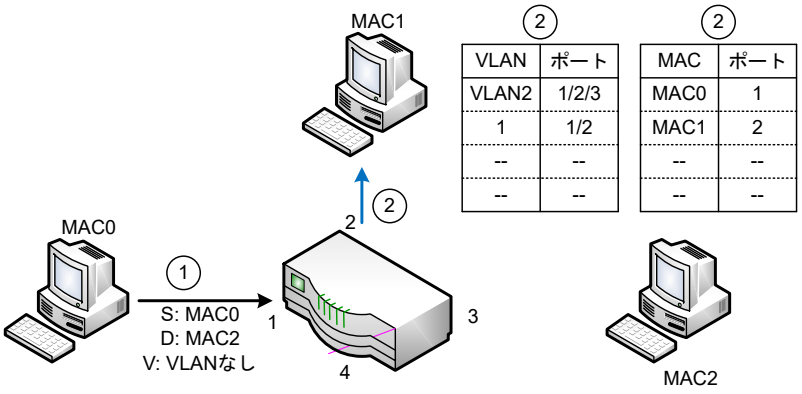
図 29.9 に VLAN 認識レイヤ 2 スイッチの動作を示します。



VLAN	ポート
VLAN2	1/2/3
--	--
--	--
--	--

MAC	ポート
MAC0	1
MAC1	2
--	--
--	--

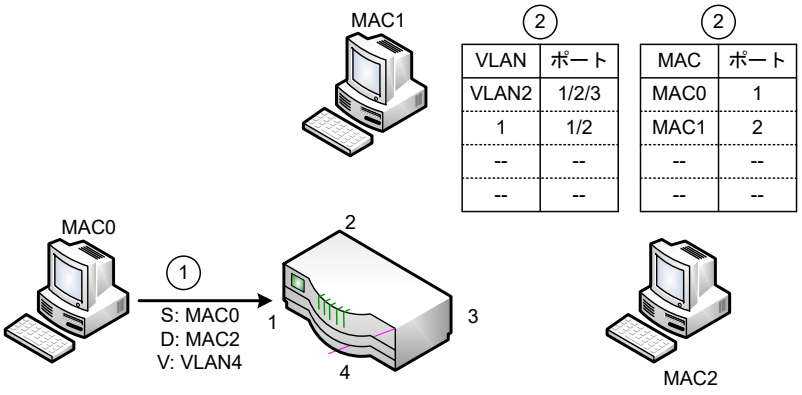
1	スイッチはポート1から、MAC0を送信元MACアドレス、MAC2を宛先MACアドレス、VLAN2をVLANとしてパケットを受信する。
2	MAC2はMACテーブルに存在しないため、スイッチはVLAN2ドメインに存在するすべてのポート（ポート1/2/3）にパケットをコピーする（Ingressポートを除く）。



VLAN	ポート
VLAN2	1/2/3
1	1/2
--	--
--	--

MAC	ポート
MAC0	1
MAC1	2
--	--
--	--

1	スイッチはポート1から、MAC0を送信元MACアドレス、MAC2を宛先MACアドレスとして、VLANなしでパケットを受信する。
2	MAC2はMACテーブルに存在しないため、スイッチはデフォルトのVLAN (1) ドメインに存在するすべてのポート（ポート1/2）にパケットをコピーする（Ingressポートを除く）。



VLAN	ポート
VLAN2	1/2/3
1	1/2
--	--
--	--

MAC	ポート
MAC0	1
MAC1	2
--	--
--	--

1	スイッチはポート1から、MAC0を送信元MACアドレス、MAC2を宛先MACアドレス、VLAN4をVLANとしてパケットを受信する。
2	VLAN4は不明のため、パケットは拒否される。

図 29.9 VLAN 認識レイヤ 2 スイッチの動作

29.4.1.3.2 設定

表 29.6 に、VLAN 認識レイヤ 2 スイッチモードの ESWM に必要な設定を示します。この設定は、「29.3.1.2. スイッチ初期化フロー」で説明されているスイッチ初期化フローを使用して指定してください。表で言及されていないすべてのレジスタは、初期値のままにする必要があり、設定する必要がありません。スイッチ初期化フローを使用した後、使用されたすべてのポートは必要に応じて動作モードにする必要があります。

表 29.6 VLAN 認識レイヤ 2 スイッチの設定 (1/2)

レジスタ名	設定値	説明
メッセージ転送エンジン[MFWD]		
FWGC.SVM	01	ESWM を C-TAG モードで設定する
FWPBFCi.PBDV	0 に設定される FWPBFCi.PBDV を除いてすべて 1	すべてのポートは、受信フレームをそれ以外のすべてのポートに送信するよう設定される
FWPCi0.MACDSA	1	MAC 宛先検索がすべてのポートについて実行される
FWPCi0.MACSSA	1	MAC 送信元検索がすべてのポートについて実行される
FWPCi0.MACHLA	1	MAC 送信元ハードウェア学習が、すべてのポートについて有効化される
FWPCi0.MACHMA	1	MAC 送信元ハードウェア移行が、すべてのポートについて有効化される
FWPCi0.VLANSA	1	VLAN 検索がすべてのポートについて実行される
FWPCi0.VLANRU	1	不明な VLAN が拒否される
FWCLPRC.USMACLF	ユーザー定義	不明な送信元 MAC アドレスを学習モニタのために CPU に送信できる
FWCLPRC.UVLANLF	ユーザー定義	不明な VLAN は学習用に CPU に送信できる
FWCLPTC.LPCSD	2	学習パスのキュー番号を 2 に設定する
FWCLPTC.LPCS	ユーザー定義	学習モニタのために使用する CPU を選択する
FWVLANTL0/1/2/30/4	ユーザー定義	新しい VLAN を VLAN テーブルに追加できる 詳細は、表 29.7 を参照してください。
イーサネットエージェント[ETHA]		
EATDQDCq.DQD	ユーザー定義	ディスクリプタキュー内のディスクリプタの数を設定できる
EAVCC.VEM	011	SC タグ付きフレームと C タグ付きフレームの透過的な通過を許可する
EAVTC.CTV	1	デフォルトの VLAN 値を 1 に設定する
EATTFC.UT	0	サポートされないものであってもすべての TAG フォーマットの通過を許可する
RMAC [RMAC]		
MPIC.PIS	ユーザー定義	PHY インタフェースタイプを設定する
MPIC.LSC	ユーザー定義	PHY 速度を設定する
MRAFC	03C703C7H	MAC 受信をプロミスキャスモードに設定する
GWCA [GWCA]		
GWRDQDCq.DQD	ユーザー定義	ディスクリプタキュー内のディスクリプタの数を設定できる
GWVCC.VEM	011	SC タグ付きフレームと C タグ付きフレームの透過的な通過を許可する
GWVTC.CTV	1	デフォルトの VLAN 値を 1 に設定する
GWTTFC.UT	0	サポートされないものであってもすべての TAG フォーマットの通過を許可する
GWDCBAC0/1	ユーザー定義	LINKFIX テーブルベースアドレスを設定

表 29.6 VLAN 認識レイヤ 2 スイッチの設定 (2/2)

レジスタ名	設定値	説明
GWDCCi	i = 1 の場合： ● DQT を 1 に設定 ● OSID をユーザー定義に設定。 それ以外の場合： ● OSID をユーザー定義に設定。	キュー 0 をデータ受信に使用し、キュー 1 をデータ送信に使用し、キュー 2 を学習モニタに使用。その他のすべてのキューは使用しない。 注. 学習モニタについては、拡張ディスクリプタを使用。

表 29.7 VLAN テーブルでの VLAN 学習

フィールド名 VLAN	設定値	説明
SL	0	セキュアエントリを使用しない
HLD	0	すべての VLAN について MAC アドレスのハードウェア学習を無効化しない
SLV	VLAN に含まれるポートでは 1 に設定	この VLAN に含まれるポートから対応する VLAN を受信することのみ認証
DV	VLAN に含まれるポートでは 1 に設定	この VLAN に含まれるポートに対応する VLAN を送信することのみ認証
CSD	0	サブ転送先 0 で CPU によって受信されたフレーム
CME	0	ミラーリングなし
EME	0	ミラーリングなし
IPU	0	フレーム優先順位の更新なし
IPV	0	フレーム優先順位の更新なし

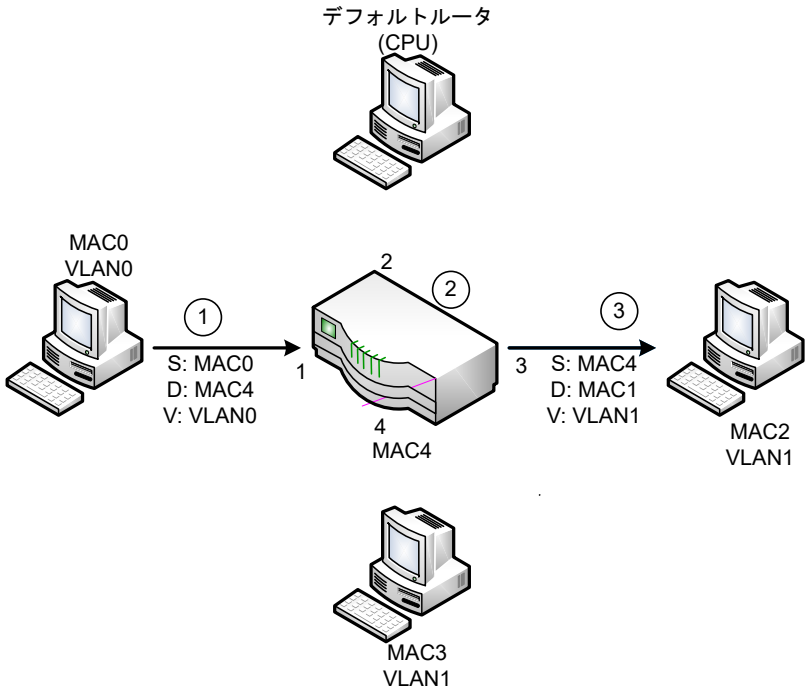
注. VLAN と宛先 MAC アドレスの両方が転送テーブル内で検出され、対応するフレームが内部ポートに転送されるとき、転送用に選択される AXI ディスクリプタキュー（CPU サブ転送先）は、MAC テーブル内で設定されたものです。この例では、両方とも 0 に設定されているため、問題は発生しませんが、AXI ディスクリプタキューが仮想化に使用されるときは、システム設計中にこれを考慮に入れる必要があります。

29.4.1.4 レイヤ 3 スイッチ

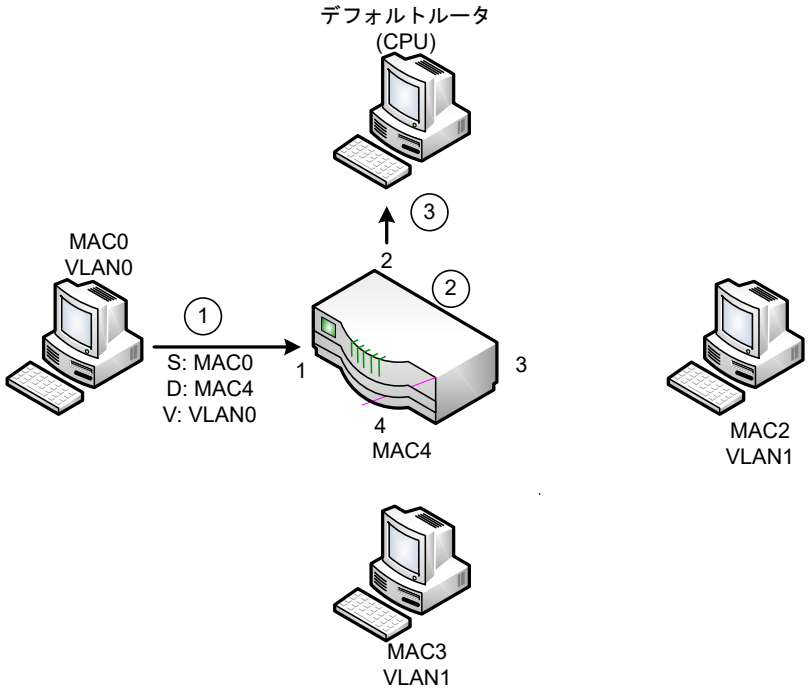
29.4.1.4.1 背景

レイヤ 3 スイッチは、IP アドレスを使用してレイヤ 3 で動作するイーサネットネットワーク相互接続システム (OSI) です。ESWM はストリーム転送によってのみ完全一致を実行できるため、レイヤ 3 スイッチを開発するときは、完全フィルタ[FWD]を使用することを推奨します。

図 29.10 にレイヤ 3 スイッチの動作を示します。



①	スイッチはポート1から、MAC0を送信元MACアドレス、MAC4を宛先MACアドレス、VLAN0をVLANとしてパケットを受信する。
②	パケットのIPアドレスはカスケードフィルタと一致し、ポート3にルーティングされる。
③	スイッチはMAC宛先をMAC1に、MAC送信元をMAC4に、VLANをVLAN1に更新し、フレームをポート3に送信する。



①	スイッチはポート1から、MAC0を送信元MACアドレス、MAC4を宛先MACアドレス、VLAN0をVLANとしてパケットを受信する。
②	パケットのIPアドレスは不明なため、ルーティングを実行できない。
③	スイッチは、ルーティング用の更新を行わずにフレームをデフォルトルータ (CPU) に転送する。

図 29.10　レイヤ 3 スイッチの動作

29.4.1.4.2 設定

表 29.8 に、レイヤ 3 スイッチモードの ESWM に必要な設定を示します。この設定は、「29.3.1.2. スイッチ初期化フロー」で説明されているスイッチ初期化フローを使用して指定してください。表で言及されていないすべてのレジスタは、初期値のままにする必要があり、設定する必要がありません。スイッチ初期化フローを使用した後、使用されたすべてのポートは必要に応じて動作モードにする必要があります。

表 29.8 レイヤ 3 スイッチの設定 (1/2)

レジスタ名	設定値	説明
転送エンジン[MFWD]		
FWGC.SVM	01	ESWM を C-TAG モードで設定する
FWPBFCi.PBDV	0 に設定される FWPBFCi.PBDV を除いてすべて 1	すべてのポートは、受信フレームをそれ以外のすべてのポートに送信するよう設定される
FWPCi0.MACDSA	1	MAC 宛先検索がすべてのポートについて実行される
FWPCi0.MACSSA	1	MAC 送信元検索がすべてのポートについて実行される
FWPCi0.MACHLA	1	MAC 送信元ハードウェア学習が、すべてのポートについて有効化される
FWPCi0.MACHMA	1	MAC 送信元ハードウェア移行が、すべてのポートについて有効化される
FWPCi0.VLANSA	1	VLAN 検索がすべてのポートについて実行される
FWCLPRC.USMACLF	ユーザー定義	不明な送信元 MAC アドレスを学習モニタのために CPU に送信できる
FWCLPRC.UVLANLF	1	不明な VLAN は学習用に CPU に送信される
FWCLPTC.LPCSD	2	学習パスのキュー番号を 2 に設定する
FWCLPTC.LPCS	ユーザー定義	学習モニタのために使用する CPU を選択する
FWVLANTL0/1/2/30/4	ユーザー定義	新しい VLAN を VLAN テーブルに追加できる 詳細は、表 29.7 を参照してください。
イーサネットエージェント[ETHA]		
EATDQDCq.DQD	ユーザー定義	ディスクリプタキュー内のディスクリプタの数を設定できる
EAVCC.VEM	011	SC タグ付きフレームと C タグ付きフレームの透過的な通過を許可する
EAVTC.CTV	1	デフォルトの VLAN 値を 1 に設定する
EATTFC.UT	0	サポートされないものであってもすべての TAG フォーマットの通過を許可する
RMAC [RMAC]		
MPIC.PIS	ユーザー定義	PHY インタフェースタイプを設定する
MPIC.LSC	ユーザー定義	PHY 速度を設定する
MRAFC	03C703C7H	MAC 受信をプロミスキャスモードに設定する
GWCA [GWCA]		
GWRDQDCq.DQD	ユーザー定義	ディスクリプタキュー内のディスクリプタの数を設定できる
GWVCC.VEM	011	SC タグ付きフレームと C タグ付きフレームの透過的な通過を許可する
GWVTC.CTV	1	デフォルトの VLAN 値を 1 に設定する
GWTTFC.UT	0	サポートされないものであってもすべての TAG フォーマットの通過を許可する
GWDCBAC0/1	ユーザー定義	LINKFIX テーブルベースアドレスを設定

表 29.8 レイヤ 3 スイッチの設定 (2/2)

レジスタ名	設定値	説明
GWDCCi	i = 1 の場合： ● DQT を 1 に設定 ● OSID をユーザー定義に設定。 それ以外の場合： ● OSID をユーザー定義に設定。	キュー 0 をデータ受信に使用し、キュー 1 をデータ送信に使用し、キュー 2 を学習モニタに使用。 その他のすべてのキューは使用しない。 注. 学習モニタについては、拡張ディスクリプタを使用。

表 29.9 VLAN テーブルでの VLAN 学習

フィールド名 VLAN	設定値	説明
SL	0	セキュアエントリを使用しない
HLD	0	すべての VLAN について MAC アドレスのハードウェア学習を無効化しない
SLV	VLAN に含まれるポートでは 1 に設定	この VLAN に含まれるポートから対応する VLAN を受信することのみ認証
DV	VLAN に含まれるポートでは 1 に設定	この VLAN に含まれるポートに対応する VLAN を送信することのみ認証
CSD	0	サブ転送先 0 で CPU によって受信されたフレーム
CME	0	ミラーリングなし
EME	0	ミラーリングなし
IPU	0	フレーム優先順位の更新なし
IPV	0	フレーム優先順位の更新なし

29.4.1.5 AVB スケジューラ

29.4.1.5.1 Forwarding and Queuing Enhancements for Time-Sensitive Streams [802.1Qav]

29.4.2 注意事項

- ESWM は、最大の（([未使用のポインタ番号] × 128）/ 4）バイトフレーム（サポートされる最大フレームサイズ）をサポートできます。バッファオーバーフローは送信フレームサイズがサポートされる最大サイズを超えたときに発生します。[未使用のポインタ番号] = 512 − （アクティブ化されたポート番号 × 6）。
  - イーサネットポートの最大フレームサイズよりも小さい[RMAC] MRFSCE.EMXS に設定します
  - CPU ポートの最大フレームサイズよりも大きいものを送信しないでください
- GWCA は、先頭フレームについて最大サイズ 63488 バイトのフレームのみ送信／受信できます。その次のフレームについては、キューの間で LINK/LINKFIX ディスクリプタが使用されない場合、最大フレームサイズは 65535 バイトとすることができます。
- カットスルーを使用する場合は、バッファオーバーフローを発生させないように使用してください。以下の使用法が推奨されます。
  - 1 対 1 の通信のみ使用します。
    （禁止される例：マルチキャスト転送、イーサネットミラーリングに対し、ループバック転送）。
  - 送信を停止する機能の禁止。受信ポートでフロー制御を使用してください。
    （禁止される例：TX キューの休止、CBS、TAS）。
- ESWM の全体仕様は動作クロックの周波数によって決定されます。
  詳細については以下の表を参照し、動作クロックを選択してください。

選択			定義	
ローカル RAM の容量(注1)	Clk(注1)	内部帯域幅	イーサネットおよび CPU の合計帯域幅	スループット (Ether2Ether)
64 KB	250 MHz	32 Gbps	最大 1G bps（Exp 100M Ether 2 ポート + 100M CPU 1 ポート）× TX/RX	800～2000 ns

選択			定義	
ローカル RAM の容量(注1)	Clk(注1)	内部帯域幅	イーサネットおよび CPU の合計帯域幅	スループット (Ether2Ether)
64 KB	50 MHz	6.4 Gbps	最大 1G bps（Exp 100M Ether 2 ポート + 100M CPU 1 ポート）× TX/RX	2000～6000 ns
64 KB	250 MHz	32 Gbps	最大 3G bps（Exp 1G Ether 2 ポート + 1G CPU 1 ポート）× TX/RX	400～600 ns
64 KB	150 MHz	19.2 Gbps	最大 3G bps（Exp 1G Ether 2 ポート + 1G CPU 1 ポート）× TX/RX	500～800 ns

注. フレーム終了（転送送信元ポート）からフレーム開始（転送宛先ポート）。測定時にフレームのペイロード長への依存はありません。
注. フレーム開始（転送宛先ポート）は、プリアンブルの出力が開始されるポイントまでです。
注 1. これらを下回る仕様は禁止されています。
スループット測定条件：

- フレーム終了（転送送信元ポート）からフレーム開始（転送宛先ポート）
- 転送（宛先ポート）がビジーではない
- L2 転送ユニキャスト（1：1 転送）。

29.5 動作説明

29.5.1 内部クロック

表 29.10 に、ESWM の内部クロックを示します。これらのクロックは、クロック発生回路 (CGC) によって提供されます。ESWM 動作を開始する前にクロックを設定します。

表 29.10 クロックの設定可能な範囲

VDD 電圧[V]	速度[Mbps]	ICLK [MHz]	PCLKA [MHz]	ESWCLK [MHz]	ESWPHYCLK [MHz]
VSCR_1、電圧範囲 1	1000	150～250	最大 125	150～250	500
	100/10	50～250	最大 125	50～250(注1)	—
VSCR_2、電圧範囲 2	1000	100～150	最大 75	150～225	500
	100/10	50～150	最大 75	50～225(注1)	—

注 1. HLQFP176 パッケージ内の製品を使用するとき、ESWCLK を 125 MHz 以下に設定します。

クロックの制限事項を以下に示します。

- ICLK × 1.5 ≧ ESWCLK
- ESWCLK > PCLKA
- ICLK > PCLKA

29.5.2 PHY インタフェース

29.5.2.1 PHY インタフェース選択

表 29.11 に、ESWM PHY インタフェース用のコンフィグレーション設定一覧を示します。MIICRn.MIISEL[1:0]ビットは、RMACn の MPIC レジスタを設定する前に設定してください。

表 29.11 ESWM PHY インタフェースのコンフィグレーション設定 (1/2)

タイプ	速度	RMACn.MPIC		MIICRn
		LSC[2:0]	PIS[2:0]	MIISEL[1:0]
MII	10 Mbps	000b	000b (MII)	00b
MII	100 Mbps	001b	000b (MII)	00b
GMII	1 Gbps	010b	010b (GMII)	00b
RGMII	10 Mbps	000b	000b (MII)	01b
RGMII	100 Mbps	001b	000b (MII)	01b

表 29.11 ESWM PHY インタフェースのコンフィグレーション設定 (2/2)

タイプ	速度	RMACn.MPIC		MIICRn
		LSC[2:0]	PIS[2:0]	MIISEL[1:0]
RGMII	1 Gbps	010b	010b (GMII)	01b
RMII	10 Mbps	000b	000b (MII)	10b
RMII	100 Mbps	001b	000b (MII)	10b

29.5.2.2 MII/GMII インタフェース

MIICRn.MIISEL[1:0] = 00b のとき、MII/GMII インタフェースが選択されます。GTX_CLK は ESWPHYCLK を 4 分周して生成されます。

29.5.2.3 RGMII インタフェース

ESWM は外部 RGMII から内部 GMII/MII に変換できます。RGMII インタフェースは MIICRn.MIISEL[1:0] = 01b のときに有効です。ESWM PHY インタフェースの初期状態は MII/GMII であるため、MIIRR.RGRST ビットでリセットが解除された後に動作可能になります。この時点で、TXC は ESWPHYCLK を分割して生成されます。MIISEL[1:0]を 01b に設定してから、リセットを解除する必要があります。

29.5.2.3.1 RGMII 内部遅延モード

RGMII インタフェースは RGMIIn_TXC の内部遅延モードをサポートします。

29.5.2.4 RMII インタフェース

ESWM は外部 RMII から内部 MII に変換できます。RMII インタフェースは MIICRn.MIISEL[1:0] = 10b のときに有効です。ESWM PHY インタフェースの初期状態は MII/GMII であるため、MIIRR.RMRST ビットでリセットが解除された後に動作可能になります。MIICRn.MIISEL[1:0]を 10b に設定してから、リセットを解除する必要があります。

29.5.3 ESWM コア機能

以下の章を参照してください。

- 「30. イーサネットメッセージ転送エンジン (MFWD)」
- 「30.5.4. ファブリック (MFAB)」
- 「31. イーサネット共通エージェント (COMA)」
- 「32. イーサネットエージェント (ETHA)」
- 「33. イーサネット MAC (RMAC)」
- 「34. イーサネット CPU エージェント (GWCA)」

29.5.4 gPTP および PTP パルスジェネレータ

以下の章を参照してください。

- 「35. イーサネット汎用 PTP タイマ (GPTP)」
- 「35.6. パルス出力タイマモジュール (plsotim)」

29.5.5 TAS ゲートステータスモニタ

ET_TAS_STAn 端子に出力される信号は、TASSTMS レジスタを使用して選択できます。表 29.12 に、TASSTMS レジスタ選択テーブルを示します。

表 29.12 (1/2)

MSSn[4:0]	モジュール	信号
00000b～01000b	ETHA0	eha_race_tas_gate_state[0]～eha_race_tas_gate_state[8]

表 29.12 (2/2)

MSSn[4:0]	モジュール	信号
10000b～11000b	ETHA1	eha_race_tas_gate_state[0]～eha_race_tas_gate_state[8]

eha_race_tas_gate_state[8:0]の詳細については、「32. イーサネットエージェント (ETHA)」を参照してください。

29.6 割り込みとイベント

表 29.13 割り込みとイベント出力

シンボル	要因フラグ	内容	タイプ
ETHER_FWEI	MFWD.FWEIS	転送エラー割り込み	レベル
ETHER_CAEI	COMA.CAEIS	共通エラー割り込み	レベル
ETHER_GWEI	GWCA0.GWEIS0（GWEIS0.TDFES 以外）、GWCA0.GWEIS1、GWCA0.GWEIS4、GWCA0.GWEIS5	GWCA0 エラー割り込み	レベル
ETHER_EAEI0	ETHA0.EAEIS0、ETHA0.EAEIS1、ETHA0.EAEIS2、RMAC0.MEIS	ETHA0 エラー割り込み	レベル
ETHER_EAEI1	ETHA1.EAEIS0、ETHA1.EAEIS1、ETHA1.EAEIS2、RMAC1.MEIS	ETHA1 エラー割り込み	レベル
ETHER_PTPSI0	GPTP.PTPIS0	gPTP ステータス割り込み 0	レベル
ETHER_PTPSI1	GPTP.PTPIS1	gPTP ステータス割り込み 1	レベル
ETHER_FWSI	MFWD.FWMIS	転送ステータス割り込み	レベル
ETHER_CAMI	COMA.CAMIS	共通ステータス割り込み	レベル
ETHER_EASI0	RMAC0.MMIS	ETHA0 ステータス割り込み	レベル
ETHER_EASI1	RMAC1.MMIS	ETHA1 ステータス割り込み	レベル
ETHER_GWDI7	GWCA0.GWDIDS、GWCA0.GWEIS2、GWCA0.GWEIS3（TOP.TPEMIMC7t でマッピング）	GWCA データ割り込み	レベル
ETHER_GWDI6			
ETHER_GWDI5			
ETHER_GWDI4			
ETHER_GWDI3			
ETHER_GWDI2			
ETHER_GWDI1			
ETHER_GWDI0			
ETHER_TSDI1	GWCA0.GWTSDIS、GWCA0.GWEIS0.TDFES（TOP.TPMIMC6t でマッピング）	タイムスタンプデータ割り込み	レベル
ETHER_TSDI0		タイムスタンプデータ割り込み	レベル
ETHER_MDIO0	RMAC0.MMIS1	MDIO 割り込み 0	レベル
ETHER_MDIO1	RMAC1.MMIS1	MDIO 割り込み 1	レベル
ETHER_RMPI0	RMAC0.MMIS.LPIAIS、RMAC0.MMIS.LPIDIS、RMAC0.MMIS.MPDIS	RMAC0 PHY 割り込み	レベル
ETHER_RMPI1	RMAC1.MMIS.LPIAIS、RMAC1.MMIS.LPIDIS、RMAC1.MMIS.MPDIS	RMAC1 PHY 割り込み	レベル
GPTP_MATCH0	—	メディアクロックリカバリー致 0	パルス
GPTP_MATCH1	—	メディアクロックリカバリー致 1	パルス
GPTP_PTPOUT0	—	PTP パルス出力 0	パルス
GPTP_PTPOUT1	—	PTP パルス出力 1	パルス
GPTP_PTPOUT2	—	PTP パルス出力 2	パルス
GPTP_PTPOUT3	—	PTP パルス出力 3	パルス

表 29.14 イベント入力

シンボル	イベント要因	内容
ELC_GPTP0	ELSR31	gPTP メディアクロックキャプチャイベント 0
ELC_GPTP1	ELSR32	gPTP メディアクロックキャプチャイベント 1

gPTP メディアクロックキャプチャは、PTP キャプチャイベント選択レジスタを使用してイベント要因を選択できます。

29.7 使用上の注意事項

29.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) の MSTPC30 ビットにより、ESWM モジュールの動作禁止または許可を設定することが可能です。リセット後のモジュールは、初期状態では停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は「11. 低消費電力モード」を参照してください。

29.7.2 ソフトウェアスタンバイモードへの遷移

ESWM は、ソフトウェアスタンバイフローに遷移する前に、スイッチ禁止フローを実行して、これを禁止する必要があります。

RGMII インタフェースまたは RMII インタフェースが選択された場合、これらのインタフェースは MIIRR レジスタによりスイッチ禁止フローの後にリセットする必要があります。

29.7.3 ソフトウェアスタンバイモードからの復帰

ESWM は、ソフトウェアスタンバイモードからの復帰後に、スイッチ初期化フローを実行して、これを初期化する必要があります。

29.7.4 パワーゲーティングによる ESWM 電源ドメイン OFF への遷移

ESWM は、ESWM 電源ドメイン OFF に遷移する前に、スイッチ禁止フローを実行して、これを禁止する必要があります。

RGMII インタフェースまたは RMII インタフェースが選択された場合、これらのインタフェースは MIIRR レジスタによりスイッチ禁止フローの後にリセットする必要があります。

29.7.5 パワーゲーティングによる ESWM 電源ドメイン ON への遷移

ESWM は、ESWM 電源ドメイン ON の後にスイッチ初期化フローを実行して、これを初期化する必要があります。

30. イーサネットメッセージ転送エンジン (MFWD)

30.1 概要

イーサネットメッセージ転送エンジン (MFWD) は ESWM の一部で、スイッチフレームのフィルタ処理、転送、ルーティングを目的としています。MFWD はファブリックからのフレーム情報のスヌープを行い、フィルタ、転送、およびルーティングの処理の後にこれらをエージェントに再分配します。

表 30.1 に MFWD の仕様を、図 30.1 にブロック図を示します。

表 30.1 MFWD の仕様

機能		詳細
全体としての機能	カットスルー	フレームをレイヤ 2 に応じて受信しながら転送
	直接転送	GWCA から到着するフレームを、転送エンジンをバイパスして転送[GWCA]
	レイヤ 3 転送	フレームをストリーム ID に基づいて転送
	レイヤ 2 転送	フレームを宛先の MAC アドレスと VLAN に基づいて転送
	ポートベースの転送	フレームを送信元ポートに応じて転送
	L23U	レイヤ 3 転送に応じてレイヤ 2 とレイヤ 3 を更新
	PSFP	レイヤ 3 転送に応じた PSFP フィルタリング[PSFP]
	ATS	ATS トラフィックシェーピング[ATS]
	FRER	レイヤ 3 転送に応じた FRER [FRER]
データプロビジョン	イーサネットフレーム	IEEE 802.3 規格、802.1Q 規格、802.1CB 規格に対応[802.3] [802.1Q] [802.1CB]。
	ディスクリプタ	ローカルイーサネットディスクリプタ、ローカル直接ディスクリプタ（エージェントから MFWD へ） 転送ディスクリプタ（MFWD からエージェントへ）

図 30.1 に MFWD のブロック図を示します。

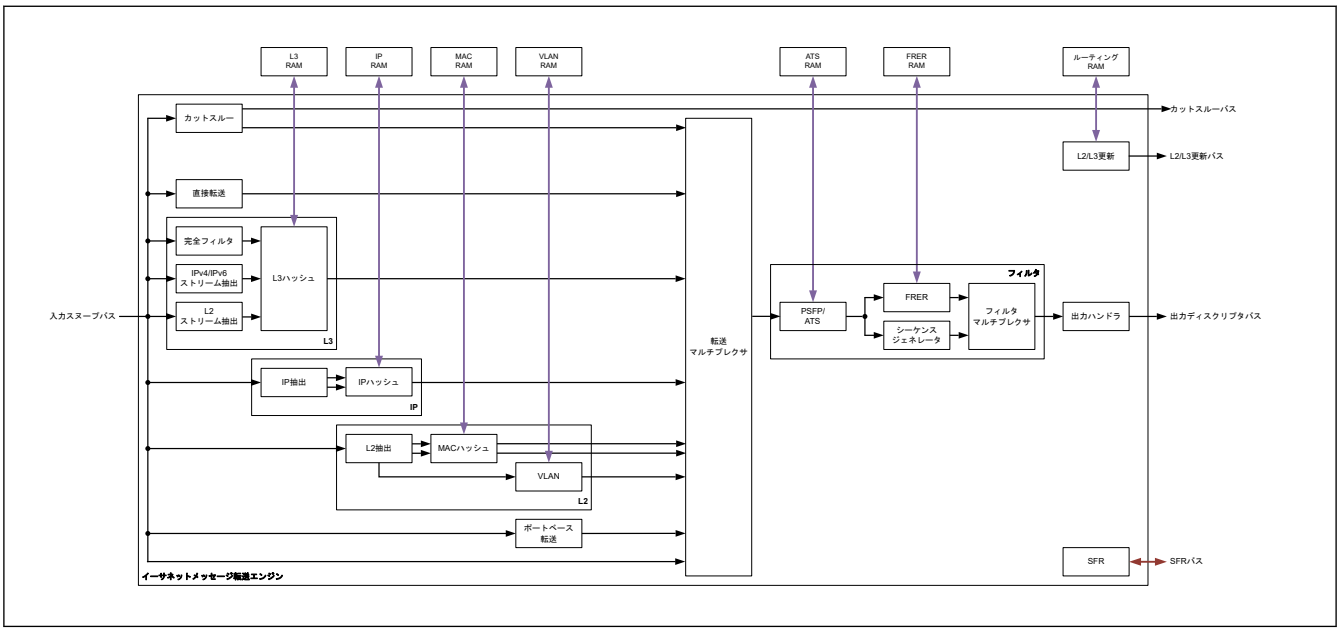


図 30.1 MFWD のブロック図

表 30.2 MFWD の機能ブロック (1/2)

ブロック名	機能
カットスルー	フレーム L2 を受信しながらフィルタリングして送信します。
直接転送	CPU から到着したフレームを、すでにある転送情報を使用して転送します。

表 30.2 MFWD の機能ブロック (2/2)

ブロック名	機能
L3	L2～L4 ストリームベースの転送／ルーティングエンジン
L2	L2 スイッチ
ポートベースの転送	送信元ポートベースの転送
転送マルチプレクサ	転送／ルーティングの全メカニズム間のアービトレーション
PSFP/ATS	PSFP（Per Stream Filtering and Policing：ストリームごとのフィルタリングとポリシング）[802.1Qci]と ATS（Asynchronous Traffic Shaping：非同期トラフィックシェーピング）[802.1Qcr]
FRER	FRER（Frame Replication and Elimination for Reliability：信頼性のためのフレームの複製と除去）[802.1CB]
シーケンス発生器	FRER プロキシ機能のためのシーケンス番号発生[802.1CB]
フィルタマルチプレクサ	転送結果とフィルタリング結果の間でアービトレーションを実行します。
出力ハンドラ	ディスクリプタをコピーして宛先に送信します。オーバーフローとセキュリティエラーからの復帰を管理します。

30.2 MFWD のレジスター覧

表 30.3 MFWD のレジスタ (1/7)

オフセットアドレス	レジスタ名	レジスタシンボル
0x0000	汎用コンフィグレーションレジスタ	FWGC
0x0010	TAG TPID コンフィグレーションレジスタ 0	FWTTC0
0x0014	TAG TPID コンフィグレーションレジスタ 1	FWTTC1
0x0020	CPU 例外パスターゲットコンフィグレーションレジスタ	FWCEPTC
0x0024	CPU 例外パス理由コンフィグレーションレジスタ 0	FWCEPRC0
0x0028	CPU 例外パス理由コンフィグレーションレジスタ 1	FWCEPRC1
0x002C	CPU 例外パス理由コンフィグレーションレジスタ 2	FWCEPRC2
0x0030	CPU 学習パスターゲットコンフィグレーションレジスタ	FWCLPTC
0x0034	CPU 学習パス理由コンフィグレーションレジスタ	FWCLPRC
0x0040	CPU ミラーリングパスターゲットコンフィグレーションレジスタ	FWCMPTC
0x0044	イーサネットミラーリングパスターゲットコンフィグレーションレジスタ	FWEMPTC
0x0050	転送元-転送先ミラーリングパスターゲットコンフィグレーションレジスタ	FWSDMPTC
0x0054	転送元-転送先ミラーリングパスベクタコンフィグレーションレジスタ	FWSDMPVC
0x0080 + 0x04 × i	ポート i レベルベースウォーターマークコンフィグレーションレジスタ (i = 0～2)	FWLBWMCi
0x0100 + 0x10 × i	ポート i コングレーションレジスタ 0 (i = 0～2)	FWPCi0
0x0104 + 0x10 × i	ポート i コングレーションレジスタ 1 (i = 0～2)	FWPCi1
0x0108 + 0x10 × i	ポート i コングレーションレジスタ 2 (i = 0～2)	FWPCi2
0x0400 + 0x40 × i	カットスルー汎用コンフィグレーションレジスタ i0 (i = 0～7)	FWCTGCi0
0x0404 + 0x40 × i	カットスルー汎用コンフィグレーションレジスタ i1 (i = 0～7)	FWCTGCi1
0x0408 + 0x40 × i	カットスルーターゲットコンフィグレーションレジスタ i0 (i = 0～7)	FWCTTCi0
0x040C + 0x40 × i	カットスルーターゲットコンフィグレーションレジスタ i1 (i = 0～7)	FWCTTCi1
0x0410 + 0x40 × i	カットスルーターゲットコンフィグレーションレジスタ i20 (i = 0～7)	FWCTTCi20
0x0420 + 0x40 × i	カットスルー分離コンフィグレーションレジスタ i0 (i = 0～7)	FWCTSCi0
0x0424 + 0x40 × i	カットスルー分離コンフィグレーションレジスタ i1 (i = 0～7)	FWCTSCi1
0x0428 + 0x40 × i	カットスルー分離コンフィグレーションレジスタ i2 (i = 0～7)	FWCTSCi2
0x042C + 0x40 × i	カットスルー分離コンフィグレーションレジスタ i3 (i = 0～7)	FWCTSCi3
0x0430 + 0x40 × i	カットスルー分離コンフィグレーションレジスタ i4 (i = 0～7)	FWCTSCi4

表 30.3 MFWD のレジスタ (2/7)

オフセットアドレス	レジスタ名	レジスタシンボル
0x1000 + 0x10 × i	2 バイトフィルタコンフィグレーションレジスタ i (i = 0～15)	FWTWBFCi
0x1004 + 0x10 × i	2 バイトフィルタ値コンフィグレーションレジスタ i (i = 0～15)	FWTWBFVCi
0x1400 + 0x10 × i	3 バイトフィルタコンフィグレーションレジスタ i (i = 0～15)	FWTHBFCi
0x1404 + 0x10 × i	3 バイトフィルタ値 0 コンフィグレーションレジスタ i (i = 0～15)	FWTHBFV0Ci
0x1408 + 0x10 × i	3 バイトフィルタ値 1 コンフィグレーションレジスタ i (i = 0～15)	FWTHBFV1Ci
0x1800 + 0x10 × i	4 バイトフィルタコンフィグレーションレジスタ i (i = 0～15)	FWFOBFCi
0x1804 + 0x10 × i	4 バイトフィルタ値 0 コンフィグレーションレジスタ i (i = 0～15)	FWFOBFV0Ci
0x1808 + 0x10 × i	4 バイトフィルタ値 1 コンフィグレーションレジスタ i (i = 0～15)	FWFOBFV1Ci
0x1C00 + 0x10 × i	範囲フィルタコンフィグレーションレジスタ i (i = 0, 1)	FWRFCi
0x1C04 + 0x10 × i	範囲フィルタ値コンフィグレーションレジスタ i (i = 0, 1)	FWRFVCi
0x2000 + 0x40 × i	カスケードフィルタコンフィグレーションレジスタ i (i = 0～15)	FWCFCi
0x2004 + 0x40 × i + 0x04 × j	カスケードフィルタマッピングコンフィグレーションレジスタ ij (i = 0～15) (j = 0～6)	FWCFMCij
0x4008	IPv4 ストリームコンフィグレーションレジスタ	FWIP4SC
0x4018	IPv6 ストリームコンフィグレーションレジスタ	FWIP6SC
0x401C	IPv6 オフセットコンフィグレーションレジスタ	FWIP6OC
0x4020	レイヤ 2 ストリームコンフィグレーションレジスタ	FWL2SC
0x4030	ストリームフィルタハッシュ式コンフィグレーションレジスタ	FWSFHEC
0x4040	ソフトウェアハッシュ計算要求レジスタ 0	FWSHCR0
0x4044	ソフトウェアハッシュ計算要求レジスタ 1	FWSHCR1
0x4048	ソフトウェアハッシュ計算要求レジスタ 2	FWSHCR2
0x404C	ソフトウェアハッシュ計算要求レジスタ 3	FWSHCR3
0x4050	ソフトウェアハッシュ計算要求レジスタ 4	FWSHCR4
0x4054	ソフトウェアハッシュ計算要求レジスタ 5	FWSHCR5
0x4058	ソフトウェアハッシュ計算要求レジスタ 6	FWSHCR6
0x405C	ソフトウェアハッシュ計算要求レジスタ 7	FWSHCR7
0x4060	ソフトウェアハッシュ計算要求レジスタ 8	FWSHCR8
0x4064	ソフトウェアハッシュ計算要求レジスタ 9	FWSHCR9
0x4068	ソフトウェアハッシュ計算要求レジスタ 10	FWSHCR10
0x406C	ソフトウェアハッシュ計算要求レジスタ 11	FWSHCR11
0x4070	ソフトウェアハッシュ計算要求レジスタ 12	FWSHCR12
0x4074	ソフトウェアハッシュ計算要求レジスタ 13	FWSHCR13
0x4078	ソフトウェアハッシュ計算要求結果レジスタ	FWSHCRR
0x4090	L3 ハッシュエントリコンフィグレーションレジスタ	FWLTHHEC
0x4094	L3 ハッシュコンフィグレーションレジスタ	FWLTHHC
0x40A0	L3 テーブル学習レジスタ 0	FWLTHTL0
0x40A4	L3 テーブル学習レジスタ 1	FWLTHTL1
0x40A8	L3 テーブル学習レジスタ 2	FWLTHTL2
0x40AC	L3 テーブル学習レジスタ 3	FWLTHTL3
0x40B0	L3 テーブル学習レジスタ 4	FWLTHTL4
0x40B4	L3 テーブル学習レジスタ 5	FWLTHTL5
0x40B8	L3 テーブル学習レジスタ 6	FWLTHTL6

表 30.3 MFWD のレジスタ (3/7)

オフセットアドレス	レジスタ名	レジスタシンボル
0x40BC	L3 テーブル学習レジスタ 7	FWLTHTL7
0x40C0	L3 テーブル学習レジスタ 80	FWLTHTL80
0x40D0	L3 テーブル学習レジスタ 9	FWLTHTL9
0x40D4	L3 テーブル学習結果レジスタ	FWLTHTLR
0x40E0	L3 テーブル初期化監視レジスタ	FWLTHTIM
0x40E4	L3 テーブルエントリ監視レジスタ	FWLTHTEM
0x4100	L3 テーブル検索レジスタ 0	FWLTHTS0
0x4104	L3 テーブル検索レジスタ 1	FWLTHTS1
0x4108	L3 テーブル検索レジスタ 2	FWLTHTS2
0x410C	L3 テーブル検索レジスタ 3	FWLTHTS3
0x4110	L3 テーブル検索レジスタ 4	FWLTHTS4
0x4120	L3 テーブル検索結果レジスタ 0	FWLTHTSR0
0x4124	L3 テーブル検索結果レジスタ 1	FWLTHTSR1
0x4128	L3 テーブル検索結果レジスタ 2	FWLTHTSR2
0x412C	L3 テーブル検索結果レジスタ 3	FWLTHTSR3
0x4130	L3 テーブル検索結果レジスタ 40	FWLTHTSR40
0x4140	L3 テーブル検索結果レジスタ 5	FWLTHTSR5
0x4150	L3 テーブル読み出しレジスタ	FWLTHTR
0x4154	L3 テーブル読み出し結果レジスタ 0	FWLTHTRR0
0x4158	L3 テーブル読み出し結果レジスタ 1	FWLTHTRR1
0x415C	L3 テーブル読み出し結果レジスタ 2	FWLTHTRR2
0x4160	L3 テーブル読み出し結果レジスタ 3	FWLTHTRR3
0x4164	L3 テーブル読み出し結果レジスタ 4	FWLTHTRR4
0x4168	L3 テーブル読み出し結果レジスタ 5	FWLTHTRR5
0x416C	L3 テーブル読み出し結果レジスタ 6	FWLTHTRR6
0x4170	L3 テーブル読み出し結果レジスタ 7	FWLTHTRR7
0x4174	L3 テーブル読み出し結果レジスタ 8	FWLTHTRR8
0x4180	L3 テーブル読み出し結果レジスタ 90	FWLTHTRR90
0x4190	L3 テーブル読み出し結果レジスタ 10	FWLTHTRR10
0x4620	MAC ハッシュエントリコンフィグレーションレジスタ	FWMACHEC
0x4624	MAC ハッシュコンフィグレーションレジスタ	FWMACHC
0x4630	MAC テーブル学習レジスタ 0	FWMACTL0
0x4634	MAC テーブル学習レジスタ 1	FWMACTL1
0x4638	MAC テーブル学習レジスタ 2	FWMACTL2
0x463C	MAC テーブル学習レジスタ 3	FWMACTL3
0x4640	MAC テーブル学習レジスタ 40	FWMACTL40
0x4650	MAC テーブル学習レジスタ 5	FWMACTL5
0x4654	MAC テーブル学習結果レジスタ	FWMACTLR
0x4660	MAC テーブル初期化監視レジスタ	FWMACTIM
0x4664	MAC テーブルエントリ監視レジスタ	FWMACTEM
0x4670	MAC テーブル検索レジスタ 0	FWMACTS0
0x4674	MAC テーブル検索レジスタ 1	FWMACTS1

表 30.3 MFWD のレジスタ (4/7)

オフセットアドレス	レジスタ名	レジスタシンボル
0x4678	MAC テーブル検索結果レジスタ 0	FWMACTSR0
0x467C	MAC テーブル検索結果レジスタ 1	FWMACTSR1
0x4680	MAC テーブル検索結果レジスタ 20	FWMACTSR20
0x4690	MAC テーブル検索結果レジスタ 3	FWMACTSR3
0x46A0	MAC テーブル読み出しレジスタ	FWMACTR
0x46A4	MAC テーブル読み出し結果レジスタ 0	FWMACTRR0
0x46A8	MAC テーブル読み出し結果レジスタ 1	FWMACTRR1
0x46AC	MAC テーブル読み出し結果レジスタ 2	FWMACTRR2
0x46B0	MAC テーブル読み出し結果レジスタ 3	FWMACTRR3
0x46B4	MAC テーブル読み出し結果レジスタ 4	FWMACTRR4
0x46C0	MAC テーブル読み出し結果レジスタ 50	FWMACTRR50
0x46D0	MAC テーブル読み出し結果レジスタ 6	FWMACTRR6
0x4880	MAC エージング US プリスケーラコンフィグレーションレジスタ	FWMACAGUSPC
0x4884	MAC エージングコンフィグレーションレジスタ	FWMACAGC
0x4888	MAC エージング監視レジスタ 0	FWMACAGM0
0x488C	MAC エージング監視レジスタ 1	FWMACAGM1
0x4900	VLAN テーブルエントリコンフィグレーションレジスタ	FWVLANTEC
0x4910	VLAN テーブル学習レジスタ 0	FWVLANTL0
0x4914	VLAN テーブル学習レジスタ 1	FWVLANTL1
0x4918	VLAN テーブル学習レジスタ 2	FWVLANTL2
0x4920	VLAN テーブル学習レジスタ 30	FWVLANTL30
0x4930	VLAN テーブル学習レジスタ 4	FWVLANTL4
0x4934	VLAN テーブル学習結果レジスタ	FWVLANTLR
0x4940	VLAN テーブル初期化監視レジスタ	FWVLANTIM
0x4944	VLAN テーブルエントリ監視レジスタ	FWVLANTEM
0x4950	VLAN テーブル検索レジスタ	FWVLANTS
0x4954	VLAN テーブル検索結果レジスタ 0	FWVLANTSR0
0x4958	VLAN テーブル検索結果レジスタ 1	FWVLANTSR1
0x4960	VLAN テーブル検索結果レジスタ 20	FWVLANTSR20
0x4970	VLAN テーブル検索結果レジスタ 3	FWVLANTSR3
0x4A00 + 0x10 × i	ポート i ポートベースの転送コンフィグレーションレジスタ (i = 0～2)	FWPBFCi
0x4A04 + 0x10 × i	ポート i ポートベースの転送 CSD コンフィグレーションレジスタ 0 (i = 0～2)	FWPBFCSDCi0
0x4E00	レイヤ 2／レイヤ 3 更新ルール学習レジスタ 0	FWL23URL0
0x4E04	レイヤ 2／レイヤ 3 更新ルール学習レジスタ 1	FWL23URL1
0x4E08	レイヤ 2／レイヤ 3 更新ルール学習レジスタ 2	FWL23URL2
0x4E0C	レイヤ 2／レイヤ 3 更新ルール学習レジスタ 3	FWL23URL3
0x4E10	レイヤ 2／レイヤ 3 更新ルール学習結果レジスタ	FWL23URLR
0x4E20	レイヤ 2／レイヤ 3 更新テーブル初期化監視レジスタ	FWL23UTIM
0x4E30	レイヤ 2／レイヤ 3 更新ルール読み出しレジスタ	FWL23URR
0x4E34	レイヤ 2／レイヤ 3 更新ルール読み出し結果レジスタ 0	FWL23URRR0
0x4E38	レイヤ 2／レイヤ 3 更新ルール読み出し結果レジスタ 1	FWL23URRR1
0x4E3C	レイヤ 2／レイヤ 3 更新ルール読み出し結果レジスタ 2	FWL23URRR2

表 30.3 MFWD のレジスタ (5/7)

オフセットアドレス	レジスタ名	レジスタシンボル
0x4E40	レイヤ 2／レイヤ 3 更新ルール読み出し結果レジスタ 3	FWL23URRR3
0x4F00 + 0x04 × i	レイヤ 2／レイヤ 3 更新再マッピングコンフィグレーションレジスタ i (i = 0～31)	FWL23URMCi
0x5000 + 0x04 × i	PSFP MSDU フィルタグローバルコンフィグレーションレジスタ (i = 0～15)	FWPMFGCi
0x5600 + 0x20 × i	PSFP メーター i フィルタコンフィグレーションレジスタ (i = 0～31)	FWPMTRFCi
0x5604 + 0x20 × i	PSFP メーター i CBS コンフィグレーションレジスタ (i = 0～31)	FWPMTRCBSCi
0x5608 + 0x20 × i	PSFP メーター i CIR コンフィグレーションレジスタ (i = 0～31)	FWPMTRCIRCi
0x560C + 0x20 × i	PSFP メーター i EBS コンフィグレーションレジスタ (i = 0～7)	FWPMTREBSCi
0x5610 + 0x20 × i	PSFP メーター i EIR コンフィグレーションレジスタ (i = 0～7)	FWPMTREIRCi
0x5614 + 0x20 × i	PSFP メーター i フィルタ監視レジスタ (i = 0～31)	FWPMTRFMi
0x6000	FRER テーブル学習レジスタ 0	FWFTL0
0x6004	FRER テーブル学習レジスタ 1	FWFTL1
0x6008	FRER テーブル学習結果レジスタ	FWFTLR
0x6010	FRER タイムアウトコンフィグレーションレジスタ	FWFTOC
0x6014	FRER タイムアウトプリスケーラコンフィグレーションレジスタ 0	FWFTOPC
0x6020	FRER テーブル初期化監視レジスタ	FWFTIM
0x6030	FRER テーブル読み出しレジスタ	FWFTR
0x6034	FRER テーブル読み出し結果レジスタ 0	FWFTRR0
0x6038	FRER テーブル読み出し結果レジスタ 1	FWFTRR1
0x603C	FRER テーブル読み出し結果レジスタ 2	FWFTRR2
0x6100 + 0x08 × i	シーケンス番号生成 i コンフィグレーションレジスタ (i = 0～31)	FWSEQNGCi
0x6104 + 0x08 × i	シーケンス番号生成 i 監視レジスタ (i = 0～31)	FWSEQNGMi
0x6200	シーケンス番号リセットコンフィグレーションレジスタ	FWSEQNRC
0x6300 + 0x20 × i E: 0x6E00 + 0x20 × i	ポート i カットスルー転送ディスクリプタカウンタレジスタ (i = 0, 1)	FWCTFDCNi
0x6340 E: 0x6E40	ポート 2 直接ディスクリプタの転送ディスクリプタカウンタレジスタ	FWDDFDCN2
0x6304 + 0x20 × i E: 0x6E04 + 0x20 × i	ポート i レイヤ 3 転送ディスクリプタカウンタレジスタ (i = 0～2)	FWLTHFDCNi
0x630C + 0x20 × i E: 0x6E0C + 0x20 × i	ポート i レイヤ 2 転送ディスクリプタカウンタレジスタ (i = 0～2)	FWLTWFDCNi
0x6310 + 0x20 × i E: 0x6E10 + 0x20 × i	ポート i ポートベースの転送ディスクリプタカウンタレジスタ (i = 0～2)	FWPBFDCNi
0x6314 + 0x20 × i E: 0x6E14 + 0x20 × i	ポート i MAC ハードウェア学習カウンタレジスタ (i = 0～2)	FWMHLCNi
0x6504 + 0x20 × i E: 0x7004 + 0x20 × i	ポート i ウォーターマーク拒否ディスクリプタカウンタレジスタ (i = 0～2)	FWWMRDCNi
0x6508 + 0x20 × i E: 0x7008 + 0x20 × i	ポート i カットスルー拒否ディスクリプタカウンタレジスタ (i = 0, 1)	FWCTRDCNi
0x6548 E: 0x7048	ポート 2 直接ディスクリプタの拒否ディスクリプタカウンタレジスタ	FWDDRDCN2
0x650C + 0x20 × i E: 0x700C + 0x20 × i	ポート i レイヤ 3 拒否ディスクリプタカウンタレジスタ (i = 0～2)	FWLTHRDCNi
0x6514 + 0x20 × i E: 0x7014 + 0x20 × i	ポート i レイヤ 2 拒否ディスクリプタカウンタレジスタ (i = 0～2)	FWLTWRDCNi
0x6518 + 0x20 × i E: 0x7018 + 0x20 × i	ポート i ポートベースの拒否ディスクリプタカウンタレジスタ (i = 0～2)	FWPBRDCNi

表 30.3 MFWD のレジスタ (6/7)

オフセットアドレス	レジスタ名	レジスタシンボル
0x6700 + 0x04 × i E: 0x7200 + 0x04 × i	PSFP MSDU i フィルタ適用ディスクリプタカウンタレジスタ (i = 0～15)	FWPMFDCNi
0x6800 + 0x10 × i E: 0x7300 + 0x10 × i	PSFP メーター i 緑色ディスクリプタカウンタレジスタ (i = 0～31)	FWPMGDCNi
0x6804 + 0x10 × i E: 0x7304 + 0x10 × i	PSFP メーター i 黄色ディスクリプタカウンタレジスタ (i = 0～7)	FWPMYDCNi
0x6808 + 0x10 × i E: 0x7308 + 0x10 × i	PSFP メーター i 赤色ディスクリプタカウンタレジスタ (i = 0～31)	FWPMRDCNi
0x6A00 + 0x08 × i E: 0x7500 + 0x08 × i	FRER i 通過パケットカウンタレジスタ (i = 0～127)	FWFRPPCNi
0x6A04 + 0x08 × i E: 0x7504 + 0x08 × i	FRER i 破棄パケットカウンタレジスタ (i = 0～127)	FWFRDPCNi
0x7900 + 0x10 × i	ポート i エラー割り込みステータスレジスタ 0 (i = 0～2)	FWEIS0i
0x7904 + 0x10 × i	ポート i エラー割り込み許可レジスタ 0 (i = 0～2)	FWEIE0i
0x7908 + 0x10 × i	ポート i エラー割り込み禁止レジスタ 0 (i = 0～2)	FWEID0i
0x7A00	エラー割り込みステータスレジスタ 1	FWEIS1
0x7A04	エラー割り込み許可レジスタ 1	FWEIE1
0x7A08	エラー割り込み禁止レジスタ 1	FWEID1
0x7A10	エラー割り込みステータスレジスタ 2	FWEIS2
0x7A14	エラー割り込み許可レジスタ 2	FWEIE2
0x7A18	エラー割り込み禁止レジスタ 2	FWEID2
0x7A40	エラー割り込みステータスレジスタ 5	FWEIS5
0x7A44	エラー割り込み許可レジスタ 5	FWEIE5
0x7A48	エラー割り込み禁止レジスタ 5	FWEID5
0x7A50	エラー割り込みステータスレジスタ 60	FWEIS60
0x7A54	エラー割り込み許可レジスタ 60	FWEIE60
0x7A58	エラー割り込み禁止レジスタ 60	FWEID60
0x7A60	エラー割り込みステータスレジスタ 61	FWEIS61
0x7A64	エラー割り込み許可レジスタ 61	FWEIE61
0x7A68	エラー割り込み禁止レジスタ 61	FWEID61
0x7A70	エラー割り込みステータスレジスタ 62	FWEIS62
0x7A74	エラー割り込み許可レジスタ 62	FWEIE62
0x7A78	エラー割り込み禁止レジスタ 62	FWEID62
0x7A80	エラー割り込みステータスレジスタ 63	FWEIS63
0x7A84	エラー割り込み許可レジスタ 63	FWEIE63
0x7A88	エラー割り込み禁止レジスタ 63	FWEID63
0x7A90	エラー割り込みステータスレジスタ 70	FWEIS70
0x7A94	エラー割り込み許可レジスタ 70	FWEIE70
0x7A98	エラー割り込み禁止レジスタ 70	FWEID70
0x7AA0	エラー割り込みステータスレジスタ 71	FWEIS71
0x7AA4	エラー割り込み許可レジスタ 71	FWEIE71
0x7AA8	エラー割り込み禁止レジスタ 71	FWEID71
0x7AB0	エラー割り込みステータスレジスタ 72	FWEIS72
0x7AB4	エラー割り込み許可レジスタ 72	FWEIE72

表 30.3 MFWD のレジスタ (7/7)

オフセットアドレス	レジスタ名	レジスタシンボル
0x7AB8	エラー割り込み禁止レジスタ 72	FWEID72
0x7AC0	エラー割り込みステータスレジスタ 73	FWEIS73
0x7AC4	エラー割り込み許可レジスタ 73	FWEIE73
0x7AC8	エラー割り込み禁止レジスタ 73	FWEID73
0x7AD0	エラー割り込みステータスレジスタ 80	FWEIS80
0x7AD4	エラー割り込み許可レジスタ 80	FWEIE80
0x7AD8	エラー割り込み禁止レジスタ 80	FWEID80
0x7AE0	エラー割り込みステータスレジスタ 81	FWEIS81
0x7AE4	エラー割り込み許可レジスタ 81	FWEIE81
0x7AE8	エラー割り込み禁止レジスタ 81	FWEID81
0x7AF0	エラー割り込みステータスレジスタ 82	FWEIS82
0x7AF4	エラー割り込み許可レジスタ 82	FWEIE82
0x7AF8	エラー割り込み禁止レジスタ 82	FWEID82
0x7B00	エラー割り込みステータスレジスタ 83	FWEIS83
0x7B04	エラー割り込み許可レジスタ 83	FWEIE83
0x7B08	エラー割り込み禁止レジスタ 83	FWEID83
0x7C00	監視割り込みステータスレジスタ 0	FWMIS0
0x7C04	監視割り込み許可レジスタ 0	FWMIE0
0x7C08	監視割り込み禁止レジスタ 0	FWMID0

注. ベースアドレス：MFWD = 0x403C_0000, MFWD_NS = 0x503C_0000
注. 先頭に「E:」が付いているアドレスはエミュレーションアドレスに対応し、内容を変更せずにレジスタを読み出すことができます。

注. 何も指定されていない場合、非セキュアな APB インタフェースによるレジスタへのアクセスのためには、セキュアな APB インタフェースからの認証が必要です。これは読み出しアクセスと書き込みアクセスに適用されます。このルールの例外はすべて、「セキュリティ制限」または「セキュリティ制限外」のラベルに記載されます。

30.3 MFWD レジスタの説明

30.3.1 MFWD 機能レジスタ

本項では、MFWD 機能レジスタについて説明します。

MFWD 機能の手順の詳細については、「30.4.1. ソフトウェアフロー」を参照してください。

30.3.1.1 汎用機能レジスタ

30.3.1.1.1 FWGC : 汎用コンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SVM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SVM[1:0]	VLAN モードの切り替え 0 0: VLAN なしモード（転送に VLAN を使用しない） 0 1: C-TAG モード（転送に C-TAG を使用） 1 0: SC-TAG モード（転送に S-TAG を使用） 1 1: 予約	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SVM[1:0]ビット（VLAN モードの切り替え）

HW : FWGC.SVM を 00b に設定すると、受信パケットの PCP フィールドと DEI フィールドが MFWD によって 0 とみなされます。

詳細は、「30.5.1.2. ESWM モード」を参照してください。

30.3.1.1.2 FWTTC0 : TAG TPID コンフィグレーションレジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	STT[15:0]															
Value after reset:	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTT[15:0]															
Value after reset:	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CTT[15:0]	C-TAG TPID [801.2Q] C-TAG TPID を設定します。	R/W
31:16	STT[15:0]	S-TAG TPID [801.2Q] S-TAG TPID を設定します。	R/W

注.
- SW : FWTTC0.CTT、FWTTC0.STT、および FWTTC1.RTT レジスタは常に異なる値に設定してください。
- SW : このレジスタを 0x0000～0x05FF、0x0800、または 0x86DD に設定することはできません。

30.3.1.1.3 FWTTC1 : TAG TPID コンフィグレーションレジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RTT[15:0]															
Value after reset:	1	1	1	1	0	0	0	1	1	1	0	0	0	0	0	1

ビット	シンボル	機能	R/W
15:0	RTT[15:0]	R-TAG TPID [801.2CB] R-TAG TPID を設定します。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. • SW：FWTTC0.CTT、FWTTC0.STT、および FWTTC1.RTT レジスタは常に異なる値に設定してください。
• SW：このレジスタを 0x0000～0x05FF、0x0800、または 0x86DD に設定することはできません。

30.3.1.1.4 FWCEPTC : CPU 例外パスターゲットコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	EPSL	—	—	—	—	—	—	—	EPCS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	EPIPV[2:0]			—	—	—	—	—	—	EPCSD[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	EPCSD[5:0]	例外パスの CPU サブ転送先 例外フレームが送信される CPU サブ転送先を設定します。	R/W
11:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	EPIPV[2:0]	例外パスの内部優先順位値 例外フレームが送信される優先順位を設定します。	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	EPCS	例外パスの CPU 選択(注1) 例外フレームが送信される CPU を設定します。 ポートのマッピングについては、ファブリック仕様を参照してください[MFAB]。	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	EPSL	例外パスのセキュリティレベル 例外パスのディスクリプタのセキュリティレベルを設定します。	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：これらのビットを 1 より大きい値に設定しないでください。

30.3.1.1.5 FWCEPRC0 : CPU 例外パス理由コンフィグレーションレジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	DDFSFEF	—	DDEEF	—	—	GDNEEF	GTFEF	—	GSEQEEF	GAXEEF	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ETFEF	EOEEF	EUEEF	EBOEEF	ERPOOEF	ERFFEF	ECFFCEEF	ECFSEEF	EFFMEEF	EFCSEEF	ENIBEEF	EPCRCEEF	EPHYEEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EPHYEEF	イーサネット PHY エラー例外転送 0: PHY エラーがある受信フレームを破棄 1: PHY エラーがある受信フレームを例外パスに転送	R/W
1	EPCRCEEF	イーサネット PCH CRC エラー例外転送 0: PCH CRC エラーがある受信フレームを破棄 1: PCH CRC エラーがある受信フレームを例外パスに転送	R/W
2	ENIBEEF	イーサネットニブルエラー例外転送 0: ニブルエラーがある受信フレームを破棄 1: ニブルエラーがある受信フレームを例外パスに転送	R/W
3	EFCSEEF	イーサネット FCS エラー例外転送 0: FCS エラーがある受信フレームを破棄 1: FCS エラーがある受信フレームを例外パスに転送	R/W
4	EFFMEEF	イーサネット最終フラグメント欠落エラー例外転送 0: 最終フラグメント欠落エラーがある受信フレームを破棄 1: 最終フラグメント欠落エラーがある受信フレームを例外パスに転送	R/W
5	ECFSEEF	イーサネット C フラグメント SMD エラー例外転送 0: C フラグメント SMD エラーがある受信フレームを破棄 1: C フラグメント SMD エラーがある受信フレームを例外パスに転送	R/W
6	ECFFCEEF	イーサネット C フラグメント FRAG_COUNT エラー例外転送 0: C フラグメント FRAG_COUNT エラーがある受信フレームを破棄 1: C フラグメント FRAG_COUNT エラーがある受信フレームを例外パスに転送	R/W
7	ERFFEF	イーサネット RMAC フレームフィルタリング済み例外転送 0: RMAC フレームフィルタリング済みフラグのある受信フレームを破棄 1: RMAC フレームフィルタリング済みフラグのある受信フレームを例外パスに転送	R/W
8	ERPOOEF	イーサネット部分的休止中受信例外転送 0: 部分的休止中受信フラグのある受信フレームを破棄 1: 部分的休止中受信フラグのある受信フレームを例外パスに転送	R/W
9	EBOEEF	イーサネットバッファオーバーフローエラー例外転送 0: バッファオーバーフローエラーがある受信フレームを破棄 1: バッファオーバーフローエラーがある受信フレームを例外パスに転送	R/W
10	EUEEF	イーサネットアンダーサイズエラー例外転送 0: アンダーサイズエラーがある受信フレームを破棄 1: アンダーサイズエラーがある受信フレームを例外パスに転送	R/W
11	EOEEF	イーサネットオーバーサイズエラー例外転送 0: オーバーサイズエラーがある受信フレームを破棄 1: オーバーサイズエラーがある受信フレームを例外パスに転送	R/W
12	ETFEF	イーサネット TAG フィルタリング例外転送 0: TAG フィルタリングフラグのある受信フレームを破棄 1: TAG フィルタリングフラグのある受信フレームを例外パスに転送	R/W
16:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
17	GAXEEF	GWCA AXI エラー例外転送 0: AXI エラーがある受信フレームを破棄 1: AXI エラーがある受信フレームを例外パスに転送	R/W
18	GSEQEEF	GWCA シーケンスエラー例外転送 0: シーケンスエラーがある受信フレームを破棄 1: シーケンスエラーがある受信フレームを例外パスに転送	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	GTFEF	GWCA TAG フィルタリング例外転送 0: TAG フィルタリングフラグのある受信フレームを破棄 1: TAG フィルタリングフラグのある受信フレームを例外パスに転送	R/W
21	GDNEEF	GWCA ディスクリプタ番号エラー例外転送 0: ディスクリプタ番号エラーがある受信フレームを破棄 1: ディスクリプタ番号エラーがある受信フレームを例外パスに転送	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DDEEF	直接ディスクリプタエラー例外転送 0: 直接ディスクリプタエラーがある受信フレームを破棄 1: 直接ディスクリプタエラーがある受信フレームを例外パスに転送	R/W
25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26	DDFSFEF	直接ディスクリプタフォーマットセキュリティフィルタリング例外転送 0: 直接ディスクリプタフォーマットセキュリティエラーがある受信フレームを破棄 1: 直接ディスクリプタフォーマットセキュリティエラーがある受信フレームを例外パスに転送	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.
- イーサネットエラー／フラグの説明については、イーサネットエージェント仕様書[ETHA]を参照してください。
- GWCA エラー／フラグの説明については、GWCA 仕様書[GWCA]を参照してください。

30.3.1.1.6 FWCEPRC1 : CPU 例外パス理由コンフィグレーションレジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	FSFFEF	FIFFEF	—	—	—	—	—	FMTRFEF	—	FMSDUFEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FMSDUFEF	MSDU フィルタリング例外転送 0: PSFP MSDU フィルタによってフィルタリングされたフレームは破棄される。 1: PSFP MSDU フィルタによってフィルタリングされたフレームは例外パスへ転送される。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	FMTRFEF	メーターフィルタリング例外転送 0: PSFP メーターフィルタによってフィルタリングされたフレームは破棄される。 1: PSFP メーターフィルタによってフィルタリングされたフレームは例外パスへ転送される。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	FIFFEF	個別 FRER フィルタリング例外転送 0: FRER 個別リカバリによってフィルタリングされたフレームは破棄される。 1: FRER 個別リカバリによってフィルタリングされたフレームは例外パスへ転送される。	R/W
9	FSFFEF	シーケンス FRER フィルタリング例外転送 0: FRER シーケンスリカバリによってフィルタリングされたフレームは破棄される。 1: FRER シーケンスリカバリによってフィルタリングされたフレームは例外パスへ転送される。	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.1.7 FWCEPRC2 : CPU 例外パス理由コンフィグレーションレジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x002C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	FWMFEF	—	—	—	—	FVLANSLFEF	FSMACSLFEF	FDMACSLFEF	—	—	FLTHSLFEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	FPBNTFEF	FLTWNTFEF	—	FLTHNTFEF	FDDNTFEF	—	—	FVLANUFEF	FSMACUFEF	FDMACUFEF	—	—	FLTHUFEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLTHUFEF	レイヤ 3 不明フィルタリング例外転送 0: ストリーム ID が不明なためにフィルタリングされたフレームは破棄される。 1: ストリーム ID が不明なためにフィルタリングされたフレームは例外パスへ転送される。	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	FDMACUFEF	宛先 MAC 不明フィルタリング例外転送 0: 宛先 MAC が不明なためにフィルタリングされたフレームは破棄される。 1: 宛先 MAC が不明なためにフィルタリングされたフレームは例外パスへ転送される。	R/W
4	FSMACUFEF	送信元 MAC 不明フィルタリング例外転送 0: 送信元 MAC が不明なためにフィルタリングされたフレームは破棄される。 1: 送信元 MAC が不明なためにフィルタリングされたフレームは例外パスへ転送される。	R/W
5	FVLANUFEF	VLAN 不明フィルタリング例外転送 0: VLAN が不明なためにフィルタリングされたフレームは破棄される。 1: VLAN が不明なためにフィルタリングされたフレームは例外パスへ転送される。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	FDDNTFEF	直接ディスクリプタ無転送先フィルタリング例外転送 0: 直接転送時に無転送先のためにフィルタリングされたフレームは破棄される。 1: 直接転送時に無転送先のためにフィルタリングされたフレームは例外パスへ転送される。	R/W
9	FLTHNTFEF	レイヤ 3 無転送先フィルタリング例外転送 0: レイヤ 3 転送時に無転送先のためにフィルタリングされたフレームは破棄される。 1: レイヤ 3 転送時に無転送先のためにフィルタリングされたフレームは例外パスへ転送される。	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
11	FLTWNTFEF	レイヤ 2 無転送先フィルタリング例外転送 0: VLAN 転送先ベクタと宛先 MAC 転送先ベクタの組み合わせが Null のためにフィルタリングされたフレームは破棄される。 1: VLAN 転送先ベクタと宛先 MAC 転送先ベクタの組み合わせが Null のためにフィルタリングされたフレームは例外パスへ転送される。	R/W
12	FPBNTFEF	ポートベース無転送先フィルタリング例外転送 0: ポートベース転送時に無転送先のためにフィルタリングされたフレームは破棄される。 1: ポートベース転送時に無転送先のためにフィルタリングされたフレームは例外パスへ転送される。	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	FLTHSLFEF	レイヤ 3 転送元ロックフィルタリング例外転送 0: レイヤ 3 転送元ロックのためにフィルタリングされたフレームは破棄される。 1: レイヤ 3 転送元ロックのためにフィルタリングされたフレームは例外パスへ転送される。	R/W
18:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19	FDMACSLFEF	転送先 MAC 転送元ロックフィルタリング例外転送 0: 転送先 MAC 転送元ロックのためにフィルタリングされたフレームは破棄される。 1: 転送先 MAC 転送元ロックのためにフィルタリングされたフレームは例外パスへ転送される。	R/W
20	FSMACSLFEF	転送元 MAC 転送元ロックフィルタリング例外転送 0: 転送元 MAC 転送元ロックのためにフィルタリングされたフレームは破棄される。 1: 転送元 MAC 転送元ロックのためにフィルタリングされたフレームは例外パスへ転送される。	R/W
21	FVLANSLFEF	VLAN 転送元ロックフィルタリング例外転送 0: VLAN 転送元ロックのためにフィルタリングされたフレームは破棄される。 1: VLAN 転送元ロックのためにフィルタリングされたフレームは例外パスへ転送される。	R/W
25:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26	FWMFEF	ウォーターマークフィルタリング例外転送 0: ウォーターマークのためにフィルタリングされたフレームは破棄される。 1: ウォーターマークのためにフィルタリングされたフレームは例外パスへ転送される。	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.1.8 FWCLPTC : CPU 学習パスターゲットコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	LPSL	—	—	—	—	—	—	—	LPCS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	LPIPV[2:0]			—	—	—	—	—	—	LPCSD[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	LPCSD[5:0]	学習パスの CPU サブ転送先 学習フレームが送信される CPU サブ転送先を設定します。	R/W
11:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
14:12	LPIPV[2:0]	学習パスの内部優先順位値 学習フレームが送信される優先順位を設定します。	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	LPCS	学習パスの CPU 選択(注1) 学習フレームが送信される CPU を設定します。 ポートのマッピングについては、ファブリック仕様を参照してください[MFAB]。	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	LPSL	学習パスのセキュリティレベル 学習パスのディスクリプタセキュリティレベルを設定します。	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：これらのビットを 1 より大きい値に設定しないでください。

30.3.1.1.9 FWCLPRC : CPU 学習パス理由コンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0034

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	UVLANLF	UPSMACLF	USMACLF	UDMACLF	—	—	—	USIDLF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USIDLF	不明ストリーム ID 学習転送 0: 不明なストリーム ID で受信されたフレームを学習パスに転送しない 1: 不明なストリーム ID で受信されたフレームを学習パスに転送する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	UDMACLF	不明宛先 MAC 学習転送 0: 不明な宛先 MAC アドレスで受信されたフレームを学習パスに転送しない 1: 不明な宛先 MAC アドレスで受信されたフレームを学習パスに転送する	R/W
5	USMACLF	不明送信元 MAC 学習転送 0: 不明な送信元 MAC で受信されたフレームを学習パスに転送しない 1: 不明な送信元 MAC で受信されたフレームを学習パスに転送する	R/W
6	UPSMACLF	送信元 MAC 用不明ポート学習転送 0: 送信元 MAC 用の不明なポートで受信されたフレームを学習パスに転送しない 1: 送信元 MAC 用の不明なポートで受信されたフレームを学習パスに転送する	R/W
7	UVLANLF	不定 VLAN 学習転送 0: 不定 VLAN で受信されたフレームを学習パスに転送しない 1: 不定 VLAN で受信されたフレームを学習パスに転送する	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.1.10 FWCMPTC : CPU ミラーリングパスターゲットコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	CMPSL	—	—	—	—	—	—	—	CMPCS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPIPU	CMPIPV[2:0]			—	—	—	—	—	—	CMPCSD[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	CMPCSD[5:0]	CPU ミラーリングパスの CPU サブ転送先 CPU ミラーリングフレームが送信される CPU サブ転送先を設定します。	R/W
11:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	CMPIPV[2:0]	CPU ミラーリングパスの内部優先順位値	R/W
15	CMPIPU	CPU ミラーリングパスの内部優先順位更新 0: CPU パスにミラーリングされたフレームを、転送時と同じ優先順位で送信 1: CPU パスにミラーリングされたフレームを、FWCMPTC.CMPIPV 優先順位で送信	R/W
16	CMPCS	CPU ミラーリングパスの CPU 選択(注1) CPU ミラーリングフレームが送信される CPU を設定します。 ポートのマッピングについては、ファブリック仕様を参照してください[MFAB]。	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	CMPSL	CPU ミラーリングパスのセキュリティレベル CPU ミラーリングパスのディスクリプタのセキュリティレベルを設定します。	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：これらのビットを 1 より大きい値に設定しないでください。

30.3.1.1.11 FWEMPTC : イーサネットミラーリングパスターゲットコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0044

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	EMPSL	—	—	—	—	—	—	—	EMPPS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EMPIPU	EMPIPV[2:0]			—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	EMPIPV[2:0]	イーサネットミラーリングパスの内部優先順位値	R/W

ビット	シンボル	機能	R/W
15	EMPIPU	イーサネットミラーリングパスの内部優先順位更新 0: イーサネットパスにミラーリングされたフレームを、転送時と同じ優先順位で送信 1: イーサネットパスにミラーリングされたフレームを、FWEMPTC.EMPIPV 優先順位で送信	R/W
16	EMPPS	イーサネットミラーリングパスのポート選択(注1) イーサネットミラーリングフレームが送信されるポートを設定します。 ポートのマッピングについては、ファブリック仕様を参照してください[MFAB]。	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	EMPSL	イーサネットミラーリングパスのセキュリティレベル イーサネットミラーリングパスのディスクリプタのセキュリティレベルを設定します。	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：これらのビットを 1 より大きい値に設定しないでください。

30.3.1.1.12 FWSDMPTC : 転送元-転送先ミラーリングパスターゲットコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0050

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	SDMPSL	—	—	—	—	—	—	SDMPPS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SDMPIPU	SDMPIPV[2:0]			—	—	—	—	—	—	SDMPCSD[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	SDMPCSD[5:0]	転送元-転送先ミラーリングパスの CPU サブ転送先 転送元-転送先ミラーリングフレームが送信される CPU サブ転送先を設定します。	R/W
11:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	SDMPIPV[2:0]	転送元-転送先ミラーリングパスの内部優先順位値	R/W
15	SDMPIPU	転送元-転送先ミラーリングパスの内部優先順位更新 0: 転送元-転送先パスにミラーリングされたフレームを、転送時と同じ優先順位で送信 1: 転送元-転送先パスにミラーリングされたフレームを、FWSDMPTC.SDMPIPV 優先順位で送信	R/W
17:16	SDMPPS[1:0]	転送元-転送先ミラーリングパスのポート選択(注1) 転送元-転送先ミラーリングフレームが送信されるポートを設定します。 ポートのマッピングについては、ファブリック仕様を参照してください[MFAB]。	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SDMPSL	転送元-転送先ミラーリングパスのセキュリティレベル 転送元-転送先ミラーリングパスのディスクリプタのセキュリティレベルを設定します。	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：これらのビットを 3 より大きい値に設定しないでください。

30.3.1.1.13 FWSDMPVC : 転送元-転送先ミラーリングパスベクタコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0054

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SDMSV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SDMDV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SDMDV[2:0]	転送元-転送先ミラーリング転送先ベクタ	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	SDMSV[2:0]	転送元-転送先ミラーリング転送元ベクタ	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SDMDV[2:0]ビット（転送元-転送先ミラーリング転送先ベクタ）

FWSDMPVC.SDMSV レジスタで設定されているポートから到着し、FWSDMPVC.SDMDV レジスタで設定されているポートに送信されるフレームは、転送元-転送先ミラーリングパスにも 2 重化されます。

本レジスタを 0 に設定すると、転送元-転送先ミラーリングパスが無効になります。

SDMSV[2:0]ビット（転送元-転送先ミラーリング転送元ベクタ）

FWSDMPVC.SDMSV レジスタで設定されているポートから到着し、FWSDMPVC.SDMDV レジスタで設定されているポートに送信されるフレームは、転送元-転送先ミラーリングパスにも 2 重化されます。

本レジスタを 0 に設定すると、転送元-転送先ミラーリングパスが無効になります。

30.3.1.1.14 FWLBWMCi : ポート i レベルベースウォーターマークコンフィグレーションレジスタ (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0080 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	WMFLPR15～WMFLPR0															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WMCLPR15～WMCLPR0															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WMCLPR0～ WMCLPR15	ウォーターマーククリティカルレベル優先 n 拒否 (n = 0～15)(注1) 0: ポート i 宛てのフレームと、{DEI,IPV} = j で転送すべきフレームを転送する 1: ポート i に対してウォーターマーククリティカルレベルが設定されている（WM.CRITICAL[i]が設定されている[COMA]）場合、ポート i 宛てのフレームと、{DEI,IPV} = j で転送すべきフレームを破棄する	R/W
31:16	WMFLPR0～ WMFLPR15	ウォーターマークフラッシュレベル優先 n 拒否 (n = 0～15)(注1) 0: ポート i 宛てのフレームと、{DEI,IPV} = j で転送すべきフレームを転送する 1: ポート i に対してウォーターマークフラッシュレベルが設定されている（WM.FLUSH[i]が設定されている[COMA]）場合、ポート i 宛てのフレームと、{DEI,IPV} = j で転送すべきフレームを破棄する	R/W

注 1. {DEI,IPV}はビットの関連付け{DEI,IPV[2:0]}を意味するため、10 進数で 8 × DEI + IPV と表記できます。

30.3.1.1.15 FWPCi0 : ポート i コングレーションレジスタ 0 (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0100 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	VLAN RUS	VLAN RU	VLAN SA	MACH MA	MACH LA	MACR USSA	MACR USA	MACS SA	MACR UDSA	MACR UDA	MACD SA	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	L2SE	IP6OE	IP6TE	IP6UE	IP4OE	IP4TE	IP4UE	LTHR USS	LTHR US	LTHTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LTHTA	L3 テーブルアクティブ 0: L3 テーブルは送信元ポート i に対して無効 1: L3 テーブルは送信元ポート i に対して有効	R/W
1	LTHRUS	L3 不明ストリーム拒否 0: 送信元ポート i から受信した不明なストリームを拒否しない 1: 送信元ポート i から受信した不明なストリームを拒否する	R/W
2	LTHRUSS	L3 不明セキュアストリーム拒否 0: 送信元ポート i から受信した不明なセキュアストリームを拒否しない 1: 送信元ポート i から受信した不明なセキュアストリームを拒否する	R/W
3	IP4UE	IPv4 UDP 有効 0: 送信元ポート i に対して IPv4/UDP 検出は無効 1: 送信元ポート i に対して IPv4/UDP 検出は有効	R/W
4	IP4TE	IPv4 TCP 有効 0: 送信元ポート i に対して IPv4/TCP 検出は無効 1: 送信元ポート i に対して IPv4/TCP 検出は有効	R/W
5	IP4OE	IPv4 その他有効 0: 送信元ポート i に対して TCP/UDP IPv4 以外の検出は無効 1: 送信元ポート i に対して TCP/UDP IPv4 以外の検出は有効	R/W
6	IP6UE	IPv6 UDP 有効 0: 送信元ポート i に対して IPv6/UDP 検出は無効 1: 送信元ポート i に対して IPv6/UDP 検出は有効	R/W
7	IP6TE	IPv6 TCP 有効 0: 送信元ポート i に対して IPv6/TCP 検出は無効 1: 送信元ポート i に対して IPv6/TCP 検出は有効	R/W
8	IP6OE	IPv6 その他有効 0: 送信元ポート i に対して TCP/UDP IPv6 以外の検出は無効 1: 送信元ポート i に対して TCP/UDP IPv6 以外の検出は有効	R/W

ビット	シンボル	機能	R/W
9	L2SE	L2 ストリーム有効 0: 送信元ポート i に対して L2 ストリームは無効 1: 送信元ポート i に対して L2 ストリームは有効	R/W
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	MACDSA	MAC 宛先検索アクティブ 0: 送信元ポート i に対して MAC 宛先検索は無効 1: 送信元ポート i に対して MAC 宛先検索は有効	R/W
21	MACRUDA	MAC 不明宛先アドレス拒否 0: 送信元ポート i から受信した不明な MAC 宛先アドレスを拒否しない 1: 送信元ポート i から受信した不明な MAC 宛先アドレスを拒否する	R/W
22	MACRUDSA	MAC 不明宛先セキュアアドレス拒否 0: 送信元ポート i から受信した不明なセキュア MAC 宛先アドレスを拒否しない 1: 送信元ポート i から受信した不明なセキュア MAC 宛先アドレスを拒否する	R/W
23	MACSSA	MAC 送信元検索アクティブ 0: 送信元ポート i に対して MAC 送信元検索は無効 1: 送信元ポート i に対して MAC 送信元検索は有効	R/W
24	MACRUSA	MAC 拒否不明送信元アドレス 0: 送信元ポート i から受信した不明な MAC 送信元アドレスを拒否しない 1: 送信元ポート i から受信した不明な MAC 送信元アドレスを拒否する	R/W
25	MACRUSSA	MAC 不明送信元セキュアアドレス拒否 0: 送信元ポート i から受信した不明なセキュア MAC 送信元アドレスを拒否しない 1: 送信元ポート i から受信した不明なセキュア MAC 送信元アドレスを拒否する	R/W
26	MACHLA	MAC ハードウェア学習アクティブ 0: 送信元ポート i から受信した不明なユニキャスト MAC 送信元アドレスを MAC テーブルに追加しない 1: 送信元ポート i から受信した不明なユニキャスト MAC 送信元アドレスを MAC テーブルに追加する	R/W
27	MACHMA	MAC ハードウェア移行アクティブ 0: 送信元ポート i から受信し、MAC.DV の送信元ポートが正しくない既知のユニキャスト MAC 送信元アドレスを、上書きしない 1: 送信元ポート i から受信し、MAC.DV の送信元ポートが正しくない既知のユニキャスト MAC 送信元アドレスを、上書きする	R/W
28	VLANSA	VLAN 検索アクティブ(注1) HW : VLAN 宛先検索がポート i に対して無効な場合、ポート i から受信したすべてのフレームは VLAN 検索で不明とみなされます。 0: 送信元ポート i に対して VLAN 検索は無効 1: 送信元ポート i に対して VLAN 検索は有効	R/W
29	VLANRU	不定 VLAN 拒否(注1) 0: 送信元ポート i から受信した不定 VLAN を拒否しない 1: 送信元ポート i から受信した不定 VLAN を拒否する	R/W
30	VLANRUS	セキュア不定 VLAN 拒否(注1) 0: 送信元ポート i から受信したセキュア不定 VLAN を拒否しない 1: 送信元ポート i から受信したセキュア不定 VLAN を拒否する	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW : FWGC.SVM が 00b に設定されている場合、このビットを 1 に設定する必要があります。

30.3.1.1.16 FWPCi1 : ポート i コングレーションレジスタ 1 (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0104 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHFM2～LTHFM0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DDSL	DDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DDE	直接ディスクリプタ有効(注1) 0: 直接ディスクリプタはポート i に対して無効 1: 直接ディスクリプタはポート i に対して有効	R/W
1	DDSL	直接ディスクリプタのセキュリティレベル(注1) 0: ポート i のセキュアな直接ディスクリプタを破棄 1: ポート i のセキュアな直接ディスクリプタを転送	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	LTHFM2～LTHFM0	レイヤ 3 転送マスク n (n = 0～2) 0: レイヤ 3 転送によって転送されたフレームを、ポート j に転送できる 1: レイヤ 3 転送によって転送されたフレームを、ポート j に転送できない	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW：このビットは、i = 2, 3 の場合にのみ有効です。

30.3.1.1.17 FWPCi2 : ポート i コングレーションレジスタ 2 (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0108 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LTWFM2～LTWFM0		
Value after reset:	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	LTWFM2～LTWFM0	レイヤ 2 転送マスク n (n = 0～2) 0: レイヤ 2 によって転送されるフレームをポート j に転送できる 1: レイヤ 2 によって転送されるフレームをポート j に転送できない	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.2 カットスルー転送機能レジスタ

30.3.1.2.1 FWCTGCi0 : カットスルー汎用コンフィグレーションレジスタ i0 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0400 + 0x40 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CTRTGI	CTVCTRL[1:0]		CTFI	—	—	CTETE	CTSDE	CTSPE	CTSVE	CTCDE	CTCPE	CTCVE	CTMSE	CTMDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CTMDE	カットスルー MAC 宛先有効 0: MAC 宛先を、分離ルール i のカットスルー分離に含めない 1: MAC 宛先を、分離ルール i のカットスルー分離に含める	R/W
1	CTMSE	カットスルー MAC 送信元有効 0: MAC 送信元を、分離ルール i のカットスルー分離に含めない 1: MAC 送信元を、分離ルール i のカットスルー分離に含める	R/W
2	CTCVE	カットスルー C-TAG VLAN 有効(注1) 0: C-TAG VLAN を、分離ルール i のカットスルー分離に含めない 1: C-TAG VLAN を、分離ルール i のカットスルー分離に含める	R/W
3	CTCPE	カットスルー C-TAG PCP 有効(注1) 0: C-TAG PCP を、分離ルール i のカットスルー分離に含めない 1: C-TAG PCP を、分離ルール i のカットスルー分離に含める	R/W
4	CTCDE	カットスルー C-TAG DEI 有効(注1) 0: C-TAG DEI を、分離ルール i のカットスルー分離に含めない 1: C-TAG DEI を、分離ルール i のカットスルー分離に含める	R/W
5	CTSVE	カットスルー S-TAG VLAN 有効(注2) 0: S-TAG VLAN を、分離ルール i のカットスルー分離に含めない 1: S-TAG VLAN を、分離ルール i のカットスルー分離に含める	R/W
6	CTSPE	カットスルー S-TAG PCP 有効(注2) 0: S-TAG PCP を、分離ルール i のカットスルー分離に含めない 1: S-TAG PCP を、分離ルール i のカットスルー分離に含める	R/W
7	CTSDE	カットスルー S-TAG DEI 有効(注2) 0: S-TAG DEI を、分離ルール i のカットスルー分離に含めない 1: S-TAG DEI を、分離ルール i のカットスルー分離に含める	R/W
8	CTETE	カットスルーイーサネットタイプ有効 0: イーサネットタイプを、分離ルール i のカットスルー分離に含めない 1: イーサネットタイプを、分離ルール i のカットスルー分離に含める	R/W
10:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	CTFI	カットスルー FCS 包含(注3) カットスルーの場合、このビットは FDESCR.FI として使用されます。 0: 分離ルール i に一致するフレームに FCS を含めない 1: 分離ルール i に一致するフレームに FCS を含める	R/W
13:12	CTVCTRL[1:0]	カットスルー VLAN 制御[GWCA] [ETHA] カットスルーの場合、これらのビットは FDESCR.VCTRL[1:0]として使用されます。 0 0: 分離ルール i に一致する Ingress フレームは TAG なしフレーム 0 1: 分離ルール i に一致する Ingress フレームは C-TAG フレーム 1 0: 分離ルール i に一致する Ingress フレームは SC-TAG フレーム 1 1: 分離ルール i に一致する Ingress フレームは CoS TAG フレーム	R/W

ビット	シンボル	機能	R/W
14	CTRTGI	カットスルー R-TAG 包含[GWCA] [ETHA] カットスルーの場合、このビットは FDESCR.RTGI として使用されます。 0: R-TAG をカットスルーフレームに含めない 1: R-TAG をカットスルーフレームに含める	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：FWGC.SVM が 10b または 01b に設定されている場合のみ、このビットを 1 に設定できます。
注 2. SW：FWGC.SVM が 10b に設定されている場合のみ、このビットを 1 に設定できます。
注 3. SW：このビットは、フレーム送信元ポート MRGC.RCPT（同一）値[RMAC]に設定する必要があります。
- ケース 1: CTFI = 1、RCPT = 1、および正しい FCS フレームを受信
  →正しい FCS フレームが転送される
  （入力フレームに付加された FCS は、そのまま出力されます。タグが変換された場合、FCS 値は無効になります。）
- ケース 2: CTFI = 1、RCPT = 1、および誤った FCS フレームを受信
  →誤った FCS フレームが転送される
- ケース 3: CTFI = 0、RCPT = 0、および正しい FCS フレームを受信
  →正しい FCS フレームが転送される
- ケース 4: CTFI = 0、RCPT = 0、および誤った FCS フレームを受信
  →正しい FCS フレームが転送される（誤った FCS の後に正しい FCS が追加されます。）

30.3.1.2.2 FWCTGCi1：カットスルー汎用コンフィグレーションレジスタ i1 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0404 + 0x40 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	CTMT[25:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTMT[25:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
25:0	CTMT[25:0]	カットスルー最大時間	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CTMT[25:0]ビット（カットスルー最大時間）

分離ルール I に一致するフレームの PHY における最大時間（ns 単位）を示します。

この時間はフレーム全体（プリアンブル、SFD、TAG、FCS を含む）および IFG を考慮する必要があります。

このサイズは TAS の計算[ETHA]に使用されます。

注.
- 本レジスタが正しい値でない場合、一部のフレームが TAS [ETHA]の閉じたゲートを通過する可能性があります。
- TAS が有効な場合、本レジスタ値より小さいフレームを送信すると、本レジスタ値[ETHA]でフレーム時間が予約されるため、PHY のスループットが低下します。したがって、TAS ゲートの開放時間は CTMT 値より大きい必要があります。

30.3.1.2.3 FWCTTCi0 : カットスルーターゲットコンフィグレーションレジスタ i0 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0408 + 0x40 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CTDFM1～CTDFM0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CTDV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CTDV[2:0]	カットスルー転送先ベクタ(注1) 分離ルール i に一致するフレームが送信されるポートを選択します。 分離ルール i のカットスルーを有効にします。	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CTDFM1～CTDFM0	カットスルー転送先 n 転送モード (n = 0～1)(注2) 0: フレームをカットスルーモードで転送 1: フレームをストアアンドフォワードモードで転送	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. ルール i でカットスルーが有効な場合、FWCTTCi0.CTDV[2:0]で 1 つ以上のビットを 1 に設定し、カットスルーが有効な宛先エージェントに対して FWCTTCi0.CTDFM を 0 に設定する必要があります（カットスルーが有効な場合、1 つ以上のイーサネット宛先ポートをカットスルーモードで使用する必要があります）。
注 2. HW：カットスルーモードでは、エラーのあるフレームは拒否されず、宛先ポートに転送されます。

30.3.1.2.4 FWCTTCi1 : カットスルーターゲットコンフィグレーションレジスタ i1 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x040C + 0x40 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CTEME	CTCME
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTIPU	CTIPV[2:0]			—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	CTIPV[2:0]	カットスルー内部優先順位値	R/W
15	CTIPU	カットスルー内部優先順位更新 0: 出力ディスクリプタの優先順位を、分離ルール i に一致する転送フレームに対して使用します。 1: FWCTTCi1.CTIPV の優先順位を、分離ルール i に一致する転送フレームに対して使用します。	R/W

ビット	シンボル	機能	R/W
16	CTCME	カットスルー CPU ミラーリング有効 0: 分離ルール i に一致するフレームについては、CPU ミラーリングが無効にされます。 1: 分離ルール i に一致するフレームについては、CPU ミラーリングが有効にされます。	R/W
17	CTEME	カットスルーイーサネットミラーリング有効 0: 分離ルール i に一致するフレームについては、イーサネットミラーリングが無効にされます。 1: 分離ルール i に一致するフレームについては、イーサネットミラーリングが有効にされます。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.2.5 FWCTTCi20 : カットスルーターゲットコンフィグレーションレジスタ i20 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0410 + 0x40 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	CTCSD[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	CTCSD[5:0]	カットスルー CPU サブ転送先 低速ポート番号 0 の場合に分離ルール i に一致するフレームが送信される CPU サブ転送先を構成します。	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.2.6 FWCTSCi0 : カットスルー分離コンフィグレーションレジスタ i0 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0420 + 0x40 × i

Bit position:	31	0
Bit field:	CTDMAU[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	CTDMAU[31:0]	カットスルー宛先 MAC アドレス上位部	R/W

30.3.1.2.7 FWCTSCi1 : カットスルー分離コンフィグレーションレジスタ i1 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0424 + 0x40 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CTDMAL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTSMAU[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CTSMAU[15:0]	カットスルー送信元 MAC アドレス上位部	R/W
31:16	CTDMAL[15:0]	カットスルー宛先 MAC アドレス下位部	R/W

30.3.1.2.8 FWCTSCi2 : カットスルー分離コンフィグレーションレジスタ i2 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0428 + 0x40 × i

Bit position:	31																													0
Bit field:	CTSMAL[31:0]																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CTSMAL[31:0]	カットスルー送信元 MAC アドレス下位部	R/W

30.3.1.2.9 FWCTSCi3 : カットスルー分離コンフィグレーションレジスタ i3 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x042C + 0x40 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CTSD	CTSP[2:0]			CTSV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTCD	CTCP[2:0]			CTCV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	CTCV[11:0]	カットスルー C-TAG VLAN	R/W
14:12	CTCP[2:0]	カットスルー C-TAG PCP	R/W
15	CTCD	カットスルー C-TAG DEI	R/W
27:16	CTSV[11:0]	カットスルー S-TAG VLAN	R/W

ビット	シンボル	機能	R/W
30:28	CTSP[2:0]	カットスルー S-TAG PCP	R/W
31	CTSD	カットスルー S-TAG DEI	R/W

30.3.1.2.10 FWCTSCi4 : カットスルー分離コンフィグレーションレジスタ i4 (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x0430 + 0x40 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CTSPN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTET[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CTET[15:0]	カットスルーイーサネットタイプ	R/W
16	CTSPN	カットスルー送信元ポート番号(注1)	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW：カットスルーモードのとき（ストアアンドフォワードモードではないとき）、本ビットを 2 より小さく設定する必要があります。

30.3.1.3 レイヤ 3 転送／ルーティング完全フィルタ機能レジスタ

30.3.1.3.1 FWTWBFCi : 2 バイトフィルタコンフィグレーションレジスタ i（i = 0～15）

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1000 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	TWBFOV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TWBFM	—	—	—	—	—	—	TWBFUM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TWBFUM[1:0]	2 バイトフィルタユニットモード(注1) 0 0: マスクモード 0 1: 拡張モード 1 0: 精密モード 1 1: 予約	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TWBFM	2 バイトフィルタリングモード(注2) 0: オフセットフィルタリング 1: VLAN タグフィルタリング	R/W

ビット	シンボル	機能	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TWBFOV[7:0]	2 バイトフィルタオフセット値(注3)	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW : FWTWBFCi.TWBFM が 1 に設定されている場合、これらのビットを 01b に設定する必要があります。
注 2. SW : FWGC.SVM が 00b に設定されている場合、このビットを 01b に設定する必要があります。
注 3.
- SW : FWTWBFCi.TWBFM が 1 に設定されている場合、これらのビットは、S-TAG をフィルタするときは 0 に設定し、C-TAG をフィルタするときは 2 に設定してください。
- SW : FWTWBFCi.TWBFM が 1 に設定され、FWGC.SVM が 01b に設定されている場合、これらのビットは 0 に設定しないでください。

TWBFOV[7:0]ビット（2 バイトフィルタオフセット値）

- FWTWBFCi.TWBFM が 0 の場合：フィルタ i がフレームデータのフィルタリングを開始するときのオフセット（バイト単位）。
- FWTWBFCi.TWBFM が 1 の場合:フィルタ i がフレーム TAG のフィルタリングを開始するときのオフセット（バイト単位）。

30.3.1.3.2 FWTWBFVCi : 2 バイトフィルタ値コンフィグレーションレジスタ i (i = 0〜15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1004 + 0x10 × i

Bit position:	31																16	15														0
Bit field:	TWBFV1[15:0]																TWBFV0[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TWBFV0[15:0]	2 バイトフィルタ値 0	R/W
31:16	TWBFV1[15:0]	2 バイトフィルタ値 1	R/W

TWBFV0[15:0]ビット（2 バイトフィルタ値 0）

- FWTWBFCi.TWBFUM が 00b の場合 : FWTWBFVCi.TWBFV1 によってマスクされた 2 バイトフィルタ値として使用され、フィルタ ID は 2 × i となります。
- FWTWBFCi.TWBFUM が 01b の場合 : FWTWBFVCi.TWBFV1 によって拡張された 4 バイトフィルタの最初の 2 バイトとして使用され、フィルタ ID は 2 × i となります（比較値は{FWTWBFVCi.TWBFV0, FWTWBFVCi.TWBFV1}）。
- FWTWBFCi.TWBFUM が 10b の場合 : 2 バイトフィルタ値として使用され、フィルタ ID は 2 × i となります。

TWBFV1[15:0]ビット（2 バイトフィルタ値 1）

- FWTWBFCi.TWBFUM が 00b の場合 : FWTWBFVCi.TWBFV0 のマスクとして使用されます。
- FWTWBFCi.TWBFUM が 01b の場合 : FWTWBFVCi.TWBFV0 の拡張として使用されます（比較値は{FWTWBFVCi.TWBFV0, FWTWBFVCi.TWBFV1}です）。
- FWTWBFCi.TWBFUM が 10b の場合 : 2 バイトフィルタ値として使用され、フィルタ ID は 2 × i + 1 となります。

30.3.1.3.3 FWTHBFCi : 3 バイトフィルタコンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1400 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	THBFOV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	THBFUM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	THBFUM[1:0]	3 バイトフィルタユニットモード 0 0: マスクモード 0 1: 拡張モード 1 0: 精密モード 1 1: 予約	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	THBFOV[7:0]	3 バイトフィルタオフセット値 フィルタ i がフレームのフィルタリングを開始するオフセット（バイト単位）。（オフセットはすべての TAG を無視します）	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.3.4 FWTHBFV0Ci : 3 バイトフィルタ値 0 コンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1404 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	0
Bit field:	—	—	—	—	—	—	—	—	THBFV0[23:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	THBFV0[23:0]	3 バイトフィルタ値 0	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

THBFV0[23:0]ビット（3 バイトフィルタ値 0）

- FWTHBFCi.THBFUM[1:0]が 00b の場合：FWTHBFV1Ci.THBFV1[23:0]によってマスクされた 3 バイトフィルタ値として使用され、フィルタ ID は 2 × (i + 16) となります。
- FWTHBFCi.THBFUM[1:0]が 01b の場合：FWTHBFV1Ci.THBFV1[23:0]によって拡張された 6 バイトフィルタの最初の 3 バイトフィルタ値として使用され、フィルタ ID は 2 × (i + 16) となります（比較値は {FWTHBFV0Ci.THBFV0[23:0], FWTHBFV1Ci.THBFV1[23:0]}です）。
- FWTHBFCi.THBFUM[1:0]が 10b の場合：3 バイトフィルタ値として使用され、フィルタ ID は 2 × (i + 16) となります。

30.3.1.3.5 FWTHBFV1Ci : 3 バイトフィルタ値 1 コンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1408 + 0x10 × i

Bit position:	31										23																			0
Bit field:	—	—	—	—	—	—	—	—	—	—	THBFV1[23:0]																			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	THBFV1[23:0]	3 バイトフィルタ値 1	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

THBFV1[23:0]ビット（3 バイトフィルタ値 1）

- FWTHBFCi.THBFUM[1:0]が 00b の場合：FWTHBFV0Ci.THBFV0[23:0]のマスクとして使用されます。
- FWTHBFCi.THBFUM[1:0]が 01b の場合：FWTHBFV0Ci.THBFV0[23:0]の拡張として使用されます（比較値は{FWTHBFV0Ci.THBFV0[23:0], FWTHBFV1Ci.THBFV1[23:0]}です）。
- FWTHBFCi.THBFUM[1:0]が 10b の場合：3 バイトフィルタ値として使用され、フィルタ ID は 2 × (i + 16) + 1 となります。

30.3.1.3.6 FWFOBFCi : 4 バイトフィルタコンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1800 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	FOBFOV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FOBFUM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	FOBFUM[1:0]	4 バイトフィルタユニットモード 0 0: マスクモード 0 1: 拡張モード 1 0: 精密モード 1 1: 予約	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	FOBFOV[7:0]	4 バイトフィルタオフセット値 フィルタ i がフレームのフィルタリングを開始するオフセット（バイト単位）。（オフセットはすべての TAG を無視します）	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.3.7 FWFOBFV0Ci : 4 バイトフィルタ値 0 コンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1804 + 0x10 × i

Bit position:	31																												0
Bit field:	FOBFV0[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOBFV0[31:0]	4 バイトフィルタ値 0	R/W

FOBFV0[31:0]ビット（4 バイトフィルタ値 0）

- FWFOBFCi.FOBFUM[1:0]が 00b の場合：FWFOBFV1Ci.FOBFV1[31:0]によってマスクされた 4 バイトフィルタ値として使用され、フィルタ ID は 2 × (i + 36) となります。
- FWFOBFCi.FOBFUM[1:0]が 01b の場合：FWFOBFV1Ci.FOBFV1[31:0]によって拡張された 8 バイトフィルタの最初の 4 バイトフィルタ値として使用され、フィルタ ID は 2 × (i + 36) となります（比較値は {FWFOBFV0Ci.FOBFV0[31:0], FWFOBFV1Ci. FOBFV1[31:0]}です）。
- FWFOBFCi.FOBFUM[1:0]が 10b の場合 : 4 バイトフィルタ値として使用され、フィルタ ID は 2 × (i + 36) となります。

30.3.1.3.8 FWFOBFV1Ci : 4 バイトフィルタ値 1 コンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1808 + 0x10 × i

Bit position:	31																												0
Bit field:	FOBFV1[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOBFV1[31:0]	4 バイトフィルタ値 1	R/W

FOBFV1[31:0]ビット（4 バイトフィルタ値 1）

- FWFOBFCi. FOBFUM[1:0]が 00b の場合：FWFOBFV0Ci.FOBFV0[31:0]のマスクとして使用されます。
- FWFOBFCi.FOBFUM[1:0]が 01b の場合：FWFOBFV0Ci. FOBFV0[31:0]の拡張として使用されます（比較値は {FWFOBFV0Ci. FOBFV0[31:0], FWFOBFV1Ci. FOBFV1[31:0]}）。
- FWFOBFCi.FOBFUM[1:0]が 10b の場合：4 バイトフィルタ値として使用され、フィルタ ID は 2 × (i + 36) + 1 となります。

30.3.1.3.9 FWRFCi : 範囲フィルタコンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1C00 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	RFOV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RFM	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RFM	範囲フィルタリングモード(注1) 0: オフセットフィルタリング 1: VLAN タグフィルタリング	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	RFOV[7:0]	範囲フィルタオフセット値(注2)	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW : FWGC.SVM が 00b に設定されている場合、このビットを 1 に設定しないでください。
注 2.
- SW : FWRFCi.RFM が 1 に設定されている場合、S-TAG のフィルタリングを行うにはこれらのビットを 0 または 1 に設定し、C-TAG のフィルタリングを行うには 2 または 3 に設定します。
- SW : FWRFCi.RFM が 1 に設定され、FWGC.SVM が 01b に設定されている場合、これらのビットを 0 または 1 に設定しないでください。

RFOV[7:0]ビット（範囲フィルタオフセット値）

- FWRFCi.RFM が 0 の場合 : フィルタ i がフレームデータのフィルタリングを開始するときのオフセット（バイト単位）。
- FWRFCi.RFM が 1 の場合 : フィルタ i がフレーム TAG のフィルタリングを開始するときのオフセット（バイト単位）。

30.3.1.3.10 FWRFVCi : 範囲フィルタ値コンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x1C04 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	RFRV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFSV1[7:0]								RFSV0[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RFSV0[7:0]	範囲フィルタ開始値 0	R/W
15:8	RFSV1[7:0]	範囲フィルタ開始値 1	R/W

ビット	シンボル	機能	R/W
19:16	RFRV[3:0]	範囲フィルタ範囲値(注1) フィルタ値 FWRFVCi.RFSV1 および FWRFVCi.RFSV0 の範囲値として使用します。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：FWRFVCi.RFSV0 + FWRFVCi.RFRV および FWRFVCi.RFSV1 + FWRFVCi.RFRV は、常に 255 以下である必要があります。

RFSV0[7:0]ビット（範囲フィルタ開始値 0）

フィルタ ID 2 × (i + 49) の範囲フィルタ開始値として使用します（一致する値は[FWRFVCi.RFSV0: FWRFVCi.RFSV0 + FWRFVCi.RFRV]に格納されます）。

RFSV1[7:0]ビット（範囲フィルタ開始値 1）

フィルタ ID 2 × (i + 48) + 1 の範囲フィルタ開始値として使用します（一致する値は[FWRFVCi.RFSV1: FWRFVCi.RFSV1 + FWRFVCi.RFRV]に格納されます）。

30.3.1.3.11 FWCFCi：カスケードフィルタコンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x2000 + 0x40 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFPFFV1～CFPFFV0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CFEFFV2～CFEFFV0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CFEFFV2～CFEFFV0	カスケードフィルタの e フレームフィルタ有効 n (n = 0～2) ビット j が 0: カスケードフィルタ i はポート j の e フレームに対して無効（低速ポートのフレームはすべて e フレーム）[GWCA] ビット j が 1: カスケードフィルタ i はポート j の e フレームに対して有効（低速ポートのフレームはすべて e フレーム）[GWCA]	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CFPFFV1～CFPFFV0	カスケードフィルタの e フレームフィルタ有効 n (n = 0～1) ビット j が 0: カスケードフィルタ i はポート j の p フレームに対して無効 ビット j が 1: カスケードフィルタ i はポート j の p フレームに対して有効	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.3.12 FWCFMCij : カスケードフィルタマッピングコンフィグレーションレジスタ ij (i = 0～15) (j = 0～6)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x2004 + 0x40 × i + 0x4 ×j

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CFFV	—	—	—	—	—	—	—	—	CFFN[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	CFFN[6:0]	カスケードフィルタのフィルタ番号 フィルタ番号 FWCFMCij.CFFN をカスケードフィルタ番号 i にマッピングします。	R/W
14:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	CFFV	カスケードフィルタ有効 カスケードフィルタ i に対して FWCFMCij.CFFN を有効にします。 FWCFMCij.CFFV に 1 に等しいものがない場合、カスケードフィルタは無効にされます。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.4 レイヤ 3 転送／ルーティング L2 ストリーム／ハッシュフィルタ機能レジスタ

30.3.1.4.1 FWIP4SC : IPv4 ストリームコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	IP4IDPTS	IP4IIDS	IP4IISS	IP4ICDS	IP4ICPS	IP4ICVS	IP4ISDS	IP4ISPS	IP4ISVS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	IP4IDPTH	IP4ISPTH	IP4IPH	IP4IIDH	IP4IISH	IP4ICDH	IP4ICPH	IP4ICVH	IP4ISDH	IP4ISPH	IP4ISVH	IP4IMSH	IP4IMDH
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IP4IMDH	IPv4 ハッシュに MAC 宛先包含 0: MAC 宛先アドレスはハッシュ計算に含まれない 1: MAC 宛先アドレスはハッシュ計算に含まれる	R/W
1	IP4IMSH	IPv4 ハッシュに MAC 送信元包含 0: MAC 送信元アドレスはハッシュ計算に含まれない 1: MAC 送信元アドレスはハッシュ計算に含まれる	R/W
2	IP4ISVH	IPv4 ハッシュに S-TAG VLAN ID 包含(注1) 0: S-TAG VLAN ID はハッシュ計算に含まれない 1: S-TAG VLAN ID はハッシュ計算に含まれる	R/W

ビット	シンボル	機能	R/W
3	IP4ISPH	IPv4 ハッシュに S-TAG PCP 包含(注1) 0: S-TAG PCP はハッシュ計算に含まれない 1: S-TAG PCP はハッシュ計算に含まれる	R/W
4	IP4ISDH	IPv4 ハッシュに S-TAG DEI 包含(注1) 0: S-TAG DEI はハッシュ計算に含まれない 1: S-TAG DEI はハッシュ計算に含まれる	R/W
5	IP4ICVH	IPv4 ハッシュに C-TAG VLAN ID 包含(注2) 0: C-TAG VLAN ID はハッシュ計算に含まれない 1: C-TAG VLAN ID はハッシュ計算に含まれる	R/W
6	IP4ICPH	IPv4 ハッシュに C-TAG PCP 包含(注2) 0: C-TAG PCP はハッシュ計算に含まれない 1: C-TAG PCP はハッシュ計算に含まれる	R/W
7	IP4ICDH	IPv4 ハッシュに C-TAG DEI 包含(注2) 0: C-TAG DEI はハッシュ計算に含まれない 1: C-TAG DEI はハッシュ計算に含まれる	R/W
8	IP4IISH	IPv4 ハッシュに IP 送信元包含 0: IPv4 送信元 IP アドレスはハッシュ計算に含まれない 1: IPv4 送信元 IP アドレスはハッシュ計算に含まれる	R/W
9	IP4IIDH	IPv4 ハッシュに IP 宛先包含 0: IPv4 宛先 IP アドレスはハッシュ計算に含まれない 1: IP v4 宛先 IP アドレスはハッシュ計算に含まれる	R/W
10	IP4IPH	IPv4 ハッシュにプロトコル包含 0: IPv4 プロトコルはハッシュ計算に含まれない 1: IPv4 プロトコルはハッシュ計算に含まれる	R/W
11	IP4ISPTH	IPv4 ハッシュに送信元ポート包含 0: TCP/UDP 送信元ポートはハッシュ計算に含まれない 1: TCP/UDP 送信元ポートはハッシュ計算に含まれる	R/W
12	IP4IDPTH	IPv4 ハッシュに宛先ポート包含 0: TCP/UDP 宛先ポートはハッシュ計算に含まれない 1: TCP/UDP 宛先ポートはハッシュ計算に含まれる	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IP4ISVS	IPv4 ストリームに S-TAG VLAN ID 包含(注1) 0: S-TAG VLAN ID は L3 IPv4 ストリーム ID に含まれない 1: S-TAG VLAN ID は L3 IPv4 ストリーム ID に含まれる	R/W
17	IP4ISPS	IPv4 ストリームに S-TAG PCP 包含(注1) 0: S-TAG PCP は L3 IPv4 ストリーム ID に含まれない 1: S-TAG PCP は L3 IPv4 ストリーム ID に含まれる	R/W
18	IP4ISDS	IPv4 ストリームに S-TAG DEI 包含(注1) 0: S-TAG DEI は L3 IPv4 ストリーム ID に含まれない 1: S-TAG DEI は L3 IPv4 ストリーム ID に含まれる	R/W
19	IP4ICVS	IPv4 ストリームに C-TAG VLAN ID 包含(注2) 0: C-TAG VLAN ID は L3 IPv4 ストリーム ID に含まれない 1: C-TAG VLAN ID は L3 IPv4 ストリーム ID に含まれる	R/W
20	IP4ICPS	IPv4 ストリームに C-TAG PCP 包含(注2) 0: C-TAG PCP は L3 IPv4 ストリーム ID に含まれない 1: C-TAG PCP は L3 IPv4 ストリーム ID に含まれる	R/W
21	IP4ICDS	IPv4 ストリームに C-TAG DEI 包含(注2) 0: C-TAG DEI は L3 IPv4 ストリーム ID に含まれない 1: C-TAG DEI は L3 IPv4 ストリーム ID に含まれる	R/W
22	IP4IISS	IPv4 ストリームに IP 送信元包含 0: IPv4 送信元 IP アドレスは L3 IPv4 ストリーム ID に含まれない 1: IPv4 送信元 IP アドレスは L3 IPv4 ストリーム ID に含まれる	R/W

ビット	シンボル	機能	R/W
23	IP4IIDS	IPv4 ストリームに IP 宛先包含 0: IPv4 宛先 IP アドレスは L3 IPv4 ストリーム ID に含まれない 1: IPv4 宛先 IP アドレスは L3 IPv4 ストリーム ID に含まれる	R/W
24	IP4IDPTS	IPv4 ストリームに宛先ポート包含 0: TCP/UDP 宛先ポートは L3 IPv4 ストリーム ID に含まれない 1: TCP/UDP 宛先ポートは L3 IPv4 ストリーム ID に含まれる	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：FWGC.SVM が 00b または 01b に設定されている場合、このビットは 0 に設定する必要があります。
注 2. SW：FWGC.SVM が 00b に設定されている場合、このビットは 0 に設定する必要があります。

30.3.1.4.2 FWIP6SC : IPv6 ストリームコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	IP6IDPTS	IP6II1S	IP6II0S	IP6ICDS	IP6ICPS	IP6ICVS	IP6ISDS	IP6ISPS	IP6ISVS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	IP6IDPTH	IP6ISPTH	IP6IPH	IP6IIDH	IP6IISH	IP6ICDH	IP6ICPH	IP6ICVH	IP6ISDH	IP6ISPH	IP6ISVH	IP6IMSH	IP6IMDH
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IP6IMDH	IPv6 ハッシュに MAC 宛先包含 0: MAC 宛先アドレスはハッシュ計算に含まれない 1: MAC 宛先アドレスはハッシュ計算に含まれる	R/W
1	IP6IMSH	IPv6 ハッシュに MAC 送信元包含 0: MAC 送信元アドレスはハッシュ計算に含まれない 1: MAC 送信元アドレスはハッシュ計算に含まれる	R/W
2	IP6ISVH	IPv6 ハッシュに S-TAG VLAN ID 包含(注1) 0: S-TAG VLAN ID はハッシュ計算に含まれない 1: S-TAG VLAN ID はハッシュ計算に含まれる	R/W
3	IP6ISPH	IPv6 ハッシュに S-TAG PCP 包含(注1) 0: S-TAG PCP はハッシュ計算に含まれない 1: S-TAG PCP はハッシュ計算に含まれる	R/W
4	IP6ISDH	IPv6 ハッシュに S-TAG DEI 包含(注1) 0: S-TAG DEI はハッシュ計算に含まれない 1: S-TAG DEI はハッシュ計算に含まれる	R/W
5	IP6ICVH	IPv6 ハッシュに C-TAG VLAN ID 包含(注2) 0: C-TAG VLAN ID はハッシュ計算に含まれない 1: C-TAG VLAN ID はハッシュ計算に含まれる	R/W
6	IP6ICPH	IPv6 ハッシュに C-TAG PCP 包含(注2) 0: C-TAG PCP はハッシュ計算に含まれない 1: C-TAG PCP はハッシュ計算に含まれる	R/W
7	IP6ICDH	IPv6 ハッシュに C-TAG DEI 包含(注2) 0: C-TAG DEI はハッシュ計算に含まれない 1: C-TAG DEI はハッシュ計算に含まれる	R/W
8	IP6IISH	IPv6 ハッシュに IP 送信元包含 0: IPv6 送信元 IP アドレスはハッシュ計算に含まれない 1: IPv6 送信元 IP アドレスはハッシュ計算に含まれる	R/W

ビット	シンボル	機能	R/W
9	IP6IIDH	IPv6 ハッシュに IP 宛先包含 0: IPv6 宛先 IP アドレスはハッシュ計算に含まれない 1: IPv6 宛先 IP アドレスはハッシュ計算に含まれる	R/W
10	IP6IPH	IPv6 ハッシュにプロトコル包含（次ヘッダ） 0: IPv6 プロトコルはハッシュ計算に含まれない 1: IPv6 プロトコルはハッシュ計算に含まれる	R/W
11	IP6ISPTH	IPv6 ハッシュに送信元ポート包含 0: TCP/UDP 送信元ポートはハッシュ計算に含まれない 1: TCP/UDP 送信元ポートはハッシュ計算に含まれる	R/W
12	IP6IDPTH	IPv6 ハッシュに宛先ポート包含 0: TCP/UDP 宛先ポートはハッシュ計算に含まれない 1: TCP/UDP 宛先ポートはハッシュ計算に含まれる	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IP6ISVS	IPv6 ストリームに S-TAG VLAN ID 包含(注1) 0: S-TAG VLAN ID は L3 IPv6 ストリーム ID に含まれない 1: S-TAG VLAN ID は L3 IPv6 ストリーム ID に含まれる	R/W
17	IP6ISPS	IPv6 ストリームに S-TAG PCP 包含(注1) 0: S-TAG PCP は L3 IPv6 ストリーム ID に含まれない 1: S-TAG PCP は L3 IPv6 ストリーム ID に含まれる	R/W
18	IP6ISDS	IPv6 ストリームに S-TAG DEI 包含(注1) 0: S-TAG DEI は L3 IPv6 ストリーム ID に含まれない 1: S-TAG DEI は L3 IPv6 ストリーム ID に含まれる	R/W
19	IP6ICVS	IPv6 ストリームに C-TAG VLAN ID 包含(注2) 0: C-TAG VLAN ID は L3 IPv6 ストリーム ID に含まれない 1: C-TAG VLAN ID は L3 IPv6 ストリーム ID に含まれる	R/W
20	IP6ICPS	IPv6 ストリームに C-TAG PCP 包含(注2) 0: C-TAG PCP は L3 IPv6 ストリーム ID に含まれない 1: C-TAG PCP は L3 IPv6 ストリーム ID に含まれる	R/W
21	IP6ICDS	IPv6 ストリームに C-TAG DEI 包含(注2) 0: C-TAG DEI は L3 IPv6 ストリーム ID に含まれない 1: C-TAG DEI は L3 IPv6 ストリーム ID に含まれる	R/W
22	IP6II0S	IPv6 ストリームに IP 0 包含 IPv6 の IP アドレスパート 0 は、FWIP6OC 構成に応じて、IP 送信元アドレスまたは宛先アドレスから抽出される 4 バイト長のフィールドです。 0: IPv6 の IP アドレスパート 0 は L3 IPv6 ストリーム ID に含まれない 1: IPv6 の IP アドレスパート 0 は L3 IPv6 ストリーム ID に含まれる	R/W
23	IP6II1S	IPv6 ストリームに IP 1 包含 IPv6 の IP アドレスパート 1 は、FWIP6OC 構成に応じて、IP 送信元アドレスまたは宛先アドレスから抽出される 4 バイト長のフィールドです。 0: IPv6 の IP アドレスパート 1 は L3 IPv6 ストリーム ID に含まれない 1: IPv6 の IP アドレスパート 1 は L3 IPv6 ストリーム ID に含まれる	R/W
24	IP6IDPTS	IPv6 ストリームに宛先ポート包含 0: TCP/UDP 宛先ポートは L3 IPv6 ストリーム ID に含まれない 1: TCP/UDP 宛先ポートは L3 IPv6 ストリーム ID に含まれる	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：FWGC.SVM が 00b または 01b に設定されている場合、このビットは 0 に設定する必要があります。
注 2. SW：FWGC.SVM が 00b に設定されている場合、このビットは 0 に設定する必要があります。

30.3.1.4.3 FWIP6OC : IPv6 オフセットコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x401C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	IP6IPO1[3:0]				—	—	—	IP6IPOM1
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IP6IPO0[3:0]				—	—	—	IP6IPOM0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IP6IPOM0	IPv6 IP オフセットモード 0 0: IPv6 IP アドレスパート 0 は、IP 送信元アドレスから抽出される 1: IPv6 IP アドレスパート 0 は、IP 宛先アドレスから抽出される	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	IP6IPO0[3:0]	IPv6 IP オフセット 0(注1) i: 選択された IP アドレスのバイト[i:i + 3]が IPv6 IP アドレスパート 0 に使用されます。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IP6IPOM1	IPv6 IP オフセットモード 1 0: IPv6 IP アドレスパート 1 は、IP 送信元アドレスから抽出される 1: IPv6 IP アドレスパート 1 は、IP 宛先アドレスから抽出される	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:20	IP6IPO1[3:0]	IPv6 IP オフセット 1(注1) i: 選択された IP アドレスのバイト[i:i + 3]が IPv6 IP アドレスパート 1 に使用されます。	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：これらのビットを 12 より大きい値に設定しないでください。

30.3.1.4.4 FWL2SC : レイヤ 2 ストリームコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	L2ICDS	L2ICPS	L2ICVS	L2ISDS	L2ISPS	L2ISVS	L2IMSS	L2IMDS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	L2IMDS	レイヤ 2 ストリームに MAC 宛先包含 0: MAC 宛先アドレスを L2 ストリーム ID に含めない 1: MAC 宛先アドレスを L2 ストリーム ID に含める	R/W
1	L2IMSS	レイヤ 2 ストリームに MAC 送信元包含 0: MAC 送信元アドレスを L2 ストリーム ID に含めない 1: MAC 送信元アドレスを L2 ストリーム ID に含める	R/W

ビット	シンボル	機能	R/W
2	L2ISVS	レイヤ 2 ストリームに S-TAG VLAN ID 包含(注1) 0: MAC S-TAG VLAN ID を L2 ストリーム ID に含めない 1: MAC S-TAG VLAN ID を L2 ストリーム ID に含める	R/W
3	L2ISPS	レイヤ 2 ストリームに S-TAG PCP ID 包含(注1) 0: MAC S-TAG PCP を L2 ストリーム ID に含めない 1: MAC S-TAG PCP を L2 ストリーム ID に含める	R/W
4	L2ISDS	レイヤ 2 ストリームに S-TAG DEI 包含(注1) 0: MAC S-TAG DEI を L2 ストリーム ID に含めない 1: MAC S-TAG DEI を L2 ストリーム ID に含める	R/W
5	L2ICVS	レイヤ 2 ストリームに C-TAG VLAN ID 包含(注2) 0: MAC C-TAG VLAN ID を L2 ストリーム ID に含めない 1: MAC C-TAG VLAN ID を L2 ストリーム ID に含める	R/W
6	L2ICPS	レイヤ 2 ストリームに C-TAG PCP ID 包含(注2) 0: MAC C-TAG PCP を L2 ストリーム ID に含めない 1: MAC C-TAG PCP を L2 ストリーム ID に含める	R/W
7	L2ICDS	レイヤ 2 ストリームに C-TAG DEI 包含(注2) 0: MAC C-TAG DEI を L2 ストリーム ID に含めない 1: MAC C-TAG DEI を L2 ストリーム ID に含める	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：FWGC.SVM が 00b または 01b に設定されている場合、このビットは 0 に設定する必要があります。
注 2. SW：FWGC.SVM が 00b に設定されている場合、このビットは 0 に設定する必要があります。

30.3.1.4.5 FWSFHEC：ストリームフィルタハッシュ式コンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4030

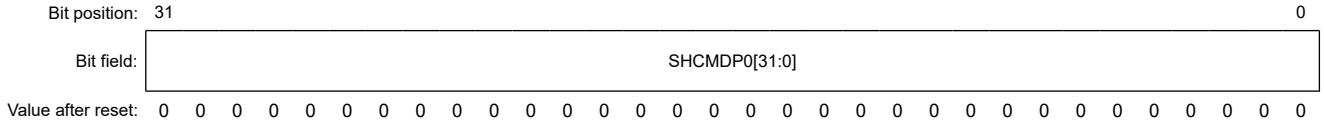
Bit position:	31															16	15														0
Bit field:	IP6HE15～IP6HE0																IP4HE15～IP4HE0														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	IP4HE15～IP4HE0	IPv4 ストリームフィルタハッシュ式 n (n = 0～15) 複数のハッシュ式がアクティブな場合、すべてのアクティブな式の結果に対して XOR 演算が実行されて、最終的なハッシュ ID が求められます。 ビット 0 が設定: IPv4 ハッシュ計算のために、ハッシュ関数においてハッシュ式 $1 + x^{17}$ がアクティベートされます。 ビット i (i≠0) が設定：IPv4 ハッシュ計算のために、ハッシュ関数においてハッシュ式 $1 + x^{i+1} + x^{17}$ がアクティベートされます。	R/W
31:16	IP6HE15～IP6HE0	IPv6 ストリームフィルタハッシュ式 n (n = 0～15) 複数のハッシュ式がアクティブな場合、すべてのアクティブな式の結果に対して XOR 演算が実行されて、最終的なハッシュ ID が求められます。 ビット 0 が設定: IPv6 ハッシュ計算のために、ハッシュ関数においてハッシュ式 $1 + x^{17}$ がアクティベートされます。 ビット i (i≠0) が設定：IPv6 ハッシュ計算のために、ハッシュ関数においてハッシュ式 $1 + x^{i+1} + x^{17}$ がアクティベートされます。	R/W

30.3.1.4.6 FWSHCR0 : ソフトウェアハッシュ計算要求レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4040

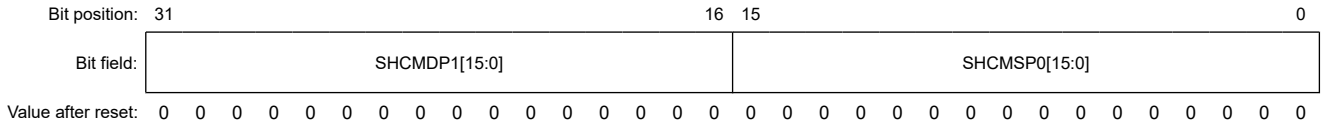


ビット	シンボル	機能	R/W
31:0	SHCMDP0[31:0]	ソフトウェアハッシュ計算 MAC 宛先パート 0 SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

30.3.1.4.7 FWSHCR1 : ソフトウェアハッシュ計算要求レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4044

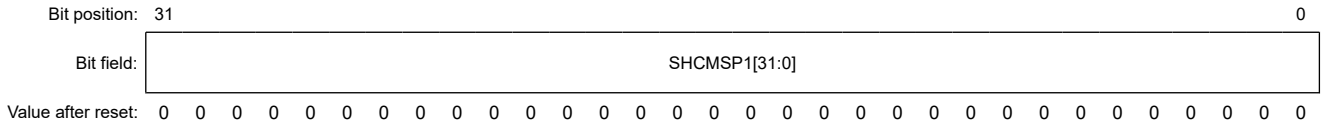


ビット	シンボル	機能	R/W
15:0	SHCMSP0[15:0]	ソフトウェアハッシュ計算 MAC 送信元パート 0 SW: これらのビットは、ハッシュ計算を高速化するために使用されます。	R/W
31:16	SHCMDP1[15:0]	ソフトウェアハッシュ計算 MAC 宛先パート 1 SW: これらのビットは、ハッシュ計算を高速化するために使用されます。	R/W

30.3.1.4.8 FWSHCR2 : ソフトウェアハッシュ計算要求レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4048



ビット	シンボル	機能	R/W
31:0	SHCMSP1[31:0]	ソフトウェアハッシュ計算 MAC 送信元パート 1 SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

30.3.1.4.9 FWSHCR3 : ソフトウェアハッシュ計算要求レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x404C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SHCSP[2:0]			SHCSD	SHCSV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SHCCP[2:0]			SHCCD	SHCCV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	SHCCV[11:0]	ソフトウェアハッシュ計算 C-TAG VLAN SW：これらのビットは、ハッシュ計算を高速化するために使用されます。	R/W
12	SHCCD	ソフトウェアハッシュ計算 C-TAG DEI SW：このビットは、ハッシュ計算を高速化するために使用されます。	R/W
15:13	SHCCP[2:0]	ソフトウェアハッシュ計算 C-TAG PCP SW：これらのビットは、ハッシュ計算を高速化するために使用されます。	R/W
27:16	SHCSV[11:0]	ソフトウェアハッシュ計算 S-TAG VLAN SW：これらのビットは、ハッシュ計算を高速化するために使用されます。	R/W
28	SHCSD	ソフトウェアハッシュ計算 S-TAG DEI SW：このビットは、ハッシュ計算を高速化するために使用されます。	R/W
31:29	SHCSP[2:0]	ソフトウェアハッシュ計算 S-TAG PCP SW：これらのビットは、ハッシュ計算を高速化するために使用されます。	R/W

30.3.1.4.10 FWSHCR4 : ソフトウェアハッシュ計算要求レジスタ 4

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4050

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SHCFF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

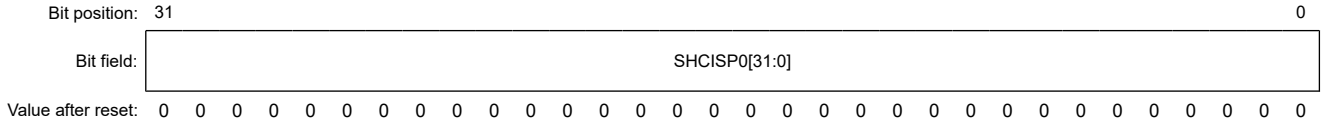
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SHCP[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SHCP[7:0]	ソフトウェアハッシュ計算プロトコル (IPv6 の NextHeader) SW: これらのビットは、ハッシュ計算を高速化するために使用されます。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SHCFF	ソフトウェアハッシュ計算フレームフォーマット SW: このビットは、ハッシュ計算を高速化するために使用されます。 0: IPv4 ハッシュ計算 1: IPv6 ハッシュ計算	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.4.11 FWSHCR5 : ソフトウェアハッシュ計算要求レジスタ 5

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4054



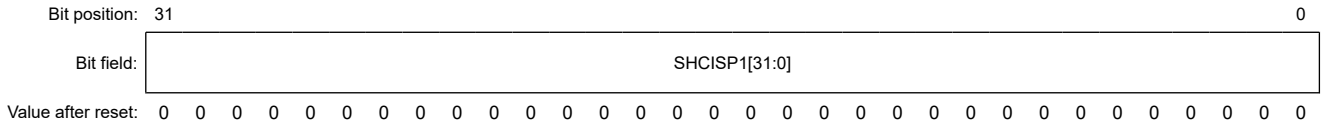
ビット	シンボル	機能	R/W
31:0	SHCISP0[31:0]	ソフトウェアハッシュ計算 IP 送信元パート 0(注1) SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

注 1. SW：IPv4 ハッシュ計算では 0 に設定する必要があります。

30.3.1.4.12 FWSHCR6 : ソフトウェアハッシュ計算要求レジスタ 6

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4058



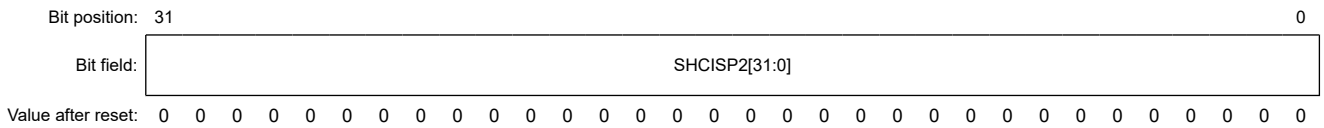
ビット	シンボル	機能	R/W
31:0	SHCISP1[31:0]	ソフトウェアハッシュ計算 IP 送信元パート 1(注1) SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

注 1. SW：IPv4 ハッシュ計算では 0 に設定する必要があります。

30.3.1.4.13 FWSHCR7 : ソフトウェアハッシュ計算要求レジスタ 7

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x405C



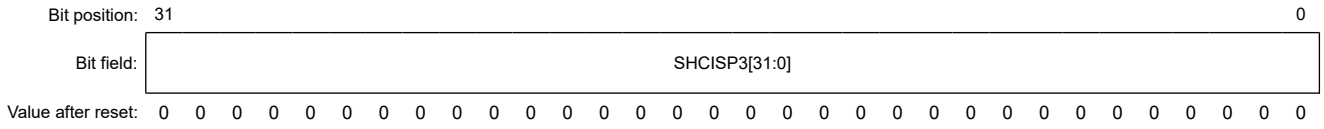
ビット	シンボル	機能	R/W
31:0	SHCISP2[31:0]	ソフトウェアハッシュ計算 IP 送信元パート 2(注1) SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

注 1. SW：IPv4 ハッシュ計算では 0 に設定する必要があります。

30.3.1.4.14 FWSHCR8 : ソフトウェアハッシュ計算要求レジスタ 8

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4060



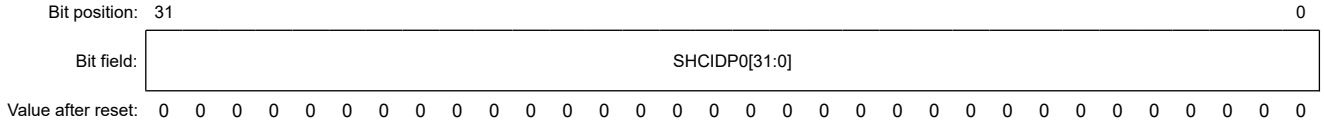
ビット	シンボル	機能	R/W
31:0	SHCISP3[31:0]	ソフトウェアハッシュ計算 IP 送信元パート 3(注1) SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

注 1. SW：IPv4 ハッシュ計算では、IP 送信元アドレスに設定する必要があります。

30.3.1.4.15 FWSHCR9 : ソフトウェアハッシュ計算要求レジスタ 9

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4064



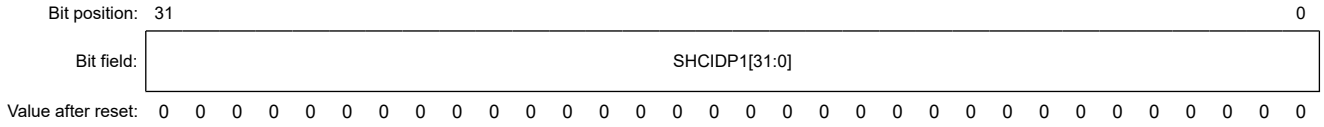
ビット	シンボル	機能	R/W
31:0	SHCIDP0[31:0]	ソフトウェアハッシュ計算 IP 宛先パート 0(注1) SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

注 1. SW：IPv4 ハッシュ計算では 0 に設定する必要があります。

30.3.1.4.16 FWSHCR10 : ソフトウェアハッシュ計算要求レジスタ 10

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4068



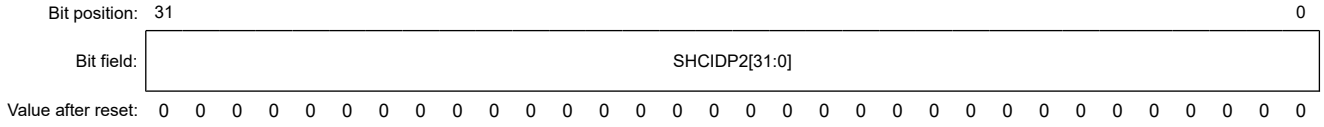
ビット	シンボル	機能	R/W
31:0	SHCIDP1[31:0]	ソフトウェアハッシュ計算 IP 送信元の宛先パート 1(注1) SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

注 1. SW：IPv4 ハッシュ計算では 0 に設定する必要があります。

30.3.1.4.17 FWSHCR11 : ソフトウェアハッシュ計算要求レジスタ 11

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x406C



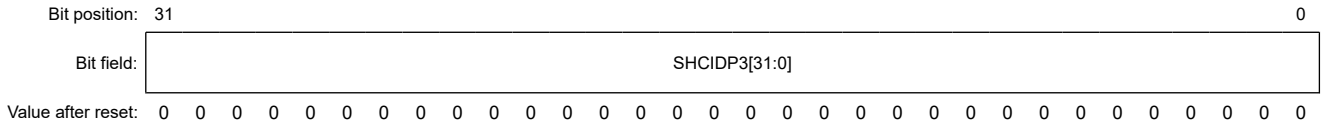
ビット	シンボル	機能	R/W
31:0	SHCIDP2[31:0]	ソフトウェアハッシュ計算 IP 宛先パート 2(注1) SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

注 1. - SW：IPv4 ハッシュ計算では 0 に設定する必要があります。

30.3.1.4.18 FWSHCR12 : ソフトウェアハッシュ計算要求レジスタ 12

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4070



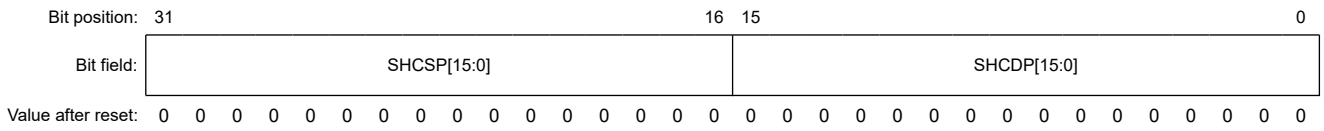
ビット	シンボル	機能	R/W
31:0	SHCIDP3[31:0]	ソフトウェアハッシュ計算 IP 送信先パート 3(注1) SW: このレジスタは、ハッシュ計算を高速化するために使用されます	R/W

注 1. SW：IPv4 ハッシュ計算では、IP 宛先アドレスに設定する必要があります。

30.3.1.4.19 FWSHCR13 : ソフトウェアハッシュ計算要求レジスタ 13

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4074



ビット	シンボル	機能	R/W
15:0	SHCDP[15:0]	ソフトウェアハッシュ計算宛先ポート SW: これらのビットは、ハッシュ計算を高速化するために使用されます。	R/W
31:16	SHCSP[15:0]	ソフトウェアハッシュ計算送信元ポート SW: これらのビットは、ハッシュ計算を高速化するために使用されます。	R/W

30.3.1.4.20 FWSHCRR : ソフトウェアハッシュ計算要求結果レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4078

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SHC	—														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SHCR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SHCR[15:0]	ソフトウェアハッシュ計算結果 SW: これらのビットは、ハッシュ計算を高速化するために使用されます。	R
30:16	—	読むと 0 が読めます。	R
31	SHC	ソフトウェアハッシュ計算	R

SHC ビット（ソフトウェアハッシュ計算）

SW：このビットは、ハッシュ計算を高速化するために使用されます。

［1 になる条件］

HW：FWSHCR13 レジスタに書き込むと、このビットが設定されます。

［0 になる条件］

HW：このビットは、ハッシュ計算が完了するとデアサートされます。

30.3.1.5 レイヤ 3/4 転送／ルーティングハッシュ機能レジスタ

30.3.1.5.1 FWLTHHEC : L3 ハッシュエントリコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	LTHHMUE[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	LTHHMC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LTHHMC[7:0]	L3 ハッシュ最大衝突数 HW によるハッシュ検索が中止される最大衝突数	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24:16	LTHHMUE[8:0]	L3 ハッシュ非セキュアエントリ最大数 SW: テーブルに設定できる非セキュアエントリの最大数。	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.5.2 FWLTHHC : L3 ハッシュコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4094

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	LTHHE7～LTHHE0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LTHHE7～LTHHE0	L3 ハッシュ式 n (n = 0～7) ● ビット 0 が設定：L3 ハッシュ計算のために、ハッシュ関数においてハッシュ式 1 + x^9 がアクティベートされます。 ● ビット i (i≠0) が設定：L3 ハッシュ計算のために、ハッシュ関数においてハッシュ式 1 + x^{i+1} + x^9 がアクティベートされます。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

LTHHEn ビット (L3 ハッシュ式 n (n = 0～7))

HW：複数のハッシュ式がアクティブな場合、すべてのアクティブな式の結果に対して XOR 演算が実行されて、最終的なハッシュ ID が求められます。

30.3.1.5.3 FWLTHTL0 : L3 テーブル学習レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LTHSLL	—	—	—	—	—	LTHSLP0[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	LTHSLP0[2:0]	L3 ストリーム学習パート 0	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	LTHSLL	L3 セキュリティレベル学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	LTHED	L3 エントリ削除 0: L3 テーブルでセット済みのストリーム ID を学習／上書きする。 1: L3 テーブルでセット済みのストリーム ID を削除する。	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

LTHSLP0[2:0]ビット（L3 ストリーム学習パート 0）

L3 テーブル内のエントリの学習／上書きに使用されます。

ストリーム ID は、{FWLTHTL0. LTHSLP0, FWLTHTL1. LTHSLP1, FWLTHTL2. LTHSLP2, FWLTHTL3. LTHSLP3, FWLTHTL4. LTHSLP4}に対応します。

30.3.1.5.4 FWLTHTL1 : L3 テーブル学習レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40A4

Bit position:	31																												0
Bit field:	LTHSLP1[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	LTHSLP1[31:0]	L3 ストリーム学習パート 1	R/W

LTHSLP1[31:0]ビット（L3 ストリーム学習パート 1）

L3 テーブル内のエントリの学習／上書きに使用されます。

ストリーム ID は、{FWLTHTL0. LTHSLP0, FWLTHTL1. LTHSLP1, FWLTHTL2. LTHSLP2, FWLTHTL3. LTHSLP3, FWLTHTL4. LTHSLP4}に対応します。

30.3.1.5.5 FWLTHTL2 : L3 テーブル学習レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40A8

Bit position:	31																												0
Bit field:	LTHSLP2[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	LTHSLP2[31:0]	L3 ストリーム学習パート 2	R/W

LTHSLP2[31:0]ビット（L3 ストリーム学習パート 2）

L3 テーブル内のエントリの学習／上書きに使用されます。

ストリーム ID は、{FWLTHTL0. LTHSLP0, FWLTHTL1.LTHSLP1, FWLTHTL2.LTHSLP2, FWLTHTL3.LTHSLP3, FWLTHTL4.LTHSLP4}に対応します。

30.3.1.5.6 FWLTHTL3 : L3 テーブル学習レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40AC

Bit position:	31																												0
Bit field:	LTHSLP3[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	LTHSLP3[31:0]	L3 ストリーム学習パート 3	R/W

LTHSLP3[31:0]ビット（L3 ストリーム学習パート 3）

L3 テーブル内のエントリの学習／上書きに使用されます。

ストリーム ID は、{FWLTHTL0. LTHSLP0, FWLTHTL1. LTHSLP1, FWLTHTL2.LTHSLP2, FWLTHTL3.LTHSLP3, FWLTHTL4.LTHSLP4}に対応します。

30.3.1.5.7 FWLTHTL4 : L3 テーブル学習レジスタ 4

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40B0

Bit position:	31																												0
Bit field:	LTHSLP4[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	LTHSLP4[31:0]	L3 ストリーム学習パート 4	R/W

LTHSLP4[31:0]ビット（L3 ストリーム学習パート 4）

L3 テーブル内のエントリの学習／上書きに使用されます。

ストリーム ID は、{FWLTHTL0. LTHSLP0, FWLTHTL1. LTHSLP1, FWLTHTL2.LTHSLP2, FWLTHTL3.LTHSLP3, FWLTHTL4.LTHSLP4}に対応します。

30.3.1.5.8 FWLTHTL5 : L3 テーブル学習レジスタ 5

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40B4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	LTHMSDUVL	—	—	—	—	—	—	—	—	—	—	—	LTHMSDUNL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	LTHMSDUNL[3:0]	L3 MSDU 番号学習 SW: L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
30:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	LTHMSDUVL	L3 MSDU 有効学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W

30.3.1.5.9 FWLTHTL6 : L3 テーブル学習レジスタ 6

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40B8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	LTHMTRVL	—	—	—	—	—	—	—	—	—	—	LTHMTRNL[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTHFRERVL	—	—	—	—	—	—	—	—	LTHFRERNL[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	LTHFRERNL[6:0]	L3 FRER 番号学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
14:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	LTHFRERVL	L3 FRER 有効学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
20:16	LTHMTRNL[4:0]	L3 メーター番号学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
30:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	LTHMTRVL	L3 メーター有効学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W

30.3.1.5.10 FWLTHTL7 : L3 テーブル学習レジスタ 7

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40BC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHSLVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTHRVL	—	—	—	—	—	—	—	LTHRNL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LTHRNL[7:0]	L3 ルーティング番号学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
14:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	LTHRVL	L3 ルーティング有効学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
18:16	LTHSLVL[2:0]	L3 転送元ロックベクタ学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.5.11 FWLTHTL80 : L3 テーブル学習レジスタ 80

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40C0 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	LTHCSDL[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	LTHCSDL[5:0]	L3 CPU サブ転送先学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.5.12 FWLTHTL9 : L3 テーブル学習レジスタ 9

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	LTHCMEL	LTHEMEL	LTHIPUL	LTHIPVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHDVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	LTHDVL[2:0]	L3 転送先ベクタ学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	LTHIPVL[2:0]	L3 内部優先順位値学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
19	LTHIPUL	L3 内部優先順位更新学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
20	LTHEMEL	L3 イーサネットミラーリング有効学習 SW: L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
21	LTHCMEL	L3 CPU ミラーリング有効学習 L3 テーブル内のエントリの学習／上書きに使用されます。	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.5.13 FWLTHTLR : L3 テーブル学習結果レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40D4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	LTHTL	—	—	—	—	—	—	—	LTHLCN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	LTHLO	—	LTHLSF	LTHLF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LTHLF	L3 学習失敗 L3 テーブル内のエントリの学習／上書きに使用されます。 0: エントリ学習は失敗しなかった（(2) SW 学習を参照） 1: エントリ学習は失敗した（(2) SW 学習を参照）	R
1	LTHLSF	L3 学習セキュリティ失敗 L3 テーブル内のエントリの学習／上書きに使用されます。 0: エントリ学習は失敗しなかった（(2) SW 学習を参照） 1: エントリ学習は失敗した（(2) SW 学習を参照）	R
2	—	読むと 0 が読めます。	R
3	LTHLO	L3 学習上書き L3 テーブル内のエントリの学習／上書きに使用されます。 0: エントリ学習は既存のエントリを上書きしなかった 1: エントリ学習は既存のエントリを上書きした	R
15:4	—	読むと 0 が読めます。	R
23:16	LTHLCN[7:0]	L3 学習衝突数 L3 テーブル内のエントリの学習／上書きに使用されます。	R
30:24	—	読むと 0 が読めます。	R
31	LTHTL	L3 テーブル学習	R

LTHTL ビット（L3 テーブル学習）

L3 テーブル内のエントリの学習／上書きに使用されます。

[1 になる条件]

HW：FWLTHTL9 レジスタに書き込むと、このビットが設定されます。

[0 になる条件]

HW：このビットは、学習が完了するとデアサートされます。

30.3.1.5.14 FWLTHTIM : L3 テーブル初期化監視レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHTR	LTHTIOG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LTHTIOG	L3 テーブルの初期化を実行中	R/W
1	LTHTR	L3 テーブル準備完了	R
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

LTHTIOG ビット（L3 テーブルの初期化を実行中）

[1 になる条件]

SW：このビットに 1 を書き込んだとき。L3 テーブルの初期化を開始します。

[0 になる条件]

HW：L3 テーブルの初期化が終了すると本ビットはクリアされます。

LTHTR ビット（L3 テーブル準備完了）

[1 になる条件]

- HW：FWLTHTIM.LTHTIOG がクリアされたとき。
- HW：本ビットは、L3 テーブルの初期化開始から clk_period [ns] × 256 の時間で設定されます。

[0 になる条件]

SW：FWLTHTIM.LTHTIOG に 1 を書いたとき。

30.3.1.5.15 FWLTHTEM : L3 テーブルエントリ監視レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x40E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	LTHTUEN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LTHTEN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LTHTEN[8:0]	L3 テーブルエントリ番号	R

ビット	シンボル	機能	R/W
15:9	—	読むと 0 が読めます。	R
24:16	LTHTUEN[8:0]	L3 テーブル非セキュアエントリ番号	R
31:25	—	読むと 0 が読めます。	R

LTHTEN[8:0]ビット（L3 テーブルエントリ番号）

[インクリメント条件]

HW：エントリの学習に成功したとき。

[デクリメント条件]

HW：エントリの削除に成功したとき。

LTHTUEN[8:0]ビット（L3 テーブル非セキュアエントリ番号）

[インクリメント条件]

HW：非セキュアエントリの学習に成功したとき。

[デクリメント条件]

HW：非セキュアエントリの削除に成功したとき。

30.3.1.5.16 FWLTHTS0 : L3 テーブル検索レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHSSP0[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	LTHSSP0[2:0]	L3 ストリーム検索パート 0 L3 テーブル内のエントリの検索に使用されます。	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.5.17 FWLTHTS1 : L3 テーブル検索レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4104

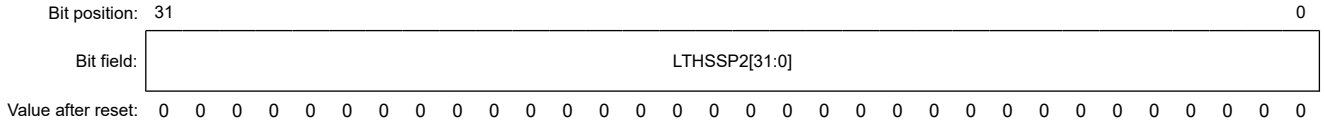
Bit position:	31	0
Bit field:	LTHSSP1[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	LTHSSP1[31:0]	L3 ストリーム検索パート 1 L3 テーブル内のエントリの検索に使用されます。	R/W

30.3.1.5.18 FWLTHTS2 : L3 テーブル検索レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4108

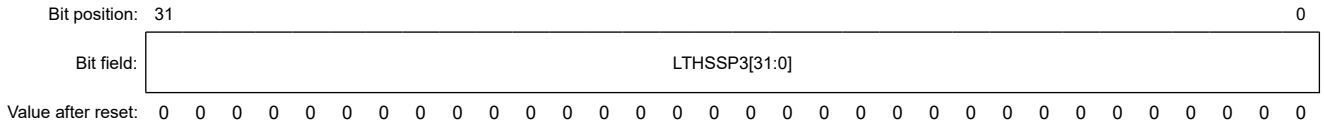


ビット	シンボル	機能	R/W
31:0	LTHSSP2[31:0]	L3 ストリーム検索パート 2 L3 テーブル内のエントリの検索に使用されます。	R/W

30.3.1.5.19 FWLTHTS3 : L3 テーブル検索レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x410C

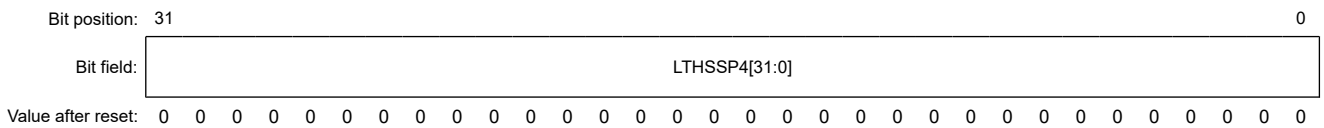


ビット	シンボル	機能	R/W
31:0	LTHSSP3[31:0]	L3 ストリーム検索パート 3 L3 テーブル内のエントリの検索に使用されます。	R/W

30.3.1.5.20 FWLTHTS4 : L3 テーブル検索レジスタ 4

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4110



ビット	シンボル	機能	R/W
31:0	LTHSSP4[31:0]	L3 ストリーム検索パート 4 L3 テーブル内のエントリの検索に使用されます。	R/W

30.3.1.5.21 FWLTHTSR0 : L3 テーブル検索結果レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4120

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	LTHTS	—	—	—	—	—	—	—	LTHSCN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LTHSLS	—	—	—	—	—	—	LTHSNF	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	LTHSNF	L3 検索で見つからない L3 テーブル内のエントリの検索に使用されます。 0: L3 テーブルでストリーム ID が見つかった 1: L3 テーブルでストリーム ID が見つからなかった	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	LTHSLS	L3 セキュリティレベル検索 L3 テーブル内のエントリの検索に使用されます。	R
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	LTHSCN[7:0]	L3 検索衝突数 L3 テーブル内のエントリの検索に使用されます。	R
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	LTHTS	L3 テーブル検索	R

LTHTS ビット（L3 テーブル検索）

L3 テーブル内のエントリの検索に使用されます。

[1 になる条件]

HW：FWLTHTS4 レジスタに書き込むとこのビットが設定されます。

[0 になる条件]

HW：このビットは、検索が完了するとデアサートされます。

30.3.1.5.22 FWLTHTSR1 : L3 テーブル検索結果レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4124

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	LTHMSDUVS	—	—	—	—	—	—	—	—	—	—	—	LTHMSDUNS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。	R
19:16	LTHMSDUNS[3:0]	L3 MSDU 番号検索 L3 テーブル内のエントリの検索に使用されます。	R
30:20	—	読むと 0 が読めます。	R
31	LTHMSDUVS	L3 MSDU 有効検索 L3 テーブル内のエントリの検索に使用されます。	R

30.3.1.5.23 FWLTHTSR2 : L3 テーブル検索結果レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4128

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	LTHMTRVS	—	—	—	—	—	—	—	—	—	—	LTHMTRNS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTHFRERVS	—	—	—	—	—	—	—	—	LTHFRERNS[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	LTHFRERNS[6:0]	L3 FRER 番号検索 L3 テーブル内のエントリの検索に使用されます。	R
14:7	—	読むと 0 が読めます。	R
15	LTHFRERVS	L3 FRER 有効検索 L3 テーブル内のエントリの検索に使用されます。	R
20:16	LTHMTRNS[4:0]	L3 メーター番号検索 L3 テーブル内のエントリの検索に使用されます。	R
30:21	—	読むと 0 が読めます。	R
31	LTHMTRVS	L3 メーター有効検索 L3 テーブル内のエントリの検索に使用されます。	R

30.3.1.5.24 FWLTHTSR3 : L3 テーブル検索結果レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x412C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHSLVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTHRVS	—	—	—	—	—	—	—	—	—	—	—	—	LTHRNS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	LTHRNS[2:0]	L3 ルーティング番号検索 L3 テーブル内のエントリの検索に使用されます。	R

ビット	シンボル	機能	R/W
14:3	—	読むと 0 が読めます。	R
15	LTHRVS	L3 ルーティング有効検索 L3 テーブル内のエントリの検索に使用されます。	R
18:16	LTHSLVS[2:0]	L3 転送元ロックベクタ検索 L3 テーブル内のエントリの検索に使用されます。	R
31:19	—	読むと 0 が読めます。	R

30.3.1.5.25 FWLTHTSR40 : L3 テーブル検索結果レジスタ 40

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4130 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	LTHCSDS[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	LTHCSDS[5:0]	L3 CPU サブ転送先検索 L3 テーブル内のエントリの検索に使用されます。	R
31:6	—	読むと 0 が読めます。	R

30.3.1.5.26 FWLTHTSR5 : L3 テーブル検索結果レジスタ 5

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4140

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	LTHCMES	LTHEMES	LTHIPUS	LTHIPVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHDVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	LTHDVS[2:0]	L3 転送先ベクタ検索 L3 テーブル内のエントリの検索に使用されます。	R
15:3	—	読むと 0 が読めます。	R
18:16	LTHIPVS[2:0]	L3 内部優先順位値検索 L3 テーブル内のエントリの検索に使用されます。	R
19	LTHIPUS	L3 内部優先順位更新検索 L3 テーブル内のエントリの検索に使用されます。	R
20	LTHEMES	L3 イーサネットミラーリング有効検索 L3 テーブル内のエントリの検索に使用されます。	R

ビット	シンボル	機能	R/W
21	LTHCMES	L3 CPU ミラーリング有効検索 L3 テーブル内のエントリの検索に使用されます。	R
31:22	—	読むと 0 が読めます。	R

30.3.1.5.27 FWLTHTR : L3 テーブル読み出しレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4150

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	LTHAR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LTHAR[7:0]	L3 アドレス読み出し L3 テーブル内のエントリの読み出しに使用されます。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.5.28 FWLTHTRR0 : L3 テーブル読み出し結果レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4154

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	LTHTR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHEVR	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	LTHEVR	L3 エントリ有効読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
30:2	—	読むと 0 が読めます。	R
31	LTHTR	L3 テーブル読み出し	R

LTHTR ビット（L3 テーブル読み出し）

L3 テーブル内のエントリの読み出しに使用されます。

[1 になる条件]

HW：FWLTHTR レジスタに書き込むと、このビットが設定されます。

[0 になる条件]

HW：このビットは、読み出しが完了するとデアサートされます。

30.3.1.5.29 FWLTHTRR1 : L3 テーブル読み出し結果レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4158

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LTHSLR	—	—	—	—	—	LTHSRP0[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	LTHSRP0[2:0]	L3 ストリーム読み出しパート 0 L3 テーブル内のエントリの読み出しに使用されます。	R
7:3	—	読むと 0 が読めます。	R
8	LTHSLR	L3 セキュリティレベル読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
31:9	—	読むと 0 が読めます。	R

30.3.1.5.30 FWLTHTRR2 : L3 テーブル読み出し結果レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x415C

Bit position:	31	0
Bit field:	LTHSRP1[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	LTHSRP1[31:0]	L3 ストリーム読み出しパート 1 L3 テーブル内のエントリの読み出しに使用されます。	R

30.3.1.5.31 FWLTHTRR3 : L3 テーブル読み出し結果レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4160

Bit position:	31	0
Bit field:	LTHSRP2[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	LTHSRP2[31:0]	L3 ストリーム読み出しパート 2 L3 テーブル内のエントリの読み出しに使用されます。	R

30.3.1.5.32 FWLTHTRR4 : L3 テーブル読み出し結果レジスタ 4

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4164

Bit position:	31																												0
Bit field:	LTHSRP3[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	LTHSRP3[31:0]	L3 ストリーム読み出しパート 3 L3 テーブル内のエントリの読み出しに使用されます。	R

30.3.1.5.33 FWLTHTRR5 : L3 テーブル読み出し結果レジスタ 5

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4168

Bit position:	31																												0
Bit field:	LTHSRP4[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	LTHSRP4[31:0]	L3 ストリーム読み出しパート 4 L3 テーブル内のエントリの読み出しに使用されます。	R

30.3.1.5.34 FWLTHTRR6 : L3 テーブル読み出し結果レジスタ 6

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x416C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	LTHMSDUVR	—	—	—	—	—	—	—	—	—	—	—	LTHMSDUNR[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。	R
19:16	LTHMSDUNR[3:0]	L3 MSDU 番号読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
30:20	—	読むと 0 が読めます。	R
31	LTHMSDUVR	L3 MSDU 有効読み出し L3 テーブル内のエントリの読み出しに使用されます。	R

30.3.1.5.35 FWLTHTRR7 : L3 テーブル読み出し結果レジスタ 7

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4170

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	LTHMTRVR	—	—	—	—	—	—	—	—	—	—	LTHMTRNR[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTHFRERVR	—	—	—	—	—	—	—	—	LTHFRERNR[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	LTHFRERNR[6:0]	L3 FRER 番号読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
14:7	—	読むと 0 が読めます。	R
15	LTHFRERVR	L3 FRER 有効読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
20:16	LTHMTRNR[4:0]	L3 メーター番号読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
30:21	—	読むと 0 が読めます。	R
31	LTHMTRVR	L3 メーター有効読み出し L3 テーブル内のエントリの読み出しに使用されます。	R

30.3.1.5.36 FWLTHTRR8 : L3 テーブル読み出し結果レジスタ 8

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4174

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHSLVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTHRVR	—	—	—	—	—	—	—	LTHRNR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LTHRNR[7:0]	L3 ルーティング番号読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
14:8	—	読むと 0 が読めます。	R
15	LTHRVR	L3 ルーティング有効読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
18:16	LTHSLVR[2:0]	L3 転送元ロックベクタ読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
31:19	—	読むと 0 が読めます。	R

30.3.1.5.37 FWLTHTRR90 : L3 テーブル読み出し結果レジスタ 90

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	LTHCSDR[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	LTHCSDR[5:0]	L3 CPU サブ転送先読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
31:6	—	読むと 0 が読めます。	R

30.3.1.5.38 FWLTHTRR10 : L3 テーブル読み出し結果レジスタ 10

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4190

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	LTHCMER	LTHEMER	LTHIPUR	LTHIPVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LTHDVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	LTHDVR[2:0]	L3 転送先ベクタ読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
15:3	—	読むと 0 が読めます。	R
18:16	LTHIPVR[2:0]	L3 内部優先順位値読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
19	LTHIPUR	L3 内部優先順位更新読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
20	LTHEMER	L3 イーサネットミラーリング有効読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
21	LTHCMER	L3 CPU ミラーリング有効読み出し L3 テーブル内のエントリの読み出しに使用されます。	R
31:22	—	読むと 0 が読めます。	R

30.3.1.6 レイヤ 2 転送機能レジスタ

30.3.1.6.1 FWMACHEC : MAC ハッシュエントリコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4620

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	MACHMUE[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MACHMC[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	MACHMC[10:0]	MAC ハッシュ最大衝突数 HW によるハッシュ検索が中止される最大衝突数	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	MACHMUE[11:0]	MAC ハッシュ非セキュアエントリ最大数 SW: テーブルに設定できる非セキュアエントリの最大数。	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.2 FWMACHC : MAC ハッシュコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4624

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MACHE10～MACHE0										
Value after reset:	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
10:0	MACHE10～ MACHE0	MAC ハッシュ式 n (n = 0～10) • ビット 0 が設定：MAC ハッシュ計算のために、ハッシュ関数でハッシュ式 $1 + x^{12}$ が有効になります。 • ビット i (i≠0) が設定：MAC ハッシュ計算のために、ハッシュ関数でハッシュ式 $1 + x^{i+1} + x^{12}$ が有効になります。	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

MACHEn ビット (MAC ハッシュ式 n (n = 0～10))

HW：複数のハッシュ式がアクティブな場合、すべてのアクティブな式の結果に対して XOR 演算が実行されて、最終的なハッシュ ID が求められます。

30.3.1.6.3 FWMACTL0 : MAC テーブル学習レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4630

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MACED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MACHLDL	MACDEL	MACSLL	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	MACSLL	MAC セキュリティレベル学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
9	MACDEL	MAC ダイナミックエントリ学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
10	MACHLDL	MAC ハードウェア学習無効学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	MACED	MAC エントリ削除 0: MAC テーブル内に設定された MAC アドレスを学習／上書きする 1: MAC テーブル内に設定された MAC アドレスを削除する	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.4 FWMACTL1 : MAC テーブル学習レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4634

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MACMALP0[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MACMALP0[15:0]	MAC の MAC アドレス学習パート 0 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.5 FWMACTL2 : MAC テーブル学習レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4638

Bit position:	31																												0
Bit field:	MACMALP1[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	MACMALP1[31:0]	MAC の MAC アドレス学習パート 1 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W

30.3.1.6.6 FWMACTL3 : MAC テーブル学習レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x463C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MACDSLVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MACSSLVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MACSSLVL[2:0]	MAC 転送元転送元ロックベクタ学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	MACDSLVL[2:0]	MAC 転送先転送元ロックベクタ学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.7 FWMACTL40 : MAC テーブル学習レジスタ 40

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4640 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	MACCSDL[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	MACCSDL[5:0]	MAC CPU サブ転送先学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.8 FWMACTL5 : MAC テーブル学習レジスタ 5

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4650

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MACCMEL	MACEMEL	MACIPUL	MACIPVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MACDVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MACDVL[2:0]	MAC 転送先ベクタ学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	MACIPVL[2:0]	MAC 内部優先順位値学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
19	MACIPUL	MAC 内部優先順位更新学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
20	MACEMEL	MAC イーサネットミラーリング有効学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
21	MACCMEL	MAC CPU ミラーリング有効学習 MAC テーブル内のエントリの学習／上書きに使用されます。	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.9 FWMACTLR : MAC テーブル学習結果レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4654

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MACTL	—	—	—	—	MACLCN[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MACLO	—	MACLSF	MACLF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MACLF	MAC 学習失敗 MAC テーブル内のエントリの学習／上書きに使用されます。 0: エントリ学習は失敗しなかった（(2) SW 学習を参照） 1: エントリ学習は失敗した（(2) SW 学習を参照してください。）	R
1	MACLSF	MAC 学習セキュリティ失敗 0: エントリ学習はセキュリティエラーのために失敗しなかった（(2) SW 学習を参照） 1: エントリ学習はセキュリティエラーのために失敗した（(2) SW 学習を参照してください。）	R
2	—	読むと 0 が読めます。	R
3	MACLO	MAC 学習上書き MAC テーブル内のエントリの学習／上書きに使用されます。 0: エントリ学習は既存のエントリを上書きしなかった 1: エントリ学習は既存のエントリを上書きした	R
15:4	—	読むと 0 が読めます。	R
26:16	MACLCN[10:0]	MAC 学習衝突数 MAC テーブル内のエントリの学習／上書きに使用されます。	R
30:27	—	読むと 0 が読めます。	R
31	MACTL	MAC テーブル学習	R

MACTL ビット（MAC テーブル学習）

MAC テーブル内のエントリの学習／上書きに使用されます。

[1 になる条件]

HW：FWMACTL5 レジスタに書き込むとこのビットが設定されます。

[0 になる条件]

HW：このビットは、学習が完了するとデアサートされます。

30.3.1.6.10 FWMACTIM : MAC テーブル初期化監視レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4660

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MACTR	MACTIOG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MACTIOG	MAC テーブル初期化実行中	R/W
1	MACTR	MAC テーブル準備完了	R
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

MACTIOG ビット（MAC テーブル初期化実行中）

[1 になる条件]

SW：このビットに 1 を書き込んだとき。MAC テーブルの初期化を開始します。

[0 になる条件]

HW：MAC テーブルの初期化が終了すると、このビットはクリアされます。

MACTR ビット（MAC テーブル準備完了）

[1 になる条件]

- HW：FWMACTIM.MACTIOG がクリアされたとき。
- HW：本ビットは、MAC テーブルの初期化開始から clk_period [ns] × 2048 の時間で設定されます。

[0 になる条件]

SW：FWMACTIM.MACTIOG に 1 を書き込んだとき。

30.3.1.6.11 FWMACTEM : MAC テーブルエントリ監視レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4664

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	MACTUEN[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MACTEN[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	MACTEN[11:0]	MAC テーブルエントリ番号	R
15:12	—	読むと 0 が読めます。	R
27:16	MACTUEN[11:0]	MAC テーブル非セキュアエントリ番号	R
31:28	—	読むと 0 が読めます。	R

MACTEN[11:0]ビット（MAC テーブルエントリ番号）

[インクリメント条件]

HW：エントリの学習に成功したとき。

[デクリメント条件]

HW：エントリの削除に成功したとき。

MACTUEN[11:0]ビット（MAC テーブル非セキュアエントリ番号）

[インクリメント条件]

HW：非セキュアエントリの学習に成功したとき。

[デクリメント条件]

HW：非セキュアエントリの削除に成功したとき。

30.3.1.6.12 FWMACTS0 : MAC テーブル検索レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4670

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MACMASP0[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MACMASP0[15:0]	MAC の MAC アドレス検索パート 0 MAC テーブル内のエントリの検索に使用されます。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.13 FWMACTS1 : MAC テーブル検索レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4674

Bit position:	31	0
Bit field:	MACMASP1[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	MACMASP1[31:0]	MAC MAC アドレス検索パート 1 MAC テーブル内のエントリの検索に使用されます。	R/W

30.3.1.6.14 FWMACTSR0 : MAC テーブル検索結果レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4678

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MACTS	—	—	—	—	MACSCN[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MACHLDS	MACDES	MACSLS	—	—	—	—	—	—	MACSNF	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
1	MACSNF	MAC 検索で未検出 MAC テーブル内のエントリの検索に使用されます。 0: MAC テーブルで MAC アドレスが見つかった 1: MAC テーブルで MAC アドレスが見つからなかった	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	MACSLS	MAC セキュリティレベル検索 MAC テーブル内のエントリの検索に使用されます。	R
9	MACDES	MAC ダイナミックエントリ検索 MAC テーブル内のエントリの検索に使用されます。	R
10	MACHLDS	MAC ハードウェア学習無効検索 MAC テーブル内のエントリの検索に使用されます。	R
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:16	MACSCN[10:0]	MAC 検索衝突数 MAC テーブル内のエントリの検索に使用されます。	R
30:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	MACTS	MAC テーブル検索	R

MACTS ビット（MAC テーブル検索）

MAC テーブル内のエントリの検索に使用されます。

[1 になる条件]

HW：FWMACTS1 レジスタに書き込むとこのビットが設定されます。

[0 になる条件]

HW：このビットは、検索が完了するとデアサートされます。

30.3.1.6.15 FWMACTSR1 : MAC テーブル検索結果レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x467C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MACDSLVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MACSSLVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MACSSLVS[2:0]	MAC 転送元転送元ロックベクタ検索 MAC テーブル内のエントリの検索に使用されます。	R
15:3	—	読むと 0 が読めます。	R
18:16	MACDSLVS[2:0]	MAC 転送先転送元ロックベクタ検索 MAC テーブル内のエントリの検索に使用されます。	R
31:19	—	読むと 0 が読めます。	R

30.3.1.6.16 FWMACTSR20 : MAC テーブル検索結果レジスタ 20

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4680 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	MACCSDS[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	MACCSDS[5:0]	MAC CPU サブ転送先検索 MAC テーブル内のエントリの検索に使用されます。	R
31:6	—	読むと 0 が読めます。	R

30.3.1.6.17 FWMACTSR3 : MAC テーブル検索結果レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4690

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MACCMES	MACEMES	MACIPUS	MACIPVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MACDVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MACDVS[2:0]	MAC 転送先ベクタ検索 MAC テーブル内のエントリの検索に使用されます。	R
15:3	—	読むと 0 が読めます。	R
18:16	MACIPVS[2:0]	MAC 内部優先順位値検索 MAC テーブル内のエントリの検索に使用されます。	R
19	MACIPUS	MAC 内部優先順位更新検索 MAC テーブル内のエントリの検索に使用されます。	R
20	MACEMES	MAC イーサネットミラーリング有効検索 MAC テーブル内のエントリの検索に使用されます。	R
21	MACCMES	MAC CPU ミラーリング有効検索 MAC テーブル内のエントリの検索に使用されます。	R
31:22	—	読むと 0 が読めます。	R

30.3.1.6.18 FWMACTR : MAC テーブル読み出しレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x46A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MACAR[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	MACAR[10:0]	MAC アドレス読み出し MAC テーブル内のエントリの読み出しに使用されます	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.19 FWMACTRR0 : MAC テーブル読み出し結果レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x46A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MACTR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MACEVR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MACEVR	MAC エントリ有効読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
30:1	—	読むと 0 が読めます。	R
31	MACTR	MAC テーブル読み出し MAC テーブル内のエントリの読み出しに使用されます。	R

MACTR ビット（MAC テーブル読み出し）

[1 になる条件]

HW：FWMACTR レジスタに書き込むと、このビットが設定されます。

[0 になる条件]

HW：このビットは、読み出しが完了するとデアサートされます。

30.3.1.6.20 FWMACTRR1 : MAC テーブル読み出し結果レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x46A8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MACABR	MACHLDR	MACDER	MACSLR	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。	R
8	MACSLR	MAC セキュリティレベル読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
9	MACDER	MAC 動的エントリ読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
10	MACHLDR	MAC ハードウェア学習無効読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
11	MACABR	MAC エージングビット読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
31:12	—	読むと 0 が読めます。	R

30.3.1.6.21 FWMACTRR2 : MAC テーブル読み出し結果レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x46AC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MACMARP0[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MACMARP0[15:0]	MAC の MAC アドレス読み出しパート 0 MAC テーブル内のエントリの読み出しに使用されます。	R
31:16	—	読むと 0 が読めます。	R

30.3.1.6.22 FWMACTRR3 : MAC テーブル読み出し結果レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x46B0

Bit position:	31																												0
Bit field:	MACMARP1[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	MACMARP1[31:0]	MAC MAC アドレス読み出しパート 1 MAC テーブル内のエントリの読み出しに使用されます。	R

30.3.1.6.23 FWMACTRR4 : MAC テーブル読み出し結果レジスタ 4

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x46B4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MACDSLVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MACSSLVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MACSSLVR[2:0]	MAC 転送元転送元ロックベクタ読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
15:3	—	読むと 0 が読めます。	R
18:16	MACDSLVR[2:0]	MAC 転送先転送元ロックベクタ読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
31:19	—	読むと 0 が読めます。	R

30.3.1.6.24 FWMACTRR50 : MAC テーブル読み出し結果レジスタ 50

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x46C0 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	MACCSDR[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	MACCSDR[5:0]	MAC CPU サブ転送先読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
31:6	—	読むと 0 が読めます。	R

30.3.1.6.25 FWMACTRR6 : MAC テーブル読み出し結果レジスタ 6

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x46D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MACCMER	MACEMER	MACIPUR	MACIPVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MACDVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MACDVR[2:0]	MAC 転送先ベクタ読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
15:3	—	読むと 0 が読めます。	R
18:16	MACIPVR[2:0]	MAC 内部優先順位値読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
19	MACIPUR	MAC 内部優先順位更新読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
20	MACEMER	MAC イーサネットミラーリング有効読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
21	MACCMER	MAC CPU ミラーリング有効読み出し MAC テーブル内のエントリの読み出しに使用されます。	R
31:22	—	読むと 0 が読めます。	R

30.3.1.6.26 FWMACAGUSPC : MAC エージング US プリスケーラコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4880

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MACAGUSP[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	MACAGUSP[9:0](注1)	MAC エージング US プリスケーラ エージングの 1 Hz クロックを導出するため、1 MHz でのエージングの内部クロック作成に使用されます。	R/W

ビット	シンボル	機能	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：これらのビットは、1 µs に含まれるクロック (clk) 数に設定してください。

30.3.1.6.27 FWMACAGC : MAC エージングコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4884

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	MACDESOG	MACAGOG	—	—	—	MACDES	—	—	—	—	—	MACAGPM	MACAGSL	MACAGE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MACAGT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MACAGT[15:0]	MAC エージング時間 MFWD が 2 つの MAC アドレスエージングの間で待機する時間（秒単位）を定義します。	R/W
16	MACAGE	MAC エージング有効 0: MAC エージングは無効 1: MAC エージングは有効であり、FWMACAGC.MACAGT 秒ごとに発生する	R/W
17	MACAGSL	MAC エージングセキュリティレベル 0: 非セキュアエントリのみをエージング (MAC.SL == 0) 1: すべてのエントリをエージング	R/W
18	MACAGPM	MAC エージングポーリングモード 設定された場合、ソフトウェアはすべての MAC アドレスのエージングによる抑制をチェックできます。 0: MAC エージングポーリングモードは無効 1: MAC エージングポーリングモードは有効	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	MACDES(注1)	MAC 動的エントリ抑制 このビットに 1 を書き込むと、動的エントリ抑制を開始します。	R
27:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	MACAGOG	MAC エージング進行中 0: MAC エージングは進行中ではない 1: MAC エージングは進行中	R
29	MACDESOG	MAC 動的エントリ抑制進行中 0: MAC 動的エントリ抑制は進行中ではない 1: MAC 動的エントリ抑制は進行中	R
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 動的エントリの抑制は、エージングが無効（FWMACAGC.MACAGE が設定されていない）ときにのみ発生します。

30.3.1.6.28 FWMACAGM0 : MAC エージング監視レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4888

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	AGMACAP0[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	AGMACAP0[15:0]	エージング MAC アドレスパート 0 最新のエージングエントリの MAC アドレスパート 0 を示します。	R
31:16	—	読むと 0 が読めます。	R

30.3.1.6.29 FWMACAGM1 : MAC エージング監視レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x488C

Bit position:	31																													0
Bit field:	AGMACAP1[31:0]																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	AGMACAP1[31:0]	エージング MAC アドレスパート 1 最新のエージングエントリの MAC アドレスパート 1 を示します。	R

30.3.1.6.30 FWVLANTEC : VLAN テーブルエントリコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4900

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	VLANTMUE[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:16	VLANTMUE[12:0]	VLAN テーブル最大非セキュアエントリ SW：テーブルに設定できる非セキュアエントリの最大数	R/W

ビット	シンボル	機能	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.31 FWVLANTL0 : VLAN テーブル学習レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4910

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLANED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VLANHLDL	—	VLANSLL	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	VLANSLL	VLAN セキュリティレベル学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	VLANHLDL	VLAN ハードウェア学習無効学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	VLANED	VLAN エントリ削除 VLAN テーブル内のエントリの学習／上書きに使用されます。 0: VLAN テーブル内で設定した VLAN アドレスを学習／上書きする。 1: VLAN テーブル内で設定した VLAN アドレスを削除する。	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.32 FWVLANTL1 : VLAN テーブル学習レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4914

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	VLANVIDL[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	VLANVIDL[11:0]	VLAN VID 学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.33 FWVLANTL2 : VLAN テーブル学習レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4918

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	VLANSLVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	VLANSLVL[2:0]	VLAN 転送元ロックベクタ学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.34 FWVLANTL30 : VLAN テーブル学習レジスタ 30

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4920 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	VLANCSDL[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	VLANCSDL[5:0]	VLAN CPU サブ転送先学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.35 FWVLANTL4 : VLAN テーブル学習レジスタ 4

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4930

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	VLAN CMEL	VLAN EMEL	VLANI PUL	VLANIPVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	VLANDVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	VLANDVL[2:0]	VLAN 転送先ベクタ学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	VLANIPVL[2:0]	VLAN 内部優先順位値学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
19	VLANIPUL	VLAN 内部優先順位更新学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
20	VLANEMEL	VLAN イーサネットミラーリング有効学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
21	VLANCMEL	VLAN CPU ミラーリング有効学習 VLAN テーブル内のエントリの学習／上書きに使用されます。	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.36 FWVLANTLR : VLAN テーブル学習結果レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4934

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	VLANTL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	VLANLO	—	VLANLSF	VLANLF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VLANLF	VLAN 学習失敗 VLAN テーブル内のエントリの学習／上書きに使用されます。 0: エントリ学習は失敗しなかった（(2) SW 学習を参照） 1: エントリ学習は失敗した（(2) SW 学習を参照）	R
1	VLANLSF	VLAN 学習セキュリティ失敗 VLAN テーブル内のエントリの学習／上書きに使用されます。 0: エントリ学習はセキュリティエラーのために失敗しなかった（(2) SW 学習を参照） 1: エントリ学習はセキュリティエラーのために失敗した（(2) SW 学習を参照）	R
2	—	読むと 0 が読めます。	R
3	VLANLO	VLAN 学習上書き VLAN テーブル内のエントリの学習／上書きに使用されます。 0: エントリ学習は既存のエントリを上書きしなかった 1: エントリ学習は既存のエントリを上書きした	R
30:4	—	読むと 0 が読めます。	R
31	VLANTL	VLAN テーブル学習	R

VLANTL ビット（VLAN テーブル学習）

VLAN テーブル内のエントリの学習／上書きに使用されます。

[1 になる条件]

HW：FWVLANTL4 レジスタに書き込むと、このビットが設定されます。

[0 になる条件]

HW：このビットは、学習が完了するとデアサートされます。

30.3.1.6.37 FWVLANTIM : VLAN テーブル初期化監視レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4940

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLANTR	VLANTIOG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VLANTIOG	VLAN テーブルの初期化を実行中	R/W(注1)
1	VLANTR	VLAN テーブル準備完了	R
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

VLANTIOG ビット（VLAN テーブルの初期化を実行中）

[1 になる条件]

SW：このビットに 1 を書き込んだとき。VLAN テーブルの初期化を開始します。

[0 になる条件]

HW：VLAN テーブルの初期化が終了すると本ビットはクリアされます。

VLANTR ビット（VLAN テーブル準備完了）

[1 になる条件]

HW：FWVLANTIM.VLANTIOG がクリアされたとき。

HW：本ビットは、VLAN テーブルの初期化開始から clk_period[ns] × 4096 の時間で設定されます。

[0 になる条件]

SW：FWVLANTIM.VLANTIOG に 1 を書いたとき。

30.3.1.6.38 FWVLANTEM : VLAN テーブルエントリ監視レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4944

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	VLANTUEN[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	VLANTEN[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	VLANTEN[12:0]	VLAN テーブルエントリ番号	R

ビット	シンボル	機能	R/W
15:13	—	読むと 0 が読めます。	R
28:16	VLANTUEN[12:0]	VLAN テーブル非セキュアエントリ番号	R
31:29	—	読むと 0 が読めます。	R

VLANTEN[12:0]ビット（VLAN テーブルエントリ番号）

[インクリメント条件]

HW：非セキュアエントリの学習に成功したとき。

[デクリメント条件]

HW：非セキュアエントリの削除に成功したとき。

VLANTUEN[12:0]ビット（VLAN テーブル非セキュアエントリ番号）

[インクリメント条件]

HW：エントリの学習に成功したとき。

[デクリメント条件]

HW：エントリの削除に成功したとき。

30.3.1.6.39 FWVLANTS : VLAN テーブル検索レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4950

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	VLANVIDS[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	VLANVIDS[11:0]	VLAN VID 検索 VLAN テーブル内のエントリの検索に使用されます。	R/W
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.6.40 FWVLANTSR0 : VLAN テーブル検索結果レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4954

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	VLAN TS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VLAN HLDS	—	VLAN SLS	—	—	—	—	—	—	VLAN SNF	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	VLANSNF	VLAN 検索で未検出 VLAN テーブル内のエントリの検索に使用されます。 0: VLAN テーブル内に VLAN が見つかった 1: VLAN テーブル内に VLAN が見つからなかった	R
7:2	—	読むと 0 が読めます。	R
8	VLANSLS	VLAN セキュリティレベル検索 VLAN テーブル内のエントリの検索に使用されます。	R
9	—	読むと 0 が読めます。	R
10	VLANHLDS	VLAN ハードウェア学習無効検索 VLAN テーブル内のエントリの検索に使用されます。	R
30:11	—	読むと 0 が読めます。	R
31	VLANTS	VLAN テーブル検索	R

VLANTS ビット（VLAN テーブル検索）

VLAN テーブル内のエントリの検索に使用されます。

[1 になる条件]

HW：FWVLANTS レジスタに書き込むと、このビットが設定されます。

[0 になる条件]

HW：このビットは、検索が完了するとデアサートされます。

30.3.1.6.41 FWVLANTSR1 : VLAN テーブル検索結果レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4958

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	VLANSLVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	VLANSLVS[2:0]	VLAN 転送元ロックベクタ検索 VLAN テーブル内のエントリの検索に使用されます。	R
31:3	—	読むと 0 が読めます。	R

30.3.1.6.42 FWVLANTSR20 : VLAN テーブル検索結果レジスタ 20

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4960 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	VLANCSDS[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	VLANCSDS[5:0]	VLAN CPU サブ転送先検索 VLAN テーブル内のエントリの検索に使用されます。	R
31:6	—	読むと 0 が読めます。	R

30.3.1.6.43 FWVLANTSR3 : VLAN テーブル検索結果レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4970

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	VLAN CMES	VLAN EMES	VLANI PUS	VLANIPVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	VLANDVS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	VLANDVS[2:0]	VLAN 転送先ベクタ検索 VLAN テーブル内のエントリの検索に使用されます。	R
15:3	—	読むと 0 が読めます。	R
18:16	VLANIPVS[2:0]	VLAN 内部優先順位値検索 VLAN テーブル内のエントリの検索に使用されます。	R
19	VLANIPUS	VLAN 内部優先順位更新検索 VLAN テーブル内のエントリの検索に使用されます。	R
20	VLANEMES	VLAN イーサネットミラーリング有効検索 VLAN テーブル内のエントリの検索に使用されます。	R
21	VLANCMES	VLAN CPU ミラーリング有効検索 VLAN テーブル内のエントリの検索に使用されます。	R
31:22	—	読むと 0 が読めます。	R

30.3.1.7 ポートベースの転送機能レジスタ

30.3.1.7.1 FWPBFCi : ポート i ポートベースの転送コンフィグレーションレジスタ (i = 0 ～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4A00 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	FAIFP	IP6PDE	IP4PDM	IP4PDE	PBSL	PBCME	PBEME	PBIPU	PBIPV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PBDV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	PBDV[2:0]	ポートベースの転送先ベクタ ポート i のポートベース転送の転送先ベクタ	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	PBIPV[2:0]	ポートベースの内部優先順位値 ポート i のポートベース転送の内部優先順位値	R/W
19	PBIPU	ポートベースの内部優先順位更新 ポート i のフレーム優先順位から内部優先順位への更新値 (FWPBFCi.PBIPV) を有効にします。	R/W
20	PBEME	ポートベースのイーサネットミラーリング有効 ポート i のイーサネットミラーリングを有効にします。	R/W
21	PBCME	ポートベースの CPU ミラーリング有効 ポート i の CPU ミラーリングを有効にします。	R/W
22	PBSL	ポートベースのセキュリティレベル ポート i のディスクリプタのセキュリティレベルを設定します。	R/W
23	IP4PDE	IPv4 優先順位デコード有効 0: ポート i の場合、入力フレームの優先順位はポート i の VLAN タグから取得 1: ポート i の場合、IPv4 フレームが検出されると、入力フレームの優先順位は優先順位 ToS から取得。それ以外の場合、入力フレームの優先順位は VLAN タグから取得	R/W
24	IP4PDM	IPv4 優先順位デコードモード 0: ポート i の場合､入力フレームの優先順位は ToS 内の優先順位フィールドから取得 1: ポート i の場合、入力フレームの優先順位は ToS 内の DSCP フィールドからデコード	R/W
25	IP6PDE	IPv6 優先順位デコード有効 0: ポート i の場合、入力フレームの優先順位は VLAN タグから取得 1: ポート i の場合、IPv6 フレームが検出されると、入力フレームの優先順位は ToS 内の DSCP フィールドからデコード。それ以外の場合、入力フレームの優先順位は VLAN タグから取得	R/W
26	FAIFP	全入力フレームの優先順位の強制有効 0: ポート i の場合、入力フレームの優先順位はフレームデコードによって決定 1: ポート i の場合、入力フレームの優先順位は FWPBFCi.PBIPV に強制	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.7.2 FWPBFCSDCi0 : ポート i ポートベースの転送 CSD コンフィグレーションレジスタ 0 (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4A04 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	PBCSD[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	PBCSD[5:0]	ポートベース CPU サブ転送先 ポート i のポートベース転送の CPU サブ転送先 GWCAj [GWCA]	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.8 レイヤ 2／レイヤ 3 更新機能レジスタ

30.3.1.8.1 FWL23URL0 : レイヤ 2／レイヤ 3 更新ルール学習レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	L23URPVL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	L23URNL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	L23URNL[7:0]	レイヤ 2／レイヤ 3 更新ルーティング番号学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	L23URPVL[2:0]	レイヤ 2／レイヤ 3 更新ルーティングポート有効学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.8.2 FWL23URL1 : レイヤ 2／レイヤ 3 更新ルール学習レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	L23URTUL[1:0]		L23USDEIUL	L23USPCPUL	L23USVIDUL	L23UCDEIUL	L23UCPCPUL	L23UCVIDUL	L23UMSAUL	L23UMDAUL	L23UTTLUL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	L23UMDALP0[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	L23UMDALP0[15:0]	レイヤ 2／レイヤ 3 更新 MAC 宛先アドレス学習パート 0 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
16	L23UTTLUL	レイヤ 2／レイヤ 3 更新生存時間更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
17	L23UMDAUL	レイヤ 2／レイヤ 3 更新 MAC 宛先アドレス更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
18	L23UMSAUL	レイヤ 2／レイヤ 3 更新 MAC 送信元アドレス更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
19	L23UCVIDUL	レイヤ 2／レイヤ 3 更新 C-TAG VID 更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
20	L23UCPCPUL	レイヤ 2／レイヤ 3 更新 C-TAG PCP 更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
21	L23UCDEIUL	レイヤ 2／レイヤ 3 更新 C-TAG DEI 更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
22	L23USVIDUL	レイヤ 2／レイヤ 3 更新 S-TAG VID 更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
23	L23USPCPUL	レイヤ 2／レイヤ 3 更新 S-TAG PCP 更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
24	L23USDEIUL	レイヤ 2／レイヤ 3 更新 S-TAG DEI 更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
26:25	L23URTUL[1:0]	レイヤ 2／レイヤ 3 更新 R-TAG 更新学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.8.3 FWL23URL2 : レイヤ 2／レイヤ 3 更新ルールレジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E08

Bit position:	31	0
Bit field:	L23UMDALP1[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	L23UMDALP1[31:0]	レイヤ 2／レイヤ 3 更新 MAC 宛先アドレス学習パート 1 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W

30.3.1.8.4 FWL23URL3 : レイヤ 2／レイヤ 3 更新ルール学習レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	L23USDEIL	L23USPCPL[2:0]			L23USVIDL[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	L23UCDEIL	L23UCPCPL[2:0]			L23UCVIDL[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	L23UCVIDL[11:0]	レイヤ 2／レイヤ 3 更新 C-TAG VID 学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
14:12	L23UCPCPL[2:0]	レイヤ 2／レイヤ 3 更新 C-TAG PCP 学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
15	L23UCDEIL	レイヤ 2／レイヤ 3 更新 C-TAG DEI 学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
27:16	L23USVIDL[11:0]	レイヤ 2／レイヤ 3 更新 S-TAG VID 学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
30:28	L23USPCPL[2:0]	レイヤ 2／レイヤ 3 更新 S-TAG PCP 学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W
31	L23USDEIL	レイヤ 2／レイヤ 3 更新 S-TAG DEI 学習 レイヤ 2／レイヤ 3 更新ルールの学習に使用されます	R/W

30.3.1.8.5 FWL23URLR : レイヤ 2／レイヤ 3 更新ルール学習結果レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	L23URL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	L23ULF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	L23ULF	レイヤ 2／レイヤ 3 更新学習失敗 0: レイヤ 2／レイヤ 3 テーブルの準備ができていたため、エントリ学習は失敗しなかった 1: レイヤ 2／レイヤ 3 テーブルの準備ができていなかったため、エントリ学習は失敗した	R
30:1	—	読むと 0 が読めます。	R
31	L23URL	レイヤ 2／レイヤ 3 更新ルール学習	R

L23URL ビット（レイヤ 2／レイヤ 3 更新ルール学習）

[1 になる条件]

HW：FWL23URL3 レジスタに書き込むと、このビットが設定されます。

［0 になる条件］

HW：このビットは、学習が完了するとデアサートされます。

30.3.1.8.6 FWL23UTIM：レイヤ 2／レイヤ 3 更新テーブル初期化監視レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	L23UTR	L23UTIOG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	L23UTIOG	レイヤ 2／レイヤ 3 更新テーブル初期化実行中	R/W(注1)
1	L23UTR	レイヤ 2／レイヤ 3 更新テーブル準備完了	R
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

L23UTIOG ビット（レイヤ 2／レイヤ 3 更新テーブル初期化実行中）

［1 になる条件］

SW：このビットに 1 を書き込んだとき。レイヤ 2／レイヤ 3 更新テーブル初期化を開始します。

［0 になる条件］

HW：レイヤ 2／レイヤ 3 更新テーブル初期化が終了すると本ビットはクリアされます。

L23UTR ビット（レイヤ 2／レイヤ 3 更新テーブル準備完了）

［1 になる条件］

- HW：FWL23UTIM.L23UTIOG がクリアされたとき。
- HW：このビットは、L23 更新テーブルの初期化開始から clk_period [ns] × 256 の時間で設定されます。

［0 になる条件］

SW：FWL23UTIM.L23UTIOG に 1 を書いたとき。

30.3.1.8.7 FWL23URR : レイヤ 2／レイヤ 3 更新ルール読み出しレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	L23RNR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	L23RNR[7:0]	レイヤ 2／レイヤ 3 ルーティング番号読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.8.8 FWL23URRR0 : レイヤ 2／レイヤ 3 更新ルール読み出し結果レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	L23URR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	L23URPVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	L23URPVR[2:0]	レイヤ 2／レイヤ 3 更新ルーティングポート有効読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
30:3	—	読むと 0 が読めます。	R
31	L23URR	レイヤ 2／レイヤ 3 更新ルール読み出し	R

L23URR ビット（レイヤ 2／レイヤ 3 更新ルール読み出し）

[1 になる条件]

HW：FWL23URR レジスタに書き込むと、このビットが設定されます。

[0 になる条件]

HW：このビットは、読み出しが完了するとデアサートされます。

30.3.1.8.9 FWL23URRR1：レイヤ 2／レイヤ 3 更新ルール読み出し結果レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	L23URTUR[1:0]		L23USDEIUR	L23USPCPUR	L23USVIDUR	L23UCDEIUR	L23UCPCPUR	L23UCVIDUR	L23UMSAUR	L23UMDAUR	L23UTTLUR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	L23UMDARP0[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	L23UMDARP0[15:0]	レイヤ 2／レイヤ 3 MAC 宛先アドレス読み出しパート 0 レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
16	L23UTTLUR	レイヤ 2／レイヤ 3 生存時間更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
17	L23UMDAUR	レイヤ 2／レイヤ 3 MAC 宛先アドレス更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
18	L23UMSAUR	レイヤ 2／レイヤ 3 MAC 送信元アドレス更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
19	L23UCVIDUR	レイヤ 2／レイヤ 3 C-TAG VID 更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
20	L23UCPCPUR	レイヤ 2／レイヤ 3 C-TAG PCP 更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
21	L23UCDEIUR	レイヤ 2／レイヤ 3 C-TAG DEI 更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
22	L23USVIDUR	レイヤ 2／レイヤ 3 S-TAG VID 更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
23	L23USPCPUR	レイヤ 2／レイヤ 3 S-TAG PCP 更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
24	L23USDEIUR	レイヤ 2／レイヤ 3 S-TAG DEI 更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
26:25	L23URTUR[1:0]	レイヤ 2／レイヤ 3 R-TAG 更新読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
31:27	—	読むと 0 が読めます。	R

30.3.1.8.10 FWL23URRR2：レイヤ 2／レイヤ 3 更新ルール読み出し結果レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E3C

Bit position:	31	0
Bit field:	L23UMDARP1[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	L23UMDARP1[31:0]	レイヤ 2／レイヤ 3 更新 MAC 宛先アドレス読み出しパート 1 レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R

30.3.1.8.11 FWL23URRR3 : レイヤ 2／レイヤ 3 更新ルール読み出し結果レジスタ 3

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4E40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	L23USDEIR	L23USPCPR[2:0]			L23USVIDR[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	L23UCDEIR	L23UCPCPR[2:0]			L23UCVIDR[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	L23UCVIDR[11:0]	レイヤ 2／レイヤ 3 更新 MAC C-TAG VID 読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
14:12	L23UCPCPR[2:0]	レイヤ 2／レイヤ 3 更新 MAC C-TAG PCP 読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
15	L23UCDEIR	レイヤ 2／レイヤ 3 更新 MAC C-TAG DEI 読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
27:16	L23USVIDR[11:0]	レイヤ 2／レイヤ 3 更新 MAC S-TAG VID 読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
30:28	L23USPCPR[2:0]	レイヤ 2／レイヤ 3 更新 MAC S-TAG PCP 読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R
31	L23USDEIR	レイヤ 2／レイヤ 3 更新 MAC S-TAG DEI 読み出し レイヤ 2／レイヤ 3 更新ルールの読み出しに使用されます	R

30.3.1.8.12 FWL23URMCi : レイヤ 2／レイヤ 3 更新再マッピングコンフィグレーションレジスタ i (i = 0～31)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x4F00 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	RME	—	—	—	—	RMNRN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RMDPN[1:0]		—	—	—	—	RMRN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RMRN[7:0]	再マッピングルール番号 再マッピングルール i のために再マッピングする必要のあるルール番号を設定します。	R/W
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RMDPN[1:0]	再マッピング先ポート番号 再マッピングルール i のためにルール番号を再マッピングする必要のあるポート番号を設定します。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
23:16	RMNRN[7:0]	再マッピングの新しいルール番号 再マッピングルール i のためにルーティングの再マッピング先にする必要のあるルール番号を設定します。	R/W
27:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	RME	再マッピング有効 0: 再マッピングルール i 無効 1: 再マッピングルール i 有効	R/W(注1)
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

RME ビット（再マッピング有効）

[1 になる条件]

SW：このビットに 1 を書き込むと設定されます。

30.3.1.9 PSFP（Per Stream Filtering and Policing : ストリームごとのフィルタリングとポリシング）[802.1Qci]

30.3.1.9.1 FWPMFGCi : PSFP MSDU フィルタグローバルコンフィグレーションレジスタ i (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x5000 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MFM	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MSDUV[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MSDUV[15:0]	MSDU 値 HW: L3 テーブルによって MSDU フィルタ i にリンクされたストリームの最大フレームサイズ。	R/W
30:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	MFM	MSDU フィルタモード 0: 通常モード: LDESCR.TPL [GWCA]が FWPMPCi.MSDUV より大きいときに受信した、L3 テーブルによって MSDU フィルタ i にリンクされたフレームはフィルタリングされる。 1: スロットルモード: LDESCR.TPL [GWCA]が FWPMPCi.MSDUV より大きいときに受信した、L3 テーブルによって MSDU フィルタ i にリンクされたフレームはフィルタリングされる。FWEIS2.PMFSi が設定されているときに受信した、L3 テーブルによって MSDU フィルタ i にリンクされたフレームはフィルタリングされる。	R/W

30.3.1.9.2 FWPMTRFCi : PSFP メーター i フィルタコンフィグレーションレジスタ (i = 0～31)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x5600 + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MTRCM15～MTRCM0															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MTRCF	MTRFRFD	MTRFM[1:0]		MTRFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MTRFE	メーターフィルタ有効 0: メーター i が無効（全フレームを通過させます。） 1: メーター i が有効（メーターフィルタによってターゲットストリームのフレームを拒否します。）	R/W
2:1	MTRFM[1:0]	メーターフィルタモード 0 0: 通常モード: 使用できる十分なトークンがないときに L3 テーブルが受信されたため、メーターフィルタ i にリンクされたフレームはすべて赤色になります。 0 1: スロットルモード: 使用できる十分なトークンがないとき、または FWEIS5.PMRFSi が設定されているときに L3 テーブルが受信されたため、メーターフィルタ i にリンクされたフレームはすべて赤色になります。 1 0: ATS モード: 使用できる十分なトークンがないときに L3 テーブルが受信されたため、メーターフィルタ i にリンクされたフレームはすべて、十分なトークンが使用可能になるまで ATS RAM に格納されます。十分なトークンが使用可能になると、フレームは黄色または緑色として転送されます。 1 1: ATS スロットルモード: 使用できる十分なトークンがないときに L3 テーブルが受信されたため、メーターフィルタ i にリンクされたフレームはすべて、十分なトークンが使用可能になるまで ATS RAM に格納されます。十分なトークンが使用可能になると、フレームは、FWEIS5.PMRFSi が設定されていない場合は黄色または緑色として転送され、FWEIS5.PMRFSi が設定されている場合は赤色になります。	R/W
3	MTRFRFD	メーターフィルタ赤色フレーム廃棄 0: メーター i によって赤色フレームは破棄されない 1: メーター i によって赤色フレームは破棄される	R/W
4	MTRCF	メーターカップリングフラグ(注1) 0: 緑色バケットがフルの場合、CIR トークンは失われる 1: 緑色バケットがフルの場合、CIR トークンは黄色バケットに追加される	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	MTRCM15～MTRCM0	メーターカラーモード n (n = 0～15)(注2)	R/W

注 1. HW：これらのビットは、i = 0～7 の場合にのみ有効です。
注 2. HW：これらのビットは、i = 0～7 の場合にのみ有効です。
SW：ATS モード（FWPMTRFCi.MTRFM が 10b に設定されている）または ATS スロットルモード（FWPMTRFCi.MTRFM が 11b に設定されている）ではカラーモードが使用不可のため、これらのビットを All0 に設定してください。

MTRCMn ビット (メーターカラーモード n (n = 0～15))

ビット j が 0 に設定されている場合：{PCP,DEI} == j の受信フレームは緑色として受信されます（緑色または黄色のバケットをフレームで使用できます）。

ビット j が 1 に設定されている場合：{PCP,DEI} == j の受信フレームは黄色として受信されます（黄色バケットのみをフレームで使用できます）。

30.3.1.9.3 FWPMTRCBSCi : PSFP メーター i CBS コンフィグレーションレジスタ (i = 0～31)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x5604 + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CBS[17:16]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CBS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
17:0	CBS[17:0]	CBS メーター i の緑色バケットに含まれるトークンの最大数（バイト単位）。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.9.4 FWPMTRCIRCi : PSFP メーター i CIR コンフィグレーションレジスタ (i = 0～31)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x5608 + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CIR[19:16]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CIR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
19:0	CIR[19:0]	CIR	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CIR[19:0]ビット（CIR）

メーター i の緑色バケットがフルでないときに緑色トークンのトークンをインクリメントするために使用されます。

CIR[19:16]はクロック当たりのバイト単位のクレジットの増分で、CIR[15:0]はクロック当たりのサブバイト単位のクレジットの増分です。

注. SW：ATS モード時、これらのビットを 0 または 0 に近い値に設定すると、対応するキューのスループットが非常に低くなったり、対応するキューが停止してキューオーバーフローが発生したりする可能性があります。

30.3.1.9.5 FWPMTREBSCi : PSFP メーター i EBS コンフィグレーションレジスタ (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x560C + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EBS[17:16]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EBS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
17:0	EBS[17:0]	EBS メーター i の黄色バケットに含まれるトークンの最大数（バイト単位）。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.9.6 FWPMTREIRCi : PSFP メーター i EIR コンフィグレーションレジスタ (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x5610 + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	EIR[19:16]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EIR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
19:0	EIR[19:0]	EIR	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

EIR[19:0]ビット（EIR）

メーター i の黄色バケットがフルでないときに緑色トークンのトークンをインクリメントするために使用します。

EIR[19:16]はクロック当たりのバイト単位のクレジットの増分で、EIR[15:0]はクロック当たりのサブバイト単位のクレジットの増分です。

注. SW：ATS モード時、これらのビットを 0 または 0 に近い値に設定すると、対応するキューのスループットが非常に低くなったり、対応するキューが停止してキューオーバーフローが発生したりする可能性があります。

30.3.1.9.7 FWPMTRFMi : PSFP メーター i フィルタ監視レジスタ (i = 0～31)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x5614 + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MTRARDNMN[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MTRARDN[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	MTRARDN[4:0]	メーターの ATS RAM のディスクリプタ数	R
15:5	—	読むと 0 が読めます。	R
20:16	MTRARDNMN[4:0]	メーターの ATS RAM のディスクリプタの最大数 i	R
31:21	—	読むと 0 が読めます。	R

MTRARDN[4:0]ビット（メーターの ATS RAM のディスクリプタ数）

メーター番号 i の ATS RAM 内のディスクリプタの数を示します。

[インクリメント条件]

メーター i に対してディスクリプタが受信されたが、ATS RAM 内にメーター i のディスクリプタがすでに存在するか、またはフレームに使用できるトークンがないとき。

30.3.1.10 FRER（Frame Replication and Elimination for Reliability：信頼性のためのフレームの複製と除去）[802.1CB]

30.3.1.10.1 FWFTL0 : FRER テーブル学習レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	FSRPL[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	FEAL[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	FEAL[6:0]	FRER エントリアドレス学習 FRER RAM 内の FRER エントリの設定に使用します。	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:16	FSRPL[6:0]	FRER シーケンスリカバリポインタ学習 FRER RAM 内の FRER エントリの設定に使用します。	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.10.2 FWFTL1 : FRER テーブル学習レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FSRRTL[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	FSRPVL	FTNSL	—	—	—	—	FSHLL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	FSHLL[3:0]	FRER シーケンス履歴長学習(注1) FRER RAM 内の FRER エントリの設定に使用します。	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	FTNSL	FRER シーケンス不使用学習 FRER RAM 内の FRER エントリの設定に使用します。	R/W
9	FSRPVL	FRER シーケンスリカバリポインタ有効学習 FRER RAM 内の FRER エントリの設定に使用します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	FSRRTL[9:0]	FRER シーケンスリカバリ残りティック学習 FRER RAM 内の FRER エントリの設定に使用します。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：これらのビットを 14 より大きい値に設定しないでください。

30.3.1.10.3 FWFTLR : FRER テーブル学習結果レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	FTL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLF	FRER 学習失敗 0: FRER RAM の準備ができていたためエントリ学習は失敗しなかった 1: FRER RAM の準備ができていなかったためエントリ学習は失敗した	R
30:1	—	読むと 0 が読めます。	R
31	FTL	FRER テーブル学習	R

FTL ビット（FRER テーブル学習）

[1 になる条件]

HW：FWFTL1 レジスタに書き込むと、このビットが設定されます。

［0 になる条件］

HW：このビットは、学習が完了するとデアサートされます。

30.3.1.10.4 FWFTOC : FRER タイムアウトコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TOOG	TOCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TOT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TOT[15:0]	タイムアウト時間 (ms) タイムアウトチェックが有効なとき（FWFTOC.TOCE を 1 に設定）、タイムアウトチェックは FWFTOC.TOT ミリ秒ごとに発生します。	R/W
16	TOCE	タイムアウトチェック有効 0: タイムアウトチェックが無効。 1: タイムアウトチェックが有効。	R/W
17	TOOG	タイムアウト実行中 0: タイムアウトチェックが実行中ではない。 1: タイムアウトチェックが実行中である。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.10.5 FWFTOPC : FRER タイムアウトプリスケーラコンフィグレーションレジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	USP[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	USP[9:0]	マイクロ秒プリスケーラ(注1) エージング用の 1 MHz の内部クロックを生成し、1 kHz のタイムアウト用クロックを導出するために使用します。	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：これらのビットは、1 µs に含まれる clk クロックの数に設定してください。

30.3.1.10.6 FWFTIM : FRER テーブル初期化監視レジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FTR	FTIOG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FTIOG	FRER テーブルの初期化を実行中	R/W(注1)
1	FTR	FRER テーブル準備完了	R
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

FTIOG ビット（FRER テーブルの初期化を実行中）

[1 になる条件]

SW：このビットに 1 を書き込んだとき。FRER テーブルの初期化を開始します。

[0 になる条件]

HW：FRER テーブルの初期化が終了すると本ビットはクリアされます。

FTR ビット（FRER テーブル準備完了）

[1 になる条件]

- HW：FWFTIM.FTIOG がクリアされたとき。
- HW：本ビットは、バッファプールの初期化開始から clk_period [ns] × 128 の時間で設定されます。

[0 になる条件]

SW：FWFTIM.FTIOG に 1 を書いたとき。

30.3.1.10.7 FWFTR : FRER テーブル読み出しレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	FEAR[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	FEAR[6:0]	FRER エントリアドレス読み出し FRER RAM 内の FRER エントリの読み出しに使用されます。	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.10.8 FWFTRR0 : FRER テーブル読み出し結果レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6034

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	FTR	—	—	—	—	—	FSRRTR[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	FSRPVR	FTNSR	—	—	—	—	FSHLR[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	FSHLR[3:0]	FRER シーケンス履歴長読み出し	R
7:4	—	読むと 0 が読めます。	R
8	FTNSR	FRER シーケンス不使用読み出し	R
9	FSRPVR	FRER シーケンスリカバリポインタ有効読み出し	R
15:10	—	読むと 0 が読めます。	R
25:16	FSRRTR[9:0]	FRER リカバリ残りティックの設定読み出し	R
30:26	—	読むと 0 が読めます。	R
31	FTR	FRER テーブル読み出し	R

FTR ビット（FRER テーブル読み出し）

[1 になる条件]

HW：FWFTR レジスタに書き込むと、このビットが設定されます。

[0 になる条件]

HW：このビットは、読み出しが完了するとデアサートされます。

30.3.1.10.9 FWFTRR1 : FRER テーブル読み出し結果レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6038

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	FSRPR[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	FSHR[14:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	FSHR[14:0]	FRER シーケンス履歴読み出し	R
15	—	読むと 0 が読めます。	R
22:16	FSRPR[6:0]	FRER シーケンスリカバリポインタ読み出し	R
31:23	—	読むと 0 が読めます。	R

30.3.1.10.10 FWFTRR2 : FRER テーブル読み出し結果レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x603C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	FRRTR[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FRSNR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FRSNR[15:0]	FRER リカバリシーケンス番号読み出し	R
25:16	FRRTR[9:0]	FRER リカバリ残りティック読み出し	R
31:26	—	読むと 0 が読めます。	R

30.3.1.10.11 FWSEQNGCi : シーケンス番号生成 i コンフィグレーションレジスタ (i = 0 ～31)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6100 + 0x8 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEQNGE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SEQNGRN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SEQNGRN[7:0]	SEQuence 番号生成ルーティング番号 シーケンス番号が生成されるルーティング番号を指定します。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SEQNGE	SEQuence 番号生成有効 0: ルーティング番号 FWSEQNGCi.SEQNGRN に対するシーケンス番号生成が無効 1: ルーティング番号 FWSEQNGCi.SEQNGRN に対するシーケンス番号生成が有効	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.1.10.12 FWSEQNGMi : シーケンス番号生成 i 監視レジスタ (i = 0～31)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6104 + 0x8 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SEQN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SEQN[15:0]	SEQuence 番号	R
31:16	—	読むと 0 が読めます。	R

SEQN[15:0]ビット（SEQuence 番号）

シーケンス番号生成ルール i のディスクリプタに付加される次のシーケンス番号を表示します。

[インクリメント条件]

HW：FWSEQNGCi.SEQNGE が設定されたとき、かつ FDESCR.RV が設定され、FDESCR.RN が設定されたディスクリプタが FWSEQNGCi.SEQNGRN に転送されるとき。

[0 になる条件]

SW：FWSEQNRC.SEQNR に 1 を書き込むとこれらのビットがクリアされます。

30.3.1.10.13 FWSEQNRC : シーケンス番号リセットコンフィグレーションレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6200

Bit position:	31	0
Bit field:	SEQNR31～SEQNR0	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	SEQNR31～SEQNR0	シーケンス番号生成リセット n (n = 0～31) 0: 影響なし 1: このレジスタのビット i はシーケンスジェネレータ番号 i カウンタを 0 にリセット	W

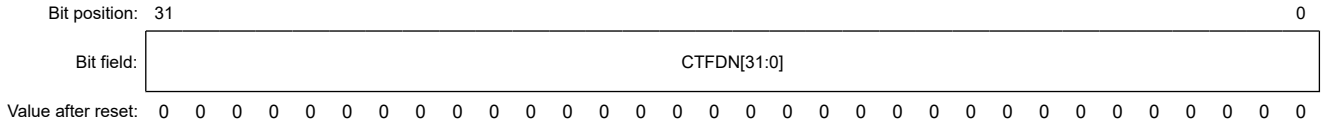
30.3.2 MFWD カウンタレジスタ

本項では、MFWD カウンタレジスタについて説明します。

30.3.2.1 FWCTFDCNi : ポート i カットスルー転送ディスクリプタカウンタレジスタ (i = 0, 1)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6300 + 0x20 × i



ビット	シンボル	機能	R/W
31:0	CTFDN[31:0]	カットスルー転送ディスクリプタ番号	R

CTFDN[31:0]ビット（カットスルー転送ディスクリプタ番号）

これらのビットは、ポート i のカットスルー転送によって転送されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

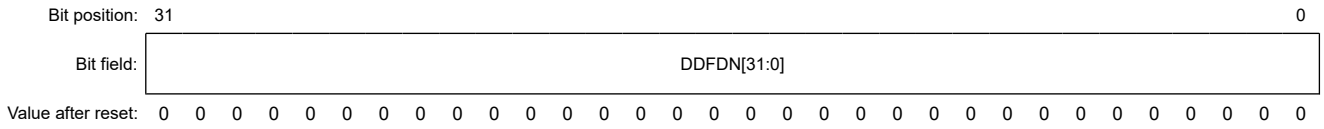
HW：ポート i から受信したフレームが、ストアアンドフォワードモードでカットスルー転送によって転送されるとき、これらのビットの値が 0xFFFFFFFF ではない場合に 1 インクリメントされます。

注. HW：これらのビットは、カットスルー転送のカットスルーパスを考慮せず、ストアアンドフォワードモードのパスのみを考慮に入れます。そのためここでは、カットスルー（j の少なくとも 1 つの値については、FWCTTCi0.CTDV[j] が設定されている場合に FWCTTCi0.CTDFMj も設定されます）によりストアアンドフォワードモードで転送されるすべてのフレームがカウントされます。

30.3.2.2 FWDDFDCN2 : ポート 2 直接ディスクリプタの転送ディスクリプタカウンタレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6340



ビット	シンボル	機能	R/W
31:0	DDFDN[31:0]	直接ディスクリプタの転送ディスクリプタ数	R

DDFDN[31:0]ビット（直接ディスクリプタの転送ディスクリプタ数）

これらのビットは、ポート 2 の直接ディスクリプタ転送によって転送されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

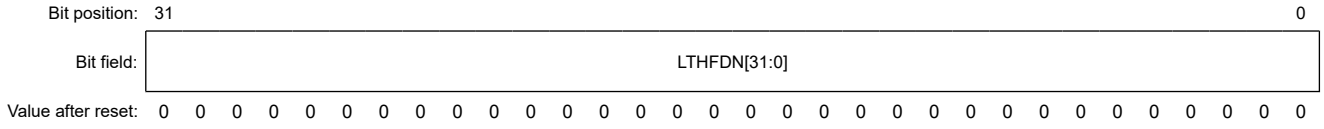
[インクリメント条件]

HW：ポート 2 から受信したフレームが直接ディスクリプタ転送によって転送されたときに、これらのビットの値が 0xFFFFFFFF ではない場合に 1 インクリメントされます。

30.3.2.3 FWLTHFDCNi : ポート i レイヤ 3 転送ディスクリプタカウンタレジスタ (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6304 + 0x20 × i



ビット	シンボル	機能	R/W
31:0	LTHFDN[31:0]	レイヤ 3 転送ディスクリプタ数	R

LTHFDN[31:0]ビット（レイヤ 3 転送ディスクリプタ数）

これらのビットは、ポート i のレイヤ 3 転送によって転送されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

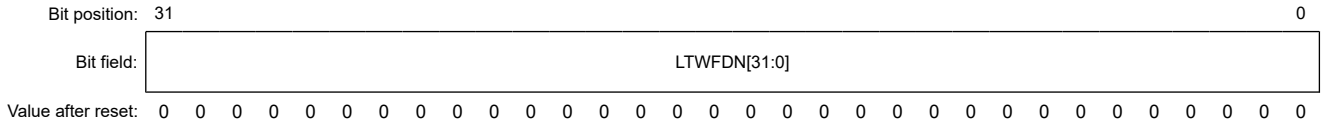
HW：ポート i から受信したフレームがレイヤ 3 転送によって転送されるとき、これらのビットの値が 0xFFFFFFFF ではない場合に 1 インクリメントされます。

注. HW：これらのビットは、PSFP/ATS および FRER のフィルタ機能の前にレイヤ 3 転送メカニズムによって選択されたフレームをカウントします。ここでは、これらのフィルタ機能によって拒否されたフレームであってもカウントされます。

30.3.2.4 FWLTWFDCNi : ポート i レイヤ 2 転送ディスクリプタカウンタレジスタ (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x630C + 0x20 × i



ビット	シンボル	機能	R/W
31:0	LTWFDN[31:0]	レイヤ 2 転送ディスクリプタ数	R

LTWFDN[31:0]ビット（レイヤ 2 転送ディスクリプタ数）

これらのビットは、ポート i のレイヤ 2 転送によって転送されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

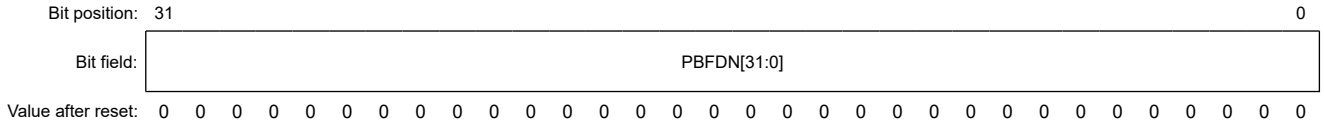
[インクリメント条件]

HW：ポート i から受信したフレームがレイヤ 2 転送によって転送されるとき、これらのビットの値が 0xFFFFFFFF ではない場合に 1 インクリメントされます。

30.3.2.5 FWPBFDCNi : ポート i ポートベースの転送ディスクリプタカウンタレジスタ (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6310 + 0x20 × i



ビット	シンボル	機能	R/W
31:0	PBFDN[31:0]	ポートベース転送ディスクリプタ数	R

PBFDN[31:0]ビット（ポートベース転送ディスクリプタ数）

これらのビットは、ポート i のポートベース転送によって転送されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

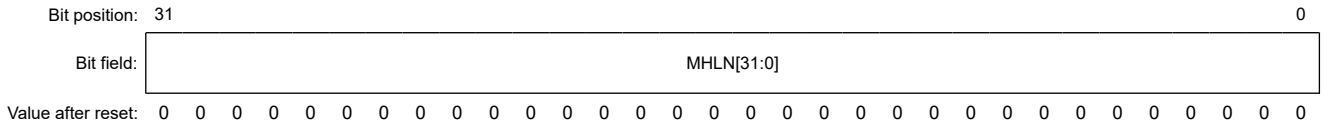
[インクリメント条件]

HW：ポート i から受信したフレームがポートベース転送によって転送されたときに、これらのビットの値が 0xFFFFFFFF ではない場合に 1 インクリメントされます。

30.3.2.6 FWMHLCNi : ポート i MAC ハードウェア学習カウンタレジスタ (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6314 + 0x20 × i



ビット	シンボル	機能	R/W
31:0	MHLN[31:0]	MAC ハードウェア学習数	R

MHLN[31:0]ビット（MAC ハードウェア学習数）

これらのビットは、ポート i について学習または移行された MAC 送信元アドレスの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW：送信元 MAC アドレスの HW 学習または HW 移行（「30.5.1.5.2. CPU 学習パス」）のためにフレームを選択し、学習率が高すぎないときに、これらのビットの値が{32 {1}}ではない場合に 1 インクリメントされます。

このカウンタは、MAC 学習結果（表 30.45）に関わらずインクリメントされます。（失敗してもカウントします）

このカウンタは、学習または移行 HW 要求でのみインクリメントされます。そのため、同じ内容の連続した要求に対しても 2 回インクリメントされます。処理が同じであるため、1 回のように見えます。

30.3.2.7 FWWMRDCNi : ポート i ウォーターマーク拒否ディスクリプタカウンタレジスタ (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6504 + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WMRDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WMRDN[15:0]	ウォーターマーク拒否ディスクリプタ数	R
31:16	—	読むと 0 が読めます。	R

WMRDN[15:0]ビット（ウォーターマーク拒否ディスクリプタ数）

これらのビットは、ポート i のウォーターマークによって拒否されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW：ポート i から受信したフレームがウォーターマークによって拒否されたときに、これらのビットの値が 0xFFFFFFFF ではない場合に 1 インクリメントされます。

30.3.2.8 FWCTRDCNi : ポート i カットスルー拒否ディスクリプタカウンタレジスタ (i = 0, 1)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6508 + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTRDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CTRDN[15:0]	カットスルー拒否ディスクリプタ数	R
31:16	—	読むと 0 が読めます。	R

CTRDN[15:0]ビット（カットスルー拒否ディスクリプタ数）

これらのビットは、ポート i のカットスルー転送によって拒否されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW：ポート i から受信したフレームがカットスルー転送によって転送されたが、ストアアンドフォワードモードではないときに、これらのビットの値が 0xFFFFFFFF ではない場合に 1 インクリメントされます。

注. HW：これらのビットは、カットスルー転送のカットスルーパスを考慮せず、ストアアンドフォワードパスのみを考慮します。そのため、カットスルーによってストアアンドフォワードで転送されなかったフレームは（すべての j について、FWCTTCi0.CTDV[j]が設定された場合、FWCTTCi0.CTDFMj は設定されない）、ここでカウントされます。

30.3.2.9 FWDDRDCN2 : ポート 2 直接ディスクリプタの拒否ディスクリプタカウンタレジスタ

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6548

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DDRDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DDRDN[15:0]	直接ディスクリプタの拒否ディスクリプタ数	R
31:16	—	読むと 0 が読めます。	R

DDRDN[15:0]ビット（直接ディスクリプタの拒否ディスクリプタ数）

これらのビットは、ポート 2 の直接ディスクリプタ転送によって拒否されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW：ポート 2 から受信したフレームが直接ディスクリプタ転送によって拒否されたときに、これらのビットの値が 0xFFFFFFFF ではない場合に 1 インクリメントされます。

30.3.2.10 FWLTHRDCNi : ポート i レイヤ 3 拒否ディスクリプタカウンタレジスタ (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x650C + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTHRDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	LTHRDN[15:0]	レイヤ 3 拒否ディスクリプタ番号	R
31:16	—	読むと 0 が読めます。	R

LTHRDN[15:0]ビット（レイヤ 3 拒否ディスクリプタ番号）

これらのビットは、ポート i のレイヤ 3 転送によって拒否されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW：ポート i から受信したフレームがレイヤ 3 転送によって拒否されるとき、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。

30.3.2.11 FWLTWRDCNi：ポート i レイヤ 2 拒否ディスクリプタカウンタレジスタ (i = 0 ～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6514 + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTWRDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	LTWRDN[15:0]	レイヤ 2 拒否ディスクリプタ数	R
31:16	—	読むと 0 が読めます。	R

LTWRDN[15:0]ビット（レイヤ 2 拒否ディスクリプタ数）

これらのビットは、ポート i のレイヤ 2 転送によって拒否されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW：ポート i から受信したフレームがレイヤ 2 転送によって拒否されるとき、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。

30.3.2.12 FWPBRDCNi : ポート i ポートベースの拒否ディスクリプタカウンタレジスタ (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6518 + 0x20 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PBRDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PBRDN[15:0]	ポートベース拒否ディスクリプタ数	R
31:16	—	読むと 0 が読めます。	R

PBRDN[15:0]ビット（ポートベース拒否ディスクリプタ数）

これらのビットは、ポート i のポートベース転送によって拒否されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW：ポート i から受信したフレームがポートベース転送によって拒否されたときに、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。

30.3.2.13 FWPMFDCNi : PSFP MSDU i フィルタ適用ディスクリプタカウンタレジスタ (i = 0～15)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6700 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMFDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMFDN[15:0]	PSFP MSDU フィルタ適用ディスクリプタ数	R
31:16	—	読むと 0 が読めます。	R

PMFDN[15:0]ビット（PSFP MSDU フィルタ適用ディスクリプタ数）

これらのビットは、PSFP MSDU フィルタ i によって拒否されたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW：フレームが PSFP MSDU フィルタ i によって拒否されているときに、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。

30.3.2.14 FWPMGDCNi : PSFP メーター i 緑色ディスクリプタカウンタレジスタ (i = 0～31)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6800 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMGDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMGDN[15:0]	PSFP メーター緑色ディスクリプタ数	R
31:16	—	読むと 0 が読めます。	R

PMGDN[15:0]ビット（PSFP メーター緑色ディスクリプタ数）

これらのビットは、PSFP メーターフィルタ i によって緑色が与えられたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW: PSFP メーターフィルタ i によってフレームに緑色が関連付けられているときに、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。

30.3.2.15 FWPMYDCNi : PSFP メーター i 黄色ディスクリプタカウンタレジスタ (i = 0～7)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6804 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMYDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMYDN[15:0]	PSFP メーター黄色ディスクリプタ数	R
31:16	—	読むと 0 が読めます。	R

PMYDN[15:0]ビット（PSFP メーター黄色ディスクリプタ数）

これらのビットは、PSFP メーターフィルタ i によって黄色が与えられたディスクリプタの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW: PSFP メーターフィルタ i によってフレームに黄色が関連付けられているときに、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。

30.3.2.16 FWPMRDCNi : PSFP メーター i 赤色ディスクリプタカウンタレジスタ (i = 0～31)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6808 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMRDN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMRDN[15:0]	PSFP メーター赤色ディスクリプタ数	R
31:16	—	読むと 0 が読めます。	R

PMRDN[15:0]ビット（PSFP メーター赤色ディスクリプタ数）

これらのビットは、PSFP メーターフィルタ i によって赤色が与えられたディスクリプタの数をカウントします。（メーターフィルタによって拒否されたすべてのフレームのみが考慮されます）

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

- HW: PSFP メーターフィルタ i によってフレームに赤色が関連付けられていて拒否されたときに、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。
- HW: ATS RAM の対応するキューがフルであるために PSFP メーターフィルタ i によってフレームが拒否されたときに、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。
- HW: 対応するメーターが無効であるために PSFP メーターフィルタ i によってフレームが拒否されたときに、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。

30.3.2.17 FWFRPPCNi : FRER i 通過パケットカウンタレジスタ (i = 0～127)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6A00 + 0x8 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PPC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PPC[15:0]	通過パケット数	R
31:16	—	読むと 0 が読めます。	R

PPC[15:0]ビット（通過パケット数）

これらのビットは、FRER リカバリルール番号 i を満たしていたパケットの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW：フレームが FRER リカバリルール番号 i を満たしていたときに、これらのビットの値が 0xFFFF 以外である場合に 1 インクリメントされます。

30.3.2.18 FWFRDPCNi : FRER i 破棄パケットカウンタレジスタ (i = 0～127)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x6A04 + 0x8 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DPC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DPC[15:0]	破棄パケットカウント	R
31:16	—	読むと 0 が読めます。	R

DPC[15:0]ビット（破棄パケットカウント）

これらのビットは、FRER リカバリルール番号 i によって破棄されたパケットの数をカウントします。

[0 になる条件]

SW：これらのビットを読み込むとクリアされます。

[インクリメント条件]

HW : フレームが FRER リカバリルール番号 i によって破棄されたときに、これらのビットの値が 0xFFFF ではない場合に 1 インクリメントされます。

30.3.3 MFWD 割り込みレジスタ

本項では、MFWD の割り込みレジスタについて説明します。

30.3.3.1 FWEIS0i : ポート i エラー割り込みステータスレジスタ 0 (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7900 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	DDNTFS	DDSES	—	DDES	WMIUFS	WMISFS	WMFFS	WMCFS	—	—	SMHMFS	SMHLFS	PBNTFS	LTWVUFS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTWDUFS	LTWSUFS	LTWNTFS	LTWVSPFS	LTWSSPFS	LTWDSPFS	—	—	—	—	—	—	LTHUFS	LTHNTFS	—	LTHSPFS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LTHSPFS	レイヤ 3 送信元ポートフィルタリングステータスフラグ	R/W(注1)
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	LTHNTFS	レイヤ 3 無転送先フィルタリングステータスフラグ	R/W(注1)
3	LTHUFS	レイヤ 3 不明フィルタリングステータスフラグ	R/W(注1)
9:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	LTWDSPFS	レイヤ 2 宛先送信元ポートフィルタリングステータスフラグ	R/W(注1)
11	LTWSSPFS	レイヤ 2 送信元送信元ポートフィルタリングステータスフラグ	R/W(注1)
12	LTWVSPFS	レイヤ 2 VLAN 送信元ポートフィルタリングステータスフラグ	R/W(注1)
13	LTWNTFS	レイヤ 2 無転送先フィルタリングステータスフラグ	R/W(注1)
14	LTWSUFS	レイヤ 2 送信元不明フィルタリングステータスフラグ	R/W(注1)
15	LTWDUFS	レイヤ 2 宛先不明フィルタリングステータスフラグ	R/W(注1)
16	LTWVUFS	レイヤ 2 VLAN 不明フィルタリングステータスフラグ	R/W(注1)
17	PBNTFS	ポートベース無転送先フィルタリングステータスフラグ	R/W(注1)
18	SMHLFS	送信元 MAC ハードウェア学習失敗ステータスフラグ	R/W(注1)
19	SMHMFS	送信元 MAC ハードウェアマイグレーション失敗ステータスフラグ	R/W(注1)
21:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	WMCFS	ウォーターマーククリティカルフィルタリングステータスフラグ	R/W(注1)
23	WMFFS	ウォーターマークフラッシュフィルタリングステータスフラグ	R/W(注1)
24	WMISFS	ウォーターマーク IPV セキュアフィルタリングステータスフラグ	R/W(注1)
25	WMIUFS	ウォーターマーク IPV 非セキュアフィルタリングステータスフラグ	R/W(注1)
26	DDES	直接ディスクリプタエラーステータスフラグ(注2)	R/W(注1)
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	DDSES	直接ディスクリプタセキュリティエラーステータスフラグ(注2)	R/W(注1)
29	DDNTFS	直接ディスクリプタ無転送先フィルタリングステータスフラグ(注2)	R/W(注1)

ビット	シンボル	機能	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。
注 2. HW：このビットは、i = 2, 3 の場合にのみ有効です。

LTHSPFS ビット（レイヤ 3 送信元ポートフィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.85 でポート i からのフレームの転送フローが「レイヤ 3 ルーティングセキュアエラー」ブロックまで進んでいる、かつ L3.SLV[i]が設定されていないとき。
- HW：図 30.86 でポート i からのフレームの転送フローが「レイヤ 3 ルーティングエラー」ブロックまで進んでいる、かつ L3.SLV[i]が設定されていないとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

LTHNTFS ビット（レイヤ 3 無転送先フィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.85 でポート i からのフレームの転送フローが「レイヤ 3 ルーティングセキュアエラー」ブロックまで進んでいる、かつ L3.DV & !FWPCi1.LTHFM が Null であるとき。
- HW：図 30.86 でポート i からのフレームの転送フローが「レイヤ 3 ルーティングエラー」ブロックまで進んでいる、かつ L3.DV & !FWPCi1.LTHFM が Null であるとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

LTHUFS ビット（レイヤ 3 不明フィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.85 でポート i からのフレームの転送フローが「レイヤ 3 ルーティング不明セキュアストリームエラー」ブロックまで進んでいる、かつ FWPCi0.LTHRUSS が設定されているとき。
- HW：図 30.86 でポート i からのフレームの転送フローが「レイヤ 3 ルーティングエラー」ブロックまで進んでいる、かつ FWPCi0.LTHRUS が設定されているとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

LTWDSPFS ビット（レイヤ 2 宛先送信元ポートフィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.95 でポート i からのフレームの転送フローが「L2 転送セキュアエラー」ブロックまで進んでいる、かつ FWPCi0.MACDSA が設定されている、かつ宛先 MAC が MAC テーブルで設定されている、かつ MAC.SL が設定されている、かつ MAC.DSLV が宛先 MAC に設定されていないとき。
- HW：図 30.96 でポート i からのフレームの転送フローが「L2 転送エラー」ブロックまで進んでいる、かつ FWPCi0.MACDSA が設定されている、かつ宛先 MAC が MAC テーブルで設定されている、かつ MAC.DSLV が宛先 MAC に設定されていないとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

LTWSSPFS ビット（レイヤ 2 送信元送信元ポートフィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.95 でポート i からのフレームの転送フローが「L2 転送セキュアエラー」ブロックまで進んでいる、かつ FWPCi0.MACSSA が設定されている、かつ送信元 MAC が MAC テーブルで設定されている、かつ MAC.SL が設定されている、かつ MAC.SSLV が送信元 MAC に設定されていないとき。
- HW：図 30.96 でポート i からのフレームの転送フローが「L2 転送エラー」ブロックまで進んでいる、かつ FWPCi0.MACSSA が設定されている、かつ送信元 MAC が MAC テーブルで設定されている、かつ MAC.SSLV が送信元 MAC に設定されていないとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

LTWVSPFS ビット（レイヤ 2 VLAN 送信元ポートフィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.95 でポート i からのフレームの転送フローが「L2 転送セキュアエラー」ブロックまで進んでいる、かつ FWPCi0.VLANSA が設定されている、かつ VLAN ID が有効である、かつ VLAN ID が VLAN テーブルで設定されている、かつ VLAN.SL が設定されている、かつ VLAN.SLV が VLAN ID に設定されていないとき。
- HW：図 30.96 でポート i からのフレームの転送フローが「L2 転送エラー」ブロックまで進んでいる、かつ FWPCi0.VLANSA が設定されている、かつ VLAN ID が有効である、かつ VLAN ID が VLAN テーブルで設定されている、かつ VLAN.SLV が VLAN ID に設定されていないとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

LTWNTFS ビット（レイヤ 2 無転送先フィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.95 でポート i からのフレームの転送フローが「L2 転送セキュアエラー」ブロックまで進んでいる、かつ FWPCi0.MACDSA が設定されている、かつ宛先 MAC が MAC テーブルで設定されている、かつ MAC.SL が設定されている、かつ FWPCi0.VLANSA が設定されている、かつ VLAN ID が有効である、かつ VLAN ID が VLAN テーブルで設定されている、かつ VLAN.SL が設定されている、かつ MAC.DV & VLAN.DV & !FWPCi2.LTWFM が Null であるとき。
- HW：図 30.95 でポート i からのフレームの転送フローが「L2 転送セキュアエラー」ブロックまで進んでいる、かつ FWPCi0.MACDSA が設定されている、かつ宛先 MAC が MAC テーブルで設定されている、かつ MAC.SL が設定されている、かつ{FWPCi0.VLANSA が設定されていない、または VLAN ID が無効である、または VLAN ID が VLAN テーブルで設定されていない、または VLAN.SL が設定されていない}、かつ MAC.DV & !FWPCi2.LTWFM が Null であるとき。
- HW：図 30.95 でポート i からのフレームの転送フローが「L2 転送セキュアエラー」ブロックまで進んでいる、かつ{FWPCi0.MACDSA が設定されていない、または宛先 MAC が MAC テーブルで設定されていない、または MAC.SL が設定されていない}、かつ VLAN ID が有効である、かつ VLAN ID が VLAN テーブルで設定されている、かつ VLAN.SL が設定されている、かつ VLAN.DV & !FWPCi2.LTWFM が Null であるとき。
- HW：図 30.96 でポート i からのフレームの転送フローが「L2 転送エラー」ブロックまで進んでいる、かつ FWPCi0.MACDSA が設定されている、かつ宛先 MAC が MAC テーブルで設定されている、かつ

FWPCi0.VLANSA が設定されている、かつ VLAN ID が有効である、かつ VLAN ID が VLAN テーブルで設定されている、かつ MAC.DV & VLAN.DV & !FWPCi2.LTWFM が Null であるとき。

- HW：図 30.96 でポート i からのフレームの転送フローが「L2 転送エラー」ブロックまで進んでいる、かつ FWPCi0.MACDSA が設定されている、かつ宛先 MAC が MAC テーブルで設定されている、かつ {FWPCi0.VLANSA が設定されていない、または VLAN ID が無効である、または VLAN ID が VLAN テーブルで設定されていない}、かつ MAC.DV & !FWPCi2.LTWFM が Null であるとき。
- HW：図 30.96 でポート i からのフレームの転送フローが「L2 転送エラー」ブロックまで進んでいる、かつ {FWPCi0.MACDSA が設定されていない、または宛先 MAC が MAC テーブルで設定されていない}、かつ VLAN ID が有効である、かつ VLAN ID が VLAN テーブルで設定されている、かつ VLAN.DV & ! FWPCi2.LTWFM が Null であるとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

LTWSUFS ビット（レイヤ 2 送信元不明フィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.95 でポート i からのフレームの転送フローが「L2 転送セキュアエラー」ブロックまで進んでいる、かつ{FWPCi0.MACSSA が設定されていない、または送信元 MAC が MAC テーブルで設定されていない、または MAC.SL が送信元 MAC に設定されていない}、かつ FWPCi0.MACRUSSA が設定されているとき。
- HW：図 30.96 でポート i からのフレームの転送フローが「L2 転送エラー」ブロックまで進んでいる、かつ {FWPCi0.MACSSA が設定されていない、または送信元 MAC が MAC テーブルで設定されていない}、かつ FWPCi0.MACRUSA が設定されているとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

LTWDUFS ビット（レイヤ 2 宛先不明フィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.95 でポート i からのフレームの転送フローが「L2 転送セキュアエラー」ブロックまで進んでいる、かつ{FWPCi0.MACDSA が設定されていない、または宛先 MAC が MAC テーブルで設定されていない、または MAC.SL が宛先 MAC に設定されていない}、かつ FWPCi0.MACRUDSA が設定されているとき。
- HW：図 30.96 でポート i からのフレームの転送フローが「L2 転送エラー」ブロックまで進んでいる、{かつ FWPCi0.MACDSA が設定されていない、または宛先 MAC が MAC テーブルで設定されていない}、かつ FWPCi0.MACRUDA が設定されているとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

LTWVUFS ビット（レイヤ 2 VLAN 不明フィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.95 でポート i からのフレームの転送フローが「L2 転送セキュアエラー」ブロックまで進んでいる、かつ{FWPCi0.VLANSA が設定されていない、または VLAN が無効である、または VLAN ID が VLAN テーブルで設定されていない、または VLAN.SL が VLAN ID に設定されていない}、かつ FWPCi0.VLANRUS が設定されているとき。

- HW：図 30.96 でポート i からのフレームの転送フローが「L2 転送エラー」ブロックまで進んでいる、かつ {FWPCi0.VLANSA が設定されていない、または VLAN が無効である、または VLAN ID が VLAN テーブルで設定されていない}、かつ FWPCi0.VLANRU が設定されているとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

PBNTFS ビット（ポートベース無転送先フィルタリングステータスフラグ）

[1 になる条件]

- HW：図 30.99 でポート i からのフレームの転送フローが「ポートベース転送セキュアエラー」ブロックまで進んでいる、かつ FWPBFCi.PBDV が Null であるとき。
- HW：図 30.100 でポート i からのフレームの転送フローが「ポートベース転送非セキュアエラー」ブロックまで進んでいる、かつ FWPBFCi.PBDV が Null であるとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

SMHLFS ビット（送信元 MAC ハードウェア学習失敗ステータスフラグ）

[1 になる条件]

HW：送信元 MAC アドレスの HW 学習（「30.5.1.5.2. CPU 学習パス」）のためにフレームを選択したが、学習率が高すぎて学習できなかったとき。

本エラーは表 30.45 の失敗とは関係ありません。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

SMHMFS ビット（送信元 MAC ハードウェアマイグレーション失敗ステータスフラグ）

[1 になる条件]

- HW：送信元 MAC アドレスの HW マイグレーション（「30.5.1.5.2. CPU 学習パス」）のためにフレームを選択したが、学習率が高すぎて学習できなかったとき。
- HW：送信元 MAC アドレスの HW マイグレーションのためにフレームを選択したが、その送信元 MAC アドレスがテーブルに静的に含まれていた（MAC.DE が設定されていない）とき。
- HW：送信元 MAC アドレスの HW マイグレーションのためにフレームを選択し、テーブルに含まれるその送信元 MAC アドレスがセキュアである（MAC.SL が設定されている）とき。
- HW：送信元 MAC アドレスの HW マイグレーションのためにフレームを選択し、テーブルに含まれるその送信元 MAC アドレスにいずれかの宛先ポートが設定されている、かつその宛先ポートでマイグレーションが許可されていない（少なくとも 1 つの i に対し、MAC.DV[i]が設定されている、かつ FWPCi0.MACHMA が設定されていない）とき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

WMCFS ビット（ウォーターマーククリティカルフィルタリングステータスフラグ）

[1 になる条件]

HW：ポート i からのフレームがレイヤ 3／IP／レイヤ 2／ポートベース通常ディスクリプタで転送された、かつ FWLBWMCi.WMCLPR ビット{DEI,IPV}が設定された、かつ coa_watermark_critical[i]端子が設定されたとき（ここで DEI は、FWGC.SVM が 01b に設定された場合は入力フレーム C-TAG DEI に、FWGC.SVM が 10b に設定された場合は入力フレーム S-TAG DEI に、および FWGC.SVM が 00b に設定された場合は 0 になる。IPV はフレームに対応する通常ディスクリプタで、転送フローの FDESCR.IPV 値で選択される）。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

WMFFS ビット（ウォーターマークフラッシュフィルタリングステータスフラグ）

[1 になる条件]

HW：ポート i からのフレームがレイヤ 3／IP／レイヤ 2／ポートベース通常ディスクリプタで転送された、かつ FWLBWMCi.WMFLPR ビット{DEI,IPV}が設定された、かつ coa_watermark_flush[i]端子が設定されたとき（ここで DEI は、FWGC.SVM が 01b に設定された場合は入力フレーム C-TAG DEI に、FWGC.SVM が 10b に設定された場合は入力フレーム S-TAG DEI に、および FWGC.SVM が 00b に設定された場合は 0 になる。IPV はフレームに対応する通常ディスクリプタで、転送フローの FDESCR.IPV 値で選択される）。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

WMISFS ビット（ウォーターマーク IPV セキュアフィルタリングステータスフラグ）

[1 になる条件]

HW：ポート i からのフレームがレイヤ 3／IP／レイヤ 2／ポートベース通常ディスクリプタで転送された、かつ対応する IPV が IPV ベース非セキュアウォーターマーク[COMA]によって拒否された（ここで IPV は、フレームに対応する通常ディスクリプタであり、フィルタリング前の転送フローの FDESCR.IPV 値によって選択される）。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

WMIUFS ビット（ウォーターマーク IPV 非セキュアフィルタリングステータスフラグ）

[1 になる条件]

HW：ポート i からのフレームがレイヤ 3／IP／レイヤ 2／ポートベース通常ディスクリプタで転送された、かつ SEC が設定されていない、かつ対応する IPV が IPV ベースセキュアウォーターマーク[COMA]によって拒否された（ここで SEC および IPV は、それぞれフレームに対応する通常ディスクリプタであり、フィルタリング前の転送フローの FDESCR.SEC および FDESCR.IPV 値によって選択される）。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

DDES ビット（直接ディスクリプタエラーステータスフラグ）

[1 になる条件]

HW：直接ディスクリプタ（LDESCR.FMT [GWCA]を 1 に設定）をポート 2 + i から受信した、かつ FWPCi1.DDE が設定されていないとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

DDSES ビット（直接ディスクリプタセキュリティエラーステータスフラグ）

[1 になる条件]

HW：セキュア直接ディスクリプタ（LDESCR.FMT [GWCA]および LDESCR.SEC [GWCA]をどちらも 1 に設定）をポート 2 + i から受信した、かつ FWPCi1.DDE が設定されている、かつ FWPCi1.DDSL が設定されていないとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

DDNTFS ビット（直接ディスクリプタ無転送先フィルタリングステータスフラグ）

[1 になる条件]

HW：直接ディスクリプタ（LDESCR.FMT [GWCA]を 1 に設定）をポート 2 + i から受信した、かつ LDESCR.DV [GWCA]が All0 に設定されているとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.2 FWEIE0i : ポート i エラー割り込み許可レジスタ 0 (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7904 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	DDNTFE	DDSEE	DDFEE	DDEE	WMIUFE	WMISFE	WMFFE	WMCFE	—	—	SMHMFE	SMHLFE	PBNTFE	LTWVUFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTWDUFE	LTWSUFE	LTWNTFE	LTWVSPFE	LTWSSPFE	LTWDSPFE	—	—	—	—	—	—	LTHUFE	LTHNTFE	—	LTHSPFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LTHSPFE	レイヤ 3 送信元ポートフィルタリング有効 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	LTHNTFE	レイヤ 3 無転送先フィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
3	LTHUFE	レイヤ 3 不明フィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
9:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
10	LTWDSPFE	レイヤ 2 宛先送信元ポートフィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
11	LTWSSPFE	レイヤ 2 送信元送信元ポートフィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
12	LTWVSPFE	レイヤ 2 VLAN 送信元ポートフィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
13	LTWNTFE	レイヤ 2 無転送先フィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
14	LTWSUFE	レイヤ 2 送信元不明フィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
15	LTWDUFE	レイヤ 2 宛先不明フィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
16	LTWVUFE	レイヤ 2 VLAN 不明フィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
17	PBNTFE	ポートベース無転送先フィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
18	SMHLFE	送信元 MAC ハードウェア学習失敗許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
19	SMHMFE	送信元 MAC ハードウェアマイグレーション失敗許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
21:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	WMCFE	ウォーターマーククリティカルフィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
23	WMFFE	ウォーターマークフラッシュフィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
24	WMISFE	ウォーターマーク IPV セキュアフィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
25	WMIUFE	ウォーターマーク IPV 非セキュアフィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
26	DDEE	直接ディスクリプタエラー割り込み許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
27	DDFEE	直接ディスクリプタフォーマットエラー割り込み許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
28	DDSEE	直接ディスクリプタセキュリティエラー許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)
29	DDNTFE	直接ディスクリプタ無転送先フィルタリング許可 0: 割り込み i が禁止されます。 1: 割り込み i が許可されます。	R/W(注1)

ビット	シンボル	機能	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

LTHSPFE ビット（レイヤ 3 送信元ポートフィルタリング有効）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTHSPFD レジスタに 1 を書き込むとこのビットがクリアされます。

LTHNTFE ビット（レイヤ 3 無転送先フィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTHNTFD レジスタに 1 を書き込むとこのビットがクリアされます。

LTHUFE ビット（レイヤ 3 不明フィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTHUFD レジスタに 1 を書き込むとこのビットがクリアされます。

LTWDSPFE ビット（レイヤ 2 宛先送信元ポートフィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTWDSPFD レジスタに 1 を書き込むとこのビットがクリアされます。

LTWSSPFE ビット（レイヤ 2 送信元送信元ポートフィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTWSSPFD レジスタに 1 を書き込むとこのビットがクリアされます。

LTWVSPFE ビット（レイヤ 2 VLAN 送信元ポートフィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTWVSPFD レジスタに 1 を書き込むとこのビットがクリアされます。

LTWNTFE ビット（レイヤ 2 無転送先フィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTWNTFD レジスタに 1 を書き込むとこのビットがクリアされます。

LTWSUFE ビット（レイヤ 2 送信元不明フィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTWSUFD レジスタに 1 を書き込むとこのビットがクリアされます。

LTWDUFE ビット（レイヤ 2 宛先不明フィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTWDUFD レジスタに 1 を書き込むとこのビットがクリアされます。

LTWVUFE ビット（レイヤ 2 VLAN 不明フィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.LTWVUFD レジスタに 1 を書き込むとこのビットがクリアされます。

PBNTFE ビット（ポートベース無転送先フィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.PBNTFD レジスタに 1 を書き込むとこのビットがクリアされます。

SMHLFE ビット（送信元 MAC ハードウェア学習失敗許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.SMHLFD レジスタに 1 を書き込むとこのビットがクリアされます。

SMHMFE ビット（送信元 MAC ハードウェアマイグレーション失敗許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.SMHMFD レジスタに 1 を書き込むとこのビットがクリアされます。

WMCFE ビット（ウォーターマーククリティカルフィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.WMFFD レジスタに 1 を書き込むとこのビットがクリアされます。

WMFFE ビット（ウォーターマークフラッシュフィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.WMFFE レジスタに 1 を書き込むとこのビットがクリアされます。

WMISFE ビット（ウォーターマーク IPV セキュアフィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.WMISFD レジスタに 1 を書き込むとこのビットがクリアされます。

WMIUFE ビット（ウォーターマーク IPV 非セキュアフィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.WMIUFD レジスタに 1 を書き込むとこのビットがクリアされます。

DDEE ビット（直接ディスクリプタエラー割り込み許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.DDED レジスタに 1 を書き込むとこのビットがクリアされます。

DDFEE ビット（直接ディスクリプタフォーマットエラー割り込み許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.DDFED レジスタに 1 を書き込むとこのビットがクリアされます。

DDSEE ビット（直接ディスクリプタセキュリティエラー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.DDSED レジスタに 1 を書き込むとこのビットがクリアされます。

DDNTFE ビット（直接ディスクリプタ無転送先フィルタリング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID0i.DDNTFD レジスタに 1 を書き込むとこのビットがクリアされます。

30.3.3.3 FWEID0i : ポート i エラー割り込み禁止レジスタ 0 (i = 0～2)

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7908 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	DDNTFD	DDSED	DDFED	DDED	WMIUFD	WMISFD	WMFFD	WMCFD	—	—	SMHMFD	SMHLFD	PBNTFD	LTWVUFD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LTWDUFD	LTWSUFD	LTWNTFD	LTWVSPFD	LTWSSPFD	LTWDSPFD	—	—	—	—	—	—	LTHUFD	LTHNTFD	—	LTHSPFD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LTHSPFD	レイヤ 3 送信元ポートフィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTHSPFE レジスタがクリアされます。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	LTHNTFD	レイヤ 3 無転送先フィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTHNTFE レジスタがクリアされます。	R/W
3	LTHUFD	レイヤ 3 不明フィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTHNTFE レジスタがクリアされます。	R/W
9:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	LTWDSPFD	レイヤ 2 宛先送信元ポートフィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTWDSPFE レジスタがクリアされます。	R/W
11	LTWSSPFD	レイヤ 2 送信元送信元ポートフィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTWSSPFE レジスタがクリアされます。	R/W
12	LTWVSPFD	レイヤ 2 VLAN 送信元ポートフィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTWVSPFE レジスタがクリアされます。	R/W
13	LTWNTFD	レイヤ 2 無転送先フィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTWNTFE レジスタがクリアされます。	R/W
14	LTWSUFD	レイヤ 2 送信元不明フィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTWSUFE レジスタがクリアされます。	R/W
15	LTWDUFD	レイヤ 2 宛先不明フィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTWDUFE レジスタがクリアされます。	R/W
16	LTWVUFD	レイヤ 2 VLAN 不明フィルタリング禁止 このビットに 1 を書き込むと FWEIE0.LTWVUFE レジスタがクリアされます。	R/W
17	PBNTFD	ポートベース無転送先フィルタリング禁止 このビットに 1 を書き込むと FWEIE0.PBNTFE レジスタがクリアされます。	R/W
18	SMHLFD	送信元 MAC ハードウェア学習失敗禁止 このビットに 1 を書き込むと FWEIE0.SMHLFE レジスタがクリアされます。	R/W
19	SMHMFD	送信元 MAC ハードウェア移行失敗禁止 このビットに 1 を書き込むと FWEIE0.SMHMFE レジスタがクリアされます。	R/W
21:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	WMCFD	ウォーターマーククリティカルフィルタリング禁止 このビットに 1 を書き込むと FWEIE0.WMCFE レジスタがクリアされます。	R/W
23	WMFFD	ウォーターマークフラッシュフィルタリング禁止 このビットに 1 を書き込むと FWEIE0.WMFFE レジスタがクリアされます。	R/W
24	WMISFD	ウォーターマーク IPV セキュアフィルタリング禁止 このビットに 1 を書き込むと FWEIE0.WMISFE レジスタがクリアされます。	R/W
25	WMIUFD	ウォーターマーク IPV 非セキュアフィルタリング禁止 このビットに 1 を書き込むと FWEIE0.WMIUFE レジスタがクリアされます。	R/W
26	DDED	直接ディスクリプタエラー禁止 このビットに 1 を書き込むと FWEIE0.DDEE レジスタがクリアされます。	R/W
27	DDFED	直接ディスクリプタフォーマットエラー禁止 このビットに 1 を書き込むと FWEIE0.DDFEE レジスタがクリアされます。	R/W
28	DDSED	直接ディスクリプタセキュリティエラー禁止 このビットに 1 を書き込むと FWEIE0.DDSEE レジスタがクリアされます。	R/W
29	DDNTFD	直接ディスクリプタ無転送先フィルタリング禁止 このビットに 1 を書き込むと FWEIE0.DDNTFE レジスタがクリアされます。	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.3.4 FWEIS1：エラー割り込みステータスレジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	VLANTSES	—	MACTSES	—	—	—	LTHTSES	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	LTHTSES	L3 テーブルセキュリティエラーステータスフラグ	R/W(注1)
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	MACTSES	MAC テーブルセキュリティエラーステータスフラグ	R/W(注1)
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	VLANTSES	VLAN テーブルセキュリティエラーステータスフラグ	R/W(注1)
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

LTHTSES ビット（L3 テーブルセキュリティエラーステータスフラグ）

[1 になる条件]

HW：CPU は非セキュアエントリの学習を試みたが、非セキュアエントリの最大数にすでに達しているとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

- HW：非セキュアエントリは学習されません。
- SW：システムに依存するため、ここでは定義できません。

MACTSES ビット（MAC テーブルセキュリティエラーステータスフラグ）

[1 になる条件]

HW：CPU は非セキュアエントリの学習を試みたが、非セキュアエントリの最大数にすでに達しているとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

- HW：非セキュアエントリは学習されません。
- SW：システムに依存するため、ここでは定義できません。

VLANTSES ビット（VLAN テーブルセキュリティエラーステータスフラグ）

[1 になる条件]

HW：CPU は非セキュアエントリの学習を試みたが、非セキュアエントリの最大数にすでに達しているとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

- HW：非セキュアエントリは学習されません。
- SW：システムに依存するため、ここでは定義できません。

30.3.3.5 FWEIE1：エラー割り込み許可レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	VLANTSEE	—	MACTSEE	—	—	—	LTHTSEE	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	LTHTSEE	L3 テーブルセキュリティエラー許可 0: 割り込み禁止。 1: 割り込み許可。	R/W(注1)
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	MACTSEE	MAC テーブルセキュリティエラー許可 0: 割り込み禁止。 1: 割り込み許可。	R/W(注1)
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	VLANTSEE	VLAN テーブルセキュリティエラー許可 0: 割り込み禁止。 1: 割り込み許可。	R/W(注1)
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

LTHTSEE ビット（L3 テーブルセキュリティエラー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID1.LTHTSED レジスタに 1 を書き込むとこのビットがクリアされます。

MACTSEE ビット（MAC テーブルセキュリティエラー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID1.MACTSED レジスタに 1 を書き込むとこのビットがクリアされます。

VLANTSEE ビット（VLAN テーブルセキュリティエラー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWEID1.VLANTSED レジスタに 1 を書き込むとこのビットがクリアされます。

30.3.3.6 FWEID1 : エラー割り込み禁止レジスタ 1

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	L23UEED	VLANTSED	—	MACTSED	—	—	—	LTHTSED	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	LTHTSED	L3 テーブルセキュリティエラー禁止 このビットに 1 を書き込むと、FWEIE1.LTHTSEE がクリアされます。	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	MACTSED	MAC テーブルセキュリティエラー禁止 このビットに 1 を書き込むと、FWEIE1.MACTSEE がクリアされます。	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	VLANTSED	VLAN テーブルセキュリティエラー禁止 このビットに 1 を書き込むと、FWEIE1.VLANTSEE がクリアされます。	R/W
8	L23UEED	レイヤ 2／レイヤ 3 更新エラー禁止 このビットに 1 を書き込むと、FWEIE1.L23UEEE がクリアされます。	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.3.7 FWEIS2 : エラー割り込みステータスレジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMFS15～PMFS0															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMFS15～PMFS0	PSFP MSDU n フィルタリングステータスフラグ (n = 0～15)	R/W(注1)
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

PMFSn ビット (PSFP MSDU n フィルタリングステータスフラグ (n = 0～15))

[1 になる条件]

HW：ビット i は、ディスクリプタが MSDU フィルタ番号 i によって拒否されたときに設定されます（「30.5.3.1.1. MSDU フィルタ」を参照）。

［0 になる条件］

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

［エラー復帰］

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.8 FWEIE2：エラー割り込み許可レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMFE15～PMFE0															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMFE15～PMFE0	PSFP MSDU n フィルタリング許可 (n = 0～15) 0: 割り込み禁止。 1: 割り込み許可。	R/W(注1)
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

PMFEn ビット (PSFP MSDU n フィルタリング許可 (n = 0～15))

［1 になる条件］

これらのビットのいずれかに 1 を書き込むと設定されます。

［0 になる条件］

FWEID2.PMFD レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.9 FWEID2：エラー割り込み禁止レジスタ 2

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMFD15～PMFD0															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMFD15～PMFD0	PSFP MSDU n フィルタリング禁止 (n = 0～15) このレジスタのビット i に 1 を書き込むと、FWEIE2.PMFE レジスタのビット i がクリアされます。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.3.3.10 FWEIS5 : エラー割り込みステータスレジスタ 5

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A40

Bit position:	31																												0
Bit field:	PMRFS31～PMRFS0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	PMRFS31～ PMRFS0	PSFP メーター n フィルタリングステータスフラグ (n = 0～31)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

PMRFSn ビット (PSFP メーター n フィルタリングステータスフラグ (n = 0～31))

[1 になる条件]

HW：ビット i は、ディスクリプタが PSFP メーターフィルタ番号 i によってフィルタリングされたときにセットされます。(「30.5.3.1.2. メーターフィルタ／ATS」を参照)。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.11 FWEIE5 : エラー割り込み許可レジスタ 5

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A44

Bit position:	31																												0
Bit field:	PMRFE31～PMRFE0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	PMRFE31～ PMRFE0	PSFP メーター n フィルタリング許可 (n = 0～31)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

PMRFEn ビット (PSFP メーター n フィルタリング許可 (n = 0～31))

- ビット i を 0 に設定：割り込み i が禁止されます。
- ビット i を 1 に設定：割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

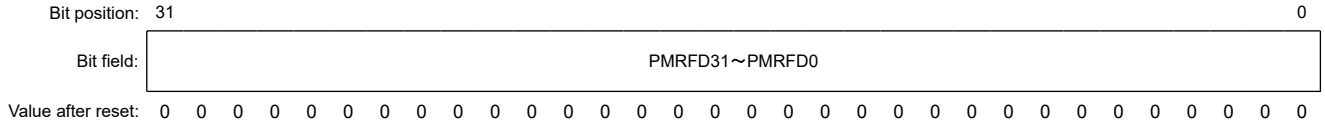
[0 になる条件]

FWEID5.PMRFD レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.12 FWEID5 : エラー割り込み禁止レジスタ 5

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A48

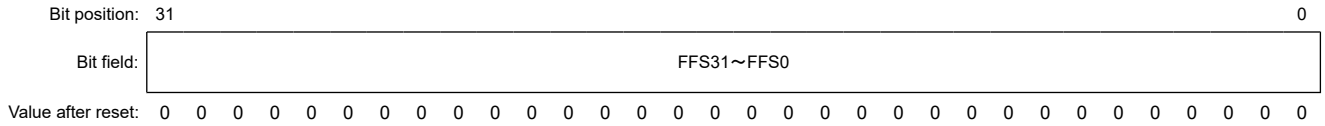


ビット	シンボル	機能	R/W
31:0	PMRFD31～PMRFD0	PSFP メーター n フィルタリング禁止 (n = 0～31) このレジスタのビット i に 1 を書き込むと、FWEIE5.PMRFD レジスタのビット i がクリアされます。	R/W

30.3.3.13 FWEIS60 : エラー割り込みステータスレジスタ 60

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A50



ビット	シンボル	機能	R/W
31:0	FFS31～FFS0	FRER n フィルタリングステータスフラグ (n = 96～127)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FFSn ビット (FRER n フィルタリングステータスフラグ (n = 96～127))

[1 になる条件]

- HW : 個別のリカバリに FRER ルール i + 96 が使用される場合、ノーシーケンスエラーまたはストラックエラーのためにディスクリプタが FRER ルール番号 i + 96 によってフィルタリングされると、ビット i は設定されます（(e) 個別リカバリアルゴリズムを参照してください）。
- HW : シーケンスリカバリに FRER ルール i + 96 が使用される場合、ノーシーケンスエラーのためにディスクリプタが FRER ルール番号 i + 96 によってフィルタリングされると、ビット i は設定されます（(f) シーケンスリカバリアルゴリズムを参照してください）。

[0 になる条件]

SW : これらのビットのいずれかに 1 を書き込むとクリアされます。

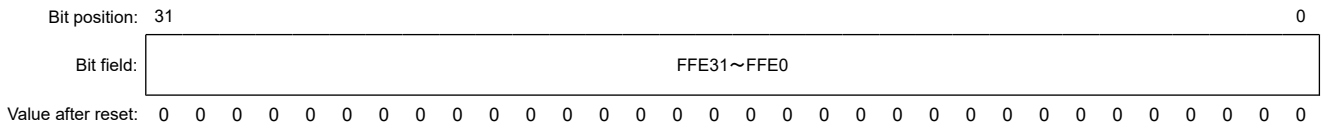
[エラー復帰]

HW : ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.14 FWEIE60 : エラー割り込み許可レジスタ 60

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A54



ビット	シンボル	機能	R/W
31:0	FFE31～FFE0	FRER n フィルタリング許可 (n = 96～127)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FFEn ビット (FRER n フィルタリング許可 (n = 96～127))

- ビット i を 0 に設定 : 割り込み i が禁止されます。
- ビット i を 1 に設定 : 割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

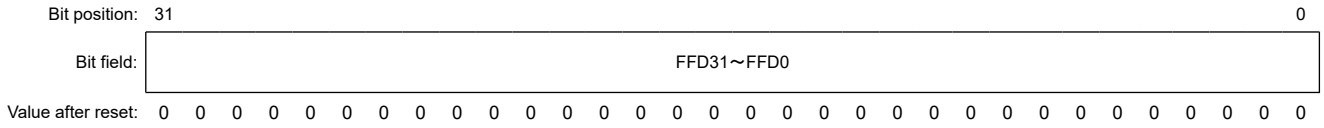
[0 になる条件]

FWEID60.FFDi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.15 FWEID60 : エラー割り込み禁止レジスタ 60

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A58

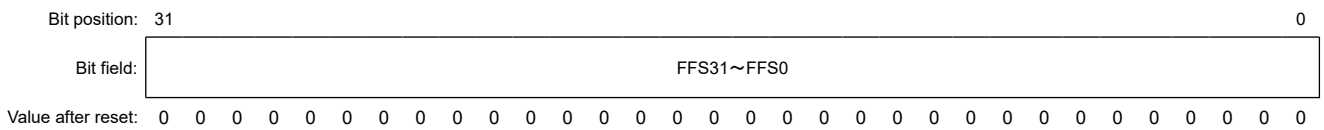


ビット	シンボル	機能	R/W
31:0	FFD31～FFD0	FRER n フィルタリング禁止 (n = 96～127) このレジスタのビット i に 1 を書き込むと、FWEIE60.FFEi レジスタのビット i がクリアされます。	R/W

30.3.3.16 FWEIS61 : エラー割り込みステータスレジスタ 61

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A60



ビット	シンボル	機能	R/W
31:0	FFS31～FFS0	FRER n フィルタリングステータスフラグ (n = 64～95)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FFSn ビット (FRER n フィルタリングステータスフラグ (n = 64～95))

[1 になる条件]

- HW : 個別のリカバリに FRER ルール i + 64 が使用される場合、シーケンスエラーまたはストラックエラーがないために FRER ルール番号 i + 64 によってディスクリプタがフィルタリングされると、ビット i は設定されます。((e) 個別リカバリアルゴリズムを参照してください。)
- HW : シーケンスリカバリに FRER ルール i + 64 が使用される場合、シーケンスエラーがないために FRER ルール番号 i + 64 によってディスクリプタがフィルタリングされると、ビット i は設定されます。((f) シーケンスリカバリアルゴリズムを参照してください。)

[0 になる条件]

SW : これらのビットのいずれかに 1 を書き込むとクリアされます。

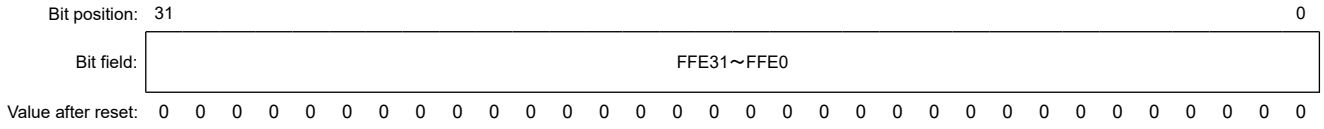
[エラー復帰]

HW : ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.17 FWEIE61 : エラー割り込み許可レジスタ 61

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A64



ビット	シンボル	機能	R/W
31:0	FFE31～FFE0	FRER n フィルタリング許可 (n = 64～95)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FFEn ビット (FRER n フィルタリング許可 (n = 64～95))

- ビット i を 0 に設定 : 割り込み i が禁止されます。
- ビット i を 1 に設定 : 割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

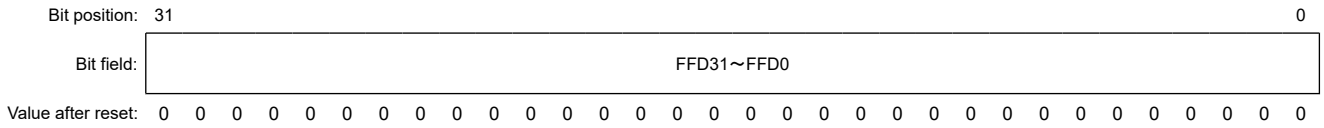
[0 になる条件]

FWEID61.FFDi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.18 FWEID61 : エラー割り込み禁止レジスタ 61

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A68

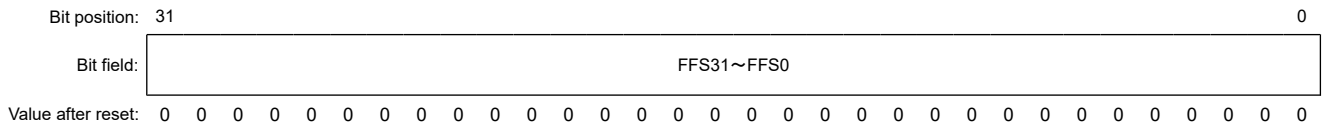


ビット	シンボル	機能	R/W
31:0	FFD31～FFD0	FRER n フィルタリング禁止 (n = 64～95) このレジスタのビット i に 1 を書き込むと、FWEIE61.FFEi レジスタのビット i がクリアされます。	R/W

30.3.3.19 FWEIS62 : エラー割り込みステータスレジスタ 62

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A70



ビット	シンボル	機能	R/W
31:0	FFS31～FFS0	FRER n フィルタリングステータスフラグ (n = 32～63)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FFSn ビット (FRER n フィルタリングステータスフラグ (n = 32～63))

[1 になる条件]

- HW : 個別のリカバリに FRER ルール i + 32 が使用される場合、ノーシーケンスエラーまたはストラックエラーのためにディスクリプタが FRER ルール番号 i + 32 によってフィルタリングされると、ビット i は設定されます（(e) 個別リカバリアルゴリズムを参照してください）。
- HW : シーケンスリカバリに FRER ルール i + 32 が使用される場合、ノーシーケンスエラーのためにディスクリプタが FRER ルール番号 i + 32 によってフィルタリングされると、ビット i は設定されます（(f) シーケンスリカバリアルゴリズムを参照してください）。

[0 になる条件]

SW : これらのビットのいずれかに 1 を書き込むとクリアされます。

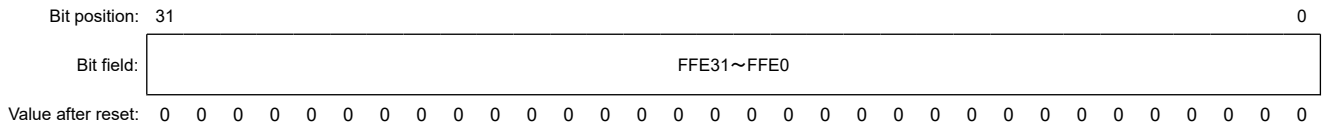
[エラー復帰]

HW : ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.20 FWEIE62 : エラー割り込み許可レジスタ 62

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A74



ビット	シンボル	機能	R/W
31:0	FFE31～FFE0	FRER n フィルタリング許可 (n = 32～63)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FFEn ビット (FRER n フィルタリング許可 (n = 32～63))

- ビット i を 0 に設定 : 割り込み i が禁止されます。
- ビット i を 1 に設定 : 割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

FWEID62.FFDi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.21 FWEID62 : エラー割り込み禁止レジスタ 62

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A78

Bit position:	31																												0
Bit field:	FFD31～FFD0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FFD31～FFD0	FRER n フィルタリング禁止 (n = 32～63) このレジスタのビット i に 1 を書き込むと、FWEIE62.FFEi レジスタのビット i がクリアされます。	R/W

30.3.3.22 FWEIS63 : エラー割り込みステータスレジスタ 63

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A80

Bit position:	31																												0
Bit field:	FFS31～FFS0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FFS31～FFS0	FRER n フィルタリングステータスフラグ (n = 0～31)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FFSn ビット (FRER n フィルタリングステータスフラグ (n = 0～31))

[1 になる条件]

- HW : 個別のリカバリに FRER ルール i が使用される場合、シーケンスエラーまたはストラックエラーがないために FRER ルール番号 i によってディスクリプタがフィルタリングされると、ビット i が設定されます。((e) 個別リカバリアルゴリズムを参照してください。)
- HW : シーケンスリカバリに FRER ルール i が使用される場合、シーケンスエラーがないために FRER ルール番号 i によってディスクリプタがフィルタリングされると、ビット i が設定されます。((f) シーケンスリカバリアルゴリズムを参照してください。)

[0 になる条件]

SW : これらのビットのいずれかに 1 を書き込むとクリアされます。

エラー復帰 :

HW : ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.23 FWEIE63 : エラー割り込み許可レジスタ 63

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A84

Bit position:	31																												0
Bit field:	FFE31～FFE0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FFE31～FFE0	FRER n フィルタリング許可 (n = 0～31)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FFEn ビット (FRER n フィルタリング許可 (n = 0～31))

- ビット i を 0 に設定：割り込み i が禁止されます。
- ビット i を 1 に設定：割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

FWEID63.FFDi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.24 FWEID63 : エラー割り込み禁止レジスタ 63

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A88

Bit position:	31																												0
Bit field:	FFD31～FFD0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FFD31～FFD0	FRER n フィルタリング禁止 (n = 0～31) このレジスタのビット i に 1 を書き込むと、FWEIE63.FFEi レジスタのビット i がクリアされます。	R/W

30.3.3.25 FWEIS70 : エラー割り込みステータスレジスタ 70

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A90

Bit position:	31																												0
Bit field:	FOORS31～FOORS0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOORS31～ FOORS0	FRER n 範囲外ステータスフラグ (n = 96～127)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FOORSn ビット (FRER n 範囲外ステータスフラグ (n = 96～127))

[1 になる条件]

- HW: FRER ルール i + 96 が一致アルゴリズムとともに使用される場合、ディスクリプタのアウトオブオーダーエラーが発生すると、ビット i が設定されます（(e) 個別リカバリアルゴリズムと(f) シーケンスリカバリアルゴリズムを参照してください）。
- HW: FRER ルール i + 96 がベクタアルトリズムとともに使用される場合、範囲外エラーのためにディスクリプタが FRER ルール番号 i + 96 によってフィルタリングされると、ビット i が設定されます（(e) 個別リカバリアルゴリズムと(f) シーケンスリカバリアルゴリズムを参照してください）。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.26 FWEIE70：エラー割り込み許可レジスタ 70

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A94

Bit position:	31																												0
Bit field:	FOORE31～FOORE0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOORE31～FOORE0	FRER n 範囲外許可 (n = 96～127)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FOOREn ビット (FRER n 範囲外許可 (n = 96～127))

- ビット i を 0 に設定：割り込み i が禁止されます。
- ビット i を 1 に設定：割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

FWEID70.FOORDi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.27 FWEID70：エラー割り込み禁止レジスタ 70

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7A98

Bit position:	31																												0
Bit field:	FOORD31～FOORD0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOORD31～FOORD0	FRER n 範囲外禁止 (n = 96～127) このレジスタのビット i に 1 を書き込むと、FWEIE70.FOOREi レジスタのビット i がクリアされます。	R/W

30.3.3.28 FWEIS71 : エラー割り込みステータスレジスタ 71

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AA0

Bit position:	31																												0
Bit field:	FOORS31～FOORS0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOORS31～FOORS0	FRER n 範囲外ステータスフラグ (n = 64～95)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FOORSn ビット (FRER n 範囲外ステータスフラグ (n = 64～95))

[1 になる条件]

- HW: FRER ルール i + 64 が一致アルゴリズムとともに使用される場合、ディスクリプタのアウトオブオーダーエラーが発生すると、ビット i が設定されます（(e) 個別リカバリアルゴリズムと(f) シーケンスリカバリアルゴリズムを参照してください）。
- HW: FRER ルール i + 64 がベクタアルトリズムとともに使用される場合、範囲外エラーのためにディスクリプタが FRER ルール番号 i + 64 によってフィルタリングされると、ビット i が設定されます（(e) 個別リカバリアルゴリズムと(f) シーケンスリカバリアルゴリズムを参照してください）。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.29 FWEIE71 : エラー割り込み許可レジスタ 71

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AA4

Bit position:	31																												0
Bit field:	FOORE31～FOORE0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOORE31～FOORE0	FRER n 範囲外許可 (n = 64～95)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FOOREn ビット (FRER n 範囲外許可 (n = 64～95))

- ビット i を 0 に設定：割り込み i が禁止されます。
- ビット i を 1 に設定：割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

FWEID71.FOORDi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.30 FWEID71 : エラー割り込み禁止レジスタ 71

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AA8

Bit position:	31																											0
Bit field:	FOORD31～FOORD0																											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOORD31～ FOORD0	FRER n 範囲外禁止 (n = 64～95) このレジスタのビット i に 1 を書き込むと、FWEIE71.FOOREi レジスタのビット i がクリアされます。	R/W

30.3.3.31 FWEIS72 : エラー割り込みステータスレジスタ 72

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AB0

Bit position:	31																											0
Bit field:	FOORS31～FOORS0																											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOORS31～ FOORS0	FRER n 範囲外ステータスフラグ (n = 32～63)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FOORSn ビット (FRER n 範囲外ステータスフラグ (n = 32～63))

[1 になる条件]

- HW: FRER ルール i + 32 が一致アルゴリズムとともに使用される場合、ディスクリプタのアウトオブオーダーエラーが発生すると、ビット i が設定されます（(e) 個別リカバリアルゴリズムと(f) シーケンスリカバリアルゴリズムを参照してください）。
- HW: FRER ルール i + 32 がベクタアルトリズムとともに使用される場合、範囲外エラーのためにディスクリプタが FRER ルール番号 i + 32 によってフィルタリングされると、ビット i が設定されます（(e) 個別リカバリアルゴリズムと(f) シーケンスリカバリアルゴリズムを参照してください）。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

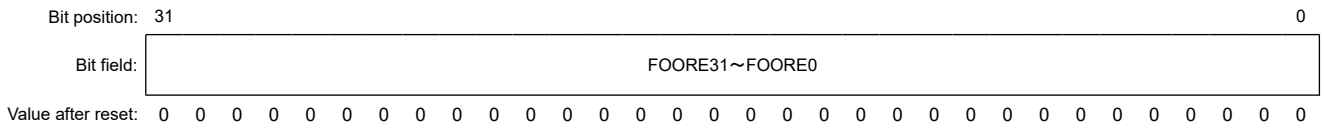
[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.32 FWEIE72 : エラー割り込み許可レジスタ 72

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AB4



ビット	シンボル	機能	R/W
31:0	FOORE31～FOORE0	FRER n 範囲外許可 (n = 32～63)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FOOREn ビット (FRER n 範囲外許可 (n = 32～63))

- ビット i を 0 に設定：割り込み i が禁止されます。
- ビット i を 1 に設定：割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

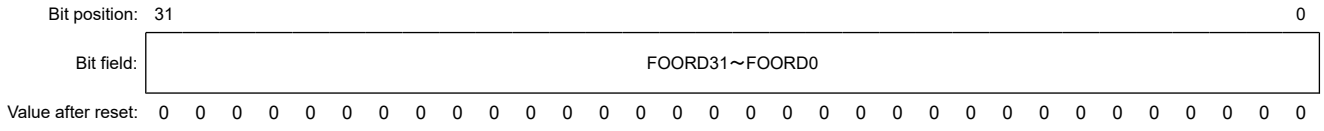
[0 になる条件]

FWEID72.FOORDi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.33 FWEID72 : エラー割り込み禁止レジスタ 72

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AB8

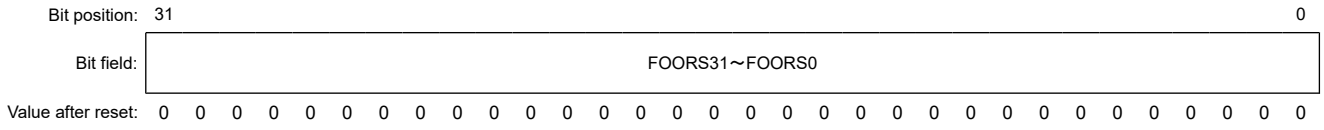


ビット	シンボル	機能	R/W
31:0	FOORD31～FOORD0	FRER n 範囲外禁止 (n = 32～63) このレジスタのビット i に 1 を書き込むと、FWEIE72.FOOREi レジスタのビット i がクリアされます。	R/W

30.3.3.34 FWEIS73 : エラー割り込みステータスレジスタ 73

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AC0



ビット	シンボル	機能	R/W
31:0	FOORS31～FOORS0	FRER n 範囲外ステータスフラグ (n = 0～31)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FOORSn ビット (FRER n 範囲外ステータスフラグ (n = 0～31))

[1 になる条件]

- HW: FRER ルール i が一致アルゴリズムとともに使用される場合、ディスクリプタのアウトオブオーダーエラーが発生すると、ビット i が設定されます（(e) 個別リカバリアルゴリズムと(f) シーケンスリカバリアルゴリズムを参照してください）。
- HW: FRER ルール i がベクタアルゴリズムとともに使用される場合、範囲外エラーのためにディスクリプタが FRER ルール番号 i によってフィルタリングされると、ビット i が設定されます（(e) 個別リカバリアルゴリズムと(f) シーケンスリカバリアルゴリズムを参照してください）。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.35 FWEIE73 : エラー割り込み許可レジスタ 73

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AC4

Bit position:	31																												0
Bit field:	FOORE31～FOORE0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOORE31～FOORE0	FRER n 範囲外許可 (n = 0～31)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

FOOREn ビット (FRER n 範囲外許可 (n = 0～31))

- ビット i を 0 に設定：割り込み i が禁止されます。
- ビット i を 1 に設定：割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

FWEID73.FOORDi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.36 FWEID73 : 転送エンジンエラー割り込み禁止 73

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AC8

Bit position:	31																												0
Bit field:	FOORD31～FOORD0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FOORD31～FOORD0	FRER n 範囲外禁止 (n = 0～31) このレジスタのビット i に 1 を書き込むと、FWEIE73.FOOREi レジスタのビット i がクリアされます。	R/W

30.3.3.37 FWEIS80 : エラー割り込みステータスレジスタ 80

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AD0

Bit position:	31																												0
Bit field:	TOS31～TOS0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TOS31～TOS0	タイムアウトステータスフラグ n (n = 96～127)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

TOSn ビット (タイムアウトステータスフラグ n (n = 96～127))

[1 になる条件]

HW：FRER ルール i + 96 となってタイムアウトが発生したとき。((3) タイムアウトを参照してください。)

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.38 FWEIE80 : エラー割り込み許可レジスタ 80

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AD4

Bit position:	31																												0
Bit field:	TOE31～TOE0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TOE31～TOE0	タイムアウト許可 n (n = 96～127)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

TOEn ビット (タイムアウト許可 n (n = 96～127))

- ビット i を 0 に設定：割り込み i が禁止されます。
- ビット i を 1 に設定：割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

FWEID80.TODi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.39 FWEID80 : エラー割り込み禁止レジスタ 80

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AD8

Bit position:	31																												0
Bit field:	TOD31～TOD0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TOD31～TOD0	タイムアウト禁止 n (n = 96～127) このレジスタのビット i に 1 を書き込むと、FWEIE80.TOEi レジスタのビット i がクリアされます。	R/W

30.3.3.40 FWEIS81 : エラー割り込みステータスレジスタ 81

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AE0

Bit position:	31																												0
Bit field:	TOS31～TOS0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TOS31～TOS0	タイムアウトステータスフラグ n (n = 64～95)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

TOSn ビット (タイムアウトステータスフラグ n (n = 64～95))

[1 になる条件]

HW：FRER ルール i + 64 となってタイムアウトが発生したとき。((3) タイムアウトを参照してください。)

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.41 FWEIE81 : エラー割り込み許可レジスタ 81

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AE4

Bit position:	31																												0
Bit field:	TOE31～TOE0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TOE31～TOE0	タイムアウト許可 n (n = 64～95)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

TOEn ビット (タイムアウト許可 n (n = 64～95))

- ビット i を 0 に設定：割り込み i が禁止されます。
- ビット i を 1 に設定：割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

FWEID81.TODi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.42 FWEID81 : エラー割り込み禁止レジスタ 81

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AE8

Bit position:	31																												0
Bit field:	TOD31～TOD0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TOD31～TOD0	タイムアウト禁止 n (n = 64～95) このレジスタのビット i に 1 を書き込むと、FWEIE81.TOEi レジスタのビット i がクリアされます。	R/W

30.3.3.43 FWEIS82 : エラー割り込みステータスレジスタ 82

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AF0

Bit position:	31																												0
Bit field:	TOS31～TOS0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TOS31～TOS0	タイムアウトステータスフラグ n (n = 32～63)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

TOSn ビット (タイムアウトステータスフラグ n (n = 32～63))

[1 になる条件]

HW：FRER ルール i + 32 のタイムアウトが発生したとき。((3) タイムアウトを参照してください。)

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

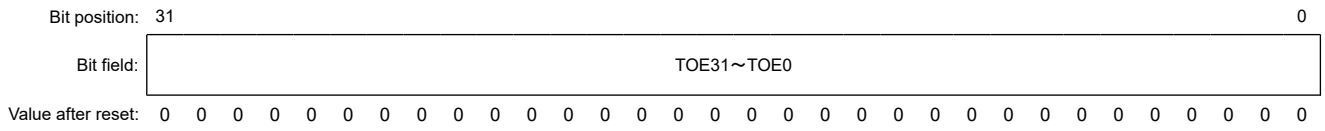
[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.44 FWEIE82 : エラー割り込み許可レジスタ 82

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AF4



ビット	シンボル	機能	R/W
31:0	TOE31～TOE0	タイムアウト許可 n (n = 32～63)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

TOEn ビット (タイムアウト許可 n (n = 32～63))

- ビット i を 0 に設定 : 割り込み i が禁止されます。
- ビット i を 1 に設定 : 割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

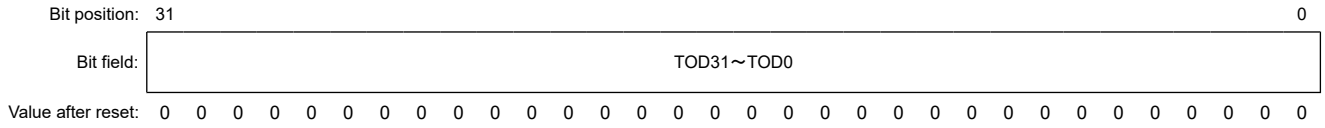
[0 になる条件]

FWEID82.TODi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.45 FWEID82 : エラー割り込み禁止レジスタ 82

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7AF8

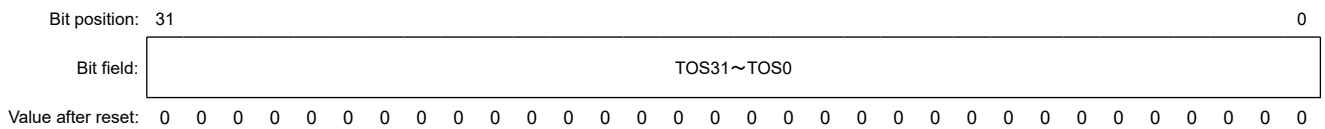


ビット	シンボル	機能	R/W
31:0	TOD31～TOD0	タイムアウト禁止 n (n = 32～63) このレジスタのビット i に 1 を書き込むと、FWEIE82.TOEi レジスタのビット i がクリアされます。	R/W

30.3.3.46 FWEIS83 : エラー割り込みステータスレジスタ 83

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7B00



ビット	シンボル	機能	R/W
31:0	TOS31～TOS0	タイムアウトステータスフラグ n (n = 0～31)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

TOSn ビット (タイムアウトステータスフラグ n (n = 0～31))

[1 になる条件]

HW：FRER ルール i となってタイムアウトが発生したとき。((3) タイムアウトを参照。)

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：ディスクリプタに対応するフレームが拒否されたとき。

30.3.3.47 FWEIE83：エラー割り込み許可レジスタ 83

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7B04

Bit position:	31																												0
Bit field:	TOE31～TOE0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TOE31～TOE0	タイムアウト許可 n (n = 0～31)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

TOEn ビット (タイムアウト許可 n (n = 0～31))

- ビット i を 0 に設定：割り込み i が禁止されます。
- ビット i を 1 に設定：割り込み i が許可されます。

[1 になる条件]

これらのビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

FWEID83.TODi レジスタのビット i に 1 を書き込むと、このレジスタのビット i がクリアされます。

30.3.3.48 FWEID83：エラー割り込み禁止レジスタ 83

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7B08

Bit position:	31																												0
Bit field:	TOD31～TOD0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TOD31～TOD0	タイムアウト禁止 n (n = 0～31) このレジスタのビット i に 1 を書き込むと、FWEIE83.TOEi レジスタのビット i がクリアされます。	R/W

30.3.3.49 FWMIS0 : 監視割り込みステータスレジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7C00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MACADAS	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	VLANTFS	MACTFS	—	LTHTFS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LTHTFS	L3 テーブルフルステータスフラグ	R/W(注1)
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	MACTFS	MAC テーブルフルステータスフラグ	R/W(注1)
3	VLANTFS	VLAN テーブルフルステータスフラグ	R/W(注1)
16:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	MACADAS	MAC アドレス削除エージングステータスフラグ	R/W(注1)
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

LTHTFS ビット（L3 テーブルフルステータスフラグ）

[1 になる条件]

HW：L3 テーブルがフルになるとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

MACTFS ビット（MAC テーブルフルステータスフラグ）

[1 になる条件]

HW：MAC テーブルがフルになるとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

VLANTFS ビット（VLAN テーブルフルステータスフラグ）

[1 になる条件]

HW：VLAN テーブルがフルになるとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

MACADAS ビット（MAC アドレス削除エージングステータスフラグ）

[1 になる条件]

HW：MAC アドレスがエージングまたは動的エントリの削除によって抑制されたとき。

[0 になる条件]

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

30.3.3.50 FWMIE0 : 監視割り込み許可レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7C04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MACADAE	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	VLANTFE	MACTFE	—	LTHTFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LTHTFE	L3 テーブルフル許可 0: 割り込み禁止。 1: 割り込み許可。	R/W(注1)
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	MACTFE	MAC テーブルフル許可 0: 割り込み禁止。 1: 割り込み許可。	R/W(注1)
3	VLANTFE	VLAN テーブルフル許可 0: 割り込み禁止。 1: 割り込み許可。	R/W(注1)
16:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	MACADAE	MAC アドレス削除エージング許可 0: 割り込み禁止。 1: 割り込み許可。	R/W(注1)
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

LTHTFE ビット（L3 テーブルフル許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWMID0.LTHTFD レジスタに 1 を書き込むとこのビットがクリアされます。

MACTFE ビット（MAC テーブルフル許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWMID0.MACTFD レジスタに 1 を書き込むとこのビットがクリアされます。

VLANTFE ビット（VLAN テーブルフル許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWMID0.VLANTFD レジスタに 1 を書き込むとこのビットがクリアされます。

MACADAE ビット（MAC アドレス削除エージング許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

FWMID0.MACADAD レジスタに 1 を書き込むとこのビットがクリアされます。

30.3.3.51 FWMID0 : 監視割り込み禁止レジスタ 0

Base address: MFWD = 0x403C_0000
MFWD_NS = 0x503C_0000

Offset address: 0x7C08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MACADAD	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	VLANTFD	MACTFD	—	LTHTFD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LTHTFD	L3 テーブルフル禁止 このビットに 1 を書き込むと、FWMIE0.LTHTFE がクリアされます。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	MACTFD	MAC テーブルフル禁止 このビットに 1 を書き込むと、FWMIE0.MACTFE がクリアされます。	R/W
3	VLANTFD	VLAN テーブルフル禁止 このビットに 1 を書き込むと、FWMIE0.VLANTFE がクリアされます。	R/W
16:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	MACADAD	MAC アドレス削除エージング禁止 このビットに 1 を書き込むと、FWMIE0.MACADAD がクリアされます。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.4 レジスタの使用

30.4.1 ソフトウェアフロー

注. ● SW：転送エンジンレジスタは、この項で指定されているフローを使用しないと書き込むことができません。
● SW：この項に記載されているすべてのソフトウェアフローは順序通りにしか使用できません。

30.4.1.1 ソフトウェアフローの凡例

図 30.2 にソフトウェアフローの凡例を示します。

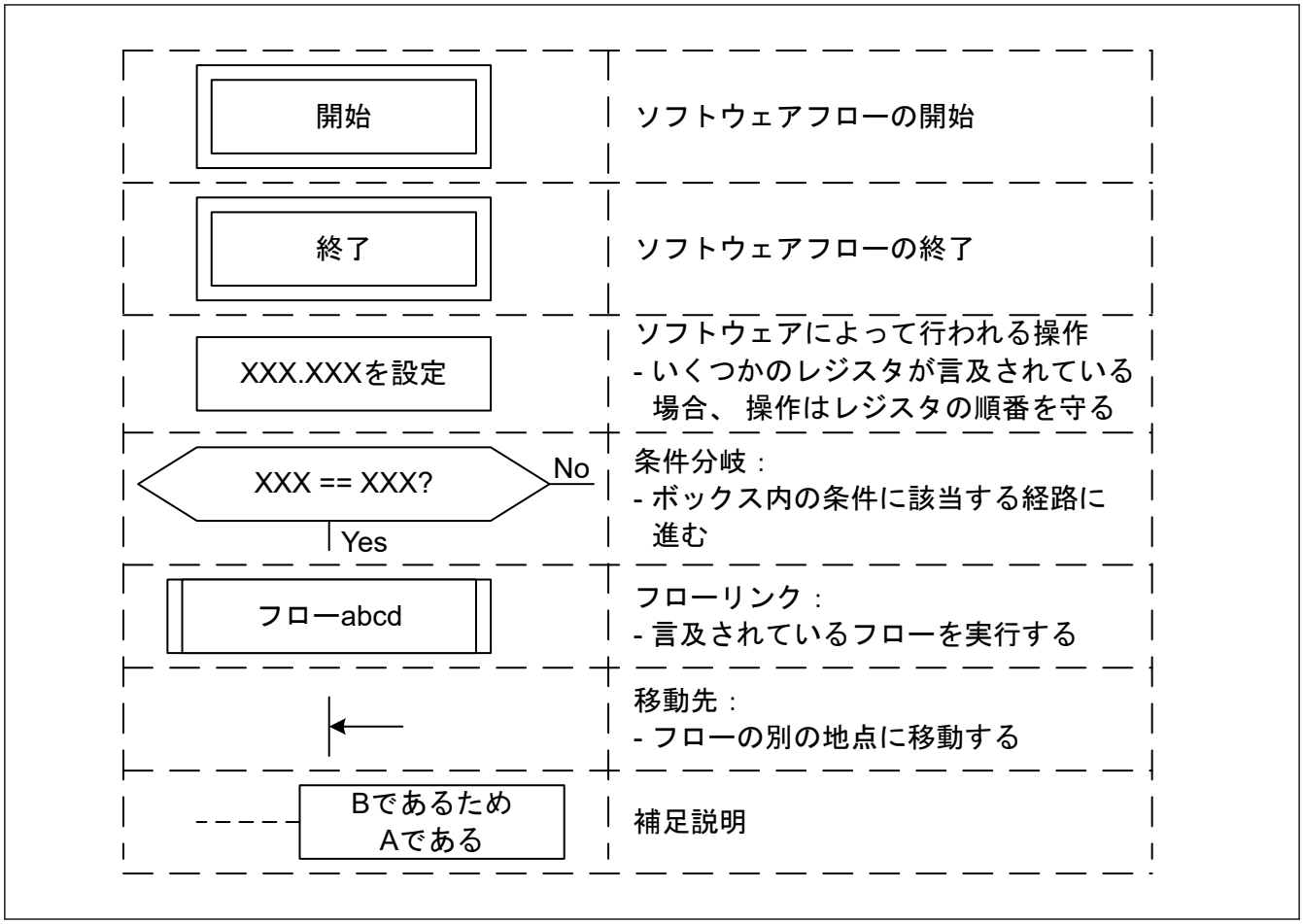


図 30.2　ソフトウェアフローの凡例

30.4.1.2　割り込み処理フロー

割り込み処理フローは RESET モード以外のすべてのモードで使用できます。

図 30.3 に割り込み処理フローを示します。

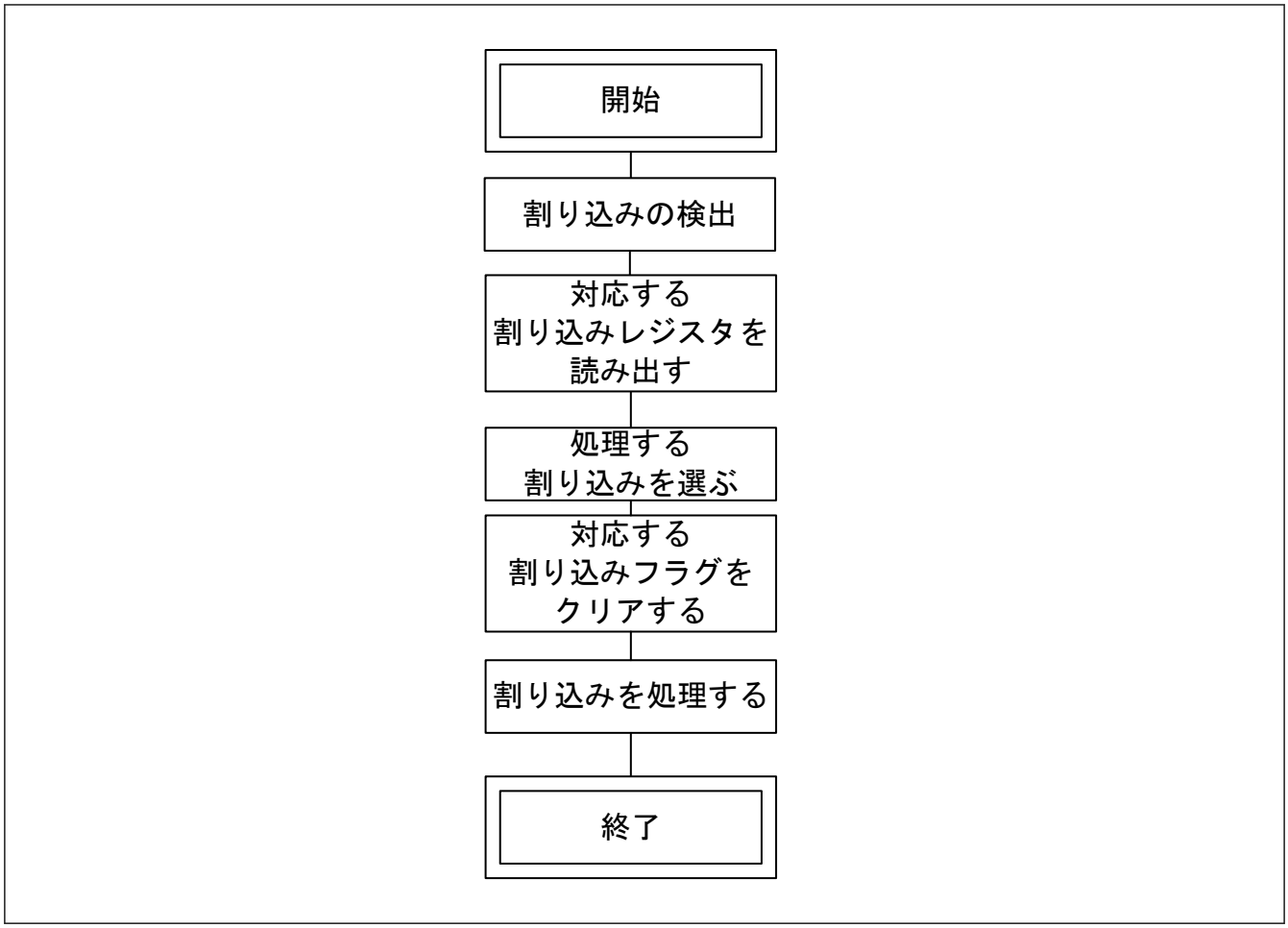


図 30.3　割り込み処理フロー

30.4.1.3　ポート i 設定フロー

図 30.4 にポート i 設定フローを示します。

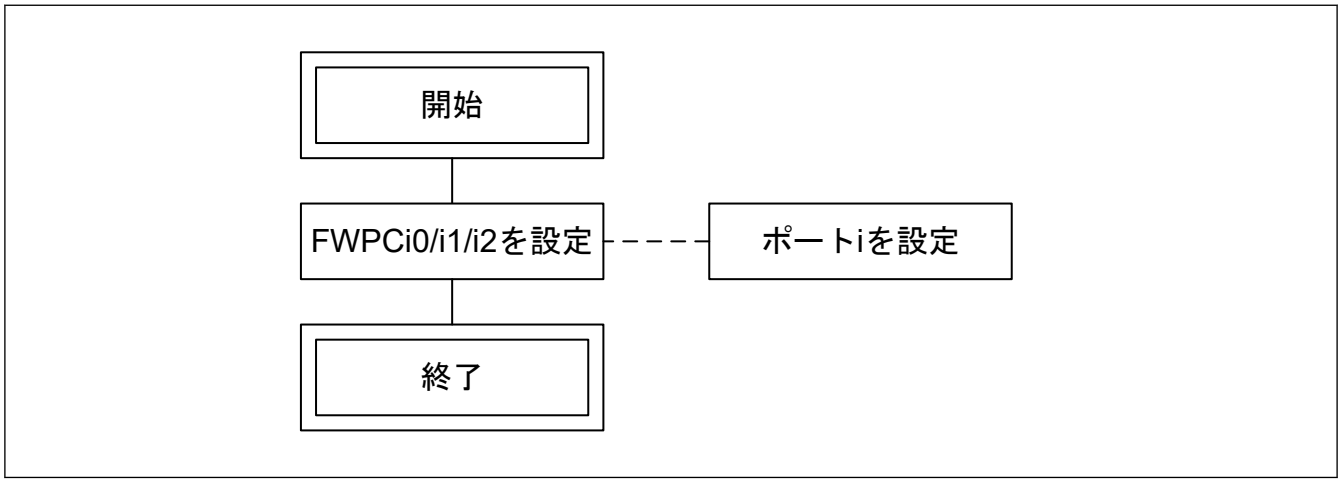


図 30.4　ポート i 設定フロー

30.4.1.4　カットスルー転送フロー

30.4.1.4.1　カットスルールール i の設定フロー

図 30.5 にカットスルールール i の設定フローを示します。

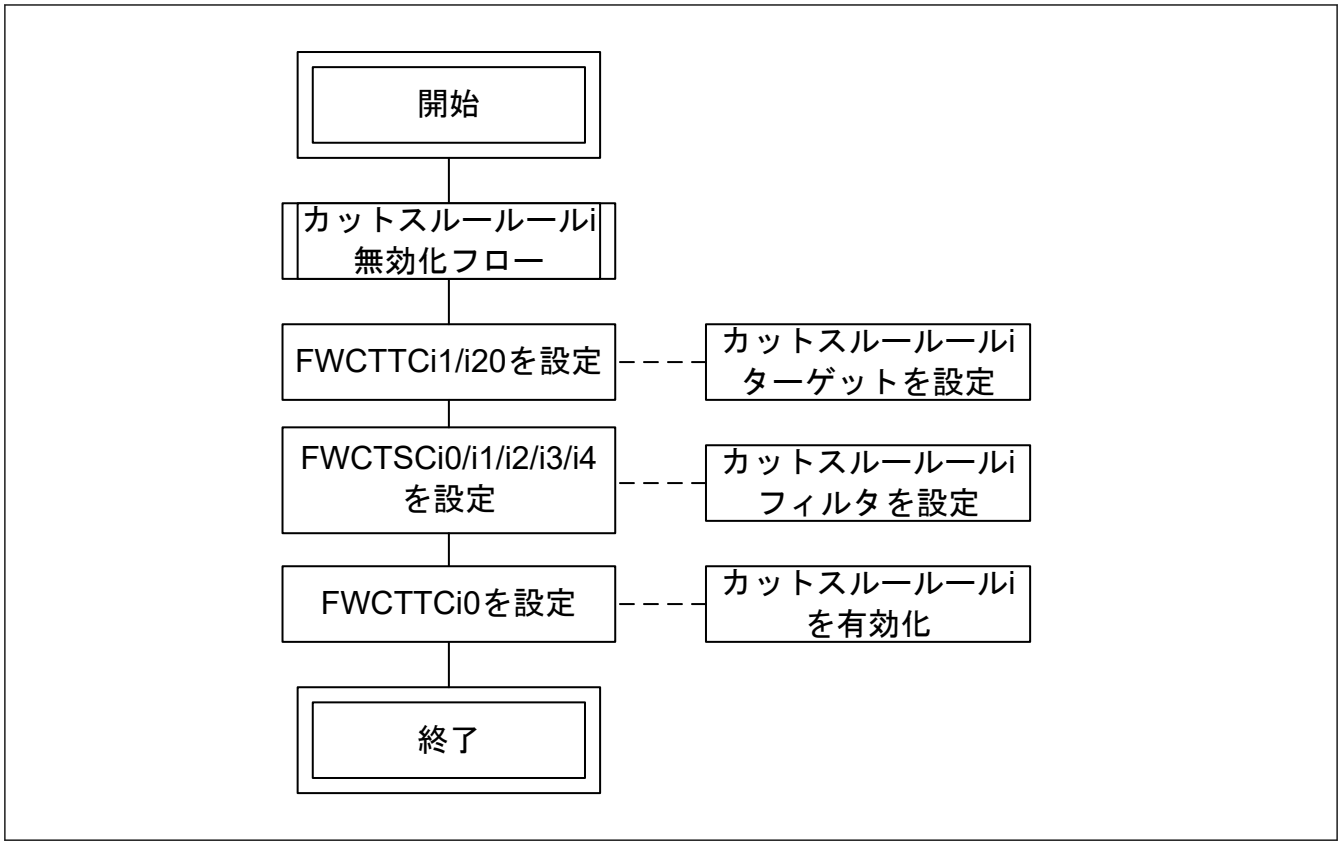


図 30.5　カットスルールール i の設定フロー

30.4.1.4.2　カットスルールール i の無効化フロー

図 30.6 にカットスルールール i の無効化フローを示します。

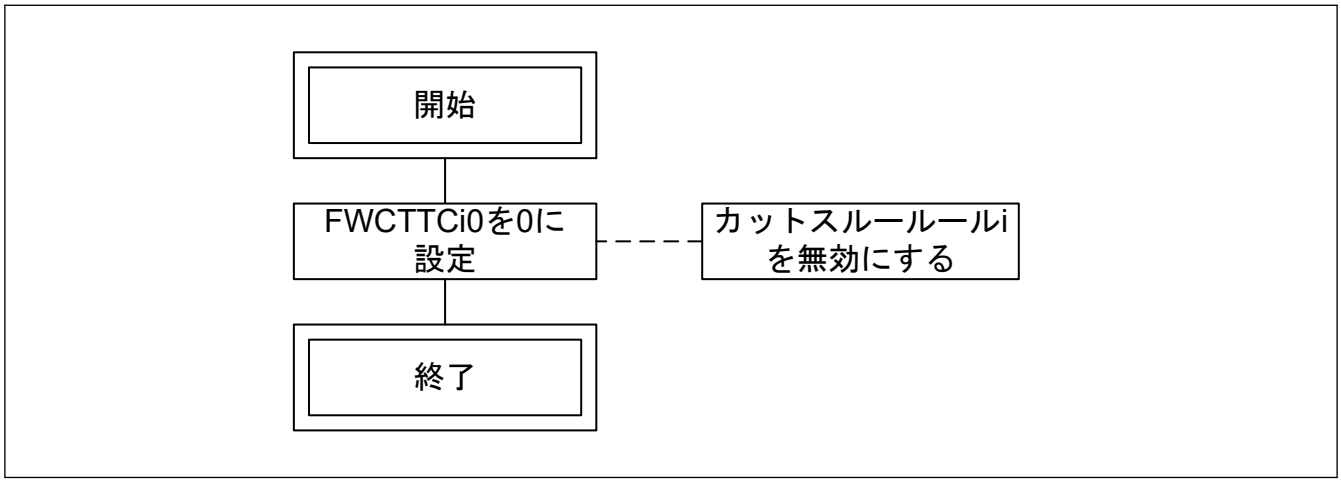


図 30.6　カットスルールール i の無効化フロー

30.4.1.5　レイヤ 3 転送／ルーティング／フィルタリングフロー

30.4.1.5.1　完全フィルタ i の設定フロー

図 30.7 に完全フィルタ i の設定フローを示します。

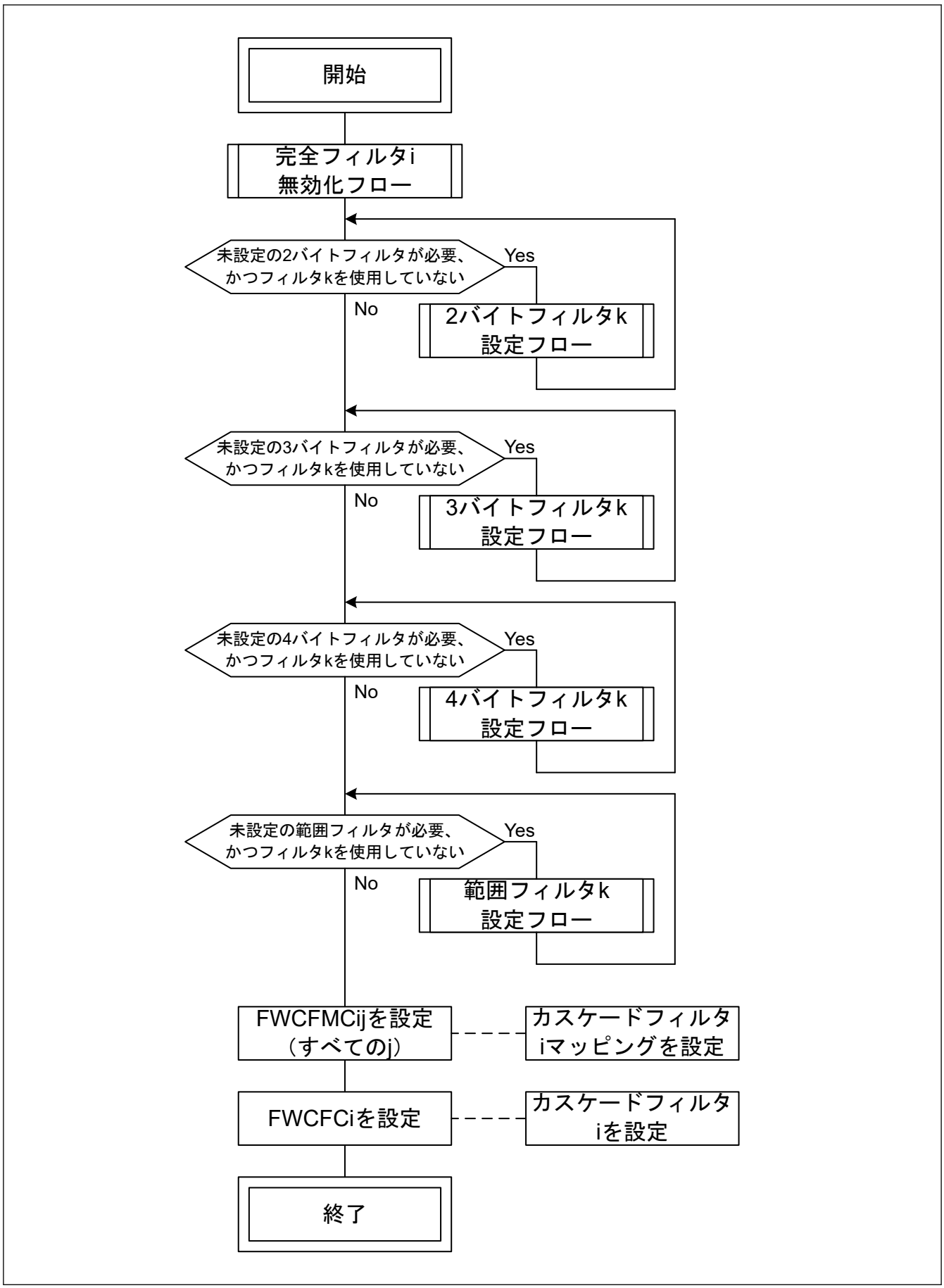


図 30.7　完全フィルタ i の設定フロー

30.4.1.5.2 完全フィルタ i 無効化フロー

図 30.8 に完全フィルタ i の無効化フローを示します。

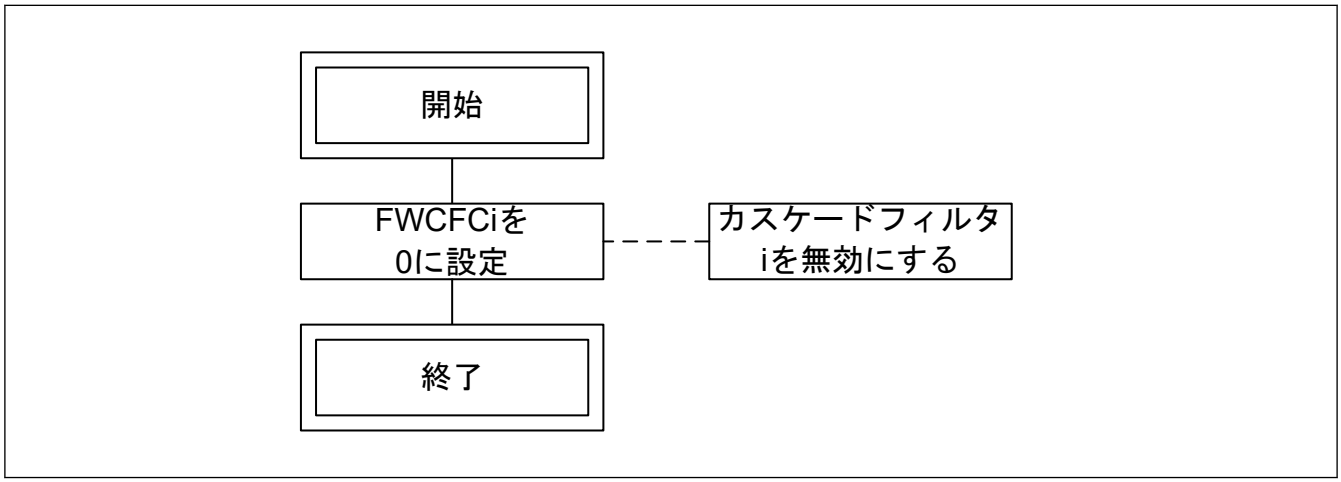


図 30.8 完全フィルタ i の無効化フロー

30.4.1.5.3 完全フィルタ優先順位変更フロー

図 30.9 に完全フィルタ優先順位の変更フローを示します。

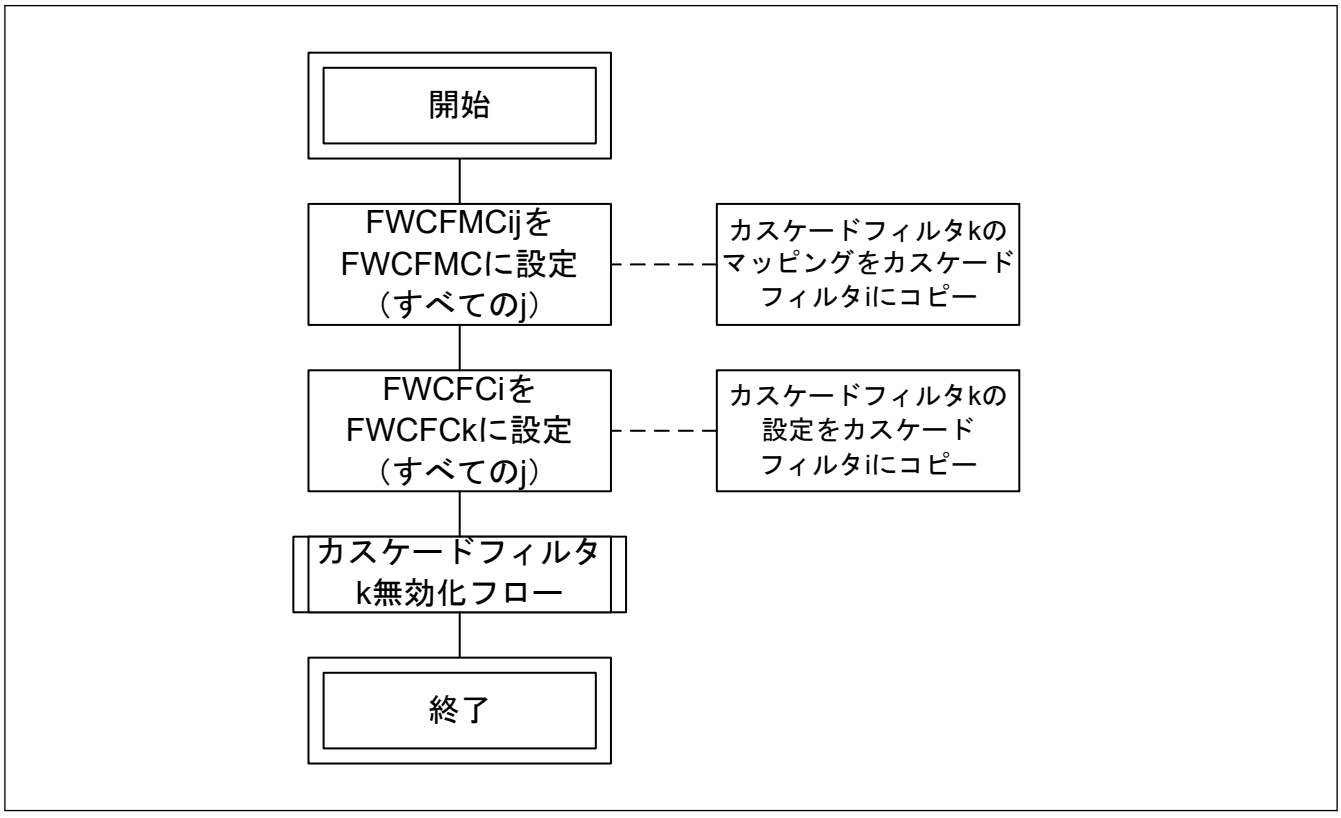


図 30.9 完全フィルタ優先順位の変更フロー（k から i）

30.4.1.5.4 ハッシュハードウェア計算フロー（IPv4/IPv6 ストリーム作成の場合）

図 30.10 にハッシュハードウェア計算フローを示します。

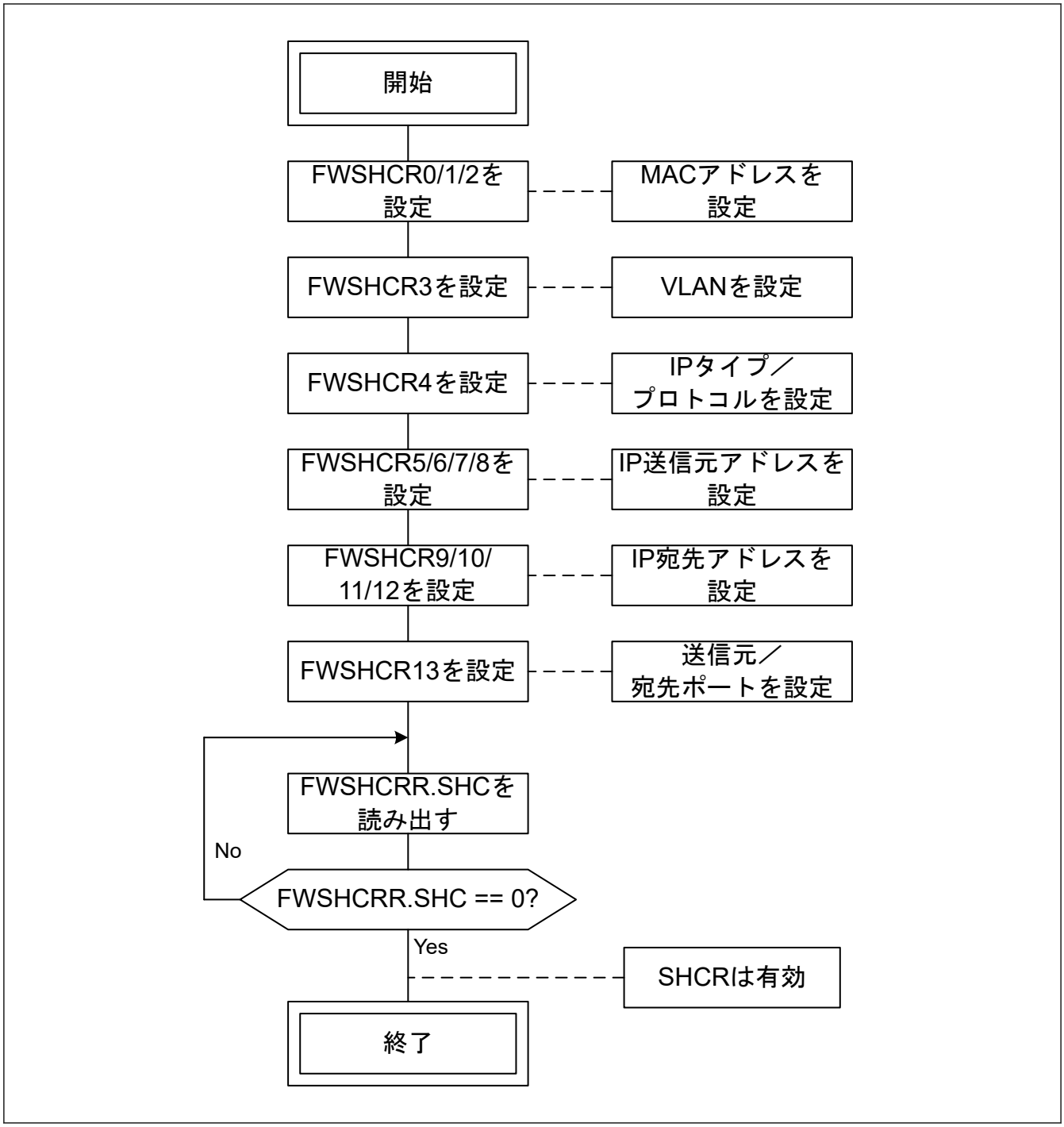


図 30.10　ハッシュハードウェア計算フロー

30.4.1.5.5　レイヤ 3 テーブルのリセットフロー

図 30.11 にレイヤ 3 テーブルのリセットフローを示します。

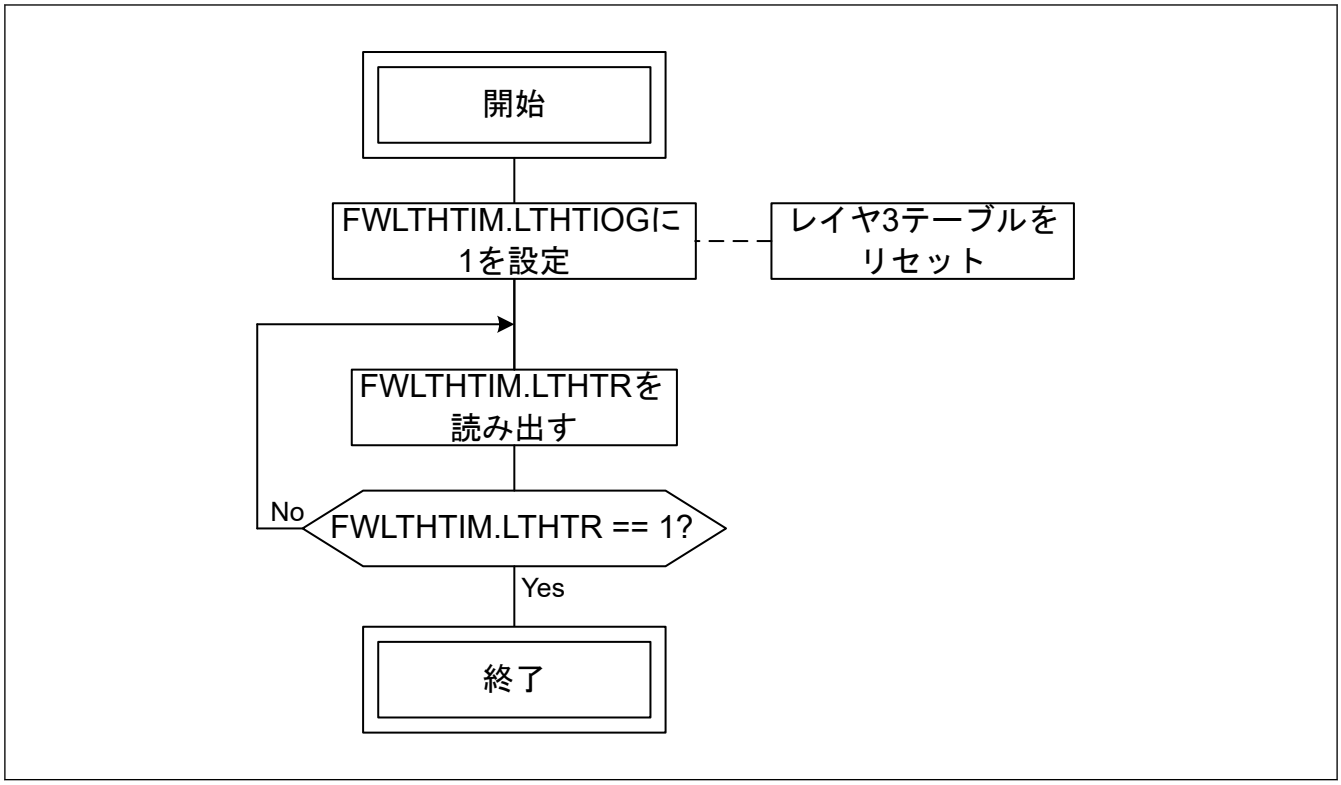


図 30.11　レイヤ 3 テーブルのリセットフロー

30.4.1.5.6　レイヤ 3 エントリ学習フロー

図 30.12 にレイヤ 3 エントリ学習フローを示します。

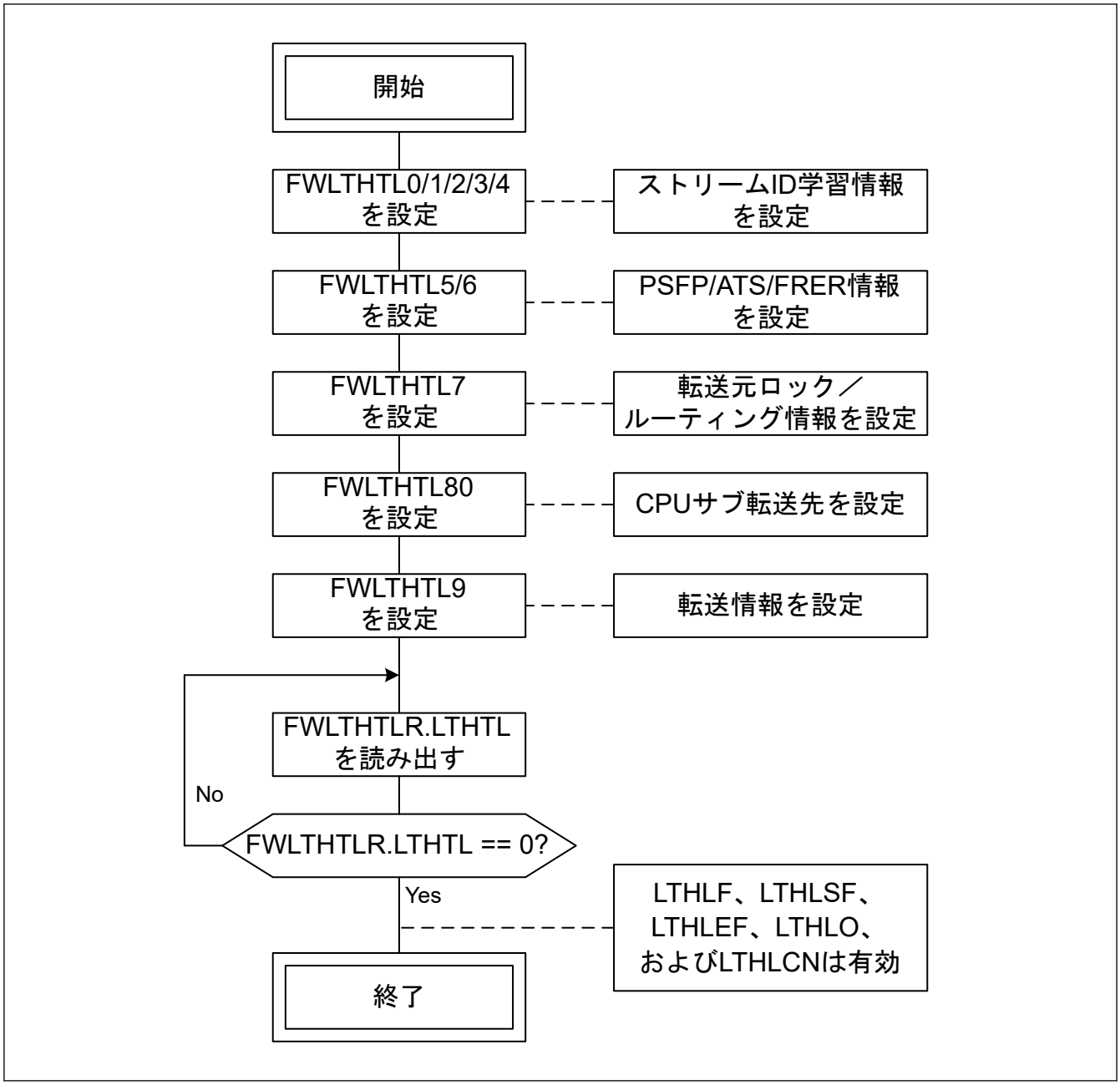


図 30.12　レイヤ 3 エントリ学習フロー

30.4.1.5.7　レイヤ 3 エントリ検索フロー

図 30.13 にレイヤ 3 エントリ検索フローを示します。

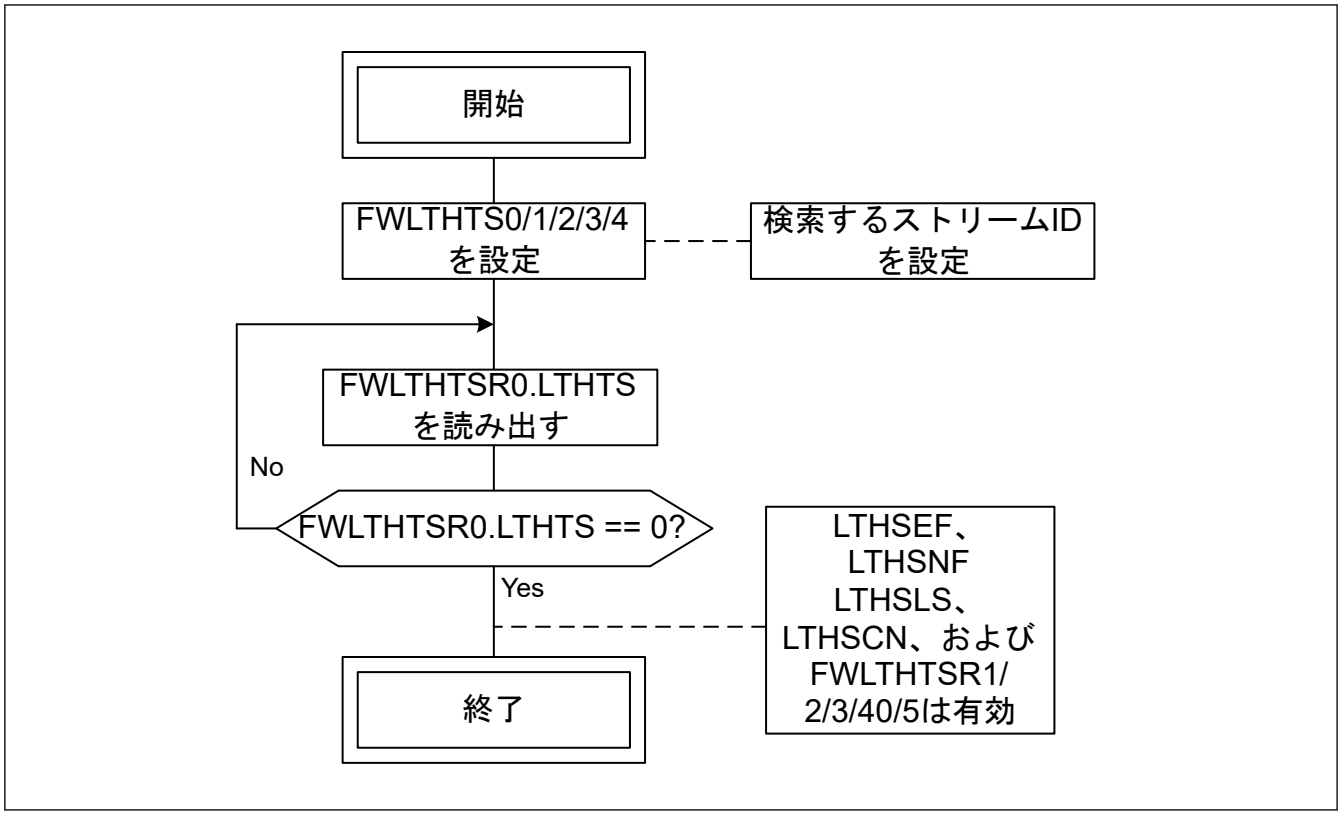


図 30.13　レイヤ 3 エントリ検索フロー

30.4.1.5.8　レイヤ 3 エントリ読み出しフロー

図 30.14 にレイヤ 3 エントリ読み出しフローを示します。

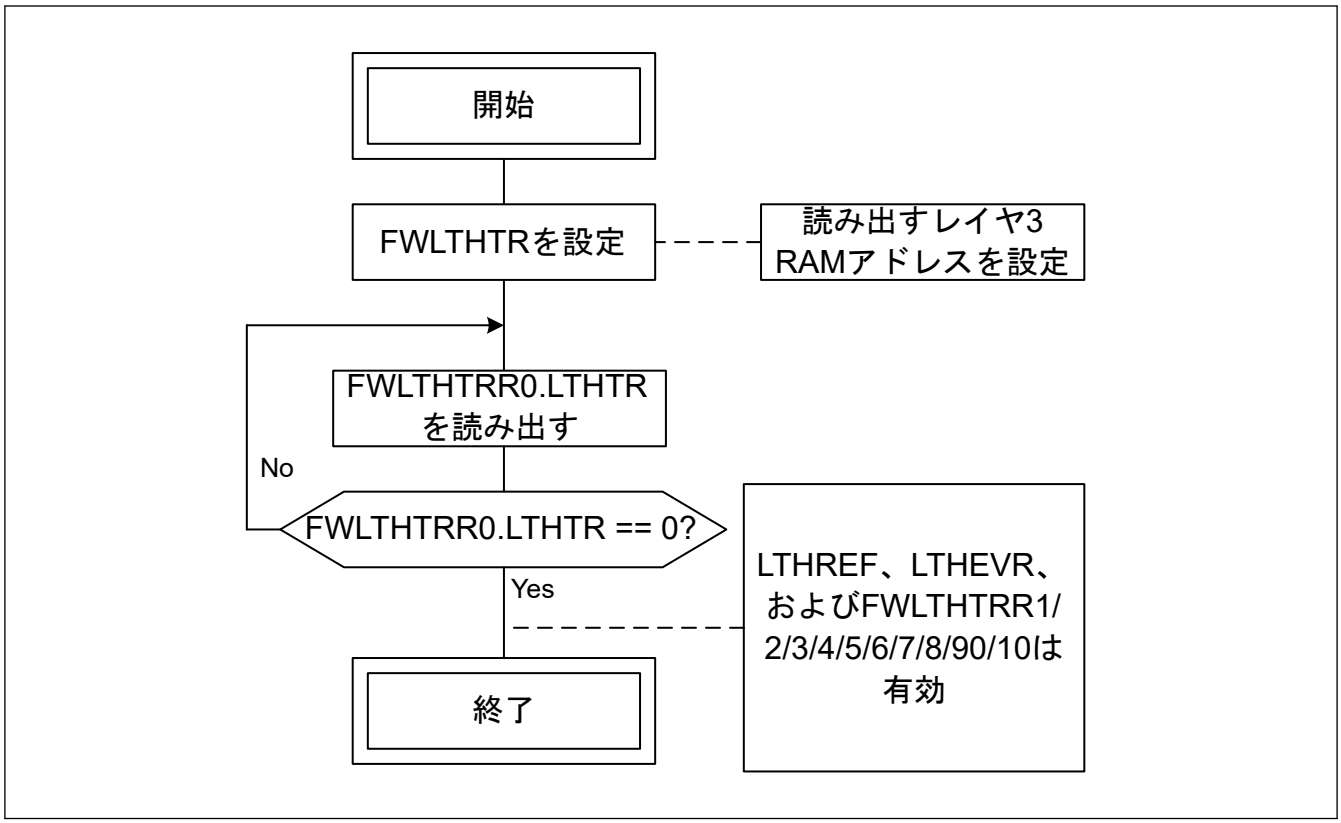


図 30.14　レイヤ 3 エントリ読み出しフロー

30.4.1.6 レイヤ 2 転送フロー

30.4.1.6.1 MAC テーブルリセットフロー

図 30.15 に MAC テーブルのリセットフローを示します。

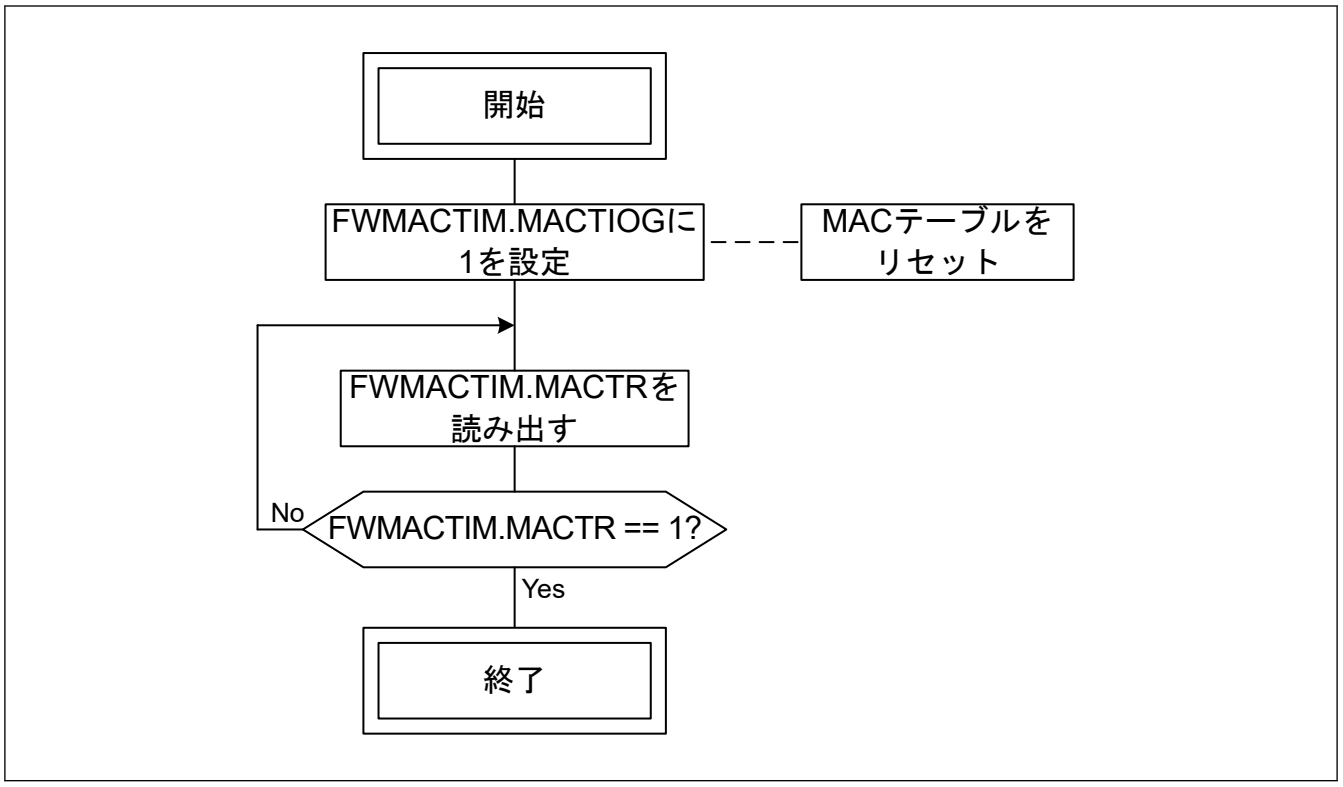


図 30.15 MAC テーブルのリセットフロー

30.4.1.6.2 VLAN テーブルリセットフロー

図 30.16 に VLAN テーブルのリセットフローを示します。

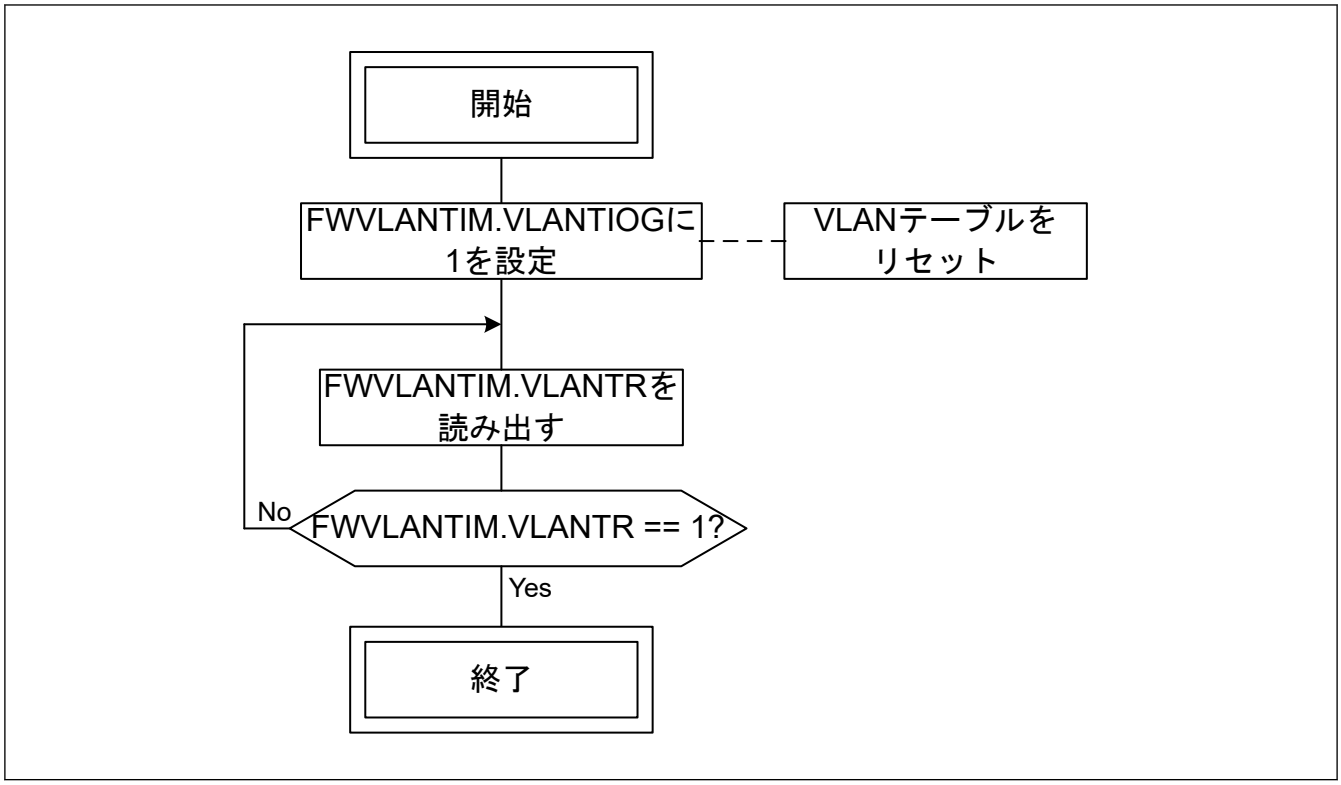


図 30.16　VLAN テーブルのリセットフロー

30.4.1.6.3　MAC エントリ学習フロー

図 30.17 に MAC エントリ学習フローを示します。

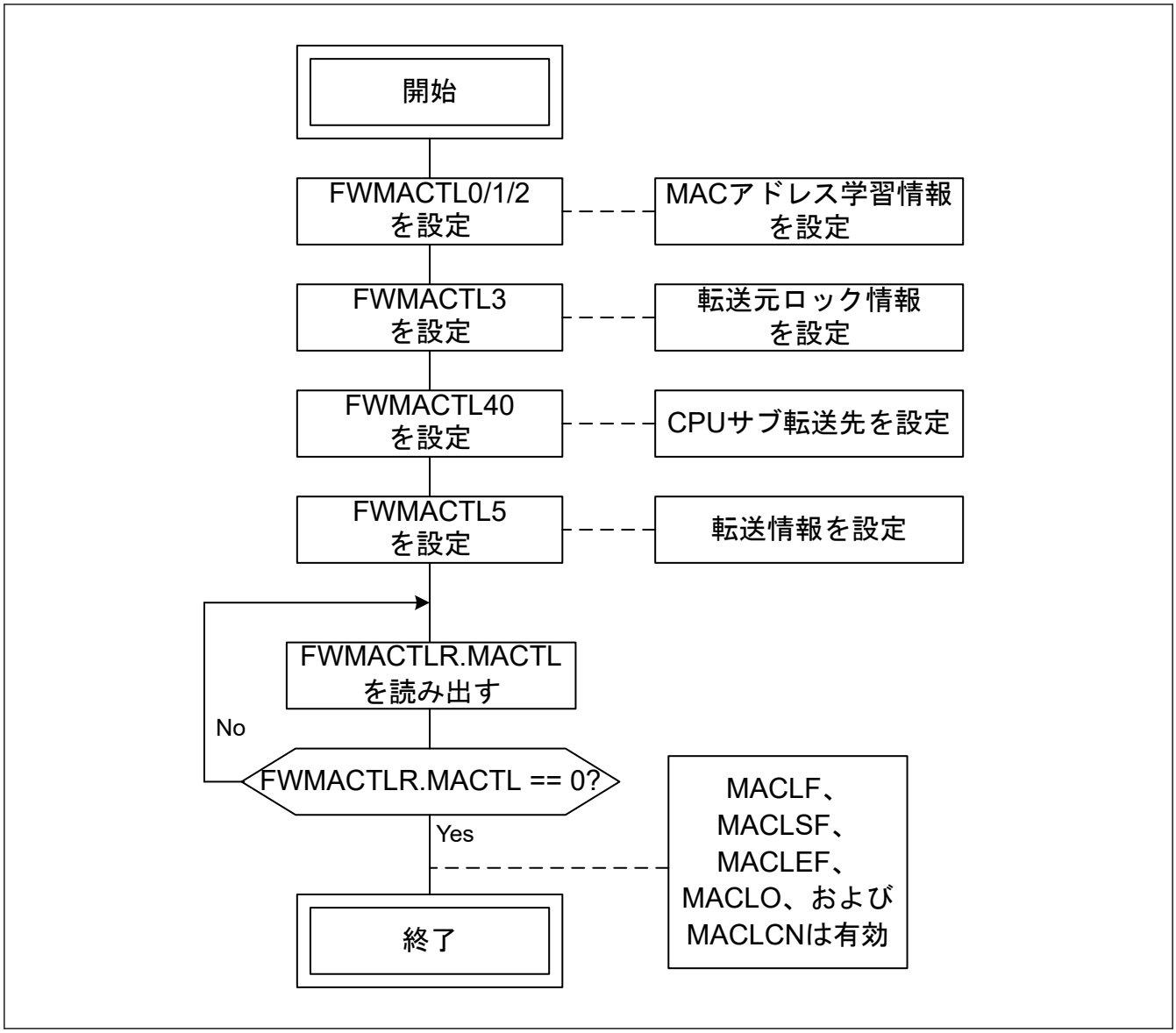


図 30.17　MAC エントリ学習フロー

30.4.1.6.4　VLAN エントリ学習フロー

図 30.18 に VLAN エントリ学習フローを示します。

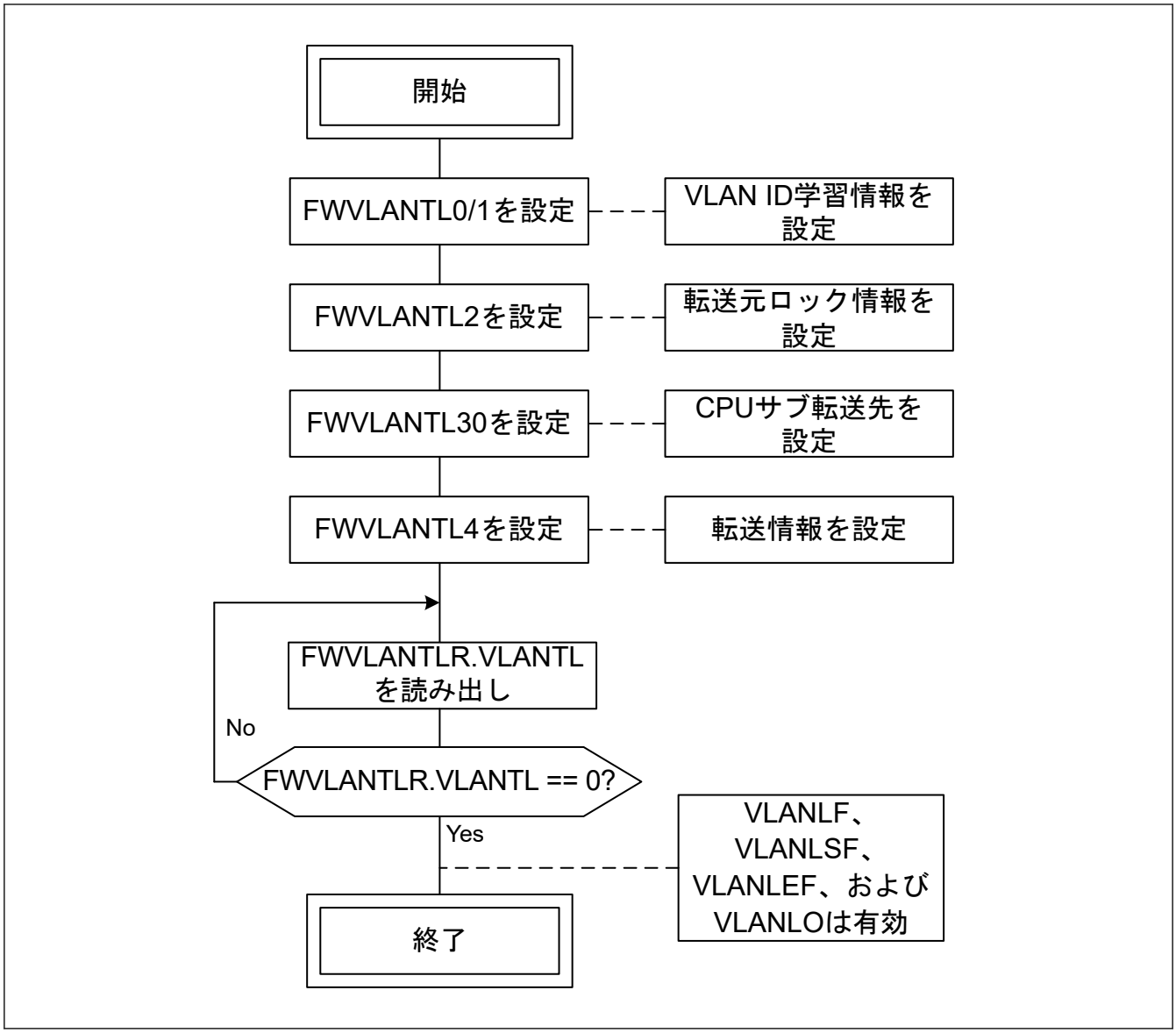


図 30.18 VLAN エントリ学習フロー

30.4.1.6.5 MAC エントリ検索フロー

図 30.19 に MAC エントリ検索フローを示します。

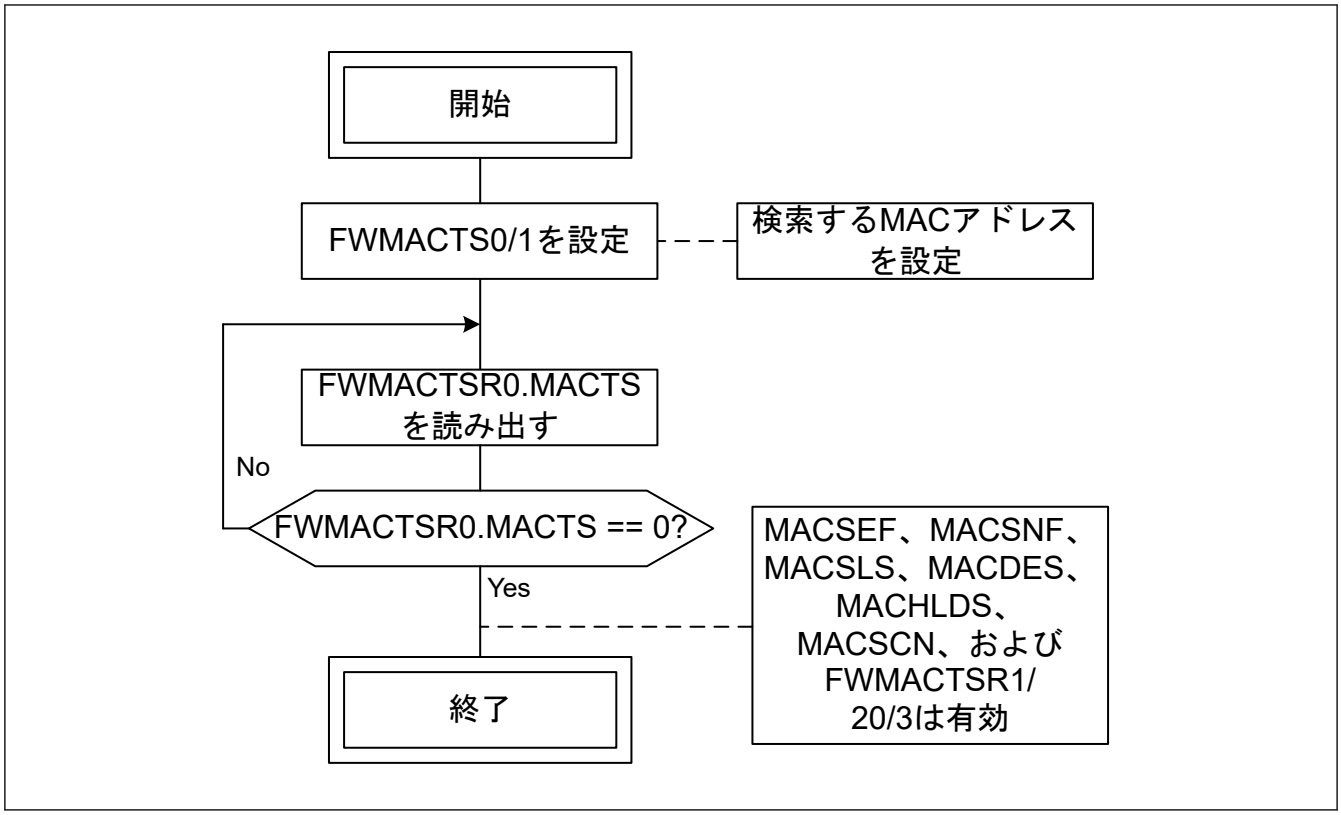


図 30.19 MAC エントリ検索フロー

30.4.1.6.6 VLAN エントリ検索フロー

図 30.20 に VLAN エントリ検索フローを示します。

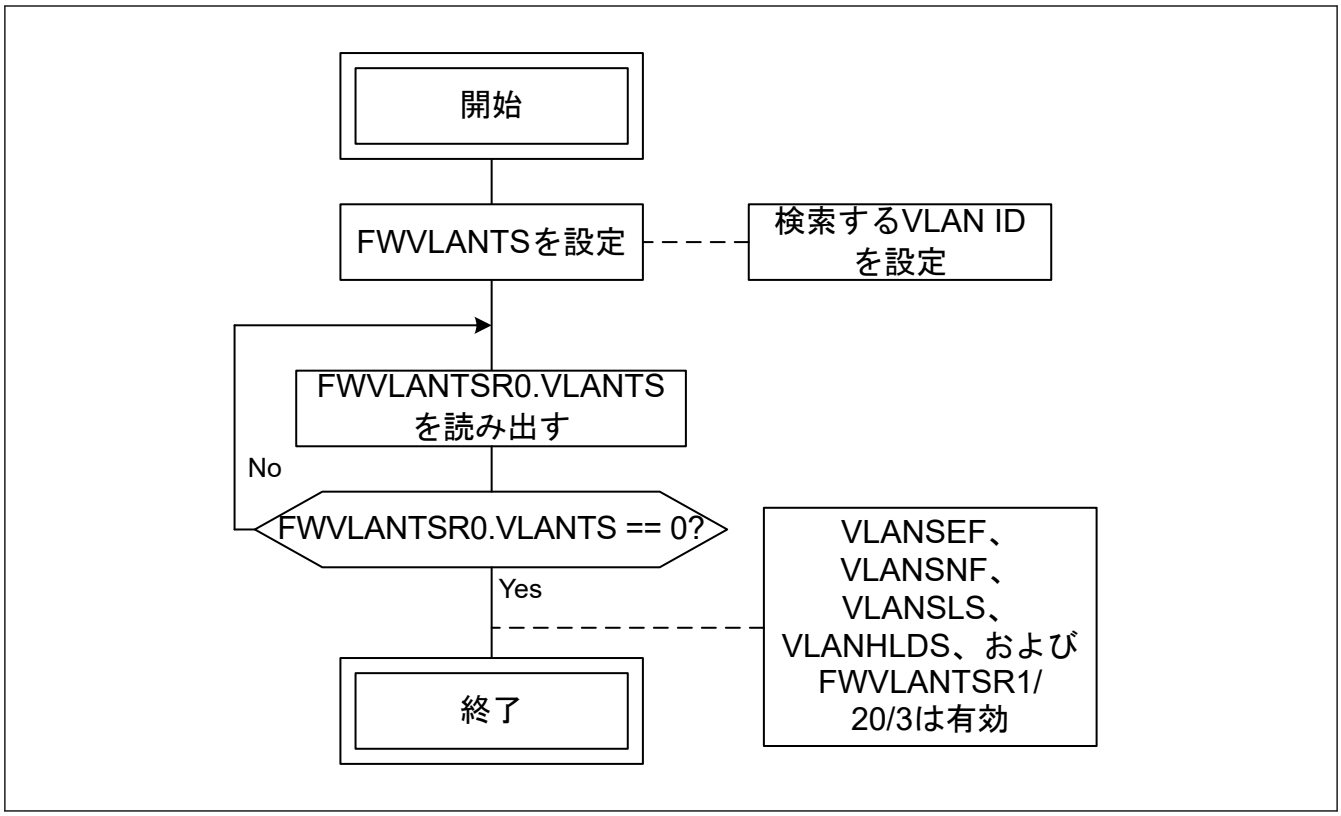


図 30.20 VLAN エントリ検索フロー

30.4.1.6.7 MAC エントリ読み出しフロー

図 30.21 に MAC エントリ読み出しフローを示します。

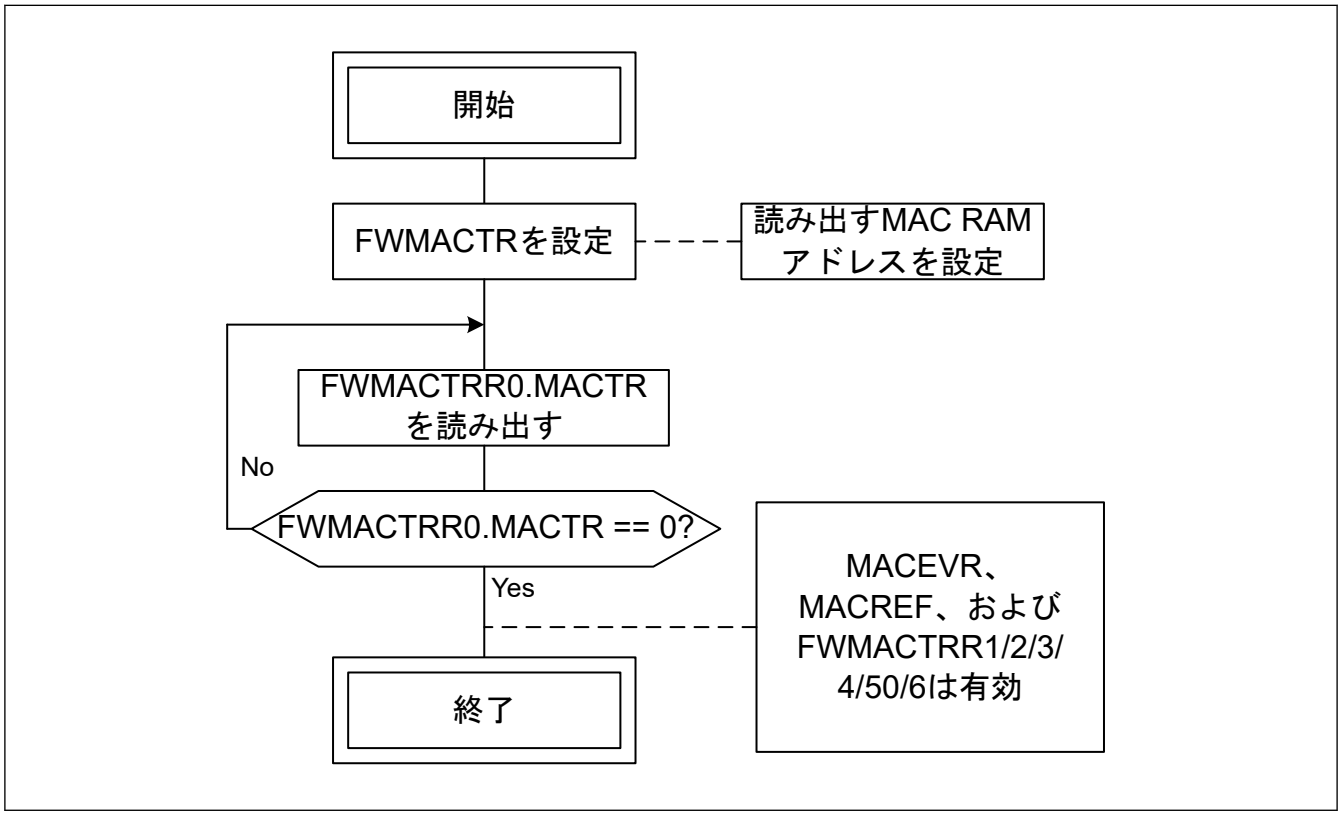


図 30.21 MAC エントリ読み出しフロー

30.4.1.7 ポートベース転送フロー

30.4.1.7.1 ポート i のポートベースの設定フロー

図 30.22 にポート i のポートベースの設定フローを示します。

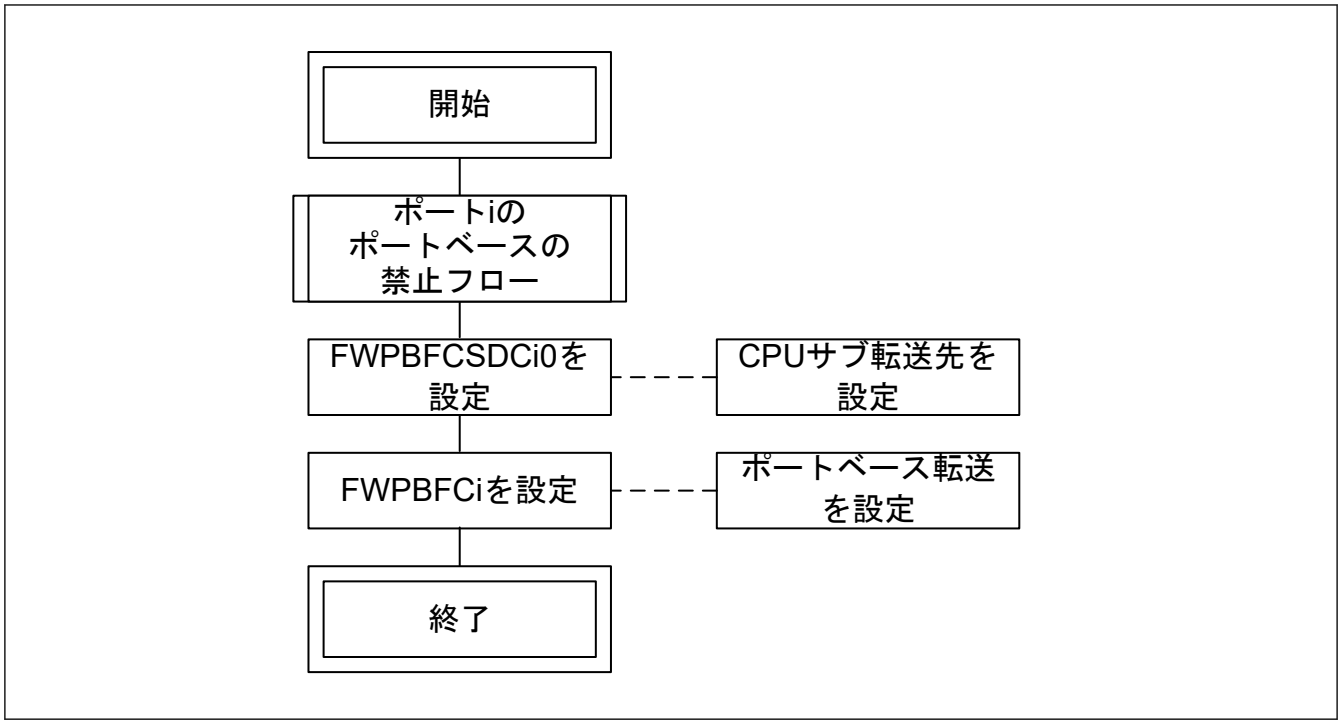


図 30.22　ポート i のポートベースの設定フロー

30.4.1.7.2　ポート i のポートベースの禁止フロー

図 30.23 にポート i のポートベースの禁止フローを示します。

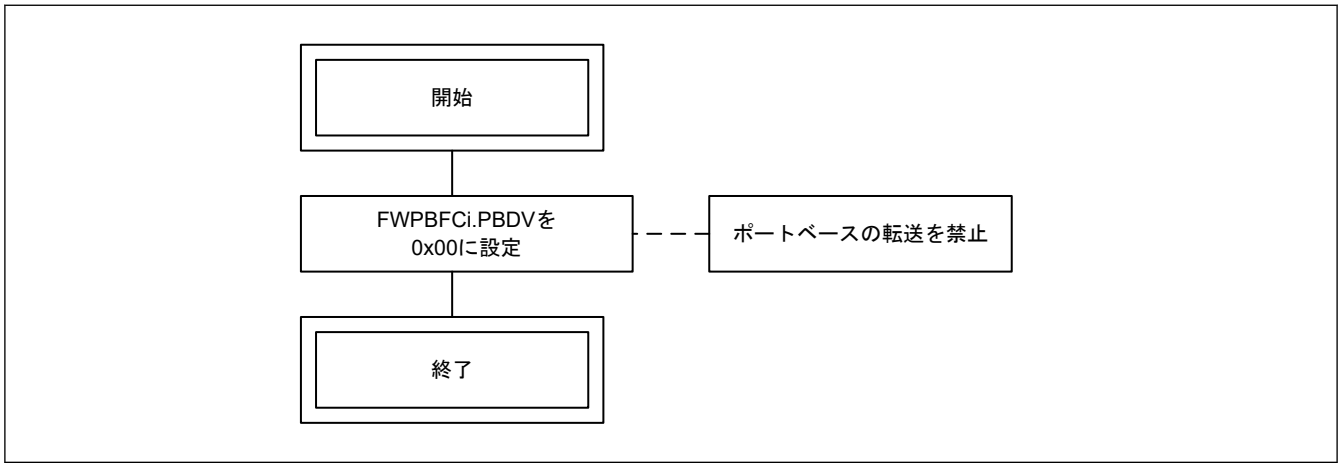


図 30.23　ポート i のポートベースの禁止フロー

30.4.1.8　レイヤ 2／レイヤ 3 更新フロー

30.4.1.8.1　レイヤ 2／レイヤ 3 更新テーブルリセットフロー

図 30.24 にレイヤ 2／レイヤ 3 更新テーブルのリセットフローを示します。

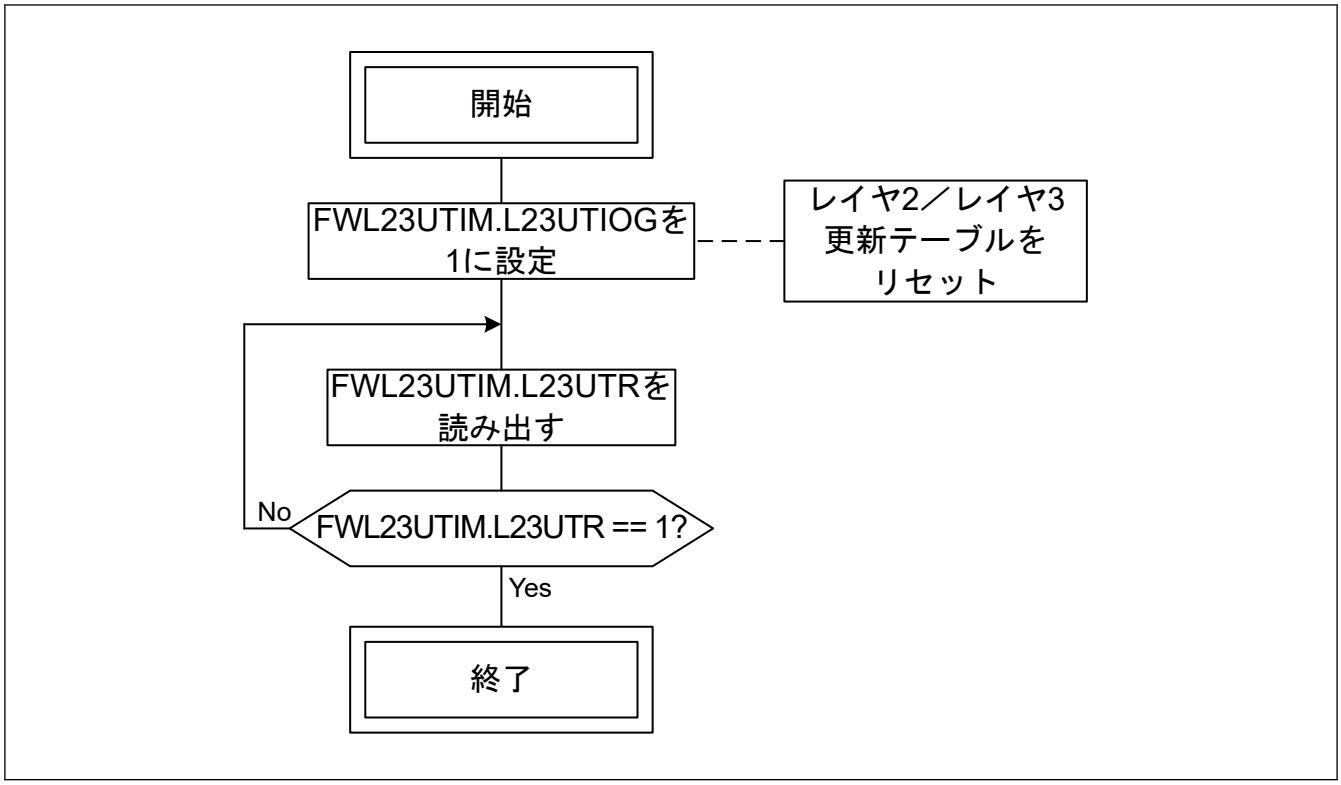


図 30.24　レイヤ 2／レイヤ 3 更新テーブルのリセットフロー

30.4.1.8.2　レイヤ 2／レイヤ 3 更新ルール学習フロー

図 30.25 にレイヤ 2／レイヤ 3 更新ルールの学習フローを示します。

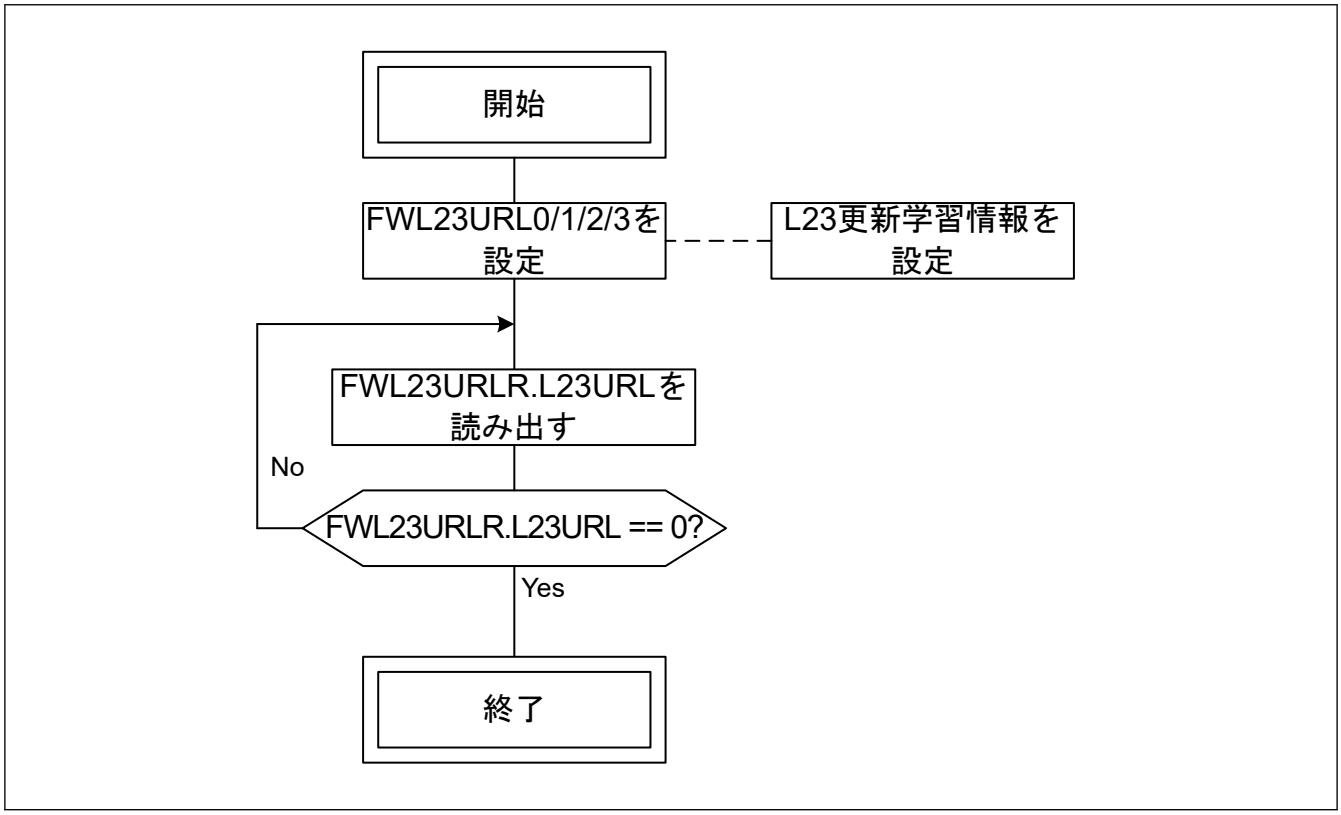


図 30.25　レイヤ 2／レイヤ 3 更新ルールの学習フロー

30.4.1.8.3 レイヤ 2／レイヤ 3 更新ルールの読み出しフロー

図 30.26 にレイヤ 2／レイヤ 3 更新ルールの読み出しフローを示します。

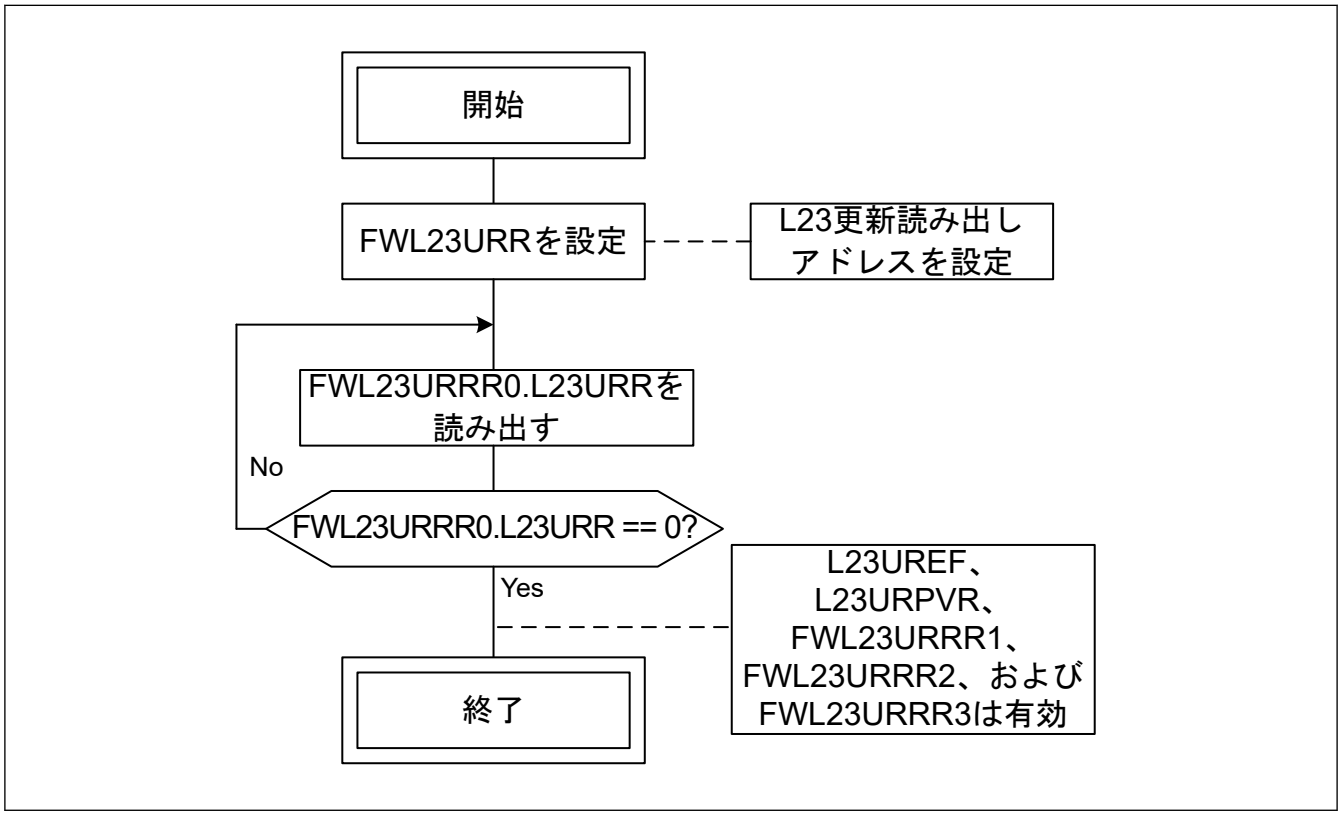


図 30.26 レイヤ 2／レイヤ 3 更新ルールの読み出しフロー

30.4.1.9 PSFP フロー

30.4.1.9.1 MSDU フィルタ i 設定フロー

図 30.27 に MSDU フィルタ i の設定フローを示します。

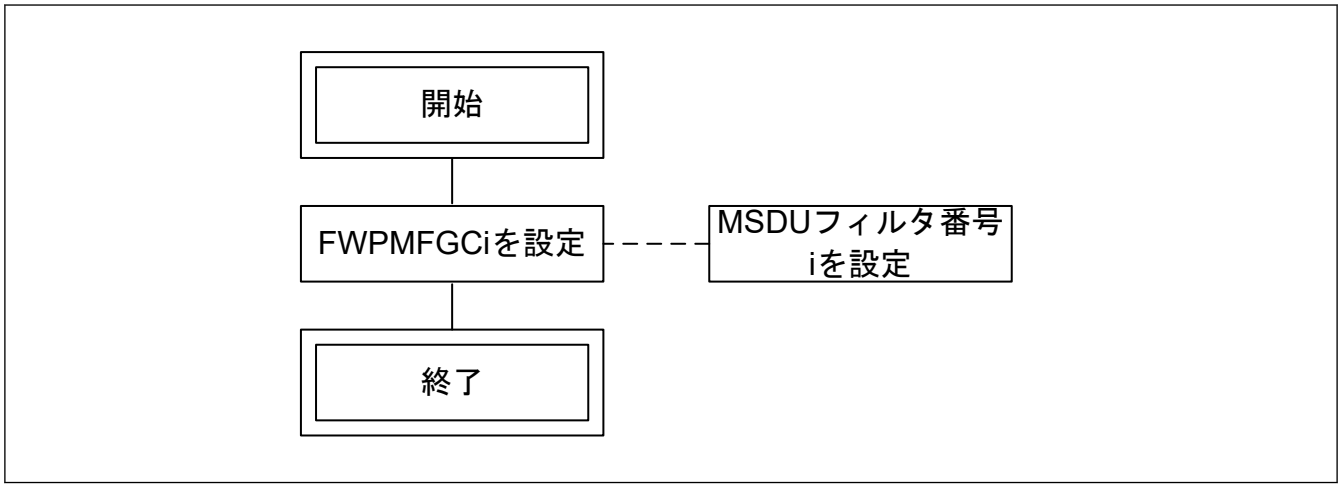


図 30.27 MSDU フィルタ i の設定フロー

30.4.1.9.2 メーター i 設定フロー

図 30.28 にメーター i の設定フローを示します。

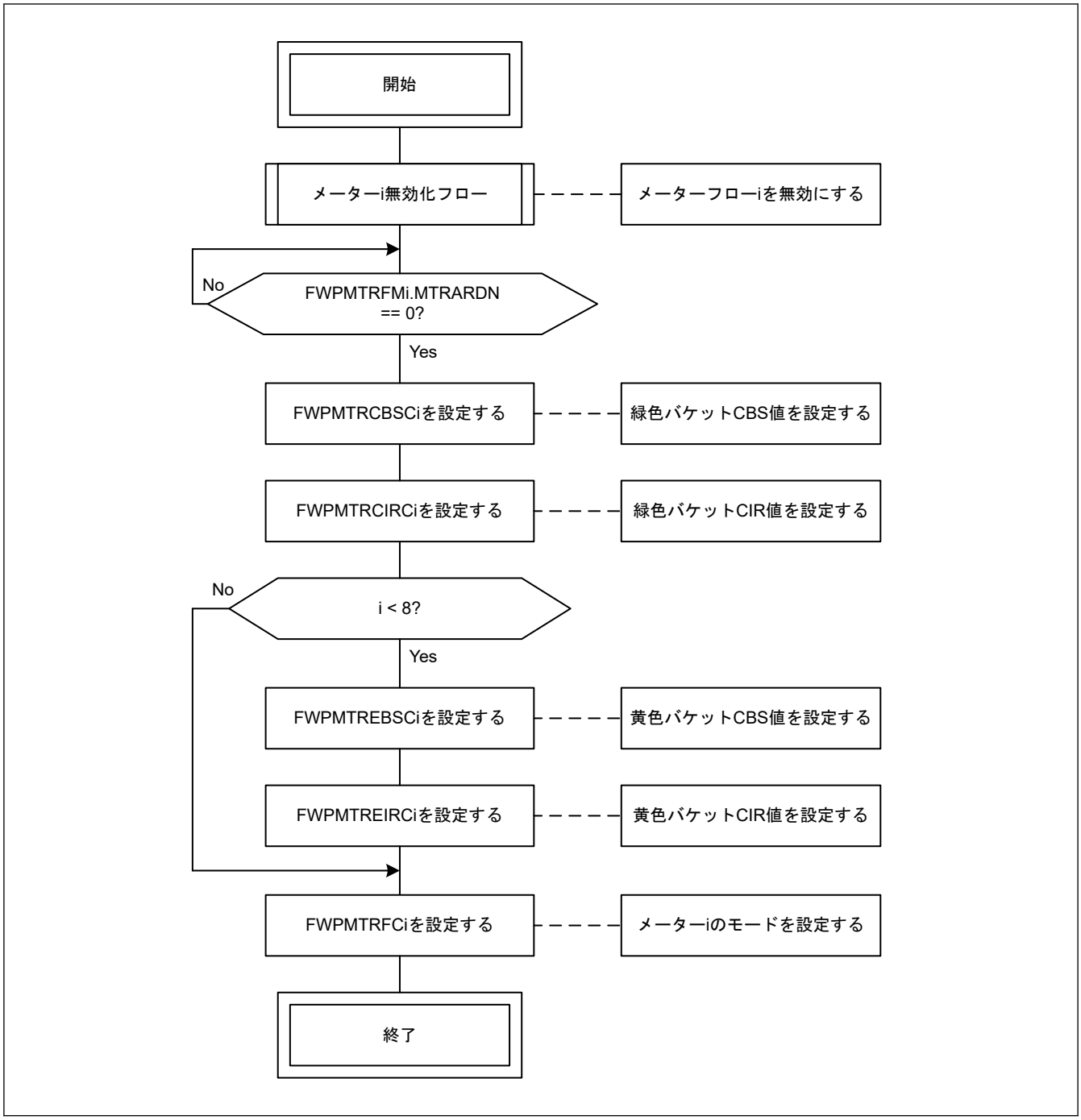


図 30.28 メーター i 設定フロー

30.4.1.9.3 メーター i 無効化フロー

図 30.29 にメーター i の無効化フローを示します。

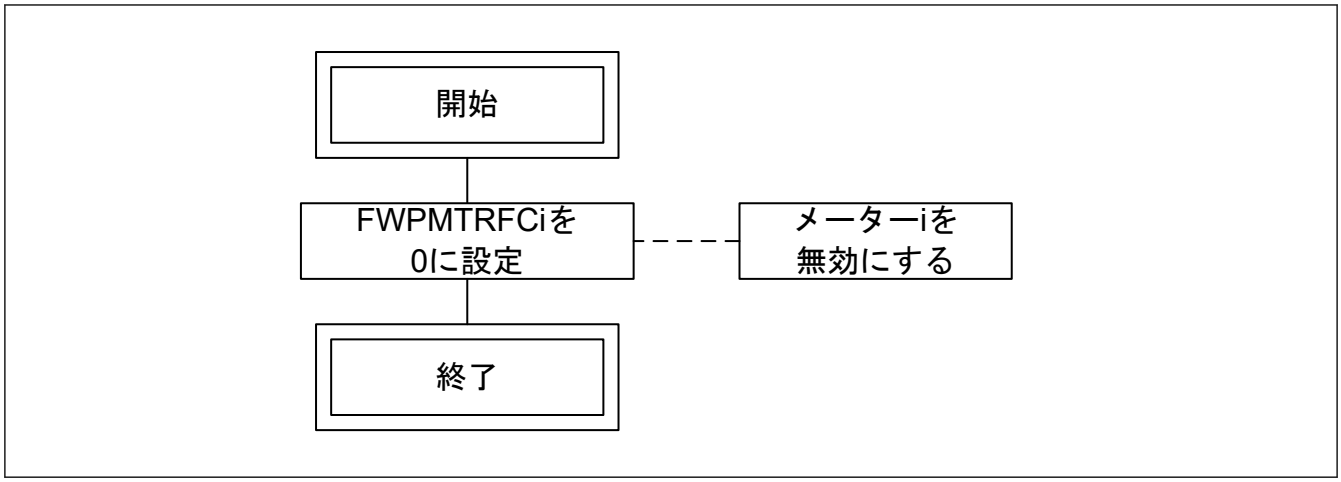


図 30.29　メーター i の無効化フロー

30.4.1.10　FRER フロー

30.4.1.10.1　FRER テーブルリセットフロー

図 30.30 に FRER テーブルのリセットフローを示します。

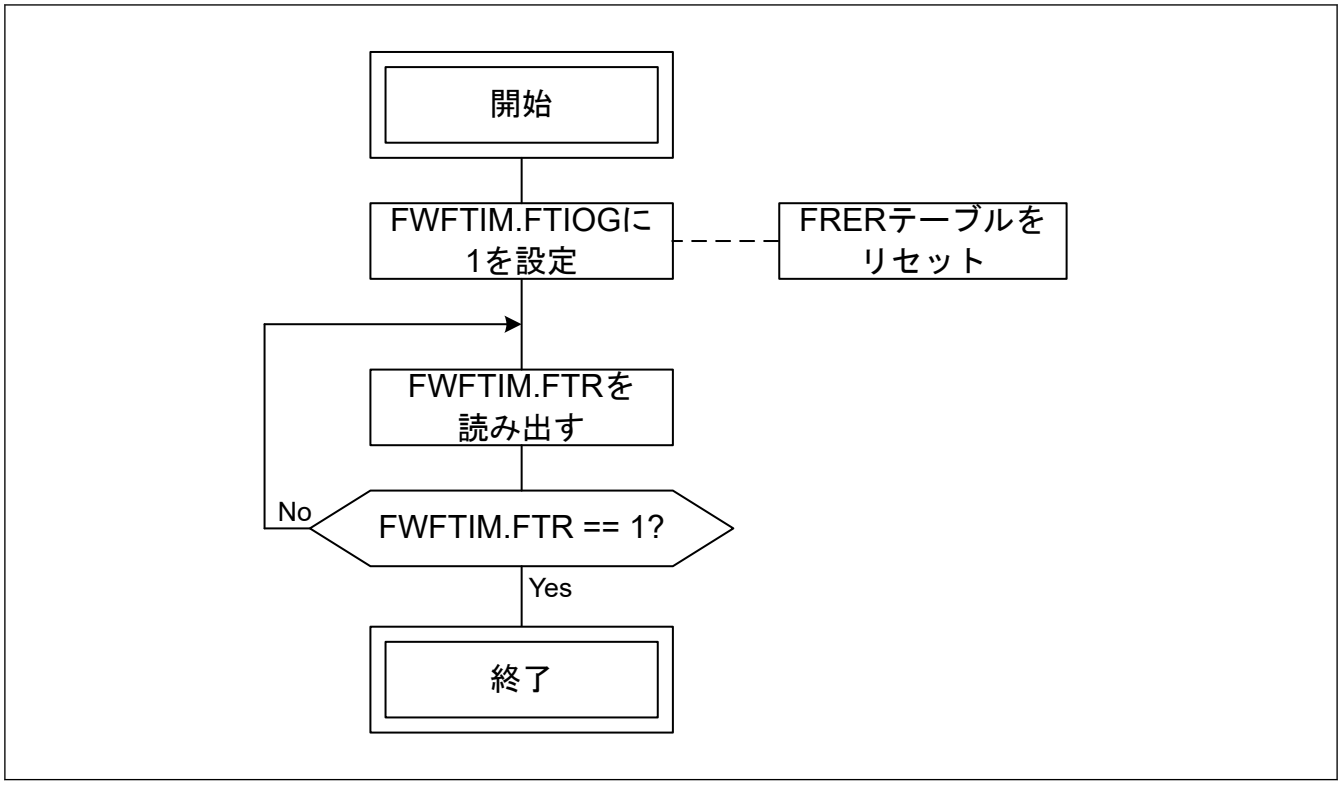


図 30.30　FRER テーブルのリセットフロー

30.4.1.10.2　FRER エントリ i 学習フロー

図 30.31 に FRER エントリ i の学習フローを示します。

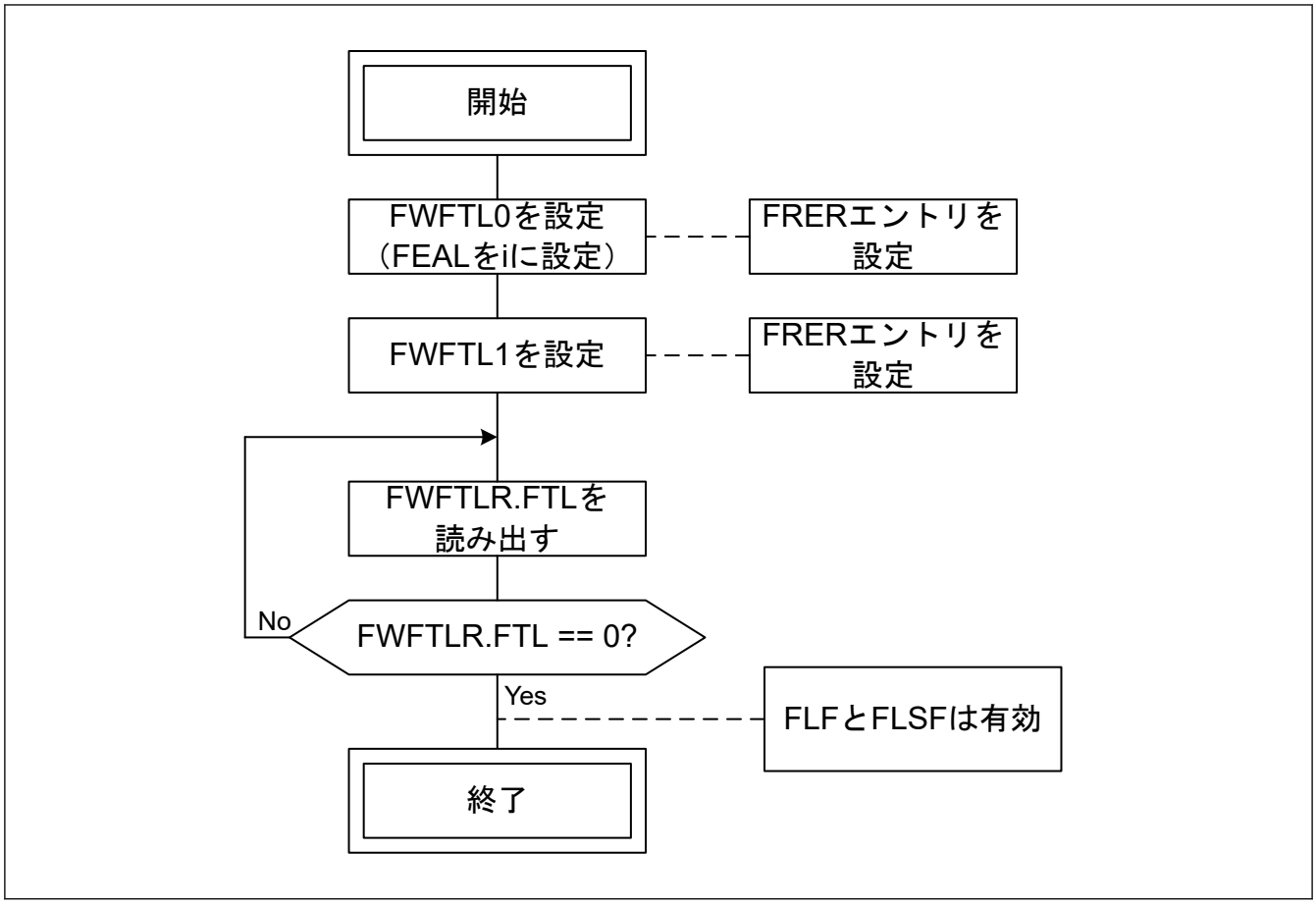


図 30.31　FRER エントリ i の学習フロー

30.4.1.10.3　FRER エントリ i 読み出しフロー

図 30.32 に FRER エントリ i の読み出しフローを示します。

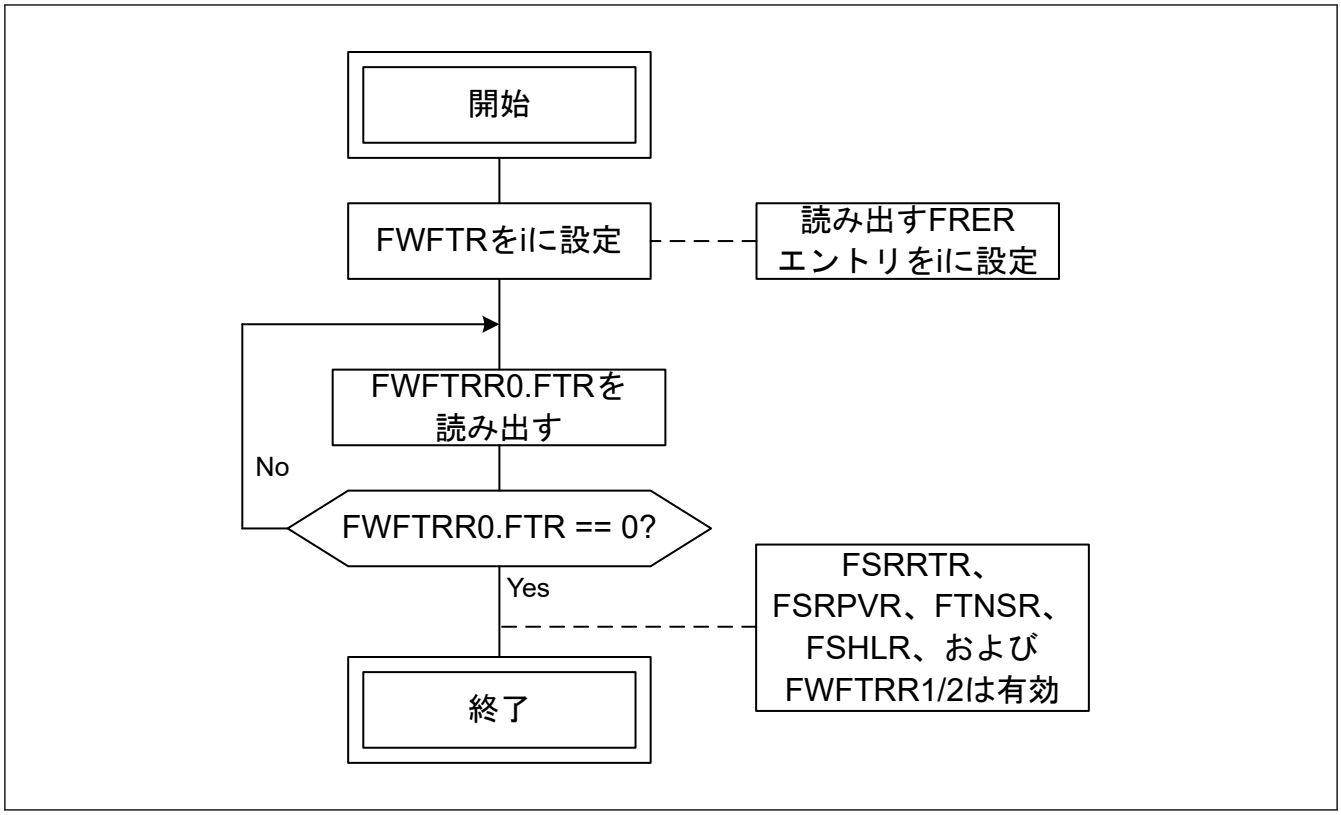


図 30.32　FRER エントリ i の読み出しフロー

30.4.1.11　呼び出されたソフトウェアフロー

本項で説明するフローは（図 30.2 の「フローリンク」ボックスに示すとおり）他のフローからのみ呼び出し可能であり、単独で使用することはできません。

30.4.1.11.1　全体の設定フロー

図 30.33 に全体の設定フローを示します。

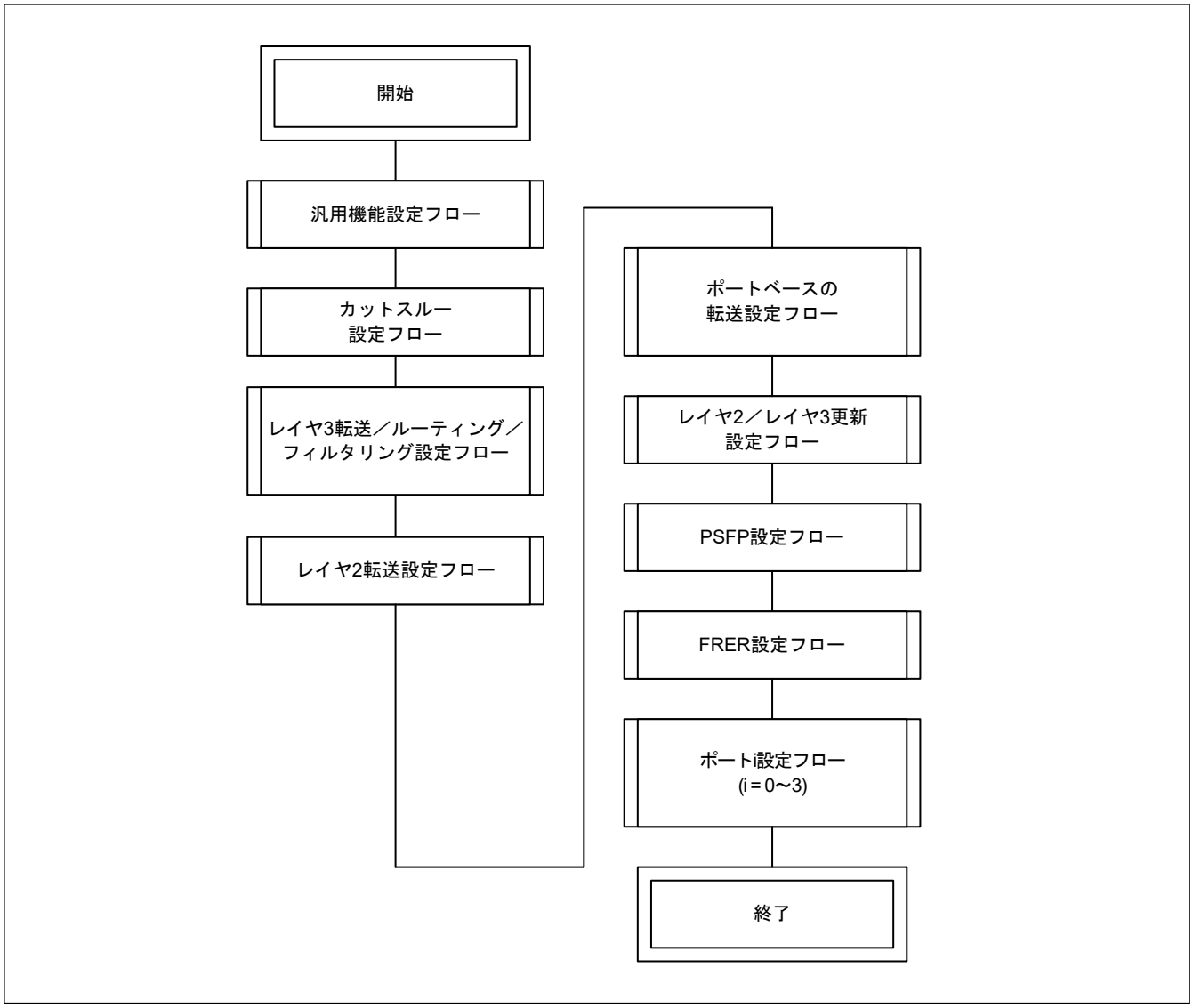


図 30.33　全体の設定フロー

30.4.1.11.2　汎用機能設定フロー

図 30.34 に汎用機能の設定フローを示します。

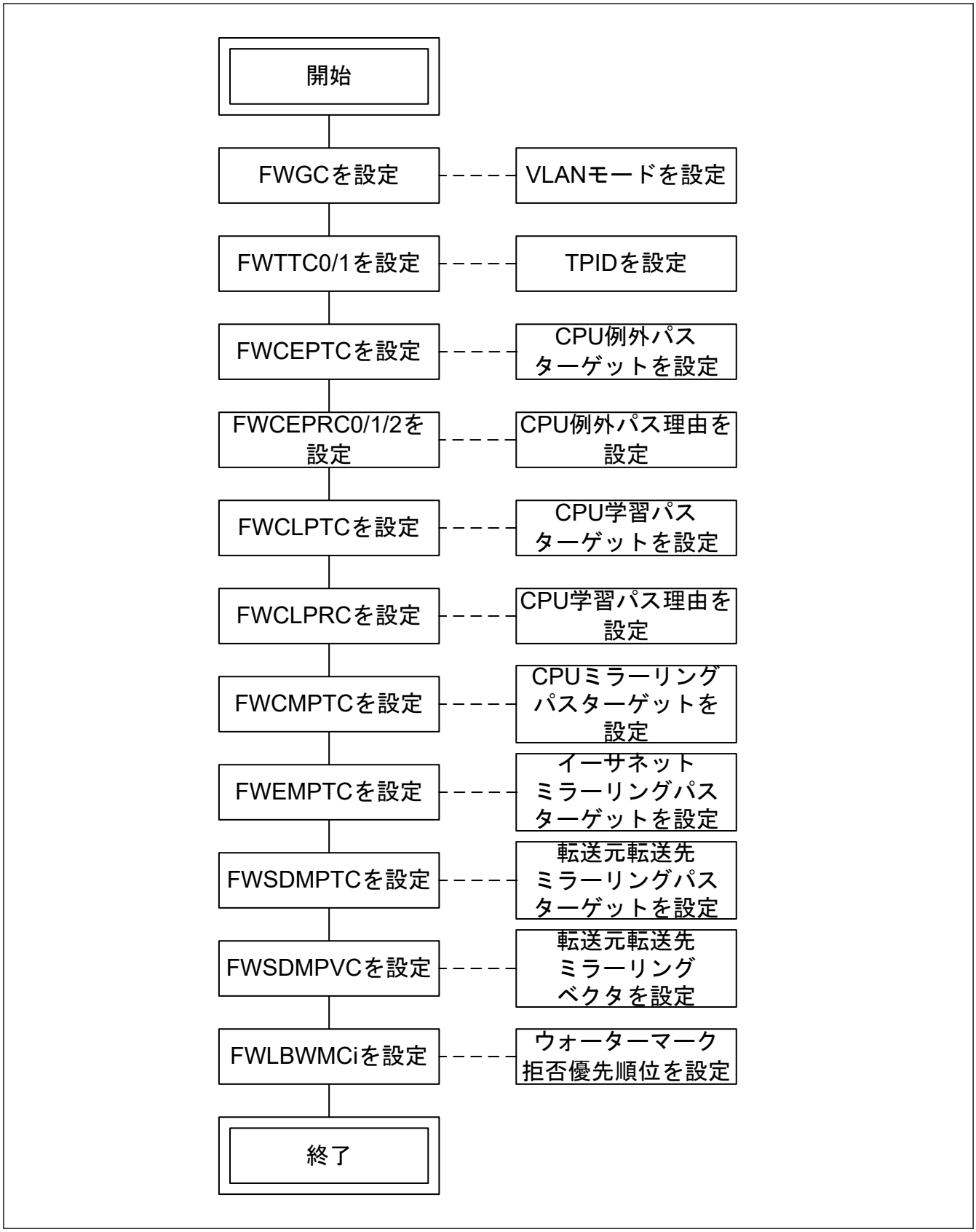


図 30.34　汎用機能の設定フロー

30.4.1.11.3　カットスルー設定フロー

図 30.35 にカットスルーの設定フローを示します。

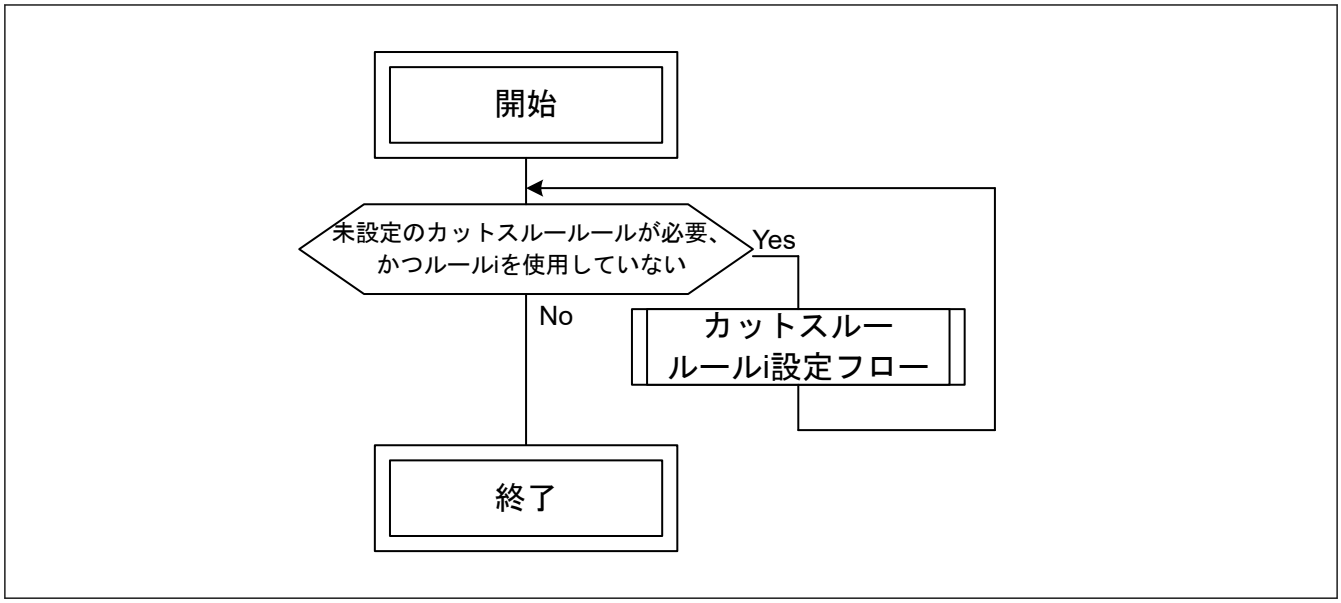


図 30.35　カットスルーの設定フロー

30.4.1.11.4　2 バイトフィルタ i 設定フロー

図 30.36 に 2 バイトフィルタ i の設定フローを示します。

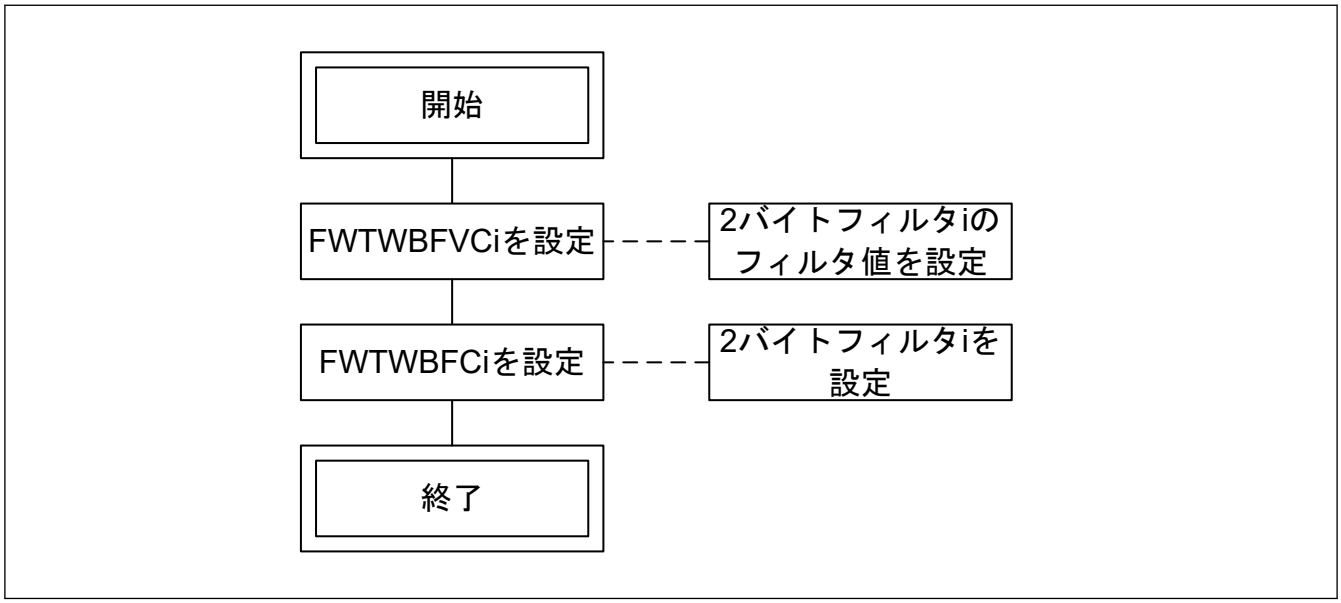


図 30.36　2 バイトフィルタ i の設定フロー

30.4.1.11.5　3 バイトフィルタ i 設定フロー

図 30.37 に 3 バイトフィルタ i の設定フローを示します。

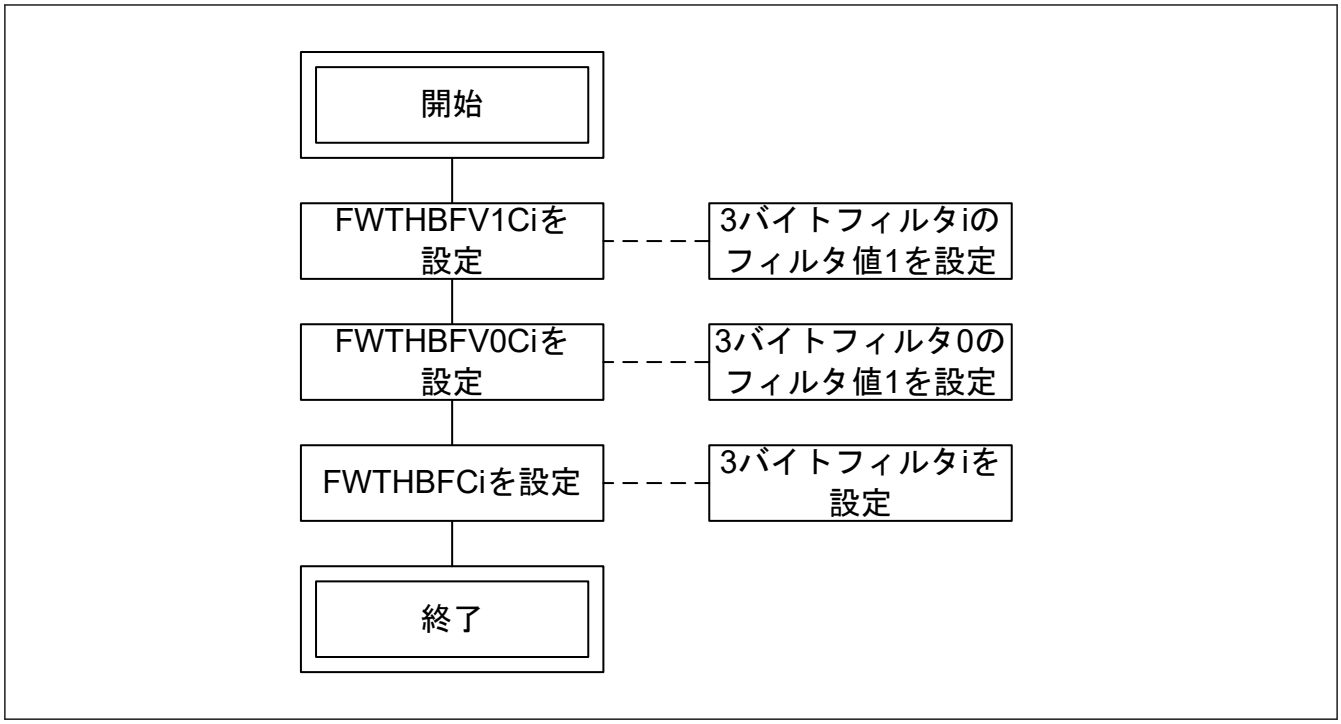


図 30.37　3 バイトフィルタ i の設定フロー

30.4.1.11.6　4 バイトフィルタ i 設定フロー

図 30.38 に 4 バイトフィルタ i の設定フローを示します。

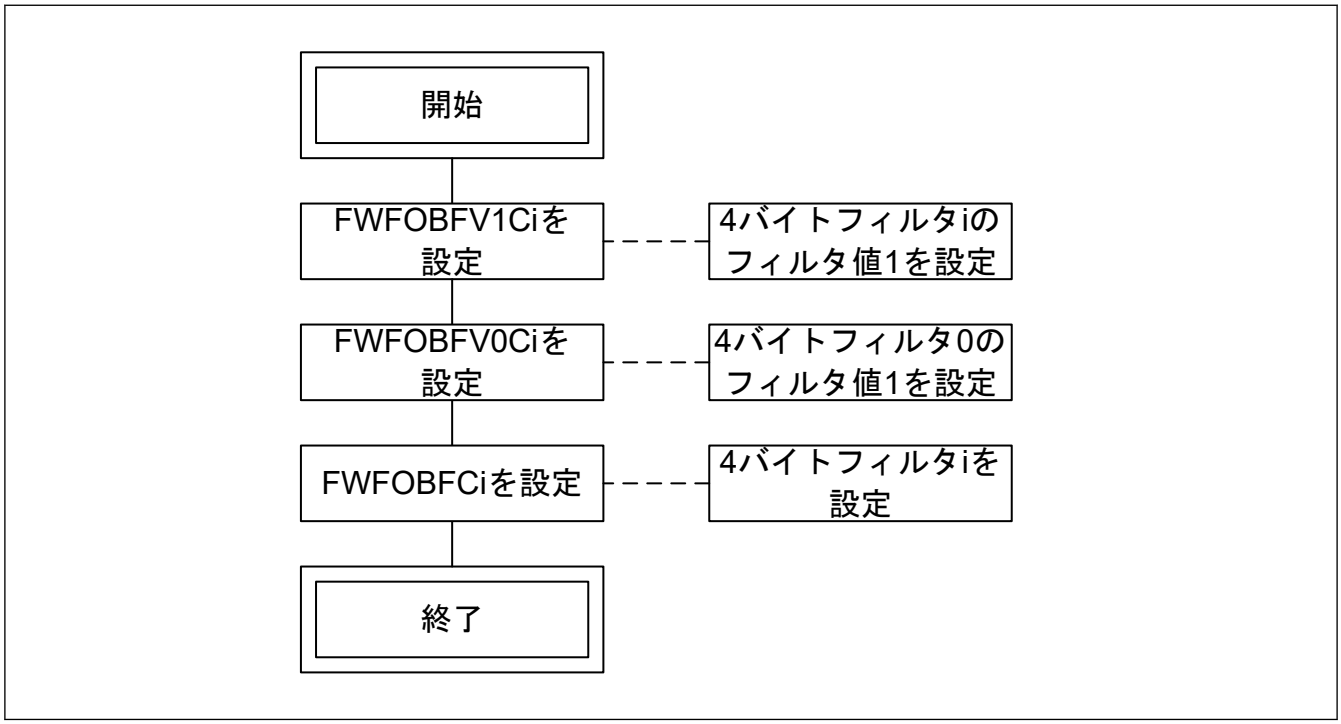


図 30.38　4 バイトフィルタ i の設定フロー

30.4.1.11.7　範囲フィルタ i の設定フロー

図 30.39 に範囲フィルタ i の設定フローを示します。

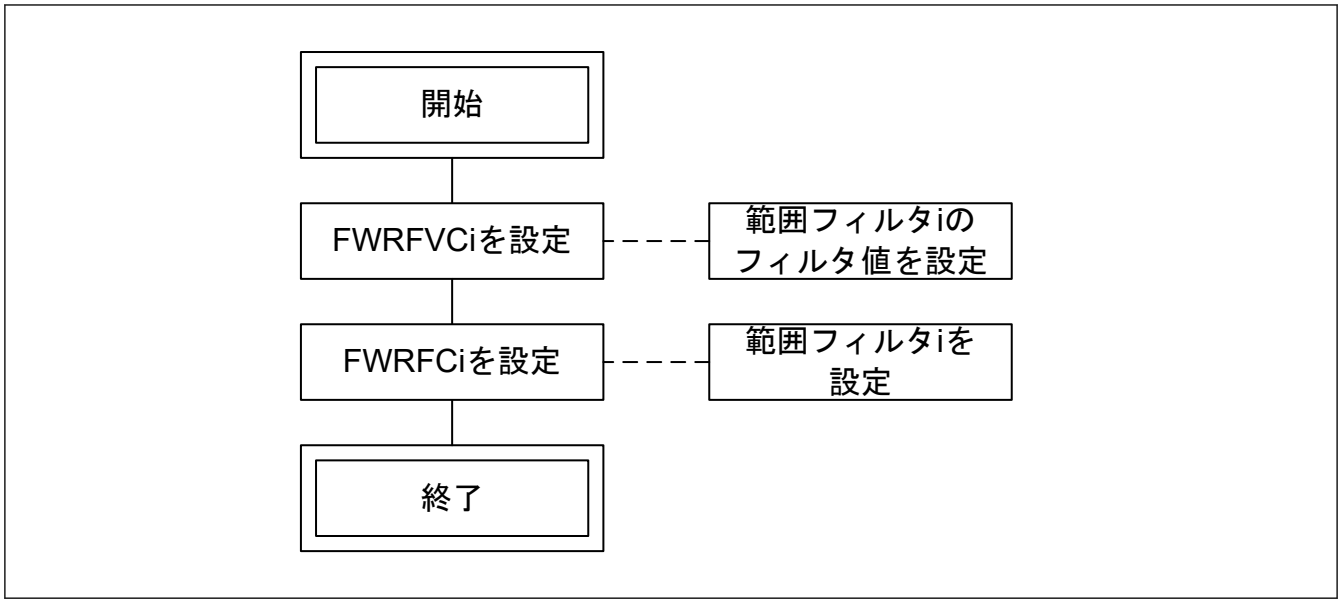


図 30.39　範囲フィルタ i の設定フロー

30.4.1.11.8　IPv4／IPv6／レイヤ 2 ストリームフィルタ設定フロー

図 30.40 に IPv4／IPv6／レイヤ 2 ストリームフィルタの設定フローを示します。

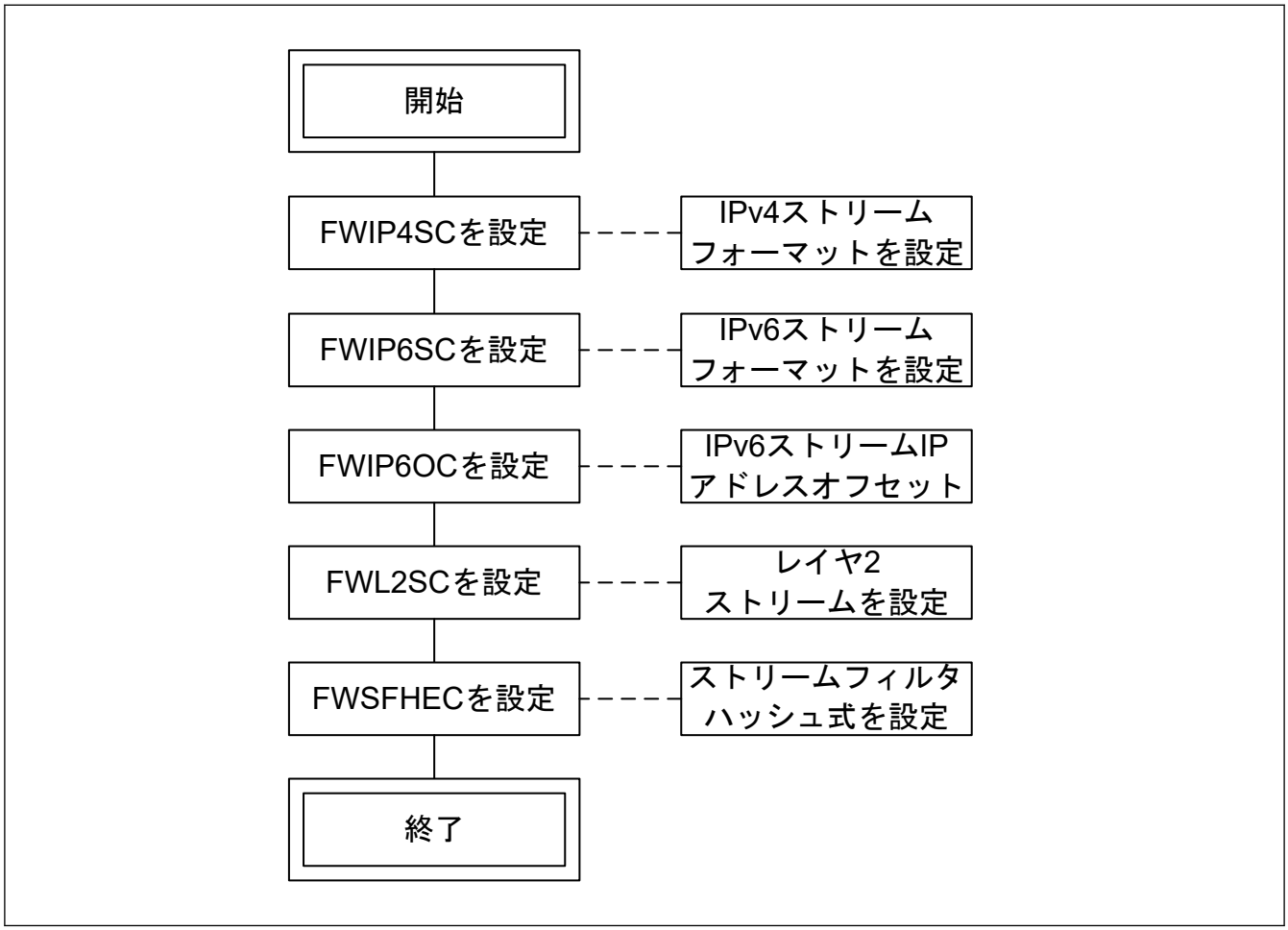


図 30.40　IPv4／IPv6／レイヤ 2 ストリームフィルタの設定フロー

30.4.1.11.9 レイヤ 3 転送／ルーティング／フィルタリング設定フロー

図 30.41 にレイヤ 3 転送／ルーティング／フィルタリングの設定フローを示します。

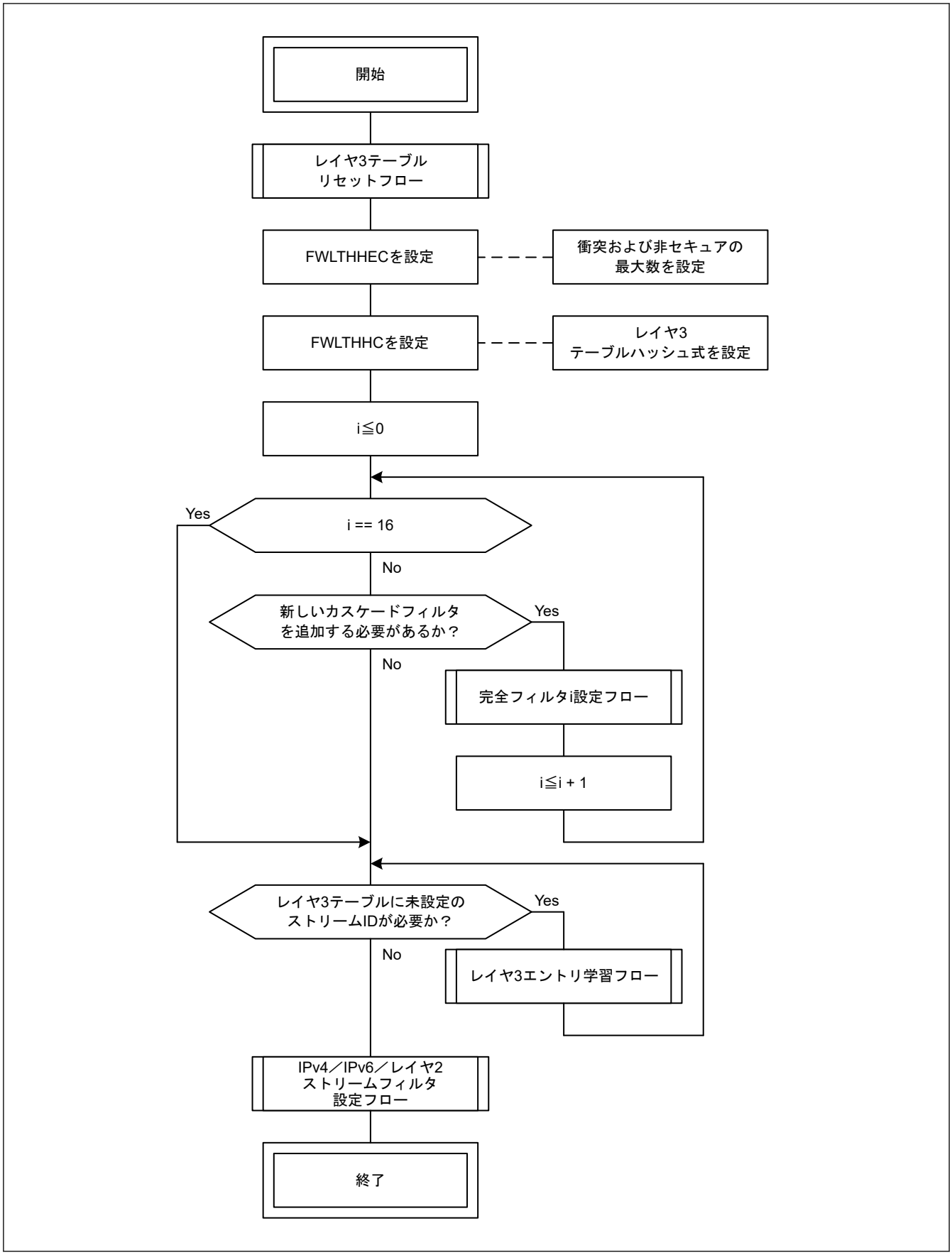


図 30.41　レイヤ 3 転送／ルーティング／フィルタリングの設定フロー

30.4.1.11.10 レイヤ 2 転送設定フロー

図 30.42 にレイヤ 2 転送の設定フローを示します。

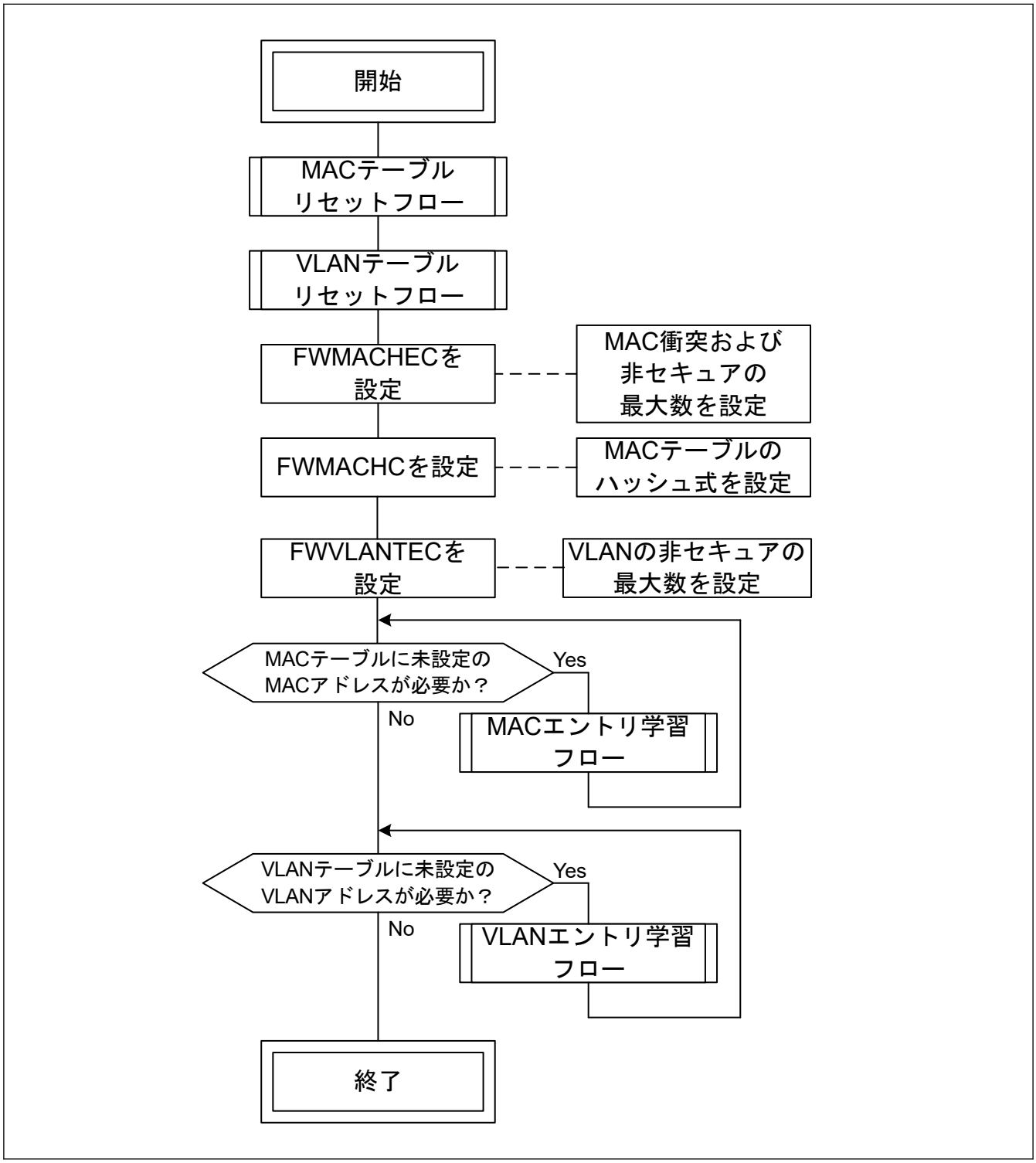


図 30.42 レイヤ 2 転送の設定フロー

30.4.1.11.11 ポートベースの転送設定フロー

図 30.43 にポートベースの転送の設定フローを示します。

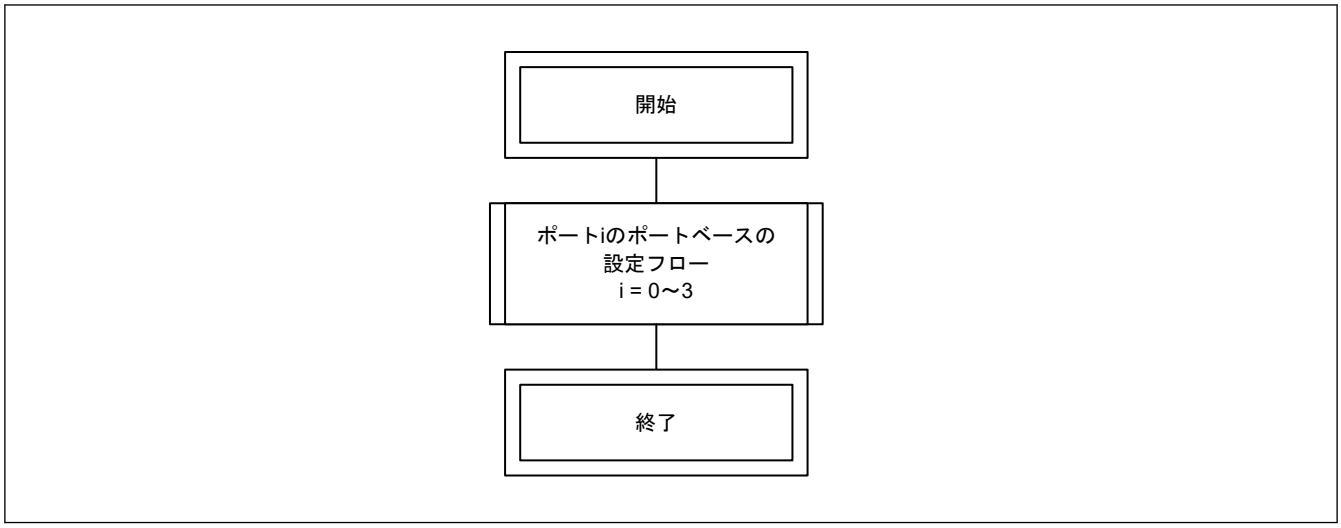


図 30.43　ポートベースの転送の設定フロー

30.4.1.11.12　レイヤ 2／レイヤ 3 更新設定フロー

図 30.44 にレイヤ 2／レイヤ 3 更新の設定フローを示します。

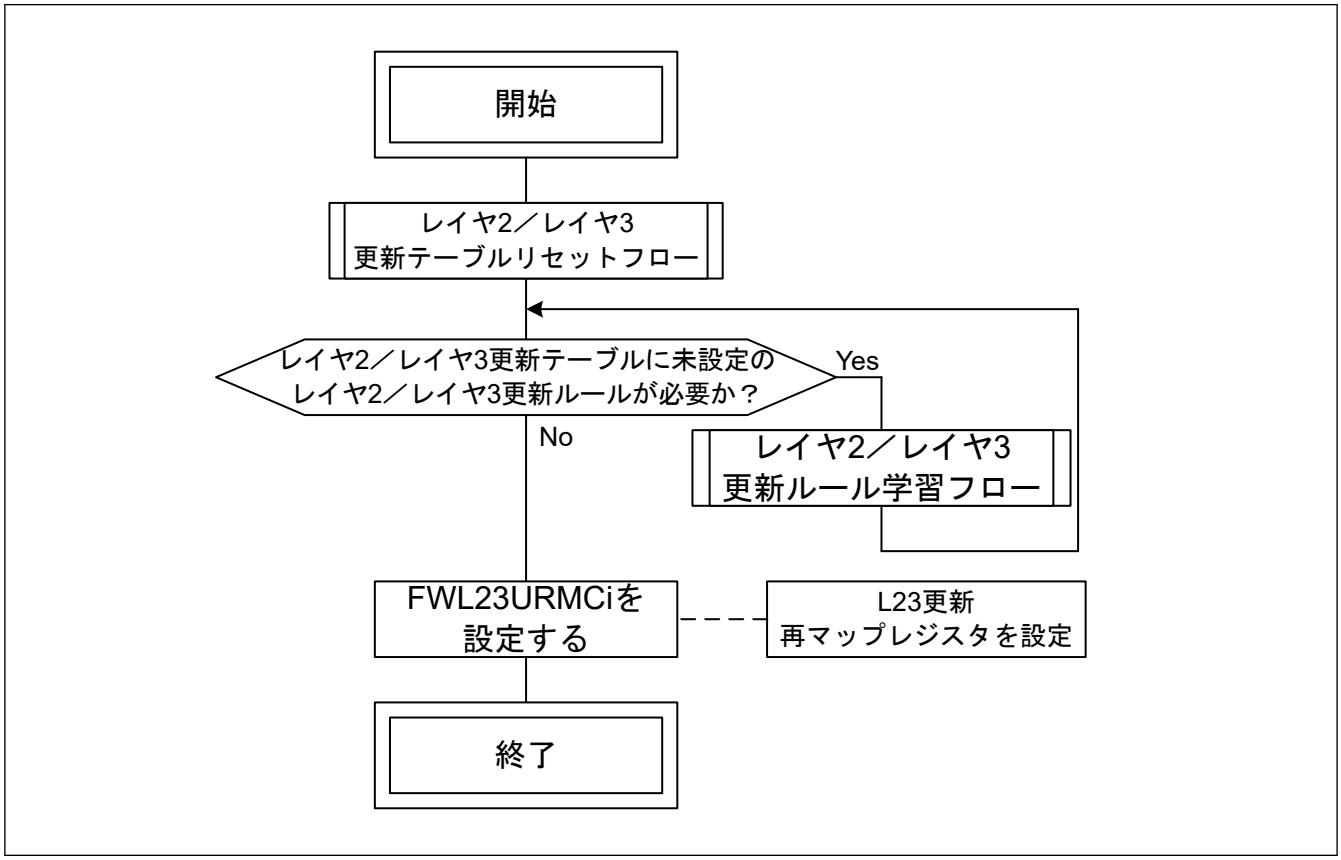


図 30.44　レイヤ 2／レイヤ 3 更新の設定フロー

30.4.1.11.13　PSFP 設定フロー

図 30.45 に PSFP 設定フローを示します。

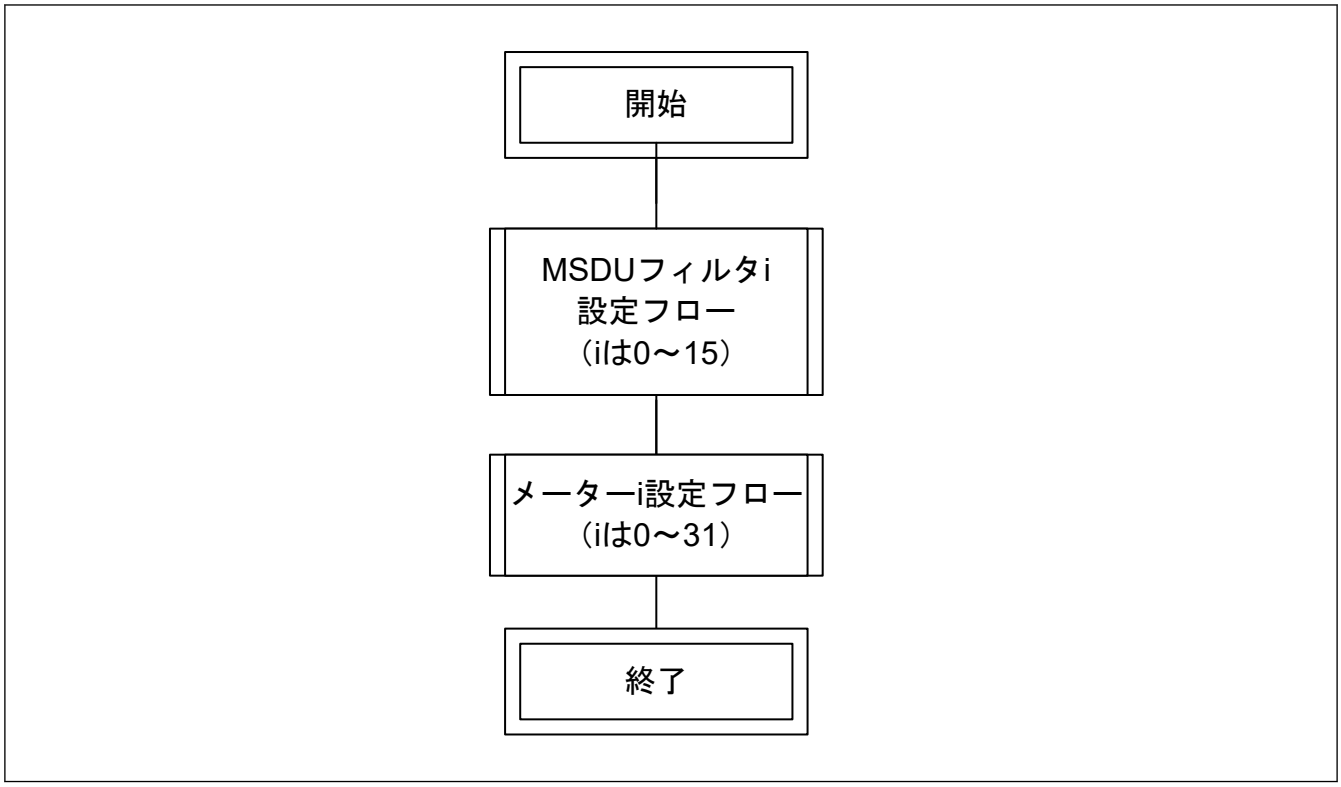


図 30.45　PSFP 設定フロー

30.4.1.11.14　FRER 設定フロー

図 30.46 に FRER 設定フローを示します。

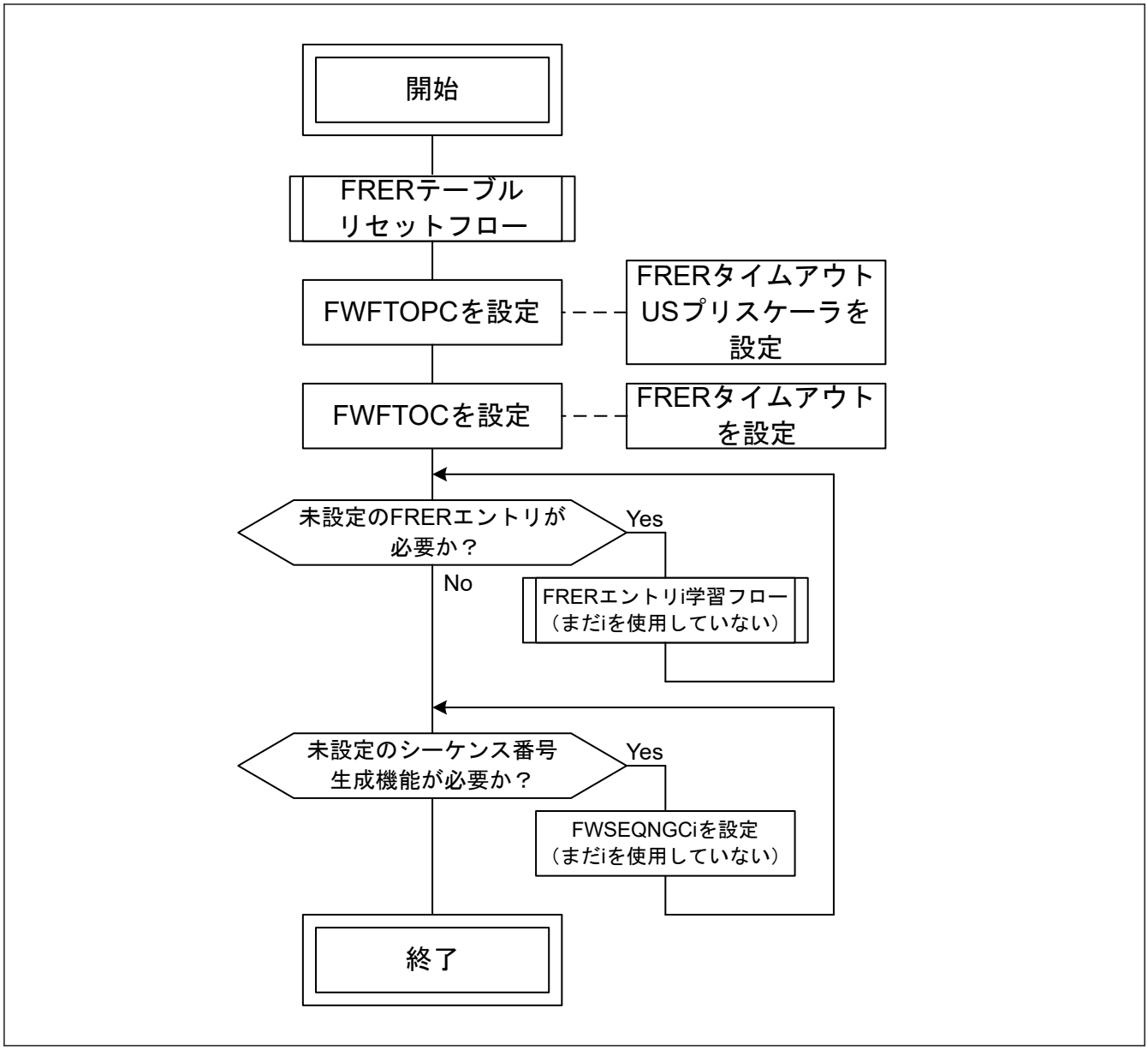


図 30.46　FRER 設定フロー

30.4.1.12　初期化後にソフトウェアフローなしで書き込み可能なレジスタ

表 30.4 は、ソフトウェアフローなしで書き込み可能なレジスタと、それらがソフトウェアフローなしで書き込み可能なモードを示しています。

表 30.4　ソフトウェアフローなしで書き込み可能なレジスタ (1/2)

（✓ = 書き込み可能、× = 書き込み不可）

レジスタ名	いつでも書き込み可能
FWCEPTC	✓
FWCEPRC0/1/2	✓
FWCLPTC	✓
FWCLPRC	✓
FWCMPTC	✓
FWEMPTC	✓
FWSDMPTC	✓

表 30.4 ソフトウェアフローなしで書き込み可能なレジスタ (2/2)

（✓ = 書き込み可能、× = 書き込み不可）

レジスタ名	いつでも書き込み可能
FWSDMPVC	✓
FWLBWMCi	✓
FWPC0i/1i/2i	✓
FWL23URMCi	✓

30.5 機能の詳細

30.5.1 汎用機能

汎用機能にはいくつかの種類があります。

- ディスクリプタ
- ESWM モード
- ESWM TPID
- ESWM デバッグ機能
- ESWM ウォーターマーク

30.5.1.1 ディスクリプタ

フレームを 1 つまたは複数のポートに転送するために、転送はディスクリプタバスを介してディスクリプタを発行します。転送エンジンによって発行されるすべてのディスクリプタは、表 30.5 に示すディスクリプタフォーマットに従う必要があります。以下の項では、機能がディスクリプタを発行するときに、フィールド名を使用して説明します。入力ローカルディスクリプタまたは入力フレームによって決定されないフィールドについてのみ説明します。

表 30.5 ディスクリプタフィールド (1/2)

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
DV	3	値 • ビット i を 0 に設定：ポート i に対して有効ではないディスクリプタ • ビット i を 1 に設定：ポート i に対して有効であるディスクリプタ	ディスクリプタによって異なります。以下の項でディスクリプタごとに説明します。
SEC	1	値 • 0: ディスクリプタは非セキュア • 1: ディスクリプタはセキュア	ディスクリプタによって異なります。以下の項でディスクリプタごとに説明します。
CSD	6	ビット[5:0]（FDESCR.CSDi と表記）は GWCA 番号 i の CPU サブ転送先を定義します（CPU サブ転送先は AXI ディスクリプタのキュー番号と等価）	ディスクリプタによって異なります。以下の項でディスクリプタごとに説明します。
IPV	3	エージェント内部優先順位の再マッピング前の内部優先順位値	ディスクリプタによって異なります。以下の項でディスクリプタごとに説明します。
SPN	2	フレームの送信元となったポート番号	mfw_spn_fwd 端子で指定された送信元エージェントポート番号に設定します
TPL	16	入力フレームの合計ペイロード長。	ローカルディスクリプタを介してエージェントから与えられた TPL 値に設定します
MINFO	24	CPU 転送用フレームに関連するメタ情報	ディスクリプタによって異なります。以下の項でディスクリプタごとに説明します。

表 30.5 ディスクリプタフィールド (2/2)

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
RV	1	ルーティングが有効です。フレーム情報を更新するために、L23 更新バスを介してルーティングルールを転送エンジンにフェッチする必要があることをエージェントに通知します	ディスクリプタによって異なります。以下の項でディスクリプタごとに説明します。
RN	8	ルーティング番号。FDESCR.RV 設定時にルーティング番号が使用される必要があることをエージェントに通知します。	ディスクリプタによって異なります。以下の項でディスクリプタごとに説明します。
VCTRL	3	VLAN 制御情報	ローカルディスクリプタを介してエージェントから与えられた VCTRL 値に設定します
RTGI	1	R-TAG 入力	ローカルディスクリプタを介してエージェントから与えられた RTGI 値に設定します
SEQN	16	フレームシーケンス番号	ディスクリプタによって異なります。以下の項でディスクリプタごとに説明します。
FI	1	値 • 0: 入力フレームに FCS を含まない • 1: 入力フレームに FCS を含む	ローカルディスクリプタを介してエージェントから与えられた FI 値に設定します
FW	1	値 • 0: 入力フレームに FCS を含む場合、スイッチに渡されたときは正しかった • 1: 入力フレームに FCS を含む場合、スイッチに渡されたときは誤っていた	ローカルディスクリプタを介してエージェントから与えられた FW 値に設定します

30.5.1.2 ESWM モード

ESWM モードは、FWGC レジスタを使用してスイッチの一般的な動作を定義します。ESWM モードの機能は以下のとおりです。

- FWGC レジスタは、転送エンジンによって使用される VLAN フォーマットを設定します。この設定に応じて、すべてのエージェントは必要なフォーマットでイーサネットフレームを変換する必要があります（フォーマット変換については、GWCA の仕様書[GWCA]を参照してください）。

30.5.1.3 ESWM TPID

C-TAG、S-TAG、および R-TAG [801.2Q] [801.2CB]の ESWM TPID は、ユーザーが FWTTC0 および FWTTC1 レジスタを使用して設定できます。

機能：

- FWTTC0 レジスタは、S-TAG および C-TAG TPID [801.2Q]を設定します。
- FWTTC1 レジスタは、R-TAG TPID [801.2CB]を設定します。
- FWTTC0 および FWTTC1 レジスタのリセット値は、IEEE 規格[801.2Q] [801.2CB]で定義されているとおりです。

30.5.1.4 ESWM フレーム入力優先順位

どのような受信フレームも、スイッチモード FWGC.SVM や、フレームフォーマットを含む FWPBFCi レジスタの受信優先順位設定に応じて、転送エンジンによって入力優先順位が与えられます。図 30.47 にポート i からのフレームに対するフレーム入力優先順位の割り当てを示します（ToS DSCP フィールドのデコードはハードウェアで固定されており、表 30.6 に示します）。

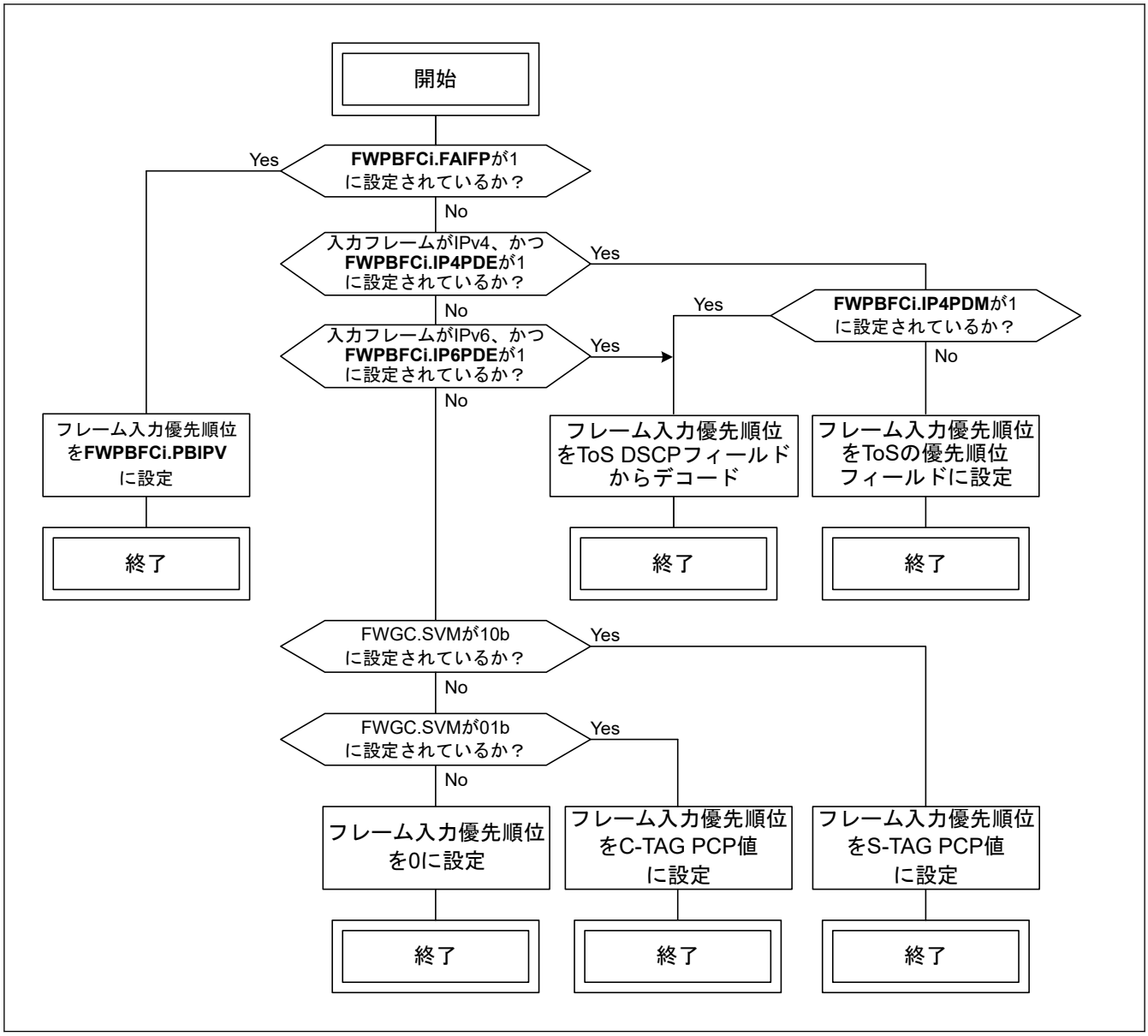


図 30.47　ポート i に対するフレーム入力の優先順位の割り当て

注.　HW：カットスルー転送の場合、ToS および DSCP はフレーム入力優先順位として考慮されません。フレーム入力優先順位は常に S-TAG から抽出、S-TAG、または 0 に設定されます。

表 30.6　DSCP と優先順位のマッピング

DSCP の値（10 進数）	フレーム入力優先順位
56	7
48	6
40, 46	5
32, 34, 36, 38	4
24, 26, 28, 30	3
16, 18, 20, 22	2
8, 10, 12, 14	1
その他	0

30.5.1.5 ESWM デバッグ機能

30.5.1.5.1 CPU 例外パス

例外パスは、不正なフレームを診断するために、FWCEPTC および FWCEPRC0/1/2 レジスタを使用して CPU に転送するために使用します。フレームが例外パスによって選択されると、例外ディスクリプタが発行されます。例外パスの機能は以下のとおりです。

- FWCEPTC レジスタは、不正なフレームの転送先のタイプを設定します。
- FWCEPRC0/1/2 レジスタは、例外パスに転送されるエラーフレームを設定します。

注. 例外パスディスクリプタのフォーマットと関連するエラーの詳細については、「30.5.2.3.3. 直接例外ディスクリプタ」、(4) レイヤ 3 例外ディスクリプタ、(3) レイヤ 2 例外ディスクリプタ、「30.5.2.6.3. ポートベースの例外ディスクリプタ」、および(5) フィルタ例外ディスクリプタを参照してください。

30.5.1.5.2 CPU 学習パス

学習パスは、FWCLPTC と FWCLPRC レジスタを使用して不明なフィールドを含むフレームを CPU に転送し、CPU に学習させるために使用します。学習は、ハードウェアによって FWPCi0 レジスタを使用しても実行できます。また、FWEIS0i 割り込みレジスタを使用して監視できます。表 30.7 に、ソフトウェアで学習できるフィールド（対応するフレームは学習パスに転送されます）を示します。また、表 30.8 を示します。学習パスに送信されるフレームは、(1) 学習ディスクリプタで説明されている学習ディスクリプタを使用して送信されます。

注. HW：ウォーターマークによって拒否されたフレームは、学習のために分析されません。結果として、学習パスは無効化され、ハードウェア学習は行われません。

機能：

- FWCLPTC レジスタは、不明なフレームの転送先を設定します。
- FWCLPRC レジスタは、フレームを学習パスに転送するために不明にするフィールドを設定します。
- FWPCi0 レジスタは、ハードウェア学習を実行するフィールドを設定します。
- FWEIS0i 割り込みレジスタは、ハードウェアでフィールドを学習できなかったことを通知します。

表 30.7 ソフトウェア学習サマリテーブル

学習するフィールド	学習タイプ	ポート i から受信するフレームの学習検出条件	FWCLPRC レジスタの学習有効ビット	ハードウェア学習可能
ストリーム ID	学習	FWPCi0.LTHTA が設定されている。 少なくともストリーム ID が有効。 レイヤ 3 テーブルにストリーム ID が設定されていない。	USIDLF	不可能
宛先 MAC	学習	FWPCi0.MACDSA が設定されている。 MAC テーブルに宛先 MAC が設定されていない。	UDMACLF	不可能
送信元 MAC	学習	FWPCi0.MACSSA が設定されている。 送信元 MAC がユニキャストアドレス。 MAC テーブルに送信元 MAC が設定されていない。	USMACLF	可能 表 30.8 を参照。
送信元 MAC ポート	移行	FWPCi0.MACSSA が設定されている。 送信元 MAC がユニキャストアドレス。 MAC テーブルに送信元 MAC が設定されている。 MAC.DV[i]が設定されていない。	UPSMACLF	可能 表 30.8 を参照。
VLAN	学習	FWPCi0.VLANSA が設定されている。 VLAN が有効。 VLAN テーブルに VLAN ID が設定されていない。	UVLANLF	不可能

表 30.8 ハードウェア学習サマリテーブル

学習するフィールド	学習タイプ	ポート i の FWPCi0 レジスタのハードウェア学習有効ビット	ポート i の FWEIS0i レジスタのハードウェア学習失敗割り込み	ハードウェア学習条件	ハードウェア学習無効条件（特定のフレームに対する HW 学習を無効にできる）
送信元 MAC	学習	MACHLA	SMHLFS	SW 学習と同じ。表 30.7 を参照。	FWPCi0.MACDSA が設定されている。 MAC テーブルに宛先 MAC が設定されている。 MAC.HLD が設定されている。 または FWPCi0.VLANSA が設定されている。 VLAN が有効。 VLAN テーブルに VLAN ID が設定されている。 VLAN.HLD が設定されている。
送信元 MAC ポート	移行	MACHMA	SMHMFS	SW 学習と同じ。表 30.7 を参照。	FWPCi0.MACDSA が設定されている。 MAC テーブルに宛先 MAC が設定されている。 MAC.HLD が設定されている。 または FWPCi0.VLANSA が設定されている。 VLAN が有効。 VLAN テーブルに VLAN ID が設定されている。 VLAN.HLD が設定されている。

注. マルチキャスト MAC アドレスは、ビット 40 が 1 に設定されているアドレスです。

(1) 学習ディスクリプタ

表 30.9 に学習ディスクリプタのフィールドを示します。

表 30.9 学習ディスクリプタのフィールド

フィールド名 (FDESCR.)	値
DV	学習ディスクリプタは GWCA 番号 FWCLPTC.LPCS（ポート番号 2 + FWCLPTC.LPCS）に転送される
SEC	FWCLPTC.LPSL
CSDj	FWCLPTC.LPCSD
IPV	FWCLPTC.LPIPV
MINFO	図 30.48 と表 30.10 を参照
RV	0
RN	ALL0
SEQN	対応する通常ディスクリプタシーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—				FWDC[3:0]			
1	VL	SMPL	SML	DML	—			SIDL
2	—				SMHMF	SMHLF	SMHM	SMHL

図 30.48 学習ディスクリプタの MINFO フォーマット

表 30.10 学習ディスクリプタ MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	学習ディスクリプタの場合、13 に固定
SIDL	1	ストリーム ID 学習	「30.5.1.5.2. CPU 学習パス」を参照
DML	1	転送先 MAC 学習	「30.5.1.5.2. CPU 学習パス」を参照
SML	1	送信元 MAC 学習	「30.5.1.5.2. CPU 学習パス」を参照
SMPL	1	送信元 MAC ポート学習（移行）	「30.5.1.5.2. CPU 学習パス」を参照
VL	1	VLAN 学習	「30.5.1.5.2. CPU 学習パス」を参照
SMHL	1	送信元 MAC ハードウェア学習(注1)	「30.5.1.5.2. CPU 学習パス」を参照
SMHM	1	送信元 MAC ハードウェア移行(注1)	「30.5.1.5.2. CPU 学習パス」を参照
SMHLF	1	送信元 MAC ハードウェア学習失敗(注1)	「30.5.1.5.2. CPU 学習パス」を参照
SMHMF	1	送信元 MAC ハードウェア移行失敗(注1)	「30.5.1.5.2. CPU 学習パス」を参照

注 1. 「ハードウェア学習／移行」は、「ハードウェア学習／移行失敗」に関係なく設定されます。（「ハードウェア学習失敗」が設定された場合、「ハードウェア学習」は常に設定されます。）

30.5.1.5.3 ミラーリングパス

転送エンジンには 3 つのミラーリングパスがあります。

- CPU ミラーリングパス
- イーサネットミラーリングパス
- 転送元-転送先ミラーリングパス

(1) CPU ミラーリングパス

CPU ミラーリングパスは、FWCMPTC レジスタを使用し、監視目的で CPU にフレームをコピーするために使用されます。表 30.11 に、転送フローで選択された転送メカニズムによる CPU ミラーリングの選択条件について説明します。CPU ミラーリングのためにフレームが選択されたとき、ミラーリングディスクリプタが発行されます（(4) ミラーリングディスクリプタ）。

機能：

- FWCMPTC レジスタは、ミラーリングされたフレームの転送先となる対象を設定します。

表 30.11 CPU ミラーリングの選択条件

転送フローで選択されたディスクリプタ	ミラーリングの選択条件
カットスルー通常ディスクリプタ（図 30.53）	カットスルールールに対応する FWCTTCi1.CTCME が設定される。
レイヤ 3 ノーマルディスクリプタ（図 30.85、図 30.86）	ストリーム ID に L3.CME が設定される
レイヤ 2 ノーマルディスクリプタ（図 30.95、図 30.96）	MAC 宛先アドレスと VLAN ID の両方が見つかり、MAC.SL = VLAN.SL であるときに、{宛先 MAC に MAC.CME が設定されるか、VLAN.CME が設定される}場合。 MAC 宛先のみが見つかったときに宛先 MAC に MAC.CME が設定される場合、または MAC 宛先アドレスと VLAN ID の両方が見つかり、MAC.SL & !VLAN.SL である場合。 VLAN ID のみが見つかったときに VLAN.CME が設定される場合、または MAC 宛先アドレスと VLAN ID の両方が見つかり、!MAC.SL & VLAN.SL である場合。
ポートベース通常ディスクリプタ（図 30.99、図 30.100）	受信フレームの送信元ポートに FWPBFCi.PBCME が設定される場合。

(2) イーサネットミラーリングパス

イーサネットミラーリングパスは、FWEMPTC レジスタを使用し、監視目的でイーサネットエージェントにフレームをコピーするために使用されます。表 30.12 に、転送フローで選択された転送メカニズムによるイーサネッ

トミラーリングの選択条件について説明します。イーサネットミラーリングのためにフレームが選択されたとき、ミラーリングディスクリプタが発行されます（(4) ミラーリングディスクリプタ）。

機能：

- FWEMPTC レジスタは、ミラーリングされたフレームの転送先となる対象を設定します。

表 30.12　イーサネットミラーリングの選択条件

転送フローで選択されたディスクリプタ	ミラーリングの選択条件
カットスルー通常ディスクリプタ（図 30.53）	カットスルールールに対応する FWCTTCi1.CTEME が設定される。
レイヤ 3 ノーマルディスクリプタ（図 30.85、図 30.86）	ストリーム ID に L3.EME が設定される
レイヤ 2 ノーマルディスクリプタ（図 30.95、図 30.96）	MAC 宛先アドレスと VLAN ID の両方が見つかり、MAC.SL = VLAN.SL であるときに、{宛先 MAC に MAC.EME が設定されるか、VLAN.EME が設定される}場合。 MAC 宛先のみが見つかったときに宛先 MAC に MAC.EME が設定される場合、または MAC 宛先アドレスと VLAN ID の両方が見つかり、MAC.SL & !VLAN.SL である場合。 VLAN ID のみが見つかったときに VLAN.EME が設定される場合、または MAC 宛先アドレスと VLAN ID の両方が見つかり、!MAC.SL & VLAN.SL である場合。
ポートベース通常ディスクリプタ（図 30.99、図 30.100）	受信フレームの送信元ポートに FWPBFCi.PBEME が設定される場合。

(3)　転送元-転送先ミラーリングパス

ミラーリングパスは、FWSDMPTC レジスタおよび FWSDMPVC レジスタを使用し、監視目的でイーサネットポートや CPU にフレームをコピーするために使用されます。転送元-転送先ミラーリングのためにフレームが選択されたとき、ミラーリングディスクリプタが発行されます（(4) ミラーリングディスクリプタ）。

機能：

- FWSDMPTC レジスタは、ミラーリングされたフレームの転送先となる対象を設定します。
- FWSDMPVC レジスタは、ミラーリングされるフレームの転送元と転送先を設定します。
- 転送フローで選択されたディスクリプタが{レイヤ 3 通常ディスクリプタ（図 30.85、図 30.86）または IP 通常ディスクリプタ（図 30.95、図 30.96）またはレイヤ 2 通常ディスクリプタ（図 30.95、図 30.96）またはポートベース通常ディスクリプタ（図 30.99、図 30.100）}の場合、FWSDMPVC.SDMSV レジスタにフレーム送信元ポートが設定されている場合、および FDESCR.DV & FWSDMPVC.SDMDV が Null でない場合、フレームは転送元-転送先ミラーリングに選択されます。

(4)　ミラーリングディスクリプタ

ミラーリングディスクリプタフィールドについては、表 30.13 で説明されています。

表 30.13　ミラーリングディスクリプタフィールド (1/2)

フィールド名 (FDESCR.)	CPU ミラーリングの値	イーサネットミラーリングの値	転送元-転送先ミラーリングの値
DV	ミラーリングディスクリプタは、GWCA 番号 FWCMPTC.CMPCS（ポート番号 2 + FWCMPTC.CMPCS）に転送されます。	ミラーリングディスクリプタは、ETHA 番号 FWEMPTC.EMPPS（ポート番号 FWEMPTC.EMPPS）に転送されます。	ミラーリングディスクリプタは、ポート番号 FWSDMPTC.SDMPPS に転送されます。
SEC	FWCMPTC.CMPSL	FWEMPTC.EMPSL	FWSDMPTC.SDMPSL
CSDj	FWCMPTC.CMPCSD	All0	All0
IPV	FWCMPTC.CMPIPU が設定されている場合、FWCMPTC.CMPIPV FWCMPTC.CMPIPU が設定されていない場合、通常ディスクリプタと同じ IPV	FWEMPTC.EMPIPU が設定されている場合、FWEMPTC.EMPIPV FWEMPTC.EMPIPU が設定されていない場合、通常ディスクリプタと同じ IPV	FWSDMPTC.SDMPIPU が設定されている場合、FWSDMPTC.SDMPIPV FWSDMPTC.SDMPIPU が設定されていない場合、通常ディスクリプタと同じ IPV
MINFO	図 30.49 と表 30.14 を参照してください。	図 30.49 と表 30.14 を参照してください。	図 30.49 と表 30.14 を参照してください。

表 30.13 ミラーリングディスクリプタフィールド (2/2)

フィールド名 (FDESCR.)	CPU ミラーリングの値	イーサネットミラーリングの値	転送元-転送先ミラーリングの値
RV	0	0	0
RN	ALL0	ALL0	ALL0
SEQN	対応する通常ディスクリプタシーケンス番号に設定	対応する通常ディスクリプタシーケンス番号に設定	対応する通常ディスクリプタシーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—				FWDC[3:0]			
1	NDFB[7:0]							
2	—							

図 30.49 ミラーリングディスクリプタ MINFO フォーマット

表 30.14 ミラーリングディスクリプタ MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	ミラーリングディスクリプタの場合は 14 に固定されます。
NDFB	8	通常ディスクリプタの 1 バイト目	ミラーリングされたフレームの通常ディスクリプタの FDESCR.MINFO[7:0]値に設定

30.5.1.6 ウォーターマーク

ESWM ウォーターマークは、FWLBWMCi レジスタと FWCEPRC2 レジスタを使用してオーバーフロー時のスイッチの動作を定義するもので、FWEIS0i 割り込みレジスタを使用して監視できます。

機能：

- FWLBWMCi は、レベルベースのウォーターマークによって破棄されるフレームを設定するために使用します[COMA]。
- FWCEPRC2 レジスタは、エラーディスクリプタの例外パスを有効にします。
- FWEIS0i 割り込みレジスタは、ポート i から受信したフレームがウォーターマークのために拒否されたことを通知します。
- ウォーターマークは、フィルタリングの前に転送メカニズムによって指定されたフレーム優先順位（IPV 値）を使用します。これは、選択した転送により発行された通常ディスクリプタ内の FDESCR.IPV に対応します。
- ウォーターマークは、入力フレームから抽出された値（FWGC.SVM が 10b に設定されている場合は S-TAG DEI 値、FWGC.SVM が 01b に設定されている場合は C-TAG DEI 値、FWGC.SVM が 00b に設定されている場合は 0）を DEI 値として使用します。

注. - SW：ウォーターマークはスイッチの QoS 動作を定義するために必要不可欠な機能であるため、無効にすることはお勧めしません。
- エラーフレームは、ウォーターマークを通過しません。

(1) ウォーターマークエラー

表 30.15 に、ウォーターマークエラーを示します。対応するエラー例外ビットを設定することにより、(2) ウォーターマーク例外ディスクリプタで説明されているウォーターマーク例外ディスクリプタを使用して、エラーフレームを転送エンジンによって破棄する代わりに例外パスに転送できます。エラー設定条件については、対応するエラー割り込みレジスタの説明を参照してください。

表 30.15 ウォーターマークエラー

エラー	エラー名	エラー割り込み	エラー例外ビット
WMCF	ウォーターマーククリティカルフィルタリング	FWEIS0i.WMCFS	FWCEPRC2.FWMFEF
WMFF	ウォーターマークフラッシュフィルタリング	FWEIS0i.WMFFS	FWCEPRC2.FWMFEF
WMISF	ウォーターマーク IPV セキュアフィルタリング	FWEIS0i.WMISFS	FWCEPRC2.FWMFEF
WMIUF	ウォーターマーク IPV 非セキュアフィルタリング	FWEIS0i.WMIUFS	FWCEPRC2.FWMFEF

(2) ウォーターマーク例外ディスクリプタ

表 30.16 にウォーターマーク例外ディスクリプタのフィールドを示します。

表 30.16 ウォーターマーク例外ディスクリプタのフィールド

フィールド名 (FDESCR.)	値
DV	例外ディスクリプタは、GWCA 番号 FWCEPTC.EPCS（ポート番号 2 + FWCEPTC.EPCS）に転送される
SEC	FWCEPTC.EPSL
CSDj	FWCEPTC.EPCSD
IPV	FWCEPTC.EPIPV
MINFO	図 30.50 と表 30.17 を参照
RV	0
RN	ALL0
SEQN	フレーム入力シーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—				FWDC[3:0]			
1	—				WMIUF	WMISF	WMFF	WMCF
2	—							

図 30.50 ウォーターマーク例外ディスクリプタの MINFO フォーマット

表 30.17 ウォーターマーク例外ディスクリプタの MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	ウォーターマーク例外ディスクリプタの場合、4 に固定
WMCF	1	ウォーターマーククリティカルフィルタリング	(1) ウォーターマークエラーを参照
WMFF	1	ウォーターマークフラッシュフィルタリング	(1) ウォーターマークエラーを参照
WMISF	1	ウォーターマーク IPV セキュアフィルタリング	(1) ウォーターマークエラーを参照
WMIUF	1	ウォーターマーク IPV 非セキュアフィルタリング	(1) ウォーターマークエラーを参照

30.5.2 転送／ルーティング

転送エンジンには、次のようにさまざまなタイプの転送が含まれます。

- カットスルー転送
- 直接ディスクリプタ転送
- L3 転送／ルーティング
- L2 転送

- ポートベースの転送

30.5.2.1 カットスルー転送

カットスルー転送は、優先順位の高いフレームをローカルメモリに保存せずに転送して、フレーム受信時間がレイテンシに及ぼす影響を抑制するために使用します。ESWM の条件下では、それぞれ 10/5/2.5/1 Gbps、100 Mbps、10 Mbps [ETHA]の速度で、以下の最良のレイテンシ（MFWD でトラフィックがビジー状態でなく、TAG フレームがない）を保証します。

0.7 µs* +「PHY クロック 4 サイクル」(ns)、4.6 µs* +「PHY クロック 4 サイクル」(ns)、および 46 µs* +「PHY クロック 4 サイクル」(ns)

設定条件によっては、値は上記より小さくなることがあります。

一般に、「カットスルー」はフレームヘッドの 6 バイト（宛先 MAC アドレス）のみをチェックし、チェック後すぐにフレーム転送を開始します。このスイッチの内部データバス幅は 6 バイトより広いので、フレーム転送を開始するには、より多くのデータバイトが必要です。このロジックのために、このスイッチの「カットスルー」転送時間には上記の時間が必要となります。

図 30.51 にカットスルー転送ブロック図を示します。

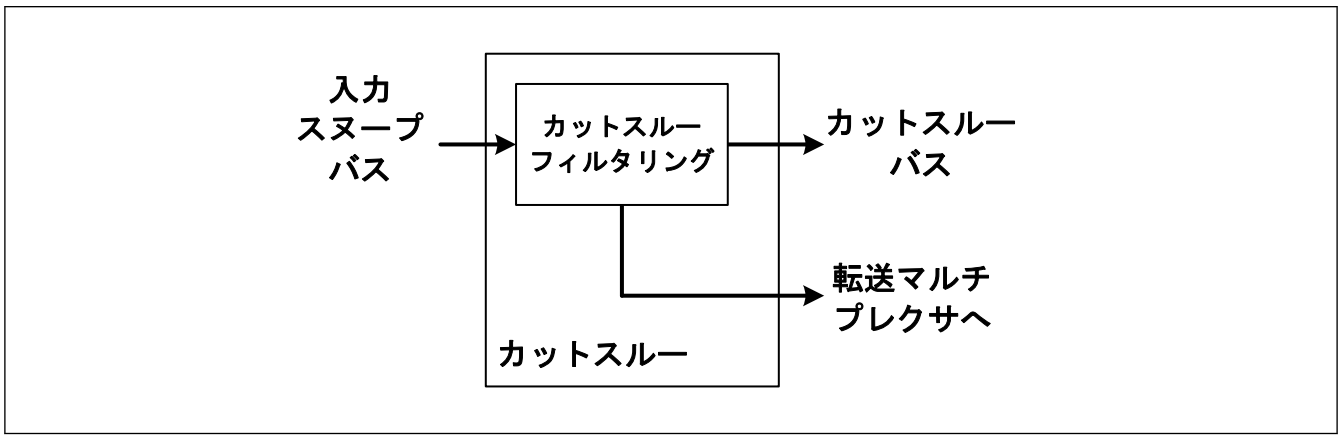


図 30.51 カットスルー転送ブロック図

カットスルー転送機能には、1 つの機能ブロックがあります。

- カットスルーフィルタリング：この機能は、受信フレームの最初のビートのデータをフィルタリングして、カットスルー転送用に設定されたフレームを選択し、タイムエージェント[ETHA]宛てのカットスルーバスプロトコルを作成し、必要な情報を転送マルチプレクサに送信して、ストアアンドフォワードモードをカットスルーフレームに適用します。

注.
- 転送マルチプレクサには、転送フローが含まれています。転送フローは転送タイプごとに説明しています。カットスルーの場合、関連する転送フローを図 30.53 に示します。
- HW：「同じ PHY 速度間で 1 対 1」で使用することを推奨します。そのため、転送エンジンのバックプレッシャーが実行されると、カットスルーフレームが途中で切れたり、失われたりすることがあります。
- HW：P フレームをカットスルーで転送することはできません。
- HW：カットスルーで転送できるのは受信したフレームのみなので、ポートベースの VLAN モードの Ingress ポートに対してカットスルー転送を設定しないでください。（[ETHA] EAVCC.VIM を 0 に設定）
- HW：ウォーターマークはカットスルーフレームには適用されません。
- HW：カットスルーフレームでは、FWCTGCi0.CTVCRL を使用して Ingress タグを付加できますが、Egress タグは付加できません。
- HW: L23 更新はカットスルーフレームには適用されません。
- HW：データパディングは、カットスルーフレームに適用されます。
- HW：カットスルーフレームは、TAS を使用してシェーピングできますが、CBS ではシェーピングできません。
- HW：カットスルーフレームは、受信があったときにはカットスルーモードで転送され、更新されません。
- HW：カットスルーの場合、FWCTTCi1/i2 レジスタで設定されたミラーリングのみ使用できます。その他すべてのデバッグおよびミラーリングは無効です。
- HW：カットスルーフレームは、受信時に[RMAC] MAC アドレスフィルタリングによってフィルタリングされません。[ETHA]および[GWCA]受信フィルタ情報は無視されます。
  たとえば、ニブルアライメントエラー（[ETHA]受信フィルタ情報）のあるフレームは、カットスルー転送によって無視されます。また、フレームは、数ビットのデータを埋め込んで完全な 1 バイトにして送信されます。

30.5.2.1.1 カットスルーフィルタリング

カットスルーフィルタリングは、FWCTGCi0/i1 および FWCTSCi0/i1/i2/i3/i4 レジスタを使用してカットスルーフレームを識別するために使用します。カットスルーフィルタリングおよびレジスタの使用については、図 30.52 にまとめています。

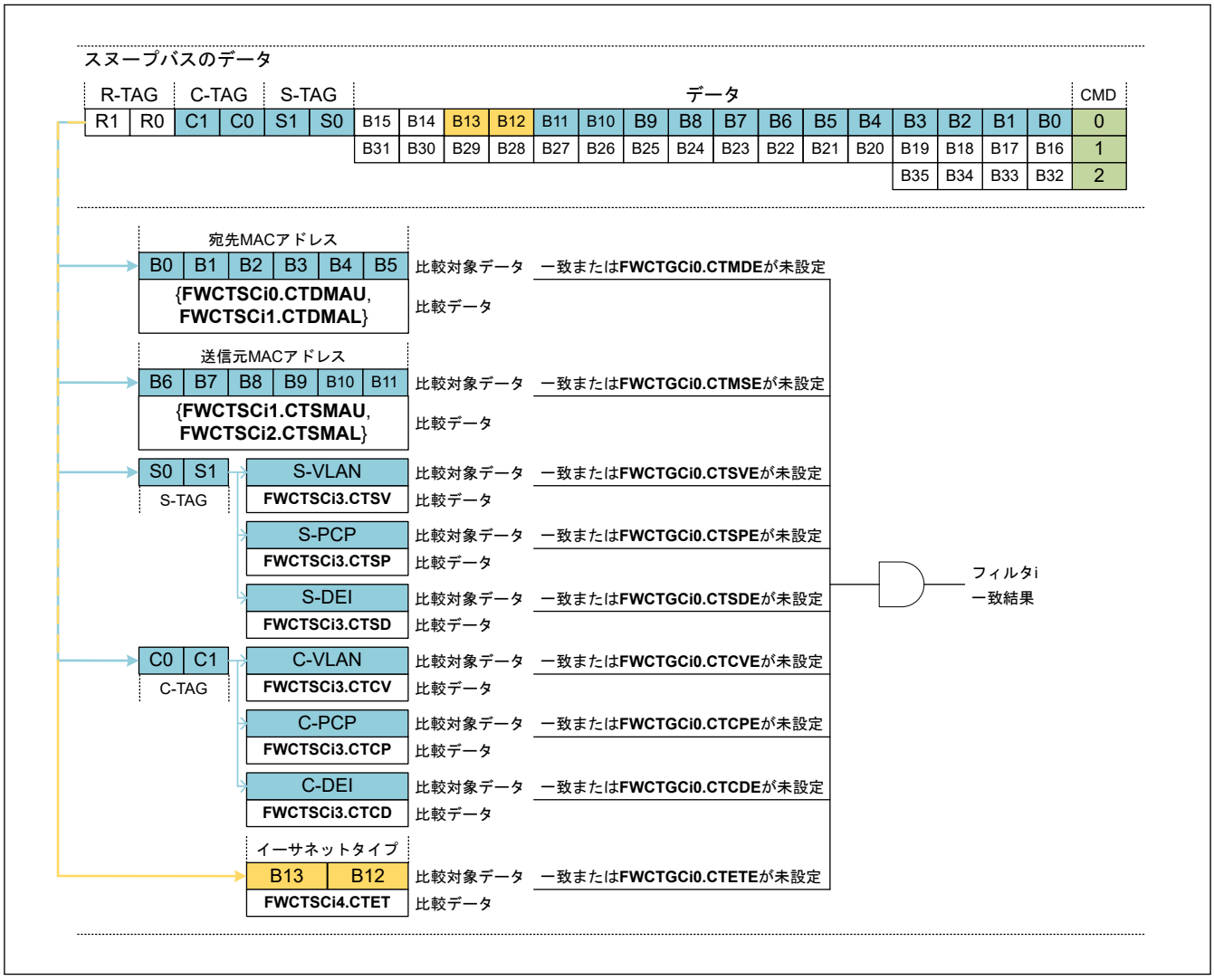


図 30.52 カットスルーフィルタリング

機能：

- カットスルールールでは、対応する送信元ポート FWCTSCi4.CTSPN からのフレームのみを一致対象にできます。
- 複数のカットスルールールが同じフレームに一致する場合、最も番号が大きいカットスルールールが選択されます。
- カットスルールールは、対応する FWCTTCi0.CTDV がすべて 0 以外のときにのみ有効です。
- カットスルーに一致するフレームは、Ingress エージェントで発生したエラーとは無関係に、カットスルーおよびストアアンドフォワードによって転送されます。
- レジスタ FWCTGCi0 のビット 0～8 が 0 に設定されている場合（すべてのフィールドのコンペアマッチが無効）、カットスルーは、FWCTTCi0.CTDV によって「ポートベースのカットスルー」になります。

30.5.2.1.2 カットスルー転送

カットスルー転送機能は、FWCTTCi0、FWCTGCi0/i1 レジスタを使用してタイムエージェント[ETHA]宛てのカットスルーバスプロトコルを作成します。カットスルーバスのレイテンシを短縮するために、フレームを受信しながら送信するために使用されます。

機能：

- FWCTTCi0 レジスタはカットスルーの対象ポートを決定します。FWCTTCi0.CTDV[PORT_TIME_N - 1:0]に設定され、FWCTTCi0.CTDFM に設定されていないすべてのポートは、ルール i のカットスルー転送の対象となります。エージェントから受信したエラーのあるすべてのフレームは、カットスルー転送によって転送／ミラーリングされます。
- FWCTGCi1.CTMT、FWCTGCi0.CTVCTRL、および FWCTGCi0.CTFI レジスタは、それぞれ PHY の最大時間、VLAN 制御、一致するカットスルーフレームの FCS として使用されます。

注.
- HW：カットスルー転送[ETHA]時に、イーサネットのタイムスタンプ機能は使用できません。たとえば、RMAC[RMAC]にフレームを転送している間、イーサネットエージェントは「タイムスタンプキャプチャ」、「Egress タイムスタンプ挿入」、および「常駐時間計算」の TX インタフェースビットを 0 に固定します。
- HW：カットスルー転送では、すべての（両方向の）PHY 速度は同じ[ETHA][RMAC]である必要があります。
- SW：FWCTGCi0.CTRTGI と FWCTGCi0.CTVCTRL は常に Ingress フレームフォーマットに対応する必要があります。対応しない場合、エラーが発生することがあります。

30.5.2.1.3 ストアアンドフォワード転送

ストアアンドフォワード転送機能は、FWCTTCi0/i1/i2 を使用してカットスルーフレームにストアアンドフォワードモードを適用します。図 30.53 にストアアンドフォワード転送のカットスルー転送フローを示します。

機能：

- FWCTTCi0 レジスタはストアアンドフォワードモードの対象ポートを決定します。FWCTTCi0.CTDV[2:0]に設定され、FWCTTCi0.CTDFM に設定されているすべてのポートは、ルール i のストアアンドフォワード転送の対象となります。FWCTTCi0.CTDV[3:2]に設定されているポートも対象となります。エージェントから受信したエラーのあるすべてのフレームは、ストアアンドフォワードモードで転送／ミラーリングされます。
- FWCTTCi1/i2 レジスタは転送情報を設定します。

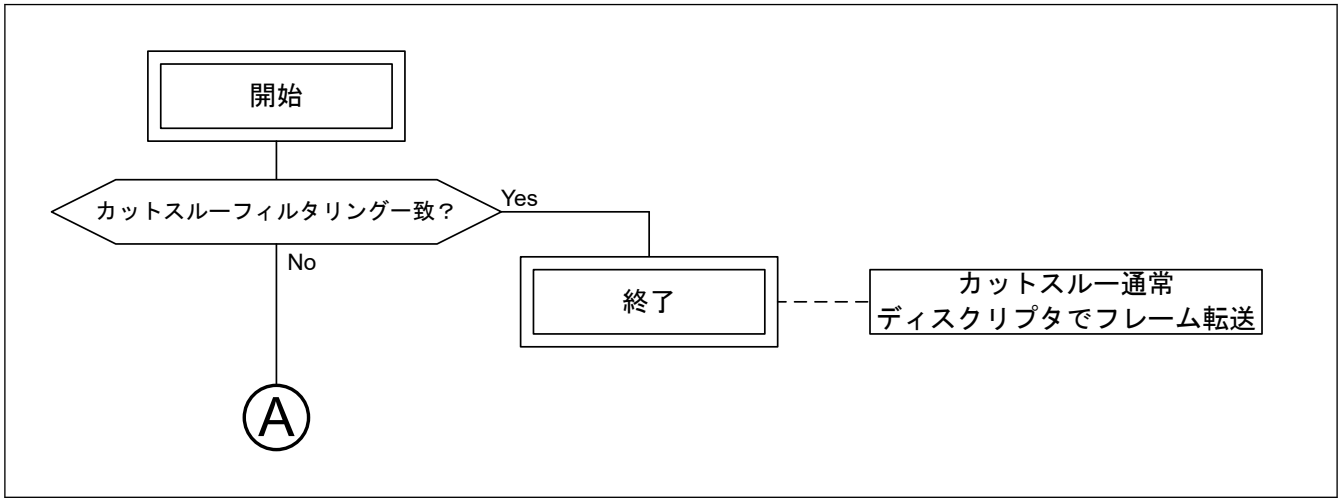


図 30.53 カットスルー転送フロー

注. リンク A は図 2 にリンクします。

(1) カットスルー通常ディスクリプタ

表 30.18 にカットスルールール番号 i に一致するフレームのカットスルー通常ディスクリプタフィールドを示します。

表 30.18　カットスルー通常ディスクリプタフィールド

フィールド名 (FDESCR.)	値
DV	{FWCTTCi0.CTDV[3:2], {FWCTTCi0.CTDV[1] & FWCTTCi0.CTDFM}}
SEC	1
CSDj	FWCTTC2ji.CTCSD
IPV	FWCTTCi1.CTIPU が設定されている場合、FWCTTCi1.CTIPV に設定 FWCTTCi1.CTIPU が設定されず、FWGC.SVM が 10b に設定された場合、フレーム入力 S-TAG PCP に設定 FWCTTCi1.CTIPU が設定されず、FWGC.SVM が 01b に設定された場合、フレーム入力 C-TAG PCP に設定 FWCTTCi1.CTIPU が設定されず、FWGC.SVM が 00b に設定された場合、フレーム入力 0 に設定
MINFO	図 30.54 と表 30.19 を参照してください。
RV	0
RN	ALL0
SEQN	フレーム入力シーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—				FWDC[3:0]			
1	—					CTRN[2:0]		
2	—							

図 30.54　カットスルー通常ディスクリプタの MINFO フォーマット

表 30.19　カットスルー通常ディスクリプタ MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	カットスルー通常ディスクリプタの場合、0 に固定
CTRN	3	カットスルールール番号	フレームを転送したカットスルールール番号に設定
—	- -	予約フィールド	0 に設定

30.5.2.2　整合性チェック

整合性チェックは、フレームが転送可能かどうか、また、フレームにエラーが含まれているかどうかチェックするために使用できます。図 30.55 に整合性チェックのブロック図を示します。図 30.56 に整合性チェックのフローを示します。

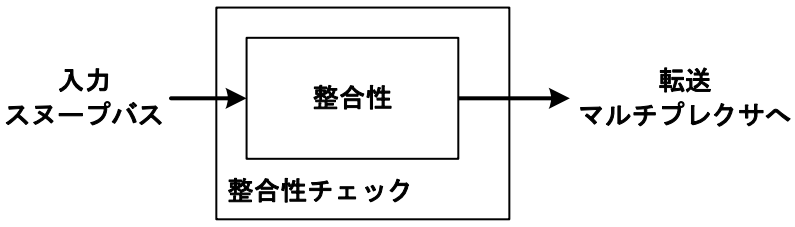


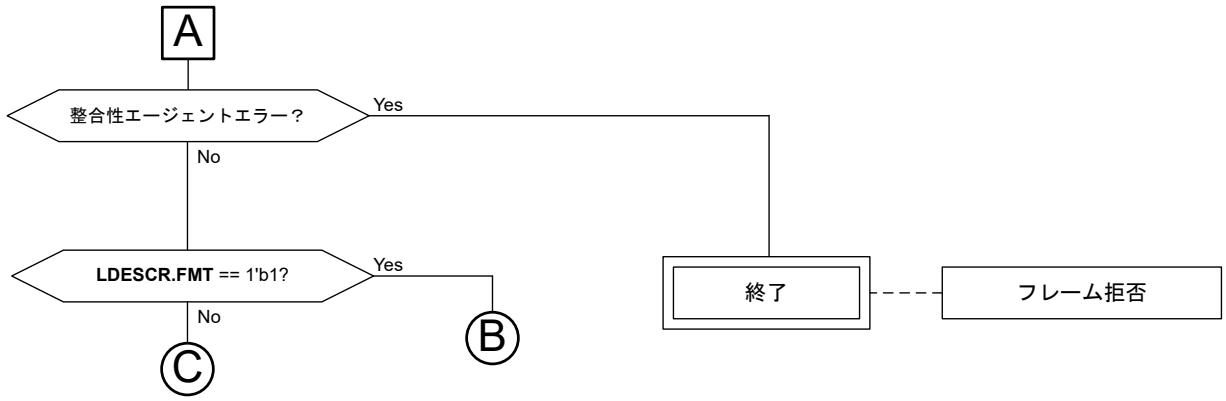
図 30.55　整合性チェックのブロック図

整合性チェック機能には 1 つの機能ブロックがあります：

- 整合性：イーサタイプ 0x8100、0x88A8、0xF1C1 は無視され、次のイーサタイプフィールドが抽出されます。ただし、無効なフレーム（CC-TAG など）はヘッダがないと判断され、最初のイーサタイプフィールドが抽出されます。

- 整合性：この機能は、入力エージェントからエラーを受信したかどうか、または受信フレームが必要なフォーマットに従っていないかどうかをチェックします。
- IPv4 フィルタリングと IPv6 フィルタリングのどちらの場合も、整合性チェックはイーサタイプフィールドに基づいて実行されます。つまり、イーサタイプは、MFWD 整合性チェックでのフレームタイプの解析にのみ使用され、必要なフレームタイプのヘッダ長や TPL サイズには関係がありません。

注. ● 転送マルチプレクサには、転送フローが含まれています。転送フローは転送タイプごとに説明しています。整合性チェックについて、関連する転送フローを図 30.56 に示します。



注. ● 整合性チェックエラーについては「30.5.2.2.1. 整合性チェックエラー」で説明しています。
● リンク A は図 30.53 からつながっています。
● リンク B は図 30.58 につながっています。
● リンク C は図 30.85 につながっています。

図 30.56 整合性チェックフロー

30.5.2.2.1 整合性チェックエラー

表 30.20 に、整合性チェックエラーを示します。対応するエラー例外ビットを設定することにより、「30.5.2.2.2. 整合性例外ディスクリプタ」で説明されている整合性例外ディスクリプタを使用して、エラーフレームを転送エンジンによって破棄する代わりに例外パスに転送できます。

表 30.20 整合性チェックエラー (1/2)

エラー	エラー名	エラー割り込み／例外	エラー例外ビット
整合性エージェントエラー			
GTFE	GWCA TAG フィルタリングエラー	GWCA からフレームを受信し、LDESCR.SAEF[0]が設定された場合に発生[GWCA]	FWCEPRC0.GTFEF
GAXE	GWCA AXI エラー	GWCA からフレームを受信し、LDESCR.SAEF[3]が設定された場合に発生[GWCA]	FWCEPRC0.GAXEEF
GSEGE	GWCA シーケンスエラー	GWCA からフレームを受信し、LDESCR.SAEF[4]が設定された場合に発生[GWCA]	FWCEPRC0.GSEQEEF
GDNE	GWCA ディスクリプタ数エラー	GWCA からフレームを受信し、LDESCR.SAEF[6]が設定された場合に発生[GWCA]	FWCEPRC0.GDNEEF
ETFE	イーサネット TAG フィルタリングエラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF[0]が設定された場合に発生[ETHA]	FWCEPRC0.ETFEF
EPHYE	イーサネット TAG PHY エラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC0 が 4'd1 に設定された場合に発生[ETHA]	FWCEPRC0.EPHYEEF
EPCRCE	イーサネット PCH CRC エラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC0 が 4'd2 に設定された場合に発生[ETHA]	FWCEPRC0.EPCRCEEF
ENIBE	イーサネットニブルエラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC0 が 4'd3 に設定された場合に発生[ETHA]	FWCEPRC0.ENIBEEF

表 30.20 整合性チェックエラー (2/2)

エラー	エラー名	エラー割り込み／例外	エラー例外ビット
EFCSE	イーサネット FCS エラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC0 が 4'd4 に設定された場合に発生[ETHA]	FWCEPRC0.EFCSEEF
EFFME	イーサネット最終フラグメント欠落エラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC0 が 4'd5 に設定された場合に発生[ETHA]	FWCEPRC0.EFFMEEF
ECFSE	イーサネット C フラグメント SMD エラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC0 が 4'd6 に設定された場合に発生[ETHA]	FWCEPRC0.ECFSEEF
ECFFCE	イーサネット C フラグメント FRAG_COUNT エラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC0 が 4'd7 に設定された場合に発生[ETHA]	FWCEPRC0.ECFFCEEF
ERFF	イーサネット RMAC フレームフィルタリング済み	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC0 が 4'd8 に設定された場合に発生[ETHA]	FWCEPRC0.ERFFEF
ERPOO	イーサネット部分的休止中受信	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC0 が 4'd9 に設定された場合に発生[ETHA]	FWCEPRC0.ERPOOEF
EBOE	イーサネットバッファオーバーフローエラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC1 が 2'd1 に設定された場合に発生[ETHA]	FWCEPRC0.EBOEEF
EUE	イーサネットアンダーサイズエラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC1 が 2'd2 に設定された場合に発生[ETHA]	FWCEPRC0.EUEEF
EOE	イーサネットオーバーサイズエラー	イーサネットエージェントからフレームを受信し、LDESCR.SAEF.EC1 が 2'd3 に設定された場合に発生[ETHA]	FWCEPRC0.EOEEF

30.5.2.2.2 整合性例外ディスクリプタ

表 30.21 に整合性例外ディスクリプタのフィールドを示します。

表 30.21 整合性例外ディスクリプタのフィールド

フィールド名 (FDESCR.)	値
DV	例外ディスクリプタは、GWCA 番号 FWCEPTC.EPCS（ポート番号 PORT_TIME_N + FWCEPTC.EPCS）に転送される
SEC	FWCEPTC.EPSL
CSDj	FWCEPTC.EPCSD
IPV	FWCEPTC.EPIPV
MINFO	図 30.57 と表 30.22 を参照
RV	1'b0
RN	ALL0
SEQN	フレーム入力シーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	–				FWDC[3:0]			
1	–				L4F	IP6F	IP4F	TYPEF
2	–							

図 30.57 整合性例外ディスクリプタの MINFO フォーマット

表 30.22 整合性例外ディスクリプタの MINFO フィールドの説明 (1/2)

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	整合性例外ディスクリプタの場合、1 に固定

表 30.22 整合性例外ディスクリプタの MINFO フィールドの説明 (2/2)

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
TYPEF	1	タイプフィルタリング	「30.5.2.2.1. 整合性チェックエラー」を参照してください。
IP4F	1	IPv4 フィルタリング	「30.5.2.2.1. 整合性チェックエラー」を参照してください。
IP6F	1	IPv6 フィルタリング	「30.5.2.2.1. 整合性チェックエラー」を参照してください。
L4F	1	レイヤ 4 フィルタリング	「30.5.2.2.1. 整合性チェックエラー」を参照してください。
—	—	予約フィールド	0 に設定

30.5.2.3 直接ディスクリプタ転送

直接ディスクリプタ転送は、低速インタフェース[GWCA]から受信したローカル直接ディスクリプタ (LDESCR.FMT [GWCA]が 1 に設定) を FWPCi1 および FWCEPRC0 レジスタを使用して転送するために使用します。この転送は FWEIS0i 割り込みレジスタを使用して監視できます。図 30.58 に直接ディスクリプタ転送フローを示します。

機能：

- FWPCi1.DDE レジスタは、ポート i からの直接ディスクリプタの受信を有効にするために使用します。
- FWPCi1.DDSL レジスタは、ポート i からの直接ディスクリプタの受信が有効なときに、ポート i からのセキュア直接ディスクリプタの受信を有効にするために使用します。
- FWCEPRC0 レジスタは、エラーディスクリプタの例外パスを有効にします。
- FWEIS0i 割り込みレジスタは、直接ディスクリプタが拒否されたことを通知します。

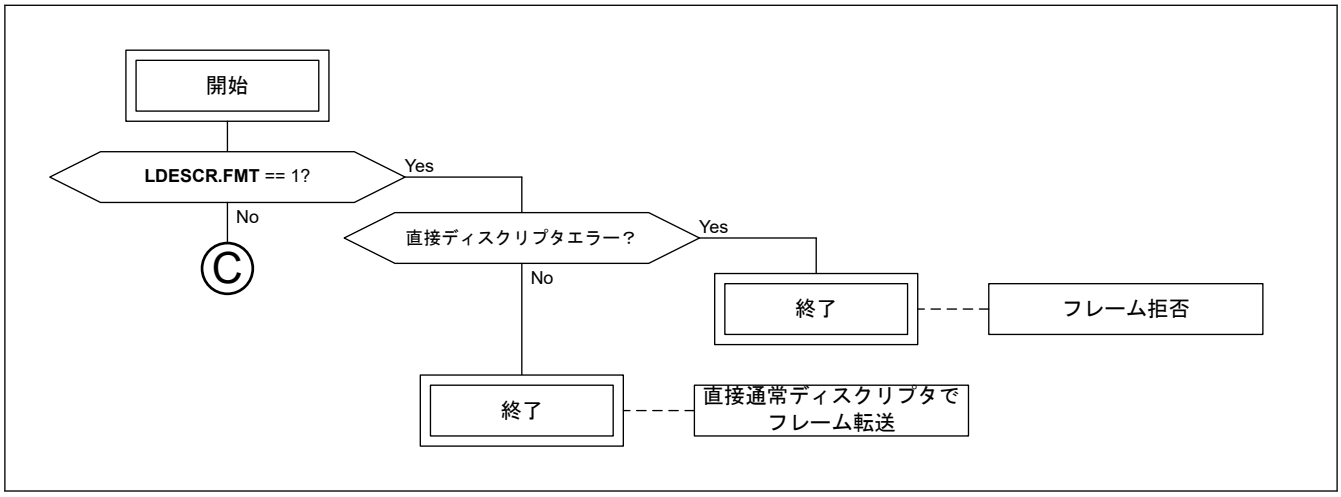


図 30.58 直接ディスクリプタ転送フロー

注.
- 直接ディスクリプタエラーについては、「30.5.2.3.1. 直接ディスクリプタ転送エラー」で説明します。
- 直接通常ディスクリプタのフォーマットについては、「30.5.2.3.2. 直接通常ディスクリプタ」で説明します。
- リンク C は図 30.85 にリンクしています。

30.5.2.3.1 直接ディスクリプタ転送エラー

表 30.23 に直接ディスクリプタ転送エラーを示します。転送エンジンによって破棄される代わりに、「30.5.2.3.3. 直接例外ディスクリプタ」で説明されている直接例外ディスクリプタを使用して、対応するエラー例外ビットを設定することにより、エラーフレームを例外パスに転送できます。エラー設定条件については、対応するエラー割り込みレジスタの説明を参照してください。

表 30.23 直接ディスクリプタエラー

エラー	エラー名	エラー割り込み	エラー例外ビット
DDE	直接ディスクリプタエラー	FWEIS0i.DDES	FWCEPRC0.DDEEF
DDSF	直接ディスクリプタのセキュリティフィルタリング	FWEIS0i.DDSES	FWCEPRC0.DDFSFEF
NTF	無転送先フィルタリング	FWEIS0i.DDNTFS	FWCEPRC2.DDNTFEF

30.5.2.3.2 直接通常ディスクリプタ

表 30.24 に、直接通常ディスクリプタのフィールドを示します。LDESCR の説明については、GWCA の仕様[GWCA]を参照してください。

表 30.24 直接通常ディスクリプタのフィールド

フィールド名 (FDESCR.)	値
DV	LDESCR.DV
SEC	LDESCR.SEC
CSD	LDESCR.CSD
IPV	LDESCR.IPV
MINFO	図 30.59 と表 30.25 を参照
RV	LDESCR.RV
RN	LDESCR.RV が設定された場合、LDESCR.RN に設定 LDESCR.RV が設定されていない場合、0 に設定
SEQN	フレーム入力シーケンス番号に設定

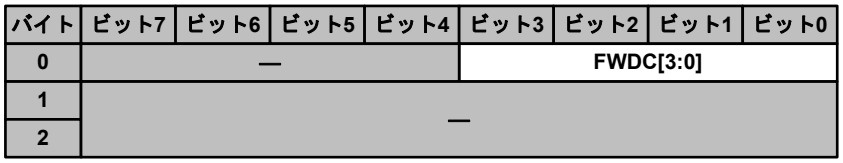


図 30.59 直接通常ディスクリプタの MINFO フォーマット

表 30.25 直接通常ディスクリプタの MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	直接通常ディスクリプタの場合は 2 に固定
—	- -	予約フィールド	0 に設定

30.5.2.3.3 直接例外ディスクリプタ

表 30.26 に直接例外ディスクリプタのフィールドを示します。

表 30.26 直接例外ディスクリプタのフィールド (1/2)

フィールド名 (FDESCR.)	値
DV	例外ディスクリプタは、GWCA 番号 FWCEPTC.EPCS（ポート番号 2 + FWCEPTC.EPCS）に転送される
SEC	FWCEPTC.EPSL
CSDj	FWCEPTC.EPCSD
IPV	FWCEPTC.EPIPV

表 30.26 直接例外ディスクリプタのフィールド (2/2)

フィールド名 (FDESCR.)	値
MINFO	図 30.60 と表 30.27 を参照
RV	0
RN	ALL0
SEQN	フレーム入力シーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—				FWDC[3:0]			
1	—				NTF	DDFF	DDSF	DDF
2	—							

図 30.60 直接例外ディスクリプタの MINFO フォーマット

表 30.27 直接例外ディスクリプタの MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	直接例外ディスクリプタの場合、3 に固定
DDF	1	直接ディスクリプタフィルタリング済み	「30.5.2.3.1. 直接ディスクリプタ転送エラー」を参照
DDSF	1	直接ディスクリプタセキュリティフィルタリング済み	「30.5.2.3.1. 直接ディスクリプタ転送エラー」を参照
DDFF	1	直接ディスクリプタフォーマットフィルタリング済み	「30.5.2.3.1. 直接ディスクリプタ転送エラー」を参照
NTF	1	無転送先フィルタリング済み	「30.5.2.3.1. 直接ディスクリプタ転送エラー」を参照

30.5.2.4 レイヤ 3 転送／ルーティング／フィルタリング

図 30.61 に、レイヤ 3 転送／ルーティング／フィルタリングのブロック図を示します。このブロックは「L3」と呼ばれますが、レイヤ 2 ストリームも含め、転送エンジンのストリームベースの機能をすべて含んでいます。

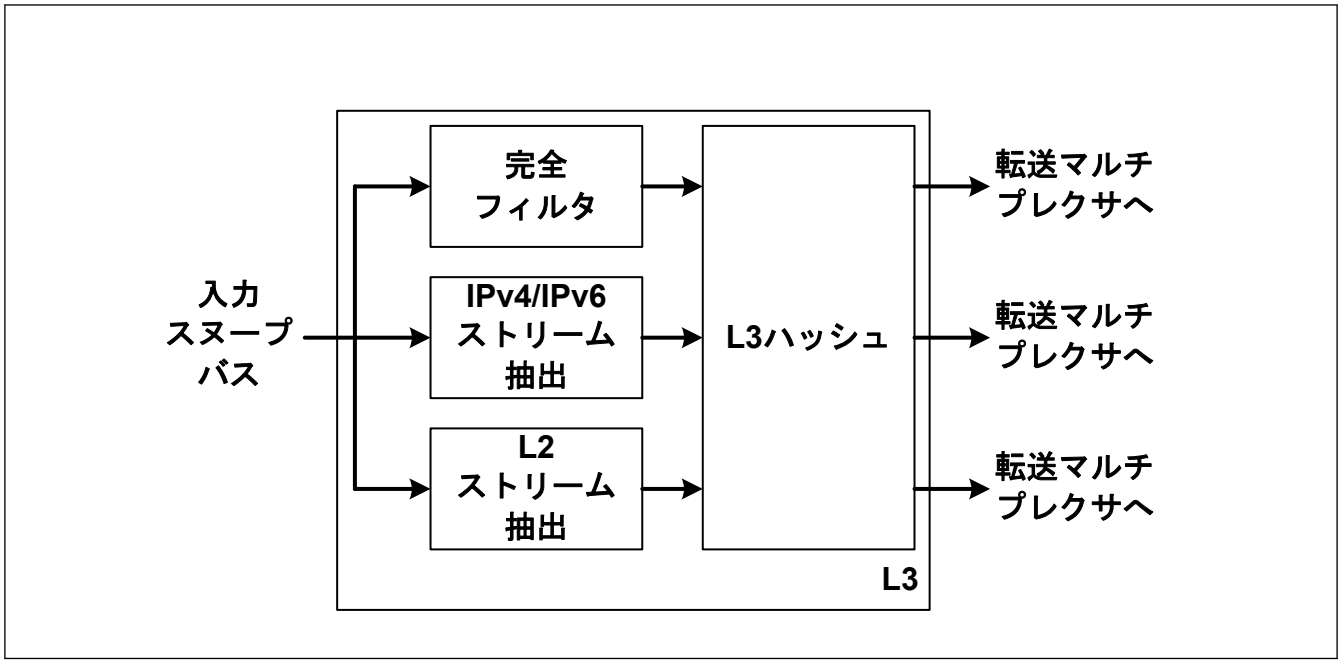


図 30.61 レイヤ 3 転送／ルーティング／フィルタリングのブロック図

レイヤ 3 転送／ルーティング／フィルタリング機能は、4 つの機能ブロックに分かれています。

- 完全フィルタ：このブロックは、転送エンジンスヌープバスから必要なすべての情報をスヌープして、ユーザー定義のストリームを作成します。
- IPv4/IPv6 ストリーム抽出：このブロックは、転送エンジンスヌープバスから必要なすべての情報をスヌープして、IPv4/IPv6 ストリームを作成します。
- L2 ストリーム抽出：このブロックは、転送エンジンスヌープバスから必要なすべての情報をスヌープして、L2 ストリームを作成します。
- L3 ハッシュ：このブロックは、転送、ルーティング、およびフィルタリング情報などのストリームのメタ情報を、ハッシュ関数を使用して処理します。

注. 転送マルチプレクサには、転送フローが含まれています。転送フローは転送タイプごとに説明しています。レイヤ 3 転送／ルーティング／フィルタリングについて、関連する転送フローを図 30.85、図 30.86、および図 30.87 に示します。

30.5.2.4.1 完全フィルタ

完全フィルタは、ストリームの識別に使用されます。このフィルタは、柔軟性があるという利点があり、統計エラーがなくてもストリームを識別できますが、コストが高いため、使用できる数に限りがあります（16 ストリームを使用可能）。

図 30.62 に完全フィルタのブロック図を示します。

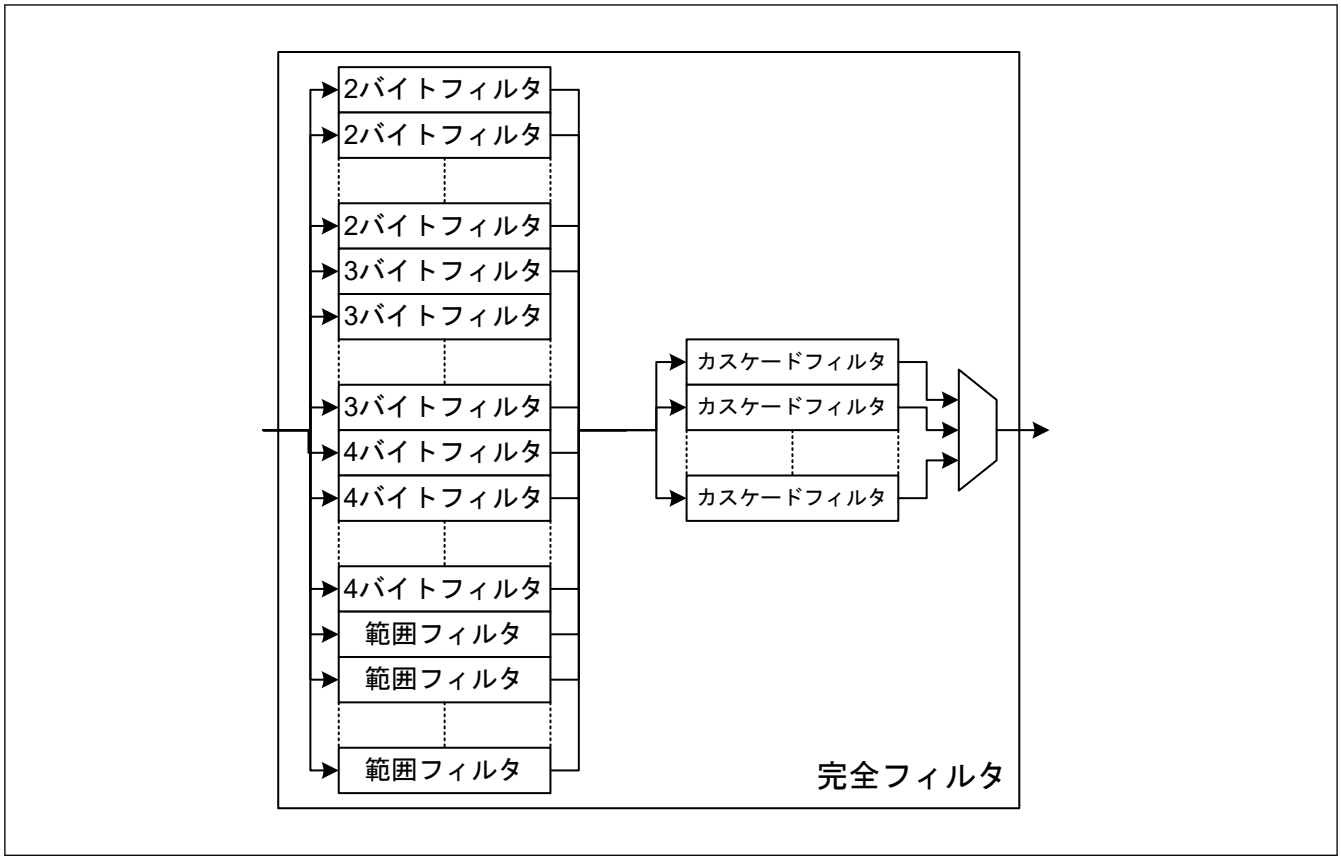


図 30.62　完全フィルタのブロック図

完全フィルタの処理は 2 つのステップで行われます。

- 最初のステップは、2 バイトフィルタ、3 バイトフィルタ、4 バイトフィルタ、範囲フィルタによって行われます。これらの各フィルタはそれぞれ互いに独立していますが、1 つのフレームの正確な一部のみをフィルタリングすることができます。
- 2 つ目のステップは、カスケードフィルタによって行われます。各カスケードフィルタはそれぞれ、最初のステップからの 7 個のフィルタ結果を対応付けてストリーム ID を作成できます。

注.　HW: 33 バイトより小さいすべてのフレーム（コマンド 1 なしでスヌープバスから受信。この 33 バイトには TAG RAM に保存されている TAG は含まれません）は、完全フィルタでは不明フレームとみなされます。

(1)　2 バイトフィルタ

2 バイトフィルタは、フレームの特定部分をフィルタリングすることを目的としていて、データの抽出とフィルタリングの 2 つのステップで動作します。

(a) フィルタリングのためのデータ抽出

2 バイトフィルタには、フレームからデータを抽出するためのモードが 2 つあります。図 30.63 で、例を用いてこれらのモードについて説明しています。

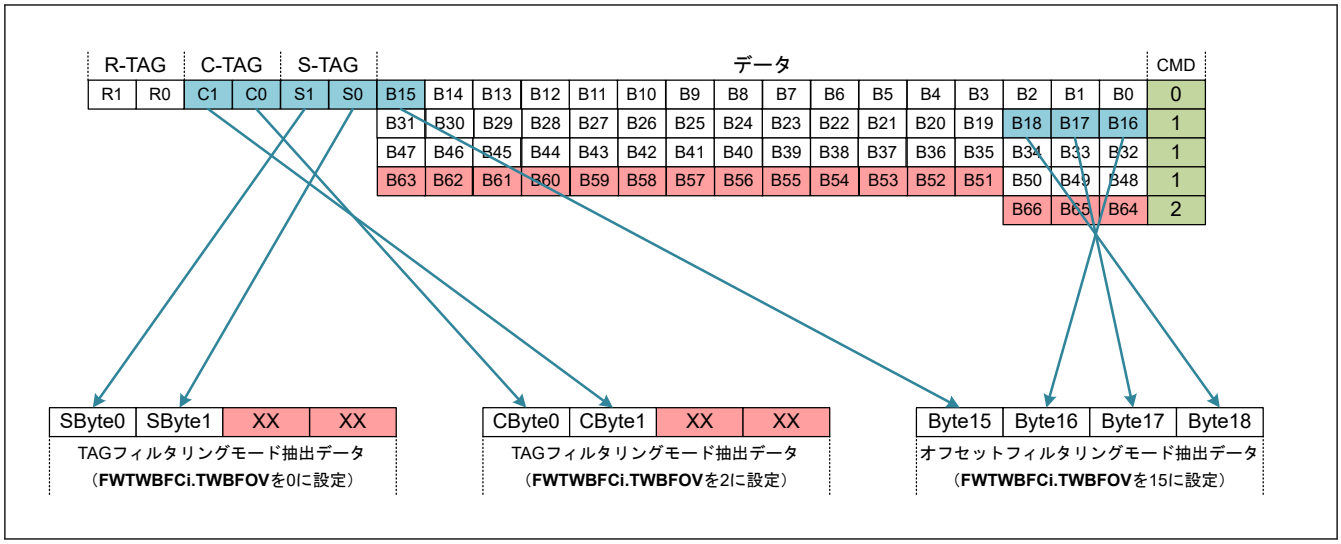


図 30.63　フィルタリングのための 2 バイトフィルタによるデータ抽出

オフセットフィルタリングモードの場合 (FWTWBFCi.TWBFM == 0)：

- バイト FWTWBFCi.TWBFOV からバイト FWTWBFCi.TWBFOV + 3 までのデータバイトがフィルタリングのために抽出されます。

TAG フィルタリングモードの場合 (FWTWBFCi.TWBFM == 1)：

- FWTWBFCi.TWBFOV が 0 に設定されている場合、フィルタリングのために VLAN S-TAG が抽出されます。
- FWTWBFCi.TWBFOV が 2 に設定されている場合、フィルタリングのために VLAN C-TAG が抽出されます。

注.
- HW: 2 バイトフィルタでのフィルタリングのためのデータを抽出できるのは、データの最後から 2 番目にあるビート内の最初の 3 バイトまでだけです（最後の CMD の最初の 3 バイトが 1 です。図 30.63 では、赤色のバイトはフィルタリングのために抽出できないバイトです）。つまり、オフセットフィルタリングが有効なのは、オフセット値が、データの最後から 3 番目にあるビートの最終バイトまで設定されている場合だけです（最後の CMD の直前が 1 です。図 30.63 ではバイト 47 です）。
- HW：フィルタリングのために抽出できないデータを使用する必要があると設定されているフィルタは、常に不一致になります。
- HW: TAG フィルタリングモードでは、フレーム内にフィルタリングのための S-TAG または C-TAG が存在しない場合、フィルタによって値 0 が抽出されます。

(b) 抽出されたデータのフィルタリング

2 バイトフィルタには、抽出されたデータをフィルタリングするモードが 3 つあります。図 30.64 に、これらのモードを示します。

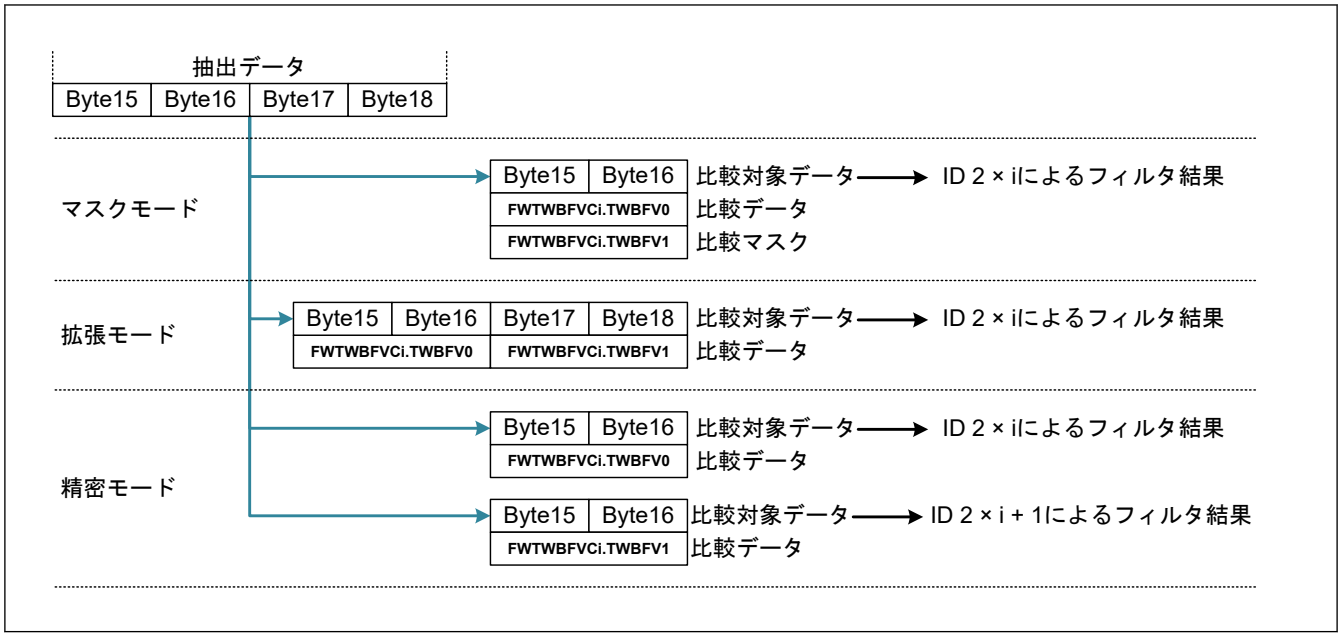


図 30.64　フィルタリングのための 2 バイトフィルタによるデータ抽出

マスクモードの場合 (FWTWBFCi.TWBFUM == 00b) :

- 抽出されたデータの最初の 2 バイトが、マスクとしての FWTWBFVCi.TWBFV1 を使用して FWTWBFVCi.TWBFV0 と比較されます（ビットが 1 に設定されていると、対応するビットは比較に使用されません）。結果はフィルタ ID 2 x i に対応付けられます。

拡張モードの場合 (FWTWBFCi.TWBFUM == 01b) :

- 抽出されたデータの 4 バイトが{FWTWBFVCi.TWBFV0,FWTWBFVCi.TWBFV1}と比較されます。結果はフィルタ ID 2 x i に対応付けられます。

正確モードの場合 (FWTWBFCi.TWBFUM == 10b) :

- 抽出されたデータの最初の 2 バイトが FWTWBFVCi.TWBFV0 と比較されます。結果はフィルタ ID 2 x i に対応付けられます。
- 抽出されたデータの最初の 2 バイトが FWTWBFVCi.TWBFV1 と比較されます。結果はフィルタ ID 2 x i + 1 に対応付けられます。

(2)　3 バイトフィルタ

3 バイトフィルタは、フレームの特定部分をフィルタリングすることを目的としていて、データの抽出とフィルタリングの 2 つのステップで動作します。

(a) フィルタリングのためのデータ抽出

3 バイトフィルタには、フレームからデータを抽出するためのモードが 1 つあります。図 30.65 で、例を用いてこのモードについて説明しています。

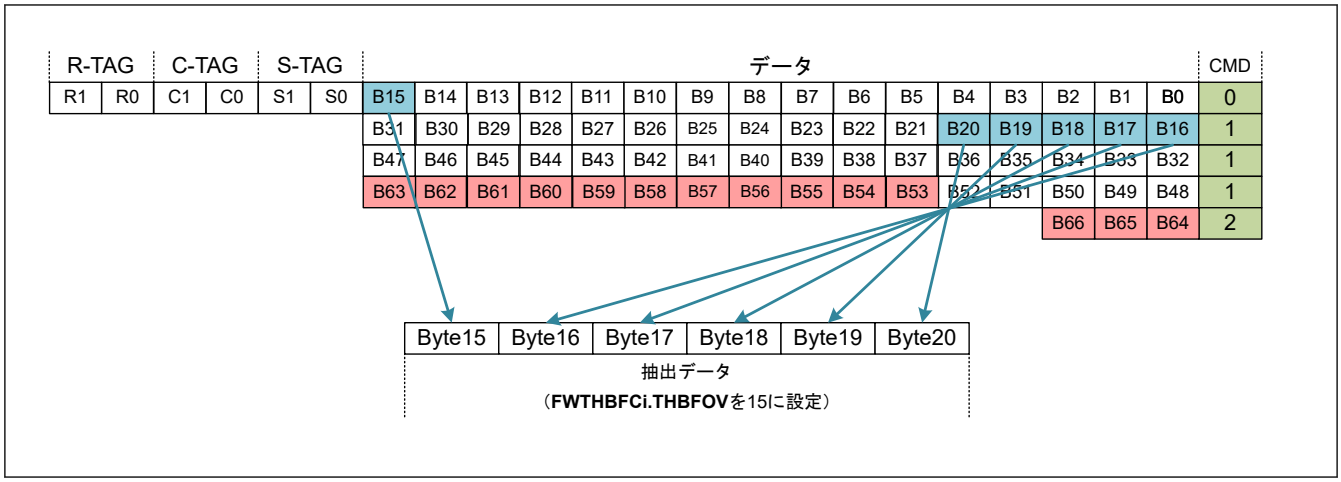


図 30.65　フィルタリングのための 3 バイトフィルタによるデータ抽出

3 バイトフィルタの場合：

- バイト FWTHBFCi.THBFOV からバイト FWTHBFCi.THBFOV+5 までのデータバイトがフィルタリングのために抽出されます。

注.
- HW: 3 バイトフィルタでのフィルタリングのためのデータを抽出できるのは、データの最後から 2 番目にあるビート内の最初の 5 バイトまでだけです（最後の CMD の最初の 5 バイトが 1 です。図 30.65 では、赤色のバイトはフィルタリングのために抽出できないバイトです）。つまり、オフセットフィルタリングが有効なのは、オフセット値が、データの最後から 3 番目にあるビートの最終バイトまで設定されている場合だけです（最後の CMD の直前が 1 です。図 30.65 ではバイト 47 です）。
- HW：フィルタリングのために抽出できないデータを使用する必要があると設定されているフィルタは、常に不一致になります。

(b) 抽出されたデータのフィルタリング

3 バイトフィルタには、抽出されたデータをフィルタリングするモードが 3 つあります。図 30.66 に、これらのモードを示します。

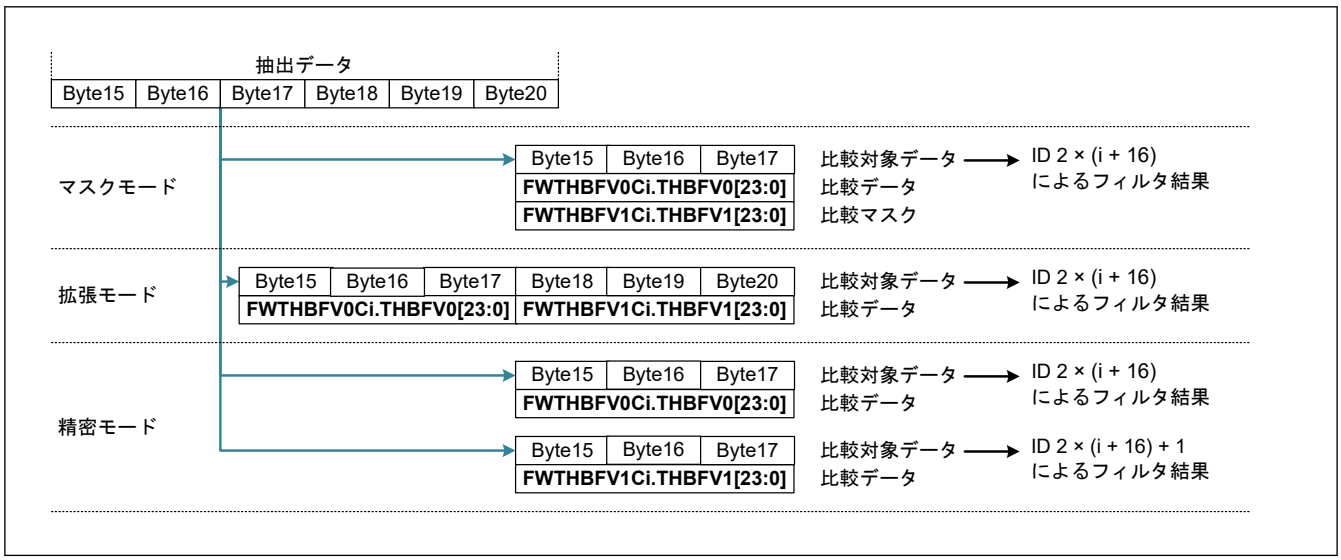


図 30.66　フィルタリングのための 3 バイトフィルタによるデータ抽出

マスクモードの場合 (FWTHBFCi.THBFUM[1:0] == 00b)：

- 抽出されたデータの最初の 3 バイトが、マスクとしての FWTHBFV1Ci.THBFV1[23:0]を使用して FWTHBFV0Ci.THBFV0[23:0]と比較されます（ビットが 1 に設定されていると、対応するビットは比較に使用されません）。結果はフィルタ ID 2 × (i + 16) に対応付けられます。

拡張モードの場合 (FWTHBFCi.THBFUM[1:0] == 01b)：

- 抽出されたデータの 6 バイトが{FWTHBFV0Ci.THBFV0[23:0],FWTHBFV1Ci.THBFV1[23:0]}と比較されます。結果はフィルタ ID 2 × (i + 16) に対応付けられます。

正確モードの場合 (FWTHBFCi.THBFUM[1:0] == 10b)：

- 抽出されたデータの最初の 3 バイトが FWTHBFV0Ci.THBFV0[23:0]と比較されます。結果はフィルタ ID 2 × (i + 16) に対応付けられます。
- 抽出されたデータの最初の 3 バイトが FWTHBFV1Ci.THBFV1[23:0]と比較されます。結果はフィルタ ID 2 × (i + 16) + 1 に対応付けられます。

(3) 4 バイトフィルタ

4 バイトフィルタは、フレームの特定部分をフィルタリングすることを目的としていて、データの抽出とフィルタリングの 2 つのステップで動作します。

(a) フィルタリングのためのデータ抽出

4 バイトフィルタには、フレームからデータを抽出するためのモードが 1 つあります。図 30.67 で、例を用いてこのモードについて説明しています。

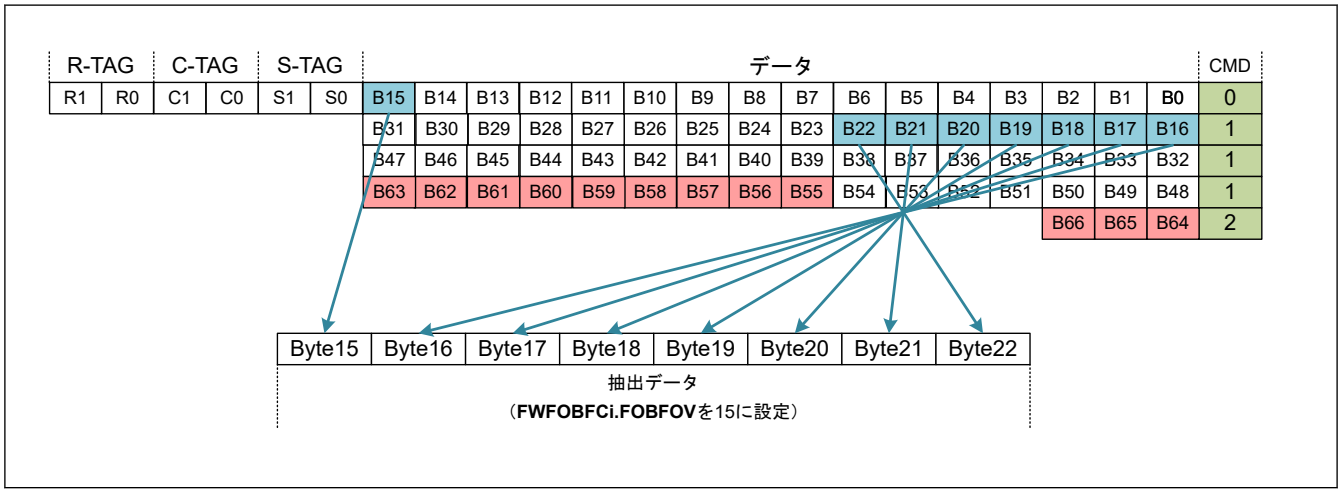


図 30.67 フィルタリングのための 4 バイトフィルタによるデータ抽出

4 バイトフィルタの場合：

- バイト FWFOBFCi.FOBFOV からバイト FWFOBFCi.FOBFOV+7 までのデータバイトがフィルタリングのために抽出されます。

注.
- HW: 4 バイトフィルタでのフィルタリングのためのデータを抽出できるのは、データの最後から 2 番目にあるビート内の最初の 7 バイトまでだけです（最後の CMD の最初の 7 バイトが 1 です。図 30.67 では、赤色のバイトはフィルタリングのために抽出できないバイトです）。つまり、オフセットフィルタリングが有効なのは、オフセット値が、データの最後から 3 番目にあるビートの最終バイトまで設定されている場合だけです（最後の CMD の直前が 1 です。図 30.67 ではバイト 47 です）。
- HW：フィルタリングのために抽出できないデータを使用する必要があると設定されているフィルタは、常に不一致になります。

(b) 抽出されたデータのフィルタリング

4 バイトフィルタには、抽出されたデータをフィルタリングするモードが 3 つあります。図 30.68 に、これらのモードを示します。

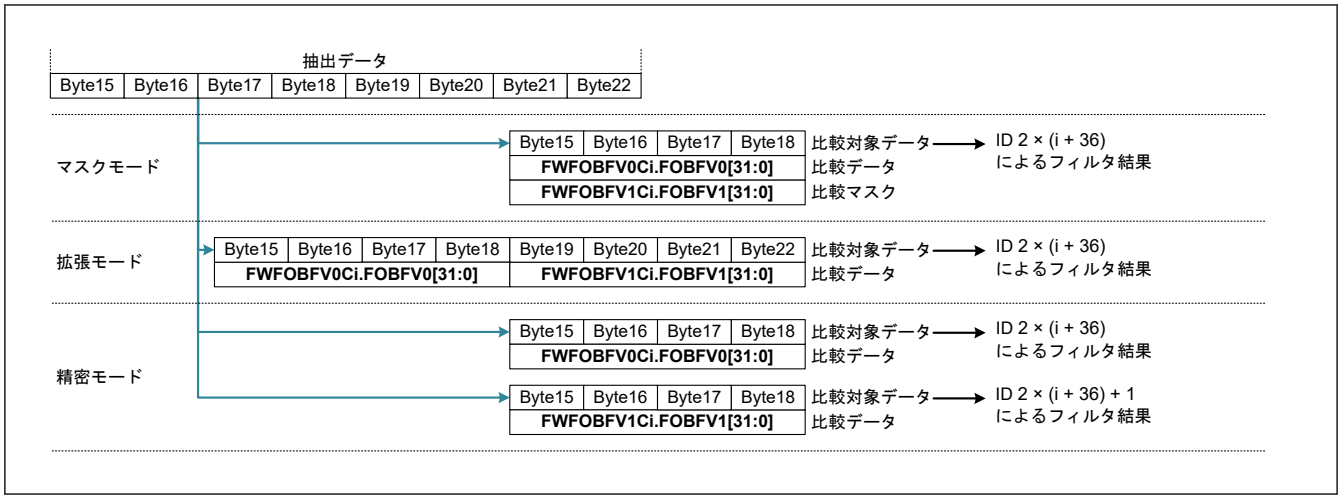


図 30.68　　フィルタリングのための 4 バイトフィルタによるデータ抽出

マスクモードの場合 (FWFOBFCi.FOBFUM[1:0] == 00b)：

- 抽出されたデータの最初の 4 バイトが、マスクとしての FWFOBFV1Ci.FOBFV1[31:0]を使用して FWFOBFV0Ci.FOBFV0[31:0]と比較されます（ビットが 1 に設定されていると、対応するビットは比較に使用されません）。結果はフィルタ ID 2 × (i + 36) に対応付けられます。

拡張モードの場合 (FWFOBFCi.FOBFUM[1:0] == 01b)：

- 抽出されたデータの 8 バイトが{FWFOBFV0Ci.FOBFV0[31:0],FWFOBFV1Ci.FOBFV1[31:0]}と比較されます。結果はフィルタ ID 2 × (i + 36) に対応付けられます。

正確モードの場合 (FWFOBFCi.FOBFUM[1:0] == 10b)：

- 抽出されたデータの最初の 3 バイトが FWFOBFV0Ci.FOBFV0[31:0]と比較されます。結果はフィルタ ID 2 × (i + 36) に対応付けられます。
- 抽出されたデータの最初の 3 バイトが FWFOBFV1Ci.FOBFV1[31:0]と比較されます。結果はフィルタ ID 2 × (i + 36) + 1 に対応付けられます。

(4)　範囲フィルタ

範囲フィルタは、フレームの特定部分をフィルタリングすることを目的としていて、データの抽出とフィルタリングの 2 つのステップで動作します。

(a) フィルタリングのためのデータ抽出

範囲フィルタには、フレームからデータを抽出するためのモードが 2 つあります。図 30.69 で、例を用いてこれらのモードについて説明しています。

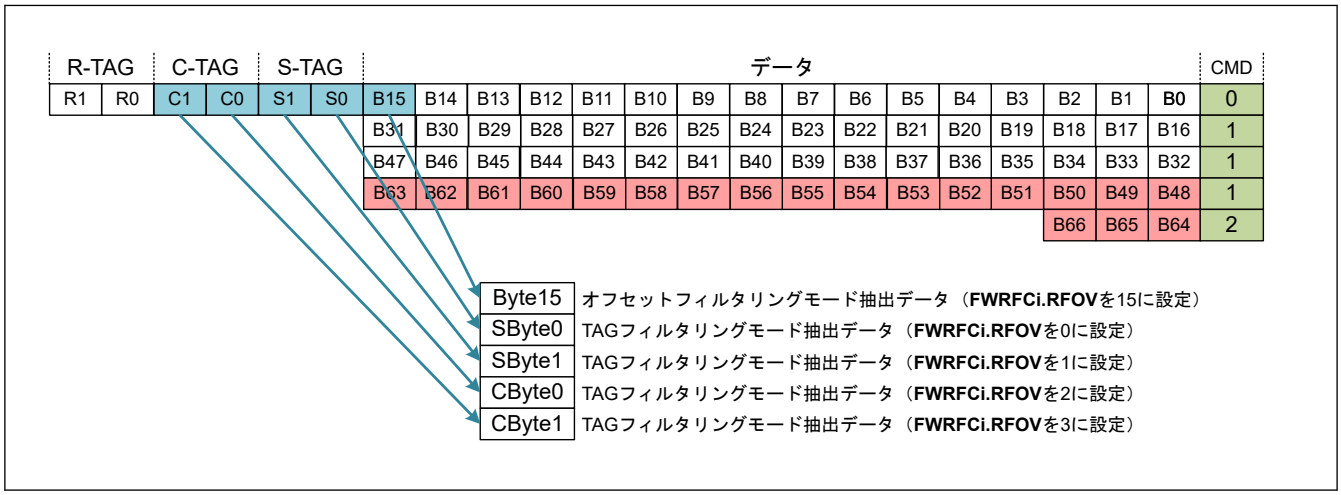


図 30.69　　フィルタリングのための範囲フィルタによるデータ抽出

オフセットフィルタリングモードの場合 (FWRFCi.RFM == 0)：

- フィルタリングのためにデータバイト FWRFCi.RFOV が抽出されます。

TAG フィルタリングモードの場合 (FWRFCi.RFM == 1)：

- FWRFCi.RFOV が 0 に設定されている場合、VLAN S-TAG VID の上位 4 ビットがフィルタリングのために抽出されます（PCP と DEI は 0 に固定です）。
- FWRFCi.RFOV が 1 に設定されている場合、VLAN S-TAG VID の下位 8 ビットがフィルタリングのために抽出されます。
- FWRFCi.RFOV が 2 に設定されている場合、VLAN C-TAG VID の上位 4 ビットがフィルタリングのために抽出されます（PCP と DEI は 0 に固定です）。
- FWRFCi.RFOV が 3 に設定されている場合、VLAN C-TAG VID の下位 8 ビットがフィルタリングのために抽出されます。

制約事項：

注.
- HW: C-TAG および S-TAG 内の PCP と DEI の値は、範囲フィルタでは無視されます（0 に設定される）。
- HW：範囲フィルタでのフィルタリングのためのデータを抽出できるのは、データの最後から 2 番目のビートまでだけです（最後の CMD の直前が 1 です。図 30.69 では、赤色のバイトはフィルタリングのために抽出できないバイトです）。つまり、オフセットフィルタリングが有効なのは、オフセット値が、データの最後から 3 番目にあるビートの最終バイトまで設定されている場合だけです（最後の CMD の直前が 1 です。図 30.69 ではバイト 47 です）。
- HW：フィルタリングのために抽出できないデータを使用する必要があると設定されているフィルタは、常に不一致になります。

(b) 抽出されたデータのフィルタリング

範囲フィルタには、抽出されたデータをフィルタリングするモードが 1 つあります。図 30.70 で、このモードについて説明しています。

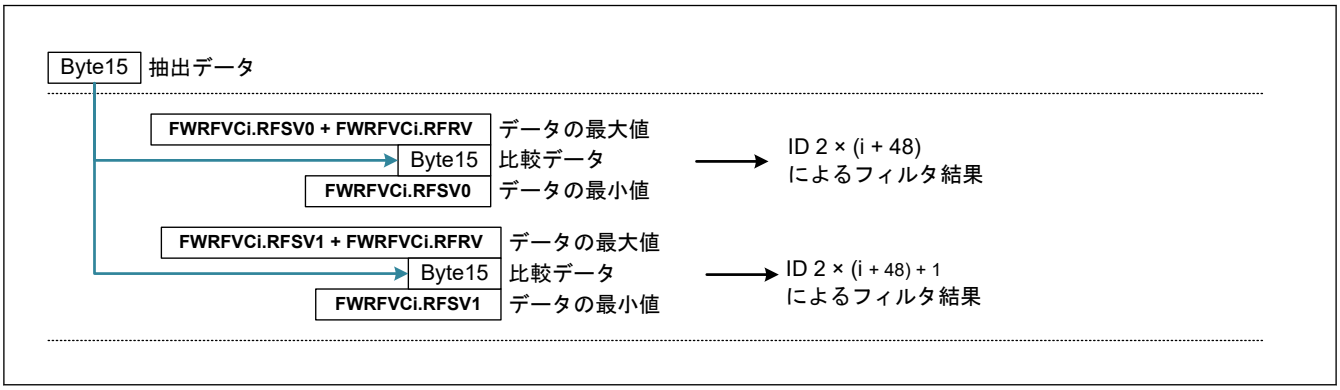


図 30.70　フィルタリングのための範囲フィルタによるデータ抽出

範囲フィルタの場合：

- 抽出されたデータのうち 1 バイトがチェックされて[FWRFVCi.RFSV0: FWRFVCi.RFSV0 + FWRFVCi.RFRV] に格納されます。結果はフィルタ ID 2 × (i + 48) に対応付けられます。
- 抽出されたデータのうち 1 バイトがチェックされて[FWRFVCi.RFSV1: FWRFVCi.RFSV1 + FWRFVCi.RFRV] に格納されます。結果はフィルタ ID 2 × (i + 48) + 1 に対応付けられます。

(5)　カスケードフィルタ

カスケードフィルタの目的は、(2 バイトフィルタ、3 バイトフィルタ、4 バイトフィルタ、範囲フィルタから) いくつかのフィルタ結果を収集し、それらを再グループ化してストリーム ID を作成することです。カスケードフィルタの数により、完全フィルタで作成できるストリーム ID の数 16 が決まります。

機能：

- 7 個のフィルタ結果が得られるまで、カスケードフィルタ i へのマッピングのために FWCFMCij レジスタが使用されます。

- FWCFCi レジスタは、予期されるストリームの送信元ポートとフレームの種類（p または e）を選択するために使用されます。
- 同じフレームにいくつかのカスケードフィルタが一致する場合、番号が最も大きなカスケードフィルタが選択されます。
- 1 つのカスケードフィルタが 1 つのフレームに一致する場合、0 に設定された 3 ビットのフレームフォーマットコードが、そのフレームに対応付けられます。

カスケードフィルタストリーム ID：

- カスケードフィルタ i が 1 つのフレームに一致する場合、そのフレームに対応付けられるストリーム ID は、{フレームフォーマットコード,128'di}に等しい 131 ビットのストリーム ID になります。

(6) 完全フィルタの利用例

図 30.71 に、完全フィルタの利用例を示します。この例では、以下のようなフレームをフィルタリングしようとしています。

- MAC 宛先アドレスに基づくストリーム ID と VLAN C-TAG を持っている。
- 'hAABBCCDDEEFF に設定された MAC 宛先アドレスを持っている。
- ABCD に設定された VLAN C-TAG を持っている。
- IPv4 フレームであることが既知である（タイプが IPv4 であるとセキュリティのためにフィルタリングに追加されます）。

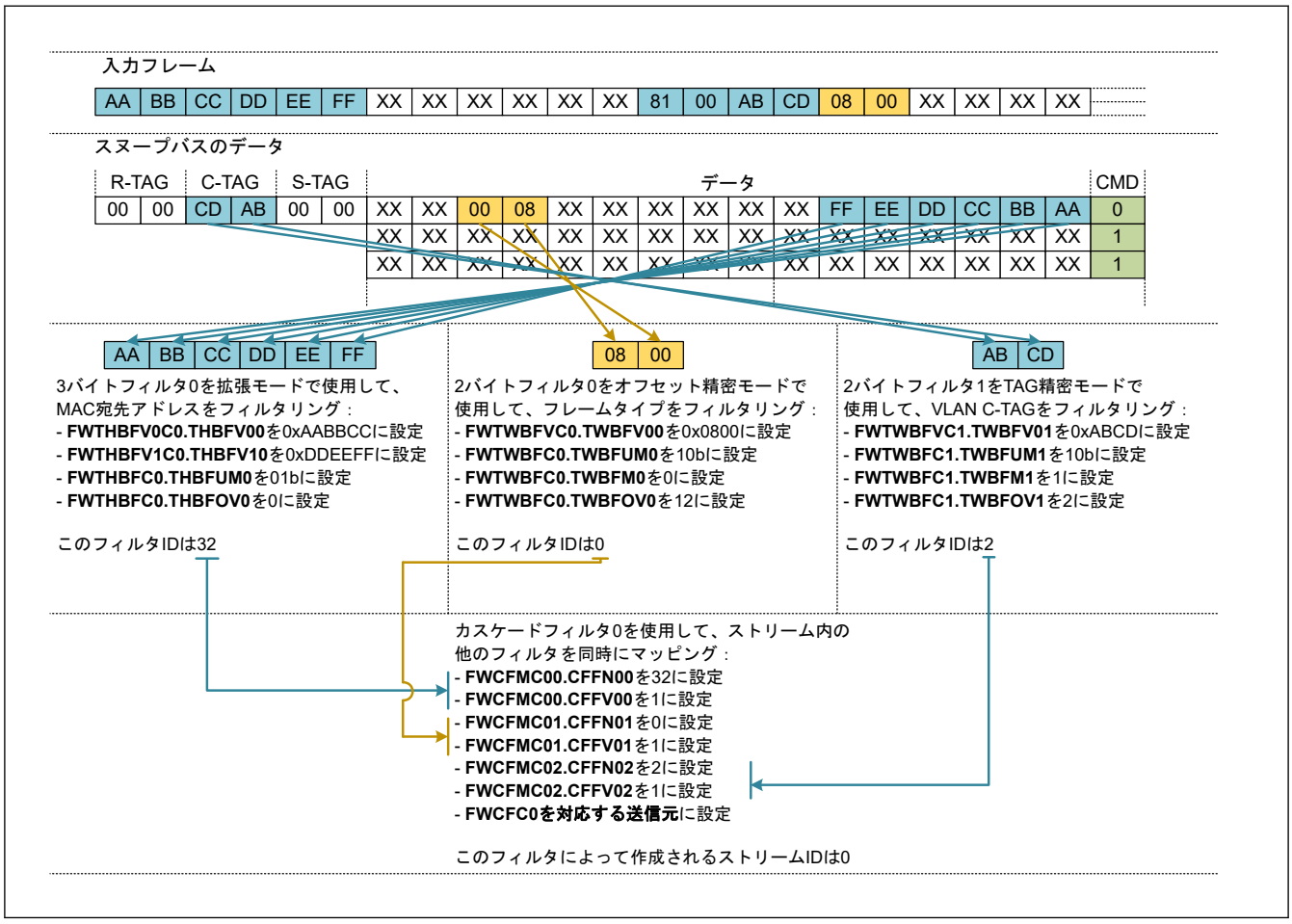


図 30.71 完全フィルタの利用例

30.5.2.4.2 IPv4/IPv6 ハッシュストリームフィルタ

ハッシュフィルタは、ストリームの識別に使用されます。本フィルタは、大量のストリームを生成できるという利点がありますが、ハッシュを使用するため、ストリーム ID の衝突問題が発生する可能性があります（これは完全フィルタを使用して解決する必要があります）。

図 30.72 にハッシュフィルタのブロック図を示します。

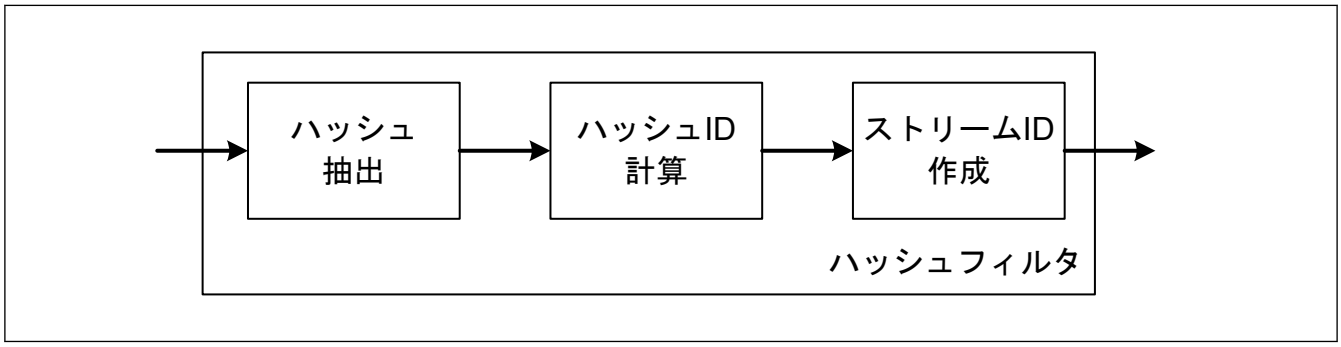


図 30.72 ハッシュフィルタのブロック図

ハッシュフィルタの処理は 3 つのステップで行われます。

- 最初のステップは、ハッシュの抽出によって行われます。これは、IPv4/IPv6 ストリーム ID を作成するために可能性のあるすべてのフィールドを抽出することで構成されています。
- 2 番目のステップは、ハッシュ ID の計算によって行われます。これは、抽出したデータ、およびハッシュのためにユーザーが選択したフィールドに応じて、各フレームに関連付けられたハッシュ ID を計算することで構成されています。
- 3 番目のステップは、ストリーム ID の作成によって行われます。これは、ユーザーが選択したフィールドに応じてストリーム ID を組み立てることで構成されます。

(1) ハッシュの抽出

ハッシュの抽出は、IPv4 および IPv6 フレームからストリーム ID を抽出し、関連するストリーム ID を作成するために使用されます。抽出は IPv4、IPv4/TCP、IPv4/UDP、IPv6、IPv6/TCP、および IPv6/UDP の 6 つのフォーマットで行われます。

注. ● HW：ハッシュの抽出は、コマンド 2 でファブリック[MFAB]から受信したデータを無視します。

(a) IPv4 の検出とデータの抽出

図 30.73 に IPv4 の検出とデータの抽出がどのように行われるかを示します。このデータの抽出は、フレームがカスケードフィルタに一致しなかった場合、フレームフォーマットのデコード条件が満たされる場合、および対応する送信元ポートに FWPCi0.IP4OE が設定されている場合にのみ行われます。この場合は、3 ビットからなるフレームフォーマットコード (= 1) がフレームに関連付けられます。

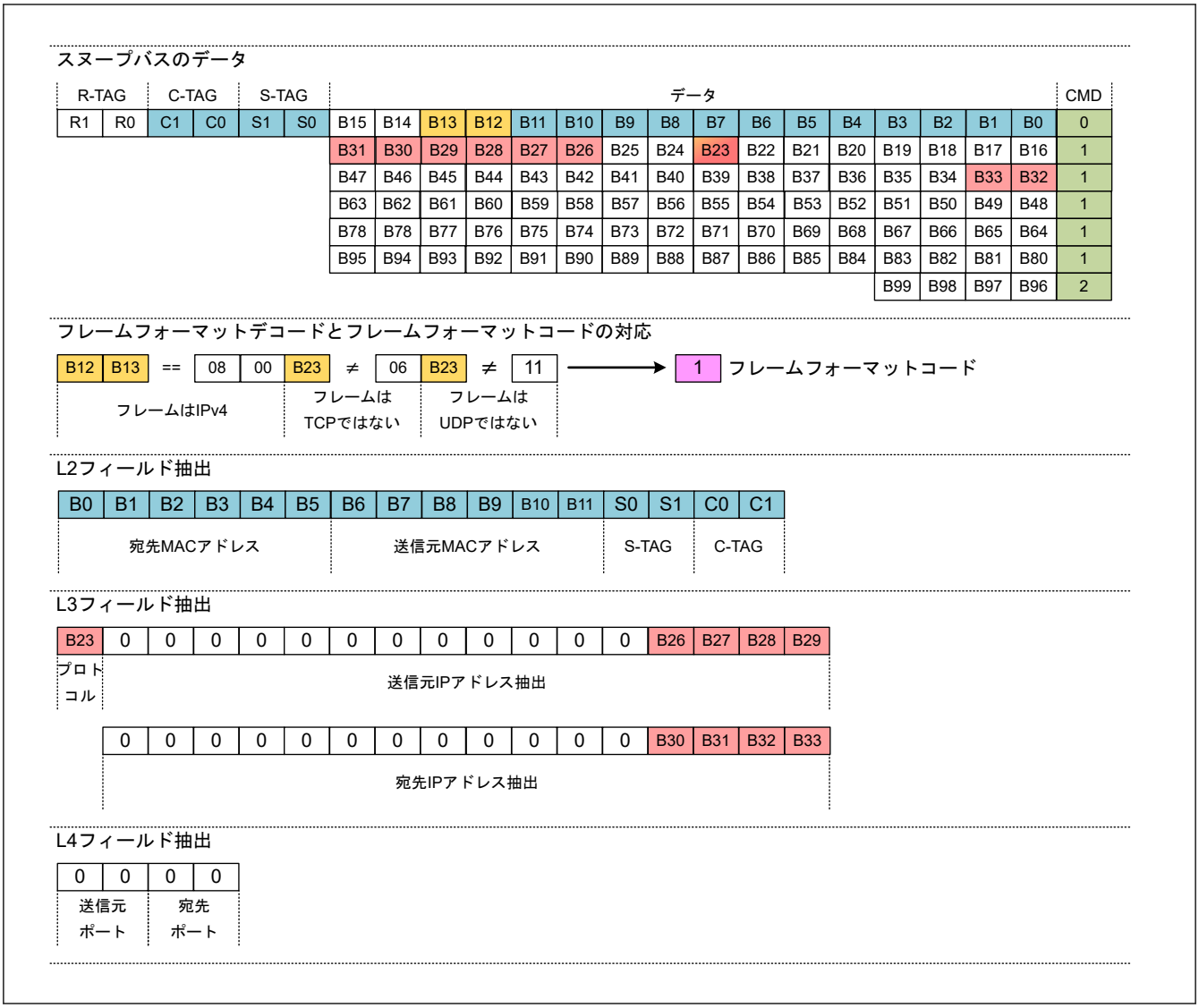


図 30.73　IPv4 の検出とデータの抽出

(b) IPv4/UDP の検出とデータの抽出

図 30.74 に IPv4/UDP の検出とデータの抽出がどのように行われるかを示します。このデータの抽出は、フレームがカスケードフィルタに一致しなかった場合、フレームフォーマットのデコード条件が満たされる場合、および対応する送信元ポートに FWPCi0.IP4UE が設定されている場合にのみ行われます。この場合は、3 ビットからなるフレームフォーマットコード (= 2) がフレームに関連付けられます。

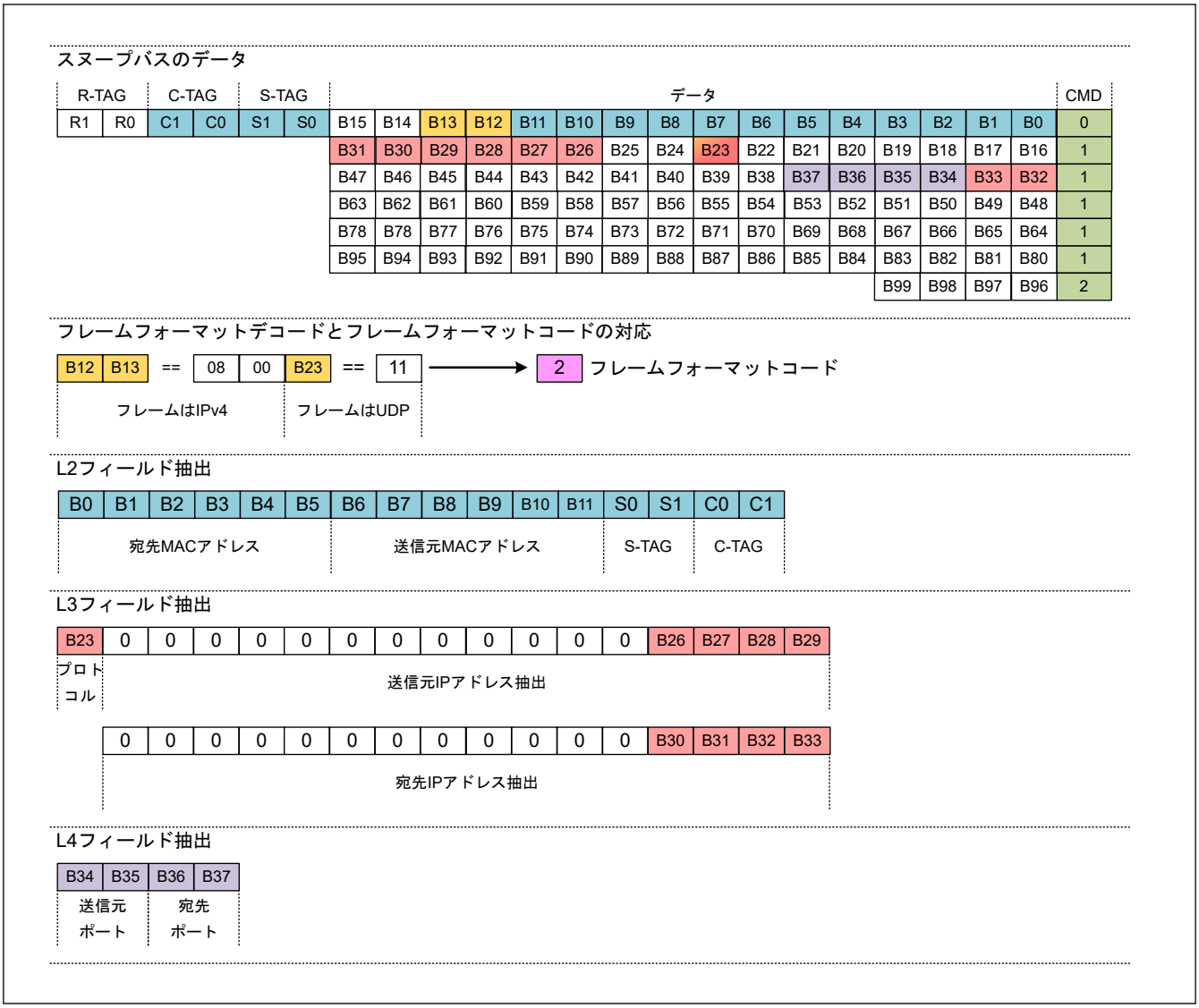


図 30.74　IPv4/UDP の検出とデータの抽出

機能：

- L4 抽出機能は、IPv4 HeaderLength フィールドを考慮します。図 30.74 は、HeaderLength が 5（デフォルト値）に等しい場合についてのみ説明しています。

(c) IPv4/TCP の検出とデータの抽出

図 30.75 に IPv4/TCP の検出とデータの抽出がどのように行われるかを示します。このデータの抽出は、フレームがカスケードフィルタに一致しなかった場合、フレームフォーマットのデコード条件が満たされる場合、および対応する送信元ポートに FWPCi0.IP4TE が設定されている場合にのみ行われます。この場合は、3 ビットからなるフレームフォーマットコード (= 3) がフレームに関連付けられます。

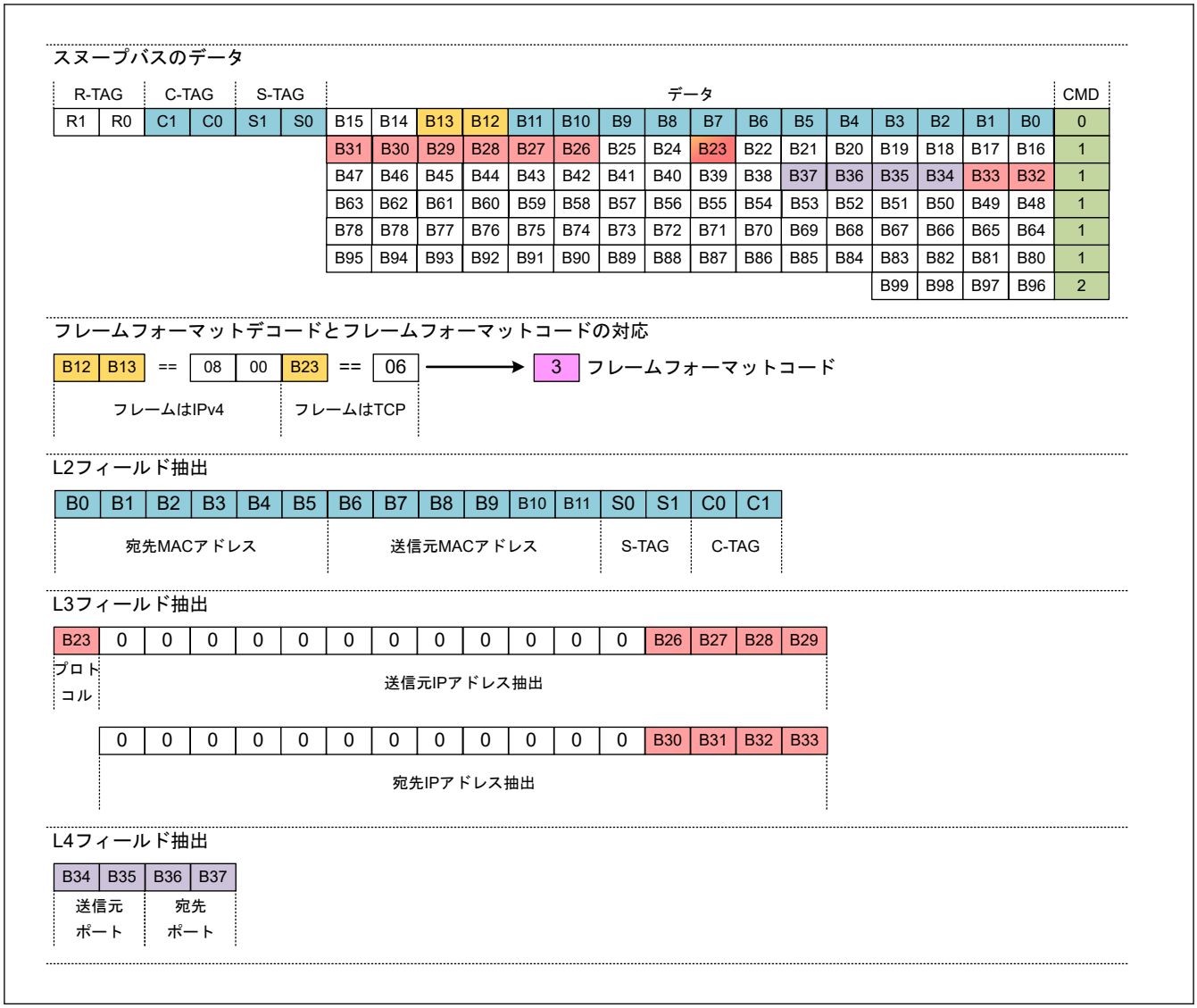


図 30.75　IPv4/TCP の検出とデータの抽出

機能：

- L4 抽出機能は、IPv4 HeaderLength フィールドを考慮します。図 30.75 は、HeaderLength が 5（デフォルト値）に等しい場合についてのみ説明しています。

(d) IPv6 の検出とデータの抽出

図 30.76 に IPv6 の検出とデータの抽出がどのように行われるかを示します。このデータの抽出は、フレームがカスケードフィルタに一致しなかった場合、フレームフォーマットのデコード条件が満たされる場合、および対応する送信元ポートに FWPCi0.IP6OE が設定されている場合にのみ行われます。この場合は、3 ビットからなるフレームフォーマットコード (= 4) がフレームに関連付けられます。

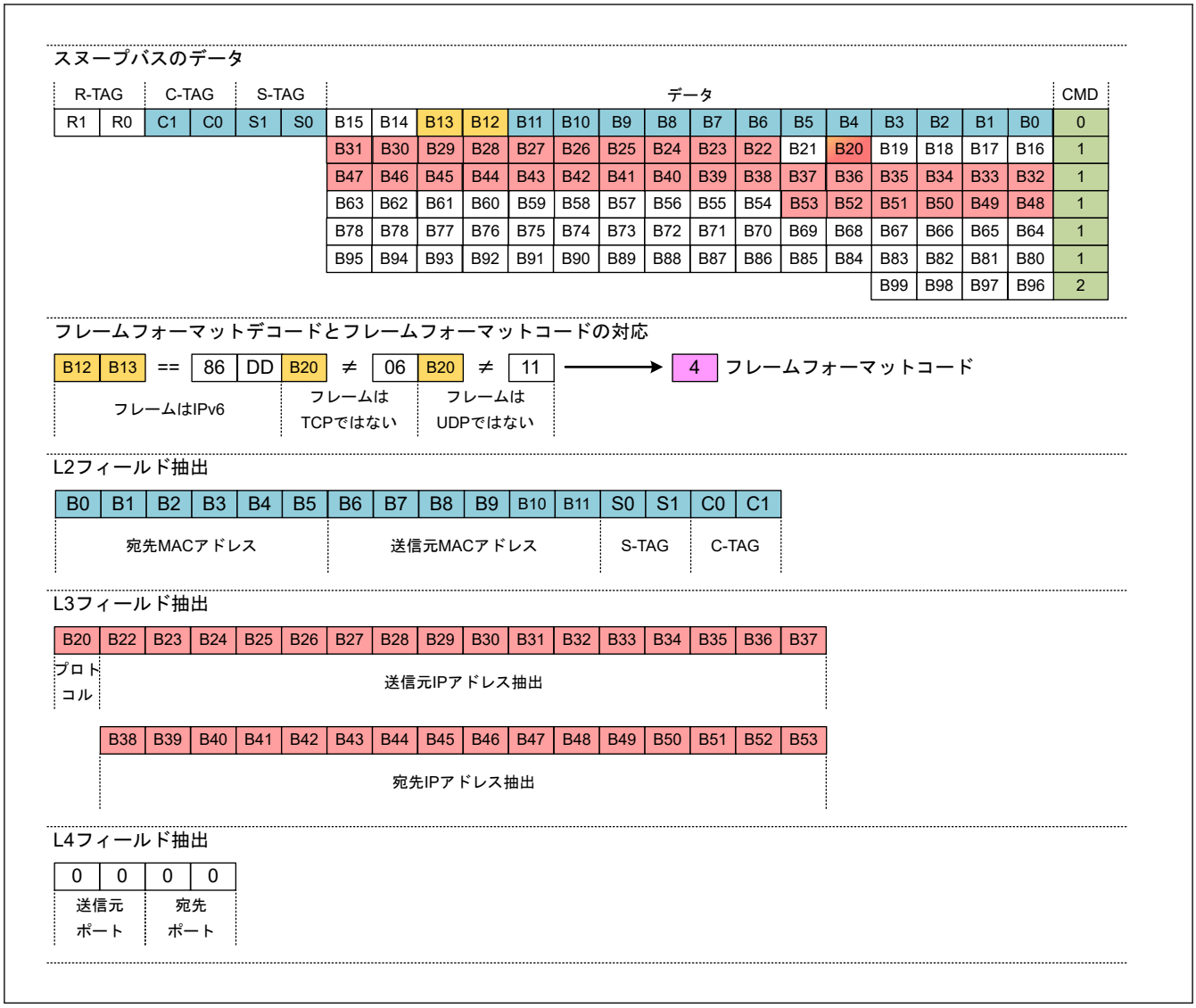


図 30.76　IPv6 の検出とデータの抽出

(e) IPv6/UDP の検出とデータの抽出

図 30.77 に IPv6/UDP の検出とデータの抽出がどのように行われるかを示します。このデータの抽出は、フレームがカスケードフィルタに一致しなかった場合、フレームフォーマットのデコード条件が満たされる場合、および対応する送信元ポートに FWPCi0.IP6UE が設定されている場合にのみ行われます。この場合は、3 ビットからなるフレームフォーマットコード (= 5) がフレームに関連付けられます。

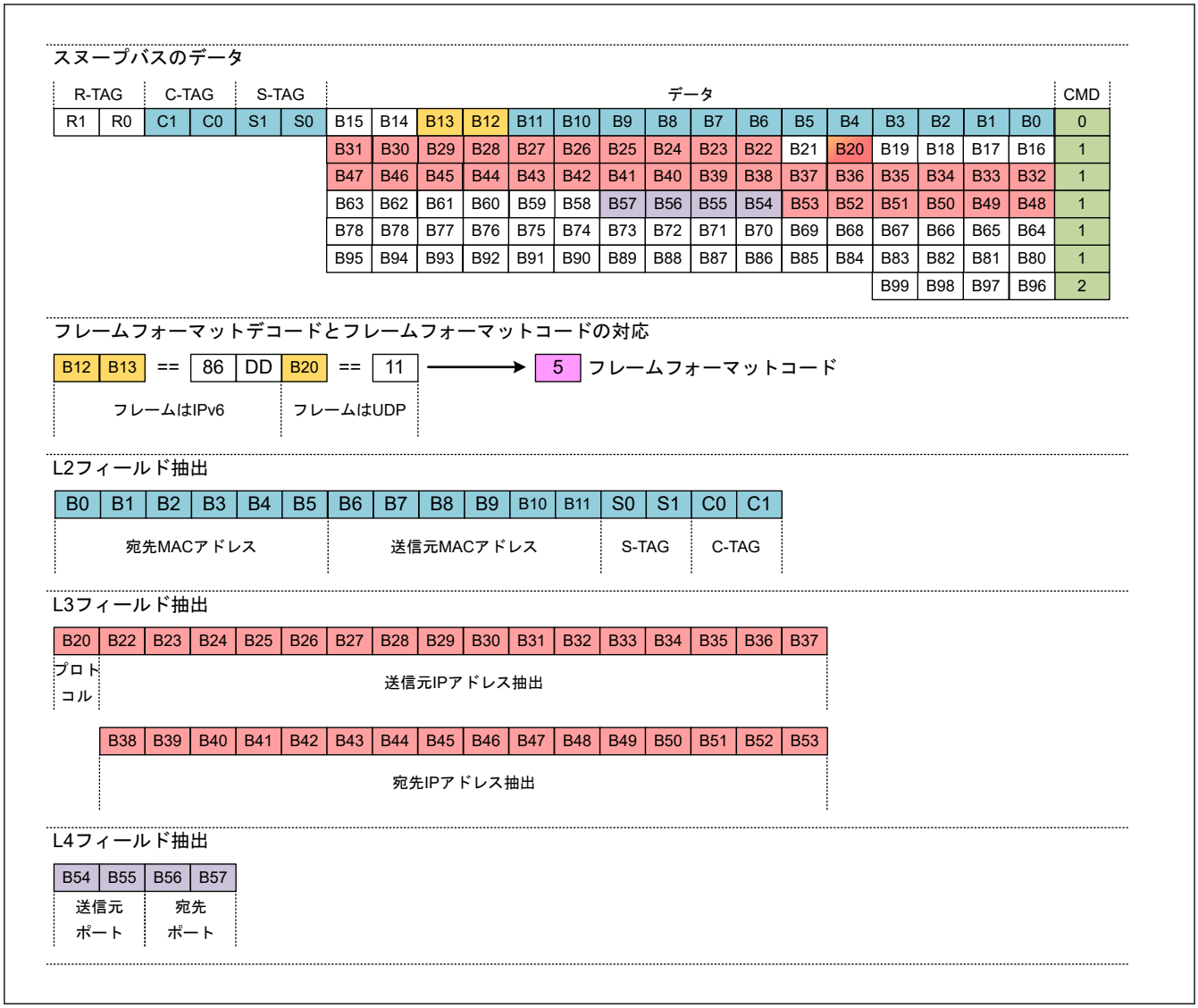


図 30.77　IPv6/UDP の検出とデータの抽出

(f) IPv6/TCP の検出とデータの抽出

図 30.78 に IPv6/TCP の検出とデータの抽出がどのように行われるかを示します。このデータの抽出は、フレームがカスケードフィルタに一致しなかった場合、フレームフォーマットのデコード条件が満たされる場合、および対応する送信元ポートに FWPCi0.IP6TE が設定されている場合にのみ行われます。この場合は、3 ビットからなるフレームフォーマットコード (= 6) がフレームに関連付けられます。

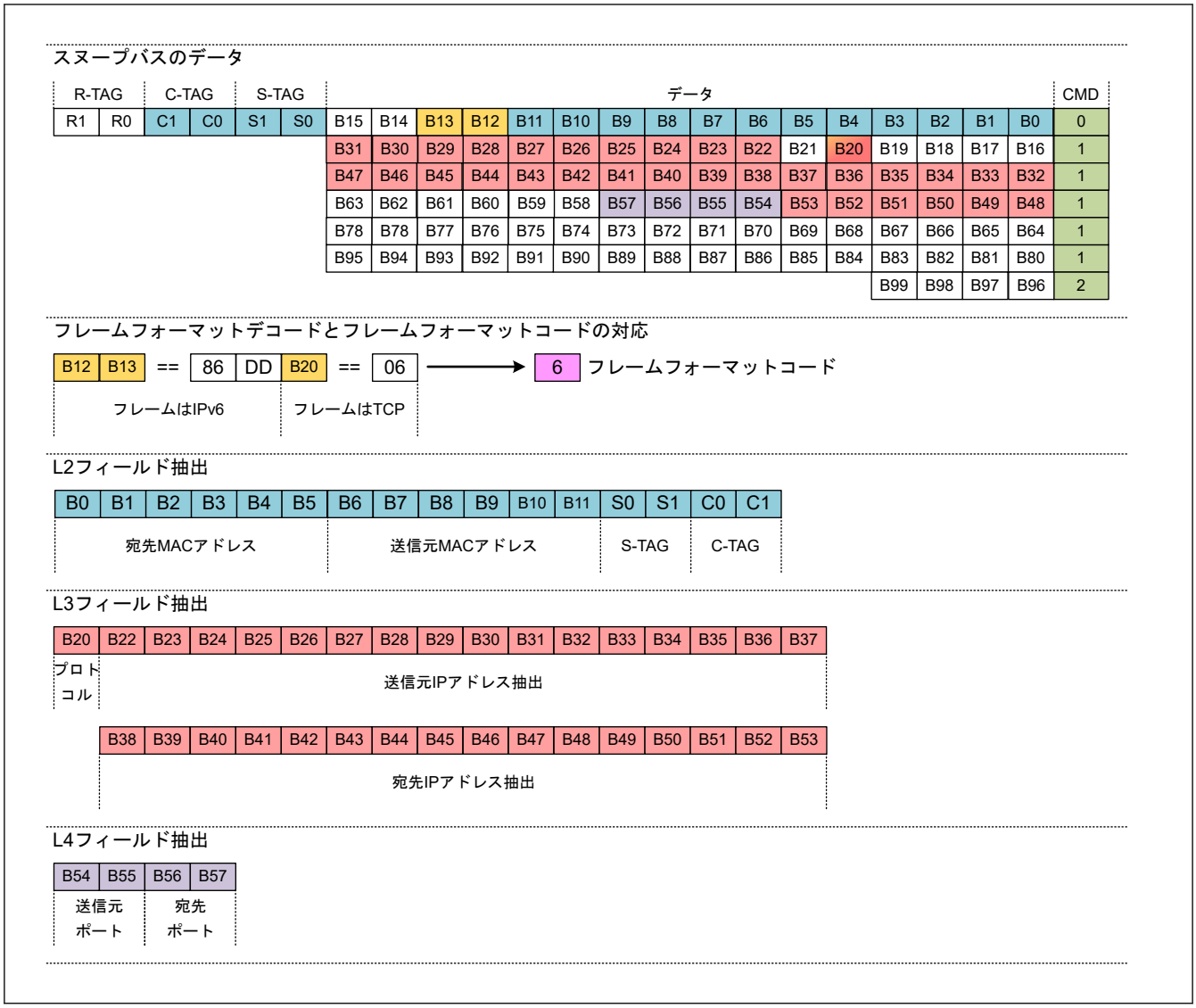


図 30.78　IPv6/TCP の検出とデータの抽出

(2)　ハッシュ ID の計算

ハッシュ ID の計算は、ハッシュ ID（セキュリティ目的）のために対象フィールドを選択し、ハッシュ ID を計算するために使用されます。

(a) ハッシュ式

FWSFHEC レジスタの説明を参照してください。

(b) IPv4 ハッシュ ID の計算

IPv4 ハッシュ ID の計算は、ハッシュの抽出で抽出されたフィールドに応じて行われます。図 30.79 に計算を示します。

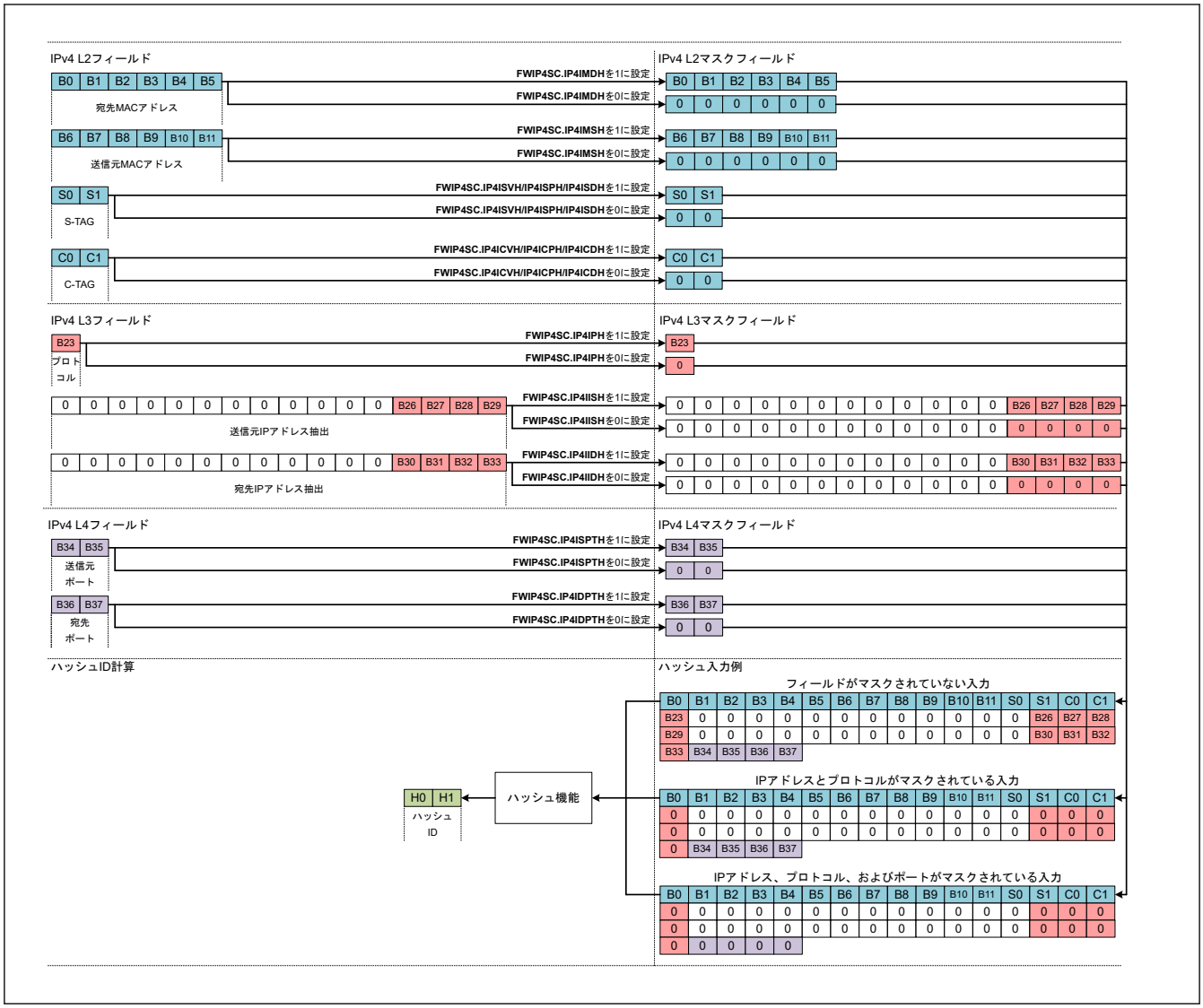


図 30.79　IPv4 ハッシュ ID の計算

機能：

- 図 30.79 では、C-TAG と S-TAG のマスキングが一度に行われたことが示されていますが、マスキングは PCP、DEI、および VID で個別に実行できます。
- ハッシュのすべてのフィールド包含ビットを 0 に設定すると、ストリームのハッシュ ID は 0 に固定されます (FWIP4SC.IP4IDPTH/IP4ISPTH/IP4IPH/IP4IIDH/IP4IISH/IP4ICDH/IP4ICPH/IP4ICVH/IP4ISDH/IP4ISPH/IP4ISVH/IP4IMSH/IP4IMDH)。
- ハッシュ式を 0 に設定すると、ストリームのハッシュ ID は 0 に固定されます (FWSFHEC.IP4HE)。

(c) IPv6 ハッシュ ID の計算

IPv6 ハッシュ ID の計算は、ハッシュの抽出で抽出されたフィールドに応じて行われます。図 30.80 に計算を示します。

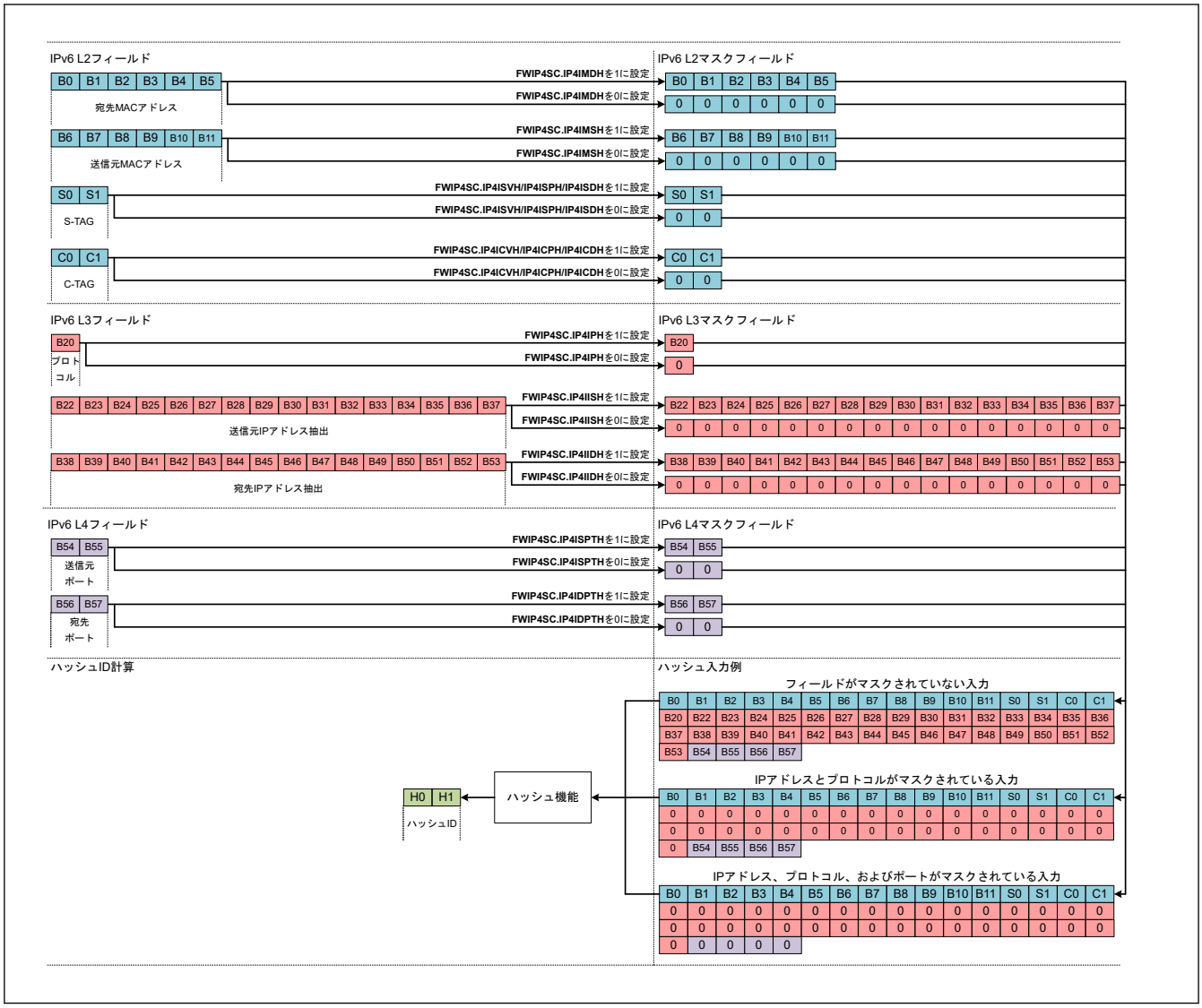


図 30.80　　IPv6 ハッシュ ID の計算

機能：

- 図 30.80 では、C-TAG と S-TAG のマスキングが一度に行われたことが示されていますが、マスキングは PCP、DEI、および VID で個別に実行できます。
- ハッシュのすべてのフィールド包含ビットを 0 に設定すると、ストリームのハッシュ ID は 0 に固定されます (FWIP6SC.IP6IDPTH/IP6ISPTH/IP6IPH/IP6IIDH/IP6IISH/IP6ICDH/IP6ICPH/IP6ICVH/IP6ISDH/IP6ISPH/IP6ISVH/IP6IMSH/IP6IMDH)。
- ハッシュ式を 0 に設定すると、ストリームのハッシュ ID は 0 に固定されます (FWSFHEC.IP6HE)。

(3)　ストリーム ID の作成

(a) IPv4 ストリーム ID の作成

IPv4 ストリーム ID は、ハッシュの抽出で抽出された一部のフィールド、ハッシュ ID の計算で計算されたハッシュ ID、およびフレームフォーマットコードから組み立てられます。図 30.81 にストリーム ID の作成を示します。

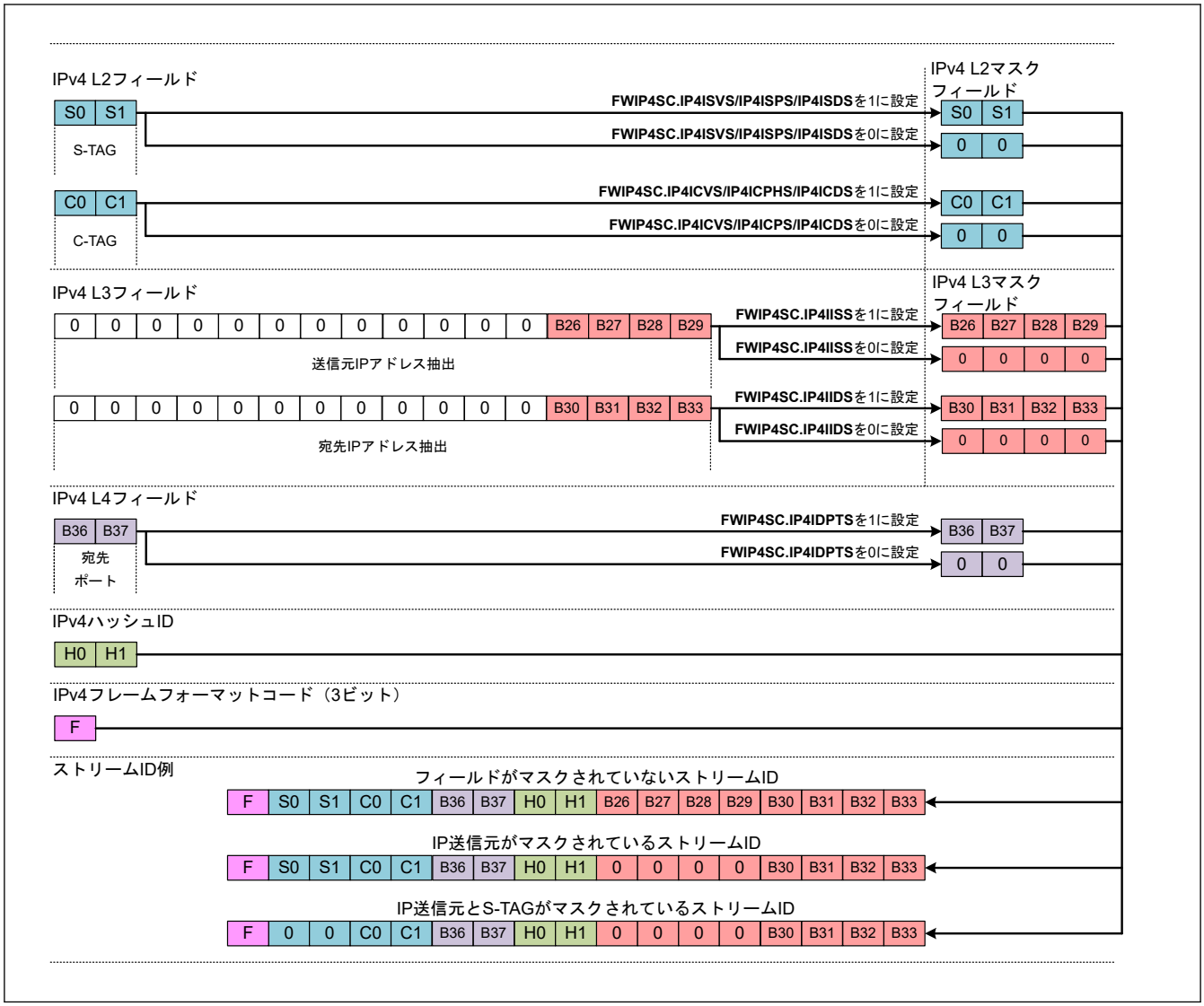


図 30.81　IPv4 ストリーム ID の作成

機能：

- 図 30.81 では、C-TAG と S-TAG のマスキングが一度に行われたことが示されていますが、マスキングは PCP、DEI、および VID で個別に実行できます。
- ストリーム ID フィールド (FWLTHTL1～4) は、「(FWIP4SC.IP4IDPTS/IP4IIDS/IP4IISS/IP4ICDS/IP4ICPS/IP4ICVTS/IP4ISDS/IP4ISPS/IP4ISVS) = 0x0 のストリーム」で無効なパート（ビット）に関連して 0 に設定してください。

(b) IPv6 ストリーム ID の作成

IPv6 ストリーム ID は、ハッシュの抽出で抽出された一部のフィールド、ハッシュ ID の計算で計算されたハッシュ ID、およびフレームフォーマットコードから組み立てられます。図 30.82 にストリーム ID の作成を示します。

図 30.82　IPv6 ストリーム ID の作成

機能：

- 図 30.82 では、C-TAG と S-TAG のマスキングが一度に行われたことが示されていますが、マスキングは PCP、DEI、および VID で個別に実行できます。
- 図 30.82 では、IP 0 は IPv6 送信元 IP アドレスから、IP 1 は宛先 IP アドレスから抽出されますが、いずれの IP アドレスからも 4 バイトを抽出することができます。これは、FWIP6OC レジスタにより設定されます。
- ストリーム ID フィールド (FWLTHTL1～4) は、「(FWIP6SC.IP6IDPTS/IP6II1S/IP6II0S/IP6ICDS/IP6ICPS/IP6ICVS/IP6ISDS/IP6ISPS/IP6ISVS) = 0x0 のストリーム」で無効なパート（ビット）に関連して 0 に設定してください。

(4)　ソフトウェアハッシュ ID の計算

ハッシュ ID の計算はソフトウェアで実装するには複雑なため、ハッシュ ID の計算のためのハードウェアアクセラレータが用意されています。図 30.83 にソフトウェアハッシュ ID の計算の例を示します。

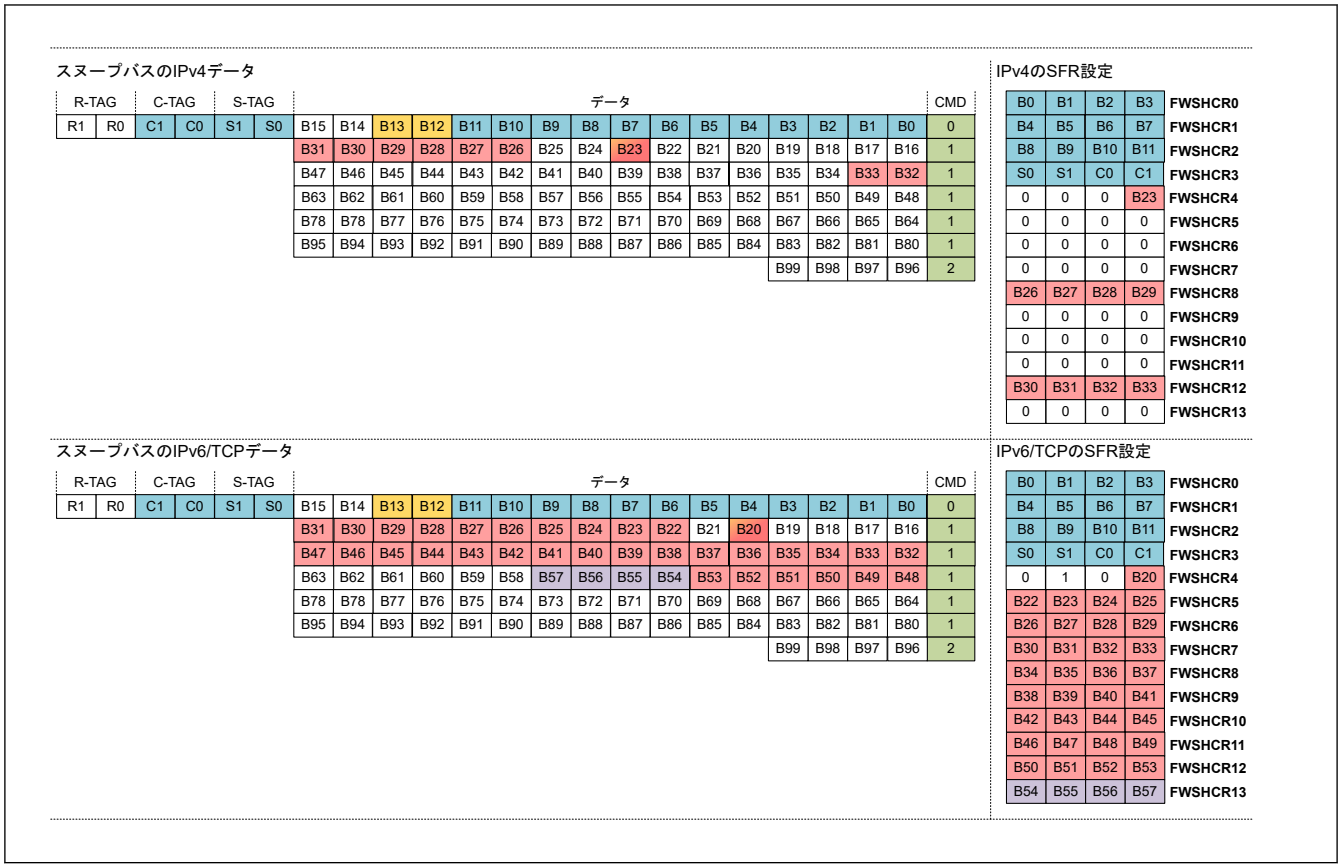


図 30.83　ソフトウェアハッシュ ID の計算の例

注.　SW：ソフトウェアハッシュ ID の計算では、ハッシュ ID の計算機能によってマスクされるフィールドを 0 に設定する必要があります。

30.5.2.4.3　L2 ストリームフィルタ

L2 ストリームフィルタは、L2 フィールドに基づいてストリームを作成するために使用します。このストリーム作成は、フレームがカスケードフィルタまたは IPv4/IPv6 ハッシュストリームフィルタに一致しなかった場合で、かつ対応する送信元ポートに対して FWPCi0.L2SE が設定されている場合にのみ行われます。この場合は、3 ビットからなるフレームフォーマットコード (= 7) がフレームに関連付けられます。図 30.84 に、L2 ストリーム ID が作成される方法を示します。

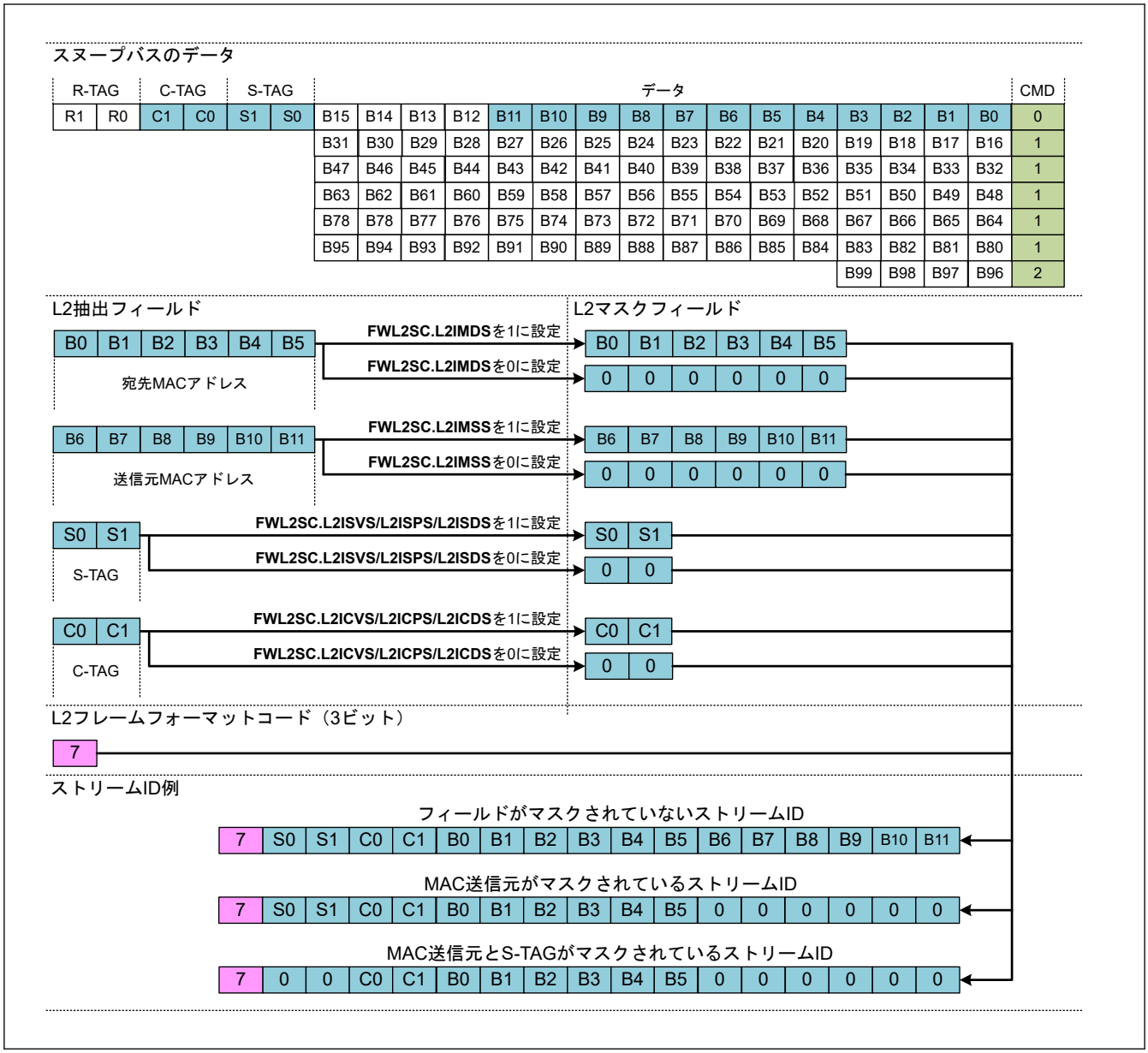


図 30.84　L2 ストリーム ID の作成

機能：

- 図 30.84 では、C-TAG と S-TAG のマスキングが一度に行われたことが示されていますが、マスキングは PCP、DEI、および VID で個別に実行できます。
- カスケードフィルタ、IPv4/IPv6 ハッシュストリームフィルタ、または L2 ストリームフィルタに一致しなかったフレームは、不明なフレームとみなされます。
- ストリーム ID フィールド (FWLTHTL1～4) は、「(FWL2SC.L2ICDS/L2ICPS/L2ICVS/L2ISDS/L2ISPS/L2ISVS/L2IMSS/L2IMDS) = 0x0 のストリーム」で無効なパート（ビット）に関連して 0 に設定してください。

30.5.2.4.4　L3 ハッシュ

L3 ハッシュは、プログラム可能なハッシュによって L3 ルールを検索／学習／読み出すことを目的としています。ハッシュアルゴリズムでは、すべての衝突をハードウェアで解決することができるので、動作にソフトウェアの介入は必要ありません。

L3 ハッシュは以下の項目に分かれています。

- ルールフォーマット：ストリーム ID と共にテーブルに保存される情報を決定します。
- SW 学習：ソフトウェアで L3 テーブルからエントリを追加／抑制する機能。

- ハッシュの最大衝突数：転送パイプラインを減速させ、Ingress ポートにバックプレッシャーを適用するようなハッシュ検索を回避します。
- ハッシュ式：衝突を最小にするハッシュ計算を設定する機能。
- SW 検索：ストリームに関連する転送／ルーティング／フィルタリング情報をソフトウェアで検索する機能。
- SW 読み出し：L3 テーブルのエントリをソフトウェアで読み出す機能。
- HW 検索：ストリームに関連する転送／ルーティング／フィルタリング情報を転送メカニズムによって検索する機能。

(1) ルールフォーマット

L3 テーブルは、L3 ルールを格納するために使用されます。L3 ルールには、フレーム転送、ルーティング、フィルタリングの情報が含まれます。このテーブルのフィールドを引用する場合は、L3.{フィールド名}と表記します。表 30.28 に、L3 ルールに含まれるフィールドを示します。

表 30.28 L3 ルールフォーマット (1/2)

フィールド名	フィールドサイズ（ビット）	フィールドの説明
EV	1	エントリの有効性 値 ● 0：エントリは無効 ● 1：エントリは有効
SID	131	エントリのストリーム ID。ストリーム ID は、完全フィルタ、IPv4/IPv6 ハッシュストリームフィルタ、または L2 ストリームフィルタで作成されます（それぞれ(5) カスケードフィルタ、(3) ストリーム ID の作成、および「30.5.2.4.3. L2 ストリームフィルタ」を参照）
SL	1	セキュリティレベル 値 ● 0：エントリは非セキュア ● 1：エントリはセキュア
MSDUV	1	MSDU の有効性 値 ● 0：このエントリに一致するフレームは、PSFP MSDU フィルタによって無視される。 ● 1：このエントリに一致するフレームは、PSFP MSDU フィルタによって処理される。
MSDUN	4	MSDU 番号 機能: ● HW：対応するエントリ L3.MSDUV の値が 1 に設定されている場合、このエントリに一致するフレームは、PSFP MSDU フィルタ番号 L3.MSDUN によって処理される。
MTRV	1	メーターの有効性 値 ● 0：このエントリに一致するフレームは、PSFP メーターフィルタによって無視される。 ● 1：このエントリに一致するフレームは、PSFP メーターフィルタによって処理される。
MTRN	5	メーター番号 機能: ● HW：対応するエントリ L3.MTRV の値が 1 に設定されている場合、このエントリに一致するフレームは、PSFP MSDU フィルタ番号 L3.MTRN によって処理される。
FRERV	1	FRER の有効性 値 ● 0：このエントリに一致するフレームは、FRER 個別リカバリによって無視される。LINK ● 1：このエントリに一致するフレームは、FRER 個別リカバリによって処理される。LINK
FRERN	7	FRER 番号 機能: ● HW：対応するエントリ L3.FRERV の値が 1 に設定されている場合、このエントリに一致するフレームは、個別リカバリの FRER エントリ番号 L3.FRERN によって処理される。

表 30.28 L3 ルールフォーマット (2/2)

フィールド名	フィールドサイズ（ビット）	フィールドの説明
RV	1	ルーティングの有効性 値 ● 0：このエントリに一致するフレームは、ルーティングによって無視される。 ● 1：このエントリに一致するフレームは、ルーティングによって処理される。
RN	8	ルーティング番号 機能: ● HW：対応するエントリ L3.RV の値が 1 に設定されている場合、このエントリに一致するフレームは、ルーティングルール番号 L3.RN によって処理される。
SLV	4	転送元ロックベクタ 値 ● ビット i を 0 に設定：ポート i から受信した、このエントリに一致するフレームは、送信元ポートロックエラーによって拒否される。 ● ビット i を 1 に設定：ポート i から受信した、このエントリに一致するフレームは、転送／ルーティングされる。
DV	4	転送先ベクタ 機能: ● HW：フレームが送信される宛先ポート
CSD	6	CPU サブ転送先 機能: ● HW：フレームの送信先となる CPU サブ転送先。
CME	1	CPU ミラーリング有効 値 ● 0: CPU ミラーリングは無効 ● 1: CPU ミラーリングは有効
EME	1	イーサネットミラーリング有効 値 ● 0：イーサネットミラーリングは無効 ● 1：イーサネットミラーリングは有効
IPU	1	内部優先順位更新 値 ● 0：このエントリに一致するフレームは、内部優先順位が更新されない ● 1：このエントリに一致するフレームは、内部優先順位が更新される
IPV	3	内部優先順位値 機能: ● HW：対応するエントリの L3.IPU の値が 1 に設定されている場合、このエントリに一致するフレームは、優先順位が L3.IPV に更新される。

(2) SW 学習

学習は、L3 テーブルのエントリを追加／削除するために使用されます。表 30.29 に、レイヤ 3 テーブルのストリーム ID を学習するために使用されるレジスタを示します。表 30.30 に、学習結果を示します。

表 30.29 L3 学習レジスタ (1/2)

レジスタ名	l3 テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWLTHTL0.LTHED	エントリ削除	L3 テーブルには存在しない。エントリを学習するか削除するかを選択するために使用する
FWLTHTL0.LTHSLL	L3.SL	(1) ルールフォーマットを参照
FWLTHTL0.LTHSLP0/FWLTHTL1.LTHSLP1/ FWLTHTL2.LTHSLP2/FWLTHTL3.LTHSLP3/ FWLTHTL4.LTHSLP4	L3.SID	(1) ルールフォーマットを参照
FWLTHTL5.LTHMSDUVL	L3.MSDUV	(1) ルールフォーマットを参照
FWLTHTL5.LTHMSDUNL	L3.MSDUN	(1) ルールフォーマットを参照
FWLTHTL6.LTHMTRVL	L3.MTRV	(1) ルールフォーマットを参照
FWLTHTL6.LTHMTRNL	L3.MTRN	(1) ルールフォーマットを参照

表 30.29 L3 学習レジスタ (2/2)

レジスタ名	l3 テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWLTHTL6.LTHFRERVL	L3.FRERV	(1) ルールフォーマットを参照
FWLTHTL6.LTHFRERNL	L3.FRERN	(1) ルールフォーマットを参照
FWLTHTL7.LTHRVL	L3.RV	(1) ルールフォーマットを参照
FWLTHTL7.LTHRNL	L3.RN	(1) ルールフォーマットを参照
FWLTHTL7.LTHSLVL	L3.SLV	(1) ルールフォーマットを参照
FWLTHTL80.LTHCSDL	L3.CSD[5:0]	(1) ルールフォーマットを参照
FWLTHTL9.LTHDVL	L3.DV	(1) ルールフォーマットを参照
FWLTHTL9.LTHCMEL	L3.CME	(1) ルールフォーマットを参照
FWLTHTL9.LTHEMEL	L3.EME	(1) ルールフォーマットを参照
FWLTHTL9.LTHIPUL	L3.IPU	(1) ルールフォーマットを参照
FWLTHTL9.LTHIPVL	L3.IPV	(1) ルールフォーマットを参照

表 30.30 L3 学習結果

レジスタ名	l3 テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWLTHTLR.LTHLF	学習失敗	学習失敗は、以下に示すいずれかの条件で発生します。 ● 学習エントリがまだテーブルになく、テーブルがすでにフルである (FWLTHTEM.LTHTEN == 256) ● レイヤ 3 テーブルが準備できていない (FWLTHTIM.LTHTR が設定されていない) ● 学習機能がエントリを削除するために使用され (FWLTHTL0.LTHED が学習用に設定され)、そのエントリがレイヤ 3 テーブルで見つからない
FWLTHTLR.LTHLSF	学習セキュリティ失敗	セキュリティ失敗は、以下に示すいずれかの条件で発生します。 ● 学習エントリが非セキュアエントリ（FWLTHTL0.LTHSLL が学習用に設定されていない）であり、非セキュアエントリ番号 FWLTHTEM.LTHTUEN が最大非セキュアエントリ番号 FWLTHHEC.LTHHMUE に達している。 ● 学習アクションが APB によって行われ、エントリがすでにテーブルにあってセキュアであり（L3.SL が設定されている）とき、および FWLTHTEM.LTHTUEN が最大非セキュアエントリ番号 FWLTHHEC.LTHHMUE に達しているときに、非セキュアエントリを学習しようとする
FWLTHTLR.LTHLO	学習上書き	上書きは、以下に示すいずれかの条件で発生します。 ● 学習ストリーム ID がすでにテーブルに存在し、学習中にエラーが発生しなかった
FWLTHTLR.LTHLCN	学習衝突数	学習が成功した場合に、学習したエントリにアクセスするために解決する必要がある衝突の数を示します。 FWLTHTLR.LTHLCN 値が FWLTHHEC.LTHHMC レジスタ値より大きい場合、新しく学習されたエントリは、転送中に転送エンジンによって無視されます。異なる L3 ハッシュ式によるスイッチの再構成を検討する必要があります。

注. HW：テーブルがフルに近付くほど、学習速度は遅くなります。

(3) ハッシュの最大衝突数

ハッシュの最大数を使用することで、低速な転送メカニズムに起因するバックプレッシャーを、ESWM が回避できます。

式 (1) は、この数値を計算する方法を示しています。この数値は FWLTHHEC.LTHHMC レジスタに設定する必要があります。

(1) FWLTHHEC.LTHHMC = (*clk_freq*[Hz] × *Average_frame_size*[bit] / *Incoming_throughput*[bps] - 4) / 3

ここで、

- *clk_freq* は ESWCLK のクロック周波数。
- *Average_frame_size* は、スイッチ入力で予想される平均フレームサイズ。

- *Incoming_throughput* スイッチ入力で予想される合計スループット

たとえば、*clk_freq* が 150 MHz、*Average_frame_size* が 128 バイト、*Incoming_throughput* が 3 Gbps（GMII 2 つで 1 Gbps のデータ、GWCA 1 つで 1 Gbps のデータ）の場合、FWLTHHEC.LTHHMC レジスタに値 15 を設定します。

(4) ハッシュ式

ハッシュ式はレジスタ FWLTHHC.LTHHE によって制御されます。

式の初期値は $1 + x^8$ です。

テーブルに衝突が多すぎる場合（学習中に FWLTHTLR.LTHLCN>FWLTHHEC.LTHHMC）、このハッシュ式を次のように変更することで、衝突の数を最小限に抑えることができます。

- SW：ハッシュ式をモデル化し、妥当な衝突数を持つ式を見つけます。
- SW：妥当な衝突数を持つ式が見つかるまで、式をランダムに試します。

(5) SW 検索

検索は、ストリーム ID に関連する情報を見つけるために使用されます。表 30.31 に、レイヤ 3 テーブルのストリーム ID を検索するために使用されるレジスタを示します。表 30.32 に、検索結果を示します。

表 30.31 L3 検索レジスタ

レジスタ名	l3 テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWLTHTS0.LTHSSP0/ FWLTHTS1.LTHSSP1/ FWLTHTS2.LTHSSP2/ FWLTHTS3.LTHSSP3/FWLTHTS4.LTHSSP4	L3.SID	(1) ルールフォーマットを参照

表 30.32 L3 検索結果

レジスタ名	l3 テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWLTHTSR0.LTHSNF	検索未検出	検索されたストリーム ID がテーブルにないため、検索に失敗しました。
FWLTHTSR0.LTHSCN	検索衝突数	エントリを見つけるために発生した衝突の数を示す
FWLTHTSR0.LTHSLS	L3.SL	(1) ルールフォーマットを参照
FWLTHTSR1.LTHMSDUVS	L3.MSDUV	(1) ルールフォーマットを参照
FWLTHTSR1.LTHMSDUNS	L3.MSDUN	(1) ルールフォーマットを参照
FWLTHTSR2.LTHMTRVS	L3.MTRV	(1) ルールフォーマットを参照
FWLTHTSR2.LTHMTRNS	L3.MTRN	(1) ルールフォーマットを参照
FWLTHTSR3.LTHFRERVS	L3.FRERV	(1) ルールフォーマットを参照
FWLTHTSR3.LTHFRERNS	L3.FRERN	(1) ルールフォーマットを参照
FWLTHTSR3.LTHSLVS	L3.SLV	(1) ルールフォーマットを参照
FWLTHTSR3.LTHRVS	L3.RV	(1) ルールフォーマットを参照
FWLTHTSR3.LTHRNS	L3.RN	(1) ルールフォーマットを参照
FWLTHTSR40.LTHCSDS	L3.CSD[5:0]	(1) ルールフォーマットを参照
FWLTHTSR5.LTHDVS	L3.DV	(1) ルールフォーマットを参照
FWLTHTSR5.LTHCMES	L3.CME	(1) ルールフォーマットを参照
FWLTHTSR5.LTHEMES	L3.EME	(1) ルールフォーマットを参照
FWLTHTSR5.LTHIPUS	L3.IPU	(1) ルールフォーマットを参照
FWLTHTSR5.LTHIPVS	L3.IPV	(1) ルールフォーマットを参照

(6) SW 読み出し

読み出しは、レイヤ 3 テーブルの内容をダンプするために使用されます。ソフトウェアはレイヤ 3 RAM のどのアドレスにエントリがあるかを知ることができないため、この機能を使用して特定のエントリを読み出すことはできません。表 30.33 に、レイヤ 3 テーブル内のエントリを読み出すために使用されるレジスタを示します。表 30.34 に、読み出し結果を示します。

表 30.33 L3 読み出しレジスタ

レジスタ名	l3 テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWLTHTR.LTHAR	読み出しアドレス	レイヤ 3 テーブル内のエントリを読み出すために使用されるアドレス

表 30.34 L3 読み出し結果

レジスタ名	l3 テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWLTHTRR0.LTHEVR	L3.EV	読み出しアドレスは有効なエントリを保持する アドレスを読み出すときにこのビットが設定されている場合のみ、対応するエントリとこの表の以下のレジスタは有効です。 (1) ルールフォーマットを参照
FWLTHTRR1.LTHSRP0/ FWLTHTRR2.LTHSRP1/ FWLTHTRR3.LTHSRP2/ FWLTHTRR4.LTHSRP3/ FWLTHTRR5.LTHSRP4	L3.SID	(1) ルールフォーマットを参照
FWLTHTRR1.LTHSLR	L3.SL	(1) ルールフォーマットを参照
FWLTHTRR6.LTHMSDUVR	L3.MSDUV	(1) ルールフォーマットを参照
FWLTHTRR6.LTHMSDUNR	L3.MSDUN	(1) ルールフォーマットを参照
FWLTHTRR7.LTHMTRVR	L3.MTRV	(1) ルールフォーマットを参照
FWLTHTRR7.LTHMTRNR	L3.MTRN	(1) ルールフォーマットを参照
FWLTHTRR7.LTHFRERVR	L3.FRERV	(1) ルールフォーマットを参照
FWLTHTRR7.LTHFRERNR	L3.FRERN	(1) ルールフォーマットを参照
FWLTHTRR8.LTHSLVR	L3.SLV	(1) ルールフォーマットを参照
FWLTHTRR8.LTHRVR	L3.RV	(1) ルールフォーマットを参照
FWLTHTRR8.LTHRNR	L3.RN	(1) ルールフォーマットを参照
FWLTHTRR90.LTHCSDR	L3.CSD[5:0]	(1) ルールフォーマットを参照
FWLTHTRR10.LTHDVR	L3.DV	(1) ルールフォーマットを参照
FWLTHTRR10.LTHCMER	L3.CME	(1) ルールフォーマットを参照
FWLTHTRR10.LTHEMER	L3.EME	(1) ルールフォーマットを参照
FWLTHTRR10.LTHIPUR	L3.IPU	(1) ルールフォーマットを参照
FWLTHTRR10.LTHIPVR	L3.IPV	(1) ルールフォーマットを参照

30.5.2.4.5 レイヤ 3 転送／ルーティング／フィルタリング

レイヤ 3 転送／ルーティング／フィルタリングは、エージェントから受信したローカルイーサネットディスクリプタ（LDESCR.FMT [GWCA]を 1’b0 に設定）を FWPCi0/FWPCi1 および FWCEPRC2 レジスタを使用して転送するために使用します。これらの機能は FWEIS0i 割り込みレジスタを使用して監視できます。レイヤ 3 転送／ルーティング／フィルタリングは、受信した有効なストリーム ID（(5) カスケードフィルタ、(a) IPv4 ストリーム ID の作成、および(b) IPv6 ストリーム ID の作成）をレイヤ 3 テーブルで検索して、対応するエントリフィールド（(1) ルールフォーマット）を抽出します。レイヤ 3 転送／ルーティング／フィルタリングは、エントリフィールドに応じて、図 30.85 に示すレイヤ 3 転送／ルーティングセキュアフロー、図 30.86 に示すレイヤ 3 転送／ルーティング非セキュアフロー、および図 30.87 に示すレイヤ 3 フィルタリングフローに従ってフレームを転送／ルーティング／フィルタリングします。

機能：

- FWPCi0.LTHTA レジスタは、ポート i から受信したフレームのレイヤ 3 テーブルを有効にするために使用します。
- FWPCi0.LTHRUS レジスタは、ポート i から受信した不明なストリームを拒否するために使用します。
- FWPCi0.LTHRUSS レジスタは、ポート i から受信した不明なセキュアストリームを拒否するために使用します。
- FWPCi1.LTHFM レジスタは、ポート i から受信したフレームを転送できるポートを設定するために使用します。
- FWCEPRC2 レジスタは、エラーディスクリプタの例外パスを有効にします。
- FWEIS0i 割り込みレジスタは、イーサネットディスクリプタがエラーのために拒否されたことを通知します。

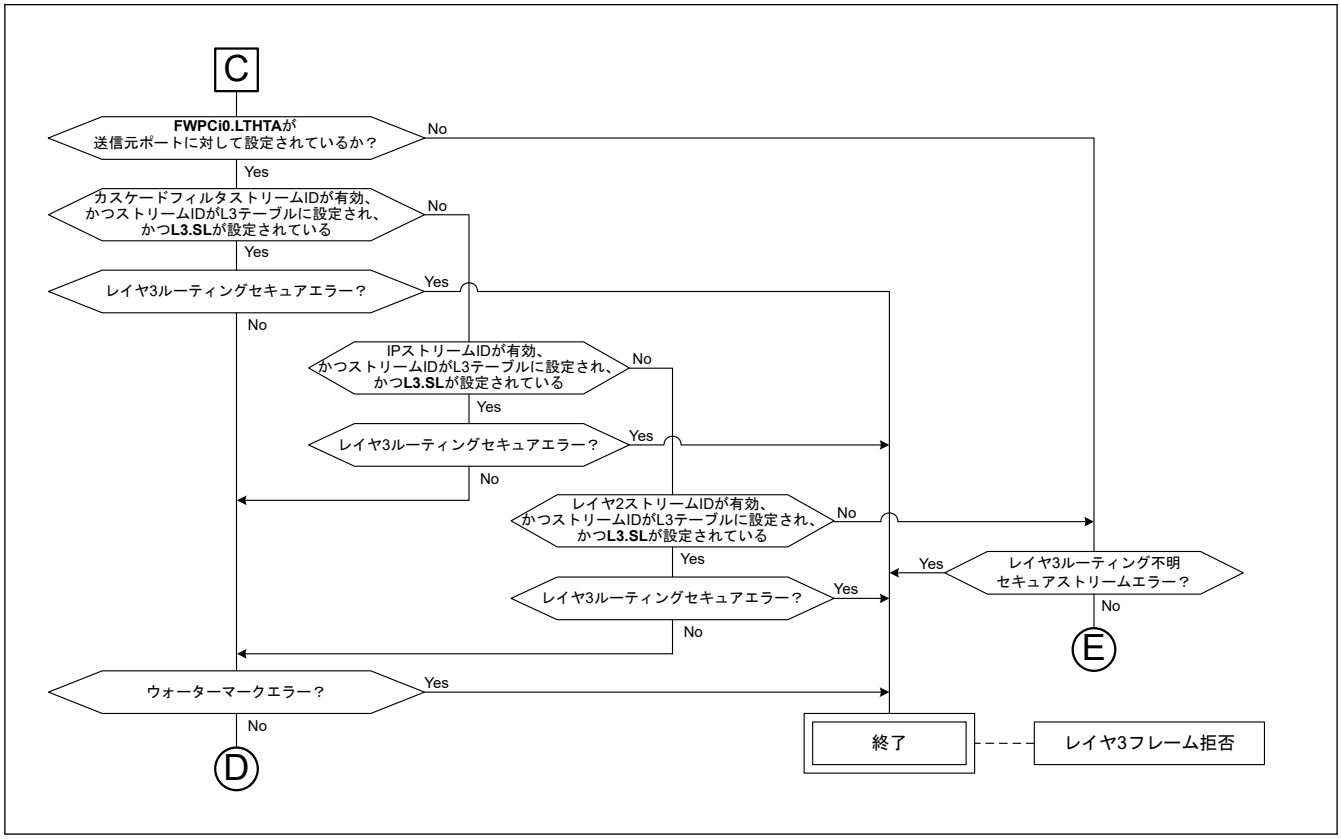


図 30.85　レイヤ 3 転送／ルーティングセキュアフロー

注.
- レイヤ 3 ルーティングセキュアエラーおよびレイヤ 3 ルーティング不明セキュアストリームエラーについては、(1) レイヤ 3 ルーティングエラーで説明します。
- ウォーターマークエラーについては、(1) ウォーターマークエラーで説明します。
- リンク C は図 2 からリンクされています。
- リンク D は図 30.87 にリンクしています。
- リンク E は図 30.95 にリンクしています。

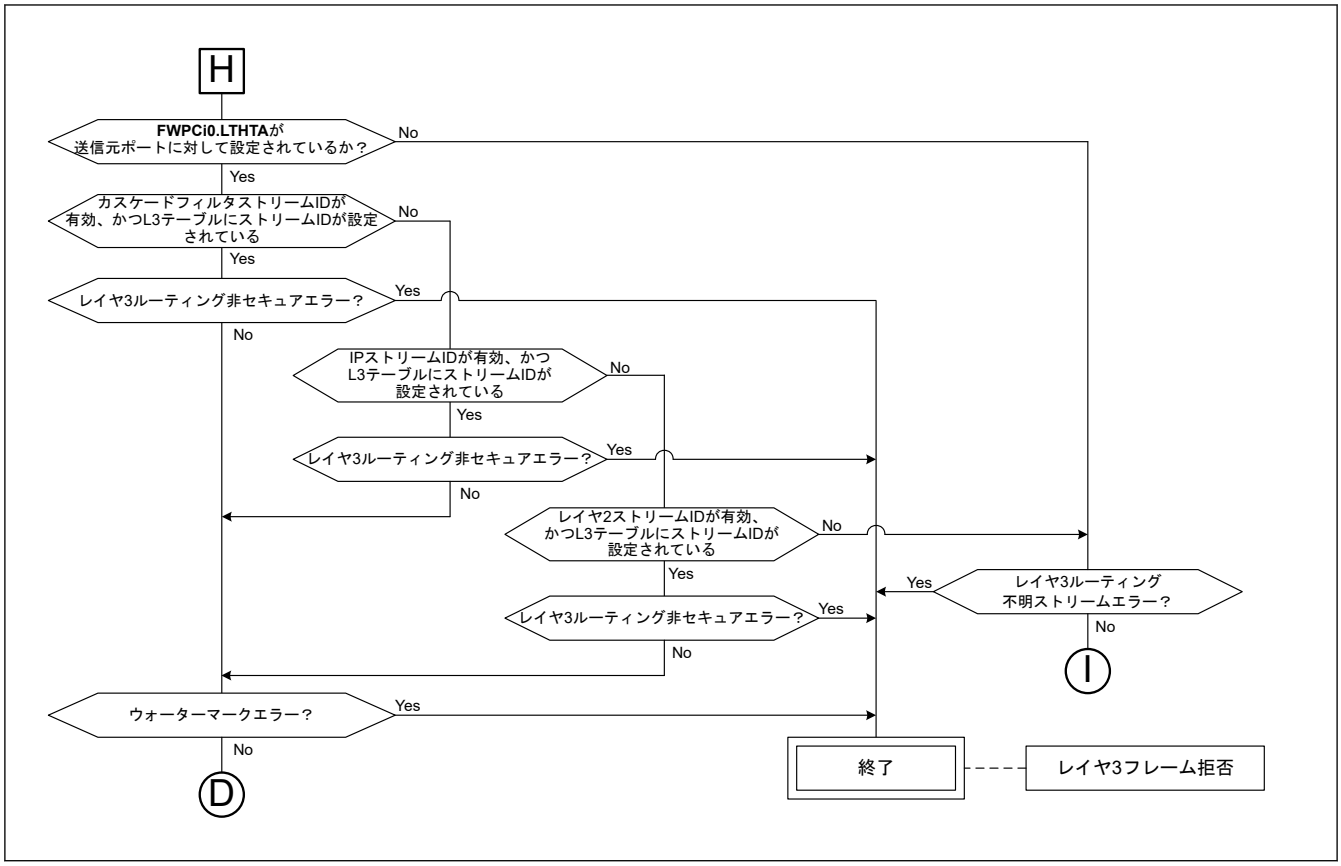


図 30.86　レイヤ 3 転送／ルーティング非セキュアフロー

注.
- レイヤ 3 ルーティングエラーおよびレイヤ 3 ルーティング不明ストリームエラーについては、(1) レイヤ 3 ルーティングエラーで説明します。
- ウォーターマークエラーについては、(1) ウォーターマークエラーで説明します。
- リンク H は図 30.99 からリンクされています。
- リンク D は図 30.87 にリンクしています。
- リンク I は図 30.96 にリンクしています。

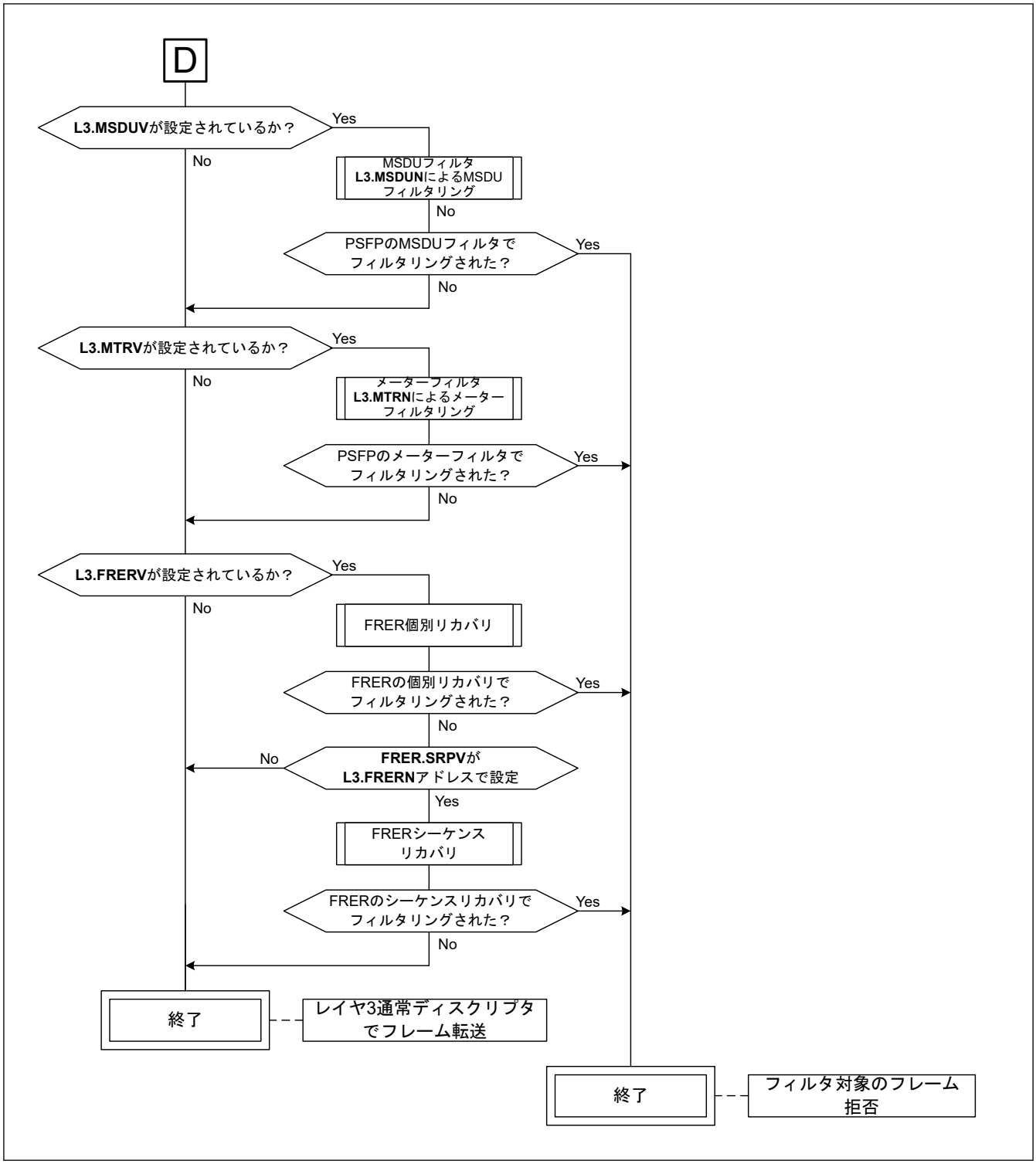


図 30.87　レイヤ 3 フィルタリングフロー

注.
- リンク D は、図 30.85 および図 30.86 からリンクされています。
- フィルタフレーム拒否については、(2) フィルタリングエラーで説明します。
- MSDU フィルタリングについては、図 30.103 で説明します。
- メーターフィルタリングについては、図 30.104 で説明します。
- 個々のリカバリについては、(e) 個別リカバリアルゴリズムで説明します。
- シーケンスリカバリについては、(f) シーケンスリカバリアルゴリズムで説明します。

(1) レイヤ 3 ルーティングエラー

表 30.35 にレイヤ 3 ルーティングエラーについて示します。対応するエラー例外ビットを設定することにより、(4) レイヤ 3 例外ディスクリプタで説明されているレイヤ 3 例外ディスクリプタを使用して、エラーフレームを転送エンジンによって破棄する代わりに例外パスに転送できます。エラー設定条件については、対応するエラー割り込みレジスタの説明を参照してください。

表 30.35 レイヤ 3 ルーティングエラー

エラー	エラー名	エラー割り込み	エラー例外ビット
レイヤ 3 ルーティングセキュアエラー			
SNTF	セキュア無転送先フィルタリング	FWEIS0i.LTHNTFS	FWCEPRC2.FLTHNTFEF
SSPF	セキュア送信元ポートフィルタリング	FWEIS0i.LTHSPFS	FWCEPRC2.FLTHSLFEF
レイヤ 3 ルーティング不明セキュアストリームエラー			
SUF	セキュア不明フィルタリング	FWEIS0i.LTHUFS	FWCEPRC2.FLTHUFEF
レイヤ 3 ルーティングエラー			
NTF	無転送先フィルタリング	FWEIS0i.LTHNTFS	FWCEPRC2.FLTHNTFEF
SPF	送信元ポートフィルタリング	FWEIS0i.LTHSPFS	FWCEPRC2.FLTHSLFEF
レイヤ 3 ルーティング不明ストリームエラー			
UF	不明フィルタリング	FWEIS0i.LTHUFS	FWCEPRC2.FLTHUFEF

(2) フィルタリングエラー

表 30.36 にフィルタエラーについて示します。対応するエラー例外ビットを設定することにより、(5) フィルタ例外ディスクリプタで説明されているフィルタ例外ディスクリプタを使用して、エラーフレームを転送エンジンによって破棄する代わりに例外パスに転送できます。エラー設定条件については、対応するエラー割り込みレジスタの説明を参照してください。

表 30.36 フィルタリングエラー

エラー	エラー名	エラー割り込み	エラー例外ビット
MSDUF	MSDU フィルタリング済み	FWEIS2.PMFS	FWCEPRC1.FMSDUFEF
MTRF	メーターフィルタリング済み	FWEIS5.PMRFS	FWCEPRC1.FMTRFEF
IFRERF	個別 FRER フィルタリング済み	スタックエラーのノーシーケンスエラーの場合、FWEIS60/61/62/63.FFS 範囲外エラーの場合、FWEIS70/71/72/73.FOORS	FWCEPRC1.FIFFEF
SFRERF	シーケンス FRER フィルタリング済み	ノーシーケンスエラーの場合、FWEIS60/61/62/63.FFS 範囲外エラーの場合、FWEIS70/71/72/73.FOORS 重複していたためにフレームが破棄された場合は割り込みなし	FWCEPRC1.FSFFEF

(3) レイヤ 3 通常ディスクリプタ

表 30.37 にレイヤ 3 通常ディスクリプタのフィールドを示します。

表 30.37 レイヤ 3 通常ディスクリプタのフィールド (1/2)

フィールド名 (FDESCR.)	値
DV	L3.DV & !FWPCi1.LTHFM
SEC	L3.SL
CSD	L3.CSD
IPV	L3.IPU が設定されている場合、L3.IPV に設定 L3.IPU が設定されていない場合、フレーム入力優先順位に設定（「30.5.1.4. ESWM フレーム入力優先順位」を参照）

表 30.37 レイヤ 3 通常ディスクリプタのフィールド (2/2)

フィールド名 (FDESCR.)	値
MINFO	図 30.88 および表 30.38 を参照
RV	L3.RV
RN	L3.RN
SEQN	L3.RN がシーケンス番号生成機能にマップされていない場合は、フレーム入力シーケンス番号に設定（「30.5.3.2.2. シーケンス番号生成」を参照）

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	FCLR[2:0]		FFC[2:0]		FWDC[3:0]			
1	FID[15:0]							
2								

図 30.88 レイヤ 3 通常ディスクリプタの MINFO フォーマット

表 30.38 レイヤ 3 通常ディスクリプタの MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	レイヤ 3 通常ディスクリプタの場合、5 に固定
FFC	2	フレームフォーマットコード	完全フィルタ転送の場合は 0 に設定 IPv4 転送の場合は 1 に設定 IPv6 転送の場合は 2 に設定 レイヤ 2 ストリーム転送の場合は 3 に設定
FCLR	2	フレームカラー	フレームに色がない場合は 0 に設定 フレームが緑色の場合は 1 に設定 フレームが黄色の場合は 2 に設定 フレームが赤色の場合は 3 に設定 カラー属性については「30.5.3.1.2. メーターフィルタ／ATS」を参照
FID	16	フレーム識別子	カスケードフィルタストリーム ID の場合は、一致するカスケードフィルタ番号に設定 IPV ストリーム ID の場合は、ストリーム ID に挿入されたハッシュ ID に設定 L2 ストリームの場合は、すべて 0 に設定

(4) レイヤ 3 例外ディスクリプタ

表 30.39 にレイヤ 3 例外ディスクリプタのフィールドを示します。

表 30.39 レイヤ 3 例外ディスクリプタのフィールド

フィールド名 (FDESCR.)	値
DV	例外ディスクリプタは、GWCA 番号 FWCEPTC.EPCS（ポート番号 2）に転送される
SEC	FWCEPTC.EPSL
CSDj	FWCEPTC.EPCSD
IPV	FWCEPTC.EPIPV
MINFO	図 30.89 と表 30.40 を参照
RV	0
RN	ALL0
SEQN	フレーム入力シーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	FCLR[1:0]		FFC[1:0]		FWDC[3:0]			
1	—					MTRF	GATEF	MSDUF
2	—							

図 30.89 レイヤ 3 例外ディスクリプタの MINFO フォーマット

表 30.40 レイヤ 3 例外ディスクリプタ MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	レイヤ 3 例外ディスクリプタの場合、6 に固定
FFC	2	フレームフォーマットコード	完全フィルタ転送の場合は 0 に設定 IPv4 転送の場合は 1 に設定 IPv6 転送の場合は 2 に設定 レイヤ 2 ストリーム転送の場合は 3 に設定 制約事項 : ● HW : セキュア不明フィルタリングまたは不明フィルタリングが発生すると、このフィールドは無効です。
SNTF	1	セキュア無転送先フィルタリング	(1) レイヤ 3 ルーティングエラーを参照
SSPF	1	セキュア送信元ポートフィルタリング	(1) レイヤ 3 ルーティングエラーを参照
SUF	1	セキュア不明フィルタリング	(1) レイヤ 3 ルーティングエラーを参照
NTF	1	無転送先フィルタリング	(1) レイヤ 3 ルーティングエラーを参照
SPF	1	送信元ポートフィルタリング	(1) レイヤ 3 ルーティングエラーを参照
UF	1	不明フィルタリング	(1) レイヤ 3 ルーティングエラーを参照

(5) フィルタ例外ディスクリプタ

表 30.41 にフィルタ例外ディスクリプタのフィールドを示します。

表 30.41 フィルタ例外ディスクリプタのフィールド

フィールド名 (FDESCR.)	値
DV	例外ディスクリプタは、GWCA 番号 FWCEPTC.EPCS（ポート番号 2）に転送される
SEC	FWCEPTC.EPSL
CSDj	FWCEPTC.EPCSD
IPV	FWCEPTC.EPIPV
MINFO	図 30.90 および表 30.42 を参照
RV	0
RN	ALL0
SEQN	フレーム入力シーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	FCLR[1:0]		FFC[1:0]		FWDC[3:0]			
1	—					MTRF	GATEF	MSDUF
2	—							

図 30.90 フィルタ例外ディスクリプタの MINFO フォーマット

表 30.42 フィルタ例外ディスクリプタの MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	レイヤ 3 例外ディスクリプタの場合、15 に固定
FFC	2	フレームフォーマットコード	完全フィルタ転送の場合は 0 に設定 IPv4 転送の場合は 1 に設定 IPv6 転送の場合は 2 に設定 レイヤ 2 ストリーム転送の場合は 3 に設定
FCLR	2	フレームカラー	フレームに色がない場合は 0 に設定 フレームが緑色の場合は 1 に設定 フレームが黄色の場合は 2 に設定 フレームが赤色の場合は 3 に設定 カラー属性については「30.5.3.1.2. メーターフィルタ／ATS」を参照
MSDUF	1	MSDU フィルタリング済み	(2) フィルタリングエラーを参照
MTRF	1	メーターフィルタリング済み	(2) フィルタリングエラーを参照
IFRERF	1	個別 FRER フィルタリング済み	(2) フィルタリングエラーを参照
IFNOSEQ	1	個別 FRER ノー SEQuence	(2) フィルタリングエラーを参照
IFOOR	1	個別 FRER 範囲外 （一致アルゴリズムの場合、このフラグはアウトオブオーダーエラーに対して設定される）	(2) フィルタリングエラーを参照
FSTUCK	1	FRER スタック	(2) フィルタリングエラーを参照
SFRERF	1	シーケンス FRER フィルタリング済み	(2) フィルタリングエラーを参照
SFNOSEQ	1	シーケンス FRER ノー SEQuence	(2) フィルタリングエラーを参照
SFOOR	1	シーケンス FRER 範囲外 （一致アルゴリズムの場合、このフラグはアウトオブオーダーエラーに対して設定される）	(2) フィルタリングエラーを参照

30.5.2.5 レイヤ 2 転送

図 30.91 にレイヤ 2 転送のブロック図を示します。

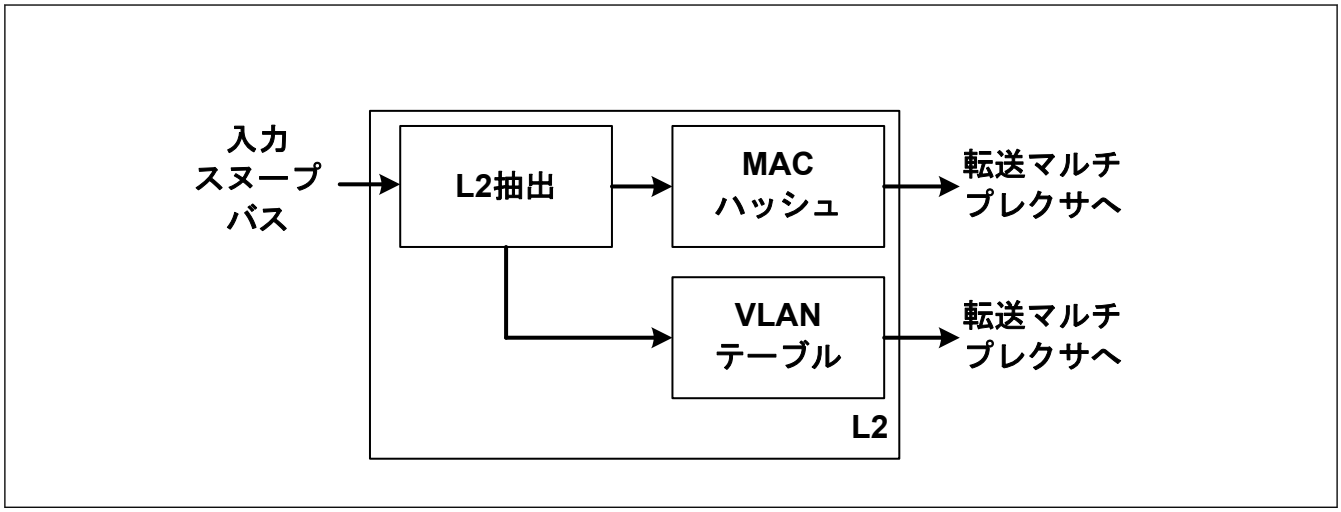


図 30.91 レイヤ 2 転送のブロック図

レイヤ 2 転送機能は 3 つの機能ブロックに分かれています。

- L2 抽出：このブロックは、必要なすべての情報を転送エンジンスヌープバスからスヌープし、MAC 宛先、MAC 送信元アドレス、VLAN ID をフレームから抽出します。
- MAC ハッシュ：このブロックは、ハッシュ関数を使用して転送やルーティングの情報など、MAC アドレスのメタ情報を処理します。

- VLAN テーブル：このブロックは、転送やルーティングの情報など、VLAN ID のメタ情報を処理します。

注. 転送マルチプレクサには、転送フローが含まれています。転送フローは転送タイプごとに説明しています。レイヤ 3 転送／ルーティング／フィルタリングについて、関連する転送フローを図 30.95 および図 30.96 に示します。

30.5.2.5.1 L2 抽出

L2 抽出は、すべてのフレームの送信元と宛先の MAC アドレスと VLAN ID を抽出するために使用します。

図 30.92 では、MAC アドレスと VLAN ID の抽出について説明します。MAC アドレスの抽出は、いつでも発生します。VLAN の抽出は、FWGC.SVM が 00b 以外のときにのみ発生します。VLAN ID の抽出が発生しなかった場合、すべての VLAN が不明とみなされます。

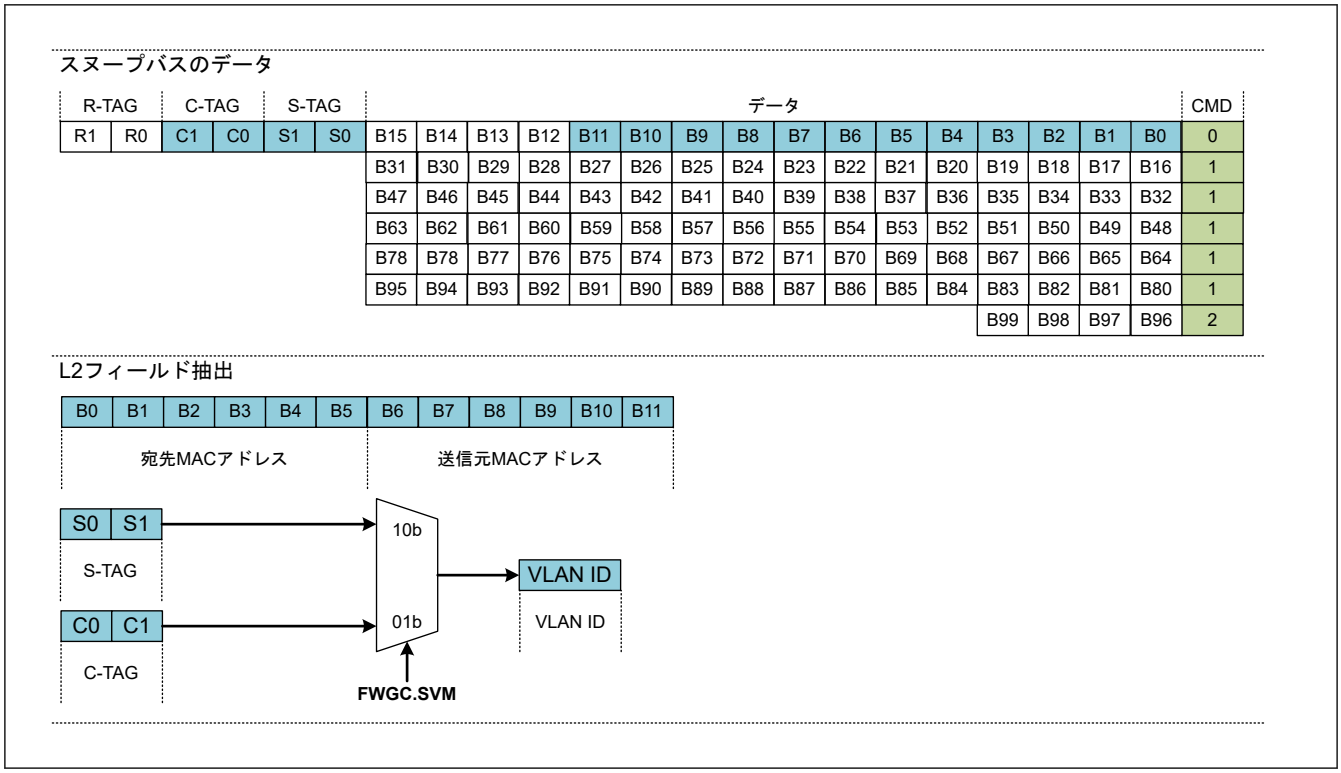


図 30.92 MAC アドレスと VLAN ID の抽出

30.5.2.5.2 MAC ハッシュ

MAC ハッシュは、プログラム可能なハッシュによる MAC ルールの検索／学習／読み出しを目的としています。ハッシュアルゴリズムでは、すべての衝突をハードウェアで解決することができるので、動作にソフトウェアの介入は必要ありません。

MAC ハッシュは、以下の項目に分けられます。

- ルールフォーマット：MAC アドレスと共にテーブルに保存される情報を決定します。
- SW 学習：ソフトウェアで MAC テーブルのエントリを追加／抑制する機能。
- ハッシュの最大衝突数：転送パイプラインを減速させ、Ingress ポートにバックプレッシャーを適用するようなハッシュ検索を回避します。
- ハッシュ式：衝突を最小にするハッシュ計算を設定する機能。
- SW 検索：MAC アドレスに関連する転送情報をソフトウェアで検索する機能。
- SW 読み出し：MAC テーブルのエントリをソフトウェアで読み出す機能。
- HW 検索：MAC アドレスに関連する転送情報を転送メカニズムによって検索する機能。
- HW 学習：ユニキャスト MAC 送信元アドレスを転送メカニズムによって学習する機能。
- HW エージング：使用されていないダイナミック MAC アドレスを抑制するために使用する機能。

(1) ルールフォーマット

MAC テーブルは、MAC ルールを保存するために使用します。MAC ルールには、フレーム転送に関する情報が含まれます。このテーブルのフィールドを引用する場合は、MAC.{フィールド名}と表記します。表 30.43 に、MAC ルールに含まれるフィールドを示します。

表 30.43 MAC ルールフォーマット (1/2)

フィールド名	フィールドサイズ（ビット）	フィールドの説明
EV	1	エントリの有効性 値 ● 0：エントリは無効 ● 1：エントリは有効
SL	1	セキュリティレベル 値 ● 0：エントリは非セキュア ● 1：エントリはセキュア
MA	48	エントリの MAC アドレス。MAC アドレスは L2 抽出によって抽出されます。（「30.5.2.5.1. L2 抽出」を参照）このアドレスはビッグエンディアンです。
HLD	1	ハードウェア学習無効 値 ● 0：宛先 MAC アドレスとして MAC.MAC を含むフレームに対して送信元 MAC ハードウェア学習は有効 ● 1：宛先 MAC アドレスとして MAC.MAC を含むフレームに対して送信元 MAC ハードウェア学習は無効
DSLV	4	転送先転送元ロックベクタ 値 ● ビット i を 0 に設定：ポート i から受信した、宛先 MAC がこのエントリに一致するフレームは、送信元ポートロックエラーによって拒否される ● ビット i を 1 に設定：ポート i から受信した、宛先 MAC がこのエントリに一致するフレームは、転送／ルーティングされる
SSLV	4	転送元転送元ロックベクタ 値 ● ビット i を 0 に設定：ポート i から受信した、送信元 MAC がこのエントリに一致するフレームは、送信元ポートロックエラーによって拒否される ● ビット i を 1 に設定：ポート i から受信した、送信元 MAC がこのエントリに一致するフレームは、転送／ルーティングされる
DV	4	転送先ベクタ 機能： ● HW：フレームが送信される宛先ポート
CSD	6	CPU サブ転送先 機能： ● HW：フレームの送信先となる CPU サブ転送先。
CME	1	CPU ミラーリング有効 値 ● 0: CPU ミラーリングは無効 ● 1: CPU ミラーリングは有効
EME	1	イーサネットミラーリング有効 値 ● 0：イーサネットミラーリングは無効 ● 1：イーサネットミラーリングは有効
IPU	1	内部優先順位更新 値 ● 0：このエントリに一致するフレームは、内部優先順位が更新されない ● 1：このエントリに一致するフレームは、内部優先順位が更新される
IPV	3	内部優先順位値 機能： ● HW：対応するエントリの MAC.IPU 値を 1 に設定した場合、このエントリに一致するフレームの優先順位は MAC.IPV に更新される

表 30.43 MAC ルールフォーマット (2/2)

フィールド名	フィールドサイズ（ビット）	フィールドの説明
DE	1	動的エントリ 値 ● 0：静的エントリ。移行およびエージングをエントリに適用できない ● 1：動的エントリ。移行およびエージングをエントリに適用できる
AB	1	エージングビット： 値 ● 0：エントリは、前回のエージング以降、転送メカニズムによって MAC 送信元アドレスとして検索されています。次のエージング時にこのエントリを削除することはできません。 ● 1：エントリは、前回のエージング以降、転送メカニズムによって MAC 送信元アドレスとして検索されていません。このエントリが次のエージングまでに転送メカニズムによって MAC 送信元アドレスとして検索されなかった場合、次のエージング時にエントリを削除してください。

(2) SW 学習

学習は、MAC テーブルのエントリを追加／削除するために使用します。表 30.44 に、MAC テーブル内のエントリの学習に使用するレジスタを示します。表 30.45 に学習結果を示します。

表 30.44 MAC 学習レジスタ

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWMACTL0.MACED	エントリ削除	L3 テーブルには存在しない。エントリを学習するか削除するかを選択するために使用する
FWMACTL0.MACSLL	MAC.SL	(1) ルールフォーマットを参照
{FWMACTL1.MACMALP0, FWMACTL2.MACMALP1}	MAC.MA	(1) ルールフォーマットを参照
FWMACTL0.MACDEL	MAC.DE	(1) ルールフォーマットを参照
FWMACTL0.MACHLDL	MAC.HLD	(1) ルールフォーマットを参照
FWMACTL3.MACDSLVL	MAC.DSLV	(1) ルールフォーマットを参照
FWMACTL3.MACSSLVL	MAC.SSLV	(1) ルールフォーマットを参照
FWMACTL40.MACCSD	MAC.CSD[5:0]	(1) ルールフォーマットを参照
FWMACTL5.MACDVL	MAC.DV	(1) ルールフォーマットを参照
FWMACTL5.MACCMEL	MAC.CME	(1) ルールフォーマットを参照
FWMACTL5.MACEMEL	MAC.EME	(1) ルールフォーマットを参照
FWMACTL5.MACIPUL	MAC.IPU	(1) ルールフォーマットを参照
FWMACTL5.MACIPVL	MAC.IPV	(1) ルールフォーマットを参照

表 30.45 MAC 学習結果 (1/2)

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWMACTLR.MACLF	学習失敗	学習失敗は、以下に示すいずれかの条件で発生します。 ● 学習エントリがまだテーブルになく、テーブルがすでにフルである (FWMACTEM.MACTEN == 2048) ● MAC テーブルの準備ができていない（FWMACTIM.MACTR が設定されていない） ● 学習機能がエントリを削除するために使用され（FWMACTL0.MACED が学習用に設定されている）、そのエントリが MAC テーブルで見つからない

表 30.45 MAC 学習結果 (2/2)

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWMACTLR.MACLSF	学習セキュリティ失敗	セキュリティ失敗は、以下に示すいずれかの条件で発生します。 ● 学習エントリが非セキュアエントリであり（FWMACTL0.MACSLL が学習用に設定されていない）、非セキュアエントリの数 FMACTEM.MACTUEN が非セキュアエントリの最大数 FWMACHEC.MACHMUE に達している ● エントリがセキュアエントリ（MAC.SL が設定されている）としてテーブルにすでに存在するとき、また FWMACTEM.MACTUEN が非セキュアエントリの最大数 FWMACHEC.MACHMUE に達したときに、APB によって非セキュアエントリの学習を試みる学習アクションが行われる
FWMACTLR.MACLO	学習上書き	上書きは、以下に示すいずれかの条件で発生します。 ● 学習 MAC がすでにテーブルに存在し、学習中にエラーが発生しなかった
FWMACTLR.MACLCN	学習衝突数	学習が成功した場合に、学習したエントリにアクセスするために解決する必要がある衝突の数を示します。 FWMACTLR.MACLCN 値が FWMACHEC.MACHMC レジスタ値より大きい場合、新しく学習されたエントリは、転送中に転送エンジンによって無視されます。異なる MAC ハッシュ式によるスイッチの再構成を検討する必要があります。

注. HW：テーブルがフルに近付くほど、学習速度は遅くなります。

(3) ハッシュの最大衝突数

ハッシュの最大数を使用することで、低速な転送メカニズムに起因するバックプレッシャーを、ESWM が回避できます。

式 (2) は、この数値を計算する方法を示しています。この数値は、FWMACHEC.MACHMC レジスタで設定する必要があります。

(2) FWMACHEC.MACHMC = (*clk_freq*[Hz] × *Average_frame_size*[bit] / *Incoming_throughput*[bps] - 4) / 3

ここで、

- *clk_freq* は ESWCLK のクロック周波数。
- *Average_frame_size* は、スイッチ入力で想定される平均フレームサイズです。
- *Incoming_throughput* は、スイッチ入力で想定される合計スループットです。

たとえば、*clk_freq* が 150 MHz、*Average_frame_size* が 128 バイト、*Incoming_throughput* が 3 Gbps（GMII 2 つで 1 Gbps のデータ、GWCA 1 つで 1 Gbps のデータ）の場合、FWLTHHEC.LTHHMC レジスタに値 15 を設定します。

(4) ハッシュ式

ハッシュ式は、レジスタ FWMACHC.MACHE によって制御されます。

式の初期値は $1 + x^{11}$ です。

テーブルに衝突が多すぎる場合（学習中に FWMACTLR.MACLCN ＞ FWMACHEC.MACHMC）、このハッシュ式を次のように変更することで、衝突の数を最小限に抑えることができます。

- SW：ハッシュ式をモデル化し、妥当な衝突数を持つ式を見つけます。
- SW：妥当な衝突数を持つ式が見つかるまで、式をランダムに試します。

(5) SW 検索

検索は、MAC アドレスに関連する情報を見つけるために使用します。表 30.46 に，MAC テーブル内の MAC アドレスを検索するために使用するレジスタを示します。表 30.47 に検索結果を示します。

表 30.46 MAC 検索レジスタ

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
{FWMACTS0.MACMASP0, FWMACTS1.MACMASP1}	MAC.MA	(1) ルールフォーマットを参照

表 30.47 MAC 検索結果

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWMACTSR0.MACSNF	検索未検出	検索対象の MAC アドレスがテーブルにないため、検索に失敗した
FWMACTSR0.MACSCN	検索衝突数	エントリを見つけるために発生した衝突の数を示す
FWMACTSR0.MACSLS	MAC.SL	(1) ルールフォーマットを参照
FWMACTSR0.MACDES	MAC.DE	(1) ルールフォーマットを参照
FWMACTSR0.MACHLDS	MAC.HLD	(1) ルールフォーマットを参照
FWMACTSR1.MACDSLVS	MAC.DSLV	(1) ルールフォーマットを参照
FWMACTSR1.MACSSLVS	MAC.SSLV	(1) ルールフォーマットを参照
FWMACTSR20.MACCSDS	MAC.CSD[5:0]	(1) ルールフォーマットを参照
FWMACTSR3.MACDVS	MAC.DV	(1) ルールフォーマットを参照
FWMACTSR3.MACCMES	MAC.CME	(1) ルールフォーマットを参照
FWMACTSR3.MACEMES	MAC.EME	(1) ルールフォーマットを参照
FWMACTSR3.MACIPUS	MAC.IPU	(1) ルールフォーマットを参照
FWMACTSR3.MACIPVS	MAC.IPV	(1) ルールフォーマットを参照

(6) SW 読み出し

読み出しは、MAC テーブルの内容をダンプするために使用します。ソフトウェアは MAC RAM のどのアドレスにエントリがあるかを知ることができないため、この機能を使用して特定のエントリを読み出すことはできません。

表 30.48 MAC 読み出しレジスタ

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWMACTR.MACAR	読み出しアドレス	レイヤ 3 テーブル内のエントリを読み出すために使用されるアドレス

表 30.49 MAC 読み出し結果 (1/2)

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWMACTRR0.MACEVR	MAC.EV	読み出しアドレスは有効なエントリを保持する アドレスを読み出すときにこのビットが設定されている場合のみ、対応するエントリとこの表の以下のレジスタは有効です。 (1) ルールフォーマットを参照
{FWMACTRR2.MACMARP0, FWMACTRR3.MACMARP1}	MAC.MA	(1) ルールフォーマットを参照
FWMACTRR1.MACSLR	MAC.SL	(1) ルールフォーマットを参照
FWMACTRR1.MACDER	MAC.DE	(1) ルールフォーマットを参照
FWMACTRR1.MACHLDR	MAC.HLD	(1) ルールフォーマットを参照
FWMACTRR1.MACAB	MAC.AB	(1) ルールフォーマットを参照
FWMACTRR4.MACDSLVR	MAC.DSLV	(1) ルールフォーマットを参照

表 30.49 MAC 読み出し結果 (2/2)

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWMACTRR4.MACSSLVR	MAC.SSLV	(1) ルールフォーマットを参照
FWMACTRR50.MACCSDR	MAC.CSD[5:0]	(1) ルールフォーマットを参照
FWMACTRR6.MACDVR	MAC.DV	(1) ルールフォーマットを参照
FWMACTRR6.MACCMER	MAC.CME	(1) ルールフォーマットを参照
FWMACTRR6.MACEMER	MAC.EME	(1) ルールフォーマットを参照
FWMACTRR6.MACIPUR	MAC.IPU	(1) ルールフォーマットを参照
FWMACTRR6.MACIPVR	MAC.IPV	(1) ルールフォーマットを参照

(7) HW 学習／移行

MAC HW 学習／移行条件および設定については、「30.5.1.5.2. CPU 学習パス」で説明します。表 30.50 には、ポート i から受信したフレームをハードウェアで学習するときに MAC エントリフィールドが設定される値を示します。

送信元 MAC マルチキャストアドレスについては、HW 学習／移行は無効です（無視されます）。

表 30.50 MAC ハードウェア学習値

フィールド名	フィールドの説明
MAC.EV	1
MAC.SL	0
MAC.MA	受信フレーム MAC 送信元
MAC.HLD	0
MAC.DSLV	0xF
MAC.SSLV	0xF
MAC.DV	001b << i
MAC.CSD	0x00
MAC.CME	0
MAC.EME	0
MAC.IPU	0
MAC.IPV	000b
MAC.DE	1
MAC.AB	0

(8) HW エージング

MAC HW エージング機能は、使用されていない MAC アドレス条件を FWMACAGUSPC および FWMACAGC レジスタを使用して削除するために使用します。この機能は、FWMACAGM0/1 レジスタと FWMIS0.MACADAS 割り込みレジスタを使用して監視できます。MAC HW エージング機能は、図 30.93 に示すエージングアルゴリズムと図 30.94 に示す MAC 送信元アドレス検索アルゴリズムの 2 つのアルゴリズムを利用しています。

機能：

- FWMACAGUSPC レジスタは、エージング処理用の 1 Hz が生成されるようにプリスケーラを設定します。
- FWMACAGC レジスタは、エージング機能を設定／有効化します。
- FWMIS0.MACADAS および FWMACAGM0/1 を使用して、エージング MAC アドレスを SW で追跡できます。これらのレジスタは、ポーリングモード（FWMACAGC.MACAGPM を設定）でのみ使用してください。

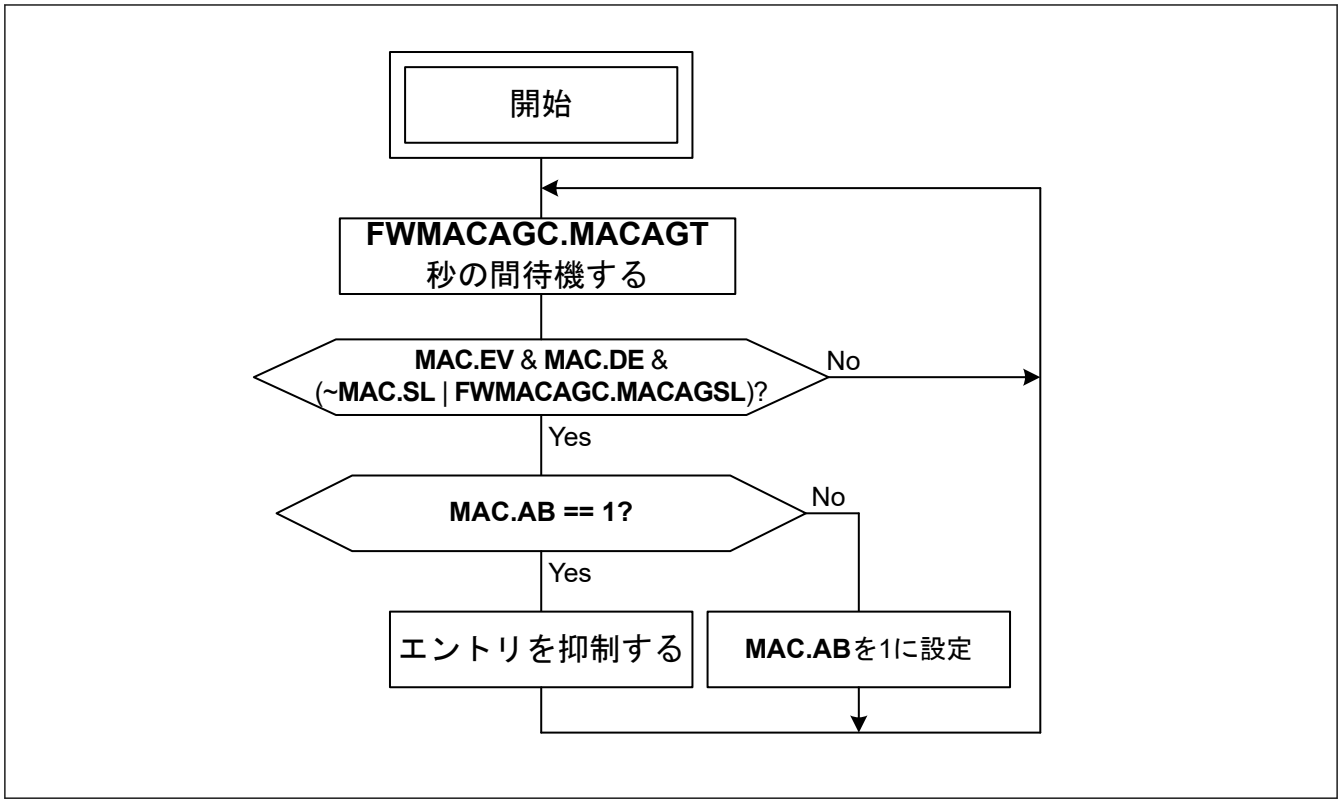


図 30.93 MAC エージングアルゴリズム

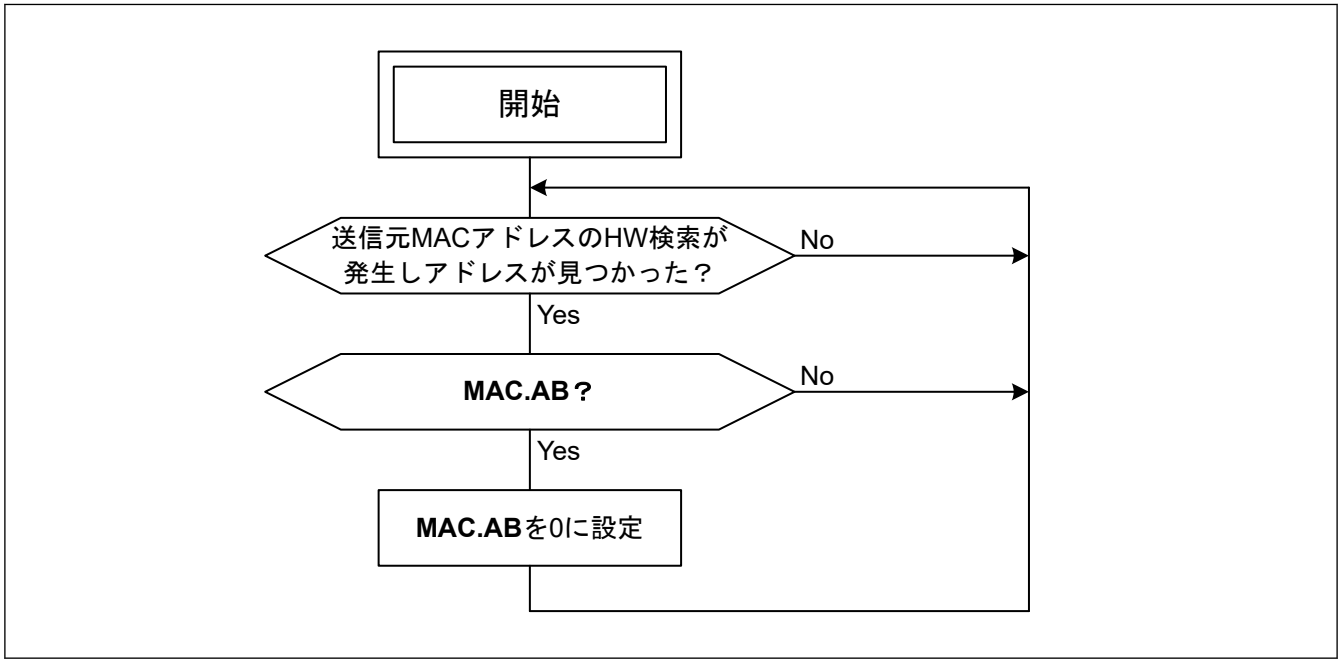


図 30.94 MAC 送信元アドレス検索アルゴリズム

30.5.2.5.3 VLAN テーブル

VLAN ハッシュは、VLAN ルールの検索／学習を目的としています。VLAN ID から VLAN RAM へのアドレスマッピングは 1:1 のマッピングであるため、VLAN 処理にハッシュは必要ありません。

VLAN テーブルは以下の項目に分かれています。

- ルールフォーマット : VLAN ルールに格納される情報を決定します。VLAN ID は VLAN ルールに格納されません。

- SW 学習：ソフトウェアで VLAN テーブルのエントリを追加／抑制する機能。
- SW 検索：VLAN ID に関連する転送情報をソフトウェアで検索する機能。
- HW 検索：VLAN ID に関連する転送情報を転送メカニズムによって検索する機能。

(1) ルールフォーマット

VLAN テーブルは、VLAN ルールを格納するために使用します。VLAN ルールには、フレーム転送に関する情報が含まれます。このテーブルのフィールドを引用する場合は、VLAN.{フィールド名}と表記します。表 30.51 に、VLAN ルールに含まれるフィールドを示します。

表 30.51 VLAN ルールフォーマット

フィールド名	フィールドサイズ（ビット）	フィールドの説明
EV	1	エントリの有効性 値 ● 0: エントリは無効 ● 1: エントリは有効
SL	1	セキュリティレベル 値 ● 0: エントリは非セキュア ● 1: エントリはセキュア
HLD	1	ハードウェア学習無効 値 ● 0：対応する VLAN ID を含むフレームに対して送信元 MAC ハードウェア学習が有効 ● 1：対応する VLAN ID を含むフレームに対して送信元 MAC ハードウェア学習が無効
SLV	4	転送元ロックベクタ 値 ● ビット i を 0 に設定：ポート i から受信した、VLAN ID がこのエントリに一致するフレームは、送信元ポートロックエラーによって拒否される ● ビット i を 1 に設定：ポート i から受信した、VLAN ID がこのエントリに一致するフレームは、転送／ルーティングされる
DV	4	転送先ベクタ 機能： ● HW：フレームが送信される宛先ポート
CSD	6	CPU サブ転送先 機能： ● HW：フレームの送信先となる CPU サブ転送先
CME	1	CPU ミラーリング有効 値 ● 0: CPU ミラーリングは無効 ● 1: CPU ミラーリングは有効
EME	1	イーサネットミラーリング有効 値 ● 0：イーサネットミラーリングは無効 ● 1：イーサネットミラーリングは有効
IPU	1	内部優先順位更新 値 ● 0：このエントリに一致するフレームは、内部優先順位が更新されない ● 1：このエントリに一致するフレームは、内部優先順位が更新される
IPV	3	内部優先順位値 機能： ● HW：対応するエントリの VLAN.IPU の値を 1 に設定した場合、このエントリに一致するフレームの優先順位は VLAN.IPV に更新される。

(2) SW 学習

学習は、VLAN テーブルのエントリを追加／削除するために使用します。表 30.52 に、VLAN テーブル内のエントリの学習に使用するレジスタを示します。表 30.53 に、学習結果を示します。

表 30.52 VLAN 学習レジスタ

レジスタ名	VLAN テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWVLANTL0.VLANED	エントリ削除	L3 テーブルには存在しない。エントリを学習するか削除するかを選択するために使用する
FWVLANTL0.VLANSLL	VLAN.SL	(1) ルールフォーマットを参照
FWVLANTL1.VLANVIDL	VLAN ID	学習したエントリのアドレスに対応
FWVLANTL0.VLANHLDL	VLAN.HLD	(1) ルールフォーマットを参照
FWVLANTL2.VLANSLVL	VLAN.SLV	(1) ルールフォーマットを参照
FWVLANTL30.VLANCSDL	VLAN.CSD[5:0]	(1) ルールフォーマットを参照
FWVLANTL4.VLANDVL	VLAN.DV	(1) ルールフォーマットを参照
FWVLANTL4.VLANCMEL	VLAN.CME	(1) ルールフォーマットを参照
FWVLANTL4.VLANEMEL	VLAN.EME	(1) ルールフォーマットを参照
FWVLANTL4.VLANIPUL	VLAN.IPU	(1) ルールフォーマットを参照
FWVLANTL4.VLANIPVL	VLAN.IPV	(1) ルールフォーマットを参照

表 30.53 VLAN 学習結果

レジスタ名	VLAN テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWVLANTLR.VLANLF	学習失敗	学習失敗は、以下に示すいずれかの条件で発生します。 ● VLAN テーブルの準備ができていない（FWVLANTIM.VLANTR が設定されていない）。 ● 学習機能がエントリを削除するために使用され（FWVLANTL0.VLANED が学習用に設定されている）、そのエントリが VLAN テーブルでない。
FWVLANTLR.VLANLSF	学習セキュリティ失敗	セキュリティ失敗は、以下に示すいずれかの条件で発生します。 ● 学習エントリが非セキュアエントリであり（FWVLANTL0.VLANSLL が学習用に設定されていない）、非セキュアエントリの数 FWVLANTEM.VLANTUEN が非セキュアエントリの最大数 FWVLANTEC.VLANTMUE に達している。 ● エントリがセキュアエントリ（VLAN.SL が設定されている）としてテーブルにすでに存在するとき、また FWVLANTEM.VLANTUEN が非セキュアエントリの最大数 FWVLANTEC.VLANTMUE に達したときに、APB によって非セキュアエントリの学習を試みる学習アクションが行われる。
FWVLANTLR.VLANLO	学習上書き	上書きは、以下に示すいずれかの条件で発生します。 ● 学習 VLAN がすでにテーブルに存在し、学習中にエラーが発生しなかった

(3) SW 検索

検索は、VLAN アドレスに関連する情報を見つけるために使用します。表 30.54 に、VLAN テーブル内の VLAN アドレスを検索するために使用するレジスタを示します。表 30.55 に、検索結果を示します。この機能は、アドレスを実際に検索するのではなく、VLAN テーブル内の VLAN ID に対応するアドレスを読み出すだけです。

表 30.54 VLAN 検索レジスタ

レジスタ名	VLAN テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWVLANTS.VLANVIDS	VLAN ID	VLAN テーブルから読み出されるアドレス。 VLAN ID に対応

表 30.55 VLAN 検索結果 (1/2)

レジスタ名	VLAN テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWVLANTSR0.VLANSNF	検索未検出	検索された VLAN ID がテーブルにないため、検索に失敗した
FWVLANTSR0.VLANSLS	VLAN.SL	(1) ルールフォーマットを参照
FWVLANTSR0.VLANHLDS	VLAN.HLD	(1) ルールフォーマットを参照

表 30.55 VLAN 検索結果 (2/2)

レジスタ名	VLAN テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWVLANTSR1.VLANSLVS	VLAN.SLV	(1) ルールフォーマットを参照
FWVLANTSR20.VLANCSDS	VLAN.CSD[5:0]	(1) ルールフォーマットを参照
FWVLANTSR3.VLANDVS	VLAN.DV	(1) ルールフォーマットを参照
FWVLANTSR3.VLANCMES	VLAN.CME	(1) ルールフォーマットを参照
FWVLANTSR3.VLANEMES	VLAN.EME	(1) ルールフォーマットを参照
FWVLANTSR3.VLANIPUS	VLAN.IPU	(1) ルールフォーマットを参照
FWVLANTSR3.VLANIPVS	VLAN.IPV	(1) ルールフォーマットを参照

30.5.2.5.4 レイヤ 2 転送

レイヤ 2 転送は、エージェントから受信したローカルイーサネットディスクリプタ（LDESCR.FMT [GWCA]を 0 に設定）を FWPCi0 および FWCEPRC2 レジスタを使用して転送するために使用します。この機能は FWEIS0i 割り込みレジスタを使用して監視できます。レイヤ 2 転送は、受信した MAC アドレスを MAC テーブルで検索して（「30.5.2.5.1. L2 抽出」）、対応するエントリフィールドを抽出し（(1) ルールフォーマット）、有効な VLAN ID を VLAN テーブルで検索して（「30.5.2.5.1. L2 抽出」）、対応するエントリフィールドを抽出します（(1) ルールフォーマット）。エントリフィールドに応じて、レイヤ 2 転送は、図 30.95 の L2 転送セキュアフローと図 30.96 の L2 転送非セキュアフローに従ってフレームを転送します。

機能：

- FWPCi0.MACDSA レジスタは、MAC テーブルを有効にして、ポート i から受信したフレームの宛先 MAC を検索するために使用します。
- FWPCi0.MACRUDA レジスタは、ポート i から受信した不明な宛先 MAC を拒否するために使用します。
- FWPCi0.MACRUDSA レジスタは、ポート i から受信した不明なセキュア宛先 MAC を拒否するために使用します。
- FWPCi0.MACSSA レジスタは、MAC テーブルを有効にして、ポート i から受信したフレームの送信元 MAC を検索するために使用します。
- FWPCi0.MACRUSA レジスタは、ポート i から受信した不明な送信元 MAC を拒否するために使用します。
- FWPCi0.MACRUSSA レジスタは、ポート i から受信した不明なセキュア送信元 MAC を拒否するために使用します。
- FWPCi0.VLANSA レジスタは、VLAN テーブルを有効にして、ポート i から受信したフレームの送信元 MAC を検索するために使用します。
- FWPCi0.VLANRU レジスタは、ポート i から受信した不定 VLAN ID を拒否するために使用します。
- FWPCi0.VLANRUS レジスタは、ポート i から受信したセキュア不定 VLAN ID を拒否するために使用します。
- FWPCi2.LTWFM レジスタは、ポート i から受信したフレームを転送できるポートを設定するために使用します。
- FWCEPRC2 レジスタは、エラーディスクリプタの例外パスを有効にします。
- FWEIS0i 割り込みレジスタは、イーサネットディスクリプタがエラーのために拒否されたことを通知します。

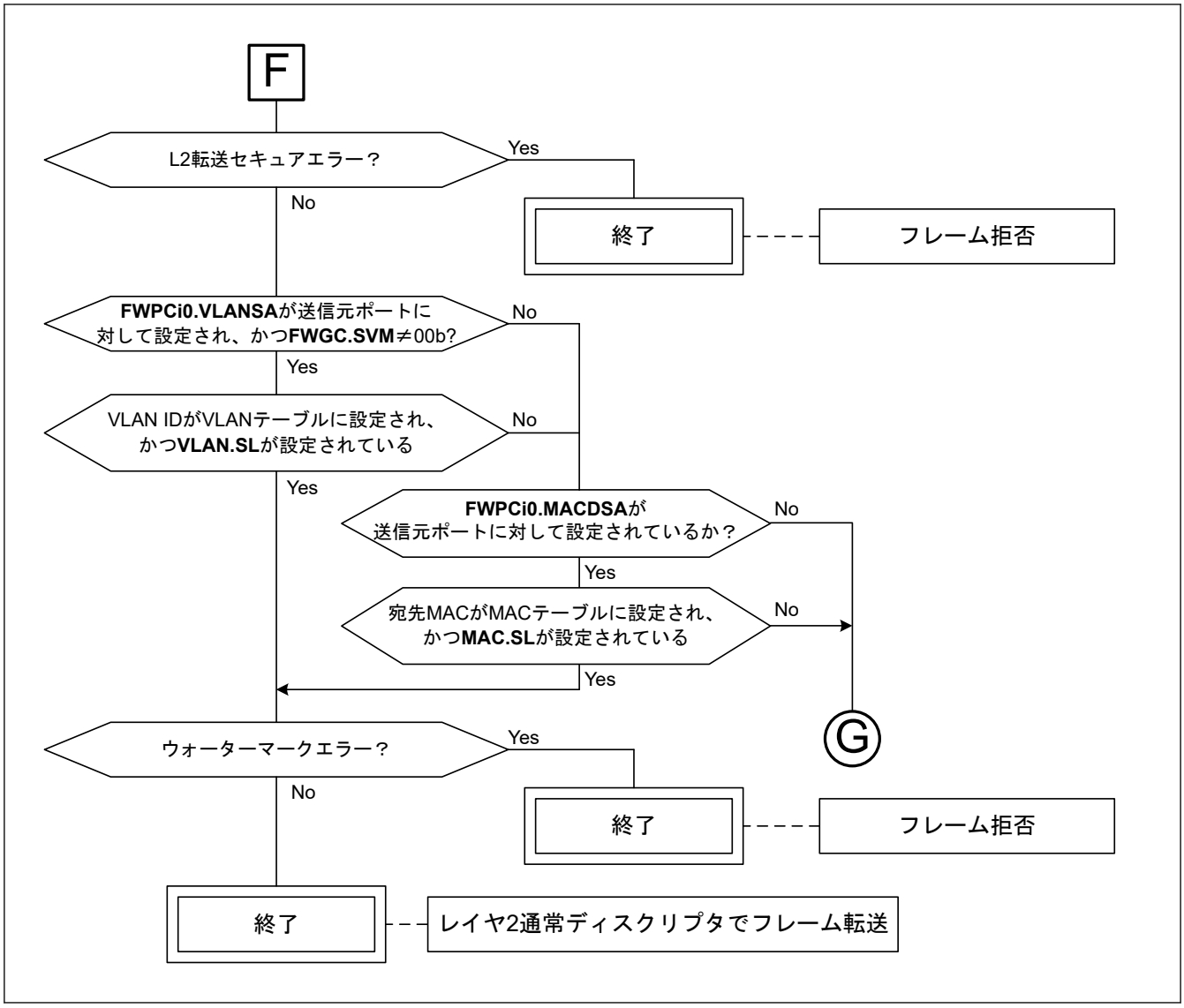


図 30.95　L2 転送セキュアフロー

注.
- L2 転送セキュアエラーについては、(1) L2 転送エラーで説明します。
- ウォーターマークエラーについては、(1) ウォーターマークエラーで説明します。
- リンク F は、図 30.85 ポイント E からリンクされています。
- リンク G は、図 30.99 にリンクしています。

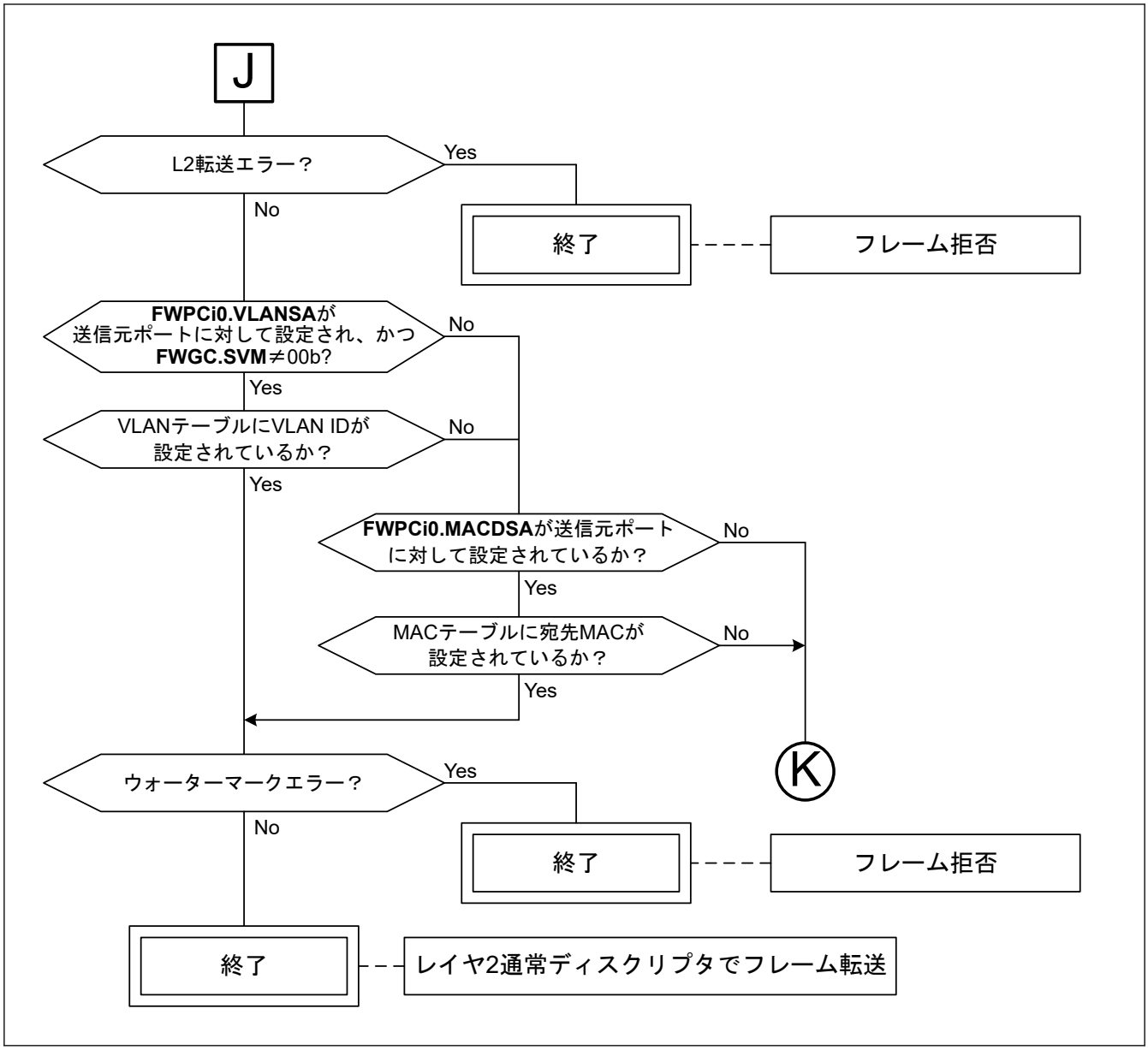


図 30.96　L2 転送非セキュアフロー

注.
- L2 転送エラーについては、(1) L2 転送エラーで説明します。
- ウォーターマークエラーについては、(1) ウォーターマークエラーで説明します。
- リンク J は、図 30.86 ポイント I からリンクされています。
- リンク K は、図 30.100 にリンクしています。

(1)　L2 転送エラー

表 30.56 に L2 転送エラーについて示します。対応するエラー例外ビットを設定することにより、(3) レイヤ 2 例外ディスクリプタで説明されているレイヤ 2 例外ディスクリプタを使用して、エラーフレームを転送エンジンによって破棄する代わりに例外パスに転送できます。エラー設定条件については、対応するエラー割り込みレジスタの説明を参照してください。

表 30.56　L2 転送エラー (1/2)

エラー	エラー名	エラー割り込み	エラー例外ビット
L2 転送セキュアエラー			
SNTF	セキュア無転送先フィルタリング	FWEIS0i.LTWNTFS	FWCEPRC2.FLTWNTFEF

表 30.56 L2 転送エラー (2/2)

エラー	エラー名	エラー割り込み	エラー例外ビット
SDSPF	セキュア宛先送信元ポートフィルタリング	FWEIS0i.LTWDSPFS	FWCEPRC2.FDMACSLFEF
SSSPF	セキュア送信元送信元ポートフィルタリング	FWEIS0i.LTWSSPFS	FWCEPRC2.FSMACSLFEF
SVSPF	セキュア VLAN 送信元ポートフィルタリング	FWEIS0i.LTWVSPFS	FWCEPRC2.FVLANSLFEF
SDUF	セキュア宛先不明フィルタリング	FWEIS0i.LTWDUFS	FWCEPRC2.FDMACUFEF
SSUF	セキュア送信元不明フィルタリング	FWEIS0i.LTWSUFS	FWCEPRC2.FSMACUFEF
SVUF	セキュア VLAN 不明フィルタリング	FWEIS0i.LTWVUFS	FWCEPRC2.FVLANUFEF
L2 転送エラー			
NTF	無転送先フィルタリング	FWEIS0i.LTWNTFS	FWCEPRC2.FLTWNTFEF
DSPF	宛先送信元ポートフィルタリング	FWEIS0i.LTWDSPFS	FWCEPRC2.FDMACSLFEF
SSPF	送信元送信元ポートフィルタリング	FWEIS0i.LTWSSPFS	FWCEPRC2.FSMACSLFEF
VSPF	VLAN 送信元ポートフィルタリング	FWEIS0i.LTWVSPFS	FWCEPRC2.FVLANSLFEF
DUF	宛先不明フィルタリング	FWEIS0i.LTWDUFS	FWCEPRC2.FDMACUFEF
SUF	送信元不明フィルタリング	FWEIS0i.LTWSUFS	FWCEPRC2.FSMACUFEF
VUF	VLAN 不明フィルタリング	FWEIS0i.LTWVUFS	FWCEPRC2.FVLANUFEF

(2) レイヤ 2 通常ディスクリプタ

レイヤ 2 通常ディスクリプタの作成では、宛先 MAC を基に MAC テーブルから読み出された MAC テーブルフィールドと、VLAN テーブルから読み出された VLAN テーブルフィールドのみが使用されます。表 30.57 にレイヤ 2 通常ディスクリプタのフィールドを示します。

表 30.57 レイヤ 2 通常ディスクリプタのフィールド

フィールド名 (FDESCR.)	MAC 宛先アドレスと VLAN ID の両方が見つかり、MAC.SL = VLAN.SL の場合の値	MAC 宛先アドレスのみが見つかるか、MAC 宛先アドレスと VLAN ID の両方が見つかり、MAC.SL & !VLAN.SL の場合の値	VLAN ID のみが見つかるか、MAC 宛先アドレスと VLAN ID の両方が見つかり、!MAC.SL & VLAN.SL の場合の値
DV	MAC.DV & VLAN.DV & ! FWPCi2.LTWFM	MAC.DV & !FWPCi2.LTWFM	VLAN.DV & !FWPCi2.LTWFM
SEC	MAC.SL	MAC.SL	VLAN.SL
CSD	MAC.CSD	MAC.CSD	VLAN.CSD
IPV	MAC.IPU が設定されている場合、MAC.IPV に設定 MAC.IPU が設定されていない、かつ VLAN.IPU が設定されている場合、VLAN.IPV に設定 MAC.IPU と VLAN.IPU の両方とも設定されていない場合、フレーム入力優先順位に設定（「30.5.1.4. ESWM フレーム入力優先順位」）	MAC.IPU が設定されている場合、MAC.IPV に設定 MAC.IPU が設定されていない場合は、フレーム入力優先順位に設定（「30.5.1.4. ESWM フレーム入力優先順位」）	VLAN.IPU が設定されている場合は、VLAN.IPV に設定 VLAN.IPU が設定されていない場合は、フレーム入力優先順位に設定（「30.5.1.4. ESWM フレーム入力優先順位」）
MINFO	図 30.97 と表 30.58 を参照	図 30.97 と表 30.58 を参照	図 30.97 と表 30.58 を参照
RV	0	0	0
RN	ALL0	ALL0	ALL0
SEQN	フレーム入力シーケンス番号に設定	フレーム入力シーケンス番号に設定	フレーム入力シーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—		FL2C[1:0]		FWDC[3:0]			
1	—							
2								

図 30.97　レイヤ 2 通常ディスクリプタの MINFO フォーマット

表 30.58　レイヤ 2 通常ディスクリプタの MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	レイヤ 2 通常ディスクリプタの場合、9 に固定
FL2C	2	転送レイヤ 2 コード	MAC 宛先アドレスと VLAN ID の両方が見つかり、MAC.SL = VLAN.SL の場合、0 に設定。 MAC 宛先アドレスのみが見つかるか、MAC 宛先アドレスと VLAN ID の両方が見つかり、MAC.SL & !VLAN.SL の場合、1 に設定。 VLAN ID のみが見つかるか、MAC 宛先アドレスと VLAN ID の両方が見つかり、!MAC.SL & VLAN.SL の場合、2 に設定。
—	- -	予約フィールド	0 に設定

(3)　レイヤ 2 例外ディスクリプタ

レイヤ 2 例外ディスクリプタのフィールドについて説明します。

表 30.59　レイヤ 2 例外ディスクリプタのフィールド

フィールド名 (FDESCR.)	値
DV	例外ディスクリプタは、GWCA 番号 FWCEPTC.EPCS（ポート番号 2 + FWCEPTC.EPCS）に転送される
SEC	FWCEPTC.EPSL
CSDj	FWCEPTC.EPCSD
IPV	FWCEPTC.EPIPV
MINFO	図 30.98 と表 30.60 を参照
RV	0
RN	ALL0
SEQN	フレーム入力シーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—				FWDC[3:0]			
1	NTF	SVUF	SSUF	SDUF	SVSPF	SSSPF	SDSPF	SNTF
2	—		VUF	SUF	DUF	VSPF	SSPF	DSPF

図 30.98　レイヤ 2 例外ディスクリプタの MINFO フォーマット

表 30.60 レイヤ 2 例外ディスクリプタの MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	レイヤ 2 例外ディスクリプタの場合、10 に固定
SNTF	1	セキュア無転送先フィルタリング	(1) L2 転送エラーを参照
SDSPF	1	セキュア宛先送信元ポートフィルタリング	(1) L2 転送エラーを参照
SSSPF	1	セキュア送信元送信元ポートフィルタリング	(1) L2 転送エラーを参照
SVSPF	1	セキュア VLAN 送信元ポートフィルタリング	(1) L2 転送エラーを参照
SDUF	1	セキュア宛先不明フィルタリング	(1) L2 転送エラーを参照
SSUF	1	セキュア送信元不明フィルタリング	(1) L2 転送エラーを参照
SVUF	1	セキュア VLAN 不明フィルタリング	(1) L2 転送エラーを参照
NTF	1	無転送先フィルタリング	(1) L2 転送エラーを参照
DSPF	1	宛先送信元ポートフィルタリング	(1) L2 転送エラーを参照
SSPF	1	送信元送信元ポートフィルタリング	(1) L2 転送エラーを参照
VSPF	1	VLAN 送信元ポートフィルタリング	(1) L2 転送エラーを参照
DUF	1	宛先不明フィルタリング	(1) L2 転送エラーを参照
SUF	1	送信元不明フィルタリング	(1) L2 転送エラーを参照
VUF	1	VLAN 不明フィルタリング	(1) L2 転送エラーを参照

30.5.2.6 ポートベースの転送

ポートベースの転送は、すべてのフレームをポートから他のポートに転送することを目的としています。FWPBFCi および FWPBFCSDCi0 レジスタを使用します。ポートベースの転送は、ポートベースの転送セキュアフローとポートベースの転送非セキュアフローに従ってフレームを転送します。

機能：

- ポート i から受信したフレームの転送情報を設定するために、FWPBFCi および FWPBFCSDCi0 レジスタを使用します。

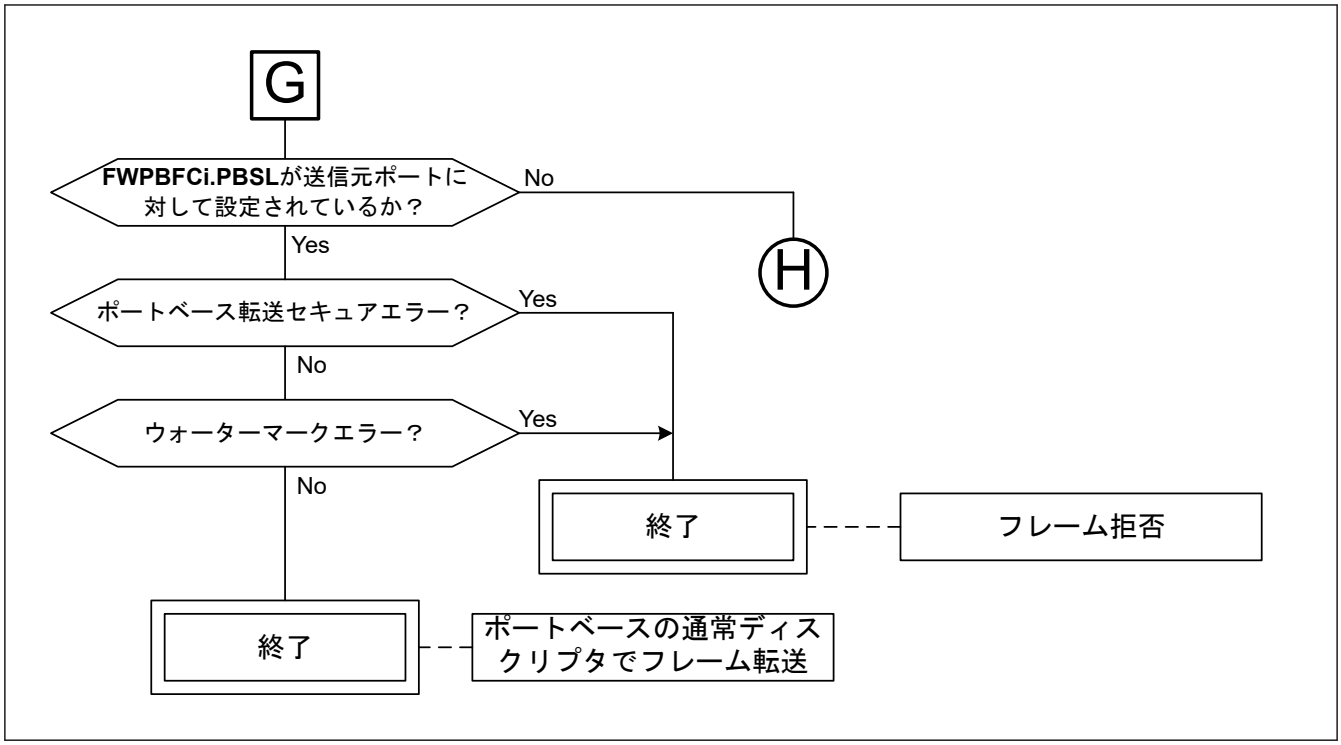


図 30.99　ポートベースの転送セキュアフロー

注.
- ポートベースの転送セキュアエラーについては、当該項で説明します。
- ウォーターマークエラーについては、(1) ウォーターマークエラーで説明します。
- リンク G は図 30.95 からリンクされています。
- リンク H は図 30.86 にリンクしています。

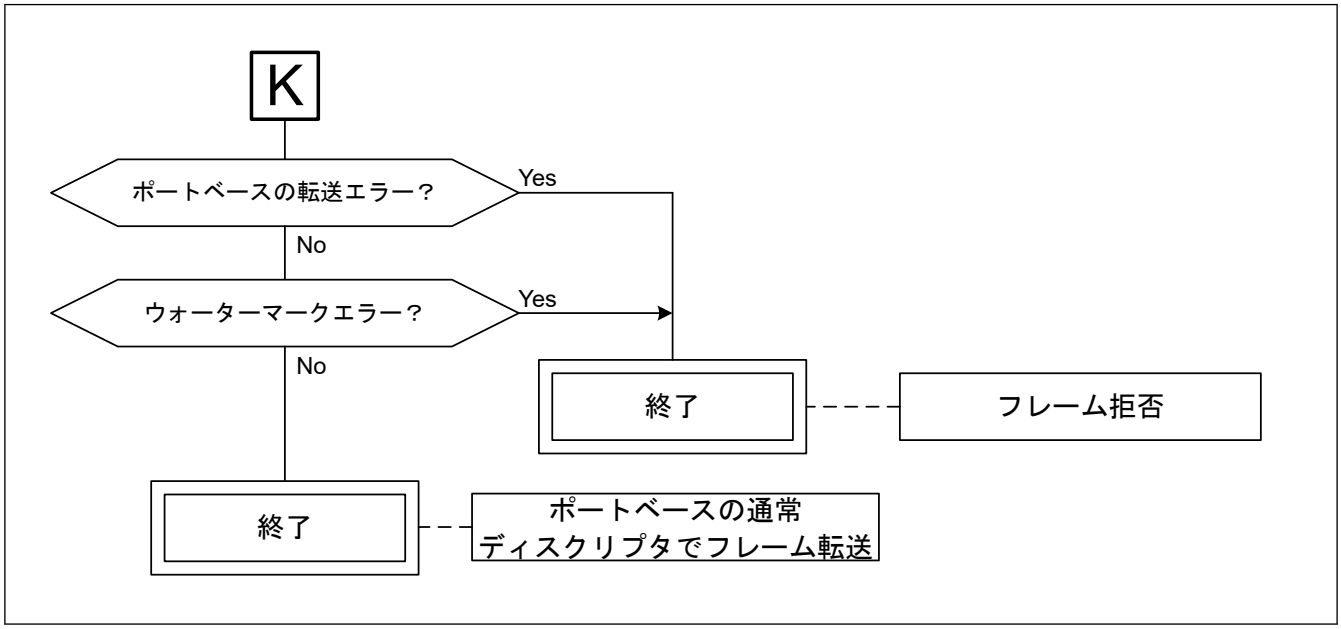


図 30.100　ポートベースの転送非セキュアフロー

注.
- ポートベースの転送エラーについては、(1) L2 転送エラーで説明します。
- ウォーターマークエラーについては、(1) ウォーターマークエラーで説明します。
- リンク K は図 30.96 からリンクされています。

30.5.2.6.1 ポートベースの転送エラー

表 30.61 で、ポートベースの転送エラーについて説明します。転送エンジンによって破棄する代わりに、対応するエラー例外ビットを設定することで、「30.5.2.6.3. ポートベースの例外ディスクリプタ」で説明しているポートベースの例外ディスクリプタを使用してエラーフレームを例外パスに転送できます。エラー設定条件については、対応するエラー割り込みレジスタの説明を参照してください。

表 30.61 ポートベースの転送エラー

エラー	エラー名	エラー割り込み	エラー例外ビット
ポートベースの転送セキュアエラー			
SNTF	セキュア無転送先フィルタリング	FWEIS0i.PBNTFS	FWCEPRC2.FPBNTFEF
ポートベースの転送エラー			
NTF	無転送先フィルタリング	FWEIS0i.PBNTFS	FWCEPRC2.FPBNTFEF

30.5.2.6.2 ポートベース通常ディスクリプタ

表 30.62 にポートベース通常ディスクリプタのフィールドを示します。

表 30.62 ポートベース通常ディスクリプタのフィールド

フィールド名 (FDESCR.)	値
DV	FWPBFCi.PBDV
SEC	FWPBFCi.PBSL
CSDj	FWPBFCSDCi0.PBCSD
IPV	FWPBFCi.PBIPU が設定されている場合、FWPBFCi.PBIPV に設定 FWPBFCi.PBIPU が設定されていない場合、フレーム入力優先に設定（「30.5.1.4. ESWM フレーム入力優先順位」）
MINFO	図 30.101 と表 30.63 を参照
RV	0
RN	ALL0
SEQN	フレーム入力シーケンス番号に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—				FWDC[3:0]			
1	—							
2								

図 30.101 ポートベース通常ディスクリプタの MINFO フォーマット

表 30.63 ポートベース通常ディスクリプタ MINFO フィールドの説明

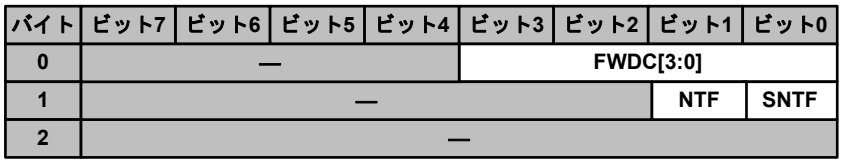
フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	ポートベース通常ディスクリプタの場合、11 に固定
—	—	予約フィールド	0 に設定

30.5.2.6.3 ポートベースの例外ディスクリプタ

表 30.64 で、ポートベースの例外ディスクリプタのフィールドについて説明します。

表 30.64 ポートベースの例外ディスクリプタのフィールド

フィールド名 (FDESCR.)	値
DV	例外ディスクリプタは、GWCA 番号 FWCEPTC.EPCS（ポート番号 2）に転送される
SEC	FWCEPTC.EPSL
CSDj	FWCEPTC.EPCSD
IPV	FWCEPTC.EPIPV
MINFO	図 30.102 と表 30.65 を参照
RV	0
RN	ALL0
SEQN	フレーム入力シーケンス番号に設定



バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—				FWDC[3:0]			
1	—						NTF	SNTF
2	—							

図 30.102 ポートベースの例外ディスクリプタの MINFO フォーマット

表 30.65 ポートベースの例外ディスクリプタ MINFO フィールドの説明

フィールド名 (FDESCR.)	ビット幅	フィールドの説明	値
FWDC	4	転送コード すべてのディスクリプタに存在し、転送タイプの識別が可能	ポートベースの例外ディスクリプタの場合、12 に固定
SNTF	1	セキュア無転送先フィルタリング	「30.5.2.6.1. ポートベースの転送エラー」を参照
NTF	1	無転送先フィルタリング	「30.5.2.6.1. ポートベースの転送エラー」を参照

30.5.2.7 レイヤ 2／レイヤ 3 更新

レイヤ 2／レイヤ 3 更新は、フレームを送信する前に更新することを目的としています。エージェントは、L23 更新インタフェースを使用して、転送エンジンから更新情報を取り込み、レイヤ 2／レイヤ 3 更新ルールに従ってフレームを自動的に更新します。フレームのレイヤ 2／レイヤ 3 更新情報の取り込みは、それぞれ L3.RV が設定されているレイヤ 3 転送／ルーティング／フィルタリングフレームに対して行われます。

レイヤ 2／レイヤ 3 更新は、以下の項目に分かれています。

- ルールフォーマット：ストリーム ID と共にテーブルに保存される情報を決定します。
- 学習：ソフトウェアによってレイヤ 2／レイヤ 3 更新ルールを追加／抑制する機能。
- 読み出し：ソフトウェアによってレイヤ 2／レイヤ 3 更新ルールを読み出す機能。
- ルールフェッチ：エージェントがレイヤ 2／レイヤ 3 更新ルールを読み出すために使用する機能。

30.5.2.7.1 ルールフォーマット

レイヤ 2／レイヤ 3 更新 RAM は、レイヤ 2／レイヤ 3 更新ルールを保存するために使用されます。レイヤ 2／レイヤ 3 更新ルールには、フレームルーティングの情報が含まれます。このテーブルのフィールドを引用する場合は、L23U.{フィールド名}と表記します。表 30.66 に、L3 ルールに含まれるフィールドを示します。

表 30.66 レイヤ 2／レイヤ 3 更新ルールフォーマット (1/2)

フィールド名	フィールドサイズ（ビット）	フィールドの説明
RPV	4	ルーティングポート有効。 値 ● ビット i を 0 に設定：ポート i にルーティングルールが適用されません。 ● ビット i を 1 に設定：ポート i にルーティングルールが適用されます。 機能： ● all0 に設定すると、このフィールドは対応するルーティングエントリを無効にします。Egress ポートの RPV が 0 の場合、フレームは更新されず、未変更で送信されます。
TTLU	1	TimeToLive 更新 機能： ● 本ビットがセットされ、対応するフレームが IPv4 フレームとして検出された場合、TTL フィールドは 1 デクリメントされ、それに応じてヘッダチェックサムが更新されます。 ● 本ビットがセットされ、対応するフレームが IPv6 フレームとして検出された場合、HopLimit フィールドは 1 デクリメントされます。
MDAU	1	MAC 宛先アドレス更新 機能： ● 本ビットがセットされた場合、ルールに対応するフレームの MAC アドレスは L23U.MDA に更新されます。
MSAU	1	MAC 送信元アドレス更新 機能： ● 本ビットがセットされた場合、ルールに対応するフレームの MAC アドレスは対応するエージェント MAC アドレスに更新されます。
CVIDU	1	C-tag VLAN ID 更新 機能： ● 本ビットがセットされた場合、ルールに対応するフレームの C-tag VLAN ID は L23U.CVID に更新されます。
CPCPU	1	C-tag PCP 更新 機能： ● 本ビットがセットされた場合、ルールに対応するフレームの C-tag PCP は L23U.CPCP に更新されます。
CDEIU	1	C-tag DEI 更新 機能： ● 本ビットがセットされた場合、ルールに対応するフレームの C-tag DEI は L23U.CDEI に更新されます。
SVIDU	1	S-tag VLAN ID 更新 機能： ● 本ビットがセットされた場合、ルールに対応するフレームの S-tag VLAN ID は L23U.SVID に更新されます。
SPCPU	1	S-tag PCP 更新 機能： ● 本ビットがセットされた場合、ルールに対応するフレームの S-tag PCP は L23U.SPCP に更新されます。
SDEIU	1	S-tag DEI 更新 機能： ● 本ビットがセットされた場合、ルールに対応するフレームの S-tag DEI は L23U.SDEI に更新されます。
RTU	2	R-TAG 更新 値 ● 00b：R-TAG なしで受信したフレームは R-TAG なしで転送され、R-TAG 付きで受信したフレームは FDESCR.SEQN シーケンス番号を含む R-TAG 付きで転送されます。 ● 01b：すべてのフレームは、FDESCR.SEQN シーケンス番号を含む R-TAG 付きで転送されます（シーケンス番号生成に使用。「30.5.3.2.2. シーケンス番号生成」を参照）。 ● 10b：すべてのフレームは、R-TAG なしで転送されます（除去後に R-TAG を除去するために使用。(1) ストリーム識別、FRER リカバリ、初期ストリームリカバリを参照）。
MDA	48	MAC 宛先アドレス 機能： ● MAC 宛先アドレスを更新するために使用されます。

表 30.66 レイヤ 2／レイヤ 3 更新ルールフォーマット (2/2)

フィールド名	フィールドサイズ（ビット）	フィールドの説明
CVID	12	C-tag VLAN ID 機能： ● C-tag VLAN ID を更新するために使用されます。
CPCP	3	C-tag PCP 機能： ● C-tag PCP を更新するために使用されます。
CDEI	1	C-tag DEI 機能： ● C-tag DEI を更新するために使用されます。
SVID	12	S-tag VLAN ID 機能： ● S-tag VLAN ID を更新するために使用されます。
SPCP	3	S-tag PCP 機能： ● S-tag PCP を更新するために使用されます。
SDEI	1	S-tag DEI 機能： ● S-tag DEI を更新するために使用されます。

30.5.2.7.2 SW 学習

学習は、レイヤ 2／レイヤ 3 更新ルールテーブルのエントリを追加／削除するために使用します。表 30.67 に、レイヤ 2／レイヤ 3 更新ルールテーブル内のエントリの学習に使用するレジスタを示します。表 30.68 に学習結果を示します。

表 30.67 レイヤ 2／レイヤ 3 更新ルール学習レジスタ (1/2)

レジスタ名	L23U テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWL23URL0.L23URNL	ルーティング番号学習	レイヤ 2／レイヤ 3 更新ルールテーブル内のエントリを学習するために使用するアドレス
FWL23URL0.L23URPVL	L23U.RPV	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23UTTLUL	L23U.TTLU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23UMDAUL	L23U.MDAU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23UMSAUL	L23U.MSAU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23UCVIDUL	L23U.CVIDU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23UCPCPUL	L23U.CPCPU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23UCDEIUL	L23U.CDEIU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23USVIDUL	L23U.SVIDU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23USPCPUL	L23U.SPCPU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23USDEIUL	L23U.SDEIU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23URTUL	L23U.RTU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL1.L23UMDALP0/ FWL23URL2.L23UMDALP1	L23U.MDA	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL3.L23UCVIDL	L23U.CVID	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL3.L23UCPCPL	L23U.CPCP	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL3.L23UCDEIL	L23U.CDEI	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL3.L23USVIDL	L23U.SVID	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URL3.L23USPCPL	L23U.SPCP	「30.5.2.7.1. ルールフォーマット」を参照

表 30.67 レイヤ 2／レイヤ 3 更新ルール学習レジスタ (2/2)

レジスタ名	L23U テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWL23URL3.L23USDEIL	L23U.SDEI	「30.5.2.7.1. ルールフォーマット」を参照

表 30.68 レイヤ 2／レイヤ 3 更新ルール学習結果

レジスタ名	L23U テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWL23URLR.L23ULF	学習失敗	学習失敗は、以下に示すいずれかの条件で発生します。 ● レイヤ 2／レイヤ 3 テーブルの準備ができていない（FWL23UTIM.L23UTR が設定されていない）

30.5.2.7.3 SW 読み出し

読み出しは、レイヤ 2／レイヤ 3 更新ルールテーブル内のエントリを読み出すために使用します。表 30.69 では、レイヤ 2／レイヤ 3 更新ルールテーブル内のエントリを読み出すために使用するレジスタを説明します。表 30.70 に、読み出し結果を示します。

表 30.69 レイヤ 2／レイヤ 3 更新ルール読み出しレジスタ

レジスタ名	L23U テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWL23URR.L23RNR	ルーティング番号読み出し	レイヤ 2／レイヤ 3 更新ルールテーブル内のエントリを読み出すために使用するアドレス

表 30.70 レイヤ 2／レイヤ 3 更新ルール読み出し結果

レジスタ名	L23U テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWL23URRR0.L23URPVL	L23U.RPV	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23UTTLUR	L23U.TTLU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23UMDAUR	L23U.MDAU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23UMSAUR	L23U.MSAU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23UCVIDUR	L23U.CVIDU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23UCPCPUR	L23U.CPCPU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23UCDEIUR	L23U.CDEIU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23USVIDUR	L23U.SVIDU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23USPCPUR	L23U.SPCPU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23USDEIUR	L23U.SDEIU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23URTUR	L23U.RTU	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR1.L23UMDARP0/ FWL23URRR2.L23UMDARP1/	L23U.MDA	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR3.L23UCVIDR	L23U.CVID	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR3.L23UCPCPR	L23U.CPCP	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR3.L23UCDEIR	L23U.CDEI	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR3.L23USVIDR	L23U.SVID	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR3.L23USPCPR	L23U.SPCP	「30.5.2.7.1. ルールフォーマット」を参照
FWL23URRR3.L23USDEIR	L23U.SDEI	「30.5.2.7.1. ルールフォーマット」を参照

30.5.2.7.4 HW 読み出し

ハードウェア読み出しは、フレームに対応するレイヤ 2／レイヤ 3 更新ルールをフェッチしてフレームを更新するために、エージェント[GWCA][ETHA]によって使用されます。レイヤ 2／レイヤ 3 更新を実行するため、読み出し結果は L23U.ERR と一緒にエージェントに提供されます。L23U.ERR は、対応するデータを拒否する必要があることをエージェントに通知するために使用されます。

30.5.2.7.5 ルーティング番号再マッピング機能

ルーティング番号再マッピング機能は、FWL23URMCi レジスタを使用して特定のポートのルーティング番号を変更するために使用します。それにより、各ポートで同じフレームに対して異なるルーティングルールを使用できます。複製中に（「30.5.3.2.1. 複製」）この機能を FRER に使用すると、複製したフレームをストリーム ID の異なる複数のポートを介して送信できます。

機能：

- FWL23URMCi.RME を設定すると、FDESCR.RV が設定され、FDESCR.RN が FWL23URMCi.RMRN に設定された状態でポート FWL23URMCi.RMDPN に送信されたフレームは、ルール番号 FWL23URMCi.RMNRN でルーティングされます。

30.5.3 フィルタリング

転送エンジンでは、以下の機能を使用してフレームフィルタリングとシェーピングが可能です。

- PSFP（Per Stream Filtering and Policing：ストリームごとのフィルタリングとポリシング）[802.1Qci]
- ATS（Asynchronous Traffic Shaping：非同期トラフィックシェーピング）[802.1Qcr]
- FRER（Frame Replication and Elimination for Reliability：信頼性のためのフレームの複製と除去）[802.1CB]

30.5.3.1 PSFP/ATS

PSFP 機能は、図 30.87 の転送フローに従って連続的に発生する 3 つの機能に分けられます。

- MSDU フィルタ
- メーターフィルタ／ATS

30.5.3.1.1 MSDU フィルタ

MSDU フィルタは FWPMFGCi レジスタを使用してフレームサイズをチェックすることを目的とし、FWEIS2 割り込みレジスタを使用して監視することができます。MSDU フィルタ i の MSDU フィルタリングフローは、図 30.103 で説明します。

機能：

- FWPMFGCi は、MSDU フィルタ番号 i の最大フレームサイズおよびモードを設定するために使用されます。
- FWEIS2 割り込みレジスタは、イーサネットディスクリプタがエラーのために拒否されたことを通知します。

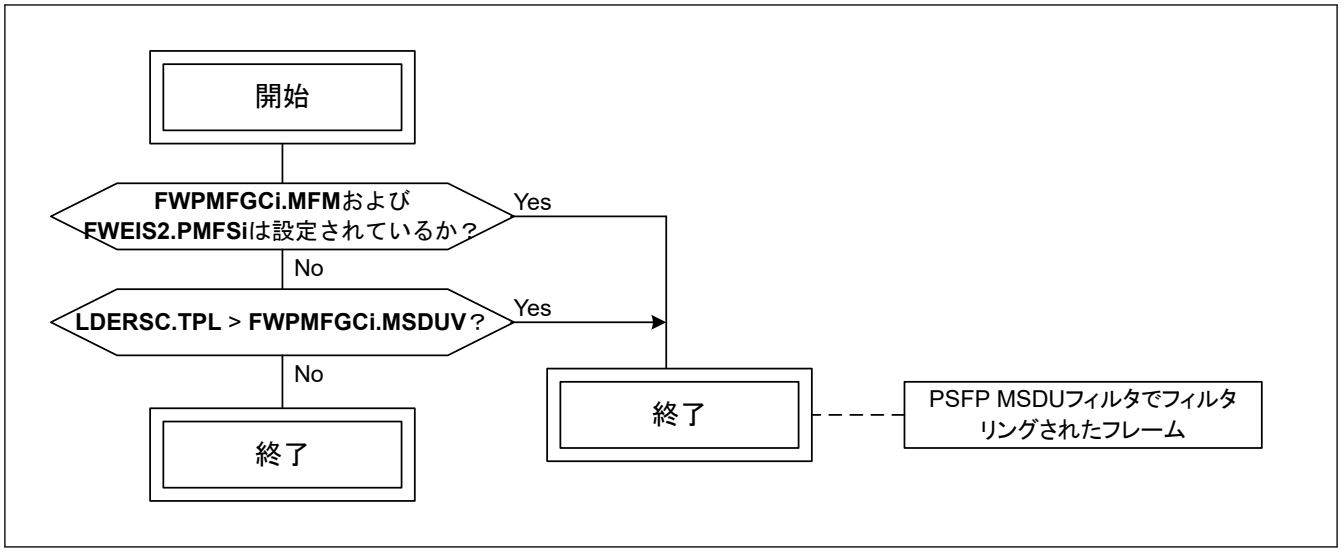


図 30.103　MSDU フィルタ i の MSDU フィルタリングフロー

30.5.3.1.2　メーターフィルタ／ATS

メーターフィルタは、ストリームスループットをチェックすること、または ATS で FWPMTRFCi、FWPMTRCBSCi、FWPMTRCIRCi、FWPMTREBSCi、FWPMTREIRCi レジスタを使用してストリームスループットを制御することを目的としています。このフィルタは、FWPMTRFMi レジスタと FWEIS5 割り込みレジスタを使用して監視できます。図 30.104 にメーター i のメーターフィルタリングフローを示します。

機能：

- FWPMTRFCi レジスタは、メーターフィルタ i モードを設定するために使用します。
- FWPMTRCBSCi および FWPMTRCIRCi レジスタは、メーターフィルタ i の緑色バケットを設定するために使用します。
- FWPMTREBSCi および FWPMTREIRCi レジスタは、メーターフィルタ i の黄色バケットを設定するために使用します。
- FWPMTRFMi は、ATS シェイパー i を監視するために使用します。
- FWEIS5 割り込みレジスタは、エラーのためにイーサネットディスクリプタが拒否されたことを通知します。

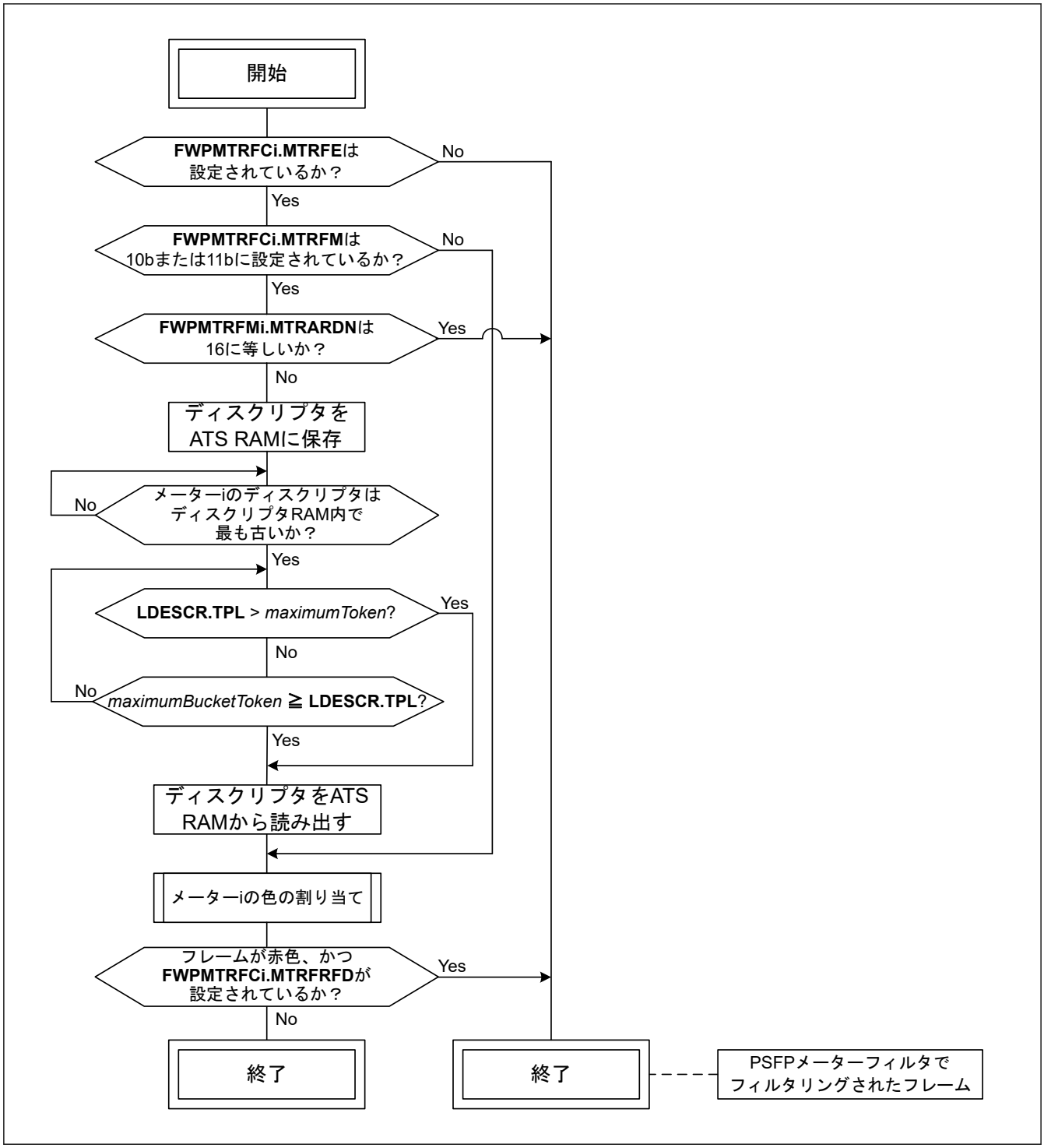


図 30.104　メーター i のメーターフィルタリングフロー

注.
- メーター i の色の割り当てについては、図 30.105 および図 30.106 を参照してください。
- 図 30.104 の *maximumToken* は、1 つのメーターの最大バケットに含めることができる最大トークン数です。ダブルバケットメーターの場合は、FWPMTRCBSCi と FWPMTREBSCi の間の最大値に対応し、シングルバケットメーターの場合は、FWPMTRCBSCi 値に対応します。「LDESCR.TPL [GWCA] > *maximumToken*」条件によって拒否されたフレームは、赤色としてマークされます。
- 図 30.104 の *maximumBucketToken* は、ダブルバケットの場合、黄色バケットに実際に含まれるトークン数と緑色バケットに実際に含まれるトークン数の間の最大数であり、シングルバケットの場合、緑色バケットに実際に含まれるトークン数です。
- 図 30.104 では、「FWPMTRFMi.MTRARDN が 16 に等しい」条件によって拒否されたフレーム（ATS ディスクリプタキューフルに該当するメーター）は、色を持ちません。

推奨事項：

- メーターにマップするすべての L3 ルールについて、メーターに対応する *maximumToken* 値以下の MSDU フィルタもマップすることを推奨します。これにより、FWEIS5.PMRFSi が設定されていれば、ATS モードでは ATS RAM オーバーフローが原因であり、他のモードでは最大スループット到達エラーが原因であり、フレームフォーマットエラー（対応するメーターに対してフレームが大きすぎる）が原因ではないことを認識できます。

(1) ダブルバケットメーター

ダブルバケットメーターは、フレームに色を付加することを目的としています。メーター番号 0 からメーター番号 7 までのメーターは、ダブルバケットメーターです。

(a) ダブルバケットの色の割り当て

図 30.105 にダブルバケットメーター i の色の割り当てフローを示します。

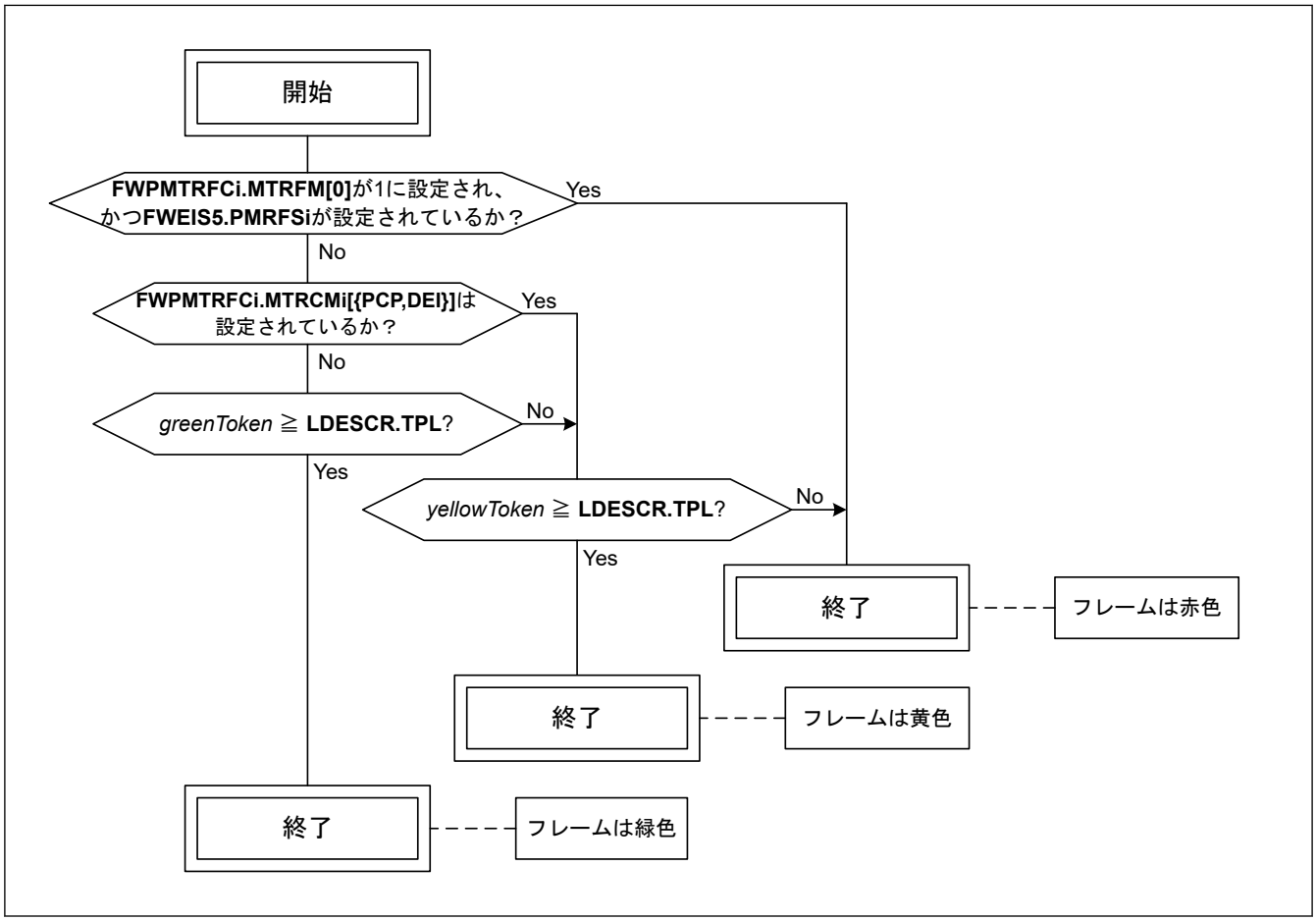


図 30.105 ダブルバケットメーター i の色の割り当てフロー

図 30.105 の場合：

- PCP および DEI は、**FWGC.SVM** が 10b に設定されている場合は、それぞれ受信フレームの S-TAG PCP 値および DEI 値であり、**FWGC.SVM** が 01b に設定されている場合は、C-TAG PCP 値および DEI 値であり、**FWGC.SVM** が 00b に設定されている場合は、000b と 0 です。
- *greenToken* は、緑色バケットに含まれるトークン数です。
- *yellowToken* は、黄色バケットに含まれるトークン数です。

(b) ダブルバケット設定

ダブルバケットの場合、緑色バケット（「Committed」または「C」バケット）と黄色バケット（「Excess」または「E」バケット）を設定する必要があります。カップリングフラグ、カラーモード、およびバケットの使用に関する詳しい説明は、MEF 標準[MEF10.3]を参照してください。式 (6) は、FWPMTRCIRCi.CIR および

FWPMTREIRCi.EIR で情報レートを設定する方法を示しています。FWPMTRCBSCi.CBS と FWPMTREBSCi.EBS は、それぞれ緑色および黄色フレームの想定される最大バーストサイズ（バイト単位）に設定する必要があります。

(6) *InformationRate[byte/cycle]* = *MaximumThroughput[bps]*/(8 × *clk_freq[Hz]*)

ここで、

- *InformationRate* は、FWPMTRCIRCi.CIR または FWPMTREIRCi.EIR レジスタに設定される値です。
- *MaximumThroughput[bps]*は、想定される最大スループットです。
- *clk_freq* は ESWCLK のクロック周波数です。

［例］

情報レート 200 Mbps およびシステムクロック 100 MHz に対してメーターをプログラムする場合：

InformationRate = ((200 × 1000000) / (8 × 100 × 1000000)) × 2^{16}

CIR[15:0]または EIR[15:0] = (0.25) × 2^{16} = 16384 (0x4000)

CIR[19:16]または EIR[19:16] = 0（下線付き整数）

(CIR × 2^{-16}) は、システムクロックごとに、コミットされたトークンバケットに追加されます。

情報レート 200 Mbps およびシステムクロック 320 MHz に対してメーターをプログラムする場合：

InformationRate = ((1000 × 1000000) / (8 × 320 × 1000000)) × 2^{16}

CIR[15:0]または EIR[15:0] = (0.078125) × 2^{16} = 5120 (0x1400)

CIR[19:16]または EIR[19:16] = 0（下線付き整数）

(CIR × 2^{-16}) は、システムクロックごとに、コミットされたトークンバケットに追加されます。

注.
- HW：DropOnYellow は、PSFP では使用できません。黄色フレームの破棄機能を実現するには、黄色バケットの *InformationRate* FWPMTREIRCi.EIR および FWPMTREBSCi.EBS を 0 に設定する必要があります。これにより、すべての黄色フレームは赤色および破棄対象としてマークされます。

(2) シングルバケットメーター

シングルバケットメーターは、フレームに色を付加することを目的としています。メーター番号 8 からメーター番号 31 までのメーターは、シングルバケットメーターです。

(a) シングルバケットの色の割り当て

図 30.106 にシングルバケットメーター i の色の割り当てフローを示します。

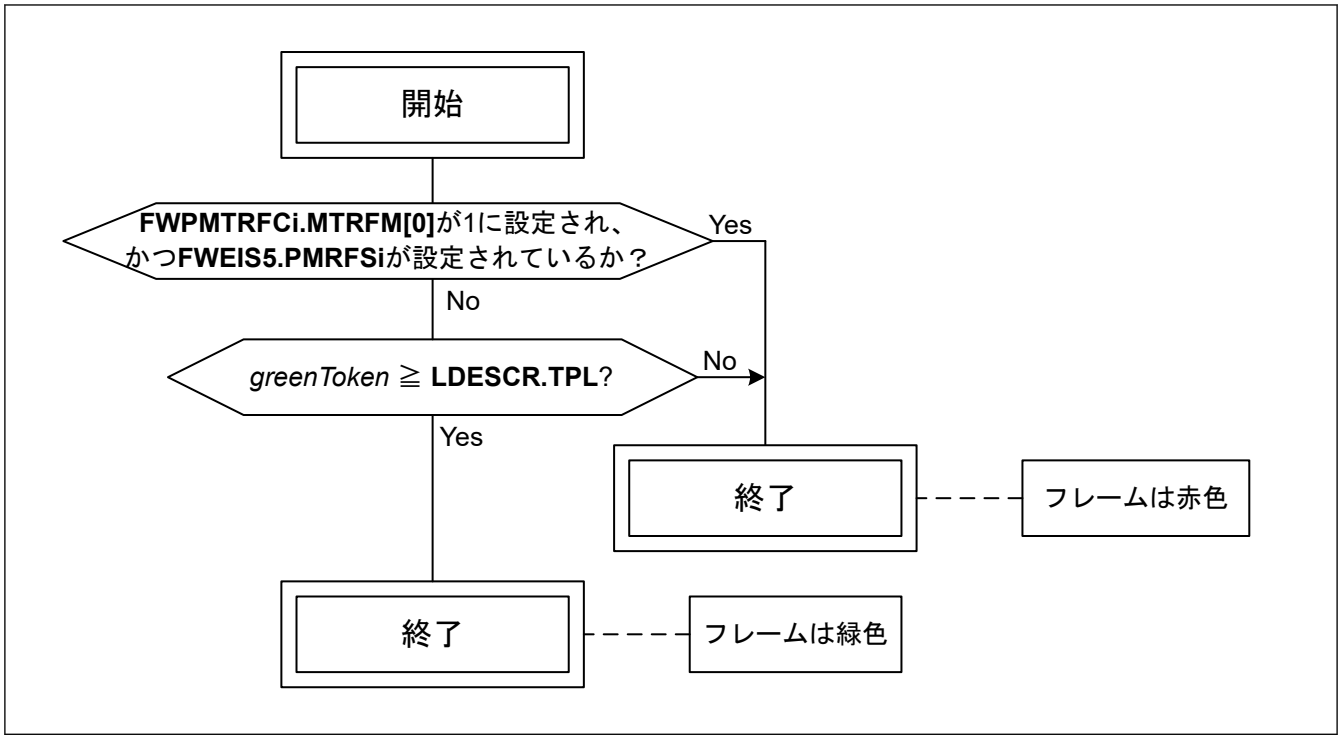


図 30.106　シングルバケットメーター i の色の割り当てフロー

図 30.106 の場合：

- *greenToken* は、緑色バケットに含まれるトークン数です。

(b) シングルバケット設定

シングルバケットは、ダブルバケットの緑色バケットとして設定する必要があります。(b) ダブルバケット設定を参照してください。

30.5.3.2　FRER

FRER 機能は、独立して発生する 3 つの機能に分かれています（同時に使用することもできます）。

- 複製
- シーケンス番号生成
- 除去

注.
- SW：潜在的エラー検出は、HW では実装されないため、SW で FWFRPPCNi および FWFRDPCNi カウンタを使用して実装する必要があります。

30.5.3.2.1　複製

FRER 複製機能は、同じフレームを異なるストリームで異なるポートに送信するために使用されます。そのためには、レイヤ 3 転送／ルーティング／フィルタリング（「30.5.2.4. レイヤ 3 転送／ルーティング／フィルタリング」）とレイヤ 2／レイヤ 3 更新機能（「30.5.2.7. レイヤ 2／レイヤ 3 更新」）を使用する必要があります。

レイヤ 3 転送／ルーティング／フィルタリングは、受信 FRER ストリームを複数のポートにマルチキャストし、FRER ストリームをルーティング番号にマッピングするために使用されます。レイヤ 3 テーブルを使用して、ポート 2 からのフレームをポート 0 とポート 1 へマルチキャストし、対応するストリームをルーティング番号 5 にマッピングする例を表 30.71 に示します。

表 30.71　複製のためのレイヤ 3 テーブル設定 (1/2)

フィールド名 L3	値	説明
SLV	100b	必須ではありませんが、対応するストリームがポート 2 からのみ来ていることを確認してください。

表 30.71 複製のためのレイヤ 3 テーブル設定 (2/2)

フィールド名 L3	値	説明
DV	011b	フレームをポート 0 およびポート 1 に送信します
RV	1	ルーティングを許可します
RN	5	レイヤ 2／レイヤ 3 更新ルール番号 5 にストリームをマッピングします

異なるストリーム ID でフレームを送信し、ストリーム更新のためのルールと新しいフィールドを学習できるように、レイヤ 2／レイヤ 3 ルールの再マッピングを使用して、ポートの 1 つのルーティング番号 L3.RN を再マッピングします。表 30.72 に、ポート 1 のレイヤ 2／レイヤ 3 更新ルール番号が、8.2.8.5 ルーティング番号再マッピングルール番号 4 でルール番号 8 に再マッピングされる例を示します。表 30.73 に、FRER のレイヤ 2／レイヤ 3 更新ルールの設定例を示します。

表 30.72 レイヤ 2／レイヤ 3 更新ルール番号再マッピング

レジスタ名	値	説明
FWL23URMC4.RME	1	ルール番号再マッピングを有効にします
FWL23URMC4.RMRN	5	ルール番号 5 を再マッピングします
FWL23URMC4.RMDPN	1	ポート 1 からのルーティングアクセス時に再マッピングします
FWL23URMC4.RMNRN	8	ルールをルール番号 8 に再マッピングします

表 30.73 レイヤ 2／レイヤ 3 更新ルール設定

フィールド名 L23U	ルール 5 の値	ルール 8 の値	説明
RPV	001b	001b	各ルールは対応するポートに使用されます
TTLU	0	0	TimeToLive を更新しません（ユーザー定義）
MDAU	1	1	宛先 MAC アドレスを更新します（ユーザー定義）
MSAU	0	0	送信元 MAC アドレスを更新しません（ユーザー定義）
CVIDU	1	1	C-TAG を更新します（ユーザー定義）
CPCPU	1	1	C-TAG を更新します（ユーザー定義）
CDEIU	1	1	C-TAG を更新します（ユーザー定義）
SVIDU	0	0	S-TAG を更新しません（ユーザー定義）
SPCPU	0	0	S-TAG を更新しません（ユーザー定義）
SDEIU	0	0	S-TAG を更新しません（ユーザー定義）
RTU	00b または 01b	00b または 01b	複製されたストリームが Ingress 時に R-TAG を含む場合、00b に設定します 複製されたストリームが Ingress 時に R-TAG を含まない場合、01b に設定します（「30.5.3.2.2. シーケンス番号生成」）
MDA	MAC0	MAC1	ルールごとに新しい MAC アドレスを設定します（ユーザー定義）
CVID	VLAN0	VLAN1	ルールごとに新しい VLAN ID を設定します（ユーザー定義）
CPCP	PCP0	PCP1	ルールごとに新しい PCP を設定します（ユーザー定義）
CDEI	DEI0	DEI1	ルールごとに新しい DEI を設定します（ユーザー定義）
SVID	0x0	0x0	S-TAG を更新しません（ユーザー定義）
SPCP	000b	000b	S-TAG を更新しません（ユーザー定義）
SDEI	0	0	S-TAG を更新しません（ユーザー定義）

30.5.3.2.2 シーケンス番号生成

FRER シーケンス番号生成は、複製時に連続するシーケンス番号を生成し（複製については、「30.5.3.2.1. 複製」を参照）、ストリーム内の対応するフレームに FWSEQNGCi および FWSEQNRC を使用して挿入するために使用します。この機能は FWSEQNGMi を使用して監視できます。

機能：

- FWSEQNGCi レジスタは、シーケンス生成を有効にするために使用します。有効な場合は、FWSEQNGCi.SEQNGRN をルーティング番号として転送されるフレームは、シーケンス番号 (FDESCR.SEQN) が FWSEQNGMi.SEQN に設定されます。
- FWSEQNGMi レジスタは、シーケンス番号生成ルール i によって使用される次のシーケンス番号を監視するために使用します。
- FWSEQNRC.SEQNR は、シーケンス番号生成ルール i によって使用される次のシーケンス番号を 16'b0 にリセットするために使用します。

注.
- SW：シーケンス番号生成は、除去と一緒に使用しないでください。
- PSFP によって拒否されたフレームのシーケンス番号は、シーケンス番号生成によって更新されません。

30.5.3.2.3 除去

FRER 除去の目的は、FRER ストリームを識別すること（レイヤ 3 転送／ルーティング／フィルタリング、「30.5.2.4. レイヤ 3 転送／ルーティング／フィルタリング」）、ストリームの整合性を検証すること（FRER 個別リカバリ、(e) 個別リカバリアルゴリズム）、重複フレームを除去すること（FRER シーケンスリカバリ、(f) シーケンスリカバリアルゴリズム）、ストリームのストリーム ID をリカバリすること（レイヤ 2／レイヤ 3 更新機能、「30.5.2.7. レイヤ 2／レイヤ 3 更新」）、個別リカバリまたはシーケンスリカバリのアルゴリズムがスタックしているかどうかチェックすること（タイムアウト機能、(3) タイムアウト）です。FRER 除去は、FWFTL0/1/R、FWFTOC、および FWFTOPC レジスタを使用します。また、FWFTIM および FWFTR/RR0/RR1/RR2 レジスタと、FWEIS60/61/62/63、FWEIS70/71/72/73、FWEIS80/81/82/83 の各割り込みレジスタを使用して監視できます。

機能：

- FWFTL0/1/R レジスタは、FRER テーブルのエントリをセット／リセットするために使用されます。
- FWFTOC および FWFTOPC レジスタは、タイムアウト機能を設定するために使用されます。
- FWFTIM レジスタは、FRER テーブルを使用前にリセットするために使用されます。
- FWFTR/RR0/RR1/RR2 レジスタは、FRER テーブルの FRER エントリを監視するために使用されます。
- FWEIS60/61/62/63、FWEIS70/71/72/73、FWEIS80/81/82/83 割り込みレジスタは、FRER 除去中にエラーが発生したことを通知します。

注.
- SW：シーケンス番号生成は、除去と一緒に使用しないでください。

(1) ストリーム識別、FRER リカバリ、初期ストリームリカバリ

この項では、さまざまな機能の依存関係と設定について例を挙げて説明します。この例では、0 と 1 の 2 つのストリームがそれぞれポート 0 とポート 1 からスイッチに入り、整合性チェックでは個別のリカバリアルゴリズムを通過し、重複排除では同じシーケンスリカバリアルゴリズムを通過する必要があります。除去されたストリームは、ストリーム ID が新しいものに更新され、ポート 2 に転送されます。

ストリームの識別は、レイヤ 3 転送／ルーティング／フィルタリング機能によって行われます（「30.5.2.4. レイヤ 3 転送／ルーティング／フィルタリング」）。L3 テーブルは、対応する FRER 個別リカバリの個別リカバリアルゴリズムに各ストリームをマッピングするために使用されます。また、ストリーム ID をリカバリするためのレイヤ 2／レイヤ 3 更新ルールにストリームをマッピングするためにも使用されます。表 30.74 の例では、ストリーム 0 とストリーム 1 はそれぞれ、個別リカバリのために FRER エントリ番号 15 と 23 にマッピングされ、ストリーム ID リカバリのために両方のストリームがルーティングルール番号 5 にマッピングされます。

表 30.74 除去のためのレイヤ 3 テーブル設定 (1/2)

フィールド名 L3	ストリーム 0 の値	ストリーム 1 の値	説明
SLV	001b	010b	必須ではありませんが、各ストリームが対応する送信元ポートから来ていることを確認してください。
DV	100b	100b	同じシーケンスリカバリアルゴリズムのすべてのストリームは、このポートを対象にします
FRERV	1	1	FRER 個別リカバリ
FRERN	15	23	すべてのストリームは、異なる個々のリカバリアルゴリズムを対象にします

表 30.74 除去のためのレイヤ 3 テーブル設定 (2/2)

フィールド名 L3	ストリーム 0 の値	ストリーム 1 の値	説明
RV	1	1	ルーティングを許可します
RN	5	5	同じシーケンスリカバリアルゴリズムのすべてのストリームは、ストリーム ID リカバリのために同じレイヤ 2／レイヤ 3 更新ルールを対象にします

その後、FRER テーブルは、ストリーム 0 と 1 の個別リカバリアルゴリズムをシーケンスリカバリアルゴリズムにマッピングするために使用され、すべてのリカバリアルゴリズムを設定するために使用されます。表 30.75 に、シーケンスリカバリのために個々のリカバリアルゴリズムが FRER エントリ番号 67 にマッピングされている例を示します。

表 30.75 シーケンスリカバリのための FRER テーブル設定

フィールド名 FRER	FRER エントリ番号 15 の値	FRER エントリ番号 23 の値	FRER エントリ番号 67 の値	説明
SRPV	1	1	0	個別リカバリアルゴリズムでシーケンスリカバリを有効にします
SRP	67	67	All0	シーケンスリカバリエントリ番号

レイヤ 2／レイヤ 3 更新機能は、フレーム内の出力ストリーム ID をリカバリするために使用されます。表 30.76 に、FRER のレイヤ 2／レイヤ 3 更新ルールの設定例を示します。

表 30.76 レイヤ 2／レイヤ 3 更新ルール設定

フィールド名 L23U	ルール 5 の値	説明
RPV	100b	対象ポートに設定します
TTLU	0	TimeToLive を更新しません（ユーザー定義）
MDAU	1	宛先 MAC アドレスを更新します（ユーザー定義）
MSAU	0	送信元 MAC アドレスを更新しません（ユーザー定義）
CVIDU	1	C-TAG を更新します（ユーザー定義）
CPCPU	1	C-TAG を更新します（ユーザー定義）
CDEIU	1	C-TAG を更新します（ユーザー定義）
SVIDU	0	S-TAG を更新しません（ユーザー定義）
SPCPU	0	S-TAG を更新しません（ユーザー定義）
SDEIU	0	S-TAG を更新しません（ユーザー定義）
RTU	00b または 01b	出力ストリームが Ingress R-TAG を含む必要がある場合は、00b に設定します 出力ストリームが R-TAG なしで送信される必要がある場合は、10b に設定します
MDA	MAC0	ルールごとに新しい MAC アドレスを設定します（ユーザー定義）
CVID	VLAN0	ルールごとに新しい VLAN ID を設定します（ユーザー定義）
CPCP	PCP0	ルールごとに新しい PCP を設定します（ユーザー定義）
CDEI	DEI0	ルールごとに新しい DEI を設定します（ユーザー定義）
SVID	0x0	S-TAG を更新しません（ユーザー定義）
SPCP	000b	S-TAG を更新しません（ユーザー定義）
SDEI	0	S-TAG を更新しません（ユーザー定義）

この項では 1 つの例のみを紹介しました。同じような設定を使用することで、以下のような処理が可能です。

- 同じストリーム ID を持つ Ingress ストリーム 1 つのみと出力ストリーム 1 つを使用して、個別リカバリのみを適用する
- 3 つ以上の入力ストリームを除去に使用する
- 除去後に複数の出力ストリームを使用する（FRER 複製を適用する。「30.5.3.2.1. 複製」）

(2) FRER テーブル

FRER テーブルは、リカバリアルゴリズムに使用される設定や情報を保存するために使用されます。

FRER テーブルは以下の項目に分かれています。

- ルールフォーマット：FRER テーブルに保存される情報を決定します
- SW 学習：FRER テーブルの FRER エントリを設定する機能。
- SW 読み出し：FRER テーブルの FRER エントリを読み出す機能。

(a) ルールフォーマット

FRER テーブルは、FRER エントリを保存するために使用されます。FRER エントリには、情報リカバリアルゴリズムが含まれています。このテーブルのフィールドを引用する場合は、FRER.{フィールド名}と表記します。表 30.77 に、FRER エントリに含まれるフィールドを示します。

表 30.77 FRER エントリのフォーマット

フィールド名	フィールドサイズ（ビット）	フィールドの説明
SHL	4	シーケンス履歴長 値 ● 0: リカバリー致アルゴリズム ● 0 以外の i: リカバリベクタアルゴリズム、履歴長 i + 1
SH	15	シーケンス履歴: 機能: ● リカバリアルゴリズムのシーケンス履歴を保存するために使用
RSN	16	リカバリシーケンス番号 機能: ● リカバリアルゴリズムの最後の最高シーケンス番号（モジュロ 2^{16}）を保存するために使用
TNS	1	シーケンスなしを使用 値 ● 0: R-TAG なし（LDESCR.RTGI [GWCA]が設定されていない）で受信したフレームは拒否される ● 1: R-TAG なし（LDESCR.RTGI [GWCA]が設定されていない）で受信したフレームは転送される
SRPV	1	シーケンスリカバリポインタの有効性 値 ● 0: 個別リカバリにこのエントリを使用した後は、シーケンスリカバリが行われない ● 1: 個別リカバリにこのエントリを使用した後は、FRER エントリ番号 FRER.SRP を使用してシーケンスリカバリが行われる
SRP	7	シーケンスリカバリポインタ 機能: ● シーケンスリカバリに使用する FRER エントリの番号を設定 注. シーケンスリカバリに使用したエントリは、個別リカバリには使用できません。そのため、FRER.SRPV 設定時に FRER.SRT にリカバリ番号を設定した場合、L3.FRERV 設定時に L3.FRERN に同じ番号を設定することはできません。
SRRT	10	リカバリ残りティックの設定 機能: ● タイムアウトまでの時間（ティック単位、1 ティックは FWFTOC.TOCE） ● このレジスタを All0 に設定すると、対応するエントリのタイムアウト機能は無効になる
RRT	10	リカバリ残りティック 機能: ● タイムアウトエラーを検出するためにタイムアウト機能で使用

(b) SW 学習

学習は、FRER テーブルのエントリをセット／リセットするために使用されます。表 30.78 に、FRER テーブル内のエントリの学習に使用されるレジスタを示します。表 30.79 に学習結果を示します。エントリをリセットするには、ソフトウェアが同じエントリを再度学習する必要があります。

表 30.78 FRER エントリ学習レジスタ

レジスタ名	I23u テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWFTL0.FEAL	エントリ学習アドレス	FRER テーブルで学習する必要があるエントリ番号に対応します
FWFTL1.FSHLL	FRER.SHL	(a) ルールフォーマットを参照
レジスタなし 学習中は All0 に設定 (TakeAny)	FRER.SH	(a) ルールフォーマットを参照
レジスタなし 学習中は All1 に設定	FRER.RSN	(a) ルールフォーマットを参照
FWFTL1.FTNSL	FRER.TNS	(a) ルールフォーマットを参照
FWFTL1.FSRPVL	FRER.SRPV	(a) ルールフォーマットを参照
FWFTL0.FSRPL	FRER.SRP	(a) ルールフォーマットを参照
FWFTL1.FSRRTL	FRER.SRRT	(a) ルールフォーマットを参照
レジスタなし 学習中は All0 に設定	FRER.RRT	(a) ルールフォーマットを参照

表 30.79 FRER エントリ学習結果

レジスタ名	FRER テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWFTLR.FLF	学習失敗	学習失敗は、以下に示すいずれかの条件で発生します。 • FRER テーブルが準備できていない（FWFTIM.FTR が設定されていない）

(c) SW 読み出し

学習は、FRER テーブルのエントリを読み出すために使用されます。表 30.80 に、FRER テーブル内のエントリの読み出しに使用されるレジスタを示します。表 30.81 に、読み出し結果を示します。

表 30.80 FRER エントリ読み出しレジスタ

レジスタ名	I23u テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWFTR.FEAR	エントリ読み出しアドレス	FRER テーブルから読み出す必要があるエントリ番号に対応します

表 30.81 FRER エントリ学習結果

レジスタ名	I23u テーブル内のフィールド名／対応するフィールド	フィールドの説明
FWFTRR0.FSHLR	FRER.SHL	(a) ルールフォーマットを参照
FWFTRR1.FSHR	FRER.SH	(a) ルールフォーマットを参照
FWFTRR2.FRSNR	FRER.RSN	(a) ルールフォーマットを参照
FWFTRR0.FTNSR	FRER.TNS	(a) ルールフォーマットを参照
FWFTRR0.FSRPVR	FRER.SRPV	(a) ルールフォーマットを参照
FWFTRR0.FSRPR	FRER.SRP	(a) ルールフォーマットを参照
FWFTRR0.FSRRTR	FRER.SRRT	(a) ルールフォーマットを参照
FWFTRR2.FRRTR	FRER.RRT	(a) ルールフォーマットを参照

(d) リカバリアルゴリズム

個別リカバリまたはシーケンスリカバリのアルゴリズムは、どちらも一致リカバリアルゴリズムまたはベクタリカバリアルゴリズムのいずれかを使用して実行することができます。エントリに対して、対応する FRER.SHL フィールドに All0 を設定することで、一致リカバリアルゴリズムを選択することができます。その他の値が設定されている場合は、ベクタリカバリアルゴリズムが選択されます。

一致リカバリアルゴリズムは、ストリームがスタックした（同じシーケンス番号で 2 つのフレームを連続して受信した）場合にのみ使用されます。

ベクタリカバリアルゴリズムは、最後に受け付けた最高シーケンスリカバリ番号から所定の範囲 (±FRER.SHL) 内のすべてのパケットを受け付けることによって、ストリームシーケンスをチェックするために使用されます。また、このアルゴリズムは、この範囲内でシーケンス番号が複数回受信されないことを保証します。

(e) 個別リカバリアルゴリズム

個別リカバリ一致アルゴリズムとベクタアルゴリズムは、それぞれ図 30.107 と図 30.108 で説明されています。これらの図にある変数 *Delta* は、Ingress フレームシーケンス番号から FRER.RSN までの距離です（この数値はオーバーフローを考慮し、[-32767:32768]の範囲に含まれる必要があります）。

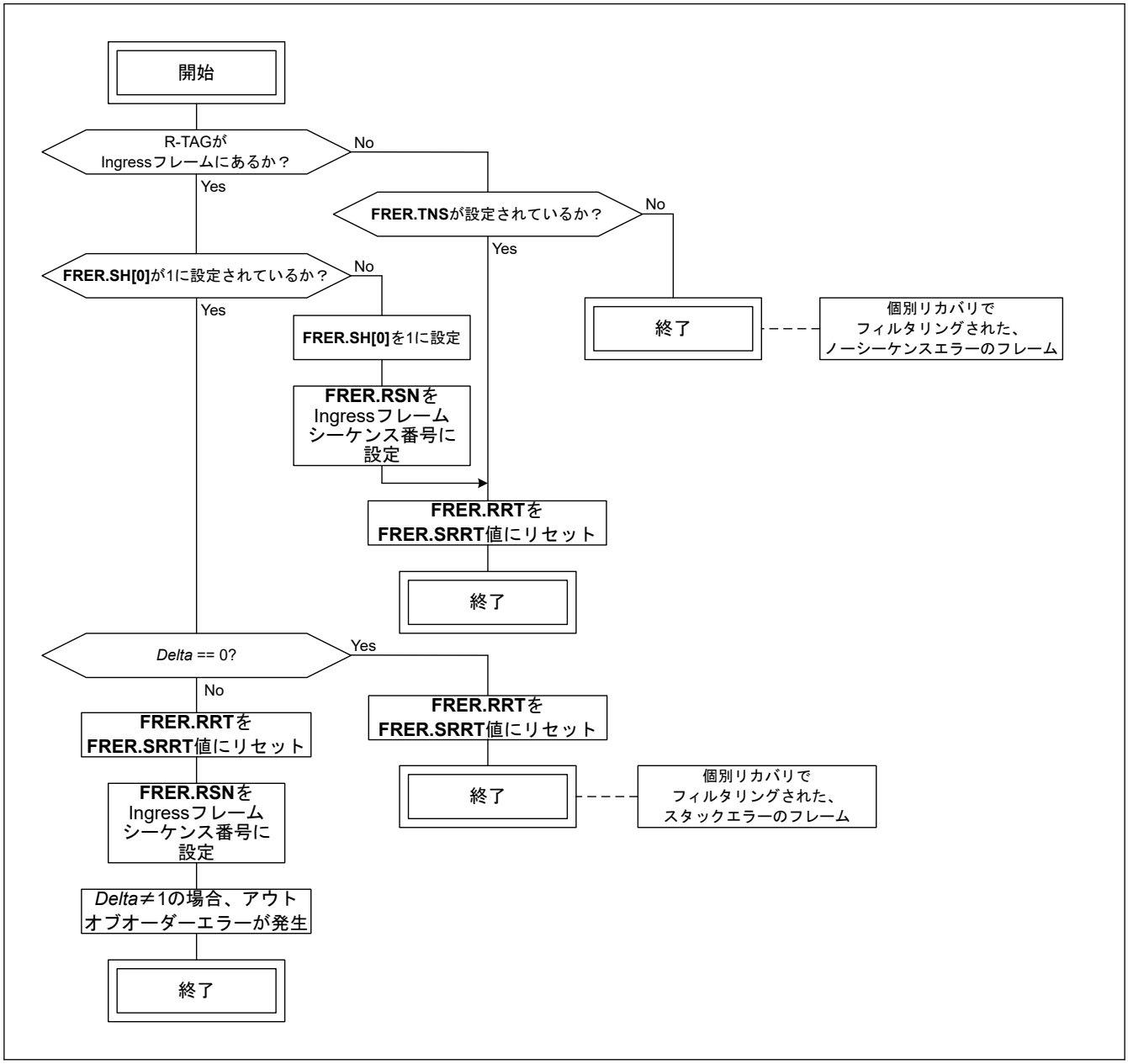


図 30.107　個別リカバリー致アルゴリズム

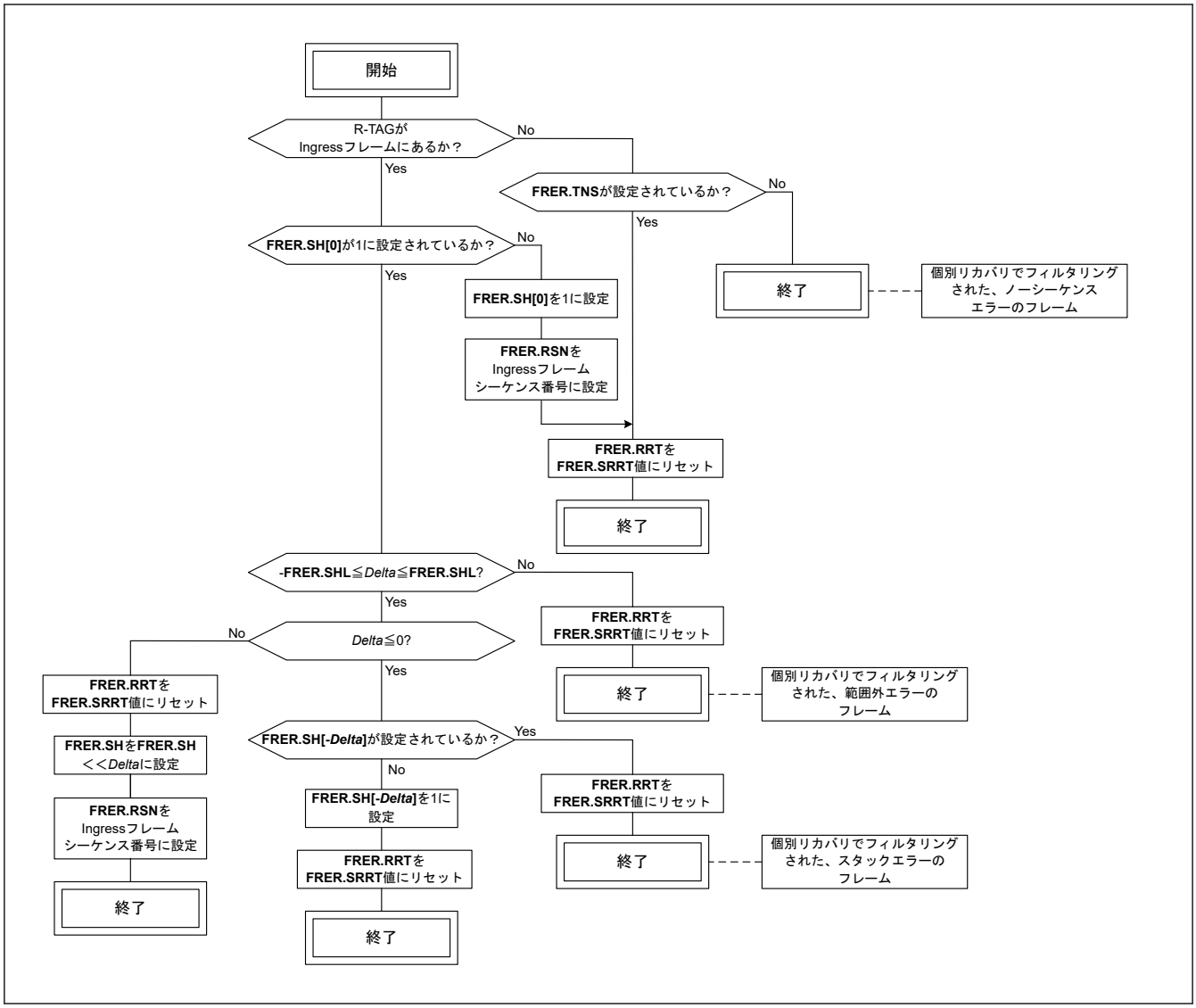


図 30.108　個別リカバリベクタアルゴリズム

注.　リカバリ長が 14 より小さい場合でも、FRER テーブルに保存されたシーケンス履歴には 14 までの履歴が含まれます。ベクタリカバリアルゴリズムは、無駄なビットを無視します。

(f) シーケンスリカバリアルゴリズム

シーケンスリカバリ一致アルゴリズムとベクタアルゴリズムは、それぞれ図 30.109 と図 30.110 で説明されています。これらの図にある変数 *Delta* は、Ingress フレームシーケンス番号から FRER.RSN までの距離です（この数値はオーバーフローを考慮し、[-32767:32768]の範囲に含まれる必要があります）。

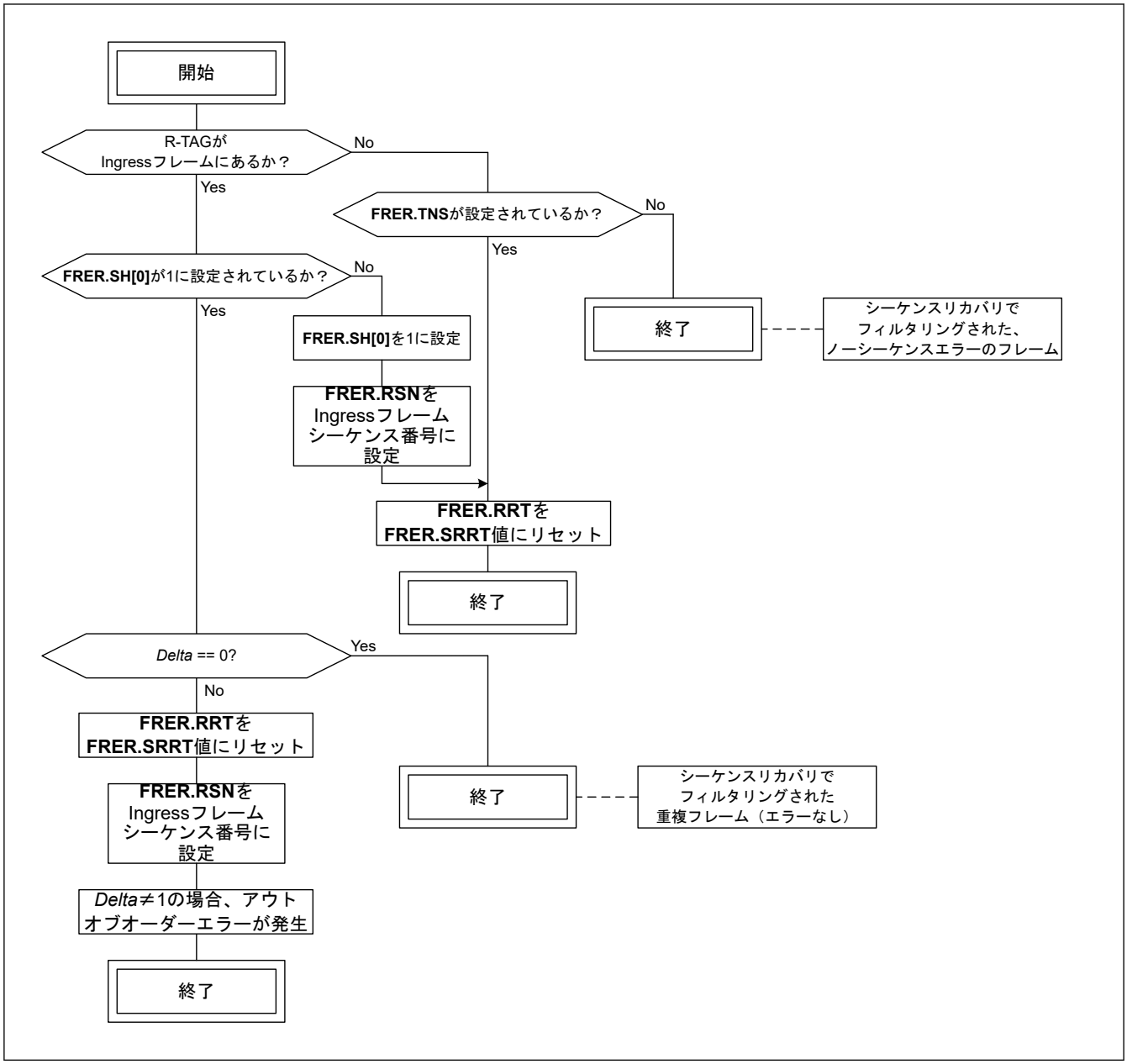


図 30.109　シーケンスリカバリー致アルゴリズム

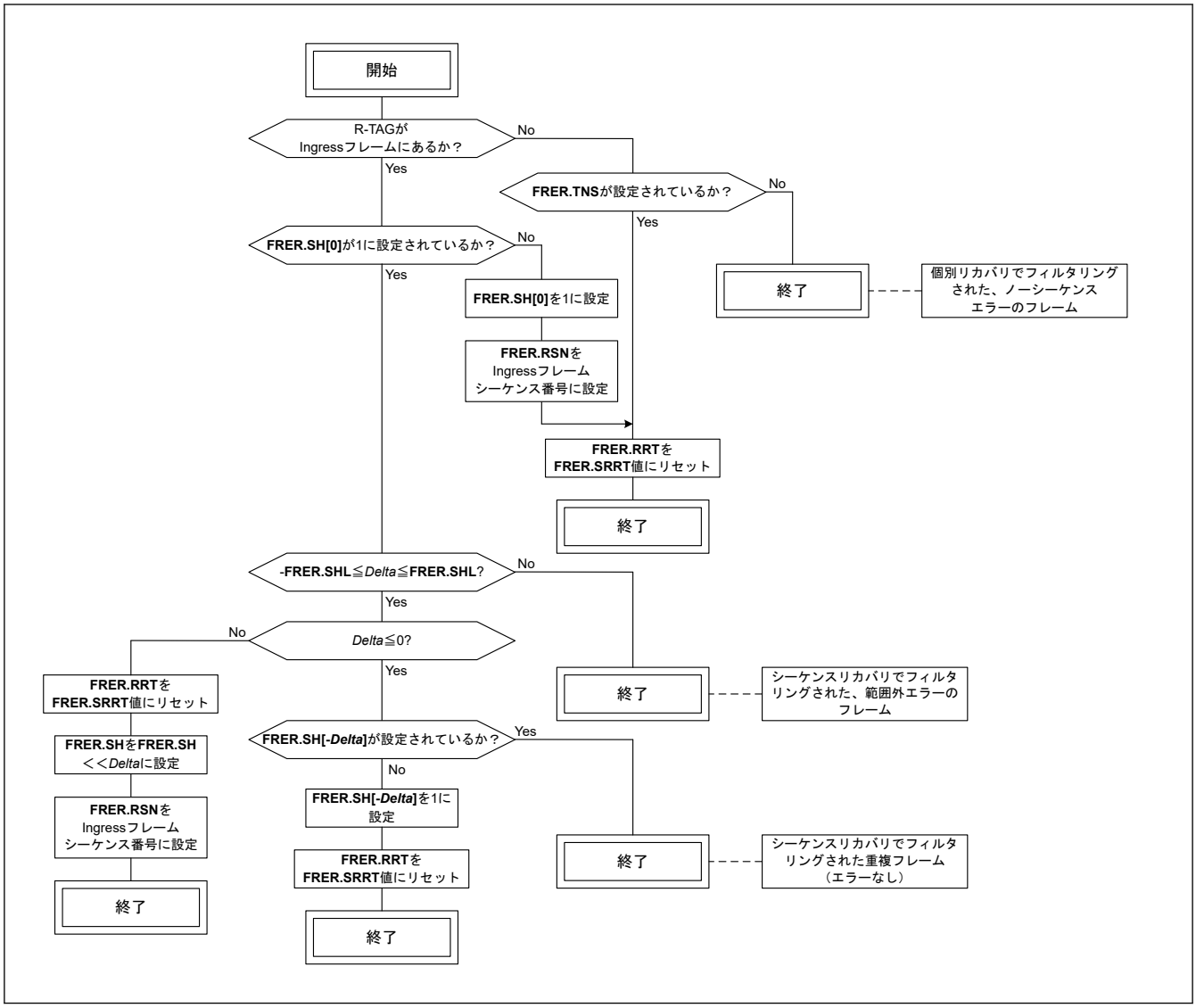


図 30.110　シーケンスリカバリベクタアルゴリズム

注.　リカバリ長が 14 より小さい場合でも、FRER テーブルに保存されたシーケンス履歴には 14 までの履歴が含まれます。ベクタリカバリアルゴリズムは、無駄なビットを無視します。

(3)　タイムアウト

タイムアウト機能は、ある時間以降、リカバリアルゴリズムがフレームを通過せず、スタックしている可能性があるためにリセットされるべきタイミングを検出することを目的としています。タイムアウト機能フローでは、タイムアウト機能が有効な場合（FWFTOC.TOCE を 1 に設定）について説明します。このフローは、すべての FRER エントリで発生します。

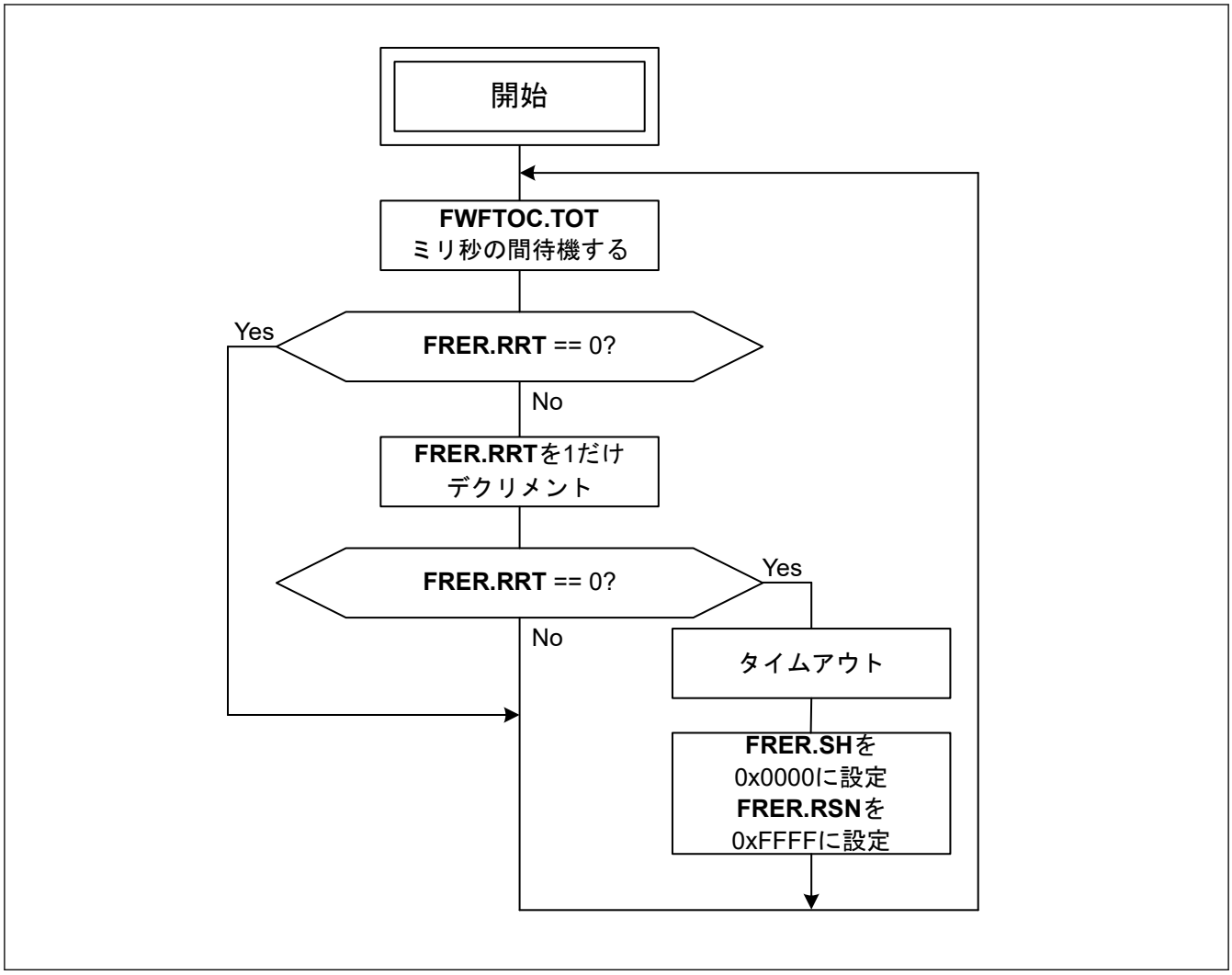


図 30.111　タイムアウト機能フロー

30.5.4　ファブリック (MFAB)

ファブリックバス (MFAB) は、イーサネットエージェント[ETHA]、イーサネット共通エージェント[COMA]、イーサネット CPU エージェント[GWCA]、ローカル RAM、TAG RAM、ポインタ RAM、およびイーサネットメッセージ転送エンジン[MFWD]の間でデータを交換するために使用される内部バスです。

表 30.82 に、ファブリックの特長を示します。

表 30.82　ファブリック特長リスト (1/2)

機能		詳細
全体としての機能	データ転送	• データを転送し、RAM にアクセスする機能
データプロビジョン		• ファブリック用のデータ • 初期フレームデータ + 中間データ + 最終フレームデータ + フレーム記述子 • データ幅：128 + 48 + 9 ビット

表 30.82 ファブリック特長リスト (2/2)

機能		詳細
制御機能	タイムアービター	• タイムクリティカルエージェント[ETHA]間のデータバスのアービトレーション。アービトレーションスキームは、各タイムクリティカルエージェント[ETHA] PHY リンク／内部速度によって異なります。
	アービトレーション	• タイムクリティカルエージェント[ETHA]の LRU、スローエージェント[GWCA]、およびイーサネット共通エージェント[COMA]エラー読み出し要求のアービトレーション。 • 読み出し／書き込みバスアービトレーションについてのスローエージェント[GWCA]間の LRU。 • タイムアービター、エラー LRU、スロー LRU 間のアービトレーションなど、厳格な優先順位。 • 優先順位：タイムアービター > スロー LRU > エラー LRU
	RAM アクセス	• RAM の読み書き機能
	書き込みリクエストを転送エンジンに転送	• ETHA エージェント[ETHA]または GWCA [GWCA]から送信された書き込みリクエストを転送エンジンに転送する機能。

図 30.112 にファブリックインタフェースプロトコルを示します。

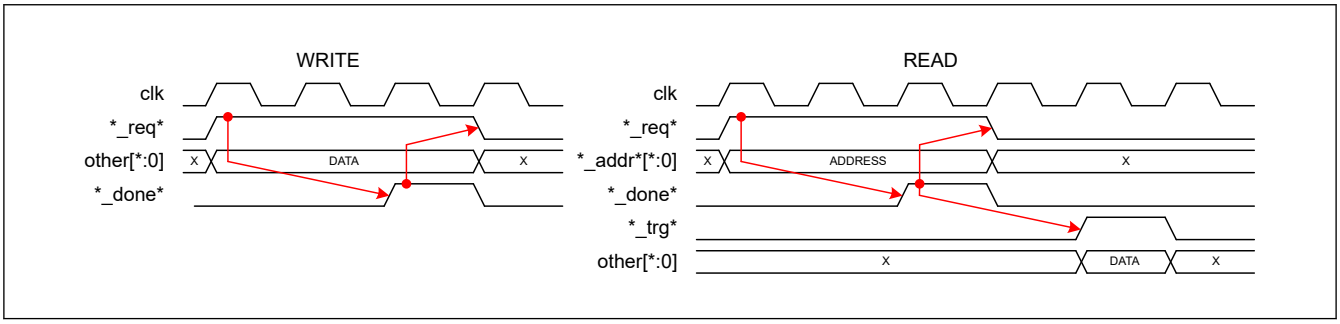


図 30.112 ファブリックインタフェースプロトコル

30.5.4.1 ファブリックタイムアービター

タイムアービターは、リンク速度に応じてイーサネットエージェント[ETHA]書き込み／読み出しバスの完了信号を制御します。

リンクが高速であればあるほど、対応するエージェントはローカル RAM にアクセスすることができます。

エージェント完了信号ディストリビューション

表 30.83 に、PHY リンク速度の可能な組み合わせに応じた完了信号ディストリビューションをリストします。無効化されたエージェントの doneSignalDistributionValue は 0 になります。

表 30.83 PHY リンク速度の組み合わせによる完了信号出力比

OPERATION モードのタイムクリティカルエージェント[ETHA]の PHY リンク速度	doneSignalDistributionValue [cycle]
1 つのエージェントのみ有効	1
すべてのエージェントの PHY リンク速度が同じ	1
100 Mbps : 1 Gbps	1 : 10

完了信号パターン

図 30.113 は、完了信号パターンの例を示しています。ここで、タイムクリティカルポート 0 には 100 Mbps リンクがあり、タイムクリティカルポート 1 には 1 Gbps リンクがあります。対応する完了信号がアサートされるべきタイミングでリクエスト信号がアサートされないと、完了信号はアサートされず、ハンドシェイクは行われません。図 30.113 では、リクエスト信号は常にアサートされ、完了パターンが見えるようになりますが、現実のシステムでは、リクエスト信号はいつでもアサートされることがあります。

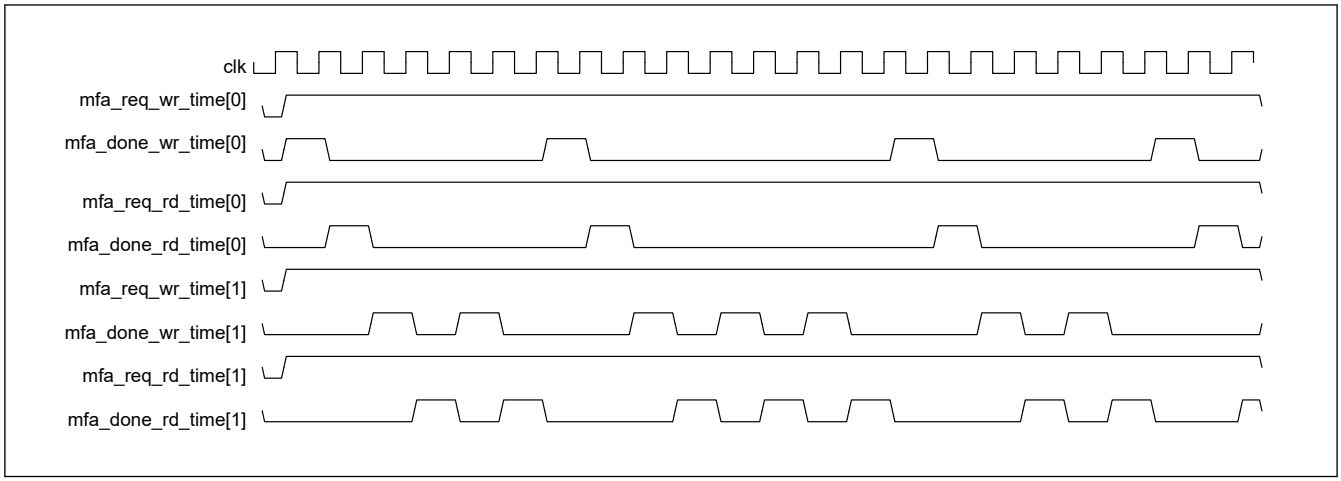


図 30.113　完了信号パターンの例

完了信号のパターンには、常に重視される固有のプロパティがあります。

- 静的構成の場合、完了パターンは周期的であり、式 (4) で記述されている一定の周期 *doneCycleClk* を持ちます。
- 任意の場所から始まる doneCycleClk クロックの期間中、タイムクリティカルなエージェントは、読み出しバスと書き込みバスの両方について、関連する完了信号ディストリビューション値（表 30.83）に等しい多数の完了信号を受信します。

(4) doneCycleClk [cycle] = (Σ_2 doneSignalDistributionValue [cycle]) × 2

ここで、

- Σ_2 doneSignalDistributionValue は、OPERATION モード doneSignalDistributionValue（表 30.83）のすべてのタイムクリティカルエージェントの合計です。

制限事項：

- HW：完了信号は、OPERATION モード[ETHA]のイーサネットエージェントにのみ与えられます。
- HW：タイムクリティカルポート i[ETHA]について未知のリンク速度が設定された場合 (mfa_xmii_speed[3 × (i + 1) - 1:3 × i] > 101b [RMAC])、ファブリックはポート i を無効とみなし、ポート i はタイムアービターにアクセスできなくなります。

ファブリックジッタ

イーサネットエージェントがファブリックタイムアービターを使用してデータを読み出すとき、ファブリックによる読み出しプロセスで一定のジッタが発生するため、TAS [802.1Qbv]または PSFP [802.1Qci]を使用するときには考慮に入れる必要があります。ファブリックジッタは、エージェントについて、式 (6) を使用して計算できます。

(6) fabricJitter [ns] = (⌈ doneCycleClk[cycle] / doneSignalDistributionValue[cycle] ⌉ + (PortTimeOperation[number] - 1) × 2) × clk_period [ns]

ここで、

- doneCycleClk は完了信号パターンで詳しく述べられています。
- doneSignalDistributionValue は、エージェント完了信号ディストリビューションで詳述されているエージェント値に対応します
- PortTimeOperation は、OPERATION モードのイーサネットエージェントの数です。
- clk_period は、クロック (clk) 期間です。

制約事項：

- SW：ファブリックジッタの式では、OPERATION モードのイーサネットエージェント[ETHA]の数と doneCycleClk も考慮されます。事実、エージェントを有効化／無効化したり、エージェント PHY 速度を変更したりすると、ファブリックジッタ値に大きな影響があります。ただし、TAS [802.1Qbv]または PSFP

[802.1Qci]ジッタを OPERATION で再構成することは推奨されないオプションであり、OPERATION モードのイーサネットエージェントの最大数と対応する最大 PHY 速度を求めて、エージェントあたりの最悪のファブリックジッタを計算し、それを常に同じ値に保つ必要があります。

ファブリックの最小レイテンシ

イーサネットエージェントがファブリックタイムアービターを使用してデータを読み出すとき、ファブリックによる読み出しプロセスで一定のレイテンシが発生するため、TAS [802.1Qbv]または PSFP [802.1Qci]を使用するときには考慮に入れる必要があります。ファブリックの最小レイテンシは、エージェントについて、式 (7) を使用して計算できます。

(7) fabricLatency [ns] = (⌊ doneCycleClk [cycle] / doneSignalDistributionValue [cycle] ⌋ - 1) × clk_period [ns]

ここで、

- doneCycleClk は完了信号パターンで詳しく述べられています。
- doneSignalDistributionValue は、エージェント完了信号ディストリビューションで詳述されているエージェント値に対応します
- clk_period は、クロック (clk) 期間です。

制約事項：

- SW：fabricLatency 式は、doneCycleClk を配慮します。事実、エージェントを有効化／無効化したり、エージェント PHY 速度を変更したりすると、ファブリックレイテンシ値に大きな影響があります。ただし、OPERATION で TAS [802.1Qbv]または PSFP [802.1Qci]レイテンシを再構成することはお勧めしません。イーサネットエージェントが無効な場合、または OPERATION 中に PHY 速度が変更された場合は、fabricLatency を 2 × clk_period [ns]に設定し、最悪のケースで計算された fabricLatency 値を fabricJitter に追加することをお勧めします。
- SW：ポートのプリエンプションが有効なときには、fabricLatency を 0 ns に設定し、すべてのエージェントが有効なときの fabricLatency の計算値を fabricJitter に追加してください。

30.5.4.2 送信元ポートの生成

ファブリックは、各エージェントがアクセスするバスに応じて、自動的に送信元ポート番号を与えます。エージェントによってアクセスされたバスとその送信元ポート番号の関係を表 30.84 に示します。

表 30.84 送信元ポート番号の割り当て

エージェントがファブリックにアクセスするためのバス	送信元ポート番号
ETHA0	0
ETHA1	1
GWCA0	2

31. イーサネット共通エージェント (COMA)

31.1 概要

イーサネット共通エージェント (COMA) は、他のエージェントの共通機能の収集を目的とした ESWM のエージェントです。COMA は、APB から SFR へのバス変換、拒否されたフレームのバッファポインタリリース、ローカル RAM のポインタ処理を行います。イーサネット共通エージェント構成のためのソフトウェアが必要です。

表 31.1 に COMA の仕様を、図 31.1 にブロック図を示します。

表 31.1 COMA の仕様

項目	機能	説明
全体としての機能	ポインタ管理	• ローカル RAM ポインタおよびそのディストリビューションを管理します
	APB から SFR	• APB バスを SFR バスに変換します • SFR アクセスを他のスイッチ IP に分配します
	ディスクリプタ拒否	• エージェントで送信に使用されていないディスクリプタを拒否します
データプロビジョン	ファブリックエラーバス	• エラーバスを通してファブリックから受信したポインタ
	ディスクリプタバス	• MFWD から受信して拒否したディスクリプタ
制御機能	RAM アクセス	• RAM の読み書き機能

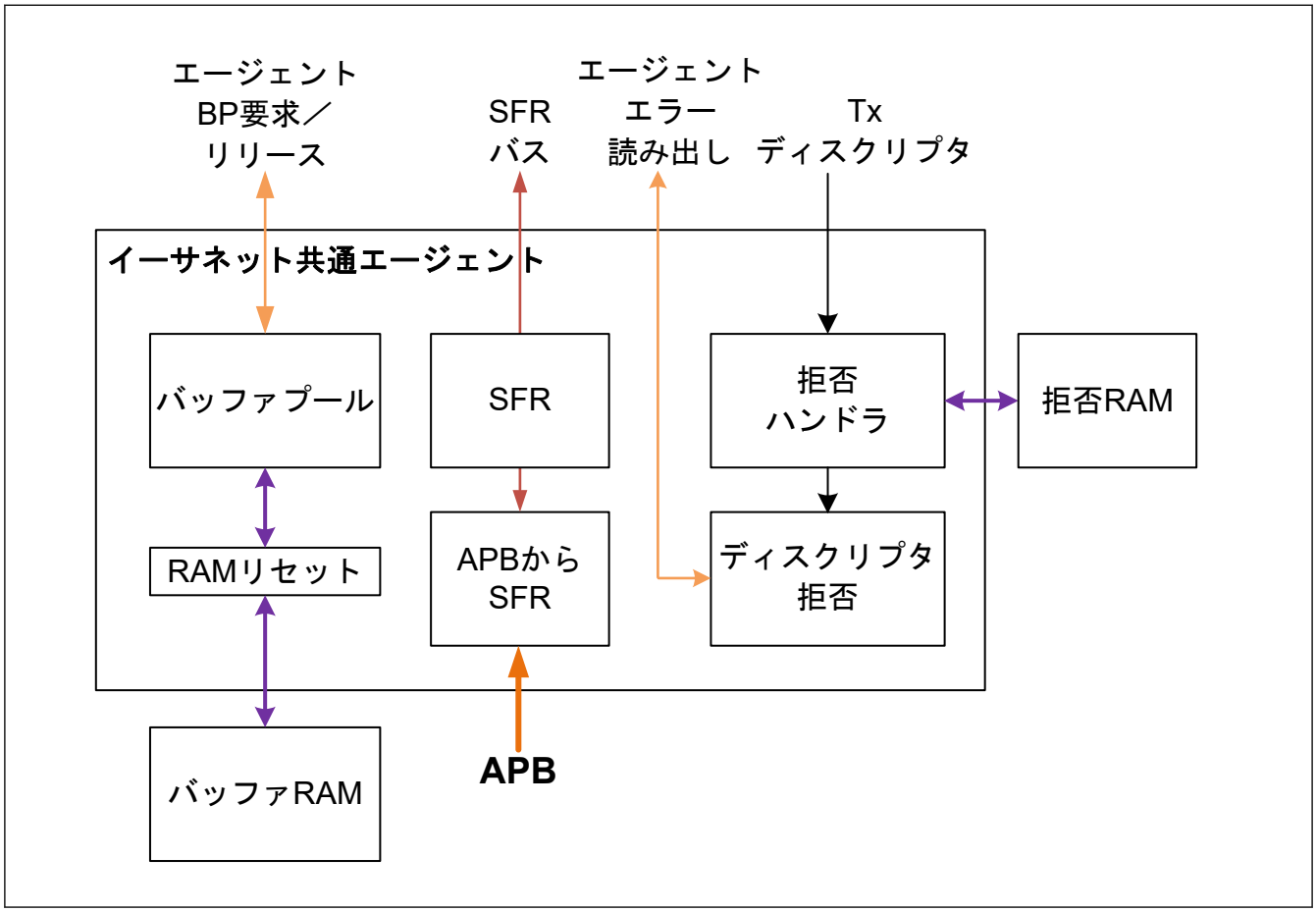


図 31.1 COMA のブロック図

表 31.2 COMA の機能ブロック (1/2)

ブロック名	機能
APB から SFR	ESWM 内の IP ごとに APB バスを SFR バスに変換します

表 31.2 COMA の機能ブロック (2/2)

ブロック名	機能
SFR	イーサネット共通エージェント SFR
拒否ハンドラ	拒否するディスクリプタを転送エンジンから受信して、拒否 RAM に保存します
ディスクリプタ拒否	ディスクリプタを拒否します
フリーバッファプール	フリーバッファポインタを処理します
RAM リセット	RAM リセットを処理します

31.2 COMA のレジスター覧

表 31.3 COMA のレジスタ (1/2)

オフセットアドレス	レジスタシンボル	レジスタ名
0x0000	RIPV	IP バージョンレジスタ
0x0004	RRC	リセットコンフィグレーションレジスタ
0x0008	RCEC	クロック許可コンフィグレーションレジスタ
0x000C	RCDC	クロック禁止コンフィグレーションレジスタ
0x0020 + 0x04 × i	CABPIBWMCi	バッファプール IPV ベースのウォーターマークコンフィグレーションレジスタ i (i = 0～7)
0x0040	CABPWMLC	バッファプールウォーターマークレベルコンフィグレーションレジスタ
0x0050 + 0x04 × i	CABPPFLCi	バッファポインタ Pause フレームレベル i コンフィグレーションレジスタ (i = 0, 1)
0x0060 + 0x04 × i	CABPPWMLCi	ポート i バッファプールウォーターマークレベルコンフィグレーションレジスタ i (i = 0～2)
0x00A0 + 0x04 × (i × 2 + j)	CABPPPFLCij	ポート i バッファポインタ Pause フレームレベル j コンフィグレーションレジスタ (i = 0～2) (j = 0, 1)
0x0100 + 0x04 × i	CABPULCi	ポート i バッファポインタ使用率レベルコンフィグレーションレジスタ i (i = 0～2)
0x0140	CABPIRM	バッファプール初期化レジスタ監視レジスタ
0x0144	CABPPCM	バッファプールポインタカウント監視レジスタ
0x0148 E: 0x014C	CABPLCM	バッファプールポインタ最小カウント監視レジスタ
0x0180 + 0x04 × i	CABPCPMi	ポート i バッファポインタカウント監視レジスタ (i = 0～2)
0x0200 + 0x04 × i E: 0x0280 + 0x04 × i	CABPMCPMi	ポート i バッファポインタ最大カウント監視レジスタ (i = 0～2)
0x0300	CARDNM	拒否ディスクリプタ数監視レジスタ
0x0304 E: 0x0308	CARDMNM	拒否ディスクリプタ最大数監視レジスタ
0x0310 E: 0x0314	CARDCN	拒否ディスクリプタカウンタレジスタ
0x0400	CAEIS0	エラー割り込みステータスレジスタ 0
0x0404	CAEIE0	エラー割り込み許可レジスタ 0
0x0408	CAEID0	エラー割り込み禁止レジスタ 0
0x0410	CAEIS1	エラー割り込みステータスレジスタ 1
0x0414	CAEIE1	エラー割り込み許可レジスタ 1
0x0418	CAEID1	エラー割り込み禁止レジスタ 1
0x0440	CAMIS0	監視割り込みステータスレジスタ 0
0x0444	CAMIE0	監視割り込み許可レジスタ 0
0x0448	CAMID0	監視割り込み禁止レジスタ 0
0x0450	CAMIS1	監視割り込みステータスレジスタ 1

表 31.3 COMA のレジスタ (2/2)

オフセットアドレス	レジスタシンボル	レジスタ名
0x0454	CAMIE1	監視割り込み許可レジスタ 1
0x0458	CAMID1	監視割り込み禁止レジスタ 1

注. ベースアドレス： COMA = 0x403C_90000, COMA_NS = 0x503C_90000
注. 先頭に「E:」が付いているアドレスはエミュレーションアドレスに対応し、内容を変更せずにレジスタを読み出すことができます。

31.3 COMA レジスタの説明

31.3.1 ESWM レジスタ

31.3.1.1 RIPV : IP バージョンレジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	CAIPV[3:0]				FBIPV[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EAIPV[3:0]				FWIPV[3:0]				GWIPV[3:0]				TIPV[3:0]			
Value after reset:	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1

ビット	シンボル	機能	R/W
3:0	TIPV[3:0]	トップモジュールの IP バージョン番号	R
7:4	GWIPV[3:0]	ゲートウェイ CPU エージェントの IP バージョン番号	R
11:8	FWIPV[3:0]	転送エンジンの IP バージョン番号	R
15:12	EAIPV[3:0]	イーサネットエージェントの IP バージョン番号	R
19:16	FBIPV[3:0]	ファブリックバスの IP バージョン番号	R
23:20	CAIPV[3:0]	イーサネット共通エージェントの IP バージョン番号	R
31:24	—	読むと 0 が読めます。	R

31.3.1.2 RRC : リセットコンフィグレーションレジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RR	ソフトウェアリセット 0: ESWM リセットしない 1: ESWM リセット	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RR ビット（ソフトウェアリセット）

- このビットを設定すると、APB インタフェースを除いてすべての ESWM がリセットされます。
- 同期リセット RCC.RR は電力を消費します。そのため、内部的に 7 クロックサイクルのみアサートされます
- 同期リセットは、ハードウェアリセット解除後も内部的に 7 クロックサイクルアサートされます。

［注意］

- 同期リセット RCC.RR は電力を消費するため、アサートの直後に必ずデアサートして電力消費を回避してください。

31.3.1.3 RCEC : クロック許可コンフィグレーションレジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ACE2～ACE0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ACE2～ACE0	エージェント i のクロック許可 (i = 0～2) ビット i によってエージェント i のクロックが許可されます。 0: エージェント i のクロックを禁止 1: エージェント i のクロックを許可	R/W(注1)
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	RCE	クロック許可 0: ESWM クロック禁止 1: ESWM クロック許可	R/W(注1)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ESWM には 3 つのシステムクロックがあります。

- 周辺クロック：上位レイヤ (MCU) によってのみ停止できます
- MFWD クロック：RCE によって制御されます
- エージェントクロック：ACEi によって制御されます。

注 1. 読み出し値は書き込まれた値とは異なります。

COMA レジスタは周辺クロックで制御されます。周辺クロックは上位レイヤ (MCU) によってのみ停止できます。そのため、COMA レジスタは読み出し／書き込みアクセスが常にあります。

周辺クロックが動作し、エージェントクロックが停止 (ACEi = 0) している場合：

- GWCA および ETHA に APB 読み出しアクセスはありますが、APB 書き込みアクセスはありません。

周辺クロックが動作し、MFWD クロックが停止 (RCE = 0) している場合：

- MFWD に APB 読み出しアクセスはありますが、APB 書き込みアクセスはありません。

- エージェントクロックは停止します。

ACEi ビット (エージェント i のクロック許可 (i = 0～2))

- ビット i によってエージェント i のクロックが許可されます。エージェントマッピングの詳細については、ファブリック仕様[MFAB]を参照してください。
- RRC.RR レジスタを設定した場合、すべてのエージェント i クロックが内部的に許可され、RCC.ACEi が設定されていない場合でもソフトウェアリセットが許可されます。
- RCC.RCE レジスタが設定されていない場合、RCC.ACEi が設定されていてもエージェント i クロックは内部的に禁止されます。

[1 になる条件]

- SW：このビットに 1 を書き込む。

[0 になる条件]

- SW：RCDC.ACDi レジスタに 1 を書き込む。

RCE ビット（クロック許可）

RCE ビットはスイッチクロックを許可します。RRC.RR レジスタを設定した場合、ESWM クロックが内部的に許可され、RCC.RCE が設定されていない場合でもソフトウェアリセットが許可されます。

[1 になる条件]

- SW：このビットに 1 を書き込む。

[0 になる条件]

- SW：RCDC.RCD レジスタに 1 を書き込む。

31.3.1.4 RCDC：クロック禁止コンフィグレーションレジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ACD2～ACD0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ACD2～ACD0	エージェント i のクロック禁止 (i = 0～2) 0: 影響なし 1: RCEC.ACEi レジスタのビット i をクリアします	W(注2)
15:3	—	読むと 0 が読めます。	R
16	RCD	クロック禁止(注1) このビットに 1 を書き込むと、RCEC.RCE レジスタがクリアされます。	W(注2)
31:17	—	読むと 0 が読めます。	R

注 1. SW：すべてのエージェントが無効な場合、および CABPPCM.RPC が 512 に等しい場合にのみ、本ビットに書き込んでください。
注 2. 読み出し値は書き込まれた値とは異なります。

31.3.2 イーサネット共通エージェント機能レジスタ

31.3.2.1 CABPIBWMCi : バッファプール IPV ベースのウォーターマークコンフィグレーションレジスタ i (i = 0～7)

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0020 + 0x04 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	IBSWMPN[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	IBUWMPN[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	IBUWMPN[9:0]	IPV ベースの非セキュアウォーターマークポインタ数(注1)	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	IBSWMPN[9:0]	IPV ベースのセキュアウォーターマークポインタ数(注2)	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本レジスタを次の値より大きい値に設定しないでください。
- SW：512
- SW：CABPIBWMC{i + 1}.IBUWMPN{i + 1}。

注 2. 本レジスタを次の値より大きい値に設定しないでください。
- SW：512
- SW：CABPIBWMC{i + 1}.IBSWMPN{i + 1}。

IBUWMPN[9:0]ビット（IPV ベースの非セキュアウォーターマークポインタ数）

- i が 7 の場合、本レジスタを 512 に設定すると、IPV 7 の IPV ベースのウォーターマーク機能が無効になります
- i が 7 以外の場合、本レジスタを CABPIBWMC{i + 1}.IBUWMPN{i + 1} に設定すると、IPV の IPV ベースのウォーターマーク機能が無効になります
- 詳細は「31.5.1.1. IPV ベースのウォーターマーク」を参照してください。

IBSWMPN[9:0]ビット（IPV ベースのセキュアウォーターマークポインタ数）

- i が 7 の場合、本レジスタを 512 に設定すると、IPV 7 の IPV ベースのウォーターマーク機能が無効になります
- i が 7 以外の場合、本レジスタを CABPIBWMC{i + 1}.IBSWMPN{i + 1} に設定すると、IPV i の IPV ベースのウォーターマーク機能が無効になります
- 詳細は「31.5.1.1. IPV ベースのウォーターマーク」を参照してください。

31.3.2.2 CABPWMLC : バッファプールウォーターマークレベルコンフィグレーションレジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	WMCL[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	WMFL[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	WMFL[9:0]	ウォーターマークフラッシュレベル(注1) ● 本レジスタを 512 に設定すると、ウォーターマークフラッシュレベル機能が無効になります。 ● 詳細は、「31.5.1.2. グローバルレベルベースのウォーターマーク」を参照してください。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	WMCL[9:0]	ウォーターマーククリティカルレベル(注2) ● 本レジスタを 512 に設定すると、ウォーターマーククリティカルレベル機能が無効になります。 ● 詳細は、「31.5.1.2. グローバルレベルベースのウォーターマーク」を参照してください。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：本レジスタを 512 より大きい値に設定しないでください。
注 2. SW：本レジスタには常に CABPWMLC.WMFL 以下かつ 512 以下の値を設定してください。

31.3.2.3 CABPPFLCi : バッファポインタ Pause フレームレベル i コンフィグレーションレジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0050 + 0x0004 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	PAL[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PDL[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	PDL[9:0]	Pause デアサートレベル(注1) ● 詳細は「31.5.2.1. グローバル休止機能」を参照してください。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	PAL[9:0]	Pause アサートレベル(注2) ● 本レジスタを 512 に設定すると、Pause フレームは無効になります ● 詳細は「31.5.2.1. グローバル休止機能」を参照してください。	R/W

ビット	シンボル	機能	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. ● SW：本レジスタには常に CABPPFLCi.PAL 以下の値を設定してください。
● SW：本レジスタを 512 より大きい値、または 24 より小さい値に設定しないでください。
注 2. SW：本レジスタを 512 より大きい値、または 24 より小さい値に設定しないでください。

PDL[9:0]ビット（Pause デアサートレベル）

［注意事項］

CABPPFLCi.PAL の値が CABPPFLCi.PDL の値に近すぎる場合、対応する PAUSE 信号の状態は急速に変化します。さらに、起動する自動 Pause フレームがない場合[RMAC]、結果として RMAC 送信で Pause フレームが連続し、リンクのパフォーマンスが低下する可能性があります。

31.3.2.4 CABPPWMLCi：ポート i バッファプールウォーターマークレベルコンフィグレーションレジスタ (i = 0～2)

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0060 + 0x0004 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	PWMCL[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PWMFL[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	PWMFL[9:0]	ウォーターマークフラッシュレベル(注1) ● 本レジスタを 512 に設定すると、ウォーターマークフラッシュレベル機能が無効になります。 ● 詳細は、「31.5.1.3. ポート単位レベルベースのウォーターマーク i (i = 0～3)」を参照してください。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	PWMCL[9:0]	ウォーターマーククリティカルレベル(注2) ● 本レジスタを 512 に設定すると、ウォーターマーククリティカルレベル機能が無効になります。 ● 詳細は、「31.5.1.3. ポート単位レベルベースのウォーターマーク i (i = 0～3)」を参照してください。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：本レジスタを 512 より大きい値に設定しないでください。
注 2. SW：本レジスタには常に CABPPWMLCi.PWMFL 以下かつ 512 以下の値を設定してください。

31.3.2.5 CABPPPFLCij : ポート i バッファポインタ Pause フレームレベル j コンフィグレーションレジスタ (i = 0～2) (j = 0, 1)

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x00A0 + 0x04 × (i × 2 + j)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	PPAL[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PPDL[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	PPDL[9:0]	Pause デアサートレベル(注1) 詳細は「31.5.2.2. ポート単位の休止機能 i (i = 0～3)」を参照してください。 CABPPPFLCij.PPAL の値が CABPPPFLCij.PPDLij の値に近すぎる場合、対応する PAUSE 信号の状態は急速に変化します。さらに、起動する自動 Pause フレームがない場合 [RMAC]、結果として RMAC 送信で Pause フレームが連続し、リンクのパフォーマンスが低下する可能性があります。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	PPAL[9:0]	Pause アサートレベル(注2) 本レジスタを 512 に設定すると、Pause フレームは無効になります。詳細は「31.5.2.2. ポート単位の休止機能 i (i = 0～3)」を参照してください。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 制約事項 :

- SW : 本レジスタには常に CABPPPFLCij.PPAL 以下の値を設定してください。
- SW : 本レジスタを 512 より大きい値、または 6 より小さい値に設定しないでください。

注 2. SW : 本レジスタを 512 より大きい値、または 6 より小さい値に設定しないでください。

31.3.2.6 CABPULCi : ポート i バッファポインタ使用率レベルコンフィグレーションレジスタ (i = 0～2)

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0100 + 0x0004 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	MNNPN[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MXNPN[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	MXNPN[9:0]	ポインタ最大数(注1) ポート i で使用可能なポインタの最大数。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
25:16	MNNPN[9:0]	ポインタ最小数(注2) ポート i で使用可能なポインタの最小数	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ポート[i]の CABPULC[i].MNNPN[i]を初期値から変更（再設定）した場合は、ポート[i]以外のポートの受信最大フレームサイズが制限されます。この場合、ポート[i]以外のポートの制限された受信最大フレームサイズは以下の式で算出されます。
制限された受信最大フレームサイズ = ((512 – CABPULC[i].MNNPN[i])/(3)) × 128 バイト。これは、ポート[i]以外のポートで残りのポインタ (512 – CABPULC[i].MNNPN[i]) を共有する必要があるためです。
この制限に従わない場合は、他のポートで使用したバッファポインタが解放されず、スイッチ内でフレームが停止します。受信の途中ではバッファポインタの合計がポートに対して不十分であるためです。これを解決するには、CABPULC[i].MNNPN[i]の値を小さい値に再設定します。

注 1. SW：ポインタの最大数を、RMAC 受信最大フレームサイズ（RMAC で設定）に等しいサイズで 2 フレームを保存するのに十分な大きさの値に設定します。

注 2.
- SW：全 CABPULCi.MNNPN の合計は 512 以下にしてください。
- SW：本レジスタは常に CABPULCi.MXNPN 以下にしてください。

MXNPN[9:0]ビット（ポインタ最大数）

- レジスタ CABPCPMi.RPCP が本レジスタの値に等しい場合、ポート i ではこれ以上ポインタを受信しません。
- 詳細は「31.5.3. ポート単位のメモリ割り当て機能」を参照してください。

MNNPN[9:0]ビット（ポインタ最小数）

- SUM (CABPULCi.MNNPN) ≧ CABPPCM.RPC + SUM (CABPCPMi.RPCP) の場合、CABPCPMi.RPCP < CABPULCi.MNNPN であるポートのみがポインタを受信できます。
- 詳細は「31.5.3. ポート単位のメモリ割り当て機能」を参照してください。

31.3.2.7 CABPIRM : バッファプール初期化レジスタ監視レジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0140

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BPR	BPIOG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPIOG	バッファプールの初期化を実行中(注1)	R/W(注2)
1	BPR	バッファプールの準備完	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW：CABPIRM.BPR が設定されている場合、CPU が本ビットに 1 を書き込むことはできません。
注 2. 読み出し値は書き込まれた値とは異なります。

BPIOG ビット（バッファプールの初期化を実行中）

[1 になる条件]

- SW：このレジスタに 1 を書き込む。

[0 になる条件]

- HW：バッファプールの初期化が完了したとき。

BPR ビット（バッファプールの準備完）

[1 になる条件]

- CABPIRM.BPIOG がクリアされたとき
- HW：本ビットは、バッファプールの初期化開始から clk_period [ns] × 512 の時間で設定されます。

31.3.2.8 CABPPCM : バッファプールポインタカウント監視レジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0144

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	TPC[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RPC[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	RPC[9:0]	残りのポインタカウント	R
15:10	—	読むと 0 が読めます。	R
25:16	TPC[9:0]	合計ポインタカウント	R
31:26	—	読むと 0 が読めます。	R

RPC[9:0]ビット（残りのポインタカウント）

[インクリメント条件]

- HW：ポインタが解放されたときに 1 インクリメントされます。

[デクリメント条件]

- HW：エージェントにポインタが与えられたときに 1 デクリメントされます。

TPC[9:0]ビット（合計ポインタカウント）

- 512 を読み出します。512 に固定されています。
- 本レジスタを読み出すと、バッファプール内に含まれているポインタの数が得られます。スイッチのローカルデータ RAM サイズは、128 × CABPPCM.TPC バイトになります。

31.3.2.9 CABPLCM : バッファプールポインタ最小カウント監視レジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0148

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	LRC[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	LRC[12:0]	最小残りポインタカウント 本レジスタは、残りカウンタポインタが取得した小さい方の値を記憶します。 [更新する条件] ● HW : 本レジスタは、CABPPCM.RPC<CABPLCM.LRC の場合に CABPPCM.RPC に更新されます。 [0 になる条件] ● 本レジスタを読み出すと、CABPPCM.RPC の値にクリアされます。	R
31:13	—	読むと 0 が読めます。	R

31.3.2.10 CABPCPMi : ポート i バッファポインタカウント監視レジスタ (i = 0～2)

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0180 + 0x0004 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RPCP[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	RPCP[12:0]	受信ポインタ数	R
31:13	—	読むと 0 が読めます。	R

RPCP[12:0]ビット（受信ポインタ数）

本レジスタは、エージェント i でデータの格納に使用されているポインタの数を示します。

[インクリメント条件]

- HW：ポート I にポインタが与えられたときに 1 インクリメントされます。

[デクリメント条件]

- HW：ポート i に与えられたポインタが解放されるときに 1 デクリメントされます。

31.3.2.11 CABPMCPMi : ポート i バッファポインタ最大カウント監視レジスタ (i = 0～2)

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0200 + 0x0004 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RPMCP[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	RPMCP[12:0]	受信ポインタ最大カウント(注1)	R
31:13	—	読むと 0 が読めます。	R

注 1. いくつかの上限および下限の設定を超過する場合があります。

RPMCP[12:0]ビット（受信ポインタ最大カウント）

本レジスタは、前回の読み出しアクセス以降に CABPMCPMi.RPCP が取得した最大値を記憶します。

[更新する条件]

- HW：本レジスタは、CABPMCPMi.RPCP > CABPMCPMi.RPMCP の場合に CABPMCPMi.RPCP に更新されます。

[0 になる条件]

- 本レジスタを読み出すと、CABPMCPMi.RPCP の値にクリアされます。

31.3.2.12 CARDNM : 拒否ディスクリプタ数監視レジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0300

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RDNRR[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	RDNRR[12:0]	拒否 RAM 内の拒否ディスクリプタ数	R
31:13	—	読むと 0 が読めます。	R

RDNRR[12:0]ビット（拒否 RAM 内の拒否ディスクリプタ数）

本レジスタは、現在拒否 RAM に含まれているディスクリプタの数を示します。

[インクリメント条件]

- HW：転送エンジンからディスクリプタを受信すると 1 インクリメントされます。

[デクリメント条件]

- HW：拒否 RAM からディスクリプタを読み出すと 1 デクリメントされます。

31.3.2.13 CARDMNM : 拒否ディスクリプタ最大数監視レジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0304

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RDMNRR[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	RDMNRR[12:0]	拒否 RAM 内の拒否ディスクリプタ最大数	R
31:13	—	読むと 0 が読めます。	R

RDMNRR[12:0]ビット（拒否 RAM 内の拒否ディスクリプタ最大数）

本レジスタは、前回の読み出しアクセス以降に CARDNM.RDNRR が取得した最大値を記憶します。

[更新する条件]

- CARDNM.RDNRR>CARDMNM.RDMNRR のとき CARDNM.RDNRR に設定します。

[0 になる条件]

- 本レジスタを読み出すと、CARDNM.RDNRR の値にクリアされます。

31.3.3 イーサネット共通エージェントカウンタレジスタ

本項ではイーサネット共通エージェントカウンタレジスタについて説明します。

31.3.3.1 CARDCN : 拒否ディスクリプタカウンタレジスタ

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0310

Bit position:	31	0
Bit field:	RDN[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	RDN[31:0]	拒否ディスクリプタ数	R

RDN[31:0]ビット（拒否ディスクリプタ数）

本レジスタは、前回の読み出し以降に拒否されたディスクリプタの数をカウントします。

[0 になる条件]

- SW：本レジスタを読み出すとクリアされます。

[インクリメント条件]

- HW：拒否されたディスクリプタを MFWD から受信し、本レジスタの値が 0xFFFF ではない場合に 1 インクリメントされます。

31.3.4 イーサネット共通エージェント割り込みレジスタ

本項ではイーサネット共通エージェント割り込みレジスタについて説明します。

31.3.4.1 CAEIS0 : エラー割り込みステータスレジスタ 0

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	WMFLOS	WMCLOS	BPOPS	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BPOPS	バッファプールポインタ外ステータスフラグ	R/W(注1)
9	WMCLOS	ウォーターマーククリティカルレベルオーバーテイクステータスフラグ	R/W(注1)
10	WMFLOS	ウォーターマークフラッシュレベルオーバーテイクステータスフラグ	R/W(注1)
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

BPOPS ビット（バッファプールポインタ外ステータスフラグ）

[1 になる条件]

- HW：CABPPCM.RPC が Null になったとき。

[0 になる条件]

- SW：このビットに 1 を書き込む。

[エラー復帰]

- SW：エラー復帰がない場合、スイッチはオーバーフローする場合があります[RMAC]。カットスルーを使用している場合は、このステータスが発生しないようにウォーターマーク機能を使用してください。このエラーが発生した場合（送信ステートでハングアップする可能性があります［ETHA および RMAC］）、緊急リセットフローで状態を初期化してください[TOP]。

WMCLOS ビット（ウォーターマーククリティカルレベルオーバーテイクステータスフラグ）

[1 になる条件]

- HW：グローバルレベルベースのウォーターマークのためにウォーターマーククリティカルレベル WM.CRITICAL がすべて 1 にアサートされたとき（図 31.12 参照）。

[0 になる条件]

- SW：このビットに 1 を書き込む。

[エラー復帰]

- SW：復帰がない場合、データは失われる場合があります[FWD]。

WMFLOS ビット（ウォーターマークフラッシュレベルオーバーテイクステータスフラグ）

[1 になる条件]

- HW：グローバルレベルベースのウォーターマークのためにウォーターマークフラッシュレベル WM.FLUSH がすべて 1 にアサートされたとき（図 31.12 参照）。

[0 になる条件]

- SW：このビットに 1 を書き込む。

[エラー復帰]

- SW：復帰がない場合、データは失われる場合があります[FWD]。

31.3.4.2 CAEIE0：エラー割り込みイネーブルレジスタ 0

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0404

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	WMFLOE	WMCLOE	BPOPE	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BPOPE	バッファプールポインタ外許可	R/W(注1)
9	WMCLOE	ウォーターマーククリティカルレベルオーバーテイク許可	R/W(注1)
10	WMFLOE	ウォーターマークフラッシュレベルオーバーテイク許可	R/W(注1)
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

BPOPE ビット（バッファプールポインタ外許可）

[1 になる条件]

- このビットに 1 を書き込む。

[0 になる条件]

- CAEID0.BPOPD レジスタに 1 を書き込む。

WMCLOE ビット（ウォーターマーククリティカルレベルオーバーテイク許可）

[1 になる条件]

- このビットに 1 を書き込む。

[0 になる条件]

- CAEID0.WMCLOD レジスタに 1 を書き込む。

WMFLOE ビット（ウォーターマークフラッシュレベルオーバーテイク許可）

[1 になる条件]

- このビットに 1 を書き込む。

[0 になる条件]

- CAEID0.WMFLOD レジスタに 1 を書き込む。

31.3.4.3 CAEID0 : エラー割り込み禁止レジスタ 0

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0408

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	WMFLOD	WMCLOD	BPOPD	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。	R
8	BPOPD	バッファプールポインタ外禁止 このビットに 1 を書き込むと CAEIE0.BPOPE レジスタがクリアされます。	R
9	WMCLOD	ウォーターマーククリティカルレベルオーバーテイク禁止 このビットに 1 を書き込むと CAEIE0.WMCLOE レジスタがクリアされます。	R
10	WMFLOD	ウォーターマークフラッシュレベルオーバーテイク禁止 このビットに 1 を書き込むと CAEIE0.WMFLOE レジスタがクリアされます。	R
31:11	—	読むと 0 が読めます。	R

31.3.4.4 CAEIS1 : エラー割り込みステータスレジスタ 1

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0410

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PWMFLOS2～PWMFLOS0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PWMCLOS2～PWMCLOS0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	PWMCLOS2～PWMCLOS0	ポート n ウォーターマーククリティカルレベルオーバーテイクステータスフラグ (n = 0～2)	R/W(注1)
15:3	—	読むと 0 が読めます。	R/W
18:16	PWMFLOS2～PWMFLOS0	ポート n ウォーターマークフラッシュレベルオーバーテイクステータスフラグ (n = 0～2)	R/W(注1)
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

PWMCLOSn ビット (ポート n ウォーターマーククリティカルレベルオーバーテイクステータスフラグ (n = 0～2))

[1 になる条件]

- HW：ビット i について、ポート単位レベルベースのウォーターマークのためにウォーターマーククリティカルレベルビット i WM.CRITICAL[i]が 1 にアサートされたとき（図 31.13 参照）。

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

[エラー復帰]

- エラー復帰がない場合、データは失われる場合があります[FWD]。

PWMFLOSn ビット (ポート n ウォーターマークフラッシュレベルオーバーテイクステータスフラグ (n = 0～2))

[1 になる条件]

- HW：ビット i について、ポート単位レベルベースのウォーターマークのためにウォーターマークフラッシュレベルビット i WM.FLUSH[i]が 1 にアサートされたとき（図 31.13 参照）。

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

[エラー復帰]

- エラー復帰がない場合、データは失われる場合があります[FWD]。

31.3.4.5 CAEIE1：エラー割り込みイネーブルレジスタ 1

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0414

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PWMFLOE2～PWMFLOE0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PWMCLOE2～PWMCLOE0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	PWMCLOE2～PWMCLOE0	ポート n ウォーターマーククリティカルレベルオーバーテイク許可 (n = 0～2)	R/W(注1)
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	PWMFLOE2～PWMFLOE0	ポート n ウォーターマークフラッシュレベルオーバーテイク許可 (n = 0～2)	R/W(注1)
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

PWMCLOEn ビット (ポート n ウォーターマーククリティカルレベルオーバーテイク許可 (n = 0～2))

[1 になる条件]

- これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- SW：CAEID1.PWMCLOD ビットのいずれかに 1 を書き込む。

PWMFLOEn ビット (ポート n ウォーターマークフラッシュレベルオーバーテイク許可 (n = 0～2))

[1 になる条件]

- これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- SW：CAEID1.PWMFLOD ビットのいずれかに 1 を書き込む。

31.3.4.6 CAEID1：エラー割り込み禁止レジスタ 1

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0418

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PWMFLOD2～PWMFLOD0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PWMCLOD2～PWMCLOD0		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	PWMCLOD2～PWMCLOD0	ポート n ウォーターマーククリティカルレベルオーバーテイク禁止 (n = 0～2)	R
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R
18:16	PWMFLOD2～PWMFLOD0	ポート n ウォーターマークフラッシュレベルオーバーテイク禁止 (n = 0～2)	R
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R

PWMCLODn ビット (ポート n ウォーターマーククリティカルレベルオーバーテイク禁止 (n = 0～2))

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込むと、対応する CAEIE1.PWMCLOE ビットがクリアされます。

PWMFLODn ビット (ポート n ウォーターマークフラッシュレベルオーバーテイク禁止 (n = 0～2))

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込むと、対応する CAEIE1.PWMFLOE ビットがクリアされます。

31.3.4.7 CAMIS0：監視割り込みステータスレジスタ 0

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0440

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PFS1～PFS0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PFS1～PFS0	Pause フレームステータスフラグ n (n = 0～1)	R/W(注1)

ビット	シンボル	機能	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

PFSn ビット (Pause フレームステータスフラグ n (n = 0～1))

[1 になる条件]

- HW：ビット i に対して、Pause フレーム i が開始するとき（Pause アサートタイミング）。「31.5.2. 休止機能」を参照してください。

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

31.3.4.8 CAMIE0：監視割り込み許可レジスタ 0

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0444

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PFE1～PFE0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PFE1～PFE0	Pause フレーム許可 n (n = 0～1)	R/W(注1)
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

PFEn ビット (Pause フレーム許可 n (n = 0～1))

[1 になる条件]

- これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- SW：CAMID0.PFD ビットのいずれかに 1 を書き込む。

31.3.4.9 CAMID0：監視割り込み禁止レジスタ 0

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0448

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PFD1～PFD0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PFD1～PFD0	Pause フレーム禁止 n (n = 0～1)	R
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R

PFDn ビット (Pause フレーム禁止 n (n = 0～1))

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込むと、対応する CAMIE0.PFE ビットがクリアされます。

31.3.4.10 CAMIS1 : 監視割り込みステータスレジスタ 1

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0450

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	PPFS21	PPFS20	PPFS11	PPFS10	PPFS01	PPFS00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PPFS00	ポート 0 Pause フレームステータスフラグ 0	R/W(注1)
1	PPFS01	ポート 0 Pause フレームステータスフラグ 1	R/W(注1)
2	PPFS10	ポート 1 Pause フレームステータスフラグ 0	R/W(注1)
3	PPFS11	ポート 1 Pause フレームステータスフラグ 1	R/W(注1)
4	PPFS20	ポート 2 Pause フレームステータスフラグ 0	R/W(注1)
5	PPFS21	ポート 2 Pause フレームステータスフラグ 1	R/W(注1)
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

PPFSmn ビット (ポート m Pause フレームステータス n)

[1 になる条件]

- HW：ビット i に対して、Pause フレーム i が開始するとき（Pause アサートタイミング）。「31.5.2. 休止機能」を参照してください。

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

31.3.4.11 CAMIE1 : 監視割り込み許可レジスタ 1

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0454

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	PPFE21	PPFE20	PPFE11	PPFE10	PPFE01	PPFE00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PPFE00	ポート 0 Pause フレーム許可 0	R/W(注1)
1	PPFE01	ポート 0 Pause フレーム許可 1	R/W(注1)
2	PPFE10	ポート 1 Pause フレーム許可 0	R/W(注1)
3	PPFE11	ポート 1 Pause フレーム許可 1	R/W(注1)
4	PPFE20	ポート 2 Pause フレーム許可 0	R/W(注1)
5	PPFE21	ポート 2 Pause フレーム許可 1	R/W(注1)
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

PPFEmn ビット (ポート m Pause フレーム許可 n)

[1 になる条件]

- これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- SW : CAMID1.PPFD ビットのいずれかに 1 を書き込む。

31.3.4.12 CAMID1 : 監視割り込み禁止レジスタ 1

Base address: COMA = 0x403C_9000
COMA_NS = 0x503C_9000

Offset address: 0x0458

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	PPFD21	PPFD20	PPFD11	PPFD10	PPFD01	PPFD00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PPFD00	ポート 0 Pause フレーム禁止 0	W(注1)
1	PPFD01	ポート 0 Pause フレーム禁止 1	W(注1)
2	PPFD10	ポート 1 Pause フレーム禁止 0	W(注1)

ビット	シンボル	機能	R/W
3	PPFD11	ポート 1 Pause フレーム禁止 1	W(注1)
4	PPFD20	ポート 2 Pause フレーム禁止 0	W(注1)
5	PPFD21	ポート 2 Pause フレーム禁止 1	W(注1)
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

PPFDmn ビット (ポート m Pause フレーム禁止 n)

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込むと、対応する CAMIE1.PPFE ビットがクリアされます。

31.4 レジスタの使用

31.4.1 ソフトウェアフロー

SW：本項で説明するフローに従ってください。

31.4.1.1 ソフトウェアフローの凡例

図 31.2 にソフトウェアフローの凡例を示します。

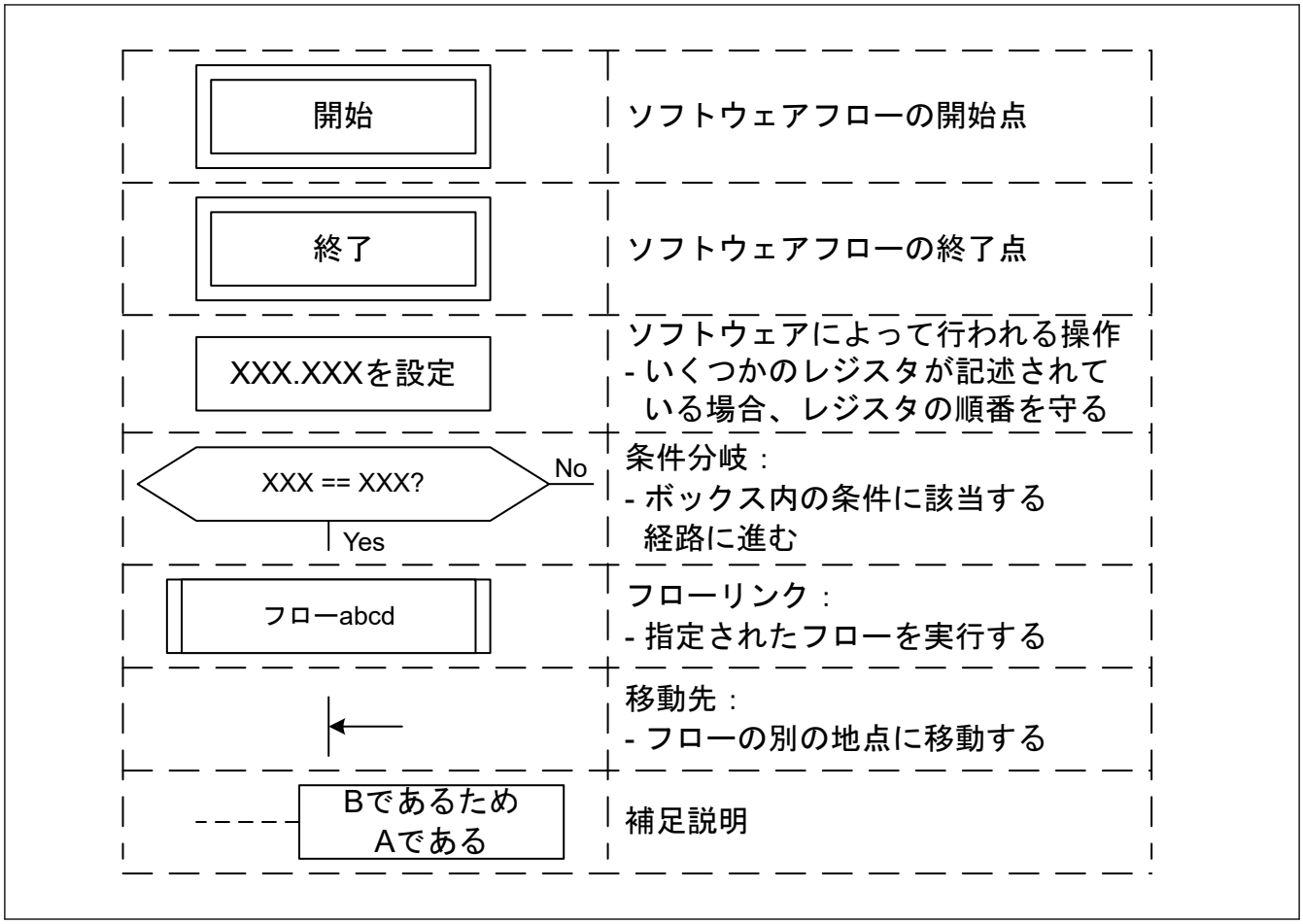


図 31.2 ソフトウェアフローの凡例

31.4.1.2 割り込み処理フロー

割り込み処理フローはリセットモード以外のすべてのモードで使用できます。

図 31.3 に割り込み処理フローを示します。

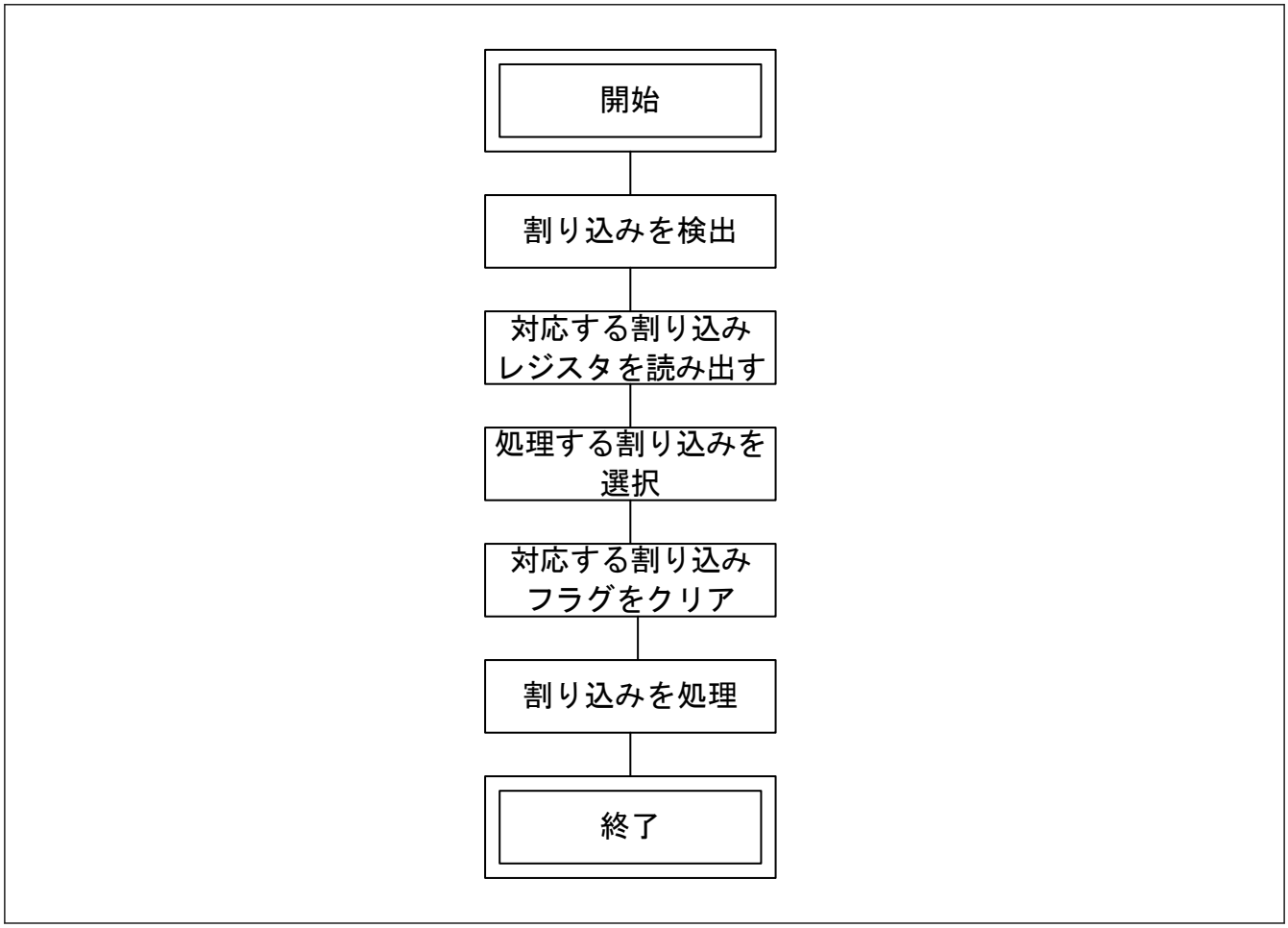


図 31.3 割り込み処理フロー

31.4.1.3 呼び出されたソフトウェアフロー

図 31.2 のフローリンクステップに示すとおり、本項で説明するフローは他のフローからのみ呼び出し可能であり、単独で使用することはできません。

31.4.1.3.1 バッファプール初期化フロー

図 31.4 にバッファプール初期化フローを示します。

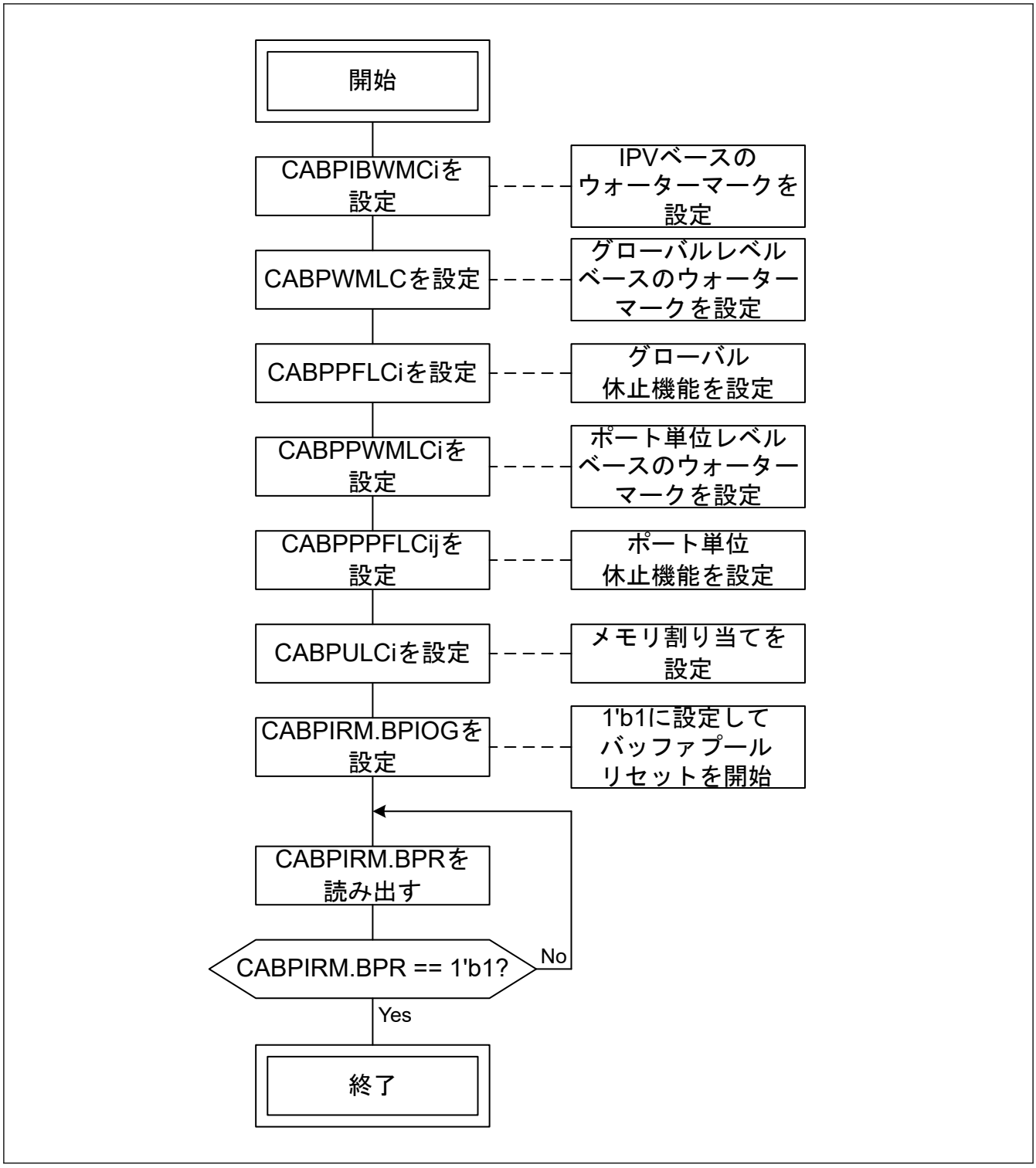


図 31.4　バッファプール初期化フロー

31.4.1.3.2　ESWM リセットフロー

図 31.5 に ESWM リセットフローを示します。

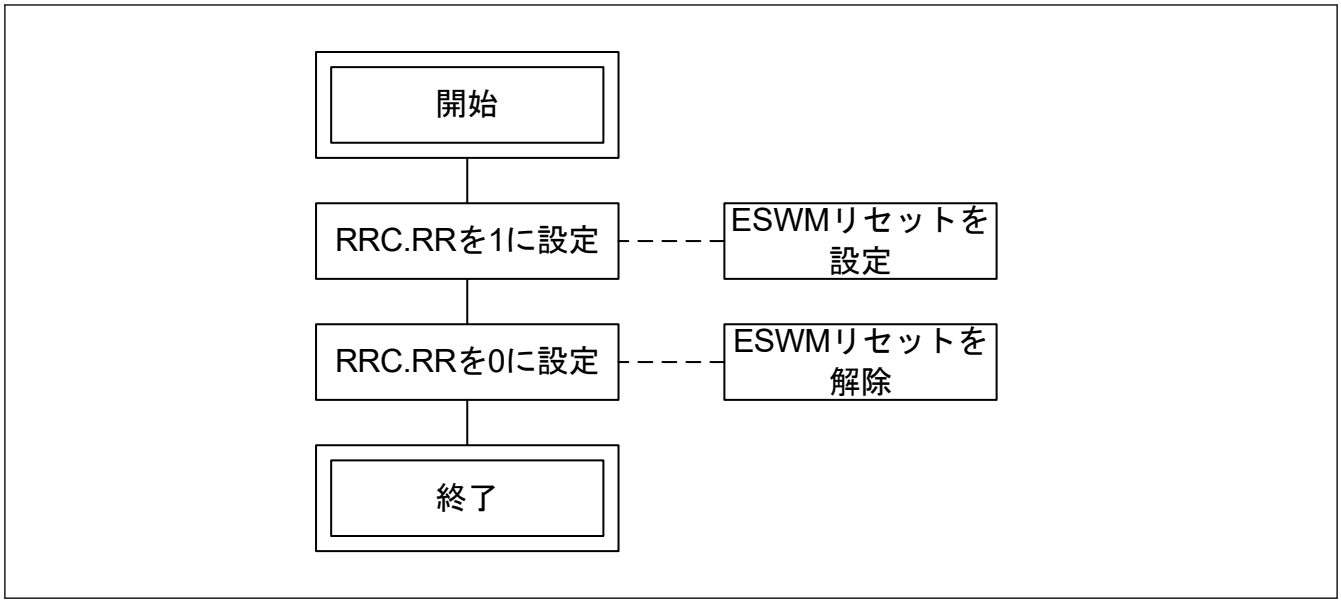


図 31.5　ESWM リセットフロー

31.4.1.3.3　エージェント i のクロック制御フロー (i = 0～3)

図 31.6、図 31.7、および図 31.8 に、エージェント i のクロック制御フローを示します。

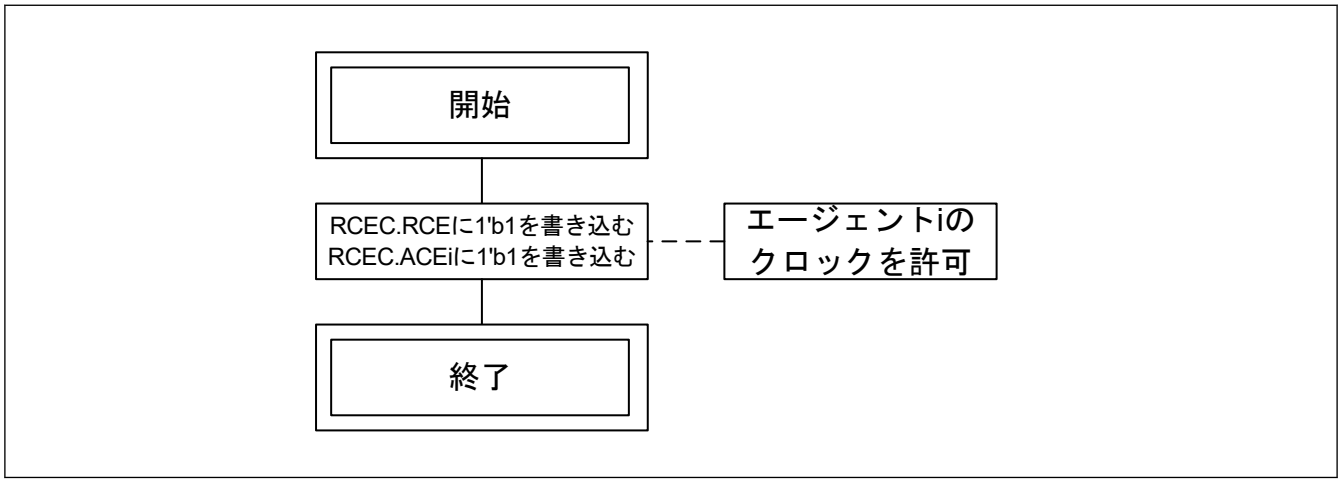


図 31.6　エージェント i のクロック許可フロー

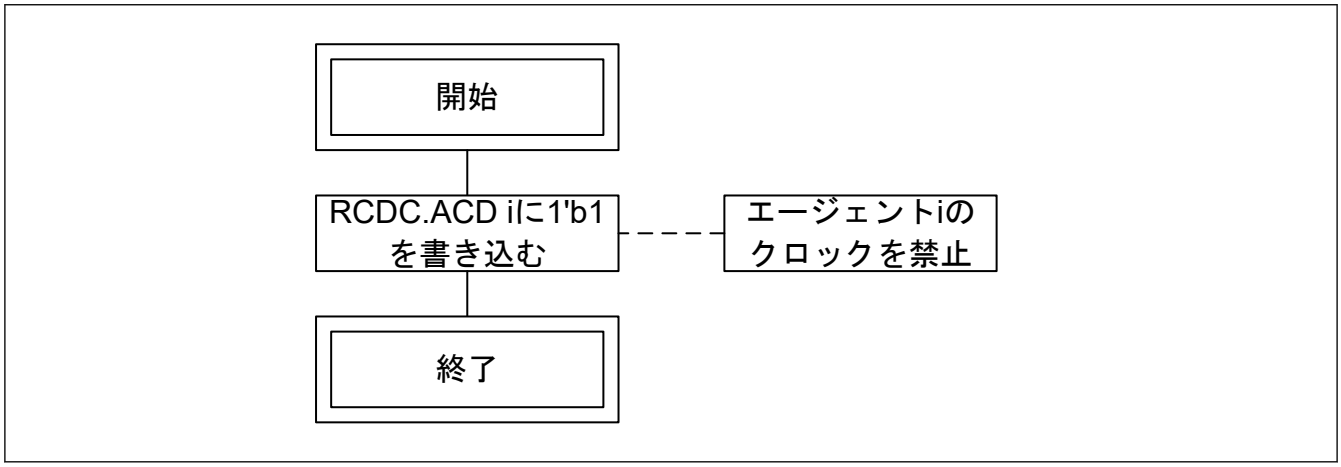


図 31.7　エージェント i のクロック禁止フロー

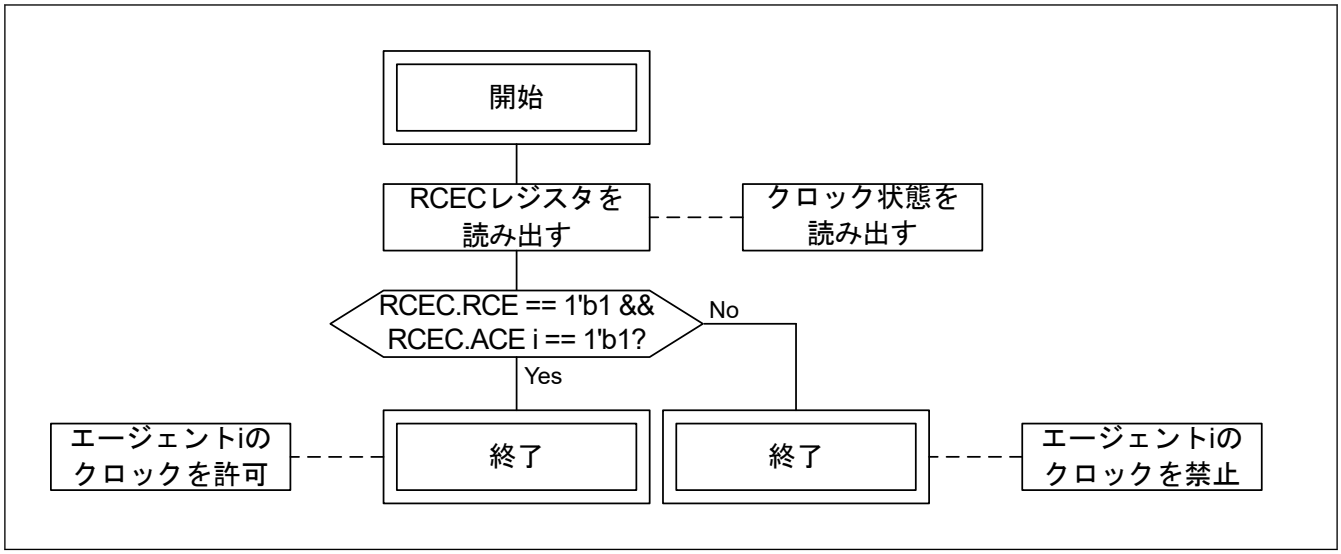


図 31.8　エージェント i のクロックステータスチェックフロー

31.4.1.3.4　スイッチクロック制御フロー

図 31.9 および図 31.10 に、スイッチクロック制御フローを示します。

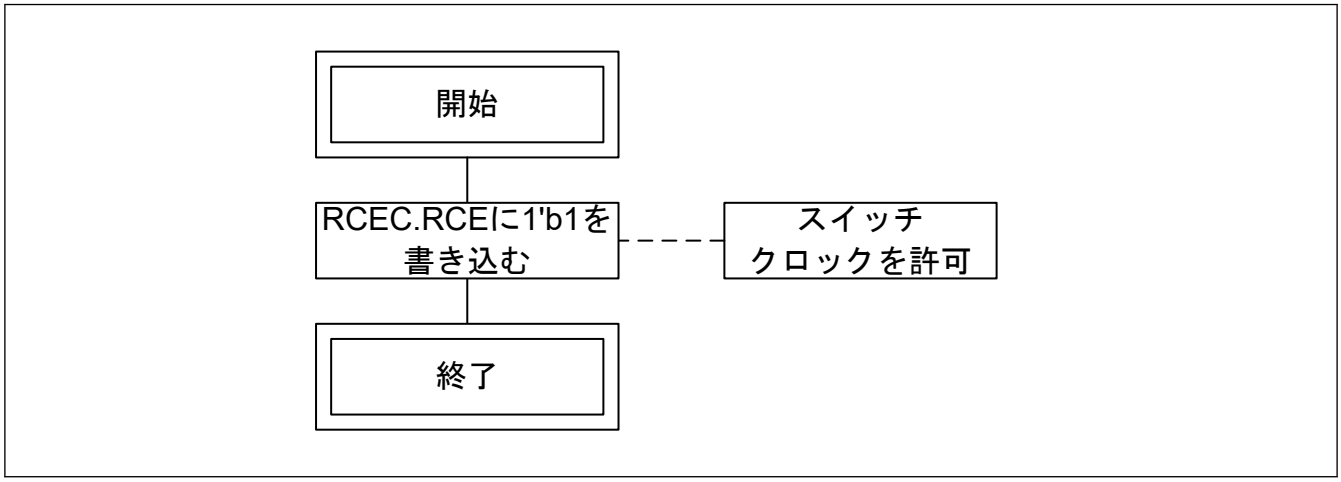


図 31.9　スイッチクロック許可フロー

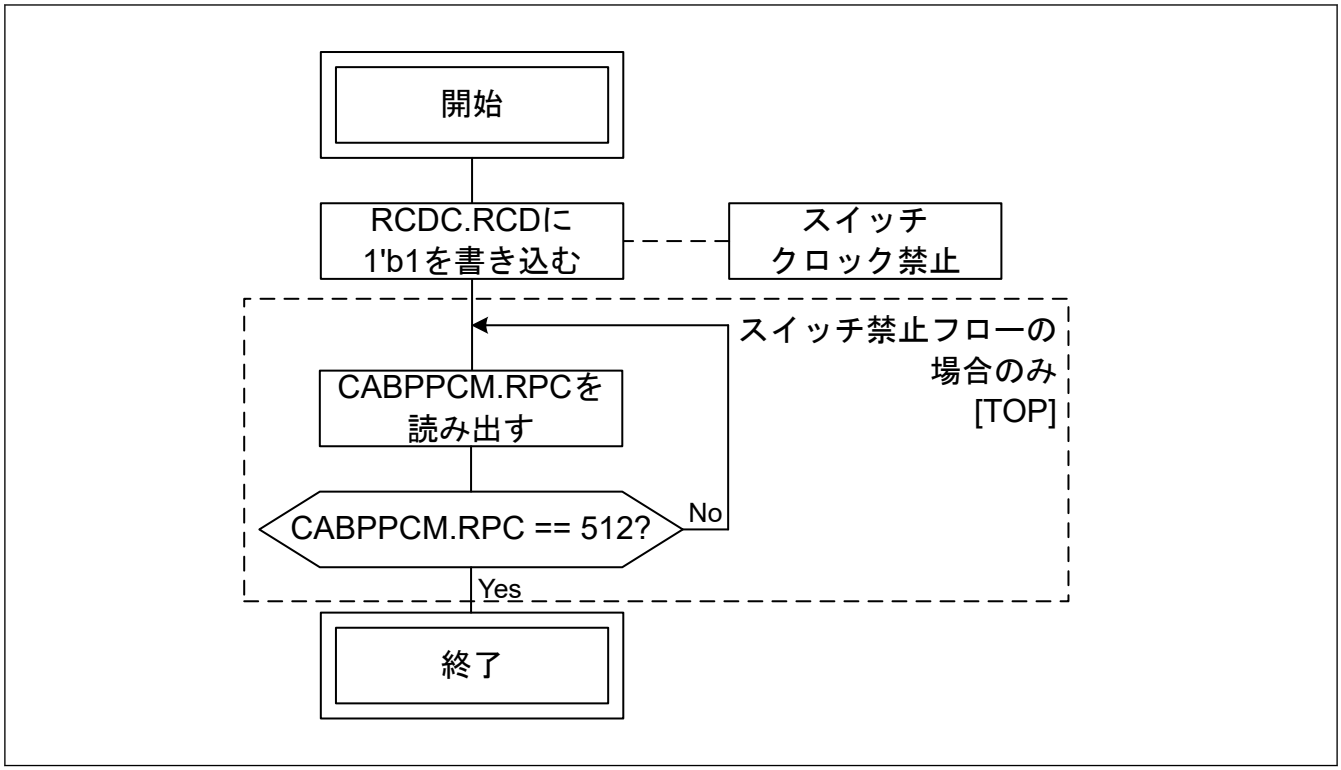


図 31.10　スイッチクロック禁止フロー

31.4.1.4　ソフトウェアフローなしで書き込み可能なレジスタ

本項では、これまでに説明していないレジスタについて説明します。これらのレジスタは動的に変更できます。ただし、クロック許可などの初期設定は完了する必要があります。

31.5　機能説明

31.5.1　ウォーターマーク機能

スイッチオーバーフローが発生した場合、スイッチ内のフレームはエージェント[GWCA] [ETHA]の Ingress 部分で消失します。この結果、フレームの実際の優先順位にかかわらず、データがランダムに消失します。これを回避するため、ウォーターマーク機能を使用してスイッチオーバーフローが発生する前に MFWD 内のフレームを選択的に拒否できます。

イーサネット共通エージェントには、3 つのウォーターマーク機能があります。

- IPV ベースのウォーターマーク
- グローバルレベルベースのウォーターマーク
- ポート単位レベルベースのウォーターマーク

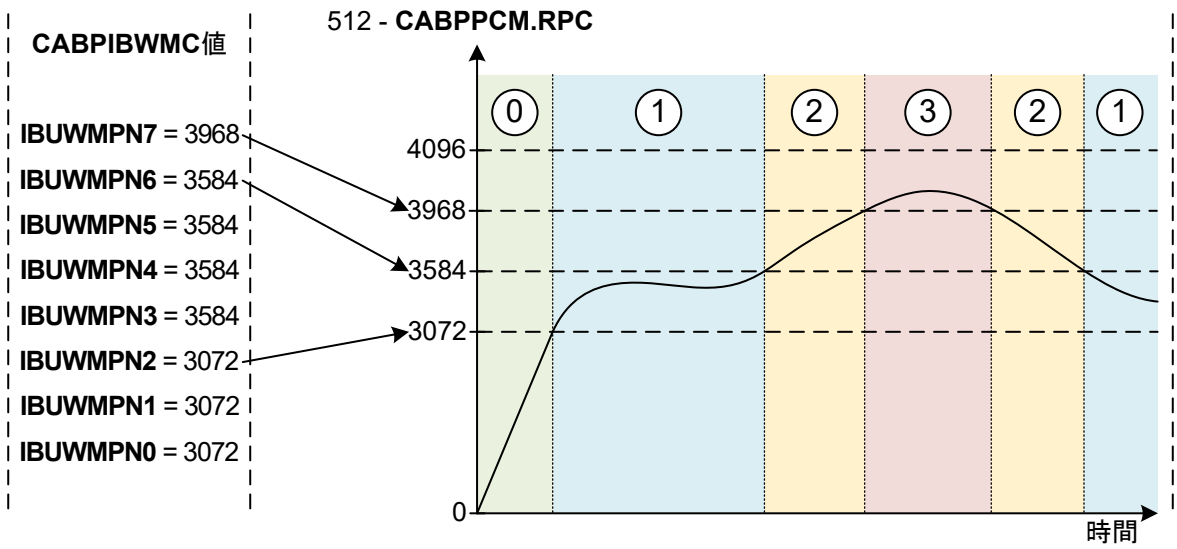
ウォーターマーク機能は、データ損失を生成して、オーバーフロー時のスイッチの動作を制御することを目的としています。すべてのウォーターマーク機能は並列に動作し、1 つ以上のウォーターマーク機能によってフレームを拒否できます。

31.5.1.1　IPV ベースのウォーターマーク

IPV ベースのウォーターマークを使用すると、スイッチの最小 QoS 要件が保証されます。これはスイッチの最大フレームサイズの初期設定で有効になっています (256 バイト)。本機能はイーサネット共通エージェントによって制御されますが、データ損失は転送エンジン[FWD]で実行されます。IPV ベースのウォーターマークと他の機能の組み合わせは、フレームサイズ (256) にかかわらず、キューの休止の影響を受けます。

図 31.11 に、ローカル RAM をアドレス指定するポインタ番号 == 4096 の場合の IPV ベースの非セキュアウォーターマーク設定の例を示します。IPV ベースのセキュアウォーターマークは同様に機能しますが、CABPIBWMCi.IBSWMPN レジスタを使用します。

注. 図 31.11 の 512 - CABPPCM.RPC の変動は任意であり、直接的に対応しません。



	説明
0	**CABPIBWMC.IBUWMPN2**が512 - **CABPPCM.RPC**より大きいため、ディスクリプタは拒否されない
1	**CABPIBWMC.IBUWMPN2**が512 - **CABPPCM.RPC**より小さいため、**FDESCR.IPV** 0、1、または2を持つディスクリプタは拒否される
2	**CABPIBWMC.IBUWMPN6**が512 - **CABPPCM.RPC**より小さいため、**FDESCR.IPV** 0、1、2、3、4、5、または6を持つディスクリプタは拒否される
3	**CABPIBWMC.IBUWMPN7**が512 - **CABPPCM.RPC**より小さいため、すべてのディスクリプタが拒否される

図 31.11 IPV ベースのウォーターマークの設定例

注. FDESCR.IPV は、フィルタリングの前に、転送ディスクリプタ内の転送エンジンによってフレームに指定された内部の優先順位の値を参照します。詳細については、転送エンジンの仕様[FWD]を参照してください。

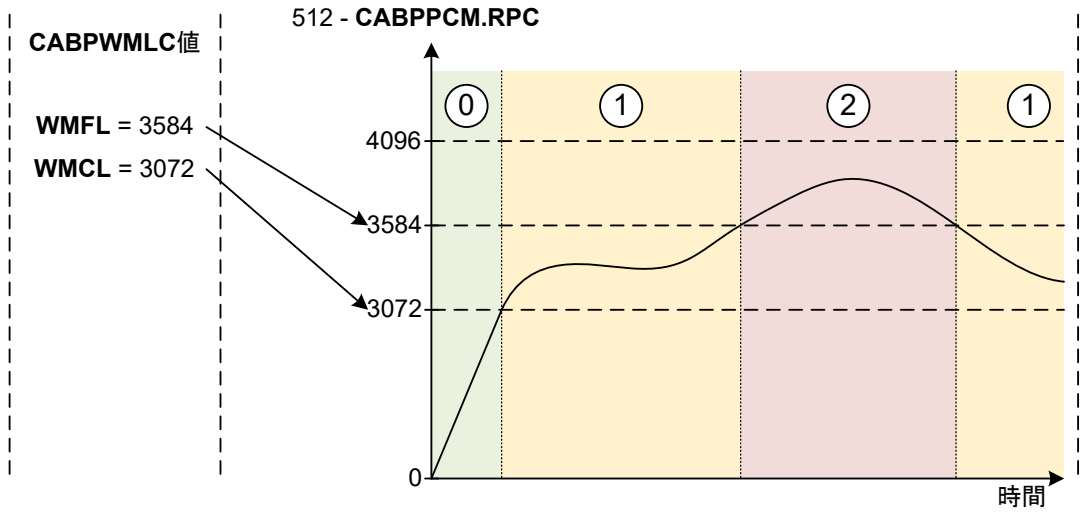
31.5.1.2 グローバルレベルベースのウォーターマーク

グローバルレベルベースのウォーターマークは、スイッチで現在使用されているポインタの数（CABPPCM.RPC レジスタ）に応じて対象 IPV を持つフレームを拒否することを目的としています。本機能は（WM.CRITICAL[3:0] および WM.FLUSH[3:0]を介して）イーサネット共通エージェントによって制御されますが、データ損失は転送エンジン[FWD]で実行されます。

注. WM.CRITICAL および WM.FLUSH インタフェースはポート単位レベルベースのウォーターマークで設定することもできます（必要な設定条件にポート単位レベルベースのウォーターマークまたはグローバルレベルベースのウォーターマークがある場合、これらの端子のいずれかが設定されます）。

図 31.12 に、ローカル RAM をアドレス指定するポインタ番号 == 4096 の場合のグローバルレベルベースのウォーターマーク設定の例を示します。

注. 図 31.12 の 512 - CABPPCM.RPC の変動は任意であり、直接的に対応しません。



	説明	WM.CRITICAL/ WM.FLUSH値
⓪	ディスクリプタは拒否されない なぜなら、**CABPWMLC.WMCL**が512 - **CABPPCM.RPC**より大きい	All0/All0
①	すべてのポートクリティカルレベルに関連付けられたディスクリプタが拒否される なぜなら、512 - **CABPPCM.RPC**が**CABPWMLC.WMCL**より大きい	All1/All0
②	512 - **CABPPCM.RPC**が**CABPWMLC.WMFL**より大きいため、すべてのポートクリティカル／フラッシュレベルに関連付けられたディスクリプタが拒否される	All1/All1

図 31.12　グローバルレベルベースのウォーターマークの設定例

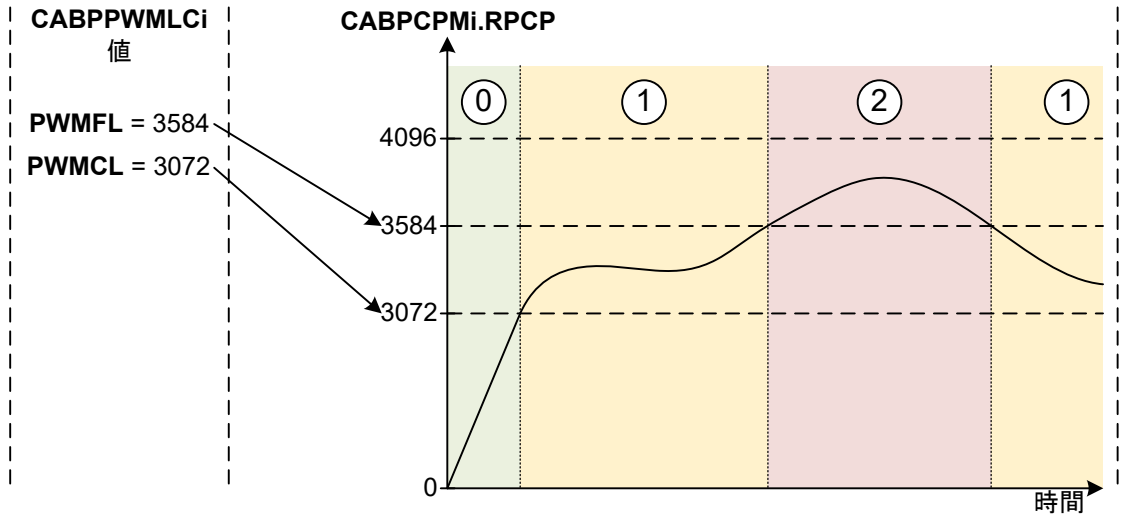
31.5.1.3　ポート単位レベルベースのウォーターマーク i (i = 0～3)

ポート単位レベルベースのウォーターマークは、CABPPWMLCi.PWMCL に応じて対象 IPV を持つフレームを拒否することを目的としています。本機能は（WM.CRITICAL[i]および WM.FLUSH[i]を介して）イーサネット共通エージェントによって制御されますが、データ損失は転送エンジン[FWD]で実行されます。

注.　WM.CRITICAL および WM.FLUSH インタフェースはグローバルレベルベースのウォーターマークで設定することもできます（必要な設定条件にポート単位レベルベースのウォーターマークまたはグローバルレベルベースのウォーターマークがある場合、これらの端子のいずれかが設定されます）。

図 31.13 に、ローカル RAM をアドレス指定するポインタ番号 == 4096 の場合のポート i のポート単位レベルベースのウォーターマークの設定例を示します。

注.　図 31.13 の CABPCPMi.RPCP の変動は任意であり、直接的に対応しません。



	説明	WM.CRITICAL[i]/ WM.FLUSH[i] 値
0	**CABPPWMLCi.PWMCL**が**CABPCPMi.RPCP**より大きいため、ディスクリプタは拒否されない	0/0
1	すべてのポートクリティカルレベルに関連付けられたディスクリプタが拒否される **CABPPWMLCi.PWMCL**は**CABPCPMi.RPCP**より小さい	1/0
2	すべてのポートクリティカル／フラッシュレベルに関連付けられたディスクリプタが拒否される。**CABPPWMLCi.PWMFL**は**CABPCPMi.RPCP**より小さい	1/1

図 31.13　ポート i のポート単位レベルベースのウォーターマークの設定例

31.5.2　休止機能

スイッチオーバーフローが発生した場合、スイッチ内のフレームはエージェント[GWCA] [ETHA]の Ingress 部分で消失します。この結果、フレームの実際の優先順位にかかわらず、データがランダムに消失します。これを回避するため、休止機能を使用して、エージェント[GWCA] [ETHA]によるフレームインジェクションを選択的に休止できます。

イーサネット共通エージェントには、グローバル休止機能とポート単位の休止の 2 つの休止機能があります。休止機能は、バックプレッシャーを生成して、オーバーフロー時のスイッチの動作を制御することを目的としています。すべての休止機能は並列に動作し、1 つ以上の休止機能によってバックプレッシャーを印加できます。

31.5.2.1　グローバル休止機能

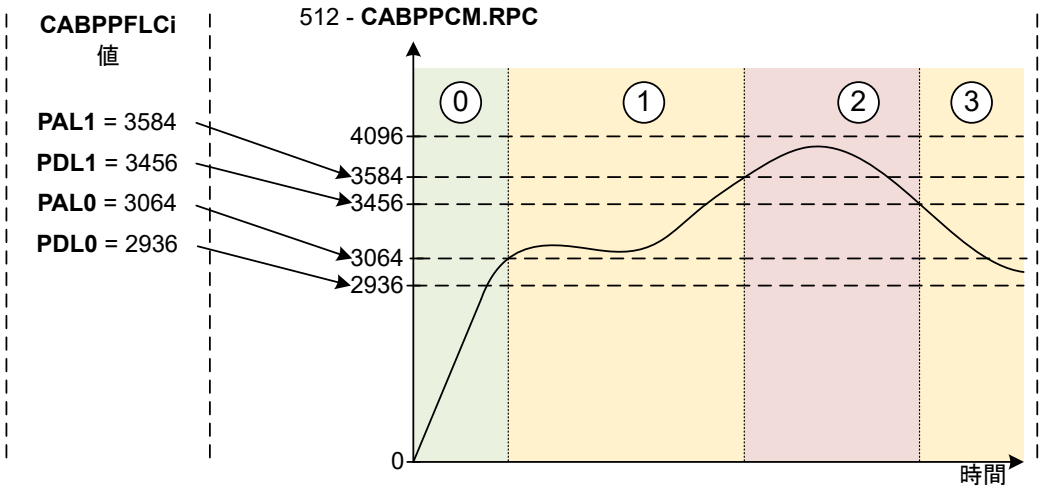
グローバル休止機能は、CABPPCM.RPC に応じて対象 IPV のエージェントにバックプレッシャーを印加することを目的としています。休止機能を使用すると、2 つの IPV の組み合わせでエージェントを休止できます。

グローバル休止機能はイーサネット共通エージェント PAUSE[3:0][1:0]インタフェースで制御されますが、エージェント[ETHA] [GWCA]によってバックプレッシャーが実行されます。

注.　**休止インタフェースはポート単位の休止機能で設定することもできます（必要な設定条件にポート単位休止機能またはグローバル休止機能がある場合、これらの端子のいずれかが設定されます）。**

図 31.14 に、休止レベル番号 = = 2 およびローカル RAM をアドレス指定するポインタ番号 = = 4096 の場合のグローバル休止機能設定の例を示します。

注.　図 31.14 の 512 - CABPPCM.RPC の変動は任意であり、直接的に対応しません。



	説明	PAUSE[i][0]/ PAUSE[i][1]値 (i = 0～2)
⓪	512 - **CABPPCM.RPC**が**CABPPFLC0.PAL0**レベルまたは**CABPPFLC1.PAL1**レベルを超過していないため、エージェントは休止しない	0/0
①	512 - **CABPPCM.RPC**は**CABPPFLC0.PAL0**レベルを超過したが、**CABPPFLC1.PAL1**レベルは超過していないため、エージェントはレベル0で休止する	1/0
②	512 - **CABPPCM.RPC**が**CABPPFLC0.PAL0**レベルおよび**CABPPFLC1.PAL1**レベルを超過したため、エージェントはレベル0および1で休止する	1/1
③	512 - **CABPPCM.RPC**が**CABPPFLC0.PAL0**を超過し、**CABPPFLC1.PDL1**を下回ったため、エージェントはレベル0で休止する	1/0

図 31.14　グローバル休止機能設定の例

31.5.2.2　ポート単位の休止機能 i (i = 0～3)

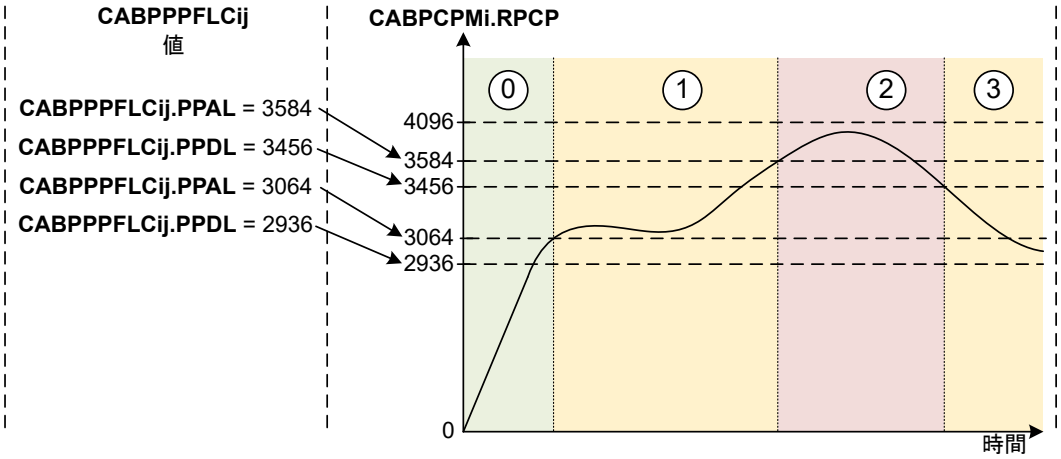
ポート単位の休止機能は、CABPPWMLCi.PWMCL に応じて対象 IPV のエージェントにバックプレッシャーを印加することを目的としています。休止機能を使用すると、2 つの IPV の組み合わせでエージェントを休止できます。

本機能はイーサネット共通エージェント PAUSE[i]インタフェースで制御されますが、エージェント[ETHA][GWCA]によってバックプレッシャーが実行されます。

注.　休止インタフェースはポート単位の休止機能で設定することもできます（必要な設定条件にポート単位休止機能またはグローバル休止機能がある場合、これらの端子のいずれかが設定されます）。

図 31.15 に、休止レベル番号 = = 2 およびローカル RAM をアドレス指定するポインタ番号 = = 4096 の場合のポート i のポート単位の休止機能設定の例を示します。

注.　図 31.15 の CABPPWMLCi.PWMCL の変動は任意であり、直接的に対応しません。



	説明	PAUSE[i][0]/ PAUSE[i][0]値
0	CABPCPMi.RPCPがCABPPPFLCi0.PPALレベルまたはCABPPPFLCi1.PPALレベルを超過していないため、エージェントは休止しない	0/0
1	CABPCPMi.RPCPはCABPPPFLCi0.PPALレベルを超過したが、CABPPPFLCi1.PPALレベルは超過していないため、エージェントはレベル0で休止する	1/0
2	CABPCPMi.RPCPがCABPPPFLCi0.PPALレベルおよびCABPPPFLCi1.PPALレベルを超過したため、エージェントはレベル0およびレベル1で休止する	1/1
3	CABPCPMi.RPCPがCABPPPFLCi0.PPALを超過し、CABPPPFLCi1.PPDLレベルを下回ったため、エージェントはレベル0で休止する	1/0

図 31.15　ポート i のポート単位の休止機能の設定例

31.5.3　ポート単位のメモリ割り当て機能

CABPULCi.MNNPN と CABPULCi.MXNPN により、ポート単位で使用できるポインタの最大数および最小数を制御できます。すべてのエージェントが最小数から最大数までのポインタを使用できます。本項では、メモリ割り当て機能の設定例をいくつか示します。

31.5.3.1　共有メモリ設定（初期設定）

共有メモリでは、データ RAM はすべてのポートで共有されます。これはイーサネット共通エージェントのリセット状態です。

図 31.16 に、ローカル RAM をアドレス指定するポインタ番号 = = 4096 およびスイッチのポート番号 = = 3 の場合の共有メモリ設定を示します。

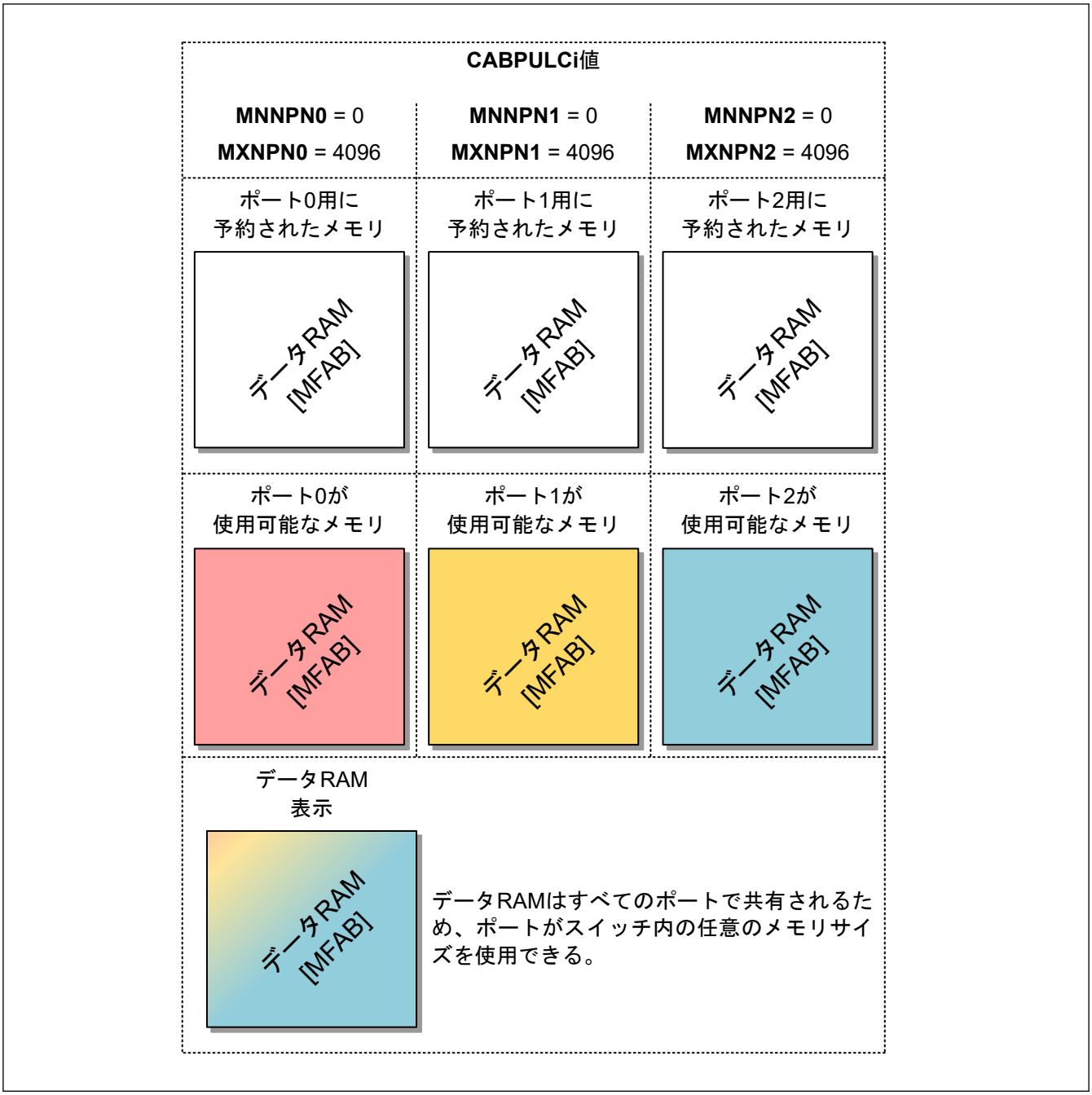


図 31.16　　共有メモリ設定

31.5.3.2　　縮小メモリ設定 1（推奨設定）

縮小メモリでは、データ RAM はすべてのエージェントで共有されますが、一部のエージェントは、スイッチをオーバーフローさせることができるためすべてのメモリを使用することができません（特に CPU ポート [GWCA]）。このモードを設定するには、CABPULCi.MXNPN レジスタを使用してください。

図 31.17 に、ローカル RAM をアドレス指定するポインタ番号 = = 4096 およびスイッチのポート番号 = = 3 の場合の縮小メモリ設定の例を示します。たとえば、ポート 2 が高速 CPU ポートである場合、CABPULCi.MXNPN レジスタは受信フレームの数を制限できます。

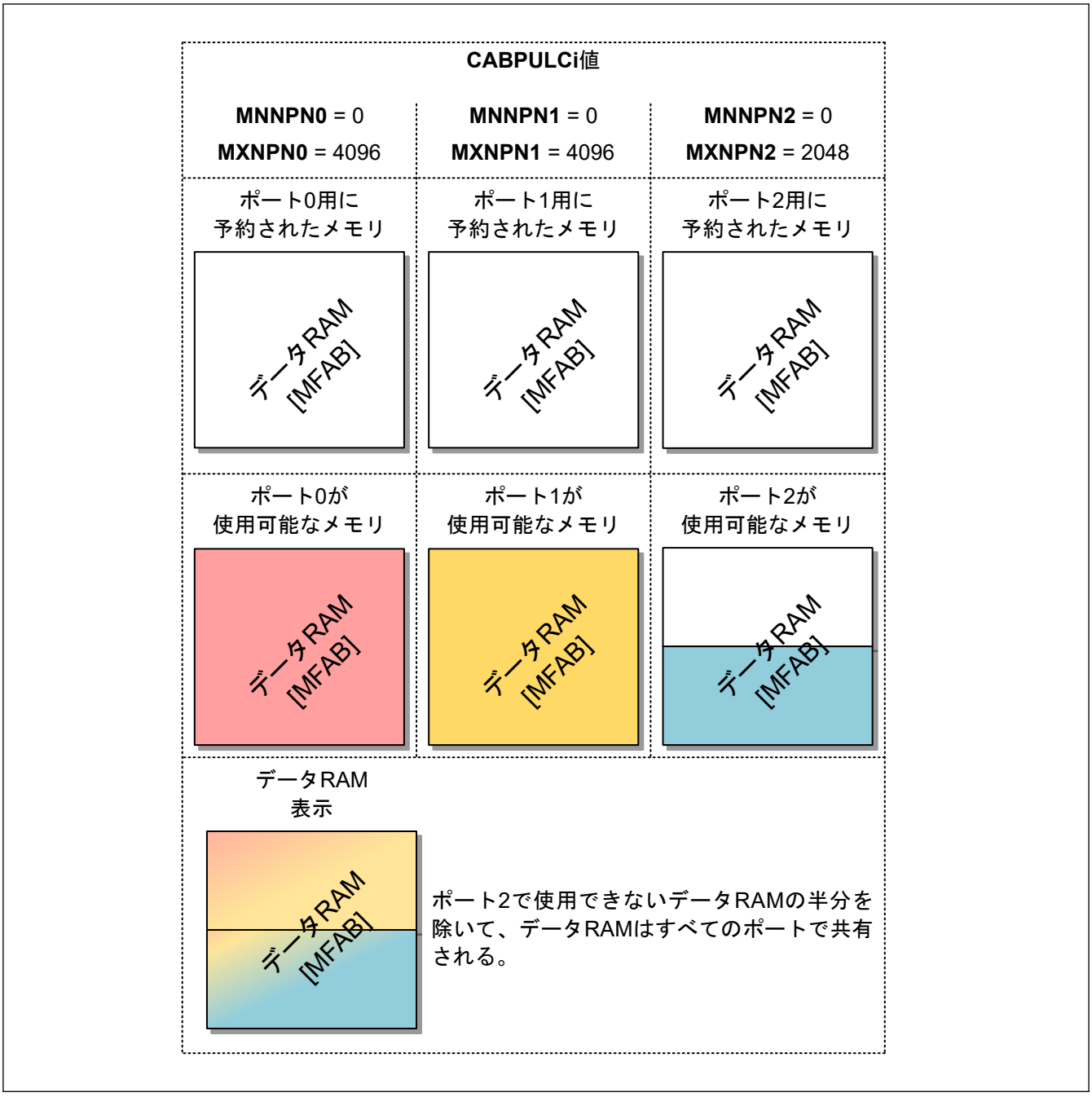


図 31.17　縮小メモリ設定の例

31.5.3.3　縮小メモリ設定 2（推奨設定）

縮小メモリでは、データ RAM はすべてのエージェントで共有されますが、一部のエージェントは、スイッチをオーバーフローさせることができるためすべてのメモリを使用することができません（特に CPU ポート [GWCA]）。このモードを設定するには、CABPULCi.MNNPN レジスタを使用してください。

図 31.18 に、ローカル RAM をアドレス指定するポインタ番号 = = 4096 およびスイッチのポート番号 = = 3 の場合の縮小メモリ設定の例を示します。たとえば、ポート 0 またはポート 1 が低速イーサネットポートの場合、CABPULCi.MNNPN レジスタはフレームバッファの数を保護できます。

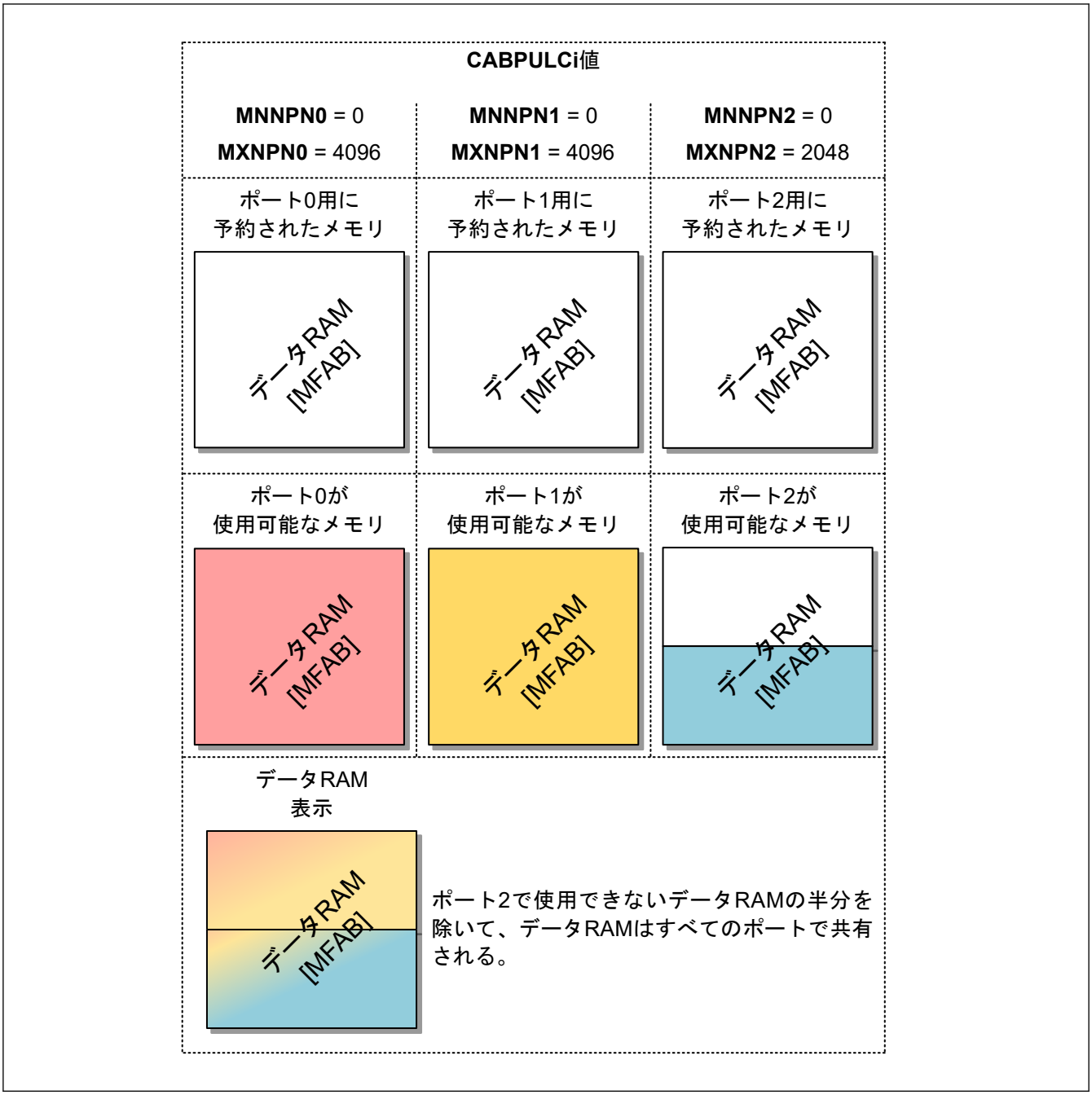


図 31.18　縮小メモリ設定の例

31.5.3.4　ハイブリッドメモリ設定

「31.5.3.1. 共有メモリ設定（初期設定）」、「31.5.3.2. 縮小メモリ設定 1（推奨設定）」、および「31.5.3.3. 縮小メモリ設定 2（推奨設定）」で説明する設定をすべて組み合わせて使用して、ハイブリッドメモリ設定のように複雑なメモリを記述することができます。

図 31.19 に、ローカル RAM をアドレス指定するポインタ番号 = = 4096 およびスイッチのポート番号 = = 4 の場合のハイブリッドメモリ設定の例を示します。

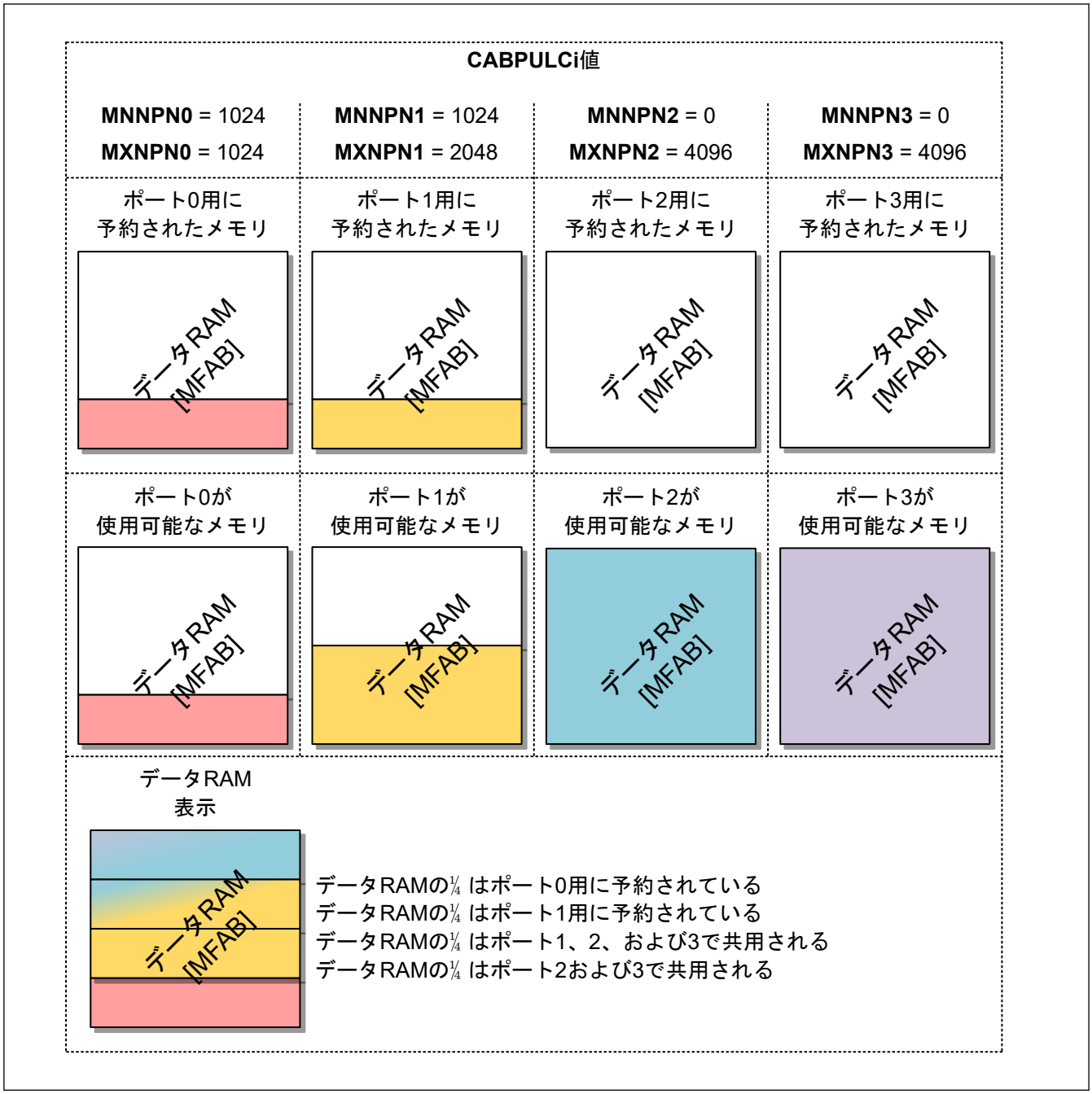


図 31.19　ハイブリッドメモリ設定の例

31.6　注意事項

31.6.1　注意事項

対象外。

31.6.2　制約事項（既知の問題を含む）

対象外。

32. イーサネットエージェント (ETHA)

32.1 概要

イーサネットエージェント (ETHA) は、ESWM 内部の通信を実現するエージェントインタフェースモジュールで構成されます。ETHA は、ESWM とイーサネット PHY の間のデータ交換を処理します。

表 32.1 に ETHA の仕様を、図 32.1 に ETHA のブロック図を示します。

表 32.1 ETHA の仕様

項目	機能	説明
インタフェース	クロック／リセットインタフェース	クロック／リセットインタフェース[TOP]
	スキャンインタフェース	スキャンインタフェース[TOP]
	スイッチモード	スイッチのモードを受信するためのインタフェース[MFWD]
	一時停止インタフェース	TX キューを一時停止するためのインタフェース[COMA]
	SFR インタフェース	GWCA SFR にアクセスするためのインタフェース[COMA]
	割り込み	CPU への GWCA 割り込み
	ファブリックインタフェース	データ、TAG、ポインタ RAM と通信するためのインタフェース[MFAB]
	ディスクリプタバス	フレーム情報を受信して CPU に送信するためのインタフェース[MFWD]
	L2/L3 更新バス	フレームルーティング情報をフェッチするためのインタフェース[MFWD]
	BP 要求	データ、TAG、ポインタ RAM にフレームを格納する BP を受信するためのインタフェース[COMA]
	BP 解放	使用されている BP を解放するためのインタフェース[COMA]
	TX タイムスタンプキャプチャインタフェース	TX タイムスタンプを CPU に送信するためのインタフェース[RMAC]
	RAM インタフェース	RAM と通信するためのインタフェース[TOP]
データプロビジョニング	イーサネットフレーム	IEEE 802.3、802.1Q、802.1Cb 規格に応答[802.3] [802.1Q] [802.1CB]
	ディスクリプタ	ローカルイーサネットディスクリプタ（ETHA から MFWD） 転送ディスクリプタ（MFWD から ETHA）

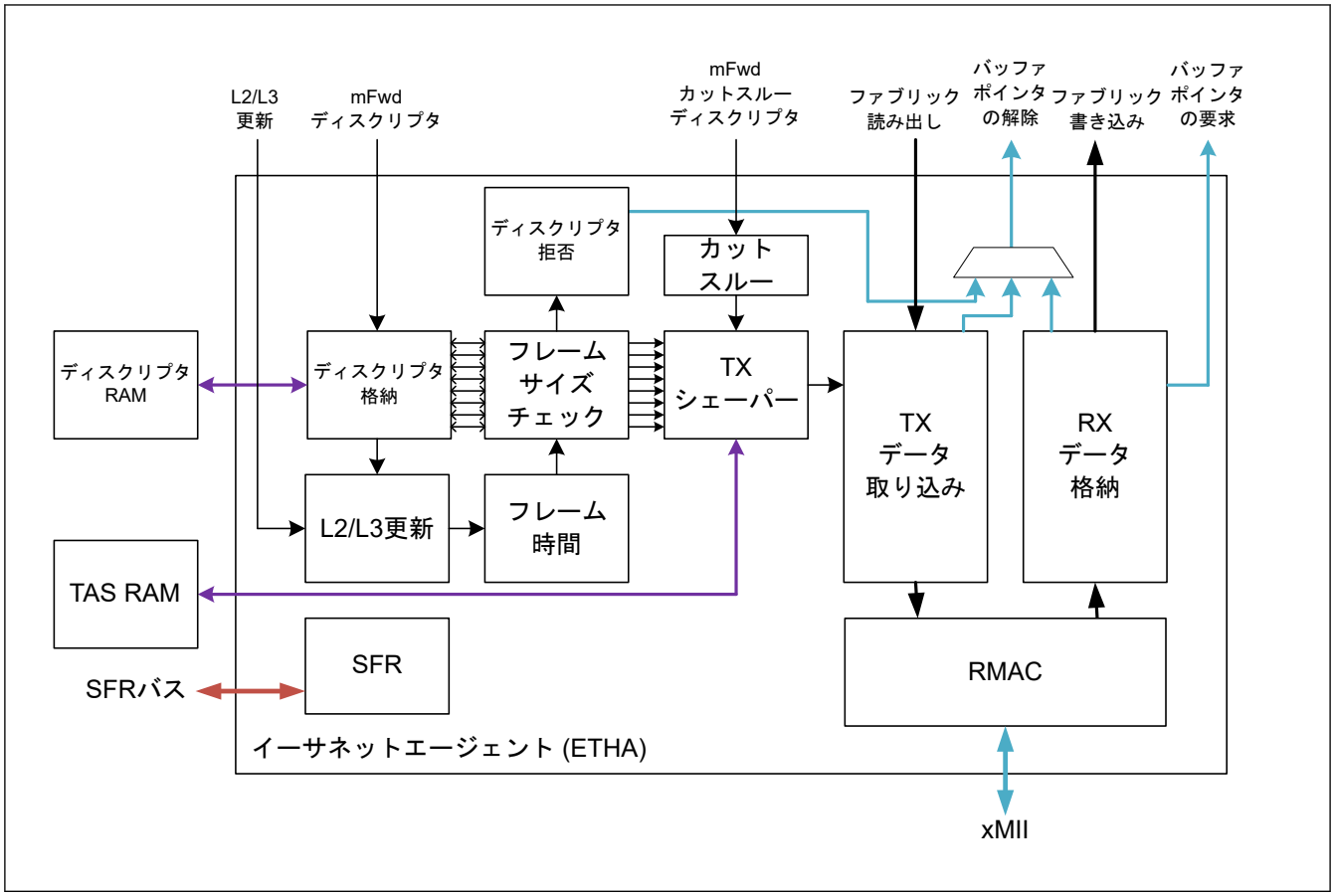


図 32.1　ETHA のブロック図

表 32.2　ETHA の機能ブロック

ブロック名	機能
RX データ格納	フレームを RMAC からローカル RAM に送信
送信データ取り込み	フレームをローカル RAM から RMAC に送信
カットスルー	転送エンジンからカットスルーディスクリプタを受信
ディスクリプタ格納	転送エンジンからディスクリプタを受信して、ディスクリプタ間の優先順位を制御
L2/L3 更新	L2/L3 更新情報を取り込む
フレーム時間	TAS スケジューリング用のフレーム時間を計算
フレームサイズチェック	フレームサイズをチェック
ディスクリプタ拒否	ディスクリプタを拒否
TX シェーパー	TX 側のトラフィックをシェーピング
RMAC	MAC インタフェース[RMAC]
SFR	ETHA SFR

32.2　ETHA のレジスター覧

表 32.3　ETHA のレジスタ (1/3)

オフセットアドレス	レジスタ名	略称	書き込みアクセスモード
0x0000	モードコンフィグレーションレジスタ	EAMC	任意
0x0004	モードステータスレジスタ	EAMS	—
0x0010	IPV 再マッピングコンフィグレーションレジスタ[802.1Q]	EAIRC	C

表 32.3 ETHA のレジスタ (2/3)

オフセットアドレス	レジスタ名	略称	書き込みアクセスモード
0x0014	TX ディスクリプタキューセキュリティコンフィグレーションレジスタ	EATDQSC	C, O
0x0018	TX ディスクリプタキューコンフィグレーションレジスタ	EATDQC	O
0x001C	TX ディスクリプタキューアービトレーションコンフィグレーションレジスタ	EATDQAC	C
0x0020	TX プリエンプションコンフィグレーションレジスタ	EATPEC	C
0x0040 + 0x04 × q	送信最大フレームサイズコンフィグレーションレジスタ q	EATMFSCq	C, O
0x0060 + 0x04 × q	送信ディスクリプタキュー深度コンフィグレーションレジスタ q	EATDQDCq	C
0x0080 + 0x04 × q	送信ディスクリプタキュー q 監視レジスタ	EATDQMq	—
0x00A0 + 0x04 × q E: 0x00C0 + 0x04 × q	送信ディスクリプタキュー q 最大レベル監視レジスタ	EATDQMLMq	—
0x0100	カットスルーキューコンフィグレーションレジスタ	EACTQC	C
0x0104	カットスルーディスクリプタキュー深度コンフィグレーションレジスタ	EACTDQDC	C
0x0108	カットスルーディスクリプタキュー監視レジスタ	EACTDQM	—
0x010C E: 0x0110	カットスルーディスクリプタキュー最大レベル監視レジスタ	EACTDQMLM	—
0x0130	VLAN 制御コンフィグレーションレジスタ	EAVCC	C
0x0134	VLAN TAG コンフィグレーションレジスタ	EAVTC	C
0x0138	受信 TAG フィルタリングコンフィグレーションレジスタ	EARTFC	C
0x0200	CBS Admin 許可コンフィグレーションレジスタ	EACAEC	C, O
0x0204	CBS コンフィグレーションレジスタ	EACC	C, O
0x0220 + 0x04 × q	CBS Admin インクリメント値コンフィグレーションレジスタ q	EACAIVCq	C, O
0x0240 + 0x04 × q	CBS Admin 上限コンフィグレーションレジスタ q	EACAULCq	C, O
0x0260	CBS Oper 許可監視レジスタ	EACOEM	—
0x0280 + 0x04 × q	CBS Oper インクリメント値監視レジスタ q	EACOIVMq	—
0x02A0 + 0x04 × q	CBS Oper 上限監視レジスタ q	EACOULMq	—
0x02C0	CBS ゲート状態監視レジスタ	EACGSM	—
0x0300	TAS コンフィグレーションレジスタ	EATASC	C, O
0x0304	TAS 初期ゲート状態コンフィグレーションレジスタ	EATASIGSC	C, O
0x0320 + 0x04 × i	TAS エントリ数コンフィグレーションレジスタ i	EATASENCi	C, O
0x0340	TAS カットスルーエントリ数コンフィグレーションレジスタ	EATASCTENC	C, O
0x0360 + 0x04 × i	TAS エントリ数監視レジスタ i	EATASENMi	C, O
0x0380	カットスルーエントリ数監視レジスタ	EATASCTENM	C, O
0x03A0	TAS サイクル開始時間コンフィグレーションレジスタ 0	EATASCSTC0	C, O
0x03A4	TAS サイクル開始時間コンフィグレーションレジスタ 1	EATASCSTC1	C, O
0x03A8	TAS サイクル開始時間監視レジスタ 0	EATASCSTM0	C, O
0x03AC	TAS サイクル開始時間監視レジスタ 1	EATASCSTM1	C, O
0x03B0	TAS サイクル時間コンフィグレーションレジスタ	EATASCTC	C, O
0x03B4	TAS サイクル時間監視レジスタ	EATASCTM	C, O
0x03C0	TAS ゲート学習レジスタ 0	EATASGL0	C, O
0x03C4	TAS ゲート学習レジスタ 1	EATASGL1	C, O
0x03C8	TAS ゲート学習結果レジスタ	EATASGLR	—
0x03D0	TAS ゲート読み出しレジスタ	EATASGR	C, O
0x03D4	TAS ゲート読み出し結果レジスタ	EATASGRR	—

表 32.3 ETHA のレジスタ (3/3)

オフセットアドレス	レジスタ名	略称	書き込みアクセスモード
0x03E0	TAS ハードウェア校正コンフィグレーションレジスタ	EATASHCC	C
0x03E4	TAS RAM 初期化レジスタ監視レジスタ	EATASRIRM	C, O
0x03E8	TAS 状態監視レジスタ	EATASSM	—
0x0400 E: 0x0480	最小値未満フレームサイズエラーカウンタレジスタ	EAUSMFSECN	—
0x0404 E: 0x0484	TAG フィルタリングエラーカウンタレジスタ	EATFECN	—
0x0408 E: 0x0488	フレームサイズエラーカウンタレジスタ	EAFSECN	—
0x040C E: 0x048C	ディスクリプタキューオーバーフローエラーカウンタレジスタ	EADQOECN	—
0x0410 E: 0x0490	ディスクリプタキューセキュリティエラーカウンタレジスタ	EADQSECN	—
0x0500	エラー割り込みステータスレジスタ 0	EAEIS0	C, O, D
0x0504	エラー割り込み許可レジスタ 0	EAEIE0	C, O, D
0x0508	エラー割り込み禁止レジスタ 0	EAEID0	C, O, D
0x0510	エラー割り込みステータスレジスタ 1	EAEIS1	C, O, D
0x0514	エラー割り込み許可レジスタ 1	EAEIE1	C, O, D
0x0518	エラー割り込み禁止レジスタ 1	EAEID1	C, O, D
0x0520	エラー割り込みステータスレジスタ 2	EAEIS2	C, O, D
0x0524	エラー割り込み許可レジスタ 2	EAEIE2	C, O, D
0x0528	エラー割り込み禁止レジスタ 2	EAEID2	C, O, D

注.
- ベースアドレス： ETHA0 = 0x403C_A000, ETHA1 = 0x403C_C000, ETHA0_NS = 0x503C_A000, ETHA1_NS = 0x503C_C000
- 先頭に「E:」が付いているアドレスはエミュレーションアドレスに対応し、内容を変更せずにレジスタを読み出すことができます。
- すべてのレジスタを任意のモードで読み出すことができます
- アクセスモード：
  - 任意：レジスタは任意のモードでアクセスできます
  - D：レジスタは DISABLE モードでアクセスできます
  - C：レジスタは CONFIG モードでアクセスできます
  - O：レジスタは OPERATION モードでアクセスできます。

32.3 ETHA レジスタの説明

32.3.1 ETHA モード機能レジスタ

32.3.1.1 EAMC : モードコンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OPC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	OPC[1:0]	動作モードコマンド ETHA モードの設定に使用 0 0: RESET モードへ遷移 0 1: DISABLE モードへ遷移 1 0: CONFIG モードへ遷移 1 1: OPERATION モードへ遷移	R/W
31:2	—	読むと 0 が読めます。	R

注. HW：このレジスタは、値が EAMS.OPS ではない場合、書き込みできません。

32.3.1.2 EAMS : モードステータスレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OPS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	OPS[1:0]	動作モードステータスフラグ 現在の ETHA モードを示します。 0 0: RESET モード 0 1: DISABLE モード 1 0: CONFIG モード 1 1: OPERATION モード	R
31:2	—	読むと 0 が読めます。	R

32.3.2 送信機能レジスタ

32.3.2.1 EAIRC : IPV 再マッピングコンフィグレーションレジスタ[802.1Q]

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	IPVR7[2:0]			—	IPVR6[2:0]			—	IPVR5[2:0]			—	IPVR4[2:0]		
Value after reset:	0	1	1	1	0	1	1	0	0	1	0	1	0	1	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IPVR3[2:0]			—	IPVR2[2:0]			—	IPVR1[2:0]			—	IPVR0[2:0]		
Value after reset:	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
2:0	IPVR0[2:0]	IPV 再マッピング 0 （転送エンジンから FDESCR.IPV [MFWD]が 0 のディスクリプタを受信したときに）受信した IPV が 0 のディスクリプタをどのキューに格納するかを設定します。	R/W
3	—	読むと 0 が読めます。	R
6:4	IPVR1[2:0]	IPV 再マッピング 1 （転送エンジンから FDESCR.IPV [MFWD]が 1 のディスクリプタを受信したときに）受信した IPV が 1 のディスクリプタをどのキューに格納するかを設定します。	R/W
7	—	読むと 0 が読めます。	R
10:8	IPVR2[2:0]	IPV 再マッピング 2 （転送エンジンから FDESCR.IPV [MFWD]が 2 のディスクリプタを受信したときに）受信した IPV が 2 のディスクリプタをどのキューに格納するかを設定します。	R/W
11	—	読むと 0 が読めます。	R
14:12	IPVR3[2:0]	IPV 再マッピング 3 （転送エンジンから FDESCR.IPV [MFWD]が 3 のディスクリプタを受信したときに）受信した IPV が 3 のディスクリプタをどのキューに格納するかを設定します。	R/W
15	—	読むと 0 が読めます。	R
18:16	IPVR4[2:0]	IPV 再マッピング 4 （転送エンジンから FDESCR.IPV [MFWD]が 4 のディスクリプタを受信したときに）受信した IPV が 4 のディスクリプタをどのキューに格納するかを設定します。	R/W
19	—	読むと 0 が読めます。	R
22:20	IPVR5[2:0]	IPV 再マッピング 5 （転送エンジンから FDESCR.IPV [MFWD]が 5 のディスクリプタを受信したときに）受信した IPV が 5 のディスクリプタをどのキューに格納するかを設定します。	R/W
23	—	読むと 0 が読めます。	R
26:24	IPVR6[2:0]	IPV 再マッピング 6 （転送エンジンから FDESCR.IPV [MFWD]が 6 のディスクリプタを受信したときに）受信した IPV が 6 のディスクリプタをどのキューに格納するかを設定します。	R/W
27	—	読むと 0 が読めます。	R
30:28	IPVR7[2:0]	IPV 再マッピング 7 （転送エンジンから FDESCR.IPV [MFWD]が 7 のディスクリプタを受信したときに）受信した IPV が 7 のディスクリプタをどのキューに格納するかを設定します。	R/W
31	—	読むと 0 が読めます。	R

32.3.2.2 EATDQSC : TX ディスクリプタキューセキュリティコンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TDQSL7～TDQSL0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDQSL7～TDQSL0	TX ディスクリプタキュー n セキュリティレベル (n = 0～7) キューがセキュアである場合、非セキュアのディスクリプタをキューに入れることはできません（FDESCR.SEC [FWD]が 0 であるディスクリプタを転送エンジンから受信した場合）。 0: キュー i は非セキュア 1: キュー i はセキュア	R/W
31:8	—	読むと 0 が読めます。	R

32.3.2.3 EATDQC : TX ディスクリプタキューコンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	TDQP7～TDQP0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TCTDQD	TDQD7～TDQD0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDQD7～TDQD0	TX ディスクリプタキュー n 禁止 (n = 0～7) 0: キュー i 許可 1: キュー i 禁止	R/W
8	TCTDQD	TX カットスルーディスクリプタキュー禁止 0: カットスルーキュー許可 1: カットスルーキュー禁止	R/W(注1)
15:9	—	読むと 0 が読めます。	R
23:16	TDQP7～TDQP0(注2)	TX ディスクリプタキュー n 一時停止 (n = 0～7) 0: キュー i 有効 1: キュー i 一時停止	R/W(注1)
31:24	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。
注 2. SW : キューを長時間一時停止すると、スイッチオーバーフローが発生する可能性があります。スイッチオーバーフロー[COMA]が発生した場合は、このレジスタを 0 に設定してください。

TDQDn ビット (TX ディスクリプタキュー n 禁止 (n = 0～7))

MFWD からのディスクリプタが、対応するキューに入らないようにします。転送エンジンは対応するディスクリプタを拒否します。

無効になったキューデータが不要になった場合、対応する EATMFSCq.MFS レジスタを 0 にして、フレームがさらに RMAC に送信されるのを回避できます。

[1 になる条件]

- SW：このビットに 1 を書き込む。

[0 になる条件]

- SW：このビットに 0 を書き込む。
- HW：OPERATION モードから復帰すると、このレジスタはクリアされます (EAMC.OPC≠11)。

TCTDQD ビット（TX カットスルーディスクリプタキュー禁止）

eha_ct_ready 端子をデアサートして、MFWD からのディスクリプタがカットスルーキューに入らないようにします。転送エンジンは共通エージェント拒否バス[COMA]を使用して対応するディスクリプタを拒否します。

[1 になる条件]

- SW：このビットに 1 を書き込む。

[0 になる条件]

- SW：このビットに 0 を書き込む。
- HW：OPERATION モードから復帰すると、このレジスタはクリアされます (EAMC.OPC≠11)。

TDQPn ビット (TX ディスクリプタキュー n 一時停止 (n = 0～7))

ディスクリプタ RAM からのディスクリプタ取り込みを停止して、フレームが RMAC [RMAC]に送信されないようにします。

[1 になる条件]

- SW：このビットに 1 を書き込む。

[0 になる条件]

- SW：このビットに 0 を書き込む。
- HW：OPERATION モードから復帰すると、このレジスタはクリアされます (EAMC.OPC≠11)。

注.
- このレジスタを使用するとキューが停止しますが、MFWD は対応するキューへのディスクリプタの送信を停止しません。この場合、キューがオーバーフローする可能性があります。
- キューが一時停止した場合も CBS モジュールは有効であるため、クレジット値は増加し続けます。

32.3.2.4 EATDQAC : TX ディスクリプタキューアービトレーションコンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x001C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TDQA7[3:0]				TDQA6[3:0]				TDQA5[3:0]				TDQA4[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TDQA3[3:0]				TDQA2[3:0]				TDQA1[3:0]				TDQA0[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	TDQA0[3:0]	TX ディスクリプタキューアービトレーション 0 0: キュー 0 絶対アービトレーション その他: キュー 0 WRR アービトレーション	R/W
7:4	TDQA1[3:0]	TX ディスクリプタキューアービトレーション 1 0: キュー 1 絶対アービトレーション その他: キュー 1 WRR アービトレーション	R/W
11:8	TDQA2[3:0]	TX ディスクリプタキューアービトレーション 2 0: キュー 2 絶対アービトレーション その他: キュー 2 WRR アービトレーション	R/W
15:12	TDQA3[3:0]	TX ディスクリプタキューアービトレーション 3 0: キュー 3 絶対アービトレーション その他: キュー 3 WRR アービトレーション	R/W
19:16	TDQA4[3:0]	TX ディスクリプタキューアービトレーション 4 0: キュー 4 絶対アービトレーション その他: キュー 4 WRR アービトレーション	R/W
23:20	TDQA5[3:0]	TX ディスクリプタキューアービトレーション 5 0: キュー 5 絶対アービトレーション その他: キュー 5 WRR アービトレーション	R/W
27:24	TDQA6[3:0]	TX ディスクリプタキューアービトレーション 6 0: キュー 6 絶対アービトレーション その他: キュー 6 WRR アービトレーション	R/W
31:28	TDQA7[3:0]	TX ディスクリプタキューアービトレーション 7 0: キュー 7 絶対アービトレーション その他: キュー 7 WRR アービトレーション	R/W

注.
- 詳細は、GWCA の仕様で GWRDQAC レジスタの説明[GWCA]を参照してください。
- SW : ハイブリッドアービトレーションモードでは、EATDQAC.TDQAi の値が 0 ではないキューの場合、すべての優先順位が連続している必要があります。
- SW : 絶対優先アービトレーションモード以外のすべてのアービトレーションモードでは、2 つ以上のキューの EATDQAC.TDQAi の値を 0 以外にする必要があります。
- SW : WRR アービトレーションは、同じ種類のキュー（e または p）間でのみ可能です。EATPEC.TTQ レジスタの説明を参照してください（たとえば、EATDQAC.TDQAi の値が 0 ではないキューの場合、すべて EATPEC.TTQi レジスタの設定が同じである必要があります）。
- SW : 絶対アービトレーションに設定されたキューのみが CBS 機能を使用できます
- SW : TAS を使用する場合、絶対アービトレーションに設定されていないキューはすべて同時に開く必要があります。

32.3.2.5 EATPEC : TX プリエンプションコンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AFS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TTQ7～TTQ0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TTQ7～TTQ0	送信タイプキュー n (n = 0～7) 「32.5.1.7.2. プリエンプション」を参照してください。 0: キュー i は e フレームを含む 1: キュー i は p フレームを含む	R/W

ビット	シンボル	機能	R/W
15:8	—	読むと 0 が読めます。	R
17:16	AFS[1:0]	追加のフラグメントサイズ プリエンプションに使用します。フレームの最後のフラグメント以外のフラグメントの最小サイズを定義します。 0 0: 最小フラグメントサイズに 0 バイトを追加（最小フラグメントサイズ = 64 バイト） 0 1: 最小フラグメントサイズに 64 バイトを追加（最小フラグメントサイズ = 128 バイト） 1 0: 最小フラグメントサイズに 128 バイトを追加（最小フラグメントサイズ = 192 バイト） 1 1: 最小フラグメントサイズに 192 バイトを追加（最小フラグメントサイズ = 256 バイト）	R/W
31:18	—	読むと 0 が読めます。	R

32.3.2.6 EATMFSCq : 送信最大フレームサイズコンフィグレーションレジスタ q (q = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0040 + 0x4 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MFS[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	MFS[15:0]	最大フレームサイズ ディスクリプタキュー q の最大フレームサイズ。これより大きいフレームはすべて拒否されます。	R/W
31:16	—	読むと 0 が読めます。	R

注. HW：MFS サイズ比較では、PHY インタフェース上のフレームサイズを取得します。

32.3.2.7 EATDQDCq : 送信ディスクリプタキュー深度コンフィグレーションレジスタ q (q = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0060 + 0x4 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DQD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	DQD[9:0]	ディスクリプタキュー深度 ディスクリプタキュー q を格納できるディスクリプタの数を設定します。 詳細は、GWCA の仕様で GWRDQDCq レジスタの説明[GWCA]を参照してください。	R/W
31:10	—	読むと 0 が読めます。	R

注. SW：DQD フィールドの合計は常に 512 以下にする必要があります。

32.3.2.8 EATDQMq : 送信ディスクリプタキュー q 監視レジスタ (q = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0080 + 0x4 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DNQ[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	DNQ[9:0]	キュー内のディスクリプタ数 これらのビットは、TX ディスクリプタキュー q に格納されているディスクリプタの現在の数を示します。 TX ディスクリプタキュー q に格納されているすべてのディスクリプタは、OPERATION モードの解除時に拒否／破棄されます。	R
31:10	—	読むと 0 が読めます。	R

DNQ[9:0]ビット（キュー内のディスクリプタ数）

[インクリメント条件]

- HW：対応するキューの MFWD からディスクリプタを受信し、キューがフルでなく、ディスクリプタセキュリティエラーがない場合に 1 インクリメントされます。

[デクリメント条件]

- HW：イーサネットエージェントによってディスクリプタが読み出され、データを RMAC [RMAC]に送信またはデータを拒否した場合に 1 デクリメントされます。

32.3.2.9 EATDQMLMq : 送信ディスクリプタキュー q 最大レベル監視レジスタ (q = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x00A0 + 0x4 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DMLQ[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	DMLQ[9:0]	キュー内のディスクリプタ最大レベル これらのビットは、TX ディスクリプタキュー q に格納されたディスクリプタの最大数を示します。	R
31:10	—	読むと 0 が読めます。	R

DMLQ[9:0]ビット（キュー内のディスクリプタ最大レベル）

[0 になる条件]

- HW：RESET モードでは本レジスタがクリアされます (EAMC.OPS == 00)。
- SW：本レジスタを読み出すと、EATDQMq.DNQ にクリアされます。

[インクリメント条件]

- HW：EATDQMq.DNQ より小さい場合、EATDQMq.DNQ の値にインクリメントされます。

32.3.2.10 EACTQC：カットスルーキューコンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTQD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CTQD[15:0](注1)	カットスルーキュー遅延（clk サイクル数） ディスクリプタ送信のために待機するクロック数を設定します。	R/W
31:16	—	読むと 0 が読めます。	R

注 1. 本製品では 0 を設定します。

32.3.2.11 EACTDQDC：カットスルーディスクリプタキュー深度コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CTDQD[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CTDQD[3:0]	カットスルーディスクリプタキュー深度 カットスルーディスクリプタキューを格納できるディスクリプタの数	R/W
31:4	—	読むと 0 が読めます。	R

注. SW：本レジスタの最大値は 8 です。

32.3.2.12 EACTDQM：カットスルーディスクリプタキュー監視レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CTQDN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CTQDN[3:0]	カットスルーキューディスクリプタ数	R
31:4	—	読むと 0 が読めます。	R

CTQDN[3:0]ビット（カットスルーキューディスクリプタ数）

これらのビットは、カットスルーディスクリプタキューに格納されているディスクリプタの現在の数を示します。

キューに格納されているすべてのカットスルーディスクリプタは、OPERATION モードの解除時に拒否／破棄されません。ただし、フレームを完全に受信する前に ETHA が RESET モードに遷移した場合、ETHA が受信しているフレームは拒否／破棄されます。

キューに格納されているすべてのカットスルーディスクリプタは、OPERATION モードの解除時に拒否／破棄されませんが、RESET モードに遷移した場合は拒否／破棄されます。

[インクリメント条件]

- HW：カットスルーキューの転送エンジンからディスクリプタを受信し、キューがフルでない場合に 1 インクリメントされます。

[デクリメント条件]

- HW：イーサネットエージェントによってディスクリプタが読み出され、データを RMAC [RMAC]に送信した場合に 1 デクリメントされます。

32.3.2.13 EACTDQMLM : カットスルーディスクリプタキュー最大レベル監視レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x010C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CTDMLQ[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CTDMLQ[3:0]	キュー内のカットスルーディスクリプタ最大レベル これらのビットは、カットスルーディスクリプタキューに格納されたディスクリプタの最大数を示します。	R
31:4	—	読むと 0 が読めます。	R

CTDMLQ[3:0]ビット（キュー内のカットスルーディスクリプタ最大レベル）

[0 になる条件]

- HW：RESET モードでは本レジスタがクリアされます (EAMC.OPS == 00)。
- SW：本レジスタを読み出すと、EACTDQM.CTQDN にクリアされます。

[インクリメント条件]

- HW：EACTDQM.CTQDN より小さい場合、EACTDQM.CTQDN の値にインクリメントされます。

32.3.3 TAG 機能レジスタ

32.3.3.1 EAVCC : VLAN 制御コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	VEM[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VIM
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VIM	VLAN Ingress モード 0: 入力 VLAN モード 1: ポートベース VLAN モード	R/W
15:1	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
18:16	VEM[2:0]	VLAN Egress モード 0 0 0: VLAN なしモード 0 0 1: C-TAG VLAN モード 0 1 0: HW C-TAG VLAN モード 0 1 1: SC-TAG VLAN モード 1 0 0: HW SC-TAG VLAN モード	R/W
31:19	—	読むと 0 が読めます。	R

32.3.3.2 EAVTC : VLAN TAG コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	STD	STP[2:0]			STV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTD	CTP[2:0]			CTV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	CTV[11:0]	C-TAG VLAN C-TAG VID 値を設定します。	R/W
14:12	CTP[2:0]	C-TAG PCP C-TAG PCP 値を設定します。	R/W
15	CTD	C-TAG DEI C-TAG DEI 値を設定します。	R/W
27:16	STV[11:0]	S-TAG VLAN S-TAG VID 値を設定します。	R/W
30:28	STP[2:0]	S-TAG PCP S-TAG PCP 値を設定します。	R/W
31	STD	S-TAG DEI S-TAG DEI 値を設定します。	R/W

32.3.3.3 EARTFC : 受信 TAG フィルタリングコンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0138

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	UT	SCRT	SCT	CRT	CT	CSRT	CST	RT	NT
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NT	TAG なし 0: TAG なしフレーム通過 1: TAG なしフレーム拒否	R/W
1	RT	R-TAG 0: R-TAG フレーム通過 1: R-TAG フレーム拒否	R/W
2	CST	CoS-TAG 0: CoS-TAG フレーム通過 1: CoS-TAG フレーム拒否	R/W
3	CSRT	CoSR-TAG 0: CoSR-TAG フレーム通過 1: CoSR-TAG フレーム拒否	R/W
4	CT	C-TAG 0: C-TAG フレーム通過 1: C-TAG フレーム拒否	R/W
5	CRT	CR-TAG 0: CR-TAG フレーム通過 1: CR-TAG フレーム拒否	R/W
6	SCT	SC-TAG 0: SC-TAG フレーム通過 1: SC-TAG フレーム拒否	R/W
7	SCRT	SCR-TAG 0: SCR-TAG フレーム通過 1: SCR-TAG フレーム拒否	R/W
8	UT	不明 TAG 0: 不明 TAG フレーム通過 1: 不明 TAG フレーム拒否	R/W
31:9	—	読むと 0 が読めます。	R

32.3.4 CBS 機能レジスタ[802.1Qav]

32.3.4.1 EACAEC : CBS Admin 許可コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0200

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CE7～CE0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CE7～CE0	CBS 許可 n (n = 0～7) 本レジスタは CBS の構成にのみ使用され、CBS モジュールで直接使用されることはありません。 0: ディスクリプタキュー i の CBS 禁止 1: ディスクリプタキュー i の CBS 許可	R/W
31:8	—	読むと 0 が読めます。	R

32.3.4.2 EACC : CBS コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0204

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CC7～CC0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CC7～CC0	構成変更 n (n = 0～7) 0: 影響なし 1: CBS i の Admin 設定が Oper 設定にコピーされます（EACAEC.CEi、EACAIVCq.CIV、および EACAULCq.CUL がそれぞれ EACOEM.CEi、EACOIVMq.CIV、および EACOULMq.CUL にコピーされます）。	W(注1)
31:8	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

32.3.4.3 EACAIVCq : CBS Admin インクリメント値コンフィグレーションレジスタ q (q = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0220 + 0x4 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CIV[19:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CIV[19:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
19:0	CIV[19:0]	クレジットインクリメント値	R/W
31:20	—	読むと 0 が読めます。	R

CIV ビット（クレジットインクリメント値）

CBS スループットを構成します。

CIV[3:0]は、クロック当たりのバイト単位のクレジットの増分で、CIV[15:0]は、クロック当たりのサブバイト単位のクレジットの増分です。

本レジスタは CBS の構成にのみ使用され、CBS モジュールで直接使用されることはありません。

詳細は、「32.5.1.5. CBS（クレジットベースのシェーパー）[802.1Qav]」を参照してください。

【使用上の注意】SW：本レジスタを 0 または 0 に近い値に設定すると、対応する送信キューのスループットが非常に低くなったり、キューオーバーフローが発生したりする可能性があります。

32.3.4.4 EACAULCq : CBS Admin 上限コンフィグレーションレジスタ q (q = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0240 + 0x4 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CUL[30:0]														
Value after reset:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CUL[30:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
30:0	CUL[30:0]	クレジット上限	R/W
31	—	読むと 0 が読めます。	R

CUL ビット（クレジット上限）

キュー q の干渉時間を構成します。

本レジスタは CBS の構成にのみ使用され、CBS モジュールで直接使用されることはありません。

詳細は、「32.5.1.5. CBS（クレジットベースのシェーパー）[802.1Qav]」を参照してください。

32.3.4.5 EACOEM : CBS Oper 許可監視レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0260

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CE7～CE0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CE7～CE0	CBS 許可 n (n = 0～7) [更新する条件] HW：EACC.CCi に 1 が書き込まれると、本レジスタは EACACC.CEi に更新されます。 0: ディスクリプタキュー i の CBS 禁止 1: ディスクリプタキュー i の CBS 許可	R
31:8	—	読むと 0 が読めます。	R

32.3.4.6 EACOIVMq : CBS Oper インクリメント値監視レジスタ q (q = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0280 + 0x4 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CIV[19:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CIV[19:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
19:0	CIV[19:0]	クレジットインクリメント値	R
31:20	—	読むと 0 が読めます。	R

CIV ビット（クレジットインクリメント値）

CBS スループットを構成します。

CIV[3:0]は、クロック当たりのバイト単位のクレジットの増分で、CIV[15:0]は、クロック当たりのサブバイト単位のクレジットの増分です。

本レジスタは CBS の構成にのみ使用され、CBS モジュールで直接使用されることはありません。

[更新する条件]

- HW：EACC.CCi に 1 が書き込まれると、本レジスタは EACAIVq.CIV に更新されます。

32.3.4.7 EACOULMq : CBS Oper 上限監視レジスタ q (q = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x02A0 + 0x4 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CUL[30:0]														
Value after reset:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CUL[30:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
30:0	CUL[30:0]	クレジット上限	R
31	—	読むと 0 が読めます。	R

CUL ビット（クレジット上限）

キュー q の干渉時間を構成します。

本レジスタは CBS の構成にのみ使用され、CBS モジュールで直接使用されることはありません。

[更新する条件]

- HW：EACC.CCi に 1 が書き込まれると、本レジスタは EACAULq.CUL に更新されます。

32.3.4.8 EACGSM : CBS ゲート状態監視レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x02C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CGS7～CGS0							
Value after reset:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	CGS7～CGS0	CBS ゲート状態 n (n = 0～7) 0: CBS はキュー i の送信を認証しない（CBS クレジットネガティブ） 1: CBS はキュー i の送信を認証する（CBS クレジットポジティブ）	R
31:8	—	読むと 0 が読めます。	R

32.3.5 TAS 機能レジスタ[802.1Qbv]

32.3.5.1 EATASC : TAS コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0300

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	TASCA[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TASTS	—	—	—	—	—	TASCI	TASCC	TASE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TASE	TAS 許可 TAS スケジュールを許可します。 「32.5.1.6.1. TAS の一般的な動作」を参照してください。 0: TAS 禁止 1: TAS 許可	R/W(注1)
1	TASCC	TAS 構成変更 0: TAS は構成変更中ではない 1: TAS は構成変更中	R/W(注1)
2	TASCI	TAS 構成不可 このビットは、TAS 構成を実行できるタイミングをソフトウェアが検出するのに役立ちます。これは (EATASC.TASE & ~EATASSM.TASSO) | EATASC.TASCC に等しくなります。 0: TAS 構成可能 1: TAS 構成不可能	R
7:3	—	読むと 0 が読めます。	R
8	TASTS	TAS タイマ選択 TAS モジュールに使用する gPTP を選択します。	R/W

ビット	シンボル	機能	R/W
15:9	—	読むと 0 が読めます。	R
23:16	TASCA[7:0]	TAS 構成アドレス 次の構成に対してエントリの学習が開始される TAS RAM 内のアドレスを示します。	R
31:24	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

TASE ビット（TAS 許可）

[1 になる条件]

- SW：このビットに 1 を書き込む。

[0 になる条件]

- SW：このビットに 0 を書き込む。
- HW：RESET モードであるとき

TASCC ビット（TAS 構成変更）

[1 になる条件]

- SW：このビットに 1 を書き込む。

[0 になる条件]

- HW：TAS 構成変更が完了したとき
- HW：RESET モードであるとき

「32.5.1.6.1. TAS の一般的な動作」を参照してください。

TASCI ビット（TAS 構成不可）

[0 になる条件]

- HW：RESET モードであるとき

TASCA[7:0]ビット（TAS 構成アドレス）

[0 になる条件]

- HW：RESET モードであるとき

32.3.5.2 EATASIGSC：TAS 初期ゲート状態コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0304

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TASC TIGS	TASIGS7～TASIGS0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TASIGS7～TASIGS0	TAS 初期ゲート状態 n (n = 0～7) ビット q は、ディスクリプタキュー q のゲートの初期化に使用するゲート状態です。 0: 初期ゲート状態は閉鎖 1: 初期ゲート状態は開放	R/W
8	TASCTIGS	TAS カットスルー初期ゲート状態 カットスルーゲートの初期化に使用するゲート状態 0: 初期ゲート状態は閉鎖 1: 初期ゲート状態は開放	R/W
31:9	—	読むと 0 が読めます。	R

32.3.5.3 EATASENCi : TAS エントリ数コンフィグレーションレジスタ i (i = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0320 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TASAEN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	TASAEN[8:0]	TAS Admin エントリ数 本レジスタは TAS の構成にのみ使用され、TAS モジュールで直接使用されることはありません。 ゲート i のスケジュールに使用される TAS RAM エントリの数を設定します。	R/W
31:9	—	読むと 0 が読めます。	R

注.
- SW : TAS モジュールが動的に使用されている場合（EATASC.TASE が設定済みの場合、図 32.11 の TAS 設定フローが使用されます）、EATASENCi.TASAEN の和は 119 以下にする必要があります。
- SW : TAS モジュールが静的に使用されている場合（EATASC.TASE が設定済みの場合、図 32.11 の TAS 設定フローは使用されません）、EATASENCi.TASAEN の和は 247 以下にする必要があります。

32.3.5.4 EATASCTENC : TAS カットスルーエントリ数コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0340

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TASCTAEN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	TASCTAEN[8:0]	TAS Admin カットスルーエントリ数 本レジスタは TAS の構成にのみ使用され、TAS モジュールで直接使用されることはありません。 カットスルーゲートのスケジュールに使用する TAS RAM エントリの数を設定します。	R/W
31:9	—	読むと 0 が読めます。	R

注.
- SW : TAS モジュールが動的に使用されている場合（EATASC.TASE が設定済みの場合、図 32.11 の TAS 設定フローが使用されます）、EATASENCi.TASAEN と EATASCTENC.TASCTAEN の和は 119 以下にする必要があります。
- SW : TAS モジュールが静的に使用されている場合（EATASC.TASE が設定済みの場合、図 32.11 の TAS 設定フローは使用されません）、EATASENCi.TASAEN と EATASCTENC.TASCTAEN の和は 247 以下にする必要があります。

32.3.5.5 EATASENMi : TAS エントリ数監視レジスタ i (i = 0～7)

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0360 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TASOEN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	TASOEN[8:0]	TAS Oper エントリ数	R
31:9	—	読むと 0 が読めます。	R

TASOEN[8:0]ビット（TAS Oper エントリ数）

[更新する条件]

- HW : 構成変更またはスケジュール開始が行われた場合に、本レジスタは EATASENCi.TASAEN に更新されます。「32.5.1.6.1. TAS の一般的な動作」を参照してください。

[0 になる条件]

- HW : RESET モードであるとき

32.3.5.6 EATASCTENM : TAS カットスルーエントリ数監視レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0380

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TASCTOEN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	TASCTOEN[8:0]	TAS カットスルー Oper エントリ数	R
31:9	—	読むと 0 が読めます。	R

TASCTOEN[8:0]ビット（TAS カットスルー Oper エントリ数）

[更新する条件]

- HW：構成変更またはスケジュール開始が行われた場合に、本レジスタは EATASCTENC.TASCTAEN に更新されます。8.1.6.1 項を参照してください。

[0 になる条件]

- HW：RESET モードであるとき

32.3.5.7 EATASCSTC0 : TAS サイクル開始時間コンフィグレーションレジスタ 0

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03A0

Bit position:	31																												0
Bit field:	TASACSTP0[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TASACSTP0[31:0]	TAS Admin サイクル開始時間パート 0 TAS スケジューラが構成を開始／変更する時間。 本レジスタは ns 単位です。	R/W

32.3.5.8 EATASCSTC1 : TAS サイクル開始時間コンフィグレーションレジスタ 1

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03A4

Bit position:	31																												0
Bit field:	TASACSTP1[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TASACSTP1[31:0]	TAS Admin サイクル開始時間パート 1 TAS スケジューラが構成を開始／変更する時間。 本レジスタは 2^{32} × ns 単位です。	R/W

32.3.5.9 EATASCSTM0 : TAS サイクル開始時間監視レジスタ 0

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03A8

Bit position:	31																												0
Bit field:	TASOCSTP0[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TASOCSTP0[31:0]	TAS Oper サイクル開始時間パート 0	R

TASOCSTP0[31:0]ビット（TAS Oper サイクル開始時間パート 0）

[更新する条件]

- HW：構成変更またはスケジュール開始が行われた場合に、{EATASCSTM1,EATASCSTM0} は {EATASCSTC1,EATASCSTC0} + EATASCTC に更新されます。「32.5.1.6.1. TAS の一般的な動作」を参照してください。
- HW：新しいサイクルが開始されるたびに、本レジスタは次のサイクル開始時間に更新されます。

[0 になる条件]

- HW：RESET モードであるとき

32.3.5.10 EATASCSTM1：TAS サイクル開始時間監視レジスタ 1

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03AC

Bit position:	31																											0
Bit field:	TASOCSTP1[31:0]																											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TASOCSTP1[31:0]	TAS Oper サイクル開始時間パート 1	R

TASOCSTP1[31:0]ビット（TAS Oper サイクル開始時間パート 1）

[更新する条件]

- HW：構成変更またはスケジュール開始が行われた場合に、{EATASCSTM1, EATASCSTM0} は {EATASCSTC1, EATASCSTC0} + EATASCTC の値に更新されます。「32.5.1.6.1. TAS の一般的な動作」を参照してください。
- HW：新しいサイクルが開始されるたびに、本レジスタは次のサイクル開始時間に更新されます。

[0 になる条件]

- HW：RESET モードであるとき

32.3.5.11 EATASCTC：TAS サイクル時間コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03B0

Bit position:	31																											0
Bit field:	TASACT[31:0]																											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TASACT[31:0]	TAS Admin サイクル時間 TAS のサイクル時間を ns 単位で構成します。	R/W

注. SW：本レジスタを 100 ns より大きい値に設定してください。

32.3.5.12 EATASCTM : TAS サイクル時間監視レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03B4

Bit position:	31																												0
Bit field:	TASOCT[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TASOCT[31:0]	TAS Oper サイクル時間	R

TASOCT[31:0]ビット（TAS Oper サイクル時間）

[更新する条件]

- HW：構成変更またはスケジュール開始が行われた場合に、本レジスタは EATASCTC.TASACT に更新されます。「32.5.1.6.1. TAS の一般的な動作」を参照してください。

[0 になる条件]

- HW：RESET モードであるとき

32.3.5.13 EATASGL0 : TAS ゲート学習レジスタ 0

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TASGAL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TASGAL[7:0]	TAS ゲートアドレス学習 TAS エントリを学習するアドレスを構成します。	R/W
31:8	—	読むと 0 が読めます。	R

32.3.5.14 EATASGL1 : TAS ゲート学習レジスタ 1

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	TASGSL	TASGTL[27:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TASGTL[27:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	TASGTL[27:0]	TAS ゲート時間学習 ゲート時間を構成する	R/W
28	TASGSL	TAS ゲート状態学習 ゲート状態を構成する	R/W
31:29	—	読むと 0 が読めます。	R

32.3.5.15 EATASGLR : TAS ゲート学習結果レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
30:0	—	読むと 0 が読めます。	R
31	GL	ゲート学習	R

GL ビット（ゲート学習）

[1 になる条件]

- HW：EATASGL1 レジスタに書き込む。

[0 になる条件]

- HW：学習が完了すると、このビットはデアサートされます。

32.3.5.16 EATASGR : TAS ゲート読み出しレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TASGAR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TASGAR[7:0]	TAS ゲートアドレス読み出し TAS エントリを読み出すアドレスを構成します。	R/W
31:8	—	読むと 0 が読めます。	R

32.3.5.17 EATASGRR : TAS ゲート読み出し結果レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03D4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GR	—	—	TASGSR	TASGTR[27:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TASGTR[27:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	TASGTR[27:0]	TAS ゲート時間読み出し ゲート時間読み出し値を表示します。	R
28	TASGSR	TAS ゲート状態読み出し ゲート状態読み出し値を表示します。	R
30:29	—	読むと 0 が読めます。	R
31	GR	ゲート読み出し	R

TASGTR ビット（TAS ゲート時間読み出し）

[更新する条件]

- EATASGRR.GR クリアイベント

TASGSR ビット（TAS ゲート状態読み出し）

[更新する条件]

- EATASGRR.GR クリアイベント

GR ビット（ゲート読み出し）

[1 になる条件]

- HW：EATASGR レジスタに書き込む。

[0 になる条件]

- HW：読み出しが完了すると、このビットはデアサートされます。

32.3.5.18 EATASHCC : TAS ハードウェア校正コンフィグレーションレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TASJ[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TASJ[15:0]	TAS ジッタ TAS データ送信と RMAC PHY インタフェース[RMAC]の間のジッタを構成します。 「32.5.1.6.3. TAS ハードウェア校正」を参照してください。	R/W
31:16	—	読むと 0 が読めます。	R

32.3.5.19 EATASRIRM : TAS RAM 初期化レジスタ監視レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TASRR	TASRIOG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TASRIOG	TAS RAM 初期化実行中	R/W(注1)
1	TASRR	TAS RAM 準備完了	R
31:2	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

TASRIOG ビット（TAS RAM 初期化実行中）

[1 になる条件]

- SW：本レジスタに 1 を書き込むと TAS RAM の初期化が開始されます。

[0 になる条件]

- HW：TAS RAM の初期化が完了したとき。

TASRR ビット（TAS RAM 準備完了）

[1 になる条件]

- EATASRIRM.TASRIOG がクリアされたとき。

[0 になる条件]

- EATASRIRM.TASRIOG に 1 を書いたとき。

32.3.5.20 EATASSM : TAS 状態監視レジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x03E8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TASSO
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TASCTGS	TASGS7～TASGS0							
Value after reset:	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	TASGS7～TASGS0	TAS ゲート n 状態 (n = 0～7) 0: ゲート i は閉鎖状態 1: ゲート i は開放状態	R
8	TASCTGS(注1)	TAS カットスルーゲート状態 0: カットスルーゲートは閉鎖状態 1: カットスルーゲートは開放状態	R
15:9	—	読むと 0 が読めます。	R
16	TASSO	TAS スケジューラ実行中 0: TAS スケジューラは実行中ではない 1: TAS スケジューラは実行中	R
31:17	—	読むと 0 が読めます。	R

注 1. HW：本レジスタは UCIAPRACE020_CT_ON が定義されている場合のみ存在します。

TASSO ビット（TAS スケジューラ実行中）

[0 になる条件]

- HW：RESET モードであるとき

32.3.6 ETHA カウンタレジスタ

32.3.6.1 EAUSMFSECN : 最小フレームサイズ未満エラーカウンタレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	USMFSEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	USMFSEN[15:0]	最小フレームサイズ未満エラー数 このレジスタは、最小サイズ未満エラーのために失われた受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

USMFSEN[15:0]ビット（最小フレームサイズ未満エラー数）

[0 になる条件]

- HW：RESET モードであるとき
- SW：本レジスタを読み出す。

[インクリメント条件]

- HW：最小フレームサイズ未満エラーが発生し、本レジスタの値が 0xFFFF ではない場合に 1 インクリメントされます。

32.3.6.2 EATFECN : TAG フィルタリングエラーカウンタレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0404

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TFEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TFEN[15:0]	TAG フィルタリングエラー数 本レジスタは、TAG フィルタリングのために消失した受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

TFEN[15:0]ビット（TAG フィルタリングエラー数）

[0 になる条件]

- HW：RESET モードであるとき
- SW：本レジスタを読み出す。

[インクリメント条件]

- HW：TAG フィルタエラーが発生し、本レジスタの値が 0xFFFF ではない場合に 1 インクリメントされます。

32.3.6.3 EAFSECN：フレームサイズエラーカウンタレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0408

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FSEN[15:0]	フレームサイズエラー数 本レジスタは、フレームサイズエラーのために消失した受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

FSEN[15:0]ビット（フレームサイズエラー数）

[0 になる条件]

- HW：RESET モードであるとき
- SW：本レジスタを読み出す。

[インクリメント条件]

- HW：フレームサイズエラーが発生し、本レジスタの値が 0xFFFF ではない場合に 1 インクリメントされます。

32.3.6.4 EADQOECN：ディスクリプタキューオーバーフローエラーカウンタレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x040C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DQOEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DQOEN[15:0]	ディスクリプタキューオーバーフローエラー数 本レジスタは、ディスクリプタキューオーバーフローエラーのために消失した送信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

DQOEN[15:0]ビット（ディスクリプタキューオーバーフローエラー数）

[0 になる条件]

- HW：RESET モードであるとき
- SW：本レジスタを読み出す。

[インクリメント条件]

- HW：ディスクリプタキューオーバーフローエラーが発生し、本レジスタの値が 0xFFFF ではない場合に 1 インクリメントされます。

32.3.6.5 EADQSECN：ディスクリプタキューセキュリティエラーカウンタレジスタ

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0410

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DQSEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DQSEN[15:0]	ディスクリプタキューセキュリティエラー数 本レジスタは、ディスクリプタキューセキュリティエラーのために消失した送信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

DQSEN[15:0]ビット（ディスクリプタキューセキュリティエラー数）

[0 になる条件]

- HW：RESET モードであるとき
- SW：本レジスタを読み出す。

[インクリメント条件]

- HW：ディスクリプタキューセキュリティエラーが発生し、本レジスタの値が 0xFFFF ではない場合に 1 インクリメントされます。

32.3.7 ETHA 割り込みレジスタ

32.3.7.1 エラー割り込みレジスタ

32.3.7.1.1 EAEIS0 : エラー割り込みステータスレジスタ 0

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0500

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSES7～FSES0								—	TFES	USMFSES	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。	R
5	USMFSES	スイッチ最小フレームサイズ未満エラーステータスフラグ	R/W(注1)
6	TFES	TAG フィルタリングエラーステータスフラグ	R/W(注1)
7	—	読むと 0 が読めます。	R
15:8	FSES7～FSES0	フレームサイズエラーステータスフラグ n (n = 0～7)	R/W(注1)
31:16	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

USMFSES ビット（スイッチ最小フレームサイズ未満エラーステータスフラグ）

[1 になる条件]

- HW：RMAC から 32 バイト未満のフレームを受信したとき。

このエラーは[RMAC] MEIS.RPOES とともに発生します。

[0 になる条件]

- HW：RESET モードであるとき
- SW：これらのビットのいずれかに 1 を書き込む。

[エラー復帰]

- HW：フレームは破棄されます
- SW：システムに依存するため、定義できません。

TFES ビット（TAG フィルタリングエラーステータスフラグ）

[1 になる条件]

- HW：不正な TAG フォーマットが検出されたとき。（「32.5.2.1. RX データ格納」を参照してください）。

[0 になる条件]

- HW：RESET モードであるとき
- SW：これらのビットのいずれかに 1 を書き込む。

[エラー復帰]

- HW：フレームは、ローカルディスクリプタの DESCR.TFE ビットが設定されて MFWD に送信されます。（「32.5.2.1. RX データ格納」を参照してください）。
- SW：システムに依存するため、定義できません。

FSESn ビット (フレームサイズエラーステータスフラグ n (n = 0～7))

[1 になる条件]

- HW：ディスクリプタキュー q に対して EATMFSC.MFS より大きいフレームを受信した場合、本レジスタのビット q が設定されます。

[0 になる条件]

- HW：RESET モードであるとき
- SW：これらのビットのいずれかに 1 を書き込む。

[エラー復帰]

- HW：現在のフレームが失われ、後続のデータは通常どおり処理されます
- SW：システムに依存するため、定義できません。

32.3.7.1.2 EAEIE0：エラー割り込み許可レジスタ 0

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0504

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSEE7～FSEE0								—	TFEE	USMFSEE	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。	R
5	USMFSEE	スイッチ最小フレームサイズ未満エラー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
6	TFEE	TAG フィルタリングエラー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
7	—	読むと 0 が読めます。	R
15:8	FSEE7～FSEE0	フレームサイズエラー許可 n (n = 0～7) 0: ディスクリプタキュー i の割り込み禁止 1: ディスクリプタキュー i の割り込み許可	R/W(注1)
31:16	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

USMFSEE ビット（スイッチ最小フレームサイズ未満エラー許可）

[1 になる条件]

- このビットに 1 を書き込む。

[0 になる条件]

- EAEID0.USMFSED レジスタに 1 を書き込むとこのビットがクリアされます。

TFEE ビット（TAG フィルタリングエラー許可）

[1 になる条件]

- このビットに 1 を書き込む。

[0 になる条件]

- EAEID0.TFED レジスタに 1 を書き込むとこのビットがクリアされます。

FSEEn ビット (フレームサイズエラー許可 n (n = 0～7))

[1 になる条件]

- これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- EAEID0.FSED ビットのいずれかに 1 を書き込むと、本レジスタの対応するビットがクリアされます。

32.3.7.1.3 EAEID0 : エラー割り込み禁止レジスタ 0

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0508

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSED7～FSED0								—	TFED	USMFSED	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。	R
5	USMFSED	スイッチ最小フレームサイズ未満エラー禁止 このビットに 1 を書き込むと EAEIE0.USMFSEE レジスタがクリアされます。	R
6	TFED	TAG フィルタリングエラー禁止 このビットに 1 を書き込むと EAEIE0.TFEE レジスタがクリアされます。	R
7	—	読むと 0 が読めます。	R
15:8	FSED7～FSED0	フレームサイズエラー禁止 n (n = 0～7) これらのビットのいずれかに 1 を書き込むと、EAEIE0.FSEE レジスタ内の対応するビットがクリアされます。	R
31:16	—	読むと 0 が読めます。	R

32.3.7.1.4 EAEIS1 : エラー割り込みステータスレジスタ 1

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0510

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	TASCTGES	TASGES7～TASGES0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CULES7～CULES0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CULES7～CULES0	CBS　n 上限エラーステータスフラグ (n = 0～7)	R/W(注1)
15:8	—	読むと 0 が読めます。	R
23:16	TASGES7～TASGES0	TAS ゲート n エラーステータスフラグ (n = 0～7)	R/W(注1) (注2)
24	TASCTGES	TAS カットスルーゲートエラーステータスフラグ	R/W(注1) (注2)
31:25	—	読むと 0 が読めます。	R

注 1.　読み出し値は書き込まれた値とは異なります。
注 2.　このエラーは、以下の理由で発生する可能性があります。

- TAS 開始時間 EATASCSTC0/1 が過去に設定されている
- gPTP タイマにオフセット補正があった[gPTP]
- 最小ゲート時間が満たされていない。

CULESn ビット (CBS　n 上限エラーステータスフラグ (n = 0～7))

[1 になる条件]

- HW：ディスクリプタキュー q に対応する CBS クレジットが上限 EACOULMq.CUL に到達すると、本レジスタのビット q が設定されます。

[0 になる条件]

- HW：RESET モードであるとき
- SW：これらのビットのいずれかに 1 を書き込む。

[エラー復帰]

- HW：クレジット計算は EACOULMq.CUL で停止し、対応するキューのフレーム送信までクレジットは追加されません。結果として、キュースループットは予想より低くなります。
- SW：これはソフトウェアエラーであり、発生してはなりません（部分的にオーバーラップしているゲートで TAS を設定すると、このエラーがトリガされる可能性があります）。

TASGESn ビット (TAS ゲート n エラーステータスフラグ (n = 0～7))

[1 になる条件]

- HW：ディスクリプタキュー q に対応する TAS ゲートで、開始までに次のゲート状態の値を取り込む時間がなかった場合に、本レジスタのビット q が設定されます。

[0 になる条件]

- HW：RESET モードであるとき
- SW：これらのビットのいずれかに 1 を書き込む。

[エラー復帰]

- HW：次のサイクル中にゲートが再開します
- SW：このエラーが頻繁に発生する場合は、別のスケジュールで TAS を再構成してください（最小ゲート時間が満たされていないため、これはソフトウェアの問題です）。再構成中は新しい開始時間に到達するまでこのエラーが発生し続けるため、無視してください。

【使用上の注意】このエラーは、以下の理由で発生する可能性があります。

- **TAS 開始時間 EATASCSTC0/1 が過去に設定されている**
- **gPTP タイマにオフセット補正があった[gPTP]**
- **最小ゲート時間が満たされていない（ゲート時間が 50 ns + EATASHCC.TASJ 未満）。**

TASCTGES ビット（TAS カットスルーゲートエラーステータスフラグ）

[1 になる条件]

- HW：カットスルーに対応する TAS ゲートで、開始までに次のゲート状態の値を取り込む時間がない場合に、本レジスタが設定されます。

[0 になる条件]

- HW：RESET モードであるとき
- SW：これらのビットのいずれかに 1 を書き込む。

[エラー復帰]

- HW：次のサイクル中にゲートが再開します
- SW：このエラーが頻繁に発生する場合は、別のスケジュールで TAS を再構成してください（最小ゲート時間が満たされていないため、これはソフトウェアの問題です）。再構成中は新しい開始時間に到達するまでこのエラーが発生し続けるため、無視してください。

【使用上の注意】このエラーは、以下の理由で発生する可能性があります。

- **TAS 開始時間 EATASCSTC0/1 が過去に設定されている**
- **gPTP タイマにオフセット補正があった[gPTP]**
- **最小ゲート時間が満たされていない。**

32.3.7.1.5 EAEIE1：エラー割り込み許可レジスタ 1

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0514

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	TASCTGEE	TASGEE7～TASGEE0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CULEE7～CULEE0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CULEE7～CULEE0	CBS n 上限エラー許可 (n = 0～7) 0: ディスクリプタキュー i の割り込み禁止 1: ディスクリプタキュー i の割り込み許可	R/W(注1)
15:8	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
23:16	TASGEE7～TASGEE0	TAS ゲート n エラー許可 (n = 0～7) 0: ディスクリプタキュー i の割り込み禁止 1: ディスクリプタキュー i の割り込み許可	R/W(注1)
24	TASCTGEE	TAS カットスルーゲートエラー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
31:25	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

CULEEn ビット (CBS n 上限エラー許可 (n = 0～7))

[1 になる条件]

- これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- EAEID1.CULED ビットのいずれかに 1 を書き込むと、本レジスタの対応するビットがクリアされます。

TASEEn ビット (TAS ゲート n エラー許可 (n = 0～7))

[1 になる条件]

- これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- EAEID1.TASGED ビットのいずれかに 1 を書き込むと、本レジスタの対応するビットがクリアされます。

TASCTGEE ビット（TAS カットスルーゲートエラー許可）

[1 になる条件]

- このビットに 1 を書き込む。

[0 になる条件]

- EAEID1.TASCTGED レジスタに 1 を書き込む。

32.3.7.1.6 EAEID1 : エラー割り込み禁止レジスタ 1

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0518

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	TASCTGED	TASGED7～TASGED0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CULED7～CULED0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CULED7～CULED0	CBS n 上限エラー禁止 (n = 0～7) これらのビットのいずれかに 1 を書き込むと、EAEIE1.CULEE レジスタ内の対応するビットがクリアされます。	R
15:8	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
23:16	TASGED7～TASGED0	TAS ゲート n エラー禁止 (n = 0～7) これらのビットのいずれかに 1 を書き込むと、EAEIE1.TASGEE レジスタ内の対応するビットがクリアされます。	R
24	TASCTGED	TAS カットスルーゲートエラー禁止 このビットに 1 を書き込むと EAEIE1.TASCTGEE レジスタがクリアされます。	R
31:25	—	読むと 0 が読めます。	R

32.3.7.1.7 EAEIS2 : エラー割り込みステータスレジスタ 2

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0520

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DQSES7～DQSES0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CTDQOES	DQOES7～DQOES0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DQOES7～DQOES0	ディスクリプタキュー n オーバーフローエラーステータスフラグ (n = 0～7)	R/W(注1)
8	CTDQOES	カットスルーディスクリプタキューオーバーフローエラーステータスフラグ	R/W(注1)
15:9	—	読むと 0 が読めます。	R
23:16	DQSES7～DQSES0	ディスクリプタキュー n セキュリティエラーステータスフラグ (n = 0～7)	R/W(注1)
31:24	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

DQOESn ビット (ディスクリプタキュー n オーバーフローエラーステータスフラグ (n = 0～7))

[1 になる条件]

- HW：本レジスタのビット q が設定される。

[ETHA 動作中]（EAMC.OPC == 11 かつ EAMC.OPS == 11）

キュー q に対してディスクリプタを受信した場合、ディスクリプタキューが「フル (EATDQDCq.DQD == EATDQMq.DNQ)」または「許可（EATDQC.TDQDn が未設定）」であるとき。

[ETHA 停止中]（EAMC.OPC≠11 かつ EAMC.OPS == 11）

キュー q に対してディスクリプタを受信したとき。

[0 になる条件]

- HW：RESET モードであるとき
- SW：このビットに 1 を書き込む。

[エラー復帰]

- HW : フルになっているディスクリプタキューに対して受信されたディスクリプタはすべて、ETHA によって受け付けられず、RMAC [RMAC]にも転送されません。
- SW : 対応するキューに対して受信されたディスクリプタが多すぎます。EATDQDCq.DQD の設定を確認する必要があります。

CTDQOES ビット（カットスルーディスクリプタキューオーバーフローエラーステータスフラグ）

[1 になる条件]

HW：本レジスタには、排他的な 1 になる条件が 2 つあります。

- [ETHA 動作中]（EAMC.OPC == 11 かつ EAMC.OPS == 11）カットスルーディスクリプタに対してディスクリプタを受信した場合、ディスクリプタキューが「フル (EACTDQDCq.CTDQD == EACTDQM.CTQDN)」および「許可（EATDQC.TCTDQD が未設定）」であるとき
- [ETHA OPERATION 停止中]（EAMC.OPC≠11 または EAMC.OPS≠11）カットスルーディスクリプタに対してディスクリプタを受信したとき。

[0 になる条件]

- HW：RESET モードであるとき
- SW：このビットに 1 を書き込む。

[エラー復帰]

- HW：フルになっているディスクリプタキューに対して受信されたディスクリプタはすべて、ETHA によって受け付けられず、RMAC [RMAC]にも転送されません。
- SW：対応するキューに対して受信されたディスクリプタが多すぎます。EACTDQDC.CTDQD の設定を確認する必要があります。

DQSESn ビット (ディスクリプタキュー n セキュリティエラーステータスフラグ (n = 0～7))

[1 になる条件]

- HW：このレジスタのビット q は、非セキュアなディスクリプタが受信され（FDESCR.SEC が[FWD]に設定されていない）、キュー q がセキュアなキューである（EATDQSC.TDQSLn が設定されている）ときに設定されます。

[0 になる条件]

- HW：RESET モードであるとき
- SW：このビットに 1 を書き込む。

[エラー復帰]

- HW：セキュアなディスクリプタキューに対して受信された非セキュアなディスクリプタはすべて、ETHA によって受け付けられず、CPU にも転送されません。
- SW：システムに依存するため、定義できません。

32.3.7.1.8 EAEIE2：エラー割り込み許可レジスタ 2

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0524

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DQSEE7～DQSEE0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CTDQOEE	DQOEE7～DQOEE0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DQOEE7～DQOEE0	ディスクリプタキュー n オーバーフローエラー許可 (n = 0～7) 0: ディスクリプタキュー i の割り込み禁止 1: ディスクリプタキュー i の割り込み許可	R/W(注1)
8	CTDQOEE	カットスルーディスクリプタキューオーバーフローエラー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
15:9	—	読むと 0 が読めます。	R
23:16	DQSEE7～DQSEE0	ディスクリプタキュー n セキュリティエラー許可 (n = 0～7) 0: ディスクリプタキュー i の割り込み禁止 1: ディスクリプタキュー i の割り込み許可	R/W(注1)
31:24	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

DQOEEn ビット (ディスクリプタキュー n オーバーフローエラー許可 (n = 0～7))

[1 になる条件]

- これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- EAEID2.DQOED ビットのいずれかに 1 を書き込むと、本レジスタの対応するビットがクリアされます。

CTDQOEE ビット（カットスルーディスクリプタキューオーバーフローエラー許可）

[1 になる条件]

- このビットに 1 を書き込む。

[0 になる条件]

- EAEID2.CTDQOED レジスタに 1 を書き込むと、このビットがクリアされます。

DQSEEn ビット (ディスクリプタキュー n セキュリティエラー許可 (n = 0～7))

[1 になる条件]

- これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- EAEID2.DQSED ビットのいずれかに 1 を書き込むと、本レジスタの対応するビットがクリアされます。

32.3.7.1.9 EAEID2 : エラー割り込み禁止レジスタ 2

Base address: ETHAm = 0x403C_A000 + 0x2000 × m (m = 0, 1)
ETHAm_NS = 0x503C_A000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0528

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DQSED7～DQSED0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CTDQOED	DQOED7～DQOED0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DQOED7～DQOED0	ディスクリプタキュー n オーバーフローエラー禁止 (n = 0～7) これらのビットのいずれかに 1 を書き込むと、EAEIE2.DQOEE レジスタ内の対応するビットがクリアされます。	R
8	CTDQOED	カットスルーディスクリプタキューオーバーフローエラー禁止 このビットに 1 を書き込むと EAEIE2.CTDQOEE レジスタがクリアされます。	R
15:9	—	読むと 0 が読めます。	R
23:16	DQSED7～DQSED0	ディスクリプタキュー n セキュリティエラー禁止 (n = 0～7) これらのビットのいずれかに 1 を書き込むと、EAEIE2.DQSEE レジスタ内の対応するビットがクリアされます。	R
31:24	—	読むと 0 が読めます。	R

32.4 レジスタの使用

32.4.1 動作モード

表 32.4 に、ETHA の動作モードを示します。

表 32.4 ETHA の動作モード

動作モード	GWMS.OPS の値	説明
DISABLE	1	• 実行中のトランザクションはありません • エージェントクロックが許可されている場合、書き込みアクセスできるのはステータスレジスタだけです。
RESET	0	• 実行中のトランザクションはありません • ステータスレジスタの ETHA ロジックをリセットするために内部リセットがアサートされます • 書き込みでアクセスできるレジスタはありません • RAM 値は保持されます。
CONFIG	2	• 実行中のトランザクションはありません • 静的レジスタと一部の動的レジスタは書き込みアクセスできます。
OPERATION	3	• トランザクションが実行中です • 動的レジスタは書き込みアクセスできます。

32.4.1.1 動作モード遷移

図 32.2 に動作モード遷移を示します。

モード遷移は以下によって発生する可能性があります。

- ハードウェアリセット
- ソフトウェアリセット
- EAMC.OPC の構成。この場合、モード遷移は EAMS.OPS で確認できます。

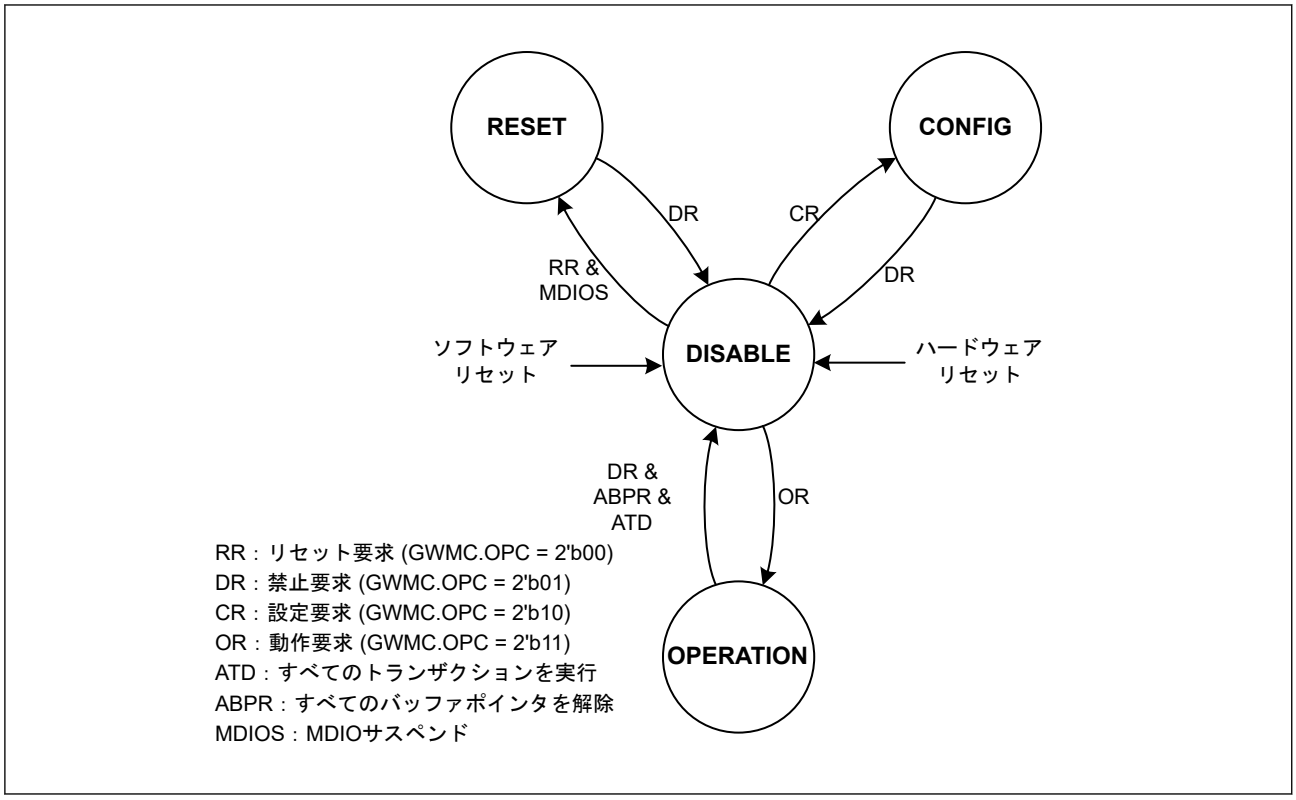


図 32.2　　動作モード遷移

遷移条件に関する補足情報

ABPR：

- ETHA に格納されているバッファポインタはすべて MFWD に解放されます。

ATD：

- 受信済みのディスクリプタがすべて処理され、対応するフレームはイーサネット PHY に送信されます
- 実行中の受信フレームはすべて MFWD に送信されます。

MDIOS：

- MDIO には実行中のアクセスはありません。

［制約事項］

- ソフトウェアがトリガできるのは、図 32.2 に示される遷移のみです
  OPERATION から CONFIG に直接遷移しないでください。

32.4.2　　ソフトウェアフロー

SW：本項で説明するフローに従ってください。

32.4.2.1　　ソフトウェアフローの凡例

図 32.3 にソフトウェアフローの凡例を示します。

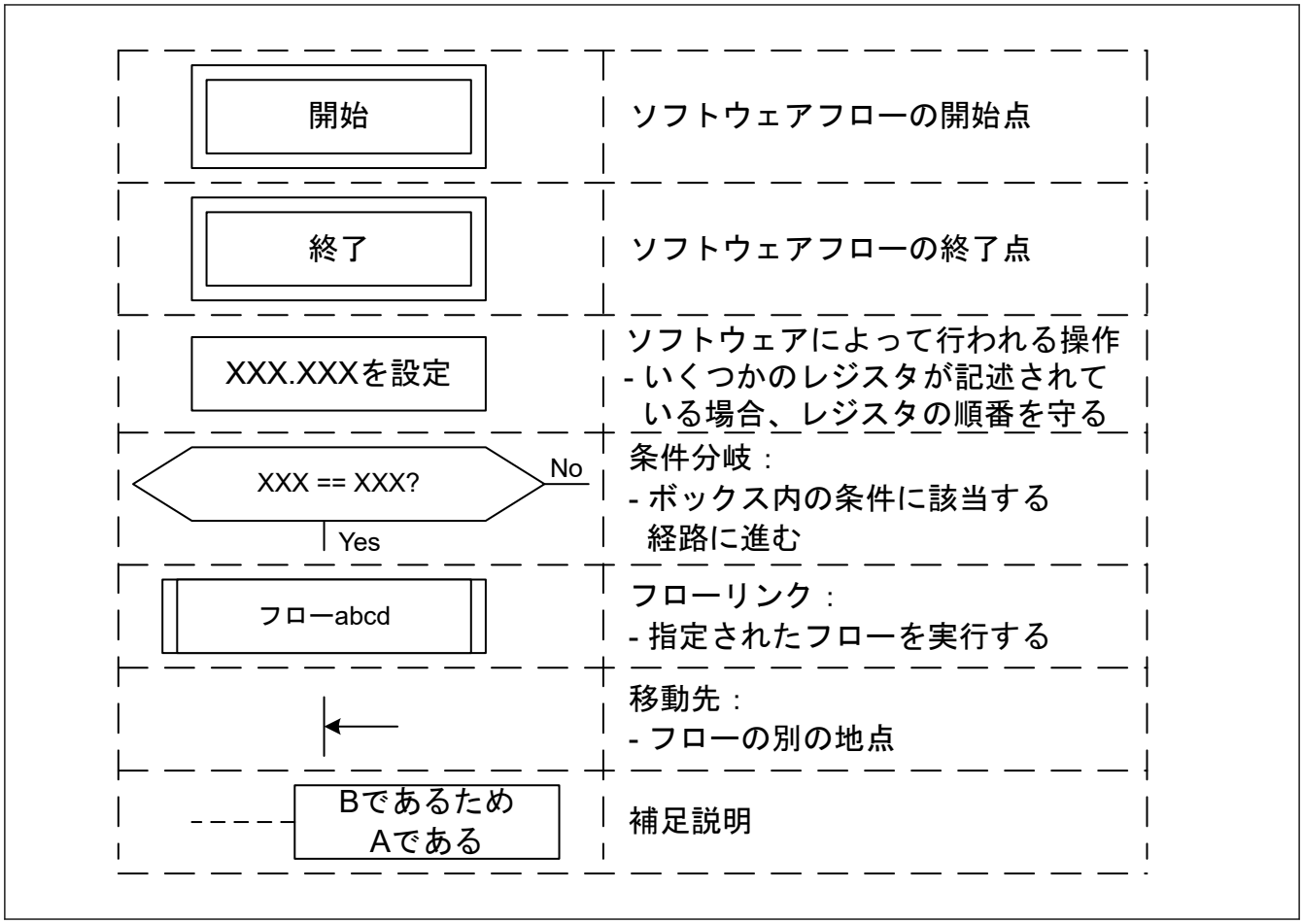


図 32.3　ソフトウェアフローの凡例

32.4.2.2　モード遷移フロー

図 32.4 に、モード遷移フローを示します。

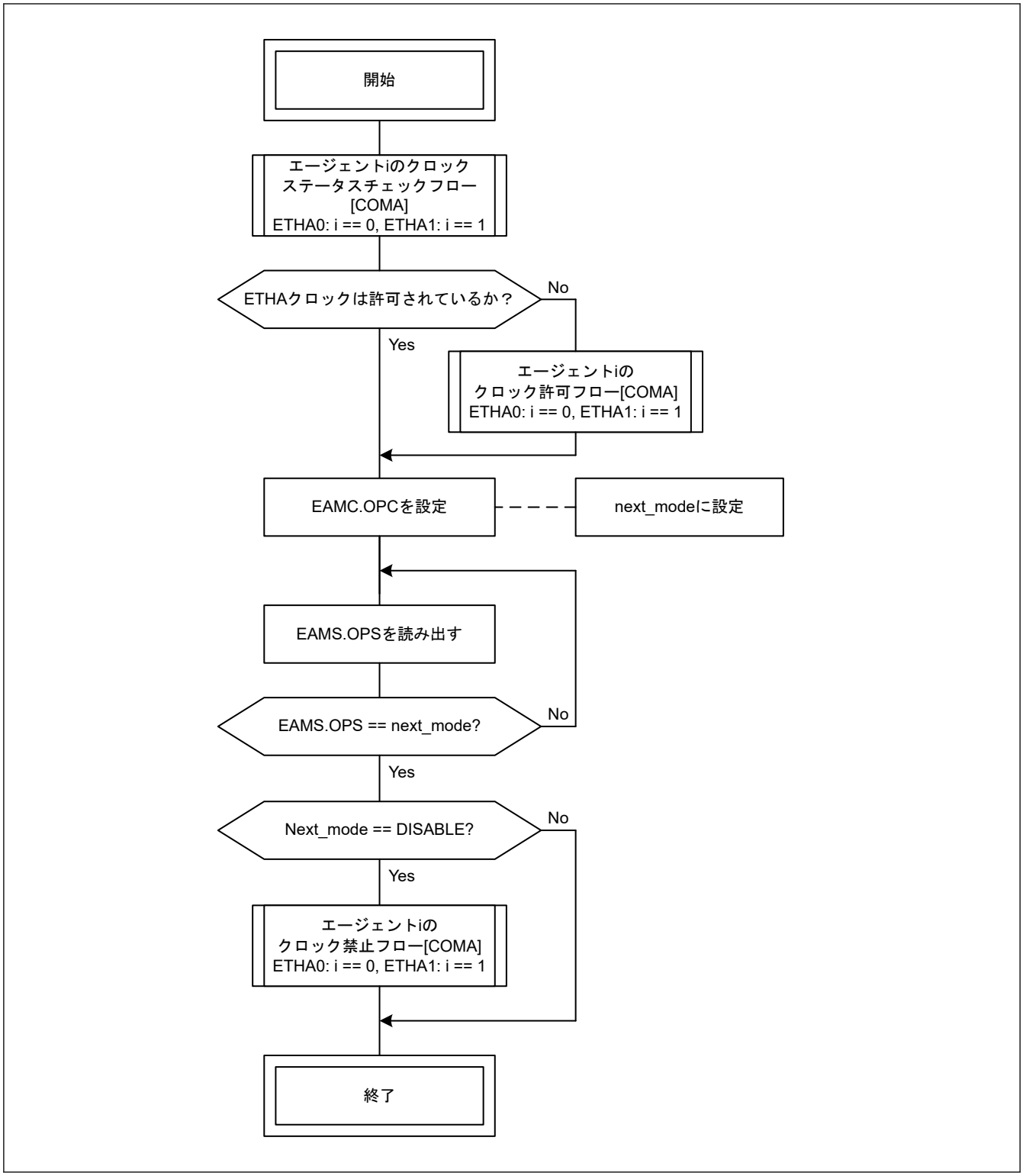


図 32.4　モード遷移フロー

注.
- クロックが許可されていることがソフトウェアで判定済みの場合は、クロック状態のチェック手順をスキップできます。
- ソフトウェアからエージェントクロックを DISABLE モードで禁止する必要がない場合（他のモードに直接遷移するため、またはクロックを禁止する必要が生じないため）、クロック禁止手順をスキップできます。

32.4.2.3　リセットフロー

図 32.5 にリセットフローを示します。

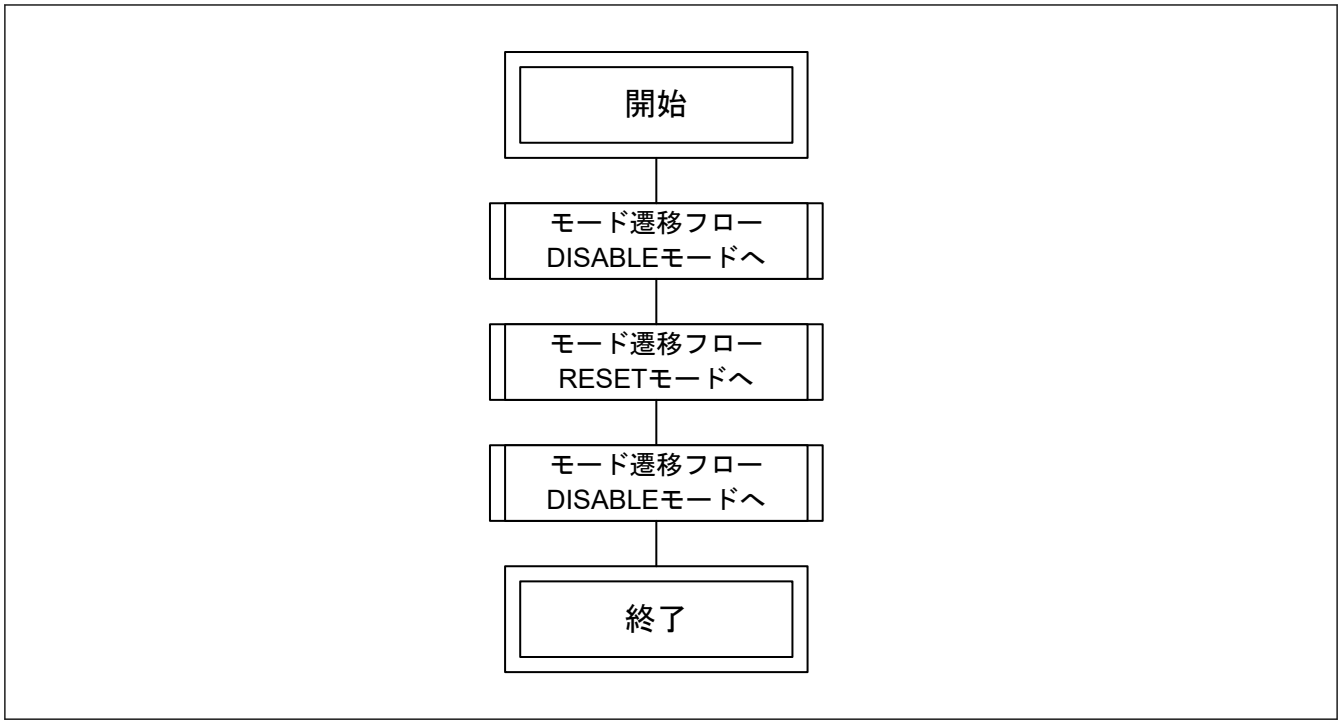


図 32.5　リセットフロー

32.4.2.4　初期化フロー

図 32.6 に初期化フローを示します。

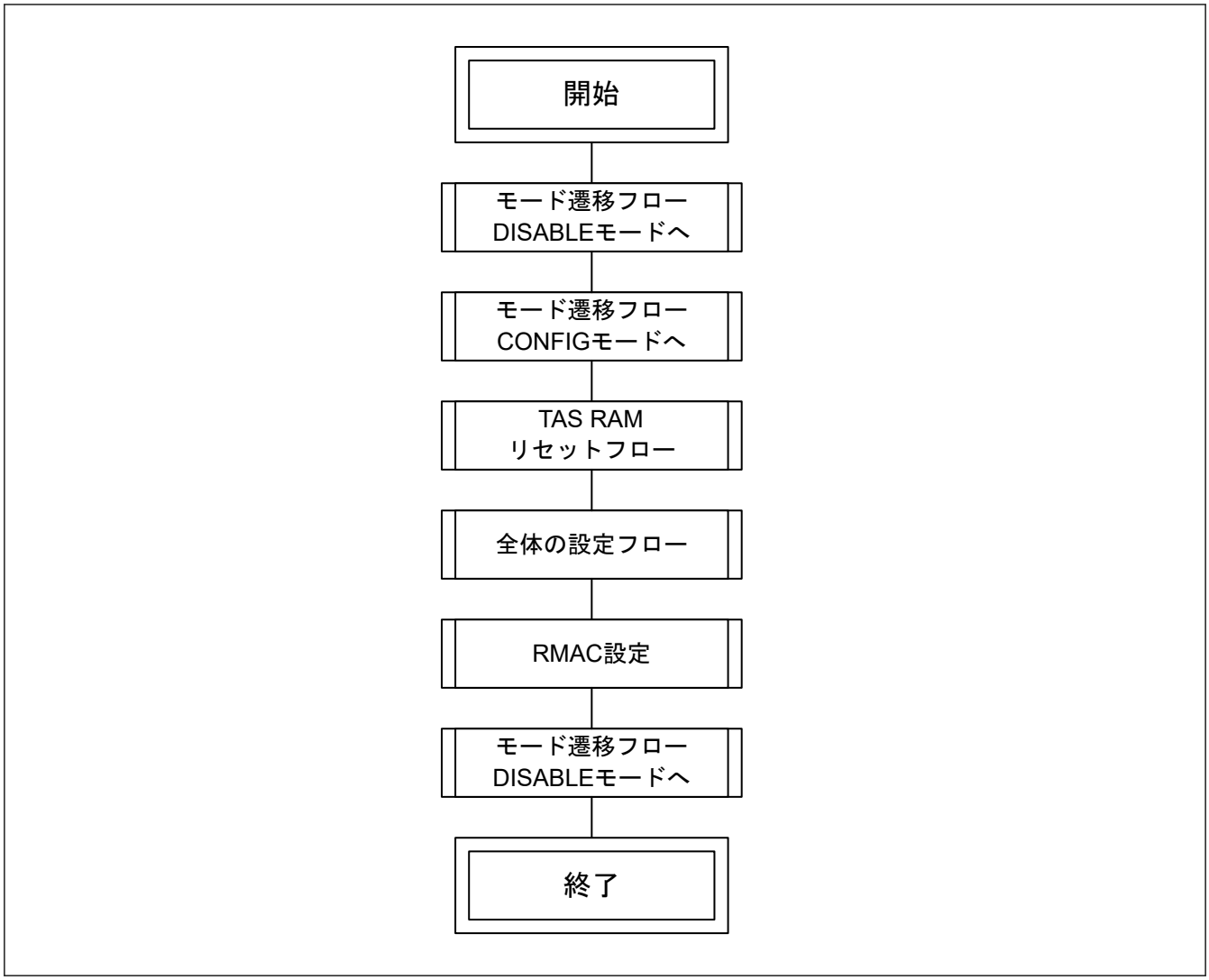


図 32.6　初期化フロー

注.　RMAC の設定については、RMAC の仕様[RMAC]を参照してください。

32.4.2.5　再初期化フロー

図 32.7 に再初期化フローを示します。

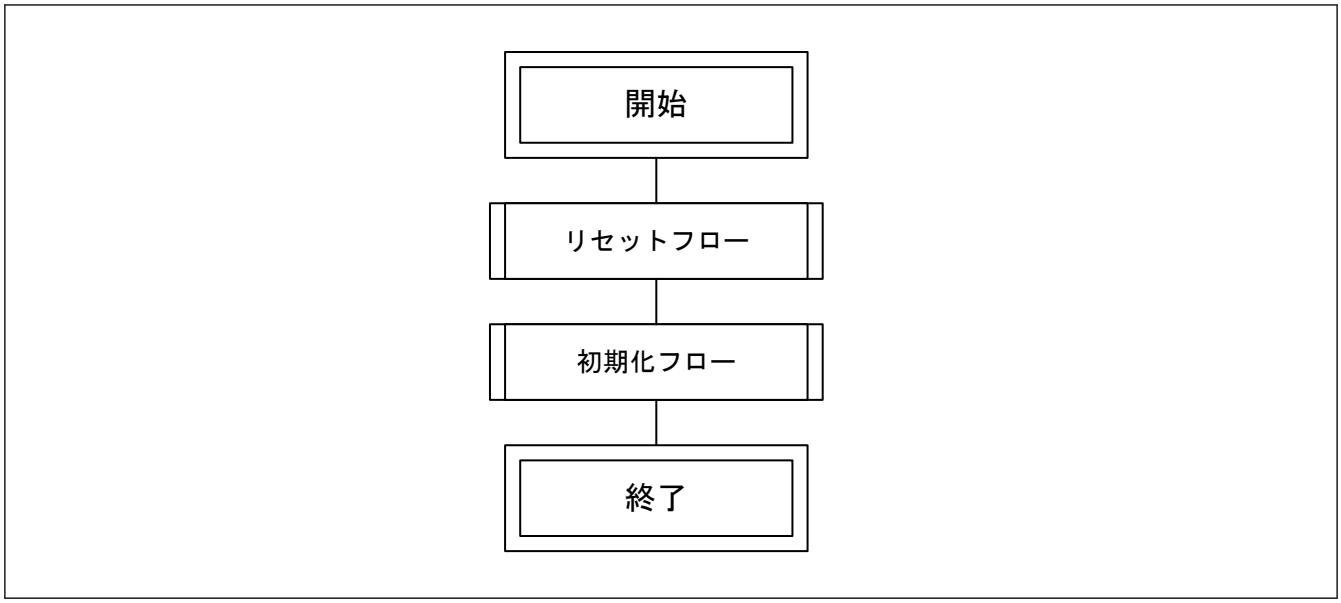


図 32.7 再初期化フロー

32.4.2.6 TAS RAM リセットフロー

図 32.8 に TAS RAM リセットフローを示します。

注. このフローは、RESET および DISABLE モードでは使用できません。

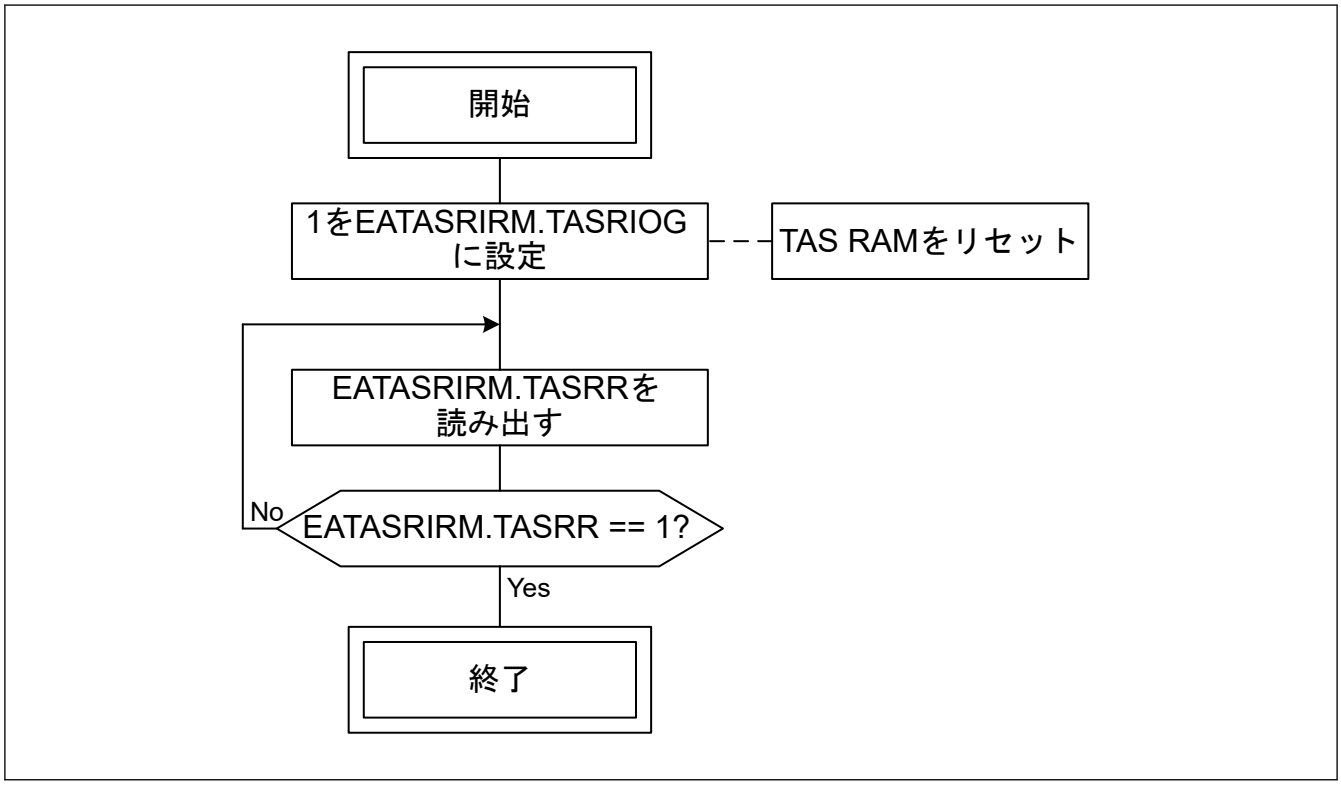


図 32.8 TAS RAM リセットフロー

32.4.2.7 CBS q 設定フロー (q = 0～7)

図 32.9 に CBS q 設定フローを示します。

注. このフローは、RESET および DISABLE モードでは使用できません。

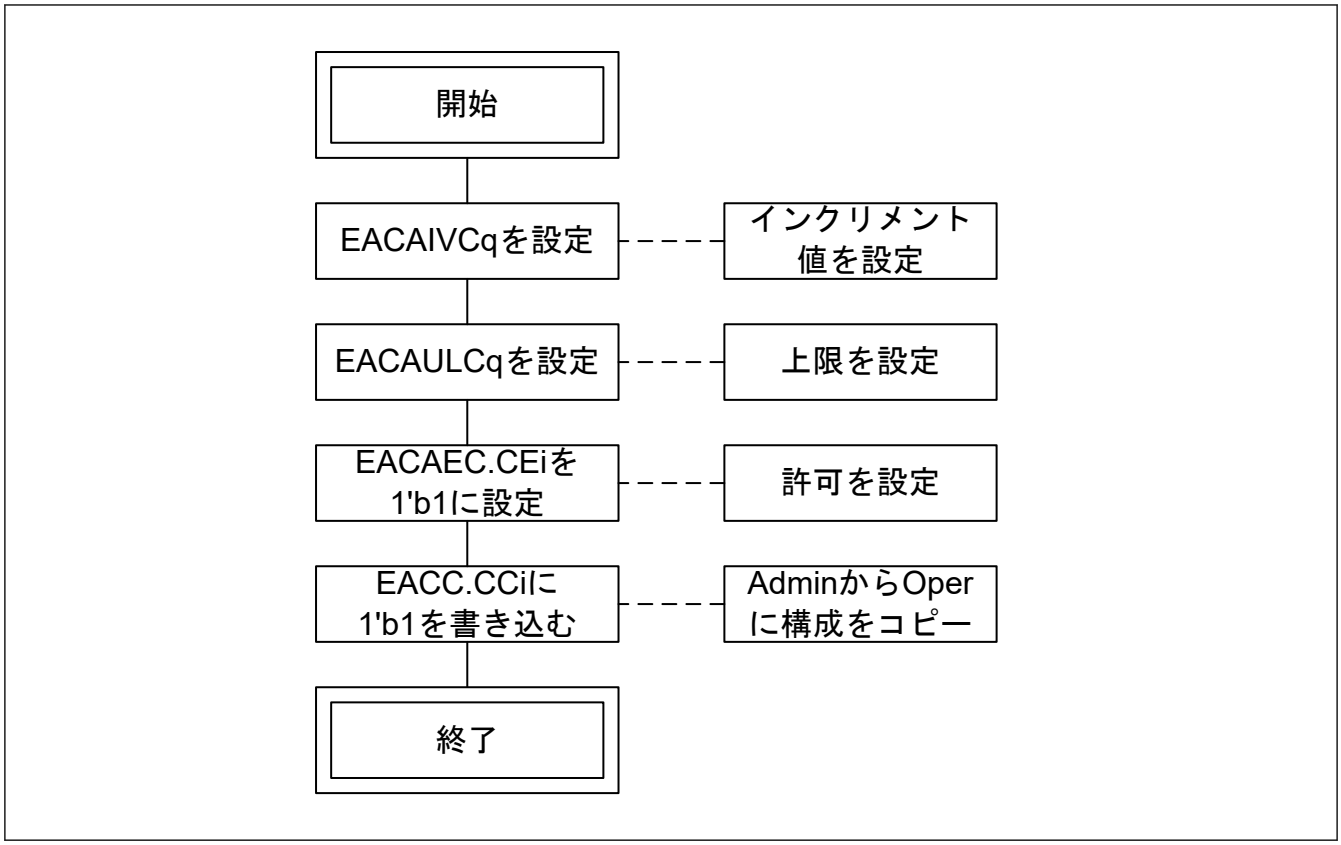


図 32.9　CBS q 設定フロー

32.4.2.8　CBS q 禁止フロー (q = 0～7)

図 32.10 に CBS q 禁止フローを示します。

注.　このフローは、RESET および DISABLE モードでは使用できません。

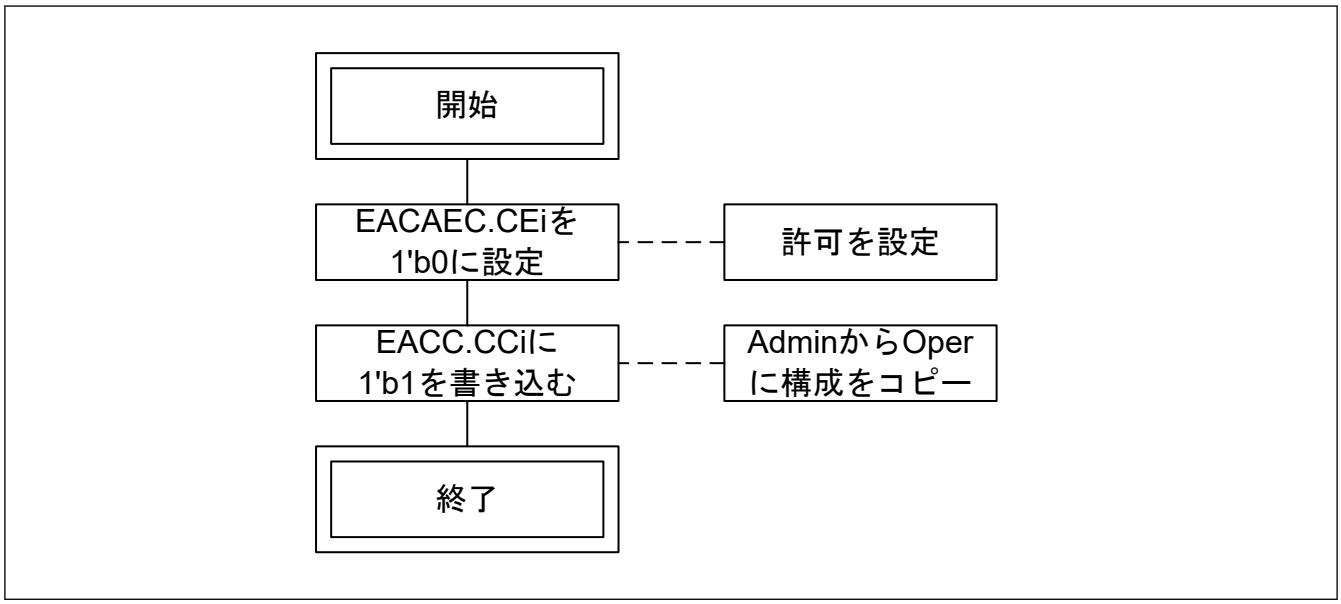


図 32.10　CBS q 禁止フロー

32.4.2.9　TAS 設定フロー

図 32.11 に TAS 設定フローを示します。

注. このフローは、RESET および DISABLE モードでは使用できません。

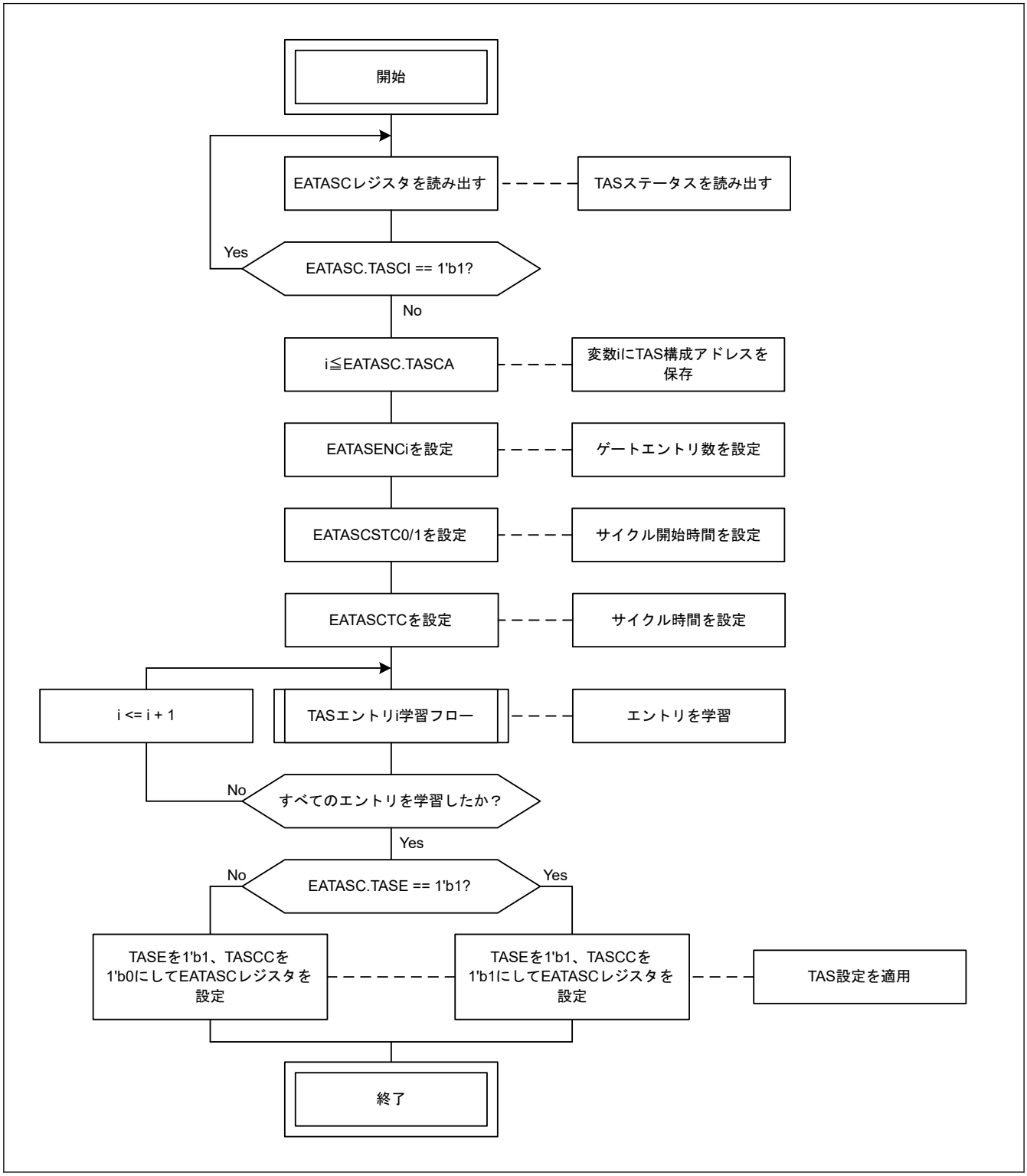


図 32.11 TAS 設定フロー

32.4.2.10 TAS 禁止フロー

図 32.12 に TAS 禁止フローを示します。

注. このフローは、RESET および DISABLE モードでは使用できません。

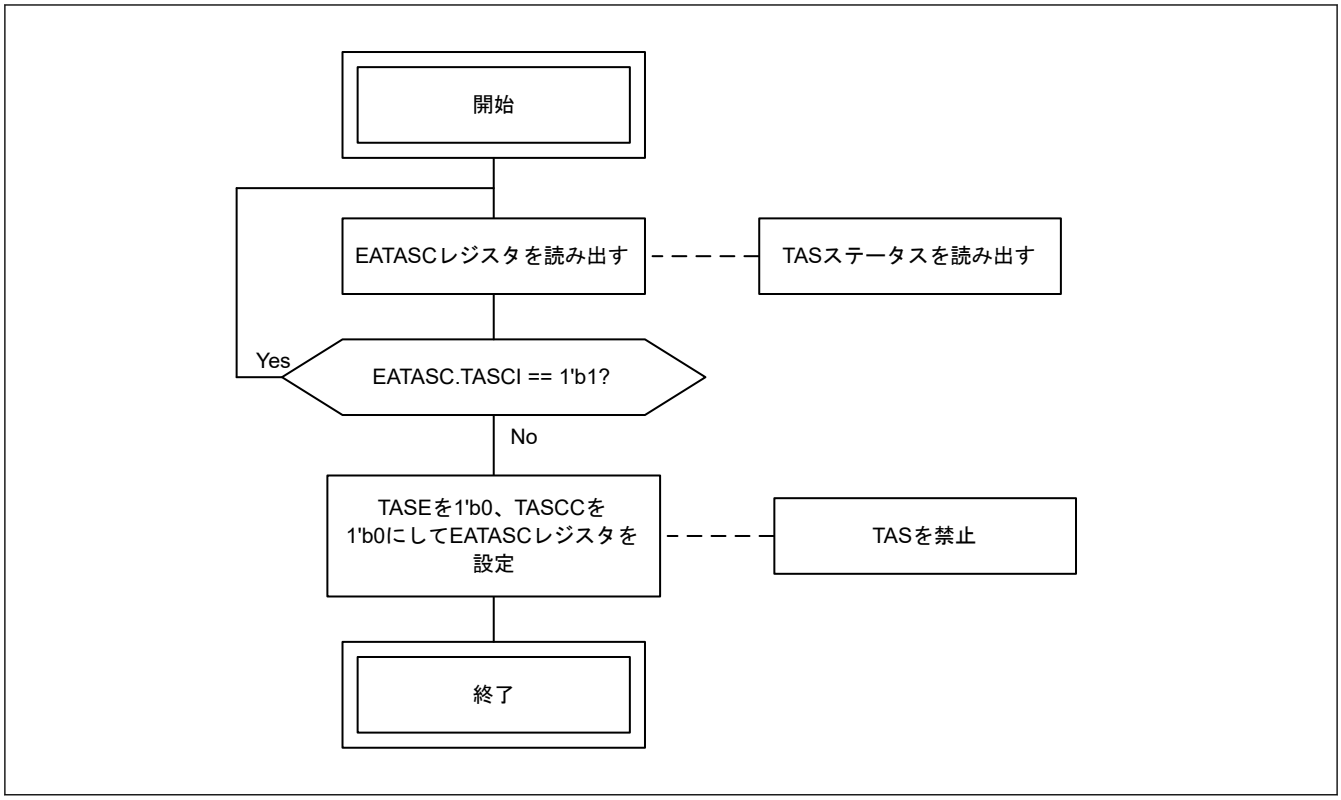


図 32.12 TAS 禁止フロー

32.4.2.11 TAS 許可フロー

図 32.13 に TAS 許可フローを示します。

注. このフローは、RESET および DISABLE モードでは使用できません。

TAS 許可フローは、1 回以上の TAS 設定フローを実行した後でのみ使用できます。TAS 許可フローを使用すると、TAS 設定フローで以前設定したスケジュールが開始されます。

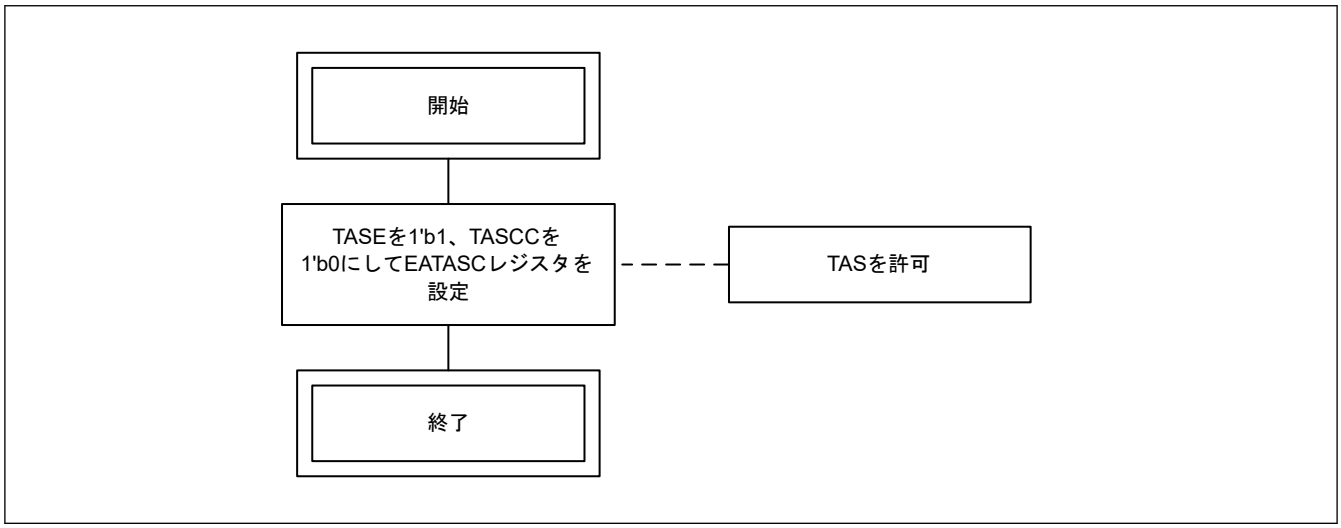


図 32.13 TAS 許可フロー

32.4.2.12 TAS エントリ i 学習フロー

図 32.14 に TAS エントリ i 学習フローを示します。

注. このフローは、RESET および DISABLE モードでは使用できません。

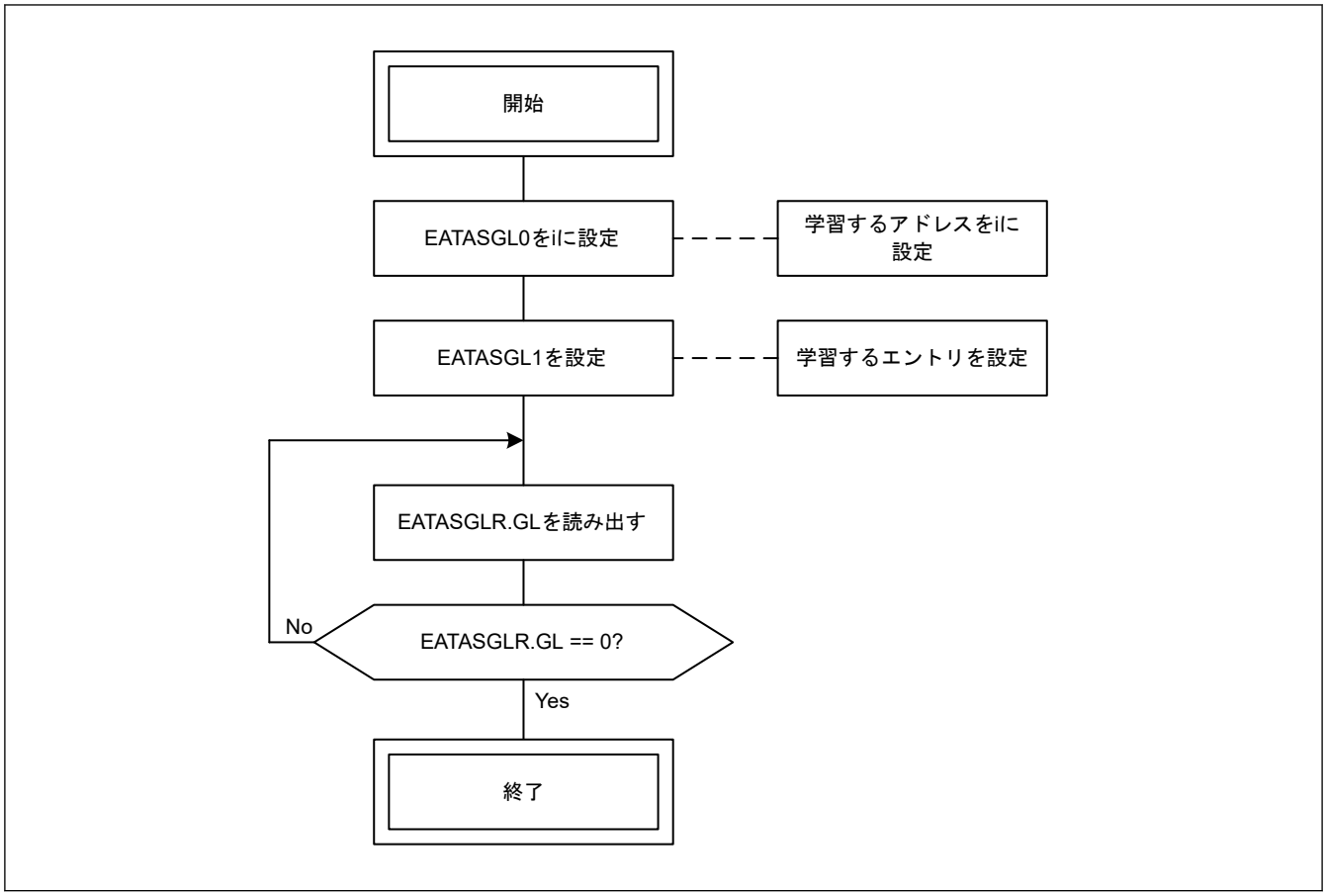


図 32.14　TAS エントリ i 学習フロー

32.4.2.13　TAS エントリ i 読み出しフロー

図 32.15 に TAS エントリ i 読み出しフローを示します。

注.　このフローは、RESET および DISABLE モードでは使用できません。

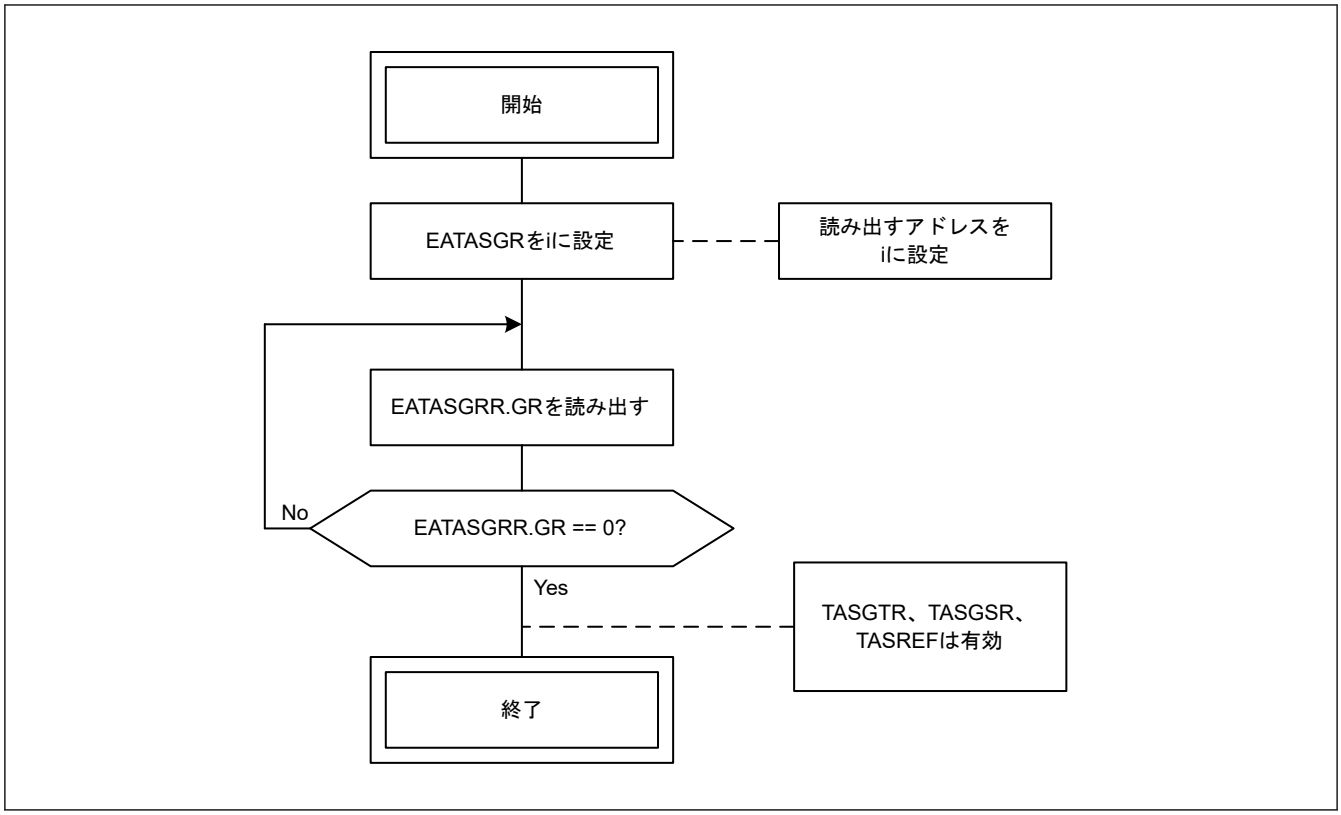


図 32.15　TAS エントリ i 読み出しフロー

32.4.2.14　割り込み処理フロー

図 32.16 に割り込み処理フローを示します。

注.　このフローは RESET モードでは使用できません。

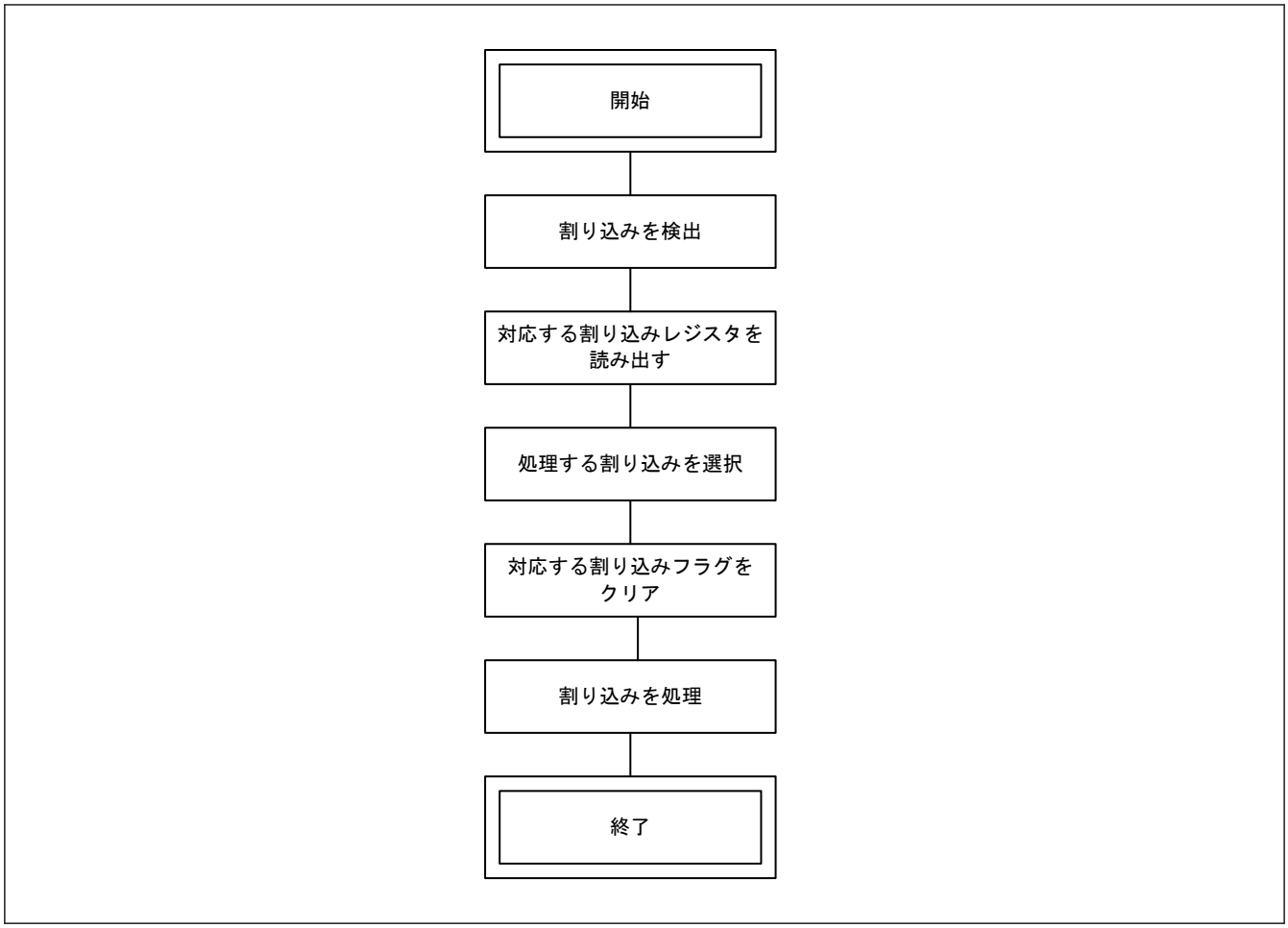


図 32.16　割り込み処理フロー

32.4.2.15　呼び出されたソフトウェアフロー

図 32.3 のフローリンクボックスに示すとおり、本項で説明するフローは他のフローからのみ呼び出し可能であり、単独で使用することはできません。

32.4.2.15.1　全体の設定フロー

図 32.17 に全体の設定フローを示します。

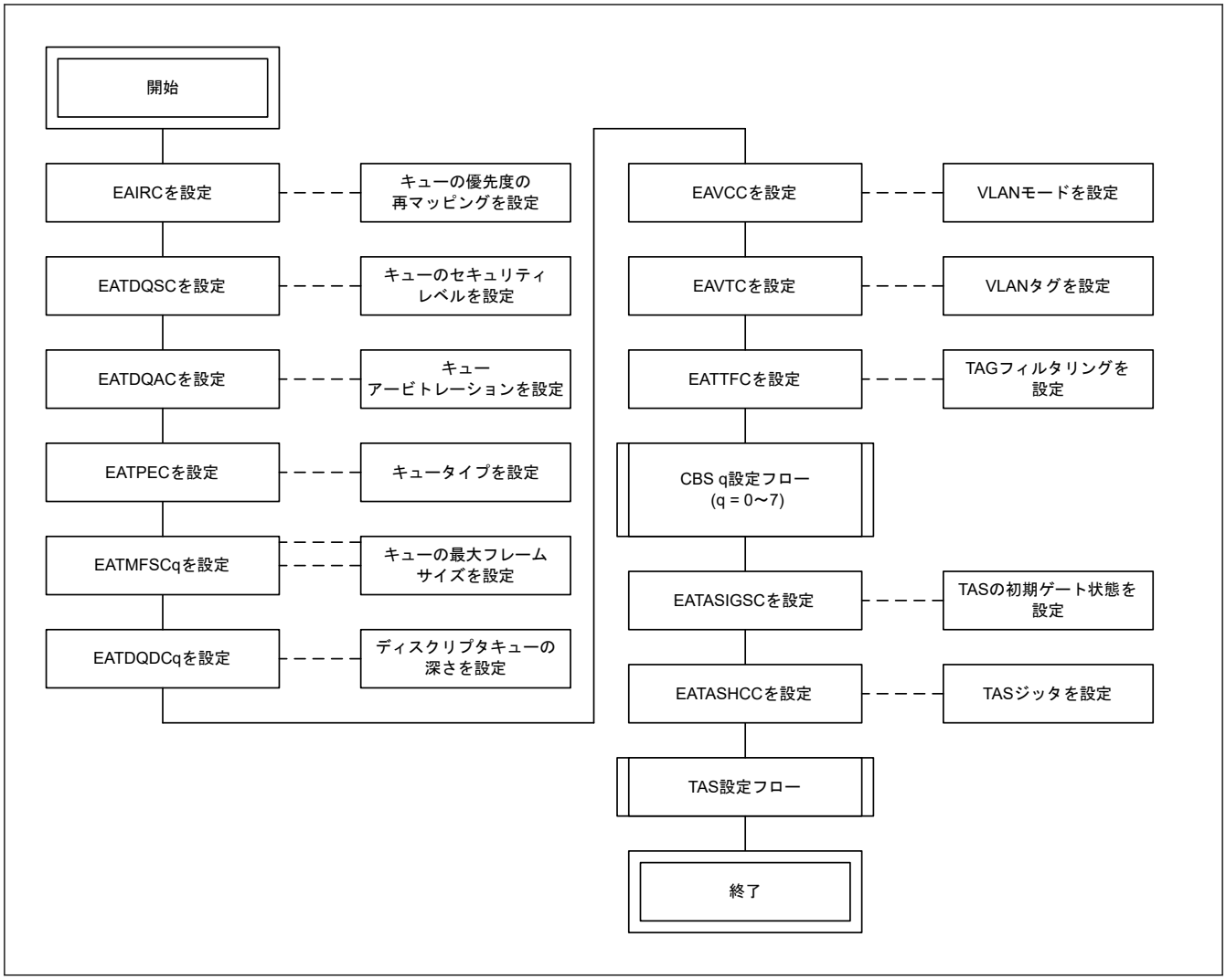


図 32.17　フル設定フロー

32.4.2.16　ソフトウェアフローなしで書き込み可能なレジスタ

本項では、これまでに説明していないレジスタについて詳しく説明します。これらのレジスタは動的に変更できます。ただし、クロック許可などの初期設定は完了する必要があります。

32.5　機能説明

32.5.1　データ送信

イーサネットエージェントを使用すると、ETHA TX データパスを通してデータを送信できます。図 32.18 に TX データパスを示します。

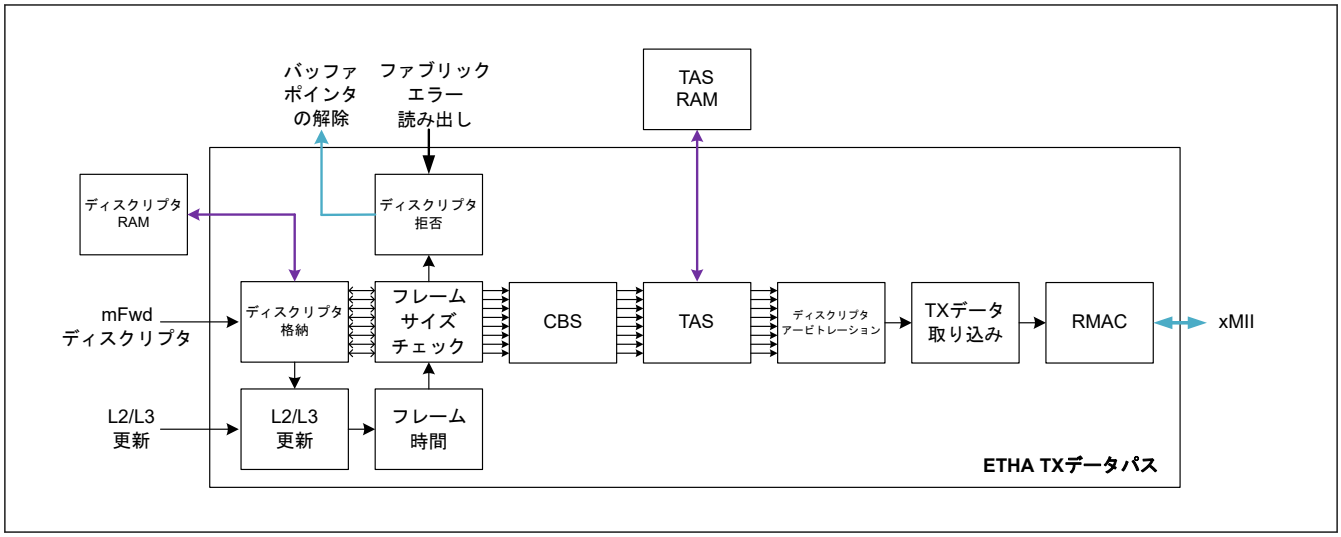


図 32.18　ETHA TX データパスのブロック図

RX データパスは、次の 11 ブロックに分かれています。

- ディスクリプタ格納 : このブロックの目的は、ディスクリプタ RAM 内の MFWD から受信したディスクリプタを格納し、それを読み出して L2/L3 更新に送信することです。
- L2/L3 更新 : このブロックは、転送エンジンから L2/L3 更新ルールを取り込んで、フレームを送信中に更新することを目的としています。
- フレーム時間 : このブロックは、TAS アービトレーションのためにイーサネット PHY 上でフレームを送信するのにかかる時間をナノ秒単位で計算することを目的としています。このブロックは TAS ハードウェア用に存在し、その説明はスイッチの使用には不要であるため、ここでは説明しません。
- フレームサイズチェック : このブロックは、フレームサイズをチェックして、フレームを転送するか破棄することができます。
- ディスクリプタ拒否 : このブロックは、フレームサイズ制御部によって拒否されたフレームのポインタを解放することを目的としています。このブロックはスイッチハードウェア用に存在し、その説明はスイッチの使用には不要であるため、ここでは説明しません。
- カットスルー : このブロックは、MFWD から受信したカットスルーディスクリプタを処理します。
- CBS : このブロックは、キューごとのデータスループットを制御して、ディスクリプタキューごとのデータトラフィックのシェーピングを行うことを目的としています[802.1Qav]。
- TAS : このブロックは、スケジュールによるデータ送信を制御して、ディスクリプタキューごとのデータトラフィックのシェーピングを行うことを目的としています[802.1Qbv]。
- ディスクリプタアービトレーション : 絶対優先／WRR アービトレーションを使用し、ディスクリプタキューに基づいてディスクリプタ間のアービトレーションを行います。
- 送信データ取り込み : このブロックは、ローカル RAM からフレームデータを取り込み、L2/L3 更新モジュールで取得した情報と VLAN 制御情報に応じて更新し、フレームポインタを解放します。ポインタ解放が存在するのはスイッチハードウェアの目的のためであり、その説明はスイッチの使用に必要ではないため、ここでは説明されません。
- RMAC : このブロックは、イーサネット PHY とのデータ交換を処理します。このブロックの機能は RMAC の仕様[RMAC]に記載されているため、ここでは説明しません。

32.5.1.1　ディスクリプタ格納

ディスクリプタ格納は、ディスクリプタ RAM 内のディスクリプタバス MFWD から受信したディスクリプタを格納することを目的としています。この機能は、GWCA のディスクリプタ格納ブロックのディスクリプタ格納機能と同じです。詳細については、GWCA の仕様を参照してください[GWCA]。表 32.5 に ETHA レジスタと GWCA レジスタの対応を示します。

表 32.5 ディスクリプタ格納の ETHA/GWCA レジスタの対応

GWCA [GWCA]のレジスタ／信号名	ETHA のレジスタ／信号名
GWIRC.IPVRi (i = 0～7)	EAIRC.IPVRi (i = 0～7)
GWRDQSC.RDQSL	EATDQSC.TDQSL
GWRDQC.RDQD	EATDQC.TDQD
GWRDQC.RDQP	EATDQC.TDQP
GWRDQDCq.DQD (q = 0～7)	EATDQDCq.DQD (q = 0～7)
GWRDQMq.DNQ (q = 0～7)	EATDQMq.DNQ (q = 0～7)
GWRDQMLMq.DMLQ (q = 0～7)	EATDQMLMq.DMLQ (q = 0～7)
GWEIS1.DQOES	EAEIS2.DQOES
GWEIS1.DQSES	EAEIS2.DQSES

32.5.1.2 L2/L3 更新

このブロックは GWCA の L2/L3 更新ブロックと同じです。詳細については、GWCA の仕様を参照してください [GWCA]。

32.5.1.3 フレームサイズチェック

フレームサイズチェックは、CPU によって受信されるフレームに適切なプロパティが設定されているかどうかを EATMFSCq (q = 0～7) レジスタを使用してチェックすることを目的としています。

EATMFSCq (q = 0～7) レジスタは、ディスクリプタキューごとに受け付けられる最大フレームサイズを設定するために使用します。EATMFSCq.MFS を超えるサイズの、キュー q に対して受信されたフレームはすべて破棄され、EAEIS0.FSESq フラグが設定されます。ここで扱うフレームサイズは、PHY 上のフレームのサイズです。

32.5.1.4 カットスルー

カットスルーは、EATDQC.TCTDQD, EACTQC.CTQD, EACTDQDC.CTDQD レジスタを使用してカットスルーディスクリプタキューを制御し、MFWD から受信したカットスルーディスクリプタを格納します。これは EACTDQM.CTQDN および EACTDQMLM.CTDMLQ レジスタを使用して監視できます。

- EATDQC.TCTDQD レジスタを使用すると、カットスルーキューを無効にすることができます。カットスルーキューが無効になると、eha_ct_ready ビットがデアサートされ、ディスクリプタは格納されなくなります。
- EACTQC.CTQD を使用すると、カットスルーディスクリプタを受信した後、送信できるようになるまでに待機する必要があるクロック数を制御できます。
- EACTDQDC.CTDQD レジスタを使用すると、カットスルーディスクリプタキューに格納できるディスクリプタの最大数を設定できます。ディスクリプタキューがフル (EACTDQDC.CTDQD == EACTDQM.CTQDN) になると、eha_ct_ready 信号がデアサートされます。カットスルーディスクリプタキューがフルのときにディスクリプタを受信すると、ディスクリプタは格納されず、EAEIS2.CTDQOES フラグが設定されます。
- EACTDQM.CTQDN レジスタを使用すると、カットスルーディスクリプタキュー内の現在のディスクリプタの数を監視できます。
- EACTDQMLM.CTDMLQ レジスタを使用すると、前回のリセットまたはこれが前回読み出されてからカットスルーディスクリプタキューで保持されたディスクリプタの最大数を監視できます。

32.5.1.5 CBS（クレジットベースのシェーパー）[802.1Qav]

CBS の目的は、ディスクリプタキューごとのデータトラフィックのシェーピングです。そのために、EACAEC.CE, EACC.CC、EACAIVCq.CIV (q = 0～7)、および EACAULCq.CUL (q = 0～7) レジスタを使用して、キューごとのデータスループットを制御します。これは、EACOEM.CE、EACOIVMq.CIV (q = 0～7)、EACOULMq.CUL (q = 0～7)、および EACGSM.CGS レジスタと EAEIS1.CULES 割り込みレジスタを使用して監視できます。

- EACAEC.CE レジスタを使用すると、CBS モジュールを有効または無効にできます。
- EACAIVCq.CIV レジスタを使用すると、ディスクリプタキュー q の CBS スループットを構成できます。

- EACAULCq.CUL レジスタを使用すると、ディスクリプタキュー q の CBS モジュールに格納できるクレジットの最大数を構成できます。このレジスタは、CBS でシェーピングされていない優先キューの干渉トラフィックや、TAS でのキュー開放時間の部分的なオーバーラップが原因で、CBS モジュールの対応するディスクリプタキューに長すぎるバックプレッシャーが適用されていないかを監視するために使用します。CBS 関連のディスクリプタキューに過剰なバックプレッシャーが適用された場合、対応する EAEIS1.CULES フラグが設定されます。
- EACC.CC レジスタを使用すると、EACAEC.CE、EACC.CC、EACAIVCq.CIV、および EACAULCq.CUL レジスタを EACOEM.CE、EACOIVMq.CIV、および EACOULMq.CUL レジスタにコピーして、設定された構成を適用できます。
- EACOEM.CE レジスタを使用すると、CBS モジュール有効として使用されているディスクリプタキューを監視できます。
- EACOIVMq.CIV レジスタを使用すると、ディスクリプタキュー q に対して設定されている現在のスループットを監視できます。
- EACOULMq.CUL レジスタを使用すると、ディスクリプタキュー q のクレジットの現在の最大数を監視できます。
- EACGSM.CGS レジスタを使用すると、CBS で送信を許可されているキューを監視できます。
- EAEIS1.CULES レジスタを使用すると、CBS 上限エラーにフラグを設定できます。

32.5.1.5.1 CBS の設定

CBS 設定は式 (1) と式 (2) に従います。ディスクリプタキュー q の CBS を設定する場合は、CIV を EACAIVCq.CIV レジスタに設定し、CUL を EACAULCq.CUL レジスタに設定する必要があります。

(1) CIV［バイト／サイクル］ = ((portTransmitRate[bps]/8) × (bandwidthFraction[%]/100))/clk_f[Hz] × (CycleTime/GateOpenTime)。

例：*portTransmitRate* が 1 Gbps、*bandwidthFraction* が 25%、clk_f が 200 MHz の場合、CIV は 0.15625 です。
CIV[19:16] = 0 CIV[15:0] = 0.15625 × 2^{16} = 10,240 = 2800 H。

(2) CUL［バイト］ = (maxInterferenceSize［ビット］ × clk_f[Hz]/portTransmitRate[bps] + requestDelay［サイクル］) × CIV［バイト／サイクル］。

ここで、

- *portTransmitRate* は、ETHA リンクスループット[RMAC]です。
- *bandwidthFraction* は、対応する CBS が使用する帯域のパーセンテージです。
- *clk_f* は、クロック clk の周波数です。
- *(CycleTime/GateOpenTime)* は、現在の TAS サイクル時間 (EATASCTM.TASOCT) と、EATASCTM.TASOCT 時間中に CBS に対応するディスクリプタキューの TAS ゲートが開いていた時間との比です。TAS が無効になっている場合、*(CycleTime/GateOpenTime)* は 1 です。
- *maxInterferenceSize* は、このトラフィッククラスの送信に使用できるフレームの送信を遅延させる可能性があるトラフィックのバーストの最大サイズです（「32.5.1.5.2. 最大干渉サイズの計算」を参照）。
- *requestDelay* は、ディスクリプタの受信からフレーム送信の準備完了までに必要な時間であり、50 サイクルに固定されています。

制約事項：

- SW：TAS ゲートが同時に開いているキューに対する、すべての CBS の *bandwidthFraction* の合計が 70%未満になるようにしてください。

32.5.1.5.2 最大干渉サイズの計算

キュー q の最大干渉サイズ *maxInterferenceSize* は式 (3) に従って計算できます。

それぞれの干渉サイズには、プリアンブルとフレーム間ギャップ (IFG) が含まれています。

(3) $maxInterferenceSize = queueInterferenceSizeLow + queueInterfereSize + \Sigma_i(queueInterferenceSizeHigh[i])$

ここで、

- *queueInterferenceSizeLow* は、優先順位が q より低いすべてのキューによって生じる干渉です。この干渉サイズは (queueLowMaxSize + 20) × 8 です。ここで、*queueLowMaxSize* は、q より小さいすべての i の **EATMFSCi.MFSi** の最大値です。
- *queueInterfereSize* はキュー q によって生じる干渉であり、(**EATMFSCq.MFS** + 20) × 8 です。
- *queueInterferenceSizeHigh*[i]は、優先順位が q より高いキュー i によって生じる干渉です。キュー i に対して CBS が有効になっている場合、*queueInterferenceSizeHigh*[i]は (**EATMFSCi.MFSi** + *queueLowMaxSize* + 40) × 8 です。ここで、*queueLowMaxSize* は i より小さいすべての j の **EATMFSCj.MFSj** の最大値です。キュー i に対して CBS が無効になっている場合、*queueInterferenceSizeHigh*[i]は (*MaxFrameBurst* × EATMFSCi.MFSi + *queueLowMaxSize* + 40) × 8 です。ここで、*queueLowMaxSize* は i より小さいすべての j の EATMFSCj.MFSj の最大値、*MaxFrameBurst* はバースト内で予想されるフレームの最大数です。*MaxFrameBurst* はシステム依存の変数であるため、定義できません。

32.5.1.6 TAS（時間認識シェーパー）[802.1Qbv]

TAS の目的は、ディスクリプタキューごとのデータトラフィックのシェーピングです。そのために、EATASC、EATASIGSC、EATASENCi (i = 0～7)、EATASCTENC、EATASCSTC0/1、EATASCTC、EATASGL0/1、EATASGLR、EATASHCC レジスタを使用して、AVTP ベースのスケジュールを制御します。これは、ENTASENMi (q = 0～7)、EATASCTENM、EATASCSTM0/1、EATASCTM、EATASGR、EATASGRR、EATASRIRM、EATASSM レジスタと EAIEIS0.TASCTGEES、EAIEIS1.TASGES、および EAIEIS1.TASCTGES 割り込みレジスタを使用して監視できます。

- EATASC レジスタは、TAS の構成と許可に使用します。
- EATASIGSC レジスタは、初期ゲート状態の設定に使用します。
- EATASENCi レジスタは、ゲート i によって TAS RAM で使用されるエントリ数の設定に使用します。
- EATASCTENC レジスタは、カットスルーゲートによって TAS RAM で使用されるエントリ数の設定に使用します。
- EATASCSTC0/1 レジスタは、サイクル開始時間の設定に使用します。
- EATASCTC レジスタは、サイクル時間の設定に使用します。
- EATASGL0/1 および EATASGLR レジスタは、TAS RAM 内のエントリの書き込みに使用します。
- EATASHCC は、スイッチアーキテクチャによって発生する TAS ジッタの設定に使用します。ENTASENMi レジスタは、実行中のスケジュールに対してゲート i によって TAS RAM で使用されるエントリ数の監視に使用します。
- EATASCTENM レジスタは、実行中のスケジュールに対してカットスルーゲートによって TAS RAM で使用されるエントリ数の監視に使用します。
- EATASCSTM0/1 レジスタは、実行中のスケジュールに対する次のサイクル開始時間の監視に使用します。
- EATASCTM レジスタは、実行中のスケジュールに対するサイクル時間の監視に使用します。
- EATASGR および EATASGRR レジスタは、TAS RAM 内のエントリの読み出しに使用します。
- EATASRIRM レジスタは、TAS RAM エントリをすべて 0 に初期化するために使用します。
- EATASSM レジスタは、TAS 動作の監視に使用します。
- EAIEIS1.TASGES および EAIEIS1.TASCTGES レジスタは、TAS RAM を読み出す時間の不足によるゲートエラーの監視に使用します。

32.5.1.6.1 TAS の一般的な動作

TAS モジュールは、対応するゲートが開いている場合にフレームの送信を許可することで、ディスクリプタキューと時間に応じてフレームを送信できるようにするスケジューラです。TAS スケジューラは、時間基準として 64 ビット AVTP タイマ（gPTP タイマ[gPTP]から導出）を使用します。

TAS の一般的な動作は、次の 4 つのカテゴリにまとめることができ、本項で説明します。TAS スケジュールは 8.1.6.2 項で説明します。

- TAS 許可
- TAS 構成変更

- TAS 禁止
- gPTP オフセット補正復帰[gPTP]。

注. HW：TAS モジュールは、64 ビット AVTP タイマのオーバーフローをサポートしていません。

1. TAS 許可
TAS 許可は、禁止（EATASC.TASE 未設定）になっているときに TAS が設定されると実行されます。

(a) 未来の TAS 許可
TAS モジュールは、スケジュールが未来に開始されるように設定できます。図 32.19 に、スケジュールが未来に開始される場合の TAS の動作を示します。この図で使用されるスケジュールは一例に過ぎず、TAS の一般的な動作を説明するには十分ではありません。
制約事項：

- SW：未来に TAS を許可するには、AVTP タイマが時間 {EATASCSTC1, EATASCSTC0} – 2 × EATASCTC.TASACT になる前に EATASC.TASE が設定されるようにします。

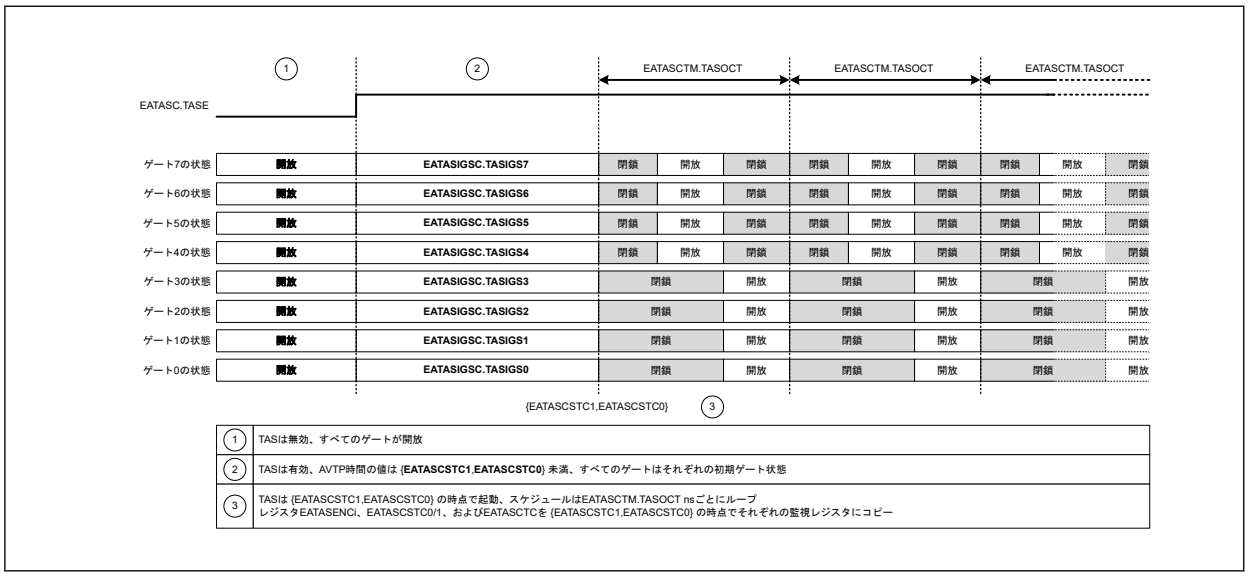


図 32.19 スケジュールが未来に開始される場合の TAS の動作

制約事項：

- HW：初期ゲート状態が閉鎖の場合、EATASC.TASE が設定されると、送信中のフレームはゲート閉鎖状態を通過します。
- HW：EATASC.TASE が設定された場合、送信中のフレームなどは {EATASCSTC1, EATASCSTC0} になる前に送信を終了するだけの時間がなく、送信中のフレームがスケジュールの最初のサイクルでゲート閉鎖状態を通過する可能性があります。
- HW：EATASC.TASE が {EATASCSTC1, EATASCSTC0} – 2 × EATASCTC.TASACT と {EATASCSTC1, EATASCSTC0} の間に設定された場合、許可を正常に実行できない可能性があります。TAS モジュールは新しいサイクルの開始から 2 × cycle_time[ns]の間に復帰します。ここで、cycle_time は EATASCTC で設定されたスケジュールのサイクル時間です。

(b) 過去の TAS 許可
TAS モジュールは、スケジュールが過去に開始されたように設定できます。図 32.20 に、スケジュールが過去に開始された場合の TAS の動作を示します。この図で使用されるスケジュールは一例に過ぎず、TAS の一般的な動作を説明するには十分ではありません。

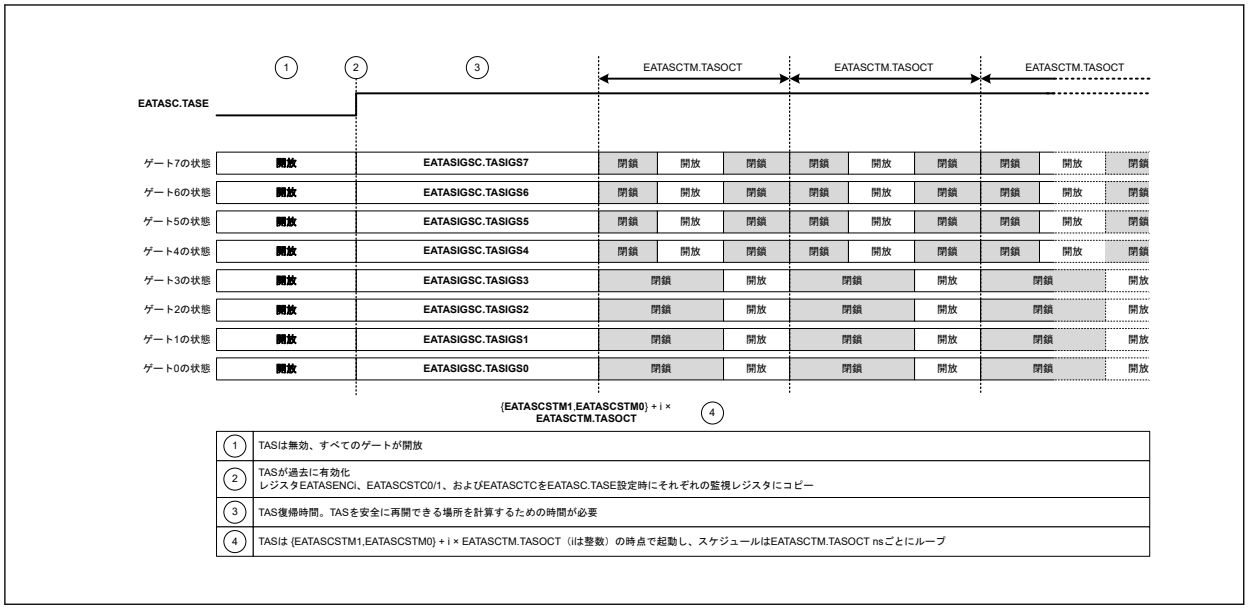


図 32.20　スケジュールが過去に開始された場合の TAS の動作

TAS 復帰時間 (*tas_recovery_time*) の最大値は式 (4) で計算できます。

(4) *tas_recovery_time[ns]* = *clk_period[ns]* × *(tase_set_time[ns]* – *start_time[ns])* / *cycle_time[ns]* + 2 × *cycle_time[ns]*

ここで、

- *clk_period* は、クロック clk の周期です
- *tase_set_time* は、EATASC.TASE が設定された AVTP タイマの時間です
- *start_time* は、スケジュールが開始されるように設定された AVTP タイマの時間です ({EATASCSTC1, EATASCSTC0})
- *cycle_time* は、EATASCTC で設定されたスケジュールのサイクル時間です。

機能：

- 式 (4) は、TAS が復帰中、クロックごとに *cycle_time* だけ開始時間を変更することから導出されます。それによって生じる問題は、*tase_set_time[ns]* – *start_time[ns]*に比例して復帰時間が増加することです。この問題を回避するため、開始時間が遠い過去である場合、TAS はクロックごとに 256^i × *cycle_time* (i = 0～6) だけ開始時間を変更することができます。

制約事項：

- HW：過去の開始設定のため、EATASC.TASE 設定時間から最初のサイクルの終了まで、ハードウェア保護帯域は保証できません（フレームがゲート閉鎖状態を通過する場合があります）
- HW：過去の開始設定のため、EAEIS1.TASGES ゲートエラーが設定される場合があります。

2. TAS 構成変更

TAS 構成変更は、許可（EATASC.TASE 設定済み）になっているときに TAS が設定されると実行されます。

(a) 未来の TAS 構成変更

TAS モジュールは、スケジュールが未来に再構成されるように設定できます。図 32.21 に、スケジュールが未来に再構成される場合の TAS の動作を示します。

この図で使用されるスケジュールは一例に過ぎず、TAS の一般的な動作を説明するには十分ではありません。

制約事項：

- SW：未来に TAS を許可するには、AVTP タイマが時間 {EATASCSTC1, EATASCSTC0} – 2 × EATASCTC.TASACT になる前に EATASC.TASCC が設定されるようにします。

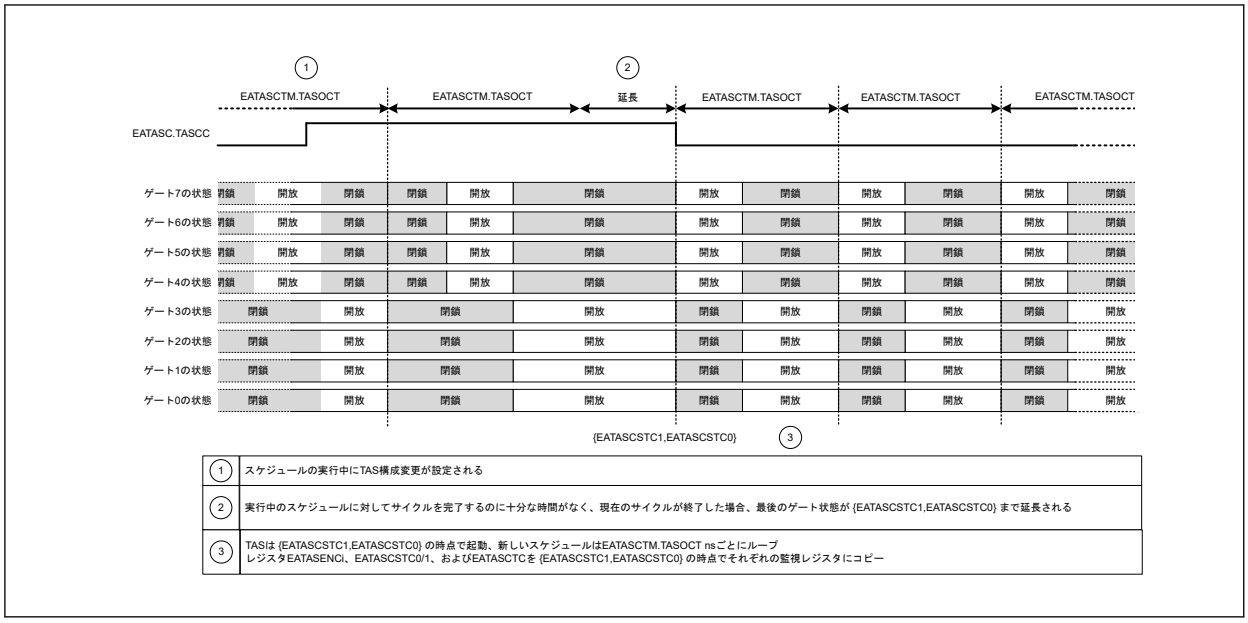


図 32.21　　スケジュールが未来に再構成される場合の TAS の動作

制約事項：

- HW：EATASC.TASCC が {EATASCSTC1, EATASCSTC0} – 2 × EATASCTC.TASACT と {EATASCSTC1, EATASCSTC0} の間に設定された場合、構成変更を正常に実行できない可能性があります。TAS モジュールは新しいサイクルの開始から 2 × cycle_time[ns]の間に復帰します。ここで、cycle_time は EATASCTC で設定されたスケジュールのサイクル時間です。

(b) 過去の TAS 構成変更

TAS モジュールは、スケジュールが過去に再構成されたように設定できます。図 32.22 に、スケジュールが過去に再構成された場合の TAS の動作を示します。この図で使用されるスケジュールは一例に過ぎず、TAS の一般的な動作を説明するには十分ではありません。

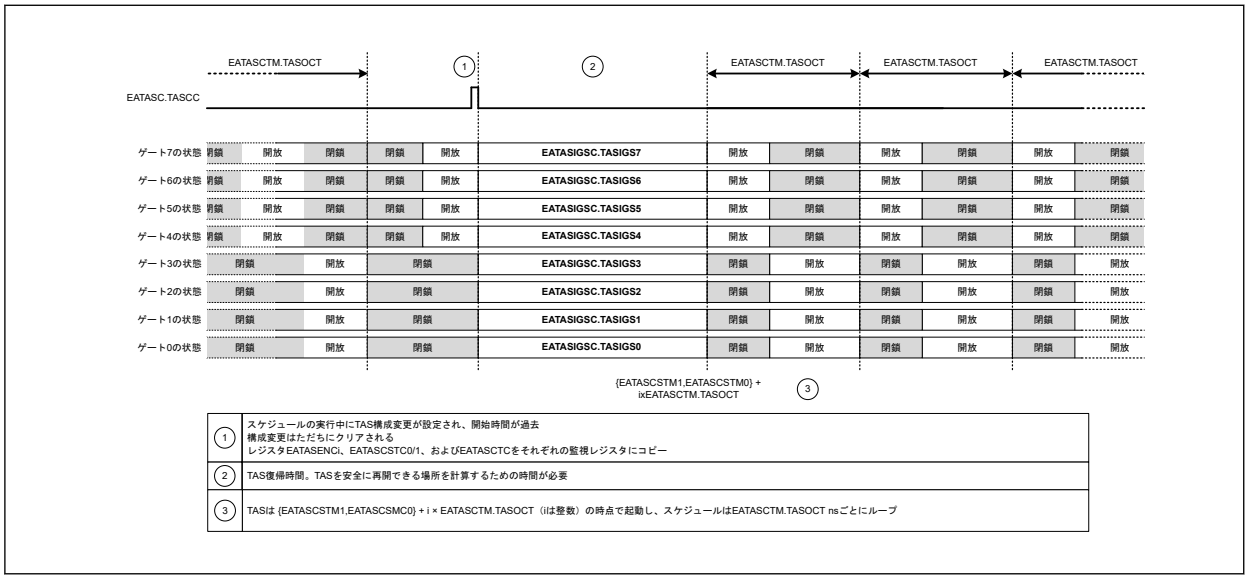


図 32.22　　スケジュールが過去に再構成された場合の TAS の動作

TAS 復帰時間 (*tas_recovery_time*) の最大値は式 (5) で計算できます。

(5) *tas_recovery_time[ns] = clk_period[ns] × (tascc_set_time[ns] – restart_time[ns]) / cycle_time[ns] + 2 × cycle_time[ns]*

ここで、

- *clk_period* は、クロック clk の周期です
- *tascc_set_time* は、EATASC.TASCC が設定された AVTP タイマの時間です

- *restart_time* は、スケジュールが再開されるように設定された AVTP タイマの時間です ({EATASCSTC1, EATASCSTC0})
- *cycle_time* は、EATASCTC で設定されたスケジュールのサイクル時間です。

機能：

- 式 (5) は、TAS が復帰中、クロックごとに *cycle_time* だけ開始時間を変更することから導出されます。それによって生じる問題は、*tase_set_time[ns] – start_time[ns]*に比例して復帰時間が増加することです。この問題を回避するため、開始時間が遠い過去である場合、TAS はクロックごとに $256^i \times$ *cycle_time* (i = 0～6) だけ開始時間を変更することができます。

制約事項：

- HW：過去の開始設定のため、EATASC.TASCC 設定時間から最初の新しいサイクルの終了まで、ハードウェア保護帯域は保証できません（フレームがゲート閉鎖状態を通過する場合があります）
- HW：過去の開始設定のため、EAEIS1.TASGES ゲートエラーが設定される場合があります。

3. TAS 禁止
TAS モジュールを実行時に無効にすることができます。図 32.23 に、スケジュールを無効にした場合の TAS の動作を示します。この図で使用されるスケジュールは一例に過ぎず、TAS の一般的な動作を説明するには十分ではありません。

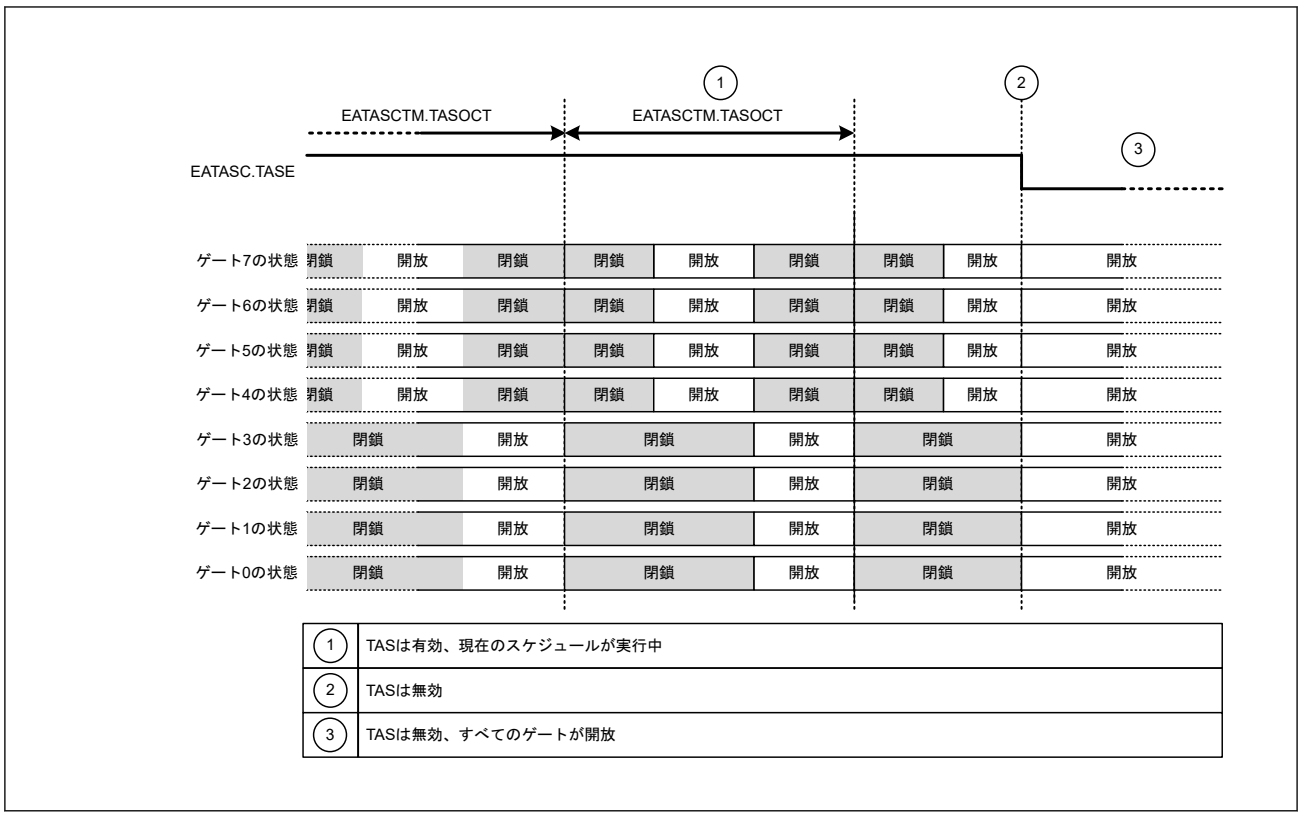
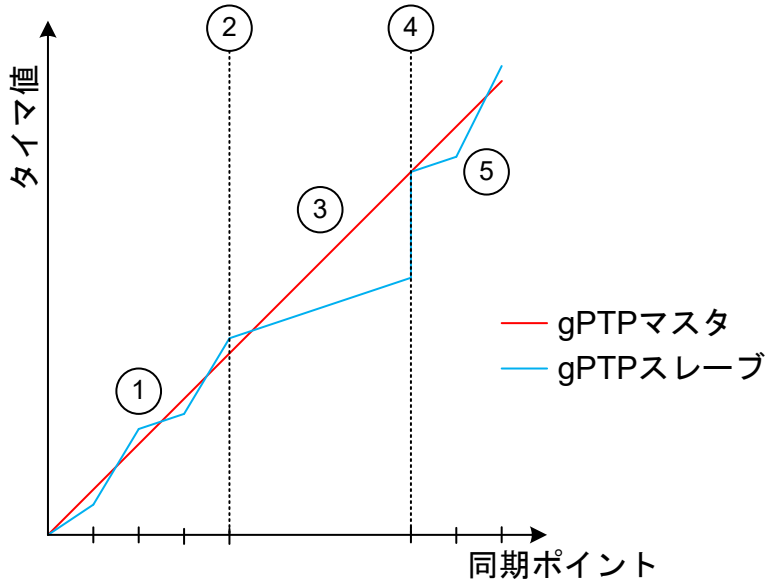


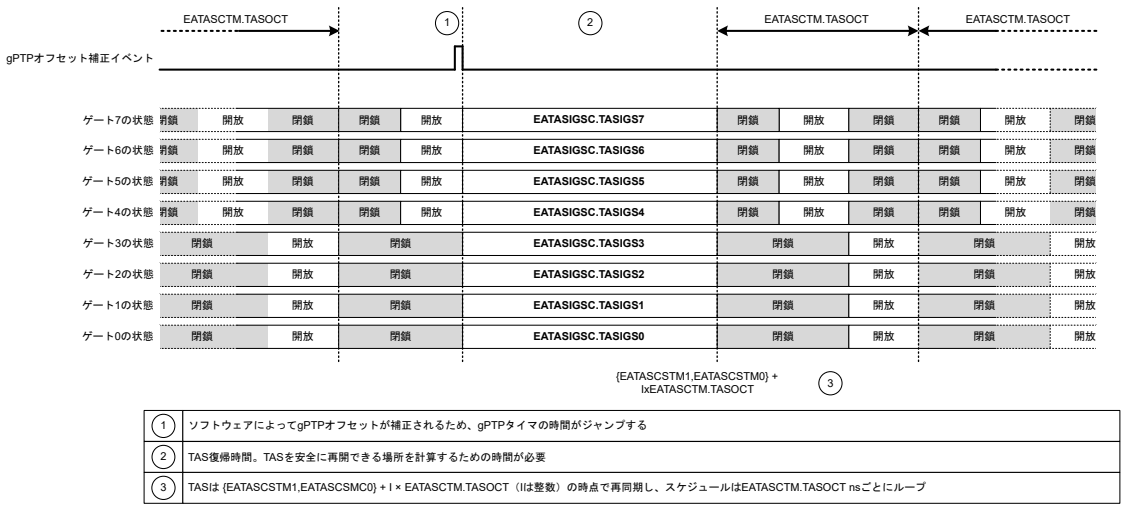
図 32.23 スケジュールを無効にした場合の TAS の動作

4. gPTP オフセット補正復帰[gPTP]
通常の状態の gPTP タイマ制御ループは、gPTP インクリメント値を使用して gPTP タイマを補正します。この場合、TAS が正常に動作するためには、gPTP タイマはクロックごとに *clk_period* ns（クロック clk の周期）だけインクリメントする必要があります。ただし、gPTP タイマが対応するマスタタイマ値からずれている場合、ソフトウェアがインクリメント値ではなく gPTP オフセット値を補正する可能性があります。そのため gPTP タイマと AVTP タイマでは、図 32.24 に示すように時間が長くなる可能性があります。この場合、TAS は正常に動作できなくなり、図 32.25 の説明に従って復帰する必要があります。



1	スレーブがマスタに同期
2	最後に成功した同期ポイント
3	同期ずれが発生。gPTPスレーブの導出
4	同期が正常に実行され、gPTPスレーブのオフセットが補正される
5	スレーブがマスタに同期

図 32.24　　gPTP オフセット補正



1	ソフトウェアによってgPTPオフセットが補正されるため、gPTPタイマの時間がジャンプする
2	TAS復帰時間。TASを安全に再開できる場所を計算するための時間が必要
3	TASは {EATASCSTM1,EATASCSMC0} + l × EATASCTM.TASOCT（lは整数）の時点で再同期し、スケジュールはEATASCTM.TASOCT nsごとにループ

図 32.25　　gPTP オフセット補正時の TAS 復帰

TAS 復帰時間 (*tas_recovery_time*) の最大値は式 (6) で計算できます。

(6) $tas_recovery_time[ns] = clk_period[ns] \times gptp_jump_time[ns] / cycle_time[ns] + 2 \times cycle_time[ns]$

ここで、

- *clk_period* は、クロック clk の周期です
- *gptp_jump_time* は、gPTP タイマで飛んだ時間です
- *cycle_time* は、EATASCTM レジスタに格納されたスケジュールのサイクル時間です。

機能：

- 未来の gPTP オフセット補正の場合、式 (6) は、TAS が復帰中、クロックごとに *cycle_time* だけ開始時間を変更することから導出されます。それによって生じる問題は、*tase_set_time[ns] – start_time[ns]*に比例して復帰時間が増加することです。この問題を回避するため、AVTP タイマが遠い未来に設定されている場合、TAS はクロックごとに $256^i \times cycle_time$ (i = 0～6) だけ開始時間を変更することができます。

制約事項：

- HW：gPTP オフセット補正のため、gPTP オフセット補正のイベント時間から最初の新しいサイクルの終了まで、ハードウェア保護帯域は保証できません（フレームがゲート閉鎖状態を通過する場合があります）。
- HW：gPTP オフセット補正のため、EAEIS1.TASGES ゲートエラーが設定される場合があります
- HW：*gptp_jump_time* が小さすぎる場合（2 × *cycle_time* 未満）、TAS が初期ゲート状態に戻ることができない可能性がありますが、この場合も復帰は実行されます
- HW：過去の gPTP オフセット補正の場合、TAS はクロックごとに $256^i \times cycle_time$ (i = 0～6) だけ開始時間を変更することができません。そのため、遠い過去の gPTP オフセット補正により、復帰時間が長くなる場合があります。

32.5.1.6.2 TAS スケジュール

TAS スケジュールは、キューがフレームの送信を許可されるサイクルの時点を定義します。TAS スケジュールは、TAS RAM 学習機能を使用して TAS RAM に記憶させる必要があります。本項では以下の情報について説明します。

- TAS エントリのフォーマット
- TAS エントリの学習機能
- TAS エントリの読み出し機能
- TAS スケジュールから TAS エントリのセットへの変換。

1. TAS エントリのフォーマット
   TAS RAM は、TAS スケジュールを構成する TAS エントリを格納するために使用します。TAS エントリにはゲート状態の情報が含まれています。このテーブルのフィールドを引用する場合は、TAS.{フィールド名} と表記します。表 32.6 に TAS エントリに含まれるフィールドを示します。

表 32.6 TAS エントリのフォーマット

フィールド名	フィールドサイズ（ビット）	フィールドの説明
GS	1	ゲート状態 値: ● 0: ゲート状態は閉鎖 ● 1: ゲート状態は開放
GT	28	ゲート時間 機能: ● エントリのゲート状態 TAS.GS に対応するナノ秒単位の時間の値

2. TAS エントリの学習
   学習機能は TAS RAM 内のエントリを上書きするために使用します。TAS RAM 内のエントリの学習に使用するレジスタを表 32.7 に示します。学習に失敗することはないため、学習結果はありません。

表 32.7 TAS エントリ学習レジスタ

レジスタ名	フィールド名／TAS RAM 内の対応するフィールド	フィールドの説明
EATASGL0.TASGAL	エントリアドレス	TAS RAM にはフィールドは存在しません。新しいエントリがこのアドレスに書き込まれます
EATASGL1.TASGSL	TAS.GS	「32.5.1.6. TAS（時間認識シェーパー）[802.1Qbv]」を参照してください。
EATASGL1.TASGTL	TAS.GT	「32.5.1.6. TAS（時間認識シェーパー）[802.1Qbv]」を参照してください。

3. TAS エントリの読み出し
読み出し機能は TAS RAM 内のエントリを読み出すために使用します。表 32.8 に、TAS RAM 内のエントリを読み出すために使用されるレジスタを示します。表 32.9 に、読み出し結果を示します。

表 32.8 TAS エントリ読み出しレジスタ

レジスタ名	フィールド名／TAS RAM 内の対応するフィールド	フィールドの説明
EATASGR.TASGAR	エントリアドレス	TAS RAM にはフィールドは存在しません。エントリがこのアドレスから読み出されます。

表 32.9 TAS エントリ読み出し結果

レジスタ名	フィールド名／TAS RAM 内の対応するフィールド	フィールドの説明
EATASGRR.TASGSR	TAS.GS	「32.5.1.6. TAS（時間認識シェーパー）[802.1Qbv]」を参照してください
EATASGRR.TASGTR	TAS.GT	「32.5.1.6. TAS（時間認識シェーパー）[802.1Qbv]」を参照してください

4. TAS スケジュールから TAS エントリのセットへの変換

(a) スケジュール例
図 32.26 に基本的なスケジュール例を示し、基本的なゲートの動作と、スケジュール設計時の推奨事項について説明します。

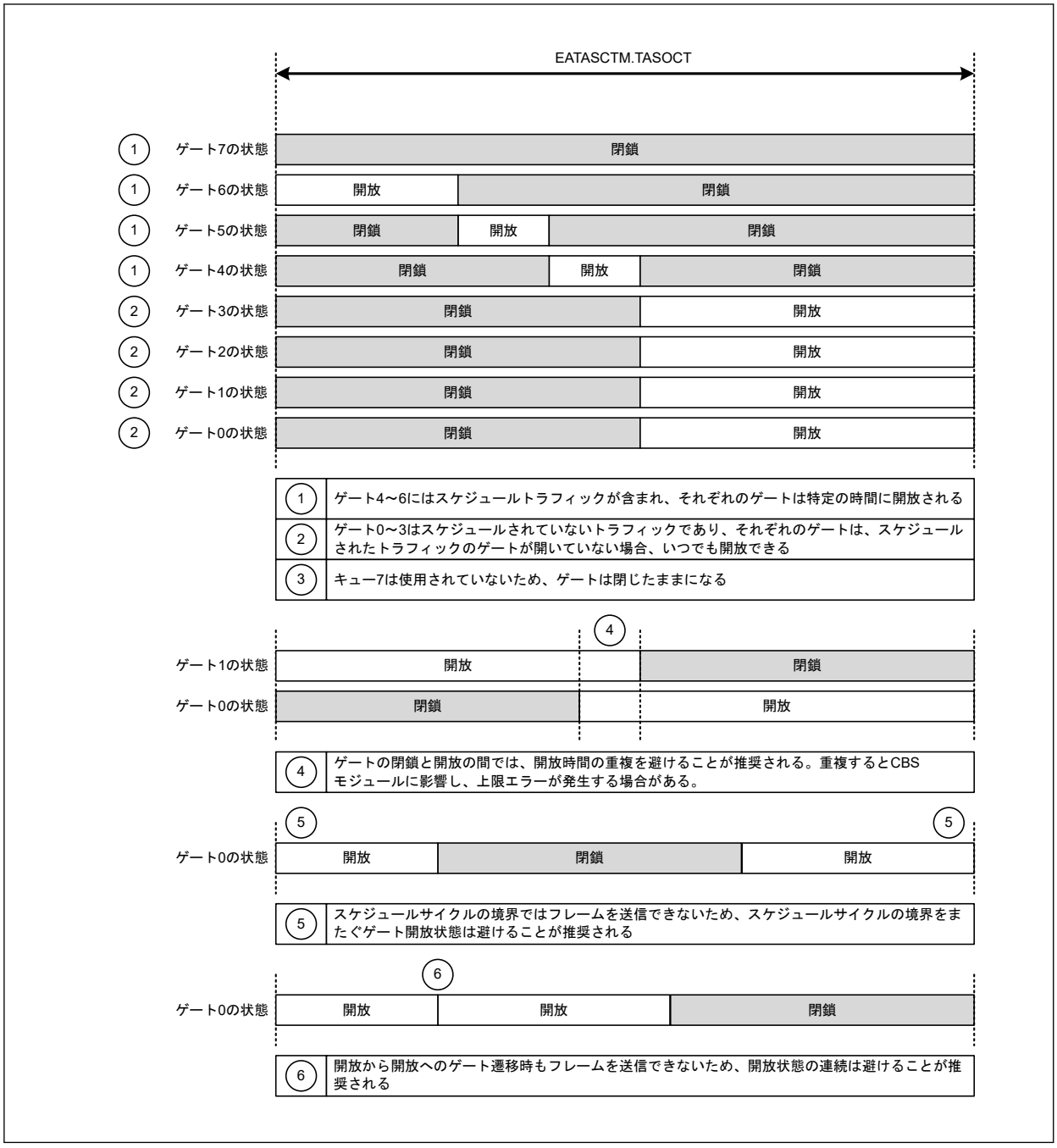


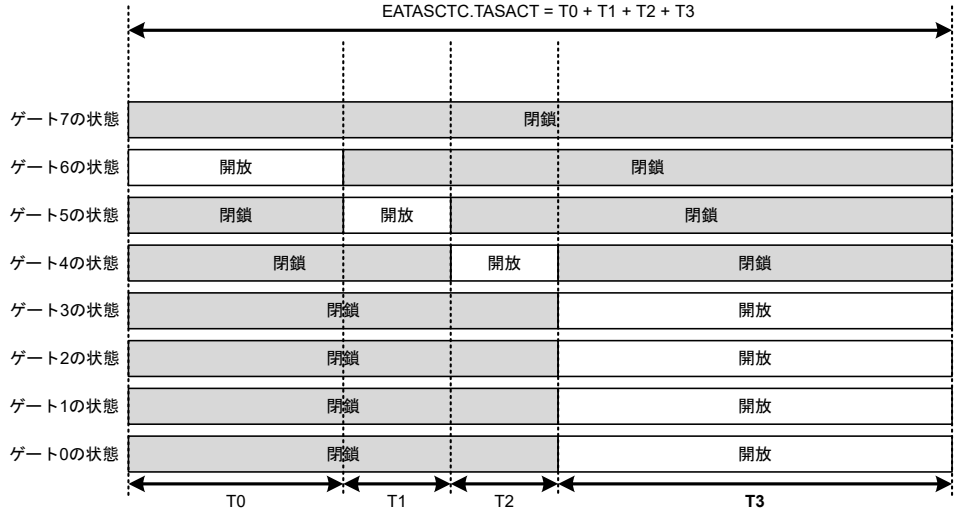
図 32.26 スケジュール例と推奨事項

制約事項：

- SW：すべての p フレームキュー（EATPEC.TTQ の対応するビットが 1 に設定）を同時に開放する必要があります。プリエンプションについては、「32.5.1.7.2. プリエンプション」を参照してください。

(b) スケジュール設定

図 32.27 では、スケジュールを TAS エントリのセットに変換する方法と、スケジュールに対応するレジスタの設定方法について、例を通して説明します。



対応するゲート	エントリ番号	TAS.GS	TAS.GT	エントリ番号
(1) ゲート0の状態	0 (2)	0	T0 + T1 + T2	EATASENC0.TASAEN0 = 1
	1	1	(3) 0	
ゲート1の状態	2	0	T0 + T1 + T2	EATASENC1.TASAEN1 = 1
	3	1	0	
ゲート2の状態	4	0	T0 + T1 + T2	EATASENC2.TASAEN2 = 1
	5	1	0	
ゲート3の状態	6	0	T0 + T1 + T2	EATASENC3.TASAEN3 = 1
	7	1	0	
ゲート4の状態	8	0	T0 + T1	(4) EATASENC4.TASAEN4 = 2
	9	1	T2	
	10	0	0	
ゲート5の状態	11	0	T0	EATASENC5.TASAEN5 = 2
	12	1	T1	
	13	0	0	
ゲート6の状態	14	1	T0	EATASENC6.TASAEN6 = 1
	15	0	0	
ゲート7の状態	16	0	(5) 0	EATASENC7.TASAEN7 = 0

(1)	ゲート0からカットスルーゲートまでの間、エントリをTAS RAMに書き込む必要がある
(2)	ゲートごとに、エントリを時間とともに出現順に書き込む必要がある
(3)	最後のエントリ時間に対応するゲートを必ず0に設定する必要がある。最後のゲートはサイクル終了まで延長される
(4)	エントリ数レジスタに対応するゲートでは、ゲートで使用されるエントリ数 - 1を設定する必要がある
(5)	ゲートが一定の状態にある場合、対応するエントリ数を0に設定し、対応する一定の状態をゲート時間0でTAS RAMに設定する必要がある

図 32.27 スケジュール例

制約事項：

- SW：各ゲート時間（図 32.27 の T_0、T_1、T_2、T_3）は、50 ns + EATASHCC.TASJ 以上にする必要があります。

5. ゲート開放時間の計算
制約事項：

- SW：TAS モジュールの詰まりを回避するために、ゲート開放時間はキューあたりの時間の最小値 *minimumOpenTime* を考慮する必要があります。この時間は、e キューの場合は式 (7)、p キューの場合は式 (8) で計算できます（プリエンプションについては、「32.5.1.7.2. プリエンプション」項を参照してください）。
  (7) *minimumOpenTime[ns]* = （*maximumFrameSize*［バイト］× 8 + 160）／*portTransmitRate[Gbps]* + *jitter[ns]* + *clk_period[ns]*
  (8) *minimumOpenTime[ns]* =（*MinimumFragmentSize*［バイト］× *8* + 704）／*portTransmitRate[Gbps]* + *jitter[ns]* + *clk_period[ns]*

ここで、

- *minimumOpenTime* は、スケジュール内のゲートの最小開放時間です。
- *maximumFrameSize* は、キューが受信できる最大フレームサイズです。ディスクリプタキュー q の値は **EATMFSCq.MFS** です。
- *portTransmitRate* は、ETHA リンクスループット[RMAC]です。
- *jitter* は、**EATASHCC.TASJ** レジスタで設定された内部ジッタです。
- *clk_period* は、クロック clk の周期です。
- *MinimumFragmentSize* は、**EATPEC.AFS** レジスタで設定された最小フラグメントサイズです。

32.5.1.6.3 TAS ハードウェア校正

送信データ取り込みブロックによって読み出されたフレームが追加される前、およびフレームが RMAC に送信される前に、フレームに TAS 送信認証が付与されます。これにより、内部最小レイテンシと内部最大ジッタ（図 32.28）が存在するため、TAS モジュール設定時に考慮する必要があります。レイテンシ校正はソフトウェアで処理する必要があります。ジッタ校正はソフトウェアで設定し、ハードウェアで処理されます。本項では、PHY インタフェース[RMAC]までのレイテンシとジッタで TAS モジュールを校正する方法について説明します。たとえば次の IP PSFP ゲートフィルタリングモジュールまでの最小レイテンシと最大ジッタを追加することで、それに合わせて TAS を校正することが可能になります。

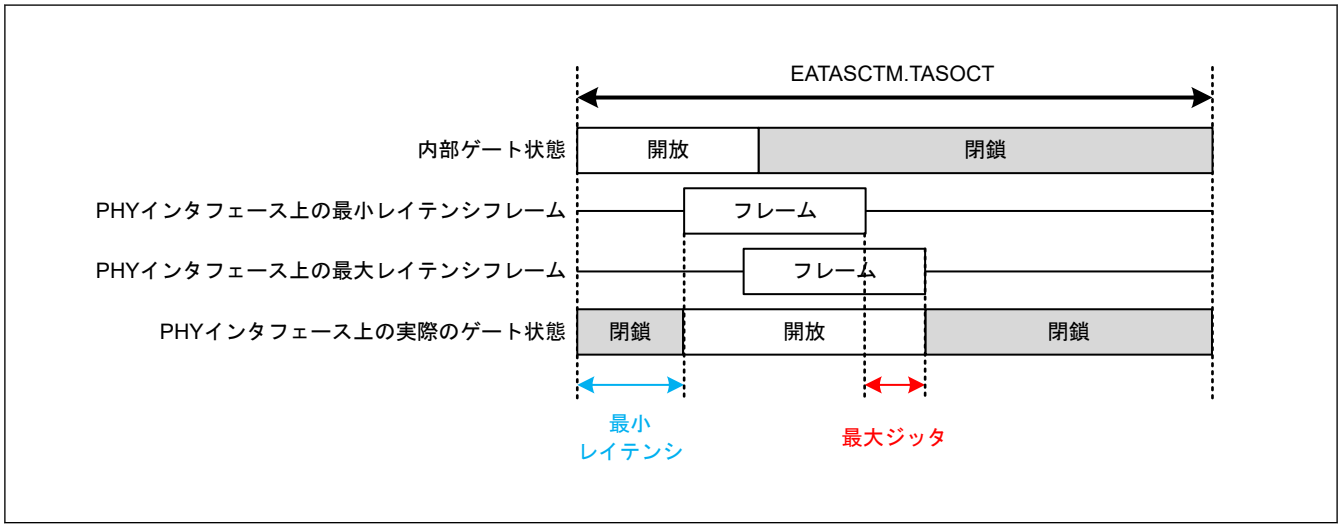


図 32.28 最小レイテンシと最大ジッタ

1. レイテンシ校正
   内部最小レイテンシのため、校正されていないスケジュールを使用すると、フレームは常に PHY インタフェース[RMAC]上で遅れて送信を開始します。これを修正するには、TAS 送信決定と PHY インタフェース上の実際の送信の間の最小レイテンシについての予測スケジュールより、TAS スケジュールを常に先行させる必要があります（図 32.29）。表 32.10 に、この最小レイテンシを示します。スケジュールを校正するには、ソフトウェアは、EATASCSTC0/1 レジスタに設定する前に、常にサイクル開始時間から最小レイテンシを減算する必要があります。

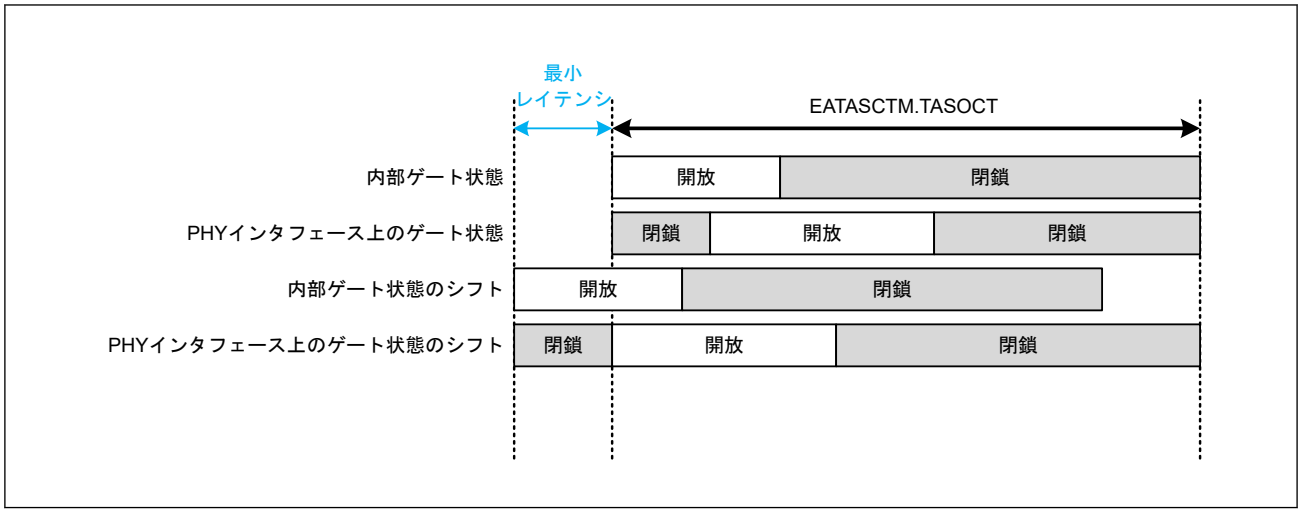


図 32.29　最小レイテンシ校正

表 32.10　最小レイテンシ値

PHY 速度	プリエンプション無効の場合の最小レイテンシ（EATPEC.TTQ をすべて 0 に設定）	プリエンプション有効の場合の最小レイテンシ（EATPEC.TTQ のビットの 1 つ以上を 1 に設定）
10 Mbps	8 × *clk_period[ns]* + 10 × *clk_phy_tx_period[ns]* + *fabricLatency[ns]*	3 × *clk_period[ns]* + 10 × *clk_phy_tx_period[ns]* + *fabricLatency[ns]*
100 Mbps	8 × *clk_period[ns]* + 10 × *clk_phy_tx_period[ns]* + *fabricLatency[ns]*	3 × *clk_period[ns]* + 10 × *clk_phy_tx_period[ns]* + *fabricLatency[ns]*
1 Gbps	8 × *clk_period[ns]* + 10 × *clk_phy_tx_period[ns]* + *fabricLatency[ns]*	3 × *clk_period[ns]* + 10 × *clk_phy_tx_period[ns]* + *fabricLatency[ns]*

ここで、

- *clk_period* は、クロック clk の周期です。
- *clk_phy_tx_period* は、クロック clk_phy_tx の周期です。
- *fabricLatency* は、ファブリックによって発生するレイテンシです。計算についてはファブリックの仕様書を参照してください[MFAB]。

2. ジッタ校正
内部最大ジッタのため、校正されていないスケジュールを使用すると、フレームは常に PHY インタフェース[RMAC]上で遅れて送信を終了します。これを修正するには、TAS スケジュールで開放されているゲートを、最大ジッタでの予測閉鎖時間より、常に先に閉じる必要があります（図 32.30）。この最大ジッタは式 (9) を使用して計算する必要があります。スケジュールを校正するには、ソフトウェアは EATASHCC.TASJ レジスタに最大ジッタを設定する必要があります。

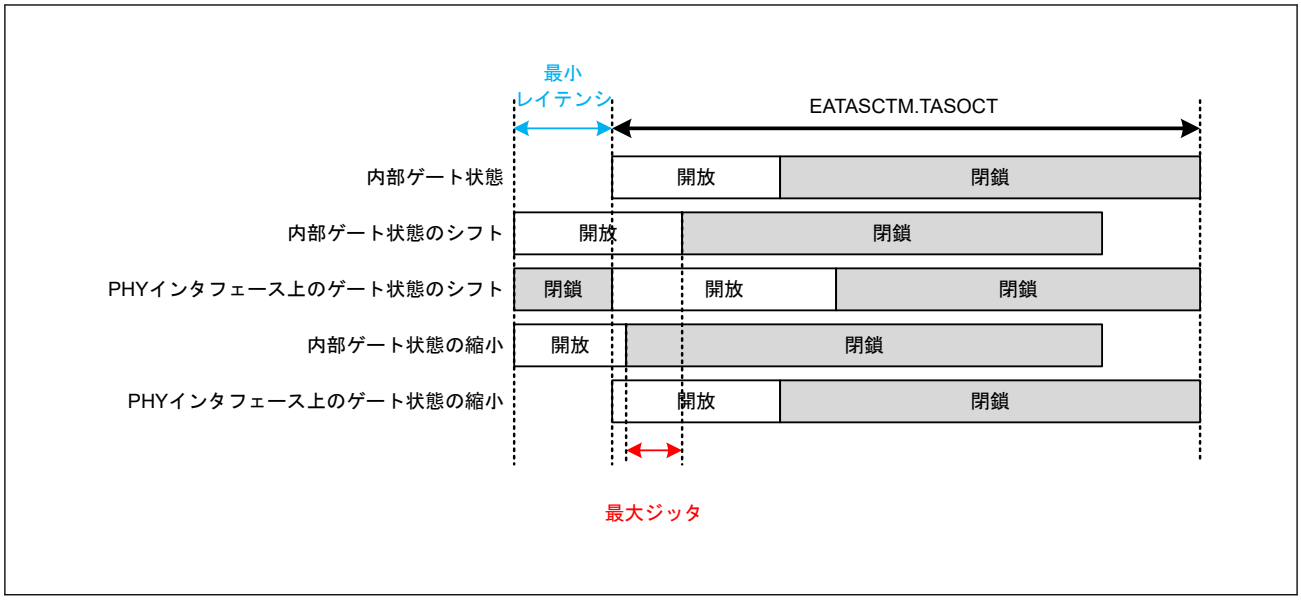


図 32.30 最大ジッタ校正

(9) *jitter[ns] = tasInternalJitter[ns] + fabricJitter[ns] + preemptionJitter[ns] + asynchronousJitter[ns] + gptpSyncJitter[ns] + clkDerivationJitter[ns]*

ここで、

- *tasInternalJitter* は、TAS モジュールによって発生するジッタであり、2 × *clk_period[ns]*です。*clk_period* はクロック clk の周期です。
- *fabricJitter* は、ファブリックによって発生するジッタです。計算についてはファブリックの仕様を参照してください[MFAB]。
- *asynchronousJitter* は、RMAC [RMAC]で非同期変換によって発生するジッタであり、*clk_period[ns]* + *clk_phy_tx_period[ns]*です。ここで、*clk_period* はクロック clk の周期、*clk_phy_tx_period* はクロック clk_phy_tx の周期です。
- *gptpSyncJitter* は、gPTP マスタクロックと gPTP スレーブクロックの間の gPTP 同期によって発生するジッタです。
- *clkDerivationJitter* は、gPTP クロック clk と PHY TX クロック clk_phy_tx の間のクロック導出によって発生するジッタであり、*clkRelativeDerivation* × *maxGateTime[ns]*です。ここで、*clkRelativeDerivation* はクロック導出、*maxGateTime* は TAS スケジュール内で最も長時間開いていたゲートです。TAS に対応する gPTP タイマがマスタであり、gPTP クロックが TX PHY クロックと位相同期する場合、*clkRelativeDerivation* は 0 です。
- *preemptionJitter* は、プリエンプションによって発生するジッタであり、5 × *clk_period[ns]*です。ここで、プリエンプションが有効の場合（EATPEC.TTQ レジスタのビットの 1 つ以上を 1 に設定）、*clk_period* はクロック clk の周期です。それ以外の場合、0 ns です。

32.5.1.6.4 TAS デバッグインタフェース

このインタフェースは、IP の範囲外に提供することで、TAS ゲート状態のデバッグを行うことを目的としています。

機能：

- eha_race_tas_gate_state[8]は、現在の TAS ゲート状態のカットスルーキューを反映します。
- eha_race_tas_gate_state[7:0]は、現在の TAS ゲート状態を反映します。

32.5.1.7 TX データ取り込み

送信データ取り込みは GWCA の受信データ取り込みと同じですが、プリエンプションの処理に加えて、カットスルーキューのデータ取り込みも処理できる点が異なります。非カットスルーフレームのデータ更新の詳細については、GWCA の仕様[GWCA]を参照してください。ETHA と GWCA のレジスタ／信号の対応を表 32.11 に示します。

表 32.11 送信データ取り込みの ETHA/GWCA レジスタの対応

GWCA [GWCA]のレジスタ／信号名	ETHA のレジスタ／信号名
GWVCC.VEM	EAVCC.VEM
{GWMAC0.MAU, GWMAC1.MAL}	{MRMAC0.MAU, MRMAC1.MAL} [RMAC]
GWRGC.RCPT	1 に固定 RMAC は FCS なしで送信されたすべてのフレームに FCS を追加

32.5.1.7.1 カットスルーフレーム

取り込んだデータによるカットスルーフレーム処理は、送信データ取り込みに対して透過的です。カットスルーフレームにはすべて送信用 e フレームがあります。

32.5.1.7.2 プリエンプション

プリエンプション機能を使用すると、エクスプレスフレーム（e フレーム）がプリエンプト可能なフレーム（p フレーム）に割り込み、EATPEC レジスタを使用して送信をより速く開始することができます（TAS ゲート閉鎖イベントがプリエンプト可能なフレームに割り込む場合もあります）。図 32.31 に 2 つの e キューの間の送信を示します。図 32.32 にも同じ送信を示しますが、最も優先順位の高いキューは p キューです。図 32.33 には p フレームに対するプリエンプションの動作を示します。

機能：

- EATPEC.AFS は、最小フラグメントサイズの設定に使用します
- EATPEC.TTQi は、p トラフィックまたは e トラフィックに対するディスクリプタキュー q トラフィックの設定に使用します。

制約事項：

- HW：イーサネットエージェントでは、プリエンプションは 64 ビットバスで発生します。その結果、プリエンプションはフレーム内の 16 バイトごとに実行できます。
- HW：p フレームは、優先順位の高い e フレームでのみプリエンプト可能です。そのため、p フレームが e フレームでプリエンプト可能にするには、常に、優先順位の低いキューを p フレームに、優先順位の高いキューを e フレームに設定します。EAIRC レジスタを使用すると、MFWD から受信した IPV を p キューまたは e キューに再マッピングすることができます。

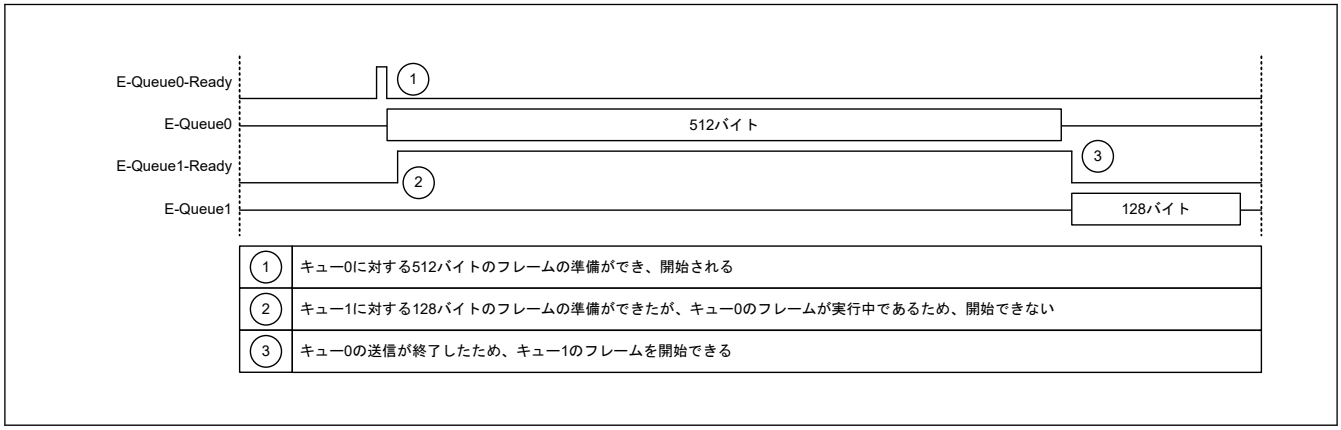
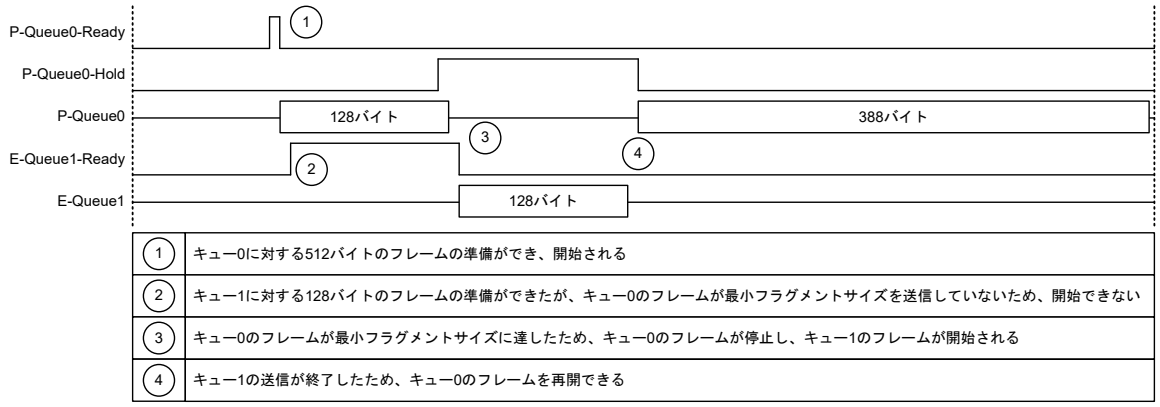
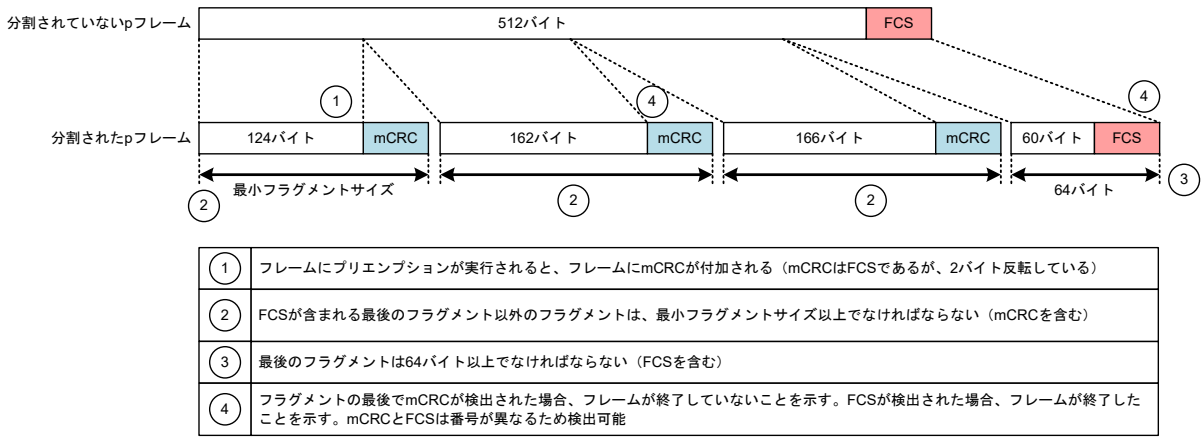


図 32.31 e フレームの送信



1	キュー0に対する512バイトのフレームの準備ができ、開始される
2	キュー1に対する128バイトのフレームの準備ができたが、キュー0のフレームが最小フラグメントサイズを送信していないため、開始できない
3	キュー0のフレームが最小フラグメントサイズに達したため、キュー0のフレームが停止し、キュー1のフレームが開始される
4	キュー1の送信が終了したため、キュー0のフレームを再開できる

図 32.32　e フレームと p フレームの送信 (EATPEC.AFS == 01)



1	フレームにプリエンプションが実行されると、フレームにmCRCが付加される（mCRCはFCSであるが、2バイト反転している）
2	FCSが含まれる最後のフラグメント以外のフラグメントは、最小フラグメントサイズ以上でなければならない（mCRCを含む）
3	最後のフラグメントは64バイト以上でなければならない（FCSを含む）
4	フラグメントの最後でmCRCが検出された場合、フレームが終了していないことを示す。FCSが検出された場合、フレームが終了したことを示す。mCRCとFCSは番号が異なるため検出可能

図 32.33　p フレームのプリエンプション (EATPEC.AFS == 01)

32.5.1.8　RMAC TX インタフェース制御

送信データ取り込み後、データは MHD TX インタフェース[RMAC]経由で RMAC に送信されます。表 32.12 に、RMAC に提供される MHD TX インタフェースのステータス情報を示します。

表 32.12　ETHA から RMAC に提供される MHD TX インタフェースのステータス

RMAC [RMAC]の信号名	バス幅	ETHA から提供される値
FCS in	1	対応する送信フレームが FCS である場合（FDESCR.FI が 1 の転送エンジンからディスクリプタを受信）、およびフレームがスイッチによって修正されていない場合（VLAN タグ付加／タグ解除による更新がなく、L3 ルーティングで要求される更新がない[FWD]）、1 に設定します。
タイムスタンプキャプチャ	1	LDESCR.TXC に設定します
Egress タイムスタンプ挿入	1	LDESCR.IET に設定します
常駐時間計算	1	LDESCR.CRT に設定します
タイマ番号	1	LDESCR.TN に設定します
タイムスタンプ一意番号	10	{SPN, LDESCR.TSUN} に設定します。ここで、SPN は対応するフレームの送信元ポート番号です

32.5.2 データ受信

イーサネットエージェントを使用すると、ETHA RX データパスを通してデータを受信できます。図 32.34 に RX データパスを示します。

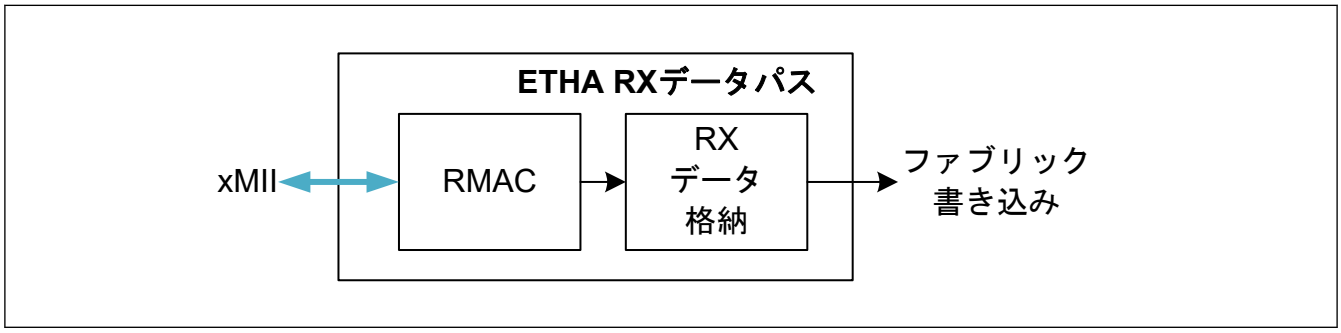


図 32.34 ETHA RX データパスのブロック図

RX データパスは、次の 2 つのブロックに分かれています。

- RMAC：このブロックは、イーサネット PHY とのデータ交換を処理します。このブロックの機能は RMAC の仕様[RMAC]に記載されています。
- RX データ格納：このブロックは、フレームの TAG 情報を抽出して VLAN タグ付加を適用し、フレームをローカル RAM に保存します。このブロックはまた、OPERATION モードからの復帰時にポインタを解放することもできます。ポインタ解放が存在するのはスイッチハードウェアの目的のためであり、その説明はスイッチの使用に必要ではありません。

制約事項：

- SW：スイッチの最大入力フレームサイズは 60 KB です。RMAC は、60 KB を超えるフレームを送信しないように設定してください（MRFSCE.EMXS および MRFSCP.PMXS は、61440 以下の値に設定してください[RMAC]）。

32.5.2.1 RX データ格納

RX データ格納機能は、ローカルディスクリプタのフォーマットを除いて、GWCA の TX データ格納機能と同じです。詳細については、GWCA の仕様を参照してください[GWCA]。表 32.13 に ETHA レジスタと GWCA レジスタの対応を示します。

表 32.13 データ格納の ETHA/GWCA レジスタの対応

GWCA [GWCA]のレジスタ／信号名	ETHA のレジスタ／信号名
GWTTFC	EARTFC
GWVCC.VIM	EAVCC.VIM
GWVTC	EAVTC
GWEIS0.USMFSES	EAEIS0.USMFSES

ローカルディスクリプタのフォーマットとして、ETHA はイーサネットローカルディスクリプタのみを使用できます。イーサネットローカルディスクリプタについては、GWCA の仕様を参照してください。表 32.14 にイーサネットエージェントのフィールドに対応する値を示します。

表 32.14 イーサネットローカルディスクリプタのフィールドの説明 (1/2)

フィールド名	ビット幅	ETHA での値
FI	1	RMAC MHD Rx インタフェースの「FCS を含む」フィールドに設定[RMAC]
FMT	1	イーサネットディスクリプタの場合は 0 に設定
TXC	1	RMAC MHD Rx インタフェースの「TX 側でのタイムスタンプキャプチャ」フィールドに設定[RMAC]
IET	1	0 に設定

表 32.14 イーサネットローカルディスクリプタのフィールドの説明 (2/2)

フィールド名	ビット幅	ETHA での値
CRT	1	0 に設定
TN	1	RMAC MHD Rx インタフェースの「タイムドメイン番号」フィールドに設定[RMAC]
TSUN	8	RMAC MHD Rx インタフェースの「タイムスタンプ固有番号」フィールドに設定[RMAC]
SAEF	8	図 32.35 と表 32.15 を参照してください。
VCTRL	3	VCTRL[2]の値： ● EAVCC.VIM に設定 VCTRL[1:0]の値 ● 00: TAG なし、R-TAG、および不明 TAG フレームの場合 ● 01: C-TAG および CR-TAG フレームの場合 ● 10: SC-TAG および SCR-TAG フレームの場合 ● 11: CoS-TAG および CoSR-TAG フレームの場合
RTGI	1	値： ● 0: TAG なし、CoS-TAG、C-TAG、SC-TAG、および不明 TAG フレームの場合 ● 1: R-TAG、CoSR-TAG、CR-TAG、および SCR-TAG フレームの場合
TPL	16	フレームのペイロード長。データ RAM [MFAB]内に保存されているデータのみが含まれます。
TSV	1	値： ● 0: RMAC からフレームとともにタイムスタンプを受信していない[RMAC] ● 1: RMAC からフレームとともにタイムスタンプを受信した[RMAC]
TSD	1	RMAC MHD Rx インタフェースの「タイムスタンプはデフォルトタイムスタンプ」フィールドに設定[RMAC]
TSNS	30	タイムスタンプを受信していない場合、0 に設定。 タイムスタンプを受信していない場合、タイムスタンプのナノ秒部分に設定。
TSS	32	タイムスタンプを受信していない場合、0 に設定。 タイムスタンプを受信していない場合、タイムスタンプの秒部分に設定。
—	- -	0 に設定

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	EC1[1:0]		EC0[3:0]				—	TFE

図 32.35 ソースエージェントエラーフラグのフォーマット

表 32.15 ソースエージェントエラーフラグのフィールドの説明 (1/2)

フィールド名	ビット幅	説明
TFE	1	TAG フィルタリングエラー 1 になる条件： ● HW：フレームが必要な TAG Ingress フォーマットに収まらないとき。「32.3.3.3. EARTFC : 受信 TAG フィルタリングコンフィグレーションレジスタ」を参照してください。
—	- -	予約 0 に設定

表 32.15 ソースエージェントエラーフラグのフィールドの説明 (2/2)

フィールド名	ビット幅	説明
EC0	4	エラーコード 0 [RMAC] 値： ● 0: エラー発生なし ● 1:「PHY エラー」ビットが設定されたフレームを RMAC から受信 ● 2:「PCH CRC エラー」ビットが設定されたフレームを RMAC から受信 ● 3:「ニブルエラー」ビットが設定されたフレームを RMAC から受信 ● 4:「FCS (mCRC) エラー」ビットが設定されたフレームを RMAC から受信 ● 5:「最終フラグメント欠落エラー」ビットが設定されたフレームを RMAC から受信 ● 6:「C フラグメント SMD エラー」ビットが設定されたフレームを RMAC から受信 ● 7:「C フラグメント FRAG_COUNT エラー」ビットが設定されたフレームを RMAC から受信 ● 8:「RMAC フレームフィルタリング済み」ビットが設定されたフレームを RMAC から受信 ● 9:「部分的休止中受信」ビットが設定されたフレームを RMAC から受信 ● その他: 予約 制約事項： ● HW : コーディング方式のため、このフィールドには 1 つしかエラーをフラグ設定できません ● HW : 同じフレームで複数のエラーが発生した場合、EC0 の値が最小のエラーがフラグ設定されます。
EC1	2	エラーコード 1 [RMAC] 値： ● 0: エラー発生なし ● 1:「バッファオーバーフローエラー」ビットが設定されたフレームを RMAC から受信 ● 2:「アンダーサイズエラー」ビットが設定されたフレームを RMAC から受信 ● 3:「オーバーサイズエラー」ビットが設定されたフレームを RMAC から受信 制約事項： ● HW : コーディング方式のため、このフィールドには 1 つしかエラーをフラグ設定できません ● HW : 同じフレームで複数のエラーが発生した場合、EC0 の値が最小のエラーがフラグ設定されます。
—	- -	予約 0 に設定

33. イーサネット MAC (RMAC)

33.1 概要

イーサネット MAC (RMAC) は、IEEE 802.3 標準のイーサネットの MAC (Media Access Control) 層の定義に準拠するイーサネットコントローラです。この標準に準拠する物理層 LSI チップ (PHY-LSI) で接続することにより、RMAC はイーサネット (IEEE 802.3) フレームを送受信できます。RMAC には単一の MAC 層のインタフェースがあります。

表 33.1 に RMAC の仕様を、図 33.1 にブロック図を示します。

表 33.1 RMAC の仕様

項目	説明
プロトコル	IEEE 802.3x 規格に準拠するフロー制御
	優先順位に基づくフロー制御 (802.1Qbb)
	IEEE 802.3br に準拠する割り込み優先転送（プリエンプト）
	IEEE 1588 時間同期をサポート IEEE AS および IEEE AS-Rev アクセラレーションをサポート
転送速度	10,100,1000 (2500Mbps) での転送をサポート
モード	全二重モード
	省電力イーサネット（低電力アイドル）
インタフェース	IEEE 802.3 規格の MII (Media Independent Interface)、GMII (Gigabit Media Independent Interface) をサポート
	PHY MDIO プログラミングインタフェース
	内部レジスタインタフェース（32 ビットデータ幅）をサポート 内部データインタフェース（64 ビットデータ幅）をサポート
オリジナル機能	構成可能なフレームデータパディング さまざまな種類の柔軟な RX アドレスフィルタリングモード 構成可能な CRC パススルー（送受信用） ネットワーク静的カウンタ (IEEE 802.3, ROMN RFC2819)
Magic Packet™	Magic Packet™(注1)の検出および検出された信号の出力

注 1. Magic Packet™は、Advanced Micro Devices, Inc の登録商標です。

表 33.2 参考資料

タイトル	内容
IEEE Std 802.3™-2008	衝突検出 (CSMA/CD) アクセス方法と物理層仕様によるキャリアセンスのマルチアクセス
IEEE 802.3az™-2010	メディアアクセス制御パラメータ、物理層、省電力イーサネット用の管理パラメータ
IEEE Std 802.3br™-2016	割り込み優先転送用の仕様および管理パラメータ
P802.1AS-Rev™	時間的制約のあるアプリケーション用のタイミングと同期
P802.1Qbu™	フレームプリエンプション
IEEE Std 1588™-2008	ネットワーク測定および制御システム用の高精度クロック同期プロトコル
IEEE Std 802.1BA™– 2011	オーディオビデオブリッジ (AVB) システム
IEEE802.1Qbb	優先順位に基づくフロー制御

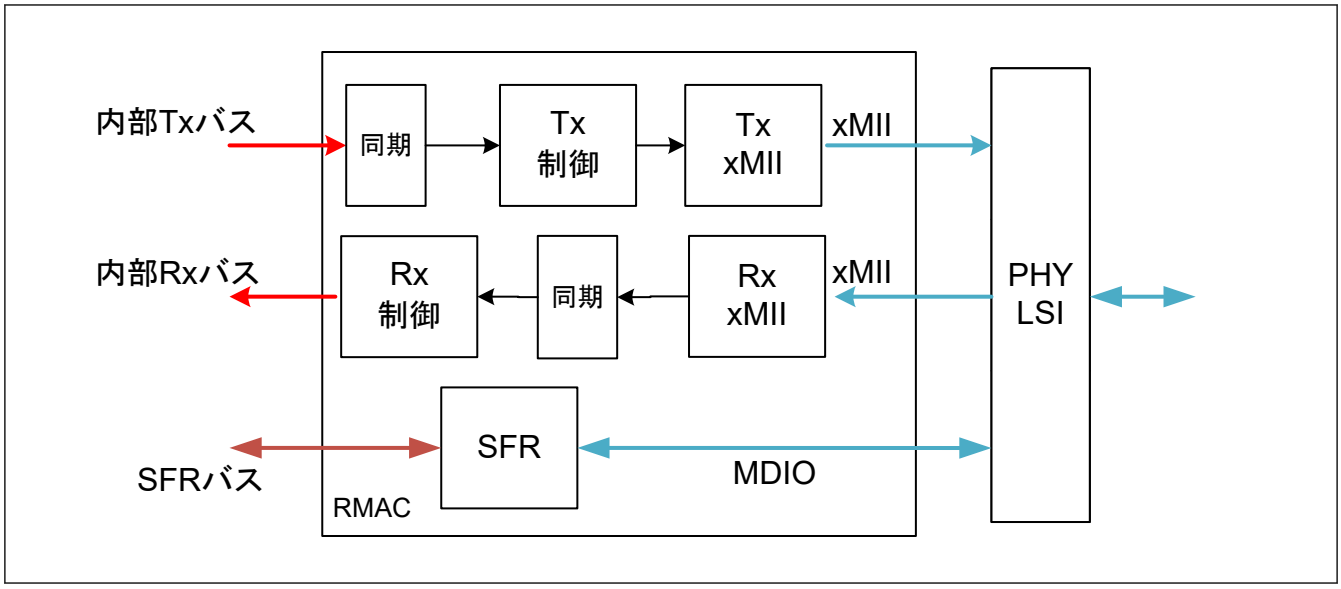


図 33.1　RMAC ブロック図

表 33.3　RAC 機能ブロック

ブロック名	機能
SFR	PHY レジスタにアクセスするためのすべての RMAC SFR とブリッジシステムが含まれます。 RMAC レジスタは CLK 上に配置されます。
Rx コントロール	受信 FSM とデータパスロジックで構成され、受信イーサネットフレームを分解します。 FCS のチェックや削除、宛先アドレスフィルタリング、フロー制御などの機能を制御します。
Tx コントロール	送信 FSM とデータパスロジックで構成され、送信イーサネットフレームを補助します。 プリアンブルや SFD の追加、PAD バイトの追加、FCS の計算などの機能を制御します。
Rx xMII/Tx xMII	PHY への接続を提供します。 xMII (MII, GMII) の複数のタイプをサポートします。
RMAC	本書で説明されている IP です。
同期	バスクロックドメインと MII クロックドメインの間で同期します。

33.2　端子機能

33.2.1　端子の説明

33.2.1.1　PHY インタフェース

PHY インタフェースはいくつかのメディアインタフェースをサポートします。それぞれのメディアインタフェースには、独自のインタフェース信号が存在します。

「IEEE Std 802.3™-2008”で PHY インタフェースについて説明されています。

RMAC の IPG（パケット間ギャップ）は、次のように定義されています。

MII タイプ	Tx/Rx	IPG
GMII	Tx	固定 12 バイト
	Rx	最小 12 バイト
MII	Tx	固定 12 バイト
	Rx	最小 12 バイト

33.2.1.2　MDIO インタフェース

MDIO 規格（IEEE 規格 802.3™-2018）を参照してください。

33.2.1.3 MHD TX タイムスタンプキャプチャインタフェース

タイムスタンプキャプチャが TX 側の RMAC に対して要求された場合、タイムスタンプを送信するために、このインタフェースが使用されます。

このインタフェースはハンドシェイクに基づきます。以下の図に、インタフェースの時間図を示します。

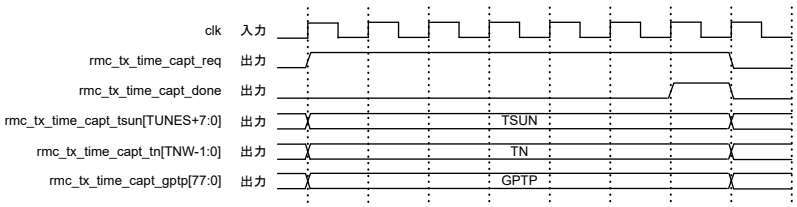


図 33.2 TX キャプチャインタフェースの時間チャート

33.3 RMAC のレジスタ一覧

表 33.4 RMAC レジスタ (1/3)

オフセットアドレス	レジスタ名	レジスタシンボル	書き込みアクセスモード
0x0000	PHY ステーション管理レジスタ	MPSM	D、C、O
0x0004	PHY インタフェースコンフィグレーションレジスタ	MPIC	C
0x0008	PHY インタフェース監視レジスタ	MPIM	—
0x0010	I/O コンフィグレーションレジスタ	MIOC	D、C、O
0x0020	送信フレームフォーマットコンフィグレーションレジスタ	MTFFC	C
0x0024	送信 PAUSE または PFC フレームコンフィグレーションレジスタ	MTPFC	C
0x0028	送信 PAUSE または PFC フレームコンフィグレーションレジスタ 2	MTPFC2	C、O
0x0030 + 0x04 × t	送信 PAUSE または PFC フレームコンフィグレーションレジスタ 3（優先順位グループ t 用）	MTPFC3t	C
0x0080	受信汎用コンフィグレーションレジスタ	MRGC	C
0x0084	受信 MAC アドレスコンフィグレーションレジスタ 0	MRMAC0	C
0x0088	受信 MAC アドレスコンフィグレーションレジスタ 1	MRMAC1	C
0x008C	受信アドレスフィルタコンフィグレーションレジスタ	MRAFC	C、O
0x0090	受信ストームコンフィグレーション（e フレーム用）レジスタ	MRSCE	C、O
0x0094	受信ストームコンフィグレーション（p フレーム用）レジスタ	MRSCP	C、O
0x0098	受信ストームカウンタコンフィグレーションレジスタ	MRSCC	D、C、O
0x009C	受信フレームサイズコンフィグレーション（e フレーム用）レジスタ	MRFSCE	C
0x00A0	受信フレームサイズコンフィグレーション（p フレーム用）レジスタ	MRFSCP	C
0x00A4	タイムスタンプ受信コンフィグレーションレジスタ	MTRC	C
0x00AC	受信 PAUSE または PFC フレーム監視レジスタ	MRPFM	—
0x0100 + 0x04 × t	PTP フィルタリングコンフィグレーションレジスタ t	MPFCt	C
0x0180	リンク検証コンフィグレーションレジスタ	MLVC	O
0x0184	省電力イーサネットコンフィグレーションレジスタ	MEEEC	D、C、O

表 33.4 RMAC レジスタ (2/3)

オフセットアドレス	レジスタ名	レジスタシンボル	書き込みアクセスモード
0x0188	ループバックコンフィグレーションレジスタ	MLBC	C
0x0200	エラー割り込みステータスレジスタ	MEIS	D、C、O
0x0204	エラー割り込み許可レジスタ	MEIE	D、C、O
0x0208	エラー割り込み禁止レジスタ	MEID	D、C、O
0x0210	監視割り込みステータスレジスタ 0	MMIS0	D、C、O
0x0214	監視割り込み許可レジスタ 0	MMIE0	D、C、O
0x0218	監視割り込み禁止レジスタ 0	MMID0	D、C、O
0x0220	監視割り込みステータスレジスタ 1	MMIS1	D、C、O
0x0224	監視割り込み許可レジスタ 1	MMIE1	D、C、O
0x0228	監視割り込み禁止レジスタ 1	MMID1	D、C、O
0x0230	監視割り込みステータスレジスタ 2	MMIS2	D、C、O
0x0234	監視割り込み許可レジスタ 2	MMIE2	D、C、O
0x0238	監視割り込み禁止レジスタ 2	MMID2	D、C、O
0x0300	手動 PAUSE フレーム送信カウンタレジスタ	MMPFTCT	—
0x0304	自動 PAUSE フレーム送信カウンタレジスタ	MAPFTCT	—
0x0308	PAUSE フレーム受信カウンタレジスタ	MPFRCT	—
0x030C	不正キャリア表示カウンタレジスタ	MFCICT	—
0x0310	省電力イーサネットカウンタレジスタ	MEEECT	—
0x0320 + 0x04 × j	手動 PFC フレーム送信カウンタレジスタ	MMPCFTCTt	—
0x0330 + 0x04 × j	自動 PFC フレーム送信カウンタレジスタ	MAPCFTCTt	—
0x0340 + 0x04 × j	PFC フレーム受信カウンタレジスタ	MPCFRCTt	—
0x0360	受信オーバーフローカウンタレジスタ	MROVFC	—
0x0408	受信良フレームカウンタ e フレームレジスタ	MRGFCE	—
0x040C	受信良フレームカウンタ p フレームレジスタ	MRGFCP	—
0x0410	受信良ブロードキャストフレームカウンタレジスタ	MRBFC	—
0x0414	受信良マルチキャストフレームカウンタレジスタ	MRMFC	—
0x0418	受信良ユニキャストフレームカウンタレジスタ	MRUFC	—
0x041C	受信 PHY エラーフレームカウントレジスタ	MRPEFC	—
0x0420	受信ニブルエラーフレームカウントレジスタ	MRNEFC	—
0x0424	受信 FCS/mCRC エラーフレームカウントレジスタ	MRFMEFC	—
0x0428	受信最終フラグメント欠落エラーフレームカウントレジスタ	MRFFMEFC	—
0x042C	受信 c フラグメントカウントエラーフレームカウントレジスタ	MRCFCEFC	—
0x0430	受信フラグメントカウントエラーフレームカウントレジスタ	MRFCEFC	—
0x0434	受信 RMAC フィルタエラーフレームカウントレジスタ	MRRCFEFC	—
0x0438	受信フレームカウントレジスタ	MRFC	—
0x043C	受信良アンダーサイズエラーフレームカウントレジスタ	MRGUEFC	—
0x0440	受信不良アンダーサイズエラーフレームカウントレジスタ	MRBUEFC	—

表 33.4 RMAC レジスタ (3/3)

オフセットアドレス	レジスタ名	レジスタシンボル	書き込みアクセスモード
0x0444	受信良オーバーサイズエラーフレームカウントレジスタ	MRGOEFC	—
0x0448	受信不良オーバーサイズエラーフレームカウントレジスタ	MRBOEFC	—
0x044C	受信バイトカウンタ e フレーム上側レジスタ	MRXBCEU	—
0x0450	受信バイトカウンタ e フレーム下側レジスタ	MRXBCEL	—
0x0454	受信バイトカウンタ p フレーム上側レジスタ	MRXBCPU	—
0x0458	受信バイトカウンタ p フレーム下側レジスタ	MRXBCPL	—
0x0508	送信良フレームカウンタ e フレームレジスタ	MTGFCE	—
0x050C	送信良フレームカウンタ p フレームレジスタ	MTGFCP	—
0x0510	送信ブロードキャストフレームカウンタレジスタ	MTBFC	—
0x0514	送信マルチキャストフレームカウンタレジスタ	MTMFC	—
0x0518	送信ユニキャストフレームカウンタレジスタ	MTUFC	—
0x051C	送信エラーフレームカウンタレジスタ	MTEFC	—
0x0520	送信バイトカウンタ e フレーム上側レジスタ	MTXBCEU	—
0x0524	送信バイトカウンタ e フレーム下側レジスタ	MTXBCEL	—
0x0528	送信バイトカウンタ p フレーム上側レジスタ	MTXBCPU	—
0x052C	送信バイトカウンタ p フレーム下側レジスタ	MTXBCPL	—

注.
- ベースアドレス： RMAC0 = 0x403C_B000, RMAC1 = 0x403C_D000, RMAC0_NS = 0x503C_B000, RMAC1_NS = 0x503C_D000
- すべてのレジスタを任意のモードで読み出すことができます。
- 書き込みアクセスモード：
  - 任意：レジスタは任意のモードでアクセスできます。
  - D：レジスタは DISABLE モードでアクセスできます。
  - C：レジスタは CONFIG モードでアクセスできます。
  - O：レジスタは OPERATION モードでアクセスできます。

33.4 RMAC レジスタの説明

33.4.1 RMAC 機能レジスタ

33.4.1.1 MPSM : PHY ステーション管理レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PRD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	POP[1:0]		PRA[4:0]					PDA[4:0]					MFF	—	PSME
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSME(注2)(注3)(注4)	PHY ステーション管理有効 0: PHY レジスタのアクセスは、進行中ではありません。 1: PHY レジスタのアクセスが要求され、進行中です。	R/W(注1)
1	—	読むと 0 が読めます。	R
2	MFF	管理フレームフォーマット 0: IEEE802.3 の条項 22 で定義されている通常管理フレームフォーマット 本書では、「MDIO」と表記します。 1: IEEE802.3 の条項 45 で定義されている拡張管理フレームフォーマット 本書では、「eMDIO」と表記します。	R/W
7:3	PDA[4:0]	PHY デバイスアドレス これらのビットは、MPSM.MFF に従って、以下の値を指定します。 詳細は、8.5 を参照してください。 ● MPSM.MFF = 0 の場合 PHY アドレスフィールド ● MPSM.MFF = 1 の場合 PHY アドレスフィールド	R/W
12:8	PRA[4:0]	PHY レジスタアドレス これらのビットは、MPSM.MFF に従って、以下の値を指定します。 詳細は、8.5 を参照してください。 ● MPSM.MFF = 0 の場合 レジスタアドレス ● MPSM.MFF = 1 の場合 デバイスアドレス	R/W
14:13	POP[1:0]	PHY 動作コントロール これらのビットは動作コードを指定します。 詳細は、8.5 を参照してください。 これらのビットは、MPSM.MFF に従って、以下の値を指定します。 ● MPSM.MFF = 0 の場合 0 1: 書き込みフレーム 1 0: 読み出しフレーム その他: 予約 （MPSM.MFF = 0 のとき、0 0 または 1 1 は設定できません） ● MPSM.MFF = 1 の場合 0 0: アドレスフレーム 0 1: 書き込みフレーム 1 0: 読み出し後インクリメントアドレスフレーム 1 1: 読み出しフレーム	R/W
15	—	読むと 0 が読めます。	R
31:16	PRD[15:0]	PHY レジスタデータ これらのビットは、MPSM.MFF に従って、以下の値を指定します。 詳細は、8.5 を参照してください。 ● MPSM.MFF = 0 の場合 PHY レジスタのデータフィールド ● MPSM.MFF = 1 の場合 PHY レジスタのデータ／アドレスフィールド	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。
注 2. このビットがアサートされている間に、MPSM レジスタにアクセスしても、影響はありません。
注 3. このビットは、MPIC.PSMCS = 0 のときに設定することはできません。
注 4. RMAC をリセットする前に、このレジスタを必ず確認してください。このレジスタが設定されている場合、リセットは実行されません。

MDIO を介した PHY-LSI 内部レジスタへのアクセスを提供します。

PSME ビット（PHY ステーション管理有効）

PHY レジスタにアクセスするには、このビットを設定します。

［1 になる条件］

SW：本レジスタに 1 を書き込みます。PHY アクセスを開始します。

［0 になる条件］

HW：PHY レジスタアクセスが完了すると、このビットは自動で 0 を返します。

PRD[15:0]ビット（PHY レジスタデータ）

書き込み動作：HW は書き込み動作中に、レジスタ値を PHY に送信します。

読み出し動作：HW は読み出し動作中に、PHY からこのレジスタに読み出しデータを書き込みます。

33.4.1.2 MPIC : PHY インタフェースコンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	PSMCT[2:0]			—	PSMHT[2:0]			PSMDP	PSMCS[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	PLSPP	PIPP	PIP	—	—	LSC[2:0]			PIS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	PIS[2:0]	PHY インタフェース選択 PHY に接続された xMII インタフェースを選択します。 0 0 0: MII 0 1 0: GMII 1 0 0: 予約 1 0 1: 予約 1 1 0: 予約 1 1 1: 予約	R/W
5:3	LSC[2:0]	リンク速度設定 0 0 0: 10 Mbps 0 0 1: 100 Mbps 0 1 0: 1 Gbps 0 1 1: 予約 1 1 0: 予約 1 1 1: 予約	R/W
7:6	—	読むと 0 が読めます。	R
8	PIP	PHY 割り込み極性 PHY 割り込み端子 (rmc_phy_int) のアクティブレベルを設定します。 アクティブレベルについては、接続する PHY-LSI の仕様を参照してください。 0: PHY 割り込みがアクティブ Low（デフォルト） 1: PHY 割り込みがアクティブ High	R/W
9	PIPP	PHY 割り込み端子プラグ接続 0: プラグ未接続 1: プラグ接続済み	R/W
10	PLSPP	PHY リンクステータス端子プラグ接続 0: プラグ未接続 1: プラグ接続済み	R/W
15:11	—	読むと 0 が読めます。	R
22:16	PSMCS[6:0](注2)	PHY ステーション管理クロック選択 0000000: MDC クロック停止 0000001: clk / ((1+1)*2) 0000010: clk / ((2+1)*2) ⋮ 1111110: clk / ((126+1)*2) 1111111: clk / ((127+1)*2)	R/W(注1)
23	PSMDP(注2)	PHY ステーション管理プリアンブル無効 0: PHY ステーション管理プリアンブル有効 1: PHY ステーション管理プリアンブル無効	R/W(注1)

ビット	シンボル	機能	R/W
26:24	PSMHT[2:0](注2)(注3)	PHY ステーション管理ホールド時間調整 0 0 0: 調整済みホールド時間なし（MDC の立ち上がりエッジで MDO を変更） 0 0 1: 1 クロックサイクルの追加ホールド時間 ⋮ 1 1 1: 7 クロックサイクルの追加ホールド時間	R/W(注1)
27	—	読むと 0 が読めます。	R
30:28	PSMCT[2:0](注2)(注3)	PHY ステーション管理キャプチャ時間調整 この設定値に従って、MDC クロックの立ち上がりエッジに対する MDI のデータキャプチャタイミングがシフトします。 0 0 0: 調整済みキャプチャ時間なし（MDC の立ち上がりエッジで MDI をキャプチャ） 0 0 1: 1 クロックサイクル前でキャプチャ ⋮ 1 1 1: 7 クロックサイクル前でキャプチャ	R/W(注1)
31	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。
注 2. SW：MPSM.PSME が設定されている場合は、このレジスタを設定できません。
注 3. SW：設定値は MDC クロックサイクル (MPIC.PSMCS*2) より小さくなければなりません。

MDIO および xMII インタフェースを設定します。

PSMCS[6:0]ビット（PHY ステーション管理クロック選択）

MDC クロックのサイクルを設定します。MDC クロックは clk クロックから分割されます。MDC クロックのデューティー比は 50%です。

詳細は 8.4 項を参照してください。

PSMDP ビット（PHY ステーション管理プリアンブル無効）

プリアンブルパターン（32 個の連続するビットのシーケンス）を切り捨てることができます。アサートされた場合、プリアンブルパターンがスキップされ、管理フレームは ST（フレーム先頭）パターンで始まります。

PSMHT[2:0]ビット（PHY ステーション管理ホールド時間調整）

この設定値に従って、MDC クロックの立ち上がりエッジに対する MDO のデータ変更タイミングがシフトします。

33.4.1.3 MPIM : PHY インタフェース監視レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LPIA	PLS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PLS	PHY リンク状態フラグ 0: PHY リンク信号は Low レベル 1: PHY リンク信号は High レベル	R
1	LPIA	LPI アクティブ Rx 側の LPI がアクティブであることを示します。 0: LPI なし 1: LPI がアクティブ	R

ビット	シンボル	機能	R/W
31:2	—	読むと 0 が読めます。	R

PLS ビット（PHY リンク状態フラグ）

PHY のリンク状態を示します。リンクステータス端子 (rmc_phy_link) が PHY-LSI からのリンク信号に接続されている場合のみ使用できます。

アクティブレベルについては、接続する PHY-LSI の仕様を参照してください。

LPIA ビット（LPI アクティブ）

[1 になる条件]

HW：xMII Rx データ信号で LPI コードを検出したとき (rmc_rx_data_valid_in, rmc_rx_data_data_in[31:0], rmc_rx_data_err_in)。詳細は、xMII 仕様を参照してください。

[0 になる条件]

HW：xMII Rx データ信号で LPI コードを検出しなかったとき

33.4.1.4 MIOC : I/O コンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MIOC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MIOC0	I/O コンフィグレーション 0 0: 通常モード。clk_phy_tx および clk_phy_rx が提供されます。 1: 緊急クロックリカバリモード。clk_phy_tx および clk_phy_rx が提供されます（フリーランクロック (clk_common)）。（この状態では送信はできません。）	R/W
31:1	—	読むと 0 が読めます。	R

注. PHY からのクロック供給が予期せずに停止した場合に、SW は 1 をビット[0]に書き込みます。
この場合、RMAC のすべての内部条件をフラッシュするために、1 をビット[0]に書き込みます。フラッシュされ、DISABLE モードに変更されるのを待ってから、0 をビット[0]に書き込み、RESET モードに変更します。

33.4.1.5 MTFFC : 送信フレームフォーマットコンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCM	DPAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPAD(注1)(注2)	データパディング禁止 FCS のない小さすぎる送信フレーム（60 バイト未満）の自動パディングを禁止します。 このビットが設定されているときに、FCS のない小さすぎる送信フレーム（60 バイト未満）を受信した場合、RMAC は FCS を追加して、そのフレームを送信します。 0: パディングが挿入されます。 1: パディングは挿入されません。	R/W
1	FCM	フロー制御モード このビットはフロー制御モードを指定します。 0: PAUSE 1: PFC	R/W
31:2	—	読むと 0 が読めます。	R

注 1. HW：このビットが、検証フレーム、PAUSE フレーム、PFC フレームに影響することはありません。
注 2. HW：「fcs included(FI==1)」が上位レイヤに適用される場合、パディングは実行されません。

このレジスタは、送信されるフレームフォーマットを設定するために使用されます。

33.4.1.6 MTPFC : 送信 PAUSE または PFC フレームコンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PFRLV[4:0]					PFM	—	—	PFRT[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PT[15:0](注1)	休止時間 これらのビットは、PAUSE と PFC の共通ビットになります。 0x0000 PAUSE フレーム禁止 : 0x0001 512 × 1 ビット時間 : 0xFFFF 512 × 65,535 ビット時間 :	R/W
23:16	PFRT[7:0](注1)(注2)	PAUSE フレーム再送信タイム これらのビットは、PAUSE と PFC の共通ビットになります。 0x00: 512 × 0 ビット時間 0x01: 512 × 1 ビット時間 : 0xFF: 512 × 255 ビット時間	R/W
25:24	—	読むと 0 が読めます。	R
26	PFM(注1)	PAUSE フレームモード このビットは、PAUSE と PFC の共通ビットになります。 0: 自動 PAUSE フレーム。ハードウェアの一時停止要求によって、PAUSE フレームの送信がトリガされます。 1: 手動 PAUSE フレーム。MTPFC2.MPFR または MTPFC2.MPFCFR によって、PAUSE フレームの送信がトリガされます。	R/W

ビット	シンボル	機能	R/W
31:27	PFRLV[4:0](注1)	PAUSE または PFC フレーム再試行制限値 0x00: 割り込みなし 0x01: 1 PAUSE フレームで割り込み ⋮ 0x1F: 31 PAUSE フレームで割り込み	R/W

注 1. SW：本レジスタは、CONFIG モードでのみ書き込み可能です。
注 2. SW：本レジスタは、MTPFC.PT のいずれよりも小さい値に設定する必要があります。

本レジスタは、PAUSE フレームの TIME パラメータ値を設定するために使用されます。

PT[15:0]ビット（休止時間）

これらのビットは、PAUSE フレームの TIME パラメータ値を設定します。

- これらのビットの値は、PAUSE または PFC フレームの Time フィールドに設定されます。
- これらのビットの値が 0 の場合、PAUSE または PFC は送信されません。
- この設定の単位は、512 ビット時間です。1 ビット時間は、1000 Mbps での 1 ns、100 Mbps での 10 ns、10 Mbps での 100 ns と同等です。

PFRT[7:0]ビット（PAUSE フレーム再送信タイム）

これらのビットは、PAUSE フレーム再送信の TIME パラメータ値を設定します。

- 前のフレームが± 10 サイクルビット時間よりも前に送信されている場合に、PAUSE フレームが再送信されます。
- この設定の単位は、512 ビット時間です。1 ビット時間は、1000 Mbps での 1 ns、100 Mbps での 10 ns、10 Mbps での 100 ns と同等です。

PFRLV[4:0]ビット（PAUSE または PFC フレーム再試行制限値）

PAUSE フレーム要求信号のデアサートなしに送信された PAUSE フレームの値。この値から RMAC は割り込みを発生させます。

このビットは、PAUSE と PFC の共通ビットになります。

このフィールドの PAUSE または PFC フレームの数値は、送信の試行回数の合計を示します。

33.4.1.7 MTPFC2 : 送信 PAUSE または PFC フレームコンフィグレーションレジスタ 2

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPFR	PFTTZ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MPFCFR1～MPFCFR0		—	—	—	—	—	—	PFCTTZ1～PFCTTZ0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PFCTTZ1～PFCTTZ0(注1)(注2)	TIME = 0 での PFC フレーム n 送信 (n = 0, 1) 0: TIME 値が 0 の場合の PFC フレームの送信を禁止します。 1: TIME 値が 0 の場合の PFC フレームの送信を許可します。	R/W
7:2	—	読むと 0 が読めます。	R
9:8	MPFCFR1～MPFCFR0(注3)	PFC フレーム n の手動要求 (n = 0, 1)	R/W

ビット	シンボル	機能	R/W
15:10	—	読むと 0 が読めます。	R
16	PFTTZ(注2)	TIME = 0 での PAUSE フレーム送信 0: TIME 値が 0 の場合の PAUSE フレームの送信を禁止します。 1: TIME 値が 0 の場合の PAUSE フレームの送信を許可します。	R/W
17	MPFR(注3)	PAUSE フレームの手動要求	R/W
31:18	—	読むと 0 が読めます。	R

注 1. SW：本ビットは、手動 PFC フレーム送信に影響しません。
注 2. SW：本レジスタは、CONFIG モードでのみ書き込み可能です。
注 3. SW：本レジスタは、OPERATION モードでのみ書き込み可能です。

本レジスタは、PFC フレームの TIME パラメータ値を設定するために使用されます。

PFCTTZn ビット（TIME = 0 での PFC フレーム n 送信 (n = 0, 1)）

本ビットは、TIME 値が 0 の場合の自動 PFC フレームの送信を許可します。

MHD が自動 PFC フレームモードで PFC 要求をネゲートするか、ソフトウェアが手動 PFC フレームモードで MTPFC2.MPFCFR をネゲートし、

残りの PFC 時間が PFRT よりも長い場合に、送信されます。

MPFCFRn ビット（PFC フレーム n の手動要求 (n = 0, 1)）

このビットに 1 を書き込むと、手動 PFC フレームが要求されます。

（長いフレームが継続中である、またはソフトウェアが要求する PFC フレームが多すぎるため）ハードウェアが前の要求を送信できないほど早く PFC フレームが要求されると、ハードウェアは PFC フレーム要求を無視します。

PAUSE 以外のフレーム送信の完了後、次に PFC フレームを試行するのは、タイマが期限切れになったときに、PFC フレームの要求がまだ高い場合に限ります。

[1 になる条件]

SW：このビットに 1 を書き込むと設定されます。

[0 になる条件]

SW：このビットに 0 を書き込むとクリアされます。

HW：OPERATION モードから切り替わると、このレジスタはクリアされます。

PFTTZ ビット（TIME = 0 での PAUSE フレーム送信）

本ビットは、PAUSE フレームのみに使用されます。

本ビットは、TIME 値が 0 の場合の自動 PAUSE フレームの送信を許可します。MHD が自動 PAUSE フレームモードで PAUSE 要求をネゲートするか、ソフトウェアが手動 PAUSE フレームモードで MTPFC2.MPFR レジスタをネゲートし、残りの PAUSE 時間が PFRT よりも長い場合に、送信されます。

本ビットは、手動 PAUSE フレーム送信に影響しません。

MPFR ビット（PAUSE フレームの手動要求）

本ビットは、PAUSE フレームのみに使用されます。

このビットに 1 を書き込むと、手動 PAUSE フレームが要求されます。

ハードウェアが前の要求を送信できないほど早く PAUSE フレームが要求されると（長いフレームが継続中である、またはソフトウェアが要求する PAUSE フレームが多すぎるため）、ハードウェアは PAUSE フレーム要求を無視します。

[1 になる条件]

SW：このビットに 1 を書き込むと、ビットが設定されます。

[0 になる条件]

SW：このビットに 0 を書き込むと、ビットがクリアされます。

HW：OPERATION モードから切り替わると、このレジスタはクリアされます。

33.4.1.8 MTPFC3t : 送信 PAUSE または PFC フレームコンフィグレーションレジスタ 3（優先順位グループ t 用）

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0030 + 0x4 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PFCPG7～PFCPG0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	PFCPG7～ PFCPG0(注1)	PFC 優先順位有効 n (n = 0～7) 0: 優先順位 x が優先順位グループ t に割り当てられません。 1: 優先順位 x がグループ t に割り当てられます。	R/W
31:8	—	読むと 0 が読めます。	R

注 1. SW：本レジスタは、CONFIG モードでのみ書き込み可能です。

本レジスタは、PFC フレームの TIME パラメータ値を設定するために使用されます。

PFCPGn ビット (PFC 優先順位有効 n (n = 0～7))

MTFFC.FCM = 1 (PFC) のときに機能します。

- PFC フレーム送信要求（自動要求の場合はハードウェア要求、手動要求の場合は MTPFC2.MPFCFR）が設定されると、PFC フレームが生成されます。クラス有効ベクタのフィールドがこのレジスタ値に設定されます。
- すべてのビットが PFCPGn = 0 のとき、送信要求は無視されます。

MTFFC.FCM = 0 (PAUSE) のときに機能します。

- ハードウェア PAUSE 要求または MTPFC2.MPFR によって、PAUSE フレーム送信要求が設定されます。
- PFCPG0 = 0 の場合、送信要求は無視されます。

33.4.1.9 MRGC : 受信汎用コンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0080

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	PFCRC7～PFCRC0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RFCFE	MPDE	PFRTZ	PFRC	RCPT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RCPT	受信 CRC パススルー 受信フレームの FCS フィールドを渡すことを選択します。CRC はこの設定に関係なくチェックされます。 0: 正しい FCS が MHD に渡されません。誤った FCS が MHD に渡されます。 1: 正しい FCS と誤った FCS の両方が MHD に渡されます。	R/W
1	PFRC(注1)(注2)	PAUSE フレーム受信制御 フロー制御（PAUSE フレームの検出）機能を有効にします。 0: 受信ポートのフロー制御を無効にする 1: 受信ポートのフロー制御を有効にする	R/W
2	PFRTZ	Time = 0 での PAUSE または PFC フレーム受信 このビットを 1 にすると、タイマ値 0 での PAUSE または PFC フレームの受信で送信待ち状態が解除されます。 0: TIME 値 0 での PAUSE または PFC フレームの受信を禁止 1: TIME 値 0 での PAUSE または PFC フレームの受信を許可	R/W
3	MPDE	Magic Packet™検出許可 ハードウェアによる Magic Packet™検出を許可して、イーサネット接続で起動できるようにします。（e フレームの場合のみ） 0: Magic Packet™検出を禁止 1: Magic Packet™検出を許可	R/W
4	RFCFE	受信フロー制御の転送有効 フロー制御フレーム（PAUSE または PFC フレーム）の転送機能を有効にします。 0: フロー制御フレーム（PAUSE または PFC フレーム）が Rx MHD I/F に転送されない 1: フロー制御フレーム（PAUSE または PFC フレーム）が Rx MHD I/F に転送される	R/W
15:5	—	読むと 0 が読めます。	R
23:16	PFCRC7～ PFCRC0(注1)(注3)	PFC フレーム受信制御 n (n = 0～7) フロー制御（PAUSE フレームの検出）機能を有効にします。 0: 受信優先順位レベル x (8) のフロー制御を無効にする 1: 受信優先順位レベル x (8) のフロー制御を有効にする	R/W
31:24	—	読むと 0 が読めます。	R

注 1. HW：e フレームの場合のみ
注 2. SW：MRGC.PFCRC のいずれかのビットを設定する場合、SW ではこのビットを設定しないでください。
注 3. SW：MRGC.PFRC を設定する場合、SW ではこのビットを設定しないでください。

このレジスタは、フレーム受信を設定するために使用されます。

33.4.1.10 MRMAC0 : 受信 MAC アドレスコンフィグレーションレジスタ 0

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0084

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MAU[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MAU[15:0]	MAC アドレス上位部 これらのビットは、MAC アドレスの上位 16 ビットを設定するために使用されます。たとえば、MAC アドレスが 01-23-45-67-89-AB（16 進数）である場合は、このレジスタに H'0123 を設定します。	R/W
31:16	—	読むと 0 が読めます。	R

48 ビットユニキャスト MAC アドレスの上位 16 ビットを指定します。このレジスタは、IP が PAUSE フレームまたは PFC フレームを送信する際に、送信元アドレスとしても使用されます。

33.4.1.11 MRMAC1 : 受信 MAC アドレスコンフィグレーションレジスタ 1

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0088

Bit position:	31																												0
Bit field:	MAL[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	MAL[31:0]	MAC アドレス下位部 これらのビットは、MAC アドレスの下位 32 ビットを設定するために使用されます。たとえば、MAC アドレスが 01-23-45-67-89-AB（16 進数）である場合は、このレジスタに H'456789AB を設定します。	R/W

このレジスタは、48 ビットユニキャスト MAC アドレスの下位 32 ビットを指定するために使用されます。このレジスタは、IP が PAUSE フレームまたは PFC フレームを送信する際に、送信元アドレスとしても使用されます。

33.4.1.12 MRAFC : 受信アドレスフィルタコンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x008C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	MSAREP	NSAREP	SDSFREP	NDAREP	BCACP	MCACP	BSTENP	MSTENP	BCENP	MCENP	UCENP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MSAREE	NSAREE	SDSFREE	NDAREE	BCACE	MCACE	BSTENE	MSTENE	BCENE	MCENE	UCENE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
0	UCENE	ユニキャスト受信許可 e フレーム MAC アドレス (MRMAC0/1) に基づくユニキャストフィルタリングを許可します。 0: ユニキャスト受信禁止 1: ユニキャスト受信許可	R/W
1	MCENE	マルチキャスト受信許可 e フレーム マルチキャストフィルタリングを許可します。 0: マルチキャスト受信禁止 1: マルチキャスト受信許可	R/W
2	BCENE	ブロードキャスト受信許可 e フレーム ブロードキャストフィルタリングを許可します。 0: ブロードキャスト受信禁止 1: ブロードキャスト受信許可	R/W
3	MSTENE(注1)	マルチキャストストームフィルタ受信許可 e フレーム マルチキャストストームフィルタリングを許可します。アサートされた場合、受信したマルチキャスト e フレームの数が設定されたしきい値 (MRSCE.CMFE) に達した後、マルチキャストフレームが拒否されます。 0: マルチキャストストームフィルタ受信禁止 1: マルチキャストストームフィルタ受信許可	R/W

ビット	シンボル	機能	R/W
4	BSTENE(注2)	ブロードキャストストームフィルタ受信許可 e フレーム ブロードキャストストームフィルタリングを許可します。アサートされた場合、受信したブロードキャスト e フレームの数が設定されたしきい値 (MRSCE.CBFE) に達した後、ブロードキャストフレームが拒否されます。 0: ブロードキャストストームフィルタ受信禁止 1: ブロードキャストストームフィルタ受信許可	R/W
5	MCACE(注3)	マルチキャストストーム自動クリア e フレーム マルチキャストフレームストームカウンタの自動クリアを許可します。アサートされた場合、非マルチキャストの宛先アドレスが設定されたフレームを検出することによって、マルチキャストフレームストームカウンタがクリアされます。カウンタがクリアされた後、本 IP はマルチキャストフレームを再度受信できます。 0: マルチキャストストーム自動クリア禁止 1: マルチキャストストーム自動クリア許可	R/W
6	BCACE	ブロードキャストストーム自動クリア e フレーム ブロードキャストフレームストームカウンタの自動クリアを許可します。アサートされた場合、非ブロードキャストの宛先アドレスが設定されたフレームを検出することによって、ブロードキャストフレームストームカウンタがクリアされます。カウンタがクリアされた後、本 IP はブロードキャストフレームを再度受信できます。 0: ブロードキャストストーム自動クリア禁止 1: ブロードキャストストーム自動クリア許可	R/W
7	NDAREE	Null 宛先アドレス受信許可 e フレーム 宛先 MAC アドレスが Null の e フレームの受信を許可します。 0: 禁止 1: 許可	R/W
8	SDSFREE	同一 DA および SA フレーム受信許可 e フレーム 宛先アドレスと送信元アドレスが同じである e フレームの受信を許可します。 0: 禁止 1: 許可	R/W
9	NSAREE	Null 送信元アドレス受信許可 e フレーム 宛先 MAC アドレスが Null の e フレームの受信を許可します。 0: 禁止 1: 許可	R/W
10	MSAREE	マルチキャスト送信元アドレス受信許可 e フレーム マルチキャストおよびブロードキャストの送信元アドレスが設定された e フレームの受信を許可します。 0: 禁止 1: 許可	R/W
15:11	—	読むと 0 が読めます。	R
16	UCENP	ユニキャスト受信許可 p フレーム MAC アドレス (MRMAC0/1) に基づくユニキャストフィルタリングを許可します。 0: ユニキャスト受信禁止 1: ユニキャスト受信許可	R/W
17	MCENP	マルチキャスト受信許可 p フレーム マルチキャストフィルタリングを許可します。 0: マルチキャスト受信禁止 1: マルチキャスト受信許可	R/W
18	BCENP	ブロードキャスト受信許可 p フレーム ブロードキャストフィルタリングを許可します。 0: ブロードキャスト受信禁止 1: ブロードキャスト受信許可	R/W
19	MSTENP(注1)	マルチキャストストームフィルタ受信許可 p フレーム マルチキャストストームフィルタリングを許可します。アサートされた場合、受信したマルチキャスト p フレームの数が設定されたしきい値 (MRSCP.CMFP) に達した後、マルチキャストフレームが拒否されます。 0: マルチキャストストームフィルタ受信禁止 1: マルチキャストストームフィルタ受信許可	R/W

ビット	シンボル	機能	R/W
20	BSTENP(注2)	ブロードキャストストームフィルタ受信許可 p フレーム ブロードキャストストームフィルタリングを許可します。アサートされた場合、受信したブロードキャスト p フレームの数が設定されたしきい値 (MRSCP.CBFP) に達した後、ブロードキャストフレームが拒否されます。 0: ブロードキャストストームフィルタ受信禁止 1: ブロードキャストストームフィルタ受信許可	R/W
21	MCACP(注3)	マルチキャストストーム自動クリア p フレーム マルチキャストフレームストームカウンタの自動クリアを許可します。アサートされた場合、非マルチキャストの宛先アドレスが設定されたフレームを検出することによって、マルチキャストフレームストームカウンタがクリアされます。カウンタがクリアされた後、本ビットはマルチキャストフレームを再度受信できます。 0: マルチキャストストーム自動クリア禁止 1: マルチキャストストーム自動クリア許可	R/W
22	BCACP	ブロードキャストストーム自動クリア p フレーム ブロードキャストフレームストームカウンタの自動クリアを許可します。アサートされた場合、非ブロードキャストの宛先アドレスが設定されたフレームを検出することによって、ブロードキャストフレームストームカウンタがクリアされます。カウンタがクリアされた後、本 IP はブロードキャストフレームを再度受信できます。 0: ブロードキャストストーム自動クリア禁止 1: ブロードキャストストーム自動クリア許可	R/W
23	NDAREP	Null 宛先アドレス受信許可 p フレーム 宛先 MAC アドレスが Null の p フレームの受信を許可します。 0: 禁止 1: 許可	R/W
24	SDSFREP	同一 DA および SA フレーム受信許可 p フレーム 宛先アドレスと送信元アドレスが同じである p フレームの受信を許可します。 0: 禁止 1: 許可	R/W
25	NSAREP	Null 送信元アドレス受信許可 p フレーム 宛先 MAC アドレスが Null の p フレームの受信を許可します。 0: 禁止 1: 許可	R/W
26	MSAREP	マルチキャスト送信元アドレス受信許可 p フレーム マルチキャストおよびブロードキャストの送信元アドレスが設定された p フレームの受信を許可します。 0: 禁止 1: 許可	R/W
31:27	—	読むと 0 が読めます。	R

注 1. SW：マルチキャスト受信が有効な場合 (MRAFC.MCENE = 1) のみ有効です。
注 2. SW：ブロードキャスト受信が有効な場合 (MRAFC.BCENE = 1) のみ有効です。
注 3. HW：マルチキャストストームカウンタではブロードキャストフレームは考慮されません。

33.4.1.13 MRSCE : 受信ストームコンフィグレーション（e フレーム用）レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CBFE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMFE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMFE[15:0]	連続マルチキャストフレーム受信カウント設定（e フレーム用） これらのビットは、受信連続マルチキャストフレームの上限を指定します。受信連続マルチキャストフレームの数が設定された値に到達すると、後続のマルチキャストフレームは破棄されます。 0x0000: マルチキャストフレームカウンタがリセットされるまで、1 マルチキャストが受け付けられます 0x0001: マルチキャストフレームカウンタがリセットされるまで、2 マルチキャストが受け付けられます ⋮ 0xFFFE: フレームカウンタがリセットされるまで、65535 マルチキャストが受け付けられます 0xFFFF: 予約	R/W
31:16	CBFE[15:0]	連続ブロードキャストフレーム受信カウント設定（e フレーム用） これらのビットは、受信連続ブロードキャストフレームの上限を指定します。受信連続ブロードキャストフレームの数が設定された値に到達すると、後続のマルチキャストフレームは破棄されます。 0x0000: ブロードキャストフレームカウンタがリセットされるまで、1 マルチキャストが受け付けられます 0x0001: ブロードキャストフレームカウンタがリセットされるまで、2 マルチキャストが受け付けられます ⋮ 0xFFFE: ブロードキャストフレームカウンタがリセットされるまで、65535 マルチキャストが受け付けられます 0xFFFF: 予約	R/W

このレジスタは、ブロードキャスト/マルチキャストフレームを連続して受信できる回数を設定するために使用されます。

33.4.1.14 MRSCP : 受信ストームコンフィグレーション（p フレーム用）レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0094

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CBFP[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMFP[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMFP[15:0]	連続マルチキャストフレーム受信カウント設定（p フレーム用） これらのビットは、受信連続マルチキャストフレームの上限を指定します。受信連続マルチキャストフレームの数が設定された値に到達すると、後続のマルチキャストフレームは破棄されます。 0x0000: マルチキャストフレームカウンタがリセットされるまで、1 マルチキャストが受け付けられます 0x0001: マルチキャストフレームカウンタがリセットされるまで、2 マルチキャストが受け付けられます ⋮ 0xFFFE: マルチキャストフレームカウンタがリセットされるまで、65535 マルチキャストが受け付けられます 0xFFFF: 予約	R/W

ビット	シンボル	機能	R/W
31:16	CBFP[15:0]	連続ブロードキャストフレーム受信カウント設定（p フレーム用） これらのビットは、受信連続ブロードキャストフレームの上限を指定します。受信連続ブロードキャストフレームの数が設定された値に到達すると、後続のマルチキャストフレームは破棄されます。 0x0000: ブロードキャストフレームカウンタがリセットされるまで、1 マルチキャストが受け付けられます 0x0001: ブロードキャストフレームカウンタがリセットされるまで、2 マルチキャストが受け付けられます ⋮ 0xFFFE: ブロードキャストフレームカウンタがリセットされてから、次がリセットされるまでの間、65535 マルチキャストが受け付けられます 0xFFFF: 予約	R/W

ブロードキャスト/マルチキャストフレームを連続して受信できる回数を設定します。

33.4.1.15 MRSCC : 受信ストームカウンタコンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BSCCP	MSCCP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BSCCE	MSCCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MSCCE	マルチキャストストームカウンタクリア e フレーム このビットは、マルチキャストストームカウンタをクリアするように要求します。 カウンタがクリアされた後、受信連続マルチキャストフレーム (MRSCE.CMFE) の上限に達するまで、IP はマルチキャストフレームを再度受信できます。 マルチキャストストーム自動クリア禁止 (MRAFC.MCACE = 0) とともに使用する必要があります。 このビットに 1 を書き込むことで、マルチキャストストームカウンタをクリアできます。	R
1	BSCCE	ブロードキャストストームカウンタクリア e フレーム このビットは、ブロードキャストストームカウンタをクリアするように要求します。 カウンタがクリアされた後、受信連続ブロードキャストフレーム (MRSCE.CBFE) の上限に達するまで、IP はブロードキャストフレームを再度受信できます。 ブロードキャストストーム自動クリア禁止 (MRAFC.BCACE = 0) とともに使用する必要があります。 このビットに 1 を書き込むことで、ブロードキャストストームカウンタをクリアできます。	R
15:2	—	読むと 0 が読めます。	R
16	MSCCP	マルチキャストストームカウンタクリア p フレーム このビットは、マルチキャストストームカウンタをクリアするように要求します。 カウンタがクリアされた後、受信連続マルチキャストフレーム (MRSCP.CMFP) の上限に達するまで、IPt はマルチキャストフレームを再度受信できます。 マルチキャストストーム自動クリア禁止 (MRAFC.MCACP = 0) とともに使用する必要があります。 このビットに 1 を書き込むことで、マルチキャストストームカウンタをクリアできます。	R
17	BSCCP	ブロードキャストストームカウンタクリア p フレーム このビットは、ブロードキャストストームカウンタをクリアするように要求します。 カウンタがクリアされた後、受信連続ブロードキャストフレーム (MRSCP.CBFP) の上限に達するまで、IP はブロードキャストフレームを再度受信できます。 ブロードキャストストーム自動クリア禁止 (MRAFC.BCACP = 0) とともに使用する必要があります。 このビットに 1 を書き込むことで、ブロードキャストストームカウンタをクリアできます。	R

ビット	シンボル	機能	R/W
31:18	—	読むと 0 が読めます。	R

ブロードキャストおよびマルチキャストストームカウンタをクリアするレジスタ。

33.4.1.16 MRFSCE : 受信フレームサイズコンフィグレーション（e フレーム用）レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x009C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EMNS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EMXS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EMXS[15:0]	e フレーム最大サイズ 設定値を超えた受信フレームの一部は、切り捨てられます。 16 バイトを下回る値は設定しないでください。 MRFSCE.EMXS は 3FFFH 以下に設定する必要があります。	R/W
31:16	EMNS[15:0]	e フレーム最小サイズ	R/W

注. このサイズ制限は、RMAC が上位レイヤ（例：MHD）に出力するフレームサイズに適用されます。そのため、FCS の削除はレジスタ値に影響を与えます。

33.4.1.17 MRFSCP : 受信フレームサイズコンフィグレーション（p フレーム用）レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x00A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PMNS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMXS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMXS[15:0]	p フレーム最大サイズ 設定値を超えた受信フレームの一部は、切り捨てられます。 16 バイトを下回る値は設定しないでください。	R/W
31:16	PMNS[15:0]	p フレーム最小サイズ	R/W

注. このサイズ制限は、RMAC が上位レイヤ（例：MHD）に出力するフレームサイズに適用されます。そのため、FCS の削除はレジスタ値に影響を与えます。

33.4.1.18 MTRC : タイムスタンプ受信コンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x00A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	DTN[1:0]		TCTSP	TCTSE	TRDDP	TRDDE	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRHFME1～TRHFME0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TRHFME1～TRHFME0	タイムスタンプ受信ハードウェアフィルター致許可 n (n = 0～1) 0: 禁止 1: 許可	R/W
23:2	—	読むと 0 が読めます。	R
24	TRDDE	タイムスタンプ受信デフォルト禁止 e フレーム すべてのフレームのタイムスタンプが MHD に送信されます。このタイムスタンプは、TRHFME が設定され、ハードウェアフィルタが一致する場合を除き、デフォルトタイマで取得されます。 0: 許可 1: 禁止	R/W
25	TRDDP	タイムスタンプ受信デフォルト禁止 p フレーム すべてのフレームのタイムスタンプが MHD に送信されます。このタイムスタンプは、デフォルトタイマで取得されます。 0: 許可 1: 禁止	R/W
26	TCTSE	タイムスタンプキャプチャ（TX 側）e フレーム このビットは、e フレームに関する TX 側でのタイムスタンプキャプチャを許可します。 0: 禁止 1: 許可	R/W
27	TCTSP	タイムスタンプキャプチャ（TX 側）p フレーム このビットは、p フレームに関する TX 側でのタイムスタンプキャプチャを許可します。 0: 禁止 1: 許可	R/W
29:28	DTN[1:0]	デフォルトタイマ番号 このビットは、タイマが検出されなかったときに、Rx MHD インタフェースでタイムスタンプの転送に使用されるタイマを設定します。	R/W
31:30	—	読むと 0 が読めます。	R

TRHFMEn ビット (タイムスタンプ受信ハードウェアフィルター致許可 n (n = 0～1))

このレジスタでビット i を 1 に設定すると、タイマ i のハードウェアフィルタリングが許可されます。

ビット i が 1 に設定された場合、MPFCn レジスタのビット i の少なくとも 1 つを 1 に設定する必要があります。

ハードウェアフィルタが一致した場合、一致したタイマからのタイムスタンプは、フレームと一緒に送信されます。

33.4.1.19 MRPFM : 受信 PAUSE または PFC フレーム監視レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x00AC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	PFCTCA7～PFCTCA0							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PTCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PTCA	休止時間カウント有効 このビットは、受信 PAUSE フレームの休止時間が満了していないことを示します。 0: 休止状態ではない 1: 休止状態	R
15:1	—	読むと 0 が読めます。	R
23:16	PFCTCA7～PFCTCA0	PFC 時間カウント有効 n (n = 0～7) このビットは、受信 PFC フレームの休止時間が満了していないことを示します。 0: 休止状態ではない 1: 休止状態	R
31:24	—	読むと 0 が読めます。	R

33.4.1.20 MPFCt : PTP フィルタリングレジスタコンフィグレーションレジスタ t (t = 0～15)

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0100 + 0x4 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TEF1～TEF0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PFBV[7:0]								PFBN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	PFBN[7:0]	PTP フィルタリングバイト番号 0x00: バイト番号 0 がフィルタリングされます。 ⋮ 0xFF: バイト番号 255 がフィルタリングされます。	R/W
15:8	PFBV[7:0]	PTP フィルタリングバイト値 フィルタリングされたバイトがこのレジスタと同じ値である場合、本バイトは対応するタイマに対して適切な値になります。	R/W
17:16	TEF1～TEF0	フィルタリングのタイマ許可 n (n = 0～1) このレジスタでビット i を 1 に設定すると、タイマ i にフィルタが適用されます。	R/W
31:18	—	読むと 0 が読めます。	R

注. このレジスタは Rx 時間ドメイン選択に使用されます。

設定が重複すると、HW は常に小さい数値のタイマを選択します。

時間ドメイン選択に対して PTP フレームフィルタリングを設定するために、このレジスタが使用されます。

33.4.1.21 MLVC : リンク検証コンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLV
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PASE	—	LVT[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	LVT[6:0]	リンク検証タイマ これらのビットは、検証試行の間隔となる公称待機時間をミリ秒単位で定義します。これは SMD-V フレームを再送信する時間です。 000 0000: 1 ms 待機時間 000 0001: 2 ms 待機時間 ⋮ 000 1001: 10 ms 待機時間（IEEE 802.3 が指定するデフォルト） ⋮ 111 1111: 128 ms 待機時間	R/W
7	—	読むと 0 が読めます。	R
8	PASE	プリエンプション自動応答許可 このビットは、フレームを検証するための自動応答を許可します。	R/W
15:9	—	読むと 0 が読めます。	R
16	PLV	プリエンプションリンク検証 0: プリエンプションリンク検証は要求されません 1: プリエンプションリンク検証が要求されます	R/W(注1)
31:17	—	読むと 0 が読めます。	R

注. PLV が 1 に設定された場合、書き込みアクセスを連続して行わないでください。書き込みアクセスのリンク検証手順が完了するのを待ってください。

注 1. 読み出し値は書き込まれた値とは異なります。

PLV ビット（プリエンプションリンク検証）

このビットをアサートすることで、リンク検証を要求します。

このビットはリンク検証プロセスを要求します。リンク検証が完了すると、このビットはクリアされます。

リンク検証が成功すると、プリエンプションステータスビット (MMIS0.LVSS) が設定されます。失敗すると、ステータスビット (MMIS0.LVFS) が設定されます。

OPERATION モードから切り替わると、このレジスタはクリアされます。

7.2.2 で説明されているように、このビットの使用は初期化時に限られます。

別の送信が要求されていないときに、SW はこのビットを設定します。

33.4.1.22 MEEEC : 省電力イーサネットコンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0184

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LPITR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LPITR(注1)	LPI 送信要求 このビットは、低電力アイドル (LPI) モードの開始を要求します。進行中のすべての送信が完了すると、RMAC は LPI 状態に入ります。このビットがネゲートされると、この IP は LPI 状態のままにします。 LPI 信号の送信は、TX が無効な場合に限られます。 OPERATION モードから切り替わると、このレジスタはクリアされます。 0: LPI モードを要求しません 1: LPI モードを要求します	R/W
31:1	—	読むと 0 が読めます。	R

注 1. SW : RMAC への送信要求が停止したときのみ LPITR ビットを設定できます。また、LPITR がクリアされた後しか送信要求を許可できません。
LPITR ビットが設定されると、HMD からの送信は禁止されます。

33.4.1.23 MLBC : ループバックコンフィグレーションレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0188

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LBME
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LBME	ループバックモード許可 送信 xMII 信号は、受信 xMII 信号に内部的に接続されます。 0: 禁止 1: 許可	R/W
31:1	—	読むと 0 が読めます。	R

注. ループバックモードが許可されると、外部 PHY インタフェースによって受信されたフレームは無視されます。
このビットが設定されると、clk_phy_tx と clk_phy_rx を相互に同期する必要があります。

33.4.2 RMAC カウンタレジスタ

カウンタレジスタ

注. RMAC のカウンタレジスタはすべて、読み出しクリアレジスタです。

カウンタがそれぞれの最大値に達すると、停止します。

33.4.2.1 MMPFTCT : 手動 PAUSE フレーム送信カウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0300

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MPFTC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MPFTC[15:0]	手動 PAUSE フレーム送信カウンタ	R
31:16	—	読むと 0 が読めます。	R

MPFTC[15:0]ビット（手動 PAUSE フレーム送信カウンタ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：手動 PAUSE フレームが送信されたときに 1 インクリメントします。

33.4.2.2 MAPFTCT : 自動 PAUSE フレーム送信カウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0304

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	APFTC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	APFTC[15:0]	自動 PAUSE フレームカウンタ	R
31:16	—	読むと 0 が読めます。	R

APFTC[15:0]ビット（自動 PAUSE フレームカウンタ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：自動 PAUSE フレームが送信されたときに 1 インクリメントされます。

33.4.2.3 MPFRCT : PAUSE フレーム受信カウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0308

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PFRC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PFRC[15:0](注1)	PAUSE フレーム受信カウンタ	R
31:16	—	読むと 0 が読めます。	R

注 1. SW：受信時にフロー制御が有効な場合のみ、1 になる条件：を利用できます。 (MRGC.PFRC = 1)

PFRC[15:0]ビット（PAUSE フレーム受信カウンタ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：自動 PAUSE フレームが受信されたときに 1 インクリメントされます。

33.4.2.4 MFCICT : 不正キャリア表示カウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x030C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FCIC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FCIC[15:0]	不正キャリア表示カウンタ	R
31:16	—	読むと 0 が読めます。	R

注. このレジスタは、「不正キャリア表示」イベントのカウンタです。このイベントは、clk と clk_phy_rx の間にある同期回路を経由します。このイベントが継続して発生する場合は、ミスカウントの可能性があります。

FCIC[15:0]ビット（不正キャリア表示カウンタ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：不正キャリア表示パターンを検出したときに 1 インクリメントされます。

33.4.2.5 MEEECT : EEE (Energy Efficient Ethernet) カウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0310

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EEERC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EEERC[15:0]	EEE (Energy Efficient Ethernet) 受信カウンタ	R
31:16	—	読むと 0 が読めます。	R

EEERC[15:0]ビット（EEE (Energy Efficient Ethernet) 受信カウンタ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：xMII 受信バスで LPI 信号を検出したときに 1 インクリメントされます。

33.4.2.6 MMPCFTCTt : 手動 PFC フレーム送信カウンタレジスタ (t = 0, 1)

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0320 + 0x4 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MPCFCTC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MPCFCTC[15:0]	手動 PFC フレーム送信カウンタ	R
31:16	—	読むと 0 が読めます。	R

MPCFCTC[15:0]ビット（手動 PFC フレーム送信カウンタ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：手動 PFC フレームが送信されたときに 1 インクリメントします。

33.4.2.7 MAPCFTCTt : 自動 PFC フレーム送信カウンタ レジスタ (t = 0, 1)

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0330 + 0x4 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	APCFCTC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	APCFCTC[15:0]	自動 PFC フレームカウンタ	R
31:16	—	読むと 0 が読めます。	R

APCFCTC[15:0]ビット（自動 PFC フレームカウンタ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：手動 PFC フレームが送信されたときに 1 インクリメントします。

33.4.2.8 MPCFRCTt : PFC フレーム受信カウンタ レジスタ (t = 0, 1)

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0340 + 0x4 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PCFCRC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PCFCRC[15:0](注1)	PFC フレーム受信カウンタ	R
31:16	—	読むと 0 が読めます。	R

注 1. SW：受信時にフロー制御が有効な場合のみ、設定条件を利用できます (MRGC.PFRC = 1)。

PCFCRC[15:0]ビット（PFC フレーム受信カウンタ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

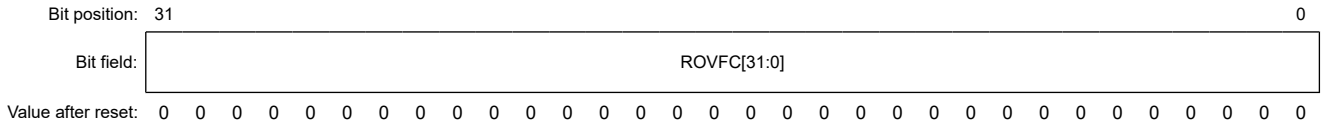
[インクリメント条件]

HW：手動 PFC フレームが受信されたときに 1 インクリメントします。

33.4.2.9 MROVFC：受信オーバーフローカウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0360



ビット	シンボル	機能	R/W
31:0	ROVFC[31:0]	受信オーバーフローカウンタ	R

ROVFC[31:0]ビット（受信オーバーフローカウンタ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

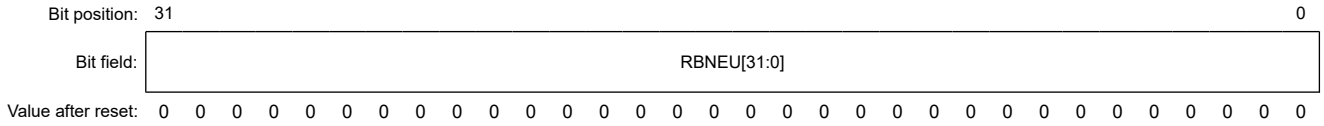
[インクリメント条件]

HW：フレーム受信オーバーフローが発生すると（MEIS.REOES または MEIS.RPOES の 1 になる条件が一致した場合）、1 インクリメントされます。

33.4.2.10 MRXBCEU：受信バイトカウンタ e フレーム上側レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x044C



ビット	シンボル	機能	R/W
31:0	RBNEU[31:0]	受信バイト数 e フレーム上側 RMAC が FCS を上位レイヤに渡さない場合、総バイト数の計算で FCS は考慮されません。 MRXBCEL を読み出す前に読み出します。	R

RBNEU[31:0]ビット（受信バイト数 e フレーム上側）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

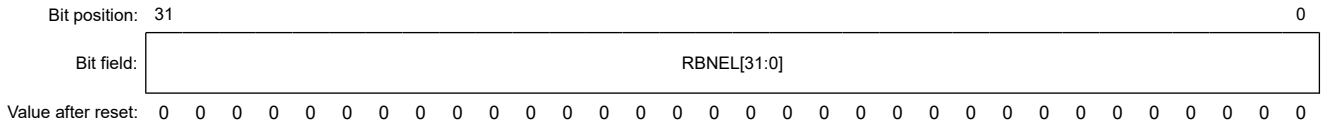
[インクリメント条件]

e フレームの受信データが Rx MHD インタフェースに送信されるたびに、エラーが検出されるかどうかに関係なくインクリメントされます。

33.4.2.11 MRXBCEL : 受信バイトカウンタ e フレーム下側レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0450



ビット	シンボル	機能	R/W
31:0	RBNEL[31:0]	受信バイト数 e フレーム下側 RMAC が FCS を上位レイヤに渡さない場合、総バイト数の計算で FCS は考慮されません。 MRXBCEU を読み出した後に読み出してください。	R

RBNEL[31:0]ビット（受信バイト数 e フレーム下側）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：なし。（MRXBCEL を読み出すと保持されます。）インクリメント条件

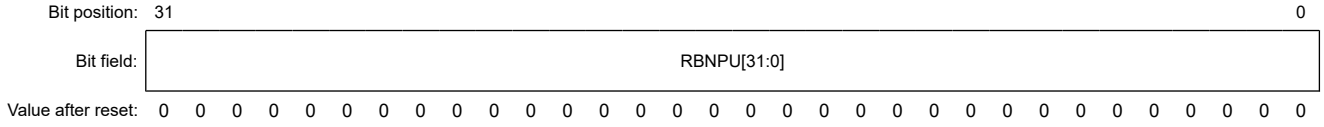
[インクリメント条件]

e フレームの受信データが Rx MHD インタフェースに送信されるたびに、エラーの検出に関係なくインクリメントされます。

33.4.2.12 MRXBCPU : 受信バイトカウンタ p フレーム上側レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0454



ビット	シンボル	機能	R/W
31:0	RBNPU[31:0]	受信バイト数 p フレーム上側 RMAC が FCS を上位レイヤに渡さない場合、総バイト数の計算で FCS は考慮されません。 MRXBCPL を読み出す前に読み出してください。	R

RBNPU[31:0]ビット（受信バイト数 p フレーム上側）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

p フレームの受信データが Rx MHD インタフェースに送信されるたびに、エラーの検出に関係なくインクリメントされます。

33.4.2.13 MRXBCPL : 受信バイトカウンタ p フレーム下側レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0458

Bit position:	31																												0
Bit field:	RBNPL[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RBNPL[31:0]	受信バイト数 p フレーム下側 RMAC が FCS を上位レイヤに渡さない場合、総バイト数の計算で FCS は考慮されません。 MRXBCPU を読み出した後に読み出してください。	R

RBNPL[31:0]ビット（受信バイト数 p フレーム下側）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：なし。（MRXBCPL を読み出すと保持されます。）

[インクリメント条件]

p フレームの受信データが Rx MHD インタフェースに送信されるたびに、エラーの検出に関係なくインクリメントされます。

33.4.2.14 MRGFCE : 受信良フレームカウンタ e フレームレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0408

Bit position:	31																												0
Bit field:	RGFNE[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RGFNE[31:0]	受信良フレーム数 e フレーム	R

RGFNE[31:0]ビット（受信良フレーム数 e フレーム）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

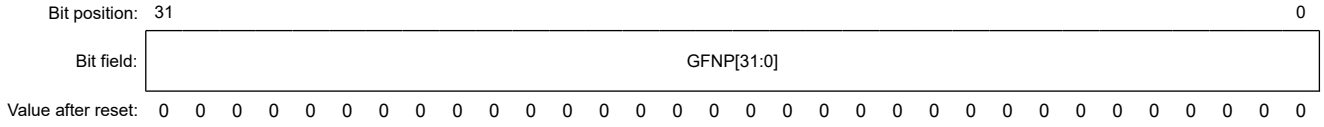
[インクリメント条件]

エラーなしで e フレームの受信が完了するとインクリメントします。

33.4.2.15 MRGFCP : 受信良フレームカウンタ p フレームレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x040C



ビット	シンボル	機能	R/W
31:0	GFNP[31:0]	受信良フレーム数 p フレーム	R

GFNP[31:0]ビット（受信良フレーム数 p フレーム）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

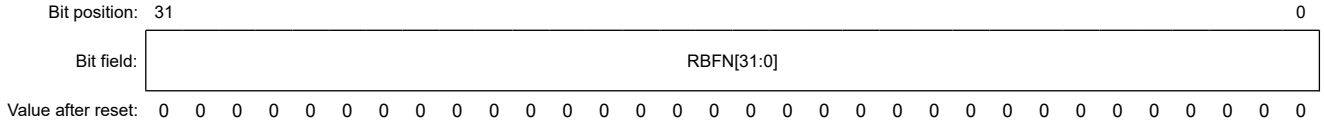
[インクリメント条件]

エラーなしで p フレームの受信が完了するとインクリメントします。

33.4.2.16 MRBFC : 受信済み良ブロードキャストフレームカウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0410



ビット	シンボル	機能	R/W
31:0	RBFN[31:0]	受信済み良ブロードキャストフレーム数	R

RBFN[31:0]ビット（受信済み良ブロードキャストフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

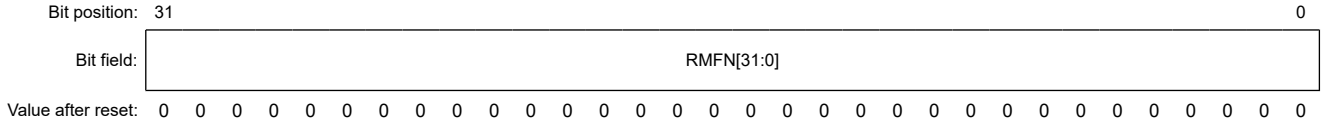
[インクリメント条件]

ブロードキャストフレームの宛先アドレスフィールドが Rx MHD インタフェースにエラーなしで送信されたときにインクリメントされます。

33.4.2.17 MRMFC : 受信済み良マルチキャストフレームカウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0414



ビット	シンボル	機能	R/W
31:0	RMFN[31:0]	受信済み良マルチキャストフレーム数	R

RMFN[31:0]ビット（受信済み良マルチキャストフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

マルチキャストフレームの宛先アドレスフィールドが Rx MHD インタフェースにエラーなしで送信されたときにインクリメントされます。

33.4.2.18 MRUFC：受信良ユニキャストフレームカウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0418

Bit position:	31																												0
Bit field:	RUFN[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RUFN[31:0]	受信良ユニキャストフレーム数	R

RUFN[31:0]ビット（受信良ユニキャストフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

ユニキャストフレームの宛先アドレスフィールドが Rx MHD インタフェースにエラーなしで送信されたときにインクリメントされます。

33.4.2.19 MRPEFC：受信 PHY エラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x041C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RPEFN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RPEFN[15:0]	受信 PHY エラーフレーム数	R
31:16	—	読むと 0 が読めます。	R

RPEFN[15:0]ビット（受信 PHY エラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データが PHY エラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.20 MRNEFC：受信ニブルエラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0420

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RNEFN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RNEFN[15:0]	受信ニブルエラーフレーム数	R
31:16	—	読むと 0 が読めます。	R

RNEFN[15:0]ビット（受信ニブルエラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データがニブルエラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.21 MRFMEFC：受信 FCS/mCRC エラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0424

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFMEFN[31:0]																															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RFMEFN[31:0]	受信 FCS/mCRC エラーフレーム数	R

RFMEFN[31:0]ビット（受信 FCS/mCRC エラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データが FCS/mCRC エラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.22 MRFFMEFC : 受信最終フラグメント欠落エラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0428

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFFMEFN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RFFMEFN[15:0]	受信最終フラグメント欠落エラーフレーム数	R
31:16	—	読むと 0 が読めます。	R

RFFMEFN[15:0]ビット（受信最終フラグメント欠落エラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データが最終フラグメントエラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.23 MRCFCEFC : 受信 c フラグメントカウントエラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x042C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RCFCEFN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RCFCEFN[15:0]	受信 c フラグメントカウントエラーフレーム数	R
31:16	—	読むと 0 が読めます。	R

RCFCEFN[15:0]ビット（受信 c フラグメントカウントエラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データが c フラグメントカウントエラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.24 MRFCEFC : 受信フラグメントカウントエラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0430

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFCEFN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RFCEFN[15:0]	受信フラグメントカウントエラーフレーム数	R
31:16	—	読むと 0 が読めます。	R

RFCEFN[15:0]ビット（受信フラグメントカウントエラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データがフラグメントカウントエラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.25 MRRCFEFC : 受信 RMAC フィルタエラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0434

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RRCFEFN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RRCFEFN[15:0]	受信 RMAC フィルタエラーフレーム数	R
31:16	—	読むと 0 が読めます。	R

RRCFEFN[15:0]ビット（受信 RMAC フィルタエラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

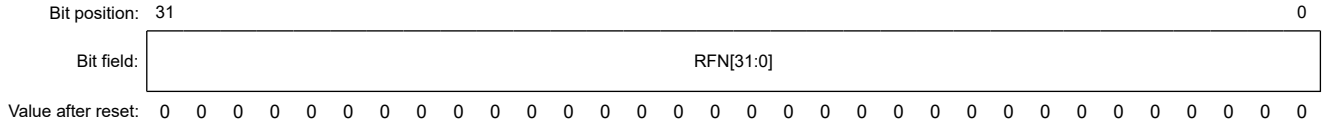
[インクリメント条件]

受信データが RMAC でフィルタリングされて Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.26 MRFC : 受信フレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0438



ビット	シンボル	機能	R/W
31:0	RFN[31:0]	受信フレーム数	R

RFN[31:0]ビット（受信フレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

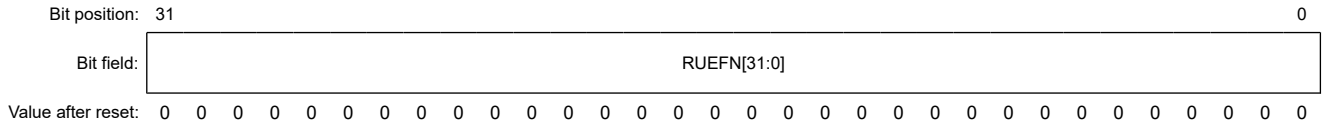
[インクリメント条件]

受信フレームが Rx MHD インタフェースに送信されたときにインクリメントされます。

33.4.2.27 MRGUEFC : 受信良アンダーサイズエラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x043C



ビット	シンボル	機能	R/W
31:0	RUEFN[31:0]	受信良アンダーサイズエラーフレーム数	R

RUEFN[31:0]ビット（受信良アンダーサイズエラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データが FCS/mCRC エラーではなく、アンダーサイズエラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.28 MRBUEFC : 受信不良アンダーサイズエラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0440

Bit position:	31																												0
Bit field:	RUEFN[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RUEFN[31:0]	受信不良アンダーサイズエラーフレーム数	R

RUEFN[31:0]ビット（受信不良アンダーサイズエラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データがアンダーサイズエラーと FCS/mCRC エラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.29 MRGOEFC : 受信良オーバーサイズエラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0444

Bit position:	31																												0
Bit field:	RGOEFN[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RGOEFN[31:0]	受信良オーバーサイズエラーフレーム数	R

RGOEFN[31:0]ビット（受信良オーバーサイズエラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データが FCS/mCRC エラーではないではなく、オーバーサイズエラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.30 MRBOEFC : 受信不良オーバーサイズエラーフレームカウントレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0448

Bit position:	31																												0
Bit field:	RBOEFN[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RBOEFN[31:0]	受信不良オーバーサイズエラーフレーム数	R

RBOEFN[31:0]ビット（受信不良オーバーサイズエラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

受信データがオーバーサイズエラーと FCS/mCRC エラーで Rx MHD インタフェースに送られると、インクリメントします。

33.4.2.31 MTXBCEU : 送信バイトカウンタ e フレーム上側レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0520

Bit position:	31																												0
Bit field:	TBNEU[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TBNEU[31:0]	送信バイトカウンタ e フレーム上側	R

注. FCS が上位レイヤに渡されない場合、総バイト数の計算で FCS は考慮されません。

TBNEU[31:0]ビット（送信バイトカウンタ e フレーム上側）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

e フレーム用の送信データが Tx MHD インタフェースで受信されるたびに、インクリメントします。

MTXBCEL を読み出す前に読み出します。

33.4.2.32 MTXBCEL : 送信バイトカウンタ e フレーム下側レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0524

Bit position:	31																												0
Bit field:	TBNEL[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TBNEL[31:0]	送信バイト数 e フレーム下側	R

注. FCS が上位レイヤに渡されない場合、総バイト数の計算で FCS は考慮されません。

TBNEL[31:0]ビット（送信バイト数 e フレーム下側）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：なし。（MTXBCEL レジスタを読み出すと保持されます。）

[インクリメント条件]

e フレーム用の送信データが Tx MHD インタフェースで受信されるたびに、インクリメントします。

MTXBCEU を読み出す前に読み出します。

33.4.2.33 MTXBCPU : 送信バイトカウンタ p フレーム上側レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0528

Bit position:	31																												0
Bit field:	TBNPU[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TBNPU[31:0]	送信バイト数 p フレーム上側	R

注. FCS が上位レイヤに渡されない場合、総バイト数の計算で FCS は考慮されません。

TBNPU[31:0]ビット（送信バイト数 p フレーム上側）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

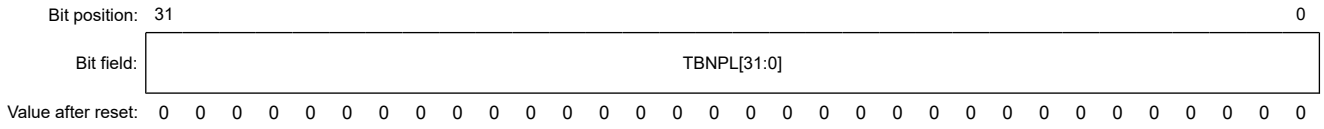
p フレーム用の送信データが Tx MHD インタフェースで受信されるたびに、インクリメントします。

MTXBCPL を読み出す前に読み出します。

33.4.2.34 MTXBCPL : 送信バイトカウンタ p フレーム下側レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x052C



ビット	シンボル	機能	R/W
31:0	TBNPL[31:0]	送信バイト数 p フレーム下側	R

注. FCS が上位レイヤに渡されない場合、総バイト数の計算で FCS は考慮されません。

TBNPL[31:0]ビット（送信バイト数 p フレーム下側）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：なし。（MTXBCPL レジスタを読み出すと保持されます。）

[インクリメント条件]

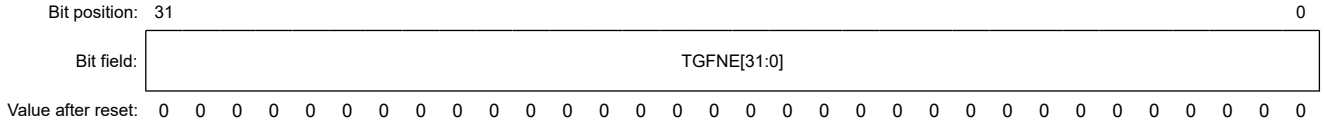
p フレーム用の送信データが Tx MHD インタフェースで受信されるたびに、インクリメントします。

MTXBCPU を読み出す前に読み出します。

33.4.2.35 MTGFCE : 送信良フレームカウンタ e フレームレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0508



ビット	シンボル	機能	R/W
31:0	TGFNE[31:0]	送信良フレーム数 e フレーム	R

TGFNE[31:0]ビット（送信良フレーム数 e フレーム）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

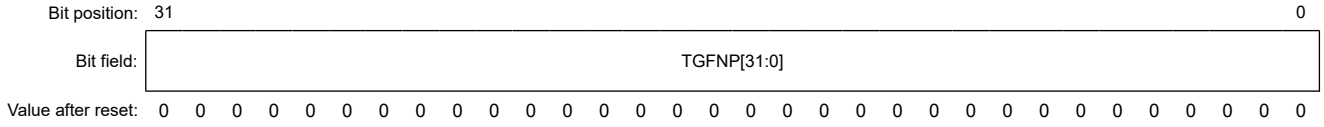
[インクリメント条件]

エラーなしで Tx MHD インタフェースで e フレームの送信が完了すると、インクリメントします。

33.4.2.36 MTGFCP : 送信良フレームカウンタ p フレームレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x050C



ビット	シンボル	機能	R/W
31:0	TGFNP[31:0]	送信良フレーム数 p フレーム	R

TGFNP[31:0]ビット（送信良フレーム数 p フレーム）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

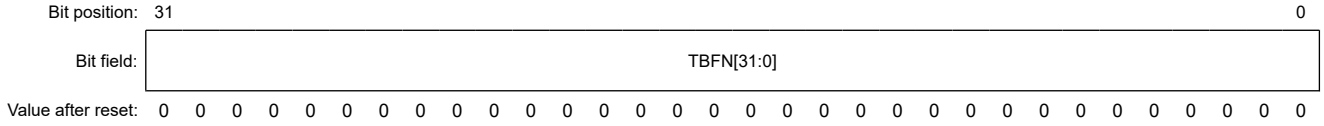
[インクリメント条件]

エラーなしで Tx MHD インタフェースで p フレームの送信が完了すると、インクリメントします。

33.4.2.37 MTBFC : 送信ブロードキャストフレームカウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0510



ビット	シンボル	機能	R/W
31:0	TBFN[31:0]	送信ブロードキャストフレーム数	R

TBFN[31:0]ビット（送信ブロードキャストフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

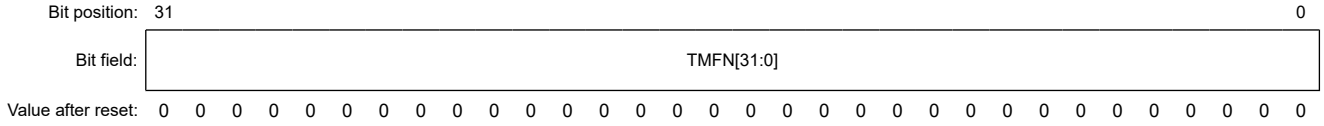
[インクリメント条件]

ブロードキャストフレームの宛先アドレスフィールドが Tx MHD インタフェースで送信されると、インクリメントします。

33.4.2.38 MTMFC : 送信マルチキャストフレームカウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0514



ビット	シンボル	機能	R/W
31:0	TMFN[31:0]	送信マルチキャストフレーム数	R

TMFN[31:0]ビット（送信マルチキャストフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

マルチキャストフレームの宛先アドレスフィールドが Tx MHD インタフェースで送信されると、インクリメントします。

33.4.2.39 MTUFC：送信ユニキャストフレームカウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0518

Bit position:	31 … 0
Bit field:	TUFN[31:0]
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	TUFN[31:0]	送信ユニキャストフレーム数	R

TUFN[31:0]ビット（送信ユニキャストフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

ユニキャストフレームの宛先アドレスフィールドが Tx MHD インタフェースで送信されると、インクリメントします。

33.4.2.40 MTEFC：送信エラーフレームカウンタレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x051C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TEFN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TEFN[15:0]	送信エラーフレーム数	R
31:16	—	読むと 0 が読めます。	R

TEFN[15:0]ビット（送信エラーフレーム数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

Tx MHD インタフェースでフレーム送信がエラーで完了すると、インクリメントします。

33.4.3 RMAC 割り込みレジスタ

33.4.3.1 MEIS：エラー割り込みステータスレジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0200

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	FOES	FUES	FFS	RPOOMS	FRCES	CFCES	FFMES	FCMCES	PNAES	PDES	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CTLES1～CTLES0		—	RPOES	REOES	FCES	BFES	TBCIS	TCES	FCDS	PFRROS	PRES	—	TSLS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSLS	送信ストリームロストステータスフラグ カットスルーを使用した場合、すべてのバッファポインタが使用された状態 ([COMA] CAEIS0.BPOPS) によってこのフラグのセット条件が発生する可能性があります。ウォーターマーク機能を使用して、バッファプールポインタ外ステータスが発生しないようにしてください。カットスルーの使用時にバッファプールポインタ外ステータスによって（送信状態でハングアップする可能性がある）このエラーが発生した場合は、緊急時のリセットフロー[TOP]を使用して状態を初期化してください。	R/W(注1)
1	—	読むと 0 が読めます。	R
2	PRES	PAUSE または PFC フレーム受信エラーステータスフラグ	R/W(注1)
3	PFRROS	PAUSE または PFC フレーム再送信リトライオーバーステータスフラグ	R/W(注1)
4	FCDS	不正キャリア検出ステータスフラグ	R/W(注1)
5	TCES	TX CRC エラーステータスフラグ	R/W(注1)
6	TBCIS	Tx 不良 CRC 挿入ステータスフラグ	R/W(注1)
7	BFES	不良フラグメントエラーステータスフラグ 有効な S フラグメントを受信する前に初めて C フラグメントを受信したとき、またはフレーム終了が発生した後で有効な S フラグメントを受信する前に C フラグメントを受信したとき、RMAC はそのフラグメントを破棄し、このエラーステータスフラグは設定されません。エラーステータスフラグを設定するには、エラー条件（不良フラグメントエラー）が発生する前に RMAC が 1 つの有効な S フラグメントを受信している必要があります。	R/W(注1)
8	FCES	フレームカウントエラーステータスフラグ 有効な S フラグメントを受信する前に初めて C フラグメントを受信したとき、またはフレーム終了が発生した後で有効な S フラグメントを受信する前に C フラグメントを受信したとき、RMAC はそのフラグメントを破棄し、このエラーステータスフラグは設定されません。エラーステータスフラグを設定するには、エラー条件（フレームカウントエラー）が発生する前に RMAC が 1 つの有効な S フラグメントを受信している必要があります。	R/W(注1)

ビット	シンボル	機能	R/W
9	REOES(注2)	e フレームオーバーフローエラーステータスフラグ フレームの受信中にバッファオーバーフロー (CABPPCM.RPC = 0) が発生すると、RMAC は受信エラーフレームに 1 バイトのパディングを追加して内部的にプロトコルを終了します。 バッファオーバーフロー (CABPPCM.RPC = 0) の発生中に新しいフレームを受信すると、受信フレームは完全に拒否されます。 0: オーバーフローエラーなし 1: e フレームの受信中にオーバーフローエラーが発生した	R/W(注1)
10	RPOES(注2)	p フレームオーバーフローエラーステータスフラグ フレームの受信中にバッファオーバーフロー (CABPPCM.RPC = 0) が発生すると、RMAC は受信エラーフレームに 1 バイトのパディングを追加して内部的にプロトコルを終了します。 バッファオーバーフロー (CABPPCM.RPC = 0) の発生中に新しいフレームを受信すると、受信フレームは完全に拒否されます。 0: オーバーフローエラーなし 1: p フレームの受信中にオーバーフローエラーが発生した	R/W(注1)
11	—	読むと 0 が読めます。	R
13:12	CTLES1～CTLES0	キャプチャ済みタイムスタンプロストエラーステータスフラグ n (n = 0～1)	R/W(注1)
19:14	—	読むと 0 が読めます。	R
20	PDES	PHY データエラーステータスフラグ	R/W(注1)
21	PNAES	PHY ニブルアライメントエラーステータスフラグ	R/W(注1)
22	FCMCES	FCS/mCRC エラーステータスフラグ	R/W(注1)
23	FFMES	最終フラグメント欠落エラーステータスフラグ	R/W(注1)
24	CFCES	C フラグメントカウントエラーステータスフラグ	R/W(注1)
25	FRCES	フラグメントカウントエラーステータスフラグ	R/W(注1)
26	RPOOMS	部分的休止中受信モードステータスフラグ このエラーは、バッファオーバーフローによる部分的な拒否とは関係ありません。e フレームはバッファオーバーフローでのみフラグメント化／部分化され、部分的休止の影響を受けません。	R/W(注1)
27	FFS	フレームフィルタ済みステータスフラグ	R/W(注1)
28	FUES	アンダーサイズエラーステータスフラグ	R/W(注1)
29	FOES	オーバーサイズエラーステータスフラグ	R/W(注1)
31:30	—	読むと 0 が読めます。	R

注. この割り込みレジスタは、rmc_meis_int 割り込み配線にマッピングされます。
注 1. 読み出し値は書き込まれた値とは異なります。
注 2. HW：複数のデアサートが生成されても、パルスは 1 フレームごとに生成されます。

TSLS ビット（送信ストリームロストステータスフラグ）

[1 になる条件]

HW：MHD が送信データをタイムリーに提供しなかったとき。この場合、無効な FCS が送信されます。(e フレームの場合のみ)

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

PRES ビット（PAUSE または PFC フレーム受信エラーステータスフラグ）

[1 になる条件]

HW：PAUSE/PFC フレームの最小長より短い PAUSE または PFC フレームを受信したとき

PAUSE の最小長：18 バイト (MRGC.RCPT == 0) または 22 バイト (MRGC.RCPT == 1)

PFC の最小長：34 バイト (MRGC.RCPT == 0) または 38 バイト (MRGC.RCPT == 1)

HW：MRGC.RFCFE == 0 で FCS エラーが発生した PAUSE/PFC フレームを受信したとき

［0 になる条件］
HW：このレジスタは RESET モードになるとクリアされます。
SW：このレジスタに 1 を書き込むとクリアされます。

PFRROS ビット（PAUSE または PFC フレーム再送信リトライオーバーステータスフラグ）
［1 になる条件］
HW：PAUSE (PFC) 送信の総数が設定された上限に達し、休止時間が期限切れになったとき
［0 になる条件］
HW：このレジスタは RESET モードになるとクリアされます。
SW：このレジスタに 1 を書き込むとクリアされます。

FCDS ビット（不正キャリア検出ステータスフラグ）
［1 になる条件］
HW：MII および GMII の場合に、PHY-LSI が回線上で不正キャリアを検出したとき
［0 になる条件］
HW：このレジスタは RESET モードになるとクリアされます。
SW：このレジスタに 1 を書き込むとクリアされます。

TCES ビット（TX CRC エラーステータスフラグ）
［1 になる条件］
HW：CRC エラーが発生したとき
［0 になる条件］
HW：このレジスタは RESET モードになるとクリアされます。
SW：このレジスタに 1 を書き込むとクリアされます。

TBCIS ビット（Tx 不良 CRC 挿入ステータスフラグ）
［1 になる条件］
HW：上位レイヤ（MHD など）から不良 CRC が挿入される
［0 になる条件］
HW：このレジスタは RESET モードになるとクリアされます。
SW：このレジスタに 1 を書き込むとクリアされます。

BFES ビット（不良フラグメントエラーステータスフラグ）
［1 になる条件］
HW：S フラグメントを受信せずに C フラグメントを検出した
［0 になる条件］
HW：このレジスタは RESET モードになるとクリアされます。
SW：このレジスタに 1 を書き込むとクリアされます。

FCES ビット（フレームカウントエラーステータスフラグ）
［1 になる条件］
S フラグメントを誤った順序で受信したとき
［0 になる条件］
HW：このレジスタは RESET モードになるとクリアされます。
SW：このレジスタに 1 を書き込むとクリアされます。

REOES ビット（e フレームオーバーフローエラーステータスフラグ）

[1 になる条件]

HW：e フレームの受信中に上位レイヤ（MHD など）からアクノリッジ信号を正しく受信できなかった。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

RPOES ビット（p フレームオーバーフローエラーステータスフラグ）

[1 になる条件]

HW：p フレームの受信中に上位レイヤ（MHD など）からアクノリッジ信号を正しく受信できなかった。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

CTLESn ビット (キャプチャ済みタイムスタンプロストエラーステータスフラグ n (n = 0～1))

[1 になる条件]

HW：キャプチャされたタイムスタンプが失われたとき。

このビットは 0 固定です

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

[エラー復帰]

復帰しません。タイムスタンプは失われます。

PDES ビット（PHY データエラーステータスフラグ）

[1 になる条件]

HW：エラーとともにフレームを受信したとき

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

PNAES ビット（PHY ニブルアライメントエラーステータスフラグ）

[1 になる条件]

HW：残りのビットを受信したとき

[0 になる条件]

SW：このレジスタに 1 を書き込むとクリアされます。

FCMCES ビット（FCS/mCRC エラーステータスフラグ）

[1 になる条件]

HW：予期しない FCS/mCRC を受信したとき

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

FFMES ビット（最終フラグメント欠落エラーステータスフラグ）

[1 になる条件]

HW：前のフラグメントが mCRC で終了しているにもかかわらず、S フラグメントを受信したとき

［0 になる条件］

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

CFCES ビット（C フラグメントカウントエラーステータスフラグ）

［1 になる条件］

HW：現在のフレームに対応していない C フラグメントを受信したとき（S0-C0-C0-C1 など）

［0 になる条件］

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

FRCES ビット（フラグメントカウントエラーステータスフラグ）

［1 になる条件］

HW：不良フラグメントカウントフィールドとともに C フラグメントを受信したとき

［0 になる条件］

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

RPOOMS ビット（部分的休止中受信モードステータスフラグ）

［1 になる条件］

HW：RMAC が OPERATION モードから切り替わる間（中断中）にフレームを受信したとき

1. p フレームの最初または中間のフラグメントを受信した
2. 最初の p フレームをすでに受信し、p フレームの最後のフラグメントを受信していないときに、e フレームを受信した

［0 になる条件］

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

FFS ビット（フレームフィルタ済みステータスフラグ）

［1 になる条件］

HW：フレームが RMAC フィルタを通過しなかったとき

［0 になる条件］

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

FUES ビット（アンダーサイズエラーステータスフラグ）

［1 になる条件］

HW：アンダーサイズフレームを受信したとき（受信したフレームのサイズが MRFSCE.EMNS および MRFSCP.PMNS の設定より小さいとき）

［0 になる条件］

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

FOES ビット（オーバーサイズエラーステータスフラグ）

［1 になる条件］

HW：オーバーサイズフレームを受信したとき（受信したフレームのサイズが MRFSCE.EMXS および MRFSCP.PMXS の設定より大きいとき）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタに 1 を書き込むとクリアされます。

表 33.5　送信エラーリスト

エラー種別	イベント	ステータスビット
Tx 不良 CRC 挿入ステータス	RMAC が送信用のパケットをエラーとともに受信し、誤った FCS が挿入された	MEIS.TBCIS
Tx CRC エラーステータス	有効な FCS を含むと予想されたパケットに不正な FCS が含まれていた	MEIS.TCES
PAUSE フレーム再送信リトライオーバーステータス	PAUSE または PFC の送信数が設定された上限 (MTPFC.APFRLV) に達し、休止時間が期限切れになった	MEIS.PFRROS
送信ストリームロストステータス	RMAC に対して e フレームのデータがタイムリーに提供されなかった。	MEIS.TSLS

表 33.6　受信エラーリスト

番号	エラー種別	イベント	フレームステータスビット	ステータスレジスタ
1	PHY データエラー	エラーとともにデータを受信した	ビット 0	MEIS.PDES
2	PHY ニブルアライメントエラー	残りのビットを受信した	ビット 1	MEIS.PNAES
3	FCS/mCRC エラー	予期しない FCS フィールド値を受信した	ビット 2	MEIS.FCMCES
4	最終フラグメント欠落エラー	前のフラグメントが mCRC で終了しているにもかかわらず、S フラグメントを受信したときに発生	ビット 3	MEIS.FFMES
5	C フラグメントカウントエラー	現在のフレームに対応していない C フラグメントを受信したときに発生 例：S0-C0-C0-C1	ビット 4	MEIS.CFCES
6	フラグメントカウントエラー	不良フラグメントカウントフィールドとともに C フラグメントを受信したときに発生	ビット 5	MEIS.FRCES
7	部分的休止中受信モード	RMAC が OPERATION モードから切り替わる間にフレームを受信したときに発生	ビット 6	MEIS.RPOOMS
8	フレームフィルタ済み	フレームが RMAC フィルタを通過しなかった。	ビット 7	MEIS.FFS
9	アンダーサイズエラー	フレームが小さすぎる	ビット 8	MEIS.FUES
10	オーバーサイズエラー	フレームが大きすぎる	ビット 9	MEIS.FOES
11	オーバーフローエラー	フレームの受信中に Rx 完了信号がデアサートされたときに発生。	ビット 12	MEIS.REOES MEIS.RPOES
12	フレームカウントエラーステータス	S フレームを誤った順序で受信したときに発生。 例：S0-S1-S2-S1	—	MEIS.FCES
13	不良フラグメントエラーステータス	S フラグメントを受信せずに C フラグメントを検出したときに発生	—	MEIS.BFES
14	不正キャリア検出ステータス	PHY-LSI が回線上で不正キャリアを検出したときに発生	—	MEIS.FCDS

33.4.3.2 MEIE : エラー割り込み許可レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0204

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	FOEE	FUEE	FFE	RPOOME	FRCEE	CFCEE	FFMEE	FCMCEE	PNAEE	PDEE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CTLEE1～CTLEE0		—	RPOEE	REOEE	FCEE	BFEE	TBCIE	TCEE	FCDE	PFRROE	PREE	—	TSLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSLE	送信ストリームロスト有効	R/W(注1)
1	—	読むと 0 が読めます。	R
2	PREE	PAUSE または PFC フレーム受信エラー有効	R/W(注1)
3	PFRROE	PAUSE または PFC フレーム再送信リトライオーバー有効	R/W(注1)
4	FCDE	不正キャリア検出許可	R/W(注1)
5	TCEE	Tx CRC エラー有効	R/W(注1)
6	TBCIE	TX 不良 CRC 挿入許可	R/W(注1)
7	BFEE	不良フラグメントエラー有効	R/W(注1)
8	FCEE	フレームカウントエラー有効	R/W(注1)
9	REOEE	e フレームオーバーフローエラー有効	R/W(注1)
10	RPOEE	p フレームオーバーフローエラー有効	R/W(注1)
11	—	読むと 0 が読めます。	R
13:12	CTLEE1～CTLEE0	キャプチャ済みタイムスタンプロストエラー有効 n (n = 0～1)	R/W(注1)
19:14	—	読むと 0 が読めます。	R
20	PDEE	PHY データエラー有効	R/W(注1)
21	PNAEE	PHY ニブルアライメントエラー有効	R/W(注1)
22	FCMCEE	FCS/mCRC エラー有効	R/W(注1)
23	FFMEE	最終フラグメント欠落エラー有効	R/W(注1)
24	CFCEE	C フラグメントカウントエラー有効	R/W(注1)
25	FRCEE	フラグメントカウントエラー有効	R/W(注1)
26	RPOOME	部分的休止中受信モード有効	R/W(注1)
27	FFE	フレームフィルタ済み有効	R/W(注1)
28	FUEE	アンダーサイズエラー有効	R/W(注1)
29	FOEE	オーバーサイズエラー有効	R/W(注1)
31:30	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

TSLE ビット（送信ストリームロスト有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.TSLD に 1 を書き込むとこのビットがクリアされます。

PREE ビット（PAUSE または PFC フレーム受信エラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.PRED に 1 を書き込むとこのビットがクリアされます。

PFRROE ビット（PAUSE または PFC フレーム再送信リトライオーバー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.PFRROD に 1 を書き込むとこのビットがクリアされます。

FCDE ビット（不正キャリア検出許可）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.FCDD に 1 を書き込むとこのビットがクリアされます。

TCEE ビット（Tx CRC エラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.TCED に 1 を書き込むとこのビットがクリアされます。

TBCIE ビット（TX 不良 CRC 挿入許可）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.TBCID に 1 を書き込むとこのビットがクリアされます。

BFEE ビット（不良フラグメントエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.BFED に 1 を書き込むとこのビットがクリアされます。

FCEE ビット（フレームカウントエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.FCED に 1 を書き込むとこのビットがクリアされます。

REOEE ビット（e フレームオーバーフローエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.REOED に 1 を書き込むとこのビットがクリアされます。

RPOEE ビット（p フレームオーバーフローエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.RPOED に 1 を書き込むとこのビットがクリアされます。

CTLEEn ビット (キャプチャ済みタイムスタンプロストエラー有効 n (n = 0～1))

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.CTLED に 1 を書き込むとこのビットがクリアされます。

PDEE ビット（PHY データエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.PDED に 1 を書き込むとこのビットがクリアされます。

PNAEE ビット（PHY ニブルアライメントエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.PNAED に 1 を書き込むとこのビットがクリアされます。

FCMCEE ビット（FCS/mCRC エラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.FCMCED に 1 を書き込むとこのビットがクリアされます。

FFMEE ビット（最終フラグメント欠落エラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.FFMED に 1 を書き込むとこのビットがクリアされます。

CFCEE ビット（C フラグメントカウントエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.CFCED に 1 を書き込むとこのビットがクリアされます。

FRCEE ビット（フラグメントカウントエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.FRCED に 1 を書き込むとこのビットがクリアされます。

RPOOME ビット（部分的休止中受信モード有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.RPOOMD に 1 を書き込むとこのビットがクリアされます。

FFE ビット（フレームフィルタ済み有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.FFD に 1 を書き込むとこのビットがクリアされます。

FUEE ビット（アンダーサイズエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

MEID.FUED に 1 を書き込むとこのビットがクリアされます。

FOEE ビット（オーバーサイズエラー有効）

[1 になる条件]

このビットのいずれかに 1 を書き込むと設定されます。

[0 になる条件]

SW：MEID.FOED に 1 を書き込むとこのビットがクリアされます。

33.4.3.3 MEID：エラー割り込み禁止レジスタ

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0208

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	FOED	FUED	FFD	RPOOMD	FRCED	CFCED	FFMED	FCMCED	PNAED	PDED	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CTLED1～CTLED0		—	RPOED	REOED	FCED	BFED	TBCID	TCED	FCDD	PFRROD	PRED	—	TSLD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSLD	送信ストリームロスト無効 このレジスタに 1 を書き込むと MEIE.TSLE レジスタがクリアされます。	R/W(注1)
1	—	読むと 0 が読めます。	R
2	PRED	PAUSE または PFC フレーム受信エラー無効 このレジスタに 1 を書き込むと MEIE.PREE レジスタがクリアされます。	R/W(注1)
3	PFRROD	PAUSE または PFC フレーム再送信リトライオーバー無効 このレジスタに 1 を書き込むと MEIE.PFRROE レジスタがクリアされます。	R/W(注1)

ビット	シンボル	機能	R/W
4	FCDD	不正キャリア検出禁止 このレジスタに 1 を書き込むと MEIE.FCDE レジスタがクリアされます。	R/W(注1)
5	TCED	Tx CRC エラー無効 このレジスタに 1 を書き込むと MEIE.TCEE レジスタがクリアされます。	R/W(注1)
6	TBCID	TX 不良 CRC 挿入禁止 このレジスタに 1 を書き込むと MEIE.TBCIE レジスタがクリアされます。	R/W(注1)
7	BFED	不良フラグメントエラー無効 このレジスタに 1 を書き込むと MEIE.BFEE レジスタがクリアされます。	R/W(注1)
8	FCED	フレームカウントエラー無効 このレジスタに 1 を書き込むと MEIE.FCEE レジスタがクリアされます。	R/W(注1)
9	REOED	e フレームオーバーフローエラー無効 このレジスタに 1 を書き込むと MEIE.REOEE レジスタがクリアされます。	R/W(注1)
10	RPOED	p フレームオーバーフローエラー無効 このレジスタに 1 を書き込むと MEIE.RPOEE レジスタがクリアされます。	R/W(注1)
11	—	読むと 0 が読めます。	R
13:12	CTLED1～CTLED0	キャプチャ済みタイムスタンプロストエラー無効 n (n = 0～1) このレジスタに 1 を書き込むと MEIE.CTLEE レジスタがクリアされます。	R/W(注1)
19:14	—	読むと 0 が読めます。	R
20	PDED	PHY データエラー無効 このレジスタに 1 を書き込むと MEIE.PDEE レジスタがクリアされます。	R/W(注1)
21	PNAED	PHY ニブルアライメントエラー無効 このレジスタに 1 を書き込むと MEIE.PNAEE レジスタがクリアされます。	R/W(注1)
22	FCMCED	FCS/mCRC エラー無効 このレジスタに 1 を書き込むと MEIE.FCMCEE レジスタがクリアされます。	R/W(注1)
23	FFMED	最終フラグメント欠落エラー無効 このレジスタに 1 を書き込むと MEIE.FFMEE レジスタがクリアされます。	R/W(注1)
24	CFCED	C フラグメントカウントエラー無効 このレジスタに 1 を書き込むと MEIE.CFCEE レジスタがクリアされます。	R/W(注1)
25	FRCED	フラグメントカウントエラー無効 このレジスタに 1 を書き込むと MEIE.FCEE レジスタがクリアされます。	R/W(注1)
26	RPOOMD	部分的休止中受信モード無効 このレジスタに 1 を書き込むと MEIE.RPOOME レジスタがクリアされます。	R/W(注1)
27	FFD	フレームフィルタリング済み無効 このレジスタに 1 を書き込むと MEIE.FFE レジスタがクリアされます。	R/W(注1)
28	FUED	アンダーサイズエラー無効 このレジスタに 1 を書き込むと MEIE.FUEE レジスタがクリアされます。	R/W(注1)
29	FOED	オーバーサイズエラー無効 このレジスタに 1 を書き込むと MEID.FOEE レジスタがクリアされます。	R/W(注1)
31:30	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

33.4.3.4 MMIS0 : 監視割り込みステータスレジスタ 0

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0210

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	VFRS	LVFS	LVSS	PIDS	PLSCS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PLSCS(注2)(注3)	PHY リンク信号変更ステータスフラグ	R/W(注1)
1	PIDS(注2)(注4)	PHY 割り込み検出ステータスフラグ	R/W(注1)
2	LVSS(注2)(注5)	リンク検証成功ステータスフラグ	R/W(注1)
3	LVFS(注2)(注5)	リンク検証失敗ステータスフラグ	R/W(注1)
4	VFRS(注2)(注5)	検証フレーム受信ステータスフラグ	R/W(注1)
31:5	—	読むと 0 が読めます。	R

注. この割り込みレジスタは、rmc_mmis0_int 割り込み配線にマッピングされます。
注 1. 読み出し値は書き込まれた値とは異なります。
注 2. SW：0 の書き込みは影響しません。
注 3. SW：現在のリンク状態を確認するには、PHY リンクステータスレジスタ (MPIM.PLS) のリンクステータス端子状態ビットを参照してください。
注 4. HW：PHY 割り込み極性 (MPIC.PIP) を適切な値に設定する前に、このフラグが意図せずにアサートされる可能性があります。この段階では、このフラグは無視されます。
注 5. 上位レイヤ（例：MHD）が OPERATION 状態でないなどの理由で中断した場合でも、影響はありません。

PLSCS ビット（PHY リンク信号変更ステータスフラグ）

[1 になる条件]

HW：リンクステータス端子（rmc_phy_link ポート）の値が変更されたとき。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

PIDS ビット（PHY 割り込み検出ステータスフラグ）

[1 になる条件]

HW：PHY 割り込み端子（rmc_phy_int ポート）がアクティブレベルです。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

LVSS ビット（リンク検証成功ステータスフラグ）

[1 になる条件]

HW：リンク検証プロセスが成功したとき。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

LVFS ビット（リンク検証失敗ステータスフラグ）

[1 になる条件]

HW：リンク検証プロセスが失敗したとき。これは、リモートノードがプリエンプト可能なフレームを処理できないことを意味します。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

VFRS ビット（検証フレーム受信ステータスフラグ）

[1 になる条件]

HW：有効な検証フレームを受信したとき。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

33.4.3.5 MMIE0：監視割り込み許可レジスタ 0

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0214

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	VFRE	LVFE	LVSE	PIDE	PLSCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PLSCE	PHY リンク信号変更許可 このレジスタに 1 を書き込むと設定されます。 0 の書き込みは影響しません。	R/W(注1)
1	PIDE	PHY 割り込み検出許可 このレジスタに 1 を書き込むと設定されます。 0 の書き込みは影響しません。	R/W(注1)
2	LVSE	リンク検証成功許可 このレジスタに 1 を書き込むと設定されます。 0 の書き込みは影響しません。	R/W(注1)
3	LVFE	リンク検証失敗許可 このレジスタに 1 を書き込むと設定されます。 0 の書き込みは影響しません。	R/W(注1)
4	VFRE	検証フレーム受信許可 このレジスタに 1 を書き込むと設定されます。 0 の書き込みは影響しません。	R/W(注1)
31:5	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

33.4.3.6 MMID0 : 監視割り込み禁止レジスタ 0

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0218

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	VFRD	LVFD	LVSD	PIDD	PLSCD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PLSCD	PHY リンク信号変更禁止 このレジスタに 1 を書き込むと、対応する許可レジスタの対応するビットがクリアされます。 0 の書き込みは影響しません。	R/W (注1)
1	PIDD	PHY 割り込み検出禁止 このレジスタに 1 を書き込むと、対応する許可レジスタの対応するビットがクリアされます。 0 の書き込みは影響しません。	R/W (注1)
2	LVSD	リンク検証成功禁止 このレジスタに 1 を書き込むと、対応する許可レジスタの対応するビットがクリアされます。 0 の書き込みは影響しません。	R/W (注1)
3	LVFD	リンク検証失敗禁止 このレジスタに 1 を書き込むと、対応する許可レジスタの対応するビットがクリアされます。 0 の書き込みは影響しません。	R/W (注1)
4	VFRD	フレーム受信検証禁止 このレジスタに 1 を書き込むと、対応する許可レジスタの対応するビットがクリアされます。 0 の書き込みは影響しません。	R/W (注1)
31:5	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

33.4.3.7 MMIS1 : 監視割り込みステータスレジスタ 1

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0220

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PPRACS	PAACS	PWACS	PRACS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRACS(注2)	PHY 読み出しアクセス完了ステータスフラグ	R/W(注1)

ビット	シンボル	機能	R/W
1	PWACS(注2)	PHY 書き込みアクセス完了ステータスフラグ	R/W(注1)
2	PAACS(注2)	PHY アドレスアクセス完了ステータスフラグ	R/W(注1)
3	PPRACS(注2)	PHY 読み出し後アクセス完了ステータスフラグ	R/W(注1)
31:4	—	読むと 0 が読めます。	R

注. この割り込みレジスタは、rmc_mdio_int 割り込み配線にマッピングされます。
注 1. 読み出し値は書き込まれた値とは異なります。
注 2. 0 の書き込みは影響しません。

PRACS ビット（PHY 読み出しアクセス完了ステータスフラグ）

[1 になる条件]

HW：PHY 読み出しアクセスが完了したとき。8.4 項を参照してください。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

PWACS ビット（PHY 書き込みアクセス完了ステータスフラグ）

[1 になる条件]

HW：PHY 書き込みアクセスが完了したとき。8.4 項を参照してください。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

PAACS ビット（PHY アドレスアクセス完了ステータスフラグ）

[1 になる条件]

HW：PHY アドレスアクセスが完了したとき。8.4 項を参照してください。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

PPRACS ビット（PHY 読み出し後アクセス完了ステータスフラグ）

[1 になる条件]

HW：PHY 読み出し後アクセスが完了したとき。8.4 項を参照してください。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

33.4.3.8 MMIE1 : 監視割り込み許可レジスタ 1

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0224

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PPRACE	PAACE	PWACE	PRACE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRACE(注2)	PHY 読み出しアクセス完了許可	R/W(注1)
1	PWACE(注2)	PHY 書き込みアクセス完了許可	R/W(注1)
2	PAACE(注2)	PHY アドレスアクセス完了許可	R/W(注1)
3	PPRACE(注2)	PHY 読み出し後アクセス完了許可	R/W(注1)
31:4	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。
注 2. SW : 0 の書き込みは影響しません。

PRACE ビット（PHY 読み出しアクセス完了許可）

[1 になる条件]

HW : このビットに 1 を書き込むと設定されます。

[0 になる条件]

HW : MMID1.PRACD レジスタに 1 を書き込むとこのビットがクリアされます。

PWACE ビット（PHY 書き込みアクセス完了許可）

[1 になる条件]

HW : このビットに 1 を書き込むと設定されます。

[0 になる条件]

HW : MMID1.PWACD レジスタに 1 を書き込むとこのビットがクリアされます。

PAACE ビット（PHY アドレスアクセス完了許可）

[1 になる条件]

HW : このビットに 1 を書き込むと設定されます。

[0 になる条件]

HW : MMID1.PAACD レジスタに 1 を書き込むとこのビットがクリアされます。

PPRACE ビット（PHY 読み出し後アクセス完了許可）

[1 になる条件]

HW : このビットに 1 を書き込むと設定されます。

[0 になる条件]

HW : MMID1.PPRACD レジスタに 1 を書き込むとこのビットがクリアされます。

33.4.3.9 MMID1 : 監視割り込み禁止レジスタ 1

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0228

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PPRACD	PAACD	PWACD	PRACD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRACD(注1)	PHY 読み出しアクセス完了無効 このビットに 1 を書き込むと MMIE1.PRACE レジスタがクリアされます。	W
1	PWACD(注1)	PHY 書き込みアクセス完了無効 このビットに 1 を書き込むと MMIE1.PWACE レジスタがクリアされます。	W
2	PAACD(注1)	PHY アドレスアクセス完了無効 このビットに 1 を書き込むと MMIE1.PAACE レジスタがクリアされます。	W
3	PPRACD(注1)	PHY 読み出し後アクセス完了無効 このビットに 1 を書き込むと MMIE1.PPRACE レジスタがクリアされます。	W
31:4	—	読むと 0 が読めます。	R

注 1. 0 の書き込みは影響しません。

33.4.3.10 MMIS2 : 監視割り込みステータスレジスタ 2

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0230

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LPIDIS	LPIAIS	MPDIS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MPDIS(注2)(注3)(注4)(注5)	Magic Packet 検出割り込みステータスフラグ	R/W(注1)
1	LPIAIS(注2)(注5)	LPI アサート割り込みステータスフラグ	R/W(注1)
2	LPIDIS(注2)(注5)	LPI デアサート割り込みステータスフラグ	R/W(注1)
31:3	—	読むと 0 が読めます。	R

注.
- この割り込みレジスタは、rmc_mp_int、rmc_lpi_start_int、および rmc_lpi_stop_int 割り込み配線にマッピングされます。
- このレジスタの値は、clk と clk_phy_rx の間にある同期回路を経由します。
  RMAC のワーストケースでは、「5clk + 4clk_phy_rx」の後で書き込みアクセスの結果が各 SFR ビットに反映されます。
  書き込みアクセスを連続して行わないでください。書き込みアクセスを繰り返す場合は、アクセスの後に待機時間を確保してください。

注 1. 読み出し値は書き込まれた値とは異なります。

注 2. SW：0 の書き込みは影響しません。
注 3. HW：プリエンプト可能なフレームの Magic Packet は無視されます。
注 4. HW：Magic Packet の CRC はチェックされません。
注 5. HW：中断した場合は無効です。

MPDIS ビット（Magic Packet 検出割り込みステータスフラグ）

[1 になる条件]

HW：Magic Packet を検出したとき

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

LPIAIS ビット（LPI アサート割り込みステータスフラグ）

[1 になる条件]

HW：LPI 要求を検出したとき。LPI 要求が連続するときは、このレジスタがアサートされ続けます。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

LPIDIS ビット（LPI デアサート割り込みステータスフラグ）

[1 になる条件]

HW：LPI 要求がデアサートされたとき。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

33.4.3.11 MMIE2：監視割り込み許可レジスタ 2

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0234

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LPIDIE	LPIAIE	MPDIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MPDIE	Magic Packet™検出割り込み許可 このレジスタに 1 を書き込むと設定されます。 0 の書き込みは影響しません。	R/W(注1)
1	LPIAIE	LPI アサート割り込み許可 このレジスタに 1 を書き込むと設定されます。 0 の書き込みは影響しません。	R/W(注1)
2	LPIDIE	LPI デアサート割り込み許可 このレジスタに 1 を書き込むと設定されます。 0 の書き込みは影響しません。	R/W(注1)
31:3	—	読むと 0 が読めます。	R

注. このレジスタの値は、clk と clk_phy_rx の間にある同期回路を経由します。

RMAC のワーストケースでは、「5clk + 4clk_phy_rx」の後で書き込みアクセスの結果が各 SFR ビットに反映されます。
書き込みアクセスを連続して行わないでください。書き込みアクセスを繰り返す場合は、アクセスの後に待機時間を確保してください。

注 1. 読み出し値は書き込まれた値とは異なります。

33.4.3.12 MMID2 : 監視割り込み禁止レジスタ 2

Base address: RMACm = 0x403C_B000 + 0x2000 × m (m = 0, 1)
RMACm_NS = 0x503C_B000 + 0x2000 × m (m = 0, 1)

Offset address: 0x0238

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	LPIDID	LPIAID	MPDID
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MPDID	Magic Packet™検出割り込み禁止 このレジスタに 1 を書き込むと、対応する許可レジスタの対応するビットがクリアされます。 0 の書き込みは影響しません。	W
1	LPIAID	LPI アサート割り込み禁止 このレジスタに 1 を書き込むと、対応する許可レジスタの対応するビットがクリアされます。 0 の書き込みは影響しません。	W
2	LPIDID	LPI デアサート割り込み禁止 このレジスタに 1 を書き込むと、対応する許可レジスタの対応するビットがクリアされます。 0 の書き込みは影響しません。	W
31:3	—	読むと 0 が読めます。	R

注. このレジスタの値は、clk と clk_phy_rx の間にある同期回路を経由します。
RMAC のワーストケースでは、「5clk + 4clk_phy_rx」の後で書き込みアクセスの結果が各 SFR ビットに反映されます。
書き込みアクセスを連続して行わないでください。書き込みアクセスを繰り返す場合は、アクセスの後に待機時間を確保してください。

33.5 レジスタの使用

33.5.1 動作モード

動作モードが制御されます。IPS を参照してください。RMAC は、RMAC の動作モードを制御するためのモード制御信号を受信しました。

33.5.1.1 フレーム処理

送信では、この IP が動作状態（例：MHD が OPERATION 状態である）にある場合、上位モジュール（例：MHD）からのすべてのフレームを送信します。この IP は、MHD からの e フレームと p フレームを受信します。

受信では、この IP が動作状態（例：MHD が OPERATION 状態である）にある場合、PHY からのフレームのみを受信し、それらを上位モジュール（例：MHD）に出力します。その他のモードでは、この IP は PHY からのすべての受信フレームを内部で破棄し、上位モジュールに出力しません。

システムがプリエンプションをサポートし、モード変更が実行されると、Rx 側のこの IP は、以下の図のように動作します。

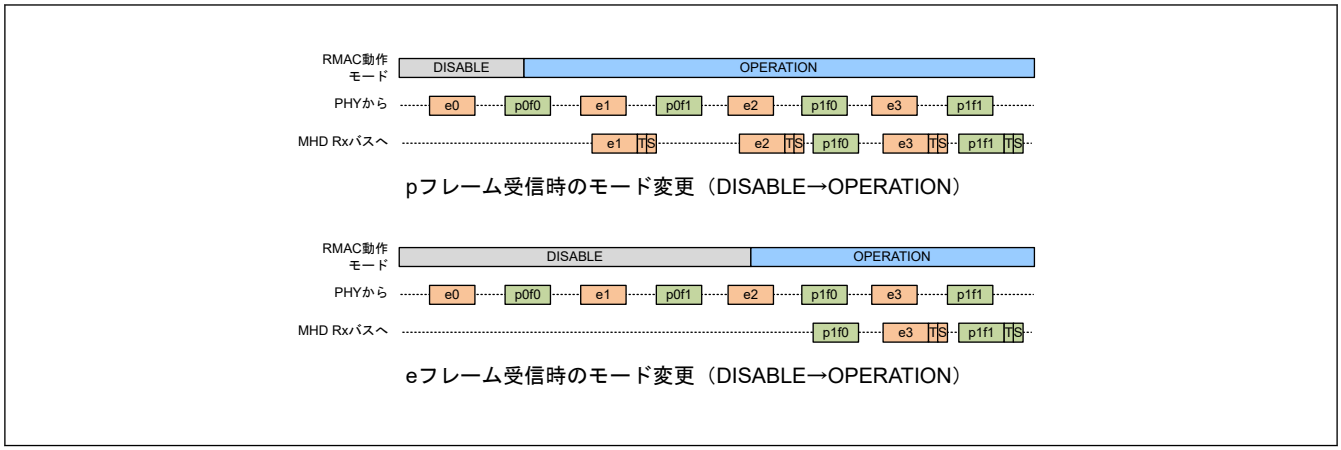


図 33.3　Rx でのモード変更 (DISABLE→OPERATION)

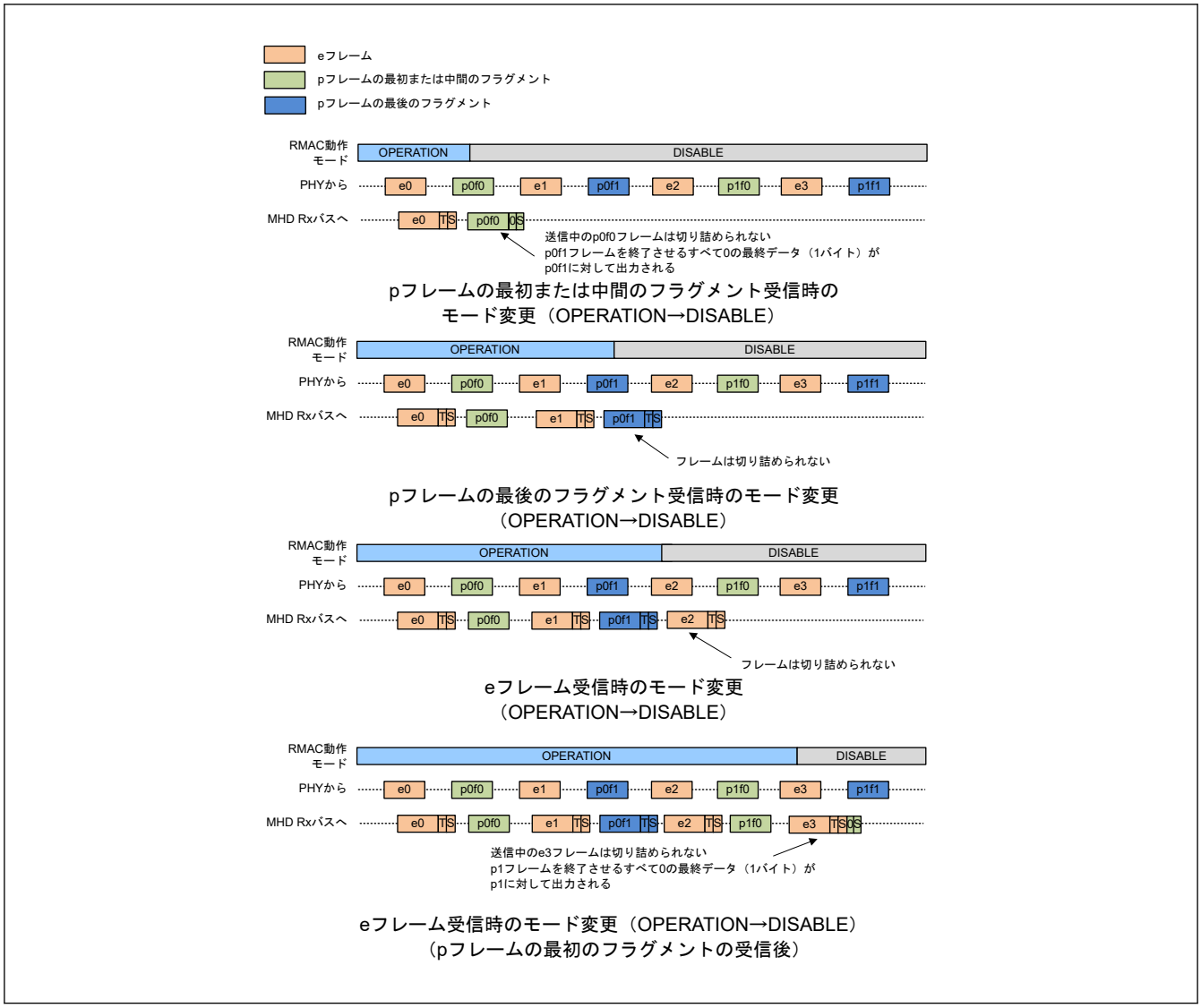


図 33.4　Rx でのモード変更 (OPERATION→DISABLE)

33.5.2　ソフトウェアフロー

制約事項：

SW：本項のフローに従ってください。

33.5.2.1 ソフトウェアフローの凡例

図 33.5 に、ソフトウェアフローの凡例を示します。

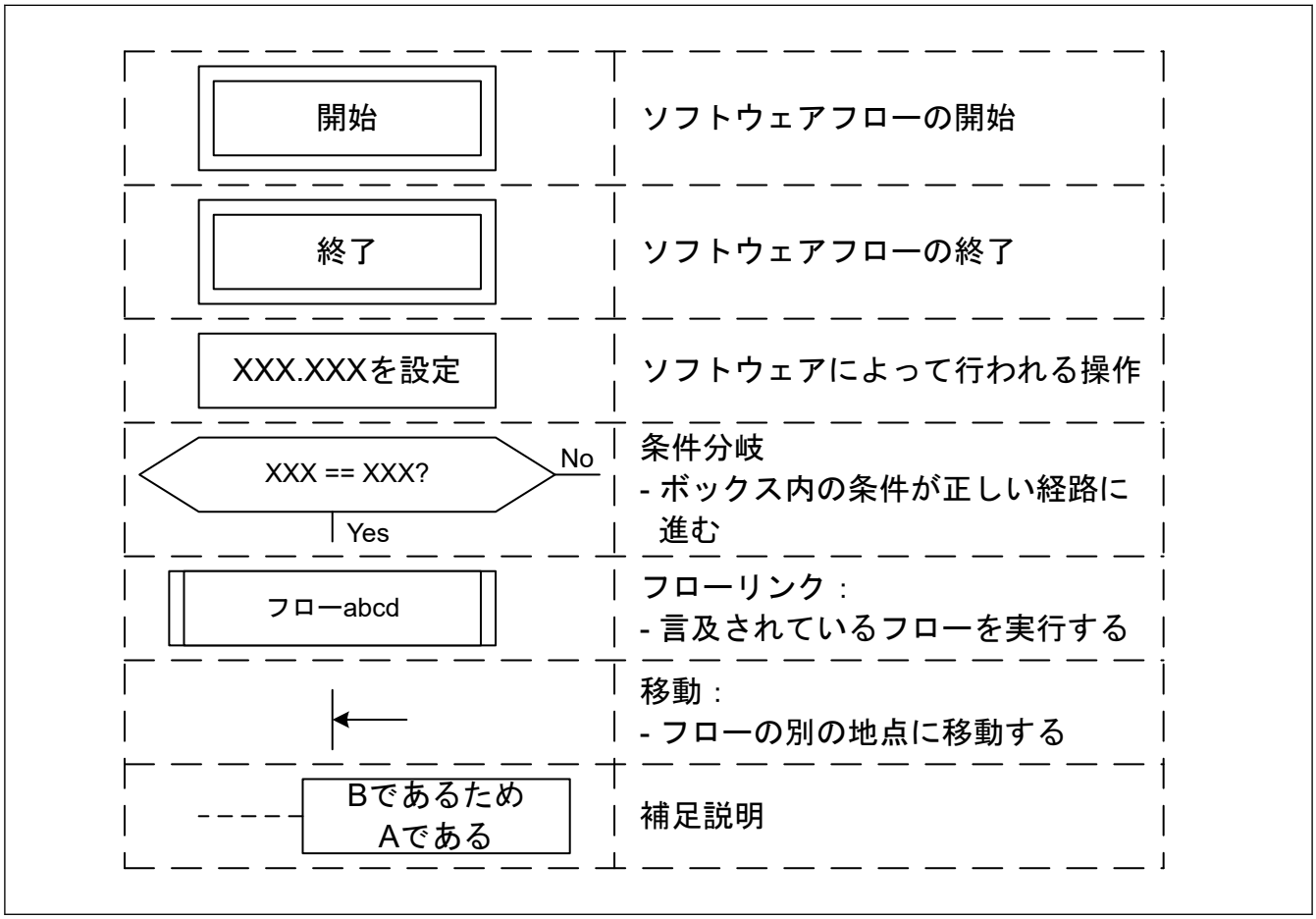


図 33.5 ソフトウェアフローの凡例

33.5.2.2 初期化フロー

以下の図に、初期化フローを示します。

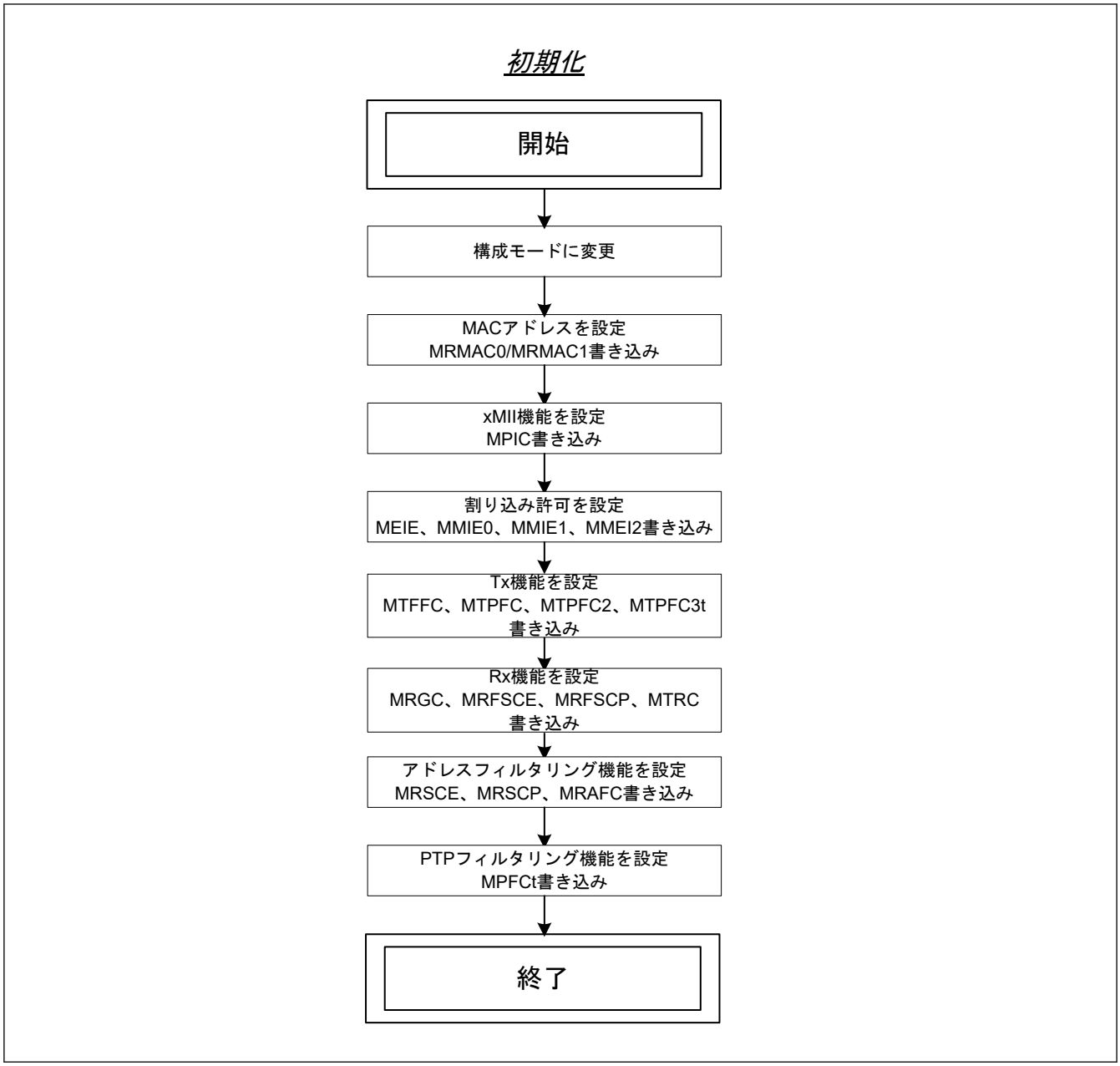


図 33.6　初期化フロー

33.5.2.3　割り込み処理フロー

割り込み処理フローは RESET モード以外のすべてのモードで使用できます。

以下の図に、割り込み処理フローを示します。

制約事項：

このフローは RESET モードでは使用できません。

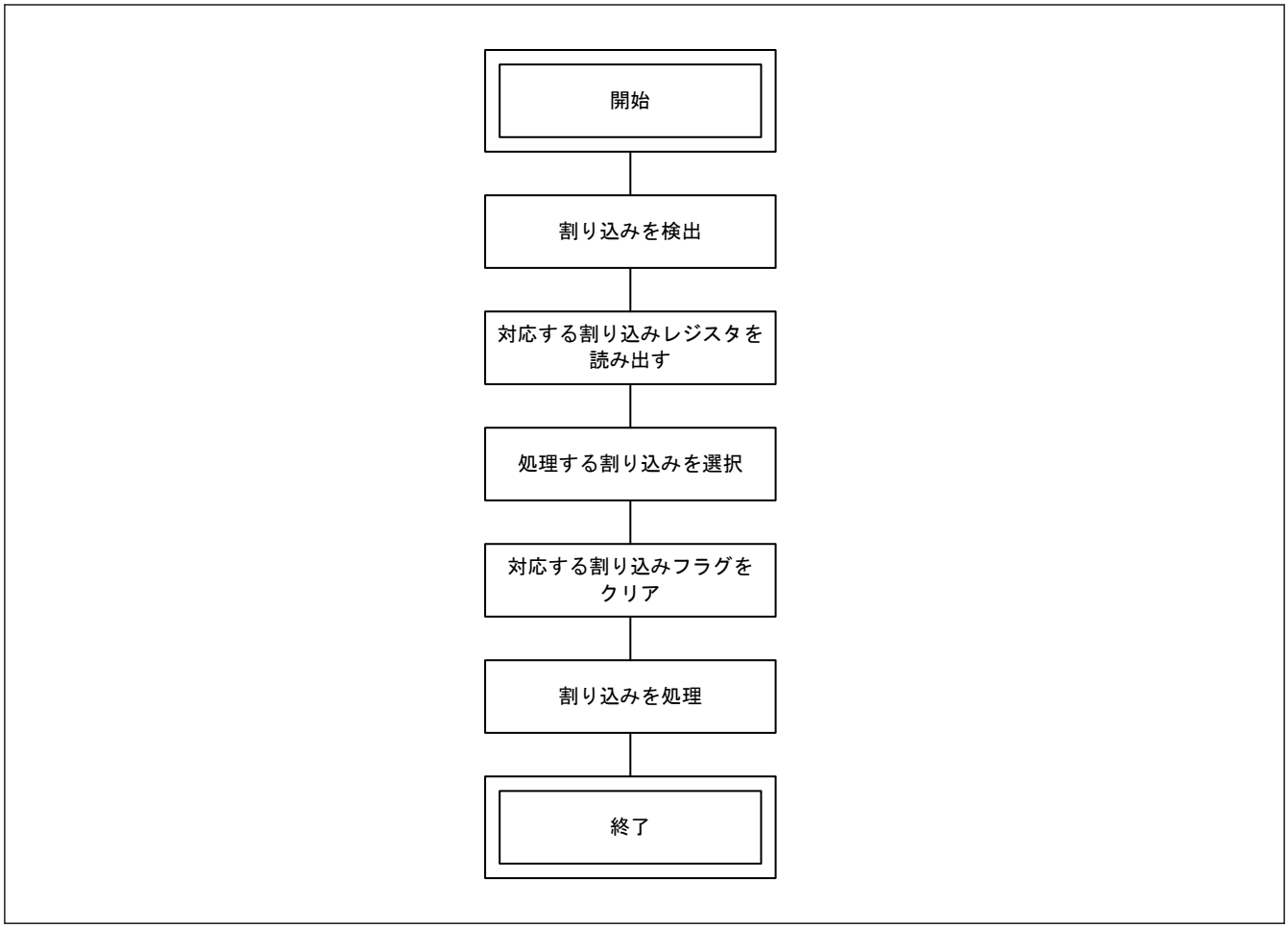


図 33.7　割り込み処理フロー

33.5.2.4　PHY MDIO および eMDIO アクセスフロー

以下の図に、PHY MDIO および eMDIO アクセスフローを示します。

制約事項：

このフローは RESET モードでは使用できません。

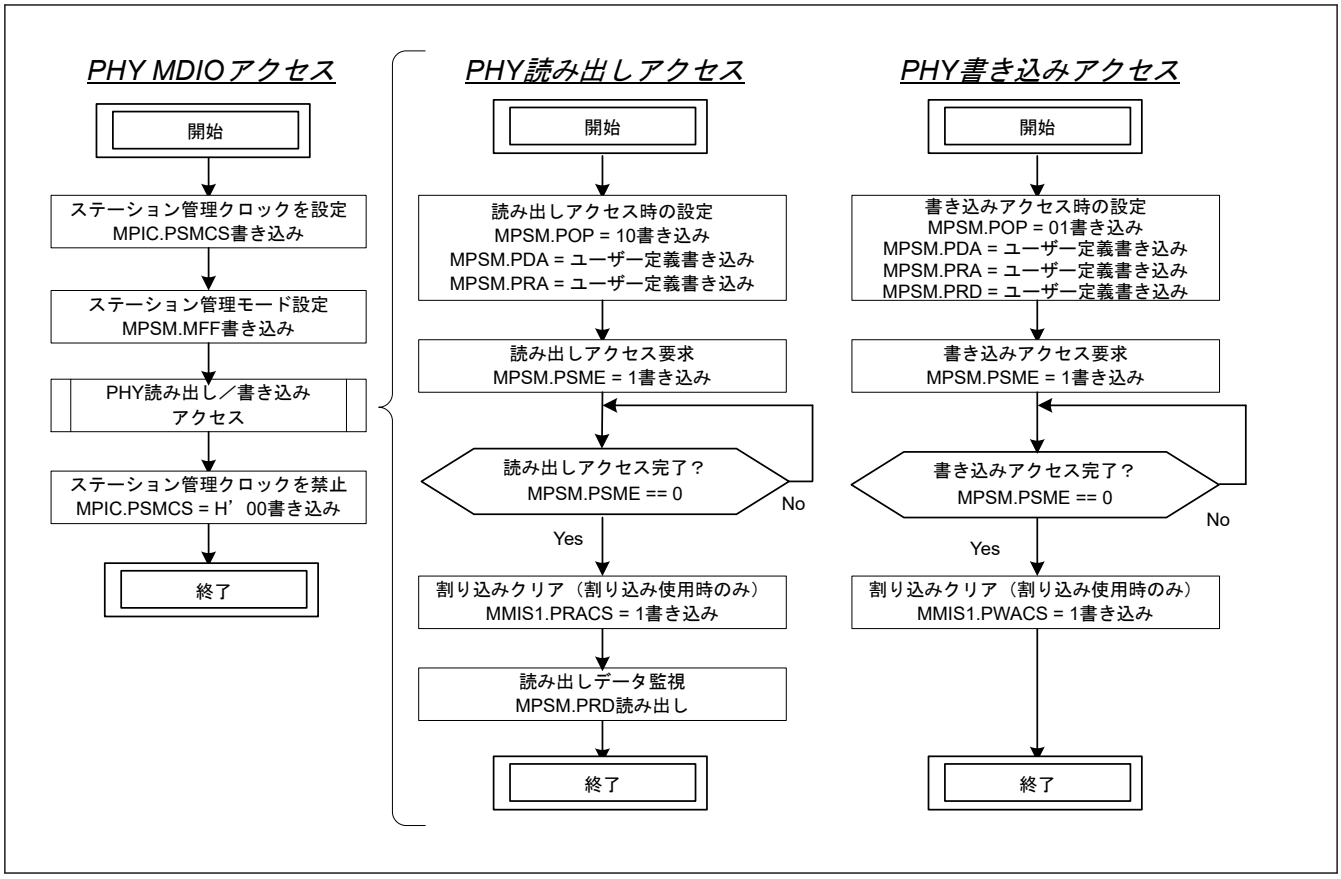


図 33.8　PHY MDIO アクセスフロー

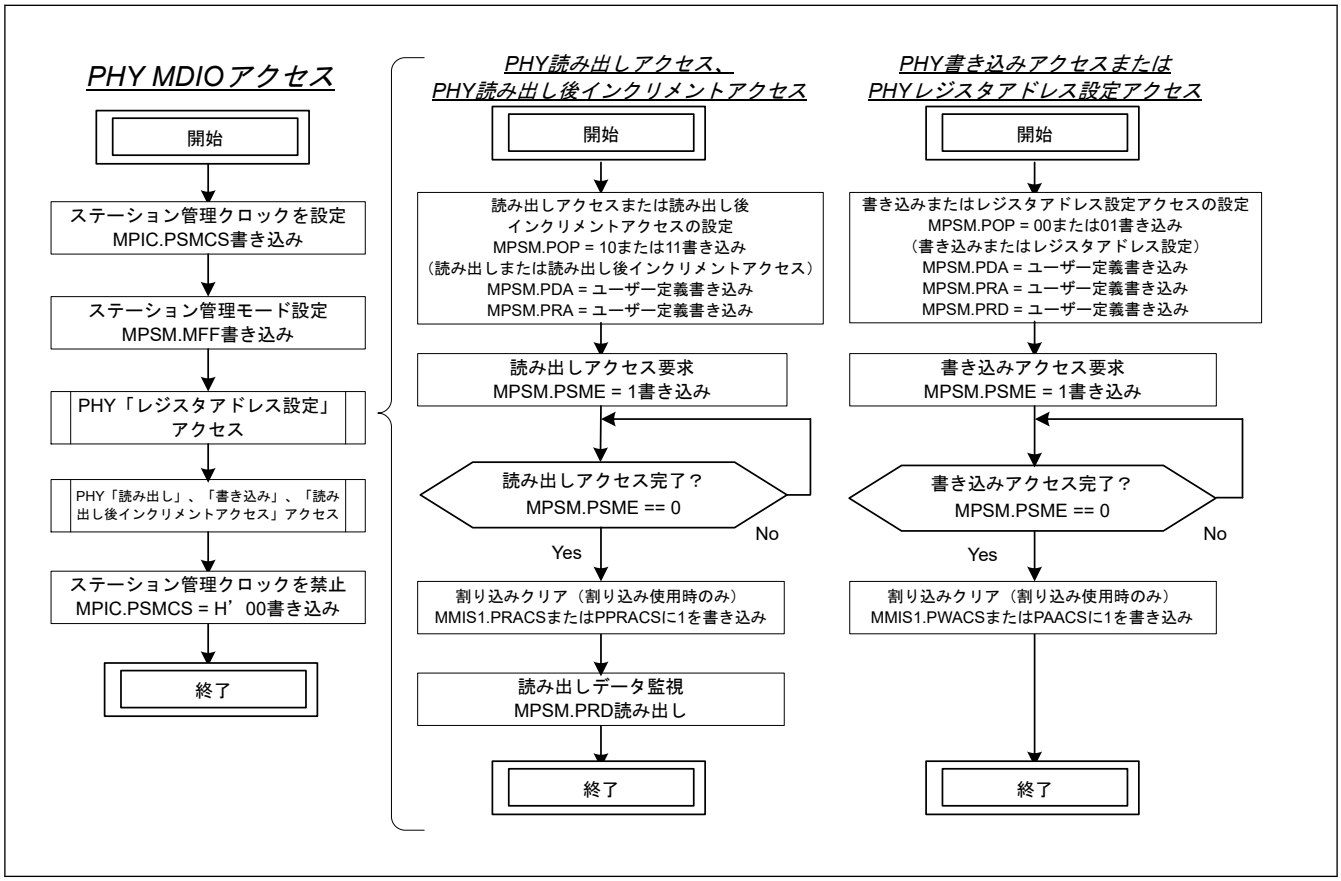


図 33.9　PHY eMDIO アクセスフロー

33.5.2.5 Tx ポートの LPI 遷移

図 33.10 に LPI 遷移フローを示します。LPI から再開する場合、PHY のウェイクアップが完了するまでに、送信を要求する必要があります。

制約事項：

このフローは RESET モードでは使用できません。

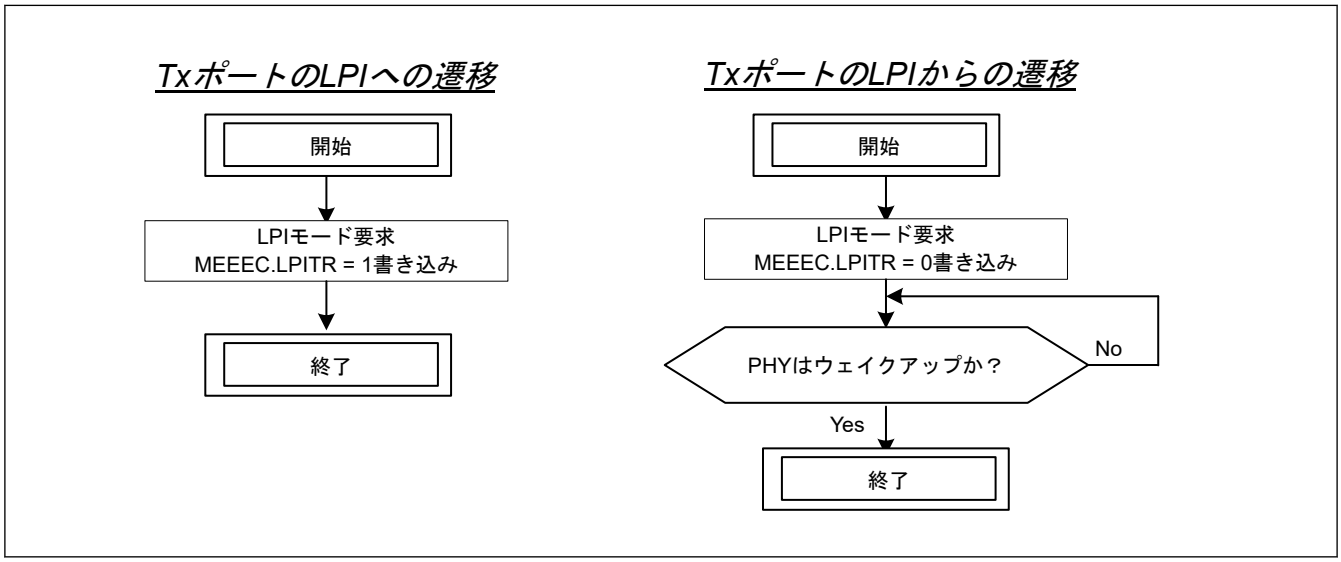


図 33.10 Tx ポートの LPI 遷移

33.5.2.6 リンク検証

以下の図に、リンク検証フローを示します。

制約事項：

このフローは OPERATIONAL モードで使用できます。

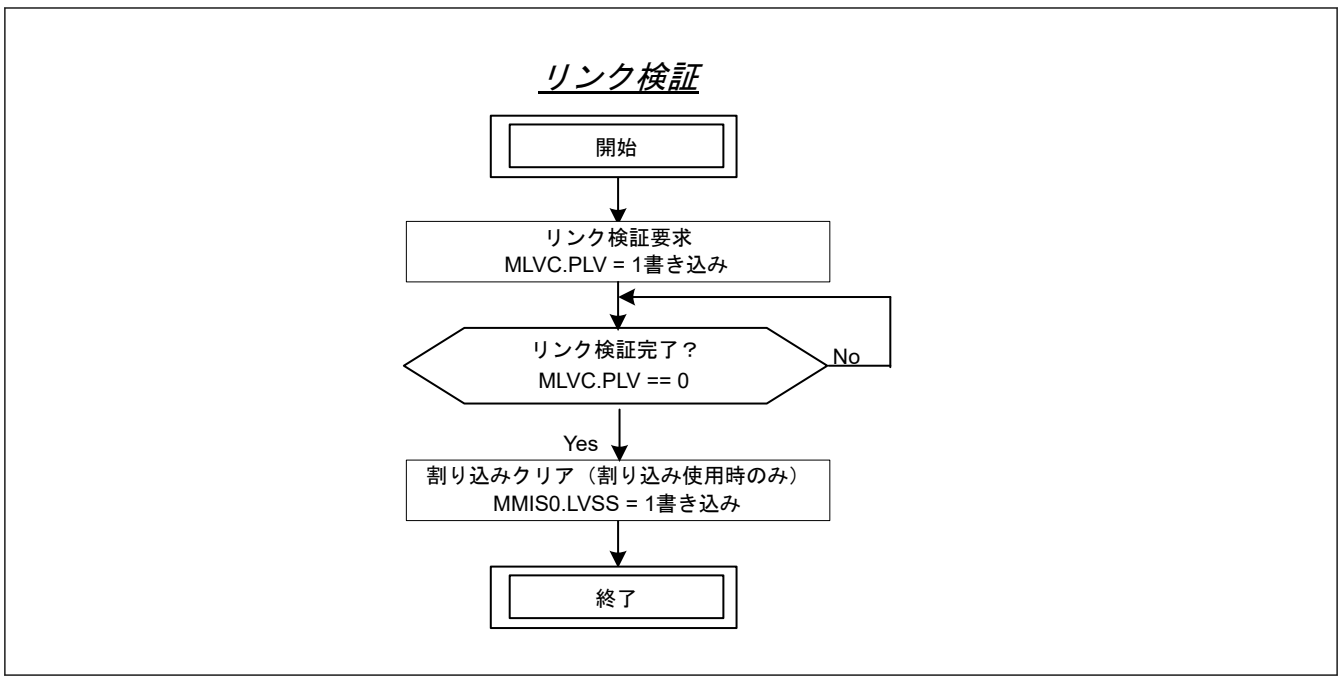


図 33.11 リンク検証フロー

33.5.2.7 呼び出されたソフトウェアフロー

「フローリンク」ボックス（図 33.5）のため、本項で説明するフローは他のフローからのみ呼び出し可能であり、単独で使用することはできません。

33.5.3 ソフトウェアフローなしで書き込み可能なレジスタ

本項では、これまでに説明していないレジスタについて説明します。これらのレジスタは動的に変更できます（ただし、クロック許可などの初期設定は完了する必要があります）。

33.6 機能の詳細

33.6.1 プリエンプション

「プリエンプション」は、IEEE802.3.br で規定されている機能です。この機能は、図 33.12 のようにイーサネットフレームを複数のフラグメントに分割します。この図は、フラグメントが 3 つのプリエンプションの例を示しています。フラグメントが 2 つだけのプリエンプションや、フラグメントが 4 つ以上のプリエンプションも可能です。

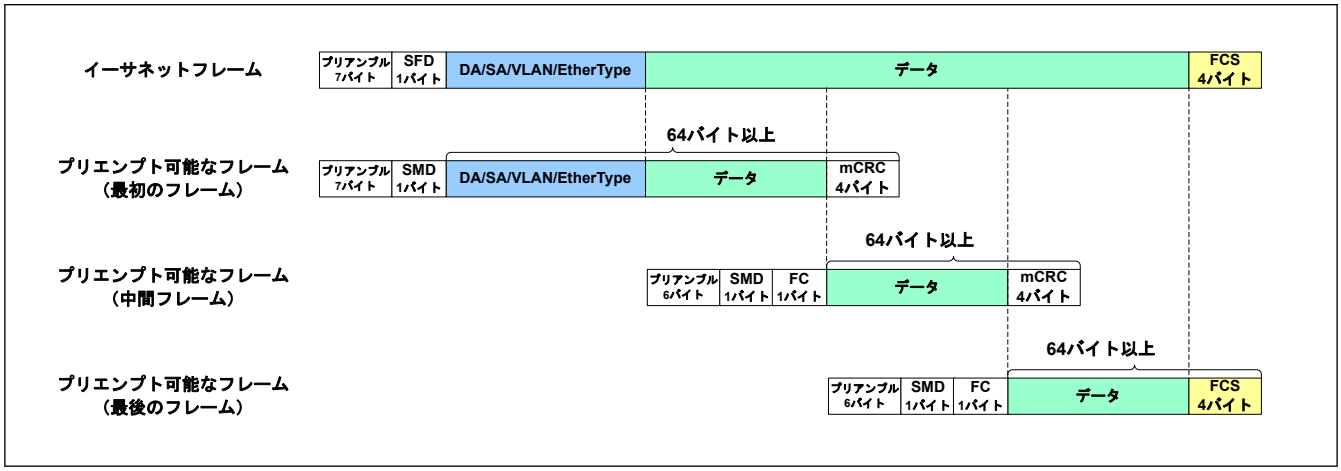


図 33.12 プリエンプションの概要

この機能は、本 IP と上位モジュール（MHD など）によって処理されます。

Tx 側では、本 IP は IEEE802.3.br の規則に則ってプリエンプト可能なフレームの「プリアンブル」、「SMD」、「FC」、および「mCRC」フィールドのみを生成します。上位モジュール（MHD など）は送信フレームを適切に分割する必要があります。

Rx 側では、本 IP はプリエンプト可能なフレームの「プリアンブル」、「SMD」、「FC」、および「mCRC」フィールドを削除し、「DA/SA/VLAN/EtherType」、「データ」、および「FCS」（MRGC.RCPT によって選択可能かどうかにかかわらず FCS 部分を出力するため）フィールドを上位モジュールに出力します。上位モジュール（MHD など）は受信フレームを再組み立てする必要があります。

「プリエンプション」は、低優先順位フレームの転送によって高優先順位フレームのスループットの低下を防ぐ効果があります。図 33.13 に 1 つの例を示します。ソフトウェアは低優先順位フレームの長さについて関知しません。

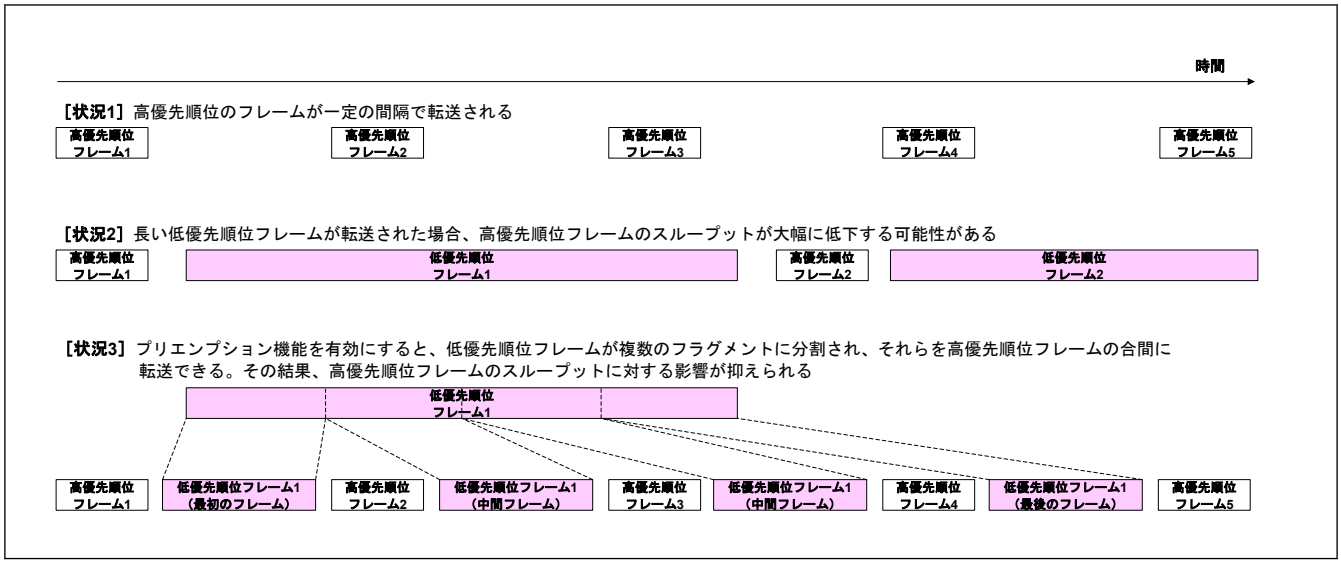


図 33.13　プリエンプションの効果

「プリエンプション」を使用するには、システムレベルでリンク検証プロセスを実行する必要があります。

注：本 IP はシステムのプリエンプション機能が有効かどうかに関する情報を保持しません。

33.6.1.1　リンク検証

この IP は、図 33.14 のリンク検証プロセスをサポートします。

MLVC.PASE を設定することによって、応答フレームで検証フレームに応答し、プリエンプションが可能なリンクされた IP を認証します。有効な検証フレームを受信すると、割り込みとして MMIS.VFRS をアサートします。

MLVC.PLV が 1 に設定されると、この IP は検証フレームの送信を開始します。リモートノードから応答フレームを受信するまで、設定された間隔 (MLVC.LVT) で 3 回送信が試行されます。受信した応答フレームが有効な場合、MMIS.LVSS が割り込みとしてアサートされます。

3 回試行しても応答フレームを受信しない場合、割り込みとして MMIS.LVFS がアサートされます。

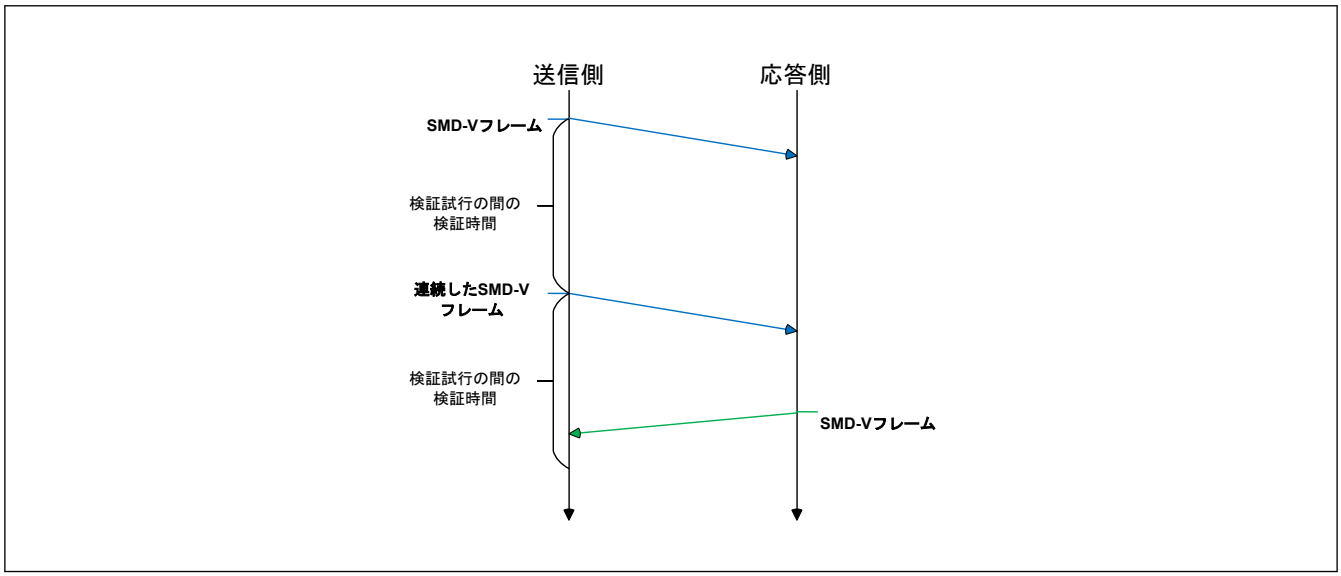


図 33.14　リンク検証フローの例

33.6.2　フロー制御

この IP は、次の 2 種類のフロー制御機能をサポートします。

1. 全二重動作について IEEE 802.3 で規定されているフロー制御。PAUSE フレームを使用します。

2. 全二重動作について IEEE 802.1Qbb で規定されている優先順位に基づくフロー制御。PFC フレームを使用します。

33.6.2.1 PAUSE フレームによるフロー制御

このフロー制御は、全二重モードの動作専用で、PAUSE フレームの送信と受信で構成されます。

33.6.2.1.1 PAUSE フレームの送信

1. MTFFC.FCM = 0 かつ MTPFC.PT[15:0]≠0 のとき、PAUSE フレームの送信機能が有効になります。
本 IP は、送信要求をアサートすることで図 33.15 に記載した PAUSE フレームを送信します。「PAUSE_TIME」フィールドには MTPFC.PT[15:0]の値が使用されます。また、「SA」フィールドには MRMAC0 と MRMAC1 が使用されます。

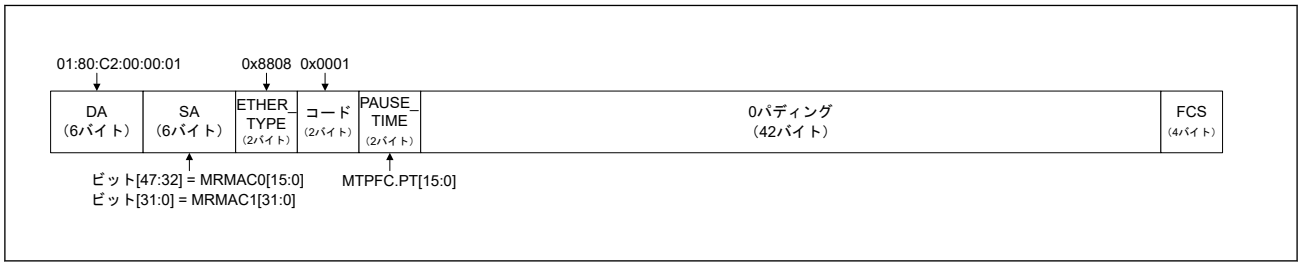


図 33.15 PAUSE フレームフォーマット

- 自動 PAUSE フレーム
MTPFC.PFM = 0 の場合、本 IP は送信要求としてハードウェア PAUSE 送信要求を使用します。PAUSE フレームの送信後、MAPFTCT がインクリメントされます。
- 手動 PAUSE フレーム
MTPFC.PFM = 1 の場合、本 IP は送信要求として MTPFC2.MPFR を使用します。PAUSE フレームの送信後、MMPFTCT がインクリメントされます。

本 IP が他のフレームを送信している間に PAUSE フレームの送信要求がアサートされると、送信中のフレームの後で PAUSE フレームが送信されます。

2. 送信要求がアサートされている間、PAUSE フレームが MTPFC.PFRT で設定された一定の間隔で連続的に再送信されます。再送信回数が MTPFC.PFRLV の値に達した場合、本 IP は割り込みのために MEIS.PFRROS を 1 にします。割り込みを検出した場合でも、本 IP は送信要求がアサートされている間は PAUSE フレームの再送信を継続します。
3. 送信要求のデアサート後、本 IP は PAUSE フレームの送信を停止します。このとき、MTPFC2.PFTTZ = 1 で、かつ休止期間をカウントする内部カウンタが MTPFC.PFRT (*) の値を超えた場合、本 IP は「PAUSE_TIME」フィールドが 0 であるもう 1 つの PAUSE フレームを送信します。

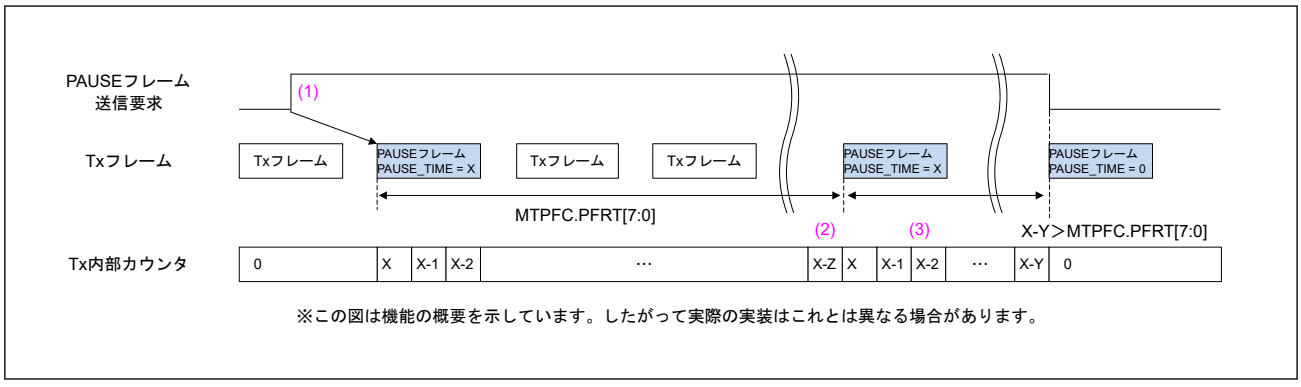


図 33.16 PAUSE フレームの送信

33.6.2.1.2 PAUSE フレームの受信

1. MRGC.PFRC=1 である間、この IP は PAUSE フレームを受信し、受信 PAUSE フレームの「PAUSE_TIME」フィールドで指定された内部休止期間のカウントを開始します。休止期間をカウントしている間、上位レイヤ（例：MHD）や MRPFM.PTCA への PAUSE フレーム受信の通知がアサートされます。Verify_packet、Respond_packet、PAUSE フレーム以外のすべての送信は、抑止されます。この IP がフレームの送信中に PAUSE フレームを受信すると、その送信の完了後に送信が抑止されます。
2. 内部休止期間の期限が切れる前に「PAUSE_TIME≠0」の PAUSE フレームを再び受信すると、内部カウンタはその値に更新されます。
3. 内部休止期間の期限が切れると、上位レイヤ（例：MHD）や MRPFM.PTCA への PAUSE フレーム受信の通知がデアサートされます。
4. 内部休止期間の期限が切れる前に、MRGC.PFRTZ=1 および「PAUSE_TIME=0」の PAUSE フレームを受信すると、内部カウンタがクリアされます。上位レイヤ（例：MHD）や MRPFM.PTCA への PAUSE フレーム受信の通知はデアサートされます。
   どんな場合でも、MRGC.PFRC = 1 で PAUSE フレームを受信すると、MPFRCT はインクリメントします。受信した PAUSE フレームは内部的に破棄されます。

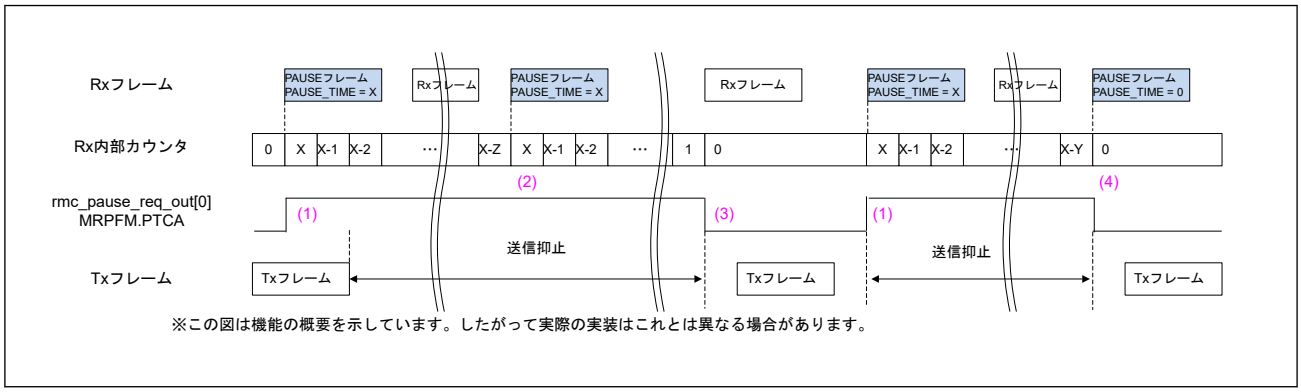


図 33.17 PAUSE フレームの受信

33.6.2.2 PFC フレームによるフロー制御

このフロー制御は、全二重モードの動作用で、PFC フレームの送信と受信で構成されます。

33.6.2.2.1 PFC フレームの送信

MTFFC.FCM = 1 かつ MTPFC.PT[15:0]≠0 のとき、PFC フレームの送信機能が有効になります。

本 IP は、複数の優先順位を PFC フレームの送信に対する 1 つの優先順位グループとして取り扱います。優先グループの番号は 2 です。各優先順位グループは MTPFC30 と MTPFC31 で設定されます。

本 IP は、送信要求をアサートすることで図 33.18 に記載した各優先順位グループの PFC フレームを送信します。「PAUSE_TIME」フィールドには MTPFC.PT[15:0]の値が使用されます。「Priority_Enable」フィールドの値は優先順位グループごとに異なり、これらのフィールドには MTPFC30.PFCPG と MTPFC31.PFCPG の値が使用されます。また、「SA」フィールドには MRMAC0 と MRMAC1 が使用されます。MTPFC30.PFCPG（または MTPFC31.PFCPG）がすべて 0 に設定された場合、本 IP は送信要求がアサートされても優先順位グループ 0（または優先順位グループ 1）の PFC フレームを送信しません。

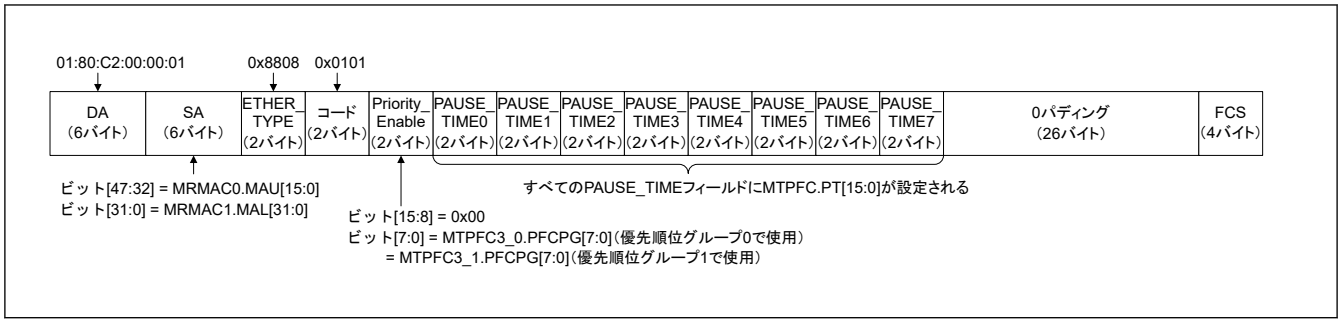


図 33.18　PFC フレームフォーマット

- 自動 PFC フレーム
  MTPFC.PFM = 0 の場合、本 IP は送信要求としてハードウェア PAUSE 送信要求を使用します。ビット[0]は優先順位グループ 0 に対応し、ビット[1]は優先順位グループ 1 に対応します。各優先順位グループの PFC フレームが送信された後、MAPCFTCT0 と MAPCFTCT1 がそれぞれインクリメントされます。
- 手動 PFC フレーム
  MTPFC.PFM = 1 の場合、本 IP は送信要求として MTPFC2.MPFCFRn を使用します。ビット[0]は優先順位グループ 0 に対応し、ビット[1]は優先順位グループ 1 に対応します。各優先順位グループの PFC フレームが送信された後、MMPCFTCT0 と MMPCFTCT1 がそれぞれインクリメントされます。

複数の送信要求が同時にアサートされた場合、Priority_Enable の情報を統合した単一の PFC フレームが送信されます。

他のフレームの送信中に複数の送信要求がアサートされた場合、内部カウンタがクリアされ、Priority_Enable の情報を統合した単一の PFC フレームが転送されます。

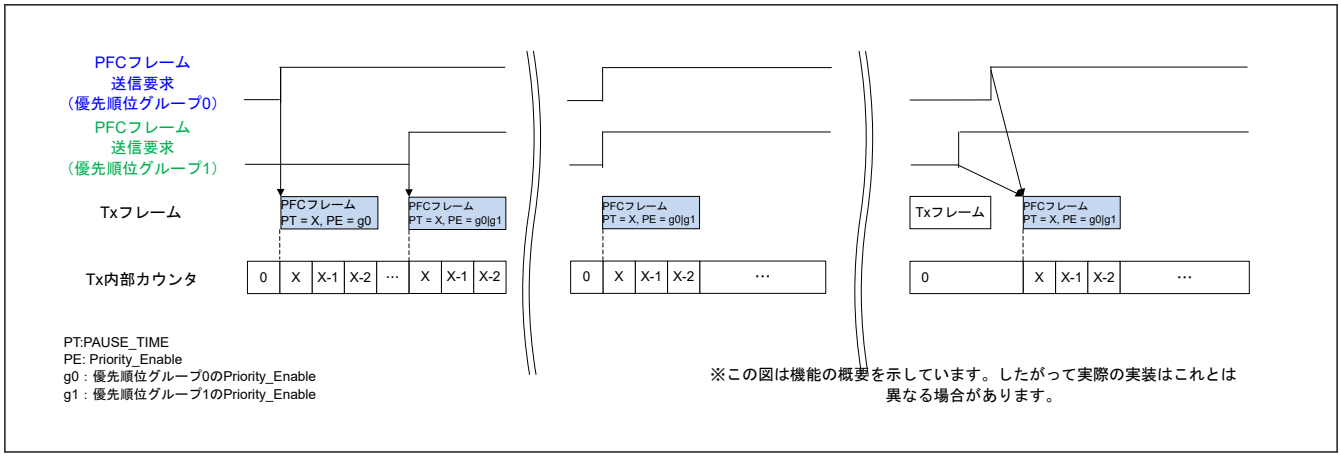


図 33.19　PFC フレームの送信（その 1）

送信要求がアサートされている間、その要求に対応する PFC フレームが MTPFC.PFRT で設定された一定の間隔で連続的に再送信されます。いずれかの優先順位グループの再送信回数が MTPFC.PFRLV の値に達した場合、本 IP は割り込みのために MEIS.PFRROS を 1 にします。割り込みを検出した場合でも、本 IP は送信要求がアサートされている間は PFC フレームの再送信を継続します。

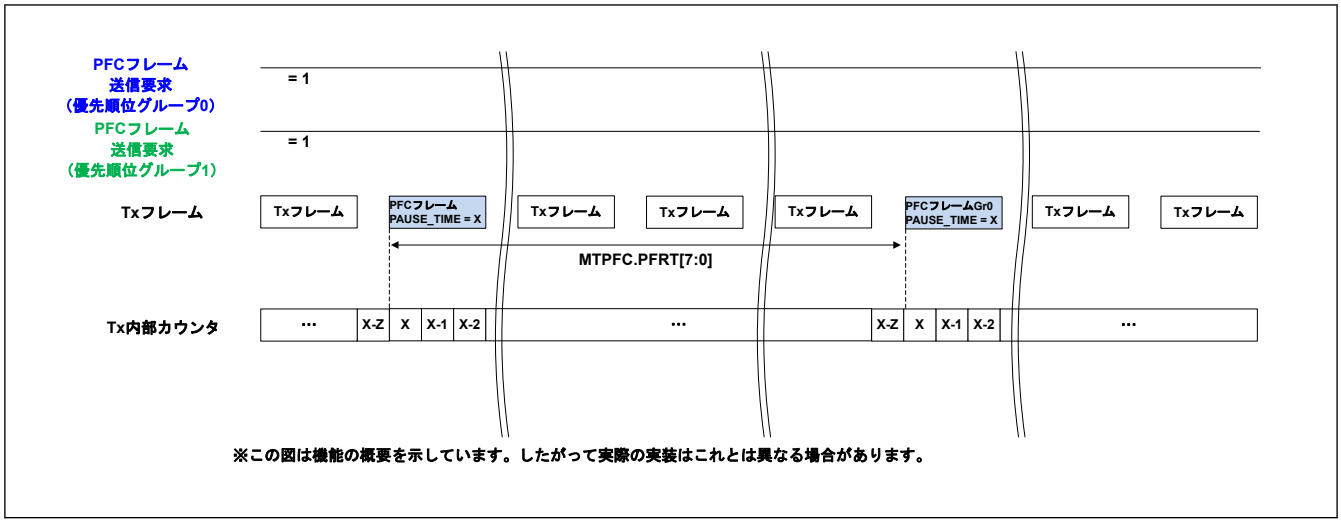


図 33.20　PFC フレームの送信（その 2）

送信要求のデアサート後、本 IP はその要求に対応する PFC フレームの送信を停止します。このとき、デアサートされた優先順位グループ要求の MTPFC2.PFCTTZn の対応するビットが 1 で、かつ休止期間をカウントする内部カウンタが MTPFC.PFRT (*) の値を超えた場合、本 IP はその優先順位グループのすべての「PAUSE_TIME」フィールドが 0 であるもう 1 つの PAUSE フレームを送信します。

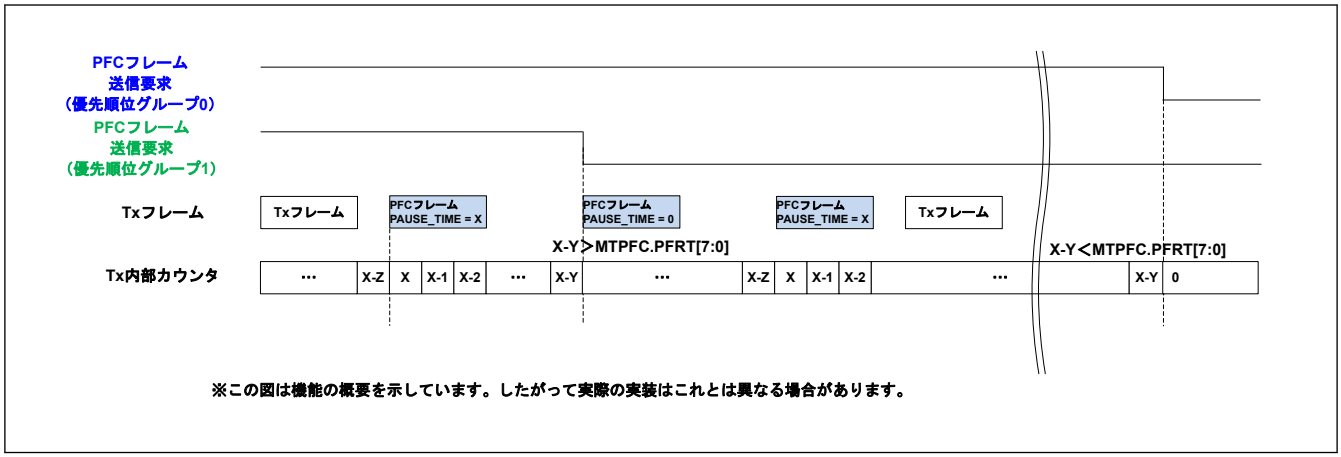


図 33.21　PFC フレームの送信（その 3）

33.6.2.2.2　PFC フレームの受信

この IP は、受信 PFC フレームで指定されたいくつかの優先順位を扱います。サポートされる優先順位の数は 8 です。

1. この IP が、MRGC.PFCRCn で設定された優先順位に対応する優先順位有効フィールドと一緒に PFC フレームを受信すると、受信 PFC フレームの各「PAUSE_TIME」フィールドで個別に指定された優先順位ごとに、休止期間のカウントを内部的に開始します。休止期間のカウント中に、上位レイヤ（例：MHD）と各優先順位に対応する MRPFM.PFCTCAn への PFC フレーム受信の通知がアサートされます。ビット番号は、優先順位番号に対応します。
2. 内部休止期間が満了する前に、有効な「priority_enable」フィールドに対応する「PAUSE_TIME≠0」と一緒に PFC フレームを再び受信すると、その優先順位の内部カウンタはその値に更新されます。
3. 内部休止期間が満了する前に、有効な「priority_enable」フィールドに対応する「PAUSE_TIME = 0」と一緒に MRGC.PFRTZ = 1 および PFC フレームを受信すると、その優先順位の内部カウンタはクリアされ、上位レイヤ（例：MHD）とその優先順位の MRPFM.PFCTCAn への PAUSE フレーム受信の通知がデアサートされます。
4. 内部休止期間が満了すると、上位レイヤ（例：MHD）とその優先順位の MRPFM.PFCTCAn への PAUSE フレーム受信の通知がデアサートされます。

いずれにせよ、MPCFRCT0 から MPCFRCT7 は、MRGC.PFCRCn によって優先順位が有効にされる PFC フレームを受信した後に、それぞれインクリメントします。受信した PFC フレームはすべて内部的に破棄されます。

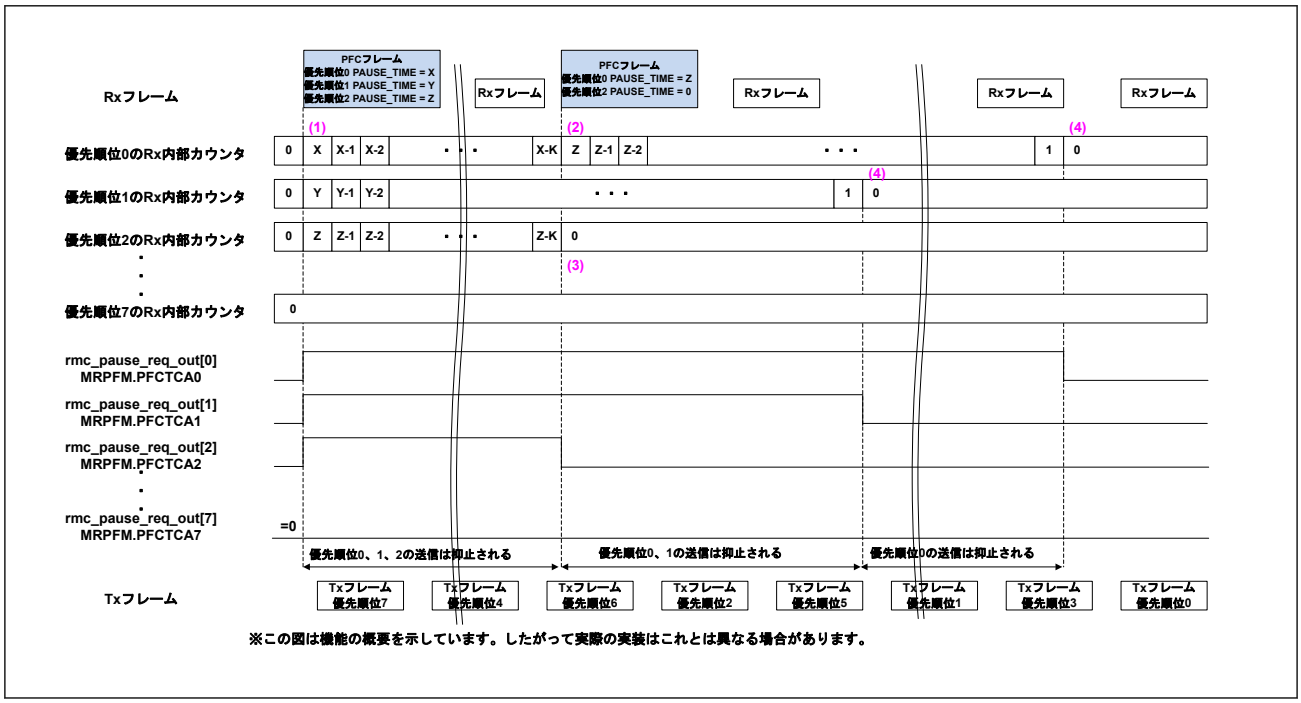


図 33.22 PAUSE フレームの受信

33.6.3 タイムスタンプ

この IP は、IEEE 1588 の時間同期をサポートします。マイクロ秒未満の範囲での時間同期精度をサポートしています。

33.6.3.1 タイムスタンプキャプチャ

この IP は、TX 側と RX 側の両方でタイムスタンプをキャプチャできます。gPTP タイマ値には、2 つの 62 ビットタイマが含まれます。ビット[61:0]はタイマ 0 で、ビット[123:62]はタイマ 1 です。

【TX 側でのタイムスタンプキャプチャ】

[GWCA]の「タイムスタンプキャプチャ」と「タイマ番号」フィールドは、この機能を制御します（e フレームと p フレームの両方）。これらは、Tx ディスクリプタで設定されます。「タイムスタンプキャプチャ」が 1 の場合、「タイマ番号」フィールドで指定されるタイマがキャプチャされます。

キャプチャされたタイムスタンプは、MHD Tx タイムスタンプキャプチャインタフェースを介して、[GWCA]にある「タイムスタンプ一意番号」と一緒に上位モジュール（例：MHD）に送信されます。

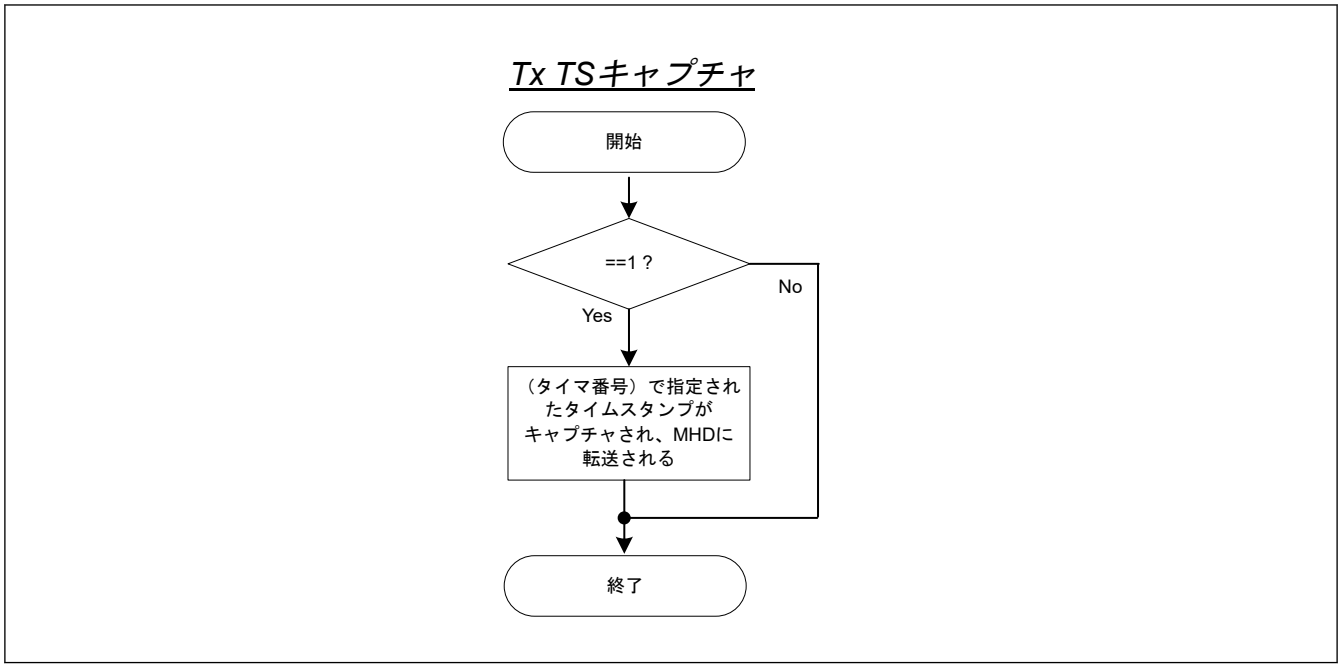


図 33.23　Tx タイムスタンプキャプチャフロー

注.　Tx 側では、タイムスタンプキャプチャ機能は、この IP と PHY で同時に許可されます。

【RX 側でのタイムスタンプキャプチャ】

MTRC.TRDDE、MTRC.TRDDP、および MTRC.TRHFMEn で、この機能を制御します。

タイムスタンプキャプチャの設定は、以下の通りです。

- MTRC.TRDDE は、e フレームについてこの機能を制御します。
  - MTRC.TRDDE = 0
    受信された e フレームについて、MTRC.DTN で設定されたデフォルトのタイマをキャプチャします。
- MTRC.TRDDP は、p フレームについてこの機能を制御します。
  - MTRC.TRDDP = 0
    受信された p フレームについて、MTRC.DTN で設定されたデフォルトのタイマをキャプチャします。
- MTRC.TRHFMEn は、HW PTP メッセージフィルタリングを使用して、e フレームについてこの機能を制御します。
  ビット[0]はタイマ 0 用で、ビット[1]はタイマ 1 用です。
  HW PTP メッセージフィルタの使用方法については、図 33.26 を参照してください。
  - TRHFMEn = x1 で、受信した e フレームがタイマ 0 の HW PTP メッセージフィルタと一致
    その受信した e フレームのタイマ 0 がキャプチャされます。
  - TRHFMEn = 10 で、受信した e フレームがタイマ 0 の HW PTP メッセージフィルタと一致
    その受信した e フレームのタイマ 1 がキャプチャされます。
  - TRHFMEn = 11 で、受信した e フレームがタイマ 0 と 1 の HW PTP メッセージフィルタと一致
    その受信した e フレームのタイマ 0 がキャプチャされます。

キャプチャされたタイムスタンプは、受信したフレームを使用して、この IP から出力されます。

図 33.25 に、Rx のタイムスタンプキャプチャフローを示します。

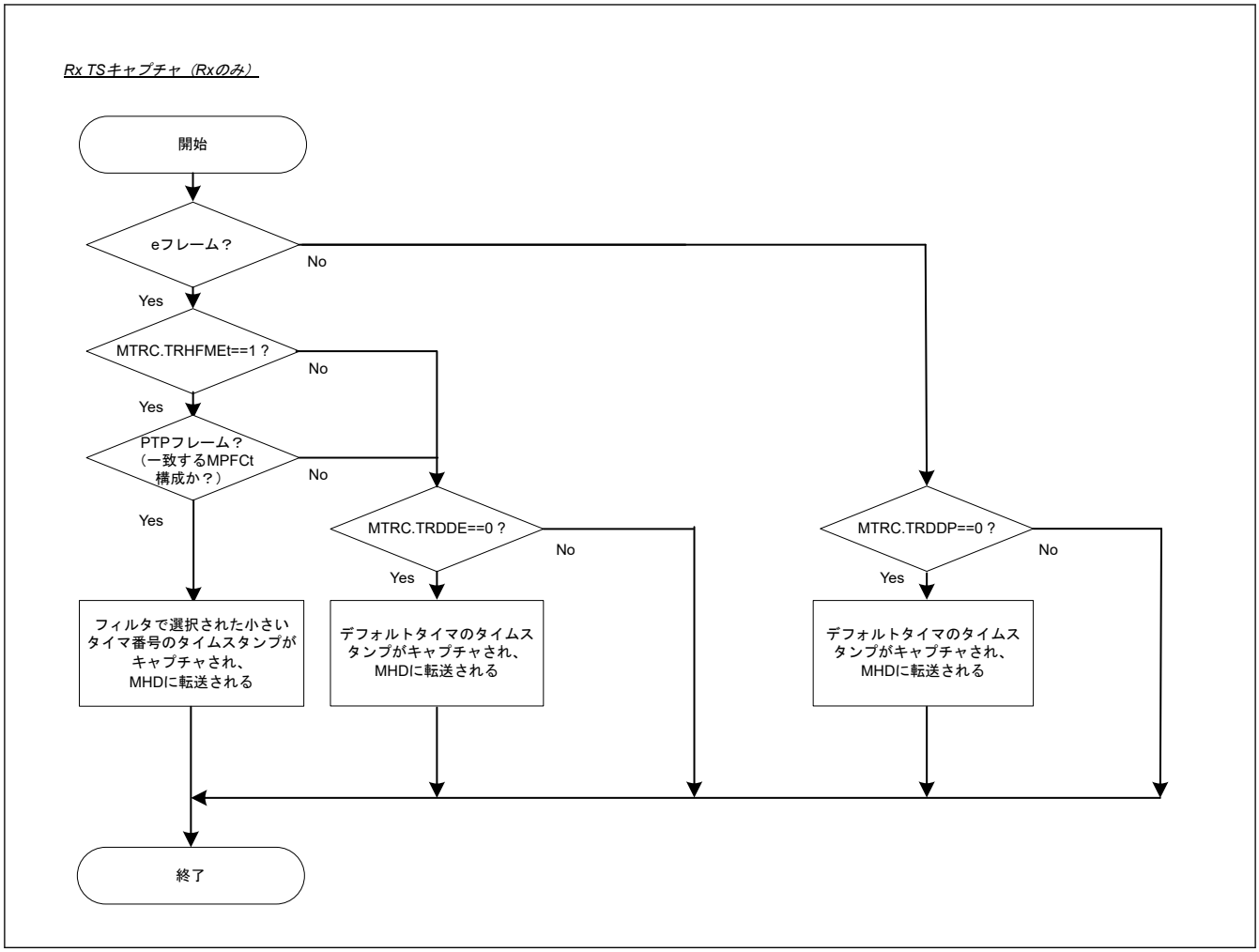


図 33.24　Rx TS キャプチャ（Rx のみ）

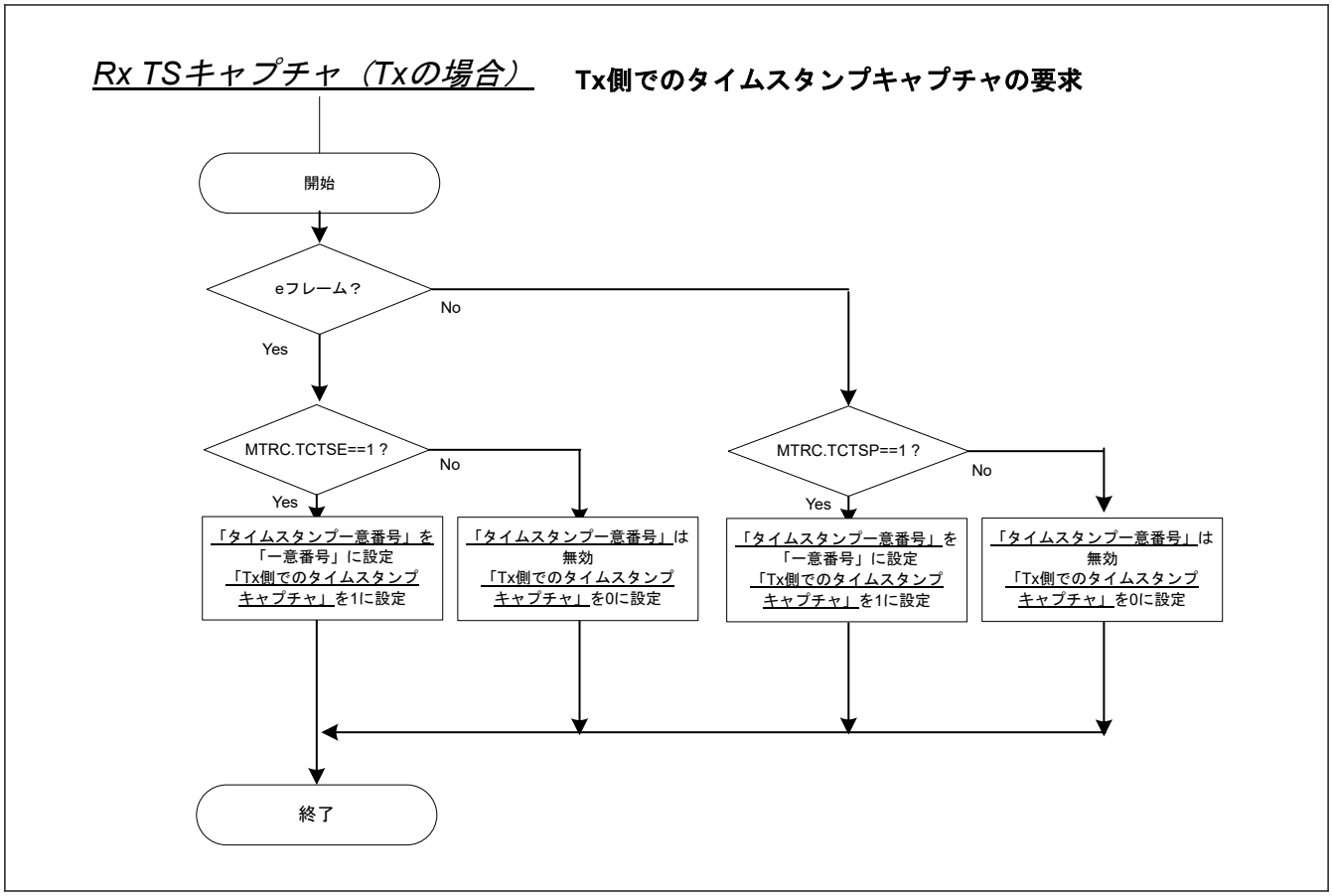


図 33.25　Rx タイムスタンプキャプチャフロー

【HW PTP フィルタの設定】

HW PTP メッセージフィルタは、MPFC0-15 を使用して設定されます。図 33.26 に、PTP メッセージフィルタの設定例を示します。これは、MTRC.TRHFMEn = 11 の例です。

この場合：

MPFC0-7 はタイマ 0 とタイマ 1 の両方のフィルタとして使用されます。TEF フィールドが 0x03 に設定されているためです。

MPFC8 はタイマ 0 のフィルタとして使用されます。TEF フィールドが 0x01 に設定されているためです。

MPFC9 はタイマ 1 のフィルタとして使用されます。TEF フィールドが 0x02 に設定されているためです。

MPFC10-15 は使用されません。TEF フィールドが 0x00 に設定されているためです。

e フレームがすべての MPFC0-7 と MPFC8 に一致する場合、タイマ 0 ドメインのフレームと見なされます。

e フレームがすべての MPFC0-7 と MPFC9 に一致する場合、タイマ 1 ドメインのフレームと見なされます。

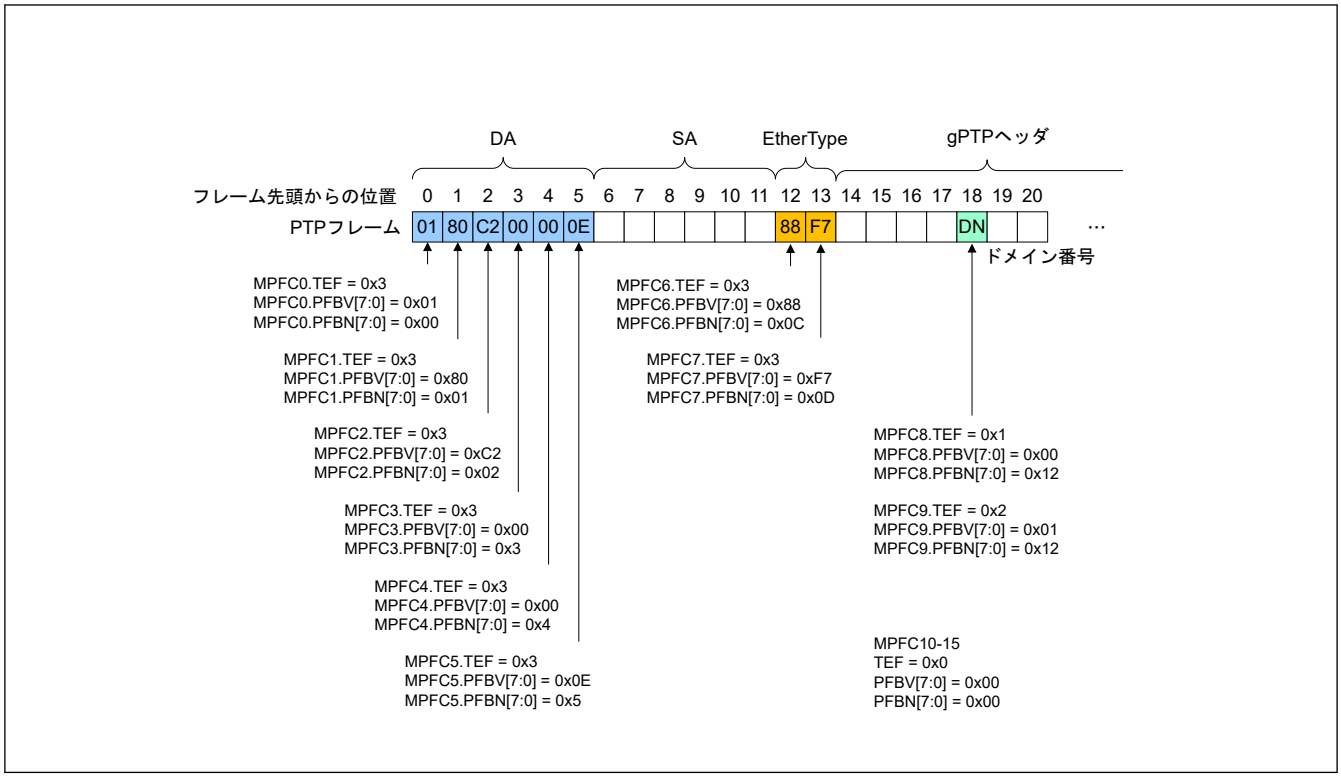


図 33.26　PTP メッセージフィルタの設定例

注.
- フィルタの設定によっては、フレームは両方のフィルタと一致する場合があります。この場合、タイマ 0 が選択されています。
- PFBN は、フレームの末尾を超える位置を選択できません。そのため、この値を最小フレームサイズ以下にすることをお勧めします。

33.6.4　ステーション管理

ステーション管理は、PHY の管理レジスタへのアクセスを制御します。

この機能では、rmc_mdi、rmc_mdo、rmc_mde、rmc_mdc、および rmc_mdio_int が使用されます。

33.6.4.1　管理レジスタアクセス

この IP には 2 つのタイプのアクセス方法があります。1 つは、IEEE802.3 の条項 22 で指定されているもので、もう 1 つは条項 45 で指定されているものです。

33.6.4.1.1　条項 22 に規定されたアクセス方法

管理フレームフォーマットを使用してこのアクセス方法をサポートする PHY の管理レジスタの書き込みまたは読み出しを行うには、以下の手順を実行します。

【書き込みアクセス】

MPSM を以下のように設定します。

PRD[15:0] =「書き込みデータ」

POP[1:0] = 01

PRA[4:0] =「レジスタアドレス」

PDA[4:0] =「PHY アドレス」

MFF = 0

PSME = 1

設定後、アクセス中は MPSM.PSME は 1 のまま保持されます。アクセス完了の印として、割り込みを検出する (MMIS1.PWACS = 1) か MPSM.PSME が 0 になるまで待ちます。

このとき、MMIE1.PWACE が 1 であれば、rmc_mdio_int に割り込みが現れます。

MMIS1.PWACS を 0 にして割り込みをクリアします。

【読み出しアクセス】

MPSM を以下のように設定します。

PRD[15:0] =「0x00」

POP[1:0] = 10

PRA[4:0] =「レジスタアドレス」

PDA[4:0] =「PHY アドレス」

MFF = 0

PSME = 1

設定後、アクセス中は MPSM.PSME は 1 のまま保持されます。アクセス完了の印として、割り込みを検出する (MMIS1.PRACS = 1) か MPSM.PSME が 0 になるまで待ちます。

このとき、MMIE1.PRACE が 1 であれば、rmc_mdio_int に割り込みが現れます。

読み出しアクセスの完了後、読み出したデータは MPSM.PRD[15:0]に格納されます。それを読み出します。

MMIS1.PRACS を 0 にして割り込みをクリアします。

注. MPSM.PSME が 1 に設定された場合、本 IP は書き込みまたは読み出しアクセスの前に規格で規定された固定長のプリアンブルコードを rmc_mdo で出力します。IEEE802.3 の条項 22 では、プリアンブルコードの間引きは許可されています。プリアンブルコードが不要で、PHY がプリアンブルコードの間引きをサポートしている場合、MPIC.PSMDP を 1 に設定することによって、この IP はプリアンブルコードを出力しません。

33.6.4.1.2 条項 45 に規定されたアクセス方法

拡張管理フレームフォーマットを使用してこのアクセス方法をサポートする PHY の管理レジスタの書き込みまたは読み出しを行うには、以下の手順を実行します。

【書き込みアクセス】

1. MPSM を以下のように設定します。(「レジスタアドレス」は PHY に設定)
   PRD[15:0] =「レジスタアドレス」
   POP[1:0] = 00
   PRA[4:0] =「デバイスアドレス」
   PDA[4:0] =「ポートアドレス」
   MFF = 1
   PSME = 1
   設定後、アクセス中は MPSM.PSME は 1 のまま保持されます。アクセス完了の印として、割り込みを検出する (MMIS1.PAACS = 1) か MPSM.PSME が 0 になるまで待ちます。
   このとき、MMIE1.PAACE が 1 であれば、rmc_mdio_int に割り込みが現れます。
   MMIS1.PWACS を 0 にして割り込みをクリアします。
2. MPSM を以下のように設定します。(「書き込みデータ」はステップ 1 で設定した「レジスタアドレス」に設定)
   PRD[15:0] =「書き込みデータ」
   POP[1:0] = 01
   PRA[4:0] =「デバイスアドレス」
   PDA[4:0] =「ポートアドレス」
   MFF = 1
   PSME = 1
   設定後、アクセス中は MPSM.PSME は 1 のまま保持されます。アクセス完了の印として、割り込みを検出する (MMIS1.PWACS = 1) か MPSM.PSME が 0 になるまで待ちます。
   このとき、MMIE1.PWACE が 1 であれば、rmc_mdio_int に割り込みが現れます。
   MMIS1.PWACS を 0 にして割り込みをクリアします。

【読み出しアクセス】

1. MPSM を以下のように設定します。(「レジスタアドレス」は PHY に設定)

PRD[15:0] =「レジスタアドレス」
POP[1:0] = 00
PRA[4:0] =「デバイスアドレス」
PDA[4:0] =「ポートアドレス」
MFF = 1
PSME = 1
設定後、アクセス中は MPSM.PSME は 1 のまま保持されます。アクセス完了の印として、割り込みを検出する (MMIS1.PAACS = 1) か MPSM.PSME が 0 になるまで待ちます。
このとき、MMIE1.PAACE が 1 であれば、rmc_mdio_int に割り込みが現れます。
MMIS1.PWACS を 0 にして割り込みをクリアします。

2. MPSM を以下のように設定します。(前のステップで示したレジスタアドレスの読み出しアクセス)
PRD[15:0] = 0x00
POP[1:0] = 11
PRA[4:0] =「デバイスアドレス」
PDA[4:0] =「ポートアドレス」
MFF = 1
PSME = 1
設定後、アクセス中は MPSM.PSME は 1 のまま保持されます。アクセス完了の印として、割り込みを検出する (MMIS1.PRACS = 1) か MPSM.PSME が 0 になるまで待ちます。
このとき、MMIE1.PRACE が 1 であれば、rmc_mdio_int に割り込みが現れます。
読み出しアクセスの完了後、読み出したデータは MPSM.PRD[15:0]に格納されます。それを読み出します。
MMIS1.PRACS を 0 にして割り込みをクリアします。

【読み出し後のインクリメントアクセス】

読み出しアクセスでは、「レジスタアドレス」を毎回設定する必要があります。連続するレジスタアドレスフィールドを継続して読み出す場合にのみ、このアクセス (POP[1:0] = 10) を使用すると効率的です。

1. MPSM を以下のように設定します。(「レジスタアドレス」は PHY に設定)
PRD[15:0] =「レジスタアドレス」
POP[1:0] = 00
PRA[4:0] =「デバイスアドレス」
PDA[4:0] =「ポートアドレス」
MFF = 1
PSME = 1
設定後、アクセス中は MPSM.PSME は 1 のまま保持されます。アクセス完了の印として、割り込みを検出する (MMIS1.PAACS = 1) か MPSM.PSME が 0 になるまで待ちます。
このとき、MMIE1.PAACE が 1 であれば、rmc_mdio_int に割り込みが現れます。
MMIS1.PWACS を 0 にして割り込みをクリアします。

2. MPSM を以下のように設定します。(前のステップで示したレジスタアドレスの読み出しアクセス)
PRD[15:0] = 0x00
POP[1:0] = 10
PRA[4:0] =「デバイスアドレス」
PDA[4:0] =「ポートアドレス」
MFF = 1
PSME = 1
設定後、アクセス中は MPSM.PSME は 1 のまま保持されます。アクセス完了の印として、割り込みを検出する (MMIS1.PPRACS = 1) か MPSM.PSME が 0 になるまで待ちます。
このとき、MMIE1.PPRACE が 1 であれば、rmc_mdio_int に割り込みが現れます。
読み出しアクセスの完了後、読み出したデータは MPSM.PRD[15:0]に格納されます。それを読み出します。また、ステップ 1 で設定した「レジスタアドレス」は、PHY で自動的に次のレジスタアドレスフィールドを指すように変更されます。したがって、次の読み出しアクセスのために「レジスタアドレス」を再設定する必要はありません。
MMIS1.PPRACS を 0 にして割り込みをクリアします。

3. 次のレジスタアドレスフィールドからの読み出しアクセスについて、ステップ 2 を繰り返します。

注. MPSM.PSME が 1 の場合、本 IP は書き込みまたは読み出しアクセスの前に規格で規定された固定長のプリアンブルコードを rmc_mdo で出力します。プリアンブルコードのスキップは、IEEE802.3 条項 45 で禁止されています。ただ

し、このアクセス方法では、MPIC.PSMDP を 1 にすることでプリアンブルコードのスキップもサポートされます。この機能を使用する場合は、PHY の仕様を確認してください。

33.6.4.2 管理データクロック (MDC) 設定

PHY で管理レジスタにアクセスするために、この IP は MDC を出力します。これは、この IP で CHI クロック (clk) を分割して生成し、rmc_mdc から出力します。MPIC.PSMCS で分周比を設定できます。

以下の表に、MPIC.PSMCS に応じてプログラムされた MDC 周波数を示します。MDC 周波数は、clk[MHz] / ((MPIC.PSMCS +1)*2) で計算されます。

表 33.7 MPIC.PSMCS のプログラミング例

clk 周波数	MPIC.PSMCS	MDC 周波数
100 MHz	0x13	2.5 MHz
200 MHz	0x27	2.5 MHz

注. IEEE 802.3 では、クロックを 2.5 MHz より低くするように指示されています。ただし、一部の PHY はより高い周波数で動作できます。詳細については、PHY の仕様を参照してください。

33.6.4.3 管理データタイミング調整

この IP は、MDO（rmc_mdo および rmc_mde）の駆動タイミングと MDI (rmc_mdi) のキャプチャタイミングを調整します。PCB での伝播遅延に使用できます。

駆動タイミングは、PHY ステーション管理ホールド時間調整 (MPIC.PSMHT) によって調整できます。キャプチャタイミングは、PHY ステーション管理キャプチャ時間調整 (MPIC.PSMCT) によって調整できます。以下の図に、2CLK サイクルでシフトされた例を示します。

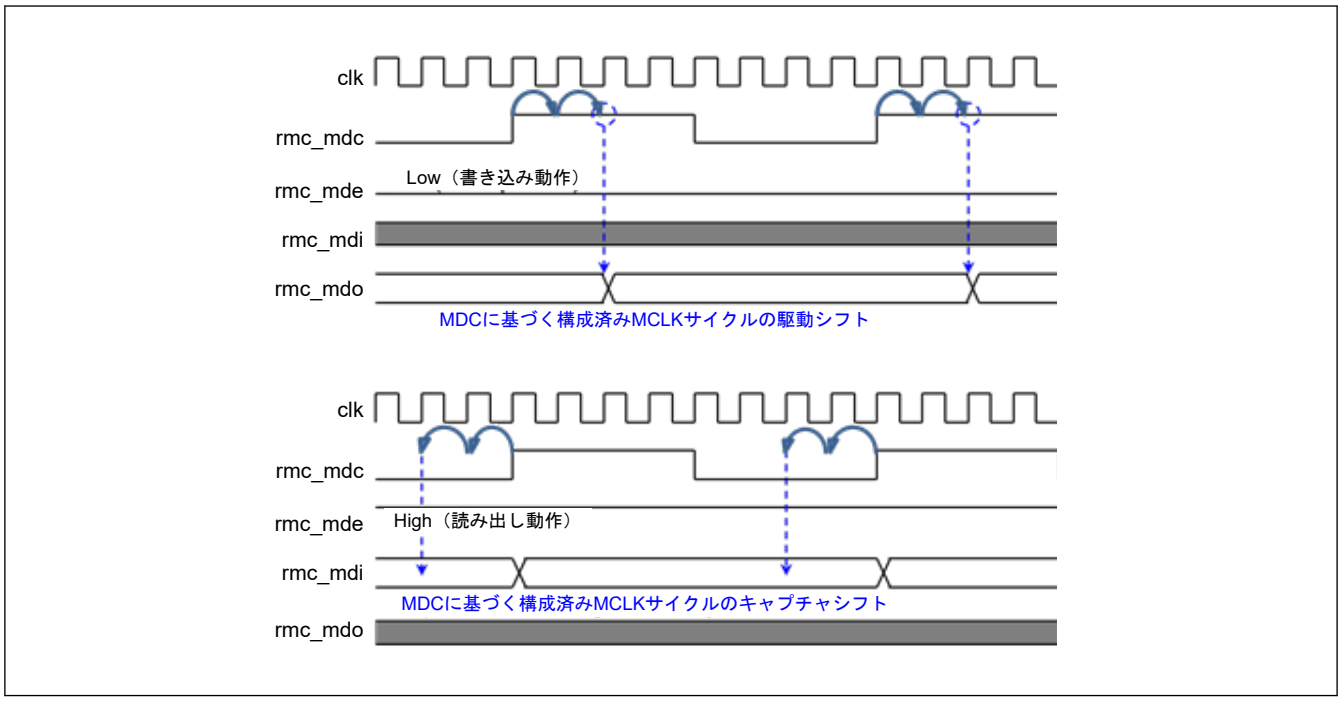


図 33.27 管理データタイミング調整

33.6.5 EEE (Energy Efficient Ethernet)

本 IP は、IEEE 802.3 で標準化されている EEE (Energy Efficient Ethernet) をサポートします。Tx-LPI モードと Rx-LPI モードを個別に起動できます。

33.6.5.1 LPI 制御

本 IP は、LPI 要求ビット (MEEEC.LPITR) がアサートされたときに、PHY に対して Tx ポートの LPI モードを要求できます。LPI モードは、このビットがネゲートされたときに解除されます。動作フローの詳細は、「33.5.2.5. Tx ポートの LPI 遷移」を参照してください。

また、Rx ポートの LPI モードは受信 LPI 割り込みステータスビット (MMIS2.LPIAIS) によって認識できます。ビット (MMIS2.LPIDIS) がアサートされた場合は、RMAC が LPI のデアサートを検出したことを意味します。

表 33.8 と表 33.9 に、各 xMII インタフェースの LPI 仕様を示します。MII または GMII の仕様は、IEEE802.3 によって規定されています。

表 33.8 各 xMII インタフェースの Rx LPI 仕様

PHY IF	RX_DV	RX_ER	RXD
MII	rmc_rx_valid_gmii = 0	rmc_rx_err_gmii = 1	rmc_rx_data_gmii[3:0] = 0001
GMII	rmc_rx_valid_gmii = 0	rmc_rx_err_gmii = 1	rmc_rx_data_gmii[7:0] = 00000001

表 33.9 各 xMII インタフェースの Tx LPI 仕様

PHY IF	TX_EN	TX_ER	TXD
MII	rmc_tx_valid_gmii = 0	rmc_tx_err_gmii = 1	rmc_tx_data_gmii [3:0] = 0001
GMII	rmc_tx_valid_gmii = 0	rmc_tx_err_gmii = 1	rmc_tx_data_gmii [7:0] = 00000001

33.6.6 受信時における MAC アドレスのフィルタリング

この IP は、全二重動作モードでのフレーム受信をサポートします。

この IP は、xMII インタフェースを介して、受信したすべてのイーサネットフレームデータを上位レイヤに渡すことができます。

この IP は、すべてのフレームから、SFD/SMD、プリアンブル、FRAG_COUNT、mCRC を自動で除去します。

上位レイヤによる FCS 受信は、MRGC.RCPT レジスタを介して設定できます。

この IP は、特別な形式を持つフレームを識別し、上位レイヤに通知します。これは、ペイロードデータの後に続くステータス情報の中で、専用フラグを用いて示します。以下の表に、特別な形式を持つフレームを示します。

表 33.10 特別な形式のフレームに関する動作 (1/2)

フレーム	フォーマット	動作
ブロードキャストフレーム	DA : FF_FF_FF_FF_FF_FF	フィルタリング可能。
マルチキャストフレーム	DA : B'xxxx_xxx1_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	フィルタリング可能。
PAUSE フレーム	DA : 01_80_C2_00_00_01 タイプ : 88_08 オペコード : 00_01	この IP はフロー制御を扱います。詳細については、8.2 「休止情報は上位レイヤに送信されない」を参照してください。
PFC フレーム	DA : 01_80_C2_00_00_01 タイプ : 88_08 オペコード : 01_01	この IP はフロー制御を扱います。詳細については、8.2 「休止情報は上位レイヤに送信されない」を参照してください。

表 33.10 特別な形式のフレームに関する動作 (2/2)

フレーム	フォーマット	動作
Magic Packet	MAC アドレス (MRMAC.MA) が 00-11-22-33-44-55h の場合、この IP はデータシーケンスについてスキャンします。 宛先アドレス 送信元アドレス .....MISC..... FF FF FF FF FF FF 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 .....MISC..... FCS このシーケンスは、Magic Packet ペイロードの任意の場所に配置できます。 Magic Packet は、標準イーサネットヘッダと FCS で形成されます。	割り込み。 上位レイヤに情報を提供します。 Magic Packet 割り込み (MMIS2.MPDIS) を提供します。 Magic Packet は、E フレームとしてのみ検出されます。

この IP は、ユニキャスト、マルチキャスト、ブロードキャスト、ブロードキャストストーム（連続したブロードキャストフレームの受信）、マルチキャストストーム（連続したマルチキャストフレームの受信）に関して、MAC アドレスのフィルタリングをサポートします。アドレスフィルタリングでは、受信フレームの宛先アドレス (DA) と送信元アドレス (SA) を使用します。フィルタ条件を満たすと、受信フレームは上位レイヤに転送されます。条件を満たさない場合、受信フレームは[ETHA]にある「フレームフィルタ済み」のエラーフラグとともに上位レイヤに転送されます。

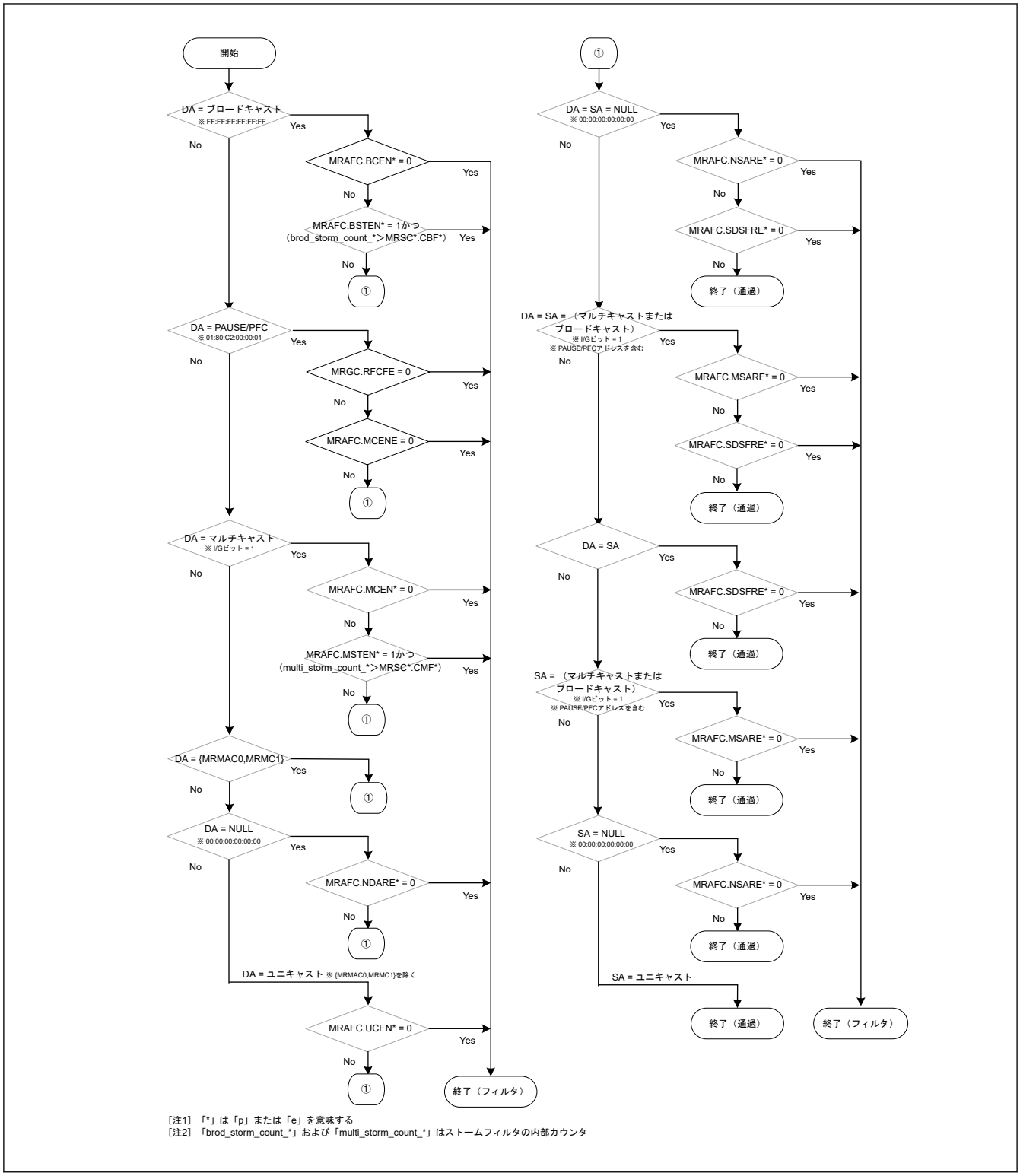
フィルタ条件は、受信フィルタ設定レジスタ (MRAFC) で設定されます。ユニキャストアドレス、マルチキャストアドレス、ブロードキャストアドレスに対して、個別に設定できます。

この IP はプロミスキャスモードもサポートします。

MRAFC.UCEN*、MCEN*、BCEN*、NDARE*、SDSFRE*、NSARE*、MSARE*が 1 に設定されると、すべてのフレームは「フレームフィルタ済み」のエラーフラグなしで上位レイヤに転送されます。

注：MRAFC 設定にかかわらず、上位レイヤに転送されていない応答がないか確認してください。

図 33.28 のフローでは、MAC アドレスのフィルタリングが示されています。



[注1] 「*」は「p」または「e」を意味する
[注2] 「brod_storm_count_*」および「multi_storm_count_*」はストームフィルタの内部カウンタ

図 33.28　MAC アドレスのフィルタリング

34. イーサネット CPU エージェント (GWCA)

34.1 概要

イーサネット CPU エージェント (GWCA) は、ESWM 内部の通信を実現するエージェントインタフェースモジュールで構成される CPU インタフェースです。GWCA は、ESWM と GWCPU サブシステムの間のデータ交換を処理します。ゲートウェイ AXI バスインタフェースの構成のためのソフトウェアが必要です。

表 34.1 に GWCA の仕様を、図 34.1 にブロック図を示します。

表 34.1 GWCA の仕様

機能		説明
インタフェース	スイッチモード	スイッチモードを受信するためのインタフェース[MFWD]
	一時停止インタフェース	TX キューを一時停止するためのインタフェース[COMA]
	AXI マスタインタフェース	AXI 3 AMBA プロトコルに準拠するマスタインタフェース。 GWCPU と GWCA の間のデータ転送に使用されます。 ● データビット幅: 128 ビット ● 未処理の読み出しの数: 8 ● 未処理の書き込みの数: 8 ● ID 読み出しの数: 8 (0～7) ● ID 書き込みの数: 8 (0～8-1) ● 内部アクセス専用 ● アライメントされていないトランザクションをサポート ● アウトオブオーダー実行をサポート ● 読み出しバスでインターリーブをサポート
	SFR インタフェース	GWCA SFR にアクセスするためのインタフェース[COMA]
	割り込み	CPU への GWCA 割り込み
	ファブリックインタフェース	データ、TAG、ポインタ RAM と通信するためのインタフェース[MFAB]
	ディスクリプタバス	フレーム情報を受信して CPU に送信するためのインタフェース[MFWD]
	L2/L3 更新バス	フレームルーティング情報をフェッチするためのインタフェース[MFWD]
	BP 要求	データ、TAG、ポインタ RAM にフレームを格納する BP を受信するためのインタフェース[COMA]
	BP の解放	使用されている BP を解放するためのインタフェース[COMA]
	TX タイムスタンプキャプチャインタフェース	TX タイムスタンプを受信して CPU に送信するためのインタフェース[RMAC]
	RAM インタフェース	RAM と通信するためのインタフェース[TOP]
データプロビジョニング	イーサネットフレーム	IEEE 802.3、802.1Q、802.1Cb 規格に応答[802.3] [802.1Q] [802.1CB]
	ディスクリプタ	AXI TX ディスクリプタ（CPU から GWCA へ） AXI RX ディスクリプタ（GWCA から CPU へ） ローカルイーサネットディスクリプタ、ローカル直接ディスクリプタ（GWCA から転送エンジンへ） 転送ディスクリプタ（転送エンジンから GWCA へ）
	タイムスタンプ	CPU RAM への送信用の TX タイムスタンプ[RMAC]

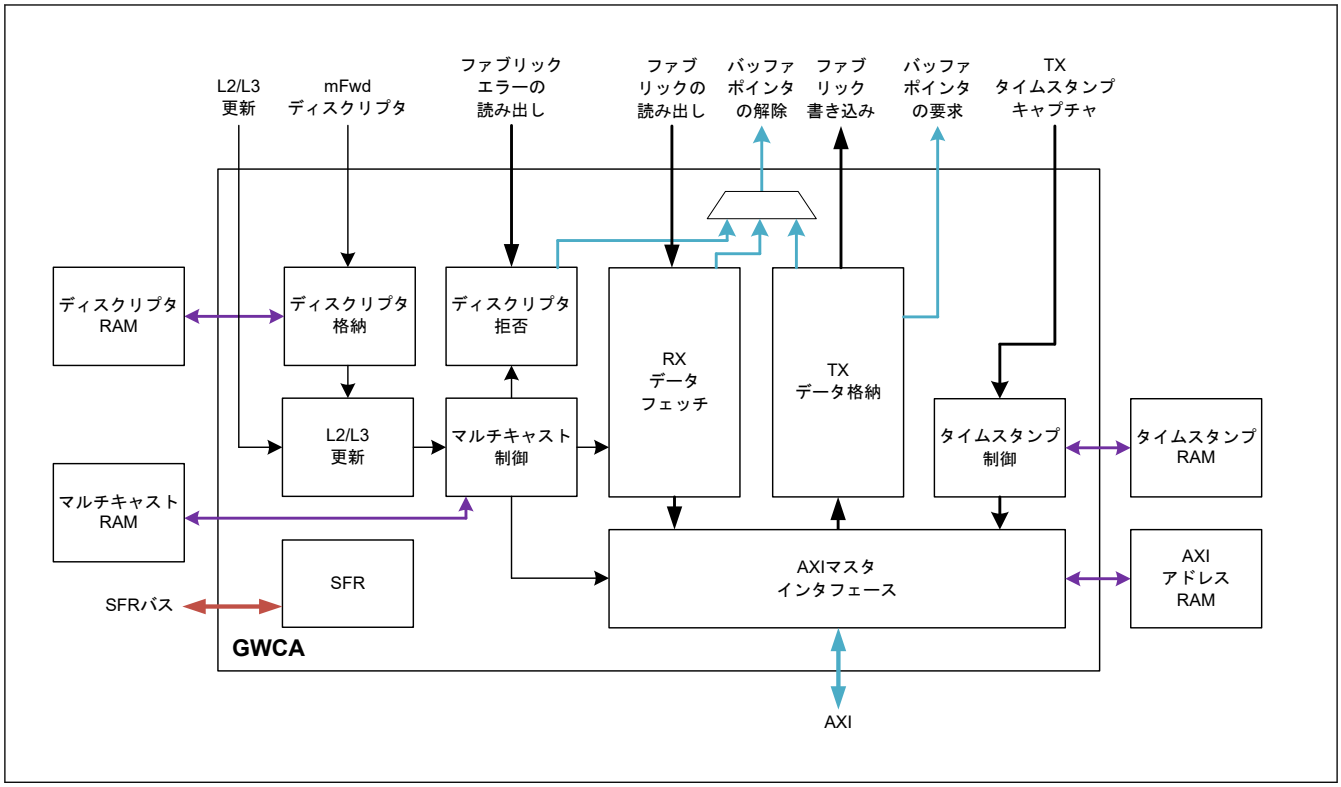


図 34.1　GWCA のブロック図

表 34.2　GWCA の機能ブロック

ブロック名	機能
TX データ格納	フレームを AXI マスタからローカル RAM に送信します。
RX データフェッチ	フレームをローカル RAM から AXI マスタに送信します。
ディスクリプタ格納	転送エンジンからディスクリプタを受信し、ディスクリプタ間で優先順位を制御します。
L2/L3 更新	L2/L3 更新情報をフェッチします。
ディスクリプタ拒否	ディスクリプタを拒否します。
マルチキャストの制御	マルチキャストトランザクションを制御します。
タイムスタンプの制御	イーサネットエージェントのタイムスタンプを受信し、それらを保存して AXI マスタに送信します。
AXI マスタインタフェース	CPU とのデータ交換用 AXI マスタ
SFR	GWCA SFR

34.2　GWCA のレジスター覧

表 34.3　GWCA レジスタ (1/4)

オフセットアドレス	レジスタシンボル	レジスタ名	ライトアクセスモード
0x0000	GWMC	モードコンフィグレーションレジスタ	任意
0x0004	GWMS	モードステータスレジスタ	—
0x0010	GWIRC	IPV 再マッピングコンフィグレーションレジスタ [802.1Q]	C
0x0014	GWRDQSC	RX ディスクリプタキューセキュリティコンフィグレーションレジスタ	C、O
0x0018	GWRDQC	RX ディスクリプタキューコントロールレジスタ	O
0x001C	GWRDQAC	RX ディスクリプタキューアービトレーションコントロールレジスタ	C

表 34.3 GWCA レジスタ (2/4)

オフセットアドレス	レジスタシンボル	レジスタ名	ライトアクセスモード
0x0020	GWRGC	RX 汎用コンフィグレーションレジスタ	C
0x0040 + 0x04 × q	GWRMFSCq	受信最大フレームサイズコンフィグレーションレジスタ q (q = 0～7)	C、O
0x0060 + 0x04 × q	GWRDQDCq	受信ディスクリプタキュー q 深度コンフィグレーションレジスタ (q = 0～7)	C
0x0080 + 0x04 × q	GWRDQMq	RX ディスクリプタキュー q 監視レジスタ (q = 0～7)	—
0x00A0 + 0x04 × q E: 0x00C0 + 0x04 × q	GWRDQMLMq	RX ディスクリプタキュー q 最大レベル監視レジスタ (q = 0～7)	—
0x0100	GWMTIRM	マルチキャストテーブル初期化レジスタ監視レジスタ	C、O
0x0104	GWMSTLS	マルチキャストテーブル学習設定レジスタ	C、O
0x0108	GWMSTLR	マルチキャストテーブル学習結果レジスタ	—
0x010C	GWMSTSS	マルチキャストテーブル検索設定レジスタ	C、O
0x0110	GWMSTSR	マルチキャストテーブル検索結果レジスタ	—
0x0120	GWMAC0	MAC アドレスコンフィグレーションレジスタ 0	C
0x0124	GWMAC1	MAC アドレスコンフィグレーションレジスタ 1	C
0x0130	GWVCC	VLAN 制御コンフィグレーションレジスタ	C
0x0134	GWVTC	VLAN TAG コンフィグレーションレジスタ	C
0x0138	GWTTFC	送信 TAG フィルタリングコンフィグレーションレジスタ	C
0x0140 + 0x08 × s	GWTDCACs0	タイムスタンプディスクリプタチェーン s アドレスコンフィグレーションレジスタ 0 (s = 0, 1)	C、O
0x0144 + 0x08 × s	GWTDCACs1	タイムスタンプディスクリプタチェーン s アドレスコンフィグレーションレジスタ 1 (s = 0, 1)	C、O
0x0160 + 0x04 × s	GWTSDCCs	タイムスタンプディスクリプタチェーン s コンフィグレーションレジスタ (s = 0, 1)	C
0x0180	GWTSNM	タイムスタンプ数監視レジスタ	C、O
0x0184 E：0x0188	GWTSMNM	タイムスタンプ最大数監視レジスタ	C、O
0x0190	GWAC	AXI コントロールレジスタ	O
0x0194	GWDCBAC0	ディスクリプタチェーンベースアドレスコンフィグレーションレジスタ 0	C
0x0198	GWDCBAC1	ディスクリプタチェーンベースアドレスコンフィグレーションレジスタ 1	C
0x01A0	GWMDNC	ディスクリプタ最大数コンフィグレーションレジスタ	C
0x0200 + 0x4 × i	GWTRCi	送信要求コンフィグレーションレジスタ i (i = 0, 1)	O
0x0300 + 0x4 × p	GWTPCp	送信一時停止コンフィグレーションレジスタ p (p = 0, 1)	C
0x0380	GWARIRM	AXI RAM 初期化レジスタ監視レジスタ	C、O
0x0400 + 0x4 × i	GWDCCi	ディスクリプタチェーン i コンフィグレーションレジスタ (i = 0～63)	C、O
0x0800	GWAARSS	AXI アドレス RAM 検索設定レジスタ	C、O
0x0804	GWAARSR0	AXI アドレス RAM 検索結果レジスタ 0	—
0x0808	GWAARSR1	AXI アドレス RAM 検索結果レジスタ 1	—
0x0840 + 0x4 × i	GWIDAUASi	インクリメンタルデータ領域 i 使用済み領域サイズレジスタ (i = 0～3)	C、O、D

表 34.3 GWCA レジスタ (3/4)

オフセットアドレス	レジスタシンボル	レジスタ名	ライトアクセスモード
0x0880 + 0x4 × i	GWIDASMi	インクリメンタルデータ領域 i サイズ監視レジスタ (i = 0～3)	—
0x0900 + 0x8 × i	GWIDASAMi0	インクリメンタルデータ領域 i 開始アドレス監視レジスタ 0 (i = 0～3)	—
0x0904 + 0x8 × i	GWIDASAMi1	インクリメンタルデータ領域 i 開始アドレス監視レジスタ 1 (i = 0～3)	—
0x0980 + 0x8 × i	GWIDACAMi0	インクリメンタルデータ領域 i 現アドレス監視レジスタ 0 (i = 0～3)	—
0x0984 + 0x8 × i	GWIDACAMi1	インクリメンタルデータ領域 i 現アドレス監視レジスタ 1 (i = 0～3)	—
0x0A00	GWGRLC	グローバルレートリミッタコンフィグレーションレジスタ	C、O
0x0A04	GWGRLULC	グローバルレートリミッタ上限コンフィグレーションレジスタ	C、O
0x0A80 + 0x8 × i	GWRLCi	レートリミッタ i コンフィグレーションレジスタ (i = 0～7)	C、O
0x0A84 + 0x8 × i	GWRLULCi	レートリミッタ i 上限コンフィグレーションレジスタ (i = 0～7)	C、O
0x0B80	GWIDPC	割り込み遅延プリスケーラコンフィグレーションレジスタ	C
0x0C00 + 0x4 × i	GWIDCi	割り込み遅延コンフィグレーションレジスタ i (i = 0～63)	C、O
0x1000 E: 0x1080	GWRDCN	受信データカウンタレジスタ	—
0x1004 E: 0x1084	GWTDCN	送信データカウンタレジスタ	—
0x1008 E: 0x1088	GWTSCN	タイムスタンプカウンタレジスタ	—
0x100C E: 0x108C	GWTSOVFECN	タイムスタンプオーバーフローエラーカウンタレジスタ	—
0x1010 E: 0x1090	GWUSMFSECN	最小フレームサイズ未満エラーカウンタレジスタ	—
0x1014 E: 0x1094	GWTFECN	TAG フィルタリングエラーカウンタレジスタ	—
0x1018 E: 0x1098	GWSEQECN	シーケンスエラーカウンタレジスタ	—
0x1020 E: 0x10A0	GWTXDNECN	TX ディスクリプタ数エラーカウンタレジスタ	—
0x1024 E: 0x10A4	GWFSECN	フレームサイズエラーカウンタレジスタ	—
0x1028 E: 0x10A8	GWTDFECN	タイムスタンプディスクリプタフルエラーカウンタレジスタ	—
0x102C E: 0x10AC	GWTSDNECN	タイムスタンプディスクリプタ数エラーカウンタレジスタ	—
0x1030 E: 0x10B0	GWDQOECN	ディスクリプタキューオーバーフローエラーカウンタレジスタ	—
0x1034 E: 0x10B4	GWDQSECN	ディスクリプタキューセキュリティエラーカウンタレジスタ	—
0x1038 E: 0x10B8	GWDFECN	ディスクリプタフルエラーカウンタレジスタ	—

表 34.3 GWCA レジスタ (4/4)

オフセットアドレス	レジスタシンボル	レジスタ名	ライトアクセスモード
0x103C E: 0x10BC	GWDSECN	ディスクリプタセキュリティエラーカウンタレジスタ	—
0x1040 E: 0x10C0	GWDSZECN	データサイズエラーカウンタレジスタ	—
0x1044 E: 0x10C4	GWDCTECN	ディスクリプタチェーンタイプエラーカウンタレジスタ	—
0x1048 E: 0x10C8	GWRXDNECN	RX ディスクリプタ数エラーカウンタレジスタ	—
0x1100 + 0x10 × i	GWDISi	データ割り込みステータスレジスタ i (i = 0, 1)	C、O、D
0x1104 + 0x10 × i	GWDIEi	データ割り込み許可レジスタ i (i = 0, 1)	C、O、D
0x1108 + 0x10 × i	GWDIDi	データ割り込み禁止レジスタ i (i = 0, 1)	C、O、D
0x110C + 0x10 × i	GWDIDSi	データ割り込み遅延ステータスレジスタ i (i = 0, 1)	—
0x1180	GWTSDIS	タイムスタンプデータ割り込みステータスレジスタ	C、O、D
0x1184	GWTSDIE	タイムスタンプデータ割り込み許可レジスタ	C、O、D
0x1188	GWTSDID	タイムスタンプデータ割り込み禁止レジスタ	C、O、D
0x1190	GWEIS0	エラー割り込みステータスレジスタ 0	C、O、D
0x1194	GWEIE0	エラー割り込み許可レジスタ 0	C、O、D
0x1198	GWEID0	エラー割り込み禁止レジスタ 0	C、O、D
0x11A0	GWEIS1	エラー割り込みステータスレジスタ 1	C、O、D
0x11A4	GWEIE1	エラー割り込み許可レジスタ 1	C、O、D
0x11A8	GWEID1	エラー割り込み禁止レジスタ 1	C、O、D
0x1200 + 0x10 × i	GWEIS2i	エラー割り込みステータスレジスタ 2i (i = 0, 1)	C、O、D
0x1204 + 0x10 × i	GWEIE2i	エラー割り込み許可レジスタ 2i (i = 0, 1)	C、O、D
0x1208 + 0x10 × i	GWEID2i	エラー割り込み禁止レジスタ 2i (i = 0, 1)	C、O、D
0x1280	GWEIS3	エラー割り込みステータスレジスタ 3	C、O、D
0x1284	GWEIE3	エラー割り込み許可レジスタ 3	C、O、D
0x1288	GWEID3	エラー割り込み禁止レジスタ 3	C、O、D
0x1290	GWEIS4	エラー割り込みステータスレジスタ 4	C、O、D
0x1294	GWEIE4	エラー割り込み許可レジスタ 4	C、O、D
0x1298	GWEID4	エラー割り込み禁止レジスタ 4	C、O、D
0x12A0	GWEIS5	エラー割り込みステータスレジスタ 5	C、O、D
0x12A4	GWEIE5	エラー割り込み許可レジスタ 5	C、O、D
0x12A8	GWEID5	エラー割り込み禁止レジスタ 5	C、O、D

注.
- ベースアドレス：GWCA0 = 0x403C_E000、GWCA0_NS = 0x503C_E000
- すべてのレジスタを任意のモードで読み出すことができます。
- 先頭に「E:」が付いているアドレスはエミュレーションアドレスに対応し、内容を変更せずにレジスタを読み出すことができます。
- 書き込みアクセスモード：
  - 任意：任意のモードでレジスタに書き込むことができます。
  - R：RESET モードでレジスタに書き込むことができます。
  - D：DISABLE モードでレジスタに書き込むことができます。
  - C：CONFIG モードでレジスタに書き込むことができます。
  - O：OPERATION モードでレジスタに書き込むことができます。

34.3 GWCA レジスタの説明

34.3.1 GWCA モード機能レジスタ

34.3.1.1 GWMC : モードコンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OPC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	OPC[1:0]	動作モードコマンド(注1) GWCA モードを設定するために使用されます。詳細は、「34.4.1. 動作モード」を参照してください。 0 0: RESET モードへ遷移 0 1: DISABLE モードへ遷移 1 0: CONFIG モードへ遷移 1 1: OPERATION モードへ遷移	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW：このレジスタは、値が GWMS.OPS でない場合は書き込みできません。

34.3.1.2 GWMS : モードステータスレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OPS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	OPS[1:0]	動作モードステータス 現在の GWCA モードを示します。詳細は、「34.4.1. 動作モード」を参照してください。 0 0: RESET モード 0 1: DISABLE モード 1 0: CONFIG モード 1 1: OPERATION モード	R
31:2	—	読むと 0 が読めます。	R

OPS[1:0]ビット（動作モードステータス）

［更新する条件］

HW：モード変更が完了した。

このレジスタは、最大フレーム通信時間（例：64 KB / 100 Mbps = 5.12 ms）で OPERATION から DISABLE に変化します。

34.3.2 受信機能レジスタ

34.3.2.1 GWIRC : IPV 再マッピングコンフィグレーションレジスタ[802.1Q]

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	IPVR7[2:0]			—	IPVR6[2:0]			—	IPVR5[2:0]			—	IPVR4[2:0]		
Value after reset:	0	1	1	1	0	1	1	0	0	1	0	1	0	1	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IPVR3[2:0]			—	IPVR2[2:0]			—	IPVR1[2:0]			—	IPVR0[2:0]		
Value after reset:	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
2:0	IPVR0[2:0]	IPV 再マッピング 0	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	IPVR1[2:0]	IPV 再マッピング 1	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	IPVR2[2:0]	IPV 再マッピング 2	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	IPVR3[2:0]	IPV 再マッピング 3	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	IPVR4[2:0]	IPV 再マッピング 4	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	IPVR5[2:0]	IPV 再マッピング 5	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	IPVR6[2:0]	IPV 再マッピング 6	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	IPVR7[2:0]	IPV 再マッピング 7	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

IPVRi (i = 0～7) ビット（IPV 再マッピング i）

（転送エンジンから FDESCR.IPV [MFWD]が i のディスクリプタを受信したときに）IPV i で受信したディスクリプタキューのどのディスクリプタを格納するかを設定します。

34.3.2.2 GWRDQSC : RX ディスクリプタキューセキュリティコンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	RDQSL7	RDQSL6	RDQSL5	RDQSL4	RDQSL3	RDQSL2	RDQSL1	RDQSL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RDQSL7～RDQSL0	RX ディスクリプタキュー i セキュリティレベル（変数 i はビット番号に対応します）。 キューがセキュアである場合、そこに非セキュアなディスクリプタを格納できません（FDESCR.SEC が 0 であるディスクリプタを MFWD から受信したとき）。 0: キュー i は非セキュア 1: キュー i はセキュア	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.2.3 GWRDQC : RX ディスクリプタキューコントロールレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	RDQP7	RDQP6	RDQP5	RDQP4	RDQP3	RDQP2	RDQP1	RDQP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	RDQD7	RDQD6	RDQD5	RDQD4	RDQD3	RDQD2	RDQD1	RDQD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RDQD7～RDQD0	RX ディスクリプタキュー i 禁止（変数 i はビット位置番号に対応します）。 MFWD からのディスクリプタが、対応するキューに入らないようにします。転送エンジンは対応するディスクリプタを拒否します。 禁止対象のキューデータがもう不要になった場合、それ以上フレームが CPU RAM に送信されないように、対応する GWRMFSCq.MFS レジスタを 0 に設定できます。 0: キュー i 許可 1: キュー i 禁止	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	RDQP7～RDQP0	RX ディスクリプタキュー i 一時停止(注1)（変数 i はビット位置番号に対応します）。 ディスクリプタ RAM からのディスクリプタフェッチを停止して、フレームが CPU に送信されないようにします。 0: キュー i 有効 1: キュー i 一時停止	R/W(注2)
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW : キューを長時間一時停止すると、スイッチオーバーフローが発生する可能性があります。スイッチオーバーフロー[COMA]が発生した場合は、このレジスタを 0 に設定する必要があります。
注 2. 読み出し値は書き込まれた値とは異なります。

RDQD ビット（RX ディスクリプタキュー i 禁止）

[1 になる条件]

SW：このビットに 1 を書き込むと設定されます。

[0 になる条件]

SW：このビットに 0 を書き込むとクリアされます。

HW：OPERATION モードを終えると、このレジスタはクリアされます (GWMC.OPC != 11b)。

RDQP ビット（RX ディスクリプタキュー i 一時停止）

[1 になる条件]

SW：このビットに 1 を書き込むと設定されます。

[0 になる条件]

SW：このビットに 0 を書き込むとクリアされます。

HW：OPERATION モードを終えると、このレジスタはクリアされます (GWMC.OPC != 11b)。

[注意]

キューを停止するためにこのレジスタを使用しても、MFWD は対応するキューへのディスクリプタの送信を停止しません。この場合、キューがオーバーフローする可能性があります。

34.3.2.4 GWRDQAC : RX ディスクリプタキューアービトレーションコントロールレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x001C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RDQA7[3:0]				RDQA6[3:0]				RDQA5[3:0]				RDQA4[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RDQA3[3:0]				RDQA2[3:0]				RDQA1[3:0]				RDQA0[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	RDQA0[3:0]	RX ディスクリプタキュー 0 アービトレーション(注1) 詳細は、「34.5.3.1.2. ディスクリプタアービトレーション」を参照してください。 0: キュー i 絶対アービトレーション その他: キュー i WRR アービトレーション	R/W
7:4	RDQA1[3:0]	RX ディスクリプタキュー 1 アービトレーション(注1) 詳細は、「34.5.3.1.2. ディスクリプタアービトレーション」を参照してください。 0: キュー i 絶対アービトレーション その他: キュー i WRR アービトレーション	R/W
11:8	RDQA2[3:0]	RX ディスクリプタキュー 2 アービトレーション(注1) 詳細は、「34.5.3.1.2. ディスクリプタアービトレーション」を参照してください。 0: キュー i 絶対アービトレーション その他: キュー i WRR アービトレーション	R/W
15:12	RDQA3[3:0]	RX ディスクリプタキュー 3 アービトレーション(注1) 詳細は、「34.5.3.1.2. ディスクリプタアービトレーション」を参照してください。 0: キュー i 絶対アービトレーション その他: キュー i WRR アービトレーション	R/W

ビット	シンボル	機能	R/W
19:16	RDQA4[3:0]	RX ディスクリプタキュー 4 アービトレーション(注1) 詳細は、「34.5.3.1.2. ディスクリプタアービトレーション」を参照してください。 0: キュー i 絶対アービトレーション その他: キュー i WRR アービトレーション	R/W
23:20	RDQA5[3:0]	RX ディスクリプタキュー 5 アービトレーション(注1) 詳細は、「34.5.3.1.2. ディスクリプタアービトレーション」を参照してください。 0: キュー i 絶対アービトレーション その他: キュー i WRR アービトレーション	R/W
27:24	RDQA6[3:0]	RX ディスクリプタキュー 6 アービトレーション(注1) 詳細は、「34.5.3.1.2. ディスクリプタアービトレーション」を参照してください。 0: キュー i 絶対アービトレーション その他: キュー i WRR アービトレーション	R/W
31:28	RDQA7[3:0]	RX ディスクリプタキュー 7 アービトレーション(注1) 詳細は、「34.5.3.1.2. ディスクリプタアービトレーション」を参照してください。 0: キュー i 絶対アービトレーション その他: キュー i WRR アービトレーション	R/W

注 1. ● SW : ハイブリッドアービトレーションモードでは、GWRDQAC.RDQAi の値が 0 ではないすべてのキューの優先順位が連続している必要があります（優先順位とは、キュー番号 i を指します）。
● SW : 絶対優先アービトレーションモード以外のすべてのアービトレーションモードでは、少なくとも 2 つのキューの GWRDQAC.RDQAi が 0 ではない必要があります。

34.3.2.5 GWRGC : RX 汎用コンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCPT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RCPT	受信 CRC パススルー[802.3](注1) このビットは、受信フレーム上の FCS フィールドを渡すことを選択します。 0: FCS は GWCPU に渡されない ディスクリプタが、FDESCR.FI が 1 に等しい転送エンジンから受信された場合、GWCA はフレームデータの最後の 4 バイト (FCS) を削除します。 1: FCS は GWCPU に渡される フレームがスイッチによって変更されていない場合、GWCA は FCS が含まれているフレームから FCS を削除しません（FDESCR.FI が 1 に等しい転送エンジンからディスクリプタを受信）（VLAN タグ付け／タグ解除のための更新はなく、L3 ルーティングによって要求された更新もない[FWD]）。	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW: GWCA は FCS の整合性をチェックしません。

34.3.2.6 GWRMFSCq : 受信最大フレームサイズコンフィグレーションレジスタ q (q = 0～7)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0040 + 0x04 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MFS[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	MFS[15:0]	最大フレームサイズ(注1) ディスクリプタキュー q の最大フレームサイズ。これより大きいフレームはすべて拒否されます。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW : 最大フレームサイズの比較では、AXI マスタによって（VLAN タグ解除、R-TAG の挿入、L2L3 の更新の後に）実際に書き込まれるフレームサイズが考慮に入れられますが、CPU によって受信されていなくても、このサイズ FCS が常に計算に使われます。

34.3.2.7 GWRDQDCq : 受信ディスクリプタキュー q 深度コンフィグレーションレジスタ (q = 0～7)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0060 + 0x04 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DQD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	DQD[9:0]	ディスクリプタキュー深度(注1) ディスクリプタキュー q を格納できるディスクリプタの数。 詳細は「34.5.3.1.1. ディスクリプタ格納」を参照してください。	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW : DQD フィールドの合計は常に 512 以下にする必要があります。

34.3.2.8 GWRDQMq : RX ディスクリプタキュー q 監視レジスタ (q = 0～7)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0080 + 0x04 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DNQ[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	DNQ[9:0]	キュー内のディスクリプタ数 RX ディスクリプタキュー q に格納されているディスクリプタの現在の数を示します。	R
31:10	—	読むと 0 が読めます。	R

DNQ[9:0]ビット（キュー内のディスクリプタ数）

[インクリメント条件]

HW : 対応するキューの MFWD からディスクリプタを受信し、キューがフルではなく、ディスクリプタセキュリティエラーがなく、キューが無効にされていない場合に 1 インクリメントされます。

[デクリメント条件]

HW : GWCA によってディスクリプタが読み出され、データが AXI マスタインタフェースに送信された場合、またはデータが拒否された場合に 1 デクリメントされます。

34.3.2.9 GWRDQMLMq : RX ディスクリプタキュー q 最大レベル監視レジスタ (q = 0～7)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x00A0 + 0x04 × q

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DMLQ[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	DMLQ[9:0]	キュー内のディスクリプタ最大レベル RX ディスクリプタキュー q に格納されたディスクリプタの最大数を示します。	R
31:10	—	読むと 0 が読めます。	R

DMLQ[9:0]ビット（キュー内のディスクリプタ最大レベル）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます (GWMC.OPS == 00)。

SW：本レジスタを読み出すと、GWRDQMq.DNQ にクリアされます。

[インクリメント条件]

HW：GWRDQMq.DNQ より小さいときに GWRDQMq.DNQ の値にインクリメントされます。

34.3.3 受信マルチキャスト機能レジスタ

34.3.3.1 GWMTIRM：マルチキャストテーブル初期化レジスタ監視レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MTR	MTIOG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MTIOG	マルチキャストテーブルの初期化を実行中 [1 になる条件] SW: 本レジスタに 1 を書き込みます。それでマルチキャストテーブルの初期化が開始されます。 [0 になる条件] HW: マルチキャストテーブルの初期化が終了すると本ビットはクリアされます。 最小 clk_period * 64 = [exp] (1000/320) * 128 = 400 ns	R/W(注1)
1	MTR	マルチキャストテーブルの準備完了 [1 になる条件] GWMTIRM.MTIOG がクリアされたとき。 [0 になる条件] GWMTIRM.MTIOG に 1 を書き込んだとき。	R
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

34.3.3.2 GWMSTLS：マルチキャストテーブル学習設定レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MSENL[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MNL[2:0]			—	—	MNRCNL[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	MNRCNL[5:0]	マルチキャストの次のディスクリプタチェーン番号の学習 このレジスタは、GWMSTLS.MSENL マルチキャストテーブルのエントリで学習する、マルチキャストテーブル内の次のアドレスを設定するために使用されます。「34.5.3.3.3. マルチキャスト学習」を参照してください。	R/W

ビット	シンボル	機能	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	MNL[2:0]	マルチキャスト番号の学習 このレジスタは、GWMSTLS.MSENL マルチキャストテーブルのエントリで学習する必要のあるマルチキャスト番号を設定するために使用されます。 0 0 0: マルチキャスト 0（1 つの対象、マルチキャストなし） 0 0 1: マルチキャスト 1（2 つの対象） ⋮ 1 1 1: マルチキャスト 7（8 つの対象）	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21:16	MSENL[5:0]	マルチキャスト設定エントリ番号学習 このレジスタは、どのアドレスで現在の学習を行う必要があるかを設定するために使用されます。	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.3.3 GWMSTLR : マルチキャストテーブル学習結果レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MTL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MTLF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MTLF	マルチキャストテーブル学習失敗 [更新する条件] HW: GWMSTLR.MTL クリアイベント。 0: マルチキャストテーブルの準備ができていなかったためエントリ学習は失敗しませんでした。 1: マルチキャストテーブルの準備ができていないエントリ学習は失敗しました。	R
30:1	—	読むと 0 が読めます。	R
31	MTL	マルチキャストテーブル学習 [1 になる条件] SW: GWMSTLS レジスタに書き込むと、このビットが設定されます。 [0 になる条件] HW：このビットは、マルチキャスト RAM の書き込みが完了するとデアサートされます。	R

34.3.3.4 GWMSTSS : マルチキャストテーブル検索設定レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x010C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	MSENS[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	MSENS[5:0]	マルチキャスト設定エントリ番号検索 このレジスタは、マルチキャストテーブルを読み出すために使用されます。	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.3.5 GWMSTSR : マルチキャストテーブル検索結果レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0110

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MNR[2:0]			—	—	MNRCNR[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	MNRCNR[5:0]	マルチキャスト次の RX ディスクリプタチェーン番号の結果 このレジスタは、マルチキャストテーブルを読み出すために使用されます。 [更新する条件] HW: GWMSTSR.MTS クリアイベント。	R
7:6	—	読むと 0 が読めます。	R
10:8	MNR[2:0]	マルチキャスト番号の結果 このレジスタは、マルチキャストテーブルを読み出すために使用されます。 [更新する条件] HW: GWMSTSR.MTS クリアイベント。	R
30:11	—	読むと 0 が読めます。	R
31	MTS	マルチキャストテーブル検索 このレジスタは、マルチキャストテーブルを読み出すために使用されます。 [1 になる条件] SW: GWMSTSS レジスタに書き込むと、このビットが設定されます。 [0 になる条件] HW：このビットは、マルチキャスト RAM の読み出しが完了するとデアサートされます。	R

34.3.4 MAC 機能レジスタ

34.3.4.1 GWMAC0 : MAC アドレスコンフィグレーションレジスタ 0

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0120

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MAU[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MAU[15:0]	MAC アドレス上位部 これらのビットは、MAC アドレスの上位 16 ビットを設定するために使用されます。たとえば、MAC アドレスが 01-23-45-67-89-AB（16 進数）である場合は、このレジスタに 0x0123 を設定します。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.4.2 GWMAC1 : MAC アドレスコンフィグレーションレジスタ 1

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0124

Bit position:	31	0
Bit field:	MAL[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	MAL[31:0]	MAC アドレス下位部 これらのビットは、MAC アドレスの下位 32 ビットを設定するために使用されます。たとえば、MAC アドレスが 01-23-45-67-89-AB（16 進数）である場合は、このレジスタに 0x456789AB を設定します。	R/W

34.3.5 TAG 機能レジスタ

34.3.5.1 GWVCC : VLAN コントロールコンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	VEM[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VIM
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VIM	VLAN Ingress モード(注1) 0: 入力 VLAN モード 1: ポートベース VLAN モード	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	VEM[2:0]	VLAN Egress モード 000: No-VLAN モード。フレームは VLAN を使用せずに送信される 001: C-TAG VLAN モード。ローカル RAM に格納されている Ingress C-TAG がある場合、フレームはそれを使用して送信される 010: HW C-TAG VLAN モード。フレームは、ローカル RAM に格納されている C-TAG を使用して送信される 011: SC-TAG VLAN モード。ローカル RAM に Ingress C-TAG および S-TAG が格納されている場合、フレームはそれらを使用して送信される 100: HW SC-TAG VLAN モード。フレームは、ローカル RAM に格納されている C-TAG および S-TAG を使用して送信される	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW : スイッチが No-VLAN モードになっている場合（転送エンジンで FWGC.SVM が 00 に設定されている[FWD]）、このレジスタを 1 に設定しないでください

34.3.5.2 GWVTC : VLAN TAG コンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	STD	STP[2:0]			STV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CTD	CTP[2:0]			CTV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	CTV[11:0]	C-TAG VLAN	R/W
14:12	CTP[2:0]	C-TAG PCP	R/W
15	CTD	C-TAG DEI	R/W

ビット	シンボル	機能	R/W
27:16	STV[11:0]	S-TAG VLAN	R/W
30:28	STP[2:0]	S-TAG PCP	R/W
31	STD	S-TAG DEI	R/W

34.3.5.3 GWTTFC : 送信 TAG フィルタリングコンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0138

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	UT	SCRT	SCT	CRT	CT	CSRT	CST	RT	NT
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NT	タグなし 0: タグなしフレームが通過した 1: タグなしフレームが拒否された	R/W
1	RT	R-TAG 0: R-TAG フレームが通過した 1: R-TAG フレームが拒否された	R/W
2	CST	CoS-TAG 0: CoS-TAG フレームが通過した 1: CoS-TAG フレームが拒否された	R/W
3	CSRT	CoSR-TAG 0: CoSR-TAG フレームが通過した 1: CoSR-TAG フレームが拒否された	R/W
4	CT	C-TAG 0: C-TAG フレームが通過した 1: C-TAG フレームが拒否された	R/W
5	CRT	CR-TAG 0: CR-TAG フレームが通過した 1: CR-TAG フレームが拒否された	R/W
6	SCT	SC-TAG 0: SC-TAG フレームが通過した 1: SC-TAG フレームが拒否された	R/W
7	SCRT	SCR-TAG 0: SCR-TAG フレームが通過した 1: SCR-TAG フレームが拒否された	R/W
8	UT	不明タグ 0: 不明タグフレームが通過した 1: 不明タグフレームが拒否された	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.6 タイムスタンプ機能レジスタ

34.3.6.1 GWTDCACs0 : タイムスタンプディスクリプタチェーン s アドレスコンフィグレーションレジスタ 0 (s = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0140 + 0x08 × s

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TSCCAU[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TSCCAU[7:0]	TS ディスクリプタチェーン s の現アドレス上位部(注1)	R/W (注2)
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：現在のアドレスを上書きするには、GWTDCACs0 と GWTDCACs1 の両方の書き込みを、常に GWTDCACs1 で開始して GWTDCACs0 で終了する必要があります。
注 2. 読み出し値は書き込まれた値とは異なります。

TSCCAU[7:0]ビット（TS ディスクリプタチェーン s の現アドレス上位部）

［更新する条件］

SW：このフィールドに書き込むと書き込み値に更新されます。

HW：ディスクリプタキュー s で FEMPTY_ND ディスクリプタが読み出されると、このフィールド値は自動的に次のディスクリプタアドレス上位部に更新されます。

HW : LINK または LINKFIX ディスクリプタが読み出されると、このレジスタ値は DESCR.PTR[39:32]に更新されます。

34.3.6.2 GWTDCACs1 : タイムスタンプディスクリプタチェーン s アドレスコンフィグレーションレジスタ 1 (s = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0144 + 0x08 × s

Bit position:	31	0
Bit field:	TSCCAL[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	TSCCAL[31:0]	TS ディスクリプタチェーン s の現アドレス下位部(注1)	R/W(注2)

注 1. SW：現在のアドレスを上書きするには、GWTDCACs0 と GWTDCACs1 の両方の書き込みを、常に GWTDCACs1 で開始して GWTDCACs0 で終了する必要があります。
注 2. 読み出し値は書き込まれた値とは異なります。

TSCCAL[31:0]ビット（TS ディスクリプタチェーン s の現アドレス下位部）

［更新する条件］

SW：このフィールドを同一 APB によって書き込まれた以前の値に更新して、GWTDCACs0 レジスタを書き込みます。

HW：ディスクリプタキュー s の FEMPTY_ND ディスクリプタが読み出されると、このフィールド値は自動的に次のディスクリプタアドレス下位部に更新されます。

HW：LINK または LINKFIX ディスクリプタが読み出されると、このレジスタ値は DESCR.PTR[31:0]に更新されます。

34.3.6.3 GWTSDCCs：タイムスタンプディスクリプタチェーン s コンフィグレーションレジスタ (s = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0160 + 0x04 × s

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OSID[2:0]			—	—	—	—	—	—	DCS	TE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TE	タイマ許可(注1) タイマ s で作成されたタイムスタンプについてはタイムスタンプ受信を許可します。	R/W
1	DCS	ディスクリプタチェーン選択 タイマ s で作成されるどのチェーンタイムスタンプを受信するかを選択します。	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	OSID[2:0]	OS ID タイマ番号 s についてメモリアクセスが実行されるときには、本レジスタに設定されている OSID が使用されます。	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW：タイムスタンプ受信のために、禁止されているタイマのタイムスタンプを RMAC から受信した場合、そのタイムスタンプは無視され失われます。これは有効な設定（別の GWCA でタイムスタンプを取得できた可能性がある）なので、このイベントを監視するためのフラグは存在しません。

34.3.6.4 GWTSNM：タイムスタンプ数監視レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	TNTR[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	TNTR[4:0]	タイムスタンプ RAM 内のタイムスタンプ数 [インクリメント条件] HW：イーサネットエージェントからタイムスタンプを受信すると 1 インクリメントされます。 [デクリメント条件] HW: タイムスタンプ RAM からタイムスタンプを読み出すと 1 デクリメントされます。	R
31:5	—	読むと 0 が読めます。	R

34.3.6.5 GWTSMNM：タイムスタンプ最大数監視レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0184

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	TMNTR[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	TMNTR[4:0]	タイムスタンプ RAM 内のタイムスタンプ最大数 [更新する条件] HW: GWTSNM.TNTR> GWTSNM.TMNTR のときに GWTSNM.TNTR に設定します。 [0 になる条件] HW: このレジスタは RESET モードになるとクリアされます。 SW: 本レジスタを読み出すと、GWTSNM.TNTR の値にクリアされます。	R
31:5	—	読むと 0 が読めます。	R

34.3.7 AXI マスタレジスタ

34.3.7.1 GWAC：AXI コントロールレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0190

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AMP	AMPR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AMPR	AXI マスター時停止要求 このレジスタは、AXI マスタが新しいアクセスを発行しないようにします（AXI マスタにはタイミングを目的としたレジスタスライスがあるため、停止前に発行できる AXI アクセスは限られます）。 0: AXI マスター時停止要求なし 1: AXI マスター時停止要求あり	R/W
1	AMP	AXI マスター時停止済み “AXI マスター時停止”では、AXI インタフェースの最後の処理のみが停止されます（内部処理は停止できません）。たとえば、チェーン[i]の AXI アドレスは、“AXI マスター時停止済み”の直前にロードされます。このアドレスは、“AXI マスター時停止”中の（GWDCCi による）AXI アドレスの再構成には関係なく、“AXI マスター時停止なし”の後に使用されます。 0: AXI マスター時停止なし（トランザクション実行中） 1: AXI マスター時停止済み（トランザクション実行中でない）	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

AMP ビット（AXI マスター時停止済み）

[1 になる条件]

HW：GWAC.AMPR が 1'b1 に設定されていて、実行中のすべての AXI トランザクションが完了すると、このビットが設定されます。

[0 になる条件]

HW：GWAC.AMPR が 0 に設定されていると、このビットは 0 に設定されます（非同期モジュールのために時間がかかる場合があります）。

34.3.7.2 GWDCBAC0：ディスクリプタチェーンベースアドレスコンフィグレーションレジスタ 0

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0194

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	DCBAU[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DCBAU[7:0]	ディスクリプタチェーンベースアドレス上位部 詳細な設定情報については、「34.5.1.3.1. LINKFIX テーブルの初期化」を参照してください。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.7.3 GWDCBAC1 : ディスクリプタチェーンベースアドレスコンフィグレーションレジスタ 1

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0198

Bit position:	31																												0
Bit field:	DCBAL[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	DCBAL[31:0]	ディスクリプタチェーンベースアドレス下位部 詳細な設定情報については、「34.5.1.3.1. LINKFIX テーブルの初期化」を参照してください。	R/W

34.3.7.4 GWMDNC : ディスクリプタ最大数コンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x01A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSDMN[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TXDMN[4:0]					—	—	—	RXDMN[4:0]				
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
4:0	RXDMN[4:0]	RX ディスクリプタ最大数 1 つの RX キューについて一度に処理できるディスクリプタの最大数を設定します（1 つの RX フレームについて実行できるディスクリプタ読み出しの数は GWMDNC.RXDMN+1 に制限されます）。GWEIS0.RXDNES レジスタの説明を参照してください。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	TXDMN[4:0]	TX ディスクリプタ最大数(注1) 1 つの TX キューについて一度に処理できるディスクリプタの最大数を設定します（1 つの TX フレームについて実行できるディスクリプタ読み出しの数は GWMDNC.TXDMN+1 に制限されます）。GWEIS0.TXDNES を参照してください。	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	TSDMN[1:0]	タイムスタンプディスクリプタ最大数 1 つの TS キューについて一度に処理できるディスクリプタの最大数を設定します（1 つのタイムスタンプについて実行できるディスクリプタ読み出しの数は GWMDNC.TSDMN+1 に制限されます）。GWEIS0.TSDNES を参照してください。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：スイッチの入力フレーム最大サイズは 60 KB なので、このレジスタは 30 以下の値に設定する必要があります。このレジスタが原因の予期しないフレーム損失を回避するため、58 KB より大きなフレームを送信するすべてのソフトウェアでは、ディスクリプタチェーン内に連続した LINK/LINKFIX ディスクリプタが複数存在しないようにする必要があります。

RXDMN[4:0]ビット（RX ディスクリプタ最大数）

［注意］

SW：LINK/LINKFIX ディスクリプタや、FMID_EMPTY ディスクリプタや FEND_EMPTY ディスクリプタのように以前のエラーフレームから残っているディスクリプタを含め、すべてのディスクリプタがこのディスクリプタ最大数の数として数えられます。このレジスタを設定するときはこれを考慮に入れる必要があります。

TXDMN[4:0]ビット（TX ディスクリプタ最大数）

［注意］

SW : LINK/LINKFIX ディスクリプタや、FMID ディスクリプタや FEND ディスクリプタのように以前のエラーフレームから残っているディスクリプタを含め、すべてのディスクリプタがこのディスクリプタ最大数の数として数えられます。このレジスタを設定するときはこれを考慮に入れる必要があります。

34.3.7.5 GWTRCi : 送信要求コンフィグレーションレジスタ i (i = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0200 + 0x04 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj	TSRj
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b (b = 0～31)	TSRj (j = 32 × i + b)	送信開始要求 j (j = 0～63)(注1) このレジスタは、対応する TX キューの CPU からスイッチへの転送を開始するために使用されます。 0: TX ディスクリプタチェーンは空です。 1: 送信要求は実行中です。	R/W(注2)

注 1. HW : RX キューの場合は、このビットを設定できません。
注 2. 読み出し値は書き込まれた値とは異なります。

TSRj ビット（送信開始要求 j (j = 0～63)）

［1 になる条件（TX キューのみ）］

SW : このビットに 1 を書き込むと、キュー t が（GWDCCi.DQT が設定された）送信キューである場合は、このビットが設定されます。

HW : INTER_TX[t]インタフェース経由で送信要求が受信されると、キュー t が（GWDCCi.DQT が設定された）送信キューである場合は、このビットが設定されます。

［0 になる条件］

HW : HW が FSINGLE、FSTART、FMID、FEND、LINK、LINKFIX 以外のディスクリプタを読み出したとき。 *

HW : 対応する AXI ディスクリプタキュー内のディスクリプタの読み出し中に AXI エラーが発生したとき。*

HW : 対応する AXI ディスクリプタキューの読み出し中にディスクリプタ数エラーが発生したとき。*

HW : OPERATION モードから切り替わると、このレジスタはクリアされます。

34.3.7.6 GWTPCp : 送信一時停止コンフィグレーションレジスタ p (p = 0～1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0300 + 0x04 × p

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PPPL7	PPPL6	PPPL5	PPPL4	PPPL3	PPPL2	PPPL1	PPPL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	PPPL7～PPPL0	優先順位ごとの一時停止レベル i（変数 i はビット位置番号に対応します）。 0: 一時停止レベル p が設定されている（PAUSE[2][p]が[COMA]に設定されている）場合、優先順位 GWDCCi.DCP が i に設定されている送信キューは一時停止されません。 1: 一時停止レベル p が設定されている（PAUSE[2][p]が[COMA]に設定されている）場合、優先順位 GWDCCi.DCP が i に設定されている送信キューが一時停止されます。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.7.7 GWARIRM : AXI RAM 初期化レジスタ監視レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0380

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARR	ARIOG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ARIOG	AXI RAM 初期化実行中 [1 になる条件] SW: 本レジスタに 1 を書き込みむと AXI RAM の初期化が開始されます。 [0 になる条件] HW: AXI RAM の初期化が終了すると本ビットはクリアされます。最小 clk_period * 64 = [exp] (1000/320) * 128 = 400 ns	R/W(注1)
1	ARR	AXI RAM 準備完了 [1 になる条件] GWARIRM.ARIOG がクリアされたとき。 [0 になる条件] GWARIRM.ARIOG に 1 を書き込んだとき。	R
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

34.3.7.8 GWDCCi : ディスクリプタチェーン i コンフィグレーションレジスタ (i = 0～63)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0400 + 0x04 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	OSID[2:0]			—	—	—	BALR	—	—	—	—	—	DCP[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	DQT	SL	ETS	EDE	—	—	—	—	—	—	SM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SM[1:0]	同期モード 0 0: 通常モード（完全なディスクリプタライトバック） 0 1: ライトバックなしモード（ディスクリプタライトバックなし） 1 0: DT 保持モード（ディスクリプタライトバック時に DT フィールドの更新なし） 1 1: 予約	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	EDE	拡張ディスクリプタ有効 0: 基本ディスクリプタ 1: 拡張ディスクリプタ	R/W
9	ETS	タイムスタンプ格納有効(注1) 0: タイムスタンプはディスクリプタ内に追加されません。 1: タイムスタンプがディスクリプタ内に追加されます。	R/W
10	SL	セキュリティレベル(注1) チェーンがセキュアである場合、そこに非セキュアなディスクリプタを格納することはできません（FDESCR.SEC が 0 であるディスクリプタを MFWD から受信したとき）。 0: チェーン i は非セキュア 1: チェーン i はセキュア	R/W
11	DQT	ディスクリプタキュータイプ 0: ディスクリプタキュー i は受信キューです。 1: ディスクリプタキュー i は送信キューです。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	DCP[2:0]	ディスクリプタチェーンの優先順位(注2) 0 0 0: 最下位の優先順位 1 1 1: 最上位の優先順位	R/W(注3)
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	BALR	ベースアドレスロード要求 本ビットは、AXI アドレス RAM 内の current_address フィールドを {{GWDCBAC.DCBAU, GWDCBAC.DCBAL} + I × 8} にリセットするために使用されます。 [1 になる条件] SW: このビットに 1 を書き込むと設定されます。 [0 になる条件] HW: 本ビットは、AXI アドレス RAM 内の current_address フィールドがリセットされたときにクリアされます。	R/W(注3)
27:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	OSID[2:0]	OS ID ディスクリプタキュー番号 i についてメモリアクセスが実行されるときには、本レジスタに設定されている OSID が使用されます。	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW：本レジスタは、RX キューに対してのみ有効です。
注 2. ● HW：本レジスタは、TX キューに対してのみ有効です。

- SW：GWTRCj.TSRj が設定されている場合、TX キューに対するこのレジスタの値を変更しないでください。（対応するキューのための送信が実行中である場合）

注 3. 読み出し値は書き込まれた値とは異なります。

34.3.7.9 GWAARSS : AXI アドレス RAM 検索設定レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0800

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	AARA[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	AARA[5:0]	AXI アドレス RAM アドレス(注1) このレジスタは、GWAARSS.AARA ディスクリプタキューのために AXI マスタで使用されている現在のアドレスを読み出すために使用されます。	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW : AXI マスタのパイプラインアーキテクチャのために、AXI 読み出しは、AXI マスタがどのアドレスを処理しているかについての概念しか提供できず、HW/SW の同期に使用できるだけの十分な正確性がありません。このレジスタは、デバッグ目的でのみ使用されます。

34.3.7.10 GWAARSR0 : AXI アドレス RAM 検索結果レジスタ 0

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0804

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	AARS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ACARU[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	ACARU[7:0]	AXI 現アドレス結果上位部(注1) AXI アドレスの読み出し値を表示します。 [更新する条件] HW: GWAARSR0.AARS クリアイベント。	R
30:8	—	読むと 0 が読めます。	R
31	AARS	AXI アドレス RAM 検索 このレジスタは、AXI アドレス RAM を読み出すために使用されます。 [1 になる条件] SW: GWAARSS を書き込むとこのビットが設定されます。 [0 になる条件] HW：このビットは、AXI アドレス RAM 検索が完了するとデアサートされます。	R

注 1. RESET モードの後、AXI アドレスの読み出しはチェーンのベースアドレスから再開されません（RESET モードになっていると、このレジスタがクリアされないため）。

34.3.7.11 GWAARSR1 : AXI アドレス RAM 検索結果レジスタ 1

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0808

Bit position:	31																												0
Bit field:	ACARL[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	ACARL[31:0]	AXI 現アドレス結果下位部(注1) AXI アドレスの読み出し値を表示します。 [更新する条件] HW: GWAARSR0.AARS クリアイベント。	R

注 1. RESET モードの後、AXI アドレスの読み出しはチェーンのベースアドレスから再開されません（RESET モードになっていると、このレジスタがクリアされないため）。

34.3.7.12 GWIDAUASi : インクリメンタルデータ領域 i 使用済み領域サイズレジスタ (i = 0～3)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0840 + 0x04 × i

Bit position:	31							23																					0
Bit field:	—	—	—	—	—	—	—	—	IDAUAS[23:0]																				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	IDAUAS[23:0]	RX ディスクリプタチェーン i のインクリメンタルデータ領域使用済みサイズ(注1) 対応するインクリメンタル領域で使用されてきたバイト数を表します。 [0 になる条件] HW: このレジスタは RESET モードになるとクリアされます。 HW: FEMPTY_IS ディスクリプタが対応するディスクリプタキューで読み出されると、このレジスタはクリアされます。 [インクリメント条件] HW: フレームが対応するインクリメンタル領域に格納されると、このレジスタはフレームサイズだけインクリメントされます。 [デクリメント条件] SW: 値を書き込むと、SW は、このレジスタをこの値だけデクリメントします。	R/W(注2)
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：常に現在のレジスタ値より小さい値を書き込む必要があります。
注 2. 読み出し値は書き込まれた値とは異なります。

34.3.7.13 GWIDASMi : インクリメンタルデータ領域 i サイズ監視レジスタ (i = 0～3)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0880 + 0x04 × i

Bit position:	31							23																					0
Bit field:	—	—	—	—	—	—	—	—	IDAS[23:0]																				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	IDAS[23:0]	RX ディスクリプタチェーン i のインクリメンタルデータ領域サイズ このレジスタは、RX ディスクリプタチェーン i のインクリメンタル領域のサイズをバイト単位で示します。 [0 になる条件] HW: このレジスタは RESET モードになるとクリアされます。 [更新する条件] HW：対応するディスクリプタキューで FEMPTY_IS ディスクリプタが読み出されると、このレジスタは DESCR.DS × 4096 に更新されます。	R
31:24	—	読むと 0 が読めます。	R

34.3.7.14 GWIDASAMi0：インクリメンタルデータ領域 i 開始アドレス監視レジスタ 0 (i = 0～3)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0900 + 0x08 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IDASAU[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IDASAU[7:0]	RX ディスクリプタチェーン i のインクリメンタルデータ領域開始アドレス上位部 [0 になる条件] HW：このレジスタは RESET モードになるとクリアされます。 [更新する条件] HW：FEMPTY_IS ディスクリプタが対応するディスクリプタキューで読み出されると、このレジスタは DESCR.PTR[39:32]に更新されます。	R
31:8	—	読むと 0 が読めます。	R

34.3.7.15 GWIDASAMi1：インクリメンタルデータ領域 i 開始アドレス監視レジスタ 1 (i = 0～3)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0904 + 0x08 × i

Bit position:	31	0
Bit field:	IDASAL[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	IDASAL[31:0]	RX ディスクリプタチェーン i のインクリメンタルデータ領域開始アドレス下位部 [0 になる条件] HW: このレジスタは RESET モードになるとクリアされます。 [更新する条件] HW：FEMPTY_IS ディスクリプタが対応するディスクリプタキューで読み出されると、このレジスタは DESCR.PTR[31:0]に更新されます。	R

34.3.7.16 GWIDACAMi0 : インクリメンタルデータ領域 i 現アドレス監視レジスタ 0 (i = 0～3)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0980 + 0x08 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IDACAU[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IDACAU[7:0]	RX ディスクリプタチェーン i のインクリメンタルデータ領域現アドレス上位部 [0 になる条件] HW: このレジスタは RESET モードになるとクリアされます。 [更新する条件] HW : FEMPTY_IS ディスクリプタが対応するディスクリプタキューで読み出されると、このレジスタは DESCR.PTR[39:32]に更新されます。 HW : インクリメンタル領域でバーストが送信されることが決定されると、{GWIDACAMi0.IDACAU, GWIDACAMi1.IDACAL}がバーストサイズ分インクリメントされます。 HW : {GWIDACAMi0.IDACAU, GWIDACAMi1.IDACAL}は、{GWIDASAMi0.IDASAU, GWIDASAMi1.IDASAL} + GWIDASMi.IDAS-1 でオーバーフローします。	R
31:8	—	読むと 0 が読めます。	R

34.3.7.17 GWIDACAMi1 : インクリメンタルデータ領域 i 現アドレス監視レジスタ 1 (i = 0～3)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0984 + 0x08 × i

Bit position:	31																													0
Bit field:	IDACAL[31:0]																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	IDACAL[31:0]	RX ディスクリプタチェーン i のインクリメンタルデータ領域現アドレス下位部 [0 になる条件] HW: このレジスタは RESET モードになるとクリアされます。 [更新する条件] HW : FEMPTY_IS ディスクリプタが対応するディスクリプタキューで読み出されると、このレジスタは DESCR.PTR[31:0]に更新されます。 HW : インクリメンタル領域でバーストが送信されることが決定されると、{GWIDACAMi0.IDACAU, GWIDACAMi1.IDACAL}がバーストサイズ分インクリメントされます。 HW : {GWIDACAMi0.IDACAU, GWIDACAMi1.IDACAL}は、{GWIDASAMi0.IDASAU, GWIDASAMi1.IDASAL} + GWIDASMi.IDAS-1 でオーバーフローします。	R

34.3.8 レートリミッタ機能レジスタ

34.3.8.1 GWGRLC : グローバルレートリミッタコンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0A00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GRLULRS	GRLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GRLIV[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	GRLIV[15:0]	グローバルレートリミッタインクリメント値 詳細な設定情報については、「34.5.2.1.2. レートリミッタ」を参照してください。 [注意] SW: このレジスタを 0 または 0 に近い値に設定すると、GWCA のスループットが非常に低く設定されたり、GWCA が送信状態に固定されたりすることがあります。	R/W
16	GRLE	グローバルレートリミッタ許可 グローバルレートリミッタは、スイッチが一度に取り込むデータが多くなりすぎないように、すべての TX キューを通してスループットを制限します。 0: グローバルレートリミッタ禁止 1: グローバルレートリミッタ許可	R/W
17	GRLULRS	グローバルレートリミッタ上限到達ステータスフラグ グローバルレートリミッタだけが許可されているときにこのビットが設定された（ポートごとのレートリミッタが禁止されている）場合、グローバルレートリミッタで設定されたスループットを提供するには AXI マスタの速度が低すぎること、または AXI のレイテンシが低く見積もられていたことを意味します。 このビットは、ポートごとのレートリミッタの使用中に設定される可能性があります。この場合、それを無視する必要があります。 [1 になる条件] HW: グローバルレート制限が上限の GWGRLULC.GRLUL に到達すると、このビットが設定されます。 [0 になる条件] HW: このレジスタは RESET モードになるとクリアされます。 SW: このビットに 1 を書き込むとクリアされます。	R/W(注1)
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

34.3.8.2 GWGRLULC : グローバルレートリミッタ上限コンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0A04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	GRLUL[23:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GRLUL[23:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	GRLUL[23:0]	グローバルレートリミッタ上限(注1) ビットレートリミッタが停止前に蓄積できるクレジットの最大数を設定します。 詳細な設定情報については、「34.5.2.1.2. レートリミッタ」を参照してください。	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：本レジスタは 0x800000 より大きい値に設定しないでください。

34.3.8.3 GWRLCi：レートリミッタ i コンフィグレーションレジスタ (i = 0～7)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0A80 + 0x8 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	RLIV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	RLIV[11:0]	レートリミッタインクリメント値 詳細な設定情報については、「34.5.2.1.2. レートリミッタ」を参照してください。 [注意] SW: このレジスタを 0 または 0 に近い値に設定すると、対応するキューのスループットが非常に低く設定されたり、対応するキューが動かなくなったりすることがあります。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	RLE	レートリミッタ許可 レートリミッタ i は、AXI ディスクリプタキュー番号 63-I のスループットを制限します。詳細については、「34.5.1.1. AXI ディスクリプタキューのマッピング」を参照してください。 0: レートリミッタ i 禁止 1: レートリミッタ i 許可	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.8.4 GWRLULCi：レートリミッタ i 上限コンフィグレーションレジスタ (i = 0～7)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0A84 + 0x8 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	RLUL[23:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RLUL[23:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	RLUL[23:0]	レートリミッタ上限(注1) ビットレートリミッタ i が停止前に蓄積できるクレジットの最大数を設定します。 AXI バスで多量のトラフィックが発生したらキュー i でのバーストでスイッチをオーバーフローさせる場合にこのレジスタを使用できます。必要でない場合は、0x80_0000 に設定してください。 詳細な設定情報については、「34.5.2.1.2. レートリミッタ」を参照してください。	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：本レジスタは 0x80_0000 より大きい値に設定しないでください。

34.3.9 割り込み機能レジスタ

34.3.9.1 GWIDPC : 割り込み遅延プリスケーラコンフィグレーションレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0B80

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	IDPV[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	IDPV[9:0]	割り込み遅延プリスケーラ値 本レジスタは内部クロックの作成に使用されます。この内部クロックの周期は、clk_delay_period = clk_period*(GWIDPC.IDPV+1) となります。clk_period がクロックの周期です。 詳細は、「34.5.6. 割り込み遅延機能」を参照してください。	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.9.2 GWIDCi : 割り込み遅延 i コンフィグレーションレジスタ (i = 0～63)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x0C000 + 0x4 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	IDV[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

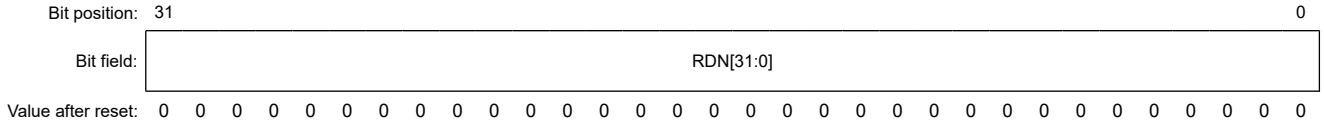
ビット	シンボル	機能	R/W
11:0	IDV[11:0]	割り込み遅延値 割り込みステータスフラグ GWDISi.DISt の設定と実際の割り込みイベントの間の遅延（μs 単位）を設定します。 このレジスタが 0 に設定されている場合、データ割り込みは遅延なしに発生します。 このレジスタに値 X が設定されている場合、割り込みは X-1*clk_delay_period μs～X*clk_delay_period μs の時間遅延で発生します。ここで、clk_delay_period は、GWIDPC レジスタの周期を使用して作成された内部クロックです。 詳細は、「34.5.6. 割り込み遅延機能」を参照してください。	R/W
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

34.3.10 GWCA カウンタレジスタ

34.3.10.1 GWRDCN : 受信データカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1000



ビット	シンボル	機能	R/W
31:0	RDN[31:0]	受信データ数 このレジスタは、GWCA によって受信されたデータをカウントします（AXI エラーによって中断されたデータはここで報告されます）。	R

RDN[31:0]ビット（受信データ数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

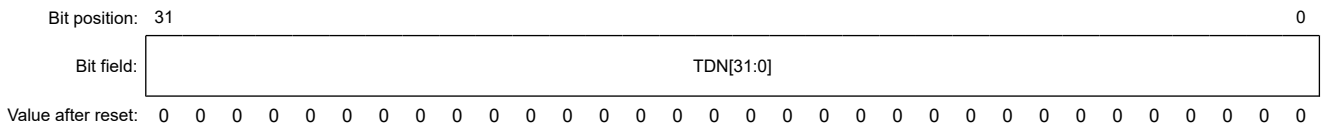
[インクリメント条件]

HW：フレームがマルチキャストの制御から AXI マスタインタフェースに渡されたときに、このレジスタの値が 32 ではない場合に、1 インクリメントされます。

34.3.10.2 GWTDCN : 送信データカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1004



ビット	シンボル	機能	R/W
31:0	TDN[31:0]	送信データ数 このレジスタは、GWCA によって送信されたデータをカウントします（これには、エラーで送信されたデータや 32 バイト未満のフレームが含まれます）。	R

TDN[31:0]ビット（送信データ数）

[0 になる条件]

HW: このレジスタは RESET モードになるとクリアされます。

SW: このレジスタは読み出すとクリアされます。

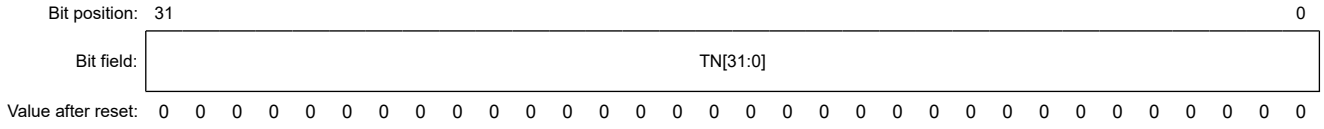
[インクリメント条件]

HW: フレームが AXI マスタインタフェースから TX データ格納に渡されたときに、このレジスタの値が 32 ではない場合は 1 インクリメントされます。

34.3.10.3 GWTSCN : タイムスタンプカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1008



ビット	シンボル	機能	R/W
31:0	TN[31:0]	タイムスタンプ数 このレジスタは、GWCA によって処理されたタイムスタンプをカウントします（ここでは AXI エラーのために失われた TS が考慮されます）。	R

TN[31:0]ビット（タイムスタンプ数）

[0 になる条件]

HW: このレジスタは RESET モードになるとクリアされます。

SW: このレジスタは読み出すとクリアされます。

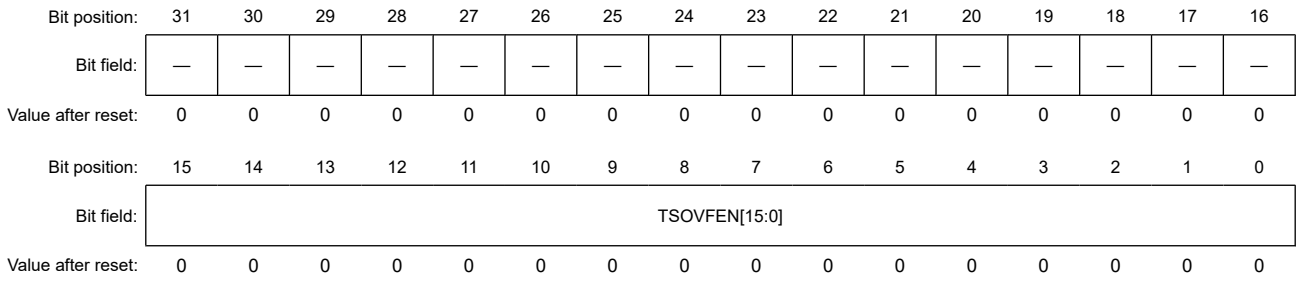
[インクリメント条件]

HW : タイムスタンプがタイムスタンプ RAM に保存されたときに、このレジスタの値が 32 ではない場合は 1 インクリメントされます。

34.3.10.4 GWTSOVFECN : タイムスタンプオーバーフローエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x100C



ビット	シンボル	機能	R/W
15:0	TSOVFEN[15:0]	タイムスタンプオーバーフローエラー数 このレジスタは、タイムスタンプ RAM のオーバーフローのために失われたタイムスタンプの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

TSOVFEN[15:0]ビット（タイムスタンプオーバーフローエラー数）

[0 になる条件]

HW: このレジスタは RESET モードになるとクリアされます。

SW: このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW : タイムスタンプオーバーフローエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.5 GWUSMFSECN : 最小フレームサイズ未満エラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	USMFSEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	USMFSEN[15:0]	スイッチ最小フレームサイズ未満エラー数 このレジスタは、スイッチ最小サイズエラーのために失われた送信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

USMFSEN[15:0]ビット（スイッチ最小フレームサイズ未満エラー数）

[0 になる条件]

HW : このレジスタは RESET モードになるとクリアされます。

SW : このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW : スイッチ最小フレームサイズ未満エラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.6 GWTFECN : TAG フィルタリングエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TFEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TFEN[15:0]	TAG フィルタリングエラー数 このレジスタは、TAG フィルタリングのために失われた送信データの数をカウントします。	R

ビット	シンボル	機能	R/W
31:16	—	読むと 0 が読めます。	R

TFEN[15:0]ビット（TAG フィルタリングエラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：TAG フィルタエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.7 GWSEQECN：シーケンスエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SEQEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SEQEN[15:0]	シーケンスエラー数 このレジスタは、シーケンスエラーのために失われた送信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

SEQEN[15:0]ビット（シーケンスエラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：シーケンスエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.8 GWTXDNECN : TX ディスクリプタ数エラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TXDNEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TXDNEN[15:0]	TX ディスクリプタ数エラー数 このレジスタは、TX ディスクリプタ数エラーのために失われた送信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

TXDNEN[15:0]ビット（TX ディスクリプタ数エラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：TX ディスクリプタ数エラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.9 GWFSECN : フレームサイズエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FSEN[15:0]	フレームサイズエラー数 本レジスタは、フレームサイズエラーのために失われた受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

FSEN[15:0]ビット（フレームサイズエラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW : フレームサイズエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.10 GWTDFECN : タイムスタンプディスクリプタフルエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TDFEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TDFEN[15:0]	タイムスタンプディスクリプタフルエラー数 このレジスタは、タイムスタンプディスクリプタフルエラーのために失われたタイムスタンプの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

TDFEN[15:0]ビット（タイムスタンプディスクリプタフルエラー数）

[0 になる条件]

HW : このレジスタは RESET モードになるとクリアされます。

SW : このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW : タイムスタンプディスクリプタフルエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.11 GWTSDNECN : タイムスタンプディスクリプタ数エラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x102C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSDNEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TSDNEN[15:0]	タイムスタンプディスクリプタ数エラー数 このレジスタは、タイムスタンプディスクリプタ数エラーのために失われたタイムスタンプの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

TSDNEN[15:0]ビット（タイムスタンプディスクリプタ数エラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：タイムスタンプディスクリプタ数エラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.12 GWDQOECN：ディスクリプタキューオーバーフローエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DQOEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DQOEN[15:0]	ディスクリプタキューオーバーフローエラー数 このレジスタは、ディスクリプタキューオーバーフローエラーのために失われた受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

DQOEN[15:0]ビット（ディスクリプタキューオーバーフローエラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：ディスクリプタキューオーバーフローエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.13 GWDQSECN：ディスクリプタキューセキュリティエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1034

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DQSEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DQSEN[15:0]	ディスクリプタキューセキュリティエラー数 本レジスタは、ディスクリプタキューセキュリティエラーのために失われた受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

DQSEN[15:0]ビット（ディスクリプタキューセキュリティエラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：ディスクリプタキューセキュリティエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.14 GWDFECN：ディスクリプタフルエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1038

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DFEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DFEN[15:0]	ディスクリプタフルエラー数 このレジスタは、ディスクリプタフルエラーのために失われた受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

DFEN[15:0]ビット（ディスクリプタフルエラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：ディスクリプタフルエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.15 GWDSECN : ディスクリプタセキュリティエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x103C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DSEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DSEN[15:0]	ディスクリプタセキュリティエラー数 このレジスタは、ディスクリプタセキュリティエラーのために失われた受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

DSEN[15:0]ビット（ディスクリプタセキュリティエラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：ディスクリプタセキュリティエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.16 GWDSZECN : データサイズエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DSZEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DSZEN[15:0]	データサイズエラー数 本レジスタは、データサイズエラーのために失われた受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

DSZEN[15:0]ビット（データサイズエラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：データサイズエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.17 GWDCTECN：ディスクリプタチェーンタイプエラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1044

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DCTEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DCTEN[15:0]	ディスクリプタチェーンタイプエラー数 このレジスタは、ディスクリプタチェーンタイプエラーのために失われた受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

DCTEN[15:0]ビット（ディスクリプタチェーンタイプエラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW：ディスクリプタチェーンタイプエラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.10.18 GWRXDNECN：RX ディスクリプタ数エラーカウンタレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1048

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RXDNEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RXDNEN[15:0]	RX ディスクリプタ数エラー数 このレジスタは、RX ディスクリプタ数エラーのために失われた受信データの数をカウントします。	R
31:16	—	読むと 0 が読めます。	R

RXDNEN[15:0]ビット（RX ディスクリプタ数エラー数）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このレジスタは読み出すとクリアされます。

[インクリメント条件]

HW: RX ディスクリプタ数エラーが発生したときに、このレジスタの値が 16 ではない場合は 1 インクリメントされます。

34.3.11 GWCA 割り込みレジスタ

34.3.11.1 GWDISi : データ割り込みステータスレジスタ i (i = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1100 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt	DISt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b (b = 0～31)	DISt (t = 32 × i + b)	データ t 割り込みステータスフラグ (t = 0～63)	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

DISt ビット（データ t 割り込みステータスフラグ (t = 0～63)）

[1 になる条件 TX]

HW : ディスクリプタが対応するキューで処理され、対応する読み出しディスクリプタで DESCR.DIE が設定されたとき。[通常の TX の設定タイミング情報について] ディスクリプタは、ライトバックされたときに処理済みとみなされます。実際のディスクリプタに存在する以前のものがすべて完全に処理されたことを SW が認識できるように、ライトバックされていないディスクリプタはすべて、ライトバックされたはずのタイミングで処理済みとみなされます。

[1 になる条件 RX]

HW : フレームが対応するキューで処理され、対応する読み出しディスクリプタの少なくとも 1 つで DESCR.DIE が設定されたとき。[通常の RX の設定タイミング情報について] フレームは、フレームの FSTART または FSINGLE ディスクリプタが処理されたときに処理済みとみなされます。ディスクリプタは、ライトバックされたときに処理済みとみなされます。実際のディスクリプタに存在する以前のものがすべて完全に処理されたことを SW が認識できるように、ライトバックされていないディスクリプタはすべて、ライトバックされたはずのタイミングで処理済みとみなされます。不明なディスクリプタが処理済みとみなされることはありません（GWEIS2i.DFESt を参照）。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

34.3.11.2 GWDIEi : データ割り込み許可レジスタ i (i = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1104 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt	DIEt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b (b = 0～31)	DIEt (t = 32 × i + b)	データ t 割り込み許可 (t = 0～63) [1 になる条件] このビットに 1 を書き込むと設定されます。 [0 になる条件] GWDIDi.DIDt レジスタに 1 を書き込むと、このビットはクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

34.3.11.3 GWDIDi : データ割り込み禁止レジスタ i (i = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1108 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt	DIDt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b (b = 0～31)	DIDt (t = 32 × i + b)	データ t 割り込み禁止 (t = 0～63) このビットに 1 を書き込むと、GWDIEi.DIEt レジスタがクリアされます。	R

34.3.11.4 GWDIDSi : データ割り込み遅延ステータスレジスタ i (i = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x110C + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt	DIDSt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b (b = 0～31)	DIDSt (t = 32 × i + b)	データ t 割り込み遅延ステータスフラグ (t = 0～63) 割り込み遅延機能によって遅延された割り込み GWDISi.DISt を表示します。	R

34.3.11.5 GWTSDIS : タイムスタンプデータ割り込みステータスレジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSDIS1	TSDIS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TSDIS1～TSDIS0	タイムスタンプデータ i 割り込みステータスフラグ （変数 i はビット位置番号に対応します）。	R/W(注1)
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

TSDIS ビット（タイムスタンプデータ i 割り込みステータスフラグ）

[1 になる条件]

HW : ディスクリプタが対応するキューで処理され、対応する読み出しディスクリプタで DESCR.DIE が設定されたとき。ディスクリプタは、ライトバックされたときに処理済みとみなされます。実際のディスクリプタに存在する以前のものがすべて完全に処理されたことを SW が認識できるように、ライトバックされていないディスクリプタはすべて、ライトバックされたはずのタイミングで処理済みとみなされます。不明なディスクリプタが処理済みとみなされることはありません（GWEIS0.TDFES を参照）。

[0 になる条件]

HW : このレジスタは RESET モードになるとクリアされます。

SW : このビットに 1 を書き込むとクリアされます。

34.3.11.6 GWTSDIE : タイムスタンプデータ割り込み許可レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1184

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSDIE1	TSDIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TSDIE1～TSDIE0	タイムスタンプデータ i 割り込み許可 （変数 i はビット位置番号に対応します）。 [1 になる条件] このビットに 1 を書き込むと設定されます。 [0 になる条件] GWTSDID.TSDIDs レジスタに 1 を書き込むと、このビットはクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

34.3.11.7 GWTSDID : タイムスタンプデータ割り込み禁止レジスタ

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1188

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSDID1	TSDID0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TSDID1～TSDID0	タイムスタンプデータ i 割り込み禁止 （変数 i はビット位置番号に対応します）。 このビットに 1 を書き込むと、GWTSDIE.TSDIEs レジスタがクリアされます。	R
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R

34.3.11.8 GWEIS0 : エラー割り込みステータスレジスタ 0

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1190

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TSDNES1	TSDNES0	—	—	TDFES1	TDFES0	FSES7	FSES6	FSES5	FSES4	FSES3	FSES2	FSES1	FSES0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSHES	TXDNES	—	SEQES	TFES	USMFSES	TSOVFES	—	—	—	—	—	—	—	—	AES
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AES	AXI エラーステータスフラグ	R/W(注1)
8:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TSOVFES	タイムスタンプオーバーフローエラーステータスフラグ	R/W(注1)
10	USMFSES	スイッチ最小フレームサイズ未満エラーステータスフラグ	R/W(注1)
11	TFES	TAG フィルタリングエラーステータスフラグ	R/W(注1)
12	SEQES	シーケンスエラーステータスフラグ(注2)	R/W(注1)
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	TXDNES	TX ディスクリプタ数エラーステータスフラグ(注2)	R/W(注1)
15	TSHES	タイムスタンプハードウェアエラーステータスフラグ	R/W(注1)
23:16	FSES7～FSES0	フレームサイズエラーステータスフラグ i （変数 i はビット位置番号に対応します）。	R/W(注1)
25:24	TDFES1～TDFES0	タイムスタンプディスクリプタ i フルエラーステータスフラグ （変数 i はビット位置番号に対応します）。	R/W(注1)
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:28	TSDNES1～ TSDNES0	タイムスタンプディスクリプタ i 数エラーステータスフラグ （変数 i はビット位置番号に対応します）。	R/W(注1)
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。
注 2. HW：このフラグは、TX ディスクリプタキューでのみ使用できます。

AES ビット（AXI エラーステータスフラグ）

[1 になる条件]

HW：AXI アクセスでエラーが検出されたとき (xRESP ! = 00)

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[エラー復帰]

HW：受信では、フレーム／タイムスタンプ転送が開始される前にディスクリプタの読み出し中に AXI エラーが発生した場合、フレーム／タイムスタンプは拒否されます。

HW：受信では、フレーム転送が開始された後にディスクリプタの読み出し中に AXI エラーが発生した場合、フレームの残りの部分は拒否され、最初にライトバックされたデータディスクリプタに対応するフレームで DESCR.AXIE が設定されます。これは、通常の同期モードでは FSTART です（GWDCCi.SM== 00 の場合）。

HW：受信では、データ書き込み中に AXI エラーが発生した場合、最初にライトバックされたデータディスクリプタに対応するフレームで DESCR.AXIE が設定されます。これは、通常の同期モードでは FSTART または FSINGLE ディスクリプタです（GWDCCi.SM == 00 の場合）。

HW：受信では、RX/TS ディスクリプタの書き込み中に AXI エラーが発生した場合、何も行われません。

HW：送信では、ディスクリプタの読み出し中に AXI エラーが発生し、フレームが送信中でない場合、対応する GWTRCi.TSRj ビットがクリアされ、フレームは送信されません。

HW：送信では、ディスクリプタの読み出し中に AXI エラーが発生し、フレームが送信中である場合、送信中のフレームは 0 でパディングされ、AXE エラーが設定された状態（(3) SAEF フォーマット）で MFWD に送信され、対応する GWTRCi.TSRj ビットがクリアされます。

HW：送信では、データの読み出し中に AXI エラーが発生した場合、送信中のフレームは AXE エラーが設定された状態（(3) SAEF フォーマット）で MFWD に送信されます。

HW：送信では、ディスクリプタの書き込み中に AXI エラーが発生した場合、何も行われません。

SW：システムリセット。

TSOVFES ビット（タイムスタンプオーバーフローエラーステータスフラグ）

[1 になる条件]

HW：タイムスタンプ RAM がフルの場合にタイムスタンプが受信されたとき。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[エラー復帰]

HW：タイムスタンプが失われます。

SW：タイムスタンプの喪失が許容可能な場合は、何も行われません。それ以外の場合は、スイッチがリセットされます。

USMFSES ビット（スイッチ最小フレームサイズ未満エラーステータスフラグ）

[1 になる条件]

HW：送信のために CPU から 32 バイト未満のフレームが受信されたとき。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：フレームは破棄されます。

SW：ソフトウェアエラー。ソフトウェアを確認する必要があります。

TFES ビット（TAG フィルタリングエラーステータスフラグ）

[1 になる条件]

HW：不正な TAG フォーマットが検出されたとき。（「34.5.2.3.2. VLAN タグ付加」を参照してください。）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：フレームは、ローカルディスクリプタの DESCR.TFE ビットが設定されて MFWD に送信されます（「34.5.2.3.3. フレームのローカル RAM 内への保存」を参照）。

SW：ソフトウェアエラー。ソフトウェアを確認する必要があります。

SEQES ビット（シーケンスエラーステータスフラグ）

[1 になる条件]

HW：フレーム転送が開始される前に FMID、FEND が受信されたとき。

HW：フレーム転送が開始された後に FMID、FEND、LINK、および LINKFIX とは異なるディスクリプタが受信されたとき。

HW：DESCR.DS が 0 に設定された FSTART、FMID、FEND、または FSINGLE ディスクリプタが受信されたとき。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：フレーム転送が開始される前にシーケンスエラーが発生した場合は、何も行われません。

HW：フレーム転送が開始された後にシーケンスエラーが発生した場合、送信中のフレームは 0 でパディングされ、SEQE エラーが設定された状態（(3) SAEF フォーマット）で MFWD に送信されます。

SW：ソフトウェアエラー。ソフトウェアを確認する必要があります。

TXDNES ビット（TX ディスクリプタ数エラーステータスフラグ）

[1 になる条件]

HW：あるフレームを処理するためにすでに GWMDNC.TXDMN+1 個のディスクリプタが使用されていて、そのフレーム処理が完了していないとき。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：フレーム転送が開始される前に TX ディスクリプタ数エラーが発生した場合は、GWTRCi.TSRj ビットがクリアされます。

HW：フレーム転送が開始された後に TX ディスクリプタ数エラーが発生した場合、送信中のフレームは 0 でパディングされ、DNE エラーが設定された状態（(3) SAEF フォーマット）で MFWD に送信され、対応する GWTRCi.TSRj ビットがクリアされます。

SW：ソフトウェアエラー。ソフトウェアを確認する必要があります。

TSHES ビット（タイムスタンプハードウェアエラーステータスフラグ）

[1 になる条件]

HW：このエラーは、タイムスタンプの転送速度が速すぎて時間内に GWCA を格納できない場合に発生するため、タイムスタンプ RAM がフルでなくてもタイムスタンプが失われます。このエラーは発生するはずがなく、キャプチャされたタイムスタンプの数が多すぎるか、またはバスクロック CLK の周波数が低すぎることを示します。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：タイムスタンプが失われます。

SW：復帰はありません。このエラーは発生するはずがありません。

FSES ビット（フレームサイズエラーステータスフラグ i）

[1 になる条件]

HW：このレジスタのビット q は、GWRMFSC.MFS より大きいフレームがディスクリプタキュー q に対して受信されたときに設定されます。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：現在のフレームが失われます。後続のデータは通常どおり処理されます。

SW：システムに依存するため、ここでは定義できません。

TDFES ビット（タイムスタンプディスクリプタ i フルエラーステータスフラグ）

[1 になる条件]

HW：ビット i は、フルになっているディスクリプタチェーン i に対してタイムスタンプが受信された（FEMPTY_ND、LINKFIX、または LINK ディスクリプタ以外のディスクリプタを読み出した）ときに設定されます。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：タイムスタンプが失われます。

SW：タイムスタンプの喪失が許容可能な場合は、何も行われません。それ以外の場合は、スイッチがリセットされます。

SW：AXI が遅すぎて CPU RAM 内にすべてのタイムスタンプを保存できません。キャプチャするタイムスタンプを減らすか、または ESWM のために予約された AXI 上の帯域幅を増やす必要があります。

TSDNES ビット（タイムスタンプディスクリプタ i 数エラーステータスフラグ）

[1 になる条件]

HW：ビット i は、ディスクリプタチェーン i のあるタイムスタンプを処理するためにすでに GWMDNC.TSDMN+1 個のディスクリプタが使用されていて、そのタイムスタンプ処理が完了していないときに設定されます。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：タイムスタンプが失われます。

SW：ソフトウェアエラー。ソフトウェアを確認する必要があります。

34.3.11.9 GWEIE0 : エラー割り込み許可レジスタ 0

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1194

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TSDNEE1	TSDNEE0	—	—	TDFEE1	TDFEE0	FSEE7	FSEE6	FSEE5	FSEE4	FSEE3	FSEE2	FSEE1	FSEE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSHEE	TXDNEE	—	SEQEE	TFEE	USMFSEE	TSOVFEE	—	—	—	—	—	—	—	—	AEE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AEE	AXI エラー許可 [1 になる条件] このビットに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.AED レジスタに 1 を書き込むとこのビットがクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
8:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TSOVFEE	タイムスタンプオーバーフローエラー許可 [1 になる条件] このビットに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.TSOVFED レジスタに 1 を書き込むとこのビットがクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
10	USMFSEE	最小フレームサイズ未満エラー許可 [1 になる条件] このビットに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.USMFSED レジスタに 1 を書き込むとこのビットがクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
11	TFEE	TAG フィルタリングエラー許可 [1 になる条件] このビットに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.TFED レジスタに 1 を書き込むとこのビットがクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
12	SEQEE	シーケンスエラー許可 [1 になる条件] このビットに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.SEQED レジスタに 1 を書き込むとこのビットがクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	TXDNEE	TX ディスクリプタ数エラー許可 [1 になる条件] これらのビットのいずれかに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.TXDNED レジスタに 1 を書き込むとこのビットがクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)

ビット	シンボル	機能	R/W
15	TSHEE	タイムスタンプハードウェアエラー許可 [1 になる条件] これらのビットのいずれかに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.TSHED レジスタに 1 を書き込むとこのビットがクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
23:16	FSEE7～FSEE0	フレームサイズエラー許可 i（変数 i はビット位置番号に対応します）。 [1 になる条件] これらのビットのいずれかに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.FSED ビットのいずれかに 1 を書き込むと、本レジスタの対応するビットがクリアされます。 0: エラー q に対して割り込み禁止 1: エラー q に対して割り込み許可	R/W(注1)
25:24	TDFEE1～TDFEE0	タイムスタンプディスクリプタ i フルエラー許可 （変数 i はビット位置番号に対応します）。 [1 になる条件] これらのビットのいずれかに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.TDFEID ビットのいずれかに 1 を書き込むと､本レジスタの対応するビットがクリアされます。 0: ディスクリプタキュー i に対して割り込み禁止 1: ディスクリプタキュー i に対して割り込み許可	R/W(注1)
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:28	TSDNEE1～ TSDNEE0	タイムスタンプディスクリプタ i 数エラー許可 （変数 i はビット位置番号に対応します）。 [1 になる条件] これらのビットのいずれかに 1 を書き込むと設定されます。 [0 になる条件] GWEID0.TSDNED ビットのいずれかに 1 を書き込むと、本レジスタの対応するビットがクリアされます。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

34.3.11.10 GWEID0 : エラー割り込み禁止レジスタ 0

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1198

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TSDNED1	TSDNED0	—	—	TDFED1	TDFED0	FSED7	FSED6	FSED5	FSED4	FSED3	FSED2	FSED1	FSED0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSHED	TXDNED	—	SEQED	TFED	USMFSED	TSOVFED	—	—	—	—	—	—	—	—	AED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AED	AXI エラー禁止 このビットに 1 を書き込むと、GWEIE0.AEE レジスタがクリアされます。	R
8:1	—	読むと 0 が読めます。	R
9	TSOVFED	タイムスタンプオーバーフローエラー禁止 このビットに 1 を書き込むと、GWEIE0.TSOVFEE レジスタがクリアされます。	R

ビット	シンボル	機能	R/W
10	USMFSED	最小フレームサイズ未満エラー禁止 このビットに 1 を書き込むと、GWEIE0.USMFSEE レジスタがクリアされます。	R
11	TFED	TAG フィルタリングエラー禁止 このビットに 1 を書き込むと、GWEIE0.TFEE レジスタがクリアされます。	R
12	SEQED	シーケンスエラー禁止 このビットに 1 を書き込むと、GWEIE0.SEQEE レジスタがクリアされます。	R
13	—	読むと 0 が読めます。	R
14	TXDNED	TX ディスクリプタ数エラー禁止 このビットに 1 を書き込むと、GWEIE0.TXDNEE レジスタがクリアされます。	R
15	TSHED	タイムスタンプハードウェアフルエラー禁止 このビットに 1 を書き込むと、GWEIE0.TSHEE レジスタがクリアされます。	R
23:16	FSED7～FSED0	フレームサイズエラー禁止 i (変数 i はビット位置番号に対応します)。 これらのビットのいずれかに 1 を書き込むと、GWEIE0.FSEE レジスタ内の対応するビットがクリアされます。	R
25:24	TDFED1～TDFED0	タイムスタンプディスクリプタ i フルエラー禁止 (変数 i はビット位置番号に対応します)。 これらのビットのいずれかに 1 を書き込むと、GWEIE0.TDFEIE レジスタ内の対応するビットがクリアされます。	R
27:26	—	読むと 0 が読めます。	R
29:28	TSDNED1～ TSDNED0	タイムスタンプディスクリプタ i 数エラー禁止 (変数 i はビット位置番号に対応します)。 これらのビットのいずれかに 1 を書き込むと、GWEIE0.TSDNED レジスタ内の対応するビットがクリアされます。	R
31:30	—	読むと 0 が読めます。	R

34.3.11.11 GWEIS1 : エラー割り込みステータスレジスタ 1

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x11A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DQSES7	DQSES6	DQSES5	DQSES4	DQSES3	DQSES2	DQSES1	DQSES0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	DQOES7	DQOES6	DQOES5	DQOES4	DQOES3	DQOES2	DQOES1	DQOES0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DQOES7～DQOES0	ディスクリプタキュー i オーバーフローエラーステータスフラグ (変数 i はビット位置番号に対応します)。	R/W(注1)
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	DQSES7～DQSES0	ディスクリプタキュー i セキュリティエラーステータスフラグ（変数 i はビット位置番号に対応します)。	R/W(注1)
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

DQOES ビット（ディスクリプタキュー i オーバーフローエラーステータスフラグ）

[1 になる条件]

HW：このレジスタのビット q は、フルになっている (GWRDQDCq.DQD == GWRDQMq.DNQ) が、無効になっていない（GWRDQC.RDQDi が設定されていない）キュー q に対してディスクリプタが受信され、GWCA が OPERATION モード (GWMC.OPC == 11) から切り替わろうとしていないときに設定されます。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[エラー復帰]

HW：フルになっているディスクリプタキューに対して受信されたディスクリプタはすべて、GWCA によって受け付けられず、CPU にも転送されません。

SW：対応するキューに対して受信されたディスクリプタが多すぎます。GWRDQDCq.DQD の設定を確認する必要があります。

DQSES ビット（ディスクリプタキュー i セキュリティエラーステータスフラグ）

[1 になる条件]

HW：このレジスタのビット q は、非セキュアなディスクリプタが受信され（FDESCR.SEC が[FWD]に設定されていない）、キュー q がセキュアなキューである（GWRDQSC.RDQSLn が設定されている）ときに設定されます。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[エラー復帰]

HW：セキュアなディスクリプタキューに対して受信された非セキュアなディスクリプタはすべて、GWCA によって受け付けられず、CPU にも転送されません。

SW：システムに依存するため、ここでは定義できません。

34.3.11.12 GWEIE1：エラー割り込み許可レジスタ 1

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x11A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DQSEE7	DQSEE6	DQSEE5	DQSEE4	DQSEE3	DQSEE2	DQSEE1	DQSEE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	DQOEE7	DQOEE6	DQOEE5	DQOEE4	DQOEE3	DQOEE2	DQOEE1	DQOEE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DQOEE7～DQOEE0	ディスクリプタキュー i オーバーフローエラー許可 （変数 i はビット位置番号に対応します）。 [1 になる条件] これらのビットのいずれかに 1 を書き込むと設定されます。 [0 になる条件] GWEID1.DQOED レジスタ内のビット q に 1 を書き込むと、このレジスタ内のビット q がクリアされます。 0: エラー q に対して割り込み禁止 1: エラー q に対して割り込み許可	R/W(注1)
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
23:16	DQSEE7～DQSEE0	ディスクリプタキュー i セキュリティエラー許可 （変数 i はビット位置番号に対応します）。 [1 になる条件] これらのビットのいずれかに 1 を書き込むと設定されます。 [0 になる条件] GWEID1.DQSED レジスタ内のビット q に 1 を書き込むと、このレジスタ内のビット q がクリアされます。 0: エラー q に対して割り込み禁止 1: エラー q に対して割り込み許可	R/W(注1)
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

34.3.11.13 GWEID1 : エラー割り込み禁止レジスタ 1

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x11A8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DQSED7	DQSED6	DQSED5	DQSED4	DQSED3	DQSED2	DQSED1	DQSED0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	DQOED7	DQOED6	DQOED5	DQOED4	DQOED3	DQOED2	DQOED1	DQOED0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DQOED7～DQOED0	ディスクリプタキュー i オーバーフローエラー禁止 （変数 i はビット位置番号に対応します）。 このレジスタのビット q に 1 を書き込むと、GWEIE1.DQOEE レジスタ内のビット q がクリアされます。	R
15:8	—	読むと 0 が読めます。	R
23:16	DQSED7～DQSED0	ディスクリプタキュー i セキュリティエラー禁止（変数 i はビット位置番号に対応します）。 このレジスタのビット q に 1 を書き込むと、GWEIE1.DQSEE レジスタ内のビット q がクリアされます。	R
31:24	—	読むと 0 が読めます。	R

34.3.11.14 GWEIS2i : エラー割り込みステータスレジスタ 2i (i = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1200 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt	DFESt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b (b = 0～31)	DFESt (t = 32 × i + b)	ディスクリプタ t フルエラーステータスフラグ (t = 0～63)(注1)	R/W(注2)

注 1. HW：本レジスタは、RX キューに対してのみ有効です。
注 2. 読み出し値は書き込まれた値とは異なります。

DFESt ビット（ディスクリプタ t フルエラーステータスフラグ (t = 0～63)）

[1 になる条件]

HW：フルになっているディスクリプタキュー t のフレームが受信された（FEMPTY、FEMPTY_IS、FEMPTY_IC、FEMPTY_ND、FEMPTY_START、FEMPTY_MID、FEMPTY_END、LINKFIX、および LINK ではないディスクリプタを読み出す）とき。このフラグは、フレームの最終ディスクリプタライトバックが完了している必要のあるタイミングで設定されます。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[エラー復帰]

HW：フレームの一部がすでに送信されている場合は、RX ディスクリプタ内の DESCR.ERR ビットの設定。

HW：現在のフレーム、またはフレームの残りの部分は破棄され、次のフレームが通常どおり処理されます（ソフトウェアが受信のための新しいディスクリプタを挿入しない限り、キューはオーバーフローし続けます）。

SW：DESCR.ERR ビットが設定されているデータを破棄します。

34.3.11.15 GWEIE2i : エラー割り込み許可レジスタ 2i (i = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1204 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt	DFEEt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b (b = 0～31)	DFEEt (t = 32 × i + b)	ディスクリプタ t フルエラー許可 (t = 0～63) 0: 割り込み禁止 1: 割り込み許可	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

DFEEt ビット（ディスクリプタ t フルエラー許可 (t = 0～63)）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID2i.DFEDt レジスタに 1 を書き込むとこのビットがクリアされます。

34.3.11.16 GWEID2i : エラー割り込み禁止レジスタ 2i (i = 0, 1)

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1208 + 0x10 × i

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt	DFEDt
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b (b = 0～31)	DFEDt (t = 32 × i + b)	ディスクリプタ t フルエラー禁止 (t = 0～63) このビットに 1 を書き込むと、GWEIE2i.DFEEt レジスタがクリアされます。	R

34.3.11.17 GWEIS3 : エラー割り込みステータスレジスタ 3

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1280

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	IAOES3	IAOES2	IAOES1	IAOES0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	IAOES3～IAOES0	インクリメンタル領域 i オーバーフローエラーステータスフラグ(注1) (変数 i はビット位置番号に対応します)。	R/W(注2)
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HW：このレジスタは、RX インクリメンタルキューに対してのみ有効です。
注 2. 読み出し値は書き込まれた値とは異なります。

IAOESi ビット（インクリメンタル領域 i オーバーフローエラーステータスフラグ）

[1 になる条件]

HW：インクリメンタル領域 i がオーバーフローする場合。詳細については、「34.5.3.5.3. シングルページインクリメンタルデータ受信」を参照してください。このフラグが設定されるのは、GWIDAUASi.IDAUAS が GWIDASMi.IDAS の値を超えるときだけです（インクリメンタル領域がすでにオーバーフローしていると、GWIDAUASi.IDAUAS がオーバーフローしている場合を除いてこのフラグは再度設定されません）。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[エラー復帰]

HW：このインクリメンタル領域に到着するデータは引き続き書き込まれます。

SW：新しいインクリメンタル領域を設定します。

34.3.11.18 GWEIE3 : エラー割り込み許可レジスタ 3

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1284

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	IAOEE3	IAOEE2	IAOEE1	IAOEE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	IAOEE3～IAOEE0	インクリメンタル領域 i オーバーフローエラー許可 (変数 i はビット位置番号に対応します)。 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

IAOEE ビット（インクリメンタル領域 i オーバーフローエラー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID3.IAOEDi レジスタに 1 を書き込むとこのビットがクリアされます。

34.3.11.19 GWEID3 : エラー割り込み禁止レジスタ 3

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1288

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	IAOED3	IAOED2	IAOED1	IAOED0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	IAOED3～IAOED0	インクリメンタル領域 i オーバーフローエラー禁止 (変数 i はビット位置番号に対応します)。 このビットに 1 を書き込むと GWEIE3.IAOEDi レジスタがクリアされます。	R
31:4	—	読むと 0 が読めます。	R

34.3.11.20 GWEIS4 : エラー割り込みステータスレジスタ 4

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1290

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	DSECN[5:0]						—	—	—	—	—	—	DSEIOS	DSES
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	DSSECN[5:0]						—	—	—	—	—	—	DSSEIOS	DSSES
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSSES	ディスクリプタセキュリティエラーステータスフラグ	R/W(注1)
1	DSSEIOS	ディスクリプタセキュリティエラー割り込みオーバーフローステータスフラグ(注2)	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	DSSECN[5:0]	ディスクリプタセキュリティエラーチェーン番号(注2)	R
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DSES	データサイズエラーステータスフラグ(注2)	R/W(注1)
17	DSEIOS	データサイズエラー割り込みオーバーフローステータスフラグ(注2)	R/W(注1)
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:24	DSECN[5:0]	データサイズエラーチェーン番号(注2)	R
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。
注 2. HW : 本レジスタは、RX キューに対してのみ有効です。

DSSES ビット（ディスクリプタセキュリティエラーステータスフラグ）

[0 になる条件]

HW : このレジスタは RESET モードになるとクリアされます。

SW : このビットに 1 を書き込むとクリアされます。

[1 になる条件]

HW : 受信中にセキュアなキュー（GWDCCi.SL が設定されている）で非セキュアなディスクリプタを受信した場合。

[エラー復帰]

HW : 受信時に現在のフレームが失われます。後続のデータは通常どおり処理されます。

SW : セキュアな CPU は、非セキュアな転送エンジンのレジスタを読み出し、非セキュアなトラフィックのためにどのエントリがセキュアなキューを使おうとしているかを見つけ、それを抑止する必要があります。

SW : セキュアな CPU は、非セキュアな CPU からスイッチへのアクセスをブロックすることができます。

DSSEIOS ビット（ディスクリプタセキュリティエラー割り込みオーバーフローステータスフラグ）

[0 になる条件]

HW : このレジスタは RESET モードになるとクリアされます。

SW : このビットに 1 を書き込むとクリアされます。

[1 になる条件]

ディスクリプタセキュリティエラーが発生し、GWEIS4.DSSES がすでに 1 に設定されている場合。この場合、内部で新しいエラーが発生したディスクリプタのチェーン番号が失われます。

[エラー復帰]

SW：スイッチのリセット。

DSSECN[5:0]ビット（ディスクリプタセキュリティエラーチェーン番号）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

[更新する条件]

このフィールドを、GWEIS4.DSSES が設定されているときに内部でディスクリプタセキュリティエラーが発生したディスクリプタのチェーン番号に更新します。

DSES ビット（データサイズエラーステータスフラグ）

[1 になる条件]

HW：予期しないサイズのフレームを受信した場合。詳細については、「34.5.3.5.2. サイズ制御によるデータ受信」を参照してください。このフラグが設定されるのは、フレームの最終ディスクリプタのライトバックが完了した後です。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[エラー復帰]

HW: FSTART RX ディスクリプタでの DESCR.DSE ビットの設定。

HW：フレームが過小フレームであった場合、そのフレームは通常のディスクリプタシーケンス（FSINGLE または FSTART/FEND または FSTART/n*FMID/FEND）で書き込まれます。

HW：フレームが過小フレームであった場合、対応するキューの新しいフレームが到着すると、AXI マスタは、FEMPTY_MID または FEMPTY_END ではない空のディスクリプタまで、後続のすべてのディスクリプタをスキップします（フレームの開始時には FEMPTY_MID および FEMPTY_END ディスクリプタは常に無視されます）。

フレームが過大フレームの場合、フレームが切り詰められます。

SW：DESCR.DSE ビットが設定されているデータを破棄します。

SW：サイズエラーにより RX ディスクリプタで DESCR.DSE が設定されているため、エラー復帰のための本フラグの読み出しは必須ではありません。

DSEIOS ビット（データサイズエラー割り込みオーバーフローステータスフラグ）

[1 になる条件]

データサイズエラーが発生し、GWEIS4.DSES がすでに 1 に設定されている場合。この場合、内部で新しいエラーが発生したディスクリプタのチェーン番号が失われます。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[エラー復帰]

SW：スイッチのリセット。

DSECN[5:0]ビット（データサイズエラーチェーン番号）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

[更新する条件]

このフィールドを、GWEIS4.DSEIS が設定されているときに内部でデータサイズエラーが発生したディスクリプタのチェーン番号に更新します。

34.3.11.21 GWEIE4 : エラー割り込み許可レジスタ 4

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1294

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSEIOE	DSEE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSSEIOE	DSSEE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSSEE	ディスクリプタセキュリティエラー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
1	DSSEIOE	ディスクリプタセキュリティエラー割り込みオーバーフロー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DSEE	データサイズエラー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
17	DSEIOE	データサイズエラー割り込みオーバーフロー割り込み許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

DSSEE ビット（ディスクリプタセキュリティエラー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID4.DSSED レジスタに 1 を書き込むとこのビットがクリアされます。

DSSEIOE ビット（ディスクリプタセキュリティエラー割り込みオーバーフロー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID4.DSSEIOD レジスタに 1 を書き込むとこのビットがクリアされます。

DSEE ビット（データサイズエラー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID4.DSED レジスタに 1 を書き込むとこのビットがクリアされます。

DSEIOE ビット（データサイズエラー割り込みオーバーフロー割り込み許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID4.DSEIOD レジスタに 1 を書き込むとこのビットがクリアされます。

34.3.11.22 GWEID4 : エラー割り込み禁止レジスタ 4

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x1298

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSEIOD	DSED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSSEIOD	DSSED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSSED	ディスクリプタセキュリティエラー禁止 このビットに 1 を書き込むと GWEIE4.DSSEE レジスタがクリアされます。	R
1	DSSEIOD	ディスクリプタセキュリティエラー割り込みオーバーフロー禁止 このビットに 1 を書き込むと GWEIE4.DSSEIOE レジスタがクリアされます。	R
15:2	—	読むと 0 が読めます。	R
16	DSED	データサイズエラー禁止 このビットに 1 を書き込むと GWEIE4.DSEE レジスタがクリアされます。	R
17	DSEIOD	データサイズエラー割り込みオーバーフロー禁止 このビットに 1 を書き込むと GWEIE4.DSEIOE レジスタがクリアされます。	R
31:18	—	読むと 0 が読めます。	R

34.3.11.23 GWEIS5 : エラー割り込みステータスレジスタ 5

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x12A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	RXDNECN[5:0]						—	—	—	—	—	—	RXDNEIOS	RXDNES
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	DCTECN[5:0]						—	—	—	—	—	—	DCTEIOS	DCTES
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DCTES	ディスクリプタチェーンタイプエラーステータスフラグ	R/W(注1)
1	DCTEIOS	ディスクリプタチェーンタイプエラー割り込みオーバーフローステータスフラグ	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	DCTECN[5:0]	ディスクリプタチェーンタイプエラーチェーン番号	R
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
16	RXDNES	RX ディスクリプタ数エラーステータスフラグ	R/W(注1)
17	RXDNEIOS	RX ディスクリプタ数エラー割り込みオーバーフローステータスフラグ	R/W(注1)
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:24	RXDNECN[5:0]	RX ディスクリプタ数エラーチェーン番号	R
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

DCTES ビット（ディスクリプタチェーンタイプエラーステータスフラグ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[1 になる条件]

HW：ディスクリプタが（GWDCCi.DQT が設定された）送信ディスクリプタキューに対して受信されたとき。

[エラー復帰]

HW：ディスクリプタが送信ディスクリプタキューに対して受信されると、対応するフレームは破棄されます。

SW：これはソフトウェアエラーです。ソフトウェアを確認する必要があります。

DCTEIOS ビット（ディスクリプタチェーンタイプエラー割り込みオーバーフローステータスフラグ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[1 になる条件]

ディスクリプタチェーンタイプエラーが発生し、GWEIS5.DCTES がすでに 1 に設定されているとき。この場合、内部で新しいエラーが発生したディスクリプタのチェーン番号が失われます。

[エラー復帰]

SW：スイッチのリセット。

DCTECN[5:0] ビット（ディスクリプタチェーンタイプエラーチェーン番号）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

[更新する条件]

このフィールドは、GWEIS5.DCTES が設定されているときにディスクリプタチェーンタイプエラーが発生したディスクリプタチェーン番号に更新されます。

RXDNES ビット（RX ディスクリプタ数エラーステータスフラグ）

[1 になる条件]

HW：あるフレームを処理するためにすでに GWMDNC.RXDMN+1 個のディスクリプタが使用されていて、そのフレーム処理が完了していないとき。

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW: これらのビットのいずれかに 1 を書き込むとクリアされます。

[エラー復帰]

HW：フレームの一部がすでに送信されている場合は、RX ディスクリプタ内の DESCR.ERR ビットの設定。

HW：現在のフレームまたはフレームの残りの部分は破棄され、次のフレームは正常に処理されます。

SW：DESCR.ERR ビットが設定されているデータを破棄します。

SW：ソフトウェアエラー。ソフトウェアを確認する必要があります。

RXDNEIOS ビット（RX ディスクリプタ数エラー割り込みオーバーフローステータスフラグ）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

SW：このビットに 1 を書き込むとクリアされます。

[1 になる条件]

RX ディスクリプタ数エラーが発生し、GWEIS5.RXDNES がすでに 1 に設定されているとき。この場合、内部で新しいエラーが発生したディスクリプタのチェーン番号が失われます。

[エラー復帰]

SW：スイッチのリセット。

RXDNECN[5:0] ビット（RX ディスクリプタ数エラーチェーン番号）

[0 になる条件]

HW：このレジスタは RESET モードになるとクリアされます。

[更新する条件]

このフィールドは、GWEIS5.RXDNES が設定されているときに RX ディスクリプタ数エラーが発生したディスクリプタチェーン番号に更新されます。

34.3.11.24 GWEIE5：エラー割り込み許可レジスタ 5

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x12A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RXDNEIOE	RXDNEE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DCTEIOE	DCTEE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DCTEE	ディスクリプタチェーンタイプエラー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
1	DCTEIOE	ディスクリプタチェーンタイプエラー割り込みオーバーフロー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	RXDNEE	RX ディスクリプタ数エラー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
17	RXDNEIOE	RX ディスクリプタ数エラー割り込みオーバーフロー許可 0: 割り込み禁止 1: 割り込み許可	R/W(注1)
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

DCTEE ビット（ディスクリプタチェーンタイプエラー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID5.DCTED レジスタに 1 を書き込むとこのビットがクリアされます。

DCTEIOE ビット（ディスクリプタチェーンタイプエラー割り込みオーバーフロー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID5.DCTEIOD レジスタに 1 を書き込むとこのビットがクリアされます。

RXDNEE ビット（RX ディスクリプタ数エラー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID5.RXDNED レジスタに 1 を書き込むとこのビットがクリアされます。

RXDNEIOE ビット（RX ディスクリプタ数エラー割り込みオーバーフロー許可）

[1 になる条件]

このビットに 1 を書き込むと設定されます。

[0 になる条件]

GWEID5.RXDNEIOD レジスタに 1 を書き込むとこのビットがクリアされます。

34.3.11.25 GWEID5 : エラー割り込み禁止レジスタ 5

Base address: GWCA0 = 0x403C_E000
GWCA0_NS = 0x503C_E000

Offset address: 0x12A8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RXDNEIOD	RXDNED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DCTEIOD	DCTED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DCTED	ディスクリプタチェーンタイプエラー禁止 このビットに 1 を書き込むと、GWEIE5.DCTEE レジスタがクリアされます。	R
1	DCTEIOD	ディスクリプタチェーンタイプエラー割り込みオーバーフロー禁止 このビットに 1 を書き込むと、GWEIE5.DCTEIOE レジスタがクリアされます。	R
15:2	—	読むと 0 が読めます。	R
16	RXDNED	RX ディスクリプタ数エラー禁止 このビットに 1 を書き込むと、GWEIE5.RXDNEE レジスタがクリアされます。	R
17	RXDNEIOD	RX ディスクリプタ数エラー割り込みオーバーフロー禁止 このビットに 1 を書き込むと、GWEIE5.RXDNEIOE レジスタがクリアされます。	R
31:18	—	読むと 0 が読めます。	R

34.4 レジスタの使用

34.4.1 動作モード

表 34.4 に、GWCA の動作モードを示します。

表 34.4 GWCA の動作モード

動作モード	GWMS.OPS の値	説明
DISABLE	1	• トランザクション実行中ではありません。 ただし、エージェントが OPERATION から DISABLE に移行したときは、GWCA からのトランザクション(注1)の（置き去りにされた）トレランスが存在する場合があります。 • エージェントクロックが有効な場合、書き込みでアクセスできるのはステータスレジスタだけです。
RESET	0	• トランザクション実行中ではありません。 • ステータスレジスタの GWCA ロジックをリセットするために内部リセットがアサートされます（RESET モードでレジスタがリセットされる場合は、その説明で示されます）。 • 書き込みでアクセスできるレジスタはありません。 • RAM 値は保持されます。
CONFIG	2	• トランザクション実行中ではありません。 • スタティックレジスタと一部のダイナミックレジスタは書き込みでアクセスできます。
OPERATION	3	• トランザクションが実行中です。 • ダイナミックレジスタは書き込みでアクセスできます。

注 1. 最大 8 つの読み出しトランザクションまたは最大 8 つの書き込みトランザクション。

34.4.1.1 動作モード遷移

図 34.2 に動作モード遷移を示します。

以下がモード遷移のトリガとなる可能性があります。

- ハードウェアリセット。
- ソフトウェアリセット。
- **GWMC.OPC** の設定。この場合、モード遷移は GWMS.OPS によって確認されます。

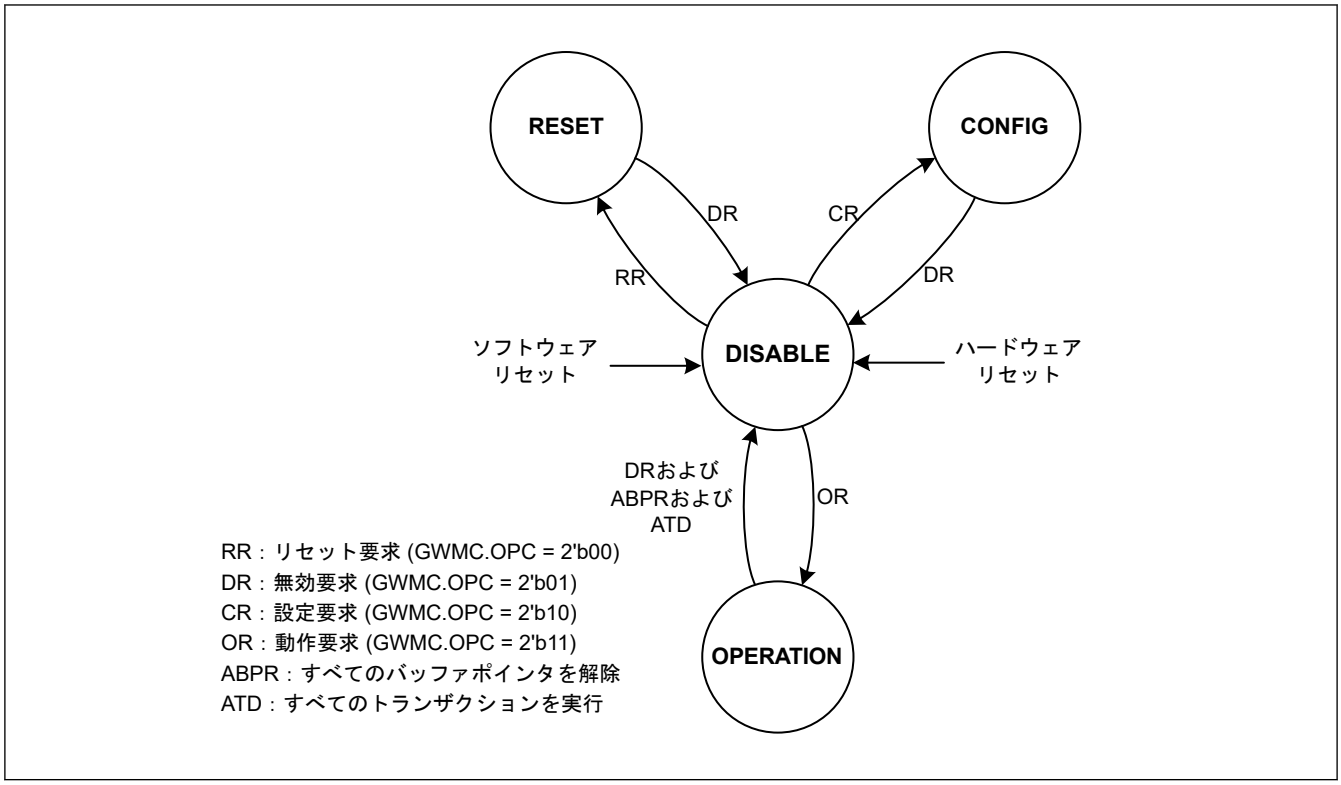


図 34.2　動作モード遷移

遷移条件に関する補足情報

ABPR：

- GWCA に格納されているすべてのバッファポインタは、転送エンジンに解放されます[FWD]。

ATD：

- 受信済みのすべてのディスクリプタが処理されると、対応するフレームが CPU に送信され、AXI ディスクリプタがライトバックされます。

処理中のすべての送信フレームが完全に MFWD に送信されると、AXI ディスクリプタがライトバックされます。

[制約事項]

- ソフトウェアが遷移のトリガとなるのは、図 34.2 に示した場合のみです。
  例：OPERATION から CONFIG に直接遷移しないでください。

34.4.2　ソフトウェアフロー

制約事項：

- SW：本項のフローに従ってください。

34.4.2.1　ソフトウェアフローの凡例

ソフトウェアフローの凡例を図 34.3 に示します。

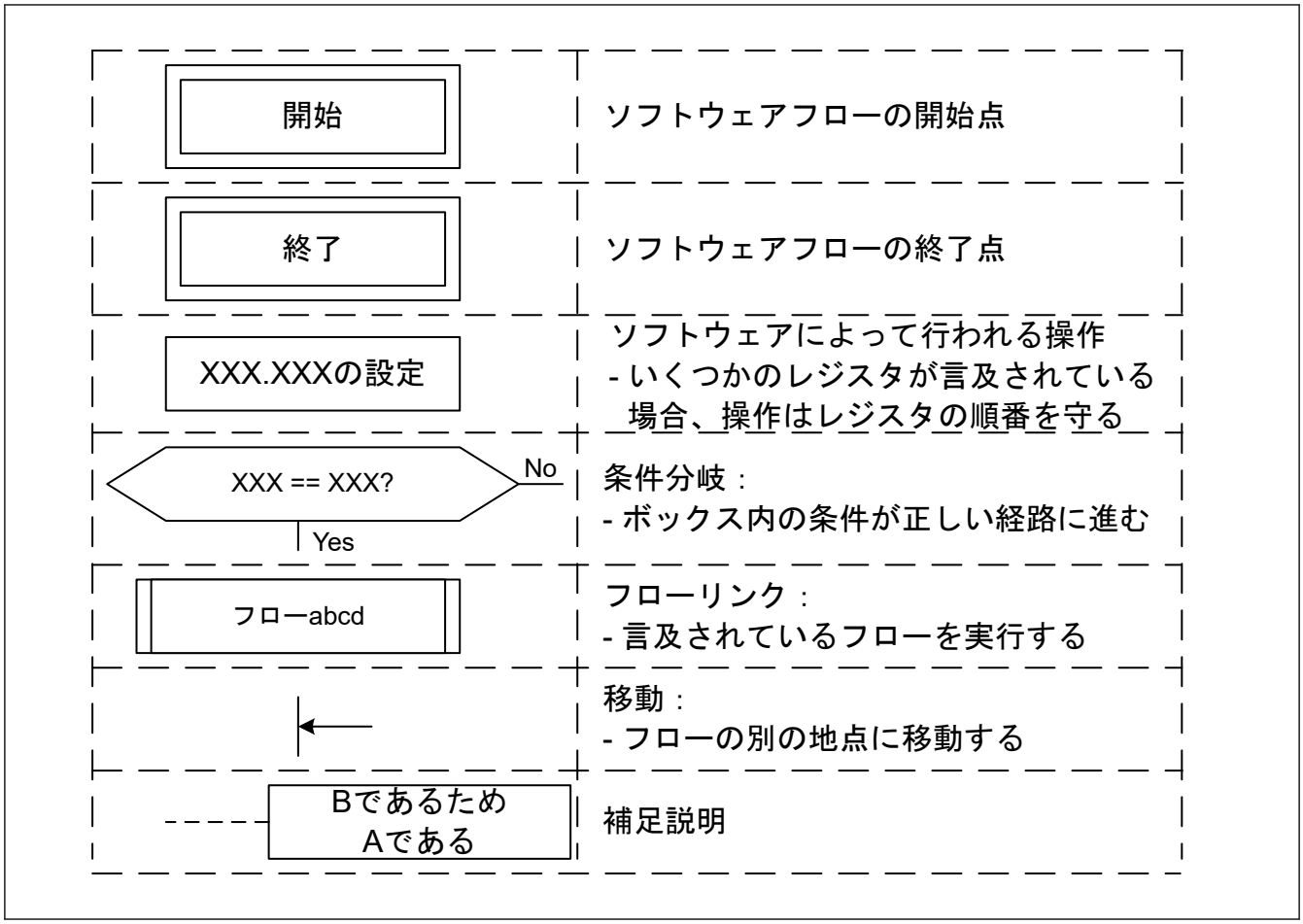


図 34.3　ソフトウェアフローの凡例

34.4.2.2　モード遷移フロー

モード遷移フローを図 34.4 に示します。

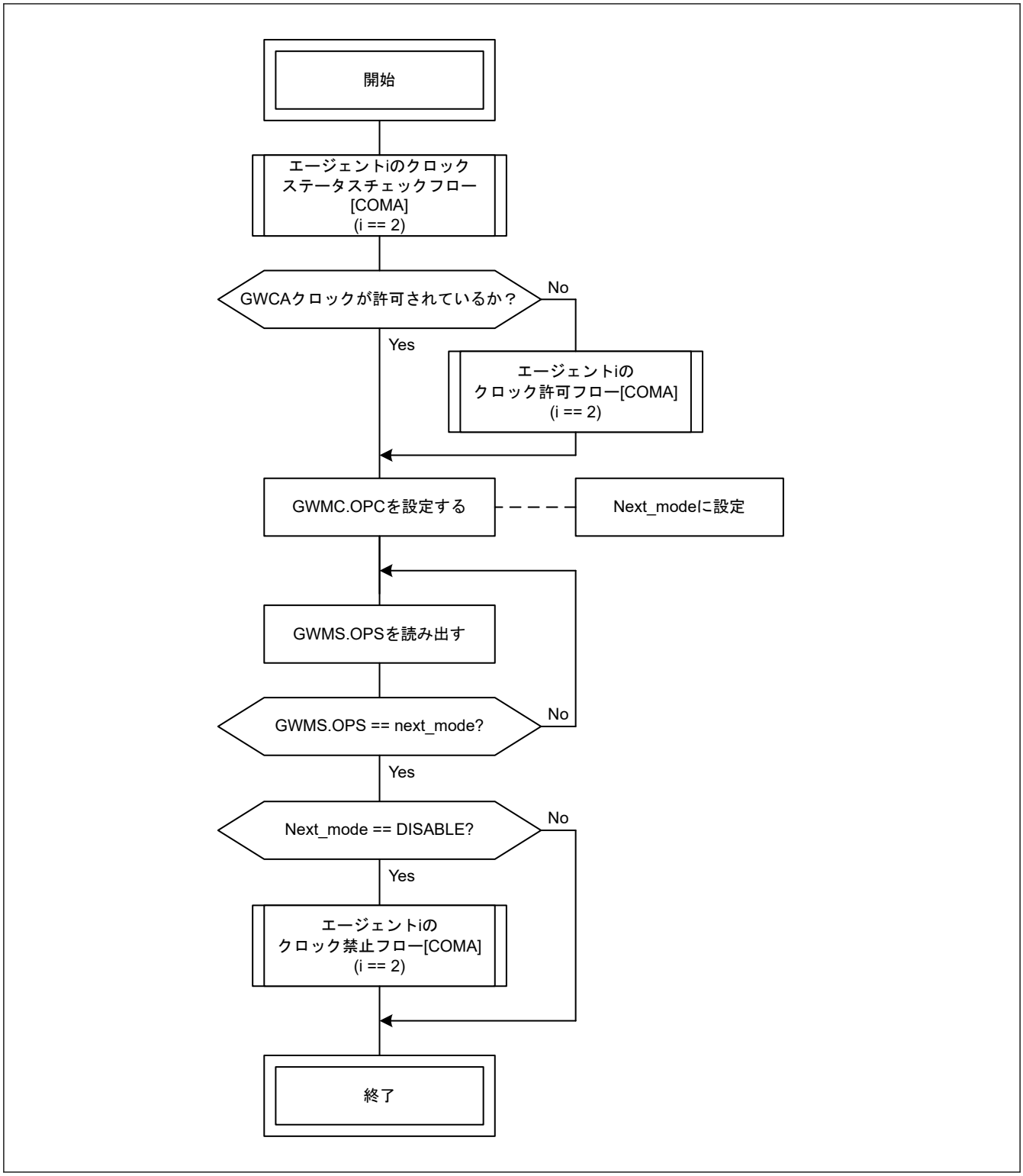


図 34.4　モード遷移フロー

注.
- クロックが許可されていることが SW で認識済みの場合は、クロック状態のチェック手順をスキップできます。
- SW からエージェントクロックを DISABLE モードで禁止する必要がない場合（他のモードに直接遷移するため、またはクロックを禁止する必要が生じないため）、クロック禁止手順をスキップできます。

34.4.2.3　リセットフロー

リセットフローを図 34.5 に示します。

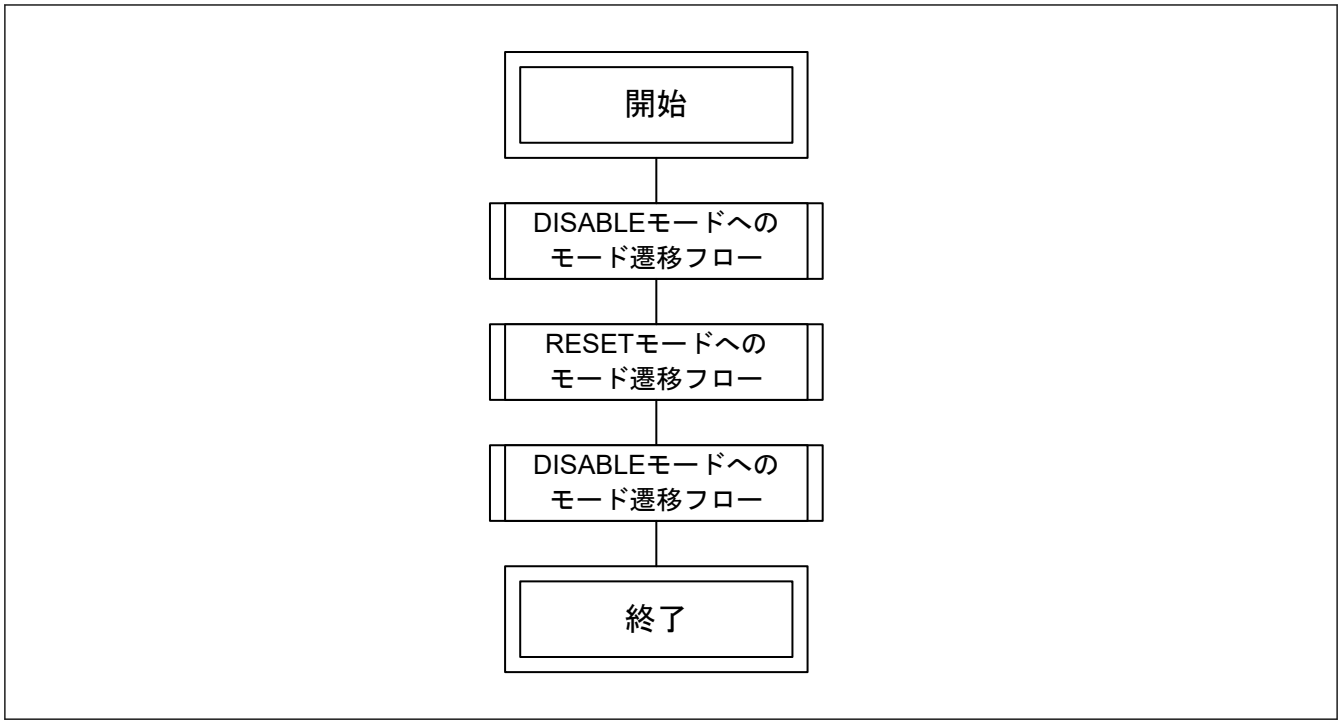


図 34.5　リセットフロー

34.4.2.4　初期化フロー

初期化フローを図 34.6 に示します。

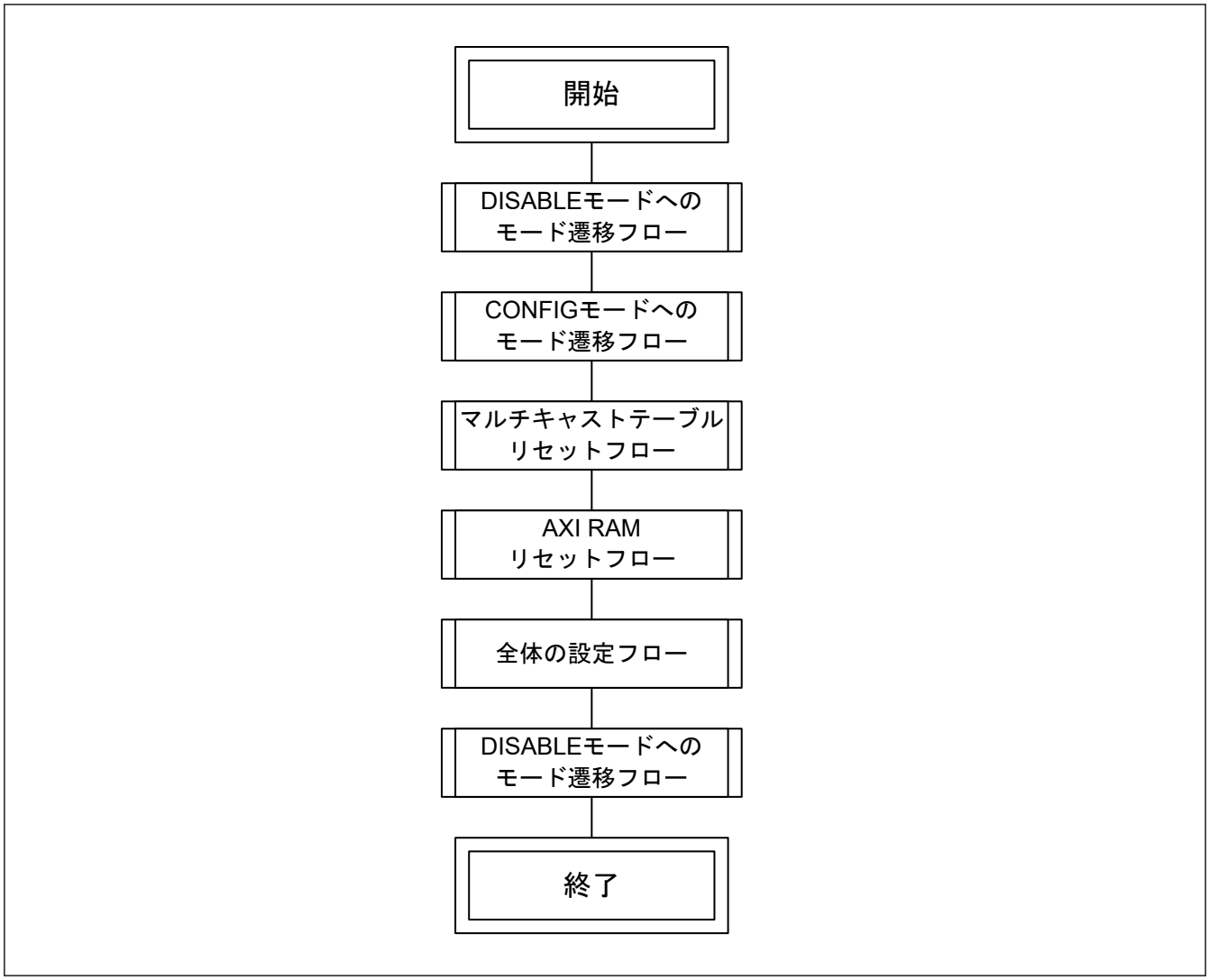


図 34.6　初期化フロー

34.4.2.5　再初期化フロー

再初期化フローを図 34.7 に示します。

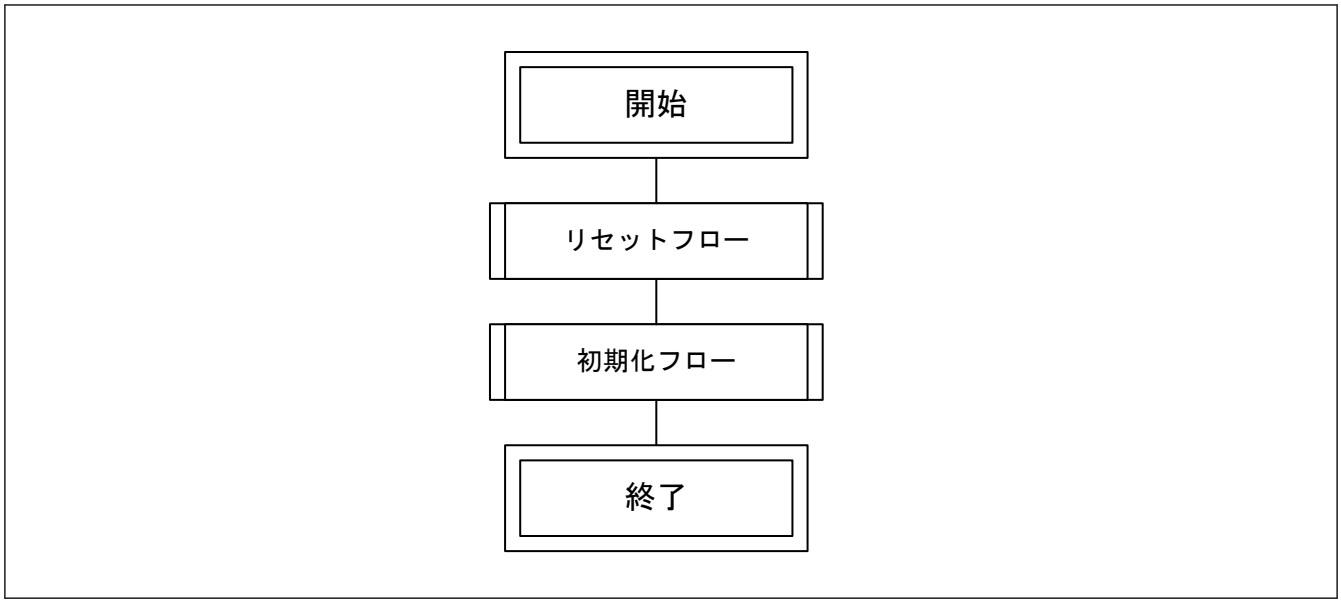


図 34.7　再初期化フロー

34.4.2.6　マルチキャストテーブルリセットフロー

マルチキャストテーブルリセットフローを図 34.8 に示します。

制約事項：

- このフローは、RESET および DISABLE モードでは使用できません。

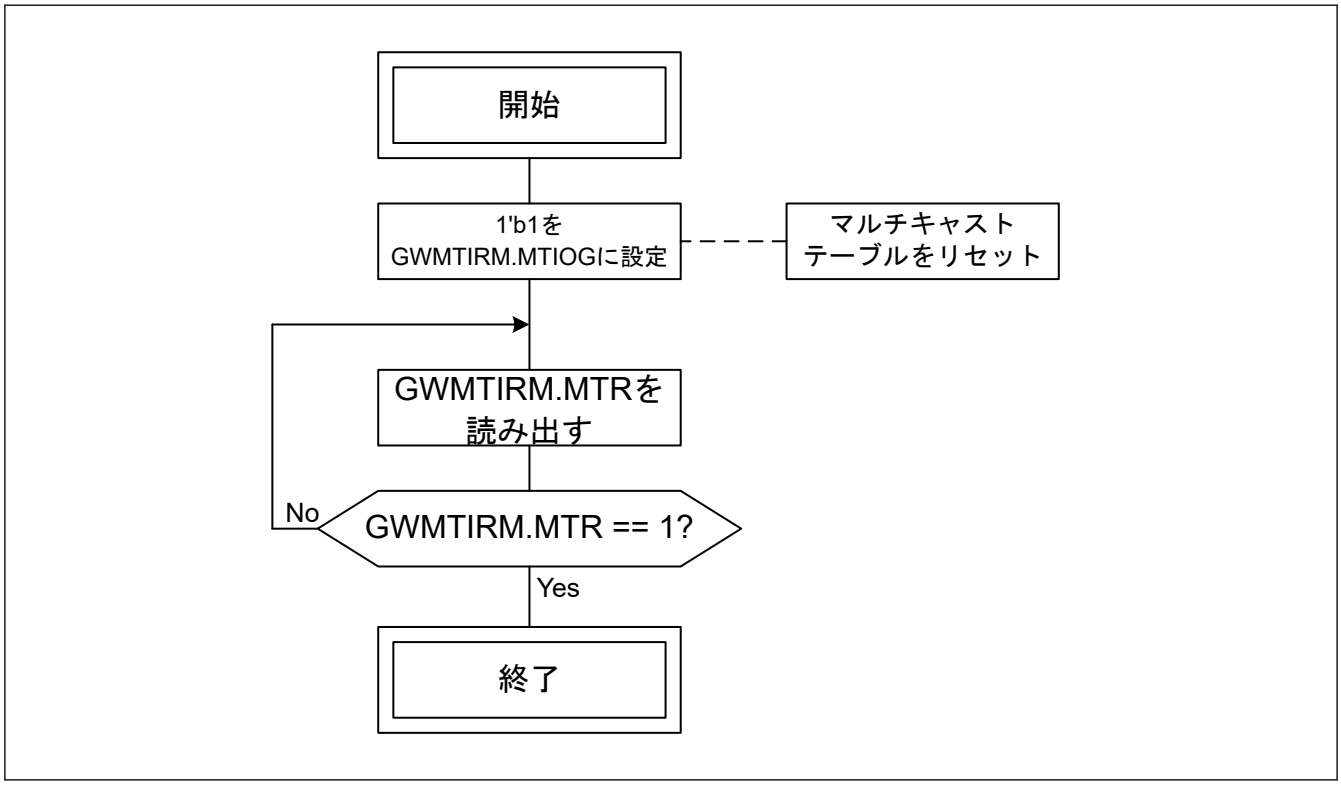


図 34.8　マルチキャストテーブルリセットフロー

34.4.2.7　マルチキャストテーブル設定フロー

マルチキャストテーブル設定フローを図 34.9 に示します。

制約事項：

- このフローは、RESET および DISABLE モードでは使用できません。

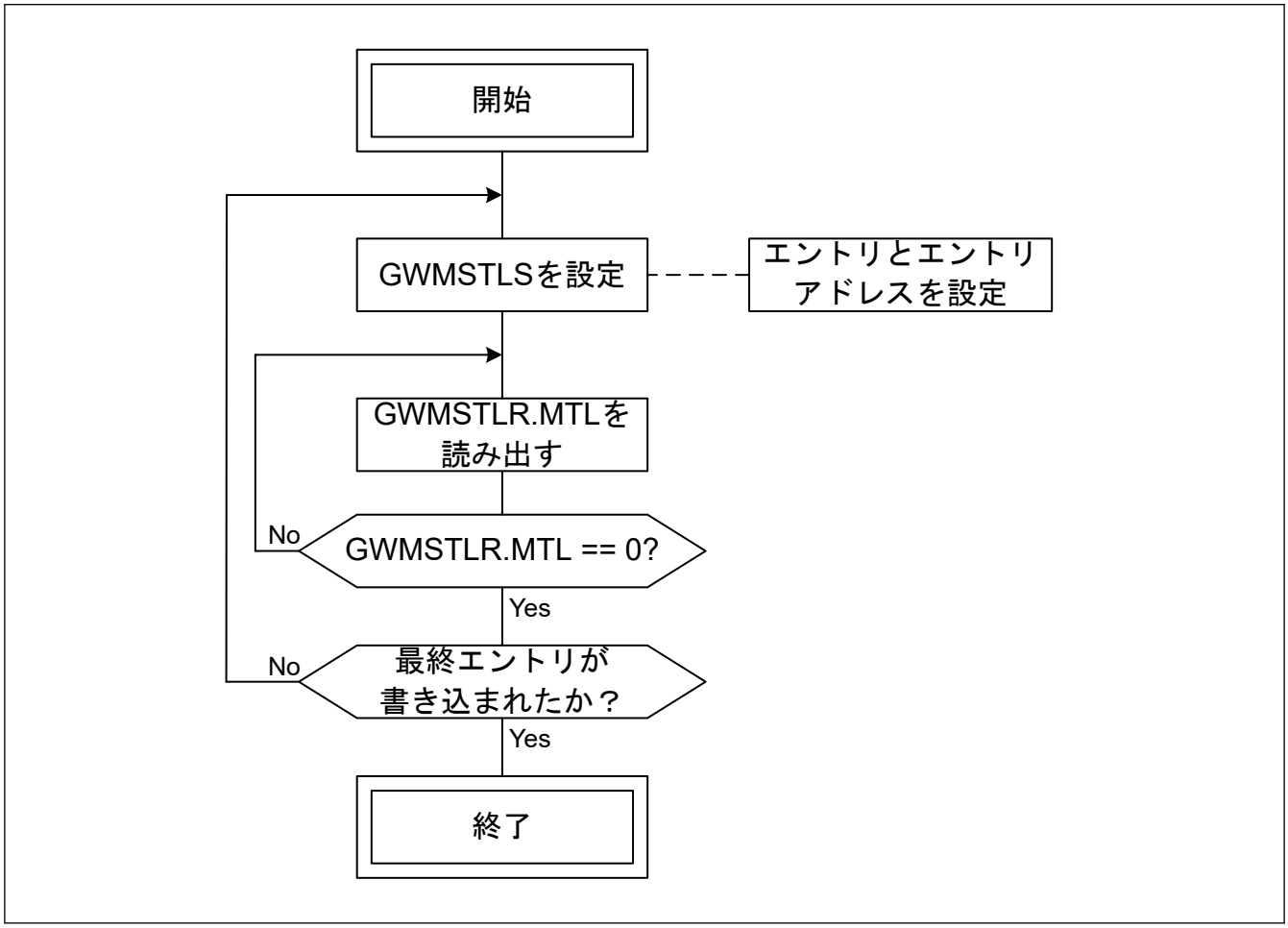


図 34.9　マルチキャストテーブル設定フロー

34.4.2.8　マルチキャストテーブル読み出しフロー

マルチキャストテーブル読み出しフローを図 34.10 に示します。

制約事項：

- このフローは、RESET および DISABLE モードでは使用できません。

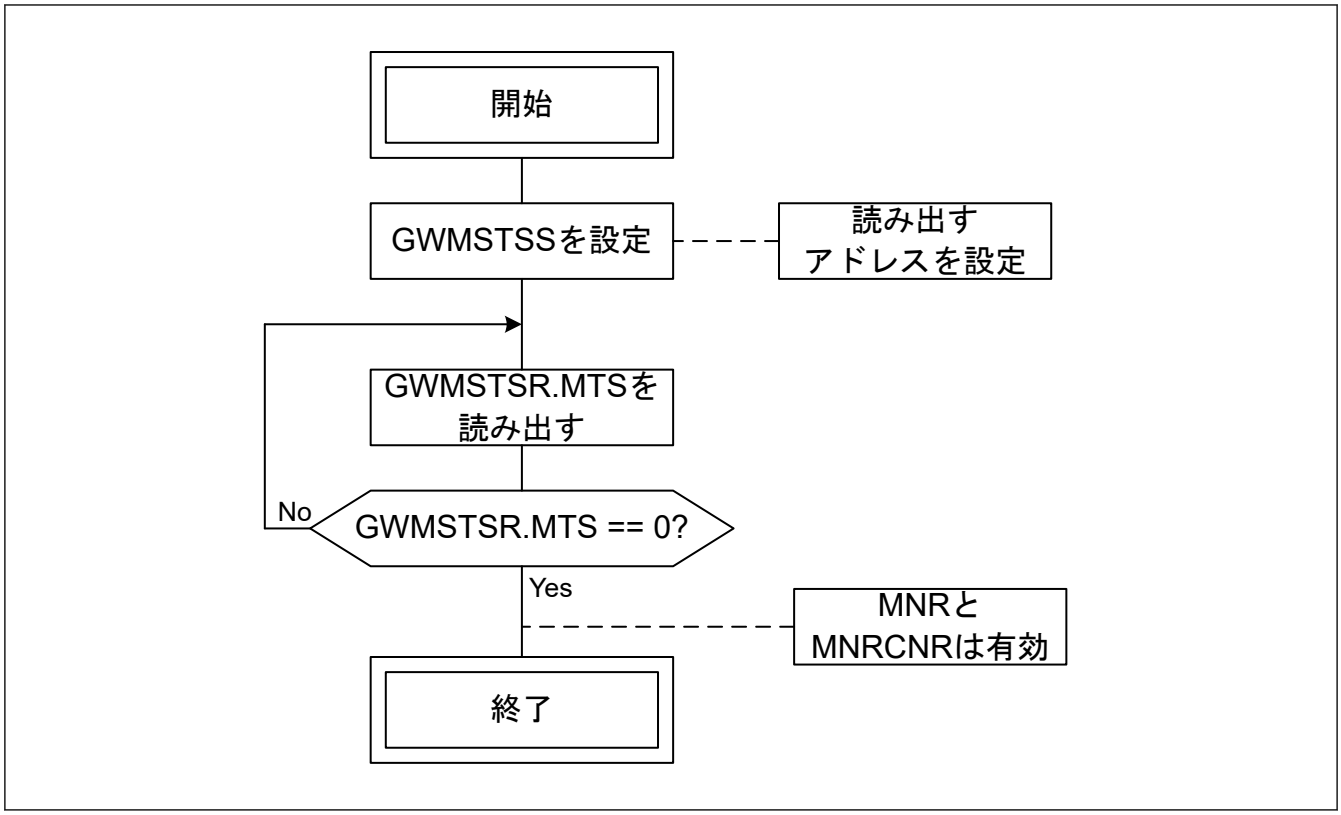


図 34.10　マルチキャストテーブル読み出しフロー

34.4.2.9　AXI RAM リセットフロー

AXI RAM リセットフローを図 34.11 に示します。

制約事項：

- このフローは、RESET、DISABLE、および OPERATION モードでは使用できません。

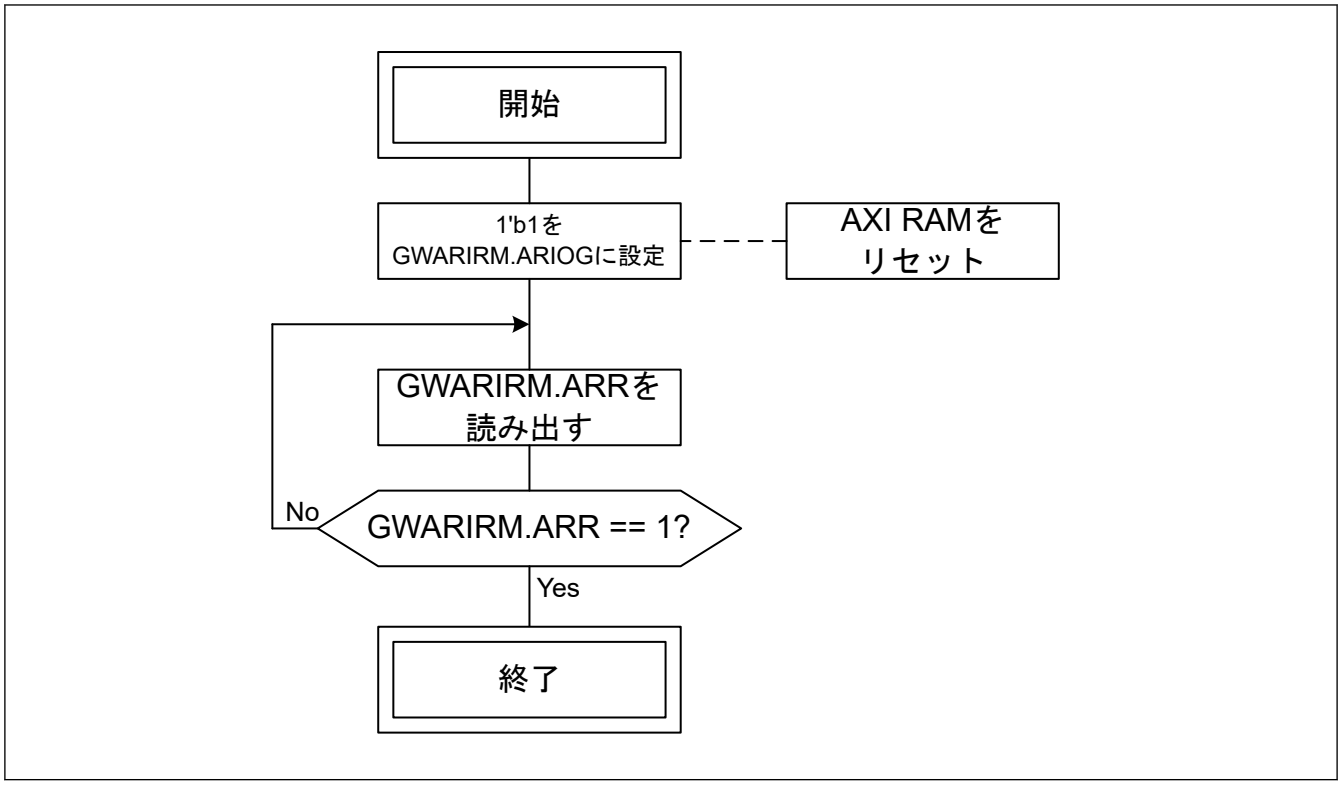


図 34.11 AXI RAM リセットフロー

34.4.2.10 AXI RAM 読み出しフロー

AXI RAM 読み出しフローを図 34.12 に示します。

制約事項：

- このフローは、RESET および DISABLE モードでは使用できません。

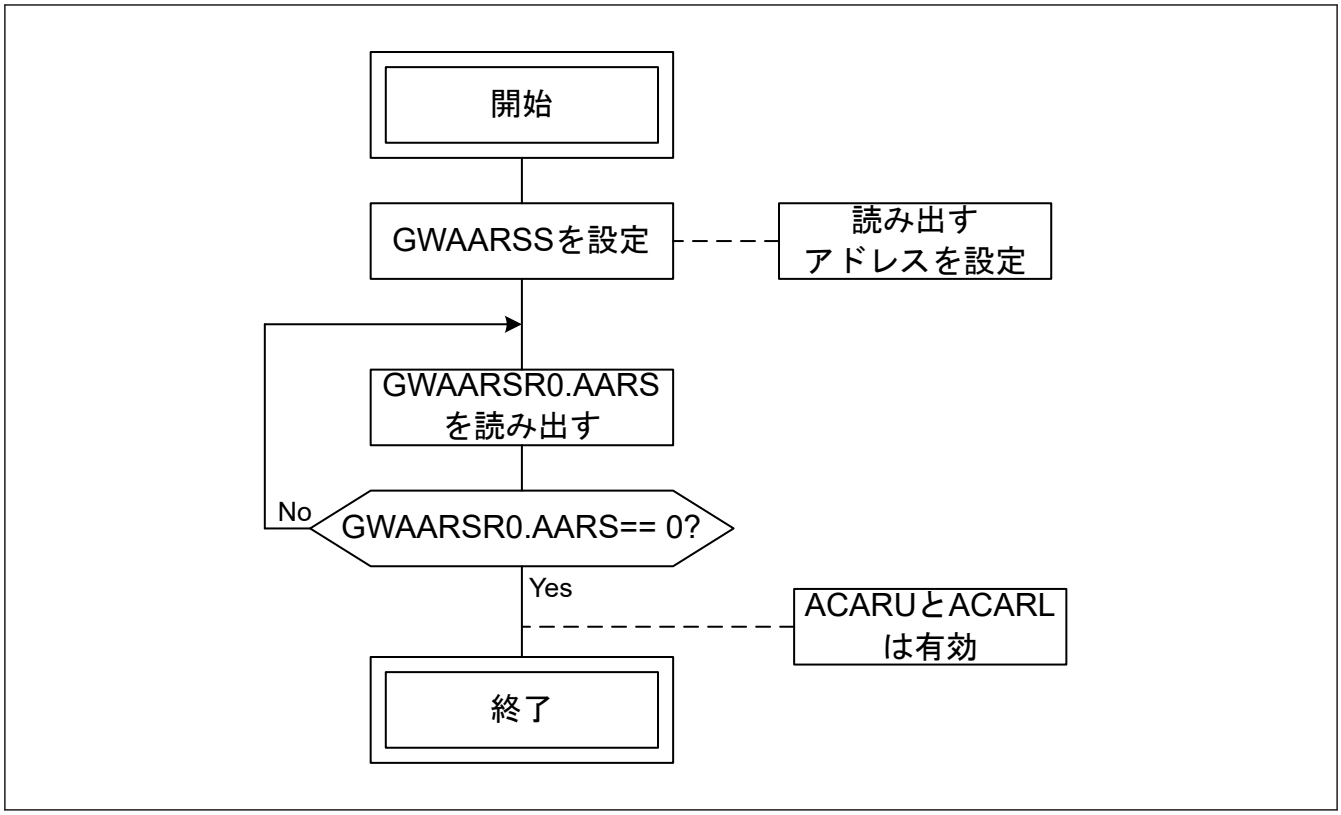


図 34.12　AXI RAM 読み出しフロー

34.4.2.11　グローバルレートリミッタの設定フロー

グローバルレートリミッタの設定フローを図 34.13 に示します。

制約事項：

- このフローは、RESET および DISABLE モードでは使用できません。

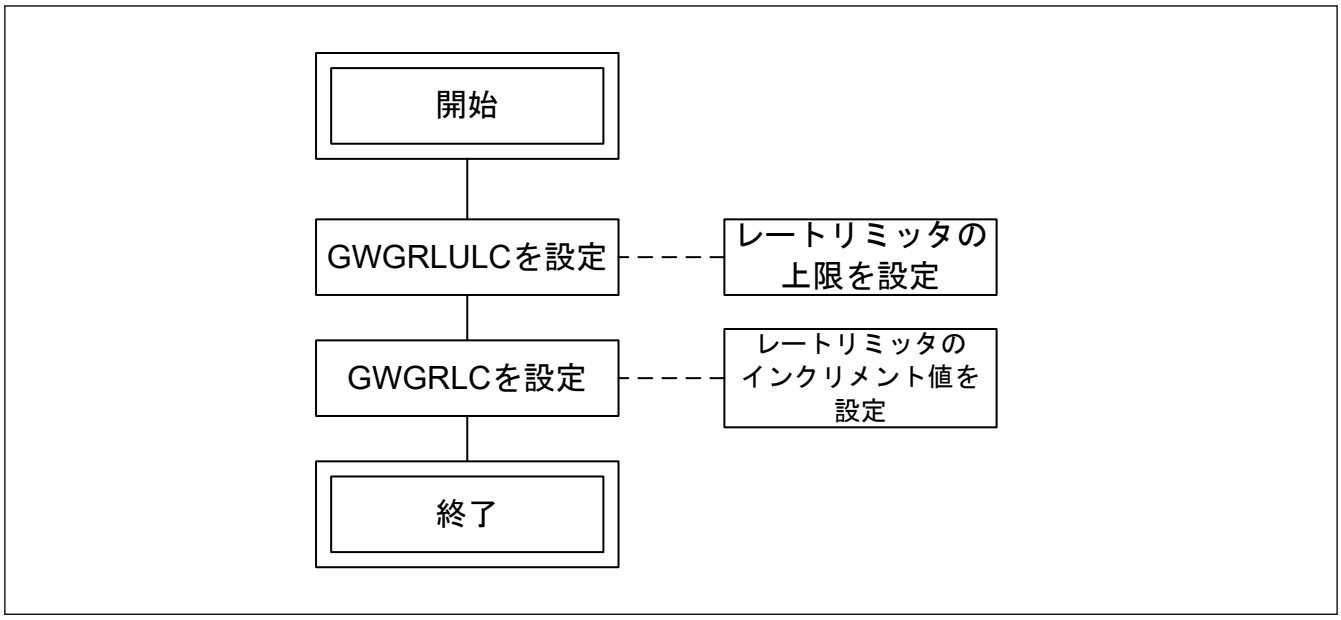


図 34.13　グローバルレートリミッタの設定フロー

34.4.2.12　グローバルレートリミッタの禁止フロー

グローバルレートリミッタの禁止フローを図 34.14 に示します。

制約事項：

- このフローは、RESET および DISABLE モードでは使用できません。

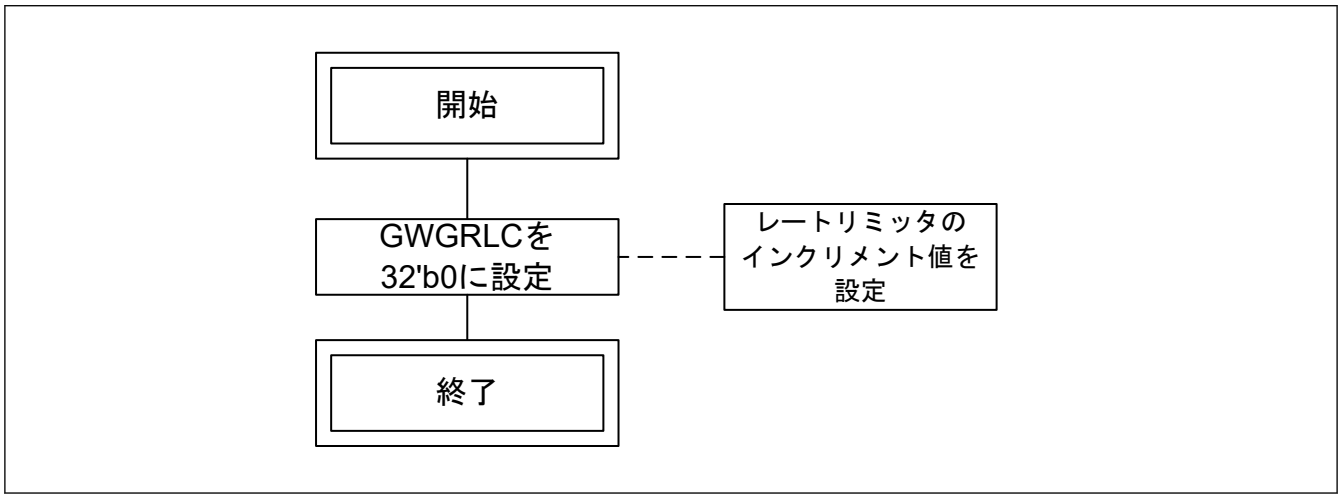


図 34.14　グローバルレートリミッタの禁止フロー

34.4.2.13　レートリミッタ i の設定フロー

レートリミッタ i の設定フローを図 34.15 に示します。

制約事項：

- このフローは、RESET および DISABLE モードでは使用できません。

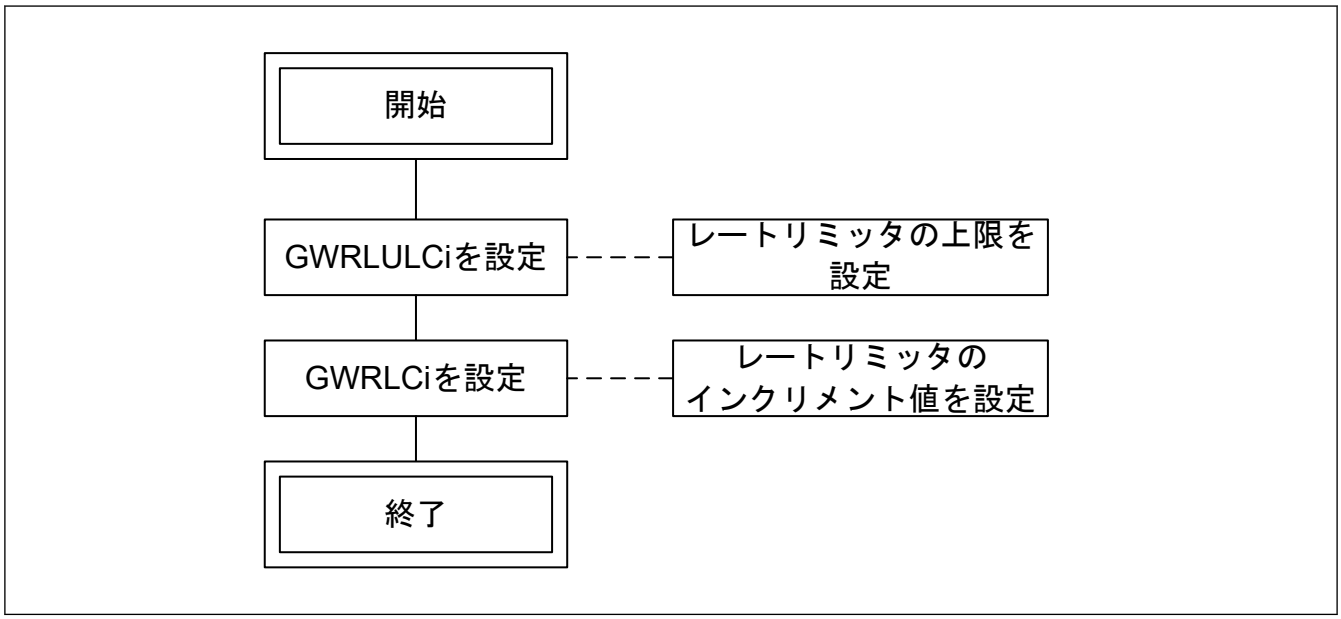


図 34.15　レートリミッタ i の設定フロー

34.4.2.14　レートリミッタ i の禁止フロー

レートリミッタ i の禁止フローを図 34.16 に示します。

制約事項：

- このフローは、RESET および DISABLE モードでは使用できません。

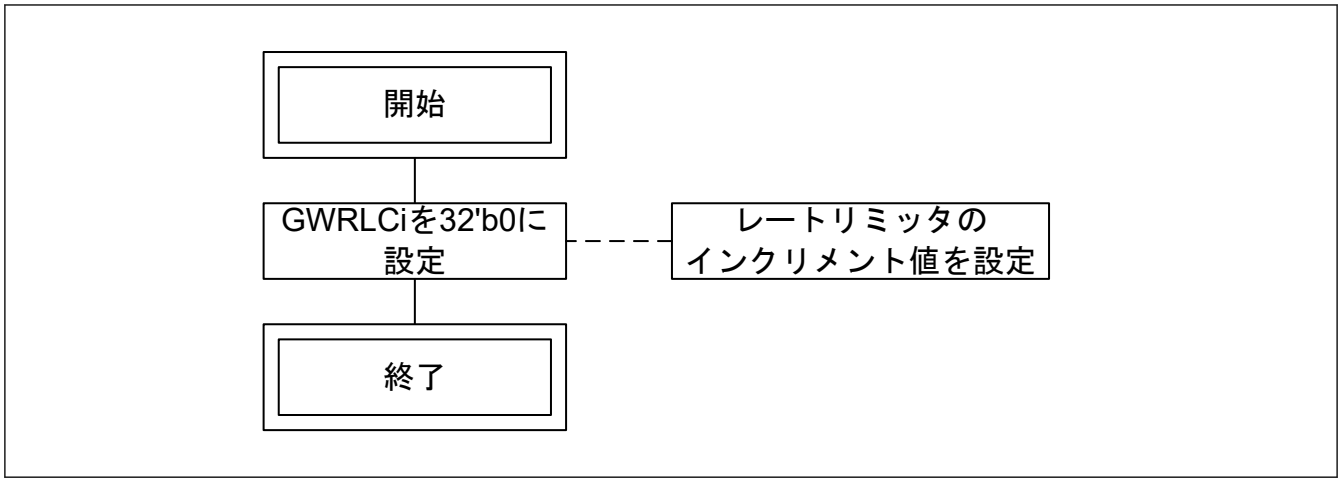


図 34.16　レートリミッタ i の禁止フロー

34.4.2.15　AXI テーブル読み出しフロー

AXI テーブル読み出しフローを図 34.17 に示します。

制約事項：

- このフローは、RESET および DISABLE モードでは使用できません。

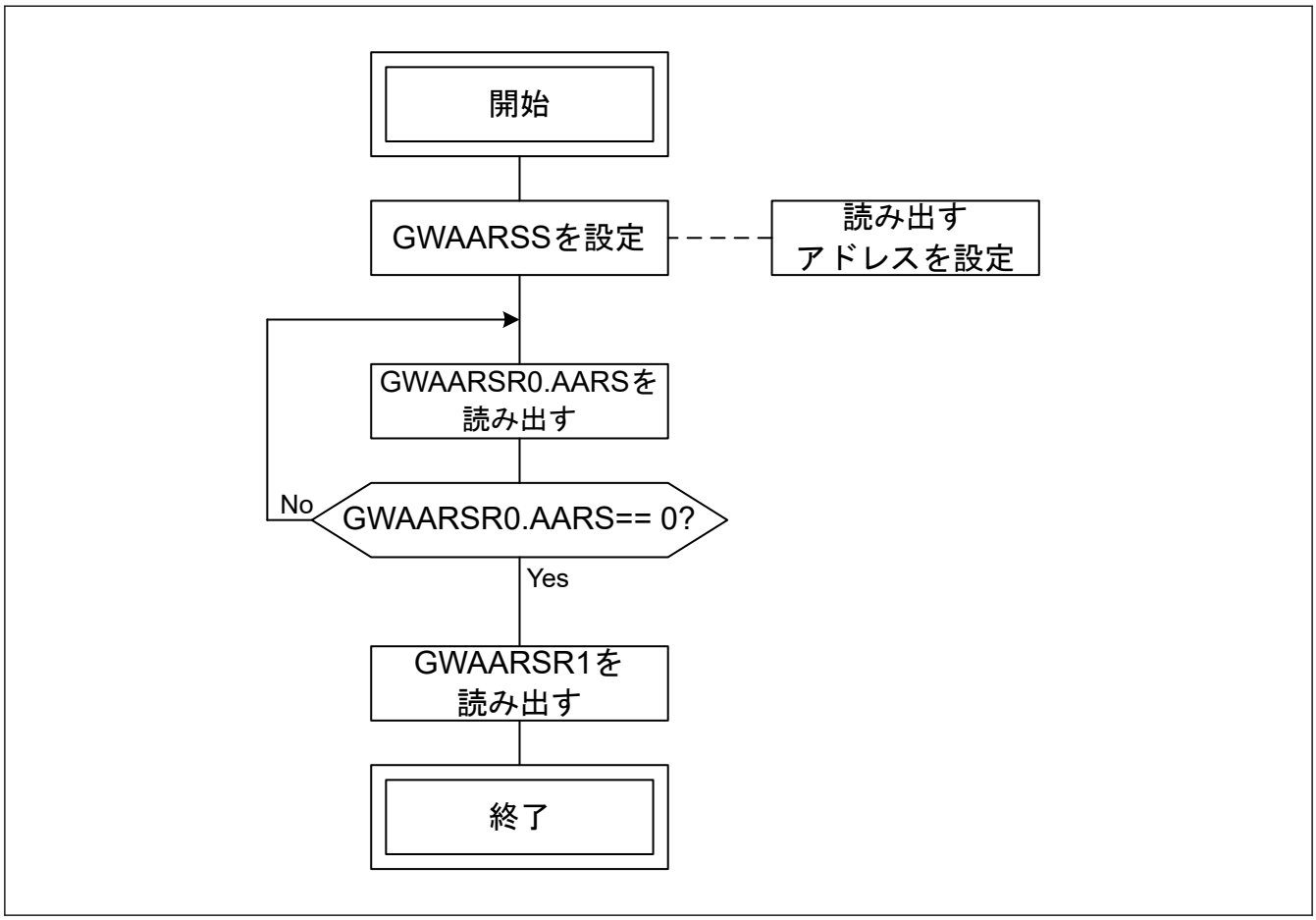


図 34.17　AXI テーブル読み出しフロー

34.4.2.16　割り込み処理フロー

割り込み処理フローを図 34.18 に示します。

制約事項：

- このフローは RESET モードでは使用できません。

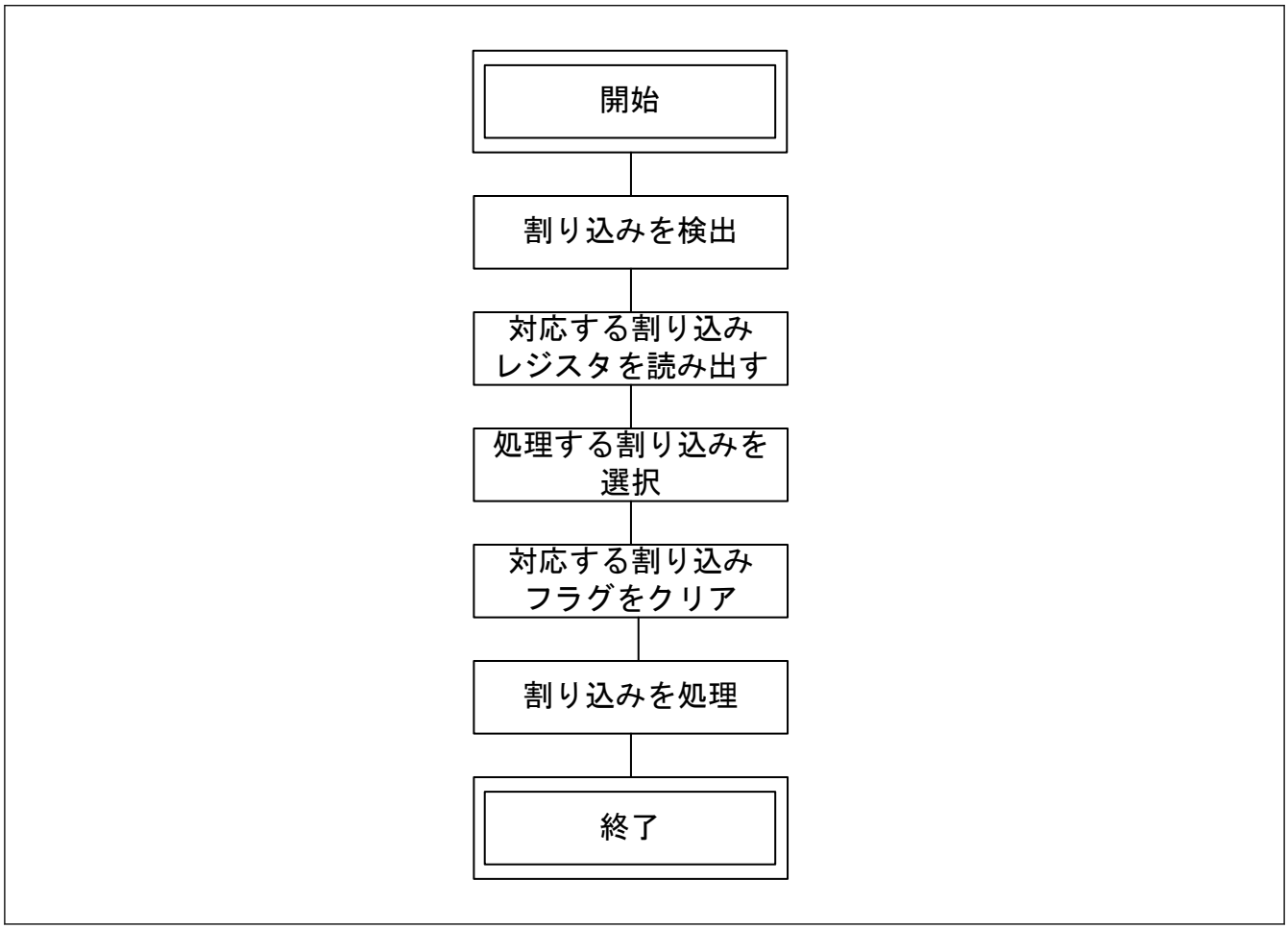


図 34.18　割り込み処理フロー

34.4.2.17　呼び出されたソフトウェアフロー

“フローリンク”ボックス（図 34.3）のため、本項で説明するフローは他のフローからのみ呼び出し可能であり、単独で使用することはできません。

34.4.2.17.1　全体の設定フロー

全体の設定フローを図 34.19 に示します。

LINKFIX テーブル設定については、「34.5.1.3.1. LINKFIX テーブルの初期化」を参照してください。

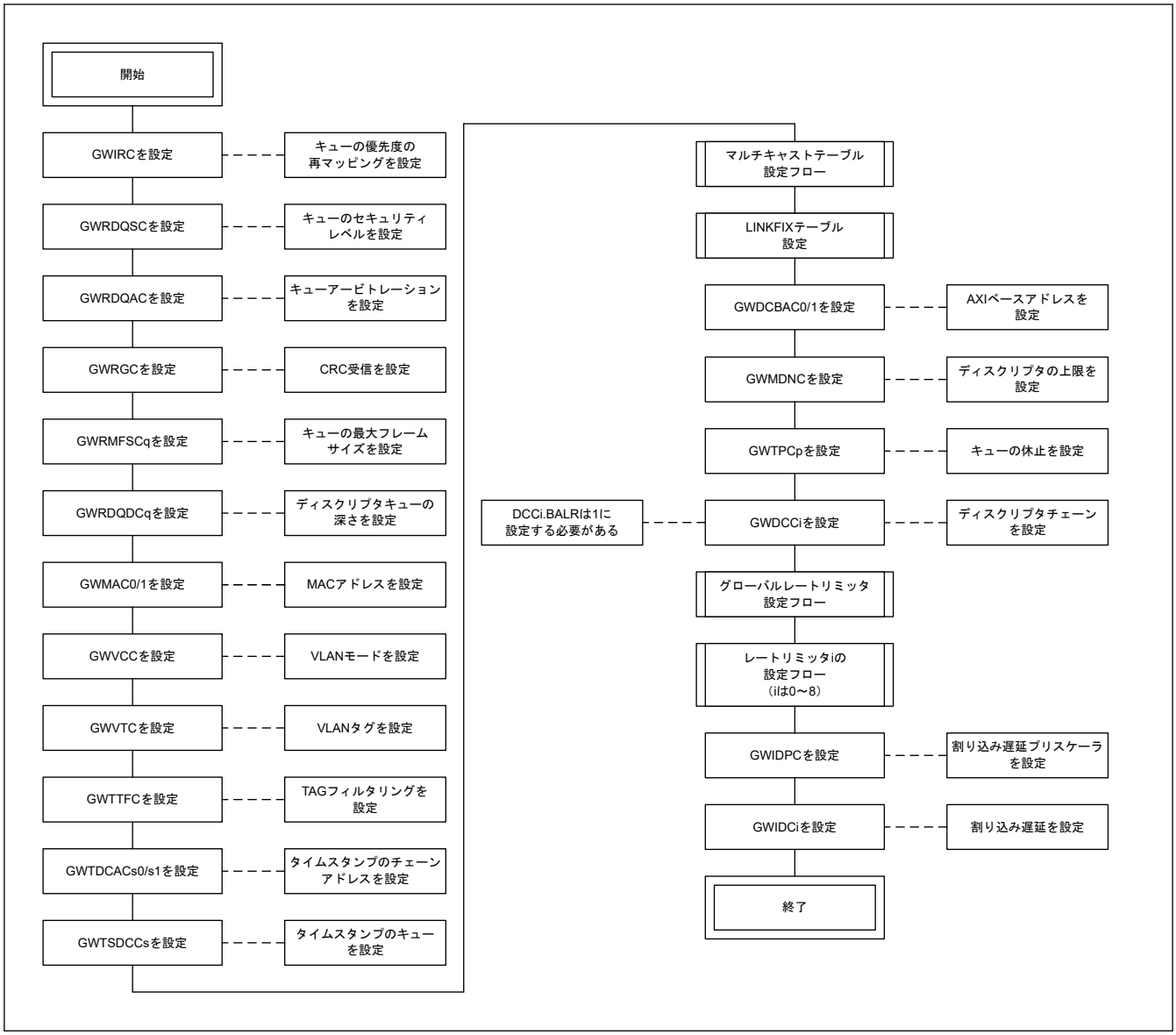


図 34.19　全体の設定フロー

34.4.2.17.2　AXI 緊急停止フロー

AXI 緊急停止フローを図 34.20 に示します。

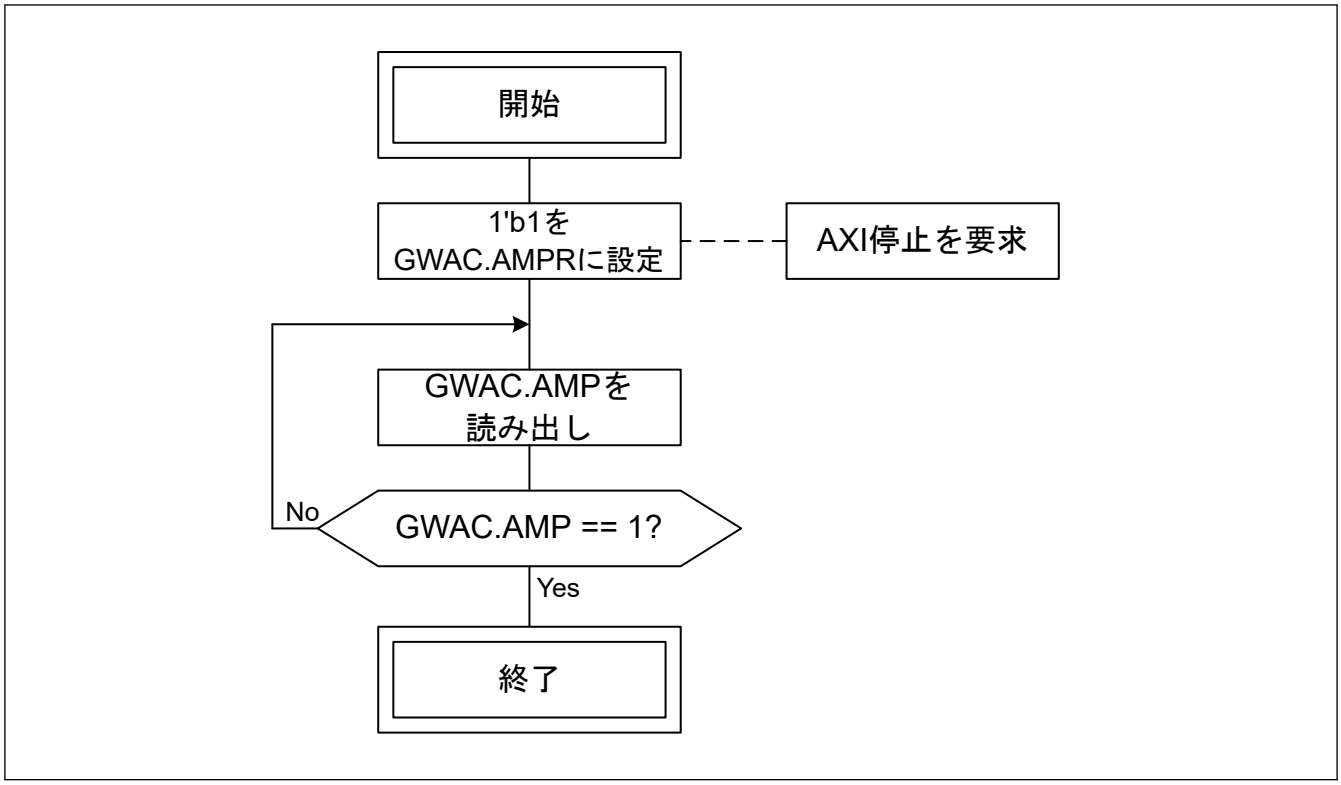


図 34.20 AXI 緊急停止フロー

34.4.2.18 ソフトウェアフローなしで書き込み可能なレジスタ

本項では、これまでに説明していないレジスタについて説明します。これらのレジスタは動的に変更できます(ただし、クロック許可などの初期設定は完了する必要があります)。

注. フレームが GWCA に到達し、フレームが AXI BMI によって URAM に書き込まれる前のタイミングで、宛先チェーンの GWDCC 構成がユーザーによって再構成されている場合、そのフレームは再構成の前に、再構成された GWDCC 設定を使用せずに GWDCC レジスタ設定を使用して処理されます。

34.5 機能の詳細

34.5.1 AXI マスタに関する一般的情報

本節では、GWCA AXI マスタを利用するために必要な知識について説明します。AXI アドレステーブルの処理、AXI ディスクリプタに関する一般情報、AXI ID の利用法の説明が含まれます。

34.5.1.1 AXI ディスクリプタキューのマッピング

AXI ディスクリプタキューのマッピングについて、図 34.21 で、**INTER_TX** インタフェースへのマッピング、インクリメントキュー、レートリミッタと一緒に説明します。グローバルレートリミッタは、すべての TX キューのスループットを制限するものなので記載していません。

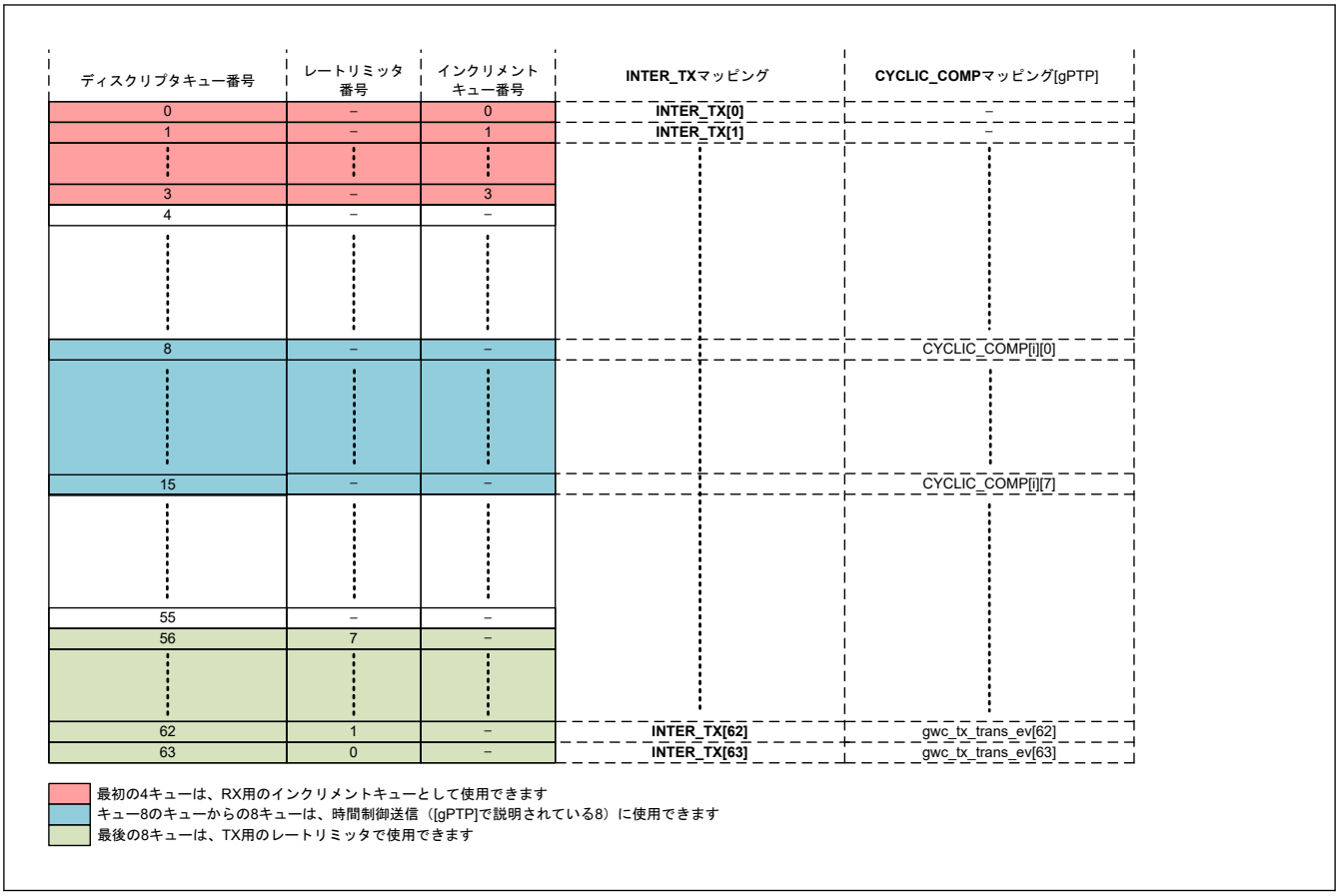


図 34.21　AXI ディスクリプタキューのマッピング

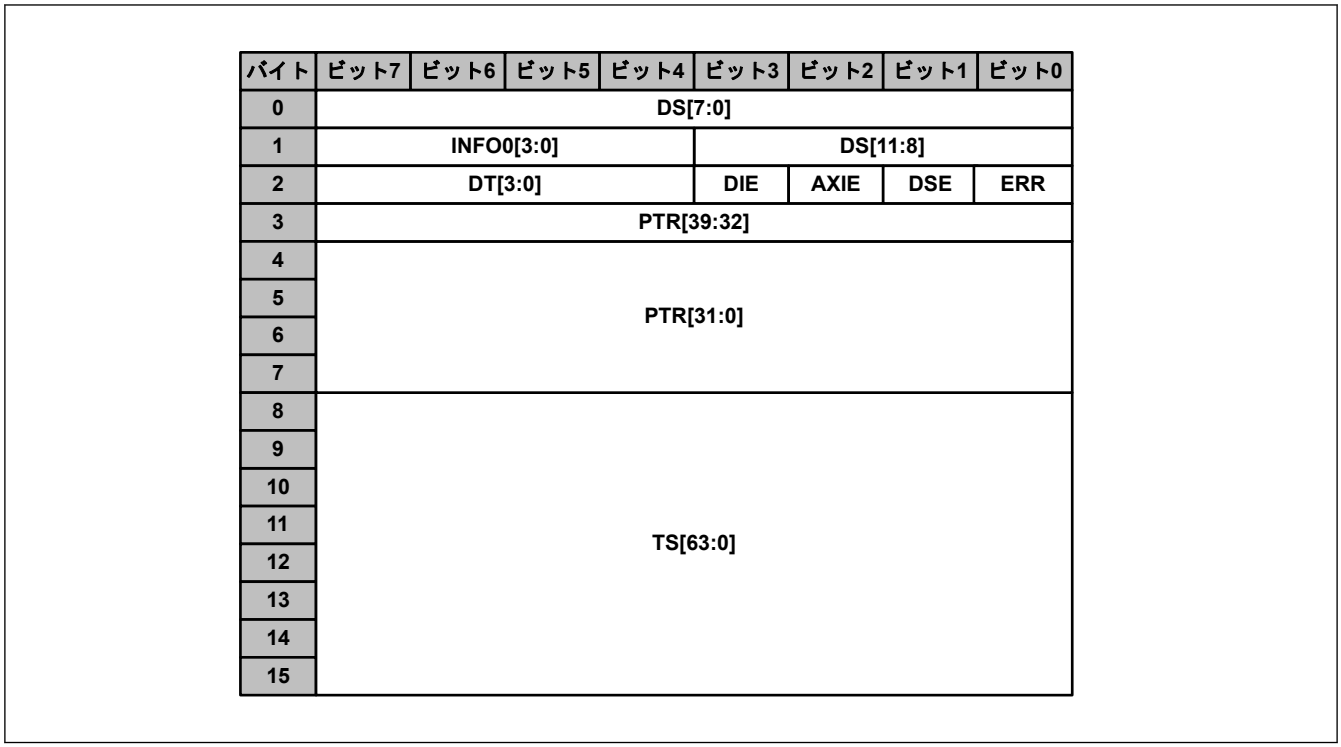
34.5.1.2　AXI ディスクリプタの全般説明

34.5.1.2.1　汎用フォーマット

AXI ディスクリプタの汎用フォーマットを図 34.22、図 34.23、図 34.24、および図 34.25 に示します。これらのフィールドは、表 34.5 で説明されています。これらのフィールドの使用は、トランザクションのタイプ（データ受信、データ送信、およびタイムスタンプ受信）ごとに説明されます。

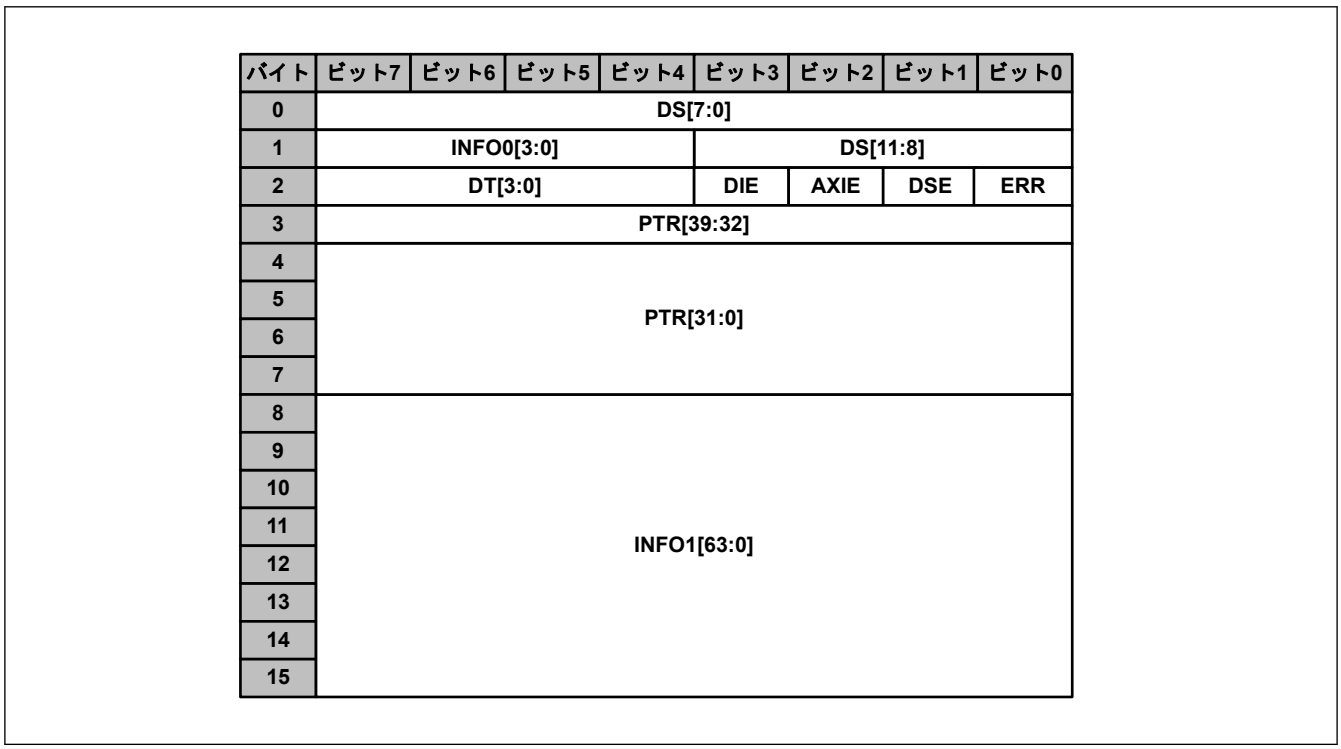
バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	DS[7:0]							
1	INFO0[3:0]				DS[11:8]			
2	DT[3:0]				DIE	AXIE	DSE	ERR
3	PTR[39:32]							
4	PTR[31:0]							
5								
6								
7								

図 34.22　基本ディスクリプタ（GWDCCi.ETS == 0 および GWDCCi.EDE == 0）



バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	DS[7:0]							
1	INFO0[3:0]				DS[11:8]			
2	DT[3:0]				DIE	AXIE	DSE	ERR
3	PTR[39:32]							
4	PTR[31:0]							
5								
6								
7								
8	TS[63:0]							
9								
10								
11								
12								
13								
14								
15								

図 34.23　タイムスタンプディスクリプタ（GWDCCi.ETS == 1 および GWDCCi.EDE == 0）



バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	DS[7:0]							
1	INFO0[3:0]				DS[11:8]			
2	DT[3:0]				DIE	AXIE	DSE	ERR
3	PTR[39:32]							
4	PTR[31:0]							
5								
6								
7								
8	INFO1[63:0]							
9								
10								
11								
12								
13								
14								
15								

図 34.24　拡張ディスクリプタ（GWDCCi.ETS == 0 および GWDCCi.EDE == 1）

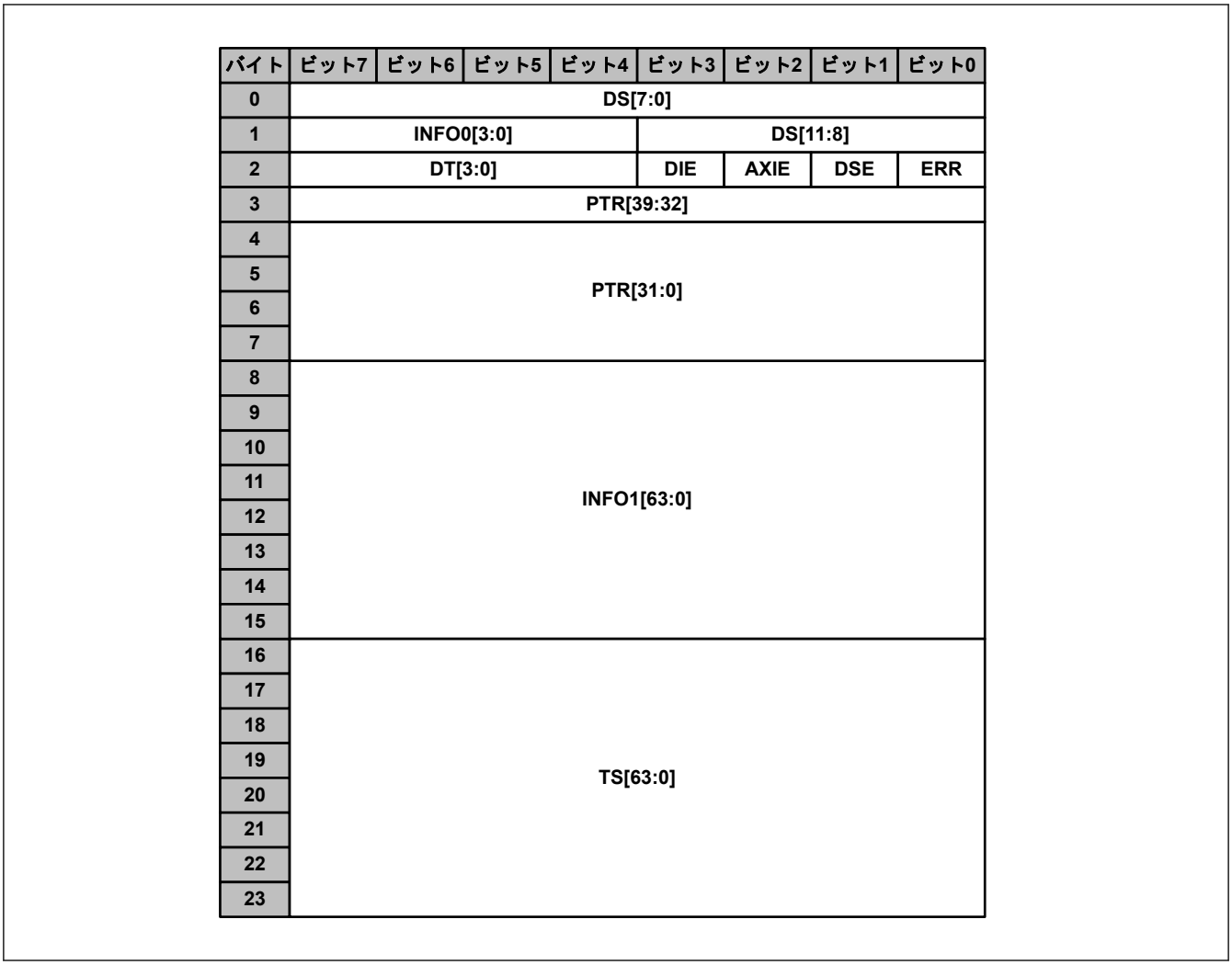


図 34.25　拡張タイムスタンプディスクリプタ（GWDCCi.ETS == 1 および GWDCCi.EDE == 1）

表 34.5　汎用フォーマットディスクリプタフィールドの説明

フィールド名	ビット幅	説明
DS	12	ディスクリプタのサイズ 制約事項： ● SW：DS フィールドの最大値は 2048 です。 ● SW：LINKFIX、LEMPTY、EEMPTY、LINK、EOS 以外のディスクリプタでは、DS を 0 に設定しないでください。
INFO0	4	情報 0
ERR	1	エラー
DSE	1	データサイズエラー
AXIE	1	AXI バスエラー
DIE	1	ディスクリプタ割り込み許可 この (DESCR.DIE) フィールドは、Rx チェーン内の LINK/LINKFIX ディスクリプタに対して設定しないでください。
DT	4	ディスクリプタタイプについては、「34.5.1.2.2. ディスクリプタタイプ」を参照してください。
PTR	40	ポインタ
INFO1	64	情報 1
TS	64	タイムスタンプ

注.　汎用フォーマットディスクリプタフィールドの使用は、後で以降の項で使用例ごとに説明されています。

34.5.1.2.2 ディスクリプタタイプ

次の表は、GWCA によって使用されるすべてのディスクリプタタイプの概要を示しています。最初の列はディスクリプタタイプ名を示し、2 番目の列は DESCR.DT に書き込まれる 4 ビットの番号を示します。

表 34.6 ディスクリプタタイプ

名称	DT	説明
エンプティデータディスクリプタ		
FEMPTY_IS	1	フレームエンプティインクリメンタル開始 有効なフレームデータのないフレームデータ関連のディスクリプタ。 インクリメンタル領域を設定するために使用されます。
FEMPTY_IC	2	フレームエンプティインクリメンタル継続 有効なフレームデータのないフレームデータ関連のディスクリプタ。 インクリメンタル領域の使用を継続するために使用されます。
FEMPTY_ND	3	フレームエンプティデータ格納なし 有効なフレームデータのないフレームデータ関連のディスクリプタ。 データを拒否するために使用されます。
FEMPTY	4	フレームエンプティ 有効なフレームデータのないフレーム完全データ関連のディスクリプタ。 フレームデータを保存するために使用されます。
FEMPTY_START	5	フレームエンプティ開始 有効なフレームデータのないフレーム開始データ関連のディスクリプタ。 フレームの最初の部分を保存するために使用されます。
FEMPTY_MID	6	フレームエンプティ中間 有効なフレームデータのないフレーム継続データ関連のディスクリプタ。 フレームの中間の部分を保存するために使用されます。
FEMPTY_END	7	フレームエンプティ終了 有効なフレームデータのないフレーム終了データ関連のディスクリプタ。 フレームの終了の部分を保存するために使用されます。
データディスクリプタ		
FSINGLE	8	フレーム単一 格納要素には完全なフレームの有効なフレームデータがあります。
FSTART	9	フレーム開始 格納要素には有効なフレームデータがあります。 フレームはこのディスクリプタで始まり、次のディスクリプタに継続します。
FMID	10	フレーム中間 格納要素には有効なフレームデータがあります。 フレームは前のディスクリプタで開始されており、次のディスクリプタに継続します。
FEND	11	フレーム終了 格納要素には有効なフレームデータがあります。 フレームは前のディスクリプタで開始されており、このディスクリプタで終了します。
チェーン制御／HW/SW アービトレーション		
LINKFIX	0	リンク固定 チェーン内の次のディスクリプタを指している制御要素。
LEMPTY	12	リンクエンプティ チェーン内の次のディスクリプタを指している使用済みの制御要素。
EEMPTY	13	EOS エンプティ 送信チェーンを一時停止している使用済みの制御要素。
LINK	14	リンク チェーン内の次のディスクリプタを指している制御要素。
EOS	15	設定の終了 送信チェーンを一時停止している制御要素。

34.5.1.3 LINKFIX テーブル

34.5.1.3.1 LINKFIX テーブルの初期化

AXI アドレステーブルを使用するには、CPU USER RAM 内の {GWDCBAC.DCBAU, GWDCBAC.DCBAL} の位置に LINKFIX テーブルを設定する必要があります。このテーブルは、ディスクリプタチェーンの最初のアドレスを設定するために使用されます。これは、チェーンベースアドレスを変更したり、前のベースアドレスに戻ったりするためにいつでも使用できます。

LINKXFIX テーブルの設定を図 34.26 に例を使用して示します。SW と HW の初期化が同時に発生していることに注意してください。

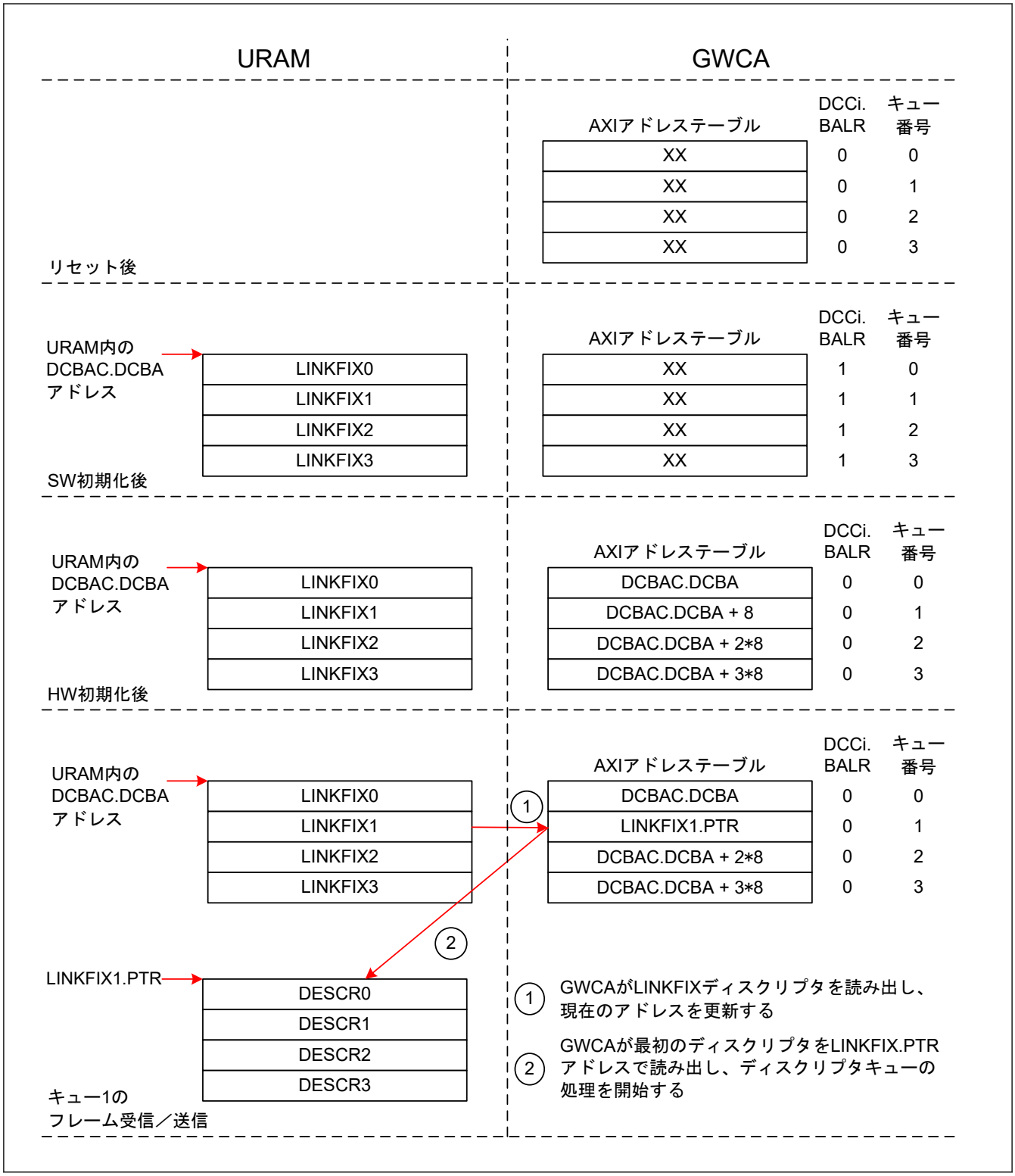


図 34.26 LINKXFIX テーブルの設定例

制約事項：

- SW: LEMPTY ディスクリプタキューは、開始しないようにするために書き込む必要があります。
- HW：LINKFIX テーブル内の追加ディスクリプタは、GWDCCi.EDE および GWDCCi.ETS レジスタ設定から独立した 8 バイトのディスクリプタです。

注. LINKFIX ディスクリプタと LINK ディスクリプタは入れ代えることができます。唯一の違いは、LINK ディスクリプタが HW でライトバックできることです。

34.5.1.3.2 LINKFIX テーブルのディスクリプタ

LINKFIX テーブルの場合、ディスクリプタキューを開始するために LINKFIX ディスクリプタが、TX キューを無効にする (GWDCCi.DQT == 1) ために LEMPTY ディスクリプタが、RX キューを無効にする (GWDCCi.DQT == 0) ために LEMPTY ディスクリプタが使用されます。LINKFIX テーブルでは、基本ディスクリプタのみを使用できます（「34.5.1.2.1. 汎用フォーマット」）。LINKFIX テーブルのディスクリプタフォーマットを図 34.27 と表 34.7 に示します。LINKFIX テーブルで禁止されていても受信禁止キューが開始された場合、ディスクリプタキューはフルであるとみなされます（レジスタ GWEIS2i の説明を参照）。

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	8'b0							
1	4'b0				4'b0			
2	4'd0				1'b0	1'b0	1'b0	1'b0
3	PTR[39:32]							
4	PTR[31:0]							
5								
6								
7								

LINKFIXテーブルのLINKFIX

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	8'b0							
1	4'b0				4'b0			
2	4'd12				1'b0	1'b0	1'b0	1'b0
3	PTR[39:32]							
4	PTR[31:0]							
5								
6								
7								

LINKFIXテーブルのLEMPTY

図 34.27 LINKFIX テーブルのディスクリプタフォーマット

表 34.7 LINKFIX テーブルのディスクリプタフィールドの説明

フィールド名	LINKFIX	LEMPTY
DS	0	0
INFO0	0	0
ERR	0	0
DSE	0	0
AXIE	0	0
DIE	0	0
DT	0	12
PTR	PTR ディスクリプタチェーンの先頭ディスクリプタを指しているポインタ	0
INFO1 (GWDCCi.EDE == 1)	LINKFIX テーブルには非該当	LINKFIX テーブルには非該当
TS (GWDCCi.ETS == 1)	LINKFIX テーブルには非該当	LINKFIX テーブルには非該当

34.5.1.4 AXI 共通ディスクリプタの使用

AXI 共通ディスクリプタは、特別な使用例のために予約されていないディスクリプタであり、どのディスクリプタチェーンにもいつでも挿入できます。これには LINKFIX ディスクリプタと LINK ディスクリプタが含まれます。

34.5.1.4.1 LINKFIX ディスクリプタの使用

LINKFIX ディスクリプタは、GWCA 内のディスクリプタキューポインタを別の場所に移動するように変更するために使用されます。これを図 34.28 に示します。AXI の負荷を減らすために、LINKFIX ディスクリプタがライトバックされることはありません。

LINKFIX ディスクリプタのフォーマットを図 34.29（基本ディスクリプタの場合は「34.5.1.2.1. 汎用フォーマット」）と表 34.8 に示します。

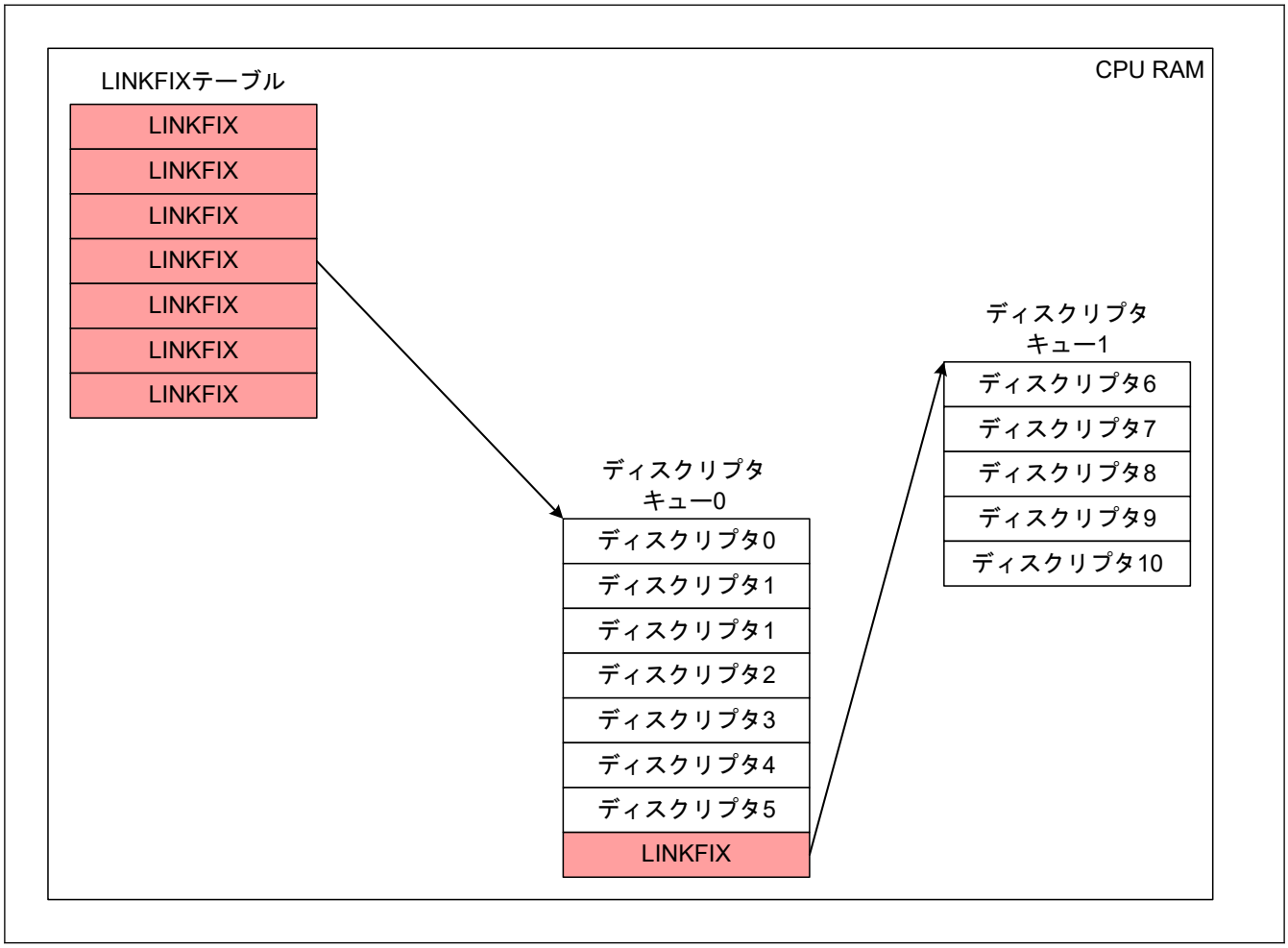


図 34.28 LINKFIX ディスクリプタの使用

注.
- LINKFIX テーブルを「34.5.1.3. LINKFIX テーブル」に示します。
- LINKFIX ディスクリプタは、ディスクリプタキュー内のどこにでも配置できます。
- LINKFIX ディスクリプタと LINK ディスクリプタは入れ代えることができます。唯一の違いは、LINK ディスクリプタが HW でライトバックできることです。

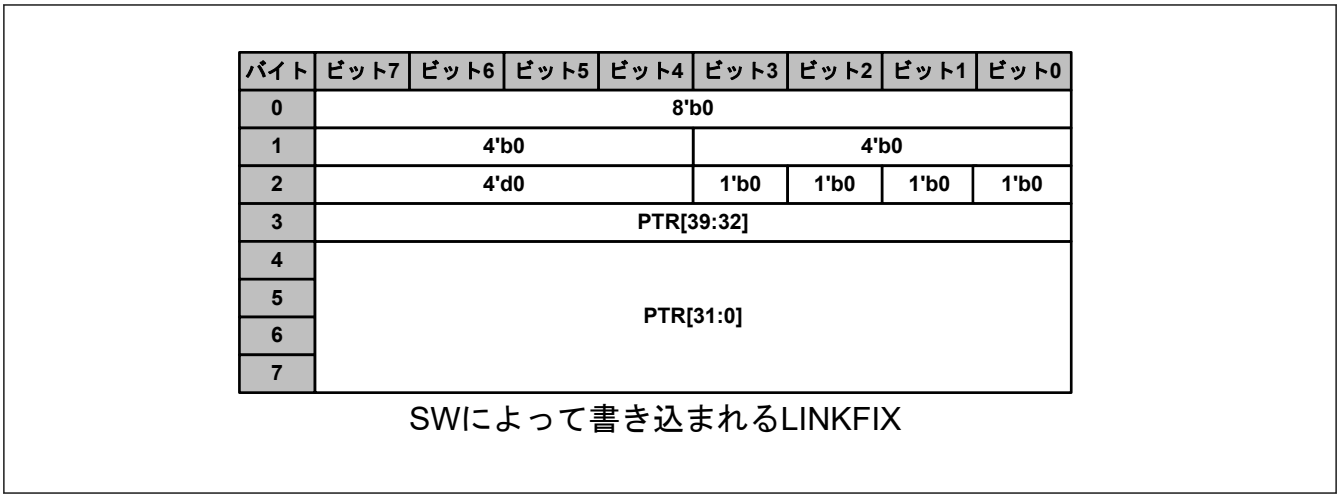


図 34.29　LINKFIX の使用フォーマット

表 34.8　LINKFIX の使用フィールドの説明

フィールド名	SW によって書き込まれるフィールドの説明	HW ライトバックの後のフィールドの説明
DS	0	NA：LINKFIX ディスクリプタがライトバックされることはありません
INFO0	0	NA：LINKFIX ディスクリプタがライトバックされることはありません
ERR	0	NA：LINKFIX ディスクリプタがライトバックされることはありません
DSE	0	NA：LINKFIX ディスクリプタがライトバックされることはありません
AXIE	0	NA：LINKFIX ディスクリプタがライトバックされることはありません
DIE	0	NA：LINKFIX ディスクリプタがライトバックされることはありません
DT	0	NA：LINKFIX ディスクリプタがライトバックされることはありません
PTR	PTR 新しいディスクリプタキューを指しているポインタ	NA：LINKFIX ディスクリプタがライトバックされることはありません
INFO1 (GWDCCi.EDE == 1)	0	NA：LINKFIX ディスクリプタがライトバックされることはありません
TS (GWDCCi.ETS == 1)	0	NA：LINKFIX ディスクリプタがライトバックされることはありません

34.5.1.4.2　LINK ディスクリプタの使用

LINK ディスクリプタの使い方は、LINKFIX ディスクリプタと同じです（「34.5.1.4.1. LINKFIX ディスクリプタの使用」を参照）。LINKFIX ディスクリプタとは逆に、LINK ディスクリプタは HW によってライトバックできます。LINK ディスクリプタのフォーマットを図 34.30（基本ディスクリプタの場合は「34.5.1.2.1. 汎用フォーマット」）と表 34.9 に示します。

注.　LINKFIX ディスクリプタと LINK ディスクリプタは入れ代えることができます。唯一の違いは、LINK ディスクリプタが HW でライトバックできることです。

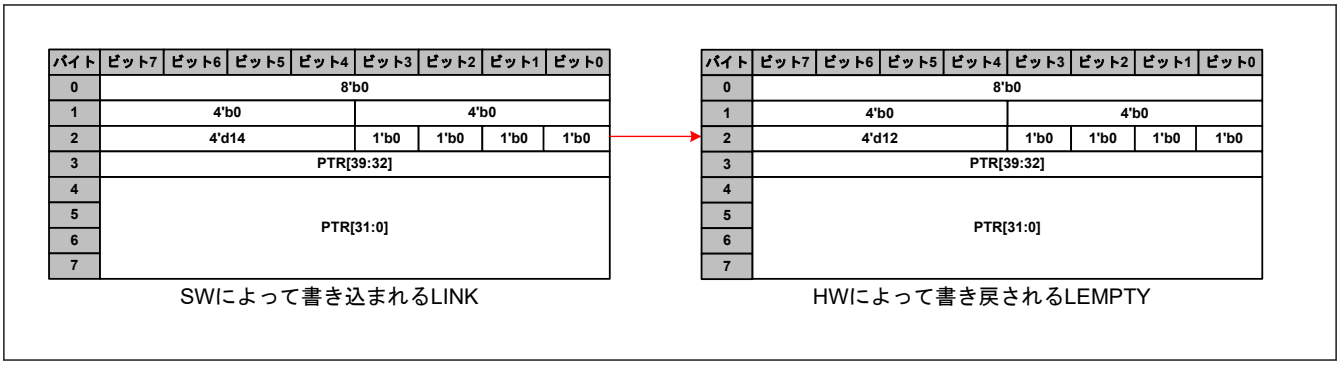


図 34.30　LINK の利用フォーマット

表 34.9　LINK 利用フィールドの説明

フィールド名	SW によって書き込まれるフィールドの説明	HW ライトバックの後のフィールドの説明
DS	0	0（値は読み出しディスクリプタからコピーされる）
INFO0	0	0（値は読み出しディスクリプタからコピーされる）
ERR	0	0（値は読み出しディスクリプタからコピーされる）
DSE	0	0（値は読み出しディスクリプタからコピーされる）
AXIE	0	0（値は読み出しディスクリプタからコピーされる）
DIE	0	0（値は読み出しディスクリプタからコピーされる）
DT	14	12（値は読み出しディスクリプタからコピーされる）
PTR	PTR（ユーザーの設定） 新しいディスクリプタキューを指しているポインタ	PTR（値は読み出しディスクリプタからコピーされる）
INFO1 (GWDCCi.EDE == 1)	0	NA：INFO1 は LINK ディスクリプタに対してライトバックされない
TS (GWDCCi.ETS == 1)	0	NA：TS は LINK ディスクリプタに対してライトバックされない

34.5.1.5　AXI ディスクリプタキューのフォーマット

AXI マスタは、線形ディスクリプタキューおよび周期的ディスクリプタキューという 2 種類のディスクリプタキューを受け付けます。線形ディスクリプタキューは、終了ディスクリプタで終了するキューです。線形ディスクリプタキューの例を図 34.31 に示します。周期的ディスクリプタキューは、それ自体がループになるキューです。周期的ディスクリプタキューの例を図 34.32 に示します。

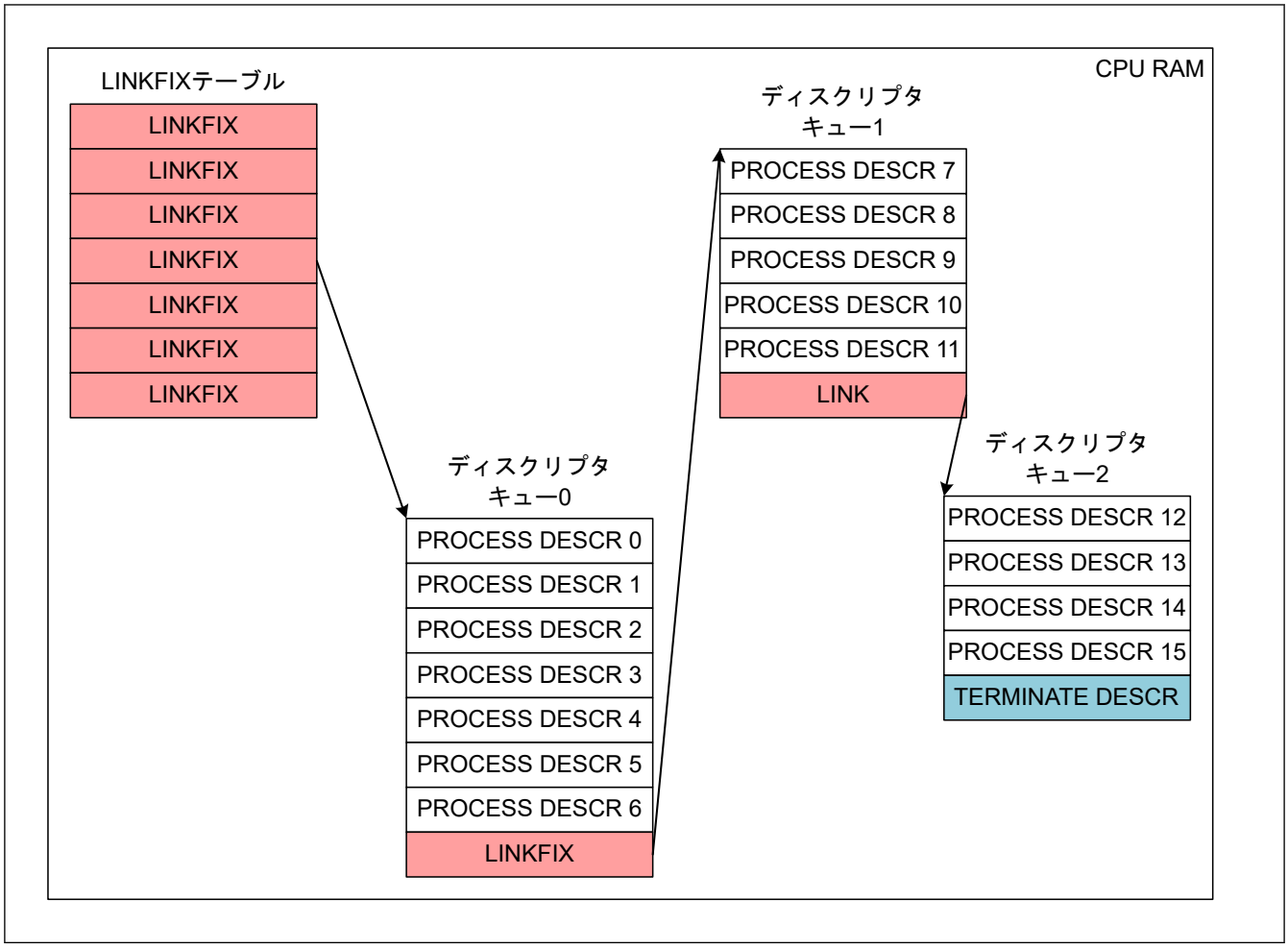


図 34.31　線形ディスクリプタキューの例

制約事項：

- SW：線形キューにデータを追加するには、SW はデータを書き込み、ディスクリプタを処理／終了し、新しいディスクリプタチェーンを指す LINK/LINKFIX ディスクリプタを使用して以前の終了ディスクリプタを上書きする必要があります。

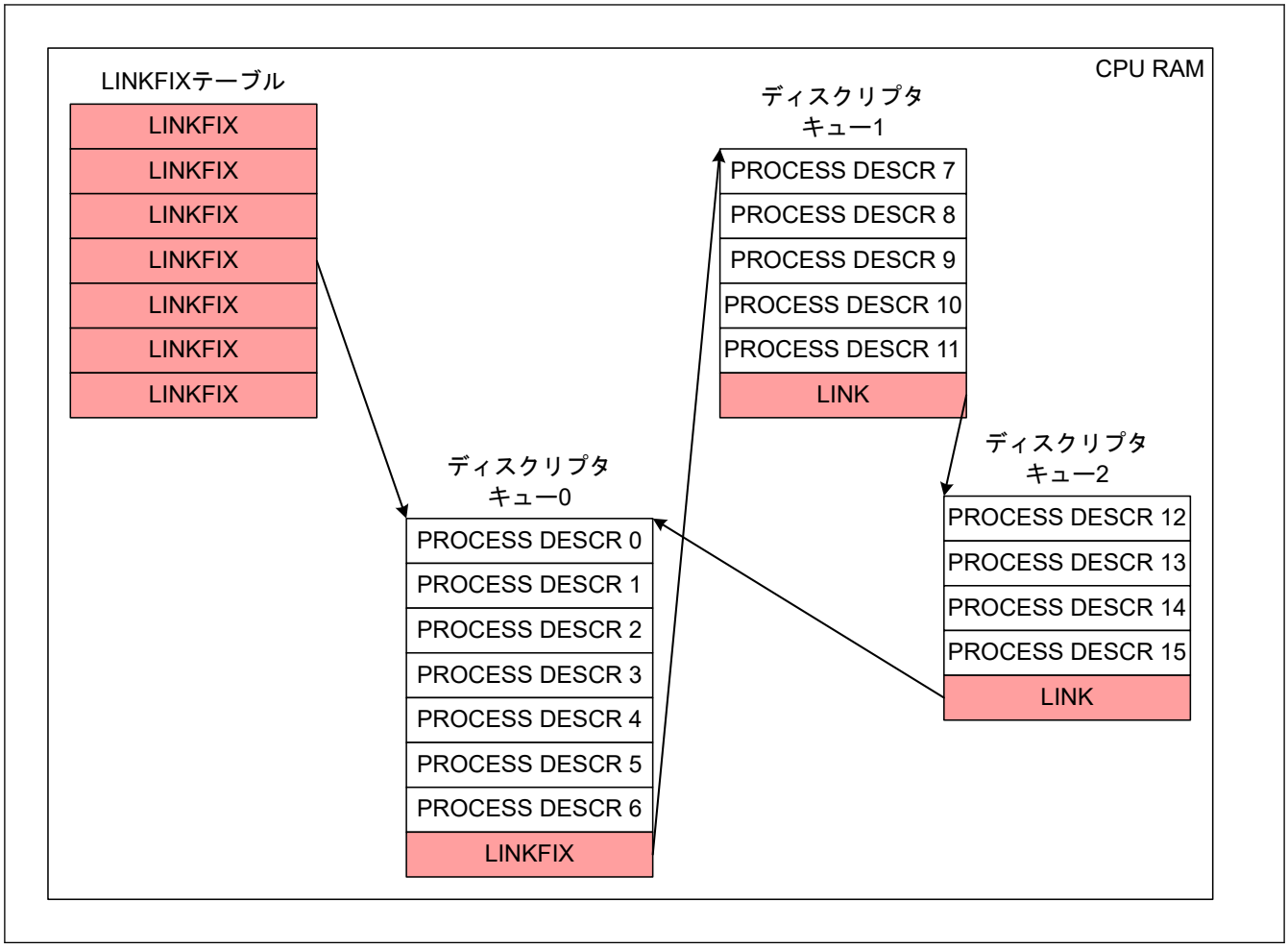


図 34.32　周期的ディスクリプタキューの例

注.
- LINKFIX テーブルを「34.5.1.3. LINKFIX テーブル」に示します。
- LINK と LINKFIX の使用については、「34.5.1.4. AXI 共通ディスクリプタの使用」で説明しています。
- 終了ディスクリプタ（図 34.31 の TERMINATE DESCR）は、RX キューの FSINGLE ディスクリプタや LEMPTY ディスクリプタ、TX キューの FEMPTY ディスクリプタや LEMPTY ディスクリプタ、TS キューの FSINGLE ディスクリプタや LEMPTY ディスクリプタに対応しています。
- 処理ディスクリプタ（図 34.31 および図 34.32 の PROCESS DESCR）は、RX キューのディスクリプタである FEMPTY_IS、FEMPTY_IC、FEMPTY_ND、FEMPTY、FEMPTY_START, FEMPTY_MID、FEMPTY_END（「34.5.3.5. AXI マスタとのインタフェース」を参照）、TX キューのディスクリプタである FSINGLE、FSTART、FMID、FEND、EOS（「34.5.2.2. AXI マスタとのインタフェース」を参照）、TS キューの FEMPTY_ND（「34.5.4.2. AXI マスタとのインタフェース」を参照）に対応します。

34.5.1.6　AXI アドレス RAM 検索

検索機能は、AXI アドレス RAM 内のエントリを読み出すために使用されます。表 34.10 に、TAS RAM 内のエントリを読み出すために使用されるレジスタを示します。表 34.11 に、読み出し結果を示します。

表 34.10　AXI アドレス読み出しレジスタ

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
GWAARSS.AARA	エントリアドレス AXU アドレスを読み出すディスクリプタキュー番号を設定します。	AXI アドレス RAM 内には存在せず、エントリはこのアドレスから読み出されます。

表 34.11 AXI アドレスの読み出し結果

レジスタ名	MAC テーブル内のフィールド名／対応するフィールド	フィールドの説明
{GWAARSR0.ACARU, GWAARSR1.ACARL}	AXI アドレス値	AXI ディスクリプタキュー番号 GWAARSS.AARA に対して処理される次のディスクリプタのアドレス。

注. {GWAARSR0.ACARU, GWAARSR1.ACARL}は、AXI ディスクリプタキュー番号に対して処理される次のディスクリプタのアドレスを示しますが、前のディスクリプタ処理が完了していることを意味するわけではありません。このレジスタには HW/SW の同期ではなく、デバッグの用途のみがあるのはそのためです。

34.5.2 データ送信

GWCA では、GWCA TX データパスを経由したデータ送信が可能になります。TX データパスを図 34.33 に示します。

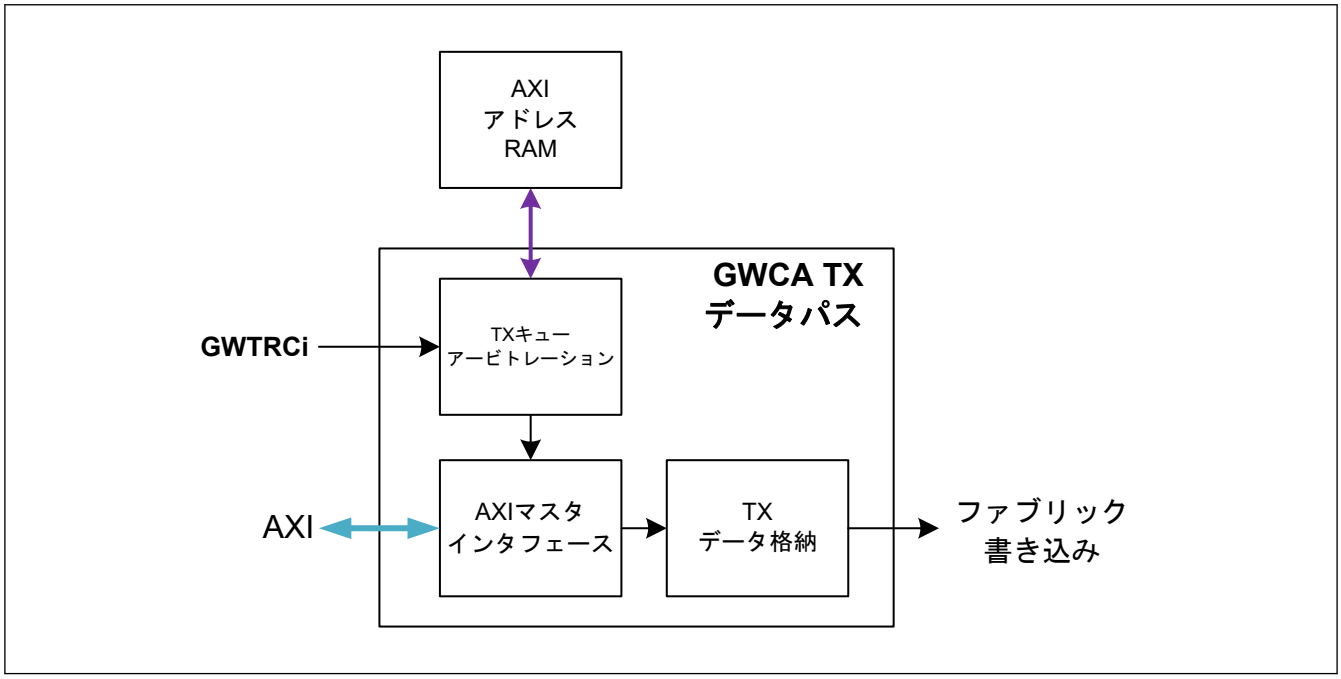


図 34.33 GWCA TX データパスのブロック図

TX データパスは、次の 3 つのブロックに分かれています。

- TX キューアービトレーション：このブロックは、複数の TX キューが送信を要求しているときに、それらのキュー間でアービトレーションを行います。
- AXI マスタインタフェース：このブロックは、CPU とのデータ／AXI ディスクリプタのやり取りを処理します。
- TX データ格納：このブロックは、フレームの TAG 情報を抽出して VLAN タグ付加を適用し、フレームをローカル RAM に保存します。このブロックはまた、OPERATION モードからの切り替え中にポインタを解放することもできます。ポインタ解放がここにあるのはスイッチハードウェアの目的のためであり、その説明はスイッチの使用に必要ではないため、ここでは説明されません。

34.5.2.1 TX キューアービトレーション

TX キューアービトレーションには 4 つの機能があります。スイッチがオーバーフローしようとしているときの特定のキューの一時停止、TX キューのデータレートの制限、絶対優先アルゴリズムによる TX ディスクリプタキュー間のアービトレーション、およびラウンドロビンアルゴリズムによる優先順位が同じキュー間のアービトレーションです。

34.5.2.1.1 優先順位ごとの一時停止

優先順位ごとの一時停止の目的は、PAUSE[2]値[COMA]と GWTPCp レジスタを使用して、ディスクリプタキューの送信を、その優先順位に応じて一時停止することです。スイッチがオーバーフローしようとしているときに、AXI マスタが重要でないデータをスイッチにインジェクトしないようにします。

機能：

- GWTPCp は、PAUSE[2][p]が設定されているときに一時停止する必要のある優先順位を設定します。

34.5.2.1.2 レートリミッタ

レートリミッタは、スイッチの入力フローを制御しています。これらのリミッタの利用により、スイッチのオーバーフローを防止できる場合があります。GWCA には 2 種類のレートリミッタがあります。グローバルレートリミッタと、キューごとに 8 個のレートリミッタです。レートリミッタコンフィグレーションを正しく設定すれば、期待される帯域幅として± 2%未満の許容値を達成できます。

(1) キューごとのレートリミッタ

キューごとのレートリミッタは、1 つのディスクリプタキューごとのデータスループットを、レジスタ GWRLCi.RLE、GWRLCi.RLIV、GWRLULCi.RLUL を使用して制限することを目的としています。ポートごとのレートリミッタ／ディスクリプタキューのマッピング情報については、「34.5.1.1. AXI ディスクリプタキューのマッピング」を参照してください。

機能：

- GWRLCi.RLE レジスタは、レートリミッタ番号 i を許可します。
- GWRLCi.RLIV レジスタは、レートリミッタ番号 i で許容される最大スループットを設定します。これは式 (1) に従って設定する必要があります。
- GWRLULCi.RLUL レジスタは、レートリミッタ番号 i で許容される最大衝突時間を設定します。これは式 (2) に従って設定する必要があります。

1. GWRLCi.RLIV = 256 x *ACLK_period[ns]* x *maxBandwidth[Gbps]*
2. GWRLULCi.RLUL = *maximumBurst[bit]*

ここで、

- *ACLK_period* は ACLK クロック周期です。
- *maxBandwidth* は、レートリミッタ番号 i で許容されると期待される最大スループットです。
- *maximumBurst* は、対応するキューで許容される最大バースト（ビット単位）です。

(2) グローバルレートリミッタ

グローバルレートリミッタの目的は、すべての AXI データ送信のスループットを、レジスタ GWGRLC.GRLE、GWGRLC.GRLIV、GWGRLULC.GRLUL を使用して制限することです。GWGRLC.GRLULRS を使用して監視することができます。

機能：

- GWGRLC.GRLE レジスタは、グローバルレートリミッタを許可します。
- GWGRLC.GRLIV レジスタは、AXI データ送信で許容される最大スループットを設定します。これは式 (1) に従って設定する必要があります。
- GWGRLULC.GRLUL レジスタは、グローバルレートリミッタがスタックできるクレジットの最大数を設定します。これは式 (2) に従って設定する必要があります。
- GWGRLC.GRLULRS レジスタは、AXI のレイテンシが高すぎること、または AXI が低速すぎることが原因で失われたクレジットがあるかどうかを示します。

1. GWGRLC.GRLIV = 256 x *ACLK_period[ns]* x *max_bandwidth[Gbps]*
2. GWGRLULC.GRLUL = *ACLK_period[ns]* x *max_bandwidth[Gbps]* x 2**maximum_axi_latency[cycle]*

ここで、

- ACLK_period は ACLK クロック周期（ナノ秒単位）です。
- max_bandwidth は、GWCA によって許容されると期待される最大スループットです。
- maximum_axi_latency は、ACLK クロック番号での AXI 最大レイテンシです。

制約事項：

- SW：全 GWRLCi.RLIV レジスタの合計を、常に GWGRLC.GRLIV 以下にする必要があります。

34.5.2.1.3 絶対優先

絶対優先は、GWDCCi.DCP を使用して送信することをレートリミッタによって許可された TX キュー間でアービトレーションを行います。絶対優先アルゴリズムは、データ受信ディスクリプタ格納の中の 1 つとして動作します。詳細は、(1) 絶対優先 (SP)の項を参照してください。

機能：

- GWDCCi.DCP レジスタは、ディスクリプタキュー i の優先順位を設定します。最も高い優先順位が最大値です。

34.5.2.1.4 ラウンドロビン

ラウンドロビンは、厳格な調停回路によって選択された優先順位が最も高いキュー間でアービトレーションを行います。ラウンドロビンは、データ受信ディスクリプタ格納の中の 1 つとして動作します。詳細は、(2) ラウンドロビン (RR)を参照してください。

34.5.2.2 AXI マスタとのインタフェース

AXI マスタインタフェースは、CPU とのデータ／AXI ディスクリプタのやり取りを処理します。これは、TX キューアービトレーションによる送信が許可されたディスクリプタキュー番号のキュー番号を受信し、CPU RAM から対応するデータを読み出して、そのデータを TS データ格納に送信します。それを行うために、GWTRCi.TSRj、GWDCCi.EDE、GWDCCi.ETS、および GWDCCi.SM を使用し、GWAARSS、GWAARSR0、および GWAARSR1 割り込みレジスタを使用して監視できます。

機能：

- GWTRCi.TSRj レジスタは、ディスクリプタキューの準備ができたときに送信を開始するために使用されます。
- GWDCCi.EDE および GWDCCi.ETS レジスタは、ディスクリプタキュー番号 i に使用されるディスクリプタフォーマットを設定します。「34.5.1.2.1. 汎用フォーマット」を参照してください。
- GWDCCi.SM レジスタは、GWCA がディスクリプタをライトバックする方法を設定します。本節では、すべての説明で GWDCCi.SM が 00 に等しいことを使用します。GWDCCi.SM が 01 または 10 に等しい場合については、レジスタの説明を参照してください。
- GWAARSS、GWAARSR0、および GWAARSR1 レジスタについては、「34.5.1.6. AXI アドレス RAM 検索」を参照してください。

制約事項：

- SW : データ送信が許可されているのは基本ディスクリプタと拡張ディスクリプタだけです。「34.5.1.2.1. 汎用フォーマット」を参照してください。

データ送信は、線形または巡回ディスクリプタキューを使用して実行できます（「34.5.1.5. AXI ディスクリプタキューのフォーマット」を参照）。データ送信処理ディスクリプタは、基本データ送信ディスクリプタチェーン（「34.5.2.2.1. 基本的なデータ送信」）と時間制御データ送信ディスクリプタチェーン（「34.5.2.2.2. 時間制御データ送信」）の 2 つの異なる方法で設定できます。

34.5.2.2.1 基本的なデータ送信

基本的なデータ送信処理におけるディスクリプタの利用法を、図 34.34 に示します。基本的なデータ送信処理におけるディスクリプタのフォーマットを、図 34.35（基本ディスクリプタの場合は「34.5.1.2.1. 汎用フォーマット」）と表 34.12 に示します。

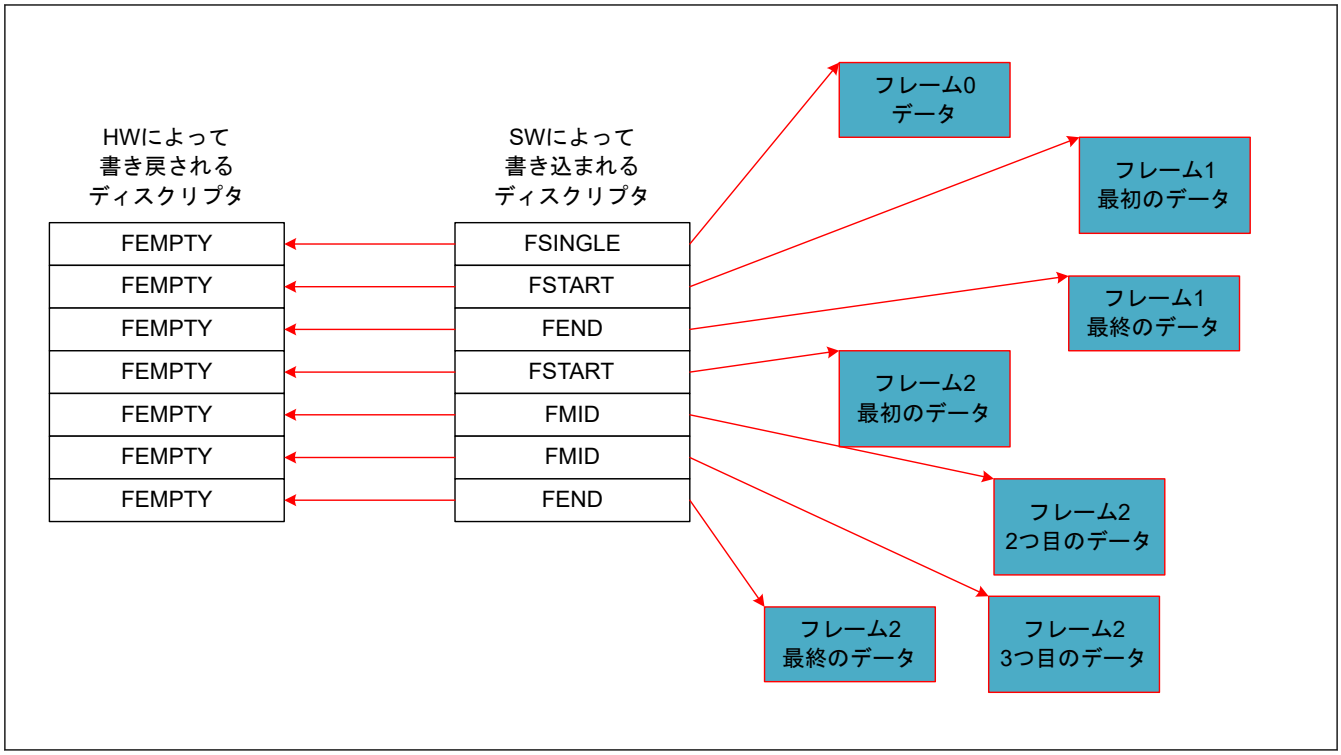


図 34.34　データ送信処理ディスクリプタの使用

注.
- 必要に応じて、SW はフレームを複数のディスクリプタ間で分割できます。先頭ディスクリプタは FSTART ディスクリプタ、最終ディスクリプタは FEND ディスクリプタ、その他のすべてのディスクリプタは FMID ディスクリプタである必要があります。
- データの準備ができたら、CPU は対応する GWTRCi.TSRj ビットを設定して転送を開始する必要があります。GWTRCi.TSRj の説明を参照してください。
- GWTRCi.TSRj は、データが使用できない場合でも、いつでも設定できます。この場合は、GWCA が終了ディスクリプタを読み出し、GWTRCi.TSRj ビットをクリアします。

制約事項：

- SW：フレームが分割されるときには、特定フレームの FMID および FEND ディスクリプタの後に FSTART ディスクリプタが書き込まれる必要があります。

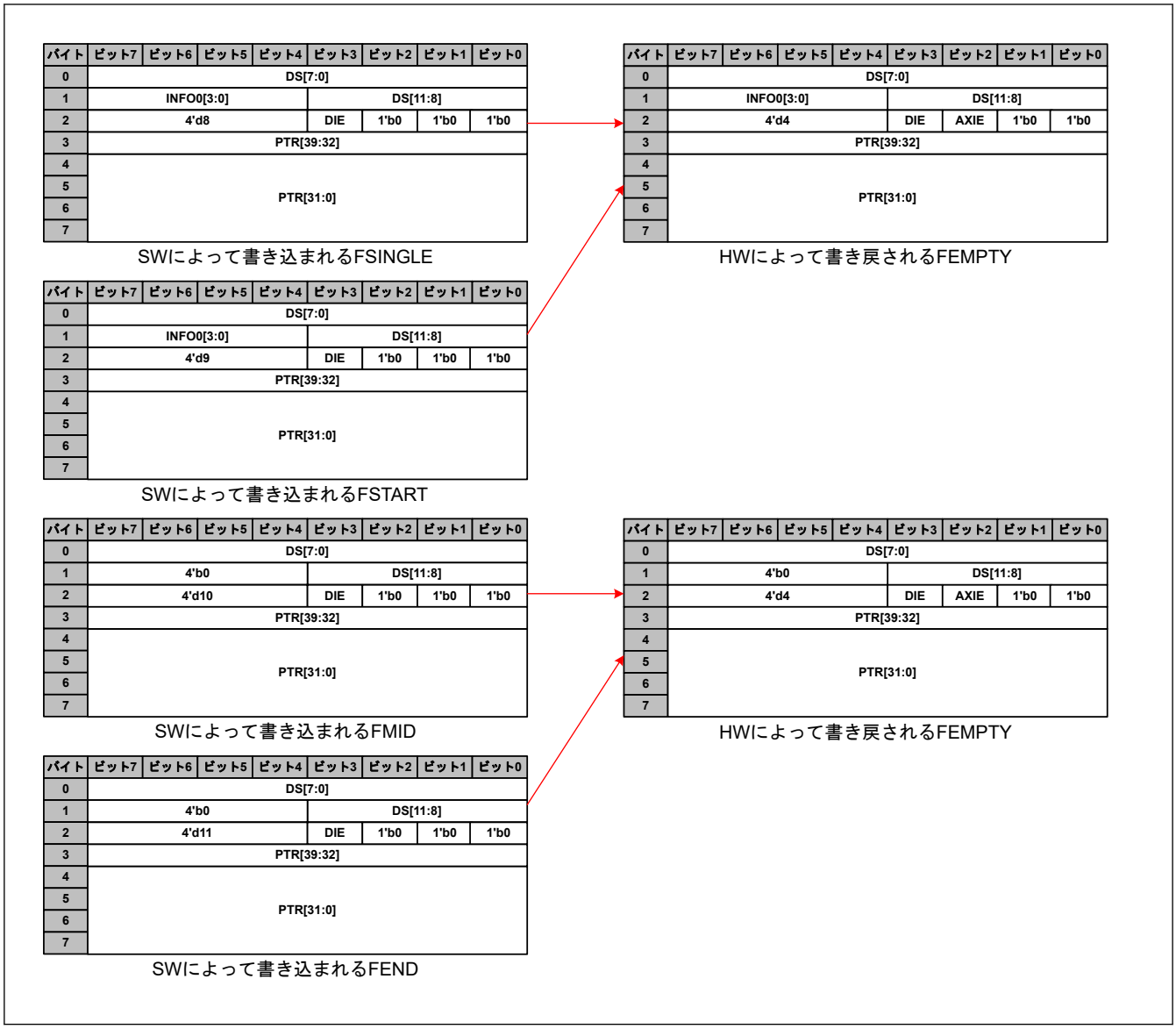


図 34.35　データ送信処理でのディスクリプタ利用フォーマット

表 34.12　データ送信処理でのディスクリプタ利用フィールドの説明 (1/2)

フィールド名	SW によって書き込まれるフィールドの説明	HW ライトバックの後のフィールドの説明
DS	SW によって URAM に書き込まれたデータ	DS（値は読み出しディスクリプタからコピーされる）
INFO0	FSINGLE と FSTART については「34.5.2.2.3. データ送信に共通するディスクリプタフォーマット」を参照 FMID と FEND の場合は 0。	INFO0（値は読み出しディスクリプタからコピーされる）
ERR	0	0
DSE	0	0
AXIE	0	1 になる条件： ● HW：データの読み出し中に AXI エラーが発生した (RRESP ! = 00)。
DIE	DIE	DIE（値は読み出しディスクリプタからコピーされる）
DT	FSINGLE の場合は 8 FSTART の場合は 9 FMID の場合は 10 FEND の場合は 11	FEMPTY の場合は 4
PTR	データが書き込まれる URAM 内のアドレス	PTR（値は読み出しディスクリプタからコピーされる）

表 34.12 データ送信処理でのディスクリプタ利用フィールドの説明 (2/2)

フィールド名	SW によって書き込まれるフィールドの説明	HW ライトバックの後のフィールドの説明
INFO1 (GWDCCi.EDE == 1)	FSINGLE と FSTART については「34.5.2.2.3. データ送信に共通するディスクリプタフォーマット」を参照 FMID と FEND の場合は 0。	NA：送信に対して INFO1 はライトバックされない
TS (GWDCCi.ETS == 1)	NA：送信のためのタイムスタンプディスクリプタはない	NA：送信のためのタイムスタンプディスクリプタはない

34.5.2.2.2 時間制御データ送信

時間制御データ送信処理ディスクリプタの使用を図 34.36 に示します。時間制御データ送信処理ディスクリプタのフォーマットを「34.4.2.11. グローバルレートリミッタの設定フロー」(基本ディスクリプタの場合は「34.5.1.2.1. 汎用フォーマット」) と表 34.13 に示します。FSINGLE、FSTART、FMID、FEND、および FEMPTY フォーマットは、本節では説明されていません。それらの説明については、図 34.35 と表 34.12 を参照してください。

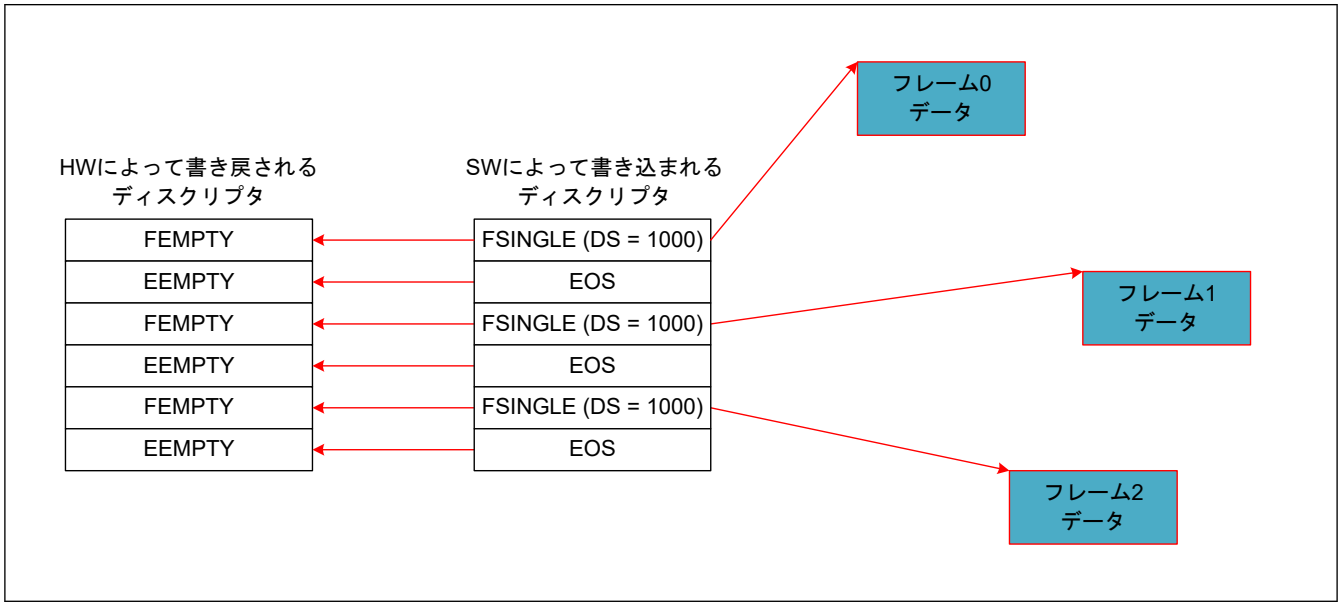


図 34.36 データ送信処理ディスクリプタの使用

注.
- 必要に応じて、SW はフレームを複数のディスクリプタ間で分割できます。先頭ディスクリプタは FSTART ディスクリプタ、最終ディスクリプタは FEND ディスクリプタ、その他のすべてのディスクリプタは FMID ディスクリプタである必要があります。
- データの準備ができたら、CPU は対応する GWTRCi.TSRj ビットを設定して転送を開始する必要があります。GWTRCi.TSRj の説明を参照してください。
- EOS ディスクリプタの読み出しには、GWTRCi.TSRj ビットをクリアする効果があります。そのため、CPU が GWTRCi.TSRj ビットを周期的なタイミングで設定すれば、CPU はデータスループットを制御できます（CPU が次回に TSR を設定しようとしたときに、それがすでに設定されている場合は 1 つのフレームしか送信されないため、スループットの低下を発生させることができます）。
- GWTRCi.TSRj ビットは、gPTP タイマ[gPTP]を使用して自動的に設定できます。「34.5.5. gPTP トリガ送信」を参照してください。
- GWTRCi.TSRj は、データが使用できない場合でも、いつでも設定できます。この場合は、GWCA が終了ディスクリプタを読み出し、GWTRCi.TSRj ビットをクリアします。

制約事項：
- SW：フレームが分割されるときには、特定フレームの FMID および FEND ディスクリプタの後に FSTART ディスクリプタが書き込まれる必要があります。

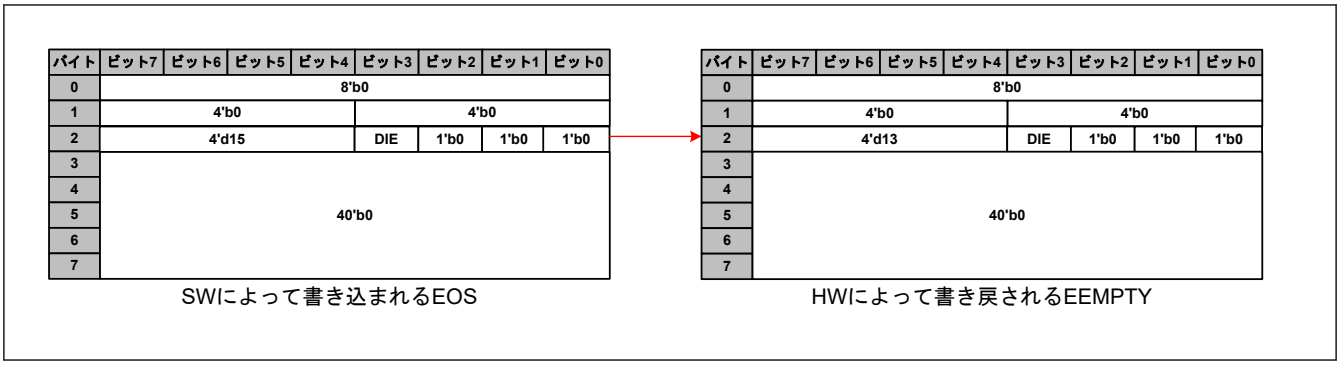


図 34.37　時間制御データ送信処理ディスクリプタの使用フォーマット

表 34.13　時間制御データ送信処理ディスクリプタの使用フィールドの説明

フィールド名	SW によって書き込まれるフィールドの説明	HW ライトバックの後のフィールドの説明
DS	0	DS（値は読み出しディスクリプタからコピーされる）
INFO0	0	INFO0（値は読み出しディスクリプタからコピーされる）
ERR	0	0
DSE	0	0
AXIE	0	0
DIE	DIE	DIE（値は読み出しディスクリプタからコピーされる）
DT	15	13
PTR	0	PTR（値は読み出しディスクリプタからコピーされる）
INFO1 (GWDCCi.EDE == 1)	0	NA：INFO1 は EOS ディスクリプタに対してライトバックされない
TS (GWDCCi.ETS == 1)	NA：送信のためのタイムスタンプディスクリプタはない	NA：送信のためのタイムスタンプディスクリプタはない

34.5.2.2.3　データ送信に共通するディスクリプタフォーマット

この項では、すべてのデータ送信（INFO0 と INFO1）に共通するフィールドについて説明します。送信直接ディスクリプタフォーマットと送信イーサネットディスクリプタフォーマットの 2 種類のフォーマットがあります。送信直接ディスクリプタは、たとえばルーティングできないプロトコルの転送（ネットワーク制御）や、CPU 間通信に使用できます。送信イーサネットディスクリプタは、通常のイーサネット通信すべてに対して使用できます。AXI ディスクリプタに含まれるすべてのフィールドを引用する場合は、ADESCR.{フィールド名}と表記します。

(1)　送信直接ディスクリプタ

送信直接ディスクリプタは、宛先を直接決定してフレームを送信するために CPU によって使用されます（転送エンジンの処理はバイパスされます[FWD]）。図 34.38 と表 34.14 に、送信直接ディスクリプタの INFO フォーマットを示します。

制約事項：

- SW：送信直接ディスクリプタがなれるのは拡張ディスクリプタのみです。「34.5.1.2.1. 汎用フォーマット」を参照してください。

INFO0

バイト	ビット3	ビット2	ビット1	ビット0
0	—		SEC	FI

INFO1

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—	TN	—	—	TXC	FMT	SEC	FI
1	TSUN[7:0]							
2	RN[7:0]							
3	FW	IPV[2:0]			RV	—		
4	—	CSD0[6:0]						
5	—							
6	—	DV[6:0]						
7	—							

図 34.38　送信直接ディスクリプタの INFO フォーマット

表 34.14　送信直接ディスクリプタの INFO フィールドの説明

フィールド名	ビット幅	説明
FI	1	FCS
SEC	1	セキュアディスクリプタ
FMT	1	ディスクリプタフォーマット 制約事項： ● SW：直接ディスクリプタの場合は 1 に固定されます。
TXC	1	TX タイムスタンプキャプチャ[RMAC]。対応するビットを RMAC TX インタフェースに設定するために使用されます。
TN	1	キャプチャに利用されるタイマ[RMAC]。対応するビットを RMAC TX インタフェースに設定するために使用されます。
TSUN	8	タイムスタンプ固有番号[RMAC]。対応するビットを RMAC TX インタフェースに設定するために使用されます。
RV	1	ルーティングが有効です。「34.5.3.2. L2/L3 更新」、イーサネットエージェントの L2/3 更新[ETHA]および転送エンジンの L3 ルーティングテーブル[FWD]を参照してください。
RN	5	ルーティングが有効です。「34.5.3.2. L2/L3 更新」、イーサネットエージェントの L2/3 更新[ETHA]および転送エンジンの L3 ルーティングテーブル[FWD]を参照してください。
IPV	3	内部優先順位の値 フレームの宛先優先順位。
FW	1	フレームに格納されている FCS が誤っています（スイッチで修正されます）。
CSD0	6	GWCA0 の CPU サブ転送先
DV	4	転送先ベクタ[MFWD]
—	—	予約領域 制約事項： ● SW：これらのフィールドは 0 に設定する必要があります。

(2)　送信イーサネットディスクリプタ

送信イーサネットディスクリプタは、転送エンジンによって転送されるフレームを送信するために CPU によって使用されます[FWD]。送信イーサネットディスクリプタの INFO フォーマットを図 34.39 と表 34.15 に示します。

制約事項：

- SW：イーサネットディスクリプタ内には FW フィールド（(1) 送信直接ディスクリプタを参照）が存在しないため、すべての送信フレームは、正しい FCS が含まれているか、FCS がないか、いずれかである必要があります。

INFO0

バイト	ビット3	ビット2	ビット1	ビット0
0	—			FI

INFO1

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—	TN	—	—	TXC	FMT	—	FI
1	TSUN[7:0]							
2	—							
3								
4								
5								
6								
7								

図 34.39　送信イーサネットディスクリプタの INFO フォーマット

表 34.15　送信イーサネットディスクリプタの INFO フィールドの説明

フィールド名	ビット幅	説明
FI	1	FCS
FMT	1	ディスクリプタフォーマット 制約事項： ● SW：イーサネットディスクリプタの場合は 0 に固定されます。
TXC	1	TX タイムスタンプキャプチャ[RMAC]。対応するビットを RMAC TX インタフェースに設定するために使用されます。
TN	1	キャプチャに利用されるタイマ[RMAC]。対応するビットを RMAC TX インタフェースに設定するために使用されます。
TSUN	8	タイムスタンプ固有番号[RMAC]。対応するビットを RMAC TX インタフェースに設定するために使用されます。
—	—	予約 制約事項： ● SW：これらのフィールドは 0 に設定する必要があります。

34.5.2.3　TX データ格納

TX データ格納には、次の機能があります。つまり、フレームの TAG 情報を抽出し、VLAN タグ付けを適用し、フレームをローカル RAM 内に保存します。これらの機能は、ディスクリプタフォーマットとは独立に、すべてのフレームに適用されます。

34.5.2.3.1　TAG 情報抽出

TAG 情報抽出は、設定の介入なしに HW で実行されます。抽出されたフォーマットは、GWTTFC レジスタを使用してフィルタリングできます。TAG 情報抽出を図 34.40 に、TAG フィルタリングのための GWTTFC レジスタビットの説明と共に示します。抽出されるフィールドは、SN、CoS-TCI、C-TCI、および S-TCI です。

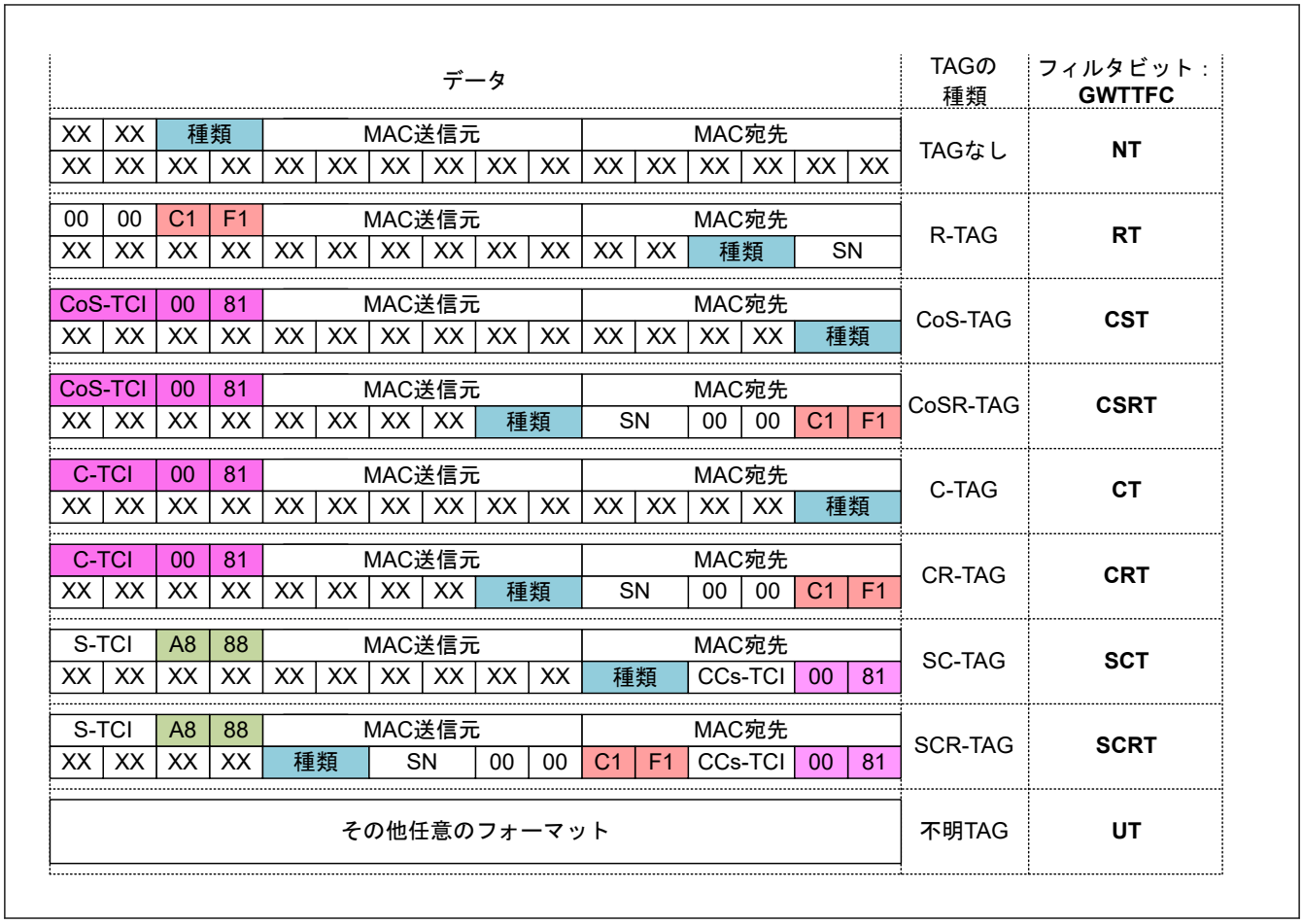


図 34.40　TAG 情報抽出

注.
- TAG 情報抽出では、色の付いた部分のみが考慮されます。
- HF1C1 は R-TAG TPID に対応し、SN は R-TAG シーケンス番号[802.1CB]に対応します。
- H8100 は C-TAG TPID に対応し、C-TCI は null でない VID を持つ C-TAG TCI に対応し、CoS-TCI は null VID を持つ C-TAG TCI に対応し、CCs-TCI は C-TCI または CoS-TCI [802.1Q]に対応します。
- H88A8 は S-TAG TPID に対応し、S-TCI は S-TAG TCI [802.1Q]に対応します。
- Type は、HF1C1、H88A8、または H8100 ではない任意のイーサネットタイプ値に対応します。
- TPID 値は、転送エンジン[FWD]で構成できます。TPID の値は、転送エンジン（FWTTC0 および FWTTC1 レジスタ内）で設定できます。

制約事項：

- HW：TAG 抽出には 32 バイトが必要なため、GWCA は 32 バイト未満の送信フレームを拒否し、GWEIS0.USMFSES 割り込みレジスタを設定します。
- SW：R-TAG では、予約済みの部分は常に 0 に設定する必要があります。予約済みの部分が 0 に設定されておらず、対応するフレームに FCS が含まれている場合、そのフレームはエラーで転送される可能性があります。

34.5.2.3.2　VLAN タグ付加

VLAN タグ付加は、TAG 情報の抽出によって得られるフォーマット（「34.5.2.3.1. TAG 情報抽出」）、スイッチの VLAN モード（MFWD の FWGC.SVM レジスタ）、GWVCC レジスタと GWVTC レジスタを使用して、フレーム内にある TAG の置き換えまたは上書きを行います。VLAN タグ付加の後は、どのフレームにも 3 つの TAG があります。R-TAG が 1 つ、C-TAG が 1 つ、S-TAG が 1 つで、これらは TAG RAM 内に直接保存されます[MFAB]。

機能：

- GWVCC.VIM レジスタは、ポートベース VLAN で TX データパスを設定します（すべての受信フレームが、同じ VLAN ID を持つ転送エンジンに送信されます）。GWVCC.VIM の設定は、スイッチが No-VLAN モードになっている（転送エンジンの FWGC.SVM レジスタが 00 に設定されている）ときには無視されます[MFWD]。
- GWVTC レジスタは、HW の TAG を設定するために使用します。使用できる HW TAG は 3 種類あります。HW C-TAG は、VID としての GWVTC.CTV、PCP としての GWVTC.CTP、DEI としての GWVTC.CTD から作成されます。HW S-TAG は、VID としての GWVTC.STV、PCP としての GWVTC.STP、DEI としての GWVTC.STD から作成されます。HW CoS-TAG は、VID としての GWVTC.CTV、PCP としての受信フレーム PCP、DEI としての受信フレーム DEI から作成されます。

VLAN タグ付加後の TAG を、スイッチ VLAN モード（MFWD の FWGC.SVM レジスタ）と、TAG 情報の抽出（「34.5.2.3.1. TAG 情報抽出」）によって得られるフレームの種類に応じて、図 34.41、図 34.42、図 34.43 に示します。これらの図では、受信フレームから抽出されたデータは青色に、追加された HW TAG は赤色になっています。

TAGの種類	R-TAG	C-TAG	S-TAG
TAGなし	0	0	0
R-TAG	SN	0	0
CoS-TAG	0	CoS-TCI	0
CoSR-TAG	SN	CoS-TCI	0
C-TAG	0	C-TCI	0
CR-TAG	SN	C-TCI	0
SC-TAG	0	C-TCI	S-TCI
SCR-TAG	SN	C-TCI	S-TCI
不明TAG	0	0	0

図 34.41 VLAN タグ付加後の TAG：No-VLAN モードのスイッチ[MFWD]

	受信VLANモード (**GWVCC.VIM** == 1'b0)			ポートベースVLANモード (**GWVCC.VIM** == 1'b1)		
TAGの種類	R-TAG	C-TAG	S-TAG	R-TAG	C-TAG	S-TAG
TAGなし	0	HW C-TAG	0	0	HW C-TAG	0
R-TAG	SN	HW C-TAG	0	SN	HW C-TAG	0
CoS-TAG	0	HW CoS-TAG	0	0	HW CoS-TAG	0
CoSR-TAG	SN	HW CoS-TAG	0	SN	HW CoS-TAG	0
C-TAG	0	C-TCI	0	0	HW C-TAG	0
CR-TAG	SN	C-TCI	0	SN	HW C-TAG	0
SC-TAG	0	C-TCI	S-TCI	0	HW C-TAG	0
SCR-TAG	SN	C-TCI	S-TCI	SN	HW C-TAG	0
不明TAG	0	HW C-TAG	0	0	HW C-TAG	0

図 34.42　VLAN タグ付加後の TAG：C-TAG モードのスイッチ[MFWD]

	受信VLANモード (**GWVCC.VIM** == 1'b0)			ポートベースVLANモード (**GWVCC.VIM** == 1'b1)		
TAGの種類	R-TAG	C-TAG	S-TAG	R-TAG	C-TAG	S-TAG
TAGなし	0	HW C-TAG	HW S-TAG	0	HW C-TAG	HW S-TAG
R-TAG	SN	HW C-TAG	HW S-TAG	SN	HW C-TAG	HW S-TAG
CoS-TAG	0	HW CoS-TAG	HW S-TAG	0	HW CoS-TAG	HW S-TAG
CoSR-TAG	SN	HW CoS-TAG	HW S-TAG	SN	HW CoS-TAG	HW S-TAG
C-TAG	0	C-TCI	HW S-TAG	0	C-TCI	HW S-TAG
CR-TAG	SN	C-TCI	HW S-TAG	SN	C-TCI	HW S-TAG
SC-TAG	0	C-TCI	S-TCI	0	C-TCI	HW S-TAG
SCR-TAG	SN	C-TCI	S-TCI	SN	C-TCI	HW S-TAG
不明TAG	0	HW C-TAG	HW S-TAG	0	HW C-TAG	HW S-TAG

図 34.43　VLAN タグ付加後の TAG：SC-TAG モードのスイッチ[MFWD]

34.5.2.3.3　フレームのローカル RAM 内への保存

フレームのローカル RAM 内への保存については、ファブリック仕様ドキュメント[MFAB]の項「データ RAM 表示」を参照してください。本節では、ファブリック仕様ドキュメント[MFAB]で示されているフレームディスクリプタについてのみ説明します。

ローカル RAM ディスクリプタには、直接ローカルディスクリプタとイーサネットローカルディスクリプタの 2 種類があります。これらはそれぞれ、直接ディスクリプタとイーサネットディスクリプタから作成されます。「34.5.2.2.3. データ送信に共通するディスクリプタフォーマット」を参照してください。

これらのディスクリプタのフィールドを引用する場合は、LDESCR.{フィールド名}と表記します。

(1)　直接ローカルディスクリプタ

直接ローカルディスクリプタのフォーマットを図 34.44 と表 34.16 に示します。

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—	TN	CRT	IET	TXC	FMT	SEC	FI
1	TSUN[7:0]							
2	SAEF[7:0]							
3	—				RTGI	VCTRL[2:0]		
4	RN[7:0]							
5	FW	IPV[2:0]			RV	—		
6	TPL[15:0]							
7								
8	—	CSD0[6:0]						
9	—	CSD1[6:0]						
10	—	DV[6:0]						
11	—							
12								
13								
14								
15								

図 34.44　直接ローカルディスクリプタのフォーマット

表 34.16　直接ローカルディスクリプタのフィールドの説明 (1/2)

フィールド名	ビット幅	説明	GWCA の値
FI	1	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
SEC	1	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
FMT	1	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
TXC	1	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
IET	1	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
CRT	1	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
TN	1	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
TSUN	8	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
SAEF	8	ソースエージェントエラーフラグ	(3) SAEF フォーマットを参照してください。
VCTRL	3	VLAN 制御	VCTRL[2]の値: • GWVCC.VIM に設定されます。 VCTRL[1:0]の値 • 00: タグなし、R-TAG、および不明タグフレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。 • 01: C-TAG および CR-TAG フレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。 • 10: SC-TAG および SCR-TAG フレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。 • 11: CoS-TAG および CoSR-TAG フレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。

表 34.16 直接ローカルディスクリプタのフィールドの説明 (2/2)

フィールド名	ビット幅	説明	GWCA の値
RTGI	1	R-TAG	値: ● 0: タグなし、CoS-TAG、C-TAG、SC-TAG、および不明タグフレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。 ● 1: R-TAG、CoSR-TAG、CR-TAG および SCR-TAG フレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。
RV	1	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
RN	5	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
IPV	3	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
FW	1	表 34.14 を参照してください。	チェックサム処理機能によって設定されている場合を除き、送信直接ディスクリプタからコピーされます。送信直接ディスクリプタについては(1) 送信直接ディスクリプタを参照し、8.2.3.4 を参照してください。
TPL	16	合計ペイロード長	フレームのペイロード長。これには、データ RAM [MFAB]内に保存されているデータのみが含まれます。
CSD0	6	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
DV	4	表 34.14 を参照してください。	送信直接ディスクリプタからコピーされます。(1) 送信直接ディスクリプタを参照してください。
—	—	予約領域	0 に設定

(2) イーサネットローカルディスクリプタ

イーサネットローカルディスクリプタのフォーマットを図 34.45 と表 34.17 に示します。

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—	TN	CRT	IET	TXC	FMT	—	FI
1	TSUN[7:0]							
2	SAEF[7:0]							
3	—				RTGI	VCTRL[2:0]		
4	—							
5								
6	TPL[15:0]							
7								
8	TSNS[29:0]							
9								
10								
11	TSD	TSV						
12	TSS[31:0]							
13								
14								
15								

図 34.45 イーサネットローカルディスクリプタのフォーマット

表 34.17 イーサネットローカルディスクリプタのフィールドの説明

フィールド名	ビット幅	説明	GWCA の値
FI	1	表 34.15 を参照してください。	送信イーサネットディスクリプタからコピーされます。(2) 送信イーサネットディスクリプタを参照してください。
FMT	1	表 34.15 を参照してください。	送信イーサネットディスクリプタからコピーされます。(2) 送信イーサネットディスクリプタを参照してください。
TXC	1	表 34.15 を参照してください。	送信イーサネットディスクリプタからコピーされます。(2) 送信イーサネットディスクリプタを参照してください。
IET	1	表 34.15 を参照してください。	送信イーサネットディスクリプタからコピーされます。(2) 送信イーサネットディスクリプタを参照してください。
CRT	1	表 34.15 を参照してください。	送信イーサネットディスクリプタからコピーされます。(2) 送信イーサネットディスクリプタを参照してください。
TN	1	表 34.15 を参照してください。	送信イーサネットディスクリプタからコピーされます。(2) 送信イーサネットディスクリプタを参照してください。
TSUN	8	表 34.15 を参照してください。	送信イーサネットディスクリプタからコピーされます。(2) 送信イーサネットディスクリプタを参照してください。
SAEF	8	ソースエージェントエラーフラグ	(3) SAEF フォーマットを参照してください。
VCTRL	3	VLAN 制御	VCTRL[2]の値: ● GWVCC.VIM に設定されます。 VCTRL[1:0]の値 ● 00: タグなし、R-TAG、および不明タグフレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。 ● 01: C-TAG および CR-TAG フレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。 ● 10: SC-TAG および SCR-TAG フレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。 ● 11: CoS-TAG および CoSR-TAG フレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。
RTGI	1	R-TAG	値: ● 0: タグなし、CoS-TAG、C-TAG、SC-TAG、および不明タグフレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。 ● 1: R-TAG、CoSR-TAG、CR-TAG および SCR-TAG フレームについては、「34.5.2.3.1. TAG 情報抽出」を参照してください。
TPL	16	合計ペイロード長	フレームのペイロード長。これには、データ RAM [MFAB]内に保存されているデータのみが含まれます。
TSV	1	タイムスタンプ有効	0 に設定されます。GWCA では未使用です。
TSD	1	タイムスタンプデフォルト	0 に設定されます。GWCA では未使用です。
TSNS	30	タイムスタンプナノ秒[gPTP]	0 に設定されます。GWCA では未使用です。
TSS	32	タイムスタンプ秒[gPTP] 制約事項： ● HW：gPTP の秒部分の上位 16 ビットは切り捨てられます。	0 に設定されます。GWCA では未使用です。
—	—	予約領域	0 に設定

(3) SAEF フォーマット

ソースエージェントエラーフラグのフォーマットを図 34.46 と表 34.18 に示します。

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—	DNE	—	SEQE	AXE	—	—	TFE

図 34.46 ソースエージェントエラーフラグのフォーマット

表 34.18 ソースエージェントエラーフラグのフィールドの説明

フィールド名	ビット幅	説明
TFE	1	TAG フィルタリングエラー 1 になる条件: ● HW: フレームが必要な TAG Ingress フォーマットに収まらないとき。GWTTFC レジスタの説明を参照してください。
AXE	1	AXI エラー 1 になる条件: ● HW: 分割フレーム時に AXIE エラーが発生すると、フレームは不完全な状態で送信されます。
SEQE	1	シーケンスエラー 1 になる条件: ● HW: 分割フレーム時に FSINGLE、FSTART、EOS、または不明なディスクリプタが受信されると、フレームは不完全な状態で送信されます。
DNE	1	ディスクリプタ数エラー ● HW: 分割フレーム時にフレームをフェッチするためにすでに GWMDNC.TXDMN+1 個のディスクリプタが読み出されていて、そのフレームが完了していないとき。フレームは不完全な状態で送信されます。
—	—	予約 0 に設定

34.5.3 データ受信

GWCA では、GWCA RX データパスを経由したデータ受信が可能になります。RX データパスを「34.4.2.11. グローバルレートリミッタの設定フロー」に示します。

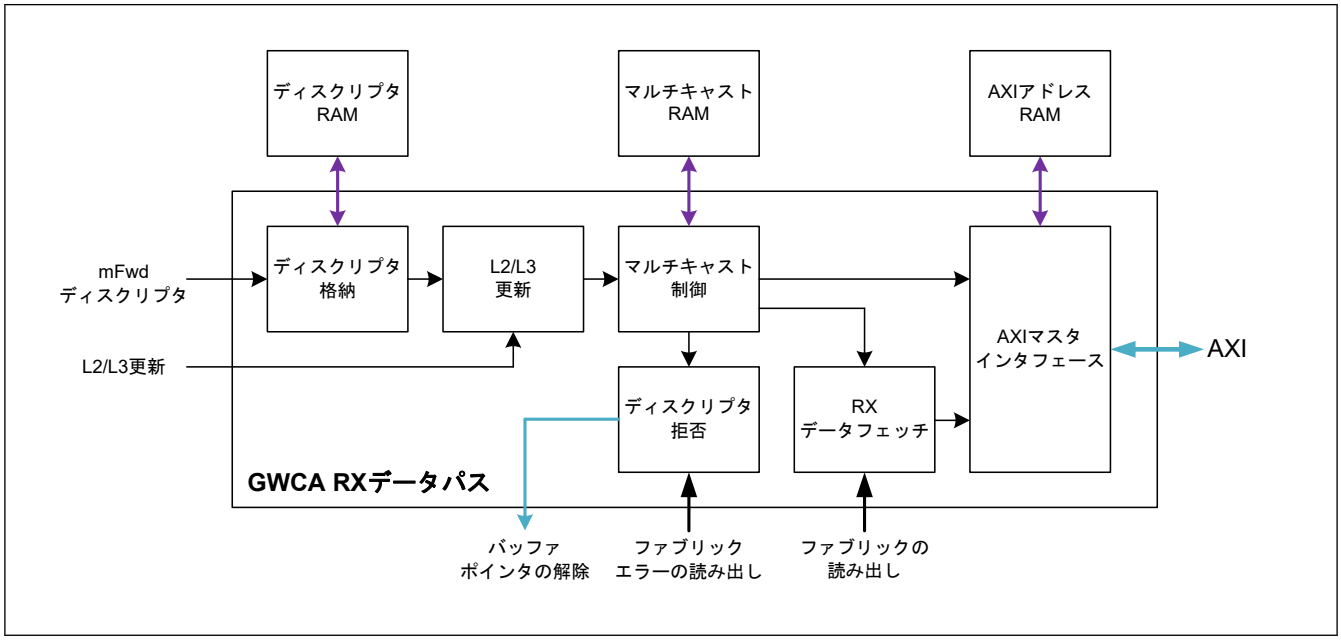


図 34.47 GWCA RX データパスのブロック図

RX データパスは、次の 7 つのブロックに分かれています。

- ディスクリプタ格納：このブロックは、MFWD から受信されたディスクリプタをディスクリプタ RAM 内に格納することを目的としており、ディスクリプタ間のアービトレーションを制御します。
- L2/L3 更新：このブロックは、転送エンジンから L2/L3 更新ルールをフェッチして、フレームを送信中に更新することを目的としています。
- フレームサイズチェック：このブロックは、フレームサイズとセキュリティレベルをチェックし、フレームの転送または破棄を決定することを目的としています。
- マルチキャスト制御：このブロックは、フレームサイズとセキュリティレベルをチェックし、フレームの転送または破棄を決定すること、およびデータを送信できるディスクリプタを複数の CPU サブ転送先にコピーすることを目的としています。

- ディスクリプタ拒否：このブロックは、フレームサイズ制御部によって拒否されたフレームのポインタを解放することを目的としています。このブロックがここにあるのはスイッチハードウェアの目的のためであり、その説明はスイッチの使用に必要ではないため、ここでは説明されません。
- RX データフェッチ：このブロックはローカル RAM からフレームのデータをフェッチし、L2/L3 更新モジュールによって取得された情報、VLAN 制御情報および R-TAG 情報に応じてフレームを更新して（フレームの FCS が削除される場合があります）、フレームポインタを解放します。ポインタ解放がここにあるのはスイッチハードウェアの目的のためであり、その説明はスイッチの使用に必要ではないため、ここでは説明されません。
- AXI マスタインタフェース：このブロックは、CPU とのデータ／AXI ディスクリプタのやり取りを処理します。

34.5.3.1 ディスクリプタ格納

ディスクリプタ格納には 2 つの機能があります。ディスクリプタ RAM 内のディスクリプタバス MFWD から転送されたディスクリプタの格納と、ディスクリプタ RAM から読み出されたディスクリプタのアービトレーションを行ってディスクリプタが CPU に送信される順序を決定することです。

34.5.3.1.1 ディスクリプタ格納

ディスクリプタ格納は、GWIRC.IPVRi、GWRDQSC.RDQSL、GWRDQC.RDQD、GWRDQC.RDQP、および GWRDQDCq.DQD レジスタを使用してディスクリプタ格納を制御し、GWRDQMq.DNQ および GWRDQMLMq.DMLQ レジスタと、GWEIS1.DQOES および GWEIS1.DQSES 割り込みレジスタを使用して監視できます。図 34.48 に、ディスクリプタ格納の設定の例を示します。

機能：

- GWIRC.IPVRi レジスタは、指定された FDESCR.IPV [MFWD]値を使用して転送エンジンから受信されたディスクリプタを、指定されたディスクリプタキューにマッピングするために使用されます。たとえば、GWIRC.IPVR6 を 1 に設定すると、FDESCR.IPV が 6 に等しい受信されたすべてのディスクリプタがディスクリプタキュー番号 1 に格納されます。
- GWRDQSC.RDQSLn は、キューのセキュリティレベルを設定するために使用されます。キューがセキュアであり（GWRDQSC.RDQSLn が設定されている）、このキューに対して非セキュアなディスクリプタが受信された（FDESCR.SEC [MFWD]が設定されていない）場合、そのディスクリプタは格納されず、GWEIS1.DQSESi フラグが設定されます。
- GWRDQC.RDQP レジスタは、ディスクリプタキューを一時停止するために使用されます。一時停止されたディスクリプタキューでは、CPU へのディスクリプタ送信は停止しますが、ディスクリプタ RAM 内でのディスクリプタ格納は続行されます。
- GWRDQC.RDQD レジスタは、ディスクリプタキューを無効にするために使用されます。無効になったディスクリプタキューでは、ディスクリプタ RAM にディスクリプタは格納されません。
- GWRDQDCq.DQD レジスタは、各ディスクリプタキューに格納できるディスクリプタの最大数を設定するために使用されます。ディスクリプタキュー q に対してディスクリプタが受信されたが、キュー q がフルになっている (GWRDQDCq.DQD == GWRDQMq.DNQ) 場合、そのディスクリプタは格納されず、GWEIS1.DQOESi フラグが設定されます。
- GWRDQMq.DNQ レジスタは、各ディスクリプタキュー内の現在のディスクリプタの数を監視するために使用されます。
- GWRDQMLMq.DMLQ レジスタは、前回のリセットまたは対応するレジスタが読み出された以前の時刻以降に各キューに保持されたディスクリプタの最大数を監視するために使用されます。
- GWEIS1.DQOES レジスタは、ディスクリプタキューオーバーフローのためにディスクリプタが破棄されたことを信号で伝えます。
- GWEIS1.DQSES レジスタは、ディスクリプタキューのセキュリティエラーのためにディスクリプタが破棄されたことを信号で伝えます。

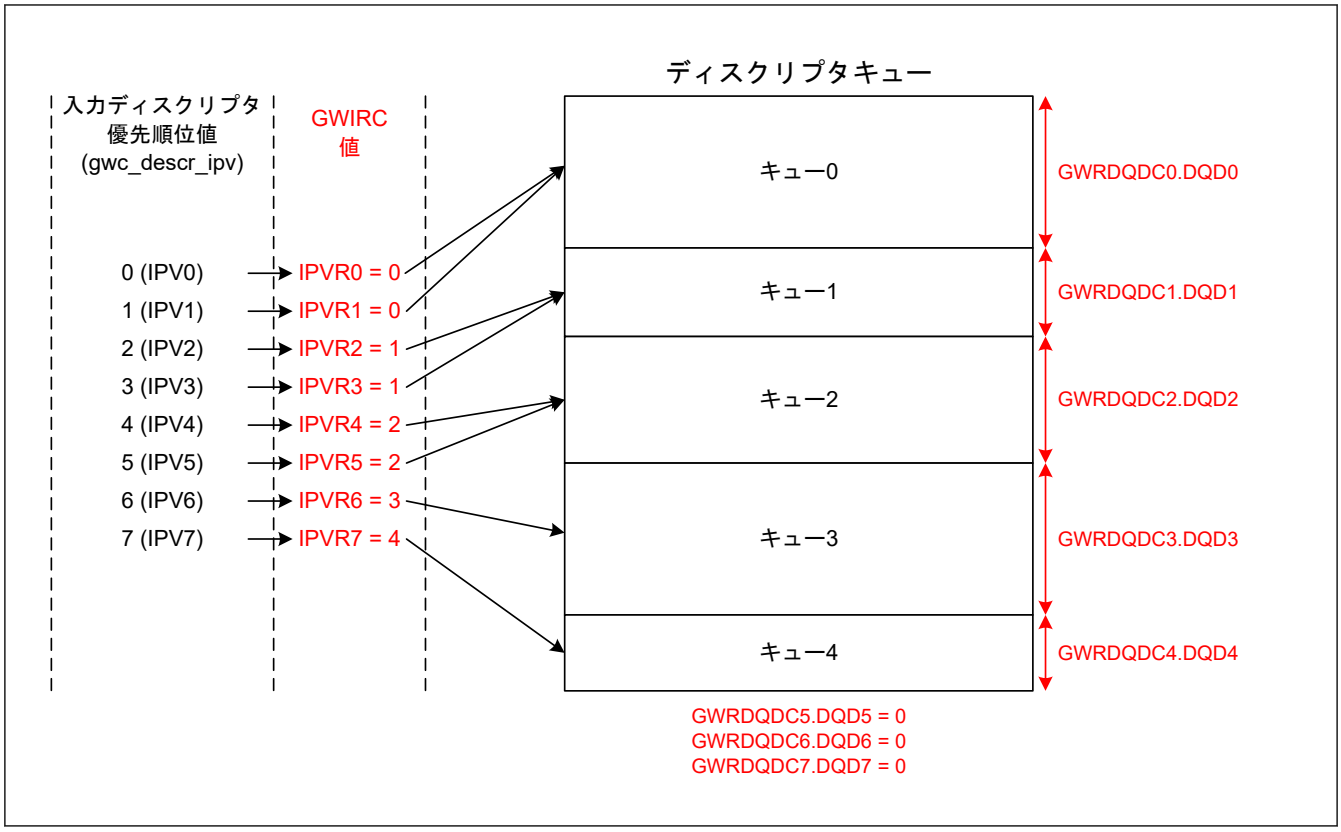


図 34.48　ディスクリプタ格納の設定例

34.5.3.1.2　ディスクリプタアービトレーション

ディスクリプタアービトレーションは、GWRDQAC レジスタを使用して、受信のためのディスクリプタの読み出し順序を制御します。これには、次の 4 つのモードがあります。それは、絶対優先、ラウンドロビン、重み付けラウンドロビン、ハイブリッドモードです。この機能は、AXI アクセスで許可されるスループットがすべてのデータをユーザー RAM に格納できるようにするには小さすぎるときに、QoS を確保するために使用されます。

(1)　絶対優先 (SP)

絶対優先モードでディスクリプタアービトレーションを設定するには、すべての GWRDQAC.RDQAq (q = 0～7) レジスタを 0 に設定する必要があります。この場合は、ディスクリプタアービトレーションに絶対優先アルゴリズムが適用されます。絶対優先アルゴリズムを図 34.49 に例を使用して示します。

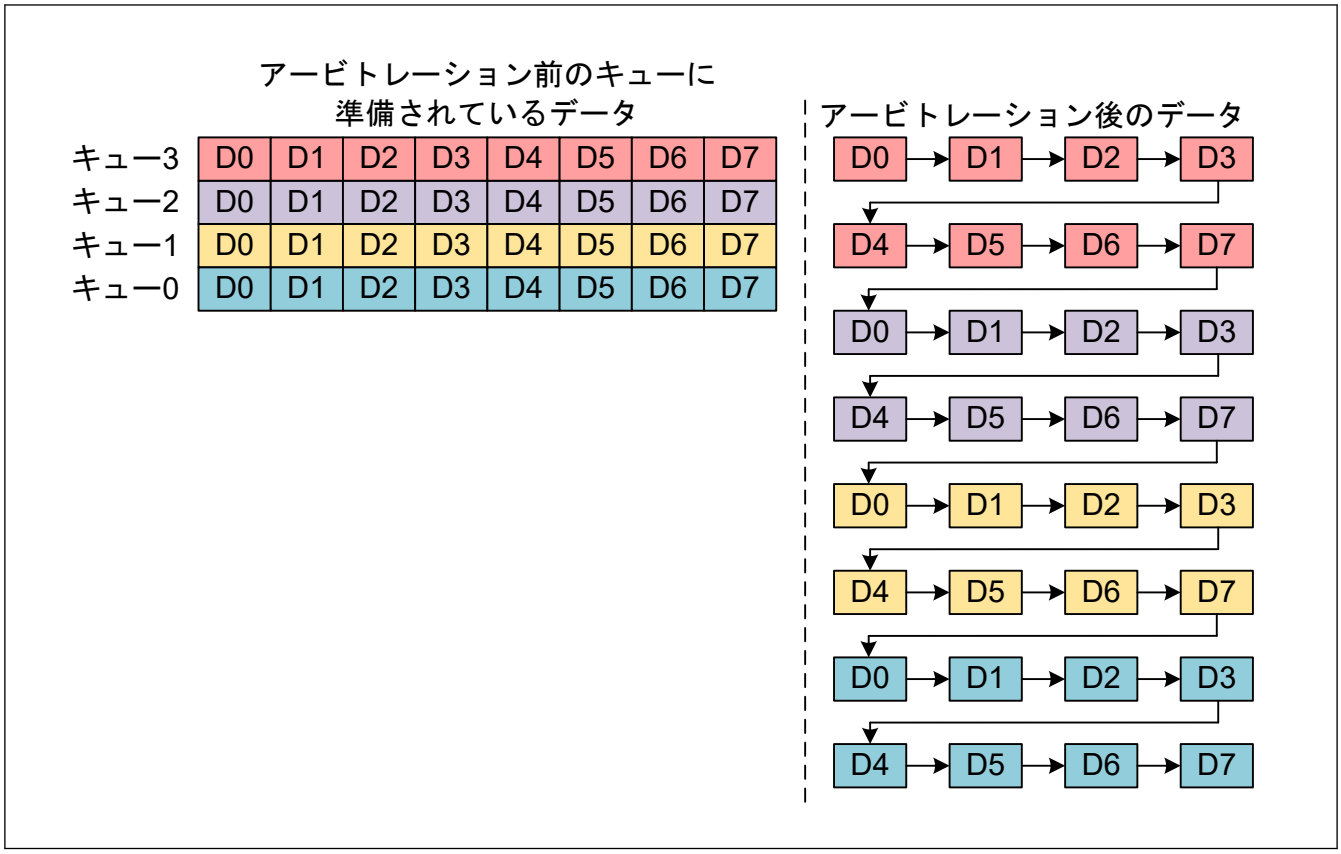


図 34.49　絶対優先アービトレーションの例

(2)　ラウンドロビン (RR)

ラウンドロビンモードでディスクリプタアービトレーションを設定するには、すべての GWRDQAC.RDQAq (q = 0～7) レジスタを 1 に設定する必要があります。この場合は、ディスクリプタアービトレーションにラウンドロビンアルゴリズムが適用されます。ラウンドロビンアルゴリズムを図 34.50 に例を使用して示します。

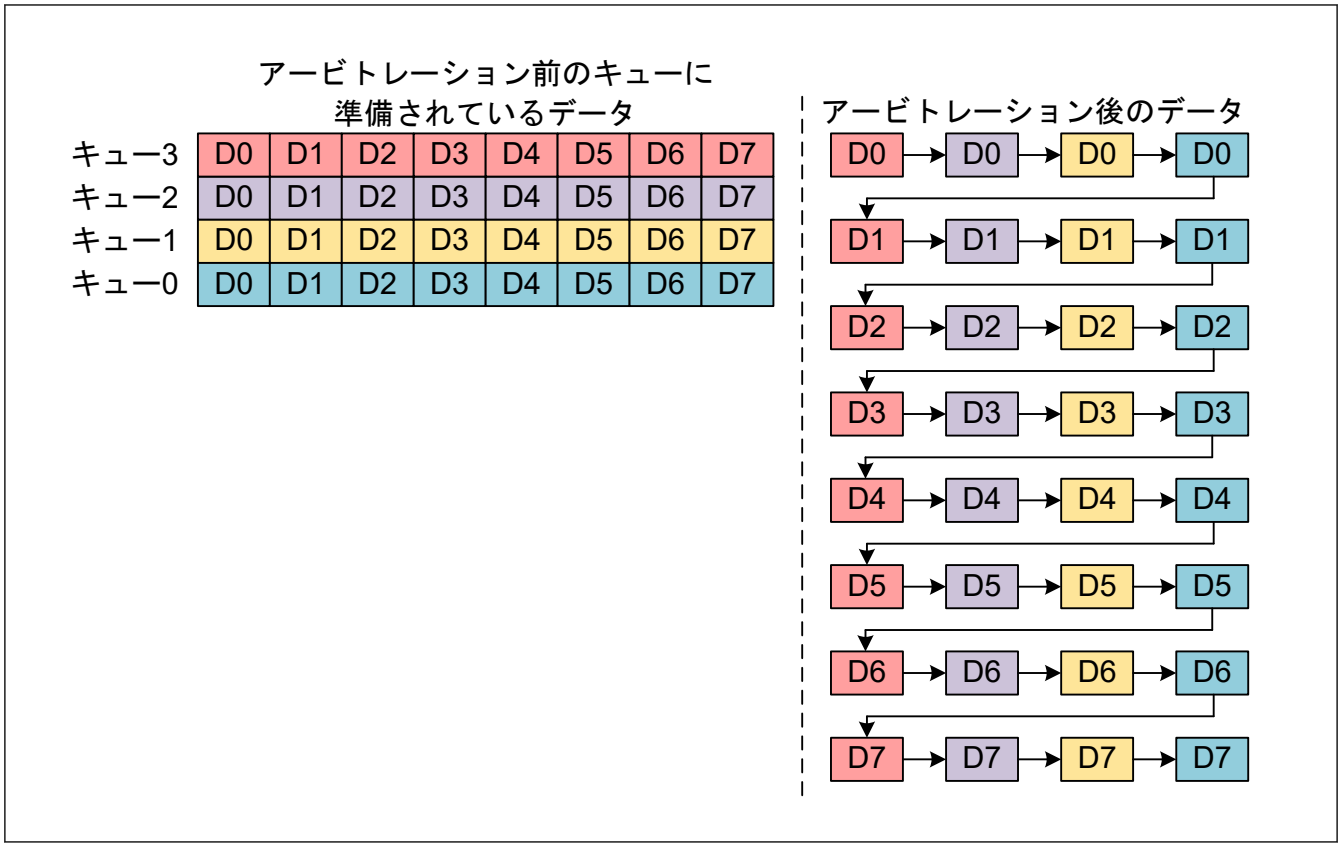


図 34.50　ラウンドロビンアービトレーションの例

(3)　重み付けラウンドロビン (WRR)

重み付けラウンドロビンモードでディスクリプタアービトレーションを設定するには、少なくとも 1 つのキューが 1 以外の値に設定された状態で、すべての GWRDQAC.RDQAq (q = 0～7) レジスタを 0 以外の値に設定する必要があります。この場合は、ディスクリプタアービトレーションに重み付けラウンドロビンアルゴリズムが適用されます。重み付けラウンドロビンアルゴリズムを図 34.51 に例を使用して示します (RDQA0 = 2, RDQA1 = 1, RDQA2 = 3, RDQA3 = 4)。このアービトレーションでは、GWRDQAC.RDQAq レジスタがキュー q の重みを表します。キューの重みが大きいほど、データが送信される確率は高くなります。

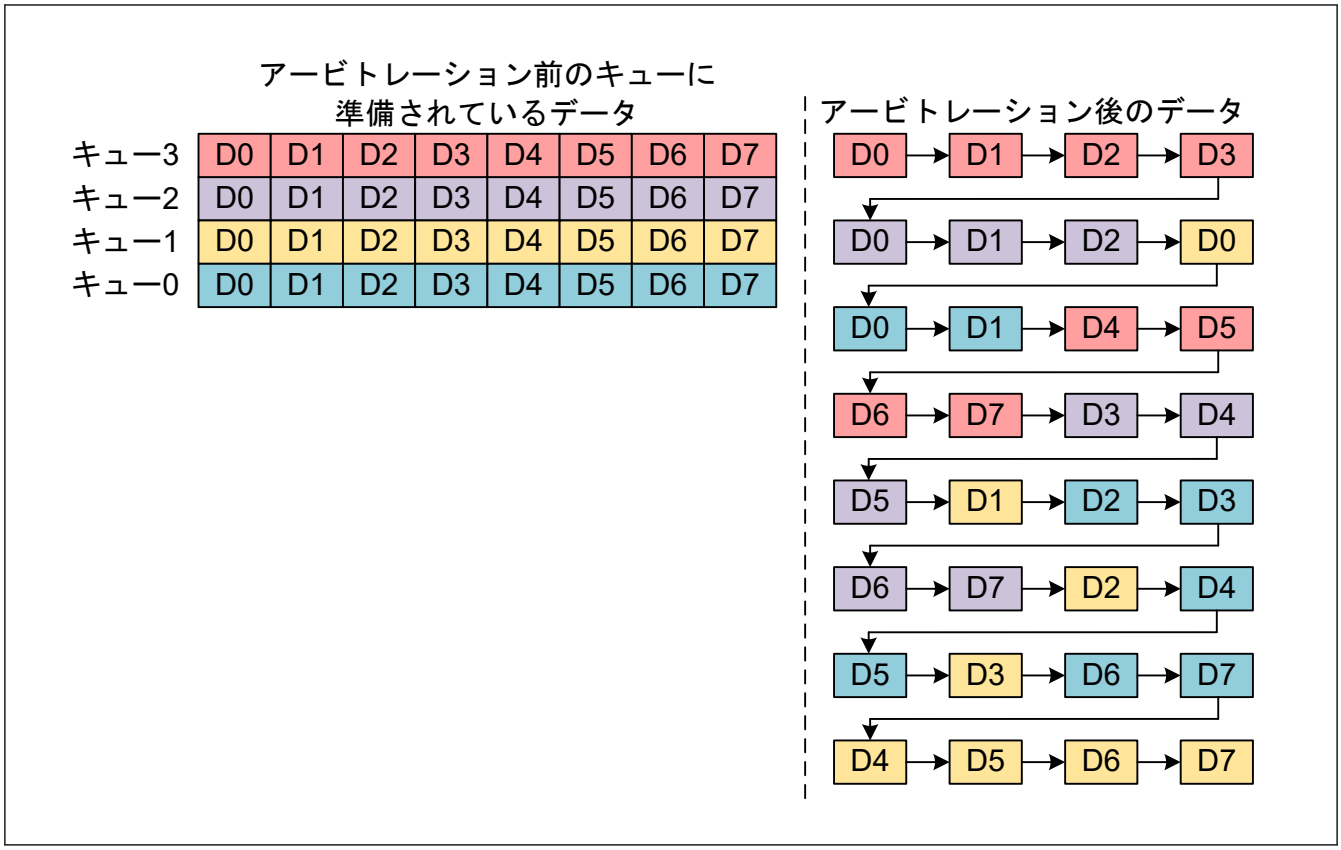


図 34.51　重み付けラウンドロビンアービトレーションの例

(4)　ハイブリッドアービトレーション

SP と RR または SP と WRR は同時に使用できます。このモードは、ハイブリッドアービトレーションモードと呼ばれます。ハイブリッドアービトレーションモードでディスクリプタアービトレーションを設定するには、一部の GWRDQAC.RDQAq (q = 0～7) レジスタを 0 に、その他のレジスタを 0 以外の値に設定する必要があります（制限事項については、GWRDQAC.RDQAq レジスタの説明を参照）。ハイブリッドアービトレーションアルゴリズムを図 34.52 に例を使用して示します (RDQA0 = 0, RDQA1 = 1, RDQA2 = 2 , RDQA3 = 0)。

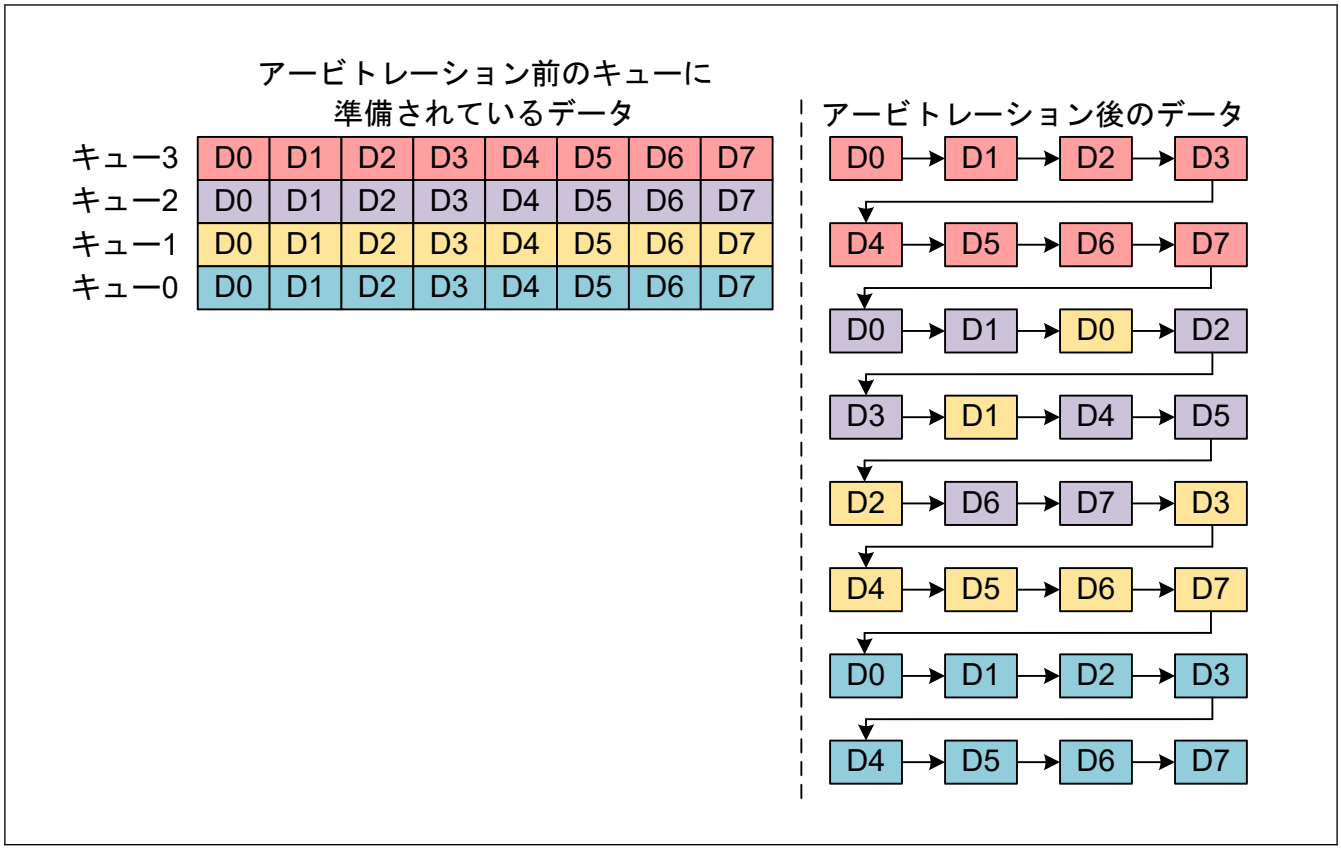


図 34.52　ハイブリッドアービトレーションの例

34.5.3.2　L2/L3 更新

L2/L3 の更新は、L2/L3 更新バスを利用して更新ルールをフェッチすることを目的としています[MFWD]。

L2/L3 更新ルールは、FDESCR.RV が設定された状態で受信したすべてのディスクリプタのためにフェッチされます[MFWD]。L2/L3 の更新には、ルール番号 FDESCR.RN [MFWD]が使用されます。

機能：

- ルールフェッチ設定の詳細については、転送エンジンの仕様書を参照してください[MFWD]。
- フレーム更新の情報については、「34.5.3.4. RX データフェッチ」で、RX データのフェッチブロックの説明を参照してください。

34.5.3.3　マルチキャストの制御

マルチキャスト機能の目的は、同じフレームをいくつかの AXI ディスクリプタキューにコピーすることです。これにより、異なる CPU が互いに干渉することなく同じフレームを同時に処理できます。何も設定されていない場合、すべてのディスクリプタキューがユニキャストキューとして初期化されます。

マルチキャストの制御には 4 つの機能があります。フレームサイズ、セキュリティレベル、およびキュー種類（TX または RX）を調べること、L2/L3 の更新から到着したディスクリプタをマルチキャストテーブルを使用してコピーすること、マルチキャスト学習を使用してマルチキャストテーブルを変更すること、マルチキャスト検索を使用してマルチキャストテーブルを読み出すことです。

34.5.3.3.1　フレームチェック

フレームチェックは、フレームに GWRMFSCq、GWDCCi.SL、GWDCCi.DQT レジスタを使用して CPU によって受信される適切なプロパティが設定されているかどうかをチェックすることを目的としており、GWEIS0.FSES、GWEIS4.DSSES、GWEIS4.DSSEIOS、GWEIS4.DSSECN、GWEIS5.DCTES、GWEIS5.DCTEIOS、GWEIS5.DCTECN 割り込みレジスタを使用して監視できます。

機能：

- GWRMFSCq レジスタは、ディスクリプタキューごとに受け付けられる最大フレームサイズを設定するために使用されます。GWRMFSCq.MFS を超えるサイズのキュー q に対して受信されたフレームはすべて破棄され、GWEIS0.FSES フラグが設定されます。考慮されるフレームサイズは、VLAN 更新の後の FCS を含むサイズです。この場合、マルチキャストは発生せず、フレームは完全に破棄されます。
- GWDCCi.SL レジスタは、CPU サブ転送先のセキュリティレベルを設定するために使用されます。セキュアな CPU サブ転送先（GWDCCi.SL が設定されている）に対して受信された非セキュアな（FDESCR.SEC [MFWD]が設定されていない）フレームはすべて破棄され、GWEIS4.DSSES フラグが設定されます（マルチキャスト中は、GWDCCi.SL が設定されているすべての CPU サブ転送先へのフレームは破棄され、GWDCCi.SL が設定されていないすべての CPU サブ転送先へのフレームは受信されます）。
- GWDCCi.DQT は、受信フレームの受信ディスクリプタキューへの移動を制御するために使用されます。送信ディスクリプタキューに対して受信されたフレームはすべて破棄され、GWEIS5.DCTES フラグが設定されます。マルチキャストの場合は、対象となる送信キューのみでデータが失われます。
- GWEIS0.FSES 割り込みレジスタは、オーバーサイズである対応するフレームのためにディスクリプタが拒否されたことを信号で伝えます。
- GWEIS4.DSSES、GWEIS4.DSSEIOS、および GWEIS4.DSSECN 割り込みレジスタは、AXI ディスクリプタキューのセキュリティエラーのためにディスクリプタが拒否されたことを信号で伝えます。
- GWEIS5.DCTES、GWEIS5.DCTEIOS、GWEIS5.DCTECN 割り込みレジスタは、ディスクリプタチェーンタイプエラーのためにディスクリプタが拒否されたことを信号で伝えます。

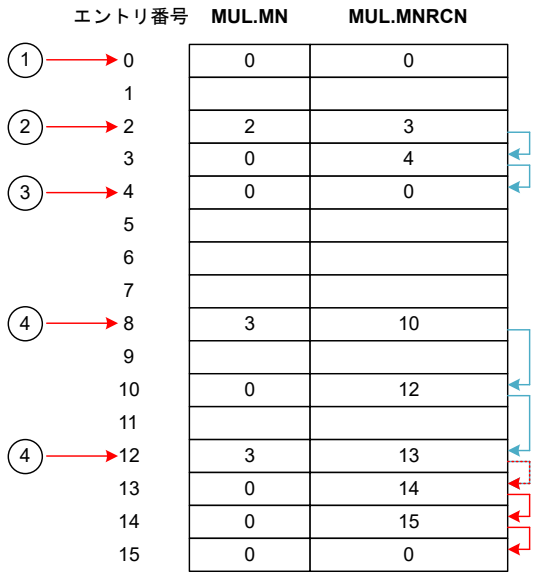
34.5.3.3.2 ディスクリプタコピー

ディスクリプタコピーは、ディスクリプタをマルチキャストし、マルチキャストテーブルを使用してそれを AXI マスタインタフェースと RX データフェッチに送信することを目的としています。

マルチキャストテーブルは、マルチキャスト番号である MUL.MN[2:0]と、次のディスクリプタチェーンであり、AXI ディスクリプタチェーンをまとめてリンクするために使用される MUL.MNRCN[5:0]の 2 つのフィールドに分割されています。まとめてリンクされた AXI ディスクリプタチェーンは、フレームがマルチキャストされる先のマルチキャストチェーンを形成します。

マルチキャストテーブルはリンクに基づいているため、すべてのマルチキャストパターンが可能なわけではありません。

マルチキャストテーブルの使用を図 34.53 に例を使用して示します。



ケース	説明
1	ユニキャスト： - CPUSD = 0の入力ディスクリプタはAXIディスクリプタチェーン0に送信されます。
2	マルチキャスト： - CPUSD = 2の入力ディスクリプタはAXIディスクリプタチェーン2、3、4に送信されます。
3	マルチキャストチェーン内のユニキャスト： - CPUSD = 4の入力ディスクリプタはAXIディスクリプタチェーン4に送信されます。
4	マルチキャストチェーン内のマルチキャストチェーン： - CPUSD = 8の入力ディスクリプタはAXIディスクリプタチェーン8、10、12、13に送信されます。 - CPUSD = 12の入力ディスクリプタはAXIディスクリプタチェーン12、13、14、15に送信されます。

図 34.53 マルチキャストテーブルの使用例

34.5.3.3.3 マルチキャスト学習

マルチキャスト学習の目的は、GWMSTLS レジスタと GWMSTLR レジスタを使用してマルチキャストテーブル内のエントリを更新することです。表 34.19 で、学習レジスタと、マルチキャストテーブル内のフィールドとの間のマッピングについて説明しています。表 34.20 では、学習結果と、結果とマルチキャストテーブルとのマッピング、それらの処理方法について説明しています。フレームは AXI ディスクリプタチェーン 8 にマルチキャストすることができます。

機能：

- GWMSTLS レジスタは、エントリを上書きするために必要な情報を設定するために使用されます。
- GWMSTLR レジスタは、前に設定されたエントリが上書きされているかどうかを調べるために使用されます。
- マルチキャストテーブルのエントリを設定するには、「34.4.2.7. マルチキャストテーブル設定フロー」のソフトウェアフローを参照してください。
- GWAC.AMP = 1（AXI トランザクションが保留中）の場合、学習は完了しません。AXI マスタのポーズを解除してください。

表 34.19 学習レジスタ／マルチキャストテーブルマッピングレジスタ

レジスタ名	L3 テーブルでのフィールド名
GWMSTLS.MSENL	マルチキャストテーブル内にはなく、上書きする必要のあるエントリを示すために使用されます。
GWMSTLS.MNL	MUL.MN については、「34.5.3.3.2. ディスクリプタコピー」を参照してください
GWMSTLS.MNRCNL	MUL.MNRCN については、「34.5.3.3.2. ディスクリプタコピー」を参照してください

表 34.20 学習結果

レジスタ名	フィールド名	フィールドの説明
GWMSTLR.MTLF	学習失敗	学習失敗は、以下に示すいずれかの条件で発生します。 • APB がマルチキャストのエントリを学習しようとしたときに、マルチキャストテーブルの準備ができていない場合（GWMTIRM.MTR が設定されていない）

(1) 静的学習

システムの目的が、マルチキャストテーブルを静的な方法で使用することである（CONFIG モード専用に設定された）場合、エントリのフォーマット、エントリのリンクポインタ、エントリの学習順序に関して制限はありません。

(2) 動的学習

システムの目的が、マルチキャストテーブルを動的な方法で使用することである（OPERATION モードに設定された）場合、図 34.54 で説明している制限事項を守る必要があります。

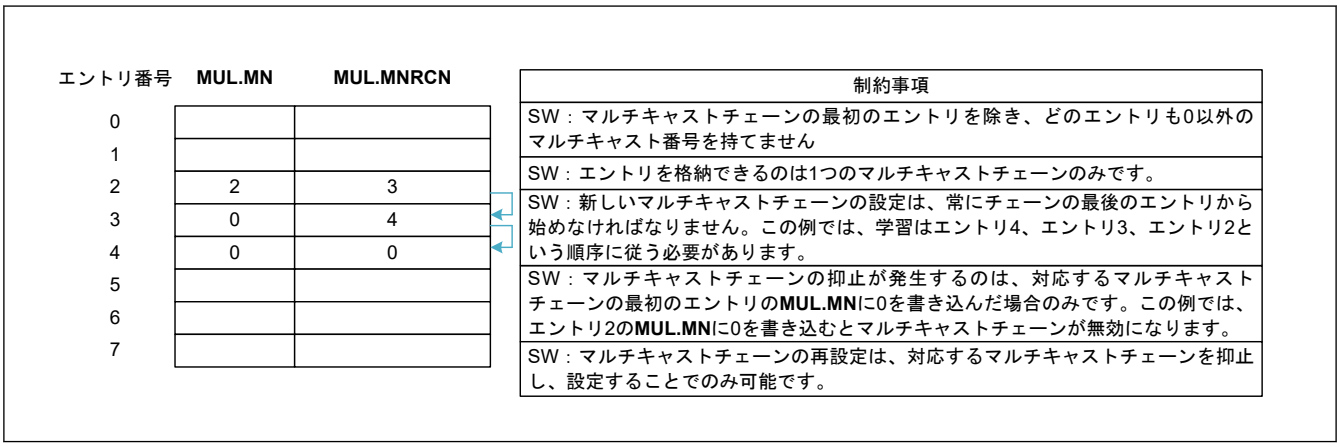


図 34.54 マルチキャストテーブルの動的使用の制限事項

34.5.3.3.4 マルチキャスト検索

マルチキャスト検索の目的は、GWMSTSS レジスタと GWMSTSR レジスタを使用してマルチキャストテーブル内のエントリを読み出すことです。表 34.21 で、学習レジスタと、マルチキャストテーブル内のフィールドとの間のマッピングについて説明しています。表 34.22

機能：

- GWMSTSS レジスタは、読み出す必要のあるエントリを設定するために使用されます。
- GWMSTSR レジスタは、読み出し結果を読み出すために使用されます。
- マルチキャストテーブルのエントリを読み出すには、「34.4.2.9. AXI RAM リセットフロー」のソフトウェアフローを参照してください。

表 34.21 検索レジスタ／マルチキャストテーブルマッピングレジスタ

レジスタ名	L3 テーブルでのフィールド名
GWMSTSS.MSENS	マルチキャストテーブル内にはなく、読み出す必要のあるエントリを示すために使用されます。

表 34.22 検索結果

レジスタ名	マルチキャストテーブル内のフィールド名／対応するフィールド	フィールドの説明
GWMSTSR.MNR	MUL.MN	マルチキャストテーブルの読み出し値
GWMSTSR.MNRCNR	MUL.MNRCN	マルチキャストテーブルの読み出し値

34.5.3.4 RX データフェッチ

RX データフェッチには下記の機能があります。ローカル RAM からのデータのフェッチ、VLAN 設定に応じたタグ解除／VLAN、R-TAG の挿入、L2/L3 の更新でフェッチされる L2/L3 更新情報に応じたデータの更新、FCS の処理、AXI マスタインタフェースへのデータの送信、および読み出しフレームのバッファポインタ解放。

ローカル RAM からのデータのフェッチ、AXI マスタインタフェースへのデータの送信、ポインタ解放が含まれているのは、スイッチハードウェア上の目的のためで、その説明はスイッチの利用には不要であるため、ここでは説明しません。

34.5.3.4.1 VLAN (SC-TAG)

ローカル RAM からのデータのフェッチ、“L23 更新”と“TAG 機能レジスタ”に応じたデータの更新。VLAN データパスの更新を図 34.55 に示します。

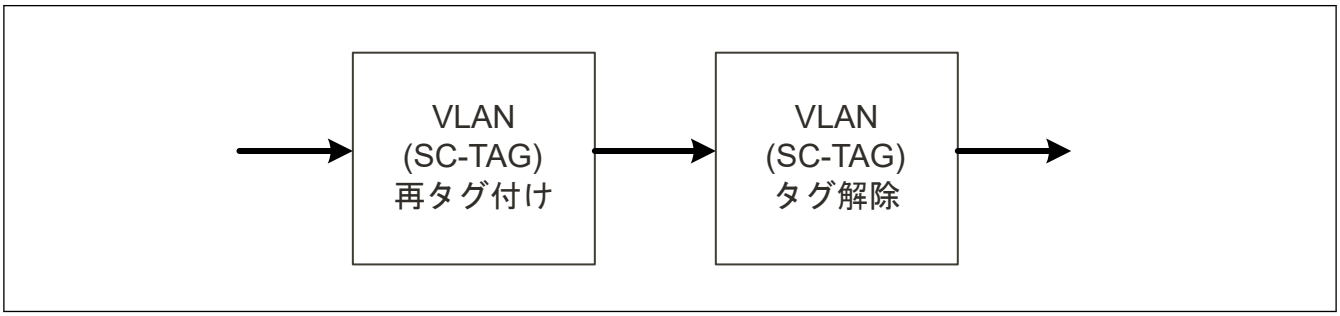


図 34.55 VLAN データパス

(1) VLAN (SC-TAG) の再タグ付け

レイヤ 2 更新は、次のフィールドに対して発生する場合があります。

- 宛先 MAC アドレスは、L23U.MDAU が設定されていると L23U.MDA に更新されます。
- 送信元 MAC アドレスは、L23U.MSAU が設定されていると{GWMAC0.MAU, GWMAC1.MAL}に更新されます。
- C-TAG VID は、L23U.CVIDU が設定されていると L23U.CVID に更新されます。

- C-TAG PCP は、L23U.CPCPU が設定されていると L23U.CPCP に更新されます。
- C-TAG VID は、L23U.CDEIU が設定されていると L23U.CDEI に更新されます。
- S-TAG VID は、L23U.SVIDU が設定されていると L23U.SVID に更新されます。
- S-TAG PCP は、L23U.SPCPU が設定されていると L23U.SPCP に更新されます。
- S-TAG VID は、L23U.SDEIU が設定されていると L23U.SDEI に更新されます。

制約事項：

- HW : C-TAG/S-TAG フィールドを更新するには、VLAN のタグ解除後に C-TAG/S-TAG がフレーム内に存在する必要があります（(2) VLAN (SC-TAG) のタグ解除）。事前に設定されていない場合は、更新が発生しません（たとえば、L2 更新によってフレームフォーマットは変更されず、TAG 挿入も許可されません）。

(2) VLAN (SC-TAG) のタグ解除

VLAN 更新は、スイッチの VLAN モード（MFWD 内の FWGC.SVM レジスタ）、転送エンジンディスクリプタ (FDESCR.VCTRL [FWD]) によって指定された VLAN 制御情報、および GWVCC.VEM レジスタに応じて VLAN フレームフォーマットを変更することを目的としています。

機能：

- GWVCC.VEM レジスタは、VLAN 受信モードを設定します。

VLAN のタグ解除後のフレームフォーマットを、図 34.56、図 34.57、および図 34.58 スイッチの VLAN モード（MFWD 内の FWGC.SVM レジスタ）と VLAN 制御情報に示します。ローカル RAM に格納されているフレームと、VLAN のタグ解除後のフレームフォーマットの間の変換を図 34.59 に示します。

	GWVCC.VEM				
VCTRL	3'b000	3'b001	3'b010	3'b011	3'b100
0	TAGなし	TAGなし	TAGなし	TAGなし	TAGなし
1	TAGなし	C-TAG	C-TAG	C-TAG	C-TAG
2	TAGなし	C-TAG	C-TAG	SC-TAG	SC-TAG
3	TAGなし	CoS-TAG	CoS-TAG	CoS-TAG	CoS-TAG
4	NA	NA	NA	NA	NA
5	NA	NA	NA	NA	NA
6	NA	NA	NA	NA	NA
7	NA	NA	NA	NA	NA

図 34.56 VLAN のタグ解除後のフレームフォーマット：No-VLAN モードのスイッチ[MFWD]

	GWVCC.VEM				
VCTRL	3'b000	3'b001	3'b010	3'b011	3'b100
0	TAGなし	TAGなし	C-TAG	TAGなし	C-TAG
1	TAGなし	C-TAG	C-TAG	C-TAG	C-TAG
2	TAGなし	C-TAG	C-TAG	SC-TAG	SC-TAG
3	TAGなし	CoS-TAG	C-TAG	CoS-TAG	C-TAG
4	TAGなし	TAGなし	C-TAG	TAGなし	C-TAG
5	TAGなし	TAGなし	C-TAG	TAGなし	C-TAG
6	TAGなし	TAGなし	C-TAG	TAGなし	C-TAG
7	TAGなし	CoS-TAG	C-TAG	CoS-TAG	C-TAG

図 34.57 VLAN のタグ解除後のフレームフォーマット：C-VLAN モードのスイッチ[MFWD]

	GWVCC.VEM				
VCTRL	3'b000	3'b001	3'b010	3'b011	3'b100
0	TAGなし	TAGなし	C-TAG	TAGなし	SC-TAG
1	TAGなし	C-TAG	C-TAG	C-TAG	SC-TAG
2	TAGなし	C-TAG	C-TAG	SC-TAG	SC-TAG
3	TAGなし	CoS-TAG	C-TAG	CoS-TAG	SC-TAG
4	TAGなし	TAGなし	C-TAG	TAGなし	SC-TAG
5	TAGなし	C-TAG	C-TAG	C-TAG	SC-TAG
6	TAGなし	C-TAG	C-TAG	C-TAG	SC-TAG
7	TAGなし	CoS-TAG	C-TAG	CoS-TAG	SC-TAG

図 34.58 VLAN のタグ解除後のフレームフォーマット：SC-VLAN モードのスイッチ[MFWD]

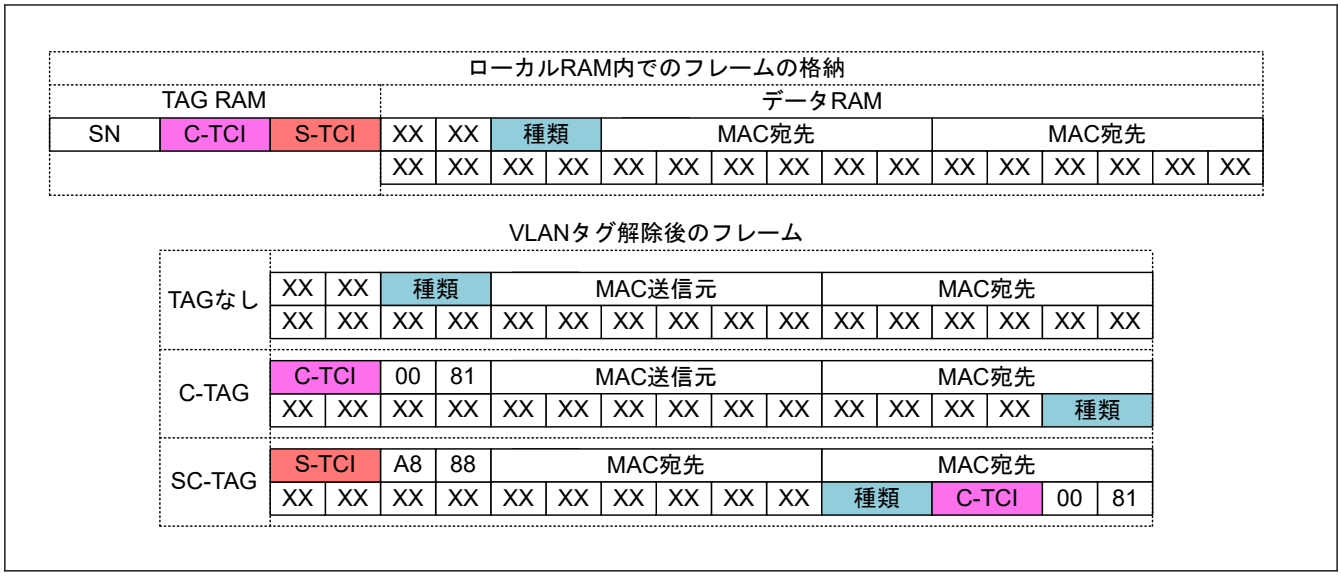


図 34.59 VLAN のタグ解除変換後のローカル RAM のフレームごとのフォーマット

注.
- CoS-TAG の場合の VLAN のタグ解除変換後のローカル RAM のフレームごとのフォーマットは、C-TCI 内の VID が 0 に固定される点を除き C-TAG の場合と同じであるため、ここでは説明しません。
- R-TAG 挿入は、L2/L3 更新機能の一部であるため、ここでは説明しません。「34.5.3.4.2. R-TAG 挿入」を参照してください。
- H8100 は C-TAG TPID に対応し、C-TCI は null でない VID を持つ C-TAG TCI に対応し、CoS-TCI は null VID を持つ C-TAG TCI に対応し、CCs-TCI は C-TCI または CoS-TCI [802.1Q]に対応します。
- H88A8 は S-TAG TPID に対応し、S-TCI は S-TAG TCI [802.1Q]に対応します。
- Type は、HF1C1、H88A8、または H8100 ではない任意のイーサネットタイプ値に対応します。
- TPID 値は、転送エンジン[FWD]で変更できます。TPID の値は、転送エンジン（FWTTC0 および FWTTC1 レジスタ内）で設定できます。

34.5.3.4.2 R-TAG 挿入

R-TAG 挿入は、次の 2 つの場合に発生します。

- R-TAG が含まれた状態で受信され（受信中に LDESCR.RTGI が設定されたため（「34.5.2.3.3. フレームのローカル RAM 内への保存」を参照）、転送のために受信されたディスクリプタで FDESCR.RTGI も設定された）、かつルーティングが要求されていない（受信されたディスクリプタ[MFWD]で FDESCR.RV が設定されなかった）か、またはルーティングは要求されたが、ルーティングによって R-TAG 除去が要求されていない（L2/L3 更新ブロックによるルーティングルールフェッチ中に、ルール番号 FDESCR.RN [MFWD]で L23U.RTU [MFWD]が 10 に設定されなかった、「34.5.3.2. L2/L3 更新」を参照）フレームの場合。
- R-TAG が含まれない状態で受信され、かつルーティングと R-TAG 挿入が要求されている（L2/L3 更新ブロックによるルーティングルールフェッチ中に、ルール番号 FDESCR.RN [MFWD]で L23U.RTU [MFWD]が 01 に設定されなかった、「34.5.3.2. L2/L3 更新」を参照）フレームの場合。

どちらの場合も、R-TAG シーケンス番号（図 34.60 の SN）は、受信されたディスクリプタで受信したシーケンス番号 FDESCR.SEQN [MFWD]に設定されます。

R-TAG挿入後のフレーム

TAGなし	00	00	C1	F1	MAC送信元						MAC宛先			
	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX	XX	種類	SN
C-TAG	C-TCI		00	81	MAC送信元						MAC宛先			
	XX	XX	XX	XX	XX	XX	XX	XX	種類		SN	00	00	C1	F1
SC-TAG	S-TCI		A8	88	MAC送信元						MAC宛先			
	XX	XX	XX	XX	種類		SN		00	00	C1	F1	C-TCI	00	81

図 34.60 R-TAG が挿入されたフレームフォーマット

注.
- HF1C1 は R-TAG TPID に対応し、SN は R-TAG シーケンス番号[802.1CB]に対応します。
- H8100 は C-TAG TPID に対応し、C-TCI は null でない VID を持つ C-TAG TCI に対応し、CoS-TCI は null VID を持つ C-TAG TCI に対応し、CCs-TCI は C-TCI または CoS-TCI [802.1Q]に対応します。
- H88A8 は S-TAG TPID に対応し、S-TCI は S-TAG TCI [802.1Q]に対応します。
- Type は、HF1C1、H88A8、または H8100 ではない任意のイーサネットタイプ値に対応します。
- TPID 値は、転送エンジン[FWD]で変更できます。TPID の値は、転送エンジン（FWTTC0 および FWTTC1 レジスタ内）で設定できます。

34.5.3.4.3 L2/L3 更新

L2/L3 更新は、フレームのレイヤ 2 とレイヤ 3 に対して使用されます。L2/L3 更新は、ルーティングが要求されている（受信されたディスクリプタの FDESCR.RV が設定されている[FWD]）フレームに対して、L2/L3 更新ブロックによってフェッチされた更新情報に応じて発生します（「34.5.3.2. L2/L3 更新」を参照）。

(1) L2 更新

(1) VLAN (SC-TAG) の再タグ付けを参照してください。

(2) L3 更新

レイヤ 3 更新は、L23U.TTLU が設定された場合に発生します。L3 更新は、フレームデコードと L3 更新という 2 つの手順で発生します。

デコーダは、レイヤ 3 更新フレームのタイプフィールド（「34.5.2.3.1. TAG 情報抽出」を参照）をデコードし、フレームを次のフォーマットで分離します。

- IPv4：タイプフィールドが H0800 に等しい場合。
- IPv6：タイプフィールドが H86DD に等しい場合。
- 不明：タイプフィールドが H0800 や H86DD 以外の場合。

デコードの結果に応じて、L3 更新が次のように発生します。

- IPv4：TimeToLive は、0 以外の場合は 1 デクリメントされ、HeaderChecksum は相対的な式を使用して修正されます（入力フレームのチェックサムが間違っていた場合は、出力 L3 更新済みフレームのチェックサムも間違ったものになります）。
- IPv6：HopLimit は、0 以外の場合は 1 デクリメントされます。
- 不明：L3 更新は無視されます。

34.5.3.4.4 FCS の処理

イーサネットフレームの FCS は、GWRGC.RCPT レジスタを使用して CPU に転送できます。

機能：

- GWRGC.RCPT は、フレームの FCS を CPU に渡すために使用されます。

ただし、GWCA がフレームの FCS を CPU に転送するには、次の条件を満たす必要があります。

- イーサネットエージェント ETHA の場合は、RMAC の入力ポートで FCS [RMAC]が削除されていてはなりません。
- GWCA の場合は、FCS が Ingress フレーム内に存在し、有効である必要があります（入力ディスクリプタで FI が設定され、FW は設定されていない。「34.5.2.2.3. データ送信に共通するディスクリプタフォーマット」を参照）。
- VLAN は、Ingress ポートより Egress ポートで同じである必要があります。
- フレームがルーティングされたフレームであってはなりません（受信されたディスクリプタの FDESCR.RV フィールドが MFWD に設定されていない）。

注.
- 上記の条件のいずれかがフレームによって満たされていない場合は、GWRGC.RCPT レジスタが 1 に設定されていても、FCS が削除されます。
- FCS を含むフレームが CPU によって受信された場合は、受信ディスクリプタで FI フラグが設定されます。そうでない場合は、設定されません。

34.5.3.5 AXI マスタとのインタフェース

AXI マスタインタフェースは、CPU とのデータ／AXI ディスクリプタのやり取りを処理します。更新された、RX データフェッチブロックのデータおよびデータに関連する情報を受信し、それらを CPU RAM に格納します。それを実行するために、AXI マスタインタフェースは GWDCCi.EDE、GWDCCi.ETS、GWDCCi.SM を使用します。また、レジスタである GWAARSS、GWAARSR0 および GWAARSR1、GWIDAUASi、GWIDASMi、GWIDASAMi0、GWIDASAMi1、GWIDACAMi0、GWIDACAMi1 や、割り込みレジスタである GWEIS2i.DFESt、GWEIS3.IAOESi、GWEIS4.DSES、GWEIS4.DSEIOS、GWEIS4.DSECN を使用して監視できます。

機能：

- GWDCCi.EDE および GWDCCi.ETS レジスタは、ディスクリプタキュー番号 i に使用されるディスクリプタフォーマットを設定します。「34.5.1.2.1. 汎用フォーマット」を参照してください。
- GWDCCi.SM レジスタは、GWCA がディスクリプタをライトバックする方法を設定します。本節のすべての説明は、GWDCCi.SM が 00b であることを前提としています。GWDCCi.SM が 01b または 10b である場合については、レジスタの説明を参照してください。
- GWAARSS、GWAARSR0、および GWAARSR1 レジスタについては、「34.5.1.6. AXI アドレス RAM 検索」を参照してください。
- インクリメンタル領域の監視には、レジスタの GWIDAUASi、GWIDASMi、GWIDASAMi0、GWIDASAMi1、GWIDACAMi0、GWIDACAMi1 と、割り込みレジスタの GWEIS3.IAOESi が使用されます。「34.5.3.5.3. シングルページインクリメンタルデータ受信」を参照してください。
- GWEIS2i.DFESt 割り込みレジスタは、ディスクリプタキューがフルのためにフレームが失われたことを信号で知らせます。
- 割り込みレジスタである GWEIS4.DSES、GWEIS4.DSEIOS、GWEIS4.DSECN は、予期しないサイズのフレームを受信したことを信号で知らせます。「34.5.3.5.2. サイズ制御によるデータ受信」を参照してください。

データの受信は、線形または周期的ディスクリプタキューを使用して実行できます（「34.5.1.5. AXI ディスクリプタキューのフォーマット」を参照）。データ受信プロセスのディスクリプタは、6 つの方法で設定できます。その際、基本的なデータ受信ディスクリプタチェーン（「34.5.3.5.1. 基本データ受信」）、サイズ制御によるデータ受信ディスクリプタチェーン（「34.5.3.5.2. サイズ制御によるデータ受信」）、シングルページインクリメンタルデータ受信ディスクリプタチェーン（「34.5.3.5.3. シングルページインクリメンタルデータ受信」）、割り込みベースのマルチページインクリメンタルデータ受信ディスクリプタチェーン（「34.5.3.5.4. マルチページインクリメンタルデータ受信に基づく割り込み」）、ヘッダ除去インクリメンタルデータ受信ディスクリプタチェーン（「34.5.3.5.5. ヘッダ除去インクリメンタルデータ受信」）によって設定します。

34.5.3.5.1 基本データ受信

基本データ受信処理ディスクリプタの使用を図 34.61 に示します。基本データ受信処理ディスクリプタのフォーマットを図 34.62（基本ディスクリプタの場合は「34.5.1.2.1. 汎用フォーマット」の項）と表 34.23 に示します。

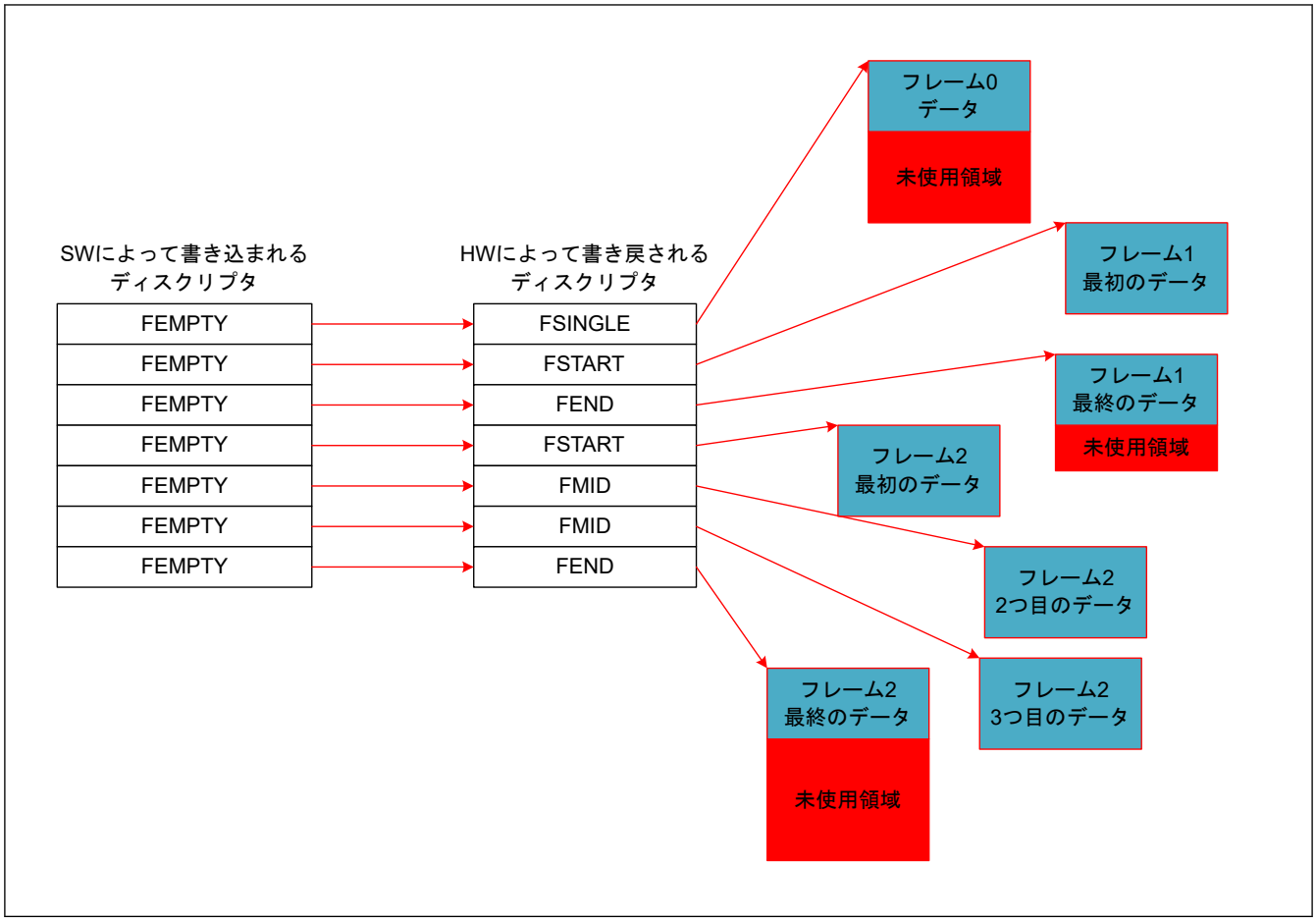


図 34.61　基本データ受信処理ディスクリプタの使用

注.
- フレームが大きすぎて 1 つのディスクリプタによって予約された領域に収まらない場合は、自動的に分割されます。先頭ディスクリプタは FSTART、最終ディスクリプタは FEND、その他のすべてのディスクリプタは FMID になります。
- フレームが分割される場合、ハードウェアは FSTART ディスクリプタを最後にライトバックします。DT モードを維持するようキューが設定されている場合でも、この順序が保たれます。

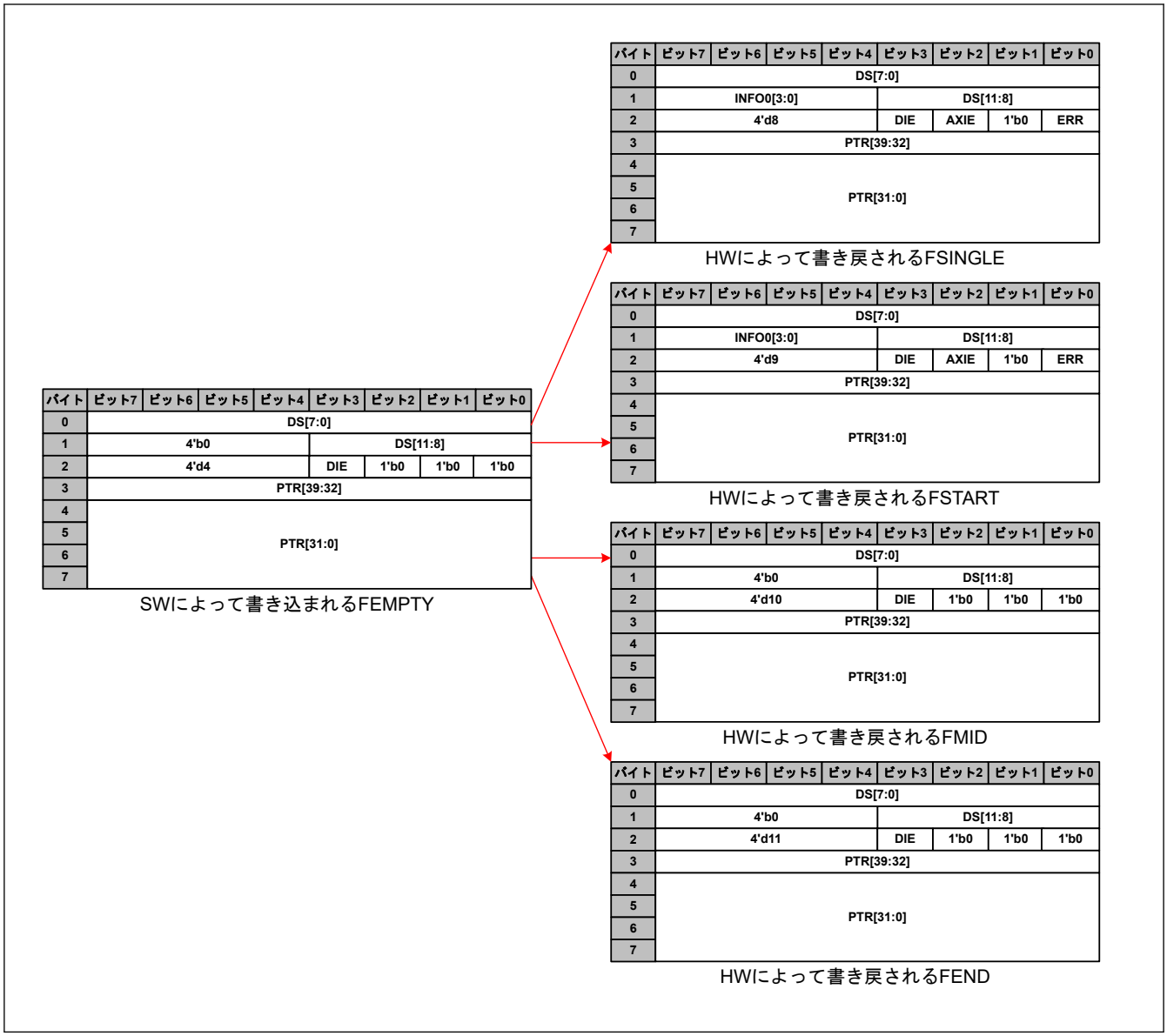


図 34.62 基本データ受信処理ディスクリプタの使用フォーマット

表 34.23 基本データ受信処理ディスクリプタの使用フィールドの説明 (1/2)

フィールド名	ライトバックの前のフィールドの説明	ライトバックの後のフィールドの説明
DS	データ格納用のポインタに対応する使用可能な URAM メモリのサイズ	AXIBMI によって URAM に書き込まれた実際のサイズ。
INFO0	0	FEND と FMID の場合は 0。 FSTART と FSINGLE については、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
ERR	0	1 になる条件 : ● HW : 分割フレーム時の AXI アドレスの読み出し中にディスクリプタキューフルエラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾には書き込むべきディスクリプタがありません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。 ● HW : 分割フレーム時の AXI アドレスの読み出し中にディスクリプタ数エラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾が書き込まれません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。
DSE	0	0

表 34.23 基本データ受信処理ディスクリプタの使用フィールドの説明 (2/2)

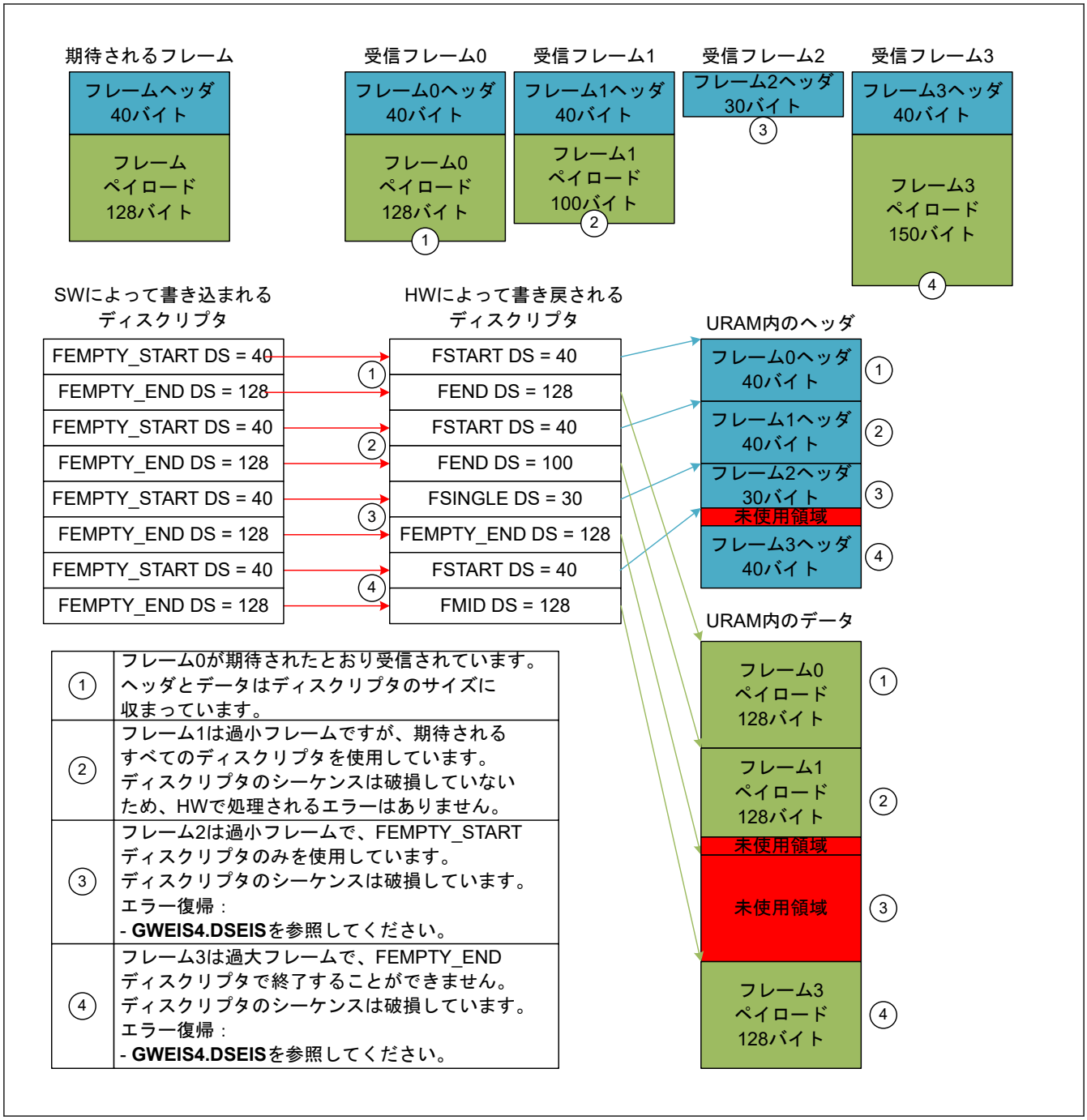
フィールド名	ライトバックの前のフィールドの説明	ライトバックの後のフィールドの説明
AXIE	0	1 になる条件： ● HW：データ (BRESP != 00) の書き込み中に AXI エラーが発生し、FSINGLE または FSTART ディスクリプタがライトバックされたとき。 ● HW：分割フレーム時のディスクリプタの読み出し中に AXI エラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾には書き込むべきディスクリプタがありません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。
DIE	DIE	DIE（値は読み出しディスクリプタからコピーされる）。
DT	FEMPTY の場合は 4	FSINGLE の場合は 8 FSTART の場合は 9 FMID の場合は 10 FEND の場合は 11
PTR	データを書き込む必要がある URAM 内のアドレス	PTR（値は読み出しディスクリプタからコピーされる）。
INFO1 (GWDCCi.EDEi == 1)	0	FEND と FMID の場合は 0、 FSTART と FSINGLE については、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
TS (GWDCCi.ETSi == 1)	0	FEND と FMID の場合は 0、 FSTART と FSINGLE については、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。

34.5.3.5.2 サイズ制御によるデータ受信

サイズ制御によるデータ受信は、フレームのヘッダとペイロードを意図的に分割するのと同時に、受信時のフレームサイズを制御することを目的としています。サイズ制御によるデータ受信により、SW では、短すぎるフレームや長すぎるフレームを受信した場合でもディスクリプタの順序が確実に維持されます。サイズ制御によるデータ受信プロセスでのディスクリプタの利用法を、図 34.63 に示します。サイズ制御によるデータ受信プロセスのディスクリプタフォーマットを、図 34.64（基本ディスクリプタの場合は「34.5.1.2.1. 汎用フォーマット」）と表 34.24 に示します。サイズ制御によるデータ受信は、割り込みレジスタの GWEIS4.DSES、GWEIS4.DSEIOS、GWEIS4.DSECN を使用して監視できます。

機能：

- 割り込みレジスタ GWEIS4.DSES、GWEIS4.DSEIOS、および GWEIS4.DSECN は、予期しないサイズで受信したフレームについて信号を送信します。



①	フレーム0が期待されたとおり受信されています。ヘッダとデータはディスクリプタのサイズに収まっています。
②	フレーム1は過小フレームですが、期待されるすべてのディスクリプタを使用しています。ディスクリプタのシーケンスは破損していないため、HWで処理されるエラーはありません。
③	フレーム2は過小フレームで、FEMPTY_START ディスクリプタのみを使用しています。ディスクリプタのシーケンスは破損しています。 エラー復帰： - **GWEIS4.DSEIS**を参照してください。
④	フレーム3は過大フレームで、FEMPTY_END ディスクリプタで終了することができません。ディスクリプタのシーケンスは破損しています。 エラー復帰： - **GWEIS4.DSEIS**を参照してください。

図 34.63　サイズ制御によるデータ受信プロセスでのディスクリプタの利用法

注.
- フレームが分割される場合、ハードウェアは FSTART ディスクリプタを最後にライトバックします。DT モードを維持するようキューが設定されている場合でも、この順序が保たれます。
- FEMPTY_MID ディスクリプタを FEMPTY_START ディスクリプタと FEMPTY_END ディスクリプタの間に追加すると、1 つのフレームを 3 つ以上のディスクリプタに分割できます。

制約事項：

- SW：プロセスのディスクリプタキューは常に、先頭ディスクリプタから終了ディスクリプタの前のディスクリプタまで、同一ディスクリプタのパターンを繰り返す必要があります。このパターンは、FEMPTY_START ディスクリプタで始まって FEMPTY_END ディスクリプタで終わり、それらの間は FEMPTY_MID ディスクリプタのみで構成されている必要があります。このパターンが守られていない（たとえば中間で FEMPTY_START が検出された）場合、フレームは通知なしで破棄／拒否されます。

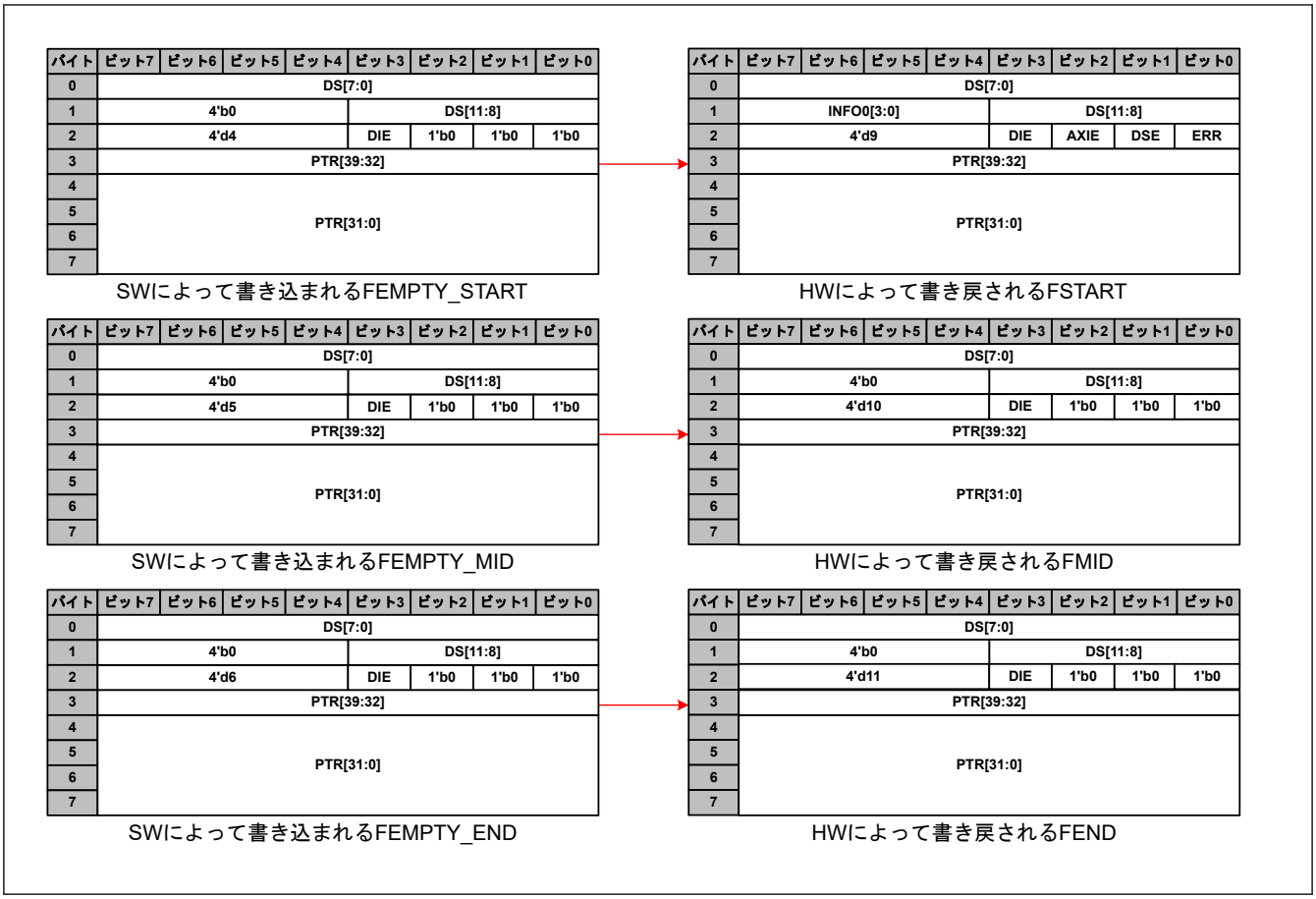


図 34.64　サイズ制御によるデータ受信プロセスでのディスクリプタ利用法フォーマット

表 34.24　サイズ制御によるデータ受信プロセスのディスクリプタ利用法フィールドの説明 (1/2)

フィールド名	ライトバックの前のフィールドの説明	ライトバックの後のフィールドの説明
DS	データ格納用のポインタに対応する使用可能な URAM メモリのサイズ	AXIBMI によって URAM に書き込まれた実際のサイズ。
INFO0	0	FEND と FMID の場合は 0。 FSTART と FSINGLE の場合は、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
ERR	0	1 になる条件： ● HW：分割フレーム時の AXI アドレスの読み出し中にディスクリプタキューフルエラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾には書き込むべきディスクリプタがありません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。（この事例はプロセスのディスクリプタ順序が原因で発生しないはずです） ● HW：分割フレーム時の AXI アドレスの読み出し中にディスクリプタ数エラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾が書き込まれません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。
DSE	0	1 になる条件： ● HW：フレームが FEMPTY_START または FEMPTY_MID ディスクリプタで終了した（過小フレーム） ● HW：FEMPTY_END ディスクリプタで終了するにはフレームが大きすぎる（過大フレーム）
AXIE	0	1 になる条件： ● HW：データ (BRESP != 00) の書き込み中に AXI エラーが発生し、FSINGLE または FSTART ディスクリプタがライトバックされたとき。 ● HW：分割フレーム時のディスクリプタの読み出し中に AXI エラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾には書き込むべきディスクリプタがありません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。
DIE	DIE	DIE（値は読み出しディスクリプタからコピーされる）。

表 34.24 サイズ制御によるデータ受信プロセスのディスクリプタ利用法フィールドの説明 (2/2)

フィールド名	ライトバックの前のフィールドの説明	ライトバックの後のフィールドの説明
DT	FEMPTY_START の場合は 5 FEMPTY_MID の場合は 6 FEMPTY_END の場合は 7	FSTART の場合は 9 FMID の場合は 10 FEND の場合は 11
PTR	データを書き込む必要がある URAM 内のアドレス	PTR（値は読み出しディスクリプタからコピーされる）。
INFO1 (GWDCCi.EDEi == 1)	0	FEND と FMID の場合は 0。 FSTART と FSINGLE の場合は、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
TS (GWDCCi.ETSi == 1)	0	FEND と FMID の場合は 0、 FSTART と FSINGLE の場合は、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。

34.5.3.5.3 シングルページインクリメンタルデータ受信

シングルページインクリメンタルデータ受信は、受信フレームを特定のメモリ領域内に連続して保存することを目的としています。シングルページインクリメンタルデータ受信により、SW は CPU パワーをデータの積み重ねのために浪費することを回避できます。シングルページインクリメンタルデータ受信処理ディスクリプタの使用を図 34.65（基本ディスクリプタの場合は「34.5.1.2.1. 汎用フォーマット」）に示します。シングルページインクリメンタルデータ受信処理ディスクリプタのフォーマットを図 34.66、表 34.25、図 34.67、および表 34.26 に示します。シングルページインクリメンタルデータ受信の HW/SW の同期は GWIDAUASi レジスタで行う必要があり、GWIDASMi、GWIDASAMi0、GWIDASAMi1、GWIDACAMi0、GWIDACAMi1 レジスタと GWEIS3.IAOESi 割り込みレジスタで監視できます。

機能：

- GWIDAUASi レジスタは、インクリメンタル領域内に書き込まれたバイト数を示します。SW は、CPU RAM からデータを読み出した後、読み出されたデータの量をこのレジスタに書き込む必要があります。CPU データの処理は、対応するディスクリプタキュー内のライトバックされたディスクリプタか、または GWIDAUASi レジスタで読み出すことができるインクリメンタル領域に含まれているバイト値のどちらかに基づいて行うことができます。
- GWIDASMi レジスタは、インクリメンタル領域の合計サイズを監視するために使用されます。
- {GWIDASAMi0.IDASAU, GWIDASAMi1.IDASAL} レジスタ配列は、インクリメンタル領域の開始アドレスを監視するために使用されます。
- {GWIDACAMi0.IDACAU, GWIDACAMi1.IDACAL} レジスタ配列は、インクリメンタル領域内の次に使用されるアドレスを監視するために使用されます。
- GWEIS3.IAOESi 割り込みレジスタは、インクリメンタル領域オーバーフローのためにデータが失われたことを信号で伝えます。

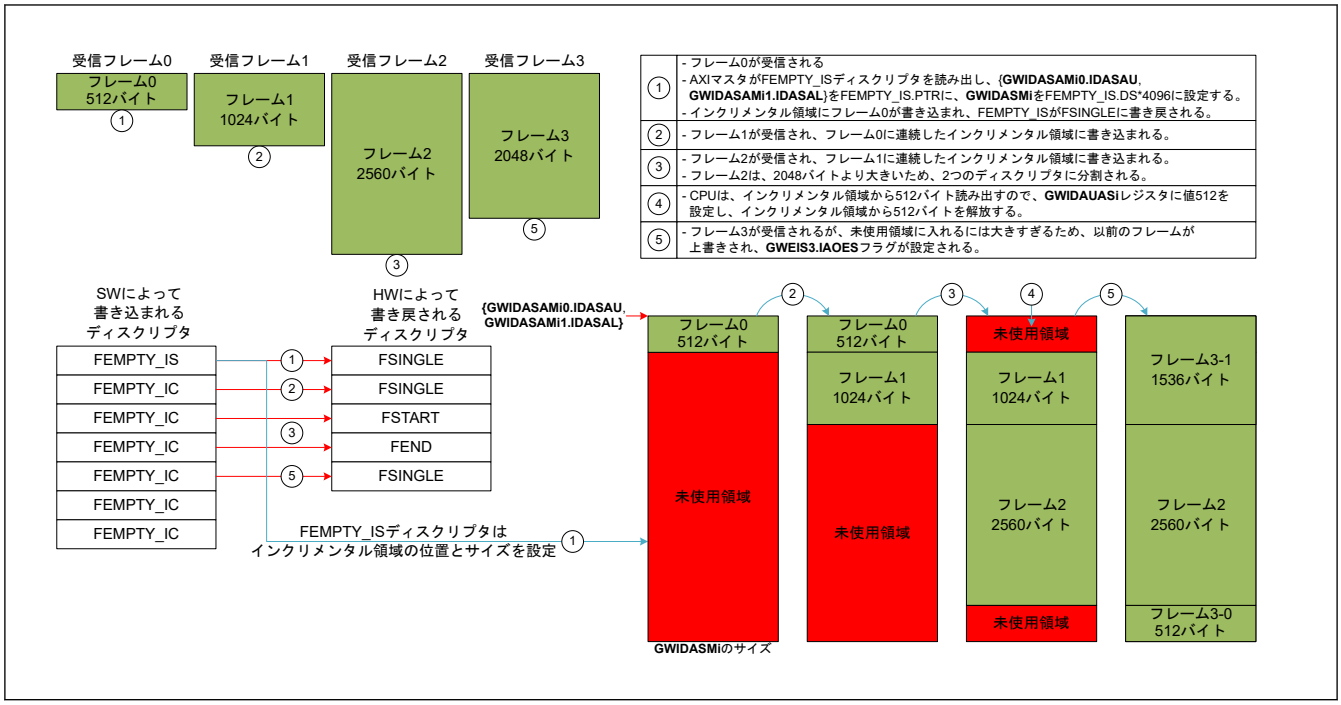


図 34.65　シングルページインクリメンタルデータ受信処理ディスクリプタの使用

制約事項：

- SW：この受信タイプは、最初の 4 RX チェーンにのみ使用できます。「34.5.1.1. AXI ディスクリプタキューのマッピング」を参照してください。

注.
- フレームが大きすぎて 1 つのディスクリプタによって予約された領域に収まらない場合は、自動的に分割されます。先頭ディスクリプタは FSTART、最終ディスクリプタは FEND、その他のすべてのディスクリプタは FMID になります。
- フレームが分割される場合、ハードウェアは FSTART ディスクリプタを最後にライトバックします。DT モードを維持するようキューが設定されている場合でも、この順序が保たれます。
- GWCA のリセットが適用された（GWMS.OPS が 00 に設定されている）とき、すべてのインクリメントレジスタ（すなわち、インクリメントページ開始アドレス、現在のアドレス、ページサイズ、使用済みページサイズ）がクリアされました。そのため、GWCA が再度 OPERATION モードに戻り（GWMS.OPS が 11 に設定された）、GWCA インクリメントチェーンでフレームが受信された場合は、FEMPTY_IC ディスクリプタを使用してフレームを書き込むことができません。AXI の現在のアドレスのディスクリプタを FEMPTY_IS に（設定）する必要があります。

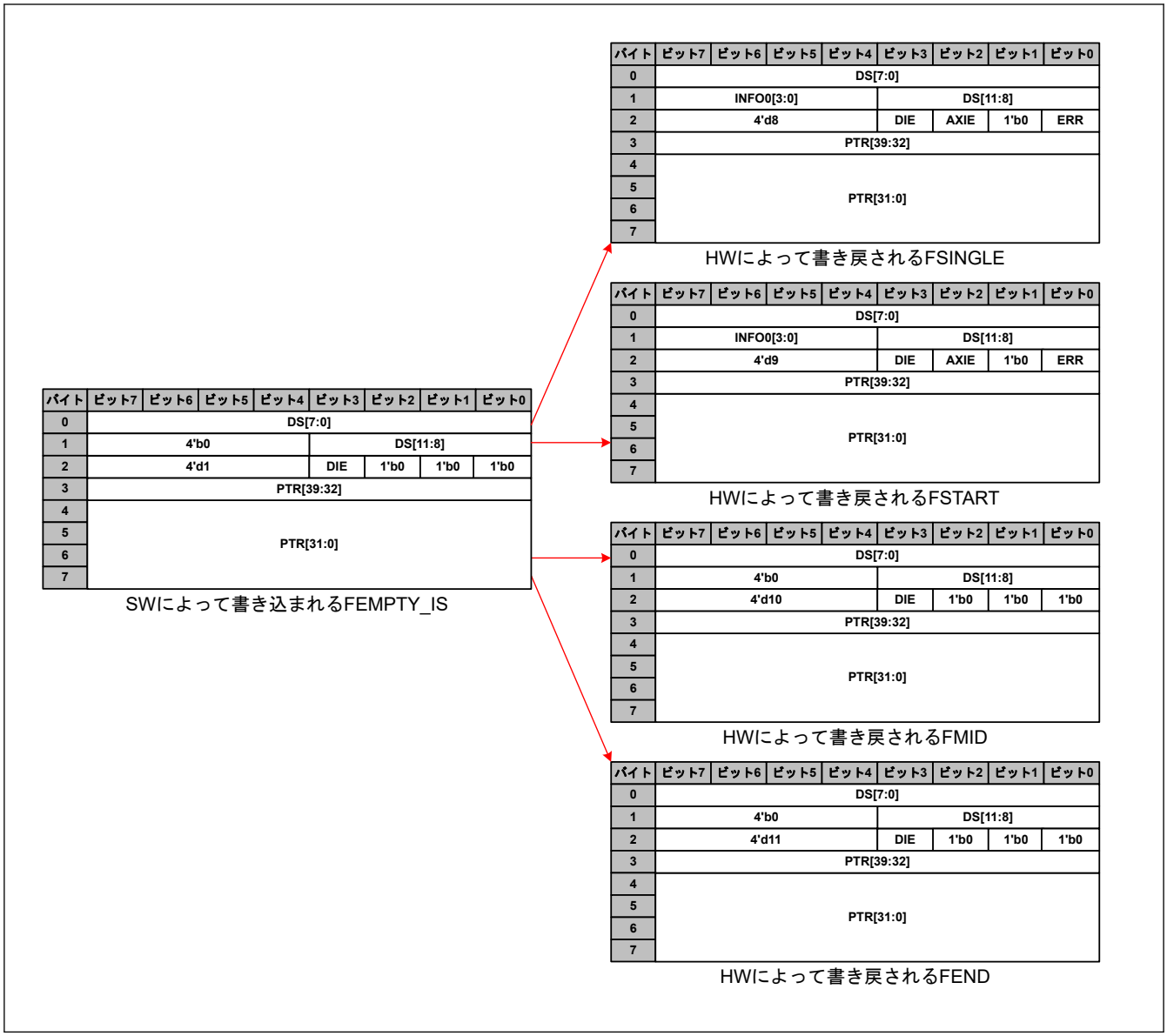


図 34.66 シングルページインクリメンタルデータ受信 FEMPTY_IS 処理ディスクリプタの使用フォーマット

表 34.25 シングルページインクリメンタルデータ受信 FEMPTY_IS 処理ディスクリプタの使用フィールドの説明 (1/2)

フィールド名	ライトバックの前のフィールドの説明	ライトバックの後のフィールドの説明
DS	インクリメンタル領域のサイズ（4 KB 単位）。	ディスクリプタに対応する URAM に格納されているデータのサイズ。
INFO0	0	FEND と FMID の場合は 0。 FSTART と FSINGLE については、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
ERR	0	1 になる条件： ● HW: 分割フレーム時の AXI アドレスの読み出し中にディスクリプタキューフルエラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾には書き込むべきディスクリプタがありません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。 ● HW：分割フレーム時の AXI アドレスの読み出し中にディスクリプタ数エラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾が書き込まれません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。
DSE	0	0

表 34.25 シングルページインクリメンタルデータ受信 FEMPTY_IS 処理ディスクリプタの使用フィールドの説明 (2/2)

フィールド名	ライトバックの前のフィールドの説明	ライトバックの後のフィールドの説明
AXIE	0	1 になる条件： ● HW：データ (BRESP != 00) の書き込み中に AXI エラーが発生し、FSINGLE または FSTART ディスクリプタがライトバックされたとき。 ● HW : 分割フレーム時のディスクリプタの読み出し中に AXI エラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾には書き込むべきディスクリプタがありません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。
DIE	DIE	DIE（値は読み出しディスクリプタからコピーされる）。
DT	FEMPTY_IS の場合は 1	FSINGLE の場合は 8 FSTART の場合は 9 FMID の場合は 10 FEND の場合は 11
PTR	インクリメンタル領域が開始する URAM 内のアドレス。	PTR（値は読み出しディスクリプタからコピーされる）。
INFO1 (GWDCCi.EDE == 1)	0	FEND と FMID の場合は 0。 FSTART と FSINGLE については、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
TS (GWDCCi.ETS == 1)	0	FEND と FMID の場合は 0、 FSTART と FSINGLE については、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。

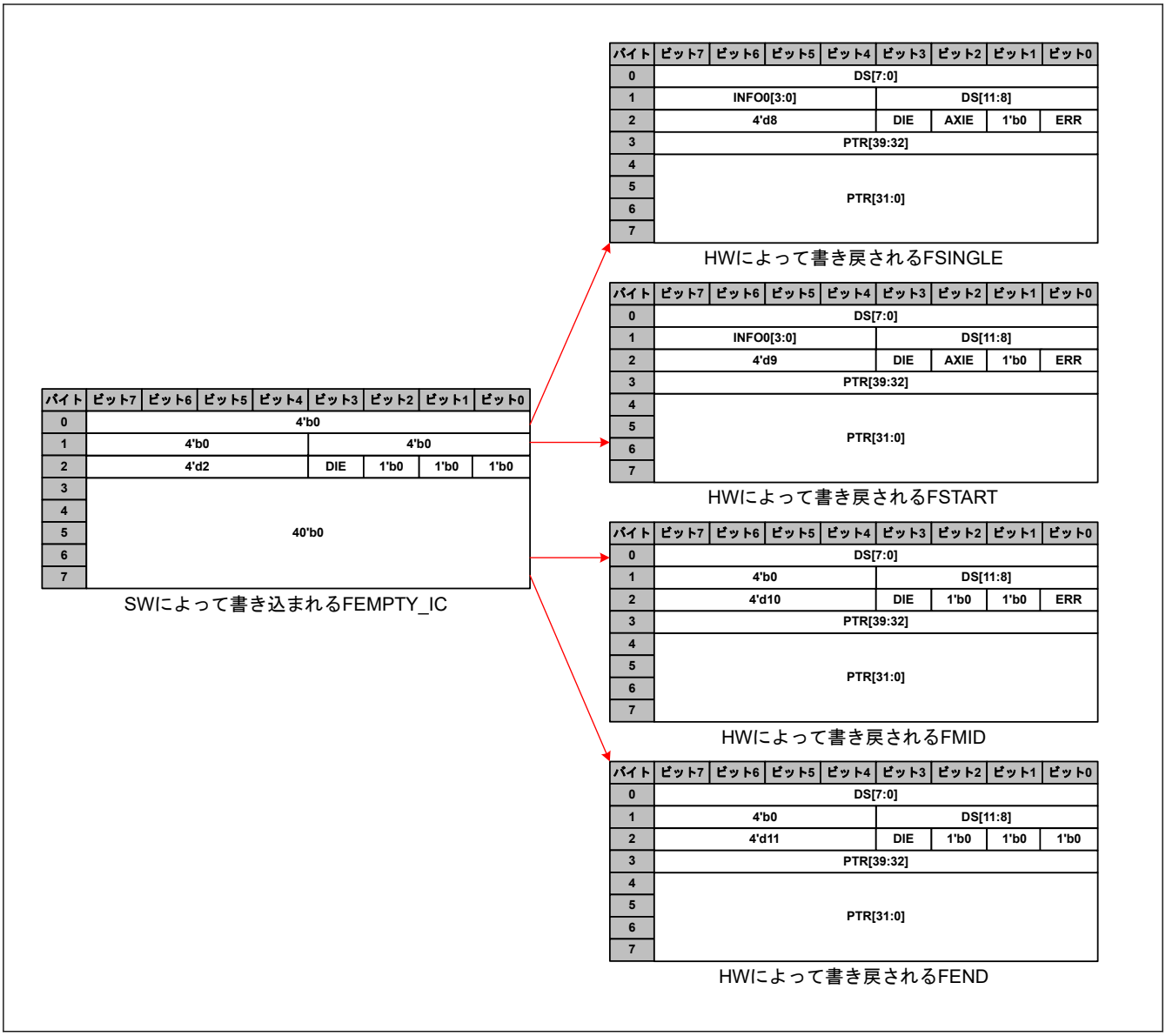


図 34.67　シングルページインクリメンタルデータ受信 FEMPTY_IC 処理ディスクリプタの使用フォーマット

表 34.26　シングルページインクリメンタルデータ受信 FEMPTY_IC 処理ディスクリプタの使用フィールドの説明 (1/2)

フィールド名	ライトバックの前のフィールドの説明	ライトバックの後のフィールドの説明
DS	0	ディスクリプタに対応する URAM に格納されているデータのサイズ。
INFO0	0	FEND と FMID の場合は 0。 FSTART と FSINGLE については、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
DSE	0	0
AXIE	0	1 になる条件： ● HW：データ (BRESP != 00) の書き込み中に AXI エラーが発生し、FSINGLE または FSTART ディスクリプタがライトバックされたとき。 ● HW：分割フレームのディスクリプタの読み出し中に AXI エラーが発生し、そのディスクリプタが先頭でなかったとき。
DIE	DIE	DIE（値は読み出しディスクリプタからコピーされる）。
DT	FEMPTY_IC の場合は 2	FSINGLE の場合は 8 FSTART の場合は 9 FMID の場合は 10 FEND の場合は 11

表 34.26 シングルページインクリメンタルデータ受信 FEMPTY_IC 処理ディスクリプタの使用フィールドの説明 (2/2)

フィールド名	ライトバックの前のフィールドの説明	ライトバックの後のフィールドの説明
PTR	0	ディスクリプタに対応するデータが書き込まれた URAM 内のアドレス
INFO1 (GWDCCi.EDE == 1)	0	FEND と FMID の場合は 0。 FSTART と FSINGLE については、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
TS (GWDCCi.ETS == 1)	0	FEND と FMID の場合は 0。 FSTART と FSINGLE については、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。

34.5.3.5.4 マルチページインクリメンタルデータ受信に基づく割り込み

マルチページインクリメンタルデータ受信に基づく割り込みは、受信フレームを特定のメモリ領域内に連続して保存することを目的としています。マルチページインクリメンタルデータ受信に基づく割り込みにより、SW は CPU パワーをデータの積み重ねのために浪費することを回避できます。マルチページインクリメンタルデータ受信に基づく割り込み処理ディスクリプタの使用を図 34.68 に示します。マルチページインクリメンタルデータ受信に基づく割り込み処理ディスクリプタのフォーマットは、シングルページインクリメンタルデータ受信のものと同じです。詳細は、「34.5.3.5.3. シングルページインクリメンタルデータ受信」を参照してください。

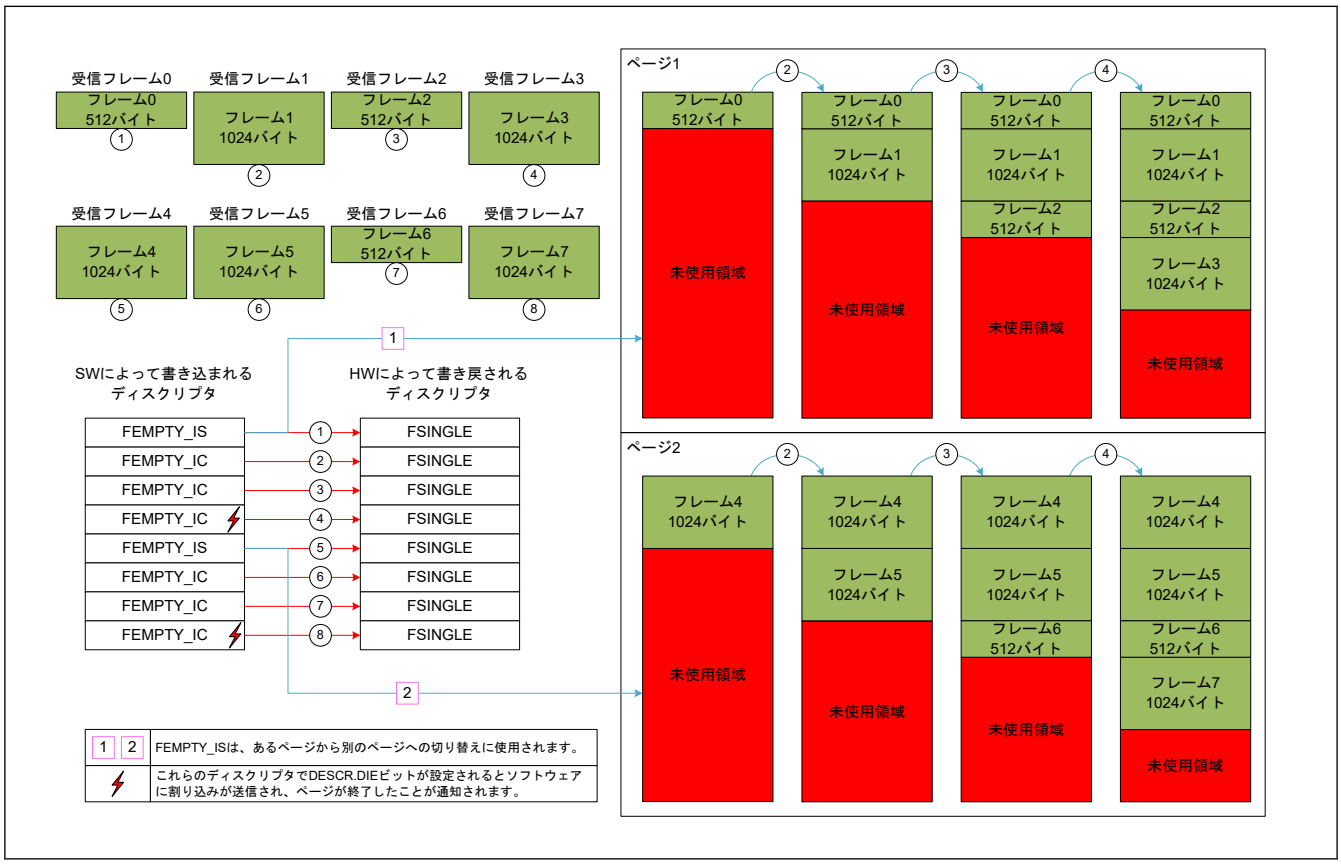


図 34.68 マルチページインクリメンタルデータ受信に基づく割り込み処理ディスクリプタの使用

制約事項：

- SW：予測されるデータ、または制御ページのサイズと 1 ページのディスクリプタの数、あるいはその両方を認識して、ページがオーバーフローしないことを保証する必要があります。
- SW：この受信タイプは、最初の 4 RX チェーンにのみ使用できます。

注. ● フレームが大きすぎて 1 つのディスクリプタによって予約された領域に収まらない場合は、自動的に分割されます。先頭ディスクリプタは FSTART、最終ディスクリプタは FEND、その他のすべてのディスクリプタは FMID になります。

- フレームが分割される場合、ハードウェアは FSTART ディスクリプタを最後にライトバックします。DT モードを維持するようキューが設定されている場合でも、この順序が保たれます。
- マルチページインクリメンタルデータ受信に基づく割り込みは、任意の数のページを使用できます。
- GWCA のリセットが適用された（GWMS.OPS が 00 に設定されている）ときは、すべてのインクリメントレジスタ（すなわち、インクリメントページ開始アドレス、現在のアドレス、ページサイズ、使用済みページサイズ）がクリアされています。そのため、GWCA が再度 OPERATION モードに戻り（GWMS.OPS が 11 に設定された）、GWCA インクリメントチェーンでフレームが受信された場合は、FEMPTY_IC ディスクリプタを使用してフレームを書き込むことができません。AXI の現在のアドレスのディスクリプタを FEMPTY_IS に（設定）する必要があります。

34.5.3.5.5 ヘッダ除去インクリメンタルデータ受信

ヘッダ除去インクリメンタルデータ受信の目的は、インクリメンタルデータのヘッダを抑止することです。これは、各インクリメンタルディスクリプタ間に FEMPTY_ND を追加して、シングルページインクリメンタルデータの受信（「34.5.3.5.3. シングルページインクリメンタルデータ受信」）と、割り込みベースのマルチページインクリメンタルデータの受信（「34.5.3.5.4. マルチページインクリメンタルデータ受信に基づく割り込み」）を更新するものです。ヘッダ除去インクリメンタルデータ受信プロセスでのディスクリプタの利用法を、図 34.69 に示します。ヘッダ除去プロセスにおけるディスクリプタのフォーマットを、図 34.70（基本ディスクリプタの場合は「34.5.1.2.1. 汎用フォーマット」）と表 34.27 に示します。

制約事項：

- SW：FEMPTY_IS/FEMPTY_IC ディスクリプタに格納できるのは 2048 バイトのみです。HW ではディスクリプタのシーケンスが正しいことを確認しないため、ディスクリプタキュー内でディスクリプタを設定する際には、この点を考慮に入れる必要があります。

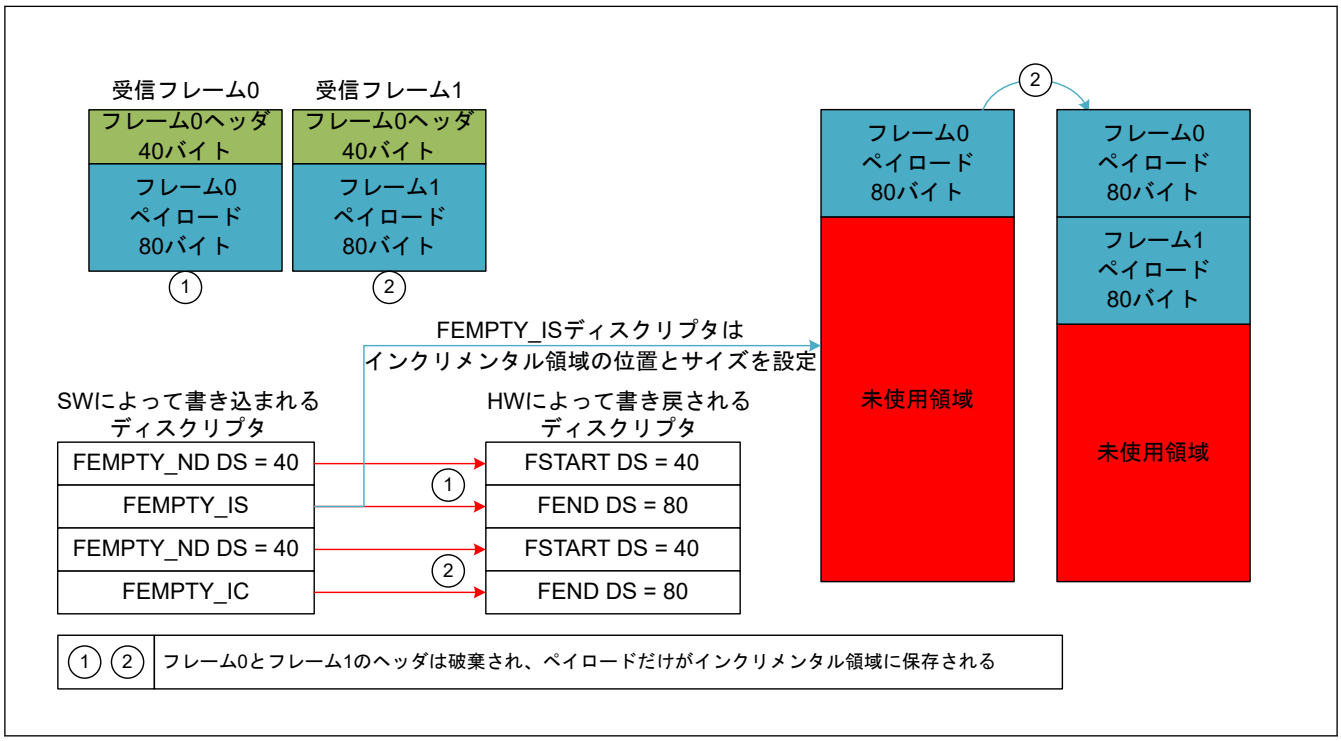


図 34.69 ヘッダ除去インクリメンタルデータ受信プロセスでのディスクリプタの利用法

注.
- サイズ制御によるデータ受信の使用時には、フレームのヘッダ部分を除去しながらディスクリプタの順序を維持するため、（常に同じポインタを設定することで）常に同じメモリアドレスを指し示す FEMPTY_START ディスクリプタを使用してすべてのフレームを開始することができます。
- GWCA のリセットが適用された（GWMS.OPS が 00 に設定されている）とき、すべてのインクリメントレジスタ（つまり、インクリメントページ開始アドレス、現在のアドレス、ページサイズ、使用済みページサイズ）がクリアされました。そのため、GWCA が再度 OPERATION モードに戻り（GWMS.OPS が 11 に設定された）、GWCA インクリメントチェーンでフレームが受信された場合は、FEMPTY_IC ディスクリプタを使用してフレームを書き込むことができません。AXI の現在のアドレスのディスクリプタを FEMPTY_IS に（設定）する必要があります。

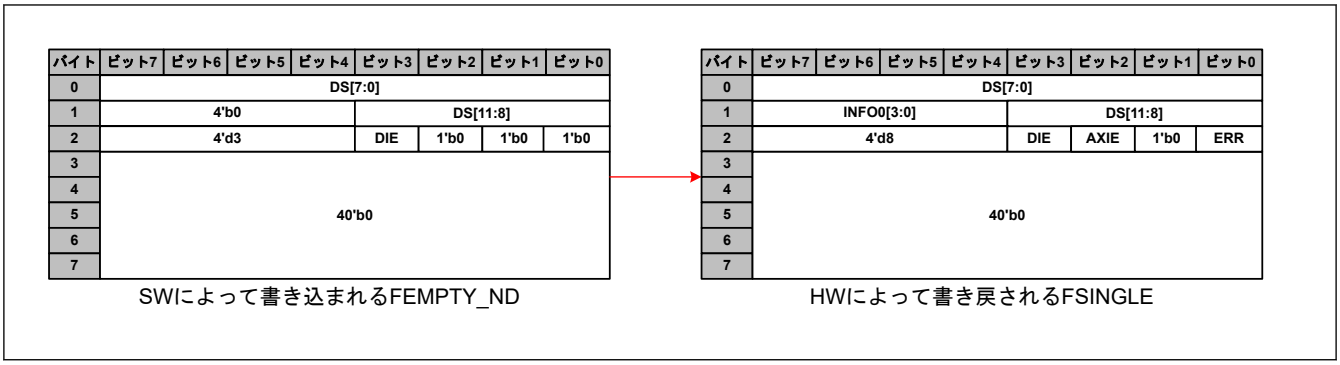


図 34.70　ヘッダ除去利用フォーマット

表 34.27　ヘッダ除去プロセスでのディスクリプタ利用フィールドの説明

フィールド名	ライトバックの前のフィールドの説明	ライトバックの後のフィールドの説明
DS	拒否するサイズ	拒否された実際のサイズ（ライトバックの前の DS と同じである必要があります）。
INFO0	0	FEND と FMID の場合は 0。 FSTART と FSINGLE の場合は、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
ERR	0	1 になる条件： ● HW：分割フレーム時の AXI アドレスの読み出し中にディスクリプタキューフルエラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾には書き込むべきディスクリプタがありません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。 ● HW：分割フレーム時の AXI アドレスの読み出し中にディスクリプタ数エラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾が書き込まれません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。
DSE	0	0
AXIE	0	1 になる条件： ● HW：データ (BRESP != 00) の書き込み中に AXI エラーが発生し、FSINGLE または FSTART ディスクリプタがライトバックされたとき。 ● HW：分割フレーム時のディスクリプタの読み出し中に AXI エラーが発生し（先頭ディスクリプタは正常に処理されましたが、フレームの末尾には書き込むべきディスクリプタがありません）、FSINGLE または FSTART ディスクリプタがライトバックされたとき。
DIE	DIE	DIE（値は読み出しディスクリプタからコピーされる）。
DT	FEMPTY_ND の場合は 3	FSINGLE の場合は 8 FSTART の場合は 9 FMID の場合は 10 FEND の場合は 11 制約事項： ● SW：HW は FEMPTY_ND ディスクリプタを FSINGLE、FSTART、FMID、または FEND ディスクリプタに変えるため、ディスクリプタの読み出しによってデータが含まれていないことを知るのは不可能です。結果として、FEMPTY_ND ディスクリプタが書き込まれた場所を SW で記憶しておく必要があります。
PTR	0	0
INFO1 (GWDCCi.EDE == 1)	0	FEND と FMID の場合は 0、 FSTART と FSINGLE の場合は、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。
TS (GWDCCi.ETS == 1)	0	FEND と FMID の場合は 0、 FSTART と FSINGLE の場合は、「34.5.3.5.6. データ受信に共通するディスクリプタフォーマット」を参照してください。

34.5.3.5.6　データ受信に共通するディスクリプタフォーマット

本節では、すべてのデータ送信 (INFO0, INFO1, TS) に共通するフィールドについて説明します。受信直接ディスクリプタフォーマットと受信イーサネットディスクリプタフォーマットの 2 種類のフォーマットがあります。これらはそれぞれ、直接ローカルディスクリプタとイーサネットローカルディスクリプタから作成されます。

「34.5.2.3.3. フレームのローカル RAM 内への保存」を参照してください。AXI ディスクリプタに含まれるすべてのフィールドを引用する場合は、ADESCR.{フィールド名}と表記します。

(1) 受信直接ディスクリプタ

受信直接ディスクリプタは、CPU によって送信されたフレームに、それらの宛先を直接決定することによって応答します（転送エンジンの処理はバイパスされます[FWD]）。受信直接ディスクリプタの INFO および TS フォーマットを図 34.71 と表 34.28 に示します。

INFO0

バイト	ビット3	ビット2	ビット1	ビット0
0	—		SEC	FI

INFO1

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—	TN	CRT	IET	TXC	FMT	SEC	FI
1	TSUN[7:0]							
2	SAEF[7:0]							
3	RN[7:0]							
4	—	SPN[2:0]			RV	—		
5	FESF[23:0]							
6								
7								

TS

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—	CSD0[6:0]						
1	—	CSD1[6:0]						
2	—	DV[6:0]						
3	—							
4								
5								
6								
7								

図 34.71 受信直接ディスクリプタの INFO および TS フォーマット

表 34.28 受信直接ディスクリプタの INFO および TS フィールドの説明 (1/2)

フィールド名	ビット幅	説明	GWCA の値
FI	1	表 34.14 を参照してください。	8.3.4.5 を参照してください。
SEC	1	表 34.14 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。
FMT	1	表 34.14 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。
TXC	1	表 34.14 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。
IET	1	表 34.14 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。

表 34.28 受信直接ディスクリプタの INFO および TS フィールドの説明 (2/2)

フィールド名	ビット幅	説明	GWCA の値
CRT	1	表 34.14 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。
TN	1	表 34.14 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。
TSUN	8	表 34.14 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。
SAEF	8	表 34.16 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。
RV	1	表 34.14 を参照してください。	受信したディスクリプタの FDESCR.RV フィールドからコピーされます[MFWD]
RN	5	表 34.14 を参照してください。	受信したディスクリプタの FDESCR.RN フィールドからコピーされます[MFWD]
SPN	2	送信元ポート番号	フレームがスイッチに入った際のポート番号[MFAB] 受信したディスクリプタの FDESCR.SPN フィールドからコピーされます[MFWD]
FESF	24	転送エンジンのステータスフラグ	受信したディスクリプタの FDESCR.MINFO フィールドからコピーされます[MFWD]
CSD0	6	表 34.14 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。
DV	4	表 34.14 を参照してください。	直接ローカルディスクリプタからコピーされます。(1) 直接ローカルディスクリプタを参照してください。
—	—	予約領域	0 に設定

(2) 受信イーサネットディスクリプタ

受信イーサネットディスクリプタは、MFWD によって送信されたフレームに応答します。受信イーサネットディスクリプタの INFO および TS フォーマットを図 34.72 と表 34.29 に示します。

INFO0

バイト	ビット3	ビット2	ビット1	ビット0
0	—		SEC	FI

INFO1

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	—	TN	CRT	IET	TXC	FMT	SEC	FI
1	TSUN[7:0]							
2	SAEF[7:0]							
3	RN[7:0]							
4	—	SPN[2:0]			RV	—		
5	FESF[23:0]							
6								
7								

TS

バイト	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0	TSNS[29:0]							
1								
2								
3	TSD	TSV						
4	TSS[31:0]							
5								
6								
7								

図 34.72　受信イーサネットディスクリプタフォーマットの INFO および TS フォーマット

表 34.29　受信イーサネットディスクリプタフォーマットの INFO および TS フィールドの説明 (1/2)

フィールド名	ビット幅	説明	GWCA の値
FI	1	表 34.15 を参照してください。	8.3.4.5 を参照してください。
SEC	1	表 34.15 を参照してください。	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
FMT	1	表 34.15 を参照してください。	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
TXC	1	表 34.15 を参照してください。	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
IET	1	表 34.15 を参照してください。	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
CRT	1	表 34.15 を参照してください。	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
TN	1	表 34.15 を参照してください。	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
TSUN	8	表 34.15 を参照してください。	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
SAEF	8	表 34.17 を参照してください。	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます

表 34.29 受信イーサネットディスクリプタフォーマットの INFO および TS フィールドの説明 (2/2)

フィールド名	ビット幅	説明	GWCA の値
RV	1	表 34.15 を参照してください。	受信したディスクリプタの FDESCR.RV フィールドからコピーされます[MFWD]
RN	5	表 34.15 を参照してください。	受信したディスクリプタの FDESCR.RN フィールドからコピーされます[MFWD]
SPN	2	送信元ポート番号	フレームがスイッチに入った際のポート番号[MFAB] 受信したディスクリプタの FDESCR.SPN フィールドからコピーされます[MFWD]
FESF	24	転送エンジンのステータスフラグ	受信したディスクリプタの **FDESCR.MINFO** フィールドからコピーされます[MFWD]
TSV	1	タイムスタンプ有効	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
TSD	1	タイムスタンプデフォルト	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
TSNS	30	タイムスタンプナノ秒[gPTP] PCH ヘッダタイムスタンプ[29:0]	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
TSS	32	タイムスタンプ秒[gPTP] PCH ヘッダタイムスタンプ[31:30] 制約事項: • HW: gPTP の秒部分の上位 16 ビットは切り捨てられます。	[GWCA データ送信]または[ETHA データ受信]のイーサネットローカルディスクリプタからコピーされます
—	—	予約領域	0 に設定

34.5.4 タイムスタンプ受信[gPTP]

GWCA により、GWCA TS 経路を介したタイムスタンプの受信が可能となっています。TS 経路を図 34.73 に示します。

この機能を介して受信されるタイムスタンプは、イーサネットエージェントの TX タイムスタンプだけです。イーサネットエージェントの RX タイムスタンプは、対応するデータと共にローカル RAM に格納され、CPU によってのみ、対応するデータを使用して RX データパス経由で受信できます。

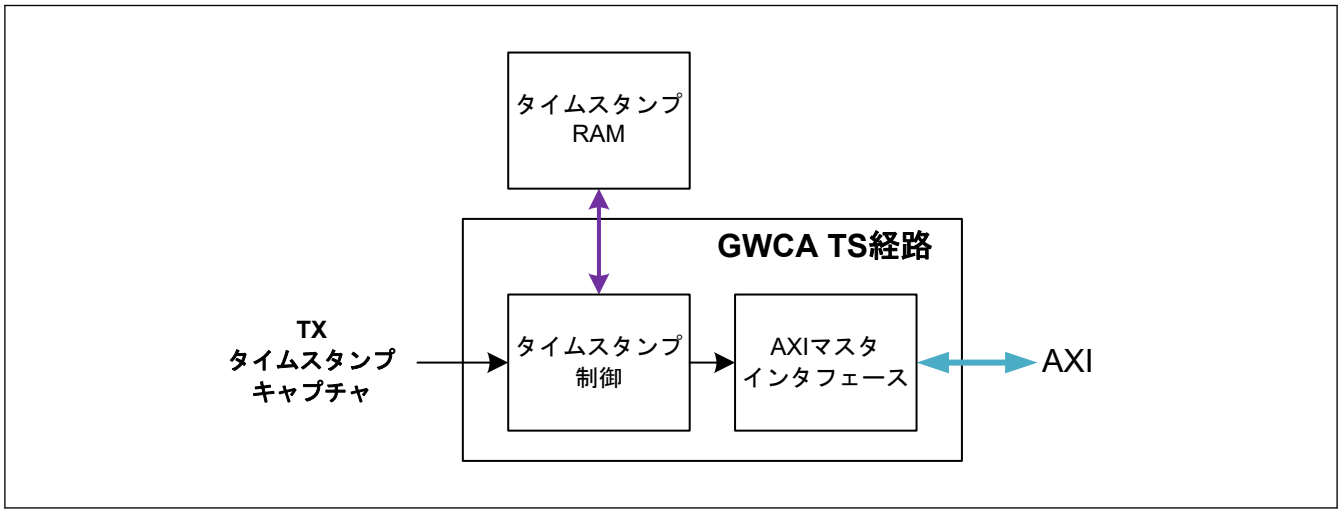


図 34.73 GWCA TS 経路のブロック図

TS 経路は、次の 2 つのブロックに分かれています：

- タイムスタンプの制御：このブロックの目的は、TX タイムスタンプキャプチャインタフェース[RMAC]からタイムスタンプを受信し、それらをタイムスタンプ RAM に格納して AXI マスタインタフェースに送信することです。

- AXI マスタインタフェース：このブロックは、CPU とのタイムスタンプ／AXI ディスクリプタの交換を処理します。

34.5.4.1 タイムスタンプの制御

タイムスタンプの制御では、GWTSDCCs.TE レジスタを使用して、タイムスタンプ RAM に対するディスクリプタの格納／フェッチを制御します。これは、GWTSNM および GWTSMNM レジスタと、GWEIS0.TSOVFES 割り込みレジスタを使用して監視できます。

機能：

- GWTSDCCs.TE は、タイマ s のタイムスタンプ受信を許可するために使用します。許可されている場合、タイマ s の TX タイムスタンプキャプチャインタフェース[RMAC]から受信したすべてのタイムスタンプは、タイムスタンプ RAM に格納され、その後 AXI マスタインタフェースに提供されます。
- GWTSNM レジスタは、タイムスタンプ RAM 内にあるタイムスタンプの現在の数を監視するために使用されます。
- GWTSMNM レジスタは、前回のリセット、または対応するレジスタが前回読み出された後にタイムスタンプ RAM で保持されているタイムスタンプの最大数を監視するために使用されます。
- GWEIS0.TSOVFES 割り込みレジスタは、タイムスタンプ RAM のオーバーフローが原因のタイムスタンプ損失にフラグを付けるために使用します。

34.5.4.2 AXI マスタとのインタフェース

AXI マスタインタフェースは、CPU とのタイムスタンプ／AXI ディスクリプタの交換を処理します。タイムスタンプと、タイムスタンプに関連する情報を受け取り、それらを CPU RAM 内に格納します。それを行うために、レジスタ GWTDCACs0、WTDCACs1、および GWTSDCCs.DCS を使用します。これは、割り込みレジスタの GWTSDIS.TSDIS と GWEIS0.TDFES を使用して監視することができます。

機能：

- GWTDCACs0 および GWTDCACs1 レジスタは、TS ディスクリプタキュー s について GWCA が処理中の現在のアドレスに対応する AXI アドレス (GWTDCACs0.TSCCAU, GWTDCACs1.TSCCAL) を形成します。これを使用すると、GWCA の初期化中にディスクリプタキューの先頭アドレスを設定すること、使用中の TS ディスクリプタキューを CPU RAM 内の別の場所に移動すること、現在処理されているディスクリプタアドレスを監視することができます。
- GWTSDCCs.DCS レジスタは、タイマ s のタイムスタンプを TS ディスクリプタキュー番号にマップするために使用できます。
- GWTSDIS.TSDIS 割り込みレジスタは、CPU RAM でいくつかのタイムスタンプの準備ができていることのフラグを付けるために使用します。
- GWEIS0.TDFES 割り込みレジスタは、タイムスタンプディスクリプタキューがフルであることが原因のタイムスタンプ損失にフラグを付けるために使用します。

タイムスタンプの受信は、線形または周期的ディスクリプタキューを使用して実行できます（「34.5.1.5. AXI ディスクリプタキューのフォーマット」を参照）。タイムスタンプ受信プロセスにおけるディスクリプタの利用法を、図 34.74 に示します。タイムスタンプ受信プロセスにおけるディスクリプタのフォーマットを、図 34.75 と表 34.30 に示します。

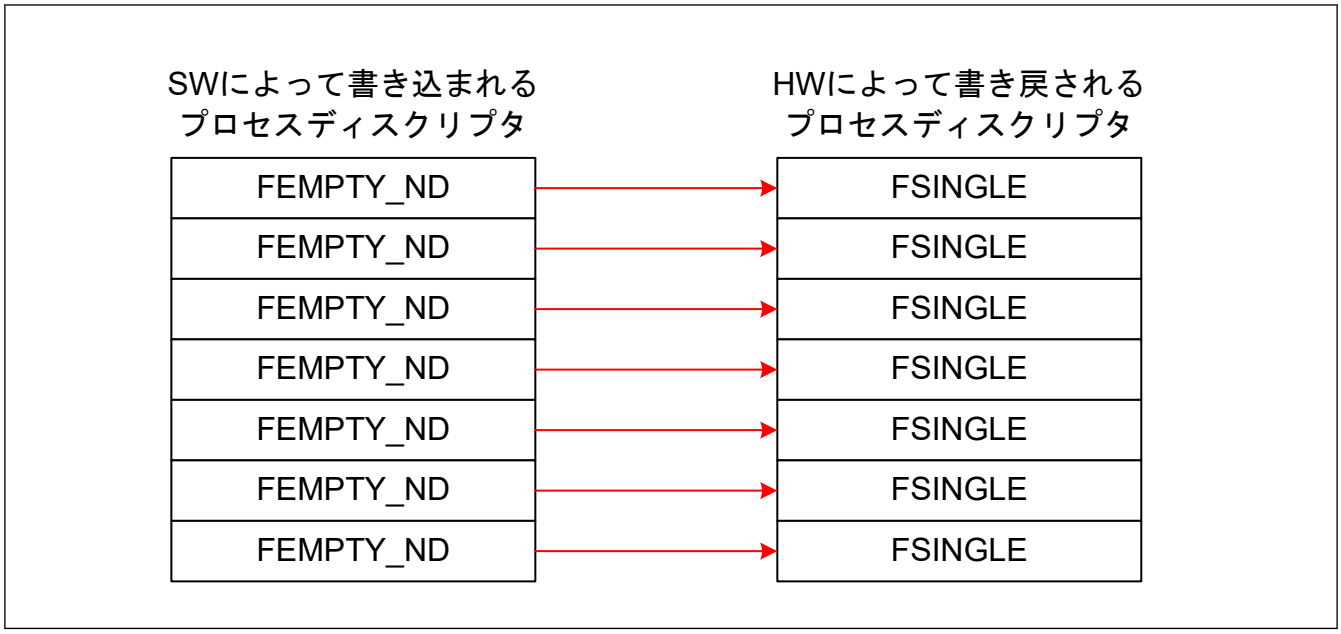


図 34.74　TS 受信プロセスにおけるディスクリプタの利用法

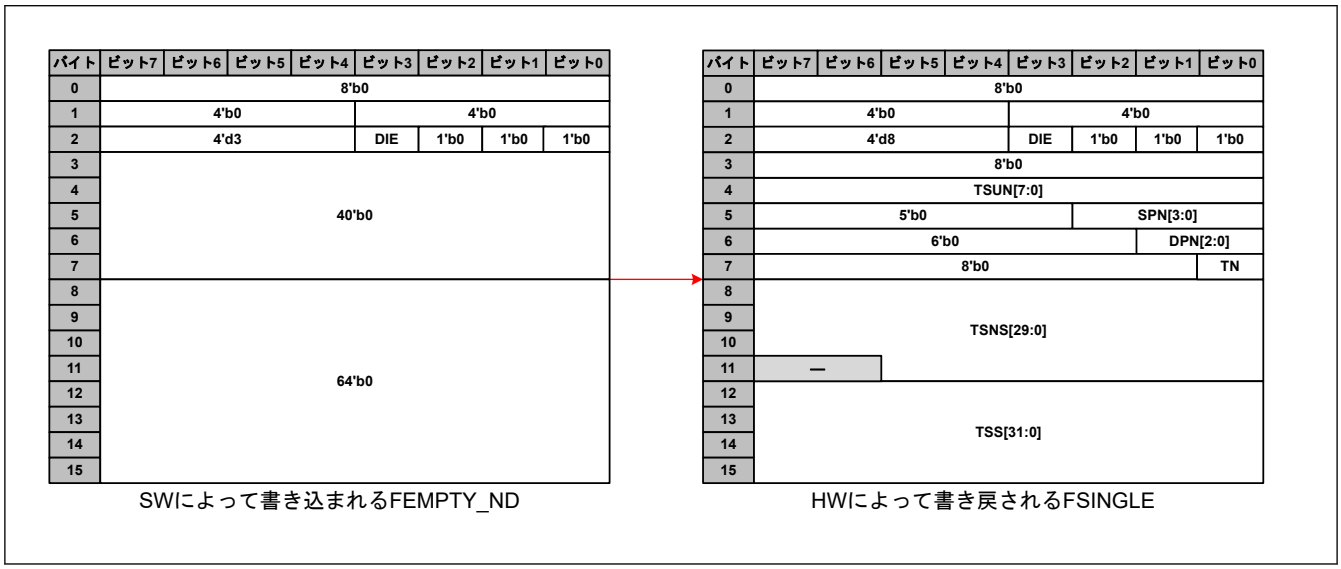


図 34.75　TS 受信プロセスでのディスクリプタ利用フォーマット

表 34.30　TS プロセスでのディスクリプタ利用フィールドの説明 (1/2)

フィールド名	SW によって書き込まれるフィールドの説明	HW ライトバックの後のフィールドの説明
DS	0	0
INFO0	0	0
ERR	0	0
DSE	0	0
AXIE	0	0
DIE	DIE	DIE（値は読み出しディスクリプタからコピーされる）。
DT	FEMPTY_ND の場合は 3	FSINGLE の場合は 8
PTR	0	タイムスタンプの関連情報フィールドとして使用される 表 34.31 を参照

表 34.30 TS プロセスでのディスクリプタ利用フィールドの説明 (2/2)

フィールド名	SW によって書き込まれるフィールドの説明	HW ライトバックの後のフィールドの説明
INFO1	NA：TS 受信で Info1 が存在することはない	NA：TS 受信で Info1 が存在することはない
TS	0	表 34.32 を参照

表 34.31 TS 受信プロセスでのディスクリプタ PTR フィールドの説明

フィールド名	ビット幅	説明
TSUN	8	タイムスタンプ固有番号[RMAC]
SPN	2	フレームに対応するタイムスタンプがスイッチに入った際のポート番号[MFAB]
DPN	1	タイムスタンプが取得された際のポート番号
TN	1	タイマ番号

表 34.32 TS 受信プロセスでのディスクリプタ TS フィールドの説明

フィールド名	ビット幅	説明
TSNS	30	タイムスタンプナノ秒[gPTP]
TSS	32	タイムスタンプ秒[gPTP] 制約事項： ● HW：gPTP の秒部分の上位 16 ビットは切り捨てられます。

34.5.5 gPTP トリガ送信

gPTP タイマを使用すると、時間制御データ送信を使用して定期的な送信開始をトリガできます（表 34.13 を参照）。それを行うために、CYCLIC_COMP[i][c]（GWCA0 の場合、i は 0）機能インタフェースが INTER_TX[8+c] にリンクされます（図 34.21 を参照）。

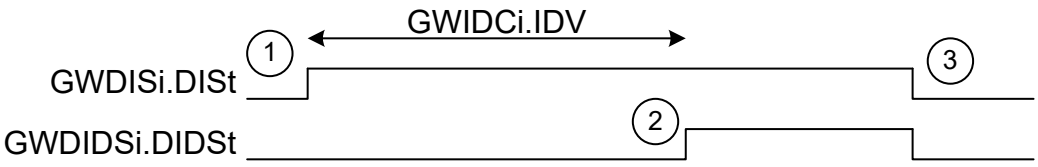
8 パラメータの説明については、gPTP の仕様[gPTP]を参照してください。

34.5.6 割り込み遅延機能

割り込み遅延機能は、ソフトウェアにデータの処理を要求する前に、一定時間の間にデータを累積するためにデータ割り込み (GWDISi.DISt) を遅延させることを目的としています。その結果、ソフトウェアの負荷が減り、データレイテンシは引き続き保証されます。動作するために、割り込み遅延機能は GWIDPC および GWIDCi レジスタを使用し、GWDIDSi 割り込みレジスタを使用して監視できます。割り込み遅延機能を図 34.76 に示します。

機能：

- GWIDPC レジスタは、割り込み遅延機能の基本クロックとして使用される周期 *clk_delay_period* の内部クロックを設定します。
- GWIDCi レジスタは、ディスクリプタキュー i の遅延時間を *clk_delay_period* で設定します。
- GWDIDSi.DIDSt レジスタは遅延された GWDISi.DISt 割り込みレジスタであり、割り込み gwc_gwdis_int[t]をトリガします。
- 割り込み処理のために、ソフトウェアは GWDIDSi レジスタを読み出し、対応する遅延時間がアーカイブされるまでに設定された割り込みのみを処理する（処理の前に一定のデータを受信することを保証できる）ようにするか、または GWDISi レジスタを読み出して、まだその遅延時間に達していないものも含め、すべての割り込みを処理する（少なくとも 1 つのキューに対する処理の前に一定のデータを受信することで割り込み負荷が減ることを保証できる）ようにするかを決定できます。



1	GWDISi.DISTフラグが設定されています
2	GWIDCi.IDV*clk_delay_periodの経過後、GWDIEi.DIEtが1に設定されている場合は割り込みによってGWDIDSi.DIDStがアサートされます
3	SWがGWDISi.DIStフラグをクリアすると、割り込みがデアサートされます

図 34.76 割り込み遅延機能

制約事項：

- HW : 割り込み遅延機能によって実現できる最大の遅延は clk_period*4194304 です。たとえば、400 MHz の周波数のクロック CLK では約 10 ms になります。

34.6 注意事項

- AXI アドレスバス幅
  製品の接続によって 40 ビットから 32 ビットに縮退した AXI アドレスバス幅。AXI ディスクリプタアドレスは 32 ビットでのみ使用してください。AXI アドレスの上位 8 ビットについては、すべて 0 に固定してください。（たとえば、GWDCBAC0 は使用できません。）

35. イーサネット汎用 PTP タイマ (GPTP)

35.1 概要

イーサネット汎用 PTP タイマ (GPTP) により、制御システム内のクロックの正確な同期が可能になります。

表 35.1 に GPTP の仕様を、図 35.1 にブロック図を示します。

表 35.1 GPTP の仕様

項目	機能	説明
全体としての機能	タイマ	• GPTP および AVTP タイマ
データプロビジョン	—	• GPTP タイマ データ幅：78 ビット（[77:30] = 秒、[29:0] = ナノ秒） • AVTP タイマ データ幅：64 ビット／32 ビット
機能	タイマ制御	• GPTP タイマのインクリメント値制御 • GPTP タイマのオフセット制御 • GPTP および AVTP タイマの生成
	PPS	• PPS 信号生成
	メディアクロック	• メディアクロックキャプチャ • メディアクロックリカバリ
	周期的比較	• パルスを発生するための周期的比較

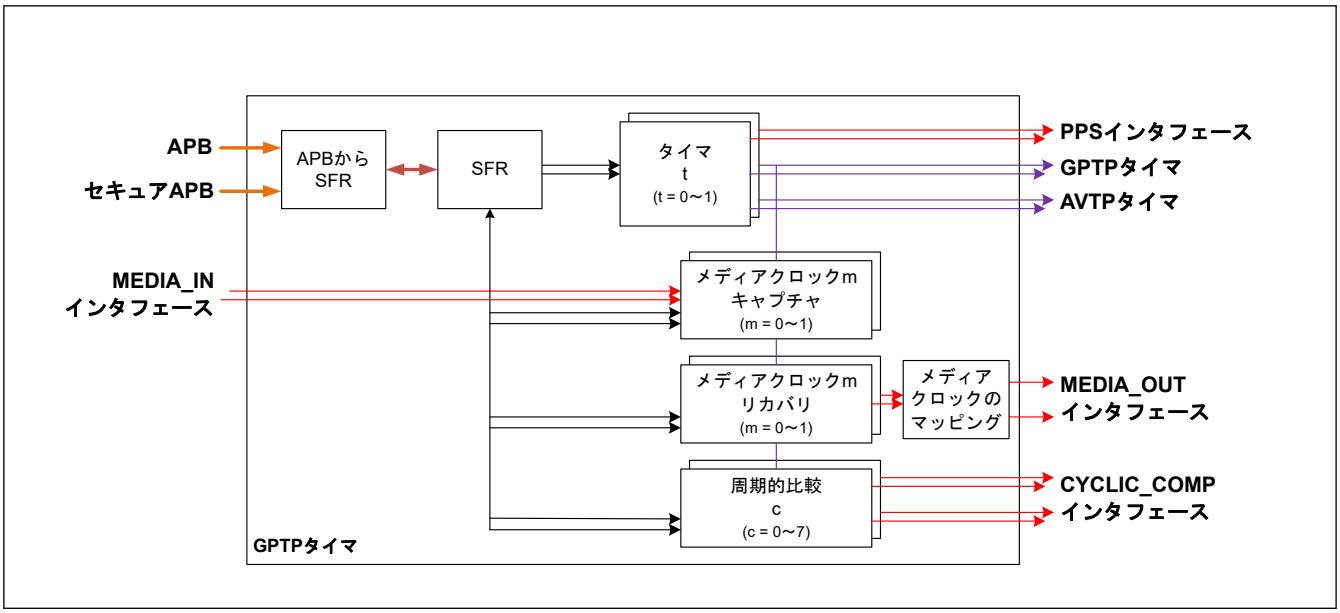


図 35.1 GPTP のブロック図

表 35.2 GPTP の機能ブロック

ブロック名	機能
APB から SFR	SFR アクセスの処理
SFR	GPTP SFR
タイマ	GPTP および AVTP タイマの生成
メディアクロックキャプチャ	入力メディアクロックのキャプチャ
メディアクロックリカバリ	出力メディアクロックのリカバリ
周期的比較	周期的なパルスの生成

35.2 gPTP レジスタの一覧

表 35.3 gPTP タイマのレジスタ

オフセットアドレス	レジスタ名	レジスタシンボル	書き込みアクセスモード
0x0000	IP バージョンレジスタ	PTPIPV	—
0x0010	タイマ許可コンフィグレーションレジスタ	PTPTMEC	—
0x0014	タイマ禁止コンフィグレーションレジスタ	PTPTMDC	—
0x0020 + 0x40 × t	タイマ t インクリメント値コンフィグレーションレジスタ (t = 0, 1)	PTPTIVCt	—
0x0030 + 0x40 × t	タイマ t オフセット値コンフィグレーションレジスタ L (t = 0, 1)	PTPTOVCtL	—
0x0034 + 0x40 × t	タイマ t オフセット値コンフィグレーションレジスタ M (t = 0, 1)	PTPTOVCtM	—
0x0038 + 0x40 × t	タイマ t オフセット値コンフィグレーションレジスタ U (t = 0, 1)	PTPTOVCtU	—
0x0040 + 0x40 × t	AVTP タイマ t 監視レジスタ L (t = 0, 1)	PTPAVTPTMtL	—
0x0044 + 0x40 × t	AVTP タイマ t 監視レジスタ U (t = 0, 1)	PTPAVTPTMtU	—
0x0050 + 0x40 × t	GPTP タイマ t 監視レジスタ L (t = 0, 1)	PTPGPTPTMtL	—
0x0054 + 0x40 × t	GPTP タイマ t 監視レジスタ M (t = 0, 1)	PTPGPTPTMtM	—
0x0058 + 0x40 × t	GPTP タイマ t 監視レジスタ U (t = 0, 1)	PTPGPTPTMtU	—
0x0200 + 0x10 × m	メディアクロック m キャプチャコンフィグレーションレジスタ (m = 0, 1)	PTPMCCCm	—
0x0204 + 0x10 × m	メディアクロック m キャプチャ監視レジスタ L (m = 0, 1)	PTPMCCMmL	—
0x0208 + 0x10 × m	メディアクロック m キャプチャ監視レジスタ M (m = 0, 1)	PTPMCCMmM	—
0x020C + 0x10 × m	メディアクロック m キャプチャ監視レジスタ U (m = 0, 1)	PTPMCCMmU	—
0x0300 + 0x10 × m	メディアクロック m リカバリコンフィグレーションレジスタ (m = 0, 1)	PTPMCRCm	—
0x0304 + 0x10 × m	メディアクロック m リカバリ時間コンフィグレーションレジスタ L (m = 0, 1)	PTPMCRTCmL	—
0x0308 + 0x10 × m	メディアクロック m リカバリ時間コンフィグレーションレジスタ M (m = 0, 1)	PTPMCRTCmM	—
0x030C + 0x10 × m	メディアクロック m リカバリ時間コンフィグレーションレジスタ U (m = 0, 1)	PTPMCRTCmU	—
0x0400 + 0x04 × m	メディアクロック m 端子コンフィグレーションレジスタ (m = 0, 1)	PTPMCPCm	—
0x0500 + 0x08 × c	周期的比較 c コンフィグレーションレジスタ 0 (c = 0～7)	PTPCCCc0	—
0x0504 + 0x08 × c	周期的比較 c コンフィグレーションレジスタ 1 (c = 0～7)	PTPCCCc1	—
0x0700	割り込みステータスレジスタ 0	PTPIS0	—
0x0704	割り込み許可レジスタ 0	PTPIE0	—
0x0708	割り込み禁止レジスタ 0	PTPID0	—
0x0710	割り込みステータスレジスタ 1	PTPIS1	—
0x0714	割り込み許可レジスタ 1	PTPIE1	—
0x0718	割り込み禁止レジスタ 1	PTPID1	—
0x0780	セキュリティコンフィグレーションレジスタ 0	PTPSCR0	—
0x0784	セキュリティコンフィグレーションレジスタ 1	PTPSCR1	—
0x0788	セキュリティコンフィグレーションレジスタ 2	PTPSCR2	—

注. ベースアドレス：GPTP = 0x403E_0000, GPTP_NS = 0x503E_0000

35.3 gPTP レジスタの説明

35.3.1 バージョンレジスタ

35.3.1.1 PTPIPV : IP バージョンレジスタ

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0000

Bit position:	31																												0
Bit field:	IPV[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
31:0	IPV[31:0]	IP バージョン	R

35.3.2 タイマコンフィグレーションレジスタ

35.3.2.1 PTPTMEC : タイマ許可コンフィグレーションレジスタ

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TE1～TE0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TE1～TE0	タイマ q を許可 (q = 0, 1) ビット q はタイマ q を許可します。 0: タイマ q を禁止 1: タイマ q を許可	R/W(注1)
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

TEq ビット（タイマ q を許可 (q = 0, 1)）

タイマ q が禁止されている場合、すべてのカウンタは 0 に固定されます。

[1 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- SW：PTPTMDC.TDq に 1 を書き込むと、このレジスタのビット q がクリアされます。

35.3.2.2 PTPTMDC : タイマ禁止コンフィグレーションレジスタ

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TD1～TD0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TD1～TD0	タイマ n 禁止 (n = 0, 1) 0: 影響なし 1: このレジスタのビット q は PTPTMEC.TEq をクリアします。	W(注1)
31:2	—	読むと 0 が読めます。	R

注 1. 読み出し値は書き込まれた値とは異なります。

TDn ビット（タイマ n 禁止 (n = 0, 1)）

[0 になる条件]

- SW：このレジスタのビット q に 1 を書き込むと、PTPTMEC.TEq がクリアされます。

35.3.2.3 PTPTIVCt : タイマ t インクリメント値コンフィグレーションレジスタ (t = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0020 + 0x40 × t

Bit position:	31	0
Bit field:	TIV[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	TIV[31:0]	タイマのインクリメント値	R/W

TIV[31:0]ビット（タイマのインクリメント値）

クロック (clk) 当たりのナノ秒単位のタイマのインクリメント値。PTPTIVCt.TIV[31:27]はナノ秒部分であり、PTPTIVCt.TIV[26:0]はナノ秒未満の部分です。

[例]

- clk クロック周波数が 50 MHz、100 MHz、200 MHz、または 250 MHz の場合、PTPTIVCt.TIV をそれぞれ約 0xA000_0000、0x5000_0000、0x2800_0000、または 0x2000_0000 の値に設定する必要があります。

35.3.2.4 PTPTOVCtL : タイマ t オフセット値コンフィグレーションレジスタ L (t = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0030 + 0x40 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TOVL[29:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TOVL[29:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
29:0	TOVL[29:0]	タイマオフセット値の下位部分(注1)	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SW：このレジスタには、0x0000_0000～0x3b9a_c9ff の値のみを設定できます。

TOVL[29:0]ビット（タイマオフセット値の下位部分）

- GPTP フォーマットのタイマオフセット値。PTPTOVCtL.TOVL は、そのナノ秒部分を表します。
- このレジスタに書き込むと、新しいオフセットがタイマ t にロードされます。
- {PTPTOVCtU.TOVU, PTPTOVCtM.TOVM, 0, PTPTOVCtL.TOVL}は、タイマ t のオフセットです。

35.3.2.5 PTPTOVCMt : タイマ t オフセット値コンフィグレーションレジスタ M (t = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0034 + 0x40 × t

Bit position:	31	0
Bit field:	TOVM[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	TOVM[31:0]	タイマオフセット値の中間部分	R/W(注1)

注 1. 読み出し値は書き込まれた値とは異なります。

TOVM[31:0] ビット（タイマオフセット値の中間部分）

- GPTP フォーマットのタイマオフセット値。PTPTOVCtM.TOVM は、秒部分の下位 32 ビットを表します。
- {PTPTOVCtU.TOVU, PTPTOVCtM.TOVM, 0, PTPTOVCtL.TOVL}は、タイマ t のオフセットです。

［更新する条件］

- SW：PTPTOVCtL レジスタに書き込むと、このレジスタが、最新値に更新されます

35.3.2.6 PTPTOVCtU : タイマ t オフセット値コンフィグレーションレジスタ U (t = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0038 + 0x40 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TOVU[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TOVU[15:0]	タイマオフセット値の上位部分	R/W(注1)
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

TOVU[15:0]ビット（タイマオフセット値の上位部分）

- GPTP フォーマットのタイマオフセット値。PTPTOVCtU.TOVU は、秒部分の上位 16 ビットを表します。
- {PTPTOVCtU.TOVU, PTPTOVCtM.TOVM, 0, PTPTOVCtL.TOVL}は、タイマ t のオフセットです。

［更新する条件］

- SW：PTPTOVCtL レジスタに書き込むと、このレジスタが、最新値に更新されます。

35.3.3 タイマ監視レジスタ

35.3.3.1 PTPAVTPTMtL : AVTP タイマ t 監視レジスタ L (t = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0040 + 0x40 × t

Bit position:	31	0
Bit field:	AVTPL[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	AVTPL[31:0]	AVTP タイマ値の下位部分	R

AVTPL[31:0]ビット（AVTP タイマ値の下位部分）

- AVTP 時間はナノ秒単位であり、GPTP タイマ t から導出されます。PTPAVTPTMtL.AVTPL は、タイマ t の 32 ビット AVTP タイマ、またはタイマ t の 64 ビット AVTP タイマの下位ビットを表します。
- このレジスタは常にタイマ t の 32 ビット AVTP タイマ、またはタイマ t の 64 ビット AVTP タイマの下位ビットに等しくなります。

35.3.3.2 PTPAVTPTMtU : AVTP タイマ t 監視レジスタ U (t = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0044 + 0x40 × t

Bit position:	31																												0
Bit field:	AVTPU[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	AVTPU[31:0]	AVTP タイマ値の上位部分	R

AVTPU[31:0]ビット（AVTP タイマ値の上位部分）

AVTP 時間はナノ秒単位であり、GPTP タイマ t から導出されます。PTPAVTPTMtU.AVTPU は、タイマ t の 64 ビット AVTP タイマの上位ビットを表します。

[更新する条件]

- HW : PTPAVTPTMtL レジスタを読み出すと、このレジスタがタイマ t の 64 ビット AVTP タイマの上位ビットに更新されます。

35.3.3.3 PTPGPTPTMtL : GPTP タイマ t 監視レジスタ L (t = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0050 + 0x40 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	GPTPL[29:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GPTPL[29:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
29:0	GPTPL[29:0]	GPTP タイマ値の下位部分 ● PTPGPTPTMtL.GPTPL は、タイマ t の GPTP タイマのナノ秒部分を表します。 ● このレジスタは常に、タイマ t の GPTP タイマのナノ秒部分に等しくなります。	R
31:30	—	読むと 0 が読めます。	R

35.3.3.4 PTPGPTPTMtM : GPTP タイマ t 監視レジスタ M (t = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0054 + 0x40 × t

Bit position:	31																												0
Bit field:	GPTPM[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	GPTPM[31:0]	GPTP タイマ値の中間部分	R

GPTPM[31:0]ビット（GPTP タイマ値の中間部分）

PTPGPTPTMtM.GPTPM は、タイマ t の GPTP タイマの秒部分の下位 32 ビットを表します。

[更新する条件]

- HW：PTPGPTPTMtL レジスタを読み出すと、このレジスタがタイマ t の GPTP タイマの秒部分の下位 32 ビットに更新されます。

35.3.3.5 PTPGPTPTMtU : GPTP タイマ t 監視レジスタ U (t = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0058 + 0x40 × t

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GPTPU[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	GPTPU[15:0]	GPTP タイマ値の上位部分	R
31:16	—	読むと 0 が読めます。	R

GPTPU[15:0]ビット（GPTP タイマ値の上位部分）

PTPGPTPTMtU.GPTPU は、タイマ t の GPTP タイマの秒部分の上位 16 ビットを表します。

[更新する条件]

- HW：PTPGPTPTMtL レジスタを読み出すと、このレジスタがタイマ t の GPTP タイマの秒部分の上位 16 ビットに更新されます。

35.3.4 メディアクロックキャプチャレジスタ

35.3.4.1 PTPMCCCm : メディアクロック m キャプチャコンフィグレーションレジスタ (m = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0200 + 0x10 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCCR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

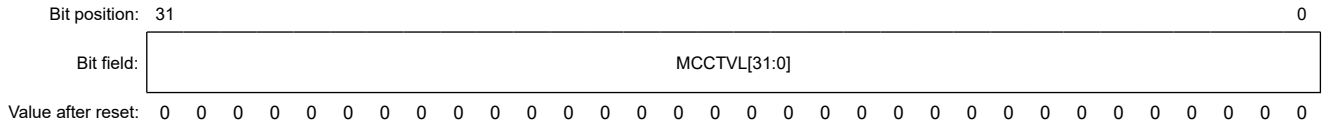
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MCTNS	MCTTS	MCNEE	MCPEE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCPEE	メディアクロックキャプチャポジティブエッジ許可 0: MEDIA_IN[m]信号のポジティブエッジでタイマ値をキャプチャしない 1: MEDIA_IN[m]信号のポジティブエッジでタイマ値をキャプチャする	R/W
1	MCNEE	メディアクロックキャプチャネガティブエッジ許可 0: MEDIA_IN[m]信号のネガティブエッジでタイマ値をキャプチャしない 1: MEDIA_IN[m]信号のネガティブエッジでタイマ値をキャプチャする	R/W
2	MCTTS	メディアクロックキャプチャタイマ種類選択 0: GPTP タイマでタイマ値をキャプチャする 1: AVTP タイマでタイマ値をキャプチャする	R/W
3	MCTNS	メディアクロックキャプチャタイマ番号選択 タイマ値の取得元のタイマを選択します。	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	MCCR	メディアクロックキャプチャ要求 このレジスタに 1 を書き込むと、タイマキャプチャが発生します。	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.3.4.2 PTPMCCMmL : メディアクロック m キャプチャ監視レジスタ L (m = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0204 + 0x10 × m



ビット	シンボル	機能	R/W
31:0	MCCTVL[31:0]	メディアクロックのキャプチャされたタイマ値の下位部分	R

MCCTVL[31:0]ビット（メディアクロックのキャプチャされたタイマ値の下位部分）

- GPTP タイマがキャプチャされた場合、PTPMCCMmL.MCCTVL[29:0]は GPTP タイマのナノ秒部分を表します。
- AVTP タイマがキャプチャされた場合、このレジスタは 32 ビット AVTP タイマ、または 64 ビット AVTP タイマの下位 32 ビットを表します。

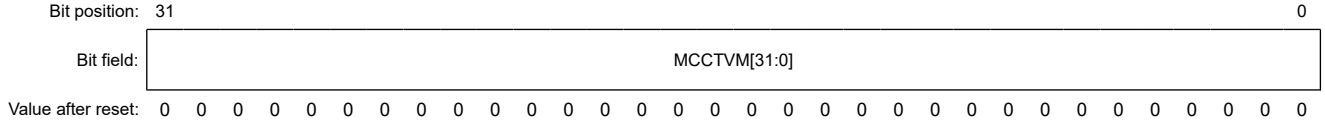
［更新する条件］

- PTPMCCMmL レジスタを読み出すと、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU が次にキャプチャされる値に更新されます。
- キャプチャバッファがエンプティの状態でタイマをキャプチャすると、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU がキャプチャ値に更新されます。

35.3.4.3 PTPMCCMmM : メディアクロック m キャプチャ監視レジスタ M (m = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0208 + 0x10 × m



ビット	シンボル	機能	R/W
31:0	MCCTVM[31:0]	メディアクロックのキャプチャされたタイマ値の中間部分	R

MCCTVM[31:0]ビット（メディアクロックのキャプチャされたタイマ値の中間部分）

- GPTP タイマがキャプチャされた場合、このレジスタは GPTP タイマの秒部分の下位 32 ビットを表します
- AVTP タイマがキャプチャされた場合、このレジスタは 64 ビット AVTP の上位 32 ビットを表します。

[更新する条件]

- PTPMCCMmL レジスタを読み出すと、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU が次にキャプチャされる値に更新されます
- キャプチャバッファがエンプティの状態でタイマをキャプチャすると、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU がキャプチャ値に更新されます。

35.3.4.4 PTPMCCMmU : メディアクロック m キャプチャ監視レジスタ U (m = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x020C + 0x10 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	MCCN[1:0]		—	—	—	—	—	MCSWC	MCNEC	MCPEC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MCCTVU[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MCCTVU[15:0]	メディアクロックのキャプチャされたタイマ値の上位部分	R
16	MCPEC	キャプチャされたメディアクロックポジティブエッジ	R
17	MCNEC	キャプチャされたメディアクロックネガティブエッジ	R
18	MCSWC	キャプチャされたメディアクロックソフトウェア	R
23:19	—	読むと 0 が読めます。	R
25:24	MCCN[1:0]	メディアクロックキャプチャ番号	R
31:26	—	読むと 0 が読めます。	R

MCCTVU[15:0]ビット（メディアクロックのキャプチャされたタイマ値の上位部分）

- GPTP タイマがキャプチャされた場合、このレジスタは GPTP タイマの秒部分の上位 16 ビットを表します
- AVTP タイマがキャプチャされた場合、このレジスタは使用されません。

[更新する条件]

- PTPMCCMmL レジスタを読み出すと、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU が次にキャプチャされる値に更新されます
- キャプチャバッファがエンプティの状態でタイマをキャプチャすると、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU がキャプチャ値に更新されます。

MCPEC ビット（キャプチャされたメディアクロックポジティブエッジ）

[更新する条件]

- PTPMCCMmL レジスタを読み出すと、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU が次にキャプチャされる値に更新されます

- キャプチャバッファがエンプティの状態でタイマをキャプチャすると、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU がキャプチャ値に更新されます。

MCNEC ビット（キャプチャされたメディアクロックネガティブエッジ）

[更新する条件]

- PTPMCCMmL レジスタを読み出すと、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU が次にキャプチャされる値に更新されます
- キャプチャバッファがエンプティの状態でタイマをキャプチャすると、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU がキャプチャ値に更新されます。

MCSWC ビット（キャプチャされたメディアクロックソフトウェア）

[更新する条件]

- PTPMCCMmL レジスタを読み出すと、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU が次にキャプチャされる値に更新されます
- キャプチャバッファがエンプティの状態でタイマをキャプチャすると、PTPMCCMmL、PTPMCCMmM、および PTPMCCMmU がキャプチャ値に更新されます。

MCCN[1:0] ビット（メディアクロックキャプチャ番号）

[インクリメント条件]

- HW：2 以外で、メディアキャプチャユニット m がタイマをキャプチャしたときに 1 ずつインクリメントされます。

[デクリメント条件]

- SW：0 以外で、ソフトウェアによる読み出しが行われた場合に 1 ずつデクリメントされます。

35.3.5 メディアクロックリカバリレジスタ

35.3.5.1 PTPMCRCm：メディアクロック m リカバリコンフィグレーションレジスタ (m = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0300 + 0x10 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MRPL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MRTNS	MRAMS	MRTTS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MRTTS	メディアクロックリカバリタイマ種類選択(注1) 0: タイマ値を GPTP タイマと比較 1: タイマ値を AVTP タイマと比較	R/W
1	MRAMS	メディアクロックリカバリ AVTP モード選択(注2) 0: 64 ビット AVTP を比較に使用 1: 32 ビット AVTP を比較に使用	R/W
2	MRTNS	メディアクロックリカバリタイマ番号選択 タイマ値の取得元のタイマを選択します。	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
31:16	MRPL[15:0]	メディアクロックリカバリパルス長 clk クロック数 - 1 でのクロックリカバリのパルス長。	R/W

注 1. 制約事項 :

- HW : GPTP タイマの場合、オーバーフローはサポートされません。現在の GPTP タイマよりも小さい時間が設定された場合、比較は瞬時に一致します。

注 2. 制約事項 :

- HW : 64 ビット AVTP タイマの場合、オーバーフローはサポートされません。現在の AVTP タイマよりも小さい時間が設定された場合、比較は瞬時に一致します。

35.3.5.2 PTPMCRTCmL : メディアクロック m リカバリ時間コンフィグレーションレジスタ L (m = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0304 + 0x10 × m

Bit position:	31																												0
Bit field:	MRTVL[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	MRTVL[31:0]	メディアクロックリカバリのタイマ値の下位部分	R/W

MRTVL[31:0]ビット（メディアクロックリカバリのタイマ値の下位部分）

- 比較したタイマが GPTP タイマの場合、このレジスタは GPTP タイマのナノ秒部分を表します
- 比較したタイマが 32 ビット AVTP タイマの場合、このレジスタは 32 ビット AVTP タイマを表します
- 比較したタイマが 64 ビット AVTP タイマの場合、このレジスタは 64 ビット AVTP タイマの下位 32 ビットを表します
- このレジスタに書き込むと、リカバリバッファでの比較のために MCCTVU、MCCTVM、および MCCTVL レジスタがロードされます。

35.3.5.3 PTPMCRTCmM : メディアクロック m リカバリ時間コンフィグレーションレジスタ M (m = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0308 + 0x10 × m

Bit position:	31																												0
Bit field:	MRTVM[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	MRTVM[31:0]	メディアクロックリカバリのタイマ値の中間部分	R/W

MRTVM[31:0]ビット（メディアクロックリカバリのタイマ値の中間部分）

- 比較したタイマが GPTP タイマの場合、このレジスタは GPTP タイマの秒部分の下位 32 ビットを表します
- 比較したタイマが 32 ビット AVTP タイマの場合、このレジスタは関連する値を示しません
- 比較したタイマが 64 ビット AVTP タイマの場合、このレジスタは 64 ビット AVTP タイマの上位 32 ビットを表します。

35.3.5.4 PTPMCRTCmU : メディアクロック m リカバリ時間コンフィグレーションレジスタ U (m = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x030C + 0x10 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MRBCR	—	—	—	—	—	—	—	—	—	—	MCRN[2:0]			MRTT[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MRTVU[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MRTVU[15:0]	メディアクロックリカバリのタイマ値の上位部分	R/W
17:16	MRTT[1:0]	メディアクロックリカバリのトリガタイプ 0 0: タイマが一致すると、タイムリカバリ端子が 1 に設定される 0 1: タイマが一致すると、タイムリカバリ端子が 0 に設定される 1 0: タイマが一致すると、タイムリカバリ端子が反転する 1 1: タイマが一致すると、長さ PTPMCRCm.MRPL の正パルスがタイムリカバリ端子に出力される	R/W
20:18	MCRN[2:0]	メディアクロックリカバリ番号 リカバリバッファ内のエントリの番号を表示します。	R
30:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	MRBCR	メディアクロックリカバリバッファのクリア要求 このレジスタに 1 を書き込むと、内部タイマバッファが PTPMCRTCmU.MCRN レジスタとともにクリアされます。	R

MRTVU[15:0]ビット（メディアクロックリカバリのタイマ値の上位部分）

- 比較したタイマが GPTP タイマの場合、このレジスタは GPTP タイマの秒部分の上位 16 ビットを表します
- 比較したタイマが 32 ビット AVTP タイマの場合、このレジスタは関連する値を示しません
- 比較したタイマが 64 ビット AVTP タイマの場合、このレジスタは関連する値を示しません。

35.3.5.5 PTPMCPCm : メディアクロック m 端子コンフィグレーションレジスタ (m = 0, 1)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0400 + 0x04 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MRS	PE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PE	端子有効(注1) 0: MEDIA_OUT[p]は 0 に固定される 1: MEDIA_OUT[p]は、PTPMCPCm.MRS リカバリロジックの比較結果を出力する	R/W
1	MRS	メディアクロックリカバリ選択(注1) MEDIA_OUT[p]のリカバリロジックを選択	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 制約事項：

- タイマ許可 (PTPTMEC.TEq = 1) の状態でこの設定を変更しないでください。

35.3.6 周期的比較レジスタ

35.3.6.1 PTPCCCc0：周期的比較 c コンフィグレーションレジスタ 0 (c = 0～7)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0500 + 0x8 × c

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	CCOPS	—	—	—	CCTNS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CCTNS	周期的比較タイマ番号選択 周期的比較のベースとなるタイマから選択します。	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CCOPS	周期的比較出力端子選択 CYCLIC_COMP[PTPCCCc0.CCOPS][c]を周期的比較 c の出力として選択します。	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.3.6.2 PTPCCCc1：周期的比較 c コンフィグレーションレジスタ 1 (c = 0～7)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0504 + 0x8 × c

Bit position:	31	0
Bit field:	CCV[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	CCV[31:0]	周期的比較値 ● このビットを 32 よりも小さい値に設定すると、比較機能が無効になります。 ● このビットを 32 以上の値に設定すると、比較機能が有効になります。	R/W

35.3.7 割り込みレジスタ

35.3.7.1 PTPIS0 : 割り込みステータスレジスタ 0

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0700

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCCOES1～MCCOES0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCCS1～MCCS0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MCCS1～MCCS0	メディアクロック n キャプチャステータスフラグ (n = 0, 1)	R/W(注1)
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	MCCOES1～MCCOES0	メディアクロック n キャプチャオーバーフローエラーステータスフラグ (n = 0, 1)	R/W(注1)
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

MCCSn ビット（メディアクロック n キャプチャステータスフラグ (n = 0, 1)）

[1 になる条件]

- HW：メディアキャプチャユニット m がタイマをキャプチャすると設定されます。

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

MCCOESn ビット（メディアクロック n キャプチャオーバーフローエラーステータスフラグ (n = 0, 1)）

[1 になる条件]

- HW：メディアキャプチャユニット m がタイマをキャプチャするとビット m が設定されますが、タイマの FIFO がフル (PTPMCCMmU.MCCN = 2) のため格納できません。

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

[エラー復帰]

- HW：キャプチャされたタイマ値が失われ、次のキャプチャが正常に続行されます
- SW：タイマの読み出しが遅すぎるため、ソフトウェアを見直す必要があります。

35.3.7.2 PTPIE0 : 割り込み許可レジスタ 0

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0704

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCCOEE1～MCCOEE0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCCE1～MCCE0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MCCE1～MCCE0	メディアクロック m キャプチャ許可 (m = 0, 1) ビット m はメディアクロック m キャプチャを許可します。 0: 割り込み m を禁止 1: 割り込み m を許可	R/W(注1)
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	MCCOEE1～MCCOEE0	メディアクロック m キャプチャオーバーフローエラー許可 (m = 0, 1) ビット m はメディアクロック m キャプチャオーバーフローエラーを許可します。 0: 割り込み m を禁止 1: 割り込み m を許可	R/W(注1)
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

MCCEm ビット（メディアクロック m キャプチャ許可 (m = 0, 1)）

[1 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- SW：PTPID0.MCCD レジスタのビット m に 1 を書き込むと、本レジスタの対応するビットがクリアされます。

MCCOEEm ビット（メディアクロック m キャプチャオーバーフローエラー許可 (m = 0, 1)）

[1 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- SW：PTPID0.MCCOED レジスタのビット m に 1 を書き込むと、本レジスタの対応するビットがクリアされます。

35.3.7.3 PTPID0 : 割り込み禁止レジスタ 0

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0708

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCCOED1～MCCOED0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCCD1～MCCD0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MCCD1～MCCD0	メディアクロック m キャプチャ禁止 (m = 0, 1)	R
15:2	—	読むと 0 が読めます。	R
17:16	MCCOED1～MCCOED0	メディアクロック m キャプチャオーバーフローエラー禁止 (m = 0, 1)	R
31:18	—	読むと 0 が読めます。	R

MCCDm ビット（メディアクロック m キャプチャ禁止 (m = 0, 1)）

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込むと、PTPIE0.MCCE レジスタの対応するビットがクリアされます。

MCCOEDm ビット（メディアクロック m キャプチャオーバーフローエラー禁止 (m = 0, 1)）

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込むと、PTPIE0.MCCOEE レジスタの対応するビットがクリアされます。

35.3.7.4 PTPIS1 : 割り込みステータスレジスタ 1

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0710

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCRMS1～MCRMS0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MCRMS1～MCRMS0	メディアクロック m リカバリー致ステータスフラグ (m = 0, 1)	R/W(注1)
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

MCRMSm ビット（メディアクロック m リカバリー致ステータスフラグ (m = 0, 1)）

[1 になる条件]

- HW：メディアキャプチャユニット m の最も古いタイマが一致すると設定されます。

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

35.3.7.5 PTPIE1：割り込み許可レジスタ 1

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0714

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCRME1～MCRME0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MCRME1～MCRME0	メディアクロック m リカバリー致許可 (m = 0, 1) ビット m はメディアクロック m リカバリー致を許可します。 0: 割り込み m を禁止 1: 割り込み m を許可	R/W(注1)
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読み出し値は書き込まれた値とは異なります。

MCRMEm ビット（メディアクロック m リカバリー致許可 (m = 0, 1)）

[1 になる条件]

- SW：これらのビットのいずれかに 1 を書き込む。

[0 になる条件]

- SW：PTPID1.MCRMD レジスタのビット m に 1 を書き込むと、本レジスタの対応するビットがクリアされます。

35.3.7.6 PTPID1：割り込み禁止レジスタ 1

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x0718

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCRMD1～MCRMD0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MCRMD1～MCRMD0	メディアクロック m リカバリー致禁止 (m = 0, 1)	R
31:2	—	読むと 0 が読めます。	R

MCRMDm ビット（メディアクロック m リカバリー致禁止 (m = 0, 1)）

[0 になる条件]

- SW：これらのビットのいずれかに 1 を書き込むと、PTPIE0.MCRME レジスタの対応するビットがクリアされます。

35.4 レジスタの使用

35.4.1 ソフトウェアフロー

SW：本項で説明するフローに従ってください。

35.4.1.1 ソフトウェアフローの凡例

図 35.2 にソフトウェアフローの凡例を示します。

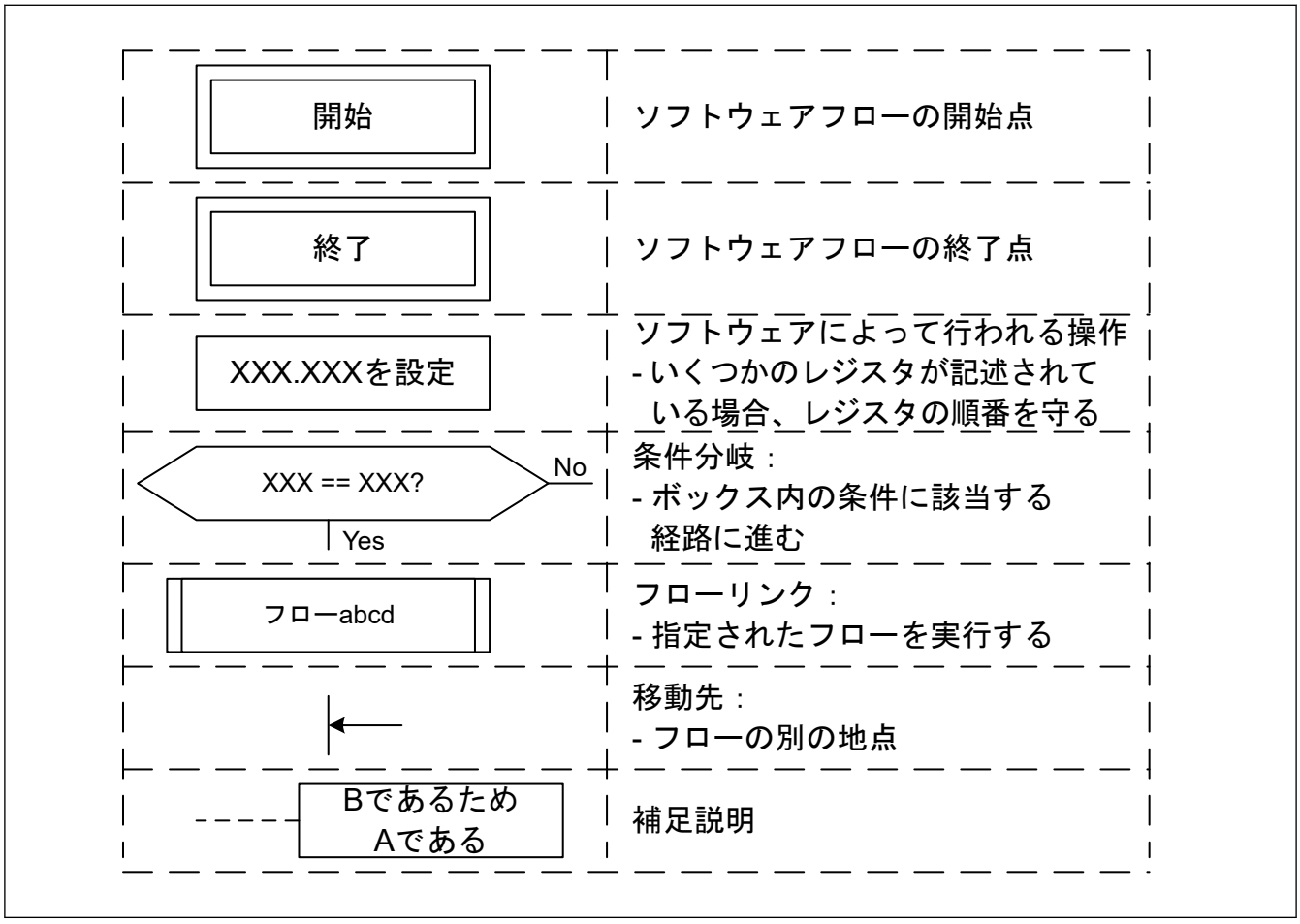


図 35.2 ソフトウェアフローの凡例

35.4.1.2 割り込み処理フロー

図 35.3 に割り込み処理フローを示します。

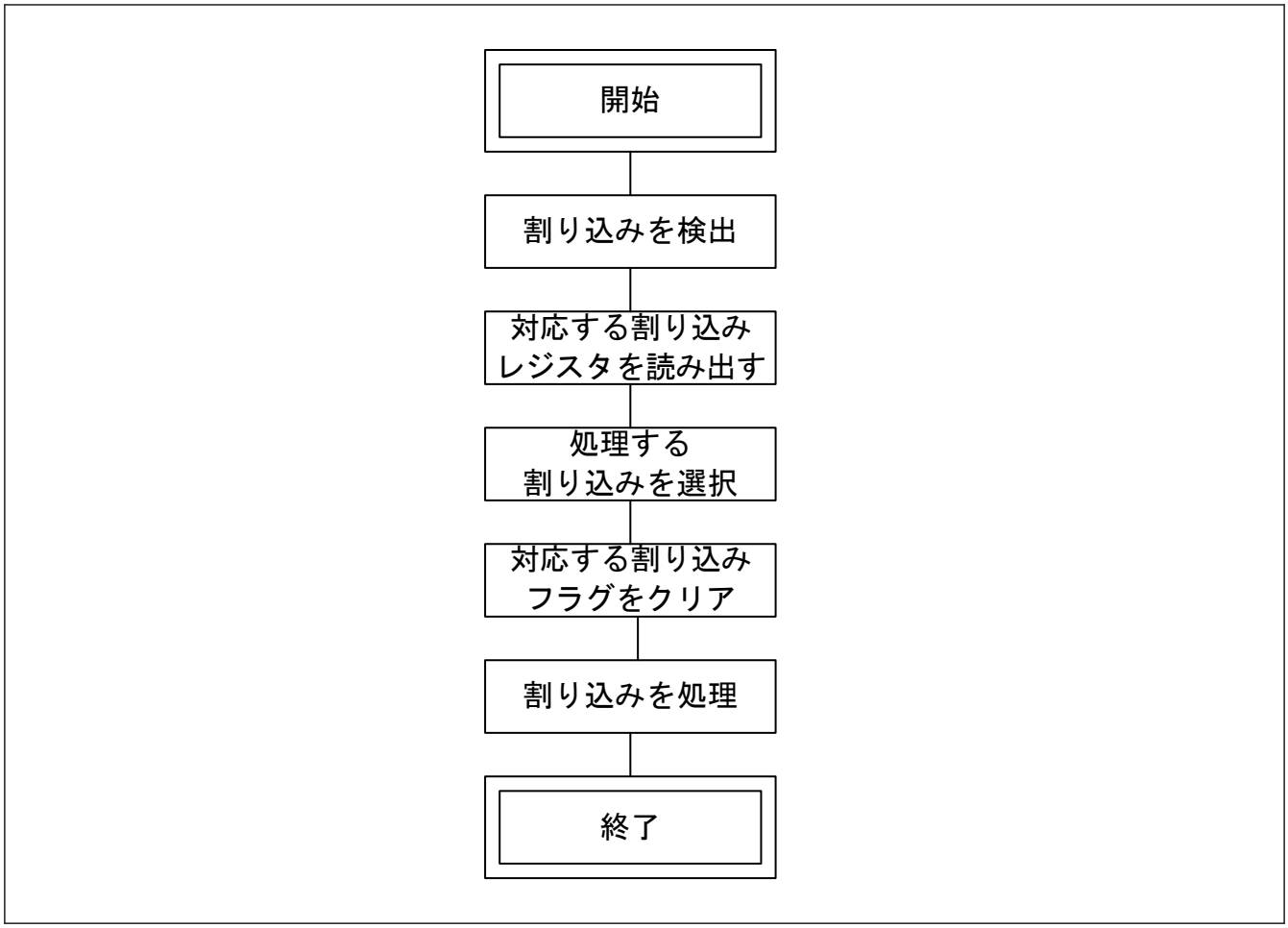


図 35.3　割り込み処理フロー

35.4.1.3　タイマ t のフロー (t = 0, 1)

本項では、タイマ t の設定と監視のフローについて説明します。

35.4.1.3.1　タイマ t のオフセット設定フロー

図 35.4 に、タイマ t のオフセット設定フローを示します。

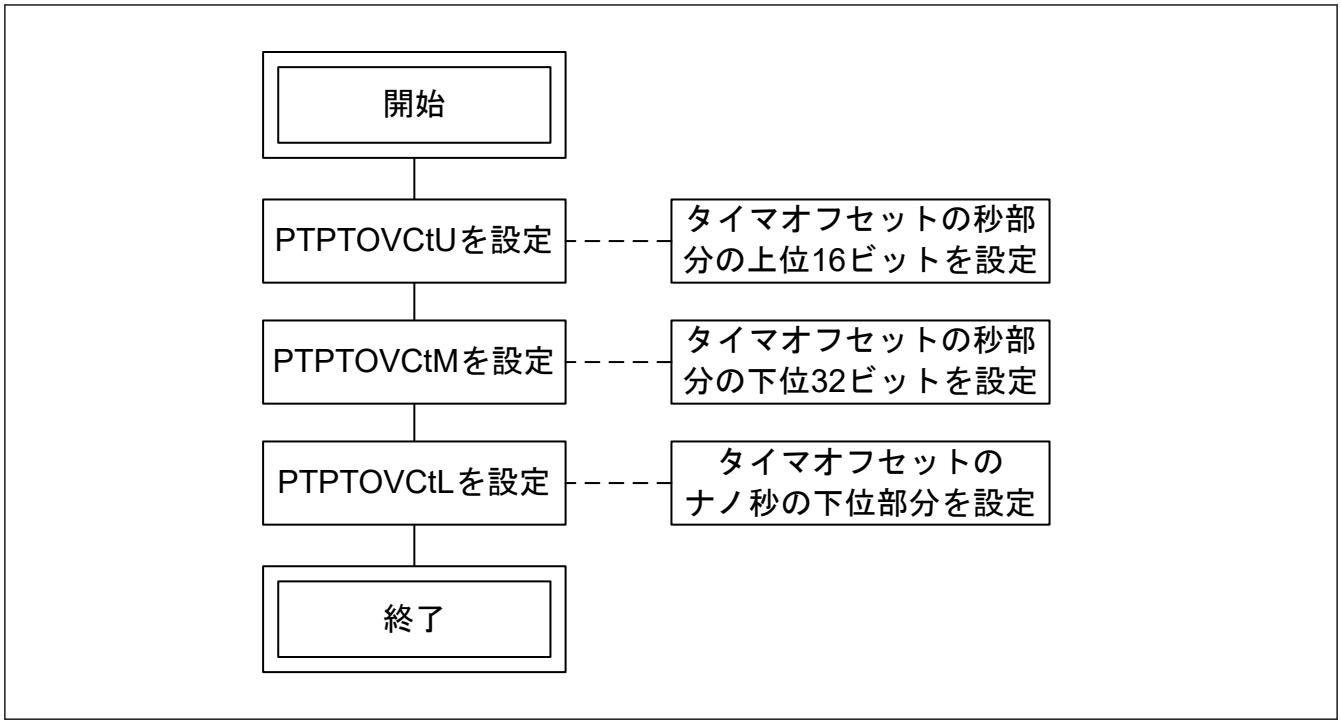


図 35.4　タイマ t のオフセット設定フロー

35.4.1.3.2　32 ビット AVTP タイマ t の読み出しフロー

図 35.5 に、32 ビット AVTP タイマ t の読み出しフローを示します。

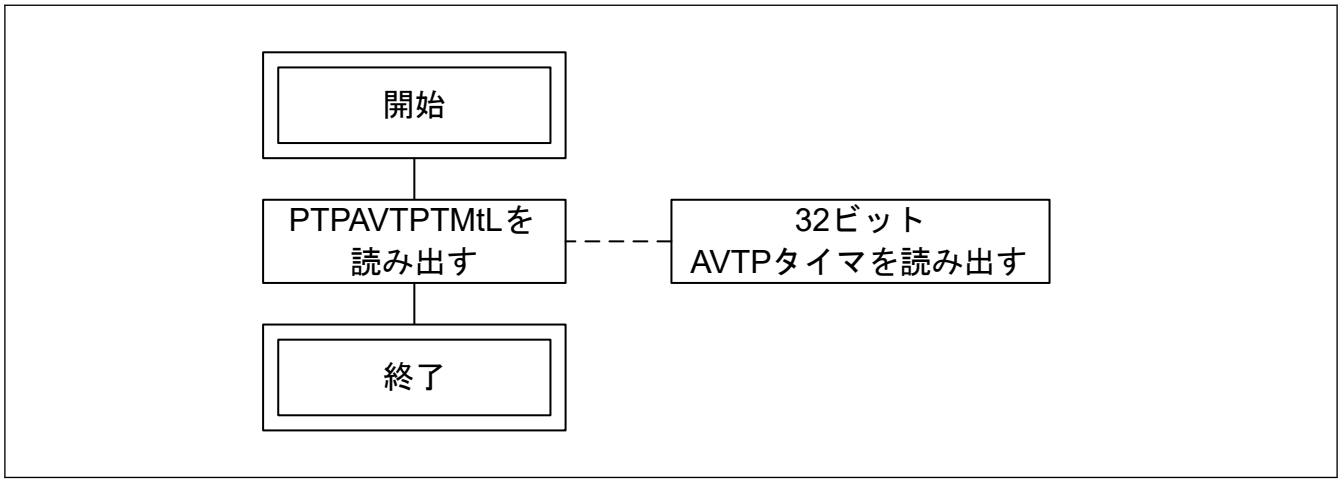


図 35.5　32 ビット AVTP タイマ t の読み出しフロー

35.4.1.3.3　64 ビット AVTP タイマ t の読み出しフロー

図 35.6 に、64 ビット AVTP タイマ t の読み出しフローを示します。

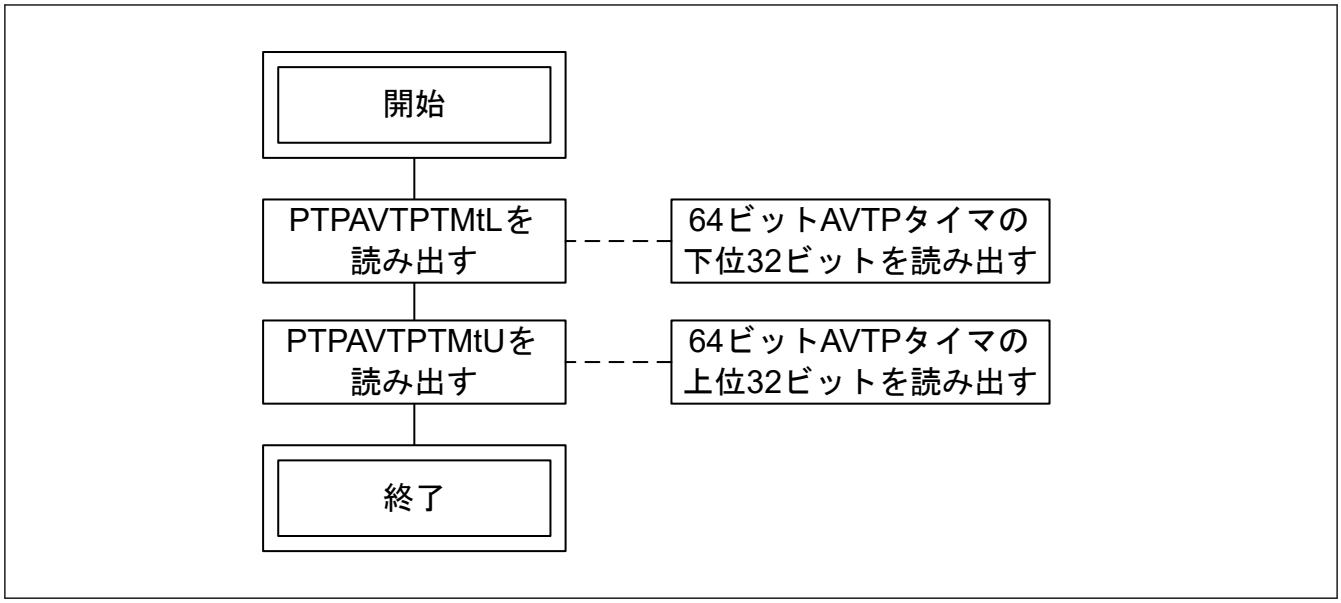


図 35.6　64 ビット AVTP タイマ t の読み出しフロー

35.4.1.3.4　GPTP タイマ t の読み出しフロー

図 35.7 に、GPTP タイマ t の読み出しフローを示します。

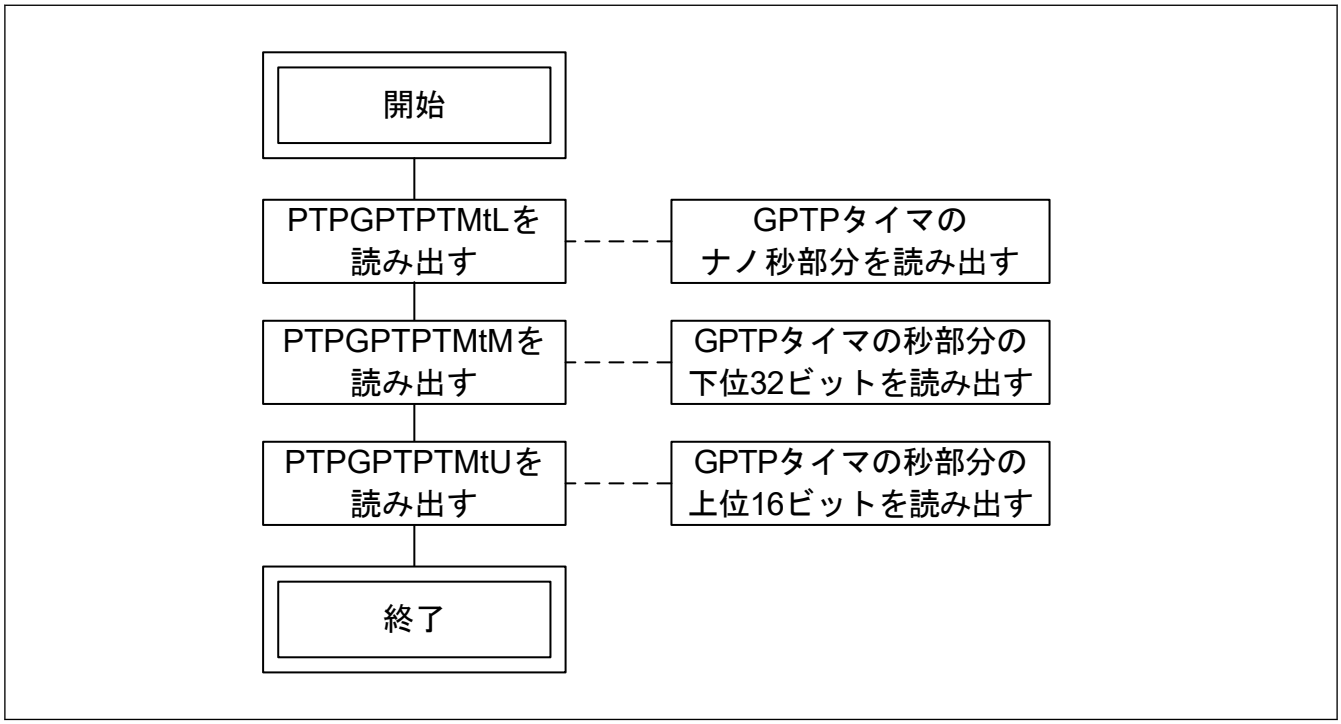


図 35.7　GPTP タイマ t の読み出しフロー

35.4.1.3.5　タイマ t のソフトウェアフローなしで書き込み可能なレジスタ

表 35.4 は、ソフトウェアフローなしで書き込み可能なレジスタと、それらが書き込み可能なモードを示しています。

表 35.4　ソフトウェアフローなしで書き込み可能なレジスタ (1/2)

（✓ = 書き込み可能、× = 書き込み不可）

レジスタ名	いつでも書き込み可能
PTPTMEC	✓

表 35.4　ソフトウェアフローなしで書き込み可能なレジスタ (2/2)

（✓ = 書き込み可能、× = 書き込み不可）

レジスタ名	いつでも書き込み可能
PTPTMDC	✓
PTPTIVCt	✓

35.4.1.4　メディアクロック m キャプチャのフロー (m = 0, 1)

本項では、メディアクロック m キャプチャの設定と監視のフローについて説明します。

35.4.1.4.1　32 ビット AVTP タイマのキャプチャ値の読み出しフロー

図 35.8 に、32 ビット AVTP タイマのキャプチャ値の読み出しフローを示します。

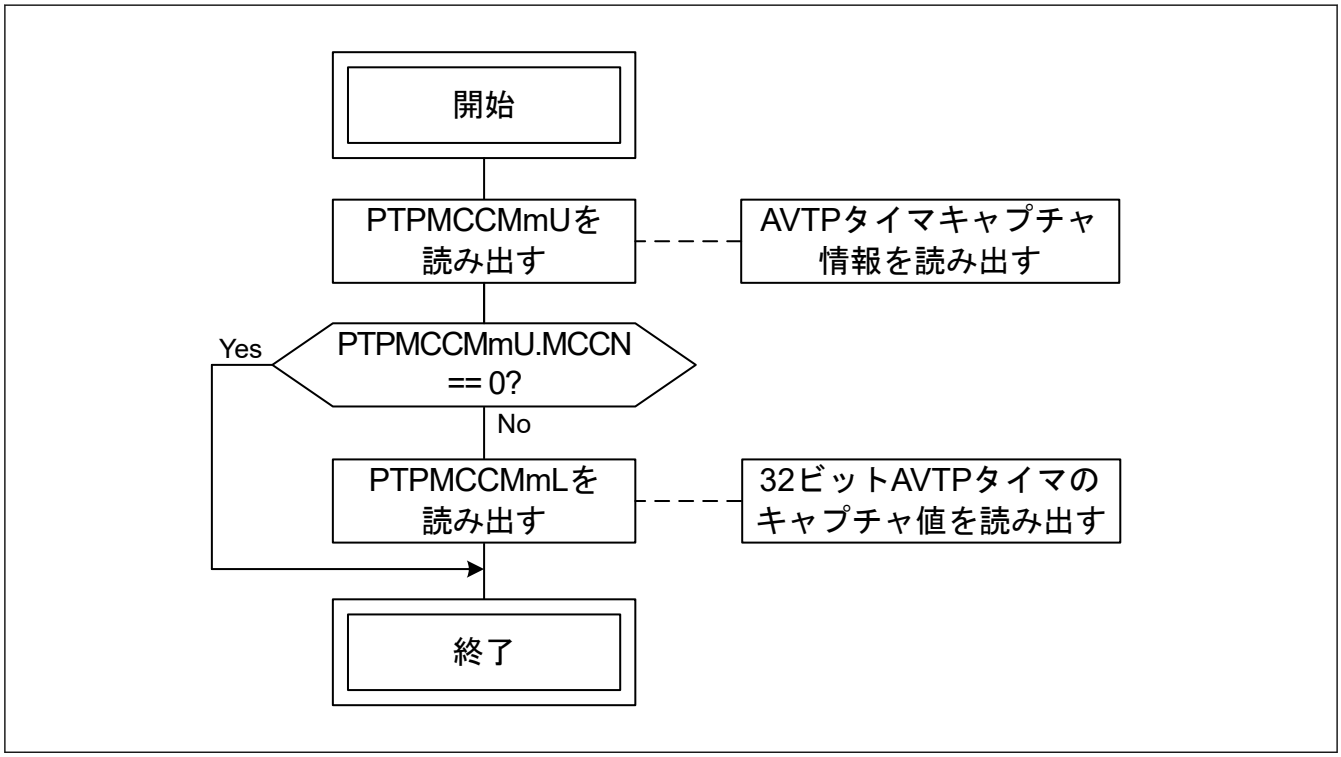


図 35.8　32 ビット AVTP タイマのキャプチャ値の読み出しフロー

35.4.1.4.2　64 ビット AVTP タイマのキャプチャ値の読み出しフロー

図 35.9 に、64 ビット AVTP タイマのキャプチャ値の読み出しフローを示します。

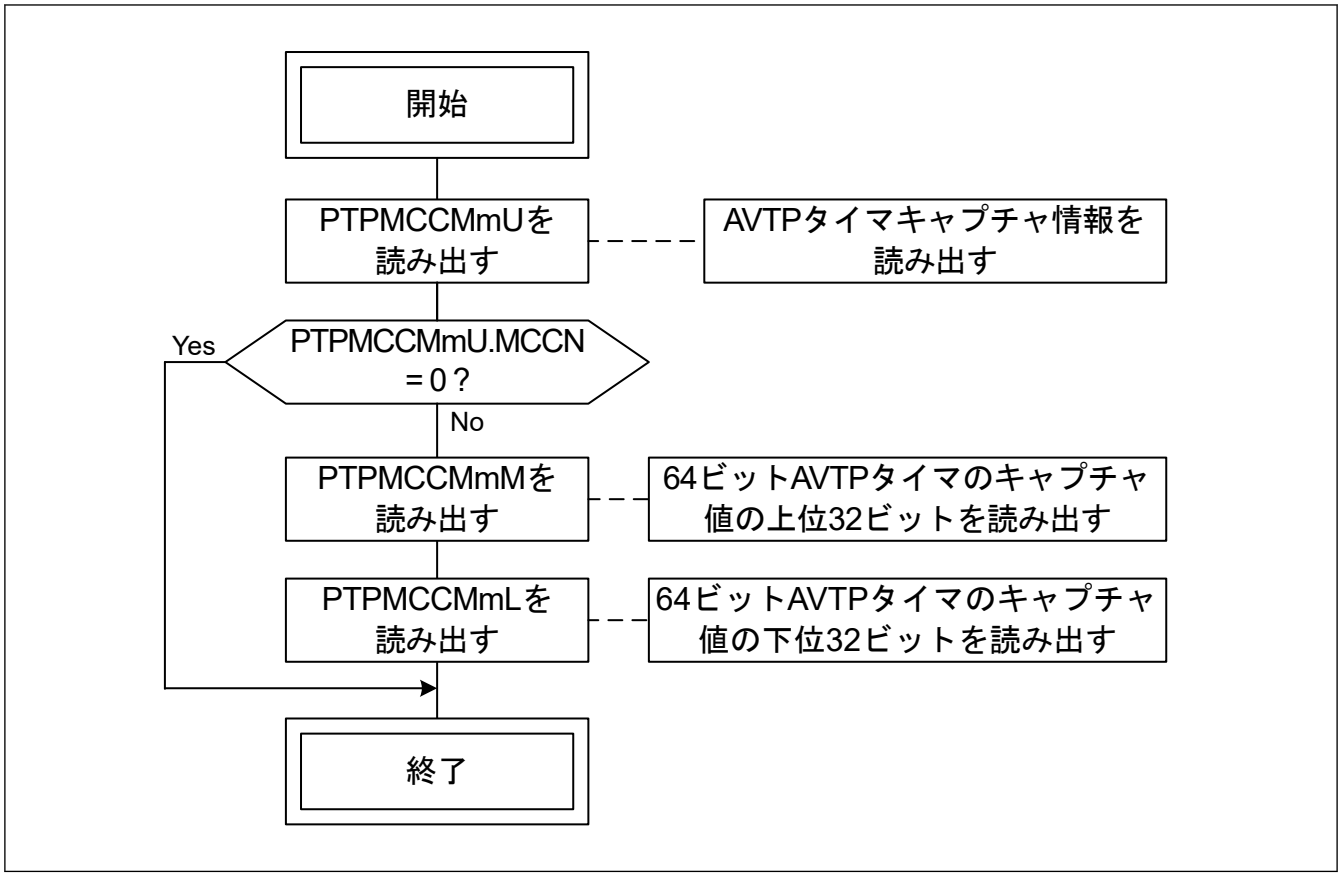


図 35.9　64 ビット AVTP タイマのキャプチャ値の読み出しフロー

35.4.1.4.3　GPTP タイマのキャプチャ値の読み出しフロー

図 35.10 に、GPTP タイマのキャプチャ値の読み出しフローを示します。

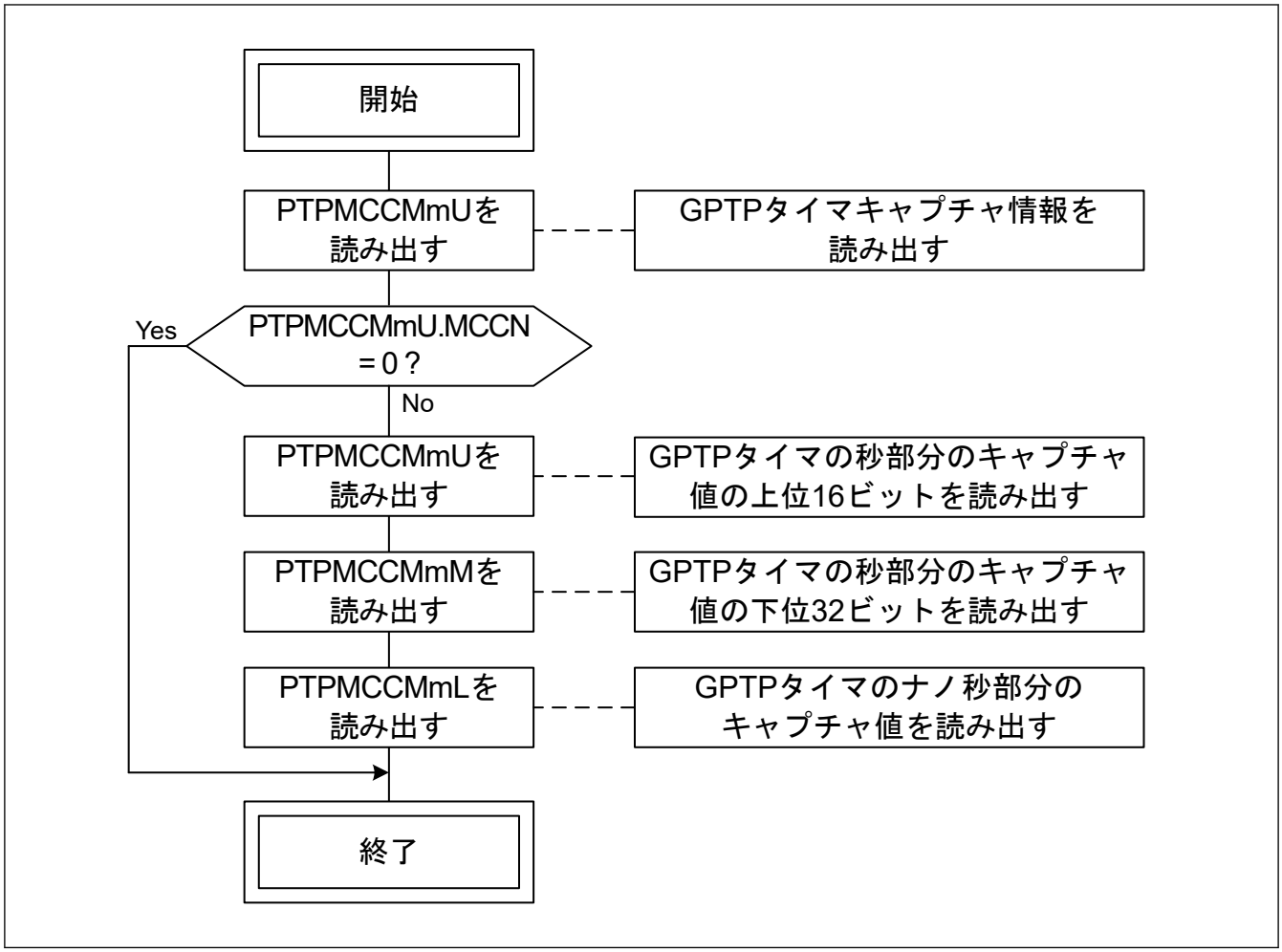


図 35.10　GPTP タイマのキャプチャ値の読み出しフロー

35.4.1.4.4　メディアクロック m キャプチャのソフトウェアフローなしで書き込み可能なレジスタ

表 35.5 は、ソフトウェアフローなしで書き込み可能なレジスタと、それらが書き込み可能なモードを示しています。

表 35.5　ソフトウェアフローなしで書き込み可能なレジスタ

（✓ = 書き込み可能、× = 書き込み不可）

レジスタ名	いつでも書き込み可能
PTPMCCCm	✓

35.4.1.5　メディアクロック m リカバリのフロー (m = 0, 1)

本項では、メディアクロック m リカバリの設定と監視のフローについて説明します。

35.4.1.5.1　メディアクロックリカバリの時間値設定フロー

図 35.11 に、メディアクロックリカバリの時間値設定フローを示します。

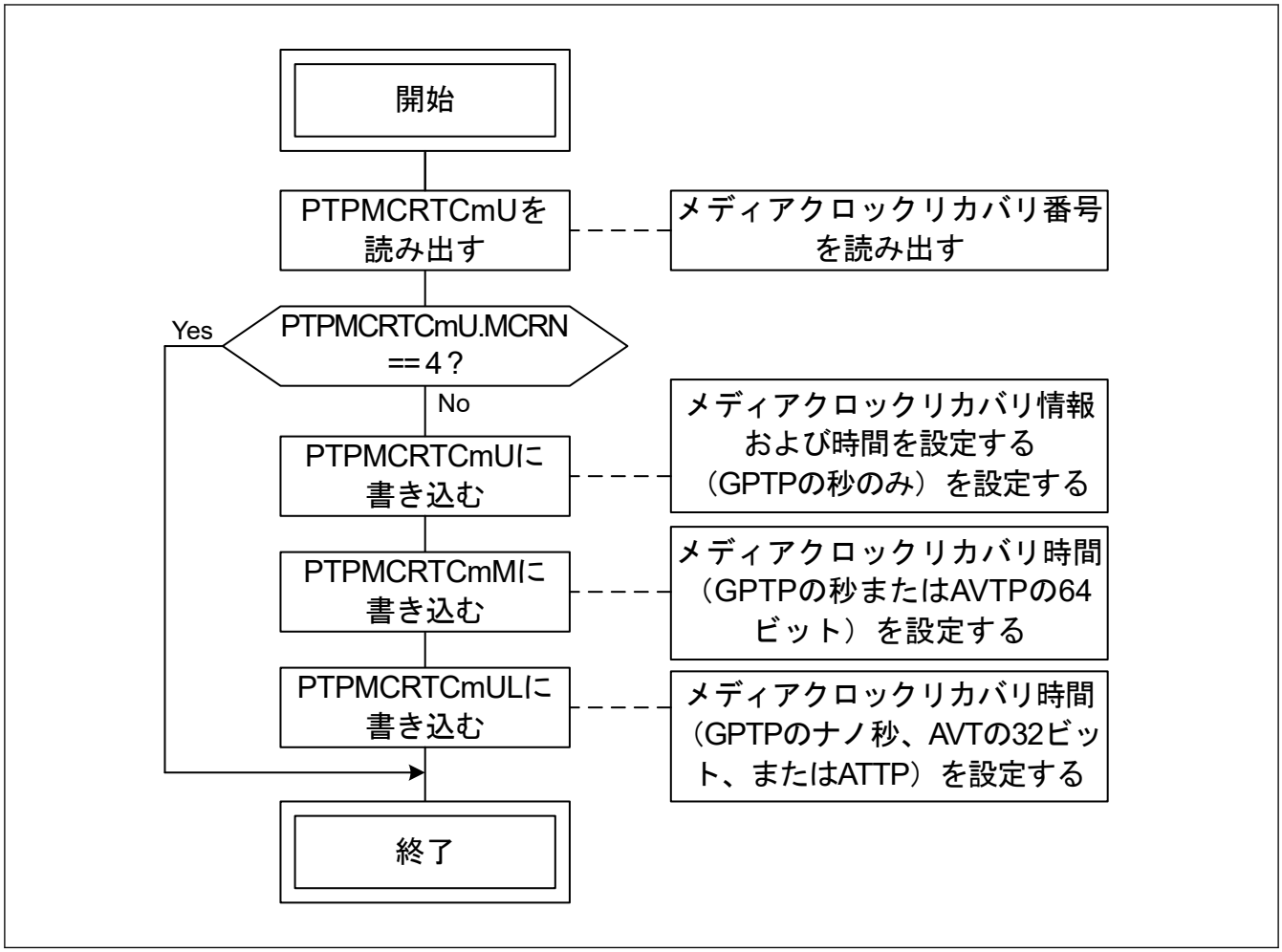


図 35.11　メディアクロックリカバリの時間値設定フロー

35.4.1.5.2　メディアクロックリカバリバッファのクリアフロー

図 35.12 に、メディアクロックリカバリバッファのクリアフローを示します。

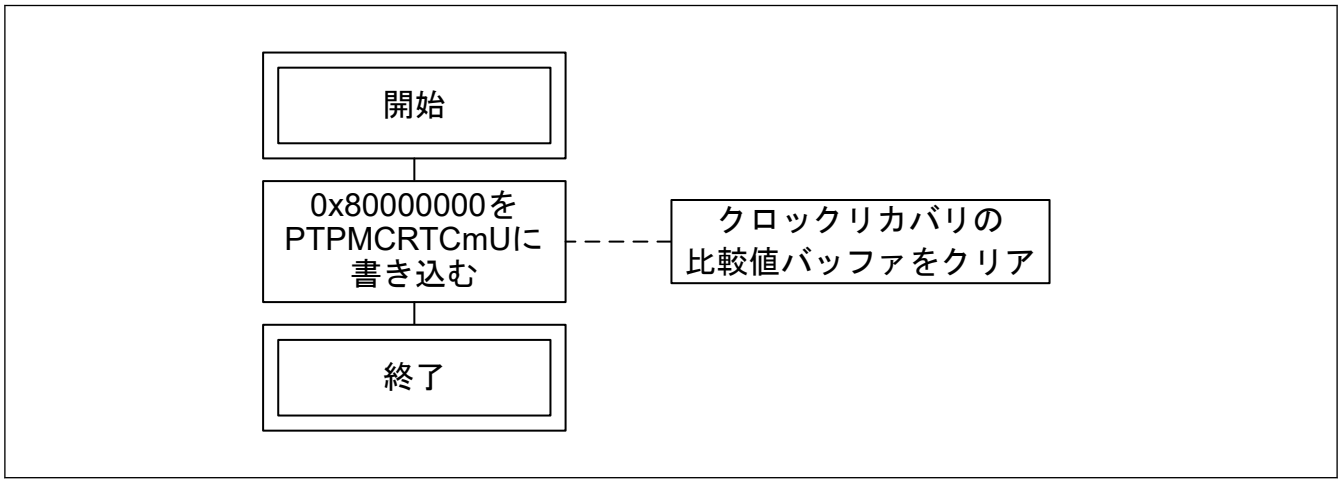


図 35.12　メディアクロックリカバリバッファのクリアフロー

35.4.1.5.3 メディアクロック m リカバリのソフトウェアフローなしで書き込み可能なレジスタ

表 35.6 は、ソフトウェアフローなしで書き込み可能なレジスタと、それらが書き込み可能なモードを示しています。

表 35.6 ソフトウェアフローなしで書き込み可能なレジスタ

（✓ = 書き込み可能、× = 書き込み不可）

レジスタ名	いつでも書き込み可能
PTPMCRCm	✓

35.4.1.6 周期的比較 c のフロー (c = 0～7)

本項では、周期的比較 c の設定と監視のフローについて説明します。

35.4.1.6.1 周期的比較 c のソフトウェアフローなしで書き込み可能なレジスタ

表 35.7 は、ソフトウェアフローなしで書き込み可能なレジスタと、それらが書き込み可能なモードを示しています。

表 35.7 ソフトウェアフローなしで書き込み可能なレジスタ

（✓ = 書き込み可能、× = 書き込み不可）

レジスタ名	いつでも書き込み可能
PTPCCCc0	✓
PTPCCCc1	✓

35.4.1.7 ソフトウェアフローなしで書き込み可能なレジスタ

本項では、これまでに説明していないレジスタについて説明します。これらのレジスタは動的に変更できます。ただし、クロック許可などの初期設定は完了する必要があります。

35.5 機能説明

35.5.1 タイマ t (t = 0, 1) [gPTP]

各タイマインスタンスでは、3 つのタイマを利用できます。

- GPTP タイマ
- 64 ビット AVTP タイマ
- 32 ビット AVTP タイマ。

35.5.1.1 GPTP タイマ t

GPTP タイマ t の GPTP[t]は、PTPTMEC.TE を 1 に設定することで有効にできます。有効な場合、GPTP タイマ t が式 (1) を使用してその値を自動的に計算します。

(1) gptpTimer[t] = TimerOffset[t] + FreeRunningTimerValue[t]

ここで、

- gptpTimer[t]は、算出されたタイマ値 GPTP[t]であり、2 つの部分に分けられます。秒部分 gptpSecond[t]は GPTP[t][77:30]であり、ナノ秒部分 gptpNano[t]は GPTP[t][29:0]です。
- TimerOffset[t]は{PTPTOVCtU.TOVU, PTPTOVCtM.TOVM, PTPTOVCtL.TOVL}
- FreeRunningTimerValue[t]は、0（タイマが無効なとき）から始まり、1 サイクルごとに PTPTIVCt.TIV ずつインクリメントされるフリーランニングタイマの値です（フリーランニングタイマにはここに記載されていない 27 ビットのナノ秒未満の部分があるため、clk_period[ns] × 2^{27}（ここで、clk_period はクロック (clk) 周期）に設定する必要があります）。

機能：

- GPTP タイマ t がマスタの場合、PTPTIVCt.TIV および{PTPTOVCtU.TOVU, PTPTOVCtM.TOVM, PTPTOVCtL.TOVL}レジスタを固定値のままにすることができます。
- GPTP タイマ t がスレーブの場合、PTPTIVCt.TIV レジスタを時間の再同期のために優先して使用できます。GPTP タイマ t が対応するマスタ値を超えている場合、{PTPTOVCtU.TOVU, PTPTOVCtM.TOVM, PTPTOVCtL.TOVL}レジスタを時間の再同期のために使用できます。

35.5.1.2 64 ビット AVTP タイマ t

64 ビット AVTP タイマ t の AVTP64[t]は、必要なメディアクロックを同期したり、時間的制約のあるアプリケーションにストリームのペイロードを提示するタイミングを決定したりするための基準として使用します。メディアクロックはオーディオ／ビデオの種類によって異なるため、AVTP 提示時間の正確な使用法はメディア形式に依存します[1722]。

64 ビット AVTP タイマ t は、GPTP タイマ t から生成され、式 (2) を使用して計算できます。

(2) $avtpTimer64[t] = (gptpSecond[t] \times 10^9 + gptpNano[t]) \bmod 2^{64}$

ここで、

- avtpTimer64[t]は、算出されたタイマ値 AVTP64[t]です
- gptpSecond[t]は、gptpTimer[t]の秒部分である GPTP[t][77:30]です
- gptpNano[t]は、gptpTimer[t]のナノ秒部分である GPTP[t][29:0]です。

35.5.1.3 32 ビット AVTP タイマ t

32 ビット AVTP タイマ t の AVTP32[t]は、64 ビット AVTP タイマ t の 32 ビットバージョンであり、式 (3) を使用して計算できます。

(3) $avtpTimer32[t] = (gptpSecond[t] \times 10^9 + gptpNano[t]) \bmod 2^{32}$

ここで、

- avtpTimer32[t]は、計算されたタイマ値 AVTP32[t] (AVTP64[t][31:0]) です
- gptpSecond[t]は、gptpTimer[t]の秒部分である GPTP[t][77:30]です
- gptpNano[t]は、gptpTimer[t]のナノ秒部分である GPTP[t][29:0]です。

35.5.1.4 PPS 信号 t

PPS[t]信号は、GPTP 同期が正常に行われたかどうかを確認するために使用します。GPTP 規格[PTP]に従って、PPS[t]信号をチップレベルの端子として出力し、オシロスコープでの同期チェックを可能にする必要があります。PPS[t]は、タイマ番号 t に対応する PPS 信号です。PPS 信号の詳細は、GPTP 規格[gPTP]を参照してください。

35.5.2 メディアクロック m キャプチャ (m = 0, 1)

メディアクロック m キャプチャは、MEDIA_IN[m]のポジティブエッジやネガティブエッジでタイマ値をキャプチャすることを目的としています。

機能：

- PTPMCCCm.MCPEE は、MEDIA_IN[m]ポジティブエッジでのタイマ値キャプチャを許可するために使用します。
- PTPMCCCm.MCNEE は、MEDIA_IN[m]ネガティブエッジでのタイマ値キャプチャを許可するために使用します。
- PTPMCCCm.MCTNS は、タイマ値キャプチャ用のタイマ番号を選択するために使用します。
- PTPMCCCm.MCTTS は、タイマ値キャプチャ用に GPTP タイマと AVTP タイマのどちらかを選択するために使用します。
- PTPMCCMmL/mM/mU は、キャプチャされたタイマ値の読み出しに使用します。
- PTPIS0.MCCSn 割り込みは、タイマ値がキャプチャされたことを CPU に信号で通知するために使用します。
- PTPIS0.MCCOESn 割り込みは、タイマキャプチャ値の FIFO がフルのためにキャプチャされたタイマ値が失われたことを CPU に信号で通知するために使用します。

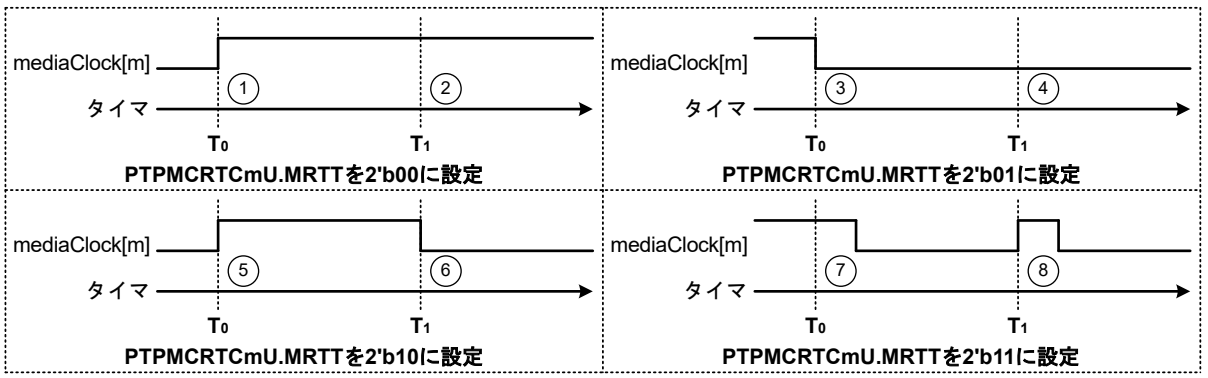
35.5.3 メディアクロック m リカバリ (m = 0, 1)

メディアクロック m リカバリは、出力端子にマッピングできる内部クロック mediaClock[m]の作成を目的としています（「35.5.4. 出力端子へのメディアクロック m のマッピング」を参照）。

機能：

- PTPMCRCm.MRTNS は、クロックリカバリ用のタイマ番号の選択に使用します。
- PTPMCRCm.MRTTS は、クロックリカバリ用に GPTP タイマと AVTP タイマのどちらかを選択するために使用します。
- PTPMCRCm.MRAMS は、PTPMCRCm.MRTTS が AVTP タイマに設定されているときに、クロックリカバリ用に 32 ビット AVTP タイマと 64 ビット AVTP タイマのどちらかを選択するために使用します。
- PTPMCRCmL/mM/mU は、実行するタイマ値とコマンドを mediaClock[m]に追加するために使用します。
- PTPIS0.MCRMS[m]割り込みは、一致しなかったが PTPMCRCmL/mM/mU に設定されている最も古いタイマ値が、選択したタイマと一致したため、mediaClock[m]値が更新されていることを CPU に信号で通知するために使用します。

図 35.13 に、タイマ値が一致したときの、タイマ値の種類の設定と mediaClock[m]の初期値に応じた mediaClock[m]の動作を示します。



①	mediaClock[m]が設定されていないときに、設定されたエントリを、タイマT0で一致した**PTPMCRTCmU.MRTT**（2'b00に設定）と比較します。 mediaClock[m]が設定されます。
②	mediaClock[m]が設定されているときに、設定されたエントリを、タイマT1で一致した**PTPMCRTCmU.MRTT**（2'b00に設定）と比較します。 mediaClock[m]は設定されたままです。
③	mediaClock[m]が設定されているときに、設定されたエントリを、タイマ0で一致した**PTPMCRTCmU.MRTT**（2'b01に設定）と比較します。 mediaClock[m]がクリアされます。
④	mediaClock[m]が設定されていないときに、設定されたエントリを、タイマT1で一致した**PTPMCRTCmU.MRTT**（2'b01に設定）と比較します。 mediaClock[m]がクリアされます。
⑤	mediaClock[m]が設定されていないときに、設定されたエントリを、タイマ0で一致した**PTPMCRTCmU.MRTT**（2'b10に設定）と比較します。 mediaClock[m]が反転します。
⑥	mediaClock[m]が設定されているときに、設定されたエントリを、タイマT0で一致した**PTPMCRTCmU.MRTT**（2'b10に設定）と比較します。 mediaClock[m]が反転します。
⑦	mediaClock[m]が設定されているときに、設定されたエントリを、タイマT0で一致した**PTPMCRTCmU.MRTT**（2'b11に設定）と比較します。 mediaClock[m]は、**PTPMCRCm.MRPL** +1クロックサイクルの間設定されたままです。
⑧	mediaClock[m]が設定されていないときに、設定されたエントリを、タイマT0で一致した**PTPMCRTCmU.MRTT**（2'b11に設定）と比較します。 mediaClock[m]が、**PTPMCRCm.MRPL** +1クロックサイクルの間設定されます。

図 35.13 mediaClock[m]の動作

注. PTPMCRTCmU.MRTT が 2'b11 に設定されているエントリにタイマが一致し、mediaClock[m]のデアサート前に次の一致が発生すると、mediaClock[m]のデアサートコマンドが上書きされ、実行されません。

35.5.4 出力端子へのメディアクロック m のマッピング

メディアクロック m リカバリ（「35.5.3. メディアクロック m リカバリ (m = 0, 1)」）によって生成された mediaClock[m]信号は、チップ内で使用するために、またはチップ端子として使用するために出力できます。

機能：

- PTPMCPCm.PE を 1 に設定し、PTPMCPCm.MRS を m に設定すると、mediaClock[m]信号が MEDIA_OUT[p]出力端子に割り当てられます。

35.5.5 周期的比較 c (c = 0～7)

周期的比較 c は、CYCLIC_COMP[i][c] (i = 0, 1) インタフェース上でパルスを周期的に作ってイベントを発生させることを目的としています。これは、たとえば、GPTP 同期のための周期的なデータ送信（ネットワーク制御フレーム送信）を発生させるために使用できます。

機能：

- PTPCCCc0.CCTNS は、周期的比較用のタイマ番号を選択するために使用します。周期的比較中は、タイマオフセットが無視され、インクリメント値のみが考慮されます。
- PTPCCCc1.CCV は、周期的比較を有効にするために使用します。周期的比較が有効な場合、パルスが PTPCCCc1.CCV ごとに CYCLIC_COMP[PTPCCCc0.CCOPS][c]に送信されます。
- この機能が有効になっている場合（PTPCCCc1.CCV の設定が 32 よりも大きい値に更新された場合）、PTPCCCc1.CCV の設定を問わず、コンパレータ c による最初にパルスがただちに（1 システムクロック後に）出力されます。

35.6 パルス出力タイマモジュール (plsotim)

35.6.1 plsotim の概要

パルス出力タイマモジュール (plsotim) は gPTP のサブモジュールで、gPTP タイマの基本周期に従ってパルス出力を生成します。

表 35.8 に plsotim の仕様を示します。

表 35.8 plsotim の仕様

項目	機能	説明
全体としての機能	パルスジェネレータ	• パルス生成タイマ、パルス出力、および割り込み出力
データプロビジョン		• パルス出力チャネル：4 チャネル パルス周期：80 ビット（[79:32] = 秒および[31:0] = ナノ秒） パルス幅：20 ビット（[19:0] = カウンタ） • 割り込み出力チャネル：4 チャネル。
機能	PTP タイマ選択	• 基準時間として使用する PTP タイマを選択可能
	PTP_PULSE_GEN	• GPTP タイマの基準時間を使用して、任意の周期とパルス幅のパルス出力を生成
	割り込みパルス出力	• パルス出力の立ち上がりエッジを検出し、割り込みパルスを出力

35.6.2 plsotim レジスタの一覧

表 35.9 plsotim レジスタ (1/2)

オフセットアドレス	レジスタ名	レジスタシンボル	ライトアクセスモード
0x1000	パルス出力タイマコンフィグレーションレジスタ	POTCFGR	—
0x1004 + 0x30 × n	パルス出力タイマコントロールレジスタ n (n = 0～3)	POTCRn	—
0x1008 + 0x30 × n	パルス出力開始時間設定レジスタ nU (n = 0～3)	POTSTRnU	—
0x100C + 0x30 × n	パルス出力開始時間設定レジスタ nM (n = 0～3)	POTSTRnM	—
0x1010 + 0x30 × n	パルス出力開始時間設定レジスタ nL (n = 0～3)	POTSTRnL	—
0x1014 + 0x30 × n	周期設定レジスタ nU (n = 0～3)	POTPERnU	—
0x1018 + 0x30 × n	周期設定レジスタ nM (n = 0～3)	POTPERnM	—
0x101C + 0x30 × n	周期設定レジスタ nL (n = 0～3)	POTPERnL	—
0x1020 + 0x30 × n	パルス幅設定レジスタ n (n = 0～3)	POTPWRn	—
0x1028 + 0x30 × n	時間キャプチャレジスタ nU (n = 0～3)	POTCPRnU	—

表 35.9 plsotim レジスタ (2/2)

オフセットアドレス	レジスタ名	レジスタシンボル	ライトアクセスモード
0x102C + 0x30 × n	時間キャプチャレジスタ nM (n = 0～3)	POTCPRnM	—
0x1030 + 0x30 × n	時間キャプチャレジスタ nL (n = 0～3)	POTCPRnL	—

注. ベースアドレス：GPTP = 0x403E_0000, GPTP_NS = 0x503E_0000

35.6.3 plsotim レジスタの説明

35.6.3.1 POTCFGR : パルス出力タイマコンフィグレーションレジスタ

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x1000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	REFSEL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	REFSEL	基準タイマ選択 0: GPTP タイマ 0 の基準時間を選択して使用 1: GPTP タイマ 1 の基準時間を選択して使用	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.6.3.2 POTCRn : パルス出力タイマコントロールレジスタ n (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x1004 + 0x30 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

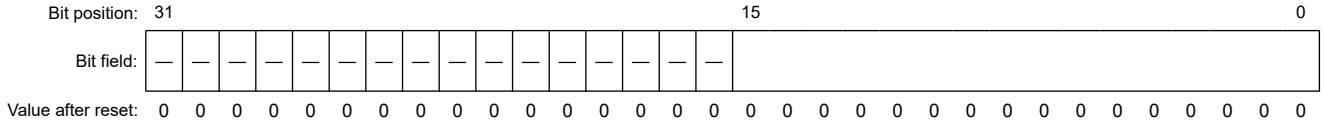
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	START
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	START	パルス出力許可 このレジスタが 1 になると、パルス生成レジスタの設定値を取り込んで、パルス生成が行われます。0 にすると、パルスは出力されません。パルス出力中に 0 を書き込むと、パルス出力が停止します（0 出力）。 0: パルス出力停止 1: パルス出力許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.6.3.3 POTSTRnU : パルス出力開始時間設定レジスタ nU (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x1008 + 0x30 × n

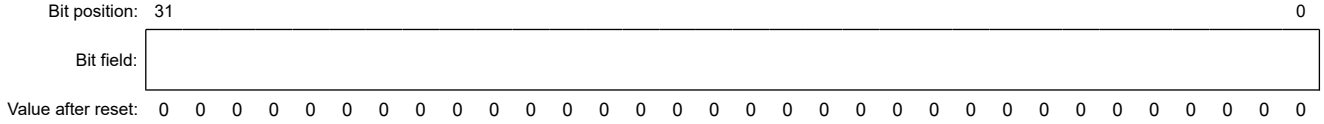


ビット	シンボル	機能	R/W
15:0	n/a	パルス出力開始時間の秒数（上位 16 ビット）。 機能: ● パルス出力を開始する時間（秒）の下位 16 ビットを設定します ● GPTP タイマの基準時間との比較に使用します。 有効な値: ● パルス出力を生成するレジスタ値は、POTCRn.START ビットが 0 から 1 に変わるときの値を使用します ● POTCRn.START ビットが 1 になった後にレジスタ値が変わっても、パルス生成には反映されません。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.6.3.4 POTSTRnM : パルス出力開始時間設定レジスタ nM (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x100C + 0x30 × n

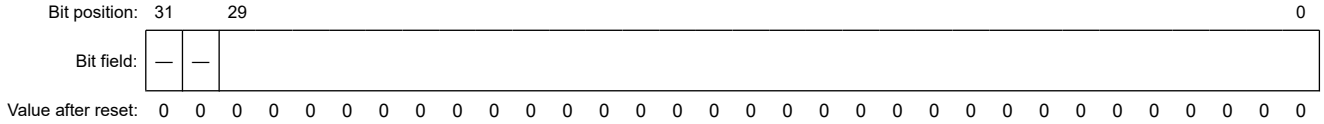


ビット	シンボル	機能	R/W
31:0	n/a	パルス出力開始時間の秒数（上位 32 ビット）。 機能: ● パルス出力を開始する時間（秒）の下位 32 ビットを設定します ● GPTP タイマの基準時間との比較に使用します。 有効な値: ● パルス出力を生成するレジスタ値は、POTCRn.START ビットが 0 から 1 に変わるときの値を使用します ● POTCRn.START ビットが 1 になった後にレジスタ値が変わっても、パルス生成には反映されません。	R/W

35.6.3.5 POTSTRnL : パルス出力開始時間設定レジスタ nL (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x1010 + 0x30 × n



ビット	シンボル	機能	R/W
29:0	n/a	パルス出力開始時間のナノ秒数（29 ビット）。 機能: ● パルス出力を開始する時間のナノ秒数を設定します。 ● GPTP タイマの基準時間との比較に使用します。 有効な値: ● パルス出力を生成するレジスタ値は、POTCRn.START ビットが 0 から 1 に変わるときの値を使用します ● POTCRn.START ビットが 1 になった後にレジスタ値が変わっても、パルス生成には反映されません。 制約事項: ● 0～0x3B9AC9FF の値を設定してください。 0x3B9ACA00 は 1 秒であるため、秒レジスタを使用して設定します。	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.6.3.6 POTPERnU : 周期設定レジスタ nU (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x1014 + 0x30 × n

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	パルス出力周期の秒数（上位 16 ビット）。 機能: ● パルス出力を開始する時間（秒）の下位 16 ビットを設定します。 ● 次に比較される開始時間の基準時間を計算します。 有効な値: ● パルス出力を生成するレジスタ値は、POTCRn.START ビットが 0 から 1 に変わるときの値を使用します ● POTCRn.START ビットが 1 になった後にレジスタ値が変わっても、パルス生成には反映されません。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.6.3.7 POTPERnM : 周期設定レジスタ nM (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x1018 + 0x30 × n

Bit position:	31																													0
Bit field:																														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	パルス出力周期の秒数（上位 32 ビット）。 機能: ● パルス出力の周期（秒数）の下位 32 ビットを設定します ● 次に比較される開始時間の基準時間を計算します。 有効な値: ● パルス出力を生成するレジスタ値は、POTCRn.START ビットが 0 から 1 に変わるときの値を使用します ● POTCRn.START ビットが 1 になった後にレジスタ値が変わっても、パルス生成には反映されません。	R/W

35.6.3.8 POTPERnL : 周期設定レジスタ nL (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x101C + 0x30 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—																														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
29:0	n/a	パルス出力周期のナノ秒数（30 ビット）。 機能: ● パルス出力周期のナノ秒数を設定します ● 次に比較される開始時間の基準時間を計算します。 有効な値: ● パルス出力を生成するレジスタ値は、POTCRn.START ビットが 0 から 1 に変わるときの値を使用します ● POTCRn.START ビットが 1 になった後にレジスタ値が変わっても、パルス生成には反映されません ● 読み出すときは、書き込み値の読み出しが可能です。 制約事項: ● 0～0x3B9AC9FF の値を設定してください。 0x3B9ACA00 は 1 秒であるため、秒レジスタを使用して設定します。	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.6.3.9 POTPWRn : パルス幅設定レジスタ n (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x1020 + 0x30 × n

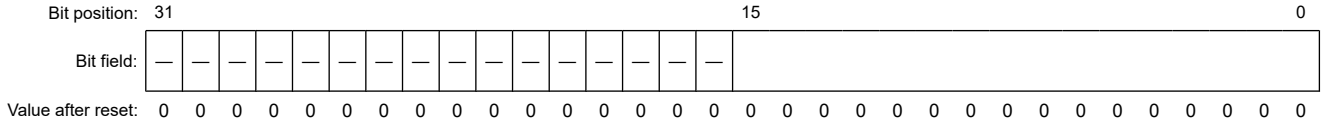
Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	パルス出力の High レベルパルス幅のカウント数。 機能: ● High レベルパルス幅のカウント数を設定します ● カウントは、パルス出力の開始から始まります ● High レベルパルス幅の時間は、クロック周期によって異なります。 有効な値: ● パルス出力を生成するレジスタ値は、POTCRn.START ビットが 0 から 1 に変わるときの値を使用します ● POTCRn.START ビットが 1 になった後にレジスタ値が変わっても、パルス生成には反映されません。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.6.3.10 POTCPRnU : 時間キャプチャレジスタ nU (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x1028 + 0x30 × n

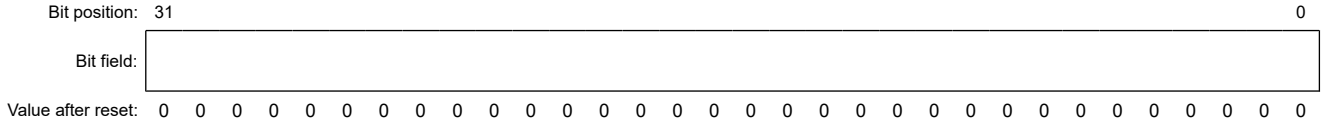


ビット	シンボル	機能	R/W
15:0	n/a	パルス出力開始時間を表す秒部分の上位 16 ビット値。	R
31:16	—	読むと 0 が読めます。	R

35.6.3.11 POTCPRnM : 時間キャプチャレジスタ nM (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x102C + 0x30 × n

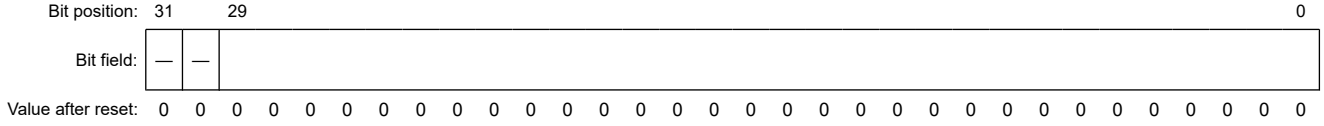


ビット	シンボル	機能	R/W
31:0	n/a	パルス出力開始時間を表す秒部分の下位 32 ビット値。	R

35.6.3.12 POTCPRnL : 時間キャプチャレジスタ nL (n = 0～3)

Base address: GPTP = 0x403E_0000
GPTP_NS = 0x503E_0000

Offset address: 0x1030 + 0x30 × n



ビット	シンボル	機能	R/W
29:0	n/a	パルス出力開始時間を表すナノ秒値。	R
31:30	—	読むと 0 が読めます。	R

35.6.4 plsotim の動作

35.6.4.1 パルス出力タイマの動作設定

図 35.14 に、パルス出力タイマ n の動作設定フローを示します。

図 35.14　パルス出力タイマの動作設定フロー

35.6.4.2　パルス出力タイマ n (n = 0～3)

このモジュールでは、GPTP タイマの基準時間を使用して、任意の周期とパルス幅のパルス出力を生成します。

35.6.4.2.1　GPTP タイマ選択

使用される基準時間の GPTP タイマを選択するには、POTCFGR レジスタを設定します。

POTCFGR.REFSEL ビットの設定値：

0：GPTP タイマ 0 の基準時間を使用してパルス出力を生成します。

1：GPTP タイマ 1 の基準時間を使用してパルス出力を生成します。

機能：

- パルス生成に使用される基準時間は、POTCFGR レジスタを設定することで選択できます
- POTCFGR.REFSEL = 0 の場合：GPTP タイマ 0 の時間入力信号を使用してパルスを生成します
- POTCFGR.RFGSEL = 1 の場合：GPTP タイマ 1 の時間入力信号を使用してパルスを生成します
- POTCFGR レジスタを変更するときは、変更前にパルス出力を停止してください (POTCRn.START = 0)。

35.6.4.2.2　パルス出力生成レジスタ

以下のレジスタを設定すると、任意の開始時間、任意の周期、および任意の H パルス幅でパルスを生成できます。

- パルス出力開始時間レジスタ： POTSTRnU, POTSTRnM, POTSTRnL
- パルス出力周期レジスタ： POTPERnU, POTPERnM, POTPERnL
- パルス出力 H 幅レジスタ：POTPWRn。

パルス出力の H 幅レジスタが 0 のときは、パルスが生成されないため、L 出力が固定されます。

パルス出力周期をパルス出力の H 幅の時間以下に設定した場合は、H 出力が固定されます。

35.6.4.2.3 パルス出力の生成

POTCRn.START ビットを 0 から 1 に変更すると、パルス出力生成レジスタの値がキャプチャされ保持されます。
保持されたパルス出力生成の設定値に従ってパルスが生成されます。
出力されるパルスは以下のとおりです。
最初のパルスの立ち上がり：
パルス出力 H 幅レジスタ≠0：設定された開始時間に H になります。
パルス出力 H 幅レジスタ = 0：L 出力のままです（パルス出力はありません）。
パルスの立ち下がり：
パルス出力周期レジスタ値 > パルス出力の H 幅レジスタ値 × clk サイクル。
出力が H になった後にクロック (clk) 数が H 幅レジスタ値の量でカウントされると、出力は L になります。
パルス出力周期レジスタ値 ≦ パルス出力の H 幅レジスタ値 × clk サイクル。
出力は H のままです（POTCRn.START ビットが 0 に設定されるまで、H 出力が固定されます）。
2 回目以降の立ち上がり：
H 幅レジスタが 0 以外で、パルス出力周期 > H 幅レジスタ値 × clk サイクルの場合。
前の開始時間 + パルス出力周期レジスタ値の時点で出力が H になります。

35.6.4.2.4 パルス出力の停止

パルス出力を停止するには、POTCRn.START ビットを 0 にします。
停止すると、出力が L に固定されます。
POTCRn.START ビットを再度 1 にすると、レジスタの設定値が取り込まれて保持され、新しいパルスが生成されて出力されます。

注. パルス出力が途中で停止されても、再開されません。新しいパルスが生成され、出力されます。

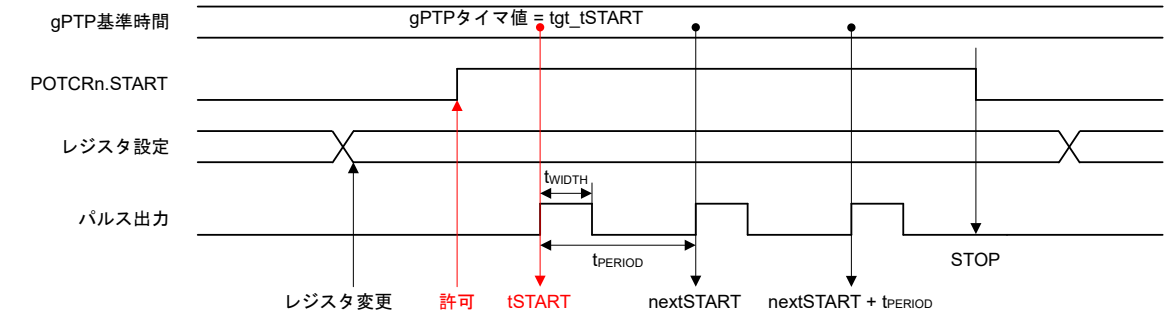
35.6.4.2.5 パルス出力許可のタイミング

設定されたパルス出力開始時間後に POTCRn.START ビットが 0 から 1 に変わると、パルス出力は行われません。
基準時間が 1 周し、開始時間に再度到達した時点からパルスが出力されます。

35.6.4.3 パルス出力のタイミング図

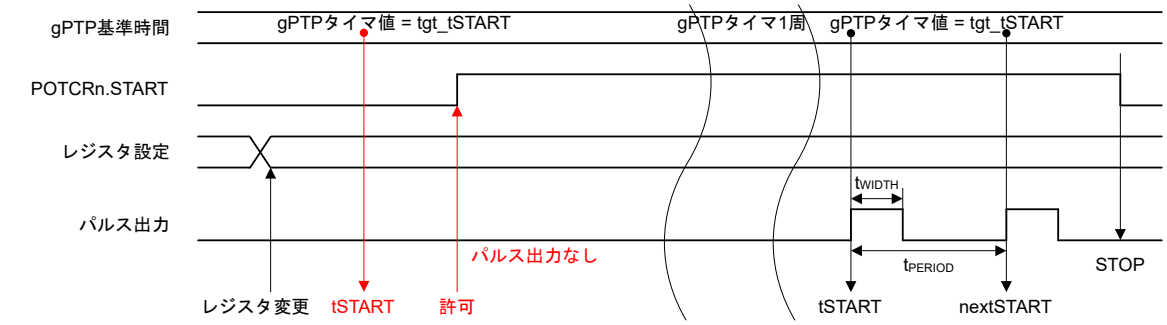
以下のタイミング図に、パルス出力の 6 つの例を示します。

1. 図 35.15 レジスタの設定後で開始時間の前に POTCRn.START ビットを 0 から 1 に変更した場合
2. 図 35.16 レジスタの設定後で開始時間の後に POTCRn.START ビットを 0 から 1 に変更した場合
3. 図 35.17 パルス出力 H 幅レジスタ ≧ パルス出力周期の設定によって POTCRn.START ビットを 0 から 1 に変更した場合
4. 図 35.18 パルス出力 H 幅レジスタ = 0 の状態で POTCRn.START ビットを 0 から 1 に変更した場合
5. 図 35.19 POTCRn.START ビットが 0 に設定されているときにパルス出力を停止した場合
6. 図 35.20 POTCRn.START ビットが 1 に設定されているときにレジスタ設定を変更した場合.



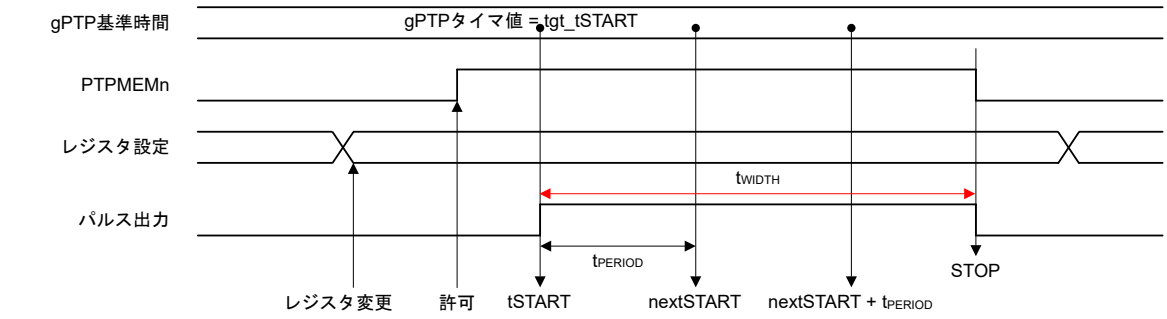
注： tgt_tSTART = 初回：{POTSTRnU, POTSTRnM, POTSTRnL}、それ以降（nextSTART以降）：{tgt_tSTART + t_{PERIOD}}
t_{PERIOD} = {POTPERnU, POTPERnM, POTPERnL}
t_{WIDTH} = {POTPWRn}

図 35.15 レジスタの設定後で開始時間の前に POTCRn.START ビットを 0 から 1 に変更した場合



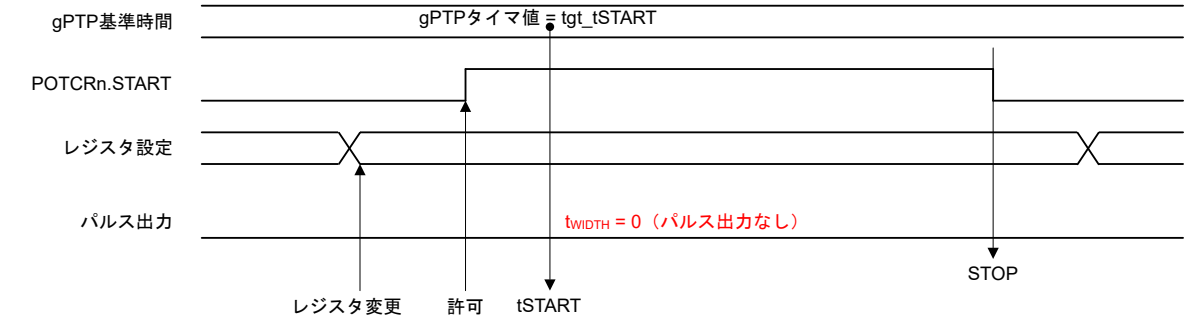
注： tgt_tSTART = 初回：{POTSTRnU, POTSTRnM, POTSTRnL}、それ以降（nextSTART以降）：{tgt_tSTART + t_{PERIOD}}
t_{PERIOD} = {POTPERnU, POTPERnM, POTPERnL}
t_{WIDTH} = {POTPWRn}

図 35.16 レジスタの設定後で開始時間の後に POTCRn.START ビットを 0 から 1 に変更した場合



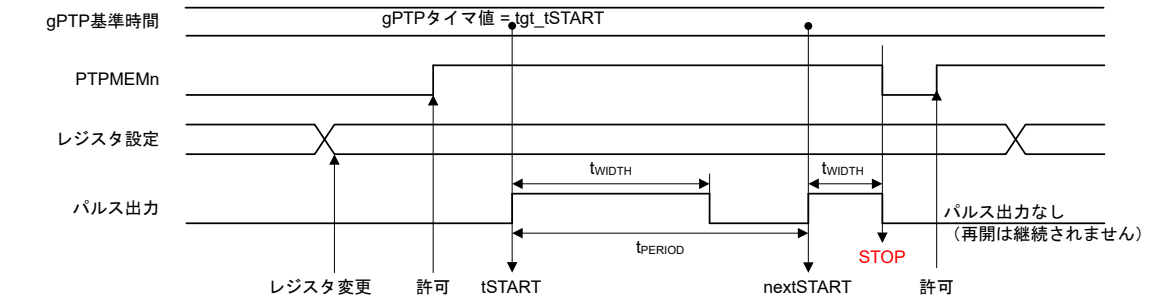
注： tgt_tSTART = 初回：{POTSTRnU, POTSTRnM, POTSTRnL}、それ以降（nextSTART以降）：{tgt_tSTART + t_{PERIOD}}
t_{PERIOD} = {POTPERnU, POTPERnM, POTPERnL}
t_{WIDTH} = {POTPWRn}

図 35.17 パルス出力 H 幅レジスタ ≧ パルス出力周期の設定によって POTCRn.START ビットを 0 から 1 に変更した場合



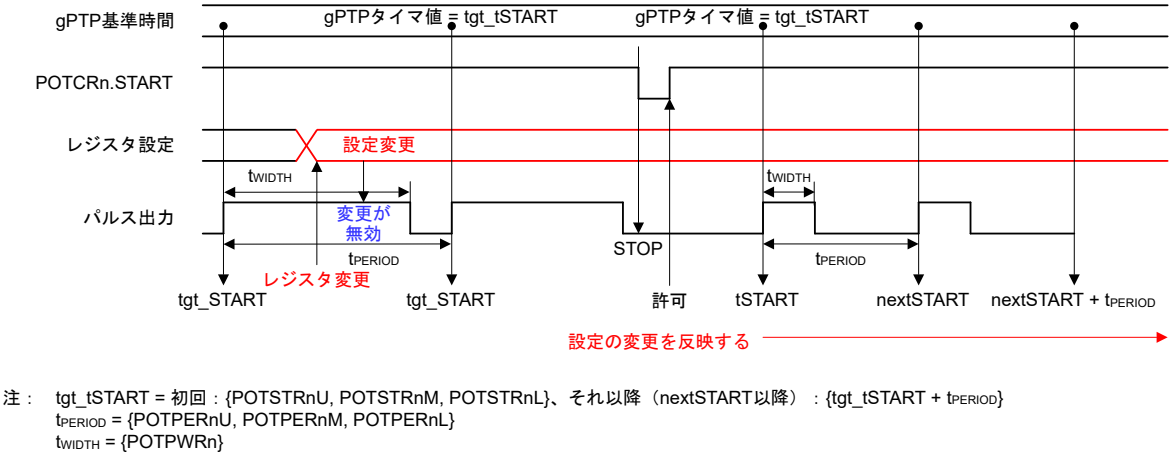
注： tSTART = {POTSTRnU, POTSTRnM, POTSTRnL} = 任意の値
t_{PERIOD} = {POTPERnU, POTPERnM, POTPERnL} = 任意の値
t_{WIDTH} = {POTPWRn} = 0
nextSTART = 計算不可

図 35.18　パルス出力 H 幅レジスタ = 0 の状態で POTCRn.START ビットを 0 から 1 に変更した場合



注： tgt_tSTART = 初回：{POTSTRnU, POTSTRnM, POTSTRnL}、それ以降（nextSTART以降）：{tgt_tSTART + t_{PERIOD}}
t_{PERIOD} = {POTPERnU, POTPERnM, POTPERnL}
t_{WIDTH} = {POTPWRn}

図 35.19　POTCRn.START ビットが 0 に設定されているときにパルス出力を停止した場合



注： tgt_tSTART = 初回：{POTSTRnU, POTSTRnM, POTSTRnL}、それ以降（nextSTART以降）：{tgt_tSTART + t_{PERIOD}}
t_{PERIOD} = {POTPERnU, POTPERnM, POTPERnL}
t_{WIDTH} = {POTPWRn}

図 35.20　POTCRn.START ビットが 1 に設定されているときにレジスタ設定を変更した場合

35.6.5　割り込み出力

割り込み出力は、パルス出力の立ち上がりエッジを検出し、PCLK と同期した割り込み信号を出力します。

割り込み出力には 4 つのチャネルがあり、各パルス出力チャネルに対応する割り込み信号が出力されます。割り込み信号の出力は、PCLK の 1 サイクル幅で H になります。

図 35.21 に、割り込み出力のタイミング図を示します。

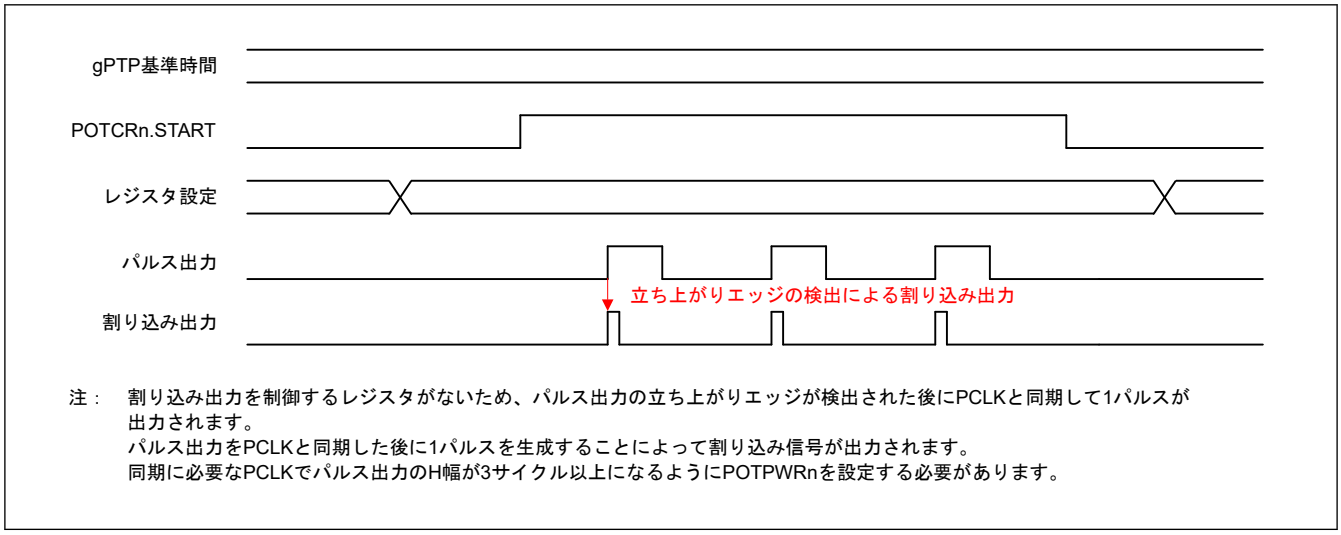


図 35.21 パルス出力の立ち上がりエッジを検出し、PCLK と同期した 1 パルスを出力する

35.6.6 注意事項

35.6.6.1 レジスタ設定

POTCFGR レジスタは、停止中か動作中かにかかわらず、設定が変わるとすぐに GPTP タイマの選択を切り替えます。

動作中に設定を変更するときは注意してください。

35.6.7 制約事項（既知の問題を含む）

35.6.7.1 レジスタ設定

以下のレジスタは、設定値の制限範囲内で設定する必要があります。

- POTSTRnL, POTPERnL：0～0x3B9AC9FF の範囲の値を設定します。
  0x3B9ACA00 は 1 秒であるため、1 秒以上の場合は、秒単位でレジスタに反映させて設定します。
- POTPWRn：0 以外の設定値の場合、PCLK サイクルの 3 サイクル以上の時間に設定します。
  割り込み出力信号の生成に必要な時間を設定します。

36. USB2.0 フルスピードモジュール (USBFS)

36.1 概要

USB 2.0 フルスピードモジュール (USBFS) は、USB (Universal Serial Bus) 2.0 規格に準拠したホストコントローラまたはデバイスコントローラとして動作します。ホストコントローラは USB 2.0 フルスピード転送とロースピード転送に対応し、デバイスコントローラは USB 2.0 フルスピード転送に対応しています。また、USBFS は USB トランシーバを内蔵し、USB 2.0 規格で定義されている全転送タイプに対応しています。

USBFS はデータ転送用に FIFO バッファを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1～9 に対しては、周辺デバイスやユーザーシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

表 36.1 に USBFS の仕様を、図 36.1 にそのブロック図を、表 36.2 に入出力端子を示します。

表 36.1 USBFS の仕様

パラメータ	仕様
機能	• ホストコントローラ、デバイスコントローラ、OTG (On-The-Go) 機能に対応した UDC (USB Device Controller) および USB2.0 トランシーバ • ホストコントローラとデバイスコントローラはソフトウェアで切り替え可能 • セルフパワーモードまたはバスパワーモードの選択が可能
	ホストコントローラの特長 • フルスピード転送 (12 Mbps) およびロースピード転送 (1.5 Mbps) • SOF およびパケット送信のスケジュールを自動化 • アイソクロナス転送およびインタラプト転送の転送インターバル設定機能 • 1 段のハブを経由して、複数の周辺デバイスと接続した通信が可能
	デバイスコントローラの特長 • フルスピード転送 (12 Mbps) (注1) • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完
対応する転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
パイプコンフィグレーション	• USB 通信用の FIFO バッファ • 最大 10 本のパイプを選択可能（デフォルトコントロールパイプ (DCP) を含む） • パイプ 1～9 は任意のエンドポイント番号を割り付け可能
	パイプごとに指定可能な転送条件 • パイプ 0: 64 バイトシングルバッファによるコントロール転送 • パイプ 1 と 2: 64 バイトダブルバッファのバルク転送または 256 バイトダブルバッファのアイソクロナス転送から選択可能 • パイプ 3～5: 64 バイトダブルバッファによるバルク転送 • パイプ 6～9: 64 バイトシングルバッファによるインタラプト転送
その他の機能	• トランザクションカウントによる受信終了機能 • BRDY 割り込みイベント通知タイミング変更機能 (BFRE) • DnFIFO ポート (n = 0, 1) で指定したパイプのデータを読み出した後に自動で FIFO バッファをクリアする機能 (DCLRM) • 転送終了による応答 PID の NAK 設定機能 (SHTNAK) • D+/D-ラインのプルアップ抵抗、プルダウン抵抗をチップに内蔵
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

注 1. ロースピード転送 (1.5 Mbps) は未対応です。

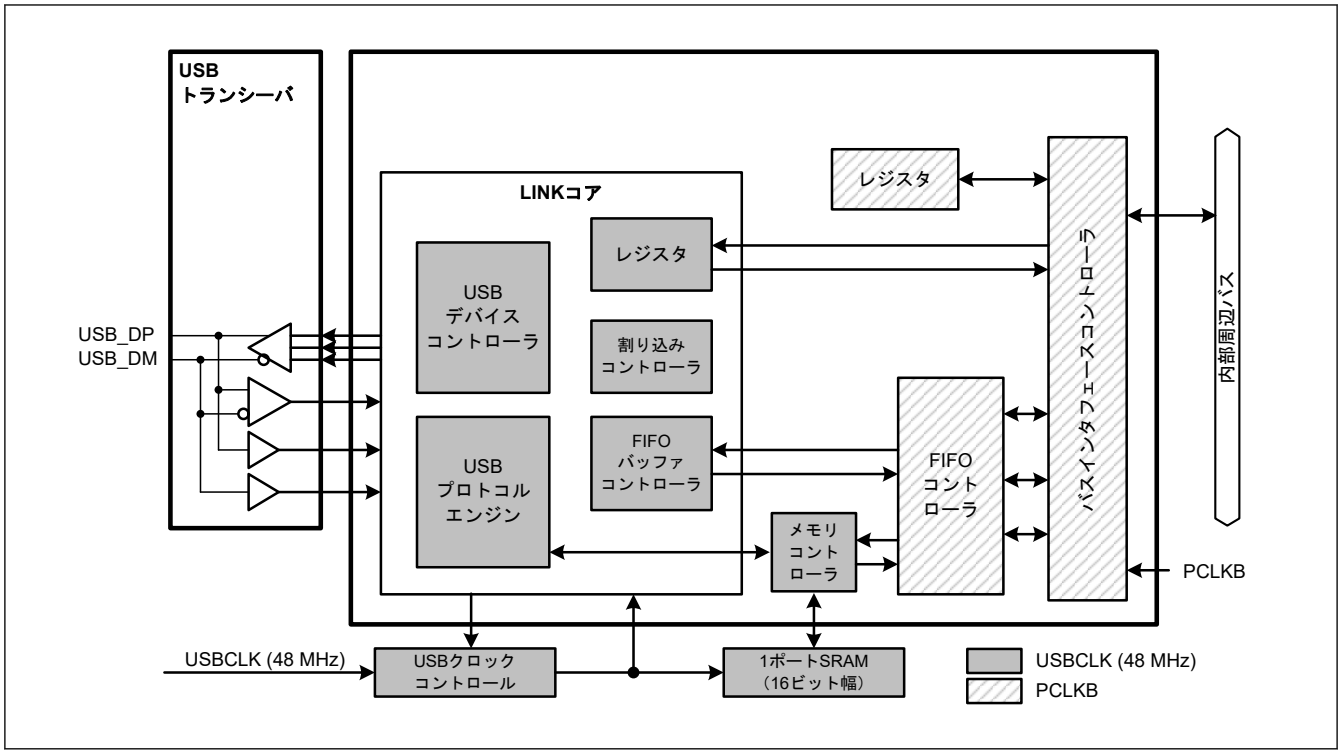


図 36.1　USBFS のブロック図

表 36.2　USBFS の端子構成

機能	端子名	入出力	機能
USBFS	USB_DP	入出力	USB 内蔵トランシーバ D+入出力端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-入出力端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出することができます。
	USB_EXICEN	出力	外部電源 (OTG) チップ用のローパワー制御信号
	USB_VBUSEN	出力	外部電源チップへの VBUS (5 V) 供給許可信号
	USB_OVRCURA、 USB_OVRCURB USB_OVRCURA-DS、 USB_OVRCURB-DS	入力	外部オーバーカレント検出信号を接続してください。OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください。 USB_OVRCURA 端子または USB_OVRCURB 端子は、ソフトウェアスタンバイモードまたは通常モードで使用可能です。USB_OVRCURA-DS 端子と USB_OVRCURB-DS 端子は、ディープソフトウェアスタンバイモード 1 の解除と同様に、ソフトウェアスタンバイモードまたは通常モードで割り込み発生可能な専用端子です。
	USB_ID	入力	OTG モードでの動作中、MicroAB コネクタ ID 入力信号は、この端子に接続されなければなりません。
	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子

36.2 レジスタの説明

36.2.1 SYSCFG : システムコンフィグレーションコントロールレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SCKE	—	—	—	DCFM	DRPD	DPRPU	—	—	—	USBE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USBE	USBFS 動作許可 0: 禁止 1: 許可	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DPRPU	D+ライン抵抗制御 0: ラインのプルアップは禁止 1: ラインのプルアップは許可	R/W
5	DRPD	D+/D-ライン抵抗制御 0: ラインのプルダウンは禁止 1: ラインのプルダウンは許可	R/W
6	DCFM	コントローラ機能選択 0: デバイスコントローラを選択 1: ホストコントローラを選択	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	SCKE	USB クロック許可 0: USBFS へのクロック供給を停止 1: USBFS へのクロック供給を許可	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. SCKE ビットに 1 を書き込んだ後、このビットを読み出して 1 になっていることを確認してください。

USBE ビット（USBFS 動作許可）

USBE ビットは USBFS の動作を許可または禁止します。

USBE ビットを 1 から 0 に変更したときに初期化されるビットを表 36.3 に示します。本ビットは、SCKE ビットが 1 のときにのみ変更してください。ホストコントローラモード時は、DRPD ビットを 1 にした後、SYSSTS0.LNST[1:0]フラグのチャタリング除去を行い、USB バスステートが安定したことを確認した後で、本ビットを 1 にしてください。

表 36.3 SYSCFG.USBE ビットへの 0 の書き込みにより初期化されるレジスタ

選択した機能	レジスタ	ビット	備考
デバイスコントローラ	SYSSTS0	LNST[1:0]	ホストコントローラモード時、値を保持
	DVSTCTR0	RHST[2:0]	—
	INTSTS0	DVSQ[2:0]	ホストコントローラモード時、値を保持
	USBADDR	USBADDR[6:0]	ホストコントローラモード時、値を保持
	USBREQ	BREQUEST[7:0]、BMREQUESTTYPE[7:0]	ホストコントローラモード時、値を保持
	USBVAL	WVALUE[15:0]	ホストコントローラモード時、値を保持
	USBINDX	WINDEX[15:0]	ホストコントローラモード時、値を保持
	USBLENG	WLENTUH[15:0]	ホストコントローラモード時、値を保持
ホストコントローラ	DVSTCTR0	RHST[2:0]	—
	FRMNUM	FRNM[10:0]	デバイスコントローラモード時、値を保持

DPRPU ビット（D+ライン抵抗制御）

DPRPU ビットはデバイスコントローラモードで、D+ラインのプルアップを許可または禁止します。

デバイスコントローラモードで、DPRPU ビットを 1 にすると、USBFS は D+ラインをプルアップし、USB ホストに対してアタッチされたことを通知します。DPRPU ビットを 1 から 0 に変更するとプルアップが解除され、USB ホストに対してデタッチされたことを通知します。

本ビットは、デバイスコントローラモードでは 1、ホストコントローラモードでは 0 にしてください。

DRPD ビット（D+/D-ライン抵抗制御）

DRPD ビットはホストコントローラモードで、D+/D-ラインのプルダウンを許可または禁止します。

本ビットは、ホストコントローラモードでは 1、デバイスコントローラモードでは 0 にしてください。

DCFM ビット（コントローラ機能選択）

DCFM ビットは USBFS の機能をホスト機能にするかデバイス機能にするかを選択します。

本ビットは、 DPRPU ビットおよび DRPD ビットの両方が 0 のときにのみ変更してください。

SCKE ビット（USB クロック許可）

SCKE ビットは USBFS への 48MHz クロック供給の停止／許可を指定します。

本ビットが 0 の場合、SYSCFG のみ読み出し／書き込みが可能です。他の USB 関連レジスタの読み出し／書き込みはしないでください。

36.2.2 SYSSTS0 : システムコンフィグレーションステータスレジスタ 0

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVCMON[1:0]		—	—	—	—	—	—	—	HTACT	SOFEA	—	—	IDMON	LNST[1:0]	
Value after reset:	x	x	0	0	0	0	0	0	0	0	0	0	0	x	0	0

ビット	シンボル	機能	R/W
1:0	LNST[1:0]	USB データラインステータスモニタ USB データラインのステータスを示します。表 36.4 を参照してください。	R
2	IDMON	外部 ID0 入力端子モニタ 0: USB_ID 端子が Low 1: USB_ID 端子が High	R

ビット	シンボル	機能	R/W
4:3	—	読むと 0 が読めます。	R
5	SOFEA	ホストコントローラモード選択時のアクティブモニタ 0: SOF 出力停止 1: SOF 出力動作	R
6	HTACT	USB ホストシーケンサステータスモニタ 0: ホストシーケンサが完全に停止している 1: ホストシーケンサが完全に停止していない	R
13:7	—	読むと 0 が読めます。	R
15:14	OVCMON[1:0]	外部 USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB 、USB_OVRCURB-DS 入力端子モニタ OVCMON[1]は、USB_OVRCURA 端子または USB_OVRCURA-DS 端子のステータスを示します。OVCMON[0]は、USB_OVRCURB 端子または USB_OVRCURB-DS 端子のステータスを示します。	R

注. S-TYPE-3, P-TYPE-3
注. OVCMON[1:0]ビットおよび IDMON ビットの値は、USB_OVRCURA 端子、USB_OVRCURA-DS 端子、USB_OVRCURB 端子、USB_OVRCURB-DS 端子、および USB_ID 端子のステータスに依存します。

LNST[1:0]ビット（USB データラインステータスモニタ）

LNST[1:0]ビットは USB データライン（D+および D-）のステータスを示します。詳細は、表 36.4 を参照してください。

デバイスコントローラモード時は、接続処理 (SYSCFG.DPRPU = 1) 以降に LNST[1:0]ビットを読み出してください。ホストコントローラモード時は、ラインのプルダウンの許可 (SYSCFG.DRPD = 1) 以降に本ビットを読み出してください。

表 36.4 USB データバスライン（D+および D-）のステータス

LNST[1:0]ビット	フルスピード動作時	ロースピード動作時
00b	SE0	SE0
01b	J-State	K-State
10b	K-State	J-State
11b	SE1	SE1

SOFEA ビット（ホストコントローラモード選択時のアクティブモニタ）

SOFEA ビットはホストコントローラモードで、DVSTCTR0.UACT ビットが 0 のために USBFS がサスペンド状態になった場合、最後の SOF 出力が完了したかどうかを確認するために使用します。

ホストコントローラモードで、SYSCFG.USBE ビットを 0 にして USBFS を停止する場合、または SYSCFG.SCKE ビットを 0 にして通信時のクロック信号供給を停止する場合は、事前に HTACT ビットと SOFEA ビットがどちらも 0 であることを確認してください。

HTACT ビット（USB ホストシーケンサステータスモニタ）

USBFS のホストシーケンサが完全に停止しているとき、HTACT ビットは 0 になります。

ホストコントローラモードで、DVSTCTR0.UACT ビットを 0 にして USBFS をサスペンド状態にする場合、または SYSCFG.SCKE ビットを 0 にして通信時のクロック信号供給を停止する場合は、事前に HTACT ビットが 0 であることを確認してください。

OVCMON[1:0]ビット（外部 USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB 、USB_OVRCURB-DS 入力端子モニタ）

OVCMON[1:0]ビットは外部電源 IC からのオーバーカレント信号のステータスを示します。

36.2.3 DVSTCTR0 : デバイスステートコントロールレジスタ 0

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	RHST[2:0]	USB バスリセットステータス 000: ホストコントローラモード時：通信速度は不確定（パワードステート時または非接続時） デバイスコントローラモード時：通信速度は不確定 001: ホストコントローラモード時：ロースピード接続時 デバイスコントローラモード時：USB バスリセット処理中 010: ホストコントローラモード時：フルスピード接続時 デバイスコントローラモード時：USB バスリセット処理中またはフルスピード接続時 011: 設定禁止 その他: ホストコントローラモード時：USB バスリセット処理中 デバイスコントローラモード時：設定禁止	R
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	UACT	USB バス許可 0: ダウンストリームポート禁止（SOF 送出禁止） 1: ダウンストリームポート許可（SOF 送出許可）	R/W
5	RESUME	レジューム出力 0: レジューム信号を出力しない 1: レジューム信号を出力する	R/W
6	USBRST	USB バスリセット出力 0: USB バスリセット信号を出力しない 1: USB バスリセット信号を出力する	R/W
7	RWUPE	ウェイクアップ検出許可 0: ダウンストリームポートリモートウェイクアップ禁止 1: ダウンストリームポートリモートウェイクアップ許可	R/W
8	WKUP	ウェイクアップ出力 0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
9	VBUSEN	USB_VBUSEN 出力端子制御 0: 外部 USB_VBUSEN 端子は Low を出力 1: 外部 USB_VBUSEN 端子は High を出力	R/W
10	EXICEN	USB_EXICEN 出力端子制御 0: 外部 USB_EXICEN 端子は Low を出力 1: 外部 USB_EXICEN 端子は High を出力	R/W
11	HNPBTOA	ホストネゴシエーションプロトコル (HNP) 制御 OTG モードで、デバイス B からデバイス A に切り替えるときに使用します。HNPBTOA ビットが 1 であれば、内部機能制御は SYSCFG.DPRPU = 0 または SYSCFG.DCFM = 1 にしても、HNP 処理が終了するまでサスペンド状態を保ちます。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

デバイスコントローラモード時、USBFS コントローラはロースピード接続に対応しません。この値を読み出したときは、上位のアプリケーションソフトウェアで異常接続処理を実行する必要があります。

RHST[2:0]ビット（USB バスリセットステータス）

RHST[2:0]ビットは USB バスリセットのステータスを示します。

ホストコントローラモードでは、USBRST ビットを 1 にすると RHST[2:0]ビットが 100b になります。USBRST ビットを 0 にして USBFS が SE0 ステートを終了すると、RHST[2:0]ビットが新しい値に更新されます。

デバイスコントローラモードでは、USBFS が USB バスリセットを検出すると、DPRPU ビットが 1 の場合に RHST[2:0]ビットが 010b を表示し、DVST 割り込みが発生します。

UACT ビット（USB バス許可）

ホストコントローラモードで本ビットを 1 にすると、UACT ビットは USB バスへの SOF パケットの送信（データと受信を含む）を制御することで、USB バス動作を許可します。UACT ビットを 1 にすると、USBFS は 1 フレーム周期内に SOF パケット出力を開始します。UACT ビットを 0 にすると、USBFS は SOF パケット出力後にアイドル状態に遷移します。

以下のいずれかの場合に、USBFS は UACT ビットを 0 にします。

- 通信中（UACT = 1 のとき）に DTCH 割り込みを検出したとき
- 通信中（UACT = 1 のとき）に EOFERR 割り込みを検出したとき

UACT ビットへの 1 の書き込みは、必ず、USB バスリセット処理終了時（USBRST ビットへの 0 書き込み）、またはサスペンド状態からのレジューム処理終了時（RESUME ビットへの 0 書き込み）のいずれかのタイミングで行ってください。

デバイスコントローラモード時は、常に本ビットを 0 にしてください。

RESUME ビット（レジューム出力）

RESUME ビットはホストコントローラモードで、レジューム信号の出力制御を行います。

本ビットを 1 にすると、USBFS は USB ポートを K-State にし、レジューム信号を出力します。RWUPE ビットが 1 で USB がサスペンド状態のとき、USBFS がリモートウェイクアップ信号を検出すると、本ビットを 1 にします。

RESUME ビットが 1 のとき、ソフトウェアが RESUME ビットをクリアして 0 にするまで、USBFS は K-State 出力を継続します。RESUME ビットを 1 にする場合、USB2.0 規格で定められた期間、1（レジューム期間）にする必要があります。インタフェースがサスペンド状態のときにのみ、RESUME ビットを 1 にしてください。レジューム処理の終了（RESUME ビットへの 0 書き込み）と同時に UACT ビットに 1 を書き込んでください。

デバイスコントローラモード時は、常に本ビットを 0 にしてください。

USBRST ビット（USB バスリセット出力）

USBRST ビットはホストコントローラモード時に、USB バス信号の出力制御を行います。本ビットを 1 にすると、USBFS は USB ポートを SE0 ステートにして USB バスをリセットします。USBFS は USBRST ビットが 1 の状態の間は、本ビットがソフトウェアにより 0 にクリアされるまで、SE0 出力を継続します。USBRST ビットを 1 にする場合、USB2.0 規格で定められた期間、1 (USB バスリセット期間) にする必要があります。通信中 (UACT = 1) またはレジューム処理中 (RESUME = 1) に、USBRST ビットに 1 を書き込むと、UACT ビットと RESUME ビットの両方が 0 になるまで、USBFS は USB バスリセット処理を開始できません。USB バスリセット処理の終了（USBRST ビットへの 0 書き込み）と同時に UACT ビットに 1 を書き込んでください。

デバイスコントローラモード時は、常に本ビットを 0 にしてください。

RWUPE ビット（ウェイクアップ検出許可）

RWUPE ビットはホストコントローラモードで、下流の周辺デバイスからのリモートウェイクアップ信号（レジューム信号）の受け付けを許可または禁止します。本ビットを 1 にすると、USBFS は下流の周辺デバイスからのリモートウェイクアップ信号（2.5 µs 間の K-State）を検出し、レジューム処理を実行して K-State にします。RWUPE ビットを 0 にした場合、USBFS は、USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を無視します。

RWUPE ビットが 1 のときは、サスペンド状態であっても内部クロックを停止しないでください（SYSCFG.SCKE ビットは 1 にしてください）。

デバイスコントローラモード時は、常に本ビットを 0 にしてください。

WKUP ビット（ウェイクアップ出力）

WKUP ビットはデバイスコントローラモードで、USB バスへのリモートウェイクアップ信号（レジューム信号）の出力を許可または禁止します。

USBFS は、リモートウェイクアップ信号の出力タイミングを制御します。WKUP ビットを 1 にすると、USBFS は 10 ms 間 K-State を出力した後、WKUP ビットをクリアして 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信までに、5 ms 以上 USB バスアイドル状態を保持する必要があります。そのため、USBFS は、サスペンド状態を検出した直後に WKUP ビットに 1 を書き込んだ場合、2 ms 後に K-State を出力します。

WKUP ビットへの 1 の書き込みは、デバイスがサスペンド状態 (INTSTS0.DVSQ[2:0] = 1xxb) であり、かつ USB ホストがリモートウェイクアップ信号を許可している場合のみ行ってください。本ビットが 1 のときは、サスペンド状態であっても､内部クロックを停止しないでください(SYSCFG.SCKE ビットは 1 にする必要があります)。

ホストコントローラモード時は、常に本ビットを 0 にしてください。

HNPBTOA ビット（ホストネゴシエーションプロトコル (HNP) 制御）

HNPBTOA ビットは OTG モードにおいて、デバイス B からデバイス A に切り替えるときに使用します。

HNPBTOA ビットが 1 の場合、SYSCFG.DPRPU ビットを 0 または SYSCFG.DCFM ビットを 1 にしても、内部機能制御は HNP 処理が終了するまでサスペンド状態を維持します。D+の立ち下がりエッジを検出しても、レジューム割り込み (RESM) は発生しません。

本ビットを 1 にした後、発信側のプルアップによりホストアタッチイベントを検出するか、または HNP 処理のタイムアウトによりソフトウェアが HNPBTOA ビットを 0 にすると、HNP 処理は終了します。

36.2.4 CFIFO/CFIFOL : CFIFO ポートレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FIFOPORT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FIFOPORT[15:0](注1)	FIFO ポート これらのビットにアクセスして、FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 有効ビットは、関連するポート選択レジスタにおける MBW の設定値（CFIFOSEL.MBW）および BIGEND の設定値（CFIFOSEL.BIGEND）により異なります。表 36.5 および表 36.6 を参照してください。

3 つの FIFO ポートが有効です。

- CFIFO
- D0FIFO
- D1FIFO

各 FIFO ポートは下記のレジスタで構成されます。

- FIFO バッファからのデータリードと、FIFO バッファへのデータライトを処理するポートレジスタ（CFIFO、D0FIFO、または D1FIFO）
- FIFO ポートに割り当てられたパイプを選択するためのポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）
- ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）

各 FIFO ポートには、下記の制限事項があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行います。
- DMA/DTC 転送用 FIFO バッファへのアクセスは D0FIFO または D1FIFO ポートを通して行います。
- CPU による D0FIFO および D1FIFO ポートアクセスも可能です。

- DMA/DTC 転送機能などの FIFO ポート固有の機能を使用している場合、ポート選択レジスタの CURPIPE[3:0]ビットで選択したパイプ番号は変更できません。
- FIFO ポートを設定するレジスタ群が他の FIFO ポートに影響を与えることはありません。
- 同一パイプを複数の FIFO ポートに割り当てないでください。
- FIFO バッファの状態には、アクセス権が CPU にある場合と Serial Interface Engine (SIE) にある場合の 2 種類があります。SIE にアクセス権がある場合は、CPU から FIFO バッファにアクセスできません。

FIFOPORT[15:0]ビット（FIFO ポート）

FIFOPORT[15:0]ビットへのアクセス時に、USBFS は FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。FIFO ポートレジスタへのアクセスは、関連するポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）の FRDY ビットが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）の MBW ビットおよび BIGEND ビットの設定値により異なります。表 36.5 と表 36.6 を参照してください。

表 36.5　16 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	N + 1 データ	N + 0 データ
1	N + 0 データ	N + 1 データ

表 36.6　8 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	アクセス禁止(注1)	N + 0 データ
1	アクセス禁止(注1)	N + 0 データ

注 1.　アクセス禁止領域に対する書き込みや読み出しはしないでください。

36.2.5　DnFIFO/DnFIFOL : D0FIFO ポートレジスタ (n = 0, 1)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x018 + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FIFOPORT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FIFOPORT[15:0](注1)	FIFO ポート これらのビットにアクセスして、FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。	R/W

注.　S-TYPE-3, P-TYPE-3
注 1.　有効ビットは、関連するポート選択レジスタにおける MBW の設定値（CFIFOSEL.MBW、D0FIFOSEL.MBW、および D1FIFOSEL.MBW）および BIGEND の設定値（CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、および D1FIFOSEL.BIGEND）により異なります。表 36.7 および表 36.8 を参照してください。

3 つの FIFO ポートが有効です。

- CFIFO
- D0FIFO
- D1FIFO

各 FIFO ポートは下記のレジスタで構成されます。

- FIFO バッファからのデータリードと、FIFO バッファへのデータライトを処理するポートレジスタ（CFIFO、D0FIFO、または D1FIFO）

- FIFO ポートに割り当てられたパイプを選択するためのポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）
- ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）

各 FIFO ポートには、下記の制限事項があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行います
- DMA/DTC 転送用 FIFO バッファへのアクセスは D0FIFO または D1FIFO ポートを通して行う。
- CPU による D0FIFO あるいは D1FIFO ポートアクセスも可能。
- DMA/DTC 転送機能などの FIFO ポート固有の機能を使用している場合、ポート選択レジスタの CURPIPE[3:0]ビットで選択したパイプ番号は変更できない。
- FIFO ポートを設定するレジスタ群が他の FIFO ポートに影響を与えることはない。
- 同一パイプを複数の FIFO ポートに割り当てない。
- FIFO バッファの状態には、アクセス権が CPU にある場合と Serial Interface Engine (SIE) にある場合の 2 種類がある。SIE にアクセス権がある場合は、CPU から FIFO バッファにアクセスできない。

FIFOPORT[15:0]ビット（FIFO ポート）

FIFOPORT ビットへのアクセス時に、USBFS は FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。FIFO ポートレジスタへのアクセスは、関連するポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）の FRDY ビットが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）の MBW ビットおよび BIGEND ビットの設定値により異なります。表 36.7 および表 36.8 を参照してください。

表 36.7　16 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	N+1 データ	N+0 データ
1	N+0 データ	N+1 データ

表 36.8　8 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	アクセス禁止(注1)	N+0 データ
1	アクセス禁止(注1)	N+0 データ

注 1.　アクセス禁止領域に対する書き込みや読み出しはしないでください。

36.2.6　CFIFOSEL : CFIFO ポート選択レジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x020

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CURPIPE[3:0]	CFIFO ポートアクセスパイプ指定 0x0: デフォルトコントロールパイプ 0x1: パイプ 1 0x2: パイプ 2 0x3: パイプ 3 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 0x8: パイプ 8 0x9: パイプ 9 その他: 設定禁止	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ISEL	DCP 選択時 CFIFO ポートアクセス方向 0: FIFO バッファ読み出し選択 1: FIFO バッファ書き込み選択	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BIGEND	CFIFO ポートエンディアン制御 0: リトルエンディアン 1: ビッグエンディアン	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	MBW	CFIFO ポートアクセスビット幅 0: 8 ビット幅 1: 16 ビット幅	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	REW	バッファポインタリワインド 0: バッファポインタのリワインドをしない 1: バッファポインタのリワインドをする	W(注1)
15	RCNT	リードカウントモード 0: CFIFO からすべての受信データを読み出したときに、DTLN[8:0]ビット (CFIFOCTR.DTLN[8:0], D0FIFOCTR.DTLN[8:0], D1FIFOCTR.DTLN[8:0]) をクリア。ダブルバッファモードの場合、一面のみ読み出し終了時に DTLN[8:0]の値をクリア。 1: CFIFO から受信データを読み出すごとに DTLN[8:0]ビットをダウンカウント。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 読むと 0 が読み出されます。

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットに同じパイプ番号を設定しないでください。D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE[3:0]ビットの設定が 0000b の場合には、パイプ指定なしとなります。

なお、DMA または DTC 転送が許可されている状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0]ビット（CFIFO ポートアクセスパイプ指定）

CURPIPE[3:0]ビットは CFIFO ポート経由のデータの読み出し／書き込みに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0]ビットの設定値を変更しようとしても、アクセスが完了するまで現在のアクセス設定が維持されます。

ISEL ビット（DCP 選択時 CFIFO ポートアクセス方向）

選択パイプが DCP のときに ISEL ビットへの新しい値の書き込みを行ったときは、その後に ISEL ビットの読み出しを行い、書き込み値と読み出し値が一致することを確認してから次の処理に進んでください。ISEL ビットと CURPIPE[3:0]ビットの設定は同時に行ってください。

MBW ビット（CFIFO ポートアクセスビット幅）

MBW ビットは CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、CURPIPE[3:0]ビットと MBW ビットを同時に設定してください。これらのビットへの書き込みで FIFO バッファからのデータ読み出しが開始したら、すべてのデータが読み出されるまで MBW ビットの変更を行わないでください。

選択パイプが送信方向の場合、FIFO バッファへのデータ書き込み実行中に 8 ビットから 16 ビットへのビット幅の変更はできません。

16 ビット幅が選択されていても、バイトアクセス制御により、奇数バイトの書き込みも可能です。

REW ビット（バッファポインタリワインド）

REW ビットはバッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に本ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファの場合は、この設定により現在読み出し中の FIFO バッファの面の最初のデータから再読み出しすることが可能になります。

REW ビットを 1 にするとき、CURPIPE[3:0]ビットの設定変更を同時に行わないでください。REW ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

36.2.7 DnFIFOSEL : D0FIFO ポート選択レジスタ (n = 0, 1)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x028 + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CURPIPE[3:0]	FIFO ポートアクセスパイプ指定 0x0: デフォルトコントロールパイプ 0x1: パイプ 1 0x2: パイプ 2 0x3: パイプ 3 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 0x8: パイプ 8 0x9: パイプ 9 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BIGEND	FIFO ポートエンディアン制御 0: リトルエンディアン 1: ビッグエンディアン	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	MBW	FIFO ポートアクセスビット幅 0: 8 ビット幅 1: 16 ビット幅	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	DREQE	DMA/DTC 転送要求許可 0: DMA/DTC 転送要求禁止 1: DMA/DTC 転送要求許可	R/W
13	DCLRM	指定パイプデータ読み出し後自動バッファメモリクリアモードアクセス 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W

ビット	シンボル	機能	R/W
14	REW	バッファポインタリワインド 0: バッファポインタのリワインドをしない 1: バッファポインタのリワインドをする	W
15	RCNT	リードカウントモード 0: DnFIFO の全受信データ読み出し終了時（ダブルバッファモードの場合は一面のみ読み出し終了後）に DTLN[8:0]ビット（CFIFOCTR.DTLN[8:0]、D0FIFOCTR.DTLN[8:0]、D1FIFOCTR.DTLN[8:0]）をクリア 1: DnFIFO から受信データ読み出しごとに DTLN[8:0]ビットをダウンカウント	R/W

注. S-TYPE-3, P-TYPE-3

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットで同一のパイプを指定しないでください。D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットの設定が 0000b の場合には、パイプ指定なしとなります。DMA または DTC 転送が許可されている状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0]ビット（FIFO ポートアクセスパイプ指定）

CURPIPE[3:0]ビットは DnFIFO ポート経由のデータの読み出しまたは書き込みに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0]ビットの設定値を変更しようとしても、アクセスが完了するまで現在のアクセス設定が維持されます。

MBW ビット（FIFO ポートアクセスビット幅）

MBW ビットは DnFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、これらのビットへの書き込みで FIFO バッファからのデータ読み出しが開始したら、すべてのデータが読み出されるまで MBW ビットの変更を行わないでください。CURPIPE[3:0]ビットと MBW ビットの設定は同時に行ってください。

選択パイプが送信方向の場合、FIFO バッファへのデータ書き込み実行中に 8 ビットから 16 ビットへのビット幅の変更はできません。

16 ビット幅が選択されていても、バイトアクセス制御により、奇数バイトの書き込みも可能です。

DREQE ビット（DMA/DTC 転送要求許可）

DREQE ビットは DMA または DTC 転送要求発行の許可／禁止を指定します。DMA または DTC 転送要求を許可する場合、CURPIPE[3:0]ビットを設定後に DREQE ビットを 1 にしてください。CURPIPE[3:0]ビットを書き換える場合、まず DREQE ビットを 0 にしてから書き換えてください。

DCLRM ビット（指定パイプデータ読み出し後自動バッファメモリクリアモードアクセス）

DCLRM ビットは選択パイプのデータを読み出した後の自動 FIFO バッファクリアを許可または禁止します。

本ビットを 1 にすると、指定パイプに割り当てられた FIFO バッファが空のときに Zero-Length パケットを受信した場合、または PIPECFG.BFRE ビットが 1 で受信したショートパケットの読み出しが完了した場合、USBFS は FIFO ポートコントロールレジスタの BCLR ビットを 1 にします。

SOFCFG.BRDYM ビットを 1 にして USBFS を使用する場合、本ビットを 0 にしてください。

REW ビット（バッファポインタリワインド）

REW ビットはバッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に本ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファの場合は、この設定により現在読み出し中の FIFO バッファの面の最初のデータから再読み出しすることが可能になります。

REW ビットを 1 にするとき、CURPIPE[3:0]ビットの設定変更を同時に行わないでください。本ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントモード）

RCNT ビットは、D0FIFOCTL.DTLN ビットおよび D1FIFOCTL.DTLN ビットの読み出しモードを指定します。PIPECFG.BFRE ビットを 1 にして DnFIFO にアクセスを行う場合は、RCNT ビットを 0 にしてください。

36.2.8 CFIFOCTR : CFIFO ポートコントロールレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x022

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DTLN[8:0]	受信データ長 受信データ長を示します。 ポート選択レジスタの RCNT ビットの設定により、表示される内容が異なります。詳細は、DTLN[8:0]ビットの説明を参照してください。	R
12:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	FRDY	FIFO ポートレディ 0: FIFO ポートアクセス不可能 1: FIFO ポートアクセス許可	R
14	BCLR	CPU バッファクリア 0: 動作なし 1: CPU 側 FIFO バッファクリア	W
15	BVAL	バッファメモリ有効フラグ 0: 無効（0 の書き込みは影響なし） 1: 書き込み終了	R/W

注. S-TYPE-3, P-TYPE-3

CFIFOCTR レジスタ、D0FIFOCTR レジスタ、および D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、および D1FIFO バッファに対応しています。

DTLN[8:0]ビット（受信データ長）

DTLN[8:0]ビットは受信データ長を示します。

FIFO バッファ読み出し中の DTLN[8:0]ビットの値は、DnFIFOSEL.RCNT ビット (n = 0, 1) により、以下のように異なります。

- RCNT = 0 のとき

  CPU または DMA/DTC が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は DTLN[8:0]ビットを設定して、受信データ長を示します。

  PIPECFG.BFRE ビットが 1 の場合、全データの読み出しが完了しても、BCLR ビットが 1 になるまで USBFS は受信データ長を保持します。

- RCNT = 1 のとき

  FIFO バッファからデータを読み出すごとに、USBFS は DTLN[8:0]ビットの示す値をデクリメントします。MBW = 0 のときは-1 ずつ、MBW = 1 のときは-2 ずつ値がデクリメントされます。

  FIFO バッファ 1 面分の全データの読み出し完了時に、USBFS は本ビットを 0 にします。ダブルバッファモード時、かつ FIFO バッファ 1 面分の全データの読み出しを完了する前にもう 1 面分の FIFO バッファにデータを受信した場合、USBFS は本ビットを設定して、後の 1 面分の全データの読み出し完了時に先の 1 面分の受信データ長を示します。

FRDY ビット（FIFO ポートレディ）

FRDY ビットは CPU または DMA/DTC から FIFO ポートにアクセス可能かどうかを示します。

以下の場合、USBFS は FRDY ビットを 1 にしますが、読み出すべきデータがないため、FIFO ポート経由のデータ読み出しはできません。

- 選択パイプに割り当てられている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

これらの場合では、BCLR ビットを 1 にして FIFO バッファのクリアを行い、次のデータ送受信を許可してください。

BCLR ビット（CPU バッファクリア）

選択パイプの CPU 側の FIFO バッファをクリアする場合は BCLR ビットを 1 にします。

選択パイプに割り当てられている FIFO バッファにダブルバッファモードが設定されている場合、FIFO バッファの両面ともに読み出し可能な場合でも、USBFS は片面の FIFO バッファのみをクリアします。

選択パイプが DCP のときに BCLR ビットを 1 にすると、FIFO バッファへのアクセス権を持つのが CPU 側か SIE 側かにかかわらず、USBFS は FIFO バッファをクリアします。SIE 側にアクセス権があるときに FIFO バッファをクリアする場合、DCPCTR.PID[1:0]ビットを 00b（NAK 応答）にしてから BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、同時に BVAL フラグと BCLR ビットの両方に 1 を書き込むと、USBFS はすでに書き込まれたデータをクリアし、Zero-Length パケットの送信を可能にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY ビットの（USBFS による）設定値が 1 のときにのみ行ってください。

BVAL フラグ（バッファメモリ有効フラグ）

CURPIPE[3:0]ビットで選択したパイプの CPU 側の FIFO バッファの書き込み終了時に BVAL フラグを 1 にします。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを 1 にしてください。

- ショートパケットを送信する場合は、データ書き込み後に本フラグを 1 にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に本フラグを 1 にする

これを行うと、USBFS は CPU の FIFO バッファを SIE に切り替え、送信可能状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にし、FIFO バッファを CPU から SIE に切り替え、送信可能状態にします。

BVAL フラグへの 1 の書き込みは、USBFS が FRDY ビットを 1 にしているときにのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

36.2.9 DnFIFOCTR : D0FIFO ポートコントロールレジスタ (n = 0, 1)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x02A + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DTLN[8:0]	受信データ長 受信データ長を示します。 ポート選択レジスタの RCNT ビットの設定により、表示される内容が異なります。詳細は、DTLN[8:0]ビットの説明を参照してください。	R
12:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	FRDY	FIFO ポートレディ 0: FIFO ポートアクセス不可能 1: FIFO ポートアクセス許可	R

ビット	シンボル	機能	R/W
14	BCLR	CPU バッファクリア 0: 動作なし 1: CPU 側 FIFO バッファクリア	R/W(注1)
15	BVAL	バッファメモリ有効フラグ 0: 無効（0 の書き込みは影響なし） 1: 書き込み終了	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 読むと 0 が読み出されます。

CFIFOCTR レジスタ、D0FIFOCTR レジスタ、および D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、および D1FIFO バッファに対応しています。

DTLN[8:0]ビット（受信データ長）

DTLN[8:0]ビットは受信データ長を示します。

FIFO バッファ読み出し中の DTLN[8:0]ビットの値は、DnFIFOSEL.RCNT ビット (n = 0, 1) により、以下のように異なります。

- RCNT ビットが 0 のとき

  CPU または DMA/DTC が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は受信データ長を DTLN[8:0]ビットに表示します。

  PIPECFG.BFRE ビットが 1 の場合、読み出しが完了しても、BCLR ビットが 1 になるまで USBFS は受信データ長を保持します。

- RCNT ビットが 1 のとき

  FIFO バッファからデータを読み出すごとに、USBFS は DTLN[8:0]ビットの表示値をダウンカウントします。MBW = 0 のときは -1 ずつ、MBW = 1 のときは -2 ずつ値がダウンカウントされます。

  1 面分の FIFO バッファ読み出し完了時に、USBFS は DTLN[8:0]ビットを 0 にします。ダブルバッファモード時、かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファにデータを受信した場合、USBFS は先の 1 面分の読み出し完了時に後の 1 面の受信データ長を DTLN[8:0]ビットに表示します。

FRDY ビット（FIFO ポートレディ）

FRDY ビットは CPU または DMA/DTC から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合、USBFS は FRDY ビットを 1 にしますが、読み出すべきデータがないため FIFO ポート経由のデータ読み出しはできません。

- 選択パイプに割り当てられている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

これらのケースでは、BCLR ビットを 1 にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

BCLR ビット（CPU バッファクリア）

選択パイプの CPU 側の FIFO バッファをクリアする場合は BCLR ビットを 1 にします。

選択パイプに割り当てられている FIFO バッファにダブルバッファモードが設定されている場合、FIFO バッファの両面ともに読み出し可能な場合でも、USBFS は片面の FIFO バッファのみをクリアします。

選択パイプが DCP のときに BCLR ビットを 1 にすると、FIFO バッファへのアクセス権を持つのが CPU 側か SIE 側かにかかわらず、USBFS は FIFO バッファをクリアします。SIE 側にアクセス権があるときに FIFO バッファをクリアする場合、DCPCTR.PID[1:0]ビットを 00b（NAK 応答）にしてから BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、同時に BVAL フラグと BCLR ビットの両方に 1 を書き込むと、USBFS はすでに書き込まれたデータをクリアし、Zero-Length パケットの送信を可能にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY ビットの（USBFS による）設定値が 1 のときにのみ行ってください。

BVAL フラグ（バッファメモリ有効フラグ）

CURPIPE[3:0]ビットで選択したパイプの CPU 側の FIFO バッファの書き込み終了時に BVAL フラグを 1 にします。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを 1 にしてください。

- ショートパケットを送信する場合は、データ書き込み後に本フラグを 1 にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に本フラグを 1 にする

これを行うと、USBFS は CPU の FIFO バッファを SIE に切り替え、送信可能状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にし、FIFO バッファを CPU から SIE に切り替え、送信可能状態にします。

BVAL フラグへの 1 の書き込みは、USBFS が FRDY ビットを 1 にしているときにのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

36.2.10 INTENB0 : 割り込みイネーブルレジスタ 0

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x030

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BRDYE	バッファレディ割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	NRDYE	バッファノットレディ応答割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
10	BEMPE	バッファエンプティ割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
11	CTRE	コントロール転送ステージ遷移割り込み許可(注1) 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
12	DVSE	デバイスステート遷移割り込み許可(注1) 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
13	SOFE	フレーム番号更新割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
14	RSME	レジューム割り込み許可(注1) 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15	VBSE	VBUS 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

注. S-TYPE-3, P-TYPE-3
注 1. RSME、DVSE、および CTRE ビットは、デバイスコントローラモード時にのみ 1 にできます。ホストコントローラモードでは、これらのビットを 1 にしないでください。

INTSTS0 レジスタのステータスフラグが 1 で、INTENB0 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS0 レジスタのステータスフラグは 1 となります。

INTENB0 レジスタの関連するステータスフラグが 1 の場合に、INTENB0 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBFS 割り込み要求が発行されます。

36.2.11 INTENB1 : 割り込みイネーブルレジスタ 1

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x032

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SACKE	SETUP トランザクション正常応答割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	SIGNE	SETUP トランザクションエラー割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	EOFERRE	EOF エラー検出割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
10:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	ATTCHE	接続検出割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
12	DTCHE	切断検出割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	BCHGE	USB バス変化割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15	OVRCRE	オーバーカレント入力変化割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

注. S-TYPE-3, P-TYPE-3
注. INTENB1 のビットは、ホストコントローラモード時にのみ 1 にできます。デバイスコントローラモードでは、これらのビットを 1 にしないでください。

INTENB1 は、ホストコントローラモードおよび SETUP トランザクションでの割り込みマスクを指定します。

INTSTS1 レジスタのステータスフラグが 1 で、INTENB1 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB1 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS1 レジスタのステータスフラグは 1 となります。

INTSTS1 レジスタの関連するステータスフラグが 1 の場合に、INTENB1 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBFS 割り込み要求が発行されます。

デバイスコントローラモードでは、割り込みを許可しないでください。

36.2.12 BRDYENB : BRDY 割り込みイネーブルレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x036

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9BRDYE	PIPE8BRDYE	PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BRDYE	パイプ 0 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
1	PIPE1BRDYE	パイプ 1 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
2	PIPE2BRDYE	パイプ 2 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3	PIPE3BRDYE	パイプ 3 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
4	PIPE4BRDYE	パイプ 4 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	PIPE5BRDYE	パイプ 5 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	PIPE6BRDYE	パイプ 6 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	PIPE7BRDYE	パイプ 7 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
8	PIPE8BRDYE	パイプ 8 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	PIPE9BRDYE	パイプ 9 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットへの 1 の書き込みの許可／禁止を指定します。

BRDYSTS レジスタのステータスフラグが 1 で、BRDYENB レジスタの関連する PIPEnBRDYE ビット (n = 0～9) が 1 の場合、INTSTS0.BRDY フラグは 1 になります。この場合、INTENB0 レジスタの BRDYE ビットが 1 であれば、USBFS は BRDY 割り込み要求を発生させます。少なくとも 1 つの PIPEnBRDY ビットが 1 の状態で、ソフトウェアで BRDYENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USB は BRDY 割り込み要求を発生させます。

36.2.13 NRDYENB : NRDY 割り込みイネーブルレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x038

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0NRDYE	パイプ 0 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
1	PIPE1NRDYE	パイプ 1 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
2	PIPE2NRDYE	パイプ 2 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3	PIPE3NRDYE	パイプ 3 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
4	PIPE4NRDYE	パイプ 4 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	PIPE5NRDYE	パイプ 5 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	PIPE6NRDYE	パイプ 6 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	PIPE7NRDYE	パイプ 7 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
8	PIPE8NRDYE	パイプ 8 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	PIPE9NRDYE	パイプ 9 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に、INTSTS0.NRDY ビットへの 1 の書き込みの許可／禁止を指定します。

NRDYSTS レジスタのステータスフラグが 1 で、NRDYENB レジスタの関連する PIPEnNRDYE ビット (n = 0～9) が 1 の場合、INTSTS0.NRDY フラグは 1 になります。この場合、INTENB0 レジスタの NRDYE ビットが 1 であれば、USBFS は NRDY 割り込み要求を発生させます。少なくとも 1 つの PIPEnNRDY ビットが 1 の状態で、ソフトウェアで NRDYENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USBFS は NRDY 割り込み要求を発生させます。

36.2.14 BEMPENB : BEMP 割り込みイネーブルレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x03A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9BEMPE	PIPE8BEMPE	PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BEMPE	パイプ 0 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
1	PIPE1BEMPE	パイプ 1 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
2	PIPE2BEMPE	パイプ 2 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3	PIPE3BEMPE	パイプ 3 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
4	PIPE4BEMPE	パイプ 4 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	PIPE5BEMPE	パイプ 5 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	PIPE6BEMPE	パイプ 6 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	PIPE7BEMPE	パイプ 7 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
8	PIPE8BEMPE	パイプ 8 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	PIPE9BEMPE	パイプ 9 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットへの 1 の書き込みの許可／禁止を指定します。

BEMPSTS レジスタのステータスフラグが 1 で、BEMPENB レジスタの関連する PIPEnBEMPE (n = 0～9) ビットが 1 の場合、INTSTS0.BEMP フラグは 1 になります。この場合、INTENB0 レジスタの BEMPE ビットが 1 であれば、USBFS は BEMP 割り込み要求を発生させます。少なくとも 1 つの PIPEnBEMP ビットが 1 の状態で、ソフトウェアで BEMPENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USBFS は BEMP 割り込み要求を発生させます。

36.2.15 SOFCFG : SOF 出力コンフィグレーションレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x03C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TRNENSEL	—	BRDYM	—	EDGESTS	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	EDGESTS	エッジ割り込み出力ステータスモニタ(注1) エッジ割り込み出力信号のエッジ処理中は 1 となります。	R
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	BRDYM	BRDY 割り込みステータスクリアタイミング 0: ソフトウェアによる BRDY フラグのクリア 1: FIFO バッファからのデータ読み出しまたは FIFO バッファへのデータ書き込みにより USBFS が BRDY フラグをクリア	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TRNENSEL	トランザクション有効期間選択(注1) 0: ロースピード通信非対応 1: ロースピード通信対応	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. USBFS へのクロック供給を停止するときは、事前に EDGESTS フラグが 0 であることを確認してください。

EDGESTS ビット（エッジ割り込み出力ステータスモニタ）

EDGESTS ビットはエッジ割り込み出力信号のエッジ処理中は 1 となります。USBFS へのクロック供給を停止するときは、事前に本ビットが 0 であることを確認してください。

BRDYM ビット（BRDY 割り込みステータスクリアタイミング）

BRDYM ビットはパイプの BRDY 割り込みステータスフラグのクリア方法を指定します。

TRNENSEL ビット（トランザクション有効期間選択）

TRNENSEL ビットは、USB ポートでフルスピードまたはロースピード通信を行う場合に、1 フレーム中に USBFS がトークン発行を行うタイミング（トランザクション有効期間）を指定します。

ロースピードデバイスが接続されたときは、本ビットを 1 にしてください。本ビットはホストコントローラモードでのみ有効です。デバイスコントローラモード時は、本ビットを 0 にしてください。

36.2.16 INTSTS0 : 割り込みステータスレジスタ 0

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x040

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
Value after reset:	0	0	0	x	0	0	0	0	x	0	0	x	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CTSQ[2:0]	コントロール転送ステージ 0 0 0: アイドルまたはセットアップステージ 0 0 1: コントロールリードデータステージ 0 1 0: コントロールリードステータスステージ 0 1 1: コントロールライトデータステージ 1 0 0: コントロールライトステータスステージ 1 0 1: コントロールライト（ノーデータ）ステータスステージ 1 1 0: コントロール転送シーケンスエラー	R
3	VALID	USB リクエスト受信 0: Setup パケットを受信していない 1: Setup パケットを受信した	R/W
6:4	DVSQ[2:0]	デバイスステート デバイスステートを示します。 0 0 0: Powered ステート 0 0 1: Default ステート 0 1 0: Address ステート 0 1 1: Configured ステート その他: Suspended ステート	R
7	VBSTS	VBUS 入力ステータス 0: USB_VBUS 端子が Low 1: USB_VBUS 端子が High	R
8	BRDY	バッファレディ割り込みステータス 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R
9	NRDY	バッファノットレディ割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R
10	BEMP	バッファエンプティ割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R
11	CTRT	コントロール転送ステージ遷移割り込みステータス(注2) 0: コントロール転送ステージ遷移割り込み発生なし 1: コントロール転送ステージ遷移割り込み発生あり	R/W(注1)
12	DVST	デバイスステート遷移割り込みステータス(注2) 0: デバイスステート遷移割り込み発生なし 1: デバイスステート遷移割り込み発生あり	R/W(注1)
13	SOFR	フレーム番号更新割り込みステータス 0: SOF 割り込み発生なし 1: SOF 割り込み発生あり	R/W(注1)
14	RESM	レジューム割り込みステータス(注2)(注3) 0: レジューム割り込み発生なし 1: レジューム割り込み発生あり	R/W(注1)
15	VBINT	VBUS 割り込みステータス(注3) 0: VBUS 割り込み発生なし 1: VBUS 割り込み発生あり	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注. DVST ビットは MCU がリセットされると 0、USB バスリセットのときは 1 になります。
注. VBSTS ビットは USB_VBUS 端子が High のときは 1、Low のときは 0 になります。
注. DVSQ[2:0]ビットは MCU がリセットされると 000b、USB バスリセットのときは 001b になります。
注 1. VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、CTRT ビット、または VALID ビットをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 書き込みを行わないでください。
注 2. RESM、DVST、および CTRT ビットのステータスは、デバイスコントローラモードでのみ変化します。ホストコントローラモードでは、関連する割り込み許可ビットを 0（禁止）にしてください。
注 3. USBFS は、VBINT ビットおよび RESM ビットが示すステータス変化をクロック供給停止中 (SYSCFG.SCKE = 0) でも検出し、対応する割り込み要求ビットが 1 であれば割り込みを要求します。ステータスをソフトウェアでクリアする前に、クロック供給を許可してください。

CTSQ[2:0]ビット（コントロール転送ステージ）

ホストコントローラモード時、CTSQ[2:0]ビットの読み出し値は無効です。

VALID ビット（USB リクエスト受信）

ホストコントローラモード時、VALID ビットの読み出し値は無効です。

DVSQ[2:0]ビット（デバイスステート）

USB バスリセットで DVSQ[2:0]ビットは初期化されます。ホストコントローラモード時、読み出し値は無効です。

BRDY フラグ（バッファレディ割り込みステータス）

BRDY フラグは BRDY 割り込みステータスを示します。

USBFS は、BRDY 割り込みが許可された (BRDYENB.PIPEnBRDYE = 1) パイプのうち少なくとも 1 つに対して BRDY 割り込みステータス（PIPEnBRDY = 1、n = 0～9）を検出したときに、BRDY ビットを 1 にします。

PIPEnBRDY ステータスがアサートされる条件については、「36.3.3.1. BRDY 割り込み」を参照してください。

1 に設定されている PIPEnBRDYE ビットに関連する PIPEnBRDY ビットのすべてにソフトウェアで 0 を書きこむと、USBFS は BRDY ビットを 0 にします。ソフトウェアで BRDY フラグに 0 を書き込んだ場合でも、本フラグはクリアされません。

NRDY フラグ（バッファノットレディ割り込みステータス）

NRDY フラグは NRDY 割り込みステータスを示します。

USBFS は、NRDY 割り込みが許可された (NRDYENB.PIPEnNRDYE = 1) パイプのうち少なくとも 1 つに対して NRDY 割り込みステータス (PIPEnNRDY = 1, n = 0～9) を検出したときに、NRDY ビットを 1 にします。

PIPEnNRDY ステータスがアサートされる条件については、「36.3.3.2. NRDY 割り込み」を参照してください。

1 に設定されている PIPEnNRDYE ビットに対応する PIPEnNRDY ビットのすべてにソフトウェアで 0 を書き込むと、USBFS は NRDY ビットを 0 にします。ソフトウェアで NRDY フラグに 0 を書き込んだ場合でも、本フラグはクリアされません。

BEMP フラグ（バッファエンプティ割り込みステータス）

BEMP フラグは BEMP 割り込みステータスを示します。

USBFS は、BEMP 割り込みが許可された (BEMPENB.PIPEnBEMPE = 1) パイプのうち少なくとも 1 つに対して BEMP 割り込みステータス (PIPEnBEMP = 1, n = 0～9) を検出したときに、BEMP ビットを 1 にします。

PIPEnBEMP ステータスがアサートされる条件については、「36.3.3.3. BEMP 割り込み」を参照してください。

1 に設定されている PIPEnBEMPE ビットに対応する PIPEnBEMP ビットのすべてにソフトウェアで 0 を書き込むと、USBFS は BEMP ビットを 0 にします。ソフトウェアで BEMP フラグに 0 を書き込んだ場合でも、本フラグはクリアされません。

CTRT フラグ（コントロール転送ステージ遷移割り込みステータス）

デバイスコントローラモード時、USBFS がコントロール転送のステージ遷移を検出すると、USBFS は CTSQ[2:0]ビットの値を更新し、CTRT フラグを 1 にします。コントロール転送ステージ遷移割り込みが発生した場合、USBFS が次のコントロール転送のステージ遷移を検出するまでに CTRT フラグをクリアしてください。

ホストコントローラモード時に CTRT フラグから読み出した値は無効です。

DVST フラグ（デバイスステート遷移割り込みステータス）

デバイスコントローラモード時、USBFS がデバイスステートの変化を検出すると、USBFS は DVSQ[2:0]ビットの値を更新し、DVST フラグを 1 にします。デバイスステート遷移割り込みが発生した場合、USBFS が次のデバイスステート遷移を検出するまでに DVST フラグをクリアしてください。

ホストコントローラモード時に DVST フラグから読み出した値は無効です。

SOFR フラグ（フレーム番号更新割り込みステータス）

ホストコントローラモード時に、ソフトウェアで DVSTCTR0.UACT ビットを 1 にしている場合、USBFS はフレーム番号を更新するときに SOFR フラグを 1 にします。SOFR 割り込みの検出間隔は 1 ms です。

デバイスコントローラモード時に、USBFS はフレーム番号を更新するときに SOFR フラグを 1 にします。フレーム番号更新割り込みは、1 ms ごとに検出されます。

USB ホストから受信した SOF パケットが破損していても、内部補完機能により、USBFS は SOFR 割り込みを検出できます。

RESM フラグ（レジューム割り込みステータス）

デバイスコントローラモード時、USBFS は Suspended ステート (DVSQ[2:0] = 1xxb) であり、かつ USB_DP 端子で信号の立ち下がりエッジを検出したときに、RESM フラグを 1 にします。ホストコントローラモード時に RESM フラグから読み出した値は無効です。

VBINT フラグ（VBUS 割り込みステータス）

USBFS は、USB_VBUS 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、VBINT フラグを 1 にします。USBFS は USB_VBUS 端子の入力値を VBSTS フラグに表示します。VBUS 割り込みが発生した場合は、ソフトウェアで VBSTS フラグを 3 回以上読み出し、値が一致することを確認してトランジェント除去を行ってください。

36.2.17 INTSTS1 : 割り込みステータスレジスタ 1

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x042

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SACK	SETUP トランザクション正常応答割り込みステータス 0: SACK 割り込み発生なし 1: SACK 割り込み発生あり	R/W(注1)
5	SIGN	SETUP トランザクションエラー割り込みステータス 0: SIGN 割り込み発生なし 1: SIGN 割り込み発生あり	R/W(注1)
6	EOFERR	EOF エラー検出割り込みステータス 0: EOFERR 割り込み発生なし 1: EOFERR 割り込み発生あり	R/W(注1)
10:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	ATTCH	ATTCH 割り込みステータス 0: ATTCH 割り込み発生なし 1: ATTCH 割り込み発生あり	R/W(注1)
12	DTCH	USB 切断検出割り込みステータス 0: DTCH 割り込み発生なし 1: DTCH 割り込み発生あり	R/W(注1)
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	BCHG	USB バス変化割り込みステータス(注2) 0: BCHG 割り込み発生なし 1: BCHG 割り込み発生あり	R/W(注1)
15	OVRCR	オーバーカレント入力変化割り込みステータス(注2) 0: OVRCR 割り込み発生なし 1: OVRCR 割り込み発生あり	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. INTSTS1 レジスタの各ビットを 0 にする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

注 2. USBFS は OVRCR ビットまたは BCHG ビットのステータス変化をクロック停止中 (SYSCFG.SCKE = 0) でも検出し、関連する割り込み要求ビットが 1 であれば割り込みを要求します。ステータスをソフトウェアでクリア (SYSCFG.SCKE = 1) する場合は、クロック供給を許可してから行ってください。その他の割り込みは、クロック停止中（SYSCFG.SCKE ビット = 0）は検出しません。

INTSTS1 レジスタは、ホストコントローラモードでの各割り込みのステータスを確認するレジスタです。
INTSTS1 レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラモードでのみ許可してください。

SACK フラグ（SETUP トランザクション正常応答割り込みステータス）

SACK フラグはホストコントローラモード時、SETUP トランザクション正常応答割り込みステータスを示します。

USBFS が発行した SETUP トランザクションにおいて周辺デバイスから ACK 応答が返されると、USBFS は SACK 割り込みを検出し、本フラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

デバイスコントローラモード時に SACK フラグから読み出した値は無効です。

SIGN フラグ（SETUP トランザクションエラー割り込みステータス）

SIGN フラグは、ホストコントローラモード時、SETUP トランザクションエラー割り込みステータスを示します。

USBFS が発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない事態が連続 3 回発生すると、USBFS は SIGN 割り込みを検出し、本フラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS の SIGN 割り込みは、3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答条件が発生したときに検出されます。

- 周辺デバイスが何も応答しない状態で USBFS がタイムアウトを検出したとき
- 破損した ACK パケットを受信したとき
- ACK 以外のハンドシェイク（NAK、NYET、または STALL）を受信したとき

デバイスコントローラモード時に SIGN フラグから読み出した値は無効です。

EOFERR フラグ（EOF エラー検出割り込みステータス）

EOFERR フラグはホストコントローラモード時、EOF エラー検出割り込みステータスを示します。

USBFS は、USB2.0 規格で定められている EOF2 タイミングで通信が終了しないことを検出すると、EOFERR 割り込みを検出して本フラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS は、EOFERR 割り込みを検出後、関連する割り込み許可ビットの設定値にかかわらず、以下のハードウェア制御を行います。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへの再エニュメレーションを行ってください。

デバイスコントローラモード時に EOFERR フラグから読み出した値は無効です。

ATTCH フラグ（ATTCH 割り込みステータス）

ATTCH フラグはホストコントローラモード時、USB アタッチ検出割り込みステータスを示します。

USBFS は、フルスピード信号レベルまたはロースピード信号レベルの J-State または K-State を 2.5 µs 検出すると、ATTCH 割り込みを検出して本フラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS の ATTCH 割り込み検出条件は以下のいずれかです。

- K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5 µs 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5 µs 間継続したとき

デバイスコントローラモード時に ATTCH フラグから読み出した値は無効です。

DTCH フラグ（USB 切断検出割り込みステータス）

DTCH フラグはホストコントローラモード時、USB 切断検出割り込みステータスを示します。

USBFS は、USB バスデタッチイベントを検出すると、DTCH 割り込みを検出して本フラグを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

USBFS は、USB2.0 規格に準じてバスデタッチイベントを検出します。

USBFS は、DTCH 割り込みを検出後、対応する割り込み許可ビットの設定値にかかわらず、以下のハードウェア制御を行います。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへの接続待機状態（ATTCH 割り込み発生待機状態）に遷移させてください。

デバイスコントローラモード時に DTCH フラグから読み出した値は無効です。

BCHG フラグ（USB バス変化割り込みステータス）

BCHG フラグはホストコントローラモード時、USB バス変化割り込みステータスを示します。

USBFS は、USB ポートでフルスピード信号レベルまたはロースピード信号レベルの変化が起こると、BCHG 割り込みを検出して本フラグを 1 にします。対象とする変化は、J-State、K-State、SE0 のいずれかから J-State、K-State、SE0 のいずれかへの変化すべてを含みます。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS は USB ポートの入力状態を、LNST[1:0]ビットに表示します。BCHG 割り込みが発生した場合は、ソフトウェアで LNST[1:0]ビットの読み出しを同じ値が 3 回以上得られるまで繰り返し、トランジェント除去を行ってください。

USB バスステートの変化は、内部クロック停止状態でも検出します。

デバイスコントローラモード時に BCHG フラグから読み出した値は無効です。

OVRCR フラグ（オーバーカレント入力変化割り込みステータス）

OVRCR フラグは、USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB、または USB_OVRCURB-DS 入力端子の変化割り込みステータスを示します。

USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB、または USB_OVRCURB-DS 端子の入力値の少なくともどちらか一方が変化（High から Low への変化あるいは Low から High への変化）すると、USBFS は OVRCR 割り込みを検出して本フラグを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

36.2.18 BRDYSTS : BRDY 割り込みステータスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x046

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BRDY	パイプ 0 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
1	PIPE1BRDY	パイプ 1 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)

ビット	シンボル	機能	R/W
2	PIPE2BRDY	パイプ 2 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
3	PIPE3BRDY	パイプ 3 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
4	PIPE4BRDY	パイプ 4 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
5	PIPE5BRDY	パイプ 5 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
6	PIPE6BRDY	パイプ 6 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
7	PIPE7BRDY	パイプ 7 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
8	PIPE8BRDY	パイプ 8 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
9	PIPE9BRDY	パイプ 9 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. SOFCFG.BRDYM ビットが 0 の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。
注 2. SOFCFG.BRDYM ビットが 0 の場合、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

36.2.19 NRDYSTS : NRDY 割り込みステータスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x048

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0NRDY	パイプ 0 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
1	PIPE1NRDY	パイプ 1 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
2	PIPE2NRDY	パイプ 2 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
3	PIPE3NRDY	パイプ 3 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)

ビット	シンボル	機能	R/W
4	PIPE4NRDY	パイプ 4 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
5	PIPE5NRDY	パイプ 5 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
6	PIPE6NRDY	パイプ 6 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
7	PIPE7NRDY	パイプ 7 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
8	PIPE8NRDY	パイプ 8 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
9	PIPE9NRDY	パイプ 9 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. NRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

36.2.20 BEMPSTS : BEMP 割り込みステータスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x04A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9 BEMP	PIPE8 BEMP	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BEMP	パイプ 0 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
1	PIPE1BEMP	パイプ 1 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
2	PIPE2BEMP	パイプ 2 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
3	PIPE3BEMP	パイプ 3 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
4	PIPE4BEMP	パイプ 4 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
5	PIPE5BEMP	パイプ 5 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
6	PIPE6BEMP	パイプ 6 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)

ビット	シンボル	機能	R/W
7	PIPE7BEMP	パイプ 7 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
8	PIPE8BEMP	パイプ 8 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
9	PIPE9BEMP	パイプ 9 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. BEMPSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

36.2.21 FRMNUM : フレームナンバレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x04C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVRN	CRCE	—	—	—	FRNM[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	FRNM[10:0]	フレーム番号 最新のフレーム番号	R
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	CRCE	受信データエラー 0: エラー発生なし 1: エラー発生あり	R/W(注1)
15	OVRN	オーバーラン／アンダーラン検出ステータス 0: エラー発生なし 1: エラー発生あり	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. ステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

FRNM[10:0]フラグ（フレーム番号）

SOF パケットの発行時または受信時に、FRNM[10:0]フラグは最新のフレーム番号（1ms ごとに更新）を示します。

CRCE フラグ（受信データエラー）

アイソクロナス転送中に CRC エラーやビットスタッフィングエラーが発生した場合、CRCE フラグは 1 になります。ホストコントローラモードで CRC エラーを検出時、USBFS は内部 NRDY 割り込みを発生させます。

CRCE フラグをクリアする場合は、FRMNUM レジスタの他のビットに 1 を書き込んでいる間に、本フラグに 0 を書き込んでください。

OVRN フラグ（オーバーラン／アンダーラン検出ステータス）

アイソクロナス転送中にオーバーランエラーまたはアンダーランエラーが発生した場合、OVRN フラグは 1 になります。本フラグをクリアする場合は、FRMNUM レジスタの他のビットに 1 を書き込んでいる間に、本フラグに 0 を書き込んでください。

ホストコントローラモード時、以下のいずれかの条件で、OVRN フラグは 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に、OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で、IN トークン発行タイミングに達したとき

デバイスコントローラモード時、以下のいずれかの条件で、OVRN フラグは 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に、IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で、OUT トークンを受信したとき

36.2.22 DVCHGR : デバイスステート切り替えレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x04E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	DVCHG	デバイスステート切り替え 0: USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み無効 1: USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み有効	R/W

注. S-TYPE-3, P-TYPE-3

詳細については、「36.3.1.5. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除」を参照してください。

36.2.23 USBADDR : USB アドレスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x050

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	STSRECOV[3:0]				—	USBADDR[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	USBADDR[6:0]	USB アドレス デバイスコントローラモード時、USBFS が SET_ADDRESS 要求を正常に処理したときに、ホストから割り付けられた USB アドレスを示します。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
11:8	STSRECOV[3:0]	ステータスリカバリ 0x4: デバイスコントローラモード時の復帰：設定禁止 ホストコントローラモード時の復帰： ロースピード状態に復帰 (DVSTCTR0.RHST[2:0] = 001b) 0x8: デバイスコントローラモード時の復帰：設定禁止 ホストコントローラモード時の復帰： フルスピード状態に復帰 (DVSTCTR0.RHST[2:0] = 010b) 0x9: デバイスコントローラモード時の復帰： フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビット = 010b）、INTSTS0.DVSQ[2:0]ビット = 001b（Default ステート） ホストコントローラモード時の復帰：設定禁止 0xA: デバイスコントローラモード時の復帰： フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビット = 010b）、INTSTS0.DVSQ[2:0]ビット = 010b（address ステート） ホストコントローラモード時の復帰：設定禁止 0xB: デバイスコントローラモード時の復帰： フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビット = 010b）、INTSTS0.DVSQ[2:0]ビット = 011b（configured ステート） ホストコントローラモード時の復帰：設定禁止 その他: 設定禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

USBADDR[6:0]ビット（USB アドレス）

デバイスコントローラモード時、USBFS が SetAddress 要求を正常に処理すると、USBADDR[6:0]フラグは受信した USB アドレスを示します。USBFS は USB バスリセットを検出すると USBADDR[6:0]ビットを 0x00 にします。

DVCHGR.DVCHG ビットが 1 に設定されているときに、本ビットに書き込み可能となります。USB 電源遮断からの復帰時に、ソフトウェアによる遮断の前に設定されていた USB アドレスから動作を再開することができます。

ホストコントローラモード時、USBADDR[6:0]ビットは無効です。

STSRECOV[3:0]ビット（ステータスリカバリ）

STSRECOV[3:0]ビットは USB 電源遮断から復帰するときに、内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。詳細については、「36.3.1.5. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除」を参照してください。

DVCHGR.DVCHG ビットが 1 に設定されているときに STSRECOV[3:0]ビットに書き込み可能となります。

36.2.24 USBREQ : USB リクエストタイプレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x054

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	BMREQUESTTYPE[7:0]	リクエストタイプ USB リクエスト bmRequestType の値	R/W(注1)
15:8	BREQUEST[7:0]	リクエスト USB リクエスト bRequest の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらは読み出し、書き込み両方のビットとなります。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納します。

デバイスコントローラモード時には、USBREQ レジスタは受信した bRequest および bmRequestType の値を格納します。ホストコントローラモード時には、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0]ビット（リクエストタイプ）

BMREQUESTTYPE[7:0]ビットは USB リクエスト bmRequestType の値を保持します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエストデータの値を設定してください。
  DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

  本ビットは SETUP トランザクションで受信した USB リクエストデータの値を示します。本ビットへの書き込みは無効です。

BREQUEST[7:0]ビット（リクエスト）

BREQUEST[7:0]ビットは USB リクエスト bRequest の値を格納します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエストデータの値を設定してください。
  DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

  本ビットは SETUP トランザクションで受信した USB リクエストデータの値を示します。本ビットへの書き込みは無効です。

36.2.25 USBVAL : USB リクエストバリューレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x056

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WVALUE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WVALUE[15:0]	バリュー USB リクエスト wValue の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらは読み出し、書き込み両方のビットとなります。

デバイスコントローラモードでは、USBVAL レジスタは受信した wValue の値を格納します。ホストコントローラモードでは、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

WVALUE[15:0]ビット（バリュー）

WVALUE[15:0]ビットは USB リクエスト wValue の値を格納します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。
  DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

本ビットは SETUP トランザクションで受信した USB リクエスト wValue の値を示します。本ビットへの書き込みは無効です。

36.2.26 USBINDX : USB リクエストインデックスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x058

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WINDEX[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WINDEX[15:0]	インデックス USB リクエスト wIndex の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらは読み出し、書き込み両方のビットとなります。

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納します。

デバイスコントローラモードでは、USBINDX レジスタは受信した wIndex の値を格納します。ホストコントローラモードでは、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

WINDEX[15:0]ビット（インデックス）

WINDEX[15:0]ビットは USB リクエスト wIndex の値を保持します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

  本ビットは SETUP トランザクションで受信した USB リクエスト wIndex の値を示します。本ビットへの書き込みは無効です。

36.2.27 USBLENG : USB リクエストレングスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x05A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WLENTUH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WLENTUH[15:0]	レングス USB リクエスト wLength の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらは読み出し、書き込み両方のビットとなります。

USBLENG レジスタは、コントロール転送のセットアップリクエストを格納します。

デバイスコントローラモードでは、受信した wLength の値を格納します。ホストコントローラモードでは、送信する wLength の値を設定します。

USBLENG レジスタは、USB バスリセットで初期化されます。

WLENTUH[15:0]ビット（レングス）

WLENTUH[15:0]ビットは USB リクエスト wLength の値を保持します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

  本ビットは SETUP トランザクションで受信した USB リクエスト wLength の値を示します。本ビットへの書き込みは無効です。

36.2.28 DCPCFG : DCP コンフィグレーションレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x05C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SHTNAK	—	—	DIR	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DIR	転送方向(注1) 0: データ受信方向 1: データ送信方向	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SHTNAK	転送終了時のパイプ禁止(注1) 0: 転送終了後パイプがオープンの状態を維持 1: 転送終了後にパイプを禁止	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットの設定は、PID = NAK の状態のときにのみ実施してください。このビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

DIR ビット（転送方向）

ホストコントローラモードでは、DIR ビットは、コントロール転送のデータステージおよびステータスステージの転送方向を設定します。デバイスコントローラモードでは、DIR ビットは 0 にしてください。

SHTNAK ビット（転送終了時のパイプ禁止）

SHTNAK ビットは選択パイプが受信方向の場合に、転送終了時に PID を NAK に変更するかどうかを指定します。SHTNAK ビットは、選択パイプが受信方向の場合のみ有効なビットです。

SHTNAK ビットが 1 の場合、USBFS は、転送の終了を判定したときに DCP の DCPCTR.PID[1:0]ビットを NAK に変更します。USBFS は、以下の条件が満たされると転送終了を判定します。

- ショートパケット（Zero-Length パケットを含む）を正常に受信したとき。

36.2.29 DCPMAXP : DCP マックスパケットサイズレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x05E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	MXPS[6:0]	最大パケットサイズ(注1) DCP の最大データペイロード（最大パケットサイズ）を指定します。	R/W
11:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	DEVSEL[3:0]	デバイス選択(注2) 0x0: アドレス 0000b 0x1: アドレス 0001b 0x2: アドレス 0010b 0x3: アドレス 0011b 0x4: アドレス 0100b 0x5: アドレス 0101b その他: 設定禁止	R/W

注. S-TYPE-3, P-TYPE-3
注 1. MXPS[6:0]ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
MXPS[6:0]ビットを設定し、ポート選択レジスタの CURPIPE[3:0]ビットに DCP を設定した後に、ポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリアしてください。
注 2. DEVSEL[3:0]ビットの設定は、PID = NAK の状態および DCPCTR.SUREQ ビットが 0 の期間にのみ実施してください。これらのビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

MXPS[6:0]ビット（最大パケットサイズ）

MXPS[6:0]ビットは DCP の最大データペイロード（最大パケットサイズ）を指定します。初期値は 0x40（64 バイト）です。このビットには USB2.0 規格に準じた値を設定してください。MXPS[6:0]ビットが 0 の状態で FIFO バッファへの書き込み、あるいは PID = BUF の設定を行わないでください。

DEVSEL[3:0] ビット（デバイス選択）

ホストコントローラモードでは、DEVSEL[3:0]ビットは、コントロール転送の対象の周辺デバイスのアドレスを指定します。対応する DEVADDn (n = 0～5) レジスタで設定した後で、本ビットを対応する値に設定してください。たとえば、DEVSEL[3:0]ビットを 0010b にするには、まず、DEVADD2 レジスタでアドレスを設定してください。

デバイスコントローラモードでは、本ビットを 0000b にしてください。

36.2.30 DCPCTR : DCP コントロールレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x060

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	SUREQ	—	—	SUREQCLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
2	CCPL	コントロール転送終了許可 0: コントロール転送終了を許可しない 1: コントロール転送終了を許可する	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジー 0: DCP を USB バスにて未使用 1: DCP を USB バスにて使用中	R
6	SQMON	シーケンストグルビットモニタ 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注2) DCP 転送においてシーケンストグルビットを設定します。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA1 にする	R/W(注1)
8	SQCLR	シーケンストグルビットクリア(注2) DCP 転送におけるシーケンストグルビットをクリアします。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にクリアします。	R/W(注1)
10:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	SUREQCLR	SUREQ ビットクリア ホストコントローラモード時に SUREQ ビットをクリアします。 0: 無効（0 の書き込みは影響なし） 1: SUREQ を 0 にクリアする	R/W(注1)
13:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	SUREQ	SETUP トークン送出 ホストコントローラモード時のトークン送出を設定します。 0: 無効（0 の書き込みは影響なし） 1: Setup パケット送出	R/W
15	BSTS	バッファステータス 0: バッファアクセス不可能 1: バッファアクセス可能	R

注. S-TYPE-3、P-TYPE-3
注 1. 読むと 0 が読めます。
注 2. SQSET ビットおよび SQCLR ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、DCP の PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは、コントロール転送における USB 応答の種類を制御します。

ホストコントローラモードでは、以下のように PID[1:0]ビットの設定を NAK から BUF に変更します。

- 送信方向設定時：
  a. DVSTCTR0.UACT ビットが 1 かつ PID が NAK の状態で、FIFO バッファにすべての送信データを書き込む。
  b. PID[1:0]ビットを 01b (BUF) にする。
     これにより、USBFS が OUT トランザクションを実行する。
- 受信方向設定時：
  a. DVSTCTR0.UACT ビットが 1 かつ PID が NAK の状態で、FIFO バッファが空の状態であることを確認する（または空の状態にする）。

b. PID[1:0]ビットを 01b (BUF) にする。
これにより、USBFS が IN トランザクションを実行する。

USBFS は PID[1:0]の設定値変更を以下のように行います。

- ソフトウェアが PID[1:0]ビットを BUF (01b) にし、USBFS が MaxPacketSize を超えるデータを受信すると、USBFS は PID[1:0]を STALL (11b) にする。
- CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID[1:0]ビットを NAK (00b) にする。
- STALL ハンドシェイクを受信すると、USBFS は PID[1:0]を STALL (11b) にする。

デバイスコントローラモードでは、USBFS は PID[1:0]の設定値変更を以下のように行います。

- Setup パケットを受信すると、USBFS は PID[1:0]ビットを NAK (00b) にする。このとき、USBFS は INTSTS0.VALID フラグを 1 にし、ソフトウェアで VALID フラグが 0 にクリアされるまで、PID[1:0]の設定値変更は不可となる。
- ソフトウェアが PID[1:0]ビットを BUF (01b) にし、USBFS が MaxPacketSize を超えるデータを受信すると、USBFS は PID[1:0]を STALL (11b) にする。
- コントロール転送シーケンスエラーを検出すると、USBFS は PID[1:0]を STALL (1xb) にする。
- USB バスリセットを検出したとき、USBFS は PID[1:0]を NAK にする。

SET_ADDRESS リクエスト処理時には、USBFS は PID[1:0]の設定値を確認しません。

USB バスリセットで PID[1:0]ビットは初期化されます。

CCPL ビット（コントロール転送終了許可）

デバイスコントローラモードでは、CCPL ビットを 1 にすることによりコントロール転送のステータスステージの終了を許可します。対応する PID[1:0]ビットが BUF のとき、ソフトウェアで CCPL ビットを 1 にすると、USBFS はコントロール転送のステータスステージを完了させます。

コントロールリード転送では、USBFS は USB ホストからの OUT トランザクションに対して、ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送では、USBFS は USB ホストからの IN トランザクションに対して、Zero-Length パケットを送信します。SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく、USBFS はセットアップステージからステータスステージ完了まで自動応答モードで動作します。

新しい Setup パケットを受信したときに、USBFS は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアは CCPL ビットを 1 にできません。CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラモードでは、常に CCPL ビットを 0 にしてください。

PBUSY ビット（パイプビジー）

PBUSY ビットは USBFS が PID[1:0]ビットを BUF から NAK に変更した場合に、DCP がトランザクションに使用されるかどうかを示します。USBFS は、選択パイプに対する USB トランザクションの開始時に、PBUSY ビットを 0 から 1 へ変更します。1 つのトランザクションの完了時に、USBFS は PBUSY ビットを 1 から 0 に変更します。

ソフトウェアが PID を NAK にすると、PBUSY ビットの値はパイプ設定の変更が可能かどうかを示します。

詳細については、「36.3.4.1. パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット（シーケンストグルビットモニタ）

SQMON ビットは DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を示します。

トランザクションが正常に終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットをトグルしません。

デバイスコントローラモードでは、Setup パケット正常受信時に、USBFS は SQMON ビットを 1（期待値を DATA1 に設定）にします。

デバイスコントローラモード時、USBFS はステータスステージの IN または OUT トランザクションでは SQMON ビットを参照しません。また、正常に終了しても SQMON ビットをトグルしません。

SQSET ビット（シーケンストグルビットセット）

SQSET ビットは DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に指定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SQCLR ビット（シーケンストグルビットクリア）

SQCLR ビットは DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に指定します。読むと 0 が読めます。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SUREQCLR ビット（SUREQ ビットクリア）

ホストコントローラモードでは、SUREQCLR ビットを 1 にすると SUREQ ビットが 0 になります。読むと 0 が読めます。

SETUP トランザクションにおいて SUREQ ビットが 1 のときに転送が停止した場合、ソフトウェアで SUREQCLR ビットを 1 にしてください。正常な SETUP トランザクションでは、その終了時に USBFS が自動的に SUREQ ビットを 0 にするため、ソフトウェアによるクリア処理は必要ありません。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットが 0 のときにのみ行ってください。UACT が 0 のときは、通信が停止しているか、バス切断検出により転送が行われていない状態となっています。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

SUREQ ビット（SETUP トークン送出）

ホストコントローラモードでは、SUREQ ビットを 1 にすると、USBFS による Setup パケット送信がトリガされます。SETUP トランザクション処理終了後、USBFS は SACK 割り込み、または SIGN 割り込みのどちらかを発生させ、SUREQ ビットを 0 にします。また、SUREQCLR ビットをソフトウェアで 1 にすると、USBFS は SUREQ ビットも 0 にします。

DCPMAXP.DEVSEL[3:0]ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを 1 にしてください。また、DCP の PID[1:0]ビットを NAK にしていることを確認してください。SUREQ ビットを 1 にした後、SETUP トランザクションが終了するまで (SUREQ = 1) の期間は DCPMAXP.DEVSEL[3:0]ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、または USBLENG レジスタの値を変更しないでください。SETUP トークンを送信するときのみ SUREQ ビットを 1 にしてください。それ以外の場合は 0 にしてください。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

BSTS フラグ（バッファステータス）

BSTS フラグは DCP FIFO バッファへのアクセスステータスを示します。本フラグが示す内容は、CFIFOSEL.ISEL ビットの設定に応じて以下のように異なります。

- ISEL ビットが 0 のとき、本ビットはバッファから受信データの読み出しが可能かどうかを示す。
- ISEL ビットが 1 のとき、本ビットはバッファから送信データの書き込みが可能かどうかを示す。

36.2.31 PIPESEL : パイプウィンドウ選択レジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x064

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PIPESEL[3:0]	パイプウィンドウ選択 0x0: パイプ選択なし 0x1: パイプ 1 0x2: パイプ 2 0x3: パイプ 3 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 0x8: パイプ 8 0x9: パイプ 9 その他: 設定禁止	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

PIPESEL レジスタ、PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPEnCTR レジスタ、PIPEnTRE レジスタ、および PIPEnTRN レジスタ (n = 1～9) を使用して、パイプ 1～9 を設定します。

PIPESEL レジスタでパイプを選択した後、対応する PIPECFG、PIPEMAXP、および PIPEPERI レジスタでパイプ機能設定を行います。PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタにおけるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0]ビット（パイプウィンドウ選択）

PIPESEL[3:0]ビットは、書き込みおよび読み出しに使用する PIPECFG、PIPEMAXP、および PIPEPERI レジスタに対応するパイプ番号を選択します。PIPESEL[3:0]ビットでパイプ番号を選択することで、選択したパイプ番号に対応する PIPECFG、PIPEMAXP、および PIPEPERI レジスタへの書き込みおよび各レジスタからの読み出しができます。

PIPESEL[3:0] = 0000b のときは、PIPECFG、PIPEMAXP、および PIPEPERI レジスタのすべてのビットから 0 が読めます。本ビットへの書き込みは無効です。

36.2.32 PIPECFG : パイプコンフィグレーションレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x068

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TYPE[1:0]		—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	EPNUM[3:0]	エンドポイント番号(注1) 選択したパイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。	R/W
4	DIR	転送方向(注2) (注3) 0: 受信方向 1: 送信方向	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SHTNAK	転送終了時のパイプ禁止(注1) 0: 転送終了後にパイプ動作を継続 1: 転送終了後にパイプを禁止	R/W
8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	DBLB	ダブルバッファモード(注2) (注3) 0: シングルバッファ 1: ダブルバッファ	R/W

ビット	シンボル	機能	R/W
10	BFRE	BRDY 割り込み動作指定(注2) (注3) 0: データ送受信で BRDY 割り込み生成 1: データ読み出し完了時に BRDY 割り込み生成	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	TYPE[1:0]	転送タイプ(注1) 0 0: パイプ不使用 0 1: パイプ 1 と 2：バルク転送 パイプ 3～5：バルク転送 パイプ 6～9：設定禁止 1 0: パイプ 1 と 2：設定禁止 パイプ 3～5：設定禁止 パイプ 6～9：インタラプト転送 1 1: パイプ 1 と 2：アイソクロナス転送 パイプ 3～5：設定禁止 パイプ 6～9：設定禁止	R/W

注. S-TYPE-3, P-TYPE-3

注 1. TYPE[1:0]ビット、SHTNAK ビットおよび EPNUM[3:0]ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 2. BFRE ビット、DBLB ビット、および DIR ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 3. 選択したパイプを使用した USB 通信の終了後に BFRE ビット、DBLB ビットまたは DIR ビットを変更する場合には、注 2 記載の制限事項に加え、ソフトウェアで PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込み、選択したパイプに割り当てられた FIFO バッファのクリアを実行してください。

PIPECFG レジスタは、パイプ 1～9 に対して、各パイプの転送タイプ、FIFO バッファのアクセス方向、およびエンドポイント番号を指定します。また、本レジスタはシングルバッファモードまたはダブルバッファモードを選択し、さらに転送終了時のパイプ動作を継続するか、禁止するかの選択をします。

EPNUM[3:0]ビット（エンドポイント番号）

EPNUM[3:0]ビットは選択したパイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0]ビットの設定の組み合わせが、他のパイプの設定と重複しないように EPNUM[3:0]ビットを設定してください。すべてのパイプに対して EPNUM[3:0]ビットの設定を 0000b とすることは可能です。

DIR ビット（転送方向）

DIR ビットは選択したパイプの転送方向を指定します。

ソフトウェアで DIR ビットを 0 にすると、USBFS は選択したパイプを受信方向に使用します。ソフトウェアで DIR ビットを 1 にすると、USBFS は選択したパイプを送信方向に使用します。

SHTNAK ビット（転送終了時のパイプ禁止）

SHTNAK ビットは選択したパイプの転送方向が受信の場合、転送終了時に PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更するかどうかを指定します。SHTNAK ビットは、受信方向のパイプ 1～5 の場合に有効なビットです。

受信方向パイプに対してソフトウェアで SHTNAK ビットを 1 にすると、USBFS は転送終了を判定したときに、対応する PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更します。USBFS は、以下の条件が満たされると転送終了を判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット（ダブルバッファモード）

DBLB ビットは、選択したパイプが使用する FIFO バッファがシングルバッファモードかダブルバッファモードかを選択します。本ビットはパイプ 1～5 の場合に有効です。

BFRE ビット（BRDY 割り込み動作指定）

BFRE ビットは USBFS から CPU への選択したパイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にし、かつ選択したパイプを受信方向で使用している場合、USBFS は転送終了を検出し、パケットの読み出し時に BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生した場合、ソフトウェアによりポートコントロールレジスタの BCLR ビットに 1 を書き込む必要があります。BCLR ビットに 1 を書き込むまでは選択したパイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを 1 にし、かつ選択したパイプを送信方向で使用している場合、USBFS は BRDY 割り込みを発生させません。詳細については、「36.3.3.1. BRDY 割り込み」を参照してください。

TYPE[1:0]ビット（転送タイプ）

TYPE[1:0]ビットは PIPESEL.PIPESEL[3:0]ビットに指定したパイプの転送タイプを指定します。PID を BUF にして選択したパイプで USB 通信を開始する前に、TYPE[1:0]ビットを 00b 以外の値にしてください。

36.2.33 PIPEMAXP : パイプマックスパケットサイズレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x06C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DEVSEL[3:0]				—	—	—	MXPS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	MXPS[8:0]	最大パケットサイズ(注1) ● パイプ 1～2 1 バイト (0x001)～256 バイト (0x100) （ビット[9]はサポートされていません。） ● パイプ 3～5 8 バイト (0x008)、16 バイト (0x010)、32 バイト (0x020)、64 バイト (0x040) （ビット[9:7]および[2:0]はサポートされていません。） ● パイプ 6～9 1 バイト (0x001) ～64 バイト (0x040) （ビット[9:7]はサポートされていません。）	R/W
11:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	DEVSEL[3:0]	デバイス選択(注2) 0x0: アドレス 0000b 0x1: アドレス 0001b 0x2: アドレス 0010b 0x3: アドレス 0011b 0x4: アドレス 0100b 0x5: アドレス 0101b その他: 設定禁止	R/W

注. S-TYPE-3, P-TYPE-3
注. MXPS[8:0]ビットの値は、PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないときは 0x000、選択しているときは 0x040 です。
注 1. MXPS[8:0]ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットでパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
注 2. DEVSEL[3:0]ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEMAXP レジスタは、パイプ 1～9 に対して、最大パケットサイズを指定します。

MXPS[8:0]ビット（最大パケットサイズ）

MXPS[8:0]ビットは選択したパイプの最大データペイロード（最大パケットサイズ）を指定します。

MXPS[8:0]ビットの設定は、転送タイプごとに USB2.0 規格に準拠した値を設定してください。MXPS[8:0]ビット = 0 のとき、FIFO バッファへの書き込み、または PID ＝ BUF の設定は行わないでください。これらの書き込みは無効です。

DEVSEL[3:0]ビット（デバイス選択）

ホストコントローラモードでは、DEVSEL[3:0]ビットは USB 通信対象デバイスのアドレスを指定します。対応する DEVADDn (n = 0～5) レジスタでデバイスアドレスを設定した後で、DEVSEL[3:0]ビットを対応する値に設定してください。たとえば、DEVSEL[3:0]ビットを 0x2 にするには、まず DEVADD2 レジスタでアドレスを設定してください。

デバイスコントローラモードでは、本ビットを 0x0 にしてください。

36.2.34 PIPEPERI : パイプ周期コントロールレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x06E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	IITV[2:0](注1)	インターバルエラー検出間隔 選択したパイプのインターバルエラー検出タイミングを、フレームタイミングの 2 の n 乗で指定してください。	R/W
11:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	IFIS	アイソクロナス IN バッファフラッシュ 0: バッファフラッシュしない 1: バッファフラッシュする	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. IITV[2:0]ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEPERI レジスタは、パイプ 1～9 に対して、アイソクロナス IN 転送時にインターバルエラーが発生した場合にバッファフラッシュ機能を動作させるかどうかの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0]ビット（インターバルエラー検出間隔）

IITV[2:0]ビットを設定し、USB 通信を行った後で IITV[2:0]ビットを別の値に変更する場合は、PIPEnCTR.PID[1:0]ビットを 00b (NAK) にしてから PIPEnCTR.ACLRM ビットを 1 にして、インターバルタイマの初期化を行ってください。

パイプ 3～5 に対しては、IITV[2:0]ビットは存在しません。パイプ 3～5 に関連する IITV[2:0]ビットの位置には、000b を書き込んでください。

IFIS ビット（アイソクロナス IN バッファフラッシュ）

IFIS ビットは PIPESEL.PIPESEL[3:0]ビットで選択したパイプがアイソクロナス IN 転送で使用される場合に、バッファフラッシュの有無を指定します。

デバイスコントローラモード時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV[2:0]ビットに設定したインターバルごとのフレーム中に USBFS が USB ホストから IN トークンを受信しなかった場合は、USBFS が自動的に FIFO バッファをクリアします。

ダブルバッファ設定時（PIPECFG.DBLB ビット = 1）は、USBFS は前回使用した 1 面分のデータのみクリアします。

USBFS が FIFO バッファをクリアするタイミングは、USBFS が IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。SOF パケットが破損した場合でも、内部補完機能により SOF パケットの受信が見込まれるタイミングで FIFO バッファをクリアします。

ホストコントローラ機能を選択する場合はこのビットを 0 にします。

選択パイプの転送タイプがアイソクロナス以外の場合は、このビットを 0 にしてください。

36.2.35 PIPEnCTR : PIPEn コントロールレジスタ (n = 1～5)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x070 + 0x2 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジー 0: パイプ n をトランザクションで未使用 1: パイプ n をトランザクションで使用中	R
6	SQMON	シーケンストグルビット確認 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注2) パイプ n にシーケンストグルビットを設定します。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA1 にする	R/W(注1)
8	SQCLR	シーケンストグルビットクリア(注2) パイプ n のシーケンストグルビットをクリアします。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にクリアする	R/W(注1)
9	ACLRM	自動バッファクリアモード(注3) 0: 無効 1: 許可（全バッファ初期化）	R/W
10	ATREPM	自動応答モード(注2) 0: 自動応答モード禁止 1: 自動応答モード許可	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	INBUFM	送信バッファモニタ 0: FIFO バッファに送信可能データなし 1: FIFO バッファに送信可能データあり	R
15	BSTS	バッファステータス 0: CPU からのバッファアクセス不可能 1: CPU からのバッファアクセス可能	R

注. S-TYPE-3, P-TYPE-3
注 1. 読むと 0 が読めます。
注 2. ATREPM ビットの設定および SQCLR ビットまたは SQSET ビットへの 1 の書き込みは、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 3. ACLRM ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。このビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEnCTR レジスタは、PIPESEL レジスタで選択されたどのパイプに対しても設定可能です。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは選択したパイプの次回のトランザクションにおける応答の種類を指定します。

PID[1:0]ビットの初期値は NAK です。対応するパイプで USB 転送を行う場合には、PID[1:0]ビットの設定値を BUF に変更してください。PID[1:0]ビットの設定値に基づく USBFS の基本動作（通信パケットにエラーがない場合）を、表 36.9 と表 36.10 に示します。

選択したパイプが USB 通信中であるときにソフトウェアで PID[1:0]の設定を BUF から NAK に変更した場合は、実際にそのパイプの USB 転送が NAK 状態に遷移したかを確認するために、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBFS が PIPEnCTR.PID[1:0]設定値を変更します。

- 選択したパイプが受信方向で、かつソフトウェアで選択したパイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBFS は転送終了を認識したときに PID を NAK にする
- 選択したパイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBFS は PID を STALL (11b) にする
- デバイスコントローラモード時に USB バスリセットを検出した場合、USBFS は PID を NAK にする
- ホストコントローラモード時に CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID を NAK にする
- ホストコントローラモード時に STALL ハンドシェイクを受信した場合、USBFS は PID を STALL (11b) にする

応答の種類を指定するための PID[1:0]ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、10b を設定
- BUF (01b) 状態から STALL 状態にする場合には、11b を設定
- STALL (11b) 状態から NAK 状態にする場合には、一度 10b を設定してから 00b を設定
- STALL 状態から BUF 状態にする場合には、一度 00b (NAK) を設定してから 01b (BUF) を設定

表 36.9 PID[1:0]の設定値に基づく USBFS の動作（ホストコントローラモード時）

PID[1:0]値	転送タイプ	転送方向（DIR ビット）	USBFS 動作
00b (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しません。
01b (BUF)	バルクまたは割り込み	設定値に依存しない	DVSTCTR0.UACT ビットが 1、かつ選択したパイプに対応する FIFO バッファが送受信可能な状態にある場合、トークンを発行します。DVSTCTR0.UACT ビットが 0、または選択したパイプに対応する FIFO バッファが送受信可能な状態にない場合、トークンを発行しません。
	アイソクロナス	設定値に依存しない	選択したパイプに対応する FIFO バッファの状態にかかわらずトークンを発行します。
10b (STALL) または 11b (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しません。

表 36.10 PID[1:0]の設定値に基づく USBFS の動作（デバイスコントローラモード時） (1/2)

PID[1:0]値	転送タイプ	転送方向（DIR ビット）	USBFS 動作
00b (NAK)	バルクまたは割り込み	設定値に依存しない	USB ホストからのトークンに NAK 応答を行います。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに応答を行いません。

表 36.10 PID[1:0]の設定値に基づく USBFS の動作（デバイスコントローラモード時） (2/2)

PID[1:0]値	転送タイプ	転送方向（DIR ビット）	USBFS 動作
01b (BUF)	バルク	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、選択したパイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行います。
	割り込み	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、選択したパイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行います。
	バルクまたは割り込み	送信方向 (DIR = 1)	USB ホストからのトークンに対して、選択したパイプに対応する FIFO バッファが送信可能な状態であれば、データを送信します。送信可能な状態でなければ、NAK 応答を行います。
	アイソクロナス	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、選択したパイプに対応する FIFO バッファが受信可能な状態であれば、データを受信します。受信可能な状態でなければ、データを破棄します。
	アイソクロナス	送信方向 (DIR = 1)	USB ホストからのトークンに対して、対応する FIFO バッファが送信可能な状態であれば、データを送信します。送信可能な状態でなければ、Zero-Length パケットを送信します。
10b (STALL) または 11b (STALL)	バルクまたは割り込み	設定値に依存しない	USB ホストからのトークンに STALL 応答を行います。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに応答を行いません。

PBUSY ビット（パイプビジー）

PBUSY ビットは選択したパイプを現在のトランザクションで使用中かどうかを示します。

USBFS は、選択したパイプの USB トランザクション開始時に PBUSY ビットを 0 から 1 に変更し、1 つのトランザクションが終了すると PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することが可能です。詳細については、「36.3.4.1. パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット（シーケンストグルビット確認）

SQMON ビットは選択したパイプの次回のトランザクションにおけるシーケンストグルビットの期待値を示します。

選択したパイプの転送タイプがアイソクロナス以外の場合、トランザクションが正常に終了すると、USBFS は SQMON フラグをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON フラグをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA1 に設定します。USBF は、SQSET ビットを 0 にクリアします。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA0 に設定します。USBF は、SQCLR ビットを 0 にクリアします。

ACLRM ビット（自動バッファクリアモード）

ACLRM ビットは選択したパイプの自動バッファクリアモードの許可または禁止を指定します。選択したパイプに割り当てられた FIFO バッファのデータを完全にクリアする場合、ACLRM ビットに 1 と 0 を連続して書き込んでください。

ACLRM ビットに 1 と 0 を連続して書き込んだ場合にクリアされるデータと、この処理が必要な状況を表 36.11 に示しています。

表 36.11 ACLRM = 1 のときに USBFS がクリアするデータ (1/2)

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要な状況
1	選択したパイプに割り当てられた FIFO バッファの全データ（ダブルバッファモードでは 2 つの FIFO バッファ）	選択したパイプを初期化する場合

表 36.11 ACLRM = 1 のときに USBFS がクリアするデータ (2/2)

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要な状況
2	選択したパイプがアイソクロナス転送タイプの場合はインターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
4	FIFO バッファトグル制御	PIPECFG.DBLB ビットの設定値を変更する場合
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

ATREPM ビット（自動応答モード）

ATREPM ビットは選択したパイプの自動応答モードを許可または禁止します。

デバイスコントローラモードで、選択したパイプの転送タイプがバルク転送のとき、本ビットを 1 にすることができます。本ビットを 1 にした場合、USBFS は USB ホストからのトークンに対し以下のように応答します。

- 選択したパイプの設定がバルク IN 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 1）のとき：
  a. ATREPM = 1 かつ PID = BUF の状態の場合、IN トークンに対して USBFS は Zero-Length パケットを送信する。
  b. USB は、USB ホストから ACK を受信するごとに、シーケンストグルビット (DATA-PID) を更新する。1 トランザクションでは、IN トークン受信、Zero-Length パケット送信、ACK 受信の順序で発生する。USBFS は BRDY 割り込みや BEMP 割り込みを発生させない。

- 選択したパイプの設定がバルク OUT 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0）のとき：
  ATREPM = 1 かつ PID = BUF の状態の場合、OUT トークンに対して USBFS は NAK 応答を行い、NRDY 割り込みを発生させる。

自動応答モードで USB 通信を行う場合、FIFO バッファが空の状態で ATREPM ビットを 1 にしてください。自動応答モードで USB 通信を行っている期間は、FIFO バッファへの書き込みを行わないでください。選択したパイプの転送タイプがアイソクロナス転送の場合は、常に本ビットを 0 にしてください。

ホストコントローラモードでは、ATREPM ビットを常に 0 にしてください。

INBUFM ビット（送信バッファモニタ）

INBUFM ビットは選択したパイプが送信方向の場合に、選択したパイプの FIFO バッファステータスを示します。

選択したパイプを送信方向（PIPECFG.DIR ビットが 1）に設定している場合、CPU または DMA/DTC が少なくとも 1 面分のデータを FIFO バッファに書き込みを完了したときに、USBFS は本ビットを 1 にします。

書き込みが完了している面の FIFO バッファ上のデータを USBFS がすべて送信完了したときに、USBFS は本ビットを 0 にします。ダブルバッファモード時 (PIPECFG.DBLB = 1) には、USBFS が FIFO バッファの 2 面分のデータを送信完了し、かつ CPU または DMA/DTC が FIFO バッファの 1 面分のデータ書き込みを完了していないときに、USBFS は INBUFM ビットを 0 にします。

選択したパイプを受信方向 (PIPECFG.DIR = 0) に設定している場合には、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット（バッファステータス）

BSTS ビットは選択したパイプの FIFO バッファステータスを示します。

BSTS ビットの機能は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により、表 36.12 に示すように異なります。

表 36.12 BSTS ビットの動作

DIR 値	BFRE 値	DCLRM 値	BSTS ビットの機能
0	0	0	FIFO バッファからの受信データの読み出しが可能な場合は 1、データ読み出し完了時には 0
		1	設定禁止
	1	0	FIFO バッファからの受信データの読み出しが可能な場合は 1、データ読み出し完了後にソフトウェアがポートコントロールレジスタの BCLR ビットを 1 にする場合は 0
		1	FIFO バッファからの受信データの読み出しが可能な場合は 1、データ読み出し完了時には 0
1	0	0	FIFO バッファへの送信データの書き込みが可能な場合は 1、データ書き込み完了時には 0
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

36.2.36 PIPEnCTR : PIPEn コントロールレジスタ (n = 6～9)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x07A + 0x2 × (n - 6)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジー 0: パイプ n をトランザクションで未使用 1: パイプ n をトランザクションで使用中	R
6	SQMON	シーケンストグルビット確認 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注1) パイプ n にシーケンストグルビットを設定します。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にする	W
8	SQCLR	シーケンストグルビットクリア(注1) パイプ n のシーケンストグルビットをクリアします。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にクリアします。	W
9	ACLRM	自動バッファクリアモード(注2) 0: 無効 1: 許可（全バッファ初期化）	R/W
14:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	BSTS	バッファステータス 0: バッファアクセス不可能 1: バッファアクセス可能	R

注. S-TYPE-3, P-TYPE-3
注 1. SQCLR ビットまたは SQSET ビットへの 1 の書き込みは、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
注 2. ACLRM ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。本ビットを設定する場合は、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは選択したパイプの次回のトランザクションにおける応答の種類を指定します。

PID[1:0]ビットの初期値は NAK です。対応するパイプで USB 転送を行う場合には、PID[1:0]ビットの設定値を BUF に変更してください。PID[1:0]ビット設定値ごとの USBFS の基本動作（送受信パケットにエラーがない場合）は、表 36.9 および表 36.10 のとおりです。

選択したパイプが USB 通信中であるときにソフトウェアで PID[1:0]の設定を BUF から NAK に変更した場合は、実際にその選択したパイプの USB 転送が NAK 状態に遷移したかを確認するために、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBFS が PIPEnCTR.PID[1:0]設定値を変更します。

- 選択したパイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBFS は PID を STALL (11b) にする
- デバイスコントローラモード時に USB バスリセットを検出した場合、USBFS は PID を NAK にする
- ホストコントローラモード時に CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID を NAK にする
- ホストコントローラモード時に STALL ハンドシェイクを受信した場合、USBFS は PID を STALL (11b) にする

各応答の種類を指定するための PID[1:0]ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、10b を設定
- BUF (01b) 状態から STALL 状態にする場合には、11b を設定
- STALL (11b) 状態から NAK 状態にする場合には、一度 10b を設定してから 00b を設定
- STALL 状態から BUF 状態にする場合には、一度 00b (NAK) を設定してから 01b (BUF) を設定

PBUSY ビット（パイプビジー）

PBUSY ビットは選択したパイプを現在のトランザクションで使用中かどうかが表示されます。

USBFS は、選択したパイプの USB トランザクション開始時に PBUSY ビットを 0 から 1 に変更し、1 つのトランザクションが終了すると PBUSY ビットを 1 から 0 に変更します。

PID を NAK にした後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することが可能です。

SQMON ビット（シーケンストグルビット確認）

SQMON ビットは選択したパイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。

トランザクションが正常終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA1 に設定します。USBF は、SQSET ビットを 0 にします。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA0 に設定します。USBF は、SQCLR ビットを 0 にします。

ACLRM ビット（自動バッファクリアモード）

ACLRM ビットは選択したパイプの自動バッファクリアモードの許可または禁止を指定します。選択したパイプに割り当てられた FIFO バッファのデータを完全にクリアする場合、ACLRM ビットに 1 と 0 を連続して書き込んでください。

表 36.13 は、ACLRM ビットに 1 と 0 を連続して書き込んだ場合にクリアされるデータと、この処理が必要な状況を示しています。

表 36.13　ACLRM = 1 のときに USBFS がクリアするデータ

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要な状況
1	選択したパイプに割り当てられた FIFO バッファの全データ	選択したパイプを初期化する場合
2	選択したパイプがアイソクロナス転送タイプの場合はインターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

BSTS ビット（バッファステータス）

BSTS ビットは選択したパイプの FIFO バッファステータスを示します。

BSTS ビットの機能は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により、表 36.12 に示すように異なります。

36.2.37　PIPEnTRE : PIPEn トランザクションカウンタ許可レジスタ (n = 1～5)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x090 + 0x4 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TRCLR	トランザクションカウンタクリア 0: 無効（0 の書き込みは影響なし） 1: カウンタ値をクリア	R/W
9	TRENB	トランザクションカウンタ許可 0: トランザクションカウンタ禁止 1: トランザクションカウンタ許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3, P-TYPE-3
注.　PIPEnTRE レジスタの各ビットの設定は、PID が NAK の状態のときに実施してください。選択したパイプの PIPEnCTR.PID[1:0]ビットを BUF から NAK へ変更した後で各ビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認してください。ただし、USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

TRCLR ビット（トランザクションカウンタクリア）

TRCLR ビットが 1 の場合、USBFS は選択したパイプに関連付けられているトランザクションカウンタの値をクリアし、その後 TRCLR ビットを 0 にします。

TRENB ビット（トランザクションカウンタ許可）

TRENB ビットは、トランザクションカウンタの許可または禁止を指定します。

受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0]ビットに総受信パケット数を設定した後で TRENB ビットを 1 にすると、USBFS は TRNCNT[15:0]ビットの設定値と同数のパケット受信を終了したときに以下のハードウェア制御を行います。

- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0]ビットの設定値と同数のパケットの受信を終了した時点で USBFS は関連するパイプの PID ビットを NAK に変更する
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0]ビットの設定値と同数のパケットを受信しその最後の受信データを読み出し終えたときに、USBFS は BRDY 割り込みをアサートする

送信パイプについては、TRENB ビットを 0 にしてください。

トランザクションカウンタを使用しない場合は、本ビットを 0 にしてください。トランザクションカウンタを使用する場合、TRENB ビットを 1 にする前に TRNCNT[15:0]ビットの設定を行ってください。トランザクションカウンタのカウント対象となる最初のパケットを受信する前に、本ビットを 1 にしてください。

36.2.38 PIPEnTRN : PIPEn トランザクションカウンタレジスタ (n = 1～5)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x092 + 0x4 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRNCNT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TRNCNT[15:0]	トランザクションカウンタ レジスタ書き込み時、選択したパイプが受信すべき総パケット数（トランザクション回数）を指定します。 レジスタ読み出し時、PIPEnTRE.TRENB ビットが 0 の場合は、指定したトランザクション回数を示します。 PIPEnTRE.TRENB ビットが 1 の場合は、現在のトランザクションカウントを示します。	R/W

注. S-TYPE-3, P-TYPE-3

PIPEnTRN レジスタは、USB バスリセット時もその設定値を保持します。

TRNCNT[15:0]ビット（トランザクションカウンタ）

USBFS は、パケット受信時の状態が以下の条件をすべて満たしたときに、TRNCNT[15:0]ビットの値を 1 増加させます。

- PIPEnTRE.TRENB = 1
- パケット受信時に「TRNCNT[15:0]設定値 ≠ 現在のカウンタ値+1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[9:0]ビットの設定値と一致する

USBFS は、以下のいずれかの条件を満たしたとき、TRNCNT[15:0]ビットの値を 0 にします。

以下の条件がすべて満たされたとき：

- PIPEnTRE.TRENB = 1
- パケット受信時に「TRNCNT[15:0]設定値 = 現在のカウンタ値+1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[9:0]ビットの設定値と一致する

以下条件がどちらも満たされたとき：

- PIPEnTRE.TRENB = 1
- USBFS がショートパケットを受信した

以下条件がどちらも満たされたとき：

- PIPEnTRE.TRENB = 1
- PIPEnTRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプについては、TRNCNT[15:0]ビットを 0 にしてください。トランザクションカウンタを使用しない場合は、TRNCNT[15:0]ビットを 0 にしてください。

TRNCNT[15:0]ビットに転送されるトランザクション数の設定は、PIPEnTRE.TRENB ビットが 0 のときのみ可能です。転送されるトランザクション数を設定するには、PIPEnTRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 にして現在のカウンタ値をクリアしてください。

36.2.39 DEVADDn : デバイスアドレス n コンフィグレーションレジスタ (n = 0～5)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x0D0 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	USBSPD[1:0]		—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	USBSPD[1:0]	通信対象デバイス転送速度 0 0: DEVADDn レジスタ未使用 0 1: ロースピード 1 0: フルスピード 1 1: 設定禁止	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DEVADDn レジスタは、パイプ 0～9 に対して、通信対象の周辺デバイスの転送速度を指定するレジスタです。

ホストコントローラモードでは、パイプへの通信を開始する前に、DEVADDn レジスタのビットをすべて設定してください。DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときにのみ行ってください。有効なパイプとは、以下の両方の条件を満たしているパイプです。

- DEVADDn レジスタの対象デバイスが DEVSEL[3:0]ビットで選択されている
- 選択パイプの PID[1:0]ビットに BUF を設定しているか、または選択パイプが DCP であり DCPCTR.SUREQ ビットが 1 になっている

デバイスコントローラモードでは、本レジスタのビットはすべて 0 にしてください。

USBSPD[1:0]ビット（通信対象デバイス転送速度）

USBSPD[1:0]ビットは対象の周辺デバイスの USB 転送速度を設定します。HUB 経由でフルスピードデバイスが接続されたときには、USBSPD[1:0]ビットを 10b にしてください。ホストコントローラモード時、USBFS は USBSPD[1:0]の設定に応じてパケットを生成します。デバイスコントローラモードでは、USBSPD[1:0]ビットを 00b にしてください。

36.2.40 DPUSR0R : ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DVBSTS0	—	DOVCB0	DOVCA0	—	—	DM0	DP0
Value after reset:	0	0	0	0	0	0	0	0	x	0	x	x	0	0	x	x

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	FIXPHY0	DRPD0	—	RPUE0	SRPC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRPC0(注1)	USB シングルエンドレシーバ制御 0: DP/DM の入力を禁止 1: DP/DM の入力を許可	R/W
1	RPUE0(注1)	DP プルアップ抵抗制御 0: DP プルアップ抵抗を無効 1: DP プルアップ抵抗を有効	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DRPD0(注1)	D+/D–プルダウン抵抗制御 0: DP/DP プルダウン抵抗を無効 1: DP/DP プルダウン抵抗を有効	R/W
4	FIXPHY0	USB トランシーバ出力固定 0: 通常モード時およびディープソフトウェアスタンバイモード 1 からの復帰時に出力を固定 1: ディープソフトウェアスタンバイモード 1 への遷移時に出力固定	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DP0	USB D+入力 USBFS 側の D+入力信号を示します。	R
17	DM0	USB D–入力 USBFS 側の D–入力信号を示します。	R
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	DOVCA0	USB OVRCURA-DS 入力(注2) USBFS 側の OVRCURA-DS 入力信号を示します。	R
21	DOVCB0	USB OVRCURB-DS 入力(注2) USBFS 側の OVRCURB-DS 入力信号を示します。	R
22	—	読み出し値は不定です。書く場合、0 としてください。	R/W
23	DVBSTS0	USB VBUS 入力 USBFS 側の VBUS 入力信号を示します。	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. 本レジスタは、ディープソフトウェアスタンバイモード 1 で消費電流低減のために、PCLKB/64 のクロックによりアクセスされます。
注 1. 本ビットは、ディープソフトウェアスタンバイモード 1 での動作時に使用してください。詳細は、「36.3.1.5. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除」を参照してください。
注 2. OVRCURA または OVRCURB は使用できません。ディープソフトウェアスタンバイモード 1 では、OVRCURA-DS または OVRCURB-DS のみ使用できます。

SRPC0 ビット（USB シングルエンドレシーバ制御）

SRPC0 ビットは、USB トランシーバの D+/D–入力制御を行います。ホストコントローラモードでは、本ビットを 1 にしてください。デバイスコントローラモードで、切断状態では本ビットを 0 に、サスペンド状態では 1 に設定してください。FIXPHY0 ビットが 1 のときのみ、本ビットは有効です。

FIXPHY0 ビット（USB トランシーバ出力固定）

FIXPHY0 ビットは、USB トランシーバの出力を不可に固定します。

36.2.41 DPUSR1R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x404

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DVBINT0	—	DOVRCRB0	DOVRCRA0	—	—	DMINT0	DPINT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	DVBSE0	—	DOVRCRBE0	DOVRCRAE0	—	—	DMINTE0	DPINTE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPINTE0	USB DP 割り込み許可／クリア 0: DP 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: DP 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
1	DMINTE0	USB DM 割り込み許可／クリア 0: DM 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: DM 入力によるディープソフトウェアスタンバイモードからの復帰を許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DOVRCRAE0	USB OVRCURA-DS 割り込み許可／クリア(注1) 0: OVRCURA-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: OVRCURA-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
5	DOVRCRBE0	USB OVRCURB-DS 割り込み許可／クリア(注1) 0: OVRCURB-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: OVRCURB-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DVBSE0	USB VBUS 割り込み許可／クリア 0: VBUS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: VBUS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。.	R/W
16	DPINT0	USB DP 割り込み要因による復帰 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: DP 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
17	DMINT0	USB DM 割り込み要因による復帰 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: DM 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
20	DOVRCRA0	USB OVRCURA-DS 割り込み要因による復帰(注1) 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: OVRCURA-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
21	DOVRCRB0	USB OVRCURB-DS 割り込み要因による復帰(注1) 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: OVRCURB-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	DVBINT0	USB VBUS 割り込み要因による復帰 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: VBUS 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. 本レジスタは、ディープソフトウェアスタンバイモード 1 で消費電流低減のために、PCLKB/64 のクロックによりアクセスされます。
注 1. OVRCURA または OVRCURB は使用できません。ディープソフトウェアスタンバイモード 1 では、OVRCURA-DS または OVRCURB-DS のみ使用できます。

DPINTE0 ビット（USB DP 割り込み許可／クリア）

DPINTE0 ビットは USBFS の DP 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DPINT0 ビットが 1 のときに本ビットに 0 を書き込むことにより、DPINT0 ビットが 0 になります。

DMINTE0 ビット（USB DM 割り込み許可／クリア）

DMINTE0 ビットは USBFS の DM 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DMINT0 ビットが 1 のときに本ビットに 0 を書くことにより、DMINT0 ビットが 0 にクリアされます。

DOVRCRAE0 ビット（USB OVRCURA-DS 割り込み許可／クリア）

DOVRCRAE0 ビットは USBFS の OVRCURA-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DOVRCRA0 ビットが 1 のときに本ビットに 0 を書くことにより、DOVRCRA0 ビットが 0 にクリアされます。

DOVRCRBE0 ビット（USB OVRCURB-DS 割り込み許可／クリア）

DOVRCRBE0 ビットは USBFS の OVRCURB-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DOVRCRB0 ビットが 1 のときに本ビットに 0 を書くことにより、DOVRCRB0 ビットが 0 にクリアされます。

DVBSE0 ビット（USB VBUS 割り込み許可／クリア）

DVBSE0 ビットは USBFS の VBUS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DVBINT0 ビットが 1 のときに本ビットに 0 を書くことにより、DVBINT0 ビットが 0 にクリアされます。

DPINT0 ビット（USB DP 割り込み要因による復帰）

DPINT0 ビットは、USBFS の DP 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DPINTE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DPINTE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DMINT0 ビット（USB DM 割り込み要因による復帰）

DMINT0 ビットは、USBFS の DM 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DMINTE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DMINTE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DOVRCRA0 ビット（USB OVRCURA-DS 割り込み要因による復帰）

DOVRCRA0 ビットは、USBFS の OVRCURA-DS 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DOVRCRAE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DOVRCRAE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DOVRCRB0 ビット（USB OVRCURB-DS 割り込み要因による復帰）

DOVRCRB0 ビットは、USBFS の OVRCURB-DS 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DOVRCRBE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DOVRCRBE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DVBINT0 ビット（USB VBUS 割り込み要因による復帰）

DVBINT0 ビットは、USBFS の VBUS 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DVBSE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DVBSE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

36.3 動作説明

36.3.1 システムコントロール

USBFS の初期化および消費電力の制御に必要なレジスタの設定について説明します。

36.3.1.1 USBFS レジスタのデータ設定

クロック供給が開始された状態（SYSCFG.SCKE ビット = 1）で、SYSCFG.USBE ビットを 1 にすることにより、USBFS は動作が許可され、動作を開始します。

36.3.1.2 コントローラ機能の選択

USBFS の動作は、ホストコントローラとデバイスコントローラの 2 種類の機能から選択できます。

どちらの機能にするかは、SYSCFG.DCFM ビットで選択できます。DCFM ビットの変更は、リセット直後の初期設定時、または D+プルアップ禁止（SYSCFG.DPRPU ビット = 0）かつ D+/D-プルダウン禁止（SYSCFG.DRPD ビット = 0）のときに行ってください。

36.3.1.3 抵抗による USB データバス制御

USBFS は、D+/D-ラインのプルアップ抵抗およびプルダウン抵抗を内蔵しています。SYSCFG.DPRPU ビットおよび SYSCFG.DRPD ビットの設定により、ラインのプルアップ、プルダウンを設定してください。

デバイスコントローラモードでは、USB ホストへの接続を確認した後で、SYSCFG.DPRPU ビットを 1 にし、D+ライン（フルスピード通信時）をプルアップしてください。

PC と通信中に SYSCFG.DPRPU ビットに 0 を設定した場合は、USBFS は USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイス切断を通知することが可能です。

ホストコントローラモード時は、SYSCFG.DRPD ビットを 1 に設定し、D+/D-ラインをプルダウンしてください。

表 36.14 USB データバス抵抗制御

SYSCFG レジスタ設定		USB データバス制御		
DRPD ビット	DPRPU ビット	D–	D+	機能
0	0	オープン	オープン	抵抗未使用時
0	1	オープン	プルアップ	デバイスコントローラとしてフルスピードで動作させる場合
1	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
1	1	—	—	設定禁止

36.3.1.4 外部接続回路例

図 36.2 にセルフパワードシステムでの OTG 接続例を示します。USBFS は、D+ラインのプルアップ抵抗と、D+および D–ラインのプルダウン抵抗を制御します。SYSCFG.DPRPU ビットと SYSCFG.DRPD ビットで、ライ

ンのプルアップとプルダウンを選択してください。デバイスコントローラモードでは、USB ホストとの通信中に SYSCFG.DPRPU ビットを 0 にすると、USB データラインのプルアップ抵抗が無効になります。USBFS はこれを利用して、USB ホストに対してデバイスの切断を知らせることができます。

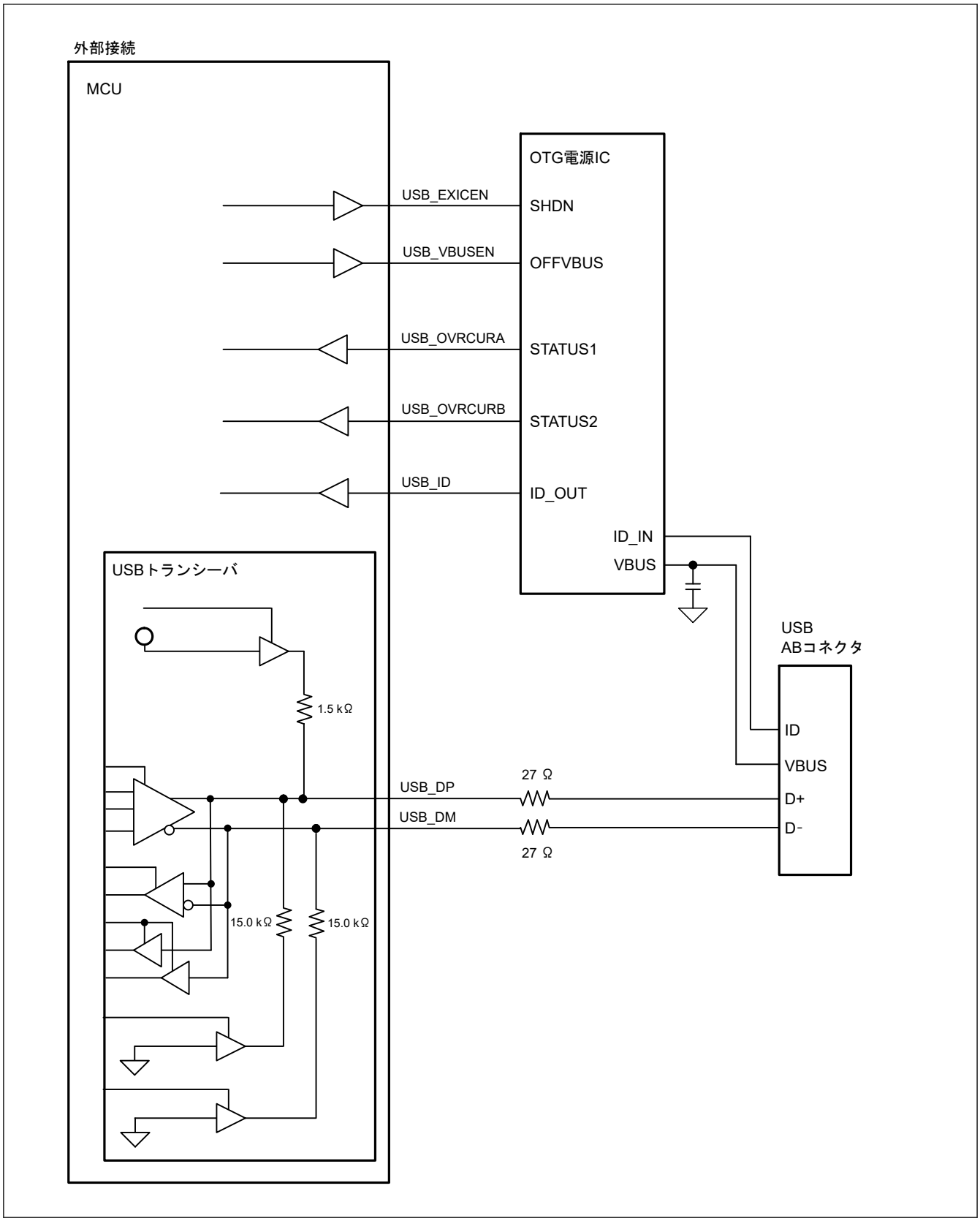


図 36.2　セルフパワードシステムでの OTG 接続例

図 36.3 にセルフパワードシステムでのデバイス接続例を示します。

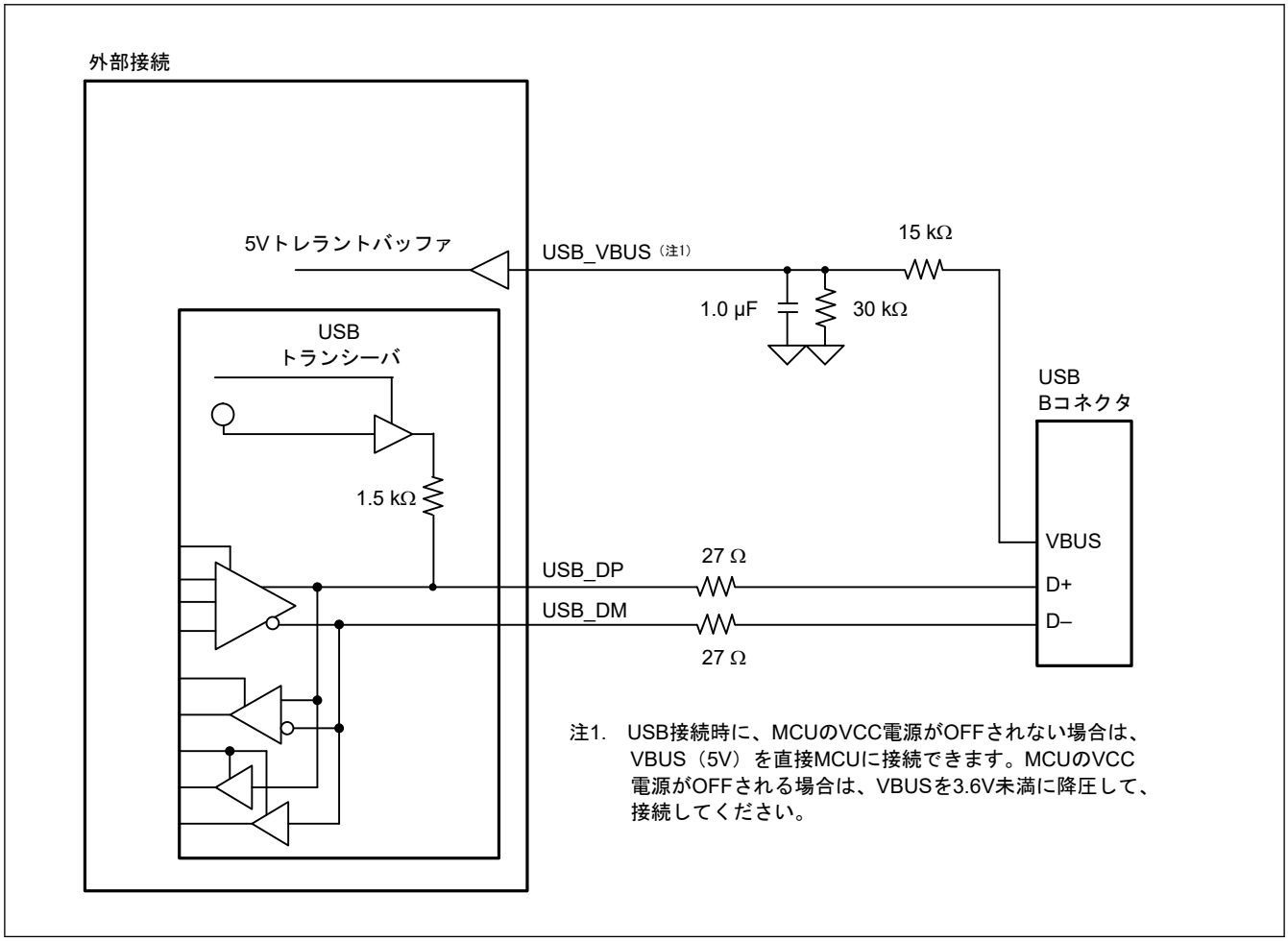


図 36.3 セルフパワードシステムでのデバイス接続例

図 36.4 にホスト接続例を示します。

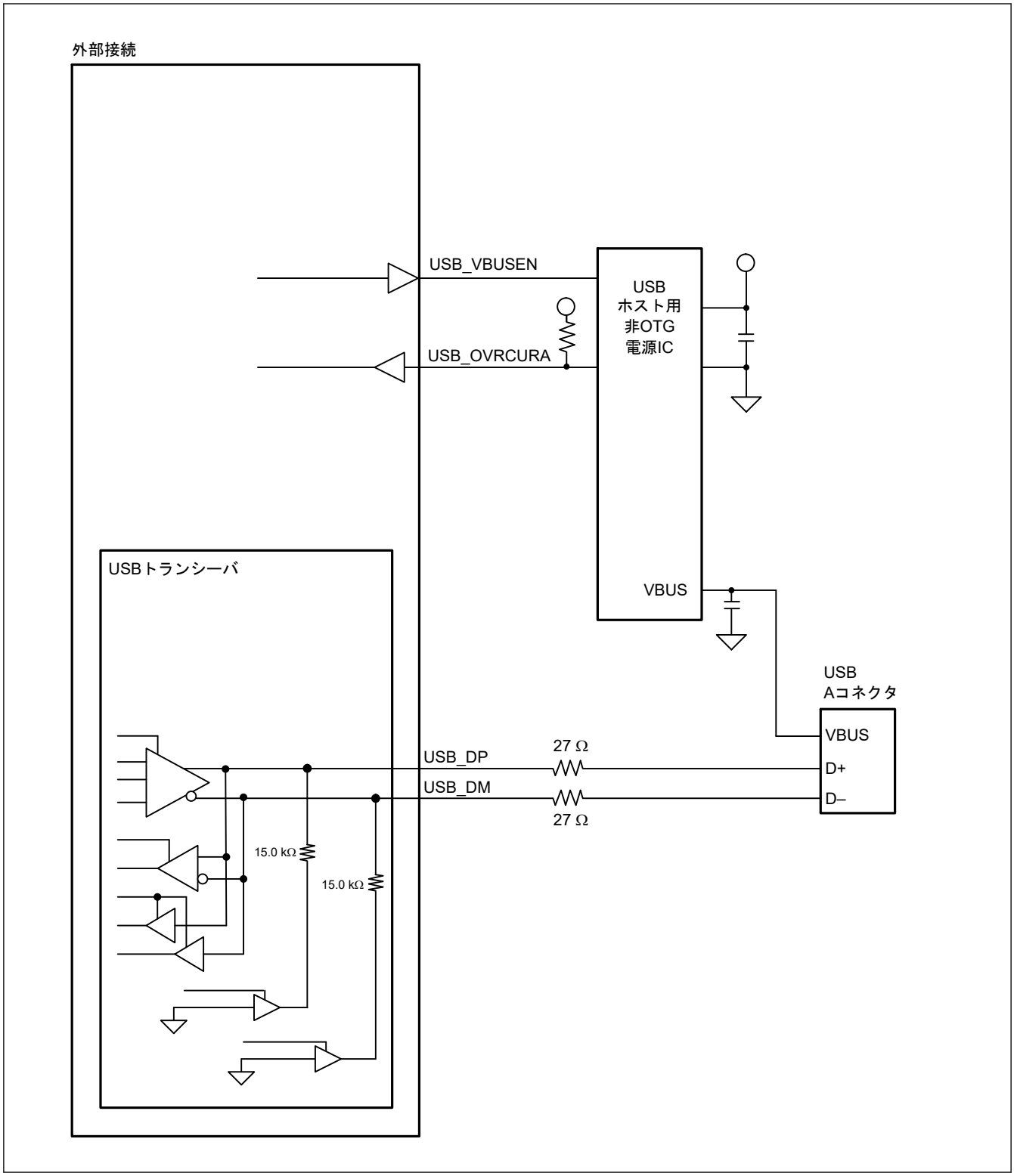


図 36.4　ホスト接続例

図 36.5 にバスパワードシステムでのデバイス接続例を示します。

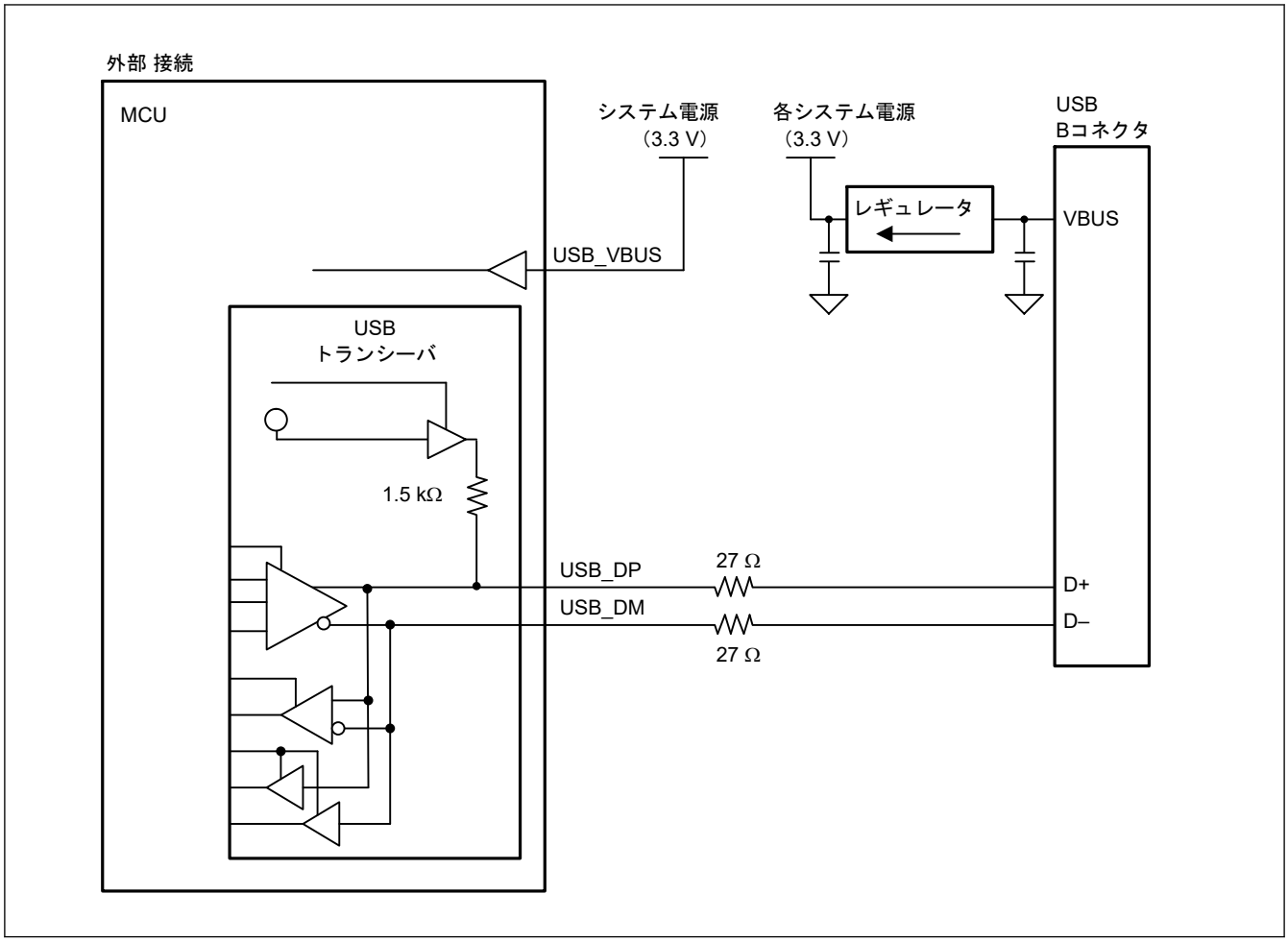


図 36.5　バスパワードシステムでのデバイス接続例

本項に記載した各外部回路例は概略回路であり、すべてのシステムにおいて動作保証するものではありません。

36.3.1.5　USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除

USB のサスペンド／レジューム割り込みによって、ディープソフトウェアスタンバイモード 1 は解除できます。USB のサスペンド／レジューム割り込みの検出は、USB レジューム検出部が行います。USB レジューム検出部は、USB 用の入出力端子の制御およびモニタを行い、割り込みを検出します。

図 36.6 に、USB レジューム検出部と USB 用の入出力端子の接続回路図を示します。

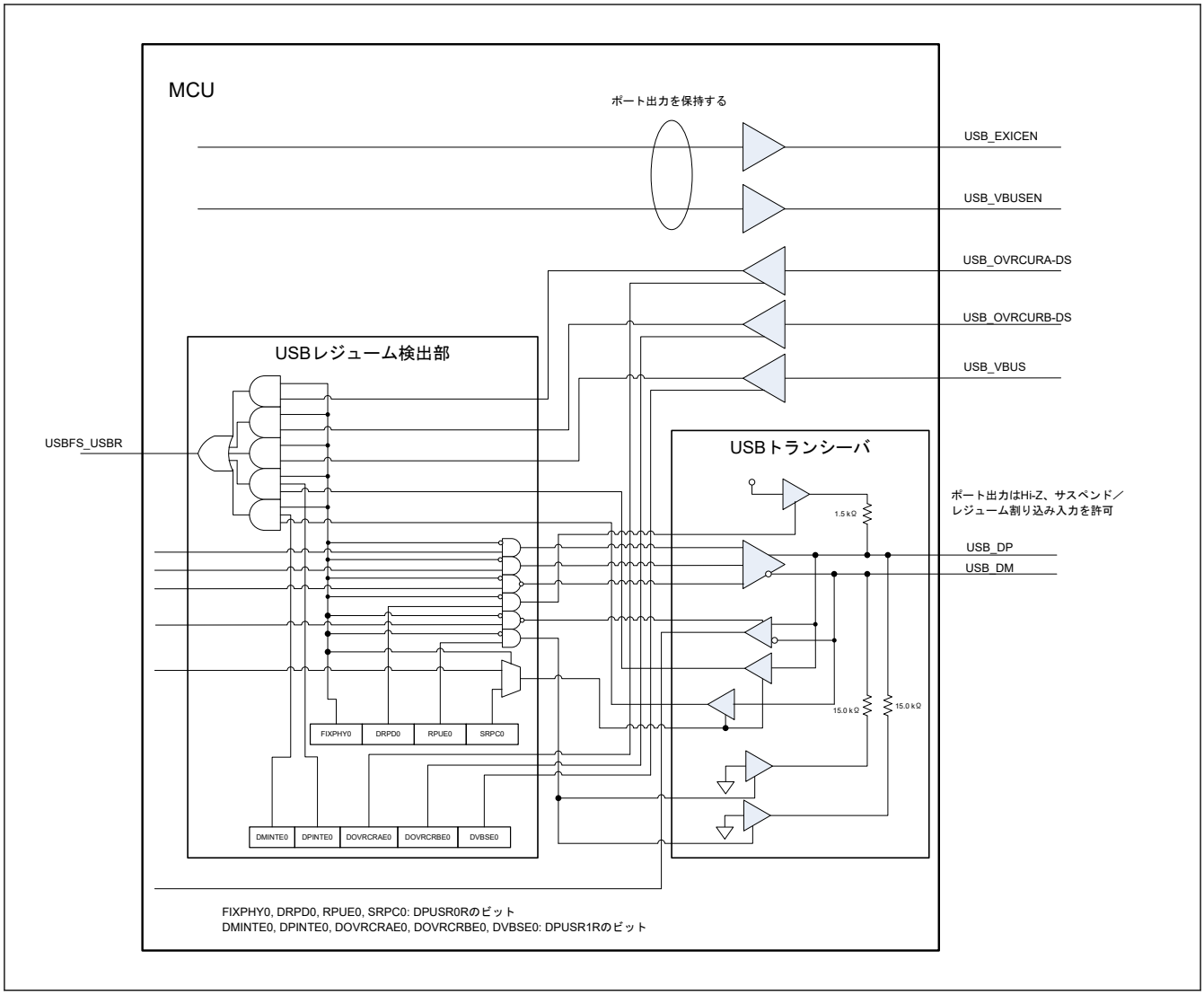


図 36.6　USB レジューム検出部と USB 用の入出力端子の接続

表 36.15 に、USB のサスペンド／レジューム割り込みの要因およびそれらに関連する入出力端子を示します。

表 36.15　USB のサスペンド／レジューム割り込みの要因およびそれらに関連する入出力端子

USB 動作モード	要因	端子名
デバイス、OTG	レジューム	USB_DP
ホスト、OTG	アタッチまたはデタッチ	USB_DP、USB_DM
デバイス	アタッチまたはデタッチ	USB_VBUS
ホスト	過電流検出	USB_OVRCURA-DS
OTG	過電流検出	USB_OVRCURA-DS、USB_OVRCURB-DS

図 36.7 に、ホストコントローラモードまたはデバイスコントローラモードからディープソフトウェアスタンバイモード 1 に遷移するときの USBFS 設定フローを示します。図 36.8 に、ホストコントローラモードからディープソフトウェアスタンバイモード 1 を解除するときの USBFS 設定フローを示します。図 36.9 に、デバイスコントローラモードからディープソフトウェアスタンバイモード 1 を解除するときの USBFS 設定フローを示します。

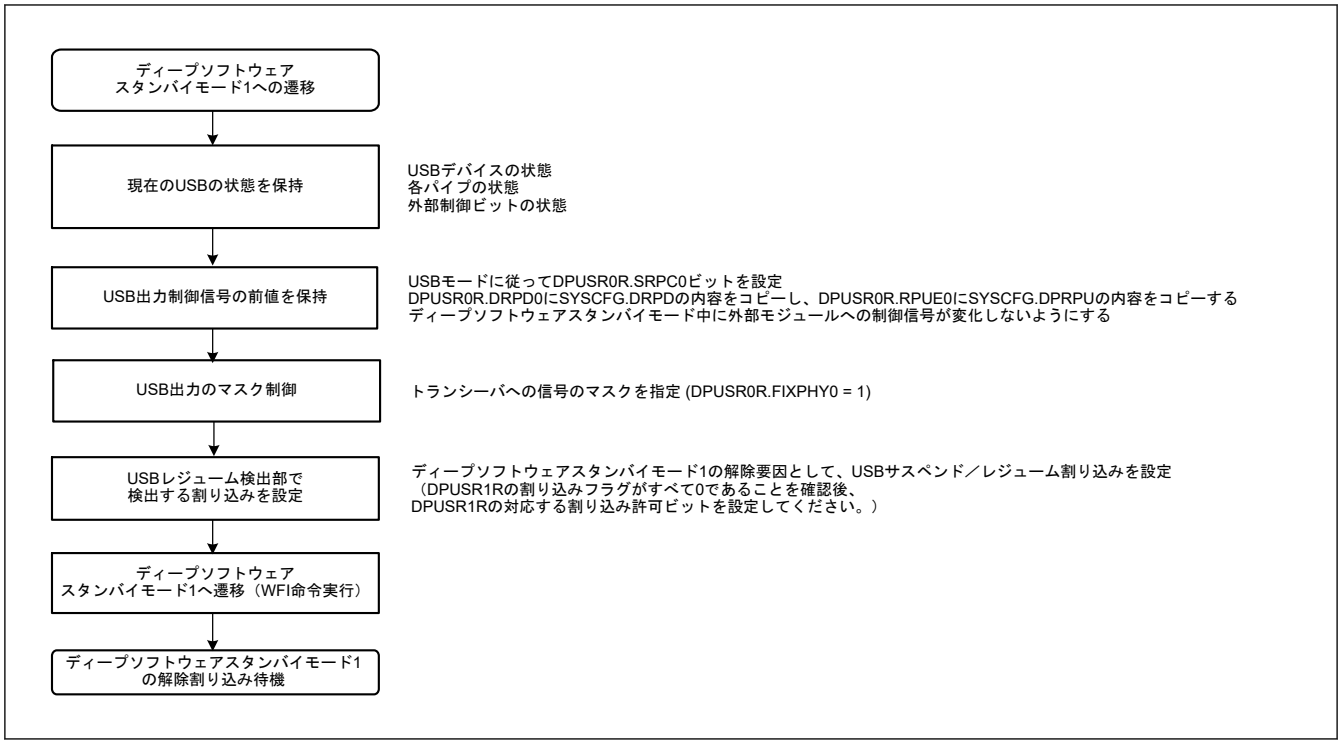


図 36.7　ホストコントローラ機能またはデバイスコントローラ機能選択時におけるディープソフトウェアスタンバイモード 1 遷移時の USBFS 設定フロー

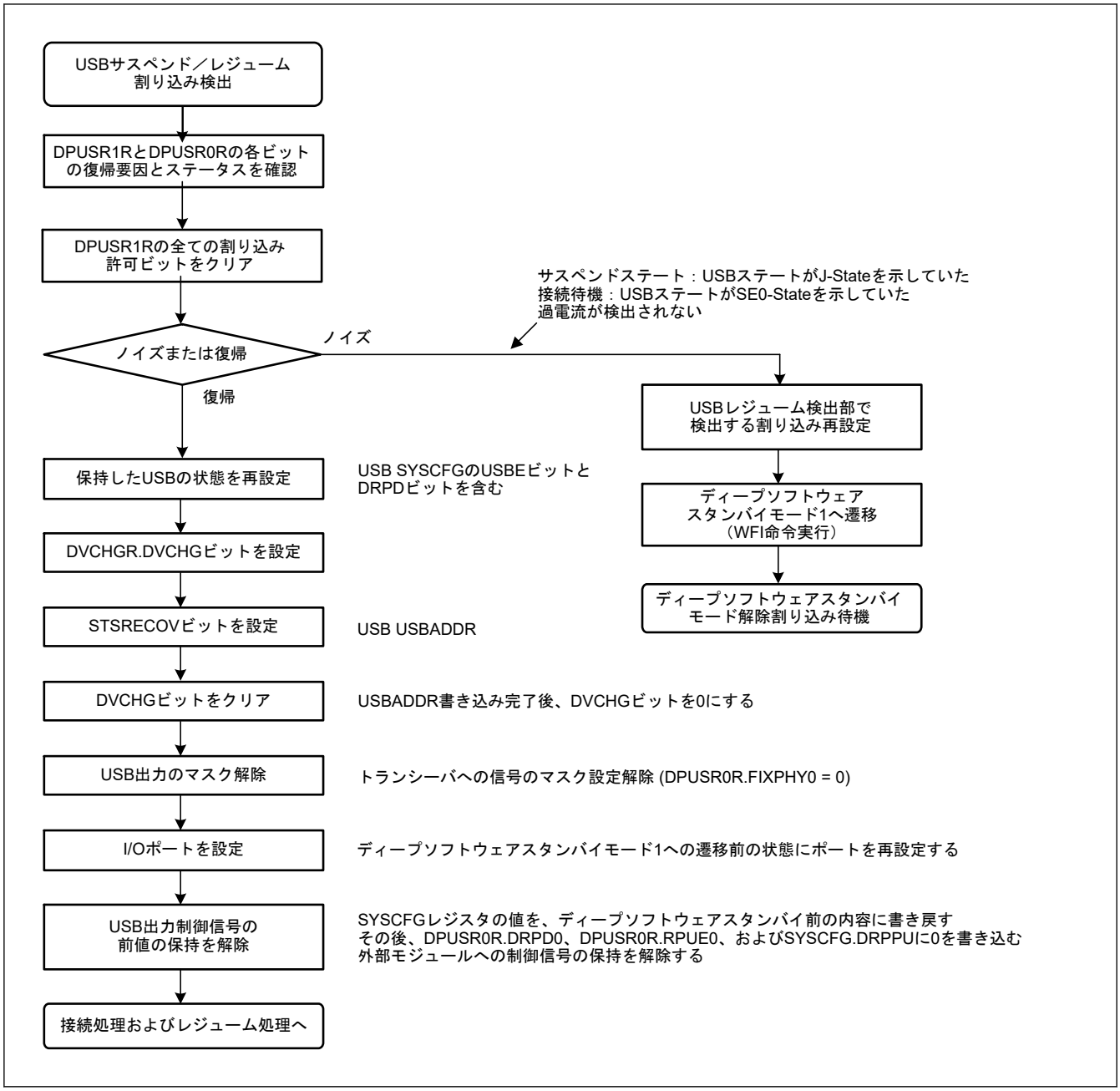


図 36.8　ホストコントローラ機能選択時におけるディープソフトウェアスタンバイモード 1 解除時の USBFS 設定フロー

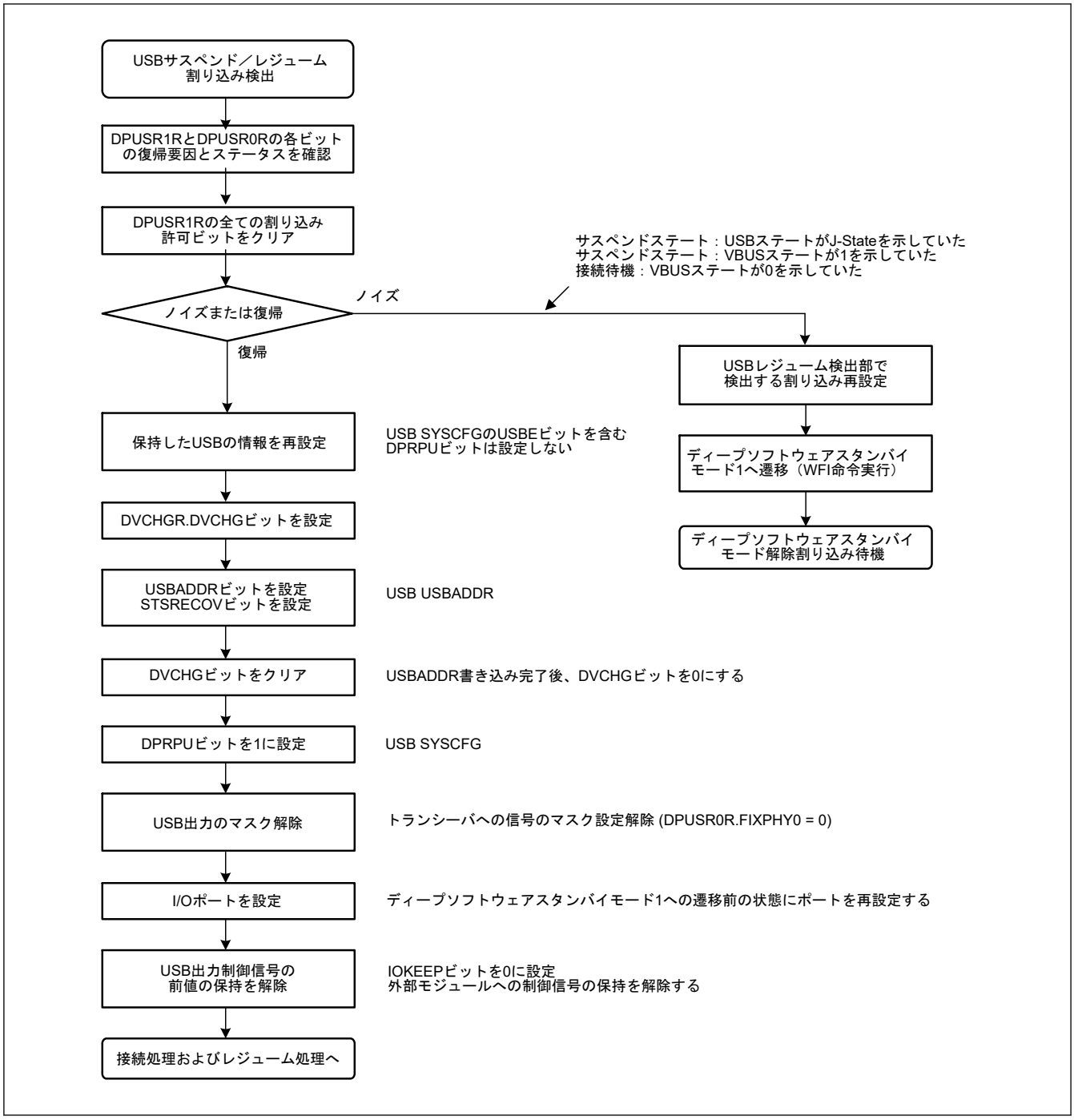


図 36.9　デバイスコントローラ機能選択時におけるディープソフトウェアスタンバイモード 1 解除時の USBFS 設定フロー

36.3.2　割り込み

表 36.16 に、USBFS の割り込み要因一覧を示します。これらの割り込み発生条件が成立し、関連する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USBFS は割り込みコントローラユニット (ICU) に対して USBFS 割り込み要求を発行し、USBFS 割り込みが発生します。

表 36.16 割り込み要因 (1/2)

1 にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
VBINT	VBUS 割り込み	● USB_VBUS 入力端子の状態変化を検出したとき（Low から High、または High から Low）	ホストまたはデバイス(注1)	INTSTS0.VBSTS
RESM	レジューム割り込み	● Suspended ステートにおいて USB バスの状態変化を検出したとき（J-State から K-State または J-State から SE0）	デバイス	—
SOFR	フレーム番号更新割り込み	ホストコントローラモード時： ● フレーム番号の異なる SOF パケットを送信したとき デバイスコントローラモード時： ● フレーム番号の異なる SOF パケットを受信したとき	ホストまたはデバイス	—
DVST	デバイスステート遷移割り込み	● 以下のいずれかのデバイスステート遷移を検出したとき： – USB バスリセットを検出 – Suspended ステートを検出 – SET_ADDRESS リクエストを受信 – SET_CONFIGURATION リクエストを受信	デバイス	INTSTS0.DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	● コントロール転送ステージ遷移を、以下のいずれかの状態の発生により検出したとき： – セットアップステージの完了 – コントロールライト転送ステータスステージ遷移発生 – コントロールリード転送ステータスステージ遷移発生 – コントロール転送終了 – コントロール転送シーケンスエラー発生	デバイス	INTSTS0.CTSQ[2:0]
BEMP	バッファエンプティ割り込み	● FIFO バッファ中の全データを送信しバッファが空になったとき ● 最大パケットサイズを超えたパケットを受信したとき	ホストまたはデバイス	BEMPSTS.PIPEnBEMP
NRDY	バッファノットレディ割り込み	ホストコントローラモード時 ● 発行したトークンに対して周辺デバイス側からの STALL 応答を受信したとき ● 発行したトークンに対して、周辺デバイス側から応答が正しく受信できなかったとき（無応答が 3 回連続、またはパケット受信エラーが 3 回連続） ● アイソクロナス転送時にオーバーランエラーまたはアンダーランエラーが発生したとき デバイスコントローラモード時 ● PID[1:0]ビットが 01b (BUF) のときに、IN トークンまたは OUT トークンに対して NAK を応答したとき ● アイソクロナス転送でデータ受信時に CRC エラーまたはビットスタッフィングエラーが発生したとき ● アイソクロナス転送でデータ受信時にオーバーランまたはアンダーランが発生したとき	ホストまたはデバイス	NRDYSTS.PIPEnNRDY
BRDY	バッファレディ割り込み	● バッファがレディ（読み出しもしくは書き込み可能状態）になったとき	ホストまたはデバイス	BRDYSTS.PIPEnBRDY
OVRCR	過電流入力変化割り込み	● USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB、または USB_OVRCURB-DS 入力端子の状態変化（Low→High または High→Low）を検出したとき	ホスト	INTSTS1.OVRCR
BCHG	バス変化割り込み	● USB バスステートの変化を検出したとき	ホストまたはデバイス	SYSSTS0.LNST[1:0]
DTCH	フルスピード動作時切断検出	フルスピード動作時に周辺デバイスの切断を検出したとき	ホスト	DVSTCTR0.RHST[2:0]
ATTCH	デバイス接続検出割り込み	● USB バスで J-State または K-State を 2.5 µs 間、継続的に検出したとき この割り込みを使って、周辺デバイスが接続されているかどうかを確認できる。	ホスト	—

表 36.16　割り込み要因 (2/2)

1 にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
EOFERR	EOF エラー検出割り込み	• 周辺デバイスの EOF エラーを検出したとき	ホスト	—
SACK	SETUP 正常割り込み	• SETUP トランザクションの正常応答 (ACK) を受信したとき	ホスト	—
SIGN	SETUP エラー割り込み	• SETUP トランザクションのエラー（無応答または ACK パケット破損）を 3 回連続で検出したとき	ホスト	—

注 1.　この割り込みは、ホストコントローラモードでも発生しますが、通常はホストコントローラモードでは使用しません。

図 36.10 に、USBFS 割り込みに関連する回路を示します。

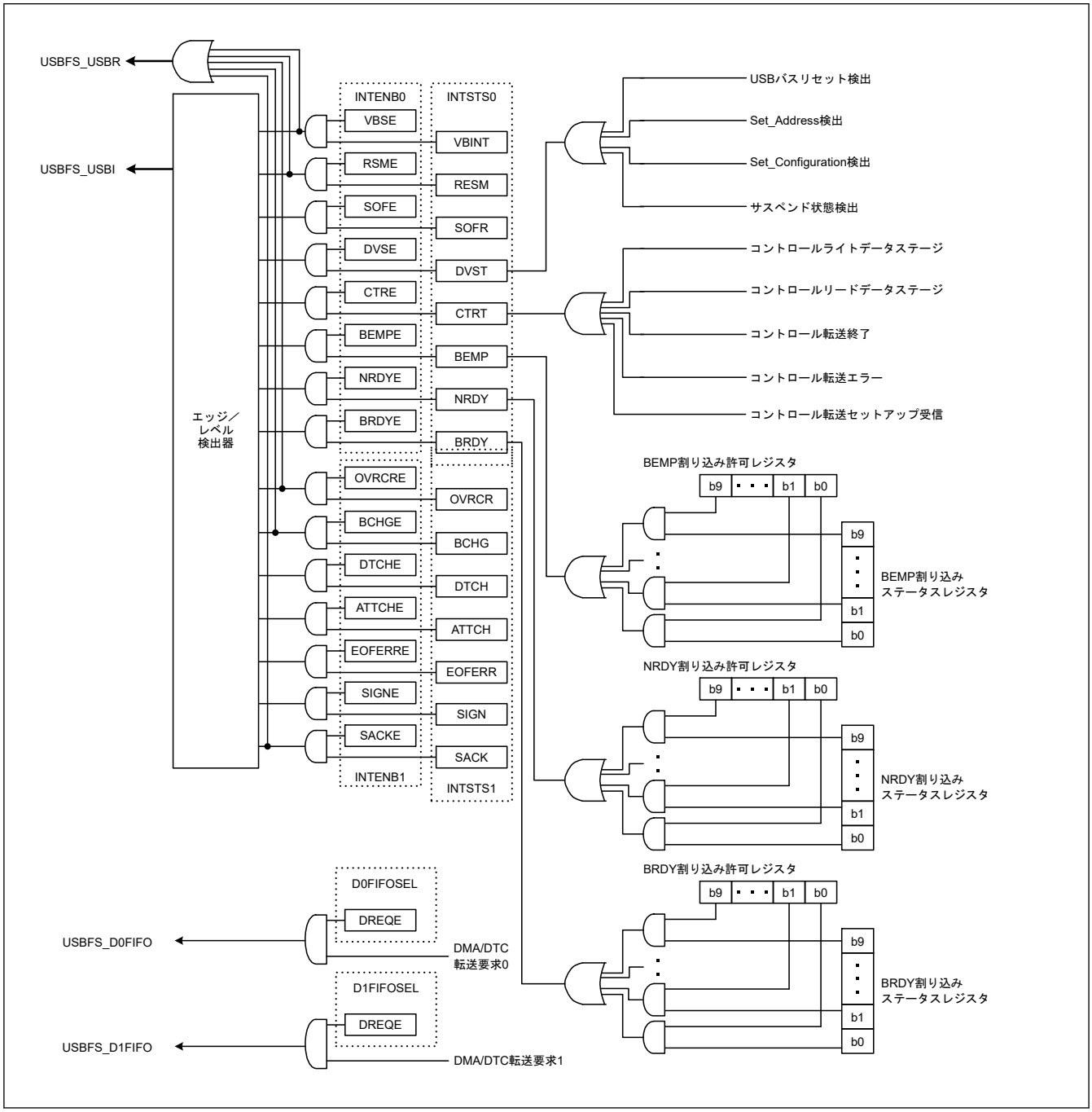


図 36.10　USBFS 割り込みに関連する回路

表 36.17 に、USBFS が発生させる割り込みの一覧を示します。

表 36.17 USBFS の割り込み

割り込み名	割り込みステータスフラグ	DTC の起動	DMAC の起動	優先度
USBFS_D0FIFO	DMA 転送要求 0	可能	可能	高
USBFS_D1FIFO	DMA 転送要求 1	可能	可能	↑
USBFS_USBI	VBUS 割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバーカレント入力変化割り込み、バス変化割り込み、フルスピード動作時切断検出割り込み、デバイス接続検出割り込み、EOF エラー検出割り込み、SETUP 正常動作割り込み、SETUP エラー割り込み	不可能	不可能	低
USBFS_USBR (注1)	VBUS 割り込み、レジューム割り込み、オーバーカレント入力変化割り込み、SETUP エラー割り込み	不可能	不可能	—

注 1. ソフトウェアスタンバイモードを解除可能。ディープソフトウェアスタンバイモード 1 も解除可能。ただし、専用端子 (OVRCURA-DS, OVRCURB-DS) のみオーバーカレント端子用に使用可能。

36.3.3 割り込みの説明

36.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラモードとデバイスコントローラモードのどちらを選択しても発生します。ここでは、USBFS が BRDYSTS の関連するビットを 1 にする条件について説明します。これらの条件の下では、ソフトウェアが、該当するパイプに関連付けられている BRDYENB レジスタのビットを 1 にし、かつ、INTENB0.BRDYE ビットを 1 にしていれば、USBFS は BRDY 割り込みを発生させます。

BRDY 割り込みは、各パイプの SOFCFG.BRDYM ビットおよび PIPECFG.BFRE ビットの設定により、発生条件およびクリア条件が異なります。

(1) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USBFS は、以下のいずれかの条件のときに、内部 BRDY 割り込み要求トリガを発生させ、選択パイプに関連付けられている BRDYSTS.PIPEnBRDY ビットを 1 にします。

送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態のとき（BSTS ビットの読み出し値が 0 のとき）に、パイプのパケット送信が完了したとき
- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファへの書き込み中にもう一方の FIFO バッファへの送信が完了しても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに 1 を書き込むことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては（すなわち、コントロール転送でのデータ送信においては）要求トリガは発生しません。

受信パイプの場合

- 該当するパイプに割り付けた FIFO バッファへの CPU からの読み出しが不可能な状態のとき（BSTS ビットの読み出し値が 0 のとき）に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。DATA-PID 不一致のトランザクションに対し、要求トリガは発生しない。

- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能であったとき。FIFO バッファへの読み出し中にもう一方の FIFO バッファへの受信が完了しても、現在読み出し中の面が読み出し完了になるまでは要求トリガは発生しない。

デバイスコントローラモードでは、コントロール転送のステータスステージでは BRDY 割り込みは発生しません。選択パイプの PIPEBRDY 割り込みステータスは、関連する PIPEnBRDY ビットにソフトウェアで 0 を書き込むことにより 0 にすることが可能です。この場合、他の PIPEBRDY ビットは 1 にしてください。

BRDY ステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 1 のとき

この設定の場合、USBFS は、受信パイプにおいて 1 転送分の全データ読み出し完了時に BRDY 割り込みを発生させ、BRDYSTS レジスタの該当するパイプに関連付けられているビットを 1 にします。

下記条件のいずれかに該当する場合、USBFS は 1 転送分の最後のデータが受信されたと判定します。

- ショートパケット（Zero-Length パケットを含む）を受信したとき
- パイプ n トランザクションカウンタレジスタ (PIPEnTRN) を使用し、PIPEnTRN.TRNCNT[15:0]ビットで設定したパケット数をすべて受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USBFS は 1 転送分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN[8:0]ビットが 0 の状態になった時点で、USBFS は 1 転送分の全データ読み出し完了と判断します。この場合、次の転送を開始するためには、関連するポートコントロールレジスタの BCLR ビットにソフトウェアで 1 を書き込んでください。この設定の場合には、USBFS は送信パイプに対して BRDY 割り込みを検出しません。

パイプの PIPEBRDY 割り込みステータスは、関連する BRDYSTS.PIPEnBRDY ビットにソフトウェアで 0 を書き込むことにより 0 にすることが可能です。この場合、他の PIPEBRDY ビットは 1 にしてください。

このモードを使用するときには、1 転送分のすべてのデータの処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。途中で PIPECFG.BFRE ビットを変更する必要がある場合には、PIPEnCTR.ACLRM ビットによりパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビット = 1 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDYSTS.PIPEnBRDY ビットの値は各パイプの BSTS ビット設定値に連動します。すなわち、USB は FIFO バッファステータスに基づいて BRDY 割り込みステータスビット (PIPEBRDY) を 1 または 0 にします。

送信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファにデータが書き込み可能な状態であれば 1 になり、書き込み不可能な状態になれば 0 になります。送信方向の DCP が書き込み可能であっても、BRDY 割り込みは発生しません。

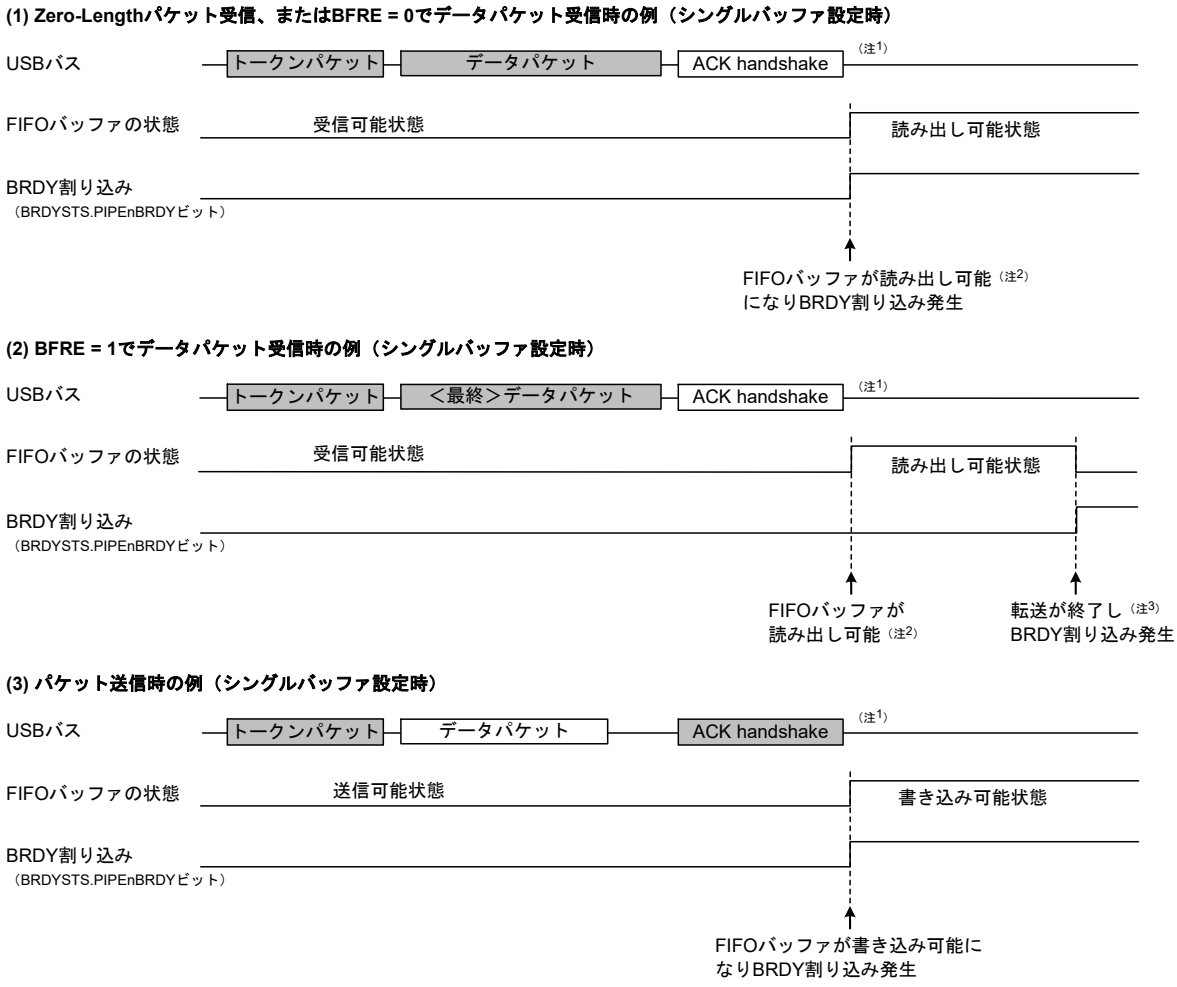
受信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファからデータが読み出し可能であれば 1 になり、すべてのデータを読み出したら（読み出しが不可能になったら）0 になります。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合、ソフトウェアで BCLR に 1 を書き込むまで、関連するビットには 1 が表示され BRDY 割り込みは発生し続けます。この設定の場合、ソフトウェアで PIPEnBRDY ビットを 0 にすることはできません。

SOFCFG.BRDYM ビットが 1 のときは、全パイプの PIPECFG.BFRE ビットは 0 にしてください。

図 36.11 に、BRDY 割り込み発生タイミングを示します。



注 1. ACK ハンドシェイクはアイソクロナス転送では使用されません。
注 2. FIFO バッファは、以下の条件でリードアクセスが可能になります。
CPU の FIFO バッファに未読データがない状態でパケットを受信したとき
注 3. 次のいずれかの条件で転送は終了します。
1. ショートパケット（Zero-Length パケットを含む）を受信したとき
2. トランザクションカウンタに指定した数のパケットを受信したとき

図 36.11 BRDY 割り込み発生タイミング

INTSTS0.BRDY ビットがクリアされる条件は、表 36.18 に示すように、SOFCFG.BRDYM ビットの設定値によって異なります。

表 36.18 BRDY ビットクリア条件

BRDYM ビット	BRDY ビットのクリア条件
0	ソフトウェアで BRDYSTS レジスタの全ビットを 0 にすると、USBFS は BRDY ビットを 0 にクリアします。
1	全パイプの BSTS ビットが 0 になったとき、USBFS は BRDY ビットを 0 にクリアします。

36.3.3.2 NRDY 割り込み

ソフトウェアで PID を BUF に設定したパイプに対して、USBFS が内部 NRDY 割り込み要求を発生させた場合に、USBFS は関連する NRDYSTS.PIPEnNRDY ビットを 1 にします。ソフトウェアによって NRDYENB レジスタの関連するビットを 1 にしている場合、USBFS は INTSTS0.NRDY ビットを 1 にし、USBFS 割り込みを発生させます。

ここでは、USBFS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を説明します。

ホストコントローラモードでの SETUP トランザクション実行時は、内部 NRDY 割り込み要求を発生させません。ホストコントローラモード時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

デバイスコントローラモードでのコントロール転送ステータスステージ実行時は、内部 NRDY 割り込み要求を発生させません。

(1) ホストコントローラモード時

送信パイプの場合

USBFS は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき。このとき USBFS は、OUT トークンに続けて Zero-Length パケットを送信し、関連する NRDYSTS.PIPEnNRDY ビットおよび FRMNUM.OVRN ビットを 1 にする。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき。
  - 周辺デバイスからの応答がないとき（周辺デバイスからのハンドシェイクパケットを検出する前にタイムアウトが検出されるとき）。
  - 周辺デバイスからのパケットにエラーが検出されたとき。このとき USBFS は、関連する PIPEnNRDY ビットを 1 にし、該当するパイプの関連する PID[1:0]ビットの設定値を NAK に変更する。
- SETUP トランザクション以外の通信において、周辺デバイスから STALL ハンドシェイクを受信したとき。このとき USBFS は、関連する PIPEnNRDY ビットを 1 にし、関連するパイプの PID[1:0]ビットの設定値を STALL（11b）に変更する。

受信パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、IN トークン発行タイミングに達したが、FIFO バッファに空きがないとき。このとき USBFS は、IN トークンに対する受信データを破棄し、該当するパイプの関連する PIPEnNRDY ビットおよび OVRN ビットを 1 にする。さらに、IN トークンに対する受信データにパケットエラーを検出した場合には、USBFS は FRMNUM.CRCE ビットも 1 にします。
- 転送タイプがアイソクロナス以外のパイプにおいて、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき。
  - USBFS が発行した IN トークンに対して周辺デバイスから応答がないとき（周辺デバイスからの DATA パケットを検出する前にタイムアウトが検出されるとき）。
  - 周辺デバイスからのパケットにエラーが検出されたとき。このとき USBFS は、関連する PIPEnNRDY ビットを 1 にし、該当するパイプの関連する PID[1:0]ビットの設定値を NAK に変更する。
- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスから応答がない（周辺デバイスからの DATA パケットを検出する前にタイムアウトが検出されるとき）、または周辺デバイスからのパケットにエラーが検出されるとき。このとき USBFS は、該当するパイプの関連する PIPEnNRDY ビットを 1 にする。該当するパイプの PID[1:0]ビットの設定値変更は行わない。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーが検出されるとき。このとき USBFS は、該当するパイプの関連する PIPEnNRDY ビットおよび CRCE ビットを 1 にする。
- STALL ハンドシェイクを受信したとき。このとき USBFS は、該当するパイプに関連する PIPEnNRDY ビットを 1 にし、関連するパイプの PID[1:0]ビットの設定値を STALL に変更する。

(2) デバイスコントローラモード時

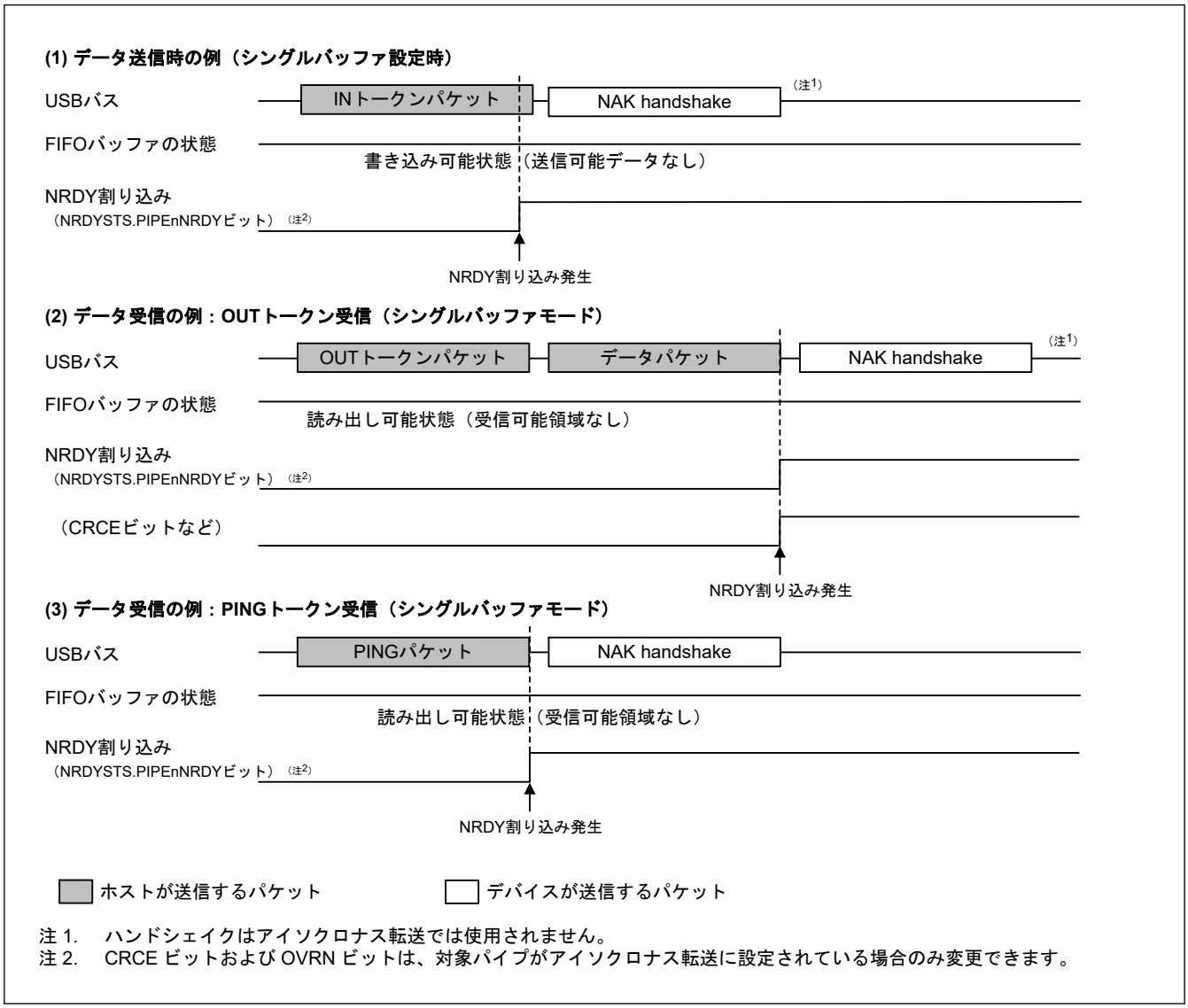
送信パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき。このとき USBFS は、IN トークン受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPEnNRDY ビットを 1 にする。割り込み発生パイプの転送タイプがアイソクロナスの場合、USBFS は Zero-Length パケットを送信し、FRMNUM.OVRN ビットを 1 にする。

受信パイプの場合

- OUT トークンを受信したが、FIFO バッファに空きがないとき。割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USBFS は NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にし、OVRN ビットを 1 にする。割り込み発生パイプの転送タイプがアイソクロナス以外の場合、OUT トークンに続くデータ受信後 NAK ハンドシェイクが送信されるときに、USBFS は NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にする。DATA-PID 不一致の発生による再送時には、NRDY 割り込み要求を発生させない。また、DATA パケットにエラーがある場合にも、NRDY 割り込み要求を発生させない。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内にトークンが正常受信されなかったとき。このとき USBFS は、SOF 受信のタイミングで NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にする。

図 36.12 に、デバイスコントローラモード時の NRDY 割り込み発生タイミングを示します。



注 1. ハンドシェイクはアイソクロナス転送では使用されません。
注 2. CRCE ビットおよび OVRN ビットは、対象パイプがアイソクロナス転送に設定されている場合のみ変更できます。

図 36.12 デバイスコントローラモード時の NRDY 割り込み発生タイミング

36.3.3.3 BEMP 割り込み

ソフトウェアで PID を BUF に設定したパイプに対して BEMP 割り込みを検出すると、USBFS は関連する BEMPSTS.PIPEnBEMP ビットを 1 にします。ソフトウェアによって BEMPENB レジスタの関連するビットを 1 にしている場合、USBFS は INTSTS0.BEMP ビットを 1 にし、USBFS 割り込みを発生させます。ここでは、USBFS が内部 BEMP 割り込み要求を発生させる条件を説明します。

(1) 送信パイプの場合

送信完了時（Zero-Length パケットの送信時を含む）に関連するパイプの FIFO バッファが空のとき、およびシングルバッファモード時は、DCP 以外のパイプに対しての BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。以下のいずれかの条件では、内部 BEMP 割り込み要求は発生しません。

- ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU または DMA/DTC が CPU 側の FIFO バッファに対するデータ書き込みをすでに開始しているとき
- PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリア（空に）したとき
- デバイスコントローラモードでのコントロール転送ステータスステージの IN 転送（Zero-Length パケット送信）を実行したとき

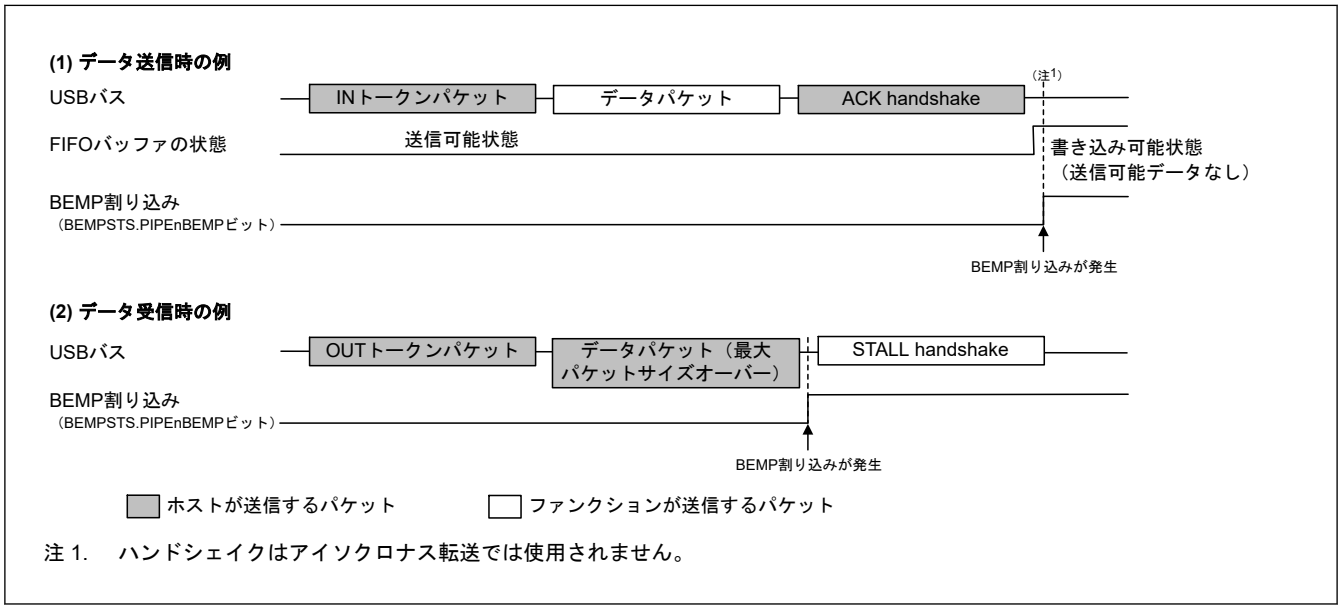
(2) 受信パイプの場合

正常受信したデータパケットサイズが指定された最大パケットサイズを超えたとき。このとき、USBFS は、BEMP 割り込み要求を発生させ、関連する BEMPSTS.PIPEnBEMP ビットを 1 にし、受信データを破棄し、該当するパイプの関連する PID[1:0]ビットの設定を STALL (11b) に変更します。USBFS は、ホストコントローラモードでは応答を返さず、デバイスコントローラモードでは STALL 応答を行います。

以下のいずれかの条件では、内部 BEMP 割り込み要求は発生しません。

- 受信したデータパケットに CRC エラーまたはビットスタッフィングエラーが検出されるとき。
- SETUP トランザクションが実行時
  - BEMPSTS.PIPEnBEMP ビットに 0 を書き込むことにより、ステータスをクリアすることが可能。
  - BEMPSTS.PIPEnBEMP ビットに 1 を書き込んでも、動作に影響はない。

図 36.13 に、デバイスコントローラモード時の BEMP 割り込み発生タイミングを示します。



注 1. ハンドシェイクはアイソクロナス転送では使用されません。

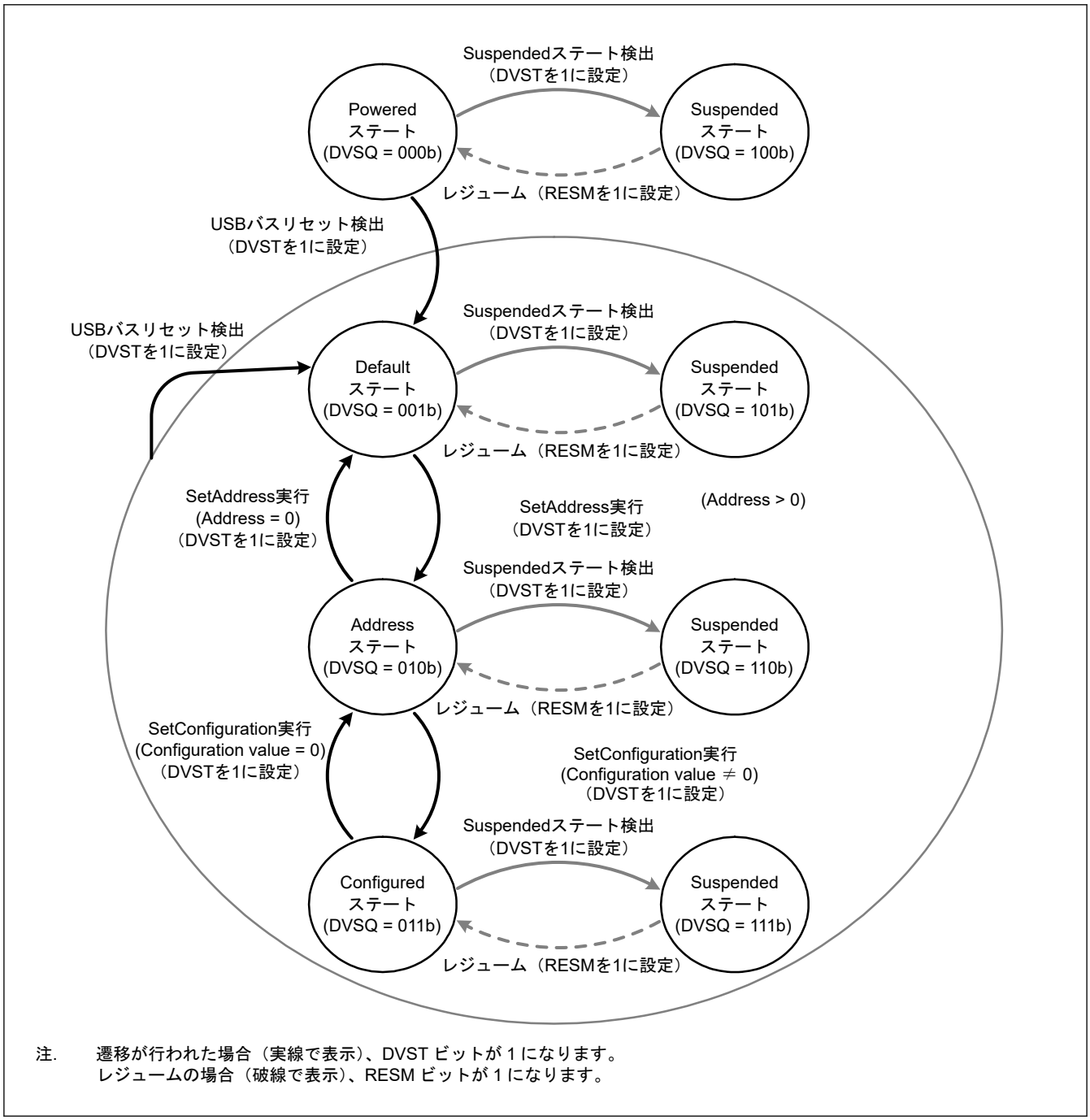
図 36.13 デバイスコントローラモード時の BEMP 割り込み発生タイミング

36.3.3.4 デバイスステート遷移割り込み（デバイスコントローラモード時）

図 36.14 に、USBFS のデバイスステート遷移図を示します。USBFS はデバイスステートを制御し、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みの許可／禁止は、INTENB0 レジスタで個別に指定できます。状態が変化したデバイスは、INTSTS0.DVSQ[2:0]ビットで確認できます。

Default ステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートは USBFS が制御し、デバイスステート遷移割り込みはデバイスコントローラモードでのみ発生させることが可能です。



注. 遷移が行われた場合（実線で表示）、DVST ビットが 1 になります。
レジュームの場合（破線で表示）、RESM ビットが 1 になります。

図 36.14 デバイスステートの遷移

36.3.3.5 コントロール転送ステージ遷移割り込み（デバイスコントローラモード時）

図 36.15 に、USBFS のコントロール転送ステージ遷移図を示します。USBFS はコントロール転送のシーケンスを制御し、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に許可または禁止できます。遷移が発生した転送ステージは、INTSTS0.CTSQ[2:0]ビットで確認できます。

コントロール転送ステージ遷移割り込みは、デバイスコントローラモードでのみ発生します。ここではコントロール転送のシーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0]ビットが 1xb（STALL 応答）になります。

(1) コントロールリード転送エラー

- データステージの IN トークンに対して一度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

(2) コントロールライト転送エラー

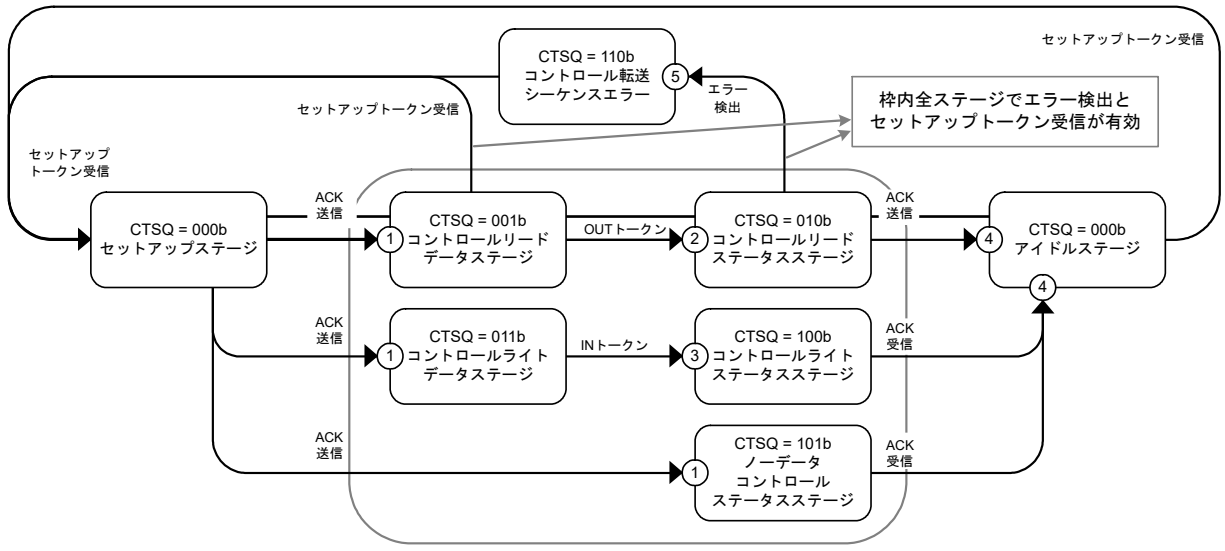
- データステージの OUT トークンに対して一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のデータパケットを受信
- ステータスステージで OUT トークンを受信

(3) コントロールライトノーデータ転送エラー

- ステータスステージで OUT トークンを受信

コントロールライト転送データステージで、受信データ長が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識されません。コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い転送は正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (INTSTS0.CTRT = 1) は、CTRT ビットを 0 にして割り込みステータスクリアが行われるまで、CTSQ[2:0] = 110b の値が保持されます。CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了ステータスは USBFS が保持しており、ソフトウェアによる割り込みステータスクリア後に、USBFS が CTRT 割り込みを発生させます。



注. CTRT 割り込み
1. セットアップステージ完了
2. コントロールリード転送ステータスステージ遷移
3. コントロールライト転送ステータスステージ遷移
4. コントロール転送終了
5. コントロール転送シーケンスエラー

図 36.15 コントロール転送ステージの遷移

36.3.3.6 フレーム番号更新割り込み

ホストコントローラモードでは、フレーム番号が更新されると割り込みが発生します。

デバイスコントローラモードでは、フレーム番号が更新されると SOFR 割り込みが発生します。USBFS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

36.3.3.7 VBUS 割り込み

USB_VBUS 端子レベルに変化があった場合に VBUS 割り込みが発生します。INTSTS0.VBSTS ビットで USB_VBUS 端子のレベルを確認できます。VBUS 割り込みによって、ホストコントローラの接続および切断の確認ができます。ホストコントローラが接続された状態でシステムが起動された場合は、USB_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みは発生しません。

36.3.3.8 レジューム割り込み

デバイスコントローラモードでは、デバイスステートが Suspended ステートで、USB バスステートが変化（J-State から K-State、または J-State から SE0）したときにレジューム割り込みが発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

ホストコントローラモードでは、レジューム割り込みは発生しません。USB バスステートの変化は BCHG 割り込みを用いて検出してください。

36.3.3.9 OVRCR 割り込み

USB_OVRCURA 端子、USB_OVRCURA-DS 端子、USB_OVRCURB 端子または USB_OVRCURB-DS 端子レベルに変化があった場合に、OVRCR 割り込みが発生します。SYSSTS0.OVCMON[1:0]フラグで、USB_OVRCURA 端子、USB_OVRCURA-DS 端子、USB_OVRCURB 端子および USB_OVRCURB-DS 端子のレベルを確認できます。OVRCR 割り込みによって、外部電源 IC からオーバーカレント検出の確認ができます。

OTG 接続時には、OVRCR 割り込みで VBUS コンパレータ変化検出の確認ができます。

36.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。BCHG 割り込みは、ホストコントローラモードでの周辺デバイスの接続、およびリモートウェイクアップの検出に使用します。ホストコントローラモードとデバイスコントローラモードの両方で発生します。

36.3.3.11 DTCH 割り込み

ホストコントローラモード時に USB バス切断を検出した場合、DTCH 割り込みが発生します。USBFS は、USB2.0 規格に準じてバス切断を検出します。

割り込みが検出されたら、該当するポートに対して通信を行っているパイプをすべてソフトウェアで終了させてください。通信を終了したパイプは、該当するポートへのバス接続（ATTCH 割り込み発生）待ちの状態に遷移します。関連する割り込み許可ビットの設定値にかかわらず、USBFS ハードウェアは以下の処理を行います。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

36.3.3.12 SACK 割り込み

ホストコントローラモード時に、送信した Setup パケットに対して周辺デバイスから ACK 応答を受信した場合に、SACK 割り込みが発生します。SACK 割り込みにより、SETUP トランザクションが正常に終了したことを確認できます。

36.3.3.13 SIGN 割り込み

ホストコントローラモード時に、送信した Setup パケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合、SIGN 割り込みが発生します。SIGN 割り込みを使用して、周辺デバイスが ACK 応答を送信しなかったことや、ACK パケットの破損を検出することが可能です。

36.3.3.14 ATTCH 割り込み

ホストコントローラモード時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5 µs 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5 µs 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5 µs 間継続したとき

36.3.3.15 EOFERR 割り込み

USB2.0 規格で定められている EOF2 タイミング時点で通信が終了しないことを USBFS が検出した場合、EOFERR 割り込みが発生します。

割り込み検出時には、該当するポートに対して通信を行っているパイプをすべてソフトウェアで終了させ、該当するポートへの再エニュメレーションを行ってください。関連する割り込み許可ビットの設定値にかかわらず、USBFS ハードウェアは以下の処理を行います。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

36.3.4 パイプコントロール

表 36.19 に、USBFS のパイプ設定項目一覧を示します。USB データ転送は、ソフトウェアがエンドポイントと関連付けた論理パイプにて行います。USBFS にはデータ転送用に 10 本のパイプがあります。各パイプは、ユーザシステムの仕様に合わせて設定を行ってください。

表 36.19 パイプ設定項目

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送タイプ	パイプ 1～9：設定可能
	BFRE	BRDY 割り込みモード	パイプ 1～5：設定可能
	DBLB	ダブルバッファ選択	パイプ 1～5：設定可能
	DIR	転送方向選択	IN または OUT 設定可能
	EPNUM	エンドポイント番号	パイプ 1～9：設定可能 パイプ使用時は 0000b 以外に設定
	SHTNAK	転送終了時のパイプ選択禁止	パイプ 1～2：バルク転送時のみ設定可能 パイプ 3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホストコントローラモード時のみ参照
	MXPS	最大パケットサイズ	USB2.0 規格準拠
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1～2：アイソクロナス転送時のみ設定可能 パイプ 3～9：設定不可能
	IITV	インターバルカウンタ	パイプ 1～2：アイソクロナス転送時のみ設定可能 パイプ 3～5：設定不可能 パイプ 6～9：ホストコントローラモード時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCP は ISEL ビットにより受信／送信バッファ状態を切り替え
	INBUFM	IN バッファモニタ	パイプ 1～5 のみ搭載
	SUREQ	SETUP リクエスト	DCP のみ設定可能、ホストコントローラモード時のみ制御
	SUREQCLR	SUREQ クリア	DCP のみ設定可能、ホストコントローラモード時のみ制御
	ATREPM	自動応答モード	パイプ 1～5：デバイスコントローラモード時のみ設定可能
	ACLRM	自動バッファクリア	パイプ 1～9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットの設定
	SQMON	シーケンスモニタ	データトグルビットの監視
	PBUSY	パイプビジーステータス	—
	PID	応答 PID	「36.3.4.6. 応答 PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ 1～5：設定可能
	TRCLR	トランザクションカウンタのクリア	パイプ 1～5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ 1～5：設定可能

36.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が禁止 (PID = NAK) されているときのみ書き換えが可能になります。

USB 通信が許可 (PID = BUF) されている状態で、以下のレジスタおよびビットを変更しないでください。

- DCPCFG レジスタ、および DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR、および SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM、ACLRM、SQCLR、および SQSET ビット
- PIPEnTRE レジスタ、および PIPEnTRN レジスタの各ビット

USB 通信が許可 (PID = BUF) されている状態で、上記の各ビットを設定する場合は、以下の手順で行ってください。

1. パイプコントロールレジスタのビット変更要求が発生する。
2. 関連するパイプの PID[1:0]ビットを NAK にする。
3. 関連するパイプの PBUSY ビットが 0 になるまで待つ。
4. パイプコントロールレジスタのビット設定を開始する。

パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットに選択パイプ情報が設定されていない場合のみ書き換えが可能です。

CURPIPE[3:0]ビット設定中には以下のレジスタを設定しないでください。

- DCPCFG レジスタ、および DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0]ビットの設定を変更パイプ以外に指定してください。DCP についてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

36.3.4.2 転送タイプ

PIPECFG.TYPE[1:0]ビットで各パイプに以下の転送タイプを設定します。

- DCP：設定不要（コントロール転送固定）
- パイプ 1～2：バルク転送またはアイソクロナス転送を設定
- パイプ 3～5：バルク転送を設定
- パイプ 6～9：インタラプト転送を設定

36.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0]ビットにて、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント 0 固定）
- パイプ 1～9：PIPECFG.DIR ビットと EPNUM[3:0]ビットの組み合わせが重複しないように、エンドポイント番号 1 から 15 までを選択して設定します。

36.3.4.4 最大パケットサイズ設定

DCPMAXP.MXPS[6:0]ビットおよび PIPEMAXP.MXPS[9:0]ビットにて各パイプの最大パケットサイズを設定します。DCP およびパイプ 1～5 は USB2.0 規格で定義されているすべての最大パイプサイズに設定が可能です。パイプ 6～9 では、64 バイトが最大パケットサイズです。最大パケットサイズは、転送を開始 (PID = BUF) する前に、以下のように設定してください。

- DCP：8、16、32、または 64 から選択して設定

- パイプ 1～5：バルク転送時は 8、16、32、または 64 から選択して設定
- パイプ 1～2：アイソクロナス転送時は 1 から 256 の値を設定
- パイプ 6～9：1 から 64 の値を設定

36.3.4.5 トランザクションカウンタ（受信方向パイプ 1～5）

USBFS は、データパケット受信方向で、指定回数のトランザクションが終了した場合に、転送終了と認識します。トランザクションカウンタには、実行トランザクション回数を指定する PIPEnTRN レジスタと、実行されたトランザクションを内部でカウントするカレントカウンタがあります。PIPECFG.SHTNAK ビットが 1 の状態でカレントカウンタの値がトランザクションの指定回数と一致すると、関連する PIPEnCTR.PID[1:0]ビットが NAK に設定され、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPEnTRE.TRENB ビットの設定により、PIPEnTRN レジスタ読み出し時のデータは以下のように異なります。

- TRENB ビットが 0：トランザクションカウンタの設定値を読み出し可能
- TRENB ビットが 1：内部でカウントした実行済みトランザクション数を示すカレントカウンタ値を読み出し可能

TRCLR ビットの操作には、以下の制限事項があります。

- トランザクションカウント中かつ PID＝BUF の場合、カレントカウンタはクリア不可
- バッファ内にデータが残っている場合、カレントカウンタはクリア不可

36.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0]ビットで、各パイプの応答 PID を設定します。ここでは、各応答 PID 設定における USBFS の動作について説明します。

(1) ソフトウェアの応答 PID 設定（ホストコントローラモード時）

応答 PID を選択して、以下のようにトランザクションの実行について指定します。

- NAK 設定：パイプ使用禁止状態かつトランザクション実行なし
- BUF 設定：FIFO バッファの状態に応じて下記のトランザクションを実行
  - OUT 方向の場合：FIFO バッファに送信データがある場合、OUT トークンを発行
  - IN 方向の場合：FIFO バッファに空きがあり受信可能な場合に、IN トークンを発行
- STALL 設定：パイプ使用禁止状態かつトランザクション実行なし

注. DCP の SETUP トランザクションを実行するには、DCPCTR.SUREQ ビットを使用してください。

(2) ソフトウェアの応答 PID 設定（デバイスコントローラモード時）

応答 PID を選択して、以下のようにホストからのトランザクションに応答します。

- NAK 設定：発生したすべてのトランザクションに対して NAK 応答を返答
- BUF 設定：FIFO バッファの状態に応じてトランザクションに応答
- STALL 設定：発生したすべてのトランザクションに対して STALL 応答を返答

注. SETUP トランザクションに対しては、PID[1:0]ビットの設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

以下の(3)および(4)では、特定のトランザクションの結果に従って USBFS が PID[1:0]ビットに書き込みを行う状況について説明します。

(3) ハードウェアの応答 PID 設定（ホストコントローラモード時）

- NAK 設定：以下の場合に PID＝NAK となり、トークンの発行が自動的に停止
  - アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
    （詳細については、「36.3.3.2. NRDY 割り込み」を参照してください。）

  - バルク転送において PIPECFG.SHTNAK ビットが 1 の場合に、ショートパケットを受信したとき
  - バルク転送で SHTNAK ビットが 1 の場合にトランザクションカウンタが終了したとき
- BUF 設定：USBFS によるこの設定の書き込みはなし
- STALL 設定：以下の場合に PID = STALL となり、トークンの発行が自動的に停止
  - 送信したトークンに対して STALL を受信したとき
  - 最大パケットサイズより大きなデータパケットを受信したとき

(4) ハードウェアの応答 PID 設定（デバイスコントローラモード時）

- NAK 設定：以下の場合に PID = NAK となり、トランザクションに対して NAK 応答を返す
  - SETUP トークンを正常に受信したとき（DCP のみ）
  - バルク転送で PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USBFS による BUF 書き込みはなし
- STALL 設定：以下の場合に PID = STALL となり、トランザクションに対して STALL 応答を返す
  - 受信したデータのパケットサイズが、最大パケットサイズを超えたとき
  - コントロール転送シーケンスエラーを検出したとき（DCP のみ）

36.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、およびインタラプト転送において正常なデータ転送が行われると、USBFS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は、ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は、ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタの SQCLR ビット、および PIPEnCTR レジスタの SQSET ビットによって、データ PID シーケンスビットの変更が可能です。

デバイスコントローラモードでのコントロール転送では、ステージ遷移時に USBFS が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 が返されます。このため、ソフトウェアによる設定は必要ありません。ただし、ホストコントローラモードでのコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、ClearFeature リクエストの送信または受信時には、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

36.3.4.8 応答 PID = NAK 機能

USBFS には、トランザクションの最後のデータパケットの受信タイミングで、パイプ動作を禁止（PID 応答 = NAK）する機能があります。USBFS は、ショートパケット受信またはトランザクションカウンタでトランザクションの終了を自動識別します。PIPECFG.SHTNAK ビットが 1 の場合、この機能が有効です。

この機能を使用することで、FIFO バッファをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作が禁止された場合は、ソフトウェアで再度パイプを許可（PID 応答 = BUF）する必要があります。

応答 PID = NAK 機能はバルク転送時のみ動作することが可能です。

36.3.4.9 自動応答モード

バルク転送のパイプ（1～5）において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードとなります。OUT 転送時（PIPECFG.DIR ビット = 0）には OUT-NAK モードとなり、IN 転送時（DIR ビット = 1）には Null 自動応答モードとなります。

36.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。ノーマルモードから OUT-NAK モードへ遷移させる場合には、パイプ動作禁止状態（PID[1:0]ビット = 00b（NAK 応答））で、OUT-NAK モードを指定してください。次に、パイプ動作を許可（PID[1:0]ビット = 01b（BUF 応答））します。これにより、OUT-NAK モードが有効になります。パイプ動作禁止にする直前で OUT トークンを受信した場合は、その OUT トークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードからノーマルモードへ遷移させる場合には、パイプ動作禁止状態 (NAK) で、OUT-NAK モードを解除してください。次に、パイプ動作を許可 (BUF) します。ノーマルモードでは、OUT データ受信が可能となります。

36.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

ノーマルモードから Null 自動応答モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードを指定してください。次に、パイプ動作を許可（応答 PID = BUF）します。Null 自動応答モードが有効になります。Null 自動応答モードを設定する場合は、バッファ内は空である必要があるため、PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合には、PIPEnCTR.ACLRM ビットによりバッファを空にしてください。Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードからノーマルモードへ遷移させる場合には、Zero-Length パケット送信の期間（約 10 µs）をパイプ動作禁止状態（応答 PID = NAK）にした後、Null 自動応答モードを解除してください。ノーマルモードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

36.3.5 FIFO バッファ

USBFS はデータ転送用の FIFO バッファを備えており、これによって各パイプに使用されるメモリ領域を管理します。FIFO バッファの状態には、アクセス権がシステム（CPU 側）にある場合と USBFS（SIE 側）にある場合があります。

(1) バッファステータス

表 36.20 および表 36.21 に、USBFS のバッファステータスを示します。FIFO バッファステータスは、DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットを使用して確認できます。FIFO バッファの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）で指定します。

INBUFM ビットは送信方向のパイプ 1～5 で有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側の FIFO バッファステータスを監視し、INBUFM ビットを読み出して SIE 側の FIFO バッファステータスを監視します。CPU または DMA/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空き状態が判別できない場合に、ソフトウェアは INBUFM ビットで送信完了を確認できます。

表 36.20 BSTS ビットが示すバッファステータス

ISEL または DIR	BSTS	FIFO バッファステータス
0（受信方向）	0	受信データなし、または受信中。 FIFO ポートからの読み出し不可能。
0（受信方向）	1	受信データあり、または Zero-Length パケット受信。 FIFO ポートからの読み出し可能。 zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要。
1（送信方向）	0	送信未完了。 FIFO ポートへの書き込み不可能。
1（送信方向）	1	送信完了。 CPU は書き込み可能。

表 36.21 INBUFM ビットが示すバッファステータス

DIR	INBUFM	FIFO バッファステータス
0（受信方向）	無効	無効。
1（送信方向）	0	送信完了。 送信可能データなし。
1（送信方向）	1	データが FIFO ポートからバッファへ書き込まれた。 送信可能データあり。

36.3.6 FIFO バッファクリア

表 36.22 に、FIFO バッファのクリア方式一覧を示します。FIFO バッファは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、または PIPEnCTR.ACLRM ビットでクリアできます。

パイプ 1～5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表 36.22 バッファクリア方式一覧

FIFO バッファクリアモード	CPU 側 FIFO バッファクリア	指定パイプのデータ読み出し後に FIFO バッファを自動でクリアするモード	受信パケットをすべて破棄するための自動バッファクリアモード
使用するレジスタ	CFIFOCTR DnFIFOCTR	DnFIFOSEL	PIPEnCTR
使用するビット	BCLR	DCLRM	ACLRM
0 になる条件	1 書き込みでクリア	1: モード有効 0: モード無効	1: モード有効 0: モード無効

(1) 自動バッファクリアモード機能

PIPEnCTR.ACLRM ビットが 1 の場合、USBFS は受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、FIFO バッファ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にし、続けて 0 にすると、アクセス方向に関係なく、選択パイプの FIFO バッファがクリアされます。ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔は 100ns 以上あけてください。

36.3.7 FIFO ポートの機能

表 36.23 に、FIFO ポート機能設定を示します。データ書き込み時は、最大パケットサイズまで書き込みを行うと、自動的にデータが送信可能状態となります。最大パケットサイズ未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL フラグを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアし、BVAL フラグを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットを受信可能な状態になります。Zero-Length パケット受信時（DTLN[8:0]ビット = 0）は、データは読み出せませんので、BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0]ビットにて確認します。

表 36.23 FIFO ポート機能設定 (1/2)

レジスタ名	ビット名	説明
CFIFOSEL、 DnFIFOSEL (n = 0, 1)	RCNT	DTLN[11:0]読み出しモード選択
	REW	FIFO バッファリワインド（再読み出し、再書き込み）
	DCLRM	指定パイプの受信データ読み出し後、受信データの自動クリア（DnFIFO 専用）
	DREQE	DMA/DTC 転送許可（DnFIFO 専用）
	MBW	FIFO ポートアクセスビット幅
	BIGEND	FIFO ポートエンディアン選択
	ISEL	FIFO ポートアクセス方向（DCP 専用）
	CURPIPE	カレントパイプ選択

表 36.23 FIFO ポート機能設定 (2/2)

レジスタ名	ビット名	説明
CFIFOCTR、DnFIFOCTR (n = 0, 1)	BVAL	FIFO バッファ書き込み終了
	BCLR	CPU 側 FIFO バッファクリア
	DTLN	受信データ長確認

(1) FIFO ポート選択

表 36.24 に、各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0]ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0]ビット値が正しく読み出せたかどうかをソフトウェアで確認する必要があります。前回のパイプ番号が読み出された場合には、USBFS がパイプ変更処理中であることを示します。次に、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認します。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅をソフトウェアで指定する必要があります。FIFO バッファアクセス方向は、PIPECFG.DIR ビットの設定値に従います。DCP のみ、ポート選択レジスタの ISEL ビットにより方向を決定します。

表 36.24 パイプ別 FIFO ポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1～9	CPU アクセス	• CFIFO ポートレジスタ • D0FIFO/D1FIFO ポートレジスタ
	DMA/DTC アクセス	D0FIFO/D1FIFO ポートレジスタ

(2) REW ビット

実行中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行ってから、再度最初のパイプの処理を続行することが可能です。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0]ビットでパイプ選択を行うのと同時に REW ビットを 1 にすると、FIFO バッファからの読み出しまたは FIFO バッファへの書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。REW ビットを 0 にしてパイプ選択を行うと、バッファの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み出しおよび書き込みができます。

FIFO ポートにアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

36.3.8 DMA 転送（D0FIFO/D1FIFO ポート）

(1) DMA 転送概要

パイプ 1～9 に対して、DMAC による FIFO ポートアクセスが可能です。DMA 転送用のパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL.MBW ビットにて FIFO ポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0]ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード（D0FIFO/D1FIFO ポート読み出し方向）

USBFS は、DnFIFOSEL.DCLRM ビットを 1 にすることで、FIFO バッファからのデータ読み出しを完了したとき、選択パイプの FIFO バッファを自動的にクリアします。

表 36.25 に、各設定での、パケット受信とソフトウェアによる FIFO バッファクリア処理を示します。表に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なります。バッファクリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になります。これにより、ソフトウェアを介在させない DMA 転送が可能となります。

DnFIFO 自動クリアモードは、FIFO バッファ読み出し方向のみ設定できます。

表 36.25　パケット受信とソフトウェアによる FIFO バッファクリア処理

パケット受信時のバッファステータス	レジスタ設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

36.3.9　DCP を使用したコントロール転送

コントロール転送データステージのデータ転送には、DCP を使用します。DCP の FIFO バッファは、コントロールリードおよびコントロールライト共用の固定領域を持つ 64 バイトシングルバッファです。FIFO バッファへのアクセスは、CFIFO ポートのみ可能です。

36.3.9.1　ホストコントローラモードでのコントロール転送

(1)　セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタは、SETUP トランザクションの USB リクエスト送信用のレジスタです。Setup パケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに 1 を書き込むことで、設定されているデータが SETUP トランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると 0 にクリアされます。SUREQ ビットが 1 のとき、上記 USB リクエストレジスタを変更しないでください。

アタッチされたファンクションデバイスが検出された場合、ソフトウェアで DCPMAXP.DEVSEL[3:0]ビットを 0 にクリアし、DEVADD0.USBSPD[1:0]ビットを適切に設定し、前述のシーケンスに従って、該当するデバイスの最初の SETUP トランザクションを発行してください。

アタッチされたファンクションデバイスが Address ステートに遷移したとき、ソフトウェアによって、DEVSEL[3:0]ビットに割り付けた USB アドレス値を設定し、指定 USB アドレスに対応する DEVADDn レジスタの各ビットを適切に設定し、前述のシーケンスに従って SETUP トランザクションを発行してください。たとえば、PIPEMAXP.DEVSEL[3:0] = 0010b のときは、DEVADD2 レジスタを適切に設定してください。また、PIPEMAXP.DEVSEL[3:0] = 0101b のときは、DEVADD5 レジスタを適切に設定してください。

SETUP トランザクションデータを送信すると、周辺デバイスからの応答（INTSTS1 レジスタの SIGN ビットまたは SACK ビット）に基づき割り込み要求が発生します。この割り込み要求によりソフトウェアで SETUP トランザクション結果を確認できます。

SETUP トランザクションの DATA0 データパケット（USB リクエスト）は、DCPCTR.SQMON ビットのステータスにかかわらず常に送信されます。

(2)　データステージ

DCP の FIFO バッファを使用してデータの転送を行うためにデータステージを使用します。

DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットは、データ PID を DATA1 として転送する必要があります。DCPCTR.SQSET ビットでデータ PIDs = DATA1 に設定し、PID ビット=BUF に設定します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

コントロールライト転送の場合、送信データバイト数が最大パケットサイズの整数倍の場合は、ソフトウェアで最後に Zero-Length パケットを送出してください。

(3)　ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送を行うためにステータスステージを使用します。データステージ同様に、DCP の FIFO バッファを使用したデータ転送になります。データステージと同様の手順でトランザクションを実行します。

ステータスステージのデータパケットは、DCPCTR.SQSET ビットを使用してデータ PID を DATA1 として送受信する必要があります。

Zero-Length パケットを受信した場合、BRDY 割り込み発生後に CFIFOCTR.DTLN[8:0]ビットで受信データ長を確認してから、BCLR ビットで FIFO バッファをクリアしてください。

36.3.9.2 デバイスコントローラモードでのコントロール転送

(1) セットアップステージ

USBFS は、USBFS に対する正常な Setup パケットに対して ACK 応答します。セットアップステージの USBFS 動作を以下に示します。

新しい Setup パケットを受信すると、USBFS は以下のビットを設定します。

- INTSTS0.VALID ビットを 1 にする
- DCPCTR.PID[1:0]ビットを NAK にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケットを受信すると、USBFS は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID フラグを 0 にしてから実行してください。VALID ビットが 1 の状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、USBFS は、コントロール転送中に新しい USB リクエストを受信すると、実行中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBFS は、受信した USB リクエストの方向ビット（bmRequestType のビット 8）と、リクエストデータ長 (wLength) を自動検出します。USBFS は他にも、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を判別し、ステージ遷移を管理します。誤ったシーケンスに対しては、コントロール転送ステージ遷移割り込み中にシーケンスエラーが発生し、ソフトウェアに割り込みが報告されます。USBFS のステージ管理を示す図については、 図 36.15 を参照してください。

(2) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。

転送データが DCP の FIFO バッファのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0]ビットが BUF に設定された状態で、DCPCTR.CCPL ビットを 1 にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBFS が自動的にステータスステージを実行します。手順は以下のとおりです。

- コントロールリード転送の場合

  USBFS は、USB ホストから Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合

  USBFS は、Zero-Length パケットを送信し、USB ホストから ACK 応答を受信します。

(4) コントロール転送自動応答機能

USBFS は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーのいずれかが発生した場合は、ソフトウェアによる応答が必要です。

- bmRequestType が 0x00 でない場合：コントロールライト転送以外
- wIndex が 0x00 でない場合：リクエストエラー
- wLength が 0x00 でない場合：ノーデータコントロール転送以外

- wValue が 0x7F より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0]ビットが 011b（Configured ステート）の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS リクエスト以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

36.3.10 バルク転送（パイプ 1～5）

バルク転送は、FIFO バッファ使用方法（シングル／ダブルバッファ設定）の設定ができます。USBFS は、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み機能（PIPECFG.BFRE ビット）：「36.3.3.1. BRDY 割り込み」参照
- トランザクションカウント機能（PIPEnTRE.TRENB ビット、TRCLR ビット、PIPEnTRN.TRNCNT[15:0]ビット）：「36.3.4.5. トランザクションカウンタ（受信方向パイプ 1～5）」参照
- 応答 PID＝NAK 機能（PIPECFG.SHTNAK ビット）：「36.3.4.8. 応答 PID＝NAK 機能」参照
- 自動応答モード（PIPEnCTR.ATREPM ビット）：「36.3.4.9. 自動応答モード」参照

36.3.11 インタラプト転送（パイプ 6～9）

デバイスコントローラモード時、USBFS は、ホストコントローラが指示しているタイミングに基づいてインタラプト転送を行います。

ホストコントローラモード時、インターバルカウンタを使用してソフトウェアでトークン発行タイミングを設定できます。

36.3.11.1 ホストコントローラモードでのインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0]ビットにトランザクションのインターバルを指定します。USBFS は、指定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1) カウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット

  IITV[2:0]ビットが初期化されます。
- PIPEnCTR.ACLRM ビットを使用した FIFO バッファの初期化

  IITV[2:0]ビットは初期化されませんが、カウント値は初期化されます。PIPEnCTR.ACLRM ビットを 0 にすると、IITV[2:0]ビット設定値からカウントが開始します。

なお、下記の場合にはインターバルカウンタは初期化されません。

- USB バスリセット、または USB Suspended ステート

  IITV[2:0]ビットは初期化されません。DVSTCTR0.UACT ビットを 1 にすることにより、USB バスリセット状態または USB サスペンド状態となる前に保存された値からカウントが開始します。

(2) トークン発生タイミングであってもトークンの送受信ができない場合の動作

以下の場合、トークンの発生タイミングであってもトークンは発生しません。このような場合、USBFS は次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- 受信 (IN) 方向の転送でトークンの送信タイミングに FIFO バッファに空き領域がない場合
- 送信 (OUT) 方向の転送でトークンの送信タイミングに FIFO バッファに送信データがない場合

36.3.12 アイソクロナス転送（パイプ 1～2）

USBFS は、アイソクロナス転送専用として下記の機能を備えています。

- アイソクロナス転送のエラー通知

- PIPEPERI.IITV[2:0]ビットで指定されたインターバルカウンタ
- アイソクロナス IN 転送データセットアップコントロール（IDLY 機能）
- PIPEPERI.IFIS ビットで指定されたアイソクロナス IN 転送バッファフラッシュ機能

36.3.12.1 アイソクロナス転送のエラー検出

USBFS は、アイソクロナス転送時に発生したエラーをソフトウェアで管理できるようにするために、下記のエラー検出機能を備えています。表 36.26 および表 36.27 に、USBFS によるエラー検出の優先順位、および関連する割り込みを示します。

PID エラー

- 受信パケットの PID 値が不正な場合

CRC エラー、ビットスタッフィングエラー

- 受信パケットに CRC エラーがあった場合、またはビットスタッフィングが不正な場合

最大パケットサイズオーバー

- 受信パケットのデータサイズが、最大パケットサイズの設定値を越える場合

オーバーラン、アンダーランエラー

ホストコントローラモード時：

- IN（受信）方向の転送時にトークンの送信タイミングに FIFO バッファに空き領域がない場合
- OUT（送信）方向の転送時にトークンの送信タイミングに FIFO バッファに送信データがない場合

デバイスコントローラモード時：

- IN（送信）方向の転送時にトークンの受信タイミングに FIFO バッファに送信データがない場合
- OUT（受信）方向の転送時にトークンの受信タイミングに FIFO バッファに空き領域がない場合

インターバルエラー

デバイスコントローラモード時は、以下の場合にインターバルエラーとして処理されます。

- アイソクロナス IN 転送時に、インターバルフレーム内に IN トークンを受信できなかった場合
- アイソクロナス OUT 転送時に、インターバルフレーム内に OUT トークンを受信できなかった場合

表 36.26 トークン送受信エラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません（破損パケットとして無視）。
3	オーバーランエラー、アンダーランエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、NRDY 割り込みを発生させ、FRMNUM.OVRN ビットを 1 にします。 デバイスコントローラモード時は、IN トークンに対して、Zero-Length パケットを送信します。 OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	デバイスコントローラモード時は NRDY 割り込みを発生させます。ホストコントローラモード時は割り込みを発生させません。

表 36.27 データパケット受信エラー検出 (1/2)

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込みを発生させません（破損パケットとして無視）。

表 36.27 データパケット受信エラー検出 (2/2)

検出の優先順位	エラー	発生する割り込みとステータス
2	CRC エラー、ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、NRDY 割り込みを発生させ、FRMNUM.CRCE ビットを 1 にします。
3	最大パケットサイズオーバーエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、BEMP 割り込みを発生させ、PID[1:0]ビットを STALL にします。

36.3.12.2 DATA-PID

デバイスコントローラモード時、受信 PID に対する USBFS の対応を以下に示します。

(1) IN 方向の場合

- DATA0：データパケットの PID として送信
- DATA1：送信しない
- DATA2：送信しない
- mDATA：送信しない

(2) OUT 方向の場合

- DATA0：データパケットの PID として正常受信
- DATA1：データパケットの PID として正常受信
- DATA2：パケットを無視
- mDATA：パケットを無視

36.3.12.3 インターバルカウンタ

アイソクロナス転送のインターバルは、PIPEPERI.IITV[2:0]ビットで設定できます。デバイスコントローラモードでは、インターバルカウンタにより、表 36.28 に示す機能を可能にします。ホストコントローラモードでは、USBFS はトークン発行タイミングを生成し、インターバルカウンタはインタラプト転送と同じように動作します。

表 36.28 デバイスコントローラモード時のインターバルカウンタ機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ	アイソクロナス IN 転送でインターバルフレーム内に IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレーム内に OUT トークンを正常受信できない。

インターバルのカウントは、SOF の受信時または補完された SOF で行うので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームです。

(1) デバイスコントローラモード時のカウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット

  PIPEPERI.IITV[2:0]ビットが初期化されます。
- ACLRM ビットを使用した FIFO バッファの初期化

  IITV[2:0]ビットは初期化されませんが、カウント値は初期化されます。

インターバルカウンタが初期化されると、パケットを正常転送したときに、以下のいずれかの条件でインターバルのカウントを開始します。

- PID = BUF のときに IN トークンに対してデータを送信後 SOF を受信
- PID = BUF のときに OUT トークンに対してデータを受信後 SOF を受信

下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0]ビットを NAK または STALL に設定した場合
  インターバルタイマは停止しません。USBFS は次のインターバルにトランザクションの実行を試みます。
- USB バスリセット状態または USBFS が Suspended ステートの場合
  IITV[2:0]ビットは初期化されません。SOF を受信すると、SOF 受信前に設定された値からインターバルカウンタのカウントを開始します。

(2) ホストコントローラモード時のインターバルカウントと転送制御

USBFS は、PIPEPERI.IITV[2:0]ビットの設定値に従い、トークン発行間隔を制御します。具体的には、USBFS は 2^{IITV} 回のフレームに 1 回の間隔で、選択パイプに対するトークンを発行します。

USBFS は、ソフトウェアで PID[1:0]ビットを BUF に設定したフレームの次のフレームからトークン発行間隔のカウントを開始します。

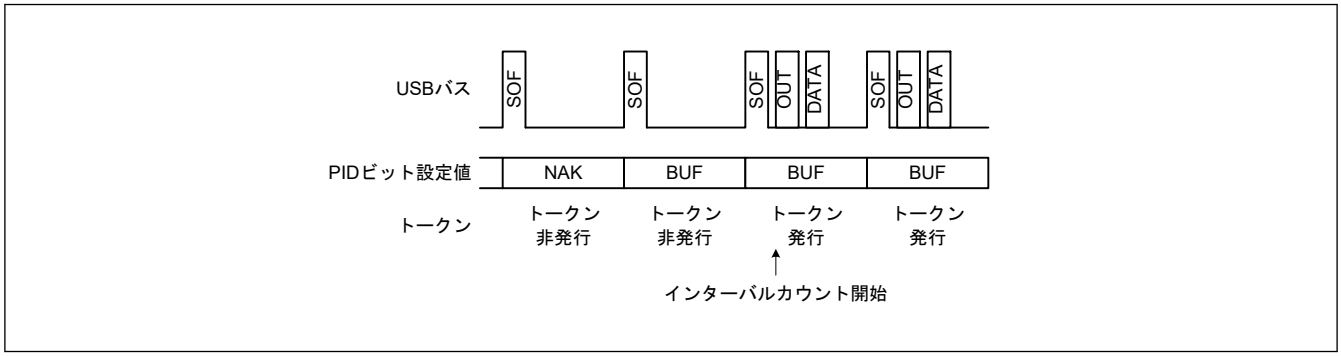


図 36.16 IITV = 0 の場合のトークン発行の有無

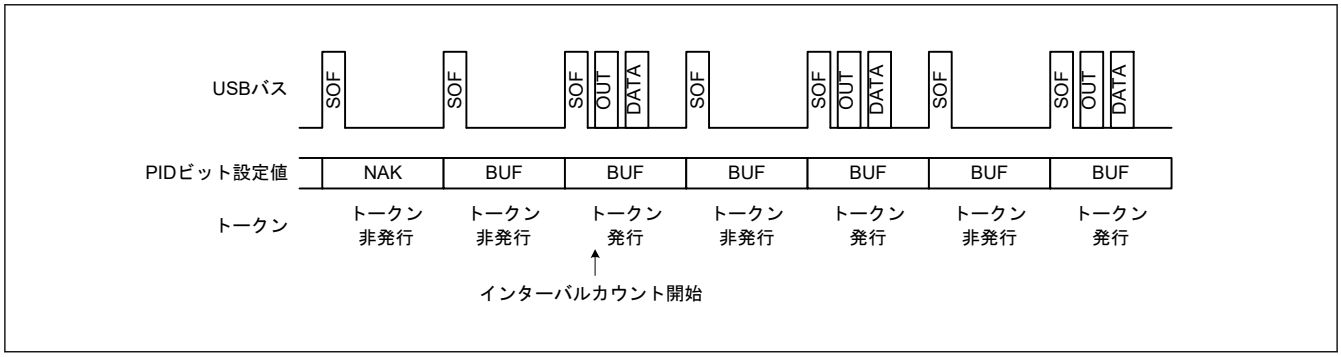


図 36.17 IITV = 1 の場合のトークン発行の有無

選択パイプの転送タイプがアイソクロナスの場合、USBFS はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも、USBFS はトークンを発行します。

選択パイプがアイソクロナス IN 転送パイプの場合

USBFS は、IN トークンを発行しても周辺デバイスからパケットを正常受信しなかった場合（無応答やパケットエラーの場合）、NRDY 割り込みを発生させます。

CPU または DMAC/DTC が FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために、USBFS がデータを受信できない状態で IN トークン発行タイミングになった場合、USBFS は FRMNUM.OVRN ビットを 1 にし、NRDY 割り込みを発生させます。

選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いなどの原因で、送信可能なデータが FIFO バッファにない状態で OUT トークン発行タイミングに至ったとき、USBFS は OVRN ビットを 1 にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

以下の条件を満たす場合、トークン発行間隔はリセットされます。

- USBFS がリセット端子でリセットされた場合

  IITV[2:0]ビットが初期化されます。
- ソフトウェアが PIPEnCTR.ACLRM ビットを 1 にした場合

(3) デバイスコントローラモード時のインターバルカウントと転送制御

選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0]ビットに設定したインターバル中にデータパケットを受信しなかったとき、USBFS は NRDY 割り込みを発生させます。

データパケットに CRC エラーなどのエラーが発生したため、または FIFO バッファがフルのために USBFS がデータを受信できなかったときにも USBFS は NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。SOF パケットが破損した場合でも内部補完機能により SOF パケットを受信したタイミングに割り込みを発生させます。ただし、IITV ビットが 0 以外のときには、インターバルカウント開始後のインターバルごとに、USBFS は SOF パケット受信のタイミングで NRDY 割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアで PID[1:0]ビットに NAK を設定した場合、USBFS は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始タイミングは、IITV[2:0]ビットの設定値により下記のように異なります。

- IITV[2:0]ビットが 0 の場合

  ソフトウェアが選択パイプの PID[1:0]ビットを BUF に変更したフレームの次のフレームで、インターバルのカウントを開始します。
- IITV[2:0]ビットが 0 ではない場合

  選択パイプの PID[1:0]ビットを BUF に変更した後、最初のデータパケットの正常受信完了時にインターバルのカウントを開始します。

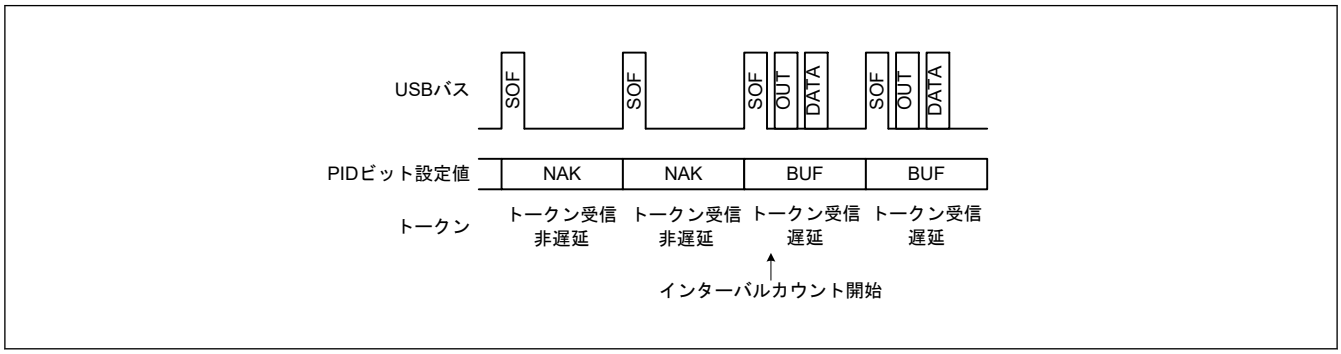


図 36.18 IITV[2:0] = 0 の場合のフレームとトークン受信期待の関係

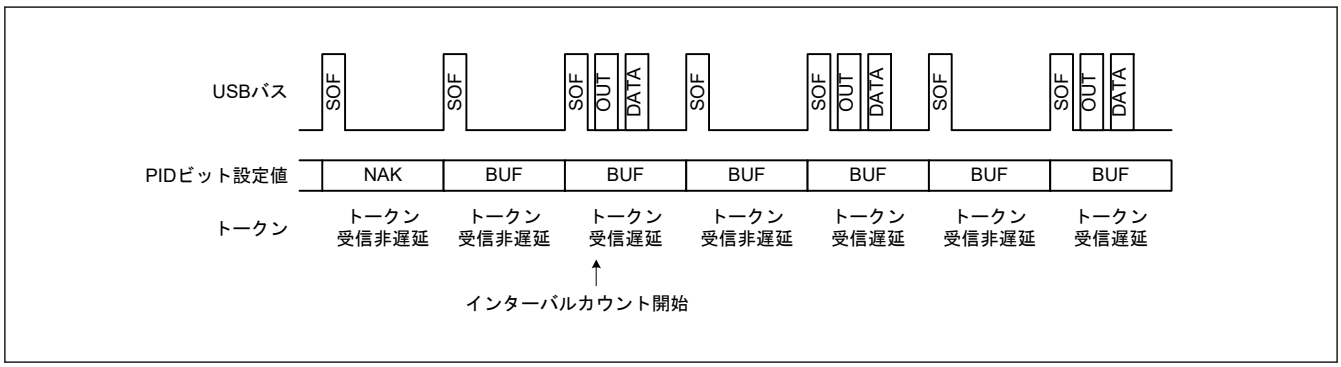


図 36.19 IITV[2:0] ≠ 0 の場合のフレームとトークン受信期待の関係

選択パイプがアイソクロナス IN 転送パイプの場合

この場合、PIPEPERI.IFIS ビットを 1 にする必要があります。IFIS ビットが 0 の場合、PIPEPERI.IITV[2:0]ビットの設定に関係なく、USBFS は IN トークン受信時にデータパケットを送信します。

IFIS ビットが 1 で、FIFO バッファに送信可能なデータがある場合、IITV[2:0]ビットに設定したインターバルごとのフレーム中に IN トークンを受信できなければ、USBFS は FIFO バッファをクリアします。

USBFS は、IN トークンに CRC エラーなどのバスエラーが発生したために正常受信できなかった場合も、FIFO バッファをクリアします。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。SOF パケットが破損した場合でも、内部補完機能により、SOF パケットを受信したタイミングで FIFO バッファをクリアします。

インターバルのカウント開始タイミングは、OUT 転送と同様に、IITV[2:0]ビットの設定値により異なります。

デバイスコントローラモード時は、以下のいずれかの条件でインターバルカウントを行います。

- USBFS がハードウェアリセットされた場合（IITV[2:0]ビットの設定値も 000b になります）
- ソフトウェアが PIPEnCTR.ACLRM ビットを 1 にした場合
- USBFS が USB バスリセットを検出した場合

(4) デバイスコントローラモード時のアイソクロナス転送用送信データセットアップ

デバイスコントローラモードでの USBFS アイソクロナスデータ送信では、FIFO バッファへのデータ書き込み後、SOF パケットを検出した後の最初のフレームでデータパケットの送出が可能になります。このアイソクロナス転送送信データセットアップ機能により、送信を開始したフレームを特定することが可能です。

バッファをダブルバッファモードで使用している場合で、両方のバッファの書き込みが終了している場合でも、送信可能状態になるバッファは先に書き込みを終了した 1 面だけとなります。このため、複数の IN トークンを受信しても、送出される FIFO バッファデータは 1 パケット分のみとなります。

IN トークン受信時に FIFO バッファがデータ送信可能であれば、データを転送し正常応答が返されます。ただし、FIFO バッファがデータ送信不能であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

図 36.20 に、IITV = 0（毎フレーム）にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

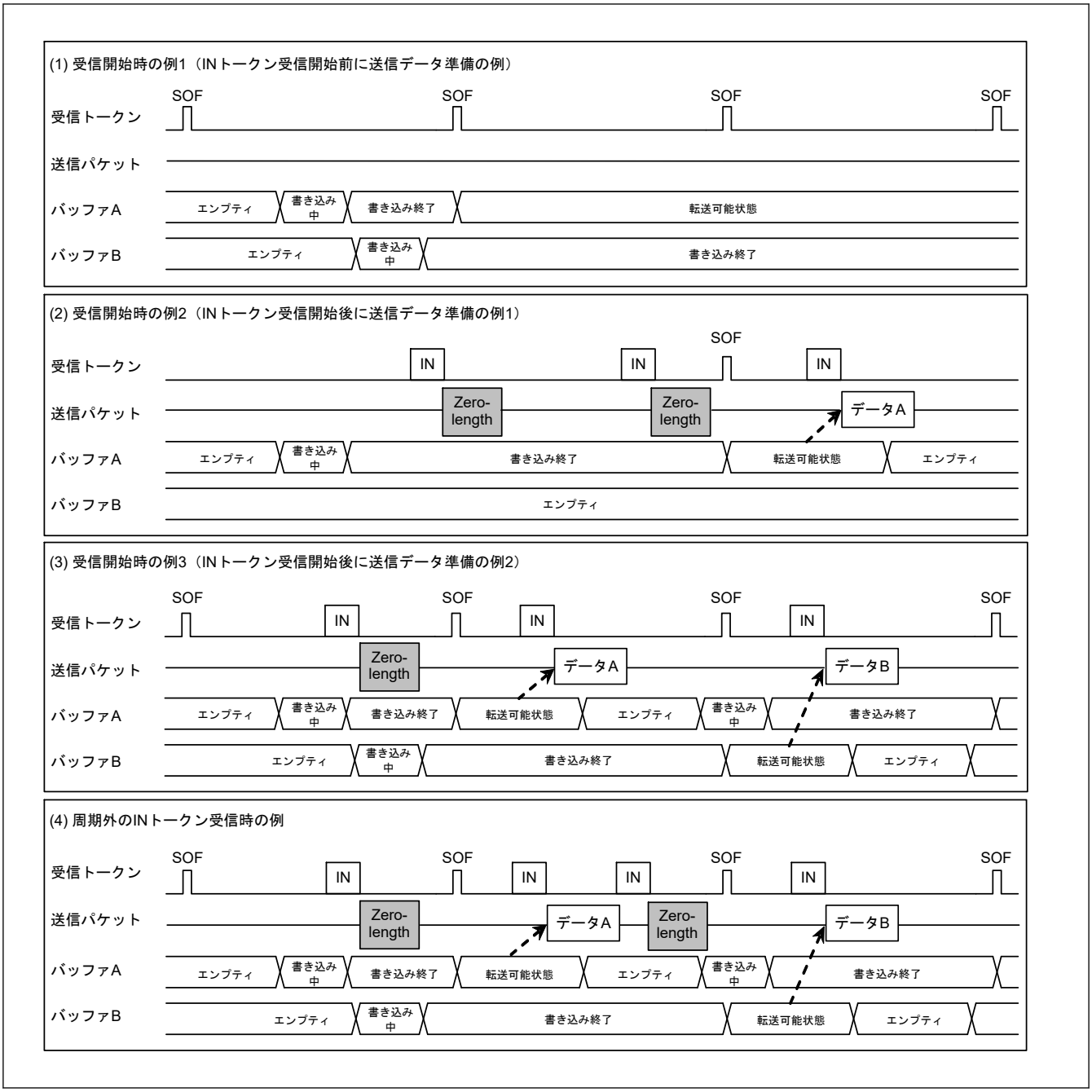


図 36.20　データセットアップ動作例

(5)　デバイスコントローラモード時のアイソクロナス転送用送信バッファフラッシュ

デバイスコントローラモードでのアイソクロナスデータ転送時に、USBFS がインターバルフレーム内に IN トークンを受信しないまま、次フレームの SOF パケットを受信した場合は、USBFS はそれを IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

このときにバッファをダブルバッファモードで使用しており、両方のバッファの書き込みが終了している場合は、クリアされた FIFO バッファ内のデータが上記の同インターバルフレーム内に送信されたものとみなされ、SOF パケット受信でクリアされていない FIFO バッファを送信可能状態とします。

バッファフラッシュ機能は、以下のように PIPEPERI.IITV[2:0]ビットの設定値により動作開始タイミングが異なります。

- IITV = 0 の場合：

  パイプが有効となった後の最初のフレームからバッファフラッシュ動作を開始します。
- IITV ≠ 0 の場合：

最初の正常なトランザクション以降にバッファフラッシュ動作を開始します。

図 36.21 に、バッファフラッシュの例を示します。インターバルフレーム前に予期しないトークンを受信した場合、データセットアップ状態に応じ、USBFS は書き込みデータを送出またははアンダーランエラーとして Zero-Length パケットを送出します。

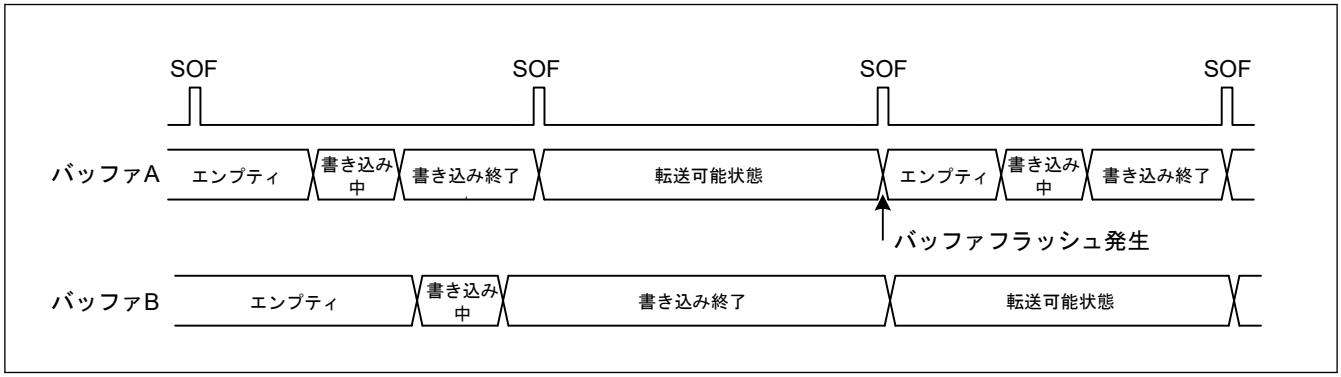


図 36.21　バッファフラッシュ動作例

図 36.22 に、インターバルエラー発生例を示します。図に示すとおり、インターバルエラーは 5 種類あります。図中の（A）のタイミングでインターバルエラーが発生し、バッファフラッシュ機能が動作します。

IN 転送時にインターバルエラーが発生した場合は、バッファフラッシュ機能が動作します。OUT 転送時にインターバルエラーが発生した場合は、NRDY 割り込みが発生します。この NRDY 割り込みと受信パケットエラーおよびオーバーランエラーによる NRDY 割り込みとの区別は、FRMNUM.OVRN ビットで判定してください。

図中に網掛けで示したトークンに対しては、FIFO バッファの状態に応じて応答が返されます。

- IN 方向の場合：
  - バッファがデータを転送できる状態であれば、データが転送されて正常応答が返される
  - バッファがデータ転送不能であれば、Zero-Length パケットを送信してアンダーランエラー
- OUT 方向の場合：
  - バッファがデータを受信できる状態であれば、データが受信されて正常応答が返される
  - バッファがデータ受信不能であれば、受信データを破棄してオーバーランエラー

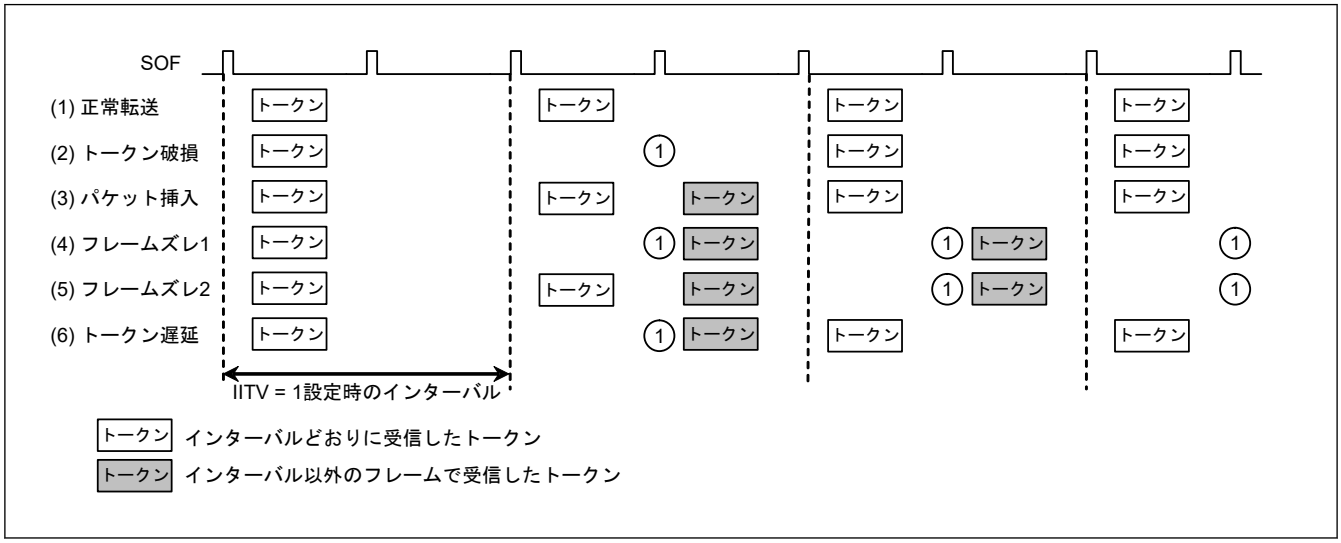


図 36.22　IITV = 1 のときのインターバルエラー発生例

36.3.13 SOF 補完機能

デバイスコントローラモードでは、SOF パケットの破損または欠落のために、1 ms 間隔でパケットを受信できなかった場合に、USBFS は SOF を補完します。SOF 補完の開始は、SYSCFG.USBE ビットと SYSCFG.SCKE ビットがともに 1 であること、および SOF パケットの受信が条件となります。

下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- Suspended ステート検出

SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない
- 最初の SOF パケットを受信すると、48 MHz の内部クロックで 1 ms をカウントし補完する
- 2 回目以降の SOF パケットを受信したときは前回の受信間隔を用いて補完する
- Suspended ステート時および USB バスリセット受信時は補完しない

USBFS は、SOF パケットの受信で制御される下記の機能を動作させます。SOF パケットが欠落した場合は、これらの機能により SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0]ビットは更新されません。

36.3.14 パイプスケジュール

36.3.14.1 トランザクション発行条件

ホストコントローラモード時、DVSTCTR0.UACT ビットを 1 にすると、USBFS は表 36.29 に示す条件でトランザクションを発行します。

表 36.29 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファステート	SUREQ
SETUP	—(注1)	—(注1)	—(注1)	—(注1)	1 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	—(注1)
	OUT	BUF	無効	送信データあり	—(注1)
インタラプト転送	IN	BUF	有効	受信領域あり	—(注1)
	OUT	BUF	有効	送信データあり	—(注1)
アイソクロナス転送	IN	BUF	有効	(注2)	—(注1)
	OUT	BUF	有効	(注3)	—(注1)

注 1. 表中の「—」は、トークンの発行に関係のない条件であることを示します。「有効」はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみトランザクションが発行されることを示します。「無効」はインターバルカウンタにかかわらずトランザクションが発行されることを示します。
注 2. 受信領域の有無にかかわらずトランザクションを発行します。ただし受信領域がなかった場合は、受信データを破棄します。
注 3. 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

36.3.14.2 転送スケジュール

USBFS のフレーム内の転送スケジューリング方法について説明します。USBFS は、SOF を送信後、以下の順番で転送を行います。

1. 周期的転送の実行：

   パイプ 1→パイプ 2→パイプ 6→パイプ 7→パイプ 8→パイプ 9 の順にパイプを検索し、アイソクロナス転送またはインタラプト転送のトランザクションの発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送の SETUP トランザクション：

   DCP を確認して、SETUP トランザクションが可能であれば送信します。

3. バルク転送、コントロール転送データステージ、およびコントロール転送ステータスステージの実行：

   DCP→パイプ 1→パイプ 2→パイプ 3→パイプ 4→パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを発行します。

   トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても、処理は次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、ステップ 3 を繰り返します。

36.3.14.3 USB 通信許可

DVSTCTR0.UACT ビットを 1 にすると、SOF の送信が開始され、トランザクションの発行が可能となります。UACT ビットを 0 にすると、SOF の送信を停止し Suspended ステートとなります。UACT ビットを 1 から 0 にする場合、次の SOF を送信してから処理を停止します。

36.4 使用上の注意事項

36.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、USBFS の動作を禁止／許可することが可能です。USBFS は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細については、「11. 低消費電力モード」を参照してください。

36.4.2 ソフトウェアスタンバイモード解除時の割り込みステータスレジスタのクリア

ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、下記条件下では、予期せぬ割り込みが発生する場合があります。

- 通常モードで割り込みを許可する場合
- ソフトウェアスタンバイモードで割り込みを禁止する場合
- ソフトウェアスタンバイモードを解除する端子の入力レベルがソフトウェアスタンバイモードで変更されている場合

これらの条件を満たすと、割り込みステータスレジスタの関連する割り込みフラグが予期せず設定されることがあります。MCU がソフトウェアスタンバイモードを解除した後に、予期せぬ割り込みが割り込みコントローラに送信される場合があります。この問題を避けるために、解除シーケンスで INTSTS0 および INTSTS1 レジスタを常にクリアしてください。

36.4.3 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは PmnPFS.PSEL および PmnPFS.PMR ポートを設定する前は無効であるため、内部信号はハイまたはローに固定されます。入力バッファはポート設定後に有効にされるので、外部端子の状態が MCU に伝播します。このとき、予期せぬ割り込みが発生する場合があり、INTSTS0 と INTSTS1 レジスタの VBINT と OVRCR ビット、またはその他の割り込みステータスフラグが 1 になります。誤作動を避けるために、ポート設定後は INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

36.4.4 USB 機能設定前のポート機能の設定

USB_DP 端子、USB_DM 端子は、I/O ポートの P814、P815 と互換性があります。よって、USBFS 機能を有効にする USBFS レジスタを設定する前に、P814PFS.PMR ビットと P815PFS.PMR ビットを 1 にしてください。

37. USB2.0 ハイスピードモジュール (USBHS)

37.1 概要

本 MCU は、USB (Universal Serial Bus) 規格 2.0 に準拠するホストコントローラまたはデバイスコントローラとして動作する USB2.0 ハイスピードモジュール (USBHS) を内蔵しています。ホストコントローラは USB2.0 ハイスピード、フルスピード、ロースピード転送に対応しています。デバイスコントローラは、USB2.0 ハイスピード、フルスピード転送に対応しています。また、USBHS は USB トランシーバを内蔵し、USB 2.0 規格で定義されている全転送タイプに対応しています。

USBHS はデータ転送用に FIFO バッファを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1～9 に対しては、周辺デバイスやユーザシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

表 37.1 に USBHS の仕様を、図 37.1 にブロック図を、表 37.2 に入出力端子を示します。

表 37.1 USBHS の仕様

項目	内容
特長	• USB デバイスコントローラ (UDC) および USB2.0 トランシーバはホストコントローラ、デバイスコントローラ、および On-The-Go (OTG) 機能に対応 • ホストおよびデバイスコントローラモードは、ソフトウェアで切り替え可能
	ホストコントローラ機能選択時 • ハイスピード転送 (480 Mbps)、フルスピード転送 (12 Mbps)、ロースピード転送 (1.5 Mbps) に対応 • SOF およびパケット送信のスケジュールを自動化 • アイソクロナス転送およびインタラプト転送の転送インターバル設定機能 • ハブを 1 段経由し、複数の周辺デバイスと接続し通信が可能
	デバイスコントローラ機能選択時 • ハイスピード転送 (480 Mbps) およびフルスピード転送 (12 Mbps) に対応 • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完機能
対応する転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
パイプコンフィグレーション	• USB 通信用に最大 8.5 KB の FIFO バッファを使用可能 • 最大 10 本のパイプを選択可能（デフォルトコントロールパイプを含む） • プログラマブルなパイプ構成 • パイプ 1～9 は任意のエンドポイント番号を割り付け可能
	パイプごとに指定可能な転送条件： • パイプ 0: 64 バイトシングルバッファによるコントロール転送 • パイプ 1～2: バルク転送／アイソクロナス転送、連続転送モード、バッファサイズはプログラマブル（最大 2 KB でダブルバッファ指定可能） • パイプ 3～5: バルク転送、連続転送モード、バッファサイズはプログラマブル（最大 2 KB でダブルバッファ指定可能） • パイプ 6～9: 64 バイトシングルバッファによるインタラプト転送
その他の機能	• トランザクションカウントによる転送強制終了機能 • BRDY 割り込みイベント通知タイミング変更機能 • DnFIFO ポート (n = 0, 1) で指定したパイプのデータを読み出した後に自動で FIFO バッファをクリアする機能 • 転送終了による応答 PID の NAK 設定機能 • D+/D–ラインのプルアップ抵抗、プルダウン抵抗をチップに内蔵 • 新しいスリープ状態（L1 ステート）を含め、LPM (Link Power Management) ECN に対応 • バッテリチャージング規格 1.2 版に準拠 • 消費電力低減のため、USB1.1 規格のみで動作させる Classic-only モード（CL-only モード）を選択可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減可能
TrustZone フィルタ	セキュリティ属性およびプリビレッジ属性が設定可能

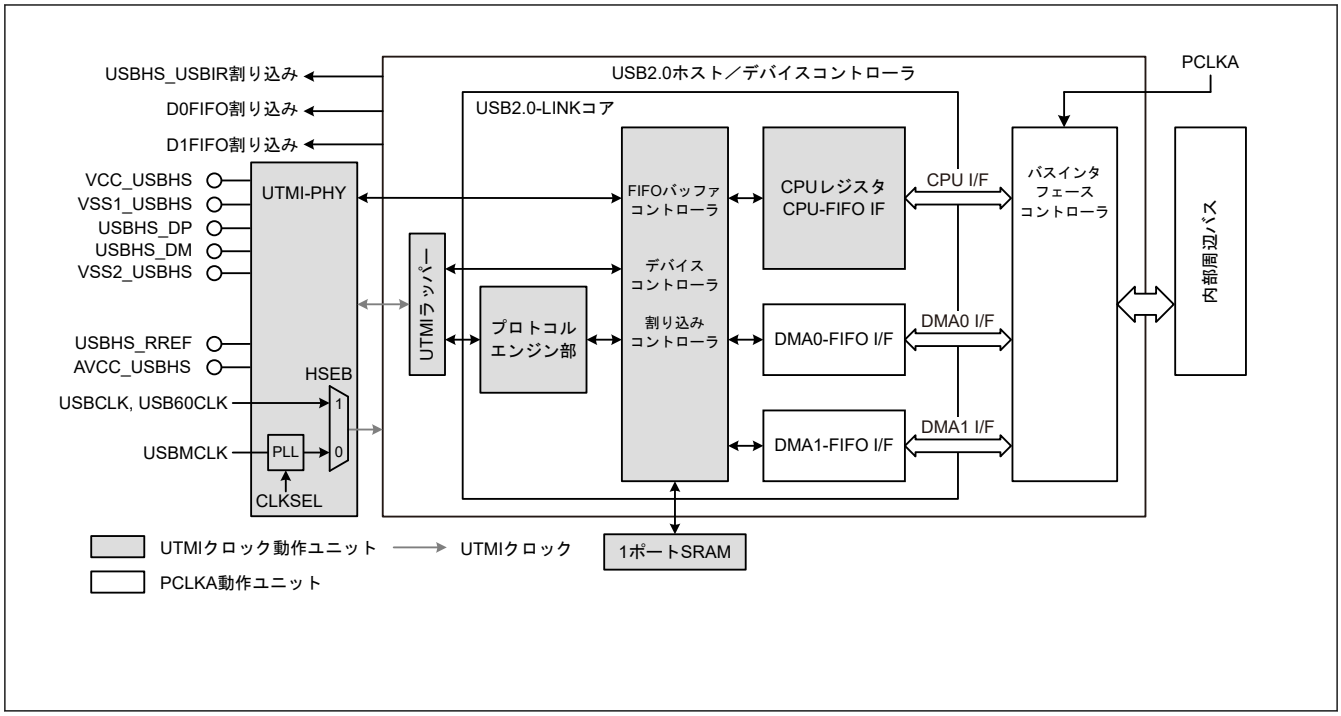


図 37.1　USBHS ブロック図

表 37.2　USBHS の入出力端子

端子名	入出力	機能
VCC_USBHS	入力	USBHS 用電源端子
VSS1_USBHS VSS2_USBHS	入力	USBHS 用グランド端子
AVCC_USBHS	入力	USBHS 用のアナログ電源端子
USBHS_RREF	入出力	USBHS 用の基準電流源端子 2.2 kΩ (±1%) の抵抗を介して VSS2_USBHS 端子に接続してください。
USBHS_DP	入出力	USB バスの D+データの入出力端子
USBHS_DM	入出力	USB バスの D-データの入出力端子
USBHS_EXICEN	出力	OTG 電源 IC に接続してください。
USBHS_ID	入力	OTG 電源 IC に接続してください。
USBHS_VBUSEN	出力	USBHS 用の VBUS 電源イネーブル端子
USBHS_OVRCURA, USBHS_OVRCURB, USBHS_OVRCURA-DS, USBHS_OVRCURB-DS	入力	USBHS 用オーバーカレント端子 ソフトウェアスタンバイモードまたは通常モードで USBHS_OVRCURA 端子または USBHS_OVRCURB 端子を使用できます。USBHS_OVRCURA-DS 端子と USBHS_OVRCURB-DS 端子は、ディープソフトウェアスタンバイモード 1 の解除と同様に、ソフトウェアスタンバイモードまたは通常モードで割り込みを発生させることができる専用端子です。
USBHS_VBUS	入力	USB ケーブル接続モニタ入力端子

37.2 レジスタの説明

37.2.1 SYSCFG : システムコンフィグレーションコントロールレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CNEN	HSE	DCFM	DRPD	DPRPU	—	—	—	USBE
Value after reset:	x	x	x	x	x	x	x	0	0	0	1	0	x	x	x	0

ビット	シンボル	機能	R/W
0	USBE	USBHS 動作許可 0: 無効 1: 有効	R/W
3:1	—	読み出し値は不定です。書く場合、0 としてください。	R/W
4	DPRPU	D+ライン抵抗制御 0: ラインのプルアップは禁止 1: ラインのプルアップは許可	R/W
5	DRPD	D+/D–ライン抵抗制御 0: ラインのプルダウンは禁止 1: ラインのプルダウンは許可	R/W
6	DCFM	コントローラ動作選択 0: デバイスコントローラモード選択 1: ホストコントローラモード選択	R/W
7	HSE	ハイスピード動作許可 0: 無効 デバイスコントローラモード: フルスピード ホストコントローラモード : フルスピードまたはロースピード 1: 有効 コントローラが通信速度を検出	R/W
8	CNEN	シングルエンドレシーバ許可 0: 無効 1: 有効	R/W
15:9	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

PHY クロック停止中も、SYSCFG レジスタへの書き込みが可能です。ただし、書き込んだ値が SYSCFG レジスタに反映されるのは、PHY クロックの発振再開後です。

USBE ビット（USBHS 動作許可）

USBE ビットは、USBHS の動作禁止／許可を指定します。

USBE ビットを 1 から 0 に変更したときに初期化されるビットを表 37.3 に示します。本ビットは、PHYSET.CLKSEL[1:0]ビットで入力クロックを指定して、PLLSTA.PLLLOCK フラグが 1 であることを確認した後にのみ変更してください。CL-only モードでは、PHYSET.HSEB ビットを 1 にした後に USBE ビットを変更します。その際、USBCLK は 48 MHz、USB60CLK は 60 MHz に設定する必要があります。クロック設定は、「37.3.3. クロック供給」を参照してください。

ホストコントローラモード時は、DRPD ビットを 1 にした後、SYSSTS0.LNST[1:0]ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、本ビットを 1 にしてください。

表 37.3 SYSCFG.USBE = 0 の書き込みで初期化されるビット

選択した機能	レジスタ	ビット	備考
デバイスコントローラ (DCFM = 0)	SYSSTS0	LNST[1:0]	ホストコントローラモード時、値を保持
	DVSTCTR0	RHST[2:0]	—
	PL1CTRL1	DVSQ[3:0]	ホストコントローラモード時、値を保持
	USBADDR	USBADDR[6:0]	ホストコントローラモード時、値を保持
	USBREQ	• BREQUEST[7:0] • BMREQUESTTYPE[7:0]	ホストコントローラモード時、値を保持
	USBVAL	WVALUE[15:0]	ホストコントローラモード時、値を保持
	USBINDX	WINDEX[15:0]	ホストコントローラモード時、値を保持
	USBLENG	WLENTUH[15:0]	ホストコントローラモード時、値を保持
ホストコントローラ (DCFM = 1)	DVSTCTR0	RHST[2:0]	—
	FRMNUM	FRNM[10:0]	デバイスコントローラモード時、値を保持
	UFRMNUM	UFRNM[2:0]	デバイスコントローラモード時、値を保持

DPRPU ビット（D+ライン抵抗制御）

DPRPU ビットは、デバイスコントローラモード時、D+ラインのプルアップの許可／禁止を指定します。

デバイスコントローラモード時に DPRPU ビットを 1 にすると、USBHS は D+ラインをプルアップし、USB ホストに対してアタッチを通知することができます。DPRPU ビットを 1 から 0 に変更すると、プルアップが解除され、結果としてそれがデタッチされたことを USB ホストに通知します。

デバイスコントローラモードでは 1、ホストコントローラモードでは 0 にしてください。

DRPD ビット（D+/D–ライン抵抗制御）

DRPD ビットは、ホストコントローラモードで、D+/D-ラインのプルダウンを許可または禁止します。

ホストコントローラモードでは、本ビットを 1 にしてください。デバイスコントローラモード時で OTG を使用しない場合、0 にしてください。

DCFM ビット（コントローラ動作選択）

DCFM ビットは、USBHS の機能をホスト機能にするかデバイス機能にするかを選択します。

本ビットの変更は、DPRPU ビットおよび DRPD ビットの両方が 0 のときのみ行ってください。

HSE ビット（ハイスピード動作許可）

HSE ビットは、ハイスピード動作を許可または禁止します。

本ビットが 1 のとき、USBHS はリセットハンドシェイクの結果に基づき、ハイスピード動作またはフルスピード動作を行います。

ホストコントローラモードで本ビットを 0 にすると、USBHS はフルスピード動作またはロースピード動作を行います。DVSTCTR0.RHST[2:0]フラグがロースピードのデバイスのアタッチを示す場合、HSE ビットは 0 にしてください。

ホストコントローラモードで本ビットを 1 にすると、USBHS はリセットハンドシェイクの結果に基づき、ハイスピード動作またはフルスピード動作を行います。アタッチイベント（ATTCH 割り込み）検出後および USB バスリセット（DVSTCTR0.USBRST = 1 の場合）前に、またはデタッチイベント検出後に、HSE ビットを変更してください。

デバイスコントローラモードで本ビットを 0 にすると、USBHS はフルスピードで動作します。本ビットを 1 にすると、USBHS はリセットハンドシェイクを実行し、その結果に応じてハイスピード動作またはフルスピード動作を行います。

デバイスコントローラモードでは、DPRPU ビットが 0 の場合にのみ本ビットを変更してください。

CNEN ビット（シングルエンドレシーバ許可）

CNEN ビットを 1 にすると、シングルエンドレシーバの動作が有効となり、SYSSTS0.LNST[1:0]フラグにより D+および D-ラインのステータスをモニタできます。本ビットは、USBHS がデタッチされているときに端子がフローティングになることによって生じる可能性のある、シングルエンドレシーバの動作時の貫通電流による破損を防ぐために使用してください。

ホストコントローラモード時は、PHY クロックが供給されていることを確認してから、CNEN ビットを 1 にします。デバイスコントローラモード時は、VBUS 割り込みにより VBUS を検出したときは 1 を、VBUS ラインが取り除かれたときは 0 にしてください。

37.2.2 BUSWAIT : CPU バスウェイトレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x002

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	BWAIT[3:0]			
Value after reset:	x	x	0	0	0	0	0	0	x	x	0	0	1	1	1	1

ビット	シンボル	機能	R/W
3:0	BWAIT[3:0]	CPU バスアクセスウェイト指定 0x0: 0 ウェイト（アクセスサイクル 2） ⋮ 0x2: 2 ウェイト（アクセスサイクル 4） ⋮ 0x4: 4 ウェイト（アクセスサイクル 6） ⋮ 0xF: 15 ウェイト（アクセスサイクル 17）（初期値）	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	—	読み出し値は不定です。書く場合、0 としてください。	R/W
13:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

BWAIT[3:0]ビット（CPU バスアクセスウェイト指定）

BWAIT[3:0]ビットは、USBHS レジスタへのアクセスの待ち時間を指定します。

書き込みに対して 0x004～0x15F 番地、読み出しに対して 0x004～0x167 番地のオフセットアドレスのレジスタにアクセスする場合、連続アクセスのためのサイクル時間を 41 ns 以上にする必要があります。初期値は 0xF（17 サイクル）ですが、この条件を満たすように、アプリケーションの PCLKA 周波数に応じた最適な待機時間を設定することを推奨します。

なお、この設定は、FIFO ポートレジスタへのアクセスの待ち時間と同じです。FIFO ポートへの最大アクセススピードは以下のとおりです。

- MBW[1:0] = 10b（32 ビット幅）のとき：最大 60 MB/s
- MBW[1:0] = 01b（16 ビット幅）のとき：最大 30 MB/s
- MBW[1:0] = 00b（8 ビット幅）のとき：最大 15 MB/s

37.2.3 SYSSTS0 : システムコンフィグレーションステータスレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x004

Bit position:	15	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVCMON[1:0]	—	—	—	—	—	—	—	HTACT	SOFEA	—	—	IDMON	LNST[1:0]	
Value after reset:	x x	x	x	x	x	x	x	x	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	LNST[1:0]	USB データラインステータスモニタフラグ USB データラインのステータスが表示されます。表 37.4 を参照してください。	R
2	IDMON	USBHS_ID 端子モニタフラグ 0: USBHS_ID 端子が Low 1: USBHS_ID 端子が High	R
4:3	—	読み出し値は不定です。	R
5	SOFEA	ホストコントローラ動作選択時の SOF アクティブモニタフラグ 0: SOF 出力停止 1: SOF 出力動作	R
6	HTACT	ホストシーケンサステータスモニタフラグ 0: ホストシーケンサ停止 1: ホストシーケンサ動作	R
13:7	—	読み出し値は不定です。	R
15:14	OVCMON[1:0]	外部 USBHS_OVRCURA/USBHS_OVRCURA-DS および USBHS_OVRCURB/USBHS_OVRCURBB-DS 入力端子モニタフラグ OVCMON[1]は USBHS_OVRCURA/USBHS_OVRCURA-DS 端子のステータスを示します。 OVCMON[0]は USBHS_OVRCURB/USBHS_OVRCURB-DS 端子のステータスを示します。	R

注. S-TYPE-3, P-TYPE-3

LNST[1:0]フラグ（USB データラインステータスモニタフラグ）

LNST[1:0]フラグには、USB データライン（D+ライン、D–ライン）のステータスが表示されます。詳細は、表 37.4 を参照してください。

デバイスコントローラモード時、LNST[1:0]フラグの読み出しは、SYSCFG.CNEN ビットおよび SYSCFG.USBE ビットを 1 にした後で行ってください。ホストコントローラモード時は、LNST[1:0]フラグの読み出しは SYSCFG.DRPD ビットを 1 にした後で行ってください。

デバイスコントローラモード時、バッテリチャージ機能を使用してハードウェアによるコンタクトの確認を行う場合、SYSCFG.DRPD ビット、SYSCFG.CNEN ビット、および BCCTRL.IDPSRCE ビットを 1 にした後で、LNST[1:0]フラグを読み出してください。詳細は、「37.3.15. バッテリチャージング検出処理」を参照してください。

表 37.4 USB データバスライン（D+ライン、D–ライン）のステータス

LNST[1]	LNST[0]	ロースピード動作時（ホストコントローラモードのみ）	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	SE0	Squelch	Squelch
0	1	K-State	J-State	Unsquelch	Chirp J
1	0	J-State	K-State	無効	Chirp K
1	1	SE1	SE1	無効	無効

Chirp : ハイスピード動作許可時（HSE ビットが 1 のとき）、リセットハンドシェイクプロトコルが実行されています。

Squelch : SE0 またはアイドルステート

Unsquelch : ハイスピード J-State またはハイスピード K-State

Chirp J : Chirp J-State

Chirp K : Chirp K-State

SOFEA フラグ（ホストコントローラ動作選択時の SOF アクティブモニタフラグ）

SOFEA フラグは、ホストコントローラモードで、DVSTCTR0.UACT ビットが 0 のため USBHS が停止した場合に、最後の SOF 出力が完了したかどうかを確認するために使用します。

ホストコントローラモードでは、HTACT フラグと SOFEA フラグの両方が 0 であることを確認してから、SYSCFG.USBE ビットを 0 にして USBHS を停止する、または LPSTS.SUSPENDM ビットを 0 にして通信中のクロック信号供給を停止してください。

HTACT フラグ（ホストシーケンサステータスモニタフラグ）

HTACT フラグは、USBHS のホストシーケンサが完全に停止しているとき 0 になります。

ホストコントローラモードでは、HTACT フラグが 0 であることを確認してから、DVSTCTR0.UACT ビットを 0 にして USBHS を Suspend ステートにする、または LPSTS.SUSPENDM ビットを 0 にして通信中のクロック信号供給を停止してください。

OVCMON[1:0]フラグ（外部 USBHS_OVRCURA/USBHS_OVRCURA-DS および USBHS_OVRCURB/USBHS_OVRCURBB-DS 入力端子モニタフラグ）

OVCMON[1:0]には、外部電源 IC からのオーバーカレント信号のステータスが表示されます。

37.2.4 PLLSTA : PLL ステータスレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x006

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLLLOCK
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

ビット	シンボル	機能	R/W
0	PLLLOCK	PLL ロックフラグ 0: PLL はロックしていない 1: PLL はロックしている	R
15:1	—	読み出し値は不定です。	R

注. S-TYPE-3, P-TYPE-3

PLLLOCK フラグ（PLL ロックフラグ）

PLLLOCK フラグは、USB-PHY に内蔵されている PLL がロックしているかどうかを示すフラグです。CL only モードを使用しない場合は、USB 通信を行う前に PLL がロックしていることを確認してください。

37.2.5 DVSTCTR0 : デバイスステートコントロールレジスタ 0

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
Value after reset:	x	x	x	x	0	0	0	0	0	0	0	0	x	0	0	0

ビット	シンボル	機能	R/W
2:0	RHST[2:0]	USB バスリセットステータスフラグ 0 0 0: 通信速度は不確定（パワードステート時または非接続時） 0 0 1: ホストコントローラモード ロースピード接続時 0 1 0: ホストコントローラモード フルスピード接続時 デバイスコントローラモード USB バスリセット処理中またはフルスピード接続時 0 1 1: ホストコントローラモード ハイスピード接続時 デバイスコントローラモード USB バスリセット処理中またはハイスピード接続時 その他: ホストコントローラモード USB バスリセット処理中 デバイスコントローラモード 設定禁止	R
3	—	読み出し値は不定です。書く場合、0 としてください。	R/W
4	UACT	ホストコントローラ動作用 USB バス動作許可 0: ダウンポート動作禁止（SOF または micro-SOF 送出禁止） 1: ダウンポート動作許可（SOF または micro-SOF 送出許可）	R/W
5	RESUME	ホストコントローラ動作用レジューム信号出力 0: レジューム信号を出力しない 1: レジューム信号を出力する	R/W
6	USBRST	ホストコントローラ動作用 USB バスリセット出力 0: USB バスリセット信号を出力しない 1: USB バスリセット信号を出力する	R/W
7	RWUPE	ホストコントローラ動作用リモートウェイクアップ検出許可 0: ダウンポートリモートウェイクアップ禁止 1: ダウンポートリモートウェイクアップ許可	R/W
8	WKUP	デバイスコントローラ動作用リモートウェイクアップ出力 0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
9	VBUSEN	USBHS_VBUSEN 出力端子制御 0: 外部 USBHS_VBUSEN 端子は Low を出力 1: 外部 USBHS_VBUSEN 端子は High を出力	R/W
10	EXICEN	USBHS_EXICEN 出力端子制御 0: 外部 USBHS_EXICEN 端子は Low を出力 1: 外部 USBHS_EXICEN 端子は High を出力	R/W
11	HNPBTOA	ホストネゴシエーションプロトコル (HNP) 制御 OTG モードで、B デバイスから A デバイスに切り替えるときに使用します。HNPBTOA ビットが 1 であれば、内部機能制御は SYSCFG.DPRPU = 0 または SYSCFG.DCFM = 1 にしても HNP 処理が終了するまで Suspend ステートを保ちます。	R/W
15:12	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

RHST[2:0]フラグ（USB バスリセットステータスフラグ）

RHST[2:0]フラグは、USB バスリセットステータスを示します。

ホストコントローラモード時、USBRST ビットを 1 にすると RHST[2:0]フラグが 100b になります。USBRST ビットに 0 を書き込み、USBHS が SE0 ステートで終了した場合、RHST[2:0]フラグが新しい値に更新されます。

デバイスコントローラモードで、USBHS が USB バスリセットを検出した場合、DPRPU ビットが 1 のときにアタッチイベントが発生すると RHST[2:0]フラグが 010b になり、DVST 割り込みが発生します。

UACT ビット（ホストコントローラ動作用 USB バス動作許可）

ホストコントローラモードで本ビットを 1 にすると、UACT ビットは USB バスへの SOF パケットの送信（データと受信を含む）を制御することで、USB バス動作を許可します。本ビットを 1 にしてから 1 フレーム時間内に、USBHS が SOF パケット出力を開始します。UACT ビットを 0 にした場合、USBHS は SOF パケット出力後アイドル状態に遷移します。

以下の場合、USBHS は UACT ビットを 0 にします。

- 通信中（UACT ビットが 1 のとき）に DTCH 割り込みを検出したとき
- 通信中（UACT ビットが 1 のとき）に EOFERR 割り込みを検出したとき

UACT ビットに 1 を書くときは、必ず、USB バスリセット処理終了時（USBRST ビットへの 0 書き込み）、または Suspend ステートからのレジューム処理終了時（RESUME ビットへの 0 書き込み）のいずれかのタイミングで行ってください。

USBHS は、HL1CTRL1.L1REQ ビットが 1 のとき、LPM トークンに対して ACK 応答を受信すると UACT ビットを 0 にします。また、L1 ステートからのレジューム処理終了時に、UACT ビットを 1 にします。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

RESUME ビット（ホストコントローラ動作用レジューム信号出力）

RESUME ビットはホストコントローラモードで、レジューム信号の出力制御を行います。本ビットを 1 にすると、USBHS は USB ポートを K-State にし、レジューム信号を出力します。RWUPE ビットが 1 で USB がサスペンド状態のとき、USBHS がリモートウェイクアップ信号を検出すると、本ビットを 1 にします。RESUME ビットが 1 のとき、ソフトウェアが RESUME ビットをクリアして 0 にするまで、USBHS は K-State 出力を継続します。RESUME ビットを 1 にする場合、USB2.0 規格で定められた期間、1（レジューム期間）にする必要があります。インタフェースがサスペンド状態のときにのみ、RESUME ビットを 1 にしてください。レジューム処理の終了（RESUME ビットへの 0 書き込み）と同時に UACT ビットに 1 を書き込んでください。

L1 ステートへの変遷時に RESUME ビットを 1 にすると、USBHS は USB ポートを K-State にドライブし、レジューム信号を出力します。HL1CTRL2.HIRD[3:0]ビットに設定されているレジューム期間の終了後に USBHS は RESUME ビットを 0 にします。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

USBRST ビット（ホストコントローラ動作用 USB バスリセット出力）

USBRST ビットは、ホストコントローラモード時に、USB バス信号の出力制御を行います。本ビットを 1 にすると、USBHS は USB ポートを SE0 ステートにして USB バスをリセットします。USBHS は USBRST ビットが 1 の状態の間は、本ビットがソフトウェアにより 0 にクリアされるまで、SE0 出力を継続します。USBRST ビットが 1 の期間（USB バスリセット期間）は、USB2.0 規格に定められた時間を確保してください。通信中（UACT ビットが 1）またはレジューム処理中（RESUME ビットが 1）に USBRST ビットに 1 を書き込むと、USBHS は UACT ビットおよび RESUME ビットの両方が 0 の状態になるまで USB バスリセットを開始しません。UACT ビットへの 1 の書き込みは、USB バスリセット処理の終了（USBRST ビットへの 0 の書き込み）と同時に行ってください。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

RWUPE ビット（ホストコントローラ動作用リモートウェイクアップ検出許可）

RWUPE ビットは、ホストコントローラモードで、下流周辺デバイスからのリモートウェイクアップ信号（レジューム信号）の受け付けを許可または禁止します。本ビットを 1 にすると、USBHS は下流周辺デバイスからのリモートウェイクアップ信号（2.5 µs 間の K-State）を検出し、レジューム処理を実行して K-State にします。RWUPE ビットを 0 にすると、USBHS は USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。

RWUPE ビットが 1 の間は、Suspend ステートでも PHY クロックを停止しないでください（LPSTS.SUSPENDM ビットは 1 にする必要があります）。また、Suspend ステート中は、USB バスをリセット（USBRST ビットを 1 にする）しないでください。これは、USB2.0 規格で禁止されています。

RWUPE ビットは、L1 ステートへの遷移時におけるリモートウェイクアップ信号の検出を許可または禁止するためにも使用できます。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

WKUP ビット（デバイスコントローラ動作用リモートウェイクアップ出力）

WKUP ビットは、デバイスコントローラモードで、USB バスへのリモートウェイクアップ信号（レジューム信号）の受け付けを許可または禁止します。

USBHS は、リモートウェイクアップ信号の出力タイミングを管理しています。本ビットを 1 にすると、USBHS は 10 ms の K-State を出力した後、ビットを 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信

までに最短 5 ms の USB バスアイドル状態を保持する必要があります。このため、USBHS が Suspend ステートを検出した直後に WKUP ビットを 1 にすると、2 ms 後に K-State が出力されます。

WKUP ビットへの 1 の書き込みは、デバイスが Suspend ステート（PL1CTRL1.DVSQ[3:0]フラグが 01xxb）で、かつ USB ホストからリモートウェイクアップ信号が許可されている (RWUPE = 1) 場合にのみ行ってください。本ビットが 1 の間は、Suspend ステートでも PHY クロックを停止しないでください（LPSTS.SUSPENDM ビットは 1 にする必要があります）。

L1 ステートへの遷移時に WKUP ビットを 1 にすると、USBHS は 50 µs の K-State を出力してから WKUP ビットを 0 にします。L1 ステート時に WKUP ビットを 1 にする前に、PL1CTRL1.DVSQ[3:0]フラグが 10xxb であることを確認してください。

ホストコントローラモードでは、本ビットを常に 0 にしてください。

HNPBTOA ビット（ホストネゴシエーションプロトコル (HNP) 制御）

HNPBTOA ビットは、OTG モード時に、デバイス B からデバイス A へ切り替えるときに使用します。

HNPBTOA ビットが 1 の場合、SYSCFG.DPRPU ビットを 0 または SYSCFG.DCFM ビットを 1 にしても、内部機能制御は HNP 処理が終了するまで Suspend ステートを維持します。D+の立ち下がりを検出しても、レジューム割り込み (RESM) は発生しません。

発信側のプルアップによりホストアタッチイベントを検出するか、または HNP 処理のタイムアウトによりソフトウェアが HNPBTOA ビットを 0 にすると、HNP 処理は終了します。

37.2.6 TESTMODE : USB テストモードレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x00C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3			0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

ビット	シンボル	機能	R/W
3:0	UTST[3:0]	テストモード USB テスト信号を出力します。表 37.5 を参照してください。	R/W
15:4	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

UTST[3:0]ビット（テストモード）

UTST[3:0]ビットに値を書き込むと、USBHS はハイスピード動作モードで USB テスト信号を出力できます。表 37.5 に、テストモード動作設定を示します。

表 37.5 テストモード動作設定

テストモード	UTST[3:0]ビットの設定	
	デバイスコントローラモード時	ホストコントローラモード時
通常動作	0x0	0x0
Test_J	0x1	0x9
Test_K	0x2	0xA
Test_SE0_NAK	0x3	0xB
Test_Packet	0x4	0xC
Test_Force_Enable	—	0xD
予約ビット	0x5～0x7	0xE～0xF

ホストコントローラモード

ホストコントローラモード時、これらのビットの設定は SYSCFG.DRPD ビットを 1 にした後で行ってください。UTST[3:0]ビット設定後、DVSTCTR0.UACT ビットを 1 にすると、USBHS は USB ポートに波形を出力します。また、ホストコントローラモード時にこれらのビットを設定すると、USBHS は USB ポートのハイスピード終了を行います。

ホストコントローラモードで UTST[3:0]ビットを設定する場合：

1. ハードウェアをリセットする。
2. PHY クロックの供給を開始してから LPSTS.SUSPENDM ビットを 1 にする。
3. SYSCFG.DCFM ビットおよび SYSCFG.DRPD ビットを 1 にする（SYSCFG.HSE ビットを 1 にする必要はありません）。
4. SYSCFG.USBE ビットを 1 にする。
5. テスト要件に基づいて UTST[3:0]ビットを設定する。
6. DVSTCTR0.UACT ビットを 1 にする。

初期手順 1～6 がすでに完了している状態で、ホストコントローラモードで UTST[3:0]ビットを変更する場合：

1. DVSTCTR0.UACT ビットおよび SYSCFG.USBE ビットを 0 にする。
2. SYSCFG.USBE ビットを 1 にする。
3. テスト要件に基づいて UTST[3:0]ビットを設定する。
4. DVSTCTR0.UACT ビットを 1 にする。

UTST[3:0]ビットが 1011b (Test_SE0_NAK) のとき、USBHS は DVSTCTR0.UACT ビットが 1 のポートに SOF パケットを出力しません。

UTST[3:0]ビットが 1101b (Test_Force_Enable) のとき、USBHS は DVSTCTR0.UACT ビットが 1 のポートに SOF パケットを出力します。このテストモードでは、USBHS はハイスピードデタッチイベント（DTCH 割り込み）を検出した場合でも、アタッチ検出に関連するハードウェアを制御しません。

すべてのパイプコントロールレジスタの PID[1:0]ビットを 00b（NAK 応答）にしてから UTST[3:0]ビットを設定します。テストモード設定後に通常の USB 通信を行うには、ハードウェアリセットを発行します。

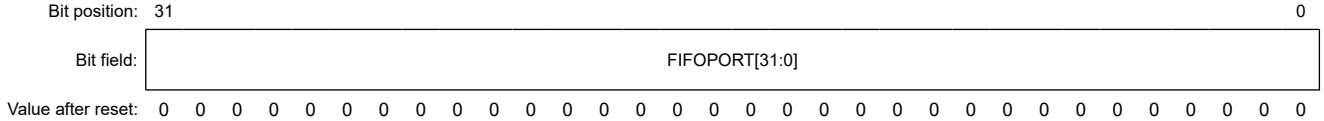
デバイスコントローラモード

デバイスコントローラモード時は、ハイスピード通信時に USB ホストからの SetFeature リクエストを使ってこれらのビットを設定します。これらのビットが 0001b-0100b のとき、USBHS は Suspend ステートに遷移しません。テストモード設定後に通常の USB 通信を行うには、ハードウェアリセットを発行します。

37.2.7 CFIFO, DnFIFO : FIFO ポートレジスタ (n = 0, 1)

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x014 (CFIFO/CFIFOL/CFIFOLL)
0x016 (CFIFOH)
0x017 (CFIFOHH)
0x018 + 0x04 × n (DnFIFO/DnFIFOL/DnFIFOLL)
0x01A + 0x04 × n (DnFIFOH)
0x01B + 0x04 × n (DnFIFOHH)



ビット	シンボル	機能	R/W
31:0	FIFOPORT[31:0](注1)	これらのビットにアクセスして、FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 有効ビットは、関連するポート選択レジスタの MBW[1:0]ビットおよび BIGEND ビットの設定により異なります。

下記の 3 つの FIFO ポートが用意されています。

- CFIFO
- D0FIFO
- D1FIFO

各 FIFO ポートは下記のレジスタで構成されます。

- FIFO バッファからのデータ読み出しと、FIFO バッファへのデータ書き込みを処理するポートレジスタ（CFIFO、D0FIFO、または D1FIFO）
- FIFO ポートに割り当てられたパイプを選択するためのポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）
- ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）

各 FIFO ポートには、下記の制約があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行います。
- DMAC/DTC 転送用 FIFO バッファへのアクセスは D0FIFO または D1FIFO ポートを通して行います。
- CPU による D0FIFO および D1FIFO ポートアクセスも可能です。
- DMAC/DTC 転送機能などの FIFO ポート固有の機能を使用している場合、ポート選択レジスタの CURPIPE[3:0]ビットで選択したパイプ番号は変更できません。
- FIFO ポートを設定するレジスタ群が他の FIFO ポートに影響を与えることはありません。
- 同一パイプを 2 つ以上の FIFO ポートに割り当てないでください。
- FIFO バッファの状態には、アクセス権が CPU にある場合と Serial Interface Engine (SIE) にある場合の 2 種類があります。SIE にアクセス権がある場合は、CPU から FIFO バッファにアクセスできません。

FIFOPORT ビット（FIFOPORT[31:0]）

FIFOPORT ビットにアクセスすると、USBHS は FIFO バッファからの受信データの読み出し、または FIFO バッファへの送信データの書き込みを行います。FIFO ポートレジスタへのアクセスは、対応するポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）の FRDY フラグが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）の MBW[1:0]ビットおよび BIGEND ビットの設定値により異なります。表 37.6～表 37.8 を参照してください。

表 37.6　32 ビットアクセス時のエンディアン動作 (MBW[1:0] = 10b)

BIGEND	CFIFO, D0FIFO, D1FIFO b31-b24	CFIFO, D0FIFO, D1FIFO b23-b16	CFIFO, D0FIFO, D1FIFO b15-b8	CFIFO, D0FIFO, D1FIFO b7-b0	備考
0	N+3 に配置	N+2 に配置	N+1 に配置	N+0 に配置	送信データは N+0 番地から送信される。受信データは N+0 番地から格納される。
1	N+0 に配置	N+1 に配置	N+2 に配置	N+3 に配置	送信データは N+3 番地から送信される。受信データは N+3 番地から格納される。

表 37.7　16 ビットアクセス時のエンディアン動作 (MBW[1:0] = 01b) (1/2)

BIGEND	CFIFOL, D0FIFOL, D1FIFOL b15-b8	CFIFOL, D0FIFOL, D1FIFOL b7-b0	CFIFOH, D0FIFOH, D1FIFOH b15-b8	CFIFOH, D0FIFOH, D1FIFOH b7-b0	備考
0	アクセス禁止(注1)		N+1 に配置	N+0 に配置	送信データは N+0 番地から送信される。受信データは N+0 番地から格納される。

表 37.7 16 ビットアクセス時のエンディアン動作 (MBW[1:0] = 01b) (2/2)

BIGEND	CFIFOL, D0FIFOL, D1FIFOL b15-b8	CFIFOL, D0FIFOL, D1FIFOL b7-b0	CFIFOH, D0FIFOH, D1FIFOH b15-b8	CFIFOH, D0FIFOH, D1FIFOH b7-b0	備考
1	N+0 に配置	N+1 に配置	アクセス禁止(注1)		送信データは N+1 番地から送信される。受信データは N+1 番地から格納される。

注 1. これらの領域に対する書き込みや読み出しは禁止されています。

表 37.8 8 ビットアクセス時のエンディアン動作 (MBW[1:0] = 00b)

BIGEND	CFIFOLL, D1FIFOLL, D0FIFOLL	CFIFOHH, D1FIFOHH, D0FIFOHH
0	アクセス禁止(注1)	N+0 に配置
1	N+0 に配置	アクセス禁止(注1)

注 1. これらの領域への書き込みや読み出しは禁止されています。

37.2.8 CFIFOSEL : CFIFO ポート選択レジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x020

Bit position:	15	14	13	12	11	9	8	7	6	5	4	3	0
Bit field:	RCNT	REW	—	—	MBW[1:0]	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]	
Value after reset:	0	0	x	x	0	0	x	0	x	x	0	x	0 0 0 0

ビット	シンボル	機能	R/W
3:0	CURPIPE[3:0]	FIFO ポートアクセスパイプ指定 0x0: DCP（デフォルトコントロールパイプ） 0x1: パイプ 1 0x2: パイプ 2 0x3: パイプ 3 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 0x8: パイプ 8 0x9: パイプ 9 その他: 設定禁止	R/W
4	—	読み出し値は不定です。書く場合、0 としてください。	R/W
5	ISEL	DCP 選択時の FIFO ポートアクセス方向 0: FIFO バッファ読み出し選択 1: FIFO バッファ書き込み選択	R/W
7:6	—	読み出し値は不定です。書く場合、0 としてください。	R/W
8	BIGEND	FIFO ポートエンディアン制御 0: リトルエンディアン 1: ビッグエンディアン	R/W
9	—	読み出し値は不定です。書く場合、0 としてください。	R/W
11:10	MBW[1:0]	CFIFO ポートアクセスビット幅 0 0: 8 ビット幅 0 1: 16 ビット幅 1 0: 32 ビット幅 1 1: 設定禁止	R/W
13:12	—	読み出し値は不定です。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
14	REW	バッファポインタリワインド 0: バッファポインタをリワインドしない（0 の書き込みは無効です） 1: バッファポインタのリワインドをする	W
15	RCNT	リードカウントモード 0: CFIFO からすべての受信データ読み出し時に、FIFO ポートコントロールレジスタの DTLN[11:0]フラグを 0x000 にする 1: CFIFO から受信データ読み出しごとに DTLN[11:0]フラグをデクリメント	R/W

注. S-TYPE-3, P-TYPE-3

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットには、同じパイプ番号を指定しないでください。

DMAC または DTC 転送が許可されているとき、パイプ番号を変更しないでください。

CURPIPE[3:0]ビット（FIFO ポートアクセスパイプ指定）

CURPIPE[3:0]ビットは、CFIFO ポート経由のデータリード／ライトに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットには、同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0]の設定値を変更しようとしても、アクセスが完了するまでパイプ指定が維持されます。CURPIPE[3:0]ビットに現在値を書き戻すと、アクセスが継続されます。

ISEL ビット（DCP 選択時の FIFO ポートアクセス方向）

選択パイプが DCP のときに ISEL ビットに新しい値を書き込む際は、書き込み後に読み出しを行って、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。また、ISEL ビットと CURPIPE[3:0]ビットを同時に設定してください。

BIGEND ビット（FIFO ポートエンディアン制御）

CFIFO ポートのバイトエンディアン順序を設定するためには、BIGEND ビットを使用します。

MBW[1:0]ビット（CFIFO ポートアクセスビット幅）

MBW[1:0]ビットは、CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、これらのビットへの書き込みによって FIFO バッファからのデータリードが開始したら、すべてのデータが読み出されるまで、これらのビットを変更しないでください。FIFO バッファを読み出すときは、MBW に設定されているアクセスサイズで読み出してください。

選択パイプが送信方向の場合、CURPIPE[3:0]ビットと MBW[1:0]ビットを同時に設定してください。FIFO バッファへのデータの書き込み中は、ビット幅を 8 ビットから 16 ビットまたは 32 ビット、または 16 ビットから 32 ビットには変更できません。

なお、16 ビット幅または 32 ビット幅に設定している場合でも、バイトアクセス制御を実施することにより、奇数バイトの書き込みが可能です。

REW ビット（バッファポインタリワインド）

REW ビットは、バッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に本ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しを行うことができます。すでに読み出し進行中でダブルバッファ機能を使用している場合、この設定によりいずれの FIFO バッファでも最初のデータから読み出せます。

CURPIPE[3:0]ビットを変更するのと同時に、本ビットを 1 にしないでください。本ビットを 1 にするときは、FRDY フラグが 1 であることを必ず確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントモード）

RCNT ビットが 0 の場合、CURPIPE[3:0]ビットに指定したパイプの FIFO バッファから全受信データの読み出しが終了したとき、またはダブルバッファモードの場合は 1 面分の読み出しが終了したとき、USBHS は CFIFOCTR.DTLN[11:0]フラグを 0 にします。

RCNT ビットを 1 にすると、CURPIPE[3:0]ビットに指定したパイプの FIFO バッファから受信データを読み出すたびに、USBHS は CFIFOCTR.DTLN[11:0]フラグの値をデクリメントします。

37.2.9 DnFIFOSEL : DnFIFO ポート選択レジスタ (n = 0, 1)

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x028 + 0x4 × n

Bit position:	15	14	13	12	11	9	8	7	6	5	4	3	0
Bit field:	RCNT	REW	DCLRM	DREQE	MBW[1:0]	—	BIGEND	—	—	—	—	CURPIPE[3:0]	
Value after reset:	0	0	0	0	0	0	x	0	x	x	x	x	0 0 0 0

ビット	シンボル	機能	R/W
3:0	CURPIPE[3:0]	FIFO ポートアクセスパイプ指定 0x0: パイプ指定なし 0x1: パイプ 1 0x2: パイプ 2 0x3: パイプ 3 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 0x8: パイプ 8 0x9: パイプ 9 その他: 設定禁止	R/W
7:4	—	読み出し値は不定です。書く場合、0 としてください。	R/W
8	BIGEND	FIFO ポートエンディアン制御 0: リトルエンディアン 1: ビッグエンディアン	R/W
9	—	読み出し値は不定です。書く場合、0 としてください。	R/W
11:10	MBW[1:0]	FIFO ポートアクセスビット幅 0 0: 8 ビット幅 0 1: 16 ビット幅 1 0: 32 ビット幅 1 1: 設定禁止	R/W
12	DREQE	DMAC/DTC 転送要求許可 0: DMAC/DTC 転送要求禁止 1: DMAC/DTC 転送要求許可	R/W
13	DCLRM	指定パイプ読み出し後自動 FIFO バッファクリアモード 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W
14	REW	バッファポインタリワインド 0: バッファポインタをリワインドしない（0 の書き込みは無効です） 1: バッファポインタのリワインドをする	W
15	RCNT	リードカウントモード 0: DnFIFO の全受信データ読み出し終了時（ダブルバッファモード時は 1 面のみ読み出し終了時）に、FIFO ポートコントロールレジスタの DTLN[11:0]フラグを 0x000 にする 1: DnFIFO から受信データ読み出しごとに DTLN[11:0]フラグをダウンカウント	R/W

注. S-TYPE-3, P-TYPE-3

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットには、同じパイプ番号を指定しないでください。D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0]ビットの設定が 0000b の場合には、パイプ指定なしとなります。

DMAC または DTC 転送が許可されているとき、パイプ番号を変更しないでください。

CURPIPE[3:0]ビット（FIFO ポートアクセスパイプ指定）

CURPIPE[3:0]ビットは、DnFIFO ポート経由でのデータの読み出し／書き込みに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットには、同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0]の設定値を変更しようとしても、アクセスが完了するまでパイプ指定が維持されます。CURPIPE[3:0]ビットに現在値を書き戻すと、アクセスが継続されます。

BIGEND ビット（FIFO ポートエンディアン制御）

D0FIFO または D1FIFO ポートのバイトエンディアン順序を設定するためには、BIGEND ビットを使用します。

MBW[1:0]ビット（FIFO ポートアクセスビット幅）

MBW[1:0]ビットは、DnFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、これらのビットへの書き込みによって FIFO バッファからのデータリードが開始したら、すべてのデータが読み出されるまで、これらのビットを変更しないでください。FIFO バッファを読み出すときは、MBW に設定されているアクセスサイズで読み出してください。

選択パイプが送信方向の場合、CURPIPE[3:0]ビットと MBW[1:0]ビットを同時に設定してください。FIFO バッファへのデータの書き込み中は、ビット幅を 8 ビットから 16 ビットまたは 32 ビット、または 16 ビットから 32 ビットには変更できません。

なお、16 ビット幅または 32 ビット幅に設定している場合でも、バイトアクセス制御を実施することにより、奇数バイトの書き込みが可能です。

DREQE ビット（DMAC/DTC 転送要求許可）

DREQE ビットは、DMAC または DTC 転送要求の発行を許可または禁止します。CURPIPE[3:0]ビットが 0x0 の場合のみ DREQE ビットの設定を変更してください。

DMAC または DTC 転送要求を許可する場合、CURPIPE[3:0]ビットを 0x0 に設定後に本ビットを 1 にして、その後 CURPIPE[3:0]ビットを転送用の PIPE 番号に設定してください。

DCLRM ビット（指定パイプ読み出し後自動 FIFO バッファクリアモード）

DCLRM ビットは、選択パイプのデータを読み出した後の自動 FIFO バッファクリアを許可または禁止します。

DCLRM ビットを 1 にすると、指定パイプに割り当てられた FIFO バッファが空のときに Zero-Length パケットを受信した場合、または PIPECFG.BFRE ビットが 1 で受信したショートパケットの読み出しが完了した場合は、USBHS は FIFO ポートコントロールレジスタの BCLR ビットを 1 にします。

SOFCFG.BRDYM ビットを 1 にして USBHS を使用する場合、DCLRM ビットを 0 にしてください。

REW ビット（バッファポインタリワインド）

REW ビットは、バッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に本ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しを行うことができます。すでに読み出し進行中でダブルバッファ機能を使用している場合、この設定によりいずれの FIFO バッファでも最初のデータから読み出せます。

CURPIPE[3:0]ビットを変更するのと同時に、本ビットを 1 にしないでください。本ビットを 1 にするときは、FRDY フラグが 1 であることを必ず確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントモード）

RCNT ビットが 0 の場合、CURPIPE[3:0]ビットに指定したパイプの FIFO バッファから全受信データの読み出しが終了したとき、またはダブルバッファモードの場合は 1 面分の読み出しが終了したとき、USBHS は DnFIFOCTR.DTLN[11:0]フラグ (n = 0, 1) を 0 にします。

RCNT ビットを 1 にすると、CURPIPE[3:0]ビットに指定したパイプの FIFO バッファから受信データを読み出すたびに、USBHS は CFIFOCTR.DTLN[11:0]フラグの値をデクリメントします。PIPECFG.BFRE ビットを 1 にして DnFIFO にアクセスする場合、RCNT ビットを 0 にしてください。

37.2.10 CFIFOCTR, DnFIFOCTR : FIFO ポートコントロールレジスタ (n = 0, 1)

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x022 (CFIFOCTR)
0x02A + 0x4 × n (DnFIFOCTR)

Bit position:	15	14	13	12	11											0
Bit field:	BVAL	BCLR	FRDY	—	DTLN[11:0]											
Value after reset:	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	DTLN[11:0]	受信データ長フラグ ポート選択レジスタの RCNT ビット設定によって、値の意味は異なります。詳細は、DTLN[11:0]ビットの説明を参照してください。	R
12	—	読み出し値は不定です。書く場合、0 としてください。	R/W
13	FRDY	FIFO ポートレディフラグ 0: FIFO ポートアクセス不可能 1: FIFO ポートアクセス可能	R
14	BCLR	CPU バッファクリア 0: 動作しない（0 の書き込みは無効です） 1: CPU 側 FIFO バッファクリア	W
15	BVAL	FIFO バッファ有効フラグ 選択したパイプ（CURPIPE[3:0]設定）の CPU 側の FIFO バッファへの書き込み終了時に本ビットを 1 にします。 0: 無効（0 の書き込みは無効です） 1: 書き込み終了	R/W

注. S-TYPE-3, P-TYPE-3

CFIFOCTR レジスタ、D0FIFOCTR レジスタ、および D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、および D1FIFO バッファに対応しています。

DTLN[11:0]フラグ（受信データ長フラグ）

DTLN[11:0]フラグには、受信データ長が表示されます。

FIFO バッファの読み出し中、DTLN[11:0]ビットは、以下のように DnFIFOSEL.RCNT ビット (n = 0, 1) に応じて異なる値を示します。

- RCNT ビットが 0 のとき：
  CPU または DMAC/DTC が、FIFO バッファの全受信データの読み出しを完了するまで（ダブルバッファモードの場合は 1 面分の読み出しが完了するまで）、USBHS は受信データ長を DTLN[11:0]フラグに表示します。PIPECFG.BFRE ビットが 1 のとき、全データの読み出しが完了しても、BCLR ビットが 1 になるまで USBHS は受信データ長を保持します。
- RCNT ビットが 1 のとき：
  CPU または DMAC/DTC が、FIFO バッファから受信データを読み出すたびに、USBHS は DTLN[11:0]フラグの値をデクリメントします。（MBW[1:0]ビットが 00b のときは 1、01b のときは 2、10b のときは 4 ずつデクリメントします。）
  FIFO バッファ読み出し完了時に、USBHS は DTLN[8:0]ビットを 0 にします。ダブルバッファモード時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場

合は、USBHS は先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN[11:0]ビットに設定します。
RCNT ビットが 1 のとき、FIFO バッファ読み出し中に DTLN[11:0]フラグを読み出すと、FIFO ポートリードサイクル後 150 ns 以内に最新値が返されます。

FRDY フラグ（FIFO ポートレディフラグ）

FRDY フラグは、CPU または DMAC/DTC から FIFO ポートにアクセス可能かどうかを示します。

以下の場合には、USBHS は FRDY フラグを 1 にしますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。

- 選択パイプに割り当てられている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

これらの場合は、BCLR ビットを 1 にして FIFO バッファのクリアを行い、次のデータの送受信を行える状態にしてください。

BCLR ビット（CPU バッファクリア）

選択パイプの CPU の FIFO バッファをクリアする場合、BCLR ビットを 1 にしてください。

選択パイプに割り当てられている FIFO バッファにダブルバッファモードが設定されている場合、両面ともに読み出し可能な場合でも、USBHS は片面の FIFO バッファのみをクリアします。

選択パイプが DCP のとき、BCLR ビットを 1 にすると、CPU または SIE がアクセス権を持っているかどうかにかかわらず、USBHS は両方のセットの FIFO バッファをクリアします。SIE 側にアクセス権がある場合、FIFO バッファをクリアするには、DCPCTR.PID[1:0]ビットを 00b（NAK 応答）にしてから、BCLR ビットを 1 にしてください。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY フラグの（USBHS による）設定値が 1 のときにのみ行ってください。

BVAL ビット（FIFO バッファ有効フラグ）

CURPIPE[3:0]で選択したパイプの、CPU の FIFO バッファの書き込み終了時に BVAL ビットを 1 にします。

選択パイプが送信方向のとき、以下の場合に本ビットを 1 にしてください。

- ショートパケットを送信する場合は、データ書き込み終了時
- Zero-Length パケットを送信する場合は、FIFO バッファへのデータ書き込み前
- 連続転送モードのパイプへの、最大パケットサイズの整数倍かつバッファサイズ未満の指定データバイト数書き込み終了時

USBHS は CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

選択パイプが送信に使用されている場合、同時に BVAL フラグと BCLR ビットの両方を 1 にすると、USBHS はすでに書き込まれたデータをクリアし、Zero-Length パケットの送信を可能にします。非連続転送モードのパイプに最大パケットサイズのデータを書くと、USBHS は BVAL ビットを 1 にし、CPU 側の FIFO バッファを SIE 側にして送信を可能にします。

BVAL フラグへの 1 の書き込みは、USBHS が FRDY ビットを 1 にしているときにのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

37.2.11 INTENB0 : 割り込みイネーブルレジスタ 0

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x030

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
8	BRDYE	バッファレディ割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	NRDYE	バッファノットレディ応答割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
10	BEMPE	バッファエンプティ割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
11	CTRE	コントロール転送ステージ遷移割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
12	DVSE	デバイスステート遷移割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
13	SOFE	フレーム番号更新割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
14	RSME	レジューム割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15	VBSE	VBUS 割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

注. S-TYPE-3, P-TYPE-3
注. RSME、DVSE、CTRE ビットは、デバイスコントローラモードでのみ 1 にすることができます。ホストコントローラモードでは、これらのビットを 1 にしないでください。

INTSTS0 レジスタのステータスフラグが 1 で、INTENB0 レジスタの対応する割り込み要求許可ビットが 1 の場合、USBHS は USBHS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、対応する条件を満たすステート切り替えに応じて、INTSTS0 レジスタのステータスフラグは 1 となります。

INTSTS0 レジスタの対応するステータスフラグが 1 の場合に INTENB0 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBHS 割り込み要求が発行されます。

37.2.12 INTENB1 : 割り込みイネーブルレジスタ 1

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x032

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	L1RSMENDE	LPMENDE	—	EOFERRE	SIGNE	SACKE	—	—	—	PDDETINTE
Value after reset:	0	0	x	0	0	x	0	0	x	0	0	0	x	x	x	0

ビット	シンボル	機能	R/W
0	PDDETINTE	PDDETINT 検出割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3:1	—	読み出し値は不定です。書く場合、0 としてください。	R/W
4	SACKE	SETUP トランザクション正常応答割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
5	SIGNE	SETUP トランザクションエラー割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	EOFERRE	EOF エラー検出割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W
8	LPMENDE	LPM トランザクション完了割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	L1RSMENDE	L1 レジューム完了割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
10	—	読み出し値は不定です。書く場合、0 としてください。	R/W
11	ATTCHE	接続検出割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
12	DTCHE	切断検出割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
13	—	読み出し値は不定です。書く場合、0 としてください。	R/W
14	BCHGE	USB バス変化割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15	OVRCRE	OVRCRE 割り込み要求許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

注. S-TYPE-3, P-TYPE-3

INTSTS1 レジスタのステータスフラグが 1 で、INTENB1 レジスタの対応する割り込み要求許可ビットが 1 の場合、USBHS は USBHS 割り込み要求を発行します。

INTENB1 レジスタの設定値にかかわらず、対応する条件を満たすステート切り替えに応じて、INTSTS1 レジスタのステータスフラグは 1 となります。

INTSTS1 レジスタの対応するステータスフラグが 1 の場合に INTENB1 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBHS 割り込み要求が発行されます。

37.2.13 BRDYENB : BRDY 割り込みイネーブルレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x036

Bit position:	15	14	13	12	11	10	9									0
Bit field:	—	—	—	—	—	—	PIPEBRDYE[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	PIPEBRDYE[9:0]	パイプ[9:0]の BRDY 割り込み要求許可(注1) 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 各ビット番号は同じパイプ番号に対応します。

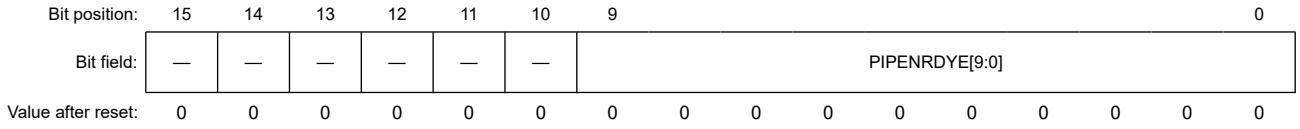
BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットへの 1 の書き込みの許可／禁止を指定します。

BRDYSTS レジスタのステータスフラグが 1 で、BRDYENB レジスタの対応する PIPEBRDYEn ビット (n = 9~0) が 1 の場合、INTSTS0.BRDY フラグは 1 になります。この場合、INTENB0.BRDYE ビットが 1 であれば、USBHS は BRDY 割り込み要求を生成します。少なくとも 1 つの PIPEBRDYEn フラグが 1 のとき、BRDYENB レジスタの対応する割り込み要求許可ビットがソフトウェアにより 0 から 1 に切り替えられると、INTSTS0.BRDY フラグは 1 になります。

37.2.14 NRDYENB : NRDY 割り込みイネーブルレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x038



ビット	シンボル	機能	R/W
9:0	PIPENRDYE[9:0]	パイプ[9:0]の NRDY 割り込み許可(注1) 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 各ビット番号は同じパイプ番号に対応します。

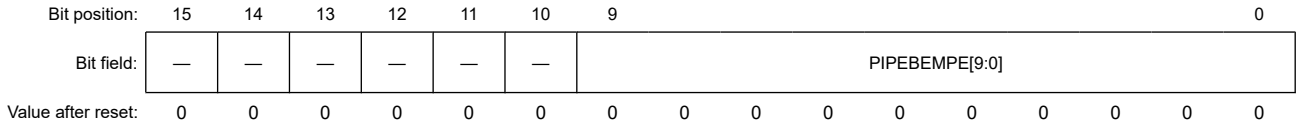
NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に、INTSTS0.NRDY ビットへの 1 の書き込みの許可／禁止を指定します。

NRDYSTS レジスタのステータスフラグが 1 で、NRDYENB レジスタの対応する PIPENRDYEn ビット (n = 0～9) が 1 の場合、INTSTS0.NRDY フラグは 1 になります。この場合、INTENB0.NRDYE ビットが 1 であれば、USBHS は NRDY 割り込み要求を生成します。少なくとも 1 つの PIPEBRDYEn フラグが 1 のとき、NRDYENB レジスタの対応する割り込み要求許可ビットがソフトウェアにより 0 から 1 に切り替えられると、INTSTS0.NRDY フラグは 1 になります。

37.2.15 BEMPENB : BEMP 割り込みイネーブルレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x03A



ビット	シンボル	機能	R/W
9:0	PIPEBEMPE[9:0]	パイプ[9:0]の BEMP 割り込み許可(注1) 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 各ビット番号は同じパイプ番号に対応します。

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットへの 1 の書き込みの許可／禁止を指定します。

BEMPSTS レジスタのステータスフラグが 1 で、BEMPENB レジスタの対応する PIPEBEMPEn ビット (n = 0～9) が 1 の場合、INTSTS0.BEMP フラグは 1 になります。この場合、INTENB0.BEMPE ビットが 1 であれば、USBHS は BEMP 割り込み要求を生成します。少なくとも 1 つの PIPEBEMPEn フラグが 1 のとき、BEMPENB レジスタの対応する割り込み要求許可ビットがソフトウェアにより 0 から 1 に切り替えられると、INTSTS0.BEMP フラグは 1 になります。

37.2.16 SOFCFG : SOF 出力コンフィグレーションレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x03C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TRNENSEL	—	BRDYM	INTL	EDGESTS	—	—	—	—
Value after reset:	x	x	x	x	x	x	x	0	x	0	0	0	x	x	x	x

ビット	シンボル	機能	R/W
3:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
4	EDGESTS	割り込みエッジ処理ステータスフラグ(注1) エッジ割り込み出力信号のエッジ処理中は 1 になります。	R
5	INTL	割り込み出力検出選択(注2) 0: エッジ検出 1: レベル検出	R/W
6	BRDYM	PIPEBRDY 割り込みステータスクリアタイミング(注3) 0: ソフトウェアによる BRDY フラグのクリア 1: USBHS が FIFO バッファからのデータ読み出しまたは FIFO バッファへのデータ書き込み経由で BRDY フラグをクリア	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W
8	TRNENSEL	トランザクション有効期間切り替え(注4) 0: ロースピード通信非対応 1: ロースピード通信対応	R/W
15:9	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. USBHS へのクロック供給を停止する前に、EDGESTS フラグが 0 であることを確認してください。
注 2. INTL ビットが 0 のとき、割り込みステータスをクリアした後で PHY クロックを停止するには (LPSTS.SUSPENDM = 0)、EDGESTS フラグが 0 にクリアされたことを確認した後で LPSTS.SUSPENDM ビットを 0 にしてください。
注 3. BRDYM ビットを 1 にする場合は、INTL ビットは 1 にしてください。
注 4. TRNENSEL ビットの設定値は、ホストコントローラモード時にかぎり有効です。ホストコントローラモード時でも、ハイスピード通信中に本ビットの設定がトランザクション有効期間に影響することはありません。

EDGESTS フラグ（割り込みエッジ処理ステータスフラグ）

EDGESTS フラグは、エッジ割り込み出力信号のエッジ処理中は 1 となります。PHY クロックを停止する前に、本フラグが 0 であることを確認してください。

BRDYM ビット（PIPEBRDY 割り込みステータスクリアタイミング）

BRDYM ビットは、パイプの BRDY 割り込みステータスフラグのクリア方法を指定します。

TRNENSEL ビット（トランザクション有効期間切り替え）

USB ポートを使用してフルスピード通信またはロースピード通信を行う場合に、TRNENSEL ビットは、1 フレーム中に USBHS がトークン発行を行う期間（トランザクション有効期間）を指定します。

本ビットは、ロースピードデバイスがハブ経由で接続されたときに 1 にしてください。本ビットは、ホストコントローラモード時のみ有効です。インタフェースがデバイスコントローラとして使用されるとき、本ビットは 0 にしてください。

37.2.17 PHYSET : PHY 設定レジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x03E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HSEB	—	—	—	REPSTART	—	REPSEL[1:0]		—	—	CLKSEL[1:0]		CDPEN	—	PLLRESET	DIRPD
Value after reset:	x	x	x	x	0	x	0	0	x	x	1	1	0	x	1	1

ビット	シンボル	機能	R/W
0	DIRPD	パワーダウン制御 0: 低消費電力モードに遷移させない 1: 低消費電力モードに遷移する	R/W
1	PLLRESET	PLL リセット制御(注1) 0: UTMI_PHY の PLL リセット制御をしない 1: UTMI_PHY の PLL リセット制御をする	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CDPEN	Charging Downstream ポート許可 0: Charging Downstream ポートを禁止 1: Charging Downstream ポートを許可	R/W
5:4	CLKSEL[1:0]	入力クロック周波数選択 0 0: 12 MHz 0 1: 48 MHz 1 0: 20 MHz 1 1: 24 MHz	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	REPSEL[1:0]	終端抵抗調整サイクル 0 0: サイクル設定なし 0 1: 終端抵抗を 16 秒間隔に調整 1 0: 終端抵抗を 64 秒間隔に調整 1 1: 終端抵抗を 128 秒間隔に調整	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	REPSTART	終端抵抗調整強制開始 0: 終端抵抗調整を強制開始する 1: 終端抵抗調整を強制開始しない	R/W
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	HSEB	CL-only モード 0: CL-only モードを禁止 1: CL-only モードを許可	R/W

注. S-TYPE-3, P-TYPE-3
注 1. PLLRESET ビットのリセット後の値は 1 なので、リセット解除後の設定変更は不要です。PLLRESET ビットを 0 にした後は、PLLRESET ビットを 1 にしないでください。動作は保証されません。

CLKSEL[1:0]ビット（入力クロック周波数選択）

CLKSEL[1:0]ビットは、USBHS の転送クロックソースを選択します。

USB-PHY 内部 PLL に生成された転送クロックに対して、CLKSEL[1:0]ビットで入力クロック周波数を設定します。EXTAL 端子からクロックソースを入力するには、USB2.0 のクロック規格を厳密に遵守する必要があります。

CL-only モードでは内部 PLL が停止しているため、CKSEL[1:0]ビットへの書き込みは無効です（HSEB ビット（CL-only モード）の説明を参照（CL-only モード））。クロック設定は、「37.3.3. クロック供給」を参照してください。

HSEB ビット（CL-only モード）

HSEB ビットは、CL-only モードで USBHS を動作させるかどうかを選択します。USBHS によるハイスピード転送では、USB-PHY ブロックの PLL、クロック、およびデータリカバリ (CDR) 回路を含めた、内部ハイスピードアナログ回路を使用する必要があります。

CL-only モードでは、転送が USB1.1 規格に制限されます（フルスピード転送およびロースピード転送のみ）。PHY モジュールの内部 PLL、およびその他のハイスピードアナログ回路を停止することで、消費電力を低減できます。

CL-only モードでは、USBHS には、クロック発生回路で生成された 48 MHz および 60 MHz のクロックの供給が必要です。クロックの供給方法については、「9. クロック発生回路」を参照してください。

37.2.18 INTSTS0 : 割り込みステータスレジスタ 0

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x040

Bit position:	15	14	13	12	11	10	9	8	7	6			3	2		0
Bit field:	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CTSQ[2:0]	コントロール転送ステージフラグ(注1) 0 0 0: アイドルまたはセットアップステージ 0 0 1: コントロールリードデータステージ 0 1 0: コントロールリードステータスステージ 0 1 1: コントロールライトデータステージ 1 0 0: コントロールライトステータスステージ 1 0 1: コントロールライト (no-Data) ステータスステージ 1 1 0: コントロール転送シーケンスエラー	R
3	VALID	USB リクエスト受信フラグ(注1) 0: Setup パケットを受信していない 1: Setup パケットを受信した	R/W(注3)
6:4	DVSQ[2:0]	デバイスステート(注1) デバイスステートを表示 0 0 0: Powered ステート 0 0 1: Default ステート 0 1 0: Address ステート 0 1 1: Configured ステート その他: Suspend ステート	R
7	VBSTS	VBUS 入力ステータスフラグ 0: USBHS_VBUS 端子が Low 1: USBHS_VBUS 端子が High	R
8	BRDY	BRDY 割り込みステータスフラグ 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R
9	NRDY	NRDY 割り込みステータスフラグ 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R
10	BEMP	BEMP 割り込みステータスフラグ 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R
11	CTRT	コントロール転送ステージ遷移割り込みステータスフラグ(注2) 0: コントロール転送ステージ遷移割り込み発生なし 1: コントロール転送ステージ遷移割り込み発生あり	R/W(注3)

ビット	シンボル	機能	R/W
12	DVST	デバイスステート遷移割り込みステータスフラグ(注2) 0: デバイスステート遷移割り込み発生なし 1: デバイスステート遷移割り込み発生あり	R/W(注3)
13	SOFR	フレーム番号更新割り込みステータスフラグ 0: SOF 割り込み発生なし 1: SOF 割り込み発生あり	R/W(注3)
14	RESM	レジューム割り込みステータスフラグ(注2) (注4) 0: レジューム割り込み発生なし 1: レジューム割り込み発生あり	R/W(注3)
15	VBINT	VBUS 割り込みステータスフラグ(注4) 0: USBHS_VBUS 端子の変化検出時 VBUS 割り込み発生なし 1: USBHS_VBUS 端子の変化検出時 VBUS 割り込み発生あり	R/W(注3)

注. S-TYPE-3, P-TYPE-3
注 1. CTSQ[2:0]フラグ、VALID フラグ、DVSQ[2:0]フラグは、デバイスコントローラモード時にのみ有効です。
注 2. CTRT フラグ、DVST フラグ、RESM フラグのステータスは、デバイスコントローラモード時にのみ変更されます。ホストコントローラモードでは、対応する割り込み許可ビットを 0（禁止）にしてください。
注 3. CTRT、DVST、SOFR、RESM、VBINT の各フラグをクリアするには、目的のフラグにのみ 0 を書き込みます。他のフラグは 1 にします。0 を示しているステータスフラグに 0 を書き込まないでください。
注 4. USBHS は RESM フラグまたは VBINT フラグが示すステータス変化をクロック供給停止中 (LPSTS.SUSPENDM = 0) でも検出し、対応する割り込み要求ビットが 1 であれば割り込みを要求します。ソフトウェアによるステータスのクリアは、クロック供給を許可にしてから行ってください。

BRDY フラグ（BRDY 割り込みステータスフラグ）

BRDY フラグは、BRDY 割り込みステートを示します。本フラグが 1 になる条件については、「37.2.13. BRDYENB : BRDY 割り込みイネーブルレジスタ」を参照してください。

BRDY 割り込みを許可している（BRDYENB.PIPEBRDYEn ビット）パイプすべての BRDYSTS.PIPEBRDYn (n = 0～9) フラグが 0 のとき、USBHS は BRDY フラグを 0 にします。ソフトウェアで BRDY フラグに 0 を書いても、本フラグはクリアされません。

NRDY フラグ（NRDY 割り込みステータスフラグ）

NRDY フラグは、NRDY 割り込みステートを示します。本フラグが 1 になる条件については、「37.2.14. NRDYENB : NRDY 割り込みイネーブルレジスタ」を参照してください。

NRDY 割り込みを許可している（NRDYENB.PIPENRDYEn ビット）パイプすべての NRDYSTS.PIPENRDYn (n = 0～9) フラグが 0 のとき、USBHS は NRDY フラグを 0 にします。ソフトウェアで NRDY フラグに 0 を書いても、本フラグはクリアされません。

BEMP フラグ（BEMP 割り込みステータスフラグ）

BEMP フラグは、BEMP 割り込みステートを示します。本フラグが 1 になる条件については、「37.2.15. BEMPENB : BEMP 割り込みイネーブルレジスタ」を参照してください。

BEMP 割り込みを許可している（BEMPENB.PIPEBEMPEn ビット）パイプすべての BEMPSTS.PIPEBEMPn (n = 0～9) フラグが 0 のとき、USBHS は BEMP フラグを 0 にします。ソフトウェアで BEMP フラグに 0 を書いても、本フラグはクリアされません。

CTRT フラグ（コントロール転送ステージ遷移割り込みステータスフラグ）

デバイスコントローラモード時、USBHS がコントロール転送のステージ遷移を検出すると、USBHS は CTSQ[2:0] ビットの値を更新し、CTRT フラグを 1 にします。コントロール転送ステージ遷移割り込みが発生した場合、USBHS が次のコントロール転送のステージ遷移を検出するまでに CTRT フラグをクリアしてください。

ホストコントローラモード時に CTRT フラグから読み出した値は無効です。

DVST フラグ（デバイスステート遷移割り込みステータスフラグ）

デバイスコントローラモード時、USBHS がデバイスステート遷移を検出すると、USBHS は PL1CTRL1.DVSQ[3:0] ビットの値を更新し、DVST フラグを 1 にします。デバイスステート遷移割り込みが発生した場合、USBHS が次のデバイスステート遷移を検出する前に DVST フラグをクリアしてください。

ホストコントローラモード時に DVST フラグから読み出した値は無効です。

SOFR フラグ（フレーム番号更新割り込みステータスフラグ）

ホストコントローラモード時、ソフトウェアが DVSTCTR0.UACT ビットを 1 にしているとき、USBHS はフレーム番号更新時に SOFR フラグを 1 にします。SOFR 割り込みは、1 ms ごとに検出されます。

デバイスコントローラモード時、USBHS はフレーム番号更新時に SOFR フラグを 1 にします。SOFR 割り込みは、1 ms ごとに検出されます。USB ホストから受信した SOF パケットが破損していても、SOF 補完機能により USBHS は SOFR 割り込みを検出できます。「37.3.13. SOF 補完機能」を参照してください。

RESM フラグ（レジューム割り込みステータスフラグ）

デバイスコントローラモード時、USBHS は、Suspend ステート (PL1CTRL1.DVSQ[3:0] = 01xxb) であり、かつ USBHS_DP 端子で信号の立ち下りを検出すると、RESM フラグを 1 にします。

ホストコントローラモード時に RESM フラグから読み出した値は無効です。

VBINT フラグ（VBUS 割り込みステータスフラグ）

USBHS は、USBHS_VBUS 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、VBINT フラグを 1 にします。USBHS は、USBHS_VBUS 端子の入力値を VBSTS フラグに示します。VBINT 割り込みが発生した場合は、ソフトウェアで VBSTS フラグを 3 回以上読み出し、値が一致することを確認してトランジェント除去を行ってください。

37.2.19 INTSTS1 : 割り込みステータスレジスタ 1

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x042

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVRCR	BCHG	—	DTCH	ATTCH	—	L1RSMEND	LPMEND	—	EOFERR	SIGN	SACK	—	—	—	PDDETINT
Value after reset:	0	0	x	0	0	x	0	0	x	0	0	0	x	x	x	0

ビット	シンボル	機能	R/W
0	PDDETINT	PDDET 検出割り込みステータスフラグ(注1) 0: PDDET 割り込み発生なし 1: PDDET 割り込み発生あり	R/W(注2)
3:1	—	読み出し値は不定です。書く場合、0 としてください。	R/W
4	SACK	SETUP トランザクション正常応答割り込みステータスフラグ 0: SACK 割り込み発生なし 1: SACK 割り込み発生あり	R/W(注2)
5	SIGN	SETUP トランザクションエラー割り込みステータスフラグ 0: SIGN 割り込み発生なし 1: SIGN 割り込み発生あり	R/W(注2)
6	EOFERR	EOF エラー検出割り込みステータスフラグ 0: EOFERR 割り込み発生なし 1: EOFERR 割り込み発生あり	R/W(注2)
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W
8	LPMEND	LPM トランザクション完了割り込みステータスフラグ 0: LPMEND 割り込み発生なし 1: LPMEND 割り込み発生あり	R/W(注2)
9	L1RSMEND	L1 レジューム完了割り込みステータスフラグ 0: L1RSMEND 割り込み発生なし 1: L1RSMEND 割り込み発生あり	R/W(注2)
10	—	読み出し値は不定です。書く場合、0 としてください。	R/W
11	ATTCH	USB 接続検出割り込みステータスフラグ 0: ATTCH 割り込み発生なし 1: ATTCH 割り込み発生あり	R/W(注2)

ビット	シンボル	機能	R/W
12	DTCH	USB 切断検出割り込みステータスフラグ 0: DTCH 割り込み発生なし 1: DTCH 割り込み発生あり	R/W(注2)
13	—	読み出し値は不定です。書く場合、0 としてください。	R/W
14	BCHG	USB バス変化割り込みステータスフラグ(注1) 0: BCHG 割り込み発生なし 1: BCHG 割り込み発生あり	R/W(注2)
15	OVRCR	OVRCR 割り込みステータスフラグ(注1) 0: OVRCR 割り込み発生なし 1: OVRCR 割り込み発生あり	R/W(注2)

注. S-TYPE-3, P-TYPE-3
注. PDDET 検出割り込みを除き、INTSTS1 レジスタのフラグが示すステータス変化による割り込みはホストコントローラモード時のみ許可してください。
注 1. USBHS は PDDETINT フラグ、BCHG フラグまたは OVRCR フラグが示すステータス変化をクロック供給停止中 (LPSTS.SUSPENDM = 0) でも検出し、対応する割り込み要求ビットが 1 であれば割り込みを要求します。ソフトウェアによるステータスのクリアは、クロック供給を許可にしてから行ってください。クロックの供給停止中 (LPSTS.SUSPENDM = 0) は、他の割り込みを検出できません。
注 2. INTSTS1 レジスタのフラグをクリアするには、目的のフラグにのみ 0 を書き込みます。その他のビットには 1 を書き込んでください。

PDDETINT フラグ（PDDET 検出割り込みステータスフラグ）

USBHS は、PDDET 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、PDDETINT フラグを 1 にします。PDDETINT 割り込み発生時は、ソフトウェアで PDDETSTS フラグを 3 回以上読み出し、読み出した値が一致することを確認してチャタリングを除去してください。

SACK フラグ（SETUP トランザクション正常応答割り込みステータスフラグ）

SACK フラグは、ホストコントローラモード時、SETUP トランザクション正常応答割り込みステータスを示します。

USBHS が発行した SETUP トランザクション中に、周辺デバイスから ACK 応答が返された場合、USBHS は SACK 割り込みを検出し、本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBHS は割り込みを発生させます。

デバイスコントローラモードで SACK フラグから読み出した値は無効です。

SIGN フラグ（SETUP トランザクションエラー割り込みステータスフラグ）

SIGN フラグは、ホストコントローラモード時、SETUP トランザクションエラー割り込みステータスを示します。

USBHS が発行した SETUP トランザクション中に、周辺デバイスから ACK 応答が 3 回連続で返されなかった場合、USBHS は SIGN 割り込みを検出し、本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBHS は割り込みを発生させます。

USBHS の SIGN 割り込み検出条件は、3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態で USBHS がタイムアウトを検出したとき
- 破損した ACK パケットを受信したとき
- ACK 以外のハンドシェイク（NAK、NYET、または STALL）を受信したとき

デバイスコントローラモードで SIGN フラグから読み出した値は無効です。

EOFERR フラグ（EOF エラー検出割り込みステータスフラグ）

EOFERR フラグは、ホストコントローラモード時、EOF エラー検出割り込みステータスを示します。

USB2.0 規格に定義されている EOF2 タイミングで通信が完了しなかったことを検出すると、USBHS は EOFERR 割り込みを検出し、本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBHS は割り込みを発生させます。

EOFERR 割り込みの検出後、USBHS は対応する割り込み許可ビットの設定に関係なく、以下のようにハードウェアを制御します。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへの再エニュメレーションを行ってください。

デバイスコントローラモードで EOFERR フラグから読み出した値は無効です。

LPMEND フラグ（LPM トランザクション完了割り込みステータスフラグ）

ホストコントローラモード時、LPM トランザクション完了割り込みステータスを示します。

HL1CTRL1.L1REQ ビットを 1 にすると、USBHS は LPM トークンを送信します。ファンクションデバイスからの応答もしくはタイムアウトを検出して LPM トランザクションが終了すると、USBHS は LPMEND フラグを 1 にします。

デバイスコントローラモードで LPMEND フラグから読み出した値は無効です。

L1RSMEND フラグ（L1 レジューム完了割り込みステータスフラグ）

L1RSMEND フラグは、ホストコントローラモード時、L1 レジューム完了割り込みステータスを示します。

LPM トークンに対して ACK を受信して L1 ステートに遷移すると、レジューム処理が実行され、USBHS は本フラグを 1 にします。

デバイスコントローラモードで L1RSMEND フラグから読み出した値は無効です。

ATTCH フラグ（USB 接続検出割り込みステータスフラグ）

ATTCH フラグは、ホストコントローラモード時、USB アタッチ検出割り込みステータスを示します。

フルスピード信号レベルまたはロースピード信号レベルの J-State または K-State を 2.5 µs 間検出すると、USBHS は ATTCH 割り込みを検出して本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBHS は割り込みを発生させます。

USBHS の ATTCH 割り込み検出条件は、以下のとおりです。

- K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5 µs 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5 µs 間継続したとき

デバイスコントローラモードで ATTCH フラグから読み出した値は無効です。

DTCH フラグ（USB 切断検出割り込みステータスフラグ）

DTCH フラグは、ホストコントローラモード時、USB デタッチ検出割り込みステータスを示します。

USB バスデタッチイベントを検出すると、USBHS は DTCH 割り込みを検出して本ビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBHS は割り込みを発生させます。

USBHS は、USB2.0 規格に準じてデタッチイベントを検出します。

DTCH 割り込みの検出後、USBHS は対応する割り込み許可ビットの設定に関係なく、以下のようにハードウェアを制御します。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへのアタッチ待ちの状態（ATTCH 割り込み発生待ちの状態）を呼び出してください。

デバイスコントローラモードで DTCH フラグから読み出した値は無効です。

BCHG フラグ（USB バス変化割り込みステータスフラグ）

BCHG フラグは、ホストコントローラモード時、USB バス変化割り込みステータスを示します。

USB ポートでフルスピード信号レベルの変化が発生した場合、USBHS は BCHG 割り込みを検出して本ビットを 1 にします。対象とする変化には、J-State、K-State、SE0 のいずれかから J-State、K-State、SE0 のいずれかへの変化すべてを含みます。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBHS は割り込みを発生させます。

USBHS は、USB ポートの入力状態を、SYSSTS0.LNST[1:0]フラグに示します。BCHG 割り込みが発生した場合、同じ値が 3 回以上読み出されるまで、ソフトウェアによる LNST[1:0]ビットの読み出しを繰り返し、トランジェント除去を行ってください。

USB バスステートの変化は、PHY クロック停止状態でも検出できます。

デバイスコントローラモードで BCHG フラグから読み出した値は無効です。

OVRCR フラグ（OVRCR 割り込みステータスフラグ）

OVRCR フラグは、USBHS_OVCUR0A 端子の入力状態または USBHS_OVCUR0B 端子の変化を示します。INTENB1.OVRCRE ビットが 1 であれば、USBHS は割り込みを要求します。

USBHS は、USBHS_OVCUR0A および USBHS_OVCUR0B 端子の入力状態を示すために、SYSSTS0.OVCMON[1:0]フラグを設定します。

これらの端子により、ホストコントローラモードでの、ソフトウェアによる過電流検出が可能になります。この機能を実装するには、接続されている USB デバイスに VBUS を供給する外部電源 IC からの過電流信号を、OVCUR0A 端子または OVCUR0B 端子に接続してください。OVRCR 割り込み検出時、同じ値が 3 回以上読み出されるまで、ソフトウェアによる OVCMON[1:0]フラグの読み出しを繰り返し、トランジェント除去を行ってください。

37.2.20 BRDYSTS : BRDY 割り込みステータスレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x046

Bit position:	15	14	13	12	11	10	9									0
Bit field:	—	—	—	—	—	—	PIPEBRDY[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	PIPEBRDY[9:0]	パイプ[9:0]の BRDY 割り込みステータスフラグ(注1) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注2)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 各ビット番号は同じパイプ番号に対応します。
注 2. SOFCFG.BRDYM ビットが 0 のとき、PIPEBRDY[9:0]フラグが示すステータスをクリアするには、クリアしたいビットのみ 0 にします。その他のビットには 1 を書き込んでください。
SOFCFG.BRDYM ビットが 0 のとき、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

PIPEBRDY[9:0]フラグ（パイプ[9:0]の BRDY 割り込みステータスフラグ）

BRDY 割り込み検出時、USBHS は PIPEBRDY[9:0]フラグの対応するビットを 1 にします。BRDY 割り込みについて、詳しくは「37.3.6.1. BRDY 割り込み」を参照してください。

37.2.21 NRDYSTS : NRDY 割り込みステータスレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x048

Bit position:	15	14	13	12	11	10	9									0
Bit field:	—	—	—	—	—	—	PIPENRDY[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	PIPENRDY[9:0]	パイプ[9:0]の NRDY 割り込みステータスフラグ(注1) 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注2)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 各ビット番号は同じパイプ番号に対応します。
注 2. PIPENRDY[9:0]フラグが示すステータスを 0 にするには、クリアしたいビットのみ 0 にします。その他のビットには 1 を書き込んでください。

PIPENRDY[9:0]フラグ（パイプ[9:0]の NRDY 割り込みステータスフラグ）

パイプコントロールレジスタの PID[1:0]ビットが 01b（BUF 応答）のときに内部 NRDY 割り込みを検出すると、USBHS は PIPENRDY[9:0]フラグの対応するビットを 1 にします。NRDY 割り込みについて、詳しくは「37.3.6.2. NRDY 割り込み」を参照してください。

37.2.22 BEMPSTS : BEMP 割り込みステータスレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x04A

Bit position:	15	14	13	12	11	10	9									0
Bit field:	—	—	—	—	—	—	PIPEBEMP[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	PIPEBEMP[9:0]	パイプ[9:0]の BEMP 割り込みステータスフラグ(注1) 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注2)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 各ビット番号は同じパイプ番号に対応します。
注 2. PIPEBEMP[9:0]フラグが示すステータスを 0 にするには、クリアしたいビットのみ 0 にします。その他のビットには 1 を書き込んでください。

PIPEBEMP[9:0]フラグ（パイプ[9:0]の BEMP 割り込みステータスフラグ）

パイプコントロールレジスタの PID[1:0]ビットが 01b（BUF 応答）のとき BEMP 割り込みを検出すると、USBHS は PIPEBEMP[9:0]フラグの対応するビットを 1 にします。BEMP 割り込みについて、詳しくは「37.3.6.3. BEMP 割り込み」を参照してください。

37.2.23 FRMNUM : フレーム番号レジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x04C

Bit position:	15	14	13	12	11	10										0
Bit field:	OVRN	CRCE	—	—	—	FRNM[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	FRNM[10:0](注1)	フレーム番号フラグ	R
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
14	CRCE	CRC エラー検出ステータスフラグ 0: エラーなし 1: エラー発生	R/W
15	OVRN	オーバーラン／アンダーラン検出ステータスフラグ 0: エラーなし 1: エラー発生	R/W

注. S-TYPE-3, P-TYPE-3
注 1. OVRN フラグはデバッグ用です。システムとしてはオーバーラン／アンダーランが発生しないようにタイミング設計を行ってください。

FRNM[10:0] フラグ（フレーム番号フラグ）

USBHS は、FRNM[10:0]フラグを使って、1 ms に 1 回の SOF パケット発行時または受信時に更新される最新のフレーム番号を示します。

CRCE フラグ（CRC エラー検出ステータスフラグ）

CRCE フラグは、アイソクロナス転送中に CRC エラーまたはビットスタッフィングエラーが発生した場合、1 になります。CRC エラー検出時、USBHS は内部 NRDY 割り込みを生成します。

CRCE フラグをクリアする場合は、本フラグに 0 を書き、FRMNUM レジスタの他のビットは 1 にします。

OVRN フラグ（オーバーラン／アンダーラン検出ステータスフラグ）

OVRN フラグは、アイソクロナス転送中にオーバーランエラーまたはアンダーランエラーが発生した場合、1 になります。本フラグをクリアする場合は、本フラグに 0 を書き、FRMNUM レジスタの他のビットは 1 にします。

ホストコントローラモード時、以下のいずれかの場合に OVRN フラグは 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で、IN トークン発行タイミングに達したとき

デバイスコントローラモード時、以下のいずれかの場合に OVRN フラグは 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で、OUT トークンを受信したとき

37.2.24 UFRMNUM : μ フレーム番号レジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x04E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2		0
Bit field:	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]		
Value after reset:	0	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

ビット	シンボル	機能	R/W
2:0	UFRNM[2:0]	マイクロフレーム番号	R
14:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	DVCHG	デバイスステート切り替え 0: USBADDR.STSRECOV0[2:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み禁止 1: USBADDR.STSRECOV0[2:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み許可	R/W

注. S-TYPE-3, P-TYPE-3

UFRNM[2:0]フラグ（マイクロフレーム番号）

USBHS は、ハイスピード動作時、UFRNM[2:0]フラグにマイクロフレーム番号を示します。ハイスピード以外での動作時、USBHS はこれらのビットを 00b にします。

同じ値を 2 回読み出すまで、これらのビットの読み出しを繰り返します。

37.2.25 USBADDR : USB アドレスレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x050

Bit position:	15	14	13	12	11	10			7	6						0
Bit field:	—	—	—	—	—	STSRECOV0[2:0]			—	USBADDR[6:0]						
Value after reset:	x	x	x	x	x	0	0	0	x	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	USBADDR[6:0]	USB アドレスフラグ デバイスコントローラモード時、USBHS が SET_ADDRESS リクエストを正常に処理したときに、ホストから割り付けられた USB アドレスを表示します。	R
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W
10:8	STSRECOV0[2:0]	ステータスリカバリ [D]: デバイスコントローラモード時 [H]: ホストコントローラモード時（010b、100b、または 110b 以外は設定しないでください） 0 0 0: 予約ビット 0 0 1: [D] フルスピード接続および Default ステートに復帰 0 1 0: [D] フルスピード接続および Address ステートに復帰 [H] ロースピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが 001b） 0 1 1: [D] フルスピード接続および Configured ステートに復帰 1 0 0: [D] サスペンド接続および Suspend ステートに復帰 [H] フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが 010b） 1 0 1: [D] ハイスピード接続および Default ステートに復帰 1 1 0: [D] ハイスピード接続および Address ステートに復帰 [H] ハイスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが 011b） 1 1 1: [D] ハイスピード接続および Configured ステートに復帰	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

USBADDR[6:0]フラグ（USB アドレスフラグ）

デバイスコントローラモード時に、USBHS が SetAddress 要求を正常に処理したときに、USBADDR[6:0]フラグは受信した USB アドレスを示します。USBHS は USB バスリセットを検出すると USBADDR[6:0]ビットを 00b にします。

ホストコントローラモード時、USBADDR[6:0]ビットは無効です。

STSRECOV0[2:0]ビット（ステータスリカバリ）

USB 電源遮断から復帰するときの内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。詳細は、「37.3.17. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除」を参照してください。

UFRMNUM.DVCHG ビットが 1 に設定されているときに、本ビットに書き込み可能となります。

37.2.26 USBREQ : USB リクエストタイプレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x054

Bit position:	15								7							0
Bit field:	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	BMREQUESTTYPE[7:0]	USB リクエストの bmRequestType 値	R/W(注1)
15:8	BREQUEST[7:0]	USB リクエストの bRequest 値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出し／書き込みの両方が可能です。

BMREQUESTTYPE[7:0]ビット（USB リクエストの bmRequestType 値）

BMREQUESTTYPE[7:0]ビットは、USB リクエスト bmRequestType の値を保持します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：
  受信用 SETUP トランザクションの USB リクエストデータ値を示します。書き込みは無効です。

BREQUEST[7:0]ビット（USB リクエストの bRequest 値）

BREQUEST[7:0]ビットは、USB リクエスト bRequest の値を保持します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：
  受信用 SETUP トランザクションの USB リクエストデータ値を示します。書き込みは無効です。

37.2.27 USBVAL : USB リクエストバリューレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x056

Bit position:	15															0
Bit field:	WVALUE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WVALUE[15:0]	USB リクエスト wValue の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出し／書き込みの両方が可能です。

WVALUE[15:0]ビット（USB リクエスト wValue の値）

WVALUE[15:0]ビットは、USB リクエストの wValue 値を保持します。

- ホストコントローラモード時：

送信する SETUP トランザクションの USB リクエスト wValue 値を設定してください。DCPCTR.SUREQ ビットが 1 のとき、これらのビットの値を書き換えないでください。

- デバイスコントローラモード時：
  受信用 SETUP トランザクションの USB リクエストの wValue 値を表示します。書き込みは無効です。

37.2.28 USBINDX : USB リクエストインデックスレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x058

Bit position:	15															0
Bit field:	WINDEX[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WINDEX[15:0]	USB リクエスト wIndex の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出し／書き込みの両方が可能です。

WINDEX[15:0]ビット（USB リクエスト wIndex の値）

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエスト wIndex 値を設定してください。DCPCTR.SUREQ ビットが 1 のとき、これらのビットの値を書き換えないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエスト wIndex の値を示します。書き込みは無効です。

37.2.29 USBLENG : USB リクエストレングスレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x05A

Bit position:	15															0
Bit field:	WLENTUH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WLENTUH[15:0]	USB リクエスト wLength の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出し／書き込みの両方が可能です。

WLENTUH[15:0]ビット（USB リクエスト wLength の値）

WLENTUH[15:0]ビットは、USB リクエスト wLength の値を保持します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエスト wLength 値を設定してください。DCPCTR.SUREQ ビットが 1 のとき、これらのビットの値を書き換えないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエスト wLength の値を示します。書き込みは無効です。

37.2.30 DCPCFG : DCP コンフィグレーションレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x05C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CNTMD	SHTNAK	—	—	DIR	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DIR	転送方向 0: データ受信方向 1: データ送信方向	R/W
6:5	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7	SHTNAK	転送終了時のパイプブロック 0: 転送終了後パイプがオープンの状態を維持 1: 転送終了後にパイプを禁止	R/W
8	CNTMD	連続転送モード 0: 非連続転送モード 1: 連続転送モード	R/W
15:9	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. PID が NAK の間にのみ、DCPCFG レジスタ内のビットを設定してください。ビットの設定前に、DCPCTR.PBUSY ビットが 0 であることを確認してから、DCP の DCPCTR.PID[1:0]ビットを BUF から NAK に変更してください。USBHS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

DIR ビット（転送方向）

DIR ビットは、ホストコントローラモード時、コントロール転送のデータステージとステータスステージの転送方向を設定します。デバイスコントローラモードでは、DIR ビットは 0 にしてください。

SHTNAK ビット（転送終了時のパイプブロック）

SHTNAK ビットは、選択パイプが受信方向の場合に、転送終了時に PID を NAK に変更するかどうかを指定します。選択パイプが受信方向の場合のみ有効です。

SHTNAK ビットが 1 の場合、USBHS は、転送の終了を判定したときに DCP の DCPCTR.PID[1:0]ビットを NAK に変更します。USBHS は、以下の条件が満たされると転送終了を判定します。

- ショートパケット（Zero-Length パケットを含む）を正常に受信したとき

CNTMD ビット（連続転送モード）

CNTMD ビットは、デフォルトコントロールパイプ経由の転送が連続転送モードかどうかを示します。

37.2.31 DCPMAXP : DCP 最大パケットサイズレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x05E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
Value after reset:	0	0	0	0	x	x	x	x	x	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	MXPS[6:0]	最大パケットサイズ(注1) DCP の最大データペイロード指定（最大パケットサイズ）	R/W
11:7	—	読み出し値は不定です。書く場合、0 としてください。	R/W
15:12	DEVSEL[3:0]	デバイス選択(注2) 0x0: アドレス 0x0 0x1: アドレス 0x1 0x2: アドレス 0x2 0x3: アドレス 0x3 0x4: アドレス 0x4 0x5: アドレス 0x5	R/W

注. S-TYPE-3, P-TYPE-3

注 1. MXPS[6:0]ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する前に CSSTS ビットと PBUSY ビットが 0 であることを確認し、次に DCPCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に、CFIFOSEL.CURPIPE[3:0] ビットを 0000b に変更します。USBHS が DCPCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる CSSTS ビットと PBUSY ビットの確認は必要ありません。MXPS[6:0]ビットの設定後は、ポート選択レジスタの CURPIPE[3:0]ビットに DCP を設定してから、ポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリアしてください。

注 2. DEVSEL[3:0]ビットの設定は、PID = NAK の状態および DCPCTR.SUREQ ビットが 0 の期間にのみ実施してください。これらのビットを設定する前に CSSTS フラグと PBUSY フラグが 0 であることを確認し、次に DCPCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に、DCPCTR.SUREQ[3:0]ビットを 0 に変更します。USBHS が DCPCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる CSSTS ビットと PBUSY ビットの確認は必要ありません。

MXPS[6:0]ビット（最大パケットサイズ）

MXPS[6:0]ビットは、DCP の最大データペイロード（最大パケットサイズ）を指定します。初期値は 0x40（64 バイト）です。本ビットには、USB2.0 規格に準じた値を設定してください。MXPS[6:0]ビットを 0 にした状態で、FIFO バッファへの書き込みも、PID = BUF の設定も行わないでください。

DEVSEL[3:0]ビット（デバイス選択）

DEVSEL[3:0]ビットは、ホストコントローラモード時、コントロール転送の対象となる周辺デバイスのアドレスを指定します。関連する DEVADDn (n = 0～A) レジスタでデバイスアドレスを設定した後で、DEVSEL[3:0]ビットを対応する値に設定してください。たとえば、DEVSEL[3:0]ビットを 0010b にするには、まず DEVADD2 レジスタでアドレスを設定します。デバイスコントローラモードでは、これらのビットを 0000b にしてください。

37.2.32 DCPCTR : DCP コントロールレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x060

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	SUREQ	CSCLR	CSSTS	SUREQCLR	—	—	SQCLR	SQSET	SQMON	PBUSY	PINGE	—	CCPL	PID[1:0]	
Value after reset:	0	0	0	0	x	x	x	0	0	1	0	0	x	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 x: STALL 応答	R/W
2	CCPL	コントロール転送終了許可 0: コントロール転送終了を許可しない 1: コントロール転送終了を許可する	R/W
3	—	読み出し値は不定です。書く場合、0 としてください。	R/W
4	PINGE	PING トークン発行許可(注1) 0: PING トークン禁止 1: 通常の PING 動作を許可	R/W

ビット	シンボル	機能	R/W
5	PBUSY	パイプビジーフラグ 0: DCP を USB バスにて未使用 1: DCP を USB バスにて使用中	R
6	SQMON	シーケンストグルビットモニタフラグ 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注1) 0: 無効（0 の書き込みは無効です） 1: 次回トランザクションの期待値を DATA1 に設定	W
8	SQCLR	シーケンストグルビットクリア(注1) 0: 無効（0 の書き込みは無効です） 1: 次回トランザクションの期待値を DATA0 にクリア	W
10:9	—	読み出し値は不定です。書く場合、0 としてください。	R/W
11	SUREQCLR	SUREQ ビットクリア 0: 無効（0 の書き込みは無効です） 1: SUREQ を 0 にクリアする	W
12	CSSTS	CSSTS ステータスフラグ 0: START-SPLIT (SSPLIT) トランザクション、または SPLIT トランザクションを使用しないデバイスの処理実行中 1: COMPLETE-SPLIT (CSPLIT) トランザクション実行中	R
13	CSCLR	CSSTS ステータスフラグクリア 0:（0 の書き込みは無効です） 1: CSSTS を 0 にクリアする	W
14	SUREQ	SETUP トークン送出 0: 無効（0 の書き込みは無効です） 1: Setup パケットを送出	R/W
15	BSTS	バッファステータスフラグ 0: バッファアクセス不可 1: バッファアクセス可能	R

注. S-TYPE-3, P-TYPE-3
注 1. SQSET、SQCLR および PINGE の各ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する前に CSSTS ビットと PBUSY ビットが 0 であることを確認し、次に DCPCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が DCPCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる CSSTS ビットおよび PBUSY ビットの確認は必要ありません。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは、コントロール転送における USB 応答の種類を制御します。

ホストコントローラモードでは、以下のように PID[1:0]ビットの設定を NAK から BUF に変更します。

- 送信方向設定時：
  a. DVSTCTR0.UACT ビットが 1、かつ PID = NAK の状態で、FIFO バッファにすべての送信データを書き込みます。
  b. PID[1:0]ビットを 01b (BUF) にします。
  これにより USBHS は OUT トランザクション（または PING トランザクション）を実施します。
- 受信方向設定時：
  a. DVSTCTR0.UACT ビットが 1、かつ PID = NAK の状態で、FIFO バッファが空であることを確認します（または空の状態にします）。
  b. PID[1:0]ビットを 01b (BUF) にします。
  これにより USBHS は IN トランザクションを実施します。

USBHS は PID[1:0]ビットの設定値変更を以下のように行います：

- ソフトウェアで PID[1:0]ビットを BUF (01b) に設定した場合、USBHS は MaxPacketSize を超えるデータを受信すると、PID[1:0]ビットを STALL (11b) に設定する。
- CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBHS は PID[1:0]ビットを NAK (00b) に設定する

- STALL ハンドシェイクの受信時、USBHS は PID[1:0]ビットを STALL (11b) に設定する

デバイスコントローラモードでは、USBHS は PID[1:0]ビットの設定値変更を以下のように行います：

- Setup パケットの受信時、USBHS は PID[1:0]ビットを NAK (00b) に設定する。このとき、USBHS は INTSTS0.VALID フラグを 1 にし、ソフトウェアで VALID フラグが 0 になるまで、PID[1:0]ビットの設定は変更できなくなる
- ソフトウェアで PID[1:0]ビットを BUF (01b) に設定した場合、USBHS は MaxPacketSize を超えるデータを受信すると、PID[1:0]ビットを STALL (11b) に設定する。
- コントロール転送シーケンスエラー検出時、USBHS は PID[1:0]ビットを STALL (1xb) に設定する
- USB バスリセット検出時、USBHS は PID[1:0]ビットを NAK に設定する

SET_ADDRESS リクエストの処理中、USBHS は PID[1:0]ビットの設定をチェックしません。

CCPL ビット（コントロール転送終了許可）

デバイスコントローラモード時、CCPL ビットを 1 にすると、コントロール転送のステータスステージの終了が許可されます。対応する PID[1:0]ビットが BUF に設定されている場合、ソフトウェアで CCPL ビットを 1 にすると、USBHS はコントロール転送ステータスステージを終了します。

コントロールリード転送では、USBHS は USB ホストからの OUT トランザクションに応じて、ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送では、USB ホストからの IN トランザクションに対して、USBHS は Zero-Length パケットを送信します。SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく USBHS はセットアップステージからステータスステージ完了まで自動応答モードで動作します。

新たな Setup パケットを受信したときに、USBHS は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアはこのビットに 1 を書き込むことはできません。CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラモードでは、CCPL ビットを必ず 0 にしてください。

PINGE ビット（PING トークン発行許可）

ホストコントローラモード時、ソフトウェアが PINGE ビットを 1 にすると、USBHS は送信方向の転送に対して PING トークンを発行します。これにより、転送が開始されます。PING トランザクションで ACK ハンドシェイクが検出されると、次のトランザクションで OUT トランザクションが実行されます。OUT トランザクションで NAK ハンドシェイクまたは NYET ハンドシェイクが検出されると、次のトランザクションで PING トランザクションが実行されます。

ソフトウェアで PINGE ビットを 0 にすると、USBHS は送信方向の転送に対して PING トークンを発行しません。送信方向のすべての転送は、OUT トランザクションで実行されます。

PBUSY フラグ（パイプビジーフラグ）

PBUSY ビットは、USBHS が PID[1:0]ビットを BUF から NAK に変更した場合に、DCP がトランザクションで使用されているかどうかを示します。選択したパイプに対する USB トランザクション開始時に、USBHS は PBUSY フラグを 0 から 1 に変更します。1 つのトランザクションが完了すると、USBHS は PBUSY フラグを 1 から 0 に変更します。

ソフトウェアで PID を NAK に設定した後、PBUSY フラグの値はパイプ設定の変更が可能かどうかを示します。

詳細は、「37.3.7.1. パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON フラグ（シーケンストグルビットモニタフラグ）

SQMON ビットは、DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を示します。

トランザクションを正常に完了すると、USBHS が本ビットをトグルします。ただし、受信方向での転送時に DATAPID 不一致が発生すると、USBFS は本ビットをトグルしません。

デバイスコントローラモード時、Setup パケット正常受信時に、USBHS は SQMON ビットを 1（期待値を DATA1 に設定）にします。

デバイスコントローラモード時、ステータスステージの IN または OUT トランザクション中は USBHS は本ビットを参照しません。また、正常完了時も本ビットをトグルしません。

SQSET ビット（シーケンストグルビットセット）

SQSET ビットは、DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SQCLR ビット（シーケンストグルビットクリア）

SQCLR ビットは、DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定します。読むと 0 が読めます。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SUREQCLR ビット（SUREQ ビットクリア）

ホストコントローラモード時、SUREQCLR ビットを 1 にすると、SUREQ ビットが 0 にクリアされます。読むと 0 が読めます。

SETUP トランザクションにおいて、SUREQ ビットが 1 のまま通信が停止したときには、ソフトウェアにより SUREQCLR ビットを 1 にしてください。正常な SETUP トランザクションでは、USBHS が自動的に SUREQ ビットを 0 するため、ソフトウェアによるクリア処理は必要ありません。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットが 0 の場合にのみ行ってください。UACT ビットが 0 の場合は、通信が停止しているか、またはバスデタッチが検出されたために転送が行われていません。

デバイスコントローラモードでは、常に SUREQCLR ビットには 0 を書いてください。

CSSTS フラグ（CSSTS ステータスフラグ）

ホストコントローラモード時、CSSTS フラグは転送タイプがアイソクロナス以外のパイプにおける SPLIT トランザクションの Complete-split ステートを示します。USBHS は、COMPLETE-SPLIT トランザクションの開始時に CSSTS フラグを 1 にし、トランザクションの完了を検出すると CSSTS フラグを 0 に戻します。

デバイスコントローラモードで CSSTS フラグから読み出した値は無効です。

CSCLR ビット（CSSTS ステータスフラグクリア）

ホストコントローラモード時、CSCLR ビットを 1 にすると、CSSTS ビットが 0 にクリアされます。

SPLIT トランザクションを使用した転送で次の転送を START-SPLIT から強制的に再開する場合、ソフトウェアで本ビットを 1 にします。通常の SPLIT トランザクションの COMPLETE-SPLIT トランザクション正常完了時には、USBHS が自動的に CSSTS フラグを 0 するため、この処理は必要ありません。

DVSTCTR0.UACT ビットが 0 のときのみ、CSCLR ビットを利用して CSSTS フラグを制御してください。UACT が 0 の場合、通信が停止しているか、ポート切断検出により転送が行われていない状態です。CSSTS フラグが 0 のときに本ビットへの 1 の書き込みは無効です。フラグは 0 のままになります。

デバイスコントローラモードでは、常に本ビットには 0 を書いてください。

SUREQ ビット（SETUP トークン送出）

ホストコントローラモード時、SUREQ ビットを 1 にすると、USBHS が Setup パケットを送信します。SETUP トランザクション処理終了後、USBHS は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを 0 にします。また、ソフトウェアで SUREQCLR ビットを 1 にした場合も、USBHS は SUREQ ビットを 0 にクリアします。

SUREQ ビットを 1 にする前に、DCPMAXP.DEVSEL[3:0]ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタを正しく設定し、SETUP トランザクションで必要な USB リクエストを送信してください。また、DCP の PID[1:0]ビットが NAK に設定されていることを確認してください。SUREQ ビットを 1 にした後、SETUP トランザクションが終了するまで（SUREQ ビット = 1）の期間は、DCPMAXP.DEVSEL[3:0]ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。SETUP トークンを送出する場合にのみ、SUREQ ビットに 1 を書いてください。それ以外では、0 を書いてください。

デバイスコントローラモードでは、必ず本ビットを 0 にしてください。

BSTS フラグ（バッファステータスフラグ）

BSTS フラグは、DCP FIFO バッファへのアクセスステータスを示します。本フラグが示す内容は、CFIFOSEL.ISEL ビットの設定に応じて以下のように異なります。

- ISEL ビットが 0 のとき、バッファから受信データの読み出しが可能かどうかを示します。
- ISEL ビットが 1 のとき、バッファへの送信データの書き込みが可能かどうかを示します。

37.2.33 PIPESEL : パイプウィンドウ選択レジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x064

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PIPESEL[3:0]	パイプウィンドウ選択 0x0: パイプ選択なし 0x1: パイプ 1 0x2: パイプ 2 0x3: パイプ 3 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 0x8: パイプ 8 0x9: パイプ 9 その他: 設定禁止	R/W
15:4	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

パイプ 1～9 の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタ (n = 0～9) で行います。

PIPESEL レジスタでパイプを選択した後、対応する PIPECFG、PIPEMAXP、および PIPEPERI レジスタでパイプ機能設定してください。PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0]ビット（パイプウィンドウ選択）

PIPESEL[3:0]ビットは、データの読み出し／書き込みに使用するための PIPECFG、PIPEMAXP、および PIPEPERI レジスタに対応させるパイプ番号を選択します。PIPESEL[3:0]ビットでパイプ番号を選択することにより、その番号に対応した PIPECFG、PIPEMAXP、および PIPEPERI レジスタの読み出し／書き込みが可能になります。

PIPESEL[3:0]ビット = 0x0 の場合は、PIPECFG、PIPEMAXP、および PIPEPERI レジスタのすべてのビットから 0 が読み出されます。書き込みは無効です。

37.2.34 PIPECFG : パイプコンフィグレーションレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x068

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TYPE[1:0]		—	—	—	BFRE	DBLB	CNTMD	SHTNAK	—	—	DIR	EPNUM[3:0]			
Value after reset:	0	0	x	x	x	0	0	0	0	x	x	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	EPNUM[3:0]	エンドポイント番号(注1) 選択パイプのエンドポイント番号を指定します。0x0 の設定は、未使用パイプを意味します。	R/W
4	DIR	転送方向(注2) (注3) 0: 受信方向 1: 送信方向	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SHTNAK	転送終了時のパイプ禁止(注1) 0: 転送終了後にパイプ動作を継続 1: 転送終了後にパイプを禁止	R/W
8	CNTMD	連続転送モード(注2) (注3) 0: 非連続転送モード 1: 連続転送モード	R/W
9	DBLB	ダブルバッファモード(注2) (注3) 0: シングルバッファ 1: ダブルバッファ	R/W
10	BFRE	BRDY 割り込み動作指定(注2) (注3) 0: データ送受信で BRDY 割り込み生成 1: データ読み出し完了時に BRDY 割り込み生成	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	TYPE[1:0]	転送タイプ(注1) 0 0: パイプ不使用 0 1: （パイプ 1～5）バルク転送 （パイプ 6～9）設定禁止 1 0: （パイプ 1～5）設定禁止 （パイプ 6～9）インタラプト転送 1 1: （パイプ 1～2）アイソクロナス転送 （パイプ 3～9）設定禁止	R/W

注. S-TYPE-3, P-TYPE-3

注 1. TYPE[1:0]、SHTNAK および EPNUM[3:0]の各ビットの設定は、PID = NAK の状態のときにのみ実施してください。TRNCNT[15:0]ビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる CSSTS フラグと PBUSY フラグの確認は必要ありません。

注 2. BFRE ビット、DBLB ビット、CNTMD ビット、および DIR ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。TRNCNT[15:0]ビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

注 3. 選択パイプを使用した USB 通信が終了した後、BFRE、DBLB、CNTMD、または DIR の各ビットを変更する場合は、注 2 の制限事項に加えて、ソフトウェアで PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込み、選択パイプに割り当てられた FIFO バッファをクリアしてください。

EPNUM[3:0]ビット（エンドポイント番号）

EPNUM[3:0]ビットは、選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0]ビットの設定値の組み合わせが、他のパイプと重複しないように設定してください。（すべてのパイプに対して EPNUM[3:0]ビットの設定を 0000b とすることは可能です。）

DIR ビット（転送方向）

DIR ビットは、選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを 0 にすると、USBHS は選択パイプを受信方向に使用します。ソフトウェアで DIR ビットを 1 にすると、USBHS は選択パイプを送信方向に使用します。

SHTNAK ビット（転送終了時のパイプ禁止）

SHTNAK ビットは、選択パイプの転送方向が受信の場合、転送終了時に PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更するかどうかを指定します。本ビットは、受信方向のパイプ 1～5 に対して有効です。

受信方向パイプに対してソフトウェアが本ビットを 1 にすると、転送終了判定時に USBHS が関連する PIPEnCTR.PID[1:0]ビットを 00b（NAK）に変更します。USBHS は、以下の条件が満たされると転送終了を判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

CNTMD ビット（連続転送モード）

CNTMD ビットは、選択パイプを連続転送モードで動作させているかどうかを示します。本ビットは、バルク転送タイプのパイプ 1～5 の場合に有効なビットです。

本ビットの設定値によって、USBHS は選択パイプに割り当てられた FIFO バッファに対する送受信完了判定を表 37.9 に示すとおりに行います

表 37.9　CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

CNTMD ビットの設定	読み出し可能状態と送信可能状態の判定方法
0	受信方向設定時 (DIR = 0) FIFO バッファが読み出し可能状態になる条件： ● USBHS が 1 パケット受信したとき
	送信方向設定時 (DIR = 1) FIFO バッファが送信可能状態になる条件： 次の (1)、(2) のいずれかを満たすとき 1. CPU または DMAC/DTC が最大パケットサイズ分のデータを FIFO バッファに書き込んだとき 2. CPU または DMAC/DTC がショートパケットサイズ分のデータ（0 バイトの場合を含む）を FIFO バッファに書き込み、ポートコントロールレジスタの BVAL フラグを 1 にしたとき
1	受信方向設定時 (DIR = 0) FIFO バッファが読み出し可能状態になる条件： 1. 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE+1)×64) が等しくなったとき 2. USBHS が Zero-Length パケット以外のショートパケットを受信したとき 3. 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、USBHS が Zero-Length パケットを受信したとき 4. 選択パイプに対して設定したトランザクションカウンタ分のパケットをソフトウェアが受信したとき
	送信方向設定時 (DIR = 1) FIFO バッファが送信可能状態になる条件： 次の (1)～(3) のいずれかを満たすとき 1. CPU または DMAC/DTC が書き込んだデータ量が、選択したパイプに割り当てられた FIFO バッファのサイズと等しいとき 2. CPU または DMAC/DTC が、選択したパイプに割り当てられた FIFO バッファサイズよりも小さいデータ（0 バイトの場合を含む）を FIFO バッファに書き込み、ポートコントロールレジスタの BVAL フラグを 1 にしたとき 3. CPU または DMAC/DTC が、選択したパイプに割り当てられた FIFO バッファサイズよりも小さいデータ（0 バイトの場合を含む）を FIFO バッファに書き込み、最後の書き込みで DENDx_N 信号をアサートしたとき

DBLB ビット（ダブルバッファモード）

DBLB ビットは、選択パイプが使用する FIFO バッファに対して、シングルまたはダブルバッファモードのいずれか一方を選択します。本ビットはパイプ 1～5 に対して有効です。

ソフトウェアが DBLB ビットを 1 にすると、USBHS は選択パイプに対し、PIPEBUF.BUFSIZE[5:0]ビットで指定した FIFO バッファサイズの 2 倍のサイズを割り当てます。USBHS が選択パイプに割り当てる FIFO バッファのサイズは以下のとおりです。

(BUFSIZE+1)×64×(DBLB+1)[バイト]

BFRE ビット（BRDY 割り込み動作指定）

BFRE ビットは、USBHS から CPU への選択パイプに関する BRDY 割り込み発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にし、かつ選択パイプを受信方向で使用している場合、USBHS は、転送の終了を検出し、パケットの読み出し時に BRDY 割り込みを発生させます。

この設定で BRDY 割り込みが発生した場合、ソフトウェアによりポートコントロールレジスタの BCLR ビットに 1 を書く必要があります。BCLR ビットに 1 を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを 1 にしても、選択パイプが送信方向であると、USBHS は BRDY 割り込みを発生させません。詳細は、「37.3.6.1. BRDY 割り込み」を参照してください。

TYPE[1:0]ビット（転送タイプ）

TYPE[1:0]ビットは、PIPESEL.PIPESEL[3:0]ビットで選択したパイプに対して、転送タイプを指定します。PID を BUF に設定して選択パイプで USB 通信を開始する前に、TYPE[1:0]ビットを 00b 以外の値にしてください。

37.2.35 PIPEBUF : パイプバッファレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x06A

Bit position:	15	14					9	8	7							0
Bit field:	—	BUFSIZE[4:0]					—	—	BUFNMB[7:0]							
Value after reset:	x	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	BUFNMB[7:0]	バッファ番号 選択パイプの FIFO バッファ番号を指定します (0x04～0x87)。	R/W
9:8	—	読み出し値は不定です。書く場合、0 としてください。	R/W
14:10	BUFSIZE[4:0]	バッファサイズ 0x00: 64 バイト 0x01: 128 バイト ⋮ 0x1F: 2 KB	R/W
15	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. PIPEBUF レジスタ内のビットの設定の変更は、PID = NAK およびポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が PIPEnCTR.PID[1:0]ビットを 00b（NAK）に変更した場合には、ソフトウェアによる CSSTS フラグと PBUSY フラグの確認は必要ありません。

BUFNMB[7:0]ビット（バッファ番号）

BUFNMB[7:0]ビットは、選択パイプに割り付ける FIFO バッファのうち、先頭のブロック番号を指定します。

USBHS は、次のように FIFO バッファブロックを選択パイプに割り当てます。

ブロック番号：BUFNMB～ブロック番号：BUFNMB + (BUFSIZE+1) × (DBLB+1) –1

以下の条件を守った上で、メモリサイズの範囲内 (8.5 KB メモリの場合で 0 [0x00]～8640 [0x87]) で BUFNMB[7:0]ビットへ値を設定してください。

- 0x00 は DCP 専用です。
- 0x04 はパイプ 6 専用です。ただし、パイプ 6 を使用しない場合は、他のパイプで使用可能です。パイプ 6 を選択した場合、BUFNMB[7:0]ビットへの書き込みは無効です。USBHS は、パイプ 6 に対し BUFNMB ビットに 0x04 を自動的に割り当てます。
- 0x05 はパイプ 7 専用です。ただし、パイプ 7 を使用しない場合は、他のパイプで使用可能です。パイプ 7 を選択した場合、BUFNMB[7:0]ビットへの書き込みは無効です。USBHS は、パイプ 7 に対し BUFNMB ビットに 0x05 を自動的に割り当てます。
- 0x06 はパイプ 8 専用です。ただし、パイプ 8 を使用しない場合は、他のパイプで使用可能です。パイプ 8 を選択した場合、BUFNMB[7:0]ビットへの書き込みは無効です。USBHS は、パイプ 8 に対し BUFNMB ビットに 0x06 を自動的に割り当てます。
- 0x07 はパイプ 9 専用です。ただし、パイプ 9 を使用しない場合は、他のパイプで使用可能です。パイプ 9 を選択した場合、BUFNMB[7:0]ビットへの書き込みは無効です。USBHS は、パイプ 9 に対し BUFNMB ビットに 0x07 を自動的に割り当てます。

BUFSIZE[4:0]ビット（バッファサイズ）

BUFSIZE[4:0]ビットは、選択パイプに割り当てる FIFO バッファサイズ（ブロック数）を、BUFSIZE[4:0]ビットに指定します。1 ブロックは 64 バイトです。

ソフトウェアが DBLB ビットを 1 にすると、USBHS は選択パイプに対し、BUFSIZE[4:0]ビットで指定した FIFO バッファサイズの 2 倍のサイズを割り当てます。DBLB = 1 の設定はパイプ 1～5 に対して有効です。

USBHS は、次のように FIFO バッファブロックを選択パイプに割り当てます。

(BUFSIZE+1) × 64 × (DBLB+1) [バイト]

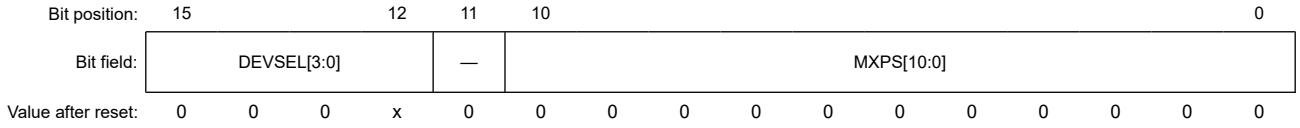
次の範囲内で値を設定してください。

- パイプ 1～5 の場合、0x00～0x1F の値を設定（最大 2 KB）
- パイプ 6～9 の場合、0x00 のみを設定（64 バイト）

37.2.36 PIPEMAXP : パイプ最大パケットサイズレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x06C



ビット	シンボル	機能	R/W
10:0	MXPS[10:0](注1) (注2)	最大パケットサイズ ● パイプ 1～2 1 バイト (0x001)～1024 バイト (0x400) ● パイプ 3～5 8 バイト (0x008)、16 バイト (0x010)、32 バイト (0x020)、64 バイト (0x040)、512 バイト (0x200) （ビット 2～0 はサポートされていません。） ● パイプ 6～9 1 バイト (0x001)～64 バイト (0x040) （ビット 10～7 はサポートされていません。）	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	DEVSEL[3:0](注3)	デバイス選択 0x0: アドレス 0x0 0x1: アドレス 0x1 ⋮ 0x9: アドレス 0x9 0xA: アドレス 0xA その他: 予約ビット	R/W

注. S-TYPE-3, P-TYPE-3
注 1. MXPS[10:0]ビットの初期値は、PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないときは 0x00、選択しているときは 0x40 です。
注 2. MXPS[10:0]ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときに限り行ってください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる CSSTS フラグと PBUSY フラグの確認は必要ありません。
注 3. DEVSEL[3:0]ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときに限り行ってください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

MXPS[10:0]ビット（最大パケットサイズ）

MXPS[10:0]ビットは、選択パイプの最大データペイロード（最大パケットサイズ）を指定します。

これらのビットは、転送タイプごとに USB2.0 規格に従って適切な値を設定してください。MXPS[10:0]ビット = 0 のときは、FIFO バッファへの書き込みも、PID を BUF にする設定も行わないでください。書き込みは無効です。

SPLIT トランザクションを使用してアイソクロナスパイプで通信を行うには、MXPS[10:0]ビットの値を 188 バイト以下に設定してください。

DEVSEL[3:0]ビット（デバイス選択）

ホストコントローラモード時、DEVSEL[3:0]ビットは、USB 通信対象デバイスのアドレスを指定します。関連する DEVADDn (n = 0～A) レジスタでデバイスアドレスを設定した後で、DEVSEL[3:0]ビットを対応する値に設定してください。たとえば、DEVSEL[3:0]ビットを 0x2 にするには、まず DEVADD2 レジスタでアドレスを設定します。

デバイスコントローラモードでは、本ビットを 0x0 にしてください。

37.2.37 PIPEPERI : パイプ周期コントロールレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x06E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
Value after reset:	x	x	x	0	x	x	x	x	x	x	x	x	x	0	0	0

ビット	シンボル	機能	R/W
2:0	IITV[2:0](注1)	インターバルエラー検出間隔 選択パイプのインターバルエラー検出タイミングを、フレームタイミングの 2 の n 乗で指定してください。	R/W
11:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	IFIS	アイソクロナス IN バッファフラッシュ 0: バッファフラッシュしない 1: バッファフラッシュする	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. IITV[2:0]ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

PIPEPERI レジスタは、アイソクロナス IN 転送時にインターバルエラーが発生した場合、バッファフラッシュ機能を動作させるか否かの選択、およびパイプ 1～9 に対してインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0]ビット（インターバルエラー検出間隔）

IITV[2:0]ビットを設定し、USB 通信を行った後で IITV[2:0]ビットを別の値に変更する場合は、PIPEnCTR.PID[1:0]ビットを 00b (NAK) にした後、PIPEnCTR.ACLRM ビットを 1 にして、インターバルタイマを初期化してください。

パイプ 3～5 に対しては、IITV[2:0]ビットは存在しません。パイプ 3～5 に対応する IITV[2:0]ビット位置には、000b を書いてください。

IFIS ビット（アイソクロナス IN バッファフラッシュ）

IFIS ビットは、PIPESEL.PIPESEL[3:0]ビットが指定したパイプがアイソクロナス IN 転送で使用される場合に、バッファフラッシュの有無を指定します。

デバイスコントローラモード時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV[2:0]ビットに設定したインターバルごとのフレーム中に USBHS が USB ホストから IN トークンを受信しなかった場合に、USBHS が自動的に FIFO バッファをクリアします。

ダブルバッファ設定時（PIPECFG.DBLB = 1）、USBHS は古い方の 1 面分データのみクリアします。

USBHS が FIFO バッファをクリアするタイミングは、USBHS が IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。SOF パケットが破損している場合でも、内部補完機能により SOF パケットを受信する予定のタイミングで、FIFO バッファがクリアされます。

ホストコントローラモードでは、IITV[2:0]ビットを 000b にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0]ビットを 000b にしてください。

37.2.38 PIPEnCTR : パイプ n コントロールレジスタ (n = 1～9)

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x070 + 0x2 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	INBUFM	CSCLR	CSSTS	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
Value after reset:	0	0	0	0	x	0	0	0	0	0	0	x	x	x	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
4:2	—	読み出し値は不定です。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジーフラグ 0: パイプ n はトランザクションで未使用 1: パイプ n はトランザクションで使用中	R
6	SQMON	シーケンストグルビットモニタフラグ 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注1) 0: 無効（0 の書き込みは無効です） 1: 次回トランザクションの期待値を DATA1 に設定 読むと 0 が読めます。	R/W
8	SQCLR	シーケンストグルビットクリア(注1) 0: 無効（0 の書き込みは無効です） 1: 次回トランザクションの期待値を DATA0 にクリア	W
9	ACLRM	自動バッファクリアモード(注2) 0: 禁止 1: 許可（全バッファ初期化）	R/W
10	ATREPM	自動応答モード(注1) (注3) 0: 自動応答モード禁止 1: 自動応答モード許可	R/W
11	—	読み出し値は不定です。書く場合、0 としてください。	R/W
12	CSSTS	CSSTS ステータスフラグ 0: START-SPLIT (SSPLIT) トランザクション、または SPLIT トランザクションを使用しないデバイスの処理実行中 1: COMPLETE-SPLIT (CSPLIT) トランザクション実行中	R
13	CSCLR	CSPLIT ステータスクリア 0: 無効（0 の書き込みは無効です） 1: CSSTS を 0 にクリアする	W
14	INBUFM	送信バッファモニタフラグ(注3) 0: FIFO バッファに送信可能データなし 1: FIFO バッファに送信可能データあり	R
15	BSTS	バッファステータスフラグ 0: バッファアクセス不可 1: バッファアクセス可能	R

注. S-TYPE-3, P-TYPE-3

注 1. ATREPM、SQCLR、および SQSET の各ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する前に PIPEnCTR.CSSTS フラグと PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

注 2. ACLRM ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときに限り行ってください。これらのビットを設定する前に PIPEnCTR.CSSTS フラグと PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

注 3. PIPE6CTR レジスタ～PIPE9CTR レジスタの ATREPM ビットおよび INBUFM フラグは予約です。読み出し値は不定です。書く場合、0 としてください。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは、選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0]ビットの初期値は NAK です。当該パイプで USB 転送を行う場合は、PID[1:0]ビットの設定を BUF に変更してください。PID[1:0]ビットの設定値に基づく USBFS の基本動作（通信パケットにエラーがない場合）を、表 37.10 と表 37.11 に示します。

選択パイプが USB 通信中であるときに、ソフトウェアで PID[1:0]ビットの設定を BUF から NAK に変更する場合、NAK を書いた後、実際にそのパイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY ビットが 1 であることを確認してください。USBHS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBHS が PIPEnCTR.PID[1:0]の設定を変更します。

- 選択パイプが受信方向で、かつソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBHS は転送終了を認識したときに PID を NAK にする
- 選択パイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBHS は PID を STALL (11b) にする
- デバイスコントローラモード時に、USB バスリセットを検出した場合、USBHS は PID を NAK にする
- ホストコントローラモード時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBHS は PID を NAK にする
- ホストコントローラモード時に、STALL ハンドシェイクを受信した場合、USBHS は PID を STALL (11b) にする

応答の種類を指定するには、PID[1:0]ビットを以下のように設定してください。

- NAK (00b) 状態から STALL 状態にする場合には、10b を書く
- BUF (01b) 状態から STALL 状態にする場合には、11b を書く
- STALL (11b) 状態から NAK 状態にする場合には、一度 10b を書いてから 00b を書く
- STALL 状態から BUF 状態にする場合には、一度 00b (NAK) を書いてから 01b (BUF) を書く

表 37.10 ホストコントローラモードでの PIPEnCTR.PID[1:0]設定に基づいた USBHS の動作

PID[1:0]値	転送タイプ（TYPE[1:0]値）	転送方向（DIR 値）	USBHS の動作
00b (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない。
01b (BUF)	バルクまたはインタラプト	設定値に依存しない	DVSTCTR0.UACT ビットが 1 であり、かつ選択パイプに関連する FIFO バッファが送受信可能な状態にあるとき、トークンを発行する。 DVSTCTR0.UACT ビットが 0 であるか、または選択パイプに関連する FIFO バッファが送受信可能な状態にないとき、トークンを発行しない。
	アイソクロナス	設定値に依存しない	DVSTCTR0.UACT ビットが 1 のとき、選択パイプに関連する FIFO バッファの状態にかかわらず、トークンを発行する。 UACT が 0 のとき、トークンを発行しない。
10b (STALL) または 11b (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない。

表 37.11 デバイスコントローラモードでの PIPEnCTR.PID[1:0]設定に基づいた USBHS の動作

PID[1:0]値	転送タイプ (TYPE[1:0]値)	転送方向 (DIR 値)	USBHS の動作
00b (NAK)	バルクまたはインタラプト	設定値に依存しない	USB ホストからのトークンに対して NAK 応答を行う。
	アイソクロナス	受信方向 (DIR = 0)	USB ホストからのトークンに対して何も応答しない。
		送信方向 (DIR = 1)	USB ホストからのトークンに対し Zero-Length パケットを送信する。
01b (BUF)	バルク	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、選択パイプに関連する FIFO バッファが受信可能な状態であれば、データを受信し ACK 応答または NYET 応答を行う。受信可能な状態でなければ NAK 応答を行う。 USB ホストからの PING トークンに対し、選択パイプに関連する FIFO バッファが受信可能な状態であれば、ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う。
	インタラプト	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、選択パイプに関連する FIFO バッファが受信可能な状態であれば、データを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う。
	バルクまたはインタラプト	送信方向 (DIR = 1)	USB ホストからのトークンに対し、選択パイプに関連する FIFO バッファが送信可能な状態であればデータを送信する。送信可能な状態でなければ、NAK 応答を行う。
	アイソクロナス	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、選択パイプに関連する FIFO バッファが受信可能な状態であればデータを受信する。受信可能な状態でなければデータを破棄する。
		送信方向 (DIR = 1)	USB ホストからのトークンに対し、関連する FIFO バッファが送信可能な状態であればデータを送信する。 送信可能な状態でなければ Zero-Length パケットを送信する。
10b (STALL) または 11b (STALL)	バルクまたはインタラプト	設定値に依存しない	USB ホストからのトークンに対して STALL 応答を行う。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに対して何も応答しない。

PBUSY フラグ（パイプビジーフラグ）

PBUSY フラグは、選択パイプが現在トランザクションで使用中かどうかを示します。

USBHS は、選択パイプの USB トランザクションを開始したときに PBUSY ビットを 0 から 1 に変更します。1 つのトランザクションが終了したときに PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定の変更が可能かどうかを確認することができます。詳細は、「37.3.7.1. パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON フラグ（シーケンストグルビットモニタフラグ）

SQMON フラグは、選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。

選択パイプの転送タイプがアイソクロナス以外の場合、トランザクション正常完了時に USBHS は SQMON フラグをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBHS は SQMON フラグをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBHS は選択パイプにおける次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定します。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBHS は選択パイプにおける次のトランザクションのシーケンストグルビットの期待値を DATA0 にクリアします。

ホストコントローラモード時、バルク OUT 転送パイプの SQCLR ビットを 1 にすると、USBHS は選択パイプの次の転送を PING トークンから開始します。

ACLRM ビット（自動バッファクリアモード）

ACLRM ビットは、選択パイプの自動バッファクリアモードを許可または禁止します。選択パイプに割り当てられた FIFO バッファ内のデータを完全にクリアするには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 37.12 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされるデータと、この処理が必要となる状況を示します。

表 37.12　ACLRM = 1 のときに USBHS がクリアするデータ

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファ内の全データ（ダブルバッファモードでは 2 つの FIFO バッファ）	選択したパイプに割り当てられた FIFO バッファの全データをクリアする場合
2	選択パイプの転送タイプがアイソクロナス転送のときは、インターバルカウント値	インターバルカウント値をリセットする場合

ATREPM ビット（自動応答モード）

ATREPM ビットは、選択パイプの自動応答モードの許可または禁止します。

デバイスコントローラモードで、選択パイプの転送タイプがバルク転送のとき、本ビットを 1 にすることができます。本ビットを 1 にした場合、USBHS は USB ホストからのトークンに対し以下のように応答します。

- 選択パイプがバルク IN 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 1）に設定されている場合：
  - ATREPM ビットが 1 かつ PID = BUF の状態の場合、IN トークンに対して USBHS は Zero-Length パケットを送信します。
  - USBHS は、USB ホストから ACK を受信するごとに、シーケンストグルビット (DATA-PID) を更新（トグルを許可）します。1 トランザクションでは、IN トークン受信→Zero-Length パケット送信→ACK 受信がこの順序で発生します。USBHS は BRDY 割り込みや BEMP 割り込みを生成しません。
- 選択パイプがバルク OUT 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0）に設定されている場合：
  ATREPM ビットが 1 かつ PID = BUF の状態の場合、OUT トークンまたは PING トークンに対して USBHS は NAK 応答を行い、NRDY 割り込みを発生させます。

自動応答モードで USB 通信を行う場合、FIFO バッファが空の状態で ATREPM ビットを 1 にしてください。自動応答モードでの USB 通信中は、FIFO バッファに書き込みを行わないでください。選択パイプの転送タイプがアイソクロナス転送の場合は、常に本ビットを 0 にしてください。

ホストコントローラモードでは、ATREPM ビットを必ず 0 にしてください。

CSSTS フラグ（CSSTS ステータスフラグ）

ホストコントローラモード時、CSSTS フラグは SPLIT トランザクションの Complete-split ステートを示します。CSSTS フラグは、転送タイプがアイソクロナス以外のパイプに対して有効です。

USBHS は、COMPLETE-SPLIT トランザクションの開始時に CSSTS フラグを 1 にし、COMPLETE-SPLIT トランザクションの完了を検出すると CSSTS フラグを 0 にします。トランザクション中にデタッチイベントが検出されると、CSSTS フラグが 1 のままになることがあります。この場合、CSCLR ビットを 1 にして CSSTS フラグをクリアしてください。

デバイスコントローラモードで CSSTS フラグから読み出した値は無効です。

CSCLR ビット（CSPLIT ステータスクリア）

ホストコントローラモード時、ソフトウェアで CSCLR ビットを 1 にすると、USBHS は CSSTS フラグを 0 にします。SPLIT トランザクションでは、次の転送を START-SPLIT から強制的に再開する場合、ソフトウェアで CSCLR ビットを 1 にします。正常な SPLIT トランザクションでは、COMPLETE-SPLIT トランザクションが正常に終了した時点で USBHS が CSSTS フラグを自動的に 0 にクリアするため、ソフトウェアによるフラグのクリアは必要ありません。DVSTCTR0.UACT ビットが 0 のとき、またはデタッチ検出後に転送が発生しないことが確認されたときにのみ、CSCLR ビットを使用して CSSTS フラグをクリアします。CSSTS フラグが 0 のときに CSCLR ビットを 1 にしても、CSSTS フラグは 0 のままです。

デバイスコントローラモードでは、CSCLR ビットを必ず 0 にしてください。

INBUFM フラグ（送信バッファモニタフラグ）

選択パイプが送信方向の場合に、選択パイプの FIFO バッファステータスを示します。

選択したパイプを送信方向 (PIPECFG.DIR = 1) に設定している場合、CPU または DMAC/DTC が少なくとも 1 面分の FIFO バッファにデータの書き込みを完了したときに、USBHS は本ビットを 1 にします。

すべてのデータの書き込みが完了している面の FIFO バッファ上のデータを USBHS が送信完了したときに、USBHS は本ビットを 0 にします。ダブルバッファモード時 (PIPECFG.DBLB = 1) には、CPU または DMAC/DTC が FIFO バッファの 1 面分のデータ書き込みを完了する前に、USBHS が FIFO バッファの 2 面分のデータを送信完了したときに、USBHS は INBUFM フラグを 0 にします。

選択したパイプを受信方向 (PIPECFG.DIR = 0) に設定している場合には、INBUFM フラグは BSTS フラグと同じ値を示します。

BSTS フラグ（バッファステータスフラグ）

BSTS フラグは、選択したパイプの FIFO バッファステータスを示します。BSTS フラグの意味は、PIPECFG.DIR、PIPECFG.BFRE、および DnFIFOSEL.DCLRM の設定値により表 37.13 に示すように異なります。

表 37.13 BSTS フラグの動作

DIR 値	BFRE 値	DCLRM 値	BSTS フラグの意味
0	0	0	FIFO バッファからの受信データの読み出しが可能な場合は 1 になり、データ読み出し完了時には 0 にクリアされます。
		1	設定禁止
	1	0	FIFO バッファからの受信データの読み出しが可能な場合は 1 になり、データ読み出し完了後にソフトウェアがポートコントロールレジスタの BCLR ビットを 1 にすると、0 にクリアされます。
		1	FIFO バッファからの受信データの読み出しが可能な場合は 1 になり、データ読み出し完了時には 0 にクリアされます。
1	0	0	FIFO バッファへの送信データ書き込みが可能な場合は 1 になり、データ書き込み完了時には 0 にクリアされます。
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

37.2.39 PIPEnTRE : パイプ n トランザクションカウンタ許可レジスタ (n = 1～5)

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x090 + 0x4 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
Value after reset:	x	x	x	x	x	x	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
8	TRCLR	トランザクションカウンタクリア 0: 無効（0 の書き込みは無効です） 1: 現在のカウンタ値をクリア	R/W
9	TRENB	トランザクションカウンタ有効 0: トランザクションカウンタ禁止 1: トランザクションカウンタ許可	R/W
15:10	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. PIPEnTRE レジスタの設定変更は、PIPEnCTR.CSSTS フラグが 0 かつ PIPEnCTR.PID[1:0]ビットが 00b（NAK 応答）のときにのみ実施してください。選択パイプの PIPEnCTR.PID[1:0]ビットを 01b（BUF 応答）から 00b（NAK 応答）に変更する場合、必ず PIPEnCTR.PBUSY フラグおよび PIPEnCTR.CSSTS フラグの値が 0 であることを確認してから変更してください。ただし、USBHS が PID[1:0]ビットを 00b（NAK 応答）に変更している場合、PIPEnCTR.PBUSY フラグを確認するためのソフトウェア処理は必要ありません。

TRCLR ビット（トランザクションカウンタクリア）

TRCLR ビットを 1 にすると、USBHS は選択したパイプに関連するトランザクションカウンタのカウント値をクリアして、TRCLR ビットを 0 にクリアします。

TRENB ビット（トランザクションカウンタ有効）

TRENB ビットは、トランザクションカウンタを有効または無効にします。

受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0]ビットに総受信パケット数を設定した後、TRENB ビットを 1 にすると、USBHS は TRNCNT[15:0]ビットの設定値と同数のパケットを受信し終えた時点で、以下のようにハードウェアを制御します。

- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0]ビットの設定値と同数のパケット受信を終了した時点で USBHS は関連するパイプの PIPEnCTR.PID[1:0]ビットを NAK に変更
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0]設定値と同数のパケットを受信し、その最後の受信データを読み出し終えたときに、USBHS は BRDY 割り込みをアサート

送信パイプに対しては、TRENB ビットを 0 にしてください。

トランザクションカウンタを使用しない場合は、本ビットを 0 にしてください。トランザクションカウンタを使用する場合は、TRNCNT[15:0]ビットを設定してから、本ビットを 1 にしてください。トランザクションカウンタのカウント対象となる最初のパケットを受信する前に、本ビットを 1 にしてください。

37.2.40 PIPEnTRN : パイプ n トランザクションカウンタレジスタ (n = 1～5)

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x092 + 0x4 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRNCNT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TRNCNT[15:0]	トランザクションカウンタ(注1) ● レジスタ書き込み時 パイプ n が受信すべき総パケット数（トランザクション回数）を設定します。 ● レジスタ読み出し時 PIPEnTRE.TRENB ビットが 0 の場合、指定したトランザクション回数を示します。 PIPEnTRE.TRENB が 1 の場合、現在のトランザクション回数を示します。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. TRNCNT[15:0]ビットの設定は、PID = NAK の状態および PIPEnTRE.TRENB が 0 の場合にのみ実施してください。TRNCNT[15:0]ビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) に変更します。USBHS が PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

PIPEnTRN レジスタは、USB バスリセット時もその設定値を保持します。

TRNCNT[15:0]ビット（トランザクションカウンタ）

USBHS は、パケット受信時の状態が以下をすべて満たしたときに TRNCNT[15:0]ビットの値を 1 インクリメントします。

- PIPEnTRE.TRENB ビットが 1 である
- パケット受信時に「TRNCNT[15:0]設定値 ≠ 現在のカウンタ値＋ 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0]ビットの設定値と一致した

USBHS は、以下のいずれかの条件を満たした場合、TRNCNT[15:0]ビットの値を 0 にします。

以下の条件がすべて満たされたとき：

- PIPEnTRE.TRENB ビットが 1 である
- パケット受信時に「TRNCNT[15:0]設定値 = 現在のカウンタ値＋ 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0]ビットの設定値と一致した

以下の条件が両方満たされたとき：

- PIPEnTRE.TRENB ビットが 1 である
- USBHS がショートパケットを受信した

以下の条件が両方満たされたとき：

- PIPEnTRE.TRENB ビットが 1 である
- PIPEnTRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプに対しては、TRNCNT[15:0]ビットを 0 にしてください。トランザクションカウンタを使用しない場合は、TRNCNT[15:0]ビットを 0 にしてください。

TRNCNT[15:0]ビットのトランザクション転送回数の設定は、PIPEnTRE.TRENB ビットが 0 のときのみ可能です。トランザクション転送回数を設定する場合には、PIPEnTRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 にして現在のカウンタ値をクリアしてください。

37.2.41 DEVADDn : デバイスアドレス n コンフィグレーションレジスタ (n = 0～9, A)

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x0D0 + 0x2 × n (n = 0～9)
0x0E4 (n = A)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	UPPHUB[3:0]				HUBPORT[2:0]			USBSPD[1:0]		—	—	—	—	—	—
Value after reset:	x	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x

ビット	シンボル	機能	R/W
5:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7:6	USBSPD[1:0]	通信対象デバイス転送速度 0 0: DEVADDn レジスタ未使用 0 1: ロースピード 1 0: フルスピード 1 1: ハイスピード	R/W
10:8	HUBPORT[2:0]	通信対象接続ハブポート 0 0 0: USBHS ポートに直接接続 その他: ハブのポート番号	R/W
14:11	UPPHUB[3:0]	通信対象接続ハブレジスタ 0x0: USBHS ポートに直接接続 その他: ハブの USB アドレス 0xB 以上の値は予約	R/W
15	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DEVADDn レジスタは、パイプ 0～9 に対して、通信対象である周辺デバイスの転送速度を指定するレジスタです。

ホストコントローラモード時、パイプとの通信を開始する前にすべての DEVADDn ビットを設定してください。DEVADDn のビットは、有効なパイプがビットの設定を使用していないときにのみ変更してください。有効なパイプとは、以下の両方の条件を満たしているパイプです。

- DEVSEL[3:0]ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプの PID[1:0]ビットが BUF に設定されているか、または選択パイプが DCP であり DCPCTR.SUREQ ビットが 1 になっている

デバイスコントローラモードでは、このレジスタの全ビットを 0 にしてください。

USBSPD[1:0]ビット（通信対象デバイス転送速度）

USBSPD[1:0]ビットは、対象の周辺デバイスの USB 転送速度を設定します。ホストコントローラモード時、USBHS は USBSPD[1:0]の設定に基づいてパケットを生成します。デバイスコントローラモードでは、これらのビットを 00b にしてください。

HUBPORT[2:0]ビット（通信対象接続ハブポート）

ホストコントローラモード時、SPLIT トランザクションの実施時に、USBHS は HUBPORT[2:0]の設定に基づいてパケットを生成します。

UPPHUB[3:0]ビット（通信対象接続ハブレジスタ）

ホストコントローラモード時、SPLIT トランザクションの実施時に、USBHS は UPPHUB[3:0]の設定に基づいてパケットを生成します。

37.2.42 LPCTRL：ローパワーコントロールレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x100

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	HWUPM	—	—	—	—	—	—	—
Value after reset:	x	x	x	x	x	x	x	0	0	x	x	x	x	x	x	0

ビット	シンボル	機能	R/W
6:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	HWUPM	レジューム復帰モード設定 0: CPU クロック非アクティブ状態でのハードウェア復帰をしない 1: CPU クロック非アクティブ状態でのハードウェア復帰をする	R/W
8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:9	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

HWUPM ビット（レジューム復帰モード設定）

HWUPM ビットは、ハードウェアによるローパワーモードからの復帰処理を、CPU クロックが非アクティブ状態でも可能とするかどうかを設定します。

デバイスコントローラモード時は、CPU クロックが非アクティブ状態でも、レジューム検出によるローパワーモードからの復帰処理が可能です。

本ビットは、CPU クロックが非アクティブ状態のときにレジュームを検出するかどうかを設定します。ハードウェアによる復帰をするかどうかは、PL1CTRL1.L1EXTMD ビットにより制御されます。CPU クロックが非アクティブ状態のときに LPM L1 ローパワー状態から復帰処理を行うには、本ビットおよび PL1CTRL1.L1EXTMD ビットを 1 にしてください。

37.2.43 LPSTS : ローパワーステータスレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x102

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	SUSPENDM	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	x	0	x	0	x	x	x	0	x	x	x	x	0	x	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	—	読み出し値は不定です。書く場合、0 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	—	読み出し値は不定です。書く場合、0 としてください。	R/W
8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:9	—	読み出し値は不定です。書く場合、0 としてください。	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	—	読み出し値は不定です。書く場合、0 としてください。	R/W
14	SUSPENDM	UTMI SuspendM 制御 0: UTMI サスペンドモード 1: UTMI 通常モード	R/W
15	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SUSPENDM ビット（UTMI SuspendM 制御）

SUSPENDM ビットは、UTMI 規格に準じて設計された PHY に送信する SuspendM 信号を制御するビットです。初期値は 0 で、UTMI はサスペンドモードです。

USB2.0 ホストまたはデバイスコントローラ動作のために PHY クロックを供給するには、本ビットを 1 にします。

UTMI 規格に準拠して、通常のクロック出力は SuspendM 信号により制御されています。SUSPENDM ビットが 0 のとき、LINK へのクロックは停止します。本 MCU の PHY は UTMI 規格に準じるため、PHY クロックを供給す

るには SUSPENDM ビットを 1 にする必要があります。クロック設定は、「37.3.3. クロック供給」を参照してください。

SUSPENDM ビットが 0 のとき、USBHS は書き込み不可ですが、読み出しは可能です。表 37.14 に示すレジスタは SUSPENDM ビットが 0 でも書き込み可能です。

表 37.14 SUSPENDM = 0 のときソフトウェアによる書き込みが可能なレジスタ

アドレス	レジスタまたはビット名
0x4006_0000	SYSCFG レジスタ
0x4006_0002	BUSWAIT レジスタ
0x4006_0032	INTENB1.PDDETINTE ビット
0x4006_0100	LPCTRL レジスタ
0x4006_0102	LPSTS レジスタ
0x4006_0140	BCCTRL レジスタ

PHY クロックが非アクティブ状態のときに SYSCFG レジスタに書き込んだ値は、PHY クロックが発振を開始した後に反映されます。PHY クロックは、以下の場合に発振します。

SUSPENDM ビットが 1 の場合、所定の時間が経過した後 PLLSTA.PLLLOCK フラグが 1 になります。
SUSPENDM ビットが 0 の場合、USB-PHY 内部 PLL は停止します。

CL-only モードについては、「37.2.17. PHYSET : PHY 設定レジスタ」を参照してください。

PL1CTRL1.L1EXTMD ビットが 0 の場合、ソフトウェアが本ビットの設定またはクリアを制御します。
PL1CTRL1.L1EXTMD ビットが 1 の場合、本ビットによる L1 ステートまたは L2 ステートへの遷移はソフトウェアが制御し、L1 ステートまたは L2 ステートからの復帰はハードウェアが制御します。

37.2.44 BCCTRL : Battery Charging コントロールレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PDDETSTS	CHGDETSTS	—	—	DCPMODE	VDMSRCE	IDPSINKE	VDPSRCE	IDMSINKE	IDPSRCE
Value after reset:	x	x	x	x	x	x	0	0	x	x	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IDPSRCE	IDPSRC 制御(注2) 0: IDP_SRC 回路を無効にする 1 : IDP_SRC 回路を有効にする	R/W
1	IDMSINKE	IDMSINK 制御(注2) 0: IDM_SINK 回路を無効にする 1: IDM_SINK 回路を有効にする	R/W(注1)
2	VDPSRCE	VDPSRC 制御(注2) 0: VDP_SRC 回路を無効にする 1: VDP_SRC 回路を有効にする	R/W
3	IDPSINKE	IDPSINK 制御(注2) 0: IDP_SINK 回路を無効にする 1: IDP_SINK 回路を有効にする	R/W
4	VDMSRCE	VDMSRC 制御(注2) 0: VDM_SRC 回路を無効にする 1: VDM_SRC 回路を有効にする	R/W
5	DCPMODE	DCP モード制御 0: RDCP_DAT 抵抗を無効にする 1: RDCP_DAT 抵抗を有効にする	R/W

ビット	シンボル	機能	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CHGDETSTS	CHGDET ステータスフラグ 0: CHGDET 端子が Low 1: CHGDET 端子が High	R
9	PDDETSTS	PDDET ステータスフラグ 0: PDDET 端子が Low 1: PDDET 端子が High	R
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. BCCTRL レジスタのすべてのビットは、UTMI クロックが非アクティブ状態でも変更できます。
注 2. デバイスコントローラモード時、SYSCFG.DRPD ビットを 0 にした後で、IDPSRCE ビット、IDMSINKE ビット、VDPSRCE ビット、IDPSINKE ビット、および VDMSRCE ビットを 1 にしてください。

IDPSRCE ビット（IDPSRC 制御）

デバイスコントローラモード時に Data Contact Detection を実行する場合、IDPSRCE ビットを 1 にしてください。

Battery Charging 標準規格では、Data Contact Detection の処理方法として、ソフトウェアによる方法とハードウェアを使ってデータラインのコンタクトを検知する方法の 2 通りの方法が規定されています。IDPSRE ビットではハードウェアの方式を使用しています。

IDPSRE ビットを 1 にすると、USBHS は IDP_SRC 回路を有効にし、同時に D-のプルダウン制御も行います。

（D-プルダウンは、VUH_DMPULLDOWN 信号で制御されます。）

IDMSINKE ビット（IDMSINK 制御）

デバイスコントローラモード時に IDMSINKE ビットを 1 にすると、Primary Detection を実行します。

VDPSRCE ビット（VDPSRC 制御）

デバイスコントローラモード時に VDPSRCE ビットを 1 にすると、Primary Detection を実行します。

IDPSINKE ビット（IDPSINK 制御）

デバイスコントローラモード時に IDPSINKE ビットを 1 にすると、Secondary Detection を実行します。ホストコントローラモード時に本ビットを 1 にすると、Portable Device 検出回路を有効にします。

VDMSRCE ビット（VDMSRC 制御）

デバイスコントローラモード時に VDMSRCE ビットを 1 にすると、Secondary Detection を実行します。
VDMSRCE ビットを 1 にすると、DCP 検出回路が有効になります。ホストコントローラモード時、Portable Device を検出したら、VDMSRCE ビットは 1 にしてください。VDMSRCE ビットを 1 にすると、Primary Detection を実行するデバイスは Charger 検出方法を決定できます。

DCPMODE ビット（DCP モード制御）

DCP（専用チャージポート）として動作するには、DCPMODE ビットを 1 にします。DCPMODE ビットを 1 にすると、USB 通信ができなくなります。

CHGDETSTS フラグ（CHGDET ステータスフラグ）

CHGDETSTS フラグは、Charger ポート検出ステートを示します。

PDDETSTS フラグ（PDDET ステータスフラグ）

PDDETSTS フラグは、コントローラモードに基づき以下のステートを示します。

- ホストコントローラモード時：PD 検出ステート
- デバイスコントローラモード時：DCP 検出ステート

37.2.45 PL1CTRL1 : ファンクション L1 コントロールレジスタ 1

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x144

Bit position:	15	14	13	11	7	3	2	0
Bit field:	—	L1EXTMD	—	HIRDTHR[3:0]	DVSQ[3:0]	L1NEGOMD	L1RESPMD[1:0]	L1RESPEN
Value after reset:	x	0	x	x	0 0 0 0	0 0 0 0	0	0 0	0

ビット	シンボル	機能	R/W
0	L1RESPEN	L1 応答許可 0: LPM をサポートしない 1: LPM をサポートする	R/W
2:1	L1RESPMD[1:0]	L1 応答モード 0 0: NYET 応答 0 1: ACK 応答 1 0: STALL 応答 1 1: L1NEGOMD 設定に基づいて応答	R/W
3	L1NEGOMD	L1 応答ネゴシエーション制御 L1RESPMD[1:0]の値が 11b の場合に限り有効なビットです。 0: 受信した HIRD が HIRDTHR[3:0]より大きい場合に ACK 応答、それ以外の場合（HIRD = HIRDTHR[3:0]の場合を含む）、NYET 応答 1: 受信した HIRD が HIRDTHR[3:0]より小さい場合に ACK 応答、それ以外の場合（HIRD = HIRDTHR[3:0]の場合を含む）、NYET 応答	R/W
7:4	DVSQ[3:0]	DVSQ 拡張フラグ 0 0 0 0: Powered ステート 0 0 0 1: Default ステート 0 0 1 0: Address ステート 0 0 1 1: Configured ステート 0 1 x x: Suspend ステート 1 0 x x: L1 ステート	R
11:8	HIRDTHR[3:0]	L1 応答ネゴシエーション用しきい値 L1RESPMD[1:0]ビットが 11b のときに使用される HIRD しきい値。フォーマットは、HL1CTRL レジスタの HIRD フィールドと同様です。	R/W
13:12	—	読み出し値は不定です。書く場合、0 としてください。	R/W
14	L1EXTMD	L1 復帰時 PHY 制御モード 0: Host K 受信時、ハードウェアは LPSTS.SUSPENDM ビットを設定しない 1: Host K 受信時、ハードウェアは LPSTS.SUSPENDM ビットを設定する	R/W
15	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

L1RESPEN ビット（L1 応答許可）

L1RESPEN ビットが 0 のとき USBHS が LPM トークンを受信すると、応答を返しません。本ビットが 1 のときに USBHS が LPM トークンを受信した場合、USBHS は L1RESPMD[1:0]の設定に基づいて応答を返します。

L1RESPMD[1:0]ビット（L1 応答モード）

L1RESPEN ビットが 1 のとき、USBHS は L1RESPMD[1:0]ビットの設定に基づいて、LPM トークンに対する応答を行います。

L1NEGOMD ビット（L1 応答ネゴシエーション制御）

L1NEGOMD ビットは、HIRD 値のネゴシエーション機能を指定します。

HIRDTHR[3:0]ビット（L1 応答ネゴシエーション用しきい値）

HIRDTHR[3:0]ビットは、L1NEGOMD で使用される HIRD しきい値を指定します。設定値のフォーマットは、HL1CTRL レジスタの HIRD フィールドと同様です。

L1EXTMD ビット（L1 復帰時 PHY 制御モード）

L1EXTMD ビットは、LPSTS.SUSPENDM ビットが 0 で PHY が非アクティブ状態のときに、L1 ステートで Host K 信号を受信した場合の LPSTS.SUSPENDM ビット制御方法を示します。

サスペンドの制限事項と同様に、最低 Host K 期間は 50 µs のため、復帰に関してソフトウェアで指定された Host K 期間内に PHY が復帰しないことがあります。初期値はソフトウェアが制御するため、L1 ステートに対応している場合は、初期化処理中に L1EXTMD ビットを 1 にしてください。

本ビットの設定にかかわらず、L1 ステートへの遷移時に LPSTS.SUSPENDM ビットはソフトウェアが制御します。ハードウェアではクリアされません。

L1EXTMD ビットが 1 のとき、L2 ステートからの復帰時に LPSTS.SUSPENDM ビットも 1 になります。

37.2.46 PL1CTRL2 : ファンクション L1 コントロールレジスタ 2

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x146

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RWEMON	HIRDMON[3:0]				—	—	—	—	—	—	—	—
Value after reset:	x	x	x	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
11:8	HIRDMON[3:0]	HIRD 値モニタ 設定した場合、HIRD フィールドの値が、最後に受信した LPM トークンを反映していることを示します。	R
12	RWEMON	RWE 値モニタ 設定した場合、RWE ビットの値が、最後に受信した LPM トークンを反映していることを示します。	R
15:13	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

HIRDMON[3:0]ビット（HIRD 値モニタ）

受信した LPM トークンの HIRD フィールド値をモニタする場合に、HIRDMON[3:0]ビットにアクセスします。最後に受信した LPM トークンの HIRD フィールドの値が反映されるビットです。

RWEMON ビット（RWE 値モニタ）

受信した LPM トークンの RWE フィールド値をモニタする場合に、RWEMON ビットにアクセスします。最後に受信した LPM トークンの RWE フィールドの値が反映されるビットです。

37.2.47 HL1CTRL1 : ホスト L1 コントロールレジスタ 1

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x148

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	L1STATUS[1:0]		L1REQ
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

ビット	シンボル	機能	R/W
0	L1REQ	L1 遷移リクエスト L1 ステートへの遷移を要求する場合に 1 にしてください。本ビットは、LPM トランザクション完了時にハードウェアが 0 にします。	R/W

ビット	シンボル	機能	R/W
2:1	L1STATUS[1:0]	L1 リクエスト完了ステータス L1REQ ビットによる LPM トランザクションの結果を示します。 0 0: ACK 受信 0 1: NYET 受信 1 0: STALL 受信 1 1: トランザクションエラー	R
15:3	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

L1REQ ビット（L1 遷移リクエスト）

L1 ステートへ遷移させる場合に L1REQ ビットを 1 にしてください。USBHS が本ビットが 1 であることを検出すると、LPM トランザクションを開始します。トランザクションが完了すると、USBHS はハードウェアで本ビットをクリアします。

L1STATUS[1:0]ビット（L1 リクエスト完了ステータス）

L1STATUS[1:0]ビットは、L1REQ ビットによる LPM トランザクションの結果を示します。

37.2.48 HL1CTRL2 : ホスト L1 コントロールレジスタ 2

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x14A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BESL	—	—	L1RWE	HIRD[3:0]				—	—	—	—	L1ADDR[3:0]			
Value after reset:	0	x	x	0	0	0	0	0	x	x	x	x	0	0	0	0

ビット	シンボル	機能	R/W
3:0	L1ADDR[3:0]	LPM トークン用デバイスアドレス LPM トークンの ADDR フィールドに設定する値を指定します。	R/W
7:4	—	読み出し値は不定です。書く場合、0 としてください。	R/W
11:8	HIRD[3:0]	LPM トークン用 HIRD LPM トークンの HIRD フィールドに設定する値を指定します。	R/W
12	L1RWE	LPM トークン用 L1 リモートウェイクアップ許可 LPM トークンの RWE フィールドに設定する値を指定します。	R/W
14:13	—	読み出し値は不定です。書く場合、0 としてください。	R/W
15	BESL	BESL & Alternate HIRD L1 レジューム時の K-State ドライブ期間を選択します。	R/W

注. S-TYPE-3, P-TYPE-3

L1ADDR[3:0]ビット（LPM トークン用デバイスアドレス）

L1ADDR[3:0]ビットは、HL1CTRL1.L1REQ ビットが 1 のとき、USBHS が送信する LPM トークンの ADDR フィールドに設定する値を指定します。

HIRD[3:0]ビット（LPM トークン用 HIRD）

HIRD[3:0]ビットは、HL1CTRL1.L1REQ ビットが 1 のとき、USBHS が送信する LPM トークンの HIRD フィールドに設定する値を指定します。HIRD 設定と HIRD フィールド値の関係を表 37.15 に示します。

表 37.15 HIRD ビット設定と HIRD フィールド値の関係 (1/2)

HIRD[3:0]設定	BESL = 0 のとき	BESL = 1 のとき
0x0	50 µs（設定禁止）	75 µs
0x1	125 µs	100 µs

表 37.15 HIRD ビット設定と HIRD フィールド値の関係 (2/2)

HIRD[3:0]設定	BESL = 0 のとき	BESL = 1 のとき
0x2	200 µs	150 µs
0x3	275 µs	250 µs
0x4	350 µs	350 µs
0x5	425 µs	450 µs
0x6	500 µs	950 µs
0x7	575 µs	1950 µs
0x8	650 µs	2950 µs
0x9	725 µs	3950 µs
0xA	800 µs	4950 µs
0xB	875 µs	5950 µs
0xC	950 µs	6950 µs
0xD	1025 µs（設定禁止）	7950 µs
0xE	1100 µs（設定禁止）	8950 µs
0xF	1175 µs（設定禁止）	9950 µs

注. HIRD ビットの設定値は、ホスト復帰時の Host K ドライブ期間、およびリモートウェイクアップ時の Host K 期間に使用されます。

L1RWE ビット（LPM トークン用 L1 リモートウェイクアップ許可）

L1RWE ビットは、HL1CTRL1.L1REQ ビットが 1 のとき、USBHS が送信する LPM トークンの RWE フィールドに設定する値を指定します。

USBHS は、L1RWE ビットを使用して L1 ステート時のリモートウェイクアップ信号の検知を制御しません。リモートウェイクアップ信号は、サスペンドと同様、DVSTCTR0.RWUPE ビットで制御されます。

BESL ビット（BESL & Alternate HIRD）

BESL ビットは、L1 レジューム時の K-State ドライブ期間を選択します。詳細は、HIRD ビットの説明を参照してください。

37.2.49 DPUSR0R : ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x160

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DVBSTSHM	—	DOVCBHM	DOVCAHM	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	x	0	x	x	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
19:0	—	読むと 0 が読めます。書く場合、0 としてください。	R
20	DOVCAHM	OVRCURA 入力フラグ USBHS 側における、OVRCURA 入力信号を示します。	R

ビット	シンボル	機能	R/W
21	DOVCBHM	OVRCURB 入力フラグ USBHS 側における、OVRCURB 入力信号を示します。	R
22	—	読むと 0 が読めます。書く場合、0 としてください。	R
23	DVBSTSHM	VBUS 入力フラグ USBHS 側における、VBUS 入力信号を示します。	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3
注. 本レジスタは、ディープソフトウェアスタンバイモード 1 で電流消費を低減するために、PCLKA/64 クロックによりアクセスされます。

37.2.50 DPUSR1R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x164

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DVBSTSH	—	DOVCBH	DOVCAH	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	DVBSTSHE	—	DOVCBHE	DOVCAHE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DOVCAHE	OVRCURA 割り込み許可／クリア 0: ディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: ディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
5	DOVCBHE	OVRCURB 割り込み許可／クリア 0: ディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: ディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DVBSTSHE	VBUS 割り込み許可／クリア 0: ディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: ディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
19:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	DOVCAH	OVRCURA 割り込み要因復帰ステータスフラグ 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: ディープソフトウェアスタンバイモード 1 からの復帰あり	R
21	DOVCBH	OVRCURB 割り込み要因復帰ステータスフラグ 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: ディープソフトウェアスタンバイモード 1 からの復帰あり	R
22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	DVBSTSH	VBUS 割り込み要因復帰ステータスフラグ 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: ディープソフトウェアスタンバイモード 1 からの復帰あり	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. 本レジスタは、ディープソフトウェアスタンバイモード 1 で電流消費を低減するために、PCLKA/64 クロックによりアクセスされます。

37.2.51 DPUSR2R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x168

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DPINTE	DMINTE	—	—	DMVAL	DPVAL	—	—	DPINT	DMINT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DMINT	DM 割り込み要因からの復帰表示 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: ディープソフトウェアスタンバイモード 1 からの復帰あり	R
1	DPINT	DP 割り込み要因からの復帰表示 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: ディープソフトウェアスタンバイモード 1 からの復帰あり	R
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DPVAL	DP 入力 USBHS 側における、DP 入力信号を示します。	R
5	DMVAL	DM 入力 USBHS 側における、DM 入力信号を示します。	R
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DMINTE	DM 割り込み許可／クリア 0: ディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: ディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
9	DPINTE	DP 割り込み許可／クリア 0: ディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: ディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. 本レジスタは、ディープソフトウェアスタンバイモード 1 で電流消費を低減するために、PCLKA/64 クロックによりアクセスされます。

37.2.52 DPUSRCR : ディープソフトウェアスタンバイ USB サスペンド／レジュームコマンドレジスタ

Base address: USBHS = 0x4035_1000
USBHS_NS = 0x5035_1000

Offset address: 0x16A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FIXPHYPD	FIXPHY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FIXPHY	USB トランシーバ制御固定 0: 通常モード 1: ディープソフトウェアスタンバイモード 1 からの起動／復帰	R/W
1	FIXPHYPD	PLL の USB トランシーバ制御固定 0: 通常モード 1: ディープソフトウェアスタンバイモード 1 からの起動／復帰	R/W

ビット	シンボル	機能	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. 本レジスタは、ディープソフトウェアスタンバイモード 1 で電流消費を低減するために、PCLKA/64 クロックによりアクセスされます。

37.3 動作説明

37.3.1 システム制御

USBHS の初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

37.3.1.1 USBHS レジスタのデータ設定

PHY クロックの供給を開始した後に SYSCFG.USBE ビットを 1 にすると、USBHS の動作が許可され、開始されます。PHY クロックの供給方法については、「37.3.3. クロック供給」を参照してください。

37.3.1.2 コントローラ機能の選択

USBHS は、ホストコントローラまたはデバイスコントローラとして動作できます。

どちらの USBHS 機能にするかは、SYSCFG.DCFM ビットで選択できます。DCFM ビットの変更は、リセット直後の初期設定時、または D+プルアップ禁止状態 (SYSCFG.DPRPU = 0) かつ D+/D-プルダウン禁止状態 (SYSCFG.DRPD = 0) のときに行ってください。

37.3.2 抵抗による USB データバス制御

USBHS は、D+/D–ライン用のプルアップ抵抗とプルダウン抵抗を内蔵しています。SYSCFG.DPRPU ビットと SYSCFG.DRPD ビットを設定して、これらのラインをプルアップまたはプルダウンしてください。

デバイスコントローラモードでは、USB ホストへの接続を確認した後、SYSCFG.DPRPU ビットを 1 にして、D+ライン（フルスピード通信時）をプルアップしてください。

PC と通信中に SYSCFG.DPRPU ビットに 0 を設定した場合は、USBHS は USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイス切断を通知することができます。

USB データバスの抵抗を制御するための設定を表 37.16 に示します。DRPD および DPRPU ビット設定により、システムの USB データバスを適切に制御してください。

表 37.16 USB データバス抵抗の制御設定（OTG 動作を除く）

SYSCFG レジスタ設定		USB データバス制御		
DRPD ビット	DPRPU ビット	D-ライン	D+ライン	機能
0	0	オープン	オープン	抵抗未使用時
0	1	オープン	プルアップ	デバイスコントローラとしてフルスピードで動作させる場合
1	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
1	1	—	—	OTG 動作時以外では設定禁止

37.3.3 クロック供給

USBHS に必要な 2 つの入力クロックを表 37.17 に示します。

表 37.17 入力クロック (1/2)

入力クロック名	機能
PCLKA	周辺モジュールクロック A 入力。 PCLKA クロック入力の周波数に対する制限はありません。

表 37.17 入力クロック (2/2)

入力クロック名	機能
PHY クロック	外部入力または内部供給により生成された PHY クロック。 ● 外部入力： MCU 外から EXTAL 端子に供給される 12 MHz、20 MHz、24 MHz、または 48 MHz クロックを基にして、USB-PHY 内部 PLL がクロックを生成します。 外部クロックの仕様（特にジッタ特性）は、±50 ppm の仕様を厳守してください。 ● 内部供給： 48 MHz と 60 MHz を USB-PHY モジュールに供給して、CL-only モード (PHYSET.HSEB) を選択することで、クロックを生成します。本モードは、ハイスピード動作には対応していません。

図 37.2 に、PHY クロック設定を示します。

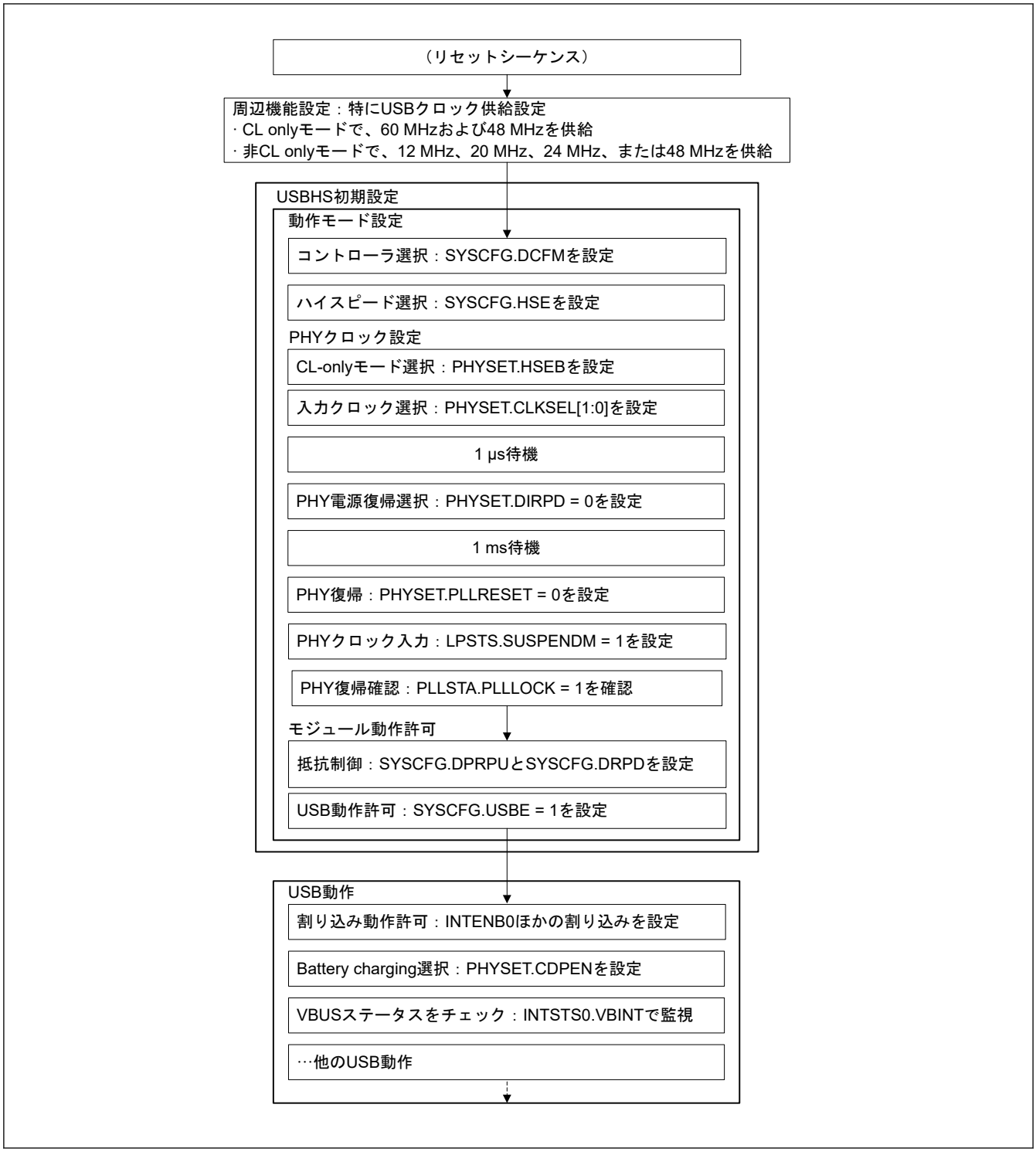


図 37.2　PHY クロック設定

37.3.4　クロック停止時の注意事項

PCLKA クロックおよび PHY クロックは、切断またはサスペンド中に停止できます。ただし、デバイスコントローラモード時、USB がサスペンド中にいずれかのクロックを停止するには、レジューム割り込みを使用して停止したクロックを再供給する必要があります。PHY クロックは、レジューム割り込み発生から 5.5 ms 以内に再供給を行う必要があります。

37.3.5 割り込み

表 37.18 に USBHS の割り込み要因一覧を示します。割り込み発生条件が成立し、関連する割り込み許可レジスタにて割り込み出力が許可されている場合は、USBHS は割り込みコントローラユニット (ICU) に対して USBHS 割り込み要求を発行し、USBHS 割り込みが発生します。

表 37.18 割り込み要因 (1/2)

1 にするフラグ	割り込み名	割り込み要因	対象となるコントローラ機能	ステータスフラグ
VBINT	VBUS 割り込み	● USB_VBUS 入力端子の状態変化を検出したとき（Low→High または High→Low）	ホストまたはファンクション(注1)	INTSTS0.VBSTS
RESM	レジューム割り込み	● Suspended ステートにおいて USB バスの状態変化を検出したとき（J-State→K-State または J-State→SE0）	ファンクション	—
SOFR	フレーム番号更新割り込み	ホストコントローラモード時： ● フレーム番号の異なる SOF パケットを送信したとき デバイスコントローラモード時： ● SOFRM が 0 のとき：フレーム番号の異なる SOF パケットを受信したとき ● SOFRM が 1 のとき：パケット破損により、μ フレーム番号 0 で SOF パケットを受信できなかったとき	ホストまたはファンクション	—
DVST	デバイスステート遷移割り込み	● 以下のいずれかの理由によりデバイスステート遷移を検出したとき： – USB バスリセットの検出 – Suspend ステートの検出 – SET_ADDRESS リクエストの受信 – SET_CONFIGURATION リクエストの受信	ファンクション	PL1CTRL.DVSQ[3:0]
CTRT	コントロール転送ステージ遷移割り込み	● 以下のいずれかによってコントロール転送ステージ遷移を検出したとき – セットアップステージの完了 – コントロールライト転送ステータスステージ遷移の発生 – コントロールリード転送ステータスステージ遷移の発生 – コントロール転送の完了 – コントロール転送シーケンスエラー発生	ファンクション	INTSTS0.CTSQ[2:0]
BEMP	バッファエンプティ割り込み	● FIFO バッファ中の全データを送信しバッファが空になったとき ● 最大パケットサイズを超えたパケットを受信したとき	ホストまたはファンクション	BEMPSTS.PIPEBEMP
NRDY	バッファノットレディ割り込み	ホストコントローラモード時： ● 発行したトークンに対して周辺デバイスから STALL 応答を受信したとき ● 発行したトークンに対して周辺デバイスから応答を正しく受信できなかったとき（無応答が 3 回連続、またはパケット受信エラーが 3 回連続で発生） ● アイソクロナス転送時にオーバーランエラーまたはアンダーランエラーが発生したとき デバイスコントローラモード時： ● PID[1:0]ビットが 01b (BUF) のときに、IN トークンまたは OUT トークンに対して NAK を応答したとき ● アイソクロナス転送でのデータ受信中に CRC エラーまたはビットスタッフィングエラーが発生したとき ● アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき	ホストまたはファンクション	NRDYSTS.PIPENRDY
BRDY	バッファレディ割り込み	● バッファがレディ（読み出しまたは書き込み可能状態）になったとき	ホストまたはファンクション	BRDYSTS.PIPEBRDY

表 37.18 割り込み要因 (2/2)

1 にするフラグ	割り込み名	割り込み要因	対象となるコントローラ機能	ステータスフラグ
OVRCR	オーバーカレント入力変化割り込み	• USBHS_OVRCURA、USBHS_OVRCURA-DS、USBHS_OVRCURB、または USBHS_OVRCURAB-DS 端子の状態変化を検出したとき（Low→High または High→Low）	ホストまたはファンクション	SYSSTS0.OVCMON [1:0]
BCHG	バス変化割り込み	• USB バスステートの変化を検出したとき	ホスト	—
DTCH	デバイス切断検出割り込み	• 周辺デバイス切断を検出したとき	ホスト	—
ATTCH	デバイス接続検出割り込み	• J-State または K-State を USB バスで 2.5 µs 連続して検出したとき この割り込みは、周辺デバイスの接続の確認に使用できます。	ホスト	—
EOFERR	EOF エラー検出割り込み	• 周辺デバイスの EOF エラーを検出したとき	ホスト	—
SACK	SETUP 正常割り込み	• SETUP トランザクションの正常応答 (ACK) を受信したとき	ホスト	—
SIGN	SETUP エラー割り込み	• SETUP トランザクションエラー（無応答または ACK パケット破損）を 3 回連続で検出したとき	ホスト	—
PDDETINT	PDDETSTS 変化検出割り込み	• PDDET 端子の変化を検出したとき	ホストまたはファンクション	BCCTRL.PDDETSTS
LPMEND	LPM トランザクション完了割り込み	• LPM トランザクションが完了したとき	ホスト	PL1CTRL.DVSQ[3:0]
L1RSMEND	L1 レジューム完了割り込み	• L1 ステートからのレジューム処理が完了したとき	ホスト	PL1CTRL.DVSQ[3:0]

注 1. この割り込みはホストコントローラモードでも発生しますが、通常はホストコントローラモードでは使用しません。

37.3.5.1 USBHS 割り込み検出方法の選択

表 37.19 は、USBHS からの USBHS 割り込み出力のための動作を示しています。2 つ以上の割り込み要因が発生した場合、SOFCFG.INTL ビットで USBHS 割り込み出力方法を設定できます。USBHS 割り込み出力動作は、ユーザシステムに基づいて設定してください。

表 37.19 USBHS 割り込み動作

USBHS 割り込み出力（INTL 設定）	1 つの割り込み要因が発生した場合	2 つ以上の割り込み要因が発生した場合
エッジ検出（SOFCFG.INTL ビットが 0）	要因がクリアされるまで Low 出力	1 つの要因がクリアされると、USBHS 割り込みは 48 MHz で 32 クロックの期間ネゲートされる（High レベルパルス出力）
レベル検出（SOFCFG.INTL ビットが 1）	要因がクリアされるまで Low 出力	すべての要因がクリアされるまで Low 出力

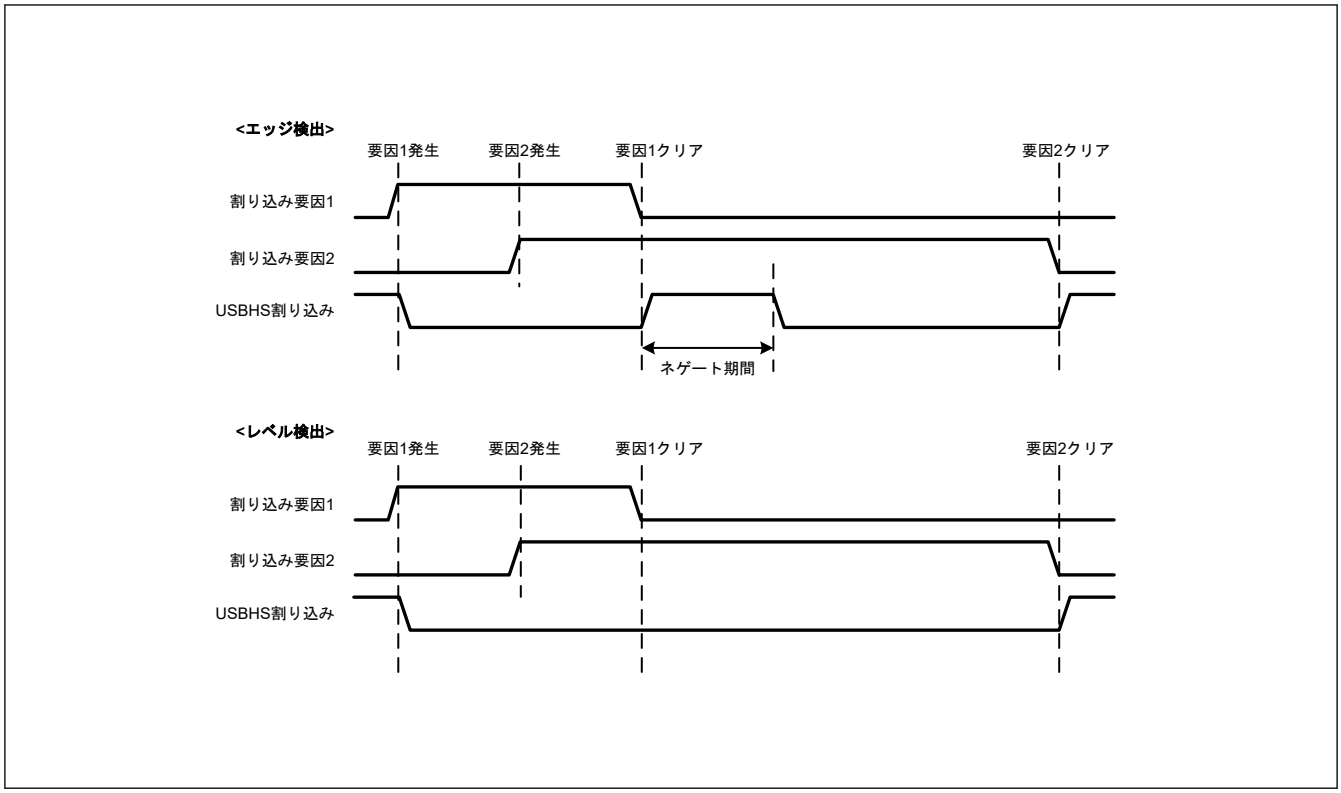


図 37.3　USBHS 割り込み動作

図 37.4 に、USBHS の割り込み関連図を示します。

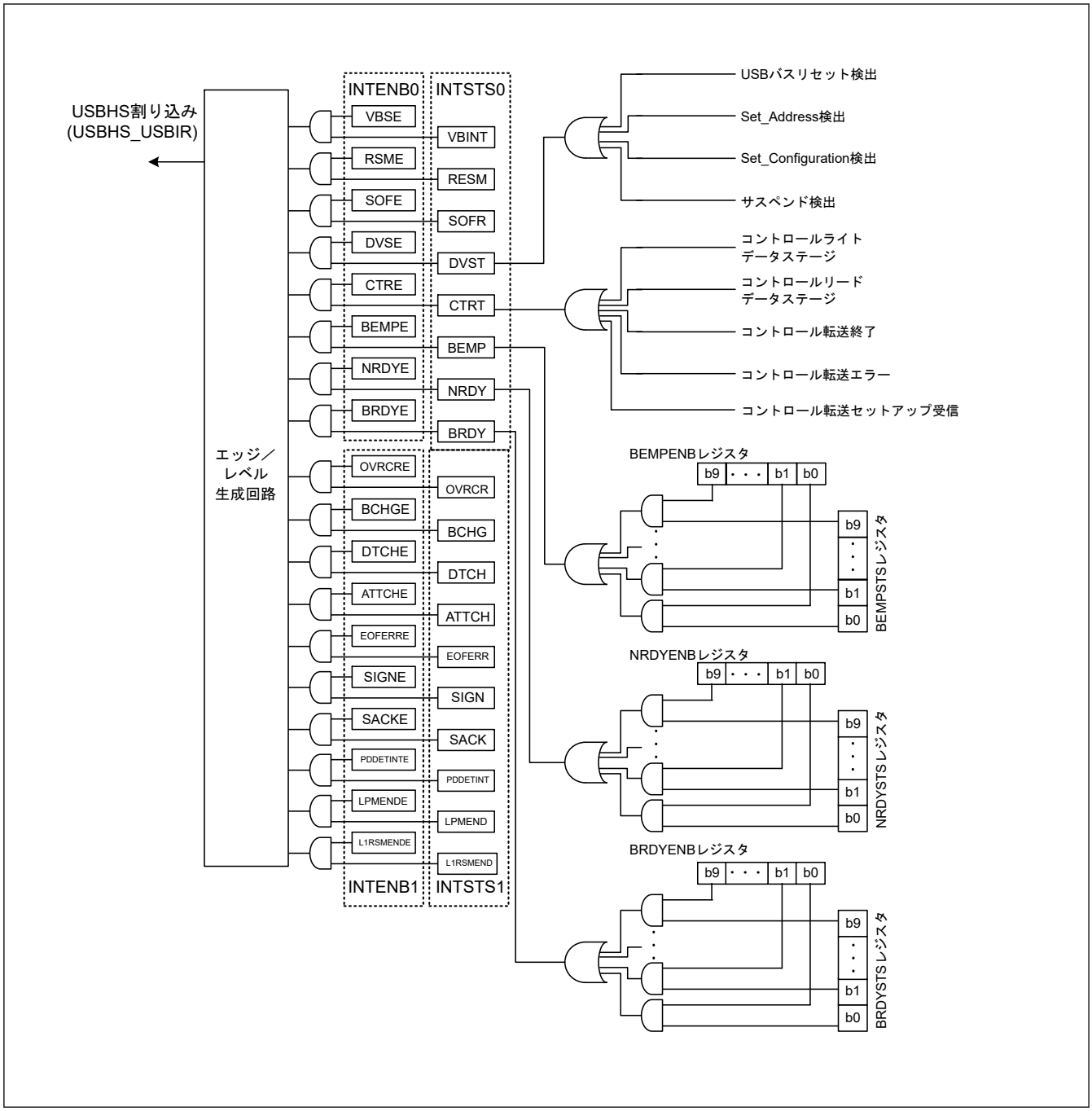


図 37.4　USBHS 割り込み関連回路

表 37.20 に USBHS の割り込み一覧を示します。

表 37.20　USBHS 割り込み

割り込み名	割り込みステータスフラグ	DTC の起動	DMAC 起動
USBHS_D0FIFO	DMA 転送要求 0	可能	可能
USBHS_D1FIFO	DMA 転送要求 1	可能	可能
USBHS_USBIR	VBUS 割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバーカレント割り込み、バス変化割り込み、デバイス切断検出割り込み、デバイス接続検出割り込み、EOF エラー検出割り込み、SETUP 正常割り込み、SETUP エラー割り込み、PDDETSTS 変化検出割り込み、LPM トランザクション完了割り込み、L1 レジューム完了割り込み	不可能	不可能

37.3.6 割り込みの説明

37.3.6.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラモードとデバイスコントローラモードの両方で発生します。本項では、USBHS が BRDYSTS レジスタの対応するビットを 1 にする条件について説明します。これらの条件下では、ソフトウェアで当該パイプに対応する BRDYENB レジスタのビットを 1 にして、さらに INTENB0.BRDYE ビットを 1 にしていると、USBHS は BRDY 割り込みを発生させます。

BRDY 割り込みの発生およびクリア条件は、以下のように、各パイプの SOFCFG.BRDYM ビットと PIPECFG.BFRE ビットの設定値によって異なります。

(1) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートがアクセス可能であることを示します。

USBHS は、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、パイプに対応する BRDYSTS.PIPEBRDY フラグを 1 にします。

送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- パイプに対して FIFO バッファへの CPU からの書き込みが不可能な状態（BSTS フラグの読み出し値が 0 のとき）で、USBHS がパケット送信を完了したとき。連続転送の場合、1 つの FIFO バッファからのデータ送信完了時に BRDY 割り込みが発生します
- ダブルバッファモードにおいて、一方の FIFO バッファへの書き込み完了時に、もう一方の FIFO バッファが空であったとき
- 一方の FIFO バッファへの送信が完了しても、現在書き込み中の FIFO バッファへの書き込みが完了するまで、要求トリガは発生しません。
- アイソクロナス転送のパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに 1 を書くことで、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては（すなわち、コントロール転送でのデータ送信においては）、要求トリガは発生しません。

受信パイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可能な状態（BSTS フラグの読み出し値が 0 のとき）で、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。DATA-PID 不一致のトランザクションに対し、要求トリガは発生しません。連続送受信モードでは、データが指定された最大パケットサイズでバッファに空きがある場合、要求トリガは発生しません。ショートパケットを受信した場合は、FIFO バッファに空きがあっても要求トリガが発生します。トランザクションカウンタを使用している場合は、指定数のパケットを受信したときに要求トリガが発生します。この場合、FIFO バッファに空きがあっても要求トリガは発生します。
- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能であったとき。FIFO バッファからの読み出し中にもう一方の FIFO バッファが受信を完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。デバイスコントローラモードでは、コントロール転送のステータスステージでは BRDY 割り込みは発生しません。ソフトウェアで、選択したパイプに対応する PIPEBRDY フラグに 0 を書くことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にすることができます。このとき、他のパイプに関連するビットには 1 を書いてください。BRDY ステータスのクリアは、FIFO バッファへのアクセスを行う前に行ってください。

(2) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 1 のとき

この設定の場合、受信パイプによって 1 転送分の全データがすべて読み出されたときに、USBHS は BRDY 割り込みを発生させ、当該パイプに対応する BRDYSTS レジスタのビットを 1 にします。

USBHS は、以下のいずれかのときに 1 転送における最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき

- PIPEnTRN レジスタを使用し、PIPEnTRN.TRNCNT[15:0]ビットに設定した数のパケットをすべて受信したとき

上記の任意の条件を満たした後、そのデータの読み出しが完了したときに、USBHS は 1 転送分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合は、FIFO ポートコントロールレジスタの FRDY フラグが 1、DTLN[11:0]フラグが 0 の状態になった時点で、USBHS は 1 転送分の全データ読み出し完了と判断します。この場合、次の転送を開始するには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで 1 を書き込んでください。この設定の場合には、USBHS は送信パイプに対する BRDY 割り込みを検出しません。

ソフトウェアで、パイプに対応する BRDYSTS.PIPEBRDY フラグに 0 を書くことにより、パイプの PIPEBRDY 割り込みステータスを 0 にすることができます。このとき、他のパイプに対応する PIPEBRDY ビットには 1 を書いてください。

このモードを使用するときには、1 転送分のすべてのデータの処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。途中で PIPECFG.BFRE ビットを変更する場合には、PIPEnCTR.ACLRM ビットによりパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM = 1 かつ PIPECFG.BFRE = 0 のとき

この設定の場合、BRDYSTS.PIPEBRDY フラグの値は各パイプの BSTS フラグの設定値に連動します。即ち、BRDY 割り込みステータスのビットは、FIFO バッファの状態に応じて USBHS が 1 または 0 にします。

送信パイプの場合

FIFO ポートにデータが書き込み可能であれば BRDY 割り込みステータスビットは 1 になり、書き込み不可能であれば 0 になります。送信方向の DCP が書き込み可能であっても、BRDY 割り込みは発生しません。

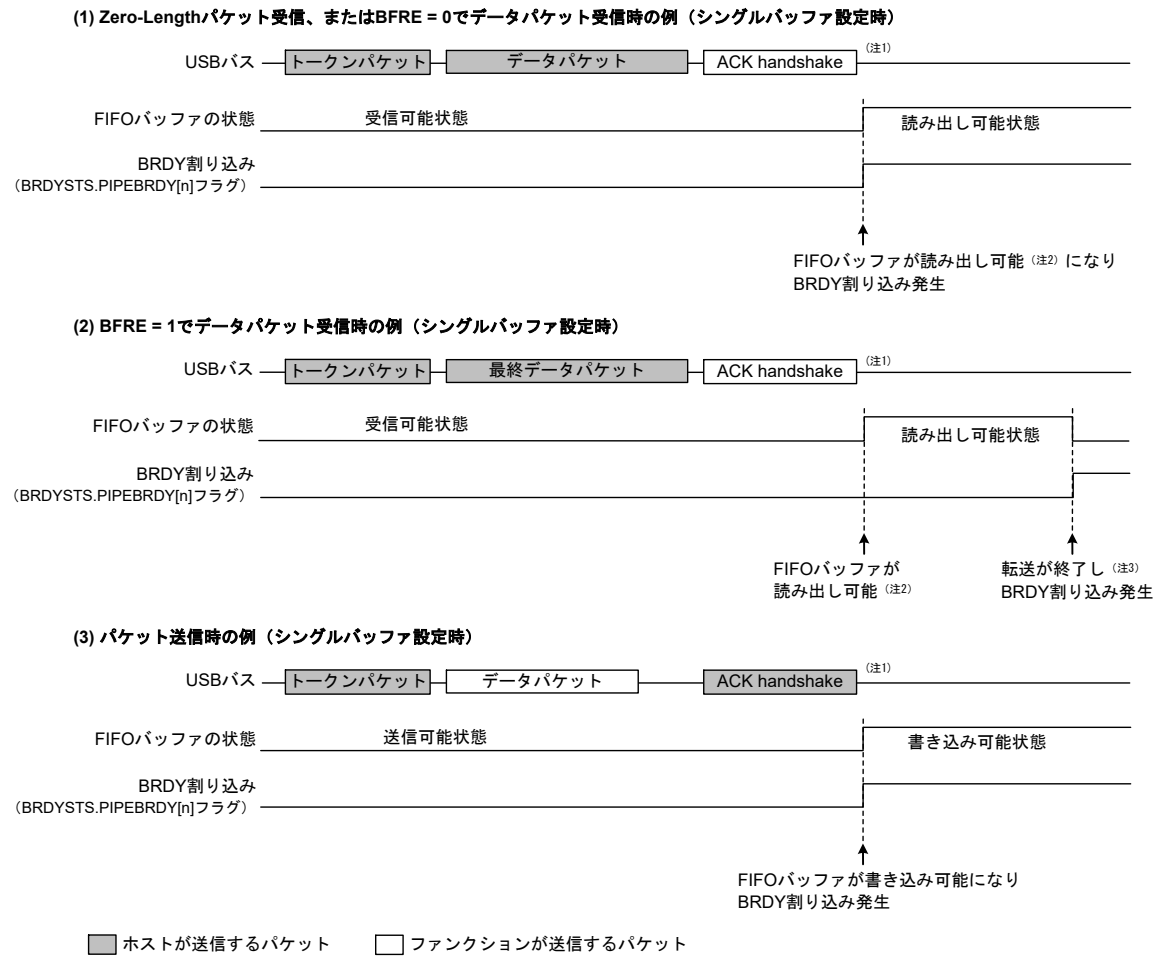
受信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファが読み出し可能な状態であれば 1 になり、全データが読み出されたとき（読み出し不可能な状態で）0 になります。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合、ソフトウェアで BCLR に 1 を書くまで、関連するビットには 1 が表示され BRDY 割り込みが発生し続けます。この設定時、ソフトウェアで PIPEBRDY フラグを 0 にすることはできません。

SOFCFG.BRDYM ビットが 1 のときは、PIPECFG.BFRE ビットはすべてのパイプに対して 0 に、レベル検出に対して SOFCFG.INTL ビットは 1 にしてください。

図 37.5 に、BRDY 割り込み発生タイミングを示します。



注 1. ACK ハンドシェイクはアイソクロナス転送では使用されません。
注 2. FIFO バッファは、以下の条件でリードアクセスが可能になります。
CPU の FIFO バッファに未読データがない状態でパケットを受信したとき
注 3. 次のいずれかの条件で転送は終了します。
1. ショートパケット（Zero-Length パケットを含む）を受信したとき
2. トランザクションカウンタに指定した数のパケットを受信したとき

図 37.5 BRDY 割り込み発生タイミング

INTSTS0.BRDY フラグのクリア条件は、表 37.21 に示すように SOFCFG.BRDYM ビットの設定値によって異なります。

表 37.21 BRDY フラグのクリア条件

BRDYM ビット	BRDY フラグのクリア条件
0	ソフトウェアで BRDYSTS レジスタの全ビットを 0 にすると、USBHS は BRDY フラグを 0 にします。
1	全パイプの BSTS フラグが 0 になったときに、USBHS は BRDY フラグを 0 にします。

37.3.6.2 NRDY 割り込み

ソフトウェアで PID[1:0]ビットを 01b（BUF 応答）にしたパイプに対して、内部 NRDY 割り込み要求を発生させた場合に、USBHS は関連する NRDYSTS.PIPENRDY フラグを 1 にします。ソフトウェアによって NRDYENB レジスタの関連するビットを 1 にしている場合、USBHS は INTSTS0.NRDY フラグを 1 にし、USBHS 割り込みを発生させます。

USBHS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ホストコントローラモードでは、SETUP トランザクションの実行中に、内部 NRDY 割り込み要求は発生しません。ホストコントローラモードでは、SETUP トランザクション中に、SACK または SIGN 割り込みを検出します。

デバイスコントローラモードでは、コントロール転送ステータスステージの実行中に、内部 NRDY 割り込み要求は発生しません。

(1) ホストコントローラモードでの接続時に SPLIT トランザクションが発生しないとき

送信パイプの場合

USBHS は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき。この場合、USBHS は OUT トークンに続けて Zero-Length パケットを送信し、関連する NRDYSTS.PIPENRDY フラグを 1 にし、FRMNUM.OVRN フラグも 1 にします。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき
  - 周辺デバイスから応答がないとき（周辺デバイスからのハンドシェイクパケットを検出する前に、タイムアウトが検出されたとき）
  - 周辺デバイスからのパケットにエラーが検出されたとき。この場合 USBHS は、関連する PIPENRDY フラグを 1 にし、関連するパイプの PID[1:0]設定を 00b（NAK 応答）に変更します。
- SETUP トランザクション以外の通信時で、周辺デバイスから STALL ハンドシェイクを受信したとき（OUT と PING の両方の STALL を含む）。この場合 USBHS は、関連する PIPENRDY フラグを 1 にし、関連するパイプの PID[1:0]設定を 11b（STALL 応答）に変更します。

受信パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、IN トークンの発行タイミングに達したが、FIFO バッファに空きがないとき。この場合 USBHS は、IN トークンに対する受信データを破棄し、関連する PIPENRDY フラグを 1 にし、OVRN フラグも 1 にします。さらに、IN トークンに対する受信データにパケットエラーを検出した場合、USBHS は FRMNUM.CRCE フラグも 1 にします。
- 転送タイプがアイソクロナス以外のパイプで、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき
  - USBHS が発行した INT トークンに対して周辺デバイスから応答がないとき（周辺デバイスからの DATA パケットが検出する前にタイムアウトが検出される）
  - 周辺デバイスからのパケットにエラーが検出されるとき。この場合 USBHS は、関連する PIPENRDY フラグを 1 にし、関連するパイプの PID[1:0]設定を 00b（NAK 応答）に変更します。
- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスから応答がない（周辺デバイスからの DATA パケットを検出する前にタイムアウトが検出されるとき）、または周辺デバイスからのパケットにエラーを検出したとき。この場合 USBHS は、各パイプに対応する NRDYSTS.PIPENRDY フラグを 1 にします。当該パイプの PID[1:0]ビットの設定変更は行いません。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーを検出したとき。この場合 USBHS は、各パイプに対応する NRDYSTS.PIPENRDY フラグを 1 にし、CRCE フラグを 1 にします。
- STALL ハンドシェイクを受信したとき。この場合 USBHS は、各パイプに対応する NRDYSTS.PIPENRDY フラグを 1 にし、関連するパイプの PID[1:0]設定を STALL に変更します。

(2) ホストコントローラモードでの接続時に SPLIT トランザクションが発生するとき

送信パイプの場合

USBHS は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき。この場合、START-SPLIT トランザクション発行時に USBHS は当該パイプの関連する RDYSTS.PIPENRDY フラグを 1 にして、FRMNUM.OVRN フラグを 1 にします。USBHS は、OUT トークンの後に Zero-Length パケットも送信します。

- 転送タイプがアイソクロナス以外のパイプにおいて、以下の 2 つのケースの任意の組み合わせが 3 回連続で発生したとき
  - START-SPLIT トランザクションおよび COMPLETE-SPLIT トランザクションに対して、ハブからの応答がないとき（ハブからのハンドシェイクパケットを検出する前にタイムアウトが検出されるとき）
  - ハブからのパケットにエラーが検出されるとき。この場合 USBHS は、パイプの関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0]設定を 00b（NAK 応答）に変更します。COMPLETE-SPLIT 実行中に NRDY 割り込みが検出されると、USBHS は CSSTS フラグを 0 にします。
- COMPLETE-SPLIT トランザクションに対して STALL ハンドシェイクを受信したとき。この場合 USBHS は、パイプの関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0]設定を 11b（STALL 応答）に変更し、CSSTS フラグを 0 にします。SETUP トランザクションの間は割り込みは検出されません。

受信パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、IN トークンの発行タイミングに達したが、FIFO バッファに空きがないとき。この場合 USBHS は、当該パイプに関連する NRDYSTS.PIPENRDY フラグを 1 にし、START-SPLIT 発行時に FRMNUM.OVRN フラグを 1 にします。USBHS は、IN トークンの受信データを破棄します。
- 転送タイプがバルクのパイプを使用した転送、または DCP を使用した SETUP トランザクション以外の転送で、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき
  - START-SPLIT トランザクションまたは COMPLETE-SPLIT トランザクション発行時に、USBHS が発行した IN トークンに対してハブからの応答がないとき（ハブからの DATA パケットを検出する前にタイムアウトが検出されるとき）
  - ハブからのパケットにエラーが検出されるとき。この場合 USBHS は、パイプの関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0]設定を 00b（NAK 応答）に変更します。COMPLETE-SPLIT 実行中にこの状態が発生すると、USBHS は CSSTS フラグを 0 にします。
- 転送タイプがアイソクロナスまたはインタラプトのパイプでの COMPLETE-SPLIT トランザクション中に、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき
  - USBHS が発行した IN トークンに対してハブから応答がないとき（ハブからの DATA パケットを検出する前にタイムアウトが検出されるとき）
  - ハブからのパケットにエラーが検出されるとき。転送タイプがインタラプトのパイプでこの状態が発生すると、USBHS は関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0]設定を 00b（NAK 応答）に変更し、CSSTS フラグを 0 にします。転送タイプがアイソクロナスのパイプでこの状態が発生すると、USBHS はパイプに関連する NRDYSTS.PIPENRDY フラグを 1 に、CRCE フラグを 1 に、CSSTS ビットを 0 にします。PID[1:0]設定は変更されません。
- COMPLETE-SPLIT トランザクション中、転送タイプがアイソクロナス以外のパイプで STALL ハンドシェイクが受信されたとき。この場合 USBHS は、パイプの関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0]設定を 11b（STALL 応答）に変更し、CSSTS フラグを 0 にします。
- COMPLETE-SPLIT トランザクション中、転送タイプがアイソクロナスまたはインタラプトのパイプで NYET ハンドシェイクを受信し、マイクロフレーム番号が 4 のとき。この場合 USBHS は、各パイプに関連する NRDYSTS.PIPENRDY フラグを 1 に、CRCE フラグを 1 に、CSSTS フラグを 0 にします。PID[1:0]設定は変更されません。

(3) デバイスコントローラモード時

送信パイプの場合

- FIFO バッファに送信すべきデータがない状態で IN トークンを受信したとき。この場合 USBHS は、IN トークン受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPENRDY フラグを 1 にします。割り込みが発生したパイプの転送タイプがアイソクロナスの場合、USBHS は Zero-Length パケットを送信し、FRMNUM.OVRN フラグを 1 にします。

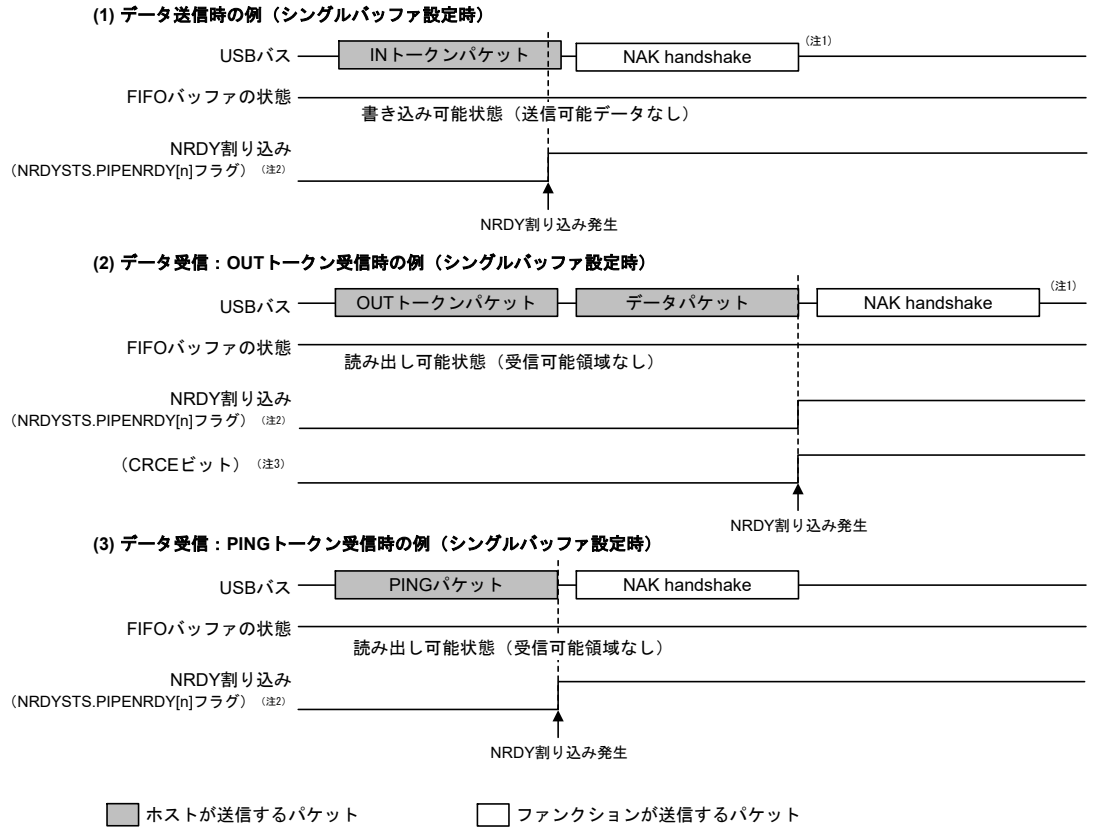
受信パイプの場合

- OUT トークンを受信したが、FIFO バッファに空きがないとき。割り込みが発生したパイプの転送タイプがアイソクロナスの場合、USBHS は OUT トークン受信時に NRDY 割り込み要求を発生させ、

NRDYSTS.PIPENRDY フラグを 1 に、FRMNUM.OVRN フラグを 1 にします。割り込みが発生したパイプの転送タイプがアイソクロナス以外の場合、USBHS は、OUT トークンに続くデータ受信後 NAK ハンドシェイクを送信するときに NRDY 割り込み要求を発生させ、NRDYSTS.PIPENRDY フラグを 1 にします。DATA-PID 不一致による再送信時には、NRDY 割り込み要求は発生しません。また、DATA パケットにエラーがある場合も、NRDY 割り込み要求は発生しません。

- FIFO バッファに空きがない場合に PING トークンを受信したとき。USBHS は、NRDYSTS.PIPENRDY フラグを 1 にして、PING トークン受信時に NRDY 割り込み要求を発生させます。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内にトークンが正常受信されなかったとき。この場合 USBHS は、SOF 受信のタイミングで NRDY 割り込み要求を発生させ、NRDYSTS.PIPENRDY フラグを 1 にします。

図 37.6 に、デバイスコントローラモード時の NRDY 割り込み発生タイミングを示します。



注 1. ハンドシェイクはアイソクロナス転送では使用されません。
注 2. PIPEnCTR.PID[1:0]ビットが 01b（BUF 応答）の場合のみ、PIPENRDY[n]フラグは 1 に変化します。
注 3. CRCE フラグおよび OVRN フラグは、対象パイプがアイソクロナス転送に設定されている場合のみ変更できます。

図 37.6 デバイスコントローラモード時の NRDY 割り込み発生タイミング

37.3.6.3 BEMP 割り込み

ソフトウェアがパイプコントロールレジスタの PID[1:0]ビットを 01b（BUF 応答）にしたパイプに対して、BEMP 割り込みを検出すると、USBHS は関連する BEMPSTS.PIPEBEMP フラグを 1 にします。ソフトウェアによって関連する BEMPENB ビットを 1 にしている場合、USBHS は INTSTS0.BEMP フラグを 1 にし、USB 割り込みを発生させます。本項では、USBHS が内部 BEMP 割り込み要求を発生させる条件を示します。

(1) 送信パイプの場合

送信完了時（Zero-Length パケットの送信時を含む）に、対応するパイプの FIFO バッファが空のとき、シングルバッファモードでは、DCP 以外のパイプに対して BRDY 割り込みと同時に内部 BEMP 割り込み要求が発生します。下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。

- ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU または DMAC/DTC が CPU 側の FIFO バッファに対するデータ書き込みをすでに開始しているとき
- PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットを 1 にして、バッファをクリア（空に）したとき
- デバイスコントローラモードのコントロール転送ステータスステージにおいて、IN 転送（Zero-Length パケット送信）を実行したとき

(2) 受信パイプの場合

正常に受信したデータのパケットサイズが、設定された最大パケットサイズを超えたとき。このとき USBHS は、BEMP 割り込み要求を発生させ、関連する BEMPSTS.PIPEBEMP フラグを 1 にし、受信データを破棄し、パイプの関連する PID[1:0]ビットの設定を STALL (11b) に変更します。USBHS は、ホストコントローラモード時は応答を返さず、デバイスコントローラモード時は STALL 応答を行います。

下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。

- 受信データに CRC エラーまたはビットスタッフィングエラーが検出された場合
- SETUP トランザクション実行時
  - BEMPSTS.PIPEBEMP フラグに 0 を書くことにより、ステータスをクリアすることができます。
  - BEMPSTS.PIPEBEMP フラグに 1 を書いても、動作に影響ありません。

図 37.7 に、デバイスコントローラモード時の BEMP 割り込みの発生タイミングを示します。

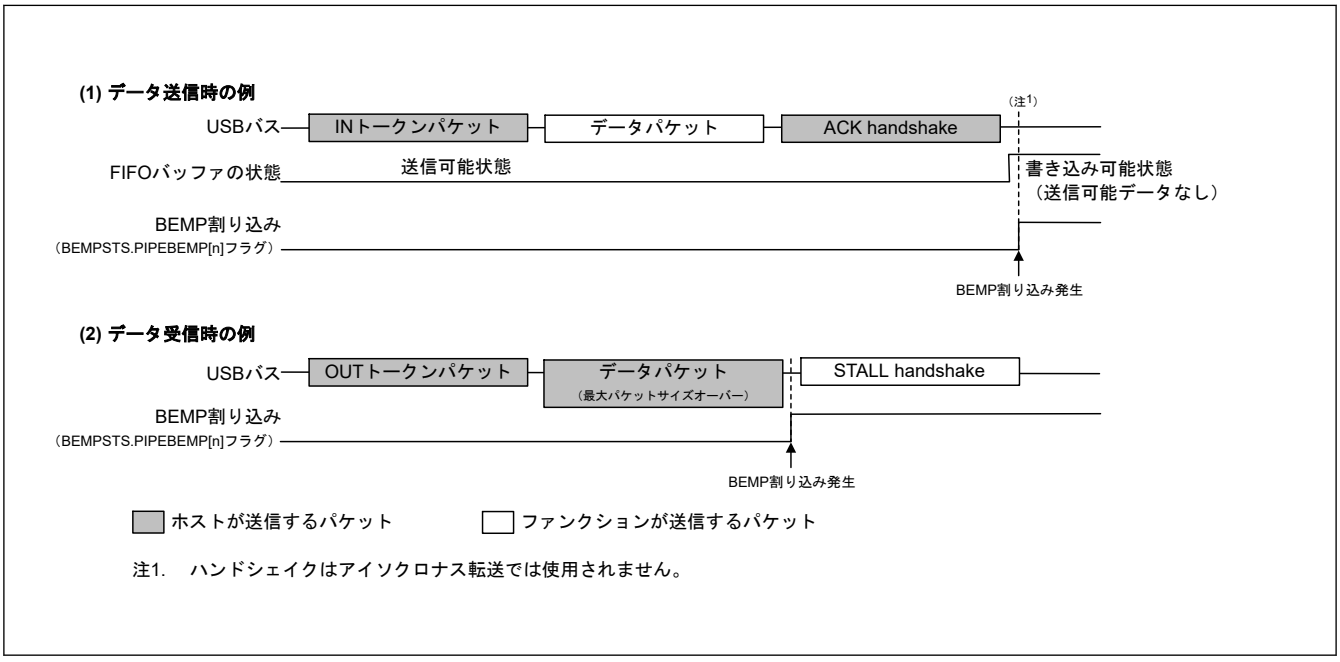


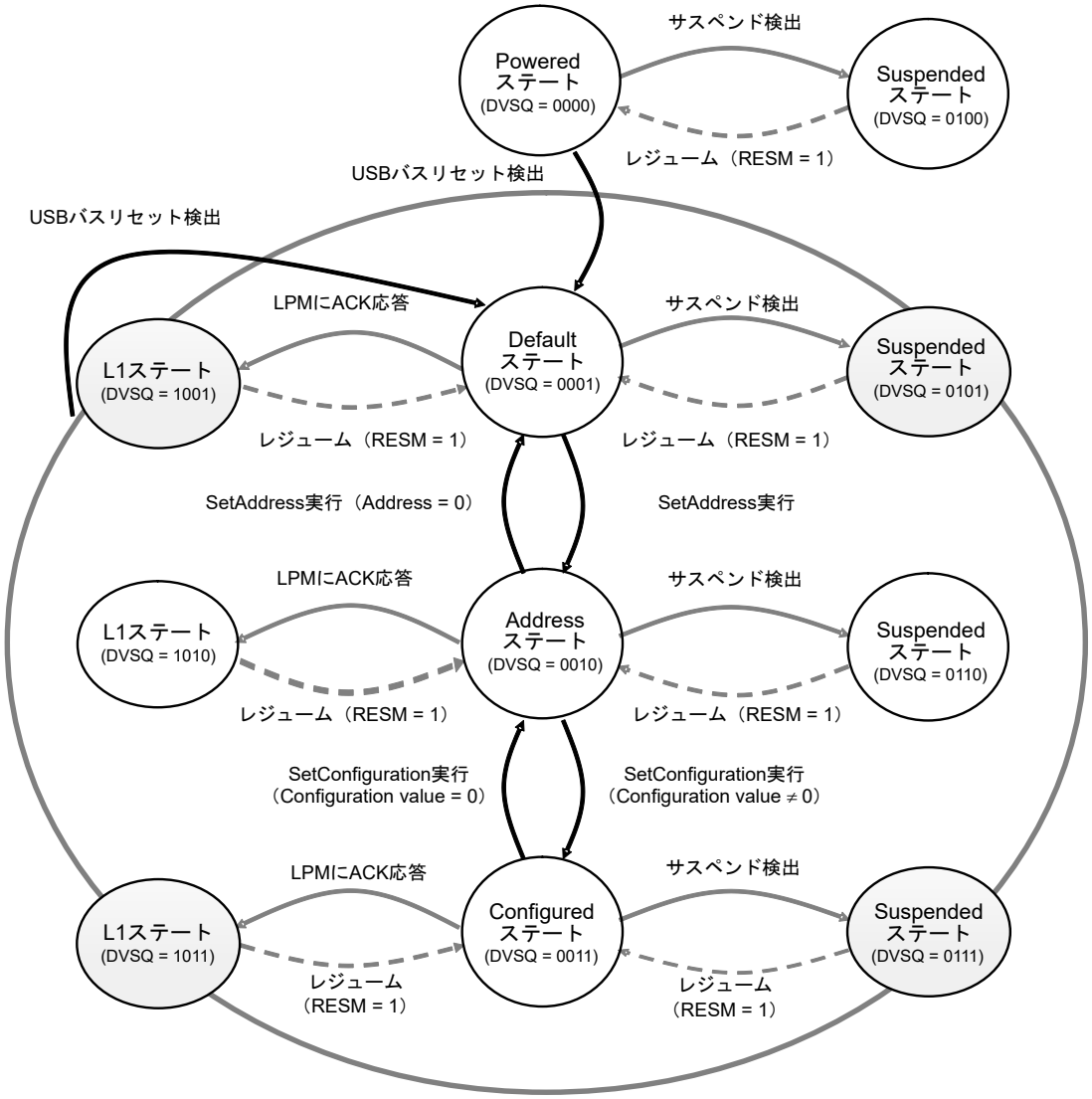
図 37.7 デバイスコントローラモード時の BEMP 割り込みの発生タイミング

37.3.6.4 デバイスステート遷移割り込み（デバイスコントローラモード時）

図 37.8 に、USBHS のデバイスステート遷移図を示します。USBHS はデバイスステートを管理し、デバイスステート遷移割り込みを発生させます。ただし、Suspend ステートからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みの許可／禁止は、INTENB0 レジスタで個別に指定可能です。状態が変化したデバイスは、PL1CTRL.DVSQ[3:0]フラグで確認できます。

Default ステートに遷移する場合は、USB バスリセットの検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートは USBHS が制御し、デバイスステート遷移割り込みはデバイスコントローラモードでのみ生成することができます。



注 1. 遷移が行われた場合（実線で表示）、DVST ビットが 1 になります。レジュームの場合（破線で表示）、RESM ビットが 1 になります。

図 37.8 デバイスステートの遷移

37.3.6.5 コントロール転送ステージ遷移割り込み（デバイスコントローラモード時）

図 37.9 に、USBHS のコントロール転送ステージ遷移図を示します。USBHS はコントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みの許可／禁止は、INTENB0 レジスタで個別に指定可能です。遷移が発生した転送ステージは、INTSTS0.CTSQ[2:0]ビットで確認できます。

コントロール転送ステージ遷移割り込みは、デバイスコントローラモードでのみ発生します。本節では、コントロール転送のシーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0]ビットが 1xb（STALL 応答）になります。

- コントロールリード転送エラー
  - データステージの IN トークンに対して、一度もデータ転送していない状態で OUT トークンまたは PING トークンを受信
  - ステータスステージで IN トークンを受信
  - ステータスステージで DATAPID = DATA0 のデータパケットを受信
- コントロールライト転送エラー
  - データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
  - データステージで最初のデータパケットとして DATAPID = DATA0 のパケットを受信
  - ステータスステージで OUT トークンまたは PING トークンを受信
- コントロールライトノーデータ転送エラー
  - ステータスステージで OUT トークンまたは PING トークンを受信

コントロールライト転送のデータステージでは、受信データ長が USB リクエストの wLength 値を超えても、コントロール転送シーケンスエラーと認識されません。コントロールリード転送のステータスステージでは、Zero-Length パケット以外のパケットが ACK 応答によって受信され、転送が正常に終了します。

シーケンスエラーによる CTRT 割り込み発生時（INTSTS0.CTRT フラグ = 1）は、CTRT フラグが 0 になり、割り込みステータスがクリアされるまで、CTSQ[2:0] = 110b の値が保持されます。CTSQ[2:0]ビット＝ 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了のステータスは USBHS が保持しており、ソフトウェアによって割り込みステータスがクリアされると、USBFS が CTRT 割り込みを発生させます。

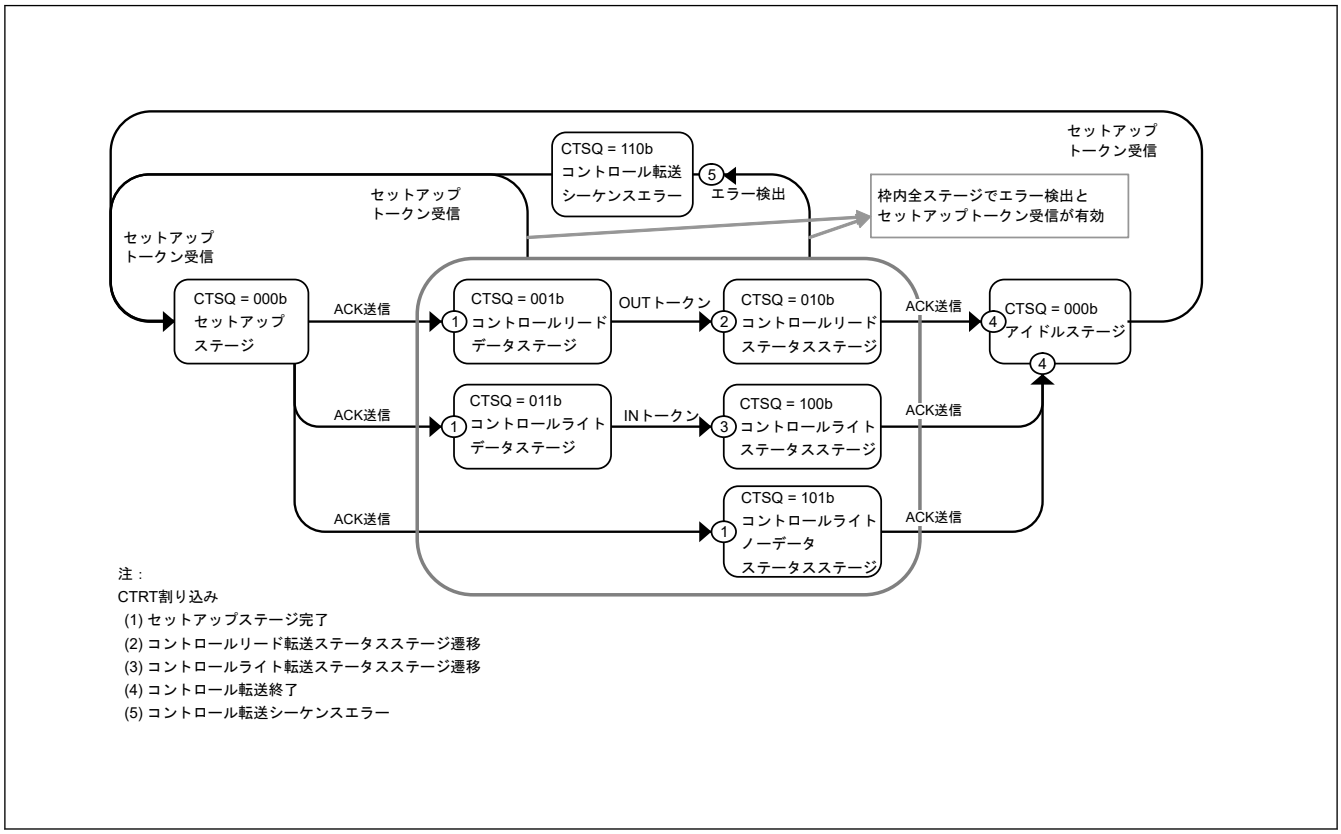


図 37.9　コントロール転送ステージの遷移

37.3.6.6 フレーム番号更新割り込み

ホストコントローラモードでは、フレーム番号が更新されると割り込みが発生します。

デバイスコントローラモードでは、フレーム番号が更新されると SOFR 割り込みが発生します。USBHS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

37.3.6.7 VBUS 割り込み

USBHS_VBUS 端子レベルに変化があった場合に VBUS 割り込みが発生します。USBHS_VBUS 端子のレベルは、INTSTS0.VBSTS フラグで確認できます。VBUS 割り込みによって、ホストコントローラの接続／切断の確認が可能です。ホストコントローラが接続された状態でシステムが起動された場合は、USBHS_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みが発生しません。

37.3.6.8 レジューム割り込み

デバイスコントローラモード時、デバイスが Suspend ステートで USB バスステートが変化（J-State から K-State、または J-State から SE0）すると、レジューム割り込みが発生します。レジューム割り込みによって Suspend ステートからの復帰を検出します。

ホストコントローラモード時にレジューム割り込みは発生しません。USB バスステートの変化は BCHG 割り込みを用いて検出してください。

37.3.6.9 OVRCR 割り込み

USBHS_OVRCURA、USBHS_OVRCURA-DS、USBHS_OVRCURB、または USBHS_OVRCURB-DS 端子のレベルが変化した場合に、OVRCR 割り込みが発生します。SYSSTS0.OVCMON[1:0]フラグで、USBHS_OVRCURA、USBHS_OVRCURA-DS、USBHS_OVRCURB、または USBHS_OVRCURB-DS 端子のレベルを確認できます。OVRCR 割り込みによって外部電源 IC からオーバーカレント検出の確認ができます。

OTG 接続時には、OVRCR 割り込みで VBUS コンパレータ変化検出の確認ができます。

37.3.6.10 BCHG 割り込み

USB バス状態に変化があった場合に、BCHG 割り込みが発生します。この割り込みは、周辺デバイスの接続の検出に使用できます。ホストコントローラモード時のリモートウェイクアップの検出にも使用できます。BCHG 割り込みは、ホストコントローラモードとデバイスコントローラモードの両方で発生します。

37.3.6.11 DTCH 割り込み

ホストコントローラモード時に USB バス切断を検出した場合、DTCH 割り込みが発生します。USBHS は、USB2.0 規格に準じてバス切断を検出します。

割り込みを検出した場合は、該当ポートに対して通信を行っている全パイプをソフトウェアで終了させる必要があります。通信を終了したパイプは、当該ポートへのバス接続（ATTCH 割り込み発生）待ちの状態に遷移します。対応する割り込み許可ビットの値に関係なく、USBHS ハードウェアは以下の動作を行います。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

37.3.6.12 SACK 割り込み

ホストコントローラモードでは、送信した Setup パケットに対して周辺デバイスから ACK 応答を受信すると、SACK 割り込みが発生します。SACK 割り込みを用いて、SETUP トランザクションが正常に終了したことを確認できます。

37.3.6.13 SIGN 割り込み

ホストコントローラモード時に、送信した Setup パケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合、SIGN 割り込みが発生します。SIGN 割り込みを使用して、周辺デバイスが ACK を送信しなかった場合や、ACK パケットの破損を検出することができます。

37.3.6.14 ATTCH 割り込み

ホストコントローラモードでは、USB ポートにフルスピード信号レベルの J-State または K-State が 2.5 µs 間検出されると、ATTCH 割り込みが発生します。具体的には、ATTCH 割り込みは以下のいずれかの条件下で検出されます。

- K-State、SE0、または SE1 から J-State へ変化し、J-State が 2.5 µs 間継続したとき
- J-State、SE0、または SE1 から K-State へ変化し、K-State が 2.5 µs 間継続したとき

37.3.6.15 EOFERR 割り込み

USB2.0 規格で定められている EOF2 タイミング時点で通信が完了していないことを USBHS が検出した場合、EOFERR 割り込みを発生します。

割り込みが検出された場合、該当ポートに対して通信を行っている全パイプをソフトウェアで終了させ、そのポートを再エニュメレーションする必要があります。対応する割り込み許可ビットの値に関係なく、USBHS ハードウェアは以下の動作を行います。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

37.3.6.16 PDDETINT 割り込み

USBHS は、PDDET 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、INTSTS1.PDDETINT フラグを 1 にして PDDETINT 割り込みを発生させます。PDDETINT 割り込み発生時は、同じ値が 3 回以上読み出されるまで、ソフトウェアで BCCTRL.PDDETSTS フラグの読み出しを繰り返し、チャタリングを除去してください。

37.3.6.17 LPMEND 割り込み

周辺デバイスからの応答を検知、もしくはタイムアウトを検知して LPM トランザクションが終了すると、INTSTS1.LPMEND フラグが 1 になり、LPMEND 割り込みが発生します。

37.3.6.18 L1RSMEND 割り込み

LPM トークンに対して ACK を受信して USBHS が L1 ステートに遷移すると、レジューム処理が実行され、レジューム処理が完了すると USBHS は INTSTS1.L1RSMEND フラグを 1 にします。

37.3.7 パイプコントロール

表 37.22 に USBHS のパイプ設定項目一覧を示します。USB データ転送では、ソフトウェアがエンドポイントに関連付けた論理パイプによって、データ転送が行われます。USBHS には、データ転送用に 10 本のパイプがあります。各パイプの設定は、使用するシステムの仕様に合わせて行ってください。

表 37.22 パイプ設定 (1/2)

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE[1:0]	転送タイプ	パイプ 1～9：設定可能
	BFRE	BRDY 割り込みモード	パイプ 1～5：設定可能
	DBLB	ダブルバッファ選択	パイプ 1～5：設定可能
	CNTMD	連続転送または非連続転送を選択	パイプ 1～2：バルク転送時のみ設定可能 パイプ 3～5：設定可能
	DIR	転送方向選択	IN または OUT 設定可能
	EPNUM[3:0]	エンドポイント番号	パイプ 1～9：設定可能 パイプ使用時は 0000 以外の値に設定
	SHTNAK	転送終了時のパイプ禁止を選択	パイプ 1～2：バルク転送時のみ設定可能 パイプ 3～5：設定可能

表 37.22 パイプ設定 (2/2)

レジスタ名	ビット名	設定内容	備考
PIPEBUF	BUFSIZE	FIFO バッファサイズ	DCP：設定不可能（256 バイト固定） パイプ 1～5：最大 2 KB まで設定可能 パイプ 6～9：設定不可能（64 バイト固定）
	BUFNMB	FIFO バッファ番号	DCP：設定不可能（0x0～0x3 の領域に固定） パイプ 1～5：設定不可能（0x8～0x87 の領域は指定可能） パイプ 6～9：設定不可能（0x4～0x7 の領域に固定）
DCPMAXP PIPEMAXP	DEVSEL[3:0]	デバイス選択	ホストコントローラモード時のみ参照
	MXPS	最大パケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1～2：アイソクロナス転送に対してのみ設定可能 パイプ 3～5：設定不可能 パイプ 6～9：設定不可能
	IITV[2:0]	インターバルカウンタ	パイプ 1～2：アイソクロナス転送に対してのみ設定可能 パイプ 3～5：設定不可能 パイプ 6～9：ホストコントローラモード時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCP は、ISEL ビットで受信／送信バッファ状態を切り替えます。
	INBUFM	IN バッファモニタ	パイプ 1～5 のみ利用可能
	SUREQ	SETUP リクエスト	DCP のみ設定可能、ホストコントローラモード時のみ制御
	SUREQCLR	SUREQ クリア	DCP のみ設定可能、ホストコントローラモード時のみ制御
	CSCLR	CSSTS クリア	ホストコントローラモード時のみ制御可能
	CSSTS	SPLIT ステータスチェック	ホストコントローラモード時のみ参照
	ATREPM	自動応答モード	パイプ 1～5：デバイスコントローラモード時のみ設定可能
	ACLRM	自動バッファクリア	パイプ 1～9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットの設定
	SQMON	シーケンス確認	データトグルビットの監視
	PBUSY	パイプビジー確認	—
	PID[1:0]	応答 PID	—
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ 1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ 1～5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ 1～5：設定可能

37.3.7.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が禁止のとき（PID[1:0]ビットが 00b（NAK 応答））のみ書き換えが可能です。図 37.10 に、USB 通信許可（PID[1:0]ビットが 00b（BUF 応答））時のパイプコントロールレジスタの切り替え手順を示します。

USB 通信が許可（PID[1:0]ビットが 01b（BUF 応答））されているときは、以下のレジスタとビットは変更しないでください。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR および SQSET ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM、ACLRM、SQCLR、SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット

- DEVADDn (n = 0～A) の各ビット

CSCLR ビットおよび DEVADDn レジスタ (n = 0～A) のビットを設定するには、「37.2. レジスタの説明」に記載された手順に従ってください。

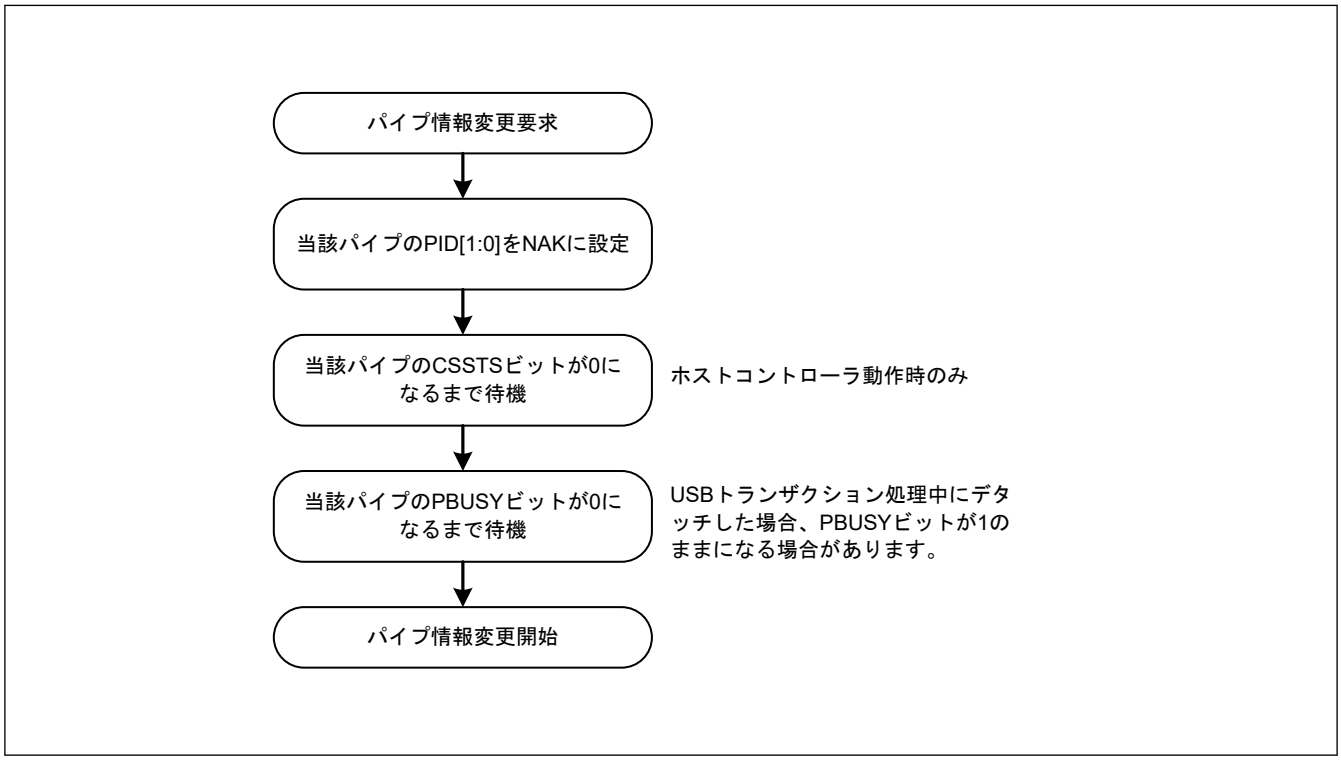


図 37.10 USB 通信が許可状態で PID[1:0]ビットが 01b（BUF 応答）のときのパイプ情報変更手順

パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットに選択パイプ情報が設定されていない場合のみ書き換えが可能です。

CURPIPE[3:0]ビット設定中に、以下のレジスタは設定しないでください。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR ビット、ACLRM ビット

パイプ情報を変更する場合は、CURPIPE[3:0]ビットの設定を変更パイプ以外に指定してください。なお DCP については、パイプ情報修正後、BCLR ビットを使用してバッファのクリア処理をしてください。

37.3.7.2 転送タイプ

PIPECFG.TYPE[1:0]ビットで、各パイプの転送タイプを以下のように指定します。

- DCP：設定不要（コントロール転送固定）
- パイプ 1～2：バルク転送またはアイソクロナス転送に設定
- パイプ 3～5：バルク転送に設定
- パイプ 6～9：インタラプト転送に設定

37.3.7.3 エンドポイント番号

PIPECFG.EPNUM[3:0]ビットで、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント 0 固定）

- パイプ 1～9：1 から 15 までのエンドポイント番号を選択して設定してください。ただし、PIPECFG.DIR ビットと EPNUM[3:0]ビットの組み合わせが重複しないようにしてください。

37.3.7.4 最大パケットサイズ設定

DCPMAXP レジスタおよび PIPEMAXP レジスタの MXPS ビットで、各パイプの最大パケットサイズを指定します。DCP およびパイプ 1～5 は、USB2.0 規格で定められているすべての最大パイプサイズに設定可能です。パイプ 6～9 では、64 バイトが最大パケットサイズです。最大パケットサイズは、転送を開始（PID[1:0]ビットを 01b（BUF 応答））する前に、以下のように設定してください。

- DCP：ハイスピード動作時は 64 を設定
- DCP：フルスピード動作時は 8、16、32、または 64 を設定
- パイプ 1～5：ハイスピードバルク転送時は 512 を設定
- パイプ 1～5：フルスピードバルク転送時は 8、16、32、または 64 を設定
- パイプ 1～2：ハイスピードアイソクロナス転送時は 1～1024 を設定
- パイプ 1～2：フルスピードアイソクロナス転送時は 1～1023 を設定
- パイプ 6～9：1 から 64 の値を設定

高帯域インタラプト転送およびアイソクロナス転送には対応していません。

37.3.7.5 トランザクションカウンタ（受信方向パイプ 1～5）

USBHS は、データパケット受信方向で、指定回数のトランザクションが終了した場合に、転送終了と認識できます。トランザクションカウンタには以下の 2 つがあります。実行トランザクション回数を指定する PIPEnTRN レジスタと、実行されたトランザクションを内部でカウントするカレントカウンタです。PIPECFG.SHTNAK ビットが 1 の状態でカレントカウンタの値がトランザクションの指定回数に一致すると、関連する PIPEnCTR.PID[1:0]ビットを 00b（NAK 応答）にし、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPEnTRE.TRENB ビットの設定により、PIPEnTRN レジスタ読み出し時のデータは以下のように異なります。

- TRENB ビットが 0：指定したトランザクションカウンタ値を読み出し可能
- TRENB ビットが 1：内部でカウントした実行済みトランザクション数を示すカレントカウンタ値を読み出し可能

TRCLR ビットの操作には、以下の制約事項があります。

- トランザクションカウント中、かつ PIPEnCTR.PID[1:0]ビットが 01b（BUF 応答）の場合、カレントカウンタはクリア不可
- バッファ内にデータが残っている場合、カレントカウンタはクリア不可

37.3.7.6 応答 PID

DCPCTR および PIPEnCTR レジスタの PID[1:0]ビットで、各パイプの応答 PID を設定します。ここでは、各応答 PID 設定における USBHS の動作を説明していきます。

ソフトウェアの応答 PID 設定（ホストコントローラモード時）

応答 PID を選択して、以下のようにトランザクションの実行を指定します。

- NAK 設定：パイプ禁止状態かつトランザクション実行なし
- BUF 設定：FIFO バッファの状態に応じて下記のトランザクションを実行
  OUT 方向の場合：FIFO バッファに送信データがある場合、OUT トークンを発行
  IN 方向の場合：FIFO バッファに空きがあり受信可能な場合に、IN トークンを発行
- STALL 設定：パイプ禁止状態かつトランザクション実行なし

注：DCP の SETUP トランザクションを実行するには、SUREQ ビットを使用します。

ソフトウェアの応答 PID 設定（デバイスコントローラモード時）

下記のとおりに応答 PID を設定し、ホストからのトランザクションに応答します。

- NAK 設定：発生したすべてのトランザクションに対して NAK 応答を返す
- BUF 設定：FIFO バッファの状態に応じてトランザクションに応答
- STALL 設定：発生したすべてのトランザクションに対して STALL 応答を返す

注. SETUP トランザクションに対しては、PID[1:0]ビットの設定にかかわらず、常に ACK 応答を返し、レジスタに USB リクエストを格納します。

ハードウェアの応答 PID 設定（ホストコントローラモード時）およびハードウェアの応答 PID 設定（デバイスコントローラモード時）では、特定のトランザクションの結果に従って、USBFS が PID[1:0]ビットに書き込みを行う状況について説明します。

ハードウェアの応答 PID 設定（ホストコントローラモード時）

- NAK 設定：以下の場合、PID[1:0]ビットが 00b（NAK 応答）になり、トークンの発行を自動的に停止
  - アイソクロナス以外の転送で、NRDY 割り込みが発生したとき詳細は「37.3.6.2. NRDY 割り込み」を参照してください。
  - バルク転送において PIPECFG.SHTNAK ビットが 1 の場合に、ショートパケットを受信したとき
  - バルク転送において SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき
- BUF 設定：USBHS によるこの設定の書き込みはなし
- STALL 設定：以下の場合、PID[1:0]ビットが STALL になり、トークンの発行を自動的に停止
  - 送信したトークンに対して STALL を受信したとき
  - 受信したデータのパケットサイズが、最大パケットサイズを超えたとき

ハードウェアの応答 PID 設定（デバイスコントローラモード時）

- NAK 設定：以下の場合、PID[1:0]ビットが 00b（NAK 応答）になり、トランザクションに対し NAK 応答が発生
  - SETUP トークンを正常に受信したとき（DCP のみ）
  - バルク転送において PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USBHS によるこの設定の書き込みはなし
- STALL 設定：以下の場合、PID[1:0]ビットが STALL になり、トランザクションに対し STALL 応答が発生
  - 最大パケットサイズを超えるサイズのデータパケットを受信したとき
  - コントロール転送シーケンスエラーを検出したとき

37.3.7.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBHS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタの SQCLR ビットと PIPEnCTR レジスタの SQSET ビットで、データ PID シーケンスビットの変更が可能です。

デバイスコントローラモードでのコントロール転送では、ステージ遷移時に USBHS が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ただし、ホストコントローラモードでのコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、ClearFeature リクエストの送受信では、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

37.3.7.8 応答 PID = NAK 機能

USBHS には、トランザクションの最終データパケットを受信すると、パイプの動作を禁止する（PID[1:0]ビットが 00b（NAK 応答））機能が用意されています。USBHS は、ショートパケットの受信またはトランザクションカウンタでトランザクションの終了を自動的に判定します。PIPECFG.SHTNAK ビットが 1 の場合、この機能が有効です。

この機能を使用することで、FIFO バッファをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（PID[1:0]ビットに 01b（BUF 応答）を設定）設定を行う必要があります。

なお、応答 PID = NAK 機能は、バルク転送でのみ使用可能です。

37.3.7.9 自動応答モード

バルク転送のパイプ (1～5) において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードとなります。

OUT 転送時（PIPECFG.DIR ビット = 0）では OUT-NAK モードとなり、IN 転送時（DIR ビット = 1）では Null 自動応答モードとなります。

37.3.7.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK が返され、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ遷移させるためには、パイプ動作が禁止（PID[1:0]ビット = 00b（NAK 応答））の状態で、OUT-NAK モードを指定してください。その後、パイプ動作を許可（PID[1:0]ビット = 01b（BUF 応答））にすると、OUT-NAK モードが有効になります。パイプ動作を禁止する直前で OUT トークンを受け付けた場合は、そのトークンのデータが正常に受信されて、ホストへ ACK が返されます。

OUT-NAK モードから通常モードへ遷移させるには、パイプ動作禁止（NAK）の状態で OUT-NAK モードを解除してください。

その後、パイプ動作を許可（BUF）してください。通常モードでは、OUT データ受信が可能となります。

37.3.7.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ遷移させるには、パイプ動作禁止状態（PID[1:0]ビットが 00b（NAK 応答））で Null 自動応答モードを指定します。次にパイプ動作を許可（PID[1:0]ビットが 01b（BUF 応答））して、Null 自動応答モードを有効にします。ただし、Null 自動応答モードを設定する場合は、バッファ内は空である必要があります。PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合には、PIPEnCTR.ACLRM ビットによりバッファを空にしてください。また、Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（PID[1:0]ビットが 00b（NAK 応答））を Zero-Length パケット送信期間分保持（約 10µs）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（PID[1:0]ビットが 01b（BUF 応答））を行うことにより、ホストへのパケット送信が可能となります。

37.3.8 FIFO バッファ

USBHS はデータ転送用に FIFO バッファを提供し、各パイプが使用するメモリ領域を管理しています。FIFO バッファの状態には、アクセス権がシステム（CPU 側）にある場合と USBHS（SIE 側）にある場合があります。

37.3.8.1 バッファステータス

表 37.23 および表 37.24 に、USBHS のバッファステータスを示します。FIFO バッファステータスは、DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットを使用して確認できます。FIFO バッファの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）のいずれかで指定できます。

INBUFM ビットは、送信方向のパイプ 1～5 に対して有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側の FIFO バッファステータスを監視することや、INBUFM ビットを読み出して SIE 側の FIFO バッファステータスを監視することができます。CPU または DMAC/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空き状態が判別できない場合に、ソフトウェアは INBUFM ビットで送信完了を確認できます。

表 37.23 BSTS フラグが示すバッファステータス

ISEL または DIR	BSTS	FIFO バッファステータス
0（受信方向）	0	受信データなし、または受信中 FIFO ポートからの読み出し不可能
0（受信方向）	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 Zero-Length パケット受信時は読み出しが不可能のためバッファクリアが必要です。
1（送信方向）	0	送信未完了 FIFO ポートへの書き込み不可能
1（送信方向）	1	送信完了 CPU は書き込み可能

表 37.24 INBUFM ビットが示すバッファステータス

DIR	INBUFM	FIFO バッファステータス
0（受信方向）	無効	無効
1（送信方向）	0	送信完了 送信可能データなし
1（送信方向）	1	FIFO ポートからバッファへデータの書き込み完了 送信可能データあり

37.3.8.2 FIFO バッファクリア

表 37.25 に、FIFO バッファのクリア方式一覧を示します。FIFO バッファは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、または PIPEnCTR.ACLRM ビットでクリアできます。

パイプ 1～5 に対しては、PIPECFG.DBLB ビットでシングルバッファまたはダブルバッファを選択できます。

表 37.25 バッファクリア方法

FIFO バッファクリアモード	CPU 側での FIFO バッファクリアモード	指定パイプのデータ読み出し後、FIFO バッファを自動でクリアするモード	すべての受信パケットを破棄するための自動バッファクリアモード
使用するレジスタ	• CFIFOCTR • DnFIFOCTR	DnFIFOSEL	PIPEnCTR
使用するビット	BCLR	DCLRM	ACLRM
クリア条件	1 書き込みでクリア	1：モード有効 0：モード無効	1：モード有効 0：モード無効

自動バッファクリアモード機能

USBHS は、PIPEnCTR.ACLRM ビットを 1 にすることで、受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、FIFO バッファ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にした後、続けて 0 にすると、アクセス方向に関係なく、選択パイプの FIFO バッファがクリアされます。ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100 ns 以上とってください。

37.3.8.3 FIFO ポートの機能

表 37.26 に、FIFO ポート機能の設定内容を示します。ライトアクセス時は、最大パケットサイズに達するまで書き込みを行うと、自動的にデータ送信が可能になります。最大パケットサイズに達する前に送信を可能とするに

は、ポートコントロールレジスタの BVAL フラグを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアした後、BVAL フラグを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットを受信可能な状態になります。Zero-Length パケット受信時（DTLN[11:0]ビット = 0）は、データは読み出せませんので、BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[11:0]フラグにて確認します。

表 37.26　FIFO ポート機能設定

レジスタ名称	ビット名	説明
CFIFOSEL, DnFIFOSEL (n = 0, 1)	RCNT	DTLN[11:0]読み出しモードを選択
	REW	FIFO バッファをリワインド（再読み出し、再書き込み）
	DCLRM	指定パイプの受信データ読み出し後、受信データの自動クリア（DnFIFO 専用）
	DREQE	DMAC/DTC 転送許可（DnFIFO 専用）
	MBW[1:0]	FIFO ポートアクセスビット幅
	BIGEND	FIFO ポートエンディアンを選択
	ISEL	FIFO ポートアクセス方向（DCP 専用）
	CURPIPE[3:0]	カレントパイプを選択
CFIFOCTR, DnFIFOCTR (n = 0, 1)	BVAL	FIFO バッファ書き込み終了
	BCLR	CPU 側 FIFO バッファをクリア
	DTLN[11:0]	受信データ長の確認

FIFO ポート選択

表 37.27 に、各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0]ビットを使用して、アクセスするパイプを選択します。パイプを選択した後、書き込み値が CURPIPE[3:0]ビットから正しく読み出せたかどうかをソフトウェアで確認してください。（前回のパイプ番号が読み出された場合には、USBHS がパイプ変更処理中であることを示しています。）ソフトウェアは次に、ポートコントロールレジスタの FRDY フラグが 1 であることを確認します。

また、ソフトウェアでポート選択レジスタの MBW[1:0]ビットに、アクセスするバス幅を指定する必要があります。

FIFO バッファアクセス方向は、PIPECFG.DIR ビットの設定に従います。DCP のみ、ポート選択レジスタの ISEL ビットにより方向を決定します。

表 37.27　パイプ別 FIFO ポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1～9	CPU アクセス	CFIFO ポートレジスタ D0FIFO/D1FIFO ポートレジスタ
	DMAC/DTC アクセス	D0FIFO/D1FIFO ポートレジスタ

REW ビット

実行中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行ってから、再度最初のパイプの処理を続行することができます。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0]ビットでパイプ選択を行うと同時に REW ビットを 1 にすると、FIFO バッファの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。REW ビットを 0 にした状態でパイプを選択すると、ポインタをリセットせずに、前回の選択時の続きから継続してデータの読み出し／書き込みが可能です。

FIFO ポートにアクセスするには、パイプの選択後、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

37.3.8.4 DMAC/DTC 転送（D0FIFO/D1FIFO ポート）

DMAC/DTC 転送概要

パイプ 1～9 に対して、DMAC/DTC による FIFO ポートアクセスが可能です。DMAC/DTC 転送用のパイプのバッファアクセスが可能になったとき、DMAC/DTC 転送要求が発行されます。

DnFIFOSEL.MBW[1:0]ビットにて FIFO ポートへの転送単位を選択し、DnFIFOSEL.CURPIPE[3:0]ビットにて DMAC/DTC 転送するパイプを選択してください。DMAC 転送中は選択しているパイプを変更しないでください。

DnFIFO 自動クリアモード（D0FIFO/D1FIFO ポート読み出し方向）

USBHS は、DnFIFOSEL.DCLRM ビットを 1 にすることで、FIFO バッファからのデータ読み出しを完了した場合に、選択パイプの FIFO バッファを自動的にクリアします。

表 37.28 に各設定での、パケット受信とソフトウェアによる FIFO バッファクリア処理の関連を示します。この表に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なります。バッファクリアが必要などのような状況においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になります。これによりソフトウェアを介在させない DMAC/DTC 転送が可能になります。

DnFIFO 自動クリアモードは、FIFO バッファ読み出し方向のみ設定できます。

表 37.28 パケット受信とソフトウェアによる FIFO バッファクリア処理

	レジスタ設定			
	DCLRM = 0		DCLRM = 1	
パケット受信時のバッファステータス	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

37.3.8.5 FIFO バッファ割り当て

図 37.11 に FIFO バッファのメモリマップ例を示します。FIFO バッファは、アプリケーションのコントロール CPU と USBHS が共有する領域です。FIFO バッファの状況には、アクセス権がアプリケーション（CPU 側）にある場合と、USBHS（SIE 側）にある場合の 2 種類があります。

FIFO バッファは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数（PIPEBUF レジスタの BUFNMB[7:0]ビットおよび BUFSIZE[4:0]ビットで指定）で決定します。PIPECFG レジスタの CNTMD ビットで連続転送モードを選択した場合、BUFSIZE[4:0]ビットを最大パケットサイズの整数倍に設定してください。PIPECFG レジスタの DBLB ビットでダブルバッファモードを選択した場合、同一パイプに対して PIPEBUF レジスタの BUFSIZE[4:0]ビットで指定したメモリ領域の 2 面分が割り当てられます。

FIFO バッファへのアクセス（データの読み出しおよび書き込み）は 3 本の FIFO ポートを使用します。C/DnFIFOSEL レジスタの CURPIPE[3:0]ビットで、FIFO ポートに割り当てるパイプ番号を指定してください。

各パイプの FIFO バッファステータスは、DCPCTR.BSTS、PIPEnCTR、および INBUFM ビットで確認できます。FIFO ポートアクセス権は、C/DnFIFOCTR レジスタの FRDY フラグで確認できます。

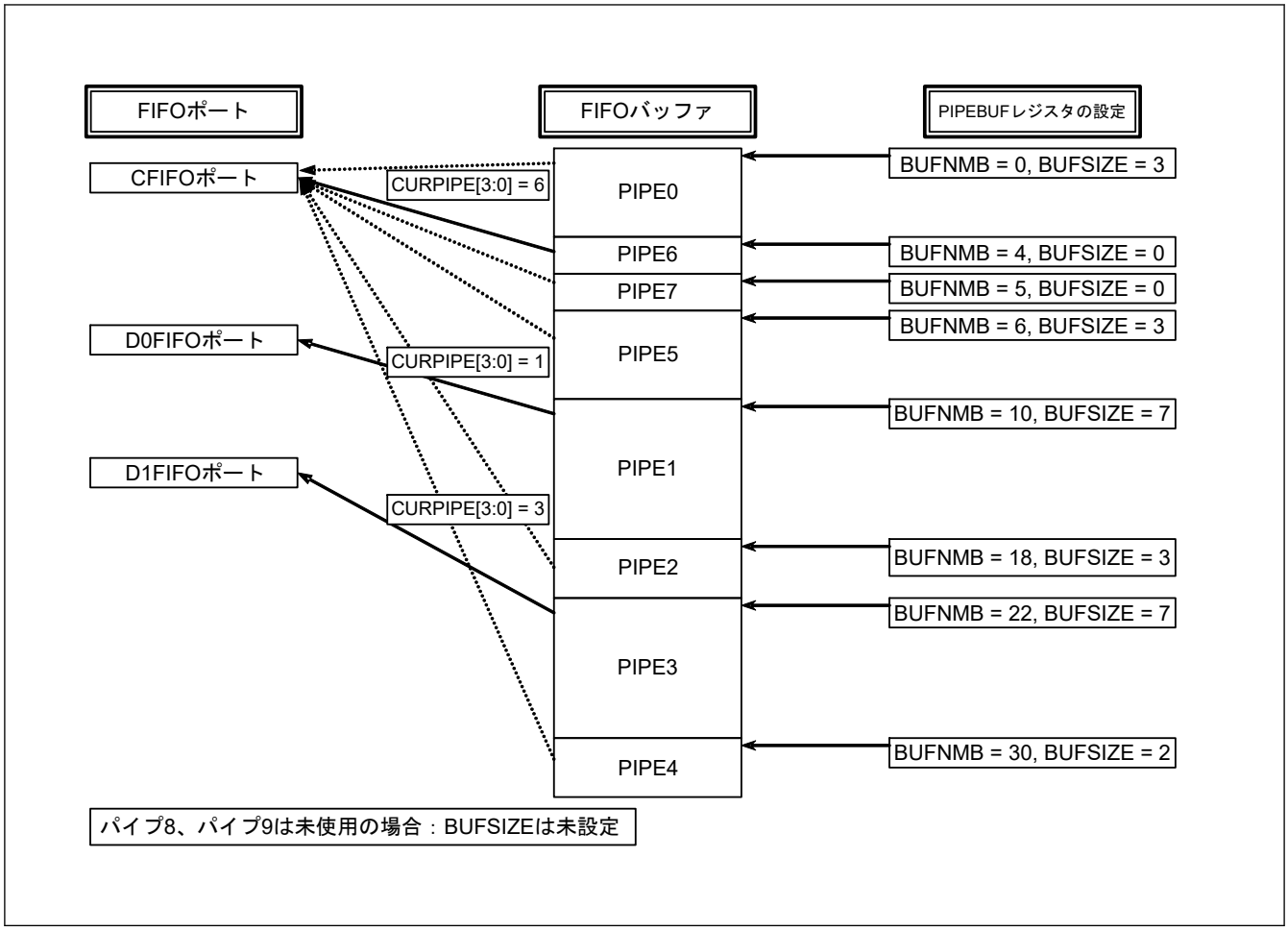


図 37.11　FIFO バッファのメモリマップ例

37.3.9　DCP を使用したコントロール転送

コントロール転送データステージでは、デフォルトコントロールパイプ（DCP）を使用してデータ転送が行われます。DCP の FIFO バッファは、コントロールリードとコントロールライトで共通の固定領域を持つ 64 バイトシングルバッファです。FIFO バッファは、CFIFO ポートでのみアクセス可能です。

37.3.9.1　ホストコントローラモードでのコントロール転送

セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタは、SETUP トランザクションの USB リクエスト送信用のレジスタです。Setup パケットのデータをレジスタに書き込み、次に DCPCTR.SUREQ ビットに 1 を書き込むことで、設定されているデータが SETUP トランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると 0 にクリアされます。SUREQ ビットが 1 のとき、上記 USB リクエストレジスタを操作しないでください。

アタッチされたファンクションデバイスが検出された場合、ソフトウェアで DCPMAXP.DEVSEL[3:0]ビットを 0 に、DEVADD0.USBSPD[1:0]ビットを適切に設定し、前述のシーケンスに従って当該デバイスの最初の SETUP トランザクションを発行してください。

アタッチされたファンクションデバイスが Address ステートに遷移したとき、ソフトウェアによって、DEVSEL[3:0]ビットに割り付けた USB アドレス値を設定し、指定 USB アドレスに対応する DEVADDn (n = 0～A) レジスタの各ビットを適切に設定し、前述のシーケンスに従って SETUP トランザクションを発行してください。たとえば、PIPEMAXP.DEVSEL[3:0] = 0010b のときは、DEVADD2 レジスタを適切に設定してください。また、PIPEMAXP.DEVSEL[3:0] = 0101b のときは、DEVADD5 レジスタを適切に設定してください。

SETUP トランザクションのデータが送信されると、周辺デバイスからの応答に基づいて割り込み要求が発生します（INTSTS1 レジスタの SIGN ビットまたは SACK ビット）。この割り込み要求により、ソフトウェアで SETUP トランザクションの結果を確認できます。

SETUP トランザクションの DATA0 データパケット（USB リクエスト）は、DCPCTR.SQMON フラグのステータスにかかわらず常に送信されます。

データステージ

データステージは、DCP の FIFO バッファを使用してデータを転送するために使用します。

DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットは、データ PID を DATA1 として転送する必要があります。DCPCTR.SQSET ビットでデータ PID を DATA1 にし、PID[1:0]ビットを 01b（BUF 応答）にします。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

複数パケットのデータ転送は、連続転送モードで可能です。ただし、受信方向で連続転送が指定されている場合、バッファがフルになるか、ショートパケットを受信するまで、BRDY 割り込みは生成されません（最大パケットサイズの整数倍、256 バイト以下の場合）。送信データサイズが最大パケットサイズの整数倍の場合、最後に Zero-Length パケットを送信するよう、ソフトウェアでコントロールライト転送を制御してください。

ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送を行うためにステータスステージを使用します。データステージと同様に、DCP の FIFO バッファを使用してデータを転送します。データステージと同様の手順でトランザクションを実行します。

ステータスステージのデータパケットは、DCPCTR.SQSET ビットでデータ PID を DATA1 に設定して送受信する必要があります。

Zero-Length パケットを受信した場合は、BRDY 割り込み発生後に CFIFOCTR.DTLN[11:0]フラグで受信データ長を確認してから、BCLR ビットで FIFO バッファをクリアしてください。

37.3.9.2 デバイスコントローラモードでのコントロール転送

セットアップステージ

USBHS は、USBHS に対する正常な Setup パケットに対して ACK 応答します。セットアップステージで USBHS は以下のように動作します。

新しい Setup パケットを受信すると、USBHS は以下のビットを設定します。

- INTSTS0.VALID フラグを 1 にする
- DCPCTR.PID[1:0]ビットを 00b（NAK 応答）にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケットを受信すると、USBHS は USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID フラグを 0 にしてから実行してください。VALID フラグが 1 のとき、PID[1:0]ビットは 01b（BUF 応答）にできず、データステージを終了できません。

VALID フラグの機能により、USBHS はコントロール転送中に新しい USB リクエストを受信すると、処理中のリクエストを中断し、最新のリクエストに対する応答を行うことができます。

また、USBHS は、受信した USB リクエストの方向ビット（bmRequestType のビット 8）およびリクエストデータ長 (wLength) を自動検出します。他にも、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を判別し、ステージ遷移を管理します。誤ったシーケンスに対しては、コントロール転送ステージ遷移割り込み中にシーケンスエラーが発生し、ソフトウェアに割り込みが報告されます。USBHS のステージ管理図については、図 37.9 を参照してください。

データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。

転送データが DCP の FIFO バッファサイズより大きい場合は、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

ハイスピードコントロールライト転送では、FIFO バッファステータスに基づいて NYET ハンドシェイク応答が返されます。

ステータスステージ

DCPCTR.PID[1:0]ビットが 01b（BUF 応答）に設定された状態で、DCPCTR.CCPL ビットを 1 にすることによりコントロール転送を終了します。DCPCTR.PID[1:0]ビットが 01b（BUF 応答）に設定された状態で、DCPCTR.CCPL ビットを 1 にすることによりコントロール転送を終了します。

設定後、セットアップステージで確定したデータ転送方向に基づいて、USBHS が自動的にステータスステージを実行します。ステータスステージは以下のように実行されます。

- コントロールリード転送の場合
  USBHS は、USB ホストから Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
  USBHS は、Zero-Length パケットを送信し、USB ホストから ACK 応答を受信します。

コントロール転送自動応答機能

USBHS は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに以下のいずれかのエラーがある場合、ソフトウェアによる応答が必要です。

- bmRequestType が 0x00 ではない場合：コントロールライト転送以外
- wIndex が 0x00 でない場合：リクエストエラー
- wLength が 0x00 ではない場合：ノーデータコントロール転送以外
- wValue が 0x7F より大きい場合：リクエストエラー
- PL1CTRL.DVSQ[3:0]フラグが 0011b（Configured）の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS リクエスト以外のすべてのリクエストにおいて、対応するソフトウェアの応答が必要です。

37.3.10 バルク転送（パイプ 1～5）

バルク転送は、FIFO バッファの使用方法（シングル／ダブルバッファ設定、もしくは連続／非連続転送モード設定）を設定できます。FIFO バッファサイズは最大 2 KB まで設定できます。USBHS は、FIFO バッファステートを管理し、PING パケットおよび NYET ハンドシェイクに自動的に応答します。

37.3.10.1 ホストコントローラモード時の PING パケット制御

OUT 方向で、USBHS は PING パケットを自動送信します。USBHS は送信方向の通信を PING パケットで開始します。USBHS が PING パケットへの応答として ACK ハンドシェイクを受信すると、OUT パケットを送信します。OUT トランザクション中、USBHS が NAK 応答または NYET 応答を受信すると、PING 送信ステートに復帰します。手順を以下に示します。

OUT データ送信の開始

(1) PING パケットを送信
(2) NAK ハンドシェイクを受信
(3) PING パケットを送信
(4) ACK ハンドシェイクを受信
(5) OUT データパケットを送信
(6) ACK ハンドシェイクを受信
(7) OUT データパケットを送信
⋮
(8) NAK/NYET ハンドシェイクを受信時 (1) に戻る

USBHS は、ハードウェアリセットの発行、NYET または NAK ハンドシェイクの受信、シーケンストグルビットのクリア (SQCLR)、またはバッファクリアビット (ACLRM) の設定が発生すると、PING パケット送信ステートに復帰します。

37.3.10.2 デバイスコントローラモード時の NYET ハンドシェイク制御

表 37.29 に、バルク転送またはコントロール転送における受信トークンへの応答一覧を示します。USBHS は、バルク転送またはコントロール転送で OUT トークンを受信したとき、FIFO バッファに 1 パケット分の領域しか残

っていない場合に NYET 応答を返します。ただし、USBHS がショートパケットを受信した場合、上記の条件が発生しても NYET 応答ではなく ACK 応答を返します。

表 37.29　受信トークンへの応答

PID[1:0]ビット設定	FIFO バッファステート	受信トークン	応答	備考
NAK/STALL	—	SETUP	ACK	—
	—	IN/OUT/PING	NAK/STALL	—
BUF	—	SETUP	ACK	—
	RCV-BRDY	OUT/PING	ACK	OUT トークン受信時、データパケットを受信(注1)
	RCV-BRDY	OUT	NYET	データパケットを受信(注2)
	RCV-BRDY	OUT（ショート）	ACK	データパケットを受信(注2)
	RCV-BRDY	PING	ACK	(注2)
	RCV-NRDY	OUT/PING	NAK	—
	TRN-BRDY	IN	DATA0/1	データパケットを送信
	TRN-NRDY	IN	NAK	—

注 1.　RCV-BRDY：OUT トークンまたは PING トークン受信時、FIFO バッファに 2 パケット分の領域が残っています。
注 2.　RCV-BRDY：OUT トークン受信時、FIFO バッファに 1 パケット分の領域しか残っていません。
RCV-NRDY：PING トークン受信時、FIFO バッファに空き領域がありません。
TRN-BRDY：IN トークン受信時、FIFO バッファが送信データを格納しています。
TRN-NRDY：IN トークン受信時、FIFO バッファは送信データを格納していません。

37.3.11　インタラプト転送（パイプ 6～9）

デバイスコントローラモード時、USBHS は、ホストコントローラが示すタイミングに基づいてインタラプト転送を行います。インタラプト転送では、USBHS は PING パケットを無視し（応答なし）、NYET ハンドシェイクは送信せず、ACK 応答、NAK 応答、または STALL 応答を返します。

ホストコントローラモード時は、インターバルカウンタを使用してソフトウェアでトークン発行タイミングを設定できます。USBHS は、OUT 方向の転送を含めて、PING トークンは発行せず、OUT トークンを発行します。

USBHS は、高帯域インタラプト転送に対応していません。

37.3.11.1　ホストコントローラモードでのインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0]ビットにトランザクションのインターバルを指定します。USBHS は、設定されたインターバルに基づいてインタラプト転送のトークンを発行します。

(1)　カウンタの初期化

USBHS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット：
  IITV[2:0]ビットが初期化されます。
- PIPEnCTR.ACLRM ビットを使用した FIFO バッファの初期化：
  この操作では、IITV[2:0]ビットは初期化されませんが、カウント値は初期化されます。PIPEnCTR.ACLRM ビットを 0 にすると、IITV[2:0]ビット設定値からカウントが開始します。

(2)　トークン発生タイミングにもかかわらずトークンの送受信ができない場合の動作

以下の場合、トークンの発生タイミングであってもトークンは発生しません。このような場合、USBHS は次のインターバルにトランザクションの実行を試みます。

- PID[1:0]ビットを NAK または STALL に設定した場合
- IN 方向（受信）の転送でトークンの送信タイミングに FIFO バッファに空き領域がない場合
- OUT 方向（送信）でのトークン送信時に、FIFO バッファに送信データがない場合

37.3.12 アイソクロナス転送（パイプ 1～2）

USBHS は、高帯域アイソクロナス転送には対応していませんが、アイソクロナス転送の以下の機能を提供しています。

- アイソクロナス転送のエラー通知
- インターバルカウンタ（PIPEPERI.IITV[2:0]ビットで指定）
- アイソクロナス IN 転送データセットアップ制御（IDLY 機能）
- アイソクロナス IN 転送バッファフラッシュ機能（PIPEPERI.IFIS ビット指定）
- SOF パルス出力機能

37.3.12.1 アイソクロナス転送のエラー検出

USBHS は、アイソクロナス転送時に発生したエラーをソフトウェアで管理できるようにするため、下記エラーの検出機能を備えています。表 37.30 および表 37.31 に、USBHS がエラーを検出する優先順位とそれらに関連する割り込みを示します。

PID エラー

- 受信パケットの PID 値が不正な場合

CRC エラー、ビットスタッフィングエラー

- 受信パケットに CRC エラーがあった場合、またはビットスタッフィングが不正な場合

最大パケットサイズオーバー

- 受信パケットのデータサイズが、最大パケットサイズの設定値を超えていた場合

オーバーラン、アンダーランエラー

ホストコントローラモード時：

- IN（受信）方向でのトークン送信時に、FIFO バッファに空き領域がない場合
- OUT（送信）方向でのトークン送信時に、FIFO バッファに送信データがない場合

デバイスコントローラモード時：

- IN（送信）方向でのトークン受信時に、FIFO バッファに送信データがない場合
- OUT（受信）方向でのトークン受信時に、FIFO バッファに空き領域がない場合

インターバルエラー

デバイスコントローラモードでは、以下の場合にインターバルエラーとして処理されます。

- アイソクロナス IN 転送時に、インターバルフレーム内に IN トークンを受信できなかった場合
- アイソクロナス OUT 転送時に、インターバルフレーム内に OUT トークンを受信できなかった場合

表 37.30 トークン送受信のエラー検出 (1/2)

検出の優先順位	エラー種別	エラー検出時に発生する割り込みとステータス
1	PID エラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません。（破損パケットとして無視）
2	CRC エラー、ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません。（破損パケットとして無視）
3	オーバーランエラー、アンダーランエラー	ホストコントローラモードとデバイスコントローラモードの両方で、OVRN フラグを 1 にするために NRDY 割り込みを発生させます。 デバイスコントローラモード時は、IN トークンに対して、Zero-Length パケットを送信します。 OUT トークンに対してデータパケットを受信しません。

表 37.30 トークン送受信のエラー検出 (2/2)

検出の優先順位	エラー種別	エラー検出時に発生する割り込みとステータス
4	インターバルエラー	デバイスコントローラモード時は NRDY 割り込みを発生させます。ホストコントローラモード時は割り込みを発生させません。

表 37.31 データパケット受信エラーの検出

検出の優先順位	エラー種別	エラー検出時に発生する割り込みとステータス
1	PID エラー	割り込みを発生させません。(破損パケットとして無視)
2	CRC エラー、ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、NRDY 割り込みを発生させ、FRMNUM.CRCE ビットを 1 にします。
3	最大パケットサイズオーバーエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、BEMP 割り込みを発生させ、PID[1:0]ビットを STALL にします。

37.3.12.2 DATA-PID

USBHS は、高帯域転送に対応していません。デバイスコントローラモード時、USBHS は受信 PID に対して以下のように応答します。

IN 方向の場合

- DATA0：データパケットの PID として送信
- DATA1：送信しない
- DATA2：送信しない
- mDATA：送信しない

OUT 方向の場合（フルスピード動作）

- DATA0：データパケットの PID として正常受信
- DATA1：データパケットの PID として正常受信
- DATA2：パケットを無視
- mDATA：パケットを無視

OUT 方向の場合（ハイスピード動作）

- DATA0：データパケットの PID として正常受信
- DATA1：データパケットの PID として正常受信
- DATA2：データパケットの PID として正常受信
- mDATA：データパケットの PID として正常受信

37.3.12.3 インターバルカウンタ

アイソクロナス転送のインターバルは、PIPEPERI.IITV[2:0]ビットで設定できます。デバイスコントローラモード時、インターバルカウンタにより、表 37.32 に示す機能を実現しますホストコントローラモード時、USBHS がトークン発行タイミングを生成し、インターバルカウンタ動作はインタラプト転送と同じです。

表 37.32 デバイスコントローラモード時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ	アイソクロナス IN 転送でインターバルフレーム内に IN トークンを正常受信できません。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレーム内に OUT トークンを正常受信できません。

インターバルのカウントは、SOF の受信時または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。フレームインターバルは、2IITV (μ) フレームに設定できます。

(1) デバイスコントローラモードでのカウンタの初期化

USBHS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット：
  PIPEPERI.IITV[2:0]ビットが初期化されます。
- ACLRM ビットを使用した FIFO バッファの初期化：
  IITV[2:0]ビットは初期化されませんが、カウント値は初期化されます。

インターバルカウンタが初期化されると、パケットを正常に転送した後に、下記のどちらかの条件でインターバルのカウントを開始します。

- PID[1:0]ビットが 01b（BUF 応答）のとき、IN トークンに対してデータを送信した後の SOF 受信
- PID[1:0]ビットが 01b（BUF 応答）のとき、OUT トークンに対してデータを受信した後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0]ビットを NAK または STALL に設定した場合
  インターバルタイマは停止しません。USBHS は、次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド
  IITV[2:0]ビットは初期化されません。SOF を受信すると、SOF 受信前の設定値からインターバルカウンタのカウントを開始します。

(2) ホストコントローラモードでのインターバルカウントと転送制御

USBHS は、PIPEPERI.IITV[2:0]ビットの設定値に従い、トークン発行間隔を制御します。具体的には、USBHS は 2IITV 回のフレームに 1 回の間隔で、選択パイプに対するトークンを発行します。

USBHS は、ソフトウェアで PID[1:0]ビットを 01b（BUF 応答）に設定したフレームの次のフレームからトークン発行間隔のカウントを開始します。

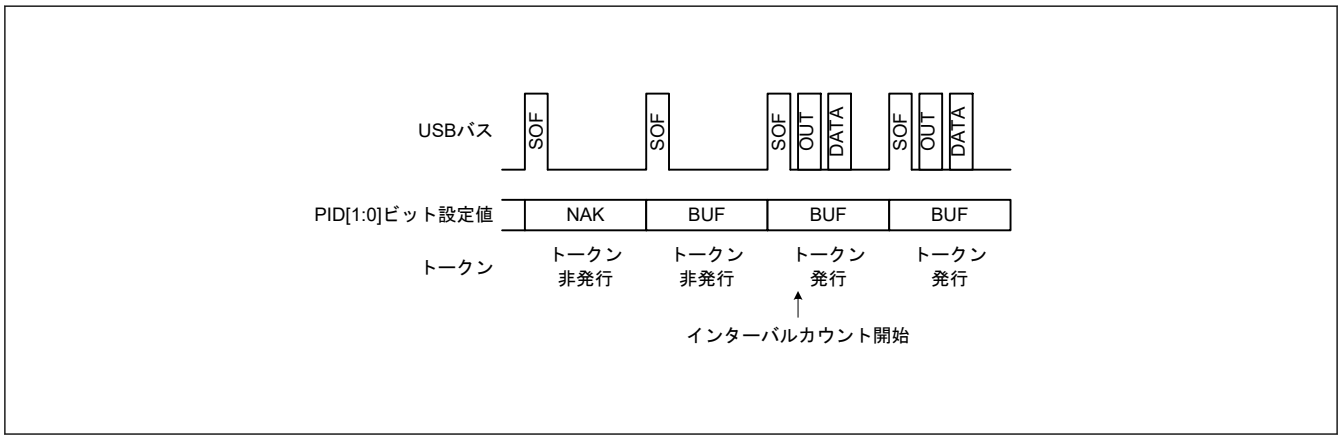


図 37.12 IITV[2:0] = 0 の場合におけるトークン発行の有無

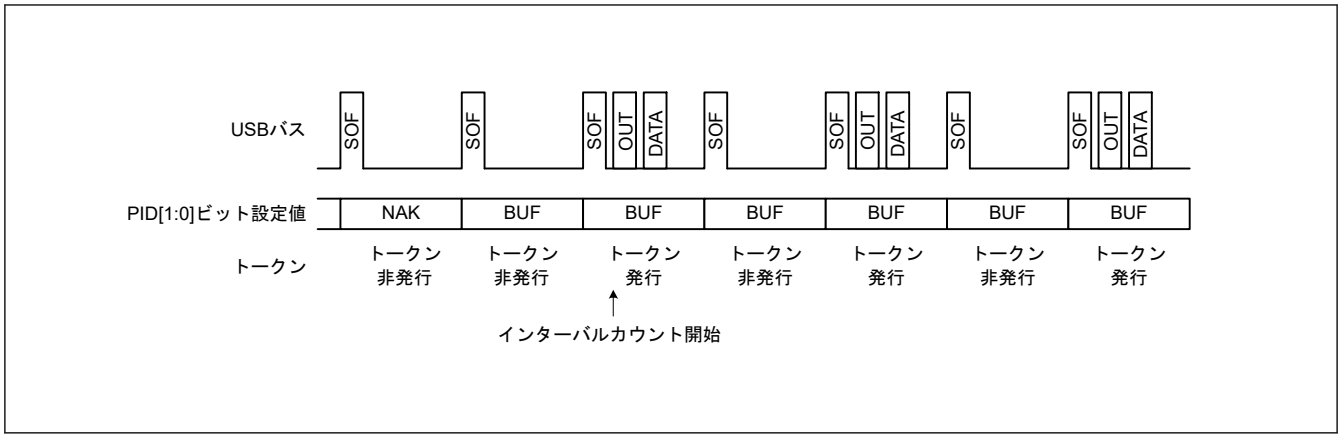


図 37.13　IITV[2:0] = 1 の場合におけるトークン発行の有無

選択パイプの転送タイプがアイソクロナスの場合、USBHS はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも、USBHS はトークンを発行します。

選択パイプがアイソクロナス IN 転送パイプの場合

USBHS は、IN トークンを発行しても周辺デバイスからパケットを正常受信しなかった場合（無応答やパケットエラーの場合）、NRDY 割り込みを発生させます。

選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いという原因で送信可能なデータが FIFO バッファにない状態で OUT トークン発行タイミングに至った場合、USBHS は OVRN フラグを 1 にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

以下の条件を満たす場合、トークン発行間隔はリセットされます。

- MCU がリセットされた場合
  IITV[2:0]ビットが初期化されます。
- ソフトウェアで PIPEnCTR.ACLRM ビットを 1 にした場合

(3)　デバイスコントローラモードでのインターバルカウントと転送制御

選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0]ビットに設定したインターバル中にデータパケットを受信しなかったとき、USBHS は NRDY 割り込みを発生させます。

データパケットに CRC エラーや他のエラーが発生したため、または FIFO バッファがフルのため、データ受信に失敗した場合も、USBHS は NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF パケットを受信したタイミングに割り込みを発生させます。ただし、IITV[2:0]ビットが 0 以外のとき、インターバルカウント開始後のインターバルごとに、USBHS は SOF パケット受信のタイミングで NRDY 割り込みを発生させます。

インターバルタイマ起動後にソフトウェアが PID[1:0]ビットを 00b（NAK 応答）にすると、USBHS は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始タイミングは、下記のように、IITV[2:0]ビットの設定値によって異なります。

- IITV[2:0]ビット = 0 の場合：
  選択パイプの PID[1:0]ビットを BUF に変更した時点で、インターバルのカウントを開始します。
- IITV[2:0]ビット ≠ 0 の場合：
  選択パイプの PID[1:0]ビットを 01b（BUF 応答）に変更した後、最初のデータパケットの正常受信完了時点からインターバルのカウントを開始します。

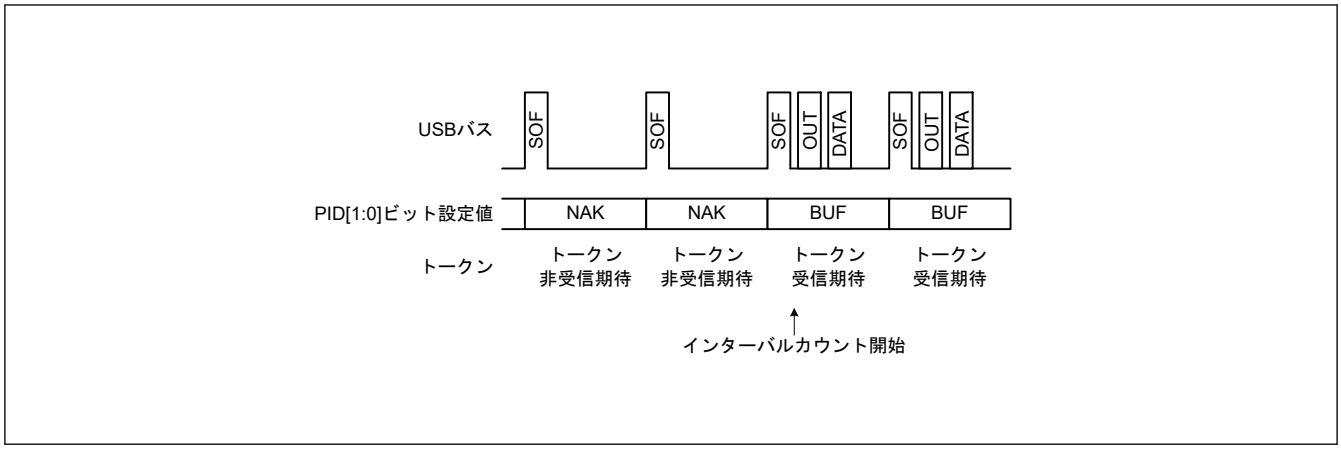


図 37.14　IITV[2:0] = 0 の場合のフレームとトークン受信期待の関係

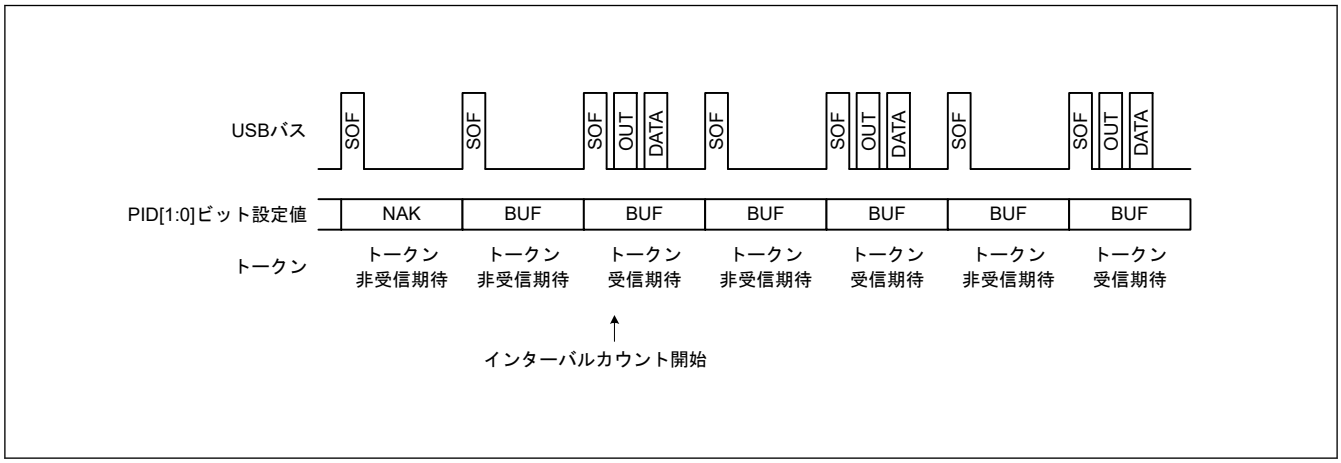


図 37.15　IITV[2:0]≠0 の場合のフレームとトークン受信期待の関係

選択パイプがアイソクロナス IN 転送パイプの場合

この場合、PIPEPERI.IFIS ビットを 1 にする必要があります。IFIS ビットが 0 の場合、PIPEPERI.IITV[2:0]の設定に関係なく、USBHS は IN トークン受信時にデータパケットを送信します。

IFIS ビットが 1 で、FIFO バッファに送信するデータがある場合、IITV[2:0]ビットに設定したインターバルごとのフレーム中に IN トークンを受信しなければ、USBHS は FIFO バッファをクリアします。

USBHS は、IN トークンに CRC エラー等のバスエラーが発生したために正常受信できなかった場合も、FIFO バッファをクリアします。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また、SOF パケットが破損した場合でも、内部補完機能により SOF パケットを受信したタイミングで FIFO バッファをクリアします。

インターバルのカウント開始タイミングは、IITV[2:0]ビットの設定値により異なります（OUT 転送時と同様）。

デバイスコントローラモード時は、以下のいずれかの条件でインターバルカウントを行います。

- USBHS がハードウェアリセットされた場合（IITV[2:0]ビットも 000b になる）
- ソフトウェアで PIPEnCTR.ACLRM ビットを 1 にした場合
- USBHS が USB バスリセットを検出した場合

(4)　デバイスコントローラモードでのアイソクロナス転送用送信データセットアップ

デバイスコントローラモード時、USBHS を使ったアイソクロナスデータ送信では、FIFO バッファにデータを書き込んだ後、SOF パケットを検出した後の最初のフレームでデータパケットの送出が可能になります。このアイソクロナス転送送信データセットアップ機能により、送信を開始したフレームを特定することができます。

バッファをダブルバッファモードで使用している場合で、両方のバッファの書き込みが終了している場合も、送信可能状態になるバッファは先に書き込みを終了した 1 面だけとなります。このため、複数の IN トークンを受信しても、送出される FIFO バッファデータは 1 パケット分のみとなります。

IN トークン受信時に FIFO バッファがデータを送信できる状態であれば、データが転送されて正常応答が返されます。ただし、FIFO バッファがデータを送信できない状態であれば、Zero-Length パケットが送出されてアンダーランエラーが発生します。

図 37.16 に、IITV[2:0]ビットを 0（毎フレーム）にした場合の、アイソクロナス転送送信データセットアップ機能を使用した送信例を示します。

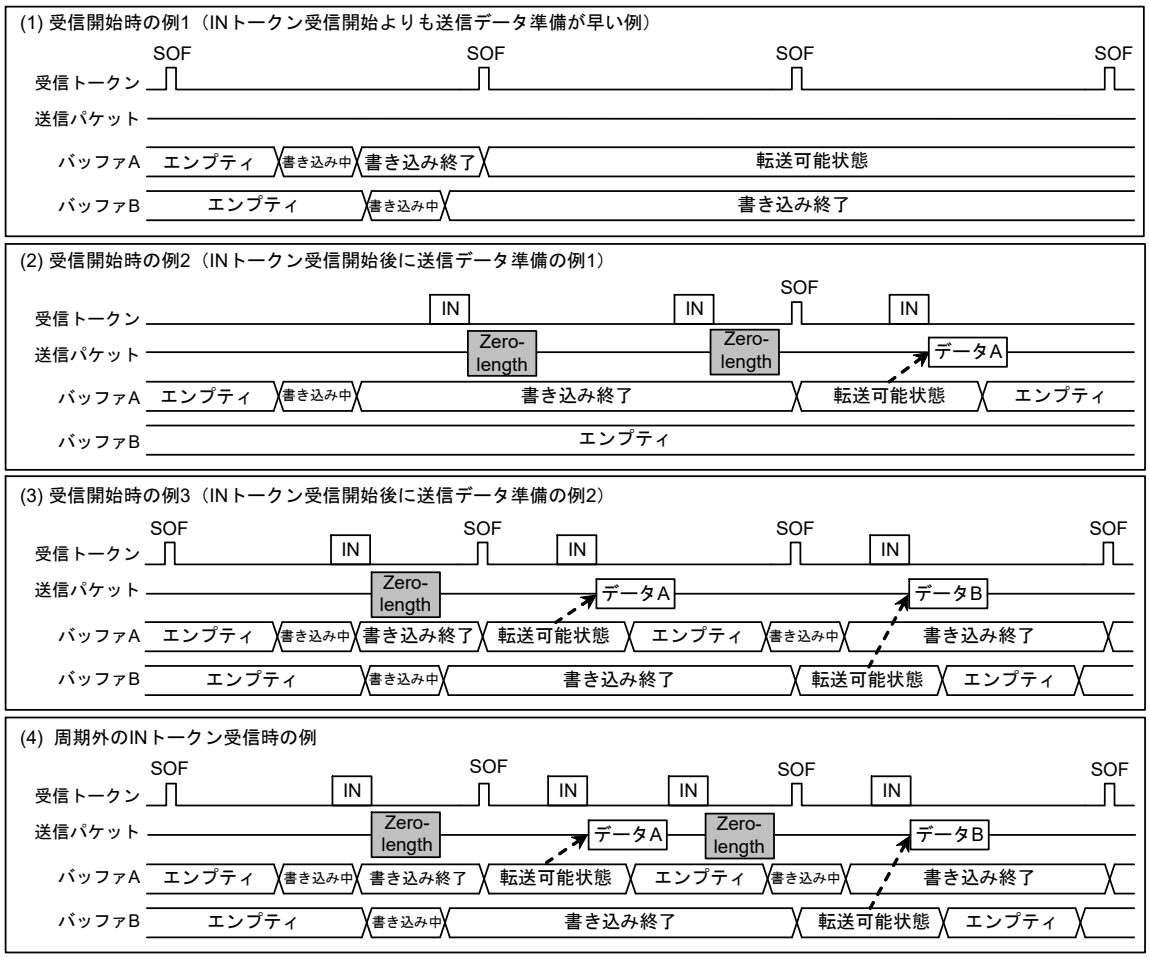


図 37.16　データセットアップ動作例

(5)　デバイスコントローラモード時のアイソクロナス転送の送信バッファフラッシュ

デバイスコントローラモードでアイソクロナスデータ送信中に、USBHS がインターバルフレーム内に IN トークンを受信せずに、次のフレームの SOF パケットを受信すると、USBHS はそれを IN トークン破損として扱い、送信可能状態のバッファをクリアし、そのバッファを書き込み可能状態にします。

このときにバッファをダブルバッファモードで使用していて、両方のバッファの書き込みが終了している場合は、クリアされた FIFO バッファ内のデータが上記のインターバルフレーム内に送信されたものとみなされて、SOF パケット受信でクリアされていなかった FIFO バッファを送信可能状態にします。

バッファフラッシュ機能は、PIPEPERI.IITV[2:0]ビットの設定値により動作開始タイミングが下記のように異なります。

- IITV[2:0]ビットが 0 のとき：
  パイプが有効となった後の最初のフレームから、バッファフラッシュ動作を開始します。
- IITV[2:0]ビットが 0 でないとき：
  最初の正常なトランザクション以降に、バッファフラッシュ動作を開始します。

図 37.17 にバッファフラッシュの例を示します。インターバルフレームの前に予期しないトークンを受信した場合、データセットアップ状態に応じて、USBHS は書き込みデータを送出またはアンダーランエラーとして Zero-Length パケットを送出します。

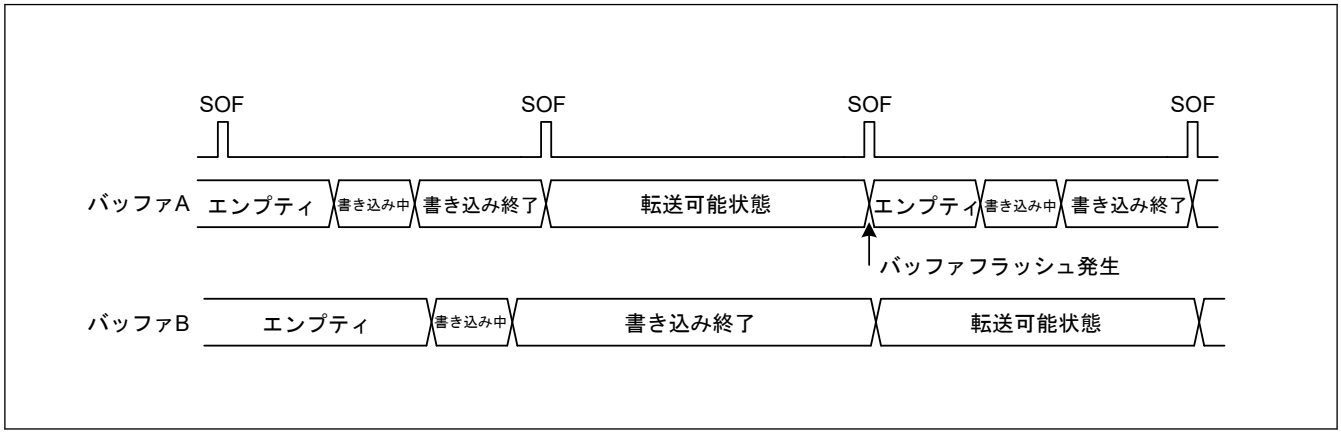


図 37.17　バッファフラッシュ動作例

図 37.18 に、インターバルエラーの発生例を示します。この図に示すように、インターバルエラーには 5 種類あります。図中の①のタイミングでインターバルエラーが発生し、バッファフラッシュ機能が動作します。

IN 転送時にインターバルエラーが発生した場合は、バッファフラッシュ機能が動作します。OUT 転送時にインターバルエラーが発生した場合は、NRDY 割り込みが発生します。この NRDY 割り込みや受信パケットエラーによる NRDY 割り込みとオーバーランエラーとの区別は、FRMNUM.OVRN ビットで判定してください。

図中網掛けのトークンに対しては、FIFO バッファステータスに応じた応答になります。

- IN 方向の場合：
  - バッファがデータを転送できる状態であれば、データが転送されて正常応答が返される
  - バッファがデータを転送できない状態であれば、Zero-Length パケットが送信されてアンダーランエラーが発生する
- OUT 方向の場合：
  - バッファがデータを受信できる状態であれば、データが受信されて正常応答が返される
  - バッファがデータを受信できない状態であれば、受信データが破棄されてオーバーランエラーが発生する

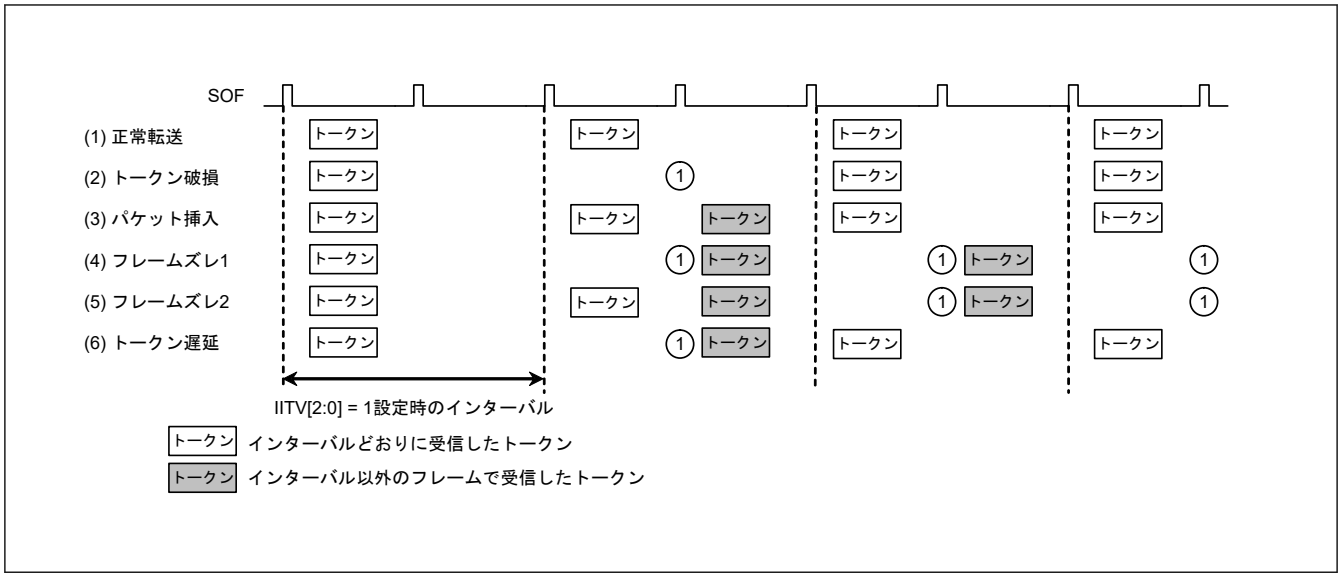


図 37.18 PIPEPERI.IITV[2:0] = 1 の場合のインターバルエラー発生例

37.3.13 SOF 補完機能

デバイスコントローラモード時、SOF パケットが欠落している、または壊れているために、ハイスピードモードで 125 µs 間隔またはフルスピードモードで 1 ms 間隔でパケット受信ができなかった場合、USBHS が SOF を補完します。SYSCFG.USBE ビットと LPSTS.SUSPENDM ビットがともに 1 であり、SOF パケットが受信された場合に、SOF 補完が開始します。補完機能は、以下の条件で初期化されます。

- パワーオンリセット
- USB バスリセット
- Suspend ステート検出

SOF 補完機能は以下のように動作します。

- フレームインターバル（125 µs または 1 ms）は、リセットハンドシェイクプロトコルの結果で判定される
- SOF パケット受信までは補完機能は動作しない
- 最初の SOF パケット受信時、48 MHz 内部クロックで 125 µs または 1 ms をカウントして、補完を実行する
- 2 回目以降の SOF パケットを受信時には前回の受信間隔を用いて補完する
- Suspend ステート時または USB バスリセット受信時は補完しない。ハイスピード動作時、補完は Suspend ステートへの遷移時に最後のパケットから 3 ms 継続する

USBHS では SOF パケット受信で制御される、下記の機能を利用できます。SOF パケットが欠落した場合、これらの機能により SOF 補完を行うため正常動作を継続させることができます。

- フレーム番号およびマイクロフレーム番号の更新
- SOFR 割り込みと micro-SOF ロック
- SOF パルス出力
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合、FFRMNUM.FRNM[10:0]フラグは更新されません。ハイスピード動作時に micro-SOF パケットが欠落した場合、URMNUM.UFRNM[2:0]ビットが更新されます。

ただし、UFRNM[2:0]ビットが 000b のときに micro-SOF パケットが欠落すると、FRNM ビットは更新されません。この場合、UFRNM[2:0]ビットが 000b 以外のときに、UFRNM[2:0]ビットが 000b 以外の値に設定されている次の micro-SOF パケットを正常受信しても、FRNM ビットは更新されません。

37.3.14 パイプスケジュール

37.3.14.1 トランザクション発行条件

ホストコントローラモード時、DVSTCTR0.UACT ビットを 1 にすると、USBHS は表 37.33 に示す条件でトランザクションを発行します。

表 37.33 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID[1:0]	IITV0	バッファの状態	SUREQ
SETUP	—(注1)	—(注1)	—(注1)	—(注1)	1 設定
コントロール転送データステージ、ステータスステージ、バルク転送	IN	BUF	—(注1)	受信領域あり	—(注1)
	OUT	BUF	—(注1)	送信データあり	—(注1)
インタラプト転送	IN	BUF	有効(注2)	受信領域あり	—(注1)
	OUT	BUF	有効(注2)	送信データあり	—(注1)
アイソクロナス転送	IN	BUF	有効(注2)	(注3)	—(注1)
	OUT	BUF	有効(注2)	(注4)	—(注1)

注 1. 表中の「—」は、トークンの発行に関係のない条件であることを意味します。
注 2. 「有効」とは、インタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみトランザクションを発行することを意味します。
注 3. 受信領域の有無にかかわらず、トランザクションを発行します。ただし、受信領域がない場合、受信データを破棄します。
注 4. 送信データの有無にかかわらず、トランザクションを発行します。ただし、送信データがない場合、Zero-Length パケットを送信します。

37.3.14.2 転送スケジュール

USBHS のフレーム内の転送スケジューリング方法について説明します。USBHS は SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行：
   パイプ 1→パイプ 2→パイプ 6→パイプ 7→パイプ 8→パイプ 9 の順にパイプを検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送の SETUP トランザクション：
   DCP を確認して、SETUP トランザクションが可能であれば送信します。
3. バルク転送、コントロール転送データステージ、およびコントロール転送ステータスステージの実行：
   DCP→パイプ 1→パイプ 2→パイプ 3→パイプ 4→パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
   トランザクションが発行されると、周辺デバイスからの応答が ACK であるか NAK であるかにかかわらず、処理は次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、ステップ 3.を繰り返します。

37.3.14.3 USB 通信許可

DVSTCTR0.UACT ビットを 1 にすると、SOF の送信が開始され、トランザクションの発行が可能となります。UACT ビットを 0 にすると、SOF の送信を停止し Suspend ステートになります。UACT ビットを 1 から 0 にする場合、次の SOF を送信してから停止します。

37.3.15 バッテリチャージング検出処理

USBHS では、Battery Charging 規格が定める Data Contact Detection 処理（D+ラインコンタクト確認）、Primary Detection 処理（Charger 検知処理）、Secondary Detection 処理（Charger 判定処理）を制御できます。

ここでは、デバイスコントローラモードおよびホストコントローラモードで必要な動作について説明しています。

37.3.15.1 デバイスコントローラモードでの処理

ファンクションデバイスを Battery Charging の Portable Device として動作させるには：

1. D+/D-ラインとのコンタクトを検出し、Primary Detection 処理を開始します。Battery Charging 規格には、2 つの Data Contact Detection 処理方法が定められています。以下のとおり、USBHS は両方の方法に対応しています。
   - ソフトウェア処理
     VBINT 割り込みの後、または VBSTS フラグのポーリングが USBHS_VBUS 入力端子のステート変化を示すとき、ソフトウェアはウェイトを 300ms～900ms に制御します。次に BCCTRL.VDPSRCE ビットと IDMSINKE ビットを 1 にして（それぞれ VDP_SRC 回路、IMP_SINK 回路を有効化）、Primary Detection 処理を開始します。
   - ハードウェア処理
     D+ラインに 7～13 µA の電流を印可して、D+ラインを Logic High にします。これは、D+/D-ラインがホストのプルダウン抵抗とコンタクトすると、ホストデバイス側のプルダウン抵抗により D+/D-ラインが Logic Low になることを検知するために行います。BCCTRL.IDPSRCE ビットが 1 のとき（IDP_SRC 回路を有効化）、D+ライン上のレベルが High から Low にいつ変化するかを確認するため、SYSSTS0.LNST[1:0] フラグをモニタリングします。D+ライン上の Low レベルを検出後、BCCTRL.IDPSRCE ビットを 0 にして、IDP_SRC 回路を無効化し、BCCTRL.VDPSRCE ビットと IDMSINKE ビットの両方を 1 にして、VDP_SRC 回路と IDM_SINK 回路を有効化し、Primary Detection 処理を開始します。VDPSRCE ビットおよび IDMSINKE ビットは、同時に 1 にしてください。
2. Primary Detection 処理の開始後、ソフトウェア制御による 40ms のウェイトの後に、BCCTRL.CHGDETSTS フラグを確認してください。値が 1 のとき、Charger 検出と Secondary Detection 処理の開始を示します。(注1)
3. Secondary Detection 処理を開始するには、BCCTRL.VDPSRCE ビットと IDMSINKE ビットの両方を 0 にして、VDP_SRC 回路と IDM_SINK 回路をそれぞれ無効化します。次に、BCCTRL.VDMSRCE ビットおよび IDPSINKE ビットを 1 にし、VDM_SRC 回路と IDP_SINK 回路をそれぞれ有効化します。
4. Secondary Detection 処理の開始後、ソフトウェア制御による 40ms のウェイトの後に、BCCTRL.PDDETSTS フラグを確認してください。値が 1 のとき、Secondary Detection 処理が完了したことを示します。

注 1. Primary Detection 処理では、0.25～0.4 V の範囲より大きい電圧、および 0.8～2.0 V の範囲より小さい電圧を D-ライン上で検出すると、他のデバイスが Battery Charging に対応したホストデバイスであることを示します（Charging Downstream ポート）。PHY ブロックの BCCTRL.CHGDETSTS フラグは、D-ライン上の電圧が 0.25～0.4 V の範囲より大きいかどうかのみ示します。そのため、必要に応じて SYSSTS0.LNST[1:0]フラグの読み出し処理を追加で行い、D-ライン上の電圧が 0.8～2.0 V の範囲より小さいことも確認してください。

図 37.19 に、この処理フローを示します。

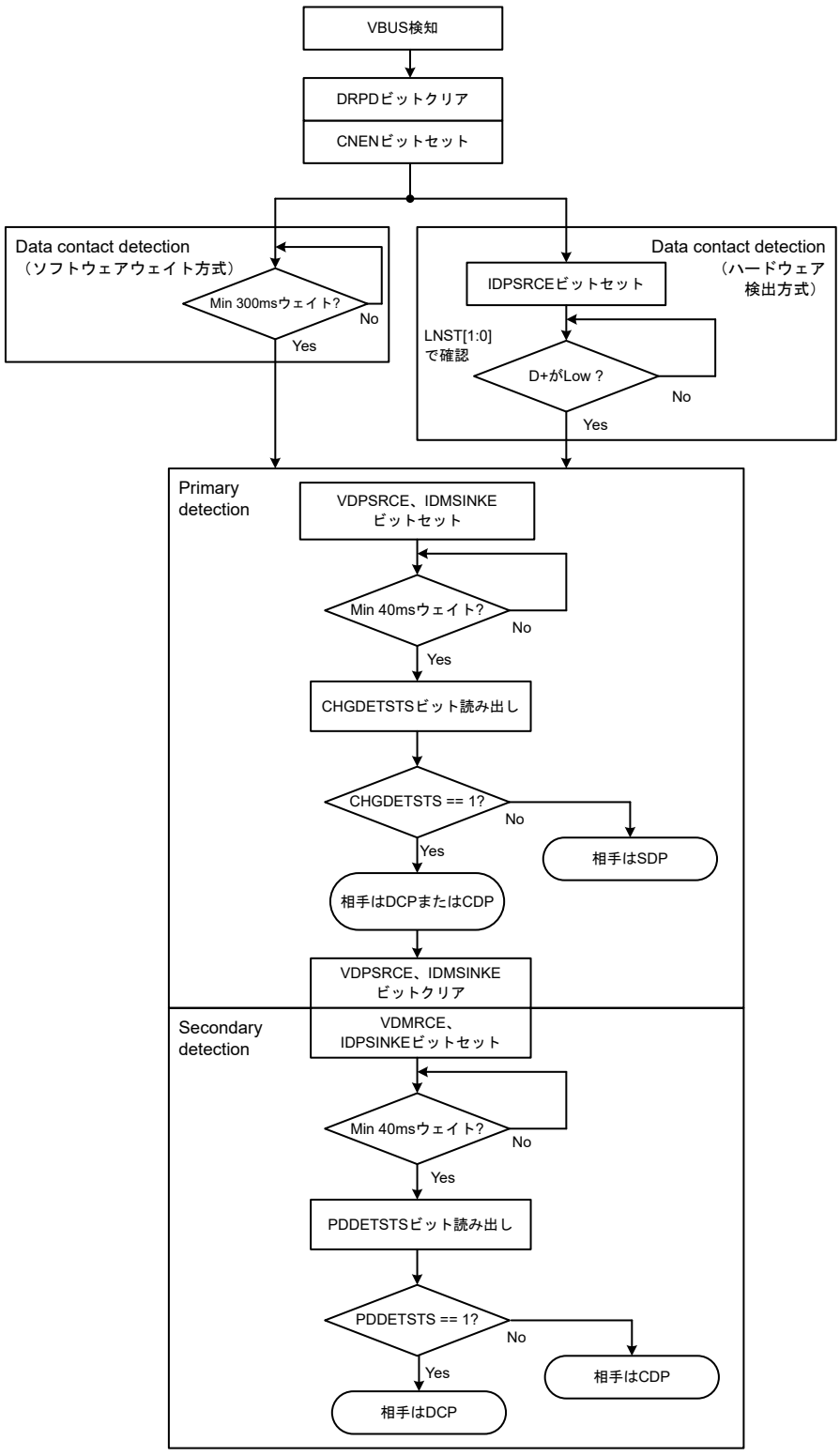


図 37.19　Portable Device としての処理フロー

37.3.15.2 ホストコントローラモードでの処理

ホストコントローラモード時は、Portable Device が Primary Detection を実施できるように、D-ラインをドライブすることが求められます。USBHS は、以下の 2 種類の Primary Detection 方式に対応しています。

- ハードウェアが Portable Device 検出機能を搭載している場合
- ハードウェアに Portable Device 検出機能が未搭載、または機能は存在するが使用されていない場合

図 37.20 および図 37.21 に、それぞれの処理フローを示します。

(1) ハードウェアが Portable Device 検出機能を搭載している場合

a. USBHS_VBUS 入力端子のドライブを開始する。

b. BCCTRL.IDMSINKE ビットを 1 にして、Portable Device 検出回路を有効にする。

c. Portable Device 検出信号をモニタリングし、Portable Device 検出信号レベルが High のとき、D-ラインのドライブを開始する。(注1)

d. Portable Device 検出信号が Low レベルのとき、D-ラインのドライブを停止する。(注1)

注 1. PDDETINT 割り込みは、Portable Device 検出信号 (EUH_CPDDET) のレベル変化を示します。PDDETSTS フラグを読み出すと、現在のレベルが取得できます。

(2) ハードウェアに Portable Device 検出機能が未搭載、または未使用の場合

a.および b.のタイミング調整はソフトウェアが行います。

a. 切断検出後、200 ms 以内に D–ラインのドライブを開始する。

b. 接続検出後、10 ms 以内に D–ラインのドライブを停止する。

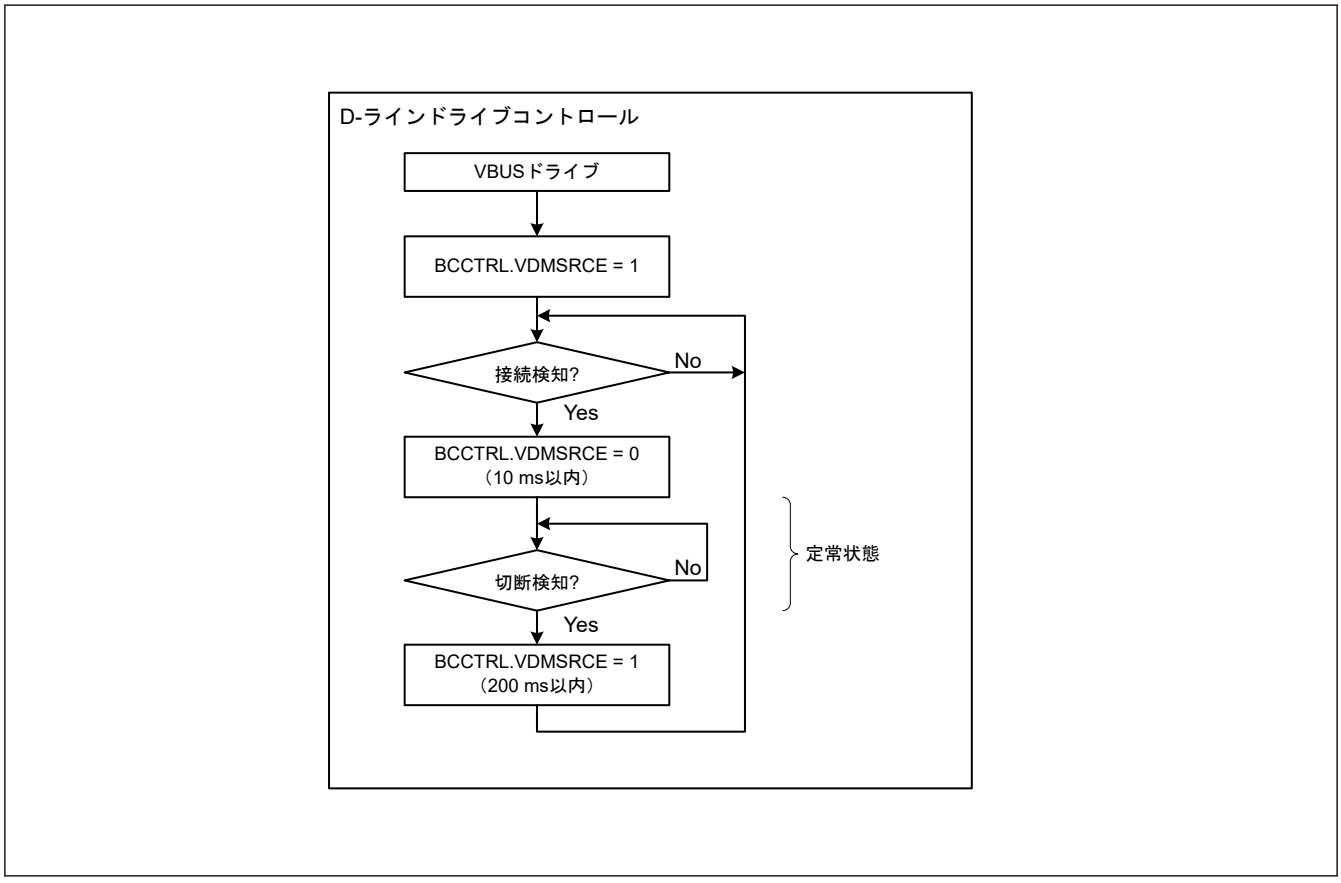


図 37.20 ハードウェアに Portable Device 検出機能未搭載または未使用時の Charging Downstream ポート処理フロー

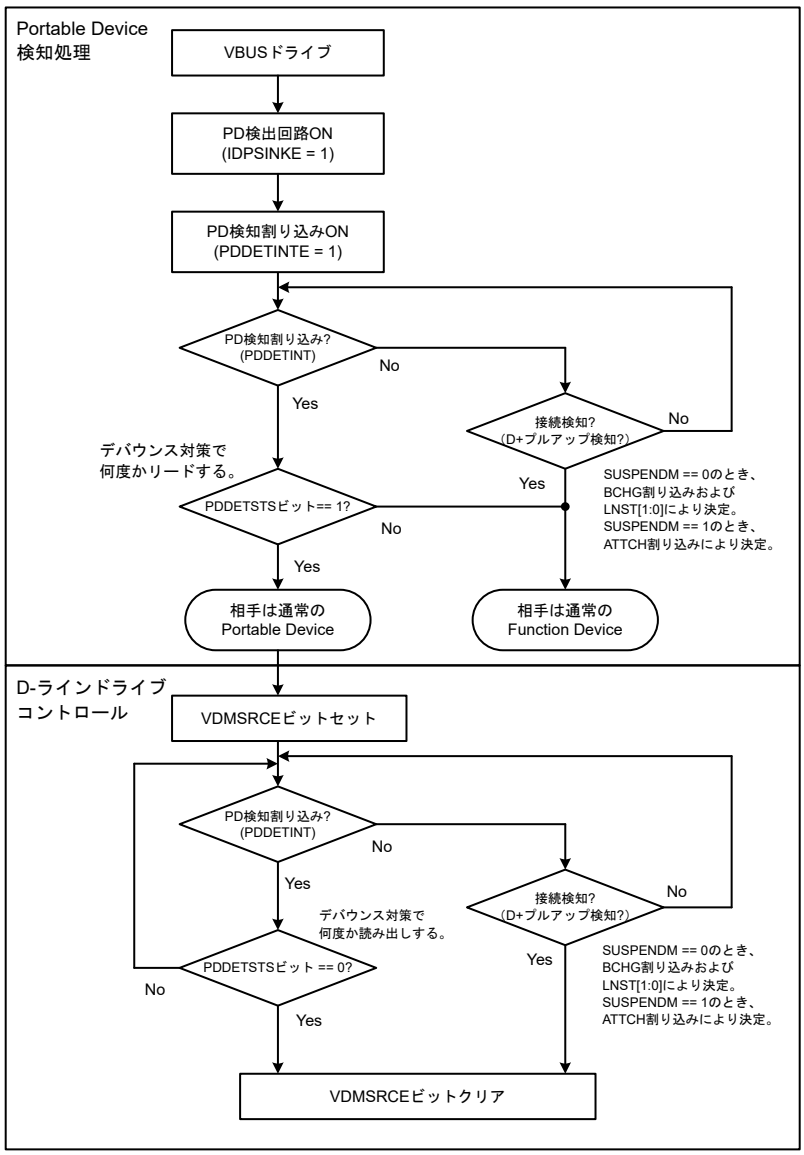


図 37.21　ハードウェアに Portable Device 検出機能搭載時の Charging Downstream ポート処理フロー

37.3.16　Link Power Management 処理

Link Power Management 規格では、既存の Suspend ステートを L2 ステートと定義し、さらに L2 (Suspend) ステートよりも遷移や復帰までの待ち時間が短いステートとして、L1 ステートを定義しています。表 37.34 に、L2 (Suspend) ステートおよび L1 ステートの比較表を示します。

表 37.34　L2 (Suspend) ステートと L1 ステートの比較 (1/2)

項目	L1 ステート	L2 (Suspend) ステート
遷移	LPM トランザクション	3 ms 間のアイドル
ホスト起因の復帰	ホスト： ホストは、最短ドライブ期間 (75 µs～1.175 ms) を指定可能 ファンクション： 10 µs K ドライブ	ホスト： 最短 20 ms K ドライブ ファンクション： 10 ms K ドライブ

表 37.34 L2 (Suspend) ステートと L1 ステートの比較 (2/2)

項目	L1 ステート	L2 (Suspend) ステート
ファンクション起因の復帰	デバイス： 50 µs K ドライブ ファンクション： 60～990 µs K ドライブ デバイス： 10 µs K ドライブ	ファンクション： 1～15 ms K ドライブ ホスト： 最短 20 ms K ドライブ ファンクション： 10 ms K ドライブ
シグナリング	フルスピードおよびロースピードアイドル	フルスピードおよびロースピードアイドル

37.3.16.1 デバイスコントローラモードでの処理

(1) ディスクリプタの内容

デバイスコントローラモード時、USBHS は GetDescriptor コマンド受信時にディスクリプタを返す必要があります。

L1 ステートへの遷移および L1 ステートからの復帰が LPM トランザクションの処理に対応するかどうかに応じて、返送するディスクリプタの内容を変更してください。次の表は、LPM 対応とディスクリプタの関係を示しています。

表 37.35 LPM 対応とディスクリプタの関係

LPM への対応	bcdUSB フィールド	USB2.0 拡張ディスクリプタ		LPM リクエストを受けた場合の応答	備考
		有無	LPM ビット値		
しない	0x0200	なし	—	応答しない	LPM 未対応の場合は標準動作
	0x0201	あり	0	STALL	LPM への非対応をクリアするための設定 この場合、STALL 応答を返す必要あり。
する	0x0201	あり	1	ACK または NYET	LPM に対応する場合の標準動作

L1 への遷移または L1 からの復帰に対応するかどうかは、USB 2.0 拡張ディスクリプタの LPM ビットで宣言します。また、USB 2.0 拡張ディスクリプタを持たせるには、デバイスディスクリプタの bcdUSB フィールドを 0x0201 以上の値にする必要があります。

LPM に対応しない場合、USB 2.0 拡張ディスクリプタは持たず、bcdUSB フィールド値は 0x0200 でなければなりません。この場合、LPM トークンを受信したとしても無視する必要があります。また、bcdUSB フィールド値を 0x0201 に、USB 2.0 拡張ディスクリプタの LPM ビットを 0（LPM トークン非対応）にすることもできます。この場合、LPM トークンを無視せず、STALL 応答を返す必要があります。

LPM トークンに対応する場合は、bcdUSB フィールド値を 0x0201 とし、USB 2.0 拡張ディスクリプタの LPM ビットを 1（LPM トークンに対応）とします。この場合、LPM トークンに対して NYET 応答もしくは ACK 応答を返して、アクノリッジすることができます。

(2) LPM トークン受信時の処理

デバイスコントローラモード時の、L1 ステートへの遷移および L1 ステートからの復帰は以下のように行われます。

a. USBHS がホストから LPM トークンを受信すると、PL1CTRL1 レジスタの L1RESPEN ビット、L1RESPMD[1:0]ビット、および L1NEGOMD ビットの設定により、応答パケットを送信するかどうか、トークンを無視するかどうか、応答を送信する場合にその応答は ACK パケットか、NYET パケットか、STALL パケットかが決定されます。

b. LPM トークンに対して ACK 応答が送信され、8 µs 以内にホストが再度 LPM トークンを送信しない場合、USBHS は L1 ステートに遷移します。USBHS は、新しく送信されたパケットの検出と L1 ステートへの遷移を処理します。DVST 割り込みは、遷移の検出に使用できます。

c. 2 種類の処理により、USBHS を L1 ステートから復帰させることができます。

- ホストが D-ラインを K-State にドライブする場合：

ファンクションデバイスは K-State を検出し、RESM 割り込み要求に対応して L1 ステートからの復帰処理を開始します。

- ファンクションデバイスがリモートウェイクアップ信号を出力する場合：
  ファンクションデバイスのソフトウェアが DVSTCTR0.WKUP ビットを 1 にすると、ホストにリモートウェイクアップ信号が送信されます。

L2 (Suspend) ステートから復帰する場合はソフトウェアで DVSTCTR0.WKUP ビットを 0 にし、L1 ステートから復帰する場合は USBHS が DVSTCTR0.WKUP ビットを 0 にします。

(3) HIRD フィールド値のネゴシエーション機能

LPM トークンに含まれる HIRD フィールド値は、L1 ステートからの復帰における Host K ドライブ期間を示します。HIRD フィールド値は、ターゲットシステムの要件に応じて調整できます。たとえば、転送効率向上を主眼に置いたシステムでは小さい HIRD フィールド値を、低消費電力に主眼を置いたシステムでは大きい HIRD フィールド値を設定した方が良好に動作します。

PL1CTRL1 レジスタの L1NEGOMD ビットおよび HIRDTHR[3:0]ビットの設定に基づいて、受信 HIRD フィールド値が期待される範囲内の値のときは ACK 応答が、それ以外の場合は NYET 応答が返され、ホストに対して HIRD フィールド値の変更が要求されます。

注. ホストにおける、この HIRD フィールド値ネゴシエーション機能は、ネゴシエーション処理にも対応していなければなりません。

37.3.16.2 ホストコントローラモードでの処理

(1) LPM トークン送信時の処理

ホストコントローラモード時の、L1 ステートへの遷移および L1 ステートからの復帰は以下のように行われます。

a. HL1CTRL.L1REQ ビットを 1 にすると、ホストデバイスからファンクションデバイスに LPM トークンが送信されます。

b. ファンクションデバイスから ACK 応答を受信した場合、10 µs 以内に L1 ステートへの遷移を開始し、50 µs 以内に遷移を完了させます。トランザクションエラーを検出すると、8 µs 以内に再度 LPM トークンが送信されます。再送処理は 2 回まで行えます。これらの処理はすべて USBHS が制御します。

c. 2 種類の処理により、USBHS を L1 ステートから復帰させることができます。

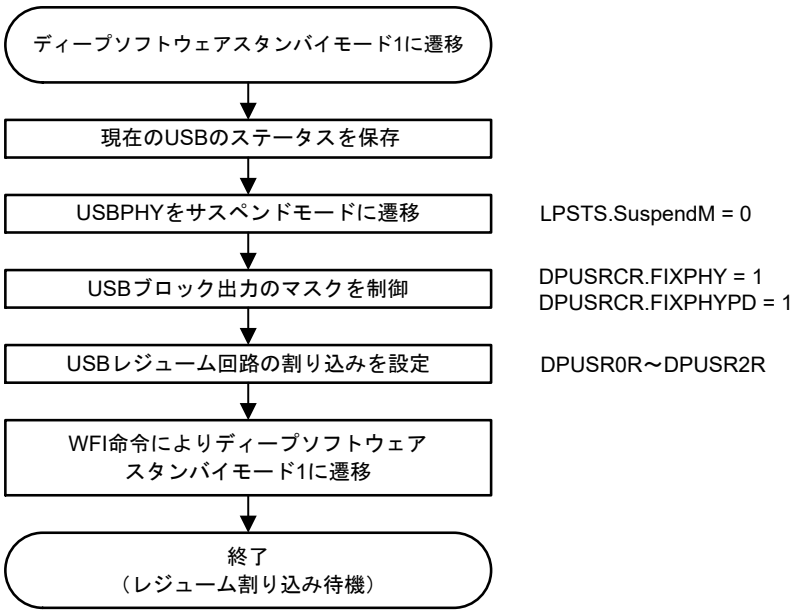
- ホストが D-ラインを K-State にドライブする場合：
  DVSTCTR0.RESUME ビットが 1 のとき、ホストデバイスは D-ラインを K-State にドライブし始め、復帰処理を開始します。
- ファンクションデバイスがリモートウェイクアップ信号を生成する場合：
  ホストデバイスがファンクションデバイスからのリモートウェイクアップ信号を検出すると、DVSTCTR0.RESUME ビットを 1 にして、D-ラインを K-State にドライブし始めます。

Suspend（L2）ステートからの復帰とは異なり、USBHS が DVSTCTR0.RESUME ビットを 0 にします。RESUME ビットをクリアした後で、DVSTCTR0.UACT ビットを 1 にし、L1RSMEND 割り込み要求を発行します。

37.3.17 USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除

ディープソフトウェアスタンバイモード 1 は、USB のサスペンド／レジューム割り込みにより解除できます。USB のサスペンド／レジューム割り込みは、USB レジューム検出部によって検出されます。USB レジューム検出部は、USB 用の入出力端子の制御およびモニタを行い、割り込みを検出します。

図 37.22 に、ホストコントローラモードまたはデバイスコントローラモードからディープソフトウェアスタンバイモード 1 に遷移するときの USBHS 設定フローを示します。図 37.23 および図 37.24 に、ホストコントローラモードからディープソフトウェアスタンバイモード 1 を解除するときの USBHS 設定フローを示します。図 37.25 に、デバイスコントローラモードからディープソフトウェアスタンバイモード 1 を解除するときの USBHS 設定フローを示します。



注. 外部デバイス接続時、ディープソフトウェアスタンバイモード 1 への遷移は、USB サスペンドでのみ許可されます。
注. 以下の場合、ディープソフトウェアスタンバイモード 1 には遷移しないでください。
- USB-LPM プロトコルで L1 サスペンドステータス時
- ホストコントローラモードで、リモートウェイクアップが許可された場合

図 37.22 ホストコントローラまたはデバイスコントローラとしてディープソフトウェアスタンバイモード 1 へ遷移する場合の USBHS 設定フロー

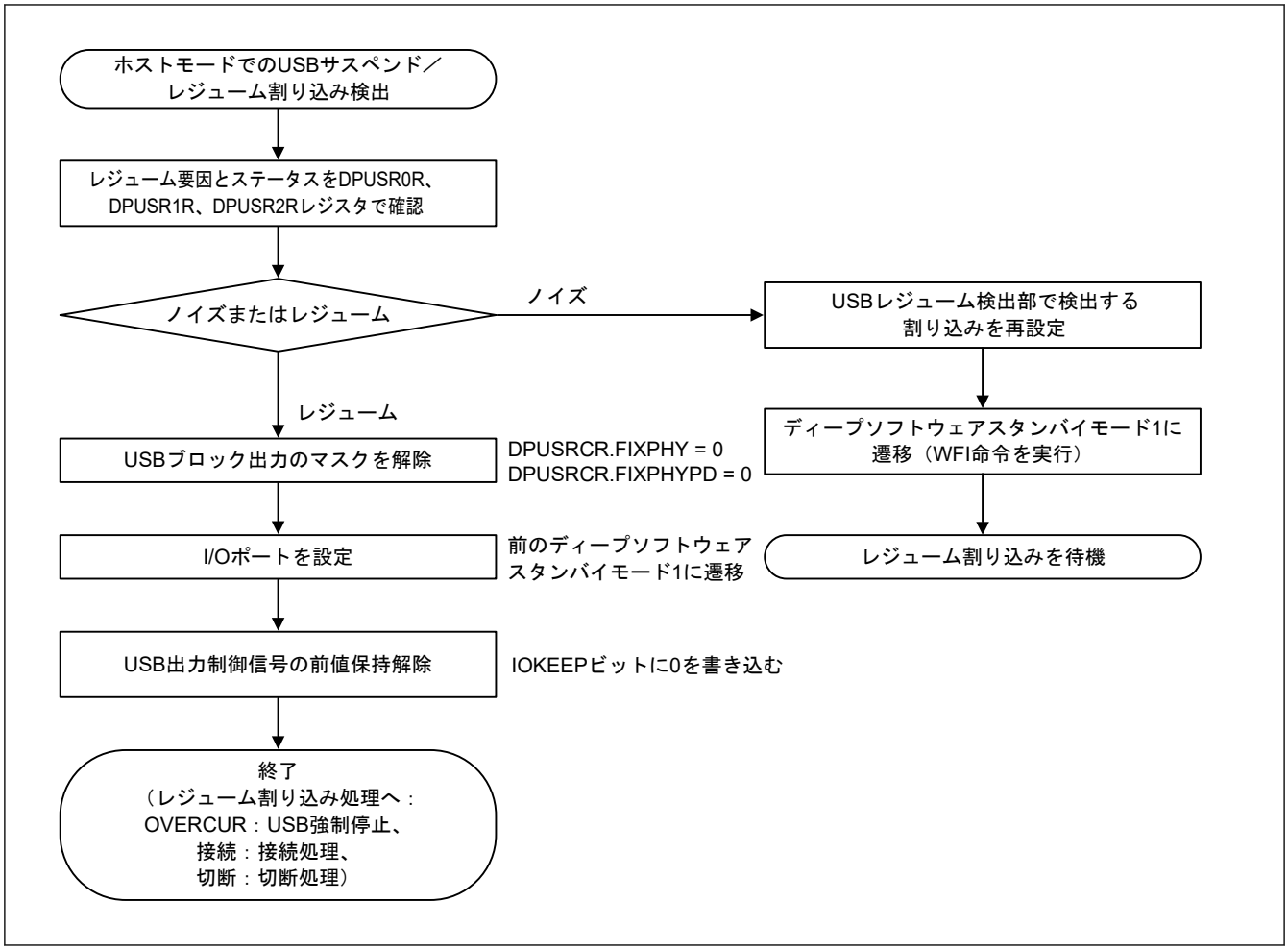


図 37.23 ホストコントローラとしてディープソフトウェアスタンバイモード 1 を解除する場合の USBHS 設定フロー (1)

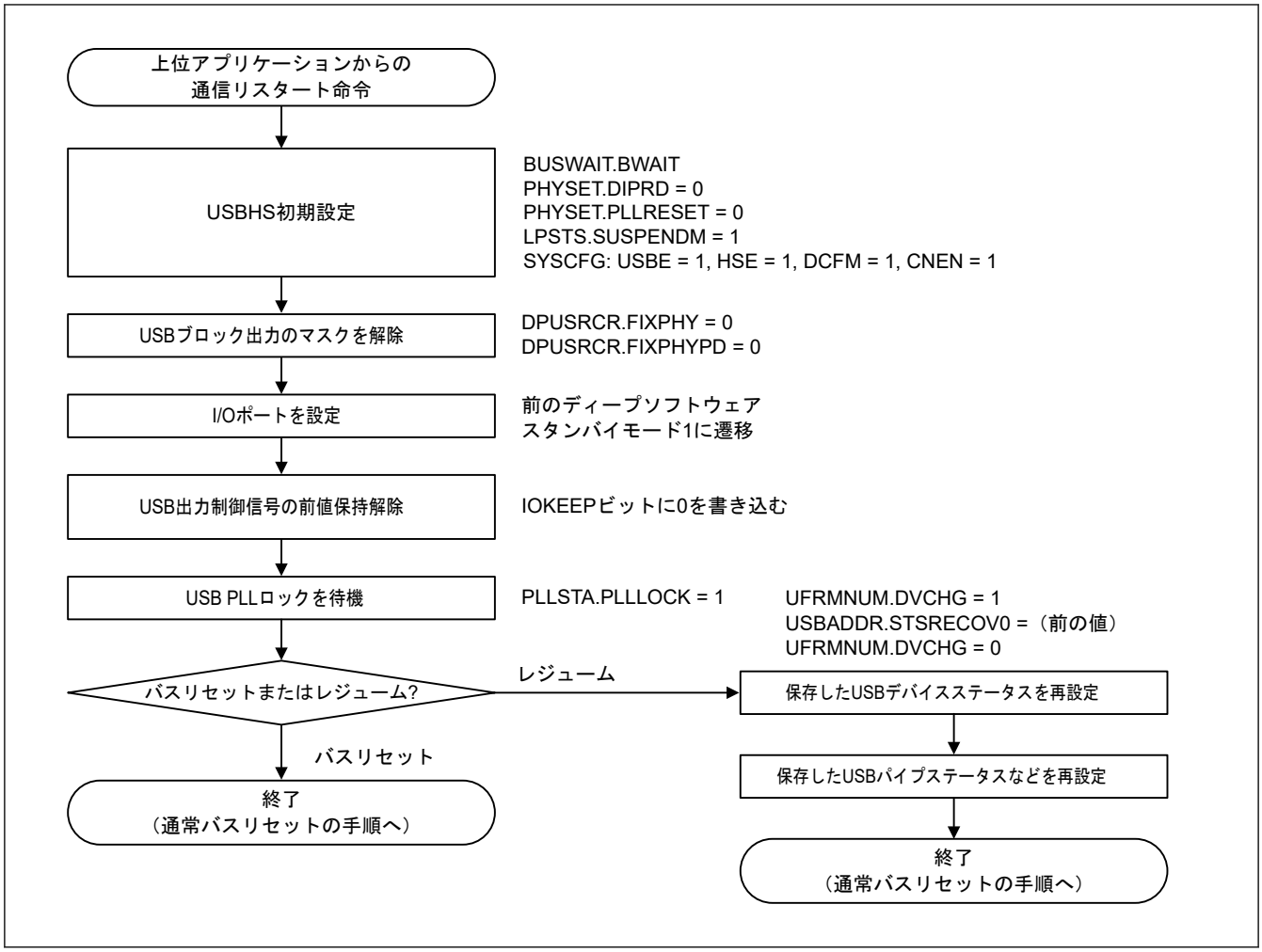
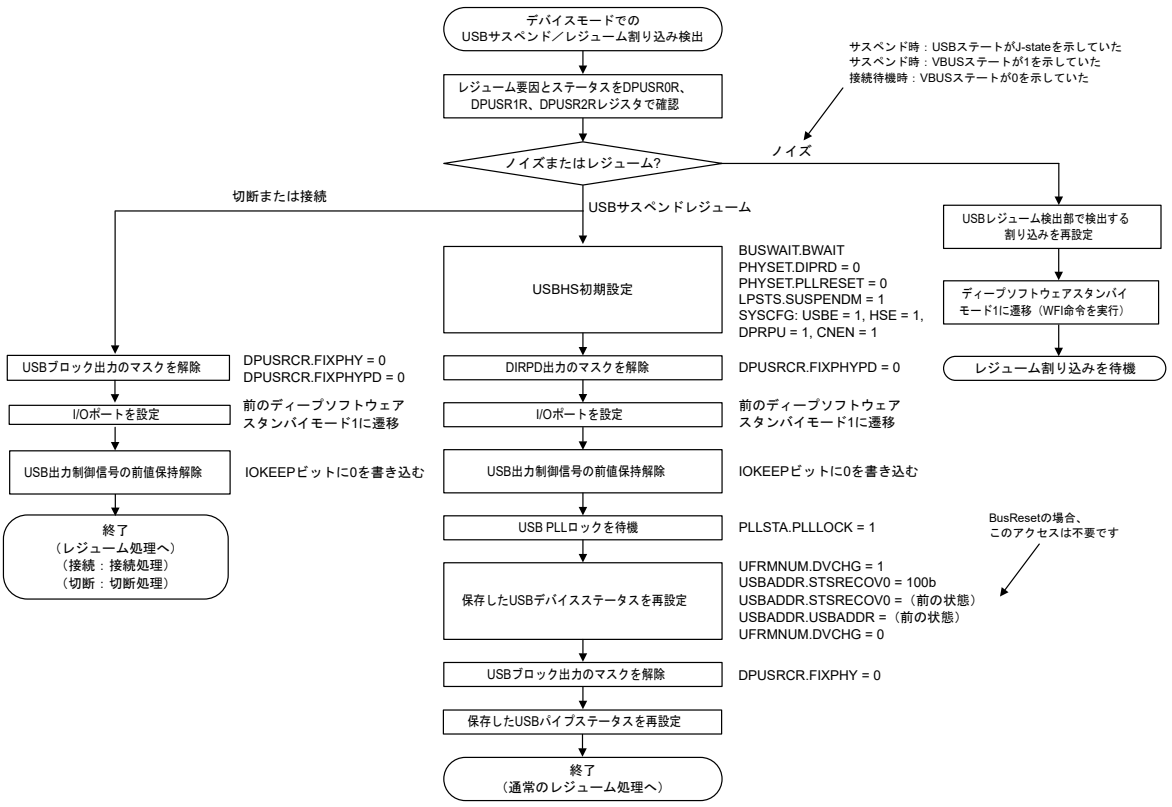


図 37.24　ホストコントローラとしてディープソフトウェアスタンバイモード 1 を解除する場合の USBHS 設定フロー (2)



注 1. バスリセット復帰の場合には、STSRECOV0 ビットへの書き込みは USBHS-PHY PLL の発振開始から 2.5 µs 以内に行ってください。

図 37.25 デバイスコントローラとしてディープソフトウェアスタンバイモード 1 を解除する場合の USBHS 設定フロー (1)

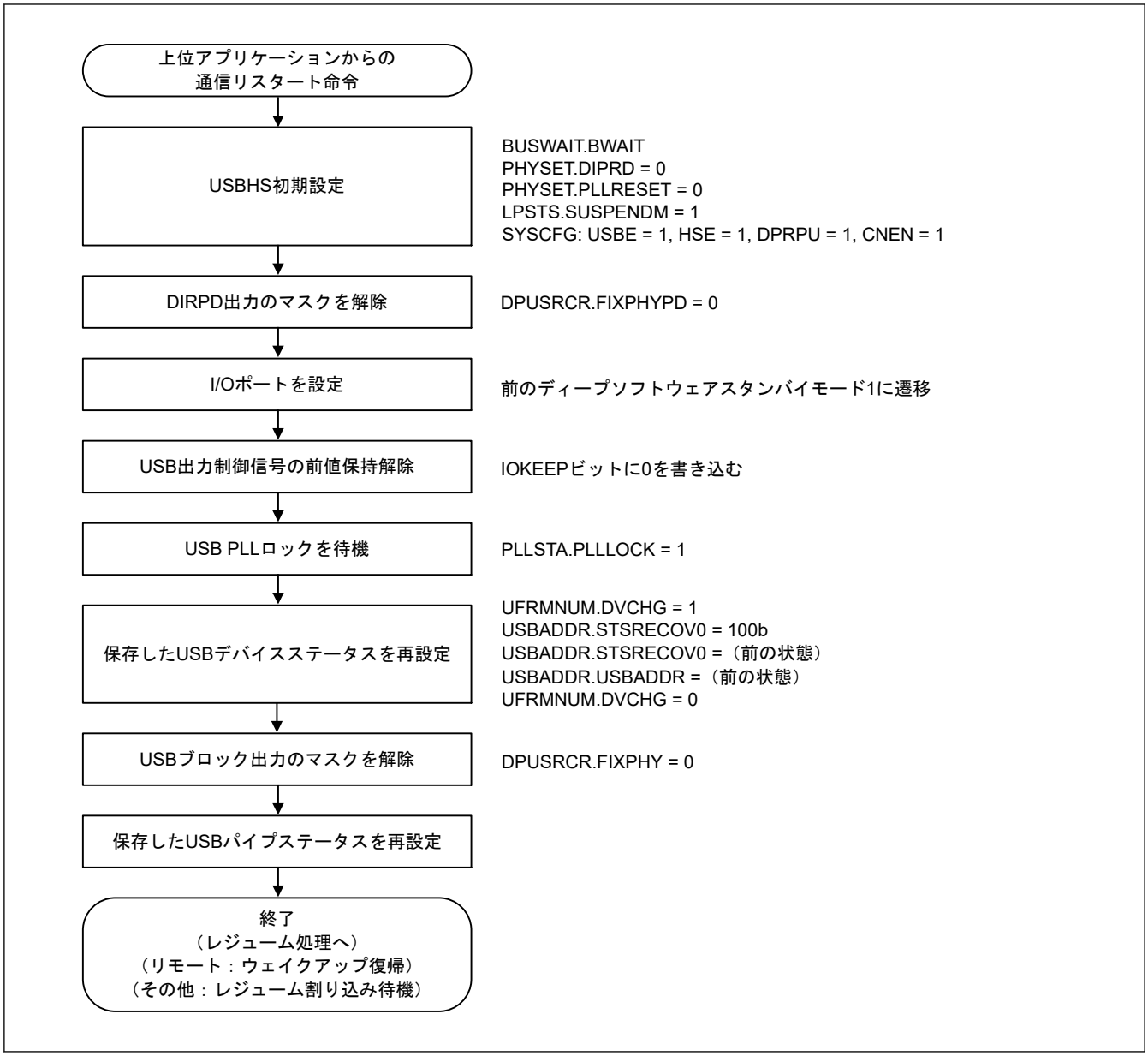


図 37.26 デバイスコントローラとしてディープソフトウェアスタンバイモード 1 を解除する場合の USBHS 設定フロー (2)

37.3.18 外部接続回路例

図 37.27 に、セルフパワードシステムでの OTG 接続例を示します。USBHS は、D+ラインのプルアップ抵抗と D+、D–ラインのプルダウン抵抗を制御します。SYSCFG.DPRPU ビットおよび SYSCFG.DRPD ビットでラインのプルアップとプルダウンを選択してください。デバイスコントローラモードでは、USB ホストとの通信中に SYSCFG.DPRPU ビットを 0 にすると、USB データラインのプルアップ抵抗が無効になります。USBHS はこれを使って、USB ホストにデバイス切断を通知できます。

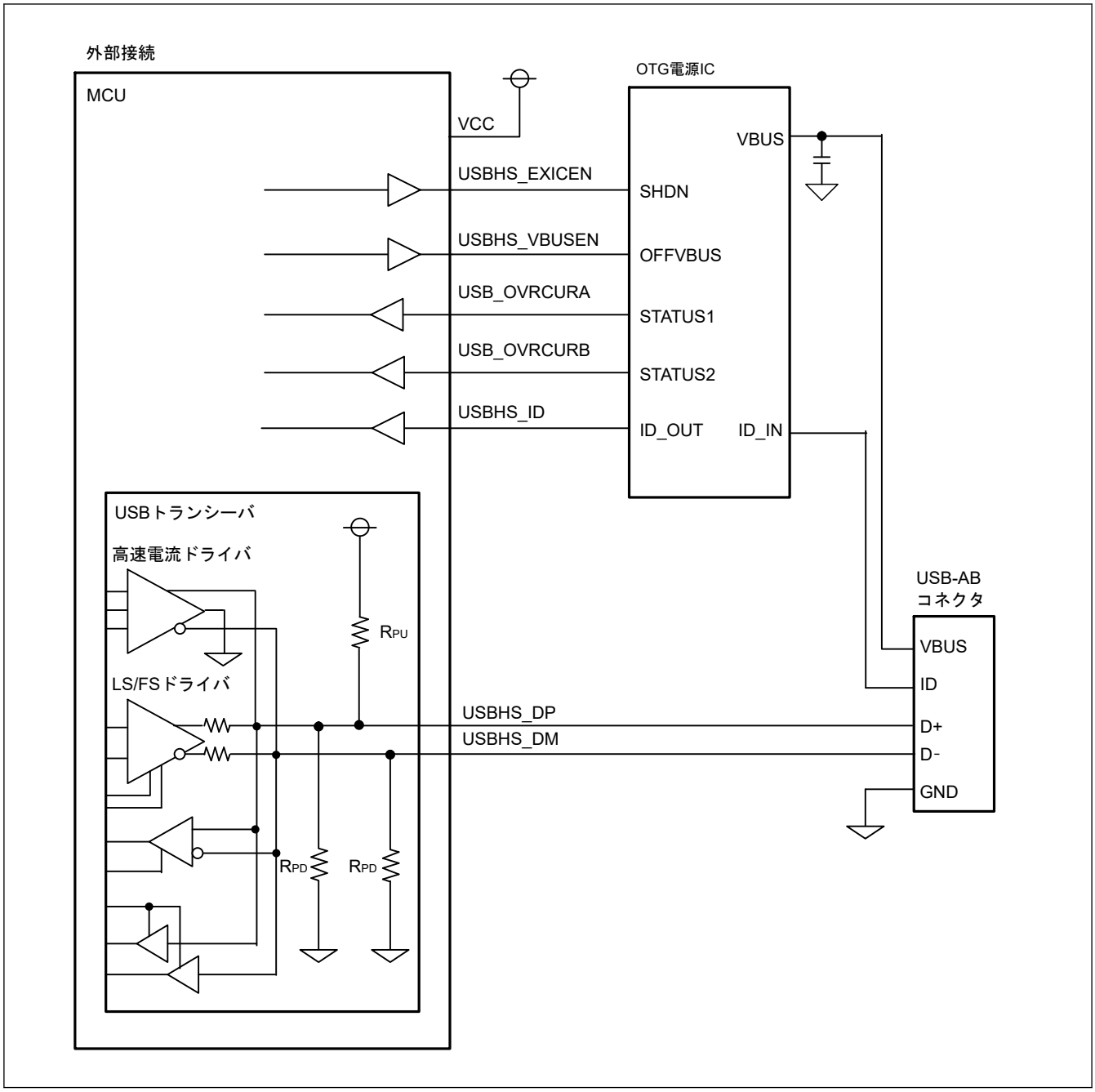
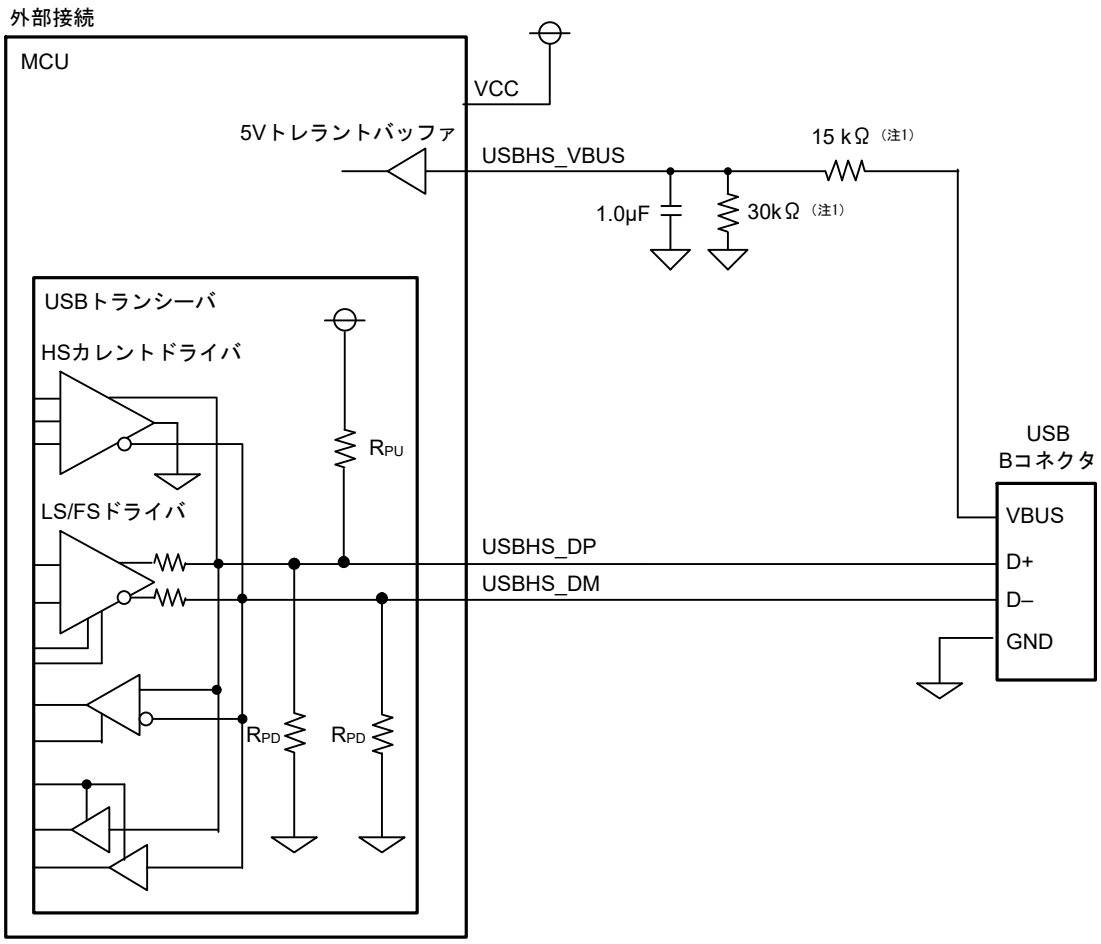


図 37.27　セルフパワードシステムでの OTG 接続例

図 37.28 に、セルフパワードシステムでの USB デバイス接続例を示します。



注 1. USB 接続時に、MCU の VCC 電源が OFF されない場合は、VBUS (5 V) を直接 MCU に接続できます。MCU の VCC 電源が OFF される場合は、VBUS を 3.6 V 未満にして接続してください。

図 37.28 セルフパワードシステムでのデバイス接続例

図 37.29 に、バスパワードシステムでの USB デバイス接続例を示します。

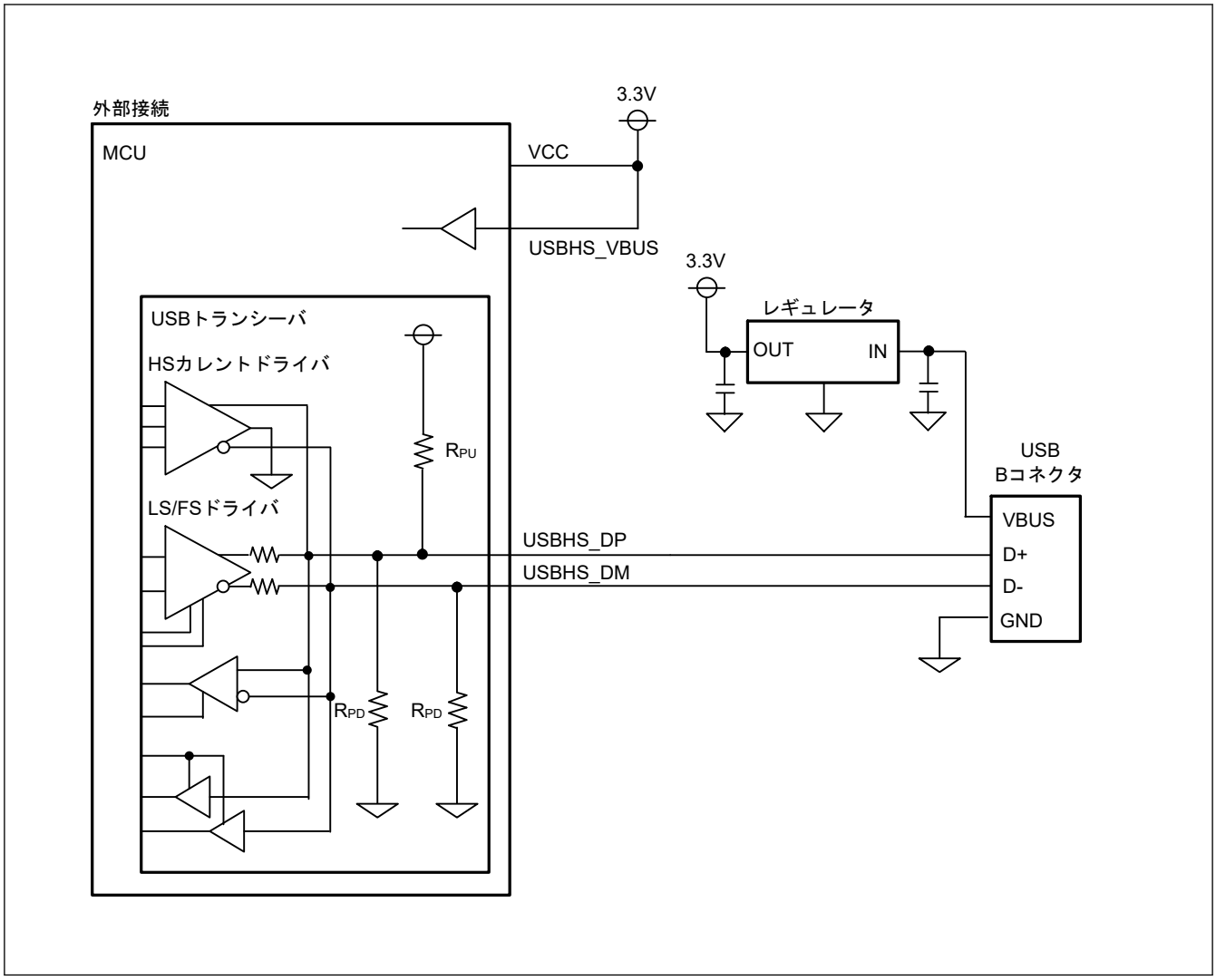


図 37.29　バスパワードシステムでのデバイス接続例

図 37.30 に、USB ホスト接続例を示します。

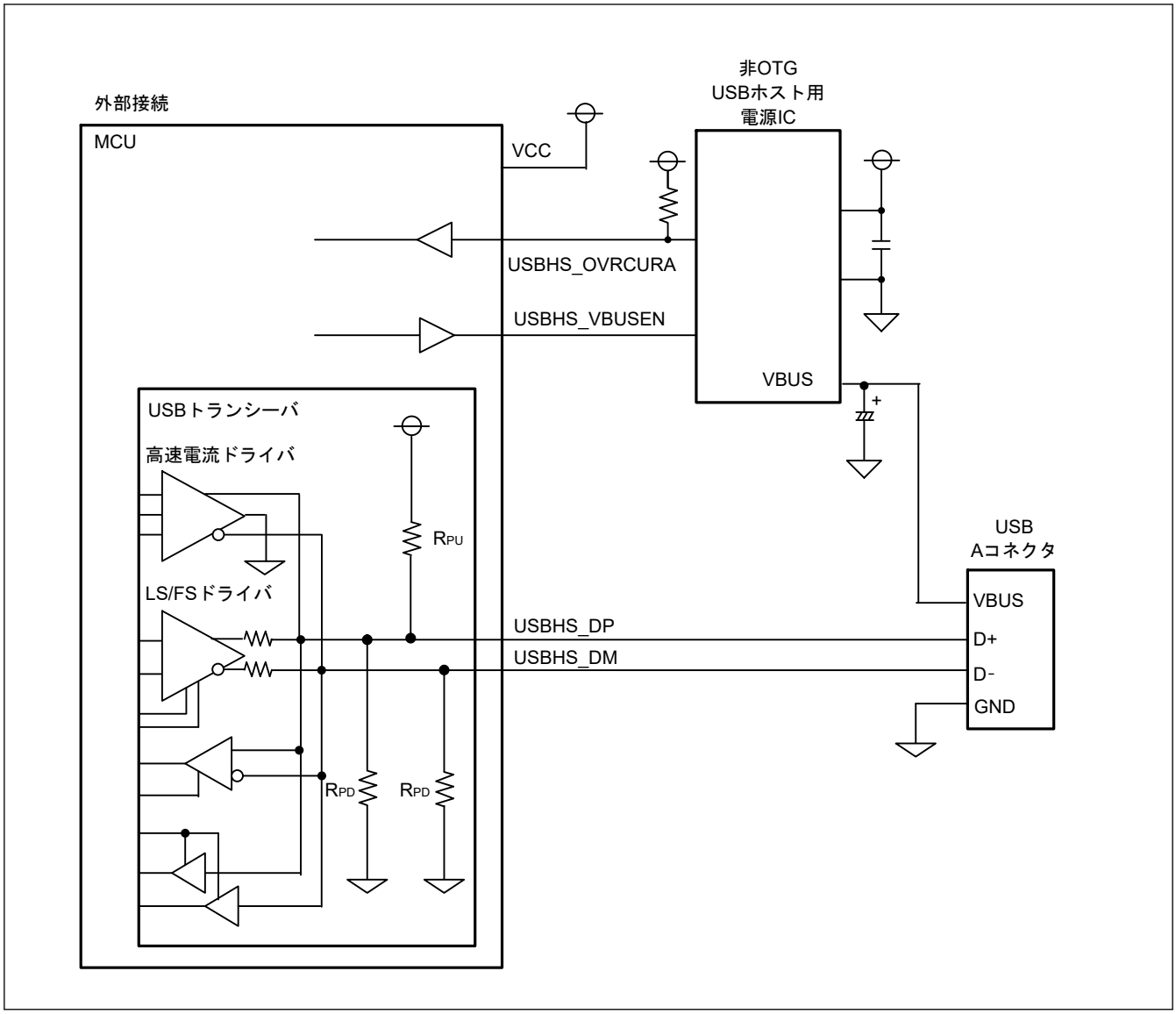


図 37.30 USB ホスト接続例

37.4 使用上の注意事項

37.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、USBHS の動作を無効または有効にすることができます。リセット後の初期状態では、USBHS の動作は停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。モジュールストップ状態の解除後、入力クロック周波数設定など、PHY 回路の起動に必要な設定を行ってから、PHYSET.DIRPD ビットを 0 にクリアします。詳細は、「11. 低消費電力モード」を参照してください。

37.4.2 ディープソフトウェアスタンバイモード 1 遷移時の設定

ディープソフトウェアスタンバイモード 1 への遷移の前に、DVSTCTR0.VBUSEN ビットを 0 にクリアしてください。

37.4.3 ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア

ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、以下の各条件を満たすとき、予期せぬ割り込みが発生することがあります。

- 通常モードで割り込みを許可する

- ソフトウェアスタンバイモードで割り込みを禁止する
- ソフトウェアスタンバイモードを解除する端子の入力レベルがソフトウェアスタンバイモードで変更されている

これらの条件を満たすと、割り込みステータスレジスタの関連する割り込みフラグが予期せずに設定されることがあります。MCU がソフトウェアスタンバイモードを終了した後に、予期しない割り込みが割り込みコントローラに送信される場合があります。この問題を避けるために、解除シーケンスで INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

37.4.4 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは PmnPFS.PSEL および PmnPFS.PMR ポートを設定する前に無効にされるため、内部信号は High または Low に固定されます。ポートの設定後に入力バッファが有効になると、外部端子の状態が MCU に伝播します。このとき、予期せぬ割り込みが発生する場合があり、INTSTS0 レジスタと INTSTS1 レジスタの VBINT および OVRCR ビットなどの割り込みステータフラグが 1 になります。誤作動を回避するために、ポート設定後は INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

37.4.5 レジスタアクセスの制限事項

USBHS レジスタを連続してアクセスするとき、およびディープスタンバイモード関連レジスタ（DPUSR0R、DPUSR1R、DPUSR2R、および DPUSRCR）に書き込むとき、ディープスタンバイモード関連レジスタと最後にアクセスした USBHS レジスタの間に制限があります。以下の 2 つの制限事項のうち少なくとも 1 つを実行する必要があります。

- 最後にアクセスした USBHS レジスタとディープスタンバイモード関連レジスタへの書き込みアクセスの間に、表 37.36 に示されている間隔を設定してください。

表 37.36 ディープスタンバイモード関連レジスタへの書き込みアクセスの前に必要な間隔

最後にアクセスされた USBHS レジスタ	書き込み	読み出し
下記以外のレジスタ	BWAIT[3:0] + 3	BWAIT[3:0] + 3
DPUSR0R, DPUSR1R	130	BWAIT[3:0] + 3
DPUSR2R, DPUSRCR	130	7

注. 単位：PCLKA サイクル

［例］

1. 他のレジスタへの読み出しアクセスをしてから、ディープスタンバイモード関連レジスタへの書き込みアクセスをする場合
   必要な間隔は、BWAIT[3:0] + 3 サイクル以上
2. ディープスタンバイモード関連レジスタへの書き込みアクセスをしてから、ディープスタンバイモード関連レジスタへの書き込みアクセスをする場合必要な間隔は、130 サイクル以上

- ディープスタンバイモード関連レジスタへの書き込みアクセスをする前に USBHS レジスタへの読み出しアクセスを実行したときは、読み出し値を確認してください。USBHS レジスタへの書き込みアクセスを実行したとき、読み出して書き込み値を確認してください。

38. シリアルコミュニケーションインタフェース (SCI)

SCI モジュールの SCI_B バージョンです。

この章では、SCI_B を SCI と表記します。

38.1 概要

シリアルコミュニケーションインタフェース (SCI) × 10 チャネルには、調歩同期式および同期式のシリアルインタフェースがあります。

- 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)）
- 8 ビットクロック同期式インタフェース
- 簡易 IIC（マスタのみ）
- 簡易 SPI
- 簡易 LIN
- スマートカードインタフェース
- マンチェスタインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0～9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。

本章に記載している PCLK とは PCLKA を指します。

SCI の仕様を表 38.1 に示します。各 SCI チャネルの機能を表 38.2 に示します。SCI のブロック図を図 38.1 に示します。クロックソースセレクタのブロック図を図 38.2 に示します。入出力端子を表 38.3 に示します。

表 38.1 SCI の仕様 (1/4)

項目	内容
モジュール数	10 (SCIn (n = 0～9))
シリアル通信方式	• 調歩同期式 • クロック同期式 • 簡易 IIC • 簡易 SPI • 簡易 LIN (SCIn) • スマートカードインタフェース • マンチェスタインタフェース (SCIn)
動作クロック (TCLK)	同期クロック (PCLK) と独立クロック (SCICLK) のどちらかを選択できます。
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信	• 送信部：ダブルバッファによる連続送信が可能 • 受信部：ダブルバッファによる連続受信が可能
半二重通信	TXDn 端子のみを使用した半二重通信が可能です。
データ転送	LSB ファースト転送または MSB ファースト転送を選択可能
通信端子 (RXDn, TXDn) のためのインバータ	各端子 (RXDn, TXDn) に選択できるインバータ
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、アドレス一致 Break Field 検出／出力機能あり、バス衝突検出機能あり、アクティブエッジ検出機能あり (SCIn)。 スタートコンディション、リスタートコンディション、またはストップコンディションの生成完了（簡易 IIC モードの場合）。
ループバック機能	IP 内部の送受信による通信機能の自己診断が可能
同期回路バイパス機能	バスクロック (PCLK) と動作クロック (TCLK) の間の同期回路のバイパスが可能
モジュールストップ機能	チャネルごとにモジュールストップ状態の設定が可能
ソフトウェアスタンバイモードでの受信	SCI0 のみ対応しています。

表 38.1 SCI の仕様 (2/4)

項目		内容
クロック同期式モード	データ長	8 ビット
	受信サンプリングタイミングの調整	内部クロック使用時のみ、マスタモードで受信サンプリングのタイミングをデフォルトのタイミングの後方向に調整可能
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	ハードウェアフロー制御	CTSn_RTSn 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタまたは 16 段 FIFO の選択が可能
調歩同期式モード	データ長	7 ビット、 8 ビット、または 9 ビット
	送信ストップビット	1 ビットまたは 2 ビット
	受信サンプリングタイミングの調整	デフォルトタイミングから前または後に調整可能な受信サンプリングタイミング
	送信タイミングの調整	レジスタの設定値によって制御される送信波形の調整可能エッジタイミング
	パリティ	偶数パリティ、奇数パリティ、パリティなし
	受信エラー検出機能	• パリティエラー • オーバーランエラー • フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn 端子と CTSn 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタまたは 16 段 FIFO の選択が可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求／イベント出力の発行が可能
	スタートビットの検出	Low 検出または立ち下がりエッジ検出を選択可能
	ブレークの検出	CSR レジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロックまたは外部クロックの選択が可能 GPT からの転送レートクロック入力が可能 (SCIn (n = 1, 2))。
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間でシリアル通信が可能
	RS-485 ドライバ制御機能	外部トランシーバ送信モードを有効にする出力 DEn 信号
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
スマートカードインタフェースモード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送出
		送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンションとインバースコンベンションをサポート

表 38.1 SCI の仕様 (3/4)

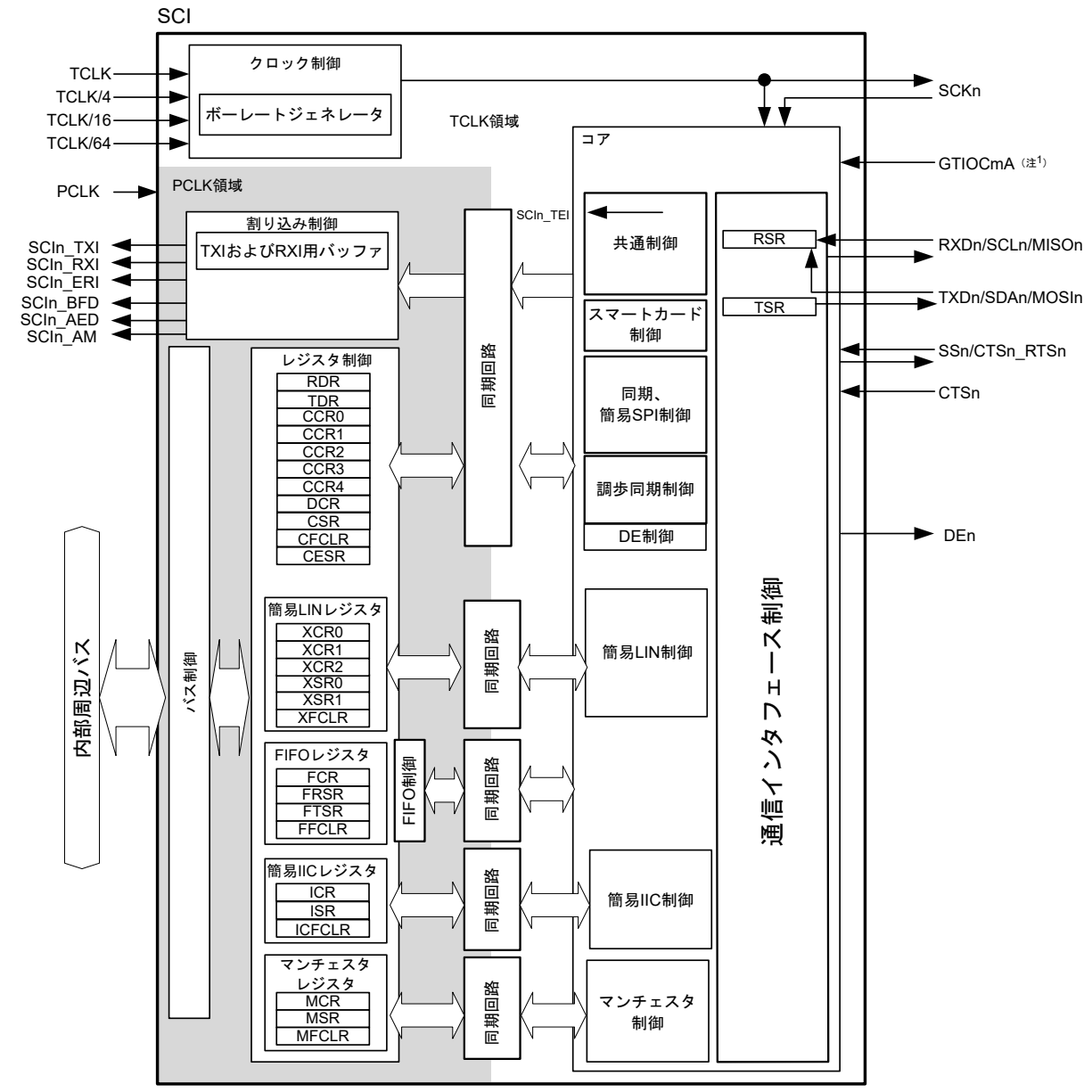
項目		内容
マンチェスタモード	通信フォーマット	プレフィスとスタートビットが付加されたマンチェスタコード
	データ長	7 ビット、 8 ビット、または 9 ビット
	送信ストップビット	1 ビットまたは 2 ビット
	パリティ機能	偶数パリティ、奇数パリティ、またはパリティなし
	受信エラー検出機能	パリティエラー、オーバーランエラー、フレーミングエラー、マンチェスタエラー
	ハードウェアフロー制御	CTSn_RTSn 端子と CTSn 端子を用いた送受信制御が可能
	クロックソース	内部クロックのみが使用可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間のシリアル通信機能
	マンチェスタエンコード／デコード機能	送受信データのマンチェスタエンコード／デコードを行い、マンチェスタコードで通信する機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
	プレフィスを設定／検出する機能	設定されたプレフィスパターンを出力し検出する
	スタートビットを設定／検出する機能	設定されたスタートビットパターンを出力し検出する
	受信再タイミング機能	受信信号の各ビットに対してタイミングを補正
簡易 IIC モード	通信フォーマット	I^2C バスフォーマット（MSB ファーストのみ）
	動作モード	マスタ（シングルマスタ動作のみ）
	転送速度	最大 400 kbps
	ノイズ除去	SCLn 端子と SDAn 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易 SPI モード	データ長	8 ビット
	エラー検出	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	送信／受信	1 段レジスタまたは 16 段 FIFO の選択が可能
	受信サンプリングタイミングの調整	内部クロック使用時のみ、マスタモードで受信サンプリングのタイミングをデフォルトのタイミングの後方向に調整可能
	SSn 入力端子機能	SSn 端子を High にすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能
簡易 LIN モード	Start Frame 送信	• Break Field の出力が可能／Break Field 出力完了割り込み出力が可能 • バス衝突検出が可能、バス衝突検出割り込み出力が可能
	Start Frame 受信	• Break Field の検出が可能／Break Field 検出割り込み出力が可能 • Control Field 0/1 データ比較機能あり • Control Field 1 にはプライマリ／セカンダリの 2 種類の比較データを設定可能 • Control Field 1 にプライオリティインタラプトビットを設定可能 • Break Field がない Start Frame にも対応可能 • Control Field 0 がない Start Frame にも対応可能 • ビットレート測定機能あり
	入出力制御機能	• TXDn 信号と RXDn 信号の極性選択が可能 • RXDn 信号にデジタルフィルタ機能選択が可能 • 同じ端子で RXDn 信号と TXDn 信号を兼用した半二重通信が可能 • RXDn 端子受信データサンプリングタイミング選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差の低減が可能

表 38.1 SCI の仕様 (4/4)

項目	内容
イベントリンク機能	受信エラーまたはエラー信号検出におけるエラーイベント出力 (SCIn_ERI) (n = 0～9)
	受信データフルイベント出力 (SCIn_RXI) (n = 0～9)
	送信データエンプティイベント出力 (SCIn_TXI) (n = 0～9)
	アドレス一致イベント出力 (SCIn_AM) (n = 0～9)
	アクティブエッジ検出イベント出力 (SCIn_AED)
	送信終了イベント出力 (SCIn_TEI) (n = 0～9)
TrustZone フィルタ	各レジスタに対してセキュリティ属性とプリビレッジ属性の設定が可能

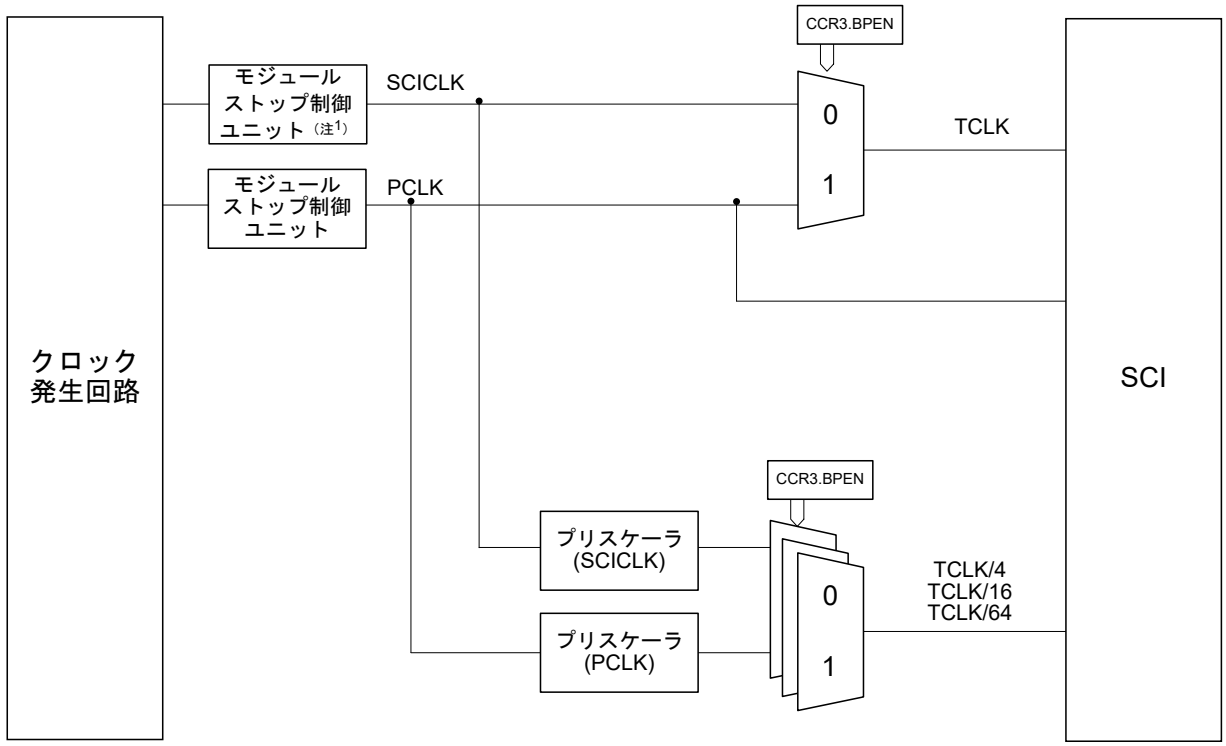
表 38.2 SCI チャネルの機能

項目	SCI0	SCI1	SCI2	SCI3～SCI9
調歩同期式モード	使用可能			
クロック同期式モード	使用可能			
スマートカードインタフェースモード	使用可能			
簡易 I^2C モード	使用可能			
簡易 SPI モード	使用可能			
FIFO モード	使用可能（16 段）			
アドレス一致	使用可能			
マンチェスタモード	使用可能	使用可能	使用可能	使用可能
簡易 LIN モード	使用可能	使用可能	使用可能	使用可能
GPT クロック入力	使用不可	GTIOC3A GTIOC4A	GTIOC6A GTIOC7A	使用不可



注. n = 0〜9
注. 簡易 LIN に対応するのは SCI0 と SCI1 のみで、マンチェスタに対応するのは SCI0 のみです。
注 1. m = 3, 4, 6, 7

図 38.1 SCI のブロック図



注 1. いずれかの SCI チャネルのモジュールストップ状態が解除されると SCICLK が供給されます。

図 38.2 クロックソースセレクタのブロック図

表 38.3 SCI の入出力端子

機能	端子名	入出力	説明
SCIn (n = 0～9)	RXDn/SCLn/MISOn	入出力	SCIn の受信データ入力 SCIn の I^2C クロック入出力 SCIn のスレーブ送信データ入出力
	TXDn/SDAn/MOSIn	入出力	SCIn の送信データ出力 SCIn の I^2C データ入出力 SCIn のマスタ送信データ入出力
	SSn/CTSn_RTSn	入出力	SCIn のチップセレクト入力、アクティブ Low SCIn の送受信開始制御用入出力、アクティブ Low
	CTSn	入力	SCIn の送受信開始制御用入力、アクティブ Low
	DEn	出力	ドライバイネーブル信号出力
	SCKn	入出力	SCIn のクロック入出力

38.2 レジスタの説明

38.2.1 RSR : 受信シフトレジスタ

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタに転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

38.2.2 RDR/RDR_BY : 受信データレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	FER	PER	—	—	ORER	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	FFER	FPER	DR	MPB	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ RDAT レジスタは、受信データを格納するための 9 ビットのレジスタです。 受信データは、7 ビットデータの選択時は[6:0]、8 ビットデータの選択時は[7:0]、9 ビットデータの選択時は[8:0]に格納されます。そして、使用されないビットには 0 が格納されます。 RDR[7:0]へのアクセスには、RDR_BY を使用します。	R
9	MPB	マルチプロセッサフラグ 0: データ送信サイクル 1: ID 送信サイクル	R
10	DR	受信データレディフラグ FRSR.DR の読み出しが可能です。	R
11	FPER	FIFO パリティエラーフラグ 調歩同期式モードでのみ有効 0: 受信 FIFO からの読み出しデータにパリティエラーが存在しません。 1: 受信 FIFO からの読み出しデータにパリティエラーが存在します。	R
12	FFER	FIFO フレーミングエラーフラグ 調歩同期式モードでのみ有効 0: 受信 FIFO からの読み出しデータにフレーミングエラーが存在しません。 1: 受信 FIFO からの読み出しデータにフレーミングエラーが存在します。	R
23:13	—	読むと 0 が読めます。	R
24	ORER	オーバーランエラーフラグ CSR.ORER の読み出しが可能です。	R
26:25	—	読むと 0 が読めます。	R
27	PER	パリティエラーフラグ CSR.PER の読み出しが可能です。	R
28	FER	フレーミングエラーフラグ CSR.FER の読み出しが可能です。	R
31:29	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

FIFO モード (CCR3.FM = 1) では、RDR は 16 段 FIFO バッファ構成になります。

FIFO モードを使用する場合は、32 ビットアクセスに RDR を使用します。

RDAT[8:0]ビット（シリアル受信データ）

1 フレーム分のデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

非 FIFO モードでは、RDR の読み出しは、受信データフル割り込み (SCIn_RXI) 要求が発生した場合に 1 回だけ行ってください。RDR から受信データの読み出しを行わずに、次の 1 フレームを受信すると、オーバーランエラーが発生します。

FIFO モードでは、16 段が格納されるまで連続受信が実行されます。受信 FIFO (RDR) に受信データが存在しない場合、データを読み出すと、その値は不定となります。受信 FIFO (RDR) が受信データでいっぱいになると、それ以降のシリアル受信データは失われます。

CPU から RDR に書き込むことはできません。

調歩同期式モードおよびマンチェスタモードの 7 ビット通信時または 8 ビット通信時に受信されないビット位置 (RDR.bit8 または RDR.bit7) に、0 が格納されます。

MPB ビット（マルチプロセッサフラグ）

調歩同期式モードおよびマンチェスタモードで、マルチプロセッサ通信 (CCR3.MP = 1) 中に、受信データ (RDAT[8:0]) に対応するマルチプロセッサビットの値を読み出すことができます。

FPER ビット（FIFO パリティエラーフラグ）

受信 FIFO からの読み出しデータにパリティエラーが存在するかどうかを示します。

0 は非 FIFO モードの場合に格納されます。

FFER ビット（FIFO フレーミングエラーフラグ）

受信 FIFO からの読み出しデータにフレーミングエラーが存在するかどうかを示します。

0 は非 FIFO モードの場合に格納されます。

38.2.3 TDR/TDRLL/TDRLH : 送信データレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x04 (TDR/TDRLL)
0x05 (TDRLH)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSYNC	—	—	MPBT	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ TDAT レジスタは、送信データを設定するための 9 ビットのレジスタです。 送信データは、7 ビットデータを選択した場合は[6:0] に、8 ビットデータを選択した場合は[7:0] に、9 ビットデータを選択した場合は[8:0] に設定されます。 バイトアクセス時は、TDR[15:8]レジスタ、TDR[7:0]レジスタの順に書き込みます。 TDR[7:0]へのバイトアクセスには TDRLL を使用し、TDR[15:8]へのバイトアクセスには TDRLH を使用します。	R/W
9	MPBT	マルチプロセッサ送信ビットフラグ 送信フレーム内のマルチプロセッサビットの値このビットは調歩同期式モードおよびマンチェスタモードで使用されます。このビットが使用されていない場合に書き込むときは、初期値を書き込みます。 0: データ送信サイクル 1: ID 送信サイクル	R/W
11:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
12	TSYNC	送信 SYNC データ マンチェスタモードで MCR.SBSEL = 1 かつ MCR.SYNSEL = 1 であるときに有効です。このビットが使用されていない場合は、初期値を書き込みます。 0: スタートビットは DATA SYNC として送信されます。 1: スタートビットは COMMAND SYNC として送信されます。	R/W
31:13	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

FIFO モード (CCR3.FM = 1) では、TDR は 16 段 FIFO バッファ構成になります。

FIFO モードを使用する場合は、32 ビットアクセスに TDR を使用します。

TDAT[8:0]ビット（シリアル送信データ）

TDR は、送信データを格納するための 9 ビットのレジスタです。

TSR レジスタに空きが検出されると、TDR レジスタに格納されている送信データが TSR レジスタに転送されて、送信が開始されます。

TSR レジスタと TDR レジスタはダブルバッファ構造となっているため、連続送信動作を実現します。1 フレーム分のデータの送信完了後、TDR レジスタに次の送信データが格納されている場合は、TSR レジスタに転送されて、送信動作が継続します。

SCI は、送信シフトレジスタ (TSR) に空きを検出すると、送信 FIFO (TDR) 内に書き込まれているデータを TSR レジスタに送信し、シリアル送信を開始します。送信 FIFO (TDR) に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。

非 FIFO モードでは、送信データエンプティ割り込み (SCIn_TXI) 要求が発生しており、かつ CCR0.TE が 1 の場合、送信データを TDR に 1 回だけ書き込みます。

FIFO モードでは、送信 FIFO が送信データの 16 フレームでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。

TDR レジスタは常に CPU からの読み出し／書き込みが可能です。バイトアクセス時は、TDR[15:8]レジスタ、TDR[7:0]レジスタの順に書き込みます。

MPBT ビット（マルチプロセッサ送信ビットフラグ）

送信フレームのマルチプロセッサビットを選択します。

TSYNC ビット（送信 SYNC データ）

マンチェスタモードで、MCR.SBSEL = 1 かつ MCR.SYNSEL = 1 のとき、TSYNC ビットに従って選択した SYNC のタイプが、送信フレームのスタートビットになります。

38.2.4 TSR : 送信シフトレジスタ

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR レジスタから TSR レジスタに送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

38.2.5 CCR0 : 共通コントロールレジスタ 0

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	SSE	—	—	TEIE	TIE	—	—	—	RIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IDSEL	DCME	MPIE	—	—	—	TE	—	—	—	RE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RE	受信許可 0: シリアル受信を禁止 1: シリアル受信を許可	R/W(注1) (注3)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	TE	送信許可 0: シリアル送信を禁止 1: シリアル送信を許可	R/W(注1)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	MPIE	マルチプロセッサ割り込み許可 CCR3.MP が 1 のときに、調歩同期式モードおよびマンチェスタモードで有効です。 スマートカードインタフェースモードでは、このビットを 0 にしてください。 0: 非マルチプロセッサ受信 1: マルチプロセッサ受信 マルチプロセッサビットが 0 のデータを受信すると、そのデータは読み出されず、本ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信すると、MPIE ビットが自動的に 0 にクリアされ、非マルチプロセッサの受信動作が再開されます。マルチプロセッサ機能を使用して受信動作を継続したい場合は、次の受信フレームの STOP ビットを受信するよりも十分に早く、このビットを 1 にしてください（同期遅延時間を考慮してください）。	R/W(注2)
9	DCME	データコンペアマッチ有効 調歩同期式モードでのみ有効 0: アドレスマッチ機能は無効 1: アドレスマッチ機能は有効	R/W(注2)
10	IDSEL	ID フレーム選択 マルチプロセッサを使用する調歩同期式モードでのみ有効 0: MPB ビットの値に関係なくデータ比較を行う 1: MPB ビットが 1（ID フレーム）のときにのみデータを比較	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	RIE	受信割り込み許可 0: SCIn_RXI 割り込み要求と SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI 割り込み要求と SCIn_ERI 割り込み要求を許可	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W
21	TEIE	送信終了割り込み許可 スマートカードインタフェースモードでは、このビットを 0 にしてください。 0: SCIn_TEI 割り込み要求を禁止 1: SCIn_TEI 割り込み要求を許可	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SSE	SSn 端子機能有効 簡易 SPI モードで有効 スレーブモード（CCR3.CKE[1:0] は 1x）では、このビットを 1 にしてください。 0: SSn 端子機能が無効 1: SSn 端子機能が有効	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. クロック同期式モード (CCR3.MOD[2:0] = 010b)、簡易 SPI モード (CCR3.MOD[2:0] = 011b)、および簡易 IIC モード (CCR3.MOD[2:0] = 100b) では、TE = 0 かつ RE = 0 のときのみ 1 を書き込むことができます。TE または RE を 1 にした後、TE と RE に 0 のみ書き込み可能です。他のモードでは、どの条件でも書き込みが許可されます。
注 2. このビットは、ハードウェアによってクリアされるビットです。ビット操作命令を使用してこのビット以外のビットに書き込むと、リードモディファイライト命令によってこのビットが意図せず 1 になる可能性があります。
注 3. クロック同期式モードまたは簡易 SPI モードでは、内部クロック（マスタモード）において受信専用設定（TE = 0 かつ RE = 1 の設定）は禁止されています。

RE ビット（受信許可）

シリアル受信動作を有効または無効にします。

RE ビットが 1 のとき、調歩同期式モードでは同期遅延時間の経過後、クロック同期式モードでは同期クロック入力の検出後、スマートカードインタフェースモードではスタートビットの検出後に、マンチェスタモードでは RXDn のネガティブエッジの検出後に、シリアル受信動作が可能になります。

受信フォーマットを指定するには、RE ビットを 1 にする前に CCR3 を設定する必要があります。

スマートカードインタフェースモードを除き、RE ビットを 0 に設定して受信動作を停止しても、CSR.RDRF、CSR.FER、CSR.PER、CSR.ORER、MSR.MER、MSR.SBER、MSR.SYER、MSR.PFER、MSR.FRSR.DR フラグに影響はなく、以前の値が維持されます。スマートカードインタフェースモードでは、RE ビットを 0 にして受信動作を停止しても、CSR.FER、CSR.PER、CSR.ORER の各フラグは影響を受けず、前回の値が保持されます。また、受信動作を停止する場合は、RE ビットを 0 にしてから受信動作が停止するまでの同期遅延時間が必要になります。

TE ビット（送信許可）

シリアル送信を有効または無能にします。

TE ビットを 1 にすると、同期遅延時間の経過後にシリアル送信動作が可能になります。同期遅延時間の経過後、送信データを TDR レジスタに書き込むことにより、送信が開始されます。なお、TE ビットを 1 にする前に CCR3 レジスタの設定を行い、送信フォーマットを決定してください。また、TE ビットを 0 にした後は、送信制御回路が停止するまでの同期遅延時間が必要です。

MPIE ビット（マルチプロセッサ割り込み許可）

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み出されず、各ステータスフラグ (CSR.RDRF, CSR.ORER, CSR.FER, CSR.FRSR, CSR.DR, MSR.MER, MSR.SYER, MSR.PFER, MSR.SBER) を 1 にすることはできません。

マルチプロセッサビットが 1 のデータを受信すると、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。詳細は、「38.4. マルチプロセッサ通信機能」を参照してください。マルチプロセッサ機能を使用して受信動作を継続したい場合は、次の受信フレームの STOP ビットを受信するよりも十分に早く、このビットを 1 にしてください。

受信データに 0 の MPB ビットが含まれている場合、RSR から RDR へ受信データは転送されず、受信エラーも検出されません。また、ORER、FER、MER、SYER、PFER、および SBER の各フラグを 1 にすることはできません。

受信データに 1 の MPB ビットが含まれている場合、MPIE ビットは自動的に 0 にクリアされ、SCIn_RXI 割り込み要求と SCIn_ERI 割り込み要求が許可されます（CCR0.RIE ビットが 1 の場合）。さらに、ORER、FER、MER、SYER、PFER、SBER の各フラグを 1 にすることが可能になります。

マルチプロセッサ通信機能を使用しない場合は、MPIE を 0 にしてください。

DCME ビット（データコンペアマッチ有効）

DCME ビットはアドレス一致検出機能（データコンペアマッチ機能）を許可するか否かを選択します。

DCME ビットが 1 のとき、SCI によって受信データと比較データ (CCR4.CMPD) の一致が検出された場合、DCME ビットは自動的にクリアされ、その後、SCI の動作モードはデータコンペアマッチ機能のない受信モードになります。

「38.3.6. アドレス一致（受信データ一致）検出機能」を参照してください。

調歩同期式モード以外では、書き込み値は 0 にしてください。

IDSEL ビット（ID フレーム選択）

IDSEL ビットは、アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または MPB ビットが 1（ID フレーム）の場合にのみ比較を行うかを選択します。DCME と同時に設定してください。

RIE ビット（受信割り込み許可）

SCIn_RXI 割り込み要求および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI 割り込み要求および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求を解除するには、CSR.ORER、FER、または PER から 1 を読み出してからフラグを 0 にするか、RIE ビットを 0 にします。

マンチェスタモードでは、MER、SYER、PFER、SBER の各フラグも SCIn_ERI の要因になるため、同様の処理が必要です。これらのフラグの詳細については、「38.2.12. MCR : マンチェスタコントロールレジスタ」と「38.2.21. MSR : マンチェスタステータスレジスタ」を参照してください。

TIE ビット（送信割り込み許可）

SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。送信開始時に、CCR0.TE ビットと CCR0.TIE ビットを同時に 1 に設定してください。その後、SCIn_TXI 割り込み要求が発生します。

TEIE ビット（送信終了割り込み許可）

SCIn_TEI 割り込み要求を許可または禁止します。TEIE ビットを 0 にすると、SCIn_TEI 割り込み要求が禁止されます。

簡易 IIC モードでは、開始／再開始／停止条件の発行完了時の割り込み（STIn 割り込み）に SCIn_TEI が割り当てられます。この場合、TEIE ビットによって STIn 割り込み要求を許可または禁止することが可能です。

SSE ビット（SSn 端子機能有効）

SSn 端子を用いて送受信制御を行う場合（簡易 SPI モード）、SSE ビットを 1 にしてください。

それ以外の通信モードでは SSE ビットを 0 にしてください。SSE ビットと CTSE ビットの両方を有効にしないでください（設定した場合、両ビットともに 0 にしたときと同じ動作となります）。

スレーブモード（CCR3.CKE[1:0] が 10 または 11）では、SSE を 1 にしてください。

マスターモード（CCR3.CKE[1:0] が 00 または 01）およびシングルマスタでは、マスタ側の SSn 端子は送受信の制御に不要なため、SSE を 0 にしてください。

38.2.6 CCR1 : 共通コントロールレジスタ 1

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	NFM	NFEN	—	NFCS[2:0]			—	—	—	SHARPS	—	—	—	SPLP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RINV	TINV	—	—	PM	PE	—	—	SPB2IO	SPB2DT	—	—	CTSPEN	CTSE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	CTSE	CTS 有効 0: CTS 機能は無効（RTS 出力機能は有効） 1: CTS 機能は有効	R/W
1	CTSPEN	CTS 外部端子許可 0: 1 つの端子で CTS 機能と RTS 機能を使い分けるための設定 1: CTS 機能および RTS 機能をそれぞれ別の端子で専用に使用するための設定	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SPB2DT	シリアルポートブレークデータ選択 CCR0.TE = 0 かつ SPB2IO = 1 のときに、TXDn 端子の出力レベルを選択します。(注1) 0: TINV が 0 のとき、TXDn 端子は Low を出力する TINV が 1 のとき、TXDn 端子は High を出力する 1: TINV が 0 のとき、TXDn 端子は High を出力する TINV が 1 のとき、TXDn 端子は Low を出力する	R/W
5	SPB2IO	シリアルポートブレーク入出力 このビットは、CCR0.TE = 0 のときに、TXDn 端子が SPB2DT の値を出力するかどうかを選択します。(注1) 0: TXDn 端子は SPB2DT ビットの値を出力しない 1: TXDn 端子は SPB2DT ビットの値を出力する	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	PE	パリティ許可 調歩同期式モードおよびマンチェスタモードでのみ有効です。スマートカードインタフェースモードでは、このビットを 1 にしてください。 0: 送信時: パリティビットを付加しない 受信時: パリティビットをチェックしない 1: 送信時: パリティビットを付加する 受信時: パリティビットをチェックする	R/W
9	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティを選択する 1: 奇数パリティを選択する	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	TINV	TXD 反転 0: 送信データを反転せずに TXDn 端子に出力する(注2) 1: 送信データを反転し TXDn 端子に出力する	R/W
13	RINV	RXD 反転 0: RXDn 端子からの受信データを反転せずに入力する(注2) 1: RXDn 端子からの受信データを反転して入力する	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SPLP	ループバックコントロール このビットは、調歩同期式モードの内部クロック動作、マンチェスタモードの内部クロック動作、およびクロック同期式モードの内部クロック動作に使用できます。 0: ノーマルモード 1: ループバックモード	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	SHARPS	半二重通信選択 簡易 IIC モード、スマートカードインタフェースモード、または簡易 SPI モードでは、このビットを 0 に設定してください。 0: TXDn 端子、RXDn 端子は独立 1: TXDn 端子と RXDn 端子を兼用 （TXDn 端子による半二重通信）	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	NFCS[2:0]	ノイズフィルタクロック選択 調歩同期式モード、マンチェスタモード、簡易 LIN モード、および簡易 IIC モードで有効 簡易 IIC モードでは、000 の設定はしないでください。 内蔵ボーレートジェネレータソースクロックは、CCR2.CKS [1:0] で選択されるクロックのことです。 ノイズフィルタのクロックソースは次の設定により選択します。 0 0 0: 基本クロック信号の 1 分周 0 0 1: 内蔵ボーレートジェネレータソースクロックの 1 分周 0 1 0: 内蔵ボーレートジェネレータソースクロックの 2 分周 0 1 1: 内蔵ボーレートジェネレータソースクロックの 4 分周 1 0 0: 内蔵ボーレートジェネレータソースクロックの 8 分周 その他: 設定禁止	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	NFEN	デジタルノイズフィルタ機能有効 調歩同期式モード、マンチェスタモード、簡易 LIN モード、および簡易 IIC モードで有効です。 0: 調歩同期式モード、マンチェスタモード、簡易 LIN モードの場合 RXDn 入力信号のノイズ除去機能は無効 簡易 IIC モードの場合: SCLn 入力信号および SDAn 入力信号のノイズ除去機能は無効 1: 調歩同期式モード、マンチェスタモード、簡易 LIN モードの場合 RXDn 入力信号のノイズ除去機能は有効 簡易 IIC モードの場合: SCLn 入力信号および SDAn 入力信号のノイズ除去機能は有効	R/W
29	NFM	ノイズフィルタモード 調歩同期式モードで ABCSE2 = 1 のとき有効です。 0: 3 点マッチングモード 1: 多数決モード	R/W

ビット	シンボル	機能	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. このビットを調歩同期式モードおよびマンチェスタモードでのみ使用してください。他のモードでの動作は保証されません。
注 2. スマートカードインタフェースモードおよび簡易 IIC モードでは、RINV/TINV を 0 に設定してください。

CTSE ビット（CTS 有効）

SSn 端子を CTSn 制御信号入力として用いて送受信制御を行う場合は CTSE ビットを 1 に設定します。このビットを 0 にした場合は RTSn 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、簡易 LIN モード、および簡易 IIC モードでは、このビットを 0 にしてください。CTSE ビットと SSE ビットの両方を有効にしないでください（設定した場合、両ビットともに 0 にしたときと同じ動作となります）。

CTSPEN ビット（CTS 外部端子許可）

CTSE が 1 の場合に、このビットは CTS 機能と RTS 機能に対する端子の割り当てを選択します。2 つの端子に CTS 機能と RTS 機能を適用して、同時に使用する場合は、このビットを 1 にしてください。調歩同期式モードおよびマンチェスタモード以外では、このビットを 0 にしてください。

CTSE ビットと CTSPEN ビットの設定と、CTSn_RTSn 端子機能と CTSn 端子機能の関係を表 38.4 に示します。

表 38.4 CTSE ビットおよび CTSPEN ビットの設定および端子の機能

CTSE ビット	CTSPEN ビット	CTSn_RTSn 端子	CTSn 端子
0	0	RTSn 信号出力	使用しない
1	0	CTSn 信号入力	使用しない
1	1	RTSn 信号出力	CTSn 信号入力

注. CTSE = 0 のとき、CTSPEN = 0 にしてください。

SPB2DT ビット（シリアルポートブレークデータ選択）、SPB2IO ビット（シリアルポートブレーク入出力）

CCR0.TE ビット、CCR1.SPB2IO ビット、および CCR1.SPB2DT ビットの組み合わせで決定される TXDn 端子状態を表 38.5 に示します。

表 38.5 TXDn 端子の状態

CCR0.TE の値	CCR1.SPB2IO の値	CCR1.SPB2DT の値	TXDn 端子の状態 （TINV が 0 のとき）
0	0	—	Hi-Z（初期値）
0	1	0	Low を出力
0	1	1	High を出力
1	—	—	シリアル送信データを出力

注. —: Don't care

PE ビット（パリティ許可）

PE ビットが 1 のとき、送信時にパリティビットを付加し、受信時にパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加もパリティチェックも行いません。

PM ビット（パリティモード）

送受信時のパリティモード（偶数パリティ／奇数パリティ）を選択します。マルチプロセッサモードでは、PM ビットは無効です。

スマートカードインタフェースモードにおけるこのビットの使用方法の詳細については、「38.7.2. データフォーマット（ブロック転送モード時を除く）」を参照してください。

TINV ビット（TXD 反転）、RINV ビット（RXD 反転）

RDR のデータは RINV と CCR3.SINV によって制御されます。また、TXDn 端子からのデータは TINV と CCR3.SINV によって制御されます。RINV/TINV による制御は通信端子 (RXDn/TXDn) に対して実施されます。

したがって、データビットだけでなく他のビット（スタートビット、ストップビット、パリティビット）も制御可能です。詳細は、図 38.3 を参照してください。

簡易 SPI モードで半二重通信およびスレーブ動作の間は、受信に TXDn 端子を使用し、TINV ビットで受信データの反転制御の設定をしてください。

注.　TINV = 0 かつ RINV = 0 のとき（TINV の値と RINV の値が指定されていないとき）の IP 動作の説明とタイミングチャートを示します。

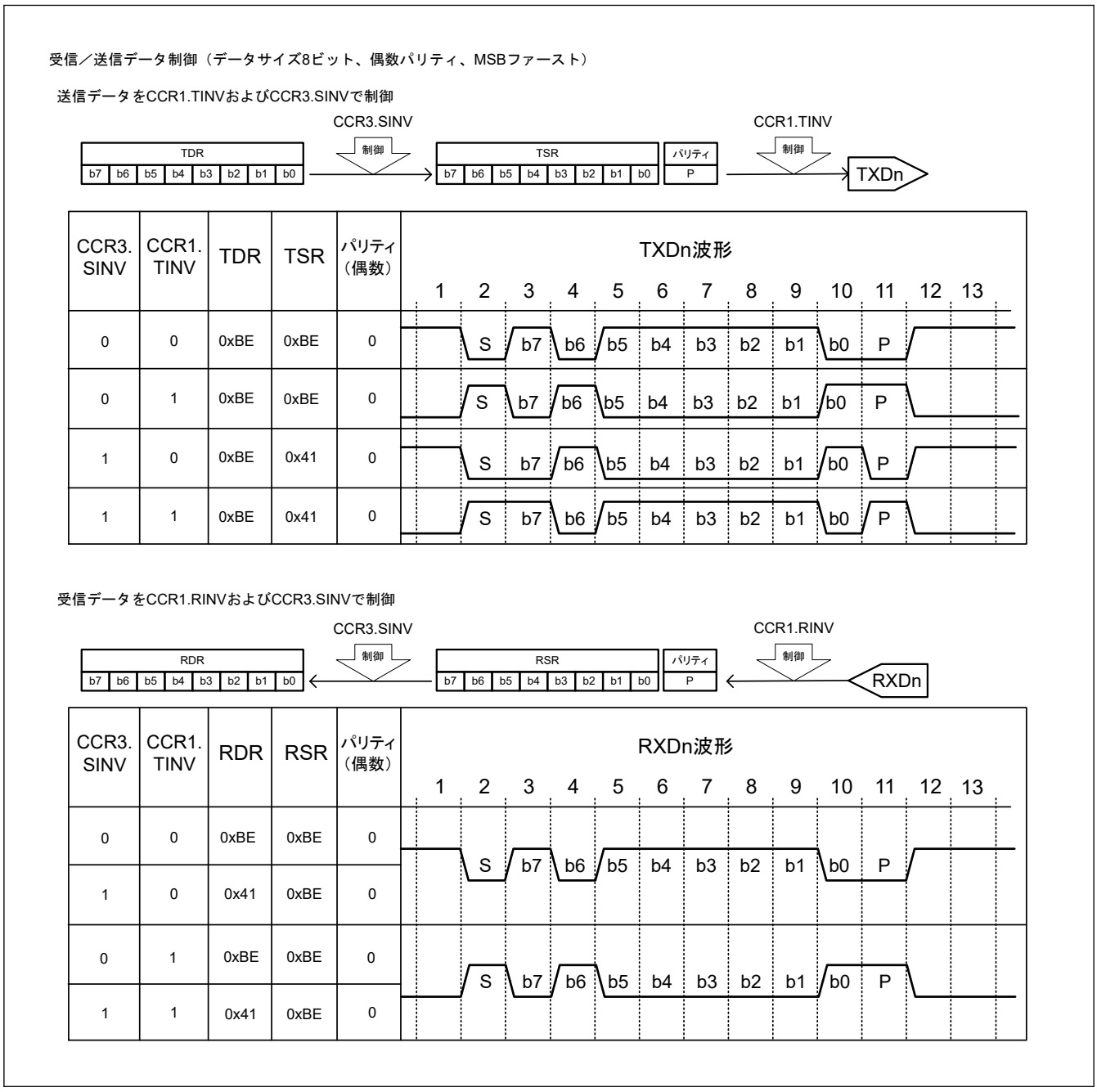


図 38.3　受信／送信データ制御の例

SPLP ビット（ループバックコントロール）

SPLP ビットが 1 のとき、SCI は RXDn からの入力経路を遮断し、TXDn への出力経路を受信データレジスタに接続します。

TINV ビットと組み合わせると、送信データを反転して受信することが可能です。

スレーブとして動作するクロック同期式モード、外部クロックを使用する調歩同期式モード、および簡易 LIN モードでは、このビットを 0 にします。

SHARPS ビット（半二重通信選択）

SHARPS ビットを 1 にすると、TXDn 端子を使用した半二重通信が許可されます。ただし、SHARPS ビットは、簡易 SPI モード、簡易 IIC モード、およびスマートカードインタフェースモードでは使用できません。

SHARPS ビットを 1 にして CCR0.TE = 1 かつ CCR0.RE = 0 を設定すると、TXDn 端子は通信出力端子となります。このビットを 1 にして CCR0.TE = 0 かつ CCR0.RE = 1 を設定すると、TXDn 端子は通信入力端子となります。詳細は、「38.17. 半二重通信機能」を参照してください。

NFCS[2:0]ビット（ノイズフィルタクロック選択）

NFCS[2:0]ビットは、デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード、マンチェスタモード、および簡易 LIN モードでノイズフィルタを使用する場合、NFCS[2:0]ビットを 000b～100b の範囲で設定してください。簡易 IIC モードでは、これらのビットを 001b～100b の範囲で設定してください。特に調歩同期式モードで ABCSE ビットまたは ABCSE2 ビットを 1 にするときは、000b か 001b に設定してください。

NFEN ビット（デジタルノイズフィルタ機能有効）

NFEN ビットは、デジタルノイズフィルタ機能を有効または無効にします。デジタルノイズフィルタ機能を有効にすると、調歩同期式モード、マンチェスタモード、簡易 LIN モードの場合は RXDn 入力信号のノイズを除去し、簡易 IIC モードの場合は SDAn および SCLn 入力信号のノイズを除去します。上記以外のモードでは NFEN ビットを 0 にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として転送されます。

NFM ビット（ノイズフィルタモード）

デジタルノイズフィルタ機能の動作モードを選択します。詳細は、「xxx ノイズ除去機能」を参照してください。

38.2.7 CCR2 : 共通コントロールレジスタ 2

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MDDR[7:0]								—	—	CKS[1:0]		—	—	—	BRME
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BRR[7:0]								ABCSE2	ABCSE	ABCS	BGDM	—	BCP[2:0]		
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	BCP[2:0]	基本クロックパルス スマートカードインタフェースモードにおける基本クロックサイクル数を選択します。 0 0 0: 93 クロックサイクル (S = 93)(注1) 0 0 1: 128 クロックサイクル (S = 128)(注1) 0 1 0: 186 クロックサイクル (S = 186)(注1) 0 1 1: 512 クロックサイクル (S = 512)(注1) 1 0 0: 32 クロックサイクル (S = 32)(注1)（初期値） 1 0 1: 64 クロックサイクル (S = 64)(注1) 1 1 0: 372 クロックサイクル (S = 372)(注1) 1 1 1: 256 クロックサイクル (S = 256)(注1)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	BGDM	ボーレートジェネレータ倍速モード選択 調歩同期式／マンチェスタ／クロック同期式／簡易 SPI モードにおいて、CCR3.CKE[1]ビット = 0 の場合に有効です。 0: ボーレートジェネレータから 1 倍の周波数のクロックを出力 1: ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W
5	ABCS	調歩同期基本クロック選択 調歩同期式モード、マンチェスタモード、および簡易 LIN モードでのみ有効です。 0: 1 ビット期間に対して基本クロックの 16 サイクルを選択 1: 1 ビット期間に対して基本クロックの 8 サイクルを選択	R/W
6	ABCSE	調歩同期拡張基本クロック選択 調歩同期式モードにおいて、CCR3.CKE[1]ビット = 0 の場合にのみ有効です。 0: 1 ビット期間のクロック周期は CCR2.BGDM ビットと CCR2.ABCS ビットの組み合わせにより決定 1: ボーレートは 1 ビット期間に対して基本クロックの 6 サイクルであり、ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W
7	ABCSE2	調歩同期拡張基本クロック選択 2 調歩同期式モードにおいて、CCR3.CKE[1]ビット = 0 の場合にのみ有効です。 0: 1 ビット期間のクロックサイクル数は CCR2.BGDM ビットと CCR2.ABCS ビットの組み合わせにより決定 1: 1 ビット期間の基本クロックサイクル数は 4 で、ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W
15:8	BRR[7:0]	ビットレート設定 BRR は、ビットレートを調整する 8 ビットのレジスタです。	R/W
16	BRME	ビットレート変調有効 0: ビットレート変調機能が無効 1: ビットレート変調機能が有効	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21:20	CKS[1:0]	クロック選択 0 0: TCLK クロック (n = 0)(注2) 0 1: TCLK/4 クロック (n = 1)(注2) 1 0: TCLK/16 クロック (n = 2)(注2) 1 1: TCLK/64 クロック (n = 3)(注2)	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:24	MDDR[7:0]	変調デューティ設定 MDDR は、BRR[7:0]ビットで調節されたビットレートを補正します。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. S は、BRR[7:0]ビットの説明に記載されている S の値のことです。
注 2. n は、BRR[7:0]ビットの説明に記載されている n の値の 10 進表記のことです。

BCP[2:0]ビット（基本クロックパルス）

BCP[2:0]ビットは、スマートカードインタフェースモードにおける、1 ビット転送時間中の基本クロックのサイクル数を選択します。

詳細は、「38.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。

BGDM ビット（ボーレートジェネレータ倍速モード選択）

BGDM ビットは、調歩同期式モード、マンチェスタモード、クロック同期式モード、簡易 SPI モードにおいて、クロックソースにボーレートジェネレータ（CCR3.CKE[1]ビット = 0）を選択したときに有効です。外部クロックの選択時（CCR3.CKE[1]ビット = 1）は、0 にしてください。ボーレートジェネレータから 1 倍の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード、マンチェスタモード、クロック同期式モード、簡易 SPI モード以外では 0 にしてください。

ABCS ビット（調歩同期基本クロック選択）

1 ビット期間に対してクロックサイクルを選択します。

調歩同期式モード、マンチェスタモード、簡易 LIN モード以外では ABCS ビットを 0 にしてください。

ABCSE ビット（調歩同期拡張基本クロック選択）

1 ビット期間での基本クロックのパルス数は 6 であり、ボーレートジェネレータから 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周してビットレートを 6 にする場合にのみ、このビットを使用して CCR2.CKS[1:0] = 00b および BRR[7:0] = 0x00 に設定できます。

このビットは、調歩同期式モード以外では 0 にしてください。調歩同期式モードにおいても、外部クロックを使っている場合はこのビットを 0 にしてください。

ABCSE2 ビット（調歩同期拡張基本クロック選択 2）

1 ビット期間における基本クロックのパルス数は 4 であり、ボーレートジェネレータから 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周してビットレートを 4 にする場合にのみ、このビットを使用し、かつ CCR2.CKS[1:0] = 00 および BRR[7:0] = 0 に設定してください。

このビットは、調歩同期式モード以外では 0 にしてください。調歩同期式モードにおいても、外部クロックを使っている場合はこのビットを 0 にしてください。

表 38.6　1 ビットごとの基本クロックサイクル数

ABCSE2	ABCSE	ABCS	BGDM	1 ビットごとの基本クロックサイクル数	ボーレートジェネレータの周波数
0	0	0	0	16	×1
0	0	0	1	16	×2
0	0	1	0	8	×1
0	0	1	1	8	×2
0	1	— (Don't care)	— (Don't care)	6	2 倍
1	0	— (Don't care)	— (Don't care)	4	2 倍

BRR[7:0]ビット（ビットレート設定）

BRR は、ビットレートを調整する 8 ビットのレジスタです。

SCI はボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。調歩同期式モード、マルチプロセッサ転送、マンチェスタモード、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 38.7 に示します。

表 38.7　BRR の設定値 N とビットレート B の関係 (1/2)

モード	CCR2 の設定				BRR[7:0]の設定	誤差(注4)
	BGDM ビット	ABCS ビット	ABCSE ビット	ABCSE 2 ビット		
調歩同期式、マルチプロセッサ、マンチェスタ(注2)、簡易 LIN(注3)	0	0	0	0	$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{\frac{TCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	1	0	0	0	$N = \frac{TCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{\frac{TCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	0	1	0	0		
	1	1	0	0	$N = \frac{TCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{\frac{TCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	Don't care	Don't care	1	0	$N = \frac{TCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{\frac{TCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	Don't care	Don't care	0	1	N = 0	—

表 38.7　BRR の設定値 N とビットレート B の関係 (2/2)

モード	CCR2 の設定 BGDM ビット	ABCS ビット	ABCSE ビット	ABCSE 2 ビット	BRR[7:0]の設定	誤差(注4)
クロック同期式、簡易 SPI	0	0（初期値）	0（初期値）	0（初期値）	$N = \frac{TCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	—
	1	0（初期値）	0（初期値）	0（初期値）	$N = \frac{TCLK \times 10^6}{4 \times 2^{2n-1} \times B} - 1$	—
スマートカードインタフェース					$N = \frac{TCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\right\} \times 100$
簡易 IIC(注1)					$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	—

注.　B：ビットレート (bps)
N：内蔵ボーレートジェネレータの BRR 設定値 (0 ≦ N ≦ 255)
TCLK：動作周波数 (MHz)
n および S：表 38.9 と表 38.10 に示される CCR2 レジスタの設定により決定スマートカードインタフェースモードでは $2^{(2n+1)}$が使用され、他のモードでは $2^{(2n-1)}$が使用されることに注意してください。
注 1.　簡易 IIC モードでは、SCL 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。
注 2.　マンチェスタモードでは、ABCSE = 0 および ABCSE2 = 0 のみ選択可能です。
注 3.　簡易 LIN モードでは、BGDM = 0、ABCSE = 0、および ABCSE2 = 0 のみ選択可能です。
注 4.　上記計算式より得られる N 値が設定するボーレート値 B の整数と異なる場合、BRR には近似値の整数値が設定されますが、このときボーレート値と B との間に誤差が生じます。ここでの誤差とはこれを意味します。

表 38.8　SCL の High/Low 幅の算出式

モード	SCLn	算出式（結果は秒単位）
IIC	High 幅（最小値）	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{TCLK \times 10^6}$
	Low 幅（最小値）	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{TCLK \times 10^6}$

表 38.9　クロックソースの設定

CCR2 の設定 CKS[1:0]ビット	クロックソース	n
00	TCLK クロック	0
01	TCLK/4 クロック	1
10	TCLK/16 クロック	2
11	TCLK/64 クロック	3

表 38.10　スマートカードインタフェースモード時の基本クロックの設定

CCR2 の設定 BCP[2:0]の設定	1 ビット期間中の基本クロックサイクル	S
0 0 0	93 クロックサイクル	93
0 0 1	128 クロックサイクル	128
0 1 0	186 クロックサイクル	186
0 1 1	512 クロックサイクル	512
1 0 0	32 クロックサイクル	32
1 0 1	64 クロックサイクル	64
1 1 0	372 クロックサイクル	372
1 1 1	256 クロックサイクル	256

調歩同期式モードとマンチェスタモードにおける BRR レジスタの設定値 N の設定例を表 38.11 と表 38.12 に示します。各動作周波数において設定可能な最大ビットレートを表 38.13 に示します。クロック同期式モードと簡易 SPI モードにおける、BRR レジスタ値 N の設定例を表 38.16 に示します。また、スマートカードインタフェースモードにおける、BRR レジスタ値 N の設定例を表 38.18 に示します。簡易 IIC モードにおける、BRR レジスタ値 N の設定例を表 38.20 に示します。スマートカードインタフェースモードでは、1 ビットデータ転送時間における基本クロックのサイクル数 S を選択できます。詳細は、「38.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 38.14 と表 38.17 に、外部クロック入力時の最大ビットレートを示します。表 38.15 に GPT クロック入力時の最大ビットレートを示します。

調歩同期式モードおよびマンチェスタモードにおいて、調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を 1 にした場合、ビットレートは表 38.11 および表 38.12 に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 38.11 各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (1) (1/2)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0	2	129	0.16	2	155	0.16	2	159	0
300	1	207	0.16	1	255	0	2	64	0.16	2	77	0.16	2	79	0
600	1	103	0.16	1	127	0	1	129	0.16	1	155	0.16	1	159	0
1200	0	207	0.16	0	255	0	1	64	0.16	1	77	0.16	1	79	0
2400	0	103	0.16	0	127	0	0	129	0.16	0	155	0.16	0	159	0
4800	0	51	0.16	0	63	0	0	64	0.16	0	77	0.16	0	79	0
9600	0	25	0.16	0	31	0	0	32	-1.36	0	38	0.16	0	39	0
19200	0	12	0.16	0	15	0	0	15	1.73	0	19	-2.34	0	19	0
31250	0	7	0	0	9	-1.7	0	9	0	0	11	0	0	11	2.4
38400	—	—	—	0	7	0	0	7	1.73	0	9	-2.34	0	9	0

表 38.11 各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (1) (2/2)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0	2	233	0.16	2	255	0
300	2	90	0.16	2	103	0.16	2	111	0	2	116	0.16	2	127	0
600	1	181	0.16	1	207	0.16	1	223	0	1	233	0.16	1	255	0
1200	1	90	0.16	1	103	0.16	1	111	0	1	116	0.16	1	127	0
2400	0	181	0.16	0	207	0.16	0	223	0	0	233	0.16	0	255	0
4800	0	90	0.16	0	103	0.16	0	111	0	0	116	0.16	0	127	0
9600	0	45	-0.93	0	51	0.16	0	55	0	0	58	-0.69	0	63	0
19200	0	22	-0.93	0	25	0.16	0	27	0	0	28	1.02	0	31	0
31250	0	13	0	0	15	0	0	16	1.2	0	17	0	0	19	-1.7
38400	—	—	—	0	12	0.16	0	13	0	0	14	-2.34	0	15	0

注. これは、CCR2.ABCS が 0、CCR2.BGDM が 0、かつ CCR2.ABCSE が 0 の場合の例です。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS を 1 かつ BGDM1 にした場合は、ビットレートが 4 倍になります。

表 38.12　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (2) (1/2)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0	0	24	0	0	29	0	0	32	0	0	39	0
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

表 38.12　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (2) (2/2)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	50			60			100			120			125		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	-0.02	—	—	—	—	—	—	—	—	—	—	—	—
150	3	162	-0.15	3	194	0.16	—	—	—	—	—	—	—	—	—
300	3	80	0.47	3	97	-0.35	3	162	-0.15	3	194	0.16	3	202	0.22
600	2	162	-0.15	2	194	0.16	3	80	0.47	3	97	-0.35	3	101	-0.27
1200	2	80	0.47	2	97	-0.35	2	162	-0.15	2	194	0.16	2	202	0.22
2400	1	162	-0.15	1	194	0.16	2	80	0.47	2	97	-0.35	2	101	-0.27
4800	1	80	0.47	1	97	-0.35	1	162	-0.15	1	194	0.16	1	202	0.22
9600	0	162	-0.15	0	194	0.16	1	80	0.47	1	97	-0.35	1	101	-0.27
19200	0	80	0.47	0	97	-0.35	0	162	-0.15	0	194	0.16	0	202	0.22
31250	0	49	0	0	59	0	1	24	0	0	119	0	0	124	0.00
38400	0	40	-0.76	0	48	-0.35	0	80	0.47	0	97	-0.35	0	101	-0.27

注.　これは、CCR2.ABCS = 0、CCR2.BGDM = 0、CCR2.ABCSE = 0、および CCR2.ABCSE2 = 0 のときの例です。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS を 1 かつ BGDM1 にした場合は、ビットレートが 4 倍になります。

表 38.13　動作周波数ごとの最大ビットレート（調歩同期式モードおよびマンチェスタモード） (1/3)

TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)	TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)
	BGDM	ABCS	ABCSE	ABCSE2			BGDM	ABCS	ABCSE	ABCSE2	
8	0	0	0	0	250000	16	0	0	0	0	500000
		1	0	0	500000			1	0	0	1000000
	1	0	0	0			1	0	0	0	
		1	0	0	1000000			1	0	0	2000000
	Don't care	Don't care	1	0	1333333		Don't care	Don't care	1	0	2666666
	Don’t care	Don’t care	0	1	2000000		Don’t care	Don’t care	0	1	4000000

表 38.13 動作周波数ごとの最大ビットレート（調歩同期式モードおよびマンチェスタモード） (2/3)

TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)	TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)
	BGDM	ABCS	ABCSE	ABCSE2			BGDM	ABCS	ABCSE	ABCSE2	
9.8304	0	0	0	0	307200	17.2032	0	0	0	0	537600
		1	0	0	614400			1	0	0	1075200
	1	0	0	0			1	0	0	0	
		1	0	0	1228800			1	0	0	2150400
	Don't care	Don't care	1	0	1638400		Don't care	Don't care	1	0	2867200
	Don’t care	Don’t care	0	1	2457600		Don’t care	Don’t care	0	1	4300800
10	0	0	0	0	312500	18	0	0	0	0	562500
		1	0	0	625000			1	0	0	1125000
	1	0	0	0			1	0	0	0	
		1	0	0	1250000			1	0	0	2250000
	Don't care	Don't care	1	0	1666666		Don't care	Don't care	1	0	3000000
	Don’t care	Don’t care	0	1	2500000		Don’t care	Don’t care	0	1	4500000
12	0	0	0	0	375000	19.6608	0	0	0	0	614400
		1	0	0	750000			1	0	0	1228800
	1	0	0	0			1	0	0	0	
		1	0	0	1500000			1	0	0	2457600
	Don't care	Don't care	1	0	2000000		Don't care	Don't care	1	0	3276800
	Don’t care	Don’t care	0	1	3000000		Don’t care	Don’t care	0	1	4915200
12.288	0	0	0	0	384000	20	0	0	0	0	625000
		1	0	0	768000			1	0	0	1250000
	1	0	0	0			1	0	0	0	
		1	0	0	1536000			1	0	0	2500000
	Don't care	Don't care	1	0	2048000		Don't care	Don't care	1	0	3333333
	Don’t care	Don’t care	0	1	3072000		Don’t care	Don’t care	0	1	5000000
14	0	0	0	0	437500	25	0	0	0	0	781250
		1	0	0	875000			1	0	0	1562500
	1	0	0	0			1	0	0	0	
		1	0	0	1750000			1	0	0	3125000
	Don't care	Don't care	1	0	2333333		Don't care	Don't care	1	0	4166666
	Don’t care	Don’t care	0	1	3500000		Don’t care	Don’t care	0	1	6250000

表 38.13 動作周波数ごとの最大ビットレート（調歩同期式モードおよびマンチェスタモード） (3/3)

TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)	TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)
	BGDM	ABCS	ABCSE	ABCSE2			BGDM	ABCS	ABCSE	ABCSE2	
30	0	0	0	0	937500	50	0	0	0	0	1562500
		1	0	0	1875000			1	0	0	3125000
	1	0	0	0			1	0	0	0	
		1	0	0	3750000			1	0	0	6250000
	Don't care	Don't care	1	0	5000000		Don't care	Don't care	1	0	8333333
	Don't care	Don't care	0	1	7500000		Don't care	Don't care	0	1	12500000
33	0	0	0	0	1031250	60	0	0	0	0	1875000
		1	0	0	2062500			1	0	0	3750000
	1	0	0	0			1	0	0	0	
		1	0	0	4125000			1	0	0	7500000
	Don't care	Don't care	1	0	5500000		Don't care	Don't care	1	0	10000000
	Don't care	Don't care	0	1	8250000		Don't care	Don't care	0	1	15000000
40	0	0	0	0	1250000	120	0	0	0	0	3750000
		1	0	0	2500000			1	0	0	7500000
	1	0	0	0			1	0	0	0	
		1	0	0	5000000			1	0	0	15000000
	Don't care	Don't care	1	0	6666666		Don't care	Don't care	1	0	20000000
	Don't care	Don't care	0	1	10000000		Don't care	Don't care	0	1	30000000
						125	0	0	0	0	3906250
								1	0	0	7812500
							1	0	0	0	
								1	0	0	15625000
							Don't care	Don't care	1	0	20833333
							Don't care	Don't care	0	1	31250000

注. 最大ビットレートを得るには、CKS レジスタと BRR レジスタの値をそれぞれ n = 0、N = 0 とする必要があります。マンチェスタモードでは、ABCSE = ABCSE2 = 0 を使用してください。

表 38.14 外部クロック入力時の最大ビットレート（調歩同期式モード） (1/2)

TCLK (MHz)	外部クロック (MHz)	最大ビットレート (bps)		TCLK (MHz)	外部クロック (MHz)	最大ビットレート (bps)	
		CCR2.ABCS = 0	CCR2.ABCS = 1			CCR2.ABCS = 0	CCR2.ABCS = 1
8	2	125000	250000	25	6.25	390625	781250
9.8304	2.4576	153600	307200	30	7.5	468750	937500
10	2.5	156250	312500	33	8.25	515625	1031250
12	3	187500	375000	40	10	625000	1250000
12.288	3.072	192000	384000	50	12.5	781250	1562500
14	3.5	218750	437500	60	15	937500	1875000

表 38.14 外部クロック入力時の最大ビットレート（調歩同期式モード） (2/2)

TCLK (MHz)	外部クロック (MHz)	最大ビットレート (bps)		TCLK (MHz)	外部クロック (MHz)	最大ビットレート (bps)	
		CCR2.ABCS = 0	CCR2.ABCS = 1			CCR2.ABCS = 0	CCR2.ABCS = 1
16	4	250000	500000	120	30	1875000	3750000
17.2032	4.3008	268800	537600	125	31.25	1953125	3906250
18	4.5	281250	562500				
19.6608	4.9152	307200	614400				
20	5	312500	625000				

表 38.15 GPT クロック入力時の最大ビットレート（調歩同期式モード）

TCLK (MHz)	GPT クロック (MHz)	最大ビットレート (bps)		TCLK (MHz)	GPT クロック (MHz)	最大ビットレート (bps)	
		CCR2.ABCS ビット= 0	CCR2.ABCS ビット= 1			CCR2.ABCS ビット= 0	CCR2.ABCS ビット= 1
8	4	250000	500000	25	12.5	781250	1562500
9.8304	4.9152	307200	614400	30	15	937500	1875000
10	5.0	312500	625000	33	16.5	1031250	2062500
12	6	375000	750000	40	20	1250000	2500000
12.288	6.144	384000	768000	50	25	1562500	3125000
14	7.0	437500	875000	60	30	1875000	3750000
16	8	500000	1000000	120	60	3750000	7500000
17.2032	8.6016	537600	1075200	125	62.5	3906250	781250
18	9.0	562500	1125000				
19.6608	9.8304	614400	1228800				
20	10	625000	1250000				

表 38.16 各ビットレートに対する BRR の設定（クロック同期式モード、簡易 SPI モード） (1/2)

ビットレート (bps)	動作周波数 TCLK (MHz)																	
	8			10			30			60			120			125		
	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N
250	0	3	124	0	3	177	—	—	—	—	—	—	—	—	—	—	—	—
500	0	2	249	0	3	77	0	3	233	—	—	—	—	—	—	—	—	—
1k	0	2	124	0	3	38	0	3	116	0	3	233	—	—	—	—	—	—
2.5k	0	2	49	0	1	249	0	3	46	0	3	93	0	3	187	(0)	(3)	(194)
5k	0	2	24	0	1	124	0	2	93	0	3	46	0	3	93	(1)	(3)	(194)
10k	0	1	49	0	0	249	0	2	46	0	2	93	0	3	46	(0)	(2)	(194)
25k	0	2	4	0	1	24	0	1	74	0	1	149	0	2	74	(0)	(2)	(77)
50k	0	1	9	0	0	49	0	0	149	0	1	74	0	1	149	(0)	(2)	(38)
100k	0	1	4	0	0	24	0	0	74	0	0	149	0	1	74	(0)	(1)	(77)
250k	0	1	1	0	0	9	0	0	29	0	1	14	0	1	29	0	0	124
500k	0	1	0	0	0	4	0	0	14	0	0	29	0	1	14	1	0	124
1M	0	0	1	1	0	4	1	0	14	0	0	14	0	0	29	(1)	(0)	(62)
2.5M	—	—	—	0	0	0	0	0	2	0	0	5	0	1	2	1	0	24
5M	—	—	—	1	0	0	1	0	2	0	0	2	0	0	5	(1)	(0)	(12)
7.5M	—	—	—	—	—	—	0	0	0	0	0	1	1	1	0	(0)	(1)	(0)

表 38.16 各ビットレートに対する BRR の設定（クロック同期式モード、簡易 SPI モード） (2/2)

ビットレート (bps)	動作周波数 TCLK (MHz)																	
	8			10			30			60			120			125		
	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N
60M	—	—	—	—	—	—	—	—	—	—	—	—	1	0	0	(1)	(0)	(0)

注. —: 設定可能ですが、10%を超える誤差が生じます。

表 38.17 外部クロック入力時の最大ビットレート（クロック同期式モード、簡易 SPI モード）

TCLK (MHz)	外部クロック (MHz)	最大ビットレート (Mbps)	TCLK (MHz)	外部クロック (MHz)	最大ビットレート (Mbps)
8	4	4	25	12.5	12.5
10	5	5	30	15	15
12	6	6	33	16.5	16.5
14	7	7	40	20	20
16	8	8	50	25	25
18	9	9	60	30	30
20	10	10	120	60	60
			125	62.5	62.5

表 38.18 各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (1/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	-30	0	1	-25	0	1	-8.99

表 38.18 各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (2/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	-15.99	0	2	-6.66

表 38.18 各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (3/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	25.00			30.00			33.00			40.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	-12.49	0	3	5.01	0	4	-7.59	0	5	-6.66

表 38.18 各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (4/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	50.00			60.00			120.00			125		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	6	0.01	0	7	5.01	0	16	-1.17	0	17	-2.71

表 38.19 各動作周波数における最大ビットレート（スマートカードインタフェースモード、S = 32 の場合）

TCLK (MHz)	最大ビットレート (bps)	n	N	TCLK (MHz)	最大ビットレート (bps)	n	N
10	156250	0	0	30	468750	0	0
10.7136	167400	0	0	33	515625	0	0
13	203125	0	0	40	625000	0	0
16	250000	0	0	50	781250	0	0
18	281250	0	0	60	937500	0	0
20	312500	0	0	120	1875000	0	0
25	390625	0	0	125	1953125	0	0

表 38.20 各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (1/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	8			10			16			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0	0	31	-2.3	1	12	-3.8	1	15	-2.3
25k	0	9	0	0	12	-3.8	1	4	0	1	6	-10.7
50k	0	4	0	0	6	-10.7	1	2	-16.7	1	3	-21.9
100k	0	2	-16.7	0	3	-21.9	0	4	0	0	6	-10.7
250k	0	0	0	0	1	-37.5	0	1	0	0	2	-16.7
350k										0	1	-10.7
400k										0	1	-21.9

表 38.20 各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (2/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	19	-2.3	1	23	-2.3	1	25	-0.8	0	124	0
25k	1	7	-2.3	1	9	-6.3	1	10	-6.3	0	40	0
50k	1	3	-2.3	1	4	-6.3	1	5	-14.1	0	24	0
100k	1	1	-2.3	1	2	-21.9	1	2	-14.1	0	12	-3.85
250k	0	3	-21.9	0	3	-6.3	0	4	-17.5	0	4	0
350k	0	2	-25.6	0	2	-10.7	0	2	-1.8	0	3	-10.71
400k	0	1	-2.3	0	1	17.2	0	2	-14.1	0	2	4.17

表 38.20 各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (3/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	50			60			120			125		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	2	9	-2.3	1	46	-0.27	1	93	-0.27	1	97	-0.35
25k	2	3	-2.3	0	74	0	0	149	0	1	38	0.16
50k	2	1	-2.3	0	37	-1.32	0	74	0	0	77	0.16
100k	1	3	-2.3	0	18	-1.32	0	37	-1.31	0	38	0.16
250k	0	6	-10.7	0	7	-6.25	0	14	0	2	0	-2.34
350k	0	4	-10.7	0	4	7.14	0	10	-2.6	0	10	1.46

表 38.20 各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (4/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	50			60			120			125		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
400k	0	3	-2.34	0	4	-6.25	0	8	4.17	0	10	-11.22

表 38.21 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (1/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	8			10			16			20		
	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)
10k	0	24	43.75 / 50.00	0	31	44.80 / 51.20	1	12	45.50 / 52.00	1	15	44.80 / 51.20
25k	0	9	17.50 / 20.00	0	12	18.20 / 20.80	1	4	17.50 / 20.00	1	6	19.60 / 22.40
50k	0	4	8.75 / 10.00	0	6	9.80 / 11.20	1	2	10.50 / 12.00	1	3	11.20 / 12.80
100k	0	2	5.25 / 6.00	0	3	5.60 / 6.40	0	4	4.37 / 5.00	0	6	4.90 / 5.60
250k	0	0	1.75 / 2.00	0	1	2.80 / 3.20	0	1	1.75 / 2.00	0	2	2.10 / 2.40
350k										0	1	1.40 / 1.60
400k										0	1	1.40 / 1.60

表 38.21 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (2/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	25			30			33			40		
	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)
10k	1	19	44.80 / 51.20	1	23	44.80 / 51.20	1	25	44.12 / 50.42	1	32	46.20 / 52.80
25k	1	7	17.92 / 20.48	1	9	18.66 / 21.33	1	10	18.66 / 21.33	1	12	18.20 / 20.80
50k	1	3	8.96 / 10.24	1	4	9.33 / 10.66	1	5	10.18 / 11.63	1	6	9.80 / 11.20
100k	1	1	4.48 / 5.12	1	2	5.60 / 6.40	1	2	5.09 / 5.81	0	13	4.90 / 5.60
250k	0	3	2.24 / 2.56	0	3	1.86 / 2.13	0	4	2.12 / 2.42	0	4	1.75 / 2.00
350k	0	2	1.68 / 1.92	0	2	1.40 / 1.60	0	2	1.27 / 1.45	0	3	1.40 / 1.60
400k	0	1	1.12 / 1.28	0	1	0.93 / 1.07	0	2	1.27 / 1.45	0	2	1.05 / 1.20

表 38.21 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (3/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	50			60			120			125		
	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)
10k	2	9	44.80 / 51.20	1	47	44.80 / 51.20	1	93	43.87 / 50.13	1	97	43.90/50.18
25k	2	3	17.92 / 20.48	0	74	17.50 / 20.00	0	149	17.50 / 20.00	1	38	17.47/19.97
50k	2	1	8.96 / 10.24	0	37	8.87 / 10.13	0	74	8.75 / 10.00	0	77	8.74/9.98

表 38.21 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (4/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	50			60			120			125		
	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)
100k	1	3	4.48 / 5.12	0	18	4.43 / 5.07	0	37	4.43 / 5.07	0	38	4.37/4.99
250k	0	6	1.96 / 2.24	0	7	1.87 / 2.13	0	15	1.87 / 2.13	2	0	1.79/2.05
350k	0	4	1.40 / 1.60	0	5	1.40 / 1.60	0	10	1.28 / 1.47	0	10	1.23/1.41
400k	0	3	1.12 / 1.28	0	4	1.17 / 1.33	0	9	1.17 / 1.33	0	10	1.23/1.41

BRME ビット（ビットレート変調有効）

ビットレート変調機能を有効または無効にします。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートが均一に補正されます。

クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモードおよび簡易 LIN モードでは、0 にしてください。

調歩同期式モードにおいても、ABCSE = 1 または ABCSE2 = 1 のときはこのビットを 0 にしてください。

CKS[1:0]ビット（クロック選択）

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0]ビットの設定値とボーレートの関係については、BRR[7:0]ビットの説明を参照してください。

MDDR[7:0]ビット（変調デューティ設定）

BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR の設定値 (M/256) に応じて均一に補正されます。MDDR の設定値 M とビットレート B の関係を表 38.22 に示します。

MDDR の初期値は 0xFF です。CCR2 のビット 7 は 1 に固定されています。

表 38.22 ビットレート変調機能使用時の MDDR の設定値 M とビットレート B の関係

モード(注1)	CCR2 の設定			BRR 設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式マルチプロセッサ転送	0	0	0	$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\right\} \times 100$
	1	0	0	$N = \frac{TCLK \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{TCLK \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\right\} \times 100$
	x（任意）	x（任意）	1 (注2)	$N = \frac{TCLK \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\right\} \times 100$
簡易 IIC(注2)				$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	—

注. B：ビットレート (bps)
M: MDDR の設定値 (128 ≦ M ≦ 255)
N：ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)
TCLK：動作周波数 (MHz)
n：表 38.9 に記載されているように、CKS[1:0]の設定値によって決定。

注 1. クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および簡易 LIN モードでは、この機能を使用しないでください。

注 2. 簡易 IIC モードでは、SCL 出力の High/Low 幅が I2C 規格を満たすように、ビットレートを調整してください。

表 38.23 および表 38.24 に、調歩同期式モードにおける BRR の N と MDDR の M の設定例を示します。

表 38.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (1/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0	0	0	189	1	0.14

表 38.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (2/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0	0	16	191	1	0
57600	0	5	236	0	0.03	0	4	192	0	0	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	0.26	0	0	135	1	0.14

表 38.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (3/3)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.2	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.2	0	0	210	0	0.14

注. これは、CCR2.ABCS が 0、かつ CCR2.ABCSE が 0 の場合の例です。
注 1. ビットレート変調機能は無効です。(CCR2.BRME = 0, M = 256)

表 38.24 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (1/4)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0	0	10	173	0	-0.01	0	11	151	0	0
57600	0	9	240	0	0	0	9	236	0	0.03	0	7	151	0	0

表 38.24 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (2/4)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
115200	0	4	240	0	0	0	4	236	0	0.03	0	3	151	0	0
230400	0	1	192	0	0	0	4	236	1	0.03	0	1	151	0	0
460800	0	0	192	0	0	0	0	189	0	0.14	0	0	151	0	0

表 38.24 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (3/4)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460800	0	3	252	1	0.14	0	1	229	0	0.1	0	4	236	1	0.03

表 38.24 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (4/4)

ビットレート (bps)	動作周波数 TCLK (MHz)																			
	50					60					120					125				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	23	151	0	0	0	36	194	0	0.01	0	73	194	0	0.01	0	90	229	0	0.00
57600	0	15	151	0	0	0	21	173	0	-0.01	0	58	232	0	0	0	132	251	1	-0.01
115200	0	7	151	0	0	0	10	173	0	-0.01	0	21	173	0	-0.01	0	19	151	0	0.00
230400	0	3	151	0	0	0	10	173	1	-0.01	0	10	173	0	-0.01	0	9	151	0	0.00
460800	0	1	151	0	0	0	6	220	1	-0.09	0	10	173	1	-0.01	0	4	151	0	0.00

注. これは、CCR2.ABCS が 0、かつ CCR2.ABCSE が 0 の場合の例です。
注 1. ビットレート変調機能は無効です。(CCR2.BRME = 0, M = 256)

38.2.8 CCR3 : 共通コントロールレジスタ 3

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	BLK	GM	—	ACS0	CKE[1:0]		—	—	DEN	FM	MP	MOD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RXDESEL	STP	SINV	LSBF	—	—	CHR[1:0]		BPEN	—	—	—	—	—	CPOL	CPHA
Value after reset:	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	CPHA	クロック位相選択 クロック同期式モードと簡易 SPI モードで有効です。CCR0 レジスタの TE ビットと RE ビットがどちらも 0 のときにだけこのビットを設定してください。 0: データが奇数エッジでサンプリングされ、偶数エッジで変更される（クロック遅れあり） 1: データが奇数エッジで変更され、偶数エッジでサンプリングされる（クロック遅れなし）	R/W
1	CPOL	クロック極性選択 クロック同期式モードと簡易 SPI モードで有効です。CCR0 レジスタの TE ビットと RE ビットがどちらも 0 のときにだけこのビットを設定してください。 0: アイドル状態の SCKn が 0 1: アイドル状態の SCKn が 1	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	BPEN	同期回路バイパス許可 このビットは、バスクロックと動作クロックの間でシンクロナイザー回路をバイパスするかどうかを制御します。 0: 同期回路をバイパスしない 1: 同期回路をバイパスする	R/W
9:8	CHR[1:0]	キャラクタ長 調歩同期式モードおよびマンチェスタモードで有効です。(注1) 送受信用のデータ長を選択します。 0 0: データ長 9 ビットで送受信 0 1: データ長 9 ビットで送受信 1 0: データ長 8 ビットで送受信（初期値） 1 1: データ長 7 ビットで送受信(注2)	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	LSBF	LSB ファースト選択 簡易 IIC モードでは、このビットを 0 にしてください。 簡易 LIN モードでは、このビットを 1 にしてください。 0: MSB ファースト 1: LSB ファースト	R/W
13	SINV	送受信データ反転 簡易 IIC モードでは、本ビットを 0 にしてください。 通信端子 (RXDn/TXDn) のレベルは、本ビットと CCR1.TINV/RINV ビットの組み合わせにより制御されます。詳細は、図 38.3 を参照してください。 0: TDR レジスタの内容をそのまま TSR レジスタに送信 RSR レジスタの内容をそのまま RDR レジスタに格納 1: TSR レジスタへの送信前に TDR レジスタの内容を反転。 RSR レジスタの内容を反転して RDR レジスタに格納。	R/W
14	STP	ストップビット長 調歩同期式モード、マンチェスタモード、および簡易 LIN モードで有効です。 0: ストップビット長／ブレークデリミタ長は 1 ビットです。 1: ストップビット長／ブレークデリミタ長は 2 ビットです。	R/W

ビット	シンボル	機能	R/W
15	RXDESEL	調歩同期化スタートビットエッジ検出選択 調歩同期式モードでのみ有効です。 簡易 LIN モードでは、このビットを 1 にしてください。 0: RXDn 端子入力の Low レベルでスタートビットを検出 1: RXDn 端子入力の立ち下がりエッジでスタートビットを検出	R/W
18:16	MOD[2:0]	通信モード選択 SCI 通信モードの設定を選択します。 0 0 0: 調歩同期式モード（マルチプロセッサモード） 0 0 1: スマートカードインタフェースモード 0 1 0: クロック同期式モード 0 1 1: 簡易 SPI モード 1 0 0: 簡易 IIC モード 1 0 1: マンチェスタモード 1 1 0: 簡易 LIN モード 1 1 1: 設定禁止	R/W
19	MP	マルチプロセッサモード 調歩同期式モードとマンチェスタモードで有効です。 0: マルチプロセッサ通信機能が無効 1: マルチプロセッサ通信機能が有効	R/W
20	FM	FIFO モード選択 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 0: TDR レジスタと RDR レジスタを非 FIFO バッファ構成とする 1: TDR レジスタと RDR レジスタを FIFO バッファ構成とする	R/W
21	DEN	ドライバイネーブル 0: RS-485 ドライバコントロール機能は無効 1: RS-485 ドライバコントロール機能は有効	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
25:24	CKE[1:0]	クロック許可 0 0: 調歩同期式モードの場合 内蔵ボーレートジェネレータ I/O ポートの設定に従って、SCKn 端子は入出力ポートとして使用できます。 マンチェスタモードと簡易 LIN モードの場合 内蔵ボーレートジェネレータ SCKn 端子は入出力ポートとして使用できます。 クロック同期式モードと簡易 SPI モードの場合 内部クロック（マスタ動作） SCKn 端子はクロック出力端子となります。 スマートカードインタフェースモードの場合（CCR3.GM が 0 のとき） 出力禁止（I/O ポートの設定に従って、SCKn 端子は入出力ポートとして使用できます。） スマートカードインタフェースモードの場合（CCR3.GM が 1 のとき） Low 出力固定 0 1: 調歩同期式モードの場合 内蔵ボーレートジェネレータ SCKn 端子からビットレートと同じ周波数のクロックを出力します。 マンチェスタモードと簡易 LIN モードの場合 禁止 クロック同期式モードと簡易 SPI モードの場合 内部クロック（マスタ動作） SCKn 端子はクロック出力端子となります。 スマートカードインタフェースモードの場合（CCR3.GM が 0 のとき） クロック出力 スマートカードインタフェースモードの場合（CCR3.GM が 1 のとき） クロック出力 1 0: 調歩同期式モードの場合 外部クロックまたは GPT クロック ● 外部クロックを使用する場合 CCR2.ABCS ビットが 0 のとき、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。CCR2.ABCS ビットが 1 のとき、ビットレートの 8 倍の周波数のクロックを入力してください。 ● GPT クロックを使用する場合(注3) GPT クロック使用時は、I/O ポートの設定に従って、SCKn 端子を入出力ポートとして使用できます。 マンチェスタモードと簡易 LIN モードの場合 禁止 クロック同期式モードと簡易 SPI モードの場合 外部クロック（スレーブ動作） SCKn 端子はクロック入力端子となります。 スマートカードインタフェースモードの場合（CCR3.GM が 0 のとき） 禁止 スマートカードインタフェースモードの場合（CCR3.GM が 1 のとき） High 出力固定 1 1: 調歩同期式モードの場合 外部クロックまたは GPT クロック ● 外部クロックを使用する場合 CCR2.ABCS ビットが 0 のとき、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。CCR2.ABCS ビットが 1 のとき、ビットレートの 8 倍の周波数のクロックを入力してください。 ● GPT クロックを使用する場合(注3) GPT クロック使用時は、I/O ポートの設定に従って、SCKn 端子を入出力ポートとして使用できます。 マンチェスタモードと簡易 LIN モードの場合 禁止 クロック同期式モードと簡易 SPI モードの場合 外部クロック（スレーブ動作） SCKn 端子はクロック入力端子となります。 スマートカードインタフェースモードの場合（CCR3.GM が 0 のとき） 禁止 スマートカードインタフェースモードの場合（CCR3.GM が 1 のとき） クロック出力	R/W
26	ACS0	調歩同期クロックソース選択 調歩同期式モードでのみ有効です。 SCIn (n = 1, 2) を除く SCI チャネルでは、これらのビットは予約ビットです。 0: 外部クロック入力 1: 内部 GPT からのコンペアマッチ出力の論理積	R/W

ビット	シンボル	機能	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	GM	GSM モード スマートカードインタフェースモードでのみ有効です。 0: 非 GSM モードで動作 1: GSM モードで動作	R/W
29	BLK	ブロック転送モード スマートカードインタフェースモードでのみ有効です。 0: 非ブロック転送モードで動作 1: ブロック転送モードで動作	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. 調歩同期式モードおよびマンチェスタモード以外では、このビットの設定に関わらずデータ長は 8 ビットになります。簡易 LIN モードでは 8 ビットのデータ長しか利用できないため、8 ビットが初期値となっています。
注 2. LSB ファースト固定となり、送信時に TDR の MSB（ビット 7）は送信されません。
注 3. SCI1 と SCI2 では、GPT クロックを選択することができます。

CPHA ビット（クロック位相選択）

CPHA ビットは、SCKn 端子からのクロック信号出力の位相を選択します。詳細は、図 38.99 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 1 としてください。

CPOL ビット（クロック極性選択）

CPOL ビットは、SCKn 端子からのクロック信号出力の極性を選択します。詳細は、図 38.99 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 1 としてください。

BPEN ビット（同期回路バイパス許可）

BPEN ビットは、同期回路バイパス機能を有効にするかどうかを選択します。バスクロック (PCLK) を動作クロック (TCLK) としても使用する場合はこのビットを 1 にしてください。詳細は、図 38.2 および「38.18. シンクロナイザーバイパス機能」を参照してください。

注. このビット設定の詳細については、「38.19.17. CCR3.BPEN ビットの設定に関する注意事項」を参照してください。

CHR[1:0]ビット（キャラクタ長）

送受信用のデータ長を選択します。

調歩同期式モードとマンチェスタモード以外では、データ長は 8 ビット固定です。

LSBF ビット（LSB ファースト選択）

MSB ファーストと LSB ファーストのどちらでデータの送受信を行うかを選択します。

SINV ビット（送受信データ反転）

SINV ビットでは、TDR レジスタから TSR レジスタへの送信データビットの反転、および RSR レジスタから RDR レジスタへの受信データの反転が可能です。SINV ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、CCR1.PM ビットを反転してください。

STP ビット（ストップビット長）

送信のストップビット長を選択します。

受信時には、STP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットと見なされます。

また、スタートフレームを簡易 LIN モードで送出するときは、これをブレークデリミタ長として使用します。

RXDESEL ビット（調歩同期化スタートビットエッジ検出選択）

調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。RXDESEL ビットの設定により、ブレーク時のデータ受信動作が異なります。ブレーク中に受信動作を停止させたい場合、またはブレーク終了後

に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、このビットを 1 にしてください。

簡易 LIN モードでは、このビットを 1 にしてください。調歩同期式モードと簡易 LIN モード以外では、このビットを 0 にしてください。

MOD[2:0]ビット（通信モード選択）

SCI 通信モードを選択します。

表 38.25　通信モード選択ビット (MOD[2:0]) と他の動作モード設定ビットの関係

通信モード	調歩同期式				スマートカードインタフェース	クロック同期式	簡易 SPI		簡易 IIC	マンチェスタ		簡易 LIN
CCR3.MOD[2:0]	000b				001b	010b	011b		100b	101b		110b
CCR3.MP	0		1		—	—	—		—	0	1	—
CCR3.FM	0	1	0	1	—	0	1	0	1	—	—	—
CCR3.DEN	0	1	0	1	0	1	0	1	—	—	—	—
CCR0.SSE	—				—		0	1	0	1	—	—	—

注.　「—」は設定禁止を示します。

MP ビット（マルチプロセッサモード）

マルチプロセッサ通信機能の有効／無効を設定します。マルチプロセッサモードでは、PE ビットと PM ビットの設定は無効です。

FM ビット（FIFO モード選択）

FM ビットを 1 にすると、TDR レジスタ／RDR レジスタは FIFO 構成となり、送信 FIFO（TDR レジスタ）／受信 FIFO（RDR レジスタ）をシリアル送信／受信に使用できるようになります。

DEN ビット（ドライバイネーブル）

RS-485 ドライバコントロール機能の有効／無効を選択します。

CKE[1:0]ビット（クロック許可）

CKE[1:0]ビットは、クロックソースと SCKn 端子機能を選択します。

これらのビットと CCR3.ACS0 ビットの設定の組み合わせによって内部 GPT クロックを設定します。

スマートカードインタフェースモードでは、SCKn 端子からのクロック出力を制御します。

GSM モードでは、クロック出力を動的に切り替えることが可能です。詳細は、「38.7.8. クロック出力制御」を参照してください。

GM ビット（GSM モード）

GM ビットを 1 にすると、GSM モードで動作します。

GSM モードでは、CSR.TEND フラグのセットタイミングが、先頭から 11.0 etu（etu : elementary time unit = 1 ビット転送時間）に繰り上げられ、クロック出力制御機能が追加されます。詳細は、「38.7.6. シリアルデータの送信（ブロック転送モードを除く）」、「38.7.8. クロック出力制御」を参照してください。

ACS0 ビット（調歩同期クロックソース選択）

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (CCR3.MOD[2:0] = 000b) で、外部クロック入力（CCR3.CKE[1:0] = 10b または 11b）のときに有効です。このビットは、外部クロック入力か、内部 GPT からのコンペアマッチ出力の論理積を選択するのに使用します。

調歩同期式モード以外では、ACS0 ビットを 0 にしてください。

SCI1 と SCI2 では、GPT の GTIOCmA 出力 (m = 3, 4, 6, 7) をシリアル転送基本クロックにできます。詳細は表 38.26 を参照してください。

SCI1 と SCI2 を除く SCI チャネルでは、これらのビットは予約ビットです。SCI1、SCI2 以外のビットでは書き込みは 0 にしてください。

表 38.26 SCI チャネルとコンペアマッチ出力の関係

SCI	GPT	コンペアマッチ出力
SCI1	GPT3	GTIOC3A
	GPT4	GTIOC4A
SCI2	GPT6	GTIOC6A
	GPT7	GTIOC7A

GTIOC3A および GTIOC4A が出力に選択されている場合の設定例を図 38.4 および図 38.5 に示します。この図は、GPT クロックが SCI1 に入力される場合の例を示します。

PCLKD = 32 MHz で GPT 平均転送レートが 187.5 kbps の場合：

1. 基本クロックとして GTIOC3A を使って 4 MHz の周波数を生成する。
2. 基本クロックの 3/4 クロックイネーブルを生成し、GTIOC4A を使って 3 MHz/16 = 187.5 kbps の平均転送レートを設定する。

GPT および SCI の設定例

- GPT3.GTSSR = 0x80000000、GPT4.GTSSR = 0x80000000（ソフトウェアカウンタ開始許可）
- GPT3.GTPR = 0x00000007、GPT4.GTPR = 0x0000001F（GTCNT の最大カウント値)
- GPT3.GTCCRA = 0x00000003、GPT4.GTCCRA = 0x00000007（コンペアマッチ値）
- GPT3.GTCR = 0x00000000、GPT4.GTCR = 0x00000000（のこぎり波 PWM モード、タイマプリスケーラは PCLKD）
- GPT3.GTIOR = 0x00000306、GPT4.GTIOR = 0x00000306
（初期出力 Low、GTCCRA コンペアマッチで High 出力、周期の終わりで Low 出力）
- CCR3.CKE[1:0] = 10b（外部クロック入力または GPT クロック入力を選択）
- CCR3.ACS0 = 1、CCR2.ABCSE = 1、CCR2.ABCS = 0（1 ビット期間中の基本クロックパルス数で GPT クロック入力を選択）
- GPT3.GTSTR = 0x00000018（ソフトウェア起動 GTCNT カウンタ）

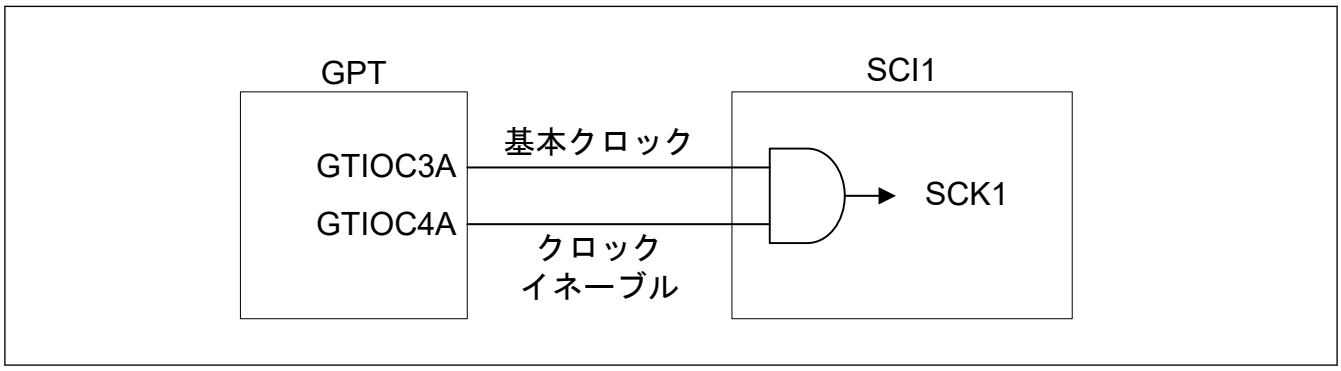


図 38.4 GPT と SCI の接続例

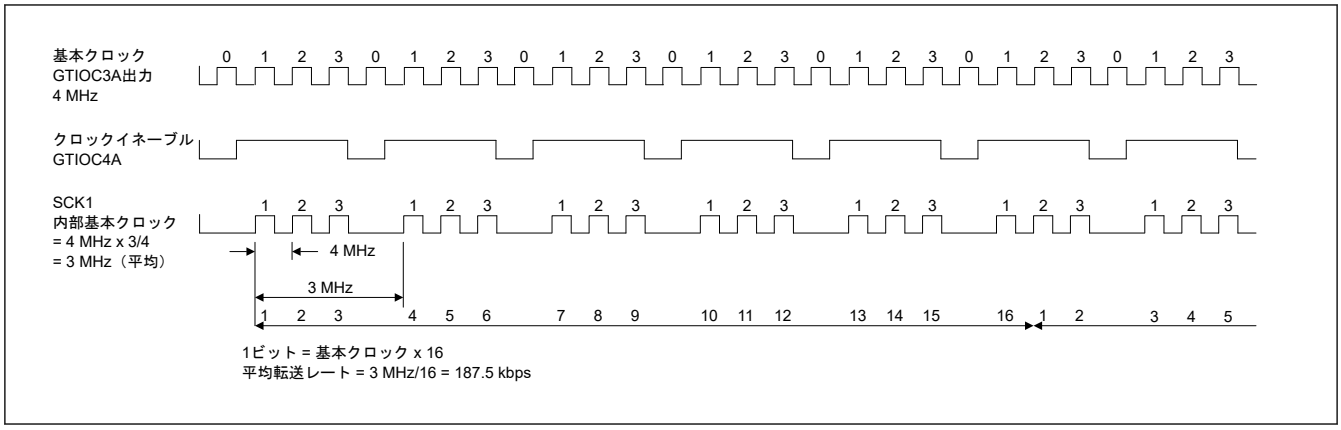


図 38.5　GPT クロック入力時の平均転送レート設定例

BLK ビット（ブロック転送モード）

BLK ビットを 1 にすると、ブロック転送モードで動作します。

詳細は、「38.7.3. ブロック転送モード」を参照してください。

38.2.9　CCR4 : 共通コントロールレジスタ 4

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	AET	ATT[2:0]			AJD	AST[2:0]			—	—	—	—	—	—	ATEN	ASEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPD[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	CMPD[8:0]	コンペアマッチデータ 調歩同期式モードでのみ有効です。 アドレス一致ウェイクアップ機能用の比較データパターンを設定します。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ASEN	受信サンプリングタイミング調整有効 内部クロックを使用した調歩同期式モード、内部クロックを使用した簡易 LIN モード、マスタとして動作するクロック同期式モード、マスタとして動作する簡易 SPI モードで有効です。 0: サンプリングタイミング調整無効 1: サンプリングタイミング調整有効	R/W
17	ATEN	送信タイミング調整有効 内部クロックを使用した調歩同期式モードでのみ有効です。 0: 送信タイミング調整無効 1: 送信タイミング調整有効	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
26:24	AST[2:0]	受信サンプリングタイミングの調整値 このビットは ASEN = 1 の場合にのみ有効です。 内部クロックを使用した調歩同期式モードと簡易 LIN モードの場合 RXDn 端子のサンプリングタイミングは、次の式によってビットの中間から調整されます。 調整サンプリングタイミング = 基本クロック × AST[2:0]の設定値 内部クロックを使用したクロック同期式モードと簡易 SPI モードの場合 1～4 TCLK 遅延させることにより、RXDn サンプリングタイミングを調整できます。 0 0 0: TCLK 1 サイクルの遅延 0 0 1: TCLK 2 サイクルの遅延 0 1 0: TCLK 3 サイクルの遅延 0 1 1: TCLK 4 サイクルの遅延 その他: 設定禁止	R/W
27	AJD	受信サンプリングタイミングの調整方向 内部クロックを使用した調歩同期式モードと内部クロックを使用した簡易 LIN モードで有効です。 このビットは ASEN = 1 の場合にのみ有効です。 RXDn の受信サンプリングタイミングの調整方向はこのビットで決まります。詳細は、「38.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード）」を参照してください。 0: サンプリングタイミングはビットの中間に向かって後ろ方向に調整される 1: サンプリングタイミングはビットの中間に向って前方向に調整される	R/W
30:28	ATT[2:0]	送信タイミングの調整値 内部クロックを使用した調歩同期式モードと内部クロックを使用した簡易 LIN モードで有効です。 このビットは ATEN = 1 の場合にのみ有効です。 TXDn のエッジ選択タイミングは次の式によって調整されます。 調整エッジタイミング = 基本クロック × ATT[2:0]の設定値 この設定タイミングは基本クロックサイクルの設定によって制限されます。詳細は、「38.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。	R/W
31	AET	送信タイミングの調整エッジ 内部クロックを使用した調歩同期式モードと内部クロックを使用した簡易 LIN モードで有効です。 調整可能エッジはこのビットによって設定されます。ATEN = 1 のときのみ、本ビットは有効です。詳細は、「38.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。 0: CCR1.TINV が 0 のとき、立ち上がりエッジタイミングを調整 CCR1.TINV が 1 のとき、立ち下がりエッジタイミングを調整 1: CCR1.TINV が 0 のとき、立ち下がりエッジタイミングを調整 CCR1.TINV が 1 のとき、立ち上がりエッジタイミングを調整	R/W

注. S-TYPE-3、P-TYPE-3

CMPD[8:0]ビット（コンペアマッチデータ）

アドレス一致検出機能が有効（CCR0.DCME ビット = 1）のとき、受信データ用の比較データを設定します。CCR4.CMPD[8:0]は、CCR0.DCME ビットが 0 のときに書き込んでください。

比較データでは、3 種類のビット長（7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]）から選択できます。

注. 本書の説明とタイミングチャートで ASEN/ATEN の設定値が示されていない場合は、受信サンプリング調整機能／送信タイミング調整機能がオフ（CCR4.ASEN = 0、CCR4.ATEN = 0）になっていることを意味します。

ASEN ビット（受信サンプリングタイミング調整有効）

ASEN ビットが 1 のときは、受信サンプリングタイミング調整機能が有効になっています。その制御は、調歩同期式モード、簡易 LIN モード、クロック同期式モード、簡易 SPI モードで異なります。

内部クロックを使用する調歩同期式モードの詳細は、「38.6.7. 受信サンプリングタイミング調整機能（クロック同期式モード、内部クロック使用）」を参照してください。簡易 LIN モードで内部クロックを選択した場合の動作は、調歩同期式モードで内部クロックを選択した場合の動作と同じです。

マスタとして動作するクロック同期式モードおよびマスタとして動作する簡易 SPI モードの詳細は、「38.6.6. シリアルデータの同時送受信（クロック同期式モード）」を参照してください。このビットで制御できるのは、マ

スタモードの受信サンプリングクロック (MRCLK) のデジタル遅延のみです。MRCLK アナログ遅延は制御できません。

ATEN ビット（送信タイミング調整有効）

ATEN ビットが 1 のとき、送信タイミング調節機能が有効になります。送信タイミング調節機能で、TXDn 端子からの波形出力のエッジタイミングを調整できます。詳細は、「38.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。

AST[2:0]ビット（受信サンプリングタイミングの調整値）

ASEN ビットが 1 のとき、このビット設定値に従って受信サンプリングタイミングを調整できます。

内部クロックを使用した調歩同期式モードおよび簡易 LIN モードの場合

RXDn 端子のサンプリングタイミングは、次の式によってビットの中間から調整されます。この設定値は基本クロックサイクルの設定によって制限されます。詳細は、「38.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード）」を参照してください。

調整サンプリングタイミング = 基本クロック × AST[2:0]の設定値

クロック同期式モードおよび内部クロックを使用した簡易 SPI モードの場合

RXDn 端子のサンプリングタイミングは、1 TCLK～4 TCLK の範囲の遅延で調整できます。詳細は、「38.6.7. 受信サンプリングタイミング調整機能（クロック同期式モード、内部クロック使用）」を参照してください。

000: TCLK 1 サイクルの遅延

001: TCLK 2 サイクルの遅延

010: TCLK 3 サイクルの遅延

011: TCLK 4 サイクルの遅延

1xx: 設定禁止

AJD ビット（受信サンプリングタイミングの調整方向）

RXDn 端子サンプリングタイミングの調整方向をビット中間から後ろ方向または前方向に設定します。詳細は、「38.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード）」を参照してください。

ATT[2:0]ビット（送信タイミングの調整値）

AET ビットで指定される TXDn 端子のエッジタイミングは、基本クロック × ATT[2:0]の設定値で調整されます。設定可能な調整時間の上限は、基本クロックサイクルの数によって制限されます。詳細は、「38.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。

AET ビット（送信タイミングの調整エッジ）

タイミング調整用の TXDn 端子エッジを設定します。詳細は、「38.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。

38.2.10 ICR : 簡易 IIC コントロールレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	IICSCLS[1:0]		IICSDAS[1:0]		—	IICSTPREQ	IICRSTAREQ	IICSTAREQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	IICACKT	—	—	—	IICSCC	IICINTM	—	—	—	IICDL[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	IICDL[4:0]	SDA 遅延出力選択 以下のサイクル数は、内蔵ボーレートジェネレータからのクロック信号のサイクル数です。 0x00: 出力遅延なし 0x01: 0～1 サイクル 0x02: 1～2 サイクル 0x03: 2～3 サイクル 0x04: 3～4 サイクル 0x05: 4～5 サイクル ⋮ 0x1E: 29～30 サイクル 0x1F: 30～31 サイクル	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	IICINTM	IIC 割り込みモード選択 0: ACK 割り込み、NACK 割り込みを使用 1: 受信割り込みおよび送信割り込みを使用	R/W
9	IICCSC	クロック同期化 0: クロック信号と同期しない 1: クロック信号と同期する	R/W
12:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	IICACKT	ACK 送信データ 0: ACK 送信 1: NACK 送信または ACK/NACK 受信	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IICSTAREQ	開始条件生成 0: スタートコンディションを生成しない 1: スタートコンディションを生成する(注1) (注3) (注4) (注5)	R/W
17	IICRSTAREQ	再開始条件生成 0: リスタートコンディションを生成しない 1: リスタートコンディションを生成する(注2) (注3) (注4) (注5)	R/W
18	IICSTPREQ	停止条件生成 0: ストップコンディションを生成しない。 1: ストップコンディションを生成する(注2)(注3)(注4) (注5)	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21:20	IICSDAS[1:0]	SDA 出力選択 0 0: シリアルデータ出力 0 1: スタートコンディション、リスタートコンディション、またはストップコンディションの生成 1 0: SDAn 端子は Low を出力 1 1: SDAn 端子はハイインピーダンス状態	R/W
23:22	IICSCLS[1:0]	SCL 出力選択 0 0: シリアルクロック出力 0 1: スタートコンディション、リスタートコンディション、またはストップコンディションの生成 1 0: SCLn 端子は Low を出力 1 1: SCLn 端子はハイインピーダンス状態	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. バスフリー状態で、スタートコンディションの生成を行ってください。
注 2. バスフリー状態で、図 38.86 と図 38.87 に記載されているアクノリッジ後の SCLn 端子が Low のときにリスタートコンディションまたはストップコンディションの生成を行ってください。
注 3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2 つ以上を 1 にしないでください。
注 4. IICSTIF フラグの値を 0 にしてから、条件生成を行ってください。
注 5. このビットが 1 の状態にあるとき、0 を書き込まないでください。このビットが 1 の状態にあるときに 0 を書き込むと、条件生成が中断します。

IICDL[4:0]ビット（SDA 遅延出力選択）

IICDL[4:0]ビットは、SCLn 端子出力の立ち下がりエッジに対する SDAn 端子出力の遅延を設定するために使用します。内蔵ボーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲

で設定が可能です。CCR2.CKS[1:0]ビットの設定によって分周された TCLK クロックが、内蔵ボーレートジェネレータからのクロック信号として供給されます。

簡易 IIC モード以外では、これらのビットを 00000b にしてください。簡易 IIC モードでは、これらのビットを 00001b～11111b の範囲で設定してください。

IICINTM ビット（IIC 割り込みモード選択）

IICINTM ビットは、簡易 IIC モードにおいて、割り込み要求の要因を選択します。

IICCSC ビット（クロック同期化）

他のデバイスがウェイトを挿入するなどの目的で SCLn 端子を Low にしたときや、内部で生成する SCLn クロック信号を同期化するときは、IICCSC ビットを 1 にします。

IICCSC ビットを 0 にすると、SCLn クロック信号の同期化は行われません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号が生成されます。

デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット（ACK 送信データ）

送信データは ACK ビットを含みます。ACK ビットおよび NACK ビット受信時は、このビットを 1 にしてください。

IICSTAREQ ビット（開始条件生成）

開始条件の生成を行うときは、IICSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

ストップコンディションの生成後にスタートコンディションを生成する場合は、ストップコンディション生成割り込み (STI) 要求出力からのビットレートの半周期でスタートコンディションの生成を開始してください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 開始条件の生成終了

IICRSTAREQ ビット（再開始条件生成）

再開始条件の生成を行うときは、IICRSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 再開始条件の生成終了

IICSTPREQ ビット（停止条件生成）

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成終了

IICSDAS[1:0]ビット（SDA 出力選択）

IICSDAS[1:0]ビットは、SDAn 端子からの出力を制御します。

IICSCLS[1:0]ビット（SCL 出力選択）

IICSCLS[1:0]ビットは、SCLn 端子からの出力を制御します。

38.2.11 FCR : FIFO コントロールレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	RSTRG[4:0]					RFRST	—	—	RTRG[4:0]				
Value after reset:	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TFRST	—	—	TTRG[4:0]					—	—	—	—	—	—	—	DRES
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DRES	受信データレディエラー選択ビット 調歩同期式モードで有効です。 このビットは受信データレディエラー検出用の割り込み要求を選択します。 0: 受信データフル割り込み (SCIn_RXI) 1: 受信エラー割り込み (SCIn_ERI)	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	TTRG[4:0]	送信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 トリガ数は 15 以下にする必要があります。 0x00: トリガ数 0 ⋮ 0x1F: トリガ数 31	R/W
14:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TFRST	送信 FIFO データレジスタリセット このビットは CCR3.FM が 1 の場合にのみ有効です。 読むと常に 0 が読めます。 0: このビットは無効になるが動作に影響はない 1: 送信 FIFO（TDR レジスタ）に格納されたデータの数を 0 にする	W
20:16	RTRG[4:0]	受信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 トリガ数は 15 以下にする必要があります。 0x00: トリガ数 0 ⋮ 0x1F: トリガ数 31	R/W
22:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	RFRST	受信 FIFO データレジスタリセット このビットは CCR3.FM が 1 の場合にのみ有効です。 読むと常に 0 が読めます。 0: このビットは無効になるが動作に影響はない 1: 受信 FIFO（RDR レジスタ）に格納されたデータの数を 0 にする	W
28:24	RSTRG[4:0]	RTS 出力アクティブトリガ数選択 調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードで有効です。 このビットは、CCR3.FM = 1、CCR1.CTSE = 0、CCR0.SSE = 0 の場合にのみ有効です。 トリガ数は 15 以下にする必要があります。 0x00: トリガ数 0 ⋮ 0x1F: トリガ数 31	R/W

ビット	シンボル	機能	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

DRES ビット（受信データレディエラー選択ビット）

受信データレディ (FRSR.DR flag = 1) の検出により、SCIn_RXI 割り込み要求が発生するのか SCIn_ERI 要求が発生するのかを選択します。

TTRG[4:0]ビット（送信 FIFO データトリガ数）

送信 FIFO（TDR レジスタ）内の送信データの数が指定された送信トリガ数以下であると、TDFE フラグが 1 になります。CCR0.TIE = 1 の場合は、SCIn_TXI 割り込み要求が発生します。

注. トリガ数は 15 にする必要があります。トリガ数を 16 以上にした場合は、予期しない SCIn_TXI 割り込みが発生します。

TFRST ビット（送信 FIFO データレジスタリセット）

TFRST ビットを 1 にすると、送信 FIFO（TDR レジスタ）に格納された送信データの数が 0 になります。

RTRG[4:0]ビット（受信 FIFO データトリガ数）

受信 FIFO（RDR レジスタ）内の受信データの数が指定された受信トリガ数以上になると、CSR.RDRF フラグが 1 になります。CCR0.RIE = 1 の場合は、SCIn_RXI 割り込み要求が発生します。FCR.RTRG ビットを 0 にした場合は、受信 FIFO 内のデータの数が 1 以上になると、RDRF フラグが 1 になります。

注. トリガ数は 15 にする必要があります。トリガ数を 16 以上にした場合は、予期しない SCIn_RXI 割り込みが発生します。

RFRST ビット（受信 FIFO データレジスタリセット）

RFRST ビットを 1 にすると、受信 FIFO（RDR レジスタ）に格納された受信データの数が 0 になります。

RSTRG[4:0]ビット（RTS 出力アクティブトリガ数選択）

受信 FIFO（RDR レジスタ）に格納された受信データの数がこの数値以上になると、RTSn 信号が High 状態になります。FCR.RSTRG ビットを 0 にした場合は、受信 FIFO 内のデータの数が 1 以上になると、RTSn が High 状態になります。

注. トリガ数は 15 にする必要があります。トリガ数を 16 以上にした場合は、予期しないタイミングで RTSn が High 状態になります。

38.2.12 MCR : マンチェスタコントールレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SBERE N	SYERE N	PFERE N	—	—	RPPAT[1:0]		RPLEN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	TPPAT[1:0]		TPLEN[3:0]				—	SBSEL	SYNSEL	SYNVAL	—	ERTEN	TMPOL	RMPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RMPOL	受信マンチェスタコードの極性 受信マンチェスタコードの極性を設定します。 0: 論理 0 をマンチェスタコードの 0 から 1 への遷移によってコード化 論理 1 をマンチェスタコードの 1 から 0 への遷移によってコード化 1: 論理 0 をマンチェスタコードの 1 から 0 への遷移によってコード化 論理 1 をマンチェスタコードの 0 から 1 への遷移によってコード化	R/W
1	TMPOL	送信マンチェスタコードの極性 送信マンチェスタコードの極性を設定します 0: 論理 0 をマンチェスタコードの 0 から 1 への遷移によってコード化 論理 1 をマンチェスタコードの 1 から 0 への遷移によってコード化 1: 論理 0 をマンチェスタコードの 1 から 0 への遷移によってコード化 論理 1 をマンチェスタコードの 0 から 1 への遷移によってコード化	R/W
2	ERTEN	マンチェスタエッジ再タイミング許可 受信再タイミング機能を設定します。 0: 受信再タイミング機能が無効 1: 受信再タイミング機能が有効	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SYNVAL	SYNC 値設定 マンチェスタコードのスタートビットの SYNC タイプを設定します。 スタートビット領域が 1 ビットの場合 (SBSEL = 0) ● 送信時 0: 0 から 1 への遷移するスタートビットが追加されます。 1: 1 から 0 への遷移するスタートビットが追加されます。 ● 受信時 0: スタートビットが 0 から 1 に遷移した場合のみにデータが受信されます。他のケースはエラーと判定されます。 1: スタートビットが 1 から 0 に遷移した場合のみにデータが受信されます。他のケースはエラーと判定されます。 スタートビット領域が 3 ビットの場合 (SBSEL = 1) ● 送信時 0: 0 から 1 への遷移するスタートビットが追加されます (DATA SYNC)。 1: 1 から 0 への遷移するようにスタートビットがコーディングされます (COMMAND SYNC)。 ● 受信時 スタートビット領域が 3 ビットで構成される場合、このビットとは関係なしにデータが受信されます。	R/W
5	SYNSEL	SYNC 選択 0: スタートビットパターンを SYNVAL ビットで設定 1: スタートビットパターンが TSYNC ビットで設定されます。	R/W
6	SBSEL	スタートビット選択 0: スタートビット領域が 1 ビットで構成されます。 1: スタートビット領域を 3 ビットで構成 （COMMAND SYNC または DATA SYNC）	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	TPLEN[3:0]	送信プレフィス長 マンチェスタモードの送信データのプレフィス長を設定します。 0x0: 送信プレフィスの生成が無効 その他: 送信プレフィス長（ビット長）	R/W
13:12	TPPAT[1:0]	送信プレフィスパターン 送信データのプレフィスパターンを設定します。 0 0: すべて 0 0 1: 0 と 1 1 0: 1 と 0 1 1: すべて 1	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	RPLEN[3:0]	受信プレフィス長 マンチェスタモードが有効時に、プレフィス長を設定します。 0x0: 受信プレフィスの生成は無効 その他: 受信プレフィス長（ビット長）	R/W

ビット	シンボル	機能	R/W
21:20	RPPAT[1:0]	受信プレフィスパターン 受信フレームのプレフィスパターンを設定します 0 0: すべて 0 0 1: 0 と 1 1 0: 1 と 0 1 1: すべて 1	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	PFEREN	プレフィスエラー許可 プレフィスエラーを割り込み要因として扱うかどうかを指定します。 0: プレフィスエラーを割り込み要因として扱わない 1: プレフィスエラーを割り込み要因として扱う	R/W
25	SYEREN	受信 SYNC エラー許可 受信 SYNC エラーを割り込み要因として扱うかどうかを指定します。 0: 受信 SYNC エラーを割り込み要因として扱わない 1: 受信 SYNC エラーを割り込み要因として扱う	R/W
26	SBEREN	スタートビットエラー許可 スタートビットエラーを割り込み要因として扱うかどうかを指定します。 0: スタートビットエラーを割り込み要因として扱わない 1: スタートビットエラーを割り込み要因として扱う	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

RMPOL ビット（受信マンチェスタコードの極性）

RMPOL ビットは受信マンチェスタコードの極性を設定します。詳細は、「38.5.7. シリアルデータの受信（マンチェスタモード）」を参照してください。

TMPOL ビット（送信マンチェスタコードの極性）

TMPOL ビットは送信マンチェスタコードの極性を設定します。詳細は、「38.5.6. マンチェスタモードにおけるシリアルデータの送信」を参照してください。

ERTEN ビット（マンチェスタエッジ再タイミング許可）

ERTEN ビットはマンチェスタコードの受信再タイミング機能を設定します。

受信再タイミング機能については、「38.5.9. 受信再タイミング」を参照してください。

SYNVAL ビット（SYNC 値設定）

SYNVAL ビットは、MCR レジスタの SYNSEL ビットが 0 に設定されている場合に有効です。

SYNC タイプは、このビットと SBSEL ビットを組み合わせることによって設定できます。

このビットと SBSEL ビットを組み合わせることによって決まるスタートビット領域については、図 38.54 と図 38.55 を参照してください。

SYNSEL ビット（SYNC 選択）

SYNSEL ビットは、MCR レジスタの SBSEL ビットが 1 に設定されている場合に有効です。このビットは、マンチェスタフレームに追加されるスタートビット領域の SYNC タイプを設定する際の、参照先を指定します。

このビットが 0 のとき、MCR レジスタの SYNVAL ビットが参照されます。

このビットが 1 のとき、TDR レジスタの TSYNC ビットが参照されます。

SBSEL ビット（スタートビット選択）

SBSEL ビットはマンチェスタフレームのスタートビット領域を設定します。

このビットが 1 のときは、各フレームに追加されるスタートビット領域は 3 ビットで構成され、このレジスタの SYNSEL ビットと SYNVAL ビットが有効です。

このビットが 0 のときは、各フレームに追加されるスタートビット領域は 1 ビットで構成されます。

TPLEN[3:0]ビット（送信プレフィス長）

TPLEN[3:0]ビットは、マンチェスタモードにおける送信データのプレフィスビット長を設定します。

設定範囲は 0x0～0xF（0d～15d）です。0x0 を設定した場合、送信プレフィスが無効になり、付加されなくなります。

TPPAT[1:0]ビット（送信プレフィスパターン）

TPPAT[1:0]ビットはマンチェスタモードの 4 つのプレフィスパターンのうちのいずれかに設定されます。
TPPAT[1:0]ビットが設定されている場合の送信データについては、図 38.53 を参照してください。

これらビットが 00b に設定されている場合、プレフィス領域はすべて 0 に設定されます。

これらビットが 01b のとき、プレフィス領域は 0-1-0-1 のパターンに設定されます。

これらビットが 10b のとき、プレフィス領域は 1-0-1-0 のパターンに設定されます。

これらビットが 11b に設定されている場合、プレフィス領域はすべて 1 に設定されます。

RPLEN[3:0]ビット（受信プレフィス長）

RPLEN[3:0]ビットは、マンチェスタモードにおける受信フレームのプレフィスビット長を設定します。

設定範囲は 0x0～0xF（0d～15d）です。0x0 を設定した場合、受信プレフィスが無効になり、付加されなくなります。0x1～0xF が設定された場合は、設定値が受信プレフィスビット長として扱われます。

RPPAT[1:0]ビット（受信プレフィスパターン）

RPPAT[1:0]ビットはマンチェスタモードの 4 つのプレフィスパターンのうちのいずれかに設定されます。
RPPAT[1:0]ビットが設定されている場合の送信データと受信データについては、図 38.53 を参照してください。

これらビットが 00b に設定されている場合は、プレフィス領域はすべて 0 として扱われます。

これらビットが 01b のとき、プレフィス領域は 0-1-0-1 のパターンとして扱われます。

これらビットが 10b のとき、プレフィス領域は 1-0-1-0 のパターンとして扱われます。

これらビットが 11b に設定されている場合は、プレフィス領域はすべて 1 として扱われます。

PFEREN ビット（プレフィスエラー許可）

PFEREN ビットはプレフィスエラーを割り込み要因として扱うかどうかを指定します。

0 にすると、プレフィスエラーが割り込み要因として扱われません。1 にすると、プレフィスエラーが割り込み要因として扱われます。

SYEREN ビット（受信 SYNC エラー許可）

SYEREN ビットは受信 SYNC エラーを割り込み要因として扱うかどうかを指定します。

0 にすると、受信 SYNC エラーが割り込み要因として扱われません。1 にすると、受信 SYNC エラーが割り込み要因として扱われます。

SBEREN ビット（スタートビットエラー許可）

SBEREN ビットはスタートビットエラーを割り込み要因として扱うかどうかを指定します。

0 にすると、スタートビットエラーが割り込み要因として扱われません。1 にすると、スタートビットエラーが割り込み要因として扱われます。

38.2.13 DCR : ドライバコントロールレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DENGT[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DEAST[4:0]					—	—	—	—	—	—	—	DEPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DEPOL	ドライバの有効極性選択 調歩同期式モードでのみ有効です。 0: DEn 信号がアクティブ High 1: DEn 信号がアクティブ Low	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	DEAST[4:0]	ドライバアサート時間 調歩同期式モードでのみ有効です。 ドライバアサート時間を設定します。DEN = 1 のとき、通常の送信待機時間に加えてドライバアサート時間が挿入されます。 ビット DEAST[4:0] = 0x00 の設定は禁止です。	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	DENGT[4:0]	ドライバネゲート時間 調歩同期式モードでのみ有効です。 ドライバネゲート時間を設定します。DEN = 1 のとき、ストップビット送信終了の後にドライバネゲート時間が挿入されます。 ビット DENGT[4:0] = 0x00 の設定は禁止です。	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

DEPOL ビット（ドライバの有効極性選択）

DEn 信号のアクティブレベルを選択します。

DEAST[4:0]ビット（ドライバアサート時間）

ドライバアサート時間（DEn（ドライバ有効）信号の起動からスタートビットの開始までの時間）を設定します。これは、基本クロック期間で表されます。

ドライバアサート時間

= DEAST[4:0] 設定値 × 基本クロック期間 + 送信待機時間

DENGT[4:0]ビット（ドライバネゲート時間）

ドライバネゲート時間（送信メッセージの最後のストップビットの終了から DEn（ドライバ有効）信号が無効になるまでの時間）を設定します。これは、基本クロック期間で表されます。

ドライバネゲート時間

= DENGT[4:0] 設定値 × 基本クロック期間

ドライバネゲート時間中に送信データが書き込まれた場合は、書き込みのタイミングによって送信開始動作が変わります。DEn 信号は有効なまま、送信待機時間の経過後、スタートビットの送信が開始されることがあります。また、DEn 信号は 1 回無効になる可能性があり、スタートビットの送信はドライバアサート時間が経過した後で開始される可能性があります。

38.2.14 XCR0 : 簡易 LIN コントロールレジスタ 0

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	BCCS[1:0]		—	AEDIE	COFIE	BFDIE	—	—	BCDIE	BFOIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIBS[2:0]			PIBE	CF1DS[1:0]		CF0RE	BFE	—	—	—	—	—	—	TCSS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TCSS[1:0]	タイマカウントクロックソース選択 簡易 LIN モードで有効です。 簡易 LIN モジュールにおけるタイマのクロックソースを選択します。 0 1: TCLK/4 1 0: TCLK/16 1 1: TCLK/64	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BFE	ブレークフィールド許可 スタートフレームの Break Field の有無を設定します。 0: Break Field なし 1: Break Field あり	R/W(注3)
9	CF0RE	コントロールフィールド 0 許可 スタートフレームの Control Field 0 の有無を設定します。 0: Control Field 0 なし 1: Control Field 0 あり	R/W(注3)
11:10	CF1DS[1:0]	コントロールフィールド 1 コンペアデータ選択 コントロールフィールド 1 のコンペアデータを選択します。 0 0: XCR1.PCF1D[7:0] を比較データとして選択 0 1: XCR1.SCF1D[7:0] を比較データとして選択 1 0: XCR1.PCF1D[7:0] と XCR1.SCF1D[7:0] の両方を比較データとして選択 1 1: 設定禁止	R/W(注3)
12	PIBE	優先割り込みビット許可 0: 優先割り込みビットは無効 1: 優先割り込みビットは有効	R/W(注3)
15:13	PIBS[2:0]	優先割り込みビット選択 Control Field 1 のビット 1～7 のいずれかを優先割り込みビットとして指定します。 0 0 0: コントロールフィールド 1 のビット 0 0 0 1: コントロールフィールド 1 のビット 1 0 1 0: コントロールフィールド 1 のビット 2 0 1 1: コントロールフィールド 1 のビット 3 1 0 0: コントロールフィールド 1 のビット 4 1 0 1: コントロールフィールド 1 のビット 5 1 1 0: コントロールフィールド 1 のビット 6 1 1 1: コントロールフィールド 1 のビット 7	R/W(注3)
16	BFOIE	ブレークフィールド出力完了割り込み許可 Break Field 出力完了を SCIn_TXI 割り込み要因として含めるかどうかを選択します。 0: Break Field 出力完了は、SCIn_TXI 割り込み要因には含まれていません。 1: Break field 出力完了を SCIn_TXI 割り込み要因に含める	R/W
17	BCDIE	バス衝突検出割り込み許可 バス衝突が検出されたとき、SCIn_ERI 割り込みを出力するかどうかを選択します。 0: バス競合検出を SCIn_ERI 割り込み要因に含めない 1: バス競合検出を SCIn_ERI 割り込み要因に含める	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
20	BFDIE	ブレークフィールド検出割り込み許可 Break Field が検出されたとき、SCIn_BFD 割り込みを出力するかどうかを選択します。 0: ブレークフィールド検出割り込みは無効 1: ブレークフィールド検出割り込みは有効	R/W
21	COFIE	カウンタオーバーフロー割り込み許可 カウントオーバーフローを SCIn_ERI 割り込み要因として含めるかどうかを選択します。 0: カウンタオーバーフローを SCIn_ERI 割り込み要因に含めない 1: カウンタオーバーフローを SCIn_ERI 割り込み要因に含める	R/W
22	AEDIE	有効エッジ検出割り込み許可 有効エッジが検出されたときに SCIn_AED 割り込みを出力するかどうかを選択します。 0: 有効エッジ検出割り込みは無効 1: 有効エッジ検出割り込みは有効	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	BCCS[1:0]	バス衝突検出クロック選択 バス競合検出回路のサンプリングクロックを選択します。 CCR2.ABCS = 1 のとき、BCCS[1] = 1 の設定は禁止です。 0 0: 基本クロック(注2) 0 1: 基本クロック/2 1 0: 基本クロック/4 1 1: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. TCSS[1:0]を書き換えできるのは、タイマが停止している場合（TCST = 0、SDST = 0、および BMEN = 0）だけです。
注 2. 基本クロック：CCR2.ABCS が 0 のとき、1 ビットの 1/16 の期間。CCR2.ABCS が 1 のとき、1 ビットの 1/8 の期間。
注 3. このビットは、スタートフレーム受信動作に必要な設定ビットです。このビットの書き換えは、スタートフレームの受信も送信も実行中ではない時（XCR1.SDST = 0 および XCR1.TCST = 0）に行います。

TCSS[1:0]ビット（タイマカウントクロックソース選択）

簡易 LIN モードのタイマのクロックソースを選択します。

BFE ビット（ブレークフィールド許可）

スタートフレームの Break Field の有無を設定します。

CF0RE ビット（コントロールフィールド 0 許可）

スタートフレームの Break Field 0 の有無を設定します。

CF1DS[1:0]ビット（コントロールフィールド 1 コンペアデータ選択）

Control Field 1 の比較データを選択します。

PIBE ビット（優先割り込みビット許可）

コントロールフィールド 1 の優先割り込みビット比較を許可するかどうかを選択します。PIBE ビットが 1 のときは、XCR1.CF1CE[7:0]の設定値に関係なく、PIBS[2:0]に指定したビットがコントロールフィールド 1 の一次比較データ (XCR1.PCF1D[7:0]) と比較されます。

PIBS[2:0]ビット（優先割り込みビット選択）

Control Field 1 の N ビット（N = 0～7）を優先割り込みビットとして指定します。

BFOIE ビット（ブレークフィールド出力完了割り込み許可）

Break Field 出力完了を SCIn_TXI 割り込み要因として含めるかどうかを選択します。CCR0.TIE を 1 に、CCR3.MOD [1: 0] を 110b にすると、Break Field 出力の完了時に SCIn_TXI を出力します。

BCDIE ビット（バス衝突検出割り込み許可）

バス衝突が検出されたとき、SCIn_ERI 割り込みを出力するかどうかを選択します。簡易 LIN モード (CCR3.MOD[1:0] = 110b) では、BCDIE ビットで SCIn_ERI 出力制御が行われます。CCR3.MOD[1:0] = 110b かつ BCDIE = 1 の場合は、CCR0.RIE = 0 であっても、バス衝突が検出されると SCIn_ERI 割り込みが発行されます。

COFIE ビット（カウンタオーバーフロー割り込み許可）

カウントオーバーフローを SCIn_ERI 割り込み要因として含めるかどうかを選択します。カウンタオーバーフローが発生したら SCIn_ERI を出力するには、CCR0.RIE を 1 かつ CCR3.MOD [1:0] を 110b にする必要があります。

AEDIE ビット（有効エッジ検出割り込み許可）

有効エッジが検出されたときに SCIn_AED 割り込みを出力するかどうかを選択します。有効エッジが検出されたら SCIn_AED を出力するには、XCR1.BMEN を 1 かつ CCR3.MOD [1:0] を 110b にする必要があります。

BCCS[1:0]ビット（バス衝突検出クロック選択）

バス競合検出回路のサンプリングクロックを選択します。

38.2.15 XCR1 : 簡易 LIN コントロールレジスタ 1

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CF1CE[7:0]								SCF1D[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PCF1D[7:0]								—	—	BMEN	SDST	—	—	—	TCST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCST	ブレークフィールド出力タイマカウント開始トリガ 0: Break Field 出力タイマカウントが停止 1: Break Field 出力タイマカウントが開始	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SDST	スタートフレーム検出許可 0: スタートフレーム／Break Field 検出が無効 1: スタートフレーム／Break Field 検出が有効 このビットと TCST ビットを同時に 1 に設定しないでください。	R/W
5	BMEN	ビットレート測定許可 このビットと SDST ビットを同時に 1 にします。このビットはいつでも 0 にすることができます。 0: ビットレート測定が無効 1: ビットレート測定が有効	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PCF1D[7:0]	コントロールフィールド 1 の優先コンペアデータ コントロールフィールド 1 の優先コンペアデータ	R/W
23:16	SCF1D[7:0]	コントロールフィールド 1 の二次コンペアデータ コントロールフィールド 1 の二次コンペアデータ	R/W
31:24	CF1CE[7:0]	コントロールフィールド 1 コンペアビット許可 Control Field 1 の N ビットを比較するかどうかを選択します。（N = 0～7） 0: Control Field 1 N ビットの比較が無効 1: Control Field 1 N ビットの比較が有効	R/W

注. S-TYPE-3、P-TYPE-3

TCST ビット（ブレークフィールド出力タイマカウント開始トリガ）

[0 になる条件]

- TCST に 0 を書き込んだとき。Break Field 出力タイマカウントが停止し、TXDn 出力がアイドルレベルになります。

- XCR2.BFLW [15: 0] に設定された期間の Break Field 出力が完了したとき。

[1 になる条件]

- TCST に 1 を書き込んだとき。TXDn から Break Field 出力を開始します。Break Field 出力時に 1 を保持します。

SDST ビット（スタートフレーム検出許可）

SDST ビットに 1 を書き込むとスタートフレーム検出が開始します。XCR0.BFE = 1 を設定すると、スタートフレームの検出中と検出後にブレークフィールドの検出が可能です。XCR0.BFE = 0 を設定すると、ブレークフィールドを検出できません。

SDST ビットに 0 を書き込むと、スタートフレームの検出とブレークフィールドの検出は停止します。ただし、停止時に XSR0.RXDSF = 0 であると、SCI コアはこのビットによってデータ受信を停止することはできません。受信完了後に、受信動作の停止または受信完了処理の実行（CSR の RDRF をクリアまたは RDR を読み出し）を行うには、CCR0.RE に 0 を書き込みます。

BMEN ビット（ビットレート測定許可）

このビットと SDST ビットを同時に 1 にします。BMEN ビットを 1 にすると、コントロールフィールド 0 とコントロールフィールド 1 の有効エッジ間隔が測定されます。

PCF1D[7:0]ビット（コントロールフィールド 1 の優先コンペアデータ）

Control Field 1 の優先比較データを設定します。

SCF1D[7:0]ビット（コントロールフィールド 1 の二次コンペアデータ）

Control Field 1 の二次比較データを設定します。

CF1CE[7:0]ビット（コントロールフィールド 1 コンペアビット許可）

Control Field 1 の N ビットを比較するかどうかを選択します。（N = 0～7）

CF1CE[7:0]の各ビットがすべて 0 の場合 (CF1CE[7:0] = 0x00)、受信が完了して XSR0.CF1MF が設定されたときは常にコントロールフィールド 0 が一致したと判定されます。このビットは、PCF1D[7:0]ビットまたは SCF1D[7:0]ビットとともに使用する、比較許可ビットです。優先割り込みビット比較許可ビットではありません。

38.2.16 XCR2 : 簡易 LIN コントロールレジスタ 2

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BFLW[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CF0CE[7:0]								CF0D[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CF0D[7:0]	コントロールフィールド 0 コンペアデータ コントロールフィールド 0 のコンペアデータ	R/W
15:8	CF0CE[7:0]	コントロールフィールド 0 コンペアビット許可 Control Field 0 の N ビットを比較するかどうかを選択します。(N = 0～7) 0: Control Field 0 N ビットの比較が無効 1: Control Field 0 N ビットの比較が有効	R/W

ビット	シンボル	機能	R/W
31:16	BFLW[15:0]	ブレークフィールド長設定 このレジスタは Break Field 長を設定します。 Break Field 長は、（BFLW [15:0]設定値 + 1） * タイマのクロック このレジスタ設定の上限は 0xFFFE です。 0xFFFF に設定することは禁止されています。	R/W

注. S-TYPE-3、P-TYPE-3

CF0D[7:0]ビット（コントロールフィールド 0 コンペアデータ）

Control Field 0 の比較データ。

CF0CE[7:0]ビット（コントロールフィールド 0 コンペアビット許可）

Control Field 0 の N ビットを比較するかどうかを選択します。(N = 0～7)

CF0CE[7:0]の各ビットがすべて 0 の場合 (CF0CE[7:0] = 0x00)、受信が完了して XSR0.CF0MF が設定されたときは常にコントロールフィールド 0 が一致したと判定されます。

BFLW[15:0]ビット（ブレークフィールド長設定）

BFLW[15:0]は 16 ビットの Break Field 長設定ビットであり、初期値は 0xFFFE です。

Break Field 長を 1 フレーム以上に設定します。LIN 規格は、Break Field 長を 13 ビット以上と規定しています。

ブレークフィールド送信時、TCST に 1 を書き込むと、SCI は TXDn にブレークフィールドを出力します。XCR0.TCSS[1:0]で選択したタイマのクロックで、カウントアップを実施します。カウント値がこのレジスタに設定した値と一致したとき、カウントアップが停止し、TXDn からの Break Field 出力もまた停止します。

ブレークフィールド受信時、SDST に 1 を書き込むと、スタートフレーム検出が有効になります。SCI は RXDn のネガティブエッジからカウントを開始します。タイマのクロックは XCR0.TCSS[1:0]で選択します。

カウンタの値が XCR2 に設定した値と一致した時は、ブレークフィールドが検出されています。カウントアップは、次の有効なエッジまたはカウンタのオーバーフローまで続きます。

38.2.17 CSR : 共通ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x48

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RDRF	TEND	TDRE	FER	PER	MFF	—	ORER	—	—	—	—	—	DFER	DPER	DCMF
Value after reset:	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RXDMON	—	—	—	—	—	—	—	—	—	—	ERS	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。	R
4	ERS	エラーシグナルステータスフラグ スマートカードインタフェースモードでのみ有効です。 0: エラー信号 Low の応答なし 1: エラー信号 Low の応答あり	R
14:5	—	読むと 0 が読めます。	R
15	RXDMON	シリアル入力データモニタビット バスクロックによる同期化なしの RXDn 端子の状態が表示されます。 0: RINV が 0 のとき、RXDn 端子は Low になる RINV が 1 のとき、RXDn 端子は High になる 1: RINV が 0 のとき、RXDn 端子は High になる RINV が 1 のとき、RXDn 端子は Low になる	R

ビット	シンボル	機能	R/W
16	DCMF	データコンペアマッチフラグ 調歩同期式モードでのみ有効です。 0: 不一致 1: 一致	R
17	DPER	データコンペアマッチパリティエラーフラグ 調歩同期式モードでのみ有効です。 0: アドレス一致検出時にパリティエラーの発生なし 1: アドレス一致検出時にパリティエラーの発生あり	R
18	DFER	データコンペアマッチフレーミングエラーフラグ 調歩同期式モードでのみ有効です。 0: アドレス一致検出時にフレーミングエラーの発生なし 1: アドレス一致検出時にフレーミングエラーの発生あり	R
23:19	—	読むと 0 が読めます。	R
24	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R
25	—	読むと 0 が読めます。	R
26	MFF	モードフォルトエラーフラグ 簡易 SPI モードでのみ有効 0: モードフォルトエラーなし 1: モードフォルトエラーあり	R
27	PER	パリティエラーフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): パリティエラーの発生なし FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内のすべての受信データにパリティエラーなし 1: 非 FIFO 選択時 (CCR3.FM = 0): パリティエラーの発生あり FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内の受信データに 1 つまたは複数のパリティエラーの発生あり	R
28	FER	フレーミングエラーフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): フレーミングエラーの発生なし FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内のすべての受信データにフレーミングエラーなし 1: 非 FIFO 選択時 (CCR3.FM = 0): フレーミングエラーの発生あり FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内の受信データに 1 つまたは複数のフレーミングエラーの発生あり	R
29	TDRE	送信データエンプティフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): TDR レジスタに送信データあり FIFO 選択時 (CCR3.FM = 1): 送信 FIFO に書き込まれた送信データの数が、指定された送信トリガ数を超えている 1: 非 FIFO 選択時 (CCR3.FM = 0): TDR レジスタに送信データなし FIFO 選択時 (CCR3.FM = 1): 送信 FIFO に書き込まれた送信データの数が、指定された送信トリガ数以下である	R
30	TEND	送信終了フラグ 0: キャラクタが送信中または送信スタンバイ中 1: キャラクタの送信が完了、または Break Field を送信中	R
31	RDRF	受信データフルフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): RDR レジスタに受信データなし FIFO 選択時 (CCR3.FM = 1): 受信 FIFO に書き込まれた受信データの数が、指定された受信トリガ数より少ない 1: 非 FIFO 選択時 (CCR3.FM = 0): RDR レジスタに受信データあり FIFO 選択時 (CCR3.FM = 1): 受信 FIFO に書き込まれた受信データの数が、指定された受信トリガ数以上である	R

注. S-TYPE-3, P-TYPE-3

ERS ビット（エラーシグナルステータスフラグ）

[1 になる条件]

- エラー信号 Low がサンプリングされたとき

[0 になる条件]

- CFCLR.ERSC ビットに 1 を書き込んだとき

DCMF ビット（データコンペアマッチフラグ）

DCMF ビットは、SCI が比較データ (CCR4.CMPD) と受信データの一致を検出することを示します。

CCR0.RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- CCR0.DCME = 1 の状態で比較データ (CCR4.CMPD) と受信データが一致

[0 になる条件]

- CFCLR.DCMFC ビットに 1 を書き込んだとき

DPER ビット（データコンペアマッチパリティエラーフラグ）

DPER ビットは、アドレス一致検出（受信データの一致検出）時に、パリティエラーが発生したことを示します。

CCR0.RE ビットを 0 にしても、DPER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0 になる条件]

- CFCLR.DPERC ビットに 1 を書き込んだとき

DFER ビット（データコンペアマッチフレーミングエラーフラグ）

DFER ビットは、アドレス一致検出（受信データの一致検出）時に、フレーミングエラーが発生したことを示します。

CCR0.RE ビットを 0 にしても、DFER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき
  2 ストップビットモードの場合、ストップビットの 1 ビット目のみが 1 であるか判定され、ストップビットの 2 ビット目はチェックされません。

[0 になる条件]

- CFCLR.DFERC ビットに 1 を書き込んだとき

ORER ビット（オーバーランエラーフラグ）

ORER ビットは、受信時にオーバーランエラーが発生して受信が異常終了したことを示します。

CCR0.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の状態を保持します。簡易 IIC モードでは、ORER ビットは使用されません。

[非 FIFO モード (CCR3.FM = 0) 時の 1 になる条件]

- RDR に格納されたエラーなしの受信データを RDR から読み出す前に、次のデータを受信した場合。
  RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、後から受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタに転送されません。

  注. クロック同期式モードと簡易 SPI モードでは、シリアル受信は停止します。

[FIFO モード (CCR3.FM = 1) のときの 1 になる条件]

- 受信 FIFO が 16 個の受信データでフルになった状態で、次のシリアル受信が完了したとき

[0 になる条件]

- CFCLR.ORERC ビットに 1 を書き込んだとき

MFF ビット（モードフォルトエラーフラグ）

MFF ビットは、モードフォルトエラーが発生したことを示します。マルチマスタ構成では、MFF フラグを読み出すとモードフォルトエラーの発生を判別できます。

[1 になる条件]

- 簡易 SPI モードでのマスタ動作（CCR3.CKE[1:0]ビット = 00 または 01）時に、SSn 端子入力が Low になったとき

[0 になる条件]

- CFCLR.MFFC ビットに 1 を書き込んだとき

PER ビット（パリティエラーフラグ）

PER ビットは、受信時にパリティエラーが発生して受信が異常終了したことを示します。

CCR0.RE ビットを 0 にしても、PER フラグは影響を受けず、以前の値を保持します。

クロック同期式モード、簡易 SPI モード、および簡易 IIC モードでは、PER ビットは使用されません。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき。FIFO 選択モードでは、受信 FIFO データに 1 つ以上のパリティエラーが検出されたとき。
  非 FIFO モードでは、パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、SCIn_RXI 割り込み要求は発生しません。なお、PER フラグを 1 にすると、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- CFCLR.PERC ビットに 1 を書き込んだとき

FER ビット（フレーミングエラーフラグ）

FER ビットは、受信時にフレーミングエラーが発生して受信が異常終了したことを示します。

CCR0.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

クロック同期式モード、簡易 SPI モード、および簡易 IIC モードでは、FER ビットは使用されません。

[1 になる条件]

- 受信中にストップビットとして 0 がサンプリングされたとき FIFO 選択モードでは、受信 FIFO データにフレーミングエラーが 1 つ以上検出されたときマンチェスタモードでは、2 つのサンプリング結果（1/4 と 3/4 のサンプリングポイント）に関して 1 ストップビットがともに 1 ではないとき簡易 LIN モードでは、XCR1.SDST = 1 のとき、このビットが 1 に変わる条件が発生しても、それがブレークフィールドである可能性があるため、（最長でブレークフィールド評価タイミングまで）FER の設定タイミングに遅れが生じます。ブレークフィールド評価タイミングの前に RXDn 信号でエッジが検出された場合は、FER が検出されます。ブレークフィールド評価タイミングの前に RXDn 信号でエッジが検出されない場合は、ブレークフィールドが検出されます。
  2 ストップビットモードでは、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされません。非 FIFO モードでは、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、SCIn_RXI 割り込み要求は発生しません。さらに、FER フラグが 1 にされた状態では、以降の受信データは RDR レジスタに転送されません。

[0 になる条件]

- CFCLR.FERC ビットに 1 を書き込んだとき

TDRE ビット（送信データエンプティフラグ）

[非 FIFO 選択時 (CCR3.FM = 0)]

TDRE ビットは TDR レジスタ内の送信データの有無を示します。

条件 CCR0.TE = 0 は条件 0 よりも優先されます。

その他の 1 になる条件と 0 になる条件が同時に満たされた場合、TDRE フラグは 0 になります。

[1 になる条件]

- CCR0.TE が 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- CFCLR.TDREC ビットに 1 を書き込んだとき
- CCR0.TE が 1 の状態で、TDR レジスタに送信データを書き込んだとき

[FIFO 選択時 (CCR3.FM = 1)]

TDRE ビットは、データが送信 FIFO (TDR) から送信シフトレジスタ (TSR) へ転送されており、送信 FIFO 内のデータの数が指定された送信トリガ数以下であることを示します。

1 になる条件と 0 になる条件が同時に成立したとき、TDRE フラグは 0 になります。その後、送信 FIFO に格納されたデータ数が評価され、TTRG ビット値以下であると、PCLK 1 サイクル後にフラグは 1 になります。

[1 になる条件]

- 送信 FIFO に書き込まれた送信データの数が、指定された送信トリガ数以下である(注1)

注 1. 送信 FIFO は 16 段の FIFO レジスタであり、TDRE フラグが 1 のときに書き込み可能な最大データ数は「0x10 - FTSR.T[5:0]」になります。さらにデータを書き込んでも、そのデータは破棄されます。

[0 になる条件]

- CFCLR.TDREC ビットに 1 を書き込んだとき
- DTC または DMAC によって送信データが送信 FIFO に書き込まれたとき（ブロック転送の最終ブロックの転送）

TEND ビット（送信終了フラグ）

[非 FIFO 選択時 (CCR3.FM = 0)、かつ非スマートカードインタフェースモード (CCR3.MOD[2:0]≠001)]

TEND ビットは、送信が終了したことを示します。

[1 になる条件]

- CCR0.TE が 0 のとき
- CCR0.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、値 1 を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき
- DE 制御機能が有効 (CCR3.DEN = 1) な状態で、DE ネゲート時間の終了時に TDR レジスタが更新されていないとき
- Break Field が送信されるとき

[0 になる条件]

- CCR0.TE = 1 の状態で送信データが TDR レジスタに書き込まれた後で、同期遅延時間が経過したとき
- CCR0.TE = 1 の状態で、CFCLR.TDREC ビットに 1 を書き込んだとき

[非 FIFO 選択時 (CCR3.FM = 0)、スマートカードインタフェースモード (CCR3.MOD [2:0] = 001) の場合]

受信側からのエラー信号がなく、さらなる送信データが TDR レジスタに転送可能となったとき、このビットが 1 になります。

[1 になる条件]

- CCR0.TE が 0 のとき
- CCR0.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、値 1 を保持します。
- 1 バイトのデータを送信してから指定した期間が経過した後、ERS フラグが 0 で、TDR レジスタが更新されないとき。1 になるタイミングは、以下のようにレジスタの設定値によって決まります。
  GM = 0、BLK = 0 のとき、送信開始から 12.5ETU 経過後
  GM = 0、BLK = 1 のとき、送信開始から 11.5ETU 経過後
  GM = 1、BLK = 0 のとき、送信開始から 11.0ETU 経過後

GM = 1、BLK = 1 のとき、送信開始から 11.0ETU 経過後

[0 になる条件]

- CCR0.TE = 1 の状態で送信データが TDR レジスタに書き込まれた後で、同期遅延時間が経過したとき
- CCR0.TE = 1 の状態で、CFCLR.TDREC ビットに 1 を書き込んだとき

[FIFO 選択時 (CCR3.FM = 1)]

TEND ビットは、シリアルキャラクタの最後尾ビットの送信時に、送信 FIFO に有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアルキャラクタの最後尾ビット送信時に、送信 FIFO に送信データがないときに、TEND は 1 になる
- DE 制御機能が有効 (CCR3.DEN = 1) な状態で、DE ネゲート時間の終了時に TDR レジスタが更新されていないとき

[0 になる条件]

- CCR0.TE = 1 の状態で送信データが TDR レジスタに書き込まれた後で、同期遅延時間が経過したとき

RDRF ビット（受信データフルフラグ）

[非 FIFO 選択時 (CCR3.FM = 0)]

RDRF ビットは、RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- CFCLR.RDRFC ビットに 1 を書き込んだとき
- RDR レジスタからデータが読み出されたとき

[FIFO 選択時 (CCR3.FM = 1)]

RDRF ビットは、受信データが FIFO データレジスタ (RDR) へ転送されて、受信 FIFO 内のデータの数が指定された受信トリガ数以上であることを示します。FCR.RTRG が 1 であり、受信 FIFO 内のデータの数が 1 以上のときに、RDRF が設定されます。

[1 になる条件]

- 受信 FIFO 内の受信データの数が、指定された受信トリガ数以上である場合、RDRF は 1 になる(注1)

注 1.　受信 FIFO は 16 段の FIFO レジスタであるため、RDRF が 1 のときに読み出し可能な最大のデータ数は、指定された受信データカウント数 (FDR.R[5:0) と同等です。受信 FIFO 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

[0 になる条件]

- CFCLR.RDRFC ビットに 1 を書き込んだとき
- DTC または DMAC によって受信データが受信 FIFO から読み出されたとき（ブロック転送の最終ブロックの転送）

1 になる条件と 0 になる条件が同時に成立したとき、RDRF フラグは 0 になります。その後、受信 FIFO に格納されたデータ数が評価され、RTRG ビット値以上であると、PCLK 1 サイクル後に RDRF フラグは 1 になります。

注.　割り込み通信時以外で非 FIFO が選択された場合、RDRF と TDRE を CFCLR レジスタでクリアしないでください。

38.2.18 ISR : 簡易 IIC ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x4C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF	—	—	IICACKR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICACKR	ACK 受信データフラグ 0: ACK 受信 1: NACK 受信	R
1	—	読むと 0 が読めます。	R
2	—	読み出し値は不定です。	R
3	IICSTIF	開始/再開始/停止条件生成完了フラグ 0: 各条件の生成要求がない状態、または条件が生成中の状態 1: 開始条件、再開始条件、または停止条件の生成が完了した状態	R
5:4	—	読み出し値は不定です。	R
31:6	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

IICACKR ビット（ACK 受信データフラグ）

受信した ACK ビットおよび NACK ビットを、このビットから読み出すことができます。

IICACKR フラグは、ACK/NACK ビット受信時の SCLn クロックの立ち上がりのタイミングで更新されます。

IICSTIF ビット（開始/再開始/停止条件生成完了フラグ）

このビットは、各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

CCR0.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STIn 要求が出力されます。

[1 になる条件]

- 開始条件、再開始条件、または停止条件の生成完了（ただし、1 になる条件が、以下に示す 0 になるフラグ条件と競合した場合は、0 になる条件が優先となります）。

[0 になる条件]

- ICFCLR.IICSTIFC ビットに 1 を書き込んだとき
- 簡易 IIC モードの動作ではないとき
- CCR0.TE ビットに 0 を書いたとき

38.2.19 FRSR : FIFO 受信ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	FNUM[5:0]						—	—	PNUM[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	R[5:0]						—	—	—	—	—	—	—	DR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0

ビット	シンボル	機能	R/W
0	DR	受信データレディフラグ 0: 受信中であるか、または正常受信後の FIFO に受信データが残っていない（受信 FIFO が空である） 1: しきい値以下のデータを受信 FIFO に格納後、一定期間次の受信データが受信されない	R
1	—	読み出し値は不定です。	R
7:2	—	読むと 0 が読めます。	R
13:8	R[5:0]	受信 FIFO データ数 CCR3.FM ビットが 1 のときに、調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 受信 FIFO に格納された受信データの数を示します。	R
15:14	—	読むと 0 が読めます。	R
21:16	PNUM[5:0]	パリティエラー数 調歩同期式モードでのみ有効 受信 FIFO データレジスタに格納された受信データのうち、パリティエラーのあるデータの数量を示します。	R
23:22	—	読むと 0 が読めます。	R
29:24	FNUM[5:0]	フレーミングエラー数 調歩同期式モードでのみ有効です。 受信 FIFO データレジスタに格納された受信データのうち、フレーミングエラーのあるデータの数量を示します。	R
31:30	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

DR ビット（受信データレディフラグ）

DR ビットは、受信 FIFO データレジスタに格納されたデータの数が指定された受信トリガ数を下回っていることと、調歩同期式モードにおいて最後のストップビットから 15 etu 経過しても次のデータが受信されていないことを示します。このビットは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 選択時にのみ有効です。他のモードでは、このビットは 1 になりません。

[1 になる条件]

- 以下の条件が満たされたときに、DR ビットが 1 になります。
  - 指定された受信トリガ数より少ないデータが受信 FIFO データレジスタ (RDR) に受信された後、最後のストップビットから 15 etu(注1)経過しても次のデータが受信されないとき
  - CSR.FER フラグと CSR.PER フラグが 0 のとき

注 1. これは、8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します (etu: Elementary Time Unit)。

[0 になる条件]

- 受信 FIFO データレジスタ（RDR レジスタ）内の受信データをすべて読み出し、FFCLR.DRC ビットに 1 を書き込んだとき
- CCR3.FM ビットが 0 の場合。

R[5:0]ビット（受信 FIFO データ数）

R[5:0]ビットは、受信 FIFO データレジスタに格納された受信データの数量を示します。

0x00 は受信データがないことを意味します。0x10 は受信 FIFO がいっぱいであることを意味します。

PNUM[5:0]ビット（パリティエラー数）

この値は、受信 FIFO データレジスタに格納されたデータのうち、パリティエラーのあるものの数量を示します。

FNUM[5:0]ビット（フレーミングエラー数）

この値は、受信 FIFO データレジスタに格納されたデータのうち、フレーミングエラーのあるものの数量を示します。

38.2.20 FTSR : FIFO 送信ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x54

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	T[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	T[5:0]	送信 FIFO データ数 CCR3.FM ビットが 1 のときに、調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 送信 FIFO に格納された未送信データの数を示します。	R
31:6	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

T[5:0]ビット（送信 FIFO データ数）

T[5:0]ビットは、送信 FIFO に格納された未送信データの数を示します。

0x00 は、非送信データがないことを意味します。0x10 は、送信 FIFO がフルであることを意味します。

38.2.21 MSR : マンチェスタステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x58

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	RSYNC	—	MER	—	SBER	SYER	PFER
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFER	プレフィスエラーフラグ このビットはプレフィスエラー（パターン不一致）が検出されたときに設定されます。 0: プレフィスエラーの検出なし 1: プレフィスエラーの検出あり	R
1	SYER	SYNC エラーフラグ このビットは受信再タイミング時の調節可能範囲でエッジが検出されなかったときに設定されます。 0: 受信 SYNC エラーの検出なし 1: 受信 SYNC エラーの検出あり	R
2	SBER	スタートビットエラーフラグ このビットはスタートビット領域でパターン不一致が検出されたときに設定されます。 0: スタートビットエラーの検出なし 1: スタートビットエラーの検出あり	R
3	—	読むと 0 が読めます。	R
4	MER	マンチェスタエラーフラグ マンチェスタモードでのみ有効 0: マンチェスタエラーの発生なし 1: マンチェスタエラーの発生あり	R
5	—	読むと 0 が読めます。	R
6	RSYNC	受信 SYNC データビット マンチェスタモードで MCR.SBSEL = 1 であるときに有効です。それ以外の場合 0 が読み出されます。 0: 受信したスタートビットは DATA SYNC です。 1: 受信したスタートビットは COMMAND SYNC です。	R
31:7	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

PFER ビット（プレフィスエラーフラグ）

PFER ビットはマンチェスタモードでのフレーム受信時にプレフィスエラーを検出したことを示します。

CCR0 の RE ビットを 0（シリアル受信動作を禁止）にしても、PFER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にプレフィスエラーが検出されたとき
  プレフィスエラーが発生したときに以下の動作が行われます。
  - MCR.PFEREN = 1 の場合
    受信データは RDR レジスタに転送されず、SCIn_RXI 割り込み要求も発生しません。代わりに SCIn_ERI 割り込み要求が発生します。なお、PFER フラグを 1 にすると、以降の受信データは RDR レジスタへ転送されません。
  - MCR.PFEREN = 0 の場合

受信データが RDR レジスタに転送され、SCIn_RXI 割り込み要求が発生します。SCIn_ERI 割り込み要求は発生しません。PFER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- MFCLR.PFERC に 1 を書き込む。

SYER ビット（SYNC エラーフラグ）

SYER ビットはマンチェスタモードで MCR.ERTEN = 1（マンチェスタエッジ再タイミング許可）の場合のフレーム受信時に受信 SYNC エラーを検出したことを示します。

CCR0 の RE ビットを 0（シリアル受信動作を禁止）にしても、SYER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時に受信 SYNC エラーが検出されたとき
  受信 SYNC エラーが発生したときに以下の動作が行われます。
  - MCR.SYEREN = 1 の場合
    受信データが RDR レジスタに転送されますが、SCIn_RXI 割り込み要求は発生しません。代わりに SCIn_ERI 割り込み要求が発生します。なお、SYER フラグを 1 にすると、以降の受信データは RDR レジスタへ転送されません。
  - MCR.SYEREN = 0 の場合
    受信データが RDR レジスタに転送され、SCIn_RXI 割り込み要求が発生します。SCIn_ERI 割り込み要求は発生しません。SYER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- MFCLR.SYERC に 1 を書き込む。

SBER ビット（スタートビットエラーフラグ）

SBER ビットはマンチェスタモードでのフレーム受信時にスタートビットエラーを検出したことを示します。

CCR0 の RE ビットを 0（シリアル受信動作を禁止）にしても、SBER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にスタートビットエラーが検出されたとき
  スタートビットエラーが発生したときに以下の動作が行われます。
  - MCR.SBEREN = 1 の場合
    受信データは RDR レジスタに転送されず、SCIn_RXI 割り込み要求も発生しません。代わりに SCIn_ERI 割り込み要求が発生します。なお、SBER フラグを 1 にすると、以降の受信データは RDR レジスタへ転送されません。
  - MCR.SBEREN = 0 の場合
    受信データが RDR レジスタに転送され、SCIn_RXI 割り込み要求が発生します。SCIn_ERI 割り込み要求は発生しません。SBER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- MFCLR.SBERC に 1 を書き込む。

MER ビット（マンチェスタエラーフラグ）

マンチェスタモードでデータを受信すると、マンチェスタエラーが検出され表示されます。CCR0 の RE ビットを 0（シリアル受信動作を禁止）にしても、MER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでの受信中に、受信フレームのデータ領域でマンチェスタコードエラーを検出したとき。
  エラー発生時は受信データが RDR レジスタに転送されますが、SCIn_RXI 割り込み要求は発生せず、SCIn_ERI 割り込み要求が発生します。
  マンチェスタエラーフラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
  マンチェスタエラーの詳細については、「38.5.11. マンチェスタモードにおけるエラー」を参照してください。

[0 になる条件]

- MFCLR.MERC に 1 を書き込む。

RSYNC ビット（受信 SYNC データビット）

このビットは、マンチェスタモード (CCR3.MOD[2:0] = 101b) で MCR.SBSEL = 1 であるとき、受信したスタートビットの SYNC のタイプを示します。そのほかの設定では、0 に固定されています。

38.2.22 XSR0 : 簡易 LIN ステータスレジスタ 0

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x5C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CF1RD[7:0]								CF0RD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	AEDF	COF	PIBDF	CF1MF	CF0MF	BFDF	BCDF	BFOF	—	—	—	—	—	—	RXDSF	SFSF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SFSF	スタートフレームステータスフラグ 0: スタートフレーム検出が無効またはスタートフレーム検出が完了 1: スタートフレーム検出前またはスタートフレーム検出中	R(注1)
1	RXDSF	RXDn 入力ステータスフラグ 0: SCI への RXDn 入力は有効 1: SCI への RXDn 入力は無効	R(注1)
7:2	—	読むと 0 が読めます。	R
8	BFOF	ブレークフィールド出力完了フラグ 0: ブレークフィールドは出力中であるか出力中ではない 1: ブレークフィールドの出力が完了している	R
9	BCDF	バス衝突検出フラグ 0: バス衝突が検出されなかった 1: バス衝突が検出された	R
10	BFDF	ブレークフィールド検出フラグ 0: ブレークフィールドが検出されなかった 1: ブレークフィールドが検出された	R
11	CF0MF	コントロールフィールド 0 コンペアマッチフラグ 0: コントロールフィールド 0 の受信データが設定データと不一致 1: コントロールフィールド 0 の受信データが設定データと一致	R
12	CF1MF	コントロールフィールド 1 コンペアマッチフラグ 0: コントロールフィールド 1 の受信データが設定データと不一致 1: コントロールフィールド 1 の受信データが設定データと一致	R
13	PIBDF	優先割り込みビット検出フラグ 0: 優先割り込みビットが検出されなかった 1: 優先割り込みビットが検出された	R
14	COF	カウンタオーバーフローフラグ 0: ブレークフィールド検出カウンタがオーバーフローしていない 1: ブレークフィールド検出カウンタがオーバーフローした	R
15	AEDF	有効エッジ検出フラグ 0: 有効エッジが検出されなかった 1: 有効エッジが検出された	R

ビット	シンボル	機能	R/W
23:16	CF0RD[7:0]	Control Field 0 受信データ Control Field 0 の受信データ。	R
31:24	CF1RD[7:0]	Control Field 1 受信データ Control Field 1 の受信データ。	R

注. S-TYPE-3、P-TYPE-3
注 1. PCLK が TCLK より速い場合、フラグが 1 になるタイミングは受信データフル割り込み (SCIn_RXI) 出力から遅延します。この条件下でこのフラグを参照するには、受信データフル割り込み (SCIn_RXI) 後に TCLK を 1 サイクル以上待ってから、このレジスタを読み出してください。

SFSF ビット（スタートフレームステータスフラグ）

スタートフレームを検出するかどうかを示します。

[1 になる条件]

- XCR1.SDST レジスタに 1 が書き込まれたとき
- コントロールフィールド 0／コントロールフィールド 1／インフォメーションフィールドのフェーズでブレークフィールドが検出され、コントロールフィールド 0 またはコントロールフィールド 1 の受信状態への遷移が発生したとき

[0 になる条件]

- XCR1.SDST が 0 のとき
- スタートフレーム検出が完了したとき

RXDSF ビット（RXDn 入力ステータスフラグ）

SCI コアへの RXDn 入力状態を示します。RXDSF ビットが 1 の場合、簡易 LIN モジュールのみが RXDn 入力を受信し、ブレークフィールドが検出され、SCI コアへ入力されません。

BFOF ビット（ブレークフィールド出力完了フラグ）

Break Field 出力の完了を示します。

XFCLR.BFOC に 1 を書き込むことで BFOF ビットを 0 にクリアすることができます。

BCDF ビット（バス衝突検出フラグ）

簡易 LIN 送信動作におけるバス競合の検出を示します。

XFCLR.BCDC に 1 を書き込むことで BCDF ビットを 0 にクリアすることができます。

BFDF ビット（ブレークフィールド検出フラグ）

Break Field 検出を示します。

XFCLR.BFDC に 1 を書き込むことで BFDF ビットを 0 にクリアすることができます。

CF0MF ビット（コントロールフィールド 0 コンペアマッチフラグ）

Control Field 0 と比較データのコンペアマッチを示します。

XFCLR.CF0MC に 1 を書き込むことで CF0MF ビットを 0 にクリアすることができます。

CF1MF ビット（コントロールフィールド 1 コンペアマッチフラグ）

Control Field 1 と比較データのコンペアマッチ検出を示します。

XFCLR.CF1MC に 1 を書き込むことで CF1MF ビットを 0 にクリアすることができます。

PIBDF ビット（優先割り込みビット検出フラグ）

Control Field 1 と優先割り込みビットのコンペアマッチ検出を示します。

XFCLR.PIBDC に 1 を書き込むことで PIBDF ビットを 0 にクリアすることができます。

COF ビット（カウンタオーバーフローフラグ）

簡易 LIN モードで 16 ビットカウンタがオーバーフローしたことを示します。

XFCLR.COFC に 1 を書き込むことで COF ビットを 0 にクリアすることができます。

AEDF ビット（有効エッジ検出フラグ）

アクティブエッジ検出を示します。

XFCLR.AEDC に 1 を書き込むことで AEDF ビットを 0 にクリアすることができます。また、XSR1.TCNT[15:0]を読み出したときにも 0 にクリアすることができます。

CF0RD[7:0]ビット（Control Field 0 受信データ）

Control Field 0 一致が検出された受信データを格納します。

CF1RD[7:0]ビット（Control Field 1 受信データ）

Control Field 1 一致が検出された受信データを格納します。

38.2.23 XSR1 : 簡易 LIN ステータスレジスタ 1

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x60

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TCNT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TCNT[15:0]	タイマカウントキャプチャ値 16 ビットカウンタのキャプチャ値を格納します。初期値は 0000 です。	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

TCNT[15:0]ビット（タイマカウントキャプチャ値）

簡易 LIN モジュールの 16 ビットカウンタのキャプチャ値を格納します。

- スタートフレーム送信時
  XSR1 は前回の値を保持します。
- ビットレート測定機能を無効にしてスタートフレームを受信する場合
  Break Field 検出状態（図 38.81 を参照）で Break Field が検出された場合、Break Field 長がキャプチャされ保持されます。（カウンタ値は RXDn の立ち上がりエッジでキャプチャされます。）Break Field が Break Field 検出状態以外の状態で検出された場合は、前の値を保持します。
  カウンタがオーバーフローした場合はキャプチャされません。
- ビットレート測定機能を有効にしてスタートフレームを受信する場合
  カウント値はキャプチャされ、有効エッジ（RXDn の両エッジ）で保持されます。ただし、ブレークフィールド検出状態では、有効エッジが発生してもカウント値はキャプチャされません。保持されたカウンタキャプチャ値は、XSR1 を読み出した時に解放されます。読み出し前に有効エッジが発生しても、カウント値はキャプチャされません。

38.2.24 CFCLR : 共通フラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x68

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RDRFC	—	TDREC	FERC	PERC	MFFC	—	ORERC	—	—	—	—	—	DFERC	DPERC	DCMFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	ERSC	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	書く場合、0 としてください。	W
4	ERSC	ERS クリアビット このビットを 1 にすると CSR.ERS ビットをクリアします。読むと常に 0 が読めます。	W
15:5	—	書く場合、0 としてください。	W
16	DCMFC	DCMF クリアビット このビットを 1 にすると CSR.DCMF ビットをクリアします。読むと常に 0 が読めます。	W
17	DPERC	DPER クリアビット このビットを 1 にすると CSR.DPER ビットをクリアします。読むと常に 0 が読めます。	W
18	DFERC	DFER クリアビット このビットを 1 にすると CSR.DFER ビットをクリアします。読むと常に 0 が読めます。	W
23:19	—	書く場合、0 としてください。	W
24	ORERC	ORER クリアビット このビットを 1 にすると CSR.ORER ビットをクリアします。読むと常に 0 が読めます。	W
25	—	書く場合、0 としてください。	W
26	MFFC	MFF クリアビット このビットを 1 にすると CSR.MFF ビットをクリアします。読むと常に 0 が読めます。	W
27	PERC	PER クリアビット このビットを 1 にすると CSR.PER ビットをクリアします。読むと常に 0 が読めます。	W
28	FERC	FER クリアビット 本ビットを 1 にすると CSR.FER ビットをクリアします。読むと常に	W
29	TDREC	TDRE クリアビット このビットを 1 にすると CSR.TDRE ビットをクリアします。読むと常に 0 が読めます。	W
30	—	書く場合、0 としてください。	W
31	RDRFC	RDRF クリアビット このビットを 1 にすると CSR.RDRF ビットをクリアします。読むと常に 0 が読めます。	W

注. S-TYPE-3、P-TYPE-3

38.2.25 ICFCLR : 簡易 IIC フラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x6C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIFC	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	書く場合、0 としてください。	W
3	IICSTIFC	IICSTIF クリアビット IICSTIF クリアビットを 1 にすると ISR.IICSTIF ビットをクリアします。読むと常に 0 が読めます。	W
31:4	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

38.2.26 FFCLR : FIFO フラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x70

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DRC	DR クリアビット このビットを 1 にすると FRSR.DR ビットをクリアします。読むと常に 0 が読めます。	W
31:1	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

38.2.27 MFCLR : マンチェスタフラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x74

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MERC	—	SBERC	SYERC	PFERC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFERC	PFER クリアビット このビットを 1 にすると MSR.PFER ビットをクリアします。読むと常に 0 が読めます。	W
1	SYERC	SYER クリアビット このビットを 1 にすると MSR.SYER ビットをクリアします。読むと常に 0 が読めます。	W
2	SBERC	SBER クリアビット このビットを 1 にすると MSR.SBER ビットをクリアします。読むと常に 0 が読めます。	W
3	—	書く場合、0 としてください。	W
4	MERC	MER クリアビット このビットを 1 にすると MSR.MER ビットをクリアします。読むと常に 0 が読めます。	W
31:5	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

38.2.28 XFCLR : 簡易 LIN フラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0～9)

Offset address: 0x78

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	AEDC	COFC	PIBDC	CF1MC	CF0MC	BFDC	BCDC	BFOC	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	書く場合、0 としてください。	W
8	BFOC	BFOF クリアビット このビットを 1 にすると XSR0.BFOF ビットをクリアします。読むと常に 0 が読めます。	W
9	BCDC	BCDF クリアビット 本ビットを 1 にすると XSR0.BCDF ビットをクリアします。読むと常に 0 が読めます。	W
10	BFDC	BFDF クリアビット 本ビットを 1 にすると XSR0.BFDF ビットをクリアします。読むと常に 0 が読めます。	W
11	CF0MC	CF0MF クリアビット このビットを 1 にすると XSR0.CF0MF ビットをクリアします。読むと常に 0 が読めます。	W

ビット	シンボル	機能	R/W
12	CF1MC	CF1MF クリアビット このビットを 1 にすると XSR0.CF1MF ビットをクリアします。読むと常に 0 が読めます。	W
13	PIBDC	PIBDF クリアビット 本ビットを 1 にすると XSR0.PIBDF ビットをクリアします。読むと常に 0 が読めます。	W
14	COFC	COFF クリアビット 本ビットを 1 にすると XSR0.COF ビットをクリアします。読むと常に 0 が読めます。	W
15	AEDC	AEDF クリアビット このビットを 1 にすると XSR0.AEDF ビットをクリアし、XSR1 レジスタの保持を解除します。読むと常に 0 が読めます。	W
31:16	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

38.2.29 CESR : 通信許可ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0〜9)
SCIn_B_NS = 5035_8000 + 0x0100 × n (n = 0〜9)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIST	—	—	—	RIST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RIST	RE 内部ステータス 0: RE 信号内部ステート値 0 1: RE 信号内部ステート値 1	R
3:1	—	読むと 0 が読めます。	R
4	TIST	TE 内部ステータス 0: TE 信号内部ステート値 0 1: TE 信号内部ステート値 1	R
7:5	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

通信モジュールの動作クロックとコントロールレジスタの動作クロックは非同期で使うことができます。これらが非同期であっても、いくつかのコントロールレジスタ値が正常動作のために同期回路を通じて内部的に送信されるので、コントロールレジスタへの書き込み後にステートが内部的に反映されるまでにはある程度時間を要します。

通信は本レジスタに対応させるために CCR0 レジスタの TE ビットと RE ビットを許可します。次の通信のための制御ビットを書き換えるためにこれらの制御ビットが 1 から 0 に変わる時、TE ビットと RE ビットの信号は、内部ステートが 0 になった後に、次の制御ビットが書き換えられることを必要とします。通信モジュールのクロックが非常に遅い場合、TE ビットと RE ビットのステートは内部的に反映されません。この場合は、本レジスタを使用して内部ステートを確認することができます。

38.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 38.6 に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視しています。SCI はスタートビットを検出すると、シリアル通信を開始します。スタートビットの検出条件は、CCR3.RXDESEL ビットの設定に従います。CCR3.RXDESEL ビットが 0 であるとき、SCI はスペース（Low レベル）をスタートビットとみなします。RXDESEL ビットが 1 であるとき、SCI は立ち下がりエッジをスタートビットとみなします。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し／書き込みが可能であり、連続送受信動作が実現されます。

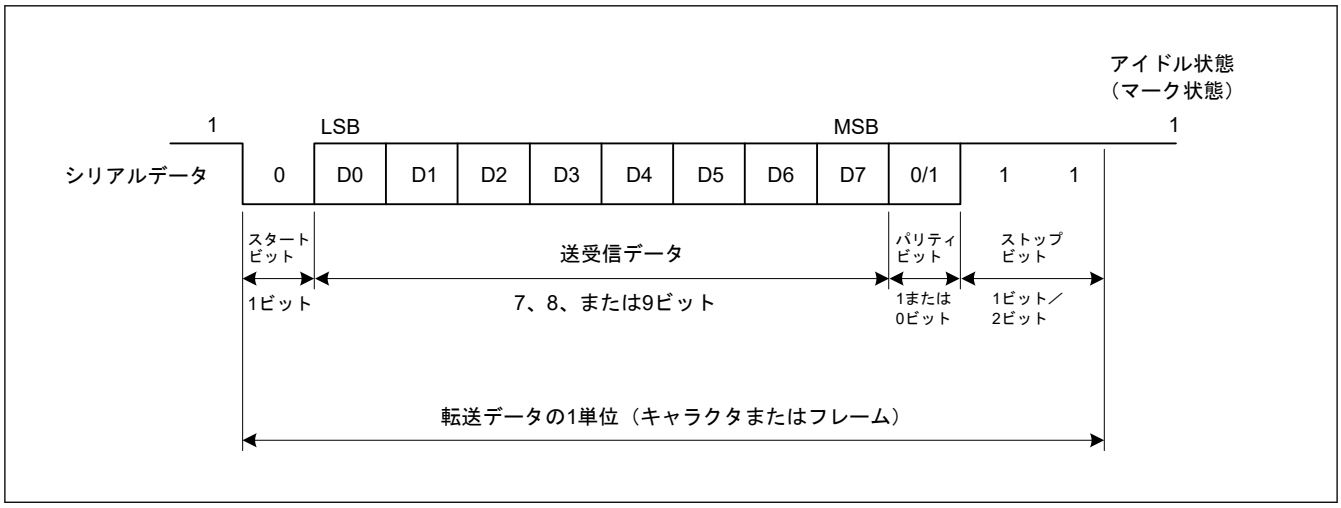


図 38.6　調歩同期式シリアル通信のデータフォーマット（8 ビットデータ／パリティあり／2 ストップビットの場合）

38.3.1　シリアル転送フォーマット

表 38.27 に、調歩同期式モードで設定できるシリアル転送フォーマットを示します。フォーマットは 18 種類あり、CCR1 レジスタおよび CCR3 レジスタの設定により選択できます。マルチプロセッサ機能の詳細については「38.4. マルチプロセッサ通信機能」を参照してください。

表 38.27　シリアル転送フォーマット（調歩同期式モード）(1/2)

CCR3		CCR1		CCR3	シリアル転送のフォーマットとフレーム長
CHR[1:0]		PE	MP	STP	1 2 3 4 5 6 7 8 9 10 11 12 13
0	0	0	0	0	ST 9 ビットデータ SP
0	0	0	0	1	ST 9 ビットデータ SP SP
0	0	1	0	0	ST 9 ビットデータ P SP
0	0	1	0	1	ST 9 ビットデータ P SP SP
1	0	0	0	0	ST 8 ビットデータ SP
1	0	0	0	1	ST 8 ビットデータ SP SP
1	0	1	0	0	ST 8 ビットデータ P SP
1	0	1	0	1	ST 8 ビットデータ P SP SP
1	1	0	0	0	ST 7 ビットデータ SP
1	1	0	0	1	ST 7 ビットデータ SP SP

表 38.27　シリアル転送フォーマット（調歩同期式モード） (2/2)

CCR3		CCR1		CCR3	シリアル転送のフォーマットとフレーム長
CHR[1:0]		PE	MP	STP	1 2 3 4 5 6 7 8 9 10 11 12 13
1	1	1	0	0	ST 7 ビットデータ P SP
1	1	1	0	1	ST 7 ビットデータ P SP SP
0	0	—	1	0	ST 9 ビットデータ MPB SP
0	0	—	1	1	ST 9 ビットデータ MPB SP SP
1	0	—	1	0	ST 8 ビットデータ MPB SP
1	0	—	1	1	ST 8 ビットデータ MPB SP SP
1	1	—	1	0	ST 7 ビットデータ MPB SP
1	1	—	1	1	ST 7 ビットデータ MPB SP SP

ST: スタートビット
SP: ストップビット
P: パリティビット
MPB: マルチプロセッサビット

38.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりエッジを基本クロックでサンプリングして内部を同期化します。(注2)

また、図 38.7 に示すように、受信データは基本クロックの 8 パルス目(注1)の立ち上がりエッジでサンプリングされるため、各ビット（サンプリング時間を調整しない場合（CCR4.ASEN = 0 または CCR4.ASEN = 1 かつ CCR4.AST[2:0] = 000b））の中間でデータが取り込まれます。調歩同期式モードでの受信マージンは以下の式 (1) によって決定されます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%] \quad \text{... 式 (1)}$$

注.　M: 受信マージン
N: クロックに対するビットレートの比
基本クロックに対するビットレートの比率については、表 38.6 を参照してください。
D: クロックのデューティーサイクル (D = 0.5～1.0)
L: フレーム長 (L = 9～13)
F: クロック周波数の偏差の絶対値

式（1）で、F = 0、D = 0.5 とすると、受信マージンは下記の式で算出されます。
$M = \{0.5 - 1/(2 \times 16)\} \times 100\ (\%) = 46.875\ \%$

これは計算上の値を表しています。システム設計の際には 20～30%の余裕を持たせることが推奨されます。

注 1.　これは、CCR2 レジスタの ABCS ビット、ABCSE ビット、および ABCSE2 ビットがいずれも 0 の場合の例です。CCR2 レジスタの ABCS ビットが 1 で ABCSE ビットと ABCSE2 ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。CCR2 レジスタの ABCSE ビットが 1 で ABCSE2 ビットが 0 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。CCR2 レジスタの ABCSE ビットが 0 で ABCSE2 ビットが 1 の場合は、ビットレートの 4 倍の周波数が基本クロックとなり、受信データは基本クロックの 2 パルス目の立ち上がりエッジでサンプリングされます。

注 2. スタートビットの決定条件は以下の通りです。

サンプリングタイミング調整機能がオフ (ASEN = 0) :

スタートビットの決定条件は、Low 状態がビットの中間点より後ろまで続くことです。サンプリングタイミングと同様です。図 38.7 では、スタートビットを検出するためには Low 状態が 8 サイクルより長く続く必要があります。Low 状態が 8 サイクルより長く続かなかった場合は、IP はこれをノイズと判断します。したがって IP は受信を開始せず、スタートビットを待ちます。

サンプリングタイミング調整機能がオン (ASEN = 1) :

スタートビットの決定条件は、Low 状態がサンプリングタイミングまで継続することです。サンプリングタイミングを前に調整 (AJD = 1) すると、ノイズをスタートビットと誤って判断する可能性が増します。

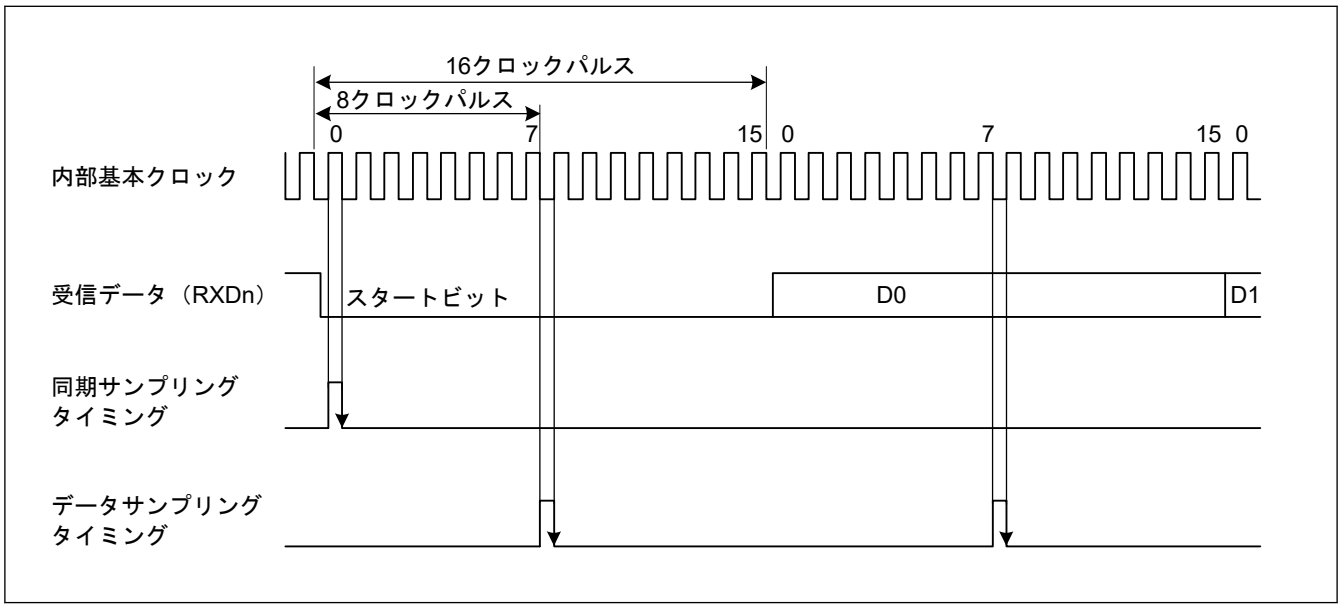


図 38.7 調歩同期式モードでの受信データサンプリングタイミング

38.3.3 クロック

SCI の送受信クロックは、CCR3.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（CCR2.ABCS ビット = 0 のとき）、または 8 倍（CCR2.ABCS ビット = 1 のとき）の周波数のクロックを入力する必要があります。

また、外部クロックを指定したときは、GPTn (n = 3, 4, 6, 7) の基本クロックを CCR2.ACS0 で選択することができます。

内部クロックで動作させるときは、SCKn 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 38.8 に示すように、送信データの中間にクロックの立ち上がりエッジが来るように設定されます。

内部クロックが選択される場合、CCR0.TE ビットまたは CCR0.RE ビットを 1 に設定後に SCKn 端子が出力されます。

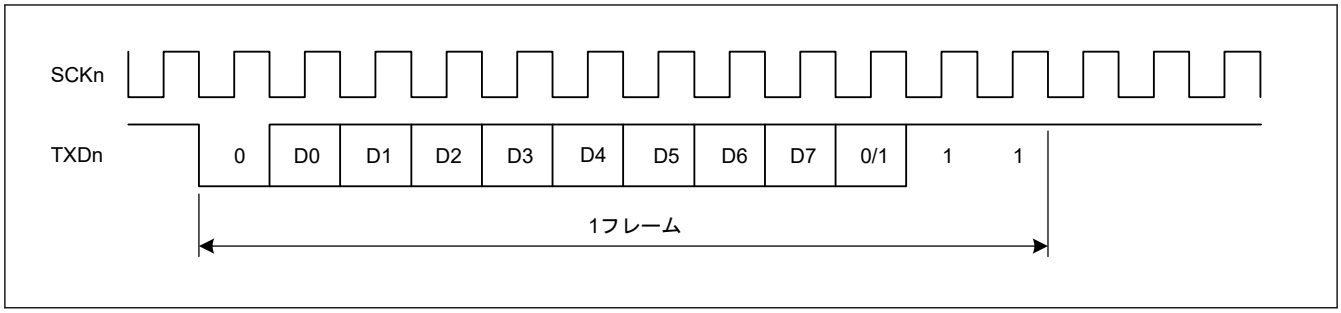


図 38.8 調歩同期式モードにおける出力クロックと送信データの位相関係（CCR1.PE = 1、CCR3.CHR[1:0] = 10b、MP = 0、および STP = 1）

38.3.4 倍速動作とビットレートの 6 倍または 4 倍の周波数

CCR2.ABCS ビットが 1 になっていると、SCI のビットレートは ABCS ビットが 0 の場合の 2 倍になります。CCR2.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビットが 0 の場合の 2 倍になります。CCR3.CKE[1]ビットを 0 にして、内蔵ボーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。

CCR2 の ABCSE ビットを 1 にして ABCSE2 ビットを 0 にすると、基本クロックのパルス数は 1 ビット期間中 6、基本クロックの周波数は半分になります。このとき、CCR2.ABCS ビット = 0、CCR2.BGDM ビット = 0、CCR2.ABCSE ビット = 0、および CCR2.ABCSE2 ビット = 0 の場合に比べて、RSCI は 16/3 倍のビットレートで動作します。

CCR2 の ABCSE ビットを 1 にして ABCSE2 ビットを 1 にすると、基本クロックのパルス数は 1 ビット期間中 4、基本クロックの周波数は半分になります。このとき、CCR2.ABCS ビット = 0、CCR2.BGDM ビット = 0、CCR2.ABCSE ビット = 0、および CCR2.ABCSE2 ビット = 0 の場合に比べて、RSCI は 8 倍のビットレートで動作します。

「38.3.2. 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) に示す通り、CCR2 の ABCS ビット、ABCSE ビット、または ABCSE2 ビットが 1 の場合、受信マージンは減少します。そのため、目的のビットレートを達成できる場合は、CCR2 の ABCS ビット、ABCSE ビット、および ABCSE2 ビットを 1 にして RSCI を使用することを推奨します。

38.3.5 CTS、RTS 機能

CTS 機能は CTSn 端子入力を使用して送信を制御します。CCR1.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS、RTS 機能に対して、CTSn_RTSn 端子を多重端子として設定することで、1 端子で片方の機能を使用する設定または 2 端子（CTSn 信号に対しては CTSn 端子、RTSn 信号に対しては CTSn_RTSn 端子）で各機能を独立に使用する専用設定を選択できます。これは、CCR1.CTSPEN ビットにより設定されます。

CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると送信が開始されます。

FIFO が使用され、送信前に CTSn_RTSn 信号が High で保持されていても、送信は開始されません。よって、TDR レジスタへの書き込み回数とデータ格納回数は同じです（クロック同期式 FIFO を使用する場合は異なります）。

送信中に CTSn_RTSn 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTSn_RTSn 端子出力を使用して、受信可能な状態になると Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記条件をすべて満たす場合

非 FIFO 選択時

- CCR0.RE ビットの値が 1
- 次の受信が可能な場合
  - 読み出し前の受信データがなく、受信しない
  - CSR.ORER、FER、PER フラグがすべて 0

FIFO 選択時

- CCR0.RE ビットの値が 1
- 次の受信が可能な場合
  - 受信 FIFO (RDR) に書き込まれた受信データ数が FCR.RSTRG[4:0]の設定値より少ない
  - CSR.ORER (RDR.ORER) フラグが 0

[High になる条件]

- Low になる条件を満たさない場合

38.3.6 アドレス一致（受信データ一致）検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

CCR0.DCME ビットを 1 にした場合(注2)、1 フレーム分のデータを受信すると、SCI は受信データと CCR4.CMPD ビットの値を比較します。SCI によって受信データと比較データ (CCR4.CMPD(注1)) の一致が検出された場合、SCIn_RXI 割り込み要求を発生させることができます。

CCR3.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード（CCR3.MP ビット = 1）では、CCR0.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対象となり、MPB ビット = 0 の受信データは、常に不一致として処理されます。

CCR0.IDSEL ビットが 0 の場合、受信データの MPB ビットの値にかかわらず、SCI はアドレス一致検出を実行します。

受信データと比較データ (CCR4.CMPD(注1)) の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、CCR0.DCME ビットは自動的にクリアされ、CSR.DCMF フラグは 1 になります。CCR0.IDSEL ビットが 1 であれば、CCR0.MPIE ビットが自動的にクリアされます。また、CCR0.IDSEL ビットが 0 であれば、CCR0.MPIE ビットの値が保持されます。CCR0.RIE ビットを 1 にすると、SCI は SCIn_RXI 割り込み要求を発行します。

一致が検出された受信データで SCI がフレーミングエラーを検出すると、CSR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、CSR.DPER フラグが 1 になります。比較された受信データおよび MPB ビットは RDR レジスタに格納されません。また、CSR.RDRF フラグは 0 を保持します。

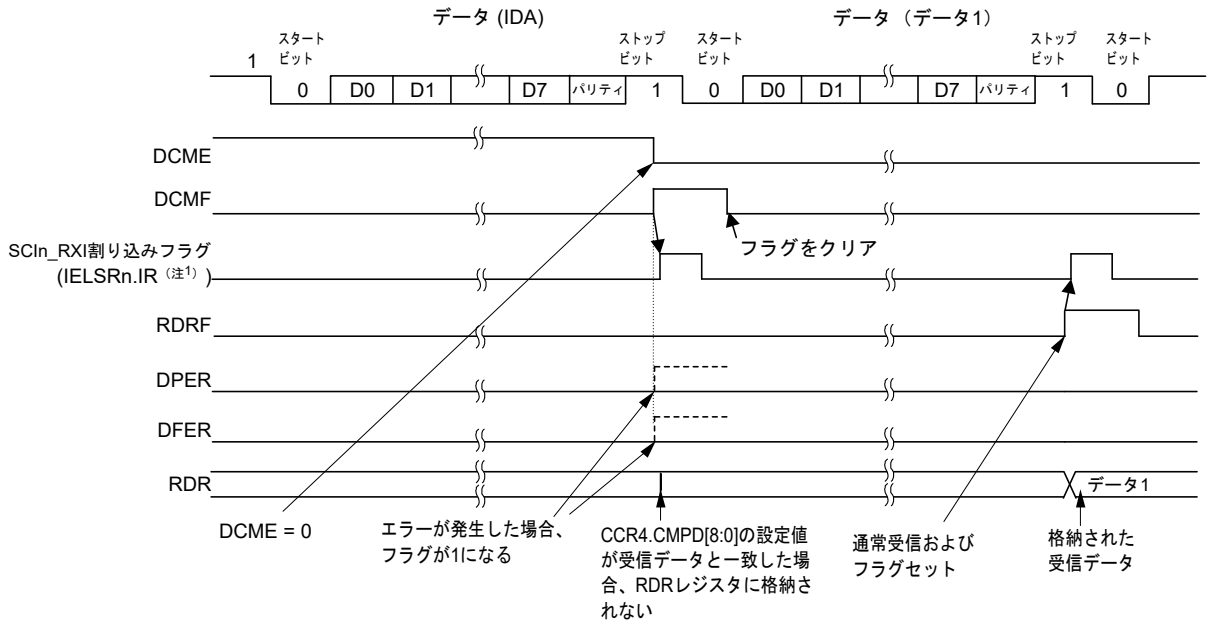
SCI が一致を検出すると、CCR0.DCME ビットは自動的にクリアされ、SCI は現在のレジスタ設定に基づいて次のデータを連続して受信します。

CSR.DFER フラグまたは CSR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

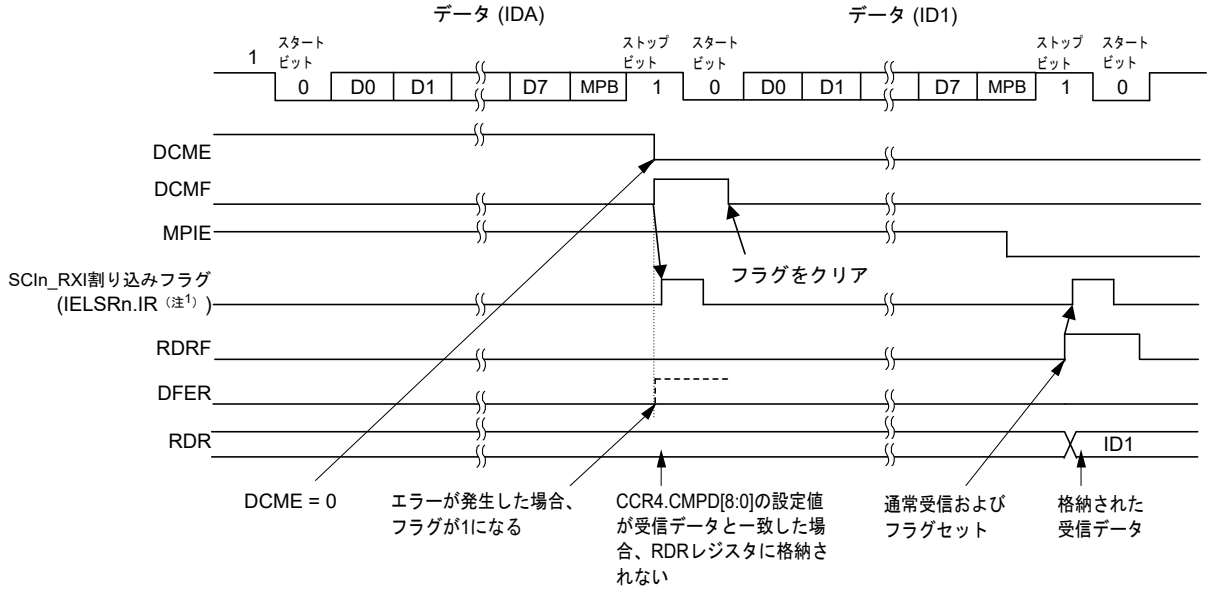
アドレス一致検出機能の例を図 38.9 と図 38.10 に示します。

注 1. 比較対象は、以下の 3 種類のビット長から選択できます。7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]

注 2. アドレス一致検出を実行する受信フレームのスタートビットを受信する前に、CCR0.DCME ビットを 1 にしてください。



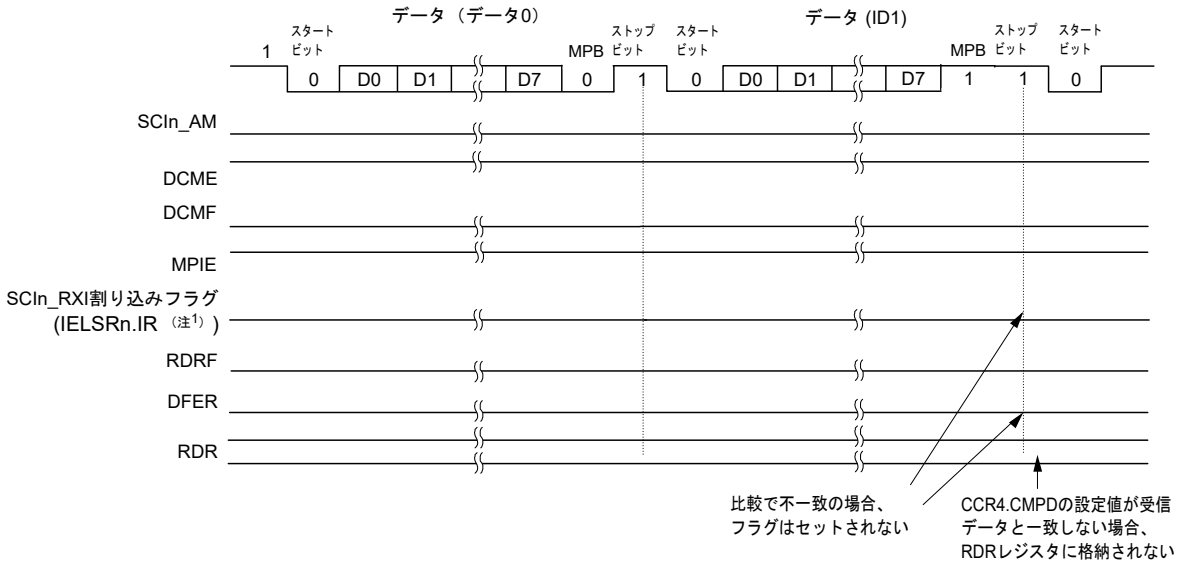
(a) 受信データとCCR4.CMPD[8:0]の比較結果が一致した場合の例（8ビット長／パリティ／通常モード）



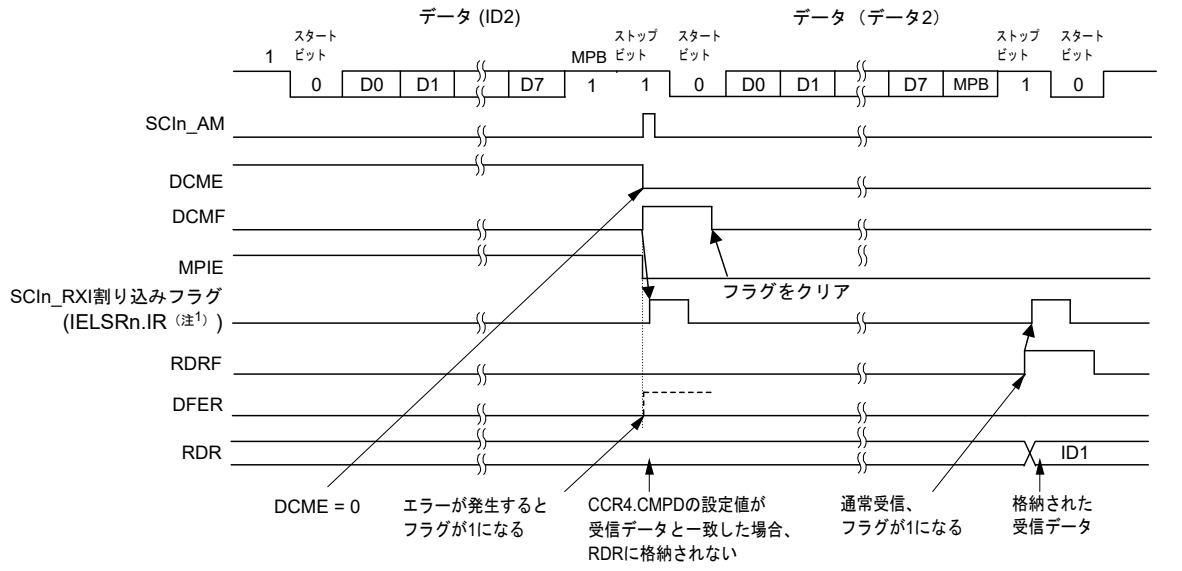
(b) 受信データとCCR4.CMPD[8:0]の比較結果が一致した場合の例（8ビット長／マルチプロセッサモード）

注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.9 アドレス一致検出の例 (1)（通常モードとマルチプロセッサモード）



(a) 受信データとCCR4.CMPDの比較結果が不一致の場合の例（8ビット長／IDSEL = 1／マルチプロセッサモード）



(b) 受信データとCCR4.CMPDの比較結果が一致した場合の例（8ビット長／IDSEL = 1／マルチプロセッサモード）

注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.10 アドレス一致検出の例 (2)（マルチプロセッサモード）

38.3.7 SCI の初期化（調歩同期式モード）

データを送受信する前に、最初に初期値 0 を CCR0.TE ビットと CCR0.RE ビット（または CCR0 レジスタ）に書き込み、次に SCI の初期設定（非 FIFO 選択時または FIFO 選択時）を表 38.28 と表 38.29 のフローチャートに従って続けてください。動作モードまたは通信フォーマットを変更する場合も、CCR0.TE ビットと CCR0.RE ビットを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

注. CCR0.RE ビットを 0 にしても、CSR レジスタの ORER、FER、RDRF、RDAT、PER、DR の各フラグ、および RDR レジスタは初期化されません。FIFO 選択時に TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

動作モードの変更時も注意してください。

注. CCR0.TIE ビットが 1 の状態で、CCR0.TE ビットの値を 0 から 1 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 38.28 調歩同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）

No.	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	CCR3 を設定	以下の機能と通信モードを設定します。 RS-485 のドライバ制御機能、FIFO 未使用、マルチプロセッサモード、通信モード (MOD[2:0] = 000b) 送信／受信フォーマット クロック許可（クロック出力時の初期値を残します） 未使用ビットを初期値のままにします。
4	CCR2 を設定	ビットレート変調機能の設定(注1)(注2)、クロック選択、ビットレート設定(注2)を行います。
5	CCR1 を設定	ノイズフィルタ機能、ループバック機能、通信端子ステータス、パリティチェック機能、CTSn_RTSn 機能を設定します。
6	CCR4 を設定	サンプリングタイミング調整機能と送信タイミング調整機能の設定をします。
7	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
8	CCR3 を設定	クロックの出力時に、この段階でクロックイネーブルビット (CKE[1:0]) を設定します。このレジスタ設定の後、ただちにクロック端子が出力状態になります。
9	CFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします：CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC リセット後の初期化のフローで行う場合は、この段階を省略できます。
10	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。割り込みを有効にするためには、TE ビット、TIE ビット、RE ビット、RIE ビットを 1 つの命令で同時に 1 にします。TE ビットおよび RE ビットを設定することで、TXDn 端子および RXDn 端子が使用可能となります。
11	初期化の完了	—

注 1. ビットレート変調機能を使用しない場合、この設定は不要です。
注 2. 外部クロックを使用する場合、この設定は不要です。

表 38.29 調歩同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時） (1/2)

No.	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	CCR3 を設定	以下の機能と通信モードを設定します。 RS-485 のドライバ制御機能、FIFO 使用、マルチプロセッサモード、通信モード (MOD[2:0] = 000b) 送信／受信フォーマット クロック許可（クロック出力時の初期値を残します） 未使用ビットを初期値のままにします。
4	CCR2 を設定	ビットレート変調機能の設定(注1)(注2)、クロック選択、ビットレート設定(注2)を行います。
5	CCR1 を設定	ノイズフィルタ機能、ループバック機能、通信端子ステータス、パリティチェック機能、CTSn_RTSn 機能を設定します。
6	CCR4 を設定	サンプリングタイミング調整機能と送信タイミング調整機能の設定をします。
7	FCR を設定	TFRST ビットおよび RFRST ビットを 1 にして、FIFO をエンプティにします。DRES ビット、TTRG[4:0]ビット、RTRG[4:0]ビット、および RSTRG[4:0]ビットを設定します。
8	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。

表 38.29　調歩同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時） (2/2)

No.	ステップ名	説明
9	CCR3 を設定	調歩同期式モードでクロック出力を選択する場合、CKE[1:0]ビットを設定してください。このレジスタ設定の後、ただちにクロック端子が出力状態になります。ただし、クロックは TE ビットまたは RE ビットを 1 にした後に動作します。
10	CFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします：CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC リセット後の初期化のフローで行う場合は、この段階を省略できます。
11	FFCLR を設定	FFCLR.BRKC ビットと DRC ビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。リセットの後の初期化のフローで行う場合は、この段階を省略できます。
12	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。割り込みを有効にするためには、TE ビット、TIE ビット、RE ビット、および RIE ビットを 1 つの命令で同時に 1 にします。TE ビットおよび RE ビットを設定することで、TXDn 端子および RXDn 端子が使用可能となります。
13	初期化の完了	—

注 1.　ビットレート変調機能を使用しない場合、この設定は不要です。
注 2.　外部クロックを使用する場合、この設定は不要です。

図 38.11 に、リセット解除後にデータを転送し、表 38.28 または表 38.29 に従って SCI を調歩同期式モードに設定する際のタイミング例を示します。図に示す通り、TXDn 端子に端子機能を設定したとき、CCR0.TE ビットが 0 なので、端子はハイインピーダンスとなります。CCR0.TE を 1 に設定した後、送信データを書き込むと、データ送信を開始されます。TDR 書き込みからデータ送信開始までの送信ウェイト時間があります。調歩同期モードでは、この間 TXDn は High となります。

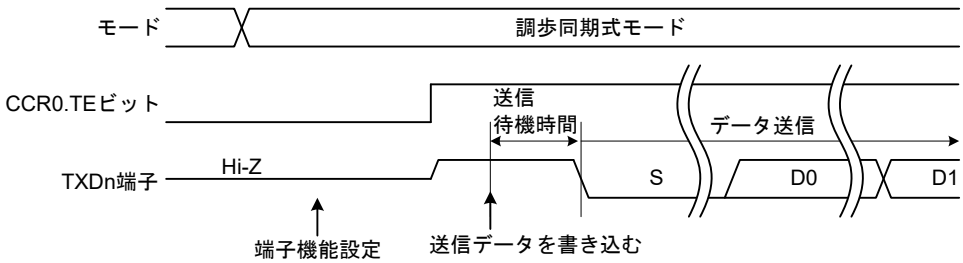


図 38.11　調歩同期モードでのデータ送信タイミング例

38.3.8　シリアルデータの送信（調歩同期式モード）

(1) 非 FIFO 選択時

図 38.12、図 38.13、図 38.14、および図 38.15 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

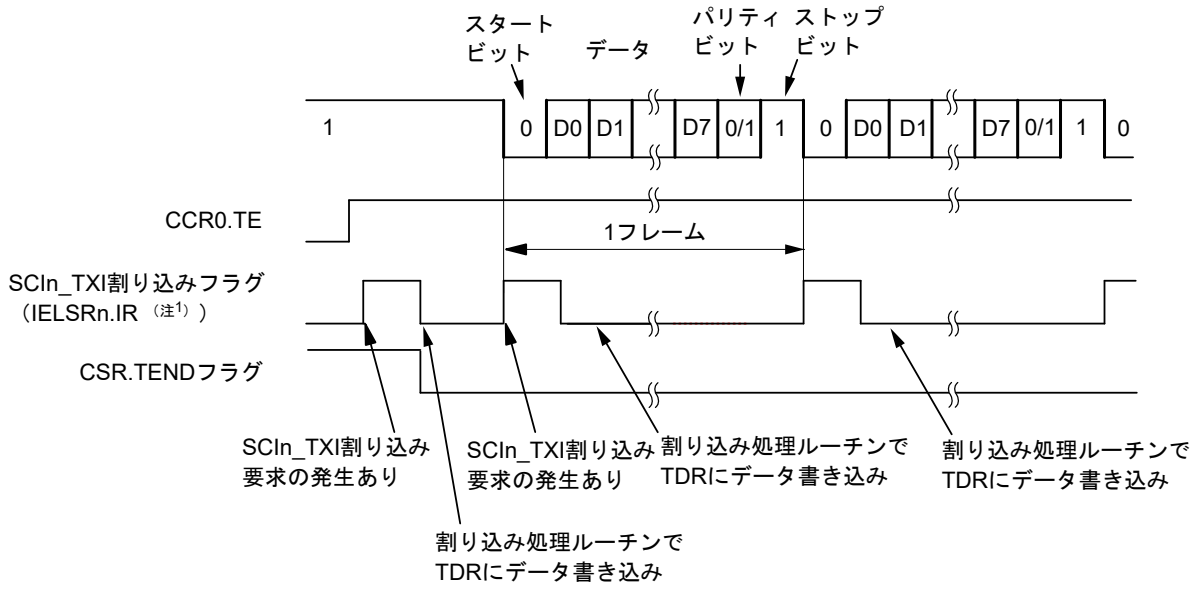
本項では、シリアル送信時の SCI の動作について説明します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。
   なお、送信開始時の SCIn_TXI 割り込み要求は、CCR0.TE ビットと CCR0.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. CCR1.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子の入力が Low であると、TDR レジスタから TSR レジスタへデータが転送され、送信が開始されます。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が完了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、CCR0.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、CCR0.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ

- パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
- ストップビット

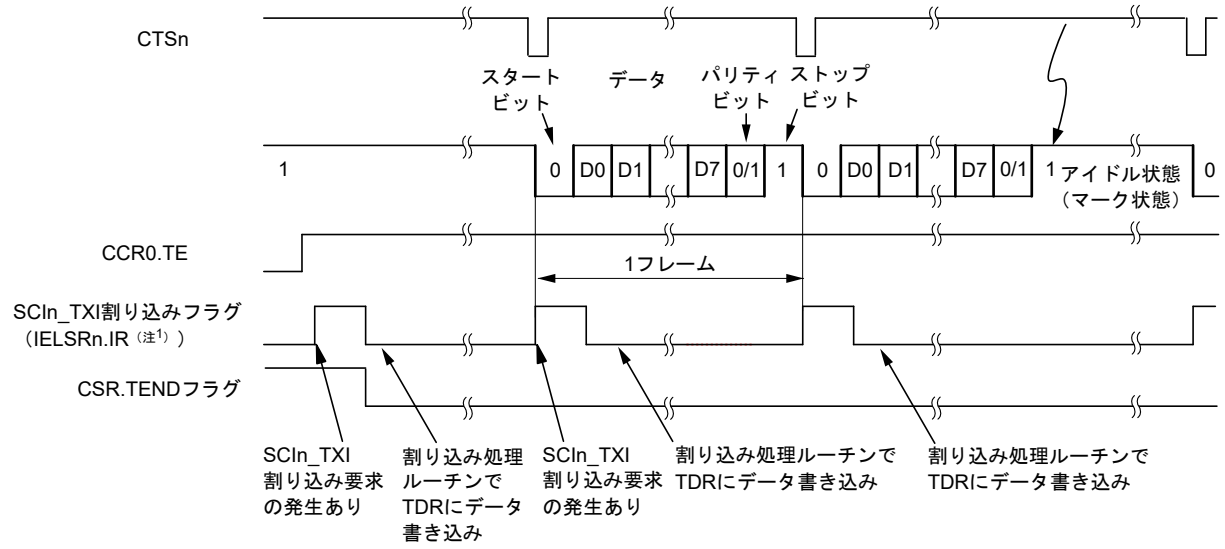
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、CCR1.CTSE ビットが 0（CTS 機能は無効）、または CTSn_RTSn 端子の入力が Low に設定されていれば、次の送信データが TDR レジスタから TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、CSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、CCR0.TEIE ビットが 1 になっていると、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

図 38.12、図 38.13、図 38.14、および図 38.15 に、調歩同期式モードにおけるシリアル送信の動作例を示します。



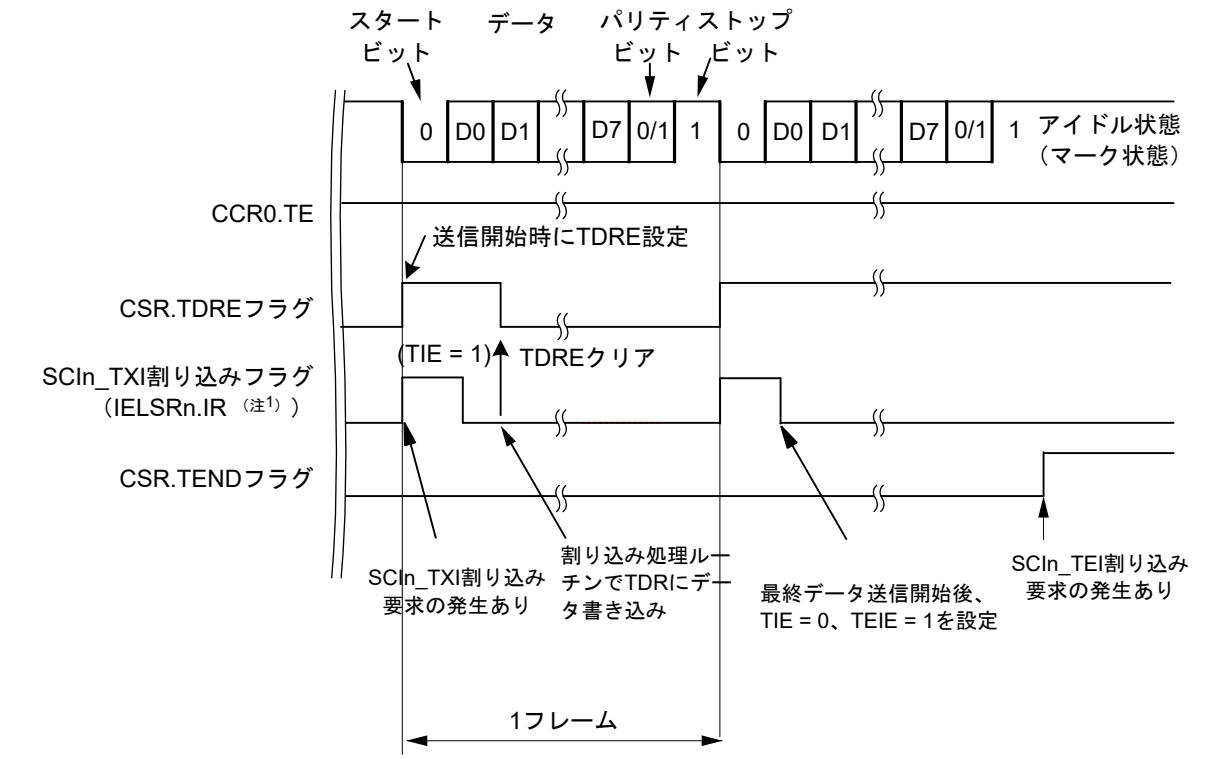
注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.12　調歩同期式モードにおけるシリアル送信の動作例 (1)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信開始時）



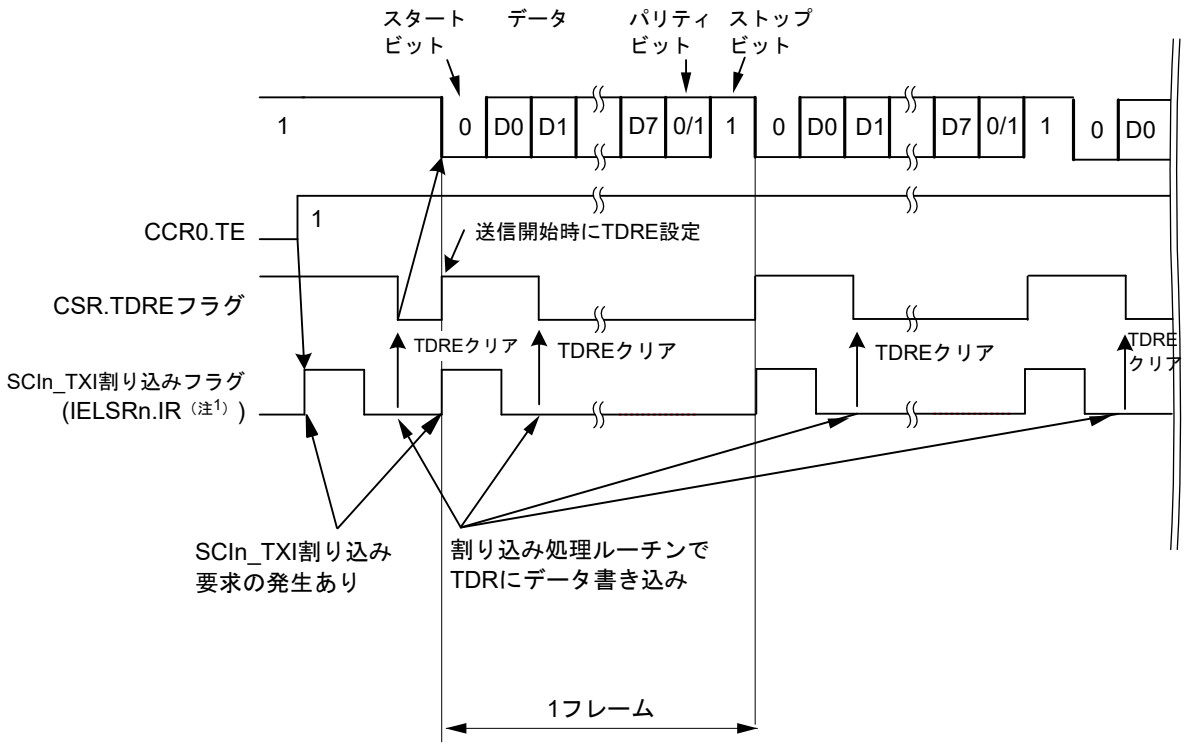
注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.13 調歩同期式モードにおけるシリアル送信の動作例 (2)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能使用／送信開始時）



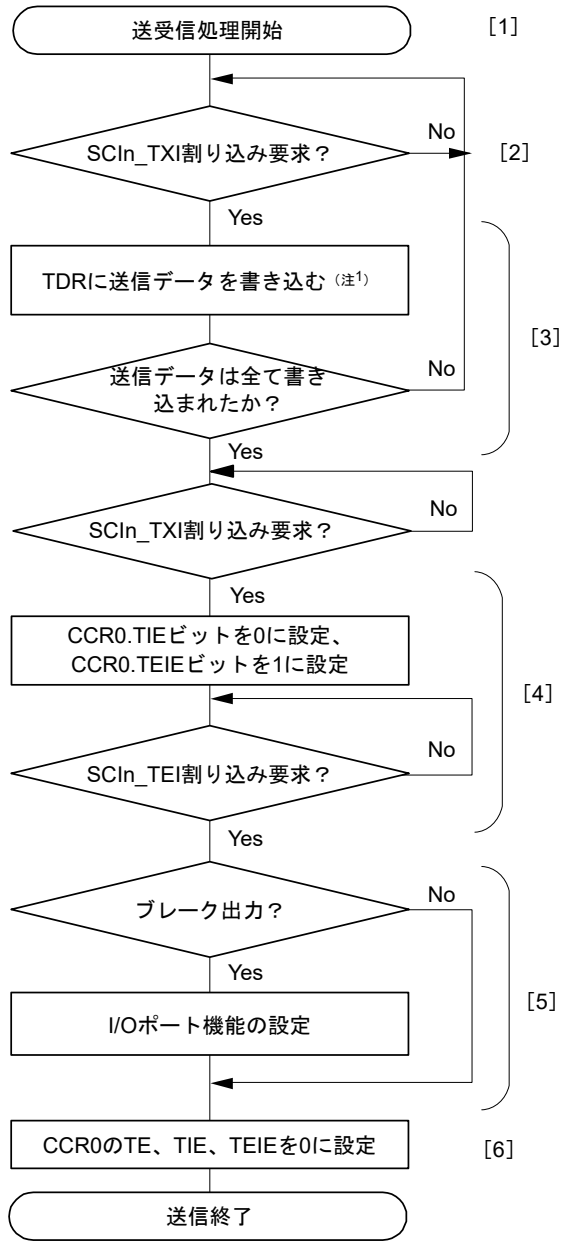
注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.14 調歩同期式モードにおけるシリアル送信の動作例 (3)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信途中～送信完了時）



注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.15　調歩同期式モードにおけるシリアル送信の動作例 (4)
（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能使用しない／送信途中～送信完了時）



[1]　送信処理開始

[2]　SCIn_TXI割り込み要求：
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、次の条件が成立したときです。
TEとTIEが同時に0になる。
TDRからTSRへ送信データが転送される。

[3]　シリアル送信の継続手順：
シリアル送信を継続するときには、SCIn_TXIを使用して送信データをTDR (注1) に1回書き込みます。
送信データは、DMACまたはDTCを起動することでも書き込むことができます。

[4]　TEIを使用する場合は、最後の送信データがTDR (注1) に書き込まれて送信が開始した後に、TIEに0を、TEIEに1を設定します。

[5]　シリアル送信終了時のブレーク出力：
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
（これらのビットを初期化時に設定する場合はこのステップを省略できます。）

[6]　CCR0のTE、TIE、TEIEを0に設定

注 1.　データ長 9 ビットでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

図 38.16　調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 38.17 に、調歩同期式モード（FIFO 選択時）において TDR レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが TDR[8:0]に設定されます。使用しないビットには 0 を書いてください。TDR[15:8]→TDR[7:0]の順に書いてください。

データ長	レジスタ設定		TDR[15:0]内の送信データ															
	CCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	–	–	–	–	–	–	MPBT	–	–	TDAT[6:0]						
8ビット	1	0	–	–	–	–	–	–	MPBT	–	TDAT[7:0]							
9ビット	0	Don’t care	–	–	–	–	–	–	MPBT	TDAT[8:0]								

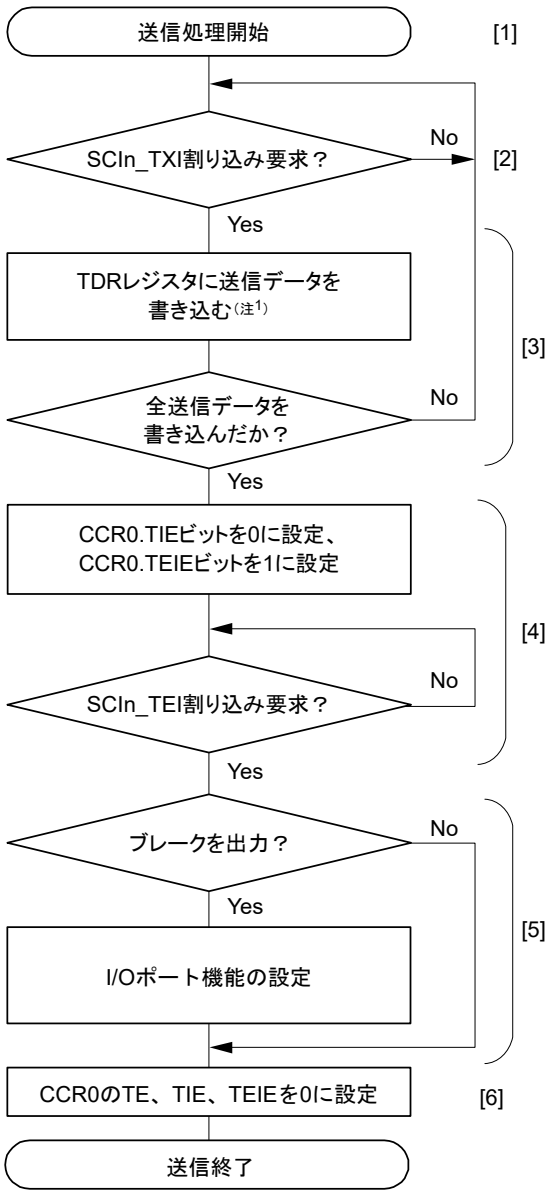
注. —：無効。書く場合、0 としてください。

図 38.17 送信 FIFO (TDR) に書き込まれるデータフォーマット（FIFO 選択時）

本項では、シリアル送信時の SCI の動作について説明します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。TDR レジスタに書き込み可能なデータのバイト数は"16 - FTSR.T[5:0]"です。なお、送信開始時の SCIn_TXI 割り込み要求は、CCR0.TE ビットと CCR0.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. CCR1.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子の入力が Low であると、TDR レジスタから TSR レジスタへデータが転送され、送信が開始されます。TDR レジスタに書き込まれた送信データ数が、指定された送信トリガ数以下のとき、CSR.TDFE ビットが 1 になります。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が完了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、CCR0.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、CCR0.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ
   - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
   - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタに未送信データが残っていないかチェックします。
5. 送信 FIFO (TDR) レジスタにデータがある場合、CCR1.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子の入力が Low であると、次の送信データが TDR レジスタから TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. 送信 FIFO (TDR) レジスタにデータがない場合、CSR レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。CCR0.TEIE ビットが 1 であれば、SCIn_TEI 割り込み要求が発生します。

図 38.18 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。



[1] 送信処理開始

[2] SCIn_TXI割り込み要求:
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、送信データが送信FIFO (TDR) からTSRに転送される際に、送信FIFOに書き込まれる送信データの数が送信FIFOのしきい値以下の場合です。

[3] シリアル送信の継続手順:
シリアル送信を継続するときには、SCIn_TXI割り込みを使用して全ての送信データを送信FIFO (TDR) に書き込み、TDREフラグを0にクリアします。(送信データは、DMACまたはDTCを起動することでも送信FIFO (TDR) に書き込むことができます。この場合、TDREフラグは自動的にクリアされるので、TDREフラグを操作しないでください。)
書き込み可能な送信データの数は、格納されている送信FIFOデータの数を16から引いた数です。

[4] SCIn_TEIを使用する場合は、最後の送信データがTDRに書き込まれた後に、TIEに0を、TEIEに1を設定します。(注1)

[5] シリアル送信終了時のブレーク出力:
ブレークを出力するには、TEが0のときに、出力状態の設定に合わせてSPB2IOとSPB2DTを設定する必要があります。
(これらのビットを初期化時に設定する場合はこのステップを省略できます。)

[6] CCR0のTE、TIE、TEIEを0に設定

注 1. データ長 9 ビットでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

図 38.18 調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

38.3.9 シリアルデータの受信（調歩同期式モード）

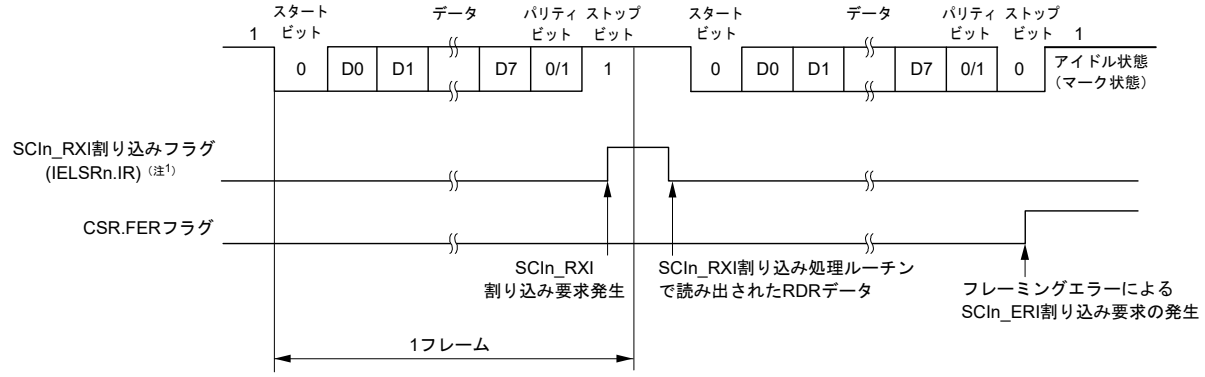
(1) 非 FIFO 選択時

図 38.19 と図 38.20 に、調歩同期式モードにおけるシリアルデータ受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

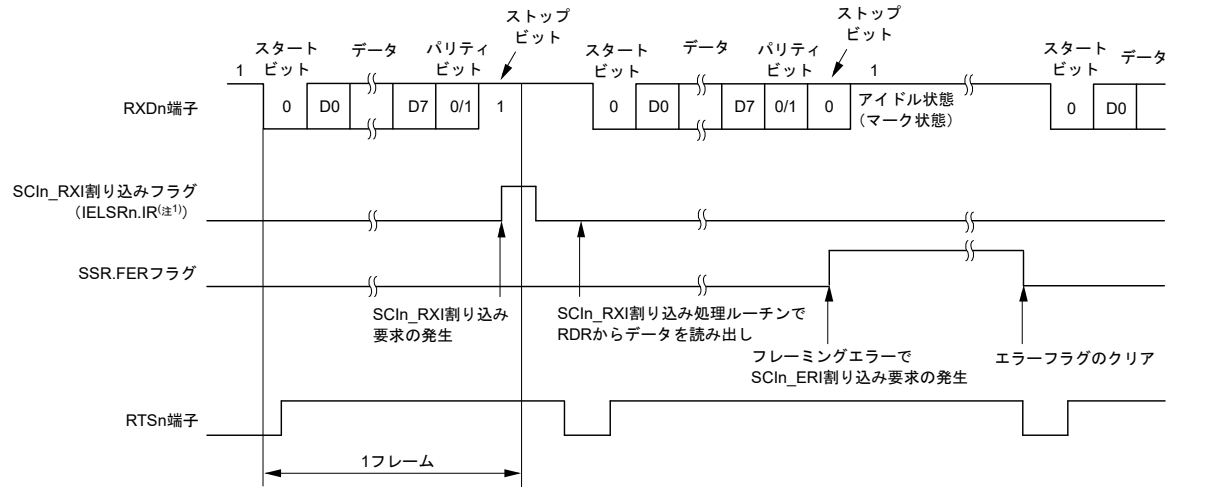
1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生すると、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. パリティエラーが検出された場合は、CSR.PER フラグが 1 になり、受信データが RDR レジスタへ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。

5. フレーミングエラーが検出された場合は、CSR.FER フラグが 1 になり、受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。
RDR レジスタへ転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります。



注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.19　調歩同期式モードにおけるシリアル受信の動作例 (1)（RTS 機能を使用しない場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）



注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.20　調歩同期式モードにおけるシリアル受信の動作例 (2)（RTS 機能を使用する場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）

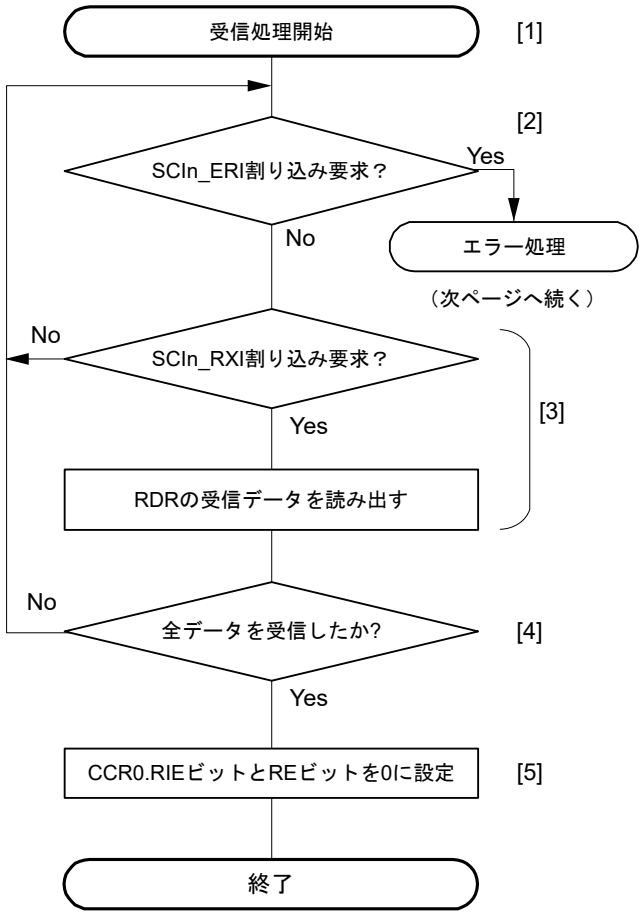
表 38.30 に、受信エラーが検出された場合の CSR ステータスレジスタの各フラグの状態と受信データの処理を示します。

受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。さらに、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に CCR0.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 38.21 と図 38.22 に、シリアル受信のフローチャート例を示します。

表 38.30　CSR ステータスレジスタのフラグの状態と受信データの処理

CSR ステータスレジスタのフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	消失	オーバーランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー



[1] 受信処理開始

[2] 受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。所定のエラー処理を行った後、必ずORER、PER、FERフラグをすべて0にしてください。これらのフラグが一つでも1の場合、受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値を読み出すことでブレークの検出が可能です。

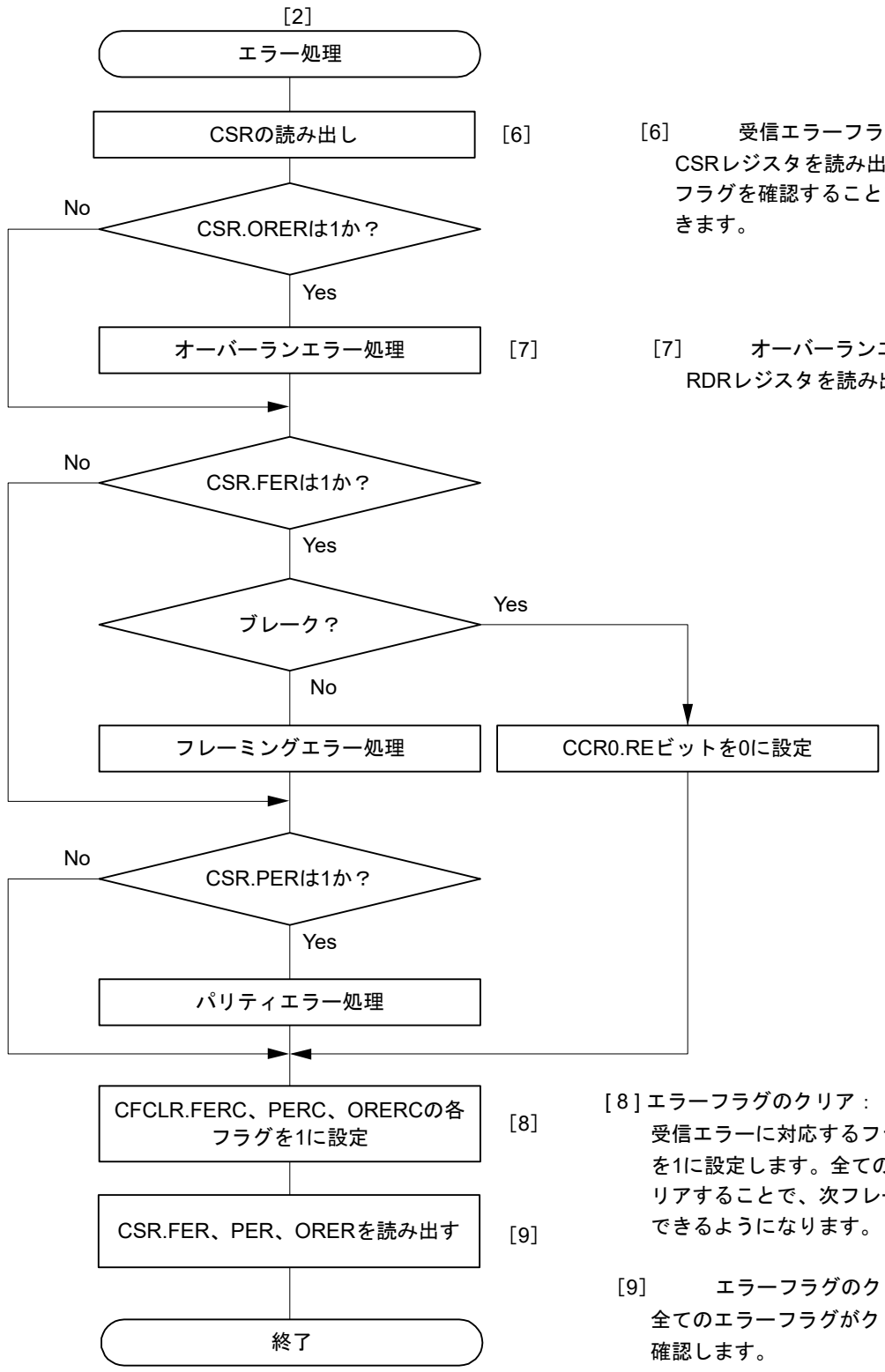
[3] SCIn_RXI割り込み処理ルーチンで、RDRレジスタ（注1）の受信データを1回読み出します。

[4] シリアル受信の継続手順：
シリアル受信を継続するときには、現在のフレームのストップビットを受信する前に、SCIn_RXI割り込み処理ルーチン内でRDRからデータを読み出します。RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

[5] CCR0のRIEおよびREに0を設定します。

注 1.　ここで RDR レジスタを読み出す前に、RE ビットを 0 にしないでください。

図 38.21　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(1)



注.　9 ビットデータ長選択時は、RDR レジスタは RDRHL レジスタになります。

図 38.22　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(2)

(2) FIFO 選択時

図 38.23 に、調歩同期式モードにおいて受信 FIFO (RDR) レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、RDR レジスタの MPB ビットに 0 が書き込まれます。データ長に対応したデータが RDR レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。ソフトウェアが RDR レジスタを読み出すと、SCI は FER、PER、および RDR レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。RDR レジスタの RDF、ORER、および DR フラグは、常に CSR レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		RDR[31:0]、MPB、RDAT[8:0]の受信フラグ															
	CCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	-	-	-	FFER	FPER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	-	-	-	FFER	FPER	DR	MPB	0	RDAT[7:0]							
9ビット	0	Don't care	-	-	-	FFER	FPER	DR	MPB	RDAT[8:0]								
	CCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-
8ビット	1	0	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-
9ビット	0	Don't care	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-

注.　MPB フラグ (RDR[9]) では常に 0 が読み出されます。
データ長 7 ビット選択時、RDAT[8:7]ビットから 0 が読み出されます。
データ長 8 ビット選択時、RDAT[8]ビットから 0 が読み出されます。

図 38.23　受信 FIFO (RDR) に格納されるデータフォーマット（FIFO 選択時）

FIFO 選択時、受信エラーを検出した場合の CSR レジスタの各ステータスフラグの状態と受信データの処理を表 38.31 に示します。図 38.24 と図 38.25 に、FIFO 選択時のシリアルデータ受信のフローチャートの例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込みます。
3. 通常の通信でオーバーランエラーが発生した場合、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. パリティエラーが検出された場合は、PER フラグと受信データが RDR レジスタへ転送されます。このとき、CCR0.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、FER フラグと受信データが RDR レジスタへ転送されます。このとき、CCR0.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
6. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分 0 であることが検出された場合、受信動作が停止します。
7. RDR レジスタに格納されたデータ数が、指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15 etu 経過しても次のデータが受信されていない場合は、FRSR.DR フラグが 1 になります。CCR0.RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCIn_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCIn_ERI 割り込み要求を発生させます。
8. 正常に受信したときは、受信データが RDR レジスタへ転送されます。RDR に書き込まれた受信データ数が、指定された受信トリガ数以上であると、RDRF ビットが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

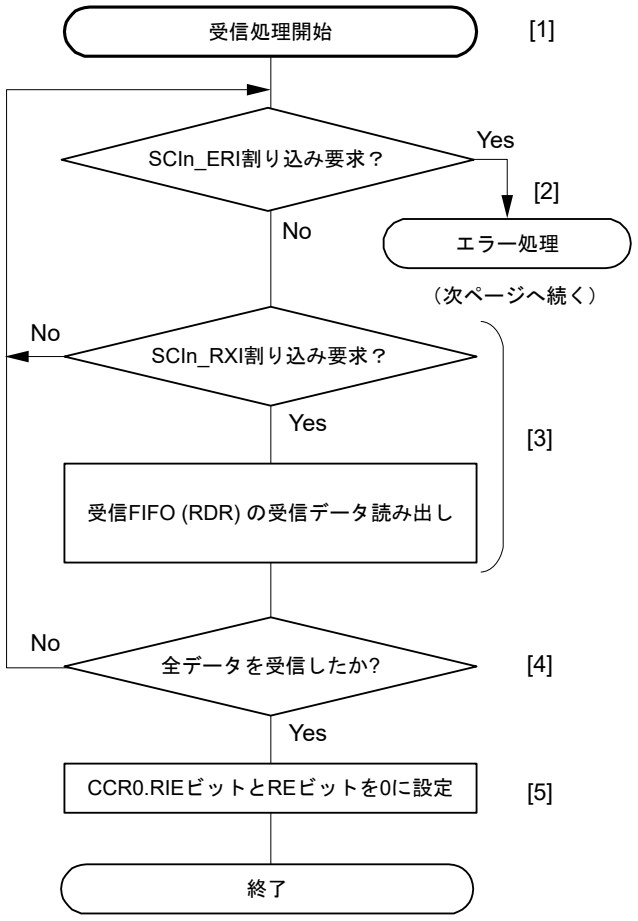
表 38.31　CSR ステータスレジスタのフラグの状態と受信データの処理（FIFO 選択時） (1/2)

CSR 値			受信 FIFO (RDR)	受信エラーの種類
ORER	FER(注1)	PER(注1)	RDAT[8:0]	
1	0	0	消失	オーバーランエラー

表 38.31　CSR ステータスレジスタのフラグの状態と受信データの処理（FIFO 選択時） (2/2)

CSR 値			受信 FIFO (RDR)	受信エラーの種類
ORER	FER(注1)	PER(注1)	RDAT[8:0]	
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	消失	オーバーランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー

注 1.　本フラグは、受信完了時に受信データのエラー有無を示します。



[1]　受信処理開始

[2]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。所定のエラー処理を行った後、必ずORERフラグ（注1）を0にしてください。ORERフラグが1の状態では受信を再開できません。PER、FER、またはDRフラグ（注1）が1であっても、受信動作は継続します。

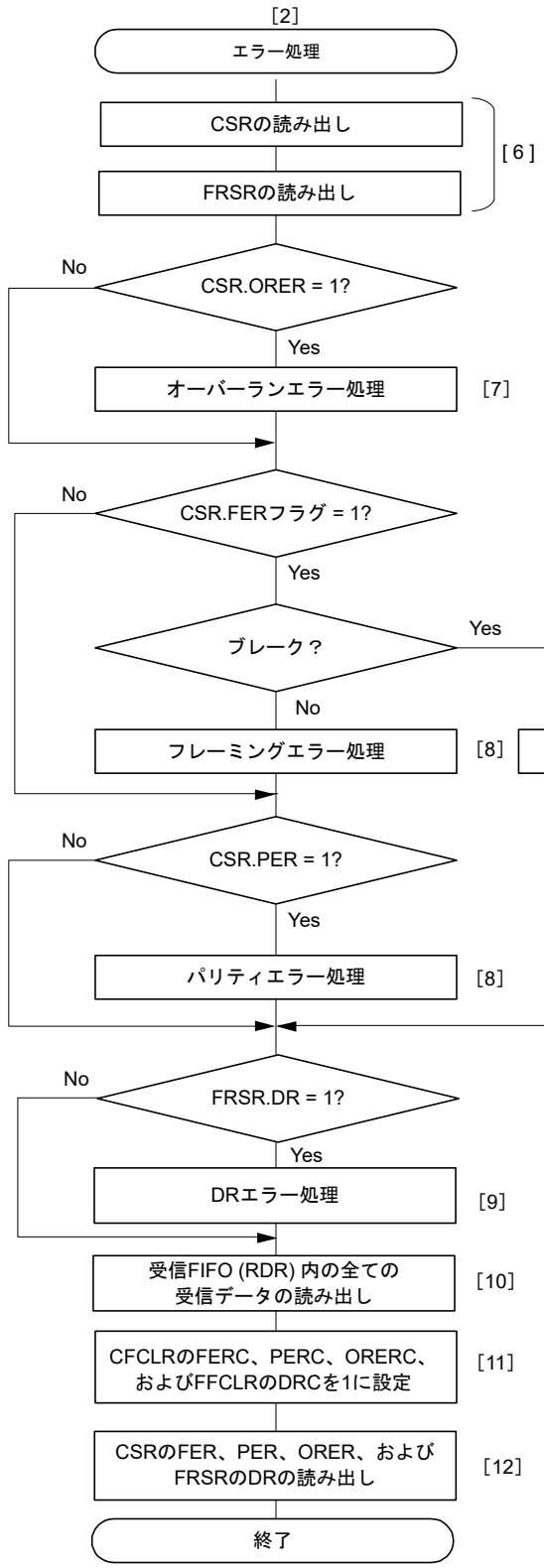
[3]　SCIn_RXI割り込み処理ルーチンで、受信FIFO (RDR) の受信データを読み出します。受信FIFO (RDR) に格納された受信データは、格納データ数がFCR.RTRGの値未満になるまで読み出されます。FRSR.R[5:0]でFIFO内の受信データ数を確認できます。

[4]　シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、SCIn_RXI割り込み処理ルーチンで受信FIFO (RDR) からデータを読み出して、CSR.RDRFフラグとFRSR.DRフラグを0にクリアします。DMAまたはDTCを起動することでも、受信FIFOのデータを読み出すことが可能です。この場合、RDRFフラグは自動的にクリアされるため、RDRFフラグには書き込まないでください。

[5]　CCR0.RIEビットとREビットを0に設定します。

注 1.　RDR.ORER、PER、FER、DR の各フラグによって読み出し可能です。

図 38.24　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(1)



[6]　受信エラーフラグの確認：
CSRとFRSRの読み出し
フラグを確認することでエラーを特定できます。

[7]　オーバーランエラー処理：
受信FIFO (RDR) を読み出し、受信FIFO (RDR) にスペースをつくります。

[8]　ブレーク処理：
CCR3.RXDESELが0のとき、受信FIFO (RDR) 内の受信データのうちで最新のものは、フレーミングエラーが発生し全てのデータビットが0のブレークデータです。このため、最新の受信データを破棄します。

[8]　フレーミングエラー処理／パリティエラー処理：
受信FIFO (RDR) に格納されたエラー発生データを全て読み出します。（あるいは、FCR.RFRSTビットに1を書き込んで受信FIFO (RDR) を空にします。）

[9]　DRエラー処理（FCR.DRESが1の場合）：
システムが必要とするエラー処理を実行します（たとえば、データ数管理用カウンタの設定など）。

[10]　受信FIFO (RDR) の全ての受信データを読み出します。

[11]　エラーフラグのクリア：
FER、PER、ORER、DRをクリアします。

[12]　エラーフラグのクリア確認：
FER、PER、ORER、DRがクリアされていることを確認します。

図 38.25　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出無効時）(2)

38.3.10 受信サンプリングタイミング調整機能（調歩同期式モード）

フォトカプラ通過後の波形で立ち上がり転送時間と立ち下がり転送時間の差がある場合、ビットの中間部分での受信サンプリングタイミングが受信マージンに影響します。この場合、この機能を利用することで受信サンプリングタイミングをビットの中間部分から最適なタイミングに調整できます。

受信サンプリングタイミングは、下記の式によりビットの中間部分から調整します。また、調整方向は CCR4.AJD ビットで設定されます。後方向に調整（CCR4.AJD ビット = 0）の場合は AJD = +1 とし、前方向に調整（CCR4.AJD ビット = 1）の場合は AJD = -1 とします。

調整後のサンプリングタイミング = ビットの中央 + AJD ×（基本クロック × CCR4.AST[2:0]ビットの設定値）

設定タイミングは、1 ビットごとの基本クロックサイクル数により制限されます。詳細は、表 38.32 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の受信動作の概要を図 38.26、図 38.27 と図 38.28 に、本機能の動作の説明を図 38.29 に示します。

立ち上がり転送時間と立ち下がり転送時間に差がない場合はこの機能を使用しないでください。受信マージンに悪影響を及ぼす可能性があります。

表 38.32 CCR4 レジスタの許容値（内部クロックを使用した調歩同期式モード）

CCR2.ABCSE	CCR2.ABCS	1 ビットごとの基本クロックサイクル数	CCR4 の許容値	
			CCR4.AJD	CCR4.AST
1	x	6	0	000b～010b(注1)
			1	
0	1	8	0	000b～011b(注1)
			1	
0	0	16	0	000b～111b
			1	

注. x: Don't care
注 1. CCR4.AST ビットの値が許容値を超えている場合、サンプリングはデフォルトのタイミングで行われます。（サンプリングの調整は行われません。）

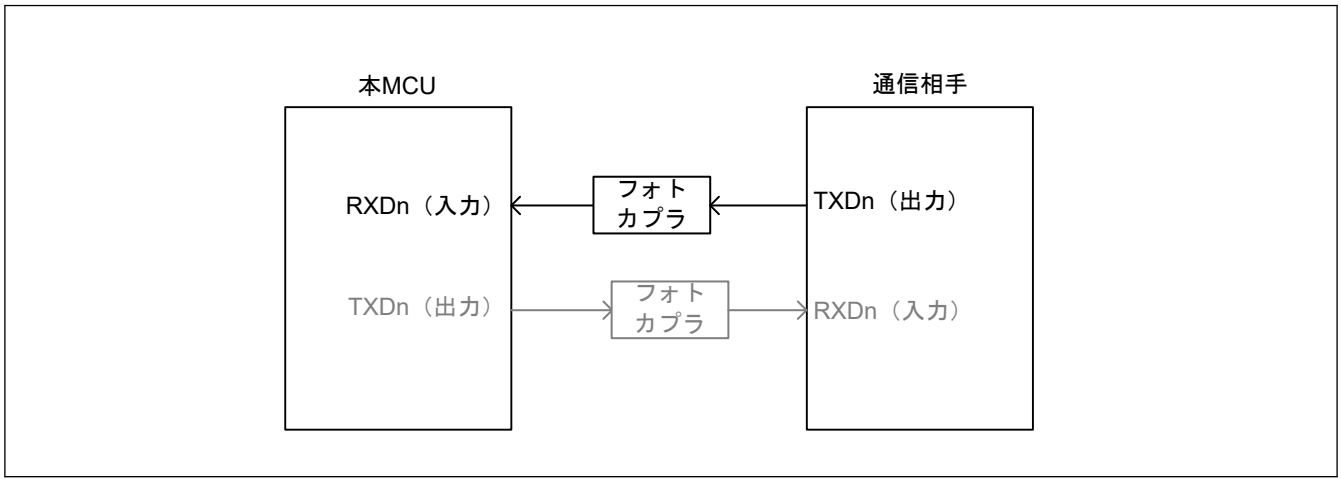
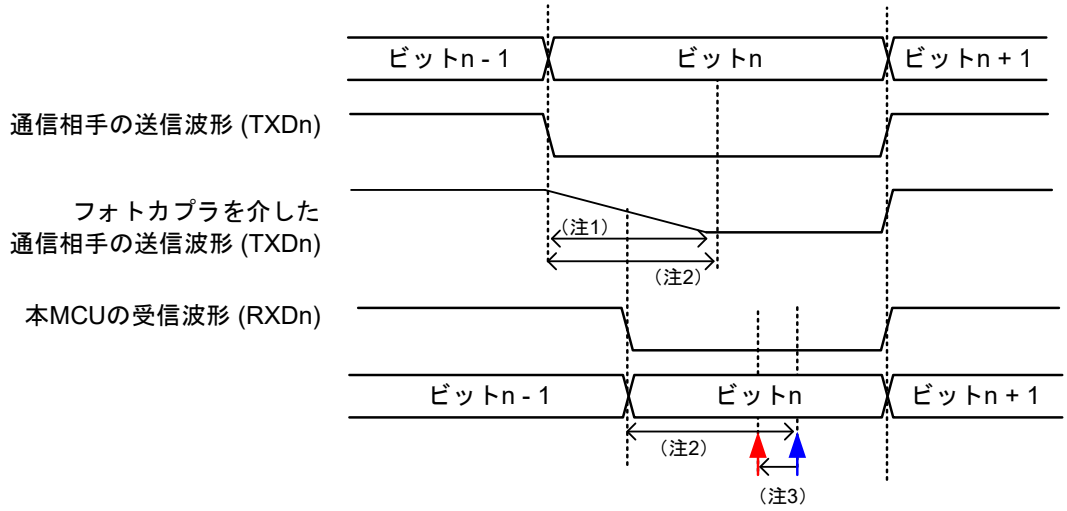


図 38.26 フォトカプラを通過する受信のブロック図イメージ

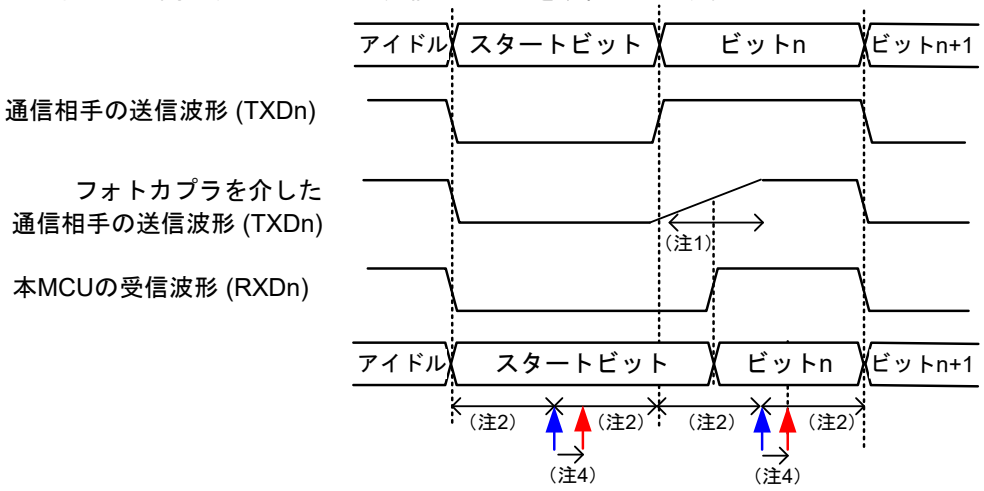
(a) 「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

受信波形の立ち下がりエッジは下図に示すように鈍くなります。この場合、受信サンプリングタイミングを前方向に調整すると (AJD = 1)、ビットの中間でサンプリング可能です。



(b) 「立ち下がり転送時間 << 立ち上がり転送時間」の場合

受信波形の立ち上がりエッジは下図に示すように鈍くなります。
したがって、受信相手の受信マージンは悪化します。この場合、受信サンプリングタイミングを後方向に調整することにより受信マージンを改善できます。



未調整時の受信サンプリングタイミング
（ビットの中間部分）

調整後の受信サンプリングタイミング

注.　この波形は受信サンプリングタイミング調整の動作イメージを示します。
注 1.　フォトカプラの不感時間設定
注 2.　通信レートでのビット中央タイミング
注 3.　CCR4.AJD が 1 の場合、受信サンプリングタイミングを、CCR4.AST[2:0]ビットの設定値により前方向にシフトします。
注 4.　CCR4.AJD が 0 の場合、受信サンプリングタイミングを、ACTR.AST[2:0]ビットの設定値により後ろ方向にシフトします。

図 38.27　フォトカプラを通過する通信の受信動作の概要

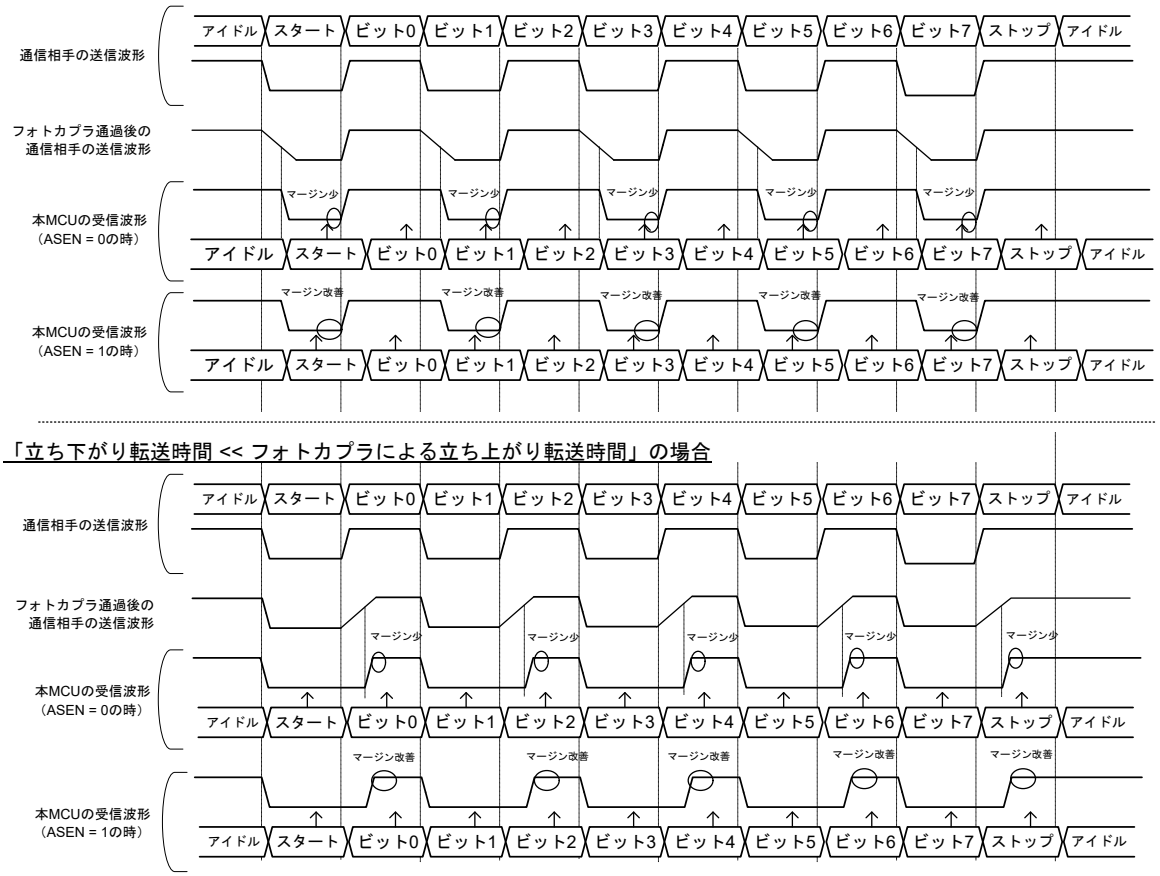


図 38.28　受信サンプリングタイミング調整機能による受信マージン向上の例

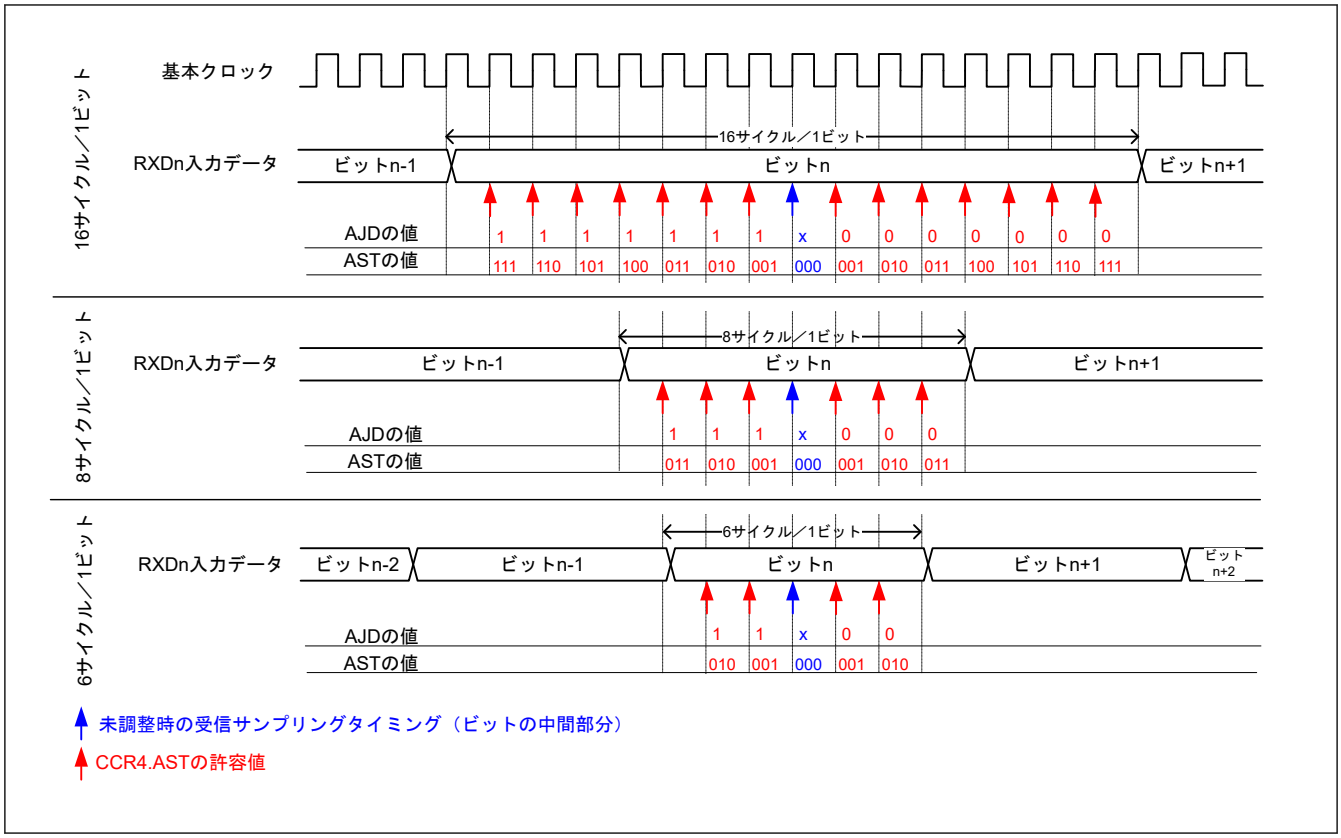


図 38.29　受信サンプリングタイミングの調整動作の概要（内部クロックを使用した調歩同期式モード）

38.3.11　送信タイミング調整機能（調歩同期式モード）

フォトカプラなどを経由した通信では、TXDn 出力信号の立ち上がりまたは立ち下がりの遷移時間が長い場合に、通信先で受信する波形が鈍くなります。この場合、受信マージンに影響する可能性があります。

このような場合は、通信先で送信タイミング調節機能を使用してビットの中間部分でサンプリングするようにします。

CCR4.ATEN ビットが 1 の場合に、この機能により、CCR4.AET ビットで設定されたエッジに対してエッジタイミングを次の式で算出されるタイミングに調整できます。

調整エッジタイミング = 基本クロック × CCR4.ATT[2:0]

さらに、調節エッジタイミングの上限は基本クロックの設定によって制限されます。詳細は、表 38.33 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の送信動作イメージ図を図 38.30、図 38.31 と図 38.32 に、本機能の動作の概要を図 38.33 と図 38.34 に示します。

立ち上がり転送時間と立ち下がり転送時間に差がない場合はこの機能を使用しないでください。通信相手の受信マージンに悪影響を及ぼす可能性があります。

表 38.33　CCR4.AET と CCR4.ATT の許容値（内部クロックを使用した調歩同期式モード） (1/2)

ABCSE2	ABCSE	ABCS	1 ビットごとの基本クロックサイクル数	許容値	
				AET	ATT [2:0]
1	0	x	4	0	000～011
				1	
0	1	x	6	0	000～101
				1	
0	0	1	8	0	000～111
				1	

表 38.33 CCR4.AET と CCR4.ATT の許容値（内部クロックを使用した調歩同期式モード） (2/2)

ABCSE2	ABCSE	ABCS	1 ビットごとの基本クロックサイクル数	許容値	
				AET	ATT [2:0]
0	0	0	16	0	000～111
				1	

注. x: Don’t care
注. ACTR.AET または ATT の値が許容範囲内にない場合、この SCI モジュールは送信タイミングの調整を行いません。

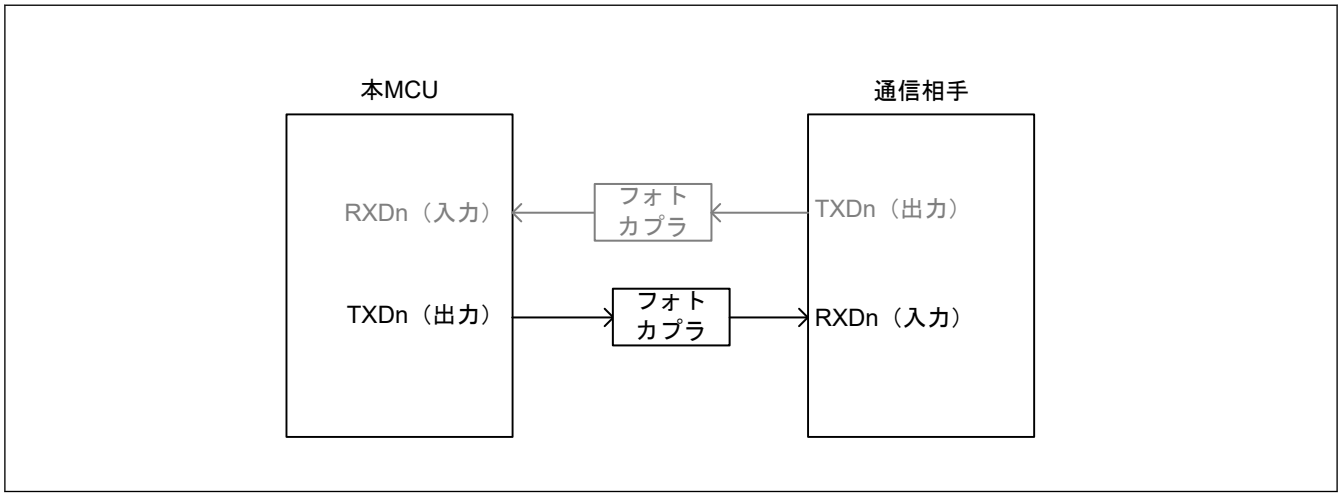
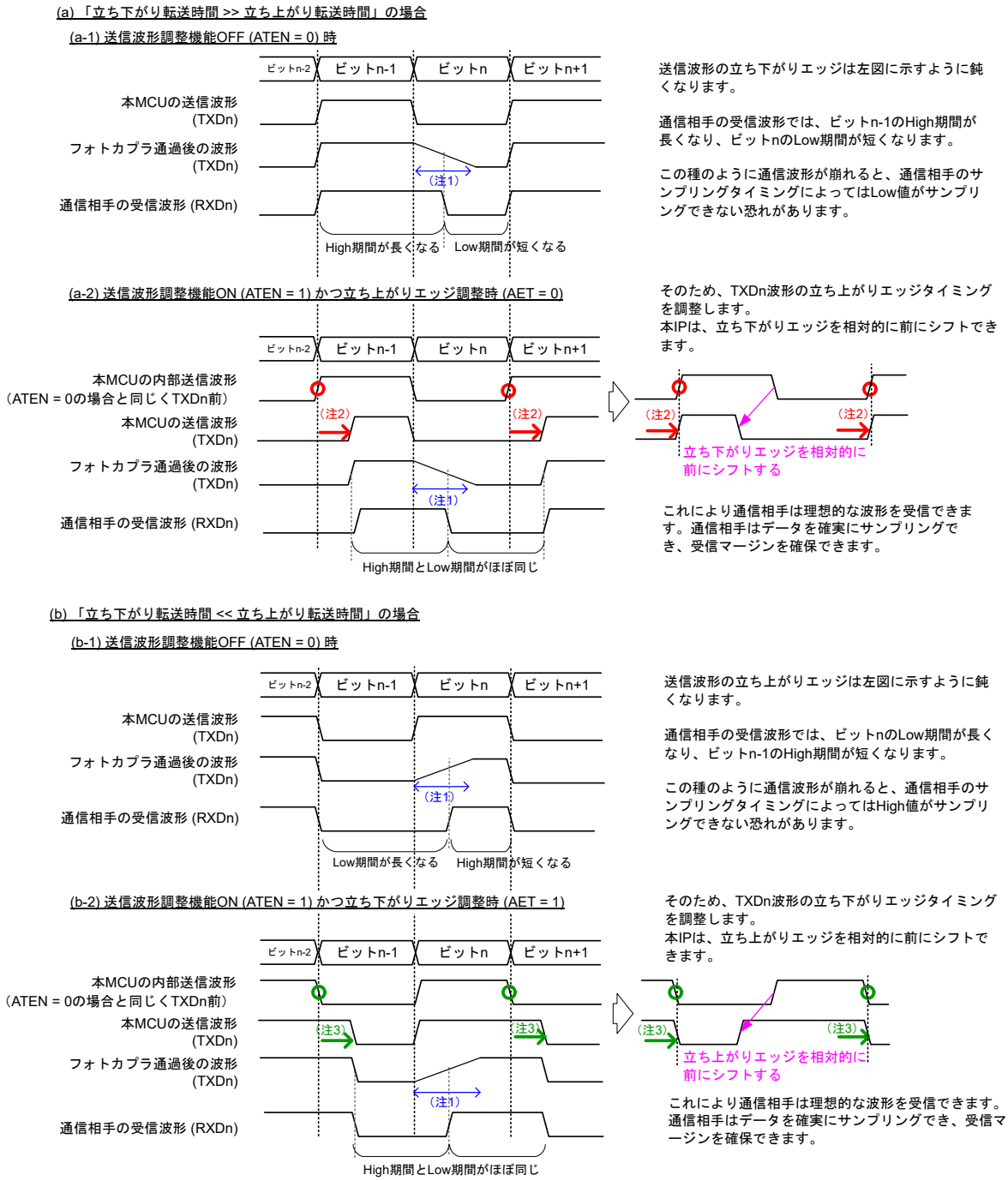


図 38.30 フォトカプラを通過する送信のブロック図イメージ



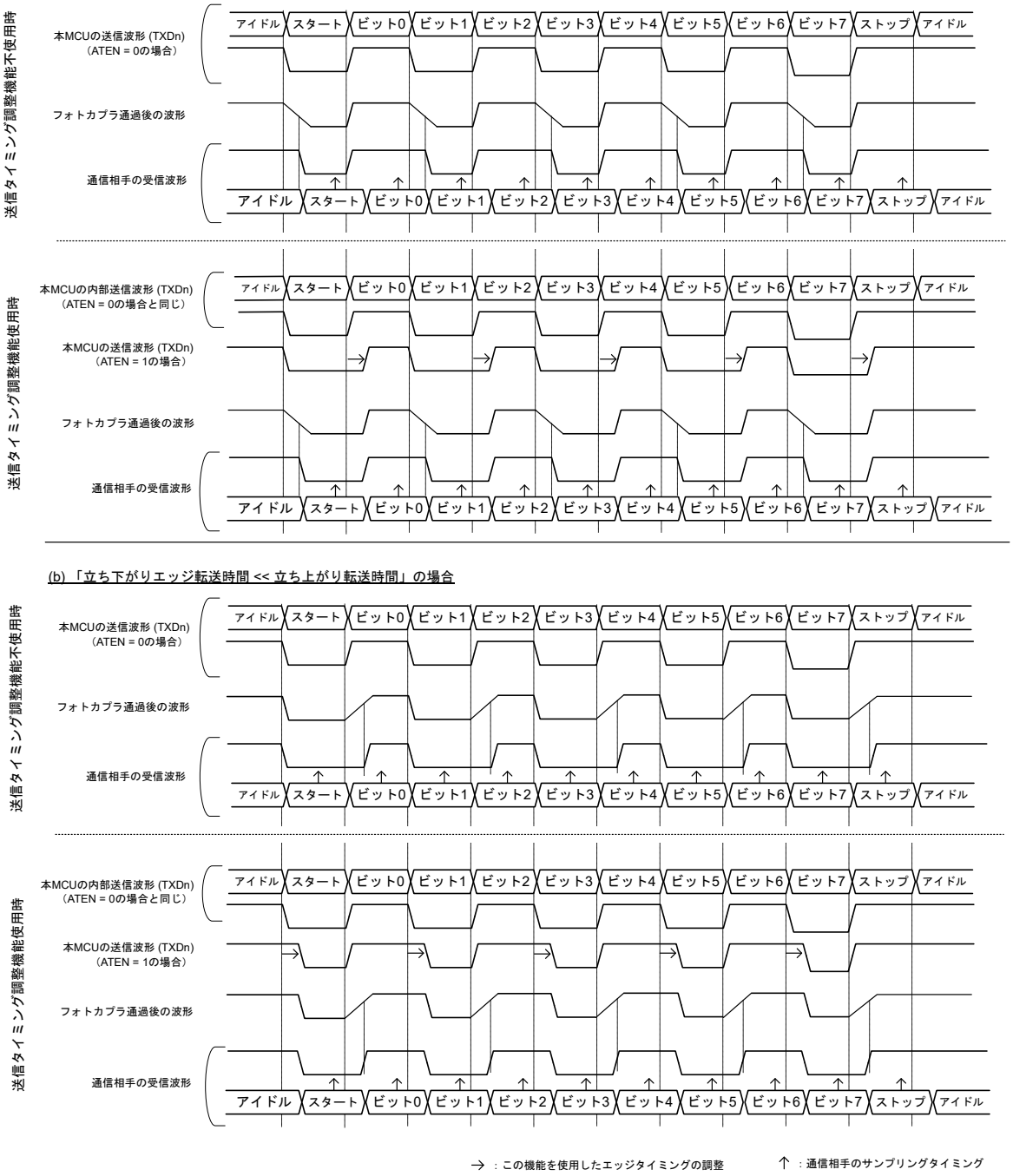
注.　この波形は送信タイミング調節の動作イメージを示します。
注 1.　フォトカプラの不感時間
注 2.　CCR4.AET が 0 の場合、送信波形タイミングの立ち上がりエッジが、CCR4.ATT[2:0]の設定値により後ろにシフトされます。この MCU 送信波形は、立ち下がりエッジを相対的に前にシフトします。
注 3.　CCR4.AET が 1 の場合、送信波形タイミングの立ち下がりエッジが、CCR4.ATT[2:0]の設定値により後ろにシフトされます。この MCU 送信波形は、立ち上がりエッジを相対的に前にシフトします。

図 38.31　フォトカプラを通過する通信の送信動作の概要

送信タイミング調整機能使用時のフォトカプラを経由した通信の送信波形の説明

送信タイミング調整機能の使用時は、送信波形のエッジタイミングを調整し、通信相手の受信波形を補正してください。
次の例は、8ビット長のデータの場合です。

(a) 「立ち下がりエッジ転送時間 >> 立ち上がり転送時間」の場合



(b) 「立ち下がりエッジ転送時間 << 立ち上がり転送時間」の場合

→ ：この機能を使用したエッジタイミングの調整　　↑ ：通信相手のサンプリングタイミング

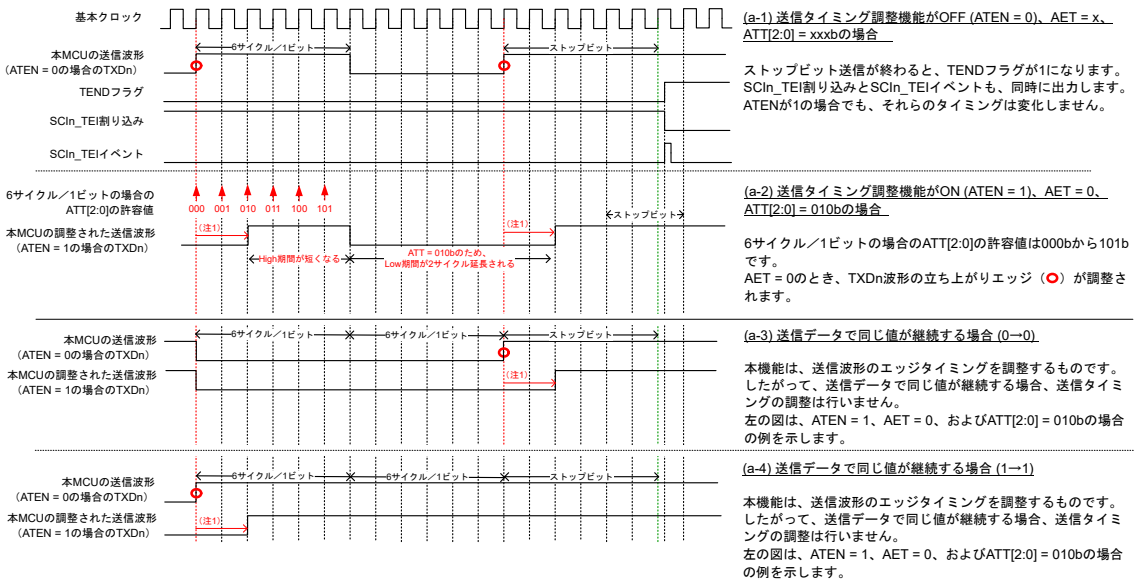
図 38.32　フォトカプラを経由する送信波形の説明

送信タイミング調整動作の説明

(a)「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

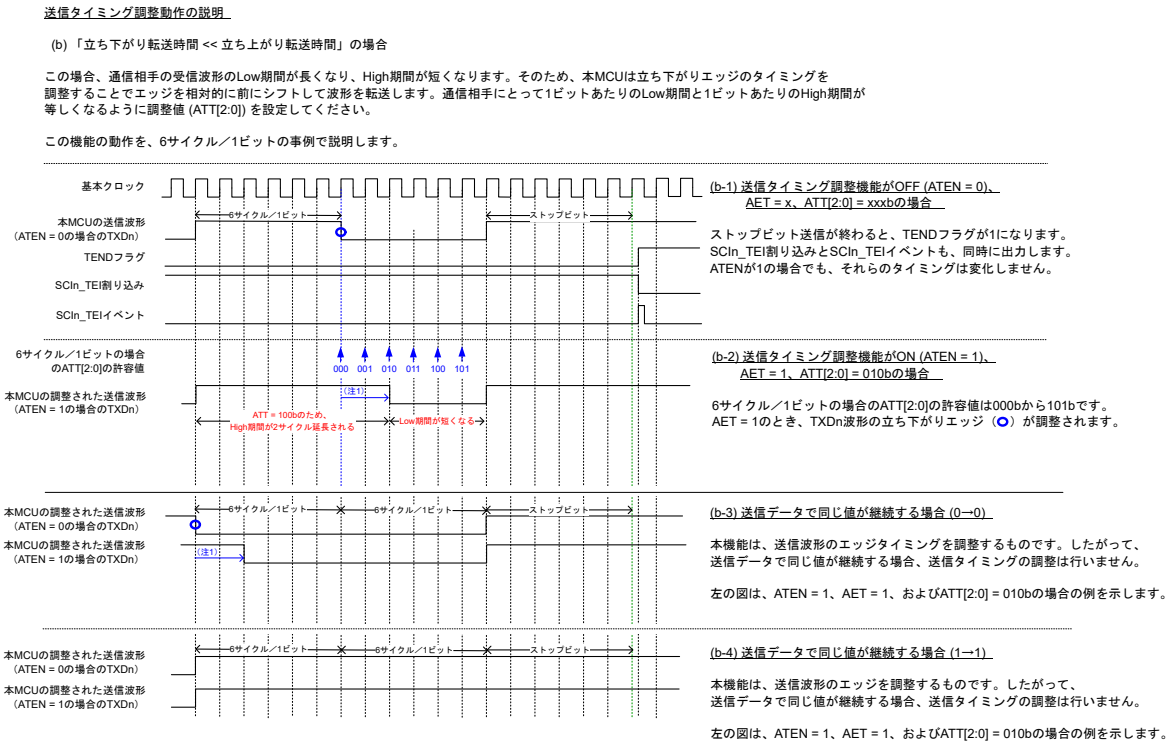
この場合、通信相手の受信波形のHigh期間が長くなり、Low期間が短くなります。そのため、本MCUは立ち下がりエッジのタイミングを調整することでエッジを相対的に前にシフトして波形を転送します。通信相手にとって1ビットあたりのLow期間と1ビットあたりのHigh期間が等しくなるように調整値 (ATT[2:0]) を設定してください。

この機能の動作を、6サイクル／1ビットの事例で説明します。



注 1.　送信タイミング立ち上がりエッジを、CCR4.ATT[2:0]ビットの設定値により後ろにシフトします。

図 38.33　AET が 0 の場合の送信タイミング調節動作の説明



注 1. 送信タイミング立ち下がりエッジを、CCR4.ATT[2:0]ビットの設定値により後ろにシフトします。

図 38.34 AET が 1 の場合の送信タイミング調節動作の説明

38.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間でデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 38.35 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードに 1 を設定したマルチプロセッサビットを付加した通信データを送信します。続いて、送信データに 0 を設定したマルチプロセッサビットを付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、マルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

1 対多通信に対応する機能であるため、RTS 制御はマルチプロセッサ通信機能では使用できません。

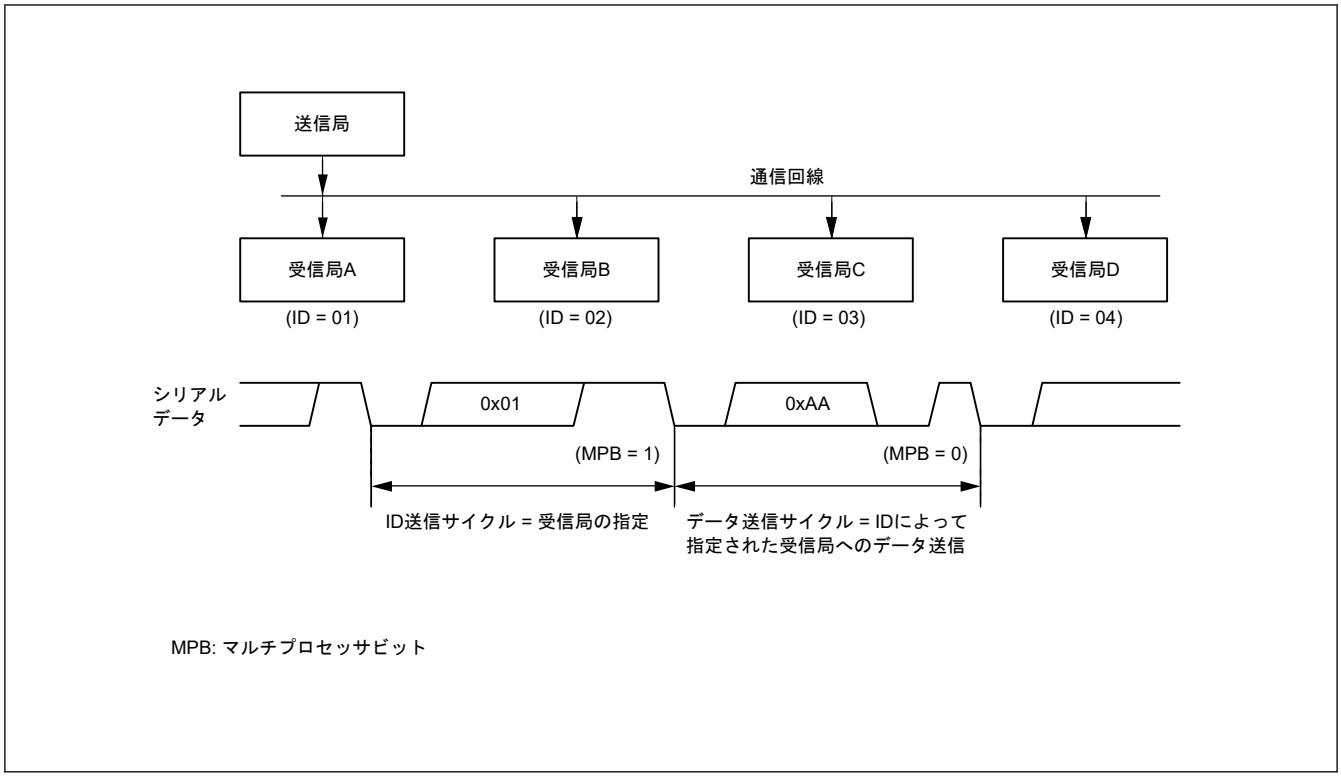


図 38.35　マルチプロセッサフォーマットを使用した通信例（データ 0xAA を受信局 A に送信する場合）

(1) 非 FIFO 選択時

SCI はこの機能をサポートするため、CCR0.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタへの受信データの転送
- 受信エラーの検出
- CSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 のキャラクタを SCI が受信すると、RDR.MPB ビットが 1 になるとともに、CCR0.MPIE ビットが自動的にクリアされ、SCI は非マルチプロセッサ受信動作に戻ります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、非マルチプロセッサの調歩同期式モードの動作と変わりません。マルチプロセッサ通信に使用されるクロックは、非マルチプロセッサの調歩同期式モードで使用するクロックと同一です。

(2) FIFO 選択時

データ送信では、ソフトウェアにおいて、TDR.TDAT 内の送信データに対応する TDR.MPBT（マルチプロセッサビット転送）ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが RDR.MPB ビットに書き込まれ、受信データは RDR.RDAT レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR.RDAT レジスタへの受信データの転送
- 受信エラーの検出
- DR の検出
- CSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

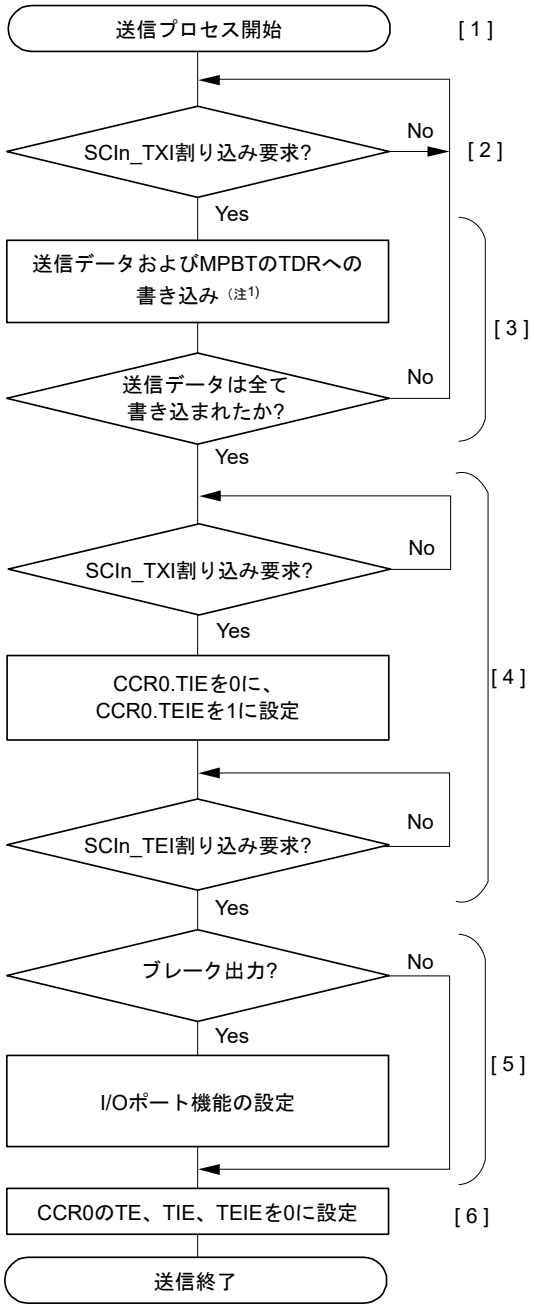
マルチプロセッサビットが 1 のキャラクタを SCI が受信すると、RDR.MPB ビットが 1 になるとともに、受信データが受信 FIFO (RDR.RDAT) に書き込まれます。CCR0.MPIE ビットが自動的にクリアされ、SCI は通常の受信動作に戻ります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は通常の調歩同期式モードの FIFO 選択時と変わりません。

38.4.1　マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 38.36 に、マルチプロセッサデータ送信のフロー例を示します。ID 送信サイクルでは、TDR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。



[1]　送信プロセス開始

[2]　SCIn_TXI 割り込み要求:
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、次の条件が成立したときです。
CCR0のTEとTIEが同時に0になる。
TDRからTSRへ送信データが転送される。

[3]　シリアル送信の継続手順:
シリアル送信を継続するときには、SCIn_TXIを使用して送信データとMPBT設定値を1回TDR（注1）に書き込みます。
送信データとMPBT設定値は、DMACまたはDTCを起動することでも書き込むことができます。

[4]　SCIn_TEIを使用する場合は、最後の送信データがTDR (注1) に書き込まれて送信が開始した後に、TIEに0を、TEIEに1を設定します。

[5]　シリアル送信終了時のブレーク出力:
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
（これらのビットを初期化時に設定する場合はこのステップを省略できます。）

[6]　CCR0のTE、TIE、TEIEを0に設定

注 1.　データ長 9 ビットまたは MPBT ビットへの書き込みでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

図 38.36　マルチプロセッサシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

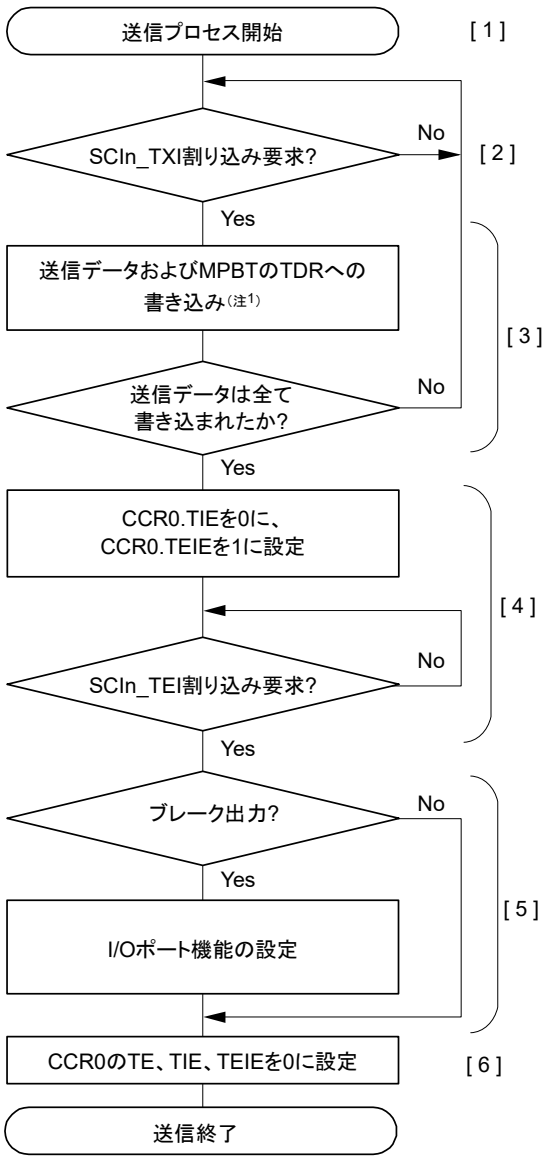
図 38.37 に、マルチプロセッサモードにおいて送信 FIFO (TDR) に書き込まれるデータフォーマットの例を示します。TDR.MPBT ビットは 1 になります。適切なデータ長のデータが送信 FIFO (TDR) レジスタに書き込まれます。使用しないビットには 0 を書いてください。

データ長	レジスタ設定		TDR[15:0]内の送信データ															
	CCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	–	–	–	–	–	–	MPBT	–	–	TDAT[6:0]						
8ビット	1	0	–	–	–	–	–	–	MPBT	–	TDAT[7:0]							
9ビット	0	Don't Care	–	–	–	–	–	–	MPBT	TDAT[8:0]								

注. —：無効。書く場合、0 としてください。

図 38.37 マルチプロセッサモードにおいて送信 FIFO (TDR) レジスタに書き込まれるデータフォーマット（FIFO 選択時）

図 38.38 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、TDR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1] 送信プロセス開始
送信開始時のSCIn_TXI割り込みを有効にするため、1回の命令でCCR0のTEとTIEを同時に1にします。
また、CCR3のFMとMPを1にします。

[2] SCIn_TXI割り込み要求:
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、送信データが送信FIFO (TDR) からTSRへ転送される際に、送信FIFOに書き込まれる送信データ数が送信FIFOのしきい値以下の場合です。

[3] シリアル送信の継続手順:
シリアル送信を継続するときには、SCIn_TXI割り込みを使用して全ての送信データとMPBT設定値を送信FIFO (TDR) に書き込みます。送信データとMPBT設定値は、DMACまたはDTCを起動することでも送信FIFO (TDR) に書き込むことができます。

[4] SCIn_TEIを使用する場合は、最後の送信データがTDR(注1)に書き込まれた後に、TIE = 0とTEIE = 1を設定します。

[5] シリアル送信終了時のブレーク出力:
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
(これらのビットを初期化時に設定する場合はこのステップを省略できます。)

[6] CCR0のTE、TIE、TEIEを0に設定

注 1. データ長 9 ビットまたは MPBT ビットへの書き込みでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

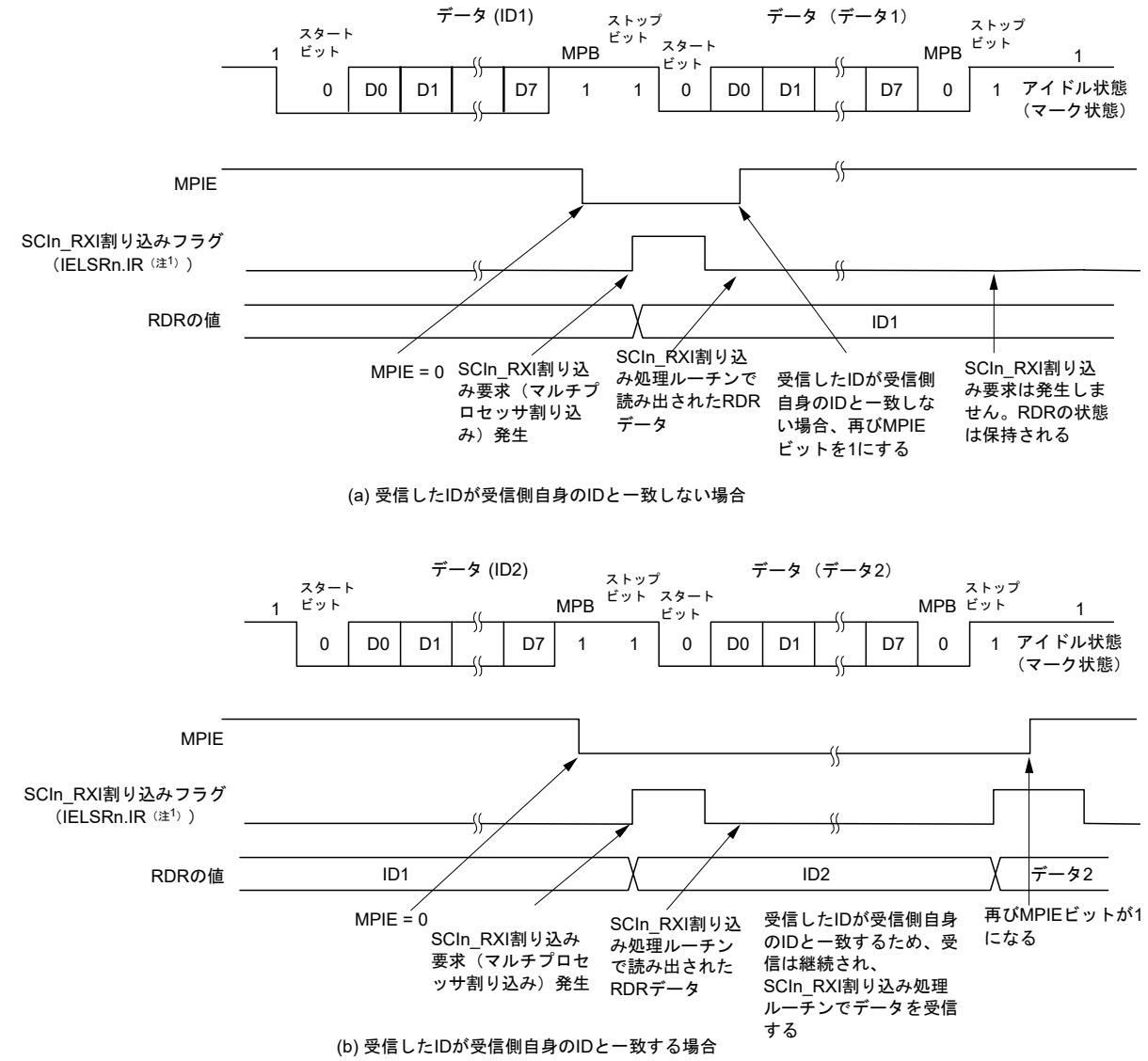
図 38.38 マルチプロセッサモードにおけるシリアル送信のフローチャート例（FIFO 選択時）

38.4.2 マルチプロセッサシリアルデータ受信

(1) 非 FIFO 選択時

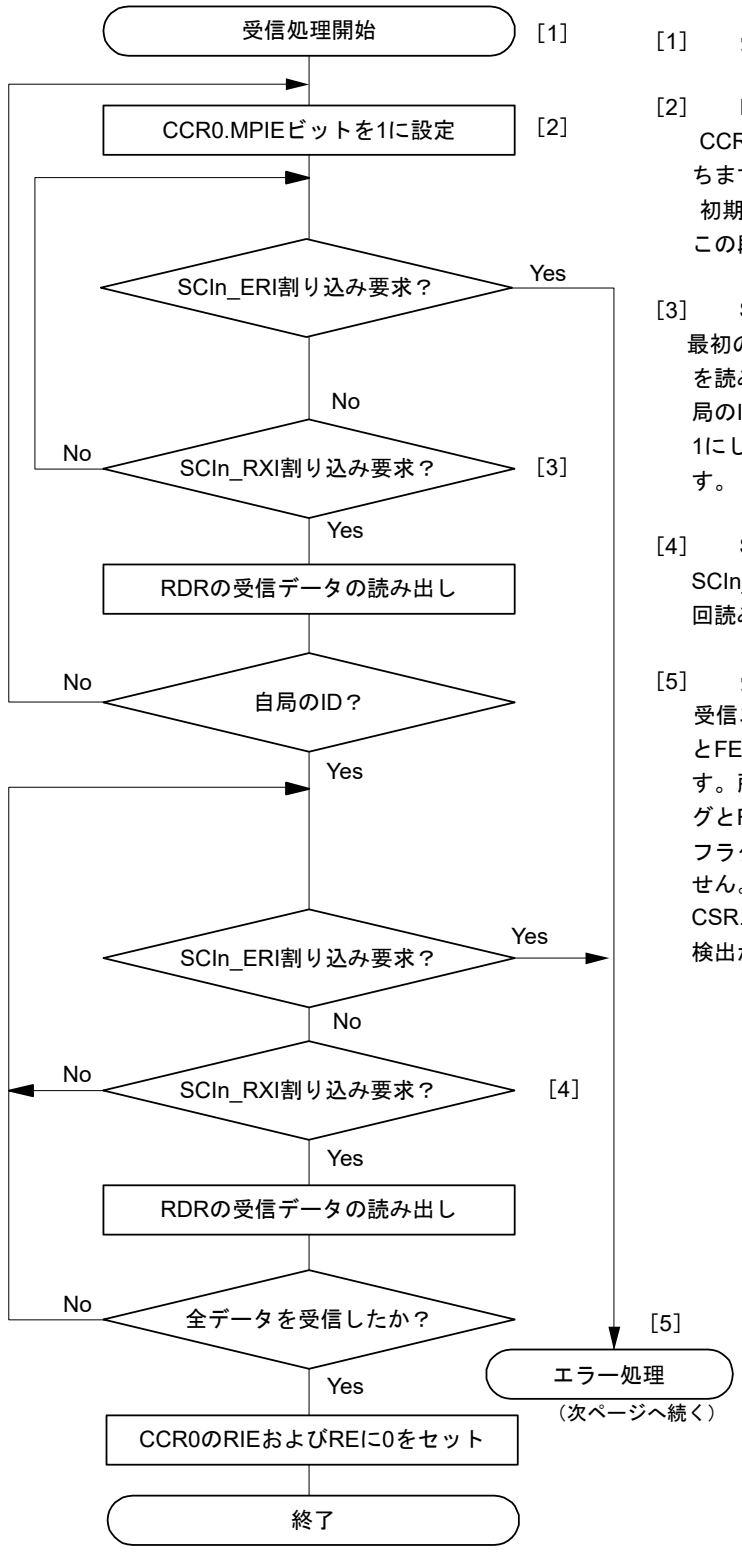
図 38.40 と図 38.41 に、マルチプロセッサシリアル受信のフローチャート例を示します。CCR0.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタへ転送され、SCIn_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。

図 38.39 に、データ受信時の動作例を示します。



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.39 SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの場合）



[1]　受信処理開始

[2]　ID受信サイクル：
CCR0.MPIEビットを1に設定して、IDの受信を待ちます。
初期化［1］の時にこのビットを設定する場合は、この段階を省略できます。

[3]　SCIステータス確認およびIDの受信と比較：
最初のSCIn_RXI割り込みでRDRレジスタのデータを読み出して、それを自局のIDと比較します。自局のIDと一致しなかった場合、再びMPIEビットを1にして、次のSCIn_RXI割り込み要求を待ちます。

[4]　SCIn_RXI割り込みでのデータ受信：
SCIn_RXI割り込みルーチンで、RDRのデータを1回読み出します。

[5]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、CSRのORERフラグとFERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずORERフラグとFERフラグをクリアしてください。これらのフラグのいずれかが1の状態では受信を再開できません。フレーミングエラーの発生時、CSR.RXDMONビットを読み出すことでブレークの検出が可能です。

図 38.40　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(1)

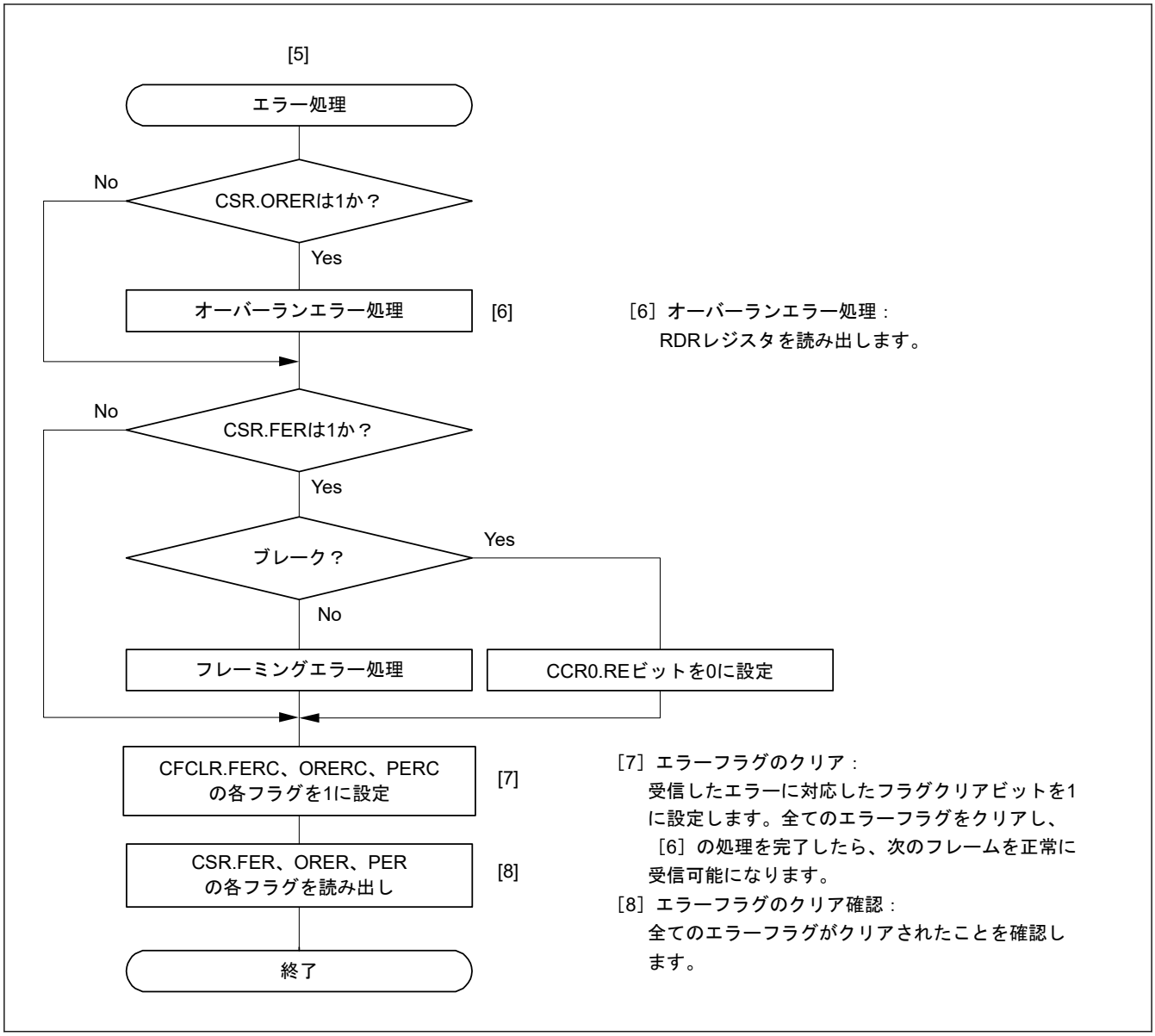


図 38.41　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(2)

(2) FIFO 選択時

図 38.42 に、マルチプロセッサモードにおいて受信 FIFO (RDR) に書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が RDR.MPB ビットに書き込まれます。RDR.FPER フラグおよび PER フラグに 0 が書き込まれます。適切なデータ長のデータが受信 FIFO (RDR) レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。ソフトウェアが受信 FIFO (RDR) レジスタを読み出すと、SCI は RDR.FFER、FPER、MPB の各フラグ、および受信 FIFO (RDR) レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。受信 FIFO (RDR) レジスタ内の FER、PER、ORER の各フラグは、常に CSR レジスタと FRSR レジスタ内の対応するフラグを反映しています。

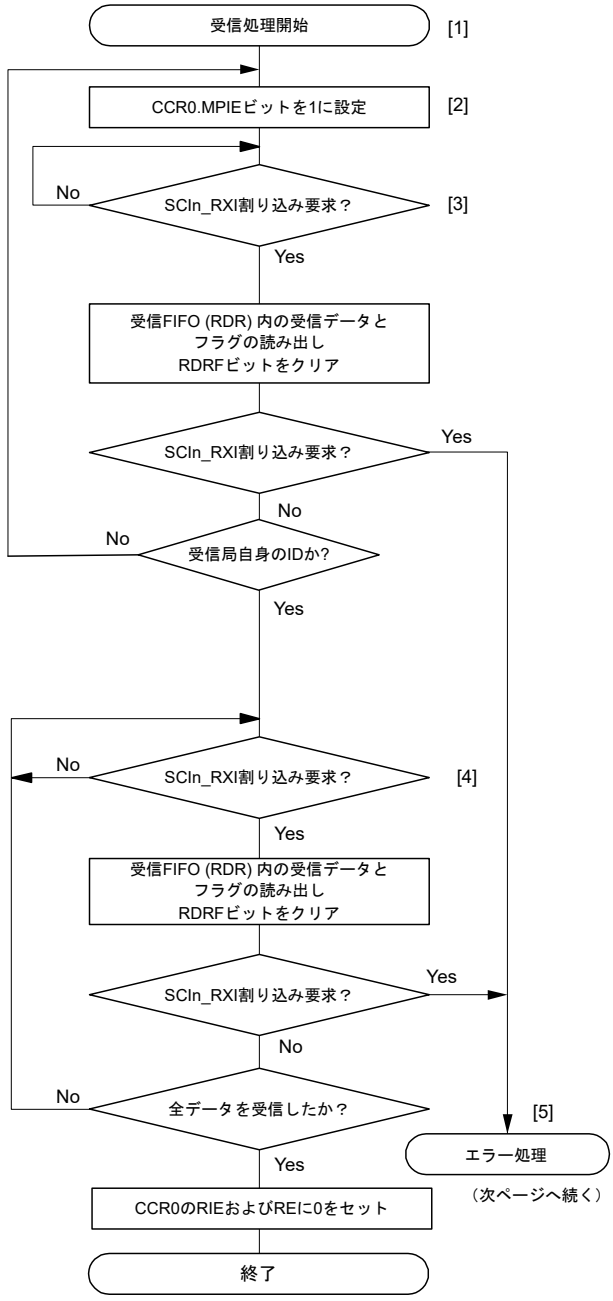
データ長	レジスタ設定 CCR3.CHR[1:0]		RDR[31:0]内の受信データ b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	0	0	0	FFER	FPER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	0	0	0	FFER	FPER	DR	MPB	0	RDAT[7:0]							
9ビット	0	Don't Care	0	0	0	FFER	FPER	DR	MPB	RDAT[8:0]								
データ長	CCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	0	0	0	FER	PER	0	0	ORER	0	0	0	0	0	0	0	0
8ビット	1	0	0	0	0	FER	PER	0	0	ORER	0	0	0	0	0	0	0	0
9ビット	0	Don't Care	0	0	0	FER	PER	0	0	ORER	0	0	0	0	0	0	0	0

注. データ長が 7 ビットの場合、RDAT[8:7]は常に 0 が読み出されます。
データ長が 8 ビットの場合、RDAT[8]は常に 0 が読み出されます。

図 38.42 マルチプロセッサモードにおいて受信 FIFO (RDR) に格納されるデータフォーマット（FIFO 選択時）

図 38.43 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。CCR0.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが受信 FIFO (RDR) レジスタへ転送されます。CCR0.MPIE ビットは自動的にクリアされ、通常の受信動作が継続します。

フレーミングエラーが発生して CSR.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1]　受信処理開始
MPの検出でSCIn_RXI割り込み要求を発生させるには、FCR.RTRGビットに1を、FCR.DRESビットに0を設定してください。

[2]　ID受信サイクル：
CCR0.MPIEビットを1にして、IDの受信を待ちます。このビット設定を初期化［1］時に行う場合、このステップは省略できます。

[3]　SCIステータス確認およびIDの受信と比較：
MPBビットが1の通信データを受信するまで、通信データを読み飛ばします。このとき、MPBビットが1のデータを受信すると、SCIn_XRI割り込み要求が発生します。SCIn_RXI割り込み要求を受信したとき、受信したFIFO（RDRレジスタ）のデータを読み出し、自局IDと比較します。それが自局IDでない場合、再びMPIEビットを1にして、次のSCIn_RXI割り込み要求を待ちます。自局IDであれば、受信FIFOしきい値を必要な値に設定します。

[4]　SCIn_RXI割り込みでのデータ受信：
FIFOのしきい値を超える数の受信データが受信FIFO（RDRレジスタ）に格納されると、CSR.RDRFビットが1になり、SCIn_RXI割り込み要求が発生します。また、受信FIFO（RDRレジスタ）に格納された受信データの数が1以上でありかつFIFOのしきい値より小さい場合、15 etu経過後にFRSR.DRビットが1になり、SCIn_RXI割り込み要求が発生します。SCIn_RXI割り込みルーチンが、受信FIFO（RDRレジスタ）からデータを読み出します。

[5]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、CSRのORERフラグとFERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずORERフラグとFERフラグをクリアしてください。 フレーミングエラーの場合、RXDn端子の値を読み出すことでブレークを検出できます。

図 38.43　マルチプロセッサモードにおけるシリアル受信のフローチャート例（FIFO 選択時）

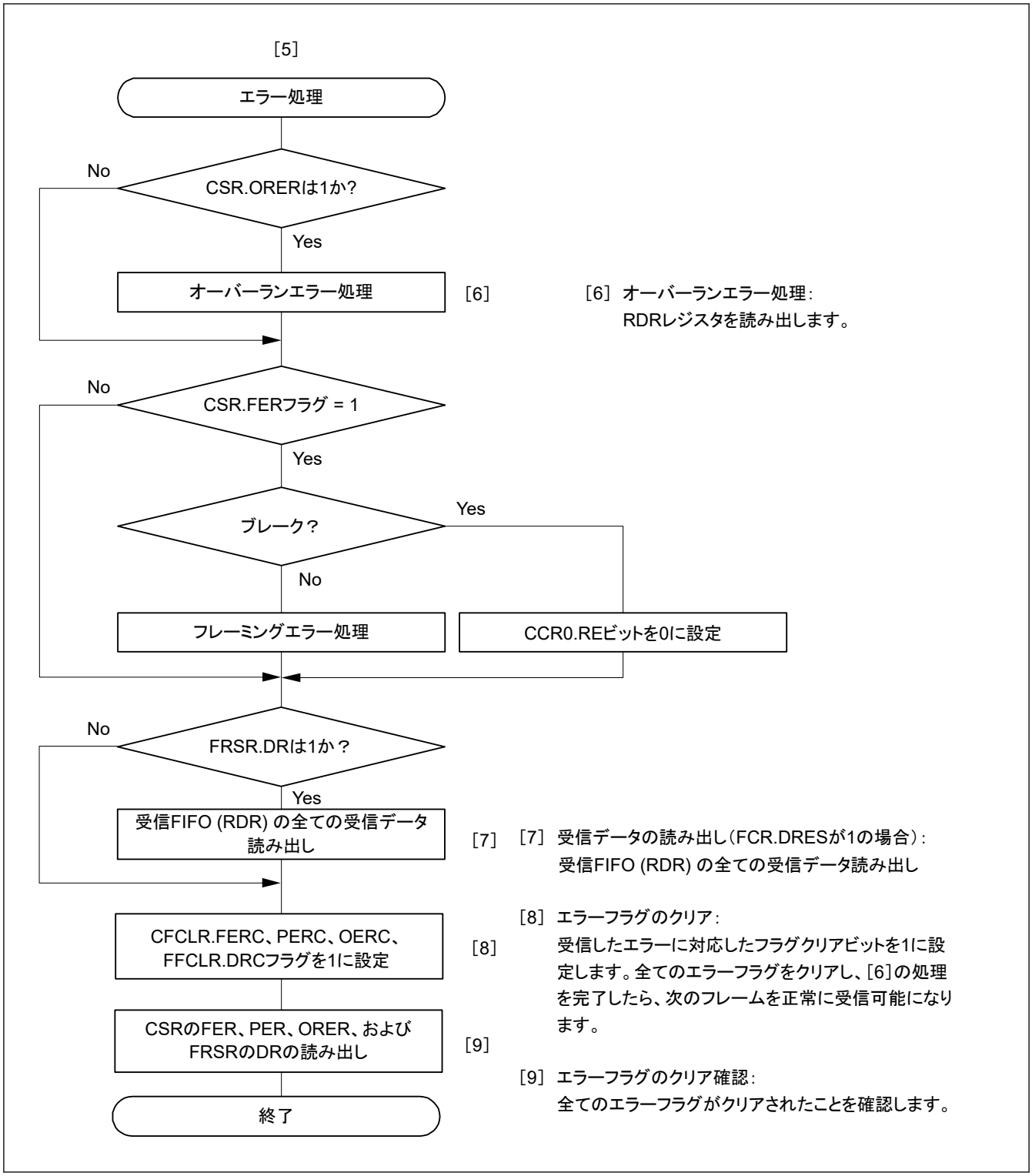


図 38.44 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (2)（FIFO 選択時）

38.5 マンチェスタモードの動作

マンチェスタモードにおいては、受信または送信されるシリアルデータはマンチェスタエンコードによってコード化されます。

図 38.45 にマンチェスタエンコードのイメージを示します。

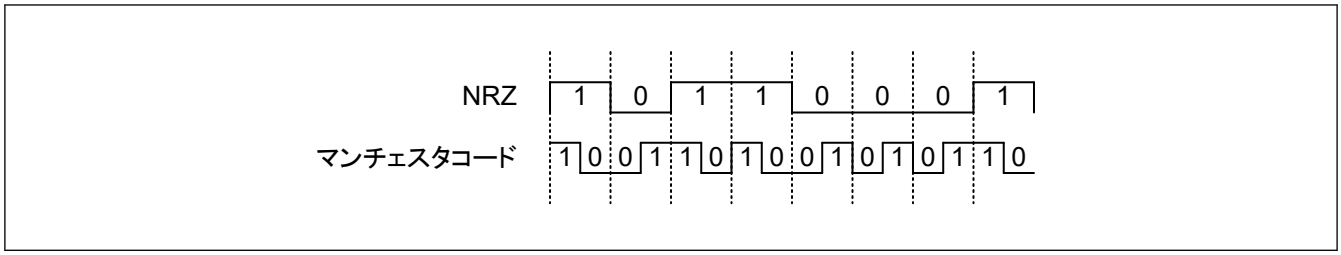


図 38.45　マンチェスタエンコードの例

マンチェスタモードでは、プレフィスとスタートビット領域がレジスタ内の送信データに追加され、送信フレームが構成されます。送信時に、データはマンチェスタエンコードでコード化されます。データが受信される時に、送信フレームと同じフォーマットのフレームが検出され、マンチェスタデコードが行われます。

フレームフォーマットの詳細については、「38.5.1. フレームフォーマット」を参照してください。

38.5.1　フレームフォーマット

図 38.46 にマンチェスタモードでのフレームフォーマットを示します。

図の上半分に関係する設定レジスタを示します。

プレフィス領域とデータ領域はマンチェスタエンコーディングでコーディングされます。

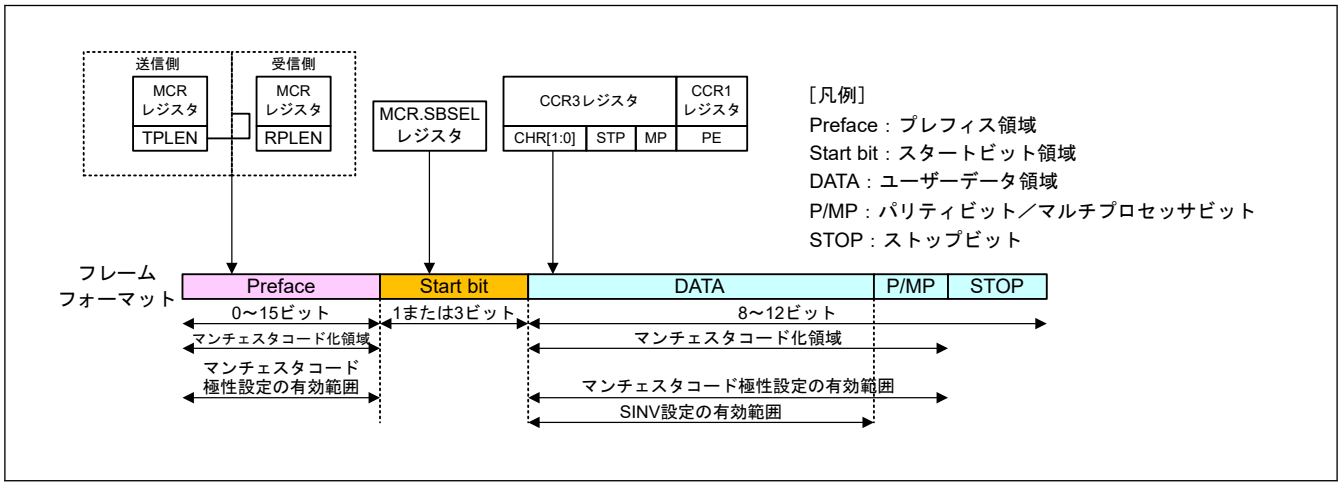


図 38.46　マンチェスタモードでのフレームフォーマット

(1)　プレフィス領域

この領域は固定パターンであり、各フレームの先頭に位置しています。

プレフィス領域の送信と受信の設定のためにいくつかのレジスタが使用されます。送信時のプレフィス長は MCR.TPLEN[3:0]の設定で決まります。受信については MCR.RPLEN[3:0]の設定で決まります。

0 に設定されると、送信プレフィスは無効になり付加されません。

1d～15d に設定されると、この設定で決まる長さのプレフィスが付加されます。

（例えば 1d に設定されると 1 ビット長のプレフィスが付加されます。15d に設定されると 15 ビット長のプレフィスが付加されます。）

送信時と受信時のプレフィスパターンは、それぞれ MCR.TPPAT[1:0]と MCR.RPPAT[1:0]により 4 パターンから選択されます。

図 38.47 にプレフィスがどのように設定されるかを示します。プレフィス領域とスタートビット領域が各通信フレームに付加されます。

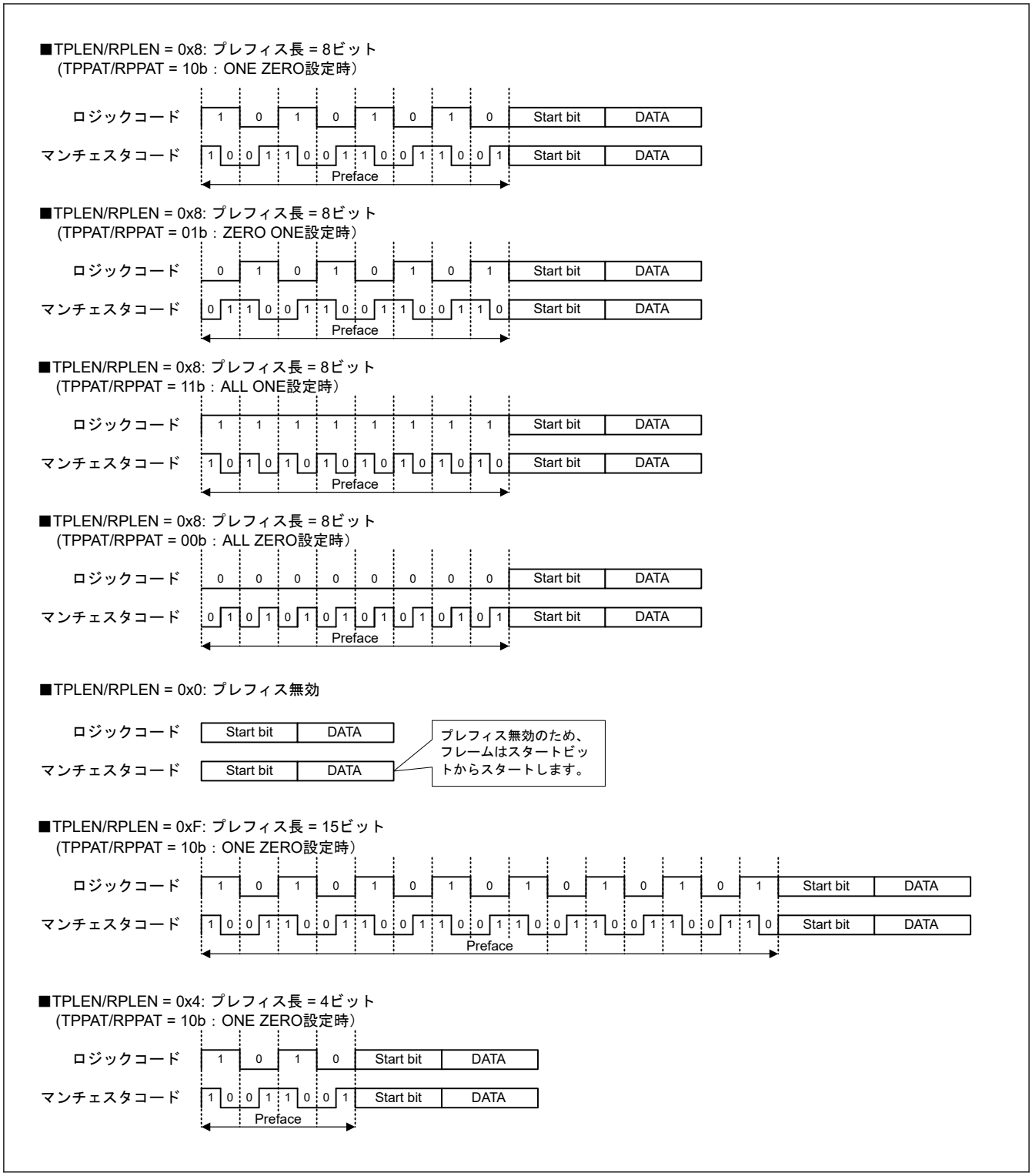


図 38.47　プレフィスパターンの設定例

(2)　スタートビット領域

フレーム内の有効データの開始を示します。この領域はプレフィス領域の後に追加されます。

スタートビット長は MCR.SBSEL の設定によって決まります。MCR.SBSEL = 0 の場合は、スタートビット長が 1 ビットです。

MCR.SBSEL = 1 の場合は、スタートビット長が 3 ビットです。

MCR.SBSEL = 1 の場合は、SYNC タイプをコマンド SYNC とデータ SYNC から選択できます。

コマンド SYNC は 3 ビットが 1 から 0 への遷移として付加されることを意味します。

データ SYNC は 3 ビットが 0 から 1 への遷移として付加されることを意味します。

SYNC タイプは MCR.SYNSEL、MCR.SYNVAL、および TDR.TSYNC の設定によって決まります。

（受信時は、MSR.RSYNC に受信結果が適用されます。）

MCR.SBSEL = 0 の場合は、スタートビットが 0 から 1 または 1 から 0 への遷移として付加されます。

どちらにするかは MCR.SYNVAL の設定によって決まります。

MCR.SYNSEL ビットは送信設定時の参照先を示します。

MCR.SYNSEL ビットが 1 のとき、MCR.SYNVAL の設定が参照されます。MCR.SYNSEL ビットが 0 のとき、TDR.TSYNC の設定が参照されます。

図 38.48 に MCR.SYNSEL レジスタ、MCR.SYNVAL レジスタ、および TDR.TSYNC レジスタの設定によって決まる送信時のスタートビット領域の状態を示します。図 38.49 に受信の場合を示します。

スタートビットは MCR.TMPOL または MCR.RMPOL の設定の影響を受けません。

*d.c.= don't care、Preface = プレフィス領域、START = スタートビット領域、Data = ユーザーデータ領域、
P = パリティビット、MP = マルチプロセッサビット、STOP = ストップビット

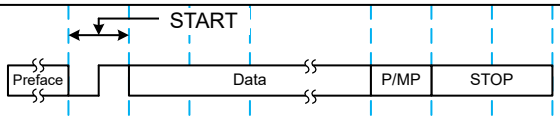
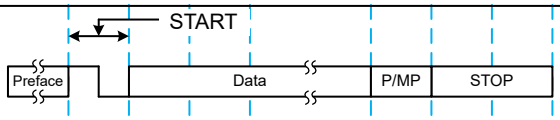
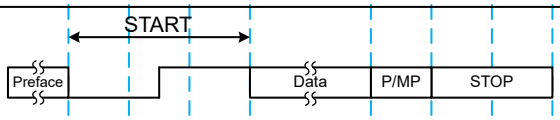
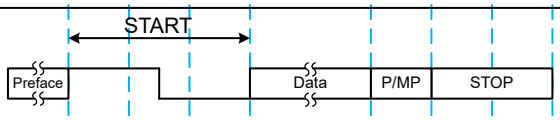
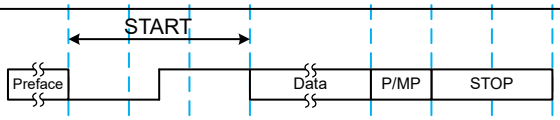
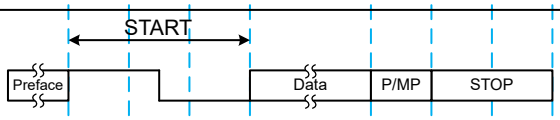
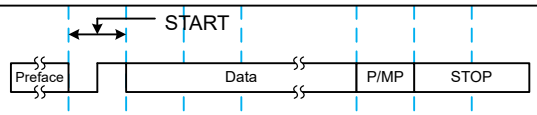
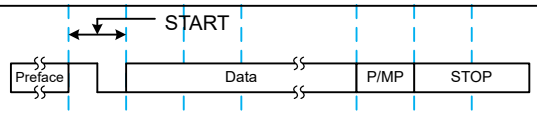
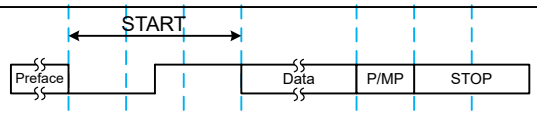
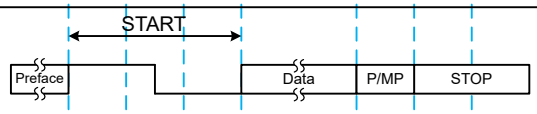
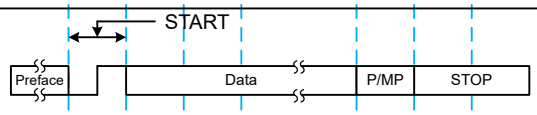
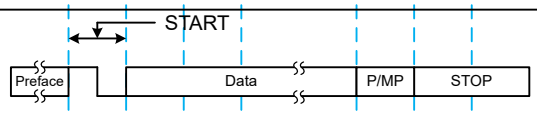
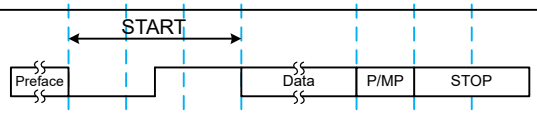
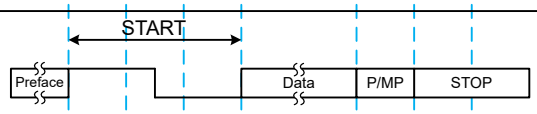
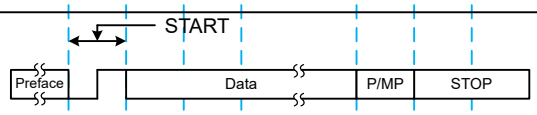
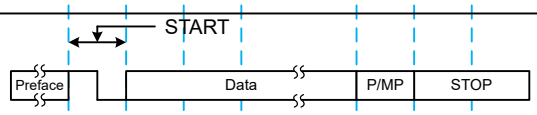
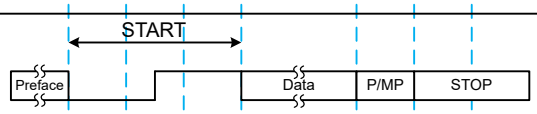
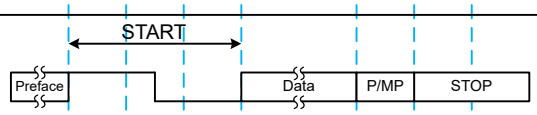
レジスタ設定				出力信号	出力スタートビット
MCR			TDR	TXDn出力波形	
SBSEL	SYNSEL	SYNVAL	TSYNC		
0	d.c.	0	d.c.		1ビット 0→1遷移
0	d.c.	1	d.c.		1ビット 1→0遷移
1	0	0	d.c.		3ビット 0→1遷移 （データ同期）
1	0	1	d.c.		3ビット 1→0遷移 （コマンド同期）
1	1	d.c.	0		3ビット 0→1遷移 （データ同期）
1	1	d.c.	1		3ビット 1→0遷移 （コマンド同期）

図 38.48　送信時のスタートビット領域に関する設定とフォーマット

d.c. = don't care、Preface = プレフィス領域、START = スタートビット領域、Data = データ領域
P = パリティビット、MP = マルチプロセッサビット、STOP = ストップビット

レジスタ設定				入力信号	スタートビット検出結果 (注1)	レジスタ表示
MCR			TDR	RXDn入力波形		
SBSEL	SYNSEL	SYNVAL	TSYNC			MSR.RSYNC
0	d.c.	0	d.c.		スタートビット正常（1ビット：0→1遷移）	0
					スタートビットエラー	0
					スタートビットエラー	0
					スタートビットエラー	0
0	d.c.	1	d.c.		スタートビットエラー	0
					スタートビット正常（1ビット：1→0遷移）	0
					スタートビットエラー	0
					スタートビットエラー	0
1	d.c.	d.c.	d.c.		スタートビットエラー	0
					スタートビットエラー	0
					データ同期	0
					コマンド同期	1

注 1.　スタートビット以外のデータは正常であると仮定します。

図 38.49　受信時のスタートビット領域に関する設定と判定

(3)　DATA

データ領域のフォーマットについては、調歩同期式モードと同様ですので「38.3.1. シリアル転送フォーマット」を参照してください。

図 38.45 マンチェスタモードでのフレームフォーマットに示される通り、ストップビットはマンチェスタエンコーディングの範囲に含まれません。

38.5.2 クロック

CCR2.CKS[1:0]ビットを設定することによって、マンチェスタモードでの送受信クロックとして内蔵ボーレートジェネレータから生成されるクロックが使用されます。

また、CCR2.ABCS ビットによってオーバーサンプリング（1 ビット時間の転送速度）を設定することも可能です。

CCR2.ABCS ビットが 0 に設定されると、1 ビット時間を基本クロックの 16 サイクルとして、オーバーサンプリング x16 が選択されます。CCR2.ABCS ビットが 1 に設定されると、1 ビット時間を基本クロックの 8 サイクルとして、オーバーサンプリング x8 が選択されます。

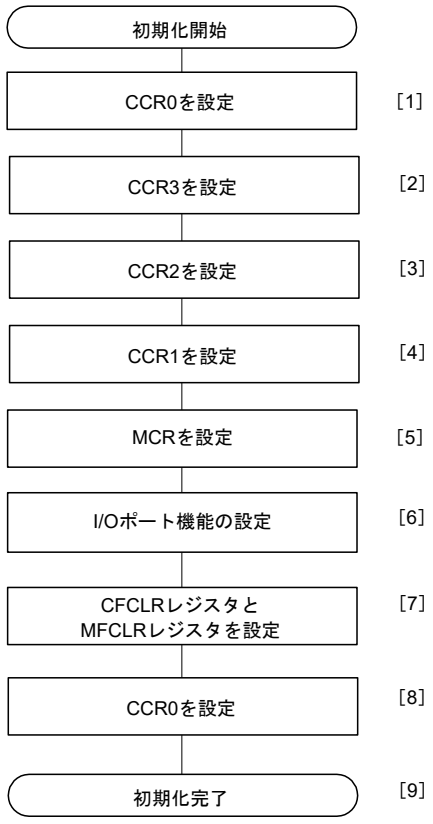
38.5.3 マンチェスタモードにおける SCI の初期化

データの送受信前に、CCR0.TE ビットと CCR0.RE ビットに 0 を書き込み（または CCR0 レジスタに初期値を書き込み）、図 38.50 のフローチャート例に従って、SCI を初期化してください。

動作モードまたは通信フォーマットを変更する場合も、CCR0 レジスタを初期値にしてから変更してください。

CCR0.RE ビットを 0 にしても、CSR レジスタの ORER、FER、PER、RDRF、RDF の各フラグ、MSR レジスタの SYER、PFER、MER、SBER の各フラグ、および RDR レジスタは初期化されません。

また、CCR0.TIE が 1 のときに CCR0.TE の値を 0 から 1 に変化させると、SCIn_TXI 割り込み要求が生成されることにも注意してください。



[1] CCR0レジスタの以下のビットを0にします。
TEIE、TIE、RIE、TE、REビット
初期設定から変更していない場合は、この手順を省略できます。

[2] ドライバコントロール、マルチプロセッサ通信、通信モード、
送受信フォーマット、クロックイネーブルを設定します。
CPOLやCPHAなどの機能ビットを初期値で使用しないでください。

[3] クロックの選択とビットレート設定を設定します。
使用しない機能のビットは、初期値のままにします。（例：BRME）

[4] ノイズフィルタ、ループバックコントロール、通信端子ステータス、
パリティチェック、CTS/RTS機能を設定します。

[5] マンチェスタ送信／受信設定を設定します。
スタートビット設定、リタイミング設定、マンチェスタ極性設定、
送信プレフィス設定、受信プレフィス設定

[6] TXDn、RXDn、SCKn端子のうち、必要な端子機能が有効となるように
I/Oポートを設定します。

[7] 対象フラグをクリアするため、CFCLRレジスタとMFCLRレジスタの
以下のクリアビットを1に設定します。
CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、
DPERC、DCMFC、ERSC、
MFCLR.MERC、SBERC、SYERC、PFERC
リセット後の初期設定時には、この手順を省略できます。

[9] TEビットまたはREビットを1にします。割り込みを有効にするためには、
TEビットとTIEビット、およびREビットとRIEビットを1つの命令で
同時に1にし、マルチプロセッサ機能を設定します。TEビットとREビット
を設定すると、TXDn端子とRXDn端子を使用できます。

図 38.50　SCI の初期化フロー（マンチェスタモード）

38.5.4 倍速動作

CCR2.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。

CCR2.BGDM ビットを 1 にすると、基本クロックの周期は 1/2 倍に減少し、SCI のビットレートは ABCS ビットが 0 の場合の 2 倍になります。

CCR2 レジスタの ABCS、BGDM ビットが 1 に設定されているときは、CCR2 レジスタの ABCS、BGDM ビットが 0 に設定されているときと比べて、SCI は 4 倍のビットレートで動作します。

38.5.5 CTS および RTS 機能

CTS 機能は、CTSn 端子入力を使用して送信制御を行う機能です。CCR1.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTSn_RTSn 端子は、1 つの端子が CTS または RTS いずれの機能にも使用できる兼用端子としても設定できますし、各端子を CTSn 端子は CTS 機能に、CTSn_RTSn 端子は RTS 機能に対応する専用端子としても設定できます。この設定を行うには、CCR1.CTSPEN ビットを使ってください。

CTS 機能有効時、CTSn 端子が Low の場合のみ受信開始します。

送信開始後に CTSn 端子入力を High にしても、送信中のフレームは影響を受けず、送信を継続します。

RTS 機能は、CTSn_RTSn 端子出力を使用して送信要求を行います。SCI は受信可能になると、CTSn_RTSn 端子に Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

- CCR0.RE ビットの値が 1
- SCI が次の受信が可能である
  - 読み出す受信データがまだなく、受信もしていない
  - 以下のすべてのフラグが 0 になっている：CSR レジスタの ORER、FER、PER フラグ、MSR レジスタの MER、SYER フラグ（SYEREN = 1 の場合）、PFER フラグ（PFEREN = 1 の場合）、SBER フラグ（SBEREN = 1 の場合）

[High になる条件]

- Low になる条件を満たさない場合

38.5.6 マンチェスタモードにおけるシリアルデータの送信

SCI はマンチェスタエンコーディングによりデータをコード化し、その結果をマンチェスタモードで送信します。

極性設定 (MCR.TMPOL) が 0 の場合、論理 0 はマンチェスタコードで 0 から 1 への遷移、論理 1 はマンチェスタコードで 1 から 0 への遷移としてエンコーディングされます。

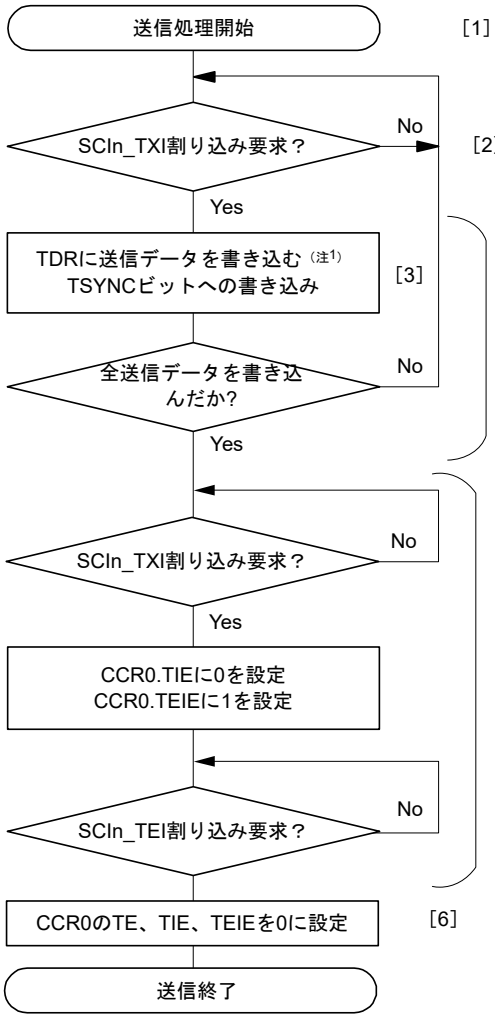
極性設定 (MCR.TMPOL) が 1 の場合、論理 0 はマンチェスタコードで 1 から 0 への遷移、論理 1 はマンチェスタコードで 0 から 1 への遷移としてエンコーディングされます。

そのため、マンチェスタエンコードされたデータのレベル遷移が各論理データの中間で発生します。（図 38.45 を参照してください。）

送信部はデータにプレフィスを付加し極性設定に従ってスタートビットを設定したうえで、特定のフォーマットで送信フレームを作成します。そして作成されたシリアルデータを送信します。

フレームフォーマットの詳細については、「38.5.1. フレームフォーマット」を参照してください。

図 38.51 に送信のフローチャートを示します。送信開始時に 1 命令で同時に CCR0.TIE ビットおよび CCR0.TE ビットを 1 にしてください。その後、SCIn_TXI 割り込み要求が発生します。図 38.52、図 38.53、および図 38.54 にマンチェスタモードのシリアル送信の動作例を示します。



[1]　送信処理開始

[2]　SCIn_TXI割り込み：
CCR0.TIE = 1かつTE = 0→1であるときに送信データがTDRからTSRに転送されると、送信データエンプティ割り込み (SCIn_TXI) 要求が発生します。

[3]　TDR設定：
送信データをTDRに書き込みます。
TSYNC使用時は、TDR.TSYNCも設定します。

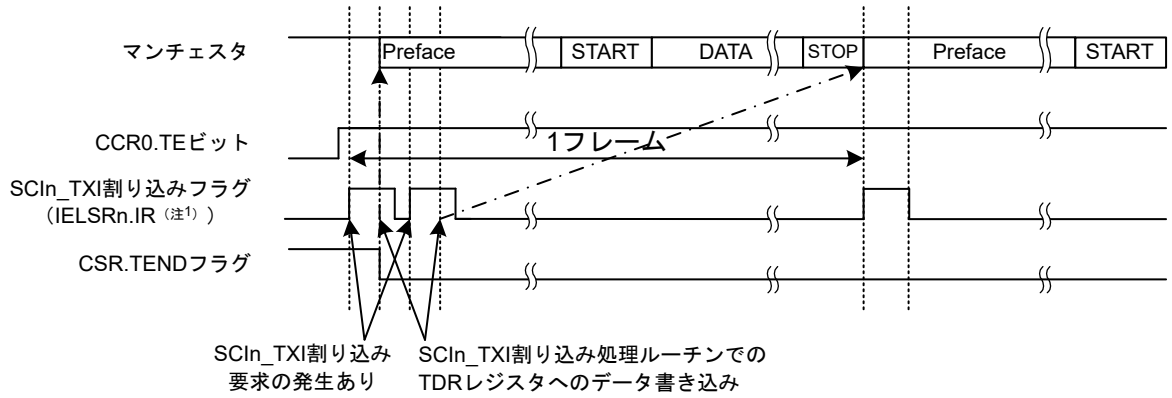
[4]　シリアル送信の継続手順：
シリアル送信を継続するときには、SCIn_TXI割り込みを使用して送信データをTDRに1回書き込みます。（注1）
送信データは、SCIn_TXI割り込み要求でDMACまたはDTCを起動することでもTDRに書き込むことができます。（注1）

[5]　SCIn_TEI割り込み要求を使用する場合は、最後の送信データがTDRに書き込まれて送信を開始した後に、CCR0.TIEビットを0、CCR0.TEIEビットを1にします。

[6]　CCR0.TE、TIE、TEIEビットを0に設定します。

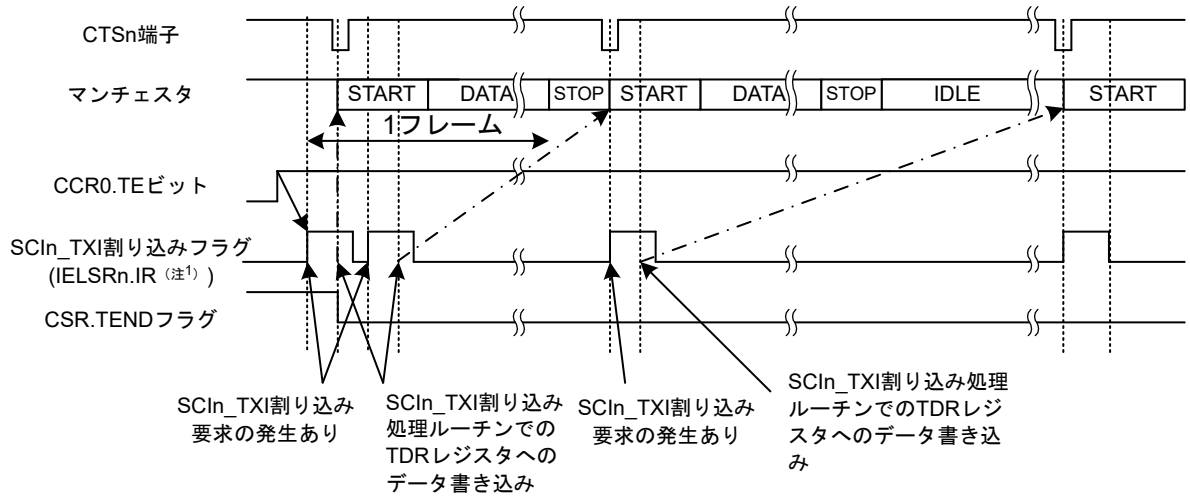
注 1.　TDR[15:8]ビットがデータ書き込みを要求し、バイトアクセスが要求される場合、送信データを TDR[15:8]ビット、TDR[7:0]ビットの順に書き込んでください。

図 38.51　マンチェスタモードのシリアル送信のフローチャート例



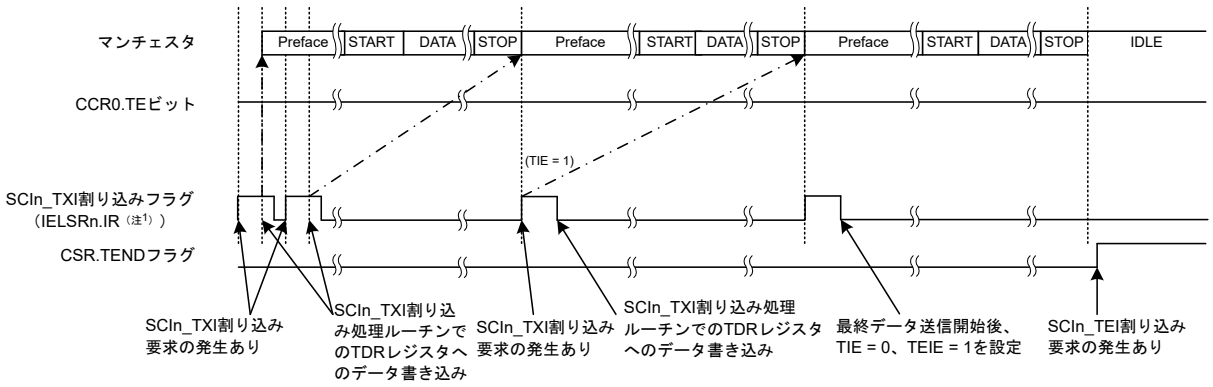
注 1.　対応する割り込み番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.52　マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスあり、CTS 機能なし）



注 1.　対応する割り込み番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.53　マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスなし、CTS 機能あり）



注 1.　対応する割り込み番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.54　マンチェスタモードにおけるシリアル送信の終了動作の例（プレフィスあり、CTS 機能なし）

38.5.7　シリアルデータの受信（マンチェスタモード）

マンチェスタモードでは、SCI はビットレートの 16 倍(注1)の周波数の基本クロックで動作します。受信は、基本クロックでの受信データの立ち下がりエッジのサンプリングによって開始します。図 38.55 に示す通り、受信は受信データの立ち下がりエッジで開始し、受信データが 1/4 ビットの間 Low 状態を維持すると受信が継続します。受信データが 1/4 ビットの間で High になると、SCI はエラーと判断し、次の立ち下がりエッジを待機します。

受信データの前半において High レベルであることが予想されると、SCI は 1 基本クロックサイクルの Low レベルをエラーと判断し、Low レベルへの変化を無視します。

注 1.　これは CCR2.ABCS = 0 の場合です。CCR2.ABCS = 1 の場合、SCI はビットレートの 8 倍の周波数の基本クロックで動作します。

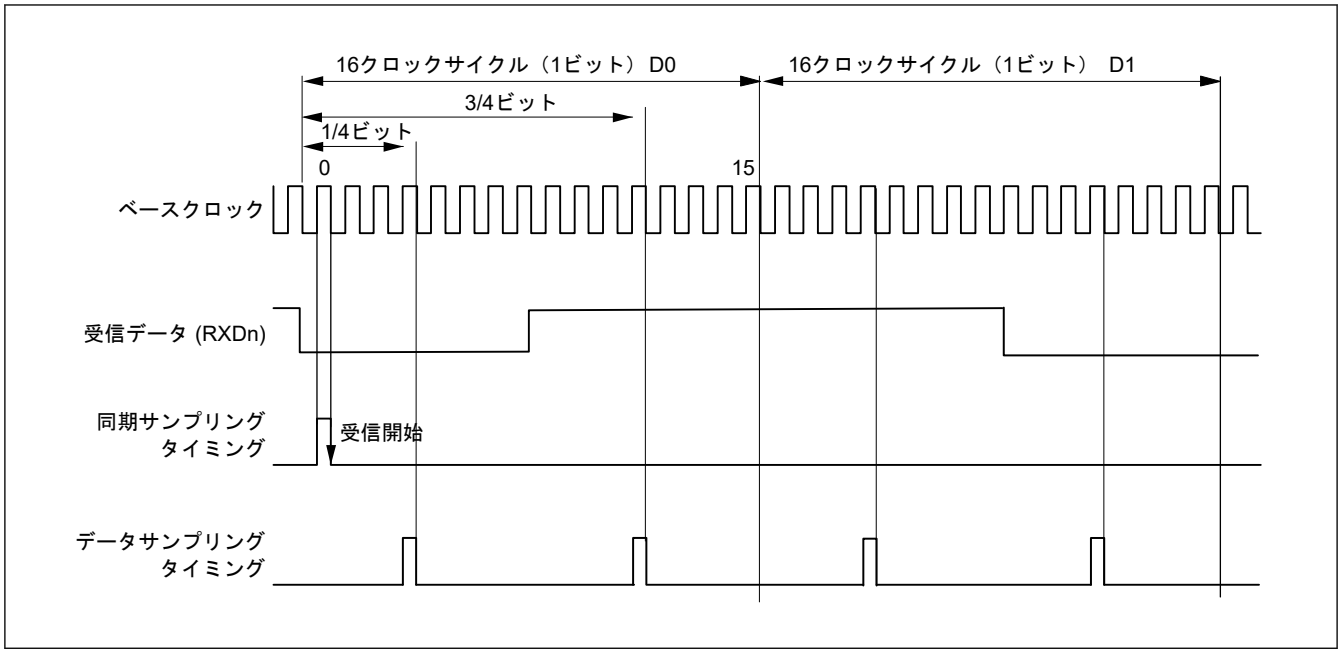


図 38.55　マンチェスタモードでのデータ受信サンプリングタイミング

マンチェスタモードでは、データ受信はプレフィスとスタートビット領域の検出で開始します。

SCI は RXDn 端子からの入力をチェックし、MCR.RPLEN の値に基づいてプレフィスが追加されているかどうかを判断します。

プレフィスが無効の場合 (MCR.RPLEN = 0)、プレフィス検出は行わずスタートビット領域の検出動作に移ります。

プレフィスが有効の場合、MCR.RPPAT の設定値に基づいてプレフィスパターン設定を特定し、これと RXDn 入力とのパターンマッチングによってプレフィスパターンを検出します。

プレフィスパターンの一致を検出すると、それを正常プレフィスと判断し、スタートビット領域の検出動作に移ります。

プレフィス領域においてプレフィスパターンの不一致またはマンチェスタコードエラーを検出すると、プレフィスエラーと判断してプレフィスエラー (PFER) をアサートします。

スタートビットの検出のために、SCI はレジスタ設定（MCR.SBSEL と SYNVAL）に基づいて期待値を選択し、これと RXDn 入力とのパターンマッチングによってスタートビット領域を検出します。スタートビットのパターン一致を検出すると、これを正常なスタートビット領域と判断してデータ処理動作に移行します。

プレフィスとスタートビット領域を正常に検出した場合のみ、データ受信の次のフェーズに移行します。

スタートビットのパターン不一致を検出すると、スタートビットエラーフラグ (SBER) をアサートします。

データ処理において、SCI はレジスタ設定 (CCR3.CHR[1:0]) に基づいて、RSR レジスタによって期待受信データ長だけデータをシフトします。受信データの 1 ビット内の 2 つのサンプル点が一致すると、SCI はこれをマンチェスタコードエラーと判断します。

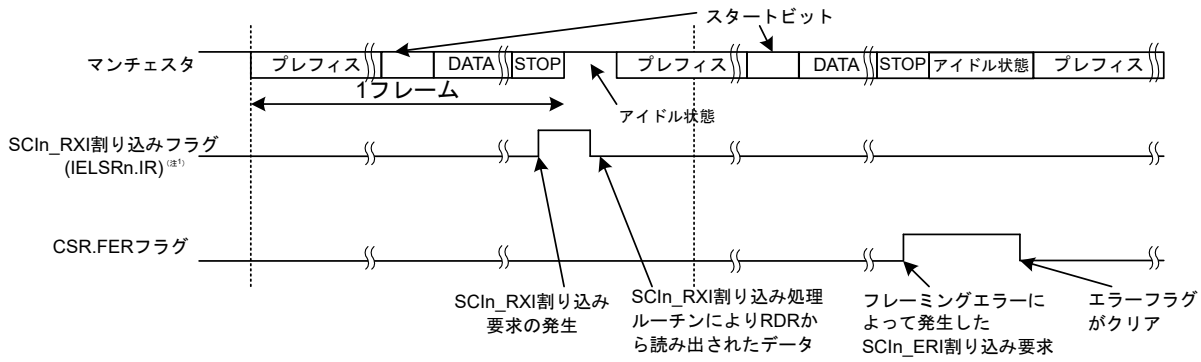
詳細については、「38.5.11. マンチェスタモードにおけるエラー」 (4) を参照してください。

パリティ機能が無効の場合 (CCR1.PE = 0) は、SCI はストップビット検出の次のフェーズに移行します。パリティ機能が有効の場合 (CCR1.PE = 1) は、SCI はパリティチェックを行います。パリティエラーを検出すると、パリティエラーフラグ (PER) をアサートしてストップビット検出動作に移行します。

ストップビットの検出においては、SCI は受信フレームのストップビット領域内で以下をチェックします。

ビット内に 2 つのサンプリング点があります。両方のサンプリング点が High レベルの場合、そのビットは正常なストップビットとみなされ、データが RDR レジスタに保存されます。Low レベル点が少なくとも 1 つあると異常ストップビットと判断され、フレームエラーフラグ (FER) が設定されます。エラーが検出された場合でも、受信データは異常データとして RDR レジスタに保存されます。

図 38.56 にマンチェスタモードにおけるシリアル受信の動作例を示します。



注 1. 対応する割り込み番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.56 マンチェスタモードにおけるシリアルデータ受信の動作例（プレフィスあり）

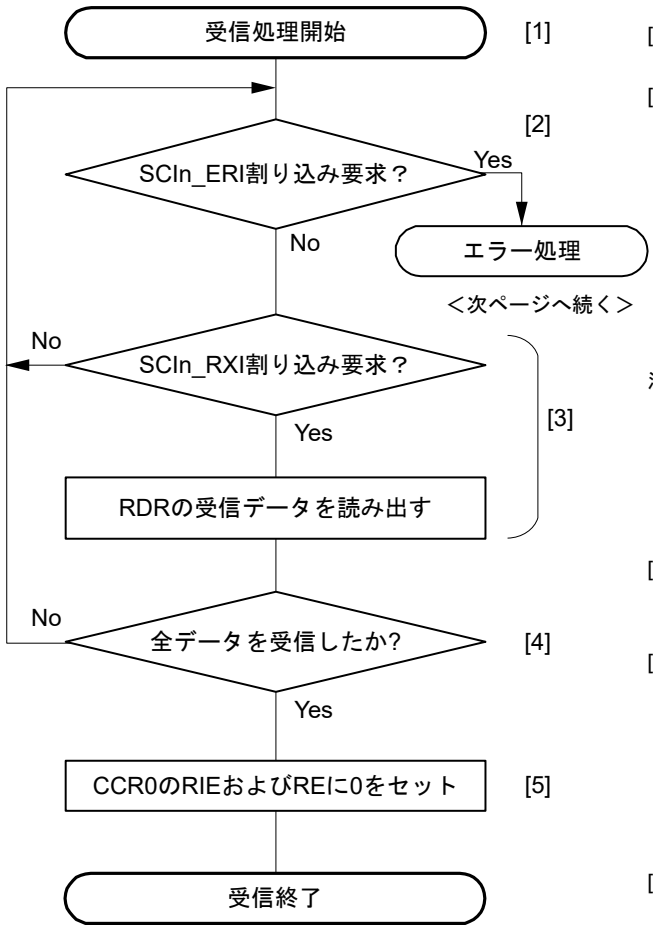
受信エラーが検出された場合の CCR0 レジスタの各ステータスフラグの状態と RXDn 入力処理については、「38.5.11. マンチェスタモードにおけるエラー」を参照してください。

受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。

受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、PER、MER、SYER(注1)、PFER(注1)、および SBER(注1)フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に CCR0.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタ内に読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 38.57 と図 38.58 に、マンチェスタモードにおけるシリアルデータ受信フローチャートの例を示します。

注 1. 対応するビットが有効のときに有効になります。



[1] 受信処理開始

[2] 受信エラー処理：
受信エラー発生時はSCIがSCIn_ERI割り込みを発生させます。エラーは、CSRのORER、PER、FER、およびMSRのMER、SBER、SYER、PFERを読みだすことで特定されます。所定のエラー処理を行った後に、必ずORER、PER、FER、MER、SBER、SYER、PFERの各フラグを0にします。これらのフラグが一つでも1の場合、受信を再開できません。

注. MSRのPFER、SYER、SBERの各ビットにはそれぞれ許可ビットがあります（MECRのPFEREN、SYEREN、SBEREN）。対応する許可ビットを0（禁止）にすると、該当のフラグ値は通信に反映されません。必要に応じてエラー処理を行ってください。

[3] SCIn_RXI割り込み処理ルーチンで、RDR内の受信データを1回読み出します。

[4] シリアル受信の継続手順：
シリアル受信を継続するときには、フレームのストップビットを受信する前に、SCIn_RXI割り込み処理ルーチン内でRDRからデータを読み出します。RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

[5] CCR0.RIEおよびREに0を書き込みます。

図 38.57 マンチェスタモードにおけるシリアルデータ受信フローチャートの例（正常受信）

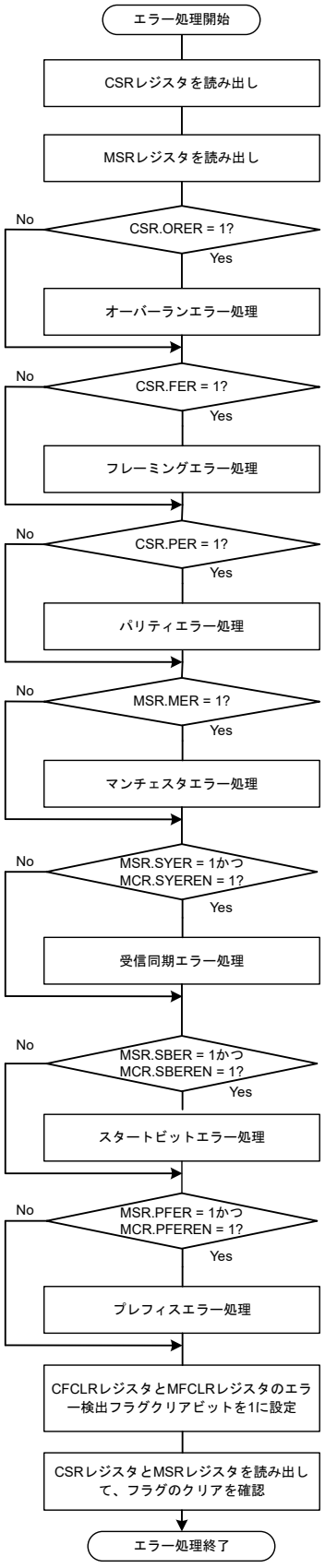


図 38.58　マンチェスタモードにおけるシリアル受信フローチャートの例（エラー処理）

38.5.8 マルチプロセッサが使用されている場合の動作

マルチプロセッサが使用されている場合のマンチェスタモードにおける動作については、「38.4. マルチプロセッサ通信機能」(1) の場合と同じなのでこれを参照してください。

マンチェスタモードではフレームフォーマットにプレフィスとスタートビット領域が追加されます。受信フローチャートのマンチェスタモードにおけるエラー処理については、図 38.58 を参照してください（図 38.41)。各種エラーを検出した際の動作状態については、表 38.36 を参照してください。

38.5.9 受信再タイミング

この機能は、マンチェスタコードにおいてビットのエッジが中央にあることを利用して、各ビットの中央エッジのタイミングを補正します。

受信再タイミング機能は MCR レジスタの ERTEN ビットの設定によってオンまたはオフにできます。

受信再タイミング機能がオフのとき (MCR.ERTEN = 0) は再タイミングが実施されません。その結果内部クロックと RxDn 入力のずれが蓄積し受信マージンが減少します。

受信再タイミング機能がオンのとき (MCR.ERTEN = 1) は、再タイミングがプレフィス領域、スタートビット領域(注1)、およびデータ領域（ストップビットを除く）に対して実施されます。

注 1. プレフィス長が 0 でスタートビット長が 3 のときは、スタートビット領域の再タイミングが実施されません。

例として、オーバーサンプリング x16 が選択されているときの受信再タイミングを以下に示します。

RXDn 入力エッジを期待位置よりも 2～4 サイクル前で検出したときは、1 サンプリング CLK サイクルだけ受信処理が短くなります。

RXDn 入力エッジを期待位置よりも 2～3 サイクル後ろで検出したときは、1 サンプリング CLK サイクルだけ受信処理が長くなります。

（クロックとデータのずれが 2 サイクルより大きくても、各ビットで 1 サイクルだけ補正されます。）

図 38.59 に受信再タイミング範囲の概念図を示します。

エッジを図の許容領域で検出したときは、補正なしでデータをそのまま受信します。

エッジを図の SyncJump 領域で検出したときは、補正してデータを受信します。

エッジを図の SyncError 領域で検出したときは、補正を行わず異常データとして受信します。

マンチェスタコードエラー（1/4 相と 3/4 相のサンプリングポイントでデータが一致したとき）に対しては、SCI がコードエラーを報告します。

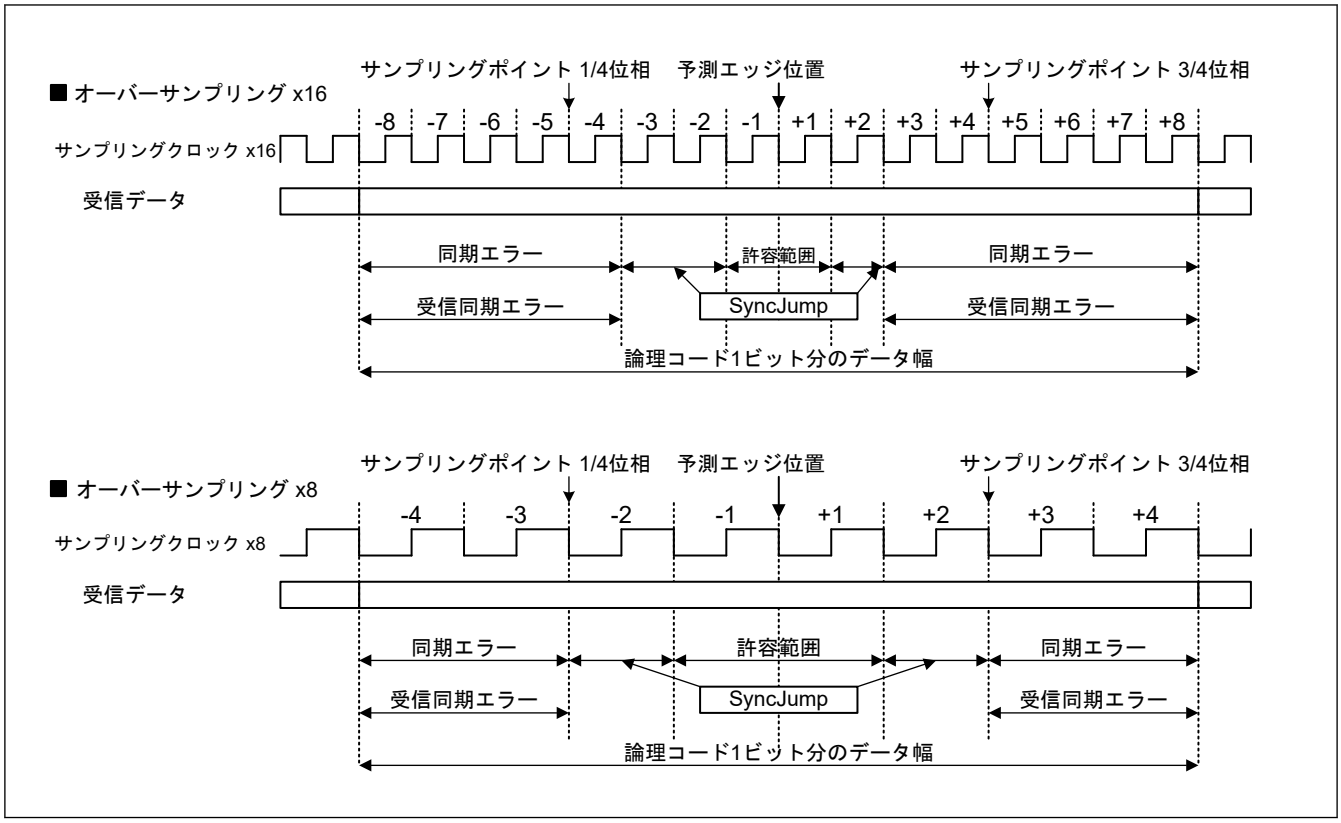


図 38.59　受信再タイミング範囲の概念図

38.5.10　マンチェスタコードの極性設定

マンチェスタコードの極性はマンチェスタコントロールレジスタ (MCR) で設定できます。

極性は送信と受信に対して個別に設定できます。送信の極性は MCR.TMPOL ビット、受信の極性は MCR.RMPOL ビットを使用して設定します。

マンチェスタコードの極性設定は、プレフィス領域、データ領域、およびパリティまたはマルチプロセッサ領域で有効です。

マンチェスタコードの極性に初期設定値 (TMPOL/RMPOL = 0) が使用される場合、論理 0 はマンチェスタコード内での 0 から 1 への遷移、論理 1 はマンチェスタコード内での 1 から 0 への遷移としてエンコーディングされます。設定が TMPOL/RMPOL = 1 に変更されると、論理 0 はマンチェスタコード内での 1 から 0 への遷移、論理 1 はマンチェスタコード内での 0 から 1 への遷移としてエンコーディングされます。図 38.60 に設定と動作の概念図を示します。

上記の機能とは別に、データ領域内の送信データと受信データは受信／送信データ反転機能 (CCR3.SINV) によって反転できます。マンチェスタコードの極性 (MCR.TMPOL/RMPOL) は送信／受信データ反転機能 (CCR3.SINV) とは別に設定できるので、これら両方を反転に設定すると (MCR.TMPOL/RMPOL = 1 かつ CCR3.SINV = 1)、送信データと受信データが初期状態（反転＋反転＝正常）になります。

スタートビット領域の極性は上記のレジスタとは別のレジスタにより設定されます。

別のレジスタが使用されるので、スタートビット領域の極性は上記のマンチェスタコード極性設定の影響を受けません。

スタートビット領域の設定については、「38.5.1. フレームフォーマット」の (2) を参照してください。

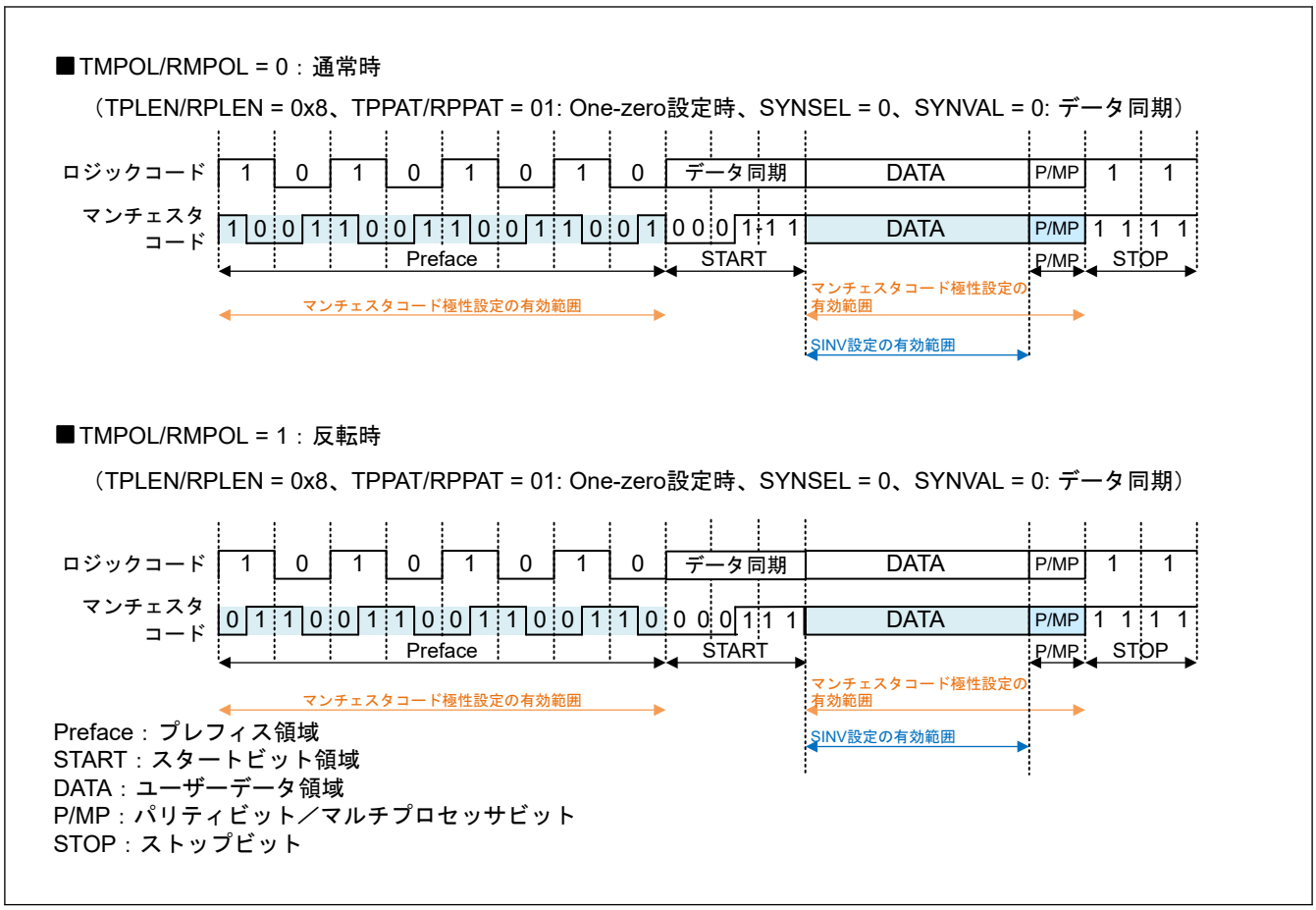


図 38.60　マンチェスタコード極性設定の有効範囲

38.5.11　マンチェスタモードにおけるエラー

マンチェスタモードには以下のエラーがあります。

1. パリティエラー
2. オーバーランエラー
3. フレーミングエラー
4. マンチェスタエラー
5. プレフィスエラー
6. スタートビットエラー
7. 受信 SYNC エラー

項番 1～3 のエラーについては調歩同期式モードと同様ですので、「38.3.9. シリアルデータの受信（調歩同期式モード）」の (1) を参照してください。

各エラーは個別の領域で判定されますが、フラグと動作への反映はストップビット領域の 3/4 ビットサンプリングのタイミングで実施されます。プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前の情報を保持します。

表 38.34 にエラーを検出した時のシリアルステータスレジスタの状態と RDR へのデータ保存の判断について示します。

表 38.35 にマンチェスタフレームの各領域で検出される可能性のあるエラーを示します。

プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前のフレームを受信した結果を保持します。また、前のフレームでエラーが検出されると、データ受信は行われませんがプレフィス領域とスタートビット領域のエラーによるフラグの更新は行われます。表 38.36 にそれぞれの場合におけるフラグと動作について示します。

(4) マンチェスタエラー

マンチェスタエラーはマンチェスタコードにエラーが検出されたときに生成されます。

マンチェスタコードでは、ビットの中心にエッジ（遷移）が存在する必要があります。

受信フレームのデータ領域（パリティ/マルチプロセッサコードを含む）において、1/4-ビットと 3/4-ビットのサンプリングポイント値が各受信ビットでチェックされ、これら 2 つの値が一致するとマンチェスタコードエラーと判定されます。

マンチェスタコードエラーが検出されると、マンチェスタエラーフラグ (MSR.MER) がアサートされます。

マンチェスタエラーが発生すると、割り込み要因およびイベント要因として扱われます。マンチェスタエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

(5) プレフィスエラー

プレフィスエラーは、プレフィスパターンと一致しない場合またはプレフィス領域でマンチェスタコードエラーが検出された場合に生成されます。プレフィスエラーが検出されると、プレフィスエラーフラグ (MSR.PFER) がアサートされます。

MCR レジスタの設定によって、このエラーフラグを割り込み要因として使用するかどうかを指定できます。

MCR.PFEREN = 1 の場合は、プレフィスエラーが割り込み要因またはイベント要因として扱われます。プレフィスエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MCR.PFEREN = 0 の場合はプレフィスエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、プレフィスエラーは MSR.PFER に通知されます。

(6) スタートビットエラー

スタートビットエラーは、受信フレームのスタートビット領域が事前設定されたスタートビットパターンに一致しない場合に生成されます。スタートビットエラーが検出されると、スタートビットエラーフラグ (MSR.SBER) がアサートされます。

MCR レジスタの設定によって、スタートビットエラーを割り込み要因として使用するかどうかを指定できます。

MCR.SBEREN = 1 の場合は、スタートビットエラーが割り込み要因またはイベント要因として扱われます。スタートビットエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MCR.SBEREN = 0 の場合はスタートビットエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、スタートビットエラーは MSR.SBER に通知されます。

(7) 受信 SYNC エラー

「38.5.9. 受信再タイミング」で説明されている受信再タイミング機能が有効化されている場合に、受信再タイミング動作が実行されます。

受信タイミング動作中に受信再タイミング範囲（図 38.59 の SyncError 領域）でエッジが検出されない場合に、受信 SYNC エラーが生成されます。受信 SYNC エラーが検出されると、受信 SYNC エラーフラグ (MSR.SYER) がアサートされます。再タイミングの対象でない領域については、受信 SYNC エラーが検出されません。

受信再タイミング動作が実行されるプレフィス領域(注1)、スタートビット領域(注1)、(注2)、およびデータ領域（ストップビットを除く）がチェックされます。

MCR レジスタの設定によって、受信 SYNC エラーを割り込み要因として使用するかどうかを指定できます。

MCR.SYEREN = 1 の場合は、受信 SYNC エラーが割り込み要因またはイベント要因として扱われます。受信 SYNC エラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MCR.SYEREN = 0 の場合は受信 SYNC エラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、受信 SYNC エラーは MSR.SYER に通知されます。

注 1. ビットの前半が High であると期待されるパターンで開始するフレームの場合は再タイミングの対象外です。
注 2. スタートビット領域にプレフィス長と 3 ビットのスタートビットが存在しない場合は再タイミングの対象外です。
また、3 ビットのスタートビットが設定されている場合は、第 1 ビットと第 2 ビットは再タイミングの対象外です。

表 38.34　マンチェスタモードにおける CSR レジスタのフラグと受信データ処理

CSR レジスタのフラグ			MRS レジスタのフラグ				受信データ	受信エラーの状態（SCIn_ERI 割り込み／イベントの生成）
ORER	FER	PER	MER	SBER(注1)	PFER(注1)	SYER		
0	0	0	0	0	0	0	RDR へ転送	エラーなし
0	1	0	0	0	0	0	RDR へ転送	フレーミングエラー
0	0	1	0	0	0	0	RDR へ転送	パリティエラー
0	1	1	0	0	0	0	RDR へ転送	フレーミングエラー＋パリティエラー
0	0	0	1	0	0	0	RDR へ転送	マンチェスタエラー
0	1	0	1	0	0	0	RDR へ転送	フレーミングエラー＋マンチェスタエラー
0	0	1	1	0	0	0	RDR へ転送	パリティエラー＋マンチェスタエラー
0	1	1	1	0	0	0	RDR へ転送	フレーミングエラー＋パリティエラー＋マンチェスタエラー
1	0	0	0	0	0	0	消失	オーバーランエラー
1	1	0	0	0	0	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	0	0	0	0	消失	オーバーランエラー＋パリティエラー
1	1	1	0	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー
1	0	0	1	0	0	0	消失	オーバーランエラー＋マンチェスタエラー
1	1	0	1	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋マンチェスタエラー
1	0	1	1	0	0	0	消失	オーバーランエラー＋パリティエラー＋マンチェスタエラー
1	1	1	1	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー＋マンチェスタエラー
0	上記の組み合わせ			0	0	1	RDR へ転送	上記のエラー＋受信 SYNC エラー(注2)
1				0	0	1	消失	上記のエラー＋受信 SYNC エラー(注2)
保持	保持	保持	保持	0	1	0	消失	プレフィスエラー(注3)
保持	保持	保持	保持	1	0	0	消失	スタートビットエラー(注3)
保持	保持	保持	保持	0	1	1	消失	プレフィスエラー(注3)＋受信 SYNC エラー(注2)
保持	保持	保持	保持	1	0	1	消失	スタートビットエラー(注3)＋受信 SYNC エラー(注2)

注 1.　スタートビットエラーとプレフィスエラーが同時に 1 になることはありません。
注 2.　MCR.SYEREN = 1 の場合、SCIn_ERI 割り込み／イベントが SYER ファクタによって生成されます。
注 3.　MCR.PFEREN = 1 または MCR.SBEREN = 1 の場合、対応するフラグが設定されているときに SCIn_ERI 割り込み／イベントが生成されます。

表 38.35　各領域で検出されるエラー

	プレフィスエラー (PFER)	スタートビットエラー (SBER)	マンチェスタエラー (MER)	受信 SYNC エラー (SYER)	パリティエラー (PER)	フレーミングエラー (FER)
プレフィス領域	✓	—	—(注1)	✓(注2)	—	—
スタートビット領域	—	✓	—	✓(注2)	—	—
データ領域	—	—	✓	✓	—	—
パリティ領域	—	—	✓	✓	✓	—
マルチプロセッサ領域	—	—	✓	✓	—	—
ストップビット領域	—	—	—	—	—	✓

注.　✓：検出、—：検出せず

注 1. プレフィス領域でマンチェスタコードエラーが発生すると、プレフィスエラーとして扱われます。
注 2. 受信 SYNC エラーの検出対象ではありません。詳細については、「38.5.11. マンチェスタモードにおけるエラー」 (7) の説明を参照してください。

表 38.36 前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (1/2)

前のフレーム	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
エラーなし	PFER SYER なし(注1)	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定(注1)	出力なし	出力なし
						1					出力	出力
	エラーなし	SBER SYER なし(注1)	Don't care	Don't care	Don't care	Don't care	0	Don't care	消失	SBER を設定(注1)	出力なし	出力なし
							1				出力	出力
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	SYER SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1			出力	出力
	エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care	RDR へ転送	MER を設定	出力	出力
	エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care	RDR へ転送	PER を設定	出力	出力
	エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care	RDR へ転送	FER を設定	出力	出力
	エラーあり ORER					Don't care	Don't care	Don't care	消失	フラグを設定(注2)	出力	出力
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care	消失	ORER を設定	出力	出力

表 38.36　前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (2/2)

前のフレーム	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
エラーあり(注3) (注6)	PFER SYER なし(注1)	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定(注1)	出力(注4)	出力なし(注5)
						1						
	エラーなし	SBER SYER なし(注1)	Don't care	Don't care	Don't care	Don't care	0	Don't care		SBER を設定(注1)		
							1					
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	SYER SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0		フラグを設定しない		
								1				
	エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care				
	エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care				
	エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care				
	エラーあり ORER					Don't care	Don't care	Don't care				
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care				

注 1.　SYER が検出されると SYER フラグも設定されます。他の動作についてはこの表に示す通りです。
注 2.　検出された他のエラーフラグ（ORER など）も設定されます。
注 3.　ストップビット判定の前にすべてのエラーフラグがクリアされると、この表に示される、前のフレームにエラーがなかった場合の動作と同様になります。
注 4.　SCIn_ERI 割り込み要求はレベル出力であるため、対象フレームにおけるエラーの有無にかかわらず前のフレームのエラーによってアクティブの状態が継続します。
注 5.　エラー要因の検出は継続的に実施されるため、対象フレームにおけるエラーの有無にかかわらず、SCIn_ERI イベントが新たに出力されることはありません。
注 6.　PFER、SBER、および SYER は、それぞれの許可ビットが禁止に設定されているとエラーなしとして扱われます。

表 38.37　マルチプロセッサモード (MPIE = 0) で MPIE = 1 の場合の動作

MPB (注1)	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
1	エラーなし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care	RDR へ転送	フラグを設定	出力(注2)	出力(注2)
	PFER なし	SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0				
	SYER (注3)	SYER (注3)						1	消失	フラグを設定しない	出力なし	出力なし
	PFER	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care				
	エラーなし	SBER	Don't care	Don't care	Don't care	Don't care	Don't care					

注 1.　受信 MPB ビットが 0 の場合はフレームを受信せず、動作はこの表における受信データ消失の場合と同様になります。

注 2. エラーが検出されない場合は SCIn_RXI の割り込み要求またはイベントが出力されます。それが検出されると、SCIn_ERI の割り込み要求またはイベントが出力されます。
注 3. プレフィス領域またはスタートビット領域で SYER が検出された場合は、エラーとしての処理の動作は SYEREN ビットの変化に依存します。

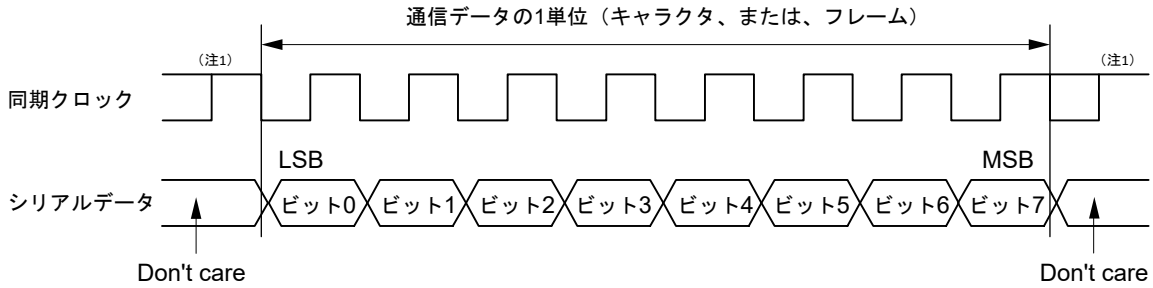
38.6 クロック同期式モードの動作

図 38.61 にクロック同期式シリアル通信のデータフォーマットを示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、CPHA = 1 および CPOL = 1 でのデータ送信時に同期クロックの立ち下がりエッジから次の立ち下がりエッジまでデータ出力します。データ受信時は、同期クロックの立ち上がりエッジに同期して SCI はデータを受信します。8 ビット出力後の送信ラインは最終ビット出力状態を保ちます。スレーブモードにおいて CPHA ビットが 0 の場合、送信ラインは第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、送信部と受信部の通信クロックを共有することで全二重通信が可能です。さらに、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続データ転送動作を実現できます。



注 1. 連続送受信動作時以外に High レベルを保持します。

図 38.61 クロック同期式シリアル通信のデータフォーマット（LSB ファーストの並び順の場合）

38.6.1 クロック

クロック同期式モードおよび簡易 SPI モードで、SCK の最大スピードを 1/2 TCLK にしている場合、PCLK を TCLK のスピードの半分未満にしないでください。PCLK が TCLK のスピードの半分未満になると、誤動作が発生する可能性があります。

1. 内部クロックが選択されている場合
   SCI が内部クロックで動作する（CCR3.CKE[1:0] ビットを 00b または 01b（マスタモード）にしている）場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。データの送受信を行わないとき、クロックは High に固定されます。(注1)送信のみまたは送受信のときは、送信データが準備されている場合を除き、同期クロックは出力されません。
   内部クロックが選択されている場合、SCKn 信号からの遅延のあるクロックが、マスタ受信サンプリングクロックに使用されます。これにより、高速通信でのデータセットアップ時間とデータ保持時間が確保されます。

   注 1. （CCR3.CPHA = 0 かつ CCR3.CPOL = 1）または（CCR3.CPHA = 1 かつ CCR3.CPOL = 1）の状態にあるとき、信号は High に固定されます。（CCR3.CPHA = 0 かつ CCR3.CPOL = 0）または（CCR3.CPHA = 1 かつ CCR3.CPOL = 0）の状態にあるとき、信号は Low に固定されます。

2. 外部クロックが選択されている場合
   CCR3.CKE[1:0] ビットを 10b または 11b（スレーブモード）にしている場合、SCKn 端子から入力された外部クロックを使用してデータ送受信が行われます。

38.6.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTSn_RTSn 端子入力を使用してデータ送受信の開始制御を行います。CCR1.CTSE ビットを 1 にすると、CTS 機能が有効になります。クロック同期式モードの通信では、内部クロックに CTS 機能を使用でき、外部クロックに RTS 機能を使用できます。このため、CTS 機能と

RTS 機能を同時に使用することはできません。CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると、データの送受信が開始されます。

データ送信またはデータ受信の実行中に CTSn_RTSn 端子入力を High にしても、処理中のフレームの送受信は影響を受けません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTSn_RTSn 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTSn_RTSn 出力が Low になります。CTSn_RTSn が Low を出力する条件と High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

非 FIFO 選択時に、以下の条件がすべて満たされた場合

- CCR0.RE ビットまたは CCR0.TE ビットの値が 1
- 次のシリアル通信が許可されている
  - 読み出し前の受信データがなく、受信しない（CCR0.RE ビットが 1 のとき）
  - TDR レジスタに書き込まれた送信データが送信レディの場合(注1)（CCR0.TE ビットが 1 のとき）
- CSR.ORER フラグ = 0

注 1.　送信開始後に CTSn_RTSn 端子が High になります。

FIFO 選択時に、下記条件がすべて満たされたとき

- CCR0.RE ビットまたは CCR0.TE ビットの値が 1
- 次のシリアル通信が許可されている
  - 受信 FIFO（RDR レジスタ）に格納された受信データ数が、FCR.RSTRG[4:0]の設定値より少ない（CCR0.RE = 1 の場合）
  - 送信 FIFO（TDR レジスタ）に書き込まれた送信データが送信レディの場合(注1)（CCR0.TE ビットが 1 のとき）
- CSR.ORER フラグ = 0

注 1.　最終データの送信開始後に CTSn_RTSn 端子が High になります。

[High になる条件]

- Low になる条件を満たさない場合

38.6.3　SCI の初期化（クロック同期式モード）

データを送受信する前に、最初に CCR0 レジスタに初期値 0x00 を書き込み、次に「38.6.2. CTS、RTS 機能」の非 FIFO と FIFO の選択を説明した項目に従って SCI の初期設定を続けてください。動作モードまたは通信フォーマットを変更する場合も必ず、CCR0.TE ビットと CCR0.RE ビットに 0 を書き込んでから変更してください。

注.　CCR0.RE ビットを 0 にしても、CSR レジスタの ORER、FER、PER、RDRF の各フラグ、および RDR レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注.　CCR0.TIE ビットが 1 の状態で、CCR0.TE ビットを 1 から 0 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 38.38　クロック同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）(1/2)

No.	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定します(注1)。 初期設定から変更していない場合は、この手順を省略できます。
3	FCR を設定	TFRST ビットおよび RFRST ビットを 1 にして、FIFO をエンプティにします。 TTRG[4:0]ビット、RTRG[4:0]ビット、および RSTRG[4:0]ビットを設定します。

表 38.38 クロック同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時） (2/2)

No.	ステップ名	説明
4	CCR3 を設定（MOD[2:0]を除く）	CCR3 を設定します（通信モードを除く）。 ● FIFO の使用／不使用 ● 送信／受信フォーマット ● クロックの設定 ● 使用しないビット (CHR[1:0], STP, RXDSEL, MP, DE, ACS0, GM, BLK) は初期値のままにします。
5	CCR3.MOD[2:0]を設定	通信モードを設定します (MOD[2:0] = 010b)(注2)。
6	CCR2 を設定	クロック選択、ビットレート設定を行います(注3)。 使用しないビット (BCP[2:0], ABCS, ABCSE, BRME, MDDR[7:0]) は初期値のままにします。
7	CCR1 を設定	ループバック機能、通信端子ステータス、および CTS/RTS 機能を設定します。
8	CCR4 を設定	サンプリングタイミング調整機能の設定を行います。使用しないビット (CMPD[8:0]) は初期値のままにします。
9	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
10	CFCLR、FFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。 CFCLR の RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC FFCLR の BRKC、DRC
11	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。(注1)(注4)割り込みを有効にするためには、TE ビット、TIE ビット、RE ビット、RIE ビットを 1 つの命令で同時に 1 にします。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn が使用可能となります。
12	初期化完了	—

注 1. 同時送受信動作では、CCR0 の TE ビットと RE ビットの両方を同時に 0 または 1 にしてください。
注 2. 通信モードを設定する前に、CPOL と CPHA の設定を行ってください。
注 3. 外部クロックを使用する場合、この設定は不要です。
注 4. 内部クロック（マスタ）を使用する場合、受信のみの設定は禁止されています。

38.6.4 シリアルデータの送信（クロック同期式モード）

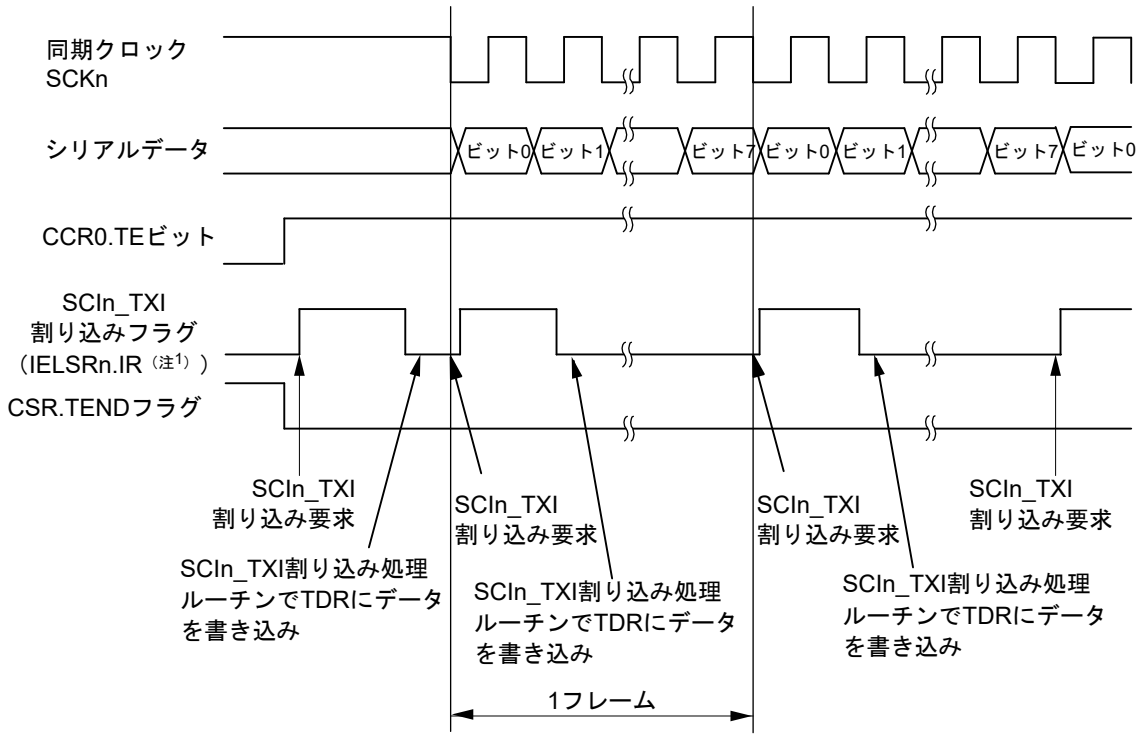
(1) 非 FIFO 選択時

図 38.62、図 38.63、および図 38.64 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

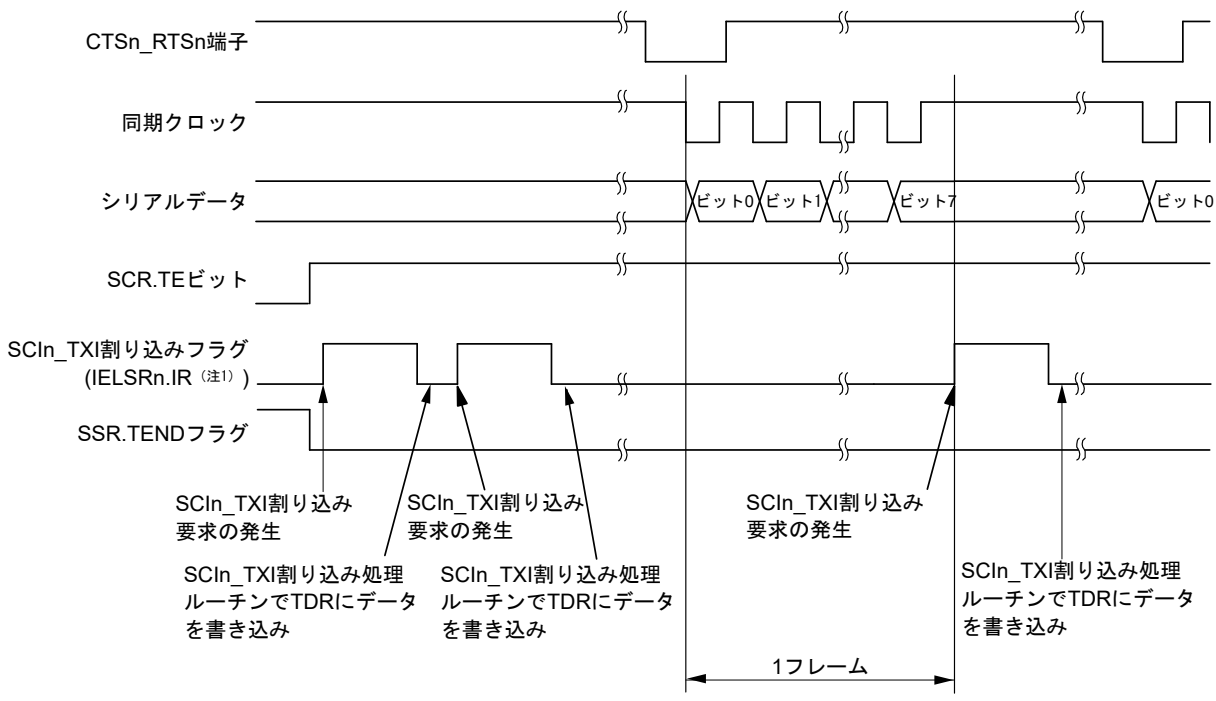
1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。データ送信開始時に、CCR0.TIE ビットと CCR0.TE ビットを 1 命令で同時に 1 にしてください。その後、SCIn_TXI 割り込み要求が発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、CCR0.TIE ビットを 0 にして、CCR0.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、CCR1.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します（CTS 機能有効）。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタに次の送信データを転送し、次のフレームのシリアル送信を開始します。
6. TDR レジスタが更新されていなければ、CSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、CCR0.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 38.62、図 38.63、および図 38.64 に、シリアルデータ送信の例を示します。



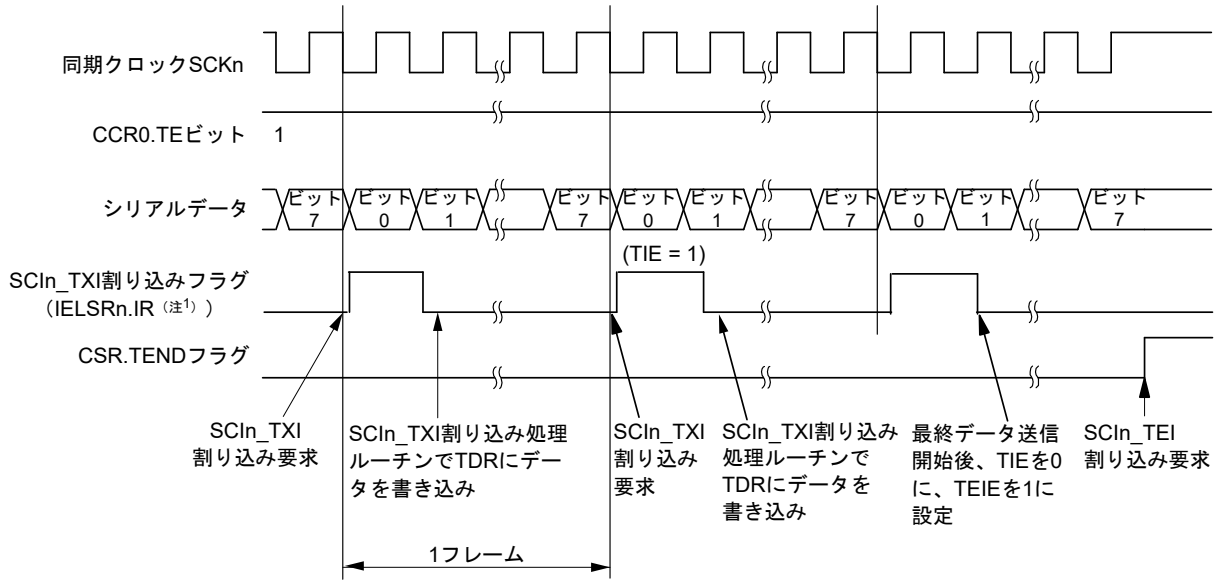
注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.62　クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用しない場合）



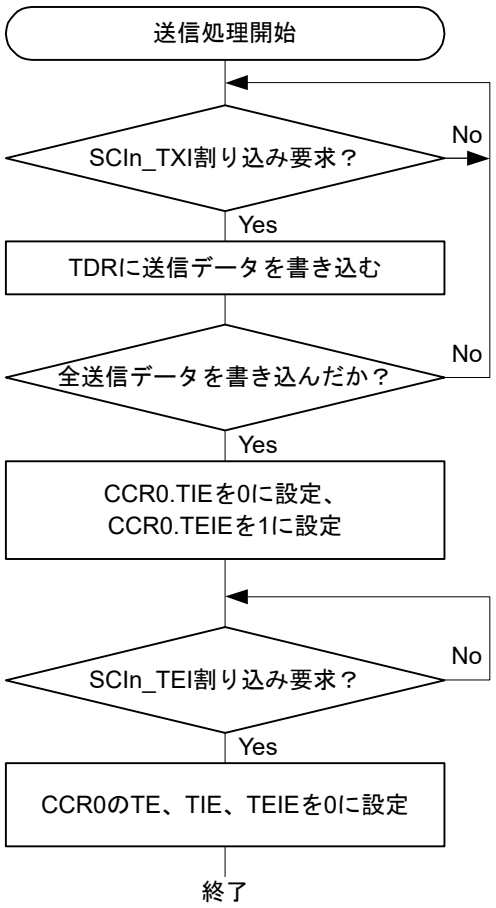
注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.63　クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用する場合）



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.64 クロック同期式モードにおけるシリアル送信の動作例（送信中～送信終了時）



[1]

[2]

[3]

[1] 送信処理開始

[2] SCIn_TXIによる送信データのTDRレジスタへの書き込み：
送信データがTDRからTSRに転送されると、送信データエンプティ割り込み (SCIn_TXI) を生成します。SCIn_TXIにより送信データをTDRレジスタに1回書き込みます。

[3] シリアル送信の継続手順：
シリアル送信継続のため、SCIn_TXIにより送信データをTDRに書き込んでください。
また、DMACまたはDTCを起動することによっても、送信データを書き込むことが可能です。
SCIn_TEIを使う場合は、最終送信データをTDRに書き込んだ後で、CCR0.TIEを0に、CCR0.TEIEを1にしてください。

注.　外部クロックを使用する（CCR3.CKE[1:0]ビット = 10b または 11b）場合、最終ビットの SCK 端子立ち上がりで CSR.TEND フラグが 1 になります。この直後に TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 38.65　クロック同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

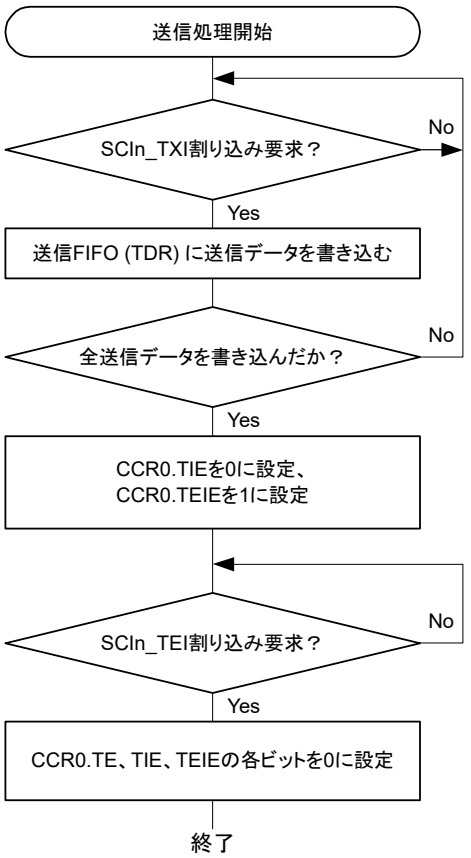
図 38.66 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで送信 FIFO（TDR レジスタ）にデータが書き込まれると、SCI は送信 FIFO（TDR レジスタ）から TSR レジスタへデータを転送します。送信 FIFO（TDR レジスタ）に書き込み可能なデータのバイト数は 16 - FTSR.T[5:0]です。さらに、データ送信開始時に、CCR0.TIE ビットと CCR0.TE ビットを 1 命令で同時に 1 にしてください。その後、SCIn_TXI 割り込み要求が発生します。
2. SCI は、送信 FIFO（TDR レジスタ）から TSR レジスタへデータを転送した後、送信を開始します。送信 FIFO（TDR レジスタ）に書き込まれた送信データ数が、指定された送信トリガ数以下のとき、CSR.TDRE ビットが 1 になります。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、送信 FIFO（TDR レジスタ）に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを送信 FIFO（TDR レジスタ）に書き込んだ後、CCR0.TIE ビットを 0 にして、CCR0.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、CCR1.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します（CTS 機能有効）。
4. ストップビットの出力タイミングで、SCI は送信 FIFO（TDR レジスタ）(注1)に未送信データが残っていないかをチェックします。

5. 送信 FIFO（TDR レジスタ）にデータが残っている場合は、送信 FIFO（TDR レジスタ）から TSR レジスタにデータを転送し、次のフレームのシリアル送信を開始します。
6. 送信 FIFO（TDR レジスタ）にデータが残っていない場合は、CSR.TEND フラグが 1 になります。TXDn 端子は最終ビットの出力状態を保持します。このとき、CCR0.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1.　送信 FIFO（TDR レジスタ）に格納された未送信の送信データ数は、FTSR.T[5:0]ビットを読むことで確認できます。



[1]　[1]　送信処理開始

[2]　[2]　SCIn_TXIにより送信FIFO (TDR) に送信データを書き込む送信データが送信FIFO (TDR) からTSRに転送され、送信FIFOに書き込まれた送信データ数が送信FIFO閾値以下の場合、送信データエンプティ割り込み (SCIn_TXI) が発生します。

[3]　[3]　シリアル送信の継続手順：
シリアル送信を継続する場合は、SCIn_TXI割り込みを使用して送信データを送信FIFO (TDR) に書き込み、CSR.TDREフラグを0にクリアします。また、DMACまたはDTCを起動することによっても、送信データを送信FIFO (TDR) に書き込むことが可能です。この場合、TDREフラグは自動的にクリアされるので、TDREフラグを操作しないでください。SCIn_TEIを使う場合は、最終送信データをTDRに書き込んだ後で、CCR0.TIEを0に、CCR0.TEIEを1にしてください。

注.　外部クロックを使用する（CCR3.CKE[1:0]ビット = 10b または 11b）場合、最終ビットの SCK 端子立ち上がりで CSR.TEND フラグが 1 になります。この直後に CCR0.TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 38.66　クロック同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

38.6.5　シリアルデータの受信（クロック同期式モード）

(1) 非 FIFO 選択時

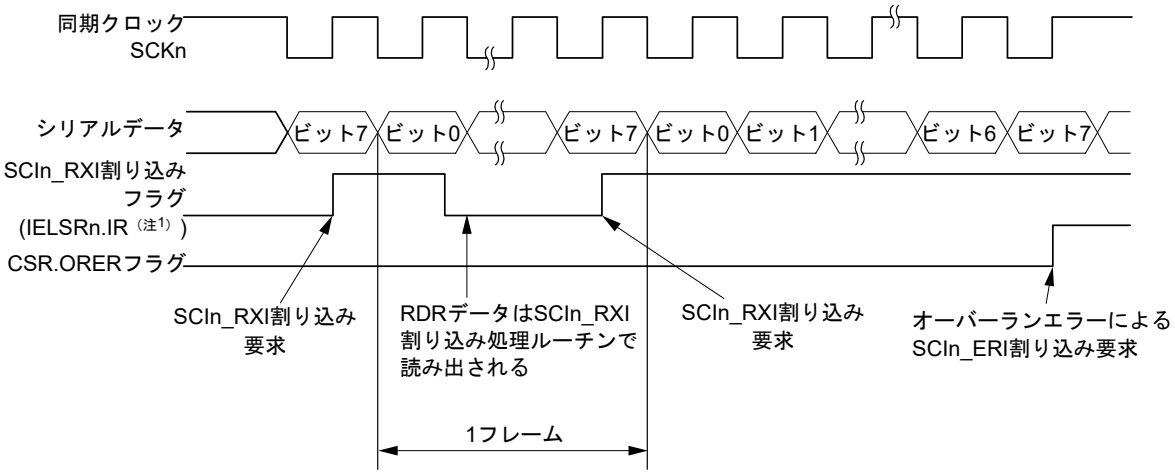
図 38.67 と図 38.68 に、クロック同期式モードにおけるシリアル受信の SCI 動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。スレーブモード時のみ受信専用動作が可能です。（マスタモード時では、受信専用動作は禁止されています。）

1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生すると、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終

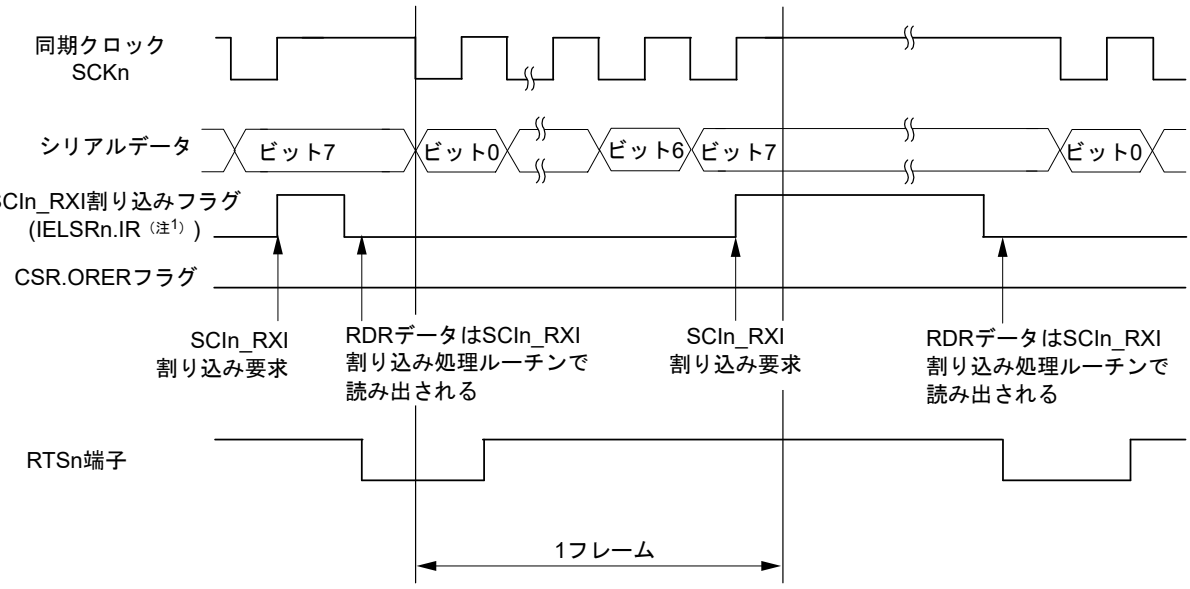
了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタに転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。

最終データ受信後に、CTSn_RTSn 端子から Low を出力させないためには、CCR0.RE ビットを 0 に設定してから RDR レジスタを読み出してください。



注 1.　対応する割り込みイベント番号は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.67　クロック同期式モードにおけるシリアル受信の動作例（1）（RTS 機能を使用しない場合）

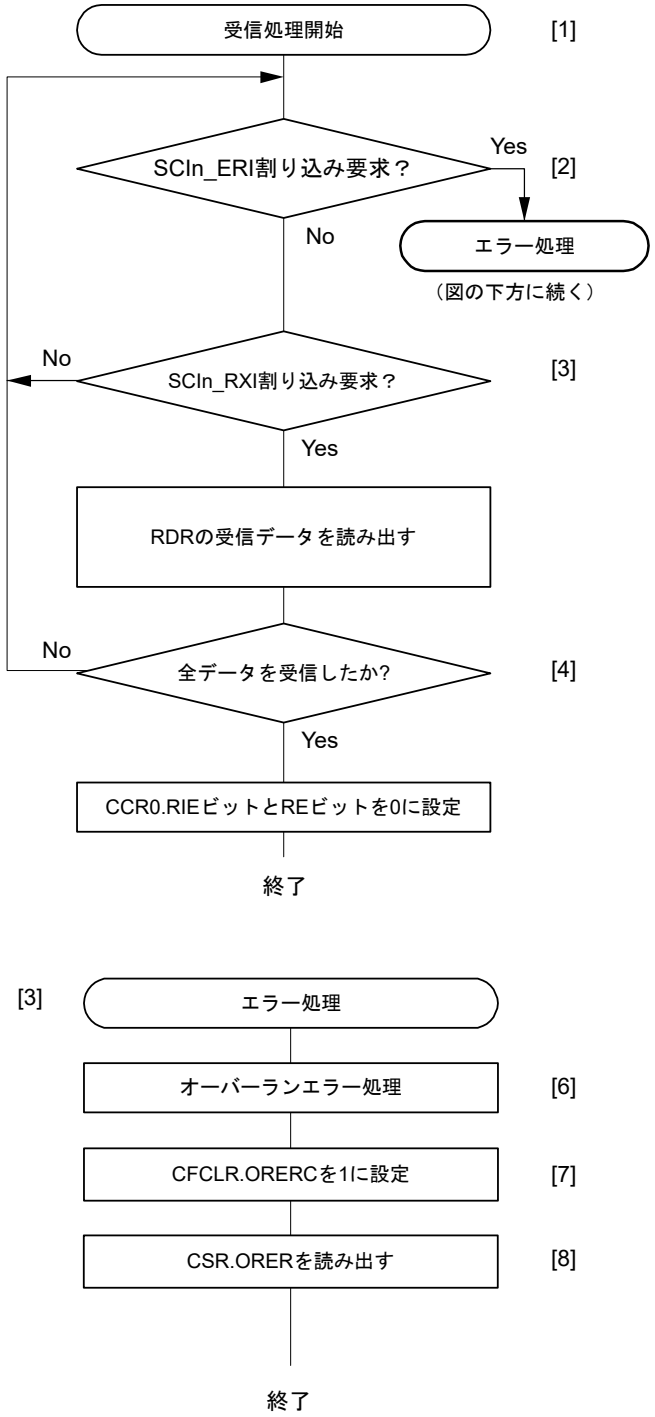


注 1.　対応する割り込みイベント番号は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.68　クロック同期式モードにおけるシリアル受信の動作例（2）（RTS 機能を使用する場合）

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、CSR レジスタの ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に CCR0.RE ビットに 0 を書いてデータ受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 38.69 に、シリアル受信のフローチャート例を示します。



[1]　受信処理開始

[2]　受信エラー処理：
受信エラーが発生したときは、所定のエラー処理を行った後、必ずCSR.ORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

[3]　SCIn_RXI割り込み処理ルーチンで、RDR内の受信データを1回読み出します。

[4]　シリアル受信の継続手順：
シリアル受信を継続する場合は、現在のフレームのMSBビット（ビット7）を受信する前に、SCIn_RXI割り込み処理ルーチンでRDRレジスタの値を読み出します。RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

[6]　オーバーランエラー処理：
RDRを読み出します。

[7]　エラーフラグのクリア：
受信したエラーに対応したフラグクリアビットを1に設定します。このステップと[6]が済むと、次のフレームを正常に受信できます。

[8]　エラーフラグのクリア確認：
全てのエラーフラグがクリアされたことを確認します。

図 38.69　クロック同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

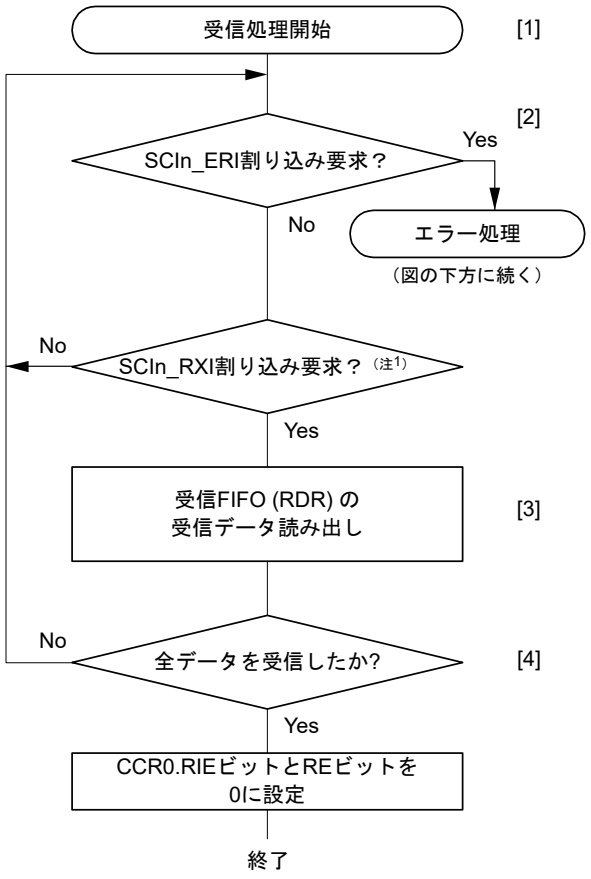
図 38.70 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。

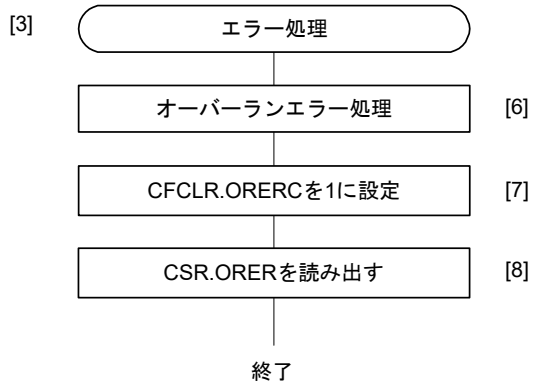
シリアルデータの受信時、SCI は以下のように動作します。スレーブモード時のみ受信専用動作が可能です。（マスタモード時では、受信専用動作は禁止されています。）

1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期してデータ受信を開始して、受信データを受信 FIFO（RDR レジスタ）に転送します。

3. オーバーランエラーが発生すると、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは受信 FIFO（RDR レジスタ）へ転送されません(注1)。
4. 正常に受信したときは、受信データが受信 FIFO（RDR レジスタ）へ転送されます(注1)。受信 FIFO（RDR レジスタ）に格納された受信データ数が、指定された受信トリガ数以上であると、CSR.RDRF フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、受信 FIFO（RDR レジスタ）(注1)へ転送された受信データを読み出すことで連続受信が可能になります。受信 FIFO（RDR レジスタ）へ転送された受信データ数が指定の受信トリガ数未満であると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。

注 1.　クロック同期式モードでは、RDR.RDAT[8]レジスタを使用しません。





[1]　受信処理開始

[2]　受信エラー処理：
受信エラーが発生したときには、所定のエラー処理を行った後、必ずCSR.ORERを0にしてください。ORERが1の間はデータ受信を再開できません。

[3]　SCIn_RXI割り込み処理ルーチンで、受信FIFO (RDR) の受信データを読み出します。受信FIFO (RDR) に格納された受信データは、格納データ数がFCR.RTRGの値未満になるまで読み出されます。FRSR.R[5:0]でFIFO内の受信データ数を確認できます。

[4] シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、RDR内の受信データの読み出しを行います。DMACまたはDTCを起動することでも、RDRレジスタの値を読み出すことが可能です。

（注1）
全受信データ数は、受信FIFOしきい値の整数倍にしてください。整数倍ではない場合、ステップ[2]に戻り、無限ループになりますので、別途タイマなどを使用してタイムアウト時間を設定してください。

[6]　オーバーランエラー処理：
RDRを読み出します。

[7]　エラーフラグのクリア：
受信したエラーに対応したフラグクリアビットを1に設定します。このステップとステップ[6]が済むと、次のフレームを正常に受信できます。

[8]　エラーフラグのクリア確認：
全てのエラーフラグがクリアされたことを確認します。

図 38.70　クロック同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）

38.6.6 シリアルデータの同時送受信（クロック同期式モード）

(1) 非 FIFO 選択時

図 38.71 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従ってください。

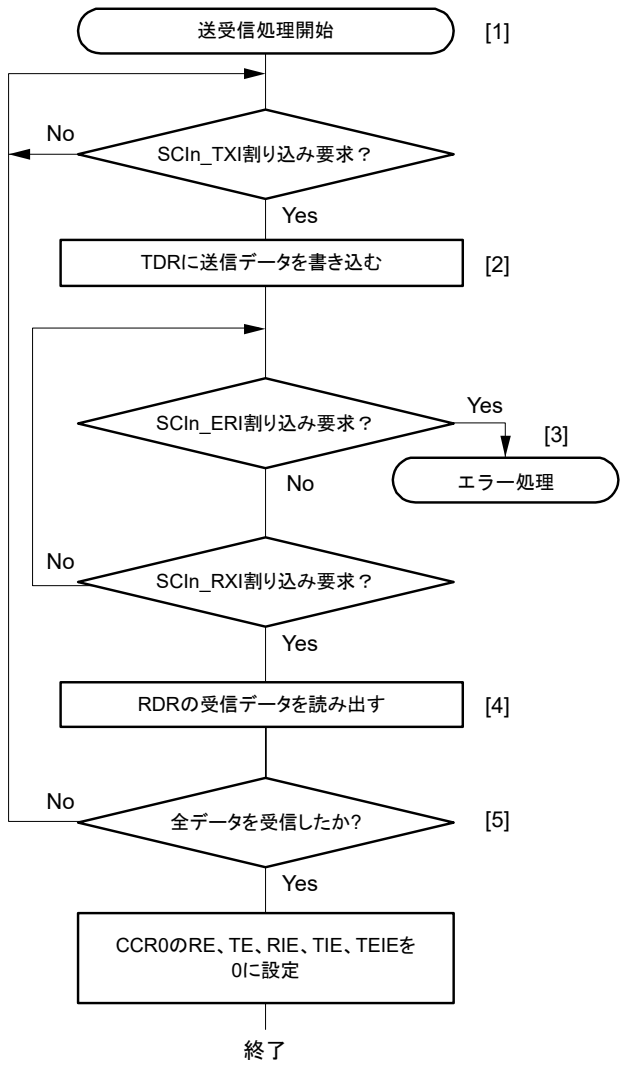
送信モードから同時送受信モードへ切り替えるとき、

1. SCI がデータ送信完了状態であることを CSR.TEND フラグが 1 になっていることで確認してください。
2. その後、CCR0 レジスタを初期化してから、CCR0 レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI がデータ受信完了状態であることを確認してください。
2. CCR0.TE ビットと RE ビットを 0 にした後、CSR レジスタの受信エラーフラグ（ORER、FER、および PER）が 0 になっていることを確認します。
3. その後、CCR0 レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

RTS 機能を同時送受信動作で使用する場合、最終データ受信後の受信動作において、CTSn_RTSn 端子から Low を出力させないためには、CCR0.RE ビットと TE ビットを同時に 0 に設定してから RDR レジスタを読み出してください。



[1]　送受信処理開始

[2]　送信データの書き込み：
SCIn_TXI割り込み要求処理ルーチンでTDRに送信データを書き込みます。

[3]　受信エラー処理：
受信エラーが発生したときには、所定のエラー処理を行った後、必ずCSR.ORERを0にしてください。ORERが1の間はデータ受信を再開できません。

[4]　受信データの読み出し：
SCIn_RXI割り込み要求処理ルーチンでRDRレジスタに1回格納された受信データを読み出します。

[5]　シリアル送受信の継続手順：
シリアル受信を継続する場合は、現在のフレームのMSBビット（ビット7）を受信する前に、SCIn_RXI割り込み処理ルーチンでRDRレジスタのデータを読み出します。また、現在のMSBビット（ビット7）を送信する前に、SCIn_TXI割り込み処理でTDRに送信データを書き込みます。送信データは、DMACまたはDTCを起動することでも書き込むことができます。また、RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

図 38.71　クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 38.72 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

SCI の初期化後、シリアルデータ同時送受信動作は以下の手順に従ってください。

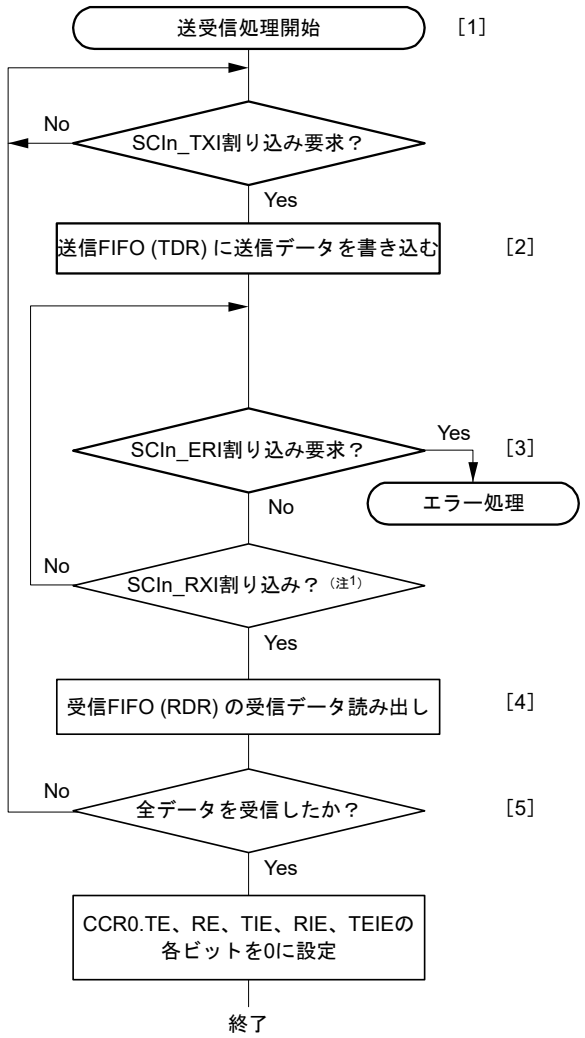
送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを CSR.TEND フラグが 1 になっていることで確認してください。
2. その後、CCR0 レジスタを初期化してから、CCR0 レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI が受信完了状態であることを確認してください。
2. CCR0.TE ビットと RE ビットを 0 にしてください。
3. CSR レジスタの受信エラーフラグ（ORER、FER、および PER）が 0 になっていることを確認した後、CCR0 レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

クロック同期式通信では送信と受信を同時に行うため、送信データ数と受信データ数を必ず同じ数にしてください。



[1] 送受信処理開始

[2] 送信データ書き込み：
SCIn_TXI割り込み要求処理ルーチンで送信FIFO (TDR) に送信データを書き込みます。
送信データ数はFCR.RTRGビットの値と合わせます。

[3] 受信エラー処理：
受信エラーが発生したときには、所定のエラー処理（通信の停止、全受信データの読み出し、CSR.RDRFフラグのクリアなどの初期化）を行った後、必ずORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

[4] 受信データの読み出し：
受信FIFO (RDR) に格納された受信データを、FCR.RTRGの数だけSCIn_RXI割り込み処理ルーチンで読み出します。

[5] シリアル送受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、RDR内の受信データの読み出しを行い、CSR.RDRFフラグを0にクリアします。
シリアル送信を継続する場合は、SCIn_TXI割り込み要求により送信データを送信FIFO (TDR) に書き込み、TDREフラグを0にクリアします。
また、DMACまたはDTCを起動することによっても、送信データを送信FIFO (TDR) に書き込むことが可能です。また、DMACまたはDTCを起動することで、RDRレジスタの値も読み出すことが可能です。 この場合、TDREおよびRDRFフラグは自動的にクリアされます。そのため、TDREおよびRDRFフラグには書き込まないでください。

注 1. 全受信データ数は、受信 FIFO しきい値の整数倍にしてください。整数倍でない場合、ステップ[2]に戻り、無限ループに入ります。そのため、タイマなどを使用してタイムアウト時間を別に設定してください。

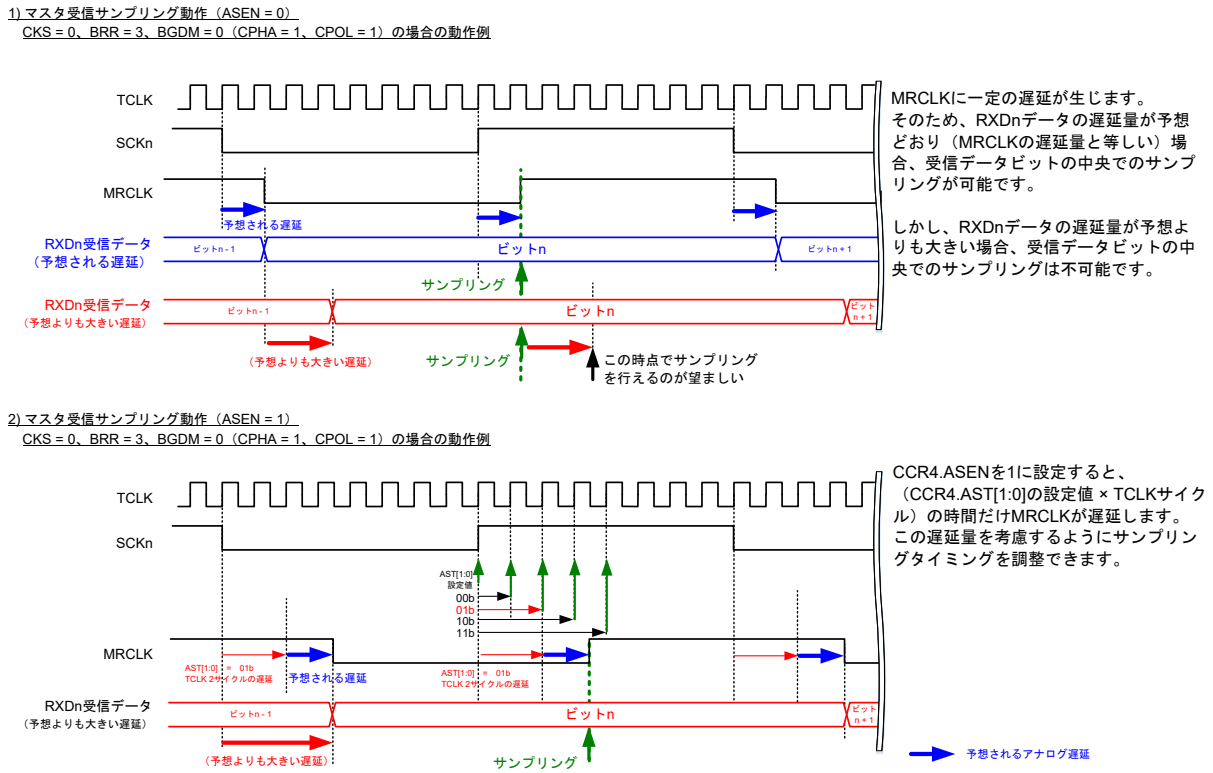
図 38.72 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（FIFO 選択時）

38.6.7 受信サンプリングタイミング調整機能（クロック同期式モード、内部クロック使用）

クロック同期式の内部クロックを使用する場合（マスタモード）、MRCLK が受信サンプリングクロックとして使用されます。

この機能は、MRCLK を 1～4 TCLK 遅延させ、デジタル遅延を追加することにより、受信サンプリングのタイミングを調整します。この機能で MRCLK のアナログ遅延を調整することはできません。

CCR4.ASEN ビットを 1 にすると、この機能が有効になります。遅延値は CCR4.AST[1:0] に設定されます。



注. このタイミングチャートに、受信サンプリングタイミング調整機能の説明を示します。

図 38.73 クロック同期式モード（マスタ）での受信サンプリングタイミング調整動作

38.7 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3（Identification Card 規格）に対応したスマートカード（IC カード）インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

38.7.1 接続例

図 38.74 に、スマートカード（IC カード）と本 MCU の接続例を示します。図 38.74 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で CCR0.TE ビットと CCR0.RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、MCU の出力ポートを使用できます。

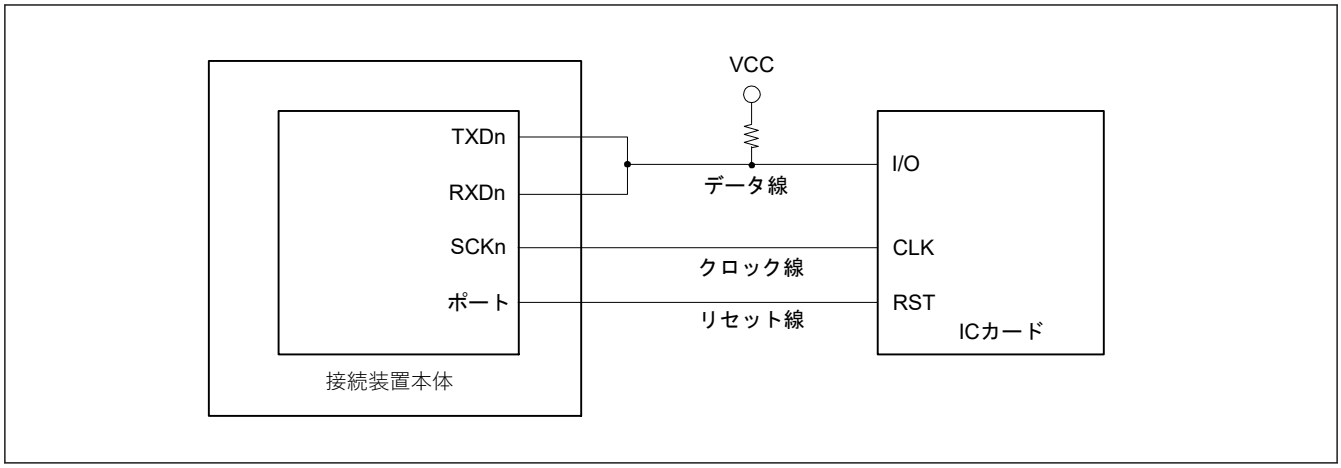


図 38.74　スマートカード（IC カード）との接続例

38.7.2　データフォーマット（ブロック転送モード時を除く）

図 38.75 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信中は、パリティビットの終了から次のフレーム開始まで、2 etu（Elementary Time Unit = 1 ビット転送時間）以上のガードタイムが必要
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力
- 送信中にエラー信号をサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信

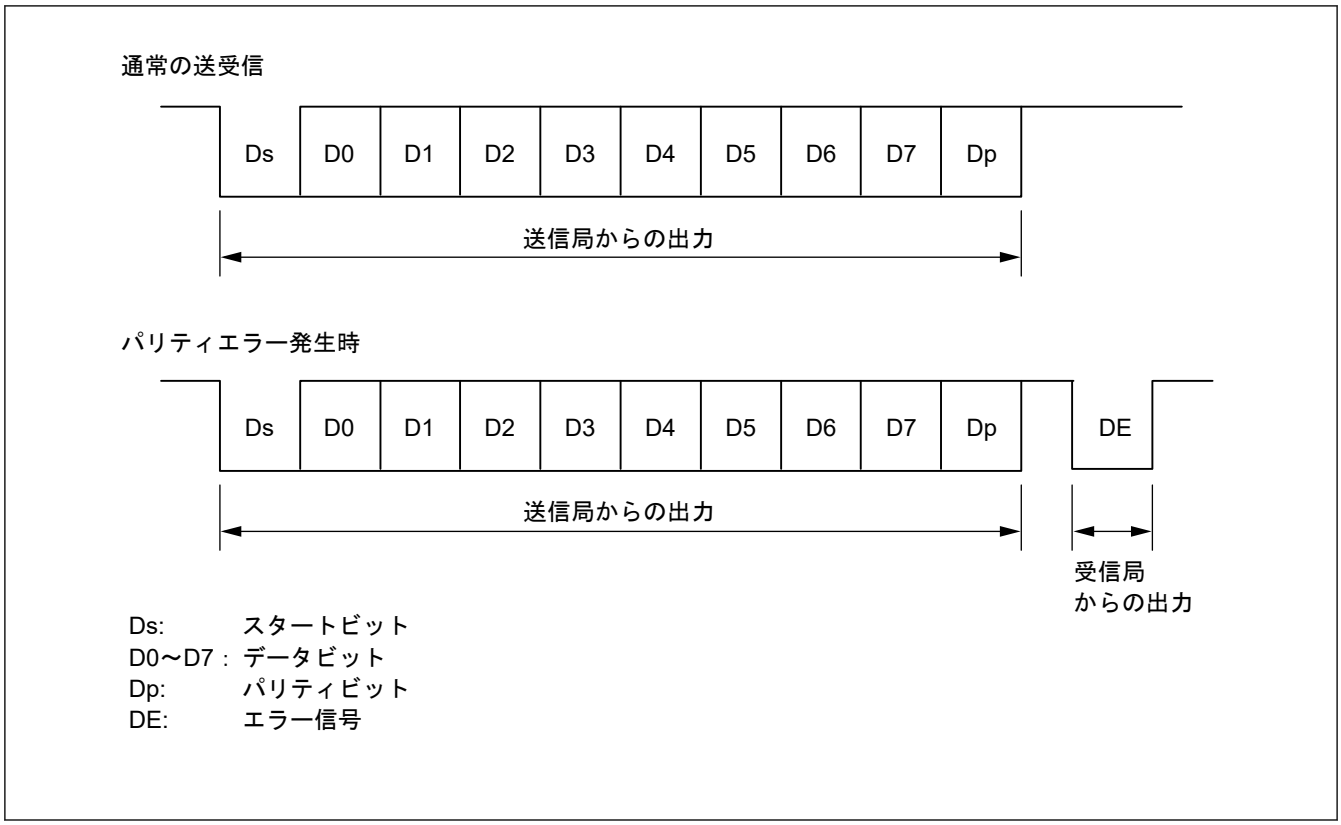


図 38.75　スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 38.76 に示すように、ロジックレベル 1 は状態 Z を、ロジックレベル 0 は状態 A をそれぞれ表し、開始キャラクタに対して LSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3B となります。

ダイレクトコンベンションタイプを使用する場合、CCR3.LSBF ビットに 1 を、CCR3.SINV ビットに 0 を書き込んでください。また、スマートカードの規格により、偶数パリティとなるように CCR1.PM ビットは 0 にしてください。

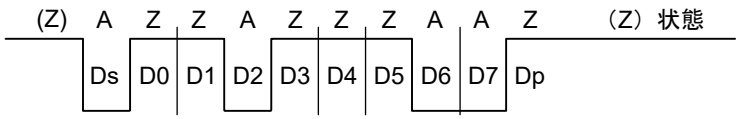


図 38.76 ダイレクトコンベンション (CCR3.LSBF = 1, CCR3.SINV = 0, CCR1.PM = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 38.77 に示すように、ロジックレベル 1 は状態 A を、ロジックレベル 0 は状態 Z をそれぞれ表し、開始キャラクタに対して MSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3F となります。

インバースコンベンションタイプを使用する場合、CCR3.LSBF ビットに 0 を、CCR3.SINV ビットに 1 を書き込んでください。また、スマートカードの規格に従って偶数パリティとするために、パリティビットは状態 Z に対応するロジックレベル 0 になります。本 MCU では、SINV ビットはデータビット D7～D0 のみを反転させます。そのため、送信時と受信時の両方において、CCR1.PM ビットに 1 を書いてパリティビットを反転させてください。

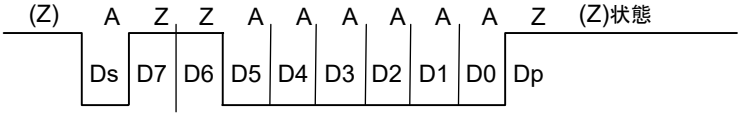


図 38.77 インバースコンベンション (CCR3.LSBF = 0, CCR3.SINV = 1, CCR1.PM = 1)

38.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に CSR.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1 etu 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5 etu 経過後に、CSR レジスタの TEND フラグがセットされます。
- ブロック転送モードでは、CSR レジスタの ERS フラグは通常のスマートカードインタフェースモードと同じエラー信号状態を示します。ただし、エラー信号が転送されないため、このフラグの読み出し値は 0 となります。

38.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成する内部クロックのみです。

このモードでは、CCR2.BCP[2:0]ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、または 512 倍の周波数の基本クロックで動作します。通常の調歩同期式モードでは、周波数はビットレートの 16 倍に固定されています。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。

また、図 38.78 に示すように、受信データは基本クロックのそれぞれ 16 番目、32 番目、186 番目、128 番目、46 番目、64 番目、93 番目、256 番目の立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。受信マージンは次式で表すことができます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%]$$

M：受信マージン (%)

N：クロックに対するビットレートの比 ($N = 32, 64, 372, 256$)

D：クロックのデューティー ($D = 0 \sim 1.0$)

L：フレーム長 ($L = 10$)

F：クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようになります。

$M = \{0.5 - 1/(2 \times 372)\} \times 100\ [\%] = 49.866\ \%$

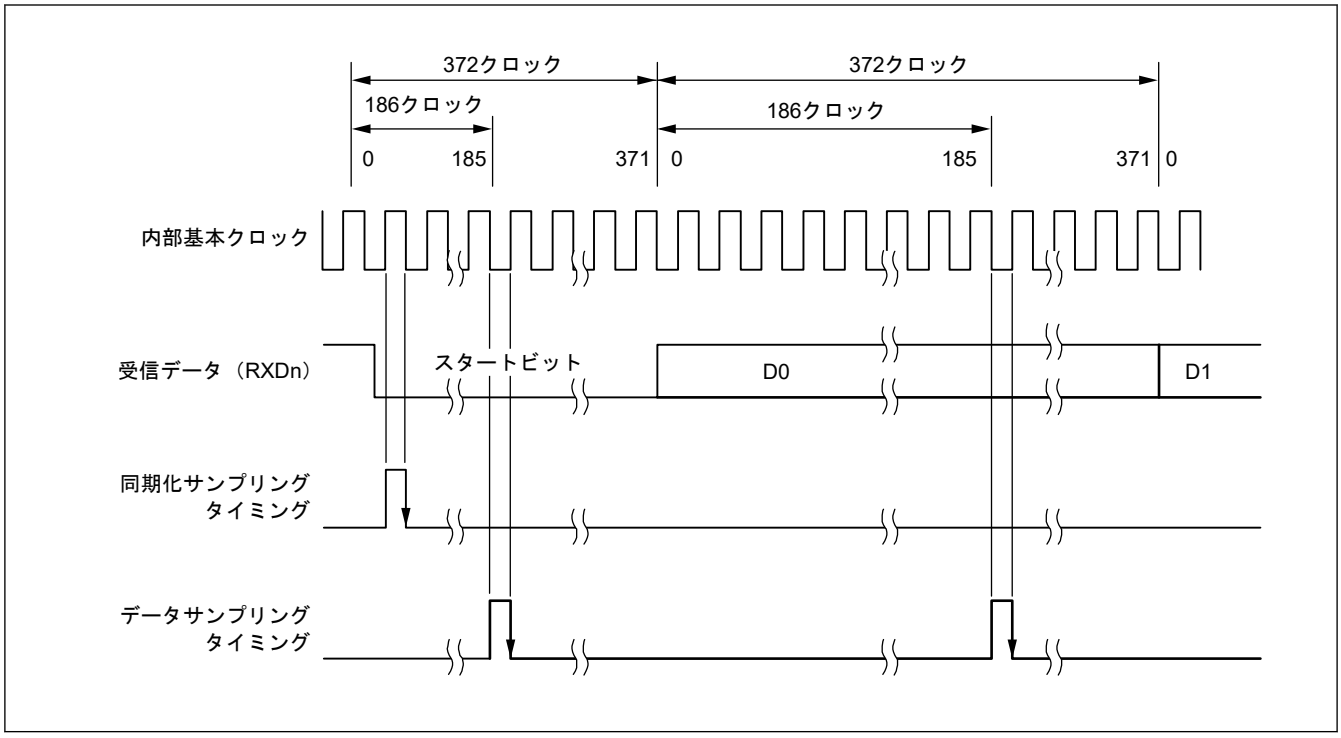


図 38.78　スマートカードインタフェースモードにおける受信データのサンプリングタイミング（ビットレートの 372 倍のクロック周波数の場合）

38.7.5　SCI の初期化（スマートカードインタフェースモード）

データの送受信前に、CCR0 レジスタに初期値 0x00 を書き込み、表 38.39 に示すフローチャートの例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に CCR0 レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、CCR0.RE ビットを 0 にしても RDR レジスタは初期化されません。

送信モードでは、CCR0.TE ビットと CCR0.TIE ビットを同時に 1 にすると、SCIn_TXI 割り込み要求が発生します。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、CCR0.TE ビット = 1、CCR0.RE ビット = 0 にしてください。受信動作の完了は、SCIn_RXI 割り込み要求、CSR レジスタの ORER フラグ、あるいは PER フラグを読み出して確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、CCR0.TE ビット = 0、CCR0.RE ビット = 1 にしてください。送信動作の完了は CSR.TEND フラグを読み出して確認できます。

表 38.39　スマートカードインタフェースモードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	CCR3 を設定	通信モード (MOD[2:0] = 001b)、BLK、GM、および SINV を設定します。他のビットは、初期値のままにします。
4	CCR2 を設定	クロック選択とビットレートを設定します。BRME を 0 に設定します。
5	CCR1 を設定	ノイズフィルタ機能、通信ターミナルステータスを設定します。NFEN ビット、PE ビットおよび CTSE ビットを 0 にしてから、PE ビットを 1 にします。
6	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
7	CCR3 を設定	CKE[1:0]を設定 GM ビットの設定値により、CKE[0]ビットを 1 にした場合は、SCKn 端子からクロックが出力されます。
8	CFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします : CFCLR の RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC
9	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。次に TIE ビットおよび RIE ビットを設定します。自己診断以外は TE ビットと RE ビットを同時に 1 にしないでください。
10	初期化の完了	—

図 38.79 に上記のフローに従ってスマートカードインタフェースモードに遷移することでデータ送信が行われるときのタイミングチャートを示します。この図は、CCR3.GM ビットが 0 の場合を示します。図に示す通り、SCKn 端子に端子機能を設定したとき、CCR3.CKE[0]ビットが 0 なので SCKn 端子はハイインピーダンスとなります。TXDn 端子を設定したとき、CCR0.TE ビットが 0 なので TXDn 端子はハイインピーダンスとなります。クロック出力設定の CCR3.CKE[0]ビットを 1 にすることによって SCKn 端子へのクロック出力を開始します。そして、CCR0.TE ビットを 1 にした後、送信データを書き込むことでデータ送信を開始します。

スマートカードインタフェースモードでは、クロック出力設定を使用すると、CCR0.TE = 0 および CCR0.RE = 0 で通信しなくても、クロック出力は継続されます。

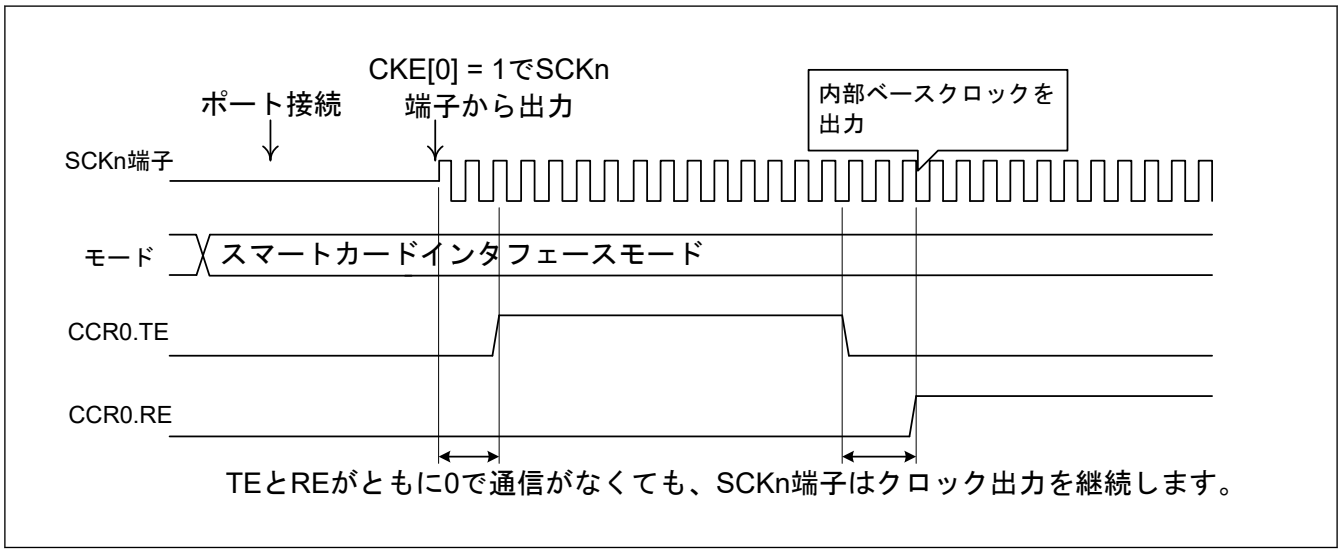


図 38.79　スマートカードインタフェースモードにおけるデータ送信のタイミング図の例

38.7.6　シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラー信号のサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 38.80 に示します。

1. 1 フレーム分の送信を完了した後、受信側からのエラー信号がサンプリングされると、CSR.ERS フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
2. エラー信号を受信したフレームでは、CSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
3. 受信側からエラー信号が返ってこない場合、ERS フラグは 1 になりません。
4. この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

図 38.82 に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCIn_TXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

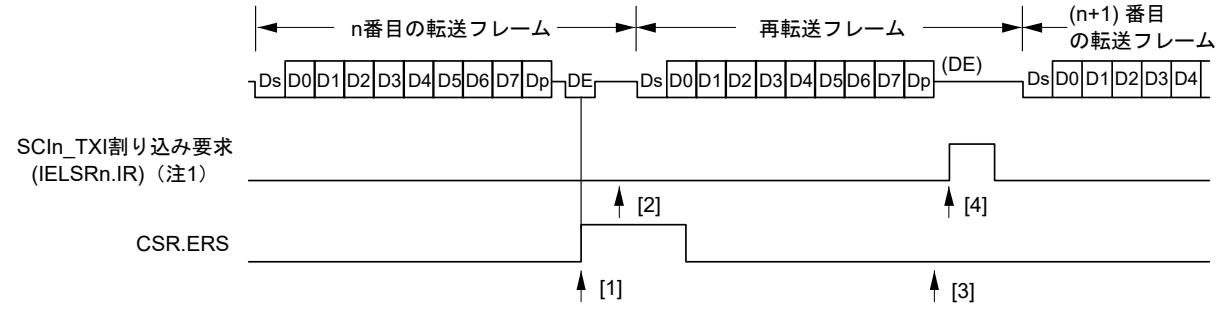
送信動作では、CSR.TEND フラグが 1 になっていると、CCR0.TIE ビットが 1 の場合、SCIn_TXI 割り込み要求が発生します。

あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にはクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn_ERI 割り込み要求を発生させて、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法については、「18. データトランスファコントローラ (DTC)」、「17. DMA コントローラ (DMAC)」を参照してください。



注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.80　スマートカードインタフェース送信モードでのデータ再送信動作

CCR3.GM ビットの設定によって、CSR.TEND フラグが 1 になるタイミングが異なります。図 38.81 に、TEND フラグの発生タイミングを示します。

図 38.81 送信中の CSR.TEND フラグの発生タイミング

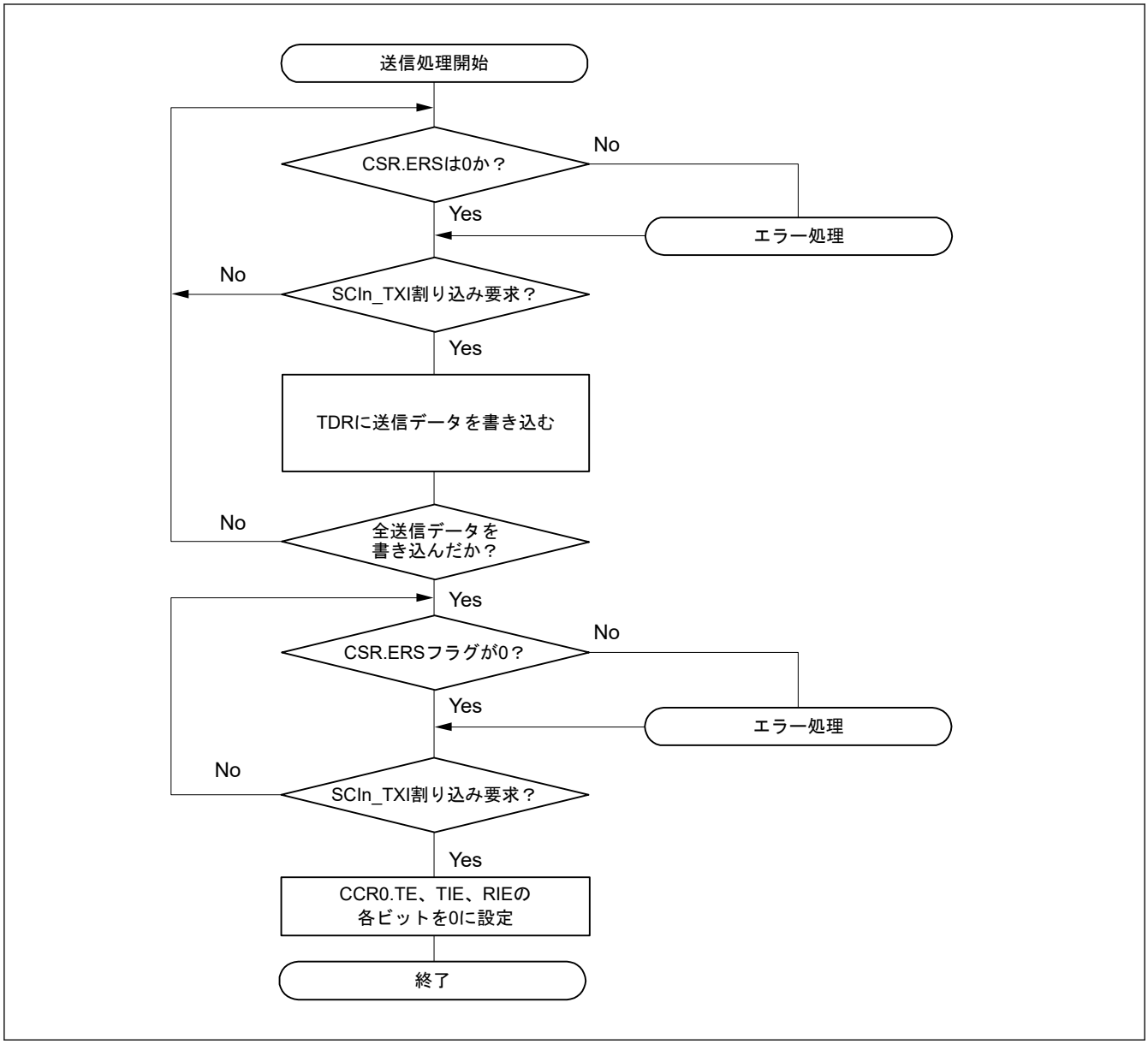


図 38.82　スマートカードインタフェース送信のフローチャート例

38.7.7　シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 38.83 に示します。

1. 受信データにパリティエラーが検出されると、CSR.PER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグを 0 にクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCIn_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、CSR.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

図 38.84 に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCIn_RXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

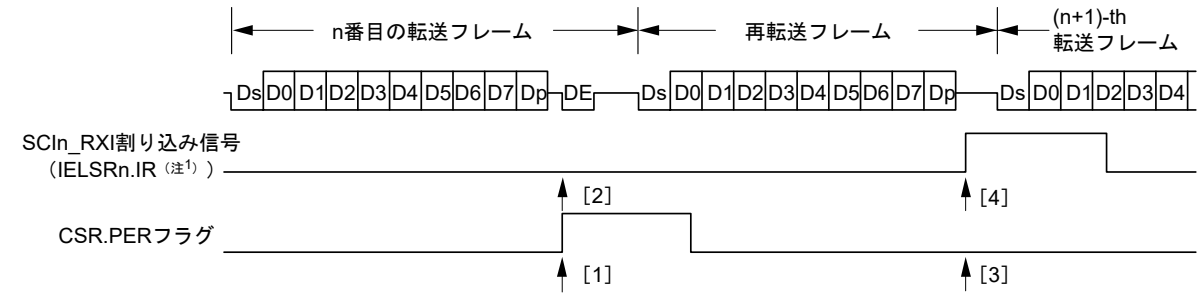
受信動作では、RIE ビットを 1 にしておくと、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

また、受信時にエラーが発生して CSR レジスタの ORER フラグまたは PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC または DMAC は起動されず、受信データはスキップされます。そのため、DTC または DMAC に指定されたバイト数だけ受信データが転送されます。

なお、受信中にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に CCR0.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注.　ブロック転送モードの場合は、「38.3.9. シリアルデータの受信（調歩同期式モード）」を参照してください。



注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.83　スマートカードインタフェース受信モードでの再転送動作

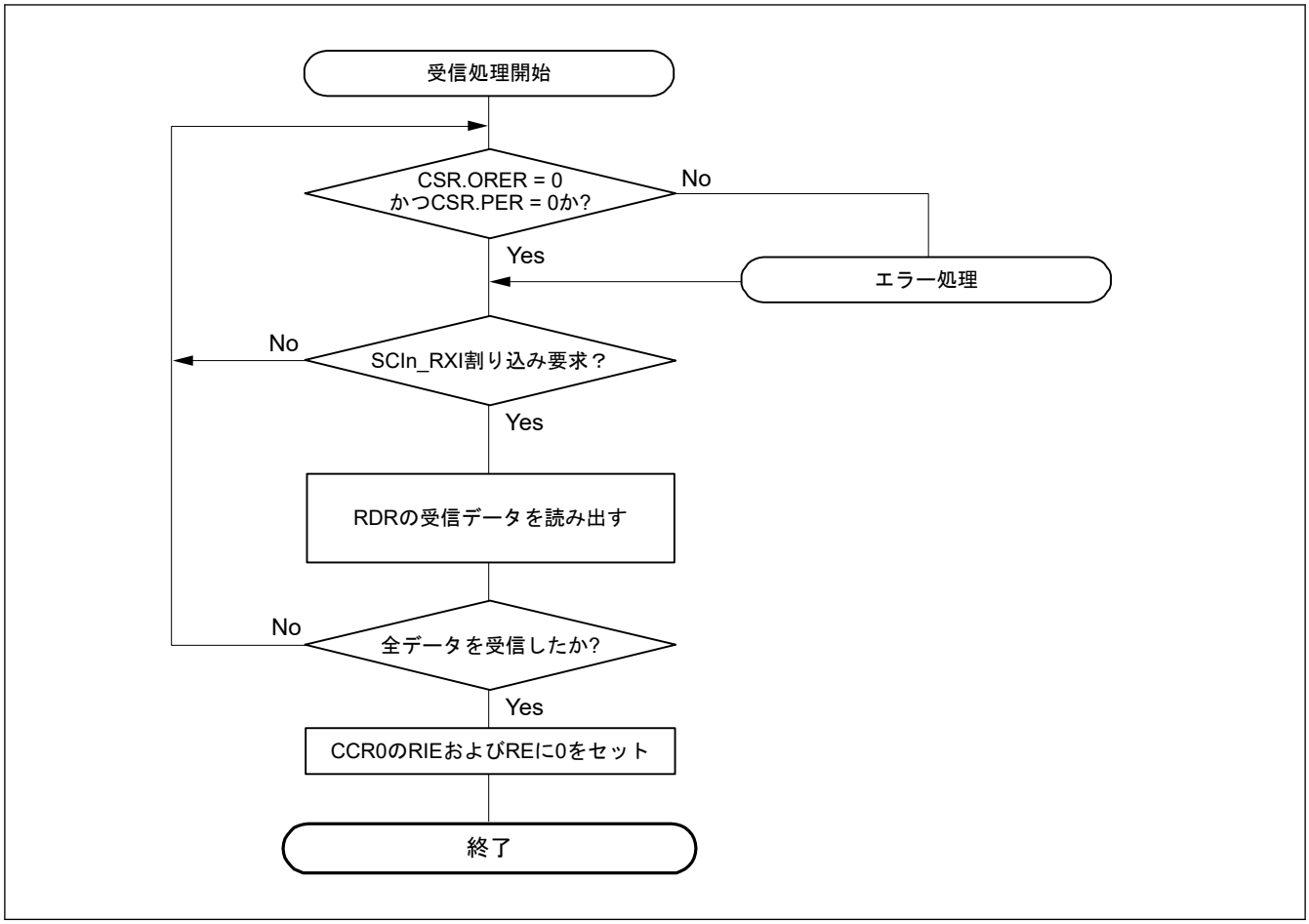


図 38.84　スマートカードインタフェース受信のフローチャート例

38.7.8　クロック出力制御

CCR3.GM ビットを 1 にすると、CCR3.CKE[1:0]ビットでクロック出力の制御が行えます。CKE[1:0]ビットの詳細については、「38.2.8. CCR3 : 共通コントロールレジスタ 3」を参照してください。クロック出力を設定すると、「38.7.4. 受信データサンプリングタイミングと受信マージン」で説明されている基本クロックになり、ビットレートは CCR2.CKS、CCR2.BCP[2:0]ビット、および BRR[7:0]ビットで設定されます。

図 38.85 に、CCR3 レジスタの CKE[1]ビットを 0 にして CCR3 レジスタの CKE[0]ビットを制御する場合のクロック出力制御のタイミング例を示します。

CCR3 レジスタの GM ビットが 0 の場合、CCR3 レジスタの CKE[0]ビットで制御される出力は、SCKn 端子にただちに反映されます。したがって、意図しない幅のパルスが SCKn 端子から出力される可能性があります。

CCR3 レジスタの GM ビットが 1 のとき、CCR3.CKE [0]の出力パルス制御により、基本クロックの状態に従って、パルス幅が制御されます。

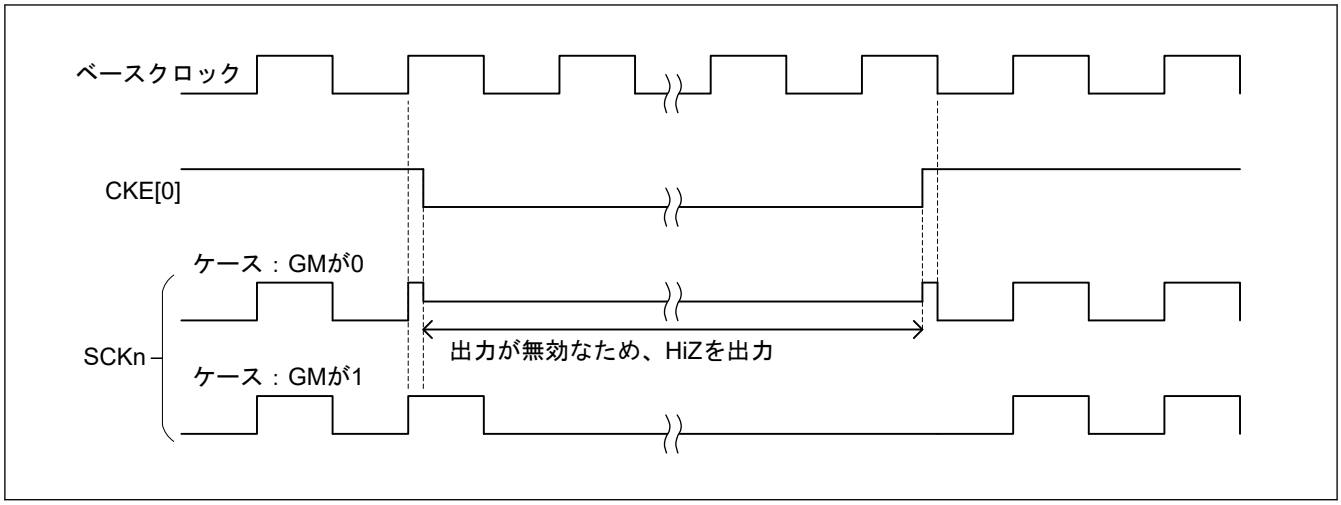


図 38.85　クロック出力タイミング

38.8　簡易 IIC モードの動作

簡易 IIC モードフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 38.86 に、I²C バスフォーマットを、図 38.87 に、I²C バスタイミングを示します。

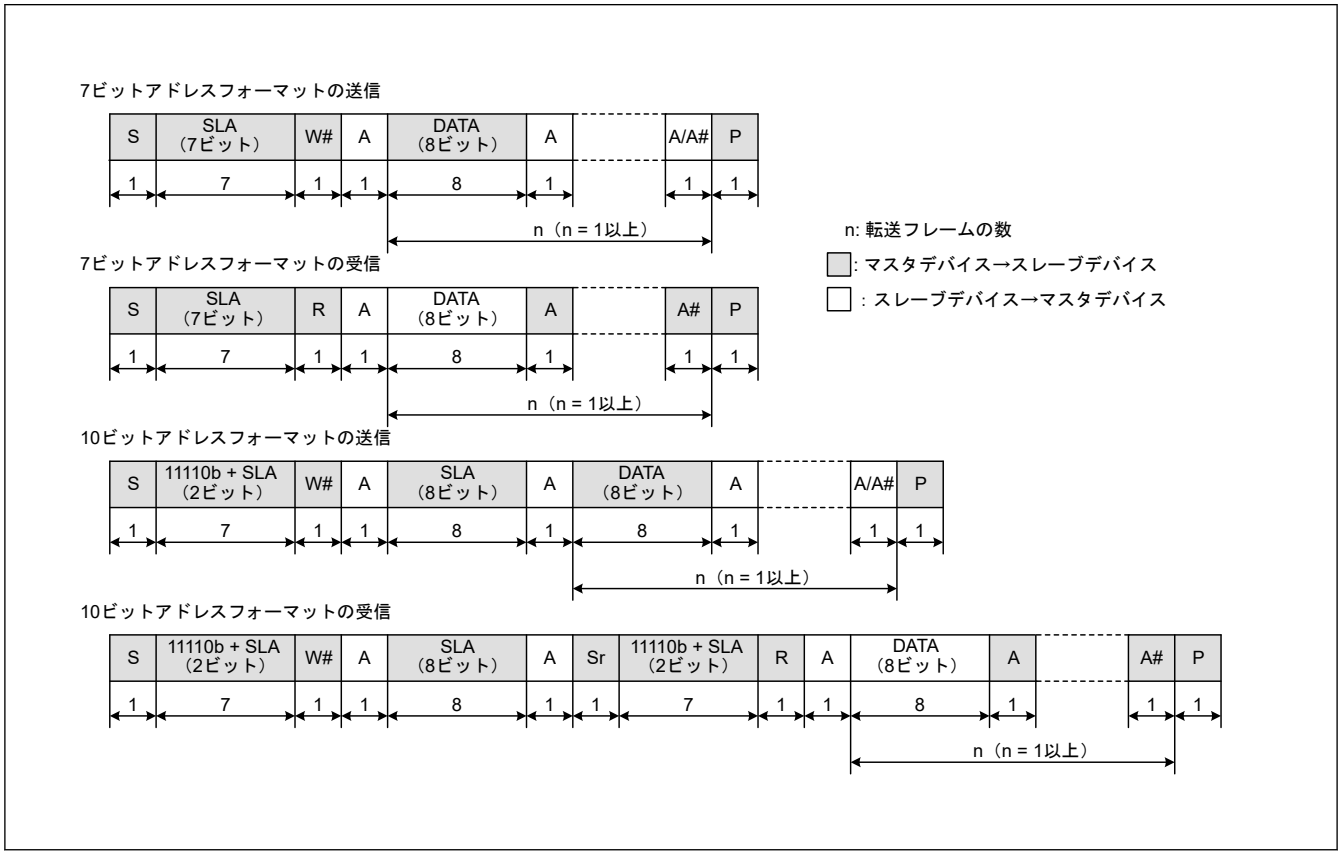


図 38.86　I²C バスフォーマット

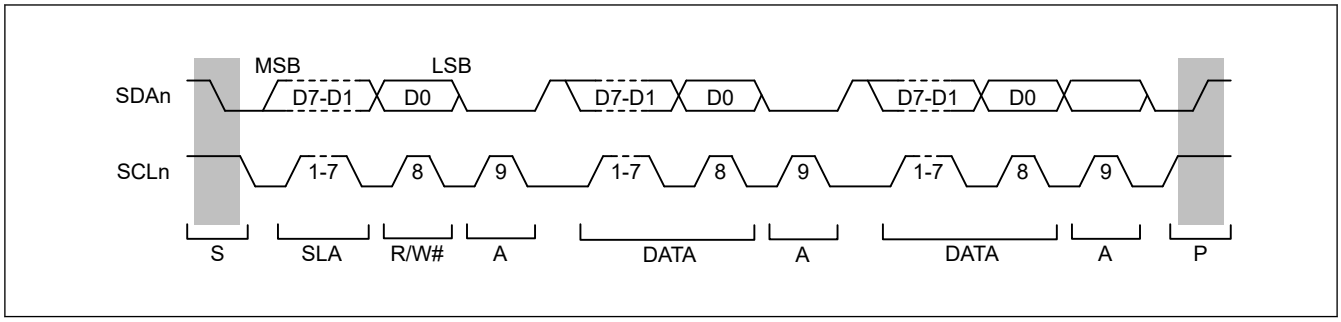


図 38.87 I²C バスタイミング（SLA = 7 ビットの場合）

- S：開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます。
- SLA：スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W#: 転送方向（送信／受信）を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#：アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr：再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインのレベルを High から Low へ変化させます。
- DATA：送受信データを示します。
- P：停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを Low から High へ変化させます。

38.8.1 開始条件、再開始条件、停止条件の生成

ICR.IICSTAREQ ビットに 1 を書き込むことにより、スタートコンディションの生成を行います。スタートコンディションの生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは解放状態を保持
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、スタートコンディションのホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、ICR.IICSTAREQ ビットを 0 にして、スタートコンディション生成割り込み要求を出力

ICR.IICRSTAREQ ビットに 1 を書き込むことにより、リスタートコンディションの生成を行います。リスタートコンディションの生成では、以下の動作が行われます。

- SDAn ラインを解放、SCLn ラインは Low を保持
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを解放（Low から High へ変化）
- SCLn ラインの High を検出後、CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、リスタートコンディションのセットアップ時間に設定
- SDAn ラインを立ち下げ（High から Low へ変化）
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、リスタートコンディションのホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、ICR.IICRSTAREQ ビットを 0 にして、リスタートコンディション生成割り込み要求を出力

ICR.IICSTPREQ ビットに 1 を書き込むことにより、ストップコンディションの生成を行います。ストップコンディションの生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは Low を保持

- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを解放（Low から High へ変化）
- SCLn ラインの High を検出後、CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、ストップコンディションのセットアップ時間に設定
- SDAn ラインを解放し（Low から High へ変化）、ICR.IICSTPREQ ビットを 0 にして、ストップコンディション生成割り込み要求を出力

図 38.88 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

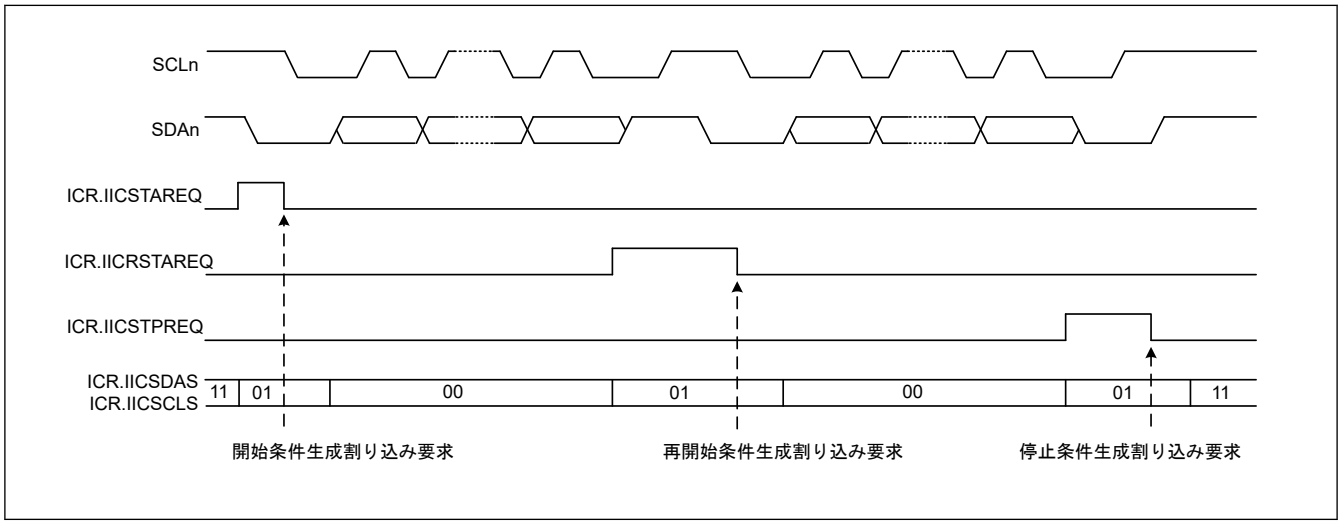


図 38.88　開始条件、再開始条件、停止条件生成の動作タイミング

38.8.2　クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。ICR.IICCSC ビットを 1 に設定すると、内部 SCLn クロック信号と SCLn 端子入力のレベルが異なる場合に、同期を取るための制御が行われます。

ICR.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が Low から High へ変化します。SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子入力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、内部処理遅延（PCLK で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

ICR.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。ICR.IICCSC ビットが 0 の場合、データの送受信は、内部 SCLn クロックに同期して行われます。

スタートコンディション、リスタートコンディション、またはストップコンディションの生成要求発行後、内部 SCLn クロック信号が Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 38.89 に、クロック同期化の動作例を示します。

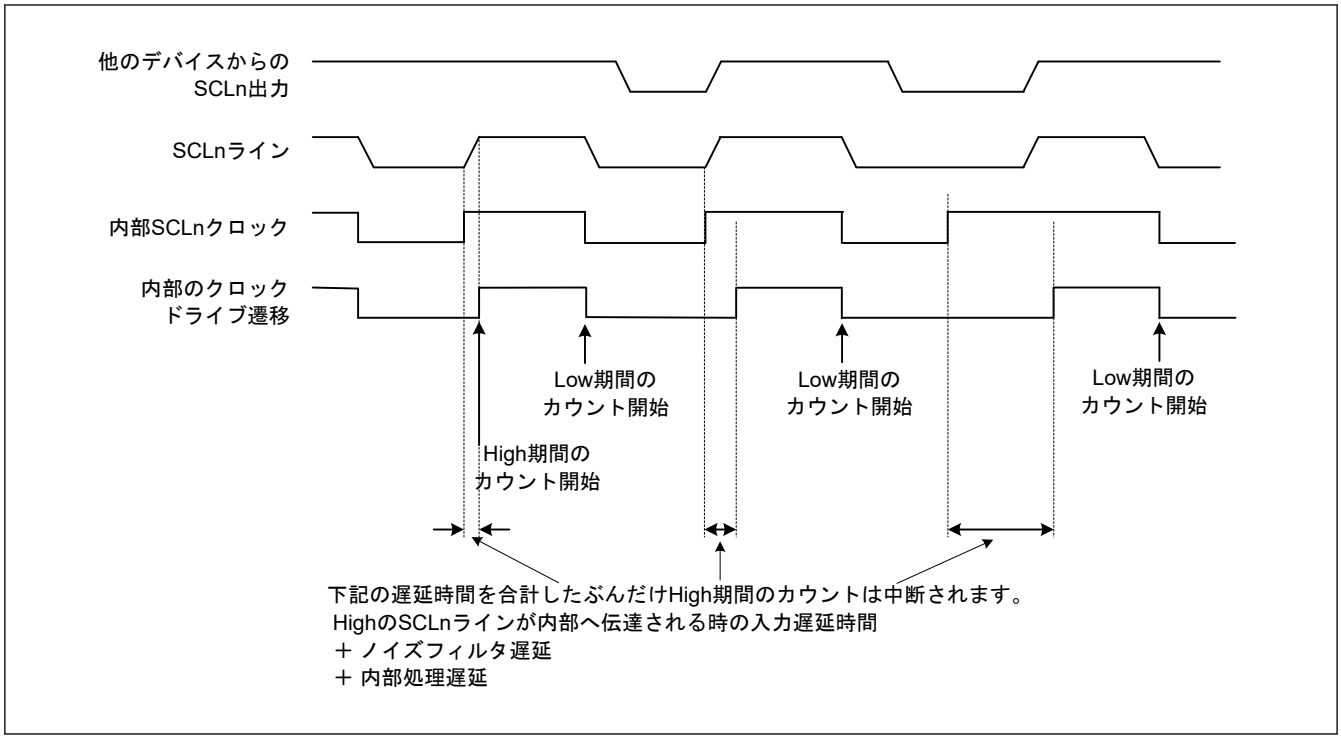


図 38.89　クロック同期化の動作例

38.8.3　SDAn 出力遅延

ICR.IICDL[4:0]ビットを用いて、SCLn 端子出力の立ち下がりエッジに対し、SDAn 端子出力の遅延を設定できます。遅延時間は 0～31 サイクルから選択できます。これは、対応する内蔵ボーレートジェネレータからのクロック信号のサイクル数を表します（CCR2.CKS[1:0]ビットで選択した分周ベースクロック (TCLK) を基準とします）。SDAn 端子出力の遅延は、スタートコンディション／リスタートコンディション／ストップコンディションの各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDAn 端子出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始して、スレーブデバイスが誤動作する可能性があります。SDAn 端子出力遅延は、SCLn 端子出力の立ち下がり時間（IIC の標準モードとファストモードでは 300 ns）より大きくなるように設定してください。

図 38.90 に SDAn 出力遅延のタイミングを示します。

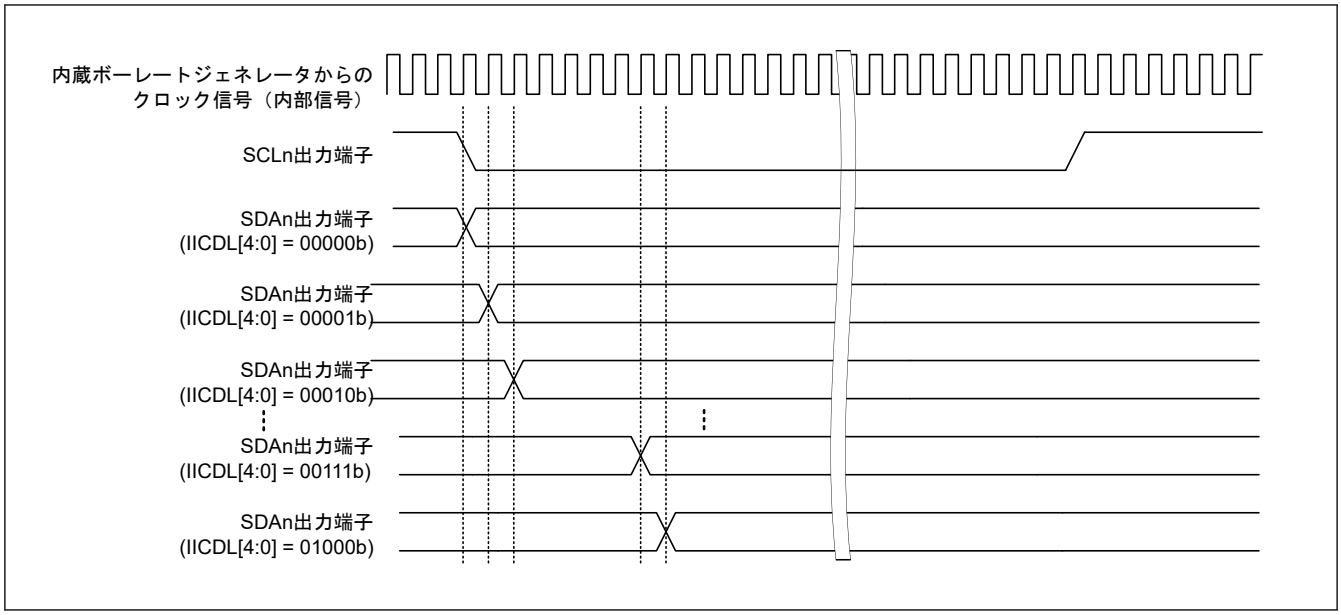


図 38.90　SDAn 出力遅延のタイミング

38.8.4　SCI の初期化（簡易 IIC モード）

データの送受信前に、CCR0 レジスタに初期値 0x00 を書き込み、表 38.40 のフローチャート例に従って、インタフェースを初期化してください。

動作モードまたは通信フォーマットを変更する前に、必ず CCR0 レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

表 38.40　簡易 IIC モードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	ICR を設定	IICSDAS[1:0]ビットと IICSCLS[1:0]ビットを 11b にします。必要に応じて IICDL[4:0]ビットと IICINTM ビットを設定します。IICACKT ビットと IICCSC ビットを 1 にします。
4	CCR3 を設定	通信モードとして送受信フォーマット (MOD[2:0] = 100b)、CKE [1:0] = 00b を設定します。
5	CCR2 を設定	ビットレート変調機能(注1)、クロック選択、ビットレートを設定します。
6	CCR1 を設定	ノイズフィルタ、通信端子ステータス、パリティチェック、および CTSn/RTSn 機能を設定します。
7	I/O ポート機能を設定	SCLn および SDAn 端子機能が（NMOS オープンドレイン出力端子および Hi-Z で）使用可能となるように I/O ポートを設定します。
8	CFCLR と ICFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC、ICFCLR.IICSTIFC
9	CCR0 (TE, RE, TIE, RIE) を設定	TE ビットと RE ビットを 1 にしてください。割り込みを許可するために、1 回の指示で同時に TE、TIE、RE、および RIE ビットを 1 に設定します（送信用で IICINTM ビットが 1 の状態の場合は、RIE ビットをクリアします）。TE ビットと RE ビットを 1 にすることで、SCLn 端子および SDAn 端子の機能が有効となります。
10	初期化の完了	—

注.　CCR0.TE ビットと RE ビットは、同時に設定してください。
注 1.　ビットレート変調機能を使用しない場合、この設定は不要です。

38.8.5　マスタ送信動作（簡易 IIC モード）

図 38.91 と図 38.92 にマスタ送信の動作例を、図 38.93 にデータ送信のフローチャート例を示します。

図 38.91 に、ICR.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合の動作例を示します。この場合、SCIn_TXI 割り込みにより DMAC または DTC を起動できます。ただし、DMAC または DTC を使用する場

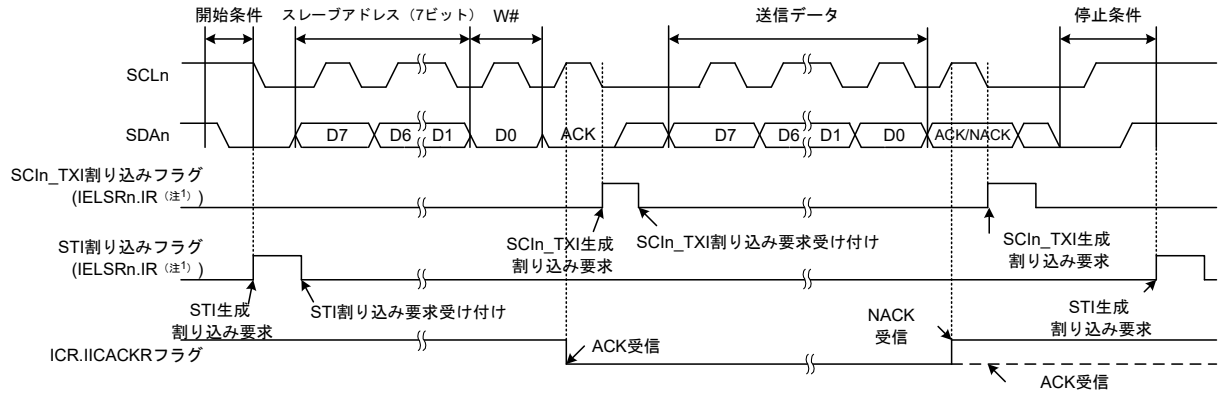
合、ACK/NACK は確認できません。ACK/NACK を確認したい場合は、CPU により送信データを準備してください。

簡易 IIC モードでの SCIn_TXI 割り込みは、1 フレームの通信を完了した時点で発生します。マスタ送信では SCIn_RXI 割り込みは使用されないので、CCR0.RIE は 0 です。

STI 割り込みについては、表 38.45 を参照してください。

図 38.93 に、ICR.IICINTM ビットが 1 のときの、CPU によるアドレス送信と DTC または DMAC によるデータ送信のフローチャートを示します。10 ビットスレーブアドレスの使用時は、[3]と[4]の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



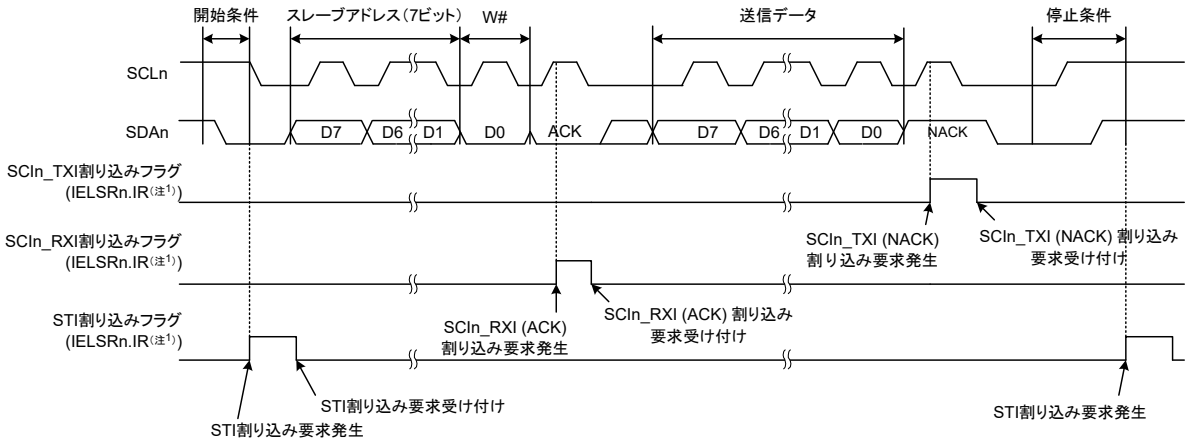
注 1. 対応する割り込みイベント番号は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.91 簡易 IIC モードにおけるマスタ送信の動作例 1（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時） (ICR.IICINTM = 1)

マスタ送信で、ICR.IICINTM ビットを 0（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガにして DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

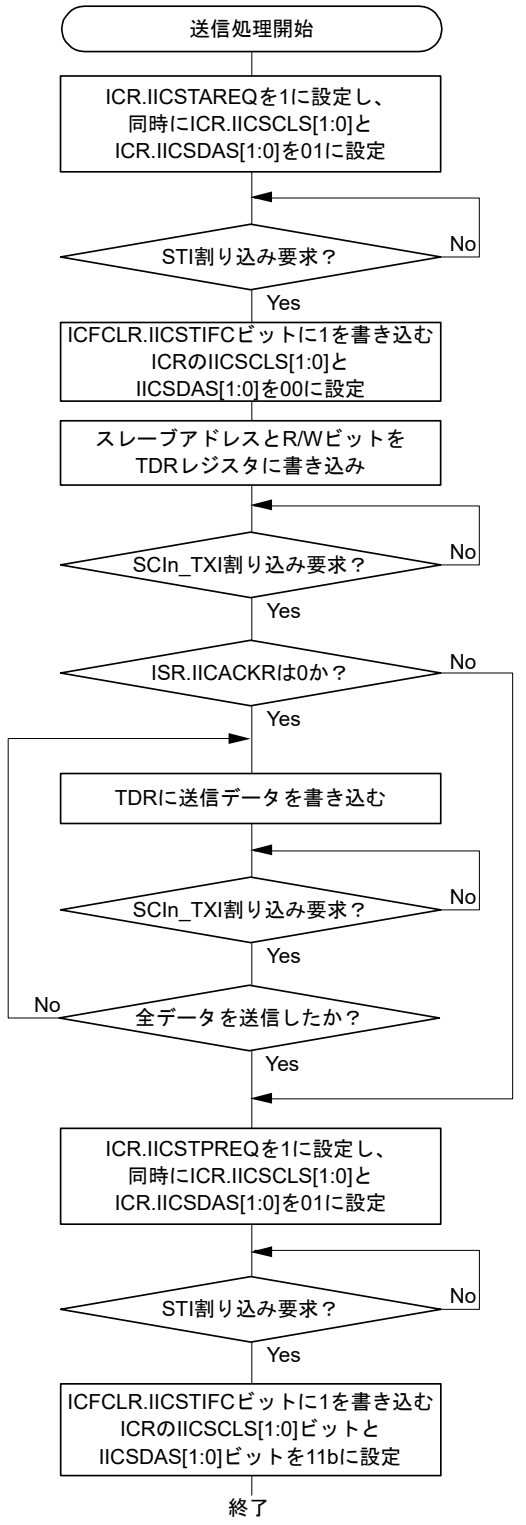
TDR にデータを書き込んだ後に、なんらかの理由で通信をリスタートさせたい場合は以下の手順に従ってください。

1. CCR0 レジスタの TE、RE ビットを 0 にして通信停止させてください。
2. ICR.IICSCLS[1:0]ビットと ICR.IICSDAS[1:0]ビットに 11b を設定し、I^2C バスを解放し、各条件生成をクリアしてください。
3. CSR レジスタの RDRF フラグが 1 に設定されている場合、RDR レジスタをダミーで読み出し、RDRF ビットを 0 に設定してください。
4. CCR0 レジスタの TE、RE ビットに 1 を設定し、次の通信を開始してください。



注 1. 対応する割り込みイベント番号は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.92 簡易 IIC モードにおけるマスタ送信の動作例 2（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時） (ICR.IICINTM = 0)



[1] 送信処理開始
送信の場合、CCR0.RIEを0にします。
（SCIn_RXI割り込み要求とSCIn_ERI割り込み要求は無効になります。）

[2] 開始条件生成

[3] TDRへの書き込み：
スレーブアドレスとR/Wビット値をTDRレジスタに書き込んでください。

[4] スレーブデバイスからのACK応答の確認：
ISR.IICACKRビットを確認します。値が0の場合、スレーブデバイスがACKを返したため、動作は継続されます。値が1の場合、スレーブデバイスからの応答がないことを示します。そのため、次の処理はストップコンディションの生成になります。

[5] シリアル送信継続の手順：
送信を継続する場合、次の送信データをTDRに書き込みます。最初の送信データを除き、SCIn_TXI割り込み要求でDMACまたはDTCを起動し、TDRにデータを書き込むことができます。
ただし、この場合、ACKとNACKのどちらの状態かを確認することはできません。

[6] ストップコンディションを生成します。

[3]～[4]：10ビットスレーブアドレス使用時は、[3]と[4]の手順を2回繰り返します。

注. 簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込み要求が発生します。

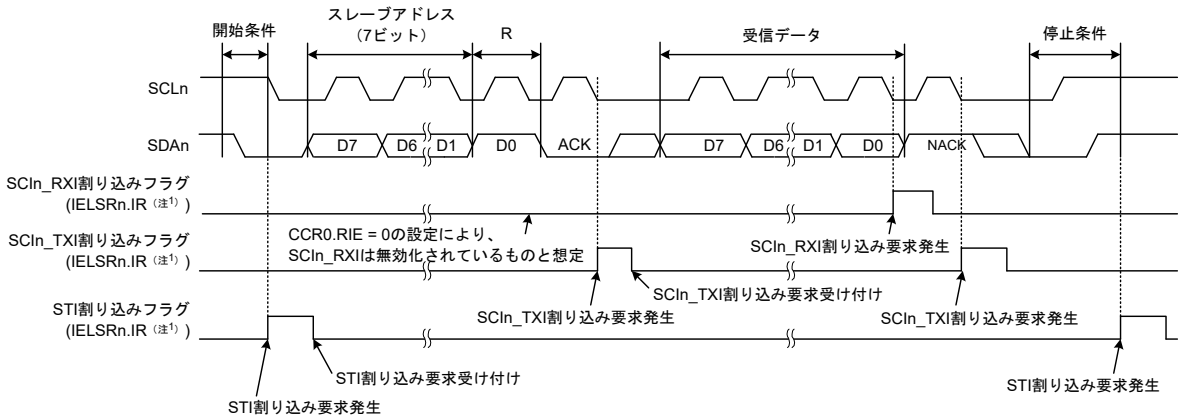
図 38.93 簡易 IIC モードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）

38.8.6 マスタ受信動作（簡易 IIC モード）

図 38.94 に簡易 IIC モードにおけるマスタ受信の動作例を、図 38.96 にマスタ受信のフローチャート例を示します。

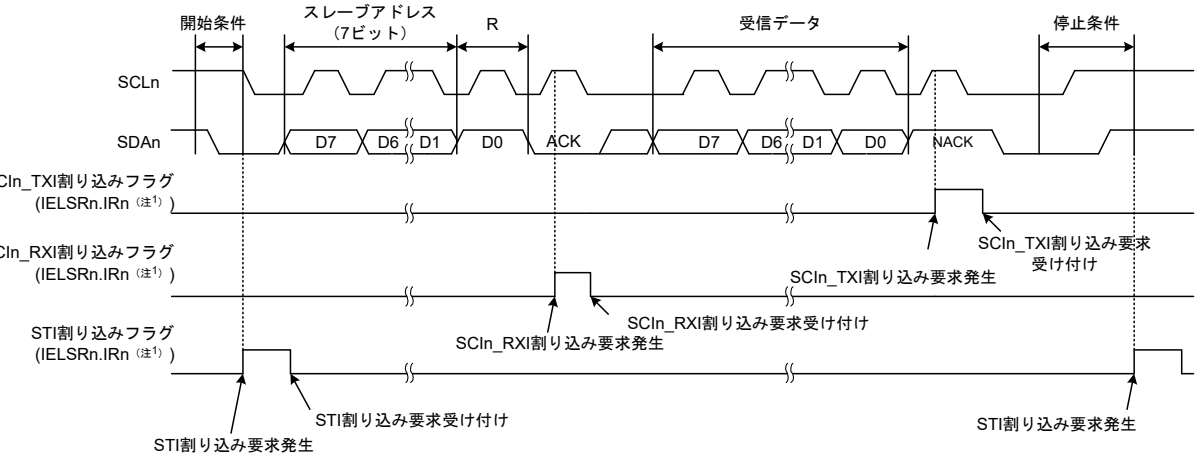
ICR.IICINTM ビットの値が 1（受信割り込み、送信割り込みを使用）と 0（ACK 割り込み、NACK 割り込みを使用）の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



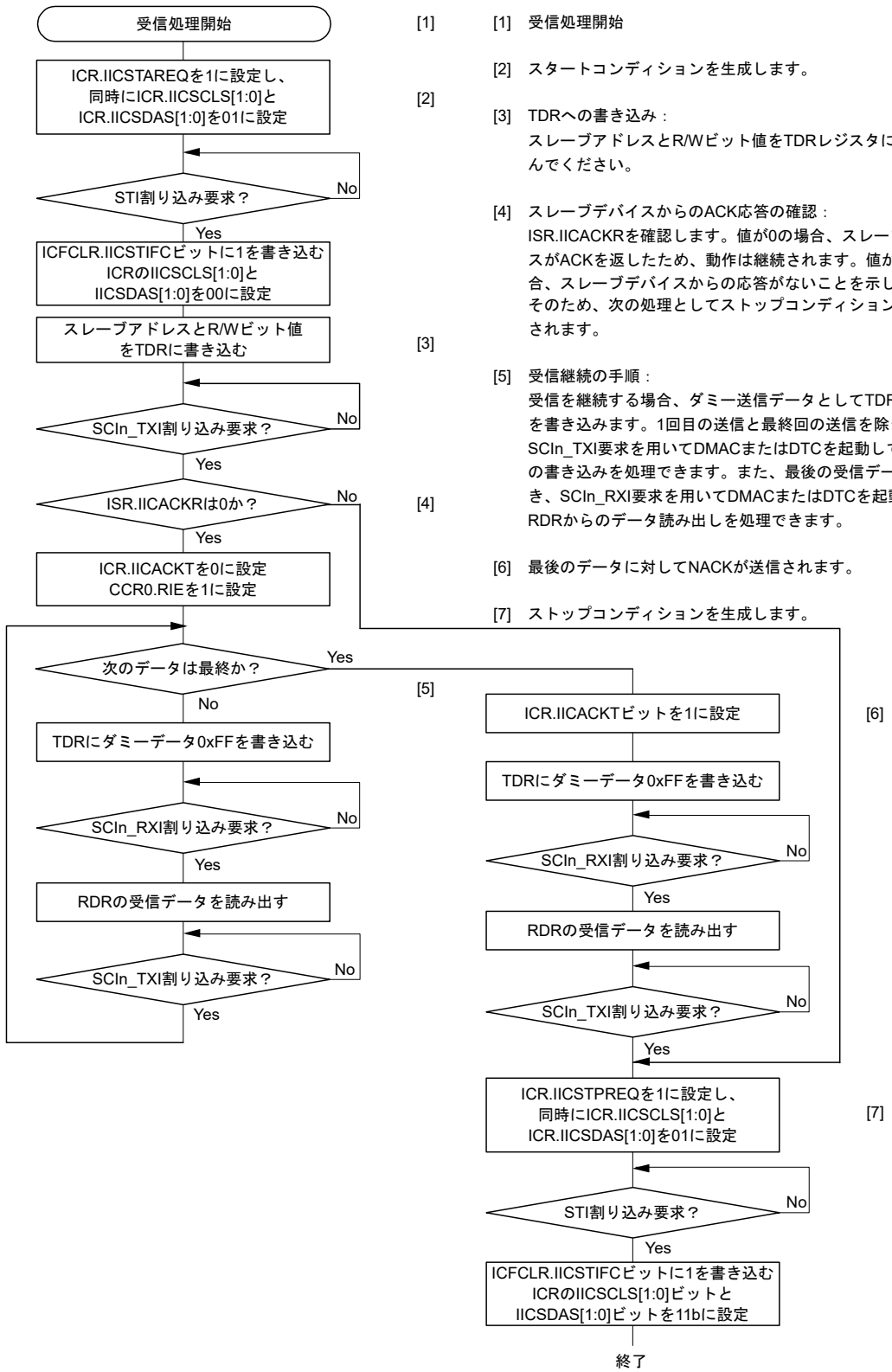
注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.94　簡易 IIC モードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時） (ICR.IICINTM = 1)



注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.95　簡易 IIC モードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時 (ICR.IICINTM = 0)）



[1] 受信処理開始

[2] スタートコンディションを生成します。

[3] TDRへの書き込み：
スレーブアドレスとR/Wビット値をTDRレジスタに書き込んでください。

[4] スレーブデバイスからのACK応答の確認：
ISR.IICACKRを確認します。値が0の場合、スレーブデバイスがACKを返したため、動作は継続されます。値が1の場合、スレーブデバイスからの応答がないことを示します。そのため、次の処理としてストップコンディションが生成されます。

[5] 受信継続の手順：
受信を継続する場合、ダミー送信データとしてTDRに0xFFを書き込みます。1回目の送信と最終回の送信を除き、SCIn_TXI要求を用いてDMACまたはDTCを起動してTDRへの書き込みを処理できます。また、最後の受信データを除き、SCIn_RXI要求を用いてDMACまたはDTCを起動し、RDRからのデータ読み出しを処理できます。

[6] 最後のデータに対してNACKが送信されます。

[7] ストップコンディションを生成します。

注.　簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込み要求が発生します。

図 38.96　簡易 IIC モードにおけるマスタ受信のフロー例（送信割り込み、受信割り込み使用時 (ICR.IICINTM = 1)）

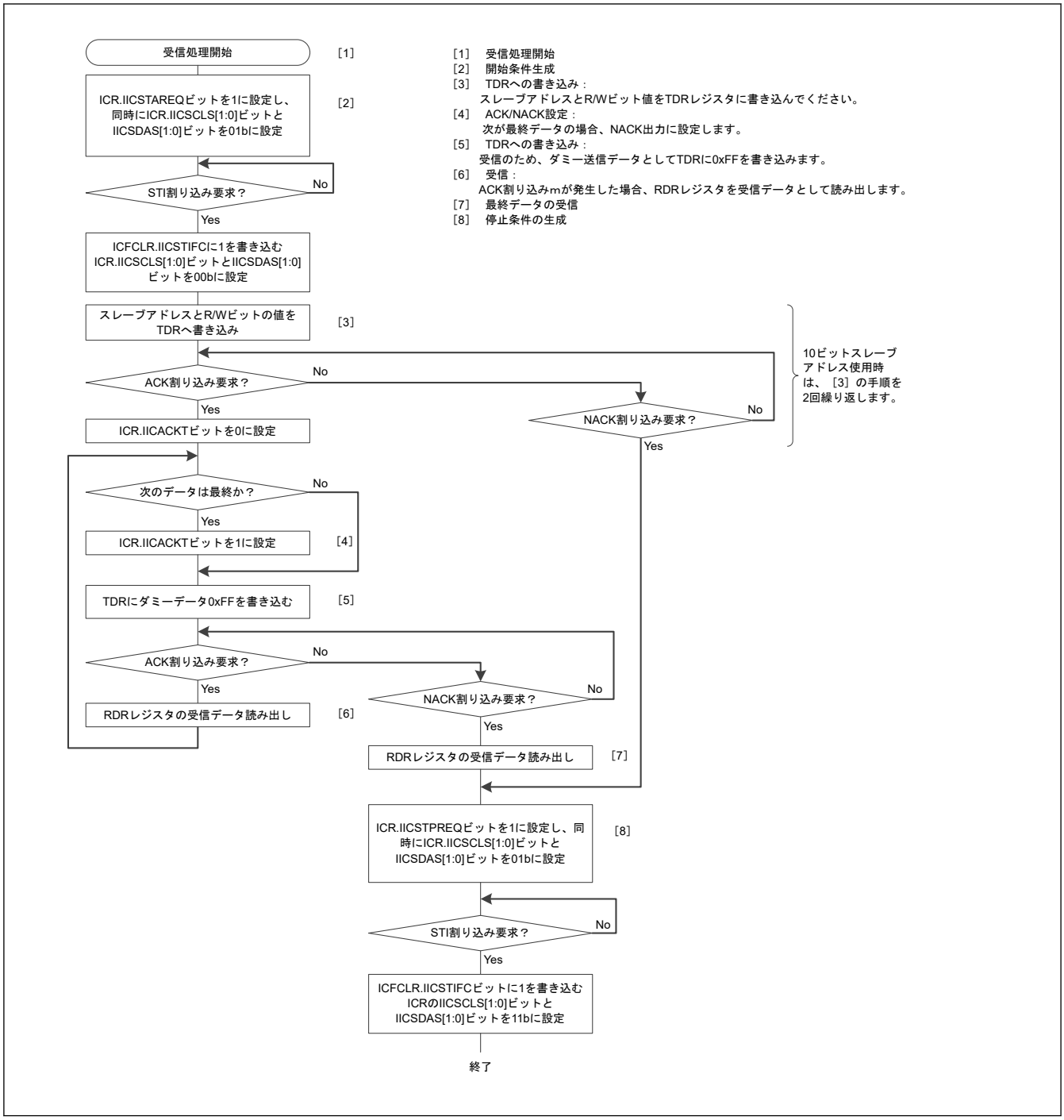


図 38.97 簡易 IIC モードにおけるマスタ受信のフロー例（ACK 割り込み、NACK 割り込み使用時 (ICR.IICINTM = 0)）

38.9 簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

簡易 SPI モードの設定（CCR3.MOD[2:0]ビット = 011b）を使用するとともに、CCR0.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、簡易 SPI モードであっても、シングルマスタ構成で使用する場合は、マスタ側の SSn 端子機能は不要であるため、したがって、そのような場合は、CCR0.SSE ビットを 0 にしてください。

図 38.98 に、簡易 SPI モードの接続例を示します。マスタからの SSn 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。CCR3.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み込むことが可能です。これにより、連続転送が可能となります。

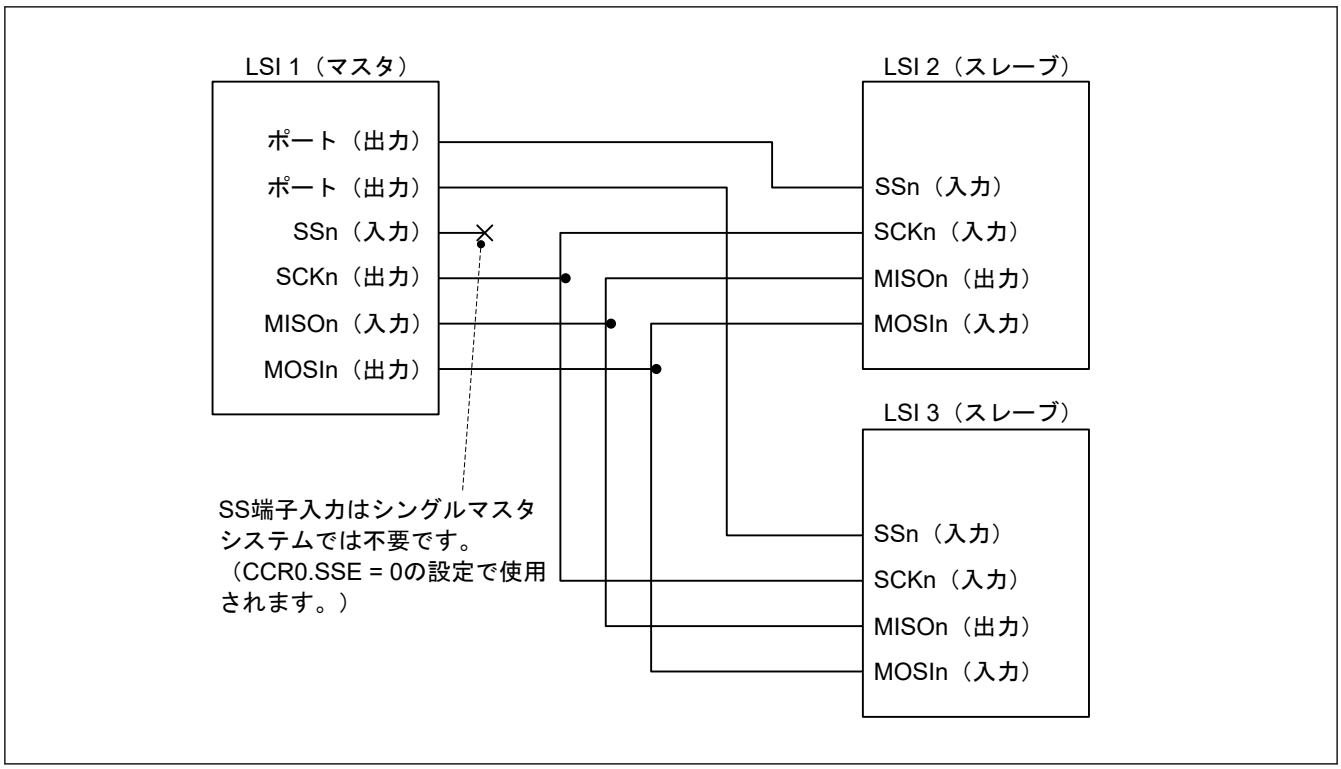


図 38.98　簡易 SPI モードでの接続例（シングルマスタ時、CCR0.SSE ビット = 0）

38.9.1　マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード（CCR3.CKE[1:0] = 00b または 01b）と、スレーブモード（CCR3.CKE[1:0] = 10b または 11b）で、各端子の入出力方向が異なります。

表 38.41 に、端子状態、モード、および SSn 端子入力レベルの間の関係を示します。

表 38.41　モードおよび SSn 端子入力と各端子状態の関係

モード	SSn 端子入力	MOSIn 端子状態	MISOn 端子状態	SCKn 端子状態
マスタモード(注1)	High（通信可能）	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low（通信不可）	ハイインピーダンス	受信データ入力（無効）	ハイインピーダンス
スレーブモード	High レベル（通信不可）	受信データ入力（無効）	ハイインピーダンス	クロック入力（無効）
	Low レベル（通信可能）	受信データ入力	送信データ出力	クロック入力

注 1.　シングルマスタ構成 (CCR0.SSE = 0) のみの場合、SSn 端子の入力レベルにかかわらず、転送可能となります。これは、SSn 端子入力が High のときと同等です。SSn 端子は使用されず、他の用途に使用できます。
注 2.　シリアル送信禁止（CCR0.TE ビット = 0）の場合、MOSIn 端子出力はハイインピーダンスです。
注 3.　マルチマスタ構成 (CCR0.SSE ビット = 1) では、シリアル送受信禁止（CCR0.TE ビット = 0 および CCR0.RE ビット = 0）の場合、SCKn 端子出力はハイインピーダンスです。

38.9.2　マスタモード時の SS 機能

CCR3.CKE[1:0]ビットを 00b または 01b にすると、マスタモードが有効になります。シングルマスタ構成（CCR0.SSE ビット = 0）では SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成（CCR0.SSE ビット = 1）において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは別のマスタが送受信動作を行っていることを示すために、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。

マルチマスタ構成（CCR0.SSE ビット = 1）において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信動作中です。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして CSR.MFF ビットが 1 になります。マルチマスタ構成では、CSR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止しませんが、送受信動作完了後の MOSIn 出力と SCKn 出力はハイインピーダンス状態です。

SSn 端子入力が High のとき、SCKn 端子はクロック信号を出力し、MOSIn 端子はデータを出力します。SCKn 端子と MOSIn 端子がハイインピーダンス状態であっても、内部の送受信動作は継続しますが、1 キャラクタの送信または受信が完了すると停止します。この場合、SCIn_TXI、SCIn_RXI、SCIn_TEI 割り込みのいずれかが発生します。

汎用ポート端子を使用して、マスタからの SS 出力信号を生成してください。

38.9.3 スレーブモード時の SS 機能

CCR3.CKE[1:0]ビットを 10b または 11b にすると、スレーブ動作が選択されます。SSn 端子入力が High のとき、MISOn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOn 出力端子の状態をハイインピーダンスにします。送受信動作はただちに停止します。送信の進行中であった場合、CSR.TEND フラグはセットされず、送信完了割り込みは発生せず、異常停止状態が発生します。そのため、スレーブ送信／受信の間は SSn 端子をネゲートしないでください。異常停止が発生したときは、CCR0.RE ビットと CCR0.TE ビットを 0 に設定して、送信／受信を停止してください。送信／受信を再開するためには、TCLK × 3 サイクル + PCLK × 3 サイクル以上経過した後に CCR0.RE ビットと CCR0.TE ビットを 1 に設定します。

38.9.4 クロックと送受信データの関係

CCR3 レジスタの CPOL ビットと CPHA ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 38.99 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

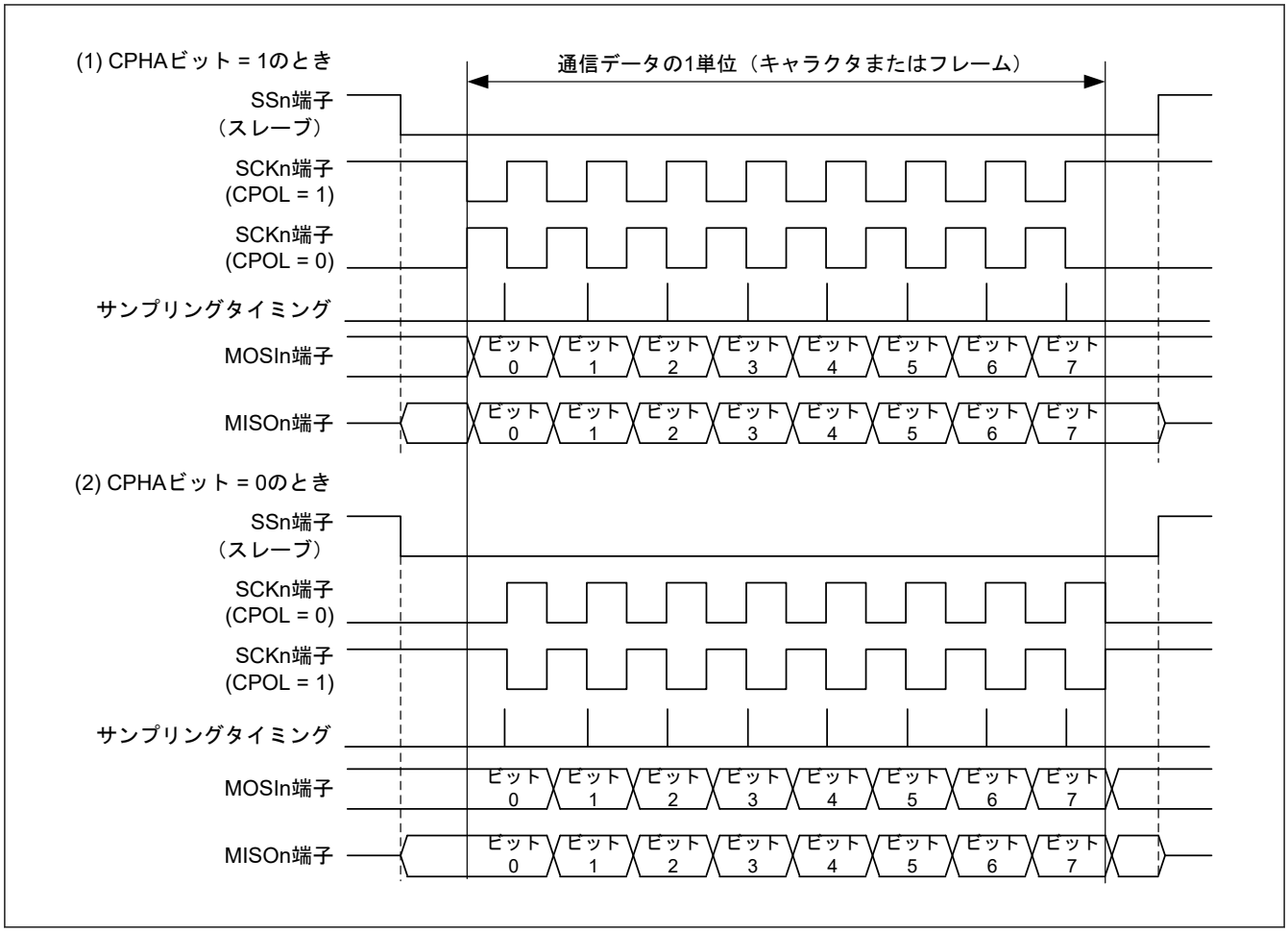


図 38.99　簡易 SPI モードにおけるクロックと送受信データの関係

38.9.5　SCI の初期化（簡易 SPI モード）

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、「38.6.3. SCI の初期化（クロック同期式モード）」を参照してください。CCR3 レジスタの CPOL ビットと CPHA ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず CCR0 レジスタを初期化してから行ってください。

注.　0 になるのは RE ビットのみです。CSR.ORER、FER、PER、および RDR の各フラグは初期化されません。

CCR0 レジスタの TIE ビットが 1 のときに、TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCIn_TXI) が発生します。

38.9.6　シリアルデータの送受信（簡易 SPI モード）

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。マルチマスタ動作で CCR0.SSE ビットが 1 の状態では、マスタモードであっても SSn 端子が Low になるとモードフォルトエラーが発生します。そのため、送受信の開始前にモードフォルトエラーが発生していないことを確認してから送受信を開始し、送受信の終了後においてもモードフォルトエラーが発生していないことを確認してください。モードフォルトエラーが発生すると、送受信が不完全となることがあり、再送などの対応が必要となります。それ以外の手順はクロック同期式モードと同様です。

スレーブモードでは、SSn 端子の入力に従って動作します。それ以外の手順はクロック同期式モードと同様です。

38.9.7　受信サンプリングタイミング調整機能（簡易 SPI モード、内部クロック使用）

簡易 SPI モードでの受信サンプリングタイミング調整機能は、クロック同期式モードでの受信サンプリングタイミング調整機能と同じです。動作説明については、「38.6.7. 受信サンプリングタイミング調整機能（クロック同期式モード、内部クロック使用）」を参照してください。

38.10 ビットレート変調機能

ビットレート変調機能では、CCR2 レジスタの CKS[1:0]ビットで選択された内部クロックの 256 クロックサイクルの間で、MDDR レジスタで指定した数を用いて、ビットレートを均等に補正することが可能です。

調歩同期式モードにおいて、PCLK が CCR2 レジスタの CKS[1:0]ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 38.100 に示します。この例では、基本クロックの周期が均等に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注. 内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および簡易 LIN モードでは、この機能を使用しないでください。

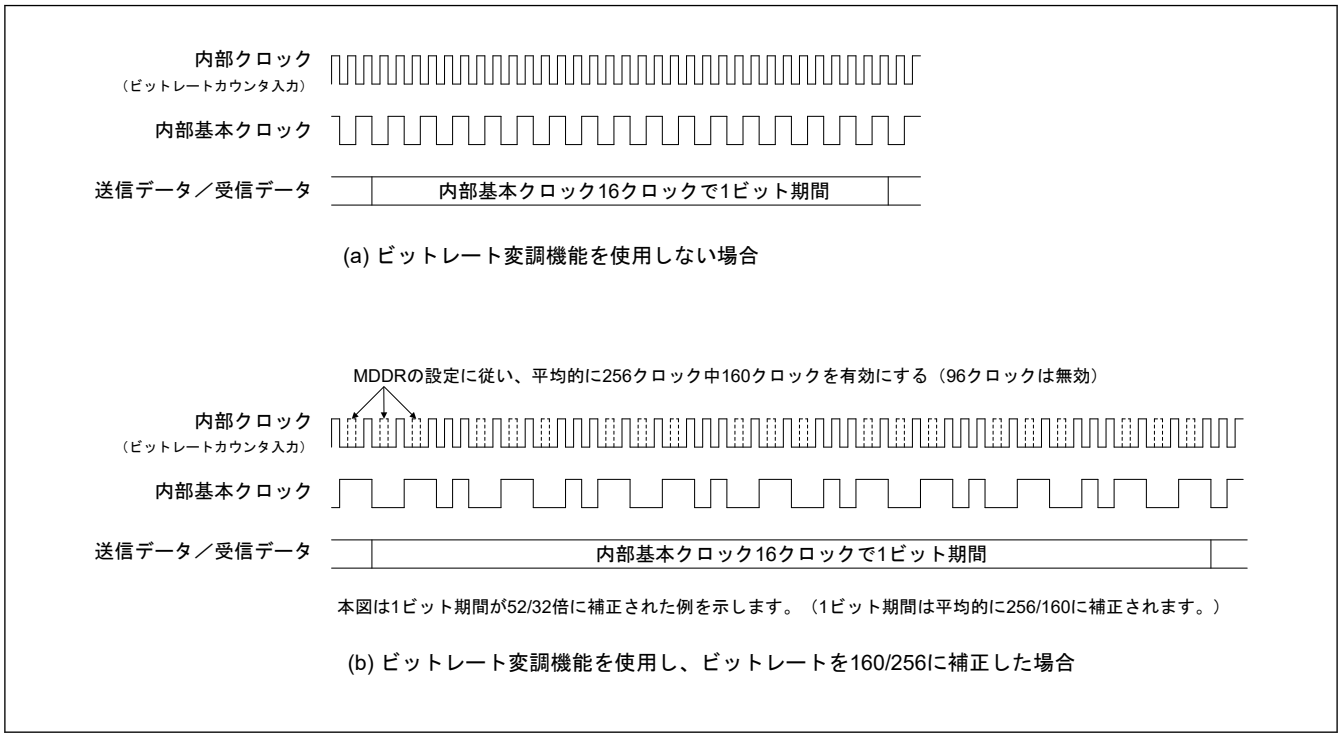


図 38.100 ビットレート変調機能使用時の内部基本クロックの例

38.11 簡易 LIN モード

SCI は拡張機能として簡易 LIN モードをサポートします。これは、スタートフレームとインフォメーションフレームで構成されるシリアル通信プロトコルです（図 38.101）。簡易 LIN モードは CCR3.MOD[2:0]ビットを 110b に設定すると有効になります。簡易 LIN モードはブレークフィールド以外の送受信制御に調歩同期式モードと同じ回路を使用します。このため、調歩同期式モードに必要な基本通信設定は簡易 LIN モードにも必要です。

（簡易 LIN を使用する場合の設定値については、「38.2. レジスタの説明」の説明を参照してください。特に、CCR3.RXDESEL を初期値から変更して 1 にする必要があります。）

Start Frame は Break Field、Control Field 0、および Control Field 1 で構成されます。Information Frame はいくつかの Data Field、CRC16 Upper Field、および CRC16 Lower Field で構成できます。

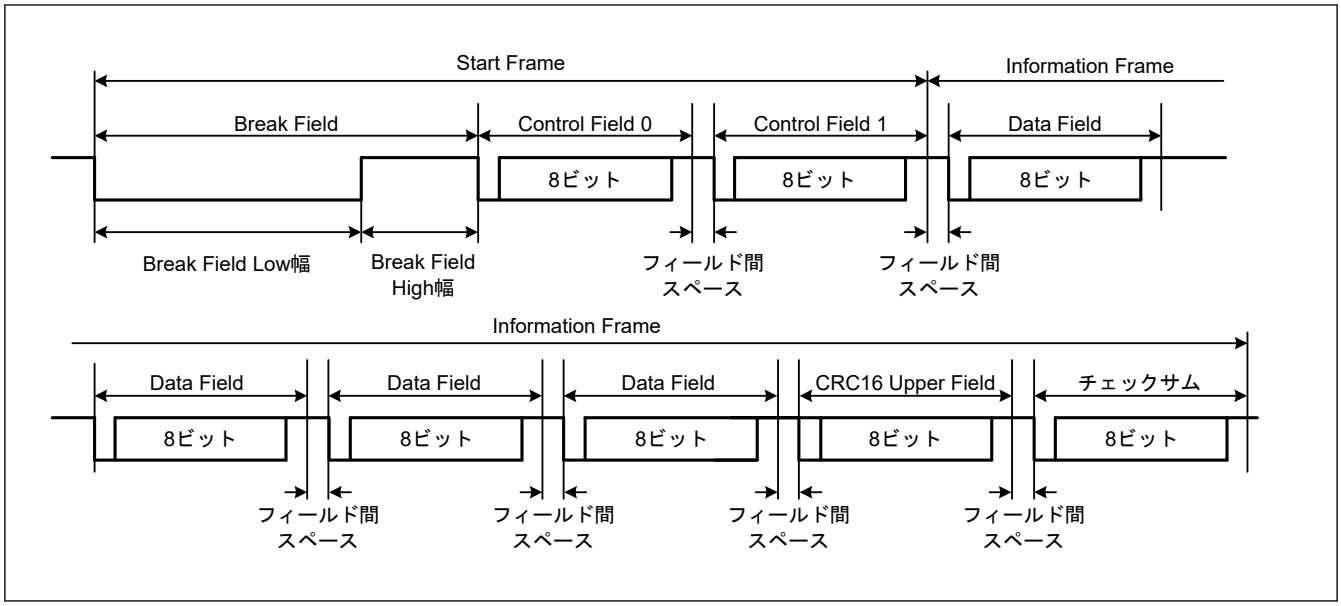


図 38.101　簡易 LIN プロトコル例

以下に、簡易 LIN を使用する場合の動作について説明します。ここでは、以下の条件で動作を説明しています。

通信端子 (RXDn / TXDn) レベル反転機能：OFF (RINV = TINV = 0)

通信端子 (RXDn / TXDn) レベル反転機能を有効にした状態で簡易 LIN を使用する場合は、RXDn 信号レベルと TXDn 信号レベルをそれぞれ反転したレベルに置き換えてください。

38.11.1　簡易 LIN スタートフレーム送信

図 38.102 に、Break Field、Control Field 0、および Control Filed 1 で構成されたスタートフレームの送信例を示します。（スタートフレームの構成に応じて、Break Field および Control Field 0 を省略します。）

図 38.103 に、スタートフレーム送信のフローチャートを示します。

スタートフレーム送信中、SCI は以下のように動作します。

1. SCI 初期化フロー（図 38.68）に従って、調歩同期式モードで SCI の初期設定を行います。簡易 LIN モードでは、ブレークフィールドの前に SCIn_TXI が出力されないよう、CCR0 の TE と TIE を同時に 1 に設定しません。このため、以下の 2 ステップを順に実行して、SCI 初期化フロー(調歩同期式モード)の手順[9]を設定します。
   - CCR0 レジスタの TIE 以外のビットを設定します。(CCR0.TIE = 0, CCR0.TE = 1, CCR0.RE = 0)
   - CCR0.TIE を 1 に設定します。
2. TCST に 1 を書き込むと、Break Field 出力タイマがカウントを開始し、XCR2.BFLW[15:0] に設定された期間、TXDn 端子から Low (Break Field) を出力します。タイマカウントクロックソースを XCR0.TCSS[1:0] で選択できます。
   XCR1.TCST に 0 を書き込むと、Break Field の出力が中断します。中断後、CCR0.TE を 0 にし、送信をオフにします。
3. 簡易 LIN モジュールのタイマカウント値が XCR2.BFLW[15:0] の設定値と一致すると、タイマがカウントを停止し、TXDn 端子の出力レベルを反転させて、XSR0.BFOF フラグが 1 になります。(注1)また、このときに XCR0.BFOIE が 1 になっている場合、SCIn_TXI 割り込みが生成されます。
4. SCIn_TXI 割り込みが生成されて XSR0.BFOF が 1 であることを確認したら、送信データを書き込みます。その後、SCI を用いて Control Field 0 データが送信されます。(注2)
5. Control Field 0 データが送信された後で、TDR に Control Field 1 を書き込みます。その後、送信が実行されます。
6. Control Field 1 データが送信された後で、インフォメーションフレームデータが送信されます。

注 1.　XSR0.BFOF を 1 にした後で、クリアせずに XCR1.TCST に 1 を書き込むと、Break Field の送信終了時に SCIn_TXI 割り込みは出力されません。XCR1.TCST に 1 を書き込む前に、XSR0.BFOF をクリアしてください。

注 2. LIN 通信では、次のデータの送信が始まるまで、ブレークフィールドの出力後に 1 ビット以上のブレークデリミタ（アイドル期間）が必要です。このため、ブレークフィールド出力完了時にブレークデリミタ長がカウントされます。ブレークデリミタ長がカウントされている間に送信データが書き込まれると、ブレークデリミタ長のカウントが完了するまで送信は開始しません。ブレークデリミタ長がカウントされた後に送信データが書き込まれると、通常のデータ送信と同じタイミングで送信が開始します。

Break Field 出力後の Break デリミタ長カウント時間：

1 ビット～2 ビット長 (CCR3.STP = 0)

2 ビット～3 ビット長 (CCR3.STP = 1)

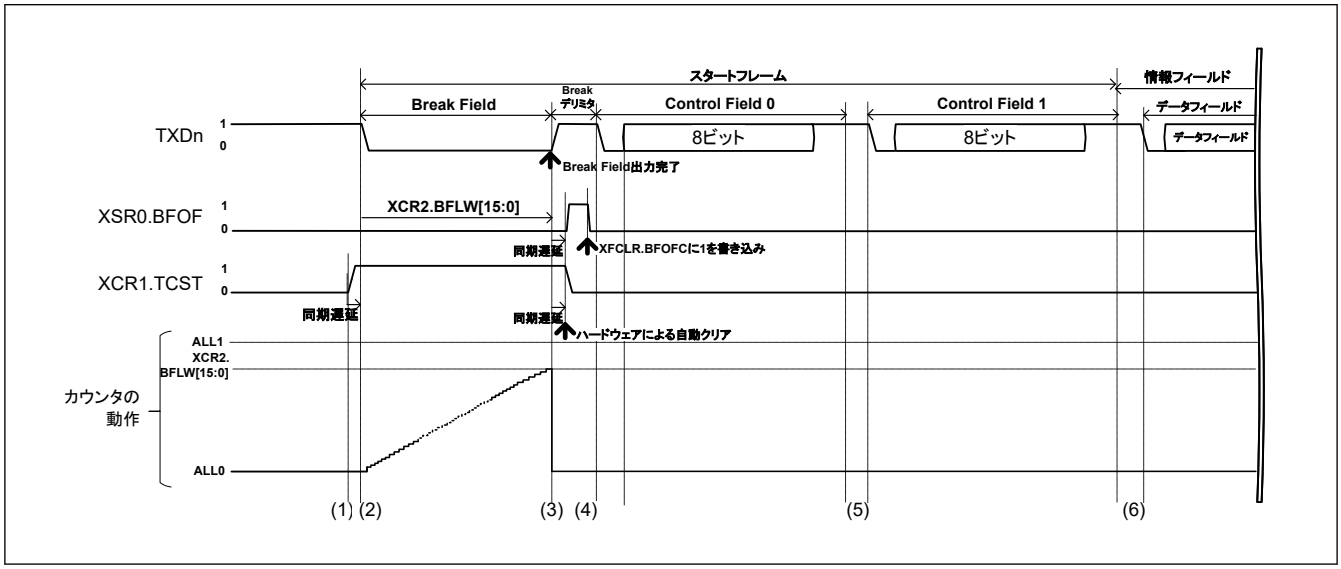


図 38.102 スタートフレーム送信例

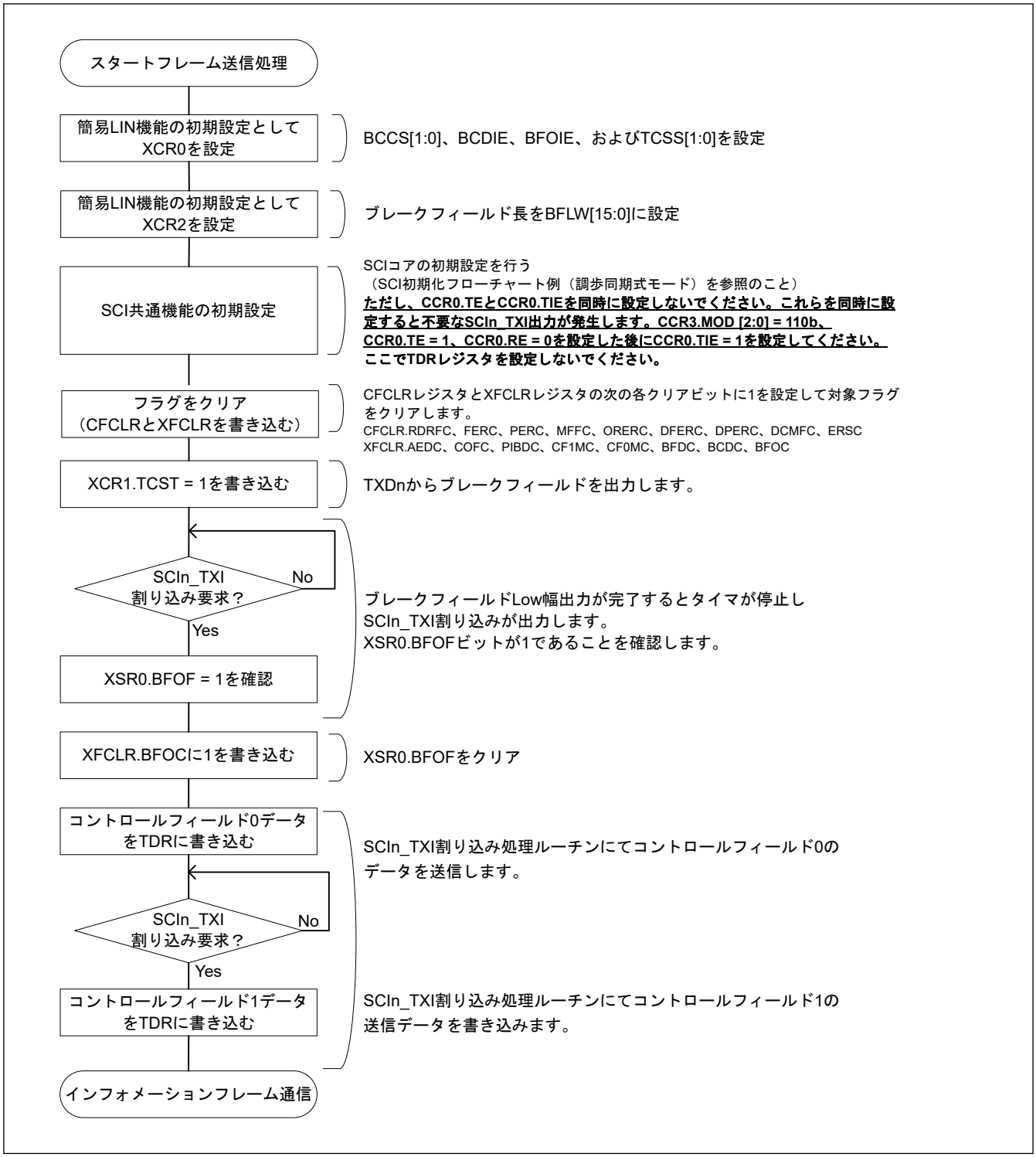


図 38.103　スタートフレーム送信のフローチャート例

38.11.2　簡易 LIN スタートフレーム受信

SCI は、図 38.104 に示すようにスタートフレーム構成を検出できます。

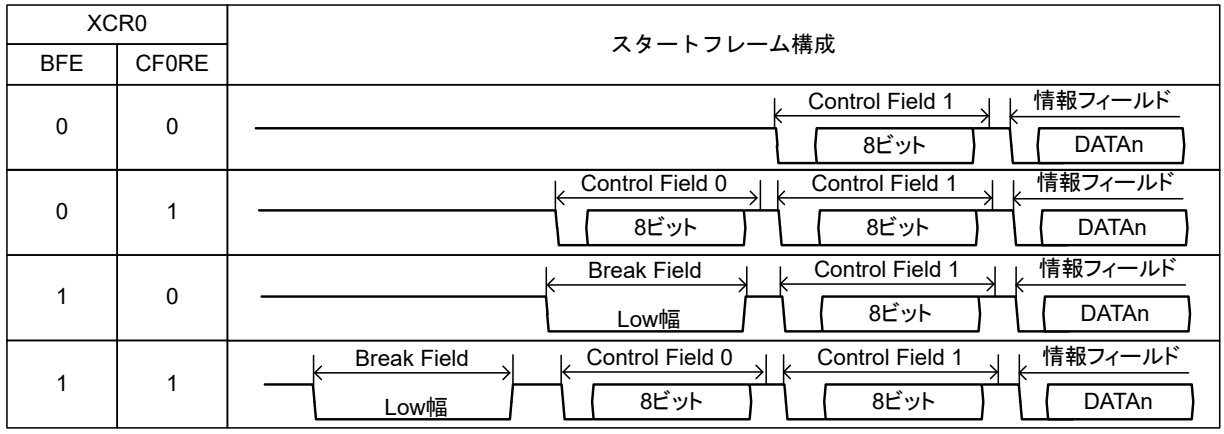


図 38.104　スタートフレーム構成

(1)　簡易 LIN でのスタートフレーム通常受信（PIB は未使用）

図 38.105 に、Break Field、Control Field 0、および Control Field 1 で構成されたスタートフレームの通常受信例を示します。図 38.106 に、Control Field 1 の場合に Break Field を検出する受信例を示します。図 38.107 にスタートフレームの受信フローチャートを、図 38.108 に状態遷移図を示します。

スタートフレームの受信時、SCI は以下のように動作します。スタートフレームの構成に応じて、Break Field および Control Field 0 の処理を省略します。

1. XCR1.SDST に 1 を書き込むと、スタートフレームの検出が可能になります。XCR0.BFE = 1 の場合、Break Field が検出されるまで、SCI コアへの RXDn 入力が無効になります（XSR0.RXDSF が 1 になっているため）。Break Field が検出されると、SCI コアで RXDn 入力を受信できるようになります (XSR0.RXDSF = 0)。
2. RXDn 端子から Low が入力されると、Break Field 検出カウントが開始します。タイマカウントクロックソースを XCR0.TCSS[1:0] で選択できます。
3. XCR2.BFLW[15:0] に設定されている期間以上の Low が RXDn 端子から入力されると、Break Field として判断されます。このとき、XSR0.BFDF が 1 になります。このときに XCR0.BFDIE が 1 になっている場合、SCIn_BFD 割り込みが生成されます。
   タイマは、RXDn 立ち上がりエッジまたはカウンタオーバーフローまでカウントを継続します。
4. Break Field が検出された後で RXDn 端子からの入力レベルが High になった場合、BMEN = 0 のときには、カウント値が XSR1.TCNT[15:0] にキャプチャされます。このとき、XSR0.RXDSF が 0 にクリアされて、SCI コアが RXDn 入力の受信を開始します。
5. SCI コアが Control Field 0 の受信を開始します。簡易 LIN はエッジインターバルを継続してカウントするため、簡易 LIN は XCR2.BFLW[15:0] に設定されている期間以上の Low を Break Field の検出として判断します。Break Field が Control Field 0 フェーズで検出されると、SCI コアは Control Field 0 を再度受信するまで待機します(図 38.106)。
6. Control Field 0 を受信すると、SCIn_RXI 割り込みが発生して Control Field 0 データが XSR0.CF0RD[7:0] に格納されます。設定されている XCR2.CF0D[7:0] 値と受信データが一致する場合、XSR0.CF0MF が 1 になります。設定されている XCR2.CF0D[7:0] 値と受信データが異なる場合、SCI は Break Field 検出前の状態に遷移します。
7. SCI コアが Control Field 1 の受信を開始します。BFE = 1 の場合は、Control Field 0 の場合と同様に、SDST = 1 の間は Break Field 検出機能が継続して有効になります。Break Field が Control Field 1 フェーズで検出されると、SCI コアは Control Field 0 を再度受信するまで待機します。
8. Control Field 1 を受信すると、SCIn_RXI 割り込みが発生して Control Field 1 データが XSR0.CF1RD[7:0] に格納されます。設定されている XCR1.PCF1D[7:0] 値または設定されている XCR1.SCF1D[7:0] 値と受信データが一致する場合、XSR0.CF1MF が 1 になります。設定されている XCR1.PCF1D[7:0] 値とも設定されている XCR1.SCF1D[7:0] とも受信の Control Field 1 データが一致しない場合、SCI は Break Field 検出前の状態に遷移します。
9. SCI コアがインフォメーションフレームの通信を実行します。

10. 通信が完了すると、XCR1.SDST に 0 を、CCR0.RE に 0 を書き込んで受信を停止します。

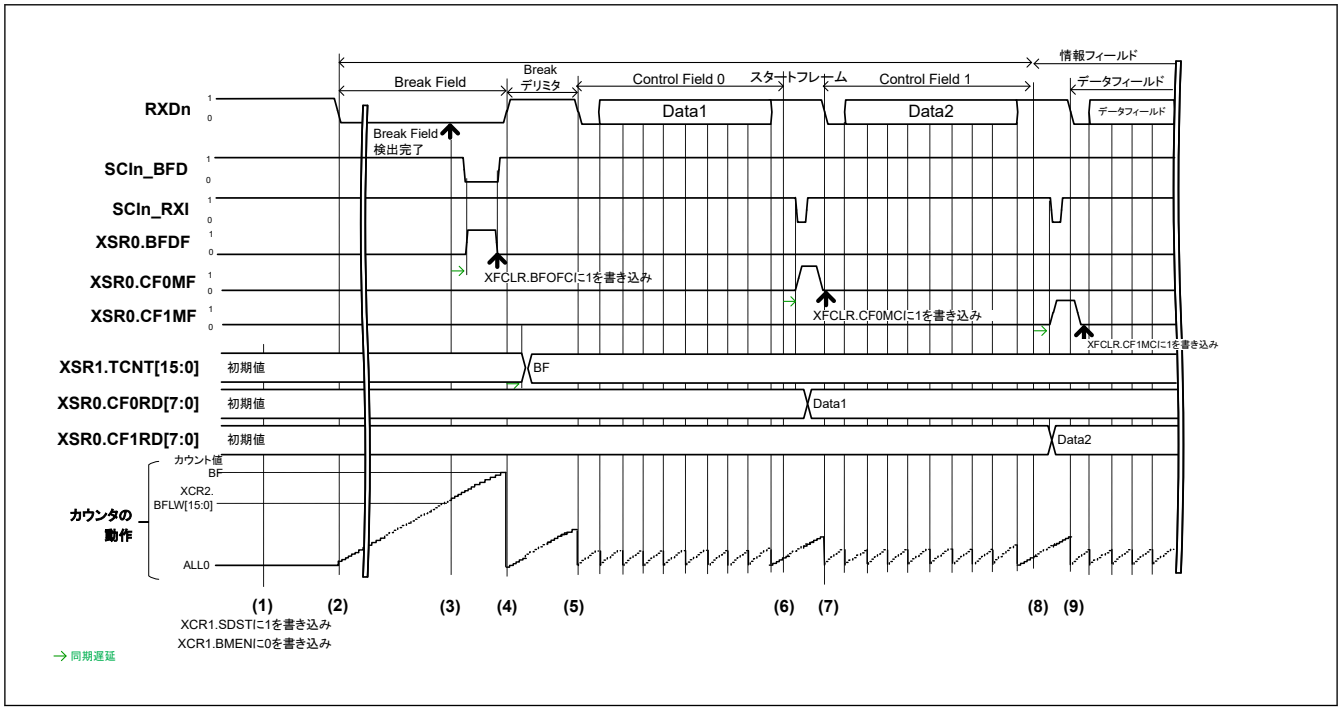


図 38.105　スタートフレームの通常受信例（PIB は未使用）

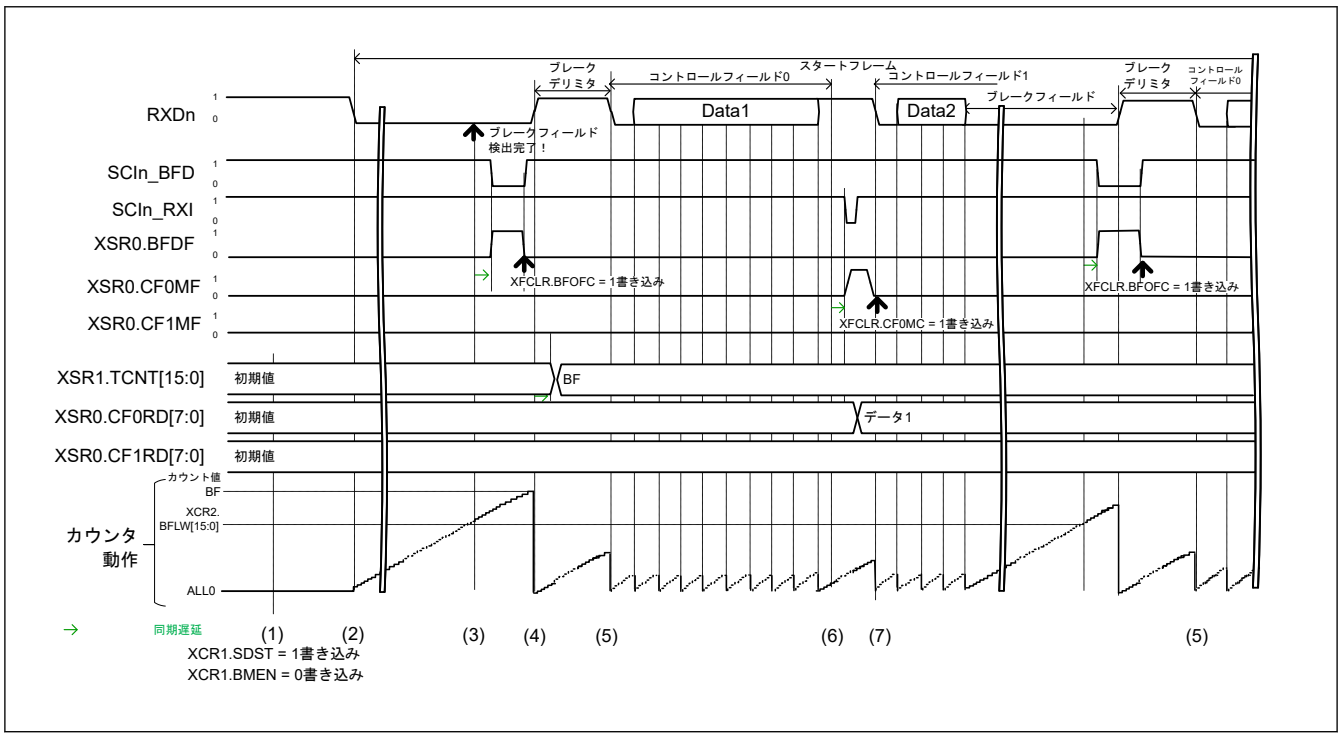


図 38.106　Control Field 1 の場合に Break Field を検出するスタートフレーム受信例（PIB は未使用）

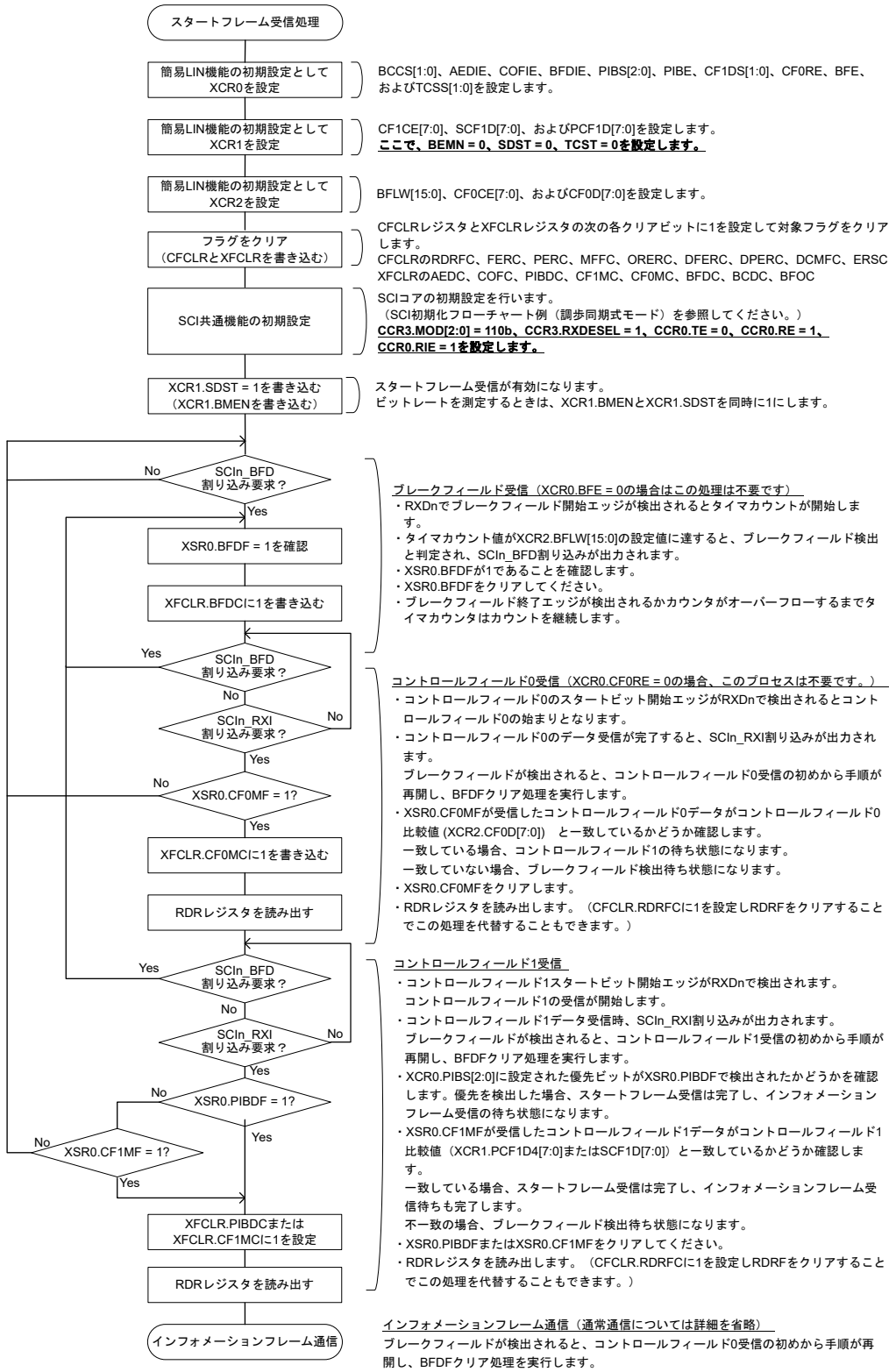


図 38.107　スタートフレーム受信フローチャート例

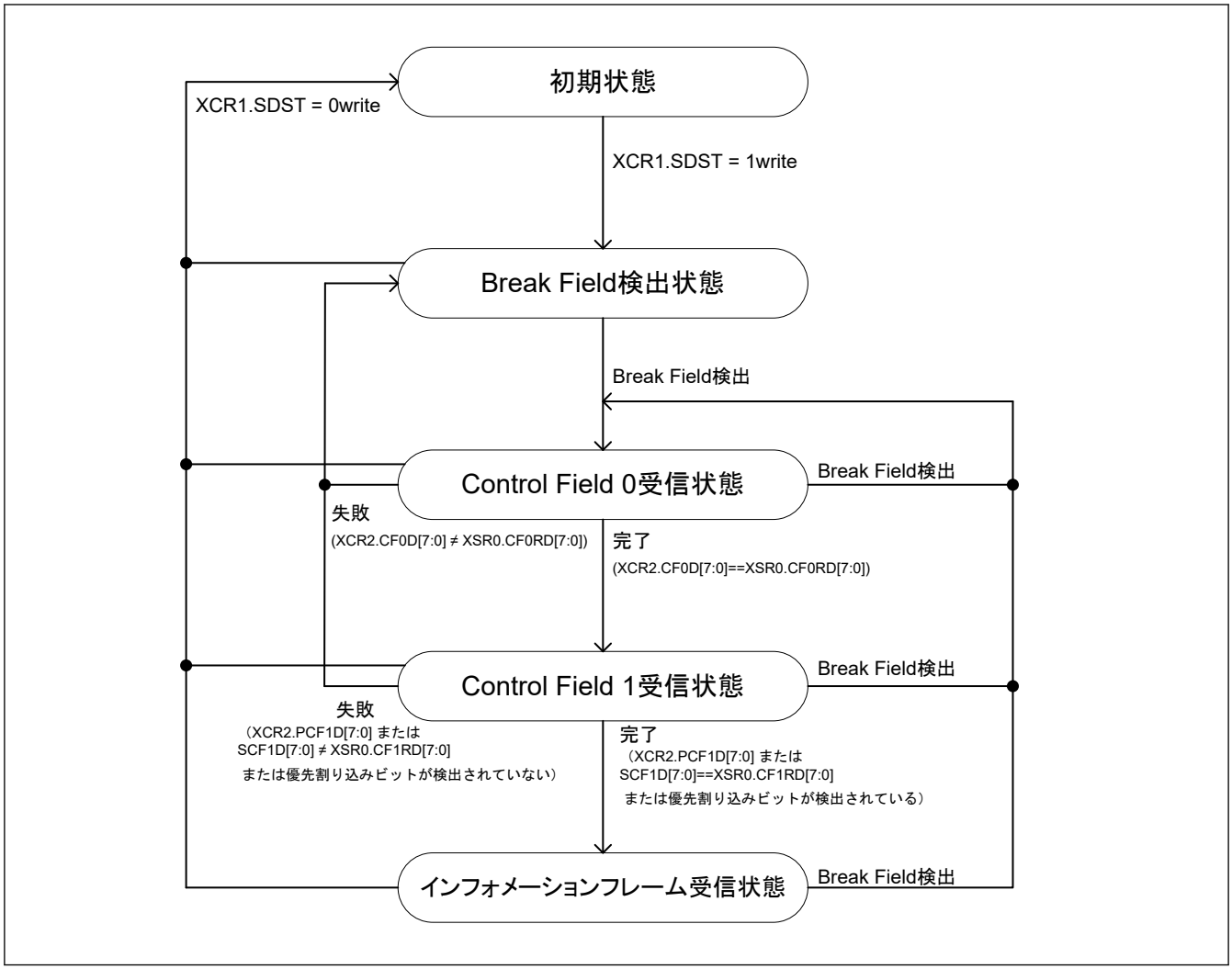


図 38.108　スタートフレーム受信の状態遷移図

(2)　簡易 LIN スタートフレーム受信（優先割り込みビットを使用）

図 38.109 に、優先割り込みビットを使用したスタートフレーム受信例を示します。優先割り込みビットは、XCR0.PIBE を 1 にすると有効になります。

SCI は、優先割り込みビットを使用してスタートフレーム受信時に以下のように動作します。

(1)～(7) は、図 38.105 のスタートフレーム受信例の (1)～(7) と同じです。

(8) XCR0.PIBS[2:0] ビットに指定されている値が、設定されている XCR1.PCF1D[7:0] 値と一致する場合、XSR0.PIBDF は 1 になり、SCI がインフォメーションフレームの通信を実行します。もし設定されている XCR1.PCF1D[7:0] 値とも設定されている XCR1.SCF1D[7:0]値 とも受信の Control Field 1 データが一致せず、かつ優先割り込みビットが検出されない場合、SCI は Break Field 検出前の状態に遷移します。

(9) SCI がインフォメーションフレームの通信を行います。

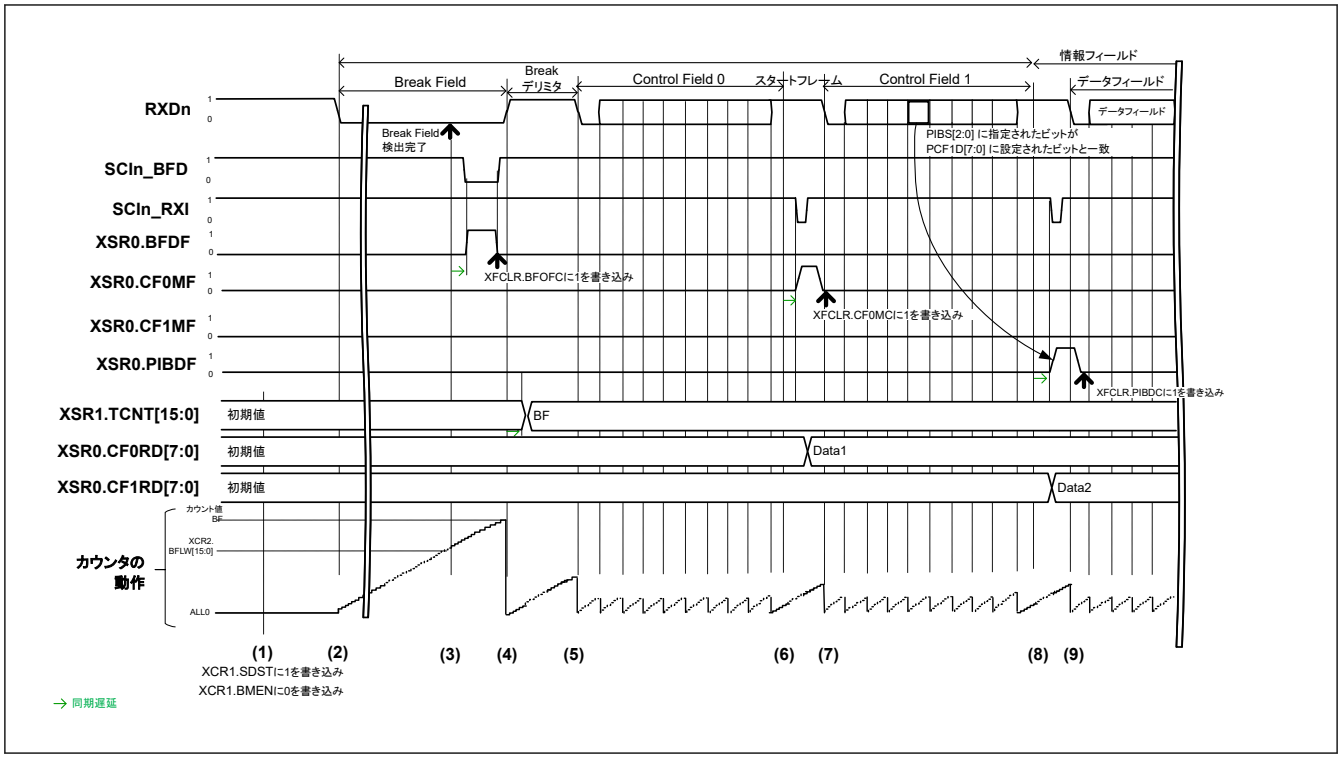


図 38.109　スタートフレーム受信例（優先割り込みビットを使用）

38.11.3　簡易 LIN バス競合検出機能

簡易 LIN モード (CCR3MOD[2:0] = 110) では、TE = 1 の場合、Break Field 出力時およびデータ送信時にバス競合検出機能が動作します。

図 38.110 は、バス競合検出機能の動作例を示しています。TXDn 端子出力および RXDn 端子入力が、XCR0.BCCS[1:0] に設定されたバス競合検出クロックによってサンプリングされます。3 回連続で不一致が発生すると、XSR0.BCDF が 1 になり、このとき XCR0.BCDIE が 1 になっていると、SCIn_ERI 割り込みが発生します。

SCIn_ERI 割り込みが発生すると、図 38.111 に従って送信を停止します。バス状態を確認して、送信を再開するかどうかを判断してください。

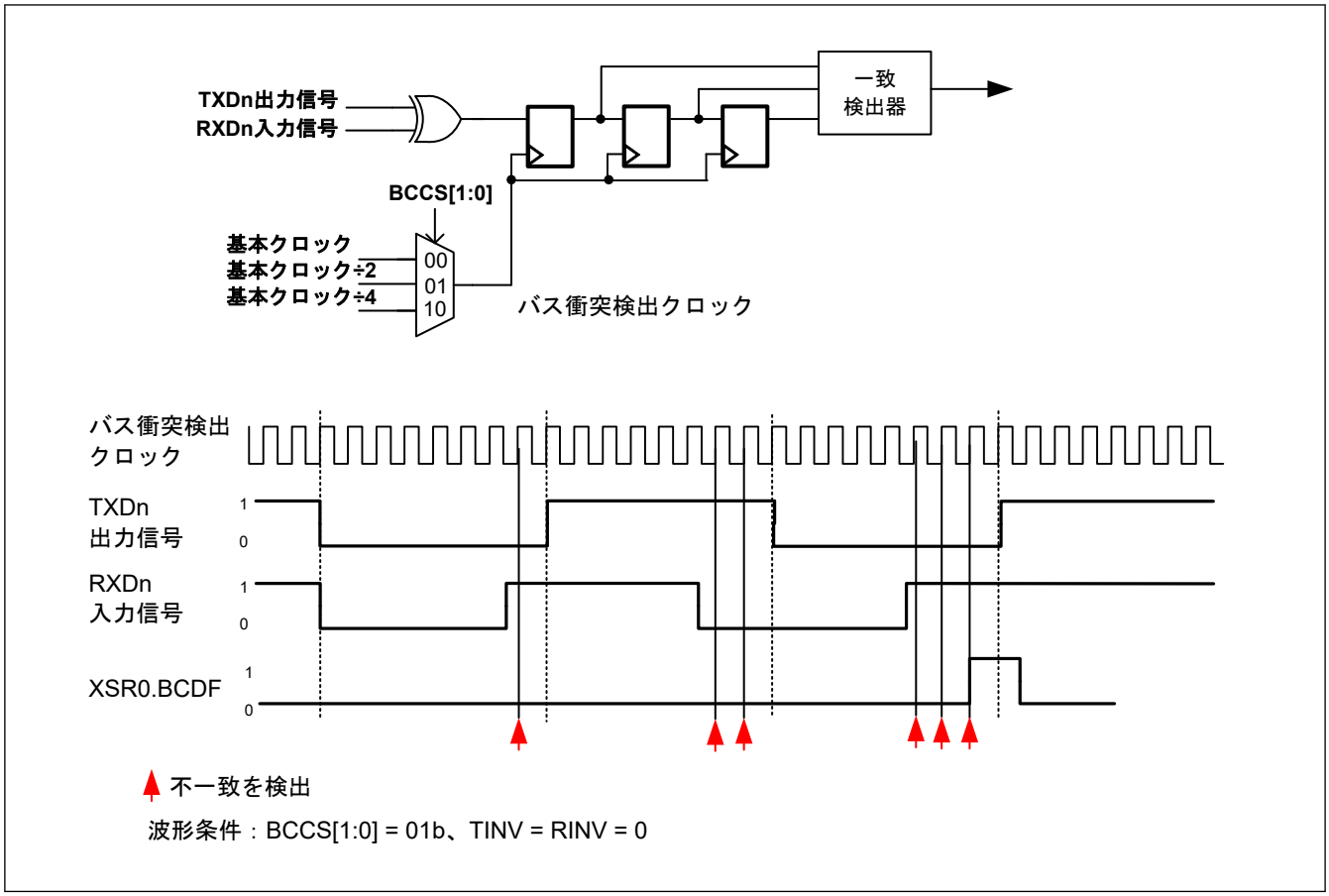


図 38.110　バス競合検出機能の動作例

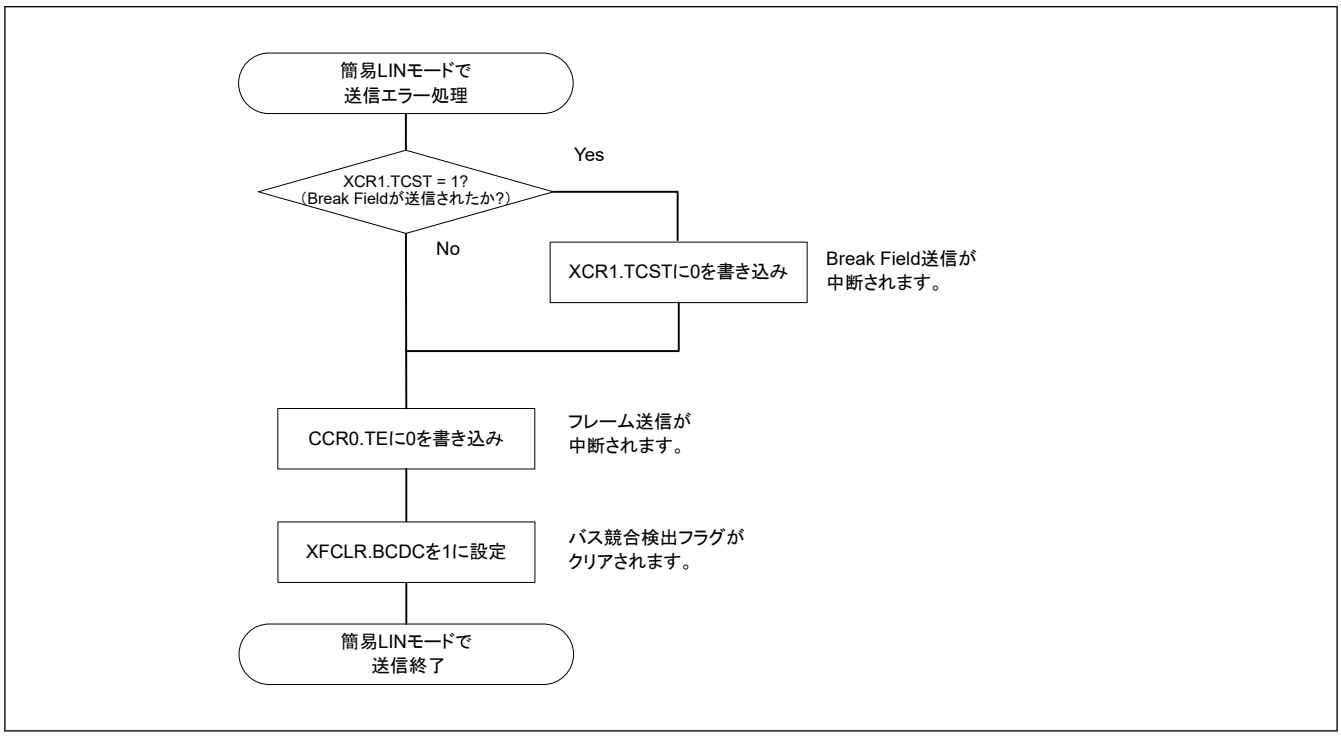


図 38.111　簡易 LIN モードでの送信時の SCIn_ERI 割り込み処理フロー

38.11.4　簡易 LIN ビットレート測定機能

この機能は、RXDn 端子からの入力信号の有効エッジ間のビットレートを測定します。図 38.112 は、ビットレート測定機能の動作例を示しています。

1. XCR1.SDST および XCR1.BMEN に 1 を書き込むと、ビットレート測定が有効になります。このビットを 1 にすると、Control Field 0 データと Control Field 1 データの有効エッジインターバルが測定されます。ただし、Break Field と Break デリミタの間のビットレートは測定されません。ビットレートを測定する場合だけ、XCR1.BMEN と XCR1.SDST を同時に 1 にします。
2. ビットレートは Break Field では測定されないため、Break Field 終了時の立ち上がりエッジでは有効エッジ検出フラグは 1 にならず、カウンタキャプチャ値は XSR1.TCNT[15:0] に格納されません。
3. カウンタが Control Field 0 のスタートビットの立ち下がりエッジからカウントを開始します。Break デリミタのカウント値は XSR1.TCNT[15:0] にキャプチャされません。
4. スタートビットの立ち上がりエッジが有効エッジとして検出され、その後、XSR0.AEDF フラグが 1 になります。このときに XCR0.AEDIE が 1 になっている場合、SCIn_AED 割り込みが出力されます。スタートビットカウント値が XSR1.TCNT[15:0] に格納されます。XSR1.TCNT[15:0] 値は、有効なキャプチャ値が読み出されるまで保持されます。
5. 有効エッジが RXDn 入力端子から入力された場合でも、XRS1.TCNT[15:0] 値は読み出されておらず、保持は解除されていないため、この有効エッジタイミングのカウント値はキャプチャされません。この場合、SCIn_AED 割り込みは出力されません。
6. XSR1.TCNT[15:0] 値が読み出されます。次に、XSR1.TCNT[15:0] の保持が解除されて、ハードウェアによって XSR0.AEDF フラグがクリアされます。
7. XSR1.TCNT[15:0] の保持が解除されたため、有効エッジでカウント値がキャプチャされて保持されます。それと同時に、XSR0.AEDF フラグが 1 になります。XCR0.AEDIE が 1 になっている場合は、SCIn_AED 割り込みが出力されます。ソフトウェアによって有効エッジ間のカウント値からビットレートを計算し、SCI 設定を変更することにより、ビットレートを調整できます。
8. ビットレート測定を無効にするには、XCR1.BMEN に 0 を書き込みます。
9. ビットレート測定機能が無効になったため、有効エッジタイミングでの XSR0.AEDF 値および XSR1.TCNT[15:0] 値は変化しません。

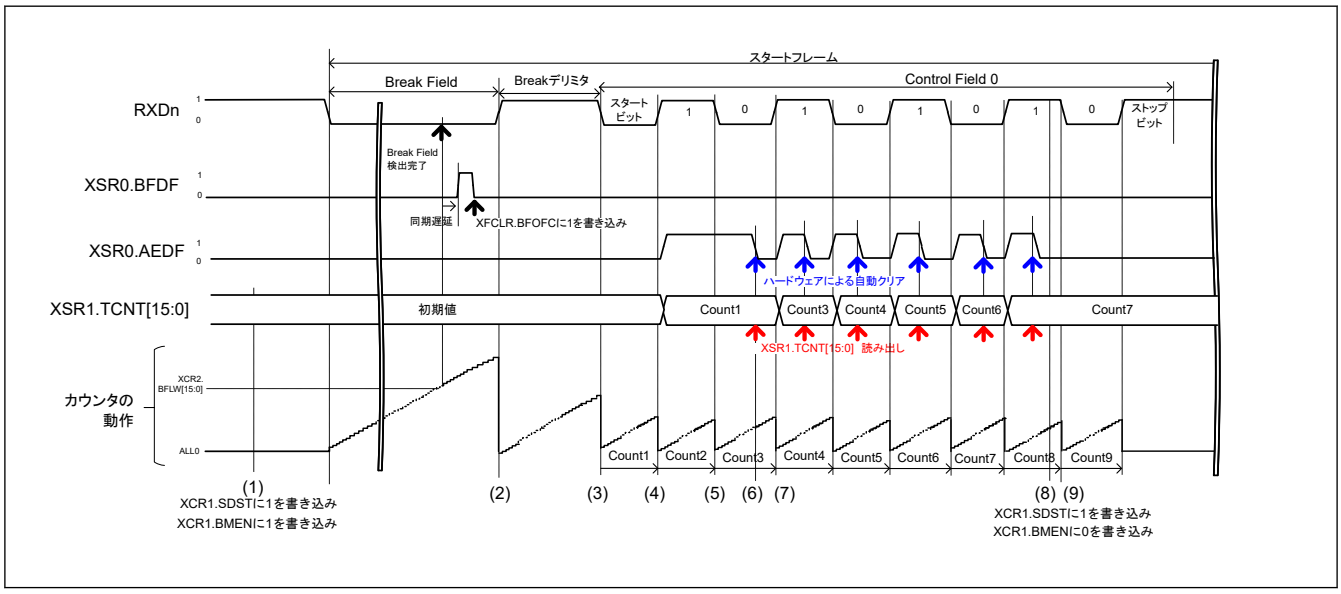


図 38.112　ビットレート測定機能の動作例

38.12　割り込み要因

38.12.1　SCIn_TXI および SCIn_RXI 割り込みのバッファ動作

ICU の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保存します（内部で保存できる容量は、1 要因ごとに 1 要求までです）。

38.12.2 調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 38.42 に調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

各割り込み要因には、異なる割り込みベクタの割り当てが可能です。CCR0 レジスタの許可ビットによって、割り込み要因を個別に許可または禁止することができます。

CCR0.TIE ビットが 1 のとき、送信データが TDR レジスタから TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、CCR0.TE ビットと CCR0.TIE ビットを 1 命令で同時に 1 にすることでも発生します。SCIn_TXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

SCIn_TXI 割り込み要求は、CCR0.TIE ビットが 0 の状態で CCR0.TE ビットを 1 にした場合、または CCR0.TE ビットが 1 の状態で CCR0.TIE ビットを 1 にした場合には発生しません。(注1)

CCR0.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、CCR0.TE ビットを 1 にしてから TDR レジスタに送信データを書き込むまでの間は、CSR.TEND フラグは 1 を保持しており、CCR0.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、CSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

CCR0.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

CCR0.RIE ビットが 1 のとき、CSR レジスタの ORER、FER、PER、または MSR レジスタの MER(注2)、SYER(注2)、PFER(注2)、SBER(注2)のいずれかのフラグが 1 になると、SCIn_ERI 割り込み要求が発生します。

このとき、SCIn_RXI 割り込み要求は発生しません。これらすべてのフラグ（ORER、FER、PER、MER(注2)、SYER(注2)、PFER(注2)、SBER(注2)）のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

注 1. 最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、CCR0.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

注 2. MER、SYER、PFER、および SBER は、マンチェスタモードにおいてのみ SCIn_ERI 割り込み要因になります。SYER、PFER、および SBER はまた、その許可ビット（MECR の SYEREN、PFEREN、SBEREN）が 1 の場合のみ機能します。

(2) FIFO 選択時

表 38.43 に、FIFO モード選択時の割り込み要因を示します。

CCR0.TIE ビットが 1 のとき、送信 FIFO (TDR) レジスタに格納されたデータ量が FCR.TTRG で示されたしきい値以下になると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、CCR0.TIE ビットと CCR0.TE ビットを 1 命令で同時に 1 にする、または CCR0.TE が 1 のときに CCR0.TIE を 1 にすることでも発生します。

SCIn_TXI 割り込み要求は、CCR0.TIE ビットが 0 の状態で CCR0.TE ビットを 1 にした場合、または CCR0.TE ビットが 1 の状態で CCR0.TIE ビットを 1 にした場合には発生しません。

CCR0.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが送信 FIFO (TDR) レジスタに書き込まれていないと、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

CCR0.RIE ビットが 1 のとき、送信 FIFO (TDR) レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn_RXI 割り込み要求が発生します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

CCR0.RIE ビットが 1 のとき、CSR.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが送信 FIFO (TDR) レジスタに格納されると、SCIn_ERI 割り込み要求が発生します。送信 FIFO (TDR) レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求も発生しま

す。CSR の ORER、FER、PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

表 38.42 SCI の割り込み要因（非 FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI (n = 0～9)	受信エラー	CSR.ORER、CSR.FER、CSR.PER、CSR.DFER、CSR.DPER、(MSR.MER、MSR.SYER、MSR.PFER、MSR.SBER) (注1)	CCR0.RIE	不可
SCIn_RXI (n = 0～9)	受信データフル	CSR.RDRF	CCR0.RIE	可能
	アドレス一致	CSR.DCMF	CCR0.RIE	可能
SCIn_TXI (n = 0～9)	送信データエンプティ	CSR.TDRE	CCR0.TIE	可能
	TE の「0->1」の変更を検出			
SCIn_TEI (n = 0～9)	送信終了	CSR.TEND	CCR0.TEIE	不可

注. マンチェスタモードに対応するのは SCI0 のみです。
注 1. MER、SYER、PFER、および SBER は、マンチェスタモードにおいてのみ SCIn_ERI 割り込み要因になります。SYER、PFER、および SBER はまた、その許可ビット（MCR の SYEREN, PFEREN, SBEREN）が 1 の場合のみ機能します。

表 38.43 SCI の割り込み要因（FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI (n = 0～9)	受信エラー	CSR.ORER、CSR.FER、CSR.PER、CSR.DFER、CSR.DPER	CCR0.RIE	不可
		FRSR.DR（FCR.DRES = 1 の場合）	CCR0.RIE	不可
SCIn_RXI (n = 0～9)	受信データフル	CSR.RDRF	CCR0.RIE	可能
	受信データレディ	FRSR.DR（FCR.DRES = 0 の場合）	CCR0.RIE	可能
	アドレス一致	CSR.DCMF	CCR0.RIE	可能
SCIn_TXI (n = 0～9)	送信データエンプティ	CSR.TDFE	CCR0.TIE	可能
	TE の「0->1」の変更を検出			
SCIn_TEI (n = 0～9)	送信終了	CSR.TEND	CCR0.TEIE	不可

注. マンチェスタモードに対応するのは SCI0 のみです。

38.12.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 38.44 の割り込み要因があります。このモードでは、送信終了割り込み (SCIn_TEI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

表 38.44 スマートカードインタフェースモードにおける SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI (n = 0～9)	受信エラー、エラー信号検出	CSR.ORER、CSR.PER、CSR.ERS	CCR0.RIE	不可
SCIn_RXI (n = 0～9)	受信データフル	CSR.RDRF	CCR0.RIE	可能
SCIn_TXI (n = 0～9)	送信データエンプティ	CSR.TEND	CCR0.TIE	可能
	TE = 0→1 設定時			

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC または DMAC を使用した送受信が可能です。送信時に CCR0.TEND フラグが 1 であれば、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によっ

て DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグが 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生後の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に CSR.ERS フラグは自動的に 0 になりません。そのため、あらかじめ CCR0.RIE ビットを 1 にしておき、エラー発生時に SCIn_ERI 割り込み要求を発生させることで、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。DTC または DMAC の設定方法については、「18. データトランスファコントローラ (DTC)」、「17. DMA コントローラ (DMAC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC または DMAC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

38.12.4 簡易 IIC モードにおける割り込み

表 38.45 に、簡易 IIC モードにおける割り込み要因を示します。STI 割り込みは、送信終了割り込み (SCIn_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn_ERI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC または DMAC を使用した送受信が可能です。

ICR.IICINTM ビットが 1 のとき

- SCLn 信号の 8 ビット目の立ち下がりで、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。
- また、SCLn 信号の 9 ビット目（アクノリッジビット）の立ち下がりエッジで、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。

ICR.IICINTM ビットが 0 のとき

- SCLn 信号の 9 ビット目（アクノリッジビット）の立ち上がりエッジで、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求（ACK 検出）が発生します。
- SCLn 信号の 9 ビット目（アクノリッジビット）の立ち上がりエッジで、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求（NACK 検出）が発生します。
- あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

ICR レジスタの IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いてスタートコンディション、リスタートコンディション、またはストップコンディションを生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 38.45 簡易 IIC モードにおける SCI の割り込み要因 (1/2)

名称	割り込み要因		割り込みフラグ	割り込み許可	DTC または DMAC の起動
	ICR.IICINTM = 1	ICR.IICINTM = 0			
SCIn_RXI (n = 0 ～9)	受信終了	—	—	CCR0.RIE	可能(注1)
	—	ACK 検出	—		可能
SCIn_TXI (n = 0 ～9)	送信終了	—	—	CCR0.TIE	可能(注1)
	—	NACK 検出	—		可能

表 38.45　簡易 IIC モードにおける SCI の割り込み要因 (2/2)

名称	割り込み要因		割り込みフラグ	割り込み許可	DTC または DMAC の起動
	ICR.IICINTM = 1	ICR.IICINTM = 0			
SCIn_TEI (STIn) (n = 0～9)	開始条件、再開始条件、または停止条件の生成完了		ICR.IICSTIF	CCR0.TEIE	不可

注 1.　DMAC または DTC を使用すると、ACK または NACK を確認することはできません。

38.12.5　簡易 LIN モードにおける割り込み

表 38.46 に、簡易 LIN モードにおける割り込み要因を示します。

表 38.46　簡易 LIN モードにおける SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	確認が必要なフラグ	割り込み許可	DTC/DMAC の起動
SCIn_ERI	受信エラー	CSR.ORER、CSR.FER、CSR.PER	—	CCR0.RIE	不可能
		XSR0.BCDF		XCR0.BCDIE	
		XSR0.COF		CCR0.RIE、XCR0.COFIE	
SCIn_RXI	受信データフルフラグ	CSR.RDRF	XSR0.CF0MF XSR0.CF1MF XSR0.PIBDF	CCR0.RIE	XSR0.SFSF = 0：可能 XSR0.SFSF = 1：不可能
SCIn_AED	アクティブエッジ検出	XSR0.AEDF	—	XCR0.AEDIE	可能
SCIn_TXI	送信データエンプティ割り込み	CSR.TDRE	—	CCR0.TIE	可能
	TE = 0→1 設定時				
	Break Field 出力完了	XSR0.BFOF		CCR0.TIE、XCR0.BFOIE	
SCIn_TEI	送信終了	CSR.TEND	—	CCR0.TEIE	不可能
SCIn_BFD	Break Field 検出	XSR0.BFDF	—	XCR0.BFDIE	不可能（不要）

簡易 LIN モードでは、送信中にバス競合が検出された場合や簡易 LIN モジュールのカウンタオーバーフローが発生した場合、受信エラー (ORER, FER, PER) に加えて SCIn_ERI 割り込み要求が出力されます。このとき、SCIn_RXI 割り込み要求は出力されません。すべてのフラグをクリアすると、SCIn_ERI 割り込み要求を解除できます。

スタートフレームを送信するときに CCR0.TIE = 1 かつ XCR0.BFOIE = 1 の場合は、Break Field の送信が完了すると、SCIn_TXI 割り込み要求が出力されます。Control Field 0 データが TDR レジスタに書き込まれると、データ送信が開始されます。そのため、DTC または DMAC を使用した送信が可能です。

最後の送信データが TDR レジスタに書き込まれた後で、CCR0.TEIE = 1 を設定すると、送信が開始されます。

スタートフレーム受信 (XSR0.SFSF = 1) 中は、SCIn_RXI 割り込みによる DTC または DMAC を使用した受信は不可能です。CSR レジスタおよび XSR0 レジスタを確認し、受信状態を確認（図 38.83 を参照）してから、フラグをクリアしてください。また、RDR レジスタの読み出しを行います（受信データの値を確認する必要がない場合は、RDR レジスタの読み出しを行わずに RDRF フラグをクリアしてください）。Control Field 1 の受信が完了すると (XSR0.CF1MF = 1)、スタートフレーム検出が無効になり (XSR0.SFSF = 0)、DTC または DMAC を使用した受信が可能になります。必ず RDR レジスタの読み出しを行ってください。

スタートフレーム／Break Field 検出が有効な場合 (XCR1.SDST = 1)、XCR2.BFLW [15:0] に設定されている期間よりも長い Break Field を受信すると、BFDF フラグが設定されて SCIn_BFD 割り込み要求が出力されます。その後、SCI がスタートフレーム受信状態になります。BFDF フラグをクリアします。

スタートフレーム／Break Field 検出が有効であり (XCR1.SDST = 1)、ビットレート測定機能が有効な場合 (XCR1.BMEN = 1)、アクティブエッジが検出されると、SCIn_AED 割り込み要因が出力されます。タイマカウントキャプチャ値 (XSR1.TCNT [15:0]) の読み出しを行います。

38.13 イベントリンク機能

SCIn は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることが可能です。

(1) 受信エラーまたはエラー信号検出におけるエラーイベント出力 (SCIn_ERI) (n = 0〜9)

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- 受信時にマンチェスタエラーが発生して異常終了したことを示します。(マンチェスタモードのみ)
- 受信時にプレフィスエラーが発生して異常終了したことを示します。(マンチェスタモードで MCR.PFEREN = 1 の場合のみ)
- 受信時にスタートビットエラーが発生して異常終了したことを示します。(マンチェスタモードで MCR.SBEREN = 1 の場合のみ)
- 受信時に受信 SYNC エラーが発生して異常終了したことを示します。(マンチェスタモードで MCR.SYEREN = 1 の場合のみ)
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します。
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、CSR.FER フラグと PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15 etu 経過したことを示します。
- 簡易 LIN モードで、簡易 LIN モジュールの 16 ビットカウンタがオーバーフローしたことを示します。
- 簡易 LIN モードで、送信時にバス衝突が検出されたことを示します。 (CCR0.TE = 1)

(2) 受信データフルイベント出力 (SCIn_RXI, n = 0〜9)

- 簡易 IIC モードで、ICR.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。
- 簡易 IIC モードで、ICR.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりエッジが検出されたことを示します。
- 簡易 IIC モードでのマスタ送信時に、ICR.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

非 FIFO 選択時

- 受信データが受信データレジスタ (RDR) に格納されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(3) 送信データエンプティイベント出力 (SCIn_TXI, n = 0〜9)

- CCR0.TE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易 IIC モードで、ICR.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 IIC モードで、ICR.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりエッジが検出されたことを示します。
- 簡易 LIN モードで、Break Field の出力が完了したことを示します。

非 FIFO 選択時

- 送信データが送信データレジスタ (TDR) から送信シフトレジスタ (TSR) へ転送されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(4) 送信終了イベント出力 (SCIn_TEI, n = 0～9)

- 送信が完了したことを示します。
- 簡易 IIC モードで、開始条件、再開始条件、停止条件の生成が完了したことを示します。
- スマートカードモードにおいて、送信終了イベントは出力されません。

注. FIFO が選択されている場合、このイベント出力は使用しないでください。

(5) アドレス一致イベント出力 (SCIn_AM, n = 0～9)

- 調歩同期式モード（マルチプロセッサモードを含む）において、CCR0.DCME ビットが 1 の場合、比較データ (CCR4.CMPD) と受信データの 1 フレームが一致したことを示します。

(6) アクティブエッジ検出イベント出力 (SCIn_AED, n = 0, 1)

- 簡易 LIN モードで、CCR1.BMEN ビットが 1 のとき、RXD 入力信号の有効エッジが検出されたことを示します。

38.14 ノイズ除去機能

図 38.113 に、ノイズ除去機能に用いるノイズフィルタの構成を示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。(CCR1.NFM = 0 の場合)

調歩同期式モードで CCR2.ABCSE2 = 1 の場合は、1 ビットに基本クロックが 4 つしかないため上記のノイズ除去機能は使用できません。したがって、この場合は、ノイズ除去モードを設定し、3 つのサンプリング値の多数決により、多い方の値を内部的に送信します（3 連続一致方式は使用しません)。(CCR1.NFM = 1)

調歩同期式モード、マンチェスタモード、および簡易 LIN モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。ノイズフィルタのサンプリング周期は、CCR1.NFCS[2:0]ビットにより、基本クロックの周期およびボーレートジェネレータのクロックソースの分周クロックから選択可能です。

- CCR1.NFCS[2:0] = 000b、CCR2.ABCS = 0、および CCR2.ABCSE = 0 の場合、周期は 1 ビット期間の 1/16 となります。
- CCR1.NFCS[2:0] = 000b、CCR2.ABCS = 1、および CCR2.ABCSE = 0 の場合、周期は 1 ビット期間の 1/8 となります。
- CCR1.NFCS[2:0] = 000b、CCR2.ABCSE = 1 の場合、周期は 1 ビット期間の 1/6 となります。
- CCR1.NFCS[2:0] = 000b、CCR2.ABCSE2 = 1 の場合、周期は 1 ビット転送期間の 1/4 となります。
- ABCSE = 1 または ABCSE2 = 1 の場合、CCR1.NFCS の値については、“000b”または“001b”を選択します。最低限、ノイズフィルタのサンプリング期間は、CCR2.BRR の設定値による基本クロック以下にしてください。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、ボーレートジェネレータの分周クロックの設定から CCR1.NFCS[2:0]で選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に CCR0.TE ビットと CCR0.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力データが 0 の場合、サンプリングした 3 つの端子レベルは 3 つとも一致する（CCR1.NFM = 0 の場合）か、2 つ以上一致する（CCR1.NFM = 1 の場合）までノイズフィルタ出力は初期値を保持します。

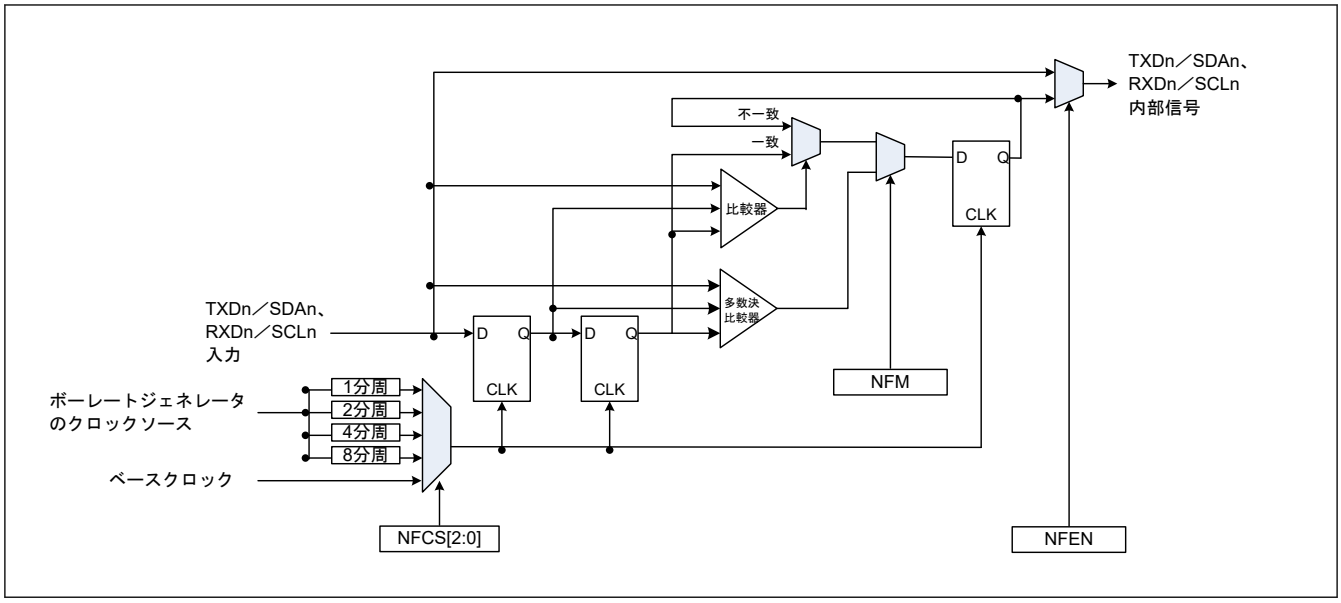


図 38.113　デジタルノイズフィルタ回路のブロック図

38.15　RS-485 ドライバコントロール機能

SCI 共通コントロールレジスタ 3 (CCR3) の DEN ビットを 1 にすると、RS-485 ドライバコントロール機能が有効になり、外部トランシーバ送信モードを有効にする DEn（ドライバイネーブル）信号が生成されます。DEn 信号は、データ送信の前と後にドライバアサート時間とドライバネゲート時間を追加した期間において、有効なレベルを出力します。DEn 信号の有効なレベルは、ドライバコントロールレジスタ (DCR) の DEPOL ビットで設定されます。

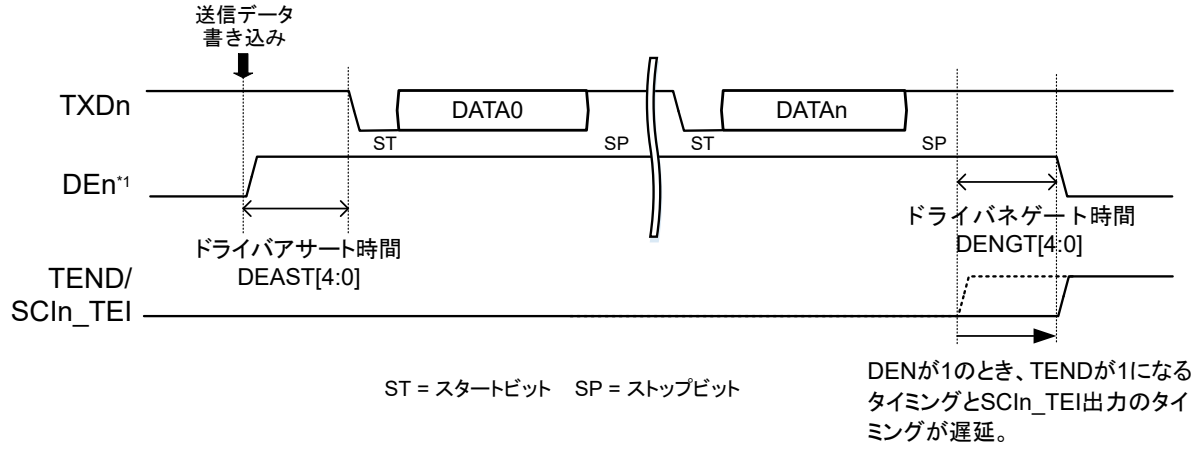
ドライバアサート時間は、DEn 信号が有効になってからスタートビットが開始されるまでの時間です。ドライバコントロールレジスタ (DCR) の DEAST [4:0] で設定されます。

ドライバネゲート時間は、送信メッセージの最後のストップビットの終了から DEn 信号が無効になるまでの時間です。ドライバコントロールレジスタ (DCR) の DENGT [4:0] で設定されます。

DEAST および DENGT は基本クロック期間で表されます（1/4 ビット期間、1/6 ビット期間、1/8 ビット期間、または 1/16 ビット期間。詳細は、表 38.6 を参照してください）。詳細は、「38.2.13. DCR : ドライバコントロールレジスタ」を参照してください。

この機能を使用する場合 (CCR3.DEN = 1)、CSR.TEND が 1 になるタイミングと SCIn_TEI 割り込み出力のタイミングは、ドライバネゲート時間の終了時になります。

送信が完了し、DEn 信号のネゲート前に次の送信データが書き込まれない場合は、いったん DEn 信号はネゲートされます。次の送信データを書き込むのが間に合わない場合は、DEn 信号を再ネゲート後にアサートし、ドライバのアサート時間を挿入してから、次のデータを送信してください。DEn 信号のアサートにより次の送信を実行したい場合は、レジスタの同期遅延時間を考慮して、十分迅速に TDR に次の送信データを書き込んでください。



注 1.　DCR.DEPOL = 0

図 38.114　RS-485 ドライバコントロールの DE 信号出力のイメージ波形

38.16　ループバック機能

ループバック機能は、内部クロックを使用した調歩同期式モード、内部クロックを使用したマンチェスタモード、および内部クロックを使用したクロック同期式モードで使用できます。

CCR1 レジスタの SPLP ビットに 1 を書き込むときに、SCI は外部入力 (RXDn) パスをブロックし、送信データレジスタの出力パスと受信データレジスタの入力パスを接続します。

この機能を TINV ビット = 1 で使用する場合、送信データの反転が受信データになります。ただし、この機能を TINV = 1 で使用できるのは、クロック同期式モード内部クロックで動作している場合だけです。

表 38.47 に、TINV および SPLP のビット設定と受信データの関係を示します。

表 38.47　TINV および SPLP のビット設定と受信データ

CCR1.TINV	CCR1.SPLP	受信データ	通信モード		
			調歩同期式	マンチェスタ	クロック同期式
			内部クロック	内部クロック	内部クロック
—	0	RXDn 端子からの受信データ	可能	可能	可能
0	1	送信データ	可能	可能	可能
1	1	送信データの反転	不可能	不可能	可能

注.　—: 関係なし

図 38.115 に、ループバックモードでのシフトレジスタの入出力パスの構成を示します。

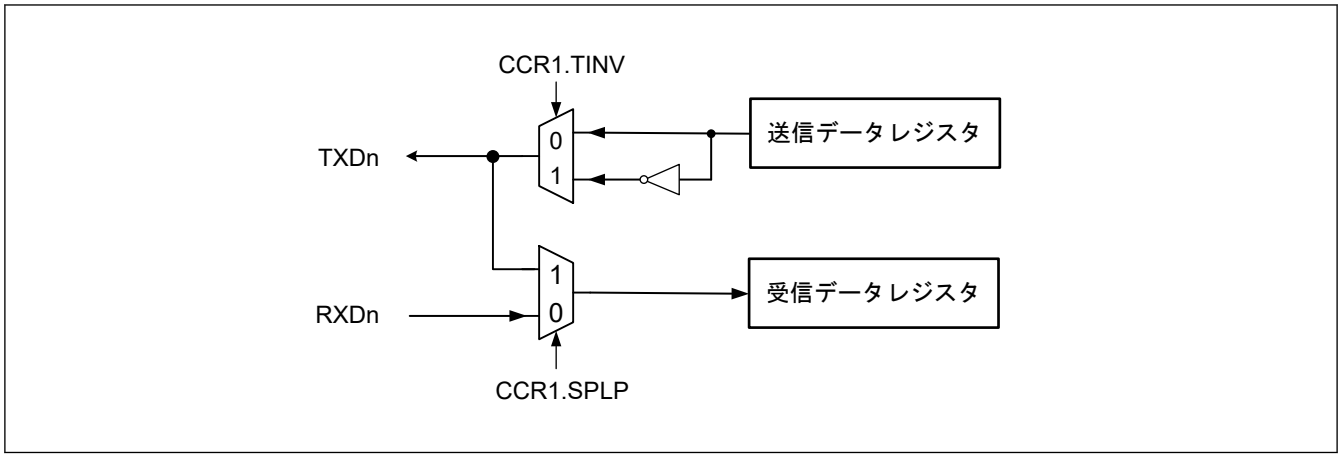


図 38.115　ループバックモードでのシフトレジスタの入出力構成イメージ

38.17　半二重通信機能

簡易 IIC モード、簡易 SPI モード、およびスマートカードインタフェースモードでは、半二重通信機能を使用しないでください。

その他の通信モードでは、CCR1.SHARPS ビットが 1 のときは、TXDn 端子を使用した半二重通信が可能です。半二重通信を使用する場合、送受信を排他的に実行する必要があります。送受信設定（CCR0.TE = 1 および CCR0.RE = 1）は禁止されています。

ただし、半二重通信をクロック同期式モードでマスタ受信として実行する場合は、送受信設定（CCR0.TE = 1 および CCR0.RE = 1）を行ってダミー送信を行います。ダミー送信（任意の送信データを TDR に書き込み）によって、SCKn が出力されて受信が可能になります。ダミー送信データは IP 内部で破棄され、実際には送信されません。

半二重通信中は、TXDn 端子のみが通信端子として使用されます。CCR0.TE = 1 の場合は出力、CCR0.TE = 0 の場合は入力

38.18　シンクロナイザーバイパス機能

SCI にはバスクロック (PCLK) と動作クロック (TCLK) があります。そして、それぞれのクロックに動作回路があります。そのため、異なるクロック間での信号転送には同期回路が用いられ、異なるクロック間の信号伝播には同期遅延時間が必要です。

ただし、バスクロックと動作クロックに同じクロックが入力されている場合にのみ、CCR3.BPEN ビットで同期回路をバイパスできます。この場合、同期遅延時間がなくなり、応答が向上します。図 38.116 にバイパス機能のイメージ波形を示します。

SCI には、通信クロック (SCKn) と動作クロック (TCLK) の間にも同期回路がありますが、この同期回路をバイパスすることはできません。

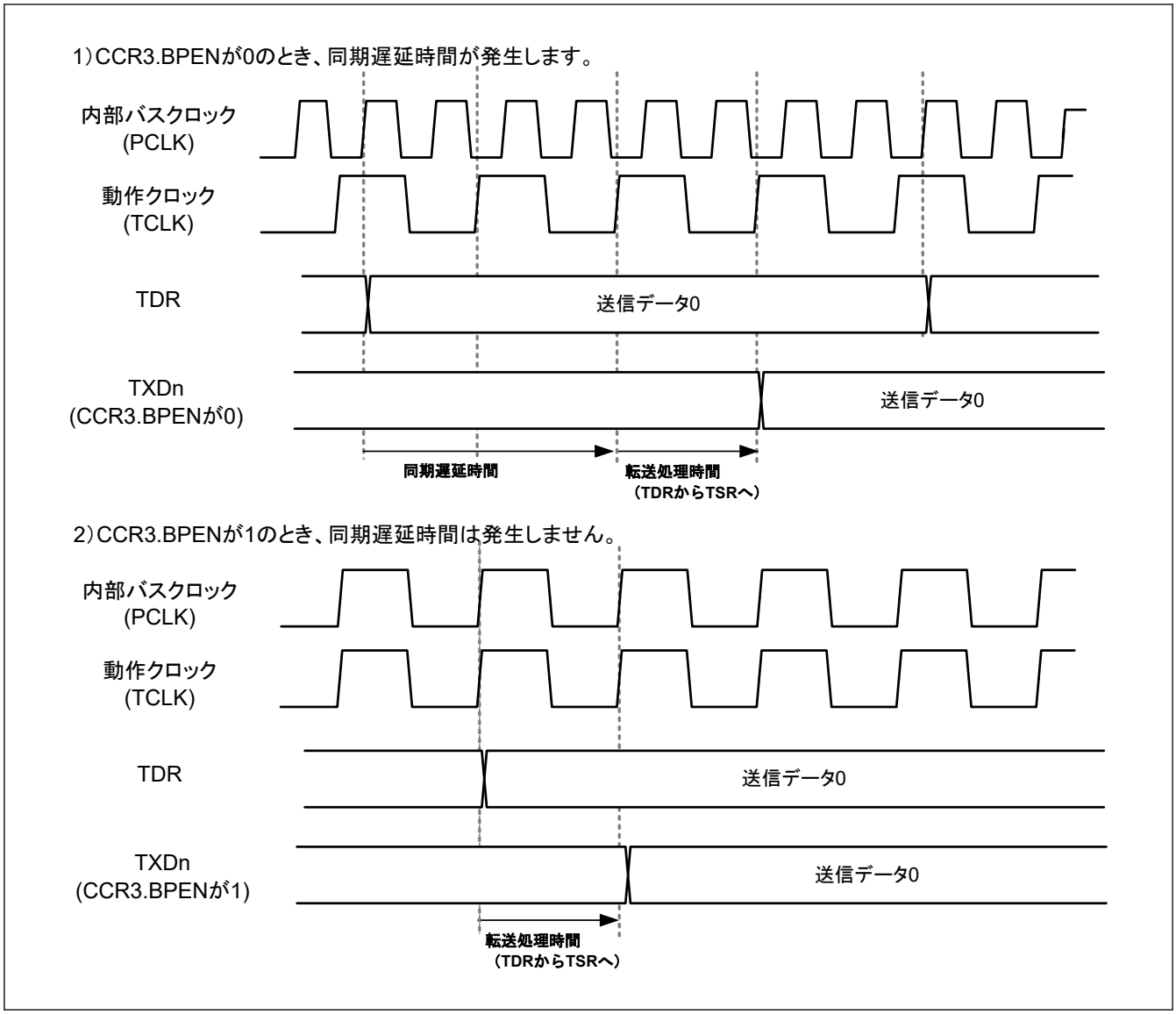


図 38.116　シンクロナイザーバイパス機能のイメージ波形

38.19　使用上の注意

38.19.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作禁止／許可を設定できます。SCI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

38.19.2　ソフトウェアスタンバイモード

(1)　送信

消費電力低減機能を使用して SCI の消費電力を低減する前に、以下を行って送信終了 (CSR.TEND = 1) を確認してください。

- CCR1.SPB2DT、SPB2IO で送信動作を停止した後、出力端子状態を設定する
- 送信を停止します (CCR0.TIE = 0, CCR0.TE = 0, CCR0.TEIE = 0)。

送信中に低消費電力状態に遷移すると、送信中のデータは不定になります。

低消費電力状態の解除後に同じ動作モードで送信する場合は、TE ビットを 1 にして、CSR レジスタの読み出しと、TDR レジスタへの書き込みを順に行うことで送信を開始できます。異なる動作モードで送信する場合は、SCI の初期化からやり直してください。

ソフトウェアスタンバイモードの解除後に DMAC または DTC による送信を開始する場合は、CCR0 レジスタの TE ビットと TIE ビットを同時に 1 にしてください。すると SCIn_TXI 割り込みフラグが生成されますが、それによって DMAC または DTC は送信データの書き込みを行います。これにより送信が開始されます。

図 38.117 に、送信時にソフトウェアスタンバイモードに遷移する場合のフローチャート例を示します。図 38.118 と図 38.119 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

(2) 受信

再開（ウェイクアップ）条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードに遷移する場合は、事前に受信動作の停止 (CCR0.RE ビット = 0) を行ってください。受信中に遷移すると、受信中のデータは無効になります。

図 38.120 に、受信時にソフトウェアスタンバイモードに遷移する場合のフローチャート例を示します。

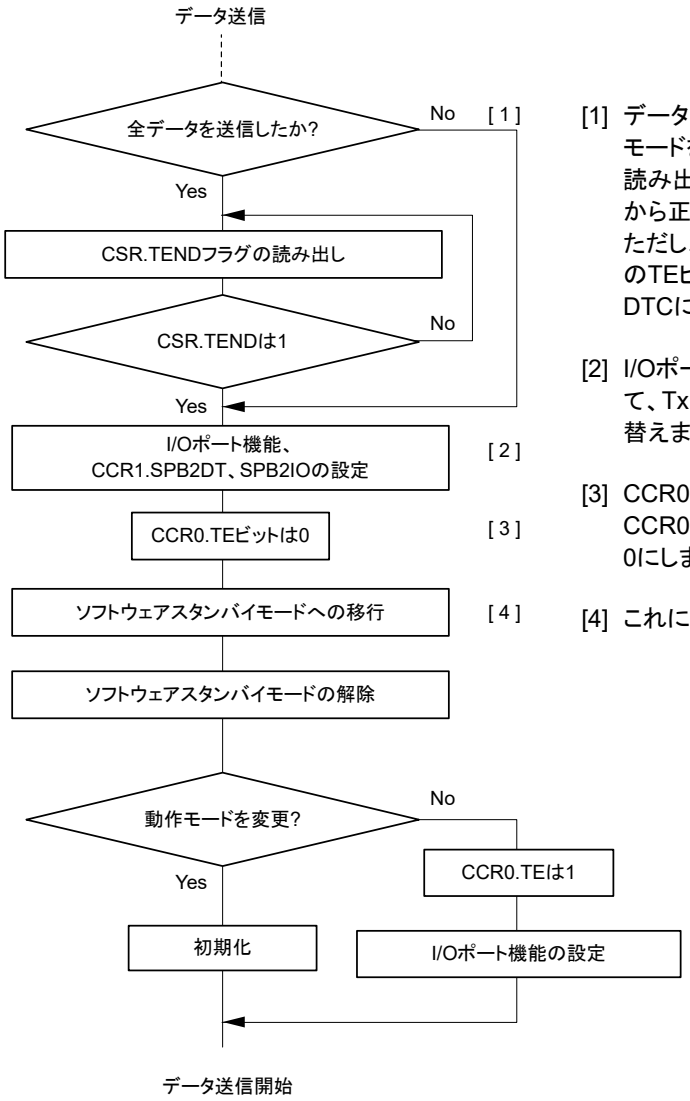
再開（ウェイクアップ）条件としてアドレス一致検出機能を使用する場合

消費電力低減機能を使用して SCI の消費電力を低減する場合、以下を行ってください。

- 動作モードを調歩同期式モードに設定する
- CCR4.CMPD にコンペアデータを設定し、CCR0.DCME に 1 を設定する
- 受信動作を設定する (CCR0.RE = 1)

CCR3.RXDESEL = 0 にしてください。CCR3.RXDESEL = 1 の場合、低消費電力モードの解除時にスタートビット（RXDn 端子の立ち下がりエッジ）が検出できない可能性があります。

図 38.121 に、受信時にソフトウェアスタンバイモードに遷移する場合のフローチャート例を示します。



[1] データが送信中に失われました。ソフトウェアスタンバイモードをキャンセルしてから、CCR0.TEを1にし、CSRを読み出して、データをTDRに書き込むと、データをCPUから正常に送信できます。
ただし、DMACまたはDTCが起動している場合、CCR0のTEビットとTIEビットの両方を1にすると、DMACまたはDTCに残っているデータが送信されます。

[2] I/Oポート機能、CCR1.SPB2DT、SPB2IOの設定を行って、TxDn端子を汎用I/Oポートとして動作するように切り替えます。

[3] CCR0.TEビットを0にします。また、CCR0.TIEビットとCCR0.TEIEビットを1にしていた場合は、これらのビットを0にします。

[4] これには、モジュール停止状態の設定も含まれます。

図 38.117　送信時にソフトウェアスタンバイモードに遷移する場合のフローチャート例

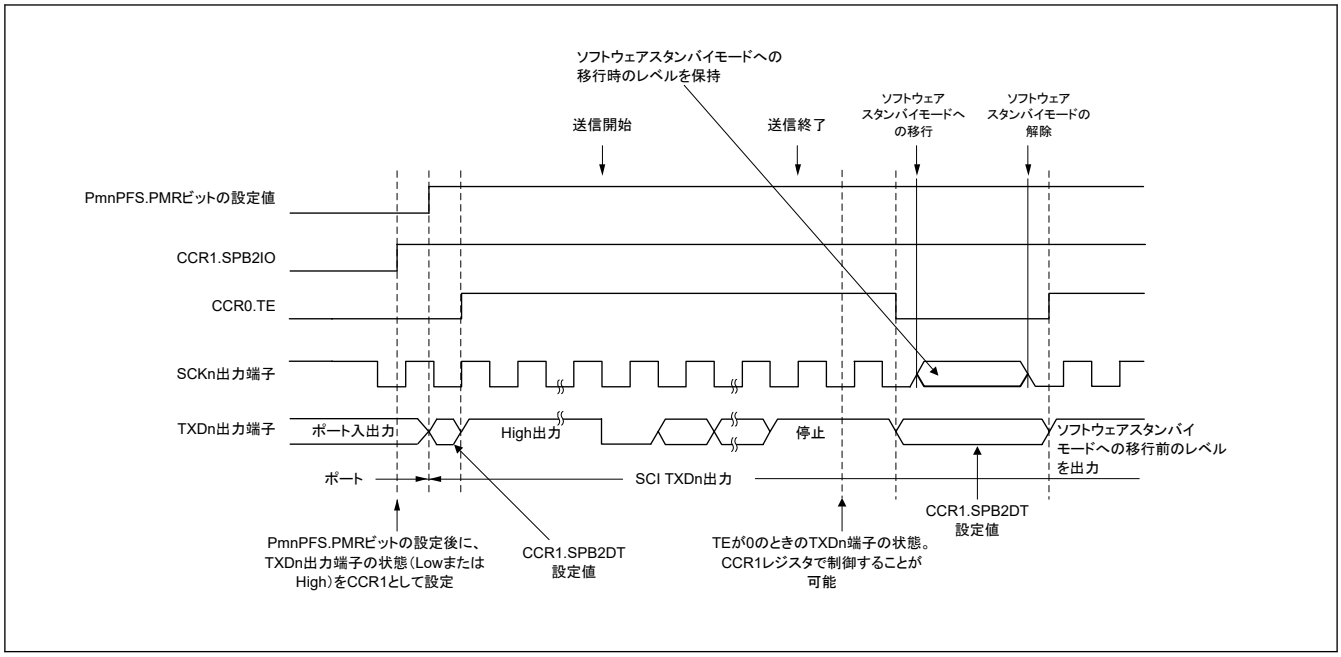


図 38.118　ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、調歩同期送信）

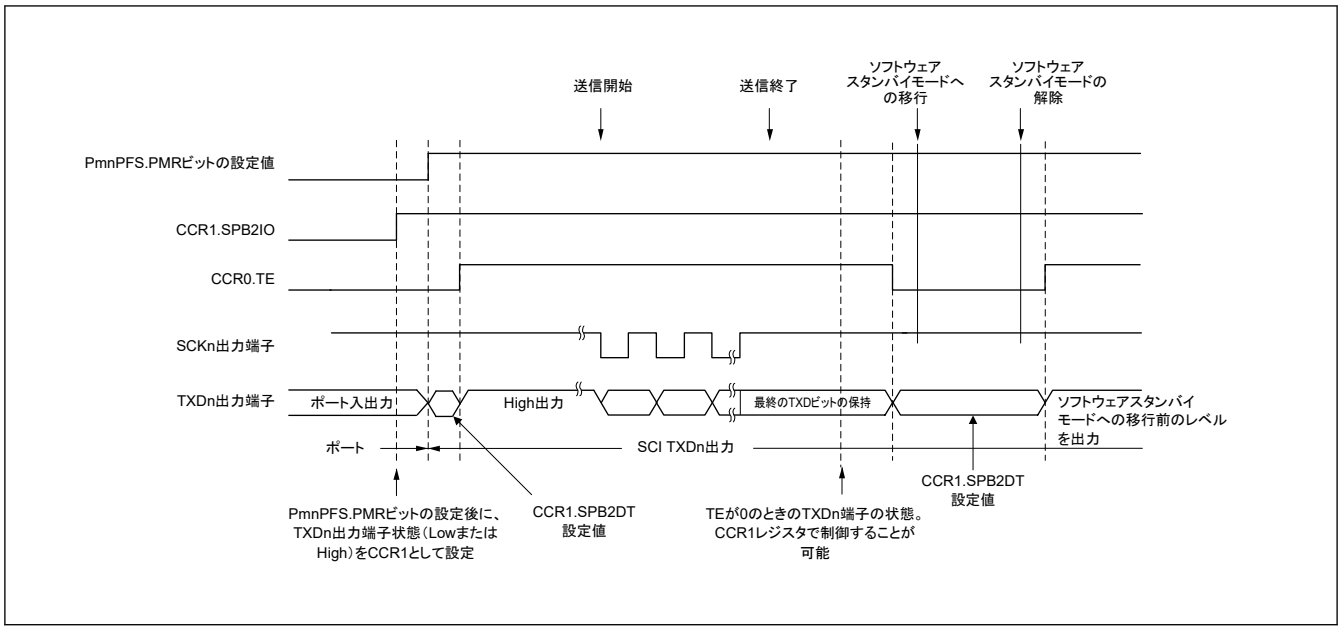


図 38.119　ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、クロック同期送信）

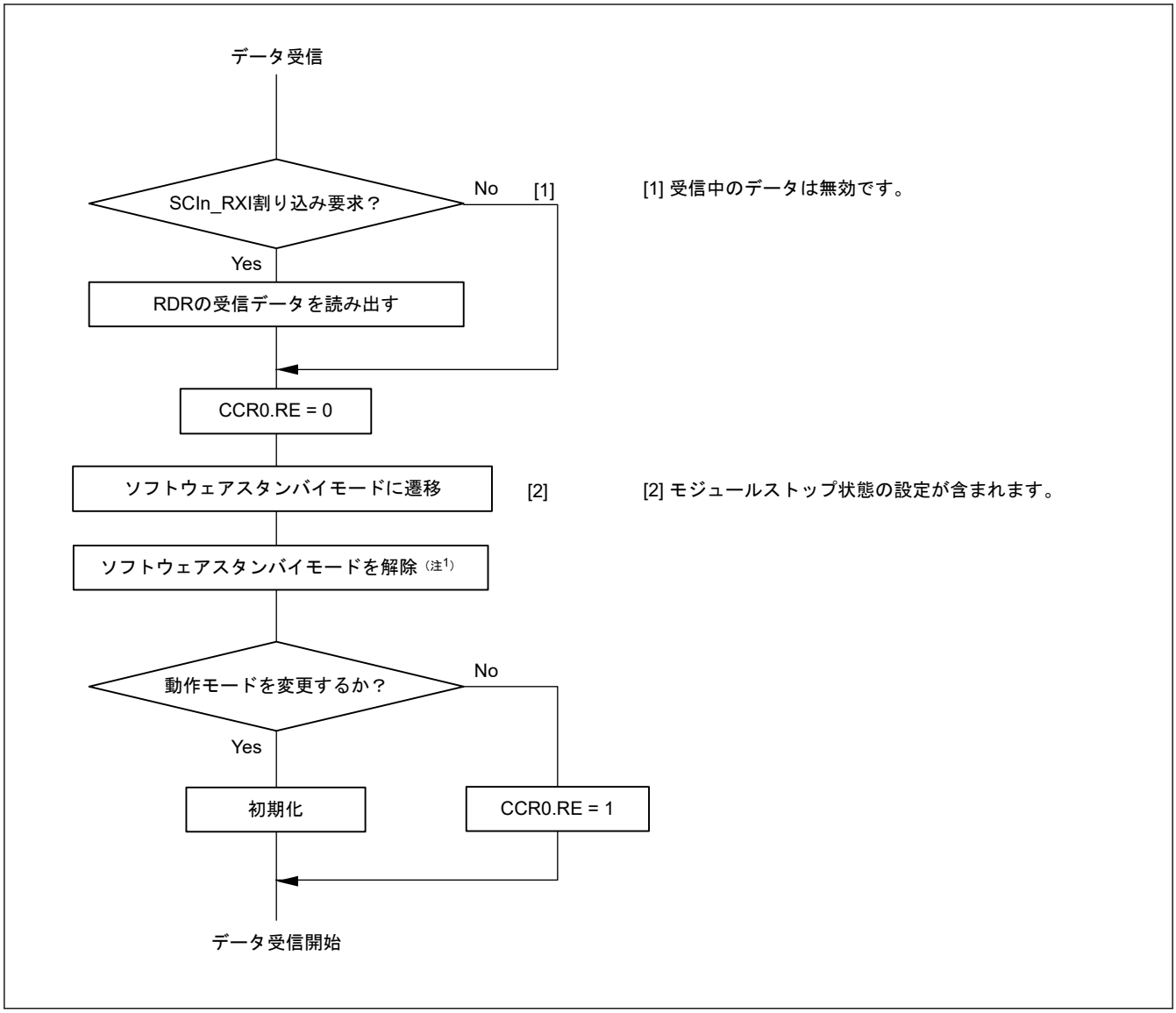


図 38.120　受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

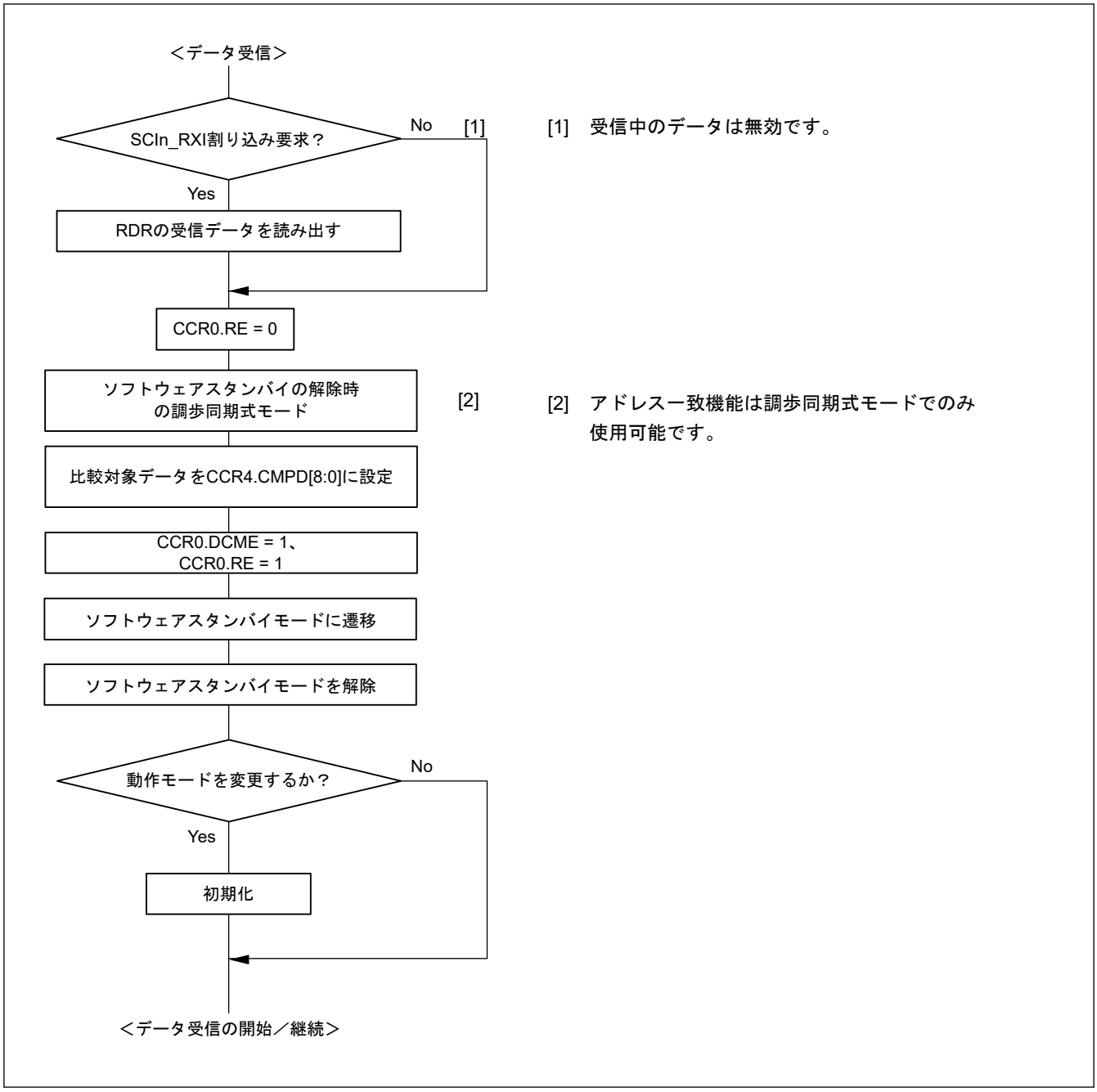


図 38.121 アドレス一致検出を用いて受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

38.19.3 ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラーの検出時に、CSR.RXDMON ビットの値を読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、CSR.FER フラグが 1（フレーミングエラーの発生あり）になり、さらに CSR.PER フラグも 1（パリティエラーの発生あり）になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0（フレーミングエラーの発生なし）にしても、再び FER フラグが 1 になります。CCR3.RXDESEL ビットが 1 のとき、SCI は、CSR.FER フラグを 1 にし、次のデータフレームのスタートビットが検出されるまで受信動作を停止します。このとき、CSR.FER フラグを 0 にすれば、ブレーク中は CSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりエッジでスタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラーの検出時に、CSR.RXDMON フラグの値を読み出すことでブレークを検出できます。RXDn 信号が High になってブレークが終了した後、受信 FIFO (RDR) レジスタへのデータ受信が再開されます。

38.19.4 マーク状態とブレークの送出

CCR0.TE ビットが 0（シリアル送信動作を禁止）のとき、CCR1.SPB2IO ビットと CCR1.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にしてブレークを送出できます。

CCR0.TE ビットを 1（シリアル送信動作を許可）にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態（1 の状態）に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、CCR0.TE ビットを 0 にしてください。CCR0.TE ビットを 0 にすると、現在の送信状態にかかわらず送信部が初期化されます。

38.19.5 受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード）

CSR.ORER が 1 の場合でも、送信データを TDR に書き込むと、送信を開始できます。ただし、受信は開始できません。また、CCR0.RE が 0（シリアル受信が無効）の場合でも、受信エラーフラグを 0 にすることはできません。

38.19.6 TDR へのデータ書き込み

(1) 非 FIFO 選択時

CCR0.TE が 1 のときは、いつでもデータを TDR に書き込むことができます。ただし、TDR に送信データが残っている状態で、TDR に新しいデータを書き込むと、TDR に残っているデータは、TSR へまだ転送されていないため失われます。DTC または DMAC を使用する場合、TDR への送信データの書き込みは、必ず SCIn_TXI 割り込み要求の処理ルーチンで行ってください。

(2) FIFO 選択時

CCR0.TE が 1 のとき、データを送信 FIFO (TDR) に書き込むことができます。FDR.T[5:0] ビットで、書き込み可能なデータ数を確認してください。

38.19.7 クロック同期式送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制限事項があります。

(1) 送信開始時

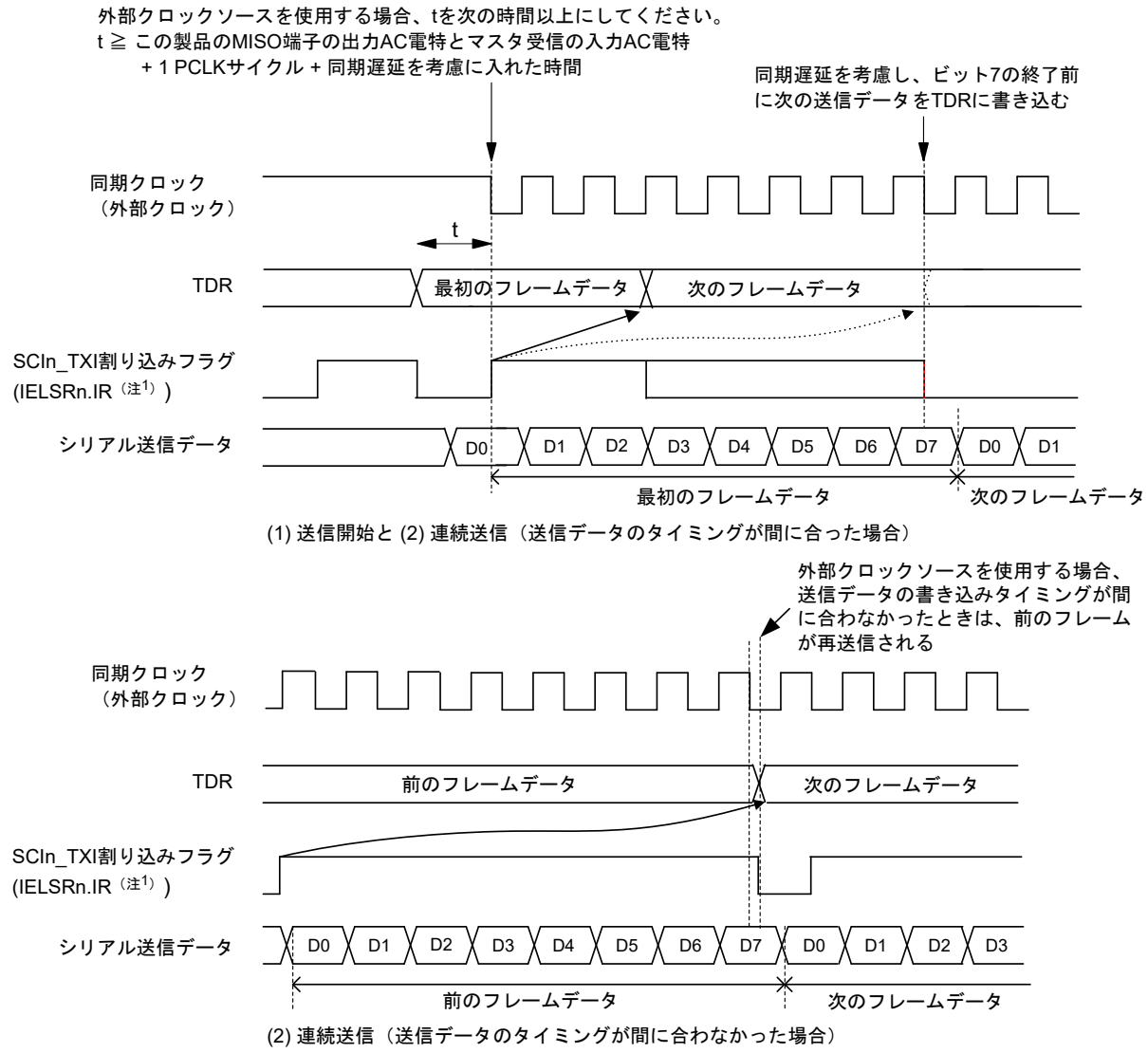
TDR を CPU、DMAC、または DTC で更新し、外部クロック入力の開始まで下記に示す以上の待機時間を確保してください。（図 38.122 を参照してください。）

本製品の MISO 端子の出力 AC 電特とマスタ受信の入力 AC 電特 + 1 PCLK サイクル + 同期遅延の時間を考慮に入れてください。

(2) 連続送信時

送信クロックのビット 7 の立ち下がりエッジ(注1)以前に、TDR に次の送信データを書き込んでください。同期遅延を考慮し、TDR に送信データを書き込んでください。送信データを時間内に書き込むことができない場合は、前のフレームデータが再送信されます。（図 38.122 を参照してください。）

注 1. CCR3.CPOL = 1 かつ CCR3.CPHA = 0、または CCR3.CPOL = 0 かつ CCR3.CPHA = 1 の場合。CCR3.CPOL = 0 かつ CCR3.CPHA = 0、または CCR3.CPOL = 1 かつ CCR3.CPHA = 1 の場合は、立ち上がりエッジです。



注 1.　対応する割り込みイベント番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

図 38.122　クロック同期式送信時の外部クロック使用に関する制約事項

38.19.8　DMAC または DTC 使用時の制限

DMAC または DTC を用いて RDR を読み出すときは、対応する SCI の起動要因として、必ず受信データフル割り込み (SCIn_RXI) を設定してください。

DMAC または DTC を使用した送受信動作中に、DMAC または DTC の転送情報を設定しないでください。

38.19.9　通信の開始に関する注意事項

通信開始時点で ICU の割り込みステータスフラグ（IELSRn.IR フラグ）が 1 のときは、動作許可（CCR0.TE ビットまたは CCR0.RE ビットを 1）にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

1. 通信が停止していること（CCR0.TE ビットまたは CCR0.RE ビットが 0 であること）を確認します。
2. 対応する割り込み許可ビット（CCR0.TIE ビットまたは CCR0.RIE ビット）を 0 にします。
3. 対応する割り込み許可ビット（CCR0.TIE ビットまたは CCR0.RIE ビット）を読み出して、実際に 0 になっていることを確認します。
4. ICU の割り込みステータスフラグ（IELSRn.IR フラグ）を 0 にします。

38.19.10　簡易 SPI モードに関する制限事項

(1)　マスタモード

- CCR0.SSE ビット = 1 の場合、CCR3.CPHA ビットと CCR3.CPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。

  これによって、CCR0.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、CCR0.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで CCR0.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- クロック遅れあり（CCR3.CPHA ビット = 0）では、図 38.123 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn_RXI) が発生します。CCR0 レジスタの TE ビットと RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタ転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

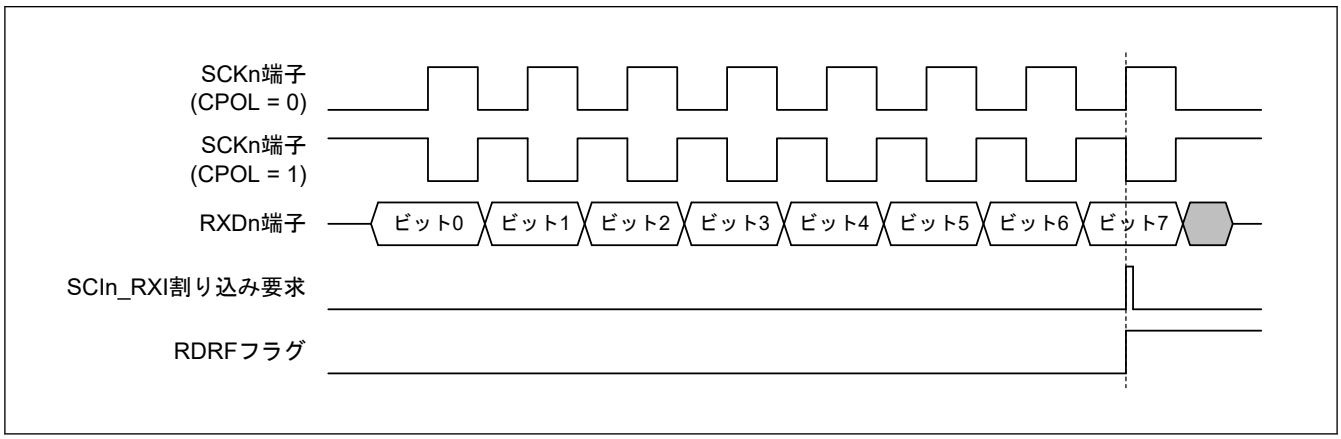


図 38.123　簡易 SPI モードにおける SCIn_RXI 割り込みの発生タイミング（クロック遅れあり）

(2)　スレーブモード

- TDR レジスタへの送受信データの書き込みから RXDn 端子へのデータ出力まで、以下の時間を要します。1PCLK + 同期遅延時間 + データ出力遅延時間（AC スペック）外部クロックの入力を開始するときは、これらを考慮してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください。
- SSn の Low 入力から外部クロック入力を開始するまで、SSn 入力セットアップ時間（AC スペック）を確保してください。
- SSn 端子入力は、データ転送開始前と完了後に制御してください。
- キャラクタの転送中に SSn 端子への入力レベルが Low から High に変化した場合は、CCR0 レジスタの TE ビットと RE ビットを 0 にして、設定を回復後に 1 バイト目から転送をやり直してください。

38.19.11　送信許可ビット (CCR0.TE) に関する注意事項

CCR0.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインが高インピーダンスにならないようにしてください。

1. プルアップ抵抗またはプルダウン抵抗を TXDn ラインに接続する。
2. TE が 0 である間に CCR1 を設定し TXDn 端子レベルを判定する

38.19.12　簡易 LIN モードに関する注意事項

簡易 LIN モード (CCR3.MOD[2:0] = 110) では、以下の機能は使用できません。

- マルチプロセッサ通信機能
- ビットレートモジュレーション機能
- ループバック機能
- FIFO バッファ

38.19.13 RS-485 ドライバコントロール機能に関する注意事項

RS-485 ドライバ制御機能は、調歩同期式モードでのみ有効になります。

RS-485 ドライバコントロール機能が有効な場合 (CCR3.DEN = 1)、CSR.TEND 設定タイミング／SCIn_TEI 出力タイミングは次のように変化します。SCIn_TEI 割り込みを待って、SCI の CCR0.TE ビットを 0 にします。

RS-485 ドライバ制御機能が無効な場合：STOP ビット出力の完了時。

RS-485 ドライバ制御機能が有効な場合：DEn ネゲート時間の終了時。

38.19.14 ループバック機能に関する注意事項

ループバック機能は、内部クロックを使用した調歩同期式モード、内部クロックを使用したマンチェスタモード、および内部クロックを使用したクロック同期式モードで有効です。

38.19.15 動作クロック (TCLK) がバスクロック (PCLK) より遅い場合のレジスタアクセスに関する注意事項

動作クロック (TCLK) がバスクロック (PCLK) より長い場合、この情報が CCR0.TE レジスタおよび CCR0.RE レジスタへの書き込み後に内部的に送信されるまでの時間は、バスアクセス時間より長くなります。特に、0 の書き込みと通信の割り込みを行った後で設定レジスタを変更する場合は、IP 内部の信号が通信停止状態になるまで、設定レジスタを変更しないでください。これを避けるには、CCR0.TE および CCR0.RE を 0 にした後で、0 になるまで CESR.TIST ビットおよび CESR.RIST ビットを確認してから、次のレジスタを設定します。

38.19.16 動作の中断に関する注意事項

データ受信中に CCR0.RE に 0 が書き込まれて受信動作に割り込みが発生した場合、無効な状態になっている可能性があるため、受信データ（RDR レジスタ格納値）や各ステータスレジスタのフラグ値を使用しないでください。受信動作に割り込むためには、割り込みまたはイベントリンクの受信側を停止してから、CCR0.RE ビットに 0 を書き込んでください。

38.19.17 CCR3.BPEN ビットの設定に関する注意事項

SCI の初期化フローで CCR3 レジスタを設定するときに、BPEN ビットを 1 回だけ設定します。

初期化後に、このビットを変更することはできません。

このビットの設定を変更する場合は、SCI の初期化フローからもう一度始めてください。

39. I²C バスインタフェース (IIC)

39.1 概要

I²C バスインタフェース (IIC) には 3 チャネルあります。IIC は、NXP 社の I²C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。

表 39.1 に IIC の仕様を、図 39.1 に IIC のブロック図を、図 39.2 に入出力端子の外部回路接続例（I²C バス構成例）を示します。表 39.2 に IIC の入出力端子を示します。

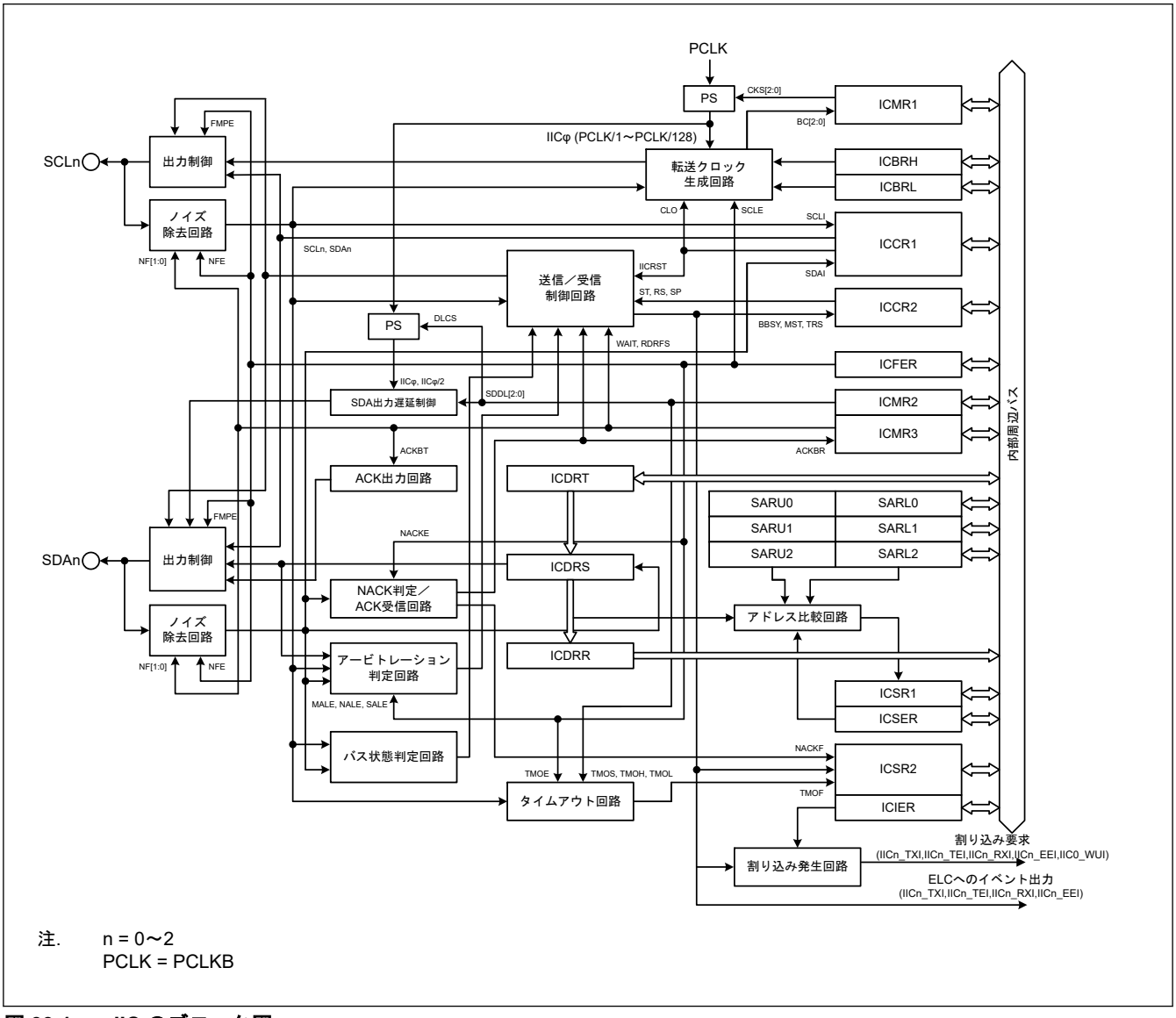
表 39.1 IIC の仕様 (1/2)

項目	内容
通信フォーマット	• I²C バスフォーマットまたは SMBus フォーマット • マスタ／スレーブモードを選択可能 • 転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	• ファストモードプラス対応（～1 Mbps）
SCL クロック	マスタ動作時、SCL クロックのデューティー比を 4%～96%の範囲で設定可能
コンディション発行・コンディション検出	• スタートコンディション／リスタートコンディション／ストップコンディションの自動生成 • スタートコンディション（リスタートコンディション含む）／ストップコンディションの検出が可能
スレーブアドレス	• 異なるスレーブアドレスを 3 種類まで設定可能 • 7 ビット／10 ビットアドレスフォーマット対応（混在可能） • ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノットアクノリッジビット検出時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信値に応じたアクノリッジビット値のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによる下記期間のウェイトが可能： • 8 クロック目と 9 クロック目の間をウェイト • 9 クロック目と次転送の 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	• マルチマスタ対応 – 他のマスタとの SCL クロック衝突時、SCL クロックの同期が可能 – スタートコンディション発行がバスで競合した場合、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 – マスタ動作時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 • バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能（スタートコンディションの二重発行防止） • ノットアクノリッジビット送信時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 • スレーブ送信時、データの SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能
タイムアウト検出機能	SCL クロックの長時間停止を内部で検出
ノイズ除去	• SCL および SDA 信号用のデジタルノイズフィルタ • フィルタによるノイズ除去幅をプログラマブルに調整可能
割り込み要因	• 通信エラーまたはイベント発生：アービトレーションロスト検出、NACK、タイムアウト、スタート／リスタートコンディション、またはストップコンディション • 受信データフル（スレーブアドレス一致時含む） • 送信データエンプティ（スレーブアドレス一致時含む） • 送信終了
モジュールストップ機能	モジュールストップ状態の設定が可能
IIC の動作モード	• マスタ送信 • マスタ受信 • スレーブ送信 • スレーブ受信

表 39.1 IIC の仕様 (2/2)

項目	内容
イベントリンク機能（出力）	● 通信エラーまたはイベント発生：アービトレーションロスト検出、NACK、タイムアウト、スタート／リスタートコンディション、またはストップコンディション ● 受信データフル（スレーブアドレス一致時含む） ● 送信データエンプティ（スレーブアドレス一致時含む） ● 送信終了
ウェイクアップ機能(注1)	CPU はウェイクアップイベントを使用して、ソフトウェアスタンバイモードから復帰可能
TrustZone フィルタ	各レジスタに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. この機能は、IIC0 のみ使用可能です。IIC1 と IIC2 はサポートしていません。



注. n = 0～2
PCLK = PCLKB

図 39.1 IIC のブロック図

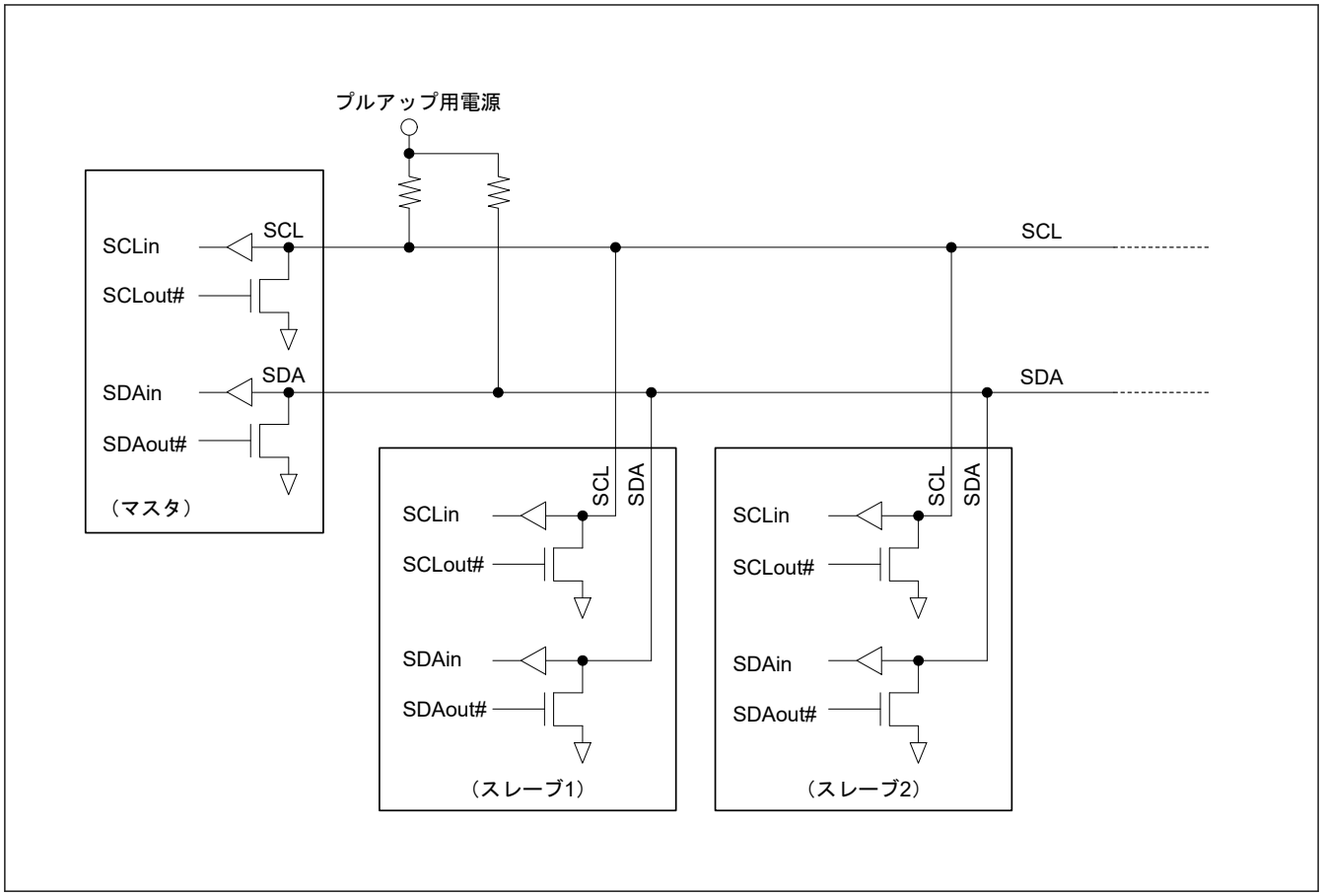


図 39.2　入出力端子の外部回路接続例（I2C バス構成例）

IIC の各信号の入力レベルは、I2C バス選択時 (ICMR3.SMBS = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS = 1) は TTL レベルです。

表 39.2　IIC の入出力端子

チャネル	端子名	入出力	機能
IICn	SCLn	入出力	IICn シリアルクロック入出力端子
	SDAn	入出力	IICn シリアルデータ入出力端子

注.　n = 0～2

39.2　レジスタの説明

39.2.1　ICCR1 : I2C バスコントロールレジスタ 1

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
Value after reset:	0	0	0	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SDAI	SDAn ラインモニタフラグ 0: SDAn ラインは Low 1: SDAn ラインは High	R

ビット	シンボル	機能	R/W
1	SCLI	SCLn ラインモニタフラグ 0: SCLn ラインは Low 1: SCLn ラインは High	R
2	SDAO	SDA 出力制御／モニタ 0: 読み出し時：IIC は SDAn 端子を Low にする 書き込み時：IIC は SDAn 端子を Low にする 1: 読み出し時：IIC は SDAn 端子を解放する 書き込み時：IIC は SDAn 端子を解放する	R/W
3	SCLO	SCL 出力制御／モニタ 外部プルアップ抵抗を使用して信号を High にしてください。 0: 読み出し時：IIC は SCLn 端子を Low にする 書き込み時：IIC は SCLn 端子を Low にする 1: 読み出し時：IIC は SCLn 端子を解放する 書き込み時：IIC は SCLn 端子を解放する	R/W
4	SOWP	SCLO/SDAO ライトプロテクト 読むと 1 が読めます。 0: SCLO ビットおよび SDAO ビットの書き込みを許可 1: SCLO ビットおよび SDAO ビットの書き込みを禁止	W
5	CLO	SCL クロック追加出力 1 クロック出力後、自動的に 0 になります。 0: SCL クロックを追加で出力しない 1: SCL クロックを追加で出力する	R/W
6	IICRST	I2C インタフェース内部リセット これにより、ビットカウンタをクリアし、SCLn/SDAn 出力ラッチを解除します。 0: IIC リセットまたは内部リセットを解除する 1: IIC リセットまたは内部リセットを行う	R/W
7	ICE	I2C インタフェース許可 IICRST ビットとの組み合わせで、IIC リセットまたは内部リセットを選択します。 0: 無効（SCLn および SDAn 端子は非駆動状態） 1: 有効（SCLn および SDAn 端子は駆動状態）	R/W

注. S-TYPE3、P-TYPE3

SDAO ビット（SDA 出力制御／モニタ）、SCLO ビット（SCL 出力制御／モニタ）

SDAO ビットおよび SCLO ビットは、IIC から出力される SDAn 信号と SCLn 信号を直接操作します。これらのビットに書き込む場合は、SOWP ビットにも 0 を書いてください。これらのビットを設定すると、入力バッファを介して IIC に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、または送受信中に、これらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのとき IIC が出力している信号の状態が読めます。

CLO ビット（SCL クロック追加出力）

CLO ビットは、SCL クロックを 1 クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。通常は 0 にしてください。通常の通信状態でこのビットを 1 にすると、通信エラーの原因になります。この機能の詳細については、「39.12.2. SCL クロック追加出力機能」を参照してください。

IICRST ビット（I2C インタフェース内部リセット）

IICRST ビットは、IIC の内部状態をリセットします。このビットを 1 にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットまたは内部リセットのどちらが起動するかは、ICE ビットとの組み合わせにより決定されます。表 39.3 に IIC のリセットの種類を示します。

IIC リセットでは、IIC の ICCR1.ICE ビットと ICCR1.IICRST ビットを除く全レジスタと内部状態が初期化されます。内部リセットでは、IIC の内部状態に加えて、以下を初期化します。

- ビットカウンタ（ICMR1.BC[2:0]ビット）
- I2C バスシフトレジスタ (ICDRS)
- I2C バスステータスレジスタ（ICSR1、ICSR2）

- SDAO、SCLO 出力制御／モニタ（ICCR1.SDAO ビット、ICCR1.SCLO ビット）
- I²C バスコントロールレジスタ 2（ICCR2.BBSY ビットを除く）

各レジスタのリセット条件については、「39.15. 各コンディション発行時のリセット、レジスタ、機能の状態」を参照してください。

動作中に（ICE = 1 の状態で）IICRST ビットを 1 にして内部リセットを行うと、ポートの設定と IIC のコントロールレジスタや設定レジスタを初期化することなく、IIC の内部状態がリセットされます。また、IIC が Low を出力したままハングアップした場合、内部状態をリセットすることで、Low 出力状態が解除され、SCLn 端子と SDAn 端子がハイインピーダンスの状態でバスが解放されます。

注. スレーブモード時に、マスタデバイスとの通信中に生じたバスのハングアップに対して IICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になることがあります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時に SCLn ラインが Low 出力状態のまま IIC がハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスでのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディションの発行がないまま通信が再開されると、マスタデバイスとスレーブデバイスが非同期で動作するため、同期ずれが発生します。

表 39.3 IIC のリセットの種類

IICRST	ICE	状態	内容
1	0	IIC リセット	IIC の ICCR1.IICRST ビットと ICCR1.ICE ビットを除く全レジスタと内部状態をリセット
	1	内部リセット	以下をリセット ● ICMR1.BC[2:0]ビット ● ICSR1, ICSR2, ICDRS レジスタ ● SDAO、SCLO 出力制御／モニタ（ICCR1.SDAO ビット、ICCR1.SCLO ビット） ● I²C バスコントロールレジスタ 2（ICCR2.BBSY ビットを除く） ● IIC の内部状態

ICE ビット（I²C インタフェース許可）

ICE ビットは、SCLn および SDAn 端子の駆動状態または非駆動状態を選択します。また、IICRST ビットと組み合わせて、2 種類のリセットを起動することもできます。リセットの説明については、表 39.3 を参照してください。

IIC を使用するときは、ICE ビットを 1 にしてください。ICE ビットを 1 にすると、SCLn および SDAn 端子は駆動状態になります。IIC を使用しないときは、ICE ビットを 0 にしてください。ICE ビットを 0 にすると、SCLn および SDAn 端子は非駆動状態になります。端子機能制御を設定するときに、SCLn または SDAn 端子を IIC に割り当てないでください。これらの端子が IIC に割り当てられると、スレーブアドレス比較が行われます。

39.2.2 ICCR2 : I²C バスコントロールレジスタ 2

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BBSY	MST	TRS	—	SP	RS	ST	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ST	スタートコンディション発行要求 0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行する	R/W

ビット	シンボル	機能	R/W
2	RS	リスタートコンディション発行要求 0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行する	R/W
3	SP	ストップコンディション発行要求 0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行する	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TRS	送信／受信モード 0: 受信モード 1: 送信モード	R/W(注1)
6	MST	マスタ／スレーブモード 0: スレーブモード 1: マスタモード	R/W(注1)
7	BBSY	バスビジー検出フラグ 0: I2C バスは解放状態（バスフリー状態） 1: I2C バスは占有状態（バスビジー状態）	R

注. S-TYPE3, P-TYPE3
注 1. ICMR1.MTWP ビットが 1 のとき、MST および TRS ビットへの書き込みが可能です。

ST ビット（スタートコンディション発行要求）

ST ビットは、マスタモードへの遷移を要求し、スタートコンディションを発行します。このビットを 1 にすると、BBSY フラグが 0（バスフリー状態）のときに、スタートコンディションが発行されます。この機能の詳細については、「39.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- ST ビットに 1 を書いたとき

[0 になる条件]

- ST ビットに 0 を書いたとき
- スタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが 0（バスフリー状態）のときに、ST ビットを 1（スタートコンディション発行要求）にしてください。BBSY フラグが 1（バスビジー状態）のときに、ST ビットを 1（スタートコンディション要求）にすると、アービトレーションロストが発生する場合があります。

RS ビット（リスタートコンディション発行要求）

RS ビットは、マスタモード時にリスタートコンディションの発行を要求します。このビットを 1 にしてリスタートコンディションを要求すると、BBSY フラグが 1（バスビジー状態）かつ MST ビットが 1（マスタモード）のときに、リスタートコンディションが発行されます。この機能の詳細については、「39.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが 1 の状態で、RS ビットに 1 を書いたとき

[0 になる条件]

- RS ビットに 0 を書いたとき
- リスタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ストップコンディション発行中に RS ビットを 1 にしないでください。

注. スレーブモードで RS ビットを 1（リスタートコンディション要求）にすると、リスタートコンディションは発行されず、RS ビットは 1 のままになります。RS ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

SP ビット（ストップコンディション発行要求）

SP ビットは、マスタモード時にストップコンディションの発行を要求します。このビットを 1 にすると、BBSY フラグが 1（バスビジー状態）かつ MST ビットが 1（マスタモード）のときに、ストップコンディションが発行されます。この機能の詳細については、「39.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも 1 の状態で、SP ビットに 1 を書いたとき

[0 になる条件]

- SP ビットに 0 を書いたとき
- ストップコンディションが発行されたとき（ストップコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが 0（バスフリー状態）のとき、SP ビットへの書き込みはできません。
注. リスタートコンディション発行中に SP ビットを 1 にしないでください。

TRS ビット（送信／受信モード）

TRS ビットは、送信モードであるか、受信モードであるかを示します。IIC は、TRS ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W#ビットの設定時に、TRS ビット値は自動的に 1（送信モード）または 0（受信モード）に変化します。ICMR1.MTWP ビットが 1 のとき、TRS ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき（ST ビットが 1 の状態で、スタートコンディションが検出されたとき）
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき（RS ビットが 1 の状態で、リスタートコンディションが検出されたとき）
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 0 になったとき
- スレーブモードで受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W#ビットが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 1 になったとき
- スレーブモード時、受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ受信した R/W#ビットの値が 0 のとき（ジェネラルコールアドレスを受信した場合を含む）
- スレーブモード時、リスタートコンディションが検出されたとき（ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションが検出されたとき）
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

MST ビット（マスタ／スレーブモード）

MST ビットは、マスタモードであるか、スレーブモードであるかを示します。IIC は、MST ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。MST ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、MST ビットの値は自動的に 1（マスタモード）または 0（スレーブモード）に変化します。ICMR1.MTWP ビットが 1 のとき、MST ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき（ST ビットが 1 の状態で、スタートコンディションが検出されたとき）
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

BBSY フラグ（バスビジー検出フラグ）

BBSY フラグは、I2C バスが占有されているか（バスビジー状態）、解放されているか（バスフリー状態）を示します。SCLn ラインが High のときに SDAn ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、このフラグは 1 になります。バスフリー時間（ICBRL レジスタの設定）スタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、このフラグは 0 になります。

[1 になる条件]

- スタートコンディションが検出されたとき

[0 になる条件]

- ストップコンディション検出後、バスフリー時間（ICBRL レジスタの設定）スタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

39.2.3 ICMR1 : I2C バスモードレジスタ 1

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MTWP	CKS[2:0]			BCWP	BC[2:0]		
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	BC[2:0]	ビットカウンタ 0 0 0: 9 ビット 0 0 1: 2 ビット 0 1 0: 3 ビット 0 1 1: 4 ビット 1 0 0: 5 ビット 1 0 1: 6 ビット 1 1 0: 7 ビット 1 1 1: 8 ビット	R/W(注1)

ビット	シンボル	機能	R/W
3	BCWP	BC ライトプロテクト 読むと 1 が読めます。 0: BC[2:0]ビットの書き込み許可 1: BC[2:0]ビットの書き込み禁止	W(注1)
6:4	CKS[2:0]	内部基準クロック選択 IIC の内部基準クロックソース (IICφ) を選択します。 IICφ = (PCLKB/$2^{CKS[2:0]}$) クロック	R/W
7	MTWP	MST/TRS ライトプロテクト 0: ICCR2.MST、TRS ビットの書き込み禁止 1: ICCR2.MST、TRS ビットの書き込み許可	R/W

注. S-TYPE3、P-TYPE3
注 1. BC[2:0]ビットを書き換える場合は、同時に BCWP ビットを 0 にしてください。

BC[2:0]ビット（ビットカウンタ）

BC[2:0]ビットは、SCLn ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。BC[2:0]ビットは読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

なお、これらのビットへ書き込む場合は、SCLn ラインが Low の状態で、転送するデータのビット数 + 1（追加のアクノリッジビット分）を転送フレーム間で指定してください。BC[2:0]ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディションまたはリスタートコンディションの検出時に 000b に戻ります。

39.2.4 ICMR2 : I²C バスモードレジスタ 2

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
Value after reset:	0	0	0	0	0	1	1	0

ビット	シンボル	機能	R/W
0	TMOS	タイムアウト検出時間選択 0: ロングモードを選択 1: ショートモードを選択	R/W
1	TMOL	タイムアウト L カウント制御 0: SCLn ラインが Low の間カウント無効 1: SCLn ラインが Low の間カウント有効	R/W
2	TMOH	タイムアウト H カウント制御 0: SCLn ラインが High の間カウント無効 1: SCLn ラインが High の間カウント有効	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6:4	SDDL[2:0]	SDA 出力遅延カウンタ 0 0 0: 出力遅延なし 0 0 1: 1IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 1 または 2IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 0 1 0: 2IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 3 または 4IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 0 1 1: 3IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 5 または 6IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 0 0: 4IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 7 または 8IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 0 1: 5IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 9 または 10IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 1 0: 6IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 11 または 12IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 1 1: 7IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 13 または 14 IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき）	R/W
7	DLCS	SDA 出力遅延クロックソース選択 0: SDA 出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周 (IICφ/2) を選択(注1)	R/W

注. S-TYPE3, P-TYPE3
注 1. DLCS= 1 (IICφ/2) の設定は、SCL が Low のときのみ有効です。SCL が High のとき、DLCS= 1 の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

TMOS ビット（タイムアウト検出時間選択）

TMOS ビットは、タイムアウト機能が有効 (ICFER.TMOE = 1) の場合に、タイムアウト検出時間としてロングモードまたはショートモードを選択します。本ビットを 0 にすると、ロングモードが選択されます。本ビットを 1 にすると、ショートモードが選択されます。ロングモードでは、タイムアウト検出用の内部カウンタが 16 ビットカウンタとして機能します。ショートモードでは、このカウンタが 14 ビットカウンタとして機能します。SCLn ラインが、このカウンタを TMOH ビットと TMOL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (IICφ) をカウントソースとして同期してアップカウントを行います。この機能の詳細については、「39.12.1. タイムアウト検出機能」を参照してください。

TMOL ビット（タイムアウト L カウント制御）

TMOL ビットは、SCLn ラインが Low ホールドであり、かつタイムアウト機能が有効 (ICFER.TMOE = 1) のときに、タイムアウト機能の内部カウンタによるアップカウントを有効または無効にします。

TMOH ビット（タイムアウト H カウント制御）

TMOH ビットは、SCLn ラインが High ホールドであり、かつタイムアウト機能が有効 (ICFER.TMOE = 1) のときに、タイムアウト機能の内部カウンタによるアップカウントを有効または無効にします。

SDDL[2:0]ビット（SDA 出力遅延カウンタ）

SDDL[2:0]ビットを使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。この機能の設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力に適用されます。

SDA 出力遅延時間は、データ有効時間／アクノリッジ有効時間(注1)に対する I^2C バス規格、または SMBus 規格を満たすように、「データホールド時間（300 ns 以上+SCL クロックの Low 幅）－データセットアップ時間 (250 ns)」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示することがあります。

この機能の詳細については、「39.5. SDA 出力遅延機能」を参照してください。

注 1. データ有効時間／アクノリッジ有効時間
3,450 ns (～100 kbps)：スタンダードモード (Sm)
900 ns (～400 kbps)：ファストモード (Fm)
450 ns (～1 Mbps)：ファストモードプラス (Fm+)

39.2.5 ICMR3 : I²C バスモードレジスタ 3

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	NF[1:0]	ノイズフィルタ段数選択 0 0: 1IICφ サイクル以下のノイズを除去（フィルタは 1 段） 0 1: 2IICφ サイクル以下のノイズを除去（フィルタは 2 段） 1 0: 3IICφ サイクル以下のノイズを除去（フィルタは 3 段） 1 1: 4IICφ サイクル以下のノイズを除去（フィルタは 4 段）	R/W
2	ACKBR	受信アクノリッジ 0: アクノリッジビットに 0 を受信（ACK 受信） 1: アクノリッジビットに 1 を受信（NACK 受信）	R
3	ACKBT	送信アクノリッジ 0: アクノリッジビットに 0 を送出（ACK 送信） 1: アクノリッジビットに 1 を送出（NACK 送信）	R/W(注1)
4	ACKWP	ACKBT ライトプロテクト 0: ACKBT ビットの書き込み禁止 1: ACKBT ビットの書き込み許可	R/W
5	RDRFS	RDRF フラグセットタイミング選択 Low ホールドは ACKBT ビットへの書き込みで解除されます。 0: SCL クロックの 9 クロック目の立ち上がりで RDRF フラグをセット、8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行わない 1: SCL クロックの 8 クロック目の立ち上がりで RDRF フラグをセット、8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行う	R/W(注2)
6	WAIT	Low ホールドは ICDRR レジスタの読み出しで解除されます。 0: ウェイトなし（9 クロック目と 1 クロック目の間で SCLn の Low ホールドを行わない） 1: ウェイトあり（9 クロック目と 1 クロック目の間で SCLn の Low ホールドを行う）	R/W(注2)
7	SMBS	SMBus/I²C バス選択 0: I²C バスを選択 1: SMBus を選択	R/W

注. S-TYPE3、P-TYPE3
注 1. ACKBT ビットに書き込む場合は、ACKWP ビットが 1 の状態であるときにのみ行ってください。ACKWP ビットと ACKBT ビットに同時に 1 を書き込んでも、ACKBT ビットは 1 になりません。
注 2. WAIT ビットと RDRFS ビットは、受信モードでのみ有効（送信モードでは無効）です。

NF[1:0]ビット（ノイズフィルタ段数選択）

NF[1:0]ビットは、デジタルノイズフィルタの段数を選択します。デジタルノイズフィルタ機能の詳細については、「39.6. デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅は、SCLn ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が［SCL クロックの幅：High 幅または Low 幅のいずれか短い方］-［1.5 内部基準クロック (IICΦ) サイクル + アナログノイズフィルタ：120 ns（参考値）］の値以上の場合、SCL クロックはノイズとみなされ、IIC が正常に動作しない可能性があります。

ACKBR ビット（受信アクノリッジ）

ACKBR ビットは、送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

［1 になる条件］

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

ACKBT ビット（送信アクノリッジ）

ACKBT ビットは、受信モード時に送出されるアクノリッジビットを設定します。

[1 になる条件]

- ACKWP ビットが 1 の状態で、このビットに 1 を書いたとき

[0 になる条件]

- ACKWP ビットが 1 の状態で、このビットに 0 を書いたとき
- ストップコンディションの発行が検出されたとき（ICCR2.SP ビットが 1 の状態で、ストップコンディションが検出されたとき）
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

ACKWP ビット（ACKBT ライトプロテクト）

ACKWP ビットは、ACKBT ビットの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択）

RDRFS ビットは、受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインを Low にホールドするかどうかを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで RDRF フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK (ACKBT = 0) または NACK (ACKBT = 1) の送出処理が可能となります。

WAIT ビット（WAIT）

ビットは、受信モードにおいて 1 バイト受信ごとに、I^2C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を強制的に Low ホールドするかどうかを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注. WAIT ビットの値を読み出す場合は、最初に ICDRR レジスタを読み出してください。

SMBS ビット（SMBus/I^2C バス選択）

SMBS ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

39.2.6 ICFER : I²C バスファンクションイネーブルレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
Value after reset:	0	1	1	1	0	0	1	0

ビット	シンボル	機能	R/W
0	TMOE	タイムアウト検出機能有効 0: 無効 1: 有効	R/W
1	MALE	マスタアービトレーションロスト検出有効 0: アービトレーションロスト検出機能を無効にして、アービトレーションロスト発生による ICCR2.MST および TRS ビットの自動クリアを禁止します。 1: アービトレーションロスト検出機能を有効にして、アービトレーションロスト発生による ICCR2.MST および TRS ビットの自動クリアを許可します。	R/W
2	NALE	NACK 送信アービトレーションロスト検出有効 0: 無効 1: 有効	R/W
3	SALE	スレーブアービトレーションロスト検出有効 0: 無効 1: 有効	R/W
4	NACKE	NACK 受信転送中断許可 0: NACK 受信時、転送を中断しない（転送中断禁止） 1: NACK 受信時、転送を中断する（転送中断許可）	R/W
5	NFE	デジタルノイズフィルタ回路有効 0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
6	SCLE	SCL 同期回路有効 0: SCL 同期回路を使用しない 1: SCL 同期回路を使用する	R/W
7	FMPE(注1)	ファストモードプラス有効 0: SCLn 端子と SDAn 端子に Fm+のスロープ制御回路を使用しない 1: SCLn 端子と SDAn 端子に Fm+のスロープ制御回路を使用する	R/W

注. S-TYPE3、P-TYPE3
注 1. ファストモードプラス有効ビット (FMPE) は IIC0 (SCL0_A, SDA0_A)、IIC1 (SCL1_A, SDA1_A)、および IIC2 (SCL2_A, SDA2_A) に対応しています。ビット[7]はサポートしていないチャネルの予約ビットです。

TMOE ビット（タイムアウト検出機能有効）

TMOE ビットは、タイムアウト検出機能を有効または無効にします。タイムアウト検出機能の詳細については、「39.12.1. タイムアウト検出機能」を参照してください。

MALE ビット（マスタアービトレーションロスト検出有効）

MALE ビットは、マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常の動作では、このビットを 1 にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出有効）

NALE ビットは、受信モード時で NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など）に、アービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出有効）

SALE ビットは、スレーブ送信モード時に、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など）、アービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可）

NACKE ビットは、送信モード時に NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常は、このビットを 1 にしてください。

NACKE ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACKE ビットが 0 の場合は、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

NACK 受信転送中断機能の詳細については、「39.9.2. NACK 受信転送中断機能」を参照してください。

SCLE ビット（SCL 同期回路有効）

SCLE ビットは、SCL クロックを SCL 入力クロックと同期させるか否かを選択します。通常は、このビットを 1 にしてください。

SCLE ビットを 0（SCL 同期回路を使用しない）にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I2C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また、SCL 同期回路を使用しないと、スタートコンディション、リスタートコンディション、ストップコンディションの発行、および追加の SCL クロックサイクルの連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合を除き、0 にしないでください。

FMPE ビット（ファストモードプラス有効）

FMPE ビットは、ファストモードプラス (Fm+) 用のスロープ制御回路を使用するか否かを指定します。

本ビットを 1 にすると、I2C バスのファストモードプラス (Fm+) 規格 (tof) に準拠したスロープ制御回路が選択されます。本ビットを 0 にすると、I2C バスのスタンダードモード (Sm) およびファストモード (Fm) 規格 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を～1 Mbps（ファストモードプラス (Fm+) 規格）で使用する場合、本ビットを 1 にしてください。それ以外の通信速度 (～100 kbps (Sm), ～400 kbps (Fm)) または SMBus (10 kbps～100 kbps) で使用する場合は、本ビットを 0 にしてください。

39.2.7 ICSER : I2C バスステータスイネーブルレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
Value after reset:	0	0	0	0	1	0	0	1

ビット	シンボル	機能	R/W
0	SAR0E	スレーブアドレスレジスタ 0 有効 0: SARL0 および SARU0 のスレーブアドレスは無効 1: SARL0 および SARU0 のスレーブアドレスは有効	R/W
1	SAR1E	スレーブアドレスレジスタ 1 有効 0: SARL1 および SARU1 のスレーブアドレスは無効 1: SARL1 および SARU1 のスレーブアドレスは有効	R/W
2	SAR2E	スレーブアドレスレジスタ 2 有効 0: SARL2 および SARU2 のスレーブアドレスは無効 1: SARL2 および SARU2 のスレーブアドレスは有効	R/W

ビット	シンボル	機能	R/W
3	GCAE	ジェネラルコールアドレス有効 0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DIDE	デバイス ID アドレス検出有効 0: デバイス ID アドレス検出は無効 1: デバイス ID アドレス検出は有効	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	HOAE	ホストアドレス有効 0: ホストアドレス検出は無効 1: ホストアドレス検出は有効	R/W

注. S-TYPE3、P-TYPE3

SARnE ビット（スレーブアドレスレジスタ n 有効）(n = 0～2)

SARnE ビットは、受信したスレーブアドレスと、SARLn および SARUn レジスタで設定したスレーブアドレスを有効または無効にします。

このビットを 1 にすると、SARLn および SARUn レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。SARnE ビットを 0 にすると、SARLn および SARUn レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット（ジェネラルコールアドレス有効）

GCAE ビットは、ジェネラルコールアドレス（0000 000b + 0[W] : すべて 0）を受信した場合、それを無視するかどうかを選択します。

このビットを 1 にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は、SARLn および SARUn レジスタ (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。このビットを 0 にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出有効）

DIDE ビットは、スタートコンディションまたはリスタートコンディション検出後の第 1 フレームでデバイス ID (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが 1 のときに、受信した第 1 フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W#ビットが 0[W]の場合、IIC は第 2 フレーム以降をスレーブアドレスとみなして、受信動作を継続します。DIDE ビットが 0 の場合、IIC は受信した第 1 フレームがデバイス ID アドレスと一致してもそれを無視し、第 1 フレームを通常のスレーブアドレスと認識します。

この機能の詳細については、「39.7.3. デバイス ID アドレス検出機能」を参照してください。

HOAE ビット（ホストアドレス有効）

HOAE ビットは、ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを選択します。

このビットが 1 で、かつ ICMR3.SMBS ビットも 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLn および SARUn レジスタ (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

39.2.8 ICIER : I²C バス割り込みイネーブルレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x07

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMOIE	タイムアウト割り込み要求許可 0: タイムアウト割り込み (TMOI) 要求を禁止 1: タイムアウト割り込み (TMOI) 要求を許可	R/W
1	ALIE	アービトレーションロスト割り込み要求許可 0: アービトレーションロスト割り込み (ALI) 要求を禁止 1: アービトレーションロスト割り込み (ALI) 要求を許可	R/W
2	STIE	スタートコンディション検出割り込み要求許可 0: スタートコンディション検出割り込み (STI) 要求を禁止 1: スタートコンディション検出割り込み (STI) 要求を許可	R/W
3	SPIE	ストップコンディション検出割り込み要求許可 0: ストップコンディション検出割り込み (SPI) 要求を禁止 1: ストップコンディション検出割り込み (SPI) 要求を許可	R/W
4	NAKIE	NACK 受信割り込み要求許可 0: NACK 受信割り込み (NAKI) 要求を禁止 1: NACK 受信割り込み (NAKI) 要求を許可	R/W
5	RIE	受信データフル割り込み要求許可 0: 受信データフル割り込み (IICn_RXI) 要求を禁止 1: 受信データフル割り込み (IICn_RXI) 要求を許可	R/W
6	TEIE	送信終了割り込み要求許可 0: 送信終了割り込み (IICn_TEI) 要求を禁止 1: 送信終了割り込み (IICn_TEI) 要求を許可	R/W
7	TIE	送信データエンプティ割り込み要求許可 0: 送信データエンプティ割り込み (IICn_TXI) 要求を禁止 1: 送信データエンプティ割り込み (IICn_TXI) 要求を許可	R/W

注. S-TYPE3, P-TYPE3

TMOIE ビット（タイムアウト割り込み要求許可）

TMOIE ビットは、ICSR2.TMOF フラグが 1 のとき、タイムアウト割り込み (TMOI) 要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたは TMOIE ビットを 0 にします。

ALIE ビット（アービトレーションロスト割り込み要求許可）

ALIE ビットは、ICSR2.AL フラグが 1 のとき、アービトレーションロスト割り込み (ALI) 要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたは ALIE ビットを 0 にします。

STIE ビット（スタートコンディション検出割り込み要求許可）

STIE ビットは、ICSR2.START フラグが 1 のとき、スタートコンディション検出割り込み (STI) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは STIE ビットを 0 にします。

SPIE ビット（ストップコンディション検出割り込み要求許可）

SPIE ビットは、ICSR2.STOP フラグが 1 のとき、ストップコンディション検出割り込み (SPI) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは SPIE ビットを 0 にします。

NAKIE ビット（NACK 受信割り込み要求許可）

NAKIE ビットは、ICSR2.NACKF フラグが 1 のとき、NACK 受信割り込み (NAKI) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは NAKIE ビットを 0 にします。

RIE ビット（受信データフル割り込み要求許可）

RIE ビットは、ICSR2.RDRF フラグが 1 のとき、受信データフル割り込み (IICn_RXI) 要求を許可または禁止します。

TEIE ビット（送信終了割り込み要求許可）

TEIE ビットは、ICSR2.TEND フラグが 1 のとき、送信終了割り込み (IICn_TEI) 要求を許可または禁止します。IICn_TEI 割り込み要求を解除するには、TEND フラグまたは TEIE ビットを 0 にします。

TIE ビット（送信データエンプティ割り込み要求許可）

TIE ビットは、ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み (IICn_TXI) 要求を許可または禁止します。

39.2.9 ICSR1 : I2C バスステータスレジスタ 1

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AAS0	スレーブアドレス 0 検出フラグ 0: スレーブアドレス 0 未検出 1: スレーブアドレス 0 検出	R/(W) (注1)
1	AAS1	スレーブアドレス 1 検出フラグ 0: スレーブアドレス 1 未検出 1: スレーブアドレス 1 検出	R/(W) (注1)
2	AAS2	スレーブアドレス 2 検出フラグ 0: スレーブアドレス 2 未検出 1: スレーブアドレス 2 検出	R/(W) (注1)
3	GCA	ジェネラルコールアドレス検出フラグ 0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DID	デバイス ID アドレス検出フラグ スタートコンディション検出直後に受信した第 1 フレームが、[デバイス ID (1111 100b) + 0 [W]]の値と一致した場合、1 になります。 0: デバイス ID コマンド未検出 1: デバイス ID コマンド検出	R/(W) (注1)
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	HOA	ホストアドレス検出フラグ 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1 になります。 0: ホストアドレス未検出 1: ホストアドレス検出	R/(W) (注1)

注. S-TYPE3、P-TYPE3
注 1. フラグをクリアするための 0 書き込みのみ可能です。

AASn フラグ（スレーブアドレス n 検出フラグ）(n = 0～2)

AASn フラグは、スレーブアドレス n が検出されたかどうかを示します。

[1 になる条件]

【7 ビットアドレスフォーマット選択時 (SARUn.FS = 0)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが SARLn.SVA[6:0]ビット値と一致したとき。
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

【10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLn レジスタの値と一致したとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- AASn = 1 を読んだ後、AASn フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

【7 ビットアドレスフォーマット選択時 (SARUn.FS = 0)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが SARLn.SVA[6:0]ビット値と不一致のとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

【10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と不一致のとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLn レジスタの値と不一致のとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

GCA フラグ（ジェネラルコールアドレス検出フラグ）

GCA フラグは、ジェネラルコールアドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSER.GCAE ビットが 1（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき
  GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- GCA= 1 を読んだ後、GCA フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.GCAE ビットが 1（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき
  GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

DID フラグ（デバイス ID アドレス検出フラグ）

DID フラグは、デバイス ID アドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが（デバイス ID (1111 100b) + 0[W]）の値と一致したとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- DID= 1 を読んだ後、DID フラグに 0 を書いたとき

- ストップコンディションが検出されたとき
- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームがデバイス ID (1111 100b) と不一致のとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが（デバイス ID (1111 100b) + 0[W]）の値と一致し、かつ、第 2 フレームがスレーブアドレス 0～2 のすべてと不一致のとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

HOA フラグ（ホストアドレス検出フラグ）

HOA フラグは、ホストアドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSER.HOAE ビットが 1（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき
  HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- HOA= 1 を読んだ後、HOA フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.HOAE ビットが 1（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき
  HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

39.2.10 ICSR2 : I²C バスステータスレジスタ 2

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMOF	タイムアウト検出フラグ 0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
1	AL	アービトレーションロストフラグ 0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/(W) (注1)
2	START	スタートコンディション検出フラグ 0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
3	STOP	ストップコンディション検出フラグ 0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
4	NACKF	NACK 検出フラグ 0: NACK 未検出 1: NACK 検出	R/(W) (注1)

ビット	シンボル	機能	R/W
5	RDRF	受信データフルフラグ 0: ICDRR レジスタに受信データなし 1: ICDRR レジスタに受信データあり	R/(W) (注1)
6	TEND	送信終了フラグ 0: データ送信中 1: データ送信完了	R/(W) (注1)
7	TDRE	送信データエンプティフラグ 0: ICDRT レジスタに送信データあり 1: ICDRT レジスタに送信データなし	R

注. S-TYPE3、P-TYPE3
注 1. フラグをクリアするための 0 の書き込みのみ可能です。

TMOF フラグ（タイムアウト検出フラグ）

TMOF フラグは、SCLn ラインの状態が一定期間変化しないために IIC がタイムアウトを検出すると、1 になります。

[1 になる条件]

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが 1（タイムアウト機能有効）かつ受信したスレーブアドレスが一致した状態で、ICMR2.TMOH、TMOL、および TMOS ビットで指定した期間 SCLn ライン状態が変化しなかったとき

[0 になる条件]

- TMOF= 1 を読んだ後、TMOF フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

AL フラグ（アービトレーションロストフラグ）

AL フラグは、スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。IIC は、送信中に SDAn ラインのレベルを監視し、そのラインのレベルと出力中のビット値が一致していないと、AL フラグを 1 にすることで、バスが他のデバイスによって占有されていることを示します。

さらに、IIC では設定により、AL フラグをセットすることで、NACK 送信中やデータ送信中に、アービトレーションロストを検出することも可能です。

[1 になる条件]

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モード時のデータ送信中の ACK 期間を除き、SCL クロックの立ち上がりで出力した SDA 信号と SDAn ライン上の信号の状態が一致しなかったとき
- ICCR2.ST ビットが 1（スタートコンディション要求）の状態でスタートコンディションが検出されたとき、または、出力した SDA 信号と SDAn ライン上の信号の状態が一致しなかったとき
- ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットを 1（スタートコンディション要求）にしたとき

【NACK アービトレーションロスト検出有効時 (ICFER.NALE = 1)】

- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDAn ラインレベルと不一致のとき

【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】

- スレーブ送信モード時のデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDAn ラインレベルと不一致のとき

[0 になる条件]

- AL= 1 を読んだ後、AL フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

表 39.4　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2		
MALE	NALE	SALE	AL	エラー内容	アービトレーションロスト発生要因
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST が 1 の状態で、スタートコンディション検出時に、出力した SDA 信号と SDAn ライン上の信号の状態が不一致のとき
					ICCR2.BBSY が 1 の状態で、ICCR2.ST を 1 にしたとき
			1	送信データ不一致	マスタ送信モード時に、送信データ（スレーブアドレス含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタまたはスレーブ受信モード時に、NACK 送信中に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モード時に、送信データとバス状態が不一致のとき

x: Don’t care

START フラグ（スタートコンディション検出フラグ）

START フラグは、スタートコンディションが検出されたことを示します。

[1 になる条件]

- スタートコンディション（またはリスタートコンディション）が検出されたとき

[0 になる条件]

- START= 1 を読んだ後、START フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

STOP フラグ（ストップコンディション検出フラグ）

STOP フラグは、ストップコンディションが検出されたことを示します。

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- STOP= 1 を読んだ後、STOP フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

NACKF フラグ（NACK 検出フラグ）

NACKF フラグは、NACK が検出されたことを示します。

[1 になる条件]

- ICFER.NACKE ビットが 1（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった（NACK を受信した）とき

[0 になる条件]

- NACKF= 1 を読んだ後、NACKF フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注.　NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態では、送信モード時に ICDRT レジスタへ書き込みや、受信モード時に ICDRR レジスタから読み出しを行っても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

RDRF フラグ（受信データフルフラグ）

RDRF フラグは、ICDRR レジスタに受信データがあることを示します。

[1 になる条件]

- ICDRS レジスタから ICDRR レジスタへ受信データが転送されたとき
  RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目（ICMR3 レジスタの RDRFS ビットで選択）の立ち上がりで 1 になる
- ICCR2.TRS ビットが 0 の状態で、スタートコンディションまたはリスタートコンディション検出後、受信したスレーブアドレスが一致したとき

[0 になる条件]

- RDRF= 1 を読んだ後、RDRF フラグに 0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TEND フラグ（送信終了フラグ）

TEND フラグは送信が終了したことを示します。

[1 になる条件]

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

[0 になる条件]

- TEND= 1 を読んだ後、TEND フラグに 0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは、ICDRT レジスタに送信データがないことを示します。

[1 になる条件]

- ICDRT レジスタから ICDRS レジスタへデータが転送され、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが 1 になったとき
- TRS ビットが 1 の状態で、受信したスレーブアドレスが一致したとき

[0 になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ICFER.NACKE ビットが 1 のとき、NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。このとき、TDRE フラグが 0（次の送信データがすでに書き込まれている状態）であれば、9 クロック目の立ち上がりで ICDRS レジスタへデータが転送され、ICDRT レジスタが空になりますが、TDRE フラグは 1 になりません。

39.2.11 ICWUR : I2C バスウェイクアップユニットレジスタ

Base address: IIC0WU = 0x4025_E014
IIC0WU_NS = 0x5025_E014

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WUE	WUIE	WUF	WUACK	—	—	—	WUAFA
Value after reset:	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	WUAFA	ウェイクアップアナログフィルタ追加選択 0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	WUACK	ウェイクアップモード用 ACK ICCR1.IICRST ビットと WUACK ビットの組み合わせで、4 つの応答モードから選択します。表 39.5 を参照してください。	R/W
5	WUF	ウェイクアップイベント発生フラグ 0: ウェイクアップ時にスレーブアドレス不一致 1: ウェイクアップ時にスレーブアドレス一致	R/W
6	WUIE	ウェイクアップ割り込み要求許可 0: ウェイクアップ割り込み要求 (IIC0_WUI) を禁止 1: ウェイクアップ割り込み要求 (IIC0_WUI) を許可	R/W
7	WUE	ウェイクアップ機能有効 0: ウェイクアップ機能無効 1: ウェイクアップ機能有効	R/W

注. S-TYPE3, P-TYPE3

表 39.5 ウェイクアップモード

IICRST	WUACK	動作モード	機能
0	0	ノーマルウェイクアップモード 1	SCL クロックの 9 クロック目で ACK 応答を行い、9 クロック目の後で SCL の Low ホールドを行う。
0	1	ノーマルウェイクアップモード 2	即時 ACK 応答せず、SCL クロックの 8 クロック目と 9 クロック目の間で SCL の Low ホールドを行う。SCL クロックの 9 クロック目で SCL の Low ホールドを解除し、ACK 応答を行う。
1	0	コマンドリカバリモード	SCL クロックの 9 クロック目で ACK 応答を行い、SCL の Low ホールドは行わない。
1	1	EEP 応答モード	SCL クロックの 9 クロック目で NACK 応答を行い、SCL の Low ホールドは行わない。

WUF フラグ（ウェイクアップイベント発生フラグ）

WUF フラグは、ウェイクアップ時にスレーブアドレスが一致しているかどうかを示します。

[1 になる条件]

- I2C バスのスレーブアドレスと ICSER（デバイス ID アドレス以外）の許可ビットが 1（許可）に設定されたアドレスが一致した後、PCLKB が供給されたとき

[0 になる条件]

- WUF = 1 を読んだ後、WUF フラグに 0 を書いたとき（WUSYF フラグを 1 に設定）
- ICCR1.ICE = 0 かつ IICRST = 1 のとき

39.2.12 ICWUR2 : I2C バスウェイクアップユニットレジスタ 2

Base address: IIC0WU = 0x4025_E014
IIC0WU_NS = 0x5025_E014

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	WUSYF	WUASYF	WUSEN
Value after reset:	1	1	1	1	1	1	0	1

ビット	シンボル	機能	R/W
0	WUSEN	ウェイクアップ機能同期有効 0: IIC 非同期回路有効 1: IIC 同期回路有効	R/W
1	WUASYF	ウェイクアップ機能非同期動作ステータスフラグ 0: IIC 同期回路有効条件 1: IIC 非同期回路有効条件	R
2	WUSYF	ウェイクアップ機能同期動作ステータスフラグ 0: IIC 非同期回路有効条件 1: IIC 同期回路有効条件	R
7:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE3, P-TYPE3

WUSEN ビット（ウェイクアップ機能同期有効）

WUSEN ビットは、ウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に PCLKB の同期動作と非同期動作を切り替えるために、WUASYF フラグ（または WUSYF フラグ）との組み合わせで使用されます。

PCLKB の動作は、以下の場合に同期動作から非同期動作に切り替わります。

ICCR2.BBSY フラグが 0 のとき、WUASYF フラグが 0 の間に WUSEN ビットに 0 を書いた場合、ウェイクアップイベント検出時に PCLKB が非同期動作に切り替わった後、PCLKB の動作（PCLKB 停止）とは関係なく受信が発生します。

PCLKB の動作は、以下の場合に非同期動作から同期動作に切り替わります。

- ウェイクアップイベント検出時に、WUASYF フラグが 1 の状態で WUSEN ビットに 1 を書いた場合 1 を書いた直後に、WUASYF フラグは 0 になります。
- ウェイクアップイベント未検出時に、停止条件が検出された場合

[1 になる条件]

- WUSEN ビットに 1 を書いた場合
- ICCR1.ICE = 0 かつ IICRST = 1（IIC リセット）
- ICWUR.WUE = 0

[0 になる条件]

- WUSEN ビットに 0 を書いた場合

WUASYF フラグ（ウェイクアップ機能非同期動作ステータスフラグ）

WUASYF フラグは、ウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に IIC を PCLKB の非同期動作にすることができます。

[1 になる条件]

- ICCR2.BBSY フラグが 0 のとき、ICWUR.WUE ビットが 1 の状態で WUSEN ビットに 0 を設定した場合

[0 になる条件]

- ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後に、WUSEN ビットに 1 を書いた場合
- WUASY フラグと ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出前に、WUSEN ビットが 1 の状態でストップコンディションが検出された場合
- WUASYF フラグが 1 でウェイクアップイベントが ICWUR.WUE = 1 の状態で、WUSEN ビットに 1 を書いた場合
- ICCR1.ICE = 0 かつ ICCRST = 1（ICC リセット）
- ICWUR.WUE = 0

WUSYF フラグ（ウェイクアップ機能同期動作ステータスフラグ）

WUSYF フラグは、ウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に IIC を PCLKB の同期動作にすることができます。本フラグは WUASYF フラグが常に予約となるような値になります。

[1 になる条件]

- WUSYF フラグが 0 で ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後に、WUSEN ビットに 1 を書いた場合
- WUSYF フラグが 0 でと ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出前に、WUSEN ビットが 1 の状態で停止条件が検出された場合
- ICCR1.ICE = 0 かつ ICCRST = 1（ICC リセット）
- ICWUR.WUE = 0

[0 になる条件]

- WUSEN ビットに 0 を書いた後に ICWUR.WUE ビットが 1 の状態で、ICCR2.BBSY フラグが 0 の場合

39.2.13 SARLy : スレーブアドレスレジスタ Ly (y = 0〜2)

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0〜2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0〜2)

Offset address: 0x0A+0x02× y

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SVA[6:0]							SVA0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SVA0	10 ビットアドレス最下位 スレーブアドレス設定	R/W
7:1	SVA[6:0]	7 ビットアドレス／10 ビットアドレス下位 スレーブアドレス設定	R/W

注. S-TYPE3, P-TYPE3

SVA0 ビット（10 ビットアドレス最下位）

10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)、SVA0 ビットは 10 ビットアドレスの最下位ビットとして機能します。また、SVA[6:0]ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

このビットは、ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、このビットの設定値は無視されます。

SVA[6:0]ビット（7 ビットアドレス／10 ビットアドレス下位）

7 ビットアドレスフォーマット選択時 (SARUy.FS = 0)、SVA[6:0]ビットは 7 ビットアドレスとして機能します。10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)、これらのビットは、SVA0 ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

ICSER.SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

39.2.14 SARUy : スレーブアドレスレジスタ Uy (y = 0～2)

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x0B+0x02× y

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SVA[1:0]		FS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FS	7 ビット／10 ビットアドレスフォーマット選択 0: 7 ビットアドレスフォーマットを選択 1: 10 ビットアドレスフォーマットを選択	R/W
2:1	SVA[1:0]	10 ビットアドレス上位 スレーブアドレス設定	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

FS ビット（7 ビット／10 ビットアドレスフォーマット選択）

FS ビットは、スレーブアドレス y（SARLy および SARUy レジスタ）に対して、7 ビットアドレスまたは 10 ビットアドレスを選択します。

ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 0 の場合、スレーブアドレス y には 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0]ビットの設定値が有効になり、SVA[1:0]ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 1 の場合、スレーブアドレス y には 10 ビットアドレスフォーマットが選択され、SVA[1:0]ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが 0（SARLy および SARUy レジスタ無効）の場合、SARUy.FS ビットの設定値は無効です。

SVA[1:0]ビット（10 ビットアドレス上位）

10 ビットアドレスフォーマット選択時 (FS= 1)、SVA[1:0]ビットは 10 ビットアドレスの上位 2 ビットとして機能します。

これらのビットは、ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

39.2.15 ICBRL : I2C バスビットレート Low レジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BRL[4:0]				
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	BRL[4:0]	ビットレート Low 幅設定 SCL クロックの Low 幅	R/W
7:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE3、P-TYPE3

BRL[4:0]ビット（ビットレート Low 幅設定）

BRL[4:0]ビットは、SCL クロックの Low 幅を設定するビットです。ICBRL は、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) で Low 幅をカウントします。ICBRL レジスタは、SCL 自動 Low ホールド機能（「39.9. SCL の自動 Low ホールド機能」を参照）のデータセットアップ時間を生成します。IIC をスレーブモードのみで使用する場合、BRL[4:0]ビットはデータセットアップ時間（(注1)）以上の値を設定してください。

デジタルノイズフィルタ回路を有効 (ICFER.NFE = 1) にした場合、BRL[4:0]ビットにはノイズフィルタの段数＋1 以上の値を設定してください。この段数の詳細は、「39.2.5. ICMR3 : I2C バスモードレジスタ 3」の NF[1:0]ビットの説明を参照してください。

注 1. データセットアップ時間 (t_{SU}: DAT)

250 ns (～100 kbps)：スタンダードモード (Sm)

100 ns (～400 kbps)：ファストモード (Fm)

50 ns (～1 Mbps)：ファストモードプラス (Fm+)

39.2.16 ICBRH : I2C バスビットレート High レジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BRH[4:0]				
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	BRH[4:0]	ビットレート High 幅設定 SCL クロックの High 幅	R/W
7:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE3, P-TYPE3

BRH[4:0]ビット（ビットレート High 幅設定）

BRH[4:0]ビットは、SCL クロックの High 幅を設定するビットです。BRH[4:0]ビットはマスタモードで有効になります。IIC をスレーブモードのみで使用する場合、BRH[4:0]ビットの設定は不要です。

ICBRH レジスタは、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (ICFER.NFE = 1) にした場合、これらのビットにはノイズフィルタの段数＋1 以上の値を設定してください。ノイズフィルタの段数については、「39.2.5. ICMR3 : I2C バスモードレジスタ 3」の NF[1:0]ビットの説明を参照してください。

IIC 転送速度と SCL クロックのデューティー比は、次式で計算されます。

1. ICFER.SCLE = 0 の場合
   転送速度 = 1/[{(BRH + 1) + (BRL + 1)}/IICφ(注1)+ tr(注2)+ tf(注2)]
   デューティー比 = [tr + {(BRH + 1)/IICφ}]/[tr + tf + {(BRH + 1) + (BRL + 1)}/IICφ]
2. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] = 000b (IICφ = PCLKB) の場合
   転送速度 = 1/[{(BRH + 3) + (BRL+ 3)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 3)/IICφ}]/[tr + tf + {(BRH + 3) + (BRL + 3)}/IICφ]
3. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] = 000b (IICφ = PCLKB) の場合
   転送速度 = 1/[{(BRH + 3 + nf(注3)) + (BRL + 3 + nf)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 3 + nf)/IICφ}]/[tr + tf + {(BRH + 3 + nf) + (BRL + 3 + nf)}/IICφ]
4. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] ≠ 000b の場合
   転送速度 = 1/[{(BRH + 2) + (BRL + 2)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 2)/IICφ}]/[tr + tf + {(BRH + 2) + (BRL + 2)}/IICφ]

5. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] ≠ 000b の場合
   転送速度 = 1/[{(BRH + 2 + nf) + (BRL + 2 + nf)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 2 + nf)/IICφ}]/[tr + tf + {(BRH + 2 + nf) + (BRL + 2 + nf)}/IICφ]

注 1. IICφ = PCLKB × 分周比
注 2. SCLn ライン立ち上がり時間[tr]および SCLn ライン立ち下がり時間[tf]は、バスライン総容量[Cb]とプルアップ抵抗[Rp]に依存します。詳細については、NXP 社の I2C バス規格書を参照してください。
注 3. nf = ICMR3.NF ビットで選択したデジタルノイズフィルタの段数

表 39.6 SCLE = 0 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011b	24 (0xF8)	30 (0xFE)	50	—	(1)
400	010b	7 (0xE7)	15 (0xEF)	50	—	(1)
1000	000b	12 (0xEC)	24 (0xF8)	50	—	(1)

表 39.7 SCLE = 1 かつ NFE = 0 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	100b	11 (0xEB)	13 (0xED)	50	—	(4)
400	001b	13 (0xED)	31 (0xFF)	50	—	(4)
1000	000b	10 (0xEA)	22 (0xF6)	50	—	(2)

表 39.8 SCLE = 1 かつ NFE = 1 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011b	21 (0xF5)	26 (0xFA)	50	01b	(5)
400	001b	11 (0xEB)	29 (0xFD)	50	01b	(5)
1000	000b	8 (0xE8)	20 (0xF4)	50	01b	(3)

39.2.17 ICDRT : I2C バス送信データレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ICDRT レジスタは、I2C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。ICDRT レジスタと ICDRS レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書けば、連続送信動作が可能になります。

ICDRT レジスタは常に読み出しと書き込みが可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn_TXI) 要求が発生したときに 1 回だけ行ってください。

39.2.18 ICDRR : I²C バス受信データレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0～2)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0～2)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

1 バイトのデータを受信すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。ICDRS レジスタと ICDRR レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読み出せば、連続受信動作が可能になります。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからの読み出しは、受信データフル割り込み (IICn_RXI) 要求が発生したときに 1 回だけ行ってください。

現在のデータを ICDRR レジスタから読み出す前に（ICSR2.RDRF フラグが 1 の場合に）、ICDRR レジスタが次の受信データを受け取ると、RDRF フラグが次に 1 になるタイミングの 1 つ手前の SCL クロックで、IIC は自動的に Low ホールドを行います。

39.2.19 ICDRS : I²C バスシフトレジスタ

Base address: n/a

Offset address: n/a

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	—	—	—	—	—	—	—	—

ICDRS レジスタは、データを送受信するための 8 ビットのシフトレジスタです。送信時は、送信データが ICDRT レジスタから ICDRS レジスタへ転送されて、SDAn 端子からデータが送出されます。受信時は、1 バイトのデータ受信後に、データが ICDRS レジスタから ICDRR レジスタへ転送されます。ICDRS レジスタは、直接アクセスすることはできません。

39.3 動作説明

39.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 39.3 に I²C バスフォーマットを、図 39.4 に I²C バスタイミングを示します。

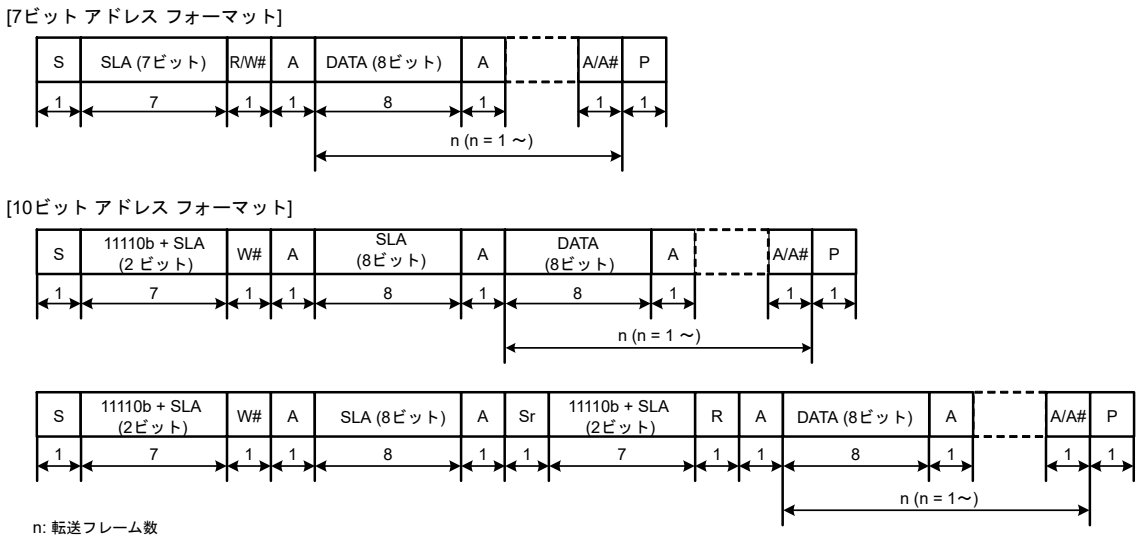
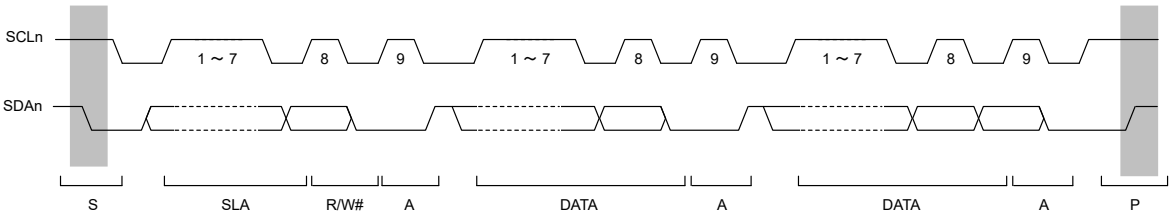


図 39.3 I²C バスフォーマット



注. n = 0, 1

図 39.4 I²C バスタイミング（SLA = 7 ビットの場合）

S: スタートコンディションを表します。SCLn ラインが High のとき、マスタデバイスが SDAn ラインを High から Low に変化させます。

SLA: スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。

R/W#: データ転送の方向を表します。1 のとき、スレーブデバイスからマスタデバイスの方向、0 のとき、マスタデバイスからスレーブデバイスの方向になります。

A: アクノリッジを表します。受信デバイスが SDAn ラインを Low にします。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。

A#: ノットアクノリッジを表します。受信デバイスが SDAn ラインを High にします。

Sr: リスタートコンディションを表します。SCLn ラインが High のときに、セットアップ時間が経過した後、マスタデバイスが SDAn ラインを High から Low に変化させます。

DATA: 送信データまたは受信データを表します。

P: ストップコンディションを表します。SCLn ラインが High のときに、マスタデバイスが SDAn ラインを Low から High に変化させます。

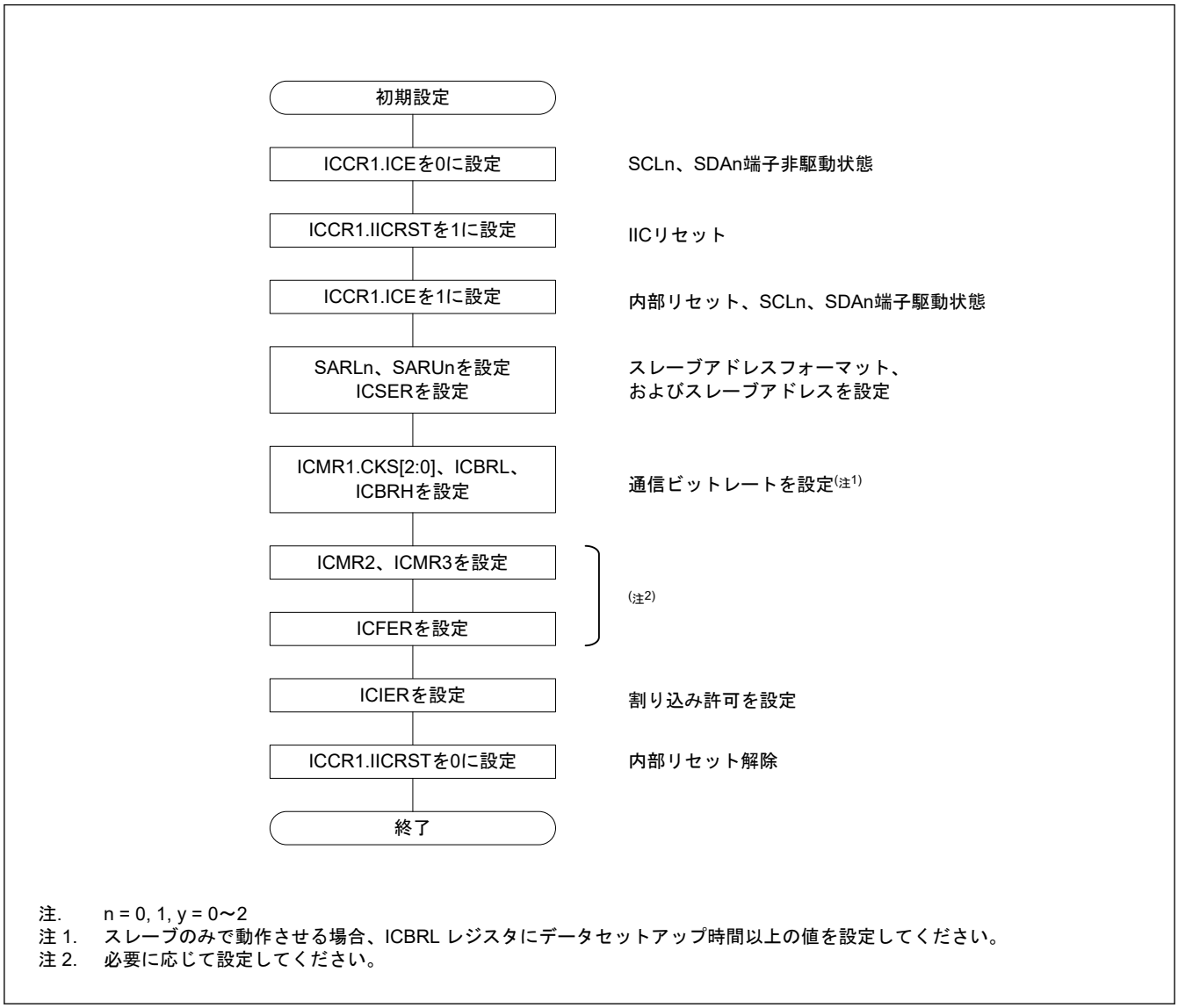
39.3.2 初期設定

データの送受信を開始する前に、図 39.5 に示す手順に従って IIC を初期化してください。

1. ICCR1.ICE ビットを 0 に設定して、SCLn および SDAn 端子を非アクティブ状態に設定します。

2. ICCR1.IICRST ビットを 1 に設定して、IIC リセットします。
3. ICCR1.ICE ビットを 1 に設定して、内部リセットを開始します。
4. SARLy、SARUy、ICSER、ICMR1、ICBRH、および ICBRL レジスタ (y = 0～2) を設定し、必要に応じてその他のレジスタを設定します。IIC の初期設定については、図 39.5 を参照してください。
5. 必要なレジスタ設定が完了したら、ICCR1.IICRST ビットを 0 に設定して IIC リセットを解除します。

すでに IIC の初期化が完了している場合、この手順は不要です。



注. n = 0, 1, y = 0～2
注 1. スレーブのみで動作させる場合、ICBRL レジスタにデータセットアップ時間以上の値を設定してください。
注 2. 必要に応じて設定してください。

図 39.5 IIC の初期化フローチャート例

39.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。 図 39.6 にマスタ送信の例を、図 39.7～図 39.9 にマスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「39.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に

0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと SDAn ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。ICSR2.TDRE フラグは、TRS ビットが 1 になることにより自動的に 1 になります。

3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信後、送信された R/W#ビットの値に応じて TRS ビットの値が自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 11110b + スレーブアドレスの上位 2 ビットと W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCLn ラインを Low にホールドします。
5. 送信データの全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待ってから、ICCR2.SP ビットを 1（ストップコンディション要求）にしてください。IIC は、ストップコンディション要求を受け付けると、ストップコンディションを発行します。ストップコンディション発行の詳細については、「39.11.3. ストップコンディション発行動作」を参照してください。
6. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。さらに IIC は、TDRE フラグと TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

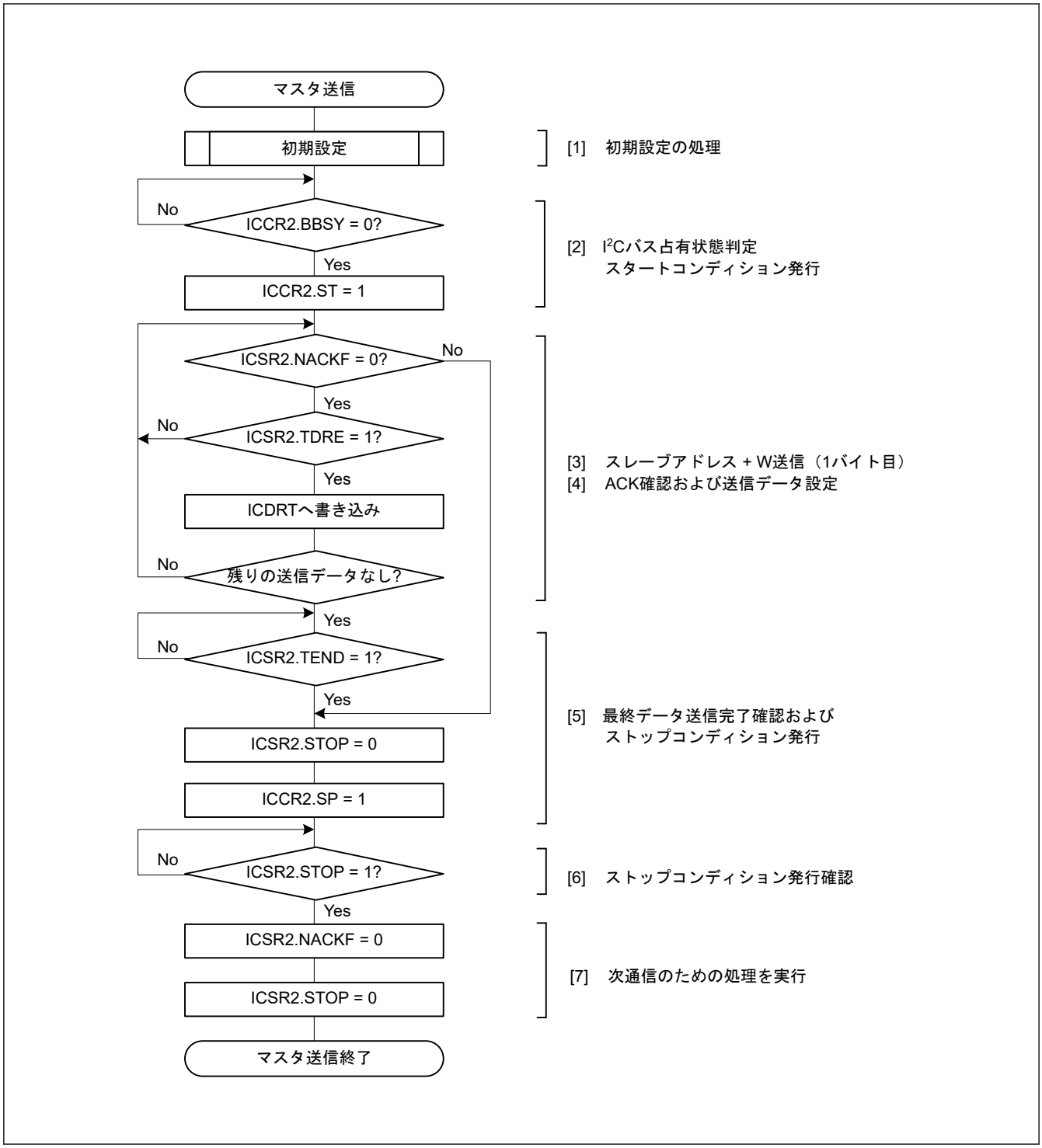
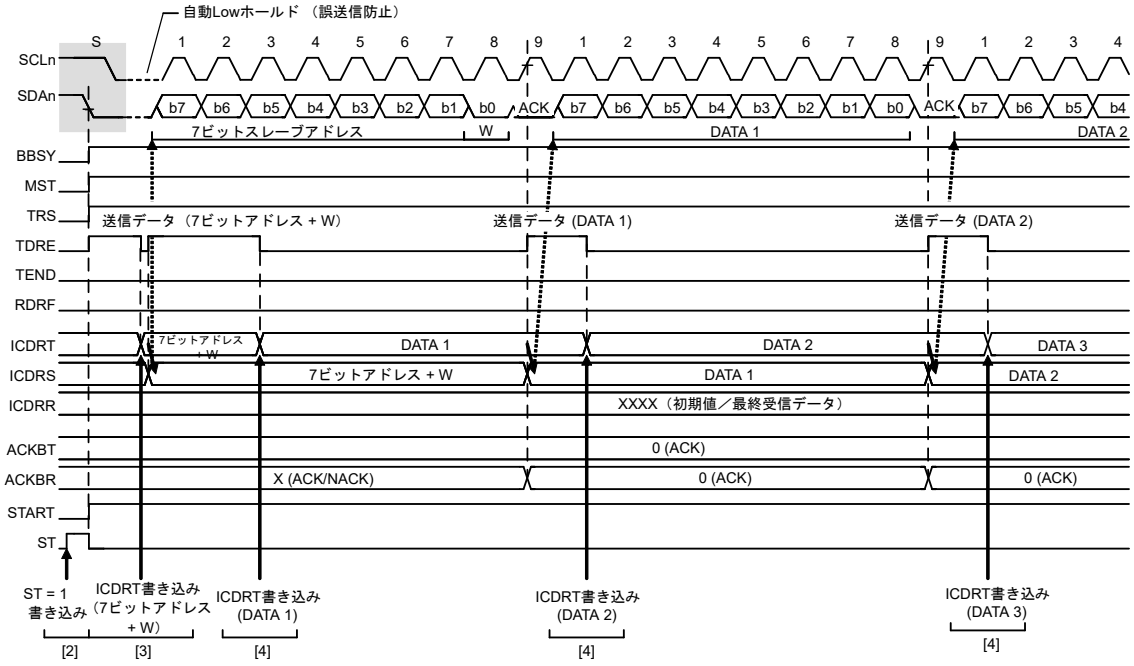
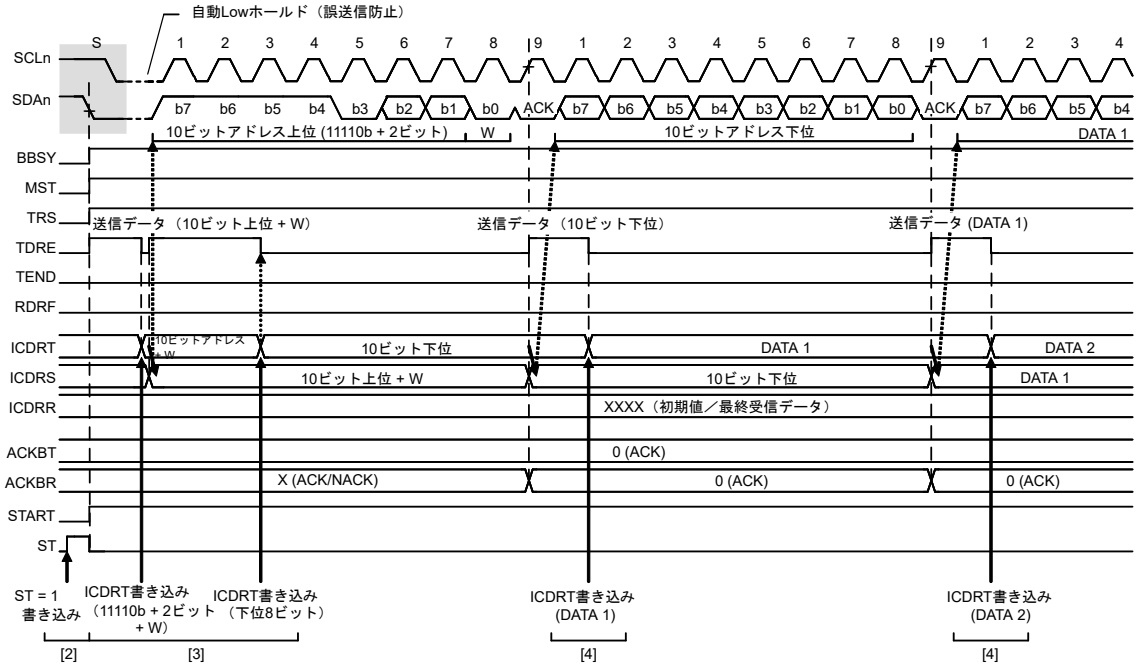


図 39.6　マスタ送信のフローチャート例



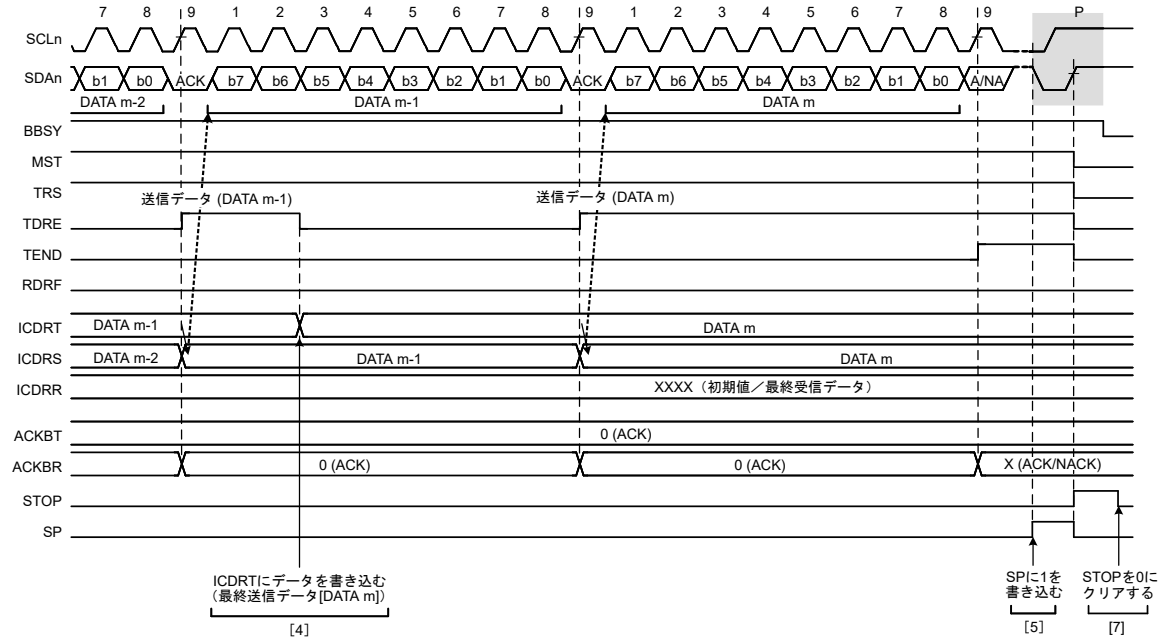
注. n = 0, 1

図 39.7 マスタ送信の動作タイミング (1)（7 ビットアドレスフォーマット）



注. n = 0, 1

図 39.8 マスタ送信の動作タイミング (2)（10 ビットアドレスフォーマット）



注. n = 0, 1

図 39.9 マスタ送信の動作タイミング (3)

39.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のこの部分ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 39.10 と図 39.11 にマスタ受信の例（7 ビットアドレスフォーマットの場合）を、図 39.12～図 39.14 にマスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「39.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDAn ラインのレベルが一致したならば、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。ICSR2.TDRE フラグは、TRS ビットが 1 になることにより自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（1 バイト目はスレーブアドレスと R/W#ビットの値を示す）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトが送信されると、送信された R/W#ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W#ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで TRS ビットが 0 になり、IIC はマスタ受信モードになります。このとき、TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、11110b+スレーブアドレスの上位 2 ビットと R ビットを送信することで、IIC はマスタ受信モードになります。

4. ICSR2.RDRF フラグが 1 であることを確認した後、ICDRR レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
5. 1 バイトのデータの受信後、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目または 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが 1 になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に 0 になります。また、SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、そのデータ（最後から 2 番目のバイト）を含む ICDRR レジスタを読む前に、ICMR3.WAIT ビットを 1（WAIT あり）にしてください。これにより、手順 (6) の ICMR3.ACKBT ビットを 1 (NACK) にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCLn ラインを Low に固定して、ストップコンディションの発行が可能になります。
6. ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBT ビットを 1 (NACK) にしてください。
7. 最後から 2 番目のバイトを ICDRR レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、ICCR2.SP ビットを 1（ストップコンディション要求）にした後、ICDRR レジスタの最終バイトを読み出してください。ICDRR レジスタの読み出し時、IIC は WAIT 状態から解除され、9 クロック目の Low 出力終了後または SCLn ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。また、ストップコンディションの検出によって、ICSR2.STOP フラグが 1 になります。
9. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

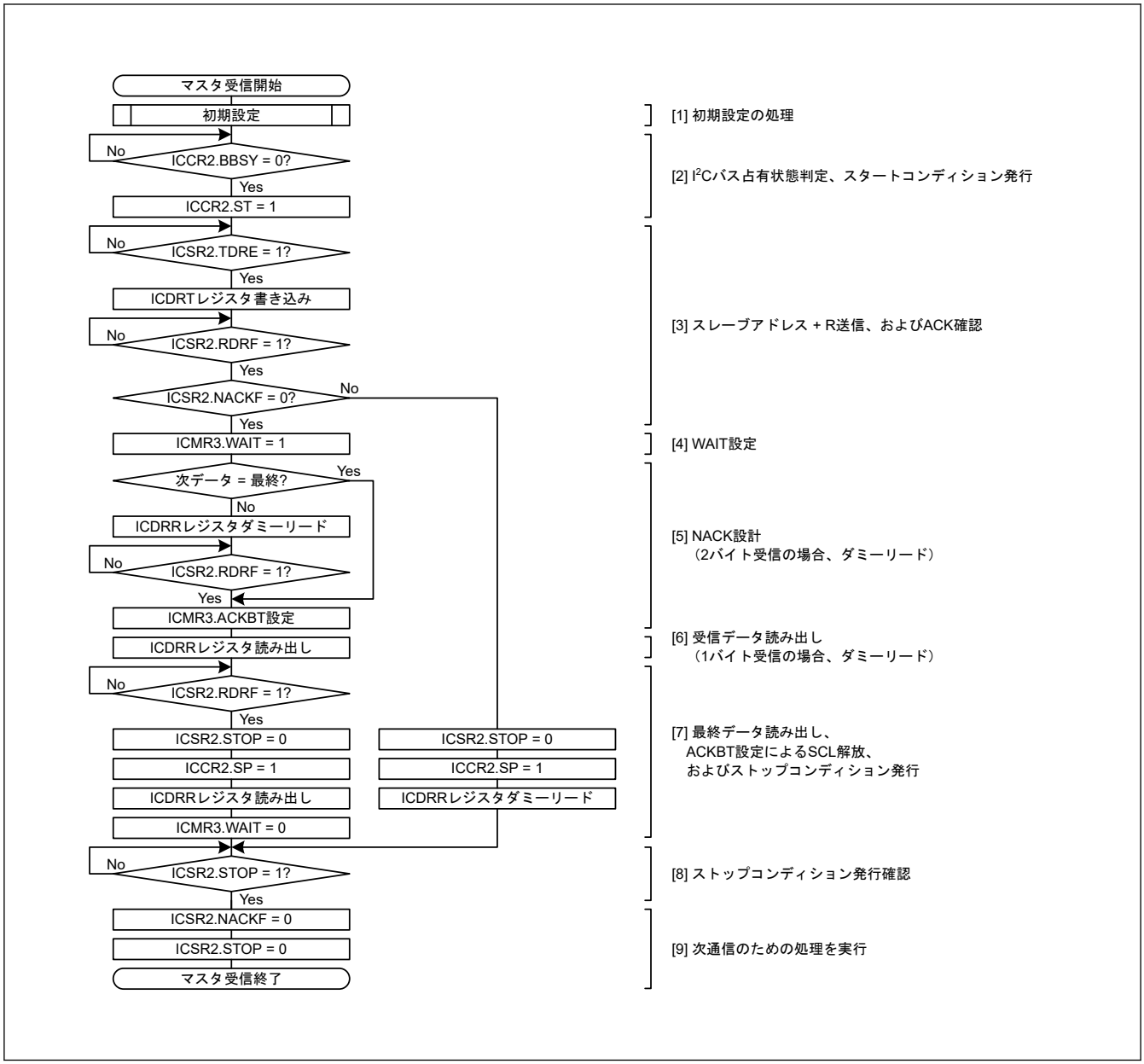


図 39.10　マスタ受信の例（7 ビットアドレスフォーマットで 1 または 2 バイト受信の場合）

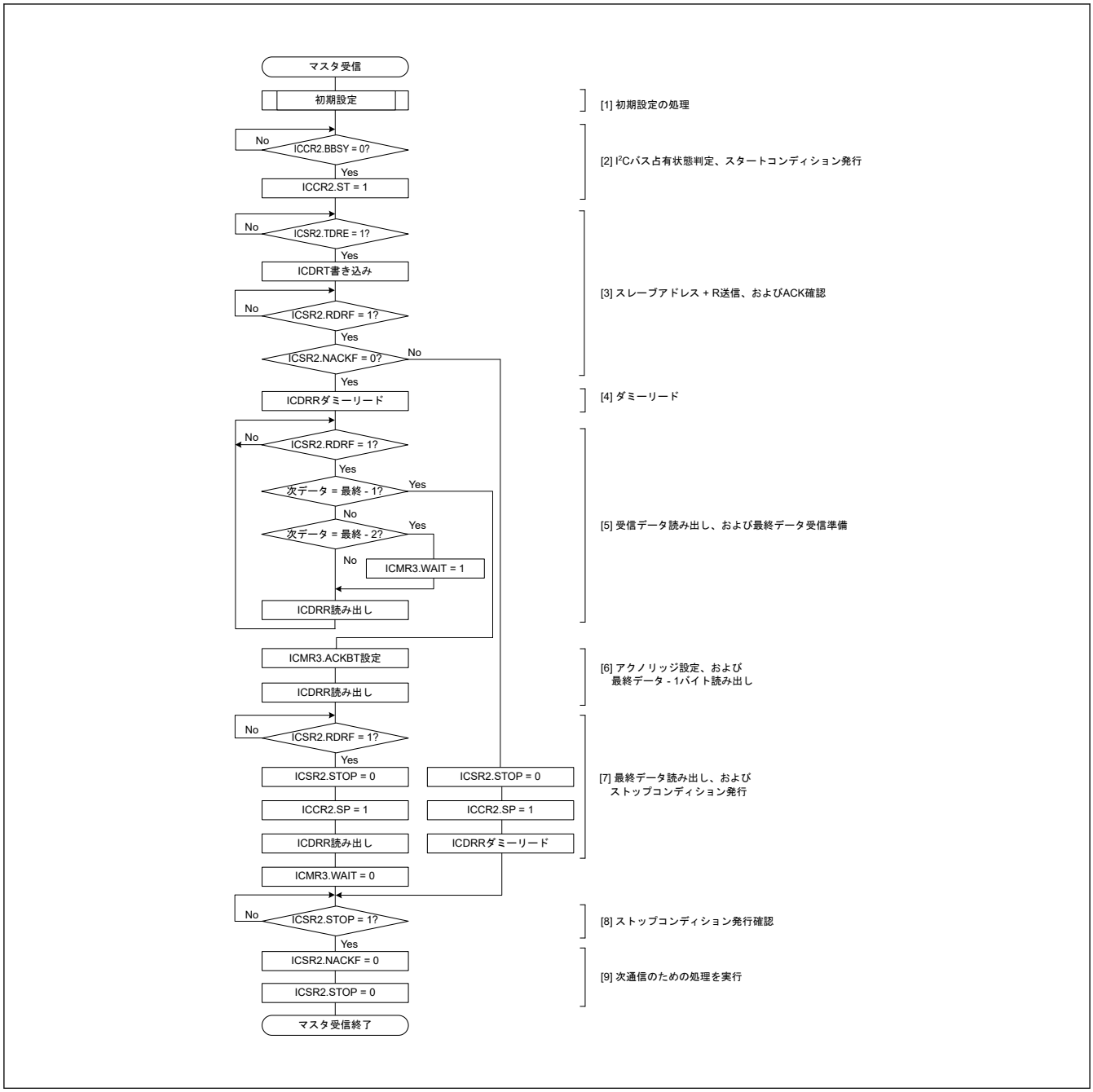
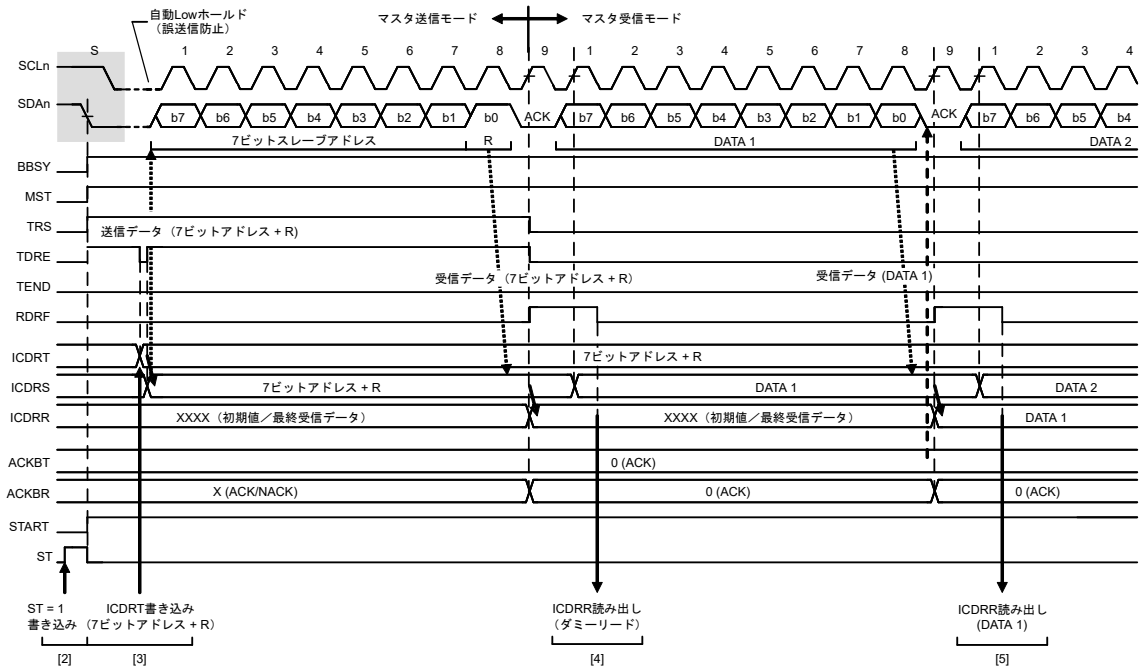
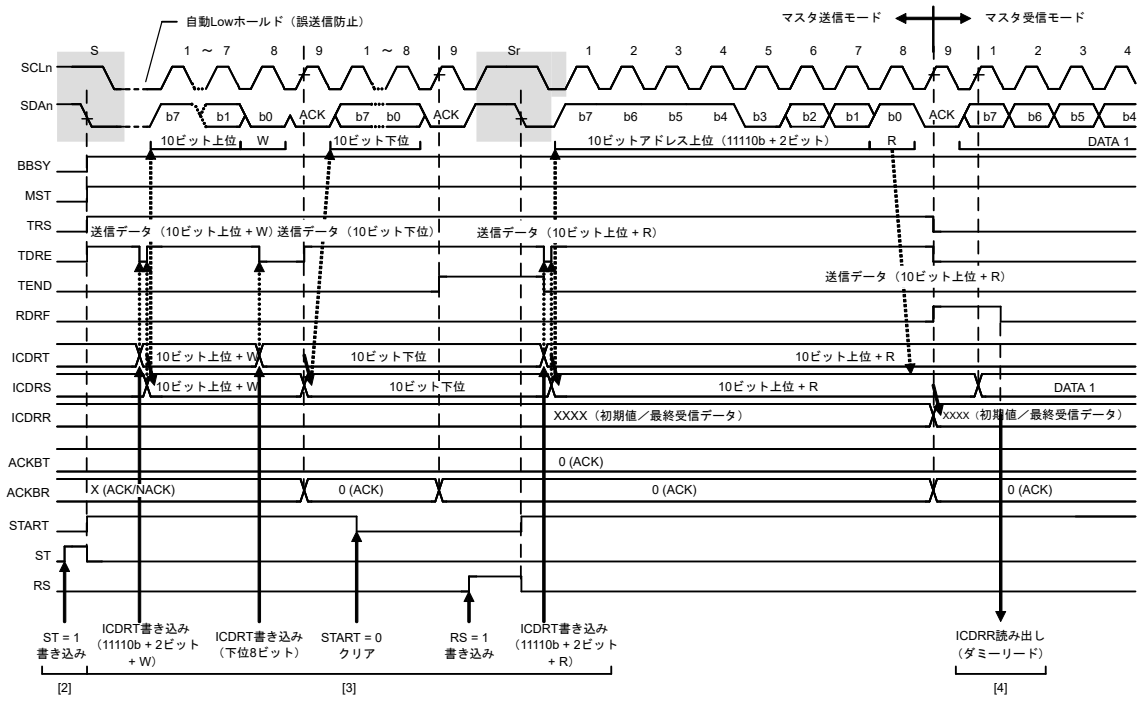


図 39.11　マスタ受信の例（7 ビットアドレスフォーマットで 3 バイト以上受信の場合）



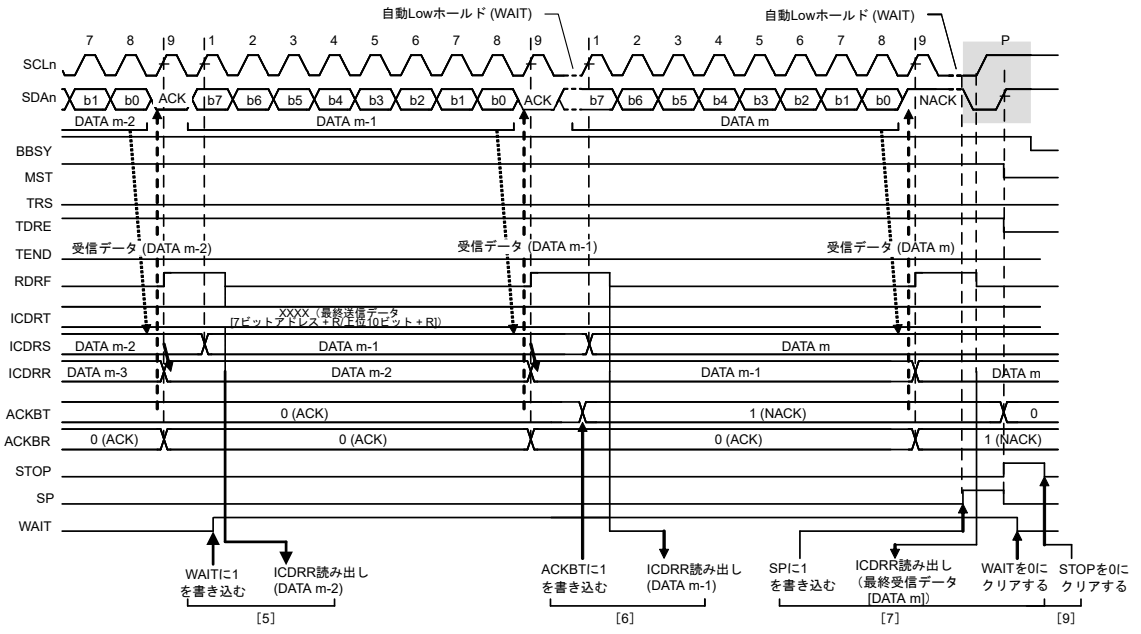
注. n = 0, 1

図 39.12 マスタ受信の動作タイミング (1)（7 ビットアドレスフォーマットで RDRFS = 0 の場合）



注. n = 0, 1

図 39.13 マスタ受信の動作タイミング (2)（10 ビットアドレスフォーマットで RDRFS = 0 の場合）



注. n = 0, 1

図 39.14 マスタ受信の動作タイミング (3)（RDRFS = 0 の場合）

39.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 39.15 にスレーブ送信の例を、図 39.16～図 39.17 にスレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「39.3.2. 初期設定」を参照してください。
   初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA、GCA、AASn フラグ (n = 0～2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W# ビットの値が 1 であれば、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。このとき、ICFER.NACKE ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった（NACK を受信した）場合、IIC は次の転送動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信バイトを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がりで SCLn ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCLn ラインが解放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASn フラグ (n = 0～2)、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

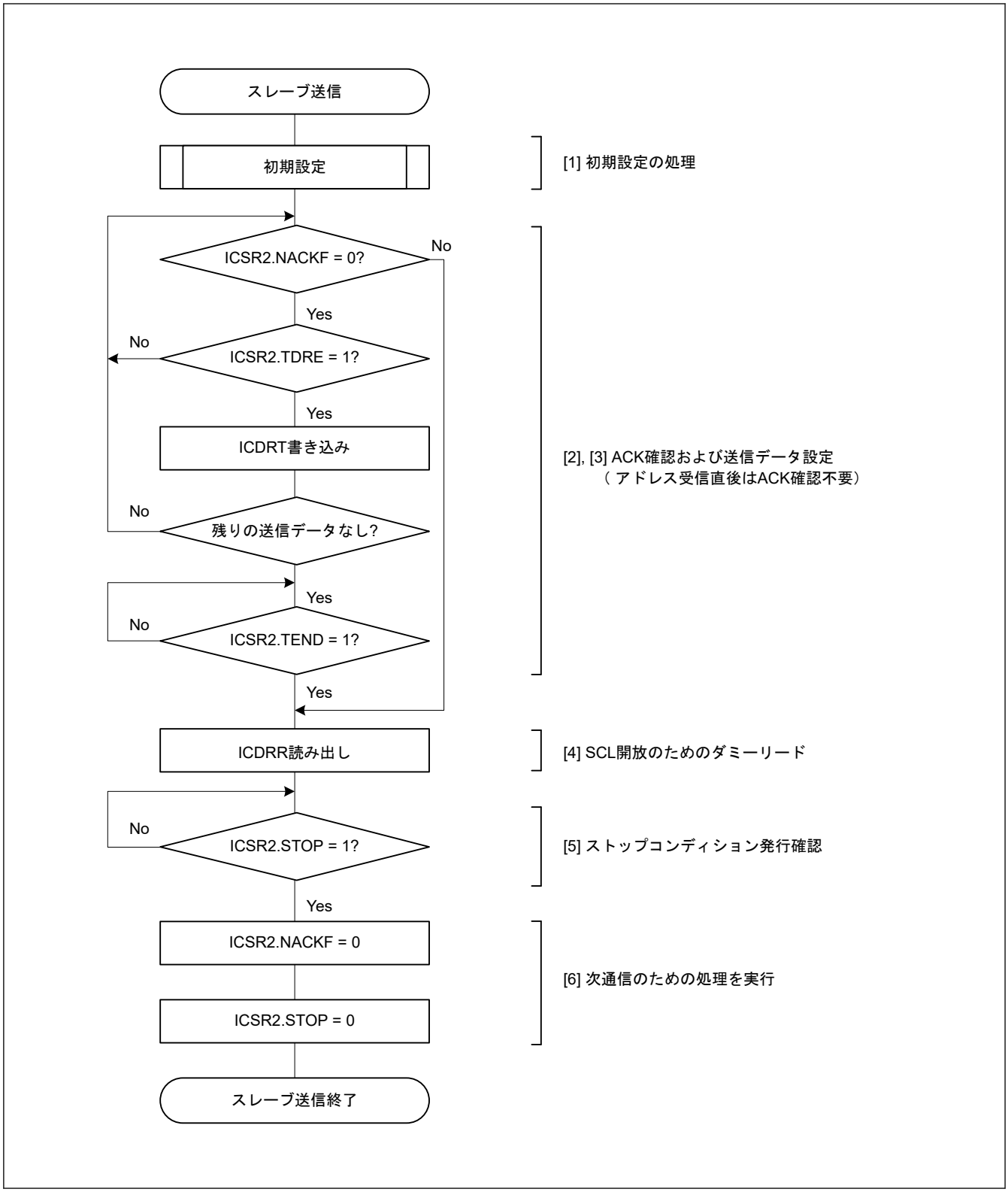
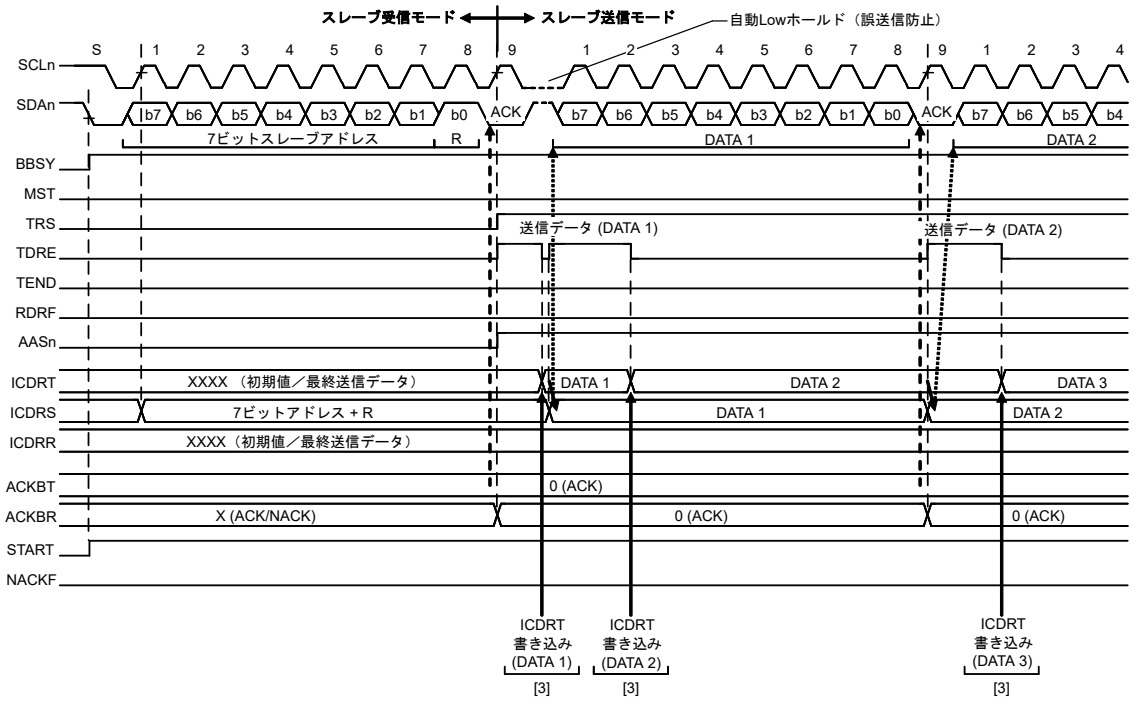
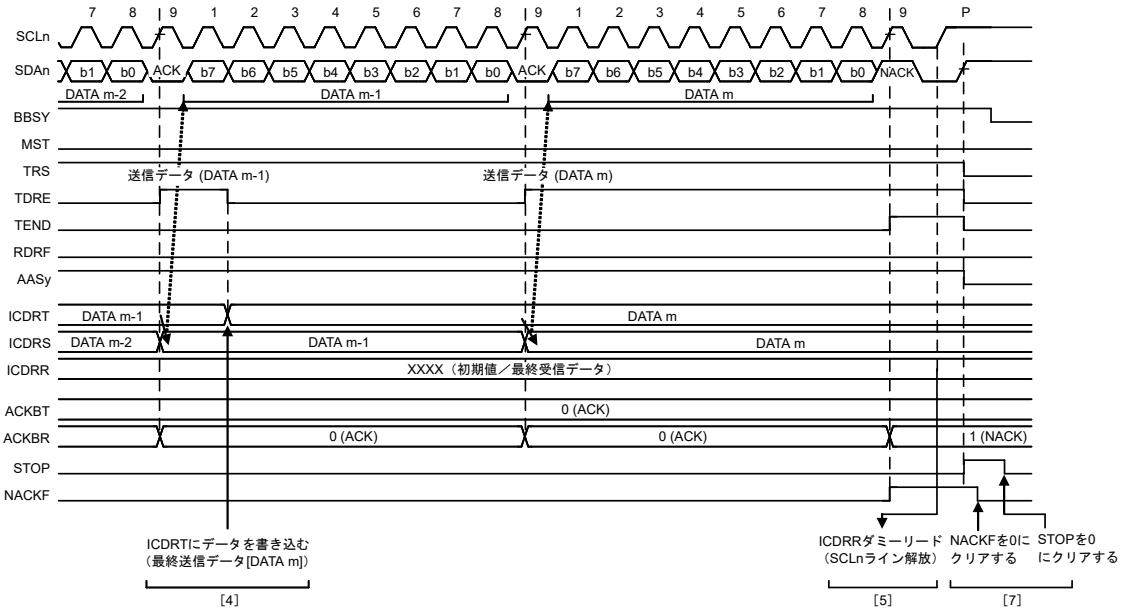


図 39.15　スレーブ送信のフローチャート例



注. n = 0, 1, y = 0～2

図 39.16 スレーブ送信の動作タイミング (1)（7 ビットアドレスフォーマット）



注. n = 0, 1, y = 0～2

図 39.17 スレーブ送信の動作タイミング (2)

39.3.6 スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 39.18 にスレーブ受信の例を、図 39.19 と図 39.20 にスレーブ受信の動作タイミングを示します。

スレーブ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「39.3.2. 初期設定」を参照してください。
   初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA、GCA、AASn フラグ (n = 0～2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W#ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
3. ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認し、ICDRR レジスタをダミーで読んでください。ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W#ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです。
4. ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 になった状態で次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの 1 つ手前の SCL クロックまで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、IIC は SCLn ラインを解放します。
   ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
5. IIC はストップコンディションを検出すと、ICSR1.HOA、GCA、AASn フラグ (n = 0～2) を自動的に 0 にします。
6. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために ICSR2.STOP フラグを 0 にしてください。

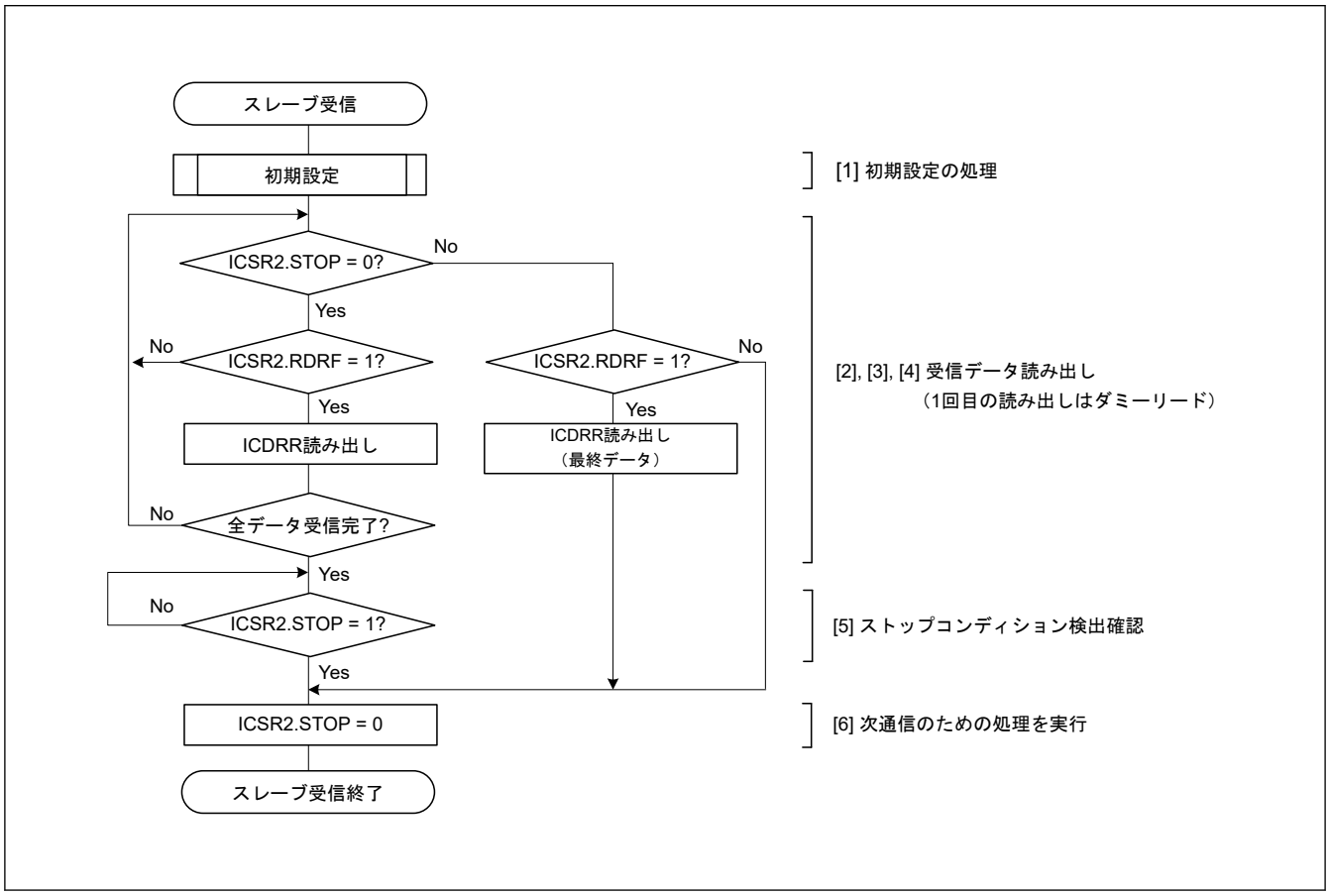
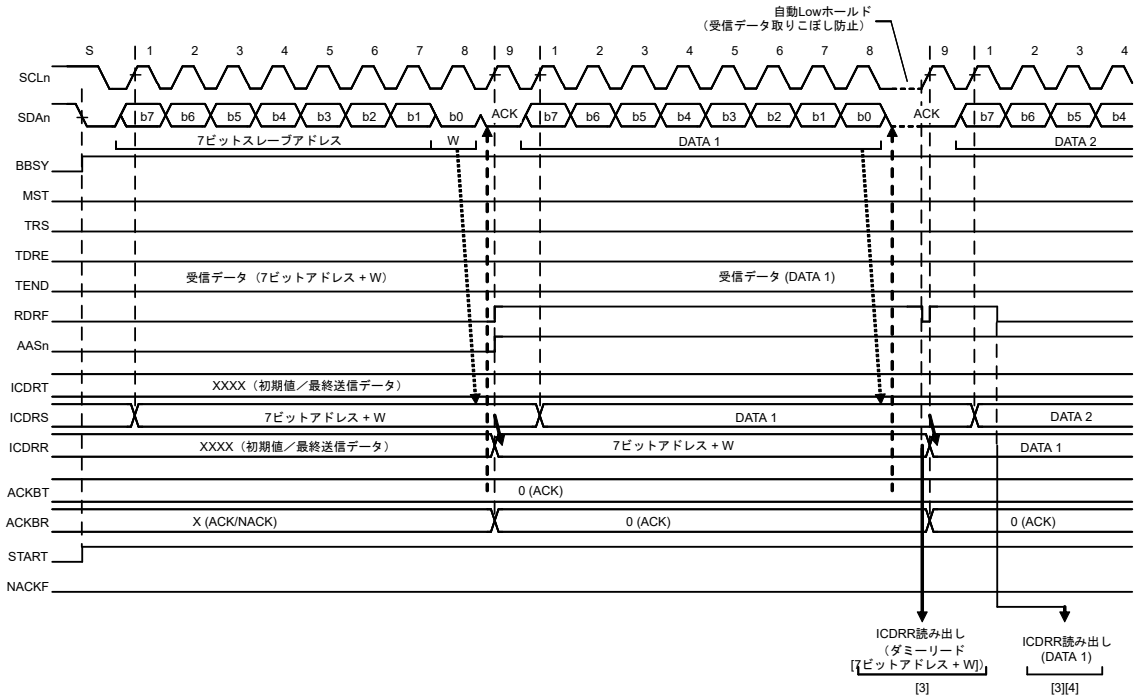
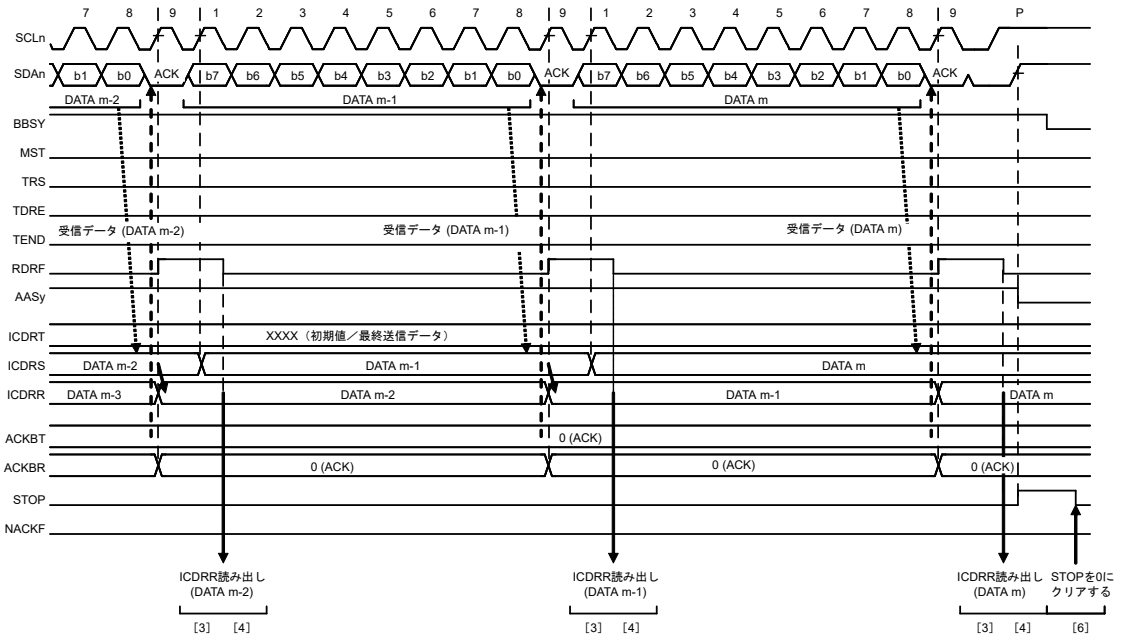


図 39.18 スレーブ受信のフローチャート例



注. n = 0, 1, y = 0～2

図 39.19 スレーブ受信の動作タイミング (1)（7 ビットアドレスフォーマットで RDRFS = 0 の場合）



注. n = 0, 1, y = 0～2

図 39.20 スレーブ受信の動作タイミング (2)（RDRFS = 0 の場合）

39.4 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウントを開始し、カウントが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定した Low 幅のカウントを開始し、カウントが終了すると SCLn ラインを解放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

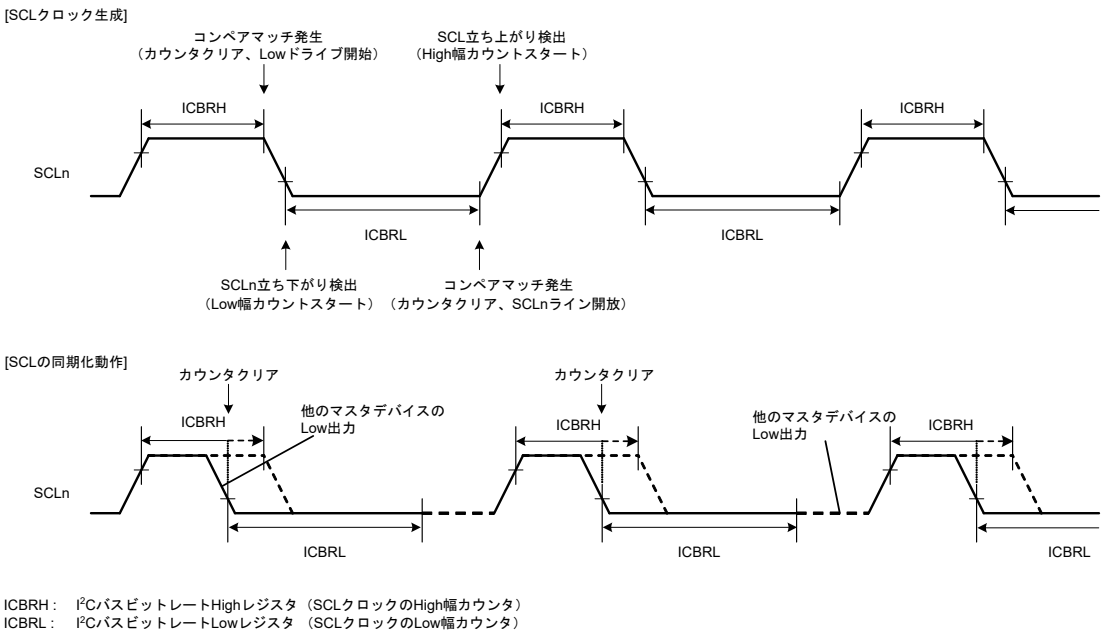
I2C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH レジスタで設定した High 幅のカウントを開始したとき、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low にされた場合、IIC は以下のように動作します。

1. IIC は SCLn ラインの立ち下がりを検出すると、High 幅のカウント動作を中断します。
2. SCLn ラインを Low にします。
3. ICBRL レジスタで設定した Low 幅のカウントを開始します。

Low 幅のカウントが終了すると、IIC は SCLn ラインを解放します。このとき、他のマスタデバイスからの SCL クロック信号の Low 幅が、IIC 側で設定した Low 幅よりも長いと、SCL クロックの Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの解放によって SCL クロックが立ち上がります。

IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが解放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。



注. n = 0, 1

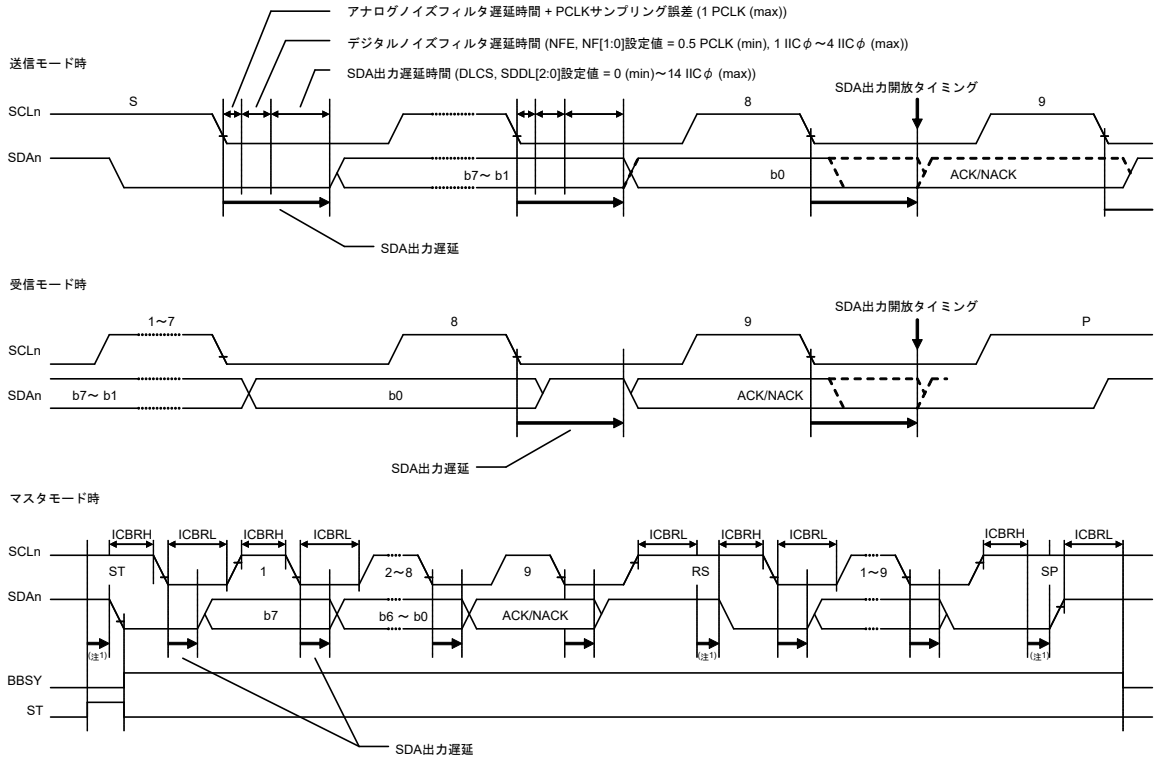
図 39.21 IIC の SCL クロック生成および SCL 同期化動作

39.5 SDA 出力遅延機能

IIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（スタート／リスタート／ストップコンディションの発行、データ出力、ACK/NACK 出力）を遅延させることができます。

この機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300 ns) の要件を満たして、通信デバイスの誤動作を防止できるようになります。この SDA 出力遅延機能は、ICMR2.SDDL[2:0]ビットが 000b 以外のとき有効で、SDDL[2:0]ビットが 000b のとき無効です。

SDA 出力遅延機能が有効（ICMR2.SDDL[2:0] ビットが 000b 以外）になっているとき、ICMR2.DLCS ビットでは、SDA 出力遅延カウンタが使用するクロックソースを、内部基準クロック (IICφ) またはその 2 分周クロック (IICφ/2) として選択します。カウンタは、ICMR2.SDDL[2:0]ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、IIC は SDA ライン上で必要な出力（スタート／リスタート／ストップコンディション、データ、ACK/NACK 信号）を行います。



注. PCLK = PCLKB
注. n = 0, 1
注 1. スタートコンディション (ST)、リスタートコンディション (RS)、ストップコンディション (SP) 発行時は DLCS、SDDL[2:0] 設定値分の遅延

図 39.22 SDA 出力遅延機能

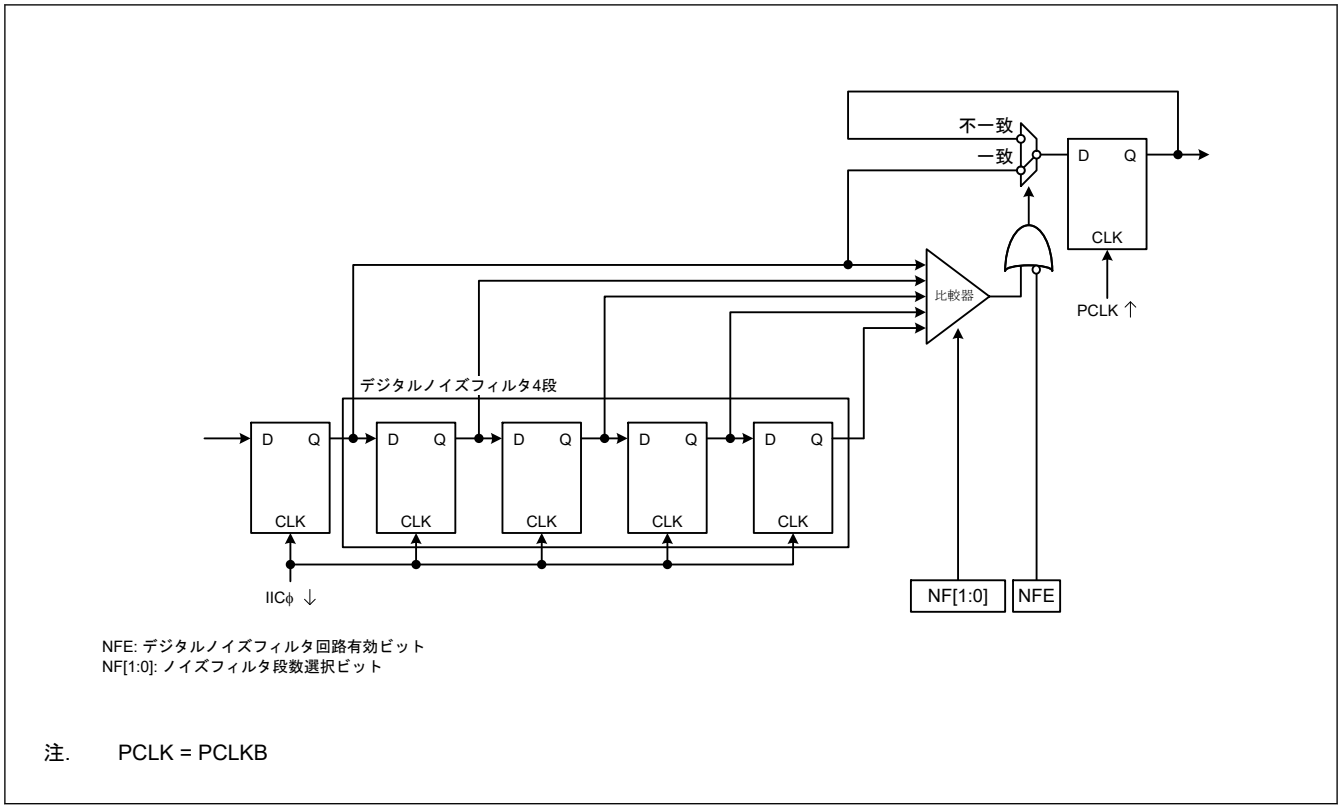
39.6 デジタルノイズフィルタ回路

SCLn 端子および SDAn 端子の状態は、アナログノイズフィルタ回路とデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 39.23 にデジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。デジタルノイズフィルタの有効段数は ICMR3.NF[1:0]ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて 1IICφ～4IICφ サイクル分となります。

SCLn 端子（または SDAn 端子）への入力信号は、IICφ 信号の立ち下がりエッジでサンプリングされます。入力信号レベルが、ICMR3.NF[1:0]ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。信号レベルが一致しない場合は、前の値が保持されます。

たとえば、PCLKB = 4 MHz 時の 400 kbps データ転送のように、内部動作クロック (PCLKB) と転送速度の周波数の比が小さい場合、デジタルノイズフィルタは要求信号をノイズとして除去する可能性があります。そのような場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することができます。



注. PCLK = PCLKB

図 39.23 デジタルノイズフィルタ回路のブロック図

39.7 アドレス一致検出機能

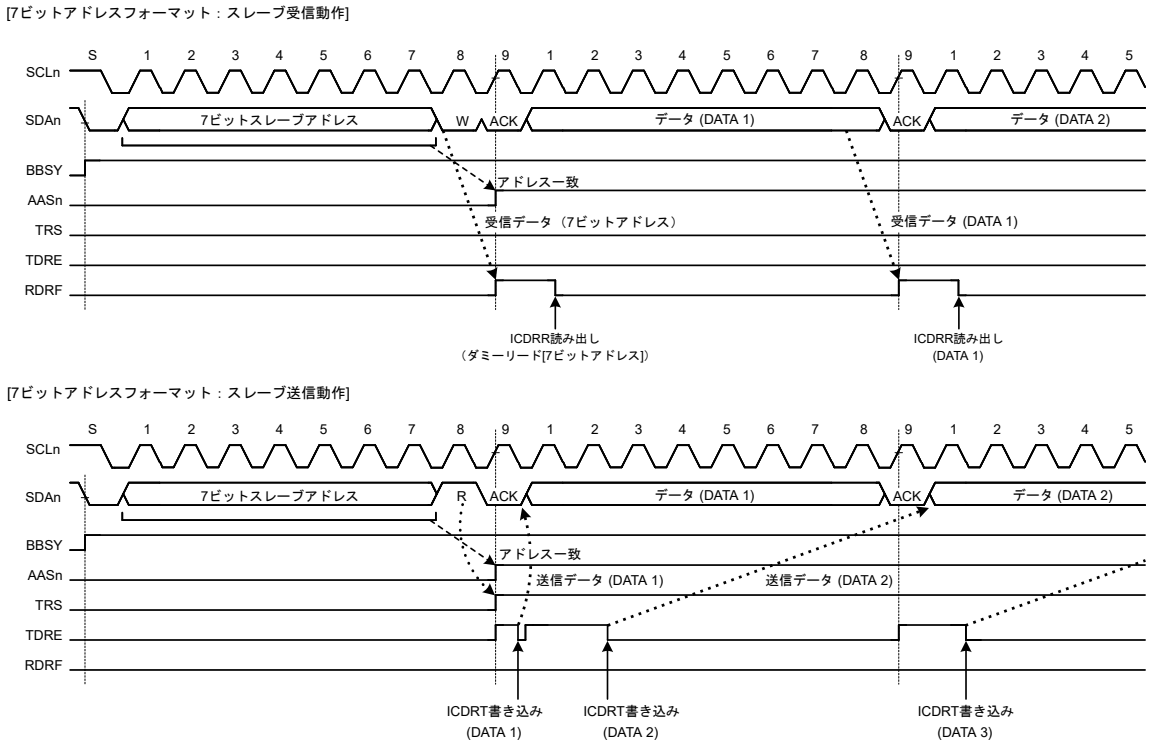
IIC は、ジェネラルコールアドレス、ホストアドレスの他に 3 種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7 ビットアドレスまたは 10 ビットアドレスを設定できます。

39.7.1 スレーブアドレス一致検出機能

IIC は 3 種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARnE ビット (n = 0〜2) が 1 のとき、SARUn および SARLn レジスタ (n = 0〜2) に設定されたスレーブアドレスを検出できます。

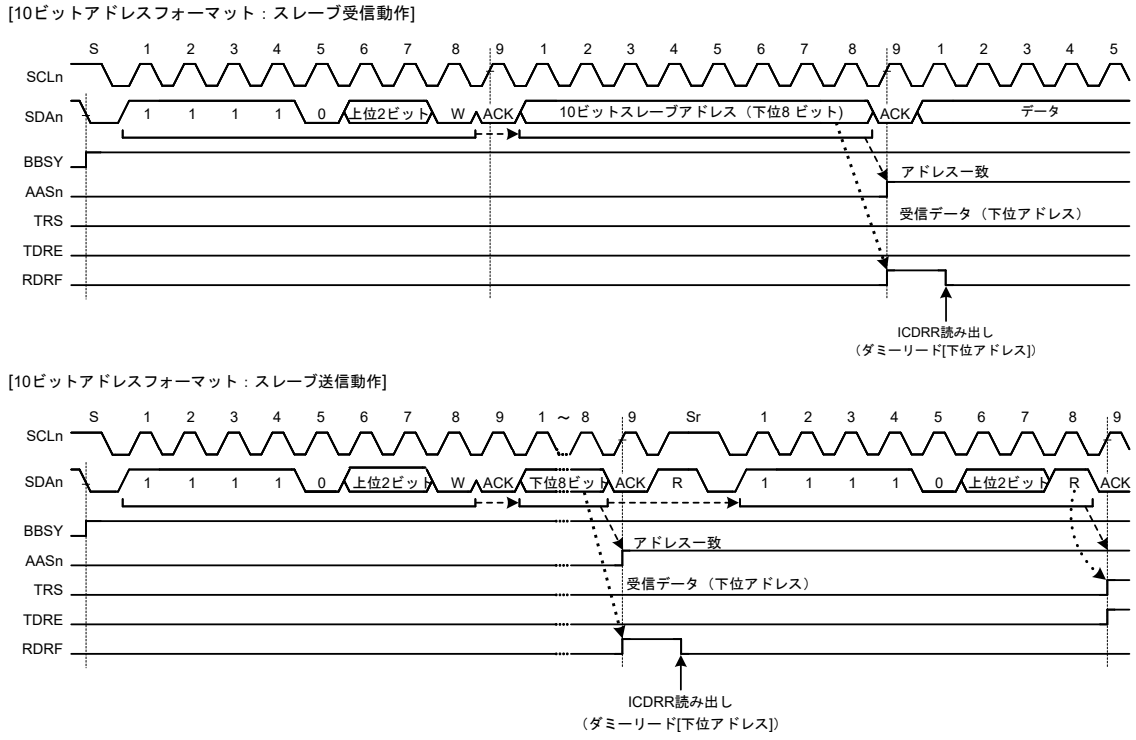
IIC が設定されたスレーブアドレス一致を検出すると、対応する ICSR1.AASn フラグ (n = 0〜2) が SCL クロックの 9 クロック目の立ち上がりで 1 になり、続く R/W#ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) または送信データエンプティ割り込み (IICn_TXI) を発生させることができます。どのスレーブアドレスが指定されたかは AASn フラグで識別できます。

図 39.24 〜図 39.26 に AASn フラグが 1 になるタイミングを 3 つのケースで示します。



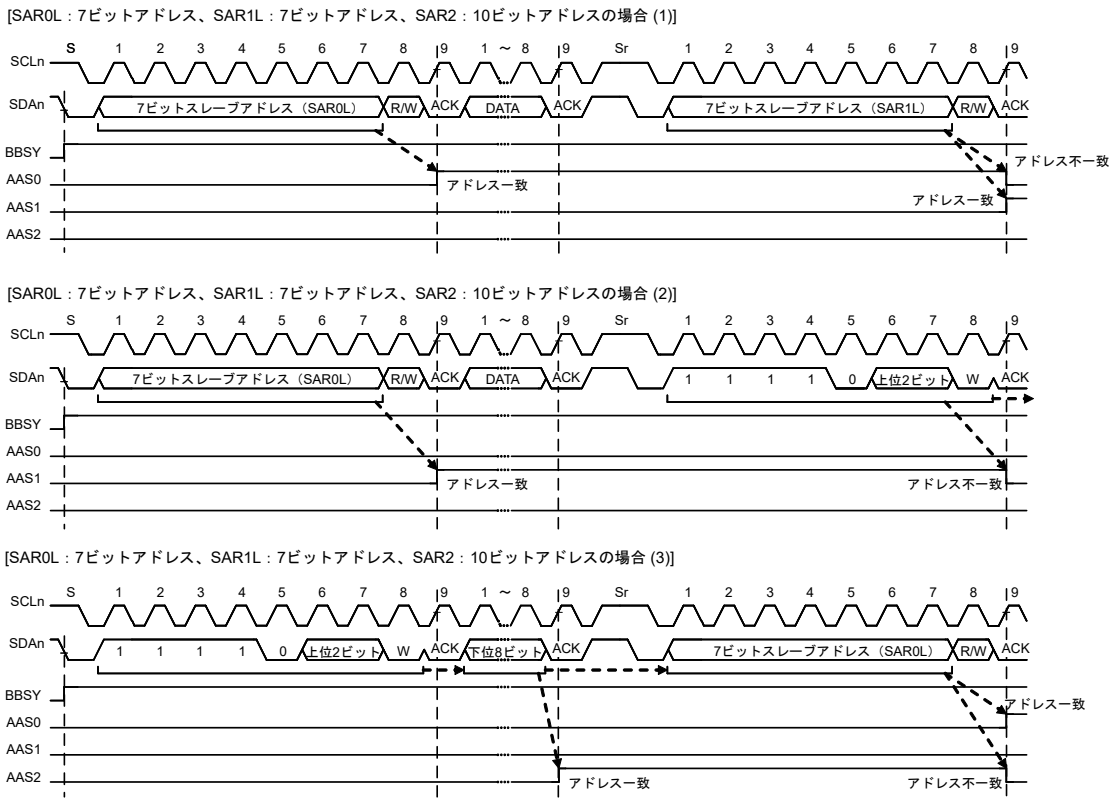
注. n = 0, 1, y = 0～2

図 39.24 AASn フラグが 1 になるタイミング（7 ビットアドレスフォーマット選択時）



注. n = 0, 1, y = 0～2

図 39.25 AASn フラグが 1 になるタイミング（10 ビットアドレスフォーマット選択時）



注. n = 0, 1

図 39.26 AASn フラグが 1 または 0 になるタイミング（7 ビット／10 ビットアドレスフォーマット混在）

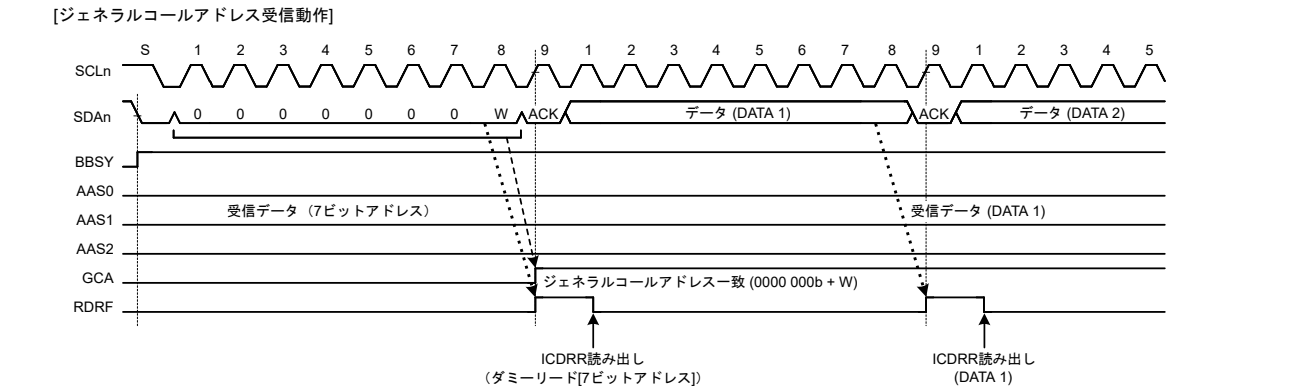
39.7.2 ジェネラルコールアドレス検出機能

IIC は、ジェネラルコールアドレス (0000 000b ＋ 0[W]) の検出機能を備えています。この機能は、ICSER.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b ＋ 1[R]（開始バイト）の場合は、IIC はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスは認識しません。

IIC がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.GCA フラグと ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。GCA フラグを確認することで、ジェネラルコールアドレスが送信されたことを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。



注. n = 0, 1

図 39.27 ジェネラルコールアドレス受信時に GCA フラグが 1 になるタイミング

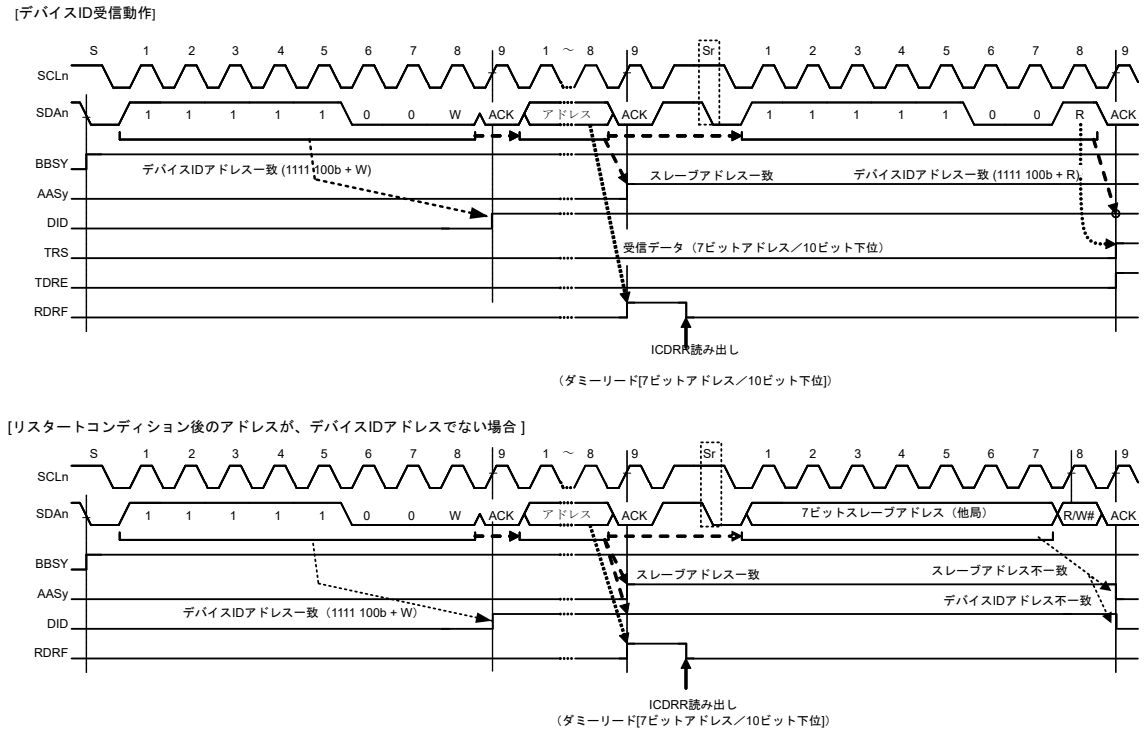
39.7.3 デバイス ID アドレス検出機能

IIC は、I²C バス仕様（リビジョン 03）に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを 1 にした状態で、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目に 1111 100b を受信すると、IIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W#ビットが 0 のとき、SCL クロックの 9 クロック目の立ち上がりで ICSR1.DID フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IIC は対応する ICSR1.AASn フラグ (n = 0〜2) を 1 にします。

その後、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W#ビットが 1 のとき、IIC は続く 2 バイト目以降はアドレス比較を行わず、ICSR2.TDRE フラグを 1 にします。

デバイス ID アドレス検出機能では、IIC スレーブアドレスと一致しなかった場合、あるいは IIC スレーブアドレスが一致し、リスタートコンディションの検出後のアドレスがデバイス ID アドレスと一致しなかった場合、IIC は DID フラグを 0 にします。スタートコンディションまたはリスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W#ビットが 0 の場合は、IIC は DID フラグを 1 にして、続く 2 バイト目以降を IIC のスレーブアドレスと比較します。R/W#ビットが 1 の場合、DID フラグは前値の状態を継続し、IIC は 2 バイト目以降の比較を行いません。このようにして、TDRE = 1 の確認後、DID フラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイトデータ：メーカ情報[12 ビット]＋部品識別[9 ビット]＋リビジョン[3 ビット]）を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。



注. n = 0, 1, y = 0～2

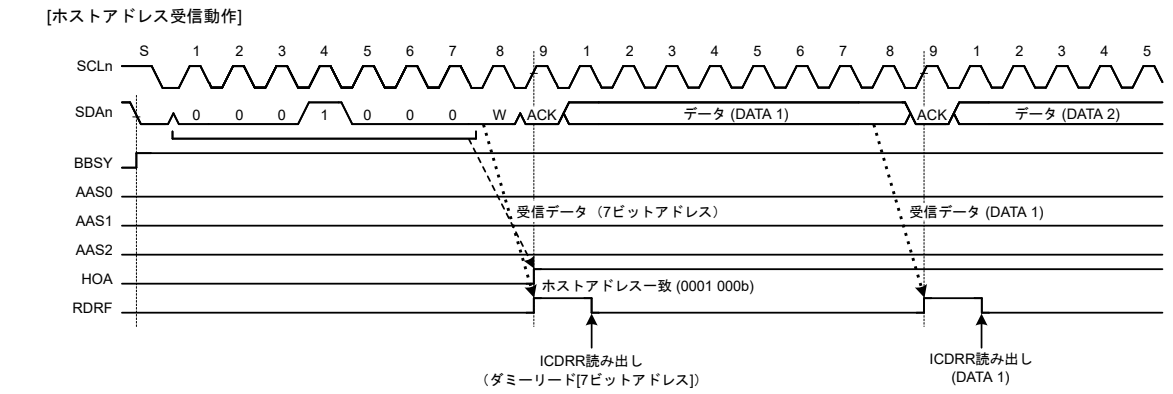
図 39.28 デバイス ID 受信時の AASn、DID フラグのセット／クリアタイミング

39.7.4 ホストアドレス検出機能

IIC は、SMBus 動作時のホストアドレス検出機能を備えています。ICMR3.SMBS ビットが 1 のとき ICSER.HOAE ビットを 1 にすると、スレーブ受信モード (ICCR2.MST, TRS = 00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IIC がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.HOA フラグが 1 になり、R/W# ビットが 0（Wr ビット）のとき、ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。HOA フラグは、他のデバイスからホストアドレスが送信されたことを示します。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# = 1) の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。



注. n = 0, 1

図 39.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

39.8 ウェイクアップ機能

IIC は、MCU をソフトウェアスタンバイモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、周辺モジュールクロック (PCLKB) 停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。このウェイクアップ割り込み信号が、通常動作への復帰をトリガします。ウェイクアップ割り込み発生後、通信が継続できるように IIC を PCLKB 同期動作に切り替えてください。

ウェイクアップ機能には、以下の 4 つの動作モードがあります。

- ノーマルウェイクアップモード 1
- ノーマルウェイクアップモード 2
- コマンドリカバリモード
- EEP 応答モード

表 39.9 に各モードの動作を示します。

表 39.9 ウェイクアップ動作モード

動作モード	ACK 応答タイミング	PCLKB 同期動作に対するウェイクアップ前の ACK 応答	PCLKB 同期動作に対するウェイクアップ時の SCL 状態
ノーマルウェイクアップモード 1	PCLKB 同期動作に対してウェイクアップ前(注1)	ACK	Low に固定
ノーマルウェイクアップモード 2	PCLKB 同期動作に対してウェイクアップ後(注2)	ウェイクアップ前 : 応答なし（NACK レベル保持） ウェイクアップ後 : ACK 応答	Low に固定
コマンドリカバリモード	PCLKB 同期動作に対してウェイクアップ前(注1)	ACK	オープン
EEP 応答モード	PCLKB 同期動作に対してリカバリ前(注1)	NACK	オープン

注 1. PCLKB 非同期動作から PCLKB 同期動作へのタイミング切り替えは、9 番目の SCL クロックの立ち下がりエッジで発生します。
注 2. PCLKB 非同期動作から PCLKB 同期動作へのタイミング切り替えは、8 番目の SCL クロックの立ち下がりエッジで発生します。

ウェイクアップ割り込み要因として以下の要因が選択可能です。

- ホストアドレス検出（ICSER.HOAE = 1 の場合に有効）
- ジェネラルコールアドレス検出（ICSER.GCAE = 1 の場合に有効）
- スレーブアドレス 0(注1)検出（ICSER.SAR0E = 1 の場合に有効）

- スレーブアドレス 1(注1)検出（ICSER.SAR1E = 1 の場合に有効）
- スレーブアドレス 2(注1)検出（ICSER.SAR2E = 1 の場合に有効）

注 1. 7 ビットアドレスのみ設定可能 SARUy (y = 0〜2) レジスタの FS ビットに 0 を設定してください。

ウェイクアップ機能使用時の注意事項

- ICWUR2 レジスタの WUASYF フラグが 1（PCLKB 非同期動作時）の間は、ICWUR2 レジスタの WUSEN ビットを除き、IIC レジスタの内容を変更しないでください。
- PCLKB 非同期モードに切り替える前に、ICWUR.WUE ビットと ICWUR.WUIE ビットを 1 に、ICCR2.MST ビットと ICCR2.TRS ビットを 0（スレーブ受信モード）にしてください。
- デバイス ID および 10 ビットスレーブアドレスはウェイクアップ割り込み要因に選択できません。ICSER レジスタの DIDE ビットおよび SARUy (y = 0〜2) レジスタの FS ビットを 0 に設定してください。
- 非同期動作に切り替える前に、ICIER レジスタのビット (TIE, TEIE, RIE, NAKIE, SPIE, STIE, ALIE, TMOIE) を 0（割り込み禁止）にしてください。
- ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください (ICWUR.WUE = 1)。
- PCLKB 非同期動作時（ICWUR2.WUASYF = 1 の場合）にウェイクアップ割り込みが発生した場合でも、スレーブアドレスが PCLKB 同期モード (ICWUR2.WUASYF = 0) であれば、ウェイクアップ割り込みは発生せず、WUF フラグは設定されません。
- ICWUR2.WUSEN ビットに 0 を書き込むタイミングと開始条件を検出するタイミングが競合する場合、IIC は PCLKB 同期動作モードで次の受信を開始する可能性があります。この場合、データ通信完了時に ICWUR2.WUASYF フラグは 1 になり（PCLKB 非同期モードへ切り替え）、停止条件が検出され、ウェイクアップイベントの検出を開始します。
- アドレス一致の検出なしに PCLKB 非同期動作から PCLKB 同期動作に切り替えたい場合は、ストップコンディションの検出で切り替わります。バスフリー状態で ICWUR2.WUSEN ビットを 1 にすると、PCLKB 非同期動作（受信動作：通信フレームの待機）を継続します。IIC が次の通信フレームのストップコンディションを検出したとき、ICWUR2.WUSYF フラグは 1 になります。そして IIC は、PCLKB 同期動作に切り替わります。
- ICWUR2.WUSEN ビットに 0 を書き込んだ後、モードが PCLKB 同期動作から PCLKB 非同期動作に切り替わるまで（ICWUR2.WUASYF フラグが 1 の間）、IIC 動作モード設定に関連するレジスタ（ICMR3、ICSER、および SARLy レジスタ）を変更しないでください。割り込み処理または他の要因により、この周期の間にレジスタ値が変化する場合、非同期動作へ切り替える前に IIC が誤作動する可能性があります。
- PCLKB 非同期動作中に (ICWUR2.WUSYF = 0 (または WUASYF = 1))、ICSR1、ICSR2 レジスタの各フラグおよび ICCR2.BBSY フラグを参照しないでください。

39.8.1 ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および動作例について説明します。

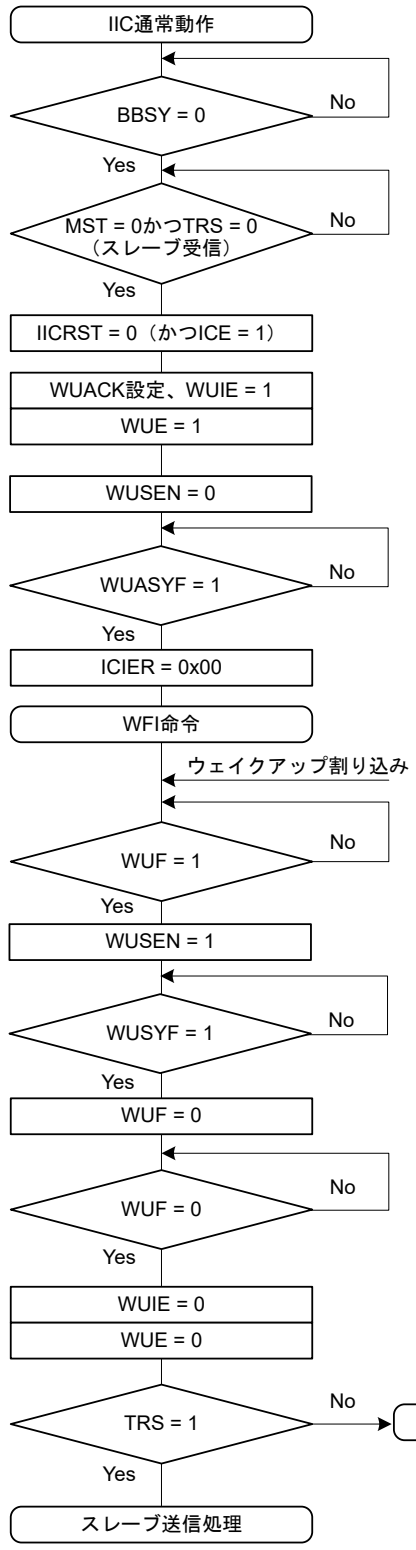
スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：	IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。
ウェイクアップ中：	SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う(注1)。
ウェイクアップ後：	通常動作が継続する。

注 1. ウェイクアップ中の 9 クロック目と 1 クロック目の間では、ICMR1.WAIT = 1 は無効です。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下がり後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。図 39.30 に動作例を、図 39.32 に詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 39.31 に動作例を示します。



[1] [1] I²Cがスタンバイ状態になり、バスがオープン状態になるのを待つ

[2] [2] 内部リセットのアサート時は内部リセットをネゲート

[3] [3] 必要なウェイクアップモードに応じてWUACKを設定、ウェイクアップ割り込みを許可

[4] [4] ウェイクアップ機能を有効

[5] [5] IIC動作状態をPCLK同期からPCLK非同期へ変更

[6] [6] WUI以外のすべての割り込み要求を禁止

[7] [7] IICへのPCLK供給を停止 （IICは受信を続ける）

[8] [8] ウェイクアップ割り込み（アドレス一致）によりIICへのPCLK供給を開始

[9] [9] WUFフラグが1になるのを待つ

[10] [10] IIC動作状態をPCLK非同期からPCLK同期へ変更

[11] [11] WUFに0を書く
（割り込み処理から復帰する前に読み出しをしてWUF = 0であることを確認する）

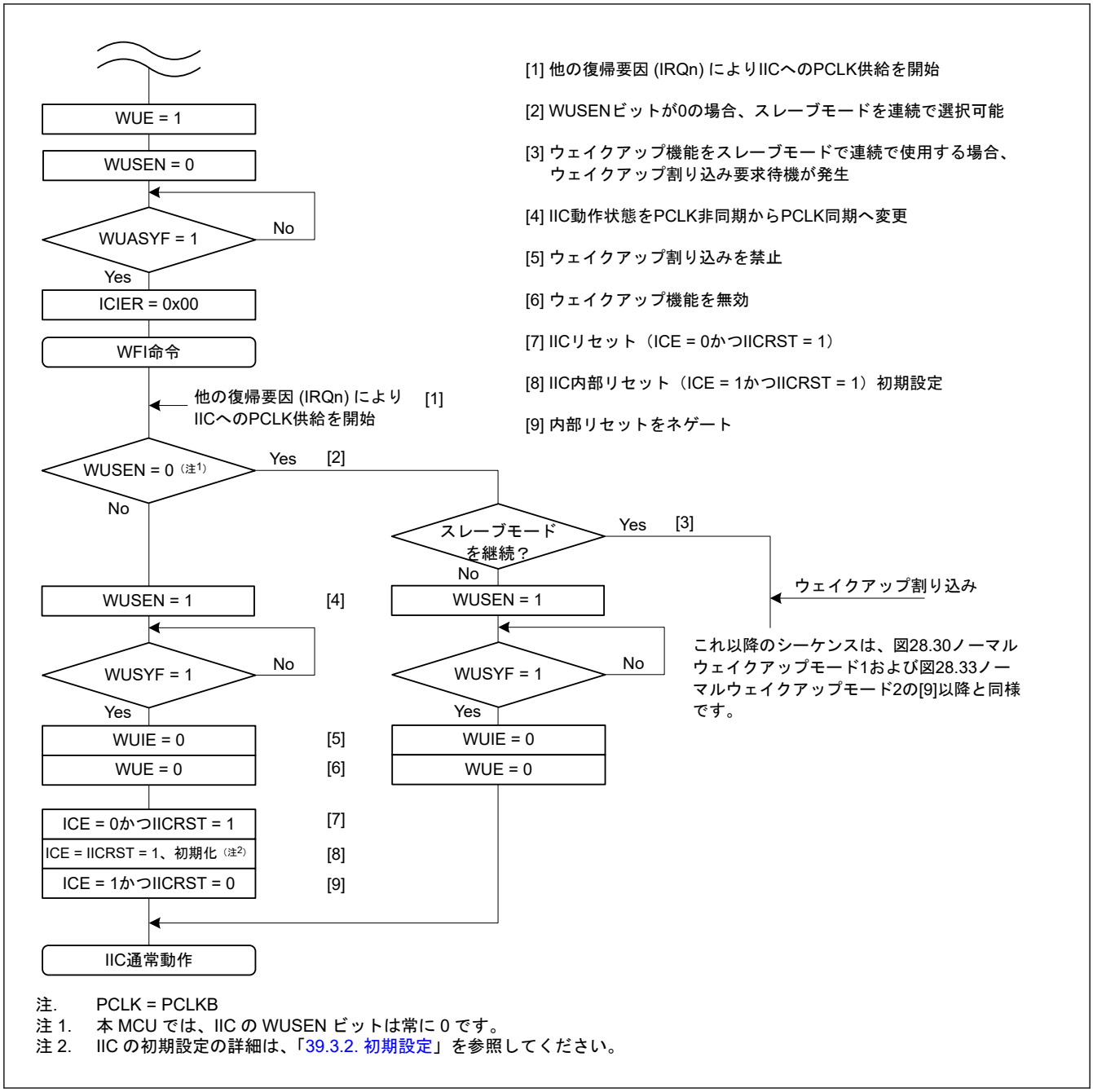
[12] [12] ウェイクアップ割り込みを禁止

[13] [13] ウェイクアップ機能を無効

注. PCLK = PCLKB

図 39.30 ノーマルウェイクアップモード 1 の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

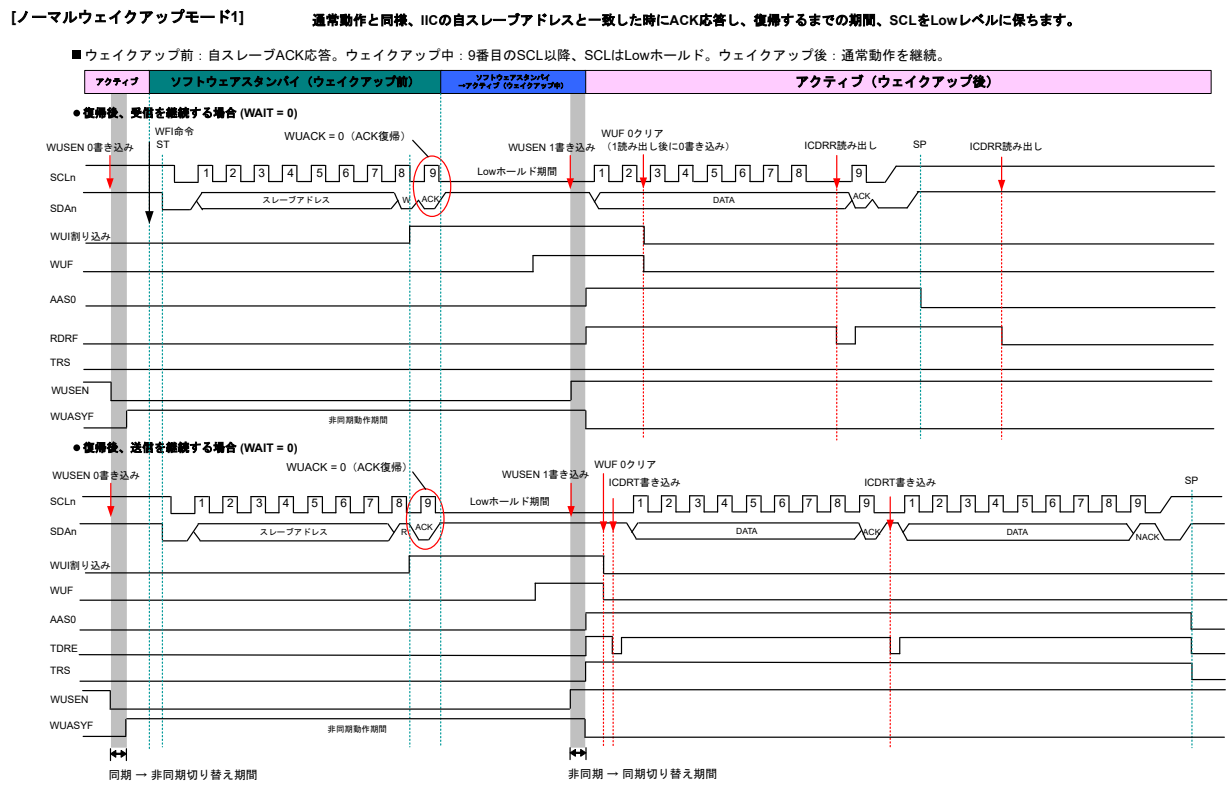
注. ウェイクアップ機能使用時の注意事項を参照してください。



注. PCLK = PCLKB
注 1. 本 MCU では、IIC の WUSEN ビットは常に 0 です。
注 2. IIC の初期設定の詳細は、「39.3.2. 初期設定」を参照してください。

図 39.31 ノーマルウェイクアップモード 1 および 2 の動作例（IIC ウェイクアップ割り込み以外の割り込み（たとえば IRQn）によるウェイクアップの場合）

注. IIC 初期設定の詳細は、「39.3.2. 初期設定」を参照してください。



注. n = 0

図 39.32 ノーマルウェイクアップモード 1 のタイミング

39.8.2 ノーマルウェイクアップモード 2

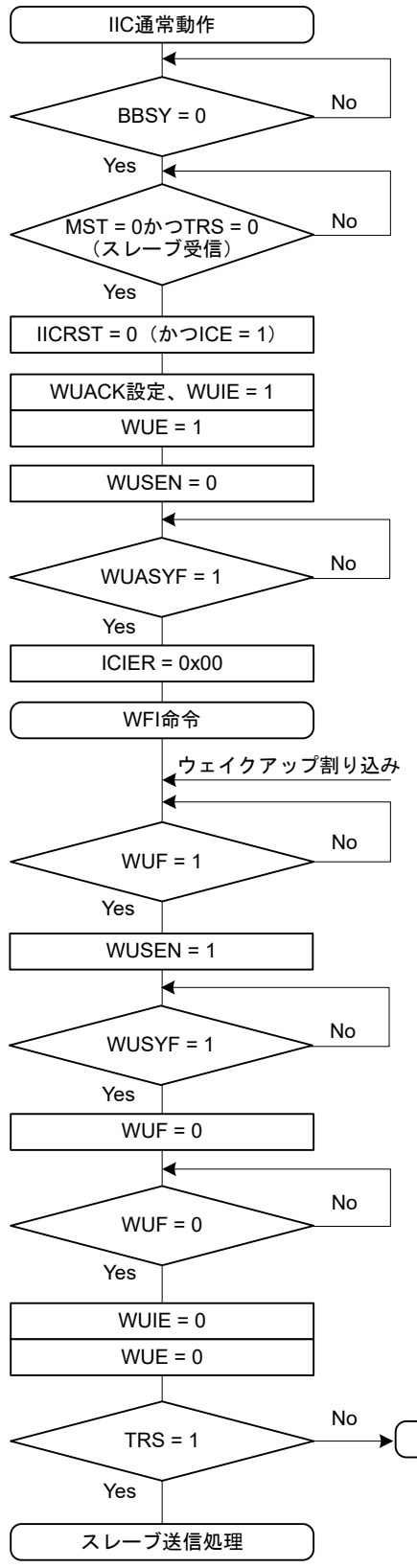
以下では、ノーマルウェイクアップモード 2 の動作、タイミング、および動作例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：	SCL8 クロック目の終わりまでは、自スレーブアドレスで受信したデータへの応答はありません。
ウェイクアップ中：	SCL ラインは 8 クロック目と 9 クロック目の間で Low を保持します。
ウェイクアップ後：	SCL9 クロック目で ACK を返し、通常動作が継続します。

スレーブアドレスが一致しない場合、SCL ラインは SCL8 クロック目の後で Low を保持せずに、スレーブ動作が継続します。図 39.33 に動作例を、図 39.34 にタイミングの詳細を示します。

ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 39.31 に動作例を示します。



[1] [1] I²Cがスタンバイ状態になり、バスフリー状態になるのを待つ

[2] [2] 内部リセットのアサート時は内部リセットをネゲート

[3] [3] 必要なウェイクアップモードに応じてWUACKを設定、ウェイクアップ割り込みを許可

[4] [4] ウェイクアップ機能を有効

[5] [5] IIC動作状態をPCLK同期からPCLK非同期へ変更

[6] [6] WUI以外のすべての割り込み要求を禁止

[7] [7]IICへのPCLK供給を停止（IICは受信を続ける）

[8] [8] ウェイクアップ割り込み（アドレス一致）によりIICへのPCLK供給を開始

[9] [9] WUFフラグが1になるのを待つ

[10] [10] IIC動作状態をPCLK非同期からPCLK同期へ変更

[11] [11] WUFに0を書く（割り込み処理から復帰する前に読み出しをしてWUF = 0であることを確認する）

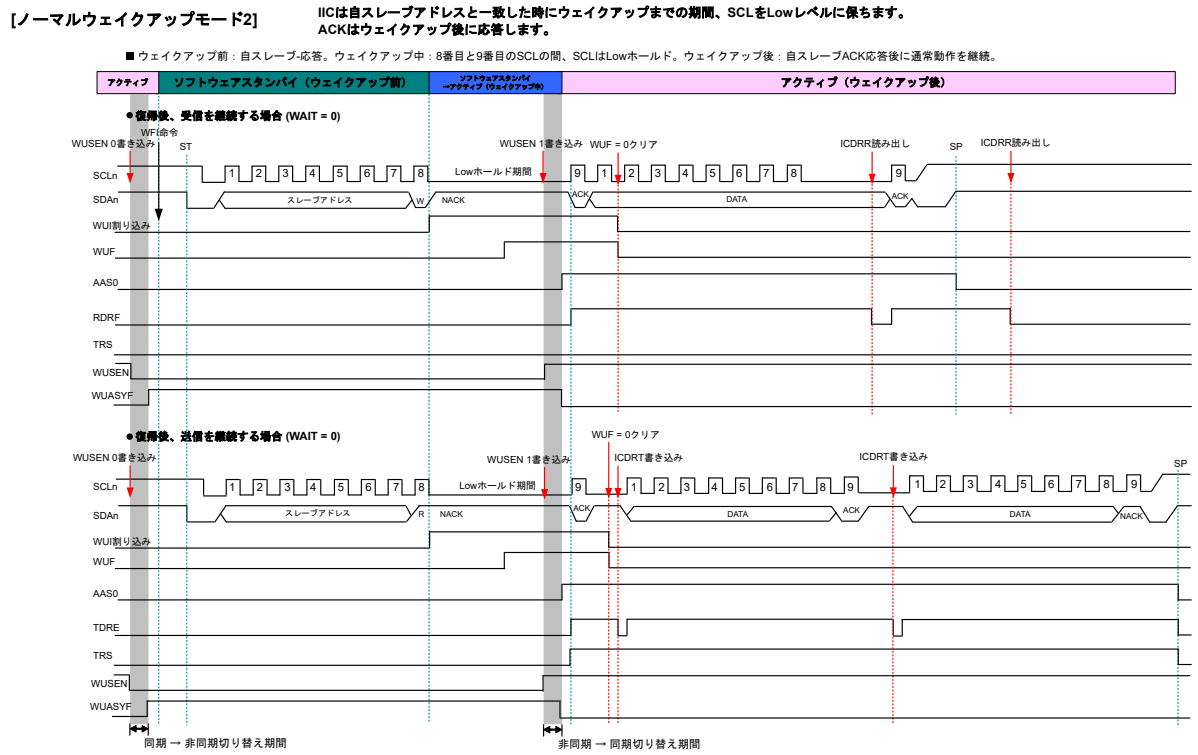
[12] [12] ウェイクアップ割り込みを禁止

[13] [13] ウェイクアップ機能を無効

注. PCLK = PCLKB

図 39.33 ノーマルウェイクアップモード 2 の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. ウェイクアップ機能使用時の注意事項を参照してください。



注. n = 0

図 39.34 ノーマルウェイクアップモード 2 のタイミング

39.8.3 コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード）

以下では、コマンドリカバリモードと EEP 応答モードの動作、タイミング、および動作例について説明します。

コマンドリカバリモードと EEP 応答モードでは、ウェイクアップ期間中（SCL の 9 クロック目の立ち上がり後）に SCL ラインの Low ホールドを行いません。よって、他の IIC デバイスはこの期間に I^2C バスを利用できます。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：	自スレーブアドレスとともに受信したデータに対して、IIC は ACK（コマンドリカバリモードの場合）または NACK（EEP 応答モードの場合）を返す。
ウェイクアップ中：	SCL ラインの Low ホールドを行わない。
ウェイクアップ後：	IIC の初期化後、通常動作が継続する。

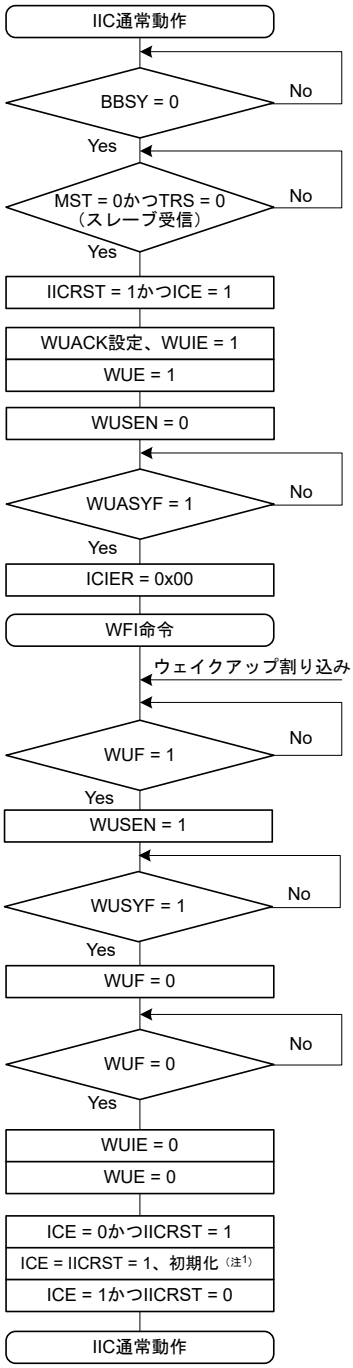
スレーブアドレスが不一致の場合、スレーブ動作が継続します。

注. ウェイクアップ中に SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。

注. コマンドリカバリモードと EEP 応答モードは、内部リセット状態 (ICE = IICRST = 1) です。したがって、スレーブアドレスが一致しても、ICSR1 レジスタのフラグ（HOA、GCA、ASS0、ASS1、ASS2）は設定されません。

図 39.35 にコマンドリカバリモードと EEP 応答モードの動作例を示します。図 39.37 に詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 39.36 に示す処理に従ってください。



[1] [1] I²Cがスタンバイ状態になり、バスがオープン状態になるのを待つ

[2] [2] 内部リセットのアサート

[3] [3] 必要なウェイクアップモードに応じてWUACKを設定、ウェイクアップ割り込みを許可

[4] [4] ウェイクアップ機能を有効

[5] [5] IIC動作状態をPCLK同期からPCLK非同期へ変更

[6] [6] WUI以外のすべての割り込み要求を禁止

[7] [7] IICへのPCLK供給を停止 （IICは受信を続ける）

[8] [8] ウェイクアップ割り込み（アドレス一致）によりIICへのPCLK供給を開始

[9] [9] WUFフラグが1になるのを待つ

[10] [10] IIC動作状態をPCLK非同期からPCLK同期へ変更

[11] [11] WUFに0を書く
（割り込み処理から復帰する前に読み出しをしてWUF = 0であることを確認する）

[12] [12] ウェイクアップ割り込みを禁止

[13] [13] ウェイクアップ機能を無効

[14] [14] IICリセット（ICE = 0かつIICRST = 1）

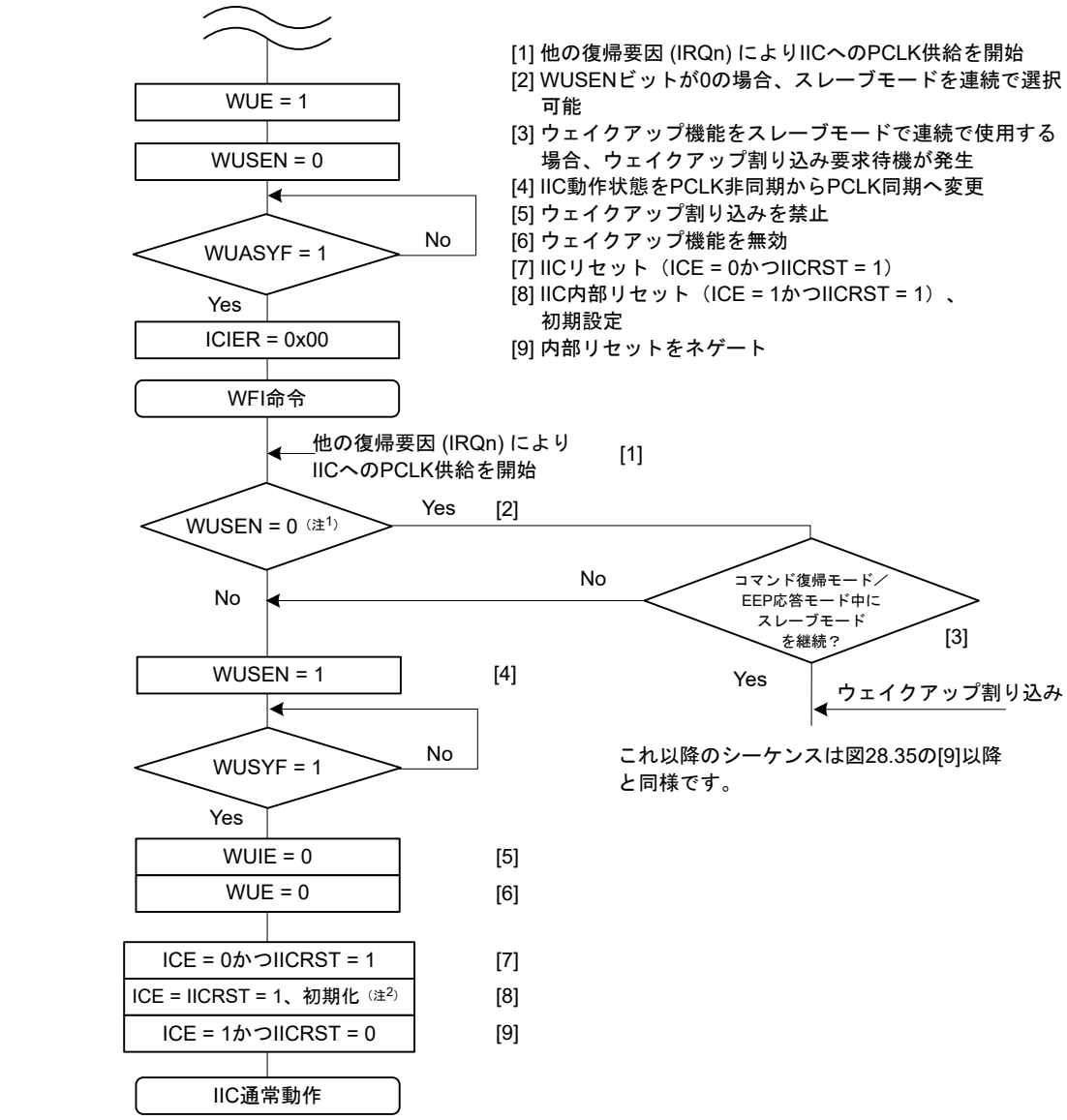
[15] [15] IIC内部リセット（ICE = 1かつIICRST = 1）、初期設定

[16] [16] 内部リセットをネゲート

注. PCLK = PCLKB
注 1. IIC の初期化の詳細は、「39.3.2. 初期設定」を参照してください。

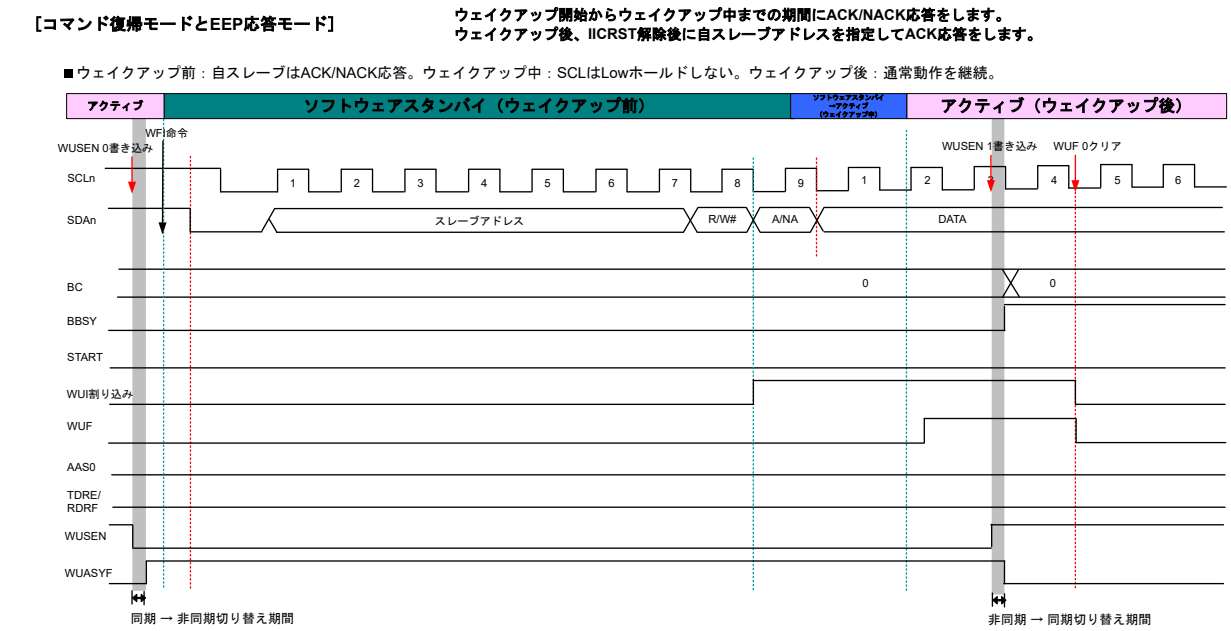
図 39.35 コマンドリカバリモードと EEP 応答モードの動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. ウェイクアップ機能使用時の注意事項を参照してください。



注. PCLK = PCLKB
注 1. MCU では、IIC の WUSEN ビットは常に 0 です。
注 2. IIC 初期設定の詳細は、「39.3.2. 初期設定」を参照してください。

図 39.36 コマンドリカバリモードと EEP 応答モードの動作例（IIC ウェイクアップ割り込み以外の割り込み（たとえば IRQn）によるウェイクアップの場合）



注. n = 0

図 39.37 コマンドリカバリモードと EEP 応答モードのタイミング

39.9 SCL の自動 Low ホールド機能

39.9.1 送信データの誤送信防止機能

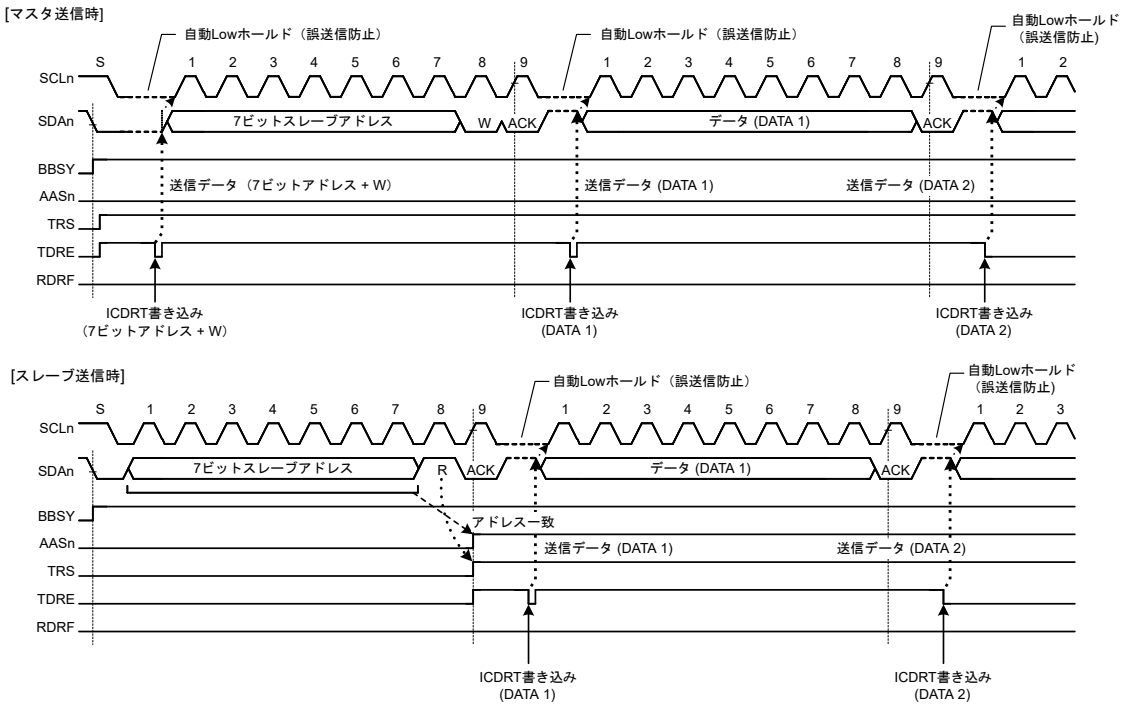
IIC が送信モード (ICCR2.TRS = 1) のとき、I^2C バスシフトレジスタ (ICDRS) が空の状態で、かつ I^2C バス送信データレジスタ (ICDRT) にデータが書かれていないと、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の間の Low 区間

スレーブ送信モード

- 9 クロック目と 1 クロック目の間の Low 区間



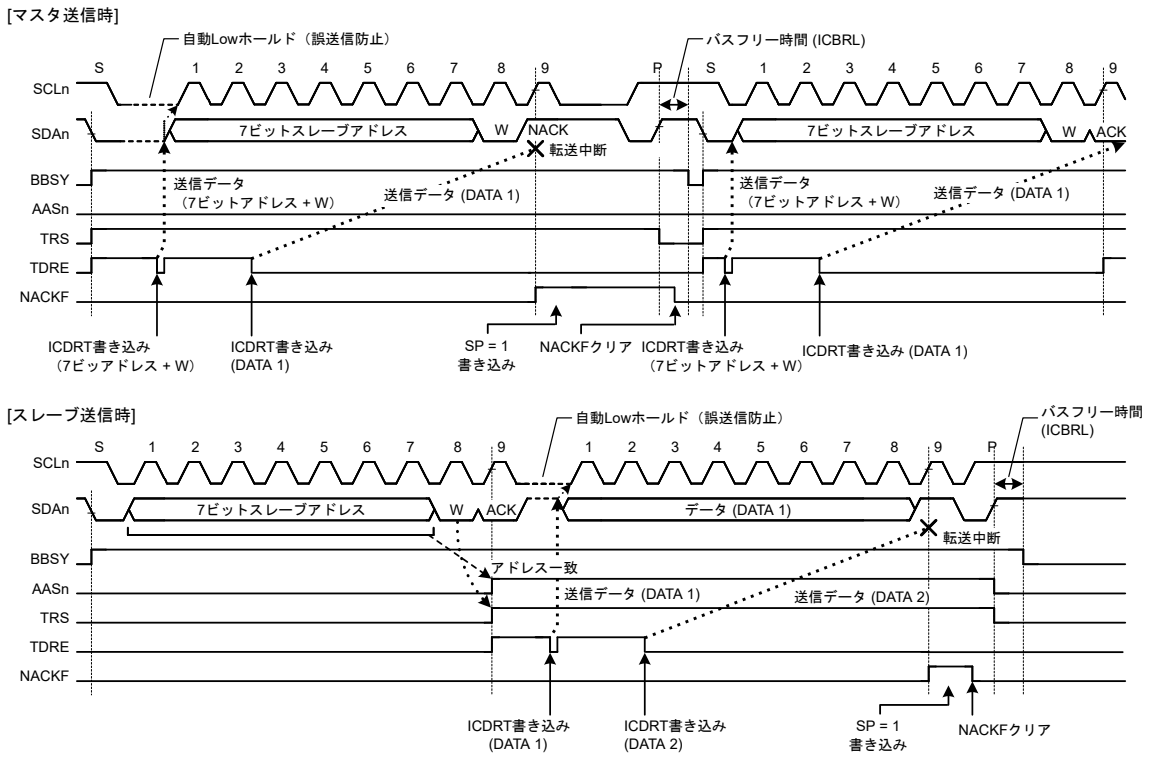
注. n = 0, 1, y = 0～2

図 39.38 送信モード時の自動 Low ホールド動作

39.9.2 NACK 受信転送中断機能

この機能は、送信モード時 (ICCR2.TRS = 1)、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKE ビットが 1 のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE = 0)、SCL クロックの 9 クロック目の立ち下がりで、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することができます。

この機能によって転送動作が中断された場合 (ICSR2.NACKF = 1)、以後の送受信動作は行われません。送受信動作を再開するには、リスタートコンディション発行後に NACKF フラグを 0 にし、再試行する必要があります。あるいは、ストップコンディション発行後に NACKF フラグを 0 にしてから、スタートコンディションの発行により送受信動作を再開してください。



注. n = 0, 1, y = 0～2

図 39.39 NACK 受信時のデータ転送中断動作（NACKE = 1 の場合）

39.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS = 0) に、受信データフル (ICSR2.RDRF = 1) の状態で受信データ（ICDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行され、IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(1) WAIT ビットによる 1 バイト受信動作／自動 Low ホールド機能

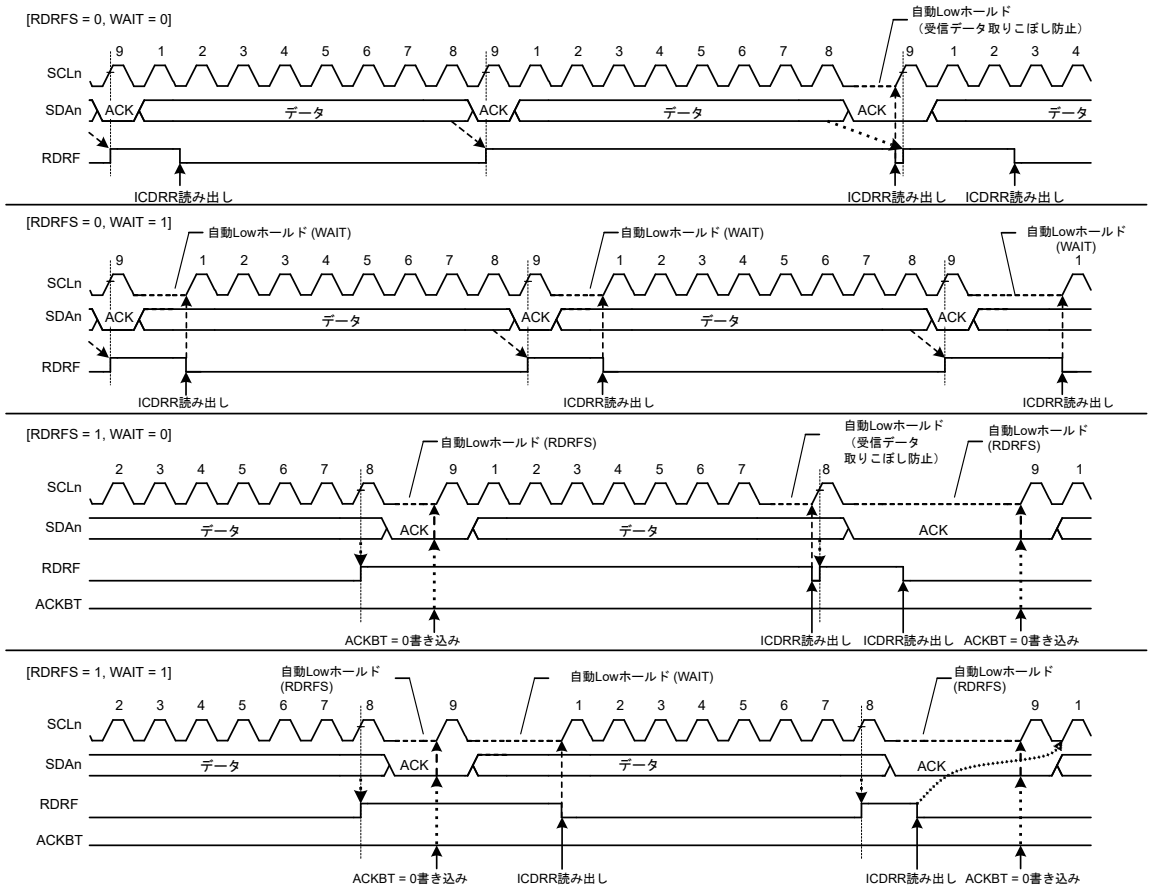
ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクノリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1（受信データフル）になり、8 クロック目の立ち下がりで自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。



注. n = 0, 1

図 39.40 受信モード時の自動 Low ホールド動作（RDRFS および WAIT ビットを使用）

39.10 アービトレーションロスト検出機能

IIC は、I²C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK 送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

39.10.1 マスタアービトレーションロスト検出機能（MALE ビット）

IIC はスタートコンディション発行の際、SDAn ラインを Low にします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、IIC は自身のスタートコンディションをエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が

優先されます。同様に、バスビジー (ICCR2.BBSY = 1) の状態で ICCR2.ST ビットを 1 にすることでスタートコンディション発行を要求すると、IIC はこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中のスタートコンディション発行による転送の失敗を防止します。

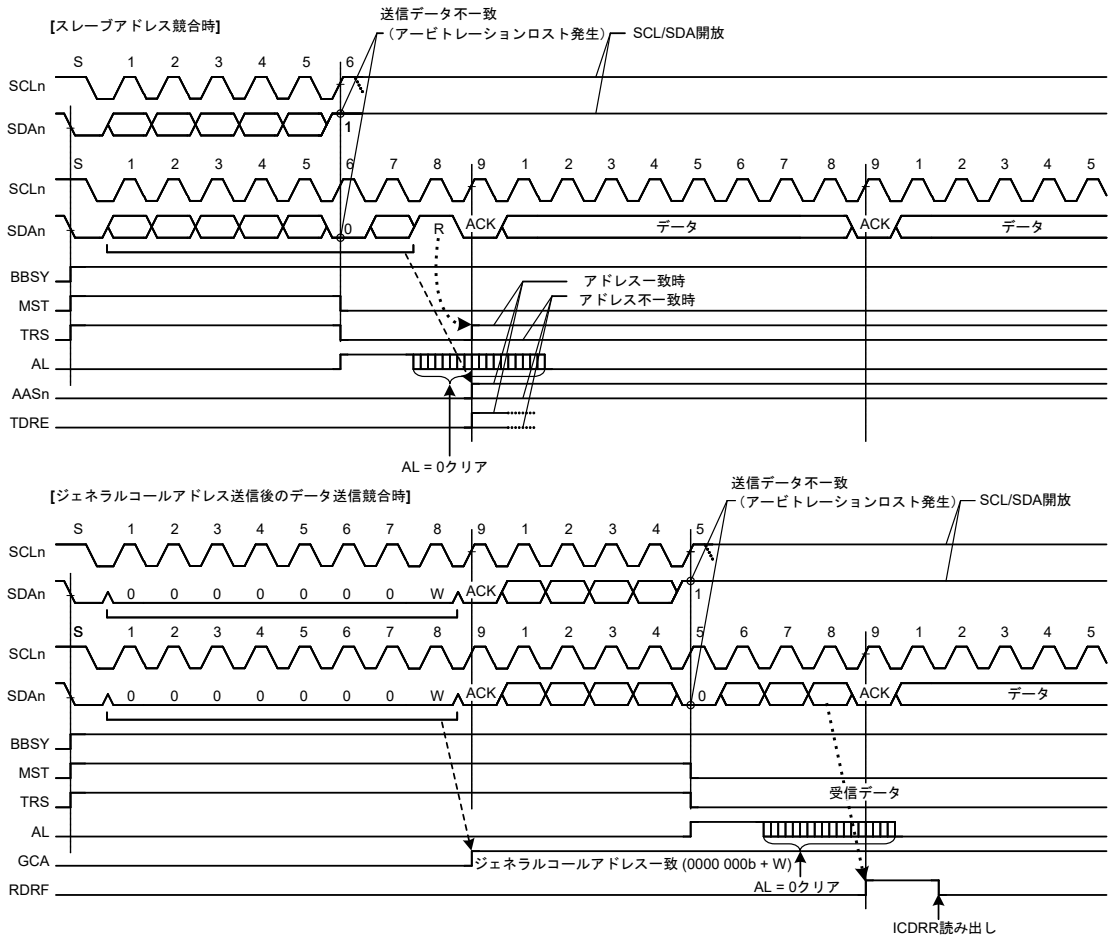
スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致の場合（内部 SDA 出力として High 出力、すなわち SDAn 端子がハイインピーダンス状態で、SDAn ラインに Low が検出されたとき）、IIC はアービトレーションロストを発生させます。

マスタアービトレーションロストが発生した後、IIC はただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IIC はスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALE ビットが 1（マスタアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき検出されます。

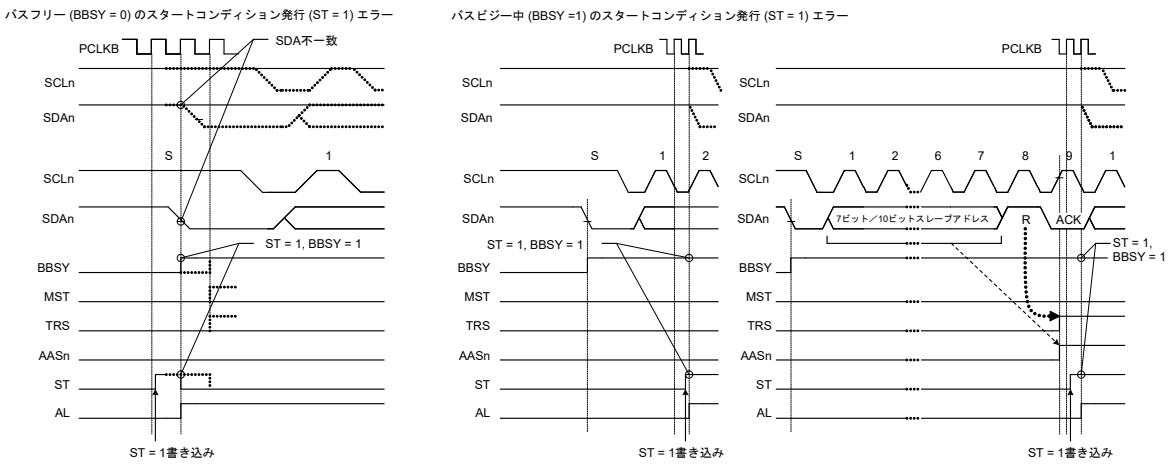
[マスタアービトレーションロスト条件]

- ICCR2.BBSY フラグが 0 の状態で ICCR2.ST ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと SDAn ラインのレベルが不一致のとき（スタートコンディション発行エラー）
- ICCR2.BBSY フラグが 1 の状態で ICCR2.ST ビットを 1 にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時 (ICCR2.MST, TRS = 11b)、アクノリッジを除く送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致のとき



注. n = 0, 1

図 39.41 マスタアービトレーションロスト検出動作例（MALE = 1 の場合）

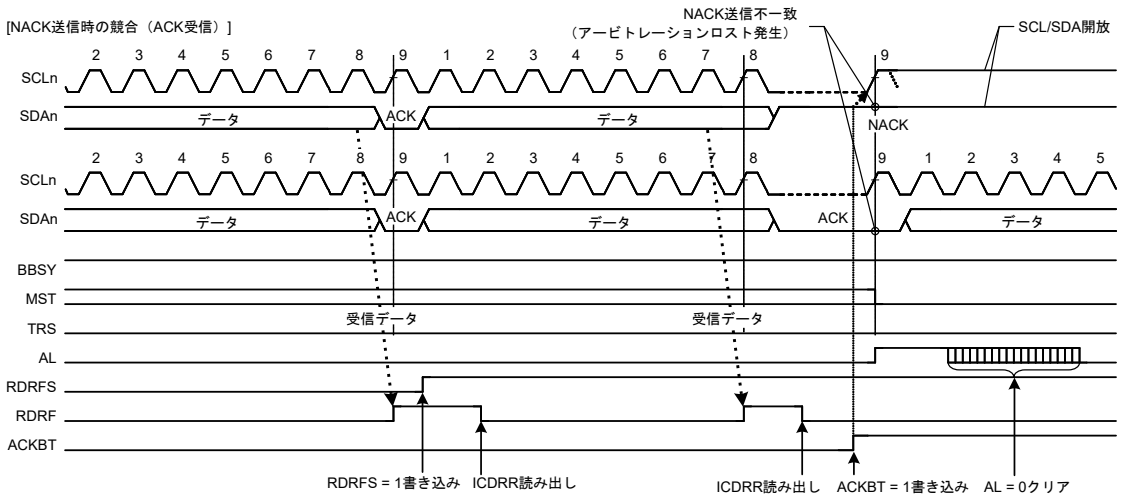


注. PCLK = PCLKB
注. n = 0, 1, y = 0～2

図 39.42 スタートコンディション発行時のアービトレーションロスト（MALE = 1 の場合）

39.10.2 NACK 送信中のアービトレーションロスト検出機能（NALE ビット）

この機能は、受信モードで NACK 送信時に、内部の SDA 出力レベルと SDAn ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態）であれば、SDAn ラインに Low が検出されたとき、アービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。 図 39.43 に、NACK 送信中のアービトレーションロスト検出の動作例を示します。



注. n = 0, 1

図 39.43 NACK 送信中のアービトレーションロスト検出の動作例（NALE = 1 の場合）

以下では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、割り付けられたアドレスコマンド後の Get UDID 汎用処理で割り付けられたアドレスの UDID（ユニークデバイス ID）が不一致の場合に、0xFF 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1（NACK 送信中アービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT = 1)、内部の SDA 出力レベルと SDAn ラインの状態（ACK 受信）が不一致のとき

39.10.3 スレーブアービトレーションロスト検出機能（SALE ビット）

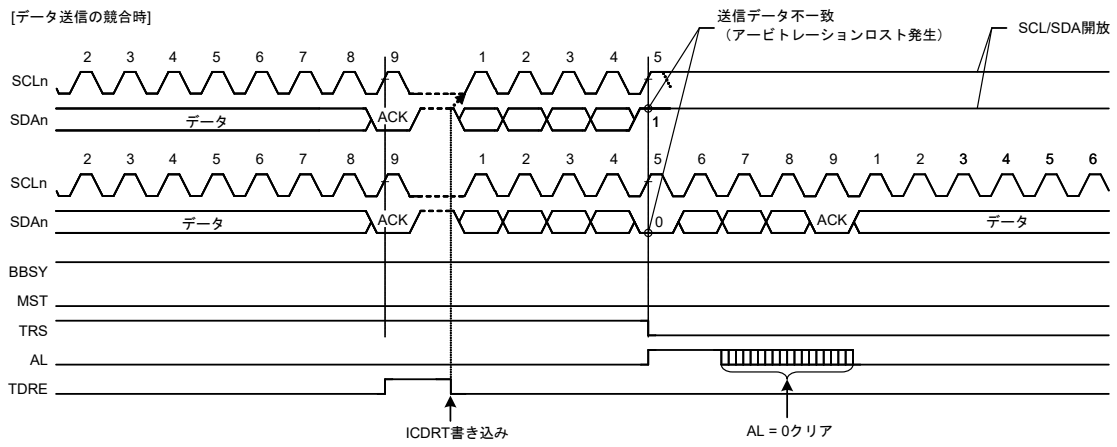
この機能は、スレーブ送信モード時に、送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態）であれば、SDAn ラインに Low が検出されたとき、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

スレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な 0xFF 送信処理を省くことができます。

ICFER.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS = 01b)、アクノリッジを除く送信データ（内部 SDA 出力レベル）と SDAn ラインが不一致のとき



注. n = 0, 1

図 39.44 スレーブアービトレーションロスト検出動作例（SALE = 1 の場合）

39.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

39.11.1 スタートコンディション発行動作

IIC は、ICCR2.ST ビットが 1 のときにスタートコンディションを発行します。ST ビットを 1 にすると、スタートコンディション要求が行われ、ICCR2.BBSY フラグが 0（バスフリー状態）の場合、IIC はスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IIC は自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行方法：

1. SDAn ラインを立ち下げる（High から Low に遷移）。
2. ICBRH レジスタで設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCLn ラインを立ち下げる（High から Low に遷移）。
4. SCLn ラインの Low を検出後、ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。

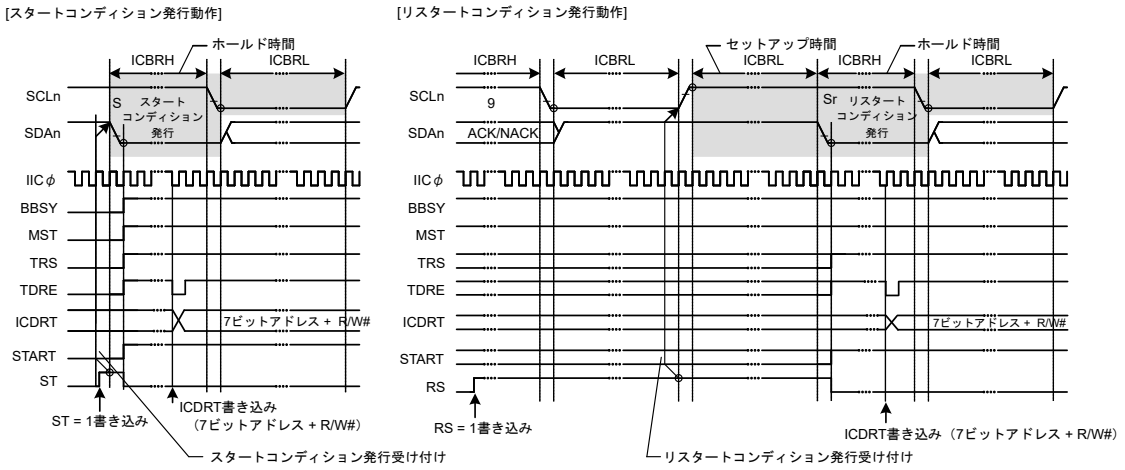
39.11.2 リスタートコンディション発行動作

IIC は、ICCR2.RS ビットが 1 のときリスタートコンディションを発行します。RS ビットを 1 にすると、リスタートコンディション要求が行われ、ICCR2.BBSY フラグが 1（バスビジー状態）で、かつ ICCR2.MST ビットが 1（マスタモード）の場合、IIC はリスタートコンディションを発行します。

リスタートコンディションの発行方法：

1. SDAn ラインを解放する。
2. ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。
3. SCLn ラインを解放する（Low から High に遷移）。
4. SCLn ラインの High を検出後、ICBRL レジスタで設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDAn ラインを立ち下げる（High から Low に遷移）。
6. ICBRH レジスタで設定した時間とリスタートコンディションのホールド時間が経過したことを確認する。
7. SCLn ラインを立ち下げる（High から Low に遷移）。
8. SCLn ラインの Low を検出後、ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。

注. リスタートコンディション要求の発行時、ICCR2.RS が 0 であることを確認してから、ICDRT レジスタにスレーブアドレスを書いてください。ICCR2.RS が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。



注. n = 0, 1

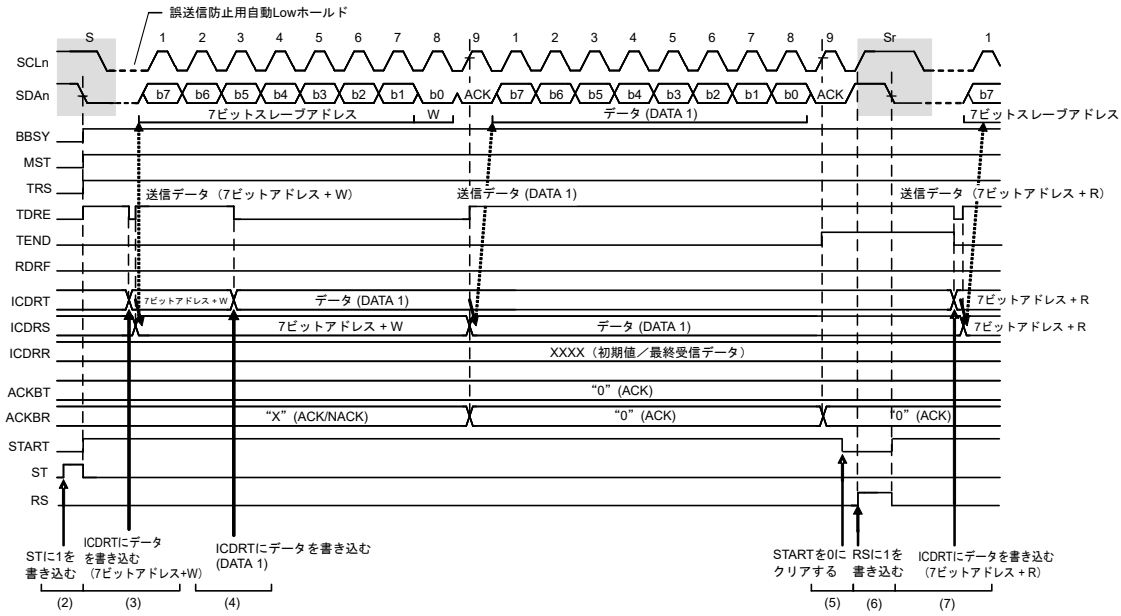
図 39.45 スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）

図 39.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後のリスタートコンディション発行動作]

1. 初期設定を行います。詳細は、「39.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、内部の SDA 出力レベルと SDAn ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正常に行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビットと W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、あるいは、リスタートコンディションまたはストップコンディションが発行されるまでの間、IIC は自動的に SCLn ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ってから、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
6. ICCR2.RS ビットを 1（リスタートコンディション要求）にします。IIC はこの要求を受け付けると、リスタートコンディションを発行します。

7. ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。



注. n = 0, 1

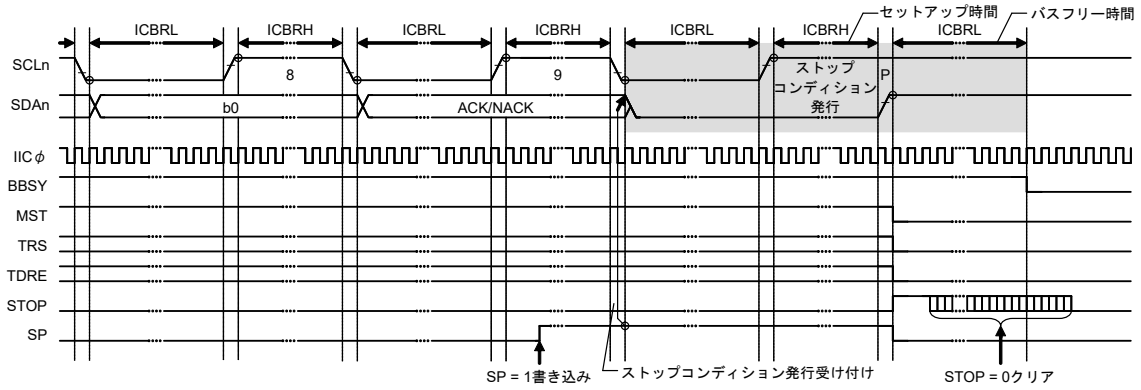
図 39.46 マスタ送信後のリスタートコンディション発行タイミング

39.11.3 ストップコンディション発行動作

IIC は、ICCR2.SP ビットが 1 のときストップコンディションを発行します。SP ビットを 1 にすると、ストップコンディション要求が行われ、ICCR2.BBSY フラグが 1（バスビジー状態）で、かつ ICCR2.MST ビットが 1（マスタモード）の場合、IIC はストップコンディションを発行します。

ストップコンディションの発行方法：

1. SDAn ラインを立ち下げる（High から Low に遷移）。
2. ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。
3. SCLn ラインを解放する（Low から High に遷移）。
4. SCLn ラインの High 検出後、ICBRH レジスタで設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDAn ラインを解放する（Low から High に遷移）。
6. ICBRL レジスタで設定した時間とバスフリー時間が経過したことを確認する。
7. BBSY フラグをクリアしてバス権を解放する。



注. n = 0, 1

図 39.47 ストップコンディション発行タイミング（SP ビットの使用）

39.12 バスハングアップ

I2C バスではノイズなどの影響によりマスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDAn ライン上のレベルが固定されたままバスハングアップを起こす場合があります。

バスハングアップを管理するため、IIC は SCLn ラインを監視してハングアップを検出するためのタイムアウト検出機能と、以下のようなバス状態を解除するための SCL クロック追加出力機能を備えています。

- 同期ズレによるバスハングアップ状態
- IIC リセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAI の各ビットをチェックすることで、IIC 自身と通信相手のどちらが SCLn ラインまたは SDAn ラインを Low にしているのか確認することが可能です。

39.12.1 タイムアウト検出機能

タイムアウト検出機能では、SCLn ラインに一定時間以上変化が見られない状態を検出できます。IIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

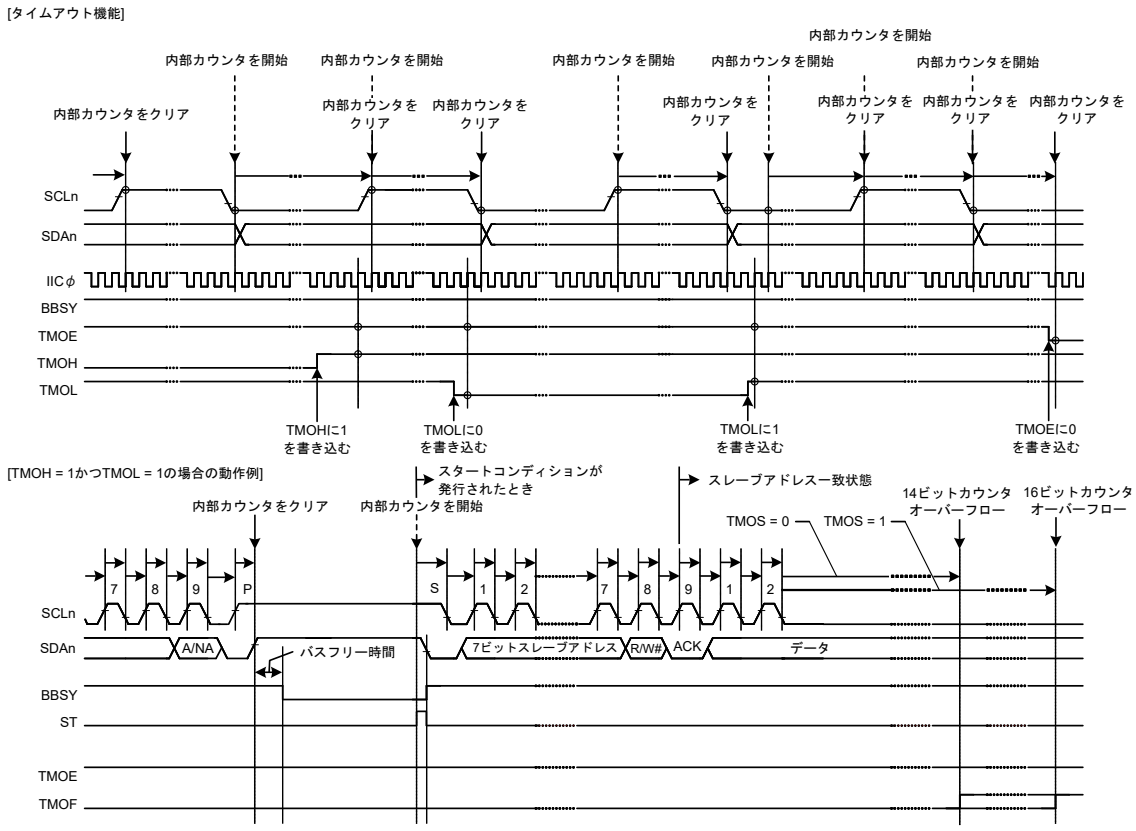
タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は、SCLn ラインの変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないために内部カウンタがオーバーフローすると、IIC はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOE ビットが 1 のときのみ有効です。以下の条件で SCLn ラインが Low 固定または High 固定の場合にバスハングアップを検出します。

- マスタモード (ICCR2.MST = 1) で、バスビジー (ICCR2.BBSY = 1)
- スレーブモード (ICCR2.MST = 0) で、IIC スレーブアドレス検出 (ICSR1 ≠ 0x00) かつバスビジー (ICCR2.BBSY = 1)
- スタートコンディション要求中 (ICCR2.ST = 1) で、バスフリー (ICCR2.BBSY = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして使用します。このカウンタは、ロングモード選択時 (ICMR2.TMOS = 0) は 16 ビットカウンタ、ショートモード選択時 (ICMR2.TMOS = 1) は 14 ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCLn ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH、TMOL ビットで選択することが可能です。TMOL ビットと TMOH ビットの両方を 0 にした場合、内部カウンタは動作しません。



注. n = 0, 1

図 39.48 タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビットの使用）

39.12.2 SCL クロック追加出力機能

マスタモード時、この機能は SCL クロックを追加出力して、スレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン Low 固定状態を解放します。この機能は主にマスタモードで使用され、SCL クロックを IIC から追加出力することによって、スレーブデバイスの SDAn ラインを Low 固定から解放します。この機能は、スレーブデバイスが SDAn ラインを Low 固定しているため、IIC がストップコンディションを発行できない状態のバスエラー発生時に、SCL クロックを 1 クロック単位で使用します。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

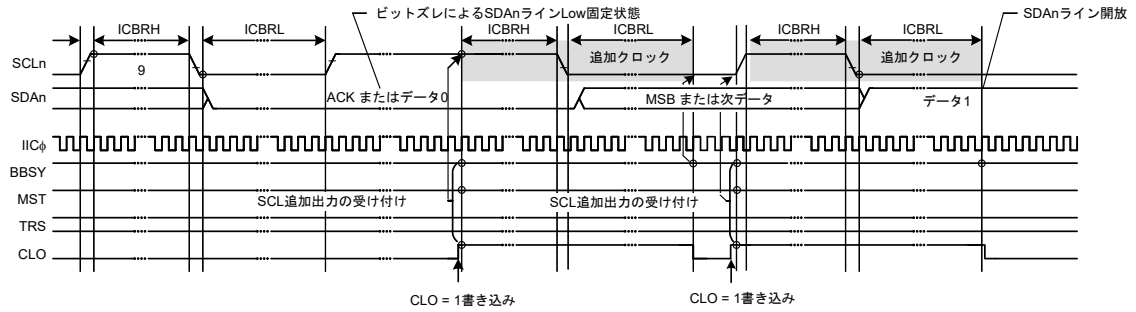
マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0]ビットおよび ICBRH、ICBRL レジスタで設定した周波数で、SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に 0 になります。このとき、ICCR2.BBSY = 1 の場合、SCL 端子は Low を出力し、ICCR2.BBSY = 0 の場合、SCL 端子は High になります。また、ソフトウェアで CLO ビットが 0 であることを確認した後、CLO ビットに 1 を書くことにより、追加クロックを連続的に出力することができます。

IIC がマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDAn ラインを Low に固定したままであると、ストップコンディションを出力できません。この機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDAn ラインの Low 固定状態を解放させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる SDAn ラインの解放は、ICCR1.SDAI フラグを読みだすことで確認できます。スレーブデバイスによる SDAn ラインの解放を確認した後、通信を終了させるため再度ストップコンディション発行してください。

[ICCR1.CLO ビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY = 0) またはマスタモード (ICCR2.MST = 1、BBSY = 1) のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 39.49 に SCL クロック追加出力機能（CLO ビット）の動作タイミングを示します。



注. n = 0, 1

図 39.49 SCL クロック追加出力機能（CLO ビット）

39.12.3 IIC リセット、内部リセット

IIC は自身をリセットする機能を備えています。IIC では 2 種類のリセットが用いられます。

- ICCR2.BBSY フラグを含めた全レジスタの初期化を行う IIC リセット
- 各種設定値を保持したまま IIC をスレーブアドレス一致状態から解放し内部カウンタの初期化を行う内部リセット

リセット後は、ICCR1.IICRST ビットを 0 にしてください。いずれのリセットも、SCLn 端子／ SDAn 端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態の解除に有効です。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IIC リセット (ICCR1.ICE, IICRST = 01b) 中は、スタートコンディションの有無など、バス状態の監視はできません。

IIC リセットと内部リセットの詳細については、「39.15. 各コンディション発行時のリセット、レジスタ、機能の状態」を参照してください。

39.13 SMBus 動作

IIC は、SMBus 仕様 (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10 kbps～100 kbps の範囲に収まるように、ICMR1.CKS[2:0]ビットと ICBRH および ICBRL レジスタを設定してください。また、データホールド時間の規定値 300 ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0]ビットの値を指定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL レジスタにはデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0～L2（SARL0、SARL1、SARL2）のいずれか 1 本を使用し、対応する SARUy.FS ビット (y = 0～2)（7 ビットまたは 10 ビットアドレスフォーマット選択ビット）を 0（7 ビットアドレスフォーマット）にしてください。

また、UDID（ユニークデバイス ID）送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

39.13.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn)を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間（スレーブデバイス）$T_{LOW:SEXT}$: 25 ms (max) 以内でなければいけません。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込み IIC の内部リセットを発行してバス解放動作を行う必要があります。内部リセットを行うと IIC は SCLn 端子と SDAn 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

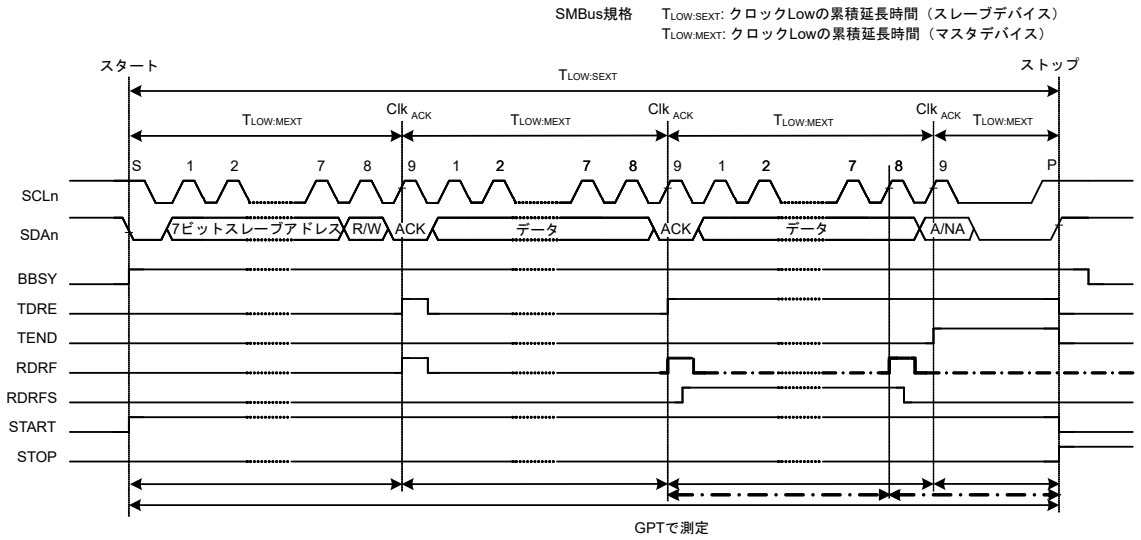
SMBus 通信では、マスタデバイスは下記に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、送信終了割り込み (IICn_TEI)、または受信データフル割り込み (IICn_RXI) を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) 以内であり、かつスタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ の値の合計が $T_{LOW:SEXT}$: 25 ms (max) 以内でなければいけません。

ACK 受信タイミング（SCL クロックの 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は ICSR2.TEND フラグ、マスタ受信モード時（マスタレシーバ）は ICSR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作（ICDRT レジスタへの書き込み）を中止してください。



注. n = 0, 1

図 39.50 SMBus タイムアウト測定

39.13.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や IIC の SMBus データ通信時の受信データチェックを行うことができます。CRC 演算器の生成多項式については「48. 巡回冗長検査 (CRC)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として最終バイトを受信したとき、結果（一致／不一致）に応じて ACK/NACK 送出を行う場合は、最終バイト受信時の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドしてください。

39.13.3 SMBus ホスト通知プロトコル（Notify ARP Master コマンド）

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト（または ARP マスタ）に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホストまたは ARP マスタとして動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があるため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

39.14 割り込み要因

IIC が発行する割り込み要求には、以下の 5 種類があります。

- 通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）
- 受信データフル
- 送信データエンプティ
- 送信終了

- ウェイクアップ機能中のアドレス一致

表 39.10 に割り込み要因の詳細を示します。受信データフル割り込みおよび送信データエンプティ割り込みにより、DTC または DMAC を起動してデータ転送を行うことができます。

表 39.10　割り込み要因

シンボル	割り込み要因	割り込みフラグ	DTC または DMAC の起動	割り込み発生条件
IICn_EEI(注5)	通信エラー／イベント発生	ICSR2.AL	不可能	AL = 1, ALIE = 1
		ICSR2.NACKF		NACKF = 1, NAKIE = 1
		ICSR2.TMOF		TMOF = 1, TMOIE = 1
		ICSR2.START		START = 1, STIE = 1
		ICSR2.STOP		STOP = 1, SPIE = 1
IICn_RXI(注2)(注5)	受信データフル	ICSR2.RDRF	可能	RDRF = 1, RIE = 1
IICn_TXI(注1)(注5)	送信データエンプティ	ICSR2.RDRF	可能	TDRE = 1, TIE = 1
IICn_TEI(注3)(注5)	送信終了	ICSR2.TEND	不可能	TEND = 1, TEIE = 1
IIC0_WUI(注4)	ウェイクアップ機能中のスレーブアドレス一致	ICSR2.WUF	不可能	スレーブアドレス一致 スレーブ受信完了 RWAK 動作 ASY0 = 1 WUIE = 1

注.　CPU による周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返されることがあります。
注 1.　IICn_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP = 1) で自動的に 0 になります。
注 2.　IICn_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。
注 3.　IICn_TEI 割り込みを使用する場合、IICn_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP = 1) で自動的に 0 になります。
注 4.　チャネル 0 のみウェイクアップ機能があり、IIC0_WUI はチャネル 0 のみです。
注 5.　チャネル番号 (n = 0～2)。

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

39.14.1　IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作

対応する ICU.IELSRn.IR フラグが 1 のときに、IICn_TXI 割り込みまたは IICn_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます。1 要因あたり 1 要求を内部に保持できます。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されていた割り込み要求が出力されます。通常の状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。これらは、対応する周辺モジュール側の割り込み許可ビットを 0 にすることでもクリアが可能です。

39.15　各コンディション発行時のリセット、レジスタ、機能の状態

IIC は、リセット、IIC リセット、および内部リセットの機能を備えています。表 39.11 に、各コンディション発行時のリセット、レジスタ、機能の状態間の関係を示します。

表 39.11　各コンディション発行時のリセット、レジスタ、機能の状態 (1/2)

レジスタ		リセット	IIC のリセット (ICE = 0, IICRST = 1)	内部リセット (ICE = 1, IICRST = 1)	スタートコンディションまたはリスタートコンディション検出	ストップコンディション検出
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持
	SCLO, SDAO		リセット	リセット		
	その他			保持		

表 39.11 各コンディション発行時のリセット、レジスタ、機能の状態 (2/2)

レジスタ		リセット	IIC のリセット (ICE = 0, IICRST = 1)	内部リセット (ICE = 1, IICRST = 1)	スタートコンディションまたはリスタートコンディション検出	ストップコンディション検出
ICCR2	BBSY	リセット	リセット	保持	セット	リセット
	ST, RS			リセット	リセット	保持
	SP					リセット
	TRS				セットまたは保持	
	MST					
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TEND	リセット	リセット	リセット	保持	リセット
	TDRE				セットまたは保持	
	START				セット	
	STOP				保持	セット
	その他				保持	保持
ICWUR		リセット	リセット	保持	保持	保持
SARL0, SARL1, SARL2 SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作
ICWUR2	WUSEN	リセット	リセット	保持	保持	保持
	その他					保持または動作またはリセット

39.16 イベントリンク出力機能

IIC0 モジュールは、ELC に対して以下の要因によってイベント出力を行います。

(1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(2) 受信データフル

受信データレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データエンプティ

送信データレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

39.16.1 割り込み処理とイベントリンクの関係

IIC の各割り込み（表 39.10 参照）には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットがセットされている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、表 39.10 を参照してください。

39.17 使用上の注意事項

39.17.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、IIC の動作禁止／許可を設定することが可能です。リセット後の値では、IIC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

39.17.2 転送開始に関する注意事項

転送開始 (ICCR1.ICE = 1) 時点で IIC の割り込みに対応した ICU.IELSRn.IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で ICU.IELSRn.IR フラグを 1 にして転送を開始すると、転送開始後、割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない動作となることがあります。

転送開始前に割り込みをクリアする方法：

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 周辺機能で対応する割り込み許可ビット（ICIER.TIE など）を 0 にする。
3. 周辺機能で対応する割り込み許可ビット（ICIER.TIE など）を読み出して、それらの値が 0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

39.17.3 ソフトウェアスタンバイモード

ウェイクアップ機能を使用するとき、以下の設定は不要です。

- IIC が通信しているとき、ソフトウェアスタンバイモードに遷移する前に通信を停止するため、ICCR1.ICE を 0 に設定します。
- ソフトウェアスタンバイモードから復帰した後、通信を可能にするため ICCR1.ICE を 1 に設定します。

40. I3C バスインタフェース (I3C)

特定の HDR モードは適合性試験項目群 (CTS) に含まれていません。

HDR モード用の CTS が利用可能な場合、ルネサスは CTS 試験の確認を行います。

40.1 概要

40.1.1 機能概要

I3C バスインタフェース (I3C) には 1 チャネルあります。I3C モジュールは、NXP 社の I^2C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。

本章では、PCLK は PCLKA を指し、TCLK は I3CCLK を指します。

表 40.1 に I^2C の仕様を、表 40.2 に I3C の仕様を示します。

表 40.1 I^2C の仕様 (1/2)

項目	内容
動作モード	マスタ／スレーブモードを選択可能
データハンドラ	シングルバッファ転送
通信プロトコル	• I^2C バスフォーマット – スタンダードモード (Sm) : 0～100 kbps – ファストモード (Fm) : 0～400 kbps – ファストモードプラス (Fm+) : 0～1 Mbps – High-speed モード (Hs-mode) : 0～3.4 Mbps • SMBus フォーマット : 10～100 kbps
アドレスフォーマット	• 7 ビットアドレス • 10 ビットアドレス
アドレス検出	• スレーブアドレス（スタティックアドレス）（最大 3 アドレス） • ジェネラルコールアドレス • Hs モードマスタコード • デバイス ID • ホストアドレス • 10 ビットスレーブアドレッシング
クロックストレッチ	クロックストレッチ能力
ノイズフィルタ	• アナログノイズフィルタ • デジタルノイズフィルタ
割り込み要因	• 通常 Rx データバッファフル • 通常 Tx データバッファエンプティ • スタートコンディション検出 • ストップコンディション検出 • 送信終了 • NACK 検出 • アービトレーションロスト • タイムアウト検出 • ウェイクアップコンディション検出
エラー検出	• 回復不能内部エラー • NACK 受信 • 受信オーバーフローエラー／転送アンダーフローエラー • アービトレーションロストエラー • タイムアウトエラー
イベントリンク出力	• 通常 Rx データバッファフルイベント • 通常 Tx データバッファエンプティイベント • スタートコンディションイベント • ストップコンディションイベント • 送信終了イベント • NACK イベント • アービトレーションロストイベント • タイムアウトイベント

表 40.1 I^2C の仕様 (2/2)

項目	内容
ウェイクアップ要因	スレーブアドレスのアドレス検出
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	セキュリティ属性およびプリビレッジ属性が設定可能

表 40.2 I3C の仕様 (1/3)

項目	内容
動作モード	マスタ（メインマスタ／セカンダリマスタ）モード／スレーブモードを選択可能
データハンドラ	● マスタ： – 優先 FIFO バッファ転送 – 通常 FIFO バッファ転送 ● スレーブ： – 通常 FIFO バッファ転送
通信プロトコル	● SDR（I3C シングルデータレート）モード、最大 12.5 Mbps – プライベートメッセージ – ブロードキャストメッセージ（共通コマンドコード） – ダイレクトメッセージ（共通コマンドコード） ● HDR（I3C ハイデータレート）モード – HDR-DDR（デュアルデータレート）モード、最大 25 Mbps – HDR-TSL (Ternary Symbol Legacy) モード、最大 27.5 Mbps – HDR-TSP (Ternary Symbol Pure-bus) モード、最大 39.5 Mbps ● レガシー I^2C メッセージ – ファストモード (Fm)：0～400 kbps – ファストモードプラス (Fm+)：0～1 Mbps
In-band 割り込み	● スレーブ割り込み要求 ● バス権要求（セカンダリマスタのみ）
アドレスフォーマット	7 ビットアドレス
アドレス検出	● スレーブアドレス（スタティックアドレスまたはダイナミックアドレス） ● ブロードキャストアドレス (0x7E)
クロックストール	クロックストール能力
タイミング制御	● 同期タイミング制御 – 同期モード：同期基本モード ● 非同期タイミング制御 – 非同期モード 0：非同期基本モード – 非同期モード 1：非同期拡張モード

表 40.2 I3C の仕様 (2/3)

項目	内容
割り込み要因	• 回復不能内部エラー • 通常転送エラー • 通常転送中断 • 通常応答キューフル • 通常コマンドキューエンプティ • 通常 IBI キューエンプティ／フル • 通常 Rx データバッファフル • 通常 Tx データバッファエンプティ • 通常受信ステータスキューフル • 優先応答キューフル • 優先コマンドキューエンプティ • 優先受信データバッファフル • 優先送信データバッファエンプティ • 優先転送エラー • 優先転送中断 • スタートコンディション検出 • ストップコンディション検出 • HDR 終了パターン検出 • タイムアウト検出 • 同期タイミング • MREF カウンタオーバーフロー • MREF キャプチャ • 追加マスタによるバスイベント • ウェイクアップ条件検出
エラー検出	• 回復不能内部エラー • CRC エラー • パリティエラー • フレームエラー • アドレスヘッダエラー • アドレス NACK／ダイナミックアドレス割り当て NACK • 受信オーバーフローエラー／転送アンダーフローエラー • 中断 • I^2C 書き込みデータ転送に対し、NACK 受信 • タイムアウトエラー
イベントリンク出力	• 通常応答キューフルイベント • 通常コマンドキューエンプティイベント • 通常 IBI キューエンプティ／フル • 通常 Rx データバッファフルイベント • 通常 Tx データバッファエンプティイベント • 通常受信ステータスキューフルイベント • 優先応答キューフルイベント • 優先コマンドキューエンプティイベント • 優先受信データバッファフルイベント • 優先送信データバッファエンプティイベント • 回復不能内部エラーイベント • 通常転送エラーイベント • 通常転送中断イベント • 優先転送エラーイベント • 優先転送中断イベント • スタートコンディションイベント • ストップコンディションイベント • HDR 終了パターンイベント • タイムアウトイベント • 同期タイミングイベント • MREF カウンタオーバーフローイベント • MREF キャプチャイベント • 追加マスタによるバスイベント
ウェイクアップ要因	• マスタ：IBI（スタートコンディション検出）による SDA アサート • スレーブ : ブロードキャストアドレス (0x7E) とスレーブアドレスのアドレス検出

表 40.2 I3C の仕様 (3/3)

項目	内容
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	セキュリティ属性およびプリビレッジ属性が設定可能

表 40.3 I3C の入出力端子

チャネル	端子名	I/O	機能
I3C	I3C_SCL0	I/O	I3C シリアルクロック入出力端子
	I3C_SDA0	I/O	I3C シリアルデータ入出力端子

注. 本章では、I3C_SCL は I3C_SCL0 を指し、I3C_SDA は I3C_SDA0 を指します。

40.1.2 ブロック図

図 40.1 に、この I3C の主なコンポーネントを示します。

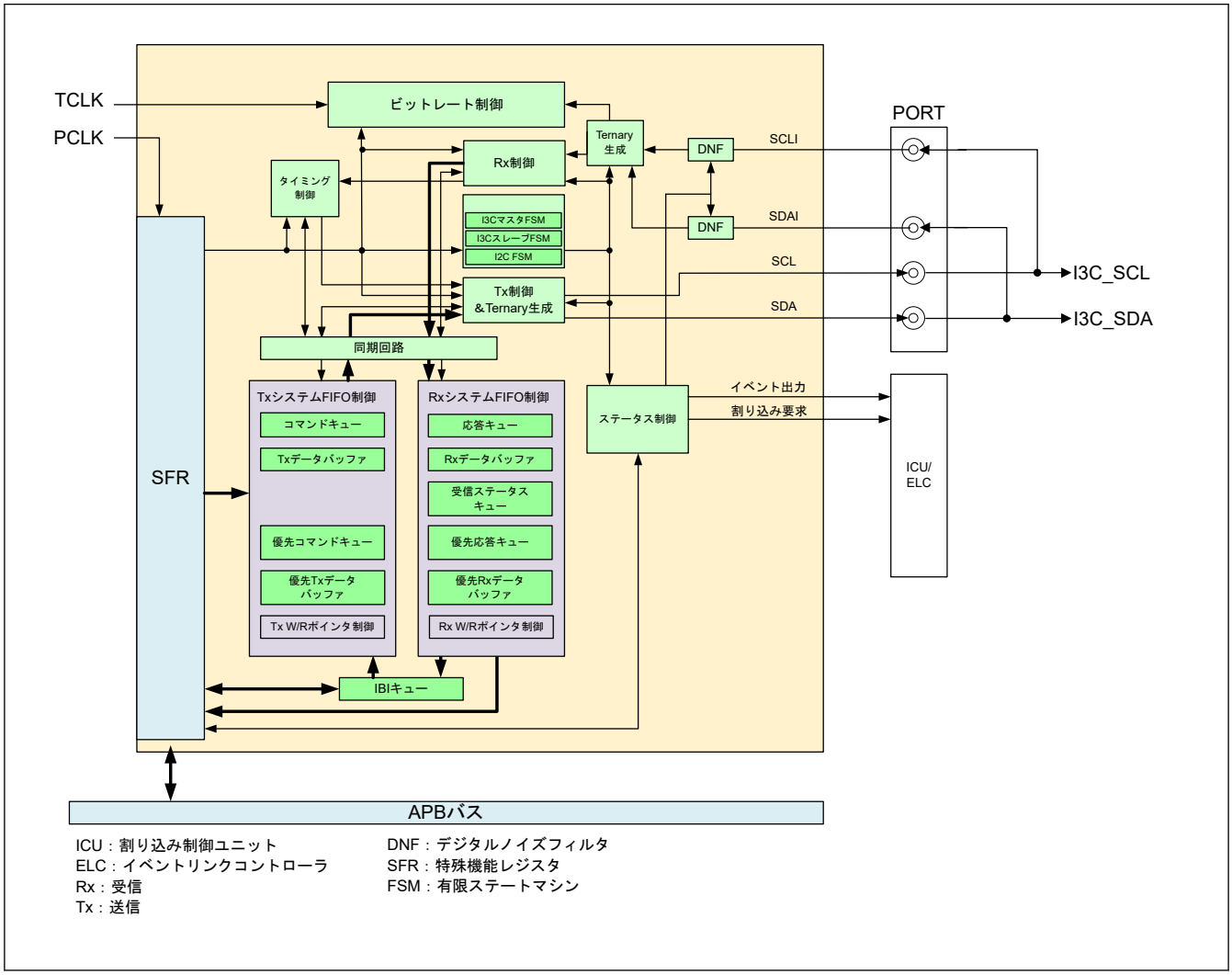


図 40.1 I3C のブロック図

40.2 レジスタの説明

40.2.1 PRTS : プロトコル選択レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PRTMD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PRTMD	プロトコルモード 0: I3C プロトコルモード 1: I^2C プロトコルモード	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

PRTMD ビット（プロトコルモード）

PRTMD = 0 : I3C FIFO バッファ転送（HCI と同等）

PRTMD = 1 : I^2C シングルバッファ転送

PRTS.PRTMD ビットの書き換えについては注意点があります。「40.7.4. PRTS.PRTMD ビットの書き換えに関する注意事項」を参照してください。

40.2.2 BCTL : バスコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BUSE	RSM	ABT	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	BMDS	—	—	—	—	—	—	INCBA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	INCBA	I3C ブロードキャストアドレスの包含(注1) 0: プライベート転送で、I3C ブロードキャストアドレスを含めない 1: プライベート転送で、I3C ブロードキャストアドレスを含める	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	BMDS	バスモード選択(注1) 0: レガシー包含バスモード禁止 1: レガシー包含（ミックス）バスモード許可	R/W

ビット	シンボル	機能	R/W
28:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	ABT	中断(注1) 0: I3C は動作中である 1: I3C が転送を中断した	R/W
30	RSM	レジューム(注2) 読み出し時の値： 0: I3C は動作中である 1: I3C がサスペンド状態	R/W
31	BUSE	バスイネーブル 0: I3C バス動作は禁止 1: I3C バス動作は許可	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 2. このビットはすべての I3C モードをサポートします。

INCBA ビット（I3C ブロードキャストアドレスの包含）

本ビットは、I3C ブロードキャストアドレス (0x7E) をプライベート転送に包含するかどうかを制御します。

I3C ブロードキャストアドレスをプライベート転送に包含しない場合、IBI のスレーブからの駆動ではアービトレーションできず、IBI の受信が遅延する可能性があります。

BMDS ビット（バスモード選択）

レガシー I^2C デバイスが I3C バスに存在するかどうかを示します。本ビットを設定すると、I3C は常に HDR-TSL プロトコル (Ternary Symbol Legacy Inclusive Bus) を HDR-TS 転送に使用します。

特定の転送モード (SDR, DDR, HDRTS) は、コマンド単位ベースで制御されます。

I3C は、このフィールドを用いて、HDR-TS 転送用に TSL (1) または TSP (0) のどちらかを選択します。

ABT ビット（中断）

本ビットに 1 を設定すると、I3C は今発行している転送を完了する前に、I3C バスの制御を放棄します。

ABORT 要求に対しては、I3C はデータバイトの転送または受信が完了した後で、I3C バスにストップコンディションを発行します。

ドライバは、バス動作ができるように ABT ビットをクリアします。

BCTL.ABT を設定して ABORT 処理をしたときは、応答デスクリプターの ERR_STATUS を無視してください。

RSM ビット（レジューム）

本ビットは、停止ステートに続けて I3C 動作を再開するために使用します。

I3C は、転送時に発生するいずれかの種類のエラーの結果として、PRSTDBG レジスタで示されたように停止ステートに遷移します。

エラーの種類は、NRSPQP、HRSPQP、NRSQP、および NIBIQP レジスタの ERR_STATUS フィールドで示されます。

I3C が停止ステートに遷移したら、RSM ビットに値 1 を書き込む必要があります。それにより、I3C 動作を再開します。（次のコマンドによって）一旦転送を再開すると、I3C は RSM ビットを自動的にクリアします。

BUSE ビット（バスイネーブル）

I3C によって、I3C バスの動作を許可または禁止します。

I3C を使用するときは、BUSE ビットを 1 にしてください。BUSE ビットを 1 にすると、I3C_SCL および I3C_SDA 端子は駆動状態になります。I3C を使用しないときは、BUSE ビットを 0 にしてください。BUSE ビットを 0 にすると、I3C_SCL および I3C_SDA 端子は非駆動状態になります。

ソフトウェアが本ビットを設定すると、初期化が完了したことと、I3C がプログラムされたレジスタ値（例えば、IBI 検出による SCL 生成など）を使用可能であることを併せて確認します。本ビットが設定されないと、I3C は IBI 受信による SCL 生成を行いません。

I3C バスの動作は、それが動作中でもソフトウェアで禁止にできます。しかし、

- IBI 受信中に禁止要求が発生した場合、IBI 受信が完了するまで実際の禁止処理は発生しません。
- ソフトウェアがこのフィールドから値 0 を読み出したら、I3C バス動作の禁止処理が完了したことを示します。
  コマンドがコマンドキューに残っていたら、BUSE を 0 に設定しないでください。

40.2.3 MSDVAD : マスタデバイスアドレスレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x018

Bit position:	31	30	29	28	27	26	25	24	23	22						16
Bit field:	MDYADV	—	—	—	—	—	—	—	—	MDYAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:16	MDYAD[6:0]	マスタダイナミックアドレス	R/W
30:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	MDYADV	マスタダイナミックアドレス有効 0: マスタダイナミックアドレスフィールドが無効である 1: マスタダイナミックアドレスフィールドが有効である	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードをサポートします。

MDYAD[6:0]ビット（マスタダイナミックアドレス）

本フィールドは、I3C マスタダイナミックアドレスをプログラムするために使用します。I3C は、本アドレスを I3C インタフェースモード（スレーブまたはセカンダリマスタの役割）でのマスタトランザクションへの応答に使用します。

I3C メインマスタモードでは、ソフトウェアはそのダイナミックアドレスをセルフアサインするようにダイナミックアドレスをプログラムします。

MDYADV ビット（マスタダイナミックアドレス有効）

本ビットは、MDYAD フィールドが有効であるかどうかを示します。

I3C メインマスタモードでは、ユーザーはダイナミックアドレスをセルフアサインするように本ビットを 1 に設定します。

注. MSDVAD と BCTL の設定後 BUSE = 1 で、デバイスはメインマスタとして動作します。
MSDVAD 設定をしないで、SVDCT.TBCR76[1:0] = 00b（デバイスロールがスレーブ）設定、および BCTL.BUSE = 1 設定をすると、デバイスはスレーブとして動作します。
MSDVAD 設定をしないで、MSDCTm.RBCR76[1:0] = 01b（デバイスロールがマスタ）設定、および BCTL.BUSE = 1 設定をすると、デバイスはスレーブとして動作します。

40.2.4 RSTCTL : リセットコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTLRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	HRDBRST	HTDBRST	HRSPQRST	HCMDQRST	—	—	RSQRST	IBIQRST	RDBRST	TDBRST	RSPQRST	CMDQRST	RI3CRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RI3CRST	I3C ソフトウェアリセット 0: I3C リセットを解除する 1: I3C リセットを行う	R/W
1	CMDQRST	通常コマンドキューソフトウェアリセット(注1) 0: I3C の通常コマンドキューをフラッシュしない 1: I3C の通常コマンドキューをフラッシュする	R/W
2	RSPQRST	通常応答キューソフトウェアリセット(注1) 0: I3C の通常応答キューをフラッシュしない 1: I3C の通常応答キューをフラッシュする	R/W
3	TDBRST	通常送信データバッファソフトウェアリセット(注1) 0: I3C の通常送信データバッファをフラッシュしない 1: I3C の通常送信データバッファをフラッシュする	R/W
4	RDBRST	通常受信データバッファソフトウェアリセット(注1) 0: I3C の通常受信データバッファをフラッシュしない 1: I3C の通常受信データバッファをフラッシュする	R/W
5	IBIQRST	通常 IBI キューソフトウェアリセット(注1) 0: I3C の通常 IBI キューをフラッシュしない 1: I3C の通常 IBI キューをフラッシュする	R/W
6	RSQRST	通常受信ステータスキューソフトウェアリセット(注2) 0: I3C の通常受信ステータスキューをフラッシュしない 1: I3C の通常受信ステータスキューをフラッシュする	R/W
8:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	HCMDQRST	優先コマンドキューソフトウェアリセット(注3) 0: I3C の優先コマンドキューをフラッシュしない 1: I3C の優先コマンドキューをフラッシュする	R/W
10	HRSPQRST	優先応答キューソフトウェアリセット(注3) 0: I3C の優先応答キューをフラッシュしない 1: I3C の優先応答キューをフラッシュする	R/W
11	HTDBRST	優先送信データバッファソフトウェアリセット(注3) 0: I3C の優先送信データバッファをフラッシュしない 1: I3C の優先送信データバッファをフラッシュする	R/W
12	HRDBRST	優先受信データバッファソフトウェアリセット(注3) 0: I3C の優先受信データバッファをフラッシュしない 1: I3C の優先受信データバッファをフラッシュする	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	INTLRST	内部ソフトウェアリセット 0: 一部のレジスタおよび内部状態の解放 1: 一部のレジスタおよび内部状態のリセット	R/W

ビット	シンボル	機能	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 3. このビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

各レジスタのリセットについては、「40.6. リセットの説明」を参照してください。

RI3CRST ビット（I3C ソフトウェアリセット）

ドライバでこのビットを 1 にすると、I3C はリセットし無効になります。

全レジスタはリセット値に復帰し、ソフトウェアは I3C を再度初期化します。

I3C のリセット完了時に、このフィールドは自動的にクリアされます。また、このフィールドは I3C のすべてのキューもリセットします。

注. このフィールドに 1 の値を含む書き込みを行うと、不定の動作となることがあります。

CMDQRST ビット（通常コマンドキューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の通常コマンドキューをフラッシュします。

通常コマンドキューのリセット完了時に、このフィールドは自動的にクリアされます。

RSPQRST ビット（通常応答キューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の通常応答キューをフラッシュします。

通常応答キューのリセット完了時に、このフィールドは自動的にクリアされます。

TDBRST ビット（通常送信データバッファソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の通常送信データバッファをフラッシュします。

通常送信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

RDBRST ビット（通常受信データバッファソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の通常受信データバッファをフラッシュします。

通常受信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

IBIQRST ビット（通常 IBI キューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の通常 IBI キューをフラッシュします。

通常 IBI キューのリセット完了時に、このフィールドは自動的にクリアされます。

RSQRST ビット（通常受信ステータスキューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の通常受信ステータスキューをフラッシュします。

通常受信ステータスキューのリセット完了時に、このフィールドは自動的にクリアされます。

HCMDQRST ビット（優先コマンドキューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の優先コマンドキューをフラッシュします。

優先コマンドキューのリセット完了時に、このフィールドは自動的にクリアされます。

HRSPQRST ビット（優先応答キューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の優先応答キューをフラッシュします。

優先応答キューのリセット完了時に、このフィールドは自動的にクリアされます。

HTDBRST ビット（優先送信データバッファソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の優先送信データバッファをフラッシュします。

優先送信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

HRDBRST ビット（優先受信データバッファソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の優先受信データバッファをフラッシュします。

優先受信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

INTLRST ビット（内部ソフトウェアリセット）

このビットを 1 にすると、一部のレジスタをリセットします。リセットされるレジスタの詳細は、「40.6. リセットの説明」を参照してください。

注. バス動作許可中に内部ソフトウェアリセットを設定するときは、I3C バスに接続された I3C スレーブからの IBI との競合を防ぐため、あらかじめ DISEC CCC を使用して I3C スレーブへの IBI 送信を禁止しておきます。

40.2.5 PRSST : 現在ステートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PRSSTWP	—	—	TRMD	—	CRMS	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CRMS	現在のマスタ(注2) 0: マスタが現在のマスタではなく、転送を行う前にバスオーナーシップを要求し取得する必要がある 1: マスタが現在のマスタであり、その結果、転送を行うことができる	R/W(注1)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TRMD	送信／受信モード(注3) 0: 受信モード 1: 送信モード	R
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PRSSTWP	現在ステートライトプロテクト(注2) 0: CRMS ビットは保護されます 1: CRMS ビットは書き込み可能である（対象ビットの値と同時に書き込みするとき）	W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. PRSSTWP ビットが 1 のとき、CRMS ビットへの書き込みが可能です。
注 2. このビットは I²C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。
注 3. このビットは I²C モードをサポートします。

CRMS ビット（現在のマスタ）

各動作モードでの設定条件とリセット条件を示します。

動作モード［I²C/I3C 共通］

［0 になる条件］

- ソフトウェアで PRSST.CRMS に 0 を書いたとき

［1 になる条件］

- ソフトウェアで PRSST.CRMS に 1 を書いたとき

動作モード［I^2C］

［0 になる条件］

- STOP 発行時
- マスタアービトレーションロスト時

［1 になる条件］

- START 発行時

動作モード［I3C メインマスタ］

［0 になる条件］

- ソフトウェアで MSDVAD.MDYADV に 0 を書いたとき
- セカンダリマスタから受信したバス権要求に ACK を応答した後、STOP を発行することで GETACCMST 送信が正常に終了したとき

［1 になる条件］

- ソフトウェアで MSDVAD.MDYADV に 1 を書いたとき
- セカンダリマスタに送信したバス権要求に ACK が応答された後、STOP を発行することで GETACCMST 受信が正常に終了したとき

動作モード［I3C セカンダリマスタ］

［0 になる条件］

- カレントマスタでないマスタから受信したバス権要求に ACK を応答した後、STOP を発行することで GETACCMST 送信が正常に終了したとき

［1 になる条件］

- カレントマスタに送信したバス権要求に ACK が応答された後、STOP を発行することで GETACCMST 受信が正常に終了したとき

PRSST レジスタが、I3C の現在の状態を返します。

ステートには 2 つの部分があります。必須のレジスタと、デバッグ目的で追加オプションの PRSST_DEBUG レジスタ（拡張機能リストのデバッグ機能レジスタを参照）です。

TRMD ビット（送信／受信モード）

送信モードであるか、受信モードであるかを示します。

I3C は、TRMD ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと CRMS ビットの組み合わせで I3C の動作モードを示します。

スタートコンディションの発行または検出時、および R/W#ビットの設定時に、TRMD ビットの値は自動的に 1（送信モード）または 0（受信モード）に変化します。

［1 になる条件］

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（CNDCTL.STCND ビットが 1 の状態で、スタートコンディションを検出したとき）
- 繰り返しのスタートコンディション発行要求による繰り返しのスタートコンディションが正常に発行されたとき（CNDCTL.SRCND ビットが 1 の状態で、繰り返しのスタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 0 になったとき
- スレーブモードで受信したアドレスが SVCTL レジスタで有効にしたアドレスと一致し、かつ R/W#ビットが 1 になったとき

［0 になる条件］

- ストップコンディションが検出されたとき
- BST.ALF フラグが 1 になったとき（アービトレーションロスト）

- マスタモード時、値が 1 の R/W#ビットが付加されたスレーブアドレスを受信したとき
- スレーブモード時、受信したスレーブアドレスが SVCTL レジスタで有効にしたアドレスと一致し、かつ受信した R/W#ビットの値が 0 のとき（ジェネラルコールアドレスを受信した場合を含む）
- スレーブモード時、繰り返しのスタートコンディションが検出されたとき （BCST.BFREF = 0、CRMS = 0 の状態で繰り返しのスタートコンディションが検出されたとき）

PRSSTWP ビット（現在ステートライトプロテクト）

PRSSTWP は読むと 0 が読めます。

PRSST に書き込む場合、このビットに 1 を書き込むと同時に、CRMS ビットに書き込みが可能です。

40.2.6 INST : 内部ステータスレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEF	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	INEF	内部エラーフラグ 0: I3C 内部エラー未検出 1: I3C 内部エラー検出	R/W(注1)
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。
注 1. 0 になる条件 : 1 の状態を読んだ後、0 を書き込んだとき

割り込みステータスレジスタは、発生した割り込みの状態を反映します。

ステータスフィールドは、0 を書いてクリアするか、もしくはキュー動作に基づいてクリアされます。

INEF ビット（内部エラーフラグ）

本ビットが 1 のとき、I3C 内部エラーが検出されたことを示します。

本ビットが 0 のとき、I3C 内部エラーが検出されていないことを示します。

[1 になる条件]

- 下記 1.が満たされ、かつ下記 2.～9.のいずれかが満たされたとき
  1. INSTE.INEE ビットが 1 であるとき
  2. 完全にフルになっている送信データバッファに送信データを書いたとき
  3. 完全にエンプティになっている受信データバッファから受信データを読んだとき
  4. 完全にフルになっているコマンドキューにコマンドディスクリプタを書いたとき
  5. 完全にエンプティになっている応答キューから応答ディスクリプタを読んだとき
  6. 完全にエンプティになっている受信ステータスキューから受信ステータスディスクリプタを読んだとき
  7. IBI キューが完全にエンプティであり、かつ PRSST.CRMS = 1 の状態で、IBI キューから IBI ステータスディスクリプタを読んだとき

8. IBI キューが完全にフルであり、かつ PRSST.CRMS = 0 の状態で、IBI キューに IBI データを書いたとき
9. 応答キュー、IBI キュー、または受信ステータスキューがオーバーフローしたとき

[0 になる条件]

- INEF ビット = 1 を読んだ後、INEF ビットに 0 を書いたとき

40.2.7 INSTE : 内部ステータス有効レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x034

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEE	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	INEE	内部エラー有効 0: INST.INEF 無効 1: INST.INEF 有効	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

INEE ビット（内部エラー有効）

本ビットが 1 のとき、I3C 内部エラー検出は有効です。

本ビットが 0 のとき、I3C 内部エラー検出は無効です。

40.2.8 INIE : 内部割り込み許可レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x038

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEIE	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	INEIE	内部エラー割り込み許可 0: 回復不能内部エラー割り込み信号を禁止する 1: 回復不能内部エラー割り込み信号を許可する	R/W

ビット	シンボル	機能	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

INEIE ビット（内部エラー割り込み許可）

本ビットを 1 に設定し、INEF を設定したとき、ハードウェアコントローラはホストに割り込みをアサートします。

40.2.9 INSTFC : 内部ステータス強制レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x03C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEFC	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	書く場合、0 としてください。	W
10	INEFC	内部エラー強制 0: 特定の割り込みを強制しない 1: 特定の割り込みを強制する	W
31:11	—	書く場合、0 としてください。	W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

INEFC ビット（内部エラー強制）

デバッグ用に、この割り込みを強制できるようにします。

40.2.10 DVCT : デバイス特性テーブルレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x044

Bit position:	31	30	29	28	27	26	25	24	23	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	IDX[4:0]		—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
18:0	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
23:19	IDX[4:0]	DCT テーブルインデックス I3C ENTDAA CCC のスタートインデックスとして使う、DCT の現在のインデックス	R
31:24	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

IDX[4:0]ビット（DCT テーブルインデックス）

アドレス配置コマンドを用いた ENTDAA の際に、アービトレーションを取得したデバイスのすべての特性が一旦 DCT に書き込まれたら、このインデックスは 1 インクリメントします。

注. 本ビットによる ENTDAA の進捗の確認方法

1. ENTDAA コマンド発行のためのコマンドディスクリプタを設定する前に本ビットの値を読み出します。
2. ENTDAA コマンドを開始してから、本ビットの値が改訂されるまで（すなわち、前もって読み出した値から変化するまで）、それは最初のインデックス値（コマンドディスクリプタの DEV_INDEX[4:0]に設定された値）で指定されたデバイスに割り当てられたダイナミックアドレスを示します。
3. 本ビットの値が更新された後、それはダイナミックアドレスがコマンドディスクリプタの DEV_INDEX[4:0]と DEV_COUNT[3:0]に設定された値に従って、最初のインデックス値以降のデバイスに割り当てられることを示します。

40.2.11 IBINCTL : IBI 通知コントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	NRSIR CTL	—	NRMR CTL	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	NRMRCTL	拒否されたマスタ要求コントロールの通知 0: 受信したマスタ要求が NACK されて、関連する DAT エントリの DVMRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを通常 IBI キューにパスしない 1: 受信したマスタ要求が NACK されて、関連する DAT エントリの DVMRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを通常 IBI キューにパスする	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	NRSIRCTL	拒否されたスレーブ割り込み要求コントロールの通知 0: 受信した SIR が NACK されて、関連する DAT エントリの DVSIRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを通常 IBI キューにパスしない 1: 受信した SIR が NACK されて、関連する DAT エントリの DVSIRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを通常 IBI キューにパスする	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

NRMRCTL ビット（拒否されたマスタ要求コントロールの通知）

それぞれのマスタ要求拒否のレポートを有効または無効にします。

NRSIRCTL ビット（拒否されたスレーブ割り込み要求コントロールの通知）

それぞれのスレーブ割り込み要求 (SIR) 拒否のレポートを有効または無効にします。

40.2.12 BFCTL : バス機能コントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HSME	FMPE	—	SMBS	—	—	—	SCSYNE	—	—	—	—	—	SALE	NALE	MALE
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MALE	マスタアービトレーションロスト検出有効 0: マスタアービトレーションロスト検出は無効 アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による PRSST.CRMS、TRMD ビットの自動クリアを行わない 1: マスタアービトレーションロスト検出は有効 アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による PRSST.CRMS、TRMD ビットの自動クリアを行う	R/W
1	NALE	NACK 送信アービトレーションロスト検出有効 0: NACK 送信アービトレーションロスト検出は無効 1: NACK 送信アービトレーションロスト検出は有効	R/W
2	SALE	スレーブアービトレーションロスト検出有効 0: スレーブアービトレーションロスト検出は無効 1: スレーブアービトレーションロスト検出は有効	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SCSYNE	SCL 同期回路有効 0: SCL 同期回路を使用しない 1: SCL 同期回路を使用する	R/W
11:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	SMBS	SMBus/I^2C バス選択 0: I^2C バスを選択 1: SMBus を選択	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	FMPE	ファストモードプラス有効 0: I3C_SCL 端子と I3C_SDA 端子に対して Fm+のスロープ制御回路を使用しない(n = 0) 1: I3C_SCL 端子と I3C_SDA 端子に対して Fm+のスロープ制御回路を使用する(n = 0)	R/W
15	HSME	High-speed モード 0: High-speed モードは無効 1: High-speed モードは有効	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I2C モードをサポートします。

MALE ビット（マスタアービトレーションロスト検出有効）

マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常は、本ビットを 1 にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出有効）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出有効）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

SCSYNE ビット（SCL 同期回路有効）

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は、本ビットを 1 にしてください。

SCSYNE ビットを 0（SCL 同期回路を使用しない）にすると、I3C は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、I3C_SCL ラインの状態にかかわらず、I3C は、STDBR および EXTBR レジスタで設定した転送速度の SCL クロックを出力します。そのため、I^2C バスラインのバス負荷が規格値よりも大幅に大きい場合や、複数のマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また SCL 同期回路無効の場合、スタートコンディション・繰り返しのスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

本ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き 0 にしないでください。

FMPE ビット（ファストモードプラス有効）

スロープ制御回路をファストモードプラス[Fm+]用のスロープ制御回路を使用するかどうかを選択します。

本ビットを 1 にすると、I3C バスのファストモードプラス[Fm+]のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。本ビットを 0 にすると、I3C バスのスタンダードモード[Sm]およびファストモード[Fm]のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を I3C バス仕様の～1 Mbps（ファストモードプラス[Fm+]）の範囲内で使用する場合は、本ビットを 1 にしてください。それ以外の通信速度（～100 kbps[Sm]、～400 kbps[Fm]）または SMBus (10 kbps～100 kbps) で使用する場合は、本ビットを 0 にしてください。

注. Hs モードで通信するとき、以下のように設定してください。
- Hs モードマスタコード (0000 1XXXb) をファストモードで送るとき、FMPE を 0 に設定します。
- Hs モードマスタコード (0000 1XXXb) をファストモードプラスで送るとき、FMPE を 1 に設定します。

HSME ビット（High-speed モード）

本ビットは Hs モードで通信するために使用します。

本ビットが 1 の場合、Hs モードマスタコードを認識し、Hs モード通信が可能です。

スタートコンディションを検出後、Hs モードマスタコード (0000 1XXXb) の送信を認識すると、NACK 応答を受信した後、繰り返しのスタートコンディションから Hs モード通信を開始します。

NACK 応答まで、STDBR に設定されたビットレートで通信します。そして、NACK 応答の受信後繰り返しのスタートコンディション発行から、EXTBR に設定されたビットレートに自動的に切り替わります。

ストップコンディションが検出されるまで Hs モードが継続します。

ストップコンディションを検出したとき、ビットレートは STDBR に設定されたビットレートに自動的に切り替わります。

注. 本ビットを 1 にした場合、Hs モードマスタコードを送信した後 NACK 応答を受信しても、BST.NACKDF ビットは設定されません。

40.2.13 SVCTL : スレーブコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18		16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SVAE[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HOAE	—	—	—	—	—	—	—	—	DVIDE	HSMCE	—	—	—	—	GCAE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GCAE	ジェネラルコールアドレス有効(注1) 0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	HSMCE	Hs モードマスタコード有効(注1) 0: Hs モードマスタコード検出は無効 1: Hs モードマスタコード検出は有効	R/W
6	DVIDE	デバイス ID アドレス有効(注1) 0: デバイス ID アドレス検出は無効 1: デバイス ID アドレス検出は有効	R/W
14:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	HOAE	ホストアドレス有効(注1) 0: ホストアドレス検出は無効 1: ホストアドレス検出は有効	R/W
18:16	SVAE[2:0]	スレーブアドレス有効 n (n = 0～2)(注2) 0: スレーブ n は無効 1: スレーブ n は有効	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットは I²C モードをサポートします。
注 2. これらのビットは I²C、I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

GCAE ビット（ジェネラルコールアドレス有効）

ジェネラルコールアドレス (0000 000 + 0 (write): All0) を受信した場合、無視するかどうかを選択します。このビットを 1 にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、I3C は、SVDVADn.SVAD[9:0]ビット (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。

このビットを 0 にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

HSMCE ビット（Hs モードマスタコード有効）

スタートコンディション検出後の第 1 バイトに Hs モードマスタコード (00001xxxb) を受信したことを認識して動作させるかどうかを選択します。

このビットを 1 にした場合、受信した最初のバイトが Hs モードマスタコードと一致しても、I3C は Hs モードマスタコードを受信していると認識します。

Hs モードマスタコードへの NACK 応答後の繰り返しのスタート後の 1 バイト目はスレーブアドレスとして認識し、SVDVADn.SVAD[9:0]ビット (n = 0～2) で設定されるスレーブアドレスと比較します。

アドレスが一致すると、R/W#ビット値に従って送信／受信動作を継続します。

ストップコンディションが検出されるまで Hs モードが継続します。

このビットを 0 にした場合、それが Hs モードマスタコードと一致しても、ストップコンディションを検出するまで I3C はパターンを無視します。

注. このビットを 1 にした場合、必ず SCSTRCTL.ACKTWE ビットを 0、SCSTRCTL.RWE ビットを 1 に設定してください。

DVIDE ビット（デバイス ID アドレス有効）

スタートコンディションまたは繰り返しのスタートコンディション検出後の第 1 バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

このビットが 1 のときに、受信した第 1 バイトがデバイス ID アドレスと一致した場合、I3C はデバイス ID アドレスを受信したと認識します。続く R/W#ビットが 0 (write) の場合、I3C は第 2 バイト以降をスレーブアドレスとみなして、受信動作を継続します。

このビットが 0 の場合、I3C は受信した第 1 バイトがデバイス ID アドレスと一致してもそれを無視し、第 1 バイトを通常のスレーブアドレスと認識します。

デバイス ID アドレス検出機能の詳細については、(3) デバイス ID アドレス検出機能［I^2C モード］を参照してください。

HOAE ビット（ホストアドレス有効）

BFCTL.SMBS ビットが 1 の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

SMBS ビット = 1 であるときにこのビットを 1 にした場合、受信したスレーブアドレスがホストアドレスと一致すると、I3C は、SVDVADn.SVAD[9:0]ビット (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスと認識し、受信動作を行います。

SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

SVAE[2:0]ビット（スレーブアドレス有効 n (n = 0～2)）

SVDVADn.SVAD[9:0]ビットで設定したスレーブアドレスを有効にするかどうかを選択します。

このビットを 1 にすると、SVAD[9:0]ビットで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。

このビットを 0 にすると、SVAD[9:0]ビットで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

40.2.14 REFCKCTL : リファレンスクロックコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x070

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2		0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	IREFCKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	IREFCKS[2:0](注1)	内部基準クロック選択 I3C の内部基準クロックソース (I3Cφ) を選択します。 0 0 0: TCLK/1 クロック 0 0 1: TCLK/2 クロック 0 1 0: TCLK/4 クロック 0 1 1: TCLK/8 クロック 1 0 0: TCLK/16 クロック 1 0 1: TCLK/32 クロック 1 1 0: TCLK/64 クロック 1 1 1: TCLK/128 クロック	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. I3C モードでは IREFCKS[2:0]ビットを 000b にしてください。

40.2.15 STDBR : スタンダードビットレートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x074

Bit position:	31	30	29					24	23	22	21					16
Bit field:	DSBRPO	—	SBRHP[5:0]						—	—	SBRLP[5:0]					
Value after reset:	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1

Bit position:	15							8	7							0
Bit field:	SBRHO[7:0]								SBRLO[7:0]							
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	SBRLO[7:0]	オープンドレインでのスタンダードビットレート Low 幅 SCL クロックの Low 幅のカウント値(注1)	R/W
15:8	SBRHO[7:0]	オープンドレインでのスタンダードビットレート High 幅 SCL クロックの High 幅のカウント値(注1)	R/W
21:16	SBRLP[5:0]	プッシュプルでのスタンダードビットレート Low 幅(注2) SCL クロックの Low 幅のカウント値	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:24	SBRHP[5:0]	プッシュプルでのスタンダードビットレート High 幅(注3) SCL クロックの High 幅のカウント値	R/W
30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	DSBRPO	オープンドレインでのスタンダードビットレート幅の 2 倍化(注4) 0: SBRHO[7:0]と SBRLO[7:0]に設定された時間幅の値を 2 倍の値にしない 1: SBRHO[7:0]と SBRLO[7:0]に設定された時間幅の値を 2 倍の値にする	R/W

注. S-TYPE3, P-TYPE3
注 1. これらのビットは I2C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。
注 2. これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 3. これらのビットはすべての I3C モードをサポートします。
注 4. このビットは I2C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。

STDBR レジスタは、動作スピードに応じてビットレートを設定します。

- I2C モード：スタンダードモード／ファストモード／ファストモード+で通信するときのビットレート設定
- I3C マスタモード：コマンドディスクリプタの MODE ビットで選択されたビットレート設定
- I3C スレーブモード：I3C ビットレート設定

I2C 転送速度および SCL クロックのデューティー比は以下の式で算定します。

転送速度 = 1 / {[(High 幅 + α(注1)) + (Low 幅 + α)] / I3Cφ(注2) + I3C_SCL ライン立ち上がり時間[tr](注3) + I3C_SCL ライン立ち下がり時間[tf](注3)}

デューティー比 = {I3C_SCL ライン立ち上がり時間[tr] + (High 幅 + α) / I3Cφ} / {I3C_SCL ライン立ち下がり時間[tf] + (Low 幅 + α) / I3Cφ}

注 1. α は、ノイズフィルタの段数に依存します。
注 2. I3Cφ = TCLK × 分周比
注 3. I3C_SCL ライン立ち上がり時間[tr]および I3C_SCL ライン立ち下がり時間[tf]は、バスライン総容量[Cb]とプルアップ抵抗[Rp]に依存します。詳細については、NXP 社の I^2C バス仕様書を参照してください。

I3C 転送速度と SCL クロックのデューティー比は、次式で計算されます。

転送速度 = 1 / [(High 幅 + Low 幅) / I3Cφ + I3C_SCL ライン立ち上がり時間[tr] + I3C_SCL ライン立ち下がり時間[tf]]

デューティー比 = [I3C_SCL ライン立ち上がり時間[tr] + High 幅 / I3Cφ] / [I3C_SCL ライン立ち下がり時間[tf] + Low 幅 / I3Cφ]

SBRLO[7:0]ビット（オープンドレインでのスタンダードビットレート Low 幅）

SBRLO[7:0]ビットは、オープンドレインモードで SCL クロックの Low 幅の設定に使用するビットです。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定された内部基準クロックソース (I3Cφ) で Low 幅をカウントします。このビットは、SCL 自動 Low ホールド発生時（「40.3.2.3.6. クロックストレッチ機能［I^2C モード］」参照）のデータセットアップ時間確保に使用します。そのため I3C を I^2C スレーブモードで使用する場合には、このビットにデータセットアップ時間(注1)より大きな値を設定する必要があります。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRLO[7:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

注 1. データセットアップ時間 (tSU: DAT)
250 ns（～ 100 kbps：スタンダードモード [Sm]）
100 ns（～ 400 kbps：ファストモード [Fm]）
50 ns（～ 1 Mbps：ファストモードプラス [Fm+]）
10 ns（～3.4 Mbps: Hs モード[HS]）

SBRHO[7:0]ビット（オープンドレインでのスタンダードビットレート High 幅）

SBRHO[7:0]ビットは、オープンドレインモードで SCL クロックの High 幅の設定に使用されます。SBRHO[7:0]ビットはマスタモードで有効になります。I3C を常に I^2C スレーブモードで使用する場合には、High 幅を設定する必要はありません。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定された内部基準クロックソース (I3Cφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRHO[7:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

SBRLP[5:0]ビット（プッシュプルでのスタンダードビットレート Low 幅）

SBRLP[5:0]ビットは、プッシュプルモードで SCL クロックの Low 幅の設定に使用するビットです。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定された内部基準クロックソース (I3Cφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRLP[5:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

SBRHP[5:0]ビット（プッシュプルでのスタンダードビットレート High 幅）

SBRHP[5:0]ビットは、プッシュプルモードで SCL クロックの High 幅の設定に使用されます。

SBRHP[5:0]ビットはマスタモードで有効になります。I3C を常に I^2C スレーブモードで使用する場合には、High 幅を設定する必要はありません。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定された内部基準クロックソース (I3Cφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRHP[5:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

DSBRPO ビット（オープンドレインでのスタンダードビットレート幅の 2 倍化）

DSBRPO = 1 のとき、SBRHO[7:0]に設定された High 幅の値を 2 倍の値にして使用し、SBRLO[7:0]に設定された Low 幅の値を 2 倍の値にして使用してください。

表 40.4　各モードでの設定の要件と使用法

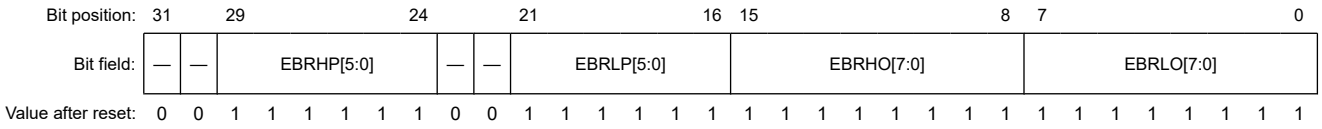
ビット名	デバイスモード				
	I²C マスタ	I²C スレーブ	I3C マスタ	I3C セカンダリマスタ	I3C スレーブ
SBRHP[5:0]	使用禁止	使用禁止	設定要(注3)	設定要(注4)	設定要(注6)
SBRLP[5:0]	使用禁止	使用禁止	設定要(注3)	設定要(注5)	使用禁止
SBRHO[7:0]	設定要(注1)	使用禁止	設定要(注3)	設定要(注5)	使用禁止
SBRLO[7:0]	設定要(注1)	設定要(注2)	設定要(注3)	設定要(注5)	使用禁止

注 1.　設定値は、スタンダードモード、ファストモード、およびファストモード+のデータレートに使用されます。
注 2.　設定値は、SCL 自動 Low ホールド動作のデータセットアップ時間に使用されます。
注 3.　設定値は、各通信モードのデータレートに使用されます。
注 4.　I3C マスタで動作するとき、設定値は各通信モードのデータレートに使用されます。
　　I3C スレーブで動作するとき、設定値は HDR-TSP/TSL モードのデータレートに使用されます。
注 5.　I3C マスタで動作するとき、設定値は各通信モードのデータレートに使用されます。
　　I3C スレーブで動作するときは、使用しないでください。
注 6.　設定値は、HDR-TSP/TSL モードのデータレートに使用されます。

40.2.16　EXTBR : 拡張ビットレートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x078



ビット	シンボル	機能	R/W
7:0	EBRLO[7:0]	オープンドレインでの拡張ビットレート Low 幅(注1) SCL クロックの Low 幅のカウント値	R/W
15:8	EBRHO[7:0]	オープンドレインでの拡張ビットレート High 幅(注1) SCL クロックの High 幅のカウント値	R/W
21:16	EBRLP[5:0]	プッシュプルでの拡張ビットレート Low 幅(注2) SCL クロックの Low 幅のカウント値	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:24	EBRHP[5:0]	プッシュプルでの拡張ビットレート High 幅(注2) SCL クロックの High 幅のカウント値	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE3, P-TYPE3
注 1.　これらのビットは I²C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。
注 2.　これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

EXTBR レジスタは、動作スピードに応じてビットレートを設定します。

- I²C モード：ハイスピードモードでの通信用ビットレート設定

- I3C マスタモード：コマンドディスクリプタの MODE ビットで選択されたビットレート設定
- I3C スレーブモード：不使用

EBRLO[7:0]ビット（オープンドレインでの拡張ビットレート Low 幅）

詳細は、「40.2.15. STDBR : スタンダードビットレートレジスタ」の SBRLO[7:0]ビットを参照してください。
SBRHO と SBRLO は EBRHO[7:0]と EBRLO[7:0]とみなしてください。

EBRHO[7:0]ビット（オープンドレインでの拡張ビットレート High 幅）

詳細は、「40.2.15. STDBR : スタンダードビットレートレジスタ」の SBRHO[7:0]ビットを参照してください。
SBRHO と SBRLO は EBRHO[7:0]と EBRLO[7:0]とみなしてください。

EBRLP[5:0]ビット（プッシュプルでの拡張ビットレート Low 幅）

詳細は、「40.2.15. STDBR : スタンダードビットレートレジスタ」の SBRLP[5:0]ビットを参照してください。
SBRHP と SBRLP は EBRHP[5:0]と EBRLP[5:0]とみなしてください。

EBRHP[5:0]ビット（プッシュプルでの拡張ビットレート High 幅）

詳細は、「40.2.15. STDBR : スタンダードビットレートレジスタ」の SBRHP[5:0]ビットを参照してください。
SBRHP と SBRLP は EBRHP[5:0]と EBRLP[5:0]とみなしてください。

表 40.5　各モードでの設定の要件と使用法

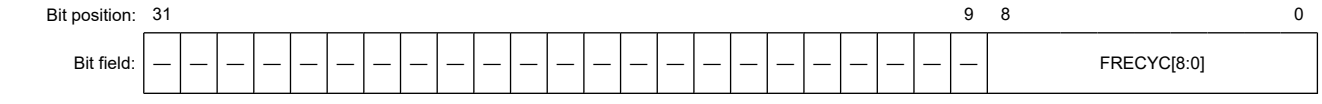
ビット名	デバイスモード				
	I²C マスタ	I²C スレーブ	I3C マスタ	I3C セカンダリマスタ	I3C スレーブ
EBRHP[5:0]	使用禁止	使用禁止	設定要(注3)	設定要(注4)	使用禁止
EBRLP[5:0]	使用禁止	使用禁止	設定要(注3)	設定要(注4)	使用禁止
EBRHO[7:0]	設定要(注1)	使用禁止	設定要(注3)	設定要(注4)	使用禁止
EBRLO[7:0]	設定要(注1)	設定要(注2)	設定要(注3)	設定要(注4)	使用禁止

注 1.　設定値は、High-speed モードのデータレートに使用されます。
注 2.　設定値は、Hs モードでの SCL 自動 Low ホールド動作のデータセットアップ時間に使用されます。
注 3.　設定値は、各通信のデータレートに使用されます。
注 4.　I3C マスタで動作するとき、設定値は各通信モードのデータレートに使用されます。
　　I3C スレーブで動作するときは、使用しないでください。

40.2.17　BFRECDT : バスフリー状態検出時間レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x07C



ビット	シンボル	機能	R/W
8:0	FRECYC[8:0]	バスフリー状態検出サイクル カウント値は、バスフリー状態を検出する期間	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE3, P-TYPE3

FRECYC[8:0]ビット（バスフリー状態検出サイクル）

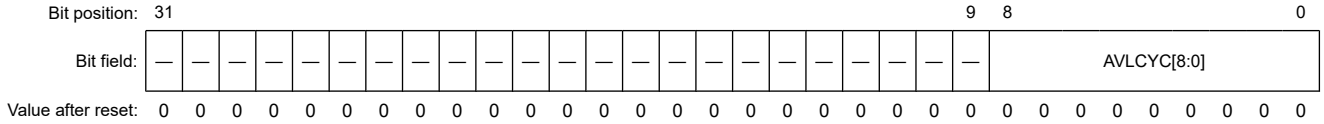
I3C は、I3Cφ でバスフリー状態を検出する期間をカウントします。

バスフリー期間を設定します。このバスフリー期間は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロック (I3Cφ) でカウントします。バスフリー検出の動作については、BCST.BFREF フラグを参照してください。

40.2.18 BAVLCDT : バス利用可能状態検出時間レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x080



ビット	シンボル	機能	R/W
8:0	AVLCYC[8:0]	バス利用可能状態検出サイクル カウント値は、バス利用可能状態を検出する期間	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

AVLCYC[8:0]ビット（バス利用可能状態検出サイクル）

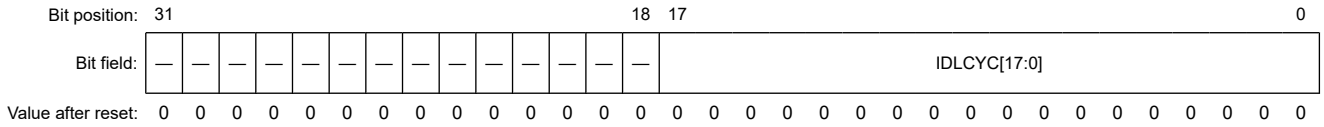
I3C は、I3Cφ でバス利用可能状態を検出する期間をカウントします。

本ビットは、バス利用可能期間を設定します。このバス利用可能期間は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロック (I3Cφ) でカウントします。バス利用可能検出の動作については、BCST.BAVLF フラグを参照してください。

40.2.19 BIDLCDT : バスアイドル状態検出時間レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x084



ビット	シンボル	機能	R/W
17:0	IDLCYC[17:0]	バスアイドル状態検出サイクル カウント値は、バスアイドル状態を検出する期間	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

IDLCYC[17:0]ビット（バスアイドル状態検出サイクル）

I3C は、I3Cφ でバスアイドル状態を検出する期間をカウントします。

本ビットは、バスアイドル期間を設定します。このバスアイドル期間は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロック (I3Cφ) でカウントします。バス利用可能状態検出の動作については、BCST.BIDLF フラグを参照してください。

40.2.20 OUTCTL : 出力コントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x088

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SDODCS	—	—	—	—	SDOD[2:0]			—	—	—	EXCYC	—	SOCWP	SCOC	SDOC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	SDOC	SDA 出力制御(注1) 0: I3C は I3C_SDA 端子を Low にする 1: I3C は I3C_SDA 端子を解放している	R/W
1	SCOC	SCL 出力制御(注1) 外部プルアップ抵抗により High 出力 0: I3C は I3C_SCL 端子を Low にする 1: I3C は I3C_SCL 端子を解放している	R/W
2	SOCWP	SCL/SDA 出力制御ライトプロテクト(注1) 0: SCOC、SDOC ビットを保護 1: ビット SCOC および SDOC は書き込み可能である（対象ビットの値と同時に書き込みするとき） 読むと 0 が読めます。	W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	EXCYC	SCL クロック追加出力(注3) 1 クロック出力後、自動的に 0 になる 0: SCL クロックを追加で出力しない（通常状態） 1: SCL クロックを追加で出力する	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	SDOD[2:0]	SDA 出力遅延(注2) 0 0 0: 出力遅延なし 0 0 1: I3Cφ の 1 サイクル（OUTCTL.SDODCS = 0 (I3Cφ) のとき） I3Cφ の 1 または 2 サイクル（OUTCTL.SDODCS = 1 (I3Cφ/2) のとき） 0 1 0: I3Cφ の 2 サイクル（OUTCTL.SDODCS = 0 (I3Cφ) のとき） I3Cφ の 3 または 4 サイクル（OUTCTL.SDODCS = 1 (I3Cφ/2) のとき） 0 1 1: I3Cφ の 3 サイクル（OUTCTL.SDODCS = 0 (I3Cφ) のとき） I3Cφ の 5 または 6 サイクル（OUTCTL.SDODCS = 1 (I3Cφ/2) のとき） 1 0 0: I3Cφ の 4 サイクル（OUTCTL.SDODCS = 0 (I3Cφ) のとき） I3Cφ の 7 または 8 サイクル（OUTCTL.SDODCS = 1 (I3Cφ/2) のとき） 1 0 1: I3Cφ の 5 サイクル（OUTCTL.SDODCS = 0 (I3Cφ) のとき） I3Cφ の 9 または 10 サイクル（OUTCTL.SDODCS = 1 (I3Cφ/2) のとき） 1 1 0: I3Cφ の 6 サイクル（OUTCTL.SDODCS = 0 (I3Cφ) のとき） I3Cφ の 11 または 12 サイクル（OUTCTL.SDODCS = 1 (I3Cφ/2) のとき） 1 1 1: I3Cφ の 7 サイクル（OUTCTL.SDODCS = 0 (I3Cφ) のとき） I3Cφ の 13 または 14 サイクル（OUTCTL.SDODCS = 1 (I3Cφ/2) のとき）	R/W
14:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	SDODCS	SDA 出力遅延クロックソース選択(注3) 0: SDA 出力遅延カウンタのクロックソースに内部基準クロック (I3Cφ) を選択 1: SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周 (I3Cφ/2) を選択(注4)	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットは I^2C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。

注 2. これらのビットは I²C モードをサポートします。
注 3. このビットは I²C モードをサポートします。
注 4. SDODCS = 1 (I3Cφ/2) の設定は、SCL が Low のときにのみ有効になります。SCL が High のとき、SDODCS = 1 の設定は無効となり、クロックソースは内部基準クロック (I3Cφ) となります。

SDOC ビット（SDA 出力制御）、SCOC ビット（SCL 出力制御）

本 I3C が出力する I3C_SDA および I3C_SCL 信号を直接操作するためのビットです。

本ビットに値を書く場合は、同時に SOCWP ビットにも 1 を書いてください。

本ビットを設定した結果は、入力バッファを介して I3C に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、繰り返しのスタートコンディションの期間中、または送受信中に、これらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証されません。

EXCYC ビット（SCL クロック追加出力）

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時またはエラー処理時に使用します。

通常動作では、本ビットを 0 にしてください。通常の通信状態でこのビットを 1 にすると、通信エラーの原因になります。

この機能の詳細については、「40.3.2.3.11. ポートコントロール」、(1) SCL クロック追加出力機能を参照してください。

40.2.21 INCTL : 入力コントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x08C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DNFE	DNFS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0

ビット	シンボル	機能	R/W
3:0	DNFS[3:0]	デジタルノイズフィルタ段数選択 0x0: 1 I3Cφ サイクル以下のノイズを除去（フィルタは 1 段） 0x1: 2 I3Cφ サイクル以下のノイズを除去（フィルタは 2 段） 0x2: 3 I3Cφ サイクル以下のノイズを除去（フィルタは 3 段） 0x3: 4 I3Cφ サイクル以下のノイズを除去（フィルタは 4 段） 0x4: 5 I3Cφ サイクル以下のノイズを除去（フィルタは 5 段） ⋮ 0xF: 16 I3Cφ サイクル以下のノイズを除去（フィルタは 16 段）	R/W
4	DNFE	デジタルノイズフィルタ回路イネーブル 0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I²C モードをサポートします。

DNFS[3:0]ビット（デジタルノイズフィルタ段数選択）

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「40.3.2.6.3. デジタルノイズフィルタ回路［I2C モード］」を参照してください。

I2C High-speed モードでは、I3C はノイズフィルタの段数をその 1/4 に自動的に変更します。

注. ● ノイズフィルタで除去するノイズ幅は、I3C_SCL ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が（SCL クロックの幅：High 幅または Low 幅のいずれか短い方）-（1.5 内部基準クロック (I3Cφ) サイクル）の値以上の場合、I3C のノイズフィルタ機能により SCL クロックはノイズとみなされ、I3C が正常に動作しない可能性があります。

● I2C High-speed モードでは、DNFS [3:0]ビットは無視され、フィルタの段数の 1～4 はその上位 2 ビットで選択されます。

40.2.22 TMOCTL : タイムアウトコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TOMDS[1:0]		TOHCTL	TOLCTL	—	—	TODTS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TODTS[1:0]	タイムアウト検出時間選択 0 0: 16 ビットタイムアウト 0 1: 14 ビットタイムアウト 1 0: 8 ビットタイムアウト 1 1: 6 ビットタイムアウト	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TOLCTL	タイムアウト L カウント制御 0: I3C_SCL ラインが Low の間カウント無効 1: I3C_SCL ラインが Low の間カウント有効	R/W
5	TOHCTL	タイムアウト H カウント制御 0: I3C_SCL ラインが High の間カウント無効 1: I3C_SCL ラインが High の間カウント有効	R/W
7:6	TOMDS[1:0]	タイムアウト動作モード選択 0 0: タイムアウトを以下の条件で検出します。 ● マスタモードで、バスビジー (BCST.BFREF = 0) ● スレーブモードで、I3C 自身のスレーブアドレスが検出され、バスビジー ● スタートコンディション発行要求中 (CNDCTL.STCND = 1) で、バスフリー (BCST.BFREF = 1) 0 1: タイムアウトをバスビジーのときに検出する 1 0: タイムアウトをバスフリーのときに検出する 1 1: 設定禁止	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

TODTS[1:0]ビット（タイムアウト検出時間選択）

タイムアウト検出機能有効時 (BSTE.TODE = 1) に、タイムアウト検出時間を選択するビットです。

本ビットが 00b に設定されているとき、タイムアウト検出用の内部カウンタは 16 ビットカウンタとして機能します。

本ビットが 01b に設定されているとき、このカウンタは 14 ビットカウンタとして機能します。

これらのビットが 10b に設定されているとき、このカウンタは 8 ビットカウンタとして機能します。

本ビットが 11b に設定されているとき、このカウンタは 6 ビットカウンタとして機能します。

I3C_SCL ラインが、このカウンタを TOHCTL ビットと TOLCTL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (I3Cφ) をカウントソースとして同期してアップカウントを行います。

タイムアウト検出機能の詳細については、「40.3.2.4.5. タイムアウトエラー検出機能」を参照してください。

TOLCTL ビット（タイムアウト L カウント制御）

このビットはタイムアウト機能有効時（BSTE.TODE ビット = 1）に、I3C_SCL ラインが Low 期間中にタイムアウト機能の内部カウンタのカウントアップを有効にするか無効にするかを選択するために使用されます。

TOHCTL ビット（タイムアウト H カウント制御）

このビットはタイムアウト機能有効時（BSTE.TODE ビット = 1）に、I3C_SCL ラインが High 期間中にタイムアウト機能の内部カウンタのカウントアップを有効にするか無効にするかを選択するために使用されます。

TOMDS[1:0]ビット（タイムアウト動作モード選択）

これらのビットはタイムアウト機能有効時に、タイムアウト検出条件を選択するために使用されます。

注. I^2C スレーブと動作するとき、10 ビットアドレスフォーマットでの通信時に上位アドレス一致を検出すると、タイムアウトカウントを開始します。

40.2.23 WUCTL : ウェイクアップユニットコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	WUFE	WUFSYNE	—	WUANFS	—	—	—	WUACKS
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	WUACKS	ウェイクアップアクノリッジ選択(注1) RSTCTL.INTLRST ビット、WUACKS ビットを組み合わせた 4 つの応答モードを選択します。詳細を、表 40.6 に示します。	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	WUANFS	ウェイクアップアナログノイズフィルタ選択(注1) 0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	WUFSYNE	ウェイクアップ機能 PCLK 同期有効 0: I3C 非同期回路有効 1: I3C 同期回路有効	R/W
7	WUFE	ウェイクアップ機能有効 ウェイクアップ動作中は、WUFE = 0 に設定しないでください。 0: ウェイクアップ機能無効 1: ウェイクアップ機能有効	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットは I^2C モードをサポートします。

表 40.6 ウェイクアップモード

INTLRST	WUACKS	動作モード	内容
0	0	ノーマル WU モード 1	SCL の 9 クロック目で ACK 応答し、9 クロック目の後に SCL の Low ホールドを行う。
0	1	ノーマル WU モード 2	即時 ACK 応答せず、SCL クロックの 8 クロック目と 9 クロック目の間で SCL の Low ホールドを行う。SCL クロックの 9 クロック目で SCL の Low ホールドを解除し ACK 応答する。
1	0	コマンドリカバリモード	SCL クロックの 9 クロック目で ACK 応答し、SCL の Low ホールドは行わない。
1	1	EEP 応答モード	SCL クロックの 9 クロック目で NACK 応答し、SCL の Low ホールドは行わない。

注. ウェイクアップモード 2 では、HS モードを使用できません。

WUFSYNE ビット（ウェイクアップ機能 PCLK 同期有効）

PCLK 同期動作と PCLK 非同期動作の間の切り替えに使用します。

ウェイクアップ機能有効 (WUCTL.WUFE ビット = 1) のとき、WUASYNF フラグと組み合わせて使用します。

[PCLK 同期動作から PCLK 非同期動作に切り替え時]

WUFSYNE = 0 である間に WUASYNF フラグが 1 に設定されると、I3C 動作は BCST.BFREF フラグ = 1 である間に PCLK 非同期動作に変わります。

受信は PCLK 非同期動作（ウェイクアップイベント検出動作）に切り替わった後は PCLK の動作状態に関係なく（PCLK 停止状態で）実行されます。

[PCLK 非同期動作から PCLK 同期動作に切り替え時]

以下の条件で、I3C 動作は PCLK 同期動作に変わります。（同時に WUFSYNE フラグは 0 になります）

ウェイクアップイベントを検出した場合：WUFSYNE ビットを 1 にした直後

ウェイクアップイベントを検出しない場合 : WUFSYNE ビットを 1 にした後にストップコンディションを検出したとき

[1 になる条件]

- WUFSYNE ビットに 1 を書いたとき
- WUCTL.WUFE = 0 のとき

[0 になる条件]

- WUFSYNE ビットに 0 を書いたとき

40.2.24 ACKCTL : アクノリッジコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x0A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ACKTWP	ACKT	ACKR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ACKR	Acknowledge 受信 0: アクノリッジビットに 0 を受信（ACK 受信） 1: アクノリッジビットに 1 を受信（NACK 受信）	R
1	ACKT	Acknowledge 送信 0: アクノリッジビットに 0 を送出（ACK 送信） 1: アクノリッジビットに 1 を送出（NACK 送信）	R/W
2	ACKTWP	ACKT ライトプロテクト 0: ACKT ビットは保護される 1: ACKT ビットは書き込み可能である（対象ビットの値と同時に書き込みするとき） 読むと 0 が読めます。	W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I²C モードをサポートします。

ACKR ビット（Acknowledge 受信）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- PRSST.TRMD ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- PRSST.TRMD ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき

ACKT ビット（Acknowledge 送信）

[1 になる条件]

- ACKT ビットに 1 を書いて、同時に ACKTWP ビットにも 1 を書いたとき

[0 になる条件]

- ACKT ビットに 0 を書いて、同時に ACKTWP ビットにも 1 を書いたとき
- ストップコンディションが検出されたとき（CNDCTL.SPCND ビットが 1 の状態で、ストップコンディションが検出されたとき）

注. ACKT ビットは I²C スレーブモード時に 0 にしてください。

ACKTWP ビット（ACKT ライトプロテクト）

ACKT ビットへの書き込みを制御します。

ACKT ビットに書き込む場合、このビットに 1 を書き込むと同時に、ACKT ビットに書き込みが可能です。

読むと 0 が読めます。

40.2.25 SCSTRCTL : SCL ストレッチコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x0A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RWE	ACKTWE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ACKTWE	アクノリッジ送信ウェイト許可 0: SCL クロックの 9 クロック目の立ち上がり時に NTST.RDBFF0 を設定（8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドを行わない） 1: SCL クロックの 8 クロック目の立ち上がり時に NTST.RDBFF0 を設定（8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドを行う） Low ホールドは ACKCTL.ACKT ビットへの書き込みで解除	R/W
1	RWE	受信ウェイト許可 0: ウェイトなし（9 クロック目と 1 クロック目の間に Low ホールドを行わない） 1: ウェイトあり（9 クロック目と 1 クロック目の間に Low ホールドを行う） Low ホールドは NTDTBP0 レジスタの読み出しで解除	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I^2C モードをサポートします。

ACKTWE ビット（アクノリッジ送信ウェイト許可）

受信モードにおいて NTST.RDBFF0 フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドを行うかどうかを選択します。

ACKTWE ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで NTST.RDBFF0 フラグを 1 にします。

ACKTWE ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで NTST.RDBFF0 フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドを行います。この I3C_SCL ラインの Low ホールドは ACKCTL.ACKT ビットへの書き込みにより解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、I3C_SCL ラインは自動的に Low ホールドされます。これにより、受信データの内容に応じて ACK（ACKCTL.ACKT ビットが 0）または NACK（ACKCTL.ACKT ビットが 1）を送出する処理が可能となります。

RWE ビット（受信ウェイト許可）

受信モードにおいて 1 バイト受信ごとに、受信データバッファ（NTDTBP0 レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

RWE ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。ACKTWE ビットと RWE ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

RWE ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、NTDTBP0 レジスタ値が読み出されるまでの間、I3C_SCL ラインを Low にホールドします。

これによって、1 バイトごとの受信動作が可能になります。

注. RWE ビットを読み出す場合は、NTDTBP0 レジスタを先に読んでください。

40.2.26 SCSTLCTL : SCL ストールコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x0B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ACKPE	PARPE	—	AAPE	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	0
Bit field:	STLCYC[15:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
15:0	STLCYC[15:0]	ストールサイクル ストール期間のカウンタ設定（I3Cφ サイクル）。各フェーズ共通用。	R/W
27:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	AAPE	アドレス配置フェーズイネーブル アドレス配置の最初のビットでストール可能なビットを有効にします。 0: アドレス配置フェーズで、SCL クロックをストールしない 1: アドレス配置フェーズで、SCL クロックをストールする	R/W
29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30	PARPE	パリティフェーズイネーブル パリティビット期間のストール許可ビット 0: パリティビット期間で、SCL クロックをストールしない 1: パリティビット期間で、SCL クロックをストールする	R/W
31	ACKPE	ACK フェーズイネーブル ACK/NACK フェーズのストール許可ビット 0: ACK/NACK フェーズで、SCL クロックをストールしない 1: ACK/NACK フェーズで、SCL クロックをストールする	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

レジスタの設定は、5.1.2.5 MIPI I3C 仕様 v1.0 のマスタクロックストール に従います。バス性能が低下するため、その使用は必要時のみにしてください。

STLCYC[15:0]ビット（ストールサイクル）

これらのビットは、SCL ストール期間を設定します。この SCL ストール期間は、内部基準クロック (I3Cφ) でカウントします。これは、各フェーズの許可ビットに共通のカウンタです。

AAPE ビット（アドレス配置フェーズイネーブル）

入力ダイナミックアドレス配置 CCC コマンドのアドレス配置フェーズの最初のビットの Low 期間の間、マスタが SCL をストールできます。スレーブの BCR と DCR に基づいてダイナミックアドレスをデバイスに配置することで、時間を稼ぐことができます。ただし、ダイナミックアドレス配置手順は、DATBASm (m = 0〜7) レジスタに設定されたダイナミックアドレスを順に送信するため、このビットの設定は不要であり禁止されています。

PARPE ビット（パリティフェーズイネーブル）

送信データ FIFO のアンダーランを回避するため、SCL ストールに I3C 書き込み転送の送信データのパリティビットを使用できます。しかし、I3C マスタの送信データ FIFO がエンプティになるとき、このビットの設定にかかわらず SCL ストールを行うため、このビットを設定することは不要であり禁止されています。I3C スレーブが受信データに対する準備時間を必要とするときは、このビットを設定する必要があります。

ACKPE ビット（ACK フェーズイネーブル）

以下の判断基準を基に、ACK/NACK フェーズにおいて SCL ストールの要否を決定してください。

- バスに接続している I3C スレーブと I2C スレーブがデータを送受信するための準備時間を必要とするときは、このビットを設定する必要があります。
- レガシー I^2C 通信で、I3C マスタのデータ FIFO がアンダーランもしくはオーバーランする可能性がある場合、このビットの設定にかかわらず FIFO エンプティまたはフルによって SCL ストールが実施されるので、このビットを設定する必要はありません。
- レガシー I^2C 通信以外で、I3C マスタのデータ FIFO がアンダーランもしくはオーバーランする可能性があり、ACK フェーズで SCL ストールが必要になる場合、このビットを設定できます。ただし、FIFO スレッショルド設定 (NQTHCTL, NTBTHCTL0, NRQTHCTL, HQTHCTL, HTBTHCTL) に従って発生した割り込みによって FIFO がアンダーランやオーバーフローをしないように、ソフトウェアを構成する必要があります。
- I3C マスタが IBI に対して ACK/NACK 応答を行う場合、ACK/NACK 応答は BCTL.HJACK、DATBASm.DVMRRJ、および DATBASm.DVS IRRJ (m = 0〜7) によって事前に設定できるので、このビットの設定は不要です。
- バスに接続している I3C スレーブがダイレクト GET CCC にデータを送信するための準備時間を必要とするときは、このビットを設定する必要があります。

40.2.27 SVTDLG0 : スレーブ転送データ長レジスタ 0

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x0C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	STDLG[15:0]																—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	STDLG[15:0]	スレーブ転送データ長 転送するバイト数を表示します。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

40.2.28 STCTL : 同期タイミングコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x120

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STOE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STOE	同期タイミング出力有効 0: 無効 1: 有効	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

40.2.29 ATCTL : 非同期タイミングコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x124

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CDIV[7:0]								—	—	—	—	—	AMEOE	MREFOE	ATTRGS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ATTRGS	非同期タイミングトリガ選択(注1) 0: ソフトウェアトリガ 1: ハードウェアトリガ	R/W
1	MREFOE	MREF 出力有効（キャプチャイベント/カウンタオーバーフロー）(注2) 0: 無効 1: 有効	R/W
2	AMEOE	追加マスタによるバスイベント出力有効(注2) 0: 無効 1: 有効	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	CDIV[7:0]	TCLK カウンタ分周設定(注3)	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 2. このビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 3. これらのビットはすべての I3C モードをサポートします。

40.2.30 ATTRG : 非同期タイミングトリガレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x128

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATSTRG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ATSTRG	非同期タイミングソフトウェアトリガ 0: 何もしない 1: ソフトウェアトリガ（ワンショットパルス）出力 読むと 0 が読めます。	W
31:1	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

40.2.31 ATCCNTE : 非同期タイミングコントロールカウンタイネーブルレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x12C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ATCE	MREF、MC2、SC1、SC2 用非同期タイミングカウンタ有効 0: 無効 1: 有効	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

40.2.32 CNDCTL : 条件コントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x140

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SPCND	SRCND	STCND
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCND	スタート (S) コンディション発行 0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
1	SRCND	繰り返しのスタート (Sr) コンディション発行 0: 繰り返しのスタートコンディションの発行を要求しない 1: 繰り返しのスタートコンディションの発行を要求する	R/W
2	SPCND	ストップ (P) コンディション発行 0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I^2C モードをサポートします。

STCND ビット（スタート (S) コンディション発行）

マスタモードへの遷移およびスタートコンディションの発行を要求します。

スタートコンディション発行の詳細については、「40.3.2.3.3. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- STCND ビットに 1 を書いたとき

[0 になる条件]

- STCND ビットに 0 を書いたとき
- スタートコンディションの発行が完了したとき（スタートコンディションを検出したとき）
- BST.ALF（アービトレーションロスト）フラグが 1 になったとき

注. STCND ビットは、BCST.BFREF フラグが 1（バスフリー）のとき、1（スタートコンディション発行要求）にしてください。

BFREF フラグが 1（バスビジー）のとき、STCND ビットを 1（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

SRCND ビット（繰り返しのスタート (Sr) コンディション発行）

マスタモードで繰り返しのスタートコンディションの発行を要求します。

本ビットが 1 になると繰り返しのスタートコンディションの発行を要求し、BFREF フラグが 0（バスビジー）でかつ PRSST.CRMS ビットが 1（マスタモード）のとき、繰り返しのスタートコンディションの発行を行います。

繰り返しのスタートコンディション発行の詳細については、「40.3.2.3.3. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- BCST.BFREF フラグが 0 の状態で、SRCND ビットに 1 を書いたとき

[0 になる条件]

- SRCND ビットに 0 を書いたとき
- 繰り返しのスタートコンディションの発行が完了したとき（繰り返しのスタートコンディションを検出したとき）
- BST.ALF（アービトレーションロスト）フラグが 1 になったとき

注. ストップコンディション発行中に SRCND ビットを 1 にしないでください。

注. スレーブモードでは SRCND ビットに 1（繰り返しのスタートコンディション発行要求）を書いた場合、繰り返しのスタートコンディションは発行されずに SRCND ビットは 1 のままになります。

本ビットをクリアせずにマスタモードに遷移させた場合、繰り返しのスタートコンディションが発行される可能性がありますので注意してください。

SPCND ビット（ストップ (P) コンディション発行）

マスタモードでストップコンディションの発行を要求します。

本ビットが 1 になるとストップコンディションの発行を要求し、BCST.BFREF フラグが 0（バスビジー）でかつ PRSST.CRMS ビットが 1（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細については、「40.3.2.3.3. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- BCST.BFREF フラグが 0、PRSST.CRMS ビットが 1 の状態で、SPCND ビットに 1 を書いたとき

[0 になる条件]

- SPCND ビットに 0 を書いたとき
- ストップコンディションの発行が完了したとき（ストップコンディションを検出したとき）
- BST.ALF（アービトレーションロスト）フラグが 1 になったとき

- スタートコンディションおよび繰り返しのスタートコンディションが検出されたとき

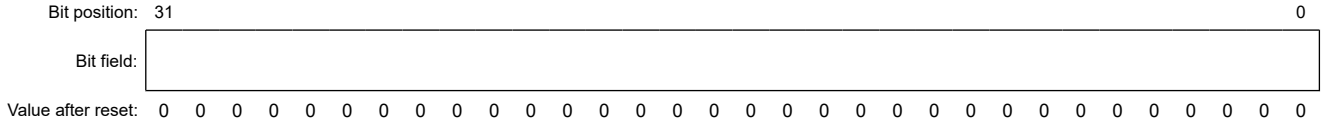
注. BCST.BFREF フラグが 1（バスフリー）のとき、SPCND ビットへの書き込みはできません。

注. 繰り返しのスタートコンディション発行中に SPCND ビットを 1 にしないでください。

40.2.33 NCMDQP : 通常コマンドキューポートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x150



ビット	シンボル	機能	R/W
31:0	n/a	通常コマンドキューポートレジスタ	W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

32 ビットメールボックスレジスタ NCMDQP には、要求された転送タイプに応じたコマンドディスクリプタ構造を含んでいます。

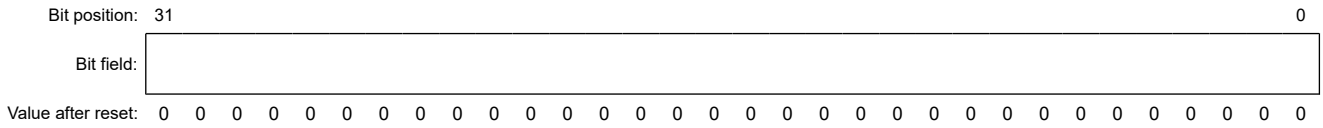
1. アドレス配置コマンド（「40.3.1.1.1. アドレス配置コマンド」参照）
2. 即時データ転送（「40.3.1.1.2. 即時データ転送コマンド」参照）
3. 通常データ転送（「40.3.1.1.3. 通常データ転送コマンド」参照）
4. 書き込み+書き込み／読み出しコンボデータ転送（「40.3.1.1.4. コンボデータ転送コマンド」参照）
5. 内部コントロールコマンド（「40.3.1.1.5. 内部コントロールコマンド」参照）

コマンドディスクリプタ内で、最下位 DWORD で始まり最上位 DWORD で終わる DWORD が現れます。

40.2.34 NRSPQP : 通常レスポンスキューポートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x154



ビット	シンボル	機能	R/W
31:0	n/a	通常レスポンスキューポート	R

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

32 ビットメールボックスレジスタ NRSPQP には、レスポンス構造（「40.3.1.4. 受信ステータスディスクリプタ」参照）を含んでいます。

40.2.35 NTDTBP0/NTDTBP0_BY : 通常転送データバッファポートレジスタ 0

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x158

Bit position:	31																											0
Bit field:																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	通常転送データバッファポート NTDTBP0 レジスタは、32 ビットの読み出し／書き込みレジスタです。 NTDTBP0_BY (NTDTBP0[7:0]) レジスタは、8 ビットの読み出し／書き込みレジスタです。	R/W

注. S-TYPE3, P-TYPE3

注. NTDTBP0 レジスタは、I3C モードでは 32 ビットアクセスです。
NTDTBP0_BY レジスタは、I²C モードでは 8 ビットアクセスです。

32 ビットメールボックスレジスタ NTDTBP0 は、32 ビットの双方向性データ転送レジスタで、通常受信データバッファからの読み出しと通常送信データバッファへの書き込みの両方に使用します。

言い換えれば、通常受信データバッファと通常送信データバッファは、I3C データを送受信する 1 つの双方向ポートを形成する同一のオフセットを有します。

読み出し動作

[I3C プロトコルモード]

通常受信データバッファからのデータ読み出し。通常キューステータスレベル表示に基づいて読み出す必要があります。受信データは常に 4 バイト境界に揃えられて、通常受信データバッファに格納されます。データ転送の長さが 4 バイト境界に揃っていないと、余分な（使用されない）バイトが転送データの末尾に存在することになります。有効なデータは、応答ディスクリプタの DATA_LENGTH フィールドを使用して識別する必要があります。

[I2C プロトコルモード]

1 バイトのデータの受信が終了すると、受信したデータは内部シフトレジスタから NTDTBP0 レジスタへ転送され、次のデータを受信可能にします。内部シフトレジスタと NTDTBP0 レジスタはダブルバッファ構造になっているため、内部シフトレジスタのデータ受信中に、すでに受信したデータを NTDTBP0 レジスタから読んでおくと連続受信動作が可能です。NTDTBP0 レジスタからの読み出しは、通常受信データバッファフル割り込み (I3C_RX) 要求が発生したときに 1 回だけ行ってください。受信データを NTDTBP0 レジスタから読み出さないまま（NTST.RDBFF0 フラグが 1 の状態のまま）NTDTBP0 レジスタが次の受信データを受け取ると、本モジュールは RDBFF0 フラグが再び 1 になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。読み出された 32 ビットデータの下位 8 ビットは、受信データとして有効です。

書き込み動作

[I3C プロトコルモード]

通常送信データバッファへのデータ書き込み。通常送信データバッファへ書き込むデータ DWORD は、DWORD LSB から順に I3C バスに一度に 1 バイトずつ置かれます。各バイト内のビットは、I3C バスにビット 7 から始まるビッグエンディアンの順で出力されます。送信データは常に 4 バイト境界で整列して始まり、NTDTBP0 レジスタに書き込まれます。データ転送の長さが 4 バイト境界に揃っていないと、余分な（使用されない）バイトが転送データの末尾に存在することになります。I3C は、コマンドディスクリプタの DATA_LENGTH フィールドに示される有効なバイト数のみを送信します。

[I2C プロトコルモード]

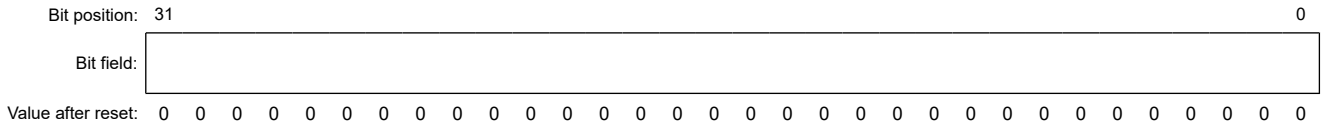
内部シフトレジスタの空きを検出すると、NTDTBP0 レジスタに書き込まれた送信データが内部シフトレジスタへ転送され、送信モードでデータ送信を開始します。NTDTBP0 レジスタと内部シフトレジスタはダブルバッファ構造になっているため、内部シフトレジスタのデータ送信中に、次に送信するデータを NTDTBP0 レジスタに書いておくと連続送信動作が可能です。NTDTBP0 レジスタへの送信データの書き込みは、通常送信データバッ

ファエンプティ割り込み (I3C_TX) 要求が発生したときに 1 回だけ行ってください。書き込まれた 32 ビットデータの下位 8 ビットは、送信データとして有効です。

40.2.36 NIBIQP : 通常 IBI キューポートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x17C



ビット	シンボル	機能	R/W
31:0	n/a	通常 IBI キューポート	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

IBI の受信時、32 ビットメールボックスレジスタ NIBIQP を以下の両方に使用します。

- IBI ステータスディスクリプタの読み出し（「40.3.1.3. IBI ステータスディスクリプタ」参照）
- IBI データの読み出し（Raw または Opaque のデータ）

IBI ステータスディスクリプタは、I3C バスのスレーブデバイスから受信した IBI イベントを表すリードオンリーの構造をしています。

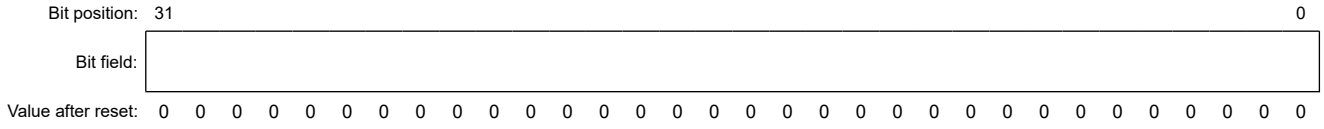
注. I3C HCI 自動読み出し機能を使用した場合、IBI データは自動生成のプライベートリード動作で受信したデータを含みます。

LAST_STATUS を 0 としても、ドライバソフトウェアは CHUNKS フィールドを確認してデータのペイロード長を評価します。

40.2.37 NRSQP : 通常受信ステータスキューポートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x180



ビット	シンボル	機能	R/W
31:0	n/a	通常受信ステータスキューポート	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

32 ビットメールボックスレジスタ NRSQP には、受信ステータス構造（「40.3.1.4. 受信ステータスディスクリプタ」参照）を含んでいます。

40.2.38 HCMDQP : 優先コマンドキューポートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x184

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	優先コマンドキューポート	W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

32 ビットメールボックスレジスタ HCMDQP には、要求された転送タイプに応じたコマンドディスクリプタ構造を含んでいます。

1. アドレス配置コマンド（「40.3.1.1.1. アドレス配置コマンド」参照）
2. 即時データ転送（「40.3.1.1.2. 即時データ転送コマンド」参照）
3. 通常データ転送（「40.3.1.1.3. 通常データ転送コマンド」参照）
4. 書き込み+書き込み／読み出しコンボ転送（「40.3.1.1.4. コンボデータ転送コマンド」参照）
5. 内部コントロールコマンド（「40.3.1.1.5. 内部コントロールコマンド」参照）

コマンドディスクリプタ内で、最下位 DWORD で始まり最上位 DWORD で終わる DWORD が現れます。

40.2.39 HRSPQP : 優先応答キューポートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x188

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	優先応答キューポート	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

32 ビットメールボックスレジスタ HRSPQP には、レスポンス構造を含んでいます。（「40.3.1.2. レスポンスディスクリプタ」を参照してください。）

40.2.40 HTDTBP : 優先転送データバッファポートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x18C

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	優先転送データバッファポート	R/W

注. S-TYPE3、P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

HTDTBP レジスタは、32 ビットの双方向性データ転送レジスタで、優先受信データバッファからの読み出しと優先送信データバッファへの書き込みの両方に使用します。

読み出し動作

優先受信データバッファからデータを受信するには、HTDTBP レジスタから読み出します。キューステータス表示に基づいて読み出す必要があります。

受信データは常に 4 バイト境界に揃えられて、優先受信データバッファに格納されます。

送信データの長さが 4 バイトバウンダリで整列していない場合、追加の（未使用の）バイトが送信データの末尾に付加されます。

有効なデータは、レスポンスディスクリプタの DATA_LENGTH フィールドを使って表されなければなりません。

書き込み動作

優先送信データバッファにデータを送信するには、HTDTBP レジスタに書き込みます。データポートへ書き込まれたデータ DWORD は、DWORD の LSB から順に、I3C バスに一度に 1 バイトずつ置かれます。各バイト内のビットは、I3C バスにビット 7 から始まるビッグエンディアンの順で出力されます。

優先送信データバッファポートは優先送信データバッファにマッピングされます。

送信データは常に 4 バイト境界に先頭揃えされて、送信データポートレジスタに書き込まれなければなりません。

送信データの長さが 4 バイトバウンダリで整列していない場合、追加の（未使用の）バイトが送信データの末尾に付加されます。

I3C は、コマンドディスクリプタの DATA_LENGTH フィールドに示される有効なバイト数のみを送信します。

40.2.41 NQTHCTL : 通常キュースレッショルドコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x190

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	IBIQTH[7:0]	IBIDSSZ[7:0]	RSPQTH[7:0]	CMDQTH[7:0]
Value after reset:	0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
7:0	CMDQTH[7:0]	通常コマンドキュースレッショルド(注1) 0x00: 通常コマンドキューが完全にエンプティのとき割り込みを発行する その他: 通常コマンドキューに N 個のエンプティがあるとき割り込みを発行する (N = CMDQTH[7:0])	R/W
15:8	RSPQTH[7:0]	通常レスポンスキュースレッショルド(注1) 0x00: 通常応答キューに 1 個のエントリ (DWORD) があるとき割り込みを発行する その他: 通常応答キューに N+1 個のエントリ (DWORD) があるとき割り込みをトリガする(N = CMDQTH[7:0])	R/W
23:16	IBIDSSZ[7:0]	通常 IBI データセグメントサイズ(注2) 使用可能な値 Min: 1（4 バイト） Max: 63（252 バイト）ただし、構成した IBI キュー深度が 64 以上である場合 ATCCNTE.ATCE = 1 の場合、スライス数が 2 以上であること	R/W

ビット	シンボル	機能	R/W
31:24	IBIQTH[7:0]	通常 IBI キュースレッショルド(注1) 0x00: I3C プロトコルモード（マスタ）: 発生した IBI ステータス数が 1 以上のとき、割り込みを発行する I3C プロトコルモード（スレーブ）: IBI データバッファが完全にエンプティのとき、割り込みを発行する その他: I3C プロトコルモード（マスタ）: 発生した IBI ステータス数が N + 1 以上のとき、割り込みを発行する(N = CMDQTH[7:0]) I3C プロトコルモード（スレーブ）: データバッファに N 個のエンプティがあるとき割り込みを発行する	R/W

注. S-TYPE3, P-TYPE3
注 1. これらのビットはすべての I3C モードをサポートします。
注 2. これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

キュースレッショルドコントロールレジスタは、コマンドキュー、レスポンスキュー、IBI キューの割り込みトリガスレッショルドをコントロールします。

特定のリセット値で指示し、ハードウェア実装固有のものにできます。

CMDQTH[7:0]ビット（通常コマンドキュースレッショルド）

I3C_CMD 割り込みをトリガするために必要な最小限の通常コマンドキューエンプティ数を制御します。

このフィールドが（通常コマンドキューのサイズ(注1) – 1）より大きい場合、フルバッファ深度をアドレスするために必要なビット数のみが考慮されます。

RSPQTH[7:0]ビット（通常レスポンスキュースレッショルド）

I3C_RESP 割り込みをトリガするために必要な最小限の通常応答キューエントリ数を制御します。

このフィールドが（通常応答キューのサイズ(注2) – 1）より大きい場合、フルバッファ深度をアドレスするために必要なビット数のみが考慮されます。

IBIDSSZ[7:0]ビット（通常 IBI データセグメントサイズ）

DWORD（4 バイト）の IBI データセグメントサイズです。

PIO モードでは、このフィールドによって、受信した通常 IBI データを複数のセグメントにスライスして、個別にステータスを生成できるため、長い IBI ペイロードデータのカットスルー読み出しが可能になります。

非同期タイミングコントロールモードを使用するとき、1 つのデータセグメントがマスタタイムスタンプ値全体（例、MREF と MC2 の両方）を含むようにするため、このフィールドは 1 と 3 以外の値に設定します。

IBIQTH[7:0]ビット（通常 IBI キュースレッショルド）

I3C プロトコルモード（マスタ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 1

通常 IBI キューの未処理 IBI ステータス数の値に基づいて、I3C_IBI 割り込みの生成を制御します。

それぞれの IBI ステータスエントリは、IBI ペイロード全体（IBI ペイロードバイトサイズが 4×IBIDSSZ 以下の場合）または、IBI ペイロードの 1 つのセグメント（IBI ペイロードのバイトサイズが 4×IBIDSSZ より大きい場合）のいずれかを表します。

I3C プロトコルモード（スレーブ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 0

I3C_IBI 割り込みをトリガするために必要な最小限の IBI データバッファエンプティ数を制御します。

フィールドが（IBI データバッファサイズ(注3) – 1）より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

注 1. 通常コマンドキューのサイズは 4 です。
注 2. 通常応答キューのサイズは 4 です。
注 3. IBI データバッファのサイズは 8 です。

注. I3C が確実に 1 つのコマンドキュー、1 つの応答キュー、1 つの IBI キューを有することを前提としています。

40.2.42 NTBTHCTL0 : 通常転送データバッファスレッショルドコントロールレジスタ 0

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x194

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	RXSTTH[2:0]			—	—	—	—	—	TXSTTH[2:0]		
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	RXDBTH[2:0]			—	—	—	—	—	TXDBTH[2:0]		
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	TXDBTH[2:0]	通常送信データバッファスレッショルド(注1) 0 0 0: 2 個の Tx バッファのエンプティ DWORD で割り込みをトリガする 0 0 1: 4 個の Tx バッファのエンプティ DWORD で割り込みをトリガする 0 1 0: 8 個の Tx バッファのエンプティ DWORD で割り込みをトリガする 0 1 1: 16 個の Tx バッファのエンプティ DWORD で割り込みをトリガする その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RXDBTH[2:0]	通常受信データバッファスレッショルド(注1) 0 0 0: 2 個の Rx バッファのエントリ DWORD で割り込みをトリガする 0 0 1: 4 個の Rx バッファのエントリ DWORD で割り込みをトリガする 0 1 0: 8 個の Rx バッファのエントリ DWORD で割り込みをトリガする 0 1 1: 16 個の Rx バッファのエントリ DWORD で割り込みをトリガする その他: 設定禁止	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	TXSTTH[2:0]	通常 Tx スタートスレッショルド(注2) 0 0 0: 2 個のエントリ DWORD を待つ 0 0 1: 4 個のエントリ DWORD を待つ 0 1 0: 8 個のエントリ DWORD を待つ 0 1 1: 16 個のエントリ DWORD を待つ その他: 設定禁止	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	RXSTTH[2:0]	通常 Rx スタートスレッショルド(注2) 0 0 0: 2 個のエンプティ DWORD を待つ 0 0 1: 4 個のエンプティ DWORD を待つ 0 1 0: 8 個のエンプティ DWORD を待つ 0 1 1: 16 個のエンプティ DWORD を待つ その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. これらのビットはすべての I3C モードをサポートします。
注 2. これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

このデータバッファコントロールレジスタは、受信データバッファキューと送信データバッファキューの割り込みトリガスレッショルドを制御します。

TXDBTH[2:0]ビット（通常送信データバッファスレッショルド）

DWORD において、I3C_TX 割り込みをトリガする最小限の送信データバッファエンプティ数。

ソフトウェアは、送信データバッファのサイズより小さい値を本レジスタにプログラムする必要があります。

RXDBTH[2:0]ビット（通常受信データバッファスレッショルド）

DWORD において、I3C_RX 割り込みをトリガする最小限の受信データバッファエントリ数。

ソフトウェアは、受信データバッファのサイズより小さい値を本レジスタにプログラムする必要があります。

TXSTTH[2:0]ビット（通常 Tx スタートスレッショルド）

I3C バスでの書き込み転送の準備をするとき、I3C は、送信バッファが少なくとも示されたロケーションの数より多く使用可能になるまで待ちます。

以下の 2 つの構成可能なモードのオプションがあります。

1. ストアアンドフォワードモード
   TXSTTH[2:0]フィールドが送信バッファサイズに設定されている場合、I3C は書き込みコマンドの開始を以下のように遅延させます。
   - 転送データ長が送信バッファのサイズより大きい場合、本モジュールは送信データバッファが完全にフルになるまで待ちます。
   - 転送されるデータ長が送信バッファサイズより小さい場合、I3C は転送するデータを格納するのに十分な送信データバッファロケーションが使用可能になるまで待ちます。
2. スレッショルドモード
   TXSTTH[2:0]フィールド値が送信バッファサイズより小さい場合、I3C は示された数の送信データバッファロケーションがエントリになるとすぐに書き込みコマンドを実行します。

RXSTTH[2:0]ビット（通常 Rx スタートスレッショルド）

I3C バスでの読み出し転送の準備をするとき、I3C は受信バッファが少なくとも示されたエンプティロケーションの数（DWORD 単位）より多く使用可能になるまで待ちます。

以下の 2 つの構成可能なモードのオプションがあります。

1. ストアアンドフォワードモード
   RXSTTH[2:0]フィールドが受信バッファサイズに設定されている場合、I3C は読み出しコマンドの開始を以下のように遅延させます。
   - 転送データ長が受信バッファのサイズより大きい場合、本モジュールは受信データバッファが完全にエンプティになるまで待ちます。
   - 転送データ長が受信バッファサイズより小さい場合、I3C は転送するデータを格納するのに十分な受信データバッファロケーションが使用可能になるまで待ちます。
2. スレッショルドモード
   RXSTTH[2:0]フィールド値が受信バッファサイズより小さい場合、I3C は示された数の受信データバッファロケーションがエンプティになるとすぐに読み出しコマンドを実行します。

40.2.43 NRQTHCTL : 通常受信ステータスキュースレッショルドコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RSQTH[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
7:0	RSQTH[7:0]	通常受信ステータスキュースレッショルド 0x00: 通常受信ステータスキューに 1 個のエントリ (DWORD) があるとき割り込みを発行する その他: 通常受信ステータスキューに N+1 個のエントリ (DWORD) があるとき割り込みをトリガする(N = RSQTH[7:0])	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3、P-TYPE3
注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

RSQTH[7:0]ビット（通常受信ステータスキュースレッショルド）

I3C_RCV 割り込みをトリガするために必要な最小限の通常受信ステータスキューエントリ数を制御します。

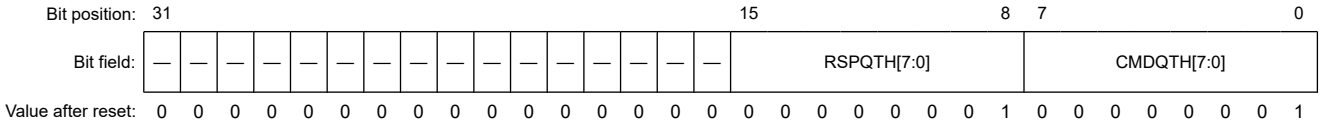
このフィールドが（通常受信ステータスキューのサイズ(注1) – 1）より大きい場合、フルバッファ深度をアドレスするために必要なビット数のみが考慮されます。

注 1. 通常受信ステータスキューのサイズは 2 です。

40.2.44 HQTHCTL : 優先キュースレッショルドコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1C4



ビット	シンボル	機能	R/W
7:0	CMDQTH[7:0]	優先コマンドキュースレッショルド 0x00: 優先コマンドキューが完全にエンプティのとき割り込みを発行する その他: 優先コマンドキューに N 個のエントリがあるとき割り込みを発行する (N = CMDQTH[7:0])	R/W
15:8	RSPQTH[7:0]	優先応答キュースレッショルド 0x00: 優先応答キューに 1 個のエントリ (DWORD) があるとき割り込みを発行する その他: 優先応答キューに N+1 個のエントリ (DWORD) があるとき割り込みをトリガする (N = RSPQTH[7:0])	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3、P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

優先キュースレッショルドコントロールレジスタは、優先コマンドキュー、優先応答キュー、IBI キューの割り込みトリガスレッショルドをコントロールします。

特定のリセット値で指示し、ハードウェア実装固有のものにできます。

CMDQTH[7:0]ビット（優先コマンドキュースレッショルド）

I3C_HCMD 割り込みをトリガするために必要な最小のエンプティ優先コマンドキューエントリの数をコントロールします。

フィールドが（優先コマンドキューサイズ(注1) – 1）より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

RSPQTH[7:0]ビット（優先応答キュースレッショルド）

I3C_HRESP 割り込みをトリガするために必要な最小の優先応答キューエントリの数をコントロールします。

このフィールドが（優先応答キューのサイズ(注2) – 1）より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

注 1. 優先コマンドキューのサイズは 2 です。
注 2. 優先応答キューのサイズは 2 です。

注. I3C が確実に 1 つの優先コマンドキュー、1 つの優先応答キュー、1 つの IBI キューを有することを前提としています。

40.2.45 HTBTHCTL : 優先転送データバッファスレッショルドコントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	RXSTTH[2:0]			—	—	—	—	—	TXSTTH[2:0]		
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	RXDBTH[2:0]			—	—	—	—	—	TXDBTH[2:0]		
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	TXDBTH[2:0]	優先送信データバッファスレッショルド 0 0 0: 2 個の優先送信バッファエンプティ DWORD で割り込みをトリガする 0 0 1: 予約 その他 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RXDBTH[2:0]	優先受信データバッファスレッショルド 0 0 0: 2 個の優先 Rx バッファのエントリ DWORD で割り込みをトリガする 0 0 1: 予約 その他 設定禁止	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	TXSTTH[2:0]	優先 Tx スタートスレッショルド 0 0 0: 2 個のエントリ DWORD を待つ 0 0 1: 予約 その他 設定禁止	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	RXSTTH[2:0]	優先 Rx スタートスレッショルド 0 0 0: 2 個のエンプティ DWORD を待つ 0 0 1: 予約 その他 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3、P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

TXDBTH[2:0]ビット（優先送信データバッファスレッショルド）

DWORD において、I3C_HTX 割り込みをトリガする最小限の優先送信データバッファエンプティ数。ソフトウェアは、優先送信データバッファのサイズより小さい値を本レジスタにプログラムする必要があります。

RXDBTH[2:0]ビット（優先受信データバッファスレッショルド）

DWORD において、I3C_HRX 割り込みをトリガする最小限の優先受信データバッファエントリ数。ソフトウェアは、優先受信データバッファサイズより小さい値を本レジスタにプログラムする必要があります。

TXSTTH[2:0]ビット（優先 Tx スタートスレッショルド）

I3C バスでの書き込み転送の準備をするとき、I3C は優先送信バッファが少なくとも示されたロケーションの数より多く使用可能になるまで待ちます。

以下の 2 つの構成可能なモードのオプションがあります。

1. ストアアンドフォワードモード
   TXSTTH[2:0]フィールドが優先送信バッファサイズに設定されている場合、I3C は書き込みコマンドの実行を以下のように遅延させます。

- 転送データ長が優先送信バッファサイズより大きい場合、I3C は優先送信データバッファが完全にフルになるまで待ちます。
- 転送データ長が優先送信バッファサイズより小さい場合、I3C は転送するデータを格納するのに十分な優先送信データバッファロケーションが使用可能になるまで待ちます。

2. スレッショルドモード
TXSTTH[2:0]フィールド値が優先送信バッファサイズより小さい場合、I3C は示された数の優先送信データバッファロケーションがエンプティになるとすぐに書き込みコマンドを実行します。

RXSTTH[2:0]ビット（優先 Rx スタートスレッショルド）

I3C バスでの読み出し転送の準備をするとき、I3C は優先受信バッファが少なくとも示されたエンプティロケーションの数（DWORD 単位）より多く使用可能になるまで待ちます。

以下の 2 つの構成可能なモードのオプションがあります。

1. ストアアンドフォワードモード
RXSTTH[2:0]フィールドが優先受信バッファサイズに設定されている場合、I3C は読み出しコマンドの実行を以下のように遅延させます。
   - 転送データ長が優先受信バッファサイズより大きい場合、I3C は優先受信データバッファが完全にエンプティになるまで待ちます。
   - 転送データ長が優先受信バッファサイズより小さい場合、I3C は転送するデータを格納するのに十分な優先受信データバッファロケーションが使用可能になるまで待ちます。
2. スレッショルドモード
RXSTTH[2:0]フィールド値が優先受信バッファサイズより小さい場合、I3C は示された数の優先受信データバッファロケーションがエンプティになるとすぐに読み出しコマンドを実行します。

40.2.46 BST : バスステータスレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDF	—	—	—	TODF	—	—	—	ALF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDF	—	—	—	NACKDF	—	HDREXDF	SPCNDDF	STCNDDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDF	スタートコンディション検出フラグ 0: スタートコンディション未検出 1: スタートコンディション検出	R/W(注3)
1	SPCNDDF	ストップコンディション検出フラグ 0: ストップコンディション未検出 1: ストップコンディション検出	R/W(注3)
2	HDREXDF	HDR 終了パターン検出フラグ(注1) 0: HDR 終了パターンを検出していない 1: HDR 終了パターンを検出した	R/W(注3)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NACKDF	NACK 検出フラグ(注2) 0: NACK 未検出 1: NACK 検出	R/W(注3)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	TENDF	送信終了フラグ(注2) 0: データ送信中 1: データ送信終了	R/W(注3)
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ALF	アービトレーションロストフラグ(注2) 0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/W(注3)
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TODF	タイムアウト検出フラグ 0: タイムアウト未検出 1: タイムアウト検出	R/W(注3)
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	WUCNDDF	ウェイクアップコンディション検出フラグ 0: ウェイクアップ未検出 1: ウェイクアップ検出	R/W(注3)
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I^2C モードをサポートします。
注 3. 0 になる条件：1 を読んだ後、0 を書き込んだとき

STCNDDF ビット（スタートコンディション検出フラグ）

[1 になる条件]

- 以下のすべてが満たされたとき：
  1. BSTE.STCNDDE ビットが 1 である
  2. スタートコンディション（または繰り返しのスタートコンディション）が検出された

[0 になる条件]

- STCNDDF = 1 を読んだ後、STCNDDF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき

SPCNDDF ビット（ストップコンディション検出フラグ）

[1 になる条件]

- 以下のすべてが満たされたとき：
  1. BSTE.SPCNDDE ビットが 1 である
  2. ストップコンディションが検出されたとき

[0 になる条件]

- SPCNDDF = 1 を読んだ後、SPCNDDF フラグに 0 を書いたとき

HDREXDF ビット（HDR 終了パターン検出フラグ）

[1 になる条件]

- 以下のすべてが満たされたとき：
  1. BSTE.HDREXDE ビットが 1 である
  2. HDR 終了パターンを検出した

[0 になる条件]

- HDREXDF = 1 を読んだ後、HDREXDF フラグに 0 を書いたとき

NACKDF ビット（NACK 検出フラグ）

[1 になる条件]

- 以下のすべてが満たされたとき：
  1. PRTS.PRTMD ビットが 1 である（I^2C プロトコルモード）
  2. BSTE.NACKDE ビットが 1 である（NACK 検出割り込みステータスログが有効）
  3. 送信モード時に受信デバイスからアクノリッジを受信しない（NACK を受信した）

[0 になる条件]

- NACKDF = 1 を読んだ後、NACKDF フラグに 0 を書いたとき

TENDF ビット（送信終了フラグ）

[1 になる条件]

- 以下のすべてが満たされたとき：
  1. PRTS.PRTMD ビットが 1 である（I^2C プロトコルモード）
  2. BSTE.TENDE ビットが 1 である（送信終了割り込みステータスログが有効）
  3. NTST.TDBEF0 フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時点である（ただし、アドレス送信時を除く）

[0 になる条件]

- TENDF = 1 を読んだ後、TENDF フラグに 0 を書いたとき
- NTDTBP0 レジスタへデータを書いたとき
- ストップコンディションが検出されたとき

ALF ビット（アービトレーションロストフラグ）

[1 になる条件]

マスタアービトレーションロスト検出有効時：BSTE.ALE = 1、BFCTL.MALE = 1

- マスタ送信モード時のデータ（スレーブアドレスを含む）送信中に、ACK 期間を除く SCL クロックの立ち上がりエッジで内部の SDA 出力状態が I3C_SDA ラインレベルと不一致のとき（内部 SDA 出力が High 出力（I3C_SDA 端子がハイインピーダンス）の状態で、I3C_SDA ラインに Low を検出したとき）
- 以下のすべてが満たされたとき
  1. CNDCTL.STCND ビットが 1 の状態で、スタートコンディションが検出された
  2. 内部の SDA 出力状態が I3C_SDA ラインレベルと不一致である
- BCST.BFREF フラグが 0 の状態で CNDCTL.STCND ビットが 1（スタートコンディション発行要求）のとき

NACK アービトレーションロスト検出有効時：BSTE.ALE = 1、BFCTL.NALE = 1

- 受信モード時の NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりエッジで I3C_SDA ラインレベルと不一致のとき

スレーブアービトレーションロスト検出有効時：BSTE.ALE = 1、BFCTL.SALE = 1

- スレーブ送信モード時のデータ送信中に、ACK 期間を除いて、内部の SDA 出力状態が SCL クロックの立ち上がりエッジで I3C_SDA ラインレベルと不一致のとき

[0 になる条件]

- ALF = 1 を読んだ後、ALF フラグに 0 を書いたとき

TODF ビット（タイムアウト検出フラグ）

[1 になる条件]

- 以下のすべてが満たされたとき

1. BSTE.TODE ビットが 1 である（タイムアウト検出割り込みステータスログを許可）
2. マスタモードであるとき、または、スレーブモードで受信したスレーブアドレスがスレーブアドレス n (n = 0～2) と一致するとき
3. I3C_SCL ライン状態が TMOCTL レジスタに指定された期間変わらないとき

［0 になる条件］

- TODF = 1 を読んだ後、TODF フラグに 0 を書いたとき

WUCNDDF ビット（ウェイクアップコンディション検出フラグ）

［1 になる条件］

I^2C プロトコルモード：PRTS.PRTMD = 1

- 以下がすべて満たされたうえで、PCLK と TCLK が供給されたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. BSTE.WUCNDDE ビットが 1（ウェイクアップ状態検出ステータスログが有効）である
  3. WUST.WUASYNF = 1
  4. スレーブモードで受信したアドレスが SVCTL.SVAE[2:0]ビットで有効にしたスレーブのアドレスと一致する（デバイス ID アドレスを除く）

I3C プロトコルモード（マスタ）：PRTS.PRTMD = 0、PRSST.CRMS = 1

- 以下がすべて満たされたうえで、PCLK と TCLK が供給されたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. BSTE.WUCNDDE ビットが 1（ウェイクアップ状態検出ステータスログが有効）である
  3. WUST.WUASYNF = 1
  4. I3C_SDA ラインの Low レベルを検出したとき（スタートコンディションを検出したとき）

I3C プロトコルモード（スレーブ）：PRTS.PRTMD = 0、PRSST.CRMS = 0

- 以下がすべて満たされたうえで、PCLK と TCLK が供給されたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. BSTE.WUCNDDE ビットが 1（ウェイクアップ状態検出ステータスログが有効）である
  3. WUST.WUASYNF = 1
  4. スタートコンディション（または繰り返しのスタートコンディション）の後にブロードキャストアドレス (0x7E) が検出され、そのブロードキャストアドレスに続く繰り返しのスタートコンディションの後にそれ自身のダイナミックアドレスが検出されたとき

［0 になる条件］

- WUST.WUASYNF フラグが 0 である状態で、WUCNDDF = 1 を読んだ後、WUCNDDF フラグに 0 を書いたとき

40.2.47 BSTE : バスステータス許可レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1D4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDE	—	—	—	TODE	—	—	—	ALE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDE	—	—	—	NACKDE	—	HDREXDE	SPCNDDE	STCNDDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDE	スタートコンディション検出許可 0: スタートコンディション検出割り込みステータスログを禁止 1: スタートコンディション検出割り込みステータスログを許可	R/W
1	SPCNDDE	ストップコンディション検出許可 0: ストップコンディション検出割り込みステータスログを禁止 1: ストップコンディション検出割り込みステータスログを許可	R/W
2	HDREXDE	HDR 終了パターン検出許可(注1) 0: HDR 終了パターン検出割り込みステータスログを禁止 1: HDR 終了パターン検出割り込みステータスログを許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NACKDE	NACK 検出許可(注2) 0: NACK 検出割り込みステータスログを禁止 1: NACK 検出割り込みステータスログを許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TENDE	送信終了許可(注2) 0: 送信終了割り込みステータスログを禁止 1: 送信終了割り込みステータスログを許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ALE	アービトレーションロスト許可(注2) 0: アービトレーションロスト割り込みステータスログを禁止 1: アービトレーションロスト割り込みステータスログを許可	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TODE	タイムアウト検出許可 0: タイムアウト検出割り込みステータスログを禁止 1: タイムアウト検出割り込みステータスログを許可	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	WUCNDDE	ウェイクアップコンディション検出許可 0: ウェイクアップコンディション検出ステータスログを禁止 1: ウェイクアップコンディション検出ステータスログを許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I^2C モードをサポートします。

STCNDDE ビット（スタートコンディション検出許可）

本ビットが 1 のとき、BST.STCNDDF の動作が有効になります。BST.STCNDDF フラグの 1 になる条件、0 になる条件については、BST.STCNDDF フラグの詳細を参照してください。

SPCNDDE ビット（ストップコンディション検出許可）

本ビットが 1 のとき、BST.SPCNDDF の動作が有効になります。BST.SPCNDDF フラグの 1 になる条件、0 になる条件については、BST.SPCNDDF フラグの詳細を参照してください。

HDREXDE ビット（HDR 終了パターン検出許可）

本ビットが 1 のとき、BST.HDREXDF の動作が有効になります。BST.HDREXDF フラグの 1 になる条件、0 になる条件については、BST.HDREXDF フラグの詳細を参照してください。

NACKDE ビット（NACK 検出許可）

本ビットが 1 のとき、BST.NACKDF の動作が有効になります。送信モードのスレーブデバイスから NACK を受信した場合、転送動作を継続するか中断するかを指定するために使用されます。通常は、本ビットを 1 にしてください。BST.NACKDF フラグの 1 になる条件、0 になる条件については、BST.NACKDF フラグの詳細を参照してください。

TENDE ビット（送信終了許可）

本ビットが 1 のとき、BST.TENDF の動作が有効になります。BST.TENDF フラグの 1 になる条件、0 になる条件については、BST.TENDF フラグの詳細を参照してください。

ALE ビット（アービトレーションロスト許可）

本ビットが 1 のとき、BST.ALF の動作が有効になります。BST.ALF フラグの 1 になる条件、0 になる条件については、BST.ALF フラグの詳細を参照してください。

TODE ビット（タイムアウト検出許可）

本ビットが 1 のとき、BST.TODF の動作が有効になります。BST.TODF フラグの 1 になる条件、0 になる条件については、BST.TODF フラグの詳細を参照してください。

WUCNDDE ビット（ウェイクアップコンディション検出許可）

このビットが 1 のとき、BST.WUCNDDF の動作が有効になります。BST.WUCNDDF フラグの 1 になる条件、0 になる条件については、BST.WUCNDDF フラグの詳細を参照してください。

40.2.48 BIE : バス割り込み許可レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1D8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDIE	—	—	—	TODIE	—	—	—	ALIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDIE	—	—	—	NACKDIE	—	HDREXDIE	SPCNDDIE	STCNDDIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDIE	スタートコンディション検出割り込み許可 0: スタートコンディション検出割り込み信号を禁止 1: スタートコンディション検出割り込み信号を許可	R/W
1	SPCNDDIE	ストップコンディション検出割り込み許可 0: ストップコンディション検出割り込み信号を禁止 1: ストップコンディション検出割り込み信号を許可	R/W
2	HDREXDIE	HDR 終了パターン検出割り込み許可(注1) 0: HDR 終了パターン検出割り込み信号を禁止 1: HDR 終了パターン検出割り込み信号を許可	R/W

ビット	シンボル	機能	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NACKDIE	NACK 検出割り込み許可(注2) 0: NACK 検出割り込み信号を禁止 1: NACK 検出割り込み信号を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TENDIE	送信終了割り込み許可(注2) 0: 送信終了割り込み信号を禁止 1: 送信終了割り込み信号を許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ALIE	アービトレーションロスト割り込み許可(注2) 0: アービトレーションロスト割り込み信号を禁止 1: アービトレーションロスト割り込み信号を許可	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TODIE	タイムアウト検出割り込み許可 0: タイムアウト検出割り込み信号を禁止 1: タイムアウト検出割り込み信号を許可	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	WUCNDDIE	ウェイクアップコンディション検出割り込み許可 0: ウェイクアップコンディション検出割り込み信号を禁止 1: ウェイクアップコンディション検出割り込み信号を許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I^2C モードをサポートします。

BIE は、I3C で受信したバス割り込みの信号を許可します。

STCNDDIE ビット（スタートコンディション検出割り込み許可）

BST.STCNDDF フラグが 1 のとき、スタートコンディション検出割り込み要求を許可または禁止します。

SPCNDDIE ビット（ストップコンディション検出割り込み許可）

BST.SPCNDDF フラグが 1 のとき、ストップコンディション検出割り込み要求を許可または禁止します。

HDREXDIE ビット（HDR 終了パターン検出割り込み許可）

BST.HDREXDF フラグが 1 になったとき、HDR 終了パターン検出割り込み要求を許可または禁止します。

NACKDIE ビット（NACK 検出割り込み許可）

BST.NACKDF フラグが 1 のとき、NACK 検出割り込み要求を許可または禁止します。

TENDIE ビット（送信終了割り込み許可）

BST.TENDF フラグが 1 のとき、送信終了割り込み (I3C_TEND) 要求を許可または禁止します。

ALIE ビット（アービトレーションロスト割り込み許可）

BST.ALF フラグが 1 のとき、アービトレーションロスト割り込み要求を許可または禁止します。

TODIE ビット（タイムアウト検出割り込み許可）

BST.TODF フラグが 1 のとき、タイムアウト検出割り込み要求を許可または禁止します。

WUCNDDIE ビット（ウェイクアップコンディション検出割り込み許可）

BST.WUCNDDF フラグが 1 のとき、ウェイクアップコンディション検出割り込み (I3C_WU) 要求を許可または禁止します。

40.2.49 BSTFC : バスステータス強制レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1DC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDFC	—	—	—	TODFC	—	—	—	ALFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDFC	—	—	—	NACKDFC	—	HDREXDFC	SPCNDDFC	STCNDDFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDFC	スタートコンディション検出強制 0: ソフトウェアテスト用にスタートコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にスタートコンディション検出割り込みを強制する	W
1	SPCNDDFC	ストップコンディション検出強制 0: ソフトウェアテスト用にストップコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にストップコンディション検出割り込みを強制する	W
2	HDREXDFC	HDR 終了パターン検出強制(注1) 0: ソフトウェアテスト用に HDR 終了パターン検出割り込みを強制しない 1: ソフトウェアテスト用に HDR 終了パターン検出割り込みを強制する	W
3	—	読むと 0 が読めます。	R
4	NACKDFC	NACK 検出強制(注2) 0: ソフトウェアテスト用に NACK 検出割り込みを強制しない 1: ソフトウェアテスト用に NACK 検出割り込みを強制する	W
7:5	—	読むと 0 が読めます。	R
8	TENDFC(注3)	送信終了強制(注2) 0: ソフトウェアテスト用に送信終了割り込みを強制しない 1: ソフトウェアテスト用に送信終了割り込みを強制する	W
15:9	—	読むと 0 が読めます。	R
16	ALFC	アービトレーションロスト強制(注2) 0: ソフトウェアテスト用にアービトレーションロスト割り込みを強制しない 1: ソフトウェアテスト用にアービトレーションロスト割り込みを強制する	W
19:17	—	読むと 0 が読めます。	R
20	TODFC	タイムアウト検出強制 0: ソフトウェアテスト用にタイムアウト検出割り込みを強制しない 1: ソフトウェアテスト用にタイムアウト検出割り込みを強制する	W
23:21	—	読むと 0 が読めます。	R
24	WUCNDDFC	ウェイクアップコンディション検出強制 0: ソフトウェアテスト用にウェイクアップコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にウェイクアップコンディション検出割り込みを強制する	W
31:25	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I^2C モードをサポートします。
注 3. TDBEF0 ビットが 1 でない限り、TENDFC は無効です。

40.2.50 NTST : 通常転送ステータスレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFF	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEF	—	—	—	TABTF	RSPQFF	CMDQEF	IBIQEFF	RDBFF0	TDBEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEF0	通常送信データバッファエンプティフラグ 0 0: I2C プロトコルモード : PRTS.PRTMD ビット = 1 通常送信データバッファに送信データが格納されている I3C プロトコルモード : PRTS.PRTMD ビット = 0 通常送信データバッファのエンプティの数が NTBTHCTL0.TXDBTH[2:0]スレッショルドより小さい 1: I2C プロトコルモード : PRTS.PRTMD ビット = 1 通常送信データバッファに送信データが格納されていない I3C プロトコルモード : PRTS.PRTMD ビット = 0 通常送信データバッファのエンプティの数が NTBTHCTL0.TXDBTH[2:0]スレッショルドと同じか、より大きい	R/W(注3)
1	RDBFF0	通常受信データバッファフルフラグ 0 0: I2C プロトコルモード : PRTS.PRTMD ビット = 1 通常受信データバッファに受信データが格納されていない I3C プロトコルモード : PRTS.PRTMD ビット = 0 通常受信データバッファのエントリの数が NTBTHCTL0.RXDBTH[2:0]スレッショルドより小さい 1: I2C プロトコルモード : PRTS.PRTMD ビット = 1 通常受信データバッファに受信データが格納されている I3C プロトコルモード : PRTS.PRTMD ビット = 0 通常受信データバッファのエントリの数が NTBTHCTL0.RXDBTH[2:0]スレッショルドと同じか、より大きい	R/W(注3)
2	IBIQEFF	通常 IBI キューエンプティ／フルフラグ(注1) 0: I3C プロトコルモード（マスタ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 1 通常 IBI キューのエントリの数が NQTHCTL.IBIQTH スレッショルドと同じか、より小さい I3C プロトコルモード（スレーブ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 0 NQTHCTL.IBIQTH ビット = 0 の場合 : IBI データバッファエンプティの数は、IBI データバッファサイズより小さい NQTHCTL.IBIQTH ビットが 0 以外の場合 : IBI データバッファエンプティの数は、NQTHCTL.IBIQTH スレッショルドより小さい 1: I3C プロトコルモード（マスタ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 1 通常 IBI キューのエントリの数が NQTHCTL.IBIQTH スレッショルドより大きい I3C プロトコルモード（スレーブ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 0 NQTHCTL.IBIQTH ビット = 0 の場合 : IBI データバッファエンプティの数は、IBI データバッファサイズと同じである NQTHCTL.IBIQTH ビットが 0 以外の場合 : IBI データバッファエンプティの数は、NQTHCTL.IBIQTH スレッショルドと同じか、より大きい	R/W(注3)

ビット	シンボル	機能	R/W
3	CMDQEF	通常コマンドキューエンプティフラグ(注1) 0: NQTHCTL.CMDQTH ビット = 0 の場合： 通常コマンドキューのエンプティの数が通常コマンドキューサイズより小さい NQTHCTL.CMDQTH ビットが 0 以外の場合： 通常コマンドキューのエンプティの数が NQTHCTL.CMDQTH スレッショルドより小さい 1: NQTHCTL.CMDQTH ビット = 0 の場合： 通常コマンドキューのエンプティの数が通常コマンドキューサイズと同じである NQTHCTL.CMDQTH ビットが 0 以外の場合： 1: 通常コマンドキューのエンプティの数が NQTHCTL.CMDQTH スレッショルドと同じか、より大きい	R/W(注3)
4	RSPQFF	通常レスポンスキューフルフラグ(注1) 0: 通常応答キューのエントリの数が NQTHCTL.RSPQTH スレッショルドと同じか、より小さい 1: 通常応答キューのエントリの数が NQTHCTL.RSPQTH スレッショルドより大きい	R/W(注3)
5	TABTF	通常転送中断フラグ(注1) 0: 通常転送中断が発生していない 1: 通常転送中断が発生している 本ビットを 0 にするには、1 のステートを読んだ後、0 を書いてください。	R/W(注3)
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEF	通常転送エラーフラグ(注1) 0: 通常転送エラーが発生していない 1: 通常転送エラーが発生している 本ビットを 0 にするには、1 のステートを読んだ後、0 を書いてください。	R/W(注3)
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	RSQFF	通常受信ステータスキューフルフラグ(注2) 0: 通常受信ステータスキューのエントリの数が NRQTHCTL.RSQTH スレッショルドと同じか、より小さい 1: 通常受信ステータスキューのエントリの数が NRQTHCTL.RSQTH スレッショルドより大きい	R/W(注3)
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 3. 0 になる条件：1 の状態を読んだ後、0 を書き込んだとき

TDBEF0 ビット（通常送信データバッファエンプティフラグ 0）

[1 になる条件]

I2C プロトコルモード：PRTS.PRTMD ビット = 1

下記の 1.の条件が満たされ、かつ下記 2.～4.のいずれかの条件が満たされたとき

1. NTSTE.TDBEE0 ビットが 1 である（通常送信データバッファエンプティ割り込みステータスログを許可）
2. 通常送信データバッファからシフトレジスタにデータが転送されて、通常送信データバッファがエンプティになったとき(注1)
3. PRSST.TRMD ビットを 1 にしたとき
4. TRMD ビットが 1 の状態で、受信したスレーブアドレスが一致したとき

I3C プロトコルモード：PRTS.PRTMD ビット = 0

以下の 1.と 2.の条件を満たしたとき

1. NTSTE.TDBEE0 ビットが 1 である（通常送信データバッファエンプティ割り込みステータスログを許可）
2. 通常送信データバッファのエンプティの数が NTBTHCTL0.TXDBTH[2:0]スレッショルド（NTBTHCTL0 レジスタを参照）と同じか、より大きい

[0 になる条件]

I²C プロトコルモード：PRTS.PRTMD ビット = 1

- NTDTBP0 レジスタへデータが書き込まれたとき
- PRSST.TRMD ビットが 0 になったとき

I3C プロトコルモード：PRTS.PRTMD ビット = 0

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常送信データへの直近の書き込みアクセスが完了したとき

注 1. BSTE.NACKDE ビットが 1 のとき、BST.NACKDF フラグが 1 になると、I3C はデータ送受信動作を中断します。TDBEF0 フラグが 0（次の送信データがすでに書き込まれている状態）の場合、9 クロック目の立ち上がりエッジでシフトレジスタへデータが転送されて、通常送信データバッファレジスタはエンプティになりますが、TDBEF0 フラグは 1 になりません。

RDBFF0 ビット（通常受信データバッファフルフラグ 0）

[1 になる条件]

I²C プロトコルモード：PRTS.PRTMD ビット = 1

下記の 1.の条件が満たされ、かつ下記 2.または 3.のいずれかの条件が満たされたとき

1. NTSTE.RDBFE0 ビットが 1 である（通常受信データバッファフル割り込みステータスログを許可）
2. シフトレジスタから通常受信データバッファに受信データが転送されたとき
   RDBFF0 フラグは、SCL クロックの 8 クロック目または 9 クロック目（SCSTRCTL レジスタの ACKTWE ビットで選択）の立ち上がりエッジで 1 になる
3. PRSST.TRMD ビットが 0 の状態で、スタートコンディションまたは繰り返しのスタートコンディション検出後、受信したスレーブアドレスが一致したとき

I3C プロトコルモード：PRTS.PRTMD ビット = 0

以下の 1.と 2.の条件を満たしたとき

1. NTSTE.RDBFE0 ビットが 1 である（通常受信データバッファフル割り込みステータスログを許可）
2. 通常受信データバッファのエントリの数が NTBTHCTL0.RXDBTH[2:0]スレッショルド（NTBTHCTL0 レジスタを参照）と同じか、より大きいとき

[0 になる条件]

I²C プロトコルモード：PRTS.PRTMD ビット = 1

- NTDTBP0 レジスタからデータを読んだとき

I3C プロトコルモード：PRTS.PRTMD ビット = 0

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常受信データへの直近の読み出しアクセスが完了したとき

IBIQEFF ビット（通常 IBI キューエンプティ／フルフラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.IBIQEFE ビットが 1 である（通常 IBI キューエンプティ／フル割り込みステータスログを許可）
2. I3C プロトコルモード（マスタ）：PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 1
   - 通常 IBI キューのエントリの数が NQTHCTL.IBIQTH スレッショルド（NQTHCTL レジスタを参照）より大きいとき

   I3C プロトコルモード（スレーブ）：PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 0
   NQTHCTL.IBIQTH ビット = 0 の場合：
   - IBI データバッファが完全にエンプティのとき

NQTHCTL.IBIQTH ビットが 0 以外の場合：

- IBI データバッファエンプティの数が、NQTHCTL.IBIQTH スレッショルド（NQTHCTL レジスタを参照）と同じか、より大きいとき

[0 になる条件]

I3C プロトコルモード（マスタ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 1

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による IBI ステータスへの直近の読み出しアクセスが完了したとき

I3C プロトコルモード（スレーブ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 0

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による IBI ステータスへの直近の書き込みアクセスが完了したとき

CMDQEF ビット（通常コマンドキューエンプティフラグ）

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. NTSTE.CMDQEE ビットが 1 である（通常コマンドキューエンプティ割り込みステータスログを許可）
2. NQTHCTL.CMDQTH ビット = 0 の場合：
   - 通常コマンドキューが完全にエンプティのとき

   NQTHCTL.CMDQTH ビットが 0 以外の場合：
   - 通常コマンドキューのエンプティの数が NQTHCTL.CMDQTH スレッショルド（NQTHCTL レジスタを参照）と同じか、より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常コマンドへの直近の書き込みアクセスが完了したとき

RSPQFF ビット（通常レスポンスキューフルフラグ）

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. NTSTE.RSPQFE ビットが 1 である（通常応答キューフル割り込みステータスログを許可）
2. 通常応答キューのエントリの数が NQTHCTL.RSPQTH スレッショルド（NQTHCTL レジスタを参照）より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常受信ステータスへの直近の読み出しアクセスが完了したとき

TABTF ビット（通常転送中断フラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.TABTE ビットが 1 である（通常転送中断割り込みステータスログを許可）
2. いずれかの転送が中断されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

TEF ビット（通常転送エラーフラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.TEE ビットが 1 である（通常転送エラー割り込みステータスログを許可）
2. I3C バスで転送エラーが発生したとき、このエラーのエラータイプは、この送信コマンドに対応する応答または受信ステータス構造から得られます。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

RSQFF ビット（通常受信ステータスキューフルフラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.RSQFE ビットが 1 である（通常受信ステータスキューフルを許可）
2. 通常受信ステータスキューのエントリの数が NRQTHCTL.RSQTH スレッショルド（NRQTHCTL レジスタを参照）より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常受信ステータスへの直近の読み出しアクセスが完了したとき

40.2.51 NTSTE : 通常転送ステータス許可レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEE	—	—	—	TABTE	RSPQFE	CMDQEE	IBIQEFE	RDBFE0	TDBEE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEE0	通常送信データバッファエンプティ許可 0 0: 通常送信データバッファエンプティ割り込みステータスログを禁止 1: 通常送信データバッファエンプティ割り込みステータスログを許可	R/W
1	RDBFE0	通常受信データバッファフル許可 0 0: 通常受信データバッファフル割り込みステータスログを禁止 1: 通常受信データバッファフル割り込みステータスログを許可	R/W
2	IBIQEFE	通常 IBI キューエンプティ／フル許可(注1) 0: 通常 IBI キューエンプティ／フル割り込みステータスログを禁止 1: 通常 IBI キューエンプティ／フル割り込みステータスログを許可	R/W
3	CMDQEE	通常コマンドキューエンプティ許可(注1) 0: 通常コマンドキューエンプティ割り込みステータスログを禁止 1: 通常コマンドキューエンプティ割り込みステータスログを許可	R/W
4	RSPQFE	通常レスポンスキューフル許可(注1) 0: 通常応答キューフル割り込みステータスログを禁止 1: 通常応答キューフル割り込みステータスログを許可	R/W

ビット	シンボル	機能	R/W
5	TABTE	通常転送中断許可(注1) 0: 通常転送中断割り込みステータスログを禁止 1: 通常転送中断割り込みステータスログを許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEE	通常転送エラー許可(注1) 0: 通常転送エラー割り込みステータスログを禁止 1: 通常転送エラー割り込みステータスログを許可	R/W
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	RSQFE	通常受信ステータスキューフル許可(注2) 0: 通常受信ステータスキューフル割り込みステータスログを禁止 1: 通常受信ステータスキューフル割り込みステータスログを許可	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

TDBEE0 ビット（通常送信データバッファエンプティ許可 0）

本ビットが 1 のとき、NTST.TDBEF0 の動作が有効になります。

NTST.TDBEF0 フラグの 1 になる条件、0 になる条件については、NTST.TDBEF0 フラグの詳細を参照してください。

RDBFE0 ビット（通常受信データバッファフル許可 0）

本ビットが 1 のとき、NTST.RDBFF0 の動作が有効になります。

NTST.RDBFF0 フラグの 1 になる条件、0 になる条件については、NTST.RDBFF0 フラグの詳細を参照してください。

IBIQEFE ビット（通常 IBI キューエンプティ／フル許可）

本ビットが 1 のとき、NTST.IBIQEFF の動作が有効になります。

NTST.IBIQEFF フラグの 1 になる条件、0 になる条件については、NTST.IBIQEFF フラグの詳細を参照してください。

CMDQEE ビット（通常コマンドキューエンプティ許可）

本ビットが 1 のとき、NTST.CMDQEF の動作が有効になります。

NTST.CMDQEF フラグの 1 になる条件、0 になる条件については、NTST.CMDQEF フラグの詳細を参照してください。

RSPQFE ビット（通常レスポンスキューフル許可）

本ビットが 1 のとき、NTST.RSPQFF の動作が有効になります。

NTST.RSPQFF フラグの 1 になる条件、0 になる条件については、NTST.RSPQFF フラグの詳細を参照してください。

TABTE ビット（通常転送中断許可）

本ビットが 1 のとき、NTST.TABTF の動作が有効になります。

NTST.TABTF フラグの 1 になる条件、0 になる条件については、NTST.TABTF フラグの詳細を参照してください。

TEE ビット（通常転送エラー許可）

本ビットが 1 のとき、NTST.TEF の動作が有効になります。

NTST.TEF フラグの 1 になる条件、0 になる条件については、NTST.TEF フラグの詳細を参照してください。

RSQFE ビット（通常受信ステータスキューフル許可）

本ビットが 1 のとき、NTST.RSQFF の動作が有効になります。

NTST.RSQFF フラグの 1 になる条件、0 になる条件については、NTST.RSQFF フラグの詳細を参照してください。

40.2.52 NTIE : 通常転送割り込み許可レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1E8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFIE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEIE	—	—	—	TABTIE	RSPQFIE	CMDQEIE	IBIQEFIE	RDBFIE0	TDBEIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEIE0	通常送信データバッファエンプティ割り込み許可 0 0: 通常送信データバッファエンプティ割り込み信号を禁止 1: 通常送信データバッファエンプティ割り込み信号を許可	R/W
1	RDBFIE0	通常受信データバッファフル割り込み許可 0 0: 通常受信データバッファフル割り込み信号を禁止 1: 通常受信データバッファフル割り込み信号を許可	R/W
2	IBIQEFIE	通常 IBI キューエンプティ／フル割り込み許可(注1) 0: 通常 IBI キューエンプティ／フル割り込み信号を禁止 1: 通常 IBI キューエンプティ／フル割り込み信号を許可	R/W
3	CMDQEIE	通常コマンドキューエンプティ割り込み許可(注1) 0: 通常コマンドキューエンプティ割り込み信号を禁止 1: 通常コマンドキューエンプティ割り込み信号を許可	R/W
4	RSPQFIE	通常レスポンスキューフル割り込み許可(注1) 0: 通常応答キューフル割り込み信号を禁止 1: 通常応答キューフル割り込み信号を許可	R/W
5	TABTIE	通常転送中断割り込み許可(注1) 0: 通常転送中断割り込み信号を禁止 1: 通常転送中断割り込み信号を許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEIE	通常転送エラー割り込み許可(注1) 0: 通常転送エラー割り込み信号を禁止 1: 通常転送エラー割り込み信号を許可	R/W
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	RSQFIE	通常受信ステータスキューフル割り込み許可(注2) 0: 通常受信ステータスキューフル割り込み信号を禁止 1: 通常受信ステータスキューフル割り込み信号を許可	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

PIO 割り込み信号許可レジスタは、I3C で受信した割り込み発生の信号を許可します。

TDBEIE0 ビット（通常送信データバッファエンプティ割り込み許可 0）

NTST.TDBEF0 フラグが 1 になったとき、通常送信データバッファエンプティ割り込み (I3C_TX) 要求を許可または禁止するために使用します。

RDBFIE0 ビット（通常受信データバッファフル割り込み許可 0）

NTST.RDBFF0 フラグが 1 になったとき、通常受信データバッファフル割り込み (I3C_RX) 要求を許可または禁止するために使用します。

IBIQEFIE ビット（通常 IBI キューエンプティ／フル割り込み許可）

NTST.IBIQEFF フラグが 1 になったとき、通常 IBI キューエンプティ／フル割り込み (I3C_IBI) 要求を許可または禁止するために使用します。

CMDQEIE ビット（通常コマンドキューエンプティ割り込み許可）

NTST.CMDQEF フラグが 1 になったとき、通常コマンドキューエンプティ割り込み (I3C_CMD) 要求を許可または禁止するために使用します。

RSPQFIE ビット（通常レスポンスキューフル割り込み許可）

NTST.RSPQFF フラグが 1 になったとき、通常応答キューフル割り込み (I3C_RESP) 要求を許可または禁止するために使用します。

TABTIE ビット（通常転送中断割り込み許可）

NTST.TABTF フラグが 1 になったとき、通常転送中断割り込み (I3C_EEI) 要求を許可または禁止するのに使用されます。

TEIE ビット（通常転送エラー割り込み許可）

NTST.TEF フラグが 1 になったとき、通常転送エラー割り込み (I3C_EEI) 要求を許可または禁止するのに使用されます。

RSQFIE ビット（通常受信ステータスキューフル割り込み許可）

NTST.RSQFF フラグが 1 になったとき、通常受信ステータスキューフル割り込み (I3C_RCV) 要求を許可または禁止するために使用します。

40.2.53 NTSTFC : 通常転送ステータス強制レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x1EC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFFC	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEFC	—	—	—	TABTFC	RSPQFFC	CMDQEFC	IBIQEFFC	RDBFFC0	TDBEFC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEFC0	通常送信データバッファエンプティ強制 0 0: ソフトウェアテスト用に通常送信データバッファエンプティ割り込みを強制しない 1: ソフトウェアテスト用に通常送信データバッファエンプティ割り込みを強制する	W
1	RDBFFC0	通常受信データバッファフル強制 0 0: ソフトウェアテスト用に通常受信データバッファフル割り込みを強制しない 1: ソフトウェアテスト用に通常受信データバッファフル割り込みを強制する	W
2	IBIQEFFC	通常 IBI キューエンプティ／フル強制(注1) 0: ソフトウェアテスト用に通常 IBI キューエンプティ／フル割り込みを強制しない 1: ソフトウェアテスト用に通常 IBI キューエンプティ／フル割り込みを強制する	W
3	CMDQEFC	通常コマンドキューエンプティ強制(注1) 0: ソフトウェアテスト用に通常コマンドキューエンプティ割り込みを強制しない 1: ソフトウェアテスト用に通常コマンドキューエンプティ割り込みを強制する	W
4	RSPQFFC	通常レスポンスキューフル強制(注1) 0: ソフトウェアテスト用に通常応答キューフル割り込みを強制しない 1: ソフトウェアテスト用に通常応答キューフル割り込みを強制する	W

ビット	シンボル	機能	R/W
5	TABTFC	通常転送中断強制(注1) 0: ソフトウェアテスト用に通常転送中断割り込みを強制しない 1: ソフトウェアテスト用に通常転送中断割り込みを強制する	W
8:6	—	読むと 0 が読めます。	R
9	TEFC	通常転送エラー強制(注1) 0: ソフトウェアテスト用に通常転送エラー割り込みを強制しない 1: ソフトウェアテスト用に通常転送エラー割り込みを強制する	W
19:10	—	書く場合、0 としてください。	W
20	RSQFFC	通常受信ステータスキューフル強制(注2) 0: ソフトウェアテスト用に通常受信ステータスキューフル割り込みを強制しない 1: ソフトウェアテスト用に通常受信ステータスキューフル割り込みを強制する	W
31:21	—	書く場合、0 としてください。	W

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

PIO 割り込み強制レジスタは、特定の割り込みを強制するのに使用します。デバッグ目的で使用できます。

TDBEFC0 ビット（通常送信データバッファエンプティ強制 0）

本ビットが 1 に設定されたとき、TDBEE0 ビットと TDBEIE0 ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

RDBFFC0 ビット（通常受信データバッファフル強制 0）

本ビットが 1 に設定されたとき、RDBFE0 ビットと RDBFIE0 ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

IBIQEFFC ビット（通常 IBI キューエンプティ／フル強制）

本ビットが 1 に設定されたとき、IBIQEFE ビットと IBIQEFIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

CMDQEFC ビット（通常コマンドキューエンプティ強制）

本ビットが 1 に設定されたとき、CMDQEE ビットと CMDQEIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

RSPQFFC ビット（通常レスポンスキューフル強制）

本ビットが 1 に設定されたとき、RSPQFE ビットと RSPQFIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

TABTFC ビット（通常転送中断強制）

TABTE ビットと TABTIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

TEFC ビット（通常転送エラー強制）

本ビットが 1 に設定されたとき、TEE ビットと TEIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

RSQFFC ビット（通常受信ステータスキューフル強制）

本ビットが 1 に設定されたとき、RSQFE ビットと RSQFIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

40.2.54 HTST : 優先転送ステータスレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x200

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEF	—	—	—	TABTF	RSPQFF	CMDQEF	—	RDBFF	TDBEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEF	優先送信データバッファエンプティフラグ 0: 優先送信データバッファのエンプティの数が HTBTHCTL.TXDBTH[2:0]スレッショルドより小さい 1: 優先送信データバッファのエンプティの数が HTBTHCTL.TXDBTH[2:0]スレッショルドと同じか、より大きい	R/W(注1)
1	RDBFF	優先受信データバッファフルフラグ 0: 優先受信データバッファのエントリの数が HTBTHCTL.RXDBTH[2:0]スレッショルドより小さい 1: 優先受信データバッファのエントリの数が HTBTHCTL.RXDBTH[2:0]スレッショルドと同じか、より大きい	R/W(注1)
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CMDQEF	優先コマンドキューエンプティフラグ 0: HQTHCTL.CMDQTH が 0 のとき、優先コマンドキューのエンプティの数がコマンドキューサイズより小さい HQTHCTL.CMDQTH が 0 以外のとき、優先コマンドキューエンプティの数が HQTHCTL.CMDQTH スレッショルドより小さい 1: HQTHCTL.CMDQTH が 0 のとき、優先コマンドキューのエンプティの数がコマンドキューサイズと同じである HQTHCTL.CMDQTH が 0 以外のとき、優先コマンドキューのエンプティの数が HQTHCTL.CMDQTH スレッショルドと同じか、より大きい	R/W(注1)
4	RSPQFF	優先応答キューフルフラグ 0: 優先応答キューエントリの数が HQTHCTL.RSPQTH スレッショルドより小さい 1: 優先応答キューエントリの数が HQTHCTL.RSPQTH スレッショルドと同じか、より大きい	R/W(注1)
5	TABTF	優先転送中断フラグ 0: 優先転送中断が発生しない 1: 優先転送中断が発生する 本ビットを 0 にするには、1 を読んだ後、0 を書いてください。	R/W(注1)
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEF	優先転送エラーフラグ 0: 優先転送エラーが発生しない 1: 優先転送エラーが発生する 本ビットを 0 にするには、1 を読んだ後、0 を書いてください。	R/W(注1)
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 1. 0 になる条件 : 1 の状態を読んだ後、0 を書き込んだとき

TDBEF ビット（優先送信データバッファエンプティフラグ）

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. HTSTE.TDBEE ビット = 1（優先送信データバッファエンプティ割り込みステータスログを許可）

2. 優先送信データバッファのエンプティの数が HTBTHCTL.TXDBTH[2:0]スレッショルド（レジスタ HTBTHCTL を参照）と同じか、より大きいとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による「優先送信データ」への直近の書き込みアクセスが完了したとき

RDBFF ビット（優先受信データバッファフルフラグ）

［1 になる条件］

以下の 2 つの条件を満たしたとき

1. HTSTE.RDBFE ビット = 1（優先受信データバッファフル割り込みステータスログを許可）
2. 優先受信データバッファのエントリの数が HTBTHCTL.RXDBTH[2:0]スレッショルド（レジスタ HTBTHCTL を参照）と同じか、より大きいとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による「優先受信データ」への直近の読み出しアクセスが完了したとき

CMDQEF ビット（優先コマンドキューエンプティフラグ）

［1 になる条件］

以下の 2 つの条件を満たしたとき

1. HTSTE.CMDQEE ビット = 1（優先コマンドキューエンプティ割り込みステータスログを許可）
2. HQTHCTL.CMDQTH ビット = 0 の場合：
   - 優先コマンドキューが完全にエンプティのとき

   HQTHCTL.CMDQTH ビットが 0 以外の場合：
   - 優先コマンドキューのエンプティの数が HQTHCTL.CMDQTH スレッショルド（レジスタ HQTHCTL を参照）と同じか、より大きいとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による「優先コマンド」への直近の書き込みアクセスが完了したとき

RSPQFF ビット（優先応答キューフルフラグ）

［1 になる条件］

以下の 2 つの条件を満たしたとき

1. HTSTE.RSPQFE ビット = 1（優先応答キューフル割り込みステータスログを許可）
2. 優先応答キューのエントリの数が HQTHCTL.RSPQTH スレッショルド（レジスタ HQTHCTL を参照）より大きいとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による「優先受信ステータス」への直近の読み出しアクセスが完了したとき

使用要素については、RSPQFF ビットの説明を参照してください。

TABTF ビット（優先転送中断フラグ）

［1 になる条件］

以下 2 つの条件を満たしたとき

1. HTSTE.TABTE ビット = 1（優先転送中断割り込みステータスログを許可）
2. いずれかの転送が中断されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

TEF ビット（優先転送エラーフラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. HTSTE.TEE ビット = 1（優先転送エラー割り込みステータスログを許可）
2. I3C バスで転送エラーが発生したとき。このエラーのエラータイプは、この転送／コマンドに対応するレスポンス構造から得られます。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

40.2.55 HTSTE : 優先転送ステータスイネーブルレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x204

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEE	—	—	—	TABTE	RSPQFE	CMDQEE	—	RDBFE	TDBEE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEE	優先送信データバッファエンプティ許可 0: 優先送信データバッファエンプティ割り込みステータスログを禁止 1: 優先送信データバッファエンプティ割り込みステータスログを許可	R/W
1	RDBFE	優先受信データバッファフル許可 0: 優先受信データバッファフル割り込みステータスログを禁止 1: 優先受信データバッファフル割り込みステータスログを許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CMDQEE	優先コマンドキューエンプティ許可 0: 優先コマンドキューエンプティ割り込みステータスログを禁止 1: 優先コマンドキューエンプティ割り込みステータスログを許可	R/W
4	RSPQFE	優先応答キューフル許可 0: 優先応答キューフル割り込みステータスログを禁止 1: 優先応答キューフル割り込みステータスログを許可	R/W
5	TABTE	優先転送中断許可 0: 優先転送中断割り込みステータスログを禁止 1: 優先転送中断割り込みステータスログを許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEE	優先転送エラー許可 0: 優先転送エラー割り込みステータスログを禁止 1: 優先転送エラー割り込みステータスログを許可	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3、P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

TDBEE ビット（優先送信データバッファエンプティ許可）

TDBEE ビットが 1 のとき、HTST.TDBEF の動作が有効になります。

HTST.TDBEF フラグの 1 になる条件、0 になる条件については、HTST.TDBEF フラグの詳細を参照してください。

RDBFE ビット（優先受信データバッファフル許可）

RDBFE ビットが 1 のとき、HTST.RDBFF の動作が有効になります。

HTST.RDBFF フラグの 1 になる条件、0 になる条件については、HTST.RDBFF フラグの詳細を参照してください。

CMDQEE ビット（優先コマンドキューエンプティ許可）

CMDQEE ビットが 1 のとき、HTST.CMDQEF の動作が有効になります。

HTST.CMDQEF フラグの 1 になる条件、0 になる条件については、HTST.CMDQEF フラグの詳細を参照してください。

RSPQFE ビット（優先応答キューフル許可）

RSPQFE ビットが 1 のとき、HTST.RSPQFF の動作が有効になります。

HTST.RSPQFF フラグの 1 になる条件、0 になる条件については、HTST.RSPQFF フラグの詳細を参照してください。

TABTE ビット（優先転送中断許可）

TABTE ビットが 1 のとき、HTST.TABTF の動作が有効になります。

HTST.TABTF フラグの 1 になる条件、0 になる条件については、HTST.TABTF フラグの詳細を参照してください。

TEE ビット（優先転送エラー許可）

TEE ビットが 1 のとき、HTST.TEF の動作が有効になります。

HTST.TEF フラグの 1 になる条件、0 になる条件については、HTST.TEF フラグの詳細を参照してください。

40.2.56 HTIE : 優先転送割り込み許可レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x208

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEIE	—	—	—	TABTIE	RSPQFIE	CMDQEIE	—	RDBFIE	TDBEIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEIE	優先送信データバッファエンプティ割り込み許可 0: 優先送信データバッファエンプティ割り込み信号を禁止 1: 優先送信データバッファエンプティ割り込み信号を許可	R/W
1	RDBFIE	優先受信データバッファフル割り込み許可 0: 優先受信データバッファフル割り込み信号を禁止 1: 優先受信データバッファフル割り込み信号を許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
3	CMDQEIE	優先コマンドキューエンプティ割り込み許可 0: 優先コマンドキューエンプティ割り込み信号を禁止 1: 優先コマンドキューエンプティ割り込み信号を許可	R/W
4	RSPQFIE	優先応答キューフル割り込み許可 0: 優先応答キューフル割り込み信号を禁止 1: 優先応答キューフル割り込み信号を許可	R/W
5	TABTIE	優先転送中断割り込み許可 0: 優先転送中断割り込み信号を禁止 1: 優先転送中断割り込み信号を許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEIE	優先転送エラー割り込み許可 0: 優先転送エラー割り込み信号を禁止 1: 優先転送エラー割り込み信号を許可	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3、P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

優先割り込み信号許可レジスタは、I3C で受信した優先割り込み発生の信号を許可します。

TDBEIE ビット（優先送信データバッファエンプティ割り込み許可）

TDBEIE ビットは、HTST.TDBEF フラグが 1 になったとき、優先送信データバッファエンプティ割り込み (I3C_HTX) 要求を許可または禁止するために使用します。

RDBFIE ビット（優先受信データバッファフル割り込み許可）

RDBFIE ビットは、HTST.RDBFF フラグが 1 になったとき、優先受信データバッファフル割り込み (I3C_HRX) 要求を許可または禁止するために使用します。

CMDQEIE ビット（優先コマンドキューエンプティ割り込み許可）

CMDQEIE ビットは、HTST.CMDQEF フラグが 1 になったとき、優先コマンドキューエンプティ割り込み (I3C_HCMD) 要求を許可または禁止するために使用します。

RSPQFIE ビット（優先応答キューフル割り込み許可）

RSPQFIE ビットは、HTST.RSPQFF フラグが 1 になったとき、優先応答キューフル割り込み (I3C_HRESP) 要求を許可または禁止するために使用します。

TABTIE ビット（優先転送中断割り込み許可）

TABTIE ビットは、HTST.TABTF フラグが 1 になったとき、優先転送アボート割り込み (I3C_EEI) 要求の許可／禁止を選択します。

TEIE ビット（優先転送エラー割り込み許可）

TEIE ビットは、HTST.TEF フラグが 1 になったとき、優先転送エラー割り込み (I3C_EEI) 要求の許可／禁止を選択します。

40.2.57 HTSTFC : 優先転送ステータス強制レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x20C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEFC	—	—	—	TABTFC	RSPQFFC	CMDQEFC	—	RDBFFC	TDBEFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEFC	優先送信データバッファエンプティ強制 0: ソフトウェアテスト用に優先送信データバッファエンプティ割り込みを強制しない 1: ソフトウェアテスト用に優先送信データバッファエンプティ割り込みを強制する	W
1	RDBFFC	優先受信データバッファフル強制 0: ソフトウェアテスト用に優先受信データバッファフル割り込みを強制しない 1: ソフトウェアテスト用に優先受信データバッファフル割り込みを強制する	W
2	—	読むと 0 が読めます。	R
3	CMDQEFC	優先コマンドキューエンプティ強制 0: ソフトウェアテスト用に優先コマンドキューエンプティ割り込みを強制しない 1: ソフトウェアテスト用に優先コマンドキューエンプティ割り込みを強制する	W
4	RSPQFFC	優先応答キューフル強制 0: ソフトウェアテスト用に優先応答キューフル割り込みを強制しない 1: ソフトウェアテスト用に優先応答キューフル割り込みを強制する	W
5	TABTFC	優先転送中断強制 0: ソフトウェアテスト用に優先転送中断割り込みを強制しない 1: ソフトウェアテスト用に優先転送中断割り込みを強制する	W
8:6	—	読むと 0 が読めます。	R
9	TEFC	優先転送エラー強制 0: ソフトウェアテスト用に優先転送エラー割り込みを強制しない 1: ソフトウェアテスト用に優先転送エラー割り込みを強制する	W
31:10	—	読むと 0 が読めます。	R

注. S-TYPE3、P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

40.2.58 BCST : バス状態ステータスレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x210

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BIDLF	BAVLF	BFREF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BFREF	バスフリー検出フラグ 0: バスフリーを検出していない 1: バスフリーを検出した	R
1	BAVLF	バス使用可能検出フラグ(注1) 0: バス使用可能を検出していない 1: バス使用可能を検出した	R
2	BIDLF	バスアイドル検出フラグ(注1) 0: バスアイドルを検出していない 1: バスアイドルを検出した	R
31:3	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注 1. このビットはすべての I3C モードをサポートします。

BFREF ビット（バスフリー検出フラグ）

バスフリー状態は、STOP の後、START の前に以下の長さで生じる期間です。

- I3C のみのバスの場合：少なくとも tCAS の期間（「62. 電気的特性」を参照）
- 混合バスの場合（少なくとも 1 つのレガシー I^2C が I3C バス上に混じって存在する場合）：少なくとも tBUF の期間（「62. 電気的特性」を参照）

[1 になる条件]

- ストップコンディション検出後、SCL = SDA = 1 の状態で、BFRECDT.FRECYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき
- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BFRECDT.FRECYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき
- BCTL.BUSE ビットを 0 にしたとき

BAVLF ビット（バス使用可能検出フラグ）

バス使用可能状態は、バスフリー状態が少なくとも tAVAL（「62. 電気的特性」を参照）の間、連続して維持されている期間です。スレーブは、バス使用可能状態の終了後、(In-band 割り込みまたはマスタ移管要求のために) スタート要求のみを発行できます。

[1 になる条件]

- STOP コンディション検出後、SCL = SDA = 1 の状態で、BAVLCDT.AVLCYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき
- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BAVLCDT.AVLCYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき
- BCTL.BUSE ビットを 0 にしたとき

BIDLF ビット（バスアイドル検出フラグ）

バスアイドル状態は、バス使用可能状態が少なくとも tIDLE（「62. 電気的特性」を参照）の間、連続して維持されている期間です。

[1 になる条件]

- STOP コンディション検出後、SCL = SDA = 1 の状態で、BIDLCDT.IDLCYC[17:0]で設定した数の (I3Cφ) サイクルが経過したとき

- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BIDLCDT.IDLCYC[17:0]で設定した数の (I3Cφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき
- BCTL.BUSE ビットを 0 にしたとき

40.2.59 SVST : スレーブステータスレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x214

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SVAF[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HOAF	—	—	—	—	—	—	—	—	DVIDF	HSMCF	—	—	—	—	GCAF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GCAF	ジェネラルコールアドレス検出フラグ 0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/W(注1)
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	HSMCF	Hs モードマスタコード検出フラグ 0: Hs モードマスタコード未検出 1: Hs モードマスタコード検出	R/W(注1)
6	DVIDF	デバイス ID アドレス検出フラグ 0: デバイス ID コマンド未検出 1: デバイス ID コマンド検出 ● スタートコンディション検出直後に受信した第 1 フレームが、[デバイス ID (1111 100b) + 0[W]]の値と一致した場合、1 になります。	R/W(注1)
14:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	HOAF	ホストアドレス検出フラグ 0: ホストアドレス未検出 1: ホストアドレス検出 ● 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1 になります。	R/W(注1)
18:16	SVAF[2:0]	スレーブアドレス検出フラグ n (n = 0～2) 0: スレーブ n 未検出 1: スレーブ n 検出	R/W(注1)
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I^2C モードをサポートします。
注 1. 0 になる条件 : 1 の状態を読んだ後、0 を書き込んだとき

GCAF フラグ（ジェネラルコールアドレス検出フラグ）

非同期動作から同期ユニットへ移行するときに、I^2C ノーマルウェイクアップモード 1/2 が GCAF に 1 を設定します。

[1 になる条件]

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。

1. SVCTL.GCAE = 1（ジェネラルコールアドレス検出は有効）である
2. 受信したスレーブアドレスが、ジェネラルコールアドレス (0000 000 + 0[W]) と一致している

[0 になる条件]

- GCAF = 1 を読んだ後、GCAF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- 繰り返しのスタートコンディションが検出されたとき

HSMCF フラグ（Hs モードマスタコード検出フラグ）

非同期動作から同期ユニットへ移行するときに、I^2C ノーマルウェイクアップモード 1/2 が HSMCF に 1 を設定します。

[1 になる条件]

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.HSMCE = 1（Hs モードマスタコード検出は有効）である
  2. スタートコンディション検出直後に受信した第 1 バイトが、Hs モードマスタコード (0000 1XXX) + 1 (NACK) の値と一致している

[0 になる条件]

- HSMCF = 1 を読んだ後、HSMCF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき

DVIDF フラグ（デバイス ID アドレス検出フラグ）

[1 になる条件]

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.DVIDE = 1（デバイス ID アドレス検出は有効）である
  2. スタートコンディション検出直後または繰り返しのスタートコンディション検出直後に受信した第 1 バイトが、[デバイス ID (1111 100) + 0[W]]の値と一致している

[0 になる条件]

- DVIDF = 1 を読んだ後、DVIDF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- 本フラグは、以下の 1.と 2.または 1.と 3.を満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.DVIDE = 1（デバイス ID アドレス検出は有効）である
  2. スタートコンディション検出直後または繰り返しのスタートコンディション検出直後に受信した第 1 バイトが、デバイス ID (1111 100) の値と一致しない
  3. スタートコンディション検出直後または繰り返しのスタートコンディション検出直後に受信した第 1 バイトが、[デバイス ID (1111 100) + 0 [W]]の値と一致し、第 2 バイトがスレーブアドレス 0～2 のいずれとも一致しない

HOAF フラグ（ホストアドレス検出フラグ）

非同期動作から同期ユニットへ移行するときに、I^2C ノーマルウェイクアップモード 1/2 が HOAF に 1 を設定します。

[1 になる条件]

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.HOAE = 1（ホストアドレス検出は有効）である

2. 受信したスレーブアドレスが、ホストアドレス (0001 000) と一致している

[0 になる条件]

- HOAF = 1 を読んだ後、HOAF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- 繰り返しのスタートコンディションが検出されたとき

SVAF[2:0]フラグ（スレーブアドレス検出フラグ n (n = 0～2)）

非同期動作から同期ユニットへ移行するときに、I^2C ノーマルウェイクアップモード 1/2 が SVAF[2:0]に 1 を設定します。

[1 になる条件]

7 ビットアドレスフォーマット選択時：SVDVADn.SADLG = 0

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.SVAEn = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、SVDVADn.SVAD[6:0]ビットの値と一致している

10 ビットアドレスフォーマット選択時：SVDVADn.SADLG = 1

- 本フラグは、以下のすべてを満たすときに、2 番目のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.SVAEn = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、11110 + SVDVADn.SVAD[9:8]ビットの値と一致し、以下のアドレスが SVDVADn.SVAD[7:0]ビットの値と一致している

[0 になる条件]

- SVAF[2:0] = 1 を読んだ後、SVAF[2:0]フラグに 0 を書いたとき
- ストップコンディションが検出されたとき

7 ビットアドレスフォーマット選択時：SVDVADn.SADLG = 0

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.SVAEn = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、SVDVADn.SVAD[6:0]ビットの値と一致しない

10 ビットアドレスフォーマット選択時：SVDVADn.SADLG = 1

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.SVAEn = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、11110 + SVDVADn.SVAD[9:8]ビットの値と一致しない
- 本フラグは、以下のすべてを満たすときに、2 番目のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.SVAEn = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、11110 + SVDVADn.SVAD[9:8]ビットの値と一致し、以下のアドレスが SVDVADn.SVAD[7:0]ビットの値と一致しない

40.2.60 WUST : ウェイクアップユニット動作ステータスレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x218

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WUASYNF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WUASYNF	ウェイクアップ機能非同期動作ステータスフラグ 0: I3C 同期回路有効条件 1: I3C 非同期回路有効条件	R
31:1	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

WUASYNF フラグ（ウェイクアップ機能非同期動作ステータスフラグ）

このビットは、I3C が TCLK 非同期動作 (WUCTL.WUFE ビット = 1) であるかどうかを示します。

[1 になる条件]

- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. WUCTL.WUFSYNE ビットに 0 を書いた後、BCST.BFREF フラグが 1 である

[0 になる条件：I^2C スレーブ]

- WUCTL.WUFE ビットが 0（ウェイクアップ機能が無効）であるとき
- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. ウェイクアップイベントを検出した
  3. WUASYNF フラグ = 1 である状態で、WUCTL.WUFSYNE ビットに 1 を書いた

[0 になる条件：I3C スレーブ]

- WUCTL.WUFE ビットが 0（ウェイクアップ機能が無効）であるとき
- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. ウェイクアップイベントを検出した
  3. WUASYNF フラグ = 1 である状態で、WUCTL.WUFSYNE ビットに 1 を書いた
  4. ストップコンディションが検出された

[0 になる条件：I^2C/I3C スレーブ]

- 以下のすべてが満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. ウェイクアップイベントを未検出である
  3. WUASYNF フラグが 1 である

4. WUCTL.WUFSYNE ビットが 1 である
5. ストップコンディションが検出された

［0 になる条件：I3C マスタ］

- WUCTL.WUFE ビットが 0（ウェイクアップ機能が無効）であるとき
- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. ウェイクアップイベントを検出した
  3. WUASYNF フラグが 1 である
  4. WUCTL.WUFSYNE ビットが 1 である

40.2.61 MRCCPT : MSyncCNT カウンタキャプチャレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x21C

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	MsyncCNT カウンタキャプチャ 非同期モード 1 で使用し、非同期モード 0 では使用しません。	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

MRCCPT[31:0]ビット

- 非同期モード 1（非同期拡張モード）
  ATCCNTE.ATCE ビットが有効になると、カウントを開始します。各 aME（START コンディションの SDA 立ち下がりエッジ）で MSyncCNT をキャプチャし、それをキャプチャレジスタに格納します。

40.2.62 DATBASm : デバイスアドレステーブル基本レジスタ m (m = 0～7)

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x224 + 0x08 × m

Bit position:	31	30	29	28	27	26	25	24	23							16
Bit field:	DVTYP	DVNACK[1:0]		—	—	—	—	—	DVDYAD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6						0
Bit field:	DVIBITS	DVMRRJ	DVSIRRJ	DVIBIPL	—	—	—	—	—	DVSTAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	DVSTAD[6:0]	デバイススタティックアドレス I3C / I^2C スタティックアドレス	R/W
11:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
12	DVIBIPL	デバイス IBI ペイロード 0: このデバイスからの IBI はデータペイロードをもたない 1: このデバイスからの IBI はデータペイロードをもつ	R/W
13	DVSIRRJ	デバイスバンド内スレーブ割り込み要求拒否 0: このデバイスは、SIR を ACK する 1: このデバイスは SIR を NACK し、自動拒否 CCC を送信する。	R/W
14	DVMRRJ	デバイスバンド内マスタ要求拒否 0: このデバイスは、マスタ要求を ACK する 1: このデバイスはマスタ要求を NACK し、自動拒否コマンドを送信する。	R/W
15	DVIBITS	デバイス IBI タイムスタンプ 0: マスタはこのデバイスからの IBI をマスタタイムスタンプでタイムスタンプしない 1: マスタはこのデバイスへの IBI をマスタタイムスタンプでタイムスタンプする	R/W
23:16	DVDYAD[7:0]	デバイス I3C ダイナミックアドレス I3C 仕様に従い、ビット 23 はパリティビットで、ソフトウェアドライバにより計算され更新されます。	R/W
28:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:29	DVNACK[1:0]	デバイス NACK リトライカウント デバイス固有のリトライカウント	R/W
31	DVTYP	デバイスタイプ 0: I3C デバイス 1: I^2C デバイス	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

DVIBIPL ビット（デバイス IBI ペイロード）

このデバイスからの IBI がデータペイロードをもつかどうかを示します。このフィールドは、デバイスのバス特性レジスタ (BCR) の IBI ペイロードビットを示します。

このデバイスの IBI 処理の際に、マスタはこのフィールドを使って IBI データペイロードの受信を行うかどうかを決定します。データ通信は、T-ビットで示します。

DVSIRRJ ビット（デバイスバンド内スレーブ割り込み要求拒否）

マスタとして動作しているときに、このデバイスが他のデバイスからのスレーブ割り込み要求を受け付けるか拒否するかを制御します。

DVMRRJ ビット（デバイスバンド内マスタ要求拒否）

マスタとして動作しているときに、このデバイスが他のデバイスからのマスタ要求を受け付けるか拒否するかを制御します。

I3C が、カレントマスタでないマスタケイパビリティであることを宣言している場合にのみ有効です。

DVIBITS ビット（デバイス IBI タイムスタンプ）

特定のデバイスの IBI タイムスタンプを有効／無効にします。

注. 各 IBI イベントの IBI ステータスディスクリプタは、各 IBI イベントが実際にタイムスタンプされたかどうかを示します。タイミングコントロールの非同期モード 0 と非同期モード 1 を除き、0 を設定してください。

DVNACK[1:0]ビット（デバイス NACK リトライカウント）

これらのビットは、コマンドディスクリプタに設定されたトランザクションに対して NACK 応答をスレーブから受信したときのリトライの数を設定します。

注. アドレス配置コマンドによって ENTDAA を実行するとき、NACK を 1 回受信すると本ビットの設定は無視され、トランザクションが終了します。

注. I3C は、ブロードキャストアドレスに対して NACK を受信しても、DVNACK[1:0]ビットの設定に従ってリトライします。

注. DVNACK[1:0]ビットが 0x0 の場合、ダイレクト CCC の場合でも I3C はリトライしません。

40.2.63 EXDATBAS : 拡張デバイスアドレステーブル基本レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x2A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EDTYP	EDNACK[1:0]		—	—	—	—	—	EDDYAD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	EDSTAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	EDSTAD[6:0]	拡張デバイススタティックアドレス I3C/I²C スタティックアドレス	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	EDDYAD[7:0]	拡張デバイス I3C ダイナミックアドレス I3C 仕様に従い、ビット 23 はパリティビットで、ソフトウェアドライバにより計算され更新されます。	R/W
28:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:29	EDNACK[1:0]	拡張デバイス NACK リトライカウント デバイス固有のリトライカウント	R/W
31	EDTYP	拡張デバイスタイプ 0: I3C デバイス 1: I²C デバイス	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

40.2.64 SDATBASn : スレーブデバイスアドレステーブル基本レジスタ n (n = 0〜2)

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x2B0 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	SDDYAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SDIBIPL	—	SDADLS	SDSTAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	SDSTAD[9:0]	スレーブデバイススタティックアドレス(注2) I3C スタティックアドレス	R/W
10	SDADLS	スレーブデバイスアドレス長選択(注3) 0: スレーブデバイスアドレス長 7 ビットを選択 1: スレーブデバイスアドレス長 10 ビットを選択（I²C デバイスのみ）	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
12	SDIBIPL(注1)	スレーブデバイス IBI ペイロード(注4) このビットは SVDCT.TBCR2 のミラービットです。 0: このデバイスからの IBI はデータペイロードをもたない 1: このデバイスからの IBI はデータペイロードをもつ	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:16	SDDYAD[6:0](注1)	スレーブデバイス I3C ダイナミックアドレス(注5)	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. メインマスタの SDATBAS レジスタへの SW 書き込みは禁止です。
注 1. 本ビットは、SDATBAS0 レジスタでのみ有効です。
注 2. これらのビットは I2C、I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 3. このビットは I2C モードをサポートします。
注 4. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 5. これらのビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SDSTAD[9:0]ビット（スレーブデバイススタティックアドレス）

7 ビットアドレスフォーマット選択時 (SDADLS = 0)、SDSTAD[9:0]ビットの下位 7 ビットは 7 ビットアドレスとして機能します。

10 ビットアドレスフォーマット選択時 (SDADLS = 1)、SDSTAD[9:0]ビットは 10 ビットアドレスとして機能します。SVCTL.SVAEn ビットが 0 の場合、このビットの設定は無視されます。

SDIBIPL ビット（スレーブデバイス IBI ペイロード）

このデバイスからの IBI がデータペイロードをもつかどうかを示します。このフィールドは、デバイスのバス特性レジスタ (BCR) の IBI ペイロードビットを示します。

このデバイスの IBI 処理の際に、マスタはこのフィールドを使って IBI データペイロードの受信を行うかどうかを決定します。データ通信は、T-ビットで示します。

SDDYAD[6:0]ビット（スレーブデバイス I3C ダイナミックアドレス）

［更新する条件］

- ダイナミックアドレス値を書き込んだとき
- スレーブアドレス値が SETDASA CCC (Direct) を受信時のそれ自身のスタティックアドレスであるとき、ダイナミックアドレス値に更新されます。(注1)
- ENTDAA CCC（ブロードキャスト）の受信により始まるダイナミックアドレス割り当て手順が確立したとき (注1)
- RSTDAA CCC（ブロードキャスト）の受信時、全てのビットは 0 にクリアされます。(注1)
- スレーブアドレス値が RSTDAA CCC (Direct) を受信時のそれ自身のダイナミックアドレスであるとき、全てのビットは 0 にクリアされます。(注1)
- スレーブアドレス値が SETNEWDA CCC (Direct) を受信時のそれ自身のダイナミックアドレスであるとき、そのダイナミックアドレス値に更新されます。(注1)
- SETAASA CCC（ブロードキャスト）の受信時、それらのビットは SDSTAD[6:0]ビットの値に更新されます。(注2)

注 1. MIPI I3C 仕様 v1.0 を参照してください。
注 2. MIPI I3C 基本仕様 v1.0 を参照してください。

40.2.65 MSDCTm : マスタデバイス特性テーブルレジスタ m (m = 0～7)

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x2D0 + 0x04 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RBCR76[1:0]		RBCR5	RBCR4	RBCR3	RBCR2	RBCR1	RBCR0	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RBCR0	最大データ速度制限(注1) 0: 制限なし 1: 制限あり	R/W
9	RBCR1	IBI 要求可否 0: 不可 1: 可	R/W
10	RBCR2	IBI ペイロード 0: 受信した IBI にデータバイトが続いていない 1: 受信した IBI に 1 バイト以上のデータバイトが必ず続いているデータバイトが続いていることは、T-ビットで示している	R/W
11	RBCR3	オフライン可否(注2) 0: デバイスは I3C コマンドに常に応答する 1: デバイスは I3C コマンドに常に応答するとは限らない	R/W
12	RBCR4	ブリッジ識別(注3) 0: ブリッジデバイス以外 1: ブリッジデバイス	R/W
13	RBCR5	SDR のみ／SDR および HDR 可否 0: SDR のみ 1: HDR 可	R/W
15:14	RBCR76[1:0]	デバイスロール 0 0: I3C スレーブ 0 1: I3C マスタ(注4) その他: 設定禁止	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 1. マスタは、GETMXDS CCC を使い、スレーブの特性上の制限を問い合わせます。
注 2. オフラインの使用可能デバイスは、ダイナミックアドレスを保持します。
注 3. ブリッジデバイスは、MIPI I3C 仕様に従う必要があります。
注 4. I3C メインマスタとして動作する I3C デバイスについては、BCR デバイスロールビットの値が 01b になります。

DCT テーブルは、デバイス特性（PID、BCR、DCR）およびダイナミックアドレス割り当て (ENTDAA) 手順に準拠する I3C バス上で割り当てられたダイナミックアドレスを取り込みます。

RBCRn ビット（受信バス特性レジスタ）

I3C バスに接続した各 I3C デバイスには、対応するリードオンリーのバス特性レジスタ (BCR) があります。このリードオンリーのレジスタは、I3C 準拠のデバイスロールと、ダイナミックアドレス割り当てと共通コマンドコードを使用できる機能を示します。

注. RBCR2 が 0 である場合に、DATBASm.DVSIRRJ = 0 (m = 0～7) による I3C スレーブからのスレーブ割り込み要求に対して ACK 応答をするとき、ACK 応答の後、ストップコンディションが発行されます。RBCR2 が 1 である場合に、

DATBASm.DVSIRRJ = 0 (m = 0～7) による I3C スレーブからのスレーブ割り込み要求に対して ACK 応答をするとき、ACK 応答の後 IBI ペイロードを受信します。IBI ペイロードの終了後、ストップコンディションが発行されます。

［更新する条件］

- ENTDAA CCC（ブロードキャスト）受信で開始するダイナミックアドレス割り当て手順において、デバイスからバス特性レジスタ (BCR) を受信するとき(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

40.2.66 SVDCT : スレーブデバイス特性テーブルレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x320

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	0
Bit field:	TBCR76[1:0]		TBCR5	TBCR4	TBCR3	TBCR2	TBCR1	TBCR0	TDCR[7:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDCR[7:0]	転送デバイス特性レジスタ センサやデバイスのタイプを示すコードを 255 使用可能 例：加速度計、ジャイロスコープ、複合デバイス 初期値は 0x0：ジェネリックデバイス	R/W
8	TBCR0	最大データ速度制限(注1) 0: 制限なし 1: 制限あり	R/W
9	TBCR1	IBI 要求可否 0: 不可 1: 可	R/W
10	TBCR2	IBI ペイロード 0: 受信した IBI にデータバイトが続いていない 1: 受信した IBI に 1 バイト以上のデータバイトが必ず続いているデータバイトが続いていることは、T-ビットで示している	R/W
11	TBCR3	オフライン可否(注2) 0: デバイスは I3C コマンドに常に応答する 1: デバイスは I3C コマンドに常に応答するとは限らない	R/W
12	TBCR4	ブリッジ識別(注3) 0: ブリッジデバイス以外 1: ブリッジデバイス	R/W
13	TBCR5	SDR のみ／SDR および HDR 可否 0: SDR のみ 1: HDR 可	R/W
15:14	TBCR76[1:0]	デバイスロール 0 0: I3C スレーブ 0 1: I3C マスタ(注4) その他: 設定禁止	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 1. マスタは、GETMXDS CCC を使い、スレーブの特性上の制限を問い合わせます。
注 2. オフラインの使用可能デバイスは、ダイナミックアドレスを保持します。
注 3. ブリッジデバイスは、MIPI I3C 仕様に従う必要があります。

注 4. I3C メインマスタとして動作する I3C デバイスでは、BCR デバイスロールビットの値が 01b になります。

DCT テーブルは、デバイス特性（PID、BCR、DCR）およびダイナミックアドレス割り当て (ENTDAA) 手順に準拠する I3C バス上で割り当てられたダイナミックアドレスを取り込みます。

TDCR[7:0]ビット（転送デバイス特性レジスタ）

I3C バスに接続した各 I3C デバイスには、対応するデバイス特性レジスタ (DCR) があります。このレジスタは、ダイナミックアドレス割り当てと共通コマンドコードで使用する I3C 準拠のデバイスタイプ（加速度計、ジャイロスコープ、など）を示します。

TBCRn ビット（送信バス特性レジスタ）

I3C バスに接続した各 I3C デバイスには、対応するバス特性レジスタ (BCR) があります。このレジスタは、ダイナミックアドレス割り当てと共通コマンドコードで使用する I3C 準拠のデバイスのロールと機能を示します。

I3C スレーブがコマンドディスクリプタで IBI を発行するときの TBCRn の状態を以下に示します。

[スレーブ割り込み要求：受信した IBI に IBI ペイロードが続いていない]

- TBCR1 = 1
- TBCR2 = 0

注. コマンドディスクリプタの DATA_LENGTH[15:0]を 0 に設定する。

[スレーブ割り込み要求：受信した IBI に IBI ペイロードが続いている]

- TBCR1 = 1
- TBCR2 = 1

注. コマンドディスクリプタの DATA_LENGTH[15:0]を任意の値に設定する。

[バス権要求]

- TBCR1 = 1
- TBCR76[1:0] = 01b のとき

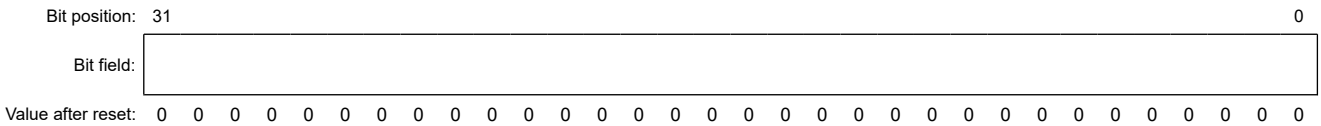
スレーブが I3C マスタからの CCC を受信したとき、TBCRn の設定に従って以下の動作をします。

- TBCR2 = 1 のとき、I3C マスタから GETMRL CCC に 3 番目のバイトのデータとして CMRLG.IBIPSZ[7:0]を送る。
- TBCR0 = 0 のとき、I3C マスタから GETMXDS CCC に NACK を応答する。
- TBCR0 = 1 のとき、I3C マスタから GETMXDS CCC に ACK を応答し、CMDSPW、CMDSPR、および CMDSPT レジスタからデータを送る。

40.2.67 SDCTPIDL : スレーブデバイス特性テーブル暫定 ID Low レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x324



ビット	シンボル	機能	R/W
31:0	n/a	転送デバイス暫定 ID Low ビット 31～16 は読むと 0 が読めます。 ビット 15～0 は、デバイスの I3C PID のビット[15:0]です。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

40.2.68 SDCTPIDH : スレーブデバイス特性テーブル暫定 ID High レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x328

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送デバイス暫定 ID High デバイスの I3C PID のビット[47:16]です。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

40.2.69 SVDVADn : スレーブデバイスアドレスレジスタ n (n = 0～2)

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x330 + 0x04 × n

Bit position:	31	30	29	28	27	26	25									16
Bit field:	SDYADV	SSTADV	—	—	SADLG	—	SVAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。	R
25:16	SVAD[9:0]	スレーブアドレス(注1) スレーブアドレスを設定します。 SVAD 書き換えの際は、SVAE に 0 を書いてから書き換えてください。	R
26	—	読むと 0 が読めます。	R
27	SADLG	スレーブアドレス長(注2) 0: 7 ビットアドレスフォーマットを選択 1: 10 ビットアドレスフォーマットを選択	R
29:28	—	読むと 0 が読めます。	R
30	SSTADV	スレーブスタティックアドレス有効(注1) 0: スレーブアドレスは無効 1: スレーブアドレスは有効	R
31	SDYADV(注4)	スレーブダイナミックアドレス有効(注3) 0: ダイナミックアドレスは無効 1: ダイナミックアドレスは有効	R

注. S-TYPE3, P-TYPE3
注 1. これらのビットは I^2C、I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 2. このビットは I^2C モードをサポートします。
注 3. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 4. このビットは、SVDVAD0 レジスタでのみ有効です。

SVAD[9:0]ビット（スレーブアドレス）

SVAD[9:0]ビットは、有効なスレーブアドレスを示します。

［SVDVAD0.SDYADV = 1］

注.　この条件は、SVDVAD0.SVAD[9:0]のみに対するものです。

- SVAD[9:7] = 0
- SVAD[6:0] = SDATBAS0.SDDYAD[6:0]

［SVDVADn.SSTADV ビット = 1 かつ SVDVADn.SADLG ビット = 0］

- SVAD[9:7] = 0
- SVAD[6:0]ビット = SDATBASn.SDSTAD[6:0]ビット

［SVDVADn.SSTADV ビット = 1 かつ SVDVADn.SADLG ビット = 1］

- SVAD[9:0]ビット = SDATBASn.SDSTAD[9:0]ビット

SADLG ビット（スレーブアドレス長）

［1 になる条件］

- 以下のすべてが満たされたとき：

1. PRTS.PRTMD = 1（I^2C プロトコルモード）
2. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
3. SDATBASn.SDADLS ビット = 1（アドレス長が 10 ビット）である

［0 になる条件］

- ［1 になる条件］を満たさないとき

SSTADV ビット（スレーブスタティックアドレス有効）

［1 になる条件］

- 以下のすべてが満たされたとき：

1. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
2. SVDVAD0.SDYADV = 0（ダイナミックアドレスが無効）である

   注.　この条件は、SVDVAD0.SSTADV だけに対するものです。
3. SVDVADn.SADLG ビット = 0 である場合、SDATBASn.SDSTAD[6:0]ビットのすべてが 0、ではない
   SVDVADn.SADLG ビット = 1 である場合、SDATBASn.SDSTAD[9:0]ビットのすべてが 0、ではない

［0 になる条件］

- ［1 になる条件］を満たさないとき

SDYADV ビット（スレーブダイナミックアドレス有効）

［1 になる条件］

- 以下のすべてが満たされたとき：

1. PRTS.PRTMD = 0（I3C プロトコルモード）
2. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
3. SDATBAS0.SDDYAD[6:0]ビットのすべてが 0 というわけではない

注.　この条件は、SVDVAD0.SDYADV のみに対するものです。

［0 になる条件］

- ［1 になる条件］を満たさないとき

40.2.70 CSECMD : CCC スレーブイベントコマンドレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x350

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSRQE	SVIRQE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SVIRQE	スレーブ割り込み要求許可 0: 禁止：スレーブからの割り込みはマスタの制御により禁止 1: 許可：スレーブからの割り込みはマスタの制御により許可	R/W
1	MSRQE	バス権要求許可 0: 禁止：セカンダリマスタからのバス権要求はカレントマスタの制御により禁止 1: 許可：セカンダリマスタからのバス権要求はカレントマスタの制御により許可	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SVIRQE ビット（スレーブ割り込み要求許可）

本ビットにより、I3C バス上でスレーブからの割り込みを許可されたとき、マスタによる制御が許可されます。

これら 4 つのダイレクト（ENEC/DISEC フォーマット 1）CCC またはブロードキャスト（ENEC/DISEC フォーマット 2）CCC は、I3C バス上でマスタがスレーブからのトラフィックを許可するか禁止するかの制御をできるようにします。この制御は、スレーブによる割り込み要求 (ENI) またはバス権の要求 (ENMR) も包含します。

[1 になる条件]

- 1 を書いたとき
- ENINT = 1 の状態で、ENEC CCC（ブロードキャスト）を受信したとき(注1)
- 受信した ENEC CCCENEC CCC (Direct) 自体のスレーブアドレスで、ENINT = 1 のとき(注1)

[0 になる条件]

- 0 を書いたとき
- DISINT = 1 の状態で、DISEC CCC（ブロードキャスト）を受信したとき(注1)
- 受信した DISEC CCC (Direct) 自体のスレーブアドレスで、DISINT = 1 のとき(注1)

MSRQE ビット（バス権要求許可）

本ビットにより、カレントマスタが I3C バス上でセカンダリマスタからのバス権要求を許可します。

[1 になる条件]

- 1 を書いたとき
- ENMR = 1 の状態で、ENEC CCC（ブロードキャスト）を受信したとき(注1)
- 受信した ENEC CCC (Direct) 自体のスレーブアドレスで、ENMR = 1 のとき(注1)

[0 になる条件]

- 0 を書いたとき

- DISMR = 1 の状態で、DISEC CCC（ブロードキャスト）を受信したとき(注1)
- 受信した DISEC CCC (Direct) 自体のスレーブアドレスで、DISMR = 1 のとき(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

40.2.71 CEACTST : CCC 遷移アクティビティステートレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x354

Bit position:	31																											3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ACTST[3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ACTST[3:0]	アクティビティステート 0x1: ENTAS0（1µs：レイテンシフリー動作） 0x2: ENTAS1 (100 µs) 0x4: ENTAS2 (2 ms) 0x8: ENTAS3（50 ms：最少アクティビティ動作） その他: 設定禁止	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

ACTST[3:0]ビット（アクティビティステート）

［更新する条件］

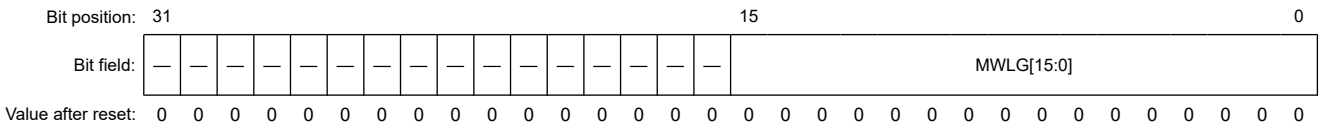
- アクティビティステート値を書き込んだとき
- ENTAS0 CCC（ブロードキャスト）の受信時、それらビットが 0x1 に更新されます。(注1)
- ENTAS1 CCC（ブロードキャスト）の受信時、これらビットが 0x2 に更新されます。(注1)
- ENTAS2 CCC（ブロードキャスト）の受信時、それらビットが 0x4 に更新されます。(注1)
- ENTAS3 CCC（ブロードキャスト）の受信時、それらビットが 0x8 に更新されます。(注1)
- スレーブアドレス値が ENTAS0 CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、これらのビットが 0x1 に更新されます。(注1)
- スレーブアドレス値が ENTAS1 CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、これらのビットが 0x2 に更新されます。(注1)
- スレーブアドレス値が ENTAS2 CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、これらのビットが 0x4 に更新されます。(注1)
- スレーブアドレス値が ENTAS3 CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、これらのビットが 0x8 に更新されます。(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

40.2.72 CMWLG : CCC 最大書き込み長レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x358



ビット	シンボル	機能	R/W
15:0	MWLG[15:0]	最大書き込み長	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

MWLG[15:0]ビット（最大書き込み長）

本ビットは、I3C マスタに 1 つのスレーブデバイスに対してのバイト単位の最大書き込み長を設定するか取得するために使用します。

この最大書き込み長は、ブロードキャスト CCC のデータ書き込み長には影響しません。最大書き込み長設定／取得の値は、MSB ファーストで 2 バイトで転送されます。最大書き込み長で設定可能な最小の値は 8 です。

[更新する条件]

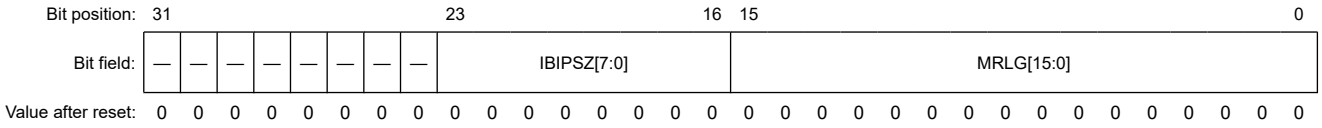
- 最大書き込み長を書き込むとき
- SETMWL CCC（ブロードキャスト）を受信しているとき、本ビットは MWL 値に更新されます。(注1)
- スレーブアドレス値が SETMWL CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、本ビットが MWL 値に更新されます。(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

40.2.73 CMRLG : CCC 最大読み出し長レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x35C



ビット	シンボル	機能	R/W
15:0	MRLG[15:0]	最大読み出し長	R/W
23:16	IBIPSZ[7:0]	IBI ペイロードサイズ	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

MRLG[15:0]ビット（最大読み出し長）

本ビットは、I3C マスタに 1 つのスレーブデバイスに対しての最大読み出し長を設定するか取得するために使用します。

最大読み出し長設定／取得の値は、MSB ファーストで最初の 2 バイトで転送されます。最大読み出し長で設定可能な最小の値は 16 です。

［更新する条件］

- 最大読み出し長を書き込むとき
- SETMRL CCC（ブロードキャスト）を受信しているとき、本ビットは MRL 値に更新されます。(注1)
- スレーブアドレス値が SETMRL CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、本ビットが MRL 値に更新されます。(注1)

IBIPSZ[7:0]ビット（IBI ペイロードサイズ）

本ビットは、I3C マスタにオプションで最大 IBI ペイロードサイズを設定するか取得するために使用します。

BCR ビット 2 が 1 に設定されているデバイスでは、最大 IBI ペイロードサイズの値が 3 番目のバイトとして追加され、値が 0 の場合はペイロードサイズが無制限であることを示します。タイミング制御を使う場合、最小の IBI ペイロードサイズは、4 バイトか 5 バイトのいずれかです。タイミング制御を使わない場合、最小の IBI ペイロードサイズは、1（1 バイト）です。

2 つの例外を除いて、この CCC はスレーブに対してオプションです。

1. (a) スレーブによって実行されたプライベート読み出し要求メッセージと拡張読み出し要求 CCC の両方またはいずれかがスレーブがメッセージあたりで返せるデータバイト数の最大値をサポートしていて、(b) その値が 16 バイトより大きい、の両方の場合、CCC が必要です。
2. (a) スレーブが（BCR ビット 1 に示す）IBI ペイロードをサポートし、(b) スレーブが 1 バイトより大きいプライベートペイロードを送信する（タイミング制御バイトを数えるのではなく、タイミング制御を使用する場合）、の両方の場合、CCC が必要です。

［更新する条件］

- 最大 IBI ペイロードサイズ値を書き込むとき
- SETMRL CCC（ブロードキャスト）を受信しているとき、本ビットは IBI ペイロードサイズ値に更新されます。(注1)
- スレーブアドレス値が SETMRL CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、本ビットが IBI ペイロードサイズ値に更新されます。(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

40.2.74 CETSTMD : CCC 遷移テストモードレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x360

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSTMD[7:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TSTMD[7:0]	テストモード 0x00: テストモード終了 この値で、全ての I3C デバイスがテストモードから脱します。 0x01: ベンダテストモード この値は、ダイナミックアドレス割り当て手順の状態で、I3C デバイスがランダムな 32 ビット値を暫定 ID で返すことを示します。 その他: 設定禁止	R
31:8	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

TSTMD[7:0]ビット（テストモード）

本ビットが 0x00 のとき、全ての I3C デバイスはテストモードから脱します。

本ビットが 0x01 のとき、ダイナミックアドレス割り当て手順の状態で、I3C デバイスがランダムな 32 ビット値を暫定 ID で返すことを示します。

ブロードキャスト CCC は全ての I3C デバイスに対し、マスタが製造段階またはデバイステスト時の特定のテストモードにあることを通知します。テストモード遷移コマンドフレームフォーマットは、どのテストモードに遷移するかを示すバイトを含みます。テストモード遷移 CCC 受信時に、I3C デバイスが示されたテストモードに遷移するのをサポートします。

[更新する条件]

- ENTTM CCC（ブロードキャスト）を受信しているとき、本ビットはテストモードバイト値に更新されます。(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

40.2.75 CGDVST : CCC デバイスステータス取得レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x364

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	8	7	6	5	4	3	0
Bit field:	VDRSV[7:0]		ACTMD[1:0]		PRTE	—	PNDINT[3:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PNDINT[3:0]	保留割り込み 保留割り込みの割り込み番号を保持し、保留中の割り込みがない場合は 0 になります。最大 15 の割り込み番号をナンバリングできます。2 つ以上の割り込みを設定すると、最も優先度が高い割り込みを返します。	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PRTE	プロトコルエラー 0: スレーブが前回のステータス読み出し以降のプロトコルエラーを検出しなかった 1: スレーブが前回のステータス読み出し以降のプロトコルエラーを検出した	R/W
7:6	ACTMD[1:0]	スレーブデバイスカレントアクティビティモード 0 0: アクティビティモード 0 : 0 1: アクティビティモード 1 : 1 0: アクティビティモード 2 : 1 1: アクティビティモード 3 :	R/W
15:8	VDRSV[7:0]	ベンダ予約 ベンダの特定用途目的の予約	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

PRTE ビット（プロトコルエラー）

1 に設定すると、スレーブが前回のステータス読み出し以降のプロトコルエラーを検出します。

スレーブは、そのようなエラーを確認します。この値は、スレーブステータスのマスタ読み出しの正常な終了ごとにハードウェアにより自動的にクリアされる点に注意してください。

ダイレクト CCC は、1 つの I3C スレーブデバイスに対してそのカレントステータスを返させるための Get リクエストで、2 バイトのフォーマットからなります。バイト 0 は LSB、バイト 1 は MSB である点に注意してください。

[1 になる条件]

- スレーブがプロトコルエラーを検出したとき(注1)

[0 になる条件]

- GETSTATUS CCC (Direct) を受信した後、自身のスレーブアドレスによる送信がエラーなく完了したとき (注1)

ACTMD[1:0]ビット（スレーブデバイスカレントアクティビティモード）

スレーブデバイスのカレントアクティビティモードの 2 ビットの ID を保持します。(センサや関連する情報のデータ読み出しをサポートする準備)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

40.2.76 CMDSPW : CCC 最大データ速度 W（書き込み）レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x368

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2		0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MSWDR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MSWDR[2:0]	最大連続書き込みデータレート 0 0 0: fscl 値最大（初期値） 0 0 1: 8 MHz 0 1 0: 6 MHz 0 1 1: 4 MHz 1 0 0: 2 MHz その他: 設定禁止	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

40.2.77 CMDSPR : CCC 最大データ速度 R（読み出し）レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x36C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5		3	2		0
Bit field:	—	—	—	—	—	—	—	—	—	—	CDTTIM[2:0]			MSRDR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MSRDR[2:0]	最大連続読み出しデータレート 0 0 0: fscl 値最大（初期値） 0 0 1: 8 MHz 0 1 0: 6 MHz 0 1 1: 4 MHz 1 0 0: 2 MHz その他: 設定禁止	R/W
5:3	CDTTIM[2:0]	クロック～データ切り替え時間 (TSCO) 0 0 0: 8 ns 以下（初期値） 0 0 1: 9 ns 以下 0 1 0: 10 ns 以下 0 1 1: 11 ns 以下 1 0 0: 12 ns 以下 1 1 1: TSCO は 12 ns より大きい（個別の契約に従う） その他 設定禁止	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

40.2.78 CMDSPT : CCC 最大データ速度 T（切り替え）レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x370

Bit position:	31								23																				0
Bit field:	MRTE	—	—	—	—	—	—	—	MRTTIM[23:0]																				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

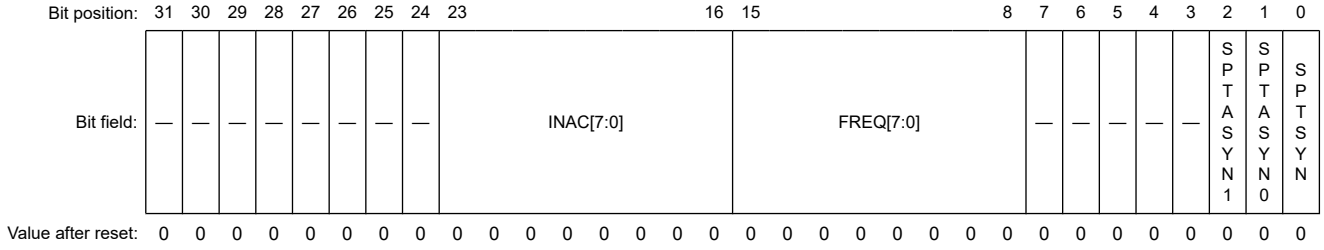
ビット	シンボル	機能	R/W
23:0	MRTTIM[23:0]	最大読み出し切り替え時間 0.0 秒から 16 秒の範囲の切り替え時間を、24 ビットフィールドにエンコードできます。 0x000000: 0 µs（最小値） 0x000001: 1 µs（分解能） ⋮ 0xF42400: 16 s（最大値） その他: 設定禁止	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	MRTE	最大読み出し切り替え時間許可 0: 最大読み出し切り替え時間の転送を禁止します。 （GETMXDS フォーマット 1：切り替えなし） 1: 最大読み出し切り替え時間の転送を許可します。 （GETMXDS フォーマット 2：切り替えあり）	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

40.2.79 CETSM : CCC 交換タイミングサポート情報 M（モード）レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x374



ビット	シンボル	機能	R/W
0	SPTSYN	同期モードサポート 0: 同期モードをサポートしない 1: 同期モードをサポートする	R/W
1	SPTASYN0	非同期モード 0 サポート 0: 非同期モード 0 をサポートしない 1: 非同期モード 0 をサポートする	R/W
2	SPTASYN1	非同期モード 1 サポート 0: 非同期モード 1 をサポートしない 1: 非同期モード 1 をサポートする	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	FREQ[7:0]	周波数バイト スレーブの内部発振周波数を 0.5 MHz (500 kHz) 刻み、最高 127.5 MHz までで表します。 0x00: 32.0 KHz 0x01: 0.5 MHz 0x02: 1.0 MHz ⋮ 0xFD: 126.5 MHz 0xFE: 127.0 MHz 0xFF: 127.5 MHz	R/W
23:16	INAC[7:0]	変動量バイト スレーブの内部発振周波数の最高変動量を、1/10 パーセント (0.1%) 刻み、最大 25.5%で表します。 0x00: 0.0% 0x01: 0.1% 0x02: 0.2% ⋮ 0xFD: 25.3% 0xFE: 25.4% 0xFF: 25.5%	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SPTSYN ビット（同期モードサポート）

対象のスレーブがサポートするタイミングコントロールモードのサポート同期モードを表すビットマスクです。

本ビットが 1 に設定された場合、そのスレーブは対応するタイミングコントロールモードのサポート同期モードをサポートしています。

SPTASYN0 ビット（非同期モード 0 サポート）

対象のスレーブがサポートするタイミングコントロールモードの非同期モード 0 をサポートするビットマスク表示です。

本ビットが 1 に設定された場合、そのスレーブは対応するタイミングコントロールモードのサポート非同期モード 0 をサポートしています。

SPTASYN1 ビット（非同期モード 1 サポート）

対象のスレーブがサポートするタイミングコントロールモードの非同期モード 1 をサポートするビットマスク表示です。

本ビットが 1 に設定された場合、そのスレーブは対応するタイミングコントロールモードのサポート非同期モード 1 をサポートしています。

ダイレクト CCC は、その I3C スレーブがサポートする交換タイミング情報をマスタがスレーブ側に照会するためのフレームワークを提供します。交換タイミングサポート情報取得 CCC の発行により、指定されたスレーブはそのスレーブがサポートするタイミングコントロールモード、カレントステート、内部発振／クロック周波数とその変動量に関するキー情報を含む 4 個のデータバイトを返します。

40.2.80 CETSS : CCC 交換タイミングサポート情報 S（ステート）レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x378

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ICOVF	—	—	—	—	ASYNE[1:0]		SYNE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SYNE	同期モード許可 0: 同期モードを禁止する 1: 同期モードを許可する	R/W
2:1	ASYNE[1:0]	非同期モード許可 非同期モード 3、2 はサポートされていないため、0 に設定します。 0 0: 全モードを禁止する 0 1: 非同期モード 0 を許可する 1 0: 非同期モード 1 を許可する その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ICOVF	内部カウンタオーバーフロー 0: 最新のチェックで、スレーブのカウンタオーバーフローが発生していない 1: 最新のチェックで、スレーブのカウンタオーバーフローが発生している	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

対象のスレーブに対してどのタイミングコントロールモードが現在有効であるか、および、最新のチェックでカウンタオーバーフローが発生していないか、を示すビットマスクです。タイミングコントロールモードビットが 1 に設定されている場合、そのスレーブは現在対応するタイミングコントロールモードを有効にしています。オーバーフロービットが 1 に設定された場合、最新のチェックで、スレーブのカウンタオーバーフローが発生していることを示します。

ASYNE[0]ビット（非同期モード 0 許可）

スレーブタイミングコントロール非同期モード 0 を許可します。

[1 になる条件]

- 1 を書いたとき
- CETSM.SPTASYN[0]ビットが 1 で、かつ下記 1.または 2.のどちらかが満たされたとき

1. 定義バイト値が 0xDF の状態で、SETXTIME CCC（ブロードキャスト）を受信したとき
2. 定義バイト値が 0xDF の状態で、スレーブアドレス値が SETXTIME CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき

[0 になる条件]

- 0 を書いたとき
- CETSM.SPTASYN[0]ビットが 1 で、かつ下記 1.または 2.のどちらかが満たされたとき

1. 定義バイト値が 0xEF の状態で、SETXTIME CCC（ブロードキャスト）を受信したとき
2. 定義バイト値が 0xEF の状態で、スレーブアドレス値が SETXTIME CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき

ASYNE[1]ビット（非同期モード 1 許可）

スレーブタイミングコントロール非同期モード 1 を許可します。

[1 になる条件]

- 1 を書いたとき
- CETSM.SPTASYN[1]ビットが 1 で、かつ下記 1.または 2.のどちらかが満たされたとき

1. 定義バイト値が 0xEF の状態で、SETXTIME CCC（ブロードキャスト）を受信したとき
2. 定義バイト値が 0xEF の状態で、スレーブアドレス値が SETXTIME CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき

[0 になる条件]

- 0 を書いたとき
- CETSM.SPTASYN[1]ビットが 1 で、かつ下記 1.または 2.のどちらかが満たされたとき

1. 定義バイト値が 0xDF の状態で、SETXTIME CCC（ブロードキャスト）を受信したとき
2. 定義バイト値が 0xDF の状態で、スレーブアドレス値が SETXTIME CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき

40.2.81 CGHDRCAP : CCC HDR 機能取得レジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x37C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSLEN	TSPEN	DDREN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DDREN	HDR-DDR 動作許可 0: HDR-DDR 動作を禁止 1: HDR-DDR 動作を許可	R/W
1	TSPEN	HDR-TSP 動作許可 0: HDR-TSP 動作を禁止 1: HDR-TSP 動作を許可	R/W

ビット	シンボル	機能	R/W
2	TSLEN	HDR-TSL 動作許可 0: HDR-TSL 動作を禁止 1: HDR-TSL 動作を許可	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE3, P-TYPE3
注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードに対応しています。

DDREN ビット（HDR-DDR 動作許可）

I3C スレーブとして使用する際に、このビットで HDR-DDR 通信を許可するかどうかを選択します。

SVDCT.TBCR5 = 1 かつ DDREN = 1 のときのみ、HDR-DDR 通信は許可されます。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

TSPEN ビット（HDR-TSP 動作許可）

I3C スレーブとして使用する際に、このビットで HDR-TSP 通信を許可するかどうかを選択します。

SVDCT.TBCR5 = 1 かつ TSPEN = 1 のときのみ、HDR-TSP 通信は許可されます。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

TSLEN ビット（HDR-TSL 動作許可）

I3C スレーブとして使用する際に、このビットで HDR-TSL 通信を許可するかどうかを選択します。

SVDCT.TBCR5 = 1 かつ TSLEN = 1 のときのみ、HDR-TSL 通信は許可されます。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

注. MIPI I3C 仕様 v1.0 を参照してください。
このレジスタの下位 8 ビットは、GETHDRCAP CCC の応答データとして使用します。

40.2.82 BITCNT : ビットカウントレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x380

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BCNT[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	BCNT[4:0]	ビットカウンタ 残りの転送ビット数を表示します。 値についての詳細は、表 40.7 および表 40.8 を参照してください。	R
31:5	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

BCNT[4:0]ビット（ビットカウンタ）

I3C_SCL ラインのサンプリングエッジの検出時に、残りの転送ビット数を示すカウンタです。

表 40.7 I^2C／レガシー I^2C 転送

BCNT[4:0]	マスタ		スレーブ	
	アドレスフェーズ	データフェーズ	アドレスフェーズ	データフェーズ
0x00	2～1 ビット	2～1 ビット	3～1 ビット	2～1 ビット
0x01	3 ビット	3 ビット	4 ビット	3 ビット
0x02	4 ビット	4 ビット	5 ビット	4 ビット
0x03	5 ビット	5 ビット	6 ビット	5 ビット
0x04	6 ビット	6 ビット	7 ビット	6 ビット
0x05	7 ビット	7 ビット	8 ビット	7 ビット
0x06	8 ビット	8 ビット	9 ビット	8 ビット
0x07	9 ビット	9 ビット	—	9 ビット

表 40.8 I3C 転送

BCNT[4:0]	SDR(注1)		HDR-DDR		HDR-TS
	送信	受信	コマンド／データ	CRC	
0x00	1 ビット	2～1 ビット	19、1 ビット	11、1 ビット	1 シンボル
0x01	2 ビット	3 ビット	20、2 ビット	12、2 ビット	2 シンボル
0x02	3 ビット	4 ビット	3 ビット	3 ビット	3 シンボル
0x03	4 ビット	5 ビット	4 ビット	4 ビット	4 シンボル
0x04	5 ビット	6 ビット	5 ビット	5 ビット	5 シンボル
0x05	6 ビット	7 ビット	6 ビット	6 ビット	6 シンボル
0x06	7 ビット	8 ビット	7 ビット	7 ビット	7 シンボル
0x07	8 ビット	9 ビット	8 ビット	8 ビット	8 シンボル
0x08	9 ビット	—	9 ビット	9 ビット	9 シンボル
0x09	—	—	10 ビット	10 ビット	10 シンボル
0x0A	—	—	11 ビット	—	11 シンボル
0x0B	—	—	12 ビット	—	12 シンボル
0x0C	—	—	13 ビット	—	—
0x0D	—	—	14 ビット	—	—
0x0E	—	—	15 ビット	—	—
0x0F	—	—	16 ビット	—	—
0x10	—	—	17 ビット	—	—
0x11	—	—	18 ビット	—	—

注 1. アドレスフェーズは表 40.7 の場合と同じです。

40.2.83 NQSTLV : 通常キューステータスレベルレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x394

Bit position:	31	30	29	28	24	23	16	15	8	7	0
Bit field:	—	—	—	IBISCNT[4:0]		IBIQLV[7:0]		RSPQLV[7:0]		CMDQFLV[7:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
7:0	CMDQFLV[7:0]	通常コマンドキューフリーレベル(注1) 通常コマンドキュー内の現在のフリーバッファエントリの数です。 リセット値は通常コマンドキューの深度です。	R
15:8	RSPQLV[7:0]	通常レスポンスキューレベル(注1) 通常応答キュー内の現在のバッファエントリの数です。	R
23:16	IBIQLV[7:0]	通常 IBI キューレベル(注1) 通常 IBI キュー内の現在のバッファエントリの数です。	R
28:24	IBISCNT[4:0]	通常 IBI ステータスカウント(注2) 通常 IBI キュー内の現在の IBI ステータスエントリの数です。	R
31:29	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注 1. これらのビットはすべての I3C モードをサポートします。
注 2. これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

40.2.84 NDBSTLV0 : 通常データバッファステータスレベルレジスタ 0

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x398

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	8	7	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDBLV[7:0]		TDBFLV[7:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
7:0	TDBFLV[7:0]	通常送信データバッファフリーレベル 送信データキュー内のフリー送信データバッファのエントリ数を示します。 リセット値は送信データキューの深度です。	R
15:8	RDBLV[7:0]	通常受信データバッファレベル 受信データキュー内の受信データバッファのエントリ数を示します。	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注. このレジスタはすべての I3C モードをサポートします。

40.2.85 NRSQSTLV : 通常受信ステータスキューステータスレベルレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x3C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RSQLV[7:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RSQLV[7:0]	通常受信ステータスキューレベル	R
31:8	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

40.2.86 HQSTLV : 優先キューステータスレベルレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x3C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RSPQLV[7:0]								CMDQLV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
7:0	CMDQLV[7:0]	優先コマンドキューレベル 優先コマンドキュー内の現在のフリーバッファエントリの数です。 リセット値は、優先コマンドキューの深度です。	R
15:8	RSPQLV[7:0]	優先応答キューレベル 優先応答キュー内の現在のバッファエントリの数です。	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

40.2.87 HDBSTLV : 優先データバッファステータスレベルレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x3C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RDBLV[7:0]								TDBFLV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
7:0	TDBFLV[7:0]	優先送信データバッファフリーレベル 優先送信データキュー内のフリー優先送信データバッファのエントリ数を示します。 リセット値は優先送信データキューの深度です。	R
15:8	RDBLV[7:0]	優先受信データバッファレベル 優先受信データキュー内の優先受信データバッファのエントリ数を示します。	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE3、P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

40.2.88 PRSTDBG : 現在ステートデバッグレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x3CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SDOLV	SCOLV	SDILV	SCILV
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
0	SCILV	I3C_SCL ライン信号レベル エラーからの復帰とデバッグの目的で、I3C_SCL ラインレベルを確認するために使用します。	R
1	SDILV	I3C_SDA ライン信号レベル エラーからの復帰とデバッグの目的で、I3C_SDA ラインレベルを確認するために使用します。	R
2	SCOLV	SCL 出力レベル 0: I3C は I3C_SCL 端子を Low にしている 1: I3C は I3C_SCL 端子を解放している	R
3	SDOLV	SDA 出力レベル 0: I3C は I3C_SDA 端子を Low にしている 1: I3C は I3C_SDA 端子を解放している	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

SCILV ビット（I3C_SCL ライン信号レベル）

エラーからの復帰とデバッグの目的で、I3C_SCL ラインレベルを確認するために使用します。

SDILV ビット（I3C_SDA ライン信号レベル）

エラーからの復帰とデバッグの目的で、I3C_SDA ラインレベルを確認するために使用します。

SCOLV ビット（SCL 出力レベル）

I3C_SCL 端子の出力レベルを選択するために使用します。

SDOLV ビット（SDA 出力レベル）

I3C_SDA 端子の出力レベルを選択するために使用します。

40.2.89 MSERRCNT : マスタエラーカウンタレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x3D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	M2ECNT[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	M2ECNT[7:0]	M2 エラーカウンタ I3C バス上の I3C タイプ M2 エラーをカウントします。 読み出し時にクリアされます。	R
31:8	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

40.2.90 SC1CPT : SC1 キャプチャモニタレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x3E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SC1C[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SC1C[15:0]	SC1 キャプチャ	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SC1C[15:0]ビット（SC1 キャプチャ）

- 非同期モード 0（非同期基本モード）

ATCCNTE.ATCE を有効にした後、SC1C[15:0]カウンタは SC1C[15:0]カウントトリガ(注1)から IBI に対する ACK の次の SCL 立ち上がりエッジまでカウントアップし、それを SC1C[15:0]としてキャプチャします。

- 非同期モード 1（非同期拡張モード）
  ATCCNTE.ATCE を有効にした後、SC1C[15:0]カウンタは、SC1C[15:0]カウントトリガ(注1)から最初の aME までカウントアップし、それを SC1C[15:0]としてキャプチャします。

注. タイミングコントロールの仕様上、SC1C[15:0]カウンタの値は IBI データとして IBI フレームに含まれて I3C マスタに送信されます。そのため、I3C スレーブはこのレジスタを読み出す必要はありません。I3C スレーブがこのレジスタを読み出す必要がある場合、IBI フレーム完了後に読み出します。

注 1. SW または外部トリガは選択ビットで選択可能です。

40.2.91 SC2CPT : SC2 キャプチャモニタレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x3E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SC2C[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SC2C[15:0]	SC2 キャプチャ	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SC2C[15:0]ビット（SC2 キャプチャ）

- 非同期モード 0（非同期基本モード）
  ATCCNTE.ATCE を有効にした後、SC2C[15:0]カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを SC2C[15:0]としてキャプチャします。
- 非同期モード 1（非同期拡張モード）
  ATCCNTE.ATCE を有効にした後、SC2C[15:0]カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを SC2C[15:0]としてキャプチャします。

注. タイミングコントロールの仕様上、SC2C[15:0]カウンタの値は IBI データとして IBI フレームに含まれて I3C マスタに送信されます。そのため、I3C スレーブはこのレジスタを読み出す必要はありません。I3C スレーブがこのレジスタを読み出す必要がある場合、IBI フレーム完了後に読み出します。

40.2.92 CECTL：クロック許可コントロールレジスタ

Base address: I3C = 0x4035_F000
I3C_NS = 0x5035_F000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLKE	クロック許可 0: クロックを禁止する 1: クロックを許可する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

CLKE ビット（クロック許可）

- 本ビットは、通信機能のクロック供給の許可／禁止を制御します。

40.3 動作説明

40.3.1 データ構造

40.3.1.1 コマンドディスクリプタ

ライトオンリーのコマンドディスクリプタ構造は、64 ビットのビット長です。コマンドディスクリプタは、コマンドキューポート（優先、または通常）への書き込みにより、コマンドキューに置かれます。

コマンドキューポート（優先、または通常）への書き込みは、以下の順で行います。

1. 最初の書き込み：最下位の DWORD（コマンドディスクリプタ構造 Low）
2. 2 番目の書き込み：最上位の DWORD（コマンドディスクリプタ構造 High）

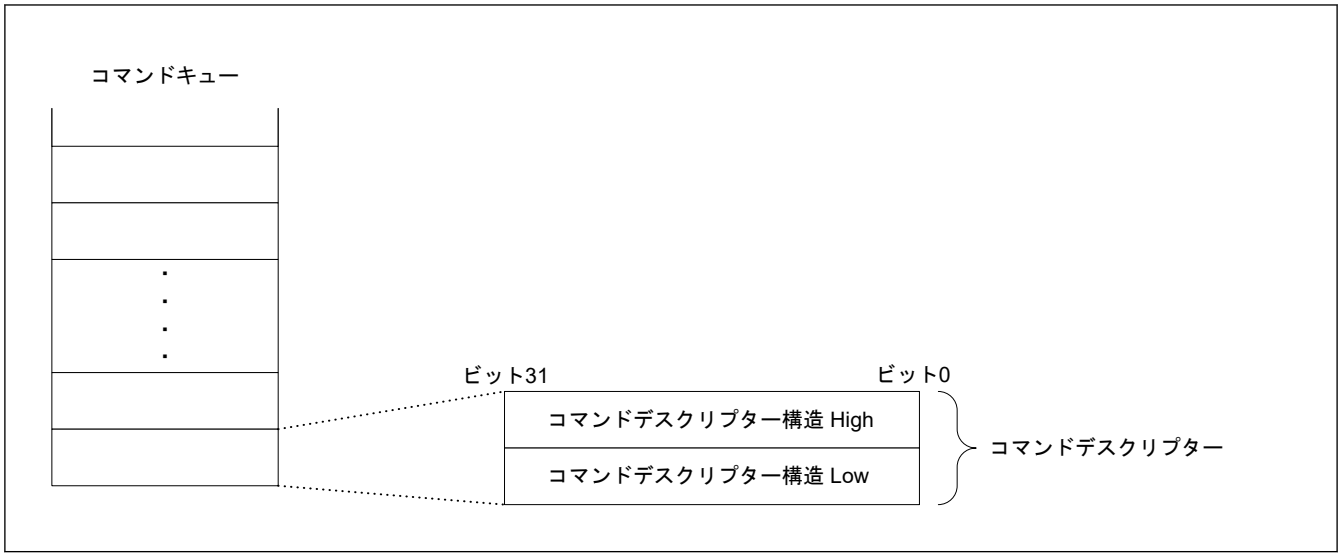


図 40.2　コマンドディスクリプタデータ構造

I3C は、以下の各コマンドタイプに対するコマンドディスクリプタ構造を提供します。

- アドレス配置コマンド
- 即時データ転送コマンド
- 通常データ転送コマンド
- コンボデータ転送コマンド
- 内部コントロールコマンド

詳細は、次章以降に説明します。

40.3.1.1.1　アドレス配置コマンド

本コマンドはアドレス配置（ENTDAA、SETDASA）に使用します。

注.　SETAASA CCC の発行時に、即時転送コマンドを使用します。

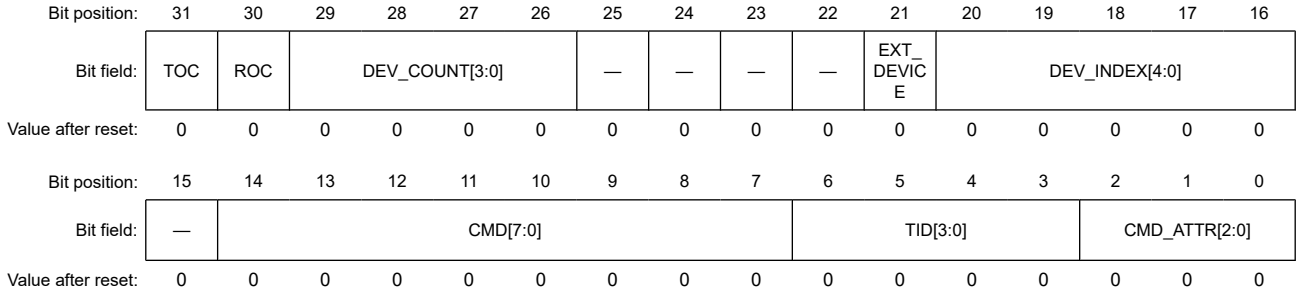
I3C は、以下のモードに対してアドレス配置コマンドを提供します。

- I3C マスタモード

アドレス配置コマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	コマンド属性 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボデータ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	トランザクション ID	W
14:7	CMD[7:0]	転送コマンド CCC 値	W
15	—	書く場合、0 としてください。	W
20:16	DEV_INDEX[4:0]	デバイスインデックス	W
21	EXT_DEVICE	拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
25:22	—	書く場合、0 としてください。	W
29:26	DEV_COUNT[3:0]	デバイスカウント	W
30	ROC	完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	完了時終了 0: RESTART: 転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: 転送完了時に、停止 (P) を発行する	W
63:32	—	書く場合、0 としてください。	W

CMD_ATTR[2:0]ビット（コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（トランザクション ID）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

CMD[7:0]ビット（転送コマンド CCC 値）

アドレス配置が ENTDAA コマンドか SETDASA コマンドを使用するかどうかを示す CCC コードを指定します。フィールドは、コマンドコード（ENTDAA または SETDASA）全体を含みます。

DEV_INDEX[4:0]ビット（デバイスインデックス）

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

DEV_COUNT[3:0]ビット（デバイスカウント）

ダイナミックアドレスが配置されるデバイスの数を示します。

ROC ビット（完了時レスポンス）

転送コマンドが正常に完了した後で、レスポンスステータスを送るかどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスが送られます。

TOC ビット（完了時終了）

転送コマンドの完了後に、どのバスコンディションを発行するかをコントロールします。

ENTDAA の場合、TOC の設定値にかかわらずストップコンディションを発行します。これは、SETDASA 転送に関し、重要なことです。

TOC = 0 (RESTART) により SETDASA CCC を送る場合、次のコマンドはアドレス配置コマンドによって SETDASA CCC に設定されなければなりません。

次のコマンドが、同じ SETDASA CCC フレームでないとき、TOC = 1 (STOP) に設定されなければなりません。

40.3.1.1.2 即時データ転送コマンド

この構造は、転送されるデータ（最大 4 バイト）を直接格納し、その結果、データを書き込む転送／CCC のみに対して有用です。この構造は、読み出し動作（例えばデータ受信）には使用できません。

4 バイト以下のデータを送信する場合、通信に即時データ転送コマンドを使用してください。

5 バイト以上のデータを送信する場合、通信に通常データ転送コマンドを使用してください。

通常データ転送コマンドについては、「40.3.1.1.3. 通常データ転送コマンド」を参照してください。

I3C は、以下の各モードに対して即時データ転送コマンドを提供します。

- I3C マスタモード

各モードの即時データ転送コマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_BYTE_4[7:0]								DATA_BYTE_3[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	DATA_BYTE_2[7:0]								DATA_BYTE_1[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	RNW	MODE[2:0]			BYTE_CNT[2:0]			—	EXT_DEVICE	DEV_INDEX[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CP	CMD[7:0]								TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	即時データ転送コマンド属性 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W

ビット	シンボル	機能	R/W
6:3	TID[3:0]	即時データ転送トランザクション ID	W
14:7	CMD[7:0]	即時データ転送 CCC/HDR コマンドコード値 CCC 用: 8 ビット HDR 用: 7 ビット	W
15	CP	即時データ転送コマンドの有無 0: TRANSFER: この構造は SDR 転送を記述するため、CMD フィールドは無効 1: CCC_HDR: この構造は CCC または HDR 転送を記述するため、CMD フィールドは有効	W
20:16	DEV_INDEX[4:0]	即時データ転送デバイスインデックス	W
21	EXT_DEVICE	即時データ転送拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
22	—	書く場合、0 としてください。	W
25:23	BYTE_CNT[2:0]	即時データ転送バイトカウント 0x0: ペイロードなし 0x1～ 0x4: N バイト有効 その他: 設定禁止	W
28:26	MODE[2:0]	即時データ転送モードおよびスピード値 0x0: I3C SDR0／データレート: STDBR（I3C モード） レガシー I^2C メッセージ 0／データレート : STDBR（I^2C モード） 0x1: I3C SDR1／データレート: EXTBR（I3C モード） レガシー I^2C メッセージ 0／データレート : EXTBR（I2C モード） 0x2: I3C SDR2／データレート: STDBR × 2（I3C モード） 予約（I^2C モード） 0x3: I3C SDR3／データレート: EXTBR × 2（I3C モード） 予約（I^2C モード） 0x4: I3C SDR4／データレート: EXTBR × 4（I3C モード） 予約（I^2C モード） 0x5: I3C HDR-TS／データレート : STDBR（I3C モード） HDR-Ternary モード。HDR-TSP 対 HDR-TSL の選択は、レジスタ BCTL、フィールド BMDS の値に依存する 予約（I^2C モード） 0x6: I3C HDR-DDR／データレート: STDBR（I3C モード） 予約（I^2C モード） その他: 設定禁止	W
29	RNW	即時データ転送 R/W 0: WRITE: 書き込み転送 1: READ: 読み出し転送	W
30	ROC	即時データ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	即時データ転送完了時終了 0: RESTART: データ転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: データ転送完了時に、停止 (P) を発行する	W
39:32	DATA_BYTE_1[7:0]	即時データ転送バイト 1 直接引数	W
47:40	DATA_BYTE_2[7:0]	即時データ転送バイト 2 直接引数	W
55:48	DATA_BYTE_3[7:0]	即時データ転送バイト 3 直接引数	W
63:56	DATA_BYTE_4[7:0]	即時データ転送バイト 4 直接引数	W

CMD_ATTR[2:0]ビット（即時データ転送コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（即時データ転送トランザクション ID）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

CP ビット（即時データ転送コマンドの有無）

CMD フィールドが、CCC または HDR 転送に対して有効であるかどうかを示します。

DEV_INDEX[4:0]ビット（即時データ転送デバイスインデックス）

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

BYTE_CNT[2:0]ビット（即時データ転送バイトカウント）

即時データ転送ディスクリプタで使用する有効なデータバイトの数です。

定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。

HDR モード（MODE[2:0]が 0x5 または 0x6）を指定する場合、このフィールドは偶数値に設定される必要があります。

MODE[2:0]ビット（即時データ転送モードおよびスピード値）

I3C 転送または I^2C 転送のモードと速度を設定します。

このフィールドの解釈は、デバイスが I3C モードであるか I^2C モードであるかに依存します。（フィールド DEV_INDEX でインデックス付けされた DATBASm テーブルエントリの DEVICE フィールドを参照）

RNW ビット（即時データ転送 R/W）

転送方向を指定します。

即時データ転送は書き込みトランザクションのみに有効であるため、常に 0 に設定する必要があります。

ROC ビット（即時データ転送完了時レスポンス）

データ転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

TOC ビット（即時データ転送完了時終了）

データ転送が完了した後で、どのバスコンディションを発行するかをコントロールします。

TOC = 0 (RESTART) によりダイレクト CCC を送る場合、次のコマンドは同じダイレクト CCC に設定されなければなりません。

次のコマンドが、同じダイレクト CCC でないとき、TOC = 1 (STOP) に設定されなければなりません。

40.3.1.1.3 通常データ転送コマンド

この構造は、転送するデータ自体は含みません。

マスタモードの場合、データバッファは、転送データキューポート（受信データキューポートおよび送信データキューポート）を通じて使用可能です。

5 バイト以上のデータを送信する場合、通信にこの通常データ転送コマンドを使用してください。

4 バイト以下のデータを送信する場合、通信に即時データ転送コマンドを使用してください。

即時データ転送コマンドについては、「40.3.1.1.2. 即時データ転送コマンド」を参照してください。

I3C スレーブモードの場合、IBI ペイロードバッファは、IBI キューポートを通じて使用可能です。

I3C は、以下の各モードに対して通常データ転送コマンドを提供します。

- I3C マスタモード
- I3C スレーブモード

各モードの通常データ転送コマンド構造の詳細を以下に示します。

(1) I3C マスタモード

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	RNW	MODE[2:0]			—	—	—	—	EXT_DEVICE	DEV_INDEX[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CP	CMD[7:0]								TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	データ転送コマンド属性 他のフィールドのフォーマットを定義するコマンドタイプです。 値 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	データ転送トランザクション ID コマンド用確認タグ	W
14:7	CMD[7:0]	データ転送 CCC/HDR コマンドコード値 I3C コマンドコードを指定します。 CCC の場合: 8 ビット HDR の場合: 7 ビット	W
15	CP	データ転送コマンドの有無 0: TRANSFER: この構造は SDR 転送を記述するため、CMD フィールドは無効 1: CCC_HDR: この構造は CCC または HDR 転送を記述するため、CMD フィールドは有効	W
20:16	DEV_INDEX[4:0]	データ転送デバイスインデックス	W
21	EXT_DEVICE	データ転送拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
25:22	—	書く場合、0 としてください。	W

ビット	シンボル	機能	R/W
28:26	MODE[2:0]	データ転送スピードおよびモード 0x0: I3C SDR0／データレート: STDBR（I3C モード） レガシー I2C メッセージ 0／データレート : STDBR（I2C モード） 0x1: I3C SDR1／データレート: EXTBR（I3C モード） レガシー I2C メッセージ 0／データレート : EXTBR（I2C モード） 0x2: I3C SDR2／データレート: STDBR × 2（I3C モード） 予約（I2C モード） 0x3: I3C SDR3／データレート: EXTBR × 2（I3C モード） 予約（I2C モード） 0x4: I3C SDR4／データレート: EXTBR × 4（I3C モード） 予約（I2C モード） 0x5: I3C HDR-TS／データレート : STDBR × 4（I3C モード） HDR-Ternary モード HDR-TSP 対 HDR-TSL の選択は、レジスタ BCTL、フィールド BMDS の値に依存する 予約（I2C モード） 0x6: I3C HDR-DDR／データレート : STDBR（I3C モード） 予約（I2C モード） その他: 設定禁止	W
29	RNW	データ転送 R/W 0: WRITE: 書き込み転送 1: READ: 読み出し転送	W
30	ROC	データ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	データ転送完了時終了 0: RESTART: 転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: 転送完了時に、停止 (P) を発行する	W
47:32	—	書く場合、0 としてください。	W
63:48	DATA_LENGTH [15:0]	データ転送データ長 転送するバイト数を表示します。 定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。	W

CMD_ATTR[2:0]ビット（データ転送コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（データ転送トランザクション ID）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

CP ビット（データ転送コマンドの有無）

CMD フィールドの内容が CCC または HDR 転送に対して有効であるかどうかを示します。

DEV_INDEX[4:0]ビット（データ転送デバイスインデックス）

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

MODE[2:0]ビット（データ転送スピードおよびモード）

I3C 転送または I2C 転送のモードと速度を設定します。

このフィールドの解釈は、デバイスが I3C モードであるか I2C モードであるかに依存します。（フィールド DEV_INDEX でインデックス付けされた DATBASm テーブルエントリの DEVICE フィールドを参照）

RNW ビット（データ転送 R/W）

転送方向を指定します。

ROC ビット（データ転送完了時レスポンス）

転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

TOC ビット（データ転送完了時終了）

転送が完了した後で、どのバスコンディションを発行するかをコントロールします。

TOC = 0 (RESTART) によりダイレクト CCC を送る場合、次のコマンドは同じダイレクト CCC に設定されなければなりません。

次のコマンドが、同じダイレクト CCC でないとき、TOC = 1 (STOP) に設定されなければなりません。

DATA_LENGTH[15:0]ビット（データ転送データ長）

通常データ転送ディスクリプタで使用する有効なデータバイトの数です。

定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。

HDR モード（MODE[2:0]が 0x5 または 0x6）を指定する場合、このフィールドは偶数値に設定される必要があります。

GETMXDS コマンドの長さ設定は固定値 5 になります。

(2) I3C スレーブモード

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	ROC	RNW	—	—	—	—	—	—	ITS	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	データ転送コマンド属性 他のフィールドのフォーマットを定義するコマンドタイプです。 値 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	データ転送トランザクション ID コマンド用確認タグ	W

ビット	シンボル	機能	R/W
21:7	—	書く場合、0 としてください。	W
22	ITS	非同期モード用のタイムスタンプの有無 0: タイムスタンプなし 1: タイムスタンプあり	W
28:23	—	書く場合、0 としてください。	W
29	RNW	データ転送 R/W 0: WRITE: 書き込み転送（バス権要求） 1: READ: 読み出し転送（スレーブ割り込み要求）	W
30	ROC	データ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
47:31	—	書く場合、0 としてください。	W
63:48	DATA_LENGTH [15:0]	データ転送データ長 転送するバイト数を表示します。 定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。	W

CMD_ATTR[2:0]ビット（データ転送コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（データ転送トランザクション ID）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

RNW ビット（データ転送 R/W）

転送方向を指定します。

ROC ビット（データ転送完了時レスポンス）

転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

40.3.1.1.4 コンボデータ転送コマンド

この構造は、書き込み+書き込み／読み出し動作を組み合わせています。

データバッファは、転送データキューポート（受信データキューポートおよび送信データキューポート）を通じて使用可能です。

I3C は、以下の各モードに対してコンボデータ転送コマンドを提供します。

- I3C マスタモード

各モードのコンボデータ転送コマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	OFFSET[15:0]/SUBOFFSET[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	RNW	MODE[2:0]			16_BIT_SUBOFFSET	FIRST_PHASE_MODE	DATA_LENGTH_POSITION[1:0]		EXT_DEVICE	DEV_INDEX[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CP	CMD[7:0]								TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	コンボデータ転送コマンド属性 他のフィールドのフォーマットを定義するコマンドタイプです。 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボデータ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	コンボデータ転送トランザクション ID コマンド用確認タグ	W
14:7	CMD[7:0]	コンボデータ転送 HDR コマンドコード値 I3C コマンドコード（7 ビット）を指定します。	W
15	CP	コンボデータ転送コマンドの有無 CMD フィールドが HDR 転送に対して有効であるかどうかを示します。 0: TRANSFER: この構造は SDR 転送を記述するため、CMD フィールドは無効 1: CCC_HDR: この構造は HDR 転送を記述するため、CMD フィールドは有効	W
20:16	DEV_INDEX[4:0]	コンボデータ転送デバイスインデックス	W
21	EXT_DEVICE	コンボデータ転送拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
23:22	DATA_LENGTH_POSITION[1:0]	データ長フィールド位置 0 0: NO：長さフィールドなし 0 1: FIRST：1 番目のフィールドを長さフィールドとする 1 0: SECOND：2 番目のフィールドを長さフィールドとする その他: 設定禁止	W
24	FIRST_PHASE_MODE	コンボデータ転送ファーストフェーズモード 0: SDR: ファーストフェーズは SDR モードで実行する 1: MODE: ファーストフェーズは MODE フィールドに示すモードで実行する	W
25	16_BIT_SUBOFFSET	コンボデータ転送サブオフセットサイズ 0: 8_BIT_SUBOFFSET: サブオフセットサイズは 8 ビット長である。値は､OFFSET/SUBOFFSET フィールドの下位バイトでエンコードする。 1: 16_BIT_SUBOFFSET: サブオフセットサイズは 16 ビット長である	W
28:26	MODE[2:0]	I3C モード用コンボデータ転送速度とモード値 0x0: I3C SDR0／データレート: STDBR 0x1: I3C SDR1／データレート: EXTBR 0x2: I3C SDR2／データレート: STDBR × 2 0x3: I3C SDR3／データレート: EXTBR × 2 0x4: I3C SDR4／データレート: EXTBR × 4 0x5: I3C HDR-TS／データレート: STDBR × 4 HDR-Ternary モード。HDR-TSP 対 HDR-TSL の選択は、レジスタ BCTL、フィールド BMDS の値に依存する 0x6: I3C HDR-DDR／データレート: STDBR その他: 設定禁止	W
29	RNW	コンボデータ転送 R/W は、転送方向を指定します。 0: WRITE: 書き込み転送 1: READ: 読み出し転送	W

ビット	シンボル	機能	R/W
30	ROC	コンボデータ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	コンボデータ転送完了時レスポンス 0: RESTART: 転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: 転送完了時に、停止 (P) を発行する	W
47:32	OFFSET[15:0]/ SUBOFFSET[15:0]	対象動作のコンボデータ転送オフセット／サブオフセット、オフセット	W
63:48	DATA_LENGTH [15:0]	コンボデータ転送データ長 転送するバイト数。このフィールドは 0 以外の値に設定される必要があります。	W

CMD_ATTR[2:0]ビット（コンボデータ転送コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（コンボデータ転送トランザクション ID）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

CP ビット（コンボデータ転送コマンドの有無）

CMD フィールドの内容が、HDR 転送に対して有効であるかどうかを示します。

DEV_INDEX[4:0]ビット（コンボデータ転送デバイスインデックス）

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

DATA_LENGTH_POSITION[1:0]ビット（データ長フィールド位置）

転送のファーストフェーズにおいて、データ長 (DATA_LENGTH) を置くかどうか、どこに置くかを示します。このフィールドは、データ転送のファーストフェーズを HDR モードで実行する場合にのみ適用可能です。

8 ビットと 16 ビットのどちらのデータ長フィールドを使用するかを 16_BIT_SUBOFFSET フィールドで示します。8 ビットのデータ長の場合は、DATA_LENGTH フィールドの下位バイトでエンコードします。

FIRST_PHASE_MODE ビット（コンボデータ転送ファーストフェーズモード）

コンボデータ転送のファーストフェーズを SDR モードで実行するか、MODE フィールドに示すモードで実行するかを示します。

MODE[2:0]ビット（I3C モード用コンボデータ転送速度とモード値）

I3C 転送または I^2C 転送のモードと速度を設定します。

このフィールドの解釈は、デバイスが I3C モードであるか I^2C モードであるかに依存します（フィールド DEV_INDEX でインデックス付けされた DATBASm テーブルエントリの DEVICE フィールドを参照）。

RNW ビット（コンボデータ転送 R/W は、転送方向を指定します。）

転送方向を指定します。

ROC ビット（コンボデータ転送完了時レスポンス）

データ転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかを制御します。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

TOC ビット（コンボデータ転送完了時レスポンス）

データ転送が完了した後で、どのバスコンディションを発行するかをコントロールします。

2 番目のフレームを TOC = 0 (RESTART) および HDR モード（MODE[2:0]が 0x5 または 0x6）で送る場合、次のコマンドは 1 番目のフレームが HDR モード（MODE[2:0]が 0x5 または 0x6）と同じであるように設定する必要があります。

次のコマンドが同じ HDR モード（MODE[2:0]が 0x5 または 0x6）でないとき、TOC = 1 (STOP) に設定されなければなりません。

DATA_LENGTH[15:0]ビット（コンボデータ転送データ長）

コンボデータ転送ディスクリプタで使用する有効なデータバイトの数です。

このフィールドは 0 以外の値に設定される必要があります。

HDR モード（MODE[2:0]が 0x5 または 0x6）を指定する場合、このフィールドは偶数値に設定される必要があります。

40.3.1.1.5 内部コントロールコマンド

この構造は、転送コマンドのためではなく I3C 自身をコントロールするために使用します。

I3C は、以下の各モードに対して内部コントロールコマンドを提供します。

- I3C マスタモード

内部コントロールコマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ON_OFF	MIPI_CMD[3:0]				—	TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	コマンド属性(注2) 他のフィールドのフォーマットを定義するコマンドタイプです。 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボデータ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	コマンド用トランザクション ID 確認タグ	W
7	—	書く場合、0 としてください。	W
11:8	MIPI_CMD[3:0]	MIPI アライアンスコマンド 0x00: NoOp であり、ON_OFF フィールドは無効 0x02: 7E (IBA) を含むため、ON_OFF フィールドは有効 その他: 設定禁止	W

ビット	シンボル	機能	R/W
12	ON_OFF	バスインスタンス 7E On / Off(注1) この I3C インスタンスにおける全てのスタートコンディションの後の、I3C ブロードキャストヘッダの自動送信を有効／無効にします。 0: IBA_INCLUDE オフ 1: IBA_INCLUDE オン	W
63:13	—	書く場合、0 としてください。	W

注 1. MIPI_CMD[3:0] = 0x2 かつ ON_OFF = 1 により設定される状態の IBA_INCLUDE は、RSTCTL.INTLRST を 1 にすることによりクリアされます。
注 2. 内部コントロールコマンドを実行しているとき、レスポンスディスクリプタは格納されません。

40.3.1.2 レスポンスディスクリプタ

レスポンスディスクリプタは、正しくコマンドが実行されたかどうか、および転送されたデータ量を記述するリードオンリーの構造です。

レスポンスディスクリプタは、レスポンスキューポートからの読み出しによりレスポンスキューから読み出します。

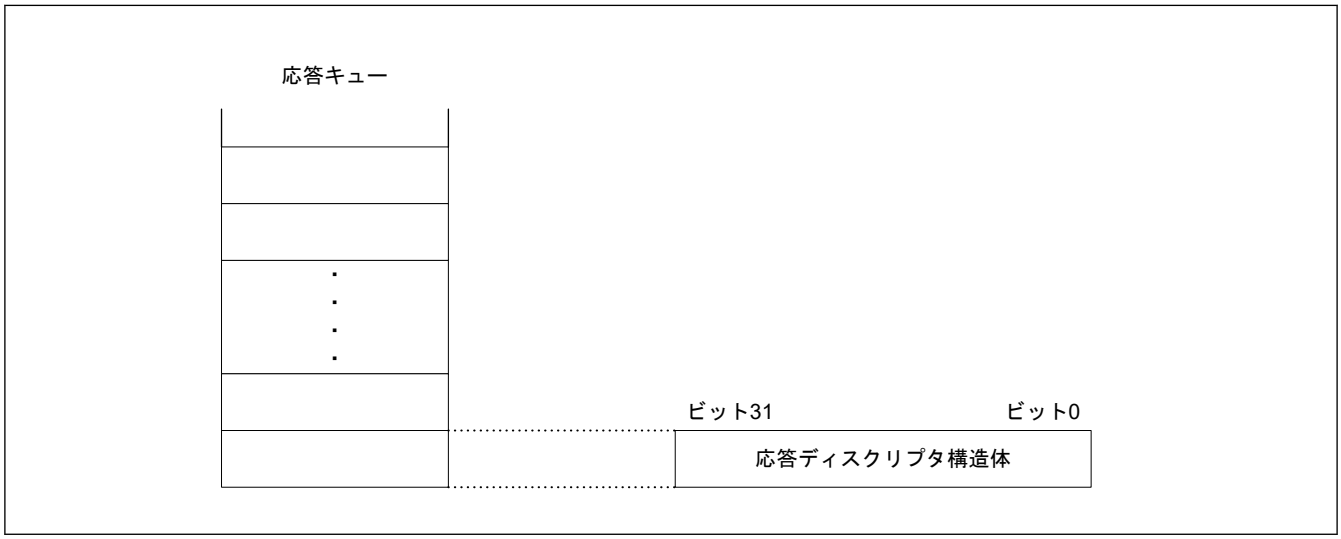


図 40.3 レスポンスディスクリプタデータ構造

I3C は、以下の各モードに対して応答ディスクリプタを提供します。

- I3C マスタモード
- I3C スレーブモード

各モードのレスポンスディスクリプタ構造の詳細を以下に示します。

(1) I3C マスタモード

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR_STATUS[3:0]				TID[3:0]				—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA_LENGTH [15:0]	データ長／デバイスカウント このフィールドの意味は、コンテクストに依存します。 書き込み転送時：残りのデータ長（バイト数） 読み出し転送時：受信データ長（バイト数） アドレス配置時：残りのデバイスカウント	R
23:16	—	読むと 0 が読めます。	R
27:24	TID[3:0]	コマンド／応答トランザクション ID コマンド用確認タグ この値は、バス上で送られたコマンドの 1 つと一致します。 0x0～0x7: 有効なトランザクション ID その他: 予約	R
31:28	ERR_STATUS[3:0]	応答エラーステータス 0x0: SUCCESS: 正常転送、エラーなし 0x1: CRC: CRC エラー 0x2: PARITY: パリティエラー 0x3: FRAME: フレームエラー 0x4: ADDR_HEADER: アドレスヘッダエラー 0x5: NACK: アドレス NACK／ダイナミックアドレス割り当て NACK 0x6: OVL: 受信オーバーフローエラー／転送アンダーフローエラー 0x8: ABORTED: 中断 0x9: I^2C_WR_DATA_NACK: I^2C 書き込みデータ転送に対し、NACK 受信 0xA: NOT_SUPPORTED: I3C 実装においてサポートされていない特定のパラメータを有するコマンド（例えば、特定の内部コントロールコードはサポートされていないことがある） その他: 予約	R

注. I3C マスタモードにおいて、コマンドディスクリプタにサポートされていない特定のパラメータをもつ異常なコマンドが格納されていた場合、それらは ERR_STATUS[3:0]に NOT_SUPPORTED (0xA) と示されます。

(2) I3C スレーブモード

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR_STATUS[3:0]				TID[3:0]				—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA_LENGTH [15:0]	データ長 スレーブ割り込み要求に対し、残りのデータ長（バイト数）	R
23:16	—	読むと 0 が読めます。	R
27:24	TID[3:0]	コマンド／応答トランザクション ID コマンド用確認タグ この値は、バス上で送られたコマンドの 1 つと一致します。 0x0～0x7: 有効なトランザクション ID その他: 予約	R

ビット	シンボル	機能	R/W
31:28	ERR_STATUS[3:0]	レスポンスエラーステータス 0x0: SUCCESS: 正常転送、エラーなし 0x3: FRAME: フレームエラー 0x4: ADDR_HEADER: アドレスヘッダエラー 0x5: NACK: アドレス NACK／ダイナミックアドレス割り当て NACK 0x6: OVL: 受信オーバーフローエラー／転送アンダーフローエラー 0x8: ABORTED: 中断 0xA: NOT_SUPPORTED: I3C 実装においてサポートされていない特定のパラメータを有するコマンド（例えば、特定の内部コントロールコードはサポートされていないことがある） その他: 予約	R

注. I3C スレーブモードにおいて、以下の場合では ERR_STATUS[3:0]で NOT_SUPPORTED (0xA) と示されます。
- コマンドディスクリプタにサポートされていない、特定のパラメータをもつ異常なコマンドが格納されていた場合
- 送信される IBI が CSECMD レジスタで無効になっていた場合
- コマンドキューで IBI 送信のための通常コマンド準備ができた後で、その IBI が I3C マスタからの DISEC CCC フレームにより CSECMD レジスタで無効になった場合

40.3.1.3 IBI ステータスディスクリプタ

IBI ステータスディスクリプタは、I3C バスのスレーブデバイスから受信した IBI イベントを表すリードオンリーの構造をしています。

IBI ステータスディスクリプタは、IBI キューポートからの読み出しにより IBI キューから読み出されます。

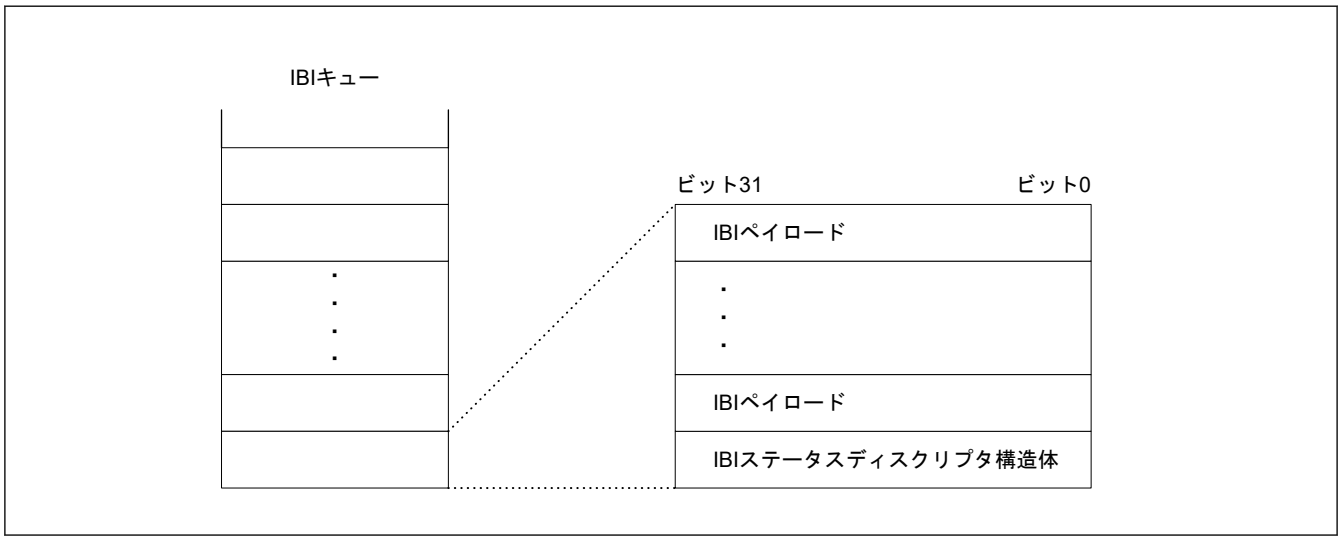
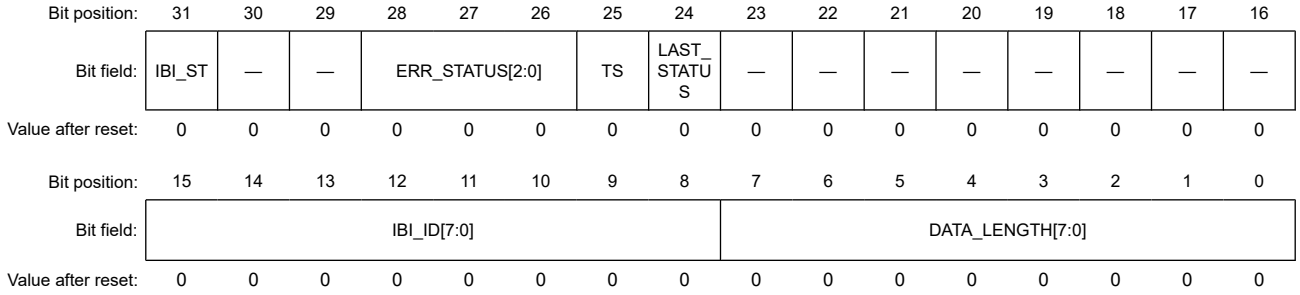


図 40.4 IBI ステータスディスクリプタデータ構造

I3C は、以下の各モードに対して IBI ステータスディスクリプタを提供します。

- I3C マスタモード

IBI ステータスディスクリプタ構造の詳細を以下に示します。



ビット	シンボル	機能	R/W
7:0	DATA_LENGTH[7:0]	IBI データ長 IBI データのバイト数	R
15:8	IBI_ID[7:0]	IBI 受信 ID このフィールドの意味は、コンテクストに依存します。 スレーブ割り込み時、またはマスタ要求時: ビット 15:9 はスレーブのデバイスアドレスを格納し、ビット 8 は R/W ビットを格納	R
23:16	—	読むと 0 が読めます。書く場合、0 としてください。	R
24	LAST_STATUS	最新 IBI ステータス IBI トランザクションの最新 IBI ステータス	R
25	TS	IBI タイムスタンプ有無 IBI にタイムスタンプが利用可能かどうかを示します 0: OFF：IBI にタイムスタンプがない 1: ON：IBI にタイムスタンプがある	R
28:26	ERR_STATUS[2:0]	IBI エラーステータス 0x0: SUCCESS 0x3: ERROR: FRAME（フレームエラー） 0x4: ERROR: ADDR_HEADER（アドレスヘッダエラー） 0x5: NACK: アドレス NACK 0x7: ERROR：ABORT（マスタに対し中断） その他: 予約済み	R
30:29	—	読むと 0 が読めます。	R
31	IBI_ST	IBI 受信ステータス 受信した IBI をどのように処理したかを示します。 0: IBI は ACK で処理した 1: NACK: IBI は NACK で処理し、自動的に無効とした	R

LAST_STATUS ビット（最新 IBI ステータス）

LAST_STATUS を 0 としても、ソフトウェアドライバは DATA_LENGTH フィールドを確認してデータのペイロード長を評価します。

40.3.1.4 受信ステータスディスクリプタ

受信ステータスディスクリプタは、正しくマスタからの読み出し／書き込みの操作が実行されたかどうか、および転送されたデータ量を記述するリードオンリーの構造です。

受信ステータスディスクリプタは、受信ステータスキューポートからの読み出しにより受信ステータスキューから読み出します。

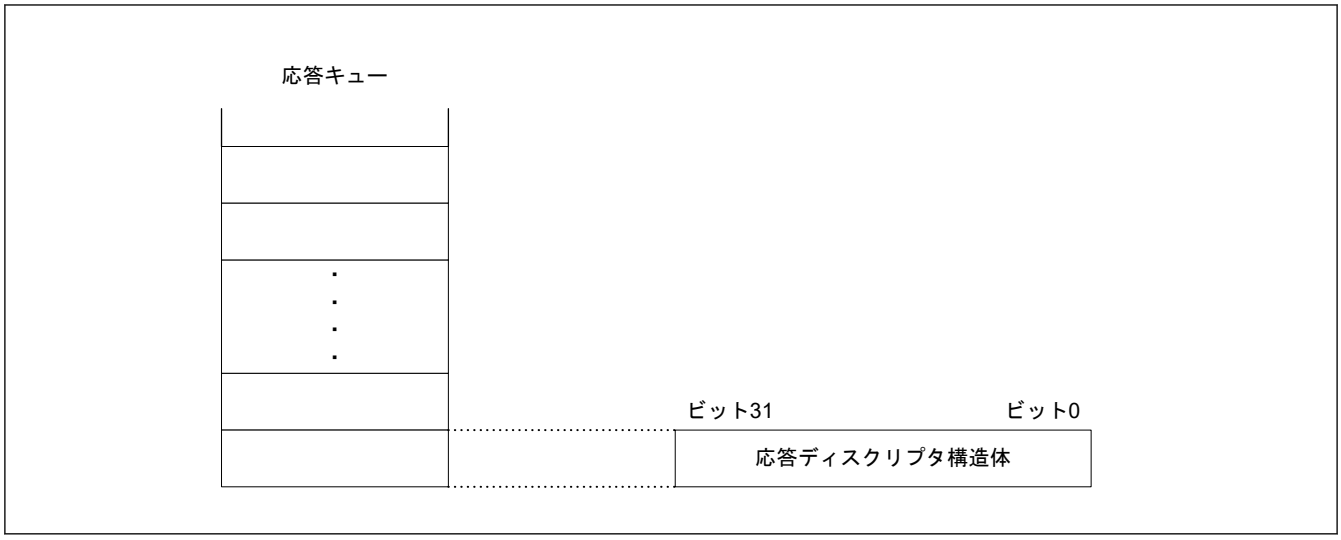


図 40.5　受信ステータスディスクリプタデータ構造

I3C は、以下の各モードに対して受信ステータスディスクリプタを提供します。

- I3C スレーブモード

各モードの受信ステータスディスクリプタ構造の詳細を以下に示します。

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DEV_INDEX[2:0]			TRANSFER_TYPE[1:0]		ERR_STATUS[2:0]			CMD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA_LENGTH [15:0]	データ長 このフィールドの意味は、コンテクストに依存します。 書き込み転送時：受信データ長（バイト数） 読み出し転送時：送信データ長（バイト数）	R
23:16	CMD[7:0]	動作モードによって内容が異なります。以下に詳細を示します。 [SDR プライベートメッセージモード] CMD[7]: R/W タイプ CMD[6:4]: 予約 CMD[3]: I3C_I^{2}C タイプ CMD[2:0]: 予約 [SDR CCC モード] CCC コード[7:0] [HDR DDR モード] HDR CMD[7:0] 0x00～0x7F: 書き込みコマンド 0x80～0xFF: 読み出しコマンド [HDR-TSL/TSP モード] HDR CMD[7:0]	R

ビット	シンボル	機能	R/W
26:24	ERR_STATUS[2:0]	エラーステータス 0x0: SUCCESS 0x1: ERROR: CRC（CRC エラー） 0x2: ERROR: PARITY（パリティエラー） 0x3: ERROR: FRAME（フレームエラー） 0x4: ERROR: ADDR_HEADER（アドレスヘッダエラー） 0x5: ERROR: NACK（スレーブ NACK） 0x6: ERROR: OVL（FIFO オーバーフロー／アンダーフロー） 0x7: ERROR: ABORT（マスタに対し中断）	R
28:27	TRANSFER_TYPE [1:0]	転送タイプ 0 0: I3C SDR/I2C メッセージ 0 1: I3C CCC 1 0: I3C HDR-DDR 1 1: I3C HDR-TS	R
31:29	DEV_INDEX[2:0]	デバイスインデックス 転送時に応答された SVDVADn インデックスを示します。	R

40.3.2 機能詳細

40.3.2.1 動作モード

モード選択（I3C モード／I2C モード）と、I3C バスまたは I2C バス上の動作モード（マスタ／スレーブ）のサポートの対応関係を表 40.9 に示します。

表 40.9 動作モードのサポート

	I3C モード		I2C モード	
I3C バス／I2C バス	マスタ	スレーブ	マスタ	スレーブ
I3C バス	✓	✓	—	✓
I2C バス	—	—	✓	✓

注. ✓：あり
—：なし

40.3.2.1.1 マスタモード動作

(1) I2C マスタ動作

(a) データ書き込み転送（シングルバッファ転送）

マスタ送信動作では、I3C がマスタデバイスとして SCL クロックと送信されたデータ信号を出力し、スレーブデバイスがアクノリッジを返します。図 40.143 にマスタ送信の使用例を、図 40.6～図 40.8 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

1. 初期設定。詳細は、「40.3.3.1. 初期設定フロー」を参照してください。
2. BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットを 1（スタートコンディション要求）にします。I3C はこの要求を受け付けると、スタートコンディションを発行します。同時に、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力状態の内部レベルと I3C_SDA ラインのレベルが一致していれば、I3C は STCND ビットによるスタートコンディション発行が正常に完了したことを認識し、PRSST.CRMS および PRSST.TRMD ビットが自動的に 1 になり、I3C はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、通常送信データバッファからシフトレジスタへデータが転送されて、再び TDBEF0 フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRMD ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択さ

れます。R/W#ビットの値が 0 であった場合、I3C はマスタ送信モードを継続します。このとき BST.NACKDF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、CNDCTL.SPCND ビットに 1 を書いて、ストップコンディションを発行してください。なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で NTDTBP0 レジスタに 1111 0、スレーブアドレスの上位 2 ビット、および W を書きます。次に、2 回目のアドレス送信処理では、NTDTBP0 レジスタにスレーブアドレスの下位 8 ビットを書き込んでください。

4. NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書き込んでください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間、I3C は自動的に I3C_SCL ラインを Low にホールドします。
5. 送信する全バイトを NTDTBP0 レジスタに書いた後、BST.TENDF フラグが 1 になるまで待ってから CNDCTL.SPCND ビットに 1 を書いてください（ストップコンディション発行要求）。I3C はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
6. I3C はストップコンディションを検出すると、PRSST.CRMS および PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードに遷移します。さらに、TDBEF0 フラグと TENDF フラグを自動的に 0 にして、BST.SPCNDDF フラグを 1 にします。
7. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

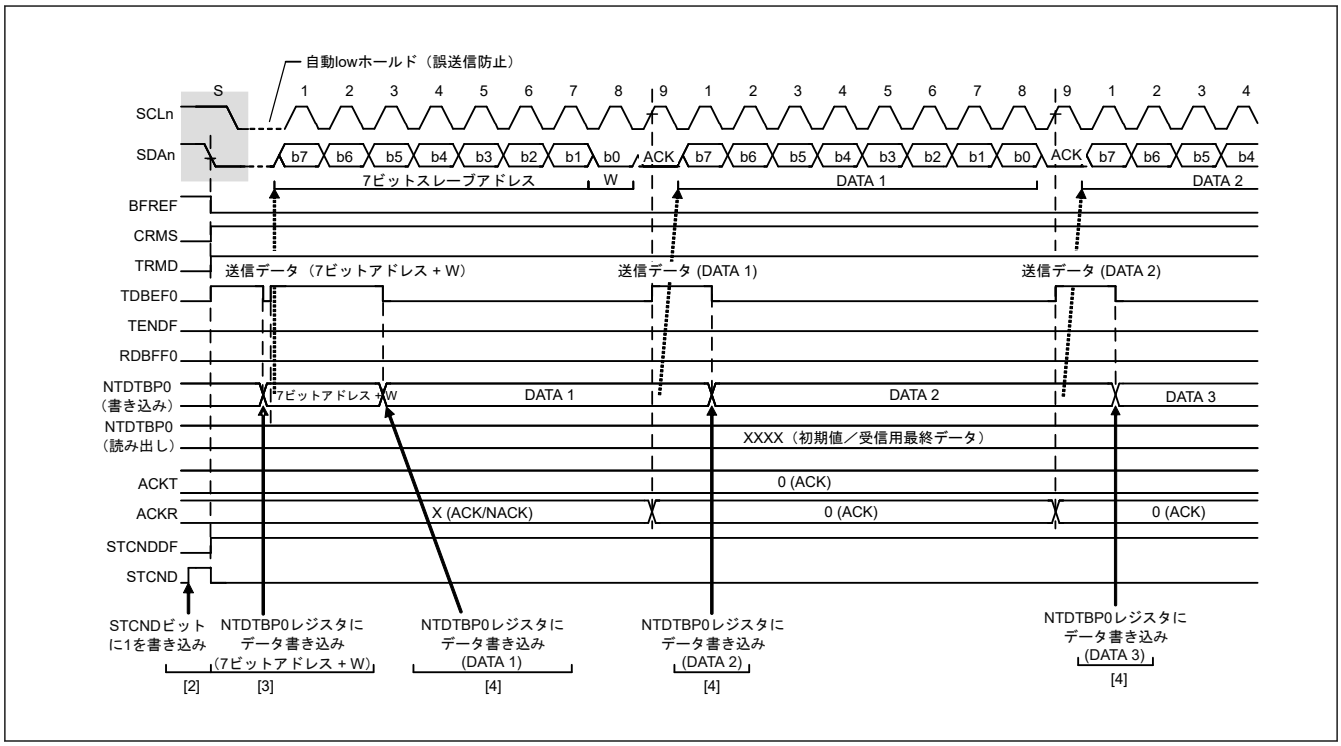


図 40.6　マスタ送信の動作タイミング (1)（7 ビットアドレスフォーマット）

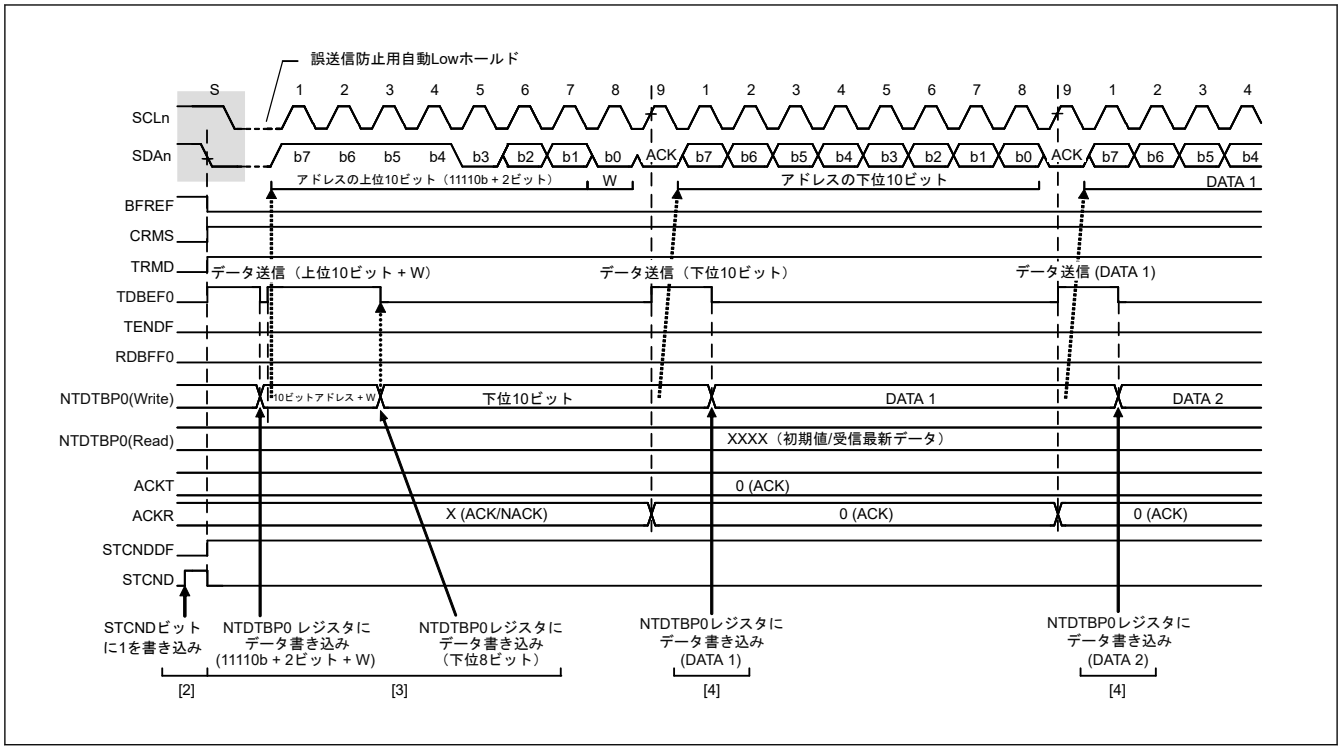


図 40.7　マスタ送信の動作タイミング (2)（10 ビットアドレスフォーマット）

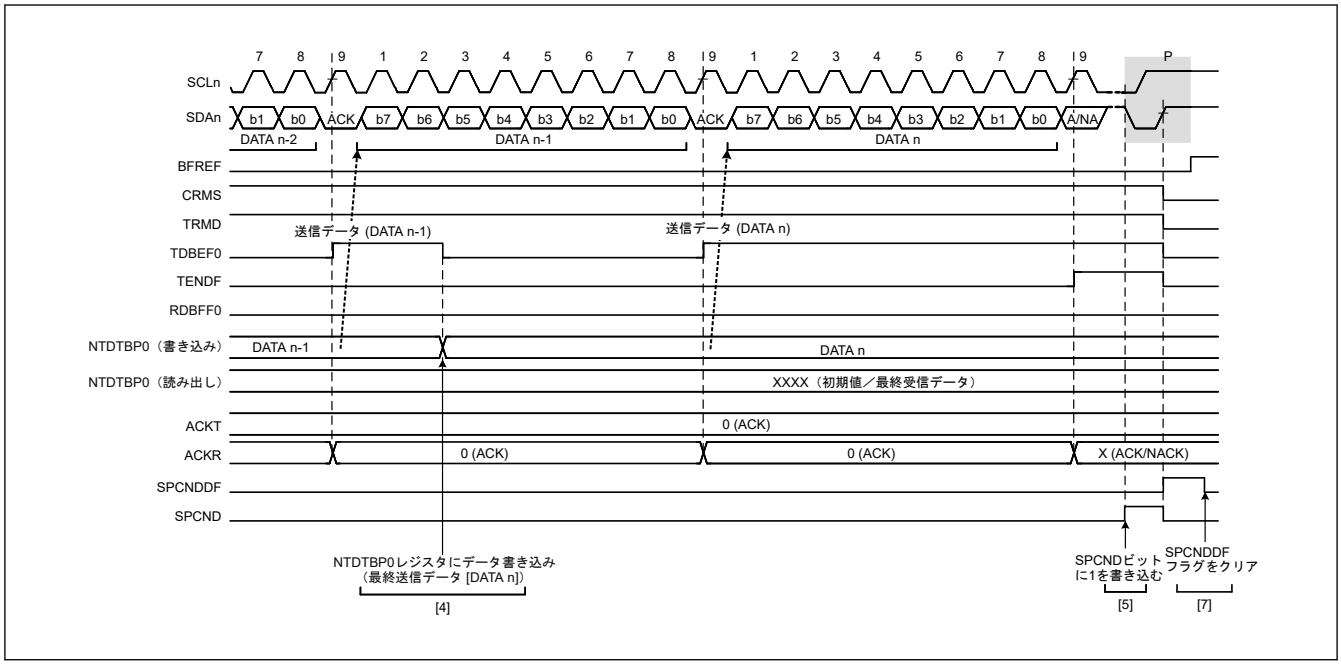


図 40.8　マスタ送信の動作タイミング (3)

(b) データ読み出し転送（シングルバッファ転送）

マスタ受信動作では、I3C がマスタデバイスとして SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。I3C は最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のこの部分はマスタ送信モードで実行し、以降の手順はマスタ受信モードで実行します。

図 40.144、図 40.145 にマスタ受信の使用例（7 ビットアドレスフォーマットの場合）を、図 40.9～図 40.11 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

1. 初期設定。詳細は、「40.3.3.1. 初期設定フロー」を参照してください。

2. BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットを 1（スタートコンディション要求）にします。I3C はこの要求を受け付けると、スタートコンディションを発行します。I3C がスタートコンディションを検出すると、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと I3C_SDA ラインのレベルが一致していれば、I3C は STCND ビットによるスタートコンディション発行が正常に完了したことを認識し、PRSST.CRMS および PRSST.TRMD ビットが自動的に 1 になり、I3C はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（1 バイト目はスレーブアドレスと R/W#ビットの値を示す）を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、通常送信データバッファからシフトレジスタへデータが転送されて、再び TDBEF0 フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に PRSST.TRMD ビットの値が更新され、送信モードまたは受信モードが選択されます。R/W#ビットの値が 1 であった場合、SCL クロックの 9 クロック目の立ち上がりエッジで TRMD ビットが 0 になり、I3C はマスタ受信モードになります。このとき TDBEF0 フラグが 0 になります。ACK 応答をスレーブデバイスから受信したとき、NTST.RDBFF0 フラグは自動的に 1 になります。スレーブデバイスが認識されないか、通信障害が発生した場合、BST.NACKDF フラグが 1 になります。このとき CNDCTL.SPCND ビットを 1 にして、ストップコンディションを発行してください。なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、繰り返しのスタートコンディションを発行します。その後、1111 0、スレーブアドレスの上位 2 ビット、および R ビットを送信すると、I3C はマスタ受信モードになります。
4. NTST.RDBFF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタをダミーリードします。これにより、I3C は SCL クロックを出力して受信動作を開始します。
5. 1 バイトのデータ受信が終了し、SCSTRCTL.ACKTWE ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、NTST.RDBFF0 フラグが 1 になります。このとき NTDTBP0 レジスタを読むと、受信したデータを読むことができ、同時に RDBFF0 フラグは自動的に 0 になります。さらに、SCL クロックの 9 クロック目のアクノリッジビットには、ACKCTL.ACKT ビットに設定した値が返信されます。さらに、次の受信バイトが最終バイト−1 の場合、NTDTBP0 レジスタ（最後から 2 番目のバイトを含む）を読む前に SCSTRCTL.RWE ビットを 1（ウェイトあり）にしてください。これにより、続く 6.の ACKCTL.ACKT ビットを 1 (NACK) にする処理が他の割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで I3C_SCL ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
6. SCSTRCTL.ACKTWE ビットが 0 で、かつスレーブデバイスに対して、次の最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ACKCTL.ACKT ビットを 1 (NACK) にしてください。
7. 最後から 2 番目のバイトを NTDTBP0 レジスタから読み出した後、NTST.RDBFF0 フラグが 1 であることを確認してから、CNDCTL.SPCND ビットを 1（ストップコンディション発行要求）にした後、NTDTBP0 レジスタから最終バイトを読み出してください。CNDCTL.SPCND ビットに 1 を書くと、I3C は待機状態を解除され、9 クロック目の Low 出力完了後または I3C_SCL ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. I3C はストップコンディションを検出すると、PRSST.CRMS および PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードに遷移します。また、ストップコンディションの検出によって、BST.SPCNDDF フラグが 1 になります。
9. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

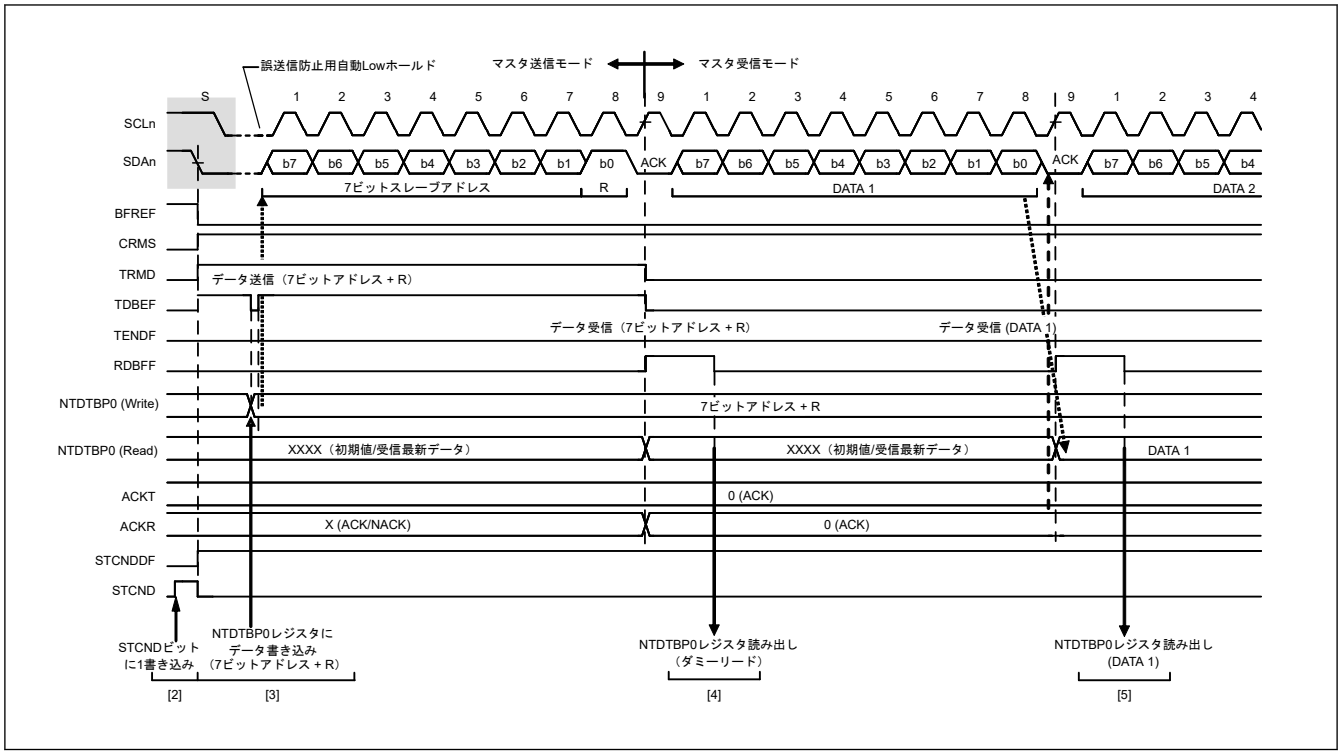


図 40.9　マスタ受信の動作タイミング (1)（7 ビットアドレスフォーマットで ACKTWE = 0 の場合）

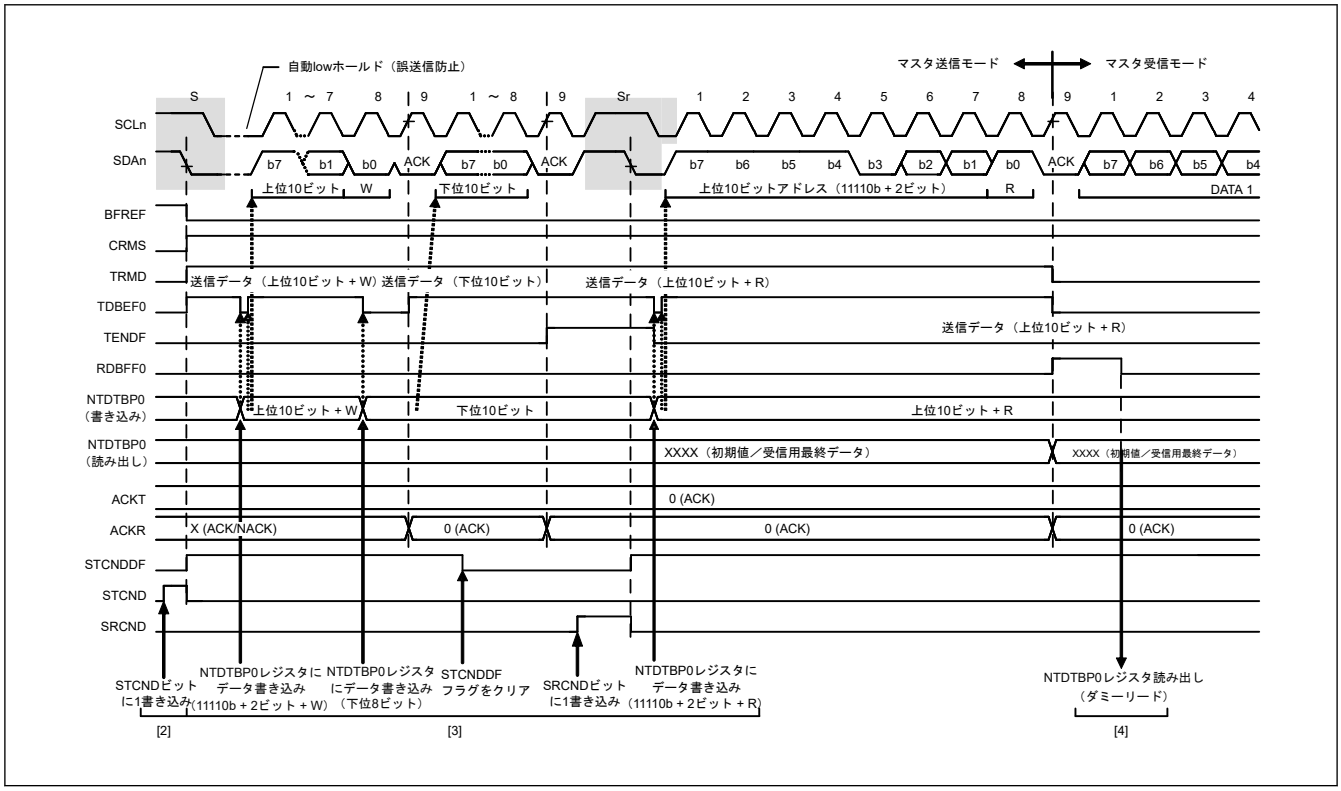


図 40.10　マスタ受信の動作タイミング (2)（10 ビットアドレスフォーマットで ACKTWE = 0 の場合）

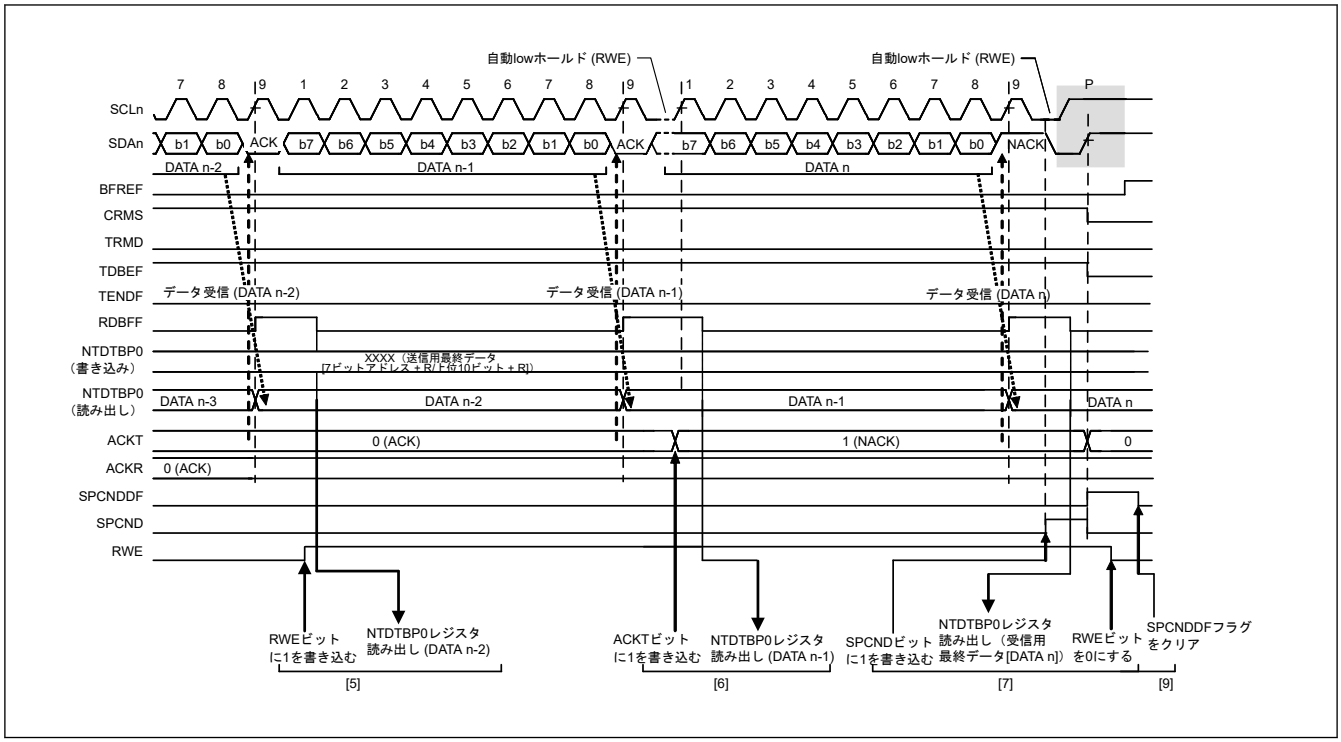


図 40.11　マスタ受信の動作タイミング (3)（ACKTWE = 0 の場合）

(2)　I3C マスタ動作

(a) ダイナミックアドレス配置手順

I3C を初期化した後、まず I3C バス上に接続した I3C スレーブに対してダイナミックアドレス配置手順を実行します。以下に手順を示します。

1. 初期設定（詳細は、「40.3.3.1.2. I3C 初期設定フロー」を参照してください。）
2. DAT（DATBASm レジスタ）に設定された I3C スレーブに対して、ENTDAA または SETDASA 共通コマンドコード (CCC) によりダイナミックアドレス配置を実行します。
   NCMDQP レジスタを介して、コマンドディスクリプタ（アドレス配置コマンド）をコマンドバッファに書き込みます。
3. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。
4. アドレス配置コマンドの CMD[7:0]に ENTDAA が指定されたとき：
   アドレス配置コマンドの DEV_INDEX[4:0]で指定された DAT で始まる DEV_COUNT[3:0]で指定される DAT の個数分、I3C スレーブに対しダイナミックアドレス配置を実行します。
   アドレス配置コマンドの CMD[7:0]に SETDASA が指定されたとき：
   アドレス配置コマンドの DEV_INDEX[4:0]で指定される DAT に示される I3C スレーブに対しダイナミックアドレス配置を実行します。
5. ENTDAA の場合、I3C スレーブから転送された暫定 ID、BCR、DCR が受信データバッファに格納されます。（BCR は MSDCTm レジスタにも自動的に格納されます。）
   RDBFF0 = 1 による割り込みで、NTDTBPn を介して受信データバッファから暫定 ID、BCR、DCR を読み出します。
6. ダイナミックアドレス配置の実行が完了したら、ストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
7. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。
8. レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が、アドレス配置コマンドの DEV_COUNT[3:0]の値と一致しているかどうかを確認します。

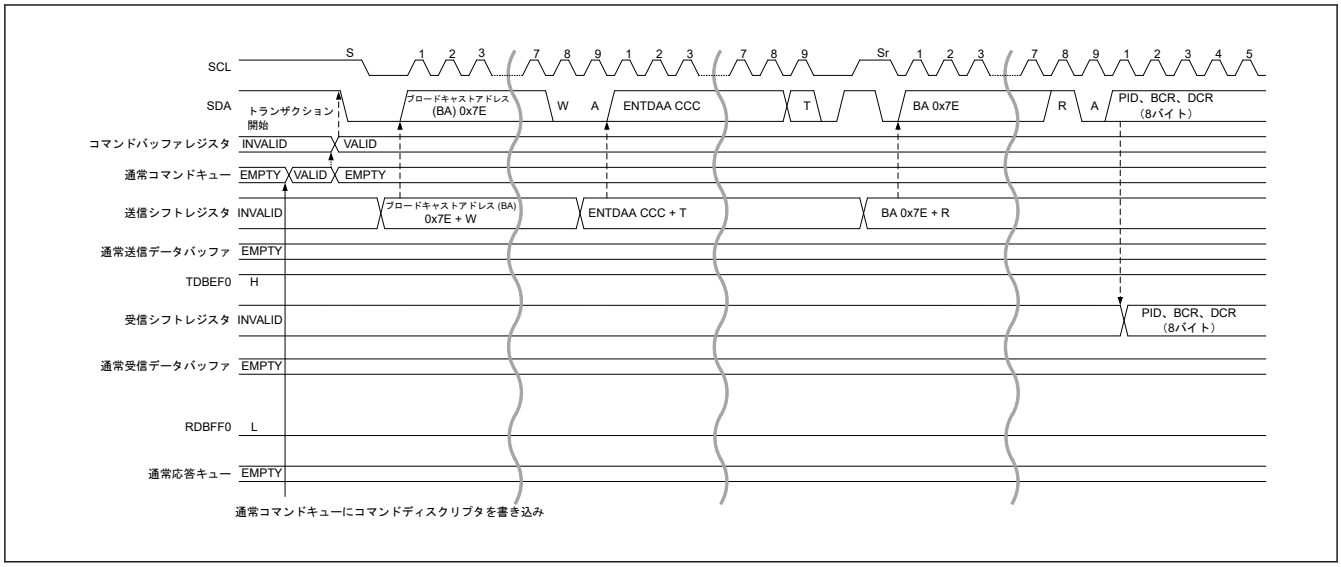


図 40.12　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (1/3)

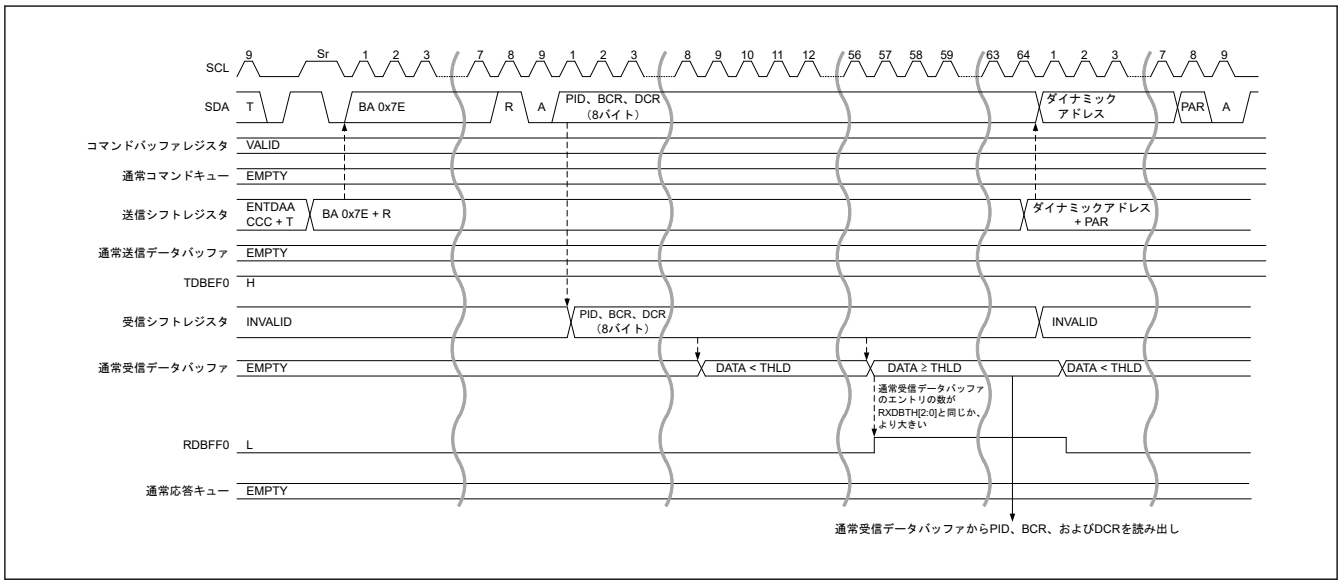


図 40.13　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (2/3)

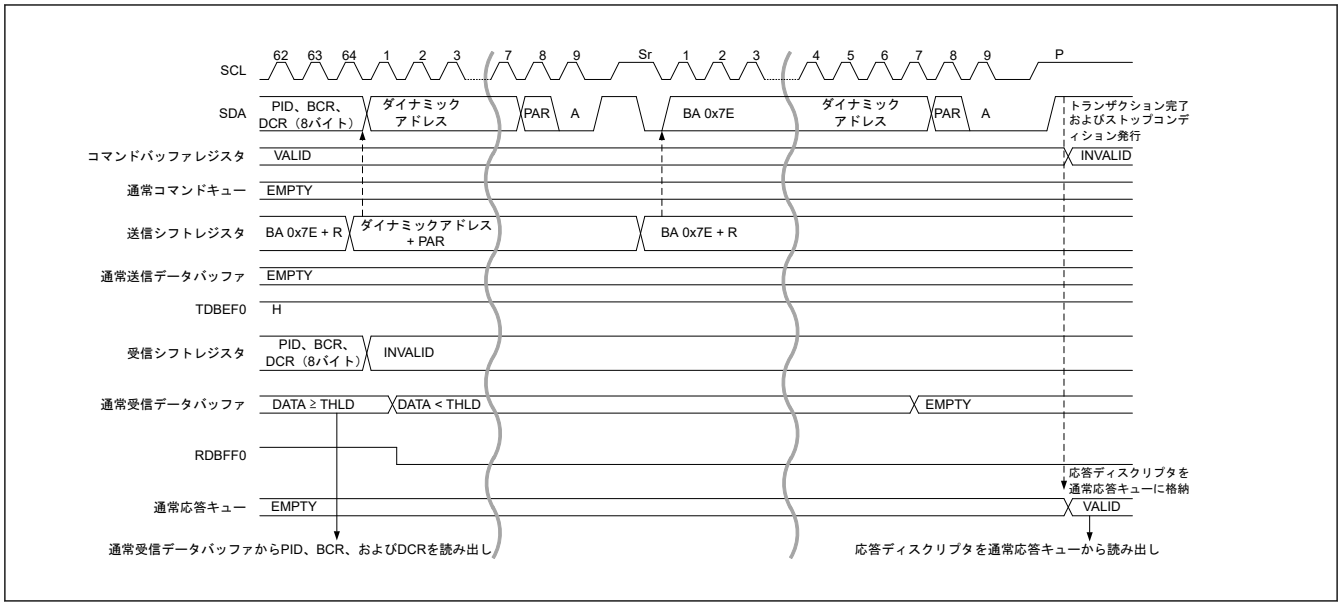


図 40.14　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (3/3)

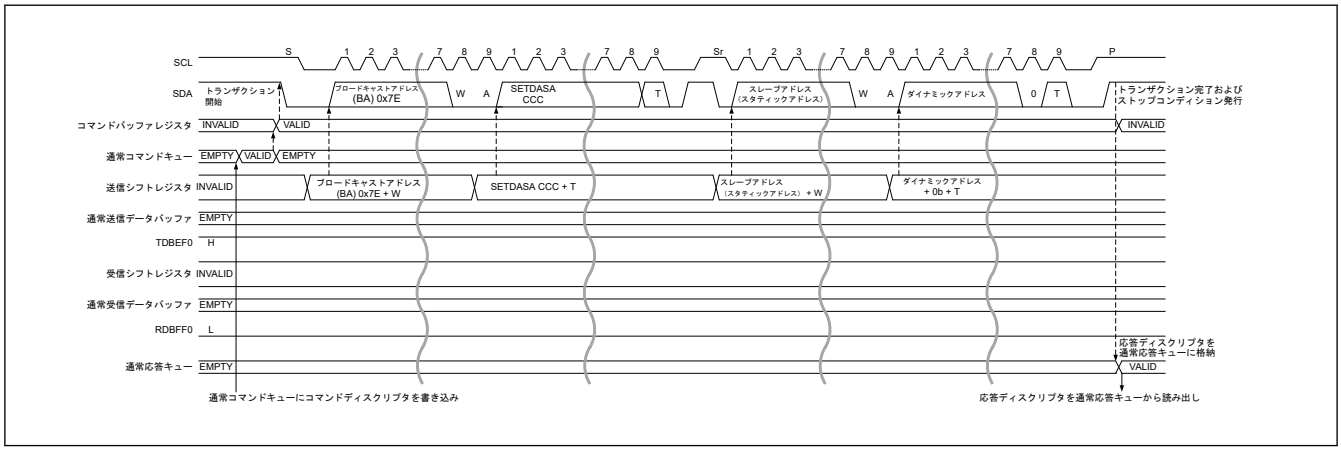


図 40.15　ダイナミックアドレス配置手順 (SETDASA CCC) タイミング

(b) SDR データ書き込み転送

1. 送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
2. データ転送用のコマンドディスクリプタ（即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド）を、NCMDQP レジスタを介してコマンドバッファに書き込みます。
3. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (DATBASm.DVNACK) に従って同じコマンドのトランザクションが自動的に発行されます。
4. 送信用データがまだ残っている場合、TDBEF0 = 1 による割り込みで、送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
5. コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数のデータ送信が完了したら、繰り返しのスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
6. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。
7. レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が 0 であることを確認します。

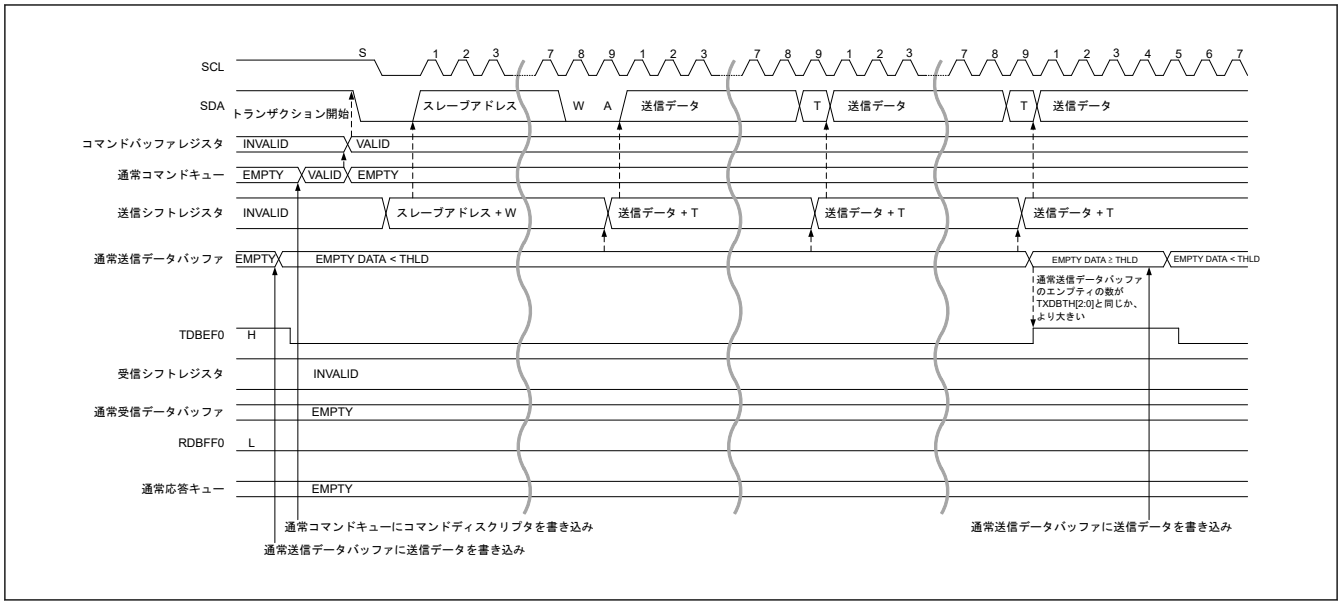


図 40.16　SDR データ書き込み転送タイミング (1/2)

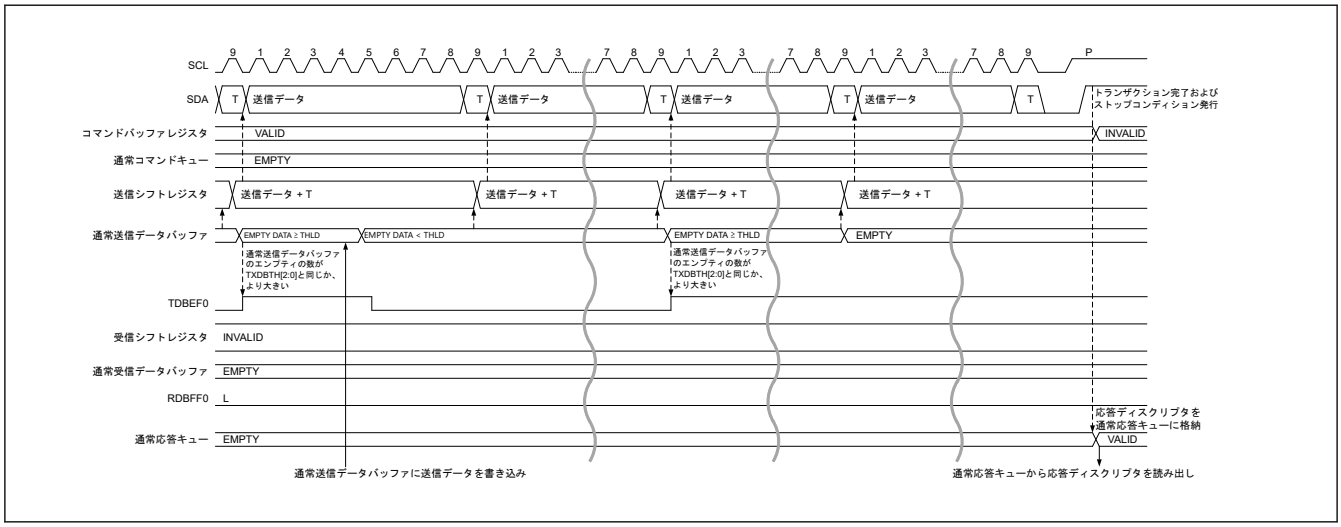


図 40.17　SDR データ書き込み転送タイミング (2/2)

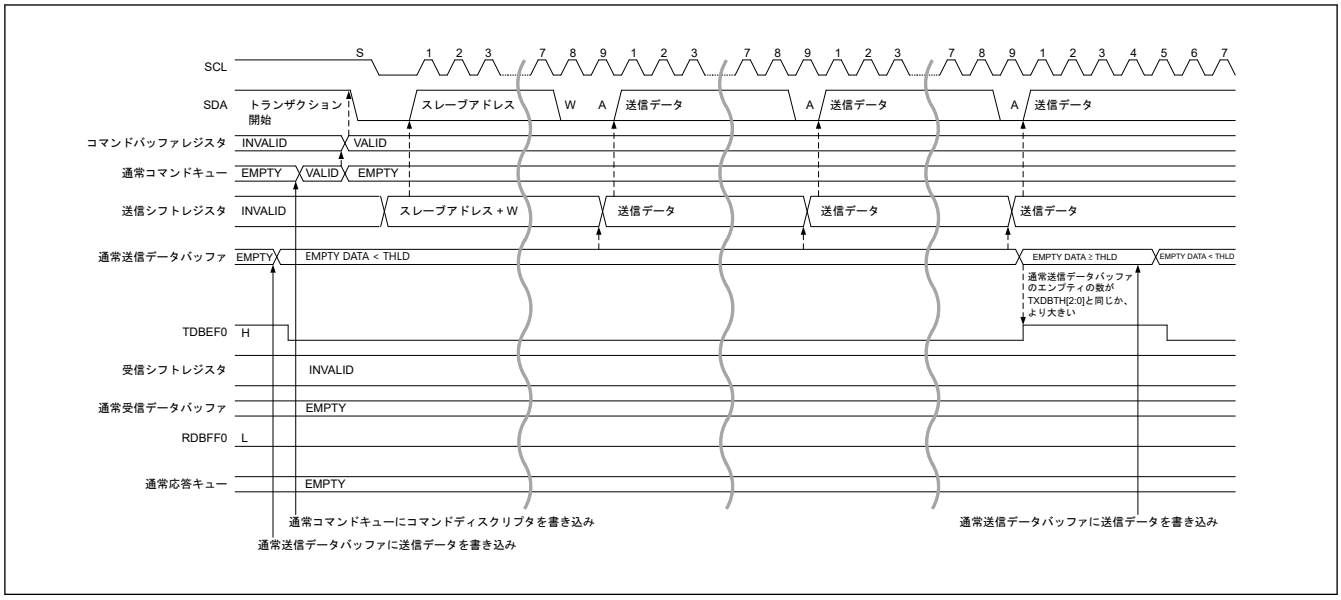


図 40.18　レガシー I²C メッセージデータ書き込みタイミング (1/2)

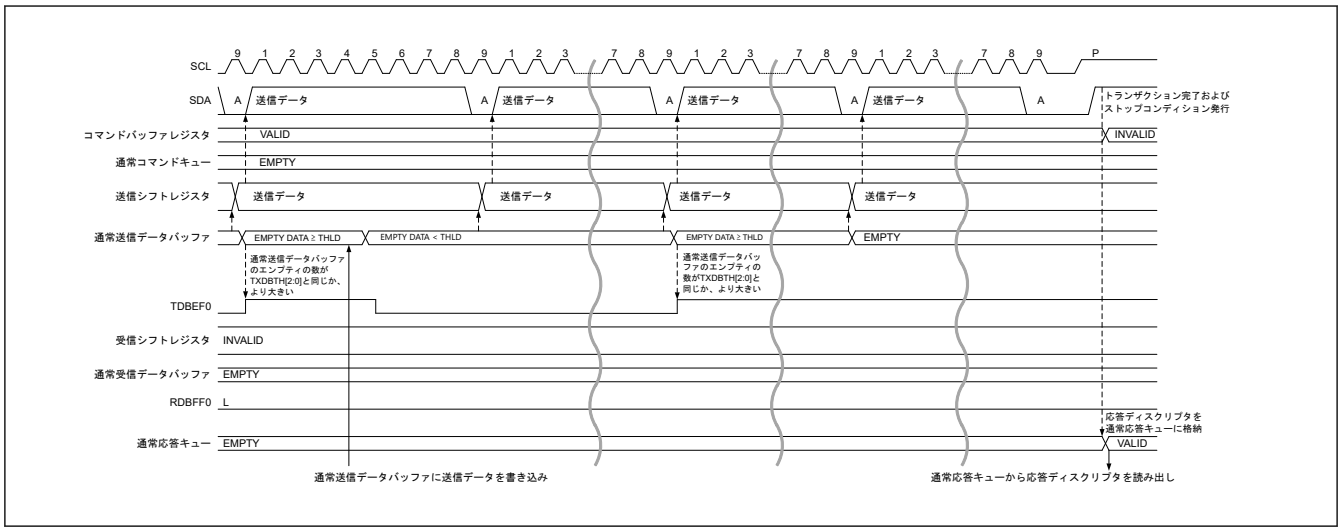


図 40.19　レガシー I²C メッセージデータ書き込みタイミング (2/2)

(c) SDR データ読み出し転送

1. データ転送用のコマンドディスクリプタ（即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド）を、NCMDQP レジスタを介してコマンドバッファに書き込みます。
2. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (DATBASm.DVNACK) に従って同じコマンドのトランザクションが自動的に発行されます。
3. I3C スレーブから受信したデータを、受信データバッファに格納します。
4. RDBFF0 = 1 割り込みで、受信データを受信データバッファから NTDTBPn レジスタを介して読み出します。
5. SDR：
   T ビットが Low であることを検出するか、コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数のデータ受信が完了したら、繰り返しのスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
   レガシー I²C メッセージ：
   コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数のデータ受信が完了したら、NACK を発行します。その後、繰り返しのスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
6. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。

7. レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が、コマンドディスクリプタのデータ長設定値と一致しているかどうかを確認します。

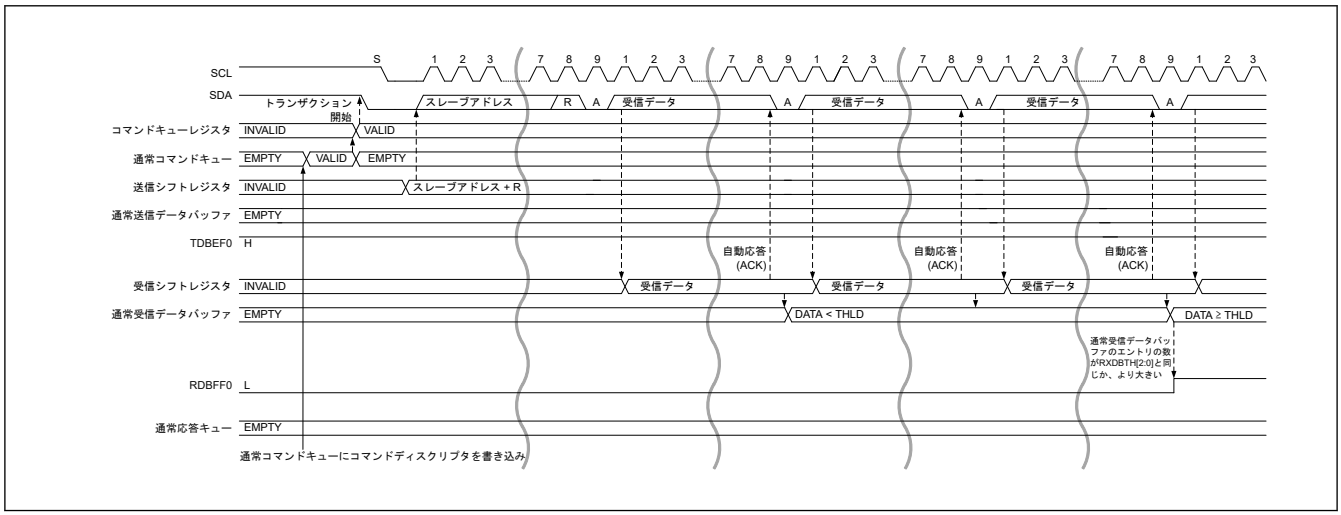


図 40.20　SDR データ読み出し転送タイミング (1/2)

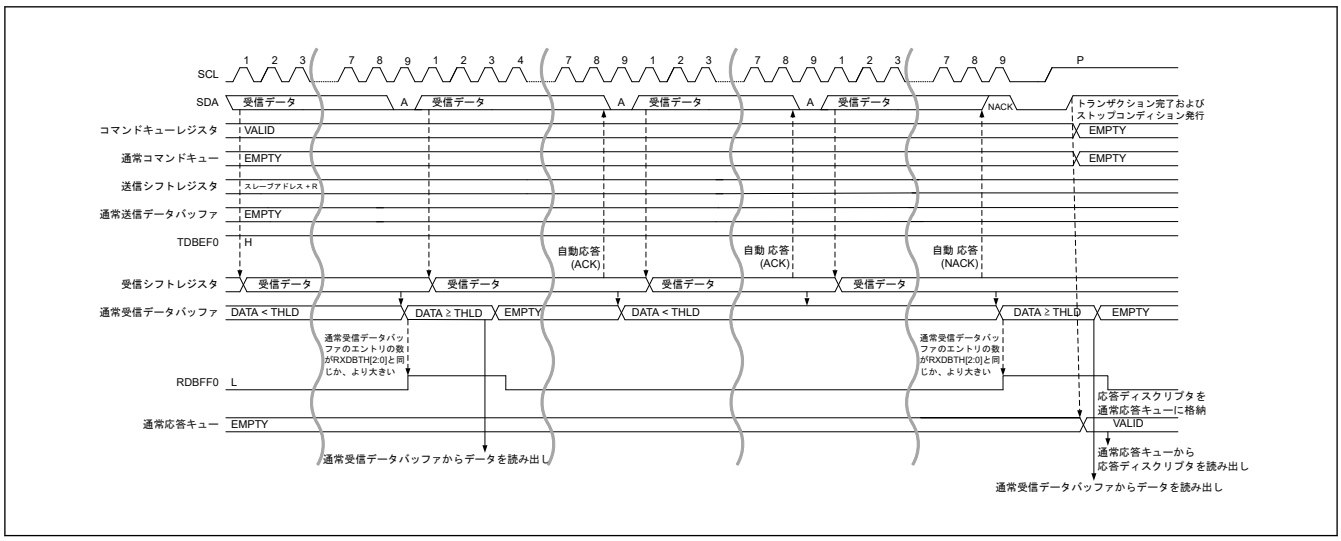


図 40.21　SDR データ読み出し転送タイミング (2/2)

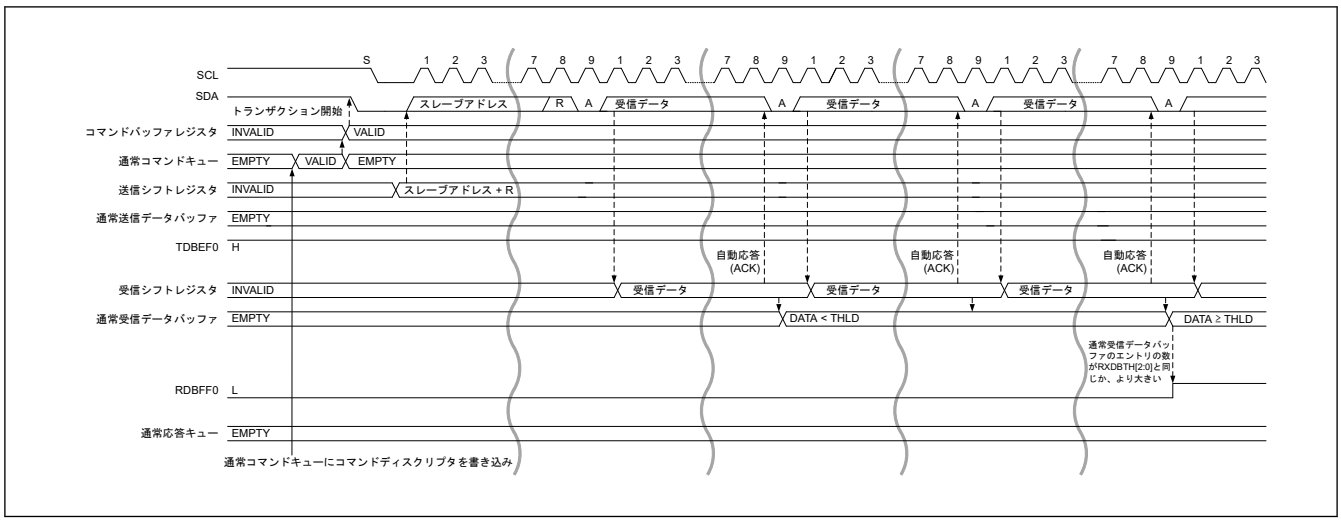


図 40.22　レガシー I²C メッセージデータ読み出し転送タイミング (1/2)

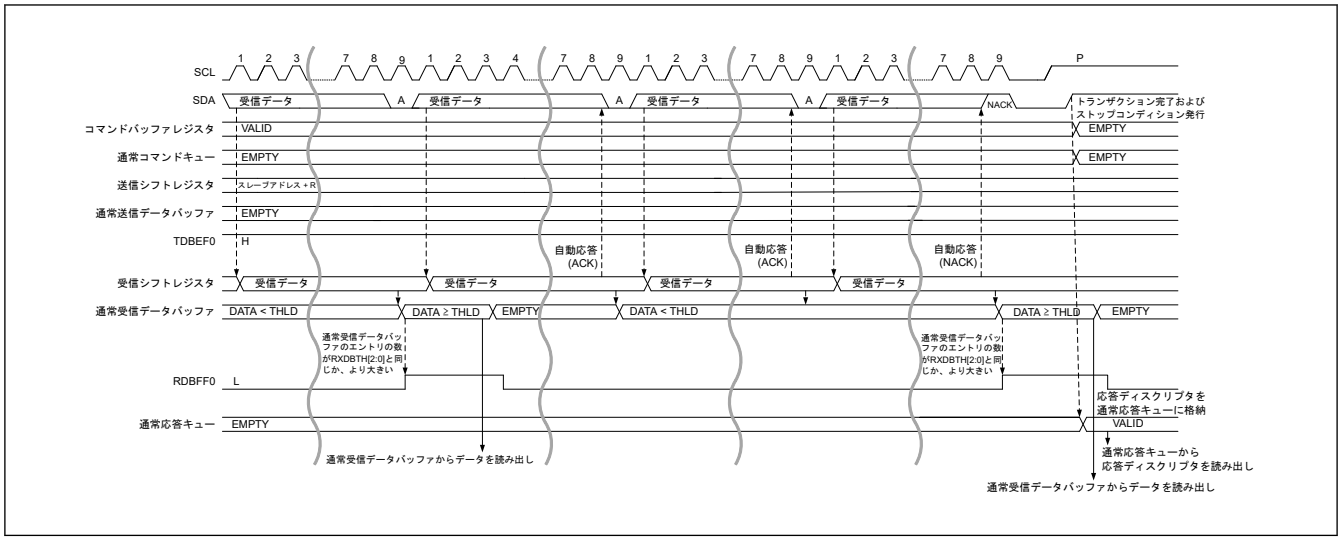


図 40.23 レガシー I²C メッセージデータ読み出し転送タイミング (2/2)

(d) HDR データ書き込み転送

1. 送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
2. データ転送用のコマンドディスクリプタ（即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド）を、NCMDQP レジスタを介してコマンドバッファに書き込みます。
3. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。
   アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (DATBASm.DVNACK) に従って同じコマンドのトランザクションが自動的に発行されます。
4. 送信用データがまだ残っている場合、TDBEF0 = 1 による割り込みで、送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
5. HDR-DDR：
   コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数のデータ送信が完了したら、CRC ワードを送信します。その後、HDR リスタートパターンまたは HDR 終了パターン + ストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
   HDR-Ternary：
   コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数のデータ送信が完了したら、HDR リスタートパターンまたは HDR 終了パターン + ストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
6. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。
7. レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が 0 であることを確認します。

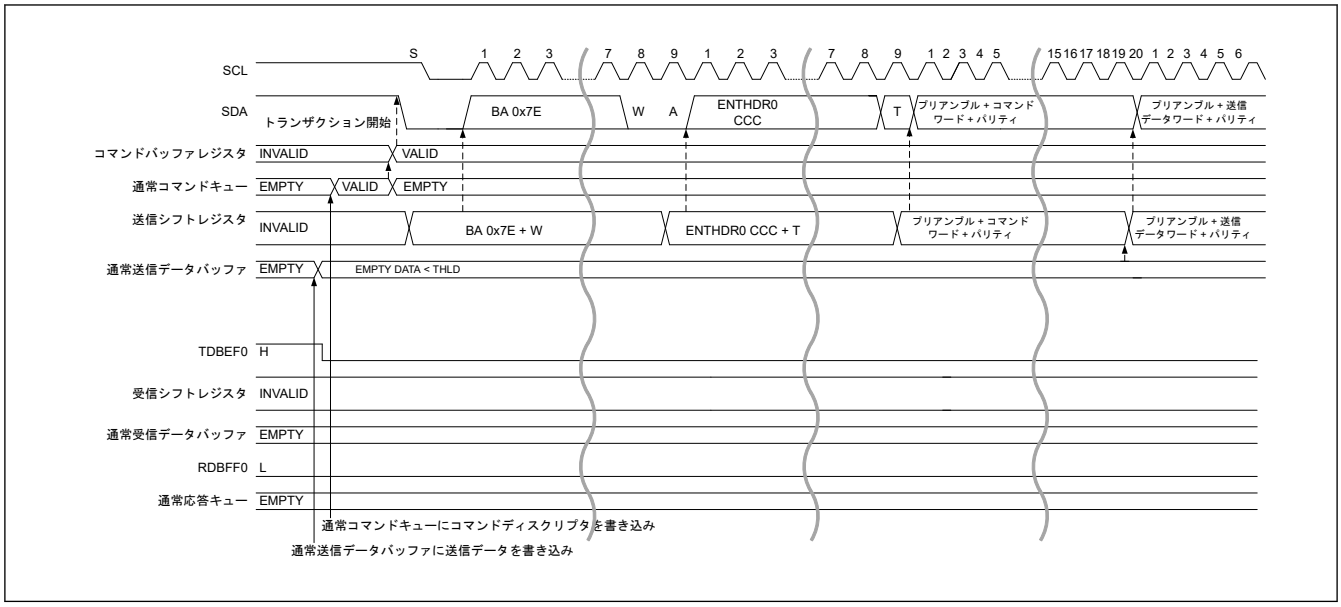


図 40.24　HDR データ書き込み転送 (HDR-DDR) タイミング (1/4)

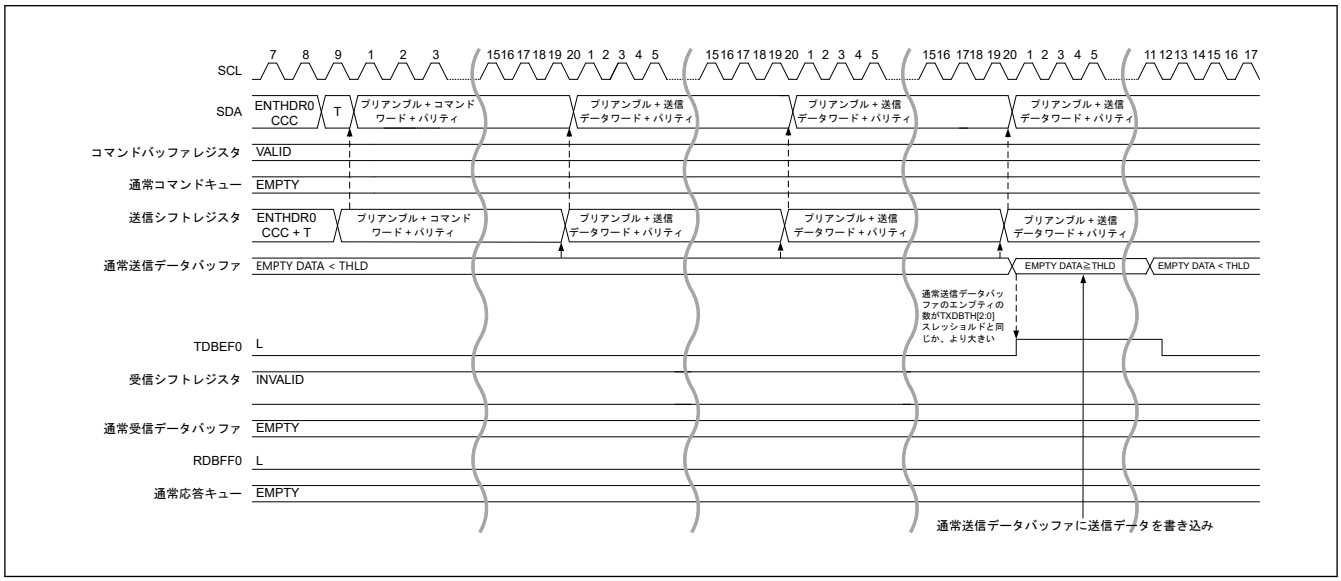


図 40.25　HDR データ書き込み転送 (HDR-DDR) タイミング (2/4)

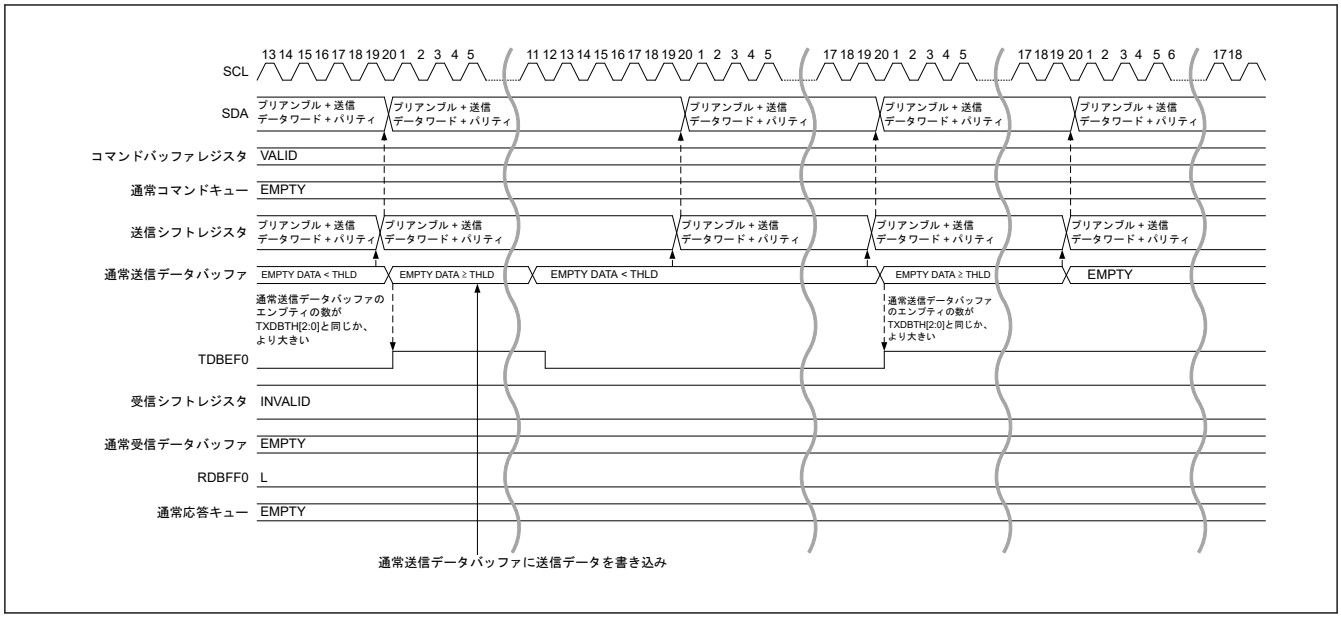


図 40.26　HDR データ書き込み転送 (HDR-DDR) タイミング (3/4)

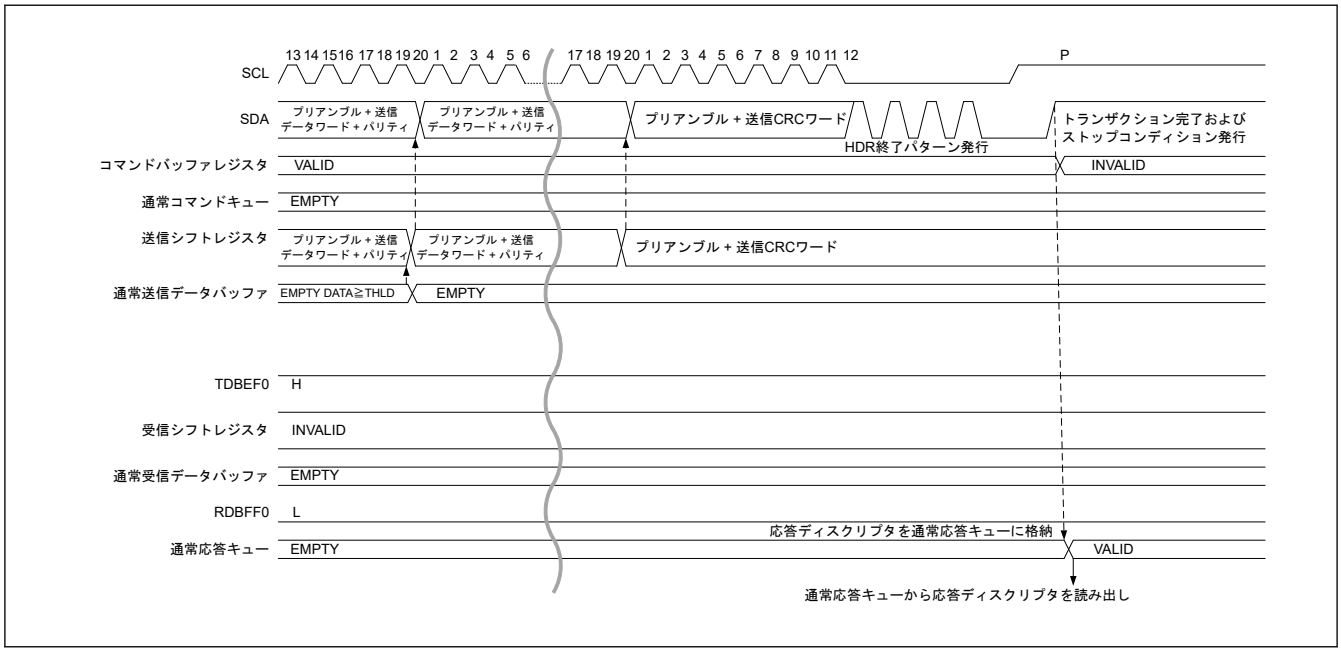


図 40.27　HDR データ書き込み転送 (HDR-DDR) タイミング (4/4)

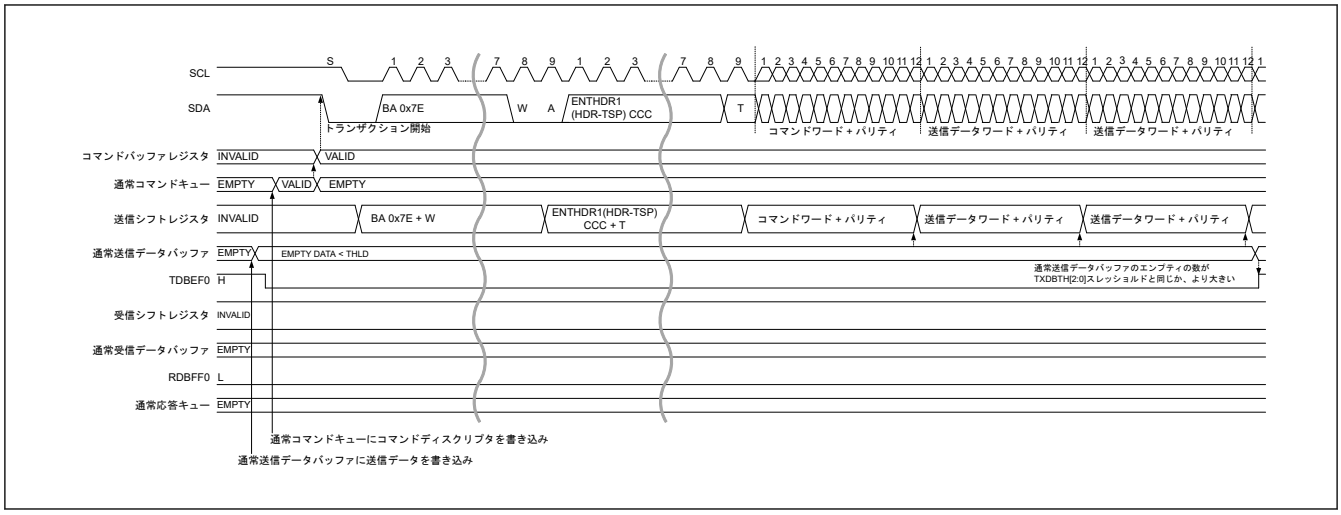


図 40.28　HDR データ書き込み転送（HDR-TSP、TSL）タイミング (1/2)

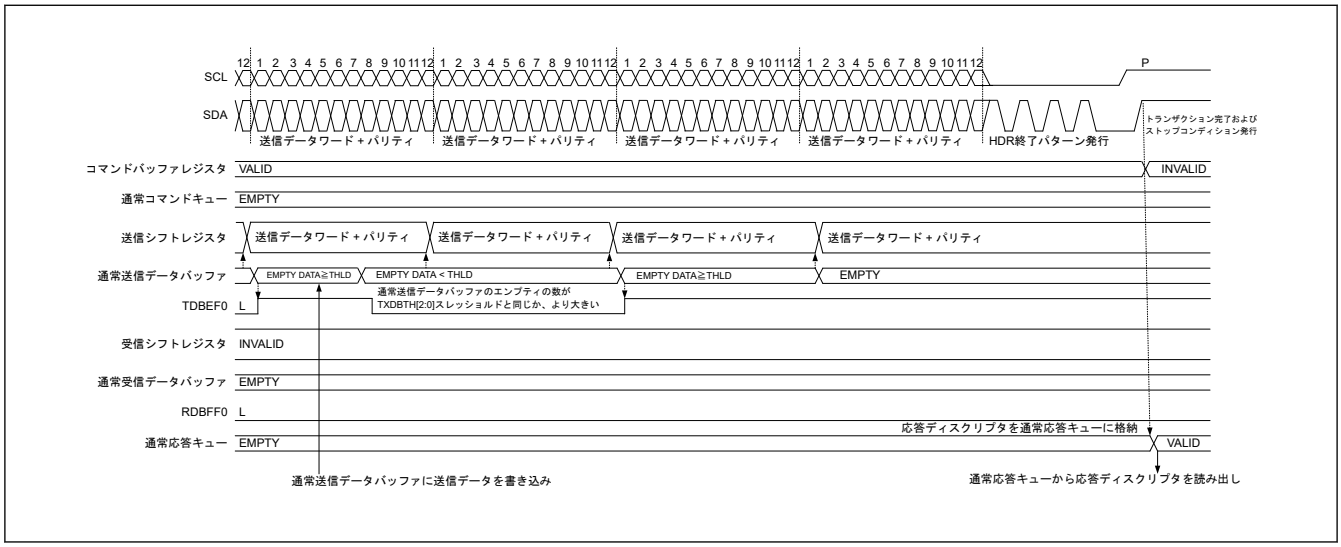


図 40.29　HDR データ書き込み転送（HDR-TSP、TSL）タイミング (2/2)

(e) HDR データ読み出し転送

1. データ転送用のコマンドディスクリプタ（即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド）を、NCMDQP レジスタを介してコマンドバッファに書き込みます。
2. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (DATBASm.DVNACK) に従って同じコマンドのトランザクションが自動的に発行されます。
3. I3C スレーブから受信したデータを、受信データバッファに格納します。
4. RDBFF0 = 1 割り込みで、受信データを受信データバッファから NTDTBPn レジスタを介して読み出します。
5. HDR-DDR：
   (a) CRC ワードを受信したら、HDR リスタートパターンまたは HDR 終了パターン + ストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
   (b) コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数の受信データのプリアンブルがデータワード (11) を示していたら、プリアンブルの 2 番目のビットを Low にドライブ（中断）します。その後、HDR リスタートパターンまたは HDR 終了パターン + ストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。

   HDR-Ternary：

I3C スレーブからの HDR リスタートパターンまたは HDR 終了パターンの開始を検出したら、HDR リスタートパターンまたは HDR 終了パターン + ストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。

6. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。
7. レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が、コマンドディスクリプタのデータ長設定値と一致しているかどうかを確認します。

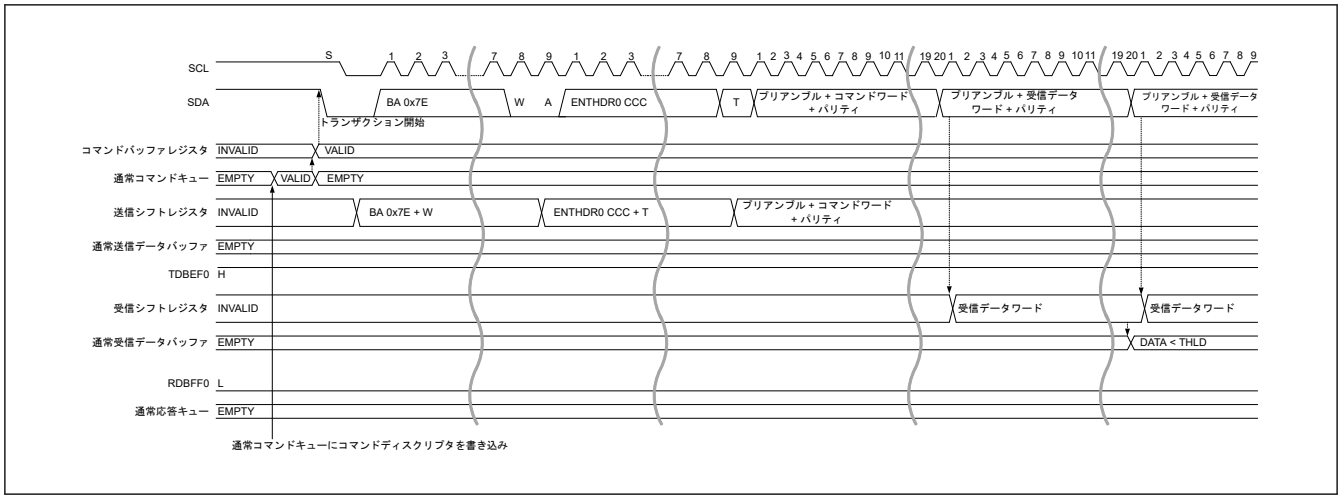


図 40.30　HDR データ読み出し転送 (HDR-DDR) タイミング (1/2)

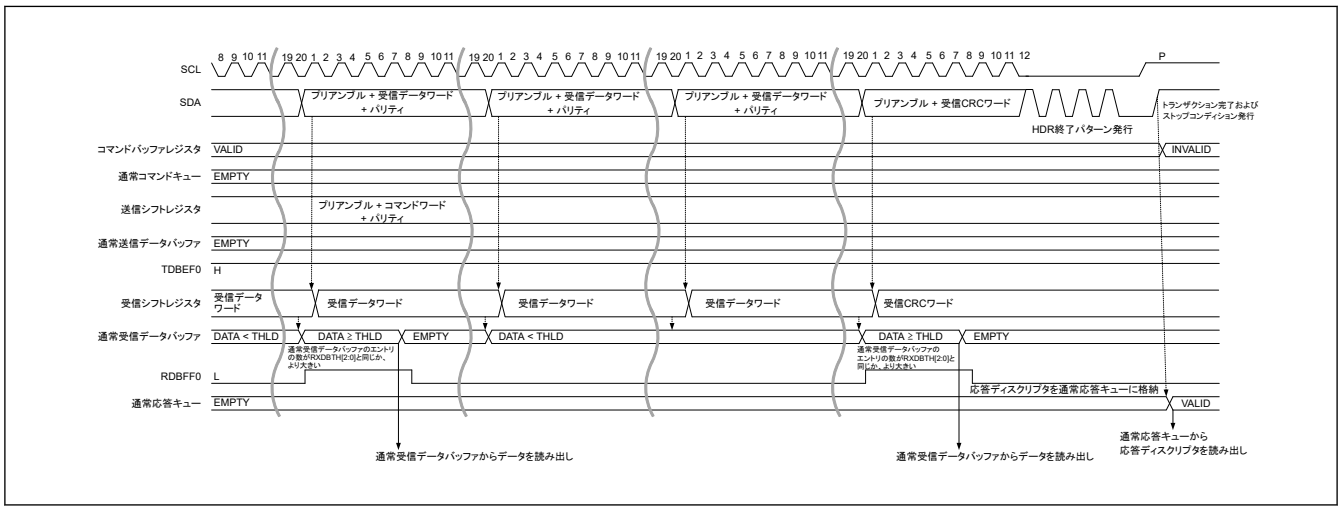


図 40.31　HDR データ読み出し転送 (HDR-DDR) タイミング (2/2)

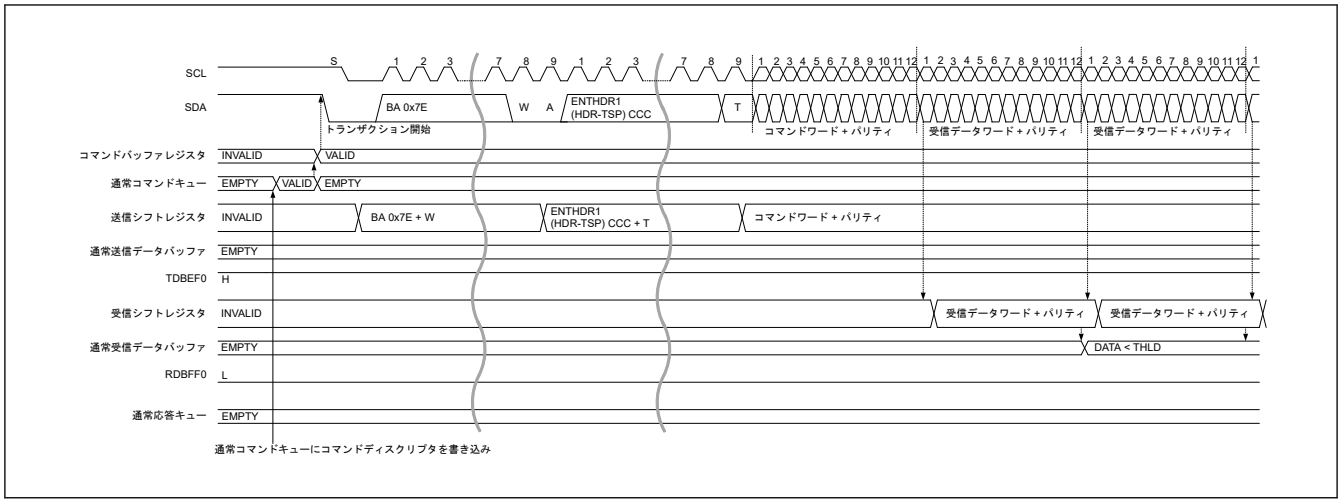


図 40.32　HDR データ読み出し転送（HDR-TSP、TSL）タイミング (1/2)

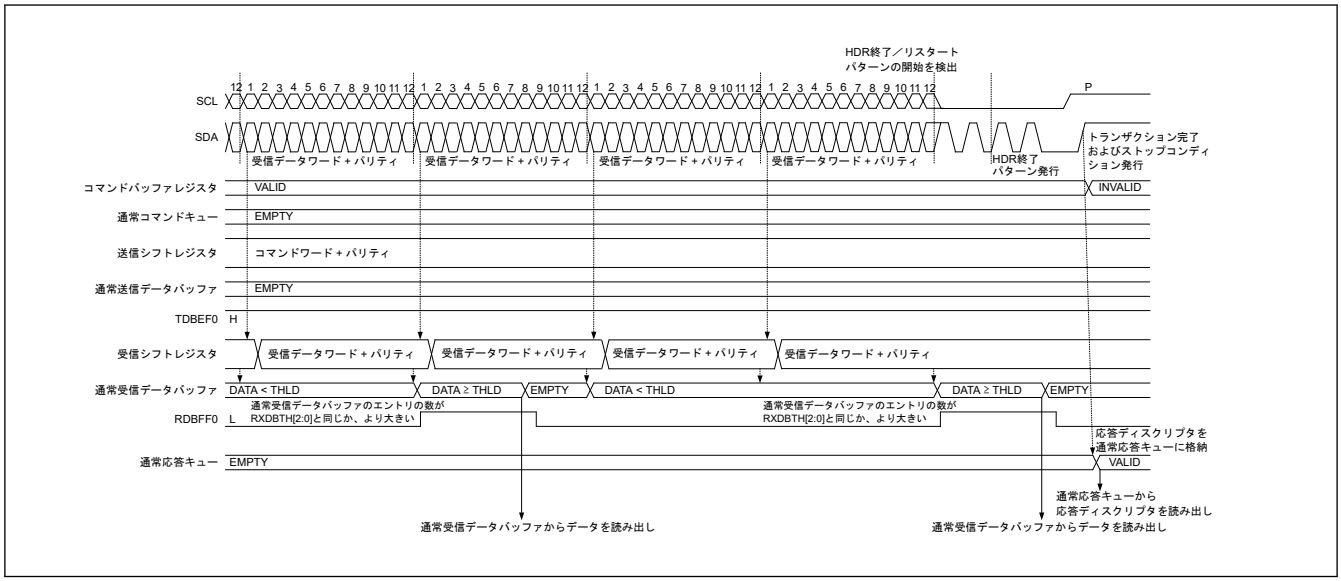


図 40.33　HDR データ読み出し転送（HDR-TSP、TSL）タイミング (2/2)

(f) IBI 転送

1. コマンドディスクリプタをコマンドバッファに書き込み、トランザクションを I3C バスに発行します。
   スレーブデバイスからスタート要求（SDA が Low）が発行された場合、I3C は SCL を Low にして、スタートコンディションを完了します。
   そのため、SCL を供給し、In-band 割り込み要求を受信します。
2. アドレスヘッダの RnW を伴うスレーブアドレスで、I3C スレーブから In-band 割り込みを発行することでアービトレーションロストとなる場合、トランザクションの発行を停止します。
3. 「40.3.2.3.8. In-band 割り込み［I3C モード］」に従い、In-band 割り込みとプロセスを検出します。
4. IBIQEFF = 1 による割り込みにおいて、NIBIQP レジスタを介して IBI キューから IBI ステータスディスクリプタを読み出し、ステータスを確認します。
   スレーブ割り込み要求を検出し ACK を応答したとき、IBI ステータスディスクリプタの DATA_LENGTH[15:0]ビットに示されるデータ長の IBI データを NIBIQP レジスタを介して IBI データバッファから読み出します。
5. 1.のコマンドのトランザクション発行をリスタートします。

In-band 割り込み検出後の処理手順の例を以下に示します。

バス権要求検出とマスタ権のセカンダリマスタへの転送の処理手順

1. I3C セカンダリマスタがアービトレーションを獲得した場合、DEFSLVS CCC を発行し、スレーブ情報をセカンダリマスタに通知します。
2. GETACCMST CCC を発行し、ストップコンディションにより CCC を完了します。

図 40.36 に、バス権処理のフローを示します。

注.
- セカンダリマスタにマスタ権を転送した後、再びマスタ権を得るには、(2) I3C スレーブ動作の (f) IBI 転送に従ってバス権要求を発行します。
- バス権要求をカレントマスタが受け入れた場合、GETACCMST CCC 受信時にマスタ権を再度得るために、ストップコンディションにより CCC を完了します。

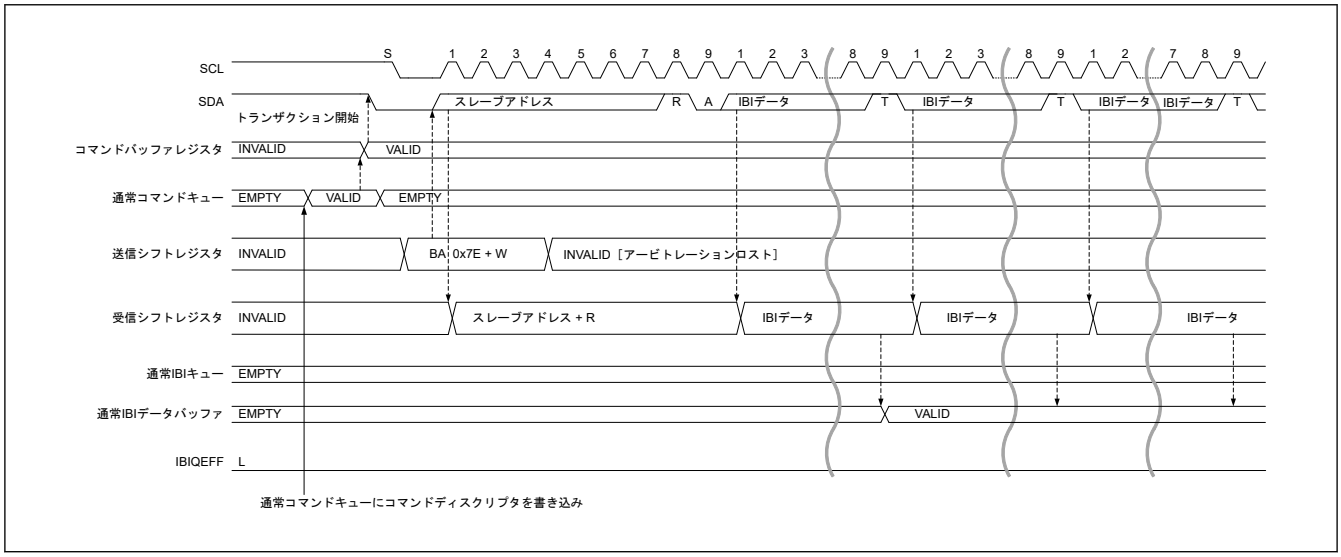


図 40.34　I3C マスタ IBI 転送タイミング (1/2)

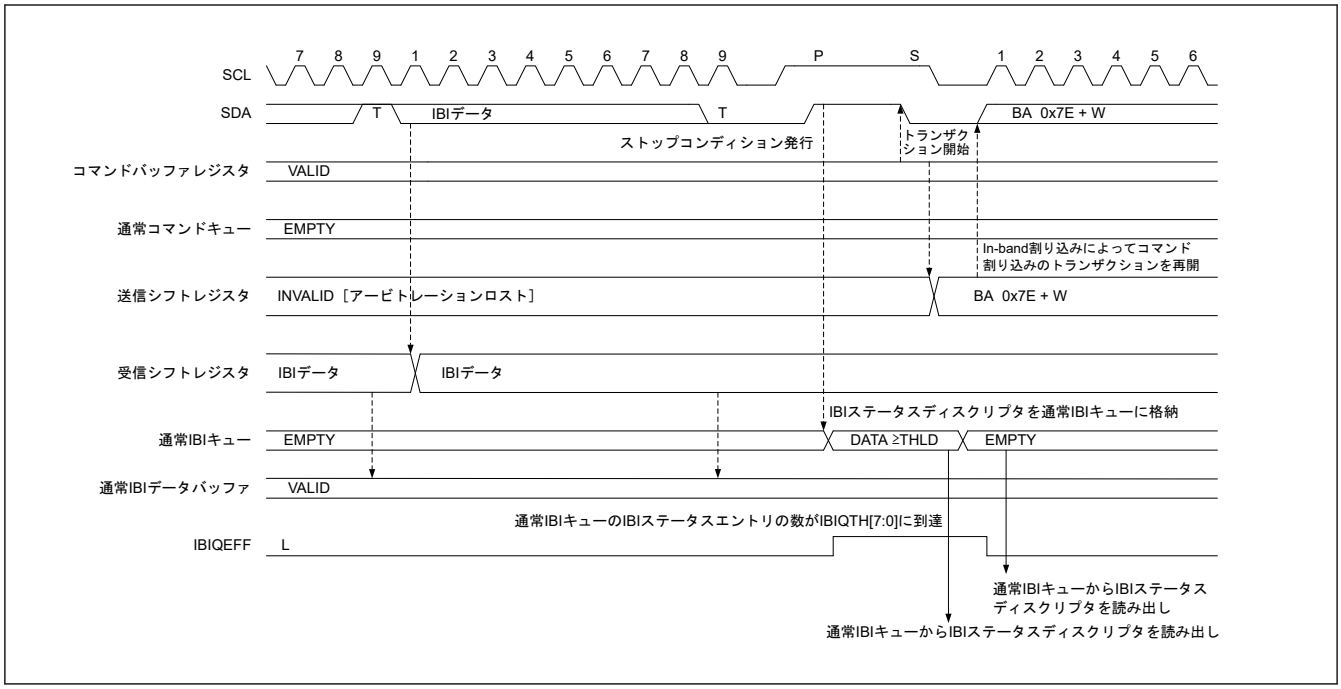


図 40.35　I3C マスタ IBI 転送タイミング (2/2)

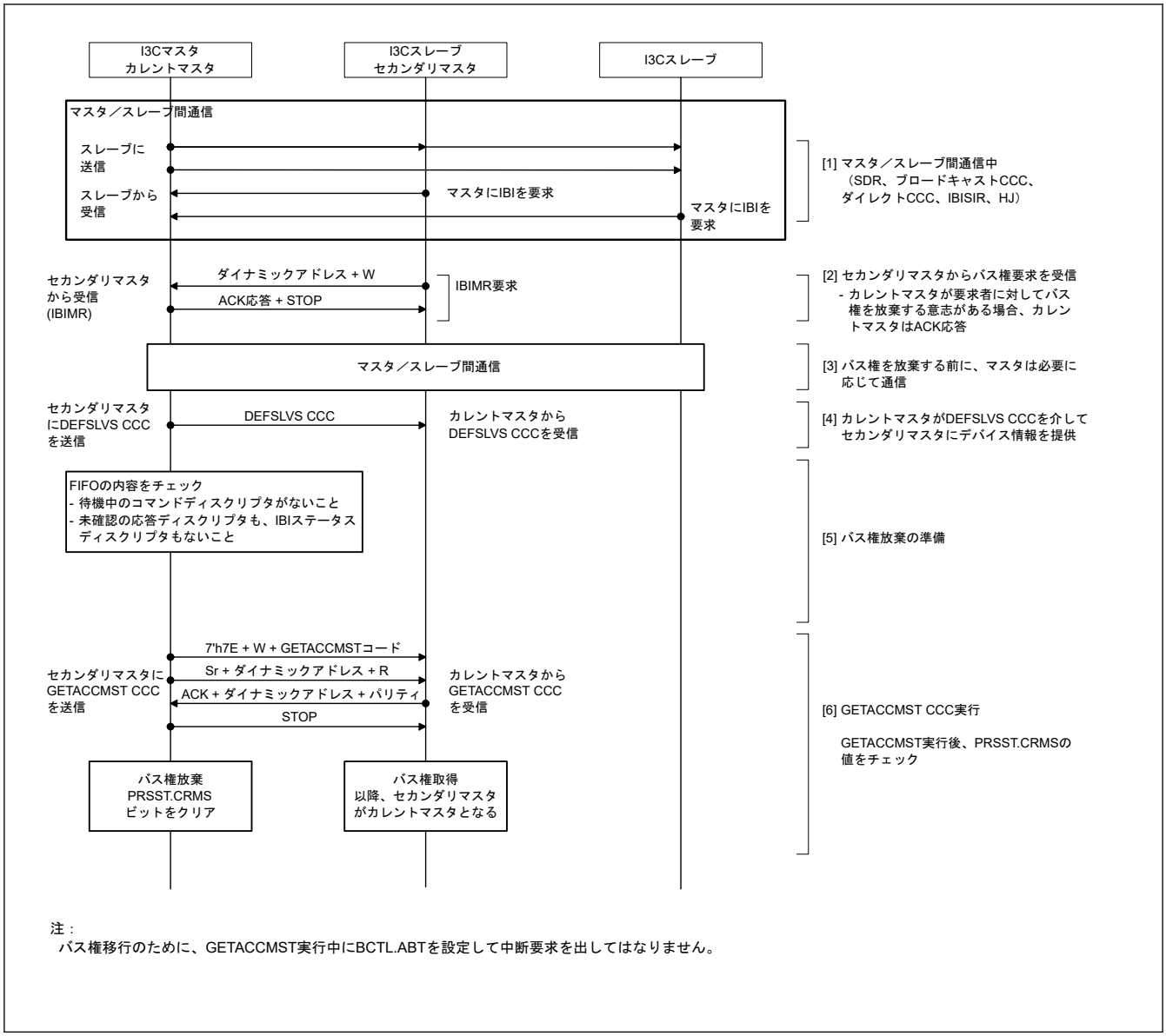


図 40.36　I3C マスタバス権処理フロー

40.3.2.1.2　スレーブモード動作

(1)　I²C スレーブ動作

(a) データ書き込み転送（シングルバッファ転送）

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、I3C がスレーブデバイスとしてアクノリッジを返します。

図 40.153 にスレーブ受信の使用例を示します。図 40.37 と図 40.38 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

1. 初期設定。詳細は、「40.3.3.1. 初期設定フロー」を参照してください。初期設定後、I3C は一致するスレーブアドレスを受信するまで待機状態となります。
2. I3C は一致するスレーブアドレスを受信した後、SCL クロック（クロック信号）の 9 クロック目の立ち上がりエッジで対応するビット SVST.HOAF、GCAF、および SVAF[n] (n = 0～2) のいずれかを 1 にし、SCL クロックの 9 クロック目でアクノリッジビット (ACK) を出力します。このとき、同時に受信した R/W#ビットの値が 0 であれば、I3C はスレーブ受信モードを継続し、NTST.RDBFF0 フラグを 1 にします。

3. BST.SPCNDDF フラグが 0 であることと、NTST.RDBFF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタをダミーリードしてください（ダミーリードする値は、7 ビットアドレスフォーマット選択時はスレーブアドレス＋ R/W#ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです）。
4. NTDTBP0 レジスタが読み出されると、I3C は NTST.RDBFF0 フラグを自動的に 0 にします。NTDTBP0 レジスタの読み出しが遅れ、RDBFF0 フラグが 1 になった状態で次のバイトを受信すると、I3C は、RDBFF0 フラグが設定される必要があるポイントの 1 つ手前の SCL クロックから I3C_SCL ラインを Low にホールドします。この場合、NTDTBP0 レジスタを読み出すと、I3C_SCL ラインが Low ホールド状態から解放されます。BST.SPCNDDF フラグが 1 で、かつ NTST.RDBFF0 フラグが 1 の場合、全データの受信が完了するまで NTDTBP0 レジスタを読み出してください。
5. I3C はストップコンディションを検出すると、SVST.HOAF、GCAF、および SVAF[n] (n = 0～2) ビットを自動的に 0 にします。
6. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.SPCNDDF フラグを 0 にしてください。

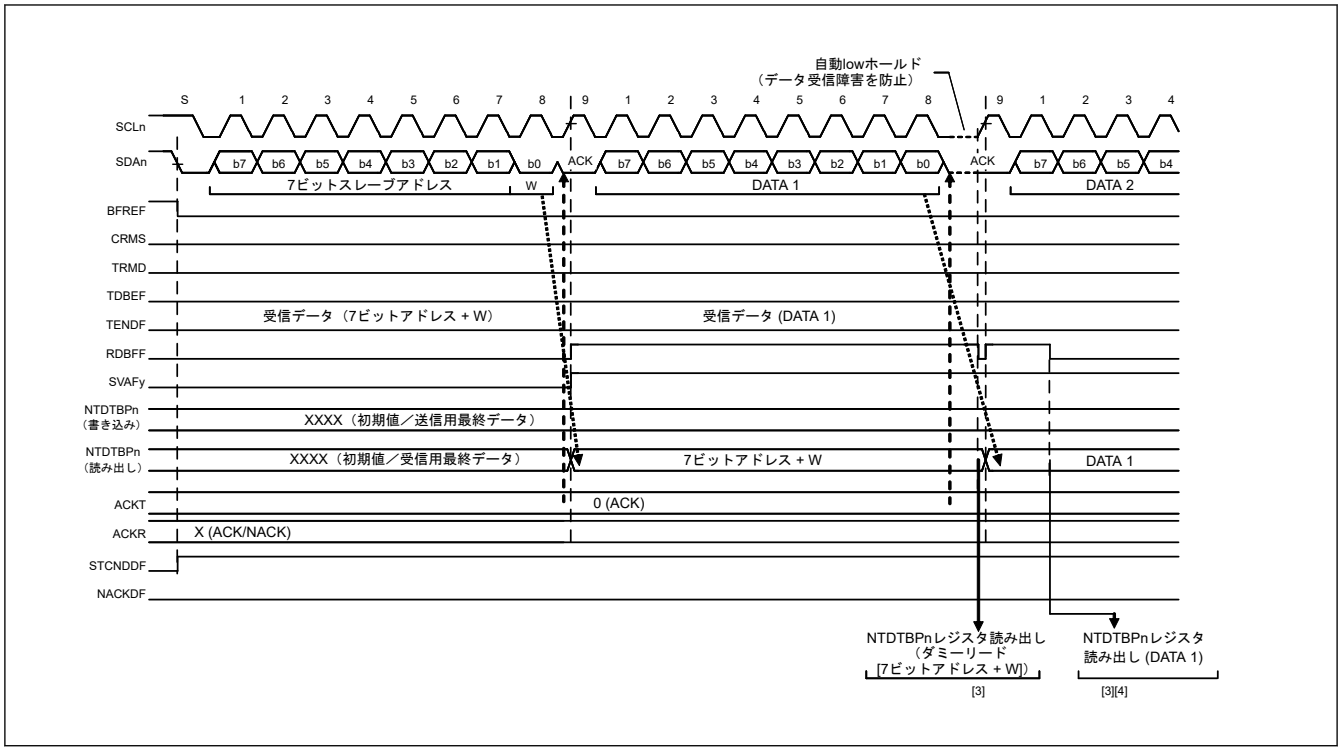


図 40.37　スレーブ受信の動作タイミング (1)（7 ビットアドレスフォーマットで ACKTWE = 0 の場合）

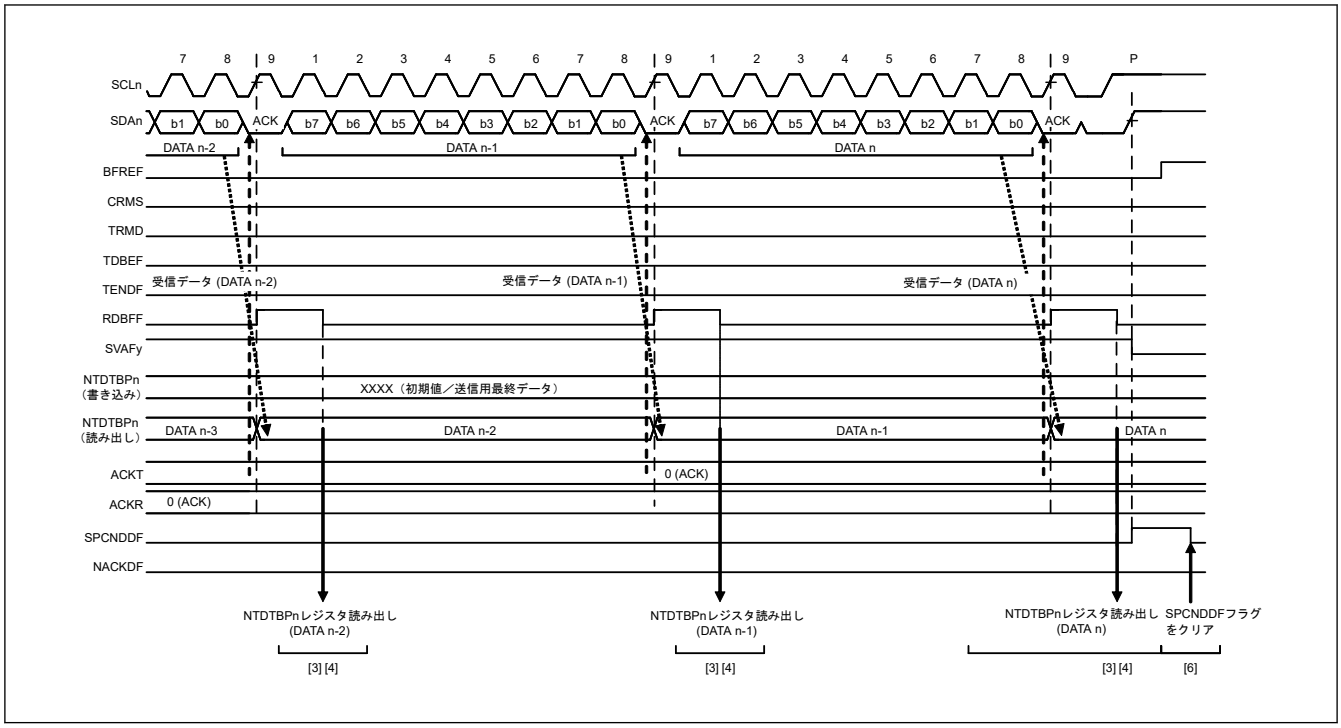


図 40.38　スレーブ受信の動作タイミング (2)（ACKTWE = 0 の場合）

(b) データ読み出し転送（シングルバッファ転送）

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、I3C がスレーブデバイスとしてデータを送信し、マスタデバイスがアクノリッジを返します。

図 40.152 にスレーブ送信の使用例を示します。図 40.39 と図 40.40 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

1. 初期設定。詳細は、「40.3.3.1. 初期設定フロー」を参照してください。
   初期設定後、I3C は一致するスレーブアドレスを受信するまで待機状態となります。
2. I3C は一致するスレーブアドレスを受信した後、SCL クロック（クロック信号）の 9 クロック目の立ち上がりエッジで対応するビット SVST.HOAF、GCAF、および SVAF[n] (n = 0～2) のいずれかを 1 にし、SCL クロックの 9 クロック目でアクノリッジビット (ACK) を出力します。このとき、同時に受信した R/W#ビットの値が 1 であれば、I3C は PRSST.TRMD ビットと NTST.TDBEF0 フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書いてください。このとき、I3C が BSTE.NACKDE ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった（NACK を受信した）場合、I3C は次の転送動作を中断します。
4. 以下の (a) または (b) のいずれかの条件が満たされるまで待ちます。
   (a) BST.NACKDF フラグが 1 になる
   (b) NTST.TDBEF0 フラグが 1 の状態で、最終送信バイトを NTDTBP0 レジスタに書いた後で、BST.TENDF フラグが 1 になる
5. BST.NACKDF フラグが 1 または BST.TENDF フラグが 1 の場合、完了処理のため NTDTBP0 レジスタをダミーリードしてください。これによって I3C_SCL ラインが解放されます。
6. I3C はストップコンディションを検出すると、SVST.HOAF ビット、GCAF ビット、および SVAF[n] (n = 0～2) ビット、NTST.TDBEF0 フラグ、BST.TENDF フラグ、および PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

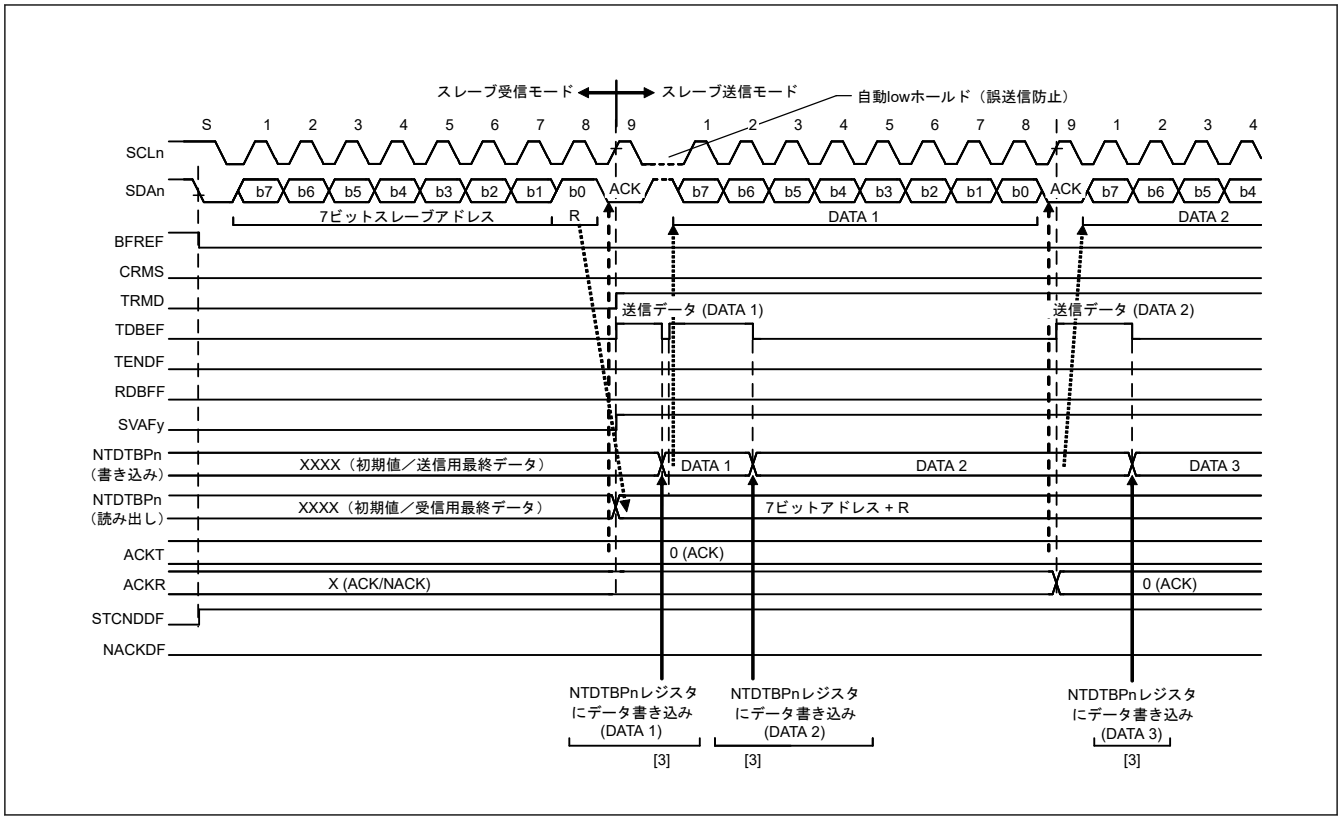


図 40.39　スレーブ送信の動作タイミング (1)（7 ビットアドレスフォーマット）

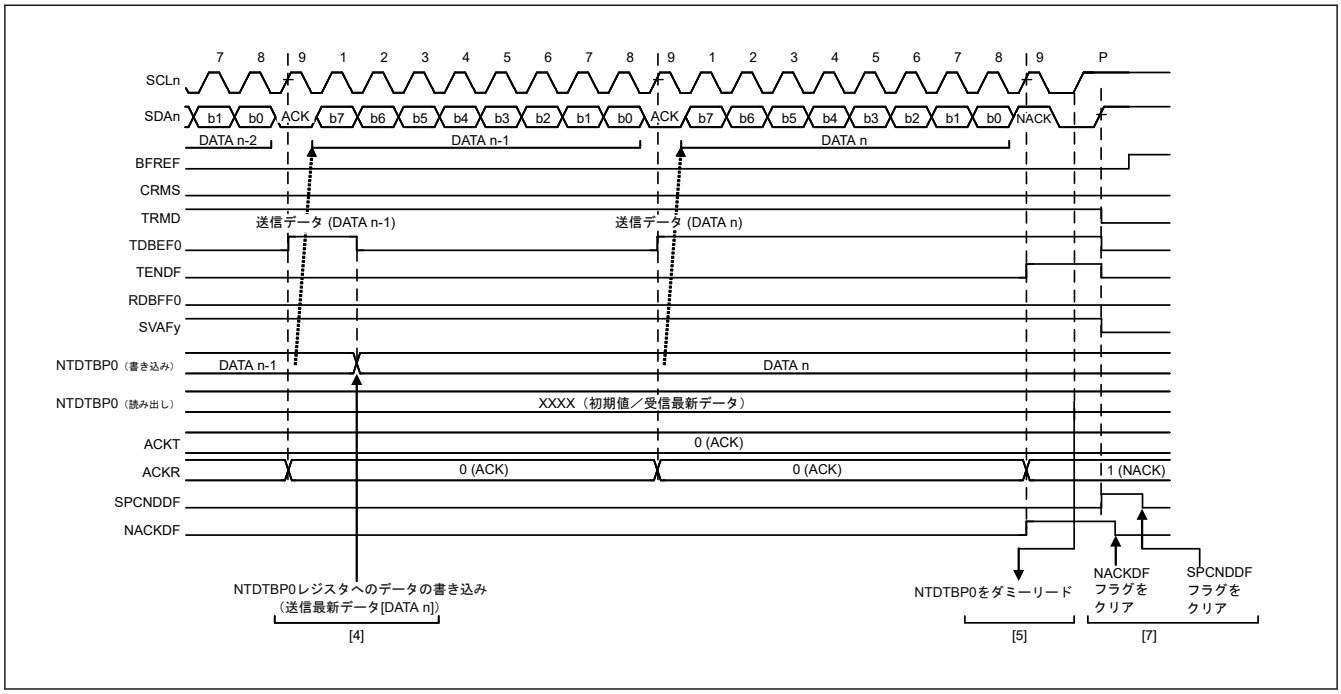


図 40.40　スレーブ送信の動作タイミング (2)

(2)　I3C スレーブ動作

(a) ダイナミックアドレス配置手順

I3C を初期化した後、I3C マスタはまず、ダイナミックアドレス配置手順を実行します。

ENTDAA CCC によるダイナミックアドレス配置手順実行中の R-I3 の動作を以下に説明します。

1. 初期設定（詳細は、「40.3.3.1.2. I3C 初期設定フロー」を参照してください。）

2. ENTDAA CCC を受信すると、I3C はダイナミックアドレスが配置されるまで暫定 ID (SDCTPIDH[31:0], SDCTPIDL[15:0])、BCR (SVDCT.TBCRn)、DCR (SVDCT.TDCR[7:0]) を送信します。（詳細は、(6) CCC 検出機能［I3C モード］の「ブロードキャスト CCC (ENTDAA) の場合」を参照してください。）
3. ENTDAA CCC が完了し、ストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスキューに格納されます。
4. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。
5. 受信ステータスディスクリプタの DATA_LENGTH[15:0]ビットに示されるデータ長のデータを NTDTBP0 レジスタを介して受信データバッファから読み出します。

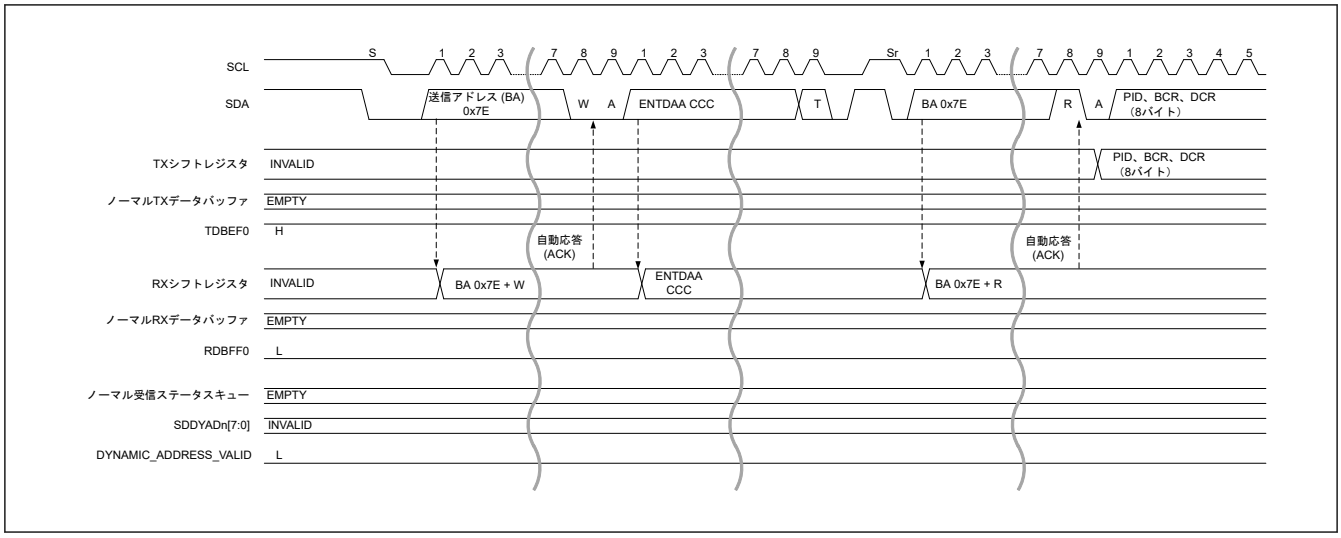


図 40.41　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (1/3)

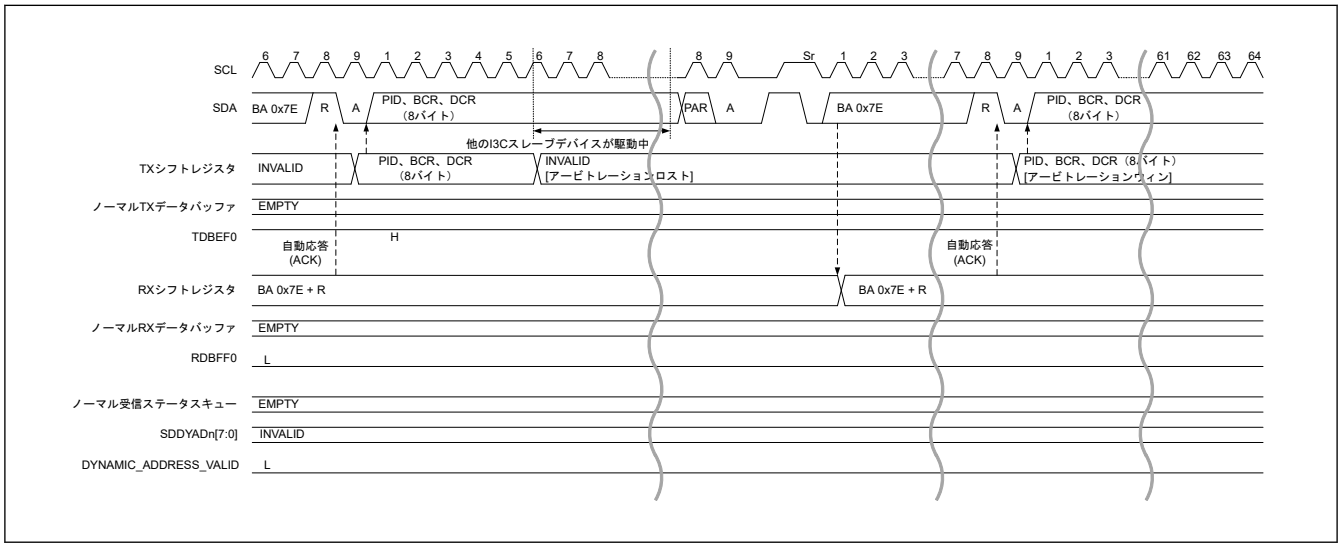


図 40.42　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (2/3)

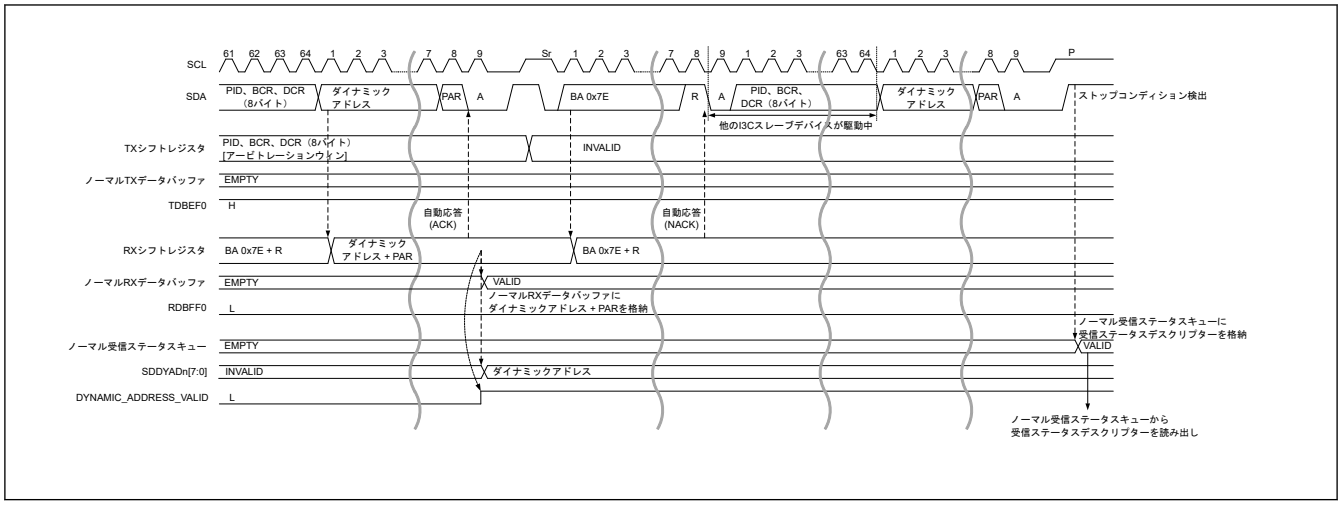


図 40.43　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (3/3)

I3C マスタからダイナミックアドレスを配置されるまで、スタティックアドレスで通信する場合、DAT（SDATBASn レジスタ）の DVSTAD[6:0]ビットを設定することで、SVDVADn レジスタの SSTADV ビットが 1 に設定され、スタティックアドレスが有効になります。

I3C スレーブがスタティックアドレスを有し、I3C マスタがダイナミックアドレス配置手順を実行する場合、ダイナミックアドレスを SETDASA CCC で配置することができます。

SETDASA CCC ダイナミックアドレス配置手順実行中の I3C の動作を以下に説明します。

1. 初期設定（詳細は、「40.3.3.1.2. I3C 初期設定フロー」を参照してください。）
2. 受信した SETDASA CCC がそれ自身のスタティックアドレスと一致するとき、DAT（SDATBAS0 レジスタ）の SDDYAD[7:0]ビットを更新し、SVDVAD0 レジスタの SDYADV ビットを 1 に設定します。（詳細は、(6) CCC 検出機能［I3C モード］の「ダイレクトライト CCC の場合」を参照してください。）
3. SETDASA CCC が完了し、ストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスキューに格納されます。
4. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

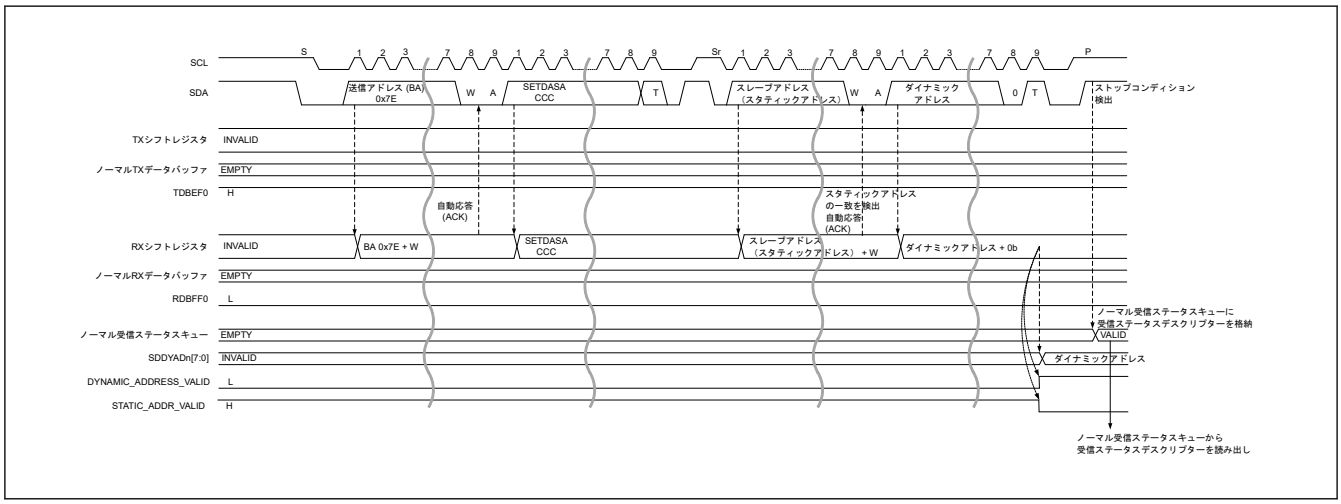


図 40.44　ダイナミックアドレス配置手順 (SETDASA CCC) タイミング

(b) SDR データ書き込み転送

1. I3C マスタからトランザクションが発行されたとき、アドレスヘッダのスレーブアドレスをそれ自身のスレーブアドレスと比較し、一致した場合、I3C はアクノリッジを応答します。
   トランザクションを受信したとき、受信データバッファがフルであれば、I3C スレーブはアドレスヘッダで NACK を応答します。
   I3C マスタのリトライ準備において、NTDTBPn を介して受信データバッファからデータを読み出し、受信データバッファを空にします。

2. I3C マスタから受信したデータは、受信データバッファに格納します。
3. RDBFF0 = 1 割り込みで、受信データを受信データバッファから NTDTBPn レジスタを介して読み出します。
4. 繰り返しのスタートコンディションまたはストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスキューに格納されます。
5. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

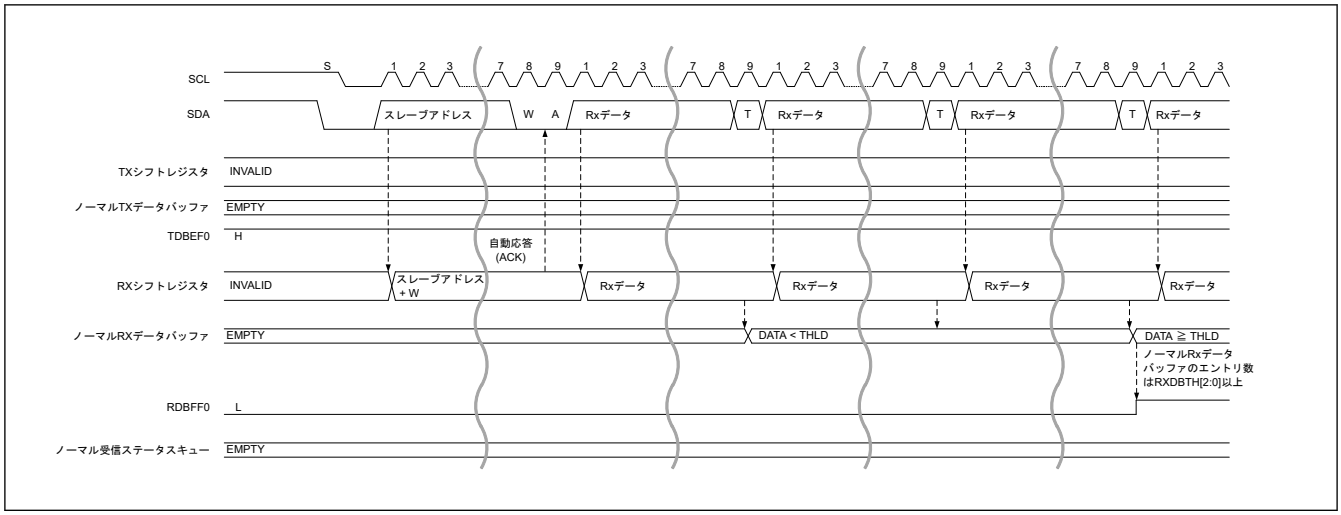


図 40.45　SDR データ書き込み転送タイミング (1/2)

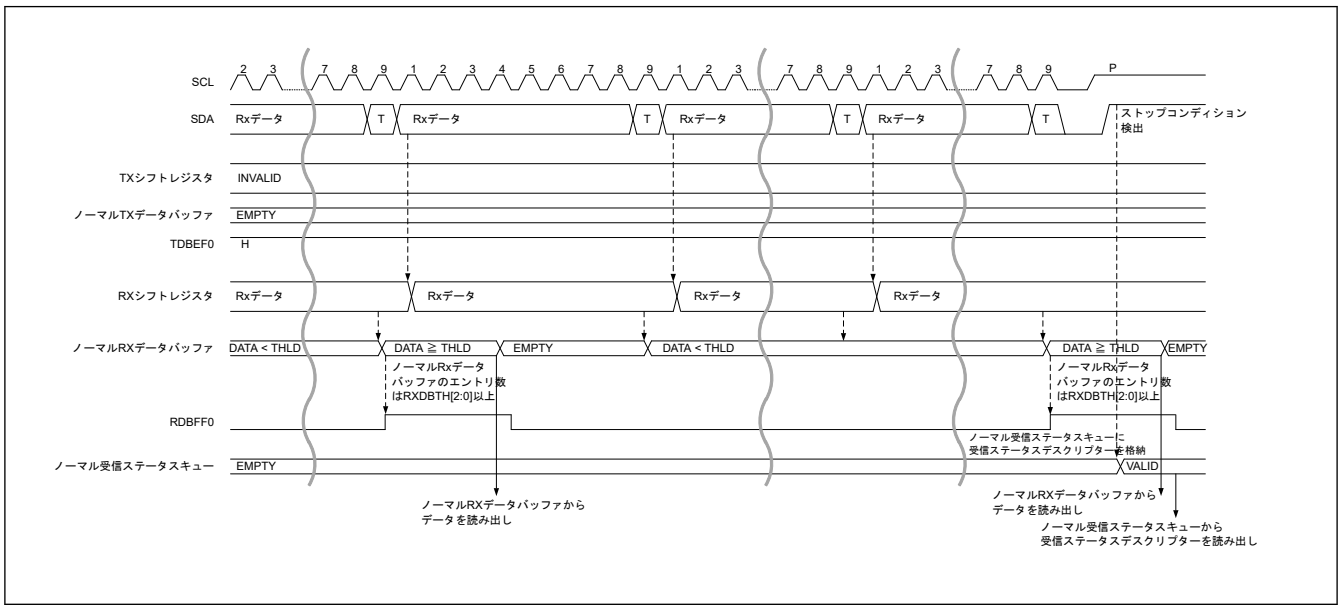


図 40.46　SDR データ書き込み転送タイミング (2/2)

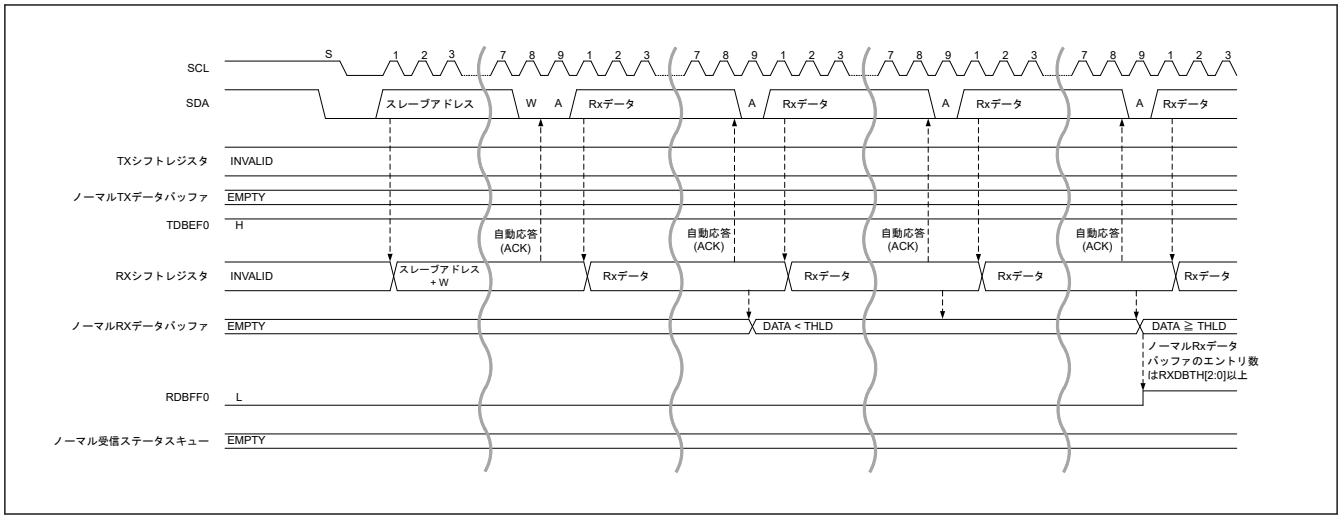


図 40.47　レガシー I²C メッセージデータ書き込み転送タイミング (1/2)

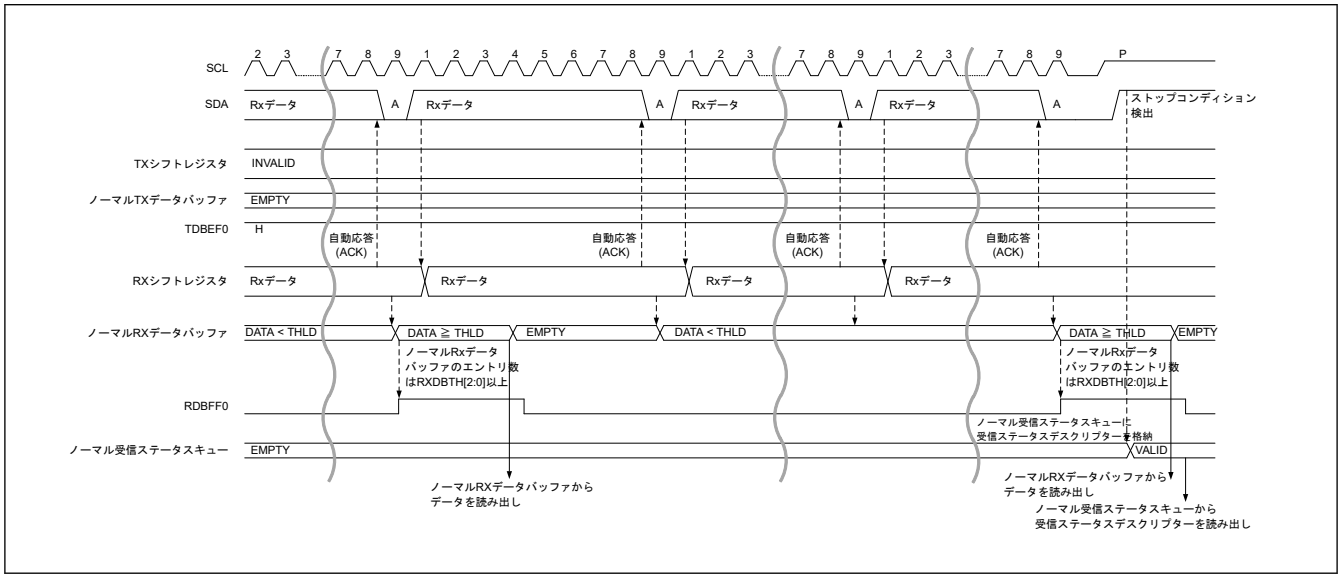


図 40.48　レガシー I²C メッセージデータ書き込み転送タイミング (2/2)

(c) SDR データ読み出し転送

1. I3C マスタから要求されたデータを NTDTBPn レジスタを介して送信データバッファに書き込みます。
2. I3C マスタからトランザクションが発行されたとき、アドレスヘッダのスレーブアドレスをそれ自身のスレーブアドレスと比較し、一致した場合、I3C はアクノリッジを応答します。
   トランザクションを受信したとき、送信データバッファがエンプティであれば、I3C スレーブはアドレスヘッダで NACK を応答します。
   I3C マスタのリトライに備えて、NTDTBPn を介して送信データバッファにデータを書き込みます。
3. 送信データバッファに格納されたデータを送信します。
4. 送信するデータがまだ残っている場合、TDBEF0 = 1 による割り込みで、送信するデータを NTDTBPn レジスタを介して送信データバッファに書き込みます。
5. SDR：
   送信データバッファに格納されたデータの送信が完了したとき、データに続けて T ビットに Low が出力され、それが最終のデータであることを I3C マスタに通知します。
   レガシー I²C メッセージ：
   NACK が検出されたとき、データ送信は終了します。
6. 繰り返しのスタートコンディションまたはストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスキューに格納されます。

7. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

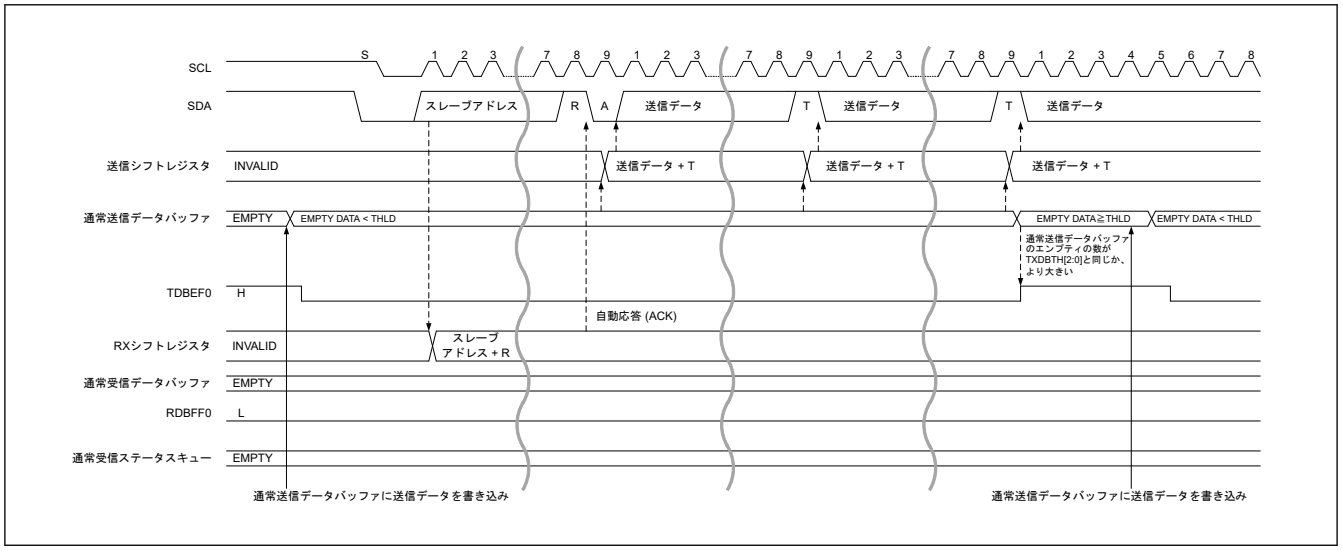


図 40.49　SDR データ読み出し転送タイミング (1/2)

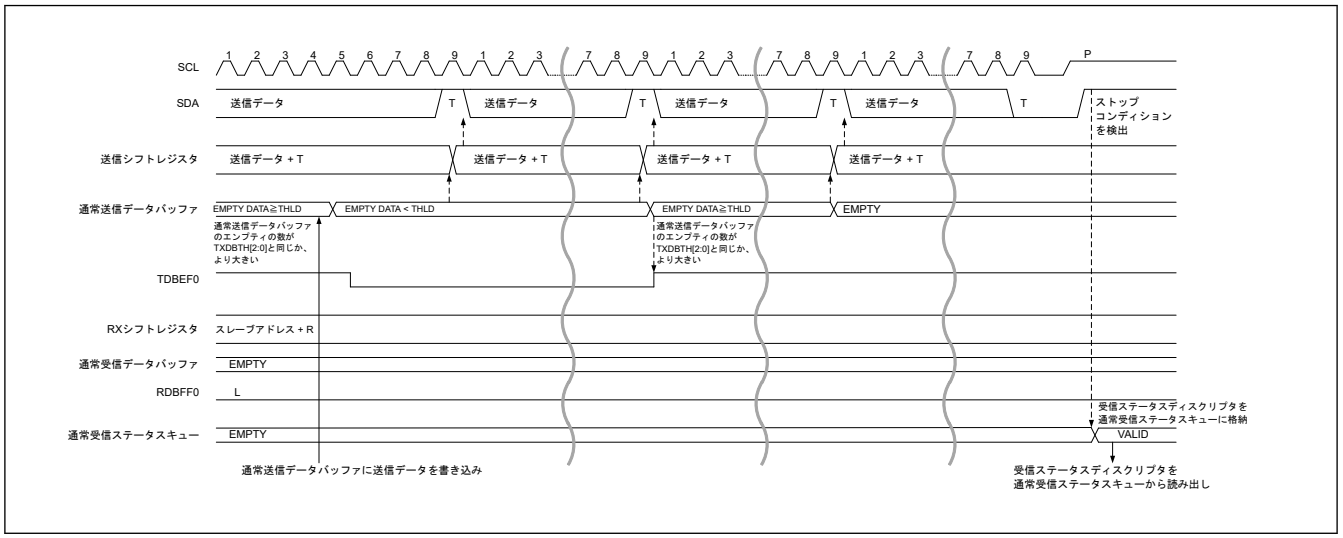


図 40.50　SDR データ読み出し転送タイミング (2/2)

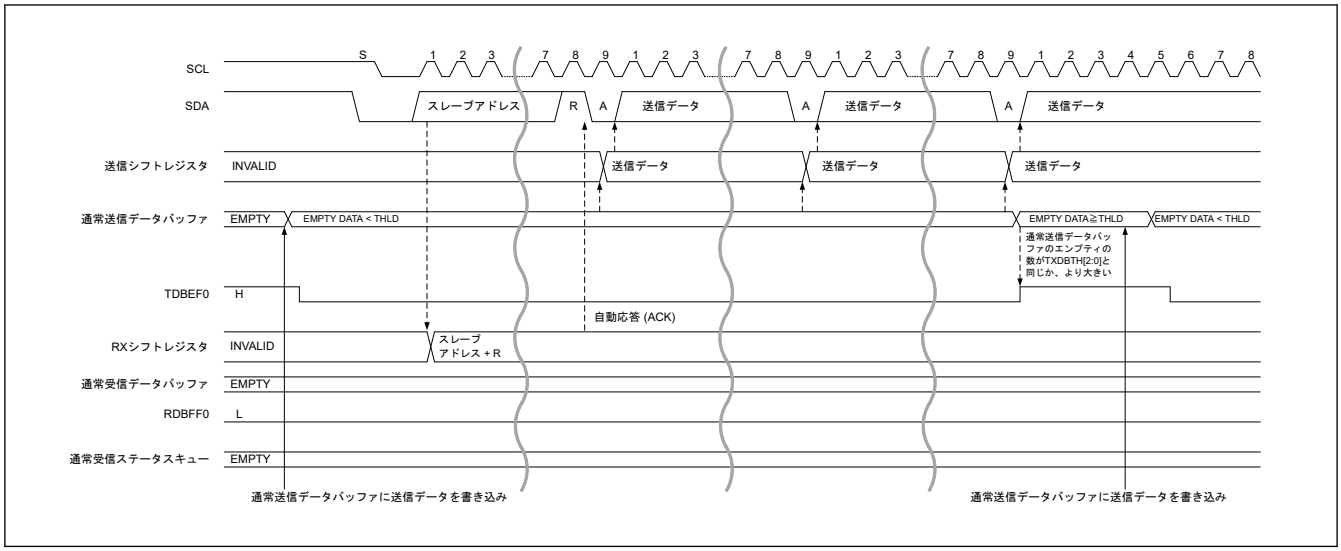


図 40.51　レガシー I²C メッセージデータ読み出し転送タイミング (1/2)

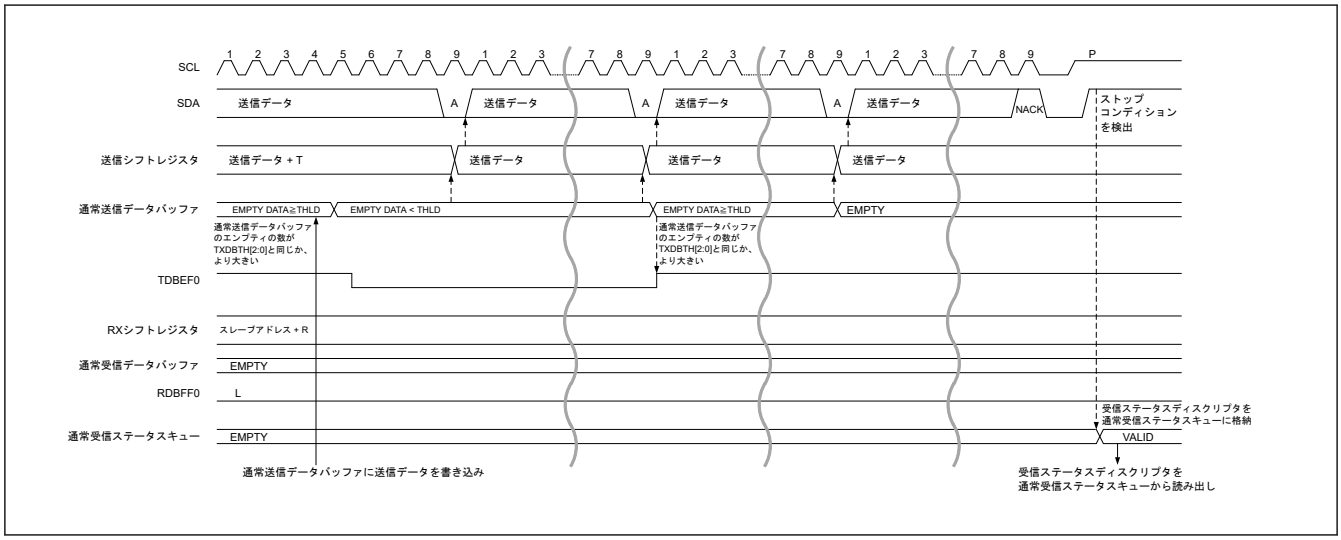


図 40.52　レガシー I²C メッセージデータ読み出し転送タイミング (2/2)

(d) HDR データ書き込み転送

1. I3C マスタからの ENTHDR * CCC 受信時、HDR モードに遷移します。（詳細は、(6) CCC 検出機能［I3C モード］の「ブロードキャスト CCC (ENTHDR) の場合」を参照してください。）
2. I3C マスタから発行された HDR コマンド Word のスレーブアドレスを自身のスレーブアドレスと比較し、一致した場合、続くデータ Word を受信します。
3. I3C マスタから受信したデータは、受信データバッファに格納します。
4. RDBFF0 = 1 割り込みで、受信データを受信データバッファから NTDTBPn レジスタを介して読み出します。
5. HDR リスタートパターンまたは HDR 終了パターン + ストップコンディションを検出した場合、受信ステータスディスクリプタを受信ステータスキューに格納します。
6. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

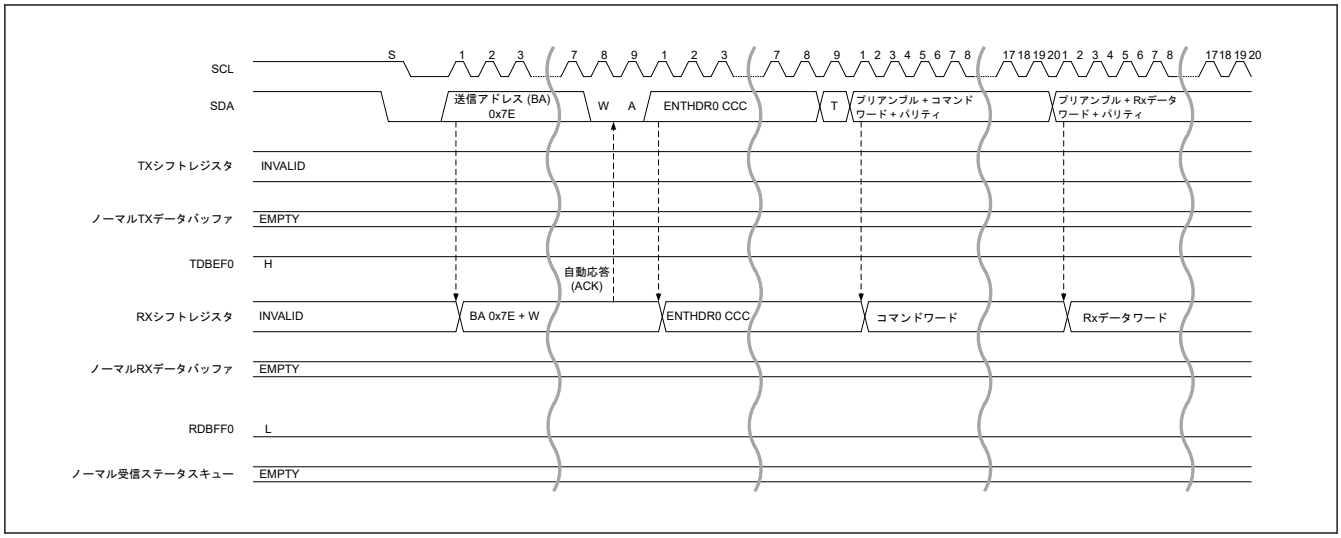


図 40.53　HDR データ書き込み転送 (HDR-DDR) タイミング (1/3)

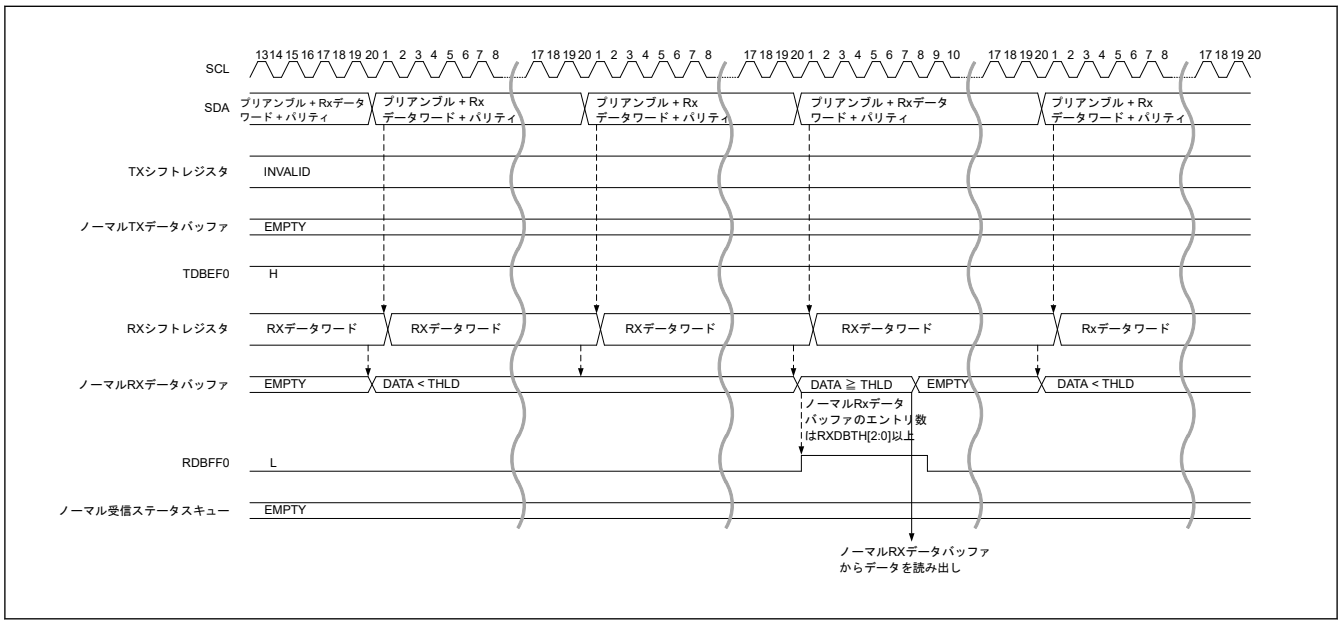


図 40.54　HDR データ書き込み転送 (HDR-DDR) タイミング (2/3)

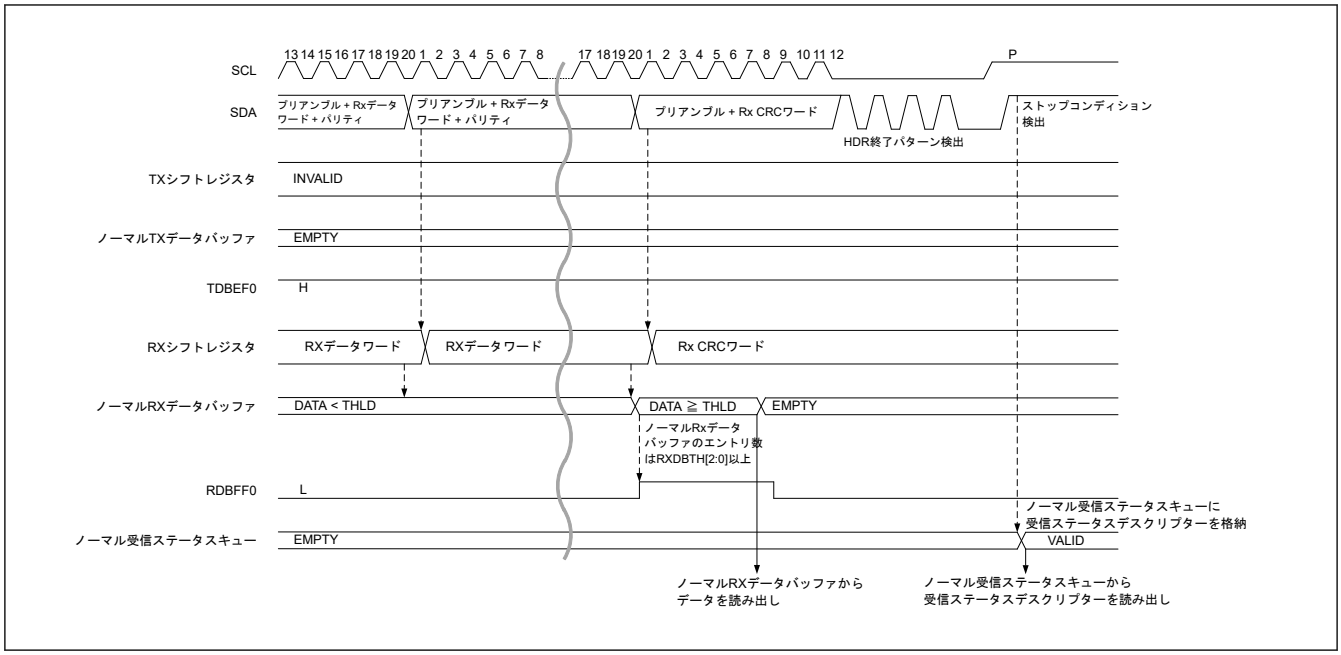


図 40.55　HDR データ書き込み転送 (HDR-DDR) タイミング (3/3)

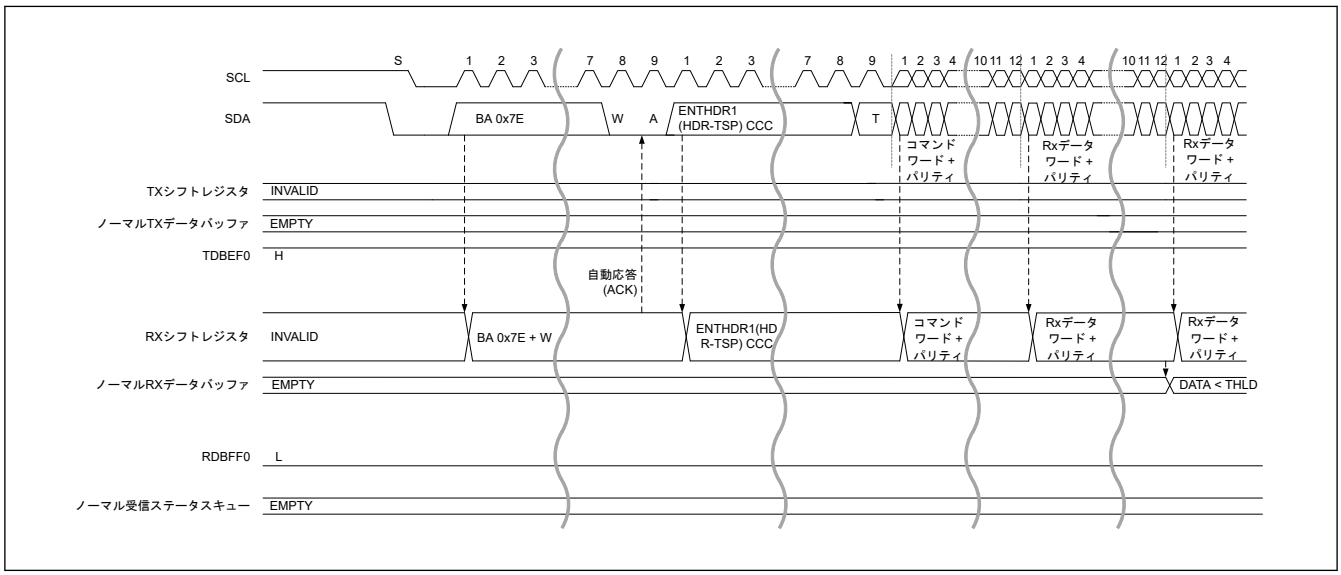


図 40.56　HDR データ書き込み転送（HDR-TSP、TSL）タイミング (1/2)

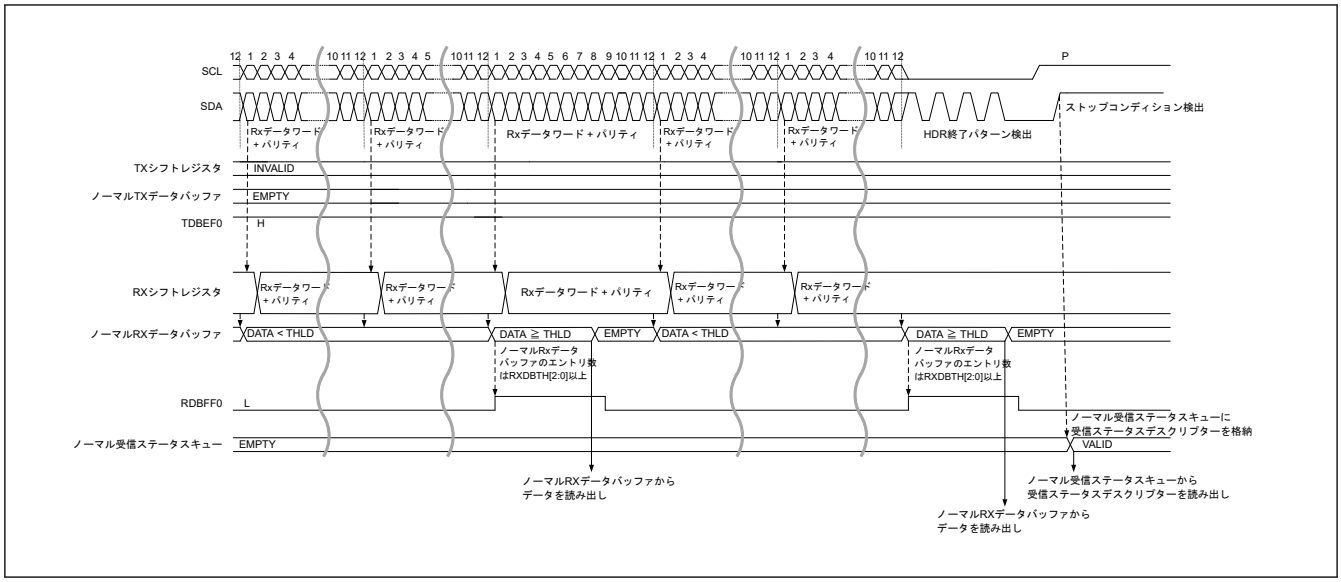


図 40.57　HDR データ書き込み転送（HDR-TSP、TSL）タイミング (2/2)

(e) HDR データ読み出し転送

1. I3C マスタから要求されたデータを NTDTBPn レジスタを介して送信データバッファに書き込みます。
2. I3C マスタからの ENTHDR * CCC 受信時、HDR モードに遷移します。（詳細は、(6) CCC 検出機能［I3C モード］の「ブロードキャスト CCC (ENTHDR) の場合」を参照してください。）
3. I3C マスタから発行された HDR コマンドワードのスレーブアドレスを自身のスレーブアドレスと比較し、一致した場合、送信データバッファに格納されたデータが送信されます。
   HDR コマンドワードのスレーブアドレスが自身のスレーブアドレスと一致したとき、送信データバッファがエンプティであれば、NACK 応答を送ります。
   NACK 応答：
   - HDR-DDR：
     11 を送り、続いてコマンドワード、プリアンブルを送ります。
   - HDR-Ternary：
     HDR リスタートと HDR 終了パターンの開始を送ります。（英訳：「HDR リスタートパターンと HDR 終了パターン」MIPI 仕様において）
4. 送信するデータがまだ残っている場合、TDBEF0 = 1 による割り込みで、送信するデータを NTDTBPn レジスタを介して送信データバッファに書き込みます。
5. HDR-DDR：
   送信データバッファに格納されたデータの送信が完了したとき、連続して CRC ワードが送られ、それが最終のデータであることを I3C マスタに通知します。
   HDR-Ternary：
   送信データバッファに格納されたデータの送信が完了したとき、連続して HDR リスタートパターンまたは HDR 終了パターンの開始が送られ、それが最終のデータであることを I3C マスタに通知します。
6. HDR リスタートパターンおよび HDR 終了パターン + ストップコンディションを検出した場合、受信ステータスディスクリプタを受信ステータスキューに格納します。
7. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

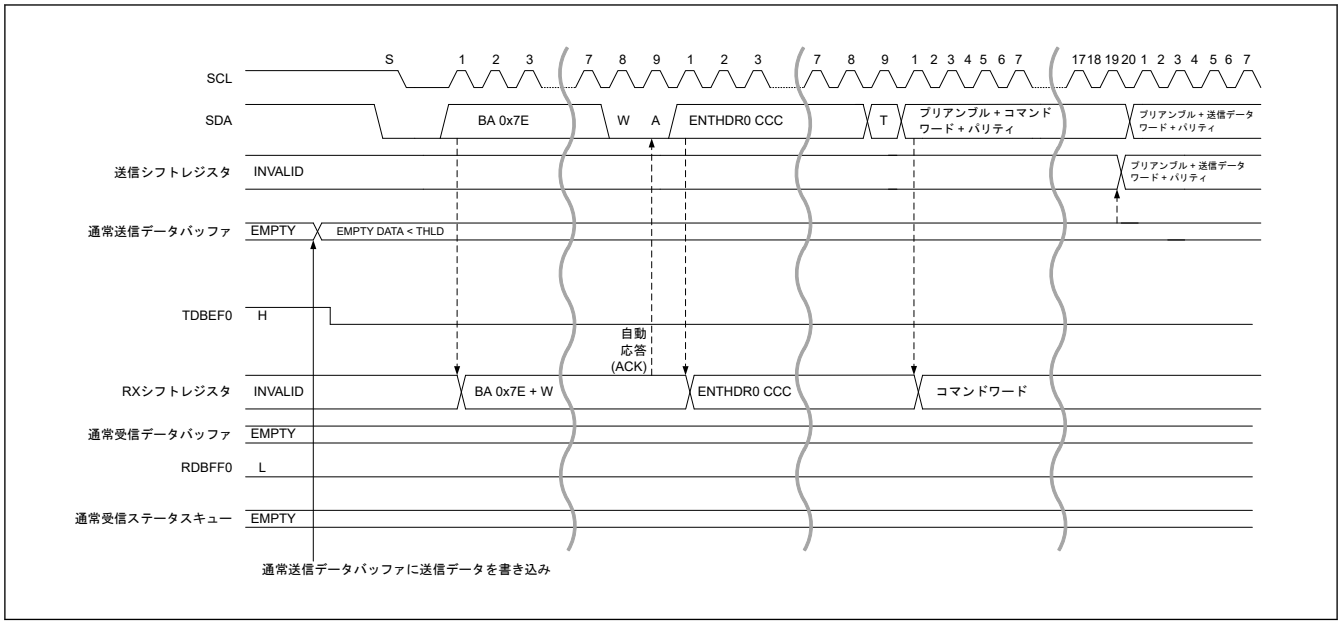


図 40.58　HDR データ読み出し転送 (HDR-DDR) タイミング (1/3)

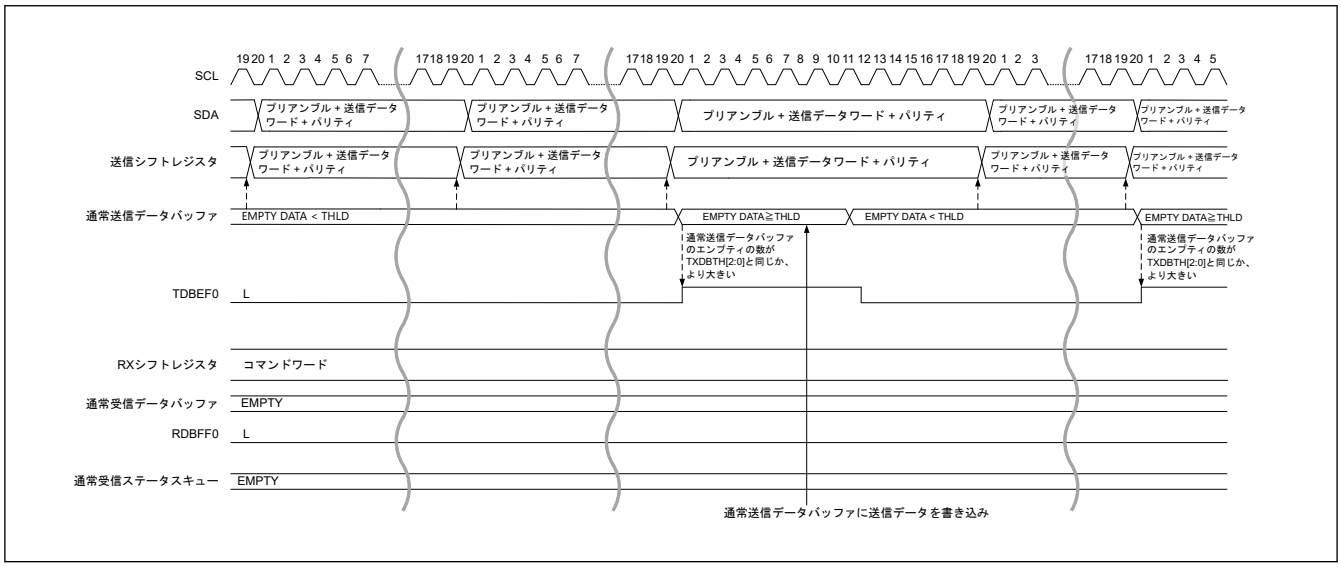


図 40.59　HDR データ読み出し転送 (HDR-DDR) タイミング (2/3)

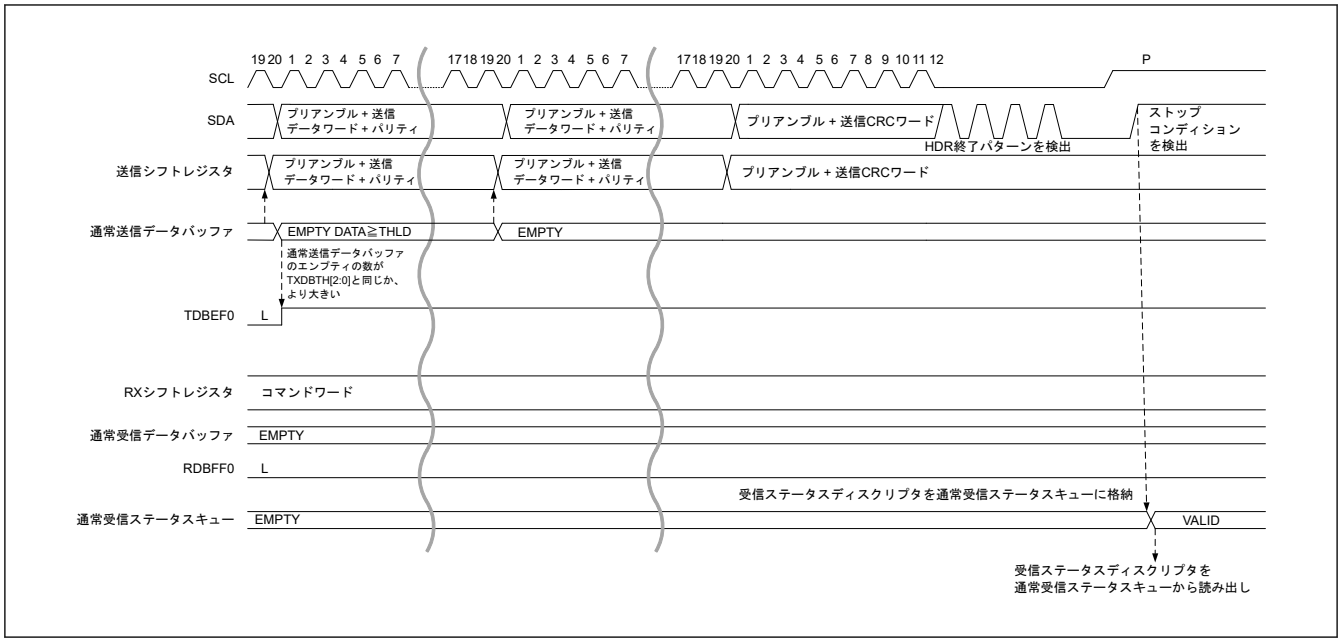


図 40.60　HDR データ読み出し転送 (HDR-DDR) タイミング (3/3)

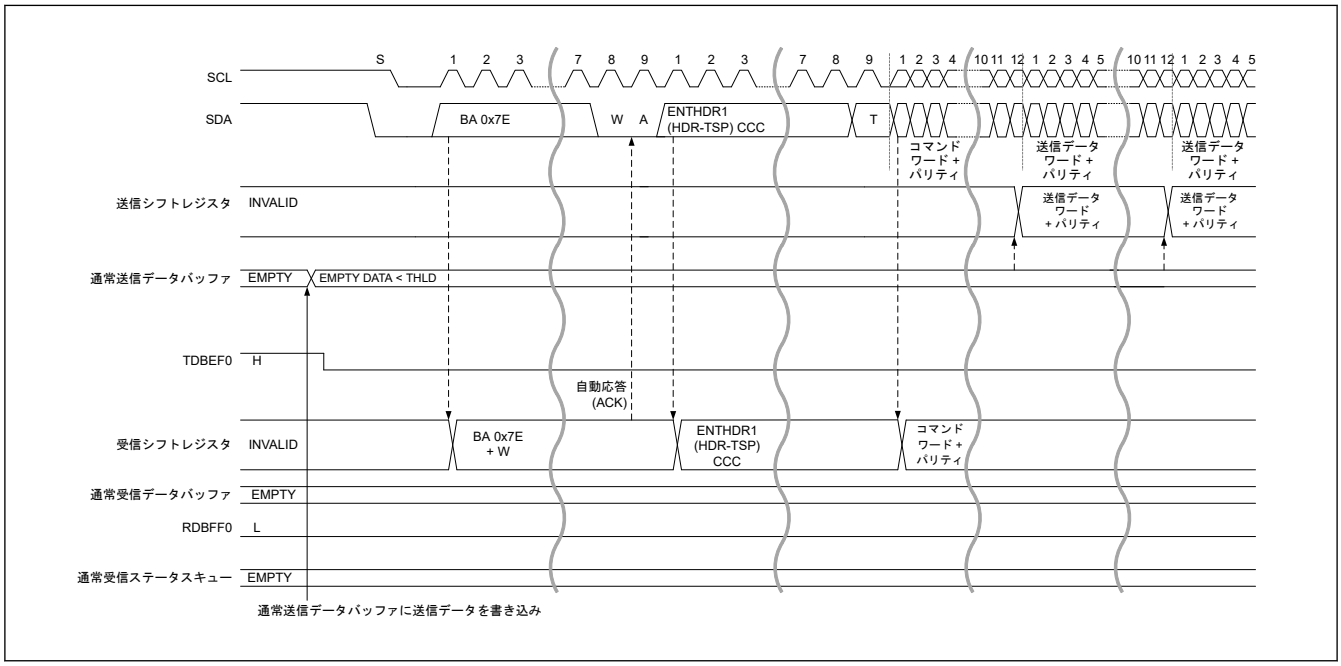


図 40.61　HDR データ読み出し転送（HDR-TSP、TSL）タイミング (1/2)

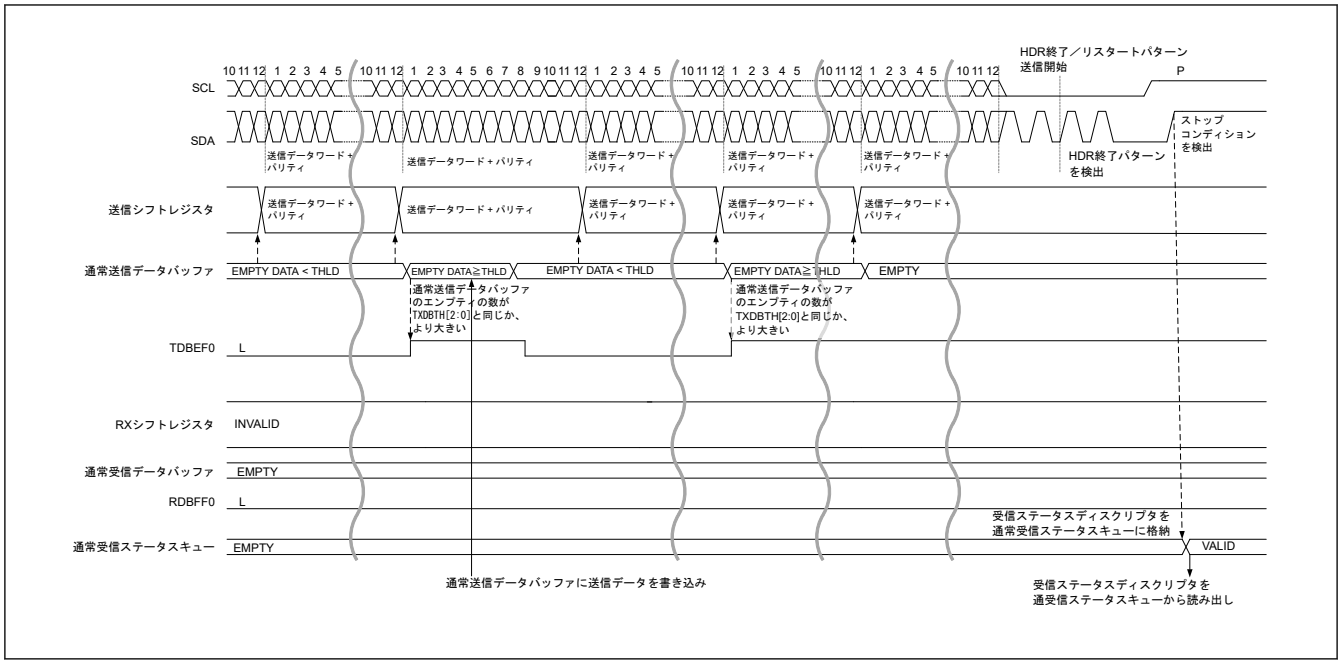


図 40.62　HDR データ読み出し転送（HDR-TSP、TSL）タイミング (2/2)

(f) IBI 転送

1. スレーブ割り込み要求を送る場合
   IBI データを送信する場合、IBI データを NIBIQP レジスタを介して IBI データバッファに書き込みます。
2. データ転送用のコマンドディスクリプタ（即時データ転送コマンド、または通常データ転送コマンド）を、NCMDQP レジスタを介して IBI 転送用のコマンドバッファに書き込みます。
3. コマンドバッファにコマンドディスクリプタを書くと、以下の条件で IBI トランザクションが発行されます。
   - スレーブ割り込み要求またはバス権要求でスタートコンディションが検出されたとき（繰り返しのスタートコンディションは対象外）
   - 以下のバスコンディションのなかでスタートが現れない場合、本モジュールは I3C_SDA ラインを Low にしてスタート要求を発行します。
   - (a)　スレーブ割り込み要求、バス権要求：バス利用可能
4. アドレスヘッダが RnW であるスレーブアドレスにおいて、I3C マスタからのトランザクション発行によりアービトレーションロストとなったとき、トランザクション発行を停止します。
   繰り返しのスタートコンディションまたはストップコンディションを検出したとき、レスポンスディスクリプタをレスポンスバッファに格納します。
5. スレーブ割り込み要求を送ったとき：
   - 送信用の IBI データがまだ残っているとき、IBI データを IBIQEFF = 1 による割り込みで NIBIQP レジスタを介して IBI データバッファに書き込みます。
   - コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数の IBI データの送信が完了したら、IBI データに続けて T ビットに Low が出力され、それが最終の IBI データであることを I3C マスタに通知します。
6. 繰り返しのスタートコンディションまたはストップコンディションを検出したとき、レスポンスディスクリプタをレスポンスバッファに格納します。
7. NRSPQP レジスタでレスポンスバッファからレスポンスディスクリプタを読み出し、ステータスを確認します。NACK 応答の場合、手順 1～7 を再度行ってください。
8. スレーブ割り込み要求を送ったとき：
   レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が 0 であることを確認します。

図 40.65 に、バス権処理のフローを示します。

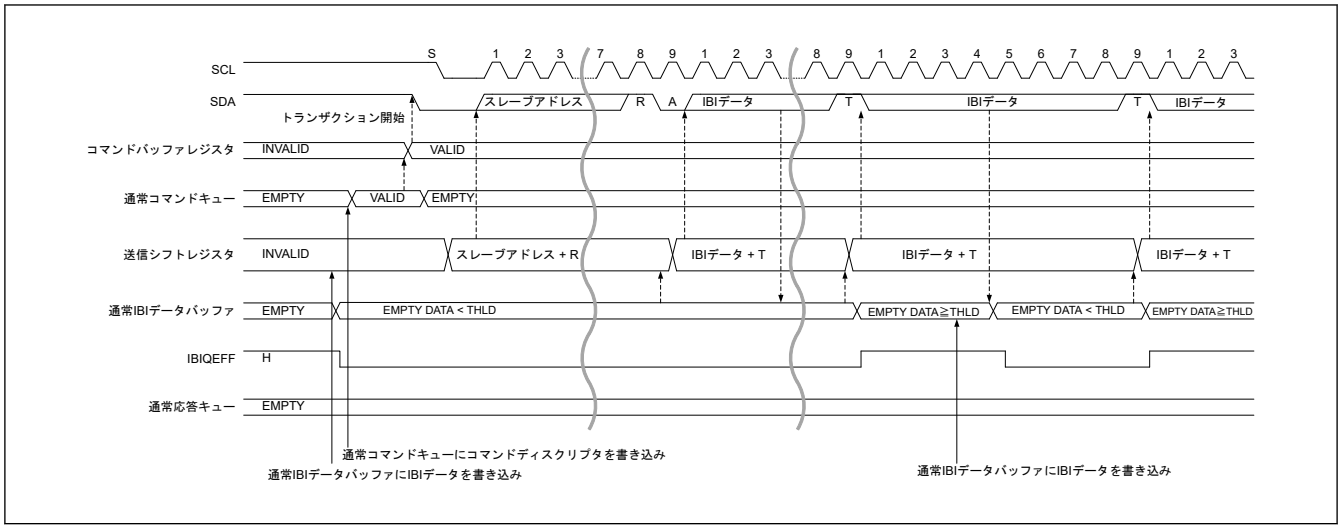


図 40.63　I3C スレーブ IBI 転送タイミング (1/2)

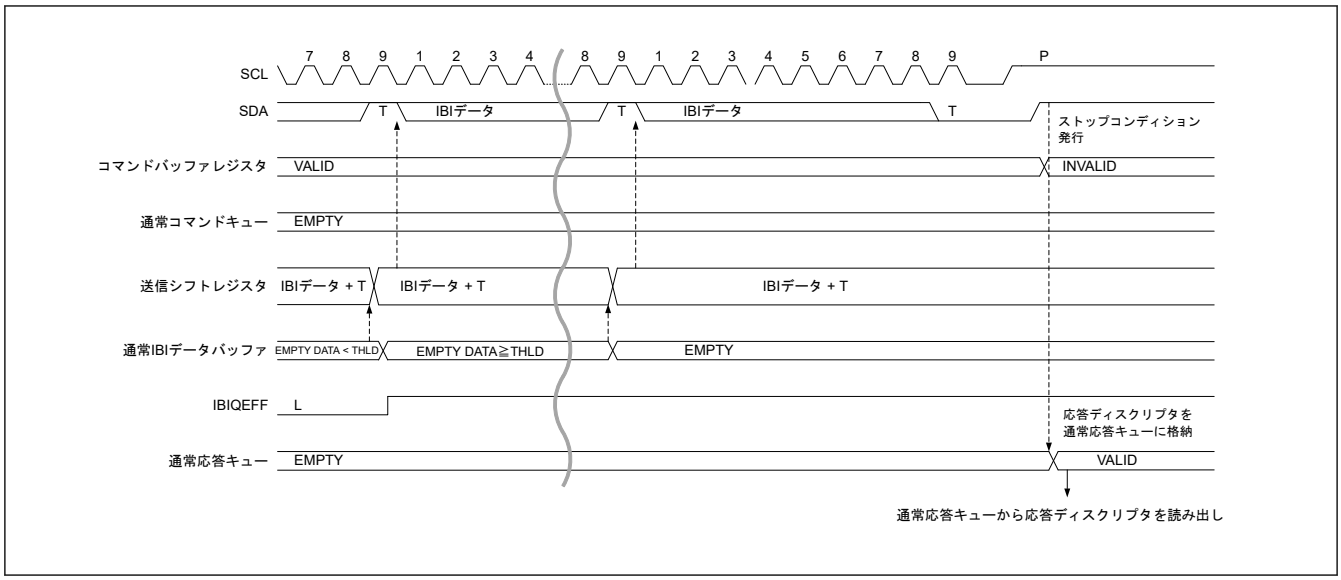


図 40.64　I3C スレーブ IBI 転送タイミング (2/2)

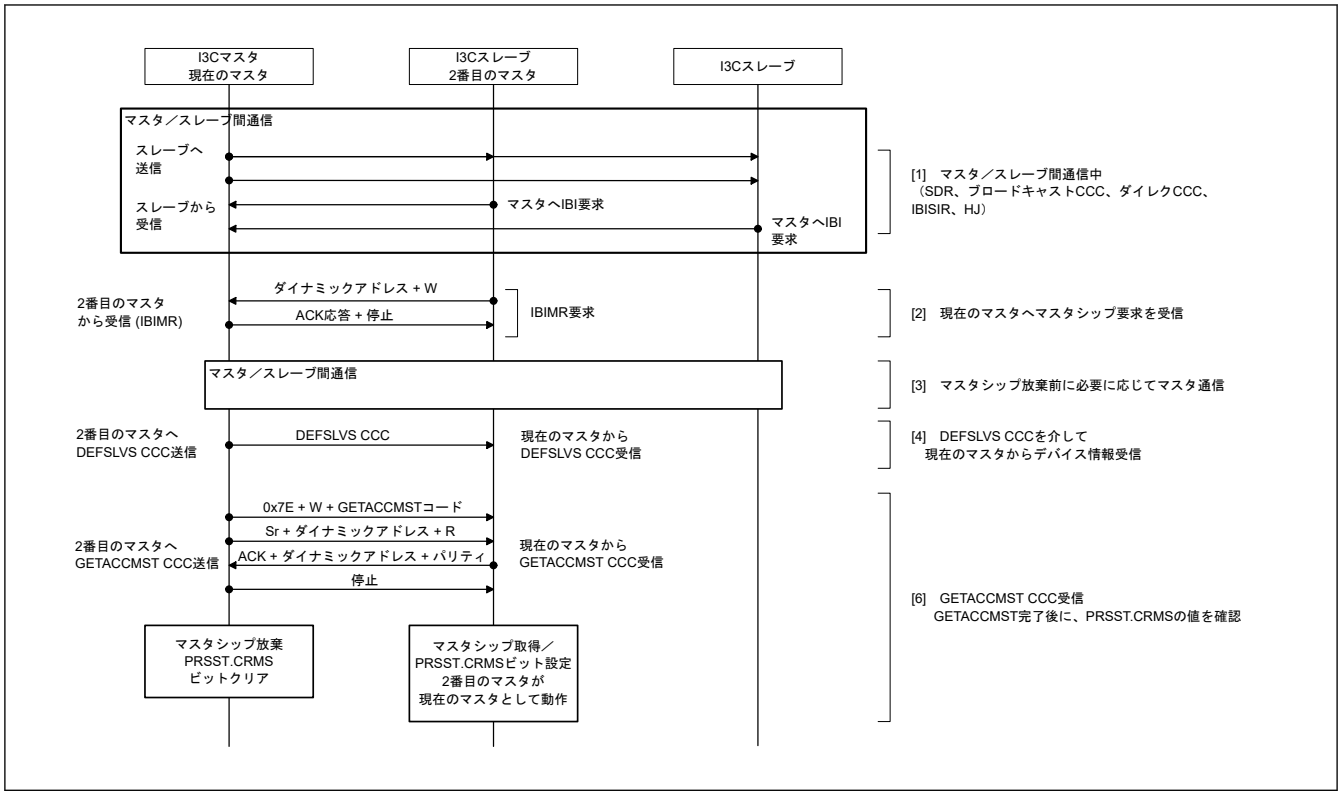


図 40.65　I3C スレーブバス権処理フロー

40.3.2.2　データハンドラ

表 40.10 に転送方法とキューの関係を示します。

表 40.10　転送方法とキュー

プロトコル	転送方法	キュー／バッファ	サイズ	マスタ	スレーブ	セカンダリマスタ
I^2C モード	シングルバッファ転送	通常 Tx データ	1 バイト	✓	✓	—
		通常 Rx データ	1 バイト	✓	✓	—
I3C モード	通常 FIFO バッファ転送	通常コマンド	4 キュー	✓	✓	✓
		通常応答	4 キュー	✓	✓	✓
		通常 Tx データ	16 DWORD	✓	✓	✓
		通常 Rx データ	16 DWORD	✓	✓	✓
		通常受信ステータス	2 キュー	—	✓	✓
		通常 IBI ステータス	2 キュー	✓	—	✓
		通常 IBI データ	8 DWORD	✓	✓	✓
	優先 FIFO バッファ転送（マスタモードのみ）	優先コマンド	2 キュー	✓	—	✓
		優先応答	2 キュー	✓	—	✓
		優先送信データ	2 DWORD	✓	—	✓
		優先受信データ	2 DWORD	✓	—	✓

40.3.2.2.1　I^2C モードの転送方法

(1)　シングルバッファ転送

各プロセス（コンディション発行、データ転送、ACK／NACK 応答）はソフトウェアでコントロールします。

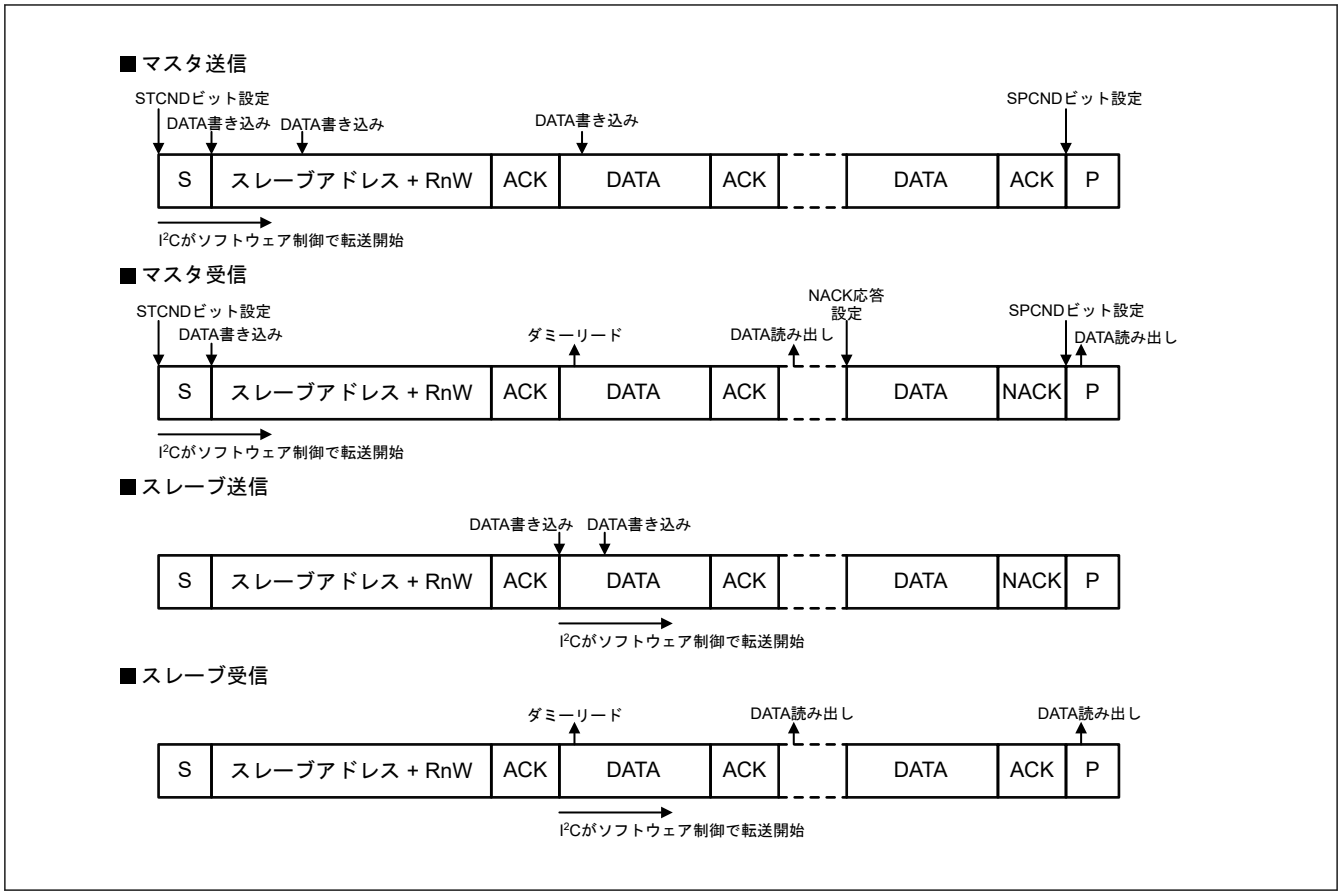


図 40.66　シングルバッファ転送のデータハンドラ

40.3.2.2.2　I3C モードの転送方法

(1)　通常 FIFO バッファ転送

データとコマンドが書き込まれると、I3C は自律的に転送を開始します。

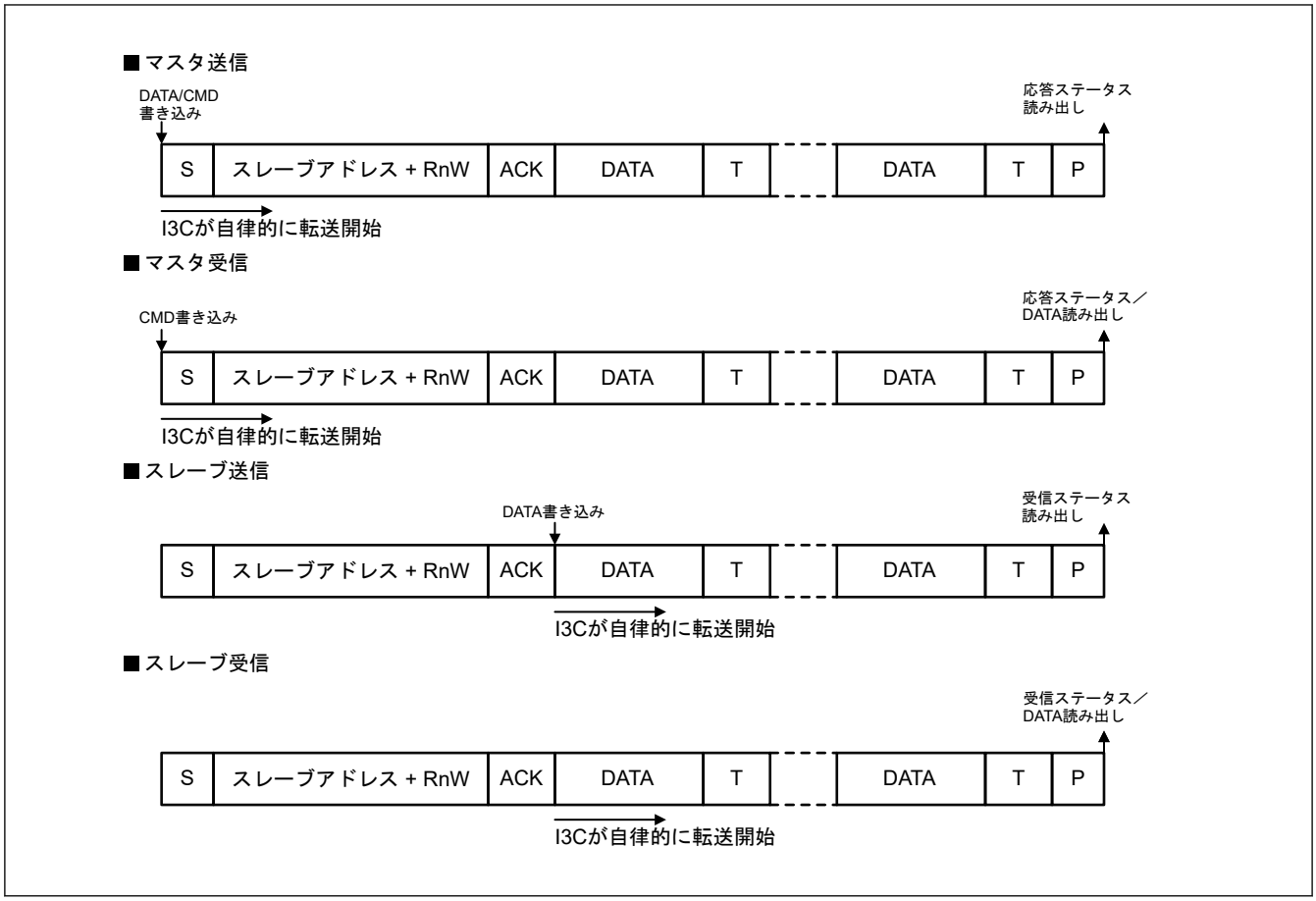


図 40.67　通常 FIFO バッファ転送のデータハンドラ

(2)　優先 FIFO バッファ転送

I3C は優先 FIFO バッファ転送のコマンドを通常 FIFO バッファ転送のコマンドよりも高い優先度で扱います。

通常 FIFO バッファ転送の最中に、優先 FIFO バッファにデータとコマンドが書き込まれると、I3C はストップコンディションを待ち、それから優先 FIFO バッファのコマンドを処理します。

優先 FIFO バッファのコマンド処理完了の後、通常 FIFO バッファにコマンドが残っていたら、I3C は通常 FIFO バッファのコマンド処理を再開します。

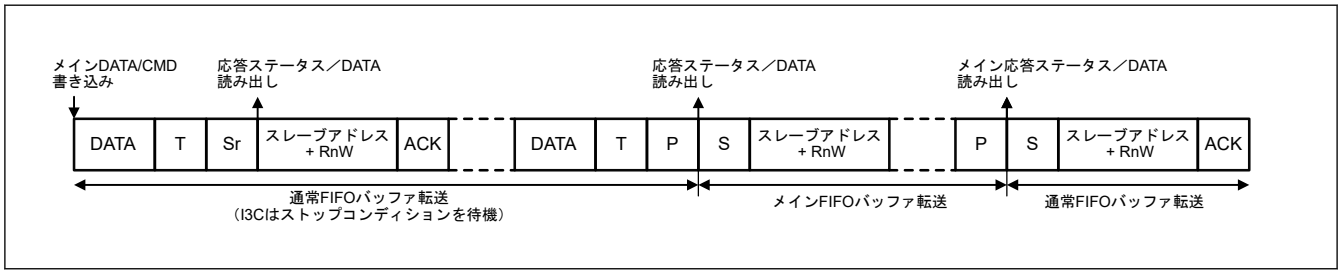


図 40.68　優先 FIFO バッファ転送のデータハンドラ

40.3.2.3　I²C/I3C プロトコル

40.3.2.3.1　通信プロトコル

(1)　I²C 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたは繰り返しのスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデ

バイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 40.69 に I²C バスフォーマットを、図 40.70 に I²C バスタイミングを示します。

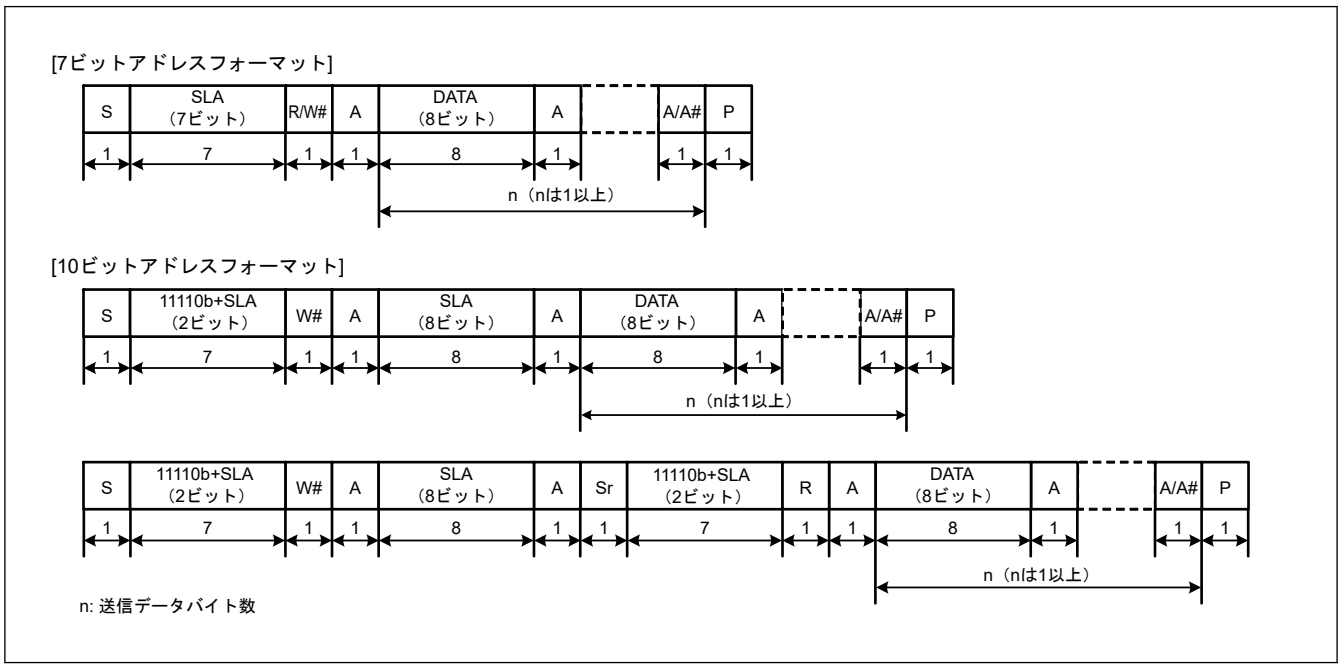


図 40.69　I²C バスフォーマット

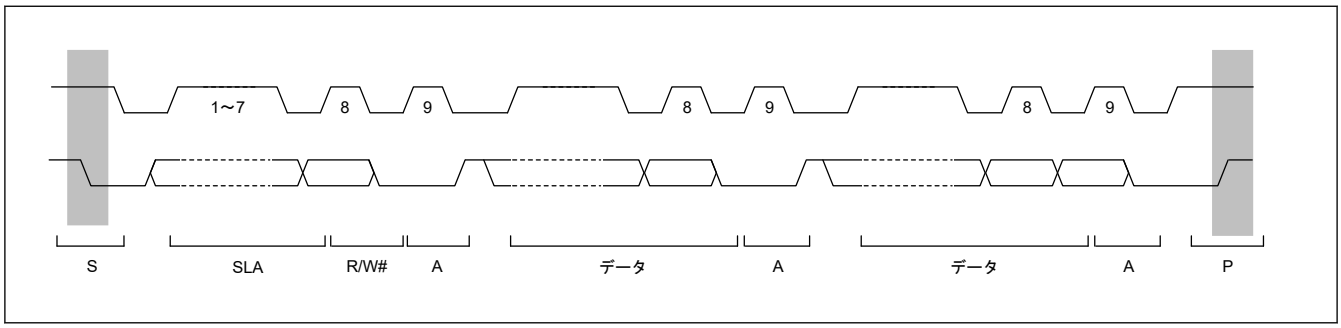


図 40.70　I²C バスタイミング（SLA = 7 ビットの場合）

S: スタートコンディションを表します。I3C_SCL ラインが High の状態で、マスタデバイスが I3C_SDA ラインを High から Low に変化させます。

SLA: スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。

R/W#: データ転送の方向を表します。1 のとき、スレーブデバイスからマスタデバイスの方向、0 のとき、マスタデバイスからスレーブデバイスの方向になります。

A: アクノリッジを表します。受信デバイスが I3C_SDA ラインを Low にします。（マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。）

A#: ノットアクノリッジを表します。受信デバイスが I3C_SDA ラインを High にします。

Sr: 繰り返しのスタートコンディションを表します。I3C_SCL ラインが High の状態でセットアップ時間経過後に、マスタデバイスが I3C_SDAI3C_SDA ラインを High から Low に変化させます。

DATA: 送信データまたは受信データを表します。

P: ストップコンディションを表します。I3C_SCL ラインが High の状態で、マスタデバイスが I3C_SDA ラインを Low から High に変化させます。

(2) I3C 通信データフォーマット

図 40.71 から図 40.77、図 40.74 の各図は 6 種類の I3C プロトコルそれぞれの標準的な通信を説明するものです。これらの図だけでは I3C で実行できるすべての通信を説明できませんが、各 I3C プロトコルで使う信号と送信フォーマットに関する便利な入門編としてご利用いただけます。

図 40.71 に、ブロードキャスト (0x7E) を含む I3C シングルデータレート (SDR) コーディングを使用した通信の例を示します。これは、SDR モードでアドレス 0x2B のスレーブから 1 バイトのデータをマスタが読み出す事例です。バスフリー条件から I3C_SCL ラインを High に保った状態で I3C_SDA ラインを Low にして、マスタはスタートコンディションを発行します。次に、ブロードキャストアドレス (0x7E) とそれに続く RnW（0：書き込み方向）を発行します。その結果、マスタはプルアップ抵抗を On にして、オープンドレインになります。

これにより、全てのスレーブが I3C_SDA ラインを Low にすることでアクノリッジを発行できるようになります（図のピンク色の網掛けは、この時点で I3C_SDA ラインがスレーブ側のコントロール下にあることを意味しています）。マスタは繰り返しのスタートコンディションを発行した後、読み出すスレーブのアドレス (0x2B) とそれに続く RnW（1：読み出し方向）を発行します。その結果、マスタはプルアップ抵抗を On にして、オープンドレインになります。これにより、スレーブは I3C_SDA ラインを Low にすることでアクノリッジを発行できるようになります。この時点で、マスタは I3C_SCL ラインをトグルし続けて、I3C_SDA ラインを開放します。これにより、スレーブは SDA ラインを駆動して 1 バイト分のデータ (0x4A) とそれに続く T を送ることができるようになります。T = 1 は追加のデータがあることを、T = 0 は終了したことをマスタに通知します。ここで、追加のデータがある場合、スレーブは SCL が High になって SDA を解放するまで SDA を High にします。マスタには、弱いプルアップで SDA を High に保つオプションがあり、これによりマスタはさらに送信されるデータのバイトを受信できることをスレーブに対して知らせます。もう 1 つのオプションは、（SCL が High、繰り返しのスタートコンディションの状態で）SDA を Low にプルして、スレーブに対してマスタが読み出しを終了しコントロールを取り返したことを知らせます。

SCL パルスの High 時間は常に 50 ns より短く、I2C 50 ns スパイクフィルタにより SCL は常に Low に見えるため、SDR モードはレガシー I2C デバイスに対して下位互換性があります。

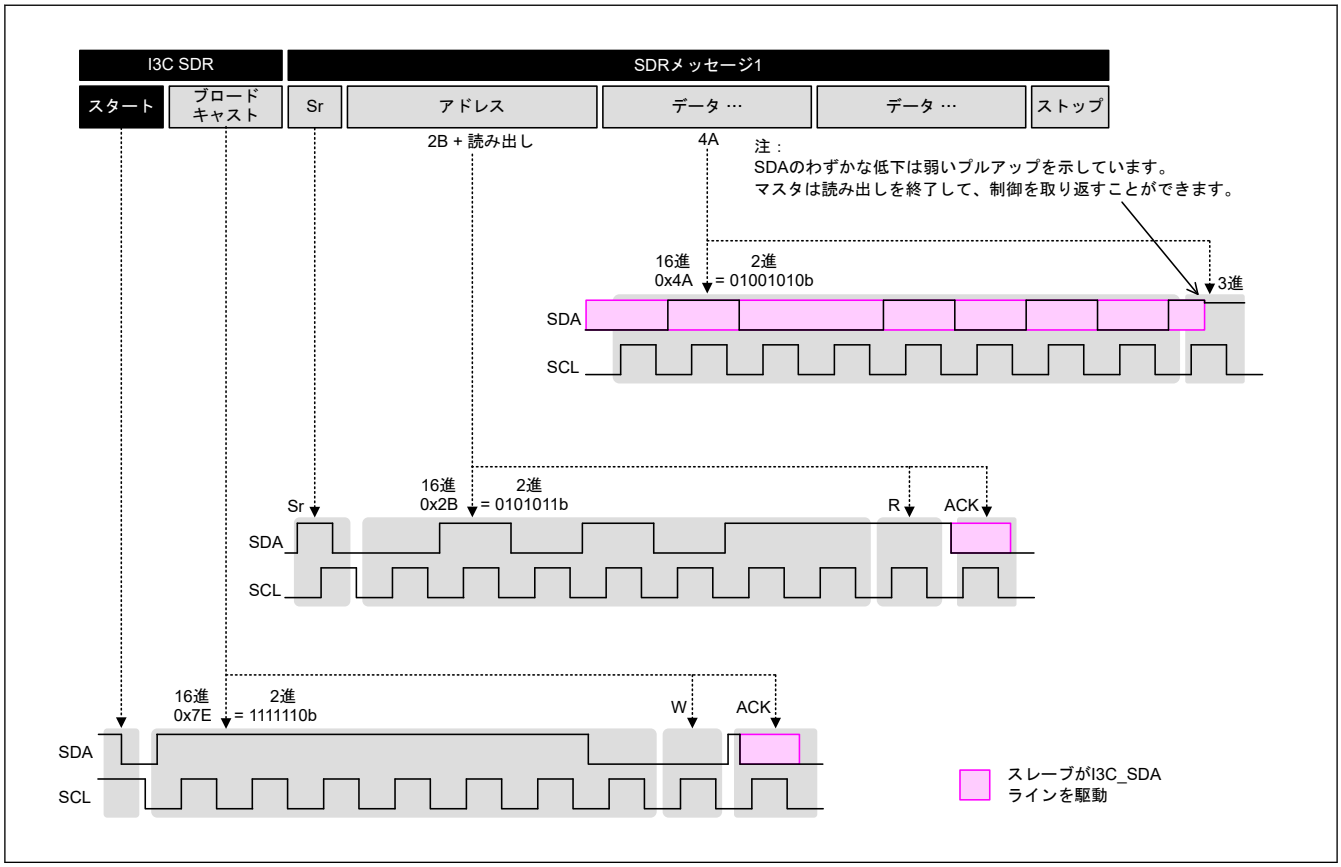


図 40.71 ブロードキャスト (0x7E) を含む I3C SDR コーディングを使用した通信の例

図 40.72 に、ブロードキャスト (0x7E) を含まない I3C シングルデータレート (SDR) コーディングを使用した通信の例を示します。これは、SDR モードでアドレス 0x2B のスレーブから 1 バイトのデータをマスタが読み出す事

例です。バスフリー条件から、マスタはスタートコンディションを発行し、そして読み出しをしたいスレーブのアドレス (0x2B)、続けて RnW（1：読み出し方向）を発行します。

その結果、マスタはプルアップ抵抗を On にして、オープンドレインになります。これにより、スレーブは I3C_SDA ラインを Low にすることでアクノリッジを発行できるようになります。この時点で、マスタは I3C_SCL ラインをトグルし続けて、I3C_SDA ラインを開放します。これにより、スレーブは SDA ラインを駆動して 1 バイト分のデータ (0x4A) とそれに続く T を送ることができるようになります。T = 1 は追加のデータがあることを、T = 0 は終了したことをマスタに通知します。ここで、追加のデータがある場合、スレーブは SCL が High になって SDA を解放するまで SDA を High にします。マスタには、弱いプルアップで SDA を High に保つオプションがあり、これによりマスタはさらに送信されるデータのバイトを受信できることをスレーブに対して知らせます。もう 1 つのオプションは、(SCL が High、繰り返しのスタートコンディションの状態で）SDA を Low にプルして、スレーブに対してマスタが読み出しを終了しコントロールを取り返したことを知らせます。

SCL パルスの High 時間は常に 50 ns より短く、I2C 50 ns スパイクフィルタにより SCL は常に Low に見えるため、SDR モードはレガシー I2C デバイスに対して下位互換性があります。

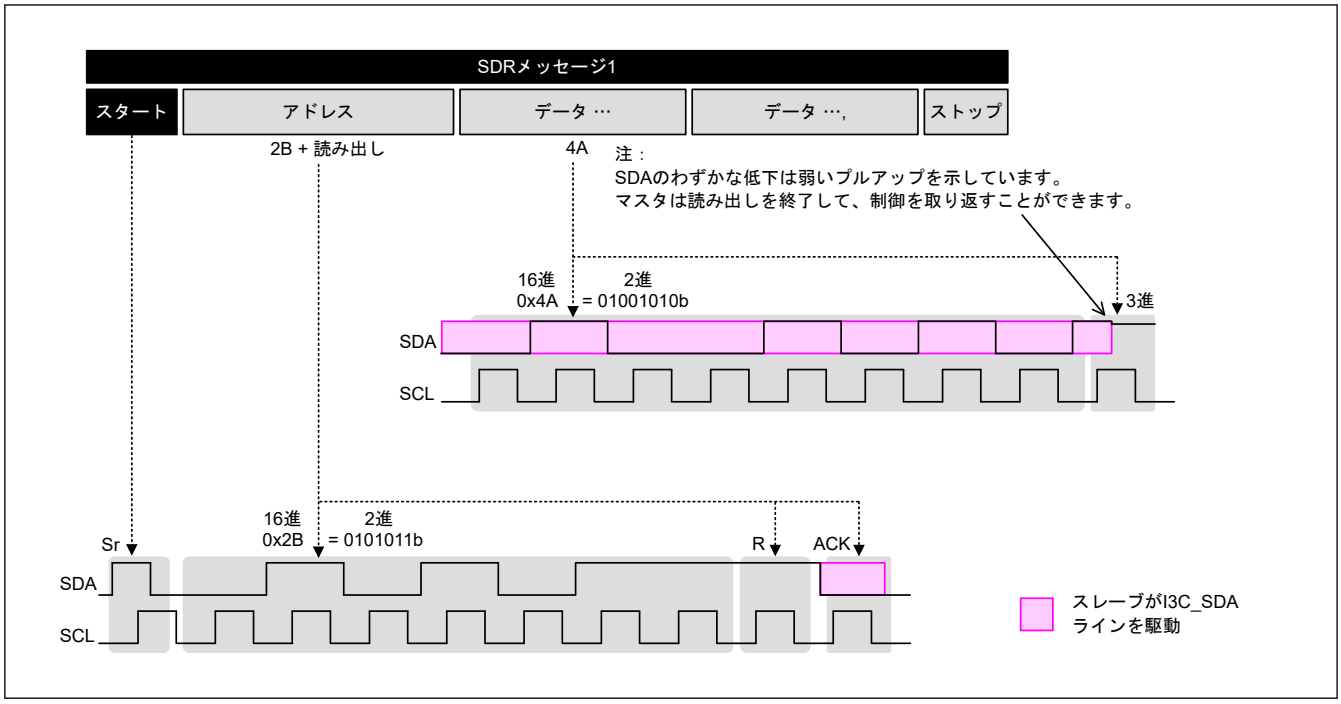


図 40.72　ブロードキャスト (0x7E) を含まない I3C SDR コーディングを使用した通信の例

図 40.73 に、マスタが CCC ダイレクトコマンドを一つのスレーブに対して発行する例を示します。この特別なコマンド (GETPID) は、スレーブの暫定 ID を読み出します。

バスフリー条件から I3C_SCL ラインを High に保った状態で I3C_SDA ラインを Low にして、マスタはスタートコンディションを発行します。次に、ブロードキャストアドレス (0x7E) とそれに続く RnW（0：書き込み方向）を発行します。その結果、マスタはプルアップ抵抗を On にして、オープンドレインになります。これにより、全てのスレーブが SDA ラインを Low にすることでアクノリッジを発行できるようになります（図のピンク色の網掛けは、この時点で SDA ラインがスレーブ側のコントロール下にあることを意味しています)。次に、マスタはダイレクト共通コマンドコード GETPID (0x8C) とそれに続くパリティビット T（0x8C の奇数パリティ = 0）を発行した後、スレーブの 7 ビットダイナミックアドレス（任意に選択、ここでは 0x2B）と RnW ビット（1：読み出し方向）を発行します。その結果、マスタはプルアップ抵抗を On にし、オープンドレインになります。これにより、アドレス 0x2B のスレーブは SDA ラインを Low にすることで ACK を発行できるようになり、スレーブがコマンドをアクノリッジして、これに従うことをマスタに通知します。(その代わりに、スレーブは SDA を Low にしないことで NACK を発行できます。これによりスレーブがコマンドに従わないことをマスタに通知します。この場合ではエラーが発生します。）ACK に続いて、スレーブはその 48 ビット PID を一度に 1 バイト出力した後、マスタは繰り返しのスタートコンディションを発行します（この部分の波形シーケンスは図に示されていません)。

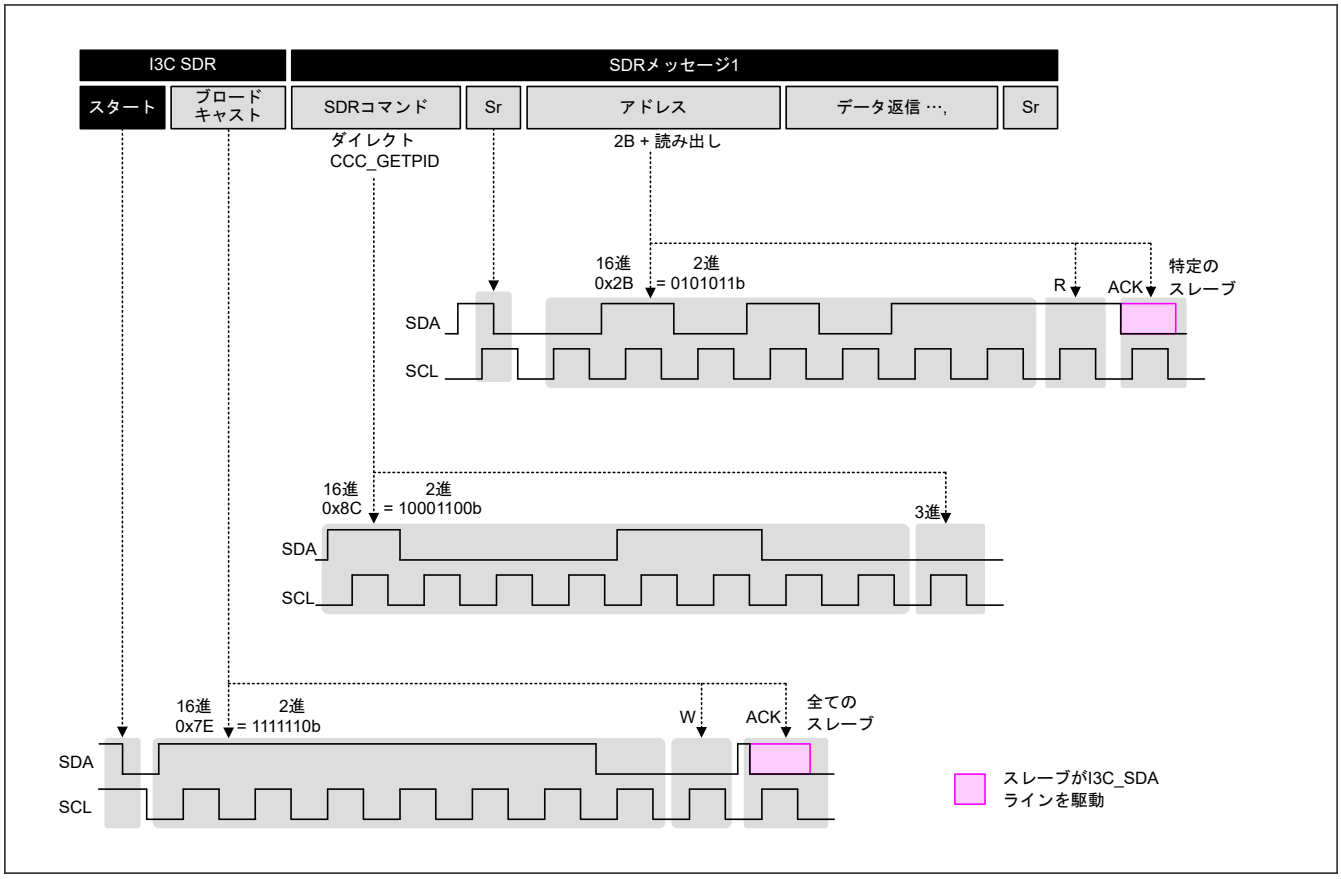


図 40.73　CCC ダイレクトアドレッシングを含む I3C SDR コーディングを使用した通信の例

図 40.74 に、CCC ブロードキャストコマンドを含む SDR 通信の例を示します。この例で使用するコマンドは、スレーブの最大読み出し長を 43 バイト (0x002B) に設定します。

バスフリー条件から I3C_SCL ラインを High に保った状態で I3C_SDA ラインを Low にして、マスタはスタートコンディションを発行します。次に、ブロードキャストアドレス (0x7E) とそれに続く RnW（0：書き込み方向）を発行します。その結果、マスタはプルアップ抵抗を On にして、オープンドレインになります。これにより、全てのスレーブが SDA ラインを Low にすることでアクノリッジを発行できるようになります（図のピンク色の網掛けは、この時点で SDA ラインがスレーブ側のコントロール下にあることを意味しています）。次に、マスタはブロードキャスト共通コマンドコード SETMRL (0x09) とそれに続くパリティビット T（0x09 の奇数パリティ = 1）を発行した後、スレーブから 1 回の読み出しで読み出し可能な最大バイト数を定義するスレーブの 2 つのデータバイト（MSB ファースト）を発行します。各データバイトには、T ビット（パリティビット、奇数パリティ）が続きます。この後、マスタは繰り返しのスタートコンディションを発行します。

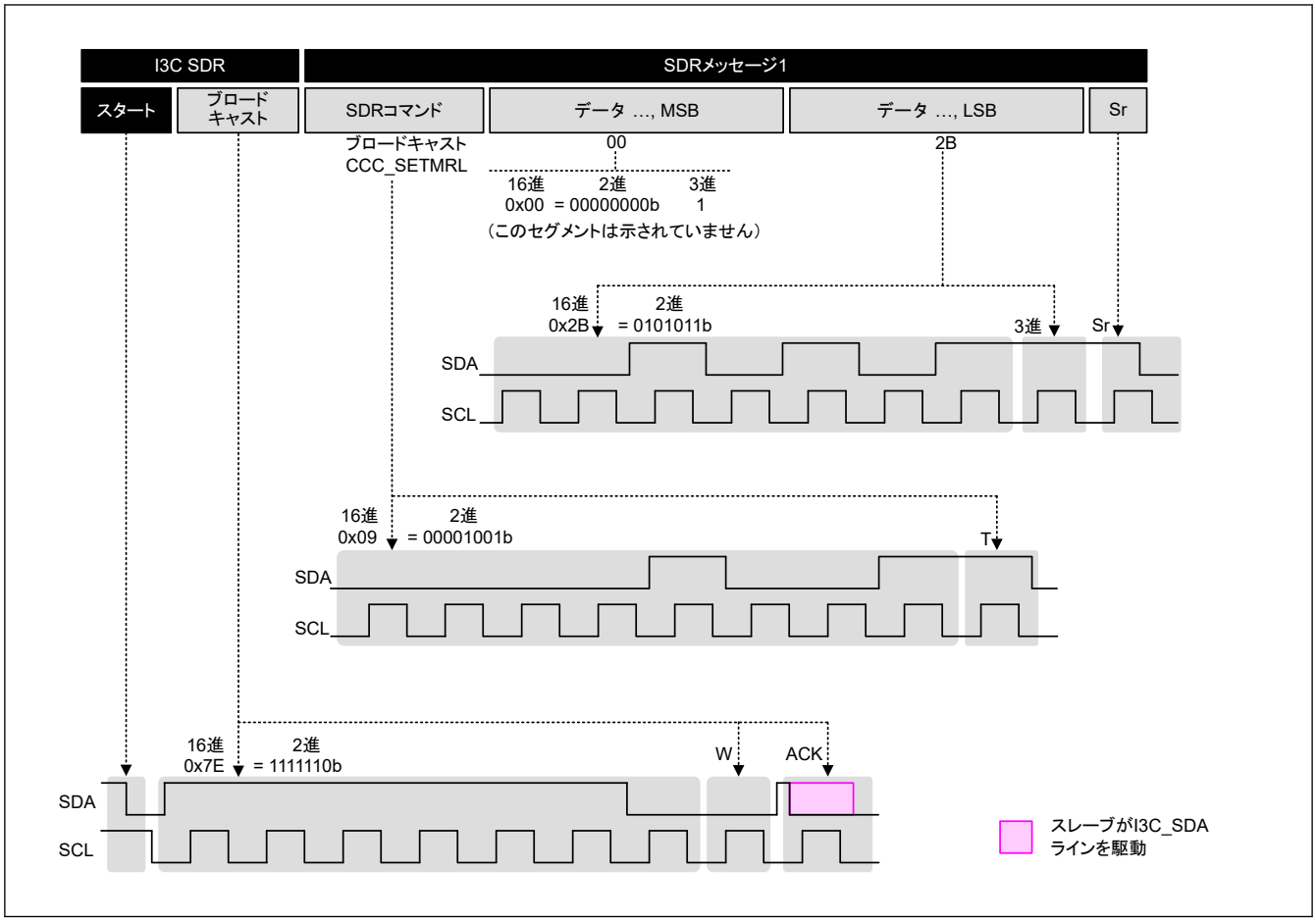


図 40.74　CCC ブロードキャストを含む I3C SDR コーディングを使用した通信の例

図 40.75 に、HDR-DDR（デュアルデータレート）モードの使用を示します。マスタがどのようにモードを SDR（シングルデータレート）モードから HDR-DDR モードに遷移するか、および HDR-DDR データフォーマットのサンプルを示します。

バスフリー条件から I3C_SCL ラインを High に保った状態で I3C_SDA ラインを Low にして、マスタはスタートコンディションを発行します。次に、マスタはブロードキャストアドレス (0x7E) とそれに続く RnW（0：書き込み方向）を発行します。その結果、マスタはプルアップ抵抗を On にして、オープンドレインになります。これにより、全てのスレーブが SDA ラインを Low にすることによりアクノリッジを発行できるようになります（図のピンク色の網掛けは、この時点で SDA ラインがスレーブ側のコントロール下にあることを意味しています）。次に、マスタはブロードキャスト共通コマンドコード ENTHDR0 (0x20) とそれに続くパリティビット T（0x20 の奇数パリティ＝0）を発行します。この時点で、バスは HDR-DDR モードになります。HDR-DDR プロトコルでは、I3C_SDA ラインは各 SCL エッジ（SCL の Low から High、High から Low 遷移の両方）でサンプリングされます。HDR-DDR ワードは、2 ビットのプリアンブル、それに続く 2 バイトのデータ、さらにそれに続く 2 ビットのパリティビットで構成されています。5 ビットの CRC とそれに続くトラフィックの波形は、図に示されていません。

SCL パルスの High 時間は常に 50 ns より短く、I^2C 50 ns スパイクフィルタにより SCL は常に Low に見えるため、その結果 HDR-DDR モードはレガシー I^2C デバイスに対して下位互換性があります。

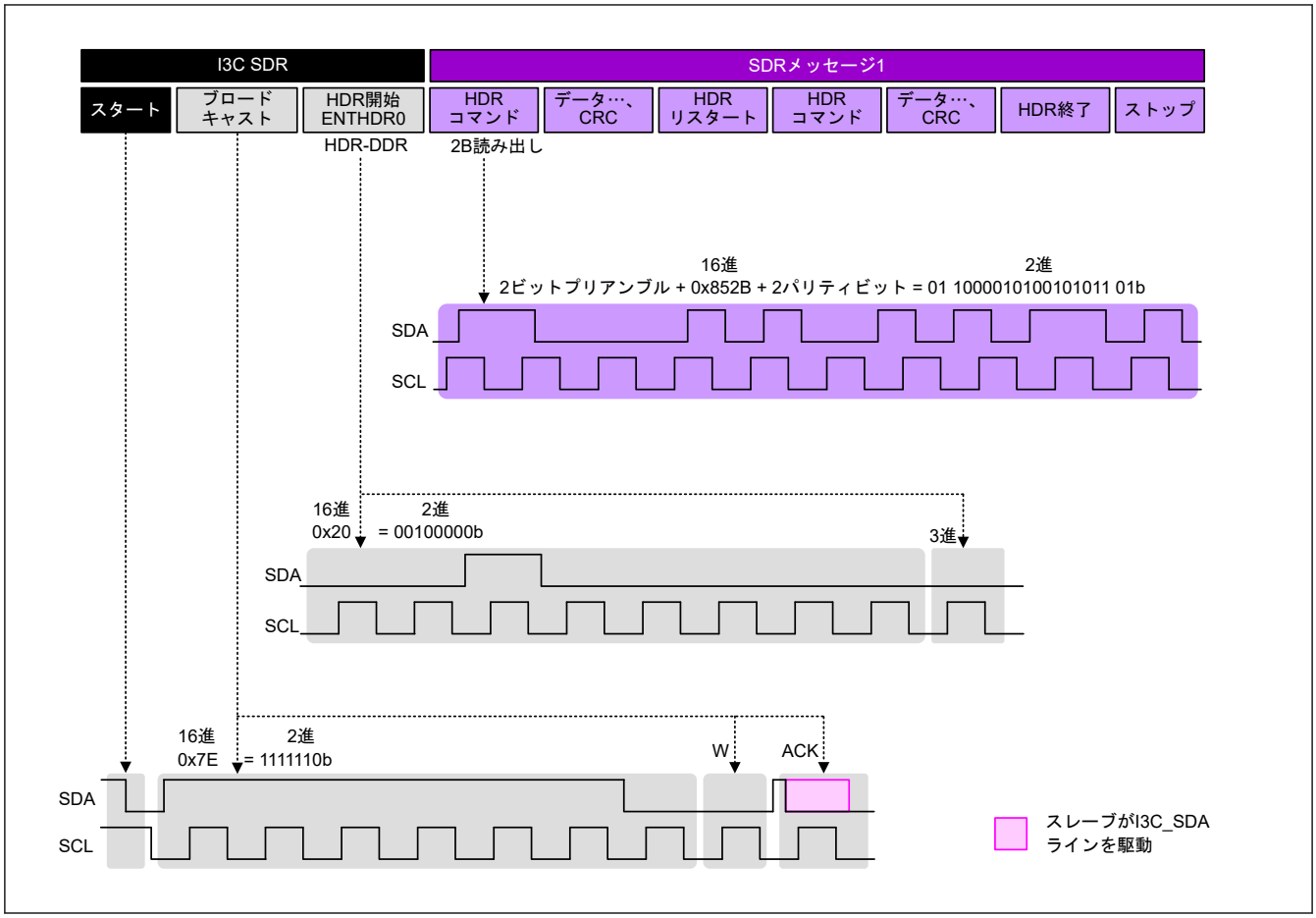


図 40.75　HDR-DDR プロトコルを使用した通信の例

図 40.76 に、レガシー I^2C デバイスがバスに存在するときのみに使用する、HDR-TSL (Ternary Symbol Legacy) モードの使用を示します。本図では、マスタがどのようにモードを SDR（シングルデータレート）モードから HDR-TSL モードに遷移するか、および HDR-TSL データフォーマットのサンプルを示します。

バスフリー条件から I3C_SCL ラインを High に保った状態で I3C_SDA ラインを Low にして、マスタはスタートコンディションを発行します。次に、ブロードキャストアドレス (0x7E) とそれに続く RnW（0：書き込み方向）を発行します。その結果、マスタはプルアップ抵抗を On にして、オープンドレインになります。これにより、全てのスレーブが SDA ラインを Low にすることでアクノリッジを発行できるようになります（図のピンク色の網掛けは、この時点で SDA ラインがスレーブ側のコントロール下にあることを意味しています）。次に、マスタはブロードキャスト共通コマンドコード ENTHDR2 (0x22) とそれに続く 0 パリティビット「T」(0x22 の奇数パリティ = 1）を発行します。この時点で、バスは HDR-TSL モードになります。このプロトコルで、I3C_SCL ラインは単なるクロックではありません。SDA 転送と SCL 転送の両方がデータを転送します。Ternary 変換は、各 8 進の桁が 2 つの Ternary シンボルと等価であることから理解できます。例えば、8 進文字 412255 があるとします。4 = 3 + 1、1 = 0 + 1、2 = 0 + 2、2 = 0 + 2、5 = 3 + 2、5 = 3 + 2SCL 遷移のとき、SDA が遷移するとき、または、両方のラインが遷移するときにクロックパルスが発生します。

SCL パルスの High 時間は常に 50 ns より短く、I^2C 50 ns スパイクフィルタにより SCL は常に Low に見えるため、その結果 HDR-TSL モードはレガシー I^2C デバイスに対して下位互換性があります。図において、濃い青の SCL の High から Low への遷移は SCL パルスが常に 50 ns より確実に短くなるようにするために加えられたダミーエッジであることに注意してください。SDA の遷移と同時でなく生じている SCL の High から Low への遷移は、常にダミー遷移です。

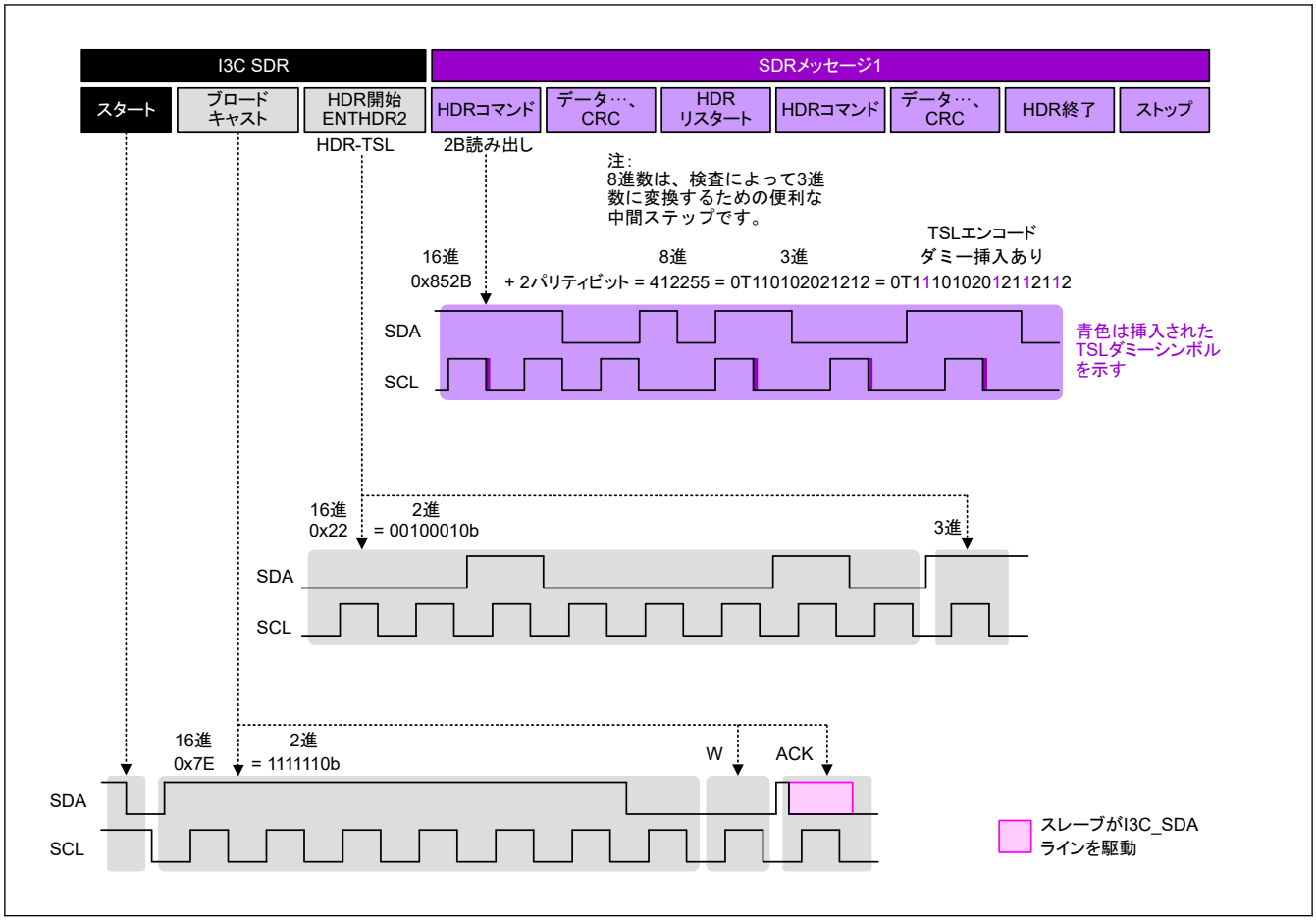


図 40.76　HDR-TSL プロトコルを使用した通信の例

図 40.77 に、HDR-TSP（ハイデータレート–I3C のみの Pure バスにおける Ternary シンボル）モードの使用を示します。本プロトコルは、I^2C デバイスがバス上に存在しないときのみに使用します。本図では、マスタがどのようにモードを SDR（シングルデータレート）モードから HDR-TSP モードに遷移するか、および HDR-TSP データフォーマットのサンプルを示します。

バスフリー条件から I3C_SCL ラインを High に保った状態で I3C_SDA ラインを Low にして、マスタはスタートコンディションを発行します。次に、マスタはブロードキャストアドレス (0x7E) とそれに続く RnW（0：書き込み方向）を発行します。その結果、マスタはプルアップ抵抗を On にして、オープンドレインになります。これにより、全てのスレーブが SDA ラインを Low にすることでアクノリッジを発行できるようになります（図のピンク色の網掛けは、この時点で SDA ラインがスレーブ側のコントロール下にあることを意味しています）。次に、マスタはブロードキャスト共通コマンドコード ENTHDR1 (0x21) とそれに続く 0 パリティビット「T」(0x21 の奇数パリティ = 1）を発行します。この時点で、バスは HDR-TSP モードになります。HDR-TSP プロトコルでは、SCL は単なるクロックではありません。SDA 転送と SCL 転送の両方がデータを転送します。Ternary 変換は、各 8 進の桁が 2 つの Ternary シンボルと等価であることから理解できます。例えば、8 進文字 412255 があるとします。(4 = 3 + 1、1 = 0 + 1、2 = 0 + 2、2 = 0 + 2、5 = 3 + 2、5 = 3 + 2）SCL 遷移のとき、SDA が遷移するとき、または、両方のラインが遷移するときにクロックパルスが発生します。

HDR-TSP モードは、最高のデータレートを最小のバイト当たりエネルギーでサポートします。しかし、SCL パルスの High 期間が 50 ns を超えることがあるため、レガシー I^2C デバイスとの下位互換性がありません。

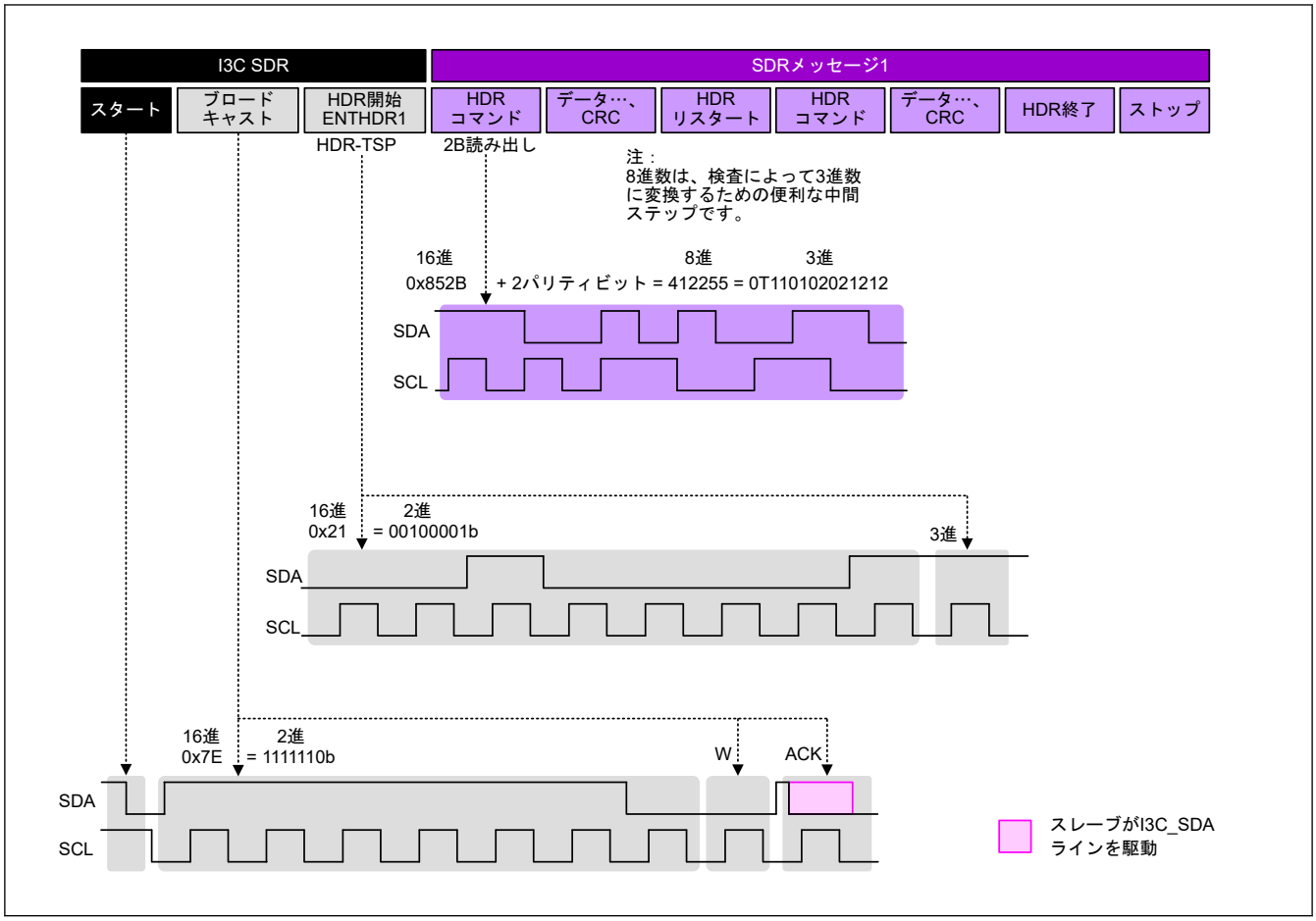


図 40.77　HDR-TSP プロトコルを使用した通信の例

40.3.2.3.2　バス状態

I3C では、I3C バスを非アクティブであるとみなす 3 つの識別状態を定義しいます。バスフリー状態、バス利用可能状態、バスアイドル状態（図 40.78 参照）です。

(1)　バスフリー状態

少なくとも BFRECDT.FRECYC[8:0]ビットで設定されている期間、I3C_SCL ラインと I3C_SDA ラインの両方が High であるときの I3C バスの状態です。

(2)　バス利用可能状態［I3C モード］

少なくとも BAVLCDT.AVLCYC[8:0]ビットで設定されている期間、I3C_SCL ラインと I3C_SDA ラインの両方が High であるときの I3C バスの状態です。

スレーブは、バス利用可能状態の後、（例えば、In-band 割り込みまたはマスタ移管要求のため）スタート要求のみを発行できます。

(3)　バスアイドル状態［I3C モード］

少なくとも BIDLCDT.IDLCYC[17:0]ビットで設定されている期間、I3C_SCL ラインと I3C_SDA ラインの両方が High であるときの I3C バスの状態です。

スレーブは、バスアイドル状態の後、スタート要求のみを発行できます。

仕様は以下のとおりです。IDLE が最大である必要があります。

BFRECDT.FRECYC[8:0] < BAVLCDT.AVLCYC[8:0] < BIDLCDT.IDLCYC[17:0]

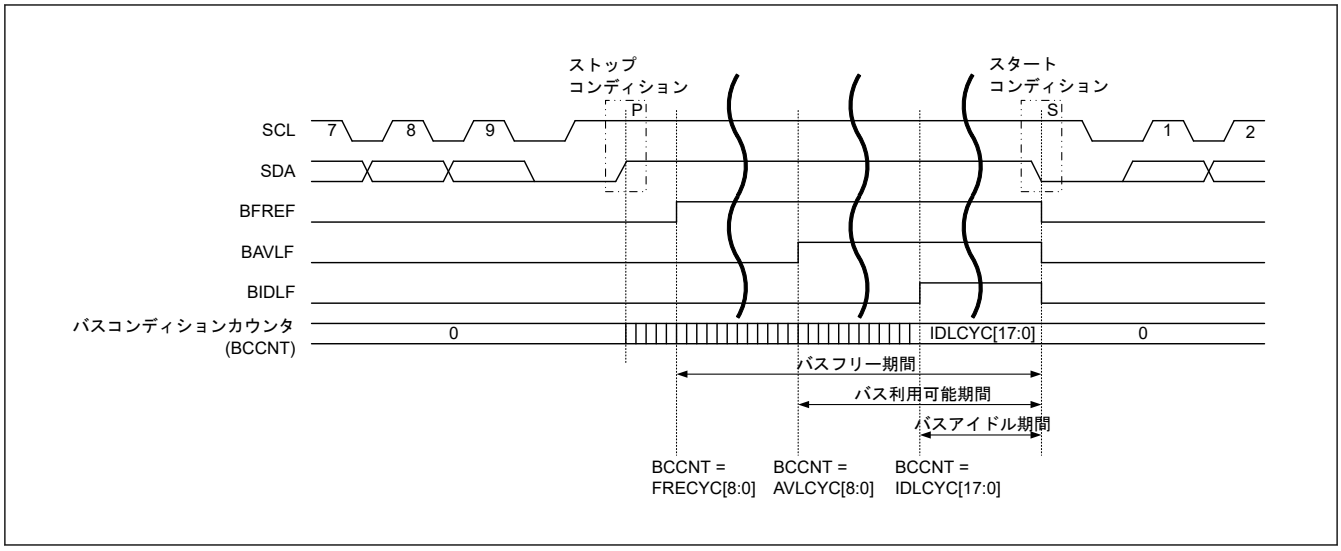


図 40.78　バス状態

40.3.2.3.3　スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能

(1)　スタートコンディション発行動作

I3C は、CNDCTL.STCND ビットが 1 のときにスタートコンディションを発行します。

STCND ビットは、BCST.BFREF フラグが 1（バスフリー状態）のとき、1（スタートコンディション発行要求）にしてください。

I3C はスタートコンディションを発行します。

スタートコンディションが正常に発行された場合、I3C は自動的にマスタ送信モードへ遷移します。スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- I3C_SDA ラインを立ち下げる（High から Low に遷移）。
- STDBR.SBRHO[7:0]で設定した時間とスタートコンディションのホールド時間を確保する。
- I3C_SCL ラインを立ち下げる（High から Low に遷移）。
- I3C_SCL ラインの Low を検出し、STDBR.SBRLO[7:0]で設定した I3C_SCL ラインの Low 幅を確保する。

(2)　繰り返しのスタートコンディション発行動作

I3C は、CNDCTL.SRCND ビットが 1 のときに繰り返しのスタートコンディションを発行します。

SRCND ビットを 1 にすると、繰り返しのスタートコンディション発行要求が行われ、BCST.BFREF フラグが 0（バスビジー状態）で、かつ PRSST.CRMS ビットが 1（マスタモード）の場合、I3C は繰り返しのスタートコンディションを発行します。

繰り返しのスタートコンディションの発行は、以下のシーケンスに従って行われます。

[繰り返しのスタートコンディション発行動作]

- I3C_SDA ラインを解放する。
- STDBR.SBRLO[7:0]または EXTBR.EBRLO[7:0]で設定した I3C_SCL ラインの Low 幅が経過したことを確認する。
- I3C_SCL ラインを解放する（Low から High に遷移）。
- I3C_SCL ラインの High を検出し、STDBR.SBRLO[7:0]または EXTBR.EBRLO[7:0]で設定した時間と繰り返しのスタートコンディションのセットアップ時間を確保する。
- I3C_SDA ラインを立ち下げる（High から Low に遷移）。

- STDBR.SBRHO[7:0]または EXTBR.EBRHO[7:0]または EXTBR.EBRHO[7:0]で設定した時間と繰り返しのスタートコンディションのホールド時間を確保する。
- I3C_SCL ラインを立ち下げる（High から Low に遷移）。
- I3C_SCL ラインの Low を検出し、STDBR.SBRLO[7:0]または EXTBR.EBRLO[7:0]で設定した I3C_SCL ラインの Low 幅を確保する。

注. 繰り返しのスタートコンディション要求の発行時、CNDCTL.SRCND が 0 であることを確認してから、NTDTBP0 レジスタにスレーブアドレスを書いてください。CNDCTL.SRCND が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

Hs モードで繰り返しのスタートコンディションを発行するには、次の手順に従ってください。

1. PRSTDBG.SCOLV = 0 を待機します。
2. 繰り返しのスタートコンディションのホールド時間を満たすように、EXTBR.EBRHO[7:0]を設定します。
3. CNDCTL.SRCND ビットを 1 にします。
4. CNDCTL.SRCND = 0 であることを確認してから、PRSTDBG.SCOLV = 0 を待機します。
5. Hs モードの SCL クロックの High 期間に従って、EXTBR.EBRHO[7:0]を設定します。
6. NTDTBP0 にスレーブアドレスを書き込みます。

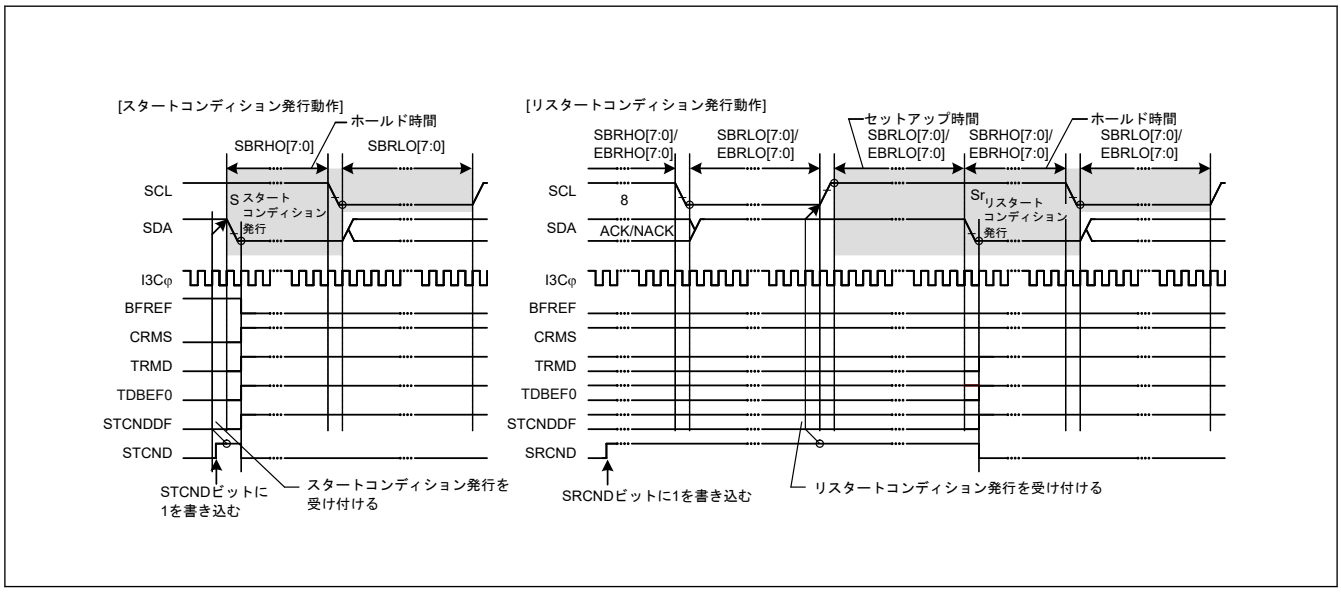


図 40.79 スタートコンディション／繰り返しのスタートコンディション発行動作タイミング（STCND、SRCND ビット）

図 40.80 に、マスタ送信後に繰り返しのスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後の繰り返しのスタートコンディション発行動作]

- 初期設定。詳細は、「40.3.3.1. 初期設定フロー」を参照してください。
- BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットに 1 を書きます（スタートコンディション発行要求）。I3C はこの要求を受け付けると、スタートコンディションを発行します。同時に、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力状態の内部レベルと I3C_SDA ラインのレベルが一致していれば、I3C は STCND ビットによるスタートコンディション発行が正常に完了したことを認識し、PRSST.CRMS、PRSST.TRMD ビットが自動的に 1 になり、I3C はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
- NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、NTDTBP0 レジスタからデータが転送されて、再び TDBEF0 フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRMD ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビット

の値が 0 であった場合、I3C はマスタ送信モードの状態を継続します。このとき BST.NACKDF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、CNDCTL.SPCND ビットに 1 を書いて、ストップコンディションを発行してください。なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で NTDTBP0 レジスタに 1111 0、スレーブアドレスの上位 2 ビット、および W を書きます。次に、2 回目のアドレス送信処理では、NTDTBP0 レジスタにスレーブアドレスの下位 8 ビットを書いてください。

- NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書き込んでください。なお、送信データの準備ができるまで、繰り返しのスタートコンディションを発行するまで、またはストップコンディションを発行するまでの間、I3C は自動的に I3C_SCL ラインを Low にホールドします。
- 送信する全バイトを NTDTBP0 レジスタに書いた後、BST.TENDF フラグが 1 に戻るのを待ってから、BST.STCNDDF フラグが 1 であることを確認した後、BST.STCNDDF フラグを 0 にしてください。
- CNDCTL.SRCND ビットを 1（繰り返しのスタートコンディション発行要求）にします。I3C はこの要求を受け付けると、繰り返しのスタートコンディションを発行します。
- BST.STCNDDF フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。

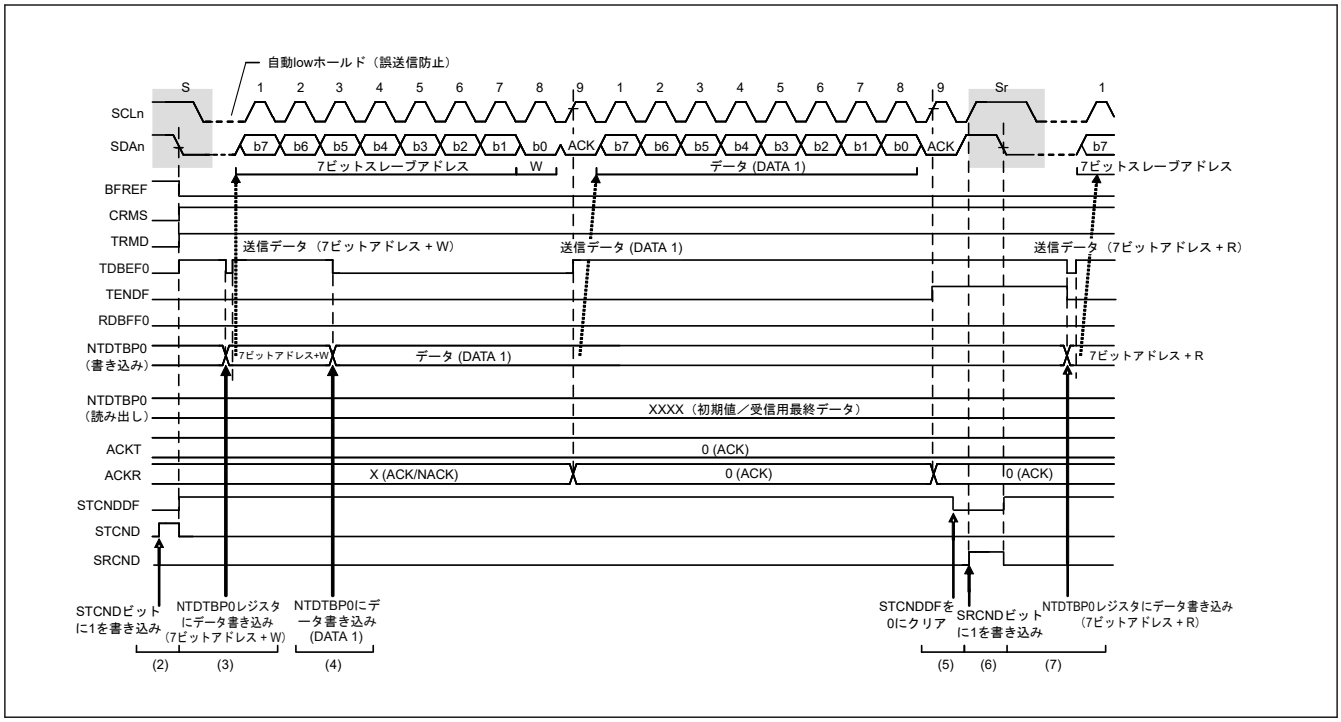


図 40.80　マスタ送信後の繰り返しのスタートコンディション発行タイミング

(3)　ストップコンディション発行動作

I3C は、CNDCTL.SPCND ビットが 1 のときにストップコンディションを発行します。

SPCND ビットを 1 にすると、ストップコンディション発行要求が行われ、BCST.BFREF フラグが 0（バスビジー状態）で、かつ PRSST.MST ビットが 1（マスタモード）の場合、I3C はストップコンディションを発行します。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- I3C_SDA ラインを立ち下げる（High から Low に遷移）。
- STDBR.SBRLO[7:0]または EXTBR.EBRLO[7:0]で設定した I3C_SCL ラインの Low 幅が経過したことを確認する。
- I3C_SCL ラインを解放する（Low から High に遷移）。
- I3C_SCL ラインの High を検出し、STDBR.SBRHO[7:0]または EXTBR.EBRHO[7:0]で設定した時間とストップコンディションのセットアップ時間を確保する。

- I3C_SDA ラインを解放する（Low から High に遷移）。
- BFRECDT.FRECYC[8:0]で設定した時間とバスフリー時間を確保する。
- BFREF フラグを 1 にしてバス権を解放する。

注. Hs モードでストップコンディションを発行するには、次の手順に従ってください。

1. PRSTDBG.SCOLV = 0 を待機します。
2. ストップコンディションのセットアップ時間を満たすように EXTBR.EBRHO[7:0]を設定します。
3. CNDCTL.SPCND ビットを 1 にします。
4. CNDCTL.SPCND = 0 を待機します。
5. Hs モードの SCL クロックの High 期間に従って、EXTBR.EBRHO[7:0]を設定します。

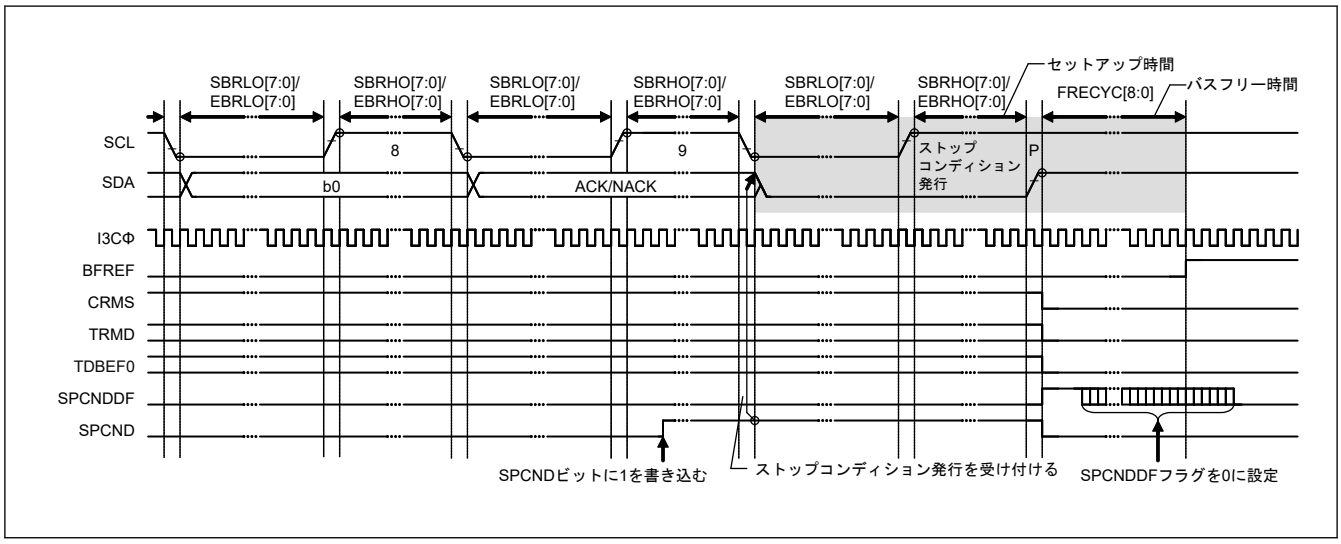


図 40.81 ストップコンディション発行タイミング（SPCND ビット）

40.3.2.3.4 アドレス一致検出機能

I3C は、ジェネラルコールアドレスとホストアドレスに加えて 3 つの固有のスレーブアドレスを設定でき、また 7 ビットまたは 10 ビットスレーブアドレスを設定することもできます。

(1) スレーブアドレス一致検出機能［I²C モード］

I3C は、3 つの固有のスレーブアドレスを設定でき、それぞれに対してスレーブアドレス検出機能を備えています。

SVCTL.SVAEy ビット (y = 0～2) が 1 のとき、SVDVADy レジスタ (y = 0～2) に設定されたスレーブアドレスを検出できます。

I3C は設定されたスレーブアドレスの一致を検出すると、SCL クロックの 9 クロック目の立ち上がりエッジで該当する SVST.SVAF[y]フラグ (y = 0～2) を 1 にし、続く R/W#ビットにより NTST.RDBFF0 フラグまたは NTST.TDBEF0 フラグを 1 にします。これにより、通常受信データバッファフル割り込み (I3C_RX) または通常送信データバッファエンプティ割り込み (I3C_TX) が発生します。SVAF[y]フラグを確認することで、どのスレーブアドレスが指定されたかを識別できます。

図 40.82～図 40.84 に SVAF[y]フラグが 1 になるタイミングを 3 つのケースで示します。

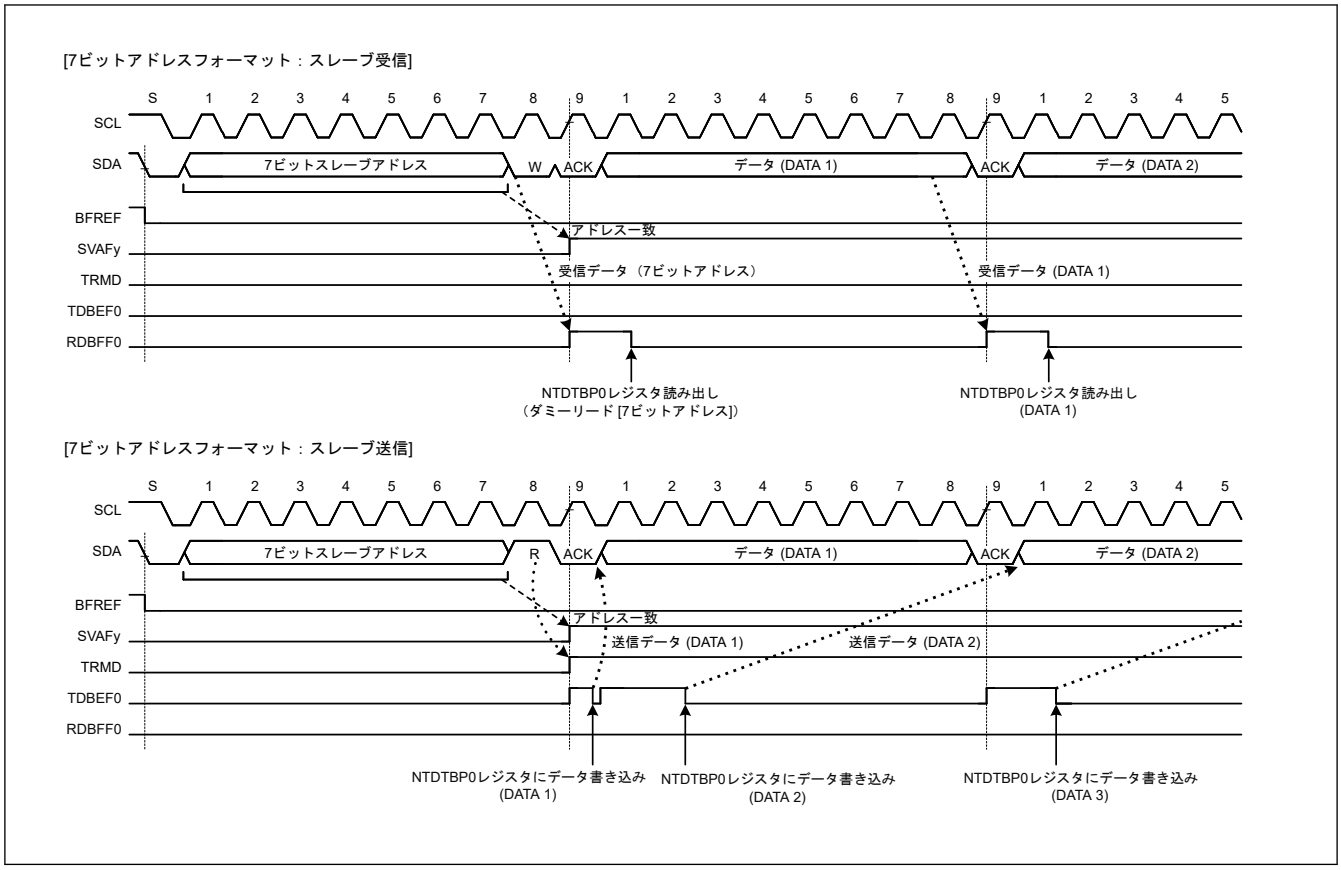


図 40.82　SVAFy フラグが 1 になるタイミング（7 ビットアドレスフォーマット選択時）

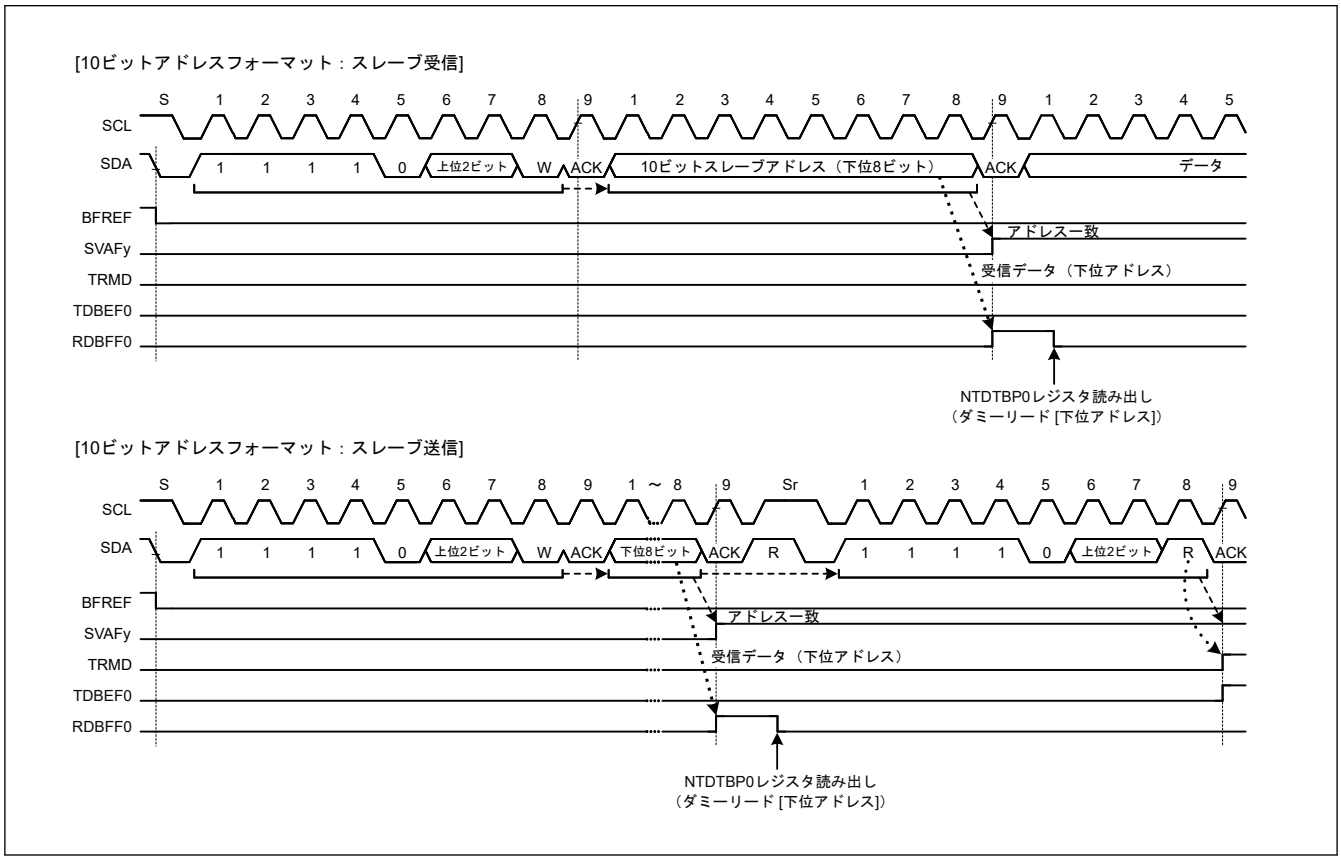


図 40.83　SVAFy フラグが 1 になるタイミング（10 ビットアドレスフォーマット選択時）

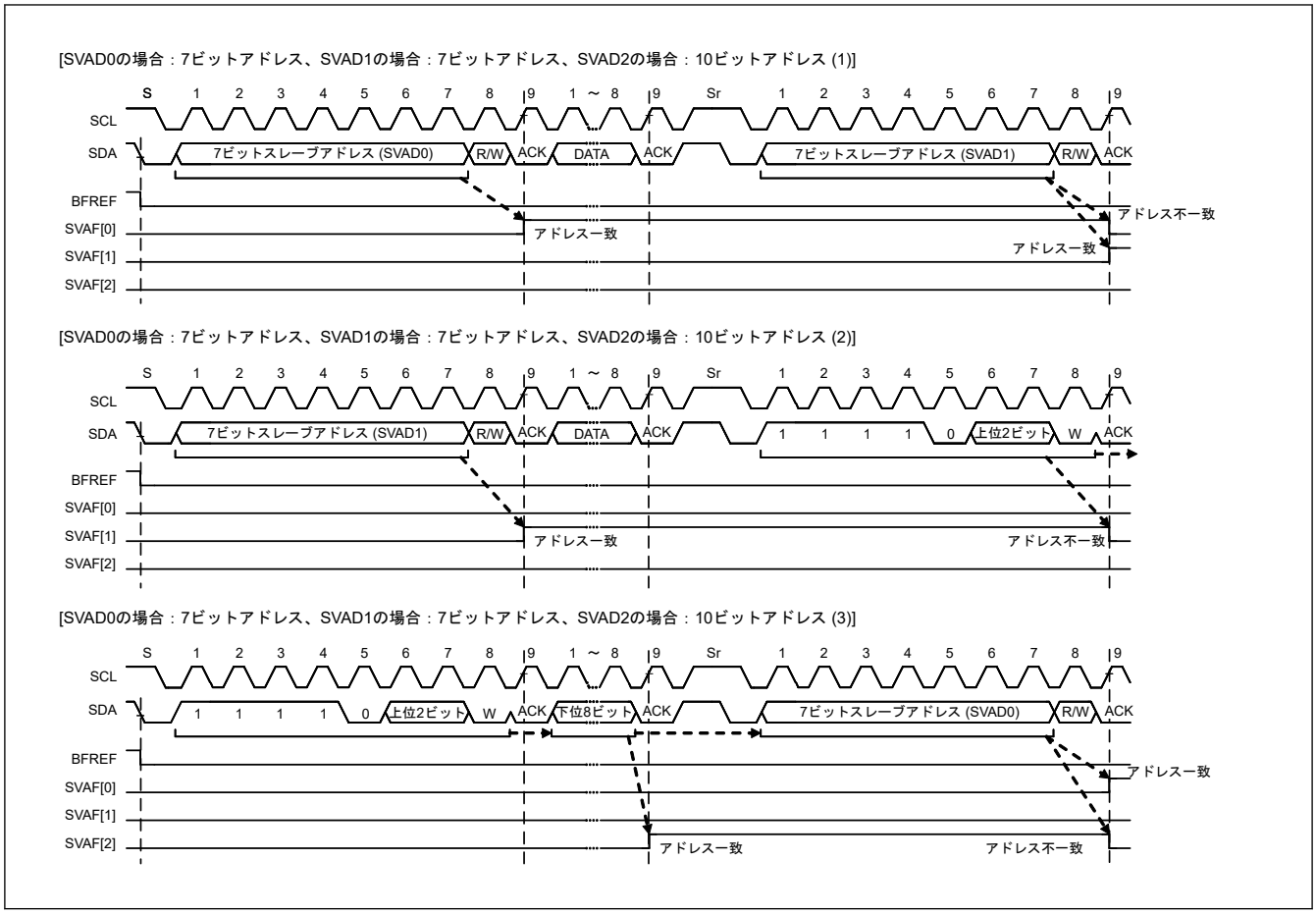


図 40.84　SVAFy フラグが 1 または 0 になるタイミング（7 ビット／10 ビットアドレスフォーマット混在時）

(2)　ジェネラルコールアドレス検出機能［I^2C モード］

I3C は、ジェネラルコールアドレス (0000 000 + 0[W]) の検出機能を備えています。この機能は、SVCTL.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたは繰り返しのスタートコンディション発行後に受信したアドレスが 0000 000 + 1[R]（開始バイト）の場合は、I3C はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスとして認識しません。

I3C がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりエッジで SVST.GCAF フラグと NTST.RDBFF0 フラグの両方が 1 になります。これにより、通常受信データバッファフル割り込み (I3C_RX) が発生します。GCAF フラグの値を確認することで、ジェネラルコールアドレスが送信されたことを識別できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

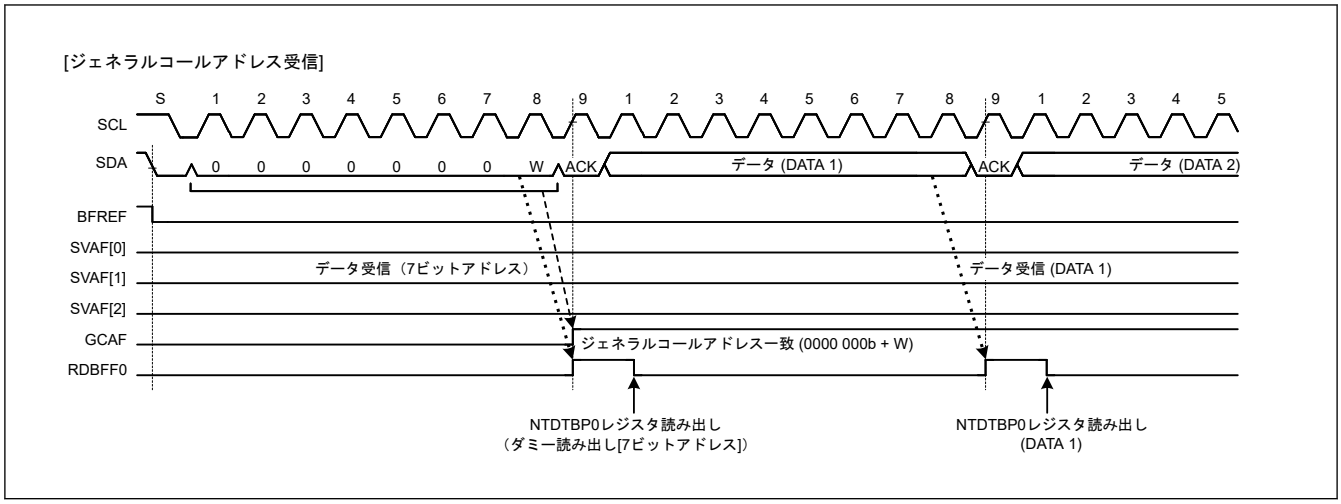


図 40.85　ジェネラルコールアドレス受信時に GCAF フラグが 1 になるタイミング

(3)　デバイス ID アドレス検出機能［I²C モード］

I3C モジュールは、I²C バス規格 (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。I3C が SVCTL.DVIDE ビットを 1 にした状態で、スタートコンディションまたは繰り返しのスタートコンディション発行後の 1 バイト目に 1111 100 を受信すると、I3C はこのアドレスをデバイス ID アドレスと認識し、続く R/W#ビットが 0 のとき SCL クロックの 9 クロック目の立ち上がりエッジで SVST.DVIDF フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、I3C は対応する SVST.SVAF[y]フラグ (y = 0～2) を 1 にします。

その後スタートコンディションまたは繰り返しのスタートコンディション発行後の 1 バイト目が再びデバイス ID アドレス (1111 100) と一致し、続く R/W#ビットが 1 のときは、I3C は 2 バイト目以降のアドレス比較動作を行わず、NTST.TDBEF0 フラグを 1 にします。

デバイス ID アドレス検出機能では、I3C のスレーブアドレスと一致しなかった場合、あるいは I3C のスレーブアドレスと一致し、繰り返しのスタートコンディションを検出した時にデバイス ID アドレスと一致しなかった場合、I3C は DVIDF フラグを 0 にします。スタートコンディションまたは繰り返しのスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100) と一致し、かつ R/W#ビットが 0 の場合は、I3C は DVIDF フラグを 1 にして、続く 2 バイト目以降を I3C のスレーブアドレスと比較します。R/W#ビットが 1 の場合、DVIDF フラグは前値の状態を継続し、I3C は 2 バイト目以降を比較しません。このようにして、TDBEF0 = 1 の確認後、DVIDF フラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして、必要な情報（3 バイトデータ：メーカ情報［12 ビット］＋部品識別［9 ビット］＋リビジョン［3 ビット］）を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。

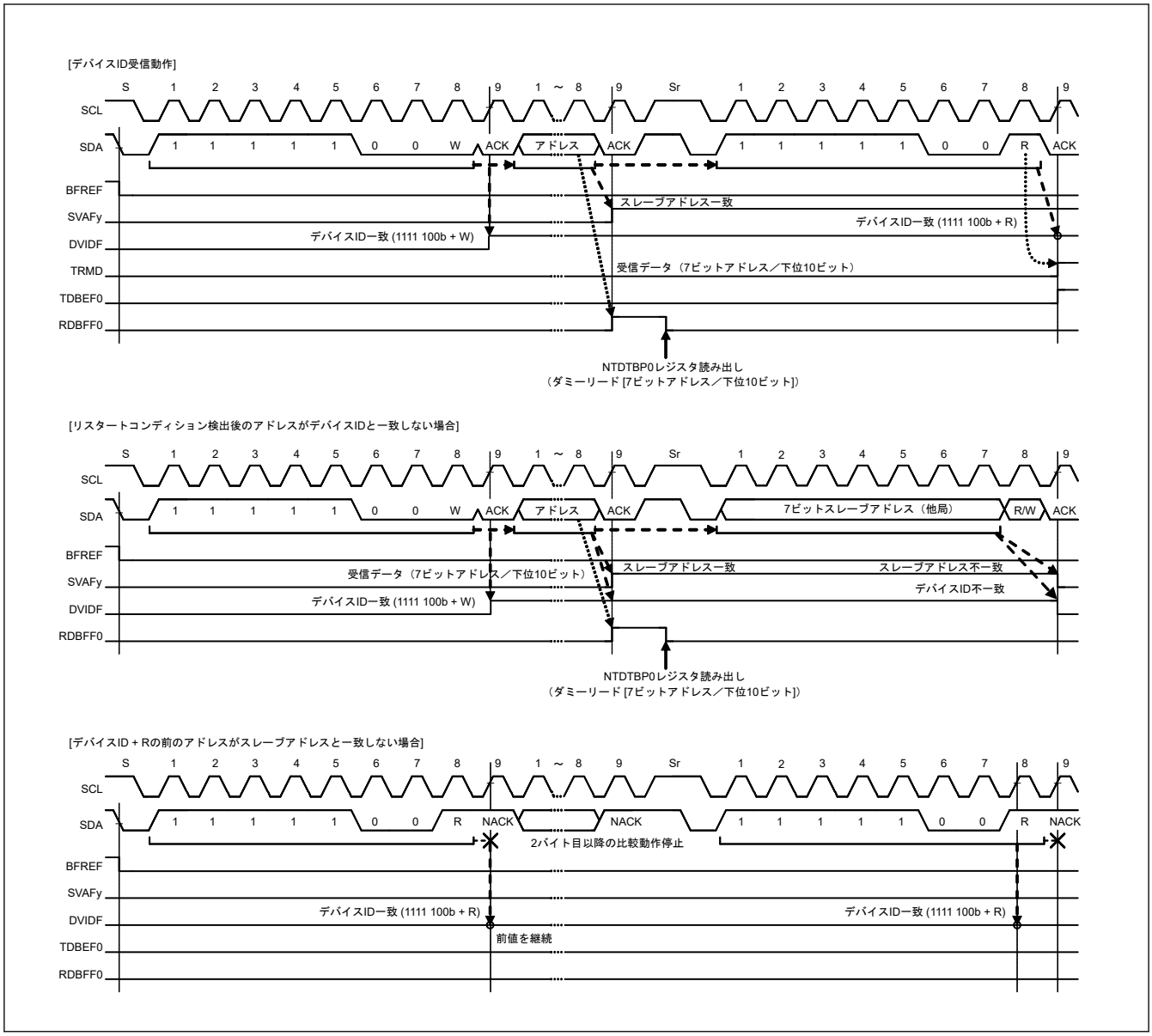


図 40.86　デバイス ID 受信時に SVAFy/DVIDF フラグが 1 または 0 になるタイミング

(4)　ホストアドレス検出機能［I2C モード］

I3C は、SMBus 動作時にホストアドレスを検出する機能を備えています。BFCTL.SMBS ビットが 1 のとき SVCTL.HOAE ビットを 1 にすると、I3C はスレーブ受信モード（PRSST レジスタの CRMS と TRMD = 00）時に、ホストアドレス (0001 000) の検出が可能です。

I3C がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりエッジで SVST.HOAF フラグが 1 になると同時に、R/W# ビットが 0（Wr ビット）のとき、NTST.RDBFF0 フラグが 1 になります。これにより、通常受信データバッファフル割り込み (I3C_RX) が発生します。HOAF フラグを用いて、スマートバッテリなど他のデバイスからホストアドレスが送信されたことを識別できます。

ホストアドレス (0001 000) に続くビットが Rd ビット（R/W#ビットが 1）である場合も、I3C はホストアドレスを検出できます。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

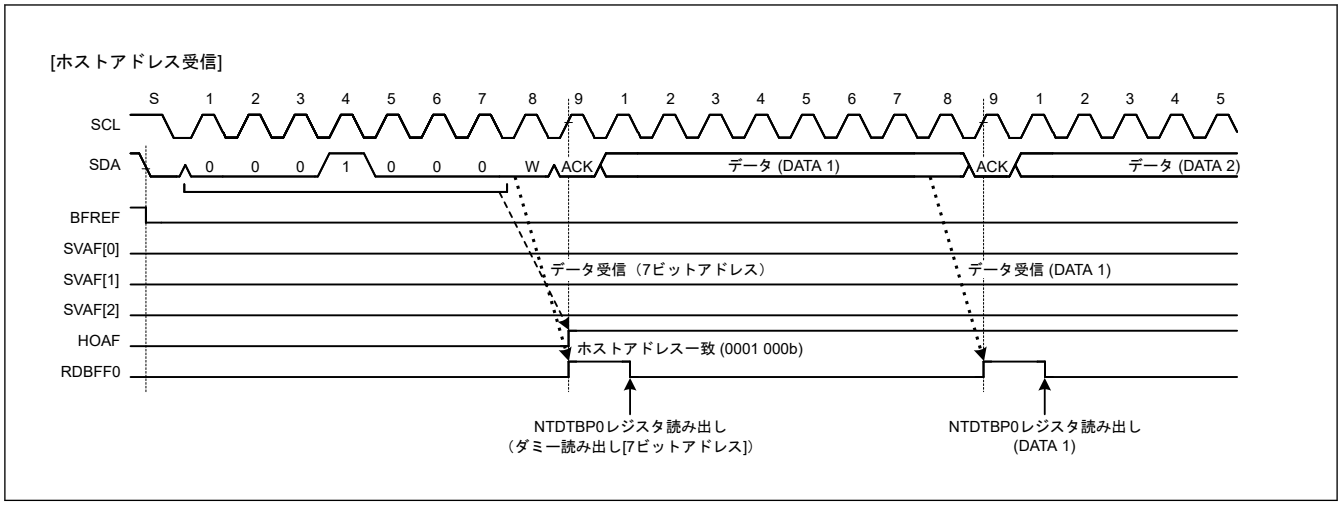


図 40.87　ホストアドレス受信時に HOAF フラグが 1 になるタイミング

(5)　Hs モードマスタコード検出機能［I²C モード］

IIC は、Hs モードマスタコード (0000 1XXXb) の検出機能を備えています。SVCTL.HSMCE ビットを 1 にした状態で、IIC がスタートコンディション発行後の 1 バイト目に Hs モードマスタコード (0000 1XXXb) を受信すると、このモジュールはこのアドレスを Hs モードマスタコードと認識し、SCL クロックの 9 クロック目の立ち上がりエッジで SVST.HSMCF フラグを 1 にします。Hs モードマスタコードへの NACK 応答後の繰り返しのスタート後の 1 バイト目はスレーブアドレスとして認識され、SVDVADy.SVAD[9:0] (y = 0～2) で設定されたスレーブアドレスと比較されます。IIC は設定されたスレーブアドレスの一致を検出すると、SCL クロックの 9 クロック目の立ち上がりエッジで該当する SVST.SVAF[y]フラグ (y = 0～2) を 1 にし、続く R/W#ビットにより NTST.RDBFF0 フラグまたは NTST.TDBEF0 フラグを 1 にします。これにより、通常受信データバッファフル割り込み (I3C_RX) または通常送信データバッファエンプティ割り込み (I3C_TX) が発生します。SVAF[y]フラグを確認することで、どのスレーブアドレスが指定されたかを識別できます。SVST.HSMCF フラグは、ストップコンディションを検出すると 0 になります。

注.　SVCTL.HSMCE ビットが 0 のときに Hs モードマスタコード (0000 1XXXb) を受信する場合、ストップコンディションを検出するまで他のパターンは無視されます。

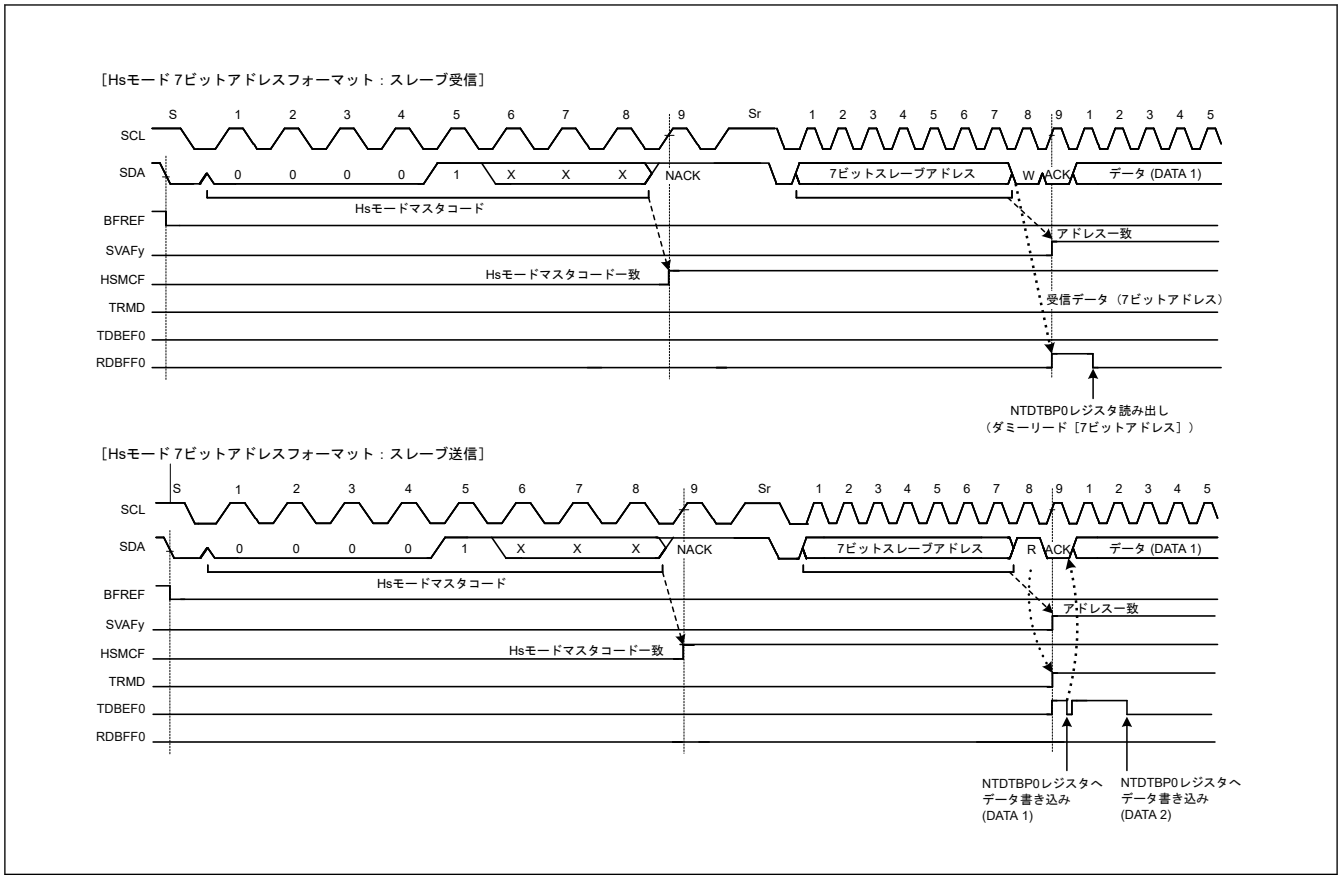


図 40.88　Hs モードマスタコード受信時に SVAFy/HSMCF フラグが 1 になるタイミング

(6)　CCC 検出機能［I3C モード］

- ブロードキャスト CCC の場合
  1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 0 を受信します。
  2. ACK に応答します。
  3. 共通コマンドコード (CCC) を受信します。
  4. CCC に従い、以下のデータを格納します。（格納先は、表 40.11 を参照。）
  5. 受信ステータスディスクリプタを受信ステータスキューに格納します。
- ブロードキャスト CCC (ENTDAA) の場合
  1. スタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 0 を受信します。
  2. ACK に応答します。
  3. ENTDAA を受信します。
  4. 繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 1 を受信した場合。
  5. ダイナミックアドレスが配置されない場合、ACK 応答をします。
  6. この暫定 ID (SDCTPIDH[31:0], SDCTPIDL[15:0])、BCR (SVDCT.TBCRn)、DCR (SVDCT.TDCR[7:0]) を送信します。
  7. 上記 6.の送信でアービトレーションを獲得したら、それに続くダイナミックアドレスを受信します。
     上記 6.の送信でアービトレーションをロストしたら、4.から 6.の処理を繰り返します。
  8. ダイナミックアドレスのパリティが正しい場合、ACK 応答をします。
  9. ダイナミックアドレスのパリティが正しくない場合、NACK 応答をして、4.から 7.の処理を繰り返します。

10. SDATBAS0.SDDYAD[7:0]を更新し、SVDVAD0.SDYADV ビットを 1 にします。
11. ストップコンディションを検出したら、受信ステータスディスクリプタを受信ステータスキューに格納します。

- ブロードキャスト CCC（ENTHDR（注））の場合
  1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 0 を受信します。
  2. ACK に応答します。
  3. ENTHDR（注）を受信します。
  4. ENTHDR（注）に従い、HDR テストモードに遷移します。
  5. HDR コマンドワードを受信します。
  6. HDR コマンドワードのダイナミックアドレスを配置されたダイナミックアドレスと比較し、一致した場合、リード／ライトビットに従って送信／受信をします。
     一致しない場合、HDR リスタートパターンまたは HDR 終了パターン + ストップコンディションを待ちます。
  7. HDR リスタートパターンまたは HDR 終了パターン + ストップコンディションを受信すると、受信ステータスディスクリプタが受信ステータスキューに格納されます。
     HDR リスタートパターンでは、手順 5～6 を再度行ってください。
- ダイレクトライト CCC の場合
  1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 0 を受信します。
  2. ACK に応答します。
  3. 共通コマンドコード (CCC) を受信します。
  4. 繰り返しのスタートコンディションの後、ダイナミックアドレスと R/W# = 0 を受信します。
  5. 受信されたダイナミックアドレスを配置されたダイナミックアドレスと比較し、一致した場合、I3C は ACK を応答します。
     一致しない場合、NACK を応答し、繰り返しスタートコンディションまたはストップコンディションを待ちます。
  6. CCC に従い、以下のデータを格納します。（格納先は、表 40.11 を参照。）
  7. 受信ステータスディスクリプタを受信ステータスキューに格納します。
- ダイレクトリード CCC の場合
  1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 1 を受信します。
  2. ACK に応答します。
  3. 共通コマンドコード (CCC) を受信します。
  4. 繰り返しのスタートコンディションの後、ダイナミックアドレスと R/W# = 1 を受信します。
  5. 受信されたダイナミックアドレスを配置されたダイナミックアドレスと比較し、一致した場合、I3C は ACK を応答します。
     一致しない場合、NACK を応答し、繰り返しスタートコンディションまたはストップコンディションを待ちます。
  6. CCC に従い、SFR から応答します。（応答 CCC については、表 40.11 を参照。）
  7. 受信ステータスディスクリプタを受信ステータスキューに格納します。

表 40.11　共通コマンドコード動作 (1/2)

コマンドコード	CCC の種類	コマンド名	データの有無	自動応答	格納先
0x00	Broadcast	ENEC	あり	—	SFR
0x01	Broadcast	DISEC	あり	—	SFR

表 40.11 共通コマンドコード動作 (2/2)

コマンドコード	CCC の種類	コマンド名	データの有無	自動応答	格納先
0x02	Broadcast	ENTAS0	なし	—	SFR
0x03	Broadcast	ENTAS1	なし	—	SFR
0x04	Broadcast	ENTAS2	なし	—	SFR
0x05	Broadcast	ENTAS3	なし	—	SFR
0x06	Broadcast	RSTDAA	なし	—	SFR
0x07	Broadcast	ENTDAA	あり	あり	SFR
0x08	Broadcast	DEFSLVS	あり	—	FIFO
0x09	Broadcast	SETMWL	あり	—	SFR
0x0A	Broadcast	SETMRL	あり	—	SFR
0x0B	Broadcast	ENTTM	あり	—	SFR
0x20	Broadcast	ENTHDR0	なし	—	なし
0x21	Broadcast	ENTHDR1	なし	—	なし
0x22	Broadcast	ENTHDR2	なし	—	なし
0x28	Broadcast	SETXTIME	あり	—	FIFO
0x29	Broadcast	SETAASA	なし	—	SFR
0x80	Direct Write	ENEC	あり	—	SFR
0x81	Direct Write	DISEC	あり	—	SFR
0x82	Direct Write	ENTAS0	なし	—	SFR
0x83	Direct Write	ENTAS1	なし	—	SFR
0x84	Direct Write	ENTAS2	なし	—	SFR
0x85	Direct Write	ENTAS3	なし	—	SFR
0x86	Direct Write	RSTDAA	なし	—	SFR
0x87	Direct Write	SETDASA	あり	—	SFR
0x88	Direct Write	SETNEWDA	あり	—	SFR
0x89	Direct Write	SETMWL	あり	—	SFR
0x8A	Direct Write	SETMRL	あり	—	SFR
0x8B	Direct Read	GETMWL	—	あり	SFR
0x8C	Direct Read	GETMRL	—	あり	SFR
0x8D	Direct Read	GETPID	—	あり	SFR
0x8E	Direct Read	GETBCR	—	あり	SFR
0x8F	Direct Read	GETDCR	—	あり	SFR
0x90	Direct Read	GETSTATUS	—	あり	SFR
0x91	Direct Read	GETACCMST	—	あり	SFR
0x94	Direct Read	GETMXDS	—	あり	SFR
0x95	Direct Read	GETHDRCAP	—	あり	SFR
0x98	Direct Write	SETXTIME	あり	—	FIFO
0x99	Direct Read	GETXTIME	—	あり	SFR

40.3.2.3.5 アービトレーションロスト検出機能［I^2C モード］

I3C は、I^2C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出、スレーブ送信時のアービトレーションロスト検出機能を備えています。

(1) マスタアービトレーションロスト検出機能（MALE ビット）

I3C は、スタートコンディションを発行するために I3C_SDA ラインを Low にします。しかし、これよりも早く他のマスタデバイスがスタートコンディションを発行して I3C_SDA ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に BCST.BFREF フラグが 0（バスビジー中）のときに CNDCTL.STCND ビットを 1 にすると、アービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ（内部の SDA 出力レベル）と I3C_SDA ラインのレベルが不一致（内部 SDA 出力が High 出力、つまり I3C_SDA 端子がハイインピーダンス状態）で、I3C_SDA ラインに Low を検出したとき、I3C はアービトレーションロストを発生させます。

BSTE.ALE = 1 かつ BFCTL.MALE = 1（マスタアービトレーションロスト検出有効）の状態で、次の条件が成立したとき、I3C はマスタアービトレーションロストを検出します。

バス権のアービトレーションがロストしたとき、I3C はただちにスレーブ受信モードに遷移します。

このとき、スレーブアドレス（ジェネラルコールアドレスを含む）が自身のアドレスと一致していれば、I3C はスレーブ動作を継続します。

[マスタアービトレーションロスト条件]

- BCST.BFREF フラグが 1 の状態で CNDCTL.STCND ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと I3C_SDA ラインのレベルが不一致のとき（スタートコンディション発行エラー）
- BFREF フラグが 0 の状態で CNDCTL.STCND ビットを 1 にしたとき（スタートコンディション二重発行エラー）

  注. I3C はスタートコンディションを発行しません。
- マスタ送信モード時（PRSST レジスタのビット CRMS および TRMD = 11b）、アクノリッジを除く送信データ（内部の SDA 出力レベル）と I3C_SDA ラインのレベルが不一致のとき

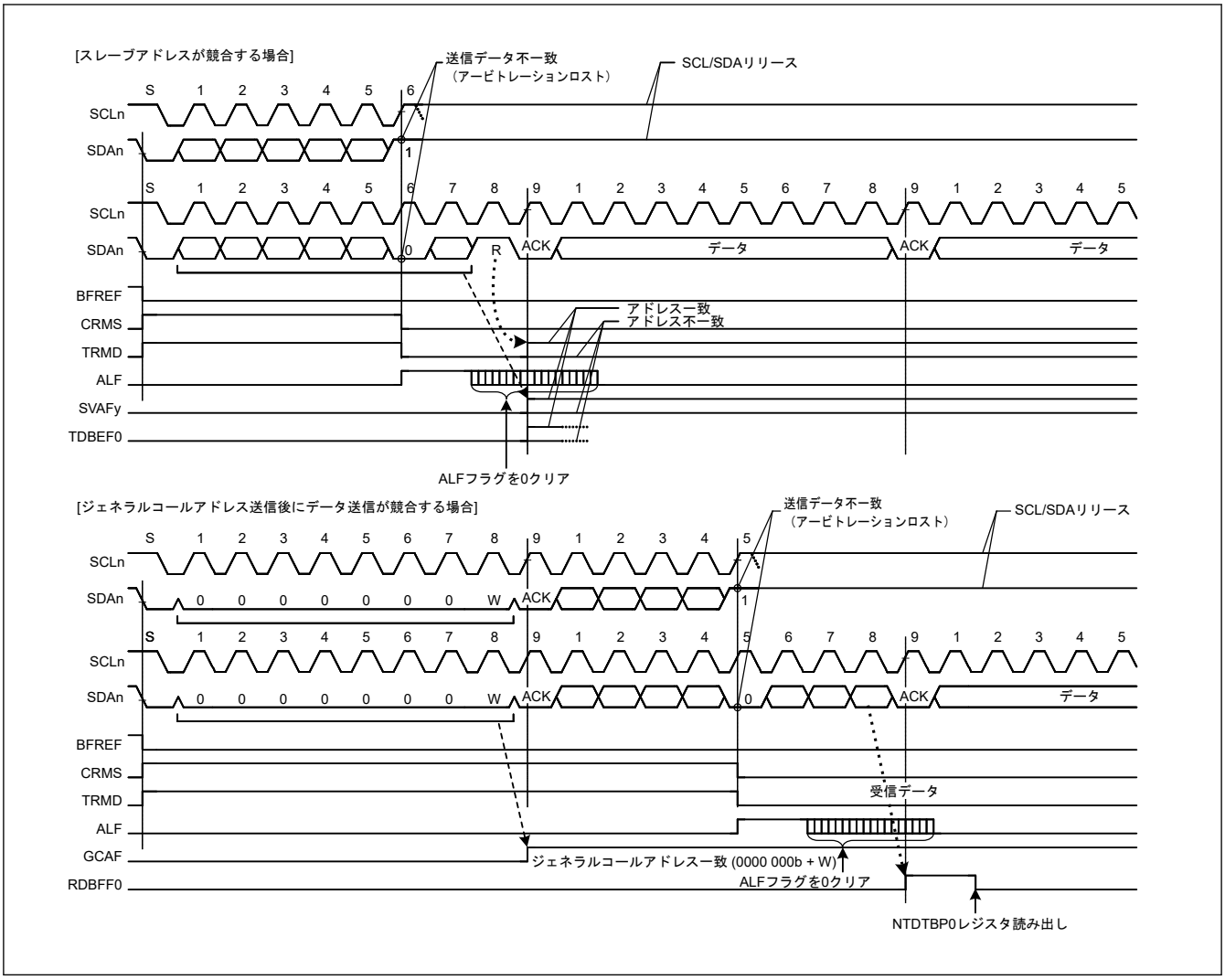


図 40.89　マスタアービトレーションロスト検出動作例（MALE = 1 の場合）

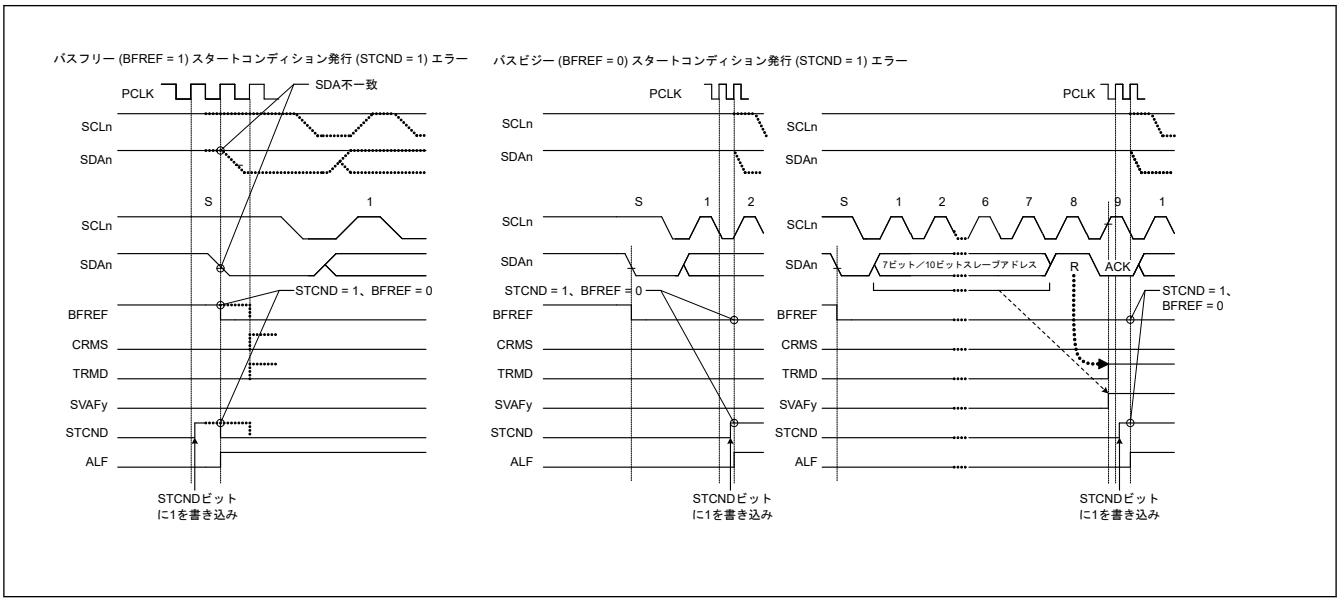


図 40.90　スタートコンディション発行時のアービトレーションロスト検出動作例（MALE = 1 の場合）

(2) NACK 送信中のアービトレーションロスト検出（NALE ビット）

I3C は、受信モード時で NACK 送信時に出力した SDA 信号と I3C_SDA ライン上の信号の状態が不一致（内部 SDA 出力が High 出力、つまり I3C_SDA 端子がハイインピーダンス状態）で、I3C_SDA ラインに Low を検出したとき、アービトレーションロストを発生させる機能を備えています。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。

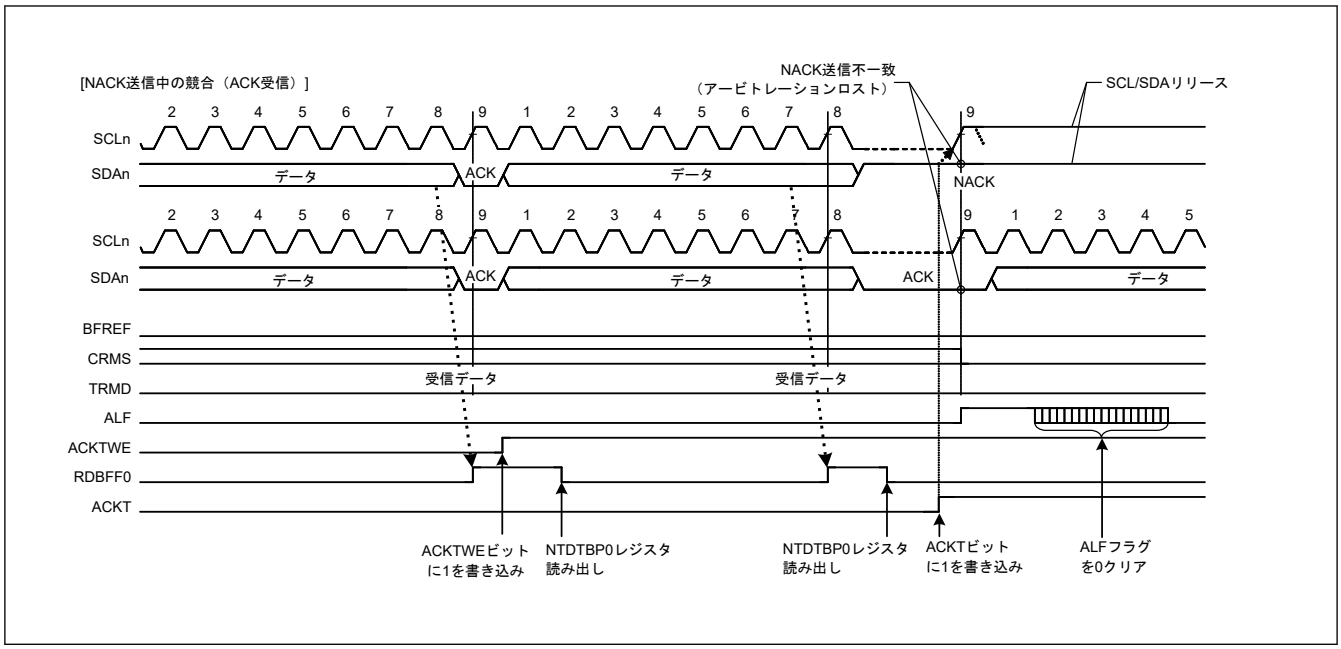


図 40.91　NACK 送信中のアービトレーションロスト検出の動作例（NALE = 1 の場合）

以下では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。そのため、マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。この例でマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。そのため、このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

本モジュールは、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。

NACK 送信時にアービトレーションロストが発生すると、本モジュールはただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、アサインアドレスコマンド後の Get UDID（汎用）処理でアサインアドレスの UDID（ユニークデバイス ID）が不一致の場合に、追加クロック処理（0xFF 送信処理など）を省くことができます。

BSTE.ALE ビットが 1 かつ BFCTL.NALE ビットが 1（NACK 送信中アービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、I3C は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ACKCTL.ACKT = 1)、内部の SDA 出力レベルと I3C_SDA ラインの状態（ACK 受信）が不一致のとき

(3) スレーブアービトレーションロスト検出機能（SALE ビット）

I3C は、スレーブ送信モードで送信データ（内部の SDA 出力レベル）と I3C_SDA ラインのレベルが不一致（内部 SDA 出力が High 出力、つまり I3C_SDA 端子がハイインピーダンス状態）で、I3C_SDA ラインに Low を検出したとき、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

DATA 送信時にアービトレーションロストが発生すると、本モジュールはただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な 0xFF 送信処理を省くことができます。

BSTE.ALE ビットが 1 かつ BFCTL.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、I3C はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時（PRSST レジスタのビット CRMS および TRMD = 01b）、アクノリッジを除く送信データ（内部の SDA 出力レベル）と I3C_SDA ラインのレベルが不一致のとき

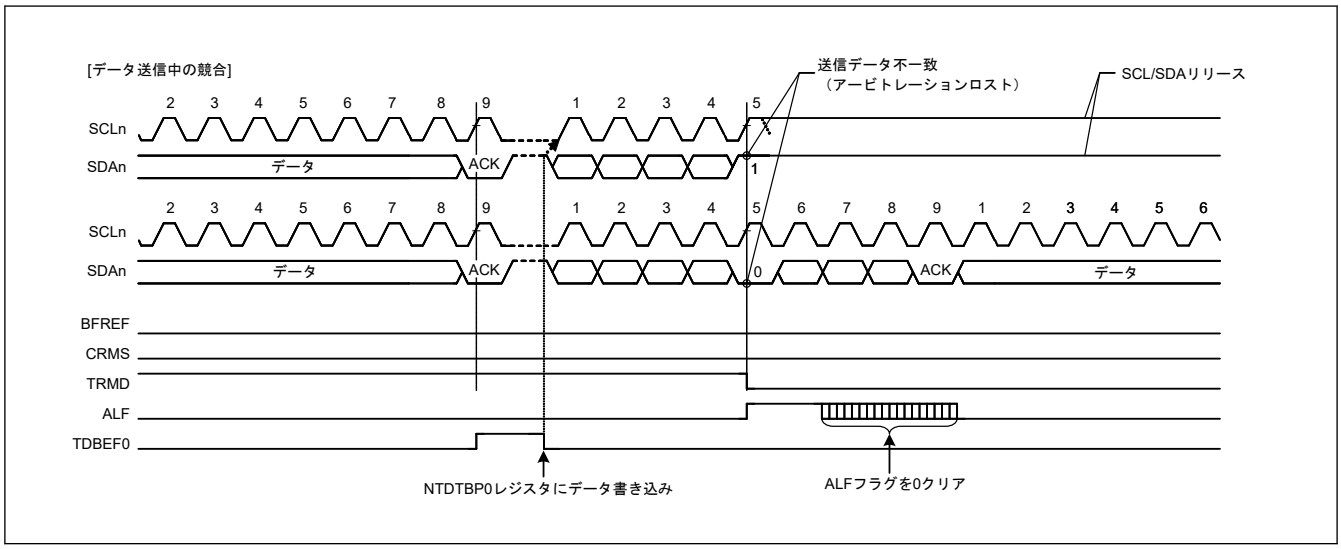


図 40.92 スレーブアービトレーションロスト検出動作例（SALE = 1 の場合）

40.3.2.3.6 クロックストレッチ機能［I²C モード］

(1) 送信データの誤送信防止機能

I3C が送信モード (PRSST.TRMD = 1) にあるとき、通常送信データバッファポートレジスタ 0 (NTDTBP0) にデータが書かれていないと、以下に示す区間、自動的に I3C_SCL ラインの Low ホールドが行われます。この Low ホールド期間は、送信データの書き込みが行われるまで延長されて、意図しない送信データの誤送信を防止します。

マスタ送信モード

- スタートコンディション／繰り返しのスタートコンディション発行後の Low 区間
- 9 クロック目と次の転送の 1 クロック目の間の Low 区間

スレーブ送信モード

- 9 クロック目と次の転送の 1 クロック目の間の Low 区間

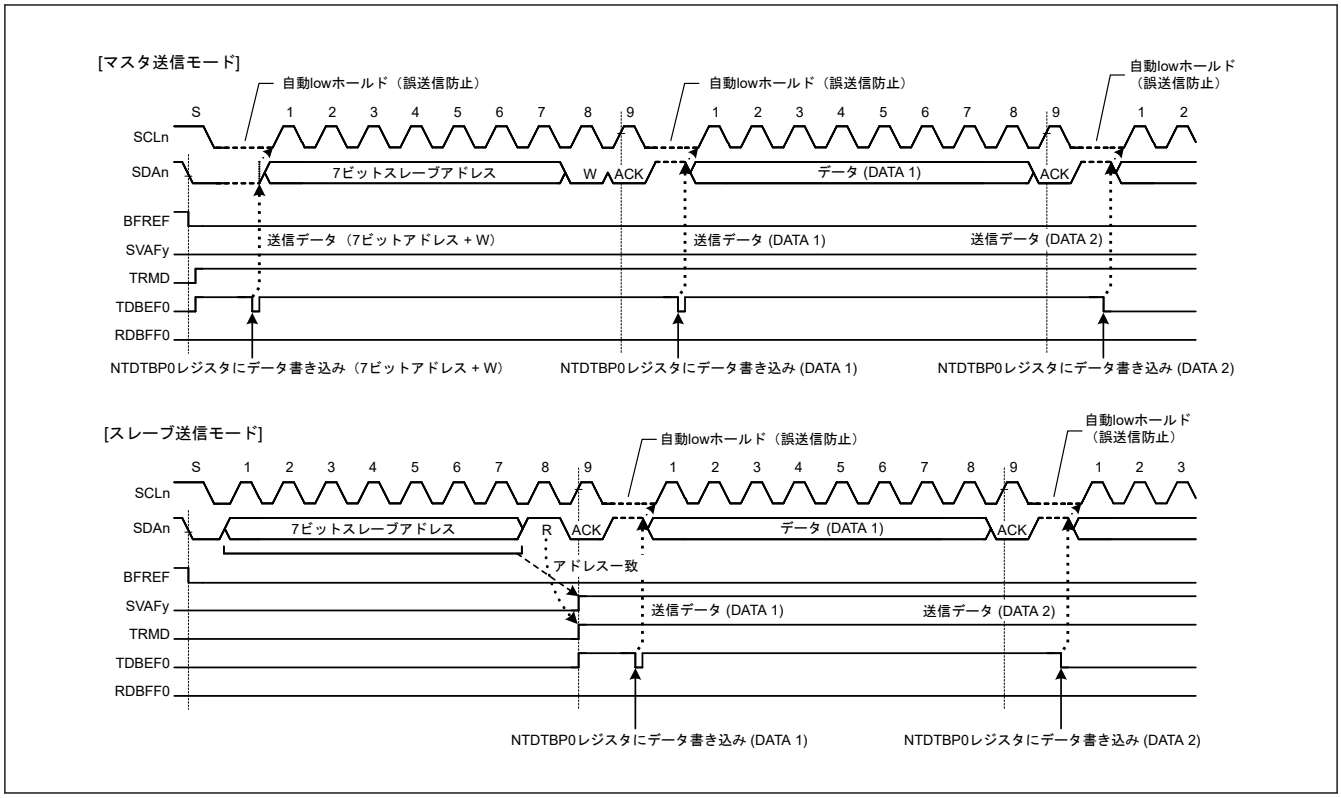


図 40.93　送信モード時の自動 Low ホールド動作

(2)　NACK 受信転送中断機能

I3C は送信モード時（PRSST.TRMD ビット = 1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は、BSTE.NACKDE ビットが 1（転送中断許可）のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合（NTST.TDBEF0 フラグ = 0 の状態）、SCL クロックの 9 クロック目の立ち下がりエッジで次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、I3C_SDA ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（BST.NACKDF フラグ=1）、以後の送信動作および受信動作は行いません。送受信動作を再開するには NACKDF フラグを 0 にしてください。マスタ送信モードでは、以下のいずれかの方法で動作を再開してください。

- 繰り返しのスタートコンディション発行後に、NACKDF フラグを 0 にする。
- ストップコンディション発行後に、NACKDF フラグを 0 にしてから、スタートコンディションを発行する。

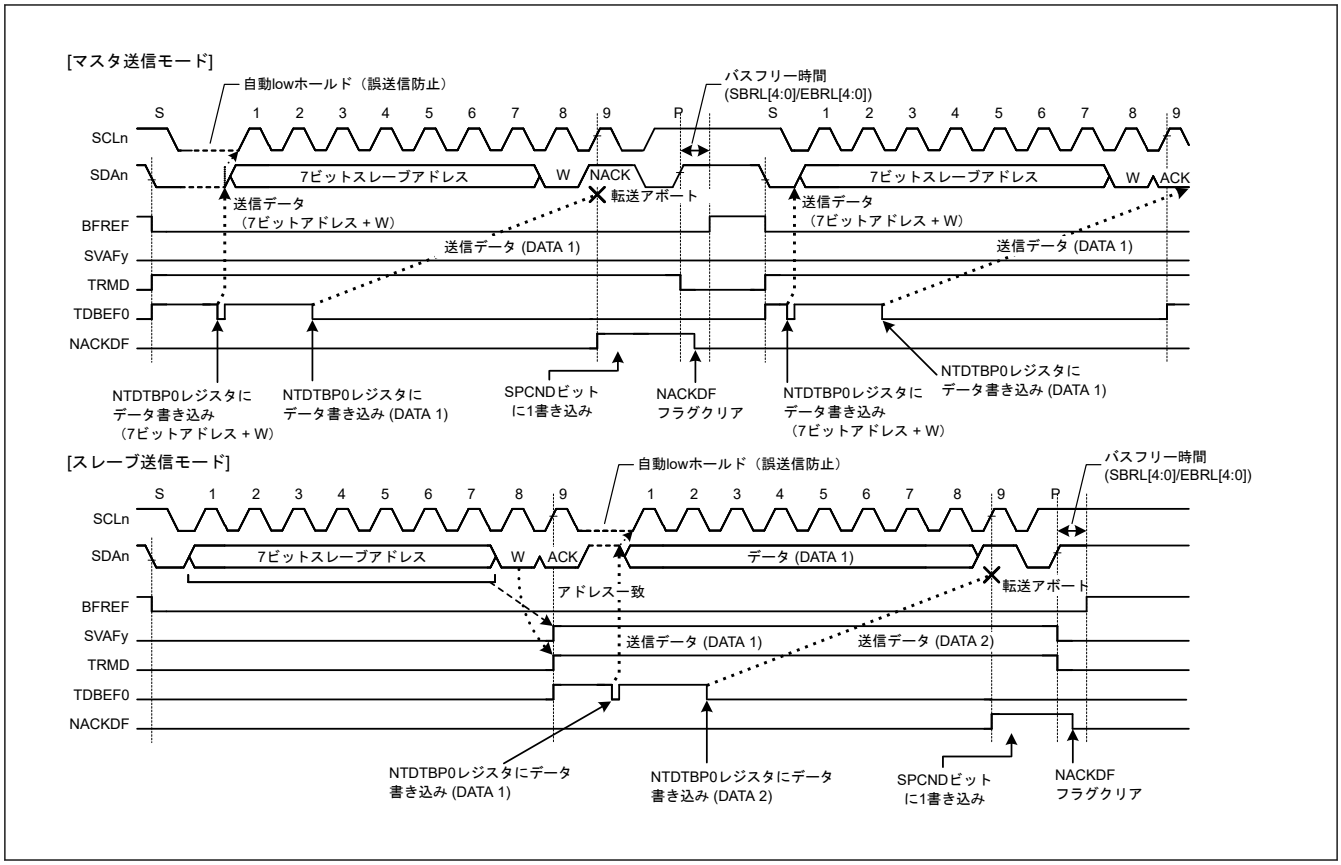


図 40.94　NACK 受信時のデータ転送中断動作（NACKE = 1 の場合）

(3)　受信データ取りこぼし防止機能

受信モード時 (PRSST.TRMD = 0) に、受信データフル (NTST.RDBFF0 = 1) の状態で受信データ（NTDTBP0 レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、I3C は次のデータ受信の直前で自動的に I3C_SCL ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この自動 Low ホールド機能による取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行された後、I3C 自身のスレーブアドレス、またはそのほかのスレーブアドレスを受信した場合にも有効です。

また、SCSTRCTL レジスタの RWE ビットと ACKTWE ビットの組み合わせにより、I3C_SCL ラインが Low ホールドされる期間を選択できます。

(a) RWE ビットによる 1 バイト受信動作／自動 Low ホールド機能

SCSTRCTL.RWE ビットを 1 にすると、I3C は RWE ビット機能を用いた 1 バイト受信動作を行います。

SCSTRCTL.ACKTWE ビットが 0 のとき、I3C は SCL クロックの 8 クロック目の立ち下がりエッジから 9 クロック目の立ち下がりエッジまでの期間のアクノリッジビットには自動的に ACKCTL.ACKT ビットの内容を送出し、9 クロック目の立ち下がりエッジを検出すると RWE ビット機能により自動的に I3C_SCL ラインの Low ホールドを行います。この Low ホールドは、NTDTBP0 レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお RWE ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、I3C 自身のスレーブアドレス（ジェネラルコールアドレスとホストアドレス含む）との一致があった以降の受信フレームから有効になります。

(b) ACKTWE ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

SCSTRCTL.ACKTWE ビットを 1 にすると、I3C は ACKTWE ビット機能を用いた 1 バイト受信動作を行います。

ACKTWE ビットを 1 にすると、SCL クロックの 8 クロック目の立ち上がりエッジで NTST.RDBFF0 フラグ（通常受信データバッファフル）が 1 になり、8 クロック目の立ち下がりエッジで自動的に I3C_SCL ラインの Low ホールドが行われます。この Low ホールドは、ACKCTL.ACKT ビットに値を書き込むことで解除されますが、

NTDTBP0 レジスタからデータを読み出しても解除されません。そのため､1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお ACKTWE ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、I3C 自身のスレーブアドレス（ジェネラルコールアドレスとホストアドレス含む）との一致があった以降の受信フレームから有効になります。

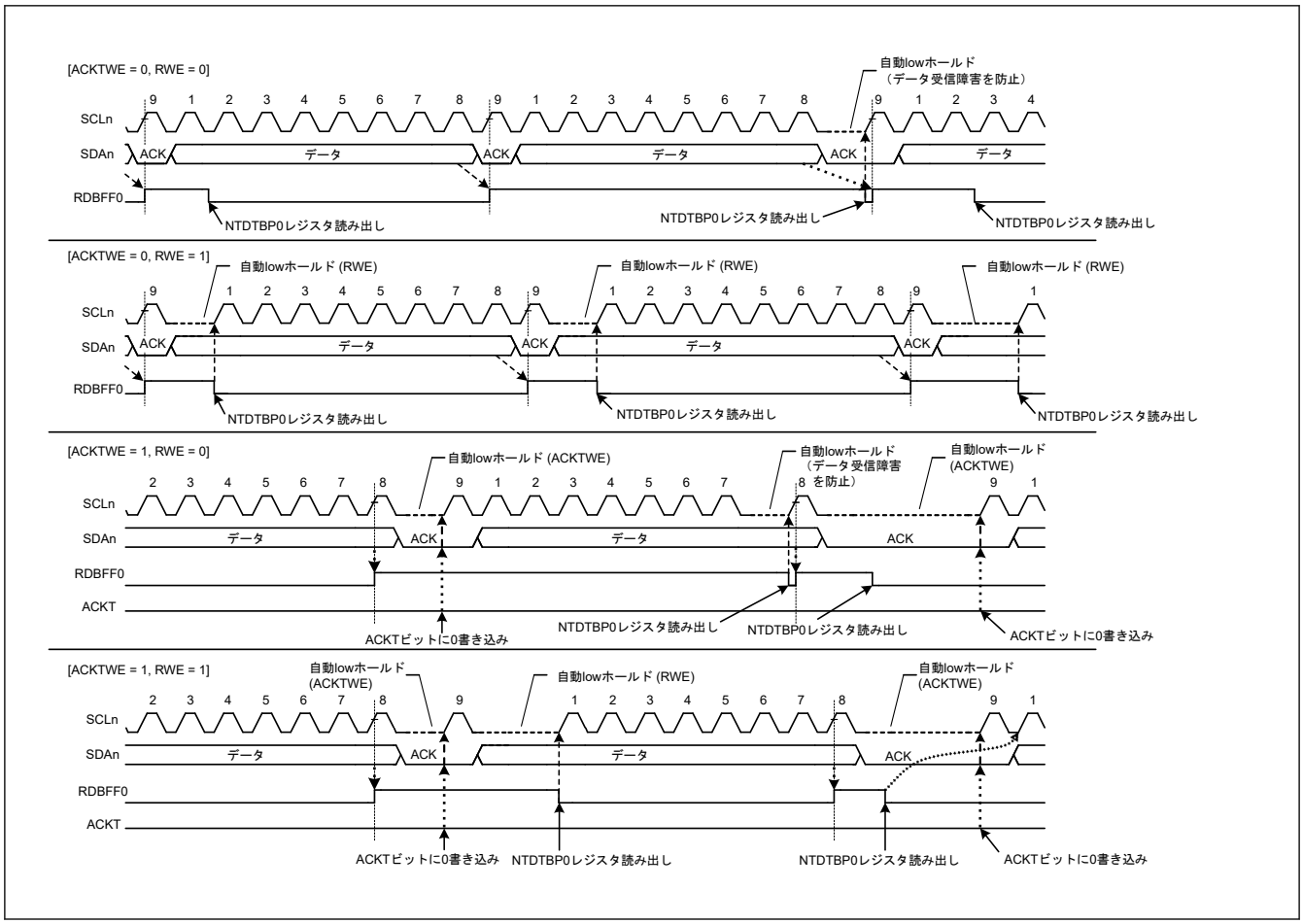


図 40.95　受信モード時の自動 Low ホールド動作（ACKTWE および RWE ビットを使用）

40.3.2.3.7　クロックストール［I3C モード］

I3C には、SCL の Low 期間に SCL をストールする機能があります。

SCL ストールコントロールについて、以下の表で説明します。

表 40.12　I3C クロックストール (1/2)

クロックストール条件	クロックストールコントロール	クロックストール期間
I3C 転送、ACK/NACK フェーズ	SCSTLCTL.ACKPE ビットの設定値	SCSTLCTL.STLCYC [15:0]値のカウント期間の間
	送信データバッファエンプティ	送信データバッファへデータが書き込まれるまで
	受信データバッファフル	受信データバッファからデータが読み出されるまで
I3C 書き込みデータ転送、パリティビット	SCSTLCTL.PARPE ビットの設定値	SCSTLCTL.STLCYC [15:0]値のカウント期間の間
	送信データバッファエンプティ	送信データバッファへデータが書き込まれるまで

表 40.12 I3C クロックストール (2/2)

クロックストール条件	クロックストールコントロール	クロックストール期間
I3C 読み出し転送、遷移ビット	受信データバッファフル	受信データバッファからデータが読み出されるまで
アドレス配置フェーズ	SCSTLCTL.AAPE ビットの設定値	SCSTLCTL.STLCYC [15:0]値のカウント期間の間

条件ごとのストールタイミングを以下の図に示します。

(1) I3C 転送、ACK/NACK フェーズ

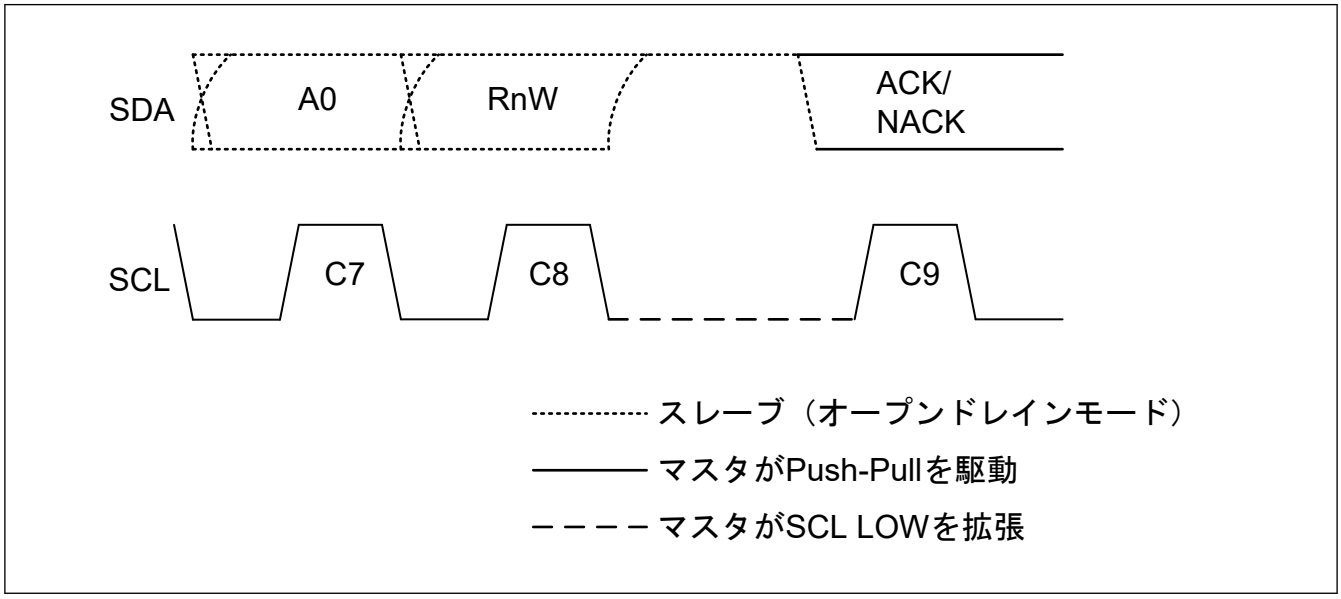


図 40.96 ACK フェーズのマスタクロックストール

(2) I3C 書き込みデータ転送、パリティビット

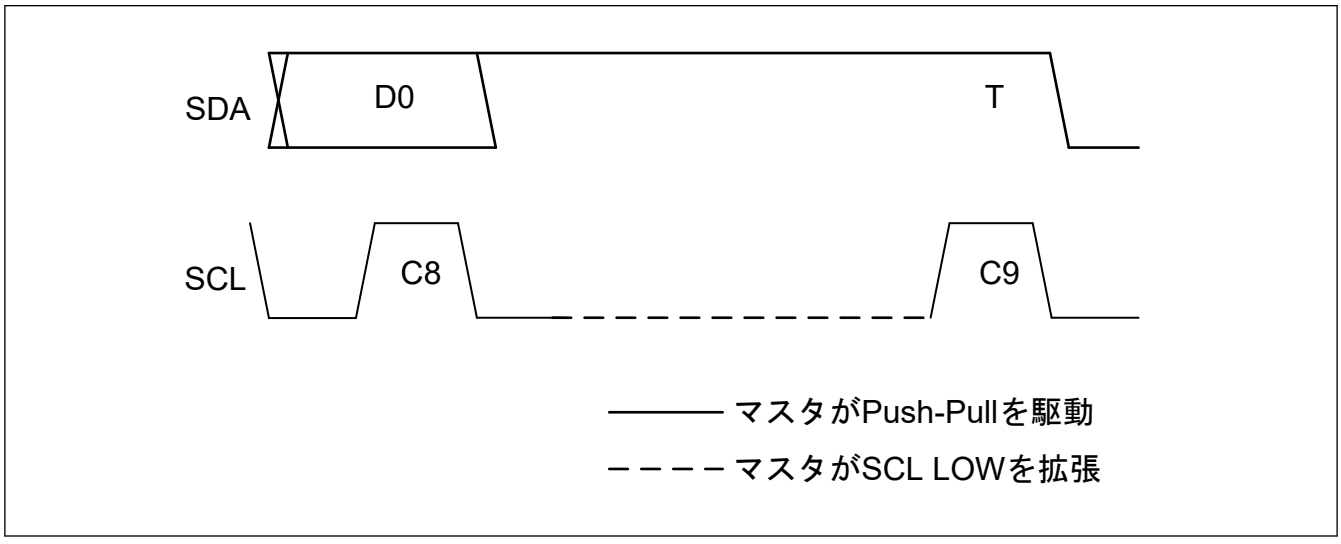


図 40.97 書き込みパリティビットのマスタクロックストール

(3) I3C 読み出し転送、遷移ビット

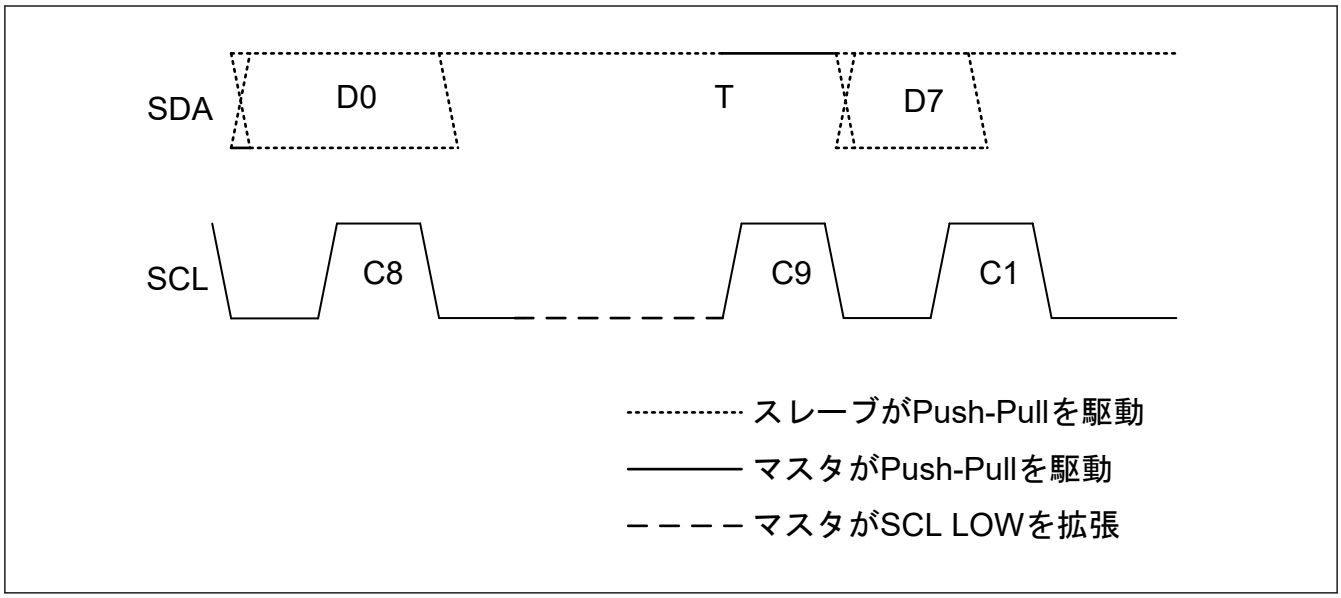


図 40.98 次の読み出しデータの前の T ビットでのマスタクロックストール

(4) ダイナミックアドレス配置、配置アドレスの最初のビット

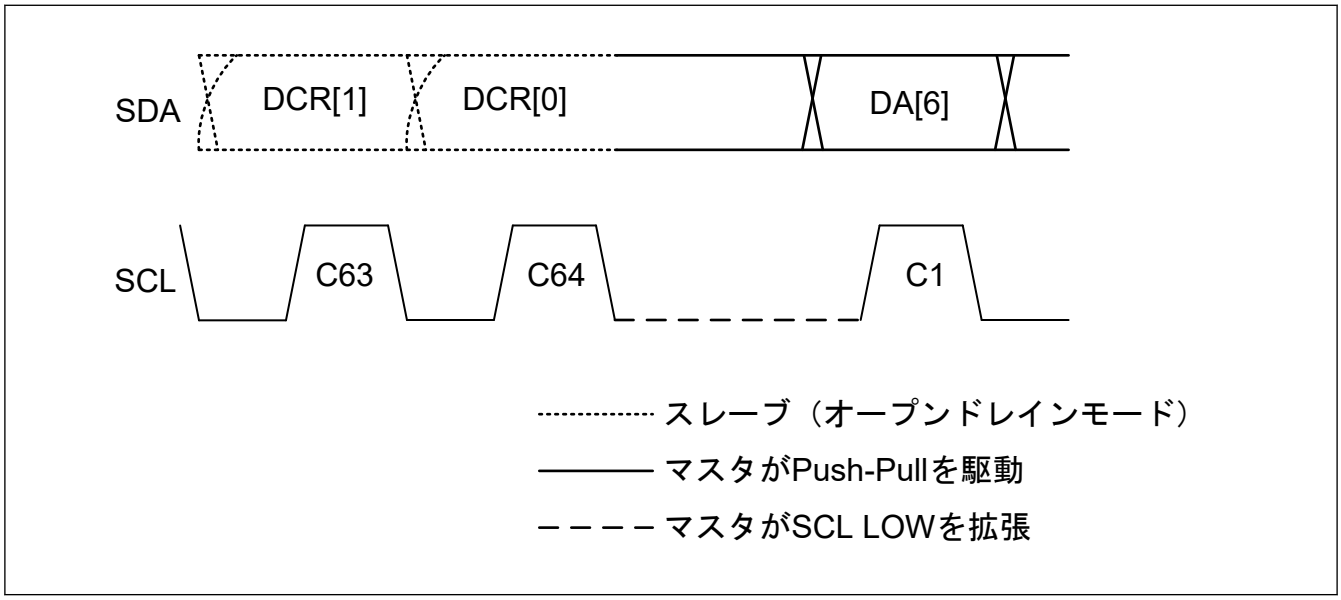


図 40.99 ダイナミックアドレスの最初のビットでのマスタクロックストール

40.3.2.3.8 In-band 割り込み［I3C モード］

I3C は、スタートコンディション（ただし繰り返しのスタートコンディションは除く）に続くアービトレーション獲得済みのアドレスヘッダで、In-band 割り込みを検出します。スレーブデバイスからスタート要求（SDA が Low）が発行された場合、I3C は SCL を Low にして、スタートコンディションを完了します。それから、SCL を供給し、In-band 割り込み要求を受信します。

検出される In-band 割り込みは、以下の 3 種類に分類されます。

- スレーブ割り込み要求
- バス権要求

各 In-band 割り込み検出時の動作について以下に説明します。

(1) スレーブ割り込み要求

1. アドレスヘッダの RnW ビットが High でスレーブアドレスを検出します。
2. 検出したスレーブアドレスを、各 DAT（DATBASm レジスタ）の DVDYAD[7:0]ビットと比較します。
3. DAT.DVDYAD[7:0]ビットの値と一致しない場合：
   NACK を応答し、ストップコンディションを発行します。
   DAT.DVDYAD[7:0]ビットの値と一致し、かつ DAT.DVSIRRJ ビットが 1 の場合：
   以下の順で動作します。
   (a) NACK を応答します。
   (b) 繰り返しのスタートコンディションを発行した後、検出したスレーブに対してダイレクト DISEC CCC を自動的に発行します。
   (c) ストップコンディションを発行します。

   DAT.DVDYAD[7:0]ビットの値と一致し、かつ DAT.DVSIRRJ ビットが 0 の場合：
   ACK を応答します。
4. DAT.DVIBIPL = 0 のとき：
   ストップコンディションを発行します。
   DAT.DVIBIPL = 1 のとき：
   ACK 応答に続けてスレーブから IBI データを受信するため SCL を駆動し、IBI データを受信します。
   受信した IBI データを IBI データキューに格納します。
   NQTHCTL.IBIDSSZ[7:0]ビットに設定されたサイズの IBI データを受信するごとに、IBI ステータスディスクリプタが IBI キューに格納されます。
5. IBI データに続いて T ビットの Low を検出した後、ストップコンディションを発行します。
6. ストップコンディションの発行後
   NACK 応答：
   - IBINCTL.NRSIRCTL ビットが 0 の場合、IBI ステータスディスクリプタは IBI キューに格納されません。
   - IBINCTL.NRSIRCTL ビットが 1 の場合、IBI ステータスディスクリプタが IBI キューに格納されます。

   ACK 応答：
   IBI ステータスディスクリプタを IBI スキューに格納します。

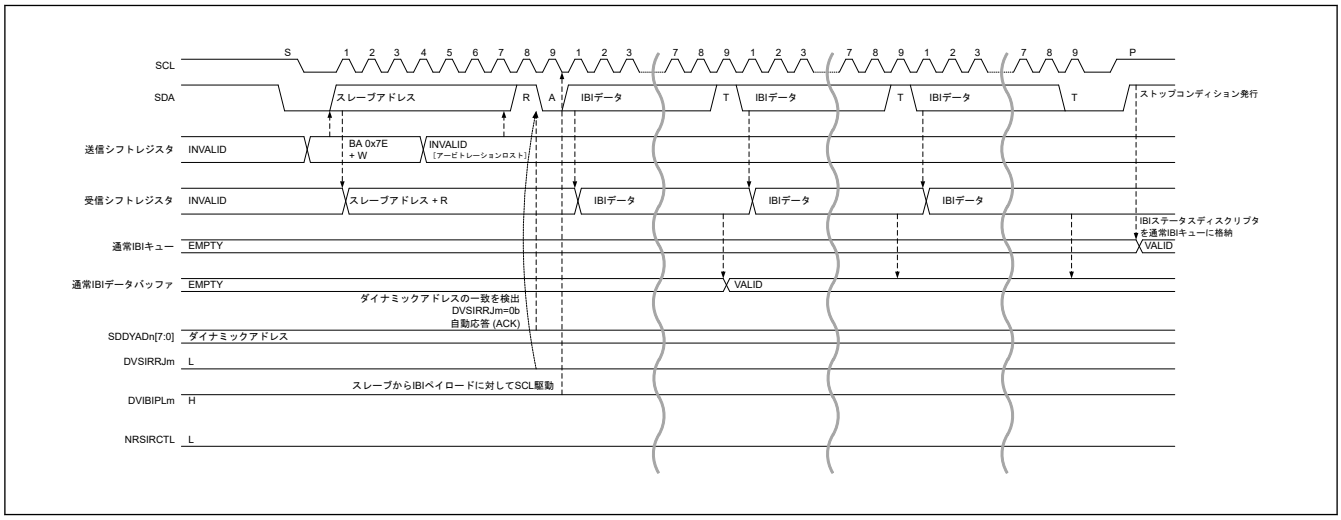


図 40.100　スレーブ割り込み要求：ACK かつ DVIBIPL が 1 の場合

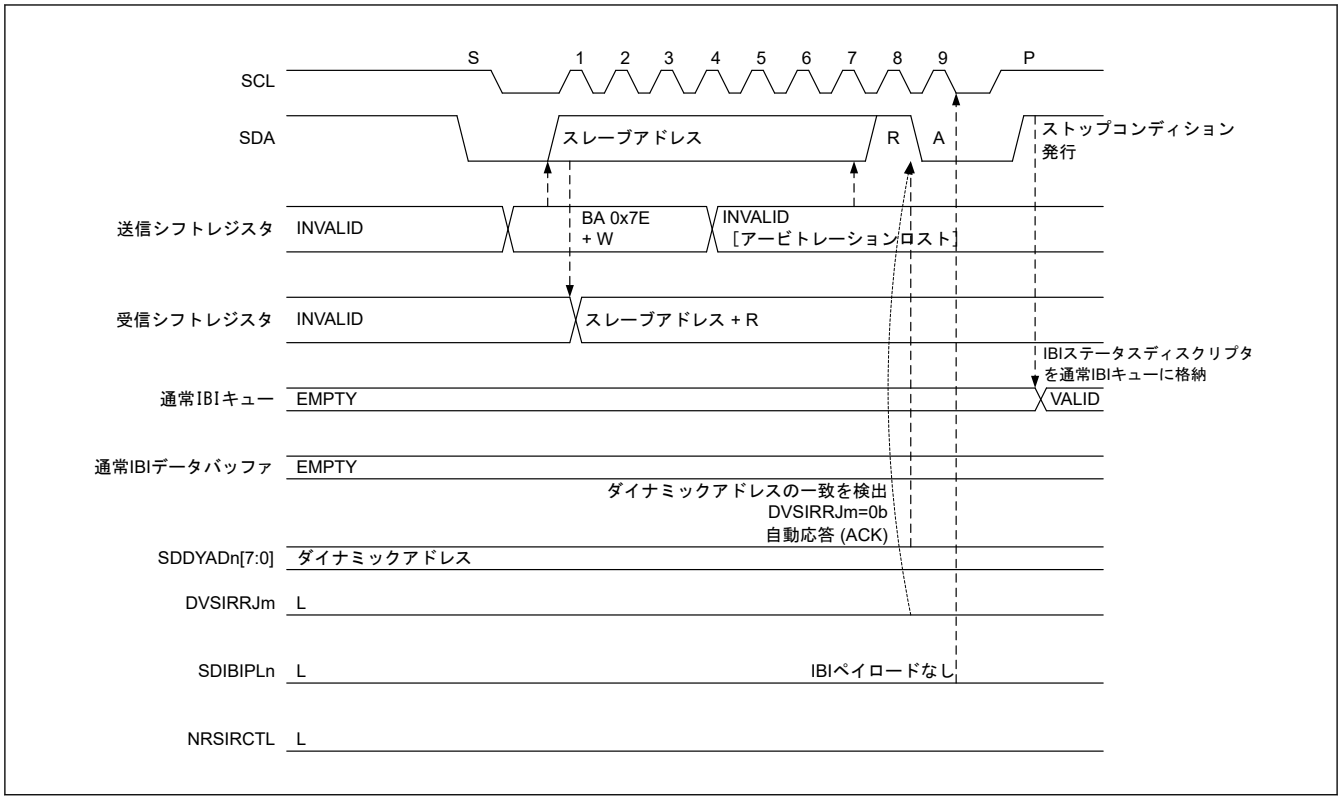


図 40.101　スレーブ割り込み要求：ACK かつ DVIBIPL が 0 の場合

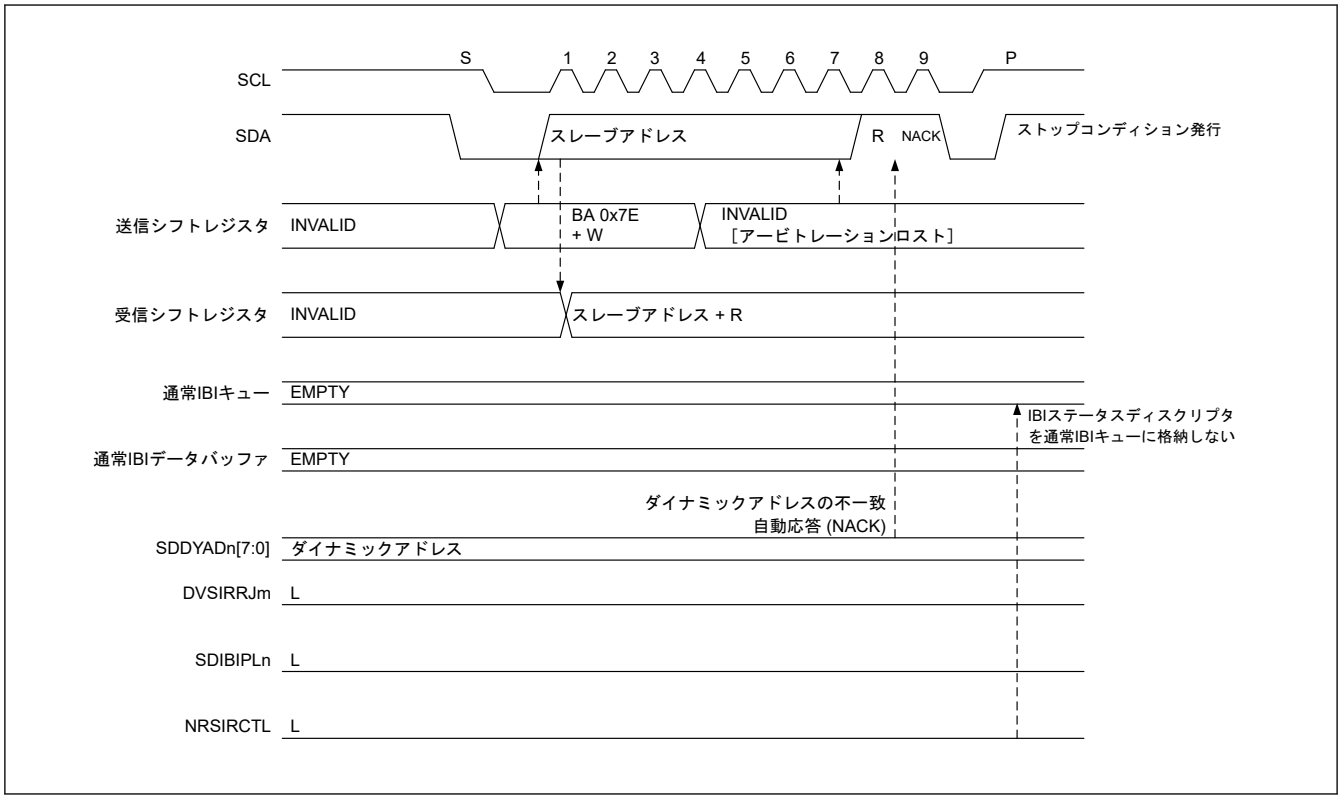


図 40.102　スレーブ割り込み要求：NACK（DAT.SDDYAD[7:0]ビットが一致しない）かつ NRSIRCTL が 0 の場合

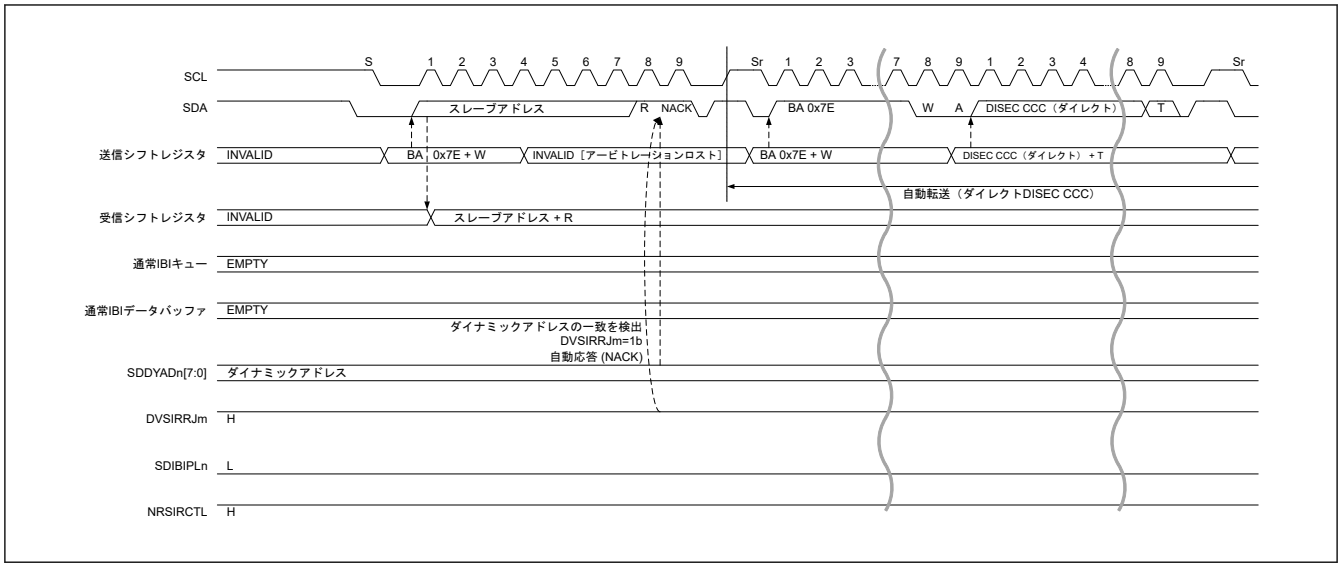


図 40.103　スレーブ割り込み要求：NACK（DVSIRRJ が 1）かつ NRSIRCTL が 1 の場合 (1/2)

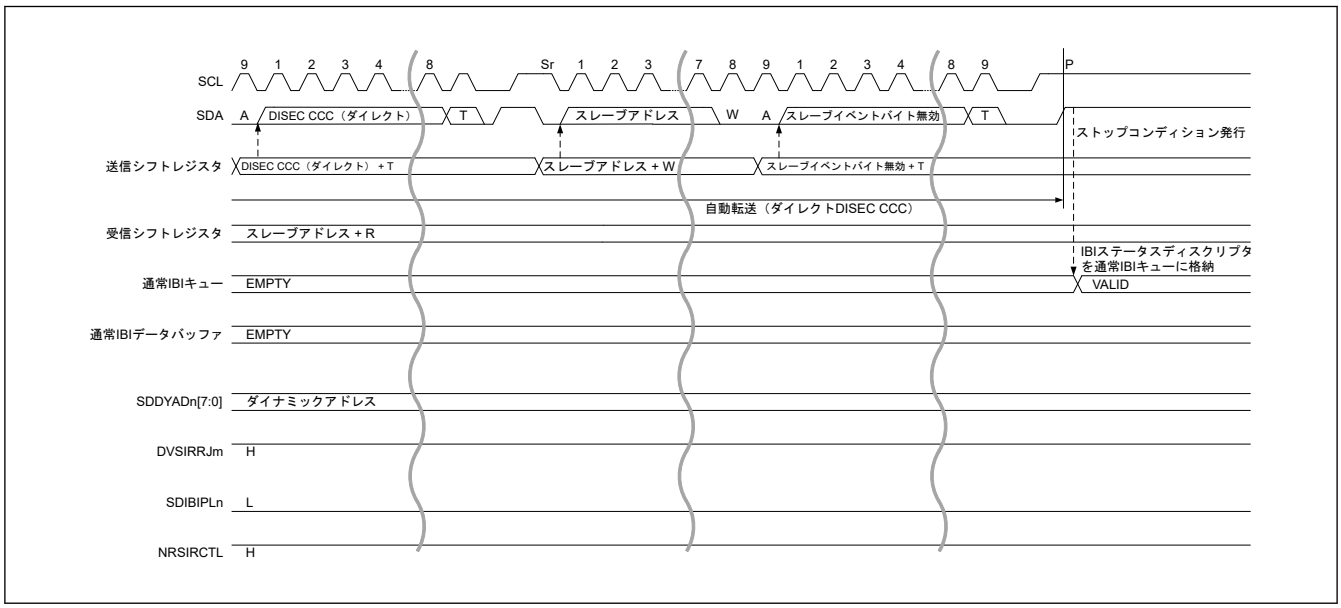


図 40.104　スレーブ割り込み要求：NACK（DVSIRRJ が 1）かつ NRSIRCTL が 1 の場合 (2/2)

(2)　バス権要求

1. アドレスヘッダの RnW ビットが Low でスレーブアドレスを検出します。
2. 検出したスレーブアドレスを、各 DAT（DATBAS レジスタ）の DVDYAD[7:0]ビットと比較します。
3. DAT.DVDYAD[7:0]ビットの値と一致しない場合：
   NACK を応答し、ストップコンディションを発行します。
   DAT.DVDYAD[7:0]ビットの値と一致し、かつ RBCR (MSDCTm) レジスタのデバイスロール[1:0]ビットが、I3C マスタ (01b) 以外である場合：
   NACK を応答し、ストップコンディションを発行します。
   DAT.DVDYAD[7:0]ビットの値と一致し、かつ RBCR (MSDCTm) レジスタのデバイスロール[1:0]ビットが、I3C マスタ (01b) の場合：
   - DAT.DVMRRJ = 1 のとき：
     以下の順で動作します。
     (a) NACK を応答します。
     (b) 繰り返しのスタートコンディションを発行し、検出したスレーブに対してダイレクト DISEC CCC を自動的に発行します。

(c) ストップコンディションを発行します。

- DAT.DVMRRJ = 0 のとき：
  ACK を応答し、ストップコンディションを発行します。

4. ストップコンディションの発行後、
   NACK 応答：
   - IBINCTL.NRMRCTL ビットが 0 の場合、IBI ステータスディスクリプタは IBI キューに格納されません。
   - IBINCTL.NRMRCTL ビットが 1 の場合、IBI ステータスディスクリプタが IBI キューに格納されます。

   ACK 応答：
   IBI ステータスディスクリプタを IBI スキューに格納します。

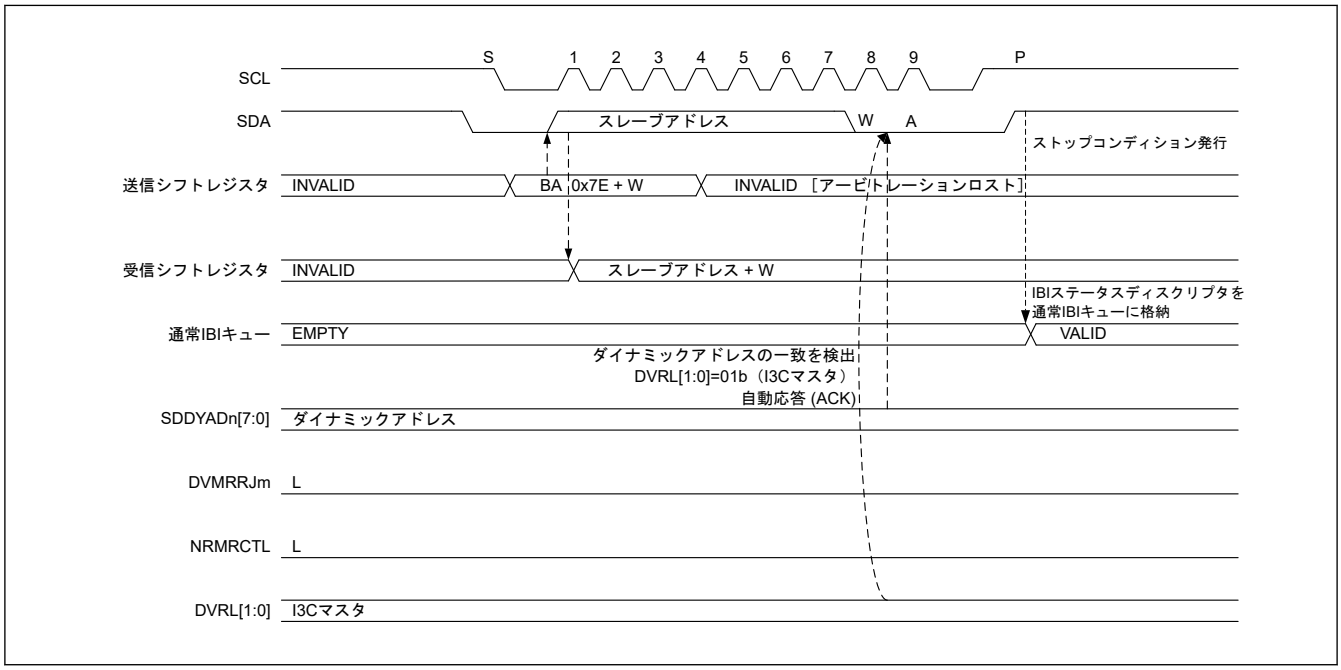


図 40.105　バス権要求：ACK

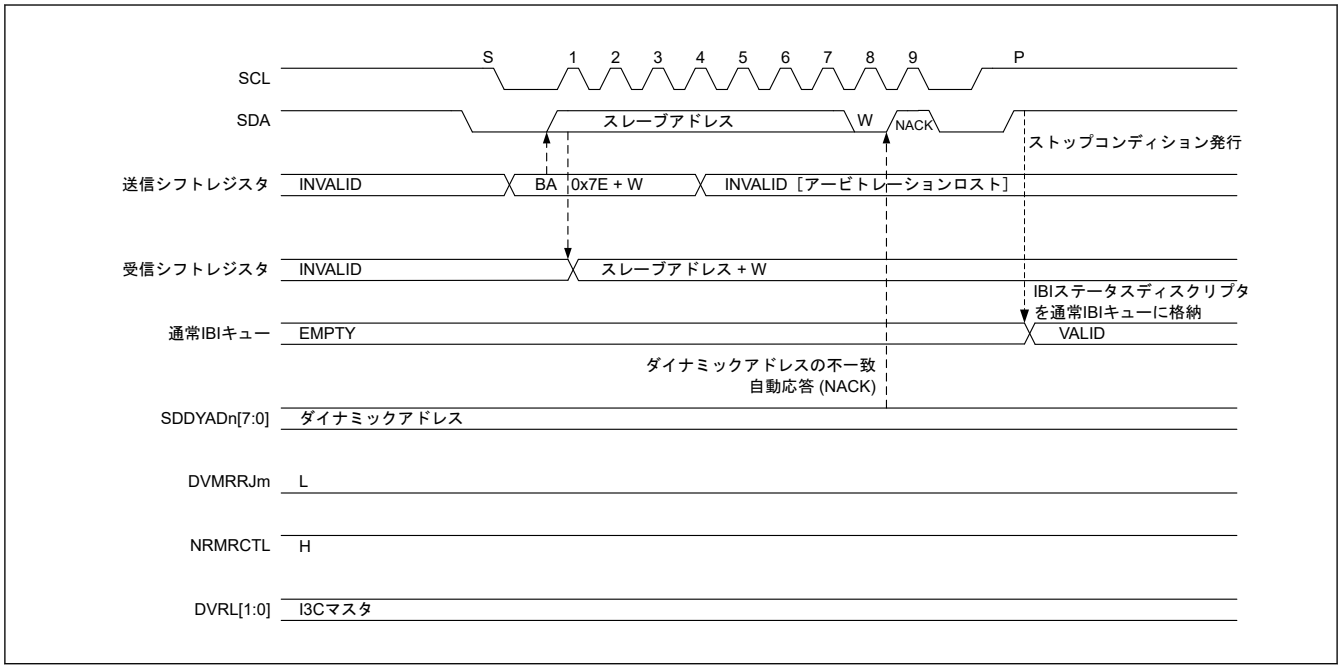


図 40.106　バス権要求：NACK（DAT.DVDYAD[7:0]ビットが一致しない）かつ NRMRCTL が 1 の場合

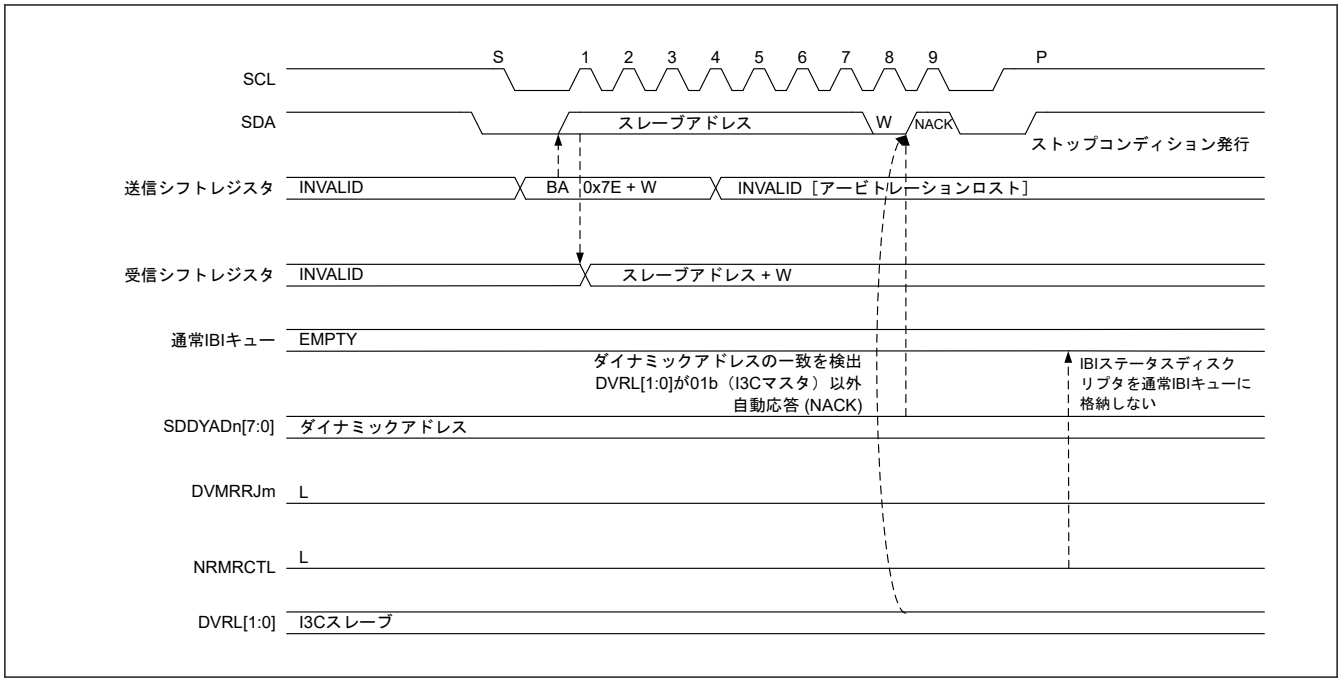


図 40.107　バス権要求：NACK（デバイスロール[1:0]ビットが 01b（I3C マスタ）以外である）かつ NRMRCTL が 0 の場合

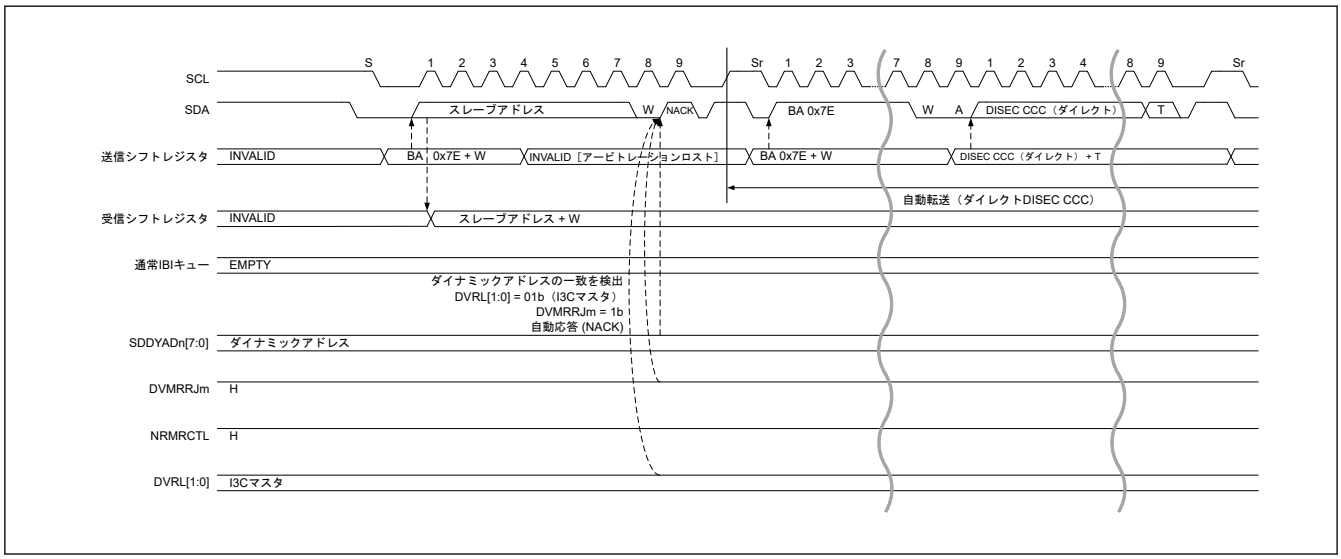


図 40.108　バス権要求：NACK（DVMRRJ が 1）かつ NRMRCTL が 1 の場合 (1/2)

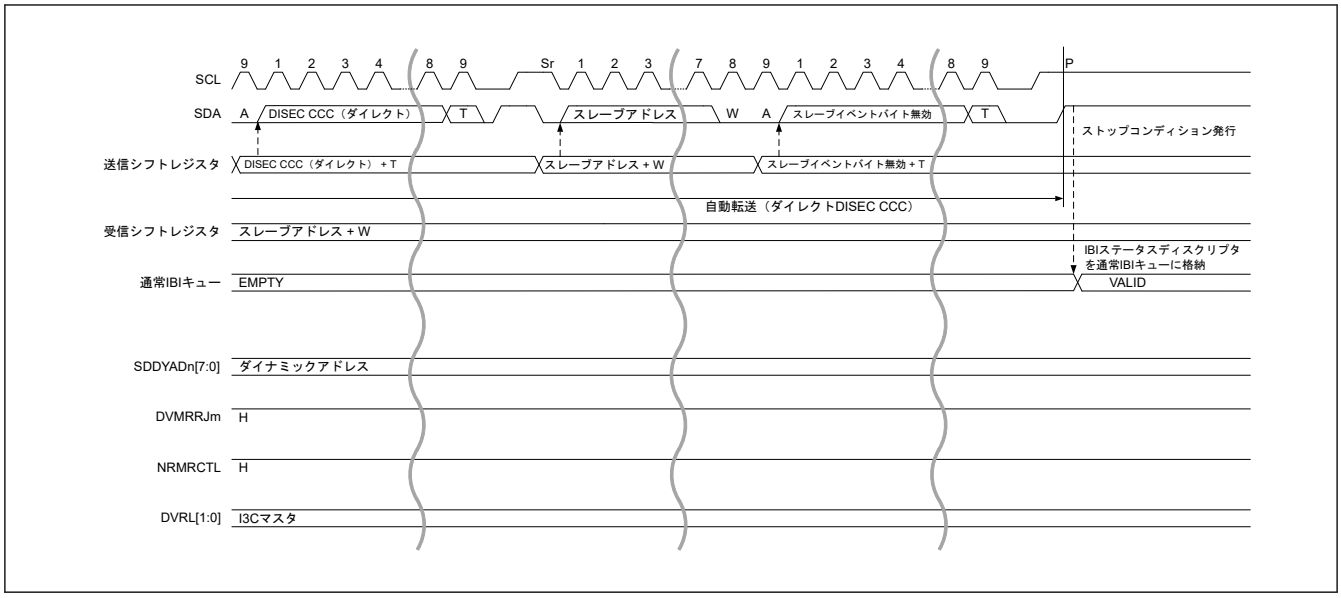


図 40.109　バス権要求：NACK（DVMRRJ が 1）かつ NRMRCTL が 1 の場合 (2/2)

40.3.2.3.9　タイミングコントロール

タイミングコントロールは、スレーブデバイスがセンサ値をサンプリングするタイミングを制御および把握することによって、マスタがスレーブからデータを効率的に読み出せるようにする機能です。

詳細は、「5.1.8 MIPI I3C 仕様 v1.0 のタイミングコントロール」を参照してください。

I3C では、タイミングコントロールは以下の 3 つのモードがあります。

- 同期モード
- 非同期モード 0（非同期基本モード）
- 非同期モード 1（非同期拡張モード）

各モードのタイミングコントロールを実現するためのリソースを以下に説明します。

(1)　同期モード

1. I3C マスタ
   - STCTL.STOE が 1 のとき、マスタが ST メッセージ（SETXTIME CCC + ST サブコマンド）を送信するとき、ST メッセージのスタートコンディション下で同期タイミングイベントを発行する機能があります。
     外部タイマで T_ph 期間を計測しながら、同期タイミングイベントでカウント値をキャプチャすることで、T_ph の開始と ST メッセージの遅延時間[DT]を計測できます。
     遅延時間の計測値は、ST メッセージに続けて DT メッセージ（SETXTIME CCC + DT サブコマンド）として送信されます。
2. I3C スレーブ
   - STCTL.STOE が 1 のとき、各スタートコンディションに対し同期タイミングイベントを発行する機能があります。ST メッセージを受信すると（ST サブコマンドを使用する SETXTIME CCC）、STCTL.STOE がクリアされます。
     ST メッセージの受信を受信ステータスディスクリプタで確認し、同期タイミングイベントでキャプチャされたカウント値と DT メッセージから取得した遅延時間に基づいて、外部タイマを使用して T_ph 期間を補正します。
     外部タイマで T_ph 期間を計測しながら、同期タイミングイベントでカウント値をキャプチャすることで、T_ph の開始と ST メッセージの遅延時間[DT]を計測できます。
     サンプリング時間は、正しい T_ph を使用して再計算されます。

(2)　非同期モード 0（非同期基本モード）

非同期モード 0 でタイミングコントロールを行う場合、必要に応じて ATCTL レジスタを設定します。

1.I3C マスタ

I3C には、非同期モード 0 用の MREFMREF（32 ビット）と MC2（16 ビット）のカウンタがあります。

- MREF カウンタ
  ATCCNTE.ATCE ビットが有効になると、カウントを開始します。
  このカウンタは、I3C スレーブから送信された IBI に対する ACK に続く SCL 立ち上がりエッジの MREF をキャプチャします。
- MC2 カウンタ
  ATCCNTE.ATCE を有効にした後、カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを MC2 としてキャプチャします。

DATBASm.DVIBITS ビットが 1 の状態で IBI が I3C スレーブから受信されたとき、MREF と MC2 のキャプチャ値は、IBI ステータスディスクリプタの次に格納されます。

I3C に実装されている MREF カウンタは 32 ビットカウンタです。

ただし、システム要件上 32 ビットカウンタでは不十分な場合、I3C には拡張用の MREF カウンタオーバーフローと MREF キャプチャイベントが用意されています。これらのイベントを有効にするには、ATCTL.MREFOE を 1 にします。

MREF カウンタオーバーフローは、内部 MREF カウンタがオーバーフローしたときに出力されます。

MREF カウンタは、外部タイマのカウントイベントとして使用することで拡張できます。MREF キャプチャイベントは、内部 MREF カウンタのキャプチャと同じタイミングで出力されます。これを外部タイマのキャプチャタイミングとして使用することで、IBI データバッファに格納された値と連結された MREF カウンタとして使用できます。

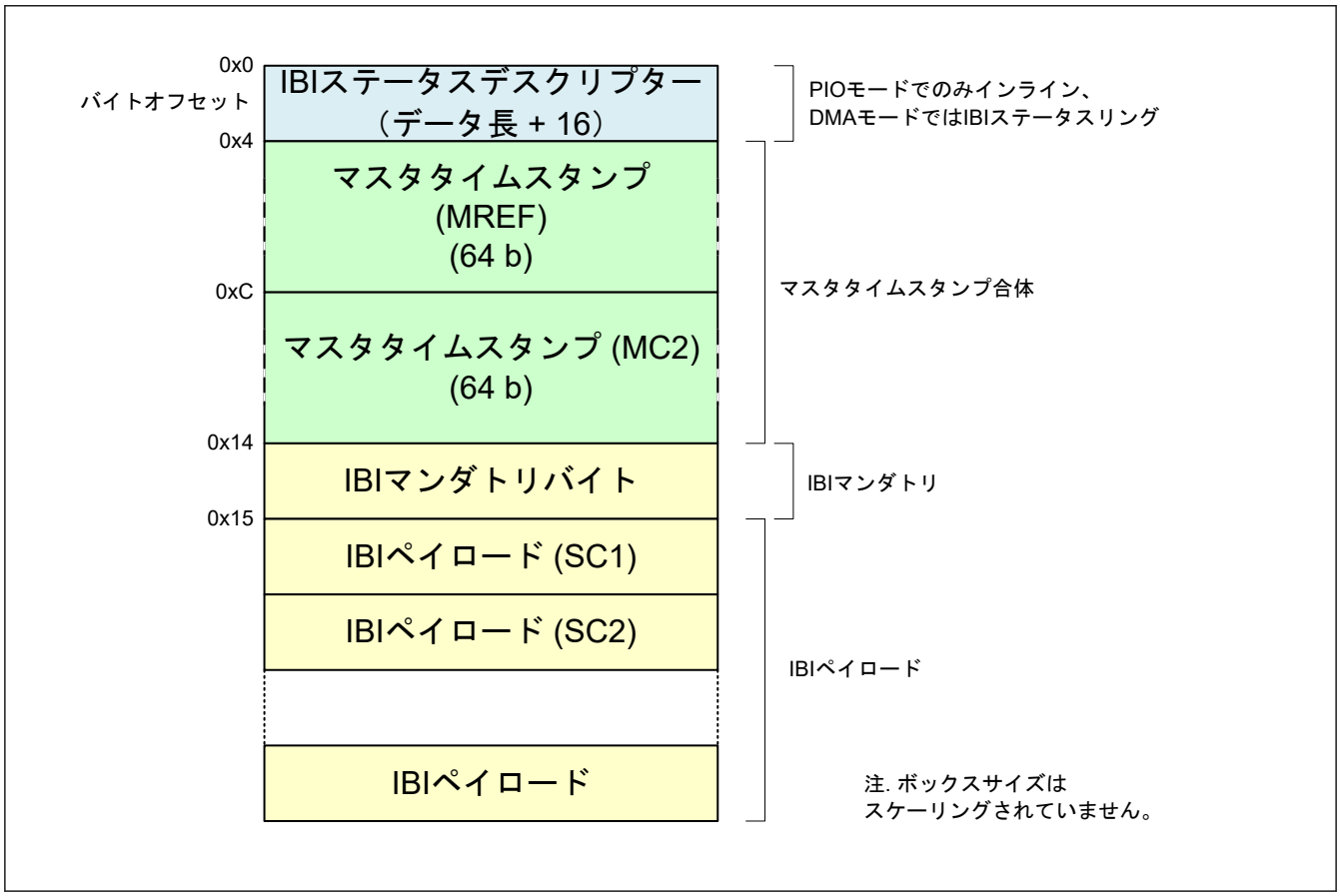


図 40.110　IBI イベント用のマスタタイムスタンプカウンタ

注.　MIPI I3C 仕様 v1.0 ドキュメントにある計算式に従って、I3C スレーブのセンサイベントタイムを評価してください。

2.I3C スレーブ

I3C には、非同期モード 0 用に SC1（16 ビット）と SC2（8 ビット）のカウンタがあります。

- SC1 カウンタ
  ATCCNTE.ATCE を有効にした後、カウンタは SC1 カウントトリガ(注1)から IBI に対する ACK の次の SCL 立ち上がりエッジまでカウントアップし、それを SC1 としてキャプチャします。

  注 1. SW または外部トリガは選択ビットで選択可能です。

- SC2 カウンタ
  ATCCNTE.ATCE を有効にした後、カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを SC2 としてキャプチャします。

CETSS.ASYNE [0]ビットが 1 かつ IBI 発行のためのコマンドディスクリプタの ITS ビットが 1 のとき、SC1 と SC2 のキャプチャ値は、以下の図に示すように IBI 必須バイトに続いて送信されます。

SC1 カウンタと SC2 カウンタがオーバーフローすると、0xFFFF と 0xFF がキャプチャされ、CETSS.ICOVF が 1 になります。

コマンドディスクリプタの DATA_LENGTH[15:0]ビット値は、SC1 と SC2 のデータ数と送信データ数を加えて得られた値を設定します。

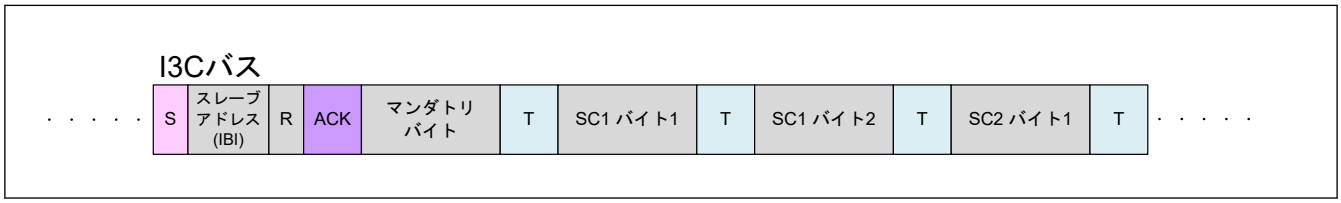


図 40.111 非同期モード 0 のタイムスタンプデータ転送動作例

(3) 非同期モード 1（非同期拡張モード）

非同期モード 1 でタイミングコントロールを行う場合、必要に応じて ATCTL レジスタを設定します。

1. I3C マスタ
   I3C には、非同期モード 1 用に MREF（32 ビット）、MSyncCNT（32 ビット）、および MC2（16 ビット）のカウンタがあります。
   - MREF カウンタ
     ATCCNTE.ATCE ビットが有効になると、カウントを開始します。
     このカウンタは、I3C スレーブから送信された IBI に対する ACK に続く SCL 立ち上がりエッジの MREF をキャプチャします。
   - MsyncCNT カウンタ
     ATCCNTE.ATCE ビットが有効になると、カウントを開始します。
     各 aME（START コンディションの SDA 立ち下がりエッジ）で MSyncCNT をキャプチャし、それをキャプチャレジスタに格納します。
   - MC2 カウンタ
     ATCCNTE.ATCE を有効にした後、カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを MC2 としてキャプチャします。

   DATBASm.DVIBITS ビットが 1 の状態で IBI が I3C スレーブから受信されたとき、MREF と MC2 のキャプチャ値は、IBI ステータスディスクリプタの次に格納されます。（非同期モード 0 と同様）
   ATCTL.AMEOE が有効のとき、各 aME について aME イベントが発行されます。そのイベントをトリガとして、MRCCPT レジスタから MSyncCNT キャプチャ値を読み出し、外部メモリに保持します。
2. I3C スレーブ
   I3C には、非同期モード 1 用に SC1（16 ビット）、SC2（8 ビット）、aME_TICK（8 ビット）のカウンタがあります。
   - SC1 カウンタ
     ATCCNTE.ATCE を有効にした後、カウンタは、SC1 カウントトリガ(注1)から最初の aME までカウントアップし、それを SC1 としてキャプチャします。

注 1. SW または外部トリガは選択ビットで選択可能です。

- SC2 カウンタ
  ATCCNTE.ATCE を有効にした後、カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを SC2 としてキャプチャします。
- aME_TICK カウンタ
  ATCCNTE.ATCE を有効にした後、カウンタは全ての aME をカウントし、それを IBI 用の ACK の次の SCL 立ち上がりエッジの aME_TICK としてキャプチャします。
  aME_TICK カウンタは、SC1 カウントトリガの後の最初の aME でクリアされます。

CETSS.ASYNE [1]ビットが 1 かつ IBI 発行のためのコマンドディスクリプタの ITS ビットが 1 のとき、SC1、SC2、aME_TICK のキャプチャ値は、以下の図に示すように IBI 必須バイトに続いて送信されます。

SC1 カウンタと SC2 カウンタがオーバーフローすると、0xFFFF と 0xFF がキャプチャされ、CETSS.ICOVF が 1 になります。

コマンドディスクリプタの DATA_LENGTH[15:0]ビット値は、SC1、SC2、aME_TICK のデータ数と送信データ数を加えて得られた値を設定します。

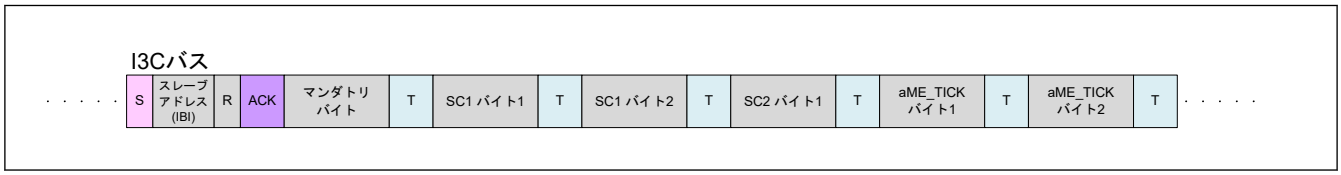


図 40.112 非同期モード 1 のタイムスタンプデータ転送動作例

40.3.2.3.10 HDR-DDR CRC5 アルゴリズム

CRC5 の値は、コマンドワードと全てのデータワードを含むメッセージ全体から計算されます。

コマンドワードについては、CRC5 は以下を含む 16 ビットペイロードの値に基づき計算されます。

- 読み出しビットであるか、書き込みビットであるか
- コマンド値
- スレーブアドレス
- 最下位ビット（書き込み予約、および、読み出しパリティ調整）

データワードについては、CRC5 はコマンドに対して送信されたすべてのデータの 16 ビット値に基づいて計算されます。

CRC5 値は、0x1F に初期化されます。CRC5 生成多項式を以下に示します。

$CRC5 = X^5 + X^2 + X^0$

40.3.2.3.11 ポートコントロール

(1) SCL クロック追加出力機能

I3C モジュールは、マスタモード時、マスタデバイスとスレーブデバイスとの同期ズレによるスレーブデバイスの I3C_SDA ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

この機能は、I3C から SCL クロックを 1 クロック単位で追加出力させる機能であり、主にマスタモード時に、スレーブデバイスが I3C_SDA ラインを Low 固定しているため、I3C が繰り返しのスタートコンディションまたはストップコンディションを発行できないバスエラー発生時に、スレーブデバイスの I3C_SDA ラインを Low 固定状態から開放するために使用されます。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

OUTCTL.EXCYC ビットが 1 のとき、REFCKCTL.IREFCKS[2:0]ビットと STDBR.SBRHO[7:0]レジスタ、STDBR.SBRLO[7:0]レジスタに設定された周波数の追加のクロックパルスが I3C_SCL 端子から出力されます。このクロックパルスの出力が終了すると、EXCYC ビットは自動的に 0 になります。EXCYC ビットが 0 になったことを確認した後、繰り返しのスタートコンディションまたはストップコンディションのセットアップ時間を待

機します。それから、繰り返しのスタートコンディションまたはストップコンディションの検出を確認します。繰り返しのスタートコンディションまたはストップコンディションを検出しない場合、再び EXCYC ビットに 1 を書き込むことで、続けて追加のクロックパルスを出力できます。

I3C がマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが I3C_SDA ラインを Low に固定したままであると、繰り返しのスタートコンディションまたはストップコンディションを出力できません。この SCL 追加サイクルを出力する機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの I3C_SDA ラインの Low 固定状態を解除させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる I3C_SDA ラインの解放は、PRSTDBG.SDILV フラグを読み出すことで確認できます。I3C_SDA ラインがスレーブデバイスにより解放された後、繰り返しのスタートコンディションまたはストップコンディションのプリセットを発行します。

この機能を使用する場合、BFCTL.MALE ビットを 0（マスタアービトレーションロスト検出無効）にしてください。

[OUTCTL.EXCYC ビット使用時の出力条件]

- バスフリー状態 (BCST.BFREF フラグ = 1) またはマスタモード（PRSST.CRMS ビット = 1、BCST.BFREF フラグ = 0）のとき
- 通信デバイスが I3C_SCL ラインを Low ホールドにしていない状態のとき

図 40.113 に SCL クロック追加出力機能（EXCYC ビット）の動作タイミングを示します。

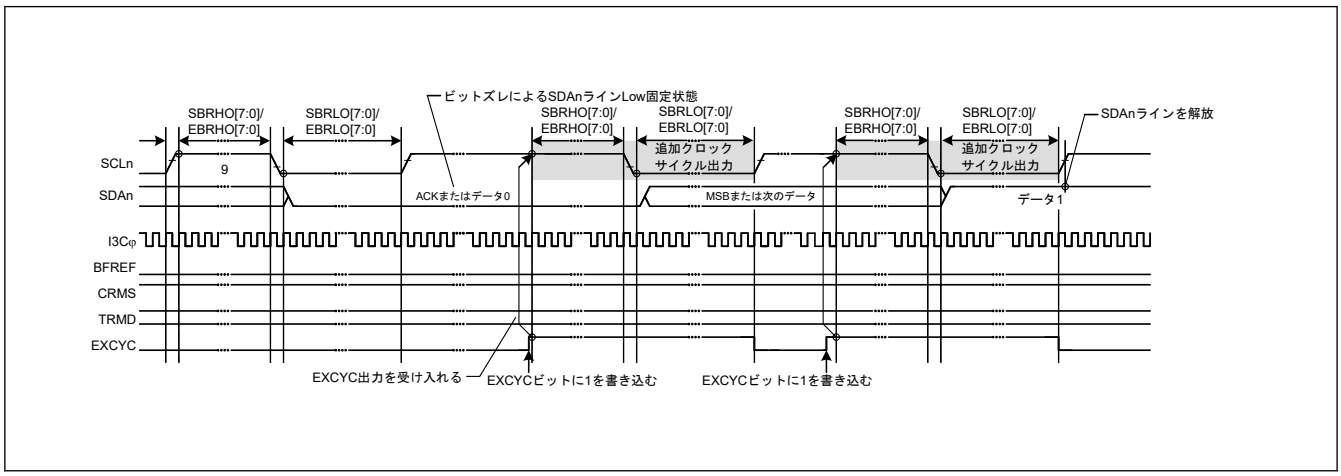


図 40.113　SCL クロック追加出力機能（EXCYC ビット）

40.3.2.3.12　SMBus 動作［I²C モード］

I3C は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、BFCTL.SMBS ビットを 1 にしてください。転送速度が SMBus 仕様の 10 kbps～100 kbps の範囲に収まるように、REFCKCTL.IREFCKS[2:0]ビット、STDBR.SBRHO[7:0]ビットおよび STDBR.SBRLO[7:0]ビットを設定してください。また、データホールド時間の規定値 300 ns 以上を満たすように、OUTCTL.SDODCS ビットおよび OUTCTL.SDOD[2:0]ビットの値を決定してください。I3C を I²C スレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、STDBR.SBRLO[7:0]ビットにはデータセットアップ時間 (250 ns) 以上の値を設定する必要があります。

なお、SMBus デバイスデフォルトアドレス (1100 001) には、スレーブデバイスアドレステーブル基本レジスタ 0～2（SDATBASn.SDSTAD[6:0]ビット (y = 0～2)）のいずれか 1 つを使用し、対応する SDATBASn.SDADLS ビット（7 ビット／10 ビットアドレスフォーマット選択）(y = 0～2) を 0（7 ビットアドレスフォーマット）にしてください。

また、UDID（ユニークデバイス ID）送信時には、BFCTL.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

(1)　SMBus タイムアウト測定

(a) スレーブデバイスのタイムアウト測定

下記に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を SMBus 通信のスレーブデバイスにおいて計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、I3C のスタートコンディション検出割り込み (I3C_EEI) とストップコンディション検出割り込み (I3C_EEI) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT タイマを使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間（スレーブデバイス）$T_{LOW: SEXT}$（最大 25 ms）以内である必要があります。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：SMBus 規格の 25 ms (min.) を超えた場合、スレーブデバイスは RSTCTL.INTLRST ビットに 1 を書き込んで I3C の内部リセットを発行して、バス解放動作を行う必要があります。内部リセットを行うと、I3C は I3C_SCL 端子／I3C_SDA 端子のバス駆動を中止し、I3C_SCL/I3C_SDA 端子をハイインピーダンスにすることでバス解放を行うことができます。

(b) マスタデバイスのタイムアウト測定

下記に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を SMBus 通信のマスタデバイスにおいて計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、I3C のスタートコンディション検出割り込み (I3C_EEI)、ストップコンディション検出割り込み (I3C_EEI)、送信終了割り込み (I3C_TEND)、または通常受信データバッファフル割り込み (I3C_RX) を利用して、GPT タイマを使用して計測してください。測定したタイムアウト時間は、SMBus 仕様の合計クロック Low 拡張時間（マスタデバイス）$T_{LOW:MEXT}$ 以内（最大 10 ms）でなければならず、スタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ の合計は $T_{LOW:SEXT}$ 以内（最大 25 ms）でなければなりません。

ACK 受信タイミング（SCL クロックの 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は BST.TENDF フラグ、マスタ受信モード時（マスタレシーバ）は NTST.RDBFF0 フラグで監視します。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは SCSTRCTL.ACKTWE ビットを 0 で使用してください。ACKTWE ビットが 0 のとき、RDBFF0 フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長期間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作（NTDTBP0 レジスタへの書き込み）を中止してください。

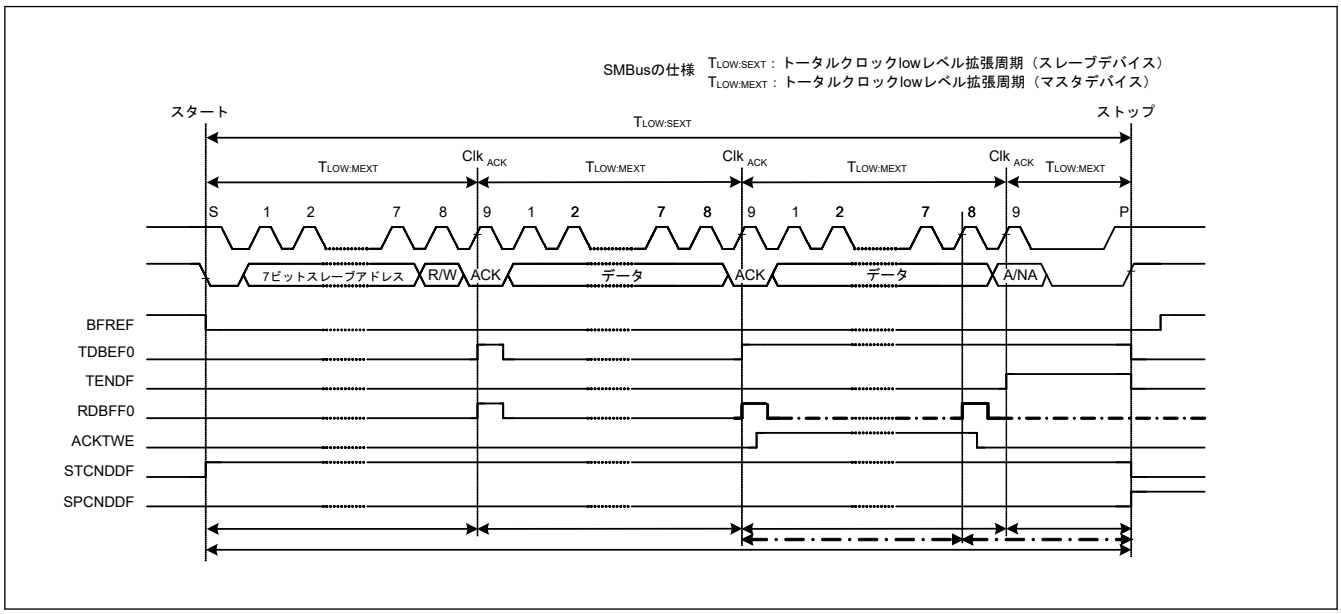


図 40.114 SMBus タイムアウト測定

(2) パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。I3C の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の CRC 生成多項式については「48. 巡回冗長検査 (CRC)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として、最終バイト受信時の結果（一致または不一致）に応じた ACK/NACK 送出を行う場合は、最終バイト受信中の SCL の 8 クロック目の立ち上がりまでに SCSTRCTL.ACKTWE ビットを 1 にし、8 クロック目の立ち下がりで I3C_SCL ラインを Low にホールドしてください。

(3) SMBus ホスト通知プロトコル（Notify ARP Master コマンド）

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト（または ARP マスタ）に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を SMBus ホスト（または ARP マスタ）として動作させる場合、スレーブデバイスから送信されたホストアドレス (0001 000) をスレーブアドレスとして検出する必要があるため、I3C はこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、BFCTL.SMBS ビットを 1、かつ SVCTL.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

40.3.2.3.13 共通コマンドコード (CCC)［I3C モード］

共通コマンドコード (CCC) については、MIPI I3C 仕様 v1.0 の「5.1.9 共通コマンドコード (CCC)」を参照してください。I3C は、MIPI I3C 仕様 v1.0 の「5.1.9.3 共通コマンド定義」の「表 15 I3C 共通コマンドコード」に基づいています。

コマンドコードの MIPI 予約領域とベンダ拡張領域は、以下のようになります。

I3C マスタモード：

I3C マスタから MIPI 予約領域とベンダ拡張領域の CCC を送信する場合、即時データ転送コマンドを使用してブロードキャスト／ダイレクト SET CCC のみ送信できます。

ダイレクト GET CCC の送信はサポートされていません。

I3C スレーブモード：

MIPI 予約領域およびベンダ拡張領域の CCC について、ブロードキャスト／ダイレクト SET CCC のみ受信できます。

ダイレクト GET CCC の受信はサポートされていません。

40.3.2.4 エラー検出機能

40.3.2.4.1 SDR エラー検出および復帰方法（I3C スレーブデバイス）［I3C モード］

表 40.13 にまとめた 7 つのエラー種別は、全ての I3C スレーブデバイスに対しサポートされています。各エラー種別はさらに表の下で説明しています。

表 40.13 SDR スレーブエラー種別 (1/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
S0	ブロードキャストアドレス/W (= 0x7E/W) またはダイナミックアドレス/RW	以下のいずれかを検出： 0x3E / W 0x5E / W 0x6E / W 0x76 / W 0x7A / W 0x7C / W 0x7F / W 0x7E / R	HDR 終了ディテクタを有効にし、全ての他のパターンを無視する

表 40.13 SDR スレーブエラー種別 (2/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
S1	CCC コード	T ビットを使ったパリティチェック	HDR 終了ディテクタを有効にし、他のパターンを無視する
S2	ライトデータ	T ビットを使ったパリティチェック	ストップコンディションディテクタを有効にし、他のパターンを無視する
S3	ダイナミックアドレスアービトレーションで配置されたアドレス	PAR ビットを使ったパリティチェック	PAR の後、NACK を生成し、暫定 ID を再送するため、ほかの繰り返しのスタートコンディションと 0x7E/R を待機する
S4	Sr の後、ダイナミックアドレスアービトレーションの間の 0x7E/R	Sr の後、ダイナミックアドレスアービトレーションの間に、0x7E/R 以外の値を検出する	0x7E/R の後、NACK を生成し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する
S5	CCC 検出後のトランザクション	不正なフォーマットの CCC を検出する	スレーブアドレスの後、NACK を生成し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する
S6（オプション）	監視エラー	送信されたデータが送ろうとしていたデータと異なることを、スレーブが監視を通じて検出する（ダイナミックアドレスアービトレーションの間は適用しない）	送信を停止し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する

40.3.2.4.2 SDR エラー検出および復帰方法（I3C マスタデバイス）[I3C モード]

表 40.14 にまとめた 2 つのエラー種別は、全ての I3C マスタデバイスに対しサポートされています。各エラー種別はさらに表の下で説明しています。

表 40.14 SDR マスタエラー種別

エラー種別	内容	エラーの検出方法	エラーの復帰方法
M0	CCC 送信後のトランザクション	不正なフォーマットの CCC を検出する	送信を停止する。それからストップコンディションを送信し、送信を再試行する
M1（オプション）	監視エラー	送信されたデータが送ろうとしていたデータと異なることを、マスタが監視を通じて検出する（ダイナミックアドレスアービトレーションの間は適用しない）	送信を停止する。それからストップコンディションを送信し、送信を再試行する
M2	ブロードキャストアドレス (0x7E) に対して応答しない	マスタは、ブロードキャストアドレス (0x7E) の後の NACK を検出する	NACK の検出時、マスタは HDR 終了パターンに続けて、ストップコンディションを送信する

40.3.2.4.3 HDR-DDR エラー検出機能

HDR-DDR モードには、4 つのエラー種別が定義されています。

表 40.15 HDR-DDR エラー種別 (1/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
フレーミング	コマンドとデータの前のプリアンブルの 2 ビット	コマンドとデータの前のプリアンブルの 2 ビットが有効な値でないことをスレーブが検出した (注1)	マスタ：SDA が High の状態で、SCL クロックが 19SCL クロック分（38 ビット）出力する。続いて、マスタは Park SCL を Low にして、HDR 終了パターンを SDA を使って発行します。 スレーブ：HDR 終了パターンを待機する。
パリティチェック	パリティエラー	マスタとスレーブがパリティの不整合を検出する。(注2)	
CRC5 チェック	CRC5 エラー	マスタとスレーブが CRC の不整合を検出する。(注3)	

表 40.15 HDR-DDR エラー種別 (2/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
NACK 受信	スレーブによる読み出しコマンドへの NACK	マスタがスレーブによる読み出しコマンドへの NACK を検出した(注4)	SDA が High の状態で、SCL クロックが 19SCL クロック分（38 ビット）出力する続いて、マスタは Park SCL を Low にして、HDR 終了パターンか、HDR リスタートパターンを SDA を使って発行します。
監視	監視エラー	マスタおよびスレーブの両方は、常にそれぞれが送信するデータを監視します。そして、監視したデータがマスタないしスレーブが送信しようとしたデータと異なる場合を検出します。(注5)	マスタとスレーブの両方が送信を停止でき、次にマスタとスレーブの両方は以下を行う必要があります。 マスタ：SDA が High の状態で、SCL クロックが 19SCL クロック分（38 ビット）出力する。続いて、マスタは Park SCL を Low にして、HDR 終了パターンを SDA を使って発行します。マスタが HDR 終了を送信した後、送信を再試行する スレーブ：HDR 終了パターンを待機する。

注 1. これは、位置エラー検出機構をサポートします。
- コマンドワードは常に HDR 遷移 CCC および HDR リスタートパターンに続き、ほかのどの位置に存在することはありません。コマンドワードが他の位置に存在することや想定された場所に存在しないことは、エラー条件です。
- データワードは常にコマンドワードかほかのデータワードに続く必要があり、ほかのどのような位置に存在することもありません。データワードが他の位置に存在することや想定された場所に存在しないことは、エラー条件です。
- 1 つの CRC ワードは常にコマンドの最終のデータワードに続くため、これでメッセージを終了します。その結果、CRC ワードには常に HDR リスタートパターンから HDR 終了パターンが続きます。CRC ワードが他の位置に存在することや想定された場所に存在しないことは、エラー条件です。
- 有効な CRC のはじめの 1/2 バイト（Nibble：4 ビット）は、0xC を含まなければなりません。はじめの Nibble がほかの値の値である場合は、フレーミングエラーとみなされます。

注 2. パリティエンコード（送信側）、パリティチェック（受信側）を全てのコマンドワードとデータワードに対し行なう必要があります。パリティの不整合は、エラー条件です。

注 3. CRC5 エンコード（送信側）、CRC5 チェック（受信側）をコマンドワードとデータワードの全てのペイロードビットに対し行なう必要があります。CRC の不整合は、エラー条件です。

注 4. 読み出しコマンドへのスレーブによる NACK は、通常の動作ではありません。（ACK が通常です。）マスタは、読み出しコマンドへの NACK を、フレーミングエラーの可能性ありとして取り扱うことを選択できます。マスタは、読み出しコマンドの NACK をラインエラーの可能性ありとして取り扱うことが選択できます。そのため、同じ手法をスレーブがバスを駆動していないことを確認するために使うこともできます。

注 5. マスタないしスレーブがこのような監視を行った場合、また、監視で得られたデータがマスタないしスレーブが送信しようとしたものと異なっている場合（ダイナミックアドレスアービトレーション手順の際に転送されるデータを除く）、これはエラーであると考えられます。

40.3.2.4.4 HDR-TSP/TSL エラー検出機能

HDR-TSP/TSL モードには、2 つのエラー種別が定義されています。

表 40.16 HDR-TSP/TSL エラー種別 (1/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
シンボル 2 確認	シンボル 2 の連続エラー	2 つ以上連続したシンボル 2（シンボル 2 で、I3C_SCL ラインは変わりません。I3C_SDA ラインが変わります。）(注1)	マスタ：スレーブにより使用される最大のエッジからエッジまでの期間の 2 倍の時間、スレーブがバスへの送信を停止するまで待機します。そして、マスタは HDR 終了パターンを強制します。 スレーブ：HDR 終了パターンを待機します。
パリティチェック	パリティエラー	スレーブがパリティの不整合を検出したとき(注2)	

表 40.16 HDR-TSP/TSL エラー種別 (2/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
監視	監視エラー	マスタおよびスレーブの両方は、常にそれぞれが送信するデータを監視します。そして、監視したデータがマスタないしスレーブが送信しようとしたデータと異なる場合を検出します。(注3)	マスタとスレーブの両方が送信を停止でき、次にマスタとスレーブの両方は以下を行う必要があります。 マスタ：スレーブにより使用される最大のエッジからエッジまでの期間の 2 倍の時間、スレーブがバスへの送信を停止するまで待機します。そして、マスタは HDR 終了パターンを強制します。マスタが HDR 終了を送信した後、送信を再試行する スレーブ：HDR 終了パターンを待機します。

注 1. 例外：HDR リスタートまたは HDR 終了で、2 つ以上のシンボル 2 を連続して利用可能ですが、それは既知のスタート状態（SCL が Low かつ SDA が High）からのみ、およびデータワードバウンダリ（1 つのシンボルをその状態の設定に使用）においてのみです。従って、シンボルパターン 2,2 は、以下の状況のもとでのみ使用できます。
- そのようなシンボルの組み合わせを 3 つか 4 つ使用し、SCL が Low である HDR 終了パターンの一部である場合
- そのようなシンボルの組み合わせを 2 つ使用し、SCL が Low である HDR リスタートパターンの一部である場合
- 1 つの通常シンボルの結果が 2 で終わり、次のシンボルが 2 で始まる場合

注 2. スレーブが I3C バスを駆動している場合、HDR スレーブにより、または HDR マスタによりエラーが生じることがあります。
- エラーが生じたスレーブでは、シンボルのトラッキングを停止し、HDR 終了および HDR リスタートパターン検出を使用します。このことは、安全な状態になるまで待機することを意味します。スレーブは、いずれかの HDR モードに遷移したときに、HDR 終了パターン検出と HDR リスタートパターン検出を有効にして、常に安全な状態を確保します。
- エラーが生じたマスタは、スレーブにより使用される最大のエッジからエッジまでの期間の 2 倍の時間、スレーブがバスへの送信を停止するまで待機します。そして、マスタは HDR 終了パターンを強制します。

注 3. マスタかスレーブがこのような監視を行った場合、また、監視で得られたデータがマスタかスレーブが送信しようとしたものと異なっている場合（ダイナミックアドレスアービトレーション手順の際に転送されるデータを除く）、これはエラーであると考えられます。

注. シンボル 2,2 を待機するのが適切ですが、マスタはまだ無活動でいる必要があります。マスタでエラーが生じた場合、シンボル 2,2 であってもそれは疑わしいです。

40.3.2.4.5 タイムアウトエラー検出機能

I3C は I3C_SCL ラインに一定時間以上変化が見られない状態を検出するタイムアウト機能を備えています。I3C は、I3C_SCL ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト機能は I3C_SCL ラインの状態を監視し、Low の時間または High の時間を内部カウンタでカウントします。タイムアウト機能は、I3C_SCL ラインの変化（立ち上がりまたは立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。I3C_SCL ラインに変化がないために内部カウンタがオーバーフローすると、I3C はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト機能は、BSTE.TODE ビットが 1 のとき有効です。以下の条件で I3C_SCL ラインが Low 固定または High 固定の場合にバスハングアップを検出します。（TMOCTL.TOMDS[1:0] = 00b のとき）

- マスタモード (PRSST.CRMS = 1) で、バスビジー (BCST.BFREF = 0)
- スレーブモード (PRSST.CRMS = 0) で、I3C 自身のスレーブアドレス検出（SVST レジスタが 0x0000 でない）かつバスビジー (BCST.BFREF = 0)
- スタートコンディション発行要求中 (CNDCTL.STCND = 1) で、バスフリー (BCST.BFREF = 1)

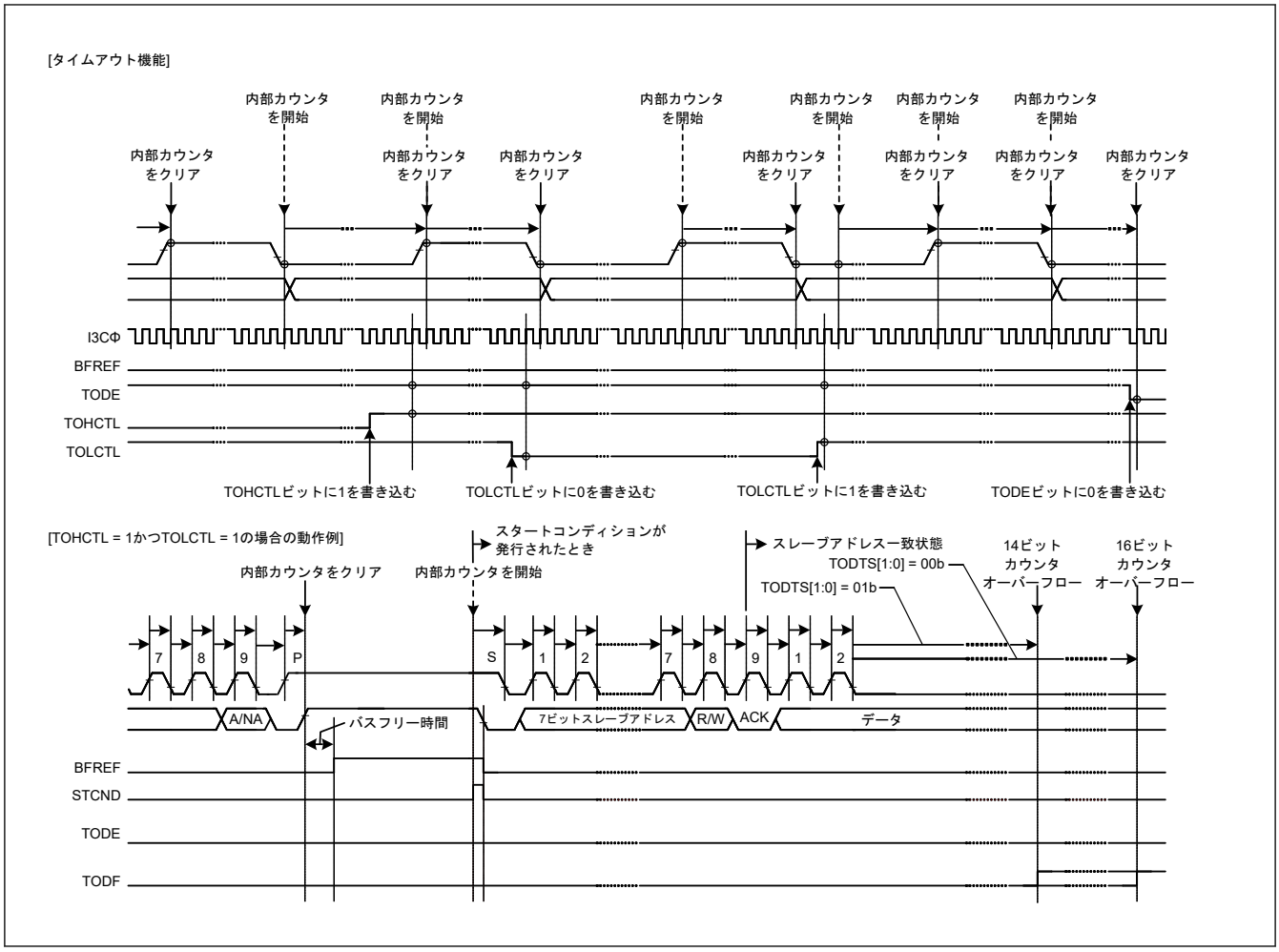


図 40.115　タイムアウトエラー検出機能（TODE、TODTS[1:0]、TOHCTL、TOLCTL ビットの使用）

40.3.2.4.6　レジューム動作機能［I3C モード］

I3C は、転送時に発生するいずれかの種類のエラーの結果として、停止ステートに遷移します。

エラーの種類は、応答ディスクリプタか受信ステータスディスクリプタの ERR_STATUS フィールドに示します。I3C が停止ステートに遷移したら、ユーザーは RSM ビットに値 1 を書き込む必要があります。それにより、動作を再開します。一旦次のコマンド転送を実行するか、スタートコンディションを検出すると、I3C は RSM ビットを自動的にクリアします。

40.3.2.4.7　中断動作機能［I3C モード］

BCTL.ABT ビットに 1 を設定すると、I3C は今発行している転送を完了する前に、バスの制御を放棄します。中断要求に対しては、I3C はデータバイトの転送または受信が完了した後で、バスにストップコンディションを発行します。I3C が中断した後、ユーザーはバス動作ができるように BCTL.ABT ビットをクリアします。

注.　読み出しトランザクションでは、BCTL.ABT ビットが 1 に設定されると、その受信データは受信データバッファに格納されます。ただし、HDR-TSP/TSL については、その後に受信した受信データは格納されません。

略称

Pa :　パリティ

Pr :　プリアンブル

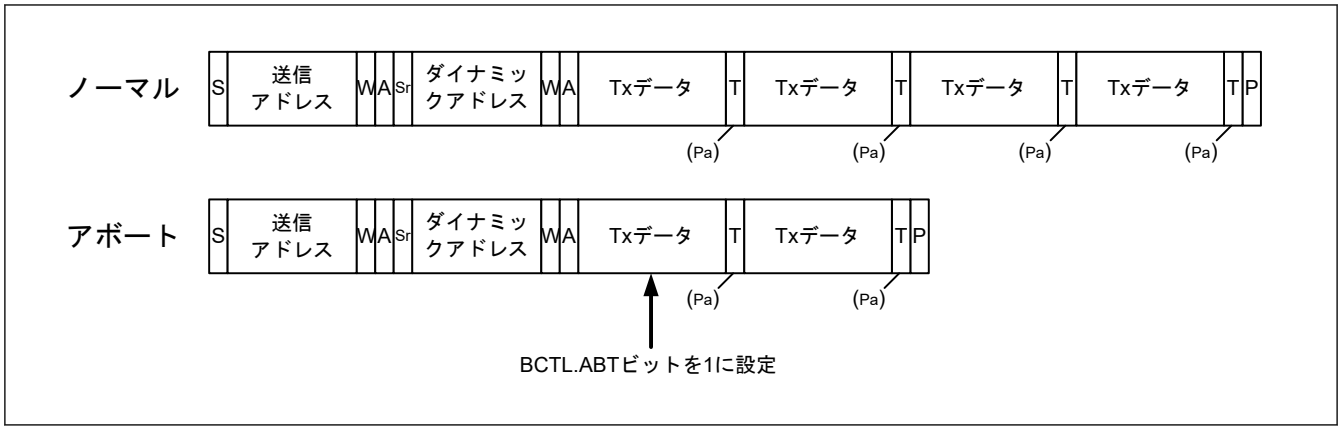


図 40.116　SDR 書き込み転送の中断動作

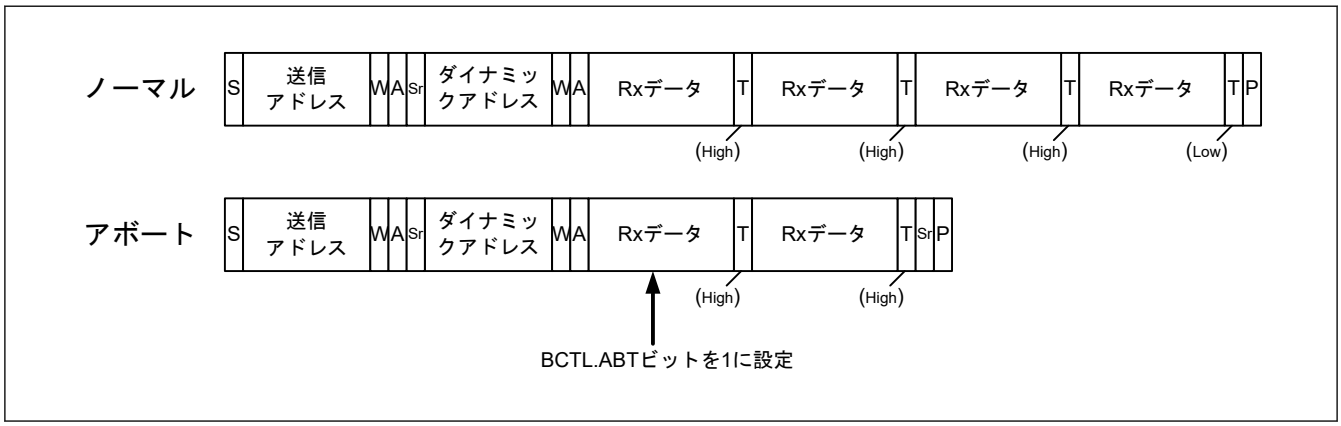


図 40.117　SDR 読み出し転送の中断動作

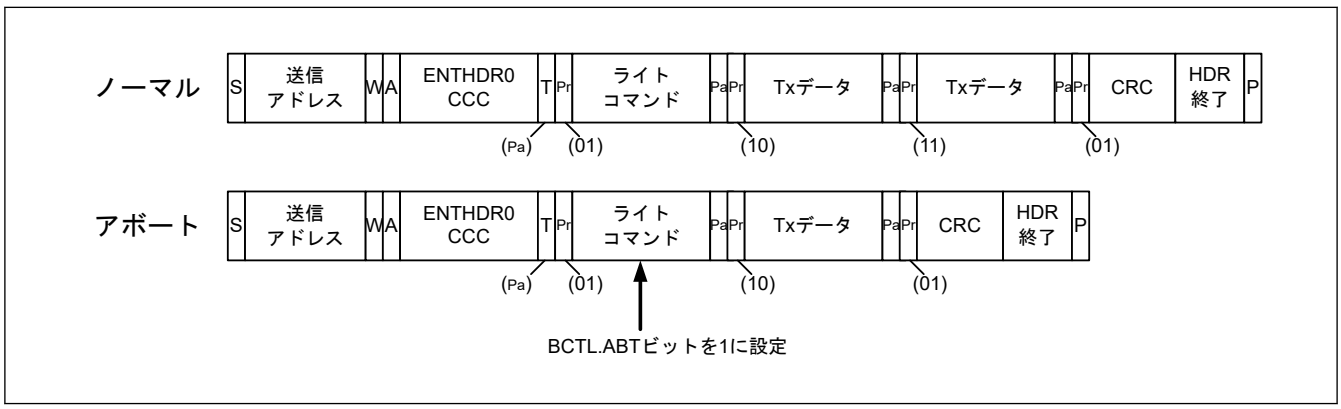


図 40.118　HDR-DDR 書き込み転送の中断動作

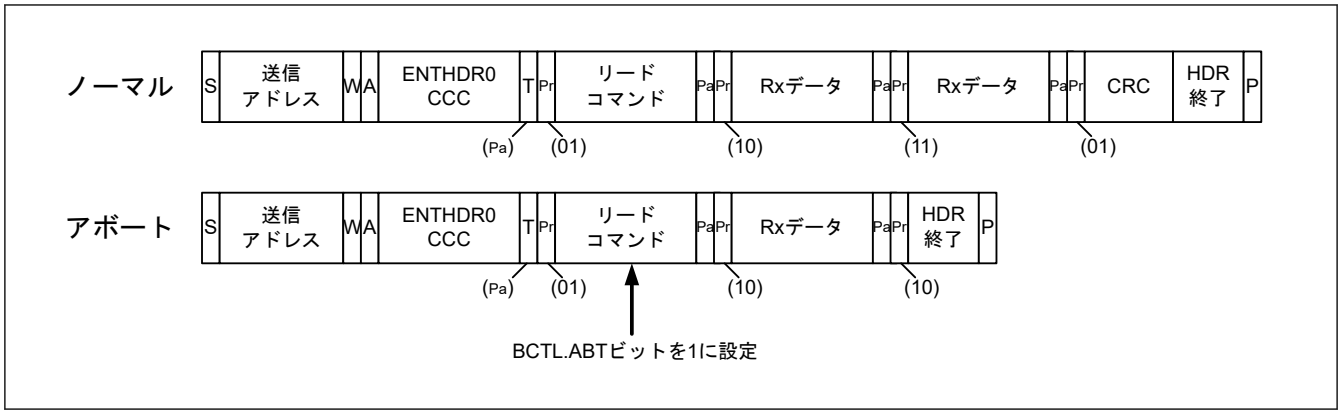


図 40.119　HDR-DDR 読み出し転送の中断動作

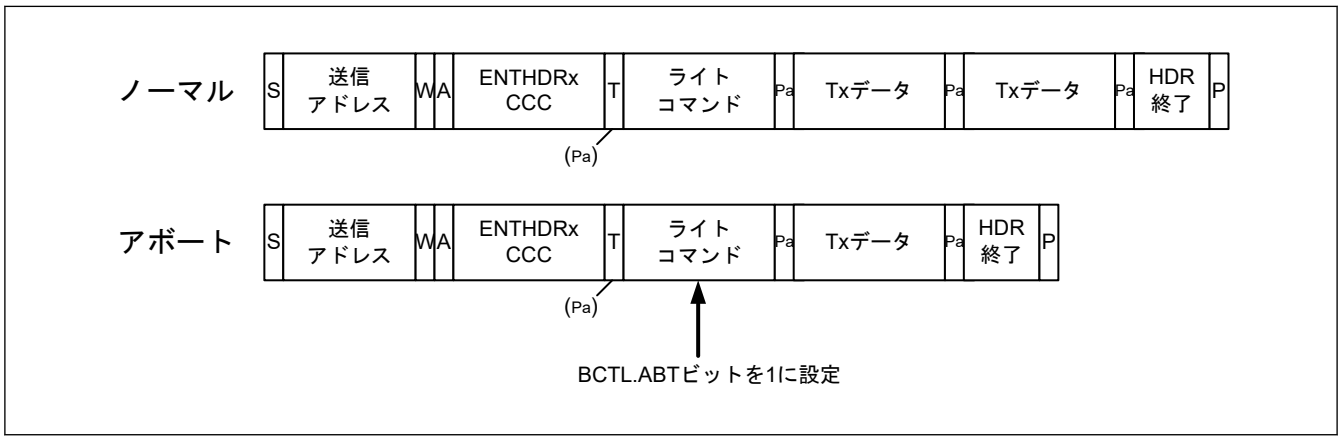


図 40.120　HDR-TSP/TSL 書き込み転送の中断動作

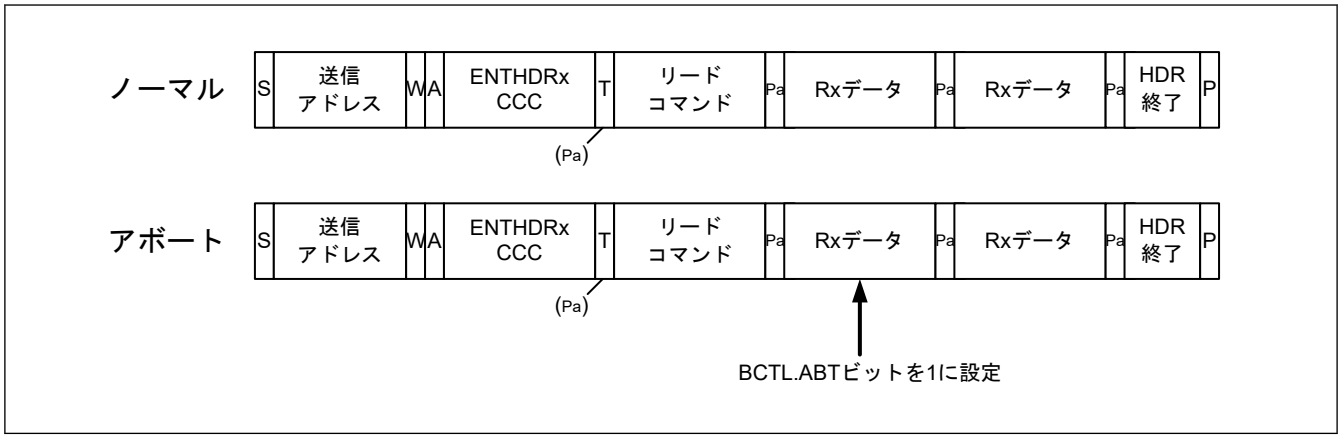


図 40.121　HDR-TSP/TSL 読み出し転送の中断動作

40.3.2.4.8　エラー復帰動作

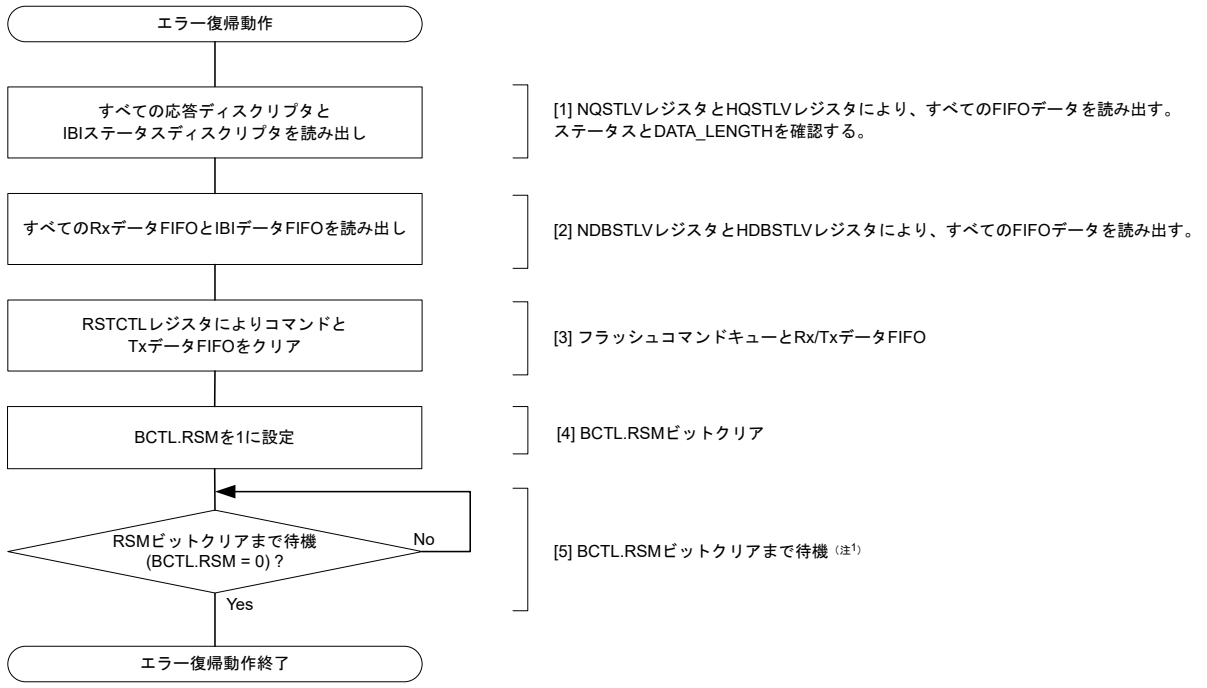
(1) エラー復帰動作

エラーが発生すると、エラーの要因に従って INST.INEF、NTST.TEF、NTST.TABTF、HTST.TEF、および HTST.TABTF フラグが 1 に設定されます。または各フラグに対応する割り込みがアサートされます（検出と割り込みが許可されている場合）。

通信エラーか内部モジュールエラーが発生する可能性があります。

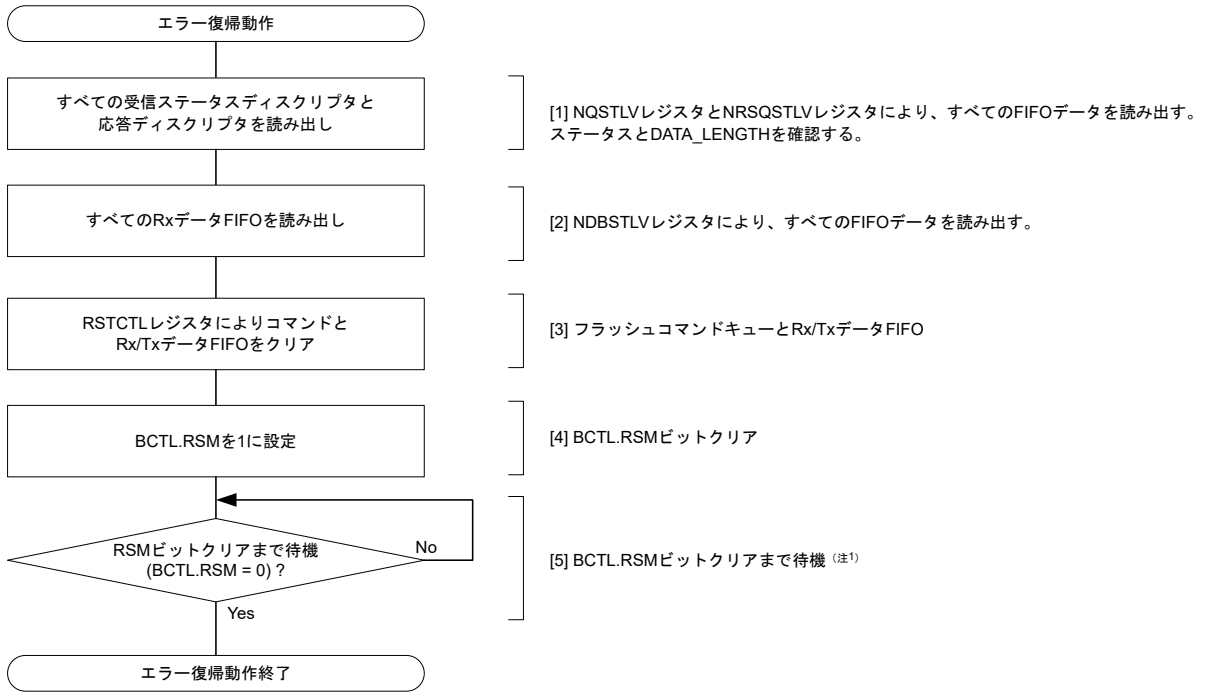
注.　エラーが発生した場合は、I3C がサスペンドされます（BCTL.RSM が 1 になる）。I3C がサスペンド状態になった後に、I3C が動作を再開し、サスペンド状態から復帰するためには、アプリケーションが BCTL.RSM ビットに 1 を書き込む必要があります。

エラー復帰フローを図 40.122 と図 40.123 に示します。



注 1. RSM ビットがクリアされる前に、コマンドキューポート（NCMDQP または HCMDQP）への書き込みを介して、コマンドディスクリプタをコマンドキューに書き込むことができます。

図 40.122 I3C マスタのエラー復帰動作フローの例



注 1. RSM ビットがクリアされる前に、コマンドキューポート (NCMDQP) への書き込みを介して、IBI 発行用コマンドディスクリプタをコマンドキューに書き込むことができます。

図 40.123 I3C スレーブでのエラー復帰動作フローチャート例

I3C スレーブがエラー復帰フローに従ってエラーから復帰するとき、BCTL.RSM を 1 にしてた後、I3C バス上でバス利用可能期間に通信が行われていない状態を検出すると、BCTL.RSM が 0 になります。

I3C バス上でバス利用可能期間中に通信が行われた場合、BCTL.RSM は 0 にならず、エラー復帰は完了せず、通信には NACK 応答が返されます。

(2) マスタエラー検出とエスカレーション処理

マスタがスレーブに送信したプライベートメッセージの ACK を受信せず、MIPI I3C 仕様 v1.0 の 5.1.10.2.4 に記載されているステップ 1 と 2 が失敗する場合、ステップ 3 の処理フローを図 40.124 と図 40.125 に示します。

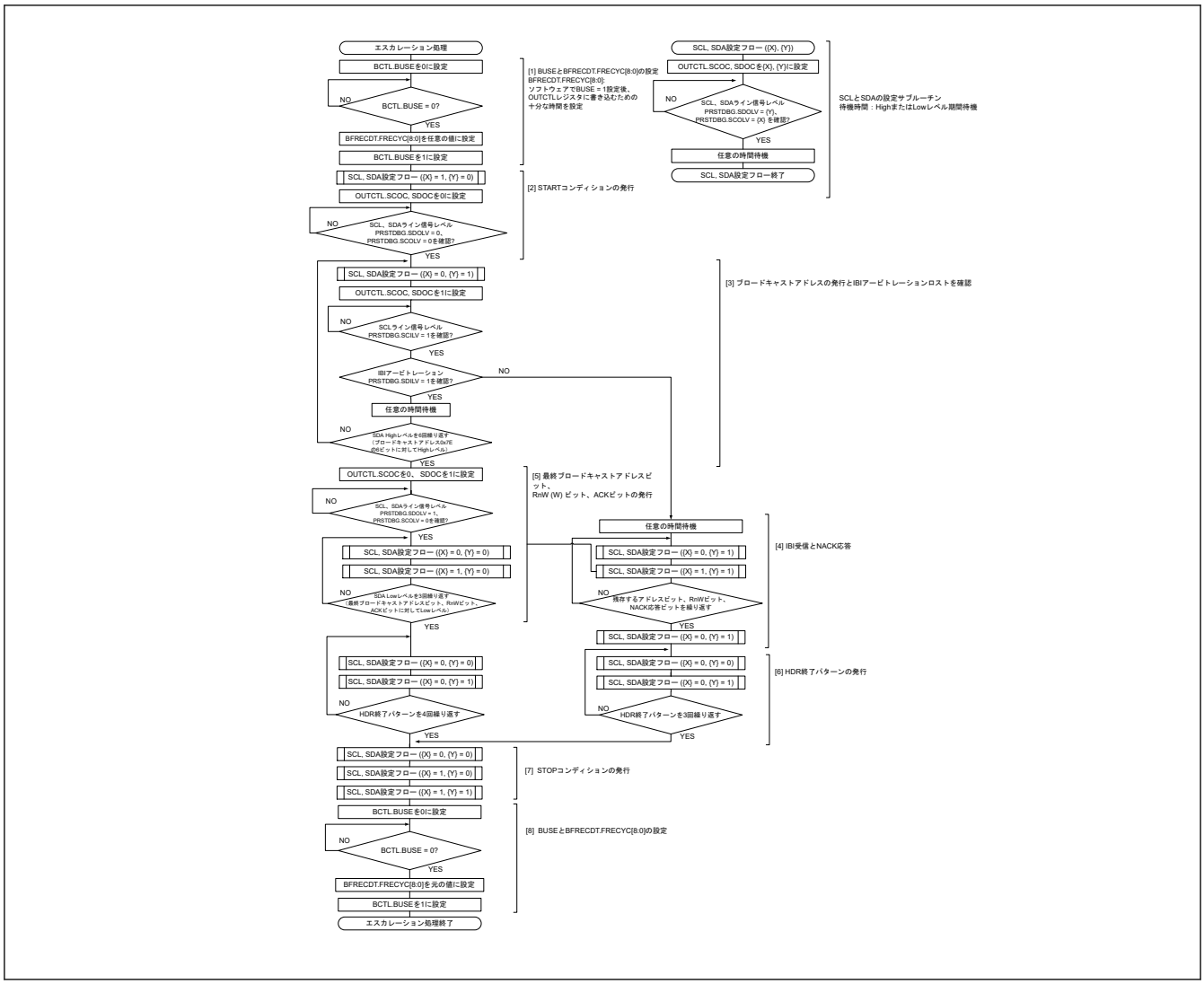


図 40.124　I3C マスタのエスカレーション処理フローチャート

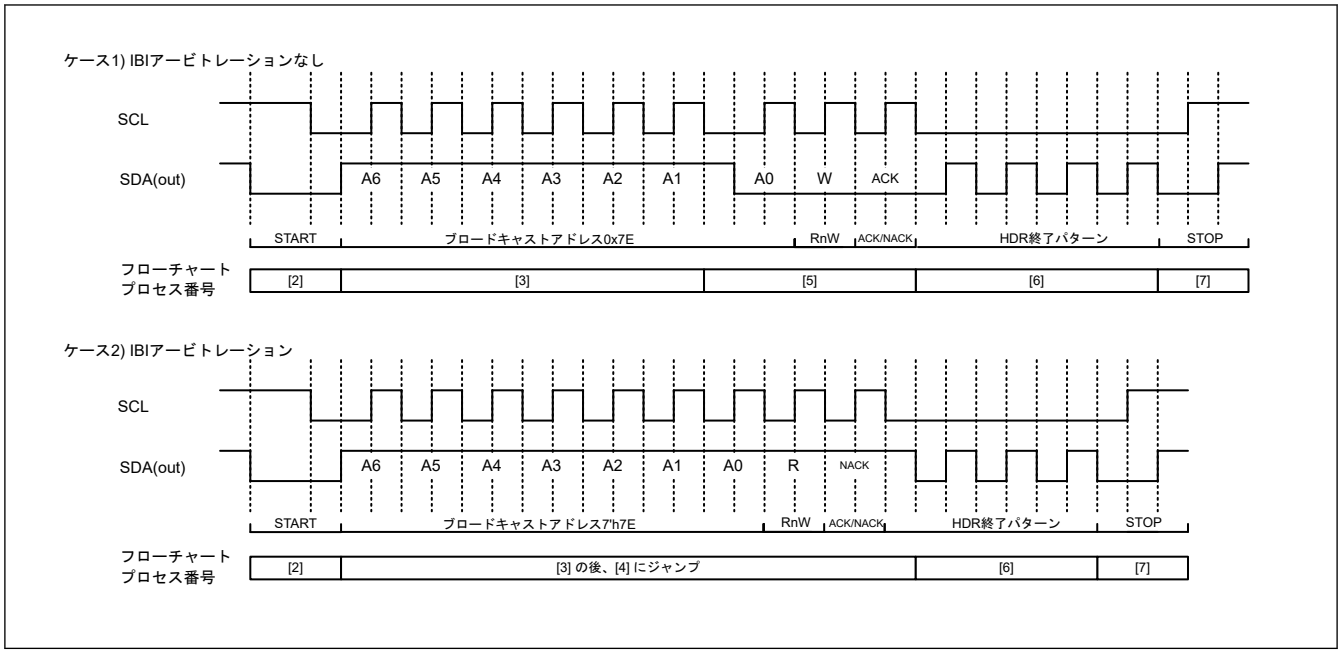


図 40.125　I3C マスタの I3C エスカレーション処理タイミングチャート

40.3.2.5　低消費電力機能

40.3.2.5.1　ウェイクアップ機能［I²C モード］

I3C は MCU をシステムクロック (ICLK) が停止している低消費電力モード（ソフトウェアスタンバイモードなど）から通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、受信データがウェイクアップ割り込み要因に設定されたアドレスに一致するとき、また、動作クロック (PCLK/TCLK) が停止している（PCLK/TCLK 非同期動作）状態でデータを受信したとき、ウェイクアップ割り込み信号を生成するのに使用します。このウェイクアップ割り込み信号が、MCU を通常動作へ遷移させます。ウェイクアップ割り込みが発生すると、I3C を PCLK/TCLK 同期動作に切り替え、通信動作を継続できるようにします。

ウェイクアップ機能には、ノーマル WU モード 1、ノーマル WU モード 2、コマンドリカバリモード、EEP 応答モードの 4 つのウェイクアップ動作モードがあります。下の表にそれら 4 つのウェイクアップ動作モードの動作について説明します。

表 40.17　ウェイクアップ動作モード

	ACK 応答タイミング	PCLK/TCLK 同期動作へのリカバリ前に応答した ACK の種別	PCLK/TCLK 同期動作へのリカバリ前の SCL 状態
通常ウェイクアップモード 1	PCLK/TCLK 同期動作へのリカバリ前(注1)	ACK	Low に固定
通常ウェイクアップモード 2	PCLK/TCLK 同期動作へのリカバリ後(注2)	リカバリ前：応答なし（NACK レベル保持） リカバリ後：ACK 応答	Low に固定
コマンドリカバリモード	PCLK/TCLK 同期動作へのリカバリ前(注1)	ACK	オープン
EEP 応答モード	PCLK/TCLK 同期動作へのリカバリ前(注1)	NACK	オープン

注 1.　PCLK/TCLK 非同期動作から PCLK/TCLK 同期動作へのタイミング切り替えは、9 番目の SCL クロックの立ち下がりで発生します。
注 2.　PCLK/TCLK 非同期動作から PCLK/TCLK 同期動作へのタイミング切り替えは、8 番目の SCL クロックの立ち下がりで発生します。

ウェイクアップ割り込み要因として以下の要因が選択可能です。

- ホストアドレス検出（SVCTL.HOAE = 1 の場合に有効）
- ジェネラルコールアドレス検出（SVCTL.GCAE = 1 の場合に有効）
- スレーブアドレス 0(注1)検出（SVCTL.SVAE[0] = 1 の場合に有効）

- スレーブアドレス 1(注1)検出（SVCTL.SVAE[1] = 1 の場合に有効）
- スレーブアドレス 2(注1)検出（SVCTL.SVAE[2] = 1 の場合に有効）

注 1. 7 ビットアドレスのみが設定可能。SDATBASn.SDADLS ビットを 0 にしてください。

(1) ノーマル WU モード 1

以下では、通常ウェイクアップモード 1 の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によるウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 40.128 に、詳細なタイミングを示します。

ウェイクアップリカバリ前： 自スレーブアドレスとともに受信したデータに対して ACK を送信する。

ウェイクアップリカバリ時： SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う(注1)。

ウェイクアップリカバリ後： 通常動作が継続する。

注 1. ウェイクアップリカバリ時の 9 クロック目と 1 クロック目の間では、SCSTRCTL.RWE = 1 は無効です。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下り後に I3C_SCL ラインの Low ホールドを行わず、スレーブ動作を継続します。

使用例について、以下の図 40.126 を参照してください。

スレーブアドレス一致で生成されたウェイクアップ割り込み信号以外の要因（他のリカバリ要因 (IRQ)）で通常動作へ遷移した場合、ウェイクアップ割り込みは発生しません。この場合 BST.WUCNDDF は設定されません。図 40.127 に従って以下の手順を実施してください。

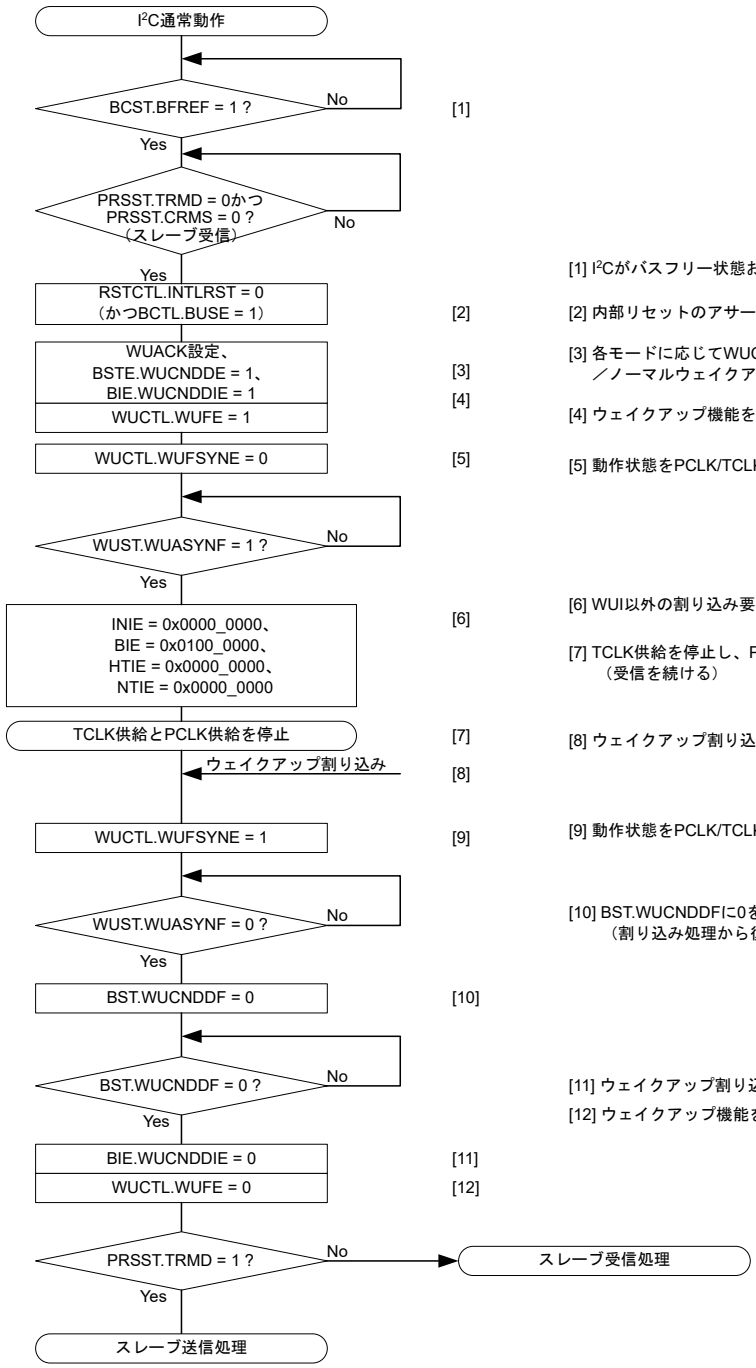


図 40.126 ノーマル WU モード 1 の使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）

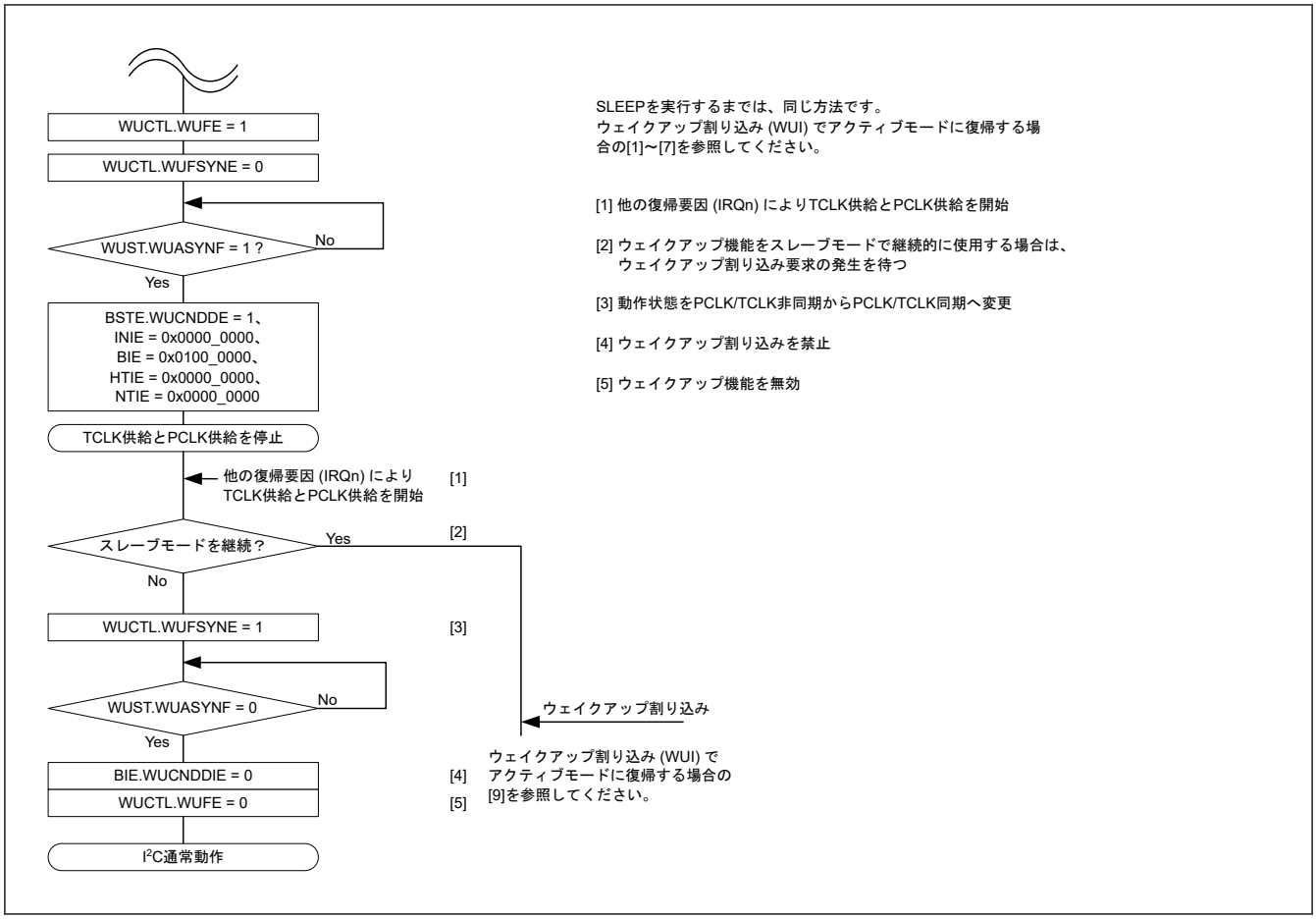


図 40.127 ノーマル WU モード 1 および 2 の使用例（他のリカバリ要因 (IRQ) によるウェイクアップリカバリの場合）

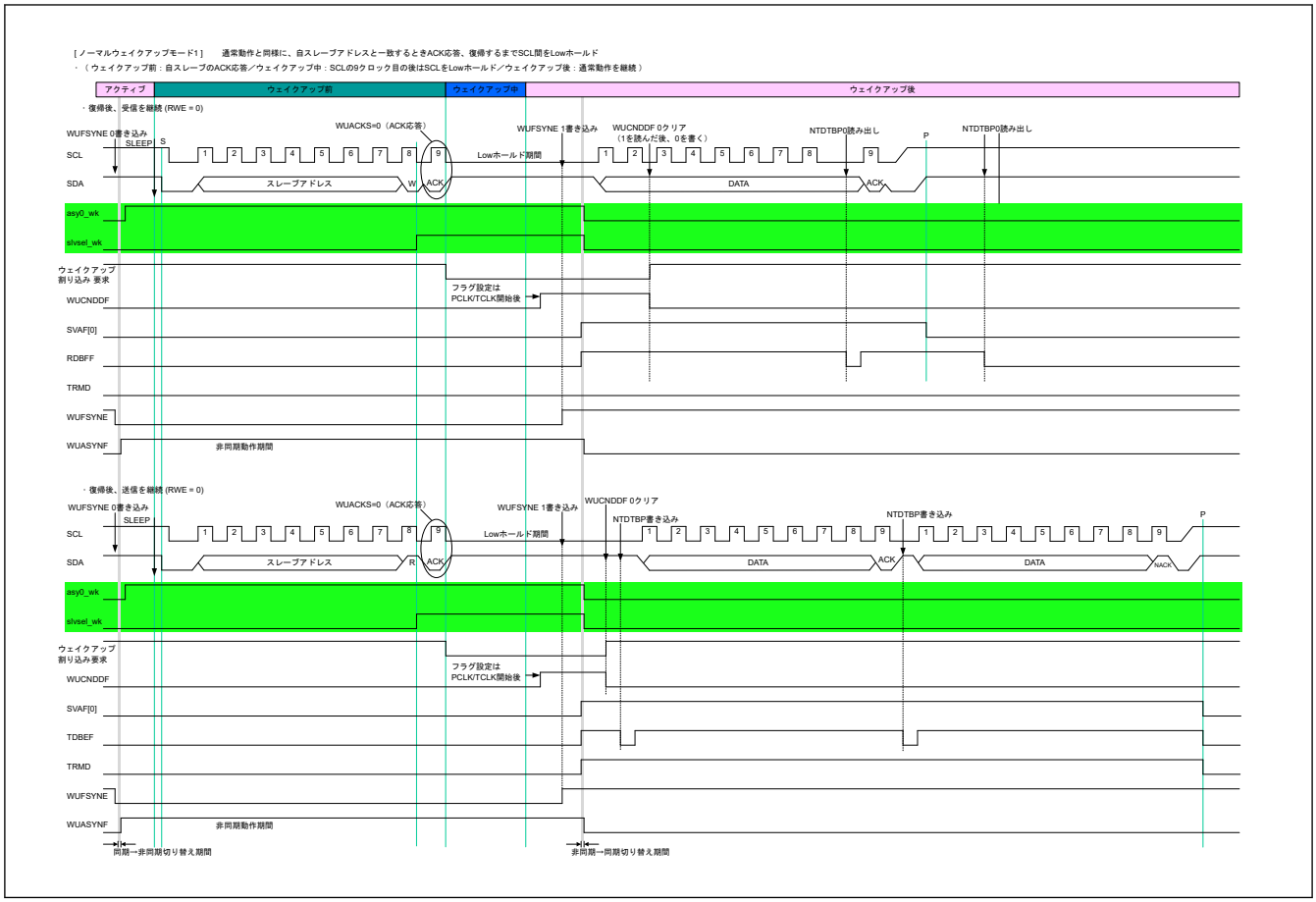


図 40.128　ノーマル WU モード 1 のタイミング

(2)　ノーマル WU モード 2

以下では、通常ウェイクアップモード 2 の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によるウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

図 40.130 に、詳細なタイミングを示します。

ウェイクアップリカバリ前：　自スレーブアドレスとともに受信したデータに対して SCL の 8 クロック目の終わりまで応答しない。

ウェイクアップリカバリ時：　8 クロック目と 9 クロック目の間で I3C_SCL ラインの Low ホールドを行う。

ウェイクアップリカバリ後：　SCL の 9 クロック目で ACK を返し、通常動作が継続する。

スレーブアドレスが不一致の場合、SCL の 8 クロック目の立ち下り後に I3C_SCL ラインの Low ホールドは行われません。スレーブ動作が継続します。

使用例について、以下の図 40.129 を参照してください。

スレーブアドレス一致で生成されたウェイクアップ割り込み信号以外の要因（他のリカバリ要因 (IRQ)）で通常動作へ遷移した場合、ウェイクアップ割り込みは発生しません。この場合 BST.WUCNDDF は設定されません。図 40.127 に従って以下の手順を実施してください。

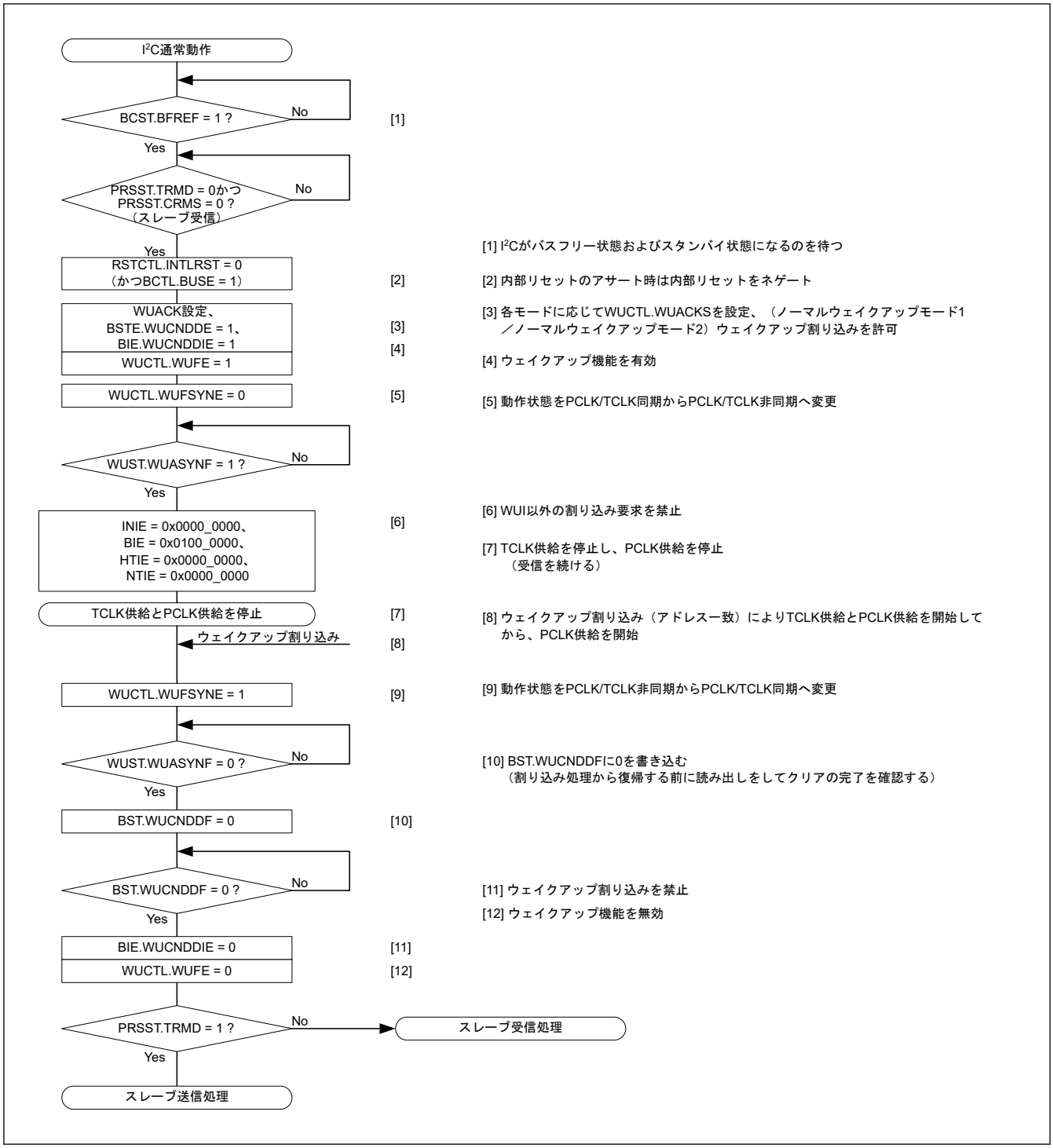


図 40.129 ノーマル WU モード 2 の使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）

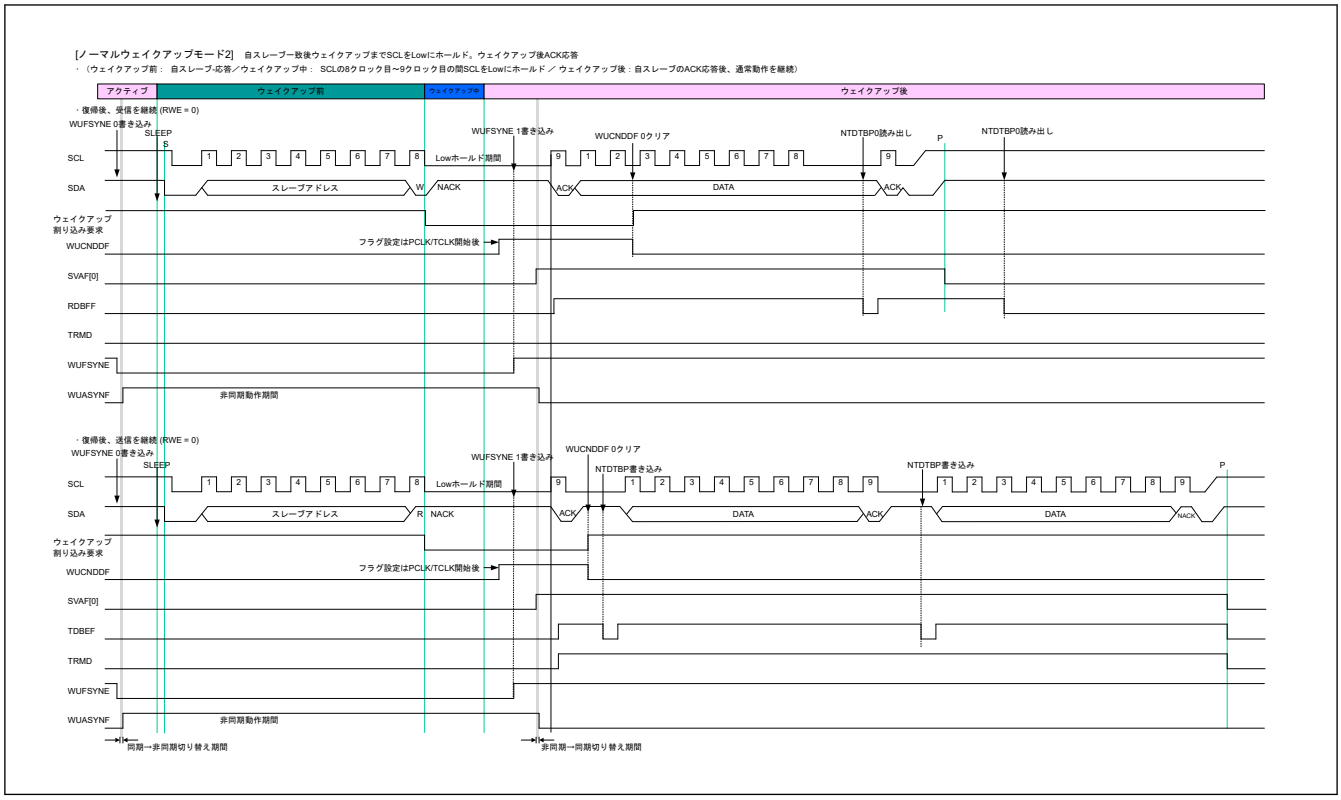


図 40.130　ノーマル WU モード 2 のタイミング

(3)　コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード）

コマンドリカバリモードと EEP 応答モードでは、ウェイクアップリカバリ期間中（SCL の 9 クロック目の立ち上がり後）に I3C_SCL ラインの Low ホールドを行わないので、他の I^2C/I3C デバイスはこの期間に I^2C バスを利用できます。以下では、コマンドリカバリモードと EEP 応答モードの動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によるウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 40.133 に、詳細なタイミングを示します。

ウェイクアップリカバリ前：	自スレーブアドレスとともに受信したデータに対して ACK（コマンドリカバリモードの場合）または NACK（EEP 応答モードの場合）を返す。
ウェイクアップリカバリ時：	I3C_SCL ラインの Low ホールドを行わない。
ウェイクアップリカバリ後：	I3C の初期設定後、通常動作が継続する。

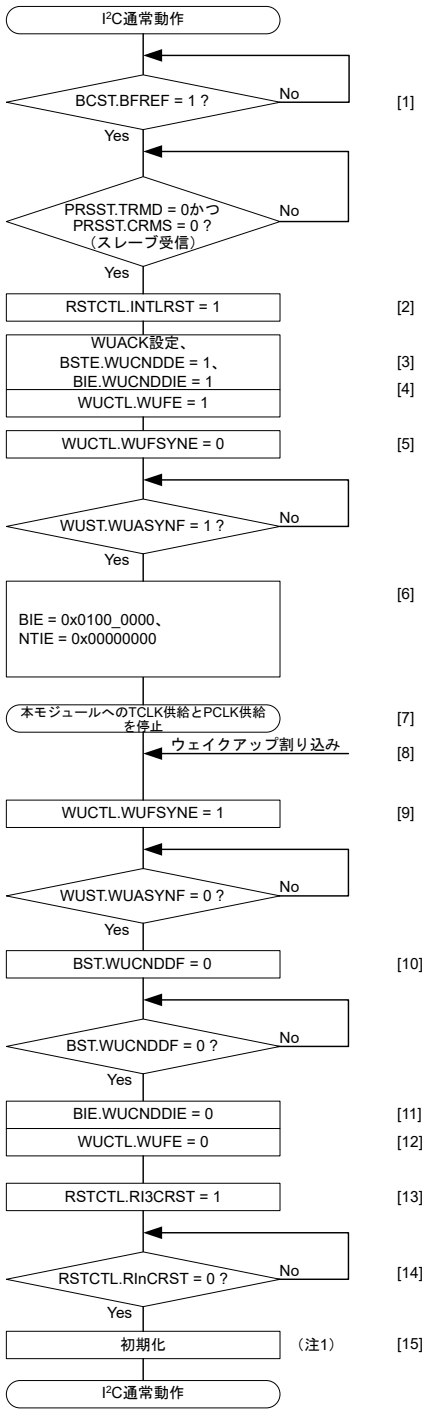
注.　ウェイクアップリカバリ中に I3C_SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。

注.　コマンドリカバリモードと EEP 応答モードは、内部リセット状態 (RSTCTL.INTLRST = 1) です。そのため、スレーブアドレスが一致しても、SVST レジスタのフラグ（HOAF、GCAF、および SVAF[2:0]）は設定されません。

スレーブアドレスが不一致の場合、スレーブ動作が継続します。

使用例について、以下の図 40.132 を参照してください。

スレーブアドレス一致で生成されたウェイクアップ割り込み信号以外の要因（他のリカバリ要因 (IRQ)）で通常動作へ遷移した場合、ウェイクアップ割り込みは発生しません。この場合 BST.WUCNDDF は設定されません。図 40.132 に従って以下の手順を実施してください。



[1] I²Cがバスフリー状態およびスタンバイ状態になるのを待つ

[2] 内部リセットをアサート

[3] 各モードに応じてWUCTL.WUACKSを設定（コマンド復帰モード／EEP応答モード）
ウェイクアップ割り込みが許可される

[4] ウェイクアップ機能を有効

[5] 本モジュールの動作状態をPCLK/TCLK同期からPCLK/TCLK非同期へ変更

[6] WUI以外の割り込み要求を禁止

[7] 本モジュールへのTCLK供給を停止し、PCLK供給を停止
（本モジュールは受信を継続）

[8] ウェイクアップ割り込み（アドレス一致）により本モジュールへのTCLK供給とPCLK供給を開始してから、本モジュールへのPCLK供給を開始

[9] 本モジュールの動作状態をPCLK/TCLK非同期からPCLK/TCLK同期へ変更

[10] BST.WUCNDDFに0を書き込む
（割り込み処理から復帰する前に読み出しをしてクリアの完了を確認する）

[11] ウェイクアップ割り込みを禁止

[12] ウェイクアップ機能を無効

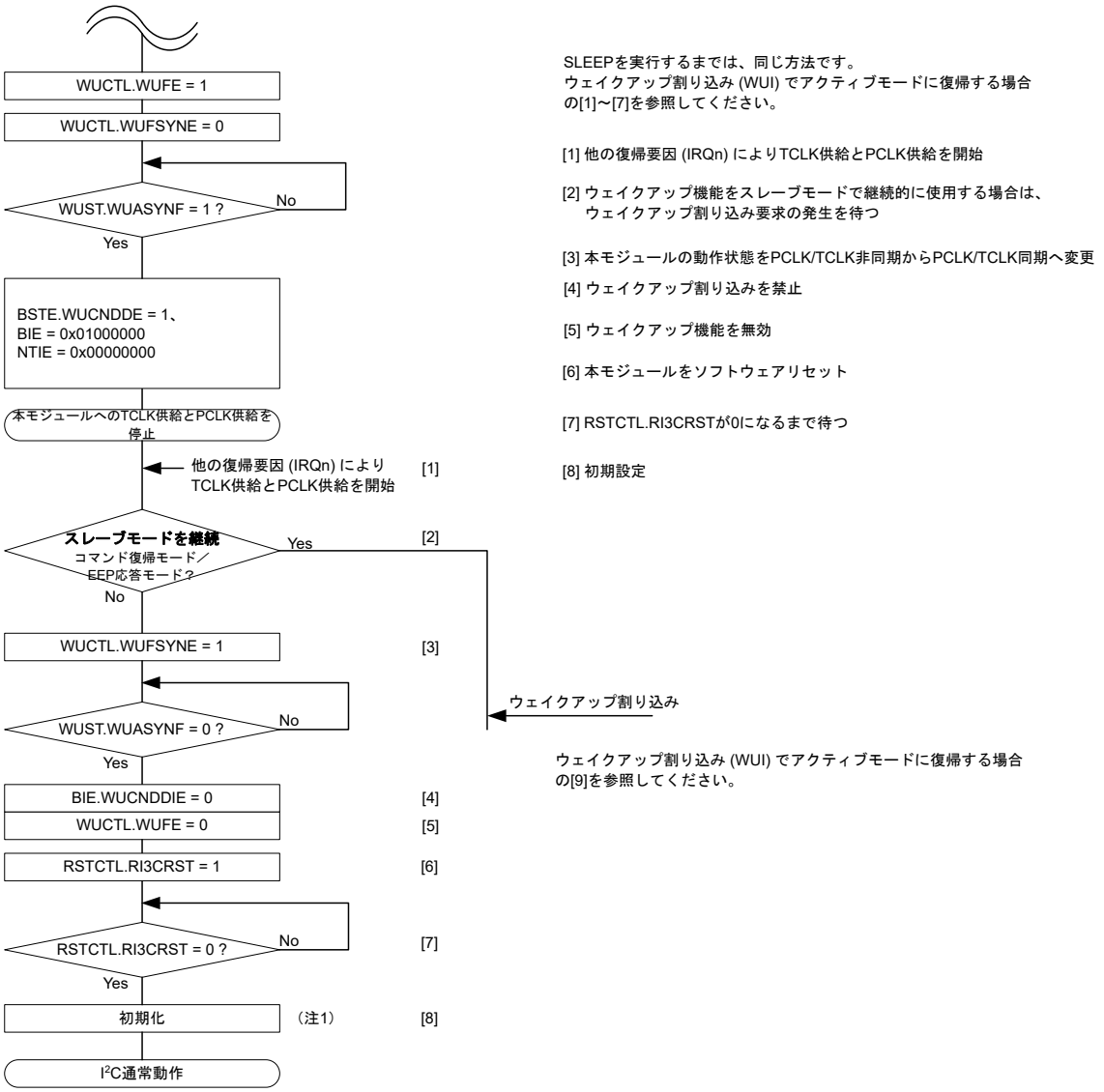
[13] ソフトウェアリセット

[14] RSTCTL.RI3CRSTが0になるまで待つ

[15] 初期設定

注 1. 初期化処理の詳細は、「40.3.3.1. 初期設定フロー」を参照してください。

図 40.131 コマンドリカバリモードと EEP 応答モードの使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）



注 1. 初期化処理の詳細は、「40.3.3.1. 初期設定フロー」を参照してください。

図 40.132 コマンドリカバリモードと EEP 応答モードの使用例（他のリカバリ要因 (IRQ) によるウェイクアップリカバリの場合）

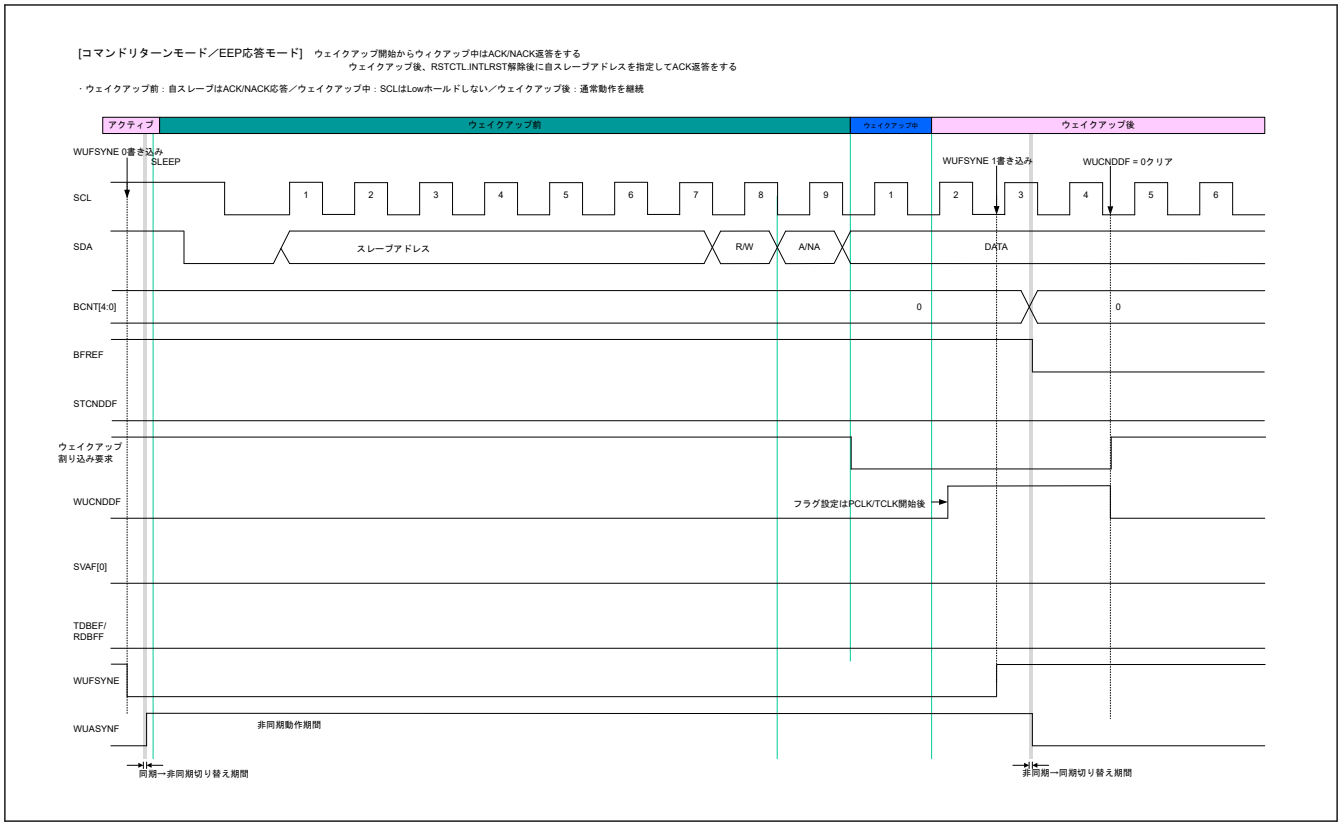


図 40.133　コマンドリカバリモードと EEP 応答モードのタイミング

(4)　ウェイクアップ機能使用時の注意事項

ウェイクアップ機能使用時の注意事項を以下に示します。

- WUST.WUASYNF フラグが 1（PCLK/TCLK 非同期動作時）の間は、WUCTL.WUFSYNE ビットを除き、I3C のレジスタの内容を変更しないでください。
- PCLK/TCLK 非同期モードに切り替える前に、WUCTL.WUFE ビット、BSTE.WUCNDDE ビット、BIE.WUCNDDIE ビットを 1 に、PRSST.CRMS ビット、PRSST.TRMD ビットを 0（スレーブ受信モード）にしてください。
- デバイス ID および 10 ビットスレーブアドレスはウェイクアップ割り込み要因に選択できません。SVCTL レジスタの DVIDE ビット、および SDATBASn (n = 0～2) レジスタの SDADLS ビットを 0 に設定してください。
- 非同期動作に切り替える前に、BIE レジスタの全ビット (TENDIE, NACKDIE, SPCNDDIE, STCNDDIE, ALIE, TODIE) および NTIE レジスタの TDBEIE0 ビットと RDBFIE0 ビットを 0（割り込み禁止）にしてください。
- ウェイクアップ機能有効時 (WUCTL.WUFE = 1) は、タイムアウト機能を使用しないでください。
- ウェイクアップ割り込みは PCLK/TCLK 非同期動作中（WUST.WUASYNF が 1 のとき）に生成します。PCLK/TCLK 同期動作モード (WUST.WUASYNF = 0) でスレーブアドレスの一致を検出した場合、ウェイクアップ割り込みは発生せず、BST.WUCNDDF フラグも設定されません。
- WUCTL.WUFSYNE ビットに 0 を書き込むタイミングとスタートコンディションを検出するタイミングが競合する場合、I3C は PCLK/TCLK 同期動作モードで次の受信を開始する可能性があります。この場合、データ通信完了時に WUST.WUASYNF フラグは 1 になり（PCLK/TCLK 非同期モードへ切り替え）、データ通信が完了してストップコンディションを検出したとき、ウェイクアップイベントの検出を開始します。
- アドレス一致の検出なしに PCLK/TCLK 非同期動作から PCLK/TCLK 同期動作に切り替えたい場合は、ストップコンディションの検出で切り替わります。バスフリー状態で WUCTL.WUFSYNE ビットを 1 にすると、PCLK/TCLK 非同期動作（受信動作：通信フレームの待機）を継続します。I3C が次の通信フレームのストップコンディションを検出したとき、WUST.WUASYNF フラグは 0 になります。そして I3C は、PCLK/TCLK 同期動作に切り替わります。

- WUCTL.WUFSYNE ビットに 0 を書き込んだ後、動作モードが PCLK/TCLK 同期動作から PCLK/TCLK 非同期動作に切り替わるまで（WUST.WUASYNF フラグが 1 の間）、I3C 動作モード設定に関連するレジスタ（BFCTL、SCSTRCTL、ACKCTL、INCTL、SVCTL、SDATBASn (n = 0～2) レジスタ）を変更しないでください。この期間に割り込み処理などでレジスタ値が変わると、I3C は非同期動作の設定に遷移する前に誤動作となることがあります。
- PCLK/TCLK 非同期動作（WUST.WUASYNF が 1 である）の間、SVST、BST、NTST、HTST レジスタの各フラグと BCST.BFREF フラグを参照しないでください。
- ノーマル WU モード 2 でスレーブアドレス一致によるウェイクアップを行うときに同期ユニットの ACK 応答を生成させるため、ACKCTL.ACKT を 1 に設定しないでください。

40.3.2.5.2 ウェイクアップ機能

(1) I3C マスタウェイクアップ機能

I3C マスタのウェイクアップ割り込み要因を以下に示します。

- SDA Low 検出（I3C スレーブからの IBI 要求）

SDA Low 検出によりアクティブモード（通常動作）に遷移する場合の動作を以下に示します。

ウェイクアップリカバリ前：	SDA Low 駆動を検出し、I3C_WU 割り込みがアサートされる。
ウェイクアップリカバリ時：	I3C_SCL ラインを High に保つ。
ウェイクアップリカバリ後：	SCL を Low に駆動し、スタートコンディションを完了する。 SCL が I3C バスの供給され、I3C スレーブからの IBI を受信する。

他の要因によりアクティブモード（通常動作）に遷移する場合は、必要に応じてウェイクアップ機能を無効にしてください。

PRSTDBG.SDILV が 1 であることを確認した後、WUCTL.WUFE を 0 にしてください。

ウェイクアップ機能有効時 (WUCTL.WUFE = 1) は、タイムアウト機能を使用しないでください。

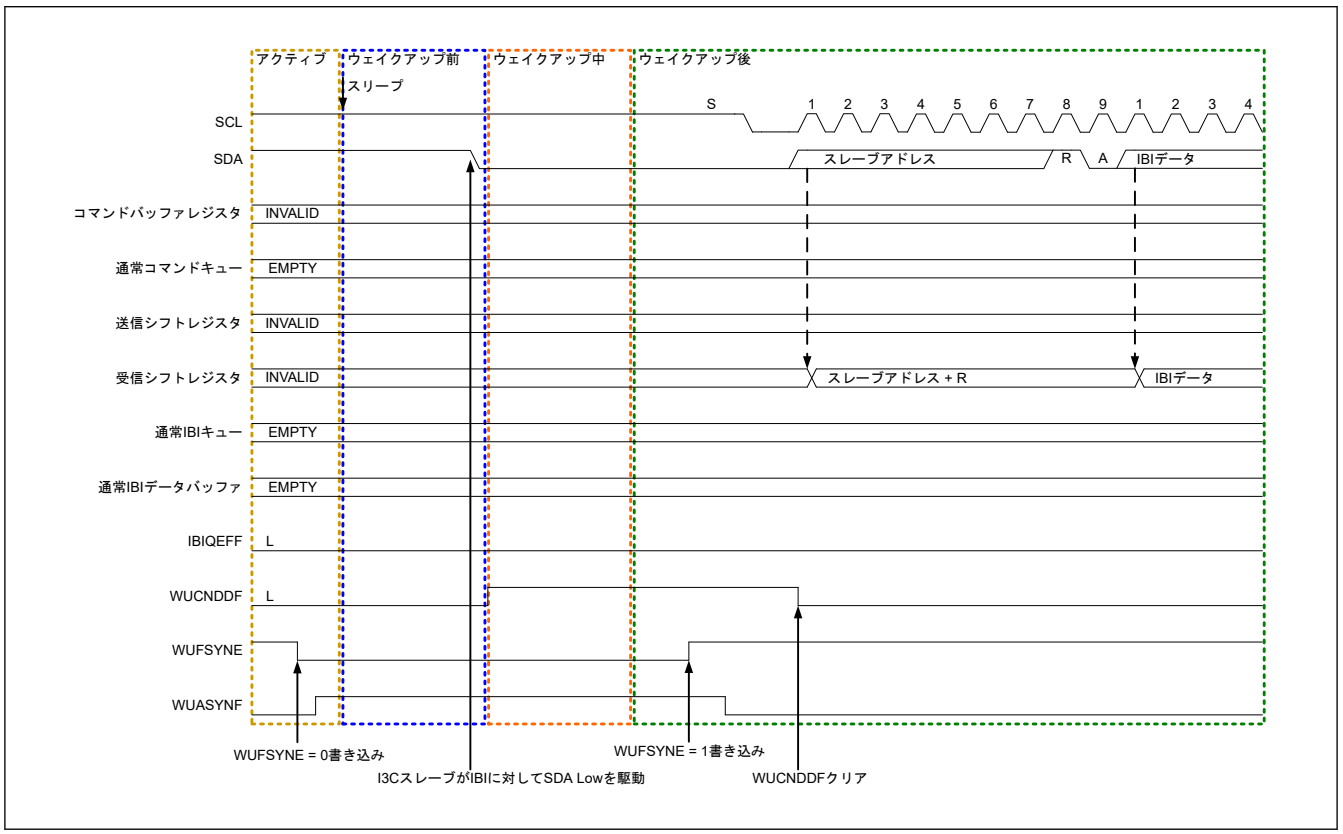


図 40.134 I3C マスタウェイクアップ動作

(2) I3C スレーブウェイクアップ機能

I3C スレーブのウェイクアップ割り込み要因を以下に示します。

- ブロードキャストアドレス (0x7E) と自身のスレーブアドレスの一致

ブロードキャストアドレス (0x7E) と、自身のスレーブアドレスとの一致検出によるウェイクアップ割り込みによってアクティブモード（通常動作）に遷移する場合の動作を以下に示します。

ウェイクアップリカバリ前：	1. I3C がスタートコンディションまたは繰り返しのスタートコンディションに続けて BA (0x7E/W) を検出した場合、I3C は 0x7E/W の後に ACK を生成する。 2. I3C が、1.に続けて繰り返しのスタートコンディションの後に自身のダイナミックアドレスを検出した場合、I3C は自身のダイナミックアドレスの後に NACK を生成し、I3C_WU 割り込みを生成する。
ウェイクアップリカバリ時：	I3C は常に NACK を生成する。
ウェイクアップリカバリ後：	通常動作が継続する。

他の要因によりアクティブモード（通常動作）に遷移する場合は、必要に応じてウェイクアップ機能を無効にしてください。ウェイクアップ機能有効時 (WUCTL.WUFE = 1) は、タイムアウト機能を使用しないでください。

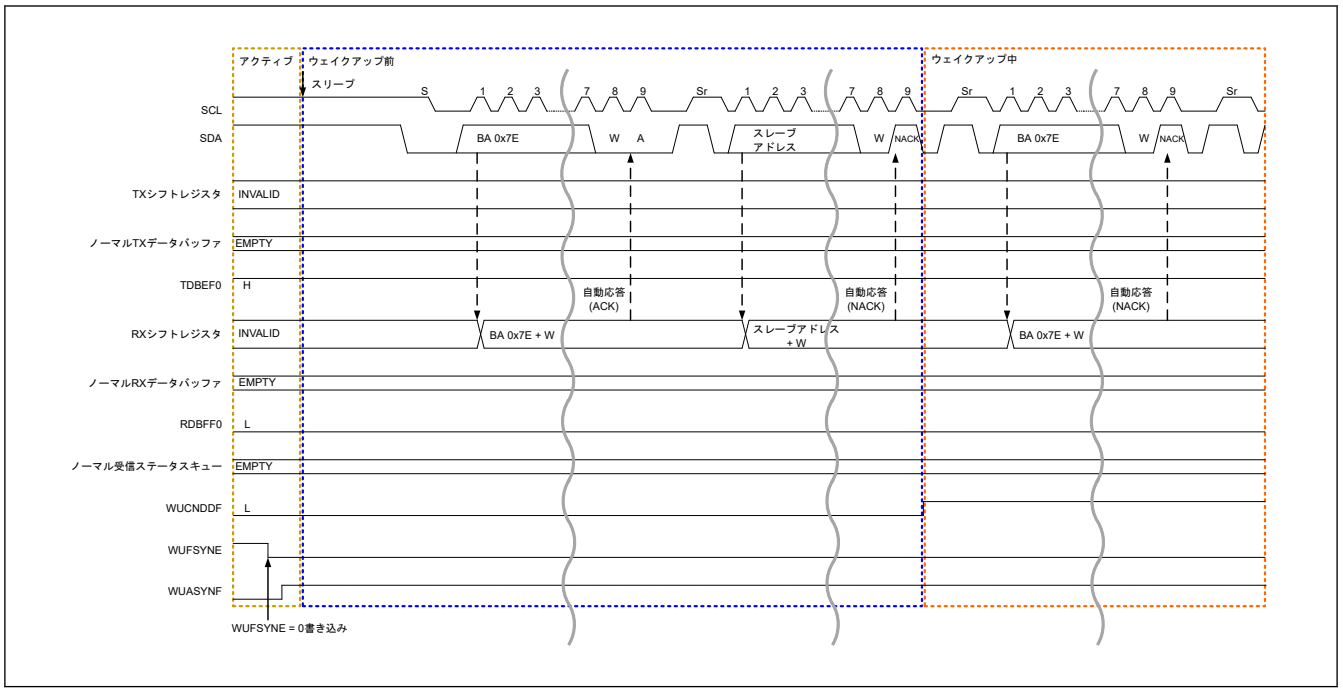


図 40.135 I3C スレーブウェイクアップ動作 (1/2)

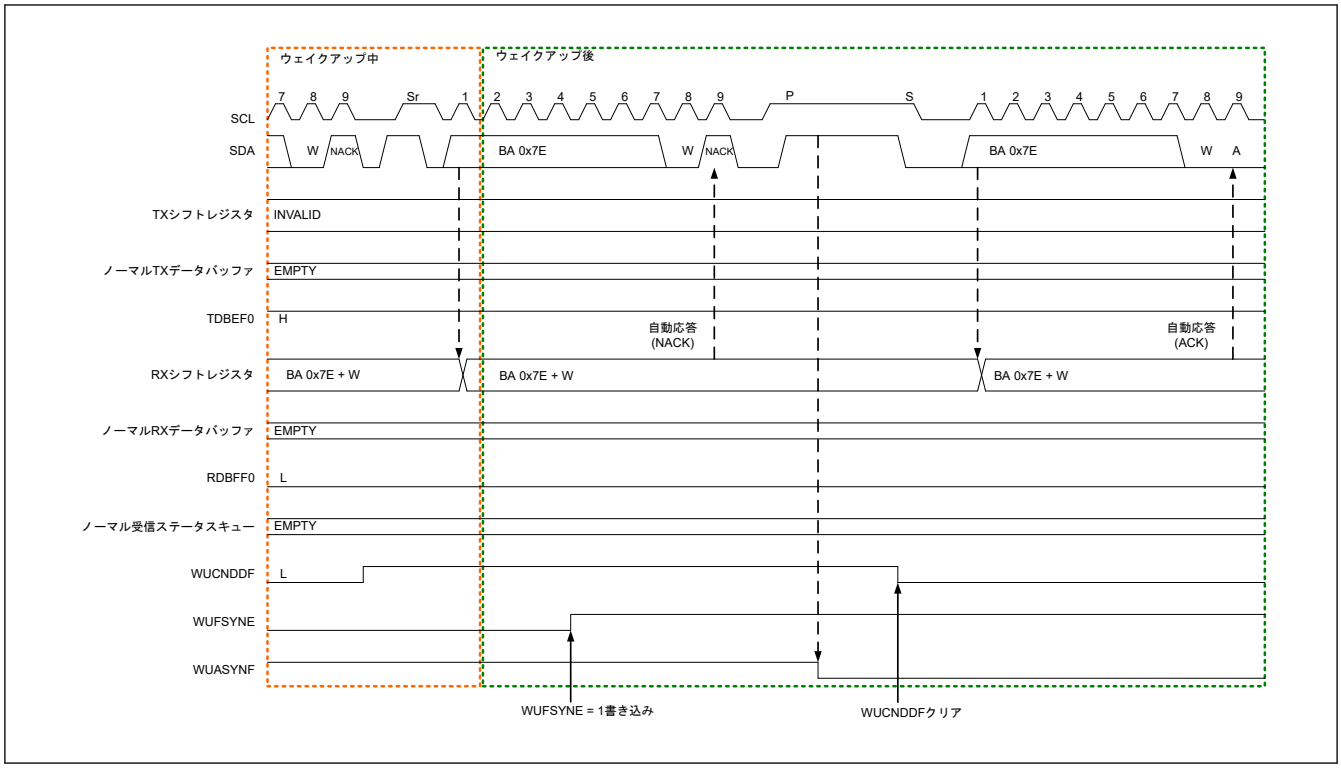


図 40.136　I3C スレーブウェイクアップ動作 (2/2)

40.3.2.6　その他の機能

40.3.2.6.1　SCL 同期回路［I²C モード］

この機能は、PRTS.PRTMD ビットが 1 のとき有効になります。

SCL クロック生成では、I3C が I3C_SCL ラインの立ち上がりエッジを検出すると、STDBR.SBRHO[7:0]ビットで設定した High 幅のカウントを開始し、カウントが完了すると I3C_SCL ラインを Low にします。

また、I3C が I3C_SCL ラインの立ち下がりエッジを検出すると、STDBR.SBRLO[7:0]ビットで設定した Low 幅のカウントを開始し、カウントが完了すると I3C_SCL ラインを解放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、I3C はマスタモード時に I3C_SCL ラインを監視することで、ビットごとに SCL クロック信号の同期を取る機能である SCL 同期回路を備えています。

I3C が I3C_SCL ラインの立ち上がりエッジを検出し、STDBR.SBRHO[7:0]ビットで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により I3C_SCL ラインが立ち下げられた場合、I3C は I3C_SCL ラインの立ち下がりエッジを検出すると High 幅のカウントアップ動作を中断し、I3C_SCL ラインの Low ドライブを行うのと同時に STDBR.SBRLO[7:0]ビットで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると、I3C は I3C_SCL ラインを解放します。このとき他のマスタデバイスの SCL クロックの Low 幅が本モジュールで設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、I3C_SCL ラインの解放によって SCL クロックが立ち上がります。I3C が SCL クロックの Low 幅の出力を終了すると、I3C_SCL ラインが解放され、SCL クロックが立ち上がります。すなわち、複数のマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。この SCL 同期は、BFCTL.SCSYNE ビットが 1 のときのみ有効です。

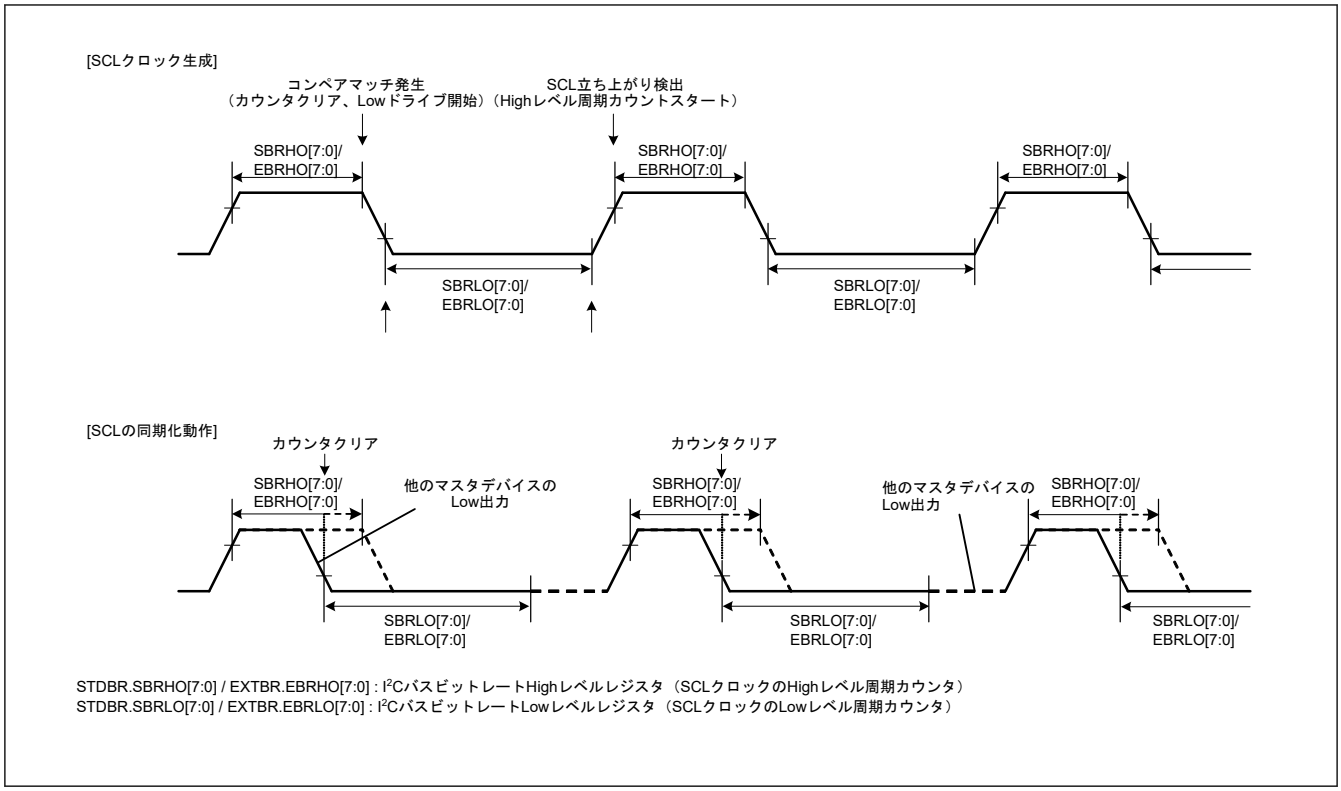


図 40.137　SCL クロック生成および SCL 同期化動作

40.3.2.6.2　SDA 出力遅延機能［I²C モード］

I3C モジュールは、I3C_SDA 出力遅延機能を備えています。この出力遅延機能は、I3C_SDA ライン上の全ての出力タイミング（スタート、繰り返しのスタート、ストップの各コンディションの発行、データ出力、および ACK と NACK の出力）を遅延させることができます。

この SDA 出力遅延機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300 ns) の要件を満たして、通信デバイスの誤動作を防止できるようになります。

この SDA 出力遅延機能は、OUTCTL.SDOD[2:0]ビットが 000b 以外のとき有効で、OUTCTL.SDOD[2:0]ビットが 000b のとき無効です。

SDA 出力遅延機能が有効になっているとき（OUTCTL の SDOD[2:0]ビットが 000b 以外）、OUTCTL の SDODCS ビットでは、SDA 出力遅延カウンタでカウントするためのクロックソースを I3C モジュールの内部基準クロック (I3Cφ) として、または内部基準クロックの 2 分周のクロック信号 (I3Cφ/2) として選択します。カウンタは、OUTCTL.SDOD[2:0]ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、I3C モジュールは、I3C_SDA ライン上で必要な出力（スタート、繰り返しのスタート、またはストップコンディション、データ、または ACK または NACK の信号）を行います。

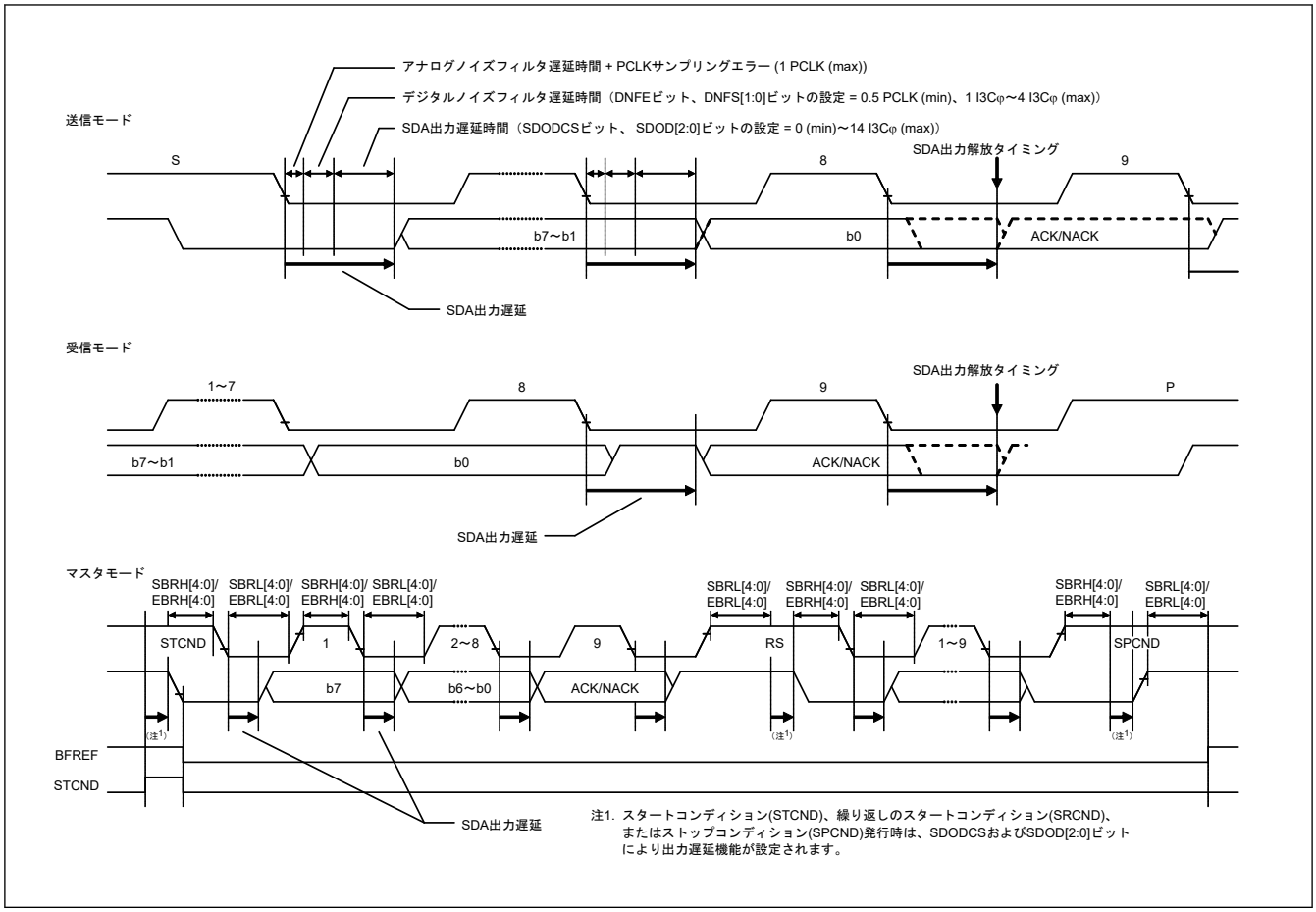


図 40.138　SDA 出力遅延機能

40.3.2.6.3　デジタルノイズフィルタ回路［I²C モード］

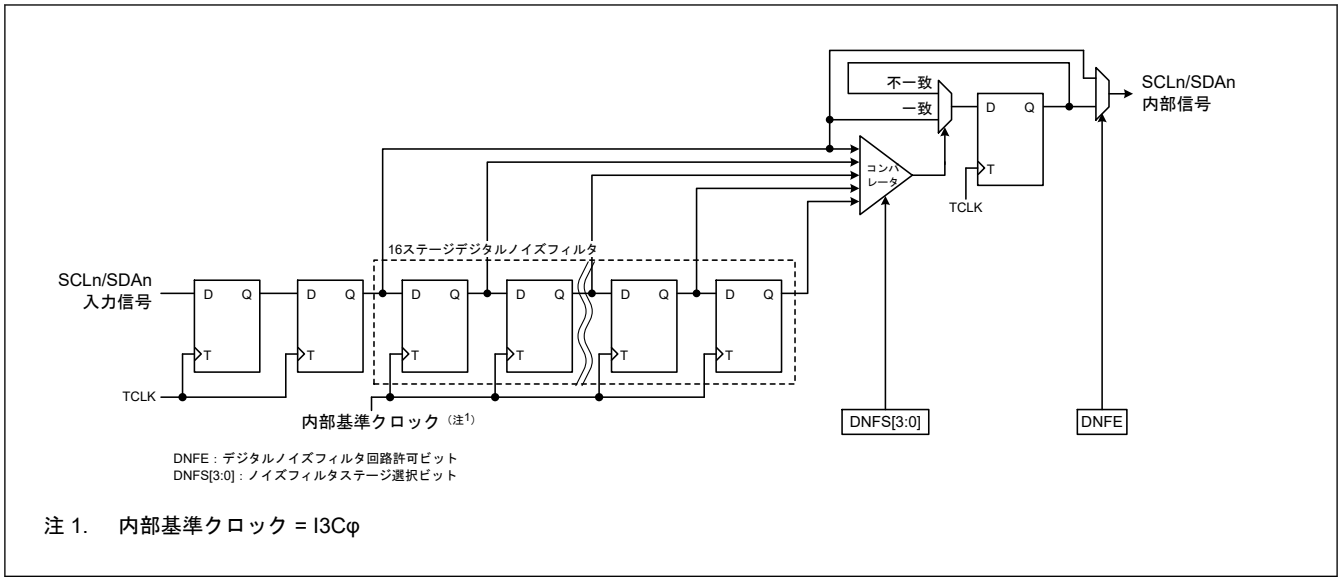
I3C_SCL 端子および I3C_SDA 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。図 40.139 にデジタルノイズフィルタ回路のブロック図を示します。

I3C に内蔵されているデジタルノイズフィルタ回路は、16 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。HS モードを選択したときは、最初の 4 段のフリップフロップ回路のみが有効です。

デジタルノイズフィルタの有効段数は INCTL.DNFS[3:0]ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて I3Cφ の 1～16 サイクル分となります。

I3C_SCL 端子入力信号（または I3C_SDA 端子入力信号）は I3Cφ 信号の立ち上がりエッジでサンプリングされます。入力信号レベルが、INCTL.DNFS[3:0]ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。一致しない場合は前のレベルを保持します。

なお、例えば TCLK = 4 MHz 時の 400 kbps 通信のように、内部動作クロック (TCLK) と通信速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。



注 1. 内部基準クロック = I3Cφ

図 40.139 デジタルノイズフィルタ回路のブロック図

40.3.3 動作

40.3.3.1 初期設定フロー

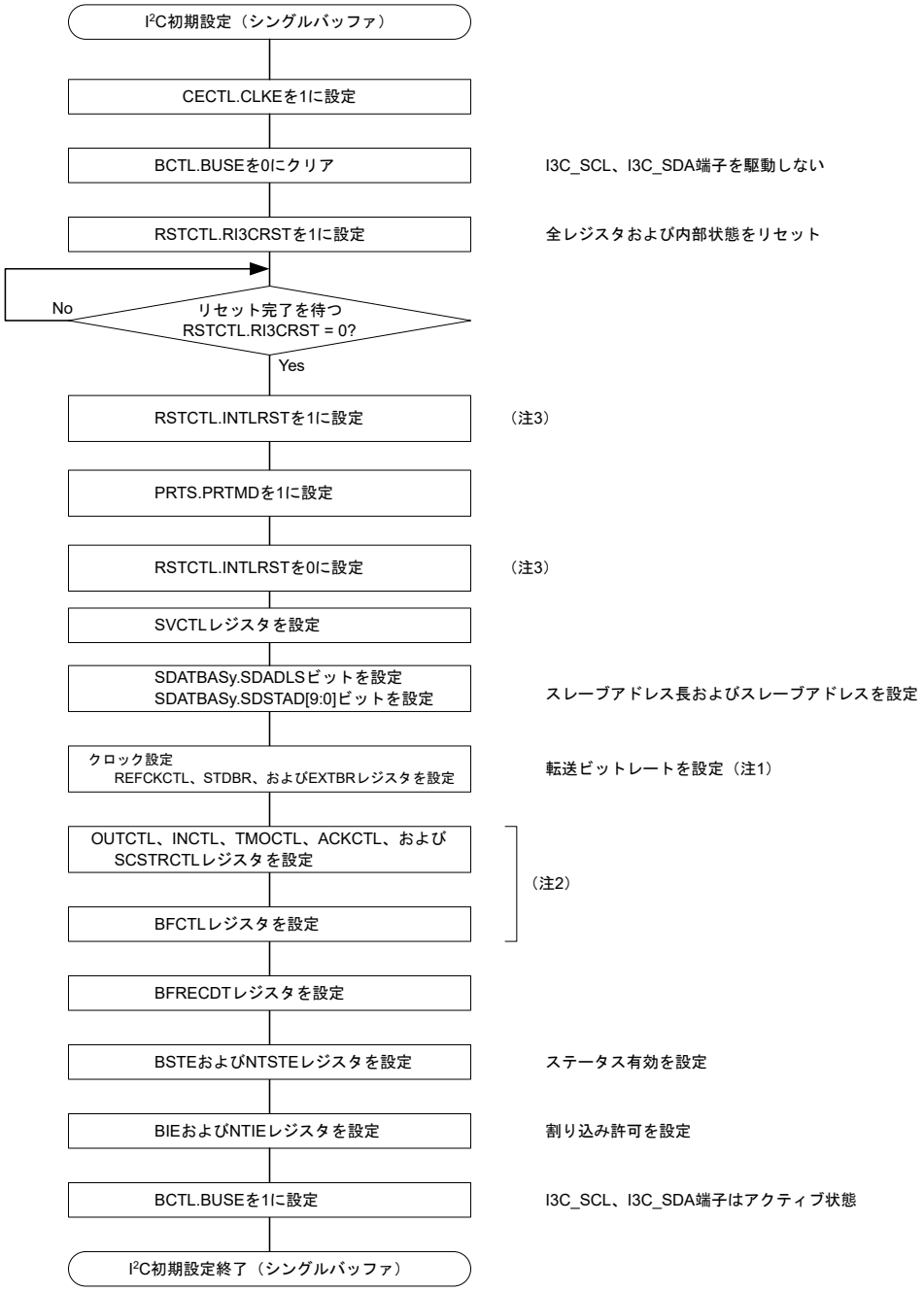
40.3.3.1.1 I2C 初期設定フロー（シングルバッファ転送）

I2C プロトコルモードでデータの送受信を開始する前に、I3C モジュールを初期化します。

まず、CECTL.CLKE を 1 に設定し、BCTL.BUSE ビットを 0（I3C_SCL、I3C_SDA 端子を駆動しない）に設定します。

次に、RSTCTL.RI3CRST ビットを 1 にします。これにより各レジスタおよび I3C モジュールの内部状態を初期化します。次いで、RI3CRST ビットが 0 になるのを待ちます。この動作による初期化対象のフラグおよびレジスタについては、「40.6. リセットの説明」を参照してください。

その後、動作に必要な各レジスタを設定します。詳細な手順は図 40.140 を参照してください。



注. y = 0～2
注 1. I3C をスレーブモードのみで動作させる場合は、STDBR レジスタにデータセットアップ時間以上の値を設定してください。
注 2. これらのレジスタは必要に応じて設定してください。
注 3. 特定の条件が満たされる場合、この手順を省略できます。詳細は、「40.7.4. PRTS.PRTMD ビットの書き換えに関する注意事項」を参照してください。

図 40.140 I²C 初期化のフローチャート例（シングルバッファ転送）

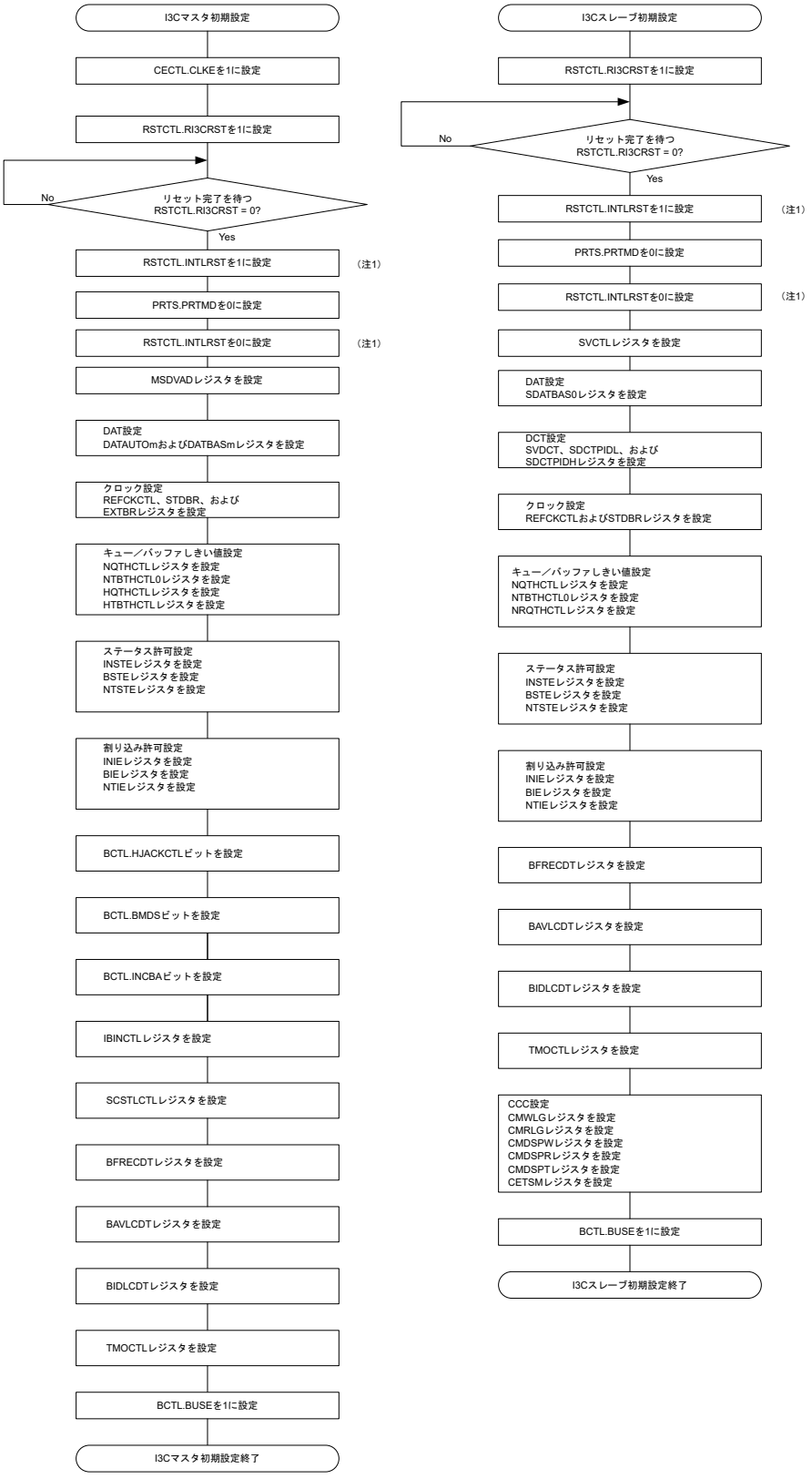
40.3.3.1.2 I3C 初期設定フロー

I3C プロトコルモードでデータの送受信を開始する前に、I3C モジュールを初期化してください。

まず、CECTL.CLKE を 1 にします。

次に、RSTCTL.RI3CRST ビットを 1 にします。これにより各レジスタおよび I3C モジュールの内部状態を初期化します。次いで、RI3CRST ビットが 0 になるのを待ちます。この動作による初期化対象のフラグおよびレジスタについては、「40.6. リセットの説明」を参照してください。

その後、動作に必要な各レジスタを設定します。マスタモードとスレーブモードのそれぞれの詳細な手順については、図 40.141 を参照してください。



注. y = 0～2
注 1. 特定の条件が満たされる場合、この手順を省略できます。詳細は、「40.7.4. PRTS.PRTMD ビットの書き換えに関する注意事項」を参照してください。

図 40.141 I3C マスタモードとスレーブモードの初期化フローチャートの例

40.3.3.2 I3C 通信フロー

図 40.142 に、I3C 通信のフローを示します。

- 全ての I3C 通信は、フレームの中で行われます。フレームは、スタートコンディションで始まり、1 つ以上の転送があり、ストップコンディションで終わります。
- HDR モードについて：
  - はじめに、専用のブロードキャスト I3C アドレス (0x7E) を I3C バス上のすべてのスレーブに対して発行します。
  - それから、マスタが HDR モードに遷移していることを示す HDR 遷移 CCC の 1 つを発行します。各 HDR モードには、それぞれ専用の HDR 遷移 CCC があります。
  - これには、1 つ以上の HDR 転送が続きます。
  - HDR モードは、HDR 終了パターンで終わります。

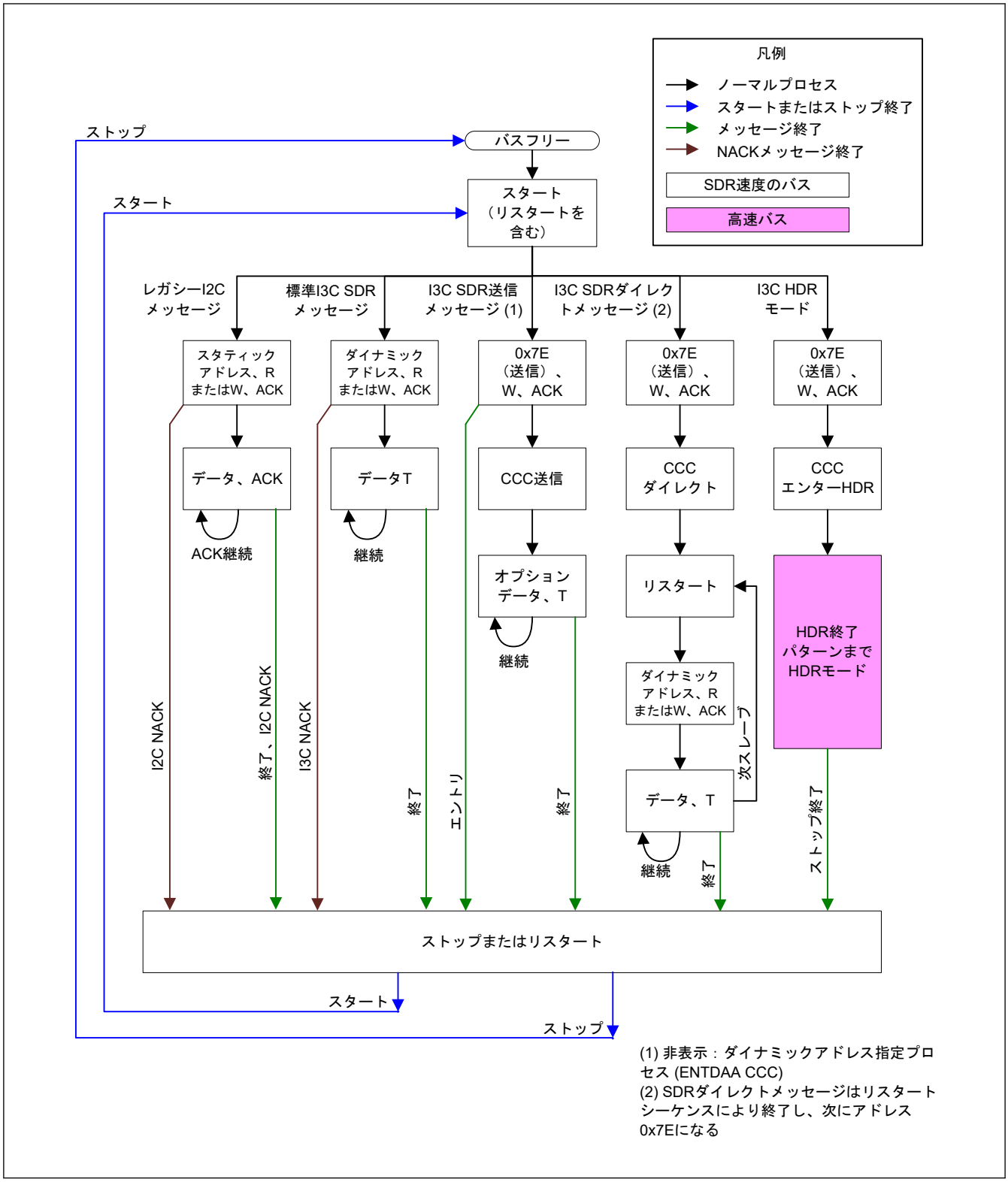


図 40.142　I3C 通信フロー

I3C は、フレームカプセル化方式に基づきます。フレームにはデータペイロードがあります。データペイロードに対する転送プロトコルは、SDR または HDR のいずれかです。フレームは、I^2C 的なバス制御で区切られています。

I3C フレームは常に少なくともスタートコンディション、ヘッダ、データ、およびストップコンディションを含みます。スタートコンディションに続くヘッダは、バスアービトレーションを行うためのものです。マスタは、ヘッダでスレーブデバイスを指定します。スレーブデバイスは、ヘッダアービトレーションを複数の目的（In-band 割り込み、セカンダリマスタ機能）で使用する場合があります。

共通コマンドコード (CCC) は、HDR（ハイデータレート）モードに遷移するために使用します。HDR メッセージに対する I3C バスの動作が、旧来の I^2C フォーマットに準拠しないということを理解することは重要です。

I3C は、その時の I3C バスの制御をただ一つのマスタに対してのみ許容します。マスタの役割を一つのデバイスから他のデバイスに受け渡す機能を備えています。

40.3.3.3 マスタモード通信フロー

40.3.3.3.1 I²C マスタ送信フロー（シングルバッファ転送）

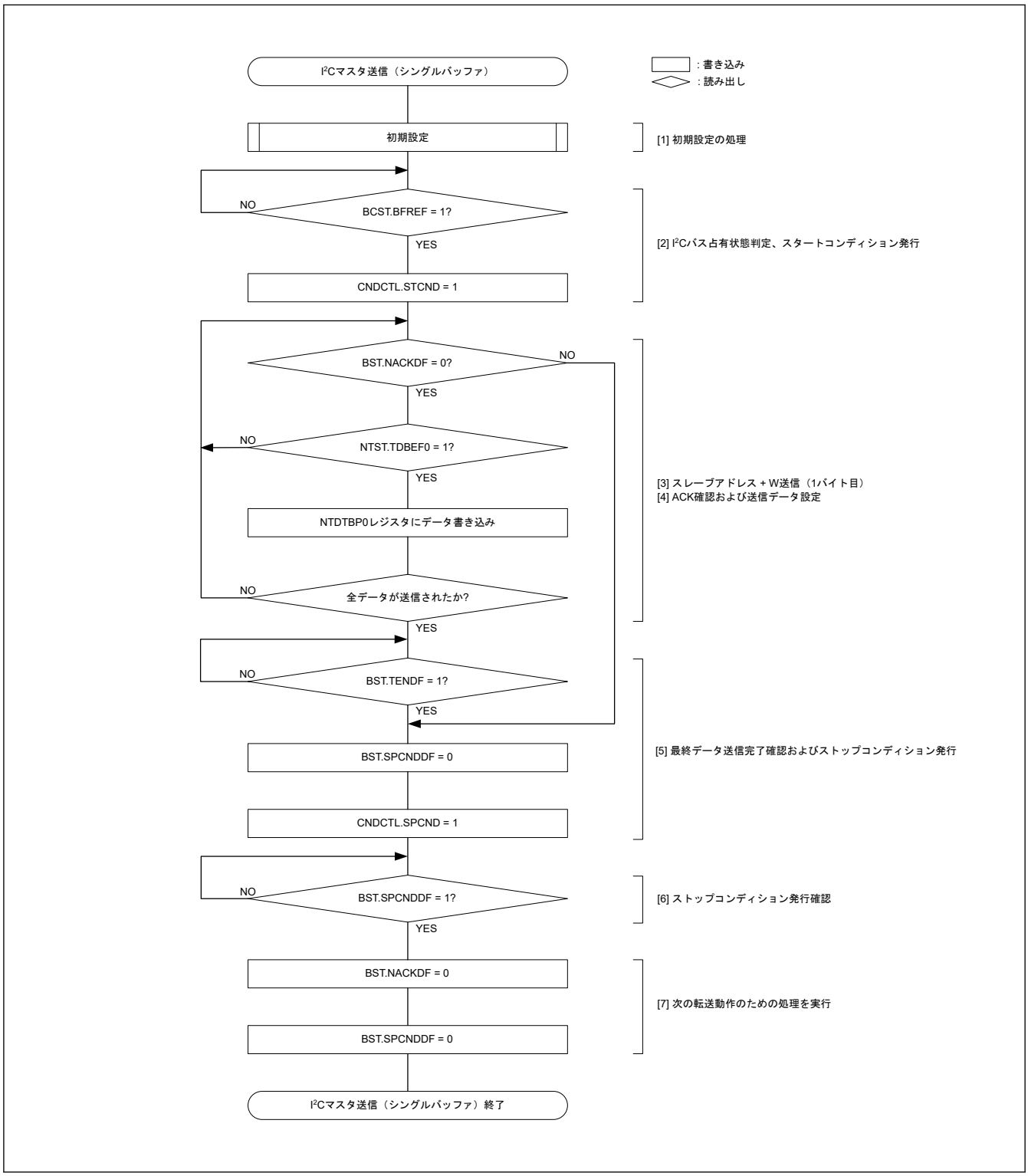


図 40.143 I²C マスタ送信のフローチャート例（シングルバッファ転送）

40.3.3.3.2 I²C マスタ受信フロー（シングルバッファ転送）

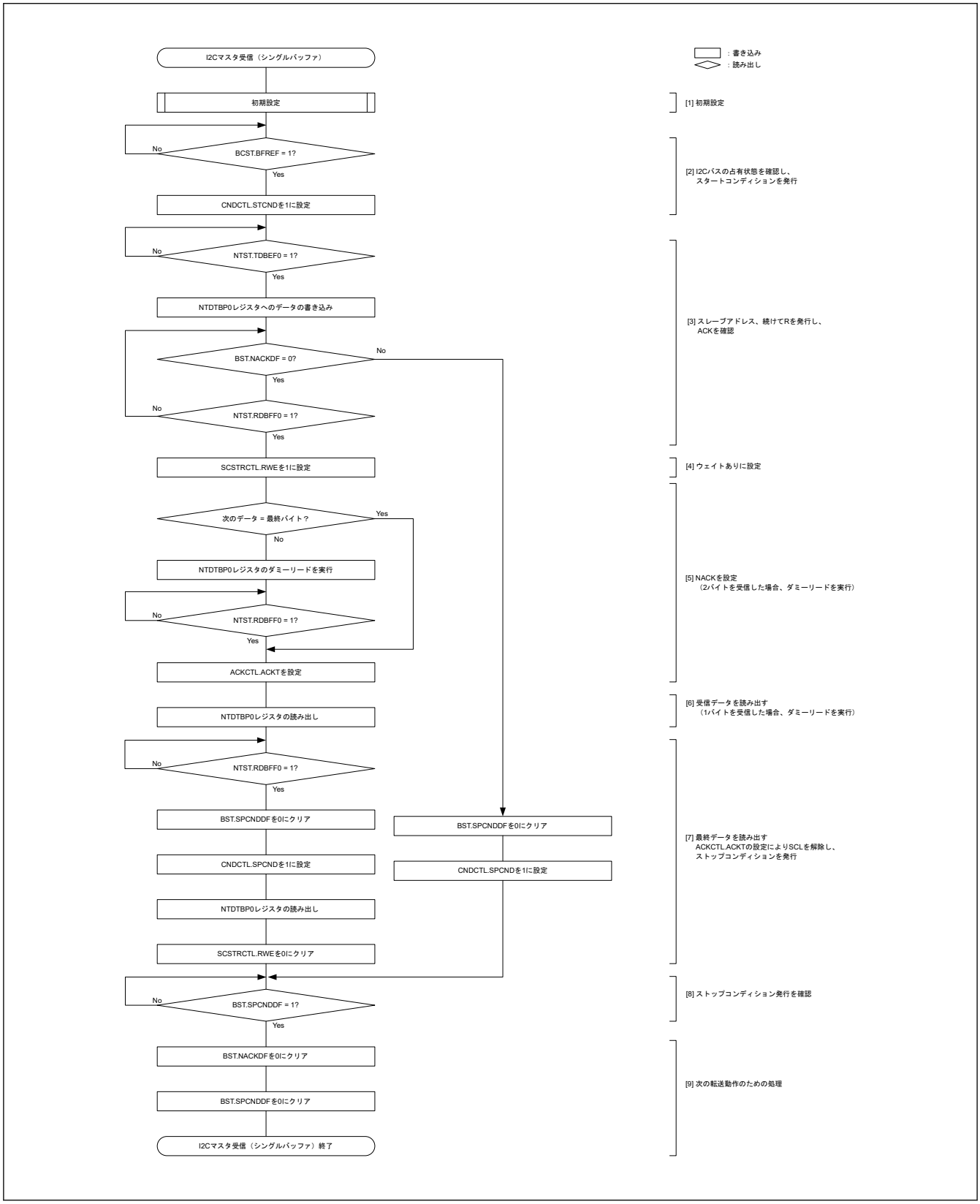


図 40.144 I²C マスタ受信のフローチャート例（7 ビットアドレスフォーマット、1 または 2 バイト受信時）

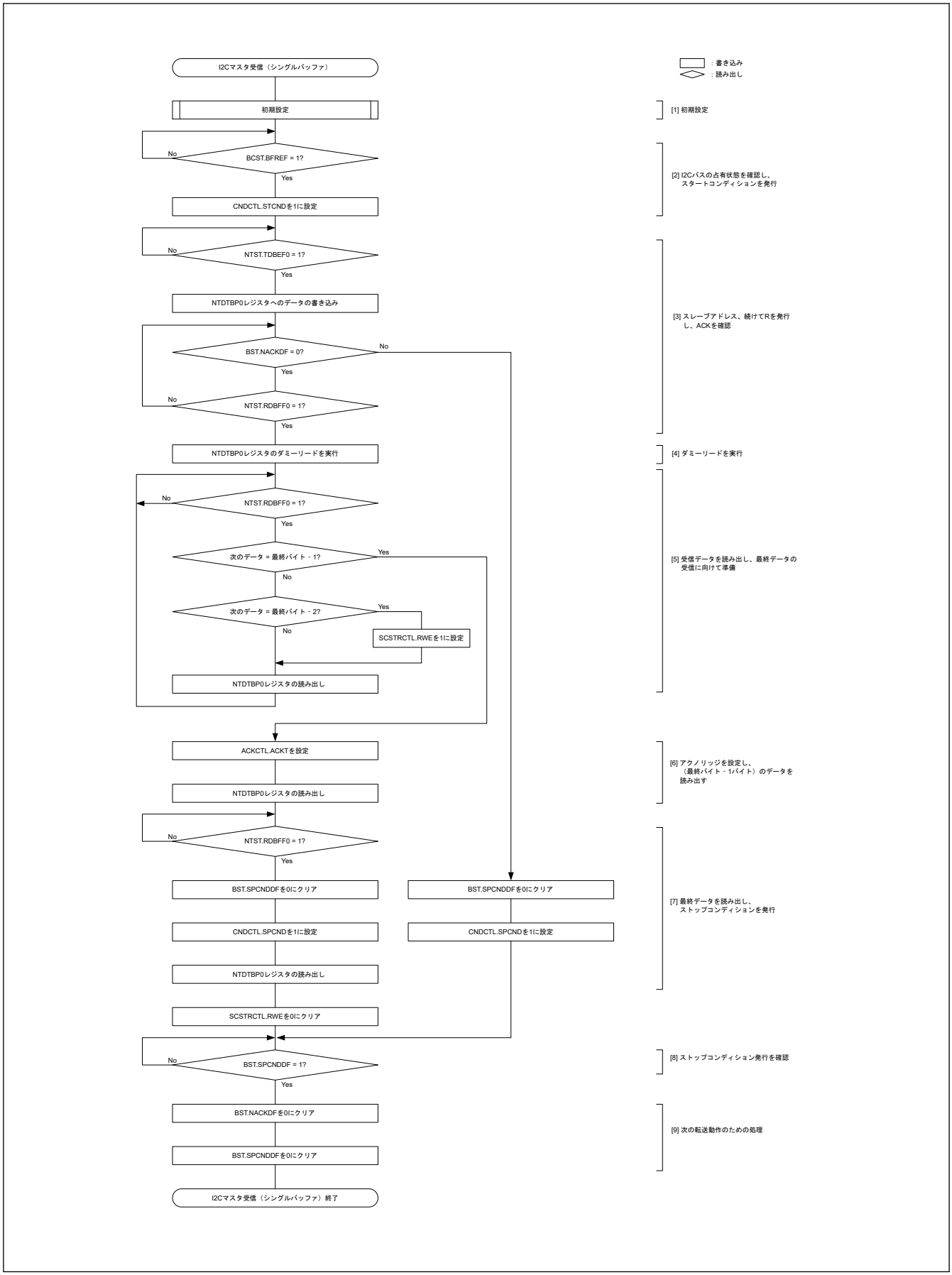
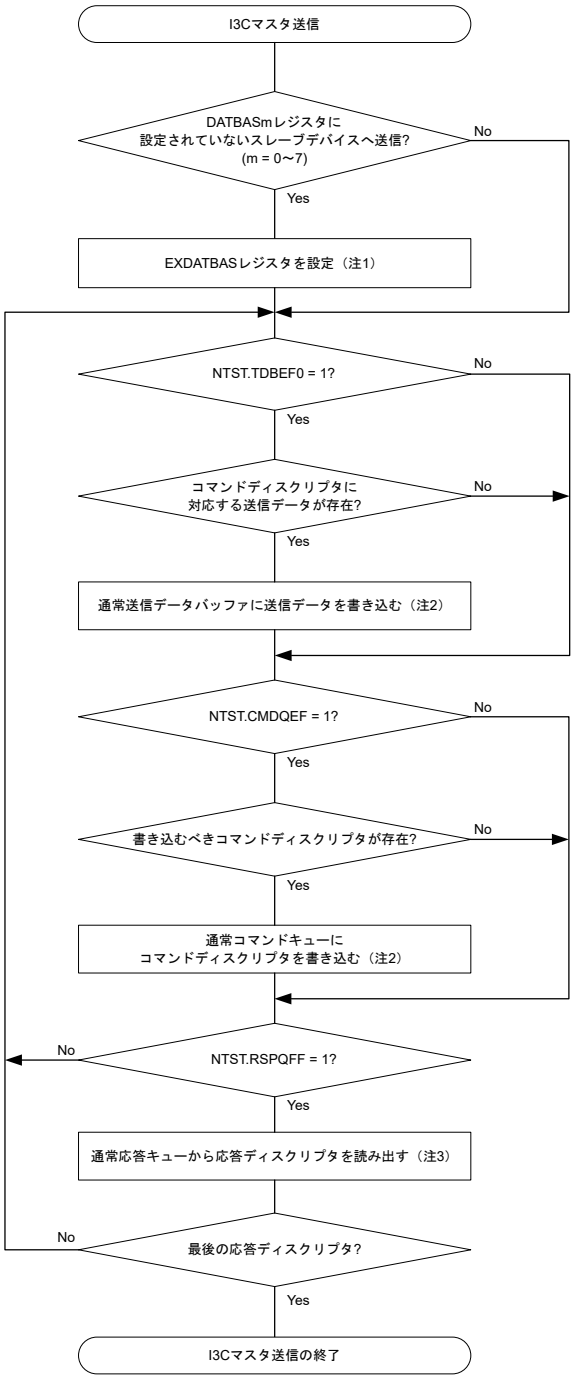


図 40.145　I²C マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上受信時）

40.3.3.3.3 I3C マスタ送信フロー（通常 FIFO バッファ転送）

I3C 通常 FIFO バッファ転送のマスタ送信フローは、レガシー I^2C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）、HDR-DDR、HDR-TSP/TSL に共通です。

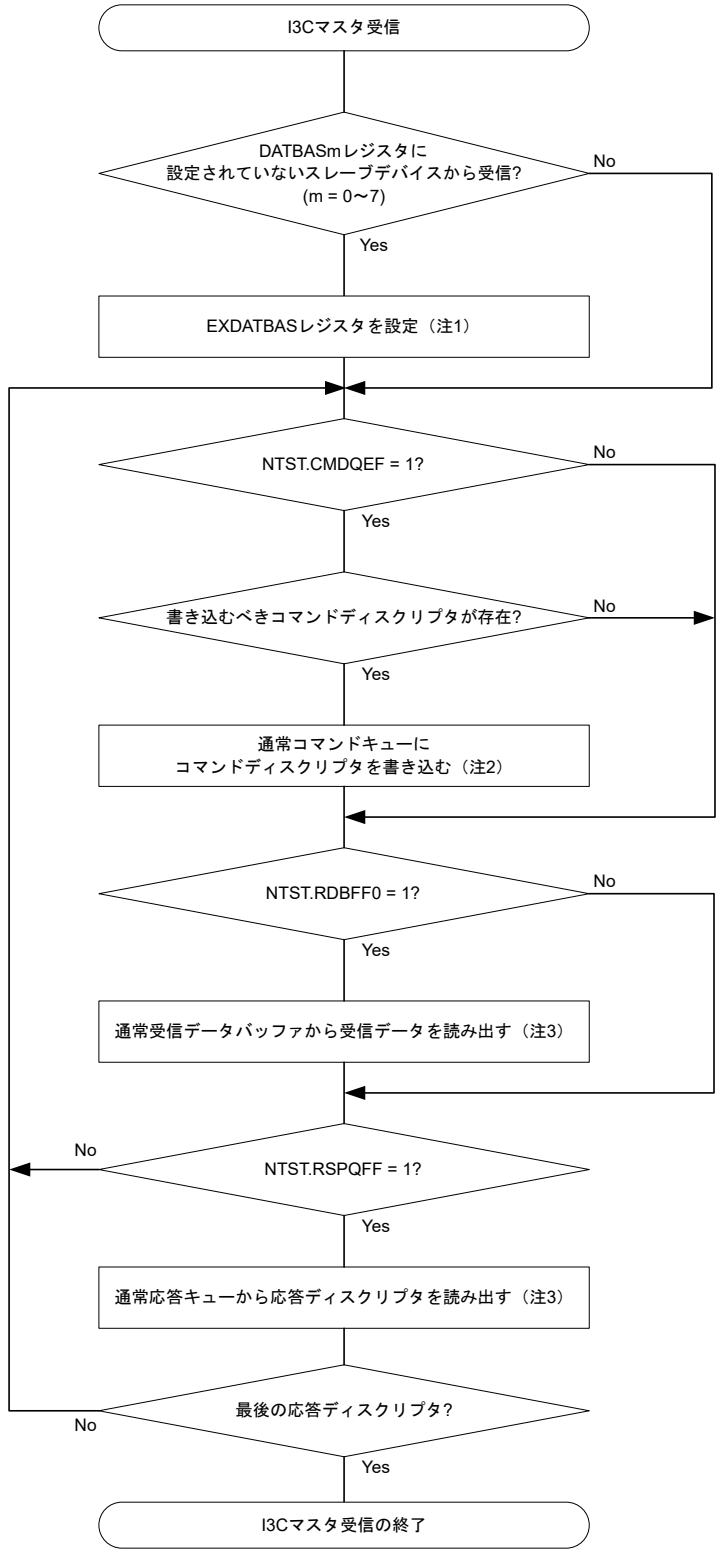


注 1. EXDATBAS レジスタに設定されているスレーブデバイスに対するコマンドの全てのレスポンスディスクリプタが格納されるまでの間、EXDATBAS レジスタの変更は禁止です。
注 2. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 3. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 40.146 I3C マスタ送信のフローチャート例（通常 FIFO バッファ転送）

40.3.3.3.4 I3C マスタ受信フロー（通常 FIFO バッファ転送）

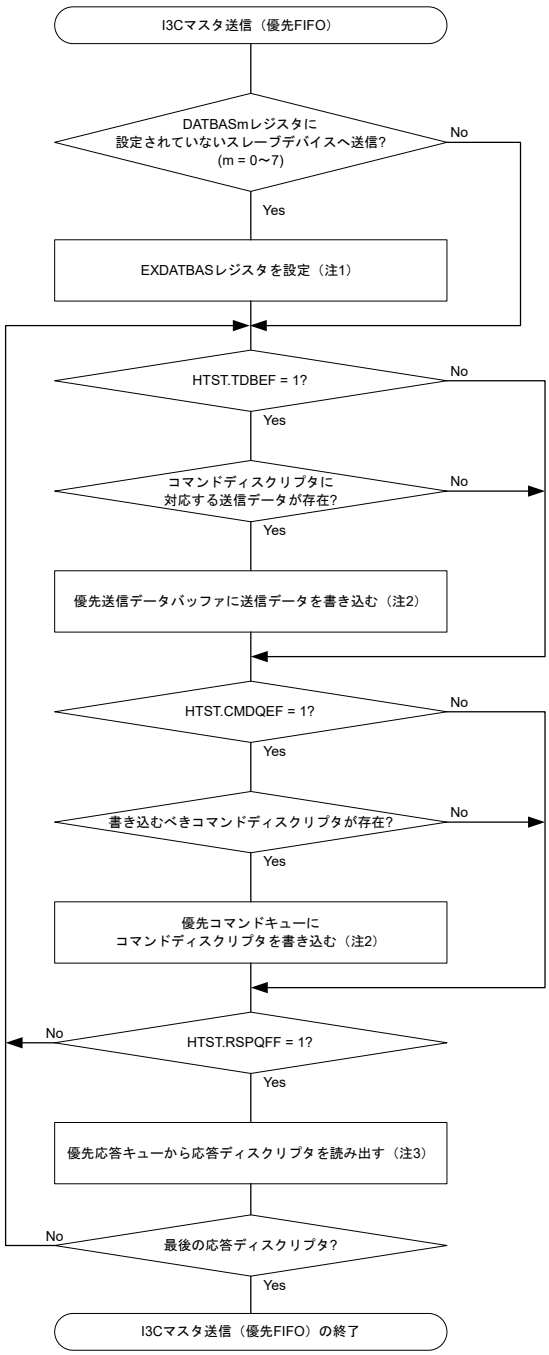
I3C 通常 FIFO バッファ転送のマスタ受信フローは、レガシー I^2C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）、HDR-DDR、HDR-TSP/TSL に共通です。



注 1. EXDATBAS レジスタに設定されているスレーブデバイスに対するコマンドの全てのレスポンスディスクリプタが格納されるまでの間、EXDATBAS レジスタの変更は禁止です。
注 2. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 3. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 40.147 I3C マスタ受信のフローチャート例（通常 FIFO バッファ転送）

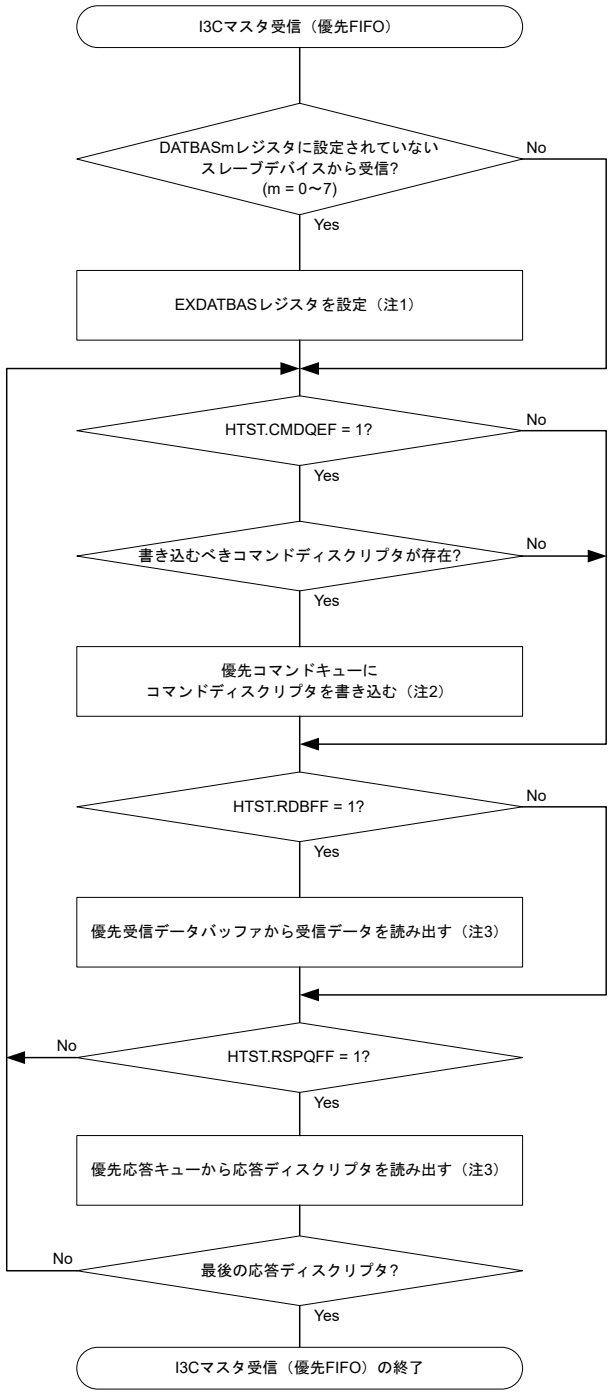
40.3.3.3.5 I3C マスタ送信フロー（優先 FIFO バッファ転送）



注 1. EXDATBAS レジスタに設定されているスレーブデバイスに対するコマンドの全てのレスポンスディスクリプタが格納されるまでの間、EXDATBAS レジスタの変更は禁止です。
注 2. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 3. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 40.148 I3C マスタ送信のフローチャート例（優先 FIFO バッファ転送）

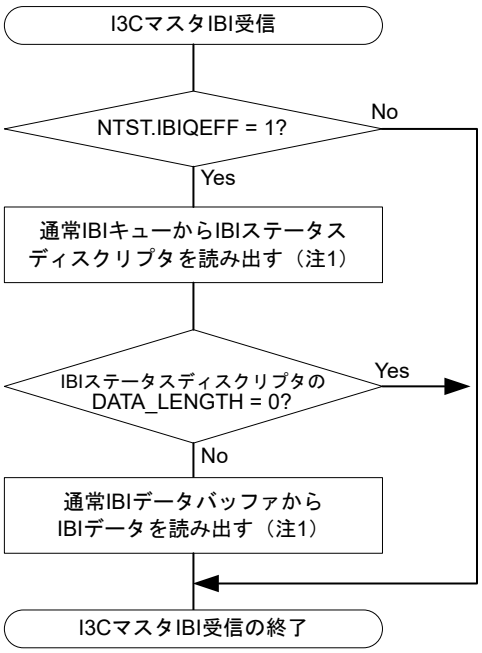
40.3.3.3.6 I3C マスタ受信フロー（優先 FIFO バッファ転送）



注 1. EXDATBAS レジスタに設定されているスレーブデバイスに対するコマンドの全てのレスポンスディスクリプタが格納されるまでの間、EXDATBAS レジスタの変更は禁止です。
注 2. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 3. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 40.149 I3C マスタ受信のフローチャート例（優先 FIFO バッファ転送）

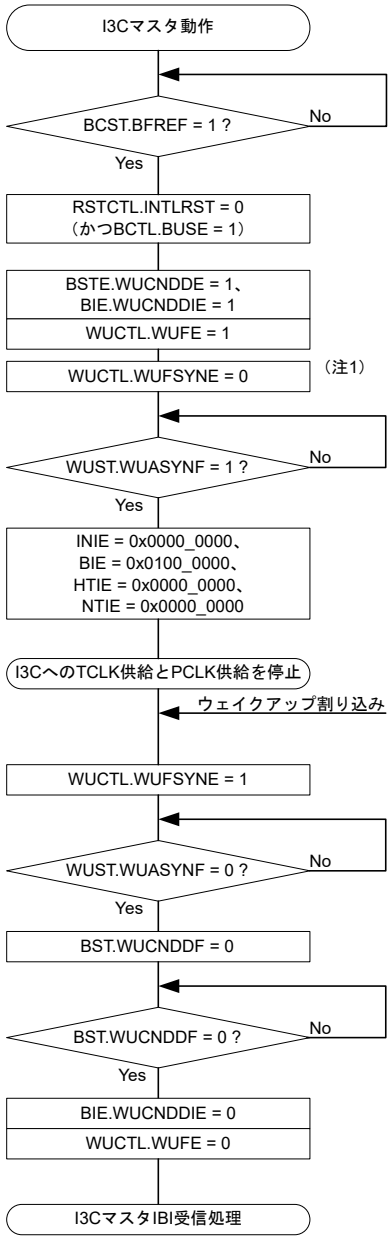
40.3.3.3.7 I3C マスタ IBI 受信フロー



注 1. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 40.150 I3C マスタ IBI 受信のフローチャート例

40.3.3.3.8 I3C マスタウェイクアップフロー



[1] I3Cがバスフリー状態およびスタンバイ状態になるのを待つ

[2] 内部リセットのアサート時は内部リセットをネゲート

[3] ウェイクアップ割り込みを許可

[4] ウェイクアップ機能を有効

[5] I3C動作状態をPCLK/TCLK同期からPCLK/TCLK非同期へ変更

[6] WUI以外の割り込み要求を禁止

[7] I3CへのTCLK供給を停止し、それからPCLK供給を停止
（I3Cは受信を続ける）

[8] ウェイクアップ割り込みによるI3CへのTCLK供給とPCLK供給を開始し、
それからI3CへのPCLK供給を開始

[9] I3C動作状態をPCLK/TCLK非同期からPCLK/TCLK同期へ変更

[10] BST.WUCNDDFに0を書き込む
（割り込み処理から復帰する前に読み出しをしてクリアの完了を確認する）

[11] ウェイクアップ割り込みを禁止

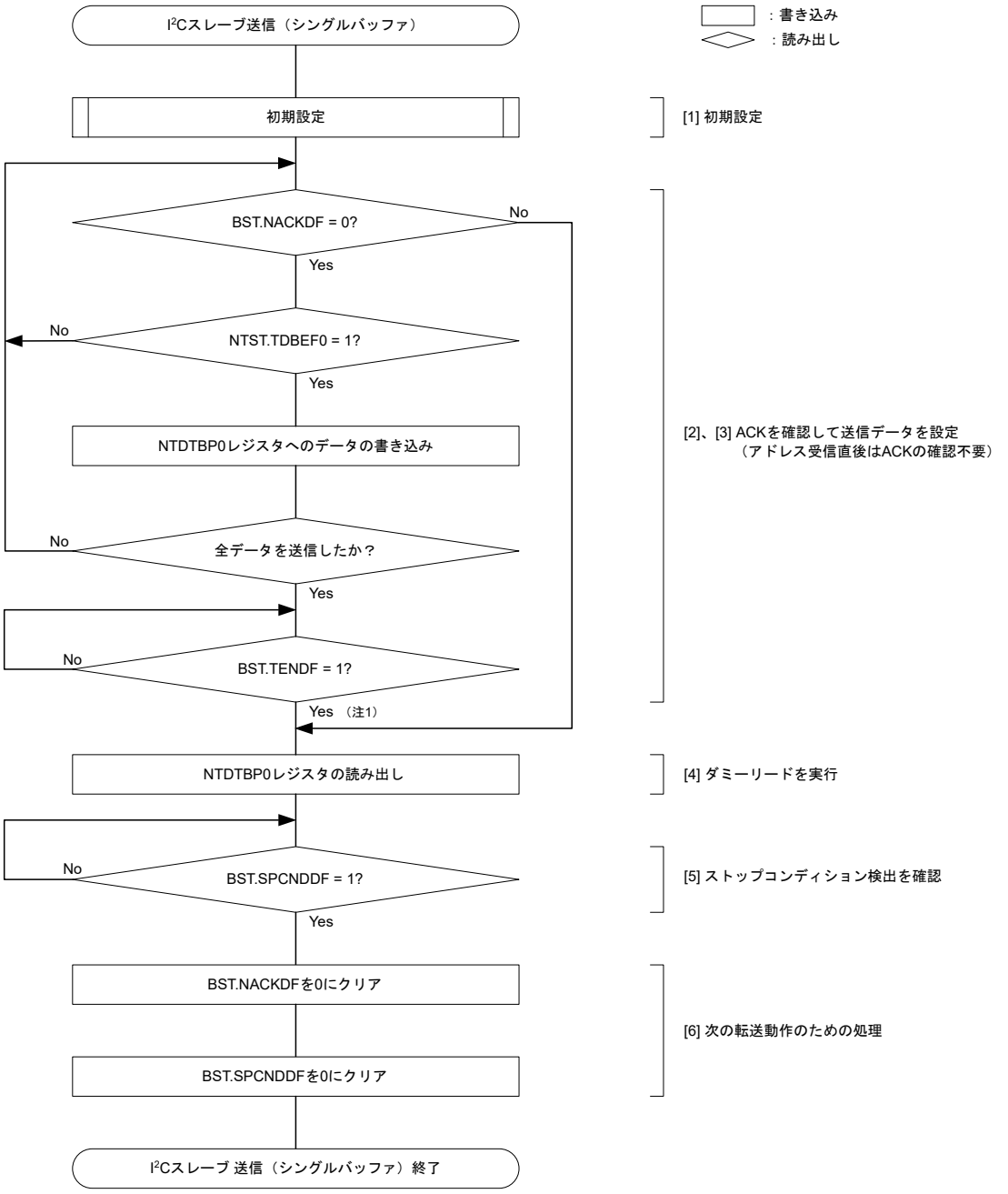
[12] ウェイクアップ機能を無効

注 1. I/O ポート機能設定で I3C_SDA 端子を汎用入出力ポート（入力）に切り替えた後、WUCTL.WUFSYNE を 1 にします。
WUST.WUASYNF = 1 になるまで待機した後、I/O ポート機能設定で I3C_SDA 端子を周辺機能に切り替えます。

図 40.151 I3C マスタウェイクアップの使用例

40.3.3.4 スレーブモード通信フロー

40.3.3.4.1 I²C スレーブ送信フロー（シングルバッファ転送）



注 1. 通常、マスタは最終バイトに NACK で応答するため、BST.TENDF=1 のとき、BST.NACKDF も 1 になります。
BST.TENDF=1 になっても、BST.NACKDF が 0 の場合、マスタがハングアップしている可能性があります。そのため、
RSTCTL.INTLRST で I3C をリセットします。

図 40.152 I²C スレーブ送信のフローチャート例（シングルバッファ転送）

40.3.3.4.2 I²C スレーブ受信フロー（シングルバッファ転送）

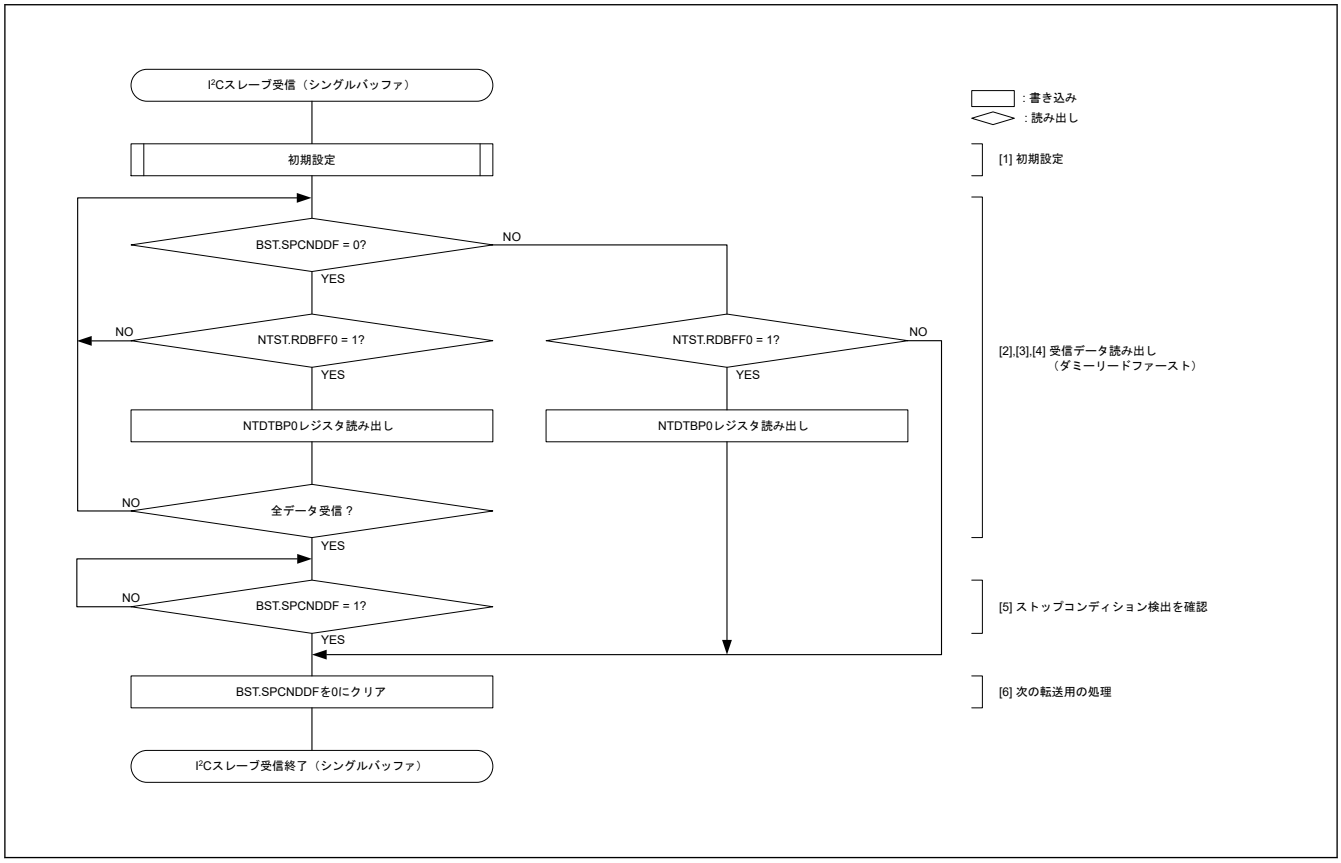
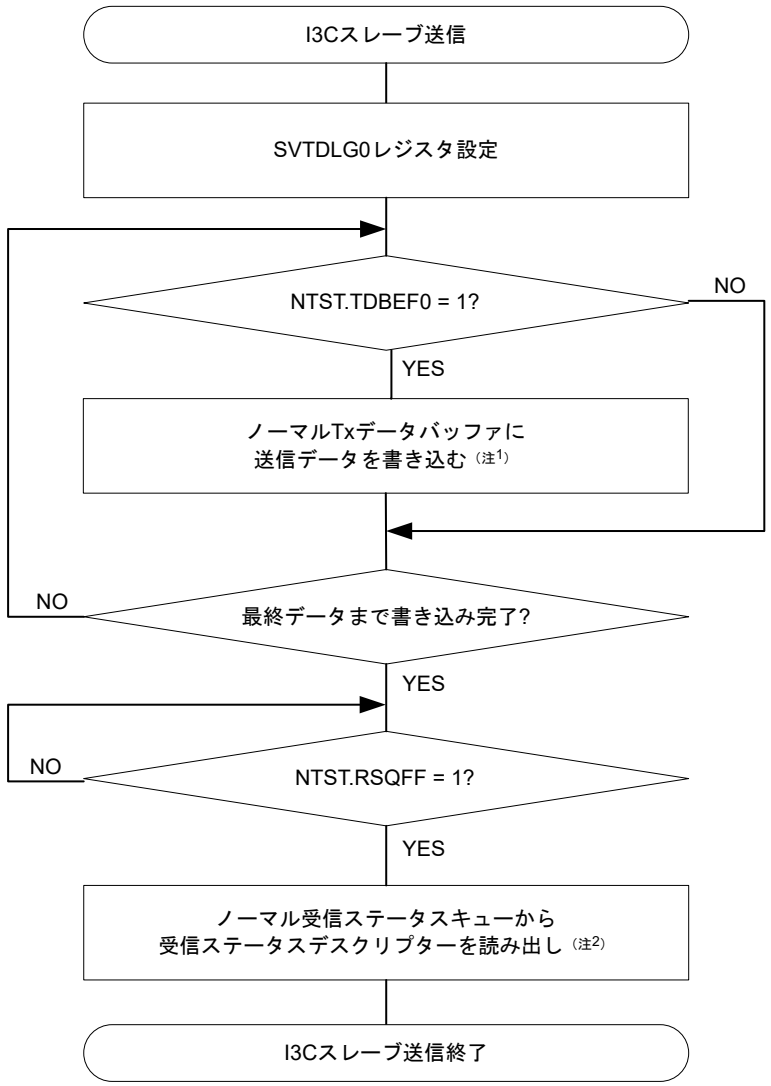


図 40.153 I²C スレーブ受信のフローチャート例（シングルバッファ転送）

40.3.3.4.3 I3C スレーブ送信フロー（通常 FIFO バッファ転送）

I3C 通常 FIFO バッファ転送のスレーブ送信フローは、レガシー I²C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）、HDR-DDR、HDR-TSP/TSL に共通です。

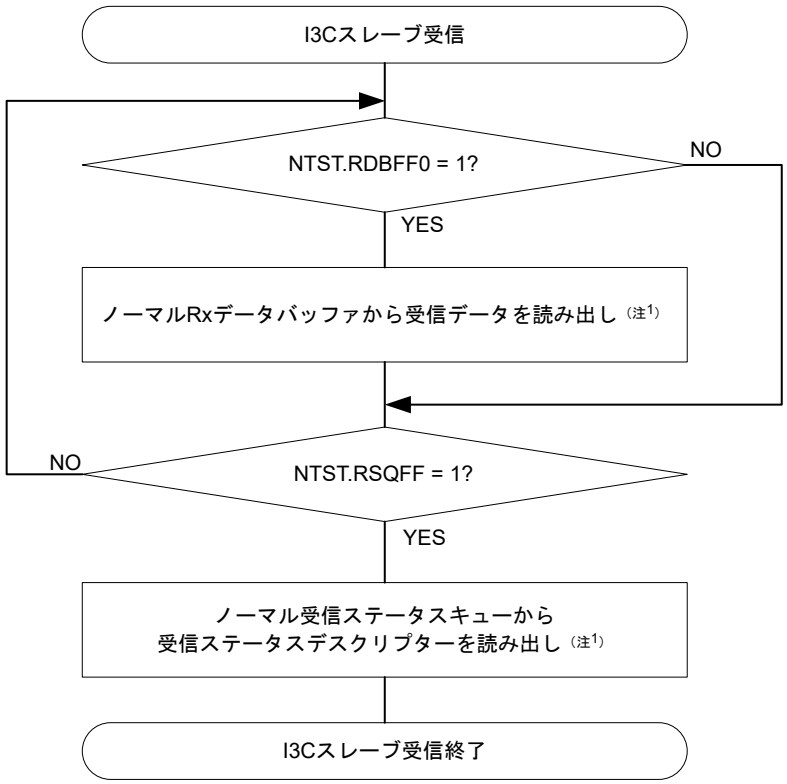


注 1. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 2. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 40.154 I3C スレーブ送信のフローチャート例（通常 FIFO バッファ転送）

40.3.3.4.4 I3C スレーブ受信フロー（通常 FIFO バッファ転送）

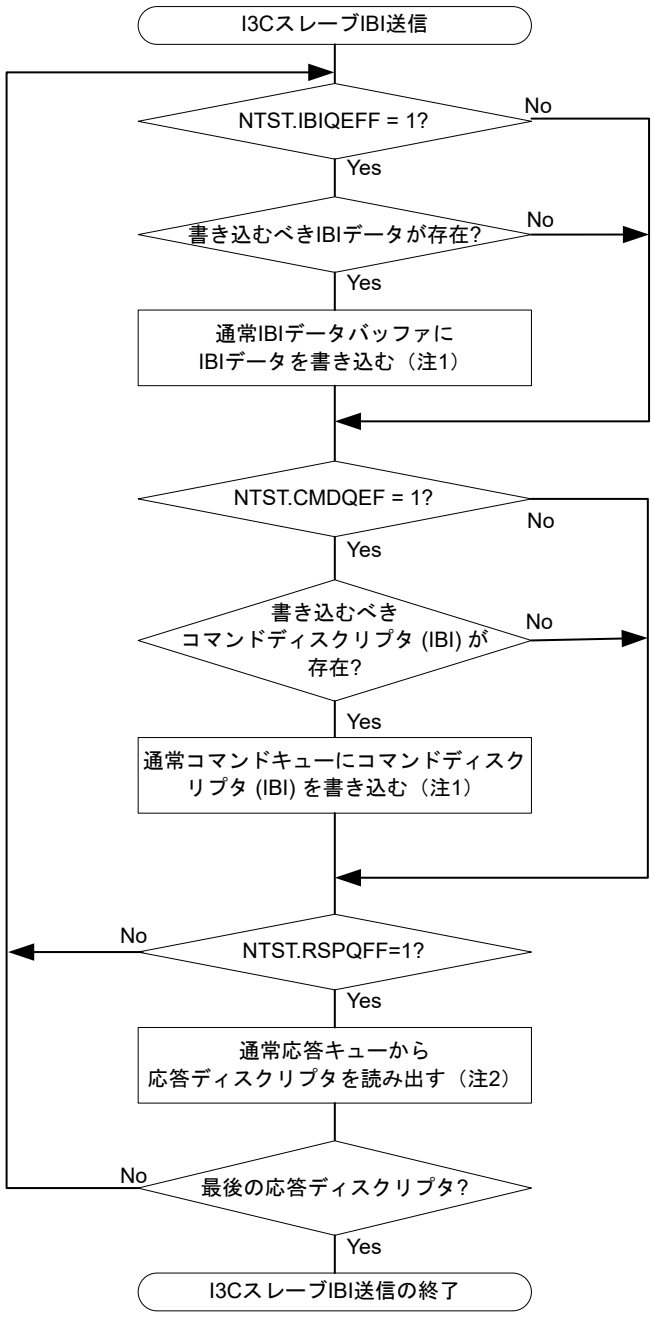
I3C 通常 FIFO バッファ転送のスレーブ受信フローは、レガシー I^2C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）、HDR-DDR、HDR-TSP/TSL に共通です。



注 1. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 40.155 I3C スレーブ受信のフローチャート例（通常 FIFO バッファ転送）

40.3.3.4.5 I3C スレーブ IBI 送信フロー



注 1. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 2. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 40.156 I3C スレーブ IBI 送信のフローチャート例

40.3.3.4.6 I3C スレーブウェイクアップフロー

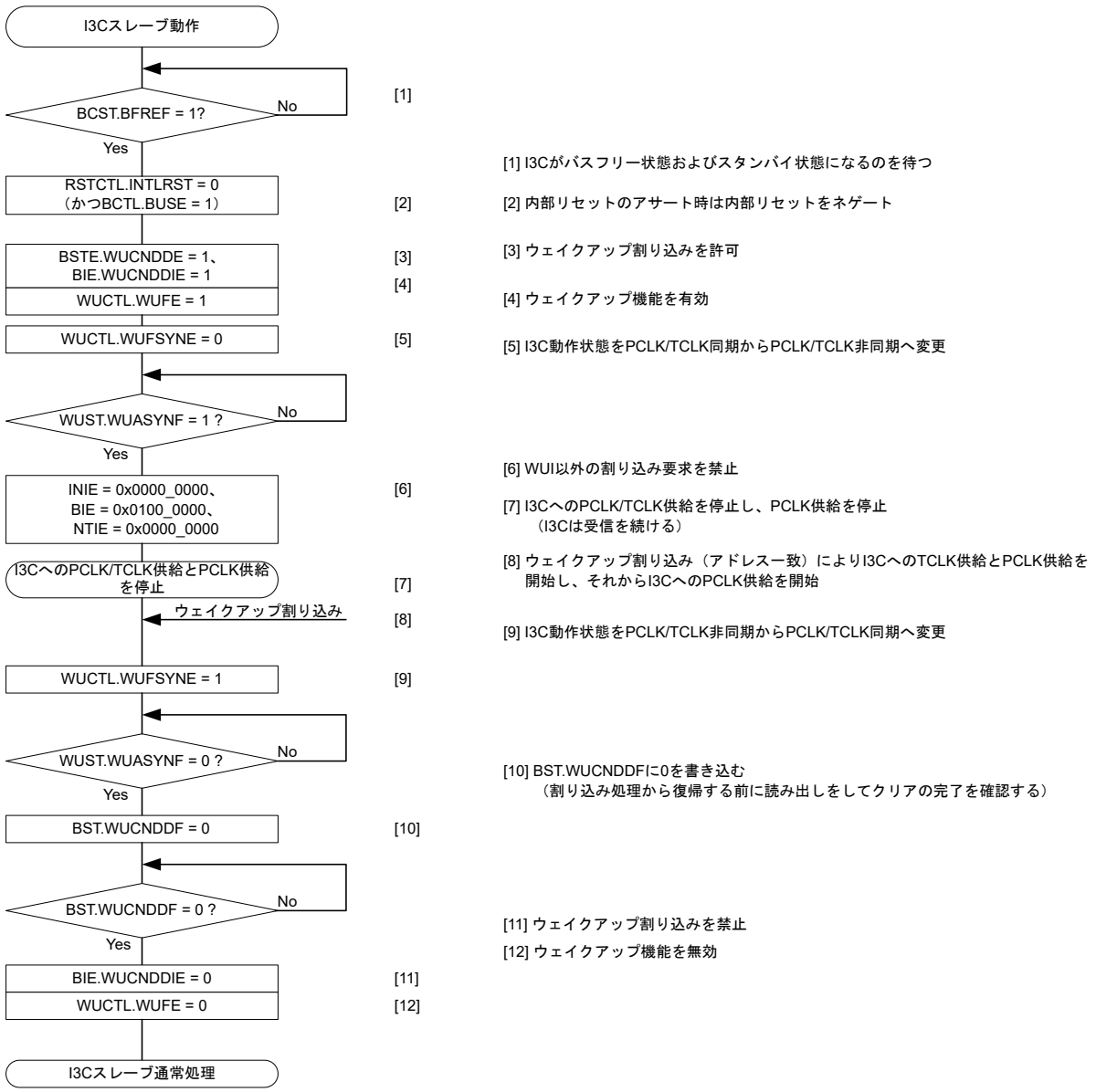


図 40.157 I3C スレーブウェイクアップの使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）

40.4 割り込み要因

I3C が発行する割り込み要求を、以下に示します。

40.4.1 概要

I3C には、表 40.18 に示す割り込み要因があります。

表 40.18 割り込み発生 (1/2)

シンボル	割り込み要因	対応			
		I2C	I3CM	I3C2M	I3CS
I3C_RESP	通常応答キューフル	—	✓	✓	✓

表 40.18 割り込み発生 (2/2)

シンボル	割り込み要因	対応			
		I2C	I3CM	I3C2M	I3CS
I3C_CMD	通常コマンドキューエンプティ	—	✓	✓	✓
I3C_IBI	通常 IBI キューエンプティ／フル	—	✓	✓	✓
I3C_RX	通常受信データバッファフル	✓	✓	✓	✓
I3C_TX	通常送信データバッファエンプティ	✓	✓	✓	✓
I3C_RCV	通常受信ステータスキューフル	—	—	✓	✓
I3C_HRESP	優先応答キューフル	—	✓	✓	—
I3C_HCMD	優先コマンドキューエンプティ	—	✓	✓	—
I3C_HRX	優先受信データバッファフル	—	✓	✓	—
I3C_HTX	優先送信データバッファエンプティ	—	✓	✓	—
I3C_TEND	送信終了	✓	—	—	—
I3C_EEI	回復不能内部エラー	—	✓	✓	✓
	通常転送エラー	—	✓	✓	✓
	通常転送中断	—	✓	✓	✓
	優先転送エラー	—	✓	✓	—
	優先転送中断	—	✓	✓	—
	スタートコンディション検出	✓	✓	✓	✓
	ストップコンディション検出	✓	✓	✓	✓
	HDR 終了パターン検出	—	✓	✓	✓
	NACK 検出	✓	—	—	—
	アービトレーションロスト	✓	—	—	—
	タイムアウト検出	✓	✓	✓	✓
I3C_STEV	同期タイミング	—	✓	✓	✓
I3C_MREFOVF	MREF カウンタオーバーフロー	—	✓	✓	—
I3C_MREFCPT	MREF キャプチャ	—	✓	✓	—
I3C_AMEV	追加マスタによるバスイベント	—	✓	✓	—
I3C_WU	ウェイクアップコンディション検出	✓	✓	✓	✓

注. ✓ : 対応
— : 非対応

注. I^2C: I^2C マスタ／スレーブ（シングルバッファ）
I3CM: I3C マスタ
I3C2M: I3C セカンダリマスタ
I3CS: I3C スレーブ

注. CPU による周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延時間があります。割り込みフラグをクリアした場合は、関連するフラグを再度読み出し、クリア処理の完了を確認した後、割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

I2C プロトコルモード：

- I3C_TX はエッジ検出割り込みであるため、クリアの必要はありません。また、NTST.TDBEF0 フラグ（I3C_TX の条件）は、NTDTBP0 への送信データの書き込み、あるいはストップコンディションの検出（BST.SPCNDDF フラグ = 1）で自動的に 0 になります。

- I3C_RX はエッジ検出割り込みであるため、クリアの必要はありません。また、NTST.RDBFF0 フラグ（I3C_RX の条件）は、NTDTBP0 レジスタからのデータの読み出しで自動的に 0 になります。

I3C プロトコルモード：

詳細については、各フラグ、各ビットの詳細説明を参照してください。

- I3C_CMD、I3C_TX、I3C_HCMD、I3C_HTX、I3C_IBI（I3C スレーブ）割り込みは、次の条件でクリアされます。
  DMAC/DTC による直近の書き込みアクセスが完了したとき
  CPU により 1 のステートを読んだ後、本ビットに 0 を書いたとき
- I3C_RESP、I3C_IBI（I3C マスタ）、I3C_RX、I3C_RCV、I3C_HRESP、I3C_HRX 割り込みは、次の条件でクリアされます。
  DMAC/DTC による直近の読み出しアクセスが完了したとき
  CPU により 1 のステートを読んだ後、本ビットに 0 を書いたとき

40.4.2 バッファフル割り込み／エンプティ割り込みのバッファ動作

対応する IR フラグが 1 のときに、バッファフル割り込み／エンプティ割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保持されます（1 要因あたり 1 要求を内部に保持できます）。

IELSRn.IR フラグが 0 になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。内部的に保持されていた割り込み要求は、対応する周辺側の割り込み許可ビットを 0 にすることでもクリアが可能です。

40.5 イベントリンク出力機能

I3C は、次の要因に対応するイベントリンクコントローラ (ELC) のイベント出力を処理します。

(1) 通信イベント

通信イベント（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）が発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(2) 受信データバッファフル

受信データレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データバッファエンプティ

送信データレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

その他のイベントも使用可能です。詳細については、「「19. イベントリンクコントローラ (ELC)」18.2.3 ELSRn：イベントリンク設定レジスタ n」を参照してください。

40.5.1 割り込み処理とイベントリンクの関係

I3C モジュールは、4 種類の割り込み、すなわち通信イベント割り込み（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、またはストップコンディション検出）、受信データバッファフル割り込み、送信データバッファエンプティ割り込み、および送信終了割り込みを生成します。これらの各割り込みには、割り込み信号の許可または禁止を制御する許可ビットがあります。対応する許可ビットが許可に設定されている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、「40.4.1. 概要」を参照してください。

40.6 リセットの説明

表 40.19 各コンディション発行時のリセット、レジスタ、機能の状態 (1) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
PRTS	PRTMD	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BCTL	BUSE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSM	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ABT	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	BMDS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	INCBA	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
MSDVAD	MDYADV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MDYAD[6:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
RSTCTL	INTLRST	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HRDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HTDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HRSPQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HCMDQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RI3CRST	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
PRSST	PRSSTWP	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TRMD	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CRMS(注1)	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.19 各コンディション発行時のリセット、レジスタ、機能の状態 (1) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
INST	INEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
INSTE	INEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
INIE	INEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
INSTFC	INEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
DVCT	IDX[4:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
IBINCTL	NRSIRCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NRMRCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BFCTL	HSME	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	FMPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SMBS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SCSYNE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）
注 1. I3C モードでは、CRMS は INTLRST によってリセットされません。I2C モードでは、CRMS は INTLRST によってリセットされます。

表 40.20 各コンディション発行時のリセット、レジスタ、機能の状態 (2) (1/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
SVCTL	SVAE[2]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAE[1]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAE[0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HOAE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVIDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HSMCE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	GCAE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
REFCKCTL	IREFCKS[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
STDBR	DSBRPO	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SBRHP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SBRLP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SBRHO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SBRLO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
EXTBR	EBRHP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EBRLP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EBRHO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EBRLO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BFRECDT	FRECYC[8:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BAVLCDT	AVLCYC[8:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BIDLCDT	IDLCYC[17:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.20　各コンディション発行時のリセット、レジスタ、機能の状態 (2) (2/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
OUTCTL	SDODCS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDOD[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EXCYC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SOCWP	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SCOC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDOC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
INCTL	SDID[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DNFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DNFS[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
TMOCTL	TOMDS[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TOHCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TOLCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODTS[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
WUCTL	WUFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	WUFSYNE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	WUANFS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	WUACKS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
ACKCTL	ACKTWP	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ACKT	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ACKR	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SCSTRCTL	RWE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ACKTWE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.20 各コンディション発行時のリセット、レジスタ、機能の状態 (2) (3/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
SCSTLCTL	ACKPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	PARPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	AAPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STLCYC [15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SVTDLG0	STDLG[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 40.21 各コンディション発行時のリセット、レジスタ、機能の状態 (3) (1/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
STCTL	STOE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
ATCTL	CDIV[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	AMEOE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MREFOE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ATTRGS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
ATTRG	ATSTRG	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
ATCCNTE	ATCE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CNDCTL	SPCND	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SRCND	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCND	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
NCMDQP	NCMDQP [31:0]	リセット	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持
NRSPQP	NRSPQP [31:0]	リセット	リセット	リセット	保持	リセット	保持	保持	保持	保持	保持	保持	保持	保持
NTDTBP0	NTDTBP0 [31:0]	リセット	リセット	リセット	保持	保持	リセット	リセット	保持	保持	保持	保持	保持	保持

表 40.21 各コンディション発行時のリセット、レジスタ、機能の状態 (3) (2/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
NIBIQP	NIBIQP[31:0]	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持	保持	保持	保持
NRSQP	NRSQP [31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	リセット	保持	保持	保持	保持
HCMDQP	HCMDQP [31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	リセット	保持	保持	保持
HRSPQP	HRSPQP [31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	リセット	保持	保持
HTDTBP	HTDTBP [31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	リセット	リセット
NQTHCTL	IBIQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIDSSZ[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQTH [7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQTH [7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
NTBTHCTL0	RXSTTH [2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TXSTTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RXDBTH [2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TXDBTH [2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
NRQTHCTL	RSQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
HQTHCTL	RSPQTH [7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQTH [7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
HTBTHCTL	RXSTTH [2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TXSTTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RXDBTH [2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TXDBTH [2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.21 各コンディション発行時のリセット、レジスタ、機能の状態 (3) (3/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
BST	WUCNDDF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ALF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TENDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BSTE	WUCNDDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TENDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 40.22 各コンディション発行時のリセット、レジスタ、機能の状態 (4) (1/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
BIE	WUCNDDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ALIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TENDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BSTFC	WUCNDDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ALFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TENDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.22 各コンディション発行時のリセット、レジスタ、機能の状態 (4) (2/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
NTST	RSQFF	リセット	リセット	リセット	保持	保持	保持	保持	保持	リセット	保持	保持	保持	保持
	TEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFF	リセット	リセット	リセット	保持	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEF	リセット	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFF	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持	保持	保持	保持
	RDBFF0	リセット	リセット	リセット	保持	保持	保持	リセット	保持	保持	保持	保持	保持	保持
	TDBEF0	リセット	リセット	リセット	保持	保持	リセット	保持	保持	保持	保持	保持	保持	保持
NTSTE	RSQFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.22 各コンディション発行時のリセット、レジスタ、機能の状態 (4) (3/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
NTIE	RSQFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFIE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEIE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 40.23 各コンディション発行時のリセット、レジスタ、機能の状態 (5) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
NTSTFC	RSQFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFFC0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEFC0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.23 各コンディション発行時のリセット、レジスタ、機能の状態 (5) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
HTST	TEF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	リセット	保持	保持
	CMDQEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	リセット	保持	保持	保持
	RDBFF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	リセット
	TDBEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	リセット	保持
HTSTE	TEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
HTIE	TEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 40.24 各コンディション発行時のリセット、レジスタ、機能の状態 (6) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
HTSTFC	TEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BCST	BIDLF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	BAVLF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	BFREF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SVST	SVAF[2]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAF[1]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAF[0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HOAF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVIDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HSMCF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	GCAF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
WUST	WUASYNF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
MRCCPT	MRCCPT [31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.24 各コンディション発行時のリセット、レジスタ、機能の状態 (6) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
DATBASm (m = 0～7)	DVTYP	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVNACK [1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVDYAD [7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVIBITS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVMRRJ	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVSIRRJ	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVIBIPL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVADLS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVSTAD [9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 40.25 各コンディション発行時のリセット、レジスタ、機能の状態 (7) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
EXDATBAS	EDTYP	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EDNACK [1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EDDYAD [7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EDADLS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EDSTAD [9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SDATBASn (n = 0～2)	SDDYAD [6:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDIBIPL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDADLS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDSTAD [9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.25 各コンディション発行時のリセット、レジスタ、機能の状態 (7) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
MSDCTm (m = 0～7)	RBCRn	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SVDCT	TBCRn	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDCR[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 40.26 各コンディション発行時のリセット、レジスタ、機能の状態 (8) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
SDCTPIDL	SDCTPIDL [31:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SDCTPIDH	SDCTPIDH [31:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SVDVADn (n = 0～2)	SDYADV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SSTADV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SADLG	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAD[9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CSECMD	MSRQE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVIRQE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CEACTST	ACTST[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMWLG	MWLG[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMRLG	IBIPSZ[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MRLG[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CETSTMD	TSTMD[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.26 各コンディション発行時のリセット、レジスタ、機能の状態 (8) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
CGDVST	VDRSV[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ACTMD[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	PRTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	PNDINT[3:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMDSPW	MSWDR[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMDSPR	CDTTIM[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MSRDR[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMDSPT	MRTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MRTTIM[23:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 40.27 各コンディション発行時のリセット、レジスタ、機能の状態 (9) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
CETSM	INAC[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	FREQ[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPTASYN[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPTSYN	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CGHDRCAP	TSLEN	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TSPEN	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DDREN	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 40.27　各コンディション発行時のリセット、レジスタ、機能の状態 (9) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
CETSS	ICOVF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ASYNE[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SYNE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BITCNT	BCNT[4:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
NQSTLV	IBISCNT[4:0]	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持	保持	保持	保持
	IBIQLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持	保持	保持	保持
	RSPQLV[7:0]	リセット	リセット	リセット	保持	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQFLV[7:0]	リセット	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持
NDBSTLV0	RDBLV[7:0]	リセット	リセット	リセット	保持	保持	保持	リセット	保持	保持	保持	保持	保持	保持
	TDBFLV[7:0]	リセット	リセット	リセット	保持	保持	リセット	保持	保持	保持	保持	保持	保持	保持
NRSQSTLV	RSQLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	リセット	保持	保持	保持	保持
HQSTLV	RSPQLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	リセット	保持	保持
	CMDQLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	リセット	保持	保持	保持
HDBSTLV	RDBLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	リセット
	TDBFLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	リセット	保持
PRSTDBG	SDOLV	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SCOLV	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDILV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SCILV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
MSERRCNT	M2ECNT[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SC1CPT	SC1C[15:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SC2CPT	SC2C[15:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CECTL	CLKE	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注.　リセット：リセットする（本レジスタに対応する FIFO をクリアする）

40.7 使用上の注意事項

40.7.1 動作クロックの設定

バスクロック (PCLK) と転送クロック (TCLK) との間には以下の周波数関係が必要です。

TCLK/2 ≦ PCLK ≦ TCLK

40.7.2 SCL 周波数クロックの設定

MIPI I3C 仕様 v1.0 の 5.1.2.4 章に説明されているように、バス構成に応じた SCL 周波数設定が必要になります。

I3C デバイスとレガシー I2C デバイスが混在したミックスバスでは、レガシー I2C デバイスが 50ns スパイクフィルタを備えていれば、I3C マスタは、SCL の High 期間を 50ns (tDIG_H_MIXED) 未満に設定することにより周波数を変更できます。

40.7.3 モジュールストップ機能

モジュールストップコントロールレジスタ B (MSTPCRB) により、I3C の動作を無効または有効にすることが可能です。リセット後の初期状態で、I3C モジュールは停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

40.7.4 PRTS.PRTMD ビットの書き換えに関する注意事項

PRTS.PRTMD ビットを書き換えると、SCL 端子（および SDA 端子）が Low を出力する場合があります。この場合、バスラインが意図せずビジー状態となり、その後に通信開始の設定を行っても通信を開始できません。

PRTMD ビットを書き換える前に、RSTCTL.INTRST ビットを 1 に設定し、内部ソフトウェアリセットを実行してください。書き換え後、RSTCTL.INTRST ビットを 0 に設定して、内部ソフトウェアリセットを解除してください。

ただし、以下の条件に該当する場合は、対応は不要です。

(1) PRTS.PRTMD ビットが初期値の 1（I2C プロトコルモード）から 0（I3C プロトコルモード）に変更されていない場合。

(2) SCKSCR.CKSEL[2:0]および I3CCKCR.I3CCKSEL[3:0]で選択されたクロックソースが同じである場合。

(3) マスタモード時、以下に示す条件下でタイムアウトエラー検出機能が有効になっていて、意図しない低出力を解除するための I3C エラー割り込みルーチンでソフトウェアリセットが設定されている場合。

1. BSTE.TODE ビットを 1 にしてタイムアウトエラー検出を有効にする。
2. タイムアウト動作モードとして TMOCTL.TOMDS[1:0] = 00b または 01b を選択し、TMOCTL.TOLCTL ビットを 1 に、TMOCTL.TOHCTL ビットを 1 に設定して、Low および High に固定された SCL ラインをエラーとして扱う。
3. I3C エラー割り込みルーチンで、RSTCTL.RI3CRST ビットを 1 にして I3C ソフトウェアリセットを実行するか、RSTCTL.INTLRST ビットを 1 にして内部ソフトウェアリセットを実行する。

(4) スレーブモード時、以下に示す条件下でタイムアウトエラー検出機能が有効になっていて、かつ TMOCTL.TOHCTL ビットを 1 にして SCL ラインを Low に固定し、High 固定をエラーとして扱う場合。

1. BSTE.TODE ビットを 1 にしてタイムアウトエラー検出を有効にする。
2. タイムアウト動作モードとして TMOCTL.TOMDS[1:0] = 01b を選択し、TMOCTL.TOLCTL = 1 および TMOCTL.TOHCTL = 1 を設定して、Low および High に固定された SCL ラインをエラーとして扱う。
3. I3C エラー割り込みルーチンで、RSTCTL.RI3CRST ビットを 1 にして I3C ソフトウェアリセットを実行するか、RSTCTL.INTLRST ビットを 1 にして内部ソフトウェアリセットを実行する。

41. CAN フレキシブルデータレート (CANFD)

41.1 概要

フレキシブルデータレート付き CAN (CANFD) は以下の機能をサポートします。

- CAN フレキシブルデータレート(注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールは、各種アプリケーションの要件を満たすフレキシブルなメッセージバッファおよび FIFO 構造を持っています。本モジュールは、モジュールの高試験性能を実現する各種テストモードも提供し、パワーオンテストに使用可能です。

本仕様書は、CANFD モジュールについて説明します。

CANFD モードは CANFD をサポートする製品に限り利用可能です。

41.1.1 CANFD モジュール

表 41.1 CANFD モジュールの仕様 (1/2)

項目		仕様
通信		CANFD ISO 11898-1 (2015) に準拠した CAN 機能
プロトコルエンジンのバージョン		RS-CANFD_PE V3.0
データ転送レート	CANFD(注1)	CAN チャネルごとにアービトレーションフェーズに最大 1 Mbps、データフェーズに最大 8 Mbps
	クラシカル CAN	最大 1 Mbps
周辺モジュールクロックの動作周波数		100 MHz (PCLKA) RAM クロック： 200 MHz (PCLKE)
データリンクレイヤ (DLL) クロック		8 MHz～80MHz 以下のクロックを選択可能 ● CANMCLK：外部発振器クロック ● CANFDCLK：CANFD コアクロック
入出力端子		CRXn/CTXn (n = 0, 1)
CAN チャネル		2 チャネル
選択可能な ID タイプ		11 ビットの標準 ID
		11 ビットの標準 ID + 18 ビットの拡張 ID
選択可能なフレームタイプ		データフレーム (RTR = 0)（CAN フレームと CANFD フレーム）
		リモートフレーム (RTR = 1)（CAN フレームのみ）
データフレームの可変データバイト数		DLC 範囲：0～F
メッセージバッファ		最大 16 個の受信メッセージバッファ
		チャネルあたり 4 個の送信メッセージバッファ
		チャネルあたり 1 個の送信キュー 送信キューへの自動メッセージ転送をサポート
FIFO 番号		2 個の受信 FIFO バッファ 1 個の COMMON FIFO を個々に下記のように設定可能 ● 受信 FIFO ● 送信 FIFO
送信用自動遅延インターバルタイマ		遅延タイマは下記に適用可能 ● 送信 FIFO

表 41.1 CANFD モジュールの仕様 (2/2)

項目	仕様
拡張受信フィルタ	11 ビットおよび 29 ビットの CAN ID をサポート
	各エントリに、プログラム可能 29 ビット CAN ID アクセプタンスフィルタマスク
	各 FIFO および受信メッセージバッファに、プログラム可能ルーティング機能（最大 2 つのルーティング先）
	RTR および IDE マスキング
	データ長コード (DLC) フィルタ
	メッセージバッファペイロードのオーバーロード保護
	ペイロードフィルタ
	通信中のアクセプタンスフィルタリスト (AFL) エントリ更新
一般ソフトウェアサポート	受信メッセージに自動ラベル情報付加（上位ソフトウェアレイヤサポート用）
タイマ	TX および RX タイムスタンプ機能
パワーダウン機能	各 CAN ノードにモジュールスタートストップ機能（チャネルモードおよびグローバルスリープモード）
RAM	RAM ECC 保護（2 ビットエラー検出および 1 ビットエラー訂正）
モジュールストップ機能	各チャネルをモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. CANFD モードは CANFD をサポートする製品に限り利用可能です。

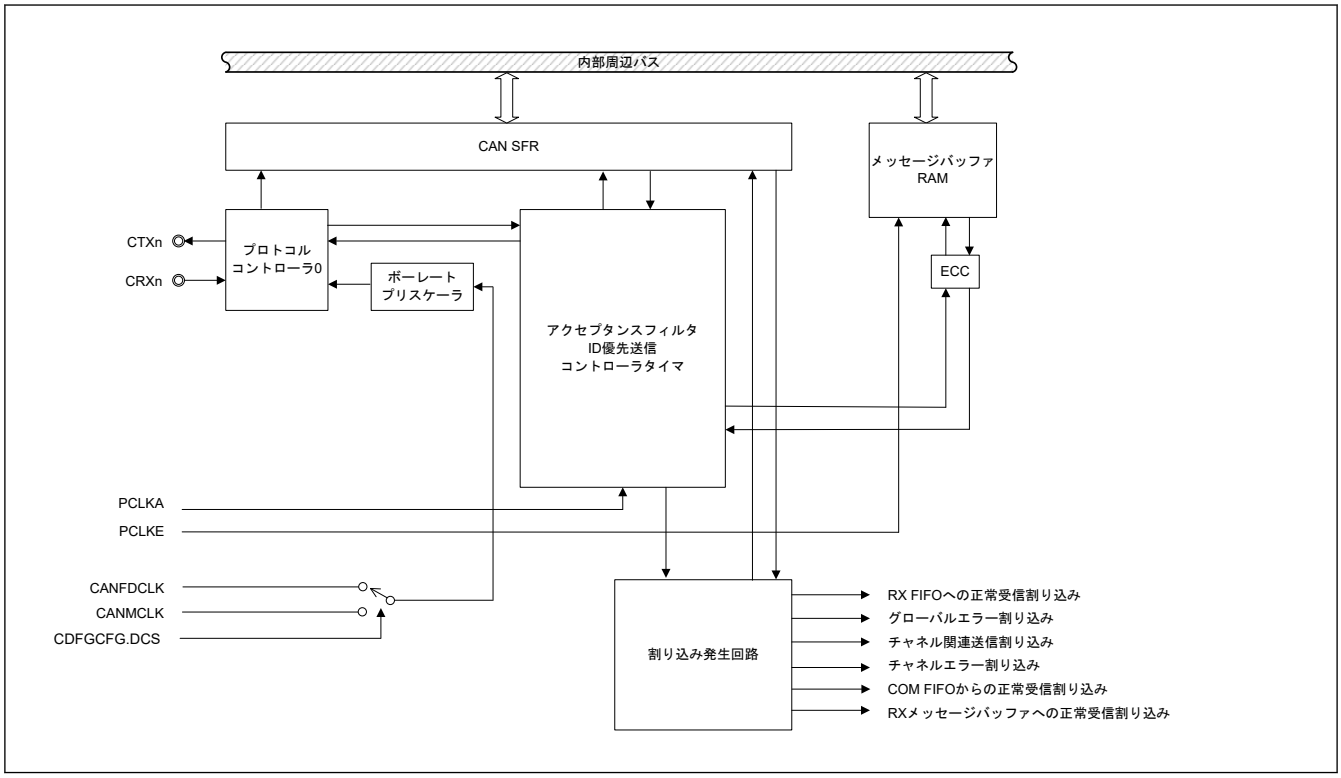


図 41.1 CANFD モジュールの概要

- CRXn/CTXn：
  CANFD モジュールの入出力端子
- プロトコルコントローラ：

バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。

- メッセージバッファ RAM (MBRAM) :
  本 RAM は、受信後のメッセージを格納するため、および通常のメッセージバッファまたは FIFO を使って送信するために使用されます。各メッセージエントリは、上位レイヤアプリケーション用およびタイムスタンプ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
  本 RAM は、メッセージアクセプタンスフィルタエントリを格納するのに使用されます。各アクセプタンスフィルタエントリは、上位レイヤアプリケーション用およびメッセージ方向ポインタ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
- アクセプタンスフィルタリスト RAM (AFLRAM) :
  受信メッセージのフィルタ処理を行います。アクセプタンスフィルタリスト RAM のエントリは、フィルタ処理に使用されます。
- 2 つのタイマ :
  - 受信タイムスタンプ機能
  - FIFO バッファ用送信セパレーション時間
- 割り込み発生回路 :
  各種グローバル割り込みおよびチャネル割り込みを発生します。
- CAN 特殊機能レジスタ (SFR) :
  CAN 関連レジスタ :「41.2. レジスタの説明」を参照してください。

41.1.2 クロックの制限事項

CAN 通信において、以下のクロックの制限事項を満たす必要があります。

- PCLKE/2 = PCLKA ≧ CANFDCLK
- PCLKE/2 = PCLKA ≧ CANMCLK

イベントの消失を避けるため、CAN エンジンのクロック（CANFDCLK または CANMCLK）の周波数は PCLKA クロック周波数より低くしなければなりません。

CAN メッセージの損失を避けるため、PCLKA は CAN 通信ボーレートに従った周波数のクロックに設定する必要があります。このボーレートと PCLKA クロックの間の制限を、表 41.2 に示します。

表 41.2 クロックの制限事項

	ボーレート	PCLKA
CANFD	1 Mbps ノミナル 8 Mbps データ	PCLKA ≧ 40 MHz
	500 Kbps ノミナル 5 Mbps データ	PCLKA ≧ 32 MHz
クラシカル CAN	1 Mbps データ	PCLKA ≧ 32 MHz

CANFDCLK と CANMCLK の周波数は、必要なボーレートに依存します。ボーレートの設定方法については、「41.4.1.3. ボーレート」を参照してください。

41.2 レジスタの説明

41.2.1 レジスタ表

RAM 領域 (CFDGAFLIDr, CFDGAFLMr, CFDGAFLP0r, CFDGAFLP1r, CFDRMBCPb, CFDRFMBCPb, CFDCFMBCP0, CFDTMBCPb, CFDTHLACC0, CFDTHLACC1, CFDRPGACCk) について示されるリセット値は、ハードウェアリセットの初期化後有効です。初期化処理の詳細は、「41.4.2. ハードウェアリセット後の CAN モジュールの構成」を参照してください。

8 ビットまたは 16 ビットサイズで RAM 領域に書き込みを行うと、RAM は ECC モジュールを介した 32 ビットアクセスが必要なため、CANFD モジュールはその RAM 位置にリードモディファイライトを実行します。

1 ビットエラーの場合は、正しいデータがライトバックされます。複数ビットエラーの場合は、不定データがライトバックされます。

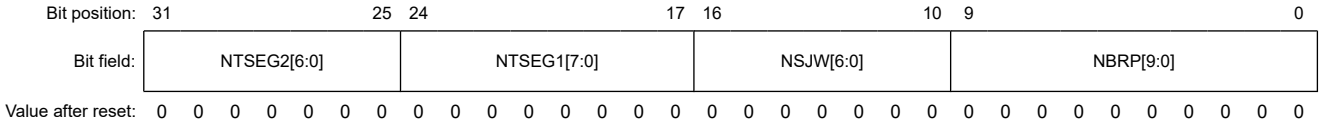
レジスタが割り当てられていないアドレス空間のアクセスは禁止です。

レジスタが割り当てられていないアドレス空間からの読み出しデータは不定です。

41.2.2 CFDC0NCFG : ノミナルビットレートコンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0000



ビット	シンボル	機能	R/W
9:0	NBRP[9:0]	チャネル公称ボーレートプリスケーラ 公称ボーレートプリスケーラ分周比	R/W
16:10	NSJW[6:0]	再同期ジャンプ幅 0x00: 1 Tq 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W
24:17	NTSEG1[7:0]	タイミングセグメント 1 0x00: 予約 0x01: 2 Tq 0x02: 3 Tq 0x03: 4 Tq ⋮ 0xFE: 255 Tq 0xFF: 256 Tq	R/W
31:25	NTSEG2[6:0]	タイミングセグメント 2 0x00: 予約 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W

注. S-TYPE-3, P-TYPE-3
注. Tq はタイムクォンタム (time quantum) を表します。

本レジスタは、チャネルの送受信公称ボーレートパラメータを設定します。

NBRP[9:0]ビット（チャネル公称ボーレートプリスケーラ）

NBRP[9:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義するのに使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NSJW[6:0]ビット（再同期ジャンプ幅）

NSJW[6:0]ビットは同期ジャンプ幅を指定します。1～128Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NTSEG1[7:0]ビット（タイミングセグメント 1）

NTSEG1[7:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。これらのビットには、伝播時間セグメントが含まれます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～256（2 と 256 を含む）の範囲で設定してください。詳細は、「41.4.1.2. CAN のビットタイミング」を参照してください。

NTSEG2[6:0]ビット（タイミングセグメント 2）

NTSEG2[6:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～128（2 と 128 を含む）の範囲で設定してください。

41.2.3 CFDC0CTR : コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ROM	BFT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	TDCVFIE	SOCOIE	EOCOIE	TAIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	CHMDC[1:0]	チャネルモード制御 0 0: チャネルオペレーションモード要求 0 1: チャネルリセット要求 1 0: チャネル halt 要求 1 1: 現在値を維持	R/W
2	CSLPR	チャネルスリープ要求 0: チャネルスリープ要求禁止 1: チャネルスリープ要求許可	R/W
3	RTBO	バスオフからの復帰 0: チャネルはバスオフからの復帰を強制されていない 1: チャネルはバスオフからの復帰を強制されている	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BEIE	バスエラー割り込み許可 0: バスエラー割り込み禁止 1: バスエラー割り込み許可	R/W
9	EWIE	エラーワーニング割り込み許可 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	R/W
10	EPIE	エラーパッシブ割り込み許可 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	R/W

ビット	シンボル	機能	R/W
11	BOEIE	バスオフ開始割り込み許可 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	R/W
12	BORIE	バスオフ復帰割り込み許可 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	R/W
13	OLIE	オーバーロード割り込み許可 0: オーバーロード割り込み禁止 1: オーバーロード割り込み許可	R/W
14	BLIE	バスロック割り込み許可 0: バスロック割り込み禁止 1: バスロック割り込み許可	R/W
15	ALIE	アービトレーションロスト割り込み許可 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可	R/W
16	TAIE	送信アボート割り込み許可 0: TX アボート割り込み禁止 1: TX アボート割り込み許可	R/W
17	EOCOIE	エラー発生カウンタオーバーフロー割り込み許可 0: エラー発生カウンタオーバーフロー割り込み禁止 1: エラー発生カウンタオーバーフロー割り込み許可	R/W
18	SOCOIE	成功発生カウンタオーバーフロー割り込み許可 0: 成功発生カウンタオーバーフロー割り込み禁止 1: 成功発生カウンタオーバーフロー割り込み許可	R/W
19	TDCVFIE(注1)	トランシーバ遅延補償違反割り込み許可 0: トランシーバ遅延補償違反割り込み禁止 1: トランシーバ遅延補償違反割り込み許可	R/W
20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:21	BOM[1:0]	チャネルバスオフモード 0 0: 通常モード（ISO 11898-1 に準拠） 0 1: バスオフ開始で自動的に halt モードへ遷移 1 0: バスオフ終了で自動的に halt モードへ遷移 1 1: ソフトウェア要求により（バスオフ復帰期間中に）halt モードへ遷移	R/W
23	ERRD	チャネルエラー表示 0: エラーコードの最初のセットのみ表示 1: 蓄積したエラーコードを表示	R/W
24	CTME	チャネルテストモード許可 0: チャネルテストモード禁止 1: チャネルテストモード許可	R/W
26:25	CTMS[1:0]	チャネルテストモード選択 0 0: 基本テストモード 0 1: リッスンオンリーモード 1 0: セルフテストモード 0（外部ループバックモード） 1 1: セルフテストモード 1（内部ループバックモード）	R/W
29:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30	BFT	ビットフリップテスト 0: 受信ストリームの最初のデータビットを反転しない 1: 受信ストリームの最初のデータビットを反転する	R/W
31	ROM(注1)	制限付きオペレーションモード 0: 制限オペレーションモード禁止 1: 制限オペレーションモード許可	R/W

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットは、クラシカル CAN 機能では使用できません。

チャネルコントロールレジスタは、関連するチャネルのモードを制御します。本チャネルに接続された CAN バスでエラーが発生した場合、割り込みの発生を許可するのに使用されます。チャネルをテストモードに設定するのにも使用されます。

CHMDC[1:0]ビット（チャネルモード制御）

CHMDC[1:0]ビットを使用して、CAN チャネルのモードを設定することができます。

CAN モードの遷移については「41.3.3. チャネルモード」に詳述しています。

CHMDC[1:0]ビットの 11b への設定は無効です。CANFD モジュールが GL_HALT モードの場合、これらのビットは 10b か 01b にしか設定できません。これらのビットは CH_SLEEP モードでは設定できません。

これらのビットは、CFDC0CTR.BOM を設定することにより停止モードに遷移すると自動的に変更されます。

（CFDC0CTR.BOM = 01b でバスオフの開始時または CFDC0CTR.BOM = 10b でバスオフの終了時）CAN チャネルが停止モードに入ったと同時に CPU が CFDC0CTR.CHMDC に書き込みを行うと、CPU の書き込みが最優先されます。

CFDC0CTR.CHMDC 値が 00b（オペレーションモード）の場合のみ、CAN チャネルは、指定されたケースでチャネルコントロールレジスタの CFDC0CTR.CHMDC の値を変更します。

CSLPR ビット（チャネルスリープ要求）

CSLPR ビットが 1 のとき、対応する CAN チャネルに対してスリープモード要求が発生します。

本ビットが 0 のとき、関連する CANFD チャネルに対してスリープモードからの復帰要求が発生します。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

RTBO ビット（バスオフからの復帰）

CAN チャネルのプロトコルコントローラがバスオフ状態になると、チャネルコントロールレジスタの RTBO ビットを 1 にすることによりバスオフ状態からの復帰を強制できます。

最大 1 CAN ビット時間を統合するために、バスオフ状態からエラー状態に変わります。

RTBO ビットが 1 のとき、REC レジスタおよび TEC レジスタは初期化され、バスオフステータスビット（チャネルバスオフ状態、CFDC0STS.BOSTS）が 0 になります。

REC レジスタおよび TEC レジスタ以外のレジスタは、本コマンドにより初期化されません。CFDC0CTR.BORIE が 1 の場合でも、このバスオフ状態からの復帰によって、バスオフ復帰割り込み要求は発生しません。

RTBO ビットは CH_SLEEP モードでは設定できません。バスオフ状態以外の状態で本ビットを 1 にしても無効で、ビットはただちにクリアされます。読むと常に 0 が読めます。

バスオフ復帰コマンドは、CFDC0CTR.BOM が 00b に設定されている場合のみ使用してください。

関連する CANFD チャネルが CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。本ビットは、ソフトウェアにより自動的にクリアされます。

BEIE ビット（バスエラー割り込み許可）

BEIE ビットと CFDC0ERFL.BEF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

このビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EWIE ビット（エラーワーニング割り込み許可）

EWIE ビットと CFDC0ERFL.EWF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

EWIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EPIE ビット（エラーパッシブ割り込み許可）

EPIE ビットと CFDC0ERFL.EPF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

EPIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BOEIE ビット（バスオフ開始割り込み許可）

BOEIE ビットと CFDC0ERFL.BOEF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

BOEIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BORIE ビット（バスオフ復帰割り込み許可）

BORIE ビットと CFDC0ERFL.BORF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

BORIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

OLIE ビット（オーバーロード割り込み許可）

OLIE ビットと CFDC0ERFL.OVLF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BLIE ビット（バスロック割り込み許可）

BLIE ビットと CFDC0ERFL.BLF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

ALIE ビット（アービトレーションロスト割り込み許可）

ALIE ビットと CFDC0ERFL.ALF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TAIE ビット（送信アボート割り込み許可）

TAIE ビットが 1 で、対応する CAN チャネルに属する TX MB からの送信アボートに成功した場合、割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EOCOIE ビット（エラー発生カウンタオーバーフロー割り込み許可）

EOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.EOCO ビットが 1 の場合、エラー割り込み要求が発生します。

EOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

SOCOIE ビット（成功発生カウンタオーバーフロー割り込み許可）

SOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.SOCO ビットが 1 の場合、エラー割り込み要求が発生します。

SOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TDCVFIE ビット（トランシーバ遅延補償違反割り込み許可）

TDCVFIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.TDCVF ビットが 1 の場合、エラー割り込み要求が発生します。

TDCVFIE ビットは CH_SLEEP モードでは設定できません。

関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

BOM[1:0]ビット（チャネルバスオフモード）

BOM[1:0]ビットは、CANFD チャネルのバスオフモードからの復帰のタイミングを制御します。

CH_SLEEP モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

ERRD ビット（チャネルエラー表示）

ERRD ビットは、チャネルエラーフラグレジスタ (CFDC0ERFL) のエラーフラグビット[14:8]の表示モードを制御します。

ERRD ビットが 0 で、同時に 2 つ以上のエラーが起きると、エラーフラグビットが、同時に発生したエラーすべてに対して設定されます。CFDC0ERFL[14:8]がクリアされるまでこれ以上エラーフラグは立ちません。

CH_SLEEP モードのとき、ERRD ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTME ビット（チャネルテストモード許可）

CTME ビットは、チャネルテストモードを有効にします。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTMS[1:0]ビット（チャネルテストモード選択）

CTMS[1:0]ビットは、必要なテストモードを選択するのに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

BFT ビット（ビットフリップテスト）

BFT ビットは、プロトコルコントローラの内部 CRC 生成器ロジックをチェックします。

受信中の CAN メッセージデータストリームの第 1 ビット（ID ビット）を反転するので、内部で生成した CRC 結果がフレームの受信した CRC 値と一致しなくなります。本機能を使用する場合、(反転のため) CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照してください。

内部で生成した CRC 値は、常に下記のレジスタで確認できます。

- CFDC0ERFL.CRCREG（クラシカル CAN フレーム）
- CFDC0FDCRC.CRCREG（CANFD フレーム）。(注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

本ビットを使用する上ではいくつかの制限があります。

他の CAN ノードが基準メッセージを送信し、受信ノードは着信ビットストリームの 1 つのビットを反転可能です。

注. 送信部と受信部のモードでは同じ CRC 生成器が共有されるため、テストするときにモードを別々に検討する必要はありません。

BFT ビット（ビットストリームの第 1 ビットを反転する新規の制御信号）および CTME ビットが 1 でありかつ CFDC0CTR.CTMS ビットが 0x00 のとき、ビットフリップテストモードが有効です。

この機能を送信ノードで使用すると、ビットエラーまたはアービトレーションロストが発生します。

CH_SLEEP モードのとき、BFT ビットに書き込まないでください。セルフテストモード 1（内部ループバックモード）のときは、この機能を使わないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

ROM ビット（制限付きオペレーションモード）

ROM ビットと CTME ビットが両方とも 1 の場合、制限付きのオペレーションモードが有効になります。本モードは、基本テストモード (CFDC0CTR.CTMS[1:0] = 00b) でのみ使用してください。

ROM ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

41.2.4 CFDC0STS : ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TEC[7:0]								REC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ESIF	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
0	CRSTSTS	チャネルリセットステータス 0: チャネルはリセットモード中ではない 1: チャネルはリセットモード中	R
1	CHLTSTS	チャネル halt ステータス 0: チャネルは halt モード中ではない 1: チャネルは halt モード中	R
2	CSLPSTS	チャネルスリープステータス 0: チャネルはスリープモード中ではない 1: チャネルはスリープモード中	R
3	EPSTS	チャネルエラーパッシブステータス 0: チャネルはエラーパッシブ状態ではない 1: チャネルはエラーパッシブ状態	R
4	BOSTS	チャネルバスオフステータス 0: チャネルはバスオフ状態ではない 1: チャネルはバスオフ状態	R
5	TRMSTS	チャネル送信ステータス 0: チャネルは送信中ではない 1: チャネルは送信中	R
6	RECSTS	チャネル受信ステータス 0: チャネルは受信中ではない 1: チャネルは受信中	R
7	COMSTS	チャネル通信ステータス 0: チャネルは通信可状態ではない 1: チャネルは通信可状態	R
8	ESIF(注1)	エラー状態表示フラグ 0: ESI フラグが設定されているときに CANFD メッセージは 1 つも受信されていない 1: ESI フラグが設定されているときに少なくとも 1 つの CANFD メッセージが受信された	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	REC[7:0]	受信エラー数 これらのビットは、受信中の CAN チャネルのエラー状態によってカウンタ値を増減させます。	R

ビット	シンボル	機能	R/W
31:24	TEC[7:0]	送信エラー数 これらのビットは、送信中の CAN チャネルのエラー状態によってカウンタ値を増減させます。	R

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

チャネルステータスレジスタは、関連するチャネルのモード、エラー状態、および送受信状態を、受信および送信エラー数の値とともに示します。

CRSTSTS ビット（チャネルリセットステータス）

CRSTSTS ビットは、関連する CAN チャネルがリセットモードかどうかを示します。

本ビットは、関連する CAN チャネルがチャネルリセットモードになると自動的に 1 になります。モードがリセットモードからスリープモードに遷移しても、CRSTSTS ビットは 1 のままです。

本ビットは、スリープモードへの遷移の場合を除いて、関連する CAN チャネルがチャネルリセットモードを抜けると自動的にクリアされます

CHLTSTS ビット（チャネル halt ステータス）

CRSTSTS ビットは、関連する CAN チャネルが halt モードかどうかを示します。

本ビットは、関連する CAN モジュールが halt モードになると自動的に 1 になり、halt モードを抜けると自動的にクリアされます。

CSLPSTS ビット（チャネルスリープステータス）

CSLPSTS ビットは、関連する CAN チャネルがスリープモードかどうかを示します。

本ビットは、関連する CANFD チャネルがスリープモードになると自動的に 1 になり、スリープモードを抜けると自動的にクリアされます。

EPSTS ビット（チャネルエラーパッシブステータス）

EPSTS ビットは、関連する CANFD チャネルがエラーパッシブ状態になったかどうかを示します。

本ビットは、CAN 送受信カウンタレジスタの値が 0x7F を超えた場合自動的に 1 になります。

本ビットは、関連する CANFD チャネルがエラーパッシブ状態を抜けるかリセットモードになると自動的にクリアされます

BOSTS ビット（チャネルバスオフステータス）

BOSTS ビットは、関連する CANFD チャネルがエラーバスオフ状態になったかどうかを示します。

本ビットは、関連する CAN 送信エラー数レジスタの値が 0xFF を超え、関連する CANFD チャネルがバスオフ状態になる（CAN 送信エラー数レジスタ > 0xFF）と自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスオフ状態を抜けると自動的にクリアされます。

TRMSTS ビット（チャネル送信ステータス）

TRMSTS ビットは、関連する CANFD チャネルがメッセージを送信中かどうかを示します。

本ビットは、関連する CANFD チャネルが送信ノードとして動作するかバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか受信ノードとして動作開始すると自動的にクリアされます。

RECSTS ビット（チャネル受信ステータス）

RECSTS ビットは、関連する CANFD チャネルがメッセージを受信中かどうかを示します。

本ビットは、関連する CANFD チャネルが受信ノードとして動作中の場合、自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか送信ノードとして動作開始すると自動的にクリアされます。

COMSTS ビット（チャネル通信ステータス）

COMSTS ビットは、関連する CANFD チャネルが通信可能状態かどうかを示します。

本ビットは、リセットモードか halt モードを抜けて、11 個の連続レセシブビットの検出後、関連する CANFD チャネルが通信可能状態であると、自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードまたは CD_HALT になると自動的にクリアされます。

注. 本ビットはバスオフ状態中 1 です。

ESIF ビット（エラー状態表示フラグ）

ESIF ビットは、ESI ビットがエラーのない受信 CAN メッセージに対してレセシブとしてサンプリングされると 1 になります。ループバックモードまたはミラーモード時、自分で送信したメッセージが受信メッセージと見なされます。

CANFD チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 になります。

また、0 を書くことによってクリアされます。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

REC[7:0]ビット（受信エラー数）

REC[7:0]ビットは、受信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、REC エラーカウンタの値を表示します。

バスオフ状態時の値は不定になります。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TEC[7:0]ビット（送信エラー数）

TEC[7:0]ビットは、送信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、TEC エラーカウンタの値を表示します。

テストモード時でかつ CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

41.2.5 CFDC0ERFL : エラーフラグレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CRCREG[14:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BEF	バスエラーフラグ 0: チャネルバスエラー未検出 1: チャネルバスエラー検出	R/W
1	EWF	エラーワーニングフラグ 0: チャネルエラーワーニング未検出 1: チャネルエラーワーニング検出	R/W
2	EPF	エラーパッシブフラグ 0: チャネルエラーパッシブ未検出 1: チャネルエラーパッシブ検出	R/W
3	BOEF	バスオフ開始フラグ 0: チャネルバスオフ開始未検出 1: チャネルバスオフ開始検出	R/W
4	BORF	バスオフ復帰フラグ 0: チャネルバスオフ復帰未検出 1: チャネルバスオフ復帰検出	R/W
5	OVLF	オーバーロードフラグ 0: チャネルオーバーロード未検出 1: チャネルオーバーロード検出	R/W
6	BLF	バスロックフラグ 0: チャネルバスロック未検出 1: チャネルバスロック検出	R/W
7	ALF	アービトレーションロストフラグ 0: チャネルアービトレーションロスト未検出 1: チャネルアービトレーションロスト検出	R/W
8	SERR	スタッフエラー 0: チャネルスタッフエラー未検出 1: チャネルスタッフエラー検出	R/W
9	FERR	フォームエラー 0: チャネルフォームエラー未検出 1: チャネルフォームエラー検出	R/W
10	AERR	ACK エラー 0: チャネル ACK エラー未検出 1: チャネル ACK エラー検出	R/W
11	CERR	CRC エラー 0: チャネル CRC エラー未検出 1: チャネル CRC エラー検出	R/W
12	B1ERR	ビット 1 エラー 0: チャネルビット 1 エラー未検出 1: チャネルビット 1 エラー検出	R/W
13	B0ERR	ビット 0 エラー 0: チャネルビット 0 エラー未検出 1: チャネルビット 0 エラー検出	R/W
14	ADERR	ACK デリミタエラー 0: チャネル ACK デリミタエラー未検出 1: チャネル ACK デリミタエラー検出	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:16	CRCREG[14:0]	CRC レジスタ値 これらのビットは、CAN2.0 CAN フレームに対して計算された CRC 値を示します。	R
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

チャネルエラーフラグレジスタは、関連する CAN チャネルエラー割り込み許可レジスタの設定にかかわらず検出可能な各種エラー条件の状態を示します。それらのレジスタは、CAN チャネルにより検出可能な各種バスエラーの状態も示します。各エラー条件がいつ発生するかを確認するには CAN 仕様 (ISO 11898-1) を参照してください。

本レジスタについては、ソフトウェアによりクリア可能なのは 1 ビットのみです。ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

アセンブリ言語で CFDC0ERFL.BEF ビットをクリアする例

```
mov.b #0x0FE, CFDC0ERFL ;
```

BEF ビット（バスエラーフラグ）

BEF ビットは、本レジスタのビット[14:8]により示される CAN チャネルバスエラー状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、バスエラー検出時自動的に設定され、また関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EWF ビット（エラーワーニングフラグ）

EWF ビットは、CAN チャネルに対してエラーワーニング条件が検出されたかどうかを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、TEC または REC が 0x5F を超えると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x5F を超えた場合のみです。したがって、TEC または REC が＞ 0x5F のままで EWF ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x60 以下になるか、または TEC または REC が再び 0x5F から＞ 0x5F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EPF ビット（エラーパッシブフラグ）

EPF ビットは、CAN チャネルのエラーパッシブ状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がパッシブ状態になると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x7F を超えた場合のみです。したがって、TEC または REC が＞ 0x7F のままで本ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x80 以下になるか、または TEC または REC が再び≦ 0x7F から＞ 0x7F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BOEF ビット（バスオフ開始フラグ）

BOEF ビットは、CAN チャネルのバスオフ開始状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BORF ビット（バスオフ復帰フラグ）

BORF ビットは、CAN チャネルのバスオフ復帰状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは自動的に 1 になります。

- CFDC0CTR.BOM が 00b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 10b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 11b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき

CAN チャネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは 1 になりません。

- CAN リセットモードが要求されたとき
- CFDC0CTR.RTBO が 1 に設定されたとき（CAN チャネルはエラーアクティブに戻る）
- CFDC0CTR.BOM が 01b のとき
- CFDC0CTR.BOM が 11b で、CAN チャネルがバスオフ状態終了に達する前に停止要求がアサートされたとき

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、フラグは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

OVLF ビット（オーバーロードフラグ）

OVLF ビットは、CAN チャネルのオーバーロード状態が検出されたことを示します。

OVLF ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、オーバーロード状態が検出されると自動的に 1 になります。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

BLF ビット（バスロックフラグ）

BLF ビットは、CAN チャネルのバスロック状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルがオペレーションモードのとき、CAN バス上に 32 個の連続するドミナントビットが検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

ALF ビット（アービトレーションロストフラグ）

ALF ビットは、CAN チャネルのバスアービトレーションロスト状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルがオペレーションモードのとき、CAN バス上にアービトレーションロスト状態が検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

SERR ビット（スタッフエラー）

SERR ビットは、CAN スタッフエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、スタッフエラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち 1 つでもビットがすでに 1 の場合、本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

FERR ビット（フォームエラー）

FERR ビットは、CAN フォームエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、フォームエラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち 1 つでもビットがすでに 1 の場合、本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

AERR ビット（ACK エラー）

AERR ビットは、CAN ACK エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す

3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、ACK エラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち 1 つでもビットがすでに 1 の場合、本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CERR ビット（CRC エラー）

CERR ビットは、CAN CRC エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、CRC エラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち 1 つでもビットがすでに 1 の場合、本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B1ERR ビット（ビット 1 エラー）

B1ERR ビットは、レセシブビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、レセシブビットエラー（期待されたレセシブビットがドミナントビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち 1 つでもビットがすでに 1 の場合、本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B0ERR ビット（ビット 0 エラー）

B0ERR ビットは、ドミナントビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、ドミナントビットエラー（期待されたドミナントビットがレセシブビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち 1 つでもビットがすでに 1 の場合、本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

ADERR ビット（ACK デリミタエラー）

ADERR ビットは、ACK デリミタビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、フレーム送信の ACK デリミタ状態中にフォームエラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち 1 つでもビットがすでに 1 の場合、本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CRCREG[14:0]ビット（CRC レジスタ値）

CRCREG[14:0]ビットは、該当チャネルに対して CFDC0CTR.CTME ビットが 1 のとき、計算された CRC 値を読み出します。

CFDC0CTR.CTME ビットが 0 の場合、これらのビットは読むと常に 0 が読み出されます。

これらのビットは、CTME ビットが有効のとき、CANFD チャネルロジックにより計算された CAN2.0 CRC 値を示します。

CFDC0ERFL.CRCREG 値は、CAN フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

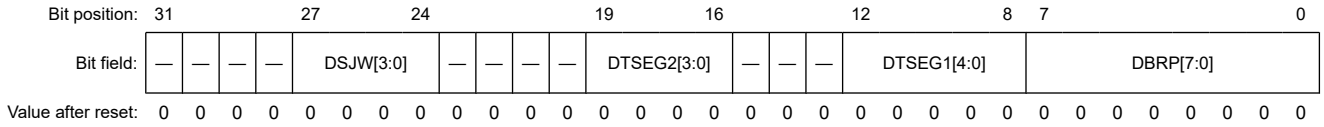
これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

41.2.6 CFDC0DCFG : データビットレートコンフィグレーションレジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0100



ビット	シンボル	機能	R/W
7:0	DBRP[7:0]	チャネルデータボーレートプリスケーラ データボーレートプリスケーラ分周比	R/W
12:8	DTSEG1[4:0]	タイミングセグメント 1 0x00: 予約 0x01: 2Tq 0x02: 3Tq 0x03: 4Tq ⋮ 0x1E: 31Tq 0x1F: 32Tq	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	DTSEG2[3:0]	タイミングセグメント 2 0x0: 予約 0x1: 2Tq ⋮ 0xE: 15Tq 0xF: 16Tq	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:24	DSJW[3:0]	再同期ジャンプ幅 0x0: 1Tq 0x1: 2Tq ⋮ 0xF: 16Tq	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. Tq はタイムクォンタム (time quantum) を表します。

データビットレートコンフィグレーションレジスタは、そのチャネルの送受信データのボーレートパラメータを設定します。

クラシカル CAN モードのチャネルは、本レジスタの設定を行いません。

DBRP[7:0]ビット（チャネルデータボーレートプリスケーラ）

DBRP[7:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

DTSEG1[4:0]ビット（タイミングセグメント 1）

DTSEG1[4:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。2～32Tq の値が設定可能です。

DTSEG1[4:0]ビットは、伝播時間セグメントを設定するのにも使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。詳細は、「41.4.1.2. CAN のビットタイミング」を参照してください。

DTSEG2[3:0]ビット（タイミングセグメント 2）

DTSEG2[3:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。2～16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。

DSJW[3:0]ビット（再同期ジャンプ幅）

DSJW[3:0]ビットは、同期ジャンプ幅を設定します。1～16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

41.2.7 CFDC0FDCFG : CANFD コンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CLOE	REFE	FDOE	—	—	—	—	TDCO[7:0]							
Value after reset:	0	0/1 (注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EOCCFG[2:0]	エラー発生カウンタ構成 0 0 0: すべての送受信 CAN フレーム 0 0 1: すべての送信 CAN フレーム 0 1 0: すべての受信 CAN フレーム 0 1 1: 予約 1 0 0: 送受信 CANFD データ相 (fast bits) のみ 1 0 1: 送信 CANFD データ相 (fast bits) のみ 1 1 0: 受信 CANFD データ相 (fast bits) のみ 1 1 1: 予約	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TDCOC(注2)	トランシーバ遅延補償オフセット構成 0: 測定値 + オフセット 1: オフセットのみ	R/W
9	TDCE(注2)	トランシーバ遅延補償許可 0: トランシーバ遅延補償禁止 1: トランシーバ遅延補償許可	R/W
10	ESIC(注2)	エラー状態表示構成 0: フレーム内に ESI ビットがあると、ノード自体がエラー状態であることを示します。 1: フレーム内に ESI ビットがあると、ノード自体がエラーパッシブ状態である場合、メッセージバッファがエラー状態であることを示します。ノードがエラーパッシブ状態であると、ESI ビットはノード自体により駆動されます。	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TDCO[7:0](注2)	トランシーバ遅延補償オフセット	R/W

ビット	シンボル	機能	R/W
27:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	FDOE(注2)	FD only 許可 0: FD only モード禁止 1: FD only モード許可	R/W
29	REFE	RX エッジフィルタ有効 0: RX エッジフィルタ無効 1: RX エッジフィルタ有効	R/W
30	CLOE(注2) (注3)	クラシカル CAN 許可 0: クラシカル CAN モード禁止 1: クラシカル CAN モード許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. リセット後の値は、CANFD プロトコルをサポートする製品に対しては 0 であり、クラシカル CAN プロトコルのみをサポートする製品に対しては 1 です。
注 2. これらのビットは、クラシカル CAN 機能では使用できません。
注 3. このビットは、CANFD プロトコルをサポートする製品に対してのみ書き込み可能です。クラシカル CAN プロトコルのみをサポートする製品に対しては、このビットは予約ビットであり、1 に固定されます。

CANFD コンフィグレーションレジスタは、どの通信方向（送信／受信）のエラーがカウントされるかを設定します。

EOCCFG[2:0]ビット（エラー発生カウンタ構成）

EOCCFG[2:0]ビットは、プロトコルエラーを含めて、どの種類の CAN フレーム設定と方向をカウントするかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

TDCOC ビット（トランシーバ遅延補償オフセット構成）(注1)

TDCOC ビットは、CANFD チャネルの第二サンプルポイント (SSP) の位置を定義する場合にどのオフセットを使用するかを選択します。本ビットが 0 に設定されると、SSP の位置は測定されたトランシーバ遅延+固定オフセットです。本ビットが 1 に設定されている場合、SSP の位置はオフセットのみで決まります。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCE ビット（トランシーバ遅延補償許可）(注1)

TDCE ビットは、CANFD チャネルのトランシーバ遅延補償を有効にします。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

ESIC ビット（エラー状態表示構成）(注1)

ESIC ビットは、ESI フラグ情報または ESI フラグ情報のメッセージ（CFDCFFDCSTS.CFESI ないし CFDTMFDCTRb.TMESI）のどちらを送信するかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCO[7:0]ビット（トランシーバ遅延補償オフセット）(注1)

TDCO[7:0]ビットは、二次サンプルポイントのオフセットを設定します。この値がどのように使用されるかは CFDC0FDCFG.TDCOC の設定によります。

CFDC0FDCFG.TDCOC = 0 の場合、トランシーバ遅延補償結果は、Trv_Delay（測定された遅延） + CFDC0FDCFG.TDCO の値（Tq の最も近い整数に切り捨て）です。CFDC0FDCFG.TDCOC = 0 でない場合、結果は CFDC0FDCFG.TDCO の値と等しくなります。CFDC0FDCFG.TDCO がどのように使用されるかは、「41.4.1.5. トランスミッタ遅延補償」を参照してください。

実際のオフセット値は、TDCO + 1 と判断されます。たとえば、TDCO に 4 が設定されている場合、オフセットは 5 クロックサイクルです。クロックサイクルは、CAN チャネル DLL クロックの 1 サイクルです。

CH_OPERATION モードまたは CH_SLEEP モードのとき、TDCO[7:0]ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

FDOE ビット（FD only 許可）(注1)

FDOE ビットは、CANFD only フレームの送受信を有効にします。有効時、クラシカル CAN フレームフォーマットでの通信はできません。メッセージバッファの FDF ビットが Don't care ビット (CFDCFFDCSTS.CFFDF/ CFDTMFDCTRb.TMFDF) なので、クラシカル CAN フレームは送信できません。

クラシカル CAN フレームフォーマットのメッセージを受信した場合、プロトコルコントローラは、このようなメッセージを無効フレームとして取り扱い、エラーフレームで応答します。クラシカル CAN フレームが送信に設定されている場合、FDF ビットはレセシブとして送信され、その結果 FD フレームが送信されます。データ長コード (DLC) が 9 バイト以上に設定されている場合、残りのデータバイトは 0xCC でパディングされます。

FDOE ビットは CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードでは書き込みできません。

CFDC0FDCFG.FDOE と CFDC0FDCFG.CLOE を同時に 1 にしないでください。

REFE ビット（RX エッジフィルタ有効）

REFE ビットは、IDLE 検出（バス統合）中、RX エッジフィルタを有効にします。ビット有効時、同期エッジを検出するには、ドミナント Tq が 2 つ連続することが必要です。

REFE ビットは CH_OPERATION モード、CH_HALT モードおよび CH_SLEEP モードでは書き込みできません。クラシカル CAN モードのとき本ビットを 1 にしないでください。

CLOE ビット（クラシカル CAN 許可）(注1)

CLOE ビットは、クラシカル CAN モードを許可にします。本ビットが 1 のとき、プロトコルコントローラは、クラシカルフレームのみを送信可能で、FD フレームのフォームエラーまたは CRC エラーで応答します。

CFDC0FDCFG.CLOE と CFDC0FDCFG.FDOE を同時に 1 にしないでください。

CFDC0FDCFG.CLOE	CFDC0FDCFG.FDOE	チャネルモード
0	0	CANFD モード
0	1	FD only モード
1	0	クラシカル CAN モード
1	1	予約

CANFD モードは CANFD をサポートする製品に限り利用可能です。

CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

41.2.8 CFDC0FDCTR : CANFD コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EOCCLR	エラー発生カウンタクリア 0: エラー発生カウンタをクリアしない 1: エラー発生カウンタをクリア	R/W
1	SOCCLR	成功発生カウンタクリア 0: 成功発生カウンタをクリアしない 1: 成功発生カウンタをクリア	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CANFD コントロールレジスタは、エラー発生と成功発生のカウンタを制御します。

EOCCLR ビット（エラー発生カウンタクリア）

EOCCLR ビットは、エラー発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SOCCLR ビット（成功発生カウンタクリア）

SOCCLR ビットは、成功発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

41.2.9 CFDC0FDSTS : CANFD ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x010C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SOC[7:0]								EOC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TDCVF	—	—	—	—	—	SOCO	EOCO	TDCR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDCR[7:0](注1)	トランシーバ遅延補償結果	R
8	EOCO	エラー発生カウンタオーバーフロー 0: エラー発生カウンタがオーバーフローしていない 1: エラー発生カウンタがオーバーフローした	R/W
9	SOCO	成功発生カウンタオーバーフロー 0: 成功発生カウンタがオーバーフローしていない 1: 成功発生カウンタがオーバーフローした	R/W
14:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TDCVF(注1)	トランシーバ遅延補償違反フラグ 0: トランシーバ遅延補償違反は発生していない 1: トランシーバ遅延補償違反が発生した	R/W
23:16	EOC[7:0]	エラー発生カウンタ これらのビットは、エラー発生カウンタ値を示します。	R
31:24	SOC[7:0]	成功発生カウンタ これらのビットは、成功発生カウンタ値を示します。	R

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットは、クラシカル CAN 機能では使用できません。

CANFD ステータスレジスタは、トランシーバ遅延補償結果および関連する FIFO メッセージロストステータスを示します。

TDCR[7:0]ビット（トランシーバ遅延補償結果）

TDCR[7:0]ビットは、トランシーバ遅延の測定が完了したときに設定されます。

測定された遅延は、CAN チャネル DLL クロックの倍数です。この結果は、CFDC0FDCFG.TDCOC の設定と CFDC0FDCFG.TDCO のオフセット値に依存します。この値がどのように導き出されるかの詳細については、「41.4.1.5. トランスミッタ遅延補償」を参照してください。

TDCR[7:0]ビットは、CFDC0FDCFG.TDCOC = 0 で、トランシーバ遅延補償が許可されているとき (CFDC0FDCFG.TDCE = 1)、FDF ビットと RES ビット間の立ち下がりエッジで更新されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

注. これらのビットは、クラシカル CAN 機能では使用できません。

EOCO ビット（エラー発生カウンタオーバーフロー）

EOCO ビットは、関連する CAN チャネルのエラー発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、CFDC0FDSTS.EOC が 0xFF で、CFDC0FDCFG.EOCCFG で定義されている設定に基づき CAN ビットエラーが検出されると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

SOCO ビット（成功発生カウンタオーバーフロー）

SOCO ビットは、関連する CAN チャネルの成功発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、CFDC0FDSTS.SOC が 0xFF で、メッセージ受信成功またはメッセージ送信成功が発生すると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

TDCVF ビット（トランシーバ遅延補償違反フラグ）

CANFD モジュールは、送信データをビット単位で内部でキャプチャします。本データは次に、トランシーバループ遅延分だけ遅延している受信 CAN バスレベルと比較されます。

トランシーバ遅延は、温度のような物理パラメータにより多少変動します。結果ビット CFDC0FDSTS.TDCR は、メッセージごとに更新されます。しかしながら、一時的な最大遅延違反は見逃される場合があります。したがって、TDCVF ビットは本違反をキャプチャします。

このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、トランシーバ遅延補償が最大遅延補償より大きく（6 データビット時間 - 2 clk_dlc）、内部ビットがオーバーランした場合に自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

EOC[7:0]ビット（エラー発生カウンタ）

EOC[7:0]ビットは、SOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

高くなったエラー率は、CFDC0FDCFG.EOCCFG ビットの設定により検出可能です。

EOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。また、CFDC0FDCTR.EOCCLR に 1 を書くことによってクリアされます。他の値の書き込みは無効です。

これらのビットは、CFDC0FDCFG.EOCCFG ビットの設定により、エラー発生時に更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SOC[7:0]ビット（成功発生カウンタ）

SOC[7:0]ビットは、EOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

SOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。他の値の書き込みは無効です。

これらのビットは、送受信においてバス上にエラーのないメッセージの発生が検出されると更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

注. ループバックモードでは、カウンタは 2 回インクリメントされます。

また、CFDC0FDCTR.SOCCLR に 1 を書くことによってクリアされます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

41.2.10 CFDC0FDCRC : CANFD CRC レジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0110

Bit position:	31				27			24			20																				0
Bit field:	—	—	—	—	SCNT[3:0]				—	—	—	CRCREG[20:0]																			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
20:0	CRCREG[20:0]	CRC レジスタ値 これらのビットは、CANFD フレームに対して計算された CRC 値を示します。	R
23:21	—	読むと 0 が読めます。	R
27:24	SCNT[3:0]	スタッフビット数 これらのビットは、CANFD フレームのスタッフビット数 (mod 8) を示します。	R
31:28	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

CANFD CRC レジスタは、CANFD フレームについて計算された CRC 値を保持します。

CRCREG[20:0]ビット（CRC レジスタ値）

CRCREG[20:0]ビットは、CFDC0CTR.CTME ビットが有効のとき、CANFD チャネルロジックにより計算された CRC 値を示します。

CFDC0FDCRC.CRCREG 値は、CANFD フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

CFDC0CTR.CTME ビットが 0 の場合、CRCREG[20:0]ビットは読むと常に 0 が読み出されます。

CRC フィールドの 17 番目のビットが使用されると、CRCREG[20:17]ビットは読むと常に 0 が読み出されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SCNT[3:0]ビット（スタッフビット数）

SCNT[3:0]ビットは、CANFD フレームのスタッフカウント値を示します。これらのビットは、CFDC0FDCRC.SCNT[3:1]において CFDC0CTR.CTME ビットが有効になっていると、CANFD フレームの挿入されたスタッフビット数（モジュロ 8、グレイコード化）を示します。SCNT[0]はパリティビットです。

CFDC0CTR.CTME ビットが 0 の場合、SCNT[3:0]ビットは読むと常に 0 が読み出されます。

SCNT 値は、CANFD フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

41.2.11 CFDGCFG : グローバルコンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ITRCP[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSSS	TSP[3:0]				—	—	CMPOC	DCS	MME	DRE	DCE	TPRI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TPRI	送信優先順位 0: ID 優先 1: メッセージバッファ番号優先	R/W
1	DCE	DLC チェック有効 0: DLC チェック無効 1: DLC チェック有効	R/W
2	DRE	DLC 置換有効 0: DLC 置換無効 1: DLC 置換有効	R/W
3	MME	ミラーモード有効 0: ミラーモード無効 1: ミラーモード有効	R/W
4	DCS	データリンクコントローラクロック選択 0: CANFD コアクロック (CANFDCLK) 1: 外部発振器クロック (CANMCLK)	R/W
5	CMPOC(注1)	CANFD メッセージペイロードオーバーフロー設定 0: メッセージを拒否 1: メッセージペイロードを設定メッセージサイズにカット	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	TSP[3:0]	タイムスタンププリスケーラ 0x0: タイムスタンププリスケーラ = 1 0x1: タイムスタンププリスケーラ = 2 0x2: タイムスタンププリスケーラ = 4 0x3 : タイムスタンププリスケーラ = 8 ⋮ 0xD: タイムスタンププリスケーラ = 8192 0xE: タイムスタンププリスケーラ = 16384 0xF: タイムスタンププリスケーラ = 32768	R/W
12	TSSS	タイムスタンプソース選択 0: タイムスタンプカウンタのソースクロックは周辺クロック 1: タイムスタンプカウンタのソースクロックはビットタイムクロック	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	ITRCP[15:0]	インターバルタイマ基準クロックプリスケーラ FIFO インターバルタイマプリスケーラ値	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコンフィグレーションレジスタは、全 TX メッセージバッファで使用される送信優先および CAN チャネルの CAN プロトコルエンジンのクロックソースを選択するのに使用されます。CFDGCFG レジスタは、タイムスタンプクロックのソースを選択したり、タイムスタンプクロックおよびインターバルタイマ基準クロックの周波数を設定するのにも使用されます。

TPRI ビット（送信優先順位）

TPRI ビットは、CAN チャネルの送信優先を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

メッセージバッファ番号優先は、TX キュー送信と一緒に使用しないでください。

DCE ビット（DLC チェック有効）

DCE ビットは、CAN チャネルのデータ長コード (DLC) チェックを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DRE ビット（DLC 置換有効）

DRE ビットも DCE ビットも 1 のとき、CANFD は、DLC チェックにパスした場合、DLC の設定値 (CFDGAFLP0r.GAFLDLC) を RX メッセージの宛先バッファまたは FIFO バッファに格納します。その他の場合は、RX メッセージの宛先バッファまたは FIFO バッファの DLC 値は変化しません。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

MME ビット（ミラーモード有効）

MME ビットは、CAN チャネルのミラーモードを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DCS ビット（データリンクコントローラクロック選択）

DCS ビットは、CAN 通信のクロックソースとして CANFDCLK または CANMCLK を選択します。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CMPOC ビット（CANFD メッセージペイロードオーバーフロー設定）

CMPOC ビットは、受信したペイロードがメッセージバッファペイロードサイズ (CFDRMNB.RMPLS, CFDRFCCa.RFPLS, CFDCFCC.CFPLS) より大きい場合、メッセージペイロードアクセプタンスメカニズムを制御します。受信したメッセージのペイロードは、常にメッセージバッファの使用可能なメッセージペイロードサイズと比較されます。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

本ビットが 1 のときにペイロードオーバーフローが起こると、DLC 値は変更されずに RX メッセージバッファまたは FIFO バッファに格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

TSP[3:0]ビット（タイムスタンププリスケーラ）

TSP[3:0]ビットに設定された値は、タイムスタンプカウンタで使用されるクロックソースの期間を定義します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSSS ビット（タイムスタンプソース選択）

TSSS ビットでは、タイムスタンプカウンタのクロックソースを選択できます。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。さらに、CANFD 通信使用中は本ビットを 1 にしないでください。(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

ITRCP[15:0]ビット（インターバルタイマ基準クロックプリスケーラ）

ITRCP[15:0]ビットでは、FIFO インターバルタイマソースクロックの基準クロックを定義できます。

これらのビットが 0x0000 のとき、タイマは無効です。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

41.2.12 CFDGCTR : グローバルコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CMPOFIE	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	GMDC[1:0]	グローバルモード制御 0 0: グローバルオペレーションモード要求 0 1: グローバルリセットモード要求 1 0: グローバル halt モード要求 1 1: 現在値を維持	R/W
2	GSLPR	グローバルスリープ要求 0: グローバルスリープ要求禁止 1: グローバルスリープ要求許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DEIE	DLC チェック割り込み許可 0: DLC チェック割り込み禁止 1: DLC チェック割り込み許可	R/W
9	MEIE	メッセージロストエラー割り込み許可 0: メッセージロストエラー割り込み禁止 1: メッセージロストエラー割り込み許可	R/W
10	THLEIE	TX 履歴リストエントリロスト割り込み許可 0: TX 履歴リストエントリロスト割り込み禁止 1: TX 履歴リストエントリロスト割り込み許可	R/W
11	CMPOFIE(注1)	CANFD メッセージペイロードオーバーフローフラグ割り込み許可 0: CANFD メッセージペイロードオーバーフローフラグ割り込み禁止 1: CANFD メッセージペイロードオーバーフローフラグ割り込み許可	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TSRST	タイムスタンプリセット 0: タイムスタンプはリセットされない 1: タイムスタンプはリセットされる	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコントロールレジスタは、CANFD モジュールのグローバルモードおよびタイムスタンプ機能を制御します。本レジスタは、グローバルエラー割り込みの許可および禁止も行います。

GMDC ビット（グローバルモード制御）

GMDC ビットを使用して、CANFD モジュールのモードを設定することができます。さらに、CANFD モジュールがリセットモードのとき CFDGCTR.GSLPR ビットが 1 であれば、CANFD モジュールはグローバルスリープモードに遷移します。

GMDC ビットの 11b への設定は無効です。モードの遷移については「41.3.2. グローバルモード」に詳述しています。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

GSLPR ビット（グローバルスリープ要求）

GSLPR ビットは、CAN チャネルを含めて、CANFD モジュールへのスリープ要求をグローバルに選択します。チャネルスリープ要求は自動でチャネルに設定されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

DEIE ビット（DLC チェック割り込み許可）

DEIE ビットが 1 のとき、受信フレームに DLC エラーが検出された場合割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

MEIE ビット（メッセージロストエラー割り込み許可）

MEIE ビットが 1 のとき、メッセージロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

THLEIE ビット（TX 履歴リストエントリロスト割り込み許可）

THLEIE ビットが 1 のとき、TX 履歴リストエントリロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CMPOFIE ビット（CANFD メッセージペイロードオーバーフローフラグ割り込み許可）

CMPOFIE ビットが 1 のとき、CANFD メッセージペイロードオーバーフロー状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TSRST ビット（タイムスタンプリセット）

TSRST ビットが 1 のとき、グローバルタイムスタンプレジスタは 0x0000 にリセットされます。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックにより自動的にクリアされます。

41.2.13 CFDGSTS : グローバルステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x001C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	GRAM INIT	GSLP STS	GHLT STS	GRST STS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
0	GRSTSTS	グローバルリセットステータス 0: リセットモードではない 1: リセットモードである	R
1	GHLTSTS	グローバル halt ステータス 0: halt モードではない 1: halt モードである	R
2	GSLPSTS	グローバルスリープステータス 0: スリープモードではない 1: スリープモードである	R
3	GRAMINIT	グローバル RAM 初期化 0: RAM 初期化完了 1: RAM 初期化実行中	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

グローバルステータスレジスタは CANFD モジュールのグローバルステータスを表示するレジスタです。

GRSTSTS ビット（グローバルリセットステータス）

GRSTSTS ビットは、グローバル CANFD モジュールリセットモードの状態を表示します。

本ビットは、CANFD モジュールが GL_RESET モードになると自動的に 1 になります。モードが GL_RESET から GL_SLEEP に遷移しても、本ビットは 1 のままです。

本ビットは、CANFD モジュールが GL_RESET モードから抜けると自動的にクリアされます。

GHLTSTS ビット（グローバル halt ステータス）

GHLTSTS ビットは、グローバル CANFD モジュール halt モードの状態を表示します。

本ビットは、CANFD モジュールが GL_HALT モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_HALT モードから抜けると自動的にクリアされます。

GSLPSTS ビット（グローバルスリープステータス）

GSLPSTS ビットは、グローバル CANFD モジュールスリープモードの状態を表示します。

本ビットは、CANFD モジュールが GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_SLEEP モードから抜けると自動的にクリアされます。

GRAMINIT ビット（グローバル RAM 初期化）

GRAMINIT ビットは、グローバル CANFD モジュール RAM 初期化の状態を表示します。

本ビットは、CANFD モジュールがハードウェアリセット後 GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが RAM 初期化を完了すると自動的にクリアされます。

本ビットは、test_mode 入力ポートが 1 に設定されるとクリアされます。

41.2.14 CFDGERFL : グローバルエラーフラグレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DEF	DLC エラーフラグ 0: DLC エラー未検出 1: DLC エラー検出	R/W
1	MES	メッセージロストエラーステータス 0: メッセージロストエラー未検出 1: メッセージロストエラー検出	R
2	THLES	TX 履歴リストエントリロストエラーステータス 0: TX 履歴リストエントリロストエラー未検出 1: TX 履歴リストエントリロストエラー検出	R
3	CMPOF(注1)	CANFD メッセージペイロードオーバーフローフラグ 0: CANFD メッセージペイロードオーバーフロー未検出 1: CANFD メッセージペイロードオーバーフロー検出	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	EEF0	ECC エラーフラグ 0: TX-SCAN 中 ECC エラー未検出 1: TX-SCAN 中 ECC エラー検出	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルエラーフラグレジスタは、グローバルエラーが検出されたことを示します。

DEF ビット（DLC エラーフラグ）

DEF ビットは、DLC のエラー状態を示します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

受信フレームに DLC エラーを検出すると、本ビットは自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

また、0 を書くことによって 0 になります。

このビットは GL_RESET モードで自動的にクリアされます。

MES ビット（メッセージロストエラーステータス）

MES ビットは、メッセージロストエラーの状態を示します。

FIFO メッセージロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- FIFO メッセージロストフラグがすべてクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき

THLES ビット（TX 履歴リストエントリロストエラーステータス）

THLES ビットは、TX 履歴リストエントリロストエラーの状態を示します。

TX 履歴リストエントリロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX 履歴リストエントリロストフラグがすべてクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき

CMPOF ビット（CANFD メッセージペイロードオーバーフローフラグ）

CMPOF ビットは、少なくとも 1 つのチャネルで CANFD メッセージペイロードオーバーフローが検出されると自動的に 1 になります。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

また、0 を書くことによって 0 になります。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

このビットは GL_RESET モードで自動的にクリアされます。

注. このビットは、クラシカル CAN 機能では使用できません。

EEF0 ビット（ECC エラーフラグ）

EEF0 ビットは、ECC エラーが発生したかどうかを指定します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

また、0 を書くことによって 0 になります。このビットは GL_RESET モードで自動的にクリアされます。

41.2.15 CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF 0	TQIF0	TAI0	TSIF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSIF0	TX 成功割り込みフラグ 0: チャネル n の TX 成功割り込みフラグ未設定 1: チャネル n の TX 成功割り込みフラグ設定	R
1	TAI0	TX アボート割り込みフラグ 0: チャネル n の TX アボート割り込みフラグ未設定 1: チャネル n の TX アボート割り込みフラグ設定	R
2	TQIF0	TX キュー割り込みフラグ 0: チャネル n の TX キュー割り込みフラグ未設定 1: チャネル n の TX キュー割り込みフラグ設定	R
3	CFTIF0	COM FIFO TX モード割り込みフラグ 0: チャネル n の COM FIFO TX モード割り込みフラグ未設定 1: チャネル n の COM FIFO TX モード割り込みフラグ設定	R
4	THIF0	TX 履歴リスト割り込み 0: チャネル n の TX 履歴リスト割り込みフラグ未設定 1: チャネル n の TX 履歴リスト割り込みフラグ設定	R
31:5	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

グローバル TX 割り込みステータスレジスタは、送信固有の割り込みの検出を示します。

TSIF0 ビット（TX 成功割り込みフラグ）

TSIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX 成功割り込みフラグが設定されると 1 になります。
本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TAI0 ビット（TX アボート割り込みフラグ）

TAIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX アボート割り込みフラグが設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TQIF0 ビット（TX キュー割り込みフラグ）

TQIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX キュー割り込みフラグが設定されると 1 になります。
本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX キュー割り込みフラグがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

CFTIF0 ビット（COM FIFO TX モード割り込みフラグ）

CFTIF0 ビットは、(割り込みが許可されているとき）関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

THIF0 ビット（TX 履歴リスト割り込み）

THIF0 ビットは、（割り込みが許可されているとき）関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- （割り込み許可が無効な場合）関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

41.2.16 CFDGTSC : グローバルタイムスタンプカウンタレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0024

Bit position:	31																15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TS[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TS[15:0]	タイムスタンプ値	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

グローバルタイムスタンプカウンタレジスタは、選択された設定に基づきタイムスタンプを格納します。

TS[15:0]ビット（タイムスタンプ値）

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づきグローバルタイムスタンプカウンタレジスタに格納されます。halt 状態に遷移中はタイムスタンプカウンタの精度は保証されません。

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づき本レジスタに格納されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は TS[15:0]ビットへの書き込みは行わないでください。

TS[15:0]ビットは、GL_RESET モードのとき自動的にクリアされます。

41.2.17 CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	AFLDAE	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	AFLDAE	アクセプタンスフィルタリストデータアクセス許可 0: アクセプタンスフィルタリストデータアクセス禁止 1: アクセプタンスフィルタリストデータアクセス許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストエントリコントロールレジスタは、グローバルアクセプタンスフィルタリストからエントリを読み出したり書き込んだりするグローバルアクセプタンスフィルタリストページを選択するのに使用されます。

AFLDAE ビット（アクセプタンスフィルタリストデータアクセス許可）

AFLDAE ビットは、アクセプタンスフィルタリストの設定後クリアされた場合、アクセプタンスフィルタリストへの書き込みを防止します。

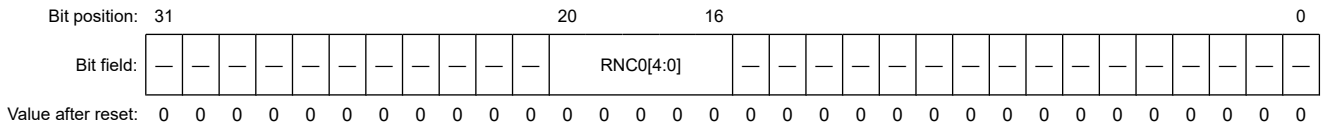
本ビットの状態に関係なくアクセプタンスフィルタリストからデータを読み出し可能です。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。アクセプタンスフィルタリストへの書き込みを許可するには本ビットを 1 にしてください。

41.2.18 CFDGAFLCFG: グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x002C



ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	RNC0[4:0]	ルール番号 専用ルールの数	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストコンフィグレーションレジスタは、アクセプタンスフィルタリスト内のエントリ用ルール数を定義するのに使用されます。

アクセプタンスフィルタリスト内で使用可能なエントリの総数は 16 です。

RNC0[4:0]ビット（ルール番号）

RNC0[4:0]ビットは、アクセプタンスフィルタリスト内のルール数を定義します。

CANFD モジュールが GL_RESET モードの場合のみ、これらのビットへの書き込みを行ってください。16 ルールの場合、これらのビットは 5 ビットに設定できます。

41.2.19 CFDGAFLIDr : グローバルアクセプタンスフィルタリスト ID レジスタ (r = 1～16)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0120 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLID[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	GAFLID[28:0]	グローバルアクセプタンスフィルタリストエントリ ID フィールド グローバルアクセプタンスフィルタリストエントリの ID 部分	R/W
29	GAFLLB	グローバルアクセプタンスフィルタリストエントリループバック設定 0: 属性 RX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID 1: 属性 TX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID	R/W
30	GAFLRTR	グローバルアクセプタンスフィルタリストエントリ RTR フィールド 0: データフレーム 1: リモートフレーム	R/W
31	GAFLIDE	グローバルアクセプタンスフィルタリストエントリ IDE フィールド 0: ルールエントリ ID の標準 ID がアクセプタンスフィルタ処理に有効 1: ルールエントリ ID の拡張 ID がアクセプタンスフィルタ処理に有効	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリスト ID レジスタは、グローバルアクセプタンスフィルタリストにおけるエントリルール用 ID フィールドを設定するのに使用されます。

GAFLID[28:0]ビット（グローバルアクセプタンスフィルタリストエントリ ID フィールド）

GAFLID[28:0]ビットは、グローバルアクセプタンスフィルタリスト内の各エントリの CAN ID フィールドを表します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLLB ビット（グローバルアクセプタンスフィルタリストエントリループバック設定）

GAFLLB ビットは、グローバルアクセプタンスフィルタリスト内のエントリの属性が RX なのか TX なのかを選択します。

本属性は、ミラーモード、ループバックモード、および標準（非ループバック）受信の際、エントリが有効かどうかを決定します。送受信、ループバックモードのタイプ、および RX/TX 属性別の、グローバルアクセプタンスフィルタリストエントリの有効性についての詳しい説明は「41.5.5. ループバックモード」を参照してください。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLRTR ビット（グローバルアクセプタンスフィルタリストエントリ RTR フィールド）

GAFLRTR ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、指定されたフレームフォーマット（データフレームまたはリモートフレーム）が設定できます。CAN チャネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの RTR ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLIDE ビット（グローバルアクセプタンスフィルタリストエントリ IDE フィールド）

GAFLIDE ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、ID フォーマット（標準 ID または拡張 ID）が設定できます。CAN チャネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの IDE ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

41.2.20 CFDGAFLMr : グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1 ～16)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0124 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLIDEM	GAFLRTRM	GAFLIFL1	GAFLIDM[28:16]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLIDM[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	GAFLIDM[28:0]	グローバルアクセプタンスフィルタリスト ID マスクフィールド ID フィールド用グローバルアクセプタンスフィルタリストマスクフィールドビット	R/W
29	GAFLIFL1	グローバルアクセプタンスフィルタリスト情報ラベル 1 グローバルアクセプタンスフィルタリスト情報ラベルビット 1	R/W
30	GAFLRTRM	グローバルアクセプタンスフィルタリストエントリ RTR マスク 0: RTR ビットは ID 一致に使用されない 1: RTR ビットは ID 一致に使用される	R/W
31	GAFLIDEM	グローバルアクセプタンスフィルタリスト IDE マスク 0: IDE ビットは ID 一致に使用されない 1: IDE ビットは ID 一致に使用される	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストマスクレジスタは、グローバルアクセプタンスフィルタリストにおける各エントリルールのマスクフィールドを設定するのに使用されます。

GAFLIDM[28:0]ビット（グローバルアクセプタンスフィルタリスト ID マスクフィールド）

GAFLIDM[28:0]ビットは、各グローバルアクセプタンスフィルタリストエントリの CAN ID フィールド内の関連ビットのフィルタマスクビットです。

0	対応する STD-ID/EXT-ID ビットは ID 一致に使用されない
1	対応する STD-ID/EXT-ID ビットは ID 一致に使用される

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

GAFLIFL1 ビット（グローバルアクセプタンスフィルタリスト情報ラベル 1）

GAFLIFL1 ビットにより、グローバルアクセプタンスフィルタリスト内の関連エントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの MSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[1] (CFDRMFDSTSb.RMIFL [1], CFDRFFDSTSb.RFIFL [1], CFDCFFDCSTS.CFIFL [1]) に格納されます。

GAFLRTRM ビット（グローバルアクセプタンスフィルタリストエントリ RTR マスク）

GAFLRTRM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、RTR マスクビットが設定できます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

GAFLIDEM ビット（グローバルアクセプタンスフィルタリスト IDE マスク）

GAFLIDEM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、IDE マスクビットが設定できます。

IDE マスクビットが 0 のとき、ID 比較は受信した IDE ビットによります。

受信した IDE ビットが 0 の場合、STD-ID 比較が行われます。

受信した IDE ビットが 1 の場合、EXT-ID 比較が行われます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

41.2.21 CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ (r = 1～16)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0128 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFL RMV	—	—	GAFLRMDP[4:0]					GAFLI FL0	—	—	—	GAFLDLC[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	GAFLDLC[3:0]	グローバルアクセプタンスフィルタリスト DLC フィールド 受け付けに必要なデータフレーム内の最小データバイト数	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	GAFLIFL0	グローバルアクセプタンスフィルタリスト情報ラベル 0	R/W

ビット	シンボル	機能	R/W
12:8	GAFLRMDP[4:0]	グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ 受信メッセージ格納用 RX メッセージバッファ番号	R/W
14:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	GAFLRMV	グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効 0: 単一のメッセージバッファ方向ポインタは無効 1: 単一のメッセージバッファ方向ポインタは有効	R/W
31:16	GAFLPTR[15:0]	グローバルアクセプタンスフィルタリストポインタ	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストポインタ 0 レジスタは、グローバルアクセプタンスフィルタリスト内の各ルールエントリについて、データ長コード (DLC)、ソフトウェアポインタ、単一メッセージバッファ選択、およびメッセージバッファ方向ポインタを設定するのに使用されます。

GAFLDLC[3:0]ビット（グローバルアクセプタンスフィルタリスト DLC フィールド）

GAFLDLC[3:0]ビットにより、グローバルアクセプタンスフィルタリスト（自動 DLC フィルタ機能）内の関連エントリにより受け付けられるメッセージについて、最小データ長コード (DLC) 値が設定できます。

グローバルアクセプタンスフィルタリスト内のエントリにより受け付けられたメッセージの DLC 値が、本関連グローバルアクセプタンスフィルタリストエントリに設定された DLC 値以上の場合のみ、DLC フィルタ処理は合格となります。本フィールドが 0 の場合、対応するルールエントリについて自動 DLC フィルタ機能は無効です。

表 41.3 に、設定可能な DLC 値を示します。

表 41.3 DLC 値の設定

フォーマット	DLC[3]	DLC[2]	DLC[1]	DLC[0]	説明
CAN および CANFD	0	0	0	0	受信メッセージの DLC = 0 以上（DLC フィルタチェックは無効）
CAN および CANFD	0	0	0	1	受信メッセージの DLC = 1 以上
CAN および CANFD	0	0	1	0	受信メッセージの DLC = 2 以上
CAN および CANFD	0	0	1	1	受信メッセージの DLC = 3 以上
CAN および CANFD	0	1	0	0	受信メッセージの DLC = 4 以上
CAN および CANFD	0	1	0	1	受信メッセージの DLC = 5 以上
CAN および CANFD	0	1	1	0	受信メッセージの DLC = 6 以上
CAN および CANFD	0	1	1	1	受信メッセージの DLC = 7 以上
CAN	1	x	x	x	受信メッセージの DLC = 8 以上
CANFD	1	0	0	0	受信メッセージの DLC = 8 以上(注1)
CANFD	1	0	0	1	受信メッセージの DLC = 12 以上(注1)
CANFD	1	0	1	0	受信メッセージの DLC = 16 以上(注1)
CANFD	1	0	1	1	受信メッセージの DLC = 20 以上(注1)
CANFD	1	1	0	0	受信メッセージの DLC = 24 以上(注1)
CANFD	1	1	0	1	受信メッセージの DLC = 32 以上(注1)
CANFD	1	1	1	0	受信メッセージの DLC = 48 以上(注1)
CANFD	1	1	1	1	受信メッセージの DLC = 64(注1)

注 1. この設定は、クラシカル CAN 機能では使用できません。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

GAFLIFL0 ビット（グローバルアクセプタンスフィルタリスト情報ラベル 0）

GAFLIFL0 ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの LSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、このビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[0] (CFDRMFDSTSb.RMIFL[0], CFDRFFDSTSb.RFIFL[0], CFDCFFDCSTS.CFIFL[0]) に格納されます。

GAFLRMDP[4:0]ビット（グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ）

GAFLRMDP[4:0]ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、単一の受信メッセージバッファを宛先に設定できます。入力される値は、単一の宛先メッセージバッファ番号です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

CFDRMNB.NRXMB[4:0]は、RX メッセージバッファ数を設定するために RX メッセージバッファ数レジスタで入力された値です。CFDGAFLP0r.GAFLRMDP[4:0]ビットで入力できる値は、0x00 と CFDMNB.NMB[4:0]～1 間の値のみです。

CFDRMNB.NRXMB[4:0] = 0x00 の場合、GAFLRMV ビットは 0 に設定してください。

GAFLRMV ビット（グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効）

GAFLRMV ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、宛先としての単一の受信メッセージバッファを有効または無効にできます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

GAFLPTR[15:0]ビット（グローバルアクセプタンスフィルタリストポインタ）

GAFLPTR[15:0]ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 16 ビットのポインタが設定できます。ポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用可能です。ポインタ情報は、たとえば、AUTOSAR システムにおける受信メッセージの PDU ID 割り当てをサポートするのに使用可能です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

41.2.22 CFDGAFLP1r : グローバルアクセプタンスフィルタリストポインタ 1 レジスタ（r = 1～16）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x012C + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	GAFL FDP8	—	—	—	—	—	—	GAFL FDP1	GAFL FDP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GAFLFDP0	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 0 を受信宛先として無効にする 1: RX FIFO 0 を受信宛先として有効にする	R/W
1	GAFLFDP1	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 1 を受信宛先として無効にする 1: RX FIFO 1 を受信宛先として有効にする	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	GAFLFDP8	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: 共通 FIFO を受信宛先として無効にする 1: 共通 FIFO を受信宛先として有効にする	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストポインタ 1 レジスタは、グローバルアクセプタンスフィルタリストにおける各ルールエントリの FIFO 方向ポインタフィールドを設定するのに使用されます。

GAFLFDP8、GAFLFDP1、GAFLFDP0 ビット（グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ）

これらのビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、FIFO バッファを宛先に設定できます。GAFLFDP8、GAFLFDP1、GAFLFDP0 の各ビットは、専用 FIFO として設定されます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込みできません。

共通 FIFO での格納については、受信先は、RX FIFO として設定された共通 FIFO バッファのみが可能です。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

最大 2 個の宛先 FIFO バッファ、または 1 個の宛先 FIFO バッファ+RX メッセージバッファ 1 個のみ構成する必要があります。

41.2.23 CFDRMNB : RX メッセージバッファ数レジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0030

Bit position:	31																				10	8		4	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RMPLS[2:0]	—	—	—	NRXMB[4:0]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	NRXMB[4:0]	RX メッセージバッファ数	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RMPLS[2:0]	受信メッセージバッファペイロードデータサイズ 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

RX メッセージバッファ数レジスタは、チャネルに割り当てられた RX メッセージバッファの総数を設定するのに使用されます。

NRXMB[4:0]ビット（RX メッセージバッファ数）

NRXMB[4:0]ビットは、RX メッセージバッファ数を設定するのに使用されます。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

0～16（0 と 16 を含む）の範囲でのみ値を設定してください。ここで、0x00 は、RX メッセージバッファは割り当てられないことを示します。

RMPLS[2:0]ビット（受信メッセージバッファペイロードデータサイズ）

RMPLS[2:0]ビットは、メッセージバッファペイロードデータサイズを設定するのに使用されます。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

41.2.24 CFDRMND : RX メッセージバッファ新規データレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0034

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RMNS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RMNS[15:0]	RX メッセージバッファ新規データステータス 0: 新規データは対応する RX メッセージバッファに格納されない 1: 新規データは対応する RX メッセージバッファに格納される	R/W

注. S-TYPE-3, P-TYPE-3

RX メッセージバッファ新規データステータスレジスタは、RX メッセージバッファの新規データ格納状態を指定します。

RMNS[15:0]ビット（RX メッセージバッファ新規データステータス）

RMNS[15:0]ビットは、対応する RX メッセージバッファの新規データの状態を示します。RMNS ビット[0]は、RX メッセージバッファ[0]に対応し、順次同様に対応します。

CFDRMND のビット位置は、RXMB のバッファ番号に対応します。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は、これらのビットへの書き込みは行わないでください。1 の書き込みは無効です。

これらのビットは、対応する RX メッセージバッファへのメッセージ格納が実行中の場合はクリアできません。これらのビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

これらのビットは、新規メッセージの格納が対応する RX メッセージバッファに行われる場合に自動的に 1 になります。これらのビットは、0 を書くことによってクリアされます。これらのビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

CFDRMNB.RMPLS = 000b（最大 8 バイトのペイロード）の場合、メッセージ格納期間は PCLKA で 6 サイクルです。

CFDRMNB.RMPLS > 000b の場合、メッセージ格納期間は、PCLKA で 6 サイクル + 4 バイトごとに 1（64 バイトの場合、PCLKA で最大 20 サイクル）

注. この機能は、クラシカル CAN 機能では使用できません。

41.2.25 CFDRFCCa : RX FIFO コンフィグレーション／コントロールレジスタ a (a = 0～1)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x003C + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFE	RX FIFO 許可 0: FIFO 禁止 1: FIFO 許可	R/W
1	RFIE	RX FIFO 割り込み許可 0: FIFO 割り込み発生禁止 1: FIFO 割り込み発生許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6:4	RFPLS[2:0](注1)	Rx FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RFDC[2:0]	RX FIFO 容量構成 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: 予約 1 1 1: 予約	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	RFIM	RX FIFO 割り込みモード 0: RX FIFO カウンタが、RFIGCV より小さい値から RFIGCV に達したとき割り込み発生 1: 各受信メッセージの格納終了時に割り込み発生	R/W
15:13	RFIGCV[2:0]	RX FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットは、クラシカル CAN 機能では使用できません。

RX FIFO コンフィグレーション／コントロールレジスタは、2 つの RX FIFO を設定および制御するのに使用されます。

RFE ビット（RX FIFO 許可）

RFE ビットは、FIFO を有効にします。本ビットを 0 にすると、RX FIFO がクリアされエンプティになります。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ、本ビットへの書き込みを行ってください。

本ビットは、設定された FIFO 容量が 0x000 より大きい (CFDRFCCa.RFDC > 0x000)、かつ 0x110 より小さい場合のみ 1 に設定できます。

RFE ビットは、CFDRFCCa レジスタの他のビットが全部 1 に設定された後、CFDRFCCa レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのときに自動的にクリアされます。

RFIE ビット（RX FIFO 割り込み許可）

RFIE ビットは、FIFO 割り込みの発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

RFPLS[2:0]ビット（Rx FIFO ペイロードデータサイズコンフィグレーション）

RFPLS[2:0]ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。

これは、本 FIFO が受信できる最大バイト数です。

CANFD モジュールが GL_RESET モードの場合のみ、これらのビットへの書き込みを行ってください。

注. これらのビットは、クラシカル CAN 機能では使用できません。

RFDC[2:0]ビット（RX FIFO 容量構成）

RFDC[2:0]ビットは、FIFO の容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみ、これらのビットへの書き込みを行ってください。

RFIM ビット（RX FIFO 割り込みモード）

RFIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CANFD モジュールが GL_RESET モードの場合のみ、本ビットへの書き込みを行ってください。

RFIGCV[2:0]ビット（RX FIFO 割り込み発生カウンタ値）

RFIGCV[2:0]ビットは、FIFO 割り込みを発生させる FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合はこれらのビットへの書き込みは行わないでください。

RFIGCV[2:0]ビットの設定は、RFDC[2:0]ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみ、これらのビットへの書き込みを行ってください。

41.2.26 CFDRFSTSa : RX FIFO ステータスレジスタ a（a = 0, 1）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0044 + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RFMC[5:0]						—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	RFEMP	RX FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	RFFLL	RX FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R
2	RFMLT	RX FIFO メッセージロスト 0: FIFO メッセージロスト発生なし 1: FIFO メッセージロスト発生あり	R/W
3	RFIF	RX FIFO 割り込みフラグ 0: FIFO 割り込み条件は成立していない 1: FIFO 割り込み条件は成立している	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RFMC[5:0]	RX FIFO メッセージ数 FIFO に格納されているメッセージ数	R

ビット	シンボル	機能	R/W
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

RX FIFO ステータスレジスタは、対応する FIFO バッファに格納されているメッセージの状態を示します。

RFEMP ビット（RX FIFO エンプティ）

RFEMP ビットは、以下の場合自動的に 1 になります。

- RFMC ビットが 0 のとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFEMP ビットは、最初のメッセージが RX FIFO バッファに格納されると自動的にクリアされます。

RFFLL ビット（RX FIFO フル）

RFFLL ビットは、FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

RFFLL ビットは以下の場合自動的にクリアされます。

- FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFMLT ビット（RX FIFO メッセージロスト）

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ RFMLT ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、FIFO がすでに満杯のときに格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

本ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

RFIF ビット（RX FIFO 割り込みフラグ）

RFIF ビットは、設定されている割り込み条件が成立すると自動的に 1 になります。本ビットは、RX FIFO バッファが禁止されると自動的にクリアされます。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットは、0 を書き込むことによってクリアされます。本ビットは、CANFD モジュールが GL_RESET モードのときも自動的にクリアされます。

RFMC[5:0]ビット（RX FIFO メッセージ数）

RFMC[5:0]ビットは、CPU が読み出し可能な RX FIFO バッファに格納されている CAN メッセージ数を示します。

これらのビットは、FIFO が禁止され、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

41.2.27 CFDRFPCTRa : RX FIFO ポインタコントロールレジスタ a (a = 0～1)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x004C + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFPC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RFPC[7:0]	RX FIFO ポインタ制御 対応する RX FIFO バッファの読み出しポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

RX FIFO ポインタコントロールレジスタ使って、対応する RX FIFO バッファの読み出しポインタをインクリメントできます。

RFPC ビット（RX FIFO ポインタ制御）

値 0xFF が RFPC ビットに書き込まれると、対応する RX FIFO バッファのポインタが次の FIFO エントリに移されます。対応する RX FIFO バッファが許可されておりエンプティでない場合のみ、これらのレジスタには 0xFF を書き込んでください。

読み取り値は常に 0x00 です。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

DMA 有効時、RX FIFO ポインタコントロールレジスタに書き込まないでください。

41.2.28 CFDCFCC : 共通 FIFO コンフィグレーション／コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0054

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFITT[7:0]								CFDC[2:0]			—	—	—	CFTML[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CFIGCV[2:0]			CFIM	CFITR	CFITSS	—	CFM	—	CFPLS[2:0]			—	CFTXIE	CFRXIE	CFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFE	共通 FIFO 許可 0: FIFO 禁止 1: FIFO 許可	R/W
1	CFRXIE	共通 FIFO RX 割り込み許可 0: フレーム RX に対して FIFO 割り込み発生を禁止 1: フレーム RX に対して FIFO 割り込み発生を許可	R/W
2	CFTXIE	共通 FIFO TX 割り込み許可 0: フレーム TX に対して FIFO 割り込み発生を禁止 1: フレーム TX に対して FIFO 割り込み発生を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6:4	CFPLS[2:0](注1)	共通 FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CFM	共通 FIFO モード 0: RX FIFO モード 1: TX FIFO モード	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	CFITSS	共通 FIFO インターバルタイマソース選択 0: 基準クロック（× 1 / × 10 期間） 1: 関連チャネルのビットタイムクロック（FIFO は固定チャネルにリンク付け）	R/W
11	CFITR	共通 FIFO インターバルタイマ分解能 0: 基準クロック期間 × 1 1: 基準クロック期間 × 10	R/W
12	CFIM	共通 FIFO 割り込みモード 0: RX FIFO モード：共通 FIFO カウンタが下位の値から CFIGCV 値に達したときに RX 割り込み発生 TX FIFO モード：共通 FIFO が最後のメッセージ送信に成功したとき TX 割り込み発生 1: RX FIFO モード：各受信メッセージの格納終了時に RX 割り込み発生 TX FIFO モード：メッセージ送信成功ごとに割り込み発生	R/W
15:13	CFIGCV[2:0]	共通 FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
17:16	CFTML[1:0]	共通 FIFO TX メッセージバッファリンク 対応するチャネルの送信スキャンリンク位置	R/W
20:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:21	CFDC[2:0]	共通 FIFO 容量構成 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: FIFO 容量 = 予約 1 1 1: FIFO 容量 = 予約	R/W
31:24	CFITT[7:0]	共通 FIFO インターバル送信時間 TX モードに設定時 FIFO からの送信開始を遅らせます。遅延は、基本インターバルタイマクロック源の周期の単位の倍数です。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットは、クラシカル CAN 機能では使用できません。

CFE ビット（共通 FIFO 許可）

CFE ビットを 1 にすると、FIFO が許可されます。CFE ビットを 0 にクリアすると、FIFO が禁止されます。

本ビットを 0 にクリアすることにより、TX モードに設定時共通 FIFO からの送信をアボートしたり、RX モードに設定時共通 FIFO への受信を停止するのにも使用されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。

本ビットは、設定された FIFO 容量が 0x000 より大きい (CFDCFCC.CFDC > 0x000)、かつ 0x110 より小さい (0x110 > CFDCFCC.CFDC > 0x000) 場合のみ 1 に設定できます。

CFE ビットは、本レジスタの他のビットが全部 1 に設定された後、CFDCFCC レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

本ビットは、FIFO が TX モードに設定されている場合、関連するチャネルが CH_RESET モードのときも自動的にクリアされます。

CFRXIE ビット（共通 FIFO RX 割り込み許可）

CFRXIE ビットは、対応する FIFO バッファでフレームを受信後に割り込みフラグが設定されると FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFTXIE ビット（共通 FIFO TX 割り込み許可）

CFTXIE ビットは、対応する FIFO バッファからフレームを送信後に割り込みフラグが設定されると共通 FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFPLS[2:0]ビット（共通 FIFO ペイロードデータサイズコンフィグレーション）

CFPLS[2:0]ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。これは、FIFO バッファが送受信できる最大バイト数です。

詳細は、「41.6. FIFO バッファと通常のメッセージバッファの構成」を参照してください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

注. これらのビットは、クラシカル CAN 機能では使用できません。

CFM ビット（共通 FIFO モード）

CFM ビットは、FIFO のモードを選択します。ハードウェアリセットが適用されると、共通 FIFO バッファはすべて RX FIFO モードに設定されます。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITSS ビット（共通 FIFO インターバルタイマソース選択）

CFITSS ビットは、インターバル送信タイマの基本クロックソースを選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CANFD 通信使用時に本ビットに 1 を書き込まないでください。(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

CFITR ビット（共通 FIFO インターバルタイマ分解能）

CFITR ビットは、インターバル送信タイマの基準クロックの分解能を選択します（周辺クロックが基準クロックのソースです）。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CFIM ビット（共通 FIFO 割り込みモード）

CFIM ビットは、FIFO バッファの割り込み発生条件を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFIGCV[2:0]ビット（共通 FIFO 割り込み発生カウンタ値）

CFIGCV[2:0]ビットは、FIFO 割り込み発生のメッセージカウンタ値を選択します。これらの値は、割り込み発生対象の FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

これらのビットの設定は、CFDC[2:0]ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFTML[1:0]ビット（共通 FIFO TX メッセージバッファリンク）

CFTML[1:0]ビットは、送信スキャン用に、TX FIFO のリンク先である通常の送信メッセージバッファ位置を選択します。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFDC[2:0]ビット（共通 FIFO 容量構成）

CFDC[2:0]ビットは、共通 FIFO の容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITT[7:0]ビット（共通 FIFO インターバル送信時間）

CFITT[7:0]ビットは、TX モードに設定時、本 FIFO バッファから送信される全メッセージの送信開始遅延を選択します。遅延は、基本インターバルタイマクロックソース期間の倍数です（基準クロック × 1、基準クロック × 10、または関連 CAN チャネルのビットタイムクロック）。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFE ビットが 1 のとき、これらのビットに書き込まないでください。

CFDGCFG.ITRCP[15:0] = 0x0000 のとき、CFITT[7:0]ビットは 0x0000 に設定してください。

41.2.29 CFDCFSTS : 共通 FIFO ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CFMC[5:0]						—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	CFEMP	共通 FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	CFFLL	共通 FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R

ビット	シンボル	機能	R/W
2	CFMLT	共通 FIFO メッセージロスト 0: FIFO で失われたメッセージ数 1: FIFO メッセージロスト発生あり	R/W
3	CFRXIF	共通 RX FIFO 割り込みフラグ 0: フレーム受信後 FIFO 割り込み条件が不成立 1: フレーム受信後 FIFO 割り込み条件が成立	R/W
4	CFTXIF	共通 TX FIFO 割り込みフラグ 0: フレーム送信後 FIFO 割り込み条件が不成立 1: フレーム送信後 FIFO 割り込み条件が成立	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	CFMC[5:0]	共通 FIFO メッセージ数 FIFO に格納されているメッセージ数	R
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CFEMP ビット（共通 FIFO エンプティ）

CFEMP ビットは、以下の場合自動的に 1 になります。

- CPU が RX モードに設定されている FIFO からのメッセージをすべて読み出したとき
- すべてのメッセージが TX モードに設定されている FIFO から送信されたとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO が TX モードに設定されているときに、関連する CANFD チャネルが CH_RESET モードであるとき

CFEMP ビットは、以下の場合自動的にクリアされます。

- RX モードに設定時最初の受信メッセージが FIFO バッファに格納されたとき
- TX モードに設定時最初の送信メッセージが FIFO バッファに格納されたとき

CFFLL ビット（共通 FIFO フル）

CFFLL ビットは、FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

CFFLL ビットは、以下の場合自動的にクリアされます。

- FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されているときに、関連する CANFD チャネルが CH_RESET モードであるとき

CFMLT ビット（共通 FIFO メッセージロスト）

CFMLT ビットは、RX モードで FIFO がすでに満杯のときに新しいメッセージを格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CFMLT ビットは以下の場合クリアされます。

- 0 を書いたとき

- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

CFRXIF ビット（共通 RX FIFO 割り込みフラグ）

CFRXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、RX モードに設定されているときに、共通 FIFO バッファに設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFRXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

CFTXIF ビット（共通 TX FIFO 割り込みフラグ）

CFTXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO バッファに対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、TX モードに設定されている共通 FIFO バッファに対して設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFTXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

CFMC[5:0]ビット（共通 FIFO メッセージ数）

CFMC[5:0]ビットは以下を示します。

- TX モードに設定されている FIFO バッファ内で送信を待っている、CPU により格納された CAN メッセージ数
- RX モードに設定されている FIFO バッファ内で CPU 読み出しを待っている、CANFD モジュールにより格納された CAN メッセージ数

CFMC[5:0]ビットは、以下の場合自動的にクリアされます。

- FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

41.2.30 CFDCFPCTR : 共通 FIFO ポインタコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x005C

Bit position:	31																						7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFPC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CFPC[7:0]	共通 FIFO ポインタ制御 モード設定により、対応する共通 FIFO バッファの読み出し／書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

共通 FIFO ポインタコントロールレジスタを使って、対応する共通 FIFO バッファの読み出し／書き込みポインタをインクリメントできます。

CFPC[7:0]ビット（共通 FIFO ポインタ制御）

値 0xFF が CFPC[7:0]ビットに書き込まれると、（RX モードに設定時）対応する共通 FIFO バッファの読み出しポインタ、または（TX モードに設定時）対応する FIFO バッファの書き込みポインタが次の FIFO エントリに移動します。

読み取り値は常に 0x00 です。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

以下の場合のみ、本レジスタに 0xFF を書き込んでください。

- RX モードに設定されている場合、共通 FIFO バッファが有効にされており、エンプティではないとき
- TX モードに設定されている場合、共通 FIFO バッファが有効にされており、フルではないとき

DMA 有効時、共通 FIFO ポインタコントロールレジスタに書き込まないでください。

41.2.31 CFDFESTS : FIFO エンプティステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFEMP	—	—	—	—	—	—	RFXEMP[1:0]	
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
1:0	RFXEMP[1:0]	RX FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1 : 対応 FIFO はエンプティ	R
7:2	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
8	CFEMP	共通 FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1 : 対応 FIFO はエンプティ	R
31:9	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

FIFO エンプティステータスレジスタは、FIFO バッファのエンプティビットの状態を示します。

RFXEMP[1:0]ビット（RX FIFO 空ステータス）

RFXEMP[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFEMP ビット（共通 FIFO 空ステータス）

CFEMP ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

41.2.32 CFDFFSTS : FIFO フルステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFFLL	—	—	—	—	—	—	RFXFLL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXFLL[1:0]	RX FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
7:2	—	読むと 0 が読めます。	R
8	CFFLL	共通 FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
31:9	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

FIFO フルステータスレジスタは、FIFO バッファのフルビットの状態を示します。

RFXFLL[1:0]ビット（RX FIFO フルステータス）

RFXFLL[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFFLL ビット（共通 FIFO フルステータス）

CFFLL ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。
各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

41.2.33 CFDFMSTS : FIFO メッセージロストステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0068

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFMLT	—	—	—	—	—	—	RFXMLT[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXMLT[1:0]	RX FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1 : 対応する FIFO メッセージロストフラグが設定されている	R
7:2	—	読むと 0 が読めます。	R
8	CFMLT	共通 FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1 : 対応する FIFO メッセージロストフラグが設定されている	R
31:9	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

FIFO メッセージロストステータスレジスタは、FIFO バッファのメッセージロストビットの状態を示します。

RFXMLT[1:0]ビット（RX FIFO メッセージロストステータス）

RFXMLT[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。
各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。
各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFMLT ビット（共通 FIFO メッセージロストステータス）

CFMLT ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。
各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。
各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

41.2.34 CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x006C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFXIF[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXIF[1:0]	RX FIFO[x]割り込みフラグステータス 0: 対応する RX FIFO 割り込みフラグが設定されていない 1: 対応する RX FIFO 割り込みフラグが設定されている	R
31:2	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

FIFO 割り込みフラグステータスレジスタは、RX FIFO バッファの割り込みフラグビットの状態を示します。

RFXIF[1:0]ビット（RX FIFO[x]割り込みフラグステータス）

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットを 1 にすると自動的に 1 になります。

RFXIF[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットがクリアされると自動的にクリアされます。

41.2.35 CFDCDTCT : DMA 転送コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDMAE	—	—	—	—	—	—	RFDMAE1	RFDMAE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMAE0	RXFIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
1	RFDMAE1	RXFIFO 1 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	CFDMAE	共通 FIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DMA 転送コントロールレジスタは、DMA 転送動作の開始と停止を制御します。

RFDMAEe (e = 0〜1) ビット（RXFIFO e の DMA 転送許可）

RFDMAEe ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

CFDMAE ビット（共通 FIFO の DMA 転送許可）

CFDMAE ビットは、共通 FIFO に対して DMA 転送要求を許可または禁止します。

CFDMAE ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

TX FIFO として設定されている共通 FIFO に対して DMA 転送を許可しないでください。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

41.2.36 CFDCDTSTS : DMA 転送ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDMASTS	—	—	—	—	—	—	RFDMASTS1	RFDMASTS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMASTS0	RX FIFO 0 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
1	RFDMASTS1	RX FIFO 1 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
7:2	—	読むと 0 が読めます。	R
8	CFDMASTS	共通 FIFO 専用 DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
31:9	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

DMA 転送ステータスレジスタは、DMA 転送の状態を示します。

RFDMASTSe (n = 0〜1) ビット（RX FIFO e の DMA 転送ステータス）

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.RFDMAEe（「41.2.35. CFDCDTCT : DMA 転送コントロールレジスタ」の CFDCDTCT.RFDMAEe ビット参照）が 0 に設定されると、DMA 転送完了時 RFDMASTSe ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

CFDMASTS ビット（共通 FIFO 専用 DMA 転送ステータス）

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.CFDMAE（「41.2.35. CFDCDTCT : DMA 転送コントロールレジスタ」の CFDCDTCT.CFDMAE ビット参照）が 0 に設定されると、DMA 転送完了時 CFDMASTS ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

41.2.37 CFDTMCi : TX メッセージバッファコントロールレジスタ i (i = 0～3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0070 + 0x01 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TMOM	TMTAR	TMTR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTR	TX メッセージバッファ送信要求 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R/W
1	TMTAR	TX メッセージバッファ送信アボート要求 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R/W
2	TMOM	TX メッセージバッファワンショットモード 0: TX メッセージバッファはワンショットモードに設定されていない 1: TX メッセージバッファはワンショットモードに設定されている	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX メッセージバッファコントロールレジスタは、TX メッセージバッファ機能を設定します。

TMTR ビット（TX メッセージバッファ送信要求）

TMTR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているメッセージの送信を試みます。

関連する CANFD モジュールが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

対応する TX メッセージバッファが TX モードの COM FIFO にリンクされている、または TX キューの一部である場合、このビットを 1 にしないでください。

本ビットは、CPU 書き込みによる直接クリアはできません。

本ビットは、メッセージバッファに対応する CFDTMSTSj レジスタの送信結果フラグビット (CFDTMSTSj.TMTRF) が 00b にクリアされた場合のみ 1 にできます。

TMTR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 対応する CFDTMCi.TMTAR ビットにより要求された、送信アボート完了後の CANFD モジュールロジック
- メッセージバッファに対して CFDTMCi.TMOM ビットが設定されている場合、CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードの場合の CANFD モジュールロジック

TMTAR ビット（TX メッセージバッファ送信アボート要求）

TMTAR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているフレーム送信のアボートを試みます。

多くの場合、送信のための内部スキャンが完了し、メッセージバッファがすでに送信用に選択済みの場合、送信はアボートできません。この場合、フレームはメッセージバッファからの送信に成功する可能性があります。メッセージバッファの選択は、CH_HALT モードになると解除されます。

しかしながら、CAN ノードが、選択されたメッセージバッファから送信を開始する前にバス（RX 端子）上に新しいメッセージを検出した場合、送信用に選択されたメッセージバッファはアボート要求によりアボート可能です。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、TMTAR ビットへの書き込みを行ってください。本ビットは、関連する送信要求 TMTR ビットが 1 の場合のみ、1 にすることができます。

TMTAR ビットは、CPU 書き込みによるクリアはできません。CANFD による本ビットのクリアは、CPU 書き込みによる設定に優先されます。

TMTAR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 送信アボート後の CANFD モジュールロジック
- CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードに遷移した場合の CANFD モジュールロジック

TMOM ビット（TX メッセージバッファワンショットモード）

TMOM ビットを 1 にすると、CANFD モジュールロジックはメッセージの送信を 1 回だけ試みます。

送信に成功すると、CFDTMSTSj.TMTRF ビットは 10b または 11b に設定されます。バスエラーまたはバスアービトレーションロストにより送信に失敗した場合、送信は自動的にアボートされ、CFDTMSTSj.TMTRF ビットは 01b に設定されます。

送信成功時またはエラーやアービトレーションロストによりアボートされた場合、TMOM ビットは 1 のままです。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

本ビットは、TMTR ビットと同時に設定してください。また、本ビットのクリアは書き込みで行ってください。

あるメッセージの送信がすでに要求されている場合、そのメッセージ送信が成功するかアボートされるまで本ビットに書き込みを行わないでください。

TMOM ビットは、CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードの場合、CANFD モジュールロジックにより自動的にクリアされます。

41.2.38 CFDTMSTSj : TX メッセージバッファステータスレジスタ j (j = 0～3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0074 + 0x01 × j

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTSTS	TX メッセージバッファ送信ステータス 0: 送信中なし 1: 送信中	R
2:1	TMTRF[1:0]	TX メッセージバッファ送信結果フラグ 0 0: 結果なし 0 1: TX メッセージバッファからの送信アボート 1 0: TX メッセージバッファからの送信成功かつ送信アボートの要求なし 1 1: TX メッセージバッファからの送信成功かつ送信アボートの要求あり	R/W
3	TMTRM	TX メッセージバッファ送信要求のミラー 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R
4	TMTARM	TX メッセージバッファ送信アボート要求のミラー 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX メッセージバッファステータスレジスタは、対応するメッセージバッファの送信状態および送信アボート状態を示します。

TMTSTS ビット（TX メッセージバッファ送信ステータス）

TMTSTS ビットは、対応する TX メッセージバッファからの送信開始で自動的に 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- 送信が停止したとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TMTRF[1:0]ビット（TX メッセージバッファ送信結果フラグ）

TMTRF[1:0]ビットは、対応する TX メッセージバッファの結果を示します。状態は以下のとおりです。

- 00: 送信実行中または要求されてない
- 01: 対応する TX メッセージバッファからの送信アボート
- 10: 対応する TX メッセージバッファからの送信が成功し、本 TX メッセージバッファに対して CFDTMCi.TMTAR ビットが 1 ではない
- 11: 対応する TX メッセージバッファからの送信が成功したが、本 TX メッセージバッファに対して CFDTMCi.TMTAR ビットが 1 である

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、これらのビットへの書き込みを行ってください。

CANFD モジュールが GL_RESET モードになるか、関連するチャネルが CH_RESET モードになると TMTRF[1:0] ビットは自動的にクリアされます。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

TMTRM ビット（TX メッセージバッファ送信要求のミラー）

TMTRM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットが 1 のとき、1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットがクリアされると、クリアされます。

TMTARM ビット（TX メッセージバッファ送信アボート要求のミラー）

TMTARM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットが 1 のとき、1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットがクリアされると、クリアされます。

41.2.39 CFDTMTRSTS : TX メッセージバッファ送信要求ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0078

Bit position:	31																										3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFDTMTRSTS [3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CFDTMTRSTS[3:0]	TX メッセージバッファ送信要求ステータス 0: 対応する TX メッセージバッファへの送信要求なし 1: 対応する TX メッセージバッファへの送信要求あり	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ送信要求ステータスを示します。CFDTMTRSTS レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMTRSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTRSTS[3:0]ビット（TX メッセージバッファ送信要求ステータス）

CFDTMTRSTS[3:0]ビットは、TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットの状態を示します。

各ビットは、TX メッセージバッファコントロールレジスタ (CFDTMCi) の対応するビットが 1 で、メッセージバッファが TX キューに属していない場合のみ自動的に 1 になります。

各ビットは以下の場合自動的にクリアされます。

- TX メッセージバッファコントロールレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

41.2.40 CFDTMTARSTS : TX メッセージバッファ送信中断要求ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x007C

Bit position:	31																										3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFDTMTARSTS [3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CFDTMTARSTS[3:0]	TX メッセージバッファ送信アボート要求ステータス 0: 対応する TX メッセージバッファへの送信アボート要求なし 1: 対応する TX メッセージバッファへの送信アボート要求あり	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ送信中断要求ステータスを示します。CFDTMTARSTS レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMTARSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTARSTS[3:0]ビット（TX メッセージバッファ送信アボート要求ステータス）

CFDTMTARSTS[3:0]ビットは、TX メッセージバッファコントロールレジスタの CFDTMCi.TMTAR ビットの状態を示します。

各ビットは、TX メッセージバッファコントロールレジスタの対応するビットが 1 で、メッセージバッファが TX キューに属している場合自動的に 1 になります。

各ビットは以下の場合自動的にクリアされます。

- TX メッセージバッファコントロールレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

41.2.41 CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0080

Bit position:	31																												3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFDTMTCSTS[3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CFDTMTCSTS[3:0]	TX メッセージバッファ送信完了ステータス 0: 対応する TX メッセージバッファへの送信は完了していない 1: 対応する TX メッセージバッファへの送信は完了した	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信完了状態を示します。CFDTMTCSTS レジスタのビット 0 は、TX メッセージバッファ 0 に対応します。

CFDTMTCSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTCSTS[3:0]ビット（TX メッセージバッファ送信完了ステータス）

CFDTMTCSTS[3:0]ビットは、TX メッセージバッファステータスレジスタの送信完了状態を示します。

各ビットは、TX メッセージバッファステータスレジスタの対応するビットが 1 になると自動的に 1 になります。

各ビットは以下の場合、自動的にクリアされます。

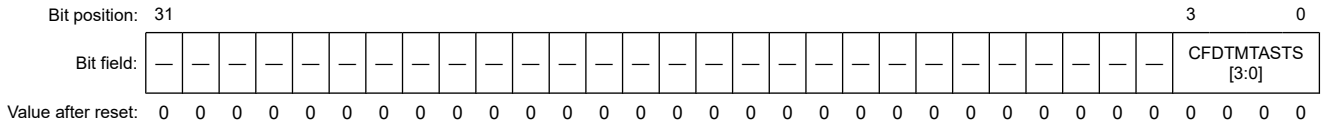
- TX メッセージバッファステータスレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

CAN チャネルが CH_RESET モードになると、そのチャネルに関連するビットはクリアされます。

41.2.42 CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0084



ビット	シンボル	機能	R/W
3:0	CFDTMTASTS[3:0]	TX メッセージバッファ送信アボートステータス 0: 対応する TX メッセージバッファへの送信はアボートしていない 1 : 対応する TX メッセージバッファへの送信がアボートした	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信アボート状態を示します。CFDTMTASTS レジスタのビット 0 は、TX メッセージバッファ 0 に対応します。

CFDTMTASTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTASTS[3:0]ビット（TX メッセージバッファ送信アボートステータス）

CFDTMTASTS[3:0]ビットは、対応する TX メッセージバッファの送信アボート成功状態を示します。

各ビットは､対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットが 01b になると自動的に 1 になります。

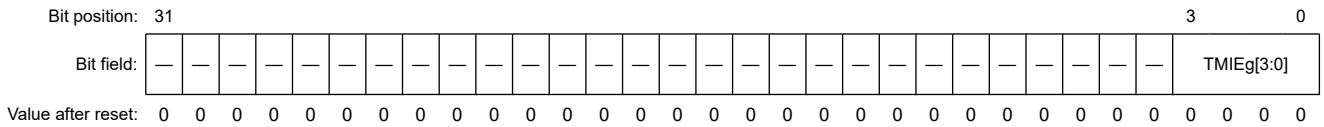
各ビットは以下の場合、自動的にクリアされます。

- 対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

41.2.43 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0088



ビット	シンボル	機能	R/W
3:0	TMIEg[3:0]	TX メッセージバッファ割り込み許可 0: 対応する TX メッセージバッファに対して TX メッセージバッファ割り込みを禁止 1: 対応する TX メッセージバッファに対して TX メッセージバッファ割り込みを許可	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ割り込み許可を示します。

CFDTMIEC レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMIEC のビット位置は、TX メッセージバッファのバッファ番号に対応します。

g = [0…3]

TMIEg[3:0]ビット（TX メッセージバッファ割り込み許可）

TMIEg[3:0]ビットを 1 にすると、対応するメッセージバッファからの送信完了時に割り込みが発生します。

TX メッセージバッファ割り込みの仕様については、「41.7. 割り込みと DMA」を参照してください。

以下のとき、TMIEg[3:0]ビットに書き込まないでください。

- CANFD モジュールが GL_SLEEP モードであるとき
- 関連する CANFD チャネルが CH_SLEEP モードであるとき
- 対応する TX メッセージバッファが TX キューの一部であるとき
- 対応する TX メッセージバッファが CFDCFCC.CFTML ビットで共通 FIFO にリンクされているとき

41.2.44 CFDTXQCC : TX キューコンフィグレーション／コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x008C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TXQDC[1:0]		TXQIM	—	TXQTXIE	—	—	—	—	TXQE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TXQE	TX キュー許可 0: TX キュー禁止 1: TX キュー許可	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TXQTXIE	TX キュー TX 割り込み許可 0: TX キュー TX 割り込み禁止 1: TX キュー TX 割り込み許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TXQIM	TX キュー割り込みモード 0: 最後のメッセージの送信に成功したとき 1: 各送信成功時	R/W
9:8	TXQDC[1:0]	TX キュー容量の構成 00: 0 メッセージ 01: 予約 10: 3 メッセージ 11: 4 メッセージ	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX キューコンフィグレーション／コントロールレジスタは、TX キュー送信を設定するのに使用されます。

TXQE が許可に設定されているとき、TXQ は、TXMB0～TXMB3（最大）から構成されています。

TXQE ビット（TX キュー許可）

TXQE ビットは、設定されている TX キュー容量が 0x00 (CFDTXQCC.TXQDC == 0x00) の場合 1 に設定できません。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQE ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TXQTXIE ビット（TX キュー TX 割り込み許可）

TXQTXIE ビットを 1 にすると、TXQIM ビットの設定に基づき割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQIM ビット（TX キュー割り込みモード）

TXQIM ビットは、TX キューの割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT
- CH_OPERATION

TXQDC[1:0]ビット（TX キュー容量の構成）

TXQDC[1:0]ビットは、送信キューの容量を指定します。メッセージバッファ選択は、設定容量に従って MB[0]から開始し、最高 MB[3]までです。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT
- CH_OPERATION

41.2.45 CFDTXQSTS : TX キューステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TXQMC[2:0]			—	—	—	—	—	TXQTXIF	TXQFLL	TXQEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	TXQEMP	TX キューエンプティ 0: TX キューはエンプティではない 1: TX キューはエンプティ	R
1	TXQFLL	TX キューフル 0: TX キューはフルではない 1: TX キューはフル	R
2	TXQTXIF	TX キュー TX 割り込みフラグ 0: フレーム送信後 TX キュー割り込み条件が不成立 1: フレーム送信後 TX キュー割り込み条件が成立	R/W

ビット	シンボル	機能	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	TXQMC[2:0]	TX キューメッセージ数 TX キュー内のメッセージ数	R
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX キューステータスレジスタは、対応する CAN チャネルの TX キューの状態を示します。

TXQEMP ビット（TX キューエンプティ）

TXQEMP ビットは、TX キューが禁止されている、または TX キューにメッセージが格納されていない場合、自動的に 1 になります。

本ビットは以下の場合自動的に 1 になります。

- TX キューから最後のメッセージが送信されたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

本ビットは、送信対象の最初のメッセージが TX キューに格納されると自動的にクリアされます。

TXQFLL ビット（TX キューフル）

TXQFLL ビットは、TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量と一致すると自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量以下になったとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TXQTXIF ビット（TX キュー TX 割り込みフラグ）

TXQTXIF ビットは、TX キューが禁止されても自動的にクリアされません。

TX キューを停止する場合、TXQE を禁止し、TX キューがエンプティであることを確認後、本ビットをクリアしてください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。1 の書き込みは無効です。

本ビットは、TX キューに対して設定されている割り込み条件が成立すると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

関連する CANFD チャネルが CH_SLEEP モードまたは CH_RESET モードの場合、本ビットへは書き込みできません。

本ビットは以下の場合クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TXQMC[2:0][13:8]ビット（TX キューメッセージ数）

TXQMC[2:0]ビットは、TX キュー内の CAN メッセージの数を示します。

これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

41.2.46 CFDTXQPCTR : TX キューポインタコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0094

Bit position:	31																						7	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQPC[7:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TXQPC[7:0]	TX キューポインタコントロール 対応するチャネルの TX キューバッファへの書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

TX キューポインタコントロールレジスタは、対応する TX キューバッファに 1 つのメッセージ全体が格納されたことを確認するのに使用されます。

TXQPC[7:0]ビット（TX キューポインタコントロール）

値 0xFF が TXQPC[7:0]ビットに書き込まれると、対応する TX キューバッファの書き込みポインタが更新され、本メッセージに対して送信要求が起動します。

読み取り値は常に 0x00 です。DMA 有効時、FIFO コントロールレジスタに書き込まないでください。

関連する CANFD チャネルが CH_SLEEP モードまたは CH_RESET モードの場合、これらのビットへは書き込みできません。

以下の場合のみ、本レジスタに 0xFF を書き込んでください。

- 対応する TX キューが有効にされており、フルではないとき
- 共通 FIFO が有効です。

41.2.47 CFDTHLCC : TX 履歴リストコンフィグレーション／コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	THLE	TX 履歴リスト許可 0: TX 履歴リスト禁止 1: TX 履歴リスト許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	THLIE	TX 履歴リスト割り込み許可 0: TX 履歴リスト割り込み禁止 1: TX 履歴リスト割り込み許可	R/W

ビット	シンボル	機能	R/W
9	THLIM	TX 履歴リスト割り込みモード 0: TX 履歴リストレベルが TX 履歴リスト容量の¾になると割り込み発生 1: エントリ格納に成功するたびに割り込み発生	R/W
10	THLDTE	TX 履歴リスト専用 TX 許可 0: TX FIFO + TX キュー 1: フラット TX MB + TX FIFO + TX キュー	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX 履歴リストコンフィグレーション／コントロールレジスタは、TX 履歴リスト機能を設定します。

THLE ビット（TX 履歴リスト許可）

THLE ビットを 1 にすると、TX 履歴リストバッファが許可されます。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへは書き込みできません。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

THLIE ビット（TX 履歴リスト割り込み許可）

THLIE ビットを 1 にすると、TX 履歴リスト割り込み発生が許可されます。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

THLIM ビット（TX 履歴リスト割り込みモード）

THLIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

THLDTE ビット（TX 履歴リスト専用 TX 許可）

THLDTE ビットは、送信成功後 TX 履歴リストにエントリを格納する条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

41.2.48 CFDTHLSTS : TX 履歴リストステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x009C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	THLMC[3:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	THLEMP	TX 履歴リストがエンプティ 0: TX 履歴リストがエンプティではない 1: TX 履歴リストがエンプティ	R

ビット	シンボル	機能	R/W
1	THLFLL	TX 履歴リストがフル 0: TX 履歴リストがフルではない 1: TX 履歴リストがフル	R
2	THLELT	TX 履歴リストのエントリロスト 0: TX 履歴リストにエントリロストなし 1: TX 履歴リストにエントリロストあり	R/W
3	THLIF	TX 履歴リスト割り込みフラグ 0: TX 履歴リスト割り込み条件が不成立 1: TX 履歴リスト割り込み条件が成立	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	THLMC[3:0]	TX 履歴リストメッセージ数 TX 履歴リストに格納されているメッセージ数	R
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX 履歴リストステータスレジスタは、TX 履歴リストバッファに格納されているデータの状態を示します。

THLEMP ビット（TX 履歴リストがエンプティ）

THLEMP ビットは、CPU が TX 履歴リストバッファから全エントリの読み出しを完了すると自動的に 1 になります

本ビットは、最初のエントリが TX 履歴リストに格納されると自動的にクリアされます。

本ビットは以下の場合、自動的に 1 になります。

- TX 履歴リストが禁止されているとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLFLL ビット（TX 履歴リストがフル）

THLFLL ビットは、TX 履歴リストバッファに格納されているエントリ数が設定されている TX 履歴リスト容量と一致すると自動的に 1 になります。

各 TX 履歴リストには最大 8 個のエントリを格納できます。

本ビットは以下の場合、自動的にクリアされます。

- TX 履歴リストバッファ内のエントリ数が TX 履歴リスト容量より小さいとき
- TX 履歴リストが禁止されているとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLELT ビット（TX 履歴リストのエントリロスト）

THLELT ビットは、関連する TX 履歴リストバッファがすでに満杯のため新規エントリが保存できない場合 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLIF ビット（TX 履歴リスト割り込みフラグ）

THLIF ビットは、設定されている割り込み条件が成立すると 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

このビットは、0 を書き込むことによってクリアされます。

本ビットは CH_RESET モードでは自動的にクリアされます。

THLMC[3:0]ビット（TX 履歴リストメッセージ数）

THLMC[3:0]ビットは、TX 履歴リストに格納された送信済みメッセージの数を示します。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

41.2.49 CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0740

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TMTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	BN[1:0]		BT[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	BT[2:0]	バッファタイプ 0 0 1: フラット TX メッセージバッファ 0 1 0: TX FIFO メッセージバッファ番号 1 0 0: TX キューメッセージバッファ番号	R
4:3	BN[1:0]	バッファ番号 メッセージバッファ番号	R
15:5	—	読むと 0 が読めます。	R
31:16	TMTS[15:0]	送信タイムスタンプ ソフトウェアドライバの送信タイムスタンプ値	R

注. S-TYPE-3, P-TYPE-3

TX 履歴リストアクセスレジスタ 0 は、読み出したタイムスタンプ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

BT[2:0]ビット（バッファタイプ）

BT[2:0]ビットは、FIFO バッファ、TX キューまたは TX メッセージバッファからの送信に引き続き、データが格納されたかどうかを示します。

BN[1:0]ビット（バッファ番号）

BN[1:0]ビットは、送信が成功したメッセージバッファを示します。共通 FIFO からメッセージが送信された場合、これらのビットは、送信のために共通 FIFO にリンクされているメッセージバッファを示します。

TMTS[15:0]ビット（送信タイムスタンプ）

TMTS[15:0]ビットは、ソフトウェアドライバで使用するタイムスタンプを示します。

41.2.50 CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0744

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIFL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TID[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TID[15:0]	送信 ID これらのビットは、メッセージバッファリファレンス ID、TX FIFO リファレンス ID、または AFL ポインタフィールドがソフトウェアドライバ用に格納されたことを示します。	R
17:16	TIFL[1:0]	送信情報ラベル これらのビットは、メッセージバッファ情報ラベル、TX FIFO 情報ラベル、または AFL 情報ラベルがソフトウェアドライバ用に格納されたことを示します。	R
31:18	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

TX 履歴リストアクセスレジスタ 1 は、読み出したポインタ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

TID[15:0]ビット（送信 ID）

TID[15:0]ビットは、ソフトウェアドライバがメッセージバッファリファレンス ID (CFDTMFDCTRb.TMPTR) または TX FIFO リファレンス ID (CFDCFFDCSTS.CFPTR) を使用可能かどうかを示します。

TIFL[1:0]ビット（送信情報ラベル）

TIFL[1:0]ビットは、ソフトウェアドライバがメッセージバッファ情報ラベル (CFDTMFDCTRb.TMIFL) または TX FIFO 情報ラベル (CFDCFFDCSTS.CFIFL) を使用可能かどうかを示します。

41.2.51 CFDTHLPCTR : TX 履歴リストポインタコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	THLPC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	THLPC[7:0]	TX 履歴リストポインタコントロール 対応するチャネルの TX 履歴リストへの書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

TX 履歴リストポインタコントロールレジスタを使って、対応する TX 履歴リストの読み出しポインタをインクリメントします。

THLPC[7:0]ビット（TX 履歴リストポインタコントロール）

THLPC[7:0]ビットに 0xFF が書き込まれると、TX 履歴リストの読み出しポインタが次の TX 履歴リストエントリアドレスに移動します。

これらのビットの読み出し値は常に 0x00 です。関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

対応する TX 履歴リストが有効でエンプティでない場合のみ、これらのレジスタには 0xFF を書き込んでください。

41.2.52 CFDGRSTC : グローバル SW リセットレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00D8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	SRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRST	SW リセット 0: 通常状態 1: SW リセット状態	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは SRST ビット書き換えの有効性を制御します。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SRST ビット（SW リセット）

SRST ビットを 1 にすると、CANFD モジュールはハードウェアリセットと同じ状態になります。リセットが必要な場合は、本ビットに 1 を書いた後 0 を書きます。

本ビットは、CANFD モジュールが GL_SLEEP モードのときクリアされます。

本ビットがクリアされると、RAM 初期化シーケンスは動作しません。RAM の設定はソフトウェアが行います。

RAM 初期化中にソフトウェアリセットが実行されると、RAM は初期化されません。ソフトウェアは、RAM の初期化を実行する必要があります。

KEY[7:0]ビット（キーコード）

0xC4 が KEY[15:8]ビットに書き込まれると、SRST ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGRSTC.SRST ビットと CFDGRSTC.KEY ビットは同時に書いてください。

41.2.53 CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00A8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	RTMPS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	RTMPS[3:0]	RAM テストモードページ選択 RAM テストモードページを選択します。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルテストコンフィグレーションレジスタは、RAM テストモードページを設定するのに使用されます。

RTMPS[3:0]ビット（RAM テストモードページ選択）

RTMPS[3:0]ビットは、CANFD モジュールが RAM テストモードに設定されているとき、CPU 読み出し／書き込みアクセスの RAM ページモードを選択します。

RAM のテストモード仕様については、「41.9.2.1. RAM テストモード」を参照してください。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合はこれらのビットへの書き込みは行わないでください。

メッセージバッファ RAM に対して、0～8 (0x008) 間の値のみを入力してください。

CANFD モジュールが GL_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャネルが GL_RESET モードになると自動的にクリアされます。

41.2.54 CFDGTSTCTR : グローバルテストコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00AC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
2	RTME	RAM テストモード許可 0: RAM テストモード禁止 1: RAM テストモード許可	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルテストコントロールレジスタは、CANFD モジュールのグローバルテストモードを制御するのに使用されます。

RTME ビット（RAM テストモード許可）

RTME ビットを 1 にすると、CANFD モジュールは RAM テストモードに設定されます。RAM のテストモード仕様については、「41.9.2.1. RAM テストモード」を参照してください。

CANFD モジュールが GL_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CANFD モジュールが GL_HALT モードの場合、本ビットをクリアしてください。

本ビットは、CANFD モジュールが GL_RESET モードのときに自動的にクリアされます。

41.2.55 CFDGFDCFG : グローバル FD コンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	RPED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPED	RES ビットプロトコル例外禁止 0: プロトコル例外事象検出許可 1: プロトコル例外事象検出禁止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	TSCCFG[1:0]	タイムスタンプキャプチャ設定 0 0: SOF（フレーム先頭）のサンプルポイントでタイムスタンプキャプチャ 0 1: フレーム有効表示時タイムスタンプキャプチャ 1 0: RES ビットのサンプルポイントでタイムスタンプキャプチャ 1 1: 予約ビット	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

RPED ビット（RES ビットプロトコル例外禁止）

RPED ビットは、ISO 11898-1 に従って、プロトコル例外事象処理を設定します。

本ビットが有効に設定されていると、プロトコル例外事象検出時（RES ビットはレセシブとしてサンプリングされる）、プロトコル例外事象検出は禁止され、プロトコルコントローラはエラーフレームを送信します。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSCCFG[1:0]ビット（タイムスタンプキャプチャ設定）

TSCCFG[1:0]ビットは、送受信に対して異なるタイムスタンプキャプチャポイントを設定します。

CFDGFDCFG.TSCCFG[1:0]が 10b のとき、RES ビットで CANFD フレームのタイムスタンプキャプチャを、そしてフレーム先頭でクラシカルフレームのタイムスタンプキャプチャを実行します。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

41.2.56 CFDGLOCKK : グローバルロックキーレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00B8

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOCK[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	LOCK[15:0]	ロックキー テストモード保護をロック解除するためのキービット	W
31:16	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

グローバルロックキーレジスタは、特殊なテストビットの保護をロック解除するのに使用される書き込み専用のレジスタです。

ロックキー仕様については、「41.9.2. グローバルテストモード」を参照してください。

LOCK[15:0]ビット（ロックキー）

キーロック解除シーケンスを LOCK[15:0]ビットに書き込み、CANFD モジュールを FIFO OTB 禁止および RAM テストモードに設定する必要があります。

読み取り値は常に 0x0000 です。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合はこれらのビットへ書き込みできません。

CANFD モジュールが GL_OPERATION モードの場合はこれらのビットへの書き込みは行わないでください。

41.2.57 CFDRPGACCk: RAM テストページアクセスレジスタ k (k = 0～63)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0280 + 0x0004 × k

Bit position:	31																													0
Bit field:	RDTA[31:0]																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RDTA[31:0]	RAM データテストアクセス RAM データバイト	R/W

注. S-TYPE-3, P-TYPE-3

RDTA[31:0]ビット（RAM データテストアクセス）

CANFD モジュールが RAM テストモードに設定されている場合、RDTA[31:0]ビットからのデータの読み出しまたは書き込みが可能です。

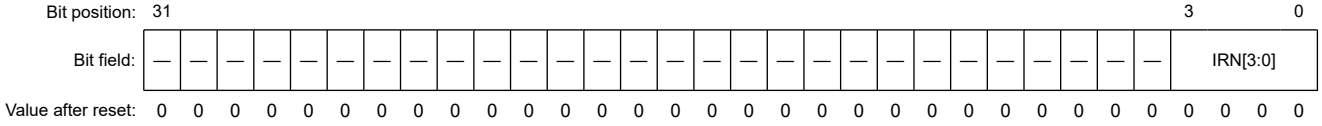
CANFD モジュールが GL_HALT モードで RAM テストモードが許可されている場合のみ本ビットへの書き込みを行ってください。

RAM テストモード時ソフトウェアは RAM テストページアクセスレジスタから読み出し／書き込みを行うものとします。

41.2.58 CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00C0



ビット	シンボル	機能	R/W
3:0	IRN[3:0]	イグノアルール番号 AFL エントリを無視するルール番号を定義します。	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

IRN[3:0]ビット（イグノアルール番号）

IRN[3:0]ビットは、AFL エントリを更新するルール番号を定義します。

入力する値は 0～15 (0x0F)（0 と 15 を含む）間の値のみとします。

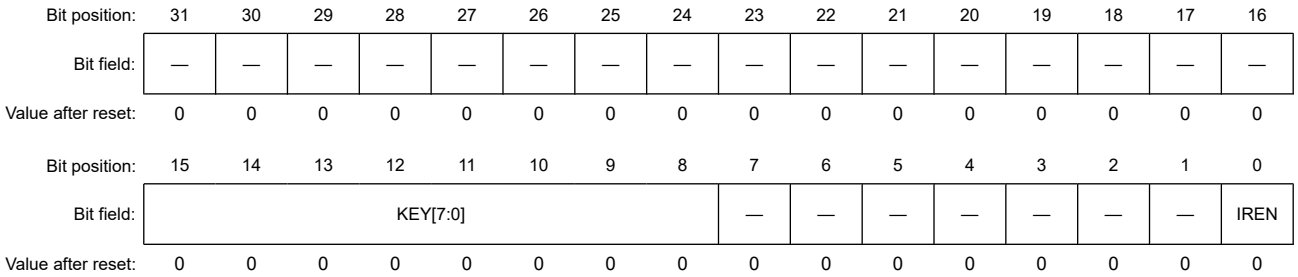
CFDGAFLIGNCTR.IREN ビットが 0 の場合のみ、これらのビットに書き込んでください。

CANFD モジュールが GL_SLEEP モードの場合はこれらのビットへは書き込みできません。

41.2.59 CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00C4



ビット	シンボル	機能	R/W
0	IREN	無視ルール許可 0: AFL エントリ番号は無視されない 1: AFL エントリ番号は無視される	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは IREN ビット書き換えの有効性を制御します。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

IREN ビット（無視ルール許可）

IREN ビットを 1 にすると、（CFDGAFLIGNENT レジスタで選択された）エントリ番号は無視されます。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

KEY[7:0]ビット（キーコード）

0xC4 が KEY[7:0]ビットに書き込まれると、IREN ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGAFLIGNCTR.IREN ビットと CFDGAFLIGNCTR.KEY ビットは同時に書いてください。

41.2.60 CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0038

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RMIE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RMIE[15:0]	RX メッセージバッファ割り込み許可 0: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを禁止 1: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可	R/W

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可するかどうかを示します。CFDRMIEC ビット 0 は、RX メッセージバッファ 0 に対応し、順次同様に対応します。

CFDRMIEC のビット位置は、RXMB のバッファ番号に対応します。

RMIE[15:0]ビット（RX メッセージバッファ割り込み許可）

本ビットを 1 にすると、対応するメッセージバッファからの受信完了時割り込みが発生します。

詳細は、「41.7.1. 割り込み」を参照してください。

CANFD モジュールが GL_SLEEP モードの場合は、本ビットへは書き込みできません。

41.2.61 メッセージバッファコンポーネントの構造

41.2.61.1 開始アドレス

各メッセージバッファコンポーネントの開始アドレスは、関連するメッセージバッファコンポーネント数を使って計算されます。

メッセージバッファコンポーネント内の各レジスタの開始アドレスを表 41.4 に示します。

表 41.4 メッセージバッファコンポーネントレジスタの開始アドレス (1/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0…15] b = [0…7]	RMBCPb[0]	x	RMID	0x0920 + b × 0x004C
		x	RMPTR	0x0924 + b × 0x004C
		x	RMFDSTSb	0x0928 + b × 0x004C
		[1…15]	RMDFbp	0x092C + b × 0x004C + p × 0x0004

表 41.4 メッセージバッファコンポーネントレジスタの開始アドレス (2/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0…15] b = [8…15]	RMBCPb[0]	x	RMIDb	0x0D20 + (b-8) × 0x004C
		x	RMPTRb	0x0D24 + (b-8) × 0x004C
		x	RMFDSTSb	0x0D28 + (b-8) × 0x004C
		[1…15]	RMDFbp	0x0D2C + (b-8) × 0x004C + p × 0x0004
[0…1]	RFMBCPb[0]	x	RFIDb	0x0520 + b × 0x004C
		x	RFPTRb	0x0524 + b × 0x004C
		x	RFFDSTSb	0x0528 + b × 0x004C
		[1…15]	RFDFbp	0x052C + b × 0x004C + p × 0x0004
[0]	CFMBCPb[0]	x	CFID	0x05B8
		x	CFPTR0	0x05BC
		x	CFFDCSTS0	0x05C0
		[1…15]	CFDFp0	0x05C4 + p × 0x0004
[0…3]	TMBCPb[0]	x	TMIDb	0x0604 + b × 0x004C
		x	TMPTRb	0x0608 + b × 0x004C
		x	TMFDCTRb	0x060C + b × 0x004C
		[1…15]	TMDFbp	0x0610 + b × 0x004C + p × 0x0004

メッセージバッファの構成は、4 種類のメッセージバッファコンポーネントで構成されます。

- RX メッセージバッファコンポーネント (CFDRMBCPb[0])
- RX FIFO アクセスメッセージバッファコンポーネント (CFDRFMBCPb[0])
- 共通 FIFO アクセスメッセージバッファコンポーネント (CFDCFMBCPb[0])
- TX メッセージバッファコンポーネント (CFDTMBCPb[0])

ここで、b はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントインデックスです。

本構成の概要については、図 41.28 を参照してください。メッセージバッファ数および種類についての詳細な説明については、「41.6. FIFO バッファと通常のメッセージバッファの構成」を参照してください。

「41.2. レジスタの説明」に示すように、各メッセージバッファコンポーネントは下記のレジスタから構成されます。

- 識別子 (ID)
- ポインタ (PTR)
- データフィールド (DFp)

ここで、p はメッセージバッファコンポーネントの種類により範囲が変わるデータフィールドレジスタインデックスです。

Rc はメッセージバッファコンポーネントレジスタですが、ここで c はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントレジスタインデックスです。

レジスタおよび関連するビットとそのアクセスの説明を、下記の概要と各コンポーネントの詳細図に示します。

各図において、'-'を含むセルは予約済みを意味し、「41.2.61. メッセージバッファコンポーネントの構造」のレジスタの予約ビットと同じ動作をします。

41.2.61.2 CFDRMBCPb[0] : RX メッセージバッファコンポーネント b (b = 0～15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 表 41.4 を参照。

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	Rc[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	Rc[15:0]	RX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 41.5、表 41.6 および以下の説明を参照してください。	R/W

注. S-TYPE-3, P-TYPE-3

図 41.28 に示す CFDRMBCPb = 16 の総数です (c = RX メッセージバッファコンポーネントレジスタインデックス = [0…18])。

Rc[15:0]ビット（RX メッセージバッファコンポーネント c）

RX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDRMIDb、CFDRMPTRb、CFDRMFDSTSb、CFDRMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 41.6 を参照してください。

表 41.5 RX メッセージバッファコンポーネントの概要

RX メッセージバッファコンポーネント (RMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1'b1)**
R0	RX メッセージバッファ (b) ID レジスタ
R1	RX メッセージバッファ (b) ポインタレジスタ
R2	RX メッセージバッファ (b) CANFD ステータスレジスタ
R3	RX メッセージバッファ (b) データフィールド 0 レジスタ
R4	RX メッセージバッファ (b) データフィールド 1 レジスタ
R5	RX メッセージバッファ (b) データフィールド 2 レジスタ
R6	RX メッセージバッファ (b) データフィールド 3 レジスタ
R7	RX メッセージバッファ (b) データフィールド 4 レジスタ
R8	RX メッセージバッファ (b) データフィールド 5 レジスタ
R9	RX メッセージバッファ (b) データフィールド 6 レジスタ
R10	RX メッセージバッファ (b) データフィールド 7 レジスタ
R11	RX メッセージバッファ (b) データフィールド 8 レジスタ
R12	RX メッセージバッファ (b) データフィールド 9 レジスタ
R13	RX メッセージバッファ (b) データフィールド 10 レジスタ
R14	RX メッセージバッファ (b) データフィールド 11 レジスタ
R15	RX メッセージバッファ (b) データフィールド 12 レジスタ
R16	RX メッセージバッファ (b) データフィールド 13 レジスタ
R17	RX メッセージバッファ (b) データフィールド 14 レジスタ
R18	RX メッセージバッファ (b) データフィールド 15 レジスタ
R[19...31]	—

表 41.6 RX メッセージバッファコンポーネント (RMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMIDb	RMIDE	RMRTR	—	RMID																												
R1	x	CFDRMPTRb	RMDLC				—	—	—	—	—	—	—	—	—	—	—	—	RMTS															
R2	x	CFDRMFDSTSb	RMPTR																—	—	—	—	—	—	RMIFL		—	—	—	—	—	RMFDF	RMBRS	RMESI
R3	0	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							
R[4…18]	[1…15]	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							

41.2.61.3 CFDRMIDb : RX メッセージバッファ ID レジスタ (b = 0〜15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0920 + 0x004C × b (b = 0〜7)
0x0D20 + 0x004C × (b - 8) (b = 8〜15)

Bit position:	31	30	29	0
Bit field:	RMIDE	RMRTR	—	RMID[28:0]
Value after reset:	0	0	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	RMID[28:0]	RX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R
29	—	読むと 0 が読めます。	R
30	RMRTR	RX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R
31	RMIDE	RX メッセージバッファ IDE 0: STD-ID が格納される 1: EXT-ID が格納される	R

注. S-TYPE-3, P-TYPE-3

RX メッセージバッファ ID レジスタ b (b = 0〜15) は、受信メッセージの ID フィールド、IDE ビット、および RTR ビットを格納します。

RMID[28:0]ビット（RX メッセージバッファ ID フィールド）

RMID[28:0]ビットは、RX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

本バッファコンポーネントの構造の解釈方法の詳細については、「41.2.61.1. 開始アドレス」を参照してください。

RMRTR ビット（RX メッセージバッファ RTR）

RMRTR ビットは、データフレームまたはリモートフレームのいずれが RX メッセージバッファに格納されたかを示します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると、レジスタは受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。

RMIDE ビット（RX メッセージバッファ IDE）

RMIDE ビットは、標準 ID または拡張 ID のメッセージのいずれが RX メッセージバッファに格納されたかを示します。

41.2.61.4 CFDRMPTRb : RX メッセージバッファポインタレジスタ (b = 0～15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0924 + 0x004C × b (b = 0～7)
0x0D24 + 0x004C × (b - 8) (b = 8～15)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RMDLC[3:0]				—												RMTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RMTS[15:0]	RX メッセージバッファタイムスタンプフィールド RX メッセージバッファ内のメッセージ用に格納されたタイムスタンプ値	R
27:16	—	読むと 0 が読めます。	R
31:28	RMDLC[3:0]	RX メッセージバッファ DLC フィールド CAN フレームで受信されたデータバイト数	R

注. S-TYPE-3, P-TYPE-3

RX メッセージバッファポインタレジスタ b (b = 0～15) は、受信メッセージの DLC およびタイムスタンプフィールドを格納します。

RMTS[15:0]ビット（RX メッセージバッファタイムスタンプフィールド）

RMTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG により設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します。

RMDLC[3:0]ビット（RX メッセージバッファ DLC フィールド）

RMDLC[3:0]ビットは、RX メッセージバッファで受信されたデータバイト数を格納します。

受信データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

注. バッファの最大容量は CFDRMNB.RMPLS に依存します。これは、クラシカル CAN 機能で使用できません。

41.2.61.5 CFDRMFDSTSb : RX メッセージバッファ CANFD ステータスレジスタ (b = 0～15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0928 + 0x004C × b (b = 0～7)
0x0D28 + 0x004C × (b - 8) (b = 8～15)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RMPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RMIFL[1:0]		—	—	—	—	—	RMFDF	RMBRS	RMESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RMESI(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RMBRS(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R
2	RMFDF(注1)	CAN-FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。	R
9:8	RMIFL[1:0]	RX メッセージバッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。	R
31:16	RMPTR[15:0]	RX メッセージバッファポインタフィールド	R

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファ CANFD ステータスレジスタ b (b = 0～15) は、受信した CANFD フレームの FDF ビット、BRS ビット、および ESI ビットの状態とポインタを示します。

RMESI ビット（エラー状態表示）

RMESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMBRS ビット（ビットレートスイッチ）

RMBRS ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMFDF ビット（CAN-FD フォーマット）

RMFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RMIFL[1:0]ビット（RX メッセージバッファ情報ラベルフィールド）

RMIFL[1:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

RMPTR[15:0]ビット（RX メッセージバッファポインタフィールド）

RMPTR[15:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

41.2.61.6 CFDRMDFb_p : RX メッセージバッファデータフィールド p レジスタ (p = 0～15, b = 0～15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x092C + 0x004C × b + 0x0004 × p (b = 0～7, p = 0～15)
0x0D2C + 0x004C × (b - 8) + 0x0004 × p (b = 8～15, p = 0～15)

Bit position:	31							24	23							16	15							8	7							0
Bit field:	RMDB_HH[7:0]								RMDB_HL[7:0]								RMDB_LH[7:0]								RMDB_LL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RMDB_LL[7:0]	RX メッセージバッファデータバイト (p × 4)	R
15:8	RMDB_LH[7:0]	RX メッセージバッファデータバイト ((p × 4) + 1)	R
23:16	RMDB_HL[7:0]	RX メッセージバッファデータバイト ((p × 4) + 2)	R
31:24	RMDB_HH[7:0](注1)	RX メッセージバッファデータバイト ((p × 4) + 3)	R

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファデータフィールド p レジスタ b (p = 0～15, b = 0～15) は、受信メッセージのデータバイト (p × 4) ～データバイト ((p × 4) + 3) を格納します。

RMDB_LL[7:0]ビット（RX メッセージバッファデータバイト (p × 4)）

RMDB_LL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト (p × 4) を格納します。
未使用データバイトは 0x00 で埋められます。

RMDB_LH[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 1)）

RMDB_LH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。
未使用データバイトは 0x00 で埋められます。

RMDB_HL[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 2)）

RMDB_HL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。
未使用データバイトは 0x00 で埋められます。

RMDB_HH[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 3)）

RMDB_HH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。
未使用データバイトは 0x00 で埋められます。

41.2.61.7 CFDRFMBCPb[0] : RX FIFO アクセスメッセージバッファコンポーネント b (b = 0～1)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 表 41.4 を参照

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	RX FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 41.7、表 41.8 および以下の説明を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ここで、図 41.28 に示すように、CFDRFMBCPb の合計数 = 2 です（c = RX FIFO アクセスメッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（RX FIFO アクセスメッセージバッファコンポーネント c）

RX FIFO アクセスメッセージバッファコンポーネントは下記のレジスタから構成されます。

- CFDRFIDb
- CFDRFPTRb
- CFDRFFDSTSb

- CFDRFDFbp

本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 41.8 を参照してください。

表 41.7 RX FIFO アクセスメッセージバッファコンポーネントの概要

Rc	
R0	RX FIFO アクセス ID レジスタ
R1	RX FIFO アクセスポインタレジスタ
R2	RX FIFO アクセス CANFD ステータスレジスタ
R3	RX FIFO アクセスデータフィールド 0 レジスタ
R4	RX FIFO アクセスデータフィールド 1 レジスタ
R5	RX FIFO アクセスデータフィールド 2 レジスタ
R6	RX FIFO アクセスデータフィールド 3 レジスタ
R7	RX FIFO アクセスデータフィールド 4 レジスタ
R8	RX FIFO アクセスデータフィールド 5 レジスタ
R9	RX FIFO アクセスデータフィールド 6 レジスタ
R10	RX FIFO アクセスデータフィールド 7 レジスタ
R11	RX FIFO アクセスデータフィールド 8 レジスタ
R12	RX FIFO アクセスデータフィールド 9 レジスタ
R13	RX FIFO アクセスデータフィールド 10 レジスタ
R14	RX FIFO アクセスデータフィールド 11 レジスタ
R15	RX FIFO アクセスデータフィールド 12 レジスタ
R16	RX FIFO アクセスデータフィールド 13 レジスタ
R17	RX FIFO アクセスデータフィールド 14 レジスタ
R18	RX FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

表 41.8 RX メッセージバッファコンポーネント (RMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMIDb	RMIDE	RMRTR	—	RMID																												
R1	x	CFDRMPTRb	RMDLC			—	—	—	—	—	—	—	—	—	—	—	—	—	RMTS															
R2	x	CFDRMFDSTSb	RMPTR																—	—	—	—	—	—	RMIFL		—	—	—	—	—	RMFDF	RMBRS	RMESI
R3	0	CFDRMDFbp	RMDB_HH										RMDB_HL						RMDB_LH							RMDB_LL							
R[4…18]	[1…15]	CFDRMDFbp	RMDB_HH										RMDB_HL						RMDB_LH							RMDB_LL							

41.2.61.8 CFDRFIDb : RX FIFO アクセス ID レジスタ b (b = 0～1)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0520 + 0x004C × b

Bit position:	31	30	29	0
Bit field:	RFIDE	RFRTR	—	RFID[28:0]
Value after reset:	0	0	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	RFID[28:0]	RX FIFO バッファ ID フィールド STD-ID/EXT-ID フィールド	R
29	—	読むと 0 が読めます。	R
30	RFRTR	RX FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム	R
31	RFIDE	RX FIFO バッファ IDE ビット 0: STD-ID が受信された 1: EXT-ID が受信された	R

注. S-TYPE-3, P-TYPE-3

RX FIFO アクセス ID レジスタ b (b = 0～1) は、メッセージの ID フィールド、IDE ビット、および RTR ビットを格納します。

RFID[28:0]ビット（RX FIFO バッファ ID フィールド）

RFID[28:0]ビットは、FIFO バッファにあるメッセージの STD-ID/EXT-ID フィールドのビットです。

標準フレームフォーマットおよび拡張フレームフォーマットにおけるビットアライメントについては、ID ビットアライメントを参照してください。

RFRTR ビット（RX FIFO バッファ RTR ビット）

RFRTR ビットは、データフレームまたはリモートフレームのいずれが FIFO バッファに格納されたかを示します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると、レジスタは、受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。

RFIDE ビット（RX FIFO バッファ IDE ビット）

RFIDE ビットは、標準 ID または拡張 ID のメッセージのいずれが FIFO バッファに受信されたかを示します。

41.2.61.9 CFDRFPTRb : RX FIFO アクセスポインタレジスタ b (b = 0～1)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0524 + 0x004C × b

Bit position:	31	28	15	0
Bit field:	RFDLC[3:0]	— — — — — — — — — — — —	RFTS[15:0]	
Value after reset:	0	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
15:0	RFTS[15:0]	RX FIFO タイムスタンプ値 受信した CAN フレームのタイムスタンプ値	R
27:16	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
31:28	RFDLC[3:0]	RX FIFO バッファ DLC フィールド CAN フレームで受信されたデータバイト数	R

注. S-TYPE-3, P-TYPE-3

FIFO アクセスポインタレジスタ b (b = 0～1) は、受信メッセージの DLC およびタイムスタンプフィールドを格納します。

RFTS[15:0]ビット（RX FIFO タイムスタンプ値）

RFTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG ビットにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します。

RFDLC[3:0]ビット（RX FIFO バッファ DLC フィールド）

RFDLC[3:0]ビットは、RX FIFO バッファで受信されたデータバイト数を格納します。

受信データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

41.2.61.10 CFDRFFDSTSb : RX FIFO アクセス CANFD ステータスレジスタ b (b = 0～1)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0528 + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFDRFPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RFIFL[1:0]		—	—	—	—	—	RFFDF	RFBRS	RFESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFESI(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RFBRS(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R
2	RFFDF(注1)	CAN FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。	R
9:8	RFIFL[1:0]	RX FIFO バッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。	R
31:16	CFDRFPTR[15:0]	RX FIFO バッファポインタフィールド	R

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

RX FIFO アクセス CANFD ステータスレジスタ b (b = 0～1) は、受信した CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

RFESI ビット（エラー状態表示）

RFESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFBRS ビット（ビットレートスイッチ）

RFBRS ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFFDF ビット（CAN FD フォーマット）

RFFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RFIFL[1:0]ビット（RX FIFO バッファ情報ラベルフィールド）

RFIFL[1:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

CFDRFPTR[15:0]ビット（RX FIFO バッファポインタフィールド）

CFDRFPTR[15:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

41.2.61.11 CFDRFDFb_p : RX FIFO アクセスデータフィールド p レジスタ b (p = 0～15, b = 0～1)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x052C + 0x004 × p + 0x04C × b

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	RFDB_HH[7:0]	RFDB_HL[7:0]	RFDB_LH[7:0]	RFDB_LL[7:0]
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	RFDB_LL[7:0]	RX FIFO バッファデータバイト (p × 4)	R
15:8	RFDB_LH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 1)	R
23:16	RFDB_HL[7:0]	RX FIFO バッファデータバイト ((p × 4) + 2)	R
31:24	RFDB_HH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 3)	R

注. S-TYPE-3, P-TYPE-3

RX FIFO アクセスデータフィールド p レジスタ b (p = 0～15, b = 0～1) は、受信メッセージのデータバイト (p × 4) ～データバイト ((p × 4) + 3) を格納します。

RFDB_LL[7:0]ビット（RX FIFO バッファデータバイト (p × 4)）

RFDB_LL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト (p × 4) を格納します。

未使用データバイトは、CFDRFCCa.RFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。

RFDB_LH[7:0]ビット（RX FIFO バッファデータバイト ((p × 4) + 1)）

RFDB_LH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。

未使用データバイトは 0x00 で埋められます。

RFDB_HL[7:0]ビット（RX FIFO バッファデータバイト ((p × 4) + 2)）

RFDB_HL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。

未使用データバイトは 0x00 で埋められます。

RFDB_HH[7:0]ビット（RX FIFO バッファデータバイト ((p × 4) + 3)）

RFDB_HH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。

未使用データバイトは 0x00 で埋められます。

41.2.61.12 CFDCFMBCP0[0] : 共通 FIFO アクセスメッセージバッファコンポーネント

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 表 41.4 を参照。

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	共通 FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 41.9、表 41.10、および以下の説明を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ここで、図 41.28 に示すように CFDCFMBCP0 の合計数 = 1（c = 共通 FIFO メッセージバッファコンポーネントレジスタインデックス = [0…18]）

Rc[31:0]ビット（共通 FIFO アクセスメッセージバッファコンポーネント c）

共通 FIFO アクセスメッセージバッファコンポーネントは次のレジスタより構成されます：CFDCFID、CFDCFPTR、CFFDSTS0、および CFDCFDFp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 41.10 を参照してください。

表 41.9 共通 FIFO アクセスメッセージバッファコンポーネントの概要

共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1)**
R0	共通 FIFO アクセス ID レジスタ
R1	共通 FIFO アクセスポインタレジスタ
R2	共通 FIFO アクセス CANFD ステータスレジスタ
R3	共通 FIFO アクセスデータフィールド 0 レジスタ
R4	共通 FIFO アクセスデータフィールド 1 レジスタ
R5	共通 FIFO アクセスデータフィールド 2 レジスタ
R6	共通 FIFO アクセスデータフィールド 3 レジスタ
R7	共通 FIFO アクセスデータフィールド 4 レジスタ
R8	共通 FIFO アクセスデータフィールド 5 レジスタ
R9	共通 FIFO アクセスデータフィールド 6 レジスタ
R10	共通 FIFO アクセスデータフィールド 7 レジスタ
R11	共通 FIFO アクセスデータフィールド 8 レジスタ
R12	共通 FIFO アクセスデータフィールド 9 レジスタ
R13	共通 FIFO アクセスデータフィールド 10 レジスタ
R14	共通 FIFO アクセスデータフィールド 11 レジスタ
R15	共通 FIFO アクセスデータフィールド 12 レジスタ
R16	共通 FIFO アクセスデータフィールド 13 レジスタ
R17	共通 FIFO アクセスデータフィールド 14 レジスタ
R18	共通 FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

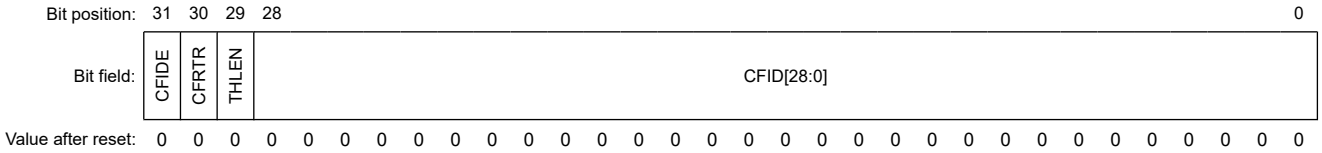
表 41.10　共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDCFID	CFIDE	CFRTR	THLEN	CFID																												
R1	x	CFDCFPTR	CFDLC				—	—	—	—	—	—	—	—	—	—	—	—	CFTS															
R2	x	CFDCFFDCSTS	CFPTR																—	—	—	—	—	—	CFIFL		—	—	—	—	—	CFFDF	CFBRS	CFESI
R3	0	CFDCFDFp	CFDB_HH								CFDB_HL								CFDB_LH								CFDB_LL							
R[4...18]	[1…15]	CFDCFDFp	CFDB_HH								CFDB_HL								CFDB_LH								CFDB_LL							
R[19...31]	x	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

41.2.61.13　CFDCFID : 共通 FIFO アクセス ID レジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x05B8



ビット	シンボル	機能	R/W
28:0	CFID[28:0]	共通 FIFO バッファ ID フィールド STD-ID/EXT-ID フィールド	R/W
29	THLEN	THL エントリ許可 TX FIFO モード : 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する RX FIFO モード : 予約ビット。読むと 0 が読めます。	R/W
30	CFRTR	共通 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム	R/W
31	CFIDE	共通 FIFO バッファ IDE ビット 0: STD-ID を送信予定あるいは受信済み 1: EXT-ID を送信予定あるいは受信済み	R/W

注.　S-TYPE-3, P-TYPE-3

共通 FIFO アクセス ID レジスタは、メッセージの ID フィールド、IDE ビット、および RTR ビットを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFID[28:0]ビット（共通 FIFO バッファ ID フィールド）

これらのビットは、FIFO バッファにあるメッセージの STD-ID/EXT-ID フィールドのビットです。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

THLEN ビット（THL エントリ許可）

このビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFRTR ビット（共通 FIFO バッファ RTR ビット）

このビットは、データフレームまたはリモートフレームを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

注.CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると（RX モード）、レジスタは受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。CANFD 送信時（TX モード、CFDCFID.CFFDF = 1）、本ビットは常にドミナント（データフレーム）として送信されます。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFIDE ビット（共通 FIFO バッファ IDE ビット）

このビットは、EXT-ID または STD-ID のメッセージを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

41.2.61.14 CFDCFPTR : 共通 FIFO アクセスポインタレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x05BC

Bit position:	31	28												15															0
Bit field:	CFDLC[3:0]		—	—	—	—	—	—	—	—	—	—	—	CFTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CFTS[15:0]	共通 FIFO タイムスタンプ値 受信した CAN フレームのタイムスタンプ値（FIFO は RX モード）	R/W
27:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:28	CFDLC[3:0]	共通 FIFO バッファ DLC フィールド CAN フレームで受信された、または CAN フレームで送信されるデータバイト数	R/W

注. S-TYPE-3, P-TYPE-3

共通 FIFO アクセスポインタレジスタは、DLC およびタイムスタンプフィールドを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO バッファからデータを読み出し可能です。

CFTS[15:0]ビット（共通 FIFO タイムスタンプ値）

CFTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG ビットにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します（FIFO が RX モードに設定されている場合）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFDLC[3:0]ビット（共通 FIFO バッファ DLC フィールド）

CFDLC[3:0]ビットは、FIFO バッファで受信された、または送信予定のデータバイト数を格納します。

データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。TX モードに設定時、FIFO 内の他のエントリ用のデータを読み出さないでください。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

41.2.61.15 CFDCFFDCSTS : 共通 FIFO アクセス CANFD コントロール／ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x05C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CFIFL[1:0]		—	—	—	—	—	CFFDF	CFBRS	CFESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFESI(注1)	エラー状態表示ビット 0: エラーアクティブノードにより受信または送信する CANFD フレーム 1: エラーパッシブノードにより受信または送信する CANFD フレーム	R/W
1	CFBRS(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで受信または送信する CANFD フレーム 1: ビットレートスイッチ付きで受信または送信する CANFD フレーム	R/W
2	CFFDF(注1)	CAN FD フォーマットビット 0: 非 CANFD フレーム受信または送信 1: CANFD フレーム受信または送信	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	CFIFL[1:0]	共通 FIFO バッファ情報ラベルフィールド	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	CFPTR[15:0]	共通 FIFO バッファポインタフィールド	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

共通 FIFO アクセス CANFD コントロール／ステータスレジスタは、受信したまたは送信する CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFESI ビット（エラー状態表示ビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードでは、CANFD モジュールがエラーパッシブでない場合、CFESI ビットは書き込み値と等しくなります。CANFD モジュールがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1（エラーパッシブノードであることを示す）として送信されます。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFESI ビットは CANFD フレームの ESI ビット値で更新され、送信ノードのエラー状態を示します。RX モード時、受信した FDF ビットが 0 の場合は本ビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFBRS ビット（ビットレートスイッチビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信しフレーム内でビットレートスイッチは送信されないことを示すか、または 1 を送信しフレーム内でビットレートスイッチを送信することを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFBRS ビットは CANFD フレームの BRS ビット値で更新され、ビットレートスイッチの (1) または (0) のいずれが存在するか示します。

RX モード時、受信した FDF ビットが 0 の場合 CFBRS ビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFFDF ビット（CAN FD フォーマットビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信し CAN 2.0 フレームが送信されることを示すか、または 1 を送信し CANFD フレームが送信されることを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CAN フレームを受信すると、CFFDF ビットは CAN フレームの FDF ビット値で更新され、それが CAN 2.0 フレーム (0) であるか CANFD フレーム (1) であるかを示します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFIFL[1:0]ビット（共通 FIFO バッファ情報ラベルフィールド）

共通 FIFO が TX モードに設定されている場合、メッセージ送信成功後、CFDCFFDCSTS.CFIFL[1:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値がこれらのビットに格納されます（FIFO が RX モードに設定時）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFPTR[15:0]ビット（共通 FIFO バッファポインタフィールド）

共通 FIFO が TX モードに設定されている場合、メッセージ送信成功後、CFDCFFDCSTS.CFPTR[15:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリのポインタ値がこれらのビットに格納されます（FIFO が RX モードに設定時）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

41.2.61.16 CFDCFDFp : 共通 FIFO アクセスデータフィールド p レジスタ (p = 0～15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x05C4 + 0x004 × p

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	CFDB_HH[7:0]	CFDB_HL[7:0]	CFDB_LH[7:0]	CFDB_LL[7:0]
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	CFDB_LL[7:0]	共通 FIFO バッファデータバイト (p * 4)	R/W
15:8	CFDB_LH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 1)	R/W

ビット	シンボル	機能	R/W
23:16	CFDB_HL[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 2)	R/W
31:24	CFDB_HH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 3)	R/W

注. S-TYPE-3, P-TYPE-3

FIFO アクセスデータフィールド p レジスタ（p = 0～15）は、メッセージのデータバイト (p * 4) ～データバイト ((p * 4) + 3) を格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFDB_LL[7:0]ビット（共通 FIFO バッファデータバイト (p * 4)）

CFDB_LL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト (p * 4) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_LH[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 1)）

CFDB_LH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 1) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HL[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 2)）

CFDB_HL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 2) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HH[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 3)）

CFDB_HH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 3) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

注 1. RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。これは、クラシカル CAN 機能にはない CANFD 機能です。

41.2.61.17 CFDTMBCPb[0] : Tx メッセージバッファコンポーネント b（b = 0～3）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 表 41.4 を参照。

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	TX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 41.11、表 41.12 および以下の説明を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ここで、図 41.28 に示すように、CFDTMBCPn の合計数 = 4 です（c = TX メッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（TX メッセージバッファコンポーネント c）

TX メッセージバッファコンポーネント c

TX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDTMIDb、CFDTMPTRb、CFDTMFDCTRb、および CFDTMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 41.12 を参照してください。

表 41.11 TX メッセージバッファコンポーネントの概要

TX メッセージバッファコンポーネント (TMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1b)**
R0	TX メッセージバッファ (b) ID レジスタ
R1	TX メッセージバッファ (b) ポインタレジスタ
R2	TX メッセージバッファ (b) CANFD ステータスレジスタ
R3	TX メッセージバッファ (b) データフィールド 0 レジスタ
R4	TX メッセージバッファ (b) データフィールド 1 レジスタ
R5	TX メッセージバッファ (b) データフィールド 2 レジスタ
R6	TX メッセージバッファ (b) データフィールド 3 レジスタ
R7	TX メッセージバッファ (b) データフィールド 4 レジスタ
R8	TX メッセージバッファ (b) データフィールド 5 レジスタ
R9	TX メッセージバッファ (b) データフィールド 6 レジスタ
R10	TX メッセージバッファ (b) データフィールド 7 レジスタ
R11	TX メッセージバッファ (b) データフィールド 8 レジスタ
R12	TX メッセージバッファ (b) データフィールド 9 レジスタ
R13	TX メッセージバッファ (b) データフィールド 10 レジスタ
R14	TX メッセージバッファ (b) データフィールド 11 レジスタ
R15	TX メッセージバッファ (b) データフィールド 12 レジスタ
R16	TX メッセージバッファ (b) データフィールド 13 レジスタ
R17	TX メッセージバッファ (b) データフィールド 14 レジスタ
R18	TX メッセージバッファ (b) データフィールド 15 レジスタ
R[19...31]	—

表 41.12 TX メッセージバッファコンポーネント (TMBCP) の詳細 (1/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDTMIDb	TMIDE	TMRTR	THLEN	TMID																												
R1	x	CFDTMPTRb	TMDLC				—	—	—	—	—	—	—	—	—	—	—	—	CFTS															

表 41.12 TX メッセージバッファコンポーネント (TMBCP) の詳細 (2/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R2	x	CFDTM FDCTRb	TMPTR																—	—	—	—	—	—	TMIFL		—	—	—	—	—	TMFDF	TMBRS	TMESI
R3	0	CFDTM DFbp	TMDB_HH								TMDB_HL								TMDB_LH								TMDB_LL							
R [4...18]	[1… 15]	CFDTM DFbp	TMDB_HH								TMDB_HL								TMDB_LH								TMDB_LL							

41.2.61.18 CFDTMIDb : TX メッセージバッファ ID レジスタ (b = 0～3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0604 + 0x004C × b

Bit position:	31	30	29	0
Bit field:	TMIDE	TMRTR	THLEN	TMID[28:0]
Value after reset:	0	0	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	TMID[28:0]	TX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R/W
29	THLEN	Tx 履歴リストエントリ 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する	R/W
30	TMRTR	TX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R/W
31	TMIDE	TX メッセージバッファ IDE 0: STD-ID が送信される 1: EXT-ID が送信される	R/W

注. S-TYPE-3, P-TYPE-3

各 TX メッセージバッファ ID レジスタ b (b = 0～3) は、関連するバッファから送信するメッセージの ID、IDE、RTR の各フィールドおよび履歴構成を格納するのに使用されます。

TMID[28:0]ビット（TX メッセージバッファ ID フィールド）

TMID[28:0]ビットは、本 TX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

THLEN ビット（Tx 履歴リストエントリ）

THLEN ビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMRTR ビット（TX メッセージバッファ RTR）

TMRTR ビットは、本 TX メッセージバッファからデータフレームを送信するのかまたはリモートフレームを送信するのかを選択します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD 送信時 (CFDTMFDCTRb.CFFDF = 1)、本ビットは常にドミナント（データフレーム）として送信されます。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMIDE ビット（TX メッセージバッファ IDE）

TMIDE ビットは、本 TX バッファから EXT-ID 付きのメッセージを送信するのかまたは STD-ID 付きのメッセージを送信するのかを選択します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

41.2.61.19 CFDTMPTRb : TX メッセージバッファポインタレジスタ (b = 0〜3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0608 + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TMDLC[3:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
31:28	TMDLC[3:0]	TX メッセージバッファ DLC フィールド CAN フレームで送信するデータバイト数	R/W

注. S-TYPE-3, P-TYPE-3

各 TX メッセージバッファポインタレジスタ b (b = 0〜3) は、対応するバッファから送信するためのメッセージの DLC フィールドを格納するために使用されます。

TMDLC[3:0]ビット（TX メッセージバッファ DLC フィールド）

TMDLC[3:0]ビットは、対応する TMRTR ビットが 0 に設定されているとき、本 TX メッセージバッファから送信するデータバイト数を選択します。

送信するデータバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

41.2.61.20 CFDTMFDCTRb : TX メッセージバッファ CANFD コントロールレジスタ（b = 0〜3）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x060C + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TMPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TMIFL[1:0]		—	—	—	—	—	TMFDF	TMBRS	TMESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMESI(注1)	エラー状態表示ビット 0: エラーアクティブノードにより送信する CANFD フレーム 1: エラーパッシブノードにより送信する CANFD フレーム	R/W

ビット	シンボル	機能	R/W
1	TMBRS(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで送信する CANFD フレーム 1: ビットレートスイッチ付きで送信する CANFD フレーム	R/W
2	TMFDF(注1)	CAN FD フォーマットビット 0: 非 CANFD フレームを送信 1: CANFD フレームを送信	R/W
7:3	—	読み出し値は不定です。書く場合、0 としてください。	R/W
9:8	TMIFL[1:0]	TX メッセージバッファ情報ラベルフィールド	R/W
15:10	—	読み出し値は不定です。書く場合、0 としてください。	R/W
31:16	TMPTR[15:0]	TX メッセージバッファポインタフィールド	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

TX メッセージバッファ CANFD コントロールレジスタ b (b = 0～3) は、送信する CANFD フレームの FDF ビット、BRS ビット、および ESI ビットの状態とポインタフィールドを示します。

TMESI ビット（エラー状態表示ビット）

チャネルがエラーパッシブでない場合、TMESI ビットは書き込み値と等しくなります。チャネルがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1（エラーパッシブノードであることを示す）として送信されます。

関連する CANFD チャネルが CH_SLEEP モードの場合、TMESI ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMBRS ビット（ビットレートスイッチビット）

関連する CANFD チャネルが CH_SLEEP モードの場合、TMBRS ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMFDF ビット（CAN FD フォーマットビット）

関連する CANFD チャネルが CH_SLEEP モードの場合、TMFDF ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMIFL[1:0]ビット（TX メッセージバッファ情報ラベルフィールド）

TMIFL[1:0]ビットは、メッセージの送信成功後、コピー対象の情報ラベル値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMPTR[15:0]ビット（TX メッセージバッファポインタフィールド）

TMPTR[15:0]ビットは、メッセージの送信成功後、コピー対象のポインタ値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

41.2.61.21 CFDTMDFb_p : TX メッセージバッファデータフィールドレジスタ (p = 0～15, b = 0～3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0610 + 0x004 × p + 0x004C × b

Bit position:	31							24	23							16	15							8	7							0
Bit field:	TMDB_HH[7:0]								TMDB_HL[7:0]								TMDB_LH[7:0]								TMDB_LL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TMDB_LL[7:0]	TX メッセージバッファデータバイト (p × 4)	R/W
15:8	TMDB_LH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 1)	R/W
23:16	TMDB_HL[7:0]	TX メッセージバッファデータバイト ((p × 4) + 2)	R/W
31:24	TMDB_HH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 3)	R/W

注. S-TYPE-3, P-TYPE-3

各 TX メッセージバッファデータフィールド p レジスタ b (p = 0～15, b = 0～3) は、関連するバッファから送信するメッセージのデータバイト (p × 4) ～データバイト ((p × 4) + 3) を格納します。

TMDB_LL[7:0]ビット（TX メッセージバッファデータバイト (p × 4)）

TMDB_LL[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト (p × 4) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_LH[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 1)）

TMDB_LH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HL[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 2)）

TMDB_HL[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HH[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 3)）

TMDB_HH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

41.3 動作の概要

41.3.1 概要

CANFD モジュールのモードは、次の 2 つのグループに分けられます。

- グローバルモード
- チャネルモード

41.3.2 グローバルモード

これらのモードは、CANFD モジュール全体に適用されることから、グローバルモードと呼ばれます。CANFD モジュールのグローバルモードには、以下のものがあります。

- グローバルスリープ
- グローバルリセット
- グローバル Halt
- グローバルオペレーション

図 41.2 に、グローバルモード間で行うことができる遷移を示します。

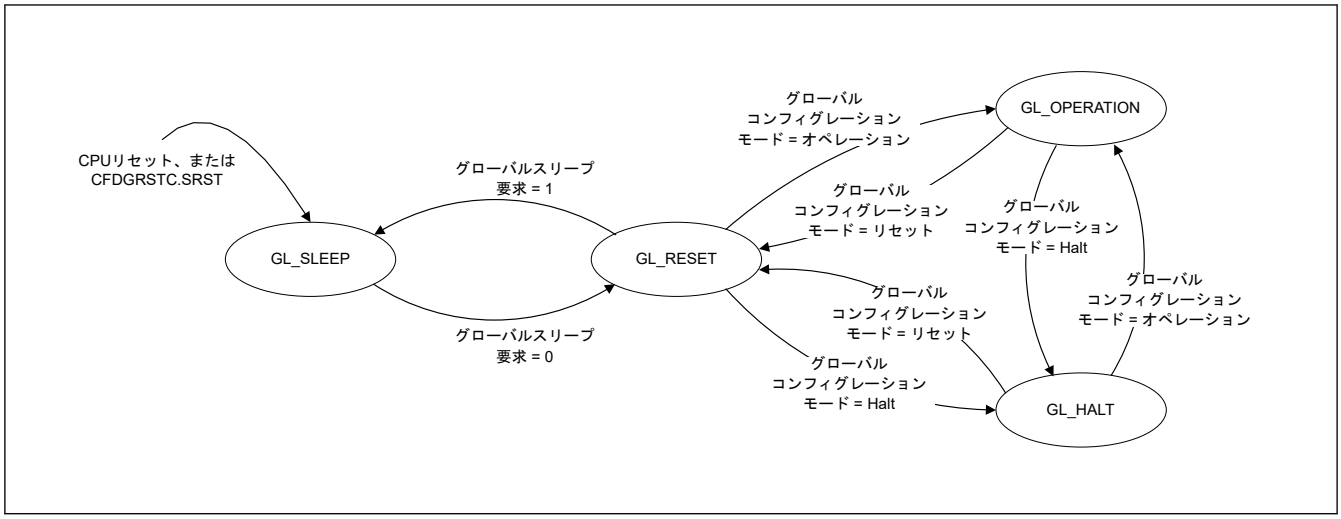


図 41.2　CANFD グローバルモード間の遷移

グローバルモードを変更すると、チャネルモードに影響を与えることがあります。表 41.13 に、グローバルモードの遷移がチャネルモードに与える影響を示します。

表 41.13　可能な CANFD チャネルモードとグローバルモード

現在のグローバルモード	ターゲットグローバルモード			
	スリープ (GL_SLEEP)	リセット (GL_RESET)	Halt (GL_HALT)	オペレーション (GL_OPERATION)
スリープ (GL_SLEEP)		チャネルスリープ：Keep チャネルリセット：なし チャネル Halt：なし チャネルオペレーション：なし		
リセット (GL_RESET)	チャネルスリープ：Keep チャネルリセット：→ チャネルスリープ チャネル Halt：なし チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし
Halt (GL_HALT)		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：なし
オペレーション (GL_OPERATION)		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：→ チャネルリセット	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：→ チャネル Halt	

41.3.2.1　グローバルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールは、グローバルリセットモード中にグローバルスリープ要求ビットがセットされたときも、グローバルスリープモードに遷移します。グローバル Halt モードやグローバルオペレーションモードでは、この制御ビットはセットできません。

グローバルスリープ要求ビットをセットすると、すべてのチャネルスリープ要求ビットがセットされ、チャネルは強制的にチャネルスリープモードになります。

スリープモードは、消費電力を削減するために使用されます。CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットへの CPU 書き込み用のクロックのみがアクティブになります。その他すべてのクロックは停止され、CANFD モジュールのその他すべての機能はサスペンド状態になります。

すべてのレジスタの読み出しは可能で、すべてのレジスタ値は保持されます。

グローバルスリープ要求ビットをセットした後、このビットを再度クリアする前に、グローバルスリープステータスが更新されていること、つまり、グローバルスリープモードへの遷移が正常に行われたことを確認する必要があります。

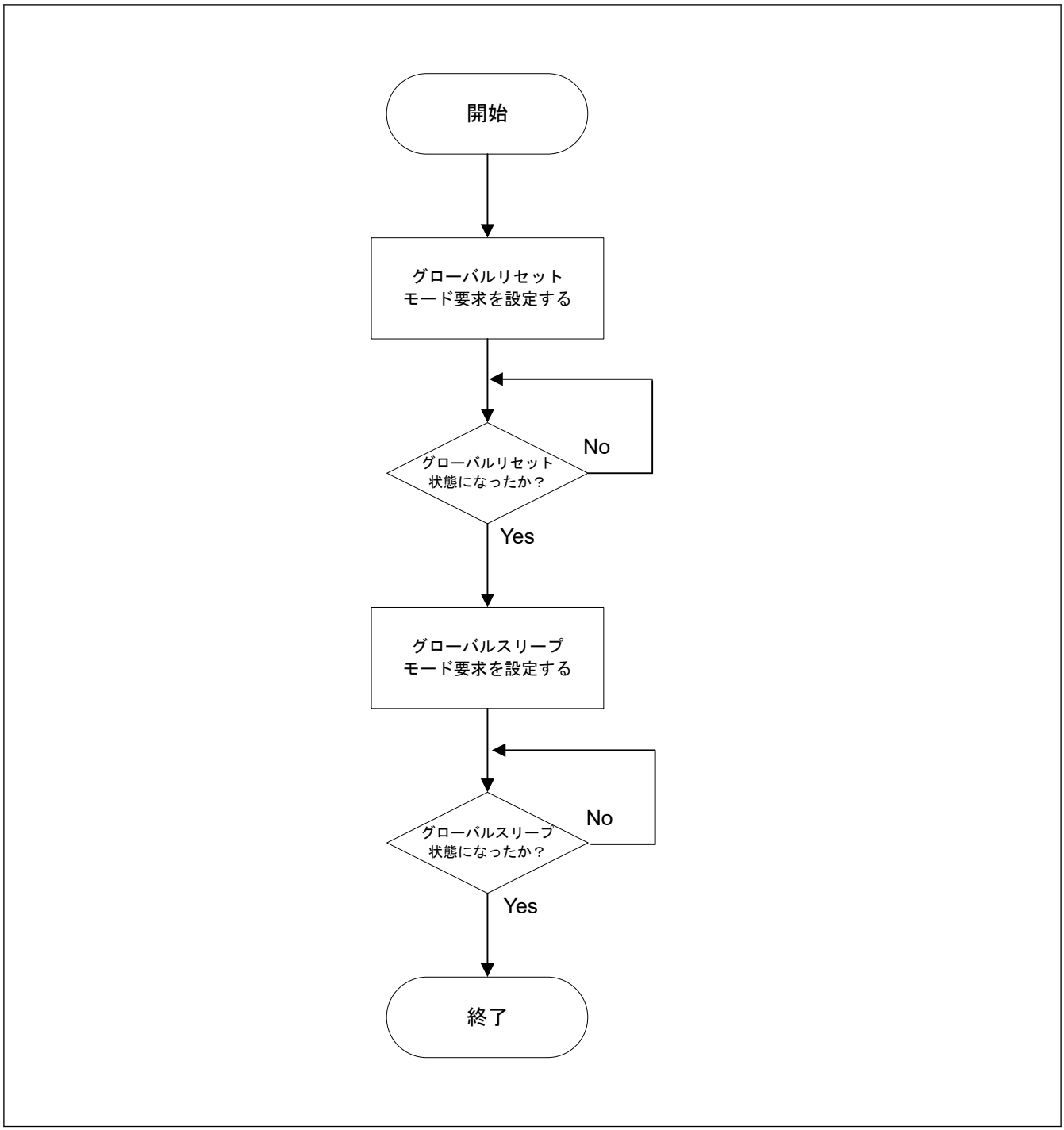


図 41.3　グローバルスリープモードへの遷移手順

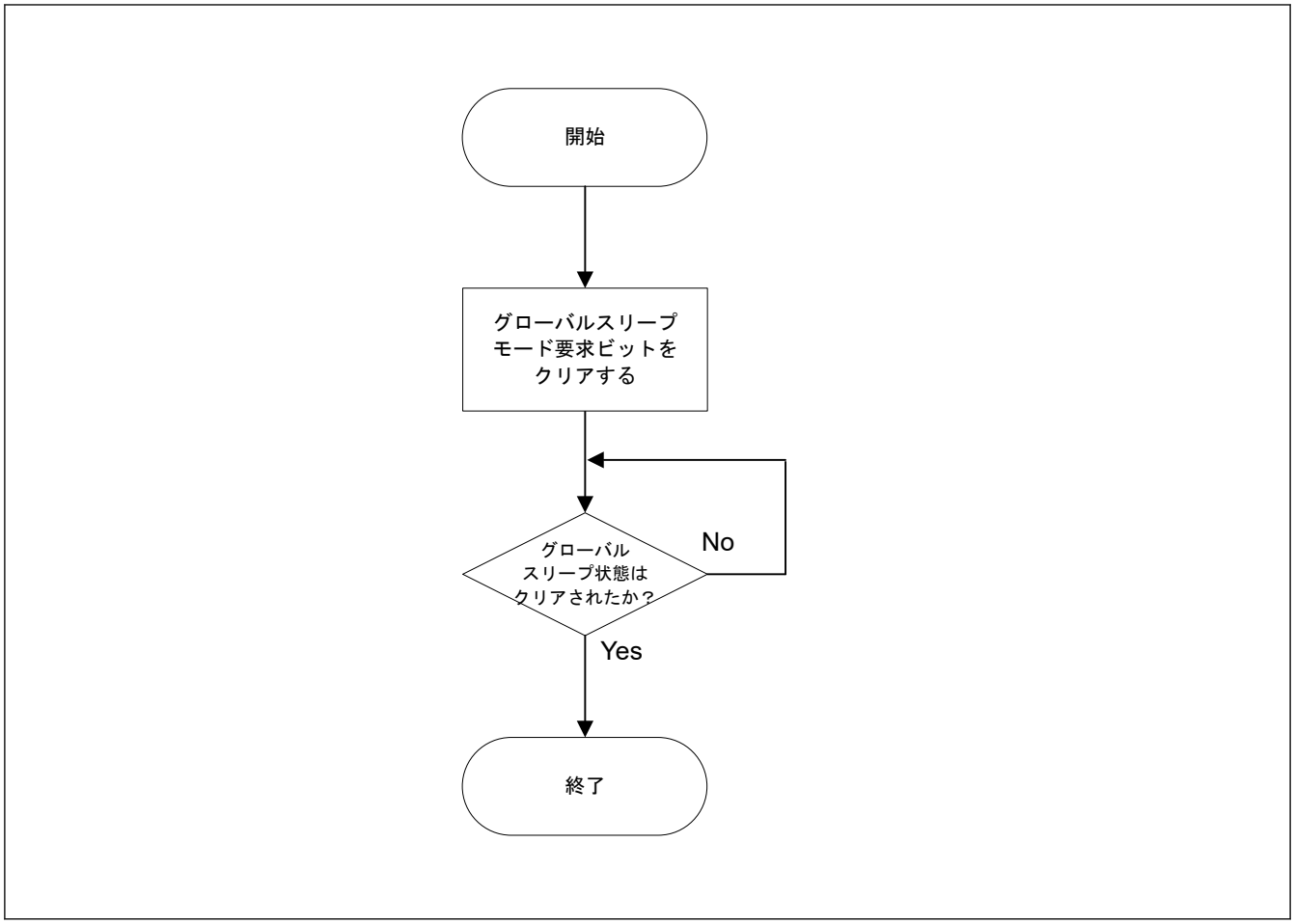


図 41.4　グローバルスリープモードの解除手順

41.3.2.2　グローバルリセットモード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバル Halt モードまたはグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバルリセットモードに設定される。
- CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットがクリアされる。

グローバルリセットモードでは、CANFD モジュールのすべての機能がサスペンド状態になり、すべてのステータスレジスタおよびフラグレジスタが初期化されます。

さらに、すべての FIFO および TX キューが無効になり、送信制御ビットがクリアされます。

このモードでは、コンフィグレーションレジスタ（テストモードレジスタを除く）は MCU リセット値に初期化されないため、CANFD モジュールの構成は可能です。

グローバルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「41.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC を 01b にセットすることにより、グローバルモードをリセットに設定すると、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC が 01b にセットされ、チャネルが強制的にチャネルリセットモードになります。

すでにチャネルリセットモードまたはチャネルスリープモードになっているチャネルについては、この自動遷移は行われません（関連するチャネルの CFDC0CTR.CHMDC がすでに 01b にセットされている場合）。

グローバルモード制御ビット CFDGCTR.GMDC をリセットモードに設定した後、CFDGCTR.GMDC を再度変更する前に、グローバルステータスレジスタのリセットモードステータスビット CFDGSTS.GRSTSTS が更新されていること、つまり、グローバルリセットモードへの遷移が正常に行われたことを確認する必要があります。

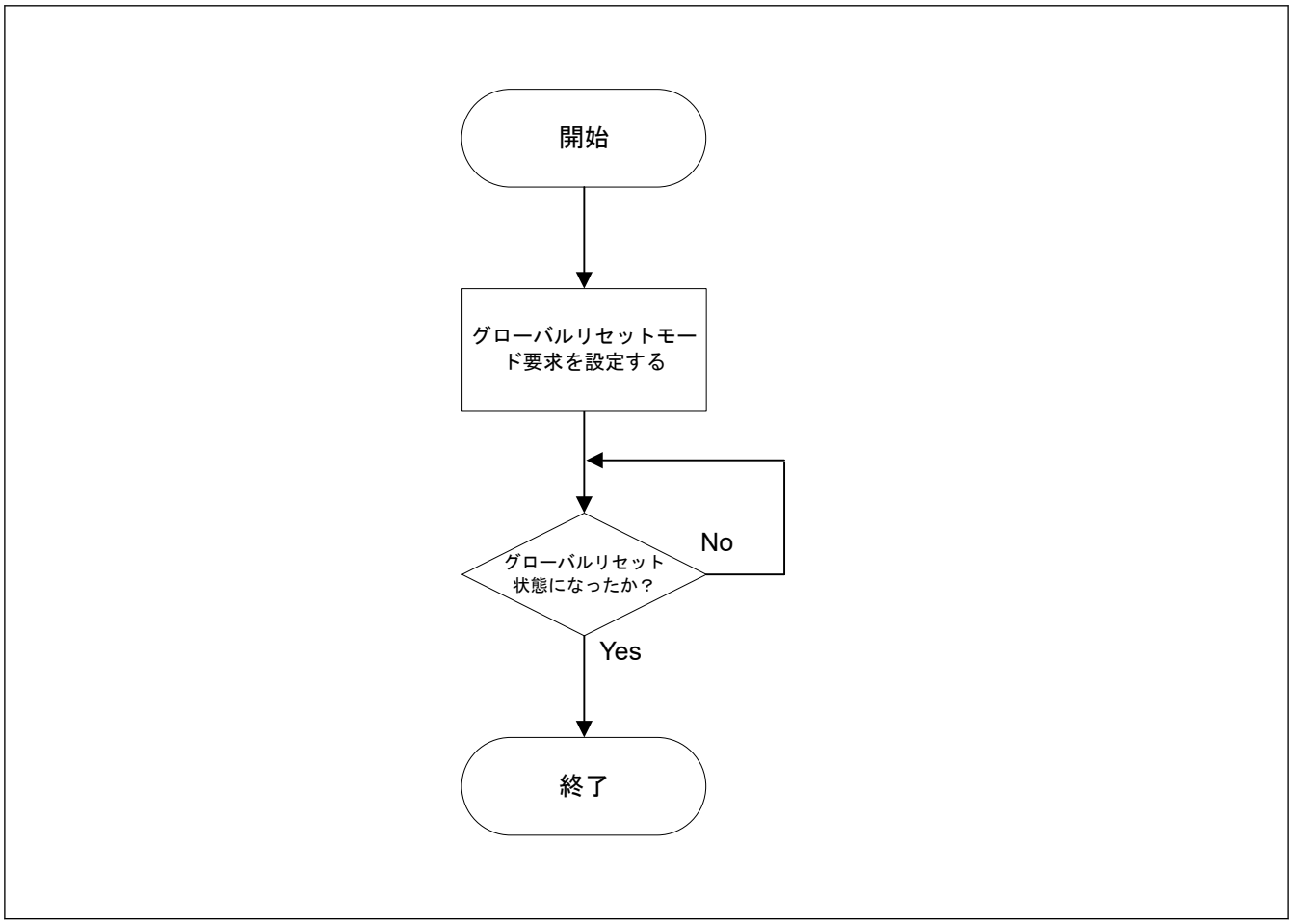


図 41.5　グローバルリセットモードへの遷移手順

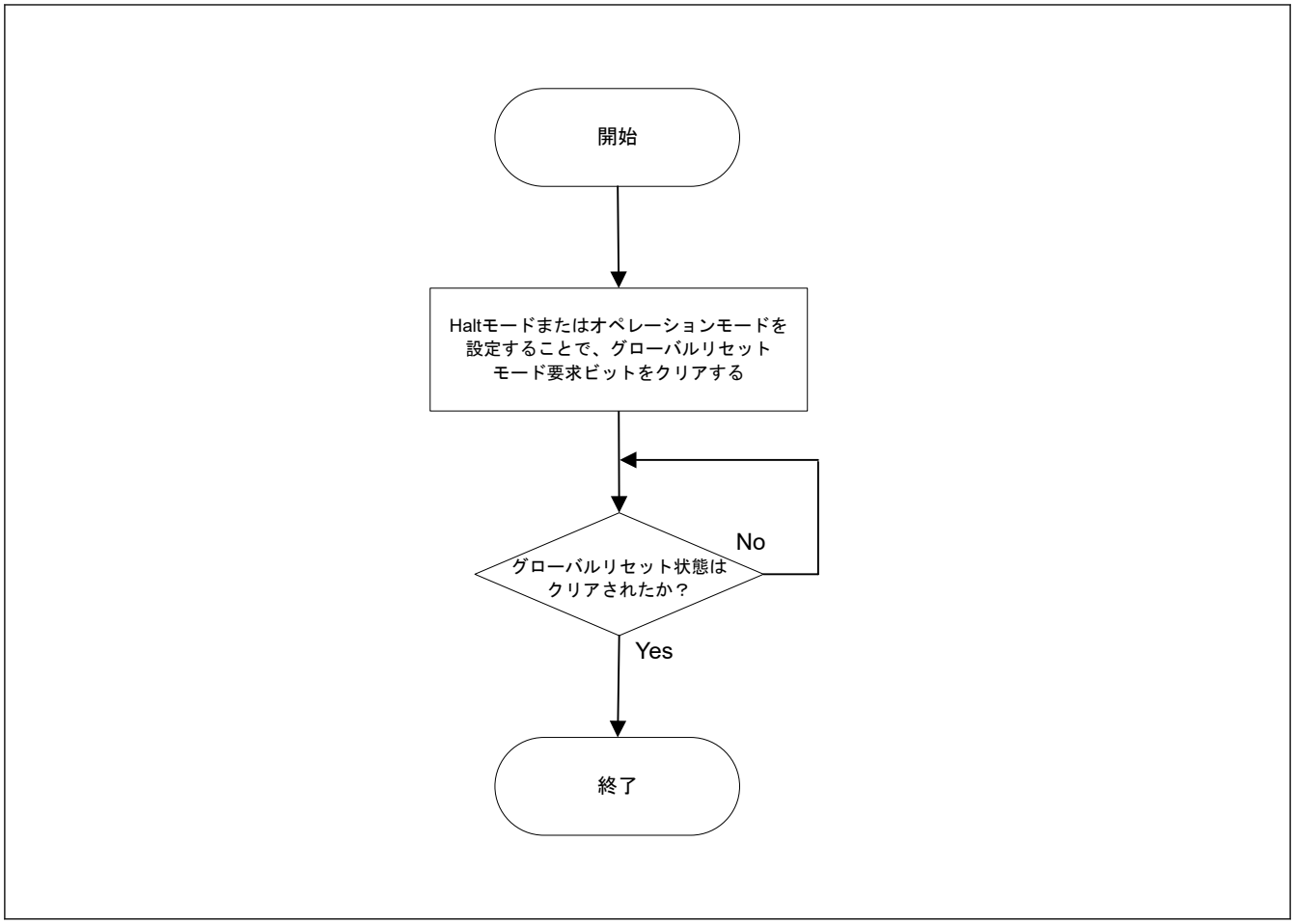


図 41.6　グローバルリセットモードの解除手順

41.3.2.3　グローバル Halt モード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバルリセットモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定される。
  - チャネルリセットモードかチャネルスリープモードのいずれかのチャネルは、そのモードのまま保たれる。
- CANFD モジュールがグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定される。
  - チャネルリセットモード、チャネル停止モード、チャネルスリープモードのチャネルは、そのモードのまま保たれる。
  - チャネルオペレーションモードのチャネルは、チャネル停止モードに遷移する。
  - チャネルがチャネルオペレーションモードから遷移すると、グローバル停止モードステータスビットがセットされる。

チャネルが送信または受信を実行中の場合、通信が完了するまでチャネル Halt モードへの遷移は遅延されます。

同様に、チャネルがバスオフ状態の場合、チャネルの構成に応じて、完全なバスオフ復帰シーケンスが遅延されることがあります。

グローバル Halt モードでは、すべての通信がサスペンド状態になり、CANFD ロジックによりステータスレジスタおよびフラグレジスタが変更されることはありません（チャネルがバスオフ状態であるときのみ、REC 値と TEC 値がクリアされます）。また、このモードでは、テストモードの構成やコントロールレジスタは初期化されません。

グローバル Halt モードは、グローバルモジュールテストモードを構成するために使用します。

グローバル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「41.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC を 10b にセットすることにより、グローバルモードを停止に設定すると、チャネルオペレーションモードになっているチャネルのチャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC が 10b にセットされ、強制的にチャネル停止モードになります。

すでにチャネルリセットモード、チャネル停止モード、またはチャネルスリープモードになっているチャネルについては、この自動遷移は行われません。

したがって、グローバル Halt モード要求は、メッセージをロストしたり関連する CAN バスを混乱させることなく（チャネル上の受信／送信プロセスを中断せずに）、すべての CANFD チャネル通信を遮断するために使用できます。

グローバルモード制御ビット CFDGCTR.GMDC を Halt モードに設定した後、グローバルステータスレジスタの Halt モードステータスビット CFDGSTS.GHLTSTS が更新されていること、つまり、グローバル Halt モードへの遷移が正常に行われたことを確認する必要があります。CFDGSTS.GHLTSTS がセットされていることを確認するまでは、他の SFR 設定を指定しないでください。

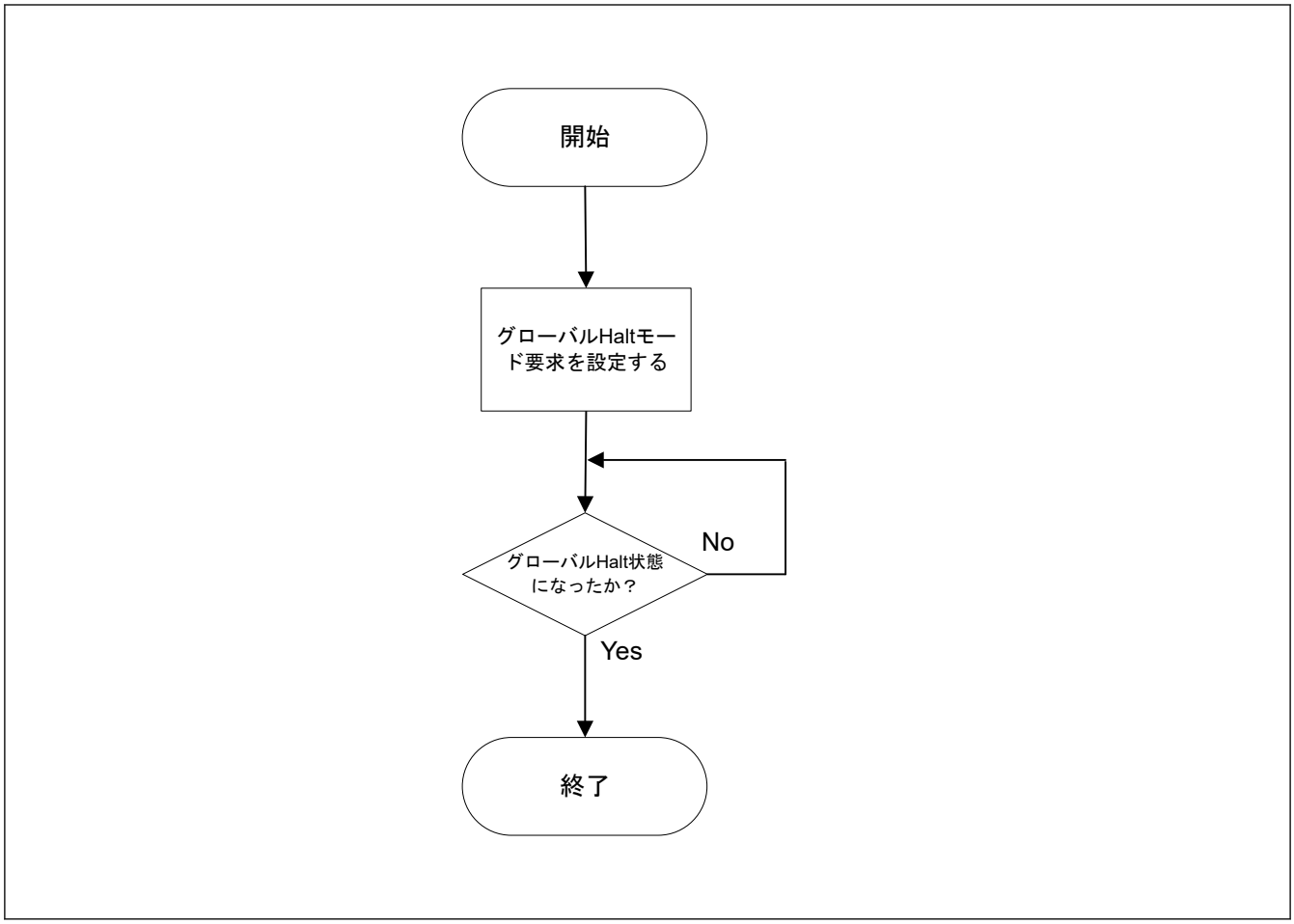


図 41.7　グローバル Halt モードへの遷移手順

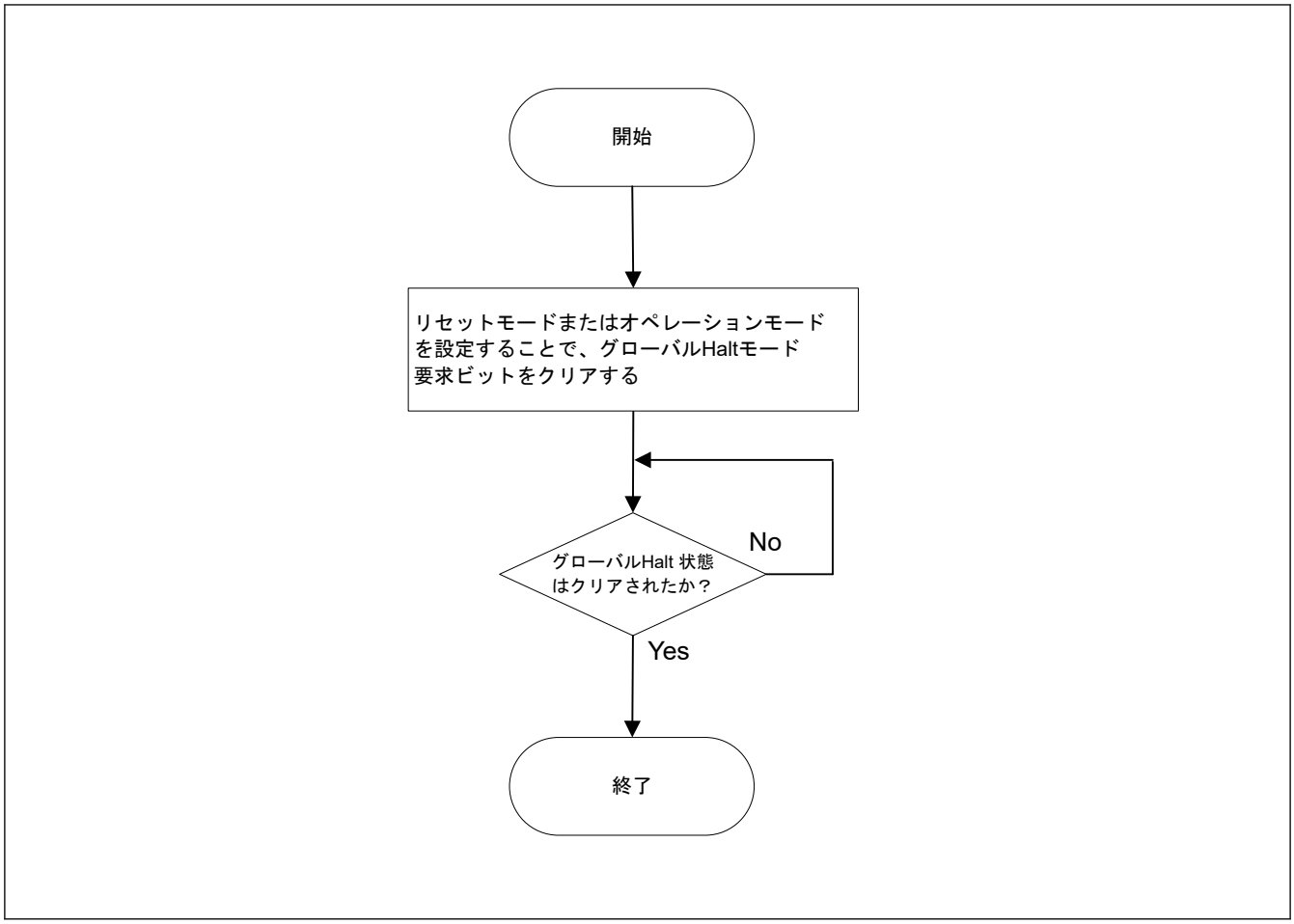


図 41.8　グローバル Halt モードの解除手順

41.3.2.4　グローバルオペレーションモード

CANFD モジュールは、グローバルモードコンフィグレーションビットがグローバルオペレーションモードに設定されたとき、このモードに遷移します。

CANFD がグローバルオペレーションモードのときのみ、CANFD チャネルをチャネルオペレーションモードに設定して、CAN 通信を開始することができます。

グローバルモード制御ビット CFDGCTR.GMDC をグローバルオペレーションモードに設定した後、CFDGCTR.GMDC を再度変更する前に、グローバルステータスレジスタのグローバルリセットモードステータスビット CFDGSTS.GRSTSTS およびグローバル Halt モードステータスビット CFDGSTS.GHLTSTS が更新されていること、つまり、グローバルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

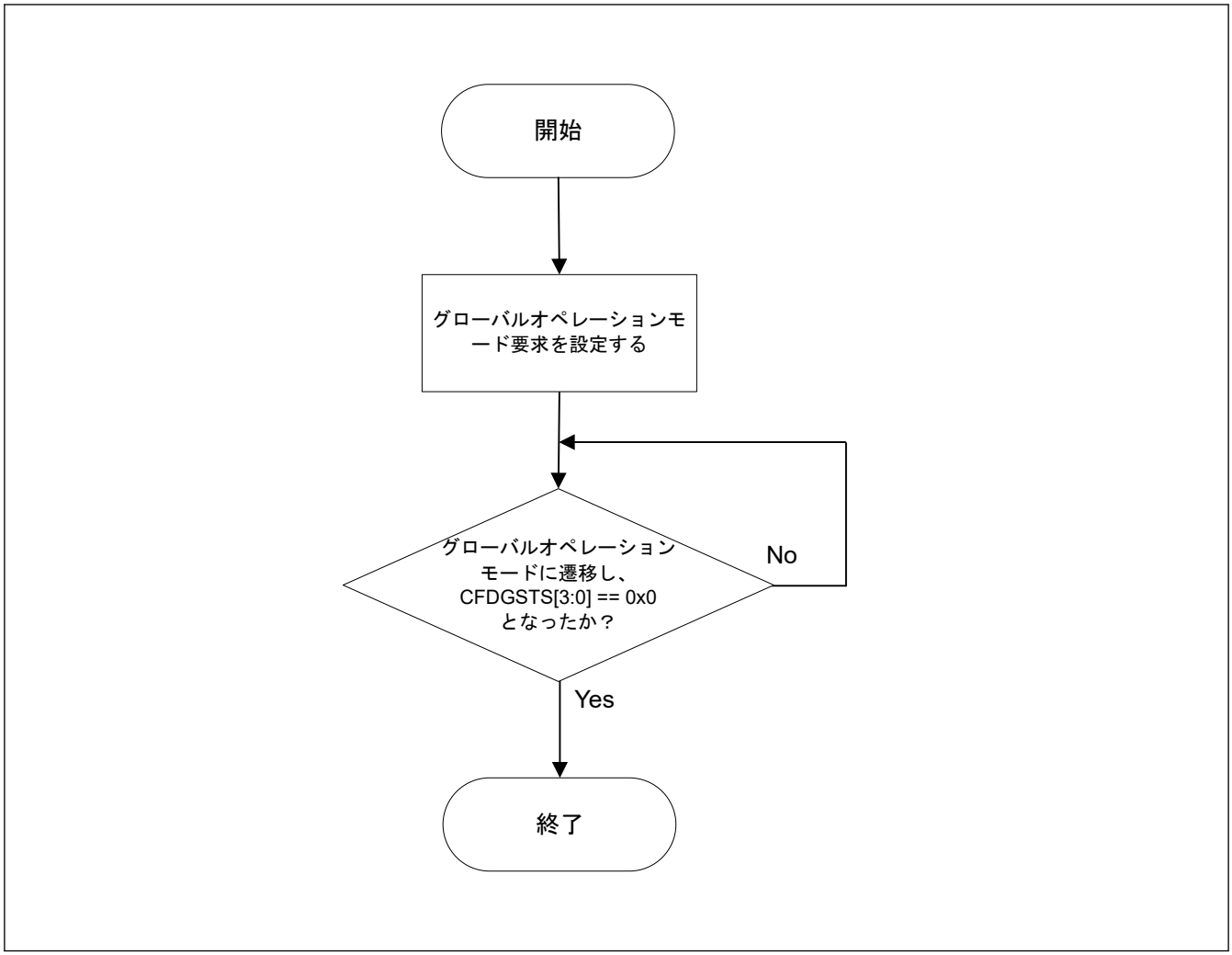


図 41.9　グローバルオペレーションモードへの遷移手順

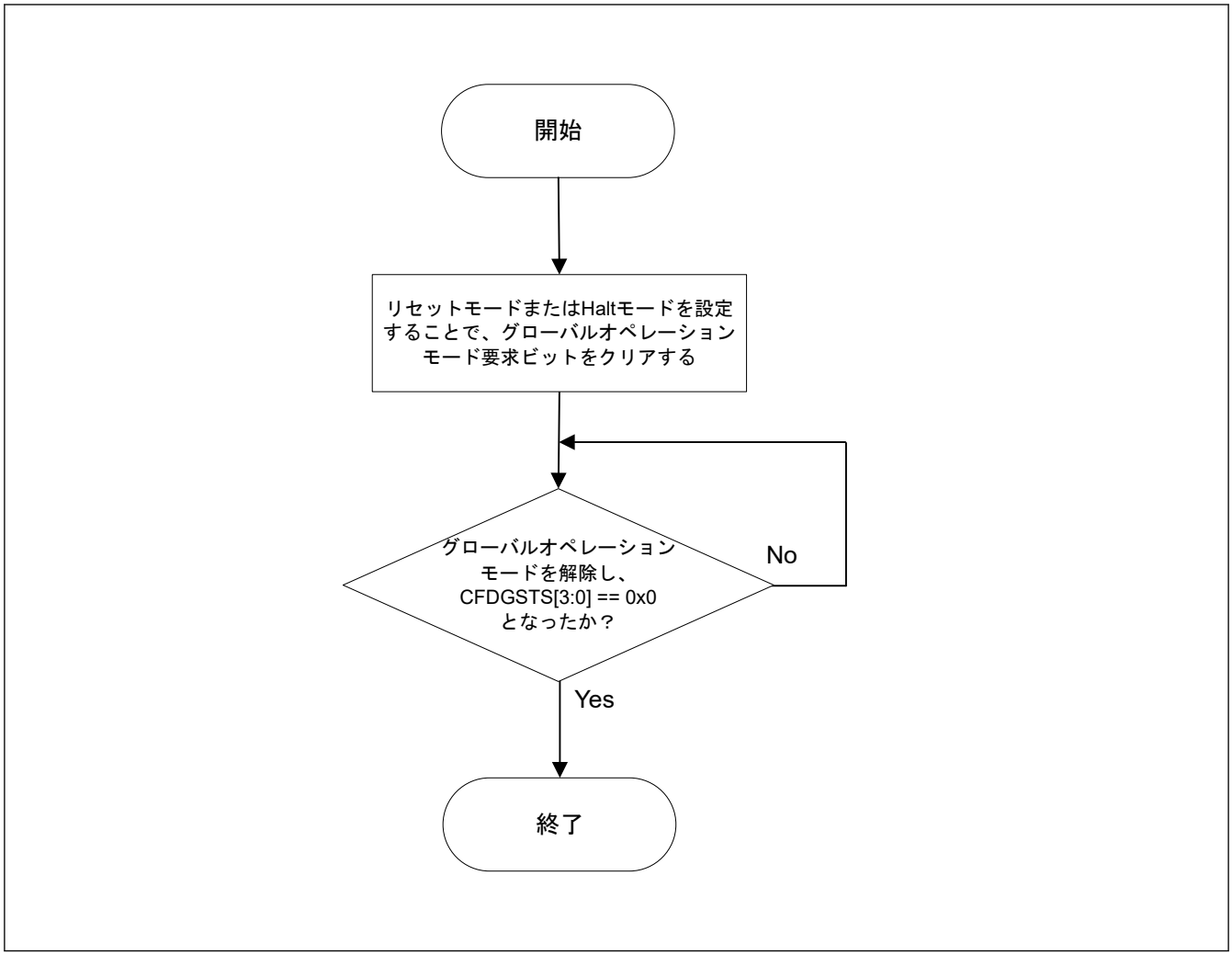


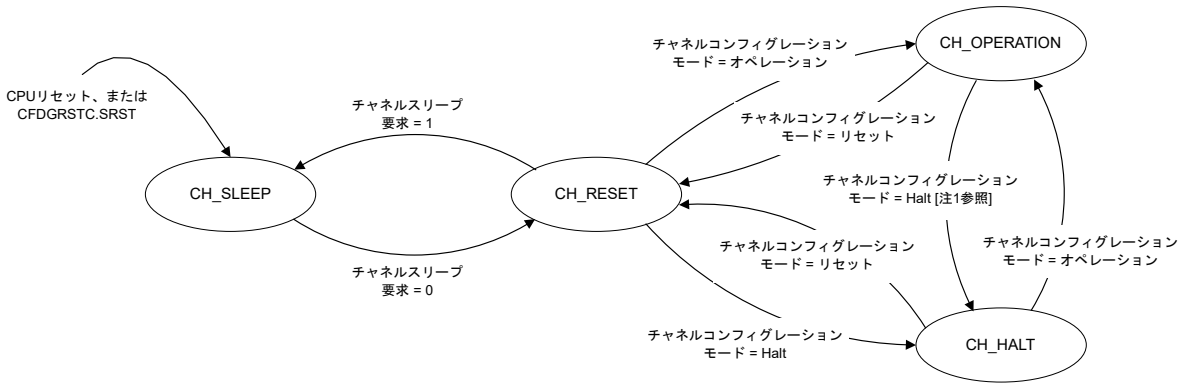
図 41.10　グローバルオペレーションモードの解除手順

41.3.3　チャネルモード

CAN チャネルのチャネルモードには以下の 4 つがあります。

- リセット
- Halt
- オペレーション
- スリープ

図 41.11 に、チャネルモード間で行うことができる遷移を示します。



注. 遷移のタイミングは、チャネルコンフィグレーションレジスタの BOM の設定によって決まります。
- BOM = 01b のとき、状態遷移のタイミングは、バスオフ状態に遷移した直後です。
- BOM = 10b のとき、状態遷移のタイミングは、バスオフ状態の終了時です。
- BOM = 11b のとき、状態遷移のタイミングは、CHMDC の停止モードへの設定に一致します。

図 41.11 CAN チャネルモード間の遷移

41.3.3.1 CAN チャネルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセットおよびクリアされた後、CANFD モジュールの CAN チャネルは自動的にチャネルスリープモードに遷移します。

CAN チャネルは、チャネルリセットモード中にチャネルスリープモード要求ビットがセットされたときも、チャネルスリープモードに遷移します。チャネル停止モードまたはチャネルオペレーションモードでは、この制御ビットをセットしないでください。

CAN チャネルスリープモードに遷移すると、即座に CAN チャネルユニットへのクロック供給が停止され、消費電力が低減されます。

チャネルスリープモード要求ビットをセットした後、このビットを再度クリアする前に、チャネルスリープモードステータスが更新されていること、つまり、チャネルスリープモードへの遷移が正常に行われたことを確認する必要があります。

チャネルスリープモード中は、チャネル関連のレジスタに書き込みを行わないでください。読み出し動作は可能です。

41.3.3.2 CAN チャネルリセットモード

CANFD CAN チャネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャネルがチャネル停止モードまたはチャネルオペレーションモードのとき、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC がチャネルリセットモードに設定される。
- 関連する CAN チャネルがチャネルスリープモードのとき、チャネルスリープモード要求ビットがクリアされる。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバルリセットモードに設定され、かつ、CAN チャネルがチャネルスリープモードまたはチャネルリセットモードではない。

チャネルリセットモードでは、CAN チャネルのすべてのステータスレジスタとフラグレジスタが初期化されます。

さらに、すべてのチャネル関連の送信制御ビットがクリアされ、チャネル関連の TX キューが無効になります。

このモードでは、コンフィグレーションレジスタ（チャネルテストモードレジスタを除く）は初期化されないため、CAN チャネルの通信を構成することは可能です。

チャネルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「41.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネルリセットモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、関連するチャネルステータスレジスタのリセットモードステータスビット CFDC0STS.CRSTSTS が更新されていること、つまり、チャネルリセットモードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャネルリセットモードに遷移する動作については、表 41.14 を参照してください。

41.3.3.3 CAN チャネル Halt モード

CANFD CAN チャネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャネルがチャネルリセットモードまたはチャネルオペレーションモードのとき、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC がチャネル停止モードに設定される。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定され、かつ、CAN チャネルがチャネルオペレーションモードである。

チャネル Halt モードでは、すべてのチャネル CAN 通信がサスペンド状態になりますが、すべてのステータスレジスタとフラグレジスタはチャネル Halt モードに遷移する間変化しません (バスオフの場合を除きます。バスオフの場合、そのチャネルの REC 値と TEC 値がクリアされます)。

また、このモードでは、チャネルテストモードの構成やコントロールレジスタは初期化されません。

チャネル Halt モードは、チャネルテストモードを構成するために使用します。

チャネル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「41.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネル停止モードに設定した後、関連する CFDC0CTR.CHMDC を再度変更する前に、関連するチャネルステータスレジスタの停止モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャネル停止モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャネル Halt モードに遷移する動作については、表 41.14 を参照してください。

表 41.14 CAN リセットモードおよび Halt モードの遷移動作

モード	状態		
	受信	送信	バスオフ
CAN チャネルリセットモード (CFDC0CTR.CHMDC = 01b)	CAN チャネルは実行中の受信の完了を待たずに、チャネルリセットモードに遷移します。(注1)	CAN チャネルは実行中の送信の完了を待たずに、チャネルリセットモードに遷移します。(注1)	CAN チャネルは、バスオフ復帰の完了を待たずにチャネルリセットモードに遷移します。
CAN チャネル Halt モード (CFDC0CTR.CHMDC = 10b)	CAN チャネルは、実行中の受信またはエラーの終了時にチャネル Halt モードに遷移します。(注2)	CAN チャネルは、実行中の送信の完了後にチャネル Halt モードに遷移します。	CFDC0CTR.BOM が 00b のとき、チャネル停止モード要求は、完全なバスオフ復帰シーケンスが完了した後でのみ受け付けられます。 CFDC0CTR.BOM が 10b のとき、CAN チャネルはバスオフ復帰の完了を待ってから、チャネル停止モードに自動的に遷移します。 CFDC0CTR.BOM が 01b のとき、CAN チャネルはバスオフ復帰の完了を待たずに、チャネル停止モードに自動的に遷移します。 CFDC0CTR.BOM が 11b のとき、CAN チャネルはチャネル停止モードが要求されるとすぐに (バスオフ復帰の完了を待たずに) チャネル停止モードに遷移します。

注 1. 現在実行中の通信の終了時にチャネルリセットモードに遷移すればよい場合、先にチャネル Halt モードを要求することで、チャネルリセットモードに直接遷移して CAN 通信が中断するのを防ぐことができます。CAN チャネルがチャネル Halt モードに遷移した後、チャネルリセットモードを要求することができます。

注 2. エラーフラグ後に CAN 通信がドミナントレベルでロックされている場合、ソフトウェアでチャネル関連のバスロックフラグを監視することでこの状況を検出し、CAN チャネルをチャネルリセットモードに設定してロック状態を解除できます。

41.3.3.4 CAN チャネルオペレーションモード

チャネルオペレーションモードは、CFDC0CTR.CHMDC ビットを 00b にセットすることでアクティブになります。CAN オペレーションモードに遷移した後、11 の連続するレセシブビットを検出すると、CFDC0STS.COMSTS ビットがセットされ、CAN チャネルは以下を行います。

- チャネルを CAN ネットワーク上のアクティブノードにすることで、チャネル通信の機能を有効にする。
- 受信および送信エラーカウンタを含む、内部の障害隔離ロジックを解除する。

この時点で、CAN チャネルは CAN メッセージの送受信を開始できます。

チャネルは、実行している機能のタイプによって、CAN チャネルオペレーションモード内でさらに 4 種類のサブモードに分けられます（図 41.12 を参照）。

- チャネルアイドル: CAN チャネルは受信も送信も行っていない
- チャネル受信：チャネルは別の CAN ノードから送信された CAN メッセージを受信している
- チャネル送信：チャネルは CAN メッセージを送信している

  注. セルフテストモードが有効な場合、チャネルは同時に自メッセージを受信する可能性があります。
- チャネルがバスオフ状態：CAN チャネルが CAN バス通信から切り離されている

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネルオペレーションモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、チャネルステータスレジスタのチャネルリセットモードステータスビット CFDC0STS.CRSTSTS およびチャネル停止モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャネルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

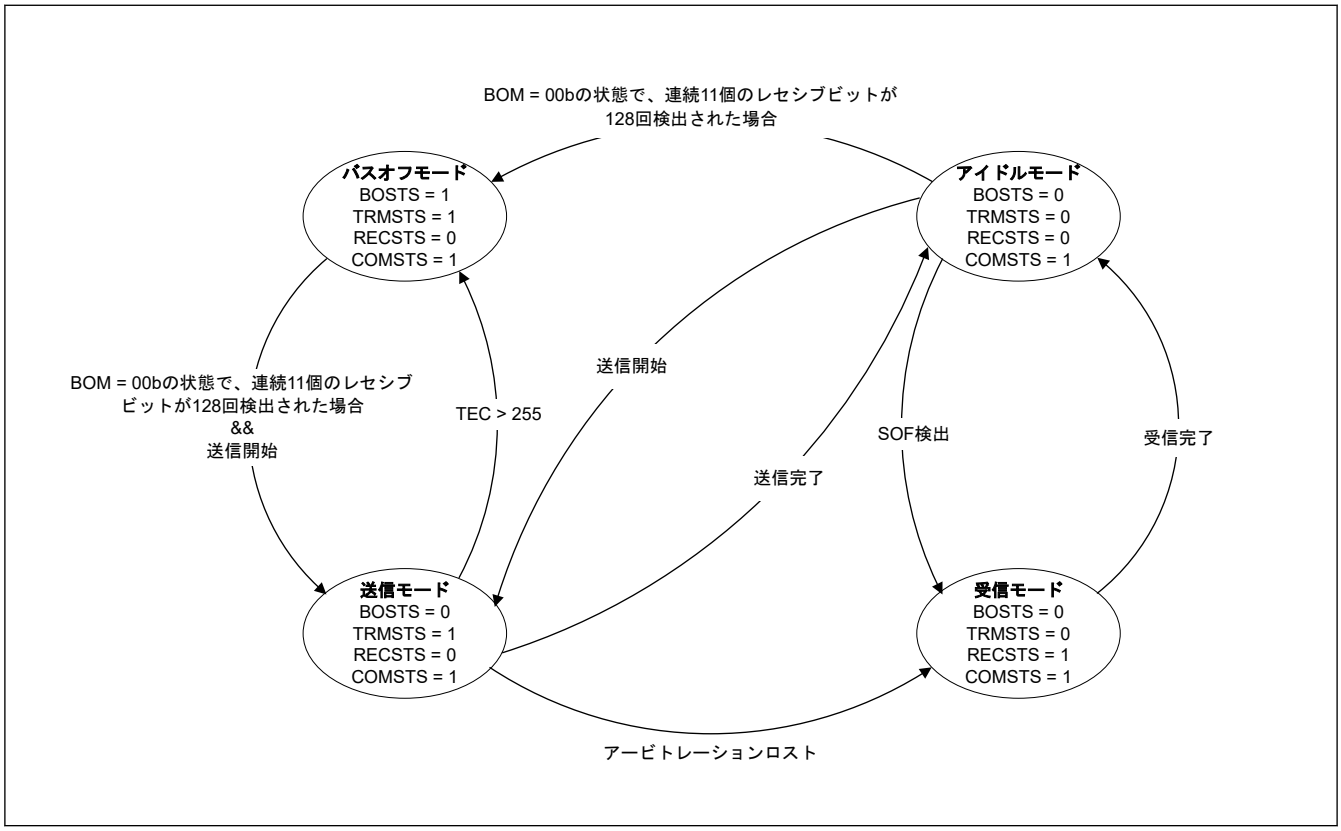


図 41.12 CAN チャネルオペレーションモードのサブモード（BOM = 00b のときのみ）

41.3.3.5 CAN チャネルバスオフ状態

CAN チャネルバスオフ状態へは、CAN 仕様のフォルト隔離規則に従って遷移します。バスオフ状態から CAN チャネルオペレーションモードへの復帰について、以下のモードを構成できます。

- CFDC0CTR.BOM = 00b:
  バスオフからの復帰は ISO 11898-1 に準拠します。すなわち、CAN チャネルは、11 個の連続するレセシブビットを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- CFDC0CTR.BOM = 01b:
  CAN チャネルは、バスオフ状態に遷移すると、CAN チャネルコントロールレジスタ内の CFDC0CTR.CHMDC ビットの値を 10b に変更した後、自動的にチャネル停止モードに即座に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
- CFDC0CTR.BOM = 10b:
  CAN チャネルは、バスオフ状態に遷移すると、即座に CAN チャネルコントロールレジスタの CFDC0CTR.CHMDC ビットの値を 10b に変更し、CAN チャネルがバスオフ復帰シーケンス（11 個の連続するレセシブビットを 128 回検出）を完了した後、チャネル停止モードに自動的に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- CFDC0CTR.BOM = 11b:
  バスオフ復帰が開始されますが、チャネル停止モードへの遷移が要求された場合、CAN チャネルはバスオフ状態であっても即座にチャネル停止モードに遷移することができます。
  TEC カウンタと REC カウンタは 0 に初期化されます。バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
  CFDC0CTR.CHMDC [1:0] = 10b に設定せずに、11 個のレセシブビットが 128 回連続で検出された場合、遷移条件は CFDC0CTR.BOM = 00b と同じになります。

注. このモードで、バスオフ復帰が正常に（11 個の連続するレセシブビット 128 回のシーケンスを待機した後で）行われた場合、かつ、その間に停止要求が発生しなかった場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。

CAN チャネルが停止モードに遷移するのと同時（CFDC0CTR.BOM = 01b の場合、バスオフ開始時、CFDC0CTR.BOM = 10b の場合、バスオフ終了時）に、ソフトウェアが CFDC0CTR.CHMDC ビットに書き込みを行うと、ソフトウェア要求が最も優先されます。

注. 上記の場合、CFDC0CTR.CHMDC ビットをチャネル停止モードに設定する要求の自動設定は、CFDC0CTR.CHMDC ビットの値があらかじめ 00b（チャネルオペレーションモード）に設定されていたときに実行されます。

さらに、CFDC0CTR.RTBO を 1 にセットすると、CAN チャネルをバスオフ状態から強制的に復帰させることができます。最大で 1 CAN ビット時間の遅延時間でエラー状態がバスオフ状態から統合状態に変わり、11 個の連続するレセシブビットが検出された後に、CAN 通信が再度可能になります。この場合、バスオフ復帰フラグはセットされません。TEC カウンタと REC カウンタは 0 に初期化されます。

CFDC0CTR.RTBO を 1 にセットする前に、TX メッセージバッファ、TX キュー、または TX モードの共通 FIFO からのすべての保留中の送信を無効にしなければなりません。

保留中の送信メッセージバッファ、TX キュー、または FIFO が無効化されたことを、対応するアクノリッジフラグで確認する必要があります。

TX メッセージバッファの場合、アクノリッジフラグは送信結果フラグ (CFDTMSTSj.TMTRF) です。TX キューの場合、TX キューエンプティフラグ (CFDTXQSTS.TXQEMP) です。FIFO の場合、FIFO エンプティフラグ (CFDCFSTS.CFEMP) です。

CFDC0CTR.RTBO ビットは、CFDC0CTR.BOM が 00b にセットされているときに限り、バスオフ復帰のために使用します。

このビットをバスオフ以外の状態でセットしても無効で、即座にクリアされます。

表 41.15 に、CFDC0CTR.BOM のさまざまな設定に対する、バスオフ開始フラグ CFDC0ERFL.BOEF とバスオフ復帰フラグ CFDC0ERFL.BORF の設定を示します。

表 41.15 バスオフ開始フラグとバスオフ復帰フラグの動作 (1/2)

BOM	BOEF ビットの設定	BORF ビットの設定
00b	常に設定（バスオフ開始時）	常に設定（バスオフ終了時）

表 41.15 バスオフ開始フラグとバスオフ復帰フラグの動作 (2/2)

BOM	BOEF ビットの設定	BORF ビットの設定
00b CFDC0CTR.RTBO を 1 に設定	常に設定（バスオフ開始時）	ソフトウェアによって CFDC0CTR.RTBO が 1 にセットされる前に通常のバスオフ復帰が発生した場合のみ
01b	常に設定（バスオフ開始時）	設定しない
10b	常に設定（バスオフ開始時）	常に設定（バスオフ終了時）
11b	常に設定（バスオフ開始時）	ソフトウェアが Halt 要求を発行する前に通常のバスオフ復帰が発生した場合のみ

効率的なソフトウェア手順のために、バスオフ復帰シーケンスの終了を待つ必要はありません。

バスオフ復帰中、送信の再初期化を行うことができます。これを行うには、図 41.13 に示す推奨ソフトウェアフローに従います。

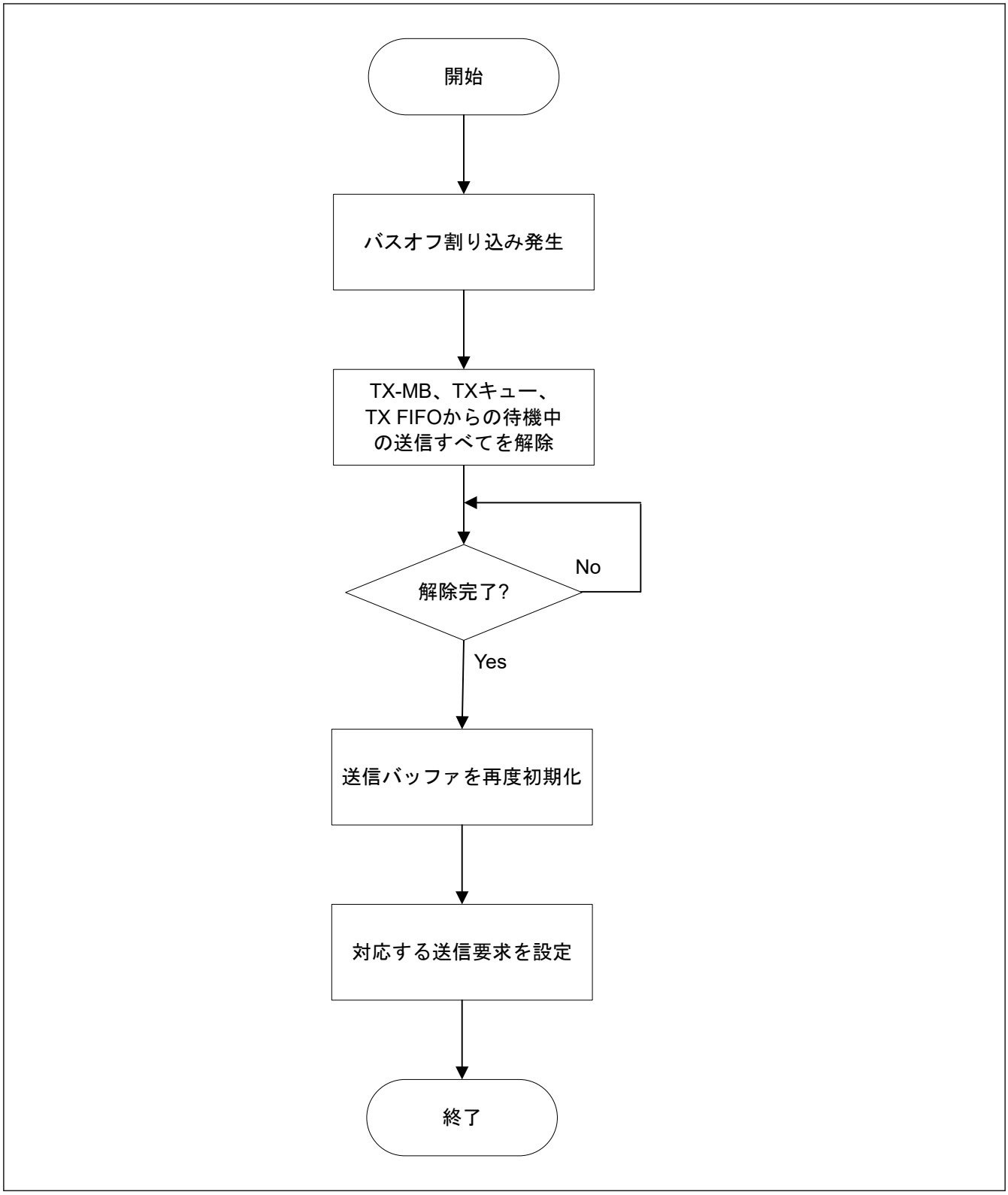


図 41.13 バスオフ中の送信の再初期化

41.3.4 グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモード設定とチャネルモード設定の間には、以下のような相互作用があります。

- チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC を変更しても、グローバルモード制御ビット CFDGCTR.GMDC は変化しない。

- グローバルモード制御ビット CFDGCTR.GMDC を変更すると、表 41.16 に示すようにチャネルモードの制御が変化する。

表 41.16 グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモードの変更	チャネルモード	チャネルモードの遷移動作
スリープ → リセット	スリープ	チャネルはスリープモードのまま
スリープ → Halt	— （グローバルモード変更不可能）	
スリープ → オペレーション	— （グローバルモード変更不可能）	
リセット → スリープ	スリープ	チャネルはスリープモードのまま
	リセット	チャネルスリープ要求ビットが自動的にセットされ、チャネルはスリープモードに遷移
リセット → Halt	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
リセット → オペレーション	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
Halt → スリープ	— （グローバルモード変更不可能）	
Halt → リセット	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
Halt → オペレーション	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルは Halt モードのまま
オペレーション → スリープ	— （グローバルモード変更不可能）	
オペレーション → リセット	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
	オペレーション	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
オペレーション → Halt	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルは Halt モードのまま
	オペレーション	チャネルモード制御が Halt モードにセットされ、チャネルは通信終了後に Halt モードに遷移

41.3.4.1 グローバルモード変更のタイミング

グローバルモード変更時の遷移時間を以下の表に示します。

表 41.17 グローバルモード変更時の最大遷移時間 (1/2)

遷移前	遷移後	最大遷移時間
GL_SLEEP	GL_RESET	3 周辺クロックサイクル(注2)
GL_RESET	GL_SLEEP	3 周辺クロックサイクル
GL_RESET	GL_HALT	10 周辺クロックサイクル
GL_RESET	GL_OPERATION	10 周辺クロックサイクル
GL_HALT	GL_RESET	2CAN ビット時間
GL_HALT	GL_OPERATION	3 周辺クロックサイクル

表 41.17 グローバルモード変更時の最大遷移時間 (2/2)

遷移前	遷移後	最大遷移時間
GL_OPERATION	GL_RESET	2CAN ビット時間
GL_OPERATION	GL_HALT	3CAN フレーム(注1) (注3)

注 1. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
注 2. GL_SLEEP モードからの遷移は、CFDGSTS.GRAMINIT がクリアされているときのみ行ってください。
注 3. TQ、CAN フレーム、および CAN ビットは、個々のチャネルに関連しています。最大遷移時間を得るには、ボーレートが最も低いチャネルを使用する必要があります。

41.3.4.2 チャネルモード変更のタイミング

チャネルモード変更時の遷移時間を以下の表に示します。

表 41.18 チャネルモード変更時の最大遷移時間

遷移前	遷移後	最大遷移時間
CH_SLEEP	CH_RESET	3 周辺クロックサイクル
CH_RESET	CH_SLEEP	3 周辺クロックサイクル
CH_RESET	CH_HALT	3 CAN ビット時間
CH_RESET	CH_OPERATION	4 CAN ビット時間
CH_HALT	CH_RESET	2 CAN ビット時間
CH_HALT	CH_OPERATION	4 CAN ビット時間(注3)
CH_OPERATION	CH_RESET	2 CAN ビット時間
CH_OPERATION	CH_HALT	2 CAN フレーム(注1) (注2)

注 1. この遷移で指定した時間には、チャネルがバスオフ状態に入った場合を含みません。バスオフの場合、タイミングは CFDC0CTR.BOM[1:0]ビットの設定によって変わります。
注 2. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
注 3. 一般に、CH_HALT モードでボーレートプリスケーラ値 CFDC0NCFG.NBRP が変更されると、遷移時間がずれることがあります。内部プリスケーラは TQ クロックを生成するフリーランニングダウンカウンタで、カウンタが値 0 に到達したときに新しい BRP 値がキャプチャされます。

41.4 初期化

CAN 通信に参加する前に、以下の設定を行います。

- クロックの設定
- ビットタイミングの設定（公称レートとデータレート）
- ボーレートの設定（公称レートとデータレート）
- CANFD 設定
- アクセプタンスフィルタの設定（グローバルアクセプタンスフィルタリストの構成）
- 送信、受信、および GW FIFO の設定
- CAN オペレーションモードの設定

41.4.1 CAN クロック、ビットタイミング、ボーレートの初期化

41.4.1.1 ビットタイミングの条件

各セグメントの構成と、セグメントの設定に適用される制約条件を以下に示します。

1. 各セグメントの設定
   SS = 1 TQ 固定
   TSEG1 = (CFDC0NCFG) と (CFDC0DCFG) (注1)を参照
   TSEG2 = (CFDC0NCFG) と (CFDC0DCFG) (注1)を参照

SJW = (CFDC0NCFG) と (CFDC0DCFG) (注1)を参照
SS + TSEG1 + TSEG2 = 5～49 TQ（データビットレートの場合）／8～385 TQ（公称ビットレートの場合）

2. TSEG1、TSEG2、SJW の制約条件
TSEG1(N) > TSEG2(N) ≥ SJW(N)
TSEG1(D) ≥ TSEG2(D) ≥ SJW(D)(注1)
従来型のフレームのみを使用する場合、CFDC0DCFG のビットフィールド TSEG1 および TSEG2 に有効な値を設定します。

注 1. この機能は、クラシカル CAN 機能では使用できません。

表 41.19 に、必要なサンプルポイント設定を得るためのビットタイミング設定方法の例を示します。

表 41.19 ビットタイミングの例

1 ビット	設定値（TQ）				サンプルポイント (注1) (%)
	SS	TSEG1	TSEG2	SJW	
5TQ	1	2	2	1	60.00
8TQ	1	4	3	1	62.50
	1	5	2	1	75.00
10TQ	1	6	3	1	70.00
	1	7	2	1	80.00
12TQ	1	8	3	1	75.00
	1	9	2	1	83.33
15TQ	1	10	4	1	73.33
	1	11	3	1	80.00
16TQ	1	10	5	1	68.75
	1	11	4	1	75.00
20TQ	1	12	7	1	65.00
	1	13	6	1	70.00
24TQ	1	15	8	1	66.66
	1	16	7	1	70.83
50TQ	1	39	10	4	80.00

注 1. サンプルポイント（75%の場合）

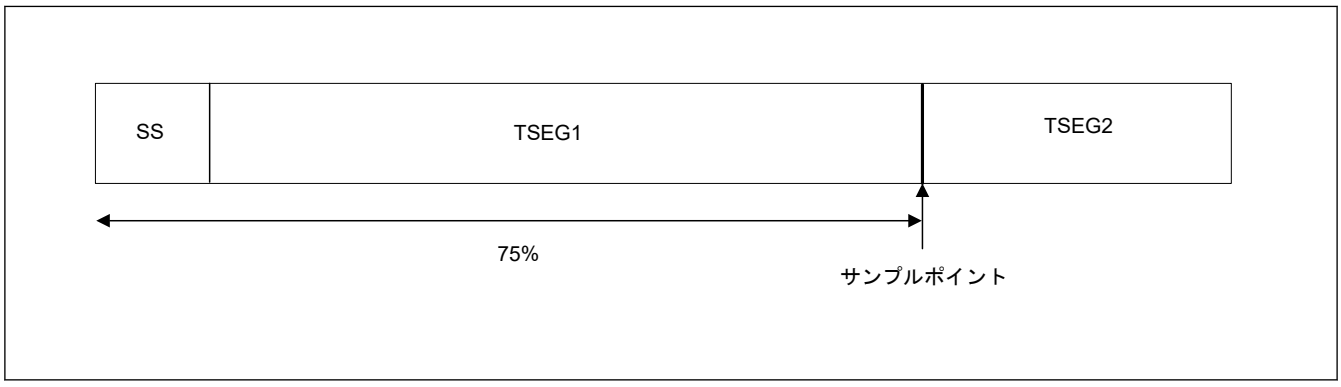


図 41.14 サンプルポイント（75%の場合）

41.4.1.2 CAN のビットタイミング

CAN プロトコルの通信フレームの各ビットでは、3 つのセグメントで構成されます。各セグメントは、関連する CFDC0NCFG レジスタおよび CFDC0DCFG(注1)レジスタを使用して、チャネルごとに独立して構成できます。

注 1. このレジスタは、クラシカル CAN 機能では使用できません。

図 41.15 に、各ビットのセグメント構成と、ビット内のサンプルポイントを示します。

これらのセグメントのうち、タイムセグメント 1（TSEG1）とタイムセグメント 2（TSEG2）は、サンプルポイントの位置を指定するために使用されます。TSEG1 と TSEG2 の値を変更することで、CAN バス上の各ビットをサンプリングするタイミングを変えることができます。

このタイミングの最小単位を TQ（Time Quantum）と呼びます。TQ の長さは、CAN チャネルに供給されるクロック周波数と、ボーレートプリスケーラの N 分周値（公称レートおよびデータレート）によって決まります。

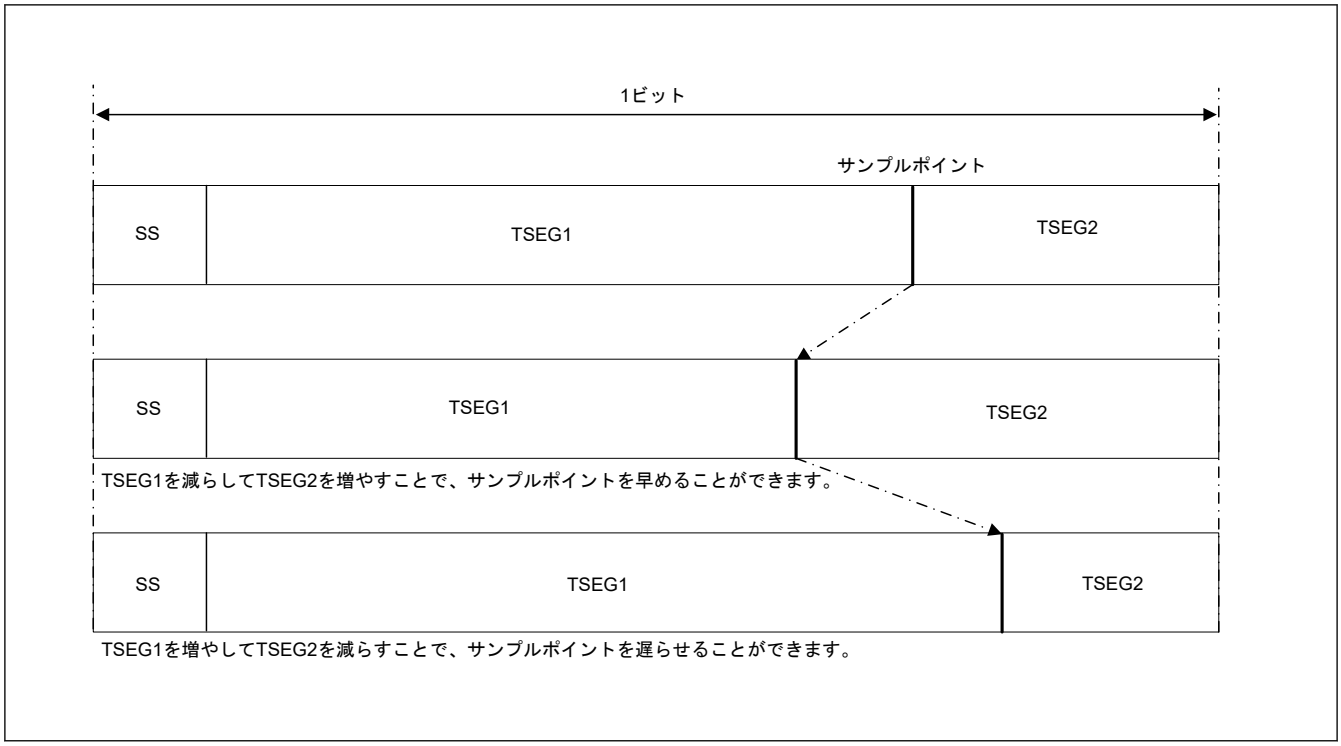


図 41.15　ビット内のセグメント構成とサンプルポイント

1. SS：シンクロナイゼーションセグメント
   インターフレームスペース中のレセシブからドミナントへのエッジをモニタして、ビットを同期するセグメントです。インターフレームスペースは、インターミッション、サスペンドトランスミッション、バスアイドルで構成され、バスアイドル中に全ノードが送信を開始することができます。
2. TSEG1: タイムセグメント 1
   CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、バス上の遅延、入力コンパレータの遅延、出力ドライバの遅延の総和の 2 倍になります。SJW によって伸ばすことができます。
3. TSEG2：タイムセグメント 2
   再同期を実行してフェーズエラーを補償するセグメントです。SJW によって縮めることができます。メッセージの送受信中、発振器の周波数ドリフトや伝送路の遅延により、一部ノード間の通信フレームの同期がずれる場合があります。これをフェーズエラーと言います。
4. SJW：再同期ジャンプ幅
   フェーズエラーによる同期ズレを補償できる最大ビット幅です。

図 41.15 には、1 つのシンボル的なサンプルポイントのみを示しています。

41.4.1.3　ボーレート

CAN 通信クロックとして、CANFD コアクロック (CANFDCLK) または外部発振器クロック (CANMCLK) のいずれかをグローバルに選択することができます。

転送速度は、DLL クロック、ボーレートプリスケーラの N 分周値、および 1 ビットに含まれる TQ の数によって決まります。

$$\text{ボーレート} = \frac{\text{DLLクロック}}{(\text{1ビット当たりのTQ数}) \times (\text{BRP} + 1)}$$

図 41.16 に CAN チャネル通信クロックを生成する回路のブロック図を示します。表 41.20 にボーレートの例を示します。

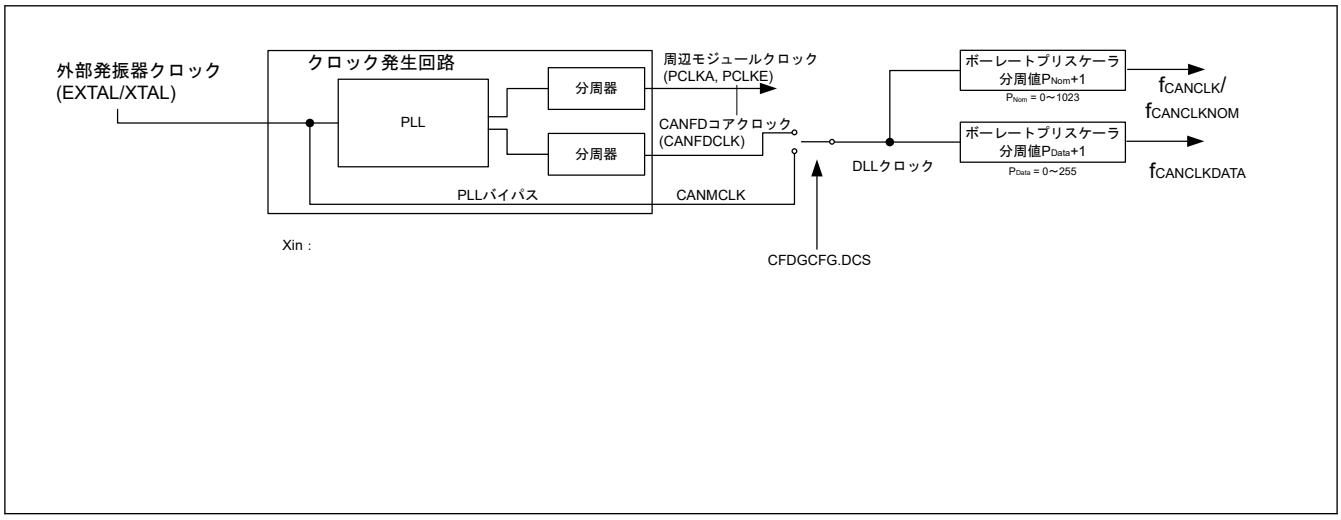


図 41.16　CAN チャネルの通信クロックを生成する回路のブロック図

表 41.20　公称ボーレートの計算式と CAN 通信の構成例

ボーレートの計算式	（DLL クロック） （ボーレートプリスケーラの N 分周値(注1)） × （1 ビット当たりの TQ 数）							
	40 MHz	32 MHz	30 MHz	24 MHz	20 MHz	16 MHz	10 MHz	8 MHz(注2)
1 Mbps	8TQ (5) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (3) 15TQ (2)	8TQ (3) 12TQ (2) 24TQ (1)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)	10TQ (1)	8TQ (1)
500 Kbps	8TQ (10) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (6) 15TQ (4) 20TQ (3)	8TQ (6) 12TQ (4) 24TQ (2)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)
250 Kbps	8TQ (20) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (12) 15TQ (8) 20TQ (6)	8TQ (12) 12TQ (8) 24TQ (4)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)
125 Kbps	8TQ (40) 20TQ (16)	8TQ (32) 16TQ (16)	10TQ (24) 15TQ (16) 20TQ (12)	8TQ (24) 12TQ (16) 24TQ (8)	10TQ (16) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)
83.3 Kbps	8TQ (60) 12TQ (40) 16TQ (30) 24TQ (20)	8TQ (48) 12TQ (32) 16TQ (24) 24TQ (16)	8TQ (45) 10TQ (36) 12TQ (30) 15TQ (24) 20TQ (18) 24TQ (15)	8TQ (36) 12TQ (24) 16TQ (18) 24TQ (12)	8TQ (30) 10TQ (24) 12TQ (20) 15TQ (16) 16TQ (15) 20TQ (12) 24TQ (10)	8TQ (24) 12TQ (16) 16TQ (12) 24TQ (8)	8TQ (15) 10TQ (12) 12TQ (10) 15TQ (8) 20TQ (6) 24TQ (5)	8TQ (12)
33.3 Kbps	8TQ (150) 12TQ (100) 16TQ (75) 20TQ (60) 24TQ (50)	8TQ (120) 10TQ (96) 12TQ (80) 15TQ (64) 16TQ (60) 20TQ (48) 24TQ (40)	10TQ (90) 12TQ (75) 15TQ (60) 20TQ (45)	8TQ (90) 10TQ (72) 12TQ (60) 15TQ (48) 16TQ (45) 20TQ (36) 24TQ (30)	8TQ (75) 10TQ (60) 12TQ (50) 15TQ (40) 20TQ (30) 24TQ (25)	8TQ (60) 10TQ (48) 12TQ (40) 15TQ (32) 16TQ (30) 20TQ (24) 24TQ (20)	10TQ (30) 12TQ (25) 15TQ (20) 20TQ (15)	8TQ (30)

注.　括弧内の数字はボーレートプリスケーラの N 分周値を示しています。
注 1.　ボーレートプリスケーラの N 分周値 = P + 1 (P = 0 - 1023)。ここで、P はチャネルコンフィグレーションレジスタの BRP ビットによって選択された値です。
注 2.　最大公称ボーレート 1 Mbps を実現するための最小周波数です。

表 41.21 公称ビットレートおよびデータビットレート CAN 通信構成に対するボーレートの計算例

ボーレートの計算式	(DLL クロック) (ボーレートプリスケーラの N 分周値(注1)) × (1 ビット当たりの TQ 数)	
	40 MHz	20 MHz
公称 1 Mbps データ 5 Mbps	40TQ (1)	20TQ (1)
	8TQ (1)	不可
公称 500 Kbps データ 2 Mbps	80TQ (1)	40TQ (1)
	20TQ (1)	10TQ (1)

注. 括弧内の数字はボーレートプリスケーラの N 分周値を示しています。この表は、クラシカル CAN 機能では使用できません。
注 1. ボーレートプリスケーラの N 分周値 = P + 1 (P = 0 - 1023)。ここで、P はチャネルコンフィグレーションレジスタの BRP ビットによって選択された値です。

FD フレームフォーマットを使用するネットワークで、最適なクロックトレランスを実現するには、公称ビット時間とデータビット時間とで TQ の長さを同じにしなければなりません。つまり、CFDC0NCFG.NBRP = CFDC0DCFG.DBRP にします。

また、トランシーバ遅延補償を使用する場合は、CFDC0DCFG.DBRP ビットを 1 より大きい値に設定してはなりません。1 は、2 で割ることを意味するためです。

41.4.1.4 CAN のクロック、ビットタイミング、ボーレートの設定

図 41.17 に、CAN のチャネルのクロックとボーレートを設定する手順を示します。

これらの設定は、該当する CAN チャネルがチャネルリセットモード（コンフィグレーションモード）のときに行う必要があります。

ボーレートは、チャネル通信状態に入る前に設定しなければなりません。ボーレートが設定されていない場合、モードの切り替えが正しく行われません。

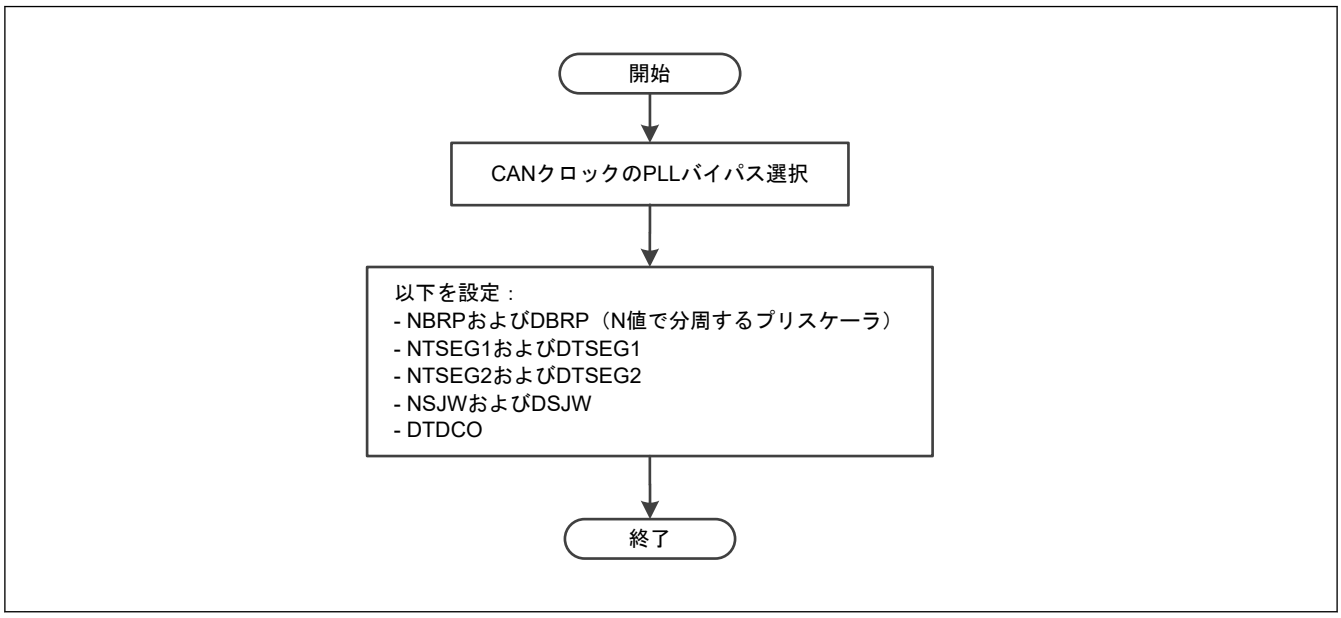


図 41.17 CAN のビットタイミングとボーレートを設定する手順

41.4.1.5 トランスミッタ遅延補償

この章は、クラシカル CAN 機能に対しては適用されません。

データフェーズに 5～8 Mbps のような高いボーレートを使用した場合、トランスミッタ遅延が TSEG1 より大きくなる場合があります。この場合、トランスミッタは CANFD フレームのデータフェーズのビットエラーを常に検出します。TDC は、トランスミッタ自身が送信したビットを、そのビットのサンプルポイントで受信できない場合を補償します。

もう 1 つのシンボル的なサンプルポイントとして、CANFD フレームのデータフェーズのみで使用されるセカンダリサンプルポイント (SSP) があります。図 41.18 に示すように、SSP はトランシーバ遅延補償結果ビット (CFDC0FDSTS.TDCR) から導出されます。

構成の分解能、測定値およびオフセット値は、CAN チャネルの DLL クロックに基づきます。

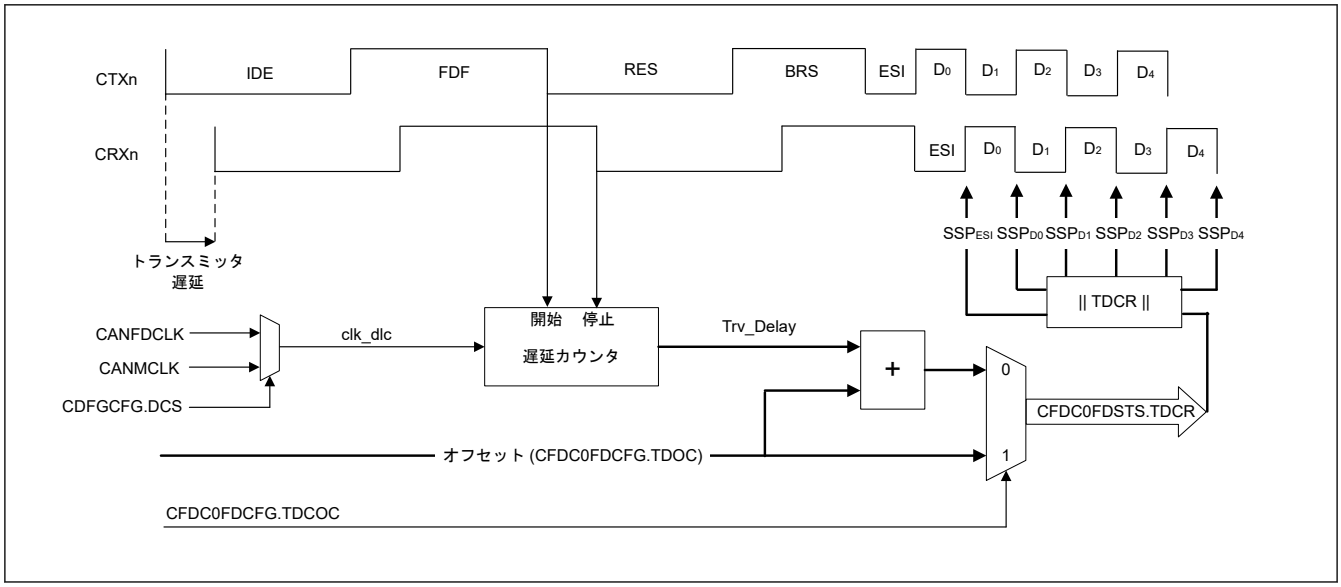


図 41.18　トランスミッタ遅延補償

測定された遅延時間である Trv_Delay は、clk_dlc クロックサイクル数に基づきます。この遅延時間は、ドミナント値が CRXn に現れるまで、開始されるクロックごとに 1 ずつカウントアップされます。図 41.19 に測定結果を示します。Trv_Delay が各 clk_dlc クロックで最大 127 までカウントされます。

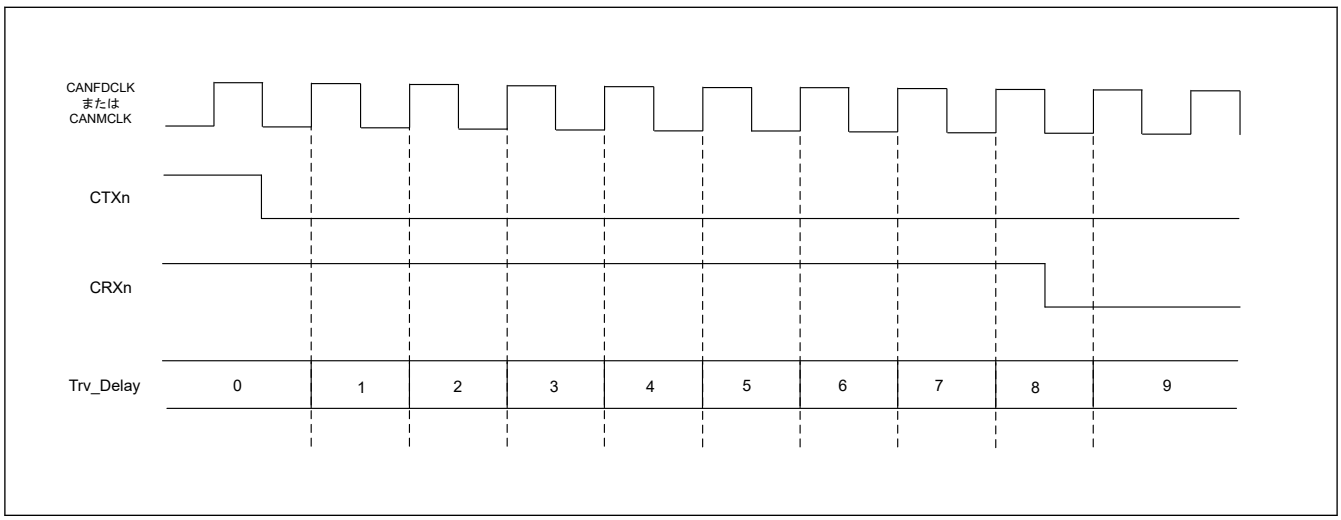


図 41.19　Trv_Delay の測定例

SSP は、CFDC0FDSTS.TDCR の結果を取り、その値をデータ TQ の最も近い整数値に切り捨てることで計算されます。

図 41.20 にセカンダリサンプルポイントの位置を示します。CFDC0FDCFG.TDCOC が 0 のとき、SSP は Trv_Delay（測定された遅延時間）+ CFDC0FDCFG.TDCO を、TQ の最も近い整数値に切り捨てた値と等しくなります。通常、TDCO の値は、SSP をサンプルポイントの理論上の位置に配置するため、（SyncSegment データ + TSEG1 データ）の大きさを持ちます。

CFDC0FDCFG.TDCOC が 1 のとき、SSP は CFDC0FDCFG.TDCO によって決まります。CFDC0DCFG.DBRP が 0 より大きい場合、この値も TQ の最も近い整数値に切り捨てられます。

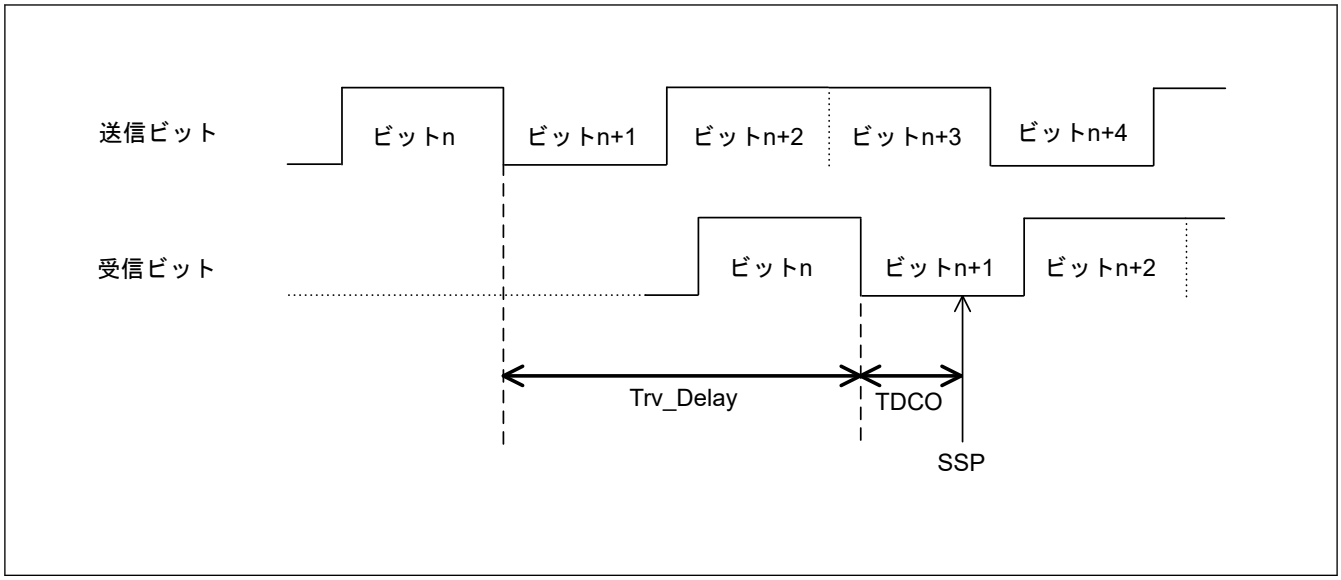


図 41.20　セカンダリサンプルポイントの位置

CANFD モジュールによって補償可能な最大遅延時間 (Trv_Delay + TDCO) は、(6 データビット - 2clk_dlc) です。

ISO 11898-1 では、BRP_data と BRP_nom に異なる値を設定することが許容されています。

CFDC0NCFG.NBRP と CFDC0DCFG.DBRP に異なる値を使用した場合、BRS ビットのサンプルポイントの後で、ビットレートが公称ビットレートからデータビットレートに変化した時点で、2 つの CAN ノードの同期がずれることがあります。この条件を図 41.21 に示します。

公称ビット時間とデータビット時間で、TQ の長さを同じにする必要があります。つまり、CFDC0NCFG.NBRP = CFDC0DCFG.DBRP にします。

タイムセグメントに異なる設定値を選択することで、ビットレートを変えることができます。公称ビットレートは 8～385 TQ の間、データビットレートは 5～49 TQ の間で設定できます。

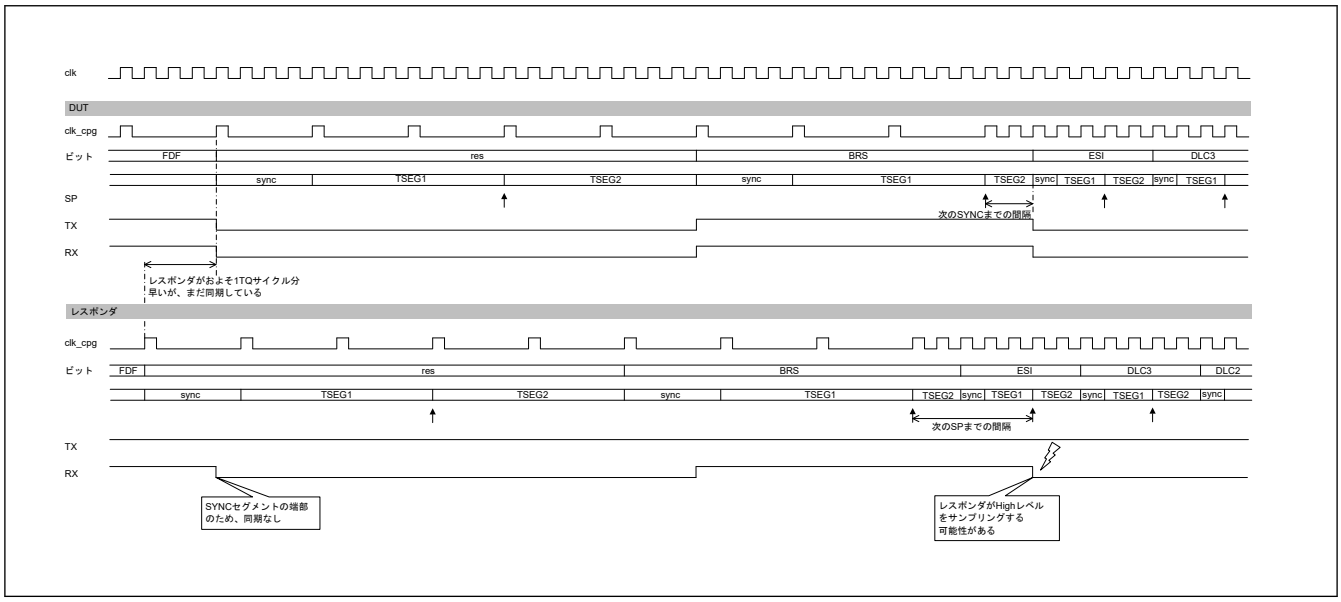


図 41.21　2 つの CAN ノード間の同期ズレ

適切に構成した場合 (CFDC0FDCFG.TDCE = 1, CFDC0FDCFG.TDCOC = 0)、トランスミッタ遅延補償の測定結果は、FDF ビットから RES ビットへの立ち下がりエッジで更新されます。

図 41.22 は、トランスミッタ遅延補償測定結果を取得するための読み出しフローを示しています。

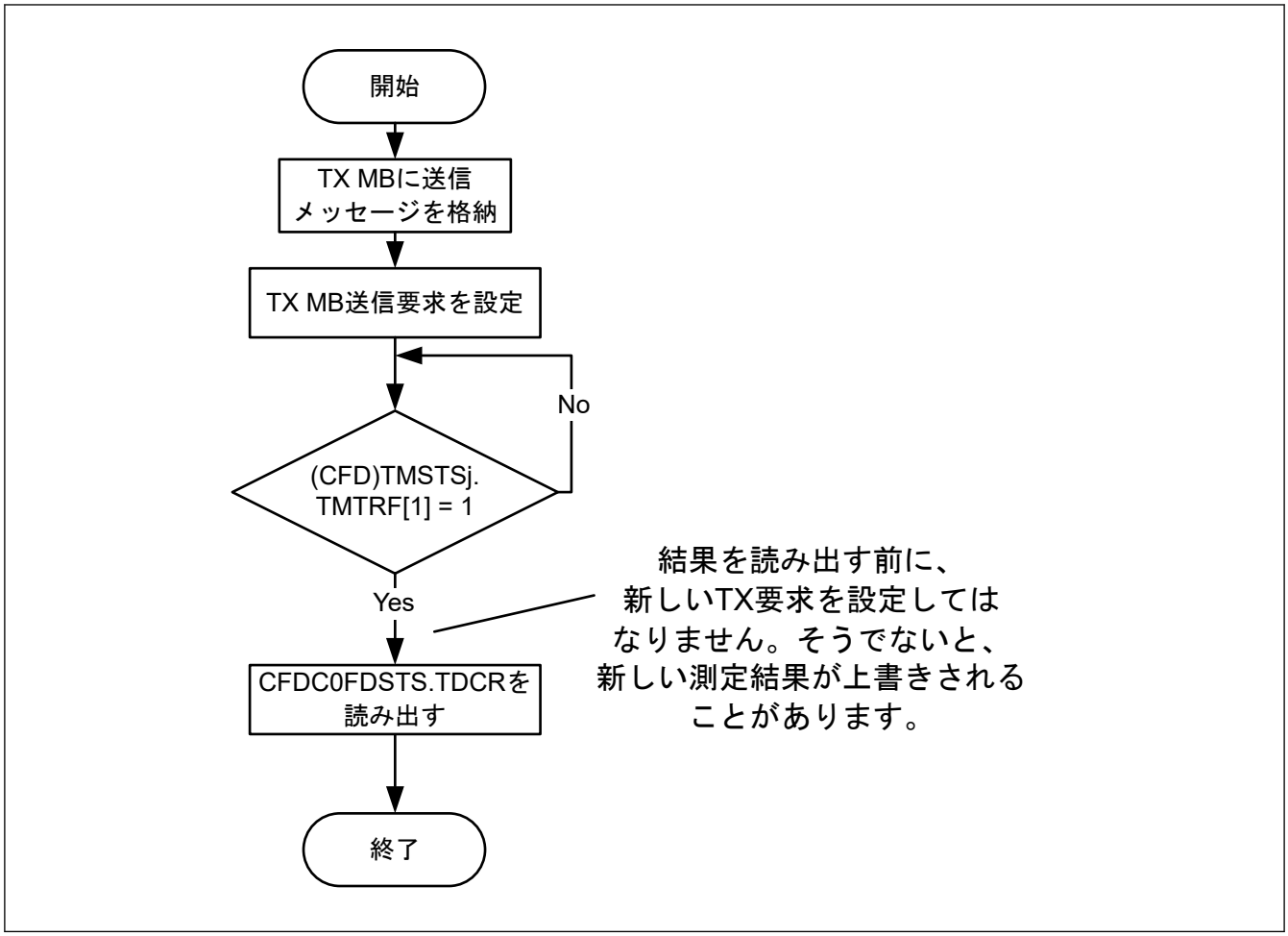


図 41.22　TDC 結果読み出しフロー

41.4.2　ハードウェアリセット後の CAN モジュールの構成

ハードウェアリセット（パワーオンリセット）後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールの構成を行うには、グローバルスリープ要求ビット CFDGCTR.GSLPR を 0 にクリアして、スリープモードを解除する必要があります。

ハードウェアリセット後、モジュールは RAM の初期化を開始します。このとき、グローバルステータスレジスタの CFDGSTS.GRAMINIT ビットが自動的にセットされ、CANFD ロジックが RAM を初期化中であることを示します。

このビットは、RAM の初期化が完了すると自動的にクリアされます。

RAM の初期化は、ハードウェアリセットで RAM に存在するランダムデータがリセットされた後に誤って ECC エラーフラグがセットされるのを防ぐために必要です。

RAM の初期化が終わり、CFDGSTS.GRAMINIT ビットがクリアされるまでは、読み出しか書き込みかを問わず、CANFD のレジスタにアクセスしてはなりません。

通信モードに入る前に、グローバルアクセプタンスフィルタリストとメッセージ FIFO バッファを構成する必要があります。また、CAN のビットタイミングなど、CAN チャネルの構成を行う必要があります。この構成を行うには、CAN チャネルにおいて、チャネルスリープモードを解除し、チャネルリセットモード（コンフィグレーションモード）に通信を構成する必要があります。

図 41.23 に構成手順を示します。各ステップの詳細については、「41.5. グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能」、「41.6. FIFO バッファと通常のメッセージバッファの構成」、「41.7. 割り込みと DMA」、および「41.4.1.3. ボーレート」を参照してください。

CFDGRSTC.SRST を設定することによってソフトウェアリセットが行われた場合、CANFD モジュールは RAM 初期化シーケンスを実行しません。

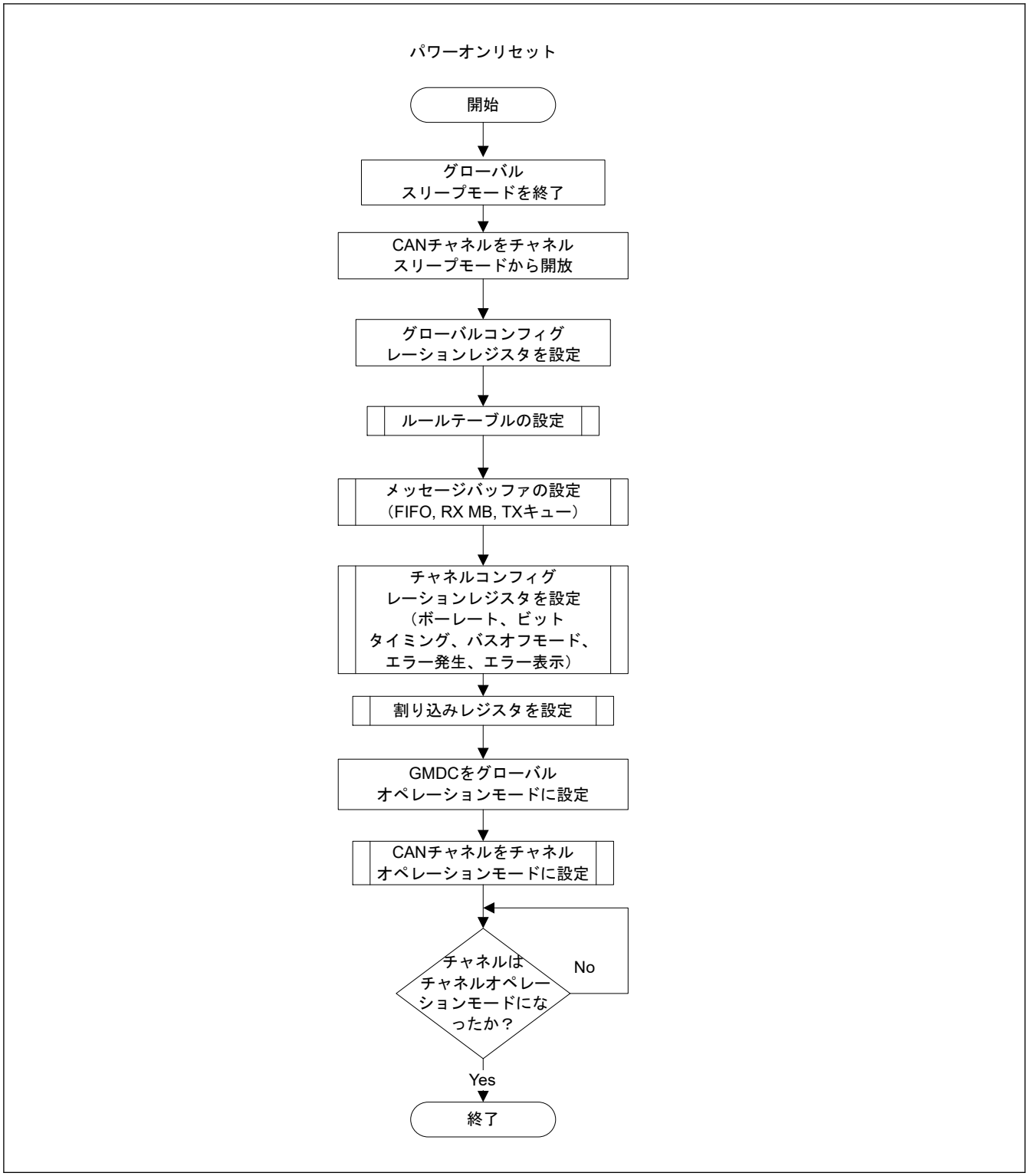


図 41.23　ハードウェアリセット後の構成手順

41.5　グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能

41.5.1　概要

CANFD モジュールでは、グローバルアクセプタンスフィルタリスト（以後、AFL と呼ぶ）を使用して、メッセージのアクセプタンスフィルタ処理を行うことができます。AFL の各要素により、特定のチャネルで受信メッセージに対するフィルタルールが定義されます。

AFL のエントリに基づき、以下のアクションが実行されます。

- 受信 CAN ID およびマスクに基づくアクセプタンスフィルタ処理
- 受信 DLC 値に基づく DLC フィルタ処理
- CFDGCFG.CMPOC ビットによるメッセージデータペイロード(注1)
- 受け入れたメッセージを、関連する AFL エントリに定義されたメッセージバッファオブジェクトに格納
- 16 ビットのポインタを関連する AFL エントリに定義された格納されるメッセージに付加（例 : AUTOSAR アプリケーションをサポートするため）
- 2 ビットの情報ラベルを関連する AFL エントリに定義された格納されるメッセージに付加

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールは、最大の 16 個の AFL エントリを許可します。

アクセプタンスフィルタの処理中、アクセプタンスフィルタユニットは、チャネル内の各 AFL エントリを、受信メッセージと照らし合わせてチェックします。チェックは、そのチャネルで最も小さい AFL エントリ番号を持つエントリから開始されます。

受信した ID が設定した ID／マスクの組み合わせと一致したとき、あるいは、受信した ID が関連するチャネルのすべての AFL エントリと照合されたとき、AFL 検索は停止します。一致しない場合、受信メッセージは拒否されます。この場合、アプリケーションに通知は送られません。

さらに、DLC チェックがグローバルに有効化されている場合、受け入れた各メッセージについて、自動 DLC フィルタ処理が行われます。受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値以上の場合、DLC チェックはパスします。

DLC 置換（CFDGCFG.DRE ビット）が有効で、一致した AFL エントリに設定された DLC 値が 0x0 より大きく、DLC チェックにパスした場合、一致した AFL エントリに設定された DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が一致した AFL エントリに設定された DLC 値よりも大きい場合、CAN バス上で受信した追加のデータバイトは格納先の RX メッセージバッファまたは FIFO バッファに格納されません。これらの追加データバイトは、格納先の RX メッセージバッファまたは FIFO バッファに、0x00 として格納されます。

DLC 置換が有効で、一致する AFL エントリの DLC 値が 0x0 の場合、受信した DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

DLC 置換（CFDGCFG.DRE ビット）が無効で、DLC チェックにパスした場合、CAN バス上で受信した DLC 値が、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が、一致した AFL エントリに設定された DLC 値より大きい場合、CAN バスから受信した追加のデータバイトも、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値より小さい場合、DLC チェックは失敗します。その場合、受信メッセージは拒否され、RX メッセージバッファまたは FIFO バッファに格納されません。

また、DLC チェックに失敗すると、グローバルエラーフラグレジスタで DLC エラーフラグが設定されます。設定されている場合、エラー割り込みも発生します。DLC チェックに失敗した場合、DLC 置換の設定は影響しません。

メッセージがアクセプタンスフィルタ処理と DLC フィルタ処理の両方にパスした場合、受信メッセージ用のシングルバッファおよび／または受信機能に設定された FIFO バッファにメッセージが格納されます。

このメッセージ格納先情報も、同じ AFL エントリに定義されています。構成されていない AFL エントリに対してターゲットを設定してはなりません。

受け入れた各受信メッセージは、最大で 2 つの格納先（受信メッセージ用のシングルバッファおよび／または FIFO バッファ）に格納できます。

格納先は 2 つまでしか設定することはできません。それより多い格納先を設定した場合、内部タイミングに競合が発生し、受信されたメッセージはメッセージ RAM に格納されません。この格納先の数は、アプリケーション側で正しく設定する必要があります。

受信メッセージに、格納先（CFDRMNB.RMPLS、CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合のために、追加の保護機構があります。

CFDGCFG.CMPOC = 0 の場合、メッセージ全体が拒否され、格納先に保存されます。CFDGCFG.CMPOC = 0 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先（CFDRMNB.RMPLS、CFDRFCCa.RFPLSS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されません。

CFDGCFG.CMPOC = 1 のとき、CFDRMNB.RMPLS を超える受信データバイトが拒否されます。
CFDGCFG.CMPOC = 1 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先（CFDRMNB.RMPLS、CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されます。

CFDGCFG.DRE ビットの設定に応じて、受信した元の DLC 値か、AFL エントリに設定された DLC 値のいずれかが格納されます。

CFDGCFG.CMPOC ビットの設定にかかわらず、ペイロードオーバーフロー条件が検出された場合、CFDGERFL.CMPOF は 1 に設定されます。

DLC フィルタ処理は、ペイロードオーバーフロー機能より前に実行されます。そのため、1 つの受信フレームについて、CFDGERFL.DEF または CFDGERFL.CMPOF(注1)によって同時に 1 つのフラグのみを設定できます。

注 1. このビットは、クラシカル CAN 機能では使用できません。

41.5.2 AFL エントリの割り当て

チャネルごとの AFL エントリの数は、関連するグローバルアクセプタンスフィルタコンフィグレーションレジスタの専用のフィールドを使用して設定できます（図 41.24 を参照）。

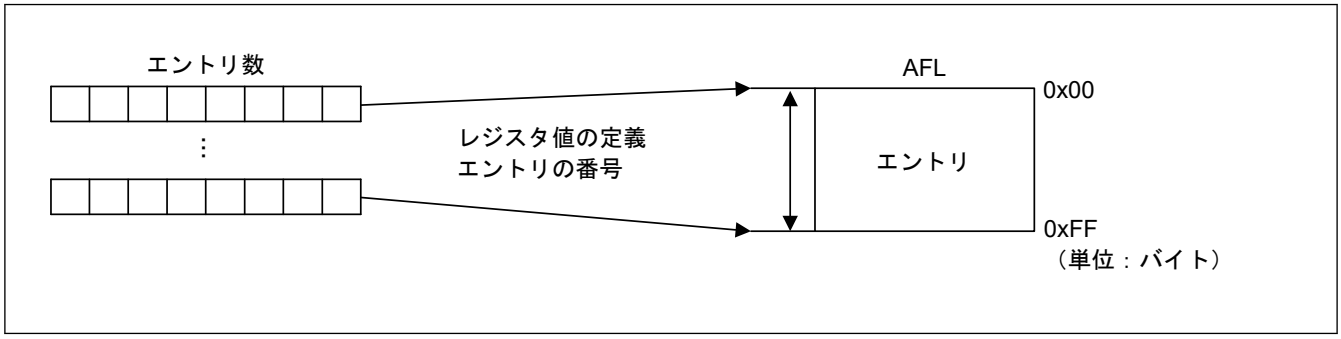


図 41.24 各チャネルの AFL の構成

最小エントリ数は 0（チャネルにエントリが定義されていない状態）で、1 チャネル当たりの最大エントリ数は 16 です。

1 つのチャネルの全エントリは一意で、エントリの重複や共有はサポートされていません。AFL を正しく構成することは、アプリケーションの責任です。

CANFD モジュールは、AFL の構成に関連するエラーにフラグを立てません。

41.5.3 AFL エントリの説明

各 AFL エントリは、16 バイトで構成されます。すべてのエントリで、フィールドは同一です。

各エントリには、アクセプタンスフィルタ処理と DLC フィルタ処理に使用される以下の情報が含まれます。

- ID（標準フレームフォーマットでは 11 ビット、拡張フレームフォーマットでは 29 ビット）：
  アクセプタンスフィルタユニットは、受信したメッセージの ID フィールドを、各 AFL エントリの ID フィールドと照合します（ID ビットに対してフル 29 ビットマスク処理が可能です。下記の情報を参照してください）。

- IDE ビット：
  アクセプタンスフィルタユニットは、受信したメッセージの IDE ビットをこのビットと照合し、ID フィールドからアクセプタンスフィルタ処理に関連する部分を選択します（IDE ビットに対してマスク処理が可能です。下記の情報を参照してください）。

- RTR ビット：

アクセプタンスフィルタユニットは、このビットの設定に従って、データフレーム (RTR = 0) またはリモートフレーム (RTR = 1) のみを受け入れます（RTR ビットに対してマスク処理が可能です。下記の情報を参照してください）。

- ループバックコンフィグレーションビット：
  このビットにより、ループバック構成またはミラーモード条件に応じて AFL エントリの有効／無効を設定できます。

- ID ビットのマスク（29 ビット）：
  ID マスクの各ビットは、アクセプタンスフィルタ処理中、AFL エントリ内の対応する ID ビットをマスクできます。図 41.25 を参照してください。

- IDE ビットのマスク：
  標準 ID フォーマットと拡張 ID フォーマットの両方において、このマスクビットで AFL エントリの IDE ビットをマスクした場合、この AFL エントリでメッセージが受け入れられます。標準 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの標準 ID 部分と比較されます。拡張 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの拡張 ID 部分と比較されます。

- RTR ビットのマスク：
  両方のフレームフォーマットにおいて、このマスクビットは、AFL エントリの RTR ビットをマスクします。この AFL エントリでは、データフレームとリモートフレームフォーマットが受け入れられます。

- ポインタ情報（16 ビット）：
  この 16 ビットのポインタは、関連する AFL エントリによって受け入れられた受信メッセージに付加されます。このポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。たとえば、ポインタ情報を使用して、AUTOSAR システムにおける受信メッセージへの PDU ID 割り当てをサポートできます。

- 情報ラベル（2 ビット）：
  この 2 ビットのラベルは、関連する AFL エントリによって受け入れられたメッセージに付加されます。このラベルは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。

- 自動 DLC フィルタ処理のための DLC 値：
  受信したメッセージの DLC 値が設定した DLC 値以上である場合、DLC チェックにパスします。

この AFL エントリの DLC 値を 0 に設定すると、そのエントリについて DLC フィルタ処理が実質的に無効化されます（受け入れられたすべてのメッセージが DLC フィルタ処理をパスします）。

各 AFL エントリは、受信したメッセージを処理するために以下の情報を含みます。

- 受信したメッセージの格納先として使用される単一の受信メッセージバッファのメッセージバッファ番号
- 受信したメッセージの格納先として、単一の受信メッセージバッファ番号の有効または無効を設定する単一受信メッセージバッファ有効ビット
- FIFO 宛先ポインタ - FIFO 宛先ポインタの各ビットは、受信したメッセージの格納先の候補として、専用の FIFO を構成します。

このようなメッセージの格納に対するハードウェア保護は提供されていません。そのため、FIFO 宛先ポインタを設定する際は注意が必要です。

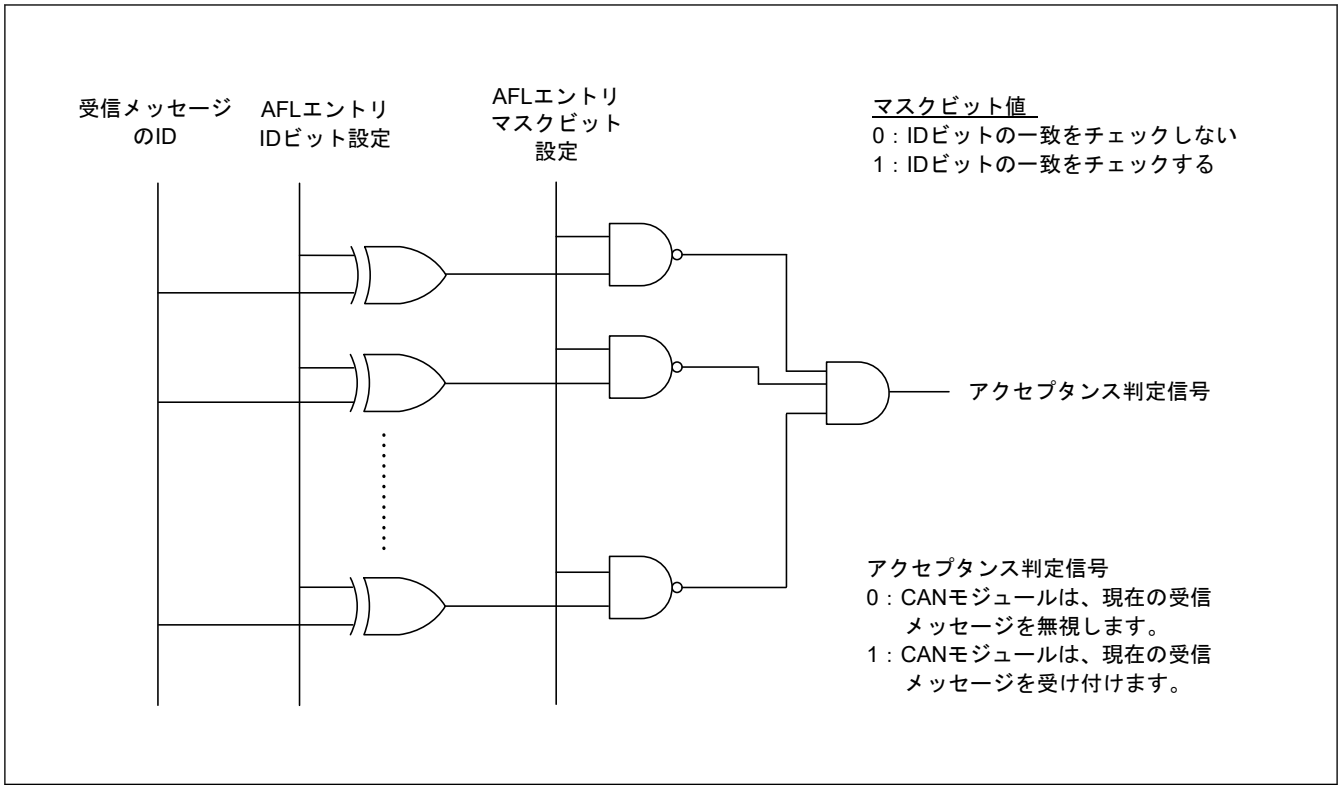


図 41.25　アクセプタンス機能

41.5.4　AFL へのエントリの入力

アプリケーションソフトウェアは、以下のレジスタを使用して AFL に 1 つのエントリ全体を入力できます。

- グローバル AFL ID エントリレジスタ：AFL エントリのパート 1
- グローバル AFL マスクエントリレジスタ：AFL エントリのパート 2
- グローバル AFL ポインタ 0 エントリレジスタ：AFL エントリのパート 3
- グローバル AFL ポインタ 1 エントリレジスタ：AFL エントリのパート 4

これらのレジスタ 16 組で、1 つの AFL エントリのグループを構成します。AFL は CH_RESET モードまたは CH_HALT モードのみで構成するものとします。

AFL をプログラムするには、図 41.26 に示す構成に従ってください。

AFL への不要な書き込みを防止するため、コンフィグレーションモードですべてのエントリを入力した後、AFL アクセスをロックする必要があります。

ロックビットがセットされている場合、すべてのグローバルモード (GL_RESET, GL_HALT, GL_OPERATION) 中、書き込み保護が有効になります。

すべてのグローバルモード中、AFL データアクセスが無効であっても、AFL の読み出しは可能です（実行時に AFL の内容の整合性チェックが可能です）。

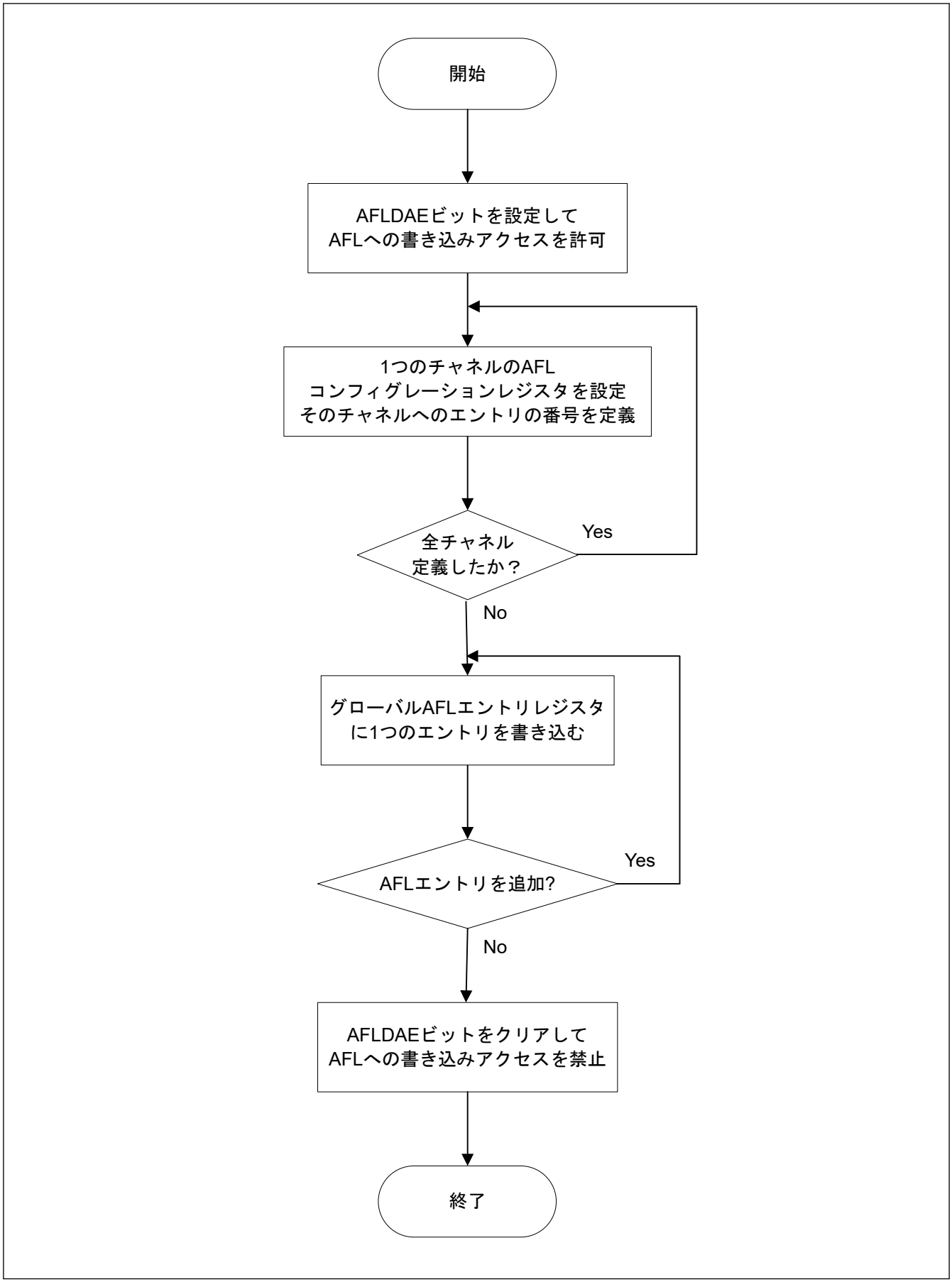


図 41.26　AFL の構成フロー

41.5.5 ループバックモード

ループバックコンフィグレーションビットがセットされている場合、AFL エントリは、CAN チャネル自らが送信したメッセージを受信する、ループバックテストモード（セルフテストモード 0 またはセルフテストモード 1）またはミラーモードのみで有効になります。

AFL エントリは、ループバックモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージについては無効です。ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

ループバックコンフィグレーションビットが 0 の場合、その AFL エントリは以下のときのみ有効になります。

- 通常のモード（ループバック以外のモード）およびミラーモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージ
- ループバックテストモードで受信した、他の CAN ノードまたは CAN チャネル自らが送信したメッセージ

ミラーモードは、グローバルコンフィグレーションレジスタの CFDGCFG.MME ビットで有効化できます。CFDGCFG.MME ビットがセットされている場合、そのチャネルの AFL に一致するエントリが設定されていれば、送信に成功したメッセージが RX メッセージバッファまたは FIFO バッファに格納されます。

このフレームを格納するには、一致する AFL エントリのループバックコンフィグレーションビットがセットされている必要があります。

ミラーモードとループバックテストモードが同時に構成されている場合、ループバックテストモードの動作が適用されます。

表 41.22 に、関連する入力信号の設定に応じたアクセプタンスフィルタユニットの動作を示します。

表 41.22 AFL エントリ内のループバックコンフィグレーションの設定に基づくアクセプタンスフィルタの動作

ミラーモード有効（MME コンフィグレーションビット）	テストモード（セルフテストモード 0 またはセルフテストモード 1）のループバック	チャネルモード	AFL エントリのループバックコンフィグレーションビット	AFL エントリ
0	0	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1	0	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

注. ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

41.5.6 IDE マスク処理

AFL エントリの GAFLIDEM ビットが 0 のとき、その AFL エントリに設定された IDE ビットは ID のマッチングに使用されません。この場合、受信した IDE ビットに基づいて、ID[10:0]または ID[28:0]マッチングの使用が選択されます。

次の例を考えてみましょう。

- AFL エントリ x の ID フィールドとマスクフィールドが次のように設定されているとします。
  - CFDGAFLID [x] = 0xC0553A20 → IDE = 1、RTR = 1、LLB = 0、ID[10:0] = 0x220 / ID[28:0] = 0x00553A20
  - CFDGAFLMr = 0x0000FFFF → IDEM = 0. RTRM = 0、IDM[10:0] = 0x7FF／IDM[28:0] = 0x0000FFFF
- AFL エントリ x での 4 つの異なる受信 ID の比較結果を以下に示します。
  - IDE = 0、ID = 0x220 のフレームを受信した場合、一致とみなされます。
  - IDE = 0、ID = 0x320 のフレームを受信した場合、不一致とみなされます。
  - IDE = 1、ID = 0x1FFF3A20 のフレームを受信した場合、一致とみなされます。
  - IDE = 1、ID = 0x08803220 のフレームを受信した場合、不一致とみなされます。

41.5.7 通信中の AFL エントリの更新

AFL エントリは、CAN 通信を阻害することなく更新できます。AFL エントリ番号を設定して更新するエントリ番号を選択し、イネーブルビットは無視します。

エントリの更新中、このエントリ番号は AFL マッチングから無視されます。

図 41.27 に AFL エントリの更新フローを示します。

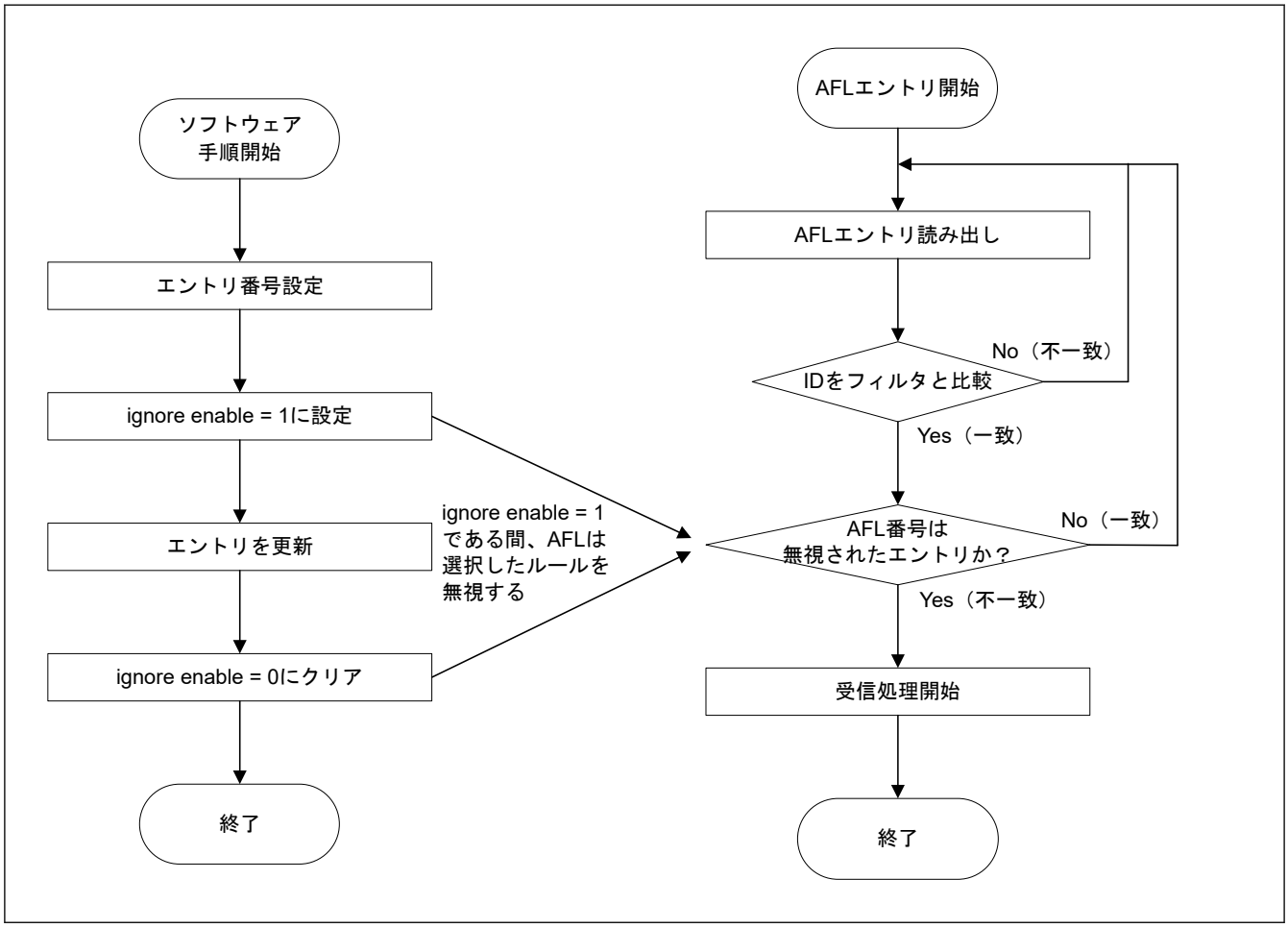


図 41.27 AFL エントリの更新フロー

AFL エントリを更新する方法は以下のとおりです。

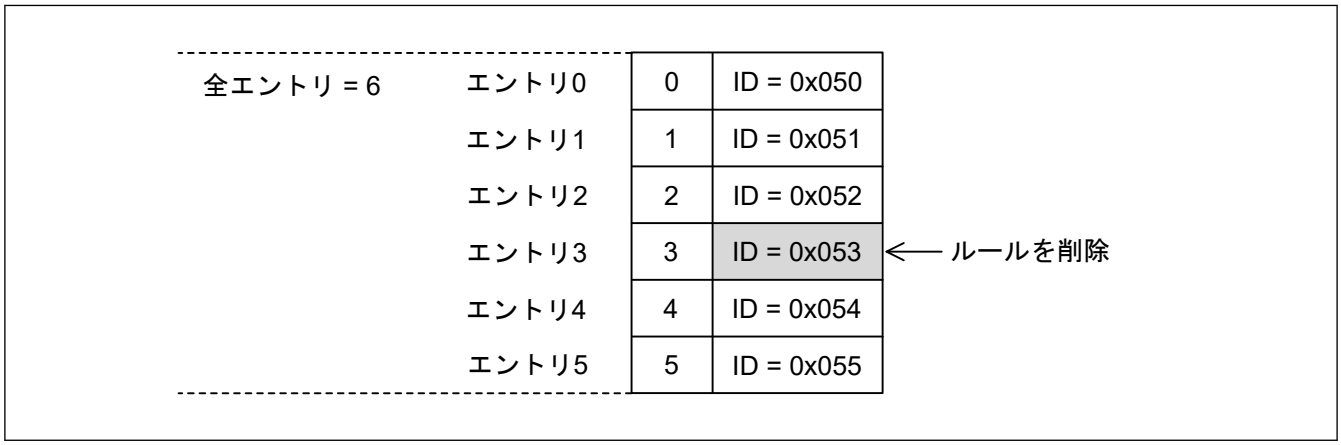
1. エントリ番号を CFDGAFLIGNENT レジスタに設定します。
2. CFDGAFLIGNCTR レジスタに値 0xC401（キーコードと有効ビット）を設定します。
3. CFDGAFLECTR.AFLDAE が 1 にセットされます。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r レジスタに新しいルールを設定します。

5. CFDGAFLECTR.AFLDAE が 0 にクリアされます。
6. CFDGAFLIGNCTR レジスタに値 0xC400（キーコードおよびクリア有効ビット）を設定します。

注. このエントリ番号は (2) から (5) までの期間、無視されます。

(1) 例 1：エントリの削除

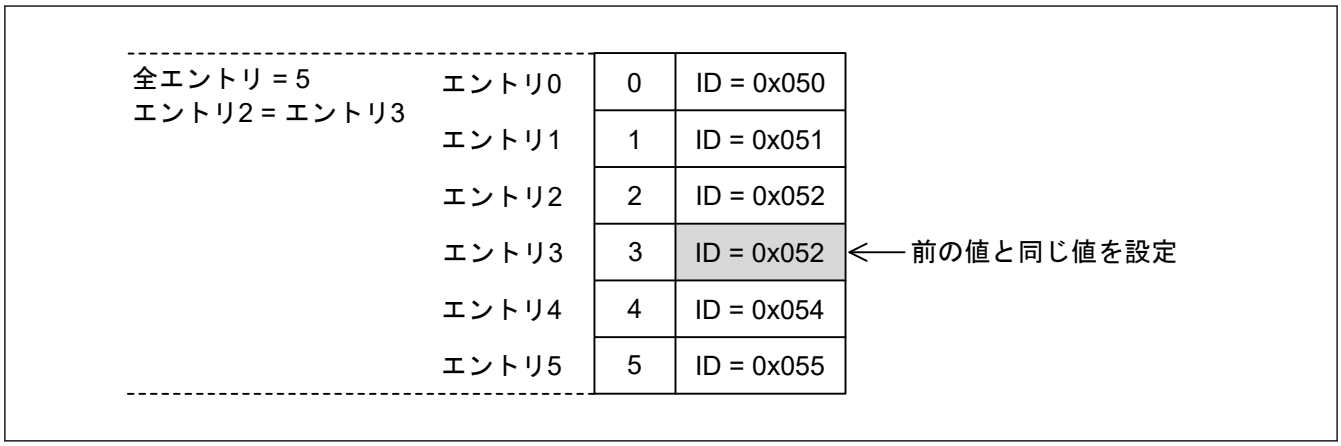
エントリ数の合計が 6 チャネルのとき、エントリ 3 を削除します。



エントリを削除する方法

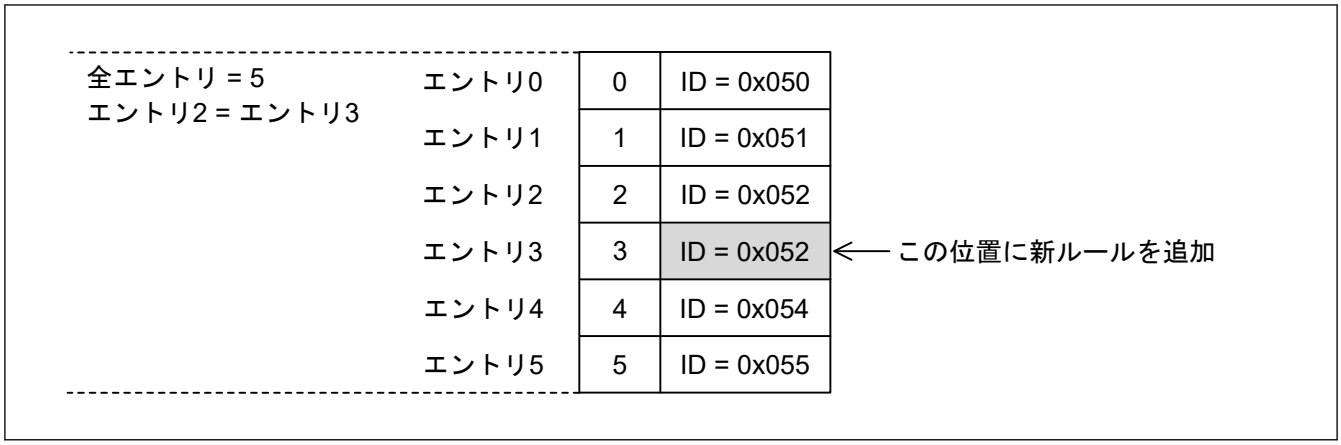
1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r にアクセスして、前と同じルールを設定します。（r = 3 の場合、エントリ 3 を示します。）
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

エントリ 3 が削除されました。



(2) 例 2：エントリの追加

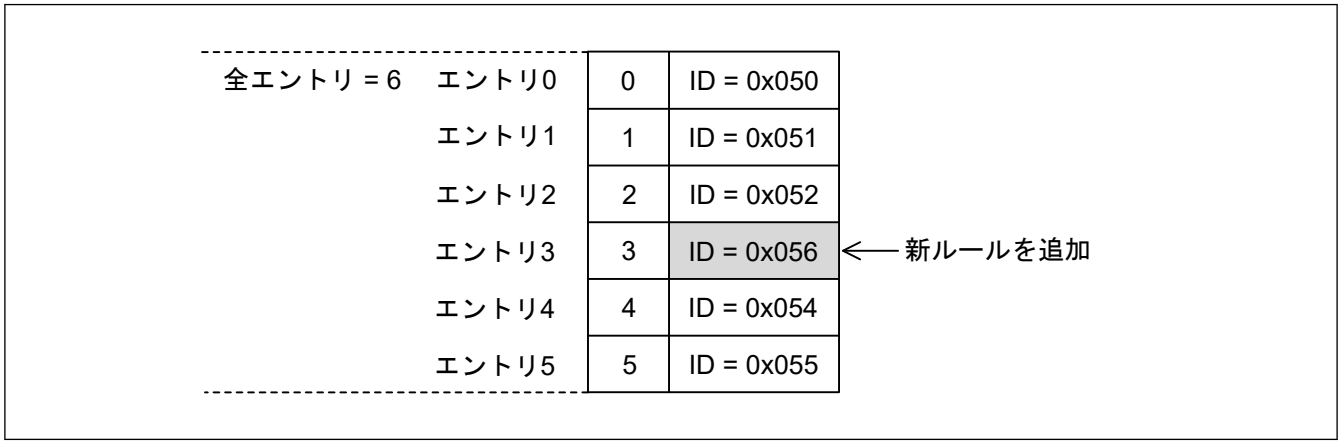
エントリ数の合計が 6 のとき、エントリ 3 に新しいエントリを追加します。



エントリを追加する方法

1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r にアクセスして、新しいルールを設定します。（r = 3 の場合、エントリ 3 を示します。）
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

これで、新しいエントリが追加されました。



AFL フィルタは CFDGAFLCFG を設定するために使用でき、エントリの追加／削除が可能です。そのため、CFDGAFLCFG に使用できる最大数を設定する必要があります。

41.6 FIFO バッファと通常のメッセージバッファの構成

本項では、CANFD モジュールの RX メッセージバッファ、FIFO バッファ、およびフラット TX メッセージバッファの数を構成する手順を説明します。メッセージバッファは、図 41.28 に示すようにマッピングされています。

RX メッセージバッファには、RX メッセージバッファレジスタでアクセスできます。

RX FIFO バッファと、RX モードまたは TX モードに設定された共通 FIFO バッファは、FIFO アクセスレジスタでのみアクセスできます。

共通 FIFO が TX モードで構成されている場合、FIFO アクセスレジスタによる FIFO バッファへのデータの書き込みのみが可能です。

共通 FIFO が RX モードに設定されている場合、FIFO アクセスレジスタからのデータの読み込みのみが可能です。

TX メッセージバッファには、TX メッセージバッファレジスタでアクセスできます。

未使用のメッセージバッファ位置を読み出した場合、そのメッセージバッファ位置は不明な値として読み出されます。

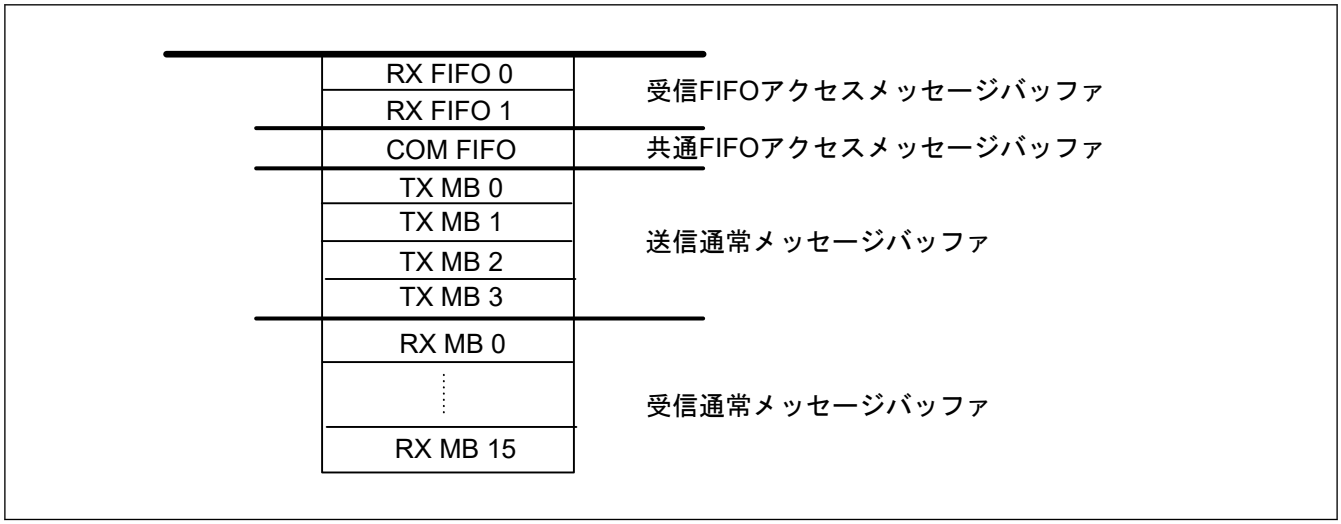


図 41.28　メッセージバッファの構成

41.6.1　通常の RX メッセージバッファ

CANFD モジュールでは受信したフレームを、AFL エントリの構成に基づいて通常の RX メッセージバッファに格納することができます。

また、システムに必要な通常の RX メッセージバッファの数を、固定された最大数までの間で選択できます。

41.6.1.1　通常の RX メッセージバッファの構成

CANFD モジュールの通常の RX メッセージバッファの数は、RX メッセージバッファ数レジスタへの書き込みによって設定できます。

メッセージバッファ数は、以下の範囲内で構成します。

- 最小数 = 0x00（通常の RX メッセージバッファなし）
- 最大値 = 0x10

上記範囲外の値を使用してはなりません。

システム要件に合わせて AFL エントリを構成し、受信したメッセージを通常の RX メッセージバッファにルーティングできるようにする必要があります。

また、AFL エントリの構成は正しく行ってください。通常の RX メッセージバッファを指定する AFL エントリの数が、RX メッセージバッファ数レジスタに構成されたメッセージバッファ数を超えてはなりません。

注.　CANFD モジュールには、AFL の間違った設定を発見するための内部チェック手順がありません。

RX メッセージバッファのデータフィールドサイズは、CFDRMNB.RMPLS ビットで構成できます。デフォルトサイズは 8 バイトで、最大データペイロードサイズは 64 バイトです。

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDGCFG.CMPOC の構成によって決まります。

注.　RMPLS ビットおよび CMPOC ビットは、クラシカル CAN 機能では使用できません。これらの特長はクラシカル CAN では有効ではありません。

41.6.2　FIFO バッファ

CANFD モジュールには、受信機能や送信機能のためのフレームの格納をサポートするために、決まった数の FIFO バッファがあります。

受信専用の FIFO バッファ数は 2 に固定されています。ただし、送信または受信機能のためのメッセージを格納するために共通 FIFO バッファチャネルを設定できます。

これらの FIFO バッファは有効または無効にでき、システム要件に合わせて以下のパラメータを設定できます。

- サイズ
- 割り込み構造
- メッセージロスト機構
- FIFO バッファのメッセージオーバーライト機構
- TX FIFO の位置

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDGCFG.CMPOC ビットの構成によって決まります。

41.6.2.1 FIFO バッファの構成

CANFD モジュールでは、FIFO バッファをシステム要件に合わせて構成できます。

FIFO バッファの総数 = RX FIFO バッファ 2 個 + 共通 FIFO バッファ 1 個 = FIFO バッファ 3 個

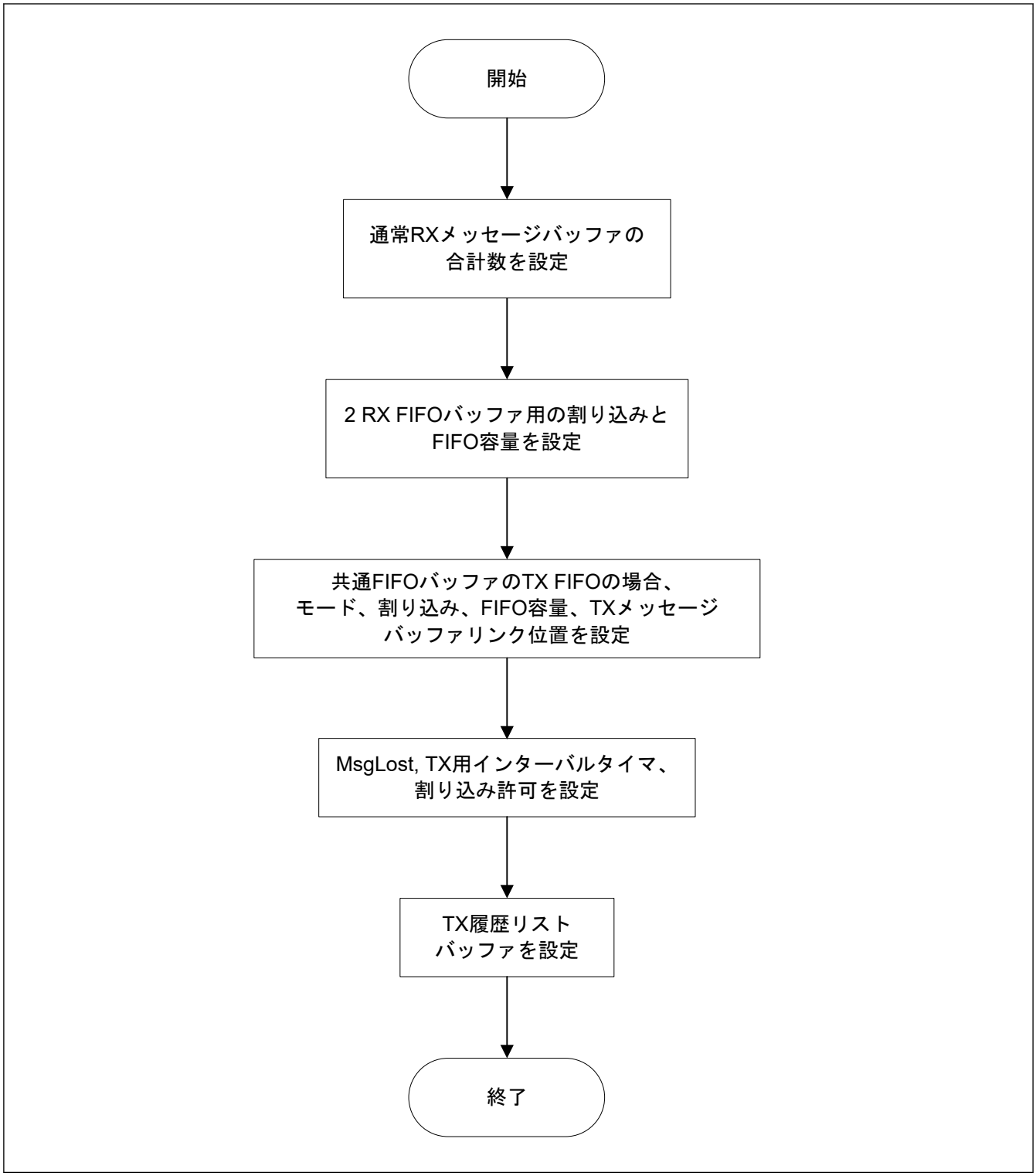


図 41.29 CANFD モジュールにおける FIFO バッファの構成フロー

図 41.29 に示すように、RX FIFO コンフィグレーション／コントロールレジスタと共通 FIFO コンフィグレーション／コントロールレジスタへの書き込みによって、さまざまな FIFO バッファを構成することができます。

2 つの RX FIFO バッファに対しては、以下のパラメータを構成できます。

- 割り込み
- FIFO 容量
- FIFO ペイロードデータサイズ

共通 FIFO バッファに対しては、以下のパラメータを構成できます。

- モード
- 割り込み FIFO 容量
- FIFO ペイロードデータサイズ
- FIFO TX リンク位置

(1) 共通 FIFO バッファの FIFO モード構成

共通 FIFO バッファのモードは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFM[1:0]ビットへの書き込みによって構成できます。共通 FIFO バッファに構成可能なモードは以下のとおりです。

- 0b RX モード（ハードウェアリセット後のデフォルトモード）
- 1b TX モード

RX FIFO バッファと、RX モードに構成された共通 FIFO バッファからは、メッセージの読み出しのみが可能です。これらの FIFO バッファには、AFL エントリに基づいて、CAN モジュールによってメッセージが格納されます。

TX モードに構成された共通 FIFO バッファでは、メッセージの読み出しと書き込みが可能です。これらのメッセージは、適切な CAN チャネル上で送信されます。

ポインタは、新しいメッセージが FIFO バッファに格納されたときにのみインクリメントでき、CANFD モジュールによりメッセージが対応する CAN チャネル上に送信されたときにのみデクリメントできます。

ハードウェアリセット後、共通 FIFO バッファはデフォルトで RX モードに設定されます。共通 FIFO バッファを必要なモードに構成してから、FIFO バッファを有効にするようにしてください。

(2) FIFO TX メッセージバッファとのリンクの構成

共通 FIFO を TX FIFO として構成するとき、CAN チャネルの送信スキャンに参加するため、FIFO バッファを通常の TX メッセージバッファにリンクする必要があります。

いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファにデータを書き込んではなりません。また、いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファを TX キューの構成要素にしてはなりません。

各共通 FIFO バッファの TX メッセージバッファとのリンクは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFTML[1:0]ビットへの書き込みによって構成できます。TX メッセージバッファのリンク構成では、以下のオプションを使用できます。

- 0x00: TX メッセージバッファ 0
- 0x01: TX メッセージバッファ 1
- 0x10: TX メッセージバッファ 2
- 0x11: TX メッセージバッファ 3

(3) FIFO 容量の構成

各 FIFO バッファ容量は、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFDC[2:0]ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFDC[2:0]ビットへの書き込みによって構成できます。深さの構成には、以下の 6 個のオプションを使用できます。

- 0x000: 0 メッセージ（FIFO バッファを有効にできない）
- 0x001: 4 メッセージ
- 0x010: 8 メッセージ
- 0x011: 16 メッセージ
- 0x100: 32 メッセージ
- 0x101: 48 メッセージ

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイトの 16 メッセージに制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. 共通 FIFO の FIFO 容量が 4 メッセージ以上 (CFDCFCC.CFDC[2:0] > 000b) の場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは有効になります。

FIFO 容量が 0 メッセージの場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは無効です。

(4) FIFO ペイロードサイズの構成

各 FIFO バッファのデータサイズは、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFPLS[2:0]ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFPLS[2:0]ビットへの書き込みによって構成できます。深さの構成には、以下の 8 つのオプションを使用できます。

- 000b: 8 バイト
- 001b: 12 バイト
- 010b: 16 バイト
- 011b: 20 バイト
- 100b: 24 バイト
- 101b: 32 バイト
- 110b: 48 バイト
- 111b: 64 バイト

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイトの 16 メッセージに制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. この機能は、クラシカル CAN 機能では使用できません。

(5) FIFO 割り込みの構成

FIFO バッファの割り込み発生条件は、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFIM ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFIM ビットへの書き込みによって構成できます。以下の 2 つのオプションを使用できます。

- 0:
  - RX FIFO モード : 共通 FIFO カウンタが CFDRFCCa.RFIGCV/CFDCFCC.CFIGCV の値に達したとき、割り込みが発生します。
  - TX FIFO モード : 共通 FIFO が最後のメッセージを正常に送信したとき、割り込みが発生します。
- 1:
  - RX FIFO モード : 各受信メッセージの格納が終了したとき、割り込みが発生します。
  - TX FIFO モード : メッセージが正常に送信されるたびに、割り込みが発生します。

RX FIFO の割り込みモードビットが 0 の場合、CFDRFCCa.RFIGCV[2:0]ビットの設定に従って割り込みが発生します。

同様に、RX モードに構成された共通 FIFO の割り込みモードビットが 0 の場合、CFDCFCC.CFIGCV[2:0]ビットの設定に従って割り込みが発生します。

割り込みを発生させる FIFO カウンタの値を構成するには、以下の 8 つのオプションを使用できます。

- 000b: FIFO が 1/8 フルになると割り込み発生
- 001b: FIFO が 1/4 フルになると割り込み発生
- 010b: FIFO が 3/8 フルになると割り込み発生

- 011b: FIFO が 1/2 フルになると割り込み発生
- 100b: FIFO が 5/8 フルになると割り込み発生
- 101b: FIFO が 3/4 フルになると割り込み発生
- 110b: FIFO が 7/8 フルになると割り込み発生
- 111b: FIFO がフルになると割り込み発生

この場合、メッセージ数が設定した値と一致すると、割り込みが発生します。

ただし、CFDRFCCa.RFIGCV[2:0]ビットと CFDCFCC.CFIGCV[2:0]ビットの構成には、FDC[2:0]ビット（FIFO 容量の構成）に応じて、いくらかの制限があります。表 41.23 を参照してください。

表 41.23 FIFO 割り込み発生カウンタと FIFO 容量の構成

RFDC[2:0] (CFDC[2:0])	RFIGCV[2:0] (CFIGCV[2:0])							
	111b	110b	101b	100b	011b	010b	001b	000b
000b	Don't care（FIFO を有効化できない）							
001b	可能	不可能	可能	不可能	可能	不可能	可能	不可能
010b	可能							
011b	可能							
100b	可能							
101b	可能							
110b	可能							
111b	可能							

41.6.2.2 FIFO バッファの制御

FIFO 割り込みを有効にするには、RX FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDRFCCa.RFIE

また、FIFO 割り込みを有効にするには、共通 FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDCFCC.CFRXIE
- CFDCFCC.CFTXIE

コンフィグレーションの完了後、各 FIFO を有効にするには、RX FIFO コンフィグレーション／コントロールレジスタおよび共通 FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFE ビットおよび CFDCFCC.CFE ビットを設定して、メッセージの送受信を可能にします。

41.7 割り込みと DMA

41.7.1 割り込み

CANFD モジュールは、いくつかの割り込みを発生させます。割り込み出力は、割り込みコントローラユニット (ICU) に接続されており、対応する割り込み許可ビットによって制御できます。

ステータスフラグは、この許可ビットとは無関係にセットされます。

チャネル送信割り込みには、もう 1 つ別のステータスフラグレジスタがあり、そのステータスビットは対応する割り込み許可がセットされている場合のみセットされます。

この割り込みはいくつかのトリガ要因によって発生するため、このレジスタはチャネル送信に対する割り込み要因の特定をサポートします。

CANFD モジュールの割り込みは、グローバル割り込みとチャネル割り込みの 2 つのグループに分けられます。

- グローバル割り込み：

CANFD モジュールは、3 種類のグローバル割り込みを発生させることができます。

– 2 つの RX FIFO バッファへの正常受信のグローバル割り込み
– グローバルエラー割り込み
– 16 個の RX メッセージバッファへの正常受信のグローバル割り込み

- チャネル割り込み：
CANFD モジュールの各チャネルは、3 種類のチャネル割り込みを発生させることができます。

1. チャネル送信
   – チャネルからの送信完了
   – チャネルからの送信アボート
   – チャネルの TX キューからの送信
   – チャネル THL 割り込み
   – チャネルの TX モードの共通 FIFO からの正常送信
2. チャネルエラー割り込み
3. チャネルの RX モードの共通 FIFO での正常受信

対応するフラグビットがクリアされるか、割り込み許可ビットがクリアされると、割り込みはクリアされます。

以下の表 41.24 に、さまざまな割り込み出力に対する割り込み要因の概要をまとめます。割り込み出力はアクティブ High です。

表 41.24 割り込み要因の概要 (1/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
グローバル割り込み	1 つ以上の RX FIFO への正常受信	CAN_RXF	割り込みが許可されている対応する RX FIFO の割り込みフラグ	割り込みが許可されている対応する RX FIFO バッファの割り込みフラグのクリア
	グローバルエラー	CAN_GLERR	以下のいずれか： • DLC エラーフラグ • メッセージロストステータスビット • TX 履歴エントリロストステータスビット • CANFD メッセージペイロードオーバーフローフラグ	以下をすべてクリア： • DLC エラーフラグ • すべての FIFO ステータスレジスタのメッセージロストフラグ • TX 履歴リストエントリロストフラグ • CANFD メッセージペイロードオーバーフローフラグ
	1 つ以上の RXMB への正常受信	CANn_RXMB (n = 0, 1)	割り込みが許可されている対応する RXMB の割り込みフラグ	割り込みが許可されている対応する RXMB バッファの割り込みフラグのクリア
チャネル送信割り込み	チャネル正常送信	CANn_TX (n = 0, 1)	割り込みが許可されているとき、任意のチャネル関連の TXMB 正常フラグ(注1)	割り込みが許可されている、すべてのチャネル関連の TXMB 結果ステータスビットのクリア
	チャネルアボート		割り込みが許可されているとき、任意のチャネル関連の TXMB アボートフラグ(注1)	グローバルで割り込みが許可されている、すべてのチャネル関連の TXMB 結果ステータスビットのクリア
	TX キューからのチャネル送信		関連するチャネルの TX キュー割り込みフラグ	関連するチャネルの TX キュー割り込みフラグのクリア
	チャネル THL 割り込み		チャネル THL 割り込みステータスフラグ	関連する THL 割り込みステータスフラグのクリア
	チャネル共通 FIFO TX 割り込み		関連するチャネルに属する TX モードの共通 FIFO の割り込みフラグ	関連するチャネルに属する TX モードの共通 FIFO の割り込みフラグのクリア

表 41.24　割り込み要因の概要 (2/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
チャネルエラー割り込み	チャネルエラー	CANn_CHERR (n = 0, 1)	チャネルエラー割り込み許可レジスタで割り込みが許可されている、チャネルエラーフラグレジスタの任意のチャネル関連のエラーフラグ	チャネルエラー割り込み許可レジスタで割り込みが許可されている、チャネルエラーフラグレジスタのすべてのチャネル関連のエラーフラグのクリア
チャネル共通 RX FIFO 割り込み	チャネル共通 FIFO RX 割り込み	CANn_COMFRX (n = 0, 1)	関連するチャネルに属する RX モードの共通 FIFO の割り込みフラグ	関連するチャネルに属する RX モードの共通 FIFO の割り込みフラグのクリア

注 1.　これらの割り込みは、許可された TX キューに属しておらず、共通 FIFO を参照していない TX メッセージバッファのみに設定されます。
共通 FIFO バッファと TX キューには、別々の割り込みが提供されます。

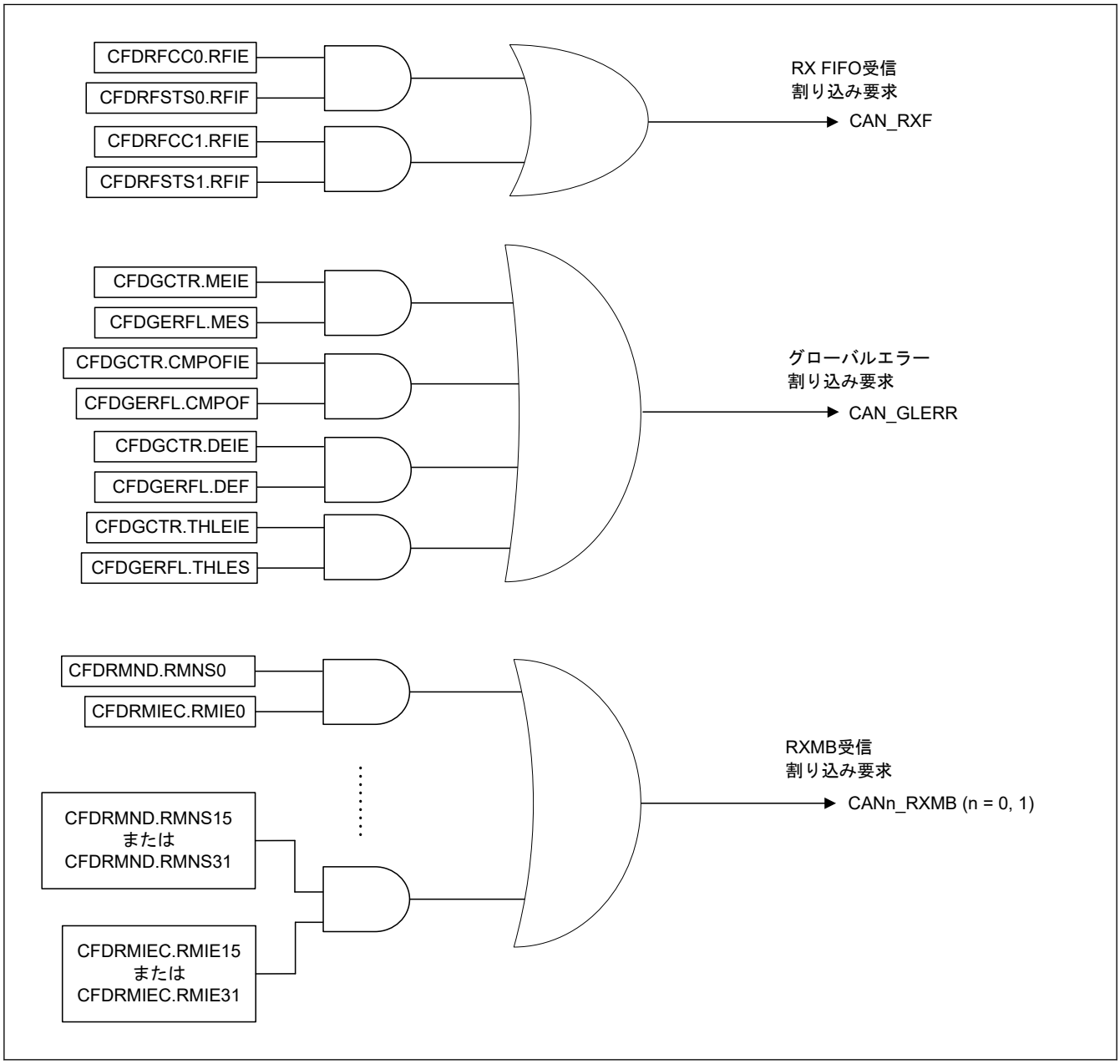


図 41.30　グローバル割り込みのブロック図

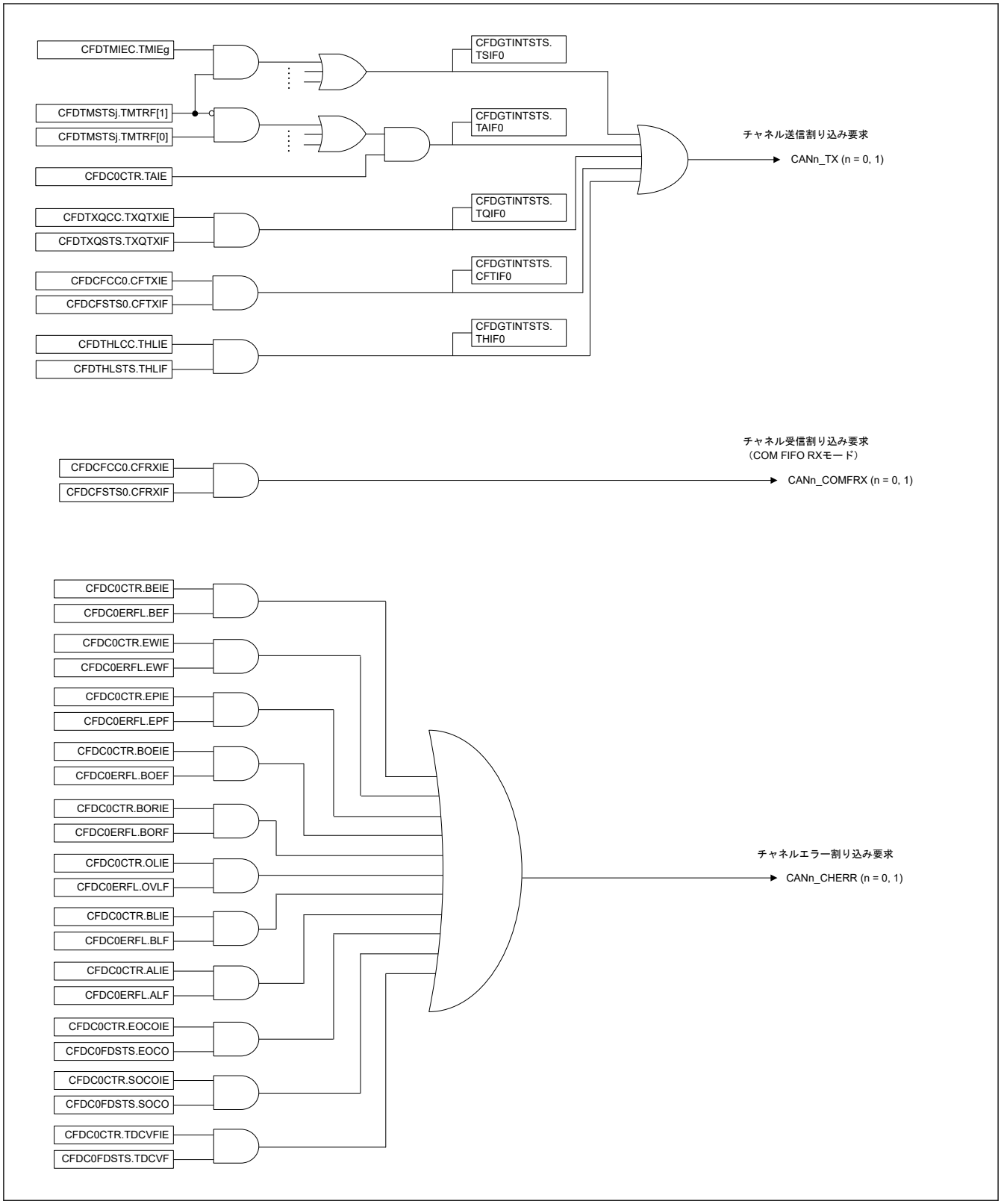


図 41.31　チャネル割り込みのブロック図

41.7.2　DMA 転送

CANFD モジュールには、DMA チャネルと関連付け可能ないくつかのメッセージバッファがあります。

- 受信 DMA
  - 2 つの RX FIFO メッセージバッファ

– 共通 FIFO メッセージバッファ

図 41.32 は、可能な DMA チャネルを示しています。

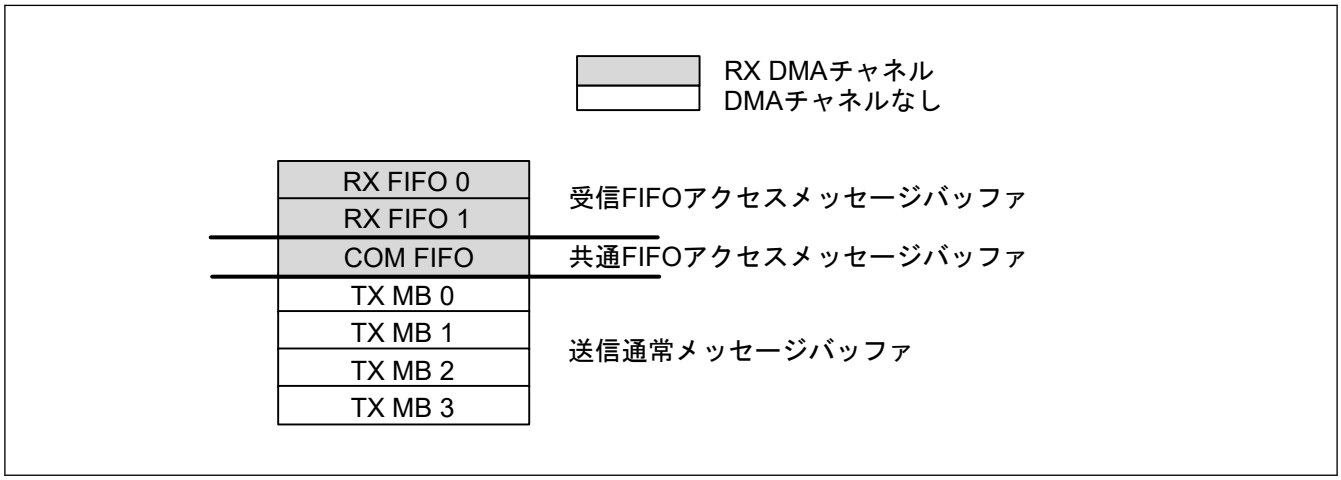


図 41.32 DMA チャネルに接続可能なメッセージバッファ

DMA チャネル転送要求は、関連する CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE が 1 にセットされ、属する FIFO がエンプティでないときに、DMAC への各 FIFO エントリについて生成されます。

この特定の FIFO（CFDRFCCa.RFIE または CFDCFCC.CFRXIE）については、受信 FIFO 割り込みを無効にする必要があります。

DMA アクセスウィンドウのアドレスには通常の開始アドレスを使用します。図 41.33 を参照してください。

表 41.25 DMA チャネルのアクセスウィンドウのアドレス

b = メッセージバッファコンポーネントインデックス	メッセージバッファコンポーネント	レジスタ	P	通常の開始アドレス
b = [0…1]	RFMBCPb[0]	CFDRFIDb	x	0x0520 + b × 0x004C
		CFDRFPTRb	x	0x0524 + b × 0x004C
		CFDRFFDSTSb	x	0x0528 + b × 0x004C
		CFDRFDFbp	[0…15]	0x052C + p × 0x0004 + b × 0x004C
—	CFMBCP0[0]	CFDCFID	x	0x05B8
		CFDCFPTR	x	0x05BC
		CFDCFFDCSTS	x	0x05C0
		CFDCFDFp	[0…15]	0x05C4 + p × 0x0004

データペイロードバイト（CFDRFCCa.RFPLS または CFDCFCC.CFPLS）の末尾を読み出すと、DMA FIFO ポインタのデクリメントが自動的に行われます。

注. DMA は、構成されたデータペイロードサイズ（CFDRFCCa.RFPLS または CFDCFCC.CFPLS）の長さを正確に読み出す必要があります。

注. CFDRFCCa.RFPLS と CFDCFCC.CFPLS はクラシカル CAN 機能にないため、この機能はクラシカル CAN 機能では使用できません。

DMA 有効時、FIFO コントロールレジスタに書き込まないでください。特定の DMA FIFO（CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE）の DMA 許可はいつでも設定できます。図 41.33 に、初期セットアップ時の構成手順を示します。

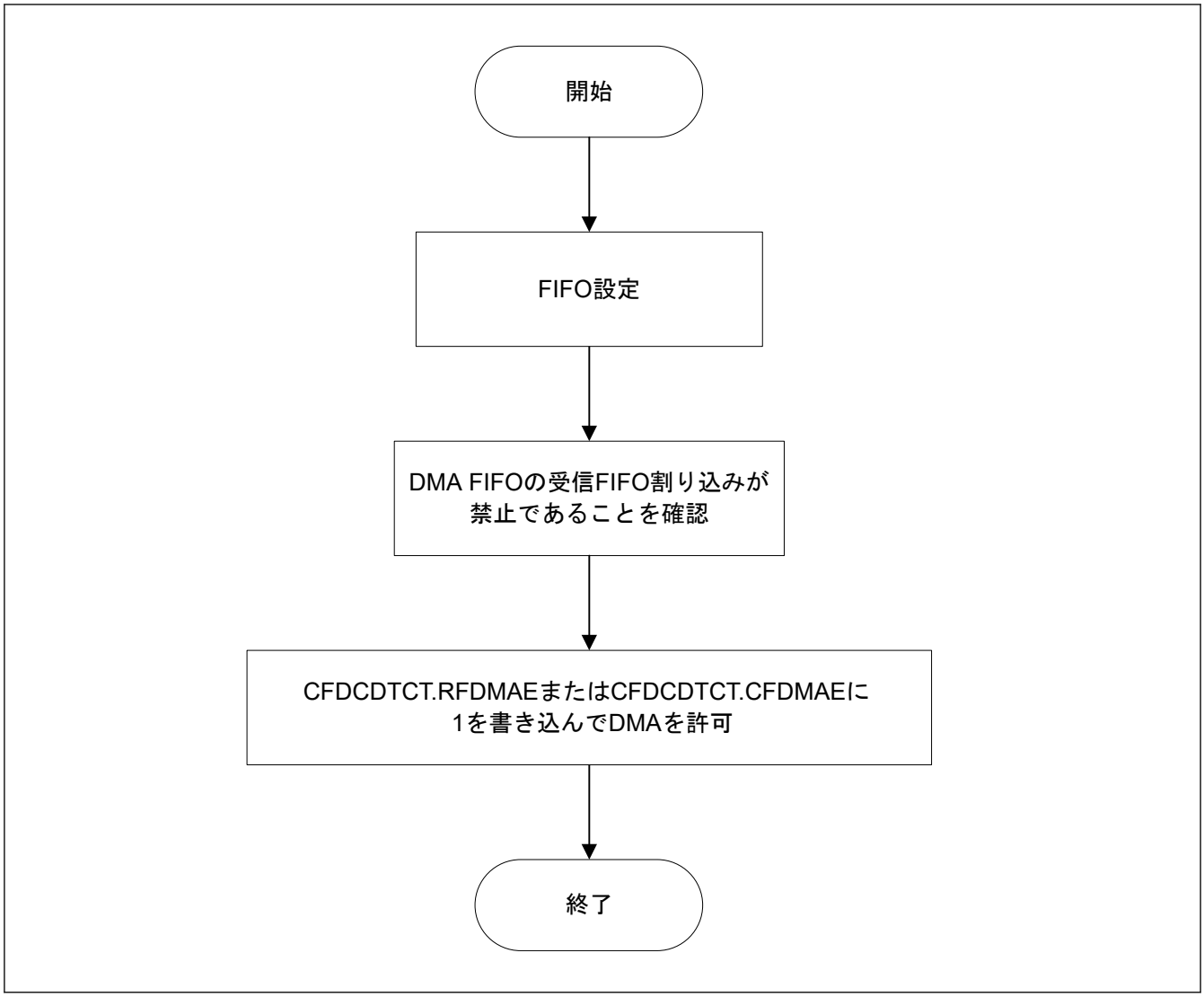


図 41.33 DMA 許可手順

DMA 転送要求を禁止するには、特定の DMA 許可ビット（CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE）を禁止に設定してください。転送中に禁止を設定した場合、その後の操作は、転送が完了してから行う必要があります。転送のステータスは、CFDCDTSTS.RFDMASTS ビットまたは CFDCDTSTS.CFDMASTS ビットで確認できます。DMA 禁止の手順については、図 41.34 を参照してください。DMA が禁止されている場合、その受信 FIFO 宛ての残りのメッセージや新しく受信するメッセージの扱い方の検討が必要です。

FIFO が禁止されていない場合、FIFO の受信は続行されます。

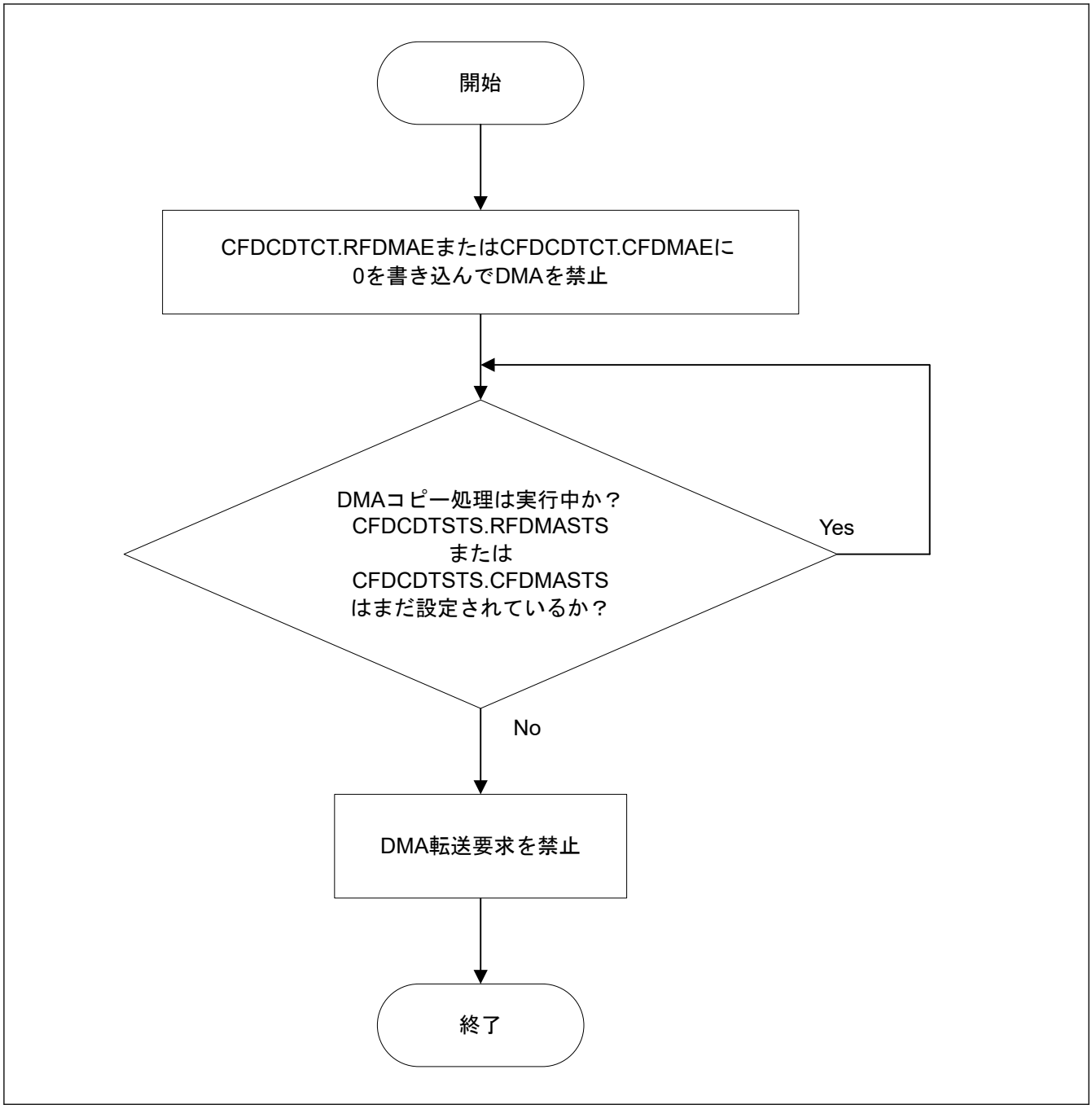


図 41.34 DMA 禁止手順

41.8 受信／送信

41.8.1 受信

CANFD モジュールでは、任意のチャネルで受信した CAN メッセージを、アクセプタンスフィルタリストのエントリに従い、RX メッセージバッファ、RX FIFO バッファ、または RX モードで構成された共通 FIFO バッファに格納されます。

- 構成可能な RX メッセージバッファの数は最大 16 個
- 利用可能な RX FIFO バッファの数は 2 個
- RX モードに設定可能な共通 FIFO バッファの数は 1 個

41.8.1.1 RX メッセージバッファへのメッセージの格納

メッセージが正常に受信されて RX メッセージバッファに格納されると、RX メッセージバッファ新規データレジスタに、対応する新規データフラグがセットされます。

格納された CAN メッセージは、対応する RX メッセージバッファから読み出しできます。

RX メッセージバッファに格納されたメッセージが読み出される前に、その RX メッセージバッファに新しいメッセージが格納されると、元のメッセージは上書きされます。新しいメッセージによって RX メッセージバッファの現在のメッセージが上書きされるのを防止するための機構は存在しません。このようなメッセージの消失を許容できない場合、RX FIFO を使用して関連するメッセージを格納する必要があります。

注. 割り込みを使用する場合も、既存のソフトウェア手順と同様の処理を行ってください。（図 41.36 を参照してください。）

注. 未使用のデータバイトは、DLC の値に応じて 0x00 によって埋められます。

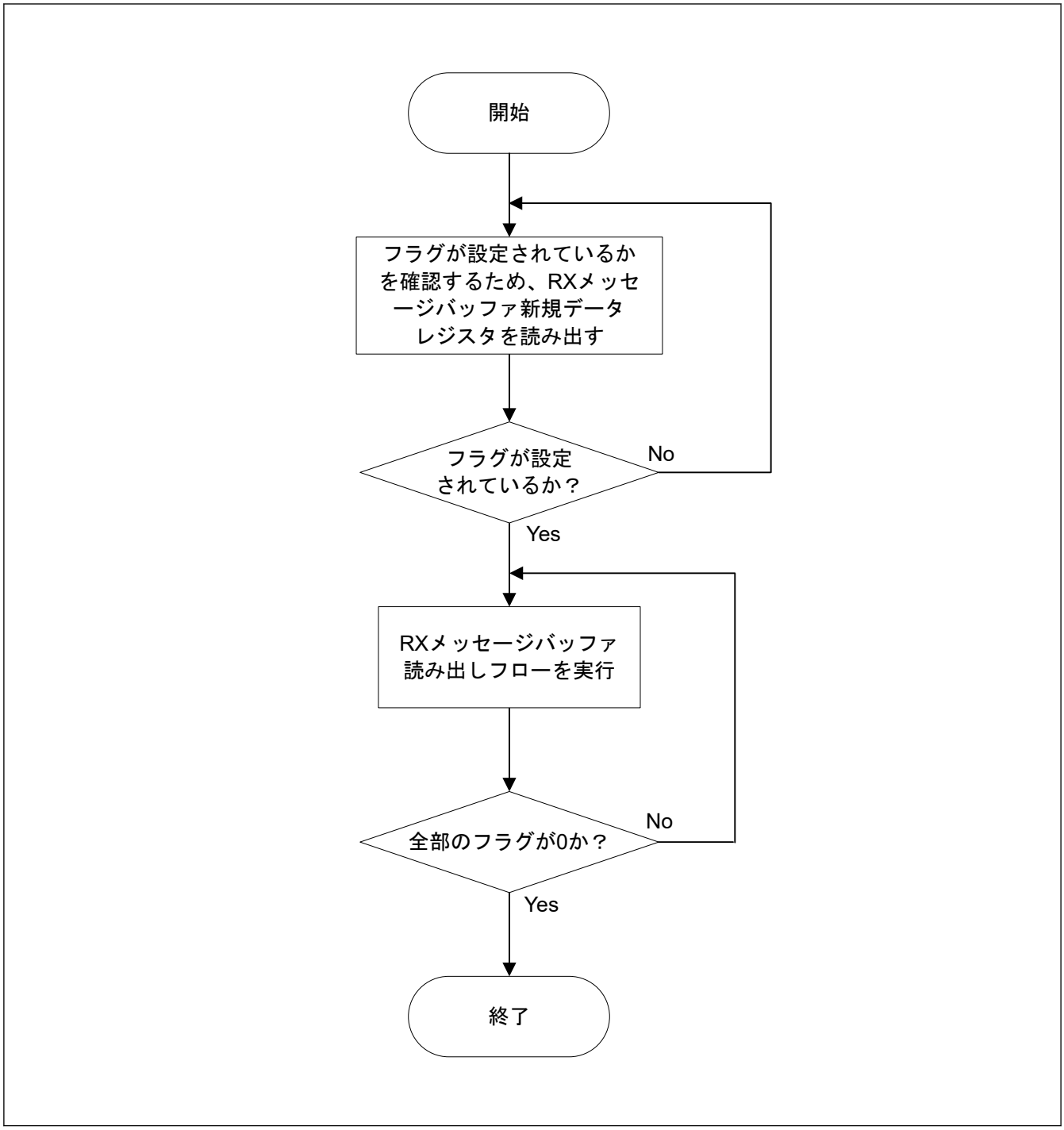


図 41.35　RX メッセージバッファのアクセスフロー（ポーリング）

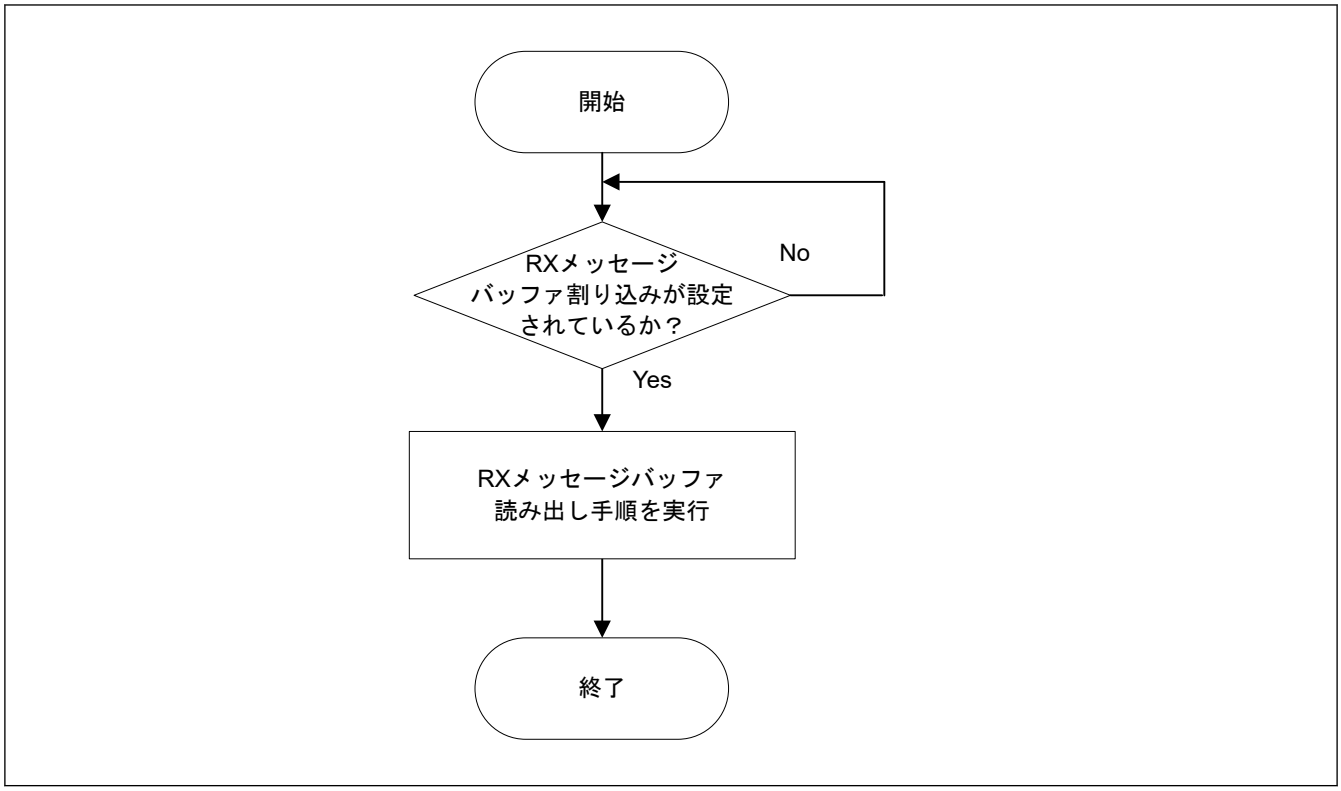


図 41.36　RX メッセージバッファのメッセージアクセスフロー（割り込み）

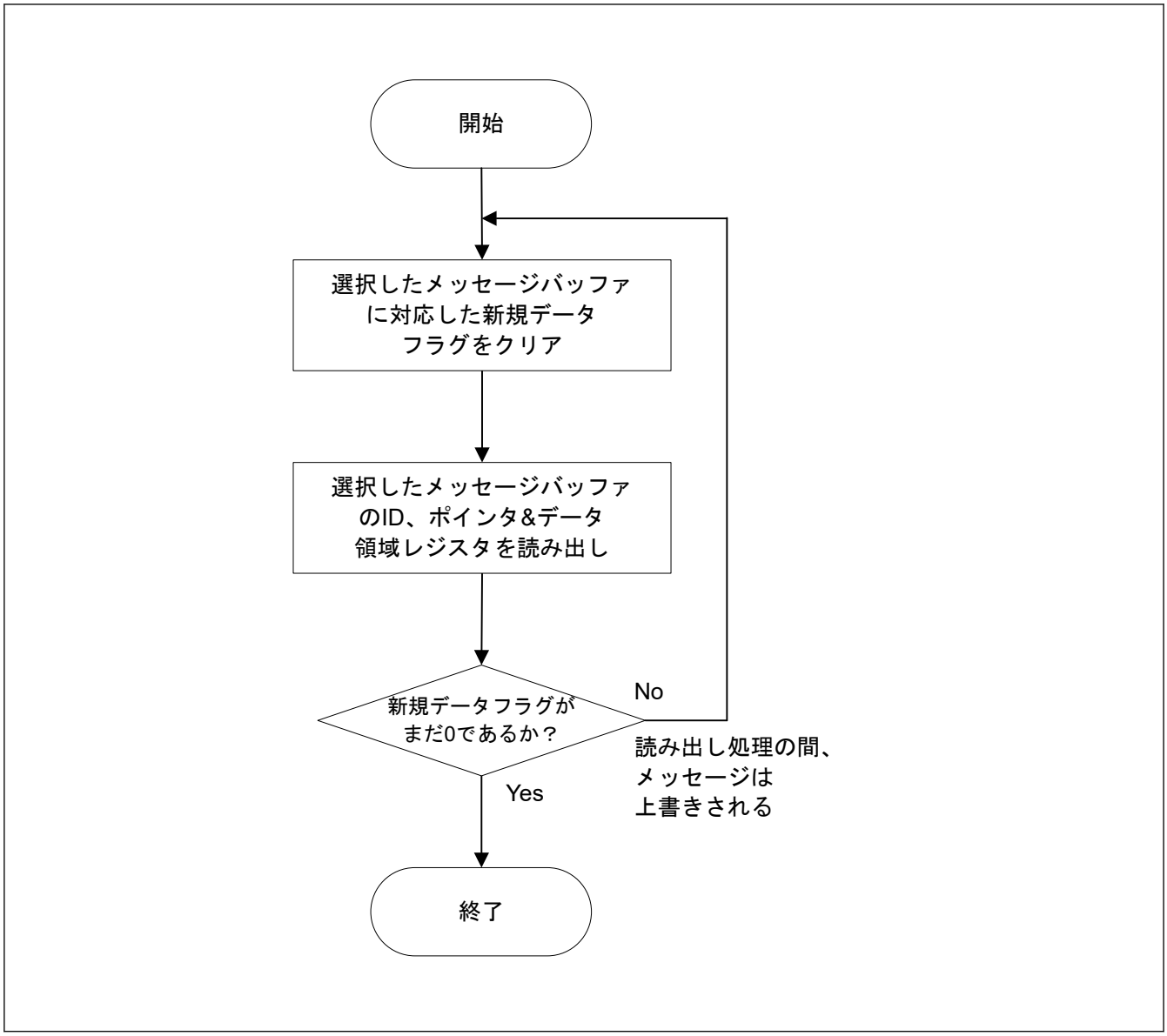


図 41.37 RX メッセージバッファの読み出しフロー

41.8.1.2 FIFO バッファへのメッセージの格納

システム要件に合わせて AFL エントリを構成し、受信したメッセージを、RX FIFO バッファ、または RX モードに構成された共通 FIFO バッファにルーティングできるようにする必要があります。

一致した AFL エントリの CFDGAFLP1r.GAFLFDP[8,1:0]フィールドによって、関連する受信メッセージを格納する FIFO バッファが選択されます。

1 つ以上の RX FIFO バッファまたは RX モードに構成された共通 FIFO バッファに受信メッセージが格納されると、対応する RX FIFO ステータスレジスタまたは共通 FIFO ステータスレジスタのメッセージカウンタの値がインクリメントされます。

FIFO バッファの構成によっては、割り込みが発生することもあります。

メッセージは、対応する FIFO アクセスレジスタから読み出せます。

注. FIFO バッファには多くのメッセージを格納できるため、FIFO バッファに格納されている最新のメッセージを読み出すには、複数のメッセージの読み出しが必要になる場合があります。

メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する FIFO ポインタコントロールレジスタに値 0xFF が書き込まれると、メッセージ数は 1 デクリメントされます。

FIFO ポインタコントロールレジスタへの 0xFF を書き込むときは、対応する FIFO の FIFO アクセスレジスタからメッセージを完全に読み出した後に行ってください。

FIFO に格納されたすべてのメッセージが読み出されると、FIFO エンプティフラグがセットされます。

FIFO メッセージ数が FIFO 容量と一致するとき（FIFO フル条件）に FIFO に新しいメッセージが格納されると、FIFO メッセージロストフラグがセットされ、新しいメッセージは失われます（既に格納されているメッセージの上書きは行われません）。

警告レベルとして適切な値を設定し、FIFO フル条件になる前に割り込みを発生させ、オーバーラン条件によるメッセージの消失を防ぐことができます。

注. メッセージロストフラグは、RX モードのときに、CAN 側によってのみセットできます。CPU 側が FIFO バッファをオーバーロードしているときはメッセージロストフラグはセットされません。

RX FIFO バッファと、RX モードに構成された共通 FIFO バッファはいつでも無効化できます。無効化するには、それぞれ、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFE ビット、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFE ビットをクリアします。

CFDRFCCa.RFE ビットまたは CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージリードポインタおよびライトポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

RX FIFO バッファまたは RX モードに構成された共通 FIFO バッファが、DMA チャネルとして割り当てられている場合、ソフトウェアでその FIFO バッファの FIFO アクセスレジスタにアクセスしたり、FIFO ポインタコントロールレジスタ（CFDCFPCTR.CFPC または CFDRFPCTRa.RFPC）に 0xFF を書き込んではなりません。意図せずに FIFO メッセージがデクリメントされる恐れがあります。DMA チャネルでは、FIFO のデクリメントが自動的に制御されます。

注. 割り込みフラグがセットされている FIFO バッファを無効化した場合、割り込みフラグは自動的にクリアされません。FIFO を無効化する前に、割り込みフラグをクリアしてください。

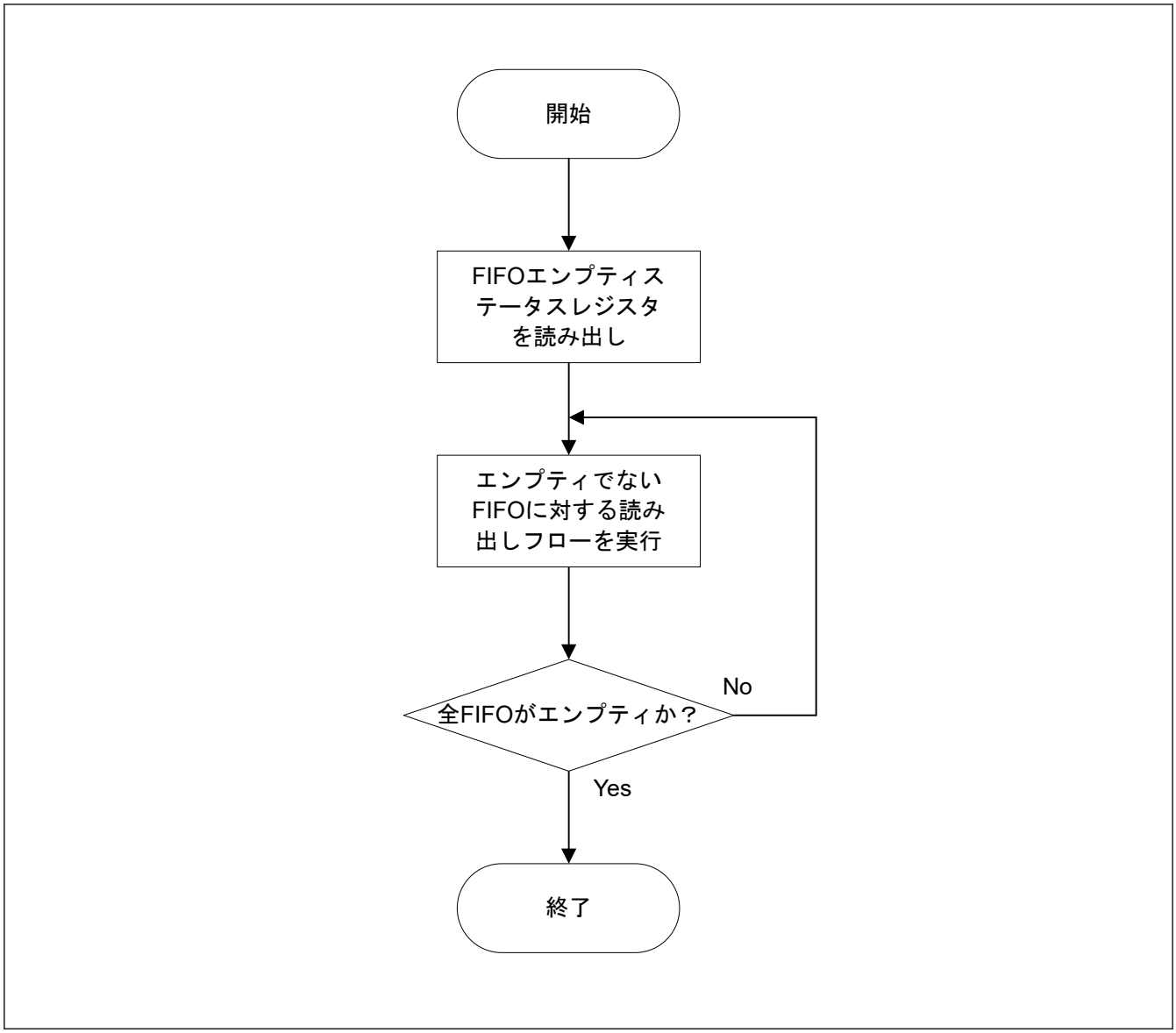


図 41.38　FIFO バッファのメッセージアクセスフロー（ポーリングの場合の例）

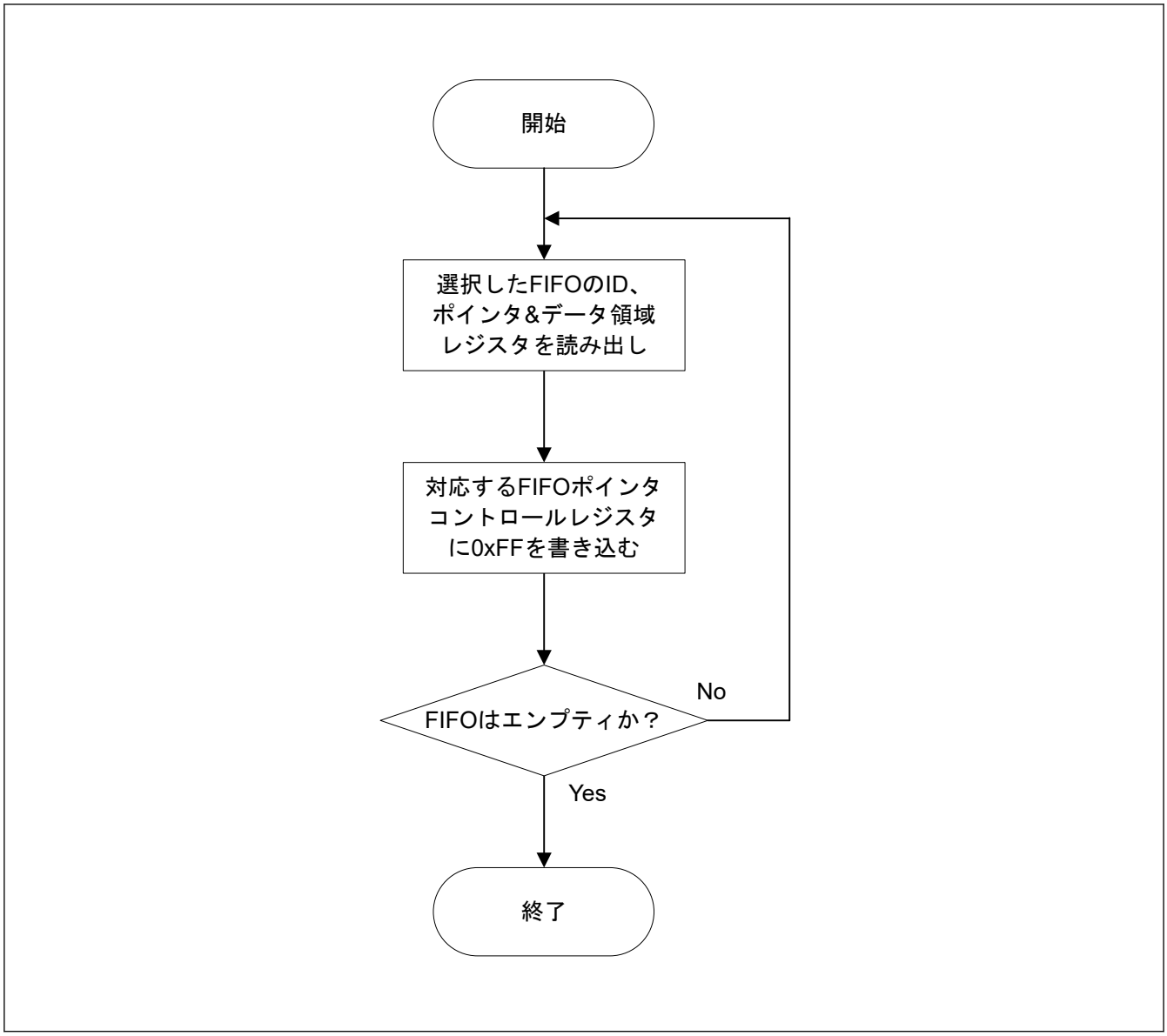


図 41.39 RX FIFO バッファの読み出しフロー（ポーリングの場合の例）

注. 受信の完了割り込みフラグをクリアする前に次のフレームを受信した場合、受信の完了割り込みは再度セットされません。

受信処理の完了後に「割り込みフラグ」をクリアしたとしても、すでに受信済みである割り込みフラグはセットされません。

受信完了処理は、次のフレーム受信完了前に行い、割り込みフラグをクリアしておく必要があります。

処理が間に合わない場合、受信データがエンプティであることを確認してから、割り込みフラグをクリアし、受信データがエンプティであることをもう一度確認します。

41.8.1.3 タイムスタンプ

タイムスタンプカウンタは、受信したメッセージの受信時間、または正常に送信されたメッセージの送信時間をチェックするために使用可能なフリーランニングカウンタです。タイムスタンプカウンタの値は、CFDGFDCFG.TSCCFG[1:0]の設定に基づいて（SOF (Start of Frame) のサンプルポイント、またはフレームが有効な時点、または CANFD フレームでは RES ビットのサンプルポイントで）キャプチャされます。受信時のタイムスタンプカウンタ値は、メッセージ ID およびデータと一緒に、格納先の RX メッセージバッファまたは RX FIFO に格納されます。

メッセージ送信時のタイムスタンプカウンタ値は、TX 履歴リストエントリの一部として格納されます。

カウンタには、周辺クロックから、または CAN チャネルのビットタイミングクロックからクロックを供給できます。カウンタのソースクロックは、グローバルコンフィグレーションレジスタの CFDGCFG.TSSS ビットで構成できます。このビットが 0 の場合、周辺クロックが使用されます。このビットが 1 の場合、選択した CAN チャネルのビット時間クロックが使用されます。

チャネルの選択は、グローバルコンフィグレーションレジスタの CFDGCFG.TSBTCS ビットによって行います。

クロックソースとして、選択した CAN チャネルのビット時間クロックを使用する場合は、注意が必要です。そのチャネルがチャネル Halt モードまたはチャネルリセットモードに遷移した場合、タイムスタンプカウンタは停止してしまいます。つまり、その他の CAN チャネルについても、タイムスタンプカウンタの値が更新されなくなります。

タイムスタンプカウンタのクロックソースとして周辺クロックを選択した場合は、タイムスタンプカウンタの機能がチャネルモードの影響を受けることはありません。

タイムスタンプカウンタのソースクロックは、グローバルコンフィグレーションレジスタの CFDGCFG.TSP ビット（タイムスタンププリスケーラ）で定義された分周比で分周できます。

タイムスタンプカウンタは、CFDGCTR.TSRST ビット（タイムスタンプリセット）によって、0x0000 にリセットすることができます。

41.8.2 送信

以下の複数の送信構成が可能です。

- 通常送信
- FIFO 送信
- TX キュー送信
  決まった数の送信メッセージバッファ（4 個の TX メッセージバッファ）が用意されています。これらのメッセージバッファは送信専用で、受信用に構成することはできません。
  さらに、TX キューまたは TX モードの共通 FIFO から送信するよう設定することができます。設定方法は次のとおりです（図 41.40 を参照）。
  - TX キュー：最大 4 個の送信メッセージバッファをグループ化して、1 つのアクセスウィンドウを共有する TX キューを構成できます。
    上部の送信メッセージバッファを使用して、TXQ が構成されます。
    TXQ は 1 つのアクセスウィンドウを持ちます。
    - TXQ は送信メッセージバッファ 0 です。
- 共通 FIFO（TX モード）：TX モードの共通 FIFO が専用のチャネルにリンクされます。
  チャネルに 1 つ（数は固定）の共通 FIFO が割り当てられます。チャネル内で、TX モードに設定された共通 FIFO を、送信メッセージバッファ 0～3 に自由にリンク（割り当て）できます（1 つの送信メッセージバッファに対して 1 つの FIFO のみリンク可能）。
  リンク先の送信メッセージバッファは、その共通 FIFO バッファによって置き換えられます。
  これらの送信メッセージバッファについて、送信コントロールレジスタや送信ステータスレジスタを使用してはなりません。

関連するチャネルへの共通 FIFO バッファの割り当てについては、図 41.28 を参照してください。

注. 共通 FIFO バッファは、すでに TX キューの構成要素になっている TX メッセージバッファに対してリンクしてはなりません。

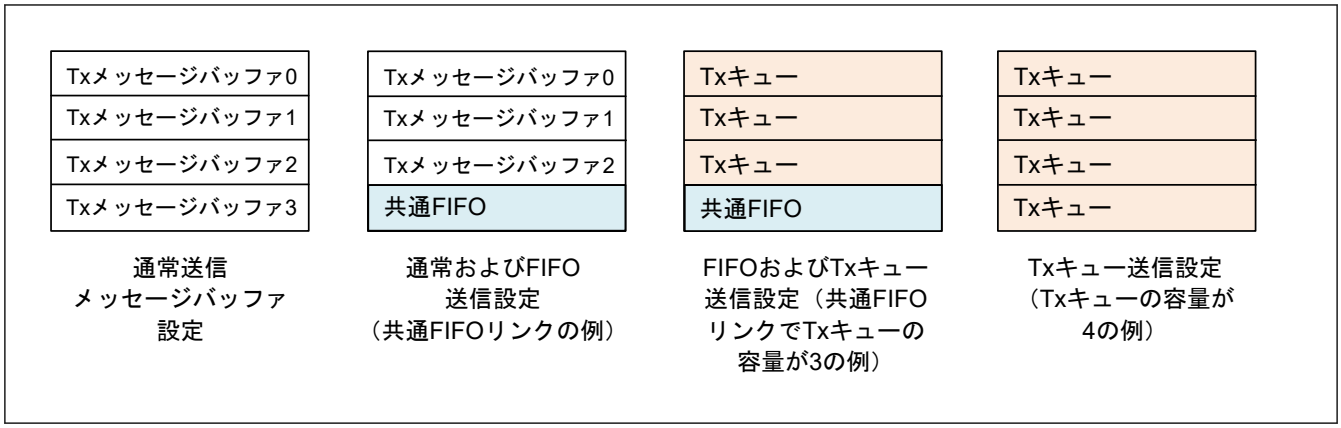


図 41.40　チャネル送信メッセージバッファの構成

41.8.2.1　送信優先順位

1 つのチャネルで 2 つ以上の送信メッセージバッファが送信用に構成されている場合、CANFD モジュール内の送信優先順位は、以下の 2 つのモードから選択できます。

- CAN ID 優先
- メッセージバッファ番号優先

送信優先順位モードは、すべてのメッセージバッファで共通です。グローバルコンフィグレーションレジスタの CFDGCFG.TPRI ビットで構成できます。

メッセージバッファ番号優先送信の場合、送信要求がある中で最も小さいメッセージバッファ番号が、最も高い送信優先順位を持ちます。これには、TX モードに設定された共通 FIFO バッファにリンクされた TX メッセージバッファも含まれます。

ただし、TX キューが有効化されている場合は、メッセージバッファ番号優先モードを使用してはなりません。

CAN ID 優先送信の場合、ID の優先順位は、（ISO 11898-1 仕様に定められた）CAN バスアービトレーションルールに準拠します。送信用に構成されたメッセージバッファの ID 優先順位の比較対象には、すべての TX メッセージバッファを含めることができます。これには、TX モードに設定された共通 FIFO バッファにリンクされた TX メッセージバッファや、TX キューメッセージバッファも含まれます。

同じ ID をもつメッセージバッファが 2 つ以上存在する場合、メッセージバッファ番号が小さい方が、高い送信優先順位を持ちます。

注.　TX モードに設定された共通 FIFO バッファの場合、現在 FIFO リードポインタが指しているメッセージのみを送信アービトレーションに含めることができます。

その FIFO がメッセージ送信中の場合、その FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

これに対して TX キューでは、TX キューのすべての送信メッセージバッファが内部送信アービトレーションの対象となります。

図 41.41 に、送信構成フローを示します。

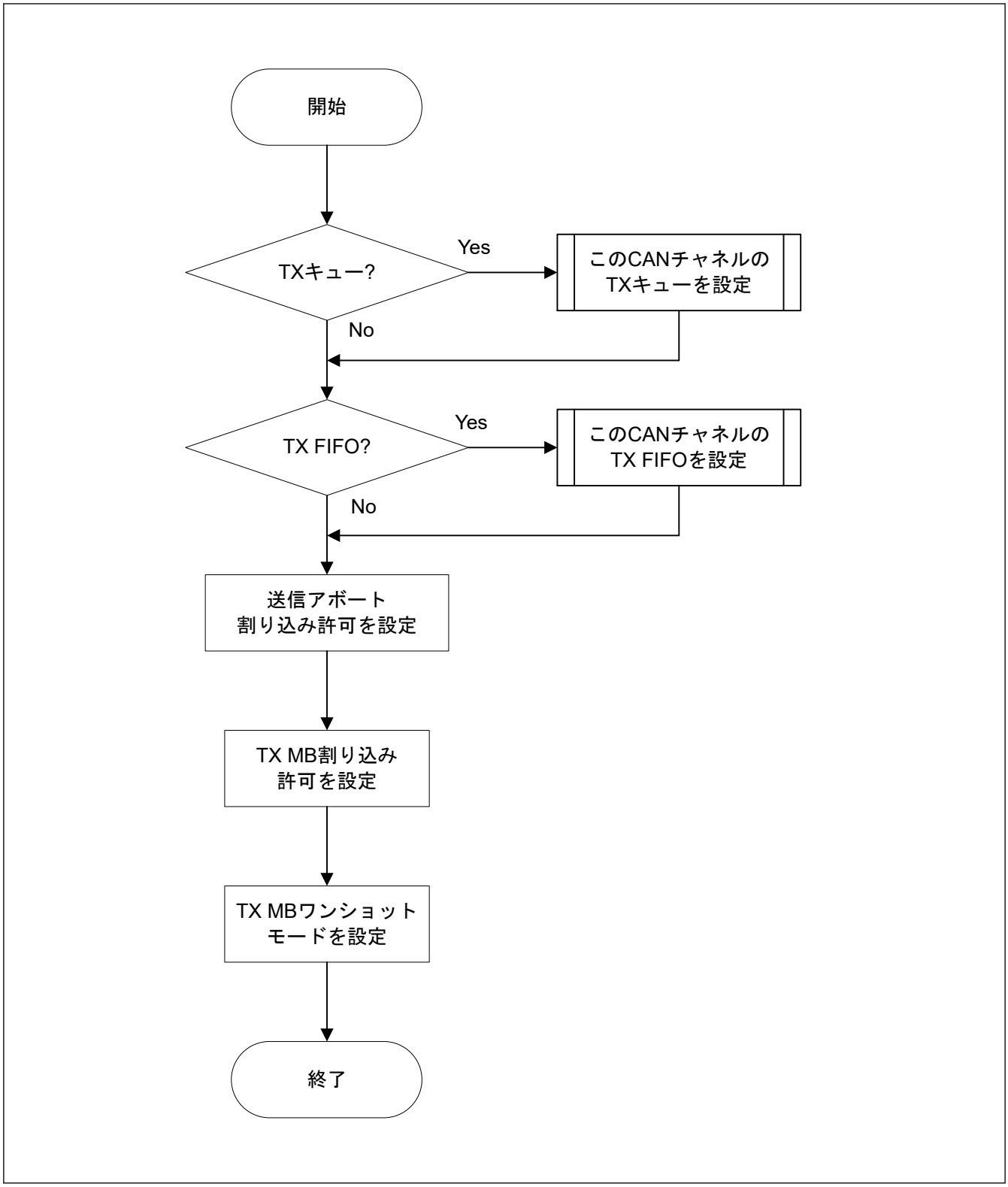


図 41.41　送信構成フロー

41.8.2.2　通常送信

各送信メッセージバッファには、次の 2 つのメッセージ送信モードがあります。

1. 通常送信モード
   メッセージバッファが通常送信モードに設定されている場合、メッセージバッファに設定されたデータフレームまたはリモートフレームを送信できます。

通常送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。これらのビットは、通常送信が正常に行われると、10b または 11b にセットされます。
アービトレーションが失われるか、エラーが発生した場合、その送信メッセージバッファに送信アボート要求が設定されていなければ、メッセージの送信が再試行されます。
送信要求があるすべてのメッセージバッファを対象に、そのチャネルで新しい内部送信アービトレーションが行われます。

2. ワンショット送信モード

TX メッセージバッファコントロールレジスタの CFDTMCi.TMOM ビットがセットされている場合、その送信メッセージバッファはワンショット送信モードに設定されます。このモードでは、メッセージの送信を 1 回のみ試みます。

ワンショット送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。ワンショット送信が正常に行われると、CFDTMSTSj.TMTRF ビットは 10b または 11b にセットされます。

アービトレーションが失われるか、関連するメッセージバッファの送信中にエラーが発生すると、CFDTMSTSj.TMTRF ビットは 01b にセットされます。

この場合、メッセージ送信は再試行されません。

構成後の通常送信要求手順を図 41.42 に示します。

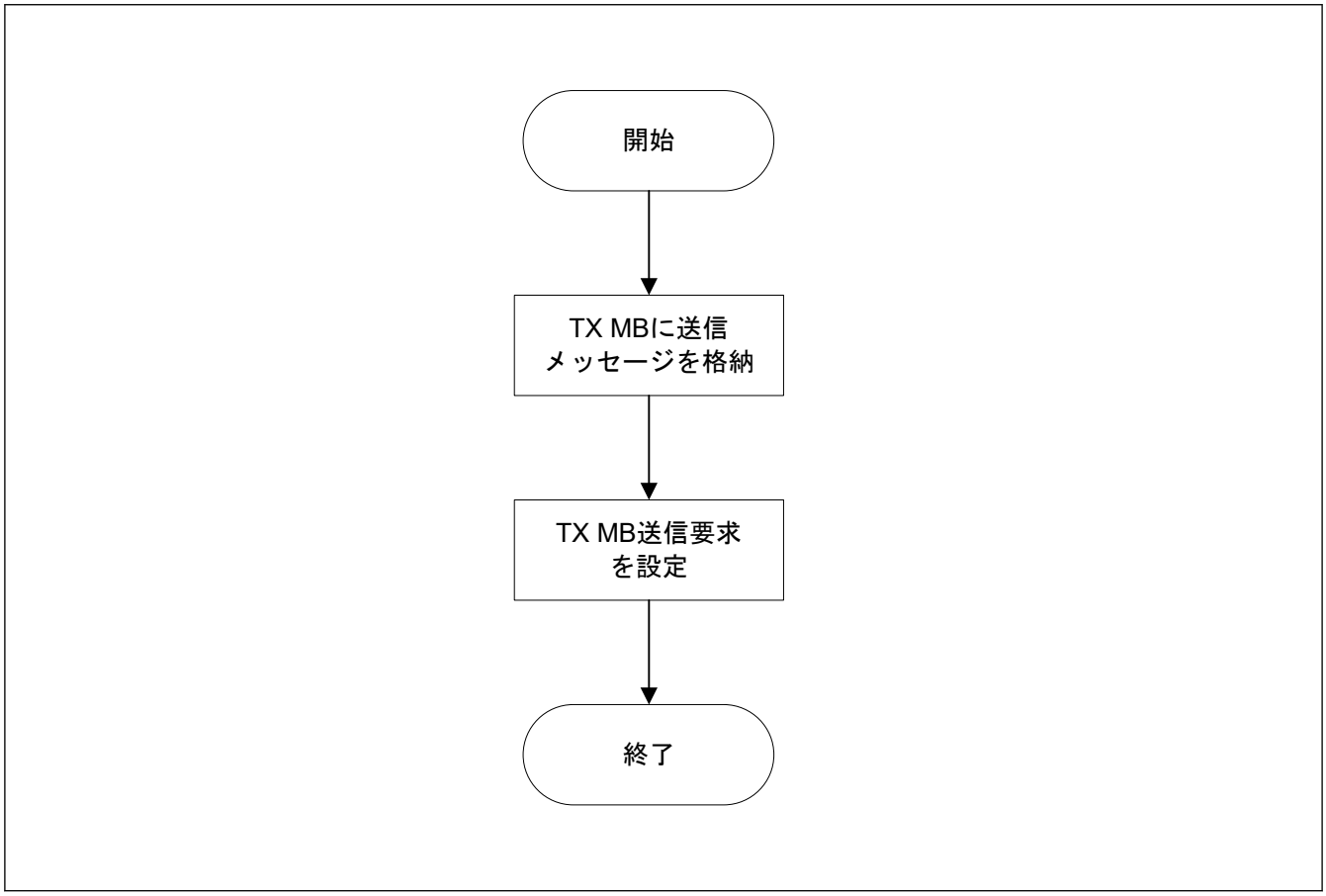


図 41.42 通常 TX メッセージバッファモードを使用した送信要求手順

(1) TX メッセージバッファコントロールレジスタの設定

表 41.26 に、通常 CAN 送信モードの構成を示します。

表 41.26 CAN 送信モードの構成

送信要求 CFDTMCi.TMTR	送信アボート要求 CFDTMCi.TMTAR	ワンショット許可 CFDTMCi.TMOM	通信アクティビティ
0	0	0	メッセージバッファは無効
0	0	1	メッセージバッファは無効
1	0	0	データフレームまたはリモートフレーム用の送信メッセージバッファとして設定されている
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メッセージバッファとして設定されている
1	1	0	送信アボートが要求されている
1	1	1	ワンショット送信アボートが要求されている

これらのコンフィグレーションビットは、TX メッセージバッファコントロールレジスタで構成できます。

図 41.43 に、2 つのメッセージバッファの正常送信のタイミングを示します。

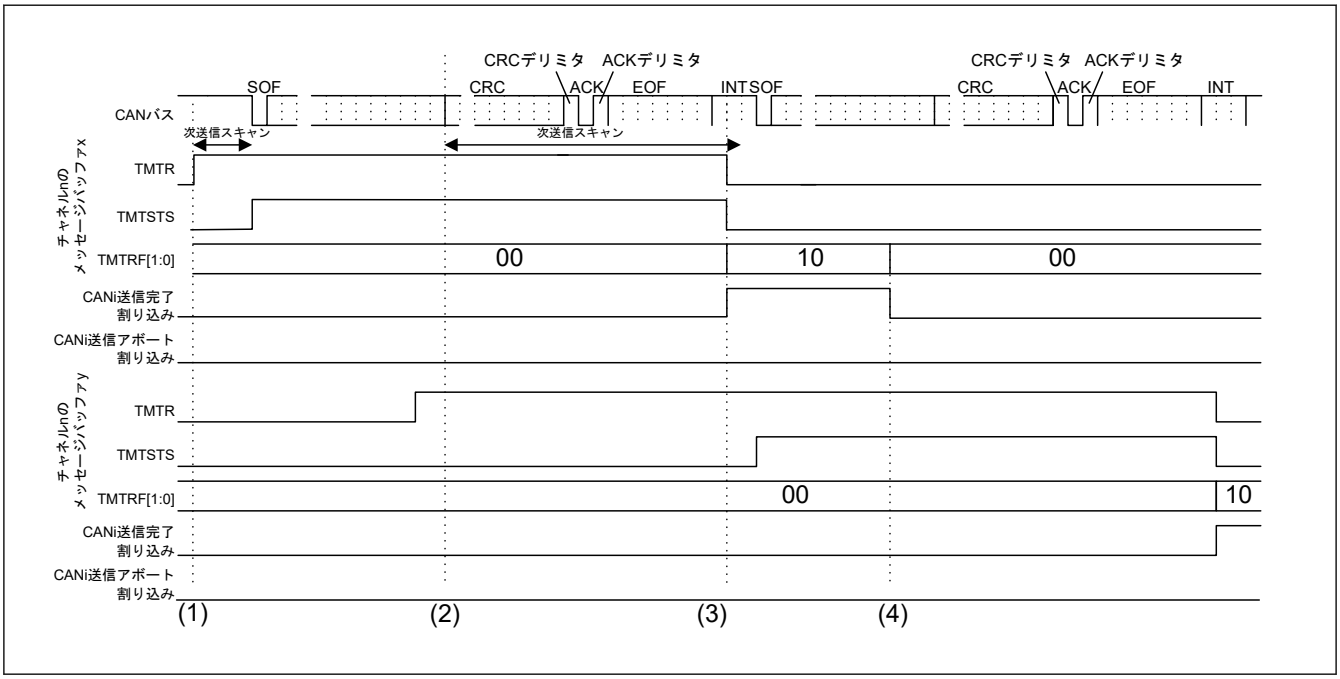


図 41.43 正常送信の要求およびフラグビットのタイミング

1. TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
   送信メッセージバッファが決定されると、関連する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャネルが送信を開始します(注1)。
2. 保留中の送信要求が存在する場合、CRC の 1 ビット目で、次の送信用の送信スキャン手順が開始されます。
3. メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 10b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCi.TMTR ビットがクリアされます。
   TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
   関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF フラグビットをクリアする必要があります。
4. 次の送信を開始する前に、CFDTMSTSj.TMTRF ビットをクリアしてください。送信メッセージバッファ内の次のメッセージを読み込み、CFDTMCi.TMTR ビットを再度セットします。
   CFDTMCi.TMTR ビットを再度セットするには、先に CFDTMSTSj.TMTRF[1:0]ビットをクリアする必要があります。

注 1. CAN チャネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。

1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

注. CFDTMSTSj.TMTST が設定されるポイントは、常に SOF の先頭になるとは限りません。PLL バイパス用に実装された同期ロジックにより、最大で、標準 ID の開始点まで遅れることがあります。

図 41.44 に、2 つのメッセージバッファの送信アボートのタイミングを示します。

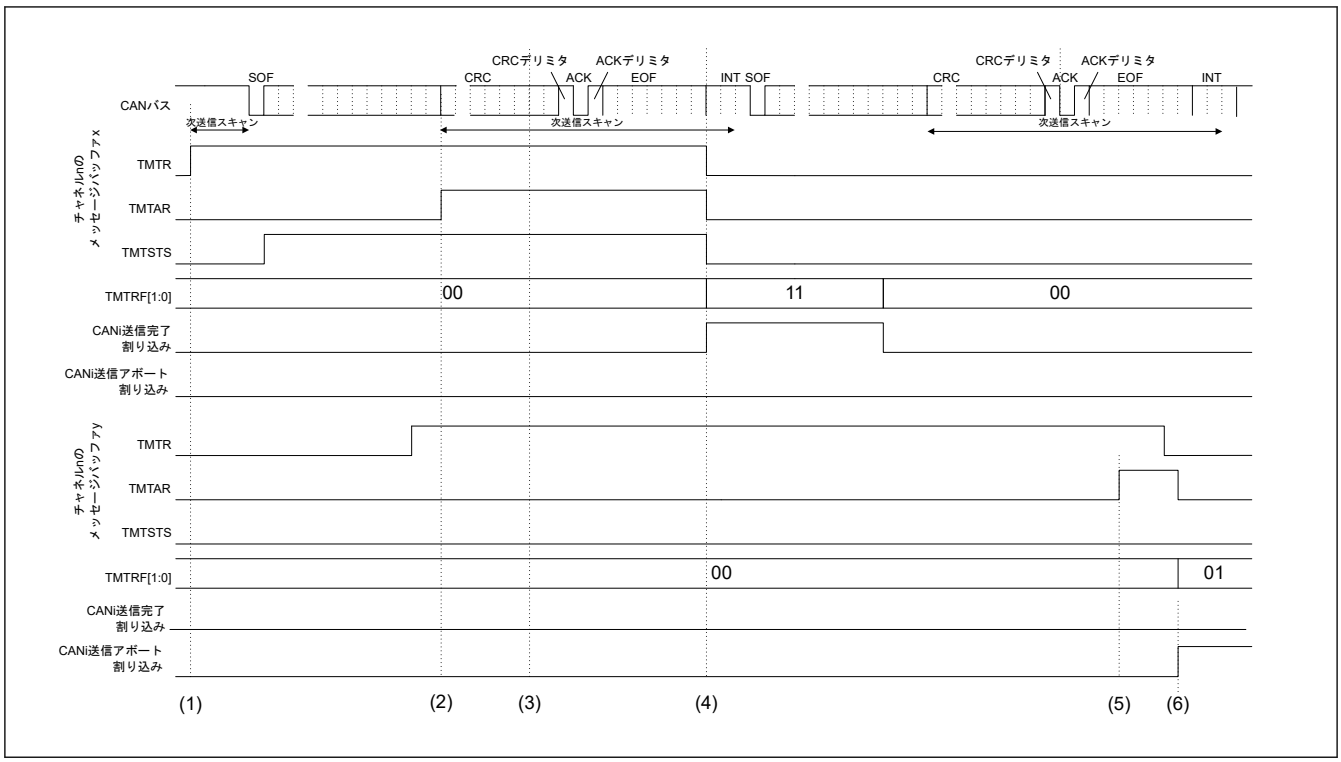


図 41.44 送信アボートの要求およびフラグビットのタイミング

1. TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
   送信メッセージバッファが決定されると、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャネルが送信を開始します (注1)。
2. すでに送信用に選択されているか、現在送信中のメッセージバッファに対して CFDTMCi.TMTAR ビットがセットされた場合は、エラーが発生したりアービトレーションが失われたりしない限り、メッセージはアボートされません。
3. 1 つ目の CRC ビットで、次の送信用の送信スキャン手順が開始されます。このタイミングチャート例では、メッセージバッファ y は次の送信メッセージバッファとして選択されていません。
4. メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 11b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCi.TMTR ビットがクリアされます。
   TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
   関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF[1:0]ビットをクリアする必要があります。
5. CAN バス上では、別の CAN ノードが送信中です（CFDTMSTSj.TMTSTS はセットされていません）。関連するチャネルが送信スキャン中に CFDTMCi.TMTAR ビットがセットされた場合、送信要求はクリアできません。

6. 内部処理時間が経過した後、送信はアボートされ、CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。
そのメッセージバッファが送信中でなく、次の送信メッセージバッファとして選択されてもおらず、送信スキャン中でもない場合、アボートは即座に受け入れられ、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。
また、CFDTMCi.TMTR ビットと CFDTMCi.TMTAR ビットは自動的にクリアされます。
関連するチャネルコントロールレジスタの送信アボート割り込み許可 (TAIE) ビットがセットされている場合は、送信が正常にアボートされると割り込みが生成されます。
関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF ビットをクリアする必要があります。

注 1. CAN チャネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。

1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

41.8.2.3 TX FIFO 送信

CANFD モジュールには 1 つの共通 FIFO バッファが割り当てられています。この FIFO バッファは、TX モードに設定された場合、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFTML ビットによって、そのチャネルの通常の TX メッセージバッファの任意の位置にリンクできます。

送信スキャンが開始したときに、その TX メッセージバッファに対応する FIFO バッファが有効化されている場合、その FIFO バッファ内の関連するメッセージが送信スキャンの対象となります。

TX モードの FIFO バッファにリンクされた TX メッセージバッファに対して設定を行ってはなりません。

(1) TX FIFO の動作

TX FIFO に CAN メッセージを書き込むには、対応する FIFO アクセスレジスタに書き込みます。

対応する FIFO ポインタコントロールレジスタに値 0xFF が書き込まれると、関連する FIFO のメッセージ数が 1 インクリメントされます。

FIFO ポインタコントロールレジスタに書き込むときは、対応する FIFO アクセスレジスタにメッセージを完全に書き終わってから行ってください。メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する CANFD モジュールチャネルロジックにより、TX FIFO 内の最も古いメッセージが送信スキャン対象に含まれます。

TX FIFO がメッセージを正常に送信すると、メッセージ数の値が 1 デクリメントされます。FIFO からすべてのメッセージが送信されると、FIFO エンプティフラグがセットされます。

TX FIFO バッファの割り込み発生条件は、対応する共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFIM ビットによって設定できます。

CFDCFCC.CFIM ビットが 0 の場合、TX FIFO バッファから最後のメッセージが正常に送信されたときに割り込みが発生します。

CFDCFCC.CFIM ビットが 1 の場合、TX FIFO バッファからメッセージが正常に送信されるたびに、割り込みが発生します。

共通 FIFO は、CAN フレームの送信が完了したときに割り込みを設定できます。

TX モードに設定された共通 FIFO バッファは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFE ビットをクリアすることで、無効化できます。このビットが 0 にクリアされると、以下のタイミングで FIFO エンプティフラグがセットされます。

- TX FIFO からの次の送信予定がなく、また送信中でもない場合：即時
- TX FIFO からの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトレーションロスト後、またはチャネルまたはグローバル Halt モード遷移後

注. CFDCFCC.CFE ビットクリア後に共通 FIFO バッファが無効とみなされるのは、対応する共通 FIFO バッファにエンプティフラグがセットされている場合のみです。

TX FIFO にその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。再び CFDCFCC.CFE をセットする前に、CFDCFSTS.CFEMP ビットがセットされており、かつ、その TX FIFO に保留中のアボートがないことを確認してください。

CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージリードポインタおよびライトポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

構成後の FIFO 送信要求手順を図 41.45 に示します。

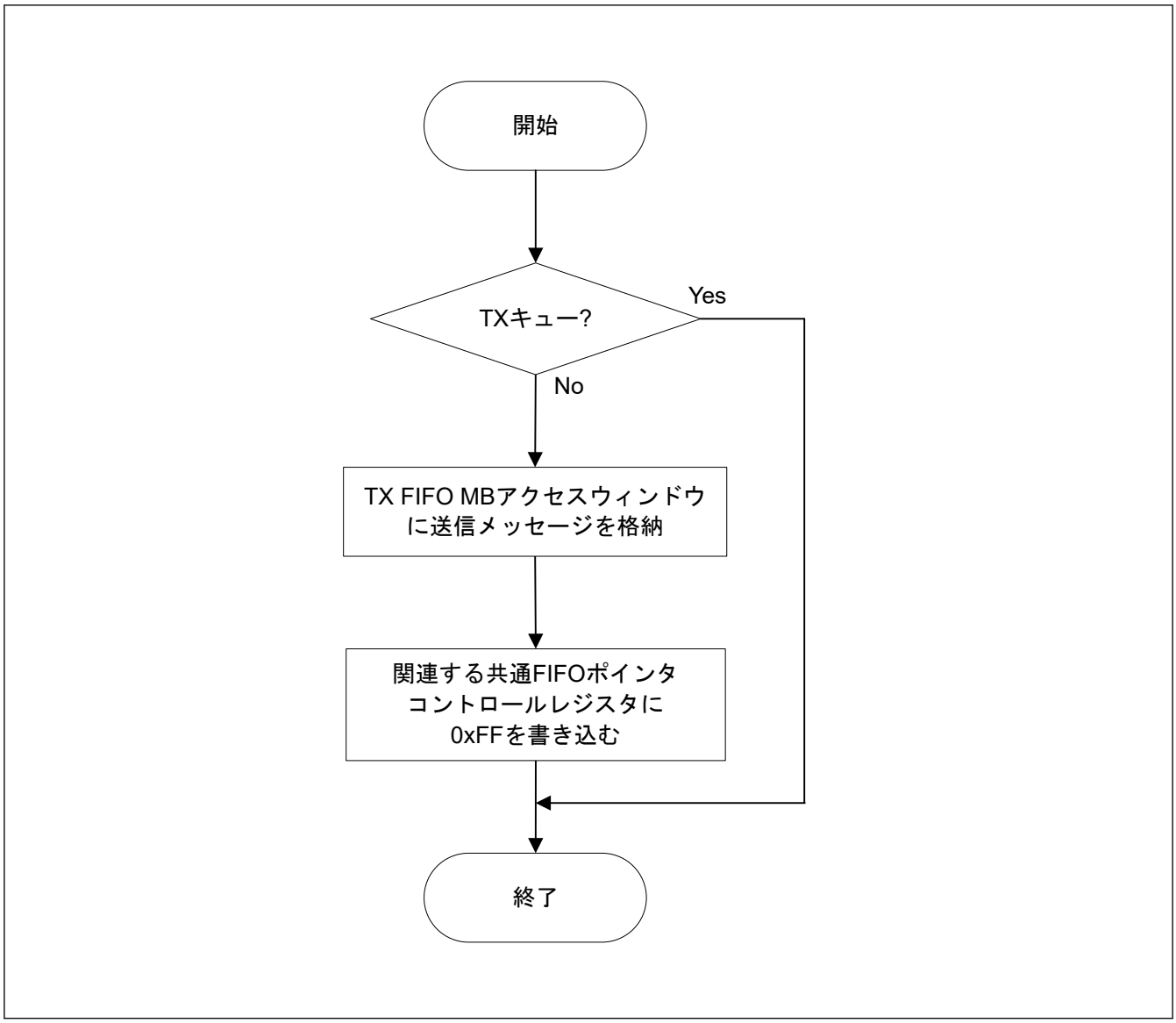


図 41.45 TX FIFO の送信要求手順

(2) FIFO 送信のインターバルタイマ

TX モードの各共通 FIFO において、1 つの FIFO バッファから送信されるよう構成された 2 つの連続するメッセージ間の遅延を指定することができます。この遅延をインターバル時間と呼びます。このインターバル時間は、CFDCFCC.CFE ビットがセットされ、FIFO バッファの最初のメッセージが正常に送信された後に開始されます。

TX モードの共通 FIFO が有効の場合、最初のメッセージは、このインターバル時間を考慮することなく送信されます。

以下のとき、インターバルタイマはカウントを停止します。

- CFDCFCC.CFE ビットのクリアによって FIFO が無効化されたとき
- CAN チャネルが CH_RESET モードのとき

インターバル時間は、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFITT の値により、0～255 のタイマ単位で指定されます。

タイマ単位は、インターバルタイマ用の 2 つの異なるソースクロックに基づいて定義できます。FIFO 送信のインターバルタイマを無効にするには、値 0 を選択します。

タイマソースは、共通 FIFO コンフィグレーション／コントロールレジスタのコンフィグレーションビット CFITSS によって選択できます。

クロックソースとして CAN チャネルビット時間クロックを選択し、CAN チャネルが CH_HALT モードまたは CH_RESET モードまたは CH_SLEEP モードに遷移した場合、そのチャネルのインターバルタイマは停止します。

インターバルタイマのクロックソースとして周辺クロックを選択した場合、インターバルタイマが停止するのは、CAN チャネルが CH_RESET モードまたは CH_SLEEP モードになったときのみです。

基準クロックを使用して、インターバル時間を固定の時間単位で構成できます。これは、周辺クロックに基づきます。グローバルコンフィグレーションレジスタの基準クロックプリスケーラ値 CFDGCFG.ITRCP は、周辺クロックの周波数／周期と基準クロック周期の関係を定義します。

周辺クロックの周波数／周期に基づいて異なる基準クロック周期を実現するための CFDGCFG.ITRCP の設定値については、表 41.27 を参照してください。

表 41.27　FIFO インターバルタイマの基準クロックの構成例

基準クロック 周辺クロック	1 µs	100 µs	500 µs
16 MHz/62.5 ns	16	1600	8000
20 MHz/50 ns	20	2000	10000
32 MHz/31.25 ns	32	3200	16000
50 MHz/20 ns	50	5000	25000

さらに、共通 FIFO コンフィグレーション／コントロールレジスタのインターバルタイマ基準クロック分解能値 CFDCFCC.CFITR を使用して、基準クロックの分解能を指定できます。

インターバル時間は、基準クロック周期を設定値で逓倍（x1 または x10）した値に基づきます。基準クロックベースのインターバルタイマを使用すると、ISO 15765-2 のセパレーション時間の要件に準拠することができます。100 µs～127 ms の全範囲のセパレーション時間をカバーできます。

指定したインターバル時間は、正常送信イベント後（CAN プロトコルの EOF7 状態の後）に開始されます。

インターバル時間が経過すると、関連する TX FIFO によって次の送信要求が出されます。したがって、インターバル時間により、1 つの FIFO から送信される 2 つのメッセージ間の最小間隔が定義されます。

次のメッセージが送信されるのは、最も早くても、このインターバル時間の後になります。図 41.46 に内部処理のタイミング例を示します。

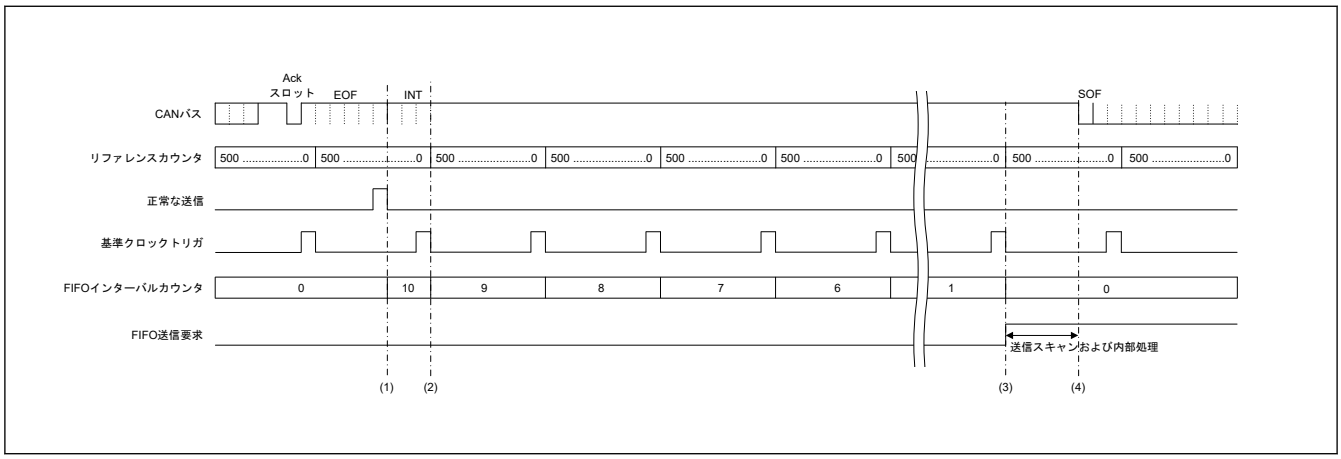


図 41.46　インターバル処理時間の例

図 41.46 のタイミングの構成は以下のとおりです。

- 周辺クロック周波数 = 50 MHz

- インターバルタイマ基準クロック (CFDGCFG.ITRCP) = 500 カウント
- 図 41.46 の設定による基準クロック = 10 µs
- 共通 FIFO インターバルタイマ源選択 (CFDCFCC.CFITSS) = 0
- 共通 FIFO インターバルタイマ分解能 (CFDCFCC.CFITR) = 0
- 共通 FIFO インターバル送信時間 (CFDCFCC.CFITT) = 10 カウント
- 理論上のメッセージセパレーションインターバル = 100 µs

1. 正常送信結果が発生すると、内部 FIFO インターバルタイマはリスタートされます。このリスタートは、基準クロックのトリガとは同期されません。そのため、最初のインターバルのカウントは、1 基準クロックインターバルと同じか、それ以下になります。
2. 次の基準クロックトリガで、FIFO インターバルタイマはデクリメントされます。
3. FIFO インターバルタイマが値 0 に達すると、FIFO 送信要求がセットされます。
4. FIFO が送信用に選択されている場合、送信はほどなく開始されます。内部処理のため、通常、3.で内部 FIFO 送信要求がセットされてから、実際に送信されるまでに 3CAN ビット時間未満の時間がかかります。

すべてのチャネル上で受信スキャン、内部メッセージルーティング、送信スキャンなどの複数のイベントが同時に発生するワーストケースでは、最大で 120 周辺クロックサイクルかかる場合があります。

図 41.46 に示すように、最小インターバル時間が常に設定値と等しくなる保証はありません。最小時間を決して逸脱してはならない場合は、CFDCFCC.CFITT を必要な最小値 + 1 に設定する必要があります。

1 つのチャネルに対して、その他の TX メッセージバッファまたは TX FIFO が送信用に構成されている場合、TX FIFO から送信される 2 つのメッセージ間の実際の遅延時間は、インターバル時間に設定した時間よりもかなり長くなることがあります。これは、TX メッセージバッファまたは TX FIFO から高優先順位のメッセージが送信されることによります。

図 41.47 に FIFO インターバル時間生成回路のブロック図を示します。

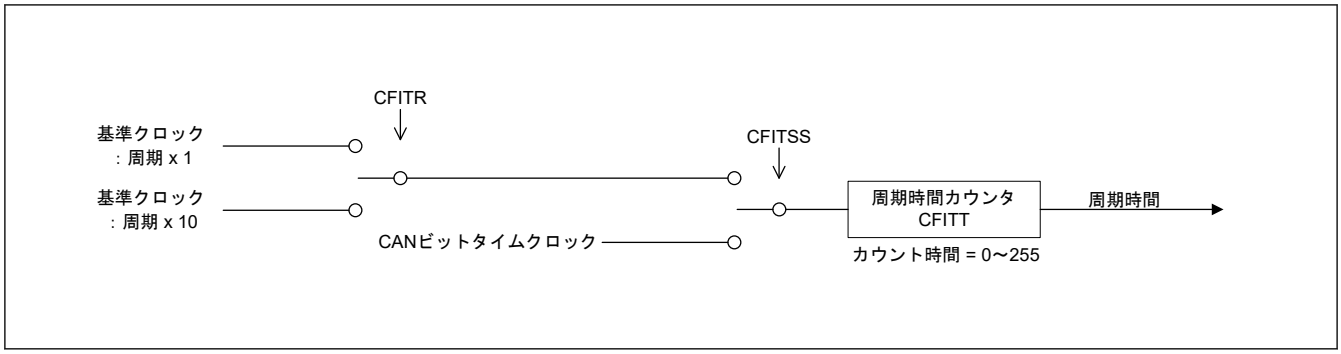


図 41.47 FIFO インターバルタイマのブロック図

41.8.2.4 TX キュー

ある特定のチャネルに対して有効化される各 TX キューは、3～4 個の TX メッセージバッファによって構成され、1 つのアクセスウィンドウを介してアクセスされます。

- 1 つ目の TX キューは、容量 3 の最大 4 つのバッファによって構成され、TX メッセージバッファ No. 0 をアクセスウィンドウとして使用します（これを TXQ と呼びます）。

TXQ のすべてのメッセージは、送信優先順位比較の対象になります。この場合、ID 優先 (CFDGCFG.TPRI = 0) のみを使用するものとします。

TXQ 用のレジスタを以下に示します。

- CFDTXQCC
- CFDTXQSTS
- CFDTXQPCTR

アクセスウィンドウ TXQ0 を使用する場合、関連するアクセスレジスタ TX メッセージバッファ ID レジスタ (TMID[m])、TX メッセージバッファポインタレジスタ (TMPTR[m])、TX メッセージバッファデータフィールド 0 レジスタおよび TX メッセージバッファデータフィールド 1 レジスタ (TMDF[0:1][m]) を参照してください。

各 TXQ バッファの容量は、TX キューコンフィグレーション／コントロールレジスタの CFDTXQCC.TXQDC[1:0] ビットへの書き込みによって構成できます。TXQ は、最大で TXMB0 から TXMB3 までを 1 つのキューバッファとして設定できます。

TXQ バッファの容量の構成には、以下の 4 個のオプションを使用できます。

- 0x00: TX キュー禁止
- 0x01：予約
- 0x10: 3 メッセージ
- 0x11: 4 メッセージ

TX キューを構成するすべての TX メッセージバッファには、直接アクセスしないでください（TX キューのアクセスウィンドウとして機能する TX メッセージバッファ No. 0 を除く）。

システムが TX キューに書き込む際、システムは TX キューの状態をチェックした後に、送信データを書き込む必要があります。

また、関連する TX メッセージバッファコントロールレジスタへのユーザーによるアクセスおよび構成は禁止されています。

TX キューのアクセスウィンドウに格納されたメッセージは、その TX キュー内の空いているバッファに内部的に格納されます。

バッファがフルになると、フルの状態が解除されるまで、キューへのアクセスは行われません。TX キューのバッファがフルのときにソフトウェア書き込みによってアクセスされた場合、送信データは上書きされます。

TX キューは、TX キューコンフィグレーション／コントロールレジスタの TXQE ビットをクリアすることによって無効化できます。このビットがクリアされると、以下のように TX キューエンプティフラグがセットされます。

- TX キューからの次の送信予定がなく、また送信中でもない場合：即時
- TX キューからの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトレーションロスト後、またはチャネルまたはグローバル Halt モード遷移後

注. TX キューが無効化されるのは、対応する TX キューの TXQE ビットがクリアされた後、エンプティフラグがセットされたときのみです。

TX キューにその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。

再び TXQE をセットする前に、CFDTXQSTS.TXQEMP ビットがセットされていること、およびその TX キューに保留中のアボートがないことを確認してください。

TXQE ビットがクリアされると、TX キューバッファ内のすべてのメッセージが失われ、以降その TX キューにメッセージを格納することはできなくなります。

TX キューにすでにメッセージが格納されている状態で、TX キューポインタコントロールレジスタに 0xFF を書き込んでください。これにより、送信要求が自動的に設定され、内部メッセージバッファポインタが TX キュー内の次の空いているメッセージバッファ位置に変更されます。

注. 同じ ID を持つ 2 つのメッセージが TX キューに格納された場合、これらのメッセージの送信順序が、TX キューに格納された順序とは変わる可能性があります。

この条件を回避するため、同じ ID を持つ新しいメッセージを TX キューに格納する前に、同じ ID を持つ前のメッセージが正常に送信されたことを確認することが重要です。

TX キューでは、TX キューコンフィグレーション／コントロールレジスタの TXQIE ビットをセットすることにより、専用の割り込みを有効化できます。

割り込みモードについては、同じレジスタの CFDTXQCC.TXQIM ビットによって、メッセージが送信されるごとに割り込みを発生させるか、最後に送信されるメッセージに対して割り込みを発生させるかを選択できます。

構成後の TX キュー送信要求手順を図 41.48 に示します。

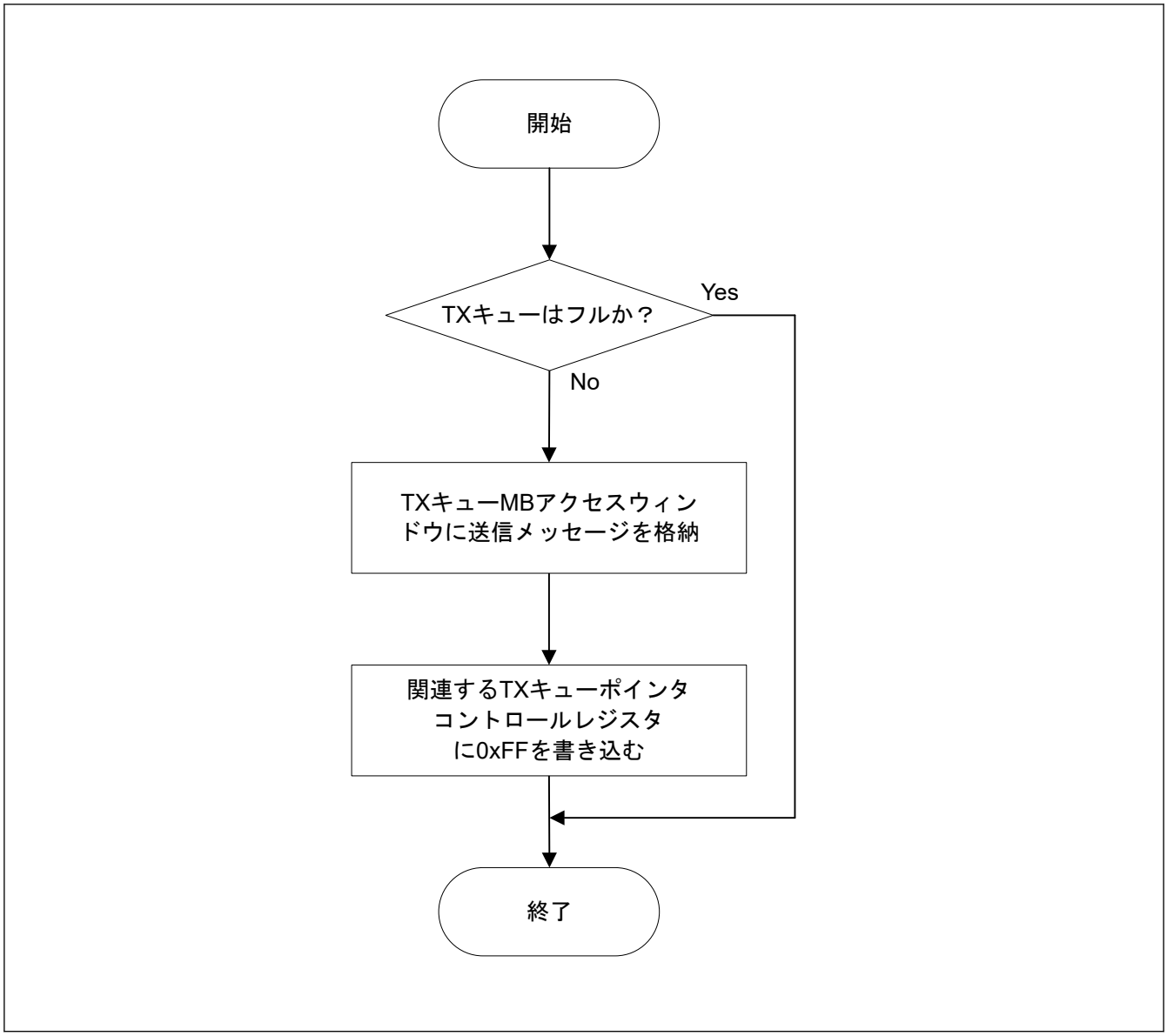


図 41.48 TX キュー送信要求

41.8.2.5 TX 履歴リスト

TX 履歴リストとは、正常に送信されたメッセージの情報を TX 履歴リストバッファ（THL バッファ）に記録する機能です。2 つの TX 履歴リストバッファがあり、THL バッファには最大 8 個の TX 履歴リストエントリを格納できます。

TX 履歴リストコンフィグレーション／コントロールレジスタの CFDTHLCC.THLDTE ビットを使用して、TX FIFO／TX キューから送信されたメッセージの情報のみを TX 履歴リストに格納するか、TX キュー、TX FIFO、または通常の TX メッセージバッファから送信されたすべてのメッセージに関する情報を格納するかを設定できます。

メッセージバッファポインタレジスタの CFDCFID.THLEN ビットを使用すると、各送信メッセージの TX 履歴リストへの受け入れを個別に設定できます。

メッセージ情報は、メッセージが正常に送信された後、CAN チャネルの TX 履歴リストバッファに格納されます。

リストへの格納は、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットのステータスとは同期されません。

内部処理のため、正常送信が通知された後、リストに格納されるまでに遅延が生じることがあります。

TX 履歴リストにデータが格納されたかどうかは、THLIE が 1 に設定されている場合は THLIF が 1 にセットされたことによって、または TX 履歴リストカウンタ CFDTHLSTS.THLMC[5:0]が増分されたことによって認識できます。

受信スキャンや内部メッセージルーティングなどの複数のイベントが発生するワーストケースでは、次のようになります。

- CFDTMSTSj.TMTRF をセットしてから TX 履歴リストデータが格納されるまでの最大遅延時間は、70 周辺バスクロックサイクルです。

履歴リストは、送信したメッセージについて次の情報を記録します。

- バッファの種類：
  - 001: TX メッセージバッファ
  - 010: TX FIFO
  - 100: TX キュー
- バッファ番号：
  送信が発生した TX メッセージバッファ、TX キューメッセージバッファ、または共通 FIFO バッファの TX メッセージバッファリンク。この番号は、バッファの種類によって決まります。表 41.28 を参照してください。
- 送信 ID：
  送信メッセージに格納された送信ポインタ
- 送信タイムスタンプ：
  CFDGFDCFG.TSCCFG によって構成されたキャプチャポイントで取得されたメッセージのタイムスタンプ。
- 送信情報ラベル：
  送信メッセージに格納された送信情報ラベル

表 41.28　TX 履歴リストバッファ番号エントリ

バッファ番号	BT[2:0]バッファの種類		
	001b TX メッセージバッファ	101b TX FIFO	100b TX キュー
00b	メッセージバッファ 0	表示の番号は、関連する共通 FIFO 構成の共通 FIFO TX メッセージバッファリンク CFTML に対応します。	表示の番号は、フレームが送信された TX キューに属するメッセージバッファに対応します。
01b	メッセージバッファ 1		
10b	メッセージバッファ 2		
11b	メッセージバッファ 3		

TX FIFO または TX キューの番号だけでは識別に不十分なため、送信 ID エントリを使用して、TX FIFO または TX キューのどのメッセージが正常に送信されたかを識別します。

そのため、TX FIFO または TX キューに格納された各送信メッセージに一意の番号を付加できます。この一意の ID 番号は、TX FIFO の場合は共通 FIFO アクセスポインタレジスタの CFDCFFDCSTS.CFPTR[15:0]部分、また、TX キューアクセスウィンドウメッセージバッファの場合は TX メッセージバッファポインタレジスタの CFDTMFDCTRb.TMPTR[15:0]部分に書き込みます。

メッセージが正常に送信されると、この ID 番号は他のメッセージ関連情報とともに TX 履歴リストに格納され、TX 履歴リストアクセスレジスタの送信 ID (TID) を介して読み出すことができます。

通常の TX メッセージバッファの場合、TX メッセージバッファポインタレジスタの CFDTMFDCTRb.TMPTR[15:0]部分も送信履歴リストに格納されます。情報ラベルも同様です。

図 41.49 に、TX 履歴リストを使用する場合の送信準備フローを示します。

TX 履歴リストアクセスレジスタへのリードアクセスは、すべてのエントリに対して行われます。

1 つのエントリを読み出した後、対応する TX 履歴リストポインタコントロールレジスタに 0xFF を書き込んで、次のエントリにアクセスできるようにする必要があります。これを TX 履歴リストがエンプティになるまで続けます。

図 41.50 に、TX 履歴リスト情報の処理フローの例を示します。

TX 履歴リストには専用の割り込みがあり、対応する TX 履歴リストコンフィグレーション／コントロールレジスタの CFDTHLCC.THLIM ビットで設定できます。この割り込みは、同じレジスタの CFDTHLCC.THLIE ビットで有効化でき、履歴リストが充填レベル 75%に達したときに割り込みを発生させるか、新しい TX 履歴リストエントリで毎回割り込みを発生させるかを選択できます。

エントリロストの表示は、TX 履歴リストステータスレジスタの CFDTHLSTS.THLELT ビットによりフラグが立てられます。このビットのステータスは、グローバルエラーフラグレジスタの THLES ビットによっても示されます。

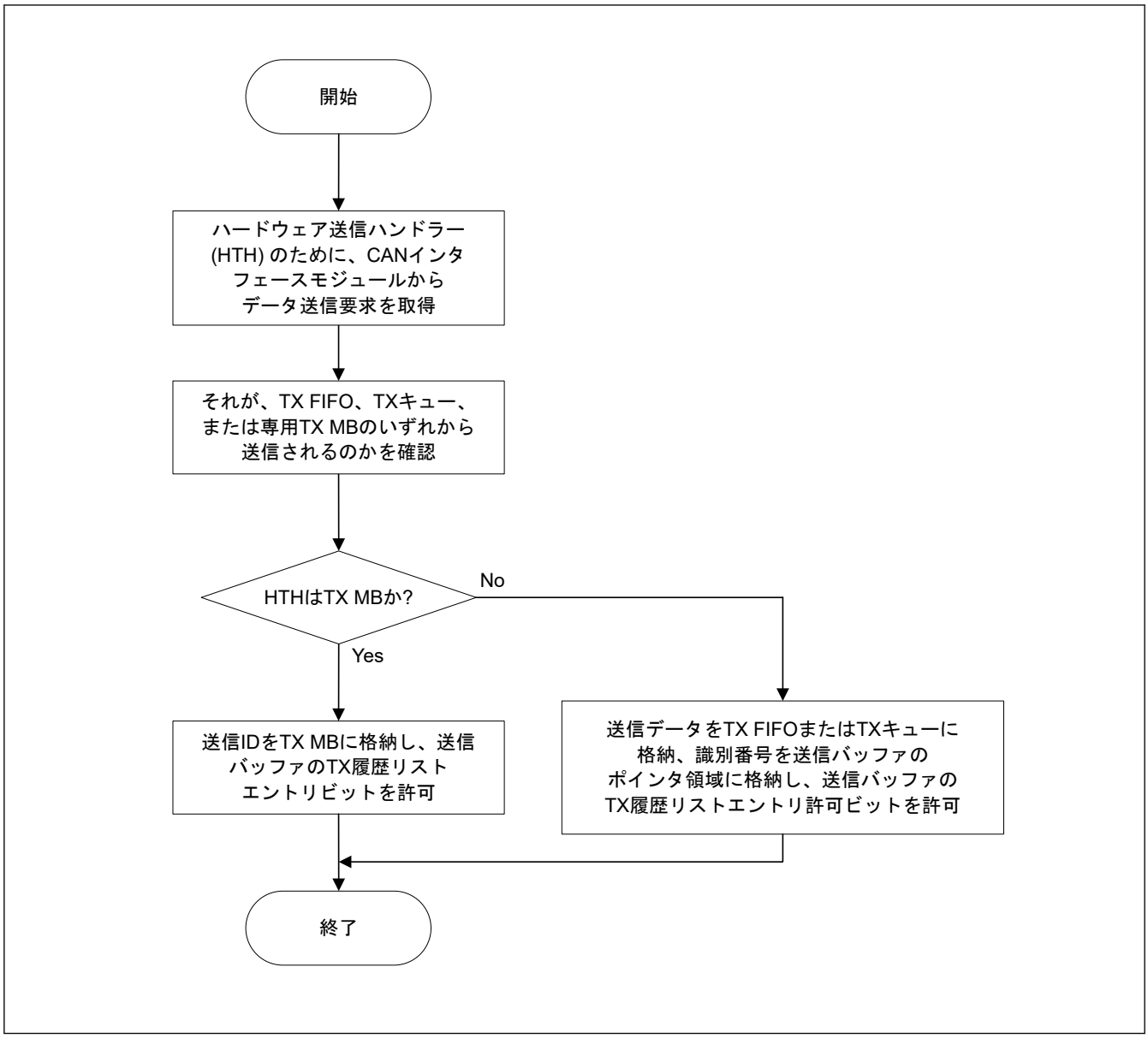


図 41.49 TX 履歴リストの準備手順

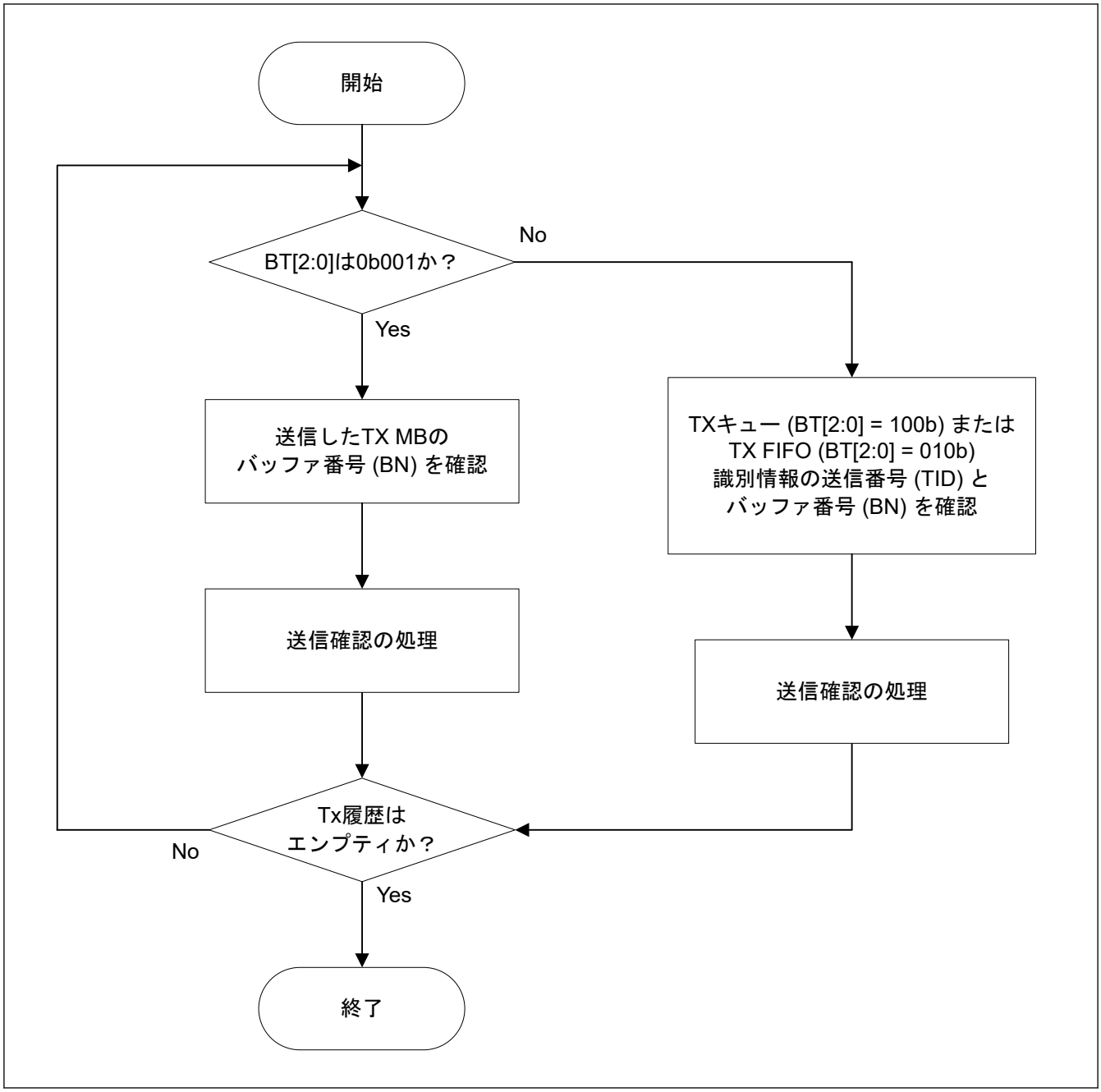


図 41.50　TX 履歴リストの処理手順

41.8.2.6　送信データパディング

この章は、クラシカル CAN 機能に対しては適用されません。

送信メッセージのデータ長コード (DLC) のデータバイト数がバッファサイズより大きい場合、制限範囲を超えるデータバイトは、0xCC 値のバイトによって置き換えられます。

これは、TX モードに設定された共通 FIFO において、送信メッセージの DLC が CFDCFCC.CFPLS よりも大きいときに発生することがあります。

また、FD only モードでも、クラシカルフレームが 8 より大きい DLC で構成されている場合に発生することがあります。

41.9 テストモード

特定の機能のテストを行うために、CANFD モジュールをテストモードに設定することができます。これらの機能は、特別な目的のためにのみ提供されているものであり、CANFD モジュールをテストモードに設定する際には注意が必要です。

注. 一部機能が他のテストモードでも有効化できると明示的に記載されていない限り、すべてのテストモードは相互排他的関係にあります。

本項に記載する複数のテストモードを同時に有効にしないでください。

テストモードは、次の 2 つのグループに大きく分けられます。

- チャネル固有のテストモード
- グローバルテストモード

41.9.1 チャネル固有のテストモード

CAN チャネルに設定できるテストモードを以下に示します。

- 基本テストモード
- リッスンオンリモード
- セルフテストモード 0（外部ループバックモード）
- セルフテストモード 1（内部ループバックモード）
- 制限付きオペレーションモード

41.9.1.1 基本テストモード

基本テストモードは、リッスンオンリモードやセルフテストモード以外の特定のテスト設定を有効にする必要がある場合に使用します。

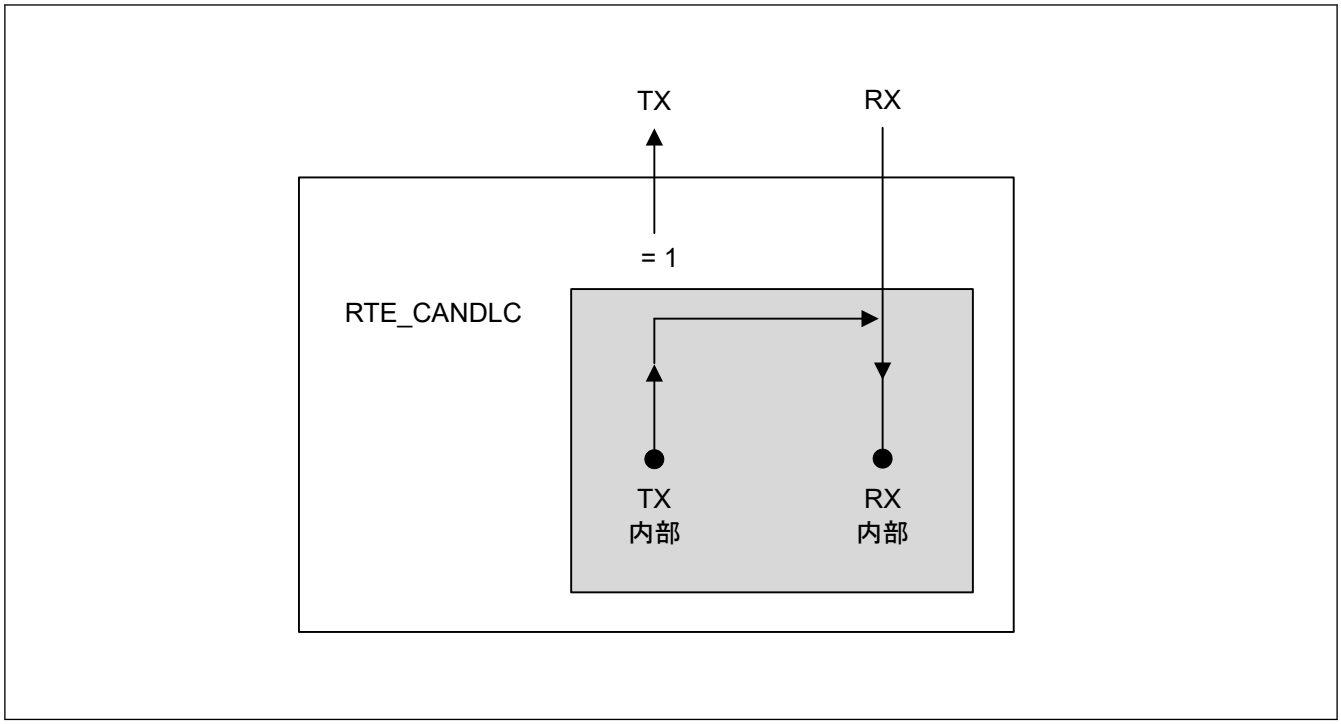
41.9.1.2 リッスンオンリモード

ISO 11898-1 では、オプションのバスモニタモードが推奨されています。このモードでは、CAN チャネルは有効なデータフレームおよび有効なリモートフレームを受信できます。しかし、CAN バス上でレセシブビットを送信するのみで、データの送信は許可されません。

CAN エンジンがドミナントビット（ACK ビット、オーバーロードフラグ、アクティブエラーフラグ）を送信する必要がある場合、ビットが内部的にルーティングされ、CAN エンジンはそれをドミナントビットとしてモニタします。外部の TX 端子はレセシブ状態のままです。

このモードは、ボーレート検出に使用できます。このモードでは、バスエラーが発生し、かつ割り込みが許可されている場合、エラー割り込みが発生します。

このモードでは、通常の TX メッセージバッファや TX-FIFO からの送信を要求することはできません。

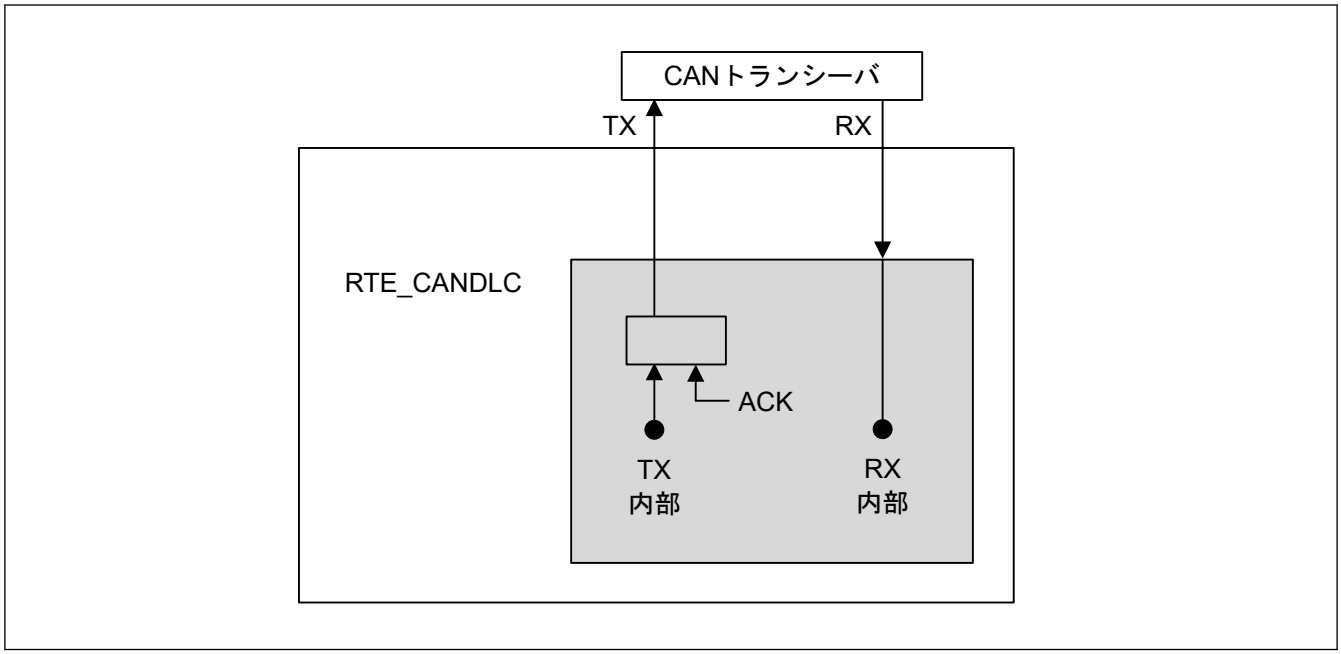


41.9.1.3 セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 では、CAN エンジンは自らが送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、受信メッセージバッファに格納します。

外部の刺激に影響されないようにするため、CAN エンジンは独自のアクノリッジビットを生成します。

このテストは、CAN トランシーバのテストに使用できます。Rx 端子/Tx 端子をトランシーバに接続する必要があります。



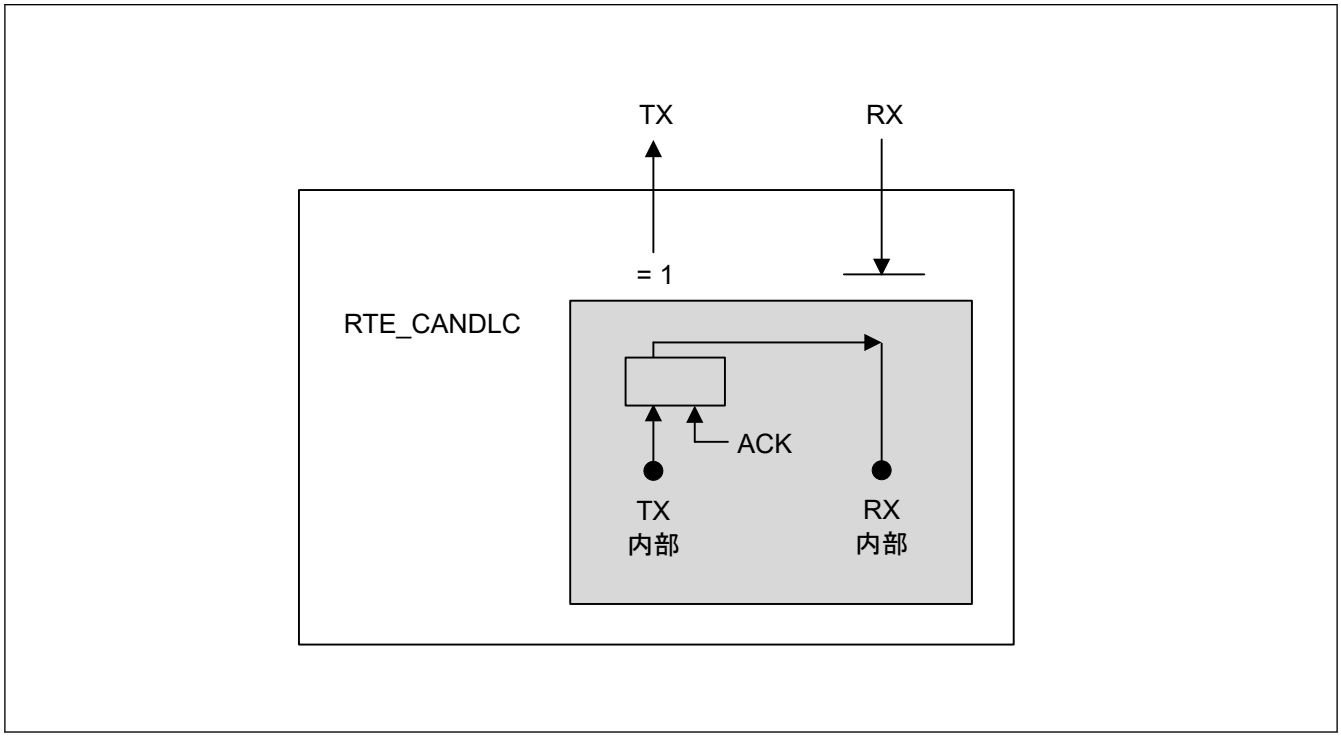
41.9.1.4 セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、CAN エンジンは自らが送信したメッセージを受信したメッセージとして取り扱い、受信バッファに格納します。このモードは、セルフテスト機能用です。外部の刺激に影響されないようにするた

め、CAN エンジンは独自のアクノリッジビットを生成します。このモードでは、CAN エンジンは TX 内部から RX 内部への内部フィードバックを実行します。外部 RX 入力の実際の値は、CAN エンジンによって無視されます。

外部 TX 端子はレセシブビットのみを出力します。Rx 端子/TX 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

注. チャネルの各端子は、内部 CAN バス通信ラインからも切り離されます。



41.9.1.5 制限付きオペレーションモード

この章は、クラシカル CAN 機能に対しては適用されません。

制限付きオペレーションモードでは、CAN ノードは有効なデータフレームとリモートフレームを受信して、アクノリッジビットを生成することができます。

アクティブエラーフレームとオーバーロードフレームは送信できません。その代わり、エラー条件またはオーバーロード条件が発生した後、バスアイドル状態になるまで待機してから CAN 通信に再同期します。

さらに、受信エラーカウンタ (REC) と送信エラーカウンタ (TEC) は、エラーの発生とは無関係にフリーズされています。このモードの仕様は ISO 11898-1 に準拠します。また、任意の送信要求を設定することができます。

41.9.2 グローバルテストモード

CANFD モジュールは、以下のテストモードに構成できます。

- RAM テストモード
- ビットフリップテスト

以下の表に示すテストモードは、モードの有効化が特別なソフトウェア手順によって保護されています。このソフトウェア手順は、以下の表に示す特定のロック解除キーによって、テストモードへの書き込みを許可します。

テストモード	ロック解除キー 1	ロック解除キー 2
RAM テストモード	0x7575	0x8A8A

2 つの連続するロック解除キー書き込み（ハーフワードまたはワードアクセス）のソフトウェアシーケンスが、レジスタへのその他の書き込みによって中断された場合、またはグローバルロック解除キーレジスタに不正なデ

ータが書かれた場合、対応するテストモードは設定できず、シーケンスを初めからやり直さなければなりません。

2 つのロック解除キーを書き込んだ後、続けて対応するテストモード許可ビットをセットする書き込みを行う必要があります。これが守られない場合、ロック解除機構はリセットされ、テストモード許可ビットはセットできず、ロック解除シーケンスを初めからやり直さなければなりません。

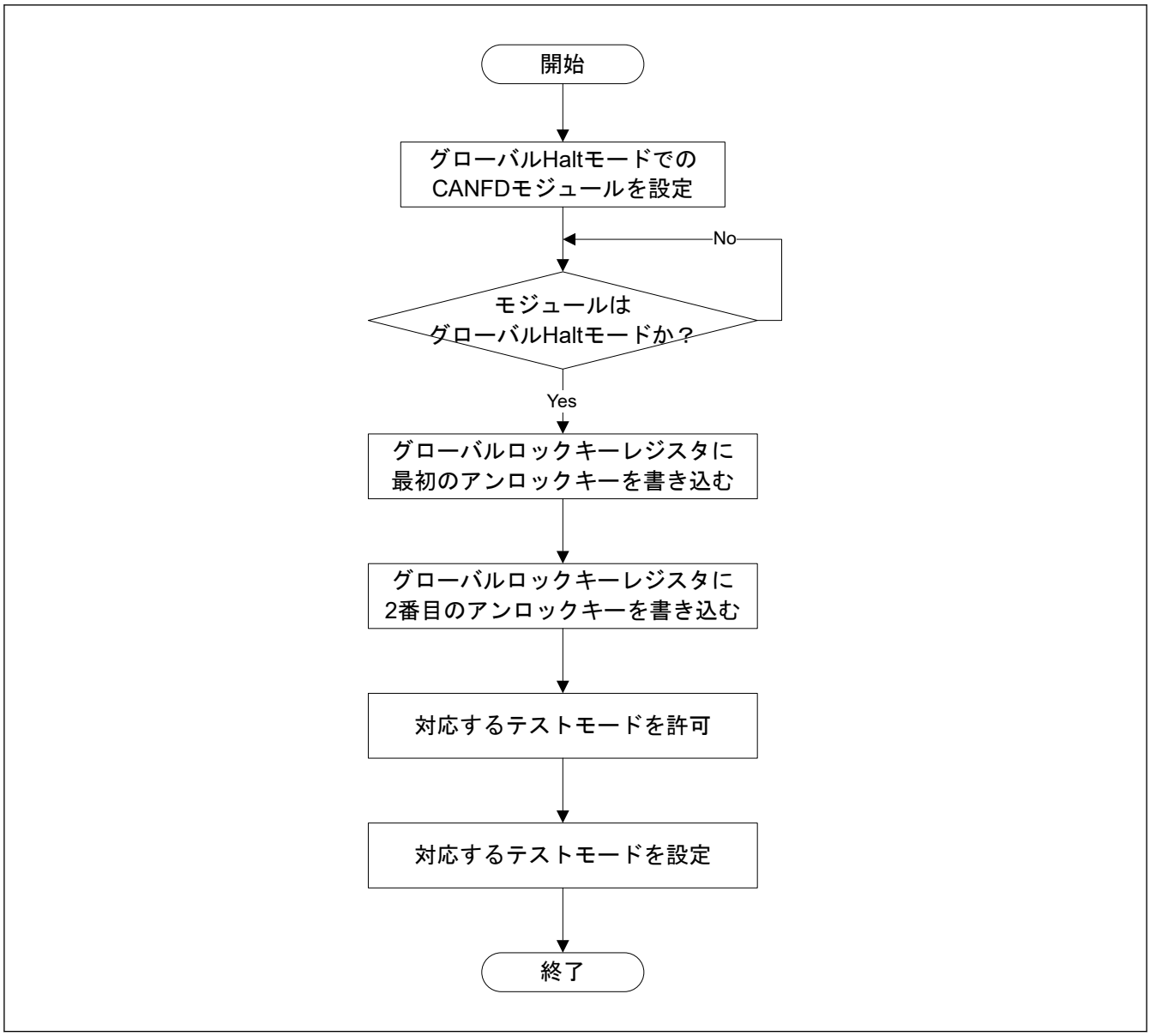


図 41.51 ソフトウェア保護のロック解除ルーチン

41.9.2.1 RAM テストモード

対応するロックキーを先に書き込んでから、グローバルテストコントロールレジスタの CFDGTSTCTR.RTME ビットをセットすることにより、CANFD モジュールを RAM テストモードに設定できます。このモードは特別なテストモードであり、RAM 領域全体にアクセスできます。

注. 実際の RAM は、ハードウェアリセット後に初期化される RAM 領域よりも大きいサイズを持っています。そのため、CANFD モジュールを RAM テストモードにしたとき、CPU がこの初期化されていない RAM 領域からデータを読み出すことで、（ECC マクロの）ECC エラーフラグがセットされることがあります。

このモードでは、RAM 領域は各 256 バイトの複数のページ (pn) に分割されます。これには、CFDRPGACCk レジスタでアクセスできます。

グローバルテストコントロールレジスタの CFDGTSTCFG.RTMPS[3:0]ビットに書き込み、ページのリードアクセス／ライトアクセスを選択します。すると、RAM テストページアクセスレジスタのデータの読み出しまたは書き込みが可能になります。

図 41.52 に、RAM テストモード実行時の RAM 内のページ構造を示します。

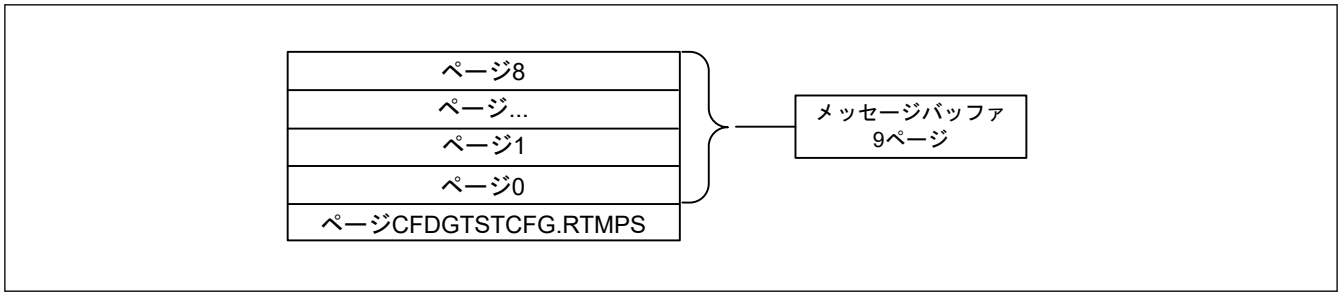


図 41.52 RAM のページ構造

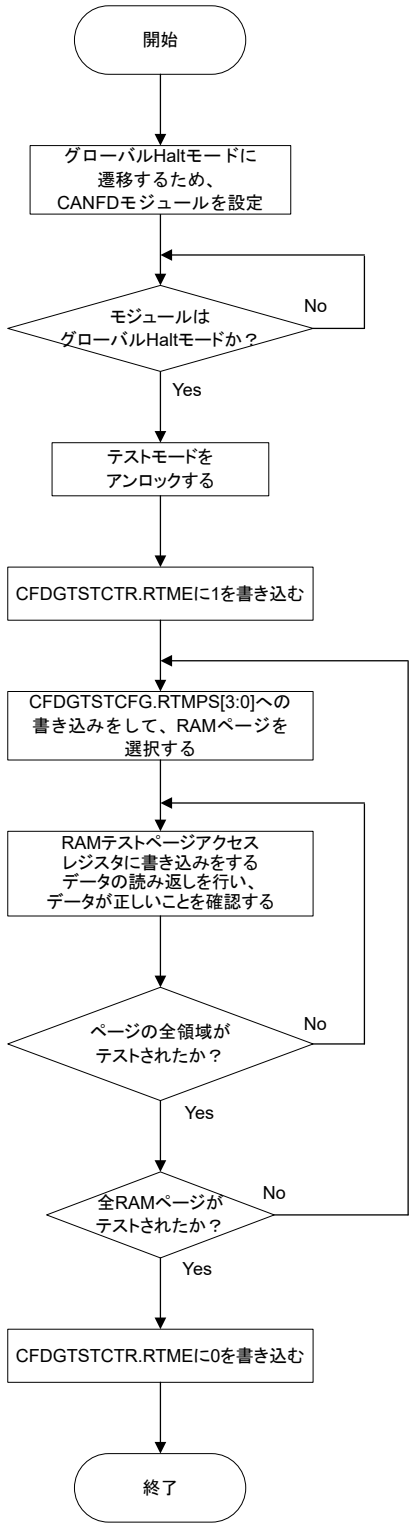
メッセージバッファ RAM の利用可能な総 RAM サイズは 2072 バイトです。

MB RAM における pn と CFDGTSTCFG.RTMPS[3:0]値は、次のように計算されます。

pn = ceil（総 RAM サイズ[バイト]／ページ当たりバイト数）

- MB RAM：
  pn = ceil (2072 / 256) = 9 ページ
  CFDGTSTCFG.RTMPS[3:0] = 0～8（0 と 8 を含む）

図 41.53 に、RAM テストモードのソフトウェアフローを示します。



注. RAM テストモードに変更する前に、以下のステータスに変更してください。
- 送信要求をキャンセルする
- すべての FIFO および TX キューを無効化する
- 受信バッファの受信フラグをクリアする

図 41.53 RAM テストモードのソフトウェアフロー

このテストモードを解除するには、CFDGTSTCTR.RTME ビットをクリアしなければなりません。
CFDGTSTCTR.RTME ビットは、0 を書き込むことによりクリアされます。

CANFD モジュールがテストモードからグローバルリセットモードに遷移すると、CFDGTSTCTR.RTME ビットは自動的にクリアされます。

41.9.2.2 ビットフリップテスト

ビットフリップテストは、受信するビットストリームの最初のビット（ID の 1 番目のビット）を反転できます。

この機能を送信ノードで使用すると、ビットエラーまたはアービトレーションロストが発生します。

この機能を受信ノードで使用すると、CRC エラーまたはスタッフエラーが発生します。

本機能を使用する場合、（反転のため）CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照する必要があります。

CRC エラーテストを実施するには、以下のシーケンスを使う必要があります。以下のシーケンスで、CANFD モジュールが受信側です。

1. 送信ノードから受信するビットストリームの 1 番目のビットを反転するために、CFDC0CTR.BFT ビットを 1’b1 に設定します。
2. CANn_CHERR (n = 0, 1) 出力信号が 1’b1 になるのを待機します。
3. CFDC0ERFL.CRCREG ビットまたは CFDC0FDCRC.CRCREG ビットのいずれか（受信したフレームのタイプが従来型か FD かによる）を読み出します。値は、送信側ノードから受信した基準メッセージの CRC 値とは異なっていなければなりません。
4. CFDC0ERFL.CERR ビットが 1’b1 であることを確認します。

CRC 生成ロジックは RX と TX で共有されているため、TX CRC エラーテストを別に作成する必要はありません。

41.10 使用上の注意事項

41.10.1 ソフトウェアスタンバイモードへの遷移

MCU がソフトウェアスタンバイモードに遷移する前に、以下の手順が必要です。

1. グローバル停止モード要求 (CFDGCTR.GMDC = 10b) を設定する。
2. グローバル停止モードへの遷移が完了 (CFDGSTS.GHLTSTS = 1b) するのを待機する。
3. グローバルリセットモード要求 (CFDGCTR.GMDC = 01b) を設定する。
4. グローバルリセットモードへの遷移が完了 (CFDGSTS.GRSTSTS = 1b) するのを待機する。
5. グローバルスリーブモード要求 (CFDGCTR.GSLPR = 1b) を設定する。
6. グローバルスリーブモードへの遷移が完了 (CFDGSTS.GSLPSTS = 1b) するのを待機する。
7. CFDGLOCKK レジスタを読み出す。

41.10.2 ソフトウェアスタンバイモードからの復帰

MCU がソフトウェアスタンバイモードから復帰した後、「41.4.2. ハードウェアリセット後の CAN モジュールの構成」に説明する手順が必要です。

41.10.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CANFD の動作を無効または有効に設定することが可能です。リセット後の初期状態では、CANFD モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

42. CANFD ECC (CNECC)

42.1 概要

MBRAM は、2 ビット ECC エラー検出および 1 ビット ECC エラー検出および訂正の ECC 機能を持っています。(注1)ECC モジュールは、32 ビット RAM データに 7 ビット ECC データを付加します。

注 1. ECC モジュールは 3 ビット以上のエラー検出はできません。この場合、ECC モジュールは設定により、1 ビットまたは 2 ビットエラーを検出するか、エラーを検出しないか、または間違っているビットを間違ったデータに訂正します。すべての RAM データが 0 または 1 に固定されている場合、2 ビット ECC エラーとして検出されます。

42.2 レジスタの説明

42.2.1 EC710CTL : ECC コントロールレジスタ

Base address: ECCMBn = 0x4036_F200 + 0x0100 × n (n = 0, 1)
ECCMBn_NS = 0x5036_F200 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECDEDF0	ECSEDF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EMCA[1:0]		—	—	ECOVFF	ECER2C	ECER1C	—	—	ECERVF	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	ECEMF	ECC エラーメッセージフラグ 0: 現在の RAM 出力データにビットエラーはない 1: 現在の RAM 出力データにビットエラーがある	R
1	ECER1F	ECC エラー検出および訂正ステータスフラグ 0: 本ビットクリア後、1 ビットエラー訂正は起きていない 1: 1 ビットエラー発生	R
2	ECER2F	2 ビット ECC エラー検出フラグ 0: 本ビットクリア後、2 ビットエラーは起きていない 1: 2 ビットエラー発生	R
3	EC1EDIC	ECC 1 ビットエラー検出割り込みコントロール 0: 1 ビットエラー検出割り込み要求禁止 1: 1 ビットエラー検出割り込み要求許可	R/W
4	EC2EDIC	ECC 2 ビットエラー検出割り込みコントロール 0: 2 ビットエラー検出割り込み要求禁止 1: 2 ビットエラー検出割り込み要求許可	R/W
5	EC1ECP	ECC 1 ビットエラー訂正許可 0: 1 ビットエラー検出時、エラー訂正を実行する 1: 1 ビットエラー検出時、エラー訂正を実行しない	R/W
6	ECERVF	ECC エラー判定許可フラグ 0: エラー判定禁止 1: エラー判定許可	R/W
8:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	ECER1C	蓄積 ECC エラー検出および訂正フラグクリア 0: 無効 1: 蓄積 ECC エラー検出および訂正フラグをクリア	R/W
10	ECER2C	2 ビット ECC エラー検出フラグクリア 0: 無効 1: 2 ビット ECC エラー検出フラグをクリア	R/W

ビット	シンボル	機能	R/W
11	ECOVFF	ECC オーバーフロー検出フラグ 0: 無効 1: ECC オーバーフロー検出フラグ	R
13:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	EMCA[1:0]	ECC モード選択ビットへのアクセスコントロール ECERVF ビットへの書き込みを許可または禁止します。	R/W
16	ECSEDF0	ECC 1 ビットエラーアドレス検出フラグ 0: リセットまたは ECER1F ビットクリア後に EC710EAD0 にビットエラーなし 1: EC710EAD0 にキャプチャされているアドレスが 1 ビットエラーが発生しキャプチャされたことを示す	R
17	ECDEDF0	ECC デュアルビットエラーアドレス検出フラグ 0: リセットまたは ECER2F ビットクリア後に EC710EAD0 にビットエラーなし 1: EC710EAD0 にキャプチャされているアドレスが 2 ビットエラーが発生しキャプチャされたことを示す	R
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

ECEMF ビット（ECC エラーメッセージフラグ）

ECEMF ビットは現在の読み出しデータバスにエラーがあることを示します。本ビットは、RAM 出力データごとに更新されます。

RAM 出力データが不定で ECERVF ビットが 1 の場合、本ビットの値は不定です。

[1 になる条件]

エラー判定が有効で、現在の RAM 出力データにビットエラーがある

[0 になる条件]

- デコーダへの入力データに 1 ビットエラーがない
- ECC エラー判定が無効なとき (ECERVF = 0)

ECER1F ビット（ECC エラー検出および訂正ステータスフラグ）

ECER1F ビットは、エラー判定が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の一つの部分にビットエラーが検出されたことを示します。

1 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

クリア時、ECER1C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 1 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

エラー判定が有効で、RAM 出力データに 1 ビットエラーがあるとき（ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

ECER2F ビット（2 ビット ECC エラー検出フラグ）

ECER2F ビットは、エラー判定が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の二つの部分にビットエラーが検出されたことを示します。

2 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

クリア時、ECER2C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 2 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

エラー判定が有効で、RAM 出力データに 2 ビットエラーがあるとき（ECER2C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

EC1EDIC ビット（ECC 1 ビットエラー検出割り込みコントロール）

EC1EDIC ビットは、1 ビットエラー検出時の割り込み出力を制御します。本ビットを 1 に設定すると、1 ビットエラー検出時、1 ビットエラー割り込みが出力されます。

EC2EDIC ビット（ECC 2 ビットエラー検出割り込みコントロール）

EC2EDIC ビットは、2 ビットエラー検出時の割り込み出力を制御します。本ビットを 1 に設定すると、2 ビットエラー検出時、2 ビットエラー割り込みが出力されます。

EC1ECP ビット（ECC 1 ビットエラー訂正許可）

EC1ECP ビットは、ECC エラー検出および訂正が有効時、1 ビットエラーの訂正を有効または無効にします。本ビットを 1 に設定すると、1 ビットエラー検出時、訂正されていないデータが出力されます。

ECERVF ビット（ECC エラー判定許可フラグ）

ECERVF ビットを 1 にすることで、エラー判定を有効にします。出力データの訂正および割り込み出力は、EC1ECP ビット、EC2EDIC ビットおよび EC1EDIC ビットに依存します。

EMCA[1:0]の書き込み値が 01b の場合、本ビットへの書き込みは有効です。したがって、本ビットへの書き込みは、16 ビットまたは 32 ビット動作コマンドのみ有効です。

ECER1C ビット（蓄積 ECC エラー検出および訂正フラグクリア）

ECER1C ビットは、ECER1F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER1F ビットが競合した場合、前者が優先されます。

ECER1F ビットは、ECER1F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECER2C ビット（2 ビット ECC エラー検出フラグクリア）

ECER2C ビットは、ECER2F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER2F ビットが競合した場合、前者が優先されます。

ECER2F ビットは、ECER2F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECOVFF ビット（ECC オーバーフロー検出フラグ）

エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされている場合、新規のエラーアドレスが検出されると ECOVFF ビットがセットされ、オーバーフロー割り込みが出力されます。本ビットがセットされ、新しいエラーが検出されると、オーバーフロー割り込みが再び出力されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

本ビットをクリアするには、ECER2C ビットおよび ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされているときに新しいエラーアドレスがキャプチャされた場合（ECER2C = 1 または ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 および ECER1C = 1 を書き込んだとき
- ECC エラー判定が無効なとき (ECERVF = 0)

EMCA[1:0]ビット（ECC モード選択ビットへのアクセスコントロール）

EMCA[1:0]ビットは、ECERVF ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 01b の場合、ECERVF ビットに書き込み可能です。これらのビットの値が 01b でない場合、ECERVF ビットへの書き込みは無視され、値は書き込まれません。

ECSEDF0 ビット（ECC 1 ビットエラーアドレス検出フラグ）

ECSEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、1 ビットエラー検出により設定されます。

2 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 1 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタも更新されません。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。本ビットをクリアするには、ECER2C ビットおよび ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラー判定が許可されているときに、RAM 出力データに 1 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合（ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 および ECER1C = 1 を書き込んだとき
- ECC エラー判定が無効なとき (ECERVF = 0)

ECDEDF0 ビット（ECC デュアルビットエラーアドレス検出フラグ）

ECDEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、2 ビットエラー検出により設定されます。

1 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 2 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタが更新されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。本ビットをクリアするには、ECER2C ビットおよび ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラー判定が許可されているときに、RAM 出力データに 2 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合（ECER2C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 および ECER1C = 1 を書き込んだとき
- ECC エラー判定が無効なとき (ECERVF = 0)

42.2.2 EC710TMC : ECC テストモードコントロールレジスタ

Base address: ECCMBn = 0x4036_F200 + 0x0100 × n (n = 0, 1)
ECCMBn_NS = 0x5036_F200 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ETMA[1:0]		—	—	—	—	—	—	ECTMCE	—	—	—	—	—	ECDCS	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ECDCS	ECC デコーダ入力選択 0: デコーダのデータ領域に RAM 出力データの下位 32 ビットを入力する 1: デコーダのデータ領域に EC710TED レジスタの ECEDB31-0 を入力する	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	ECTMCE	ECC テストモードコントロール許可 0: テストモードレジスタおよびビットへのアクセスは無効 1: テストモードレジスタおよびビットへのアクセスは有効	R/W
13:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	ETMA[1:0]	ECC テストモードビットアクセスコントロール これらのビットは、ECTMCE ビットへの書き込みを有効または無効にします。	R/W

注. S-TYPE-3, P-TYPE-3

ECDCS ビット（ECC デコーダ入力選択）

ECDCS ビットは、デコーダへの入力信号として、RAM からの下位 32 ビットデータ値か内部テストレジスタからの値（EC710TED 内の EDEDB[31:0]）のいずれかを選択します。

ECTMCE = 1 の場合、本ビットへの書き込みは有効です。（それらを同時に設定することも可能です。）

本ビットは、ECTMCE = 0 によりクリアされます。

ECTMCE ビット（ECC テストモードコントロール許可）

ECTMCE ビットは、テストレジスタおよびテストコントロールビットへのアクセス有効または無効を選択します。

ETMA[1:0]ビットの値が 10b の場合、本ビットへの書き込みは有効です。

ETMA[1:0]ビット（ECC テストモードビットアクセスコントロール）

ETMA[1:0]ビットは、ECTMCE ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 10b の場合、ECTMCE ビットに書き込み可能です。これらのビットの値が 10b でない場合、ECTMCE ビットへの書き込みは無視され、値は書き込まれません。

42.2.3 EC710TED : ECC テスト置換データレジスタ

Base address: ECCMBn = 0x4036_F200 + 0x0100 × n (n = 0, 1)
ECCMBn_NS = 0x5036_F200 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	31																												0
Bit field:	ECEDB[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	ECEDB[31:0]	ECC テスト置換データ ECC テストモードでの置換データ	R/W

注. S-TYPE-3, P-TYPE-3

本レジスタは、ECC デコーダ用の 32 ビットデータ用のレジスタです。ECTMCE = 1 状態での 32 ビット動作コマンドにより読み書きが可能です。ECTMCE = 0 の場合は、すべてのビットが常に 0 です。

ECEDB[31:0]ビット（ECC テスト置換データ）

EC710TMC レジスタの ECDCS が 1 の場合、本レジスタの値は、デコーダへの入力データのビット[31:0]です。

42.2.4 EC710EAD0 : ECC エラーアドレスレジスタ

Base address: ECCMBn = 0x4036_F200 + 0x0100 × n (n = 0, 1)
ECCMBn_NS = 0x5036_F200 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ECEAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	ECEAD[9:0]	ECC エラーアドレス	R
31:10	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

本レジスタは、ECC エラーが発生したアドレスを保持する読み出し専用レジスタです。

ECEAD[9:0]ビット（ECC エラーアドレス）

ECC エラー判定が許可されている場合に ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがキャプチャされ、エラー発生アドレスとして保持されます。同じ要因で保持されているアドレスに再びエラーが発生するとエラーアドレスはキャプチャされません。

1 ビットエラーアドレスがすでにキャプチャされているときに 2 ビットエラーが発生すると、2 ビットエラーアドレスは上書きされますが、ECDEDF0 ビットは 1 に設定されません。

2 ビットエラーアドレスがすでにキャプチャされているときに 1 ビットエラーが発生した場合は、1 ビットエラーアドレスは上書きされず、ECSEDF0 ビットも 1 になりません。

このレジスタは、ステータスフラグ（ECER2F ビットまたは ECER1F ビット）をクリアすることによりリセットされます。

42.3 動作説明

42.3.1 ECC 機能設定

図 42.1 に、ECC 機能設定の手順を示します。

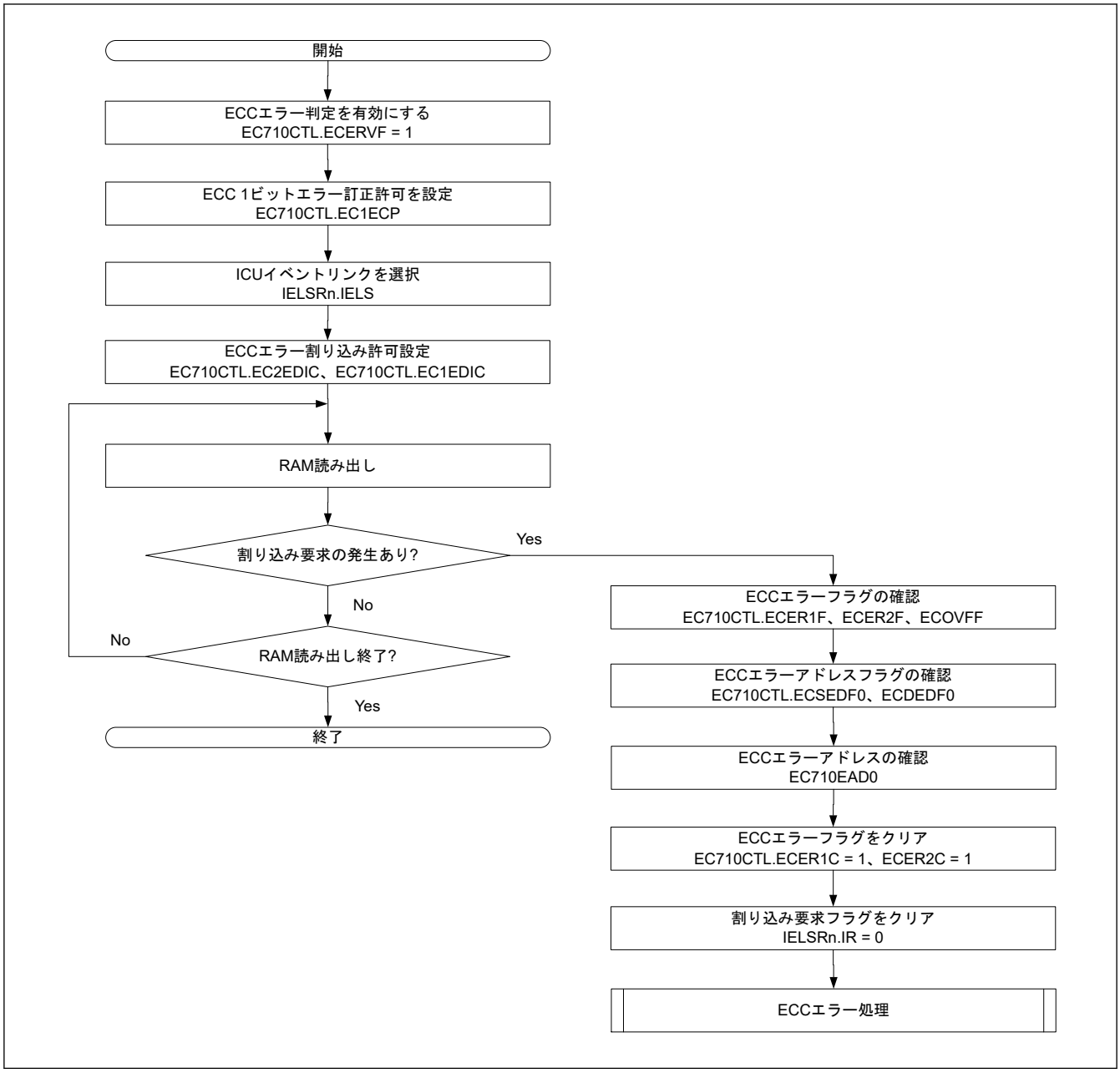


図 42.1　ECC 機能設定手順

42.3.2　ECC デコーダのテスト方法

ECC 割り込みは、ECC テストモードにより意図的に発生させることができます。図 42.2 に、ECC デコーダのテスト手順を示します。

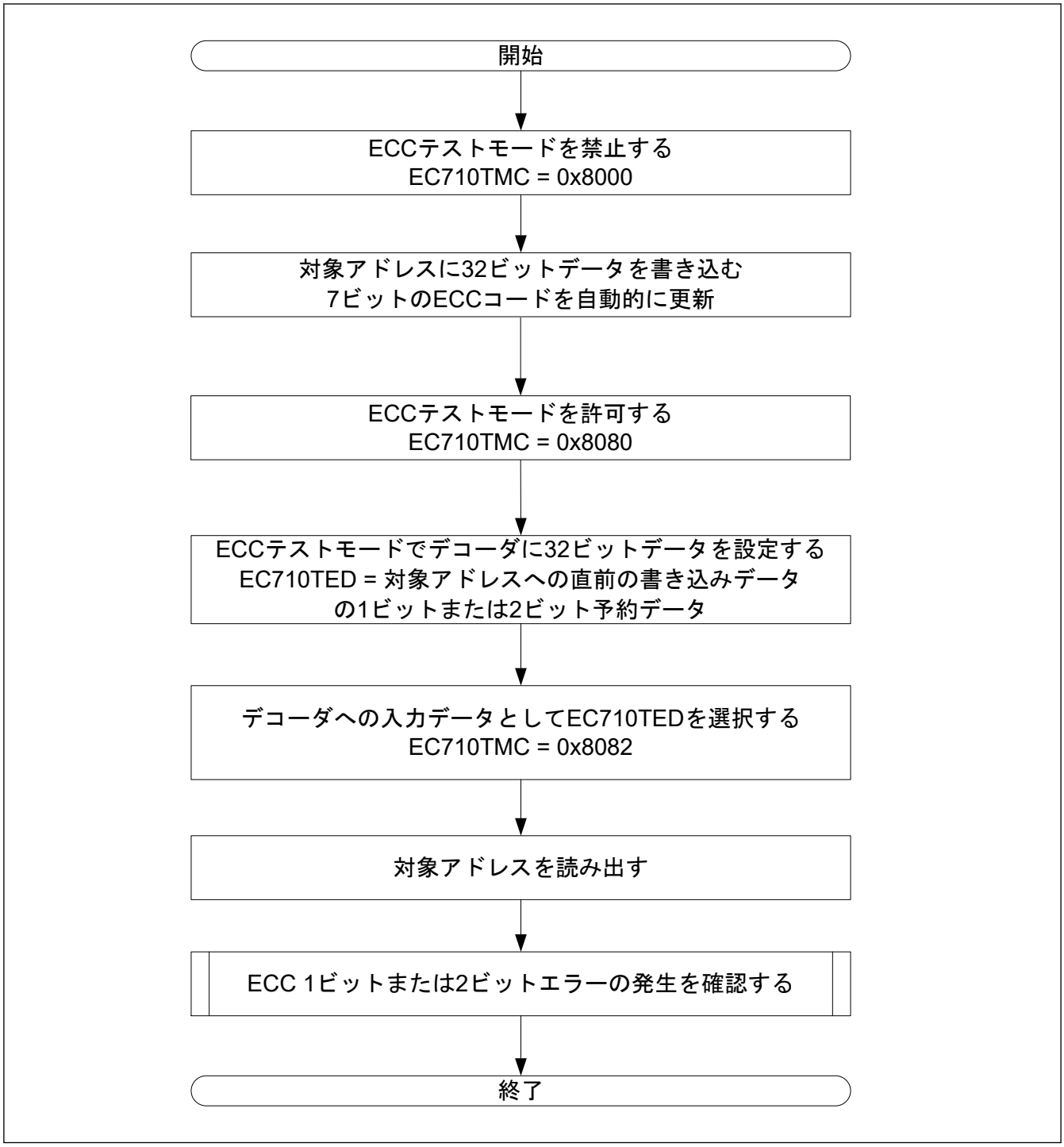


図 42.2 ECC デコーダのテスト手順

42.4 割り込み

ECC モジュールは次の 3 種類の割り込み要求を出します。

- CANn_MRAM_ERI (n =0, 1)

各割り込み要求の割り込み要因には下記があります。

- 1 ビット ECC エラー
- 2 ビット ECC エラー
- ECC エラーオーバーフロー

42.5 使用上の注意事項

42.5.1 ソフトウェアスタンバイモードへの遷移

MCU がソフトウェアスタンバイモードに遷移する前に、以下の手順が必要です。

1. ECC エラーフラグと ECC エラーアドレスをクリアするため、ECER2C ビットと ECER1C ビットに 1 を書き込む。
2. ECC エラー判定を無効にするため、ECERVF ビットに 0 を書き込む。

42.5.2 ソフトウェアスタンバイモードからの復帰

MCU がソフトウェアスタンバイモードから復帰した後に、以下の手順が必要です。

1. 初期設定を行う。
2. ECC エラー判定を有効にするため、ECERVF ビットに 1 を書き込む。

43. シリアルペリフェラルインタフェース (SPI)

SPI 周辺モジュールの SPI_B バージョンです。

本章では、SPI_B を SPI と記載します。

43.1 概要

シリアルペリフェラルインタフェース (SPI) には 2 本のチャネルがあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。表 43.1 に SPI の仕様、図 43.1 に SPI のブロック図、図 43.2 にクロックソースセレクタのブロック図、表 43.2 に入出力端子を示します。

本章に記載している PCLK とは PCLKA を指します。

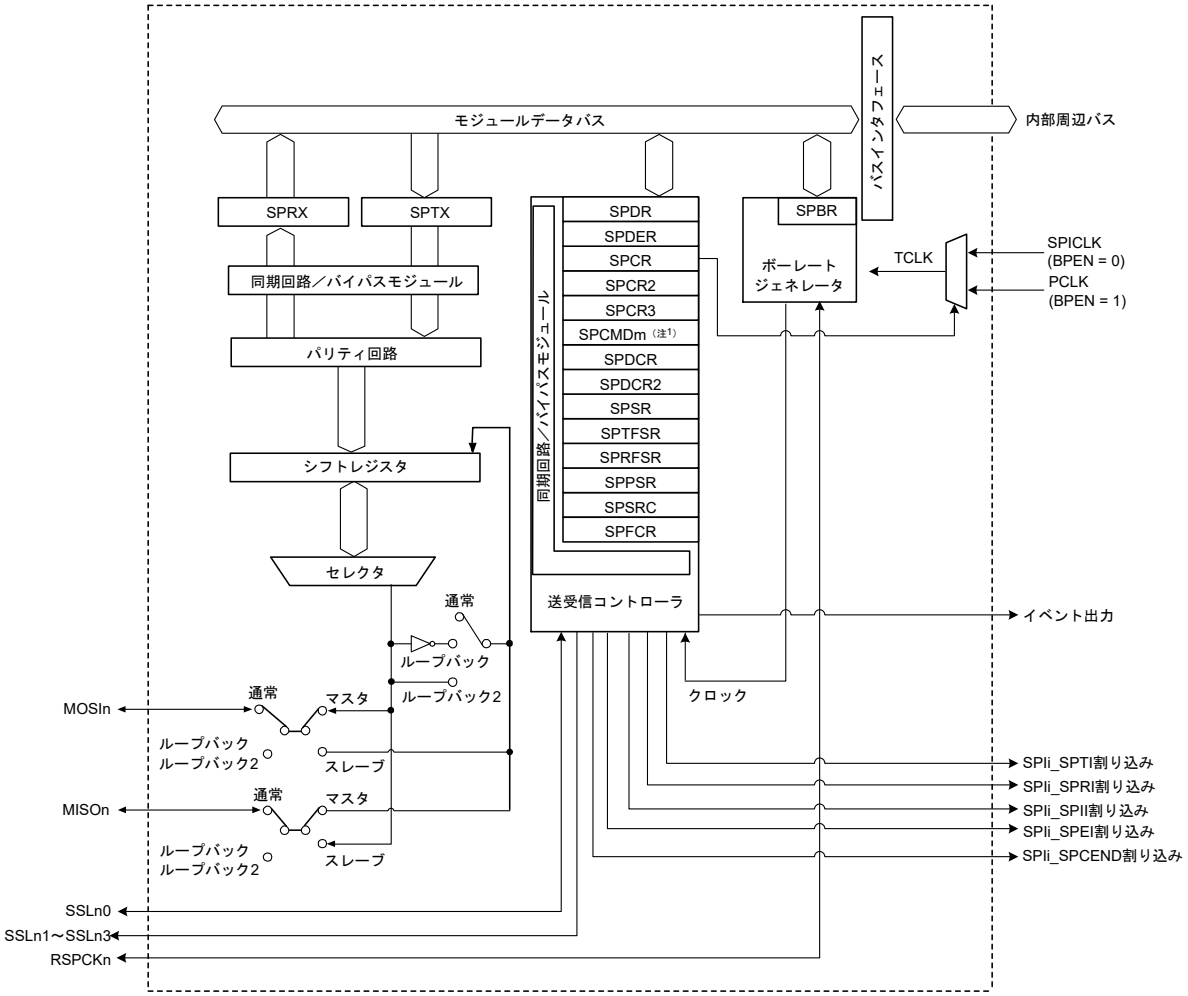
表 43.1 SPI の仕様 (1/2)

項目	内容
チャネル数	2 チャネル
SPI 転送機能	• MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI 動作（4 線式）またはクロック同期式動作（3 線式）によるシリアル通信が可能 • 送信のみの動作が可能 • 受信のみの動作が可能 • 通信モードを全二重式、送信のみ、受信のみから選択可能 • RSPCK 極性切り替え • RSPCK 位相切り替え
データフォーマット	• MSB ファーストまたは LSB ファーストを選択可能 • 転送ビット長を 4～32 ビットから選択可能 • 送信バッファまたは受信バッファとして 32 ビット×4 ステージ FIFO を使用可能 • バイトスワップ動作機能 • 送受信データは反転可能
動作クロック (TCLK)	同期したクロック (PCLK) と独立したクロック (SPICLK) のどちらかを選択できます。
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで TCLK を分周して RSPCK を生成（分周比は 2～4096 分周） • スレーブモード時は、TCLK の最小 2 分周のクロックを、RSPCK として入力可能（RSPCK の最高周波数は TCLK の 2 分周） High 幅：TCLK の 1 サイクル、Low 幅：TCLK の 1 サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造
エラー検出	• モードフォルトエラー検出 • アンダーランエラー検出 • オーバーランエラー検出(注1) • パリティエラー検出 • 受信データレディ検出
SSL 制御機能	[Motorola SPI モード/TI SSP モード共通] • 1 チャネルあたり 4 本の SSL 端子 (SSLni: SSLn0～SSLn3) (n = A, B) • シングルマスタモード時、SSLn0～SSLn3 端子は出力 • マルチマスタモード時、SSLn0 端子は入力、SSLn1～SSLn3 端子は出力または未使用 • スレーブモード時、SSLn0 端子は入力、SSLn1～SSLn3 端子は未使用 • 次アクセスの SSL 出力アサートのウェイト（次アクセス遅延）を制御可能 設定範囲：1～8RSPCK 周期（設定単位：1RSPCK 周期） • SSL 極性変更機能 • バースト転送時のフレーム間遅延を設定可能 [Motorola モードのみ] • RSPCK 停止から SSL 出力のネゲートまでの遅延（SSL ネゲート遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期） • SSL 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期） [TI SSP モードのみ] • RSPCK 停止から SSL 出力のネゲートまでの遅延（SSL ネゲート遅延）を制御可能 設定範囲：0～8 RSPCK 周期（設定単位：1 RSPCK 周期） • OE 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期）
通信プロトコル	• Motorola SPI • TI SSP（同期式シリアルプロトコル）

表 43.1 SPI の仕様 (2/2)

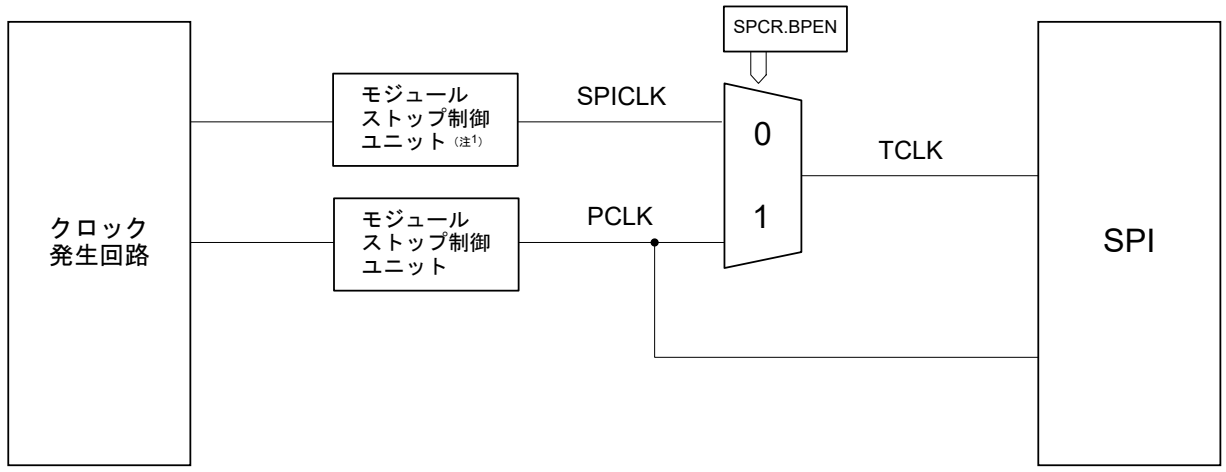
項目	内容
同期バイパス機能	同期回路をバイパスすることができるのは、バスクロック (PCLK) と動作クロック (TCLK) に同じクロックが入力されている場合だけです。
マスタ転送時の制御方式	● 最大 8 コマンドで構成された転送を連続してループ実行可能 ● 各コマンドに以下の項目を設定可能： SSL 信号値、ビットレート、RSPCK 極性と位相、転送データ長、MSB/LSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、および次アクセス遅延 ● 送信バッファへの書き込みによる転送起動 ● SSL ネゲート時の MOSI 信号値を設定可能 ● RSPCK 自動停止機能
割り込み要因	割り込み要因： ● 受信バッファフル／受信データレディ割り込み ● 送信バッファエンプティ割り込み ● SPI エラー割り込み（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、受信データレディ） ● SPI アイドル割り込み（SPI アイドル） ● 通信終了割り込み
イベントリンク機能	以下のイベントをイベントリンクコントローラ (ELC) へ出力可能： ● 受信バッファフル信号／受信データレディ信号 ● 送信バッファエンプティ信号 ● モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディ信号 ● SPI アイドル信号 ● 通信終了信号
その他	● CMOS 出力／オープンドレイン出力の切り替え ● SPI 初期化機能 ● ループバックモード ● SPE ビットステータスポーリング機能
モジュールストップ機能	各チャネルに対してモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。



注. i = 0, 1
注. n = A, B
注 1. m = 0～7

図 43.1 SPI のブロック図



注 1. いずれかの SPI チャネルのモジュールストップ状態が解除されると SPICLK が供給されます。

図 43.2 クロックソースセレクタのブロック図

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 端子は、SPI がシングルマスタの場合は出力状態、マルチマスタまたはスレーブの場合は入力状態になります。RSPCKn、MOSIn、および MISOn 端子の入出力方向は、マスタ／スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。詳細は、「43.3.2. SPI 端子の制御」を参照してください。

表 43.2 SPI の端子構成

チャネル	端子名	入出力	内容
SPI0	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択入出力
	SSLA1～SSLA3	出力	スレーブ選択出力
	MOSIA	入出力	マスタ送信データ入出力
	MISOA	入出力	スレーブ送信データ入出力
SPI1	RSPCKB	入出力	クロック入出力端子
	SSLB0	入出力	スレーブ選択入出力
	SSLB1～SSLB3	出力	スレーブ選択出力
	MOSIB	入出力	マスタ送信データ入出力
	MISOB	入出力	スレーブ送信データ入出力

注. 端子名の表示は、SPI0：「...A」または「...An」、SPI1：「...B」または「...Bn」（n = 0、1、2、または 3）のように示しています。

43.2 レジスタの説明

43.2.1 SPDR : SPI データレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

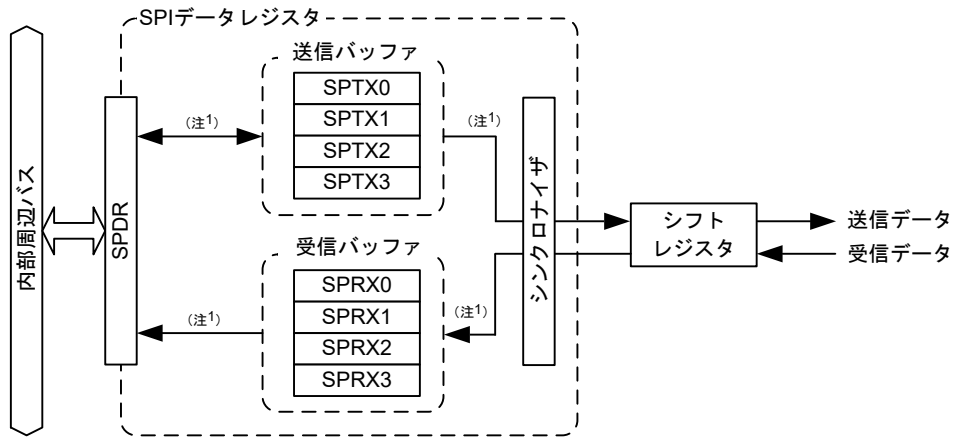
Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SPD[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SPD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SPD[31:0]	このビットは、SPI 送受信用のデータを格納するバッファとのインタフェースです。	R/W

注. S-TYPE-3、P-TYPE-3

SPDR は、SPI 送受信用のデータを格納するバッファとのインタフェースです。ワードアクセスの場合は、SPDR にアクセスしてください。送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR にマッピングされています。図 43.3 に SPDR レジスタの構成を示します。



注 1. 接続先バッファとアクセス段は、ハードウェアで自動的に切り替わります。

図 43.3 SPDR の構造

32 ビット × 4 段の送信 FIFO と 32 ビット × 4 段の受信 FIFO が用意されています。合計 8 段の FIFO が SPDR の 1 つのアドレスにマッピングされています。送信するデータを SPDR に書き込むと、そのデータは送信バッファ（SPTXn、n = 0〜3）に書き込まれます。

データの受信完了後、受信バッファに受信されたデータが格納されます。オーバーランエラーが発生した場合、受信バッファのデータは更新されません。

(1) バスインタフェース

SPI データレジスタには、32 ビット × 4 段の送信 FIFO と、32 ビット × 4 段の受信 FIFO があります（合計 32 バイト）。32 バイトが SPDR の 4 バイト空間にマッピングされています。送信データは LSB ファーストで書き込みます。受信データは LSB ファーストで格納されます。

SPDR レジスタの書き込み操作と読み出し操作を以下に説明します。

1. 書き込み
送信バッファには、送信バッファ書き込みポインタが用意されています。SPDR レジスタへデータを書き込んだとき、ポインタは自動的に次のバッファに切り替わります。次に、送信バッファのバスインタフェース（書き込み）の構造を示します。

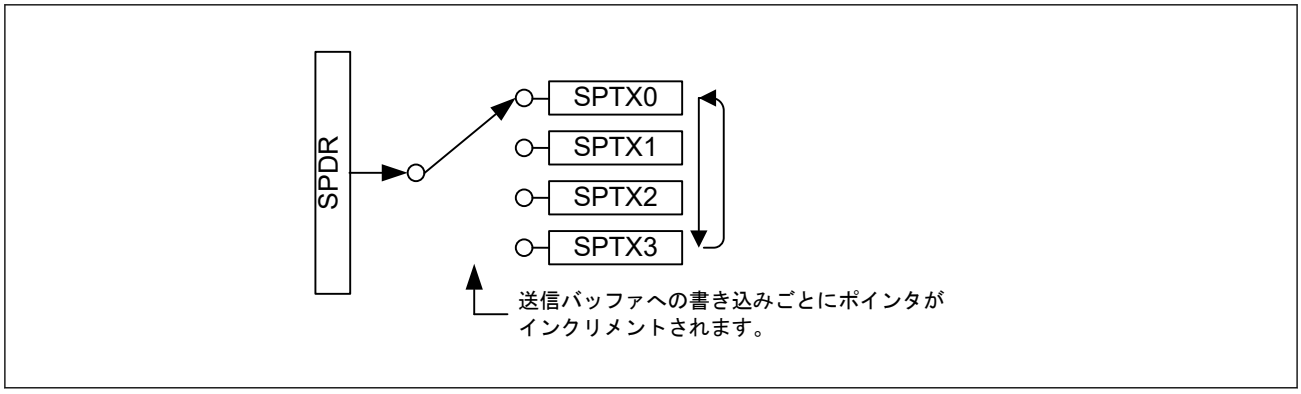


図 43.4 SPDR の構造（書き込み）

送信バッファ（SPTX0～SPTX3）の切り替え順：
SPTX0→SPTX1→SPTX2→SPTX3→SPTX0→SPTX1→…
送信データを送信バッファ (SPTXn) に書き込む場合、SPI 送信バッファエンプティ割り込みが存在するとき (SPSR.SPTEF = 1)、SPI データコントロールレジスタ 2 (SPDCR2.TTRG[1:0]) の送信 FIFO しきい値設定ビットによって指定された送信データフレーム + 1 を書き込みます。送信 FIFO に空の段が存在しない状態で送信バッファ（SPTXn、n = 0～3）を書き込んでも、バッファ値は更新されません。

2. 読み出し
値は SPDR レジスタを読み出すことによって、受信バッファ（SPRXn、n = 0～3）または送信バッファ（SPTXn、n = 0～3）から読み出すことができます。受信バッファの読み出しまたは送信バッファの読み出しは、SPI データコントロールレジスタの SPI 受信データ／送信データ選択ビット (SPDCR.SPRDTD) によって選択できます。
SPDR レジスタは、単独の受信バッファ読み出しポインタおよび送信バッファ読み出しポインタに従って読み出されます。
次に、受信バッファと送信バッファのバスインタフェースの構造（読み出し）を示します。

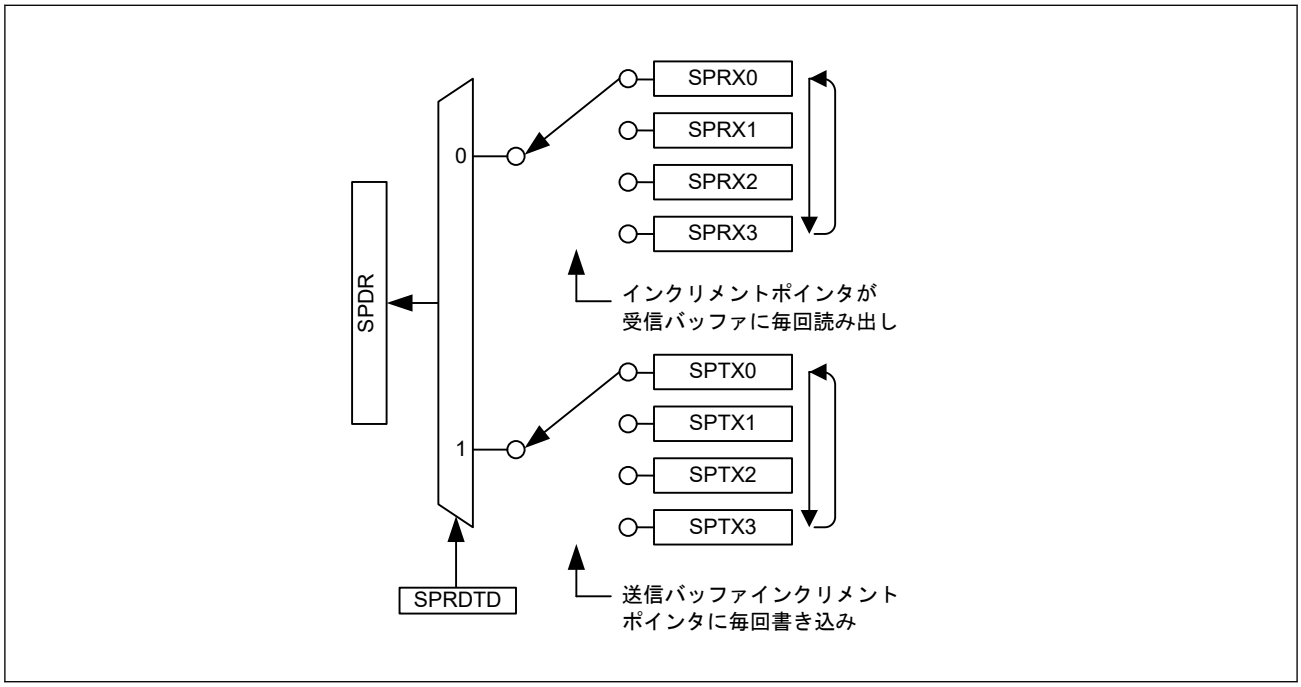


図 43.5 SPDR の構造（読み出し）

受信バッファを読み出すと、受信バッファ読み出しポインタが次のバッファに自動的に切り替わります。受信バッファ読み出しポインタは、送信バッファ書き込みポインタと同じ順序で切り替わります。

送信バッファ書き込みポインタは SPDR 書き込みアクセス中に更新されますが、送信バッファ読み出しアクセス中には更新されません。送信バッファが読み出されるとき、SPDR に最後に書き込まれた値を読み出すことができます。

43.2.2 SPDECR : SPI 遅延コントロールレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SPNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SLNDL[2:0]			—	—	—	—	—	SCKDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SCKDL[2:0]	RSPCK 遅延 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	SLNDL[2:0]	SSL ネゲート遅延 [マスタモード] 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK [スレーブモード時の Motorola-SPI の場合] 0 0 0: 1 RSPCK その他: 設定禁止 [スレーブモード時の TI-SSP の場合] 0 0 0: 1 TCLK 0 0 1: 2 TCLK 0 1 0: 3 TCLK 0 1 1: 4 TCLK 1 0 0: 5 TCLK 1 0 1: 6 TCLK 1 1 0: 7 TCLK 1 1 1: 8 TCLK	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
18:16	SPNDL[2:0]	SPI 次アクセス遅延 0 0 0: 1 RSPCK + 5 TCLK 0 0 1: 2 RSPCK + 5 TCLK 0 1 0: 3 RSPCK + 5 TCLK 0 1 1: 4 RSPCK + 5 TCLK 1 0 0: 5 RSPCK + 5 TCLK 1 0 1: 6 RSPCK + 5 TCLK 1 1 0: 7 RSPCK + 5 TCLK 1 1 1: 8 RSPCK + 5 TCLK	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SCKDL[2:0]ビット（RSPCK 遅延）

[Motorola-SPI の場合]

RSPCK 遅延ビット (SCKDL) は、SPI コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の間、SSL 信号アサート開始から RSPCK が発振するまでの期間（RSPCK 遅延）を設定するために使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SCKDL が修正されると、その後の動作は保証されません。

SPI をスレーブモードで使用するには、SCKDL[2:0]ビットを 000b にしてください。

[TI-SSP の場合]

RSPCK 遅延ビット (SCKDL) は、SPI コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の間、SSL 信号アサート開始から RSPCK が発振するまでの期間（RSPCK 遅延）を設定するために使用されます。SSL 信号がネゲートされるまでの期間を設定する場合にも使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SCKDL が修正されると、その後の動作は保証されません。

SPI をスレーブモードで使用するには、SCKDL[2:0]ビットを 000b にしてください。

SLNDL[2:0]ビット（SSL ネゲート遅延）

[Motorola-SPI の場合]

SSL ネゲート遅延ビット (SLNDL) は、SPI コマンドレジスタ (SPCMD) の SLNDEN ビットが 1 の間、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSL 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するために使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SLNDL が修正されると、その後の動作は保証されません。

TI-SSP を除き、SPI をスレーブモードで使用するには、SLNDL[2:0]ビットを 000b にしてください。

[TI-SSP の場合]

SSL ネゲート遅延ビット (SLNDL) は、SPI コマンドレジスタ (SPCMD) の SLNDEN ビットが 1 の間、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから OE 信号をネゲートするまでの期間（OE ネゲート遅延）を設定するために使用されます。また、スレーブモードの SPI がシリアル転送の最終 RSPCK エッジを検出してから OE 信号がネゲートされるまでの期間を設定する場合にも使用されます。SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態で SLNDL が修正されると、その後の動作は保証されません。

SPNDL[2:0]ビット（SPI 次アクセス遅延）

SPI 次アクセス遅延レジスタ (SPDECR.SPNDL) は、SPI コマンドレジスタ (SPCMD) の SPNDEN ビットが 1 の間、シリアル転送完了後の SSL 信号非アクティブ期間（次アクセス遅延）を設定するために使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SPNDL が修正されると、その後の動作は保証されません。

これらのビットは、SPCMD の SPNDEN ビットが 1 のときの次アクセス遅延値を設定するために使用されます。SPI をスレーブモードで使用するには、SPNDL[2:0]ビットを 000b にしてください。

43.2.3 SPCR : SPI コントロールレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BPEN	MSTR	TXMD[1:0]		—	—	SPFRF	SPMS	—	—	CENDIE	SPTIE	SPDRES	SPIIE	SPRIE	SPEIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MODFEN	BFDS	SCKASE	PTE	—	SPOE	SPPE	—	—	—	—	—	—	—	SPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPE	SPI 機能有効 0: SPI 機能は無効 1: SPI 機能は有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SPPE	パリティ許可 0: パリティビットを送信データに付加しません。 受信データのパリティチェックは実行されません。 1: パリティビットを送信データに付加します。 受信データのパリティチェックが実行されます。	R/W
9	SPOE	パリティモード 0: 送受信用に偶数パリティが使用されます。 1: 送受信用に奇数パリティが使用されます。	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	PTE	パリティ自己診断イネーブル 0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W
12	SCKASE	RSPCK 自動停止機能有効 0: RSPCK 自動停止機能は無効 1: RSPCK 自動停止機能は有効	R/W
13	BFDS	バースト転送フレーム間遅延選択 0: バースト転送時、フレーム間に遅延（RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延）を挿入する。 1: バースト転送時にフレーム間の遅延を挿入しない。	R/W
14	MODFEN	モードフォルトエラー検出許可 0: モードフォルトエラー検出禁止 1: モードフォルトエラー検出許可	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SPEIE	SPI エラー割り込み許可 0: SPI エラー割り込み要求を禁止 1: SPI エラー割り込み要求を許可	R/W
17	SPRIE	SPI 受信バッファフル割り込み許可 0: SPI 受信バッファフル割り込み要求を禁止 1: SPI 受信バッファフル割り込み要求を許可	R/W
18	SPIIE	SPI アイドル割り込み許可 0: アイドル割り込み要求禁止 1: アイドル割り込み要求許可	R/W
19	SPDRES	SPI 受信データレディエラー選択 受信データレディが検出されたとき、生成される割り込み要求を選択します。 0: 受信データフル割り込み 1: エラー割り込み	R/W

ビット	シンボル	機能	R/W
20	SPTIE	SPI 送信バッファエンプティ割り込み許可 0: SPI 送信バッファエンプティ割り込み要求を禁止 1: SPI 送信バッファエンプティ割り込み要求を許可	R/W
21	CENDIE	SPI 通信終了割り込み許可 0: 通信終了割り込み要求無効 1: 通信終了割り込み要求有効	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SPMS	SPI モード選択 0: SPI 動作（4 線式） 1: クロック同期式動作（3 線式）	R/W
25	SPFRF	SPI フレームフォーマット選択 0: Motorola-SPI 1: TI-SSP 注. SPMS = 1（クロック同期式動作（3 線式））のとき、このビットの設定は無効です。	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:28	TXMD[1:0]	通信モード選択 0 0: 送信／受信 0 1: 送信のみ その他: 受信のみ	R/W
30	MSTR	SPI マスタ／スレーブモード選択 0: スレーブモード 1: マスタモード	R/W
31	BPEN	同期化回路バイパス機能有効 0: 非バイパス 1: バイパス	R/W

注. S-TYPE-3, P-TYPE-3

SPI コントロールレジスタ (SPCR) は、SPI の動作モードを設定するために使用されます。設定された BPEN、MSTR、TXMD[1:0]、SPFRF、SPMS、MODFEN、BFDS、SCKASE、PTE、SPOE、SPPE ビット値が SPE ビットが 1 のときに変更された場合、以降の動作は保証しません。

SPE ビット（SPI 機能有効）

本ビットは SPI 機能の有効または無効を選択します。このビットを 1 にすると、SPI 機能が有効になります。SPI ステータスレジスタ (SPSR) の MODF フラグが 1 の場合、SPE ビットは 0 にクリアされ、MODF フラグが 0 にクリアされるまで SPE ビットは 1 に設定できません。（「43.3.10. エラー検出」を参照してください。）SPE ビットを 0 に設定すると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。（「43.3.11. SPI の初期化」を参照してください。）

SPPE ビット（パリティ許可）

パリティ機能の有効／無効を選択します。

SPOE ビット（パリティモード）

偶数パリティまたは奇数パリティを指定します。

偶数パリティモードのとき、パリティビットは 1 の合計（パリティビット＋送受信キャラクタ）が偶数になるように決定されます。同じように、奇数パリティモードでは、パリティビットは 1 の合計（パリティビット＋送受信キャラクタ）が奇数になるように決定されます。SPOE ビットは、SPCR の SPPE ビットが 1 の場合のみ有効となります。

PTE ビット（パリティ自己診断イネーブル）

パリティ機能が正常なことを確認するために、パリティ回路の自己診断の有効／無効を選択します。

SCKASE ビット（RSPCK 自動停止機能有効）

RSPCK 自動停止機能の有効／無効を選択します。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する直前に RSPCK クロックが停止します。詳細は、「43.3.10.1. オーバーランエラー」を参照してください。

BFDS ビット（バースト転送フレーム間遅延選択）

バースト転送フレーム間に遅延時間を挿入するかどうかを制御します。

マスタモード (SPCR.MSTR= 1) で、SPCMDn.SSLKP ビットが 1 に設定されたフレームで有効です。

本ビットはスレーブモードで 0 に設定してください。送信フレーム間 SSL 遅延制御の使用方法を以下に示します。詳細は、「43.3.12.1. マスタモード動作」を参照してください。

1. 非バースト転送
2. フレーム間遅延ありバースト転送
   2-1. 最初のフレームから最後の 1 つ手前のフレームまで
   2-2.最後のフレーム
3. フレーム間遅延なしバースト転送
   3-1.最初のフレームから最後の 1 つ手前のフレームまで
   3-2.最後のフレーム

表 43.3 送信フレーム間 SSL 遅延制御の使用方法（マスタモード）

	SPCMDn.SSLKP ビット	SPCR.BFDS ビット	SSL 遅延制御レジスタ(注1) (RSPCK クロック遅延、SSL ネゲート遅延、次アクセス遅延)
1	0	0	任意値。RSPCK クロック遅延、SSL ネゲート遅延、次アクセス遅延の設定に従い、各遅延の値を制御可能です。
2-1	1	0	
2-2	0	0	
3-1	1	1	任意値。ただし、遅延は以下の場合のみ挿入されます。 ● 最初のフレームの RSPCK クロック遅延 ● 最後のフレームの SSL ネゲート遅延と次アクセス遅延
3-2	0	1	

注 1. 以下のビットの設定値が有効であるかどうかは、SPCMD.SPNDEN ビットの設定値によります。（「43.2.6. SPCMDm : SPI コマンドレジスタ (m = 0～7)」を参照してください。）
SPDECR.SCKDL[2:0]ビット：RSPCK 遅延
SPDECR.SLNDL[2:0]ビット：SSL ネゲート遅延
SPDECR.SPNDL[2:0]ビット：次アクセス遅延

＜設定／動作の例＞（Motorola SPI、BFDS = 1 の場合）

SPCMD0.SSLKP = 1→バースト転送／0 と 1 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD1.SSLKP = 1→バースト転送／1 と 2 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD2.SSLKP = 1→バースト転送／2 と 3 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD3.SSLKP = 1→バースト転送／3 と 4 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD4.SSLKP = 0 → バースト転送しない。SSL をインアクティブにする。（バースト転送しないため、BFDS への設定は無効です）

SPCMD5.SSLKP = 1→バースト転送／5 と 6 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD6.SSLKP = 1→バースト転送／6 と 7 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD7.SSLKP = 0 →バースト転送しない。SSL をインアクティブにする。（バースト転送しないため、BFDS への設定は無効です）

MODFEN ビット（モードフォルトエラー検出許可）

本ビットはモードフォルトエラーの検出を許可または禁止します。（「43.3.10. エラー検出」を参照してください。）
SPI は MODFEN ビットと MSTR ビットの組み合わせに応じて SSL0 端子の入力または出力方向を決定します。（「43.3.2. SPI 端子の制御」を参照してください。）

SPEIE ビット（SPI エラー割り込み許可）

SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPI ステータスレジスタ (SPSR) の MODF フラグを 1 にした場合、オーバーランエラーを検出して SPSR の OVRF フラグを 1 にした場合、またはパリティエラーを検出して SPSR の PERF フラグを 1 にした場合、SPI エラー割り込み要求を許可または禁止します。（「43.3.10. エラー検出」を参照してください。）

SPRIE ビット（SPI 受信バッファフル割り込み許可）

SPI の受信バッファフル割り込み要求を許可または禁止します。

SPIIE ビット（SPI アイドル割り込み許可）

SPI がアイドル状態を検出して SPI ステータスレジスタ (SPSR) の IDLNF フラグを 0 に設定した後、SPI のアイドル割り込み要求を許可または禁止します。

SPDRES ビット（SPI 受信データレディエラー選択）

受信データレディが検出された (SPSR.SPDRF = 1) 場合に、SPIi_SPRI (i = 0, 1) 割り込み要求と SPIi_SPEI (i = 0, 1) 割り込み要求のどちらを使用するかを選択します。

SPTIE ビット（SPI 送信バッファエンプティ割り込み許可）

SPI の送信バッファエンプティ割り込み要求を許可または禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットが 1 に設定されたとき以降に SPE ビットを同時に 1 に設定することによって生成されます。SPTIE ビットが 1 のときは、SPI 関数が無効（SPE ビットが 0）でも送信バッファエンプティ割り込みが生成されることに注意してください。

CENDIE ビット（SPI 通信終了割り込み許可）

通信終了割り込み要求の発生を制御します。

SPMS ビット（SPI モード選択）

SPI 動作（4 線式）またはクロック同期式動作（3 線式）を選択します。

クロック同期式動作は、SSL 端子を使用せず、RSPCK、MOSI、MISO の 3 本の端子を用いて通信を行います。SPMS が 1（クロック同期式動作（3 線式））のとき、SPFRF ビットの設定は無効です。

クロック同期式動作をマスタモード (SPCR.MSTR = 1) で実行するには、SPI コマンドレジスタ (SPCMD) の CPHA ビットを 0 または 1 にしてください。クロック同期式動作をスレーブモード (SPCR.MSTR = 0) で実行するには、CPHA ビットを 1 にしてください。このビットが 0 のとき、クロック同期式動作をスレーブモード (SPCR.MSTR = 0) で行う場合、その後の動作は保証されません。

SPI コントロールレジスタ (SPCR) の MSTR ビット、TXMD[1:0]ビット、SPFRF ビット、SPMS ビットの設定に応じた通信ステータスは、次のようになります。

表 43.4　SPI 通信ステータス (1/2)

SPCR.MSTR	SPCR.TXMD[1]	SPCR.TXMD[0]	SPCR.SPFRF	SPCR.SPMS	通信ステータス	通信ステータス番号
1	0	0	0	0	送信／受信マスタ／Motorola SPI／SPI 動作（4 線式）	1-(1)
1	0	0	1	0	送信／受信マスタ／TI-SSP／SPI 動作（4 線式）	1-(2)
1	0	0	—	1	送信／受信マスタ／クロック同期式動作（3 線式）	1-(3)
1	0	1	0	0	送信のみマスタ／Motorola SPI／SPI 動作（4 線式）	1-(4)
1	0	1	1	0	送信のみマスタ／TI-SSP／SPI 動作（4 線式）	1-(5)
1	0	1	—	1	送信のみマスタ／クロック同期式動作（3 線式）	1-(6)
1	1	—	0	0	受信のみマスタ／Motorola SPI／SPI 動作（4 線式）	1-(7)
1	1	—	1	0	受信のみマスタ／TI-SSP／SPI 動作（4 線式）	1-(8)
1	1	—	—	1	受信のみマスタ／クロック同期式動作（3 線式）	1-(9)
0	0	0	0	0	送信／受信スレーブ／Motorola SPI／SPI 動作（4 線式）（デフォルト）	0-(1)
0	0	0	1	0	送信／受信スレーブ／TI-SSP／SPI 動作（4 線式）	0-(2)
0	0	0	—	1	送信／受信スレーブ／クロック同期式動作（3 線式）	0-(3)
0	0	1	0	0	送信のみスレーブ／Motorola SPI／SPI 動作（4 線式）	0-(4)
0	0	1	1	0	送信のみスレーブ／TI-SSP／SPI 動作（4 線式）	0-(5)
0	0	1	—	1	送信のみスレーブ／クロック同期式動作（3 線式）	0-(6)

表 43.4 SPI 通信ステータス (2/2)

SPCR.MSTR	SPCR.TXMD[1]	SPCR.TXMD[0]	SPCR.SPFRF	SPCR.SPMS	通信ステータス	通信ステータス番号
0	1	—	0	0	受信のみスレーブ／Motorola SPI／SPI 動作（4 線式）	0-(7)
0	1	—	1	0	受信のみスレーブ／TI-SSP／SPI 動作（4 線式）	0-(8)
0	1	—	—	1	受信のみスレーブ／クロック同期式動作（3 線式）	0-(9)

SPFRF ビット（SPI フレームフォーマット選択）

本ビットは通信プロトコルを選択します。

SPI 端子のフォーマット（RSPCK、SSL0～7）は、設定された通信プロトコルに応じて設定できます。

SPMS が 1（クロック同期式動作（3 線式））の場合、SSL が使用されないため、このビットは無効です。

TXMD[1:0]ビット（通信モード選択）

送信／受信、送信のみ、受信のみのシリアル通信を選択します。

通信用の TXMD[1:0]が 01 に設定されているとき、受信せずに送信のみが実行されます。

通信用の TXMD[1]が 1 に設定されているとき、送信せずに受信のみが実行されます。

通信用の TXMD[1:0]が 01 に設定されているとき、受信バッファフル割り込み要求は使用できません。

通信用の TXMD[1]が 1 に設定されているとき、送信バッファエンプティ割り込み要求は使用できません。

（「43.3.6. 通信動作モード」を参照してください。）

MSTR ビット（SPI マスタ／スレーブモード選択）

本ビットは SPI のマスタモードまたはスレーブモードを選択します。SPI は、MSTR ビットの設定に応じて、端子 RSPCK、MOSI、MISO、および SSL1～SSL3 の入力／出力方向を決定します。

BPEN ビット（同期化回路バイパス機能有効）

本ビットは同期化回路バイパス機能の有効または無効を選択します。バスクロック (PCLK) が動作クロック (TCLK) としても使用されている場合に本ビットを 1 にしたときの動作については、図 43.2 を参照してください。

43.2.4 SPCR2 : SPI コントロールレジスタ 2

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SPDRC[7:0]								RMSTTG	RMEDTG	—	RMFM[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	RMFM[4:0]	マスタ受信時専用のフレーム処理回数設定 マスタ受信時のみ、受信フレーム数の調整が可能です 0x00: この機能は未使用(注1) 0x01: 1 つの受信フレームを処理した後、自動的に通信を停止 ⋮ 0x1F: 31 の受信フレームを処理した後、自動的に通信を停止	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6	RMEDTG	マスタ受信時専用の終了トリガ 1: 受信終了 （マスタ受信時のみ書き込み可能） 読むと常に 0 が読めます	W
7	RMSTTG	マスタ受信時専用の開始トリガ 1: 受信開始 （マスタ受信時のみ書き込み可能） 読むと常に 0 が読めます	W
15:8	SPDRC[7:0]	SPI 受信データ準備検出調整 0x00: 受信データ準備検出機能を禁止 0x01: 受信データ準備判定を 1 TCLK 後に実行 ⋮ 0xFF: 受信データ準備判定を 255 TCLK 後に実行	R/W
16	SPLP	SPI ループバック 0: 通常モード 1: ループバックモード（送信データの反転 = 受信データ）	R/W
17	SPLP2	SPI ループバック 2 0: 通常モード 1: ループバックモード（送信データ = 受信データ）	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	MOIFV	MOSI アイドル固定値 0: MOSI アイドルの固定値 = 0 1: MOSI アイドルの固定値 = 1	R/W
21	MOIFE	MOSI アイドル固定値許可 0: MOSI 出力値は前回転送の採集データ 1: MOSI 出力値は設定された MOIFV ビットの値	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 「43.3.12.1. マスタモード動作」のソフトウェア処理手順を参照してください。

RMFM[4:0]ビット（マスタ受信時専用のフレーム処理回数設定）

マスタ受信専用で動作時のみ、受信フレーム数の調整が可能です。マスタモード (SPCR.MSTR = 1) および通信動作モード選択ビット (SPCR.TXMD [1:0]) が 10b のときのみ有効です。

マスタモード受信のスタートビットのみ、受信開始後にこのビットに設定された値に従ってフレーム処理を開始した後、自動的に通信を停止します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 のときに RMFM[4:0]ビットを書き換えた場合、その後の動作は保証されません。

RMEDTG ビット（マスタ受信時専用の終了トリガ）

このビットは、マスタ受信専用のときに受信を終了するために使用します。マスタモード (SPCR.MSTR = 1) および通信モード選択ビット (SPCR.TXMD [1:0]) が 10b のときのみ有効です。

RMSTTG ビット（マスタ受信時専用の開始トリガ）

このビットは、マスタ受信専用のときに受信を開始するために使用します。マスタモード (SPCR.MSTR = 1) および通信モード選択ビット (SPCR.TXMD [1:0]) が 10b のときのみ有効です。

受信中にこのビットを 1 にすることは受け付けられません。受信が完了した後に再度書き込んでください。

SPDRC[7:0]ビット（SPI 受信データ準備検出調整）

受信データ準備検出機能を禁止できます。使用中の場合は、検出までの期間を 1～255 TCLK に設定できます。

SPDRC [7:0]ビットに設定された値を使用して、SPDRF フラグを 1 にします。詳細は、「43.2.9. SPSR : SPI ステータスレジスタ」で SPDRF の説明を参照してください。

SPE ビットが 1 のときに設定値を変更すると、その後の動作が保証されなくなります。

SPLP ビット（SPI ループバック）

SPLP ビットを 1 にすると、SPI は MISO 端子とシフトレジスタ間の経路を遮断するか（SPI コントロールレジスタの MSTR ビットが 1 の場合）または MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路値を反転させてから、経路を出力経路に接続します（SPI コントロールレジスタの MSTR ビットが 0 の場合）（ループバックモード）。

SPLP2 ビット（SPI ループバック 2）

SPLP2 ビットを 1 にすると、SPI は MISO 端子とシフトレジスタ間の経路を遮断するか（SPI コントロールレジスタの MSTR ビットが 1 の場合）または MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路値を反転させずに経路を出力経路に接続します（SPI コントロールレジスタの MSTR ビットが 0 の場合）（ループバックモード）。本ビットと SPLP ビットがともに 1 の場合、本ビットの設定が優先します。

MOIFV ビット（MOSI アイドル固定値）

マスタモードで MOIFE ビットが 1 の場合、本ビットを使用して SSL ネゲート期間（バースト転送における SSL 保持期間を含む）における MOSI 端子の出力値を選択します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態で本ビットを変更した場合、その後の動作は保証されません。

MOIFE ビット（MOSI アイドル固定値許可）

本ビットを使用して、マスタモードの SPI が SSL ネゲート期間（バースト転送における SSL 保持期間を含む）における MOSI 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間における前回のシリアル転送の最終データを MOSI に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットの固定値を MOSI に出力します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態で本ビットを変更した場合、その後の動作は保証されません。

43.2.5 SPCR3 : SPI コントロールレジスタ 3

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SPSLN[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SPBR[7:0]								—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSL0P	SSL0 端子の信号極性 [Motorola-SPI の場合] 0: SSL0 信号がアクティブ Low 1: SSL0 信号がアクティブ High [TI-SSP の場合] 0: SSL0 信号がアクティブ High 1: SSL0 信号がアクティブ Low	R/W
1	SSL1P	SSL1 端子の信号極性 [Motorola-SPI の場合] 0: SSL1 信号がアクティブ Low 1: SSL1 信号がアクティブ High [TI-SSP の場合] 0: SSL1 信号がアクティブ High 1: SSL1 信号がアクティブ Low	R/W

ビット	シンボル	機能	R/W
2	SSL2P	SSL2 端子の信号極性 [Motorola-SPI の場合] 0: SSL2 信号がアクティブ Low 1: SSL2 信号がアクティブ High [TI-SSP の場合] 0: SSL2 信号がアクティブ High 1: SSL2 信号がアクティブ Low	R/W
3	SSL3P	SSL3 端子の信号極性 [Motorola-SPI の場合] 0: SSL3 信号がアクティブ Low 1: SSL3 信号がアクティブ High [TI-SSP の場合] 0: SSL3 信号がアクティブ High 1: SSL3 信号がアクティブ Low	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	SPBR[7:0]	SPI ビットレート	R/W
23:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	SPSLN[2:0]	SPI シーケンス長 0 0 0: シーケンス長 1 (SPCMDn, n = 0 → 0 → …) 0 0 1: シーケンス長 2 (SPCMDn, n = 0 → 1 → 0 → …) 0 1 0: シーケンス長 3 (SPCMDn, n = 0 → 1 → 2 → 0 → …) 0 1 1: シーケンス長 4 (SPCMDn, n = 0 → 1 → 2 → 3 → 0 → …) 1 0 0: シーケンス長 5 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 0 → …) 1 0 1: シーケンス長 6 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 5 → 0 → …) 1 1 0: シーケンス長 7 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 5 → 6 → 0 → …) 1 1 1: シーケンス長 8 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 5 → 6 → 7 → 0 → …)	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

SSLiP ビット（SSL 信号極性ビット）

SSL 信号の極性を指定するビットです。SSLiP ビット (i = 0～3) の設定値は、SSLi 信号のアクティブ極性を示します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態でいずれかの SSLiP ビットを変更した場合、その後の動作は保証されません。

注. SSL0 は SSL1～SSL3 と異なります。スレーブまたはマルチマスタの場合は、入力として機能します。

詳細は、「43.3.3.2. シングルマスタとシングルスレーブ（MCU はスレーブ）」、および「43.3.3.5. マルチマスタとマルチスレーブ（MCU はマスタ）」を参照してください。

SPBR[7:0]ビット（SPI ビットレート）

SPI ビットレートビット (SPBR) は、マスタモード時のビットレートの設定に使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットが 1 の状態で SPBR が修正されると、その後の動作は保証されません。

SPI をスレーブモードで使用するときは、SPCMD.BRDV 設定にかかわらず、ビットレートは入力クロックのビットレートに依存します。（電気的特性を満たすビットレートを指定してください。）

ビットレートは、SPBR の設定値と、SPI コマンドレジスタ（SPCMD0～SPCMD7）の BRDV[1:0]ビットの設定値の組み合わせで決まります。

ビットレートは以下の式で計算されます。n は SPBR の設定値（0～255）、N は BRDV[1:0]ビットの設定値（0～3）です。

$$\text{ビットレート} = \frac{f(\text{TCLK})}{2 \times (n+1) \times 2^N}$$

以下の表に、ビットレートと SPBR および BRDV[1:0]の設定値との対応の例を示します。

表 43.5 ビットレートと設定値の対応（例）

SPBR 値 (n)	BRDV 値 (N)	分周比	ビットレート				
			TCLK = 32 MHz	TCLK = 36 MHz	TCLK = 40 MHz	TCLK = 50 MHz	TCLK = 120 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps	60.0 Mbps
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps	30.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps	20.0 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps	15.0 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps	12.0 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps	10.0 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps	5.0 Mbps
5	2	48	677 kbps	750 kbps	833 kbps	1.04 Mbps	2.5 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps	1.25 Mbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps	29.3 kbps

SPSLN[2:0]ビット（SPI シーケンス長）

本ビットは、マスタモードの SPI がシーケンス動作を行う際のシーケンス長の設定に使用されます。マスタモード時の SPI は、SPSLN[2:0]ビットで指定されたシーケンス長に応じて、参照する SPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）および参照順序を変更します。詳細は、「43.3.13.1. マスタモード動作」を参照してください。

スレーブモード時の SPI は常に SPCMD0 を参照します。

43.2.6 SPCMDm : SPI コマンドレジスタ (m = 0～7)

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x14 + 0x04 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SSLA[2:0]			—	—	—	SPB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCKDEN	SLNDEN	SPNDEN	LSBF	—	—	—	—	SSLKP	—	—	—	BRDV[1:0]		CPOL	CPHA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPHA	RSPCK 位相 0: データが奇数エッジでサンプリングされ、偶数エッジで変更される 1: データが奇数エッジで変更され、偶数エッジでサンプリングされる	R/W
1	CPOL	RSPCK 極性 0: アイドル状態の RSPCK が 0 1: アイドル状態の RSPCK が 1	R/W
3:2	BRDV[1:0]	ビットレート分周 0 0: 基本ビットレート 0 1: 基本ビットレートの 2 分周 1 0: 基本ビットレートの 4 分周 1 1: 基本ビットレートの 8 分周	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	SSLKP	SSL 信号レベル保持 0: すべての SSL 信号が送信終了後にネゲートされる 1: SSL 信号レベルは、送信終了後に次のアクセスが開始するまで保持される	R/W
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	LSBF	SPI LSB ファースト 0: MSB ファースト 1: LSB ファースト	R/W
13	SPNDEN	SPI 次アクセス遅延許可 0: 次アクセス遅延は 1 RSPCK + 5 TCLK 1: 次アクセス遅延は SPI 次アクセス遅延の設定値 (SPDECR.SPNDL)	R/W
14	SLNDEN	SSL ネゲート遅延設定許可 0: [マスタ] SSL ネゲート遅延は 1 RSPCK [TI-SSP のスレーブ] SSL ネゲート遅延は 1 TCLK 1: SSL ネゲート遅延はスレーブ選択ネゲート遅延の設定値 (SPDECR.SLNDL)	R/W
15	SCKDEN	RSPCK 遅延設定許可 [Motorola-SPI の場合] 0: RSPCK 遅延は 1 RSPCK 1: RSPCK 遅延は RSPCK 遅延の設定値 (SPDECR.SCKDL) [TI-SSP の場合] 0: RSPCK 遅延は 0 RSPCK 1: RSPCK 遅延は RSPCK 遅延の設定値 (SPDECR.SCKDL)	R/W
20:16	SPB[4:0]	SPI データ長 0x00～0x02：設定禁止 0x03: 4 ビット 0x04: 5 ビット 0x05: 6 ビット ⋮ 0x1E: 31 ビット 0x1F: 32 ビット	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	SSLA[2:0]	SSL 信号アサート 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SPI には、マスタモードの SPI に対して転送フォーマットを設定するために使用される 8 つの SPI コマンドレジスタ（SPCMD0～SPCMD7）があります。さらに、SPCMD0 の一部のビットは、スレーブモードの SPI に対して転送フォーマットを設定するために使用されます。マスタモードの SPI は、SPI コントロールレジスタ 3 (SPCR3) の SPSLN[2:0]ビットの設定に従って、SPCMD0 から SPCMD7 をシーケンシャルに参照し、参照した SPCMD に指定されているシリアル転送を実行します。

送信バッファがエンプティのとき（次の転送データが設定されていないとき）、SPI は SPCMD を参照することによって送信されるデータを設定する前に SPCMD レジスタを設定します。

マスタモードの SPI によって参照される SPCMD は、SPI ステータスレジスタ (SPSR) の SPCP[2:0]ビットによって指定されます。スレーブモードで SPI が有効 (SPCR.SPE = 1) な状態で SPCMD0 が修正されると、その後の動作は保証されません。

CPHA ビット（RSPCK 位相）

このビットはマスタモード／スレーブモードの SPI の RSPCK 位相を設定するために使用されます。SPI モジュール間のデータ通信を実行するには、同じ RSPCK 位相を両方のモジュールに対して設定する必要があります。

SPCR.SPMS = 0 および SPCR.SPFRF = 1 の場合（TI SSP モード）、CPHA = 0 の設定は無効です。

CPOL ビット（RSPCK 極性）

このビットはマスタモード／スレーブモードの SPI の RSPCK 極性を設定するために使用されます。SPI モジュール間のデータ通信を実行するには、同じ RSPCK 極性を両方のモジュールに対して設定する必要があります。

BRDV[1:0]ビット（ビットレート分周）

このレジスタは、BRDV[1:0]ビットの設定値と SPI ビットレートレジスタ (SPCR3.SPBR) の組み合わせでビットレートを決定するために使用されます。設定した SPBR 値は、ベースとなるビットレートを決定します。設定された BRDV[1:0]ビット値は、分周なし、2 分周、4 分周、8 分周のベースのビットレートを選択するために使用されます。SPCMD0～SPCMD7 により、さまざまな BRDV[1:0]値の設定が有効です。これにより、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLKP ビット（SSL 信号レベル保持）

このビットは、マスタモードの SPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサーションタイミングの間、現コマンドの SSL 信号レベルを保持するか、ネゲートするかを設定するために使用されます。このビットを 1 に設定すると、SPI 動作マスタモードのバースト転送が可能になります。詳細は、「43.3.12.1. マスタモード動作」を参照してください。

SPI をスレーブモードで使用するためには、SSLKP ビットを 0 にしてください。

LSBF ビット（SPI LSB ファースト）

このビットは、マスタモード／スレーブモードの SPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを設定するために使用されます。

SPNDEN ビット（SPI 次アクセス遅延許可）

このビットは、マスタモードの SPI がシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間（次アクセス遅延）を設定するために使用されます。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を 1RSPCK + 5TCLK に設定します。SPNDEN ビットが 1 のとき、SPI は SPI 次アクセス遅延レジスタ (SPDECR.SPNDL) 設定に応じて次アクセス遅延を挿入します。

SPI をスレーブモードで使用するためには、SPNDEN ビットを 0 にしてください。

SLNDEN ビット（SSL ネゲート遅延設定許可）

[Motorola-SPI の場合]

このビットは、マスタモードの SPI が RSPCK の発振を停止してから SSL 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定するために使用されます。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を 1RSPCK に設定します。SLNDEN ビットが 1 のとき、SPI はスレーブ選択ネゲート遅延レジスタ (SPDECR.SLNDL) 設定に応じて、RSPCK 遅延で SSL 信号をネゲートします。

SPI をスレーブモードで使用するためには、SLNDEN ビットを 0 にしてください。

[TI-SSP の場合]

このビットは、マスタモード SPI が RSPCK の発振を停止してから OE 信号を非アクティブ化するまでの期間、またはスレーブモード SPI が RSPCK の最終エッジを検出してから OE 信号をネゲートするまでの期間を設定するために使用されます。SLNDEN ビットが 0 のとき、SSL ネゲート遅延はマスタモードでは 1RSPCK で、スレーブモードでは 1TCLK です。SLNDEN ビットが 1 のとき、SPI はスレーブ選択ネゲート遅延レジスタ (SPDECR.SLNDL) 設定に応じて、RSPCK 遅延で SSL 信号をネゲートします。

SPI を TI SSP 設定以外のスレーブモードで使用する場合は、SLNDEN ビットを 0 にしてください。

SCKDEN ビット（RSPCK 遅延設定許可）

[Motorola-SPI の場合]

このビットは、マスタモードの SPI が SSL 信号をアクティブにしてから、RSPCK を発振するまでの期間（RSPCK 遅延）を設定するために使用されます。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を 1RSPCK に設定します。SCKDEN ビットが 1 のとき、SPI は RSPCK 遅延レジスタ (SPDECR.SCKDL) 設定に応じて、RSPCK 遅延で RSPCK 発振を開始します。

SPI をスレーブモードで使用するためには、SCKDEN ビットを 0 にしてください。

[TI-SSP の場合]

このビットは、マスタモードの SPI によって、SSL 信号のアサートの開始から RSPCK 発振までの期間（RSPCK 遅延）、および SSL 信号のネゲートまでの期間を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を設定しません。SCKDEN ビットが 1 のとき、SPI は RSPCK 遅延レジスタ (SPDECR.SPCKDL) 設定に応じて、RSPCK 遅延で RSPCK 発振を開始します。

SPI をスレーブモードで使用するためには、SCKDEN ビットを 0 にしてください。

SPB[4:0]ビット（SPI データ長）

これらのビットはマスタモード／スレーブモードの SPI の転送データ長を設定するために使用されます。

SSLA[2:0]ビット（SSL 信号アサート）

これらのビットは、シリアル転送を実行するために、マスタモードで SPI の SSL 信号アサートを制御するために使用されます。設定された SSLA[2:0]ビット値は、SSL3 から SSL0 の信号のアサートを制御します。SSL 信号がアサートされたときの信号極性は、SPI スレーブ選択極性レジスタ (SPCR3.SSLiP) の設定値によって異なります。マルチマスタモードで SSLA[2:0]ビットを 000b にした場合、全 SSL 信号がネゲート状態でシリアル転送が実行されます（SSL0 端子が入力になるためです）。

SPI をスレーブモードで使用するためには、SSLA[2:0]を 000b にしてください。

43.2.7 SPDCR : SPI データコントロールレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SPFC[1:0]		—	—	—	SINV	SPRDTD	—	—	BYSW
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BYSW	バイトスワップ動作モード選択 0: バイトスワップ OFF 1: バイトスワップ ON	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	SPRDTD	SPI 受信データ／送信データ選択 0: SPDR が受信バッファを読み出し 1: SPDR が送信バッファを読み出し	R/W
4	SINV	シリアルデータ反転ビット 0: シリアルデータ反転なし 1: シリアルデータ反転あり	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	SPFC[1:0]	フレーム数 0 0: 1 フレーム 0 1: 2 フレーム 1 0: 3 フレーム 1 1: 4 フレーム	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SPI データコントロールレジスタ (SPDCR) はデータフォーマットを制御します。

SPE ビットが 1 のときにこのレジスタ設定値を変更すると、その後の動作が保証されなくなります。

BYSW ビット（バイトスワップ動作モード選択）

本ビットは、送受信データのバイト単位スワップの設定をする設定ビットです。バイトスワップ後のデータは、指定のデータ長だけ異なります（SPCMD.SPB[4:0]の設定）。

バイトスワップ時、データ長（SPB[4:0]ビットの設定）は 32 ビットか 16 ビットでなければなりません。他のデータ長（すなわち 4～15、17～31 ビット長）のケースでは、バイトスワップ動作は保証されません。32 ビットまたは 16 ビットのデータ長でスワッピングを行った場合、その前後のデータ配列については「43.3.4.3. バイトスワップ送信」と「43.3.4.4. バイトスワップ受信」を参照してください。

パリティ機能を有効に設定すると、動作は保証されません。

SPRDTD ビット（SPI 受信データ／送信データ選択）

このビットは、受信バッファまたは送信バッファのどちらから SPI データレジスタ (SPDR) の値を読み出すかを選択するために使用します。

送信バッファから読み出す場合は、直前に SPDR に書き込まれた値が読み出されます。

SINV ビット（シリアルデータ反転ビット）

本ビットは、送信データと受信データの反転に使用します。

SINV ビットが 1 に設定されるとき、送信バッファ (SPTX) データは送信データと受信データを反転するために反転されます。それから、反転したデータを受信バッファに格納します。パリティビットは、反転した送受信データに対応した値になります。

SPFC[1:0]ビット（フレーム数）

スレーブ受信専用モードで CENDF フラグをセットする条件のために使用します。

CENDF フラグ設定条件の詳細については、「43.2.9. SPSR : SPI ステータスレジスタ」を参照してください。

このビットはスレーブ受信専用モード以外では無効です。

43.2.8 SPDCR2 : SPI データコントロールレジスタ 2

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TTRG[1:0]		—	—	—	—	—	—	RTRG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RTRG[1:0]	受信 FIFO スレッショルド設定 0 0: スレッショルド 0 0 1: スレッショルド 1 1 0: スレッショルド 2 1 1: スレッショルド 3	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	TTRG[1:0]	送信 FIFO スレッショルド設定 0 0: スレッショルド 0 0 1: スレッショルド 1 1 0: スレッショルド 2 1 1: スレッショルド 3	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SPI データコントロールレジスタ 2 (SPDCR2) は、FIFO しきい値を制御します。SPE ビットが 1 のときにこのレジスタ設定値を変更すると、その後の動作は保証されません。

RTRG[1:0]ビット (受信 FIFO スレッショルド設定)

受信 FIFO のスレッショルドを設定します。

受信 FIFO に格納されたデータの数が RTRG[1:0]によって設定されたフレーム数より大きい場合は、受信バッファフルフラグがセットされます。

TTRG[1:0]ビット（送信 FIFO スレッショルド設定）

送信 FIFO のしきい値を設定します。

送信 FIFO 内の空き段数が TTRG[1:0]で設定したフレーム数より多い場合は、送信バッファエンプティフラグが設定されます。

43.2.9 SPSR : SPI ステータスレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SPRF	CENDF	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF	SPDRF	—	—	—	—	—	—	—
Value after reset:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	SPECM[2:0]			—	SPCP[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R
10:8	SPCP[2:0]	SPI コマンドポインタ 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
11	—	読むと 0 が読めます。書く場合、0 としてください。	R
14:12	SPECM[2:0]	SPI エラーコマンド 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
22:15	—	読むと 0 が読めます。書く場合、0 としてください。	R
23	SPDRF	SPI 受信データレディフラグ 0: 受信データレディ未検出 1: 受信データレディ検出	R
24	OVRF	オーバーランエラーフラグ 0: オーバーランエラーなし 1: オーバーランエラーあり	R

ビット	シンボル	機能	R/W
25	IDLNF	SPI アイドルフラグ 0: SPI がアイドル状態 1: SPI が転送状態	R
26	MODF	モードフォルトエラーフラグ 0: モードフォルトエラーもアンダーランエラーもなし 1: モードフォルトエラーまたはアンダーランエラーあり	R
27	PERF	パリティエラーフラグ 0: パリティエラーなし 1: パリティエラーあり	R
28	UDRF	アンダーランエラーフラグ 0: MODF = 0 のときは、モードフォルトエラーもアンダーランエラーもなし MODF = 1 のときは、モードフォルトエラーあり 1: MODF = 0 のときは、モードフォルトエラーもアンダーランエラーもなし MODF = 1 のときは、アンダーランエラーあり	R
29	SPTEF	SPI 送信バッファエンプティフラグ 0: 送信 FIFO 内の空の段数 ≦ SPDCR2.TTRG に設定された値 1: 送信 FIFO 内の空の段数 > SPDCR2.TTRG に設定された値	R
30	CENDF	通信終了フラグ 0: SPI 通信なし、または通信中 1: SPI 通信終了	R
31	SPRF	SPI 受信バッファフルフラグ 0: 受信 FFO 内に格納されているデータ数 ≦ SPDCR2.RTRG ビットにより設定されたフレーム数 1: 受信 FFO 内に格納されているデータ数 > SPDCR2.RTRG ビットにより設定されたフレーム数	R

注. S-TYPE-3, P-TYPE-3

SPI ステータスレジスタ (SPSR) は、SPI の動作ステータスを示すフラグを格納します。

SPCP[2:0]ビット（SPI コマンドポインタ）

これらのビットは、SPI シーケンス制御の最新ポインタによって示される SPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）を示します。SPI シーケンス制御の詳細については、「43.3.13.1. マスタモード動作」を参照してください。

SPECM[2:0]ビット（SPI エラーコマンド）

これらのビットは、SPI シーケンス制御でエラーが検出されたときに SPI シーケンス制御のコマンドポインタ（SPCP[2:0]ビット）によって示される、SPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）を示します。SPI は、エラー検出時にのみ SPECM[2:0]ビットの値を更新します。エラーがないときは（SPSR の OVRF、MODF、および PERF フラグが 0）、SPECM[2:0]ビットの値に意味はありません。SPI のエラー検出機能については、「43.3.10. エラー検出」を参照してください。SPI のシーケンス制御については、「43.3.13.1. マスタモード動作」を参照してください。

SPDRF ビット（SPI 受信データレディフラグ）

通信時に (SPCR.SPE = 1)、「受信 FIFO 内のデータ数 ≦ 受信 FIFO 閾値」の状態で一定の時間が経過したことを示します。

受信動作が行われないときは (SPCR.TXMD[1:0] = 01b)、このビットが 0 に設定されます。

[1 になる条件]

次の 2 つの条件がすべて満たされたとき

- SPCR2.SPDRC[7:0] ≠ 0x00
- 受信 FIFO への書き込み後に、「受信 FIFO に格納されたデータ数 ≦ 受信 FIFO 閾値」の条件が満たされ、かつ SPDRC[7:0]に設定された値が経過したとき

[0 になる条件]

- SPSRC.SPDRFC ビットに 1 を書いたとき

OVRF ビット（オーバーランエラーフラグ）

本フラグは、オーバーランエラーの有無を示します。マスタモード (SPCR.MSTR = 1) で RSPCK クロック自動停止機能が有効になっている場合 (SPCR.SCKASE = 1) オーバーランエラーは発生しないので、このフラグが 1 になることはありません。詳細は、「43.3.10.1. オーバーランエラー」を参照してください。

[1 になる条件]

次の 2 つの条件のいずれかにおいて、FIFO 段数に対応するデータが受信 FIFO に格納された状態で、シリアル転送が完了したとき

- SPCR.TXMD[1:0] = 00b（送受信モード）
- SPCR.TXMD[1:0] = 10b（受信専用）

[0 になる条件]

- SPSRC.OVRFC ビットに 1 を書いたとき

IDLNF ビット（SPI アイドルフラグ）

本フラグは SPI の転送状況を示します。

[1 になる条件]

[送受信、送信専用マスタモード]

- 以下の 0 になる条件（送受信、送信専用マスタモード）が満たされなかったとき

[受信専用マスタモード]

- SPCR2 の RMSTTG に 1 を書いたとき

[スレーブモード]

- SPCR.SPE ビットが 1（SPI 機能が有効）のとき

[0 になる条件]

通信ステータス：1-(1)～(6) *通信ステータスの詳細については、表 43.4 を参照してください。

[送受信、送信専用マスタモード]

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.SPE ビットが 0（SPI 初期化）
- 以下の 3 つの条件をすべて満たしたとき
  - 次の転送データが送信バッファ内にセットされていないとき (SPTXn, n = 0～3)
  - SPSR.SPCP ビットが 000b（シーケンス制御開始時）
  - 次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）

[受信専用マスタモード]

通信ステータス：1-(7)～(9)

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.SPE ビットが 0（SPI 初期化）
- 以下の 3 つの条件のいずれかを満たしたとき
  RMFM[4:0] = 0x00 で RMEDTG に 1 を書いた後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）
  RMFM[4:0] ≠ 0x00 で RMEDTG に 1 を書いた後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）
  RMFM[4:0] ≠ 0x00 において、RMFM[4:0]で設定した受信フレーム数に対して処理完了後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）

[スレーブモード]

通信ステータス：0-(1)～(9)

- SPCR.SPE ビットが 0（SPI 初期化）

MODF ビット（モードフォルトエラーフラグ）

本フラグは、モードフォルトエラーまたはアンダーランエラーの有無を示します。UDRF フラグを確認すれば、どのエラー（モードフォルトエラーまたはアンダーランエラー）が発生したのかが分かります。

[1 になる条件]

[マルチマスタモード]

- SPCR.MSTR = 1（マスタモード）で SPCR.MODFEN = 1（モードフォルトエラー検出許可）のときに SSL0 端子の入力レベルがアクティブレベルになり、その後に SPI がモードフォルトエラーを検出した場合

[スレーブ、Motorola-SPI モード]

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.MSTR = 0（スレーブモード）、SPCR.SPFRF = 0 (Motorola-SPI)、SPCR.MODFEN = 1（モードフォルトエラー検出許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL0 端子がネゲートされ、その後に SPI がモードフォルトエラーを検出した場合
- SPCR.SPE = 1（SPI 機能が有効）の状態で、送信データ出力がレディ状態になる前にシリアル転送が開始され、その後に SPI がアンダーランエラーを検出した場合

[スレーブ、TI-SSP モード]

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.MSTR = 0（スレーブモード）、SPCR.SPFRF = 1 (TI-SSP)、SPCR.MODFEN = 1（モードフォルトエラー検出許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL0 端子がアサートされ、その後に SPI がモードフォルトエラーを検出した場合
- SPCR.SPE = 1（SPI 機能が有効）の状態で、送信データ出力がレディ状態になる前にシリアル転送が開始され、その後に SPI がアンダーランエラーを検出した場合

SSL 信号のアクティブレベルは、SPCR3.SSLiP ビット（SSL 信号極性ビット）によって異なります。

[0 になる条件]

- SPSRC.MODFC ビットに 1 を書いたとき

PERF ビット（パリティエラーフラグ）

本フラグは、パリティエラーの有無を示します。

[1 になる条件]

次の 2 つの条件うちのいずれかにおいて、SPCR.SPPE ビットが 1 に設定された状態でシリアル転送が終了して、パリティエラーが検出されたとき

- SPCR.TXMD[1:0] = 00b（送受信マスタモードまたは送受信スレーブモード）
- SPCR.TXMD[1:0] = 10b（受信専用マスタモードまたは受信専用スレーブモード）

[0 になる条件]

- SPSRC.PERFC ビットに 1 を書いたとき

UDRF ビット（アンダーランエラーフラグ）

本フラグは、モードフォルトエラーまたはアンダーランエラーがあることを示します。

[1 になる条件]

- SPCR.MSTR = 0、SPCR.TXMD[1:0] = 00b または 01b（送受信スレーブモードまたは送信専用スレーブモード）、SPCR.SPE = 1（SPI 機能有効）のとき、送信データ出力がレディになる前にシリアル転送が開始され、SPI がアンダーランエラーを検出したとき

[0 になる条件]

- SPSRC.UDRFC ビットに 1 を書いたとき

SPTEF ビット（SPI 送信バッファエンプティフラグ）

本フラグは、SPI データレジスタ (SPDR) の送信バッファ (SPTX) のステータスを示します。

[1 になる条件]

以下の 3 つの条件のいずれかを満たしたとき

- SPE ビットを 0 にしたとき（SPI 初期化）
- 「エンプティの送信 FIFO 段数 > SPDCR2.TTRG[1:0]の設定値」のとき
- SPFCR.SPFRST に 1 を書いたとき

[0 になる条件]

以下の 2 つの条件のいずれかを満たしたとき

- DTC/DMAC を使い 1 つの処理ルーチンで転送データを SPDR (SPTXn, n = 0〜3) へ書き込む際の最終アクセス時
- SPSRC.SPTEFC ビットに 1 を書いたとき

SPDR レジスタへ値を書き込むことができるのは、SPTEF = 1 の場合に限られます。SPTEF = 0 のときに SPDR レジスタに値を書き込んだ場合、送信バッファデータは更新されません。

CENDF ビット（通信終了フラグ）

本フラグは、SPI の通信終了ステータスを示します。通信終了時に 1 となり、次の通信開始時に 0 となります。

[1 になる条件]

[送受信、送信専用マスタモード]

通信ステータス：1-(1)〜(6) *通信ステータスの詳細については、表 43.4 を参照してください。

以下の 3 つの条件を満たしたとき

- 次の転送データが送信バッファ (SPTXn, n = 0〜3) 内にセットされていない
- SPSR.SPCP[2:0]ビットが 000b（シーケンス制御の先頭を意味する）
- 次のアクセス遅延までの動作が完了しているとき（マスタメインステートマシンがアイドル状態に遷移した）

[受信専用マスタモード]

通信ステータス：1-(7)〜(9)

以下の 3 つの条件のいずれかを満たしたとき

- RMFM[4:0] = 0x00 で RMEDTG に 1 を書いた後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）
- RMFM[4:0] ≠ 0x00 で RMEDTG に 1 を書いた後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）
- RMFM[4:0] ≠ 0x00 において、RMFM[4:0]で設定した受信フレーム数に対して処理完了後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の送受信、送信専用スレーブモード、Motorola-SPI モード]

通信ステータス：0-(1), (4)

以下の 3 つの条件を満たしたとき

- 次の転送データが送信バッファ内にセットされていない
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- SSL0 がネゲートされた

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の送受信、送信専用スレーブモード、TI-SSP モード]

通信ステータス：0-(2), (5)

以下の 3 つの条件を満たしたとき

- 次の転送データが送信バッファ内にセットされていない
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- SSL0 ネゲート遅延が終了したとき

[クロック同期（3 ワイヤ：SPCR.SPMS = 1）時の送受信、送信専用スレーブモード]

通信ステータス：0-(3), (6)

以下の 3 つの条件を満たしたとき

- 次の転送データが送信バッファ内にセットされていない
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- フレームの RSPCK の最終偶数エッジを検出した（SPCMD.CPHA ビットが 1 のとき）

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の受信専用スレーブモード、Motorola-SPI モード]

通信ステータス：0-(7)

以下の条件を満たしたとき

- 受信バッファ内の SPDCR.SPFC 設定値用フレームを取得後に SSL0 入力がネゲートされた。

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の受信専用スレーブモード、TI-SSP モード]

通信ステータス：0-(8)

以下の条件を満たしたとき

- 受信バッファ内の SPDCR.SPFC 設定値用フレームを取得後に SSL0 ネゲート遅延が終了した。

[クロック同期（3 ワイヤ：SPCR.SPMS = 1）時の受信専用スレーブモード]

通信ステータス：0-(9)

以下の条件を満たしたとき

- SPFC 用に受信した最終フレームの RSPCK の最終偶数エッジが値を設定。（SPCMD.CPHA ビットが 1 のとき）

[0 になる条件]

[送受信、送信専用マスタモード]

通信ステータス：1-(1)～(6)

以下の 2 つの条件のいずれかを満たしたとき

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- SPSRC.CENDFC ビットに 1 を書いたとき

[受信専用マスタモード]

通信ステータス：1-(7)～(9)

以下の 2 つの条件のいずれかを満たしたとき

- SPE = 1 の状態で SPCR2.RMSTTG ビットに 1 を書いたとき
- SPSRC.CENDFC ビットに 1 を書いたとき

[送受信、送信専用スレーブモード]

通信ステータス：0-(1)～(6)

以下のいずれかの条件を満たしたとき

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- SPSRC.CENDFC ビットに 1 を書いたとき

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の受信専用スレーブモード]

通信ステータス：0-(7) ～ (8)

以下のいずれかの条件を満たしたとき

- 次のデータの SSL0 アサートを検出したとき
- SPSRC.CENDFC ビットに 1 を書いたとき

[クロック同期（3 ワイヤ：SPCR.SPMS = 1）時の受信専用スレーブモード]

通信ステータス：0-(9)

以下のいずれかの条件を満たしたとき

- 次のデータの RSPCK の最初のエッジを検出したとき
- SPSRC.CENDFC ビットに 1 を書いたとき

SPRF ビット（SPI 受信バッファフルフラグ）

本フラグは、SPI データレジスタ (SPDR) の受信バッファ (SPRX) のステータスを示します。

[1 になる条件]

送受信モード、受信専用モードで「受信 FIFO に格納されたデータ数 > SPDCR2.RTRG[1:0]ビットで設定されたフレーム数」のとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されません。（「43.3.10. エラー検出」を参照してください。）

[0 になる条件]

以下の 3 つの条件のいずれかを満たしたとき

- DTC/DMAC を使い 1 つの処理ルーチンで読み出しデータを SPDR (SPTXn, n = 0～3) から読み出す際の最終アクセス時
- SPSRC.SPRFC ビットに 1 を書いたとき
- SPFCR.SPFRST ビットに 1 を書いたとき

43.2.10 SPTFSR : SPI 転送 FIFO ステータスレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x58

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	TFDN[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	TFDN[2:0]	送信 FIFO データの空の段数 0 0 0: 空の段数は 0 ⋮ 1 0 0: 空の段数は 4	R
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R

TFDN[2:0]ビット（送信 FIFO データの空の段数）

空の送信 FIFO 段数を表示します。SPCR.SPE ビットをクリアすることにより、リセット後に TFDN[2:0]が初期値（すべてエンプティ）になります。

43.2.11 SPRFSR : SPI 受信 FIFO ステータスレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x5C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RFDN[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	RFDN[2:0]	受信 FIFO データ格納段数 0 0 0: 格納段 0 の数 ⋮ 1 0 0: 格納段 4 の数	R
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3

RFDN[2:0]ビット（受信 FIFO データ格納段数）

格納受信 FIFO 段数を表示します。RFDN [2:0]は SPCR.SPE ビットのクリアによってクリアされます。

43.2.12 SPPSR : SPI ポーリングレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x60

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEPS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPEPS	SPI ポーリングステータス 0: SPCR.SPE が 0 1: SPCR.SPE が 1	R
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

SPEPS ビット（SPI ポーリングステータス）

本ビットは、バスクロック (PCLK) から動作クロック (TCLK) に同期後の SPCR.SPE ビットのステータスを示します。

43.2.13 SPSRC : SPI ステータスクリアレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x68

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SPRFC	CENDFC	SPTEFC	UDRFC	PERFC	MODFC	—	OVRFC	SPDRFC	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	—	書く場合、0 としてください。	W
23	SPDRFC	SPI 受信データレディフラグのクリア SPI 受信データレディフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
24	OVRFC	オーバーランエラーフラグのクリア オーバーランエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
25	—	書く場合、0 としてください。	W
26	MODFC	モードフォルトエラーフラグのクリア モードフォルトエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W(注1)
27	PERFC	パリティエラーフラグのクリア パリティエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
28	UDRFC	アンダーランエラーフラグのクリア アンダーランエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W(注2)
29	SPTEFC	SPI 送信バッファエンプティフラグのクリア SPI 送信バッファエンプティフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
30	CENDFC	通信終了フラグのクリア 通信終了フラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
31	SPRFC	SPI 受信バッファフルフラグのクリア SPI 受信バッファフルフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W

注. S-TYPE-3, P-TYPE-3
注 1. MODFC と UDRFC を設定する前に、SPSR.MODF と UDRF が 1 に設定されていることを確認してください。
注 2. UDRF フラグをクリアするときは、同時に MODF フラグをクリアしてください (MODFC = 1)。

SPI ステータスクリアレジスタ (SPSRC) は、SPI の動作ステータスを示すステータスフラグ (SPSR) をクリアするレジスタです。

43.2.14 SPFCR : SPI FIFO クリアレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x6C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPFRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPFRST	SPI FIFO クリア 1 を書き込むことによって、FIFO のポインタおよび格納されたデータが初期化されます。 読み出し値は常に 0 です。	W
31:1	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

FIFO クリアレジスタ (SPFCR) は、FIFO をクリアするために使用されます。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 のときに SPFCR を書き換えた場合、その後の動作は保証されません。

SPFRST ビット（SPI FIFO クリア）

送信／受信 FIFO のポインタと格納されたデータを、1 を書き込むことによって初期化します。

43.3 動作説明

本節では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

43.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード（SPI 動作）
- シングルマスタモード（SPI 動作）
- マルチマスタモード（SPI 動作）
- スレーブモード（クロック同期式動作）
- マスタモード（クロック同期式動作）

SPI のモードは、SPCR レジスタの MSTR、MODFEN、SPMS ビット、および SPFRF ビットで選択できます。表 43.6 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 43.6 SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (1/2)

モード	スレーブ（SPI 動作）	シングルマスタ（SPI 動作）	マルチマスタ（SPI 動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 または 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
SPFRF ビットの設定	有効	有効	有効	無効	無効

表 43.6　SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (2/2)

モード	スレーブ（SPI 動作）	シングルマスタ（SPI 動作）	マルチマスタ（SPI 動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
RSPCKn 端子	入力	出力	出力／Hi-Z	入力	出力
MOSIn 端子	入力	出力	出力／Hi-Z	入力	出力
MISOn 端子	出力／Hi-Z	入力	入力	出力	入力
SSLn0 端子	入力	出力	入力	Hi-Z(注1)	Hi-Z(注1)
SSLn1～SSLn3 端子	Hi-Z(注1)	出力	出力／Hi-Z	Hi-Z(注1)	Hi-Z(注1)
SSL 極性変更機能	あり	あり	あり	—	—
最大転送レート	TCLK/2	TCLK/2	TCLK/2	TCLK/2	TCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種(注6)	2 種(注6)	2 種(注6)	1 種 (CPHA = 1)	2 種
転送データ長	4～32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし(注7)	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送トリガ	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり(注5)				
受信バッファフル検出	あり(注2)				
オーバーランエラー検出	あり(注2)	あり(注2) (注4)	あり(注2) (注4)	あり(注2)	あり(注2)
パリティエラー検出	あり(注3) (注2)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり(注5)	なし	なし	あり(注5)	なし

注 1.　この機能は本モードでは使用しません。
注 2.　SPI が送信マスタモードまたは送信スレーブモードのときは（表 43.4 参照）、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。
注 3.　SPCR.SPPE ビットが 0 の場合、パリティエラー検出は行われません。
注 4.　SPCR.SCKASE ビットが 1 の場合、オーバーランエラー検出は行われません。
注 5.　SPI が受信のみスレーブモードの場合、送信バッファエンプティエラーとアンダーランエラーはいずれも検出されません。
注 6.　TI SSP モードでは、CPHA = 0 は無効です。設定しても、CPHA = 1 のときと動作は同じです。
注 7.　TI SSP モードでの使用にのみ対応しています。

43.3.2　SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビットの設定と入出力ポートの PmnPFS.NCODR ビットの設定に基づき、端子の状態を切り替えます。端子状態と各ビットの設定値との関係を表 43.7 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると、CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 43.7 端子状態とビット設定値の関係

モード	端子	端子状態(注2)	
		入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
シングルマスタモード（SPI 動作） (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0～SSLn3	CMOS 出力	オープンドレイン出力
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
マルチマスタモード（SPI 動作） (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	SSLn0	入力	入力
	SSLn1～SSLn3(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MOSIn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MISOn	入力	入力
スレーブモード（SPI 動作） (MSTR = 0, SPMS = 0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn(注4)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
マスタモード （クロック同期式動作） (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
スレーブモード （クロック同期式動作） (MSTR = 0, SPMS = 1)	RSPCKn	入力	入力
	SSLn0～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn	CMOS 出力	オープンドレイン出力

注 1. この機能は本モードでは使用しません。
注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。
注 3. Motorola-SPI: SSLn0 がアクティブレベルの場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SPCR3.SSL0P ビットの値で決まります。
TI-SSP: SSL0 がアクティブレベルになってから通信が完了するまで、SPCR.SPE = 1 の条件において、端子の状態は Hi-Z になります。
注 4. Motorola-SPI: SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SPCR3.SSL0P ビットの値で決まります。
TI-SSP: SSL0 が通信期間以外の場合または SPCR.SPE ビットが 0（SPE = 1 の後のアサートから通信完了）の場合、端子の状態は Hi-Z になります。
注 5. これらの端子は入出力ポート端子として使用できます。

シングルマスタモード（SPI 動作）またはマルチマスタモード（SPI 動作）の SPI は、SPCR2 レジスタの MOIFE ビットと MOIFV ビットの設定値に基づいて、SSL ネゲート期間（バースト転送中の SSL 保持期間を含む）の MOSI 信号値を表 43.8 のように決定します。

表 43.8 SSL ネゲート期間の MOSI 端子の信号値の決定方法

SPPCR.MOIFE ビット	SPPCR.MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

43.3.3 SPI システム構成例

この構成例では、SSL0n 信号の 0 レベルがアクティブレベルであることを示します。

マルチスレーブまたはマルチマスタモードで接続して使用する場合は、接続されたデバイスの転送フォーマットを Motorola-SPI または TI-SSP のいずれかに統一する必要があります。

43.3.3.1 シングルマスタとシングルスレーブ（MCU はマスタ）

図 43.6 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタ／シングルスレーブの構成では、MCU（マスタ）の SSLni 出力は使用しません。SPI スレーブの SSL 入力は Low レベルに固定され、SPI スレーブは選択された状態で維持されます。(注1)

注 1. SPCMDm.CPHA ビットが 0 のときに構成された転送フォーマットでは、一部のスレーブデバイスに対する SSL 信号をアクティブレベルに固定できません。このような場合は、常に MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

MCU（マスタ）は、RSPCKn と MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

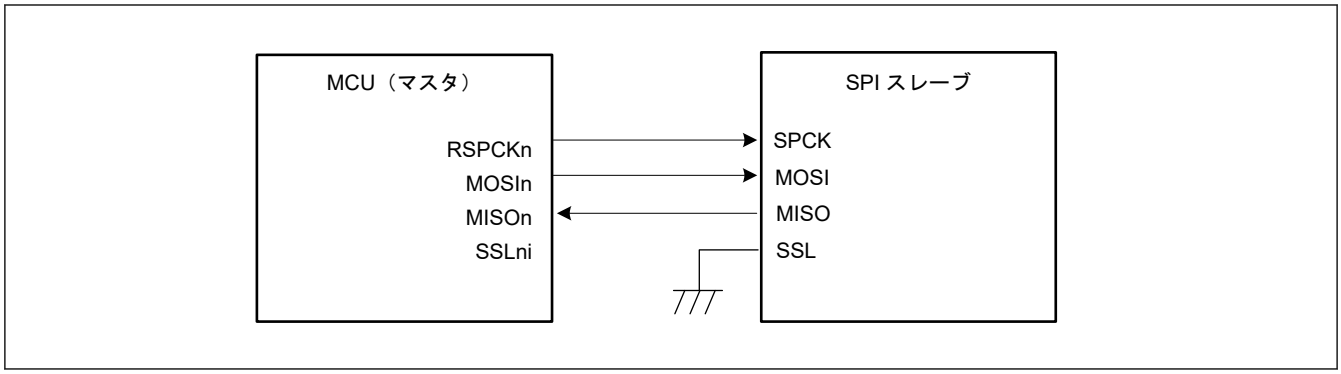


図 43.6 シングルマスタとシングルスレーブの構成例（MCU はマスタ）

43.3.3.2 シングルマスタとシングルスレーブ（MCU はスレーブ）

図 43.7 に、MCU がスレーブである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。MCU がスレーブとして動作する場合は、SSLn0 端子を SSL 入力として使用します。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU スレーブは、MISOn 信号をドライブします。(注1)

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

SPCMDm.CPHA ビットが 1、SPCR.SPFRF ビットが 0、および SPCR.SPMS が 0 のときのシングルスレーブ構成では、MCU（スレーブ）の SSLn0 入力は Low レベルに固定され、MCU（スレーブ）は選択された状態で維持されます。これによりシリアル転送の実行が可能になります（図 43.8）。ただし、SSL0 入力が図 43.8 のように固定されると、通信終了割り込みは出力されません。

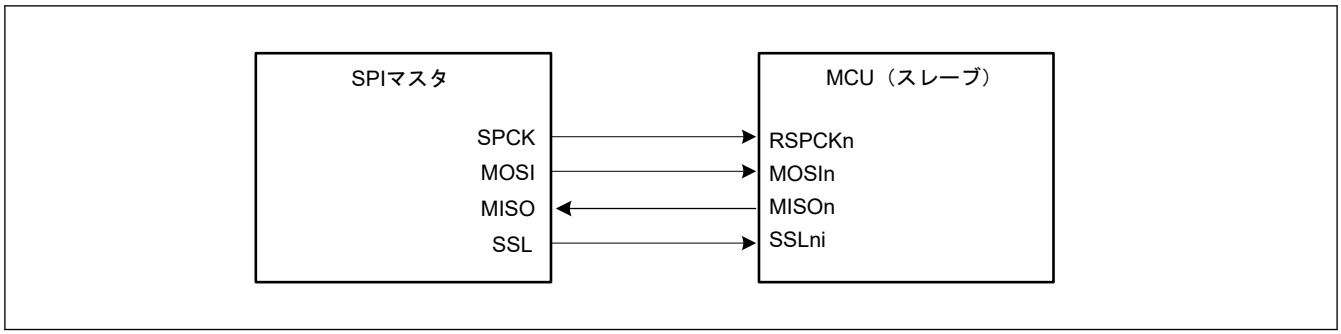


図 43.7 シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 0）

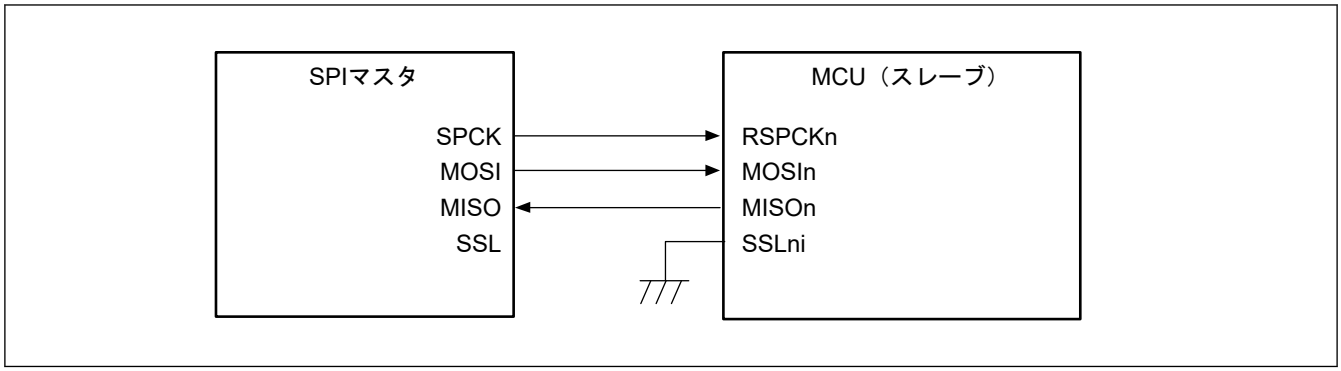


図 43.8　シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 1）

43.3.3.3　シングルマスタとマルチスレーブ（MCU はマスタ）

図 43.9 に、MCU がマスタである場合のシングルマスタとマルチスレーブの SPI システム構成例を示します。この例では、MCU（マスタ）と 4 つのスレーブ（SPI スレーブ 0～SPI スレーブ 3）で SPI システムを構成しています。

MCU（マスタ）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0～SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0～SPI スレーブ 3 の MISO 出力は、すべて MCU（マスタ）の MISOn 入力に接続します。MCU（マスタ）の SSLn0～SSLn3 出力は、それぞれ SPI スレーブ 0～SPI スレーブ 3 の SSL 入力に接続します。

MCU（マスタ）は、RSPCKn、MOSIn、および SSLn0～SSLn3 信号をドライブします。SPI スレーブ 0～SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

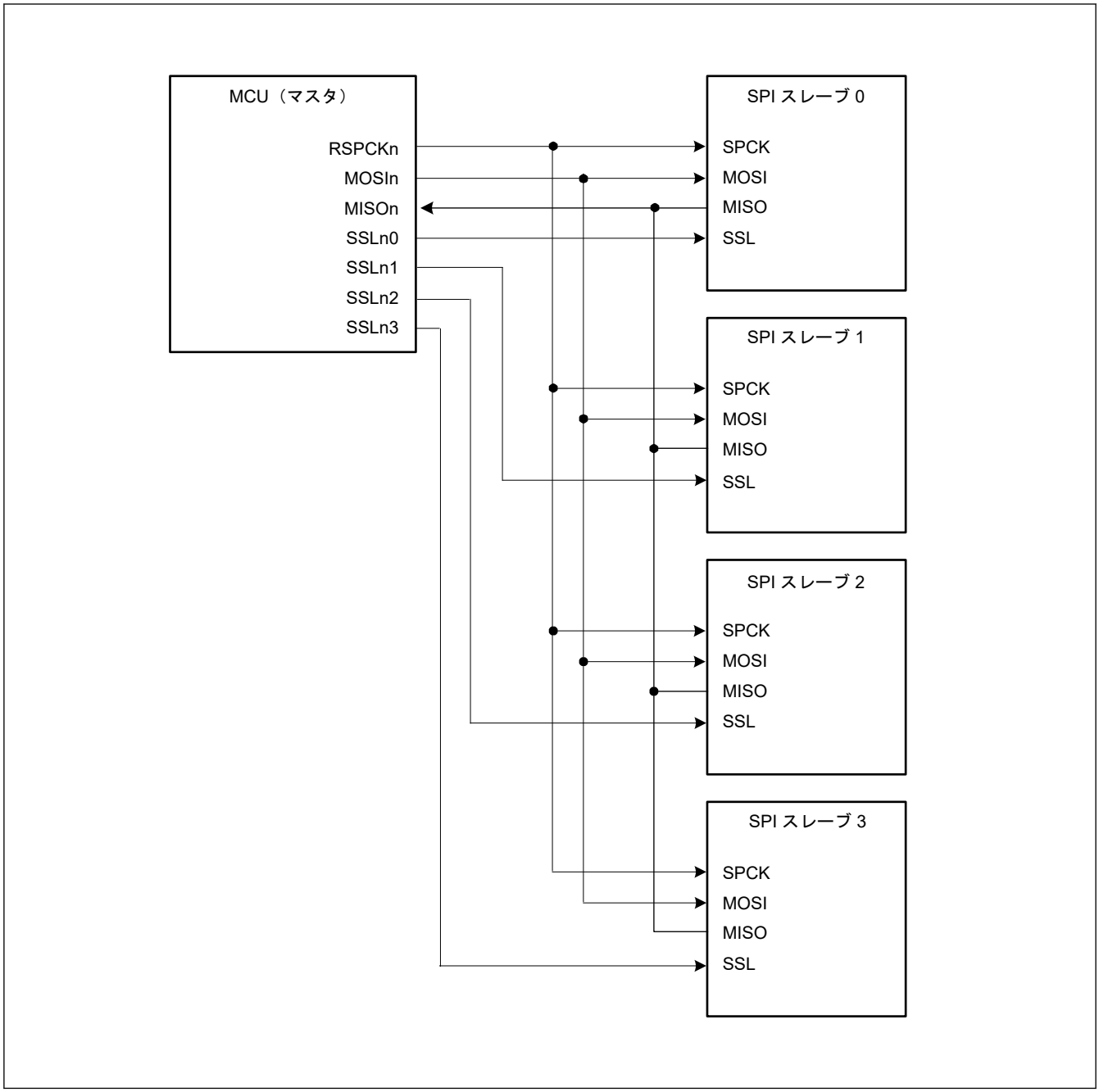


図 43.9　シングルマスタとマルチスレーブの構成例（MCU はマスタ）

43.3.3.4　シングルマスタとマルチスレーブ（MCU はスレーブ）

図 43.10 に、MCU がスレーブである場合のシングルマスタ／マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU（スレーブ X、スレーブ Y）から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU（スレーブ X、スレーブ Y）の RSPCKn 入力と MOSIn 入力に接続します。MCU（スレーブ X、スレーブ Y）の MISOn 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU（スレーブ X、スレーブ Y）の SSLn0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU（スレーブ X、スレーブ Y）のうち、SSLn0 入力に Low を入力されているスレーブが、MISOn をドライブします。

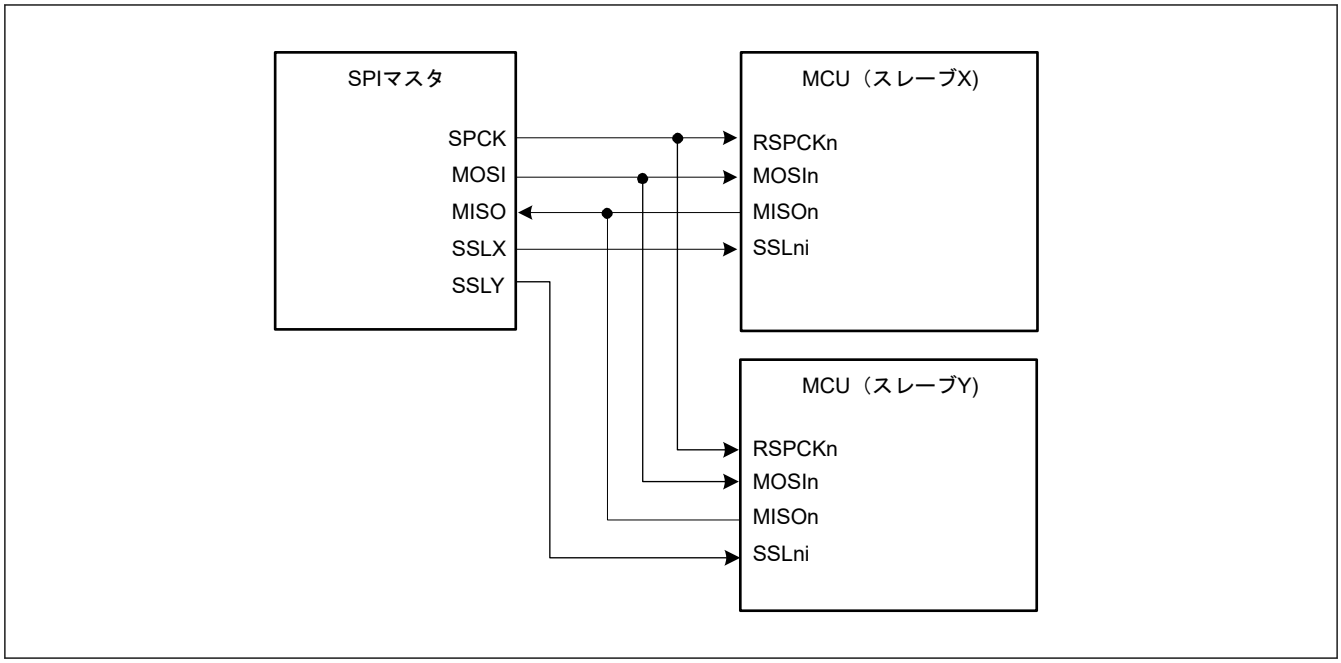


図 43.10　シングルマスタとマルチスレーブの構成例（MCU はスレーブ）

43.3.3.5　マルチマスタとマルチスレーブ（MCU はマスタ）

図 43.11 に、MCU がマスタである場合のマルチマスタ／マルチスレーブの SPI システム構成例を示します。この例では、2 つの MCU（マスタ X、マスタ Y）と 2 つの SPI スレーブ（SPI スレーブ 1、SPI スレーブ 2）から SPI システムを構成しています。

MCU（マスタ X、マスタ Y）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU（マスタ X、マスタ Y）の MISOn 入力に接続します。MCU（マスタ X）の任意の汎用ポート Y 出力は、MCU（マスタ Y）の SSLn0 入力に接続します。MCU（マスタ Y）の任意の汎用ポート X 出力は、MCU（マスタ X）の SSLn0 入力に接続します。MCU（マスタ X、マスタ Y）の SSLn1 出力と SSLn2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLn0 入力と、スレーブ接続用の SSLn1 出力および SSLn2 出力のみでシステムを構成できるため、MCU の SSLn3 出力は必要ありません。

MCU は、SSLn0 入力レベルが High の場合には、RSPCKn、MOSIn、SSLn1、SSLn2 信号をドライブします。SSLn0 入力レベルが Low の場合、MCU はモードフォルトエラーを検出し、RSPCKn、MOSIn、SSLn1、および SSLn2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 または SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

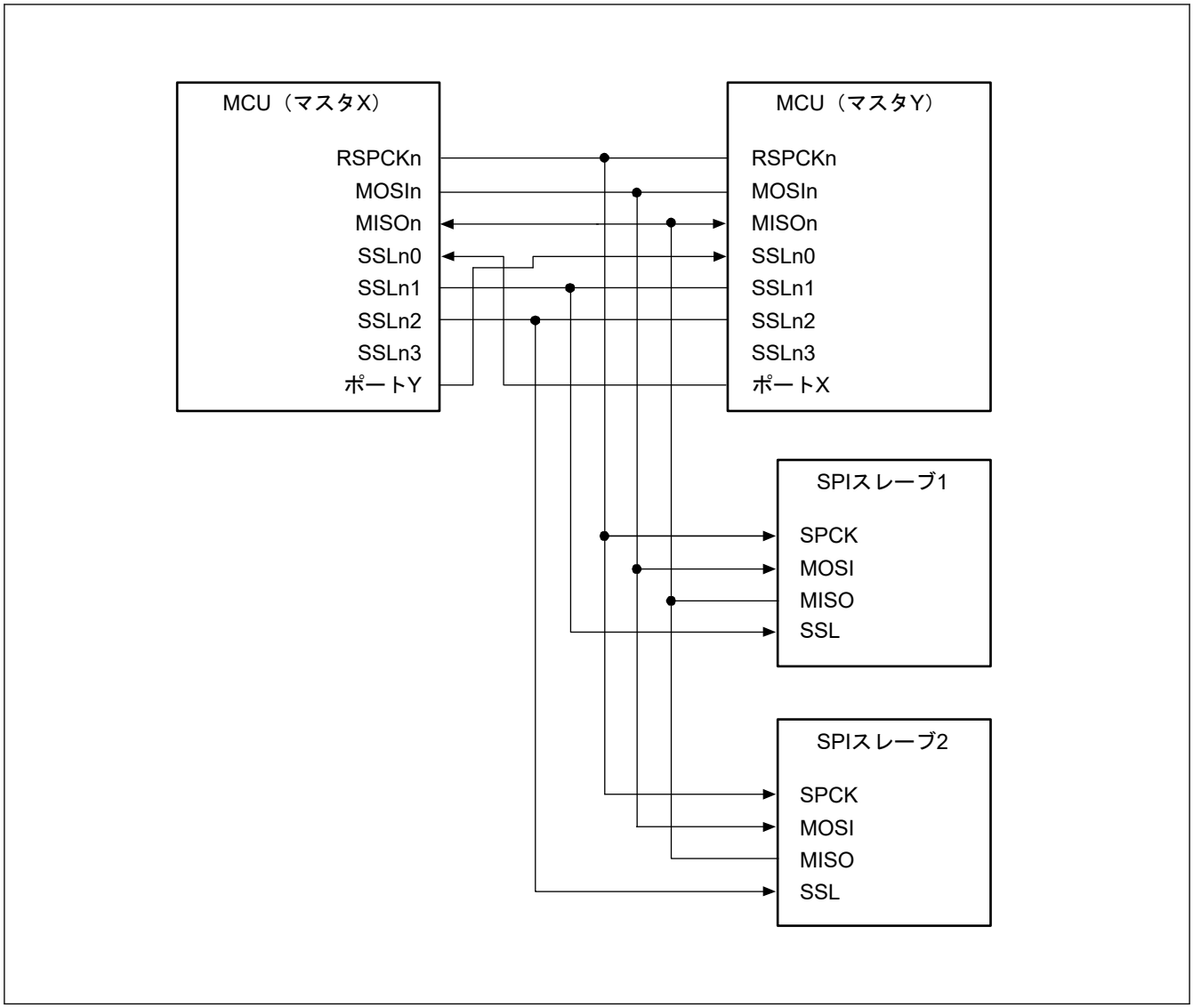


図 43.11　マルチマスタとマルチスレーブの構成例（MCU はマスタ）

TI SSP を設定する場合は、ポート X とポート Y に以下のレベルを入力してください。

- 通信開始：他方のマスタの SPCR3.SSL0P の値
- 通信終了：他方のマスタの SPCR3.SSL0P の反転値

43.3.3.6　クロック同期式動作のマスタとスレーブ（MCU はマスタ）

図 43.12 に、MCU がマスタである場合のクロック同期式モードのマスタ／スレーブの構成例を示します。この構成で、MCU（マスタ）の SSLni は使用されません。

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

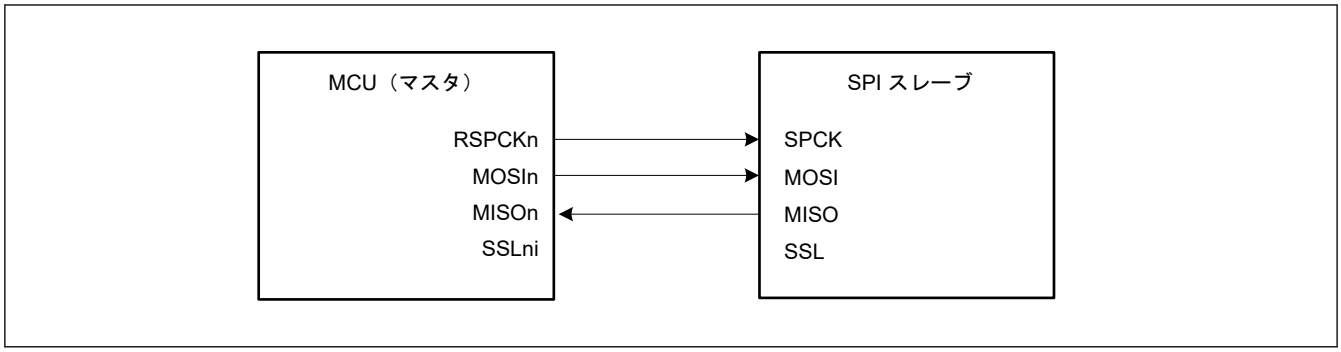


図 43.12　クロック同期式動作のマスタとスレーブの構成例（MCU はマスタ）

43.3.3.7　クロック同期式動作のマスタとスレーブ（MCU はスレーブ）

図 43.13 に、MCU がスレーブである場合のクロック同期式モードのマスタ／スレーブの構成例を示します。MCU をスレーブ（クロック同期式動作）として使用する場合は、MCU（スレーブ）は MISOn 信号をドライブし、SPI マスタは SPCK 信号と MOSI 信号をドライブします。また、MCU（スレーブ）の SSLn0～SSLn3 は使用されません。

SPCMDm.CPHA ビットが 1 でシングルスレーブ構成の場合のみ、MCU（スレーブ）はシリアル転送を実行できます。

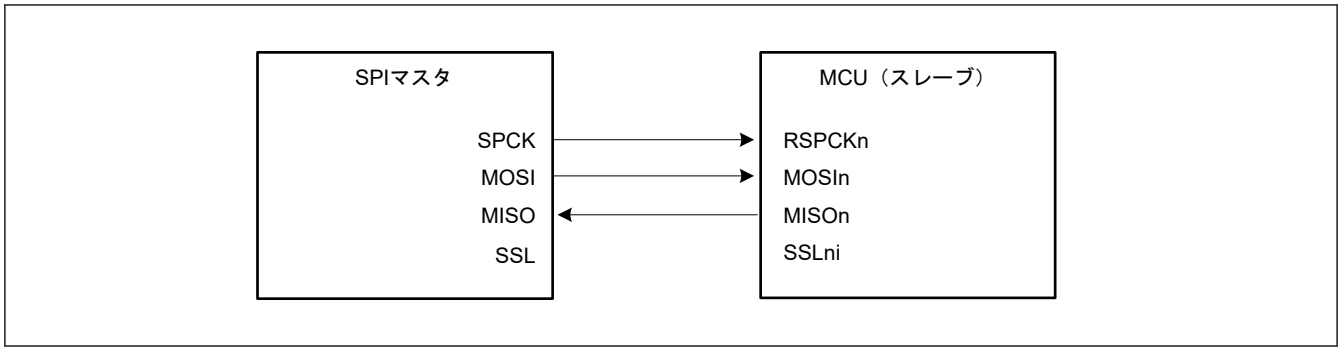


図 43.13　クロック同期式動作のマスタとスレーブの構成例（MCU はスレーブ、CPHA = 1）

43.3.4　データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ m (SPCMDm) の設定と SPI コントロールレジスタのパリティ有効ビット (SPCR.SPPE) に依存します。MSB ファーストか LSB ファーストのどちらであるかにかかわらず、SPI は SPI データレジスタ (SPDR) の LSB ビットから選択されたデータ長に対応するビットまでを、転送データとして取り扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

パリティ機能無効時のデータフォーマット

パリティが無効である場合、SPI コマンドレジスタ m の SPI データ長設定 (SPCMDm.SPB[4:0]) で選択されたビット長で、データの送信または受信を進行します。

パリティ機能有効時のデータフォーマット

パリティが有効である場合、SPI コマンドレジスタ m の SPI データ長設定 (SPCMDm.SPB[4:0]) で選択されたビット長で、データの送信または受信を進行します。ただしこの場合、最後のビットはパリティビットです。

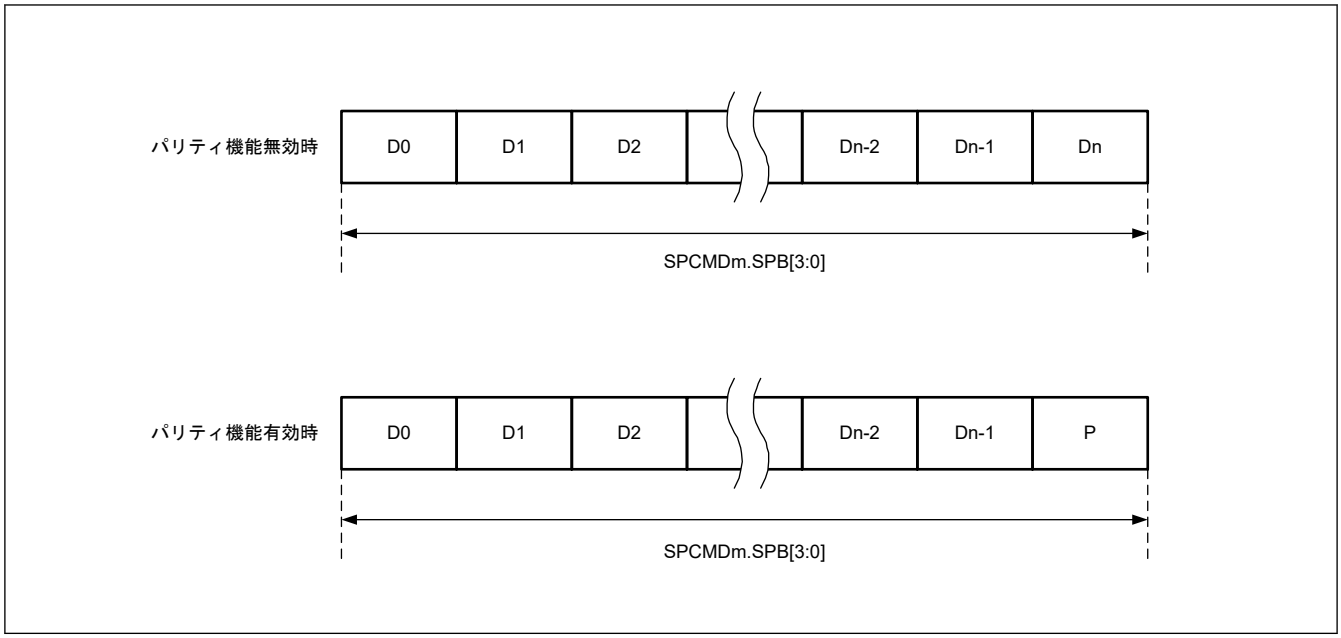


図 43.14　パリティ機能無効時と有効時のデータフォーマット

43.3.4.1　パリティ無効時 (SPCR.SPPE = 0) の動作

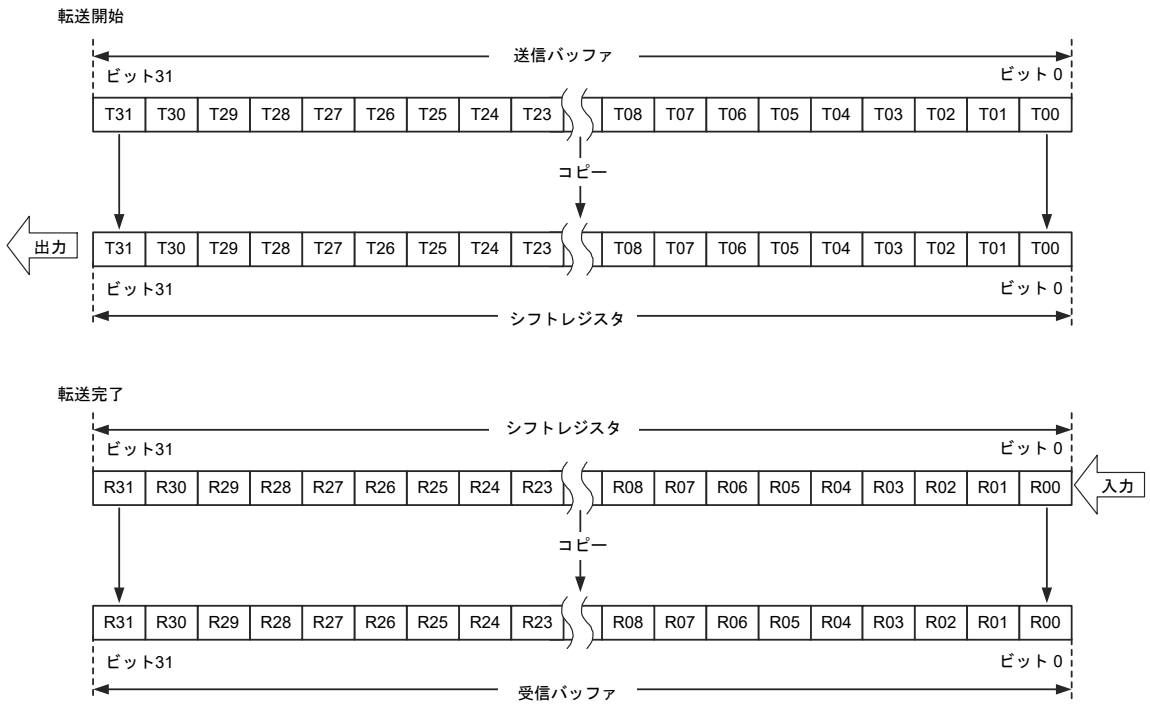
パリティ機能が無効の場合、送信用データは前処理なしでシフトレジスタにコピーされます。本項では、MSB/LSB ファーストオーダーとデータ長の組み合わせの観点から、SPI データレジスタ (SPDR) とシフトレジスタの間の接続について説明します。

(1)　MSB ファースト転送（32 ビットデータ）

図 43.15 に、パリティ機能無効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの T31～T00 ビットをシフトレジスタにコピーします。送信データは、T31 → T30 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

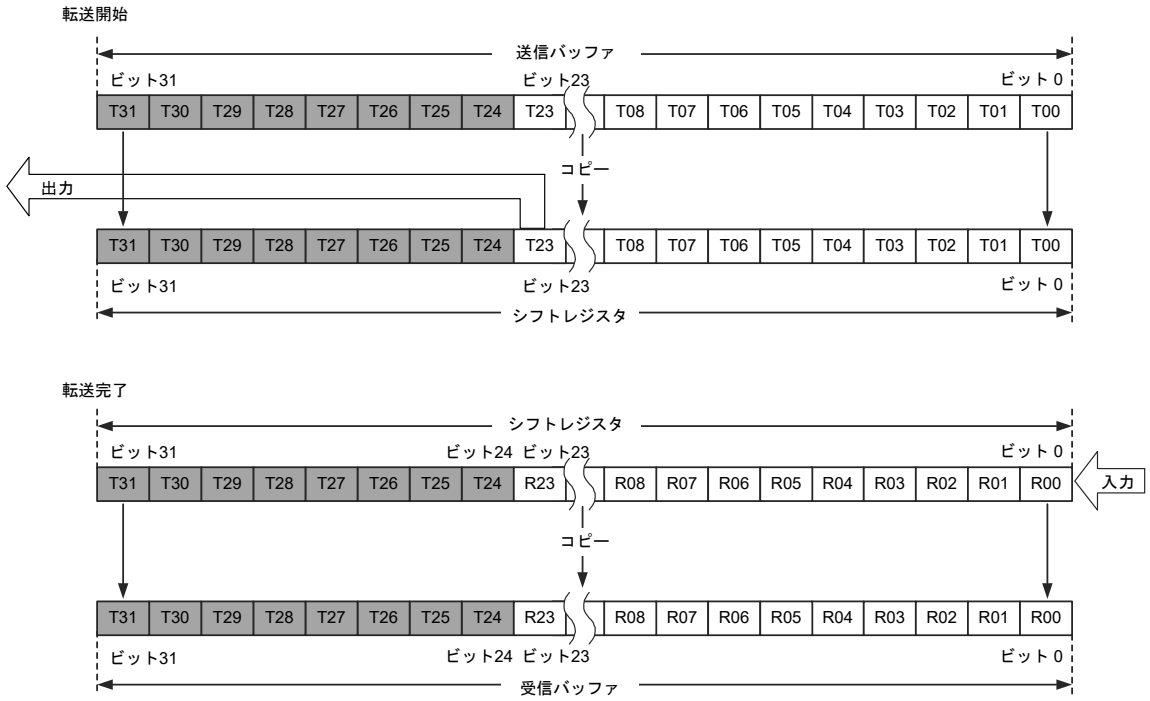
図 43.15 MSB ファースト転送（32 ビットデータ／パリティ機能無効）

(2) MSB ファースト転送（24 ビットデータ）

図 43.16 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

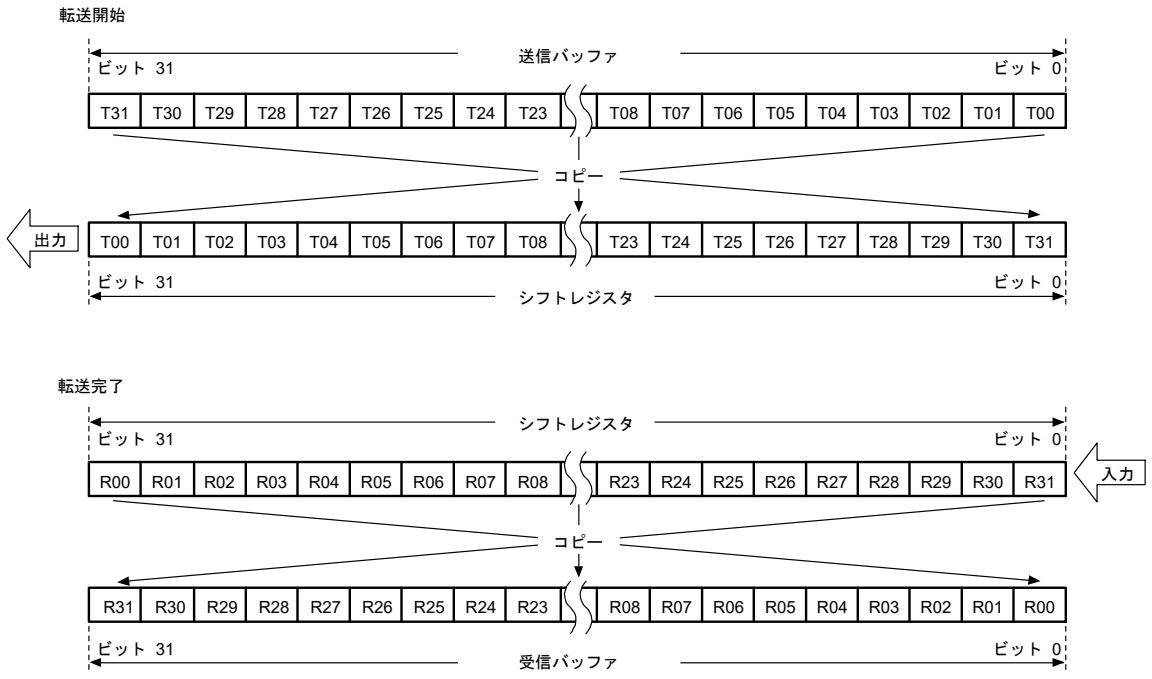
図 43.16 MSB ファースト転送（24 ビットデータ／パリティ機能無効）

(3) LSB ファースト転送（32 ビットデータ）

図 43.17 に、パリティ機能無効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31～T00 をビット単位で T00～T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R31 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

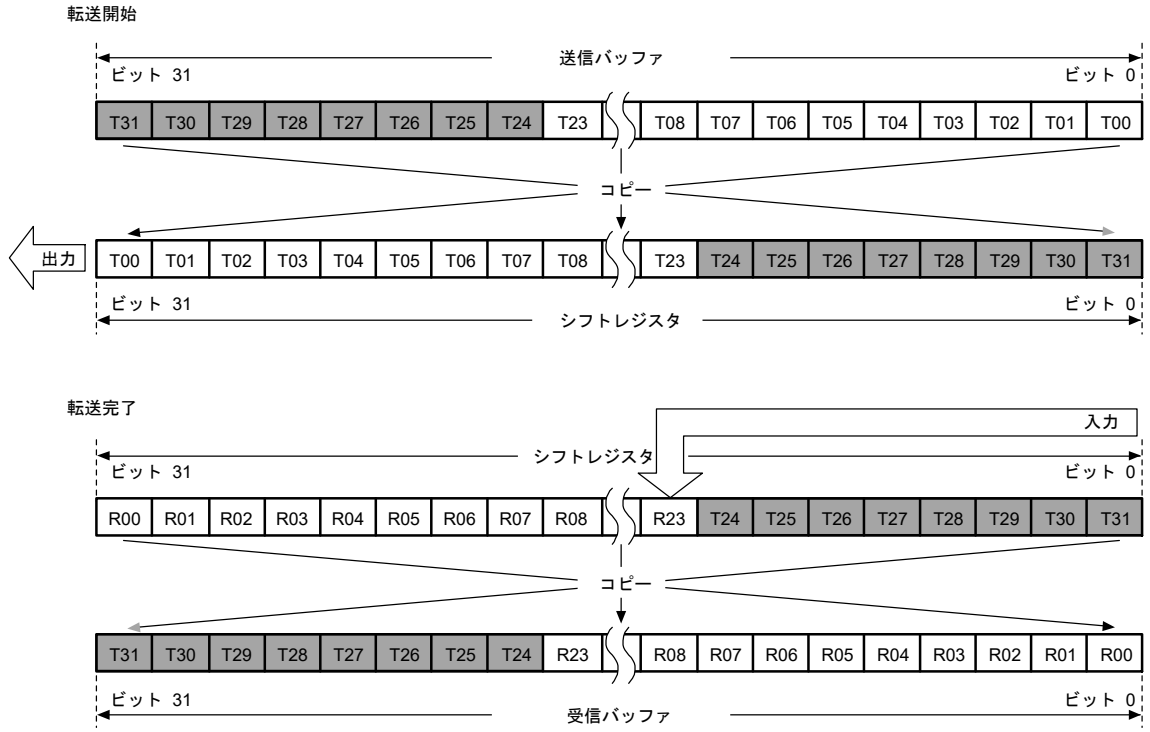
図 43.17 LSB ファースト転送（32 ビットデータ／パリティ機能無効）

(4) LSB ファースト転送（24 ビットデータ）

図 43.18 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をビット単位で T00～T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 43.18 LSB ファースト転送（24 ビットデータ／パリティ機能無効）

43.3.4.2 パリティ有効時 (SPCR.SPPE = 1) の動作

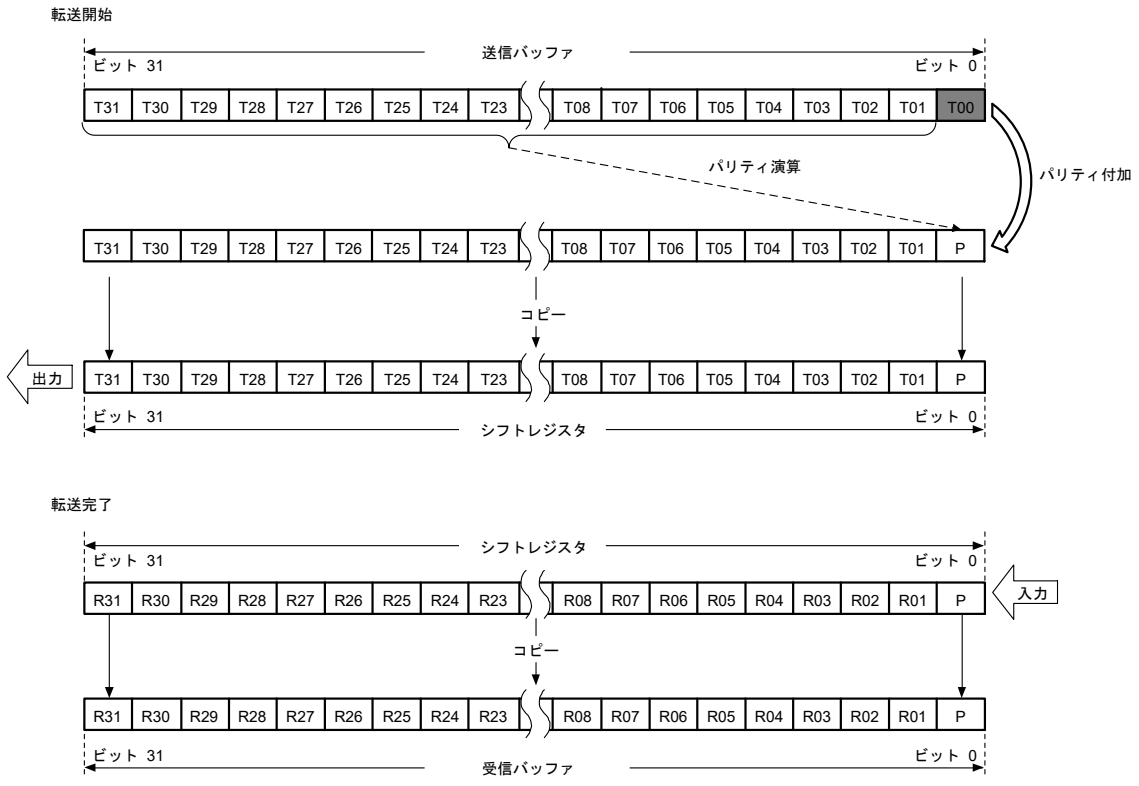
パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

(1) MSB ファースト転送（32 ビットデータ）

図 43.19 に、パリティ機能有効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T31 → T30 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

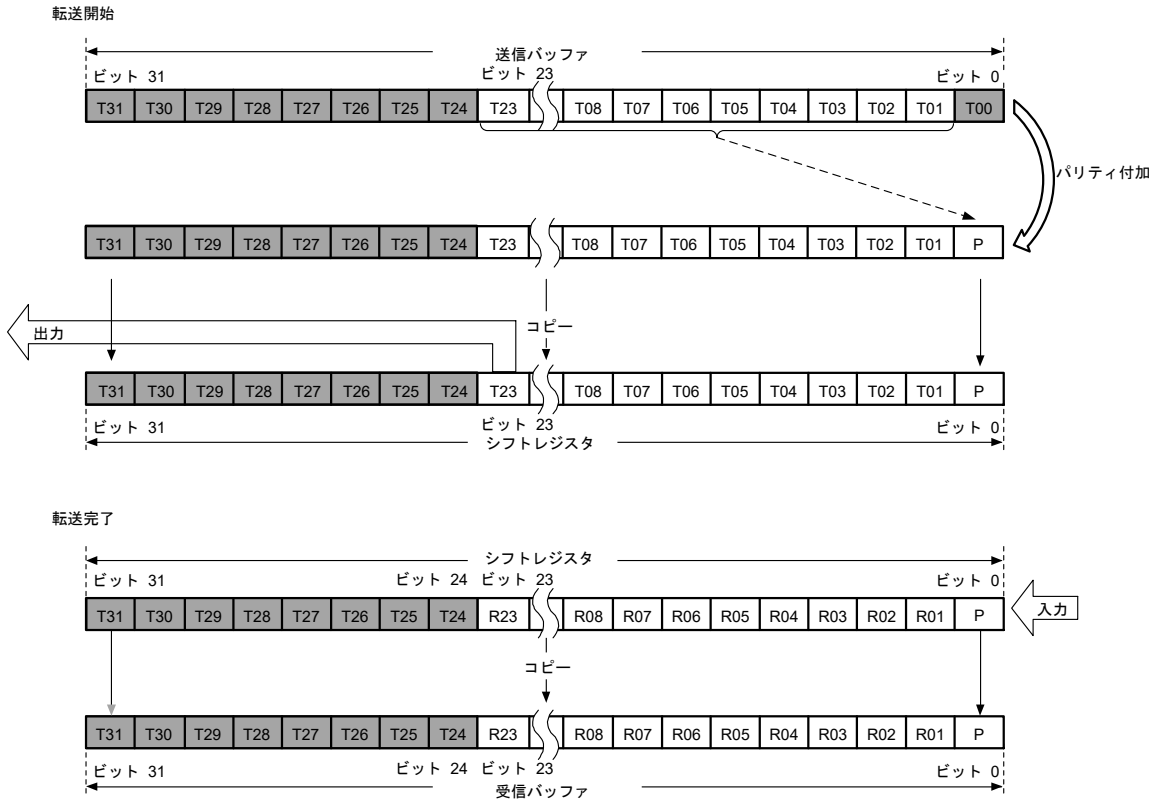
図 43.19 MSB ファースト転送（32 ビットデータ／パリティ機能有効）

(2) MSB ファースト転送（24 ビットデータ）

図 43.20 に、パリティ機能有効時に、SPI データ長が 24 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23～T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T23 → T22 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

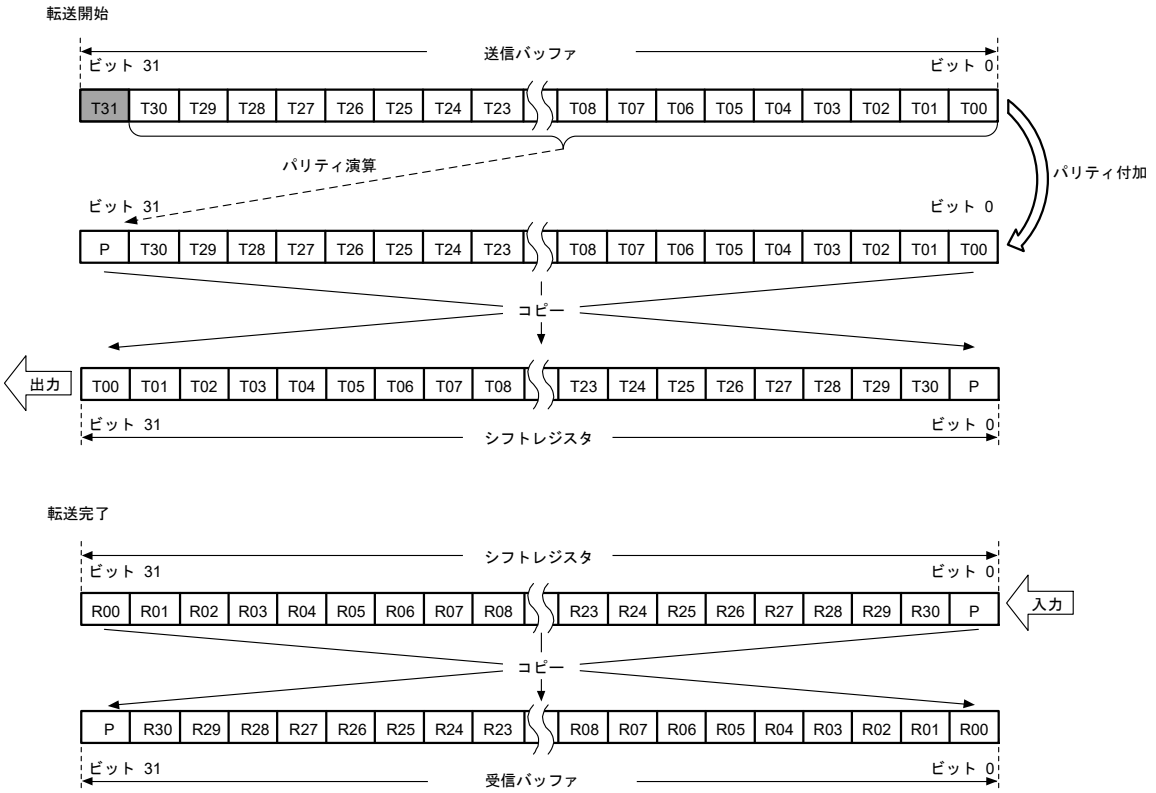
図 43.20 MSB ファースト転送（24 ビットデータ／パリティ機能有効）

(3) LSB ファースト転送（32 ビットデータ）

図 43.21 に、パリティ機能有効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、値全体をシフトレジスタにコピーします。送信データは、T00 → T01 →・・・T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

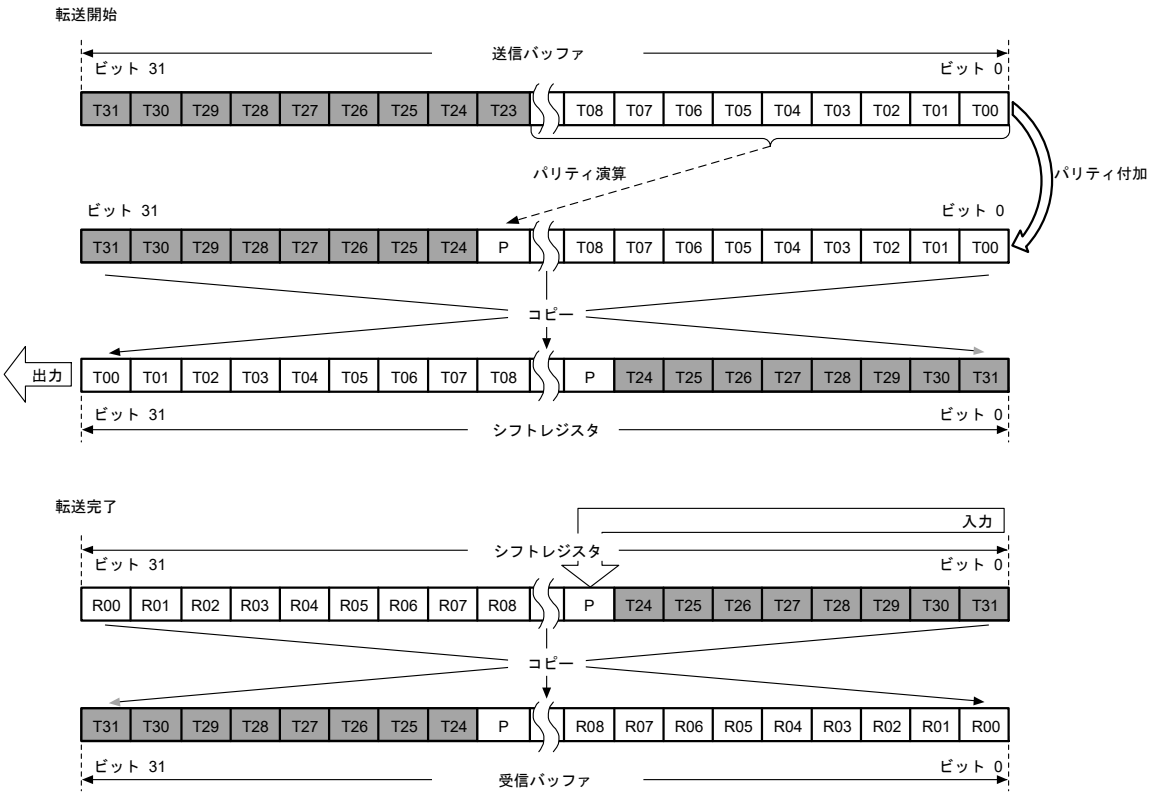
図 43.21 LSB ファースト転送（32 ビットデータ／パリティ機能有効）

(4) LSB ファースト転送（24 ビットデータ）

図 43.22 に、パリティ機能有効時に、SPI データ長が 24 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、値全体をシフトレジスタにコピーします。データは、T00 → T01 →・・・T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 43.22 LSB ファースト転送（24 ビットデータ／パリティ機能有効）

43.3.4.3 バイトスワップ送信

バイトスワップが有効になっているときは、送信バッファ内のデータが 8 ビット単位でスワップされ、シフトレジスタにコピーされます。図 43.23 に、MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使って 32 ビット長のデータを転送する場合の、SPDR（送信バッファ）とシフトレジスタの関係を示します。

(1) MSB ファースト転送（バイトスワップ無効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) のデータをシフトレジスタにコピーします。

シフトレジスタのビット値を T31→T30→…→T00 の順にシフトし、送信データとして送信します。

(2) MSB ファースト転送（バイトスワップ有効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) のバイト値をバイト単位で反転し、Byte0[T07～T00]～Byte3[T31～T24]の順でシフトレジスタにコピーします。

シフトレジスタのビット値が T07 → T06 → … → T00 → T15 → T14 → … → T08 → T23 → T22 → … → T16 → T31 → T30 → … → T24 の順に送信データとしてシフトし送信されます。

(3) LSB ファースト転送（バイトスワップ無効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) のビット値をビット単位で反転し、Byte0[T00～T07]～Byte3[T24～T31]の順でシフトレジスタにコピーします。

シフトレジスタのビット値が T00 → T01 → … → T31 の順に送信データとしてシフトし送信されます。

(4) LSB ファースト転送（バイトスワップ有効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) の各バイトのビット値をビット単位で反転し、Byte3[T24～T31]～Byte0[T00～T07]の順でシフトレジスタにコピーします。

シフトレジスタのビット値が T24 → T25 → … → T31 → T16 → T17 → … → T23 → T08 → T09 → … → T15 → T00 → T01 → … → T07 の順に送信データとしてシフトし送信されます。

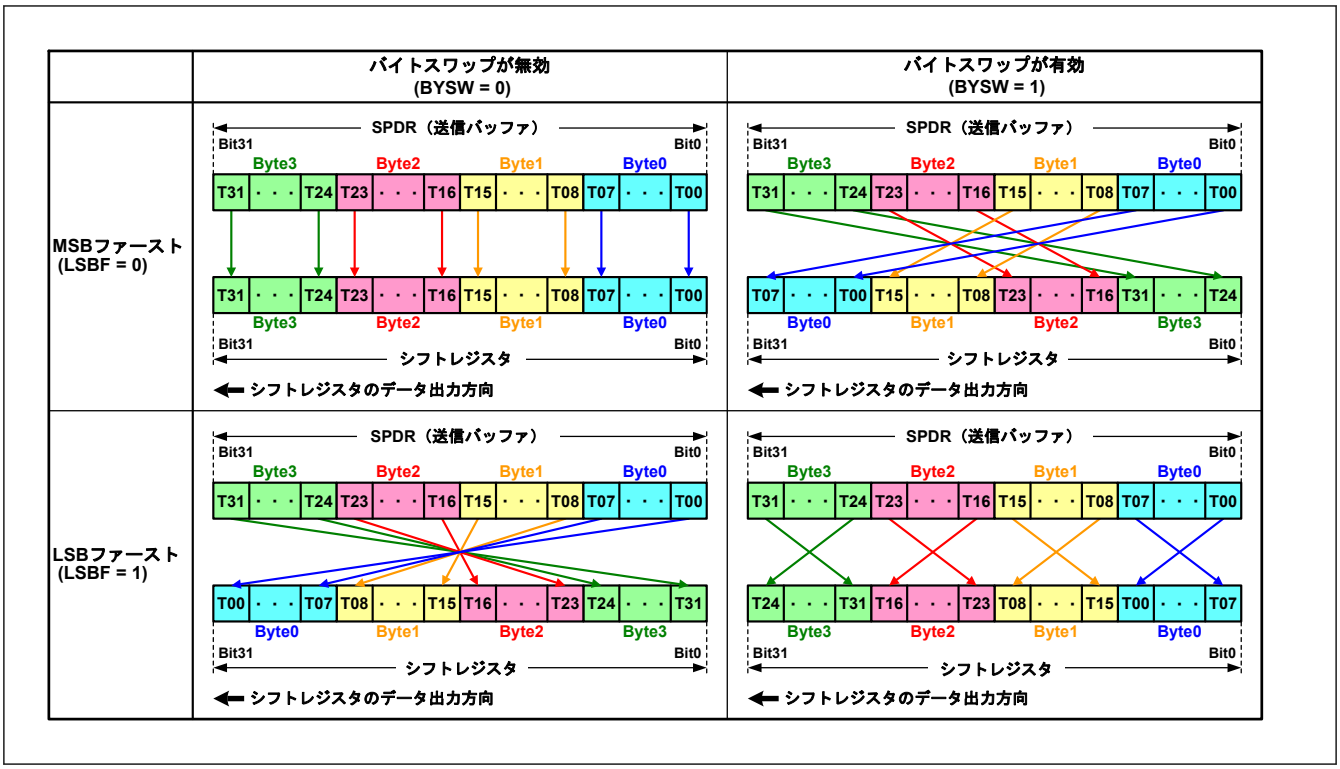


図 43.23　MSB/LSB 転送でのバイトスワップ（32 ビット）

図 43.24 に、MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使って 16 ビット長のデータを転送する場合の、SPDR（送信バッファ）とシフトレジスタの関係を示します。

1. MSB ファースト転送（バイトスワップ無効時）
   送信バッファのデータ (Byte1[T15～T08]～Byte0[T07～T00]) を Byte1[T15～T08]～Byte0[T07～T00]、Byte1[T15～T08]～Byte0[T07～T00]の順でシフトレジスタにコピーします。シフトレジスタのビット値を T15→T14→…→T00 の順にシフトし、送信データとして送信します。
2. MSB ファースト転送（バイトスワップ有効時）
   送信バッファ (Byte1[T15～T08]～Byte0[T07～T00]) のバイト値をバイト単位で反転し、Byte0[T07～T00]～Byte1[T15～T08]、Byte0[T07～T00]～Byte1[T15～T08]の順でシフトレジスタにコピーします。シフトレジスタのビット値を T07→T06→…→T00→T15→T14→…→T08 の順にシフトし、送信データとして送信します。
3. LSB ファースト転送（バイトスワップ無効時）
   送信バッファ (Byte1[T15～T08]～Byte0[T07～T00]) のビット値をビット単位で反転し、Byte0[T00～T07]～Byte1[T08～T15]、Byte0[T00～T07]～Byte1[T08～T15]の順でシフトレジスタにコピーします。シフトレジスタのビット値を T00→T01→…→T15 の順にシフトし、送信データとして送信します。
4. LSB ファースト転送（バイトスワップ有効時）
   送信バッファ (Byte1[T15～T08]～Byte0[T07～T00]) の各バイトのビット値をビット単位で反転し、Byte1[T08～T15]～Byte0[T00～T07]、Byte1[T08～T15]～Byte0[T00～T07]の順でシフトレジスタにコピーします。シフトレジスタのビット値を T08→T09→…→T15→T00→T01→…→T07 の順にシフトし、送信データとして送信します。

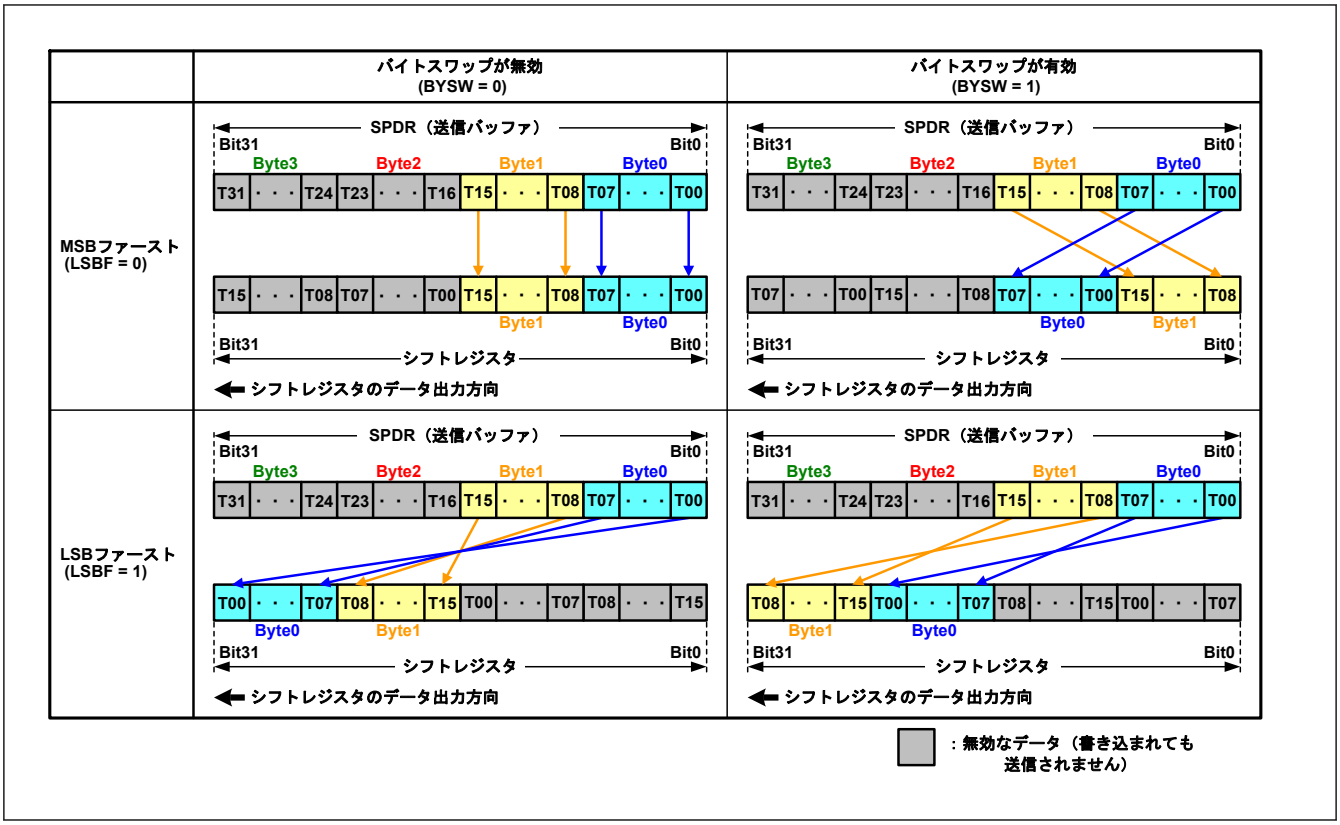


図 43.24　MSB/LSB 転送でのバイトスワップ（16 ビット）

注.
1. バイトスワップを使用時、データ長（SPCMDm.SPB[4:0]ビットの設定）は 16 ビットまたは 32 ビットとしてください。他のデータ長を設定した場合の動作は保証されません。
2. バイトスワップが有効の場合、パリティ機能を無効に設定してください（SPCR.SPPE ビット = 0）。パリティ機能を有効に設定した場合（SPPE ビット = 1）の動作は保証されません。
3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えた場合、その後の動作は保証されません。

43.3.4.4　バイトスワップ受信

バイトスワップが有効になっているときは、シフトレジスタ内のデータが 8 ビット単位でスワップされ、受信バッファにコピーされます。図 43.25 に、MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使用して、32 ビットデータ長のデータを転送する場合の、シフトレジスタと SPDR（受信バッファ）の関係を示します。

(1)　MSB ファースト転送（バイトスワップ無効時）

最初の受信データ (R31) をシフトレジスタのビット 0 に格納し、受信データは R31 → R30 → … → R00 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3[R31～R24]～Byte0[R07～R00]にデータがたまると、シフトレジスタの値を受信バッファにコピーします。

(2)　MSB ファースト転送（バイトスワップ有効時）

最初の受信データ (R07) をシフトレジスタのビット 0 に格納し、受信データは R07 → R06 → … → R00 → R15 → R14 → … → R08 → R23 → R22 → … → R16 → R31 → R30 → … → R24 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0[R07～R00]～Byte3[R31～R24]にデータがたまると、シフトレジスタのバイト値をバイト単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。

(3)　LSB ファースト転送（バイトスワップ無効時）

最初の受信データ (R00) をシフトレジスタのビット 0 に格納し、受信データは R00 → R01 → … → R31 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0[R00～R07]～Byte3[R24～R31]にデータがたまると、シフトレジスタのビット値をビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。

(4)　LSB ファースト転送（バイトスワップ有効時）

最初の受信データ (R24) をシフトレジスタのビット 0 に格納し、受信データは R24 → R25 → … → R31 → R16 → R17 → … → R23 → R08 → R09 → … → R15 → R00 → R01 → … → R07 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3[R24～R31]～Byte0[R00～R07]にデータがたまると、シフトレジスタの各バイトのビット値をビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。

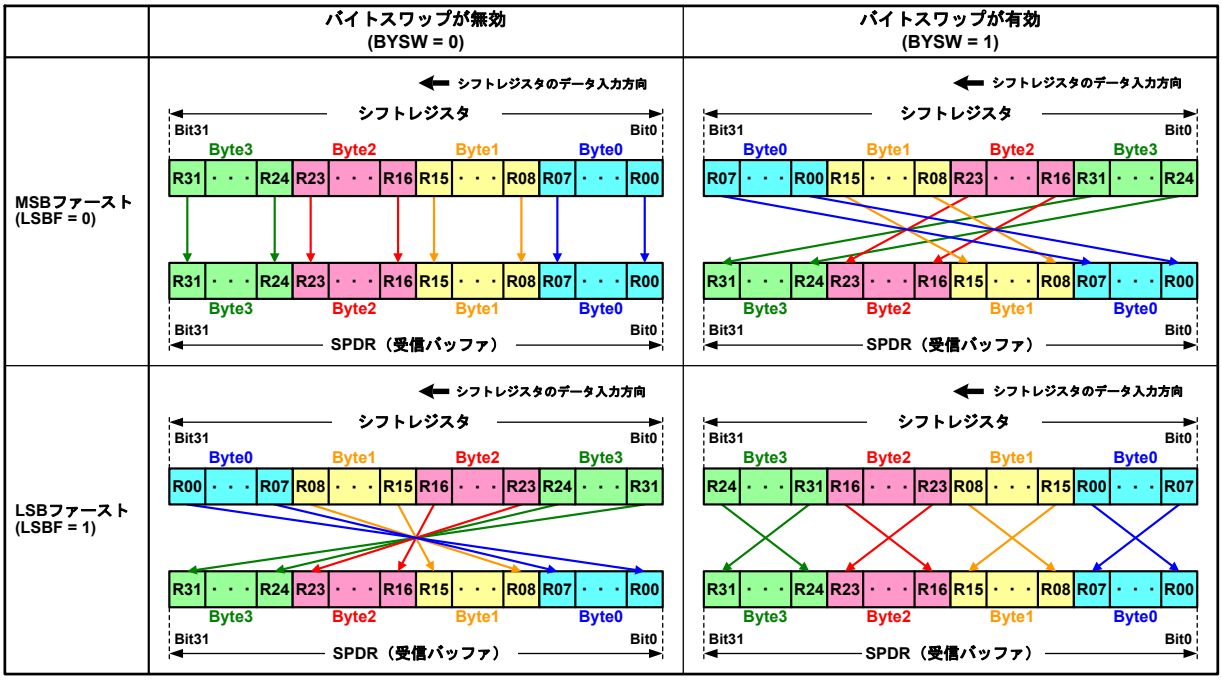


図 43.25　　MSB/LSB 転送でのバイトスワップ（32 ビット）

図 43.26 に、MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使用して、16 ビットデータ長のデータを転送する場合の、シフトレジスタと SPDR（受信バッファ）の関係を示します。

1. MSB ファースト転送（バイトスワップ無効時）
   最初の受信データ (R15) をシフトレジスタのビット 0 に格納し､受信データは R15 → R14 → … → R00 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte3[R31～R24]～Byte0[R07～R00]にデータがたまると、シフトレジスタの値を受信バッファにコピーします。
2. MSB ファースト転送（バイトスワップ有効時）
   最初の受信データ (R07) をシフトレジスタのビット 0 に格納し、受信データを R07→R06→…→R00→R15→R14→…→R08 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte0[R07～R00]～Byte1[R15～R08]にデータがたまると、シフトレジスタのバイト値をバイト単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。
3. LSB ファースト転送（バイトスワップ無効時）
   最初の受信データ (R00) をシフトレジスタのビット 15 に格納し、受信データを R00→R01→…→R07→R08→R09→…→R15 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte0[R00～R07]～Byte1[R08～R15]にデータがたまると、シフトレジスタのビット値をビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。
4. LSB ファースト転送（バイトスワップ有効時）
   最初の受信データ (R08) をシフトレジスタのビット 15 に格納し、受信データを R08→R09→…→R15→R00→R01→…→R07 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte1[R08～R15]～Byte0[R00～

R07]にデータがたまると、シフトレジスタの各バイトのビット値をビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。

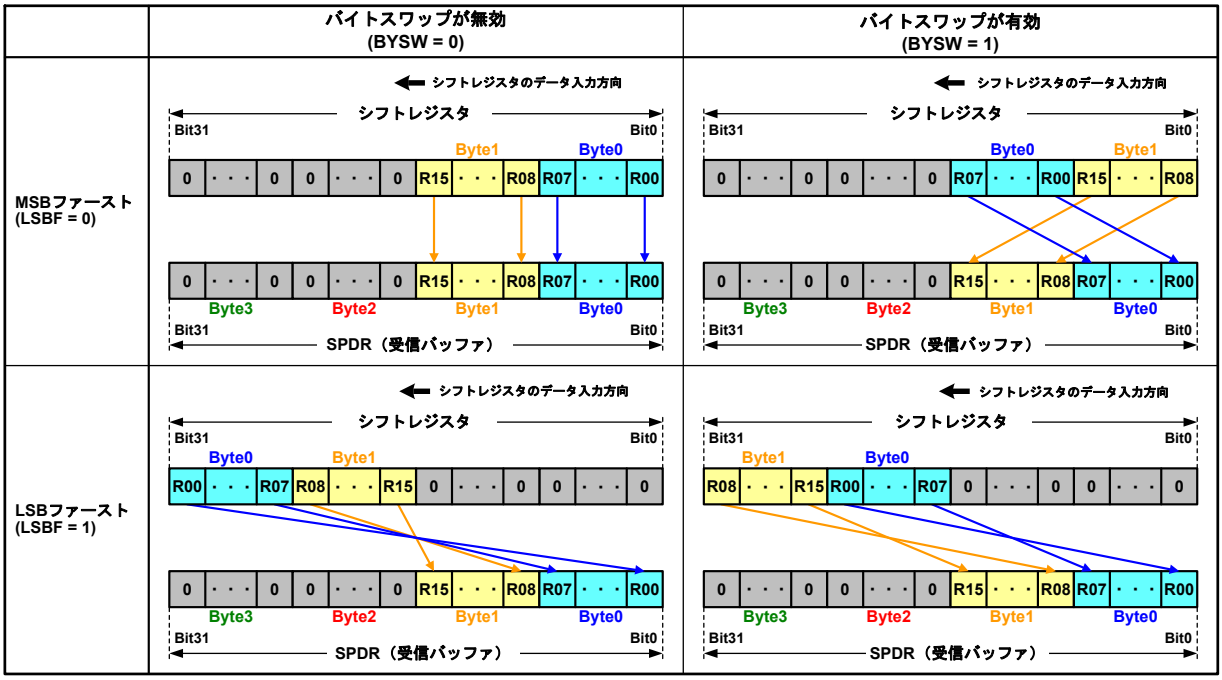


図 43.26　MSB/LSB 転送でのバイトスワップ（16 ビット）

注.
1. バイトスワップを使用時、データ長（SPCMDm.SPB[4:0]ビットの設定）は 16 ビットまたは 32 ビットとしてください。他のデータ長を設定した場合の動作は保証されません。
2. バイトスワップが有効の場合、パリティ機能を無効に設定してください (SPCR.SPPE = 0)。パリティ機能を有効に設定した場合 (SPPE = 1) の動作は保証されません。
3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えた場合、その後の動作は保証されません。

43.3.5　転送フォーマット

43.3.5.1　CPHA = 0 の場合

図 43.27 に、SPCMDm.CPHA ビットが 0 の場合の 8 ビットデータのシリアル転送の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR = 0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS = 1) は行わないでください。図 43.27 において、RSPCKn (CPOL = 0) は SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示し、RSPCKn (CPOL = 1) は CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示します。各信号の入出力方向は、SPI の設定に依存します。詳細は「43.3.2. SPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが 0 の場合は、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOn 信号への有効なデータのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号の変化が、最初の転送データ取り込みになります。これ以降、1 RSPCKn 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間（RSPCK 遅延）を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間（SSL ネゲート遅延）を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間（次アクセス遅延）を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「43.3.12.1. マスタモード動作」を参照してください。

［Motorola-SPI の場合］

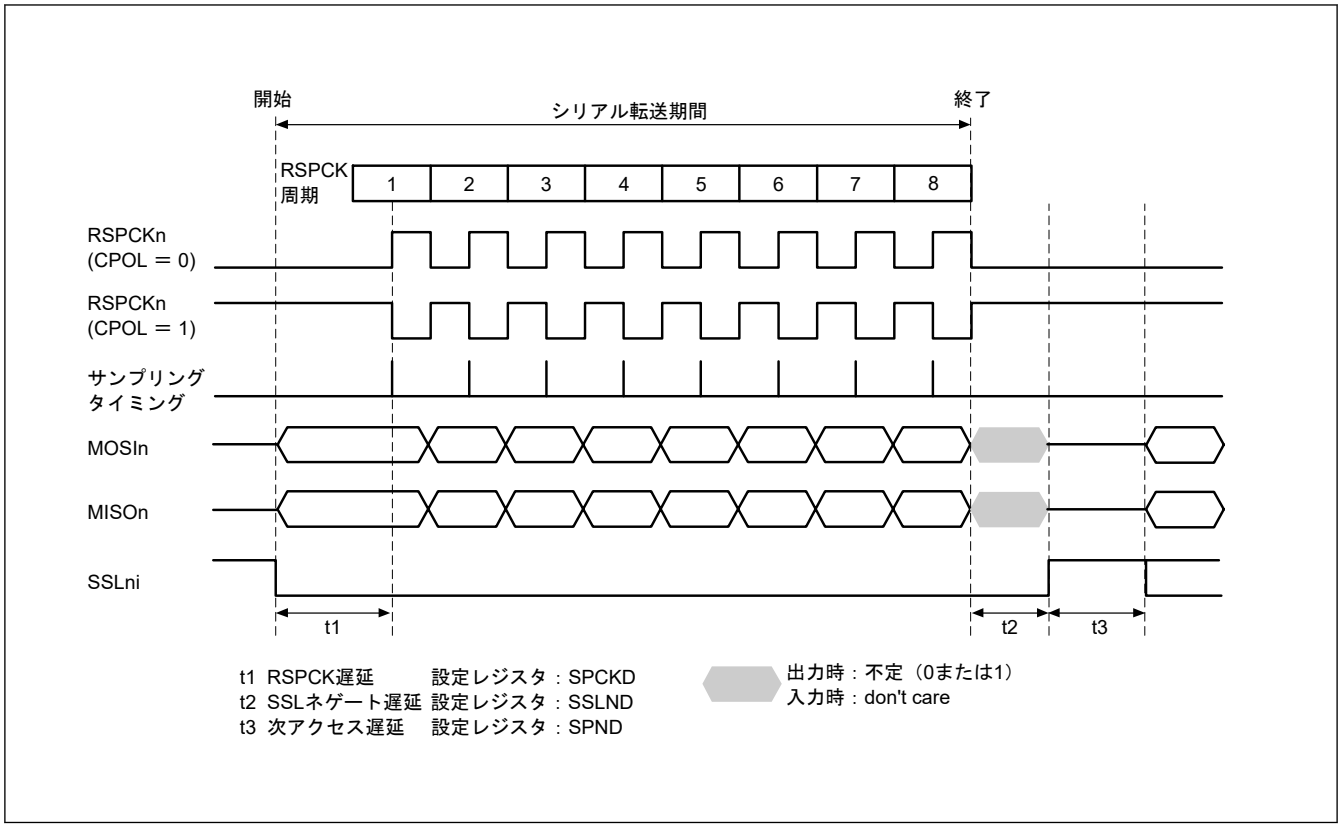


図 43.27 CPHA = 0、SPFRF = 0 の場合の SPI 転送フォーマット

［TI-SSP の場合］

CPHA = 0 では未サポート

43.3.5.2 CPHA = 1 の場合

図 43.28 に、SPCMDm.CPHA ビットが 1 の場合の 8 ビットデータのシリアル転送の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、および MISOn 信号の 3 つの信号のみで通信を行います。図 43.28 において、RSPCKn (CPOL = 0) は SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示し、RSPCKn (CPOL = 1) は CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示します。各信号の入出力方向は、SPI のモード（マスタまたはスレーブ）に依存します。詳細は「43.3.2. SPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが 1 の場合は、SSLni 信号のアサートタイミングで、MISOn 信号への無効なデータのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOn 信号への有効なデータの出力が開始され、これ以降、1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みのタイミングは、データ更新タイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定は、RSPCKn 信号の動作タイミングに影響を与えません。信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビットが 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「43.3.12.1. マスタモード動作」を参照してください。

［Motorola-SPI の場合］

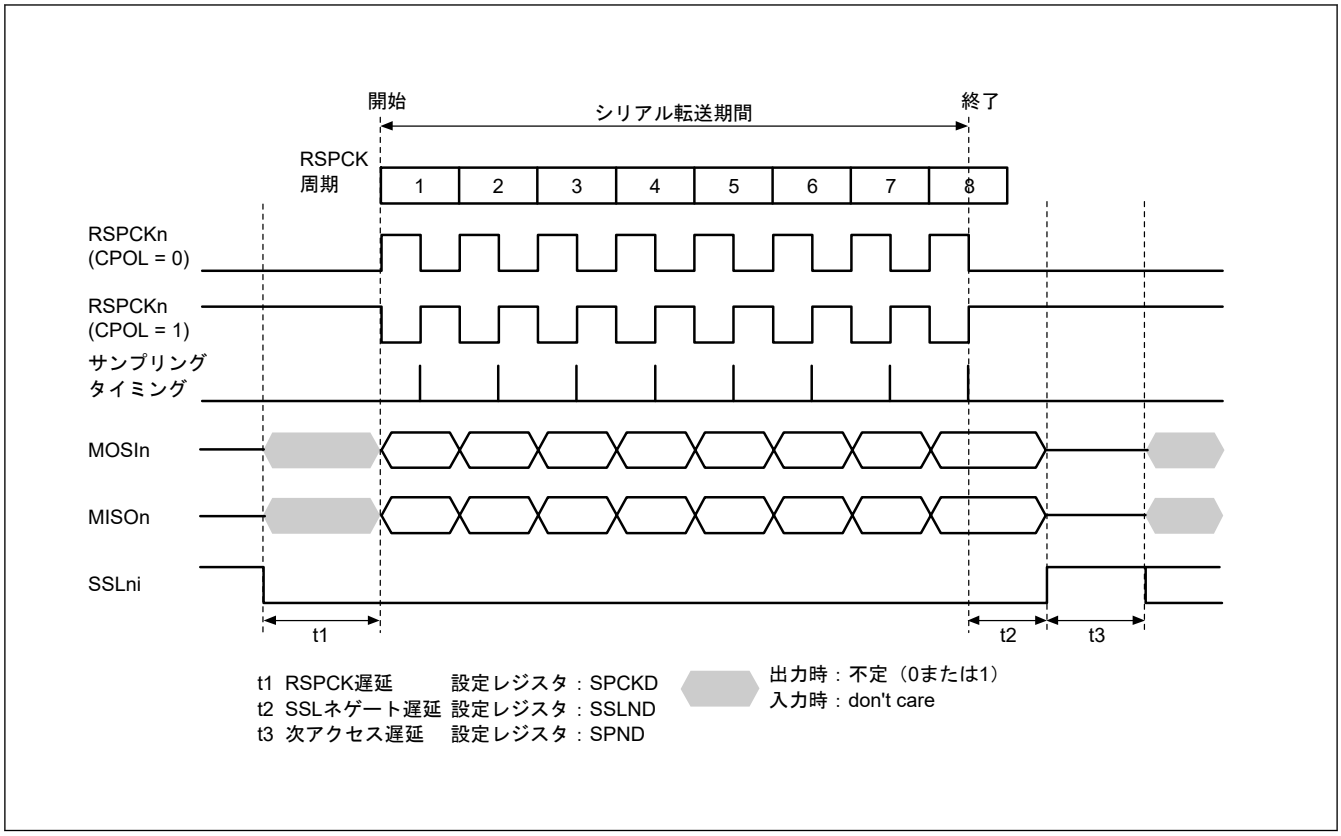


図 43.28 CPHA = 1、SPFRF = 0 の場合の SPI 転送フォーマット

［TI-SSP の場合］

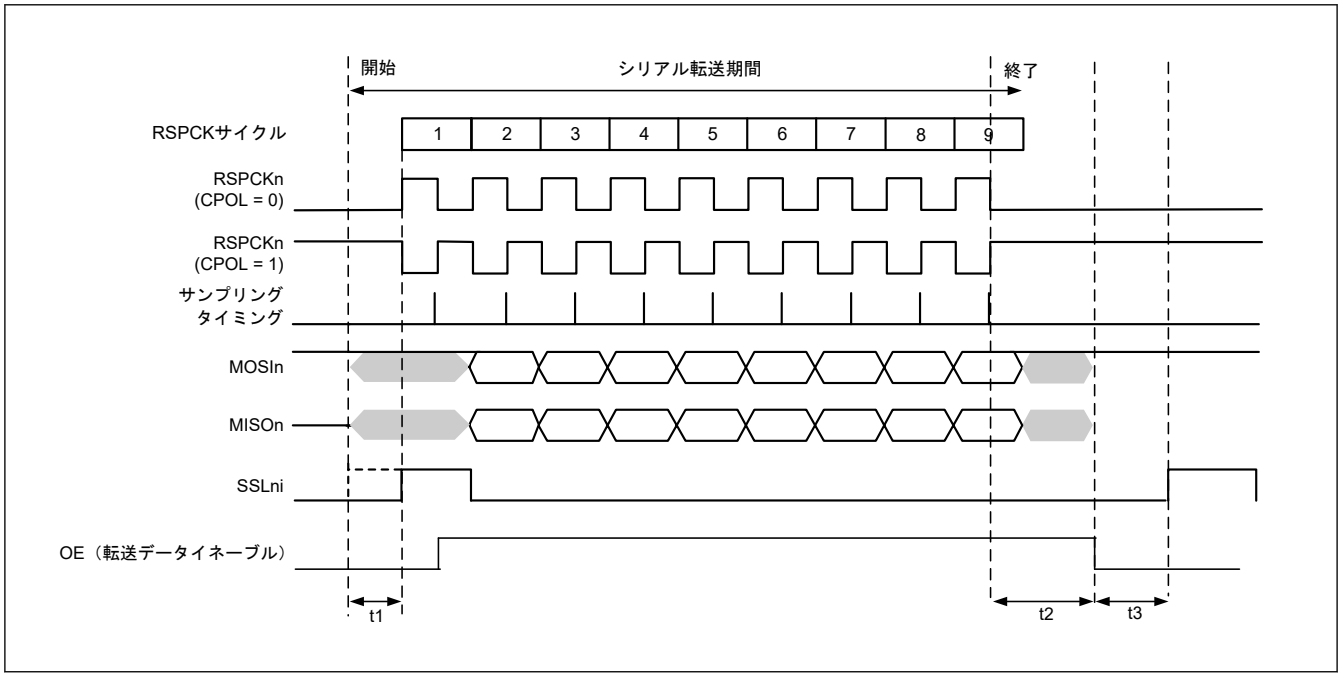


図 43.29 CPHA = 1、SPFRF = 1 の場合の SPI 転送フォーマット

43.3.6 通信動作モード

SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1:0]) を設定することで、送受信シリアル通信、送信専用動作、受信専用動作が選択されます。

図 43.30、図 43.31、図 43.32 で説明する SPDR アクセスでは、SPI データレジスタ (SPDR) へのアクセスを示しています。W は書き込みサイクルを表します。

43.3.6.1 送受信シリアル通信 (TXMD[1:0] = 00b)

図 43.30 に、SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1:0]) を 00b に設定した場合の動作例を示します。この例では、SPDCR2.TTRG が 0、SPDCR2.RTRG が FIFO 段数 - 1、SPCMDm.CPHA ビットが 1、および SPCMDm.CPOL ビットが 0 の設定で SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

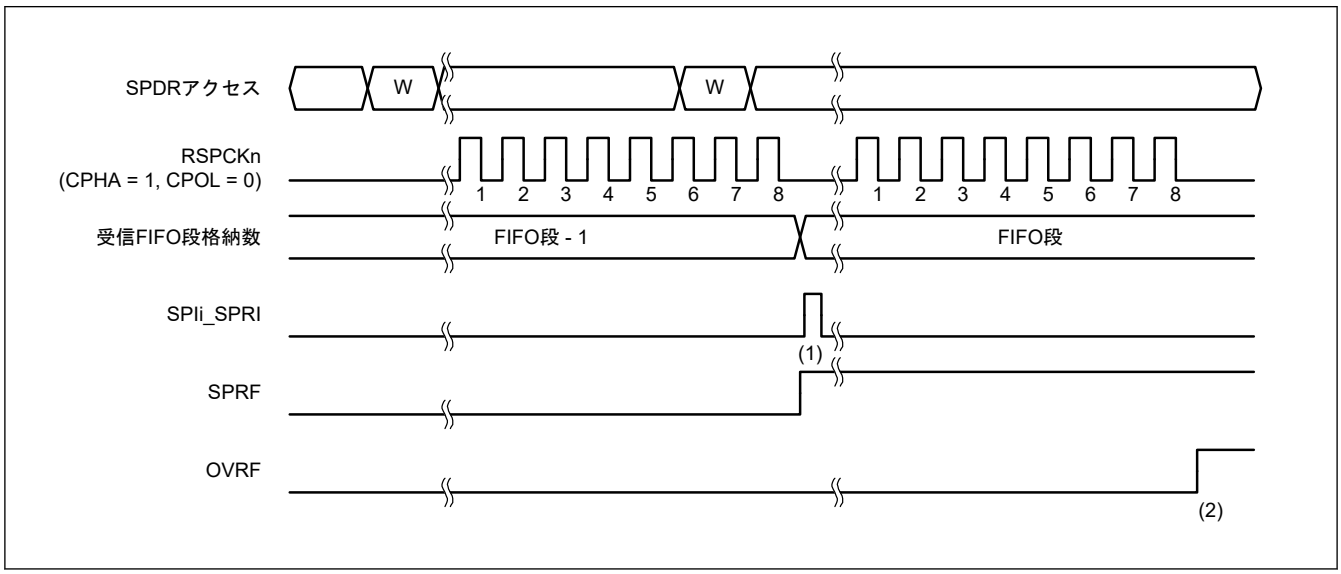


図 43.30 SPCR.TXMD[1:0] = 00b の場合の動作例

以下に、図 43.30 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. SPDR 受信バッファの格納数が SPDCR2.RTRG に設定されたフレーム数と一致した状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生し、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR の受信バッファに FIFO の段数分のデータが格納されている状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にしてシフトレジスタの受信データを破棄します。SPSR.OVRF フラグの動作の詳細については「43.3.10.1. オーバーランエラー」を参照してください。

送受信シリアル通信 (TXMD[1:0] = 00b) では、送信データが送信され、受信データが受信されます。したがって、SPRF フラグと OVRF フラグは、それぞれタイミング (1) と (2) で 1 に設定されます。

43.3.6.2 送信のみのシリアル通信 (TXMD[1:0] = 01b)

図 43.31 に、SPI コントロールレジスタ (SPCR) の通信モード選択ビット（TXMD[1:0]） を 01b に設定した場合の動作例を示します。この例では、SPDCR2.TTRG が 0、SPDCR2.RTRG が 0、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

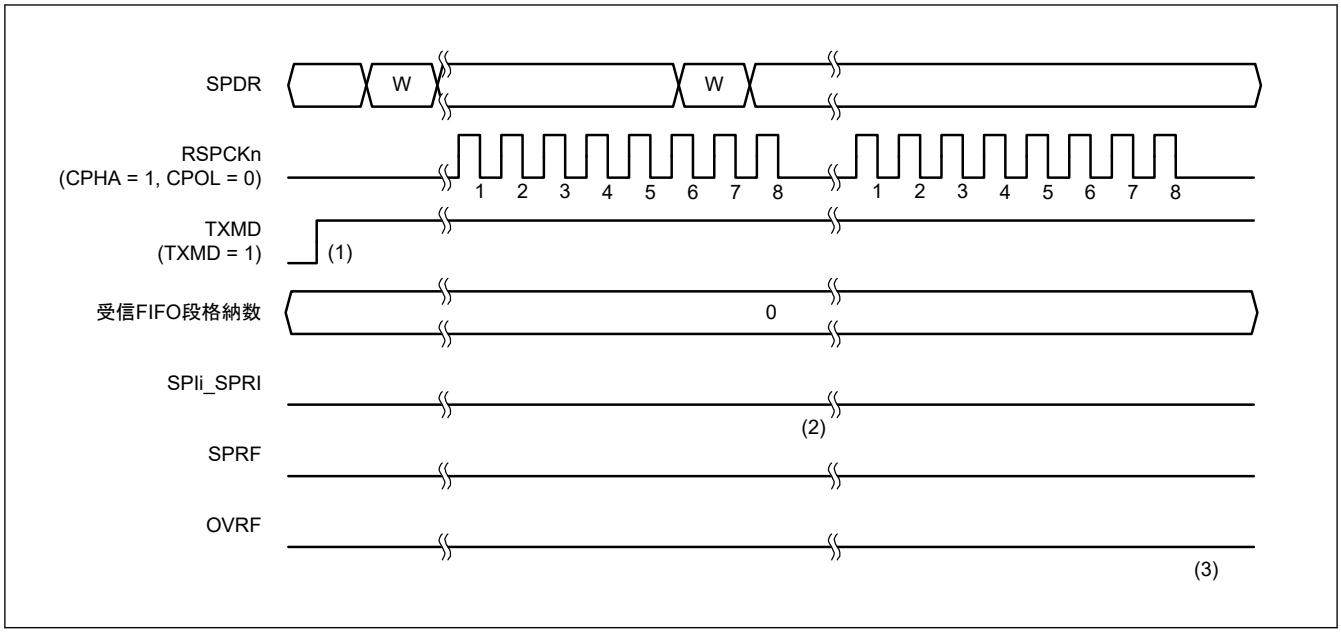


図 43.31 SPCR.TXMD[1:0] = 01b の動作例

以下に、図 43.31 の (1)～(3) に示したタイミングでのフラグの動作内容を説明します。

1. 送信のみモード（SPCR.TXMD[1:0] = 01b）へ遷移する前に、受信バッファにデータが残っていないこと（SPSR.SPRF フラグ = 0）、および SPSR.OVRF フラグが 0 であることを確認してください。
2. SPDR の受信 FIFO にデータを受信せずにシリアル転送が終了すると、送信のみモード（SPCR.TXMD[1:0] = 01b）を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
3. SPDR の受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみモード（SPCR.TXMD[1:0] = 01b）では、SPI はデータを送信しますが、受信しません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1)～(3) それぞれのタイミングで 0 を保持します。

43.3.6.3 受信専用シリアル通信 (TXMD[1:0] = 10b)

図 43.32 に、SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1]) を 1 に設定した場合の動作例を示します。この例では、SPDCR2.TTRG が FIFO 段数 - 1、SPDCR2.RTRG が 0、SPCMDm.CPHA ビットが 1、および SPCMDm.CPOL ビットが 0 の設定で SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

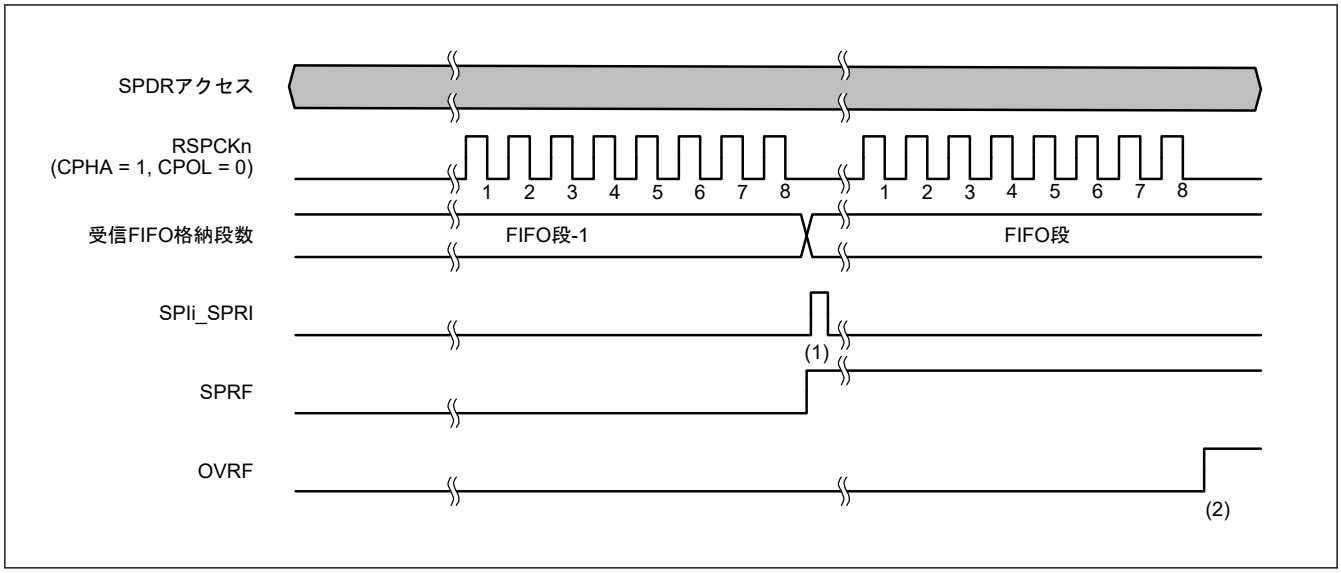


図 43.32　SPCR.TXMD[1:0] = 10b の場合の動作例

上図のタイミング (1) と (2) における動作を以下に説明します。

1. SPDR 受信バッファの格納数が SPDCR2.RTRG に設定されたフレーム数と一致した状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生し、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR の受信バッファに FIFO の段数分のデータが格納されている状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にしてシフトレジスタの受信データを破棄します。

43.3.7　送信バッファエンプティ／受信バッファフル割り込み

図 43.33 に、送信バッファエンプティ割り込み (SPIi_SPTI (i = 0, 1)) と受信バッファフル割り込み (SPIi_SPRI) の動作例を示します。これらの図に示された SPDR レジスタアクセスは、レジスタへのアクセス条件を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。図 43.33 では、SPCR.TXMD[1:0]ビットが 00b、SPDCR2.TTRG ビットが 0、SPDCR2.RTRG ビットが 0、SPCMDm.CPHA ビットが 0、および SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

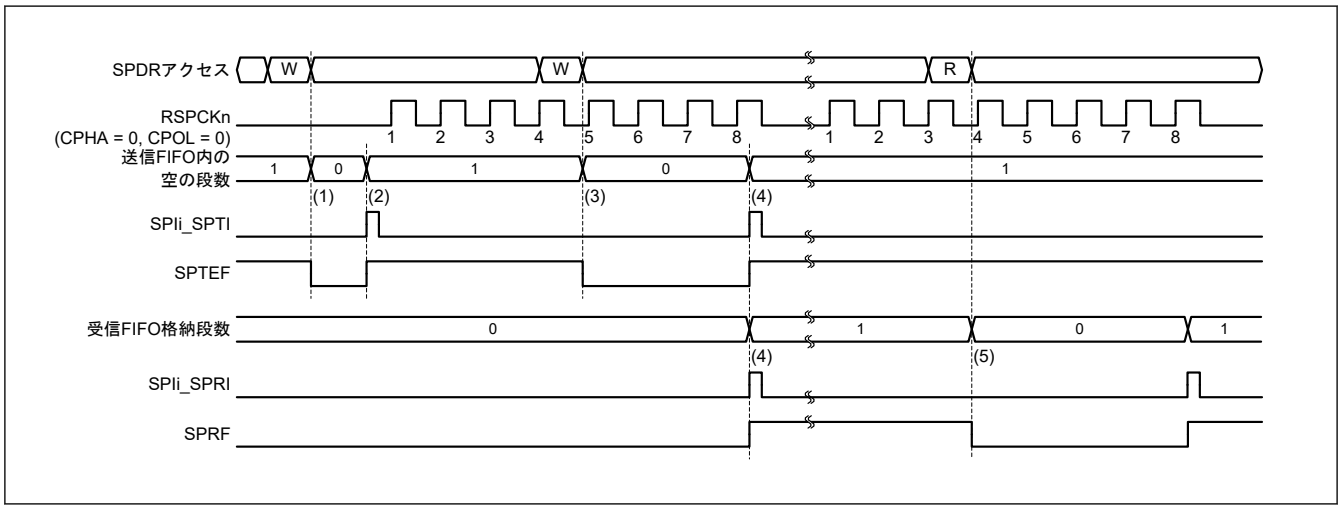


図 43.33　SPIi_SPTI、SPIi_SPRI 割り込みの動作例（CPHA = 0、CPOL = 0）

図 43.33 の (1)～(5) の各タイミングでの SPI の動作内容は以下の通りです。

1. SPDR に送信データを書き込むタイミングが、送信バッファに次に転送するデータが設定される前であれば、SPI は送信データを送信バッファに書き込みます。DTC または DMAC を使用して 1 つの処理ルーチンで SPDR に送信データを書き込むと、最後のアクセス時に SPSR.SPTEF フラグが 0 にクリアされます。

2. シフトレジスタがエンプティの場合、SPI は送信バッファのデータをシフトレジスタにコピーします。このとき、送信 FIFO 内の空き段数が TTRG の値より大きい場合、SPI は送信バッファエンプティ割り込み要求 (SPIi_SPTI) を発生させ、SPTEF フラグを 1 にします。シリアル転送の開始方法は、SPI のモードに依存します。詳細は、「43.3. 動作説明」と「43.3.13. クロック同期式動作」を参照してください。
3. 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティの処理により SPDR に送信データを書き込むと、SPI は送信バッファにデータを書き込みます。DTC または DMAC を使用して 1 つの処理ルーチンで SPDR に送信データを書き込むと、最後のアクセス時に SPTEF フラグが 0 にクリアされます。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
4. シリアル転送終了時に、SPDR の受信バッファが FIFO 段数を超える場合、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPRF フラグを 1 にします。シリアル転送が終了するとシフトレジスタはエンプティになりますが、次の送信データが送信 FIFO に設定されている状態でシリアル転送が終了すると、SPI は SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタがエンプティであると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
5. 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフル割り込みの処理で SPDR レジスタを読み出すと、受信データが読み出せます。DTC または DMAC を使用して 1 つの処理ルーチンで SPDR から受信データを読み出すと、最後のアクセス時に SPRF フラグが 0 にクリアされます。

送信 FIFO 内の空き段数が 0 のときに SPDR レジスタに送信データを書き込むと、SPI は送信バッファにあるデータを更新しません。SPDR レジスタへ書き込む場合は、必ず送信バッファエンプティ割り込み要求を使用するか、あるいは SPTEF フラグによる送信バッファエンプティ割り込みの処理でエンプティを確認してください。送信バッファエンプティ割り込みを使用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効（SPCR.SPE ビット = 0）の場合には、SPTIE ビットを 0 にしてください。

受信 FIFO に FIFO の段数分のデータが格納されている状態でシリアル転送が終了すると、SPI はシフトレジスタからデータをコピーせず、オーバーランエラーを検出します（「43.3.10. エラー検出」を参照してください）。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。SPI 受信バッファフル割り込みを使用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信／受信バッファの状態は、送信／受信割り込み、または関連する ICU の IELSRn.IR フラグ（n は割り込みベクタ番号）によって確認することができます。

同様に、SPSR.SPTEF および SPSR.SPRF フラグによっても、送信／受信バッファの状態を確認できます。割り込みベクタ番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

43.3.8 アイドル割り込み

SPI ステータスレジスタ (SPSR) の SPCP[2:0]ビットが 000b（シーケンス制御の開始）になるとき、SPI ステータスレジスタ (SPSR) の IDLNF フラグが 1 になり、マスタモード動作中のアイドル割り込み要求が発行されます。SPCR.SPE ビットを 0 にクリアすることでも、割り込み要求が発行されます。

［Motorola-SPI の場合］

図 43.34 に通常動作におけるアイドル割り込み動作の例を示します。

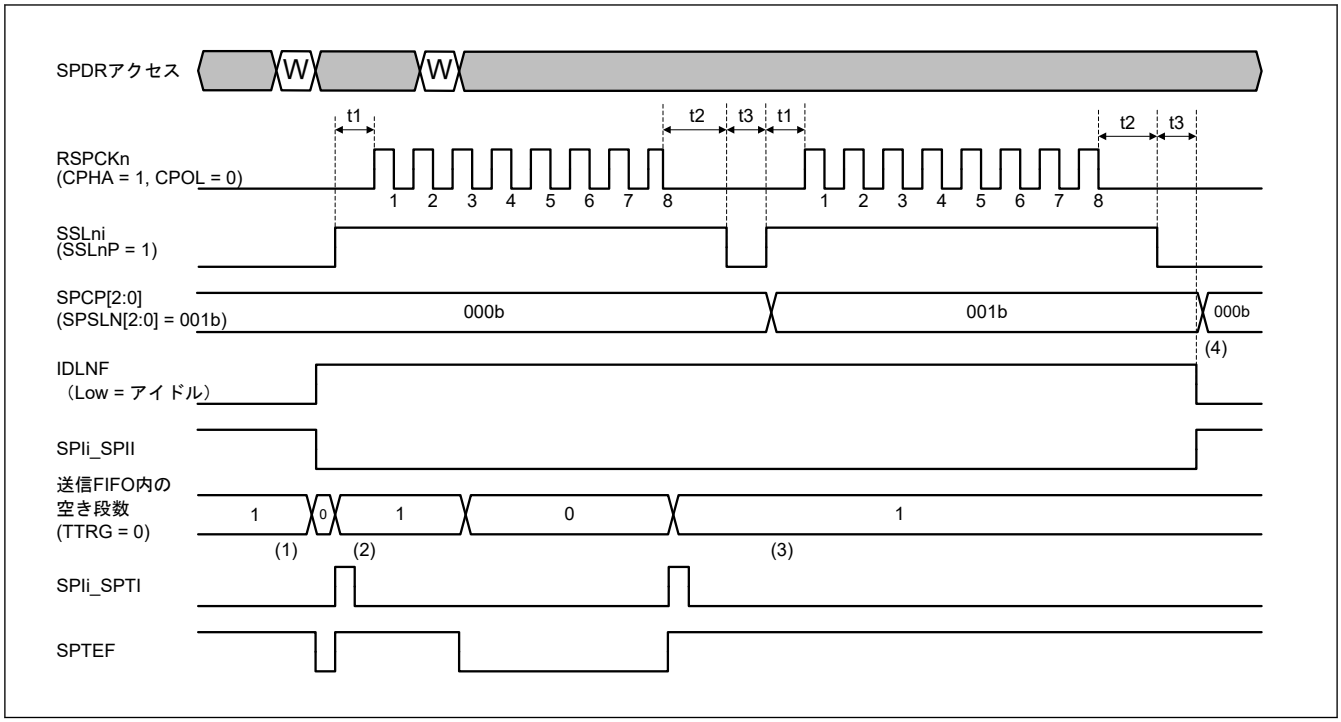


図 43.34　アイドル割り込み動作の例（マスタモード／Motorola-SPI）

1. 送信開始時に、次の転送データが送信バッファに設定されていない場合、IDLNF フラグが 0 (IDLE) になります。送信データを書き込むと、IDLNF フラグが 1 (BUSY) になります。送信データを書き込む前に SPI 制御レジスタ (SPCR) の SPIIE ビットが 1 に設定されると、送信開始前に割り込み処理が必要になります。そのため、送信開始前に SPIIE ビットを 0 に設定します。
2. 送信バッファの状態にかかわらず、送信を開始した後も IDLNF フラグは 1 (BUSY) のままになります。
3. t3 サイクルの終わりで、SPCP[2:0]ビットは次のコマンドにコマンドを変更します。次のコマンドが 000b でないとき、次の送信データが書き込まれていなくても IDLNF フラグは変わらずそのままになります。
4. t3 サイクルの終わりで、次のコマンドが 000b であり次の送信データが無いため、IDLNF フラグは 0 (IDLE) にクリアされます。SPIIE ビットが現在 1 の場合、SPIi_SPII　(i = 0, 1)　割り込みが出力されます。

［TI-SSP の場合］

図 43.35 に通常動作におけるアイドル割り込み動作の例を示します。

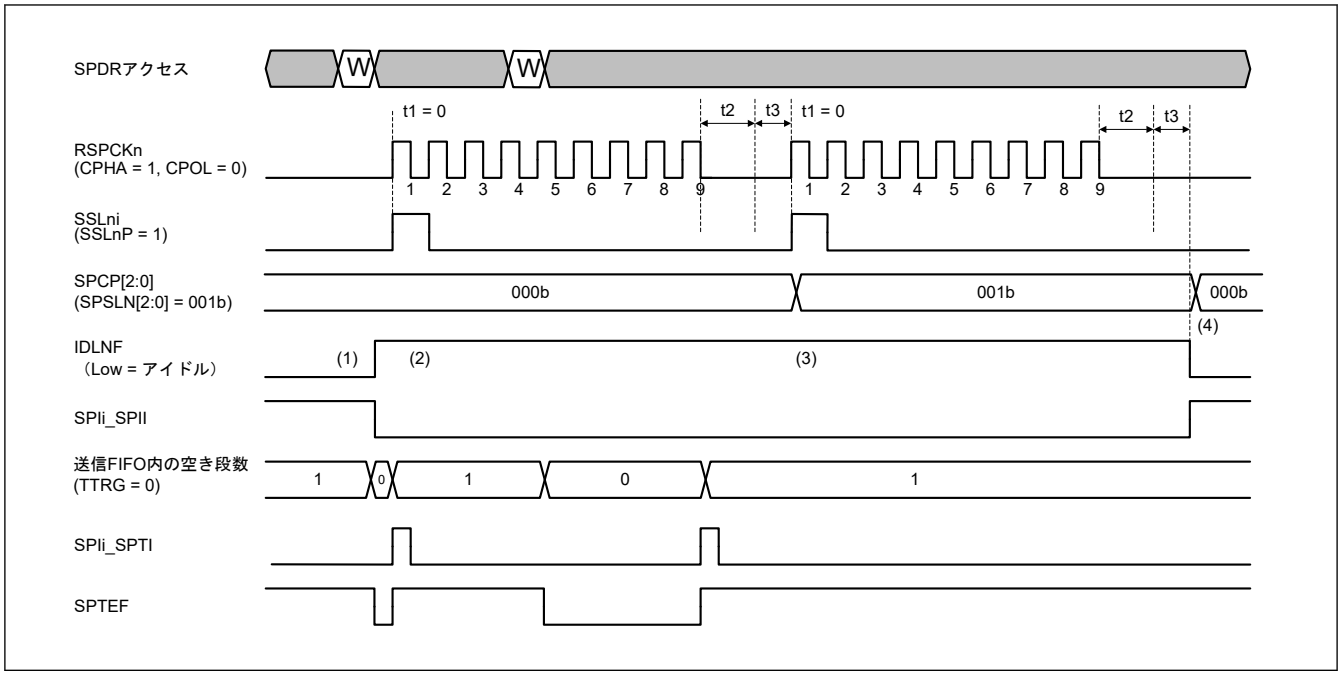


図 43.35　アイドル割り込み動作の例（マスタモード／TI-SSP）

1. 送信開始時に、次の転送データが送信バッファに設定されていない場合、IDLNF フラグが 0 (IDLE) になります。送信データを書き込むと、IDLNF フラグが 1 (BUSY) になります。送信データを書き込む前に SPI 制御レジスタ (SPCR) の SPIIE ビットが 1 に設定されると、送信開始前に割り込み処理が必要になります。そのため、送信開始前に SPIIE ビットを 0 に設定します。
2. 送信バッファの状態にかかわらず、送信を開始した後も IDLNF フラグは 1 (BUSY) のままになります。
3. t3 サイクルの終わりで、SPCP[2:0] ビットは次のコマンドにコマンドを変更します。次のコマンドが 000b でないとき、次の送信データが書き込まれていなくても IDLNF フラグは変わらずそのままになります。
4. t3 サイクルの終わりで、次のコマンドが 000b であり次の送信データがないため、IDLNF フラグは 0 (IDLE) にクリアされます。現在、SPIIE ビットが 1 の場合、SPIi_SPII 割り込みが出力されます。

43.3.9　通信終了割り込み

43.3.9.1　マスタモードでの送受信／送信

マスタモードでの送受信／送信専用時の通信完了フラグの設定／クリア条件については、「43.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

［Motorola-SPI の場合］

図 43.36 に、送受信／送信マスタモードでの通信終了割り込みの動作例を示します。

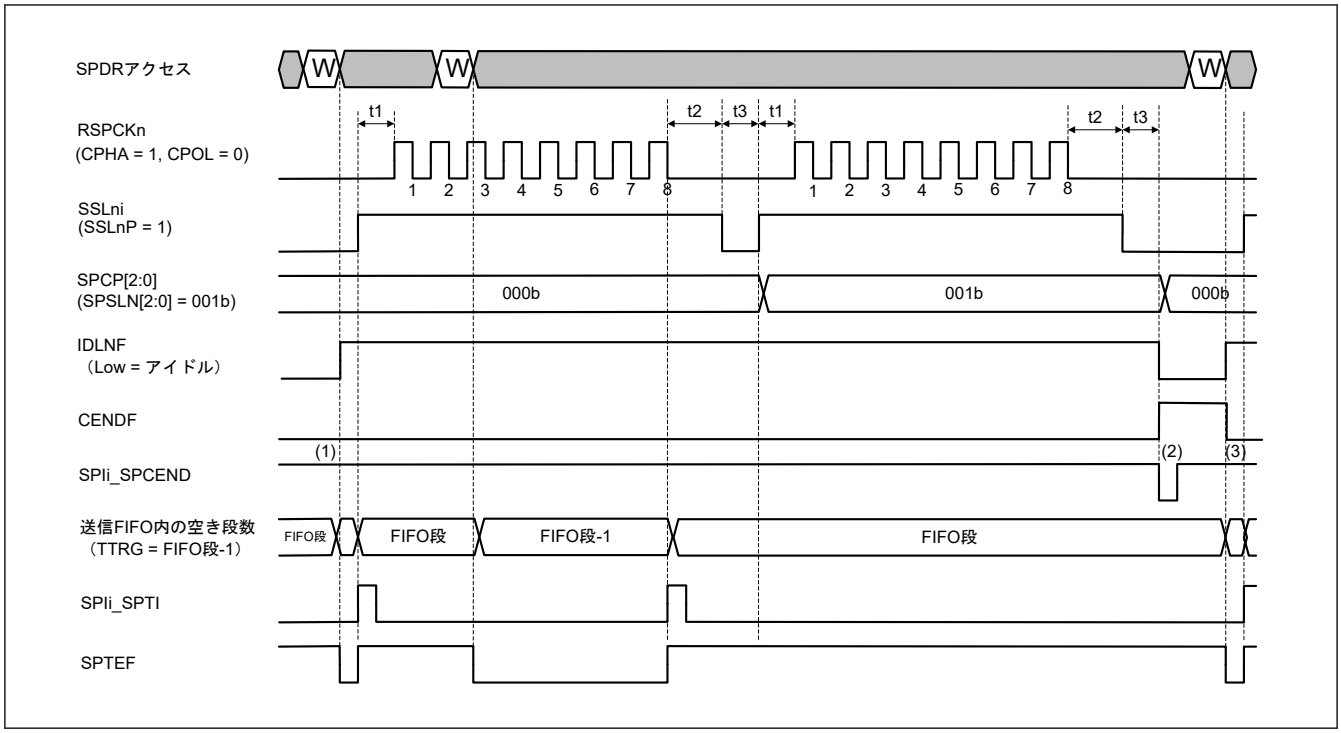


図 43.36　通信終了割り込み動作例（送受信／送信マスタモード／モトローラ SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND (i = 0, 1) のレベルは 1 です。これらは通信期間中維持されます。
2. 次のコマンドが 000b で次の送信データがないため、t3 期間の終わりで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

［TI-SSP の場合］

図 43.37 に、送受信／送信のみマスタモードでの通信終了割り込みの動作例を示します。

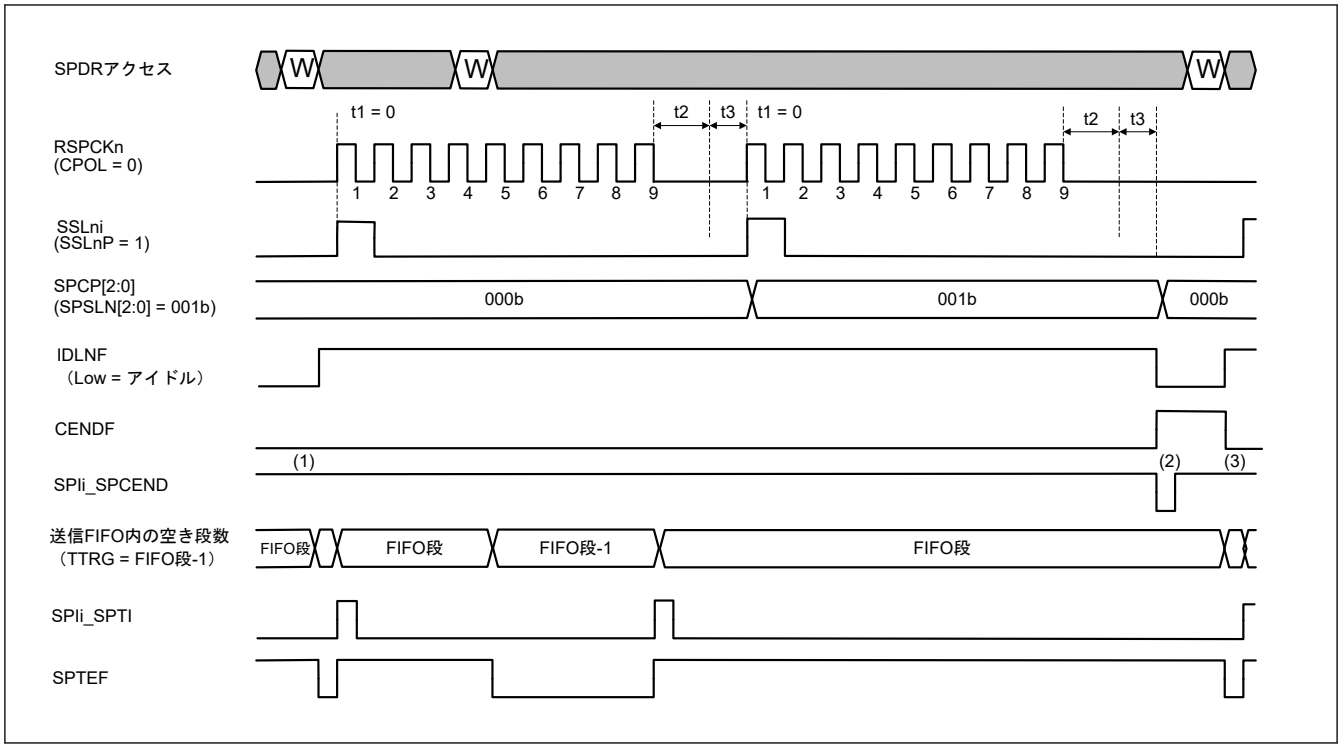


図 43.37　通信終了割り込み動作例（送受信／送信のみマスタモード／TI-SSP）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次のコマンドが 000b で次の送信データがないため、t3 期間の終わりで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 の場合に PCLK の 1 サイクル幅で SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

スレーブモード動作において、通信終了割り込みの出力タイミングは SPCR.SPMS ビット（SPI モード選択ビット）の値によって異なり、通信終了割り込みのクリアタイミングは通信モード（送受信、送信のみ、または受信のみ）によって異なります。

43.3.9.2　受信専用マスタモード

受信専用マスタモードでの通信完了フラグのセット条件／クリア条件については、「43.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

図 43.38 に、RMFM[4:0] = 0 時の受信専用マスタモードでの通信終了割り込み動作例を示します。

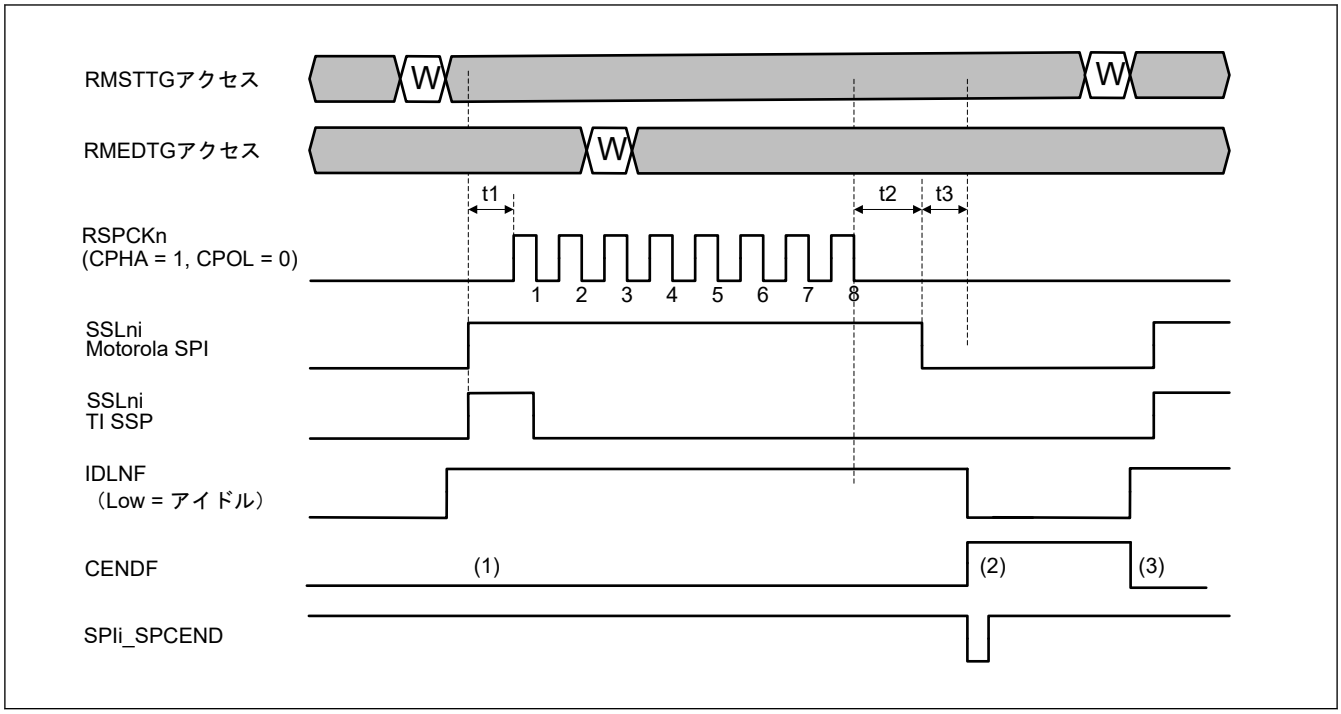


図 43.38　RMFM[4:0] = 0 時の通信終了割り込み動作例（受信専用マスタモード／Motorola-SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 通信フレーム期間中に RMEDTG に 1 を書き込むことにより、t3 サイクルの終わりに CENDF フラグは 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. RMSTTG に 1 を書き込むと、CENDF フラグはクリアされます。また、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

図 43.39 に、RMFM[4:0] ≠ 0 時の受信専用マスタモードでの通信終了割り込み動作例を示します。

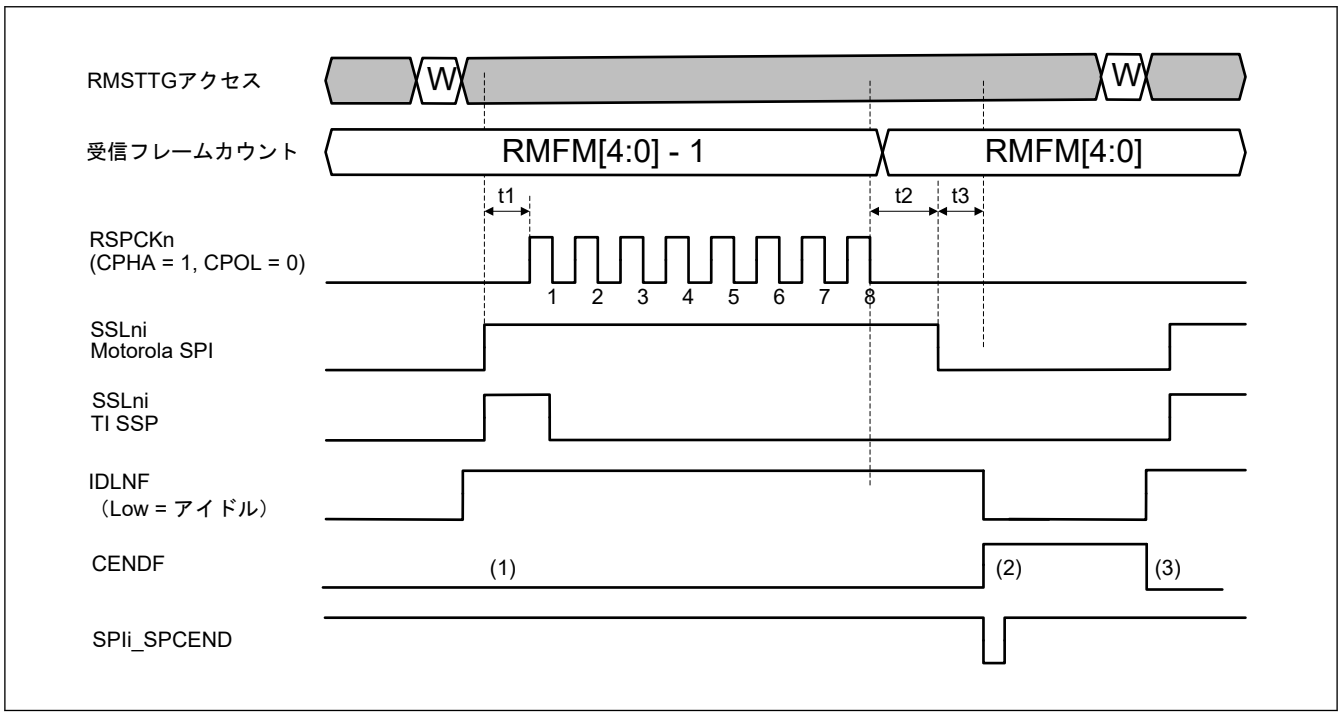


図 43.39　RMFM[4:0] ≠ 0 時の通信終了割り込み動作例（受信専用マスタモード／Motorola-SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。

2. RMFM[4:0]により設定されたフレーム数を受信後、t3 サイクルの終わりに CENDF フラグは 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. RMSTTG に 1 を書き込むと、CENDF フラグはクリアされます。また、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

43.3.9.3 SPI 動作（4 線式）時のスレーブモードでの送受信／送信

スレーブモード（4 線式）での送受信／送信専用時の通信完了フラグの設定／クリア条件については、「43.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

[Motorola-SPI の場合]

図 43.40 に、SPI 動作時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

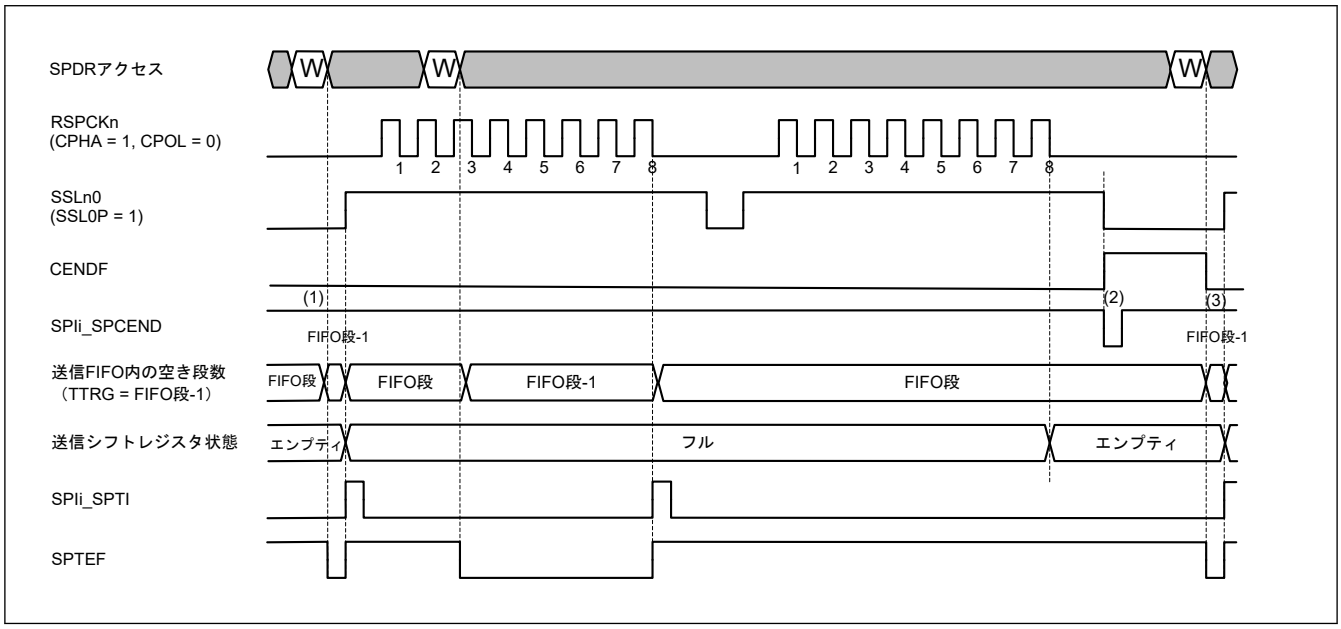


図 43.40 通信終了割り込み動作例（SPI 動作／Motorola-SPI 時の送受信／送信スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次の転送データが送信 FIFO にセットされておらず、送信シフトレジスタがエンプティの場合は、SSLn0 ネゲートのタイミングで CENDF フラグが 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

[TI-SSP の場合]

図 43.41 に、SPI 動作時の送受信／送信専用スレーブモードでの通信終了割り込み動作例を示します。

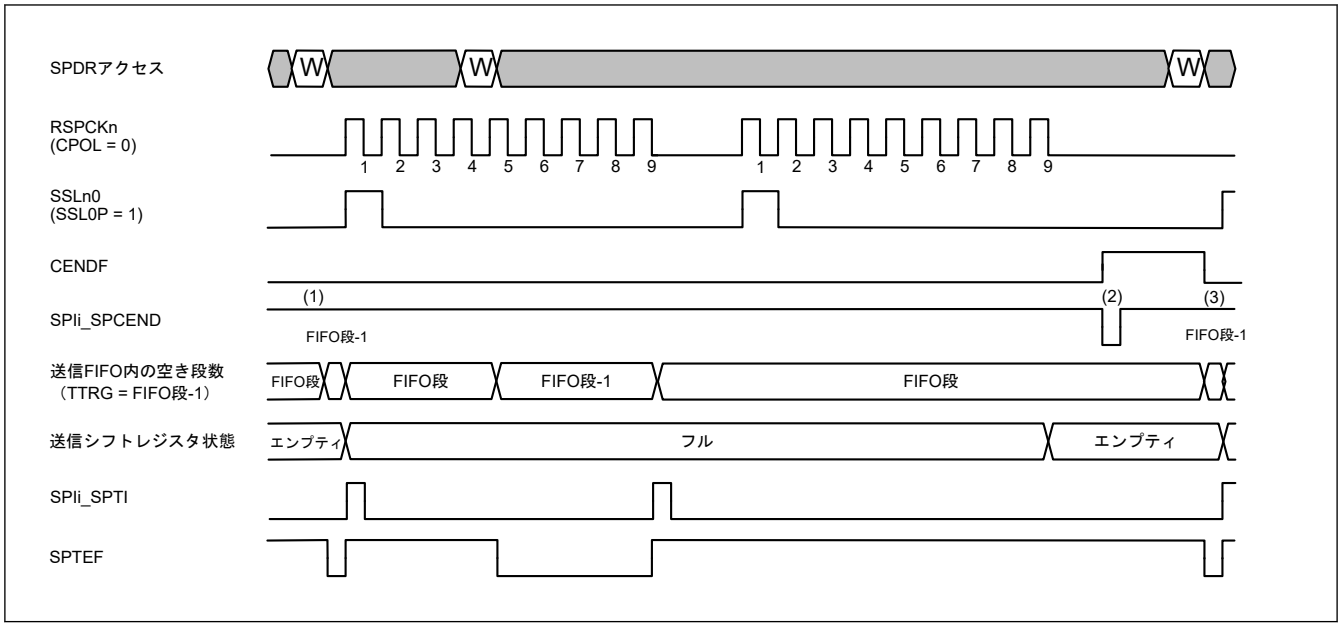


図 43.41　通信終了割り込み動作例（SPI 動作／TI-SSP 時の送受信／送信専用スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次の転送データが送信 FIFO にセットされておらず、送信シフトレジスタがエンプティの場合は、RSPCKn の最終データビットサンプリング時に CENDF フラグが 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

43.3.9.4　SPI 動作（4 線式）時のスレーブモードでの受信専用

スレーブモード（4 線式）での受信専用時の通信完了フラグの設定／クリア条件については、「43.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

[Motorola-SPI の場合]

図 43.42 に、SPI 動作（4 線式）時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

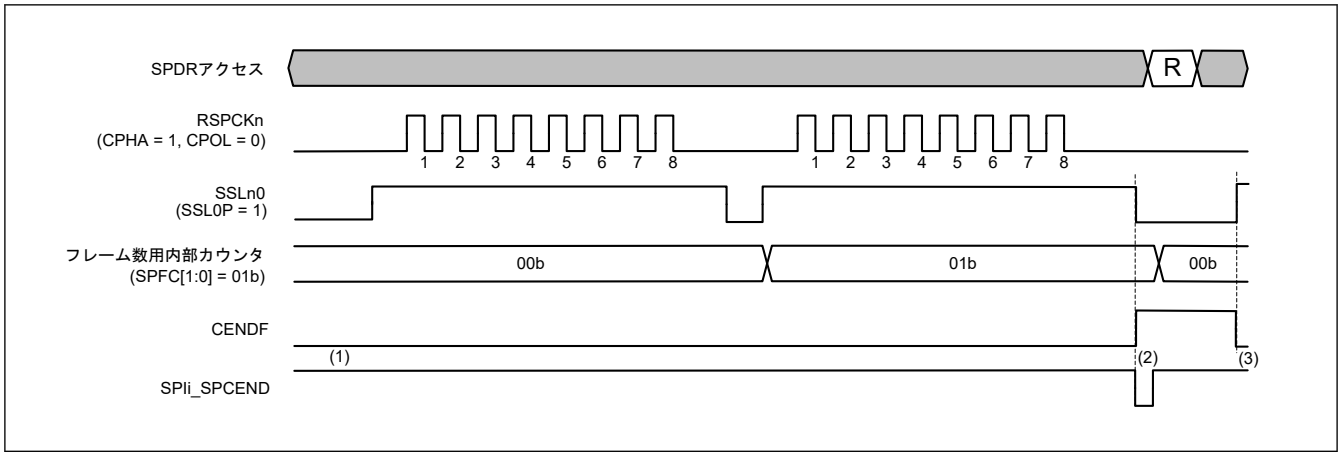


図 43.42　通信終了割り込み動作例（SPI 動作時の受信のみスレーブモード／Motorola-SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. SPI データコントロールレジスタ (SPDCR) の SPFC 設定値分のフレームを受信バッファに格納した後、SSLn0 ネゲートのタイミングで CENDF フラグが 1（通信完了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。

3. 次の送信が開始したとき、SSLn0 アサート時に CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

[TI-SSP の場合]

図 43.43 に、SPI 動作（4 線式）時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

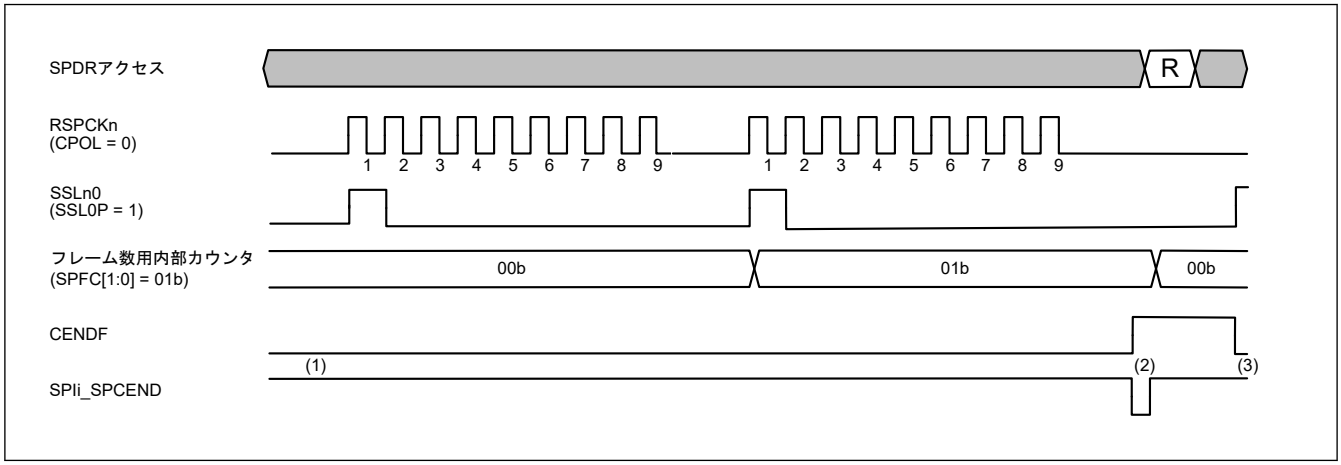


図 43.43　通信終了割り込み動作例（SPI 動作時の受信のみスレーブモード／TI-SSP）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 最終フレーム送信終了時に、RSPCK の最終データビットサンプリングのタイミングで、CENDF フラグが 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. 次の送信が開始したとき、SSLn0 アサート時に CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

43.3.9.5　クロック同期式動作（3 線式）時のスレーブモードでの送受信／送信

クロック同期（3 線式）時のスレーブモードでの送受信／送信専用時の通信完了フラグの設定／クリア条件については、「43.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

図 43.44 に、クロック同期式動作（3 線式）時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

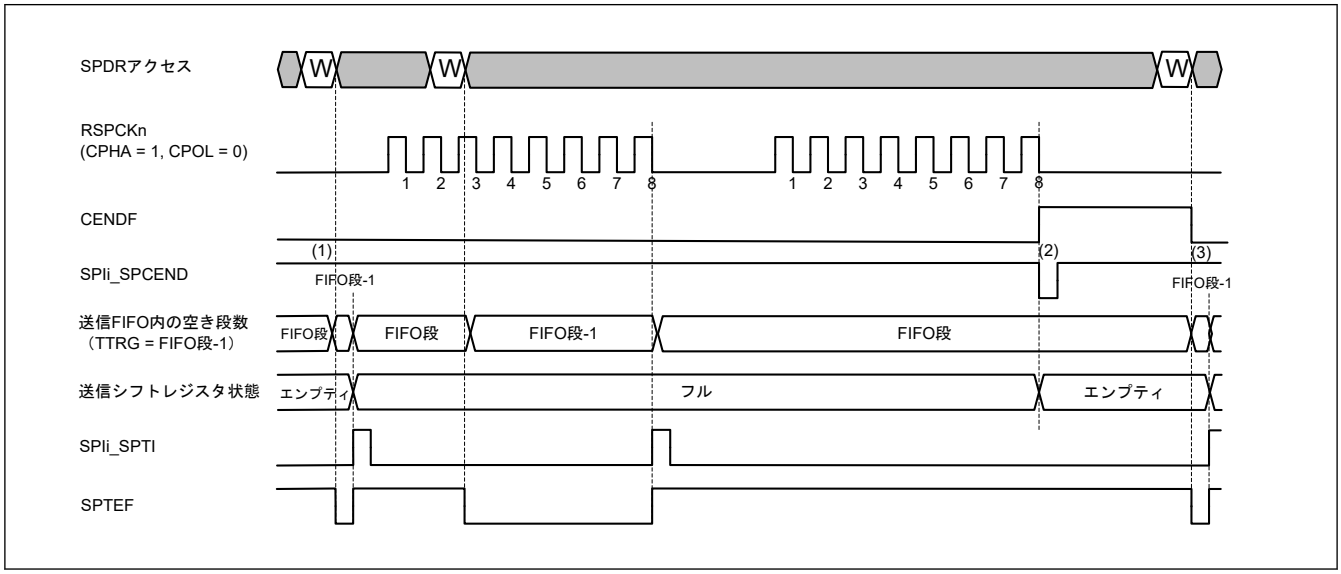


図 43.44　通信終了割り込み動作例（クロック同期式動作時の送受信／送信スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。

2. 次の転送データが送信 FIFO にセットされておらず、送信シフトレジスタがエンプティのとき、CENDIE ビットが 1 の場合は PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

43.3.9.6 クロック同期式動作（3 線式）時のスレーブモードでの受信専用

クロック同期（3 線式）時のスレーブモードでの受信専用時の通信完了フラグの設定／クリア条件については、「43.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

図 43.45 に、クロック同期動作時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

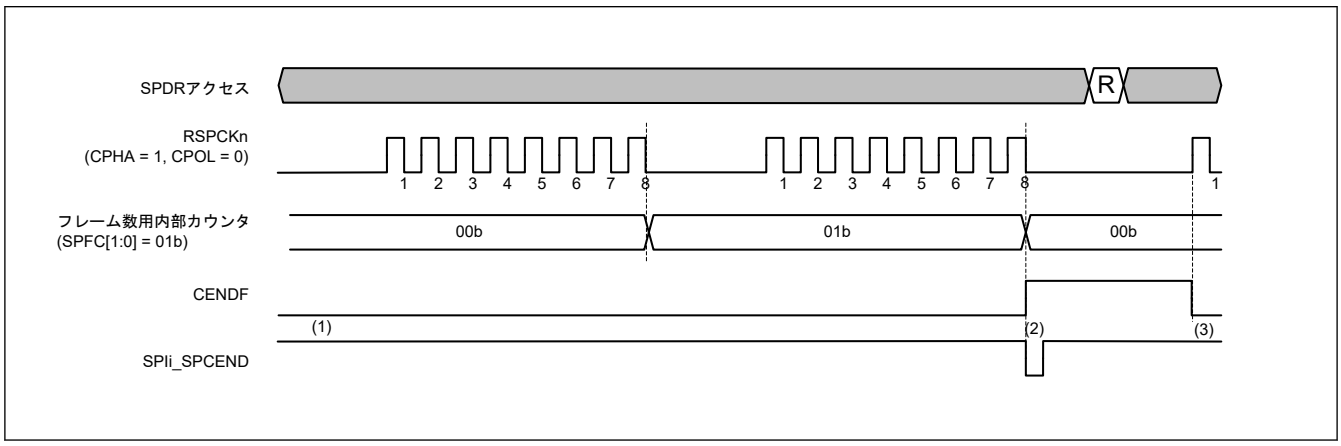


図 43.45 通信終了割り込み動作例（クロック同期式動作時の受信のみスレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. SPI データコントロールレジスタ (SPDCR) の SPFC 設定値の最終フレームを受信したときに、最終フレーム通信における RSPCKn の最終データビットのサンプリングのタイミングで、CENDF フラグは 1（通信完了）になります。それから CENDIE ビットが 1 の場合、PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。
3. 次の送信の RSPCKn の最初のエッジで、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

43.3.9.7 共通動作

この章では「43.3.9.1. マスタモードでの送受信／送信」～「43.3.9.6. クロック同期式動作（3 線式）時のスレーブモードでの受信専用」に記載の各モード／領域オプション通信に共通する動作について説明します。通信完了時に SPI 通信終了割り込み許可 (CENDIE) が 0 の場合、通信終了フラグ (CENDF) が設定され、通信終了のイベントが出力されますが、割り込みは出力されません。しかし、SPI 機能許可 (SPE) が 1 のときに通信終了フラグ (CENDF) がクリアされる前に通信終了割り込み許可 (CENDIE) が 1 になると、通信終了割り込み (SPIi_SPCEND) が出力されます。

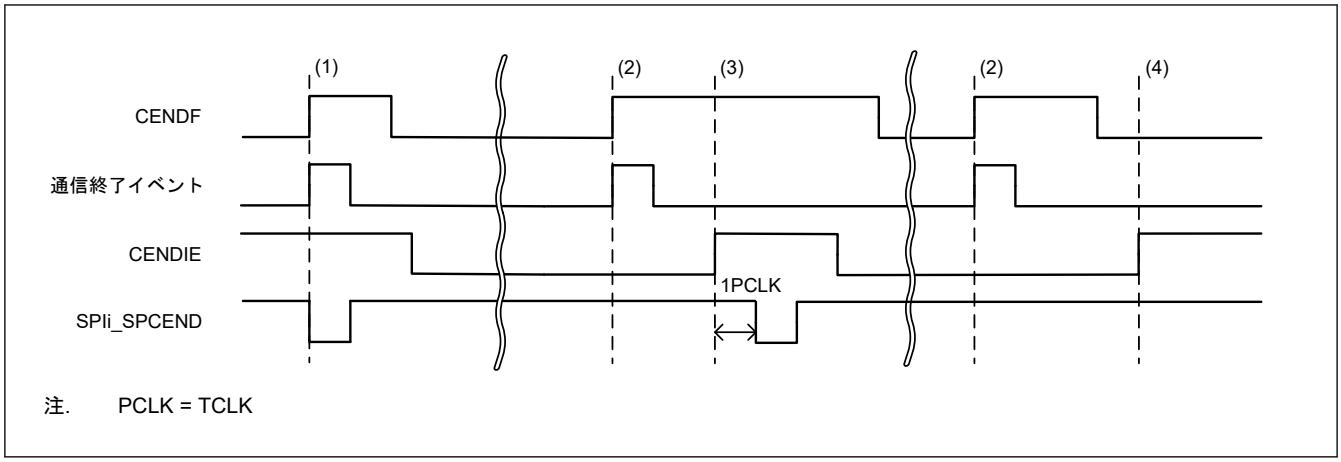


図 43.46 通信終了割り込みの動作例（イネーブル制御）

1. 通信完了時 SPI 通信終了割り込みのイネーブルビット (CENDIE) が 1 の場合、下記の 3 つが同じタイミングになります。
   - 通信終了フラグ (CENDF)
   - 通信終了イベント
   - 通信終了割り込み (SPIi_SPCEND)
2. 通信完了時 SPI 通信終了割り込みのイネーブルビット (CENDIE) が 0 の場合、下記の 2 つが同じタイミングになりますが、割り込みは発生しません。
   - 通信終了フラグ (CENDF)
   - 通信終了イベント
3. (2) の後、SPI 機能イネーブルビット (SPE) および通信終了フラグ (CENDF) が 1 のときに通信終了割り込みイネーブルビット (CENDIE) が設定されると、TCLK の 1 サイクル後に通信終了割り込み (SPIi_SPCEND) が出力されます。
4. (2) の後、SPI 機能イネーブルビット (SPE) または通信終了フラグ (CENDF) が 0 のときに通信終了割り込みイネーブルビット (CENDIE) がセットされても、通信終了割り込み (SPIi_SPCEND) は出力されません。

43.3.10 エラー検出

通常の SPI シリアル転送では、SPDR の送信バッファに書き込まれたデータは送信され、受信データは SPDR の受信バッファから読み出し可能です。SPDR へのアクセスをする場合、送信または受信バッファの状態、またはシリアル転送の始めと終わりの SPI の状態によっては異常な転送が起こることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。 表 43.9 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 43.9 通常以外の転送動作と SPI のエラー検出機能の関係 (1/2)

動作	発生条件	SPI 動作	エラー検出
1	送信 FIFO の空き段数が 0 の状態で SPDR を書き込み	• 送信バッファ内容を保持 • 書き込みデータ欠落	なし
2	受信 FIFO にデータが格納されていない状態で SPDR を読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	• シリアル転送を中断 • 送受信データ欠落 • MISOn 端子の出力信号のドライブ停止 • SPI 機能は無効	アンダーランエラー
4	受信 FIFO に FIFO の段数分のデータが格納されている状態で、シリアル転送が終了	• 受信 FIFO の内容を保持 • 受信データ欠落	オーバーランエラー

表 43.9 通常以外の転送動作と SPI のエラー検出機能の関係 (2/2)

動作	発生条件	SPI 動作	エラー検出
5	以下のモードで、全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信 ● 送受信マスタモード ● 受信のみマスタモード ● 送受信スレーブモード ● 受信のみスレーブモード	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 端子の入力信号アサート	● RSPCKn、MOSIn、SSLn1～SSLn3 出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 端子の入力信号アサート	● シリアル転送を中断 ● 送受信データ欠落 ● RSPCKn、MOSIn、SSLn1～SSLn3 出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
8	[Motorola-SPI の場合] スレーブモードでシリアル転送中に SSLn0 端子の入力信号ネゲート	● シリアル転送を中断 ● 送受信データ欠落 ● MISOn 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
9	[TI-SSP の場合] スレーブモードでシリアル転送中に SSLn0 入力信号をアサート	● シリアル転送を中断 ● 送受信データ欠落 ● MISOn 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
10	データが SPDRES = 1 で受信 FIFO に格納された後、格納されたデータの数がしきい値未満であり、受信データが SPDRC [7:0]の設定値で書き込まれていない	受信データレディフラグをアサート	受信データレディ

表 43.9 に説明されている動作 1 で、SPI はエラーを検出しません。SPDR への書き込み時のデータ欠落を防ぐため、SPDR への書き込みは送信バッファエンプティ割り込み要求を使用して実行する必要があります（SPSR.SPTEF フラグが 1 の場合）。

同様に、動作 2 で SPI はエラーを検出しません。異質なデータが読み出されるのを防ぐため、SPDR の読み出しは SPI 受信バッファフル割り込み要求で実行する必要があります（SPSR.SPRF フラグが 1 の場合）。

表中のその他のエラーについては、下記の節を参照してください。

- 動作 3 に示したアンダーランエラーについては、「43.3.10.4. アンダーランエラー」を参照してください。
- 動作 4 に示したオーバーランエラーについては、「43.3.10.1. オーバーランエラー」を参照してください。
- 動作 5 に示したパリティエラーについては、「43.3.10.2. パリティエラー」を参照してください。
- 動作 6～9 に示したモードフォルトエラーについては、「43.3.10.3. モードフォルトエラー」を参照してください。
- 送信および受信割り込みについては、「43.3.7. 送信バッファエンプティ／受信バッファフル割り込み」を参照してください。
- 動作 10 での受信データレディについては、「43.3.10.5. 受信データレディ」を参照してください。

43.3.10.1 オーバーランエラー

SPDR の受信バッファフルの状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 に設定するには、システムリセットを発行するか、SPSRC.OVRFC ビットに 1 を書き込みます。

図 43.47 に OVRF フラグと SPRF フラグの動作例を示します。図 43.47 に記載した SPSRC アクセスと SPDR アクセスは、それぞれ SPSRC レジスタと SPDR レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。この例では、SPI は SPCMDm.CPHA ビットが 1、かつ SPCMDm.CPOL ビットが 0 のときに 8 ビットのシリアル転送を実行します。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

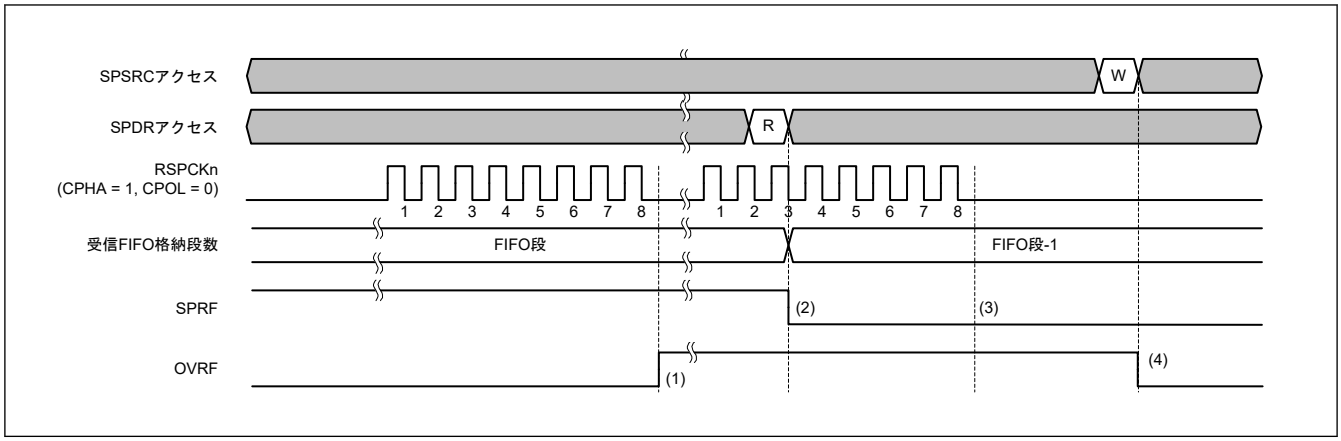


図 43.47 OVRF フラグおよび SPRF フラグの動作例

以下に、図 43.47 の (1)～(4) に示したタイミングでのフラグの動作内容を説明します。

1. FIFO 段数に対応するデータが格納された状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して OVRF フラグを 1 に設定します。SPI はシフトレジスタのデータを受信バッファにコピーしません。SPI は、SPPE = 1 の場合でもパリティエラーを検出しません。マスタモードでは、SPI は SPI コマンドレジスタ (SPCMDm) へのポインタの値を、SPI ステータスレジスタ (SPSR) の SPECM[2:0] ビットにコピーします。
2. SPDR を読み出すと、SPI は受信バッファのデータを出力します。このとき、DTC/DMAC を使用して 1 つの処理ルーチンで SPDR から受信データを読み出すと、最後のアクセス時に SPRF フラグが 0 にクリアされます。
3. OVRF フラグが 1 の状態（オーバーランエラー）でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません（SPRF フラグは 1 になりません）。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタがエンプティであると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
4. SPSRC.OVRFC ビットを 1 にすると SPSR.OVRF フラグをクリアします。

オーバーランエラーの発生は、SPSR の読み出し、あるいは SPI エラー割り込みと SPSR の読み出しによって、確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。

オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF フラグが 0 になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効 (SPCR.SCKASE = 1) にした場合は、オーバーランエラーが発生しません。図 43.48 と図 43.49 に、マスタモード時の受信バッファフルの状態でシリアル転送が継続するときのクロック停止波形を示します。

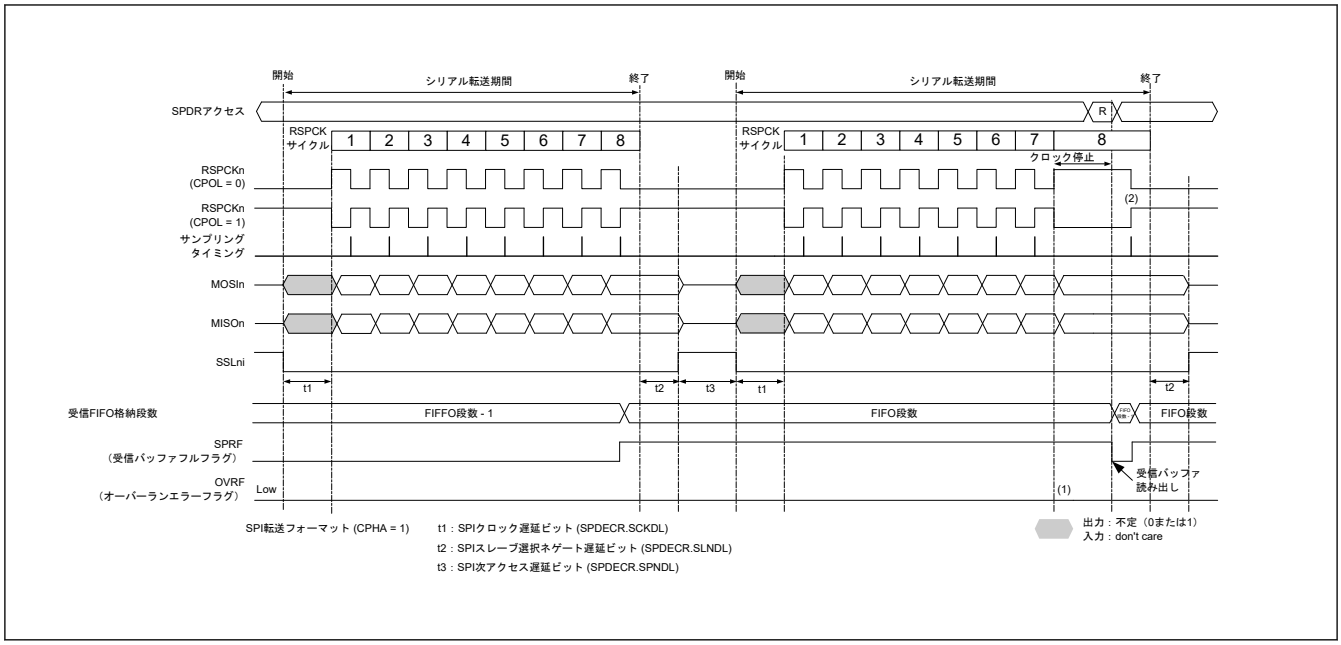


図 43.48　マスタモード時に FIFO の段数分のデータが格納された状態でシリアル転送が継続されるときのクロック停止波形 (CPHA = 1)

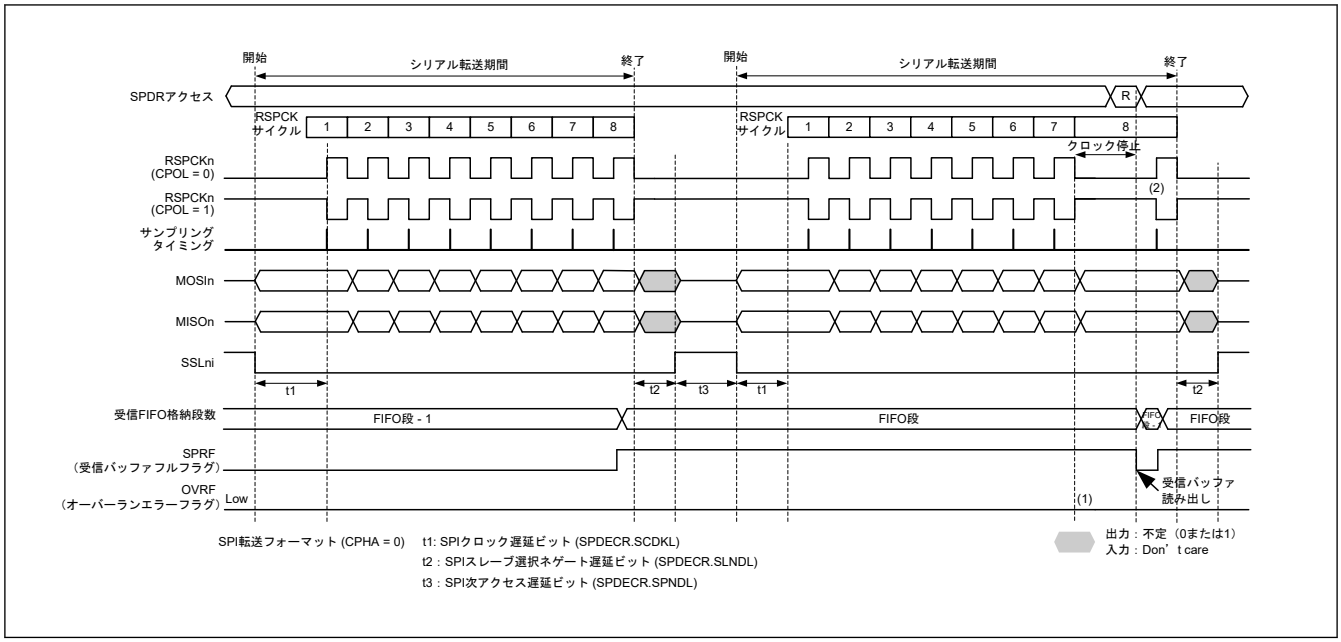


図 43.49　マスタモード時に FIFO の段数分のデータが格納された状態でシリアル転送が継続されるときのクロック停止波形 (CPHA = 0)

以下に、図 43.48 および図 43.49 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. 受信 FIFO に FIFO の段数分のデータが格納されていると、RSPCK クロックの発振が停止してオーバーランエラーは発生しません。
2. クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。RSPCK クロックが発振を再開します。

マスタモードにおけるバースト転送の際、フレーム間遅延なしの転送に対し RSPCK 自動停止機能が有効であるとき、オーバーランエラーは発生しません。図 43.50 と図 43.51 に、バースト転送のフレーム間の遅延がなく、かつ受信 FIFO に FIFO の段数分のデータが格納された状態でシリアル転送が継続する場合のクロック停止波形を示します。

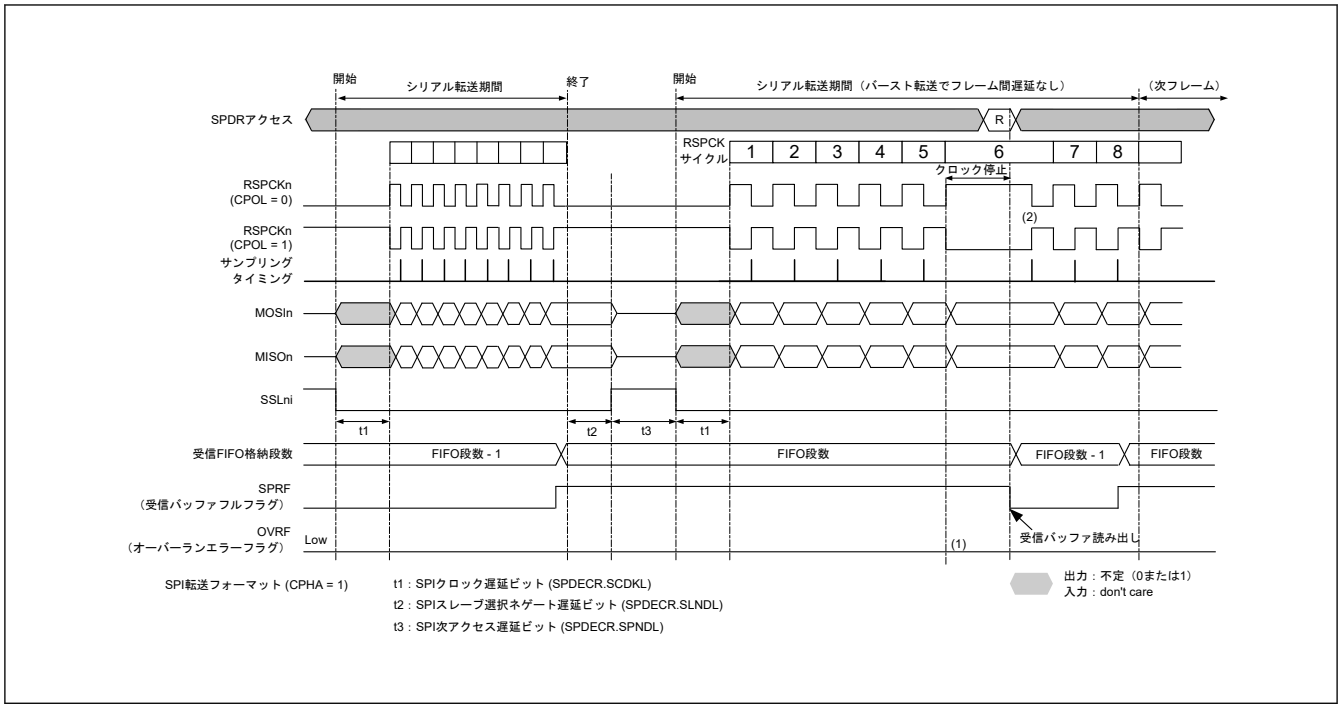


図 43.50　FIFO の段数分のデータが格納された受信バッファフルの状態でシリアル転送が継続する場合のクロック停止波形（バースト転送でフレーム間遅延なし、CPHA = 1）

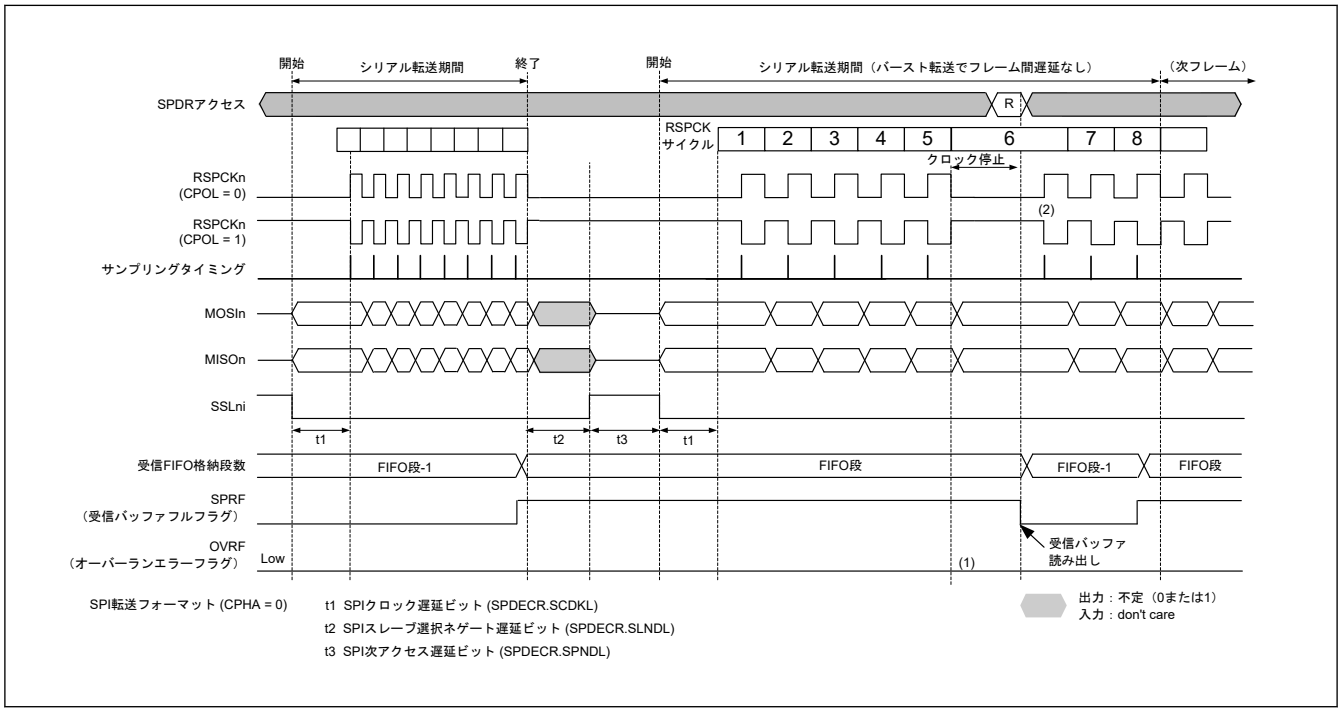


図 43.51　マスタモードにおいて FIFO の段数分のデータが格納された状態でシリアル転送が継続する場合のクロック停止波形（バースト転送でフレーム間遅延なし、CPHA = 0）

上図のタイミング (1) と (2) におけるフラグの動作を以下に説明します。

1. FIFO の段数分のデータが格納されていると、RSPCK クロックの発振が停止してオーバーランエラーは発生しません。
2. クロック発振停止中、SPDR を読み出すことで受信バッファデータを読み出せます。受信バッファデータを読み出した後、RSPCK クロックが発振を再開します。

43.3.10.2 パリティエラー

SPI コントロールレジスタ (SPCR) の SPPE ビットが 1 の場合は、送受信または受信専用マスタモード、送受信スレーブモード、または受信専用スレーブモードでの送信後に、SPI がパリティエラーの有無をチェックします。SPI が受信データのパリティエラーを検出すると、SPI ステータスレジスタ (SPSR) の PERF フラグが 1 に設定されます。OVRF フラグが 1 の場合、SPI はシフトレジスタのデータを受信バッファにコピーしません。したがって、受信データのパリティエラーは検出されません。SPSR の PERF フラグをクリアして 0 にするには、システムをリセットするか、SPSRC.PERFC ビットに 1 を書き込みます。

図 43.52 に OVRF フラグと PERF フラグの動作例を示します。図 43.52 に記載の SPSR アクセスは、SPSR レジスタへのアクセス条件を示します。W は書き込みサイクル、R は読み出しサイクルを示します。この例では、SPCR.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPI は、SPCMDm.CPHA ビットが 1、かつ SPCMDm.CPOL ビットが 0 のときに 8 ビットのシリアル転送を実行します。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

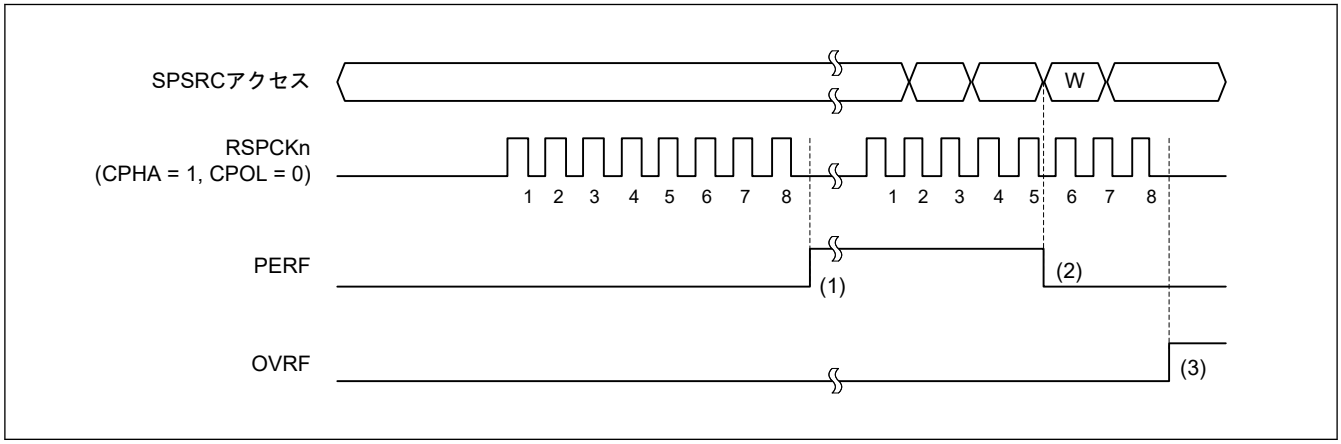


図 43.52 OVRF フラグおよび PERF フラグの動作例

以下に、図 43.52 の (1)～(3) に示したタイミングでのフラグの動作内容を説明します。

1. SPI は、オーバーランエラーを検出せずにシリアル転送を終了すると、シフトレジスタのデータを受信バッファにコピーします。SPI が受信データをチェックしたときにパリティエラーを検出すると、PERF フラグが 1 に設定されます。マスタモードでは、SPI は SPI コマンドレジスタ (SPCMDm) へのポインタの値を、SPI データコントロールレジスタ 2 (SPDCR2) の SPECM[2:0]ビットにコピーします。
2. SPSRC.PERFC ビットに 1 が書き込まれると、PERF フラグをクリアします。
3. SPI がオーバーランエラーを検出した状態でシリアル転送が終了すると、シフトレジスタのデータは受信バッファにコピーされません。このとき、SPI はパリティエラー検出を行いません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、このようなチェック方法でパリティエラー発生を早期に検出できるようにする必要があります。SPI をマスタモードで使用する場合、SPDCR2.SPECM[2:0]ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

43.3.10.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。

マルチマスタモードの SPI の SSLn0 端子へ入力される信号に対してアクティブレベルが入力されると、シリアル転送の状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。

SPI はモードフォルトエラーを検出すると、SPCMD レジスタに対するポインタの値を SPECM[2:0]ビットにコピーします。

なお、SSLn0 端子へ入力される信号のアクティブレベルは、SPCR3.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。

スレーブモードにおいて SPCR.MODFEN ビットが 1 で SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データのラッチまで）に SSLn0 入力信号がネゲートされると、以下の 2 つの条件のいずれかが満たされたときに、SPI はモードフォルトエラーを検出します。

[Motorola-SPI の場合]

シリアルデータ転送中に SSLn0 端子へ入力される信号がネゲートされる場合

[TI-SSP の場合]

シリアルデータ転送中に SSLn0 端子へ入力される信号がアサートされる場合。ただし、バースト転送中は、フレームの最終ビット中で SSLn0 端子へ入力される信号がアサートされる場合でもエラーは検出されません。

SPI はモードフォルトエラーを検出すると、出力信号のドライブを停止し、SPCR レジスタの SPE ビットをクリアします。SPE ビットがクリアされると、SPI 機能は無効になります（「43.3.12. SPI 動作」に記載）。マルチマスタ構成では、モードフォルトエラーを使用して、出力信号のドライブを停止し、SPI 機能を無効にすることによって、バス権を解放できます。

モードフォルトエラーがあるかどうかは、SPSR を読み出すか、SPI エラー割り込みと SPSR を読み出すことによってチェックできます。SPI エラー割り込みを使用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングしてください。SPI をマスタモードで使用する場合、SPSR の SPECM[2:0]ビットを読み出すことで、エラーがあるときの SPCMD レジスタに対するポインタ値をチェックできます。

MODF フラグが 1 の間は、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラーの検出後に SPI 機能を有効にするには、MODF フラグを 0 にクリアしてください。

43.3.10.4 アンダーランエラー

SPI がスレーブモードで動作しており (SPCR.MSTR = 0)、SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1:0]) が 00b または 01b のときに、SPCR.SPE ビットが 1（SPI 機能有効）の状態で送信データ出力の準備ができる前にシリアル転送を開始すると、SPI はアンダーランエラーを検出し、SPSR.MODF フラグと SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（「43.3.11. SPI の初期化」を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPCR.SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

43.3.10.5 受信データレディ

SPCR.TXMD[1:0]が 00b、01b、または 11b であり、かつ SPCR2.SPDRC[7:0]が 0x00 でない場合、通信中 (SPE = 1) の受信 FIFO のデータを受信した後、受信 FIFO の数が閾値以下であり、かつ SPDRC[7:0]に設定された時間が経過した後であっても、受信データが格納されていないときには SPSR.SPDRF フラグが 1 になります。

受信データレディが検出されると、割り込みとイベントリンク出力が、SPCR.SPDRES ビットで SPIi_SPRI または SPIi_SPEI として選択できます。

図 43.53 に受信データレディ検出機能の例を示します。

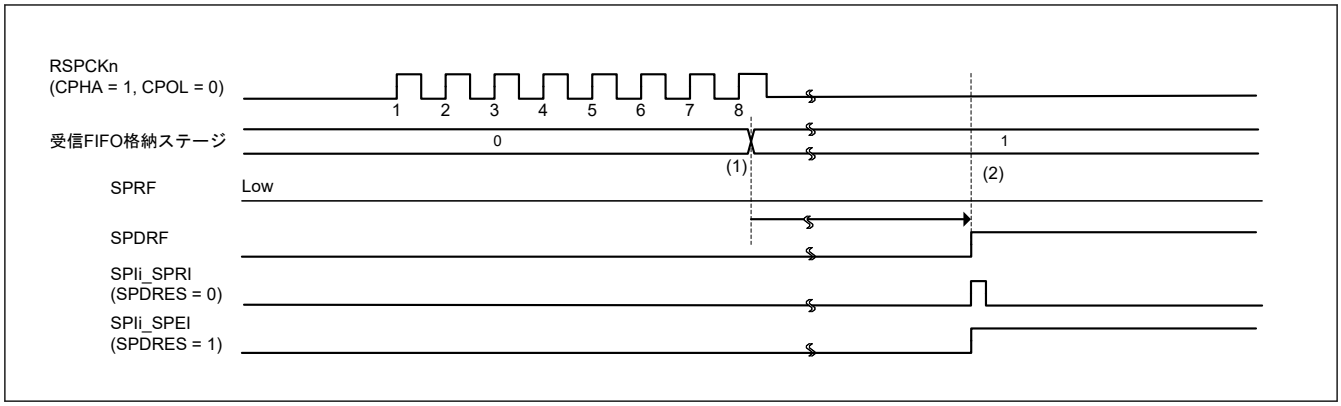


図 43.53　受信データレディ

以下では図中の (1) と (2) で示されるタイミングにおける動作を説明します。

(1) 受信データを受信 FIFO に格納します。受信 FIFO の格納段数 ≦ SPDCR2.RTRG[1:0]で設定したフレーム数であるため、SPRF は 0 です。

(2) SPDRF を設定し、SPIi_SPRI または SPIi_SPEI をアサートしてください。その理由は、上記 (1) から設定された SPDRFC[7:0]ビットの値に対して、受信 FIFO に書き込めないためです。

43.3.11　SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPCR.SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットのクリアによる初期化と、システムリセットによる初期化について説明します。

43.3.11.1　SPCR.SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化（SPSR.SPTEF フラグが 1 になります）

SPCR.SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPCR.SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.CENDF、SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグの値は初期化されません。また、SPDCR2.SPECM[2:0]ビットと SPDCR2.SPCP[2:0]ビットの値も初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時の通信完了状況とエラー発生状況を確認できます。

送信バッファは空の状態に初期化されます（SPSR.SPTEF フラグが 1 になります）。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPCR.SPE ビットへの 0 書き込みと同時に SPCR.SPTIE ビットにも 0 を書き込んでください。

43.3.11.2　システムリセットによる初期化

システムリセットでは、「43.3.11.1. SPCR.SPE ビットのクリアによる初期化」に記載の要件に加え、SPI 制御用ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

43.3.12 SPI 動作

43.3.12.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の有無のみです（「43.3.10. エラー検出」を参照）。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル／マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

送信 FIFO で次転送のデータがセットされていない状態で、SPI データレジスタ (SPDR) へデータを書き込むと、SPI は SPDR レジスタで送信バッファ (SPTXn, n = 0～3) のデータを更新します。SPDCR.SPFC[1:0]ビットで設定したフレーム数分のデータを SPDR レジスタへ書き込んだ後、シフトレジスタがエンプティの場合は、SPI はデータを送信バッファからシフトレジスタにコピーしてシリアル転送を開始します。SPI はシフトレジスタに送信データをコピーすると、シフトレジスタのステータスをフルに変更します。シリアル転送が終了すると、シフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SPCR3.SSLnP（n = 0～3）ビットの設定に依存します。SPI の転送フォーマットの詳細については、「43.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

[マスタモード時の受信のみを除く]

SPI コマンドレジスタ (SPCMD) の CPHA ビット値にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出すると、シリアル転送を終了します。受信 FIFO に格納されたデータ数が FIFO 段数より小さい場合には、シリアル転送終了後に、シフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータがコピーされます。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[4:0]ビットの設定に依存します。SSLni 出力端子の極性は、SPCR3.SSLnP（n = 0～3）ビットの設定に依存します。SPI の転送フォーマットの詳細については、「43.3.5. 転送フォーマット」を参照してください。

[マスタモード時の受信のみ]

以下の 2 つの条件のいずれかが満たされた場合、SPI はシリアル転送を終了します。

- SPI コマンドレジスタ (SPCMD) の CPHA ビット値にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出すると、シリアル転送を終了します。
- シリアル転送期間中に SPCR2.RMEDTG = 1 を書き込むと、SPI はシリアル転送を終了します。

受信 FIFO に格納されたデータ数が FIFO 段数より小さい場合には、シリアル転送終了後に、シフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータがコピーされます。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPI コマンドレジスタ (SPCMD) の SPB[4:0]ビットの設定値で決まります。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。SPI の転送フォーマットの詳細については、「43.3.5. 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、次のように決定されます。

マスタモード時の転送フォーマットは、SPCR3 レジスタ、SPCMDm レジスタ、および SPDECR レジスタによって決定されます。

SPCR3.SPSLN[2:0]ビットは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部

- RSPCKn 極性と位相
- SPDECR.SCKDL の参照要否
- SPDECR.SLNDL の参照要否
- SPDECR.SPNDL の参照要否

SPCR3.SPBR は、SPDECR.SCKDL（SPI クロック遅延）、SPDECR.SLNDL（SSL ネゲート遅延）、SPDECR.SPNDL（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPCR3.SPSLN に設定されたシーケンス長に従って、SPCMDm レジスタの一部または全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPDCR2.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

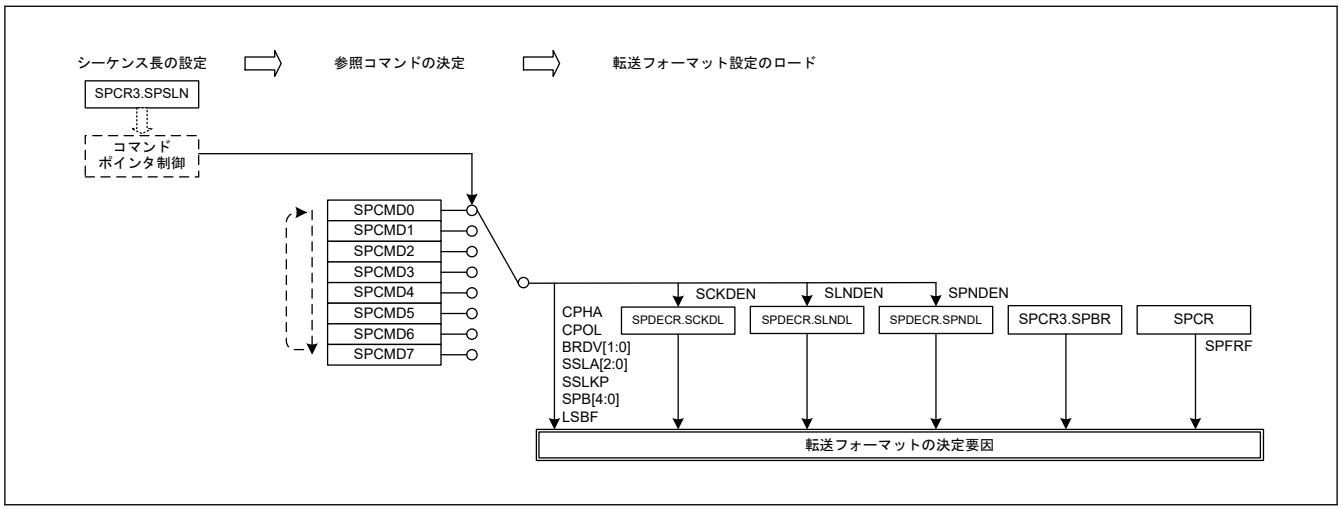


図 43.54　マスタモードでのシリアル転送方式の決定方法

ここでは、SPDR にあるデータと SPCMDm にある設定を合わせてフレームとします。

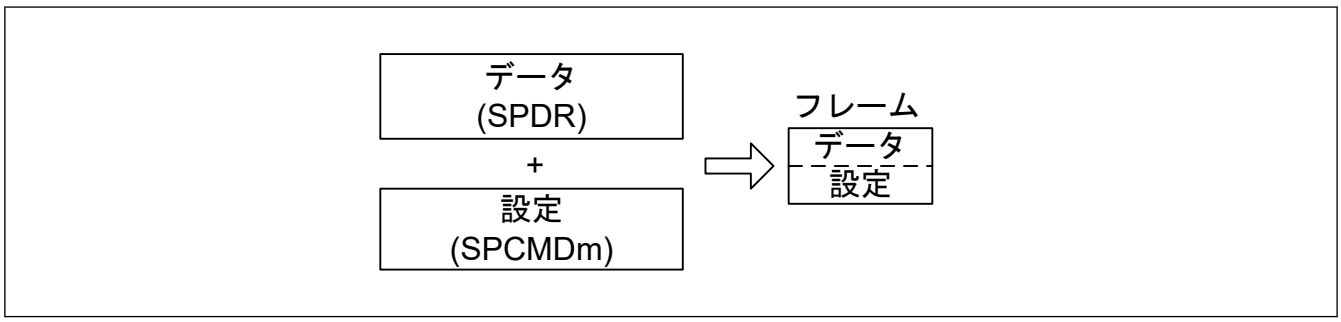


図 43.55　フレームの概念図

設定で指定したシーケンス動作におけるコマンドと送信バッファ／受信バッファの対応関係を図 43.56 に示します。

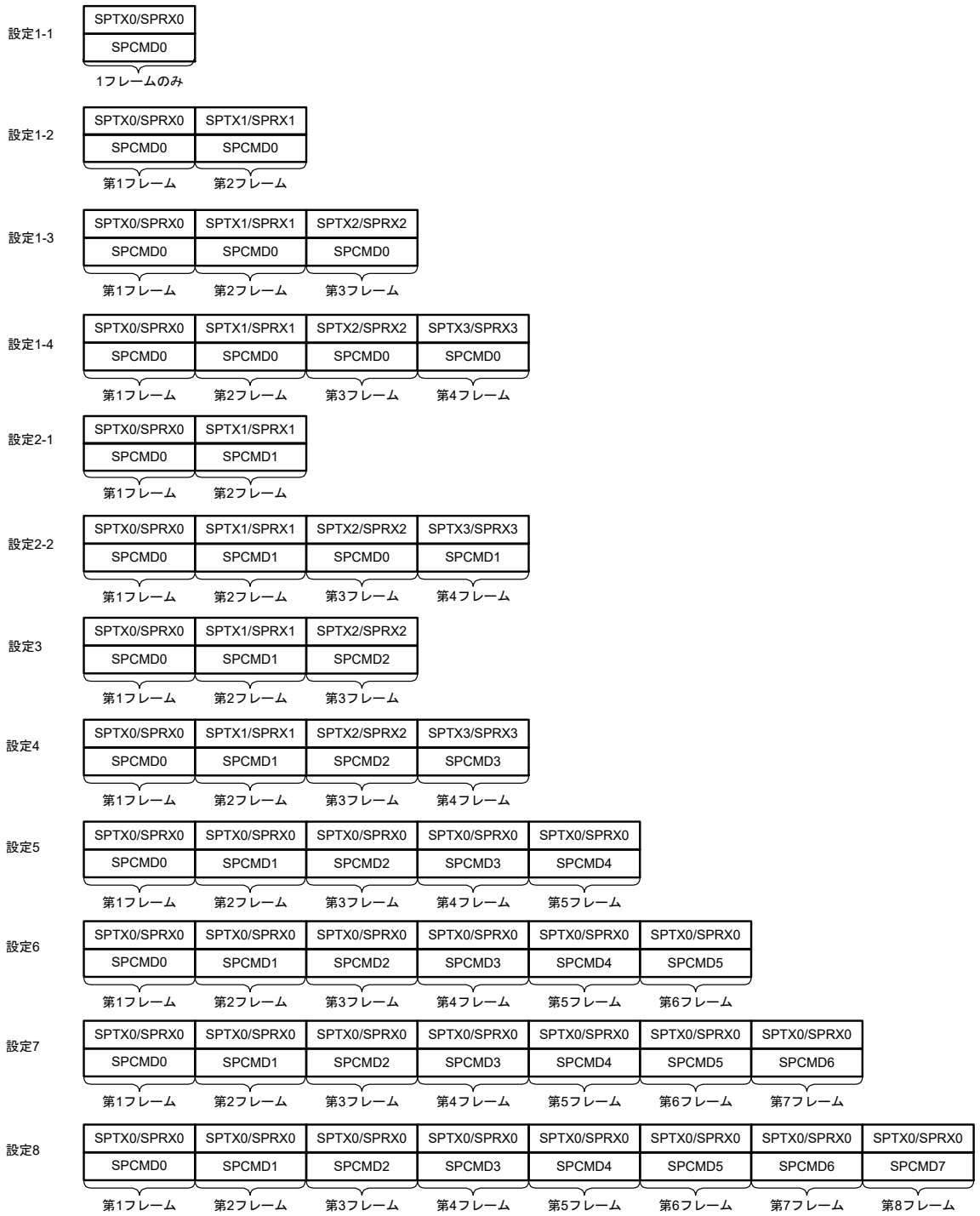


図 43.56　シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4)　バースト転送

ここでは、送受信動作中／送信のみ動作中のバースト転送について説明します。

［Motorola-SPI の場合］

SPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが 1 の場合には、SPI はシリアル転送中の SSLni 信号レベルを次のシリアル転送の SSLni 信号のアサート開始まで保持します。次のシリアル転送での

SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号のアサート状態を保持したまま連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 0 の場合

図 43.57 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 43.57 に示す (1)～(8) の SPI 動作内容について説明します。

注. SSLni 出力信号尾の極性は、SPCR3.SSLnP（n = 0～3）ビットの設定に依存します。

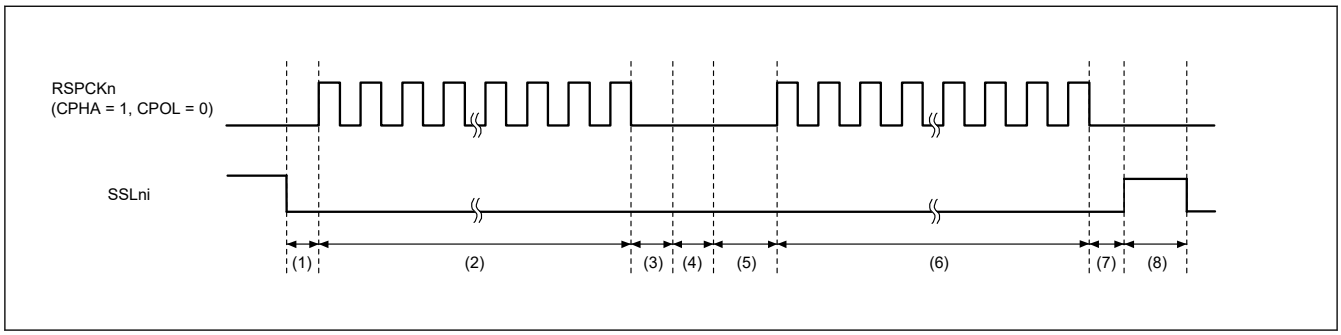


図 43.57 SSLKP ビット (BFDS = 0, SPFRF = 0) を使用したバースト転送の動作例

図中の (1)～(8) に示したタイミングでの SPI の動作は以下のとおりです。

1. SPI は、SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
2. SPI は、SPCMD0 レジスタの設定値に従ったシリアル転送を実行します。
3. SPI は、SSL ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPI は SPCMD0 レジスタで指定した SSLni 信号値を保持します。この期間は、さらに 5 TCLK サイクル以上（SPCMD0 の次アクセス遅延時間と同じ時間）継続します。最短期間が経過してもシフトレジスタが空の場合は、次転送のための送信データがシフトレジスタに格納されるまで、この期間は継続します。
5. SPI は、SPCMD1 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
6. SPI は、SPCMD1 レジスタの設定値に従ったシリアル転送を実行します。
7. SPI は、SSL ネゲート遅延を挿入します。
8. SPCMD1.SSLKP ビットが 0 であるため、SPI は SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを 1 にした SPCMDm レジスタでの SSLni 端子の信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 端子の信号出力設定が異なる場合、SPI は図 43.57 の (5) で示すように、SSLni 信号状態を SSLni 信号のアサートに切り替えます。この SSLni 信号は次転送のコマンドに対応しています。

注. このような SSLni 信号の切り替えが発生した場合、MISOn 信号をドライブするスレーブが競合して信号レベルの衝突が発生することがあります。

マスタモードの SPI は、SPCMDm.SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが 0 であると、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 1 の場合

図 43.58 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 43.58 に示す (1)～(6) の SPI の動作内容について説明します。SSLni 出力信号の極性は、SPCR3.SSLnP (n = 0～3) ビットの設定値で決まります。

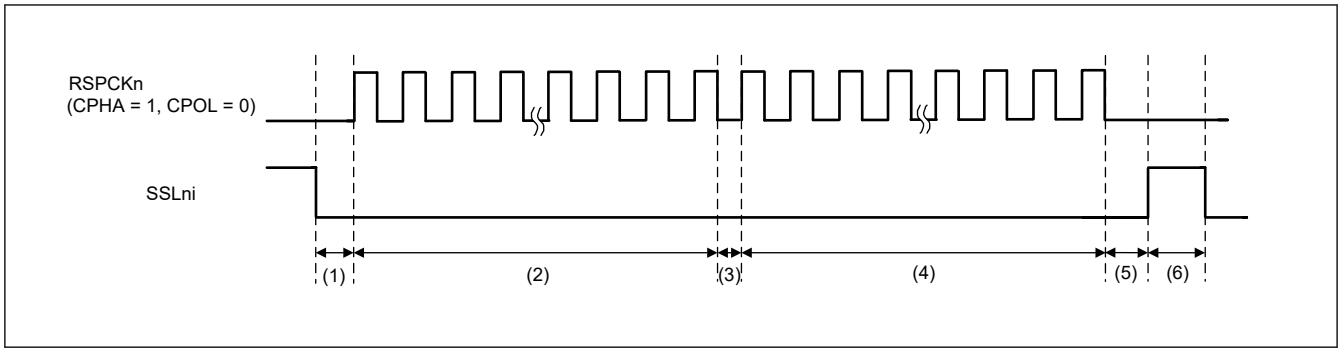


図 43.58　SSLKP ビットを利用したバースト転送の動作例 (BFDS = 1, SPFRF = 0)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。フレーム間の RSPCK ネゲート期間中にシフトレジスタがエンプティの場合は、次の送信データがシフトレジスタに格納されるまで、最後のクロックを待ちます。
3. SPCMD0.SSLKP ビットが 1 であるため、SPCMD0 レジスタで指定した SSLni 端子の信号値を保持します。シフトレジスタがエンプティではない場合、フレーム間の RSPCK ネゲート期間は 0.5 RSPCK です。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. 最後のフレームに対して SSLni ネゲート遅延を挿入します。
6. SPCMD1.SSLKP ビットが 0 であるため、SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

［TI-SSP の場合］

SPI は、シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートします。

次シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートして連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コマンドレジスタ (SPCMD) の SSLni 信号レベル保持ビット (SSLKP) が 1 で、SPI コントロールレジスタ (SPCR) のバースト転送フレーム遅延選択ビット (BFDS) が 1 のときの SPCMD0～SPCMD1 を図 43.59 に示します。設定によりバースト転送を実現した場合の SSLni 信号動作とシリアルデータ MISOn/MOSIn の例を以下に示します。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

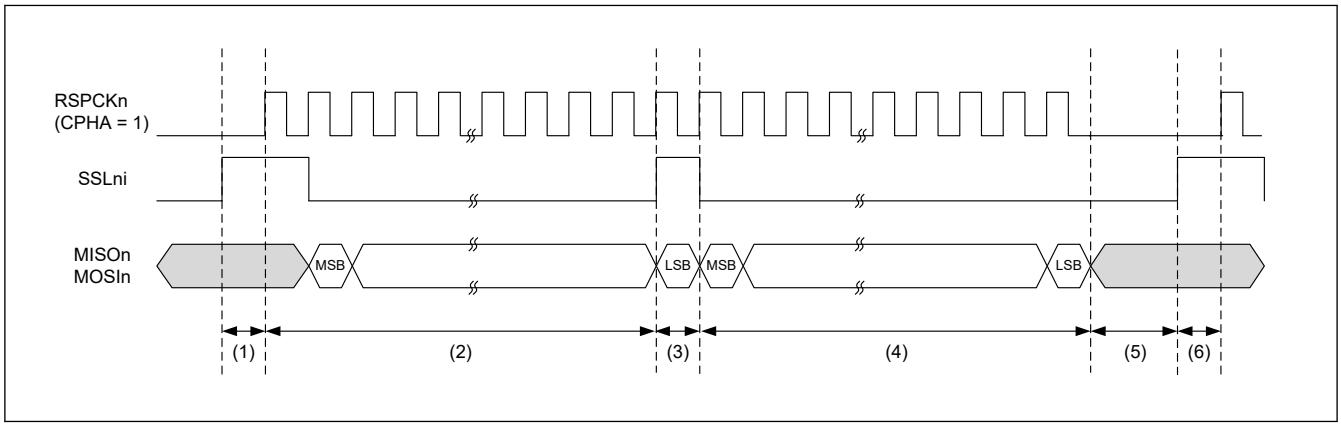


図 43.59　バースト転送の動作例 (SPFRF = 1)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
   RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。

3. 最終データ転送と SSLni アサートは同時に実行されます。フレーム間の RSPCK ネゲート期間にシフトレジスタがエンプティの場合、次転送の送信データがシフトレジスタに格納されるまで最終クロックの出力を待ちます。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. SPI は、最後のフレームに対して OE ネゲート遅延を挿入します。
6. SPI は、SPCMD1 レジスタの設定に従って次アクセス遅延を挿入します。

SSLKP ビットを 1 にした SPCMD での SSLni 端子の信号出力設定と、次転送で使用する SPCMD での SSLni 端子の信号出力設定が異なる場合、次転送コマンドに対応する SSLni 信号がアサートされると、SPI は SSLni 信号の状態を変更します ((5))。このような SSLni 信号の変更が発生すると、MISOn 信号をドライブするスレーブどうしが競合して、信号レベルの衝突が発生する可能性があることに注意してください。

ここでは、受信のみ動作中のバースト転送について説明します。

［Motorola-SPI の場合］

SPI が現在のシリアル転送で参照している SPI コマンドレジスタ (SPCMD) の SSLKP ビットが 1 のとき、SPI は次のシリアル転送の SSLni 信号のアサートが開始されるまで、シリアル転送中の SSLni 信号レベルを保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号のアサート状態を保持したまま連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 0 の場合

図 43.60 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 43.60 に示す (1)～(8) の SPI 動作内容について説明します。SSLni 出力信号の極性は、SPI SSLni 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

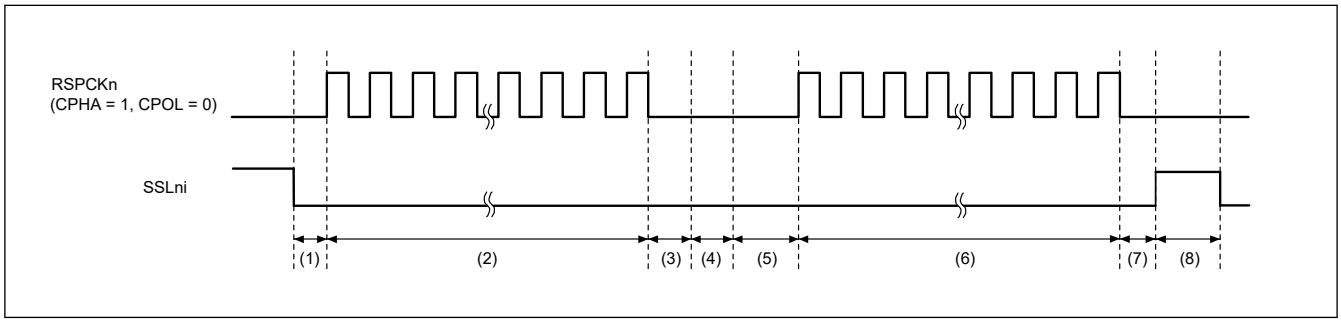


図 43.60 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 0, SPFRF = 0)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。
3. SSLni ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPCMD0 の SSLni 信号値を保持します。この期間は、さらに 5 TCLK サイクル以上（SPCMD0 の次アクセス遅延時間と同じ時間）継続します。
5. SPCMD1 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
6. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
7. SSLni ネゲート遅延を挿入します。
8. SPCMD1.SSLKP ビットが 0 であるため、SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLni 端子の信号出力設定と、バースト転送で使用する SPCMD 間の SSLni 端子の信号出力設定が異なる場合、次転送コマンドに対応する SSLni 信号がアサートされると、SPI は SSLni 信号の状態を切り替えます (5)。このような SSLni 信号の変更が発生すると、MISOn 信号をドライブするスレーブどうしが競合して、信号レベルの衝突が発生する可能性があることに注意してください。

マスタモードの SPI は、SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュールで参照しています。

SPCMD の CPHA ビットが 0 の場合でも、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードでのバースト転送は、CPHA ビットの設定値にかかわらず有効です。(「43.3.11. SPI の初期化」を参照してください)。

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 1 の場合

図 43.61 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 43.61 に示す (1)～(6) の SPI 動作内容について説明します。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

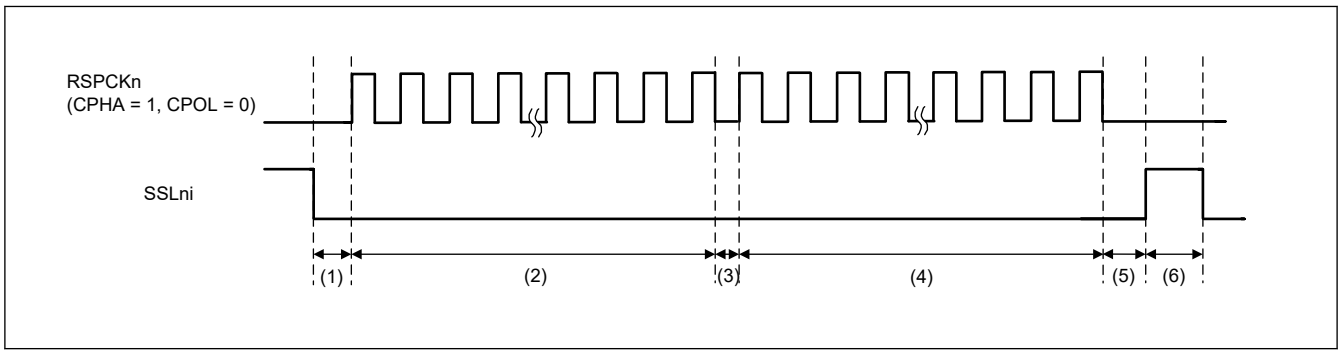


図 43.61 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 1, SPFRF = 0)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
   RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。
3. 最終フレームではないため、SPCMD0 の SSLni 信号値は保持されます。次フレームでは、フレーム間の RSPCKn ネゲートは 0.5 RSPCKn です。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. 最後のフレームに対して SSLni ネゲート遅延を挿入します。
6. SSLni 信号はネゲートされます。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

注. 最終フレーム：SPCR2.RMFM[4:0] ≠ 0x00 のときに RMFM[4:0]ビットで設定したフレーム
または、SPCR2.RMEDTG = 1 が受け付けられたフレーム

［TI-SSP の場合］

SPI は、シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートします。

次シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートして連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コマンドレジスタ (SPCMD) の SSLni 信号レベル保持ビット (SSLKP) が 1 で、SPI コントロールレジスタ (SPCR) のバースト転送フレーム遅延選択ビット (BFDS) が 1 のときの SPCMD0～SPCMD1 を図 43.62 に示します。設定によりバースト転送を実現した場合の SSLni 信号動作とシリアルデータ MISOn/MOSIn の例を以下に示します。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

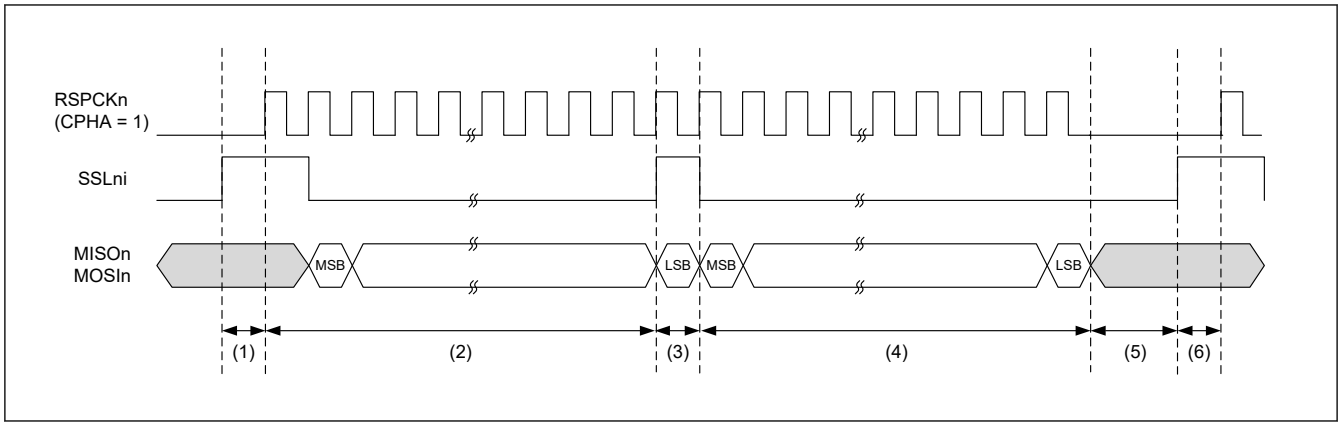


図 43.62　バースト転送の動作例 (SPFRF = 1)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
   RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。
3. 最終データ転送と SSLni アサートは同時に実行されます。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. SPI は、最後のフレームに対して OE ネゲート遅延を挿入します。
6. SPI は、SPCMD1 レジスタの設定に従って次アクセス遅延を挿入します。

注.　最終フレーム：SPCR2.RMFM[4:0] ≠ 0x00 のときに RMFM[4:0]ビットで設定したフレーム
または、SPCR2.RMEDTG = 1 が受け付けられたフレーム

バースト転送で使用する SPCMD 間の SSLni 端子の信号出力設定と、SSLni 端子の信号出力設定が異なる場合、次転送コマンドに対応する SSLni 信号がアサートされると、SPI は SSLni 信号の状態を切り替えます (5)。このような SSLni 信号の変更が発生すると、MISOn 信号をドライブするスレーブどうしが競合して、信号レベルの衝突が発生する可能性があることに注意してください。

(5)　RSPCK 遅延 (t1)

マスタモードでの SPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPDECR.SCKDL[2:0]ビットの設定に依存します。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SCKDEN ビットと SPDECR.SCKDL[2:0]ビットを使用して、表 43.10 に示すように RSPCK 遅延を決定します。RSPCK 遅延の定義については、「43.3.5. 転送フォーマット」を参照してください。

“バースト転送フレーム間遅延”なしで送信する場合、RSPCK 遅延はバースト転送の最初のフレームにのみ挿入されます。(SPCMD.SSLKP ビットは 1、および SPDR.BFDS ビットは 1)。

表 43.10　SPCMDm.SCKDEN ビット、SPDECR.SCKDL[2:0]ビット、および RSPCK 遅延の関係

SPCMDm.SCKDEN ビット	SPDECR.SCKDL[2:0]ビット	RSPCK 遅延	
		Motorola-SPI	TI-SSP
0	000b～111b	1 RSPCK	0 RSPCK
1	000b	1 RSPCK	1 RSPCK
	001b	2 RSPCK	2 RSPCK
	010b	3 RSPCK	3 RSPCK
	011b	4 RSPCK	4 RSPCK
	100b	5 RSPCK	5 RSPCK
	101b	6 RSPCK	6 RSPCK
	110b	7 RSPCK	7 RSPCK
	111b	8 RSPCK	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードでの SPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SPDECR.SLNDL[2:0]ビットの設定に依存します。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SLNDEN ビットと SPDECR.SLNDL[2:0]ビットを使用して、表 43.11 に示すように SSL ネゲート遅延を決定します。SSL ネゲート遅延の定義については、「43.3.5. 転送フォーマット」を参照してください。

SSL ネゲート遅延はバースト転送の最後のフレームのみに挿入されます。つまり、バースト転送フレーム間遅延なしで送信されます。(SPCMD.SSLKP ビットは 1、および SPDR.BFDS ビットは 1)。

表 43.11 SPCMDm.SLNDEN ビット、SPDECR.SLNDL[2:0]ビット、および SSL ネゲート遅延の関係

SPCMDm.SLNDEN ビット	SPDECR.SLNDL[2:0]ビット	SSL ネゲート遅延
0	000b～111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードでの SPI の次アクセス遅延値は、SPCMDm.SPNDEN ビットの設定と SPDECR.SPNDL[2:0]ビットの設定に依存します。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SPNDEN ビットと SPDECR.SPNDL[2:0]ビットを使用して、表 43.12 に示すようにシリアル転送中の次アクセス遅延を決定します。次アクセス遅延の定義については、「43.3.5. 転送フォーマット」を参照してください。

次アクセス遅延はバースト転送の最後のフレームのみに挿入されます。つまり、バースト転送フレーム間遅延なしで送信されます（SPCMD.SSLKP ビットは 1、および SPDR.BFDS ビットは 1)。

表 43.12 SPCMDm.SPNDEN ビット、SPDECR.SPNDL[2:0]ビット、および次アクセス遅延の関係

SPCMDm.SPNDEN ビット	SPDECR.SPNDL[2:0]ビット	次アクセス遅延
0	000b～111b	1 RSPCK + 5 TCLK
1	000b	1 RSPCK + 5 TCLK
	001b	2 RSPCK + 5 TCLK
	010b	3 RSPCK + 5 TCLK
	011b	4 RSPCK + 5 TCLK
	100b	5 RSPCK + 5 TCLK
	101b	6 RSPCK + 5 TCLK
	110b	7 RSPCK + 5 TCLK
	111b	8 RSPCK + 5 TCLK

(8) 初期化フロー

図 43.63 に、SPI をマスタモードで使用する場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット (ICU)、DMAC/DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

注 1. SPI コントロールレジスタ (SPCR) の設定については、設定 (1)（MSTR ビット以外の初期設定）と設定 (2)（MSTR の設定）の間に 1TCLK の間隔を空けてください。

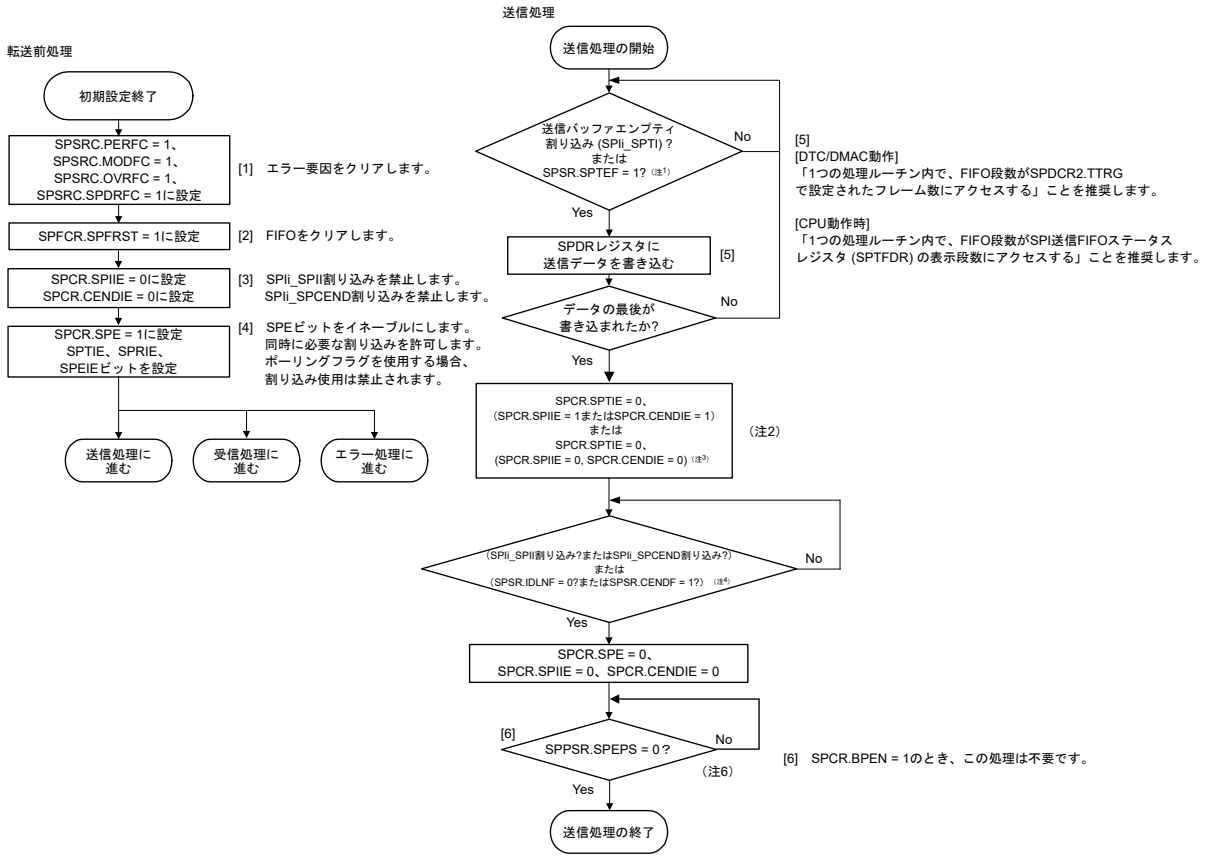
図 43.63 マスタモード時の SPI 動作の初期化フロー例

(9) ソフトウェア処理フロー

図 43.64 ～図 43.67 にソフトウェア処理フローの例を示します。

送信処理フロー

データの送信時、SPIi_SPII 割り込みまたは SPIi_SPCEND 割り込みが許可されていれば、最終データの書き込み後にデータ送信完了を CPU に通知します。



注 1. ポーリング用のフラグを使用する場合は、SPSR.SPTEF フラグが 1 であることを読み出した後、送信用データの書き込み処理に進んでください。

注 2. SPIi_SPII 割り込み（IDLNF フラグ）または SPIi_SPCEND 割り込み（CENDF フラグ）によって、通信の終了を知ることができます。SPIi_SPII 割り込み（IDLNF フラグ）または SPIi_SPCEND 割り込み（CENDF フラグ）を使用してください。

注 3. ポーリング用のフラグを使用する場合は、SPIi_SPII 割り込み禁止 (SPCR.SPIIE = 0) および SPIi_SPCEND 割り込み禁止 (SPCR.CENDIE = 0) を設定してください。

注 4. ポーリング用のフラグを使用する場合は、SPDR に送信データを書き込んだ後、SPSR.IDLNF または SPSR.CENDF のポーリングを開始する前に、1 PCLK 以上待ってください。

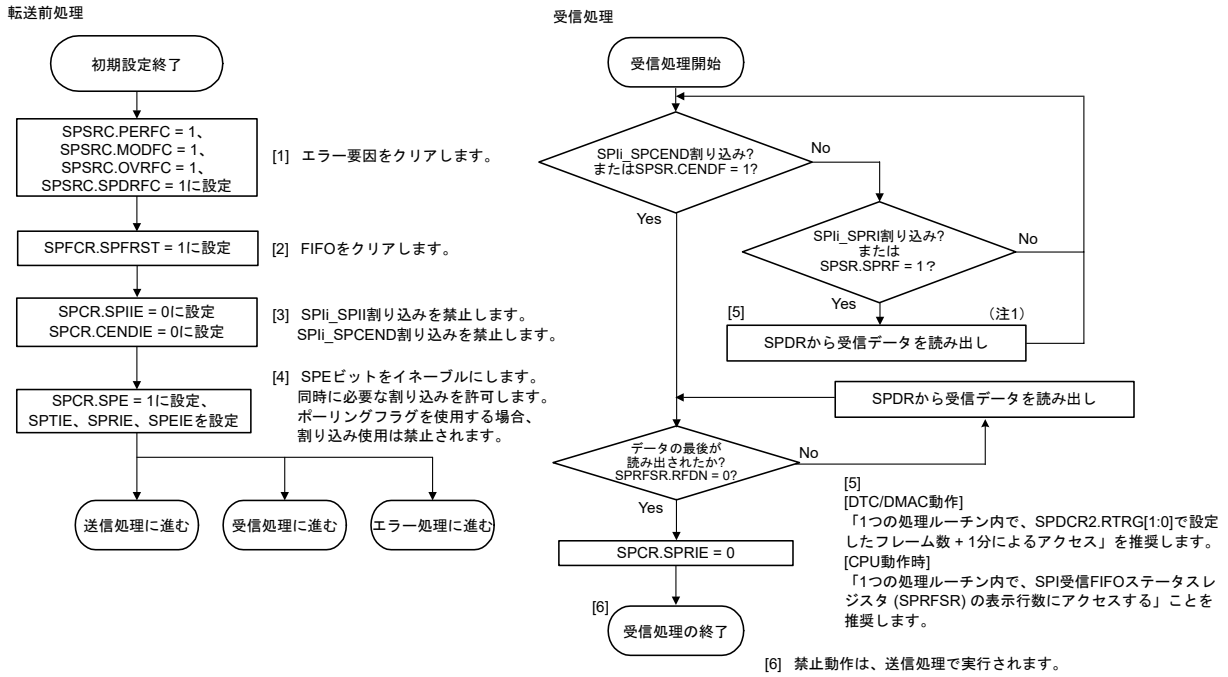
注 5. CPU 動作中、1 つの処理ルーチンの後に SPI 送信バッファエンプティフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

注 6. スレーブモードでは 0 になっていて、SPCR.BPEN = 0 のとき、SPPSR.SPEPS が 0 になっていることを確認してください。（BPEN = 1 のときは不要です）。

図 43.64　マスタモードでの送信フロー

受信処理フロー

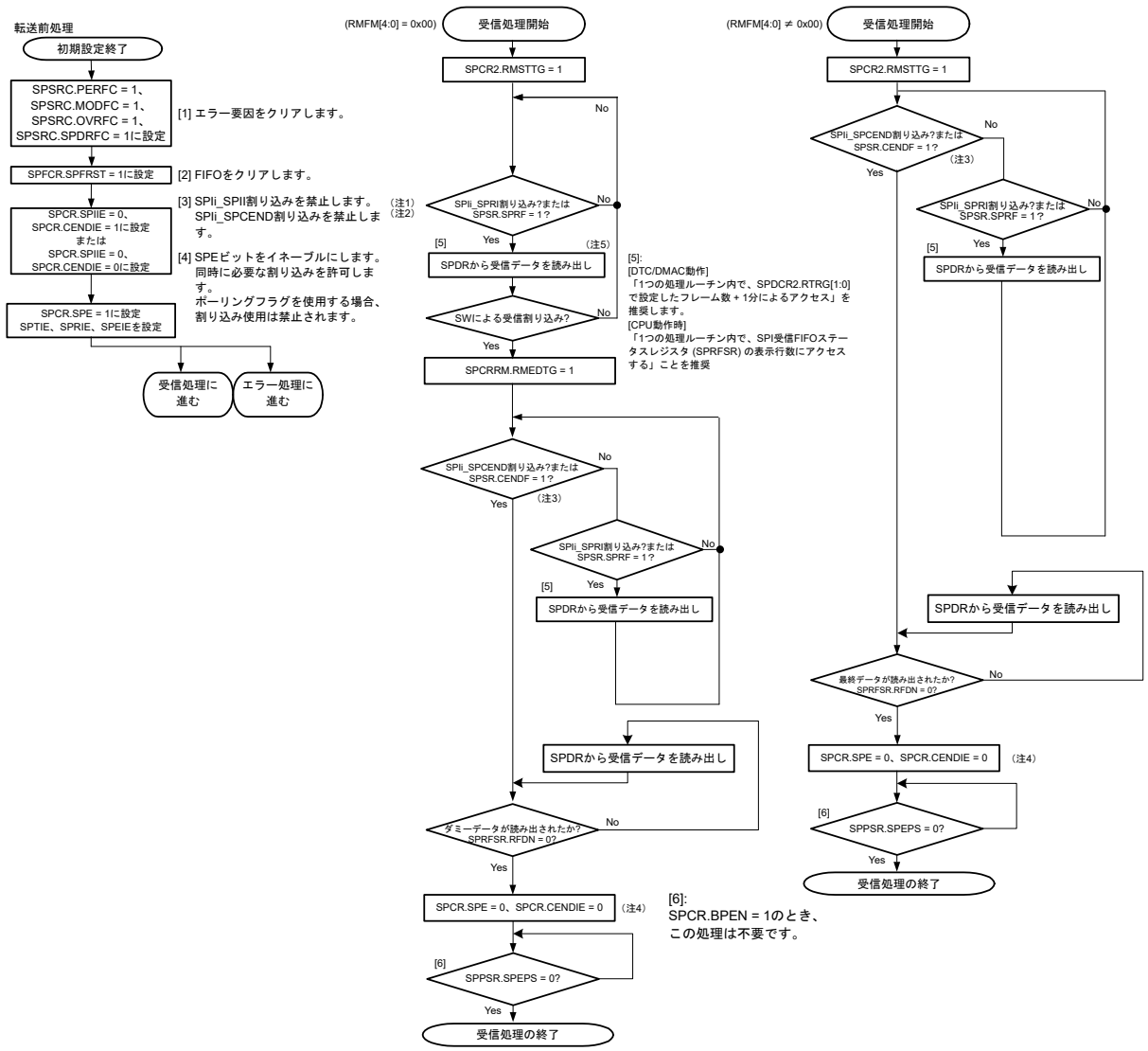
SPI には、スレーブモードでの受信のみの動作があります。



注 1. CPU 動作中、1 つの処理ルーチンの後に SPSRC.SPRFC ビット（SPI 受信バッファフルフラグのクリアビット）に 1 を書き込んでください。

図 43.65 マスタモードでの受信手順

マスタモードでの受信専用処理手順



注 1. 通信の終了は、SPIi_SPCEND 割り込み（CENDF フラグ）で判定できます。SPIi_SPCEND 割り込み（CENDF フラグ）を使用してください。
注 2. フラグポーリング中の SPIi_SPCEND 割り込みを禁止してください (SPCR.CENDIE = 0)。
注 3. 受信のみ動作（マスタ）時の通信完了割り込みは、以下のいずれかの条件で一定のタイミングで発生します。
- RMFM で設定したフレーム数の処理が完了したとき (RMFM[4:0] ≠ 0x00)
- RMEDTG = 1 で、RMFM で設定したフレーム数の処理が完了していないとき（RMFM[4:0] = 0x00 を含む）

注 4. 内部トリガもクリアされます。
注 5. CPU 動作中、1 つの処理ルーチンの後に SPI 受信バッファフルフラグのクリアビット (SPSRC.SPRFC) に 1 を書き込んでください。

図 43.66 マスタモード時のソフトウェア処理フローチャート（受信のみ）

エラー処理フロー

SPI は以下のエラーの検出を行います。

- モードフォルトエラー
- アンダーランエラー
- オーバーランエラー
- パリティエラー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送受信動作を停止させます。その他のエラー要因では、SPCR.SPE ビットはクリアされず、送受信動作は継続します。このため、モードフォルトエラー以外のエラーの場合、SPCR.SPE ビットをクリアして動作を停止することを推奨します。そのようにしないと、SPDCR2.SPECM[2:0]ビットが更新されます。

割り込みによるエラー発生時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み要求 (SPIi_SPRII) が保持されていることがあります。また、SPIi_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

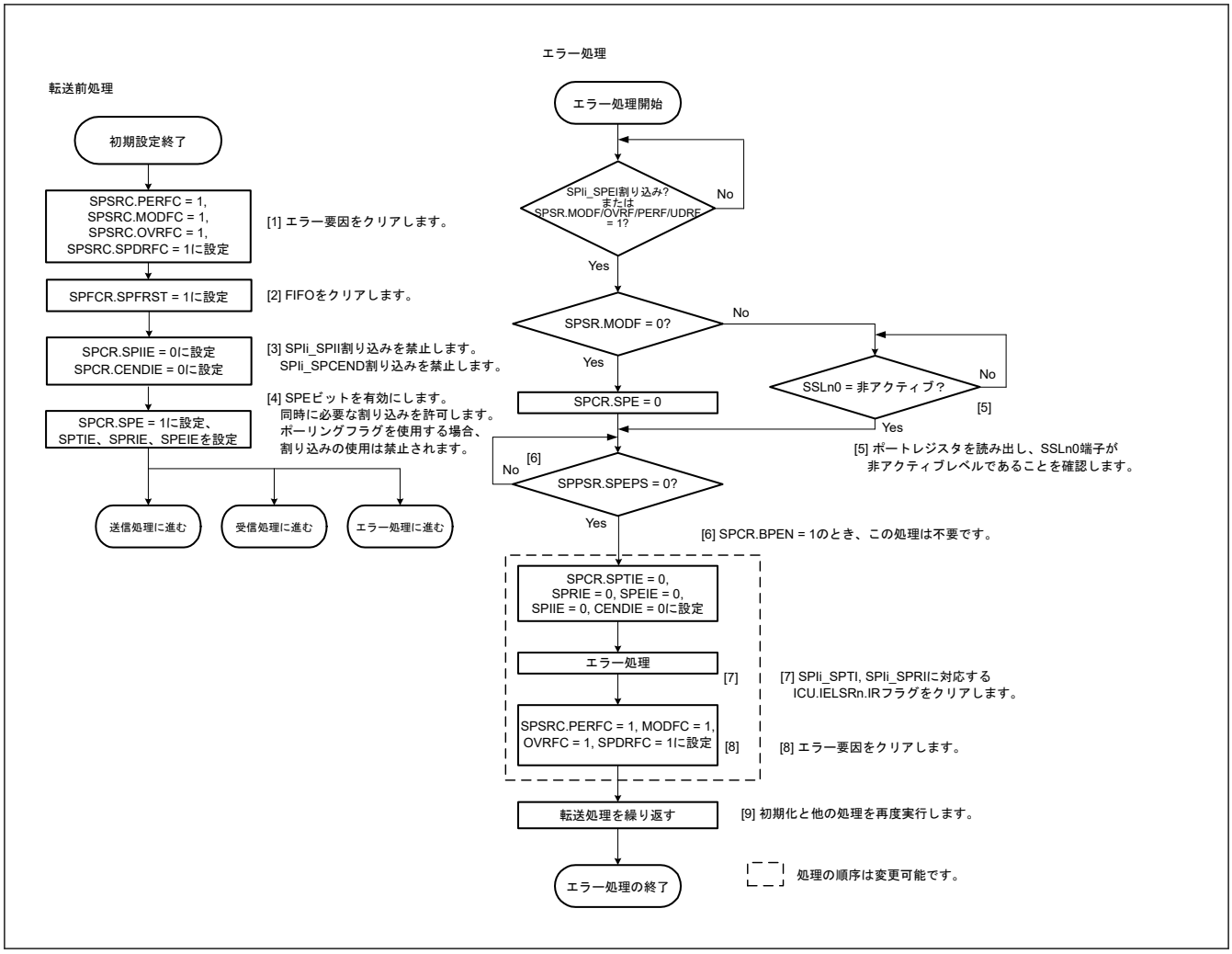


図 43.67　マスタモードでのエラー処理フロー

43.3.12.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートを検出すると、MISOn 出力信号への有効データをドライブする必要があります。このため、SPCMD0.CPHA ビットが 0 の場合には、SSLn0 端子へ入力される信号のアサートがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットが 1 の場合には、SPI は SSLn0 端子へ入力される信号のアサート状態で最初の RSPCKn エッジを検出すると、MISOn 出力信号への有効データをドライブする必要があります。SPCMD0.CPHA ビットが 1 の場合には、SSLn0 端子へ入力される信号のアサート状態における最初の RSPCKn エッジがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットの設定にかかわらず、SPI は SSLn0 端子へ入力される信号のアサート時に、MISOn 出力信号のドライブを実行します。SPCMD0.CPHA ビットの設定によって、SPI が出力するデータの有効／無効が異なります。

SPI の転送フォーマットの詳細については、「43.3.5. 転送フォーマット」を参照してください。SSLn0 端子へ入力される信号の極性は、SPCR3.SSL0P ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信 FIFO に格納されたデータの数が FIFO 段数より少ない場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 端子へ入力される信号のネゲートを検出すると、モードフォルトエラーが発生します（「43.3.10. エラー検出」を参照）。

最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[4:0]ビットの設定で決まります。SSLn0 端子へ入力される信号の極性は、SPCR3.SSL0P ビットの設定で決まります。SPI の転送フォーマットの詳細については、「43.3.5. 転送フォーマット」を参照してください。

(3) シングルスレーブ動作時の注意点

［Motorola-SPI の場合］

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートエッジを検出するとシリアル転送を開始します。図 43.8 に示す構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 端子への入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した場合、SPI はシリアル転送を正しく開始できません。SSLn0 端子への入力信号がアクティブ状態に固定された場合に、スレーブモードの SPI の送受信動作を正しく実行するには、CPHA ビットを 1 にする必要があります。CPHA ビットを 0 にする必要がある場合、SSLn0 端子への入力信号を固定しないでください。

［TI-SSP の場合］

図 43.8 に示す構成で SPI がシングルスレーブとして使用されている場合には、SSLn0 入力信号は常に非アクティブ状態に固定されるため、SPI はシリアル転送を開始できません。

シングルスレーブを使用する場合は、図 43.7 の例に示したような構成を使用してください。

(4) バースト転送

［Motorola-SPI の場合］

SPCMD0.CPHA ビットが 1 であれば、SSLn0 端子へ入力される信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。SPCMDm.CPHA ビットが 1 の場合、シリアル転送期間は、SSLn0 端子への入力信号がアクティブ状態において、最初の RSPCKn エッジから、最終ビット受信のためのサンプリングタイミングまでとなります。SSLn0 端子への入力信号がアクティブレベルのままであっても、SPI はアクセスの開始を検出できるため、バースト転送に対応できます。

SPCMD0.CPHA ビットが 0 の場合、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

［TI-SSP の場合］

シリアル転送では、SSLn0 端子への入力信号が RSPCK 1 サイクルでアサートされた後にデータ転送が開始します。フレーム転送は SSLn0 端子への入力信号から始まるため、フレーム間で SSLn0 がアサートされる必要があります。

(5) 初期化フロー

図 43.68 に、SPI がスレーブモードの場合の SPI 動作の初期化フローの例を示します。なお、ICU、DMAC、DTC および入出力ポートの設定方法については、各ブロックの説明を参照してください。

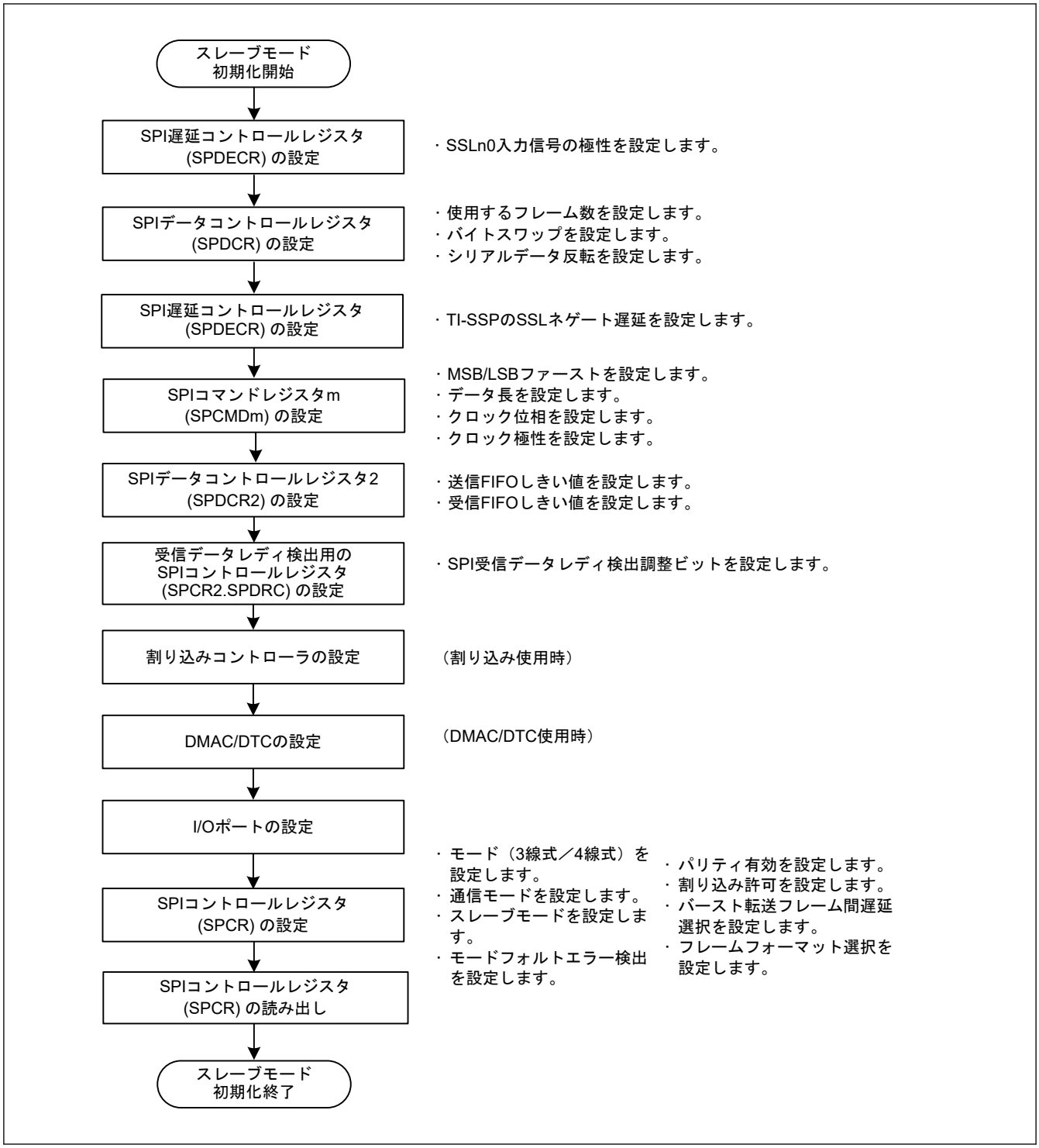
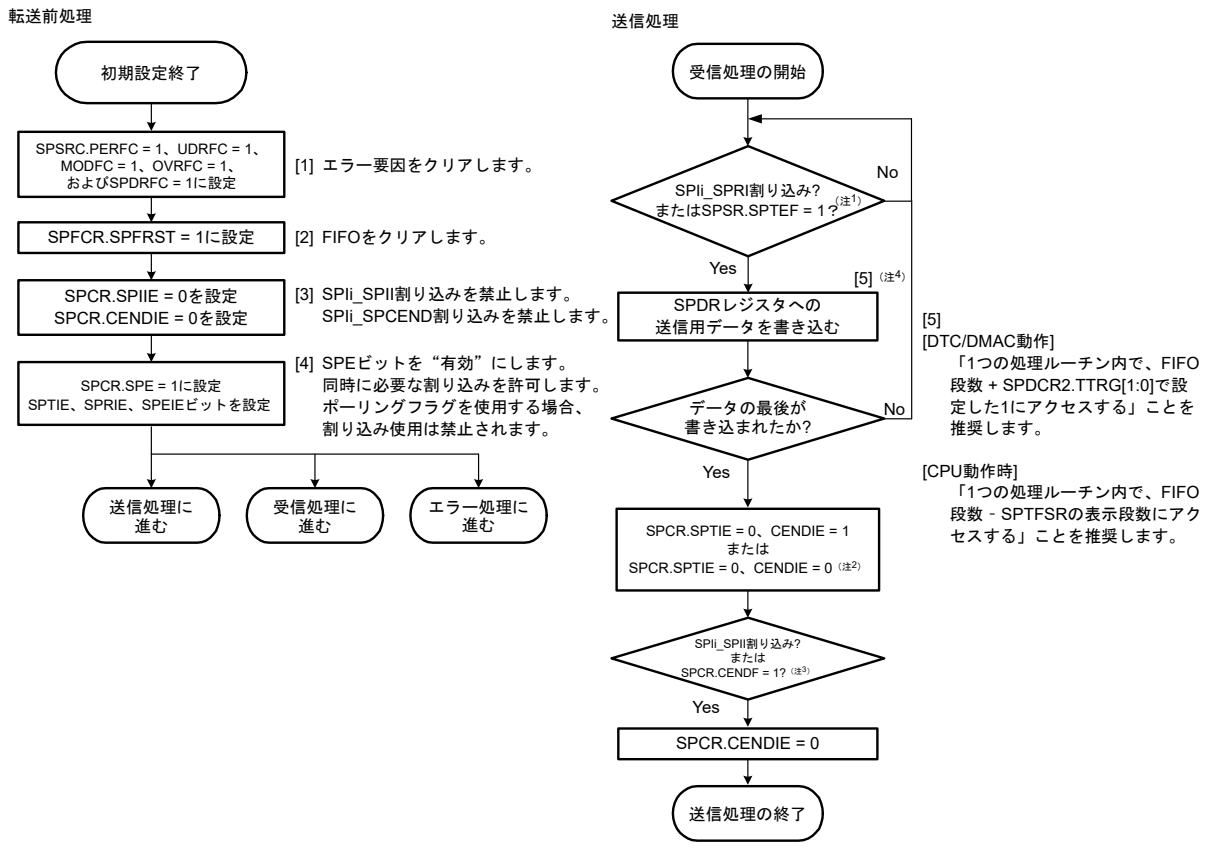


図 43.68　スレーブモード時の SPI 動作の初期化フロー例

(6)　ソフトウェア処理フロー

図 43.69～図 43.72 にソフトウェア処理フローの例を示します。

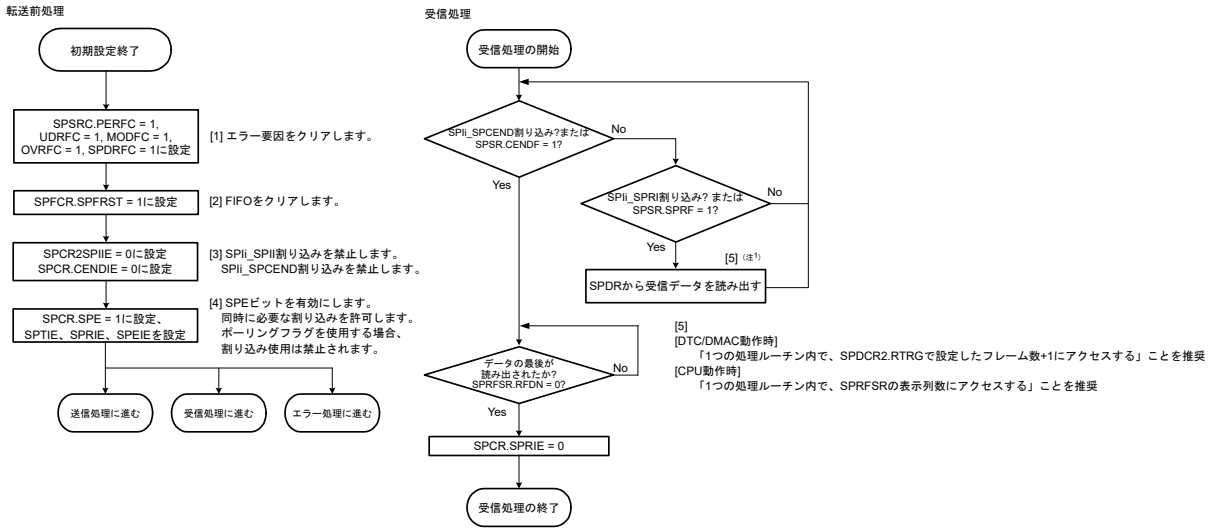
送信処理フロー



注 1. ポーリングにフラグを使用する場合、SPSR.SPTEF フラグで送信バッファが空であることを確認してから SPDR レジスタへの送信データ書き込み処理を行ってください。
注 2. ポーリング用のフラグを使用する場合は、PIi_SPCEND 割り込み禁止 (SPCR.CENDIE = 0) を設定してください。
注 3. ポーリング用のフラグを使用する場合は、SPDR に送信データを書き込んだ後、SPSR.IDLNF または SPSR.CENDF のポーリングを開始する前に、1 PCLK 以上待ってください。
注 4. CPU 動作中、1 つの処理ルーチンの後に SPI 送信バッファエンプティフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

図 43.69 スレーブモードでの送信フロー

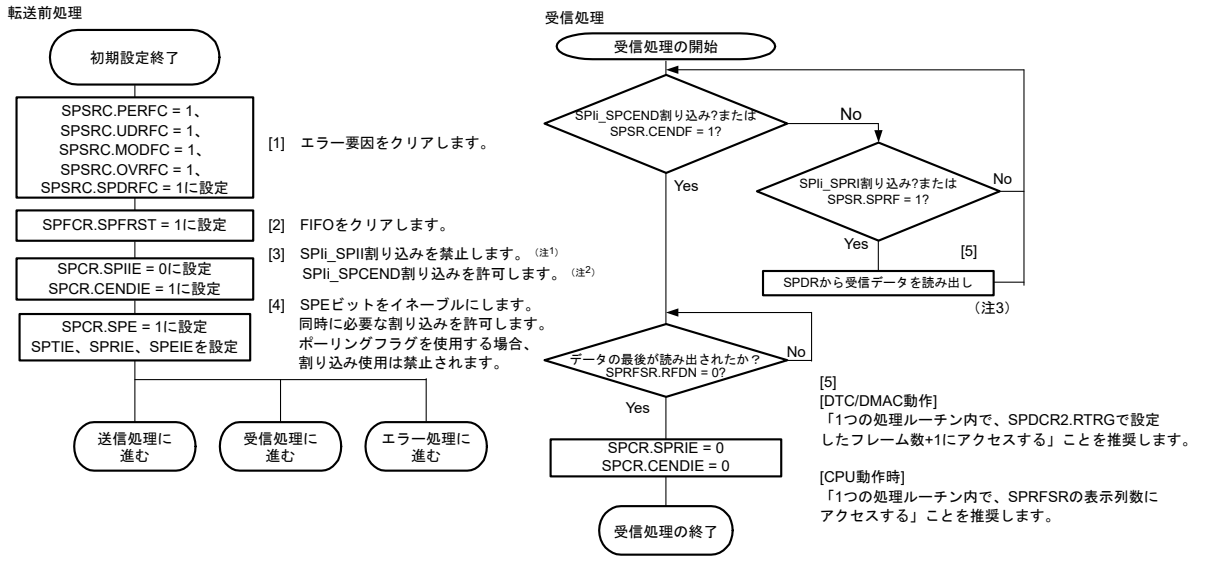
受信処理フロー



注 1. CPU 動作中、1 つの処理ルーチンの後に SPI 受信バッファフルフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

図 43.70 スレーブモードでの受信手順

マスタ受信のみ処理フロー



注 1. 通信の終了は、SPIi_SPCEND 割り込み（CENDF フラグ）で判定できます。SPIi_SPCEND 割り込み（CENDF フラグ）を使用してください。
注 2. フラグポーリング中の SPIi_SPCEND 割り込みを禁止してください (SPCR.CENDIE = 0)。
注 3. CPU 動作中、1 つの処理ルーチンの後に SPI 受信バッファフルフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

図 43.71 マスタモード時のソフトウェア処理フローチャート（受信のみ）

エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み要求 (SPIi_SPRII) が保持されていることがあります。受信バッファフル割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

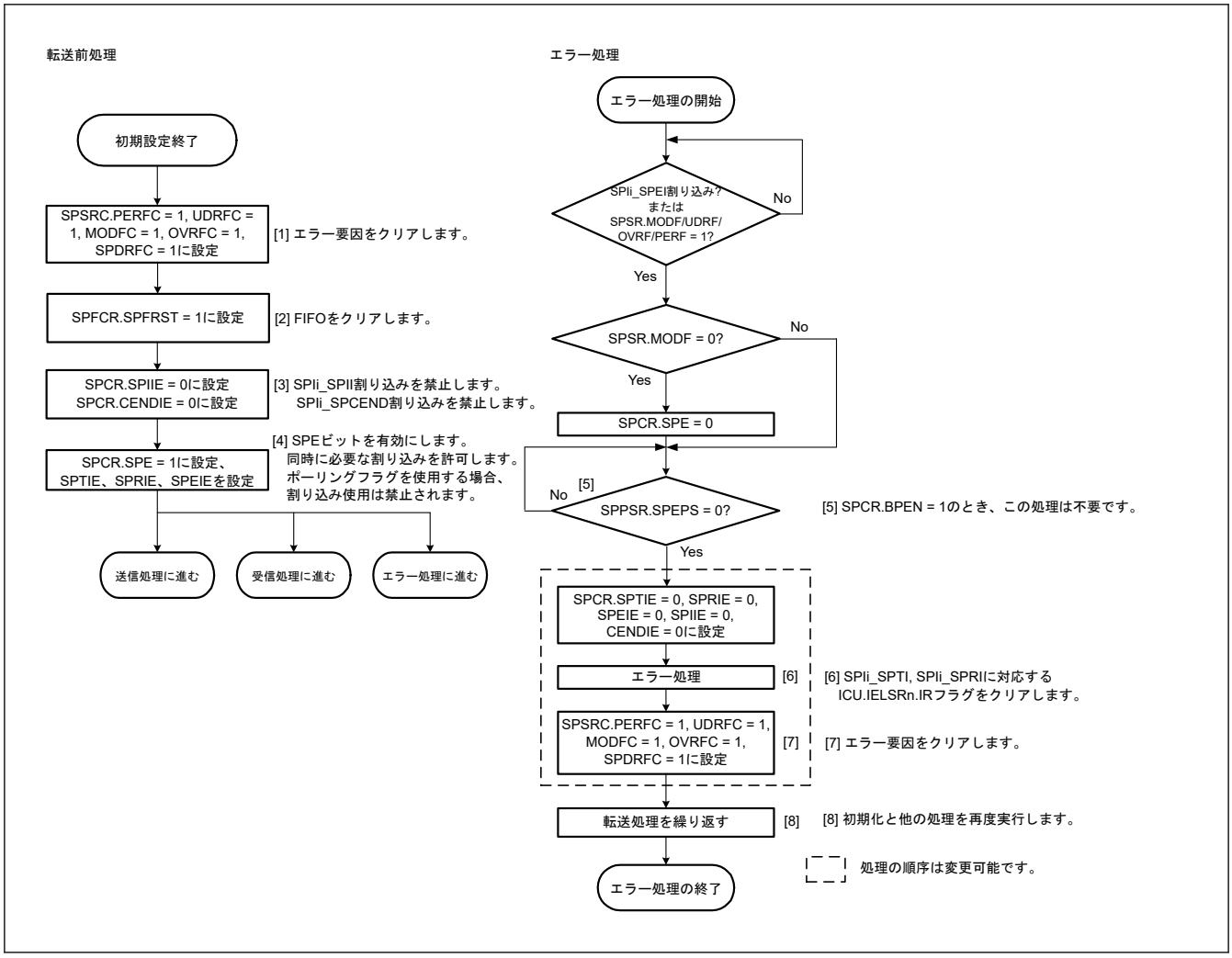


図 43.72　スレーブモードでのエラー処理フロー

43.3.13　クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISOn の 3 本の端子を用いて通信を行います。各 SSLni 端子は入出力ポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。すなわち、マスタモード動作とスレーブモード動作では、モードフォルトエラーの検出が行われないことを除いて、同様のフローで通信を行うことができます。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを 0 にした場合の動作はしないでください。

43.3.13.1　マスタモード動作

(1)　シリアル転送の開始

送信 FIFO で次転送のデータがセットされていない状態で、SPI データレジスタ (SPDR) へデータを書き込むと、SPI は SPDR レジスタで送信バッファ (SPTXn, n = 0～3) のデータを更新します。シフトレジスタがエンプティの場合、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SPI は、シフト

レジスタに送信データをコピーした後、シフトレジスタのステータスをフルに変更します。シリアル転送が終了すると、SPI はシフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを監視することはできません。

SPI の転送フォーマットの詳細については、「43.3.5. 転送フォーマット」を参照してください。ただし、クロック同期式動作では、SSLn0 出力信号は通信に使用されません。

(2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCKn エッジを送出すると、シリアル転送を終了します。受信 FIFO に格納されたデータの数が FIFO 段数より少ない場合、シリアル転送終了時に、SPI はシフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータをコピーします。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードでは、SPI のデータ長は SPCMDm.SPB[4:0]ビットの設定に依存します。クロック同期式動作時は、SSLn0 端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「43.3.5. 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPCR3 レジスタ、SPCMDm レジスタ、および SPDECR レジスタによって決定されます。クロック同期式動作時は、SSLni 端子へ信号の出力を行いませんが、これらの設定は有効です。

SPCR3.SPSLN[2:0]ビットは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。
SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB ファーストまたは LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCKn 極性と位相
- SPDECR.SCKDL の参照要否
- SPDECR.SLNDL の参照要否
- SPDECR.SPNDL の参照要否

SPCR3.SPBR は、SPDECR.SCKDL（SPI クロック遅延値）、SPDECR.SLNDL（SSL ネゲート遅延）、SPDECR.SPNDL（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPCR3 レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部または全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPDCR2.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

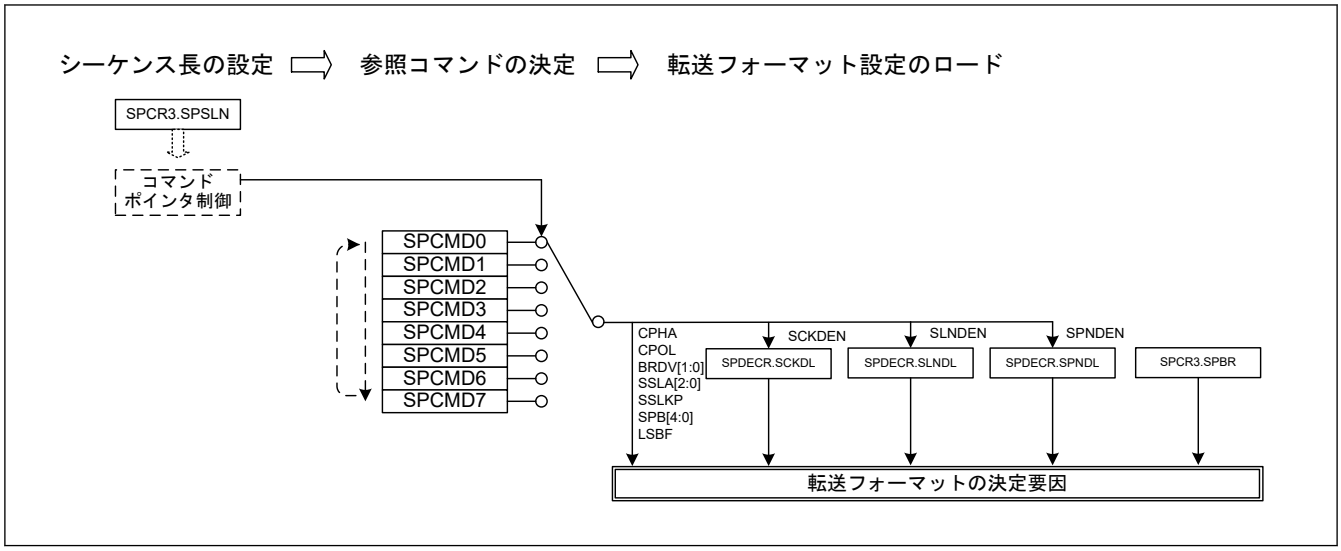


図 43.73　マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

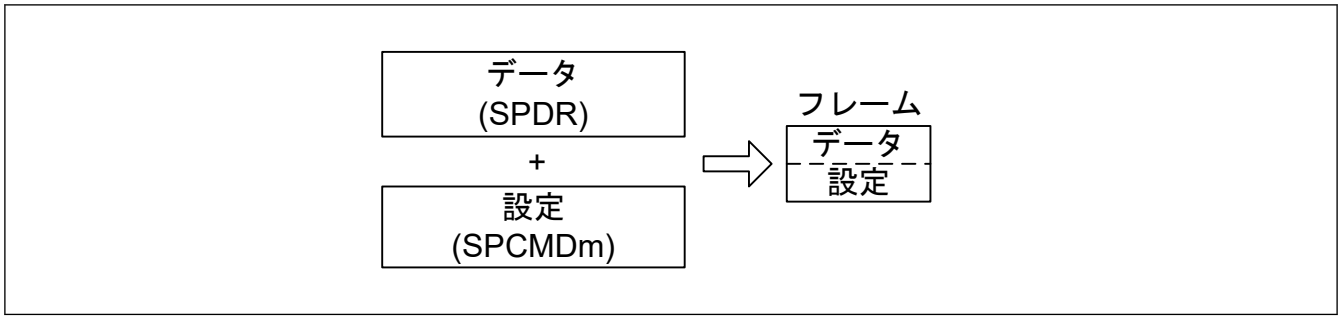


図 43.74　フレームの概念図

設定で指定したシーケンス動作におけるコマンドと送信バッファ／受信バッファの対応関係を図 43.75 に示します。

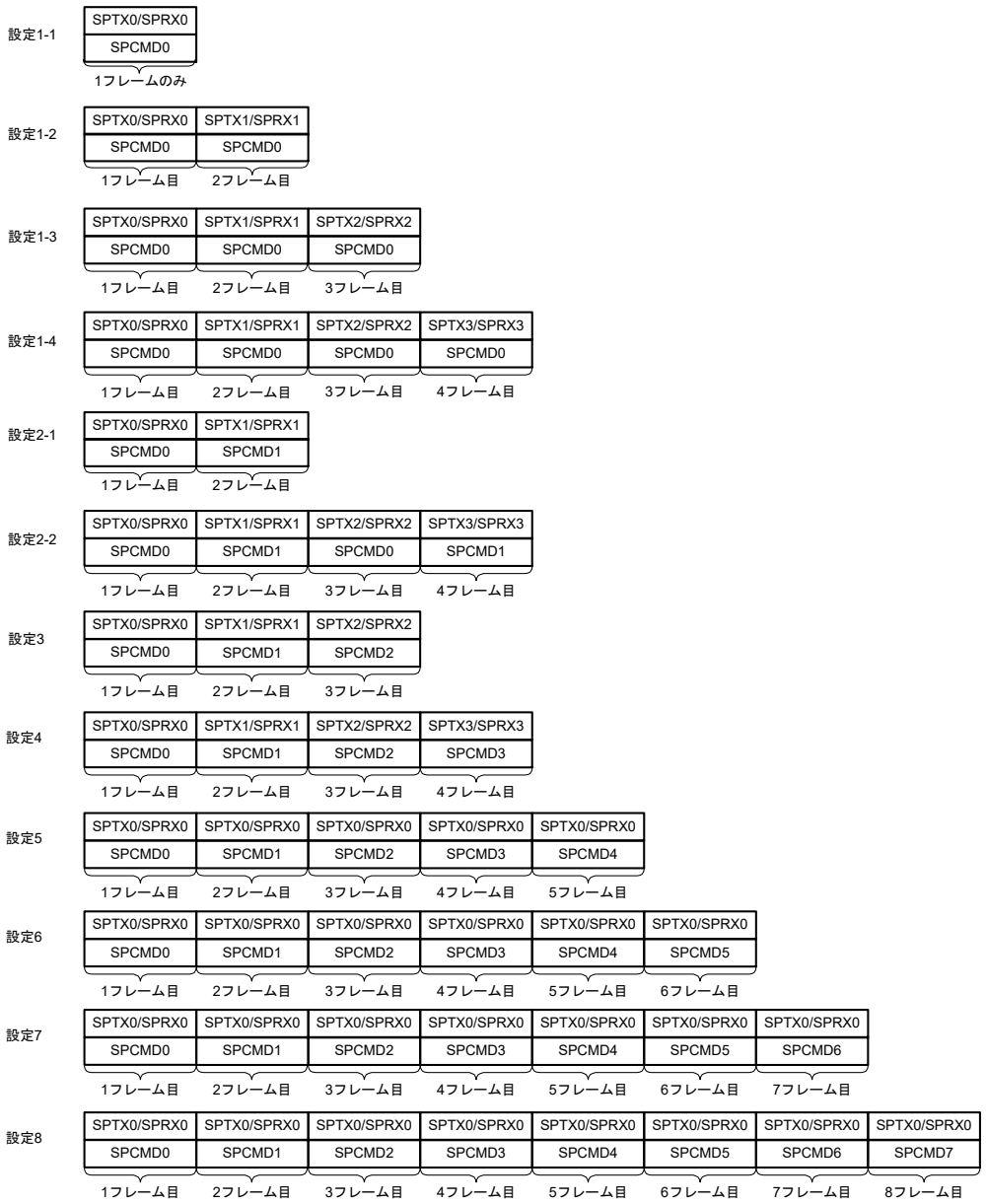


図 43.75　シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4)　初期化フロー

図 43.76 に、SPI がマスタモードである場合のクロック同期式動作の初期化フローの例を示します。ICU、DMAC、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

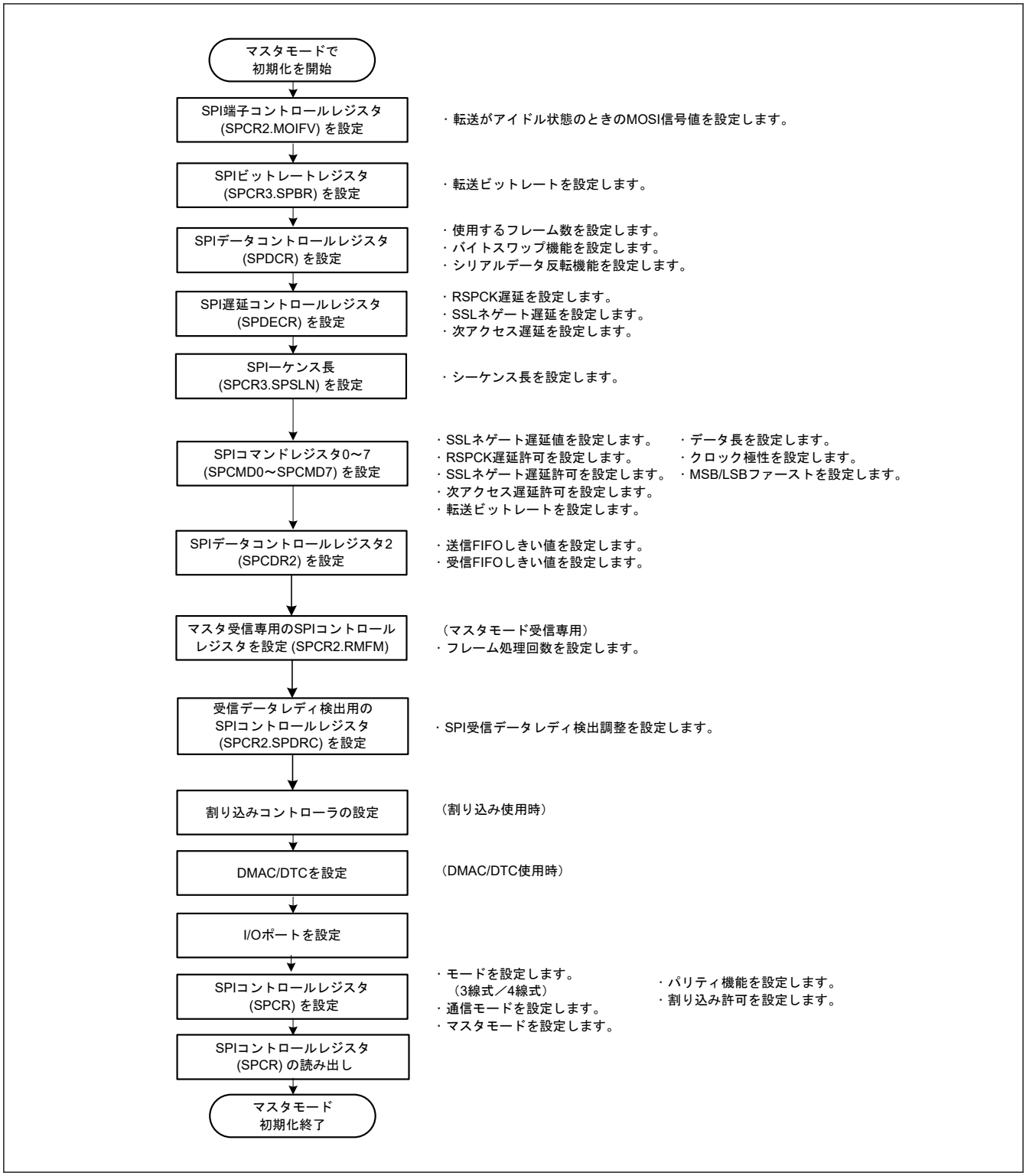


図 43.76　　マスタモード時のクロック同期式動作の初期化フロー例

(5)　ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、「43.3.12.1. マスタモード動作」を参照してください。クロック同期動作ではモードフォルトエラーは発生しません。

43.3.13.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCKn エッジが SPI のシリアル転送開始のトリガになり、SPI は MISOn 出力信号をドライブします。クロック同期式動作では SSLn0 入力信号は使用しません。SPI の転送フォーマットの詳細については、「43.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

SPI は最終のサンプリングタイミングに対応する RSPCKn エッジを検出すると、シリアル転送を終了します。受信 FIFO に格納されたデータの数が FIFO 段数より少ない場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。

最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[4:0]ビットの設定に依存します。SPI の転送フォーマットの詳細については、「43.3.5. 転送フォーマット」を参照してください。

(3) 初期化フロー

図 43.77 に、SPI がスレーブモードである場合のクロック同期式動作の初期化手順の例を示します。なお、ICU、DMAC、DTC および入出力ポートの設定方法については、各ブロックの説明を参照してください。

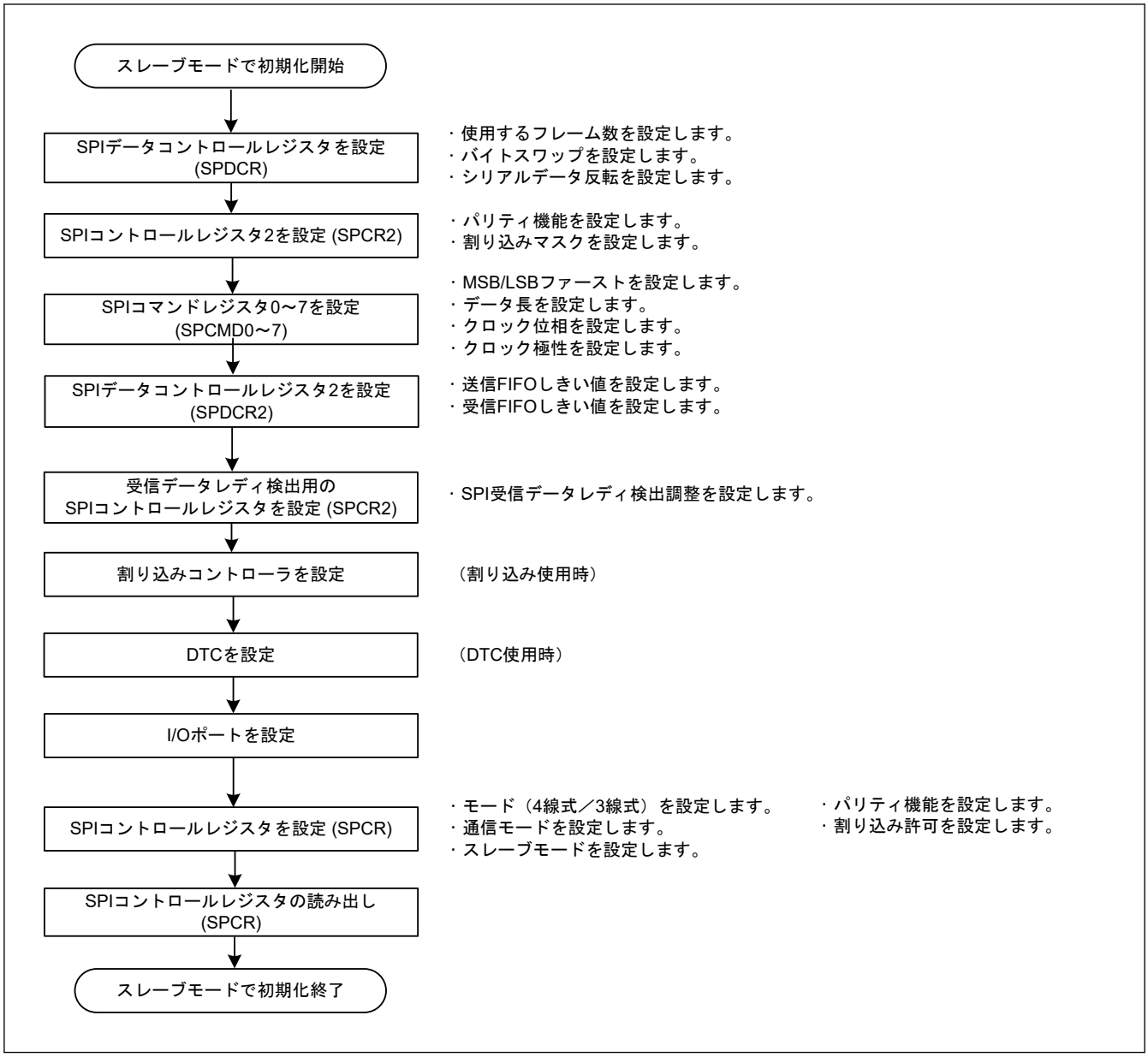


図 43.77　スレーブモード時のクロック同期式動作の初期化フロー例

(4)　ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、(6) ソフトウェア処理フローを参照してください。この条件下ではモードフォルトエラーは発生しません。

43.3.14　ループバックモード

SPCR2.SPLP2 ビットまたは SPCR2.SPLP ビットに 1 が書き込まれると、SPI は、SPCR.MSTR ビットが 1 の場合は MISOn 端子とシフトレジスタの間の経路、SPCR.MSTR ビットが 0 の場合は MOSIn 端子とシフトレジスタの間の経路を遮断し、シフトレジスタの入力と出力の経路を接続してループバックモードを確立します。SPI は SPCR.MSTR ビットが 1 である場合に MOSIn 端子とシフトレジスタの間の経路を遮断せず、または SPCR.MSTR ビットが 0 である場合に MISOn 端子とシフトレジスタの間の経路を遮断しません。これはループバックモードといわれています。シリアル転送がループバックモードで実行されるとき、SPI のための送信データまたは反転した送信データは、SPI のための受信データとなります。

表 43.13 に、SPLP2 ビットと SPLP ビットおよび受信データの間の関係を示します。図 43.78 に、マスタモードの SPI がループバックモードに設定されているときのシフトレジスタの入出力経路の構成を示します (SPCR2.SPLP2 = 0, SPCR2.SPLP = 1)。

表 43.13　SPPCR.SPLP2 ビット、SPPCR.SPLP ビットの設定と受信データ

SPCR2.SPLP2 ビット	SPCR2.SPLP ビット	受信データ
0	0	MOSIn 端子または MISOn 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

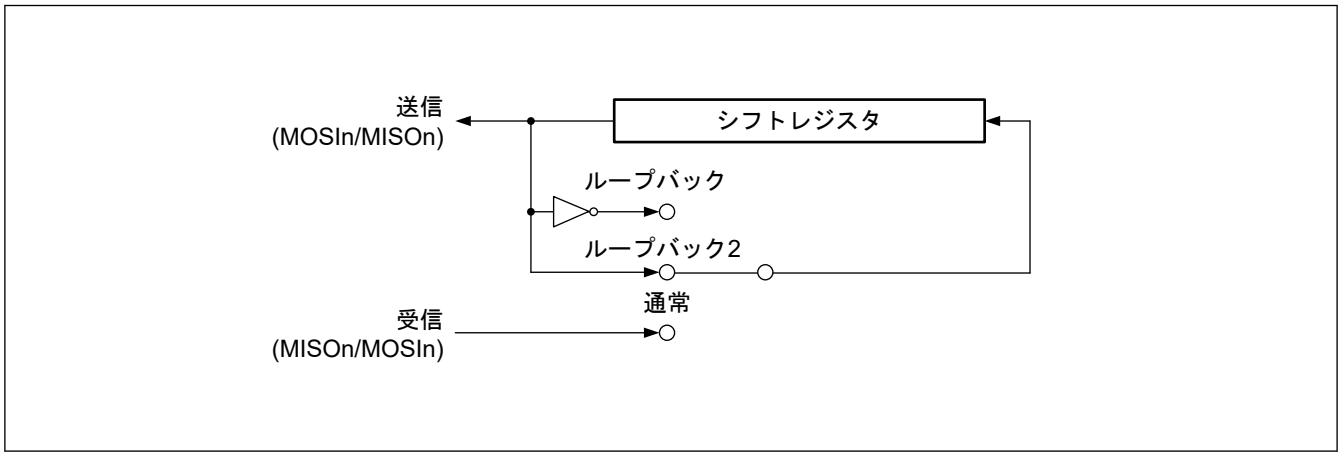


図 43.78　ループバックモード時のシフトレジスタ入出力経路の構成（マスタモード）

43.3.15　パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するため、パリティ回路は図 43.79 に示す自己診断を実行します。

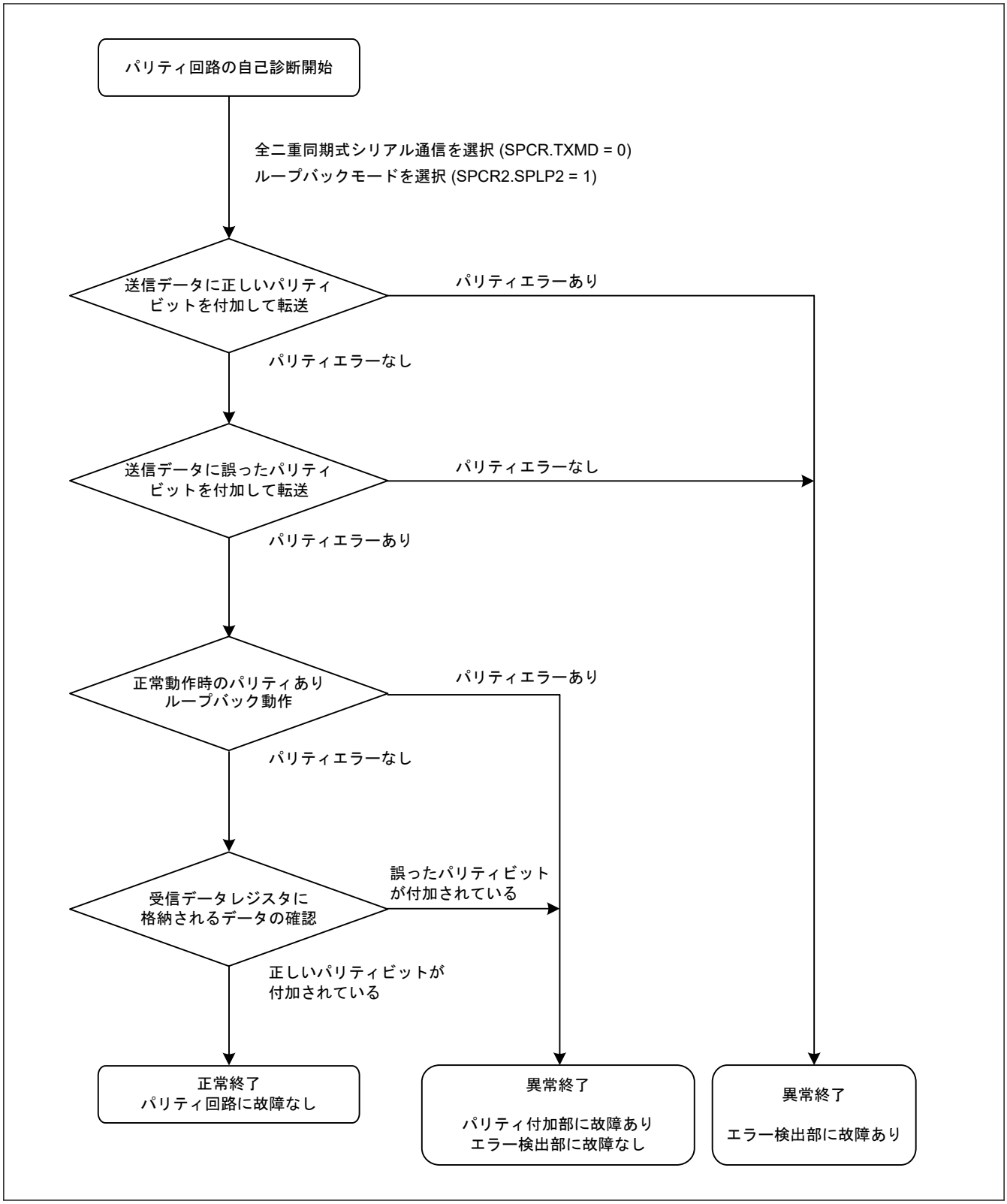


図 43.79　パリティ回路の自己診断フロー

43.3.16　割り込み要因

SPI には以下の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ

- SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー）
- SPI アイドル
- 通信終了

受信バッファフルまたは送信バッファエンプティの割り込みで DMAC または DTC を起動し、データ転送を行うことができます。

SPIn_SPEI のベクタアドレスは、モードフォルトエラー、アンダーランエラー、オーバーランエラー、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 43.14 に SPI の割り込み要因に対応するフラグを示します。表 43.14 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DMAC または DTC を使用してデータの送受信を行う場合、最初に DMAC または DTC を転送許可状態に設定してから SPI の設定を行ってください。DMAC または DTC の設定方法は、「17. DMA コントローラ (DMAC)」と「18. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRn.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRn.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にすることでもクリアできます。

表 43.14 SPI の割り込み要因

割り込み要因	シンボル	割り込み発生条件	DTC/DMAC の起動
受信バッファフル	SPIi_SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル (SPSR.SPRF = 1) になったとき、または SPCR.SPDRES ビットが 1 の状態で受信データレディ (SPSR.SPDRF = 1) になったとき	可能
送信バッファエンプティ	SPIi_SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ（SPSR.SPTEF フラグが 1）になったとき	可能
SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、またはパリティエラー）	SPIi_SPEI	SPCR.SPEIE ビットが 1 の状態で、SPSR.MODF、OVRF、または PERF フラグが 1 になったとき、または SPSR.SPDRES および SPDRF フラグが 1 になったとき	不可能
SPI アイドル	SPIi_SPII	SPCR.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
通信終了	SPIi_SPCEND	CENDIE = 1 かつ CENDF = 1	不可能

43.4 イベントリンクコントローラ (ELC) への出力

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

43.4.1 受信バッファフルイベント出力

「受信 FIFO に格納されたデータ数＞しきい値」のとき、または「受信 FIFO に格納されたデータ数≦しきい値」かつ「受信 FIFO への書き込み後に SPDRES = 0 が経過」のとき、SPDRC[7:0]が経過するとイベントを出力します。

43.4.2 送信バッファエンプティイベント出力

空の送信 FIFO 段数がしきい値を超えるか、SPCR.SPE ビットが 0 から 1 に変更されたとき、イベントが出力されます。

43.4.3 モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力

このイベント信号は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラーを検出したときに出力されます。このイベント信号を使用する場合は、「43.5.4. モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力の制限事項」を参照してください。

(1) モードフォルトエラー

表 43.15 にモードフォルトエラーイベントの発生条件を示します。

表 43.15 モードフォルトエラーの発生条件

SPI モード	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI 動作 (SPMS = 0) スレーブ (SPCR.MSTR = 0) Motorola-SPI (SPCR.SPFRF = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力
SPI 動作 (SPMS = 0) スレーブ (SPCR.MSTR = 0) TI-SSP (SPCR.SPFRF = 1)	1	アクティブ	通信動作中に SSLn0 端子がアクティブになった場合のみイベント出力

(2) アンダーランエラー

このイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力されます。この条件下では、SPSR.MODF フラグおよび SPSR.UDRF フラグが 1 となります。

(3) オーバーランエラー

このイベント信号は、SPCR.TXMD[1:0]ビットが 00b または 10b、かつ受信バッファに未読データがある状態でシリアル転送が終了したときのオーバーランに対応して出力されます。この条件下では、OVRF フラグが 1 になります。

(4) パリティエラー

このイベント信号は、SPCR.SPPE ビットの値が 1 の状態でシリアル転送が終了したときのパリティエラー検出に対応して出力されます。

(5) 受信データレディ

受信データレディイベント出力条件として SPCR.TXMD[1:0] = 00b または 10b、かつ SPDRES = 1 の場合、受信 FIFO に格納されるデータの数は受信 FIFO に書き込み後に受信されます。SPDRC[7:0]の設定値が FIFO しきい値より小さい状態で時間が経過すると、イベントが出力されます。

43.4.4 SPI アイドルイベント出力

(1) マスタモード時

送受信／送信のみマスタモードでは、SPSR の IDLNF フラグが 1 から 0 に変化するとイベントが出力されます。

IDLNF フラグが 1 から 0 に変化するのは、以下の条件 1) と 2) のどちらかが成立したときだけです。

1. SPCR の SPE ビットが送信中に 0 にクリアされたとき（SPI 初期化）
2. 以下の 3 つの条件をすべて満たしたとき
   - 送信用バッファ (SPTXn, n = 0～3) がエンプティ（次転送データがセットされていない）のとき
   - SPSR.SPCP[2:0]ビットが 000b のとき（シーケンス制御開始時）

- 次のアクセス遅延までに動作が完了しているとき（マスタメインステートマシンがアイドル状態に遷移するとき）

受信のみマスタモードの場合

以下の 2 つの条件のいずれかを満たしたとき

1. SPCR の SPE ビットが 0 のとき（SPI 初期化）
2. 下記のいずれかが成立したとき
   - RMFM[4:0] = 0x00 のとき、RMEDTG に 1 を書き込んだ後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移するとき）
   - RMFM[4:0] ≠ 0x00 のとき、RMEDTG に 1 を書き込んだ後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移するとき）
   - RMFM [4:0] ≠ 0x00 のとき、次のアクセス遅延までに動作が完了した後、SPI 内部シーケンサがアイドル状態へ遷移する（マスタメインステートマシンがアイドル状態に遷移するとき）

(2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0（SPI 初期化）のとき、イベントが出力されます。

43.4.5 通信終了イベント出力

マスタモード時、IDLNF フラグ（SPI アイドルフラグ）が 1 から 0 になるとイベントを出力します。スレーブモード時、表 43.16 と表 43.17 に示す条件でイベントが発生します。

表 43.16 通信終了イベント発生条件（送受信／送信スレーブモード）

	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0, SPFRF = 0)	エンプティ	エンプティ	SSLn0 入力ネゲート
SPI 動作 (SPMS = 0, SPFRF = 1)	エンプティ	エンプティ	SSL ネゲート遅延終了
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終データの RSPCK の最終偶数エッジ検出 (CPHA = 1)

表 43.17 通信終了イベント発生条件（受信のみスレーブモード）

	その他
SPI 動作 (SPMS = 0, SPFRF = 0)	受信バッファで SPFC の設定値に対応するフレームを格納後に、SSLn0 入力ネゲート
SPI 動作 (SPMS = 0, SPFRF = 1)	受信バッファの SPFC 設定値に対応するフレーム格納後に、SSL ネゲート遅延終了
クロック同期式動作 (SPMS = 1)	SPFC 設定値 (CPHA = 1) に対する最終フレーム受信時に RSPCK の最終偶数エッジ検出

マスタモード、スレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

通信終了イベントは、以下のタイミングで出力します。マスタ動作における通信終了イベント出力タイミングは、アイドルイベントと同じタイミングで出力されるため、省略します。

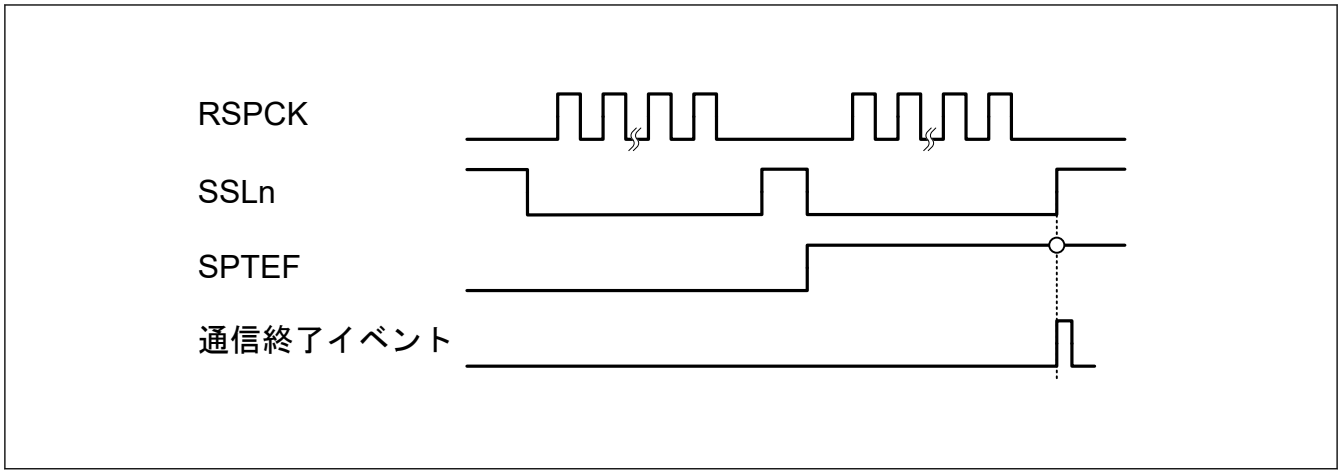


図 43.80　通信終了イベント出力タイミング（送信スレーブモード、Motorola SPI 動作）

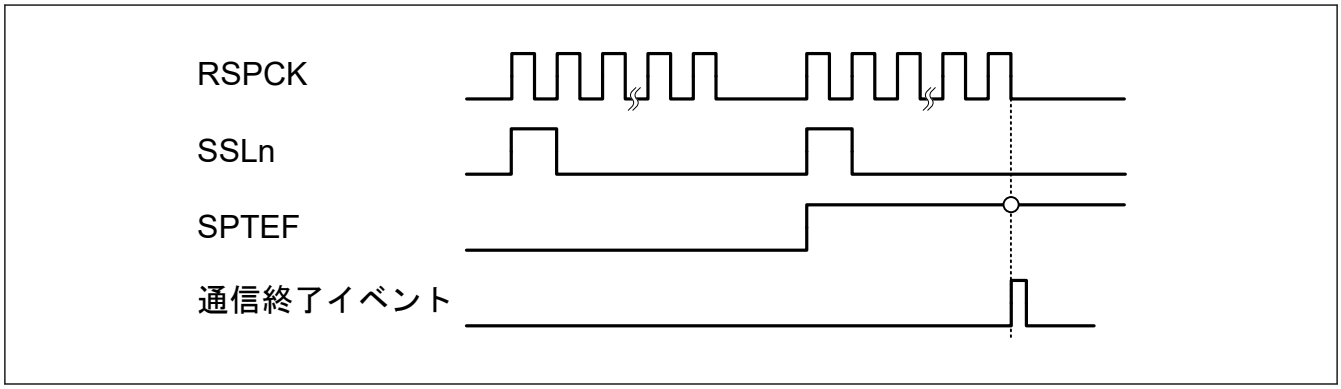


図 43.81　通信終了イベント出力タイミング（送信スレーブモード、TI-SSP 動作）

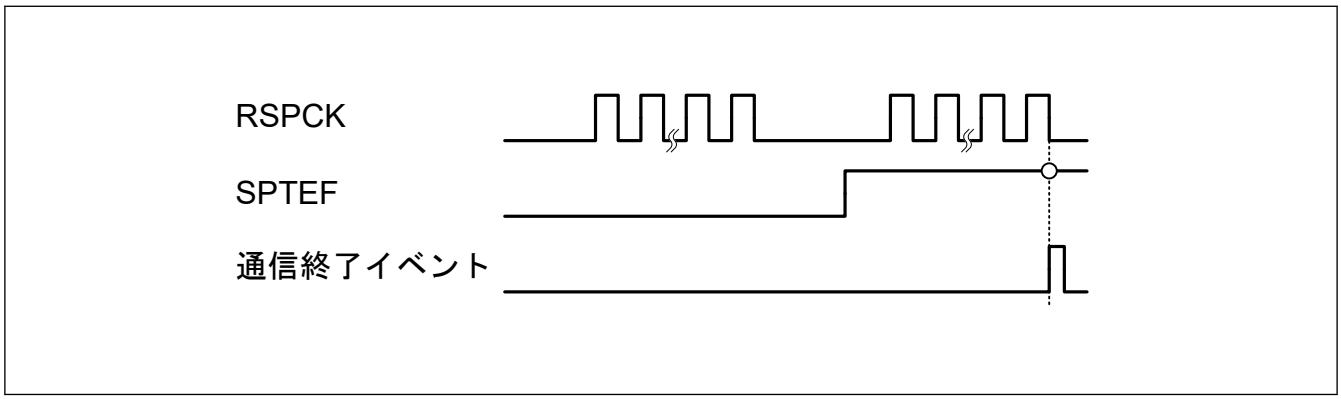


図 43.82　通信終了イベント出力タイミング（送信スレーブモード、クロック同期式動作）

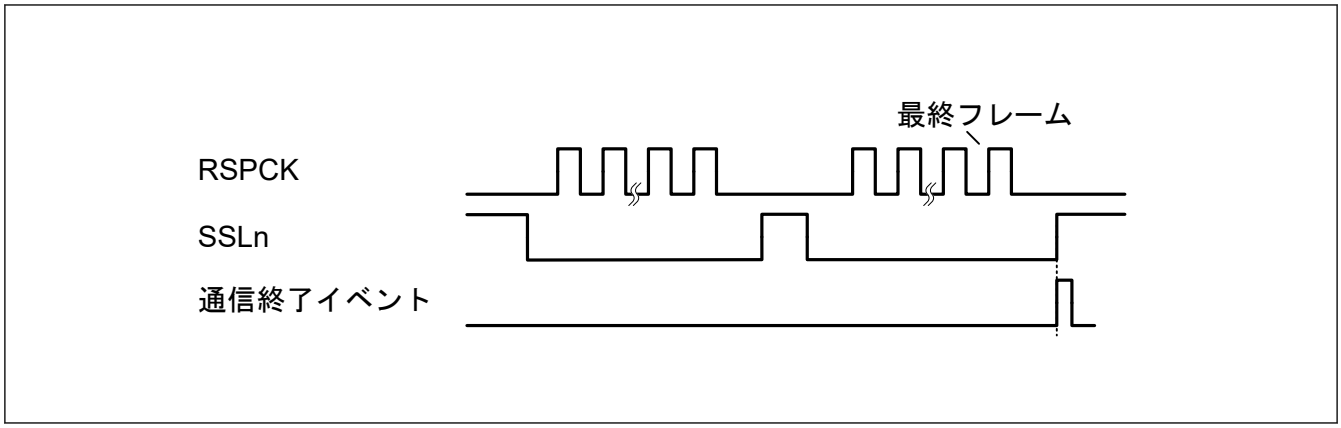


図 43.83　通信終了イベント出力タイミング（受信のみスレーブモード、Motorola SPI 動作）

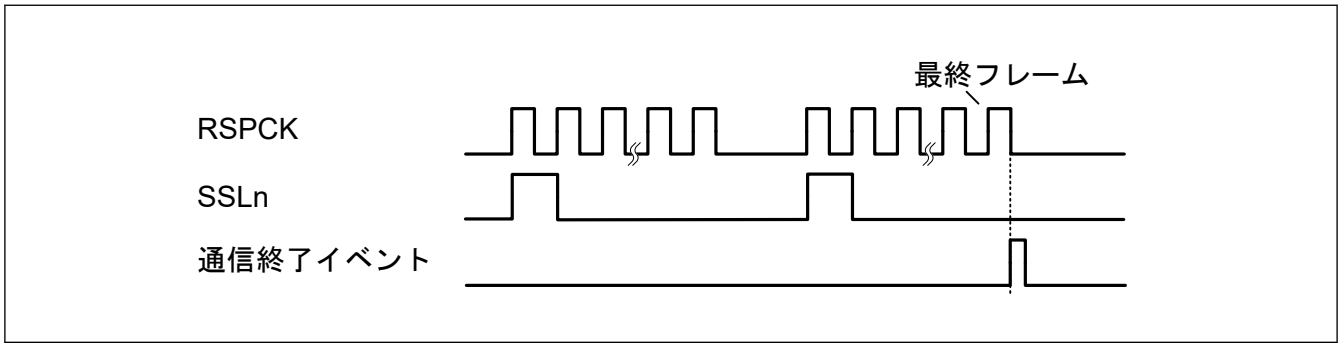


図 43.84　通信終了イベント出力タイミング（受信専用スレーブモード、TI-SSP 動作）

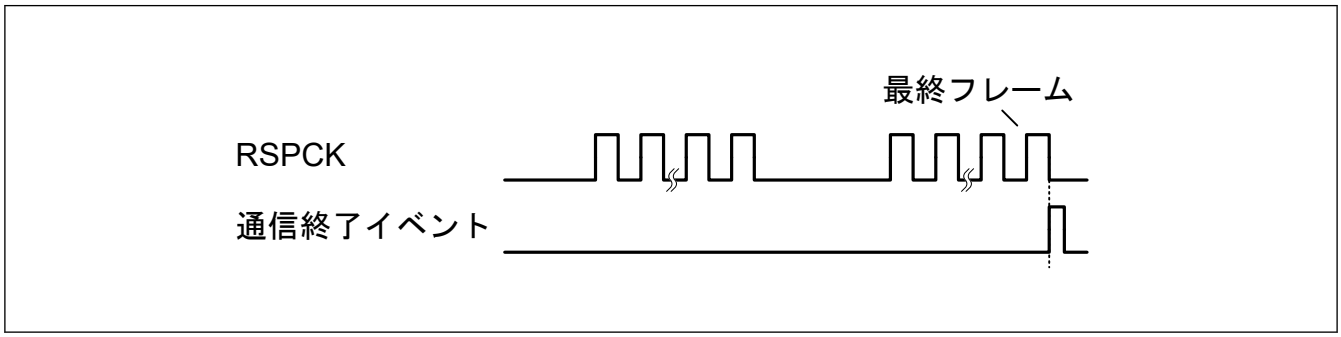


図 43.85　通信終了イベント出力タイミング（受信のみスレーブモード、クロック同期式動作）

43.4.6　同期バイパス機能

SPI には、内部クロック (PCLK) と動作クロック (TCLK) があり、それぞれ専用の動作回路を備えています。そのため、クロックの異なる信号の伝播に必要な同期回路が挿入されます。異なるクロック間の信号の遅延は、同期遅延時間である必要があります。

しかし、内部バスクロックと動作クロックに同じクロックが入力されているときに限り、SPI コントロールレジスタ (SPCR) の BPEN ビットを 1 に設定して、同期回路をバイパスできます。この場合、同期の遅延時間は除外され、応答性が向上します。

さらに、SPI は通信クロック (RSPCK) と動作クロック (TCLK) の間に同期回路を備えていますが、この同期回路はバイパスできません。

43.5 使用上の注意事項

43.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI の動作禁止／許可を設定することが可能です。リセット後の値では、SPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

43.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、および CPU スリープモードまたは CPU ディープスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

43.5.3 転送の開始に関する制約

ICU.IELSRn.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となることがあります。

これを避けるには、動作を許可する（SPCR.SPE ビットを 1 にする）前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること（SPCR.SPE ビットが 0 であること）を確認する。
2. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にする。
3. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を読み出して、0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

43.5.4 モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力の制限事項

SPI がマルチマスタモードである場合は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベントの使用は禁止されています（SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、および SPCR.MODFEN ビット = 1）。

43.5.5 SPSR.SPRF および SPSR.SPTEF フラグに関する制約

ポーリング用のフラグを使用する場合、割り込みを使用することはできません（SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください）。割り込みまたはフラグのどちらか一方のみ使用可能です。

44. オクタシリアルペリフェラルインタフェース (OSPI)

OSPI 周辺モジュールの OSPI_B バージョンです。

SIP 製品にはフラッシュメモリ ISSI IS25WX064-JWLE がパッケージ化されています。

本章では、OSPI_B を OSPI と呼びます。

44.1 概要

xSPI (eXpanded Serial Peripheral Interface) プロトコルは、不揮発性メモリデバイスのインタフェースを規定します。このインタフェースは、高いデータスループット、少ない信号数、およびレガシー SPI デバイスとの限られた下位互換性を提供します。電気的なインタフェースとしては、最大毎秒 333 MB の RAW データスループットを提供します。OSPI は、JEDEC 規格の JESD251（プロファイル 1.0、2.0）、JESD251-1、および JESD252 に準拠します。

JESD251 は、2 つのインタフェースプロファイルを規定します。プロファイル 1.0 は Octal SPI であり、プロファイル 2.0 は HyperBus™（HyperRAM™および HyperFlash™）です。OSPI は QSPI プロトコルをサポートします。

表 44.1 に OSPI の仕様、図 44.1 にブロック図、表 44.2 に入出力端子を示します。

表 44.1 OSPI の仕様

項目	説明
ユニット数	2 ユニット
プロトコル	xSPI プロトコルに準拠(注1)
データ送受信	マスタとして最大 2 つのスレーブに対してトランザクションを発行 メモリデバイスは 1 つのみが一度に動作可能
転送速度	xSPI333 での転送に対応
モード	● 以下のプロトコルモードをサポート – 1 端子／4 端子／8 端子の SDR／DDR (1S-1S-1S, 4S-4D-4D, 8D-8D-8D) – 2 端子／4 端子の SDR (1S-2S-2S, 2S-2S-2S, 1S-4S-4S, 4S-4S-4S) ● 設定変更可能なアドレス長 ● 設定変更可能な初期アクセスレイテンシサイクル ● XiP モードに対応
OSPI 機能	● 書き込みデータマスクに対応 ● In-band リセットに対応 ● メモリマッピング – ユニット 0 は CS ごとに最大 256 MB のアドレス空間に対応 – ユニット 1 は CS ごとに最大 128 MB のアドレス空間に対応 – バスマスタのユニットあたり 1 つのコントロールチャネル 詳細は、「15. バス」を参照してください。 – 低レイテンシでバーストリードを行うためのプリフェッチ機能 – 高スループットでバーストライトを行うための高性能バッファ ● マニュアルコマンド – 最大 4 コマンドまで設定変更可能 – ステータスレジスタポーリング機能 ● 入力ストローブポートのタイミングシフト
復号機能	メモリマップの読み出しに対して、オンザフライ復号を使用可能
割り込み要因	● エラー割り込み ● 完了割り込み
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	● IO レジスタ領域に対してセキュリティ属性を設定可能 ● 外部アドレス空間は非セキュアとして定義

注 1. OSPI は、JEDEC 規格の JESD251（プロファイル 1.0、2.0）、JESD251-1、および JESD252 に準拠します。

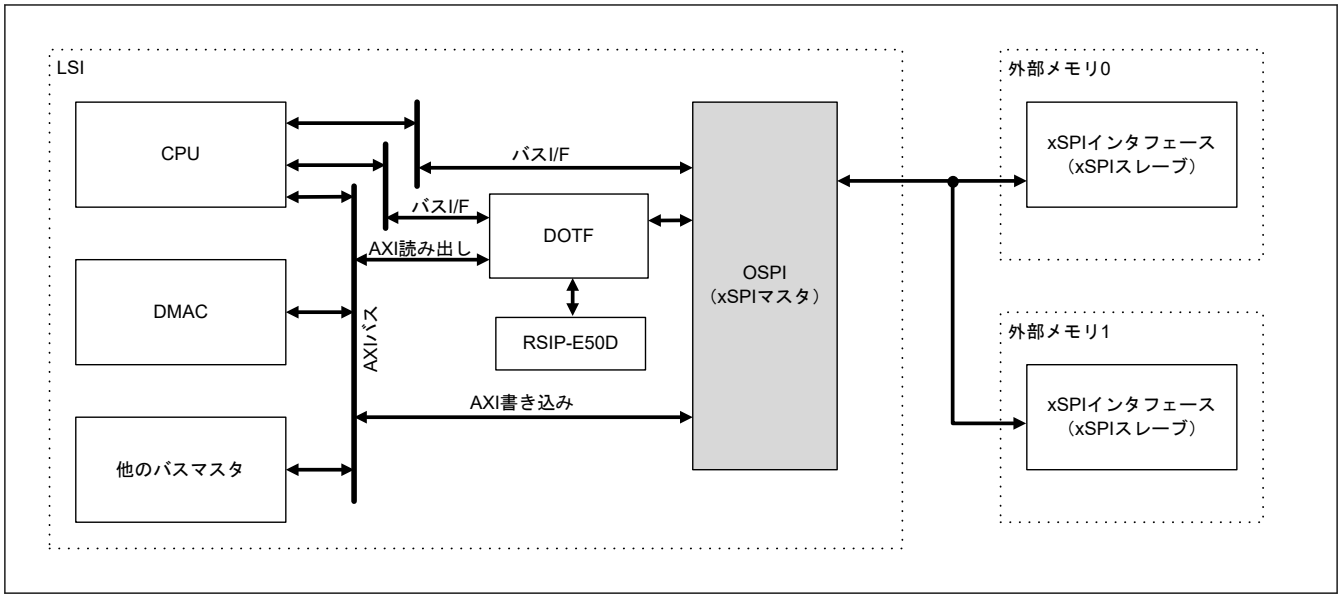


図 44.1　ブロック図

表 44.2　OSPI の入出力端子

端子名	入出力	機能
OM_n_SCLK	出力	クロックポジティブ
OM_n_SCLKN	出力	クロックネガティブ
OM_n_CS0	出力	スレーブ 0 のチップセレクト
OM_n_CS1	出力	スレーブ 1 のチップセレクト
OM_n_DQS	入出力	読み出しデータストローブ／書き込みデータマスク
OM_n_SIO0	入出力	データ 0 入出力
OM_n_SIO1	入出力	データ 1 入出力
OM_n_SIO2	入出力	データ 2 入出力
OM_n_SIO3	入出力	データ 3 入出力
OM_n_SIO4	入出力	データ 4 入出力
OM_n_SIO5	入出力	データ 5 入出力
OM_n_SIO6	入出力	データ 6 入出力
OM_n_SIO7	入出力	データ 7 入出力
OM_n_RESET	出力	スレーブ 0、1 のマスタリセット状態
OM_n_RSTO1	入力	スレーブ 1 のスレーブリセット状態
OM_n_ECSINT1	入力	スレーブ 1 の割り込み／スレーブ 1 のエラー訂正状態
OM_n_WP1	出力	スレーブ 1 の書き込み保護

注.　OM_n_SIO7～0、OM_n_SCLK、OM_n_SCLKN、および OM_n_DQS 端子に対しては、30 Ω ± 1%の抵抗を JESD251 I/O ドライバ定義に準拠したボード上に配置する必要があります。動作に対しては、適正な信号品質が推奨されます。

注.　n = 0, 1

44.2　レジスタの説明

44.2.1　OSPI コンフィグレーションレジスタ

これらのレジスタは、xSPI マスタファンクションを設定します。これらのレジスタは、xSPI トランザクションを発行する前に初期化フェーズで設定してください。

44.2.1.1 WRAPCFG : OSPI ラッパーコンフィグレーションレジスタ

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DSSFTCS1[4:0]					—	—	—	—	—	—	—	—	—	—	—	DSSFTCS0[4:0]					—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	DSSFTCS0[4:0]	スレーブ 0 の DS シフト これらのビットは、OM_DQS ポートの遅延セル数を設定します。遅延セルは、DS サンプリングのタイミングを調整するために使用されます。自動校正が有効な場合、自動的に更新される可能性があります。この場合、ユーザーにより書き込まないでください。 0x00: シフトなし 0x01: 1 セルの遅延を追加します。 ⋮ 0x1E: 30 セルの遅延を追加します。 0x1F: 31 セルの遅延を追加します。	R/W
23:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	DSSFTCS1[4:0]	スレーブ 1 の DS シフト 機能はスレーブ 0 のものと同じです。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

WRAPCFG レジスタには、xSPI マスタファンクションを設定する機能があります。

44.2.1.2 COMCFG : OSPI 共通コンフィグレーションレジスタ

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OENEGEX	OEASTEX	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	OEASTEX	出力許可アサート拡張 このビットは、出力許可アサート時にデータと DS の出力許可を 1 サイクル拡張します。1 に設定された場合、CS のアサートを拡張する必要があります (LIOCFGCSn.CSASTEX = 1 (n = 0, 1))。 OSPI 出力データが OSPI 入力データと競合する可能性があるため、このビットはレイテンシサイクルがある場合に使用されます。 0: 出力許可の 1 サイクル拡張を行わない 1: 出力許可の 1 サイクル拡張を行う	R/W

ビット	シンボル	機能	R/W
17	OENEGEX	出力許可ネゲート拡張 このビットは、出力許可ネゲート時にデータと DS の出力許可を 1 サイクル拡張します。OSPI 出力データが OSPI 入力データと競合する可能性があるため、このビットはレイテンシサイクルがある場合に使用されます。 0: 出力許可の 1 サイクル拡張を行わない 1: 出力許可の 1 サイクル拡張を行う	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

COMCFG レジスタには、xSPI マスタファンクションを設定する機能があります。

44.2.1.3 BMCFGCHn : OSPI ブリッジマップコンフィグレージョンレジスタ Chn (n = 0)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x008 + 0x004 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CMBTIM[7:0]								—	—	—	—	—	—	—	PREEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MWRSIZE[7:0]								MWRCOMB	—	—	—	—	—	—	WRMD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WRMD	システムバス書き込み応答モード このビットは、メモリマッピングモードにおいて、システムバス書き込み応答のタイミングを選択します。1 に設定された場合、このビットは xSPI バス上で 1 フレーム送信後に応答を返します。 システムバス書き込み応答モードが有効な場合は、メモリ書き込み結合モードを無効にする必要があります。 0: 内部書き込みバッファへの格納後に応答を返します。 1: xSPI バスへ書き込みトランザクションを発行した後に応答を返します。	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	MWRCOMB	メモリ書き込み結合モード このビットは、メモリマッピングモードにおいて、書き込みアクセス時に OSPI データを結合することを選択します。0 に設定された場合、OSPI のデータサイズはシステムバスのバーストタイプやサイズによって異なります。このフィールドが 1 に設定された場合、データサイズは MWRSIZE[7:0]フィールドによって異なります。(注1) 1 に設定された場合、書き込みトランザクションが本 xSPI マスタに一時的に保持される場合があります。 0: 結合モードを無効にする 1: 結合モードを有効にする	R/W
15:8	MWRSIZE[7:0]	メモリ書き込みサイズ これらのビットは、メモリマッピングモードにおいて、インクリメントアドレスを結合するサイズを選択します。インクリメントアドレスである間、設定したサイズまでのデータを結合した xSPI フレームを送信します。目標サイズに達する前にインクリメントアドレスでないアドレスまたは読み出しトランザクションが検出された場合は、保留データを xSPI バスへ送信します。 0x00: 最大 4 バイトのインクリメントアドレスを結合します。 0x01: 最大 8 バイトのインクリメントアドレスを結合します。 ⋮ 0x0E: 最大 60 バイトのインクリメントアドレスを結合します。 0x0F: 最大 64 バイトのインクリメントアドレスを結合します。 0xFF: 最大 2 バイトのインクリメントアドレスを結合します。 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
16	PREEN	プリフェッチ有効 このビットは、メモリマッピングモードにおいて、読み出しトランザクションのプリフェッチ機能を有効にします。インクリメントアドレスによる読み出しトランザクションのレイテンシを減らすことができます。 0: プリフェッチ機能を無効にする 1: プリフェッチ機能を有効にする	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:24	CMBTIM[7:0]	結合タイマ これらのビットは、結合タイマの有効期限を指定します。このタイマは PCLKA でカウントします。 0x00 は結合タイマの無効を意味します。タイマが期限切れになると、結合バッファ内のデータはメモリデバイスにプッシュされます。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 結合モード中に、64 ビット以外の OSPI メモリ空間への書き込みは禁止されています。

BMCFGCHn レジスタには、xSPI マスタファンクションを設定する機能があります。

44.2.1.4 CMCFG0CSn : OSPI コマンドマップコンフィグレーションレジスタ 0 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x010 + 0x010 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ADDRPCD[7:0]								ADDRPEN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	ARYAMD	WPBSTMD	ADDSIZE[1:0]		FFMT[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	FFMT[1:0]	フレームフォーマット これらのビットで、メモリマッピングモードにおける xSPI フレームフォーマットを設定します。 詳細は、表 44.7 を参照してください。 0 0: 通常フォーマット。 コマンド 1 バイト、アドレス ADDSIZE、システムバストランザクションへのデータアップ 0 1: 8D-8D-8D プロファイル 1.0 フォーマット。 コマンド 2 バイト、アドレス ADDSIZE、システムバストランザクションへのデータアップ 1 0: 8D-8D-8D プロファイル 2.0 コマンド・モディファイアフォーマット。 コマンド&モディファイア 6 バイト、システムバストランザクションへのデータアップ 1 1: 8D-8D-8D プロファイル 2.0（拡張されたコマンド）コマンドモディファイアフォーマット。 コマンド&モディファイア 6 バイト、システムバストランザクションへのデータアップ	R/W
3:2	ADDSIZE[1:0]	アドレスサイズ これらのビットは、メモリマッピングモードにおけるアドレスバイトの数を設定します。 8D-8D-8D プロファイル 2.0 の場合、4 バイトに設定してください。 0 0: 1 バイト（256 バイトのアドレス空間） 0 1: 2 バイト（64 KB のアドレス空間） 1 0: 3 バイト（16 MB のアドレス空間） 1 1: 4 バイト（4 GB のアドレス空間）	R/W

ビット	シンボル	機能	R/W
4	WPBSTMD	ラッピングバーストモード 本ビットが 1 の場合、システムバスアクセスと xSPI メモリのラッピング境界が一致します。 0: ラッピングアドレス境界で xSPI 転送を分離する 1: ラッピングアドレス境界で xSPI 転送を分離しない	R/W
5	ARYAMD	配列アドレスモード 本ビットが 1 の場合、メモリのアドレスは{A[25:10], A[9:4], 6{RSV}, A[3:0]}のようにマップされます。ここで A[25:0]は通常のアドレス、RSV は予約値 (0b) です。本ビットは、FFMT = 1d の場合のみ有効です。 0: 通常アドレスモード 1: 配列アドレスモード	R/W
15:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	ADDRPEN[7:0]	アドレス置換許可 これらのビットは、メモリマッピングモードにおいて、システムバスアドレスの MSByte と置換するビットを選択します。 0: 置換なし（xSPI フレームアドレスフィールドはシステムバスアドレスと同一） 1: 置換あり	R/W
31:24	ADDRPCD[7:0]	アドレス置換コード これらのビットは、メモリマッピングモードにおいて、システムバスアドレスの MSByte と置換するコードを設定します。アドレス置換許可ビットが 1 に設定されている場合、対応するビットとの置換が行われます。	R/W

ADDSIZE[1:0]	システムバスアドレスの対象ビットを置き換える
00	ビット 7～ビット 0
01	ビット 15～ビット 8
10	ビット 23～ビット 16
11	ビット 31～ビット 24

注. S-TYPE-3, P-TYPE-3

CMCFG0CSn レジスタには、xSPI マスタファンクションを設定する機能があります。

44.2.1.5 CMCFG1CSn : OSPI コマンドマップコンフィグレーションレジスタ 1 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x014 + 0x010 × n

Bit position:	31											20		16	15															0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RDLATE[4:0]			RDCMD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RDCMD[15:0]	読み出しコマンド これらのビットで、メモリマッピングモードにおける読み出しトランザクションのコマンドフィールドを設定します。 通常フォーマットと 8D-8D-8D プロファイル 2.0 フォーマットは、上位 1 バイトだけを使用します。8D-8D-8D プロファイル 1.0 フォーマットは 2 バイトを使用します。	R/W

ビット	シンボル	機能	R/W
20:16	RDLATE[4:0]	読み出しレイテンシサイクル これらのビットで、メモリマッピングモードにおける読み出しトランザクションのレイテンシサイクルを設定します。 0x00: レイテンシなし 0x01: 1 サイクル ⋮ ⋮ 0x08: 8 サイクル（初期設定） ⋮ ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル その他: 設定禁止	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CMCFG1CSn レジスタには、xSPI マスタファンクションを設定する機能があります。

44.2.1.6 CMCFG2CSn : OSPI コマンドマップコンフィグレーションレジスタ 2 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x018 + 0x010 × n

Bit position:	31											20			16	15															0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	WRLATE[4:0]				WRCMD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WRCMD[15:0]	書き込みコマンド これらのビットで、メモリマッピングモードにおける書き込みトランザクションのコマンドフィールドを設定します。 通常フォーマットと 8D-8D-8D プロファイル 2.0 フォーマットは、上位 1 バイトだけを使用します。8D-8D-8D プロファイル 1.0 フォーマットは 2 バイトを使用します。	R/W
20:16	WRLATE[4:0]	書き込みレイテンシサイクル これらのビットで、メモリマッピングモードにおける書き込みトランザクションのレイテンシサイクルを設定します。 0x00: レイテンシなし 0x01: 1 サイクル ⋮ ⋮ 0x08: 8 サイクル（初期設定） ⋮ ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル その他: 設定禁止	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CMCFG2CSn レジスタには、xSPI マスタファンクションを設定する機能があります。

44.2.1.7 LIOCFGCSn : OSPI リンク入出力コンフィグレーションレジスタ CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x050 + 0x004 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DDRSMPEX[3:0]				SDRSMPSFT[3:0]				SDRSMPMD	SDRDRV	CSNEGEX	CSASTEX	CSMIN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	WRMSKMD	LATEMD	PRTMD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	PRTMD[9:0]	プロトコルモード これらのビットは、プロトコルモードとデータ入力をサンプリングする端子を設定します。SDR モードでのサンプリングに SPI クロックでなくデータストローブを使用する場合は、PRTMD[9:0]を 1 に設定します。 0x000: 1S-1S-1S 0x3B2: 4S-4D-4D 0x3FF: 8D-8D-8D 0x048: 1S-2S-2S 0x049: 2S-2S-2S 0x090: 1S-4S-4S 0x092: 4S-4S-4S その他: 設定禁止	R/W
10	LATEMD	レイテンシモード このビットは、直接マニュアルモードとメモリマッピングモードの両方における初期アクセスのレイテンシフェーズの動作を選択します。0 に設定された場合、レイテンシサイクルは、送信アドレスフィールドから設定された各サイクルと等しくなります。1 に設定された場合、レイテンシサイクルはアドレスフィールドの最終バイトペアからインクリメントされ、OM_DQS ポートに応じて、設定された各サイクルの 2 倍に拡張されます。 レイテンシモードは、6 バイトのコマンド／アドレスフィールドで、8D-8D-8D プロトコルモードのプロファイル 2.0 フレームフォーマットに対してだけ使用されます。詳細については、xSPI プロトコルの仕様を参照してください。	R/W
11	WRMSKMD	書き込みマスクモード このビットは、OM_DQS ポートを書き込みデータマスクとして使用することを選択します。奇数バイトの書き込みアクセスをする際に役立ちます。 書き込みマスクモードは 8D-8D-8D プロトコルモードでだけ使用されます。 0: 書き込みマスクを無効にする 1: 書き込みマスクを有効にする	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

値：機能	フレームフォーマット	使用法
0: 設定変更可能なレイテンシ	プロファイル 2.0	設定変更可能なレイテンシサイクルは、-1 に設定する必要があります。
	その他	レイテンシサイクルは、アドレスフィールド以降でインクリメントされます。
1: 可変レイテンシ	プロファイル 2.0	レイテンシサイクルは、アドレス[23:16]からインクリメントされます。1 に設定しないでください。
	その他	非対応

ビット	シンボル	機能	R/W
19:16	CSMIN[3:0]	CS 最小アイドル期間 このビットは、xSPI フレーム間の最小サイクルを設定します。 0x0: 1 サイクル 0x1: 2 サイクル ⋮ ⋮ 0x7: 8 サイクル（初期設定） ⋮ ⋮ 0xE: 15 サイクル 0xF: 16 サイクル その他: 設定禁止	R/W
20	CSASTEX	CS アサート拡張 このビットは、アサート時にチップ選択端子を 1 サイクル拡張します。 0: 拡張なし 1: 1 サイクル拡張	R/W
21	CSNEGEX	CS ネゲート拡張 このビットは、ネゲート時にチップ選択端子を 1 サイクル拡張します。 0: 拡張なし 1: 1 サイクル拡張	R/W
22	SDRDRV	SDR 駆動タイミング このビットは、SDR におけるデータ出力のタイミングを設定します。 OSPI 出力データが OSPI 入力データと競合する可能性があるため、このビットは、レイテンシサイクルがない場合は 1 に設定しないでください。 0: CK 立ち上がりエッジの 1/2 サイクル前で駆動 1: CK 立ち上がりエッジで駆動	R/W
23	SDRSMPMD	SDR サンプリングモード このビットは、SDR におけるサンプリングのエッジを選択します。DDR では、この設定にかかわらず、このビットは OM_DQS の両エッジで OM_SIOn (n = 0～7) ポートをサンプリングします。 1 に設定された場合、このビットは立ち下がりエッジ前の立ち上がりエッジでサンプリングをします。 0: 立ち下がりエッジでデータ入力をサンプリング 1: 立ち上がりエッジでデータ入力をサンプリング	R/W
27:24	SDRSMPSFT[3:0]	SDR サンプリングウィンドウシフト これらのビットは、SDR における CK サンプリングのタイミングをシフトします。SDR において OM_DQS を使用する場合、動作への影響はありません。 DDR の場合、または SDR において OM_DQS を使用する場合、これらのビットを 0 に設定します。 0x0: 遅延なしでサンプリング 0x1: 1 サイクルの遅延でサンプリング ⋮ ⋮ 0x6: 6 サイクルの遅延でサンプリング 0x7: 7 サイクルの遅延でサンプリング その他: 設定禁止	R/W
31:28	DDRSMPEX[3:0]	DDR サンプリングウィンドウ拡張 これらのビットは、DDR におけるサンプリングウィンドウの拡張サイクルを設定します。DDR では、レイテンシサイクル直後の予定サイクル中に入力データがサンプリングされます。範囲外の入力データは無視されます。OM_DQS 伝播遅延に応じて設定できます。 これらのビット設定は、「62.3.11. OSPI タイミング」に記載されている t_{CKHDSH} を満たすように設定する必要があります。t_{CKHDSH} は、外部メモリの出力遅延時間を表します。たとえば、次の条件では DDRSMPEX[3:0]ビットは 0x1 に設定します。 ● VCC が 2.7 V 以上 ● OM_n_SCLK が 133 MHz ● メモリ出力遅延時間 (t_{CKHDSH}) が 6 ns t_{CKHDSH} の最大許容値：t_{PERIOD} × (1 + DDRSMPEX[3:0]) - 8.5 = 7.5 × (1 + 1) - 8.5 = 6.5[ns] メモリ出力遅延時間は、この値よりも小さくする必要があります。 0x0: サイクル拡張なし 0x1: 1 サイクル拡張 ⋮ ⋮ 0x6: 6 サイクル拡張 0x7: 7 サイクル拡張 その他: 設定禁止	R/W

注. S-TYPE-3, P-TYPE-3

LIOCFGCSn レジスタには、xSPI マスタファンクションを設定する機能があります。

44.2.2 OSPI コントロールレジスタ

これらのレジスタは、xSPI マスタファンクションを制御します。

44.2.2.1 BMCTL0 : OSPI ブリッジマップコントロールレジスタ 0

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CH0CS1ACC [1:0]		CH0CS0ACC [1:0]	
Value after reset:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	CH0CS0ACC[1:0]	システムバス ch0 からスレーブ 0 メモリ領域へのアクセス許可 このフィールドは、ch0 から CS0 メモリへのアクセスを許可します。 0 0: 読み書きを禁止 0 1: 読み出しを許可、書き込みを禁止 1 0: 読み出しを禁止、書き込みを許可 1 1: 読み書きを許可	R/W
3:2	CH0CS1ACC[1:0]	システムバス ch0 からスレーブ 1 メモリ領域へのアクセス許可 このフィールドは、ch0 から CS1 メモリへのアクセスを許可します。 0 0: 読み書きを禁止 0 1: 読み出しを許可、書き込みを禁止 1 0: 読み出しを禁止、書き込みを許可 1 1: 読み書きを許可	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

BMCTL0 レジスタには、xSPI マスタファンクションを制御する機能があります。

本レジスタは、初期化フェーズで設定します。xSPI トランザクションの開始後に、設定を変更する必要がある場合は、全通信を停止します。BMCTL0 の値を変更する前に、「44.3.7.2. 通信停止のフロー」を参照してください。

44.2.2.2 BMCTL1 : OSPI ブリッジマップコントロールレジスタ 1

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	PBUF CLRC H0	—	MWRP USHC H0	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	書く場合、0 としてください。	W

ビット	シンボル	機能	R/W
8	MWRPUSHCH0	ch0 メモリ書き込みデータのプッシュ このフィールドは、結合モードにおいて保留データのプッシュを要求します。(注1) 0: コマンドなし 1: プッシュ要求	W
9	—	書く場合、0 としてください。	W
10	PBUFCLRCH0	ch0 プリフェッチバッファクリア このフィールドは、プリフェッチ機能有効時にプリフェッチバッファのクリアを要求します。(注1) メモリアクセスの実行中 (COMSTT.MEMACCCH0 = 1) に設定しないでください。 0: コマンドなし 1: クリア要求	W
31:11	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットのアサートとシステムバスアクセスの間にサイクルベース競合条件が発生した場合、プリフェッチ／結合動作は定義されません。

BMCTL1 レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.3 CMCTLCHn : OSPI コマンドマップコントロールレジスタ CHn (n = 0)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x0068 + 0x004 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	XIPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	XIPEXCODE[7:0]								XIPENCODE[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	XIPENCODE[7:0]	XiP モード開始コード これらのビットで、メモリマッピングモードにおいて XiP モードを開始するコードを設定します。	R/W
15:8	XIPEXCODE[7:0]	XiP モード終了コード これらのビットで、メモリマッピングモードにおいて XiP モードを終了するコードを設定します。	R/W
16	XIPEN	XiP モード有効 このビットは、メモリマッピングモードにおいて XiP モードを有効にします。1 に設定された場合、XiP 開始コードがレイテンシフィールドに挿入され、次のトランザクションではコマンドフィールドが省略されます。0 に設定された場合、XiP 終了コードがレイテンシフィールドに挿入されます。このビットは、XiP 無効化パターン送信時に自動的に 0 に設定されます。 XiP モードは 8D-8D-8D プロトコルモードプロファイル 2.0 フレームフォーマットには使用しないでください。 0: XiP モードを無効にする 1: XiP モードを有効にする	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CMCTLCHn レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.4 CDCTL0 : OSPI コマンドマニュアルコントロールレジスタ 0

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x070

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	PERREP[3:0]				—	—	—	PERITV[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	TRNUM[1:0]		CSSEL	—	PERMD	TRREQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TRREQ	トランザクション要求 このビットは、マニュアルコマンドのトランザクションの発行を要求します。1 に設定すると、トランザクションが開始されます。トランザクションが完了すると 0 にクリアされます。 トランザクション実行中に 0 にクリアするとトランザクションは取り消しされます。 0: トランザクションなし 1: トランザクションを要求	R/W
1	PERMD	周期モード このビットは、周期トランザクションモードを有効にします。1 に設定された場合、トランザクションを周期的に繰り返し実行し、読み出し値と期待値を比較します。周期トランザクションモードは、外部メモリに対するステータスポーリング動作を代用します。 0: 直接マニュアルコマンドモード 1: 周期マニュアルコマンドモード	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CSSEL	チップセレクト このビットは、マニュアルコマンドを発行する対象メモリを選択します。 0: CS0 1: CS1	R/W
5:4	TRNUM[1:0]	トランザクション数 これらのビットで、通常マニュアルコマンドモードにおけるトランザクション数を設定します。周期マニュアルコマンドモードでは、この設定にかかわらず、最終コマンドの読み出しデータが比較されます。 0 0: コマンドを 1 つ発行（コマンドバッファ 0 を使用） 0 1: コマンドを 2 つ発行（コマンドバッファ 0～1 を使用） 1 0: コマンドを 3 つ発行（コマンドバッファ 0～2 を使用） 1 1: コマンドを 4 つ発行（コマンドバッファ 0～3 を使用）	R/W
15:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	PERITV[4:0]	周期トランザクションインターバル これらのビットで、周期マニュアルコマンドモードにおけるトランザクションのインターバルを設定します。 CPU バスサイクルに比べて間隔が短すぎると、コマンドバッファ 0 に格納されない可能性があります。インターバルは CPU バスサイクルの 4 倍より長くしてください。 0x00: 2 (= 2^1) サイクル 0x01: 4 (= 2^2) サイクル ⋮ ⋮ 0x1E: 2,147,483,648 (= 2^{31}) サイクル 0x1F: 4,294,967,296 (= 2^{32}) サイクル	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
27:24	PERREP[3:0]	周期トランザクションの反復 これらのビットで、周期マニュアルコマンドモードにおけるトランザクションの反復回数を設定します。 0x0: 1 (= 2^0) 回 0x1: 2 (= 2^1) 回 ⋮ ⋮ 0xE: 16,384 (= 2^{14}) 回 0xF: 32,768 (= 2^{15}) 回	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CDCTL0 レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.5 CDCTL1 : OSPI コマンドマニュアルコントロールレジスタ 1

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x074

Bit position:	31																												0
Bit field:	PEREXP[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	PEREXP[31:0]	周期トランザクション期待値 これらのビットは、周期マニュアルコマンドモードで読み出し値と比較する期待値を設定します。たとえば、1 バイトの比較を行う場合、下位バイトを設定する必要があります。	R/W

注. S-TYPE-3, P-TYPE-3

CDCTL1 レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.6 CDCTL2 : OSPI コマンドマニュアルコントロールレジスタ 2

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x078

Bit position:	31																												0
Bit field:	PERMSK[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	PERMSK[31:0]	周期トランザクションマスク値 これらのビットで、周期マニュアルコマンドモードにおける期待値のマスク値を設定します。 任意のビットに 1 を設定すると、期待値 (CDCTL1.PEREXP[31:0]) として設定された対応するビットは無視されます。 8D-8D-8D の場合、xSPI バスによってバイトペアとしてのみデータバイトは転送されます。つまり、ダミー読み出しデータを格納できます。未使用ビットのマスクを行う必要があります。たとえば、下位 1 バイトを読み出す場合は、0xFFFFFF00 を設定する必要があります。	R/W

注. S-TYPE-3, P-TYPE-3

CDCTL2 レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.7 CDTBUFn : OSPI コマンドマニュアル種別バッファ n (n = 0～3)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x080 + 0x010 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CMD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRTYPE	—	LATE[4:0]					DATASIZE[3:0]				ADDSIZE[2:0]			CMDSIZE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMDSIZE[1:0]	コマンドサイズ これらのビットで、コマンドフィールドのサイズを設定します。 8D-8D-8D では、これらのビットを 10b にしてください。 コマンドサイズとアドレスサイズの両方を 0 に設定しないでください。 0 0: 0 バイト（コマンドフェーズなし） 0 1: 1 バイト 1 0: 2 バイト その他: 設定禁止	R/W
4:2	ADDSIZE[2:0]	アドレスサイズ これらのビットで、アドレスフィールドのサイズを設定します。 0 0 0: 0 バイト（アドレスフェーズなし） 0 0 1: 1 バイト 0 1 0: 2 バイト 0 1 1: 3 バイト 1 0 0: 4 バイト その他: 設定禁止	R/W
8:5	DATASIZE[3:0]	書き込み／読み出しデータサイズ これらのビットで、データフィールドのサイズを設定します。 8D-8D-8D の場合、xSPI バスによってバイトペアとしてのみデータバイトは転送されます。たとえば、1 バイトの読み出しを設定しても、2 バイトデータが受信されます。最後のバイトは無視する必要があります。 読み出しトランザクションに 0 バイトを設定しないでください。 0x0: 0 バイト（データフェーズなし） 0x1: 1 バイト ⋮ ⋮ 0x7: 7 バイト 0x8: 8 バイト その他: 設定禁止	R/W
13:9	LATE[4:0]	レイテンシサイクル これらのビットで、マニュアルコマンドモードにおけるレイテンシサイクルを設定します。 0x0: レイテンシなし 0x1: 1 サイクル ⋮ ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TRTYPE	トランザクション種別 このビットは、トランザクションの種別を選択します。 0: 読み出しトランザクション（スレーブデバイスからの読み出しデータ） 1: 読み出しトランザクション以外	R/W

ビット	シンボル	機能	R/W
31:16	CMD[15:0]	コマンド（1～2 バイト） これらのビットで、マニュアルコマンドモードにおけるコマンドフィールドを設定します。 コマンドサイズビットで設定したバイト数のデータが転送されます。 1S-1S-1S、4S-4D-4D： CMD[15:8]はコマンドフィールドです。CMD[7:0]は使用しません。 8D-8D-8D プロファイル 1.0： CMD[15:8]はコマンドフィールドです。CMD[7:0]は拡張フィールドです。 8D-8D-8D プロファイル 2.0： CMD[15:0]は、コマンド&モディファイアフィールドの上位 2 バイトです（xSPI プロトコルのビット[47:32]）	R/W

注. S-TYPE-3, P-TYPE-3

CDTBUFn レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.8 CDABUFn : OSPI コマンドマニュアルアドレスバッファ n (n = 0～3)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x084 + 0x10 × n

Bit position:	31																												0
Bit field:	ADD[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	ADD[31:0]	アドレス これらのビットで、マニュアルコマンドモードにおけるアドレスフィールドを設定します。 1S-1S-1S、4S-4D-4D、8D-8D-8D プロファイル 1.0：アドレスフィールドです。 8D-8D-8D プロファイル 2.0：コマンド&モディファイアフィールドの下位 4 バイトです（xSPI プロトコルのビット[31:0]）。	R/W

注. S-TYPE-3, P-TYPE-3

CDABUFn レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.9 CDD0BUFn : OSPI コマンドマニュアルデータ 0 バッファ n (n = 0～3)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x088 + 0x10 × n

Bit position:	31																												0
Bit field:	DATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	DATA[31:0]	書き込み／読み出しデータ これらのビットで、マニュアルコマンドモードにおけるデータフィールドを設定します。 書き込みトランザクションでは、書き込みデータを設定します。 読み出しトランザクションでは、読み出しデータが格納されます。	R/W

注. S-TYPE-3, P-TYPE-3

CDD0BUFn レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.10 CDD1BUFn : OSPI コマンドマニュアルデータ 1 バッファ n (n = 0～3)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x08C + 0x10 × n

Bit position:	31																												0
Bit field:	DATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	DATA[31:0]	書き込み／読み出しデータ これらのビットで、マニュアルコマンドモードにおけるデータフィールドを設定します。 書き込みトランザクションでは、書き込みデータを設定します。 読み出しトランザクションでは、読み出しデータが格納されます。	R/W

注. S-TYPE-3, P-TYPE-3

CDD1BUFn レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.11 LPCTL0 : OSPI リンクパターンコントロールレジスタ 0

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	XD2VAL	—	—	XD2LEN[4:0]					XD1VAL	—	—	XD1LEN[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	XDPIN[1:0]		CSSEL	—	—	PATREQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PATREQ	パターン要求 このビットは、パターンの発行を要求します。1 に設定された場合、パターンが開始されます。パターンが完了すると 0 にクリアされます。 0: XiP 無効パターンを要求しない 1: XiP 無効パターンを要求する	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CSSEL	チップセレクト このビットは、パターンを発行する対象メモリを選択します。 0: スレーブ 0 (CS0) 1: スレーブ 1 (CS1)	R/W
5:4	XDPIN[1:0]	XiP 無効パターン端子 これらのビットは、XiP 無効パターンを送信するデータ出力端子を選択します。 0 0: 1 ピン 0 1: 2 ピン 1 0: 4 ピン 1 1: 8 ピン	R/W
15:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
20:16	XD1LEN[4:0]	XiP 無効パターン第 1 フェーズ長 これらのビットは、XiP 無効パターンの第 1 フェーズの長さを選択します。 第 1 フェーズと第 2 フェーズの長さが両方とも 0 のパターンを設定しないでください。 0x0: 0 サイクル 0x1: 1 サイクル ⋮ ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
22:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	XD1VAL	XiP 無効パターン第 1 フェーズ値 これらのビットは、XiP 無効パターンの第 1 フェーズの値を選択します。 0: Low 駆動 1: High 駆動	R/W
28:24	XD2LEN[4:0]	XiP 無効パターン第 2 フェーズ長 これらのビットは、XiP 無効パターンの第 2 フェーズの長さを選択します。 0x00: 0 サイクル 0x01: 1 サイクル ⋮ ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
30:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	XD2VAL	XiP 無効パターン第 2 フェーズ値 これらのビットは、XiP 無効パターンの第 2 フェーズの値を選択します。 0: Low 駆動 1: High 駆動	R/W

注. S-TYPE-3, P-TYPE-3

LPCTL0 レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.12 LPCTL1 : OSPI リンクパターンコントロールレジスタ 1

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	RSTSU[2:0]			—	RSTWID[2:0]			—	—	RSTREP[1:0]		CSSEL	—	PATREQ[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PATREQ[1:0]	パターン要求 これらのビットで、パターンの発行を要求します。01b または 10b に設定された時、パターンが開始されます。パターンが完了すると 00b にクリアされます。 0 0: 要求なし 0 1: リセットパターンを要求 1 0: CS のみパターンを要求 1 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CSSEL	チップセレクト このビットは、パターンを発行する対象メモリを選択します。 0: スレーブ 0 (CS0) 1: スレーブ 1 (CS1)	R/W

ビット	シンボル	機能	R/W
5:4	RSTREP[1:0]	リセットパターンの反復 これらのビットで、CS が Low から High へ切り替わる反復回数を選択します。 0 0: 4 回（リセット信号伝達プロトコル指定） 0 1: 5 回 1 0: 6 回 1 1: 7 回	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RSTWID[2:0]	リセットパターン幅 これらのビットで、リセットパターンと CS のみパターンにおける周期の幅を設定します。指定した周期で CS を切り替えます。 0 0 0: 2 (= 2^1) サイクル 0 0 1: 4 (= 2^2) サイクル ⋮ ⋮ 1 1 0: 128 (= 2^7) サイクル 1 1 1: 256 (= 2^8) サイクル	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	RSTSU[2:0]	リセットパターンデータ出力のセットアップ時間 これらのビットで、リセットパターンにおける CS のエッジに基づくデータ出力のセットアップ周期数を設定します。xSPI スレーブは CS の立ち上がりエッジでデータをサンプリングするため、セットアップ周期数には十分なセットアップ時間が必要です。 セットアップ時間のこの周期は、リセットパターン幅 (RSTWID[2:0]) 未満としてください。 0 0 0: 1 サイクル 0 0 1: 2 サイクル ⋮ ⋮ 1 1 0: 7 サイクル 1 1 1: 8 サイクル	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

LPCTL1 レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.13 LIOCTL : OSPI リンク入出力コントロールレジスタ

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RSTCS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WPCS1	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
1	WPCS1	スレーブ 1 の WP 駆動 このビットは OM_WP1 ポートの値を制御します。このビットが役立つのは、書き込み保護ポートを持つ xSPI スレーブのみです。 0: Low レベルを駆動 1: High レベルを駆動	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
16	RSTCS0	リセット駆動 このビットは OM_RESET ポートの値を制御します。このビットが役立つのはリセットポートを持つ xSPI スレーブだけです。 0: Low レベルを駆動 1: High レベルを駆動	R/W
17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

LIOCTL レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.14 CCCTL0CSn : OSPI コマンド校正コントロールレジスタ 0 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x130 + 0x020 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	CASFTEND[4:0]					—	—	—	CASFTSTA[4:0]				
Value after reset:	0	0	0	1	1	1	1	1	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CAITV[4:0]					—	—	—	—	—	—	CANOWR	CAEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CAEN	自動校正有効 このビットは、自動キャリブレーションを有効にします。1 に設定された場合、周期的にキャリブレーションシーケンスを送信し、位相シフトの値を調整します。キャリブレーションシーケンスの最中に 0 に設定された場合は、キャリブレーションシーケンスの完了後に停止し、このビットはクリアされます。 0: 自動校正を無効にします 1: 自動校正を有効にします	R/W
1	CANOWR	書き込みなしキャリブレーションモード このビットは、キャリブレーションシーケンスにおいて書き込みコマンドを省略することを選択します。固定キャリブレーションパターンデータを持つスレーブデバイスに対して使用できます。 0: 書き込みコマンドありの校正シーケンス 1: 書き込みコマンドなしの校正シーケンス	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	CAITV[4:0]	キャリブレーションインターバル これらのビットで、キャリブレーションパターン間のインターバルを設定します。 0x00: 2 (= 2^1) サイクル待機 0x01: 4 (= 2^2) サイクル待機 ⋮ 0x1E: 2,147,483,648 (= 2^{31}) サイクル待機 0x1F: 4,294,967,296 (= 2^{32}) サイクル待機	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	CASFTSTA[4:0]	キャリブレーション DS シフト開始値 これらのビットで、DS シフトの開始値を設定します。	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	CASFTEND[4:0]	キャリブレーション DS シフト終了値 これらのビットで、DS シフトの終了値を設定します。 終了値は開始値 (CASFTSTA[4:0]) 以上の値にします。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CCCTL0CSn レジスタには、xSPI マスタファンクションを制御する機能があります。

44.2.2.15 CCCTL1CSn : OSPI コマンド校正コントロールレジスタ 1 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x134 + 0x020 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	CARDLATE[4:0]					—	—	—	CAWRLATE[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CADATASIZE[3:0]				CAADDSIZE[2:0]			CACMDSIZE [1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CACMDSIZE[1:0]	コマンドサイズ これらのビットで、コマンドフィールドのサイズを設定します。 8D-8D-8D では、これらのビットを 10b にしてください。 コマンドサイズとアドレスサイズの両方を 0 に設定しないでください。 0 0: 0 バイト（コマンドフェーズなし） 0 1: 1 バイト 1 0: 2 バイト 1 1: 設定禁止	R/W
4:2	CAADDSIZE[2:0]	アドレスサイズ これらのビットで、アドレスフィールドのサイズを設定します。 0 0 0: 0 バイト（アドレスフェーズなし） 0 0 1: 1 バイト 0 1 0: 2 バイト 0 1 1: 3 バイト 1 0 0: 4 バイト その他: 設定禁止	R/W
8:5	CADATASIZE[3:0]	書き込み／読み出しデータサイズ これらのビットで、データフィールドのサイズを設定します。 8D-8D-8D の場合、データサイズは偶数バイトで設定してください。 0x0: 1 バイト 0x1: 2 バイト ⋮ ⋮ 0xE: 15 バイト 0xF: 16 バイト	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	CAWRLATE[4:0]	書き込みレイテンシサイクル これらのビットで、キャリブレーションフレームにおけるレイテンシサイクルを設定します。 0x00: レイテンシなし 0x01: 1 サイクル ⋮ ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
28:24	CARDLATE[4:0]	読み出しレイテンシサイクル これらのビットで、キャリブレーションフレームにおけるレイテンシサイクルを設定します。 0x00: レイテンシなし 0x01: 1 サイクル ⋮ ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CCCTL1CSn レジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動キャリブレーションの有効化が無効になっているときに更新してください。

44.2.2.16 CCCTL2CSn : OSPI コマンド校正コントロールレジスタ 2 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x138 + 0x020 × n

Bit position:	31																16	15														0
Bit field:	CARDCMD[15:0]																CAWRCMD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CAWRCMD[15:0]	キャリブレーションパターン書き込みコマンド これらのビットで、校正パターン書き込みコマンドを設定します。	R/W
31:16	CARDCMD[15:0]	キャリブレーションパターン読み出しコマンド これらのビットで、校正パターン読み出しコマンドを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

CCCTL2CSn レジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動キャリブレーションの有効化が無効になっているときに更新してください。

44.2.2.17 CCCTL3CSn : OSPI コマンド校正コントロールレジスタ 3 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x13C + 0x020 × n

Bit position:	31																															0
Bit field:	CAADD[31:0]																															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CAADD[31:0]	キャリブレーションパターンアドレス これらのビットで、校正パターンアドレスを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

CCCTL3CSn レジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動キャリブレーションの有効化が無効になっているときに更新してください。

44.2.2.18 CCCTL4CSn : OSPI コマンド校正コントロールレジスタ 4 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x140 + 0x020 × n

Bit position:	31																												0
Bit field:	CADATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CADATA[31:0]	キャリブレーションパターンデータ これらのビットで、校正パターンデータを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

CCCTL4CSn レジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動キャリブレーションの有効化が無効になっているときに更新してください。

44.2.2.19 CCCTL5CSn : OSPI コマンド校正コントロールレジスタ 5 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x144 + 0x020 × n

Bit position:	31																												0
Bit field:	CADATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CADATA[31:0]	キャリブレーションパターンデータ これらのビットで、校正パターンデータを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

CCCTL5CSn レジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動キャリブレーションの有効化が無効になっているときに更新してください。

44.2.2.20 CCCTL6CSn : OSPI コマンド校正コントロールレジスタ 6 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x148 + 0x020 × n

Bit position:	31																												0
Bit field:	CADATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CADATA[31:0]	キャリブレーションパターンデータ これらのビットで、校正パターンデータを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

CCCTL6CSn レジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動キャリブレーションの有効化が無効になっているときに更新してください。

44.2.2.21 CCCTL7CSn : OSPI コマンド校正コントロールレジスタ 7 CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x14C + 0x020 × n

Bit position:	31																												0
Bit field:	CADATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CADATA[31:0]	キャリブレーションパターンデータ これらのビットで、校正パターンデータを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

CCCTL7CSn レジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動キャリブレーションの有効化が無効になっているときに更新してください。

44.2.2.22 RACTL : OSPI レジスタアクセスコントロールレジスタ

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x208

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RAEN	レジスタアクセス許可 0: MER レジスタアクセス禁止 1: MER レジスタアクセス許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

44.2.2.23 MER : OSPI マップ終了置換レジスタ

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x228

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	MECS1								—	—	—	MERCS1
Value after reset:	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	MERCS1	マップ終了置換 CS1 許可 0: 置換なし 1: 置換あり	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:20	MECS1	マップ終了 CS1 置換アドレス MERCS1 が 1 に設定されている場合、システムバスアドレスのビット 27～ビット 20 はこの値で置き換えられます。	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SiP 製品の場合、MER レジスタは、「44.4. SiP 製品の構成」で説明されている通りに設定する必要があります。標準製品の場合、リセット後はこの値を変更しないでください。

44.2.3 OSPI ステータスレジスタ

このレジスタは、xSPI マスタのステータスを監視します。

44.2.3.1 COMSTT : OSPI 共通ステータスレジスタ

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x184

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	RSTOCS1	INTCS1	ECSCS1	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	WRBUFNECH0	—	PBUFNECH0	—	—	—	MEMACCCH0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MEMACCCH0	チャネル 0 からメモリアクセス実行中 「44.3.7.2. 通信停止のフロー」と「44.3.7.6. メモリマッピング停止のフロー」においてのみこのビットは有効です。 0: システムバスブリッジ CH0 はメモリにアクセスしていない 1: システムバスブリッジ CH0 はメモリにアクセスしている	R
3:1	—	読むと 0 が読めます。	R
4	PBUFNECH0	チャネル 0 プリフェッチバッファ非エンプティ 0: エンプティ 1: 非エンプティ	R
5	—	読むと 0 が読めます。	R
6	WRBUFNECH0	チャネル 0 書き込みバッファ非エンプティ 「44.3.7.2. 通信停止のフロー」と「44.3.7.6. メモリマッピング停止のフロー」においてのみこのビットは有効です。 0: エンプティ 1: 非エンプティ	R
19:7	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
20	ECSCS1	スレーブ 1 の ECS モニタ このビットは OM_ECSINT1 ポートの値を示します。 0: Low レベル 1: High レベル	R
21	INTCS1	スレーブ 1 の INT モニタ このビットは OM_ECSINT1 ポートの値を示します。 0: Low レベル 1: High レベル	R
22	RSTOCS1	スレーブ 1 の RSTO モニタ このビットは OM_RSTO1 ポートの値を示します。 0: Low レベル 1: High レベル	R
31:23	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

COMSTT レジスタは、xSPI マスタのステータスを示します。

44.2.3.2 CASTTCSn : OSPI 校正ステータスレジスタ CSn (n = 0, 1)

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x188 + 0x004 × n

Bit position:	31																												0
Bit field:	CASUC[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CASUC[31:0]	校正成功 これらのビットは、キャリブレーションが成功したことを DS シフト値ごとに示します。 このビットは、キャリブレーションシーケンスが完了するたびに更新されます。 CASUC[x]は、DS シフト値が x の場合にキャリブレーションが成功したことを示します。	R

注. S-TYPE-3, P-TYPE-3

CASTTCSn レジスタは、xSPI マスタのステータスを示します。

44.2.4 OSPI 割り込みレジスタ

これらのレジスタは、xSPI マスタの割り込み機能を制御します。

44.2.4.1 INTS : OSPI 割り込みステータスレジスタ

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x190

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CASUCCS1	CASUCCS0	CAFAILCS1	CAFAILCS0	—	—	—	—	—	—	—	BUSERRCH0	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	INTCS1	—	—	—	ECSCS1	—	—	—	DSTOCS1	DSTOCS0	PERTO	—	PATCMP	CMDCMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMDCMP	コマンド完了 このビットは、要求されたマニュアルコマンドが完了したときに 1 に設定されます。 直接マニュアルコマンドにおいては、全トランザクションの完了を意味します。 周期マニュアルコマンドにおいては、読み出しデータが期待値と一致したことを意味します。 0: 検出なし 1: 検出	R
1	PATCMP	パターン完了 このビットは、要求されたパターンが完了したときに 1 に設定されます。 0: 検出なし 1: 検出	R
2	—	読むと 0 が読めます。	R
3	PERTO	周期トランザクションタイムアウト 周期マニュアルコマンドモードにおいて、読み出し値が期待値と一致しなかった場合にこのビットは 1 に設定されます。 0: 検出なし 1: 検出	R
4	DSTOCS0	スレーブ 0 の DS タイムアウト DS を用いた読み出しトランザクションにおいて、DS を喪失した場合にこのビットは 1 に設定されます。 これは、期待した読み出しフェーズでデータを受信しなかったことを意味します。この場合、xSPI マスタは読み出しトランザクションとそれ以降のトランザクションを停止します。 このエラーはシステムバスへのエラー応答を発行する可能性があります。 0: 検出なし 1: 検出	R
5	DSTOCS1	スレーブ 1 の DS タイムアウト この機能は、DSTOCS0 と同じです。 0: 検出なし 1: 検出	R
8:6	—	読むと 0 が読めます。	R
9	ECSCS1	スレーブ 1 の ECC エラー検出 このビットは、OM_ECSINT1 ポートの立ち下がりエッジを検出したときに 1 に設定されます。このビットが役立つのは、ECC 検出機能を持つ xSPI スレーブのみです。 0: 検出なし 1: 検出	R
12:10	—	読むと 0 が読めます。	R
13	INTCS1	スレーブ 1 の割り込み検出 このビットは、OM_ECSINT1 ポートの立ち下がりエッジを検出したときに 1 に設定されます。このビットが役立つのは、割り込み機能を持つ xSPI スレーブのみです。 0: 検出なし 1: 検出	R
19:14	—	読むと 0 が読めます。	R
20	BUSERRCH0	チャネル 0 のシステムバスエラー このビットは、システムバス CH0 でエラー応答が発生したときに 1 に設定されます。	R
27:21	—	読むと 0 が読めます。	R
28	CAFAILCS0	スレーブ 0 のキャリブレーション失敗 このビットは、キャリブレーションが失敗したときに 1 に設定されます。 0: 検出なし 1: 検出	R
29	CAFAILCS1	スレーブ 1 のキャリブレーション失敗 この機能は、CAFAILCS0 と同じです。 0: 検出なし 1: 検出	R
30	CASUCCS0	スレーブ 0 のキャリブレーション成功 このビットは、キャリブレーションが成功したときに 1 に設定されます。 0: 検出なし 1: 検出	R

ビット	シンボル	機能	R/W
31	CASUCCS1	スレーブ 1 のキャリブレーション成功 この機能は、CASUCCS0 と同じです。 0: 検出なし 1: 検出	R

注. S-TYPE-3, P-TYPE-3

INTS レジスタは、割り込みのステータスを示します。このレジスタの各ビットは、INTC レジスタの対応するビットに 1 が書き込まれると 0 にクリアされます。

44.2.4.2 INTC : OSPI 割り込みクリアレジスタ

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x194

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CASUCCS1C	CASUCCS0C	CAFAILCS1C	CAFAILCS0C	—	—	—	—	—	—	—	BUSERRCH0C	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	INTCS1C	—	—	—	ECSCS1C	—	—	—	DSTOCS1C	DSTOCS0C	PERTOC	—	PATCMPC	CMDCMPC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMDCMPC	コマンド完了割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
1	PATCMPC	パターン完了割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
2	—	書く場合、0 としてください。	W
3	PERTOC	周期トランザクションタイムアウト割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
4	DSTOCS0C	スレーブ 0 の DS タイムアウト割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
5	DSTOCS1C	スレーブ 1 の DS タイムアウト割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
8:6	—	書く場合、0 としてください。	W
9	ECSCS1C	スレーブ 1 の ECC エラー検出割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
12:10	—	書く場合、0 としてください。	W
13	INTCS1C	スレーブ 1 の割り込み検出割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
19:14	—	書く場合、0 としてください。	W
20	BUSERRCH0C	ch0 システムバスエラー割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
27:21	—	書く場合、0 としてください。	W

ビット	シンボル	機能	R/W
28	CAFAILCS0C	スレーブ 0 のキャリブレーション失敗割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
29	CAFAILCS1C	スレーブ 1 のキャリブレーション失敗割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
30	CASUCCS0C	スレーブ 0 のキャリブレーション成功割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
31	CASUCCS1C	スレーブ 1 のキャリブレーション成功割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W

注. S-TYPE-3, P-TYPE-3

INTC レジスタは、割り込みの状態をクリアします。

44.2.4.3 INTE : OSPI 割り込み許可レジスタ

Base address: OSPIn_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
OSPIn_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)

Offset address: 0x198

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CASUCCS1E	CASUCCS0E	CAFAILCS1E	CAFAILCS0E	—	—	—	—	—	—	—	BUSERRCH0E	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	INTCS1E	—	—	—	ECSCS1E	—	—	—	DSTOCS1E	DSTOCS0E	PERTOE	—	PATCMPE	CMDCMPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMDCMPE	コマンド完了割り込み許可 0: 禁止 1: 許可	R/W
1	PATCMPE	パターン完了割り込み許可 0: 禁止 1: 許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PERTOE	周期トランザクションタイムアウト割り込み許可 0: 禁止 1: 許可	R/W
4	DSTOCS0E	スレーブ 0 の DS タイムアウト割り込み許可 0: 禁止 1: 許可	R/W
5	DSTOCS1E	スレーブ 1 の DS タイムアウト割り込み許可 0: 禁止 1: 許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	ECSCS1E	スレーブ 1 の ECC エラー検出割り込み許可 0: 禁止 1: 許可	R/W
12:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
13	INTCS1E	スレーブ 1 の割り込み検出割り込み許可 0: 禁止 1: 許可	R/W
19:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	BUSERRCH0E	ch0 システムバスエラー割り込み許可 0: 禁止 1: 許可	R/W
27:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	CAFAILCS0E	スレーブ 0 のキャリブレーション失敗割り込み許可 0: 禁止 1: 許可	R/W
29	CAFAILCS1E	スレーブ 1 のキャリブレーション失敗割り込み許可 0: 禁止 1: 許可	R/W
30	CASUCCS0E	スレーブ 0 のキャリブレーション成功割り込み許可 0: 禁止 1: 許可	R/W
31	CASUCCS1E	スレーブ 1 のキャリブレーション成功割り込み許可 0: 禁止 1: 許可	R/W

注. S-TYPE-3, P-TYPE-3

INTE レジスタは割り込みを許可します。

44.3 動作説明

xSPI マスタインタフェースには、xSPI スレーブインタフェースを備えた外部メモリに対してトランザクションを発行する機能があります。外部メモリのレジスタに対して読み書きを行うことができます。

本 xSPI マスタにはトランザクションを発行する 2 つのモードがあります。

- マニュアルコマンドモード
- メモリマッピングモード

マニュアルコマンドモードでは、ソフトウェアで xSPI フレームのすべてのフィールドを設定し、ソフトウェア要求によってトランザクションを開始します。メモリマッピングモードでは、ソフトウェアによって、あらかじめ設定したメモリ領域のシステムバスが xSPI トランザクションに自動的に変換されます。システムバスから xSPI バス経由でチップ外部の外部メモリ領域にアクセスすることが可能になります。

ここでは、xSPI バスの動作、xSPI フレームの直接制御（マニュアルコマンド）、メモリアクセスの制御（メモリマッピング）、エラー動作、および動作の流れについて説明します。

44.3.1 xSPI バス

ここでは、xSPI バスの動作について説明します。

図 44.2 に OSPI とメモリデバイス間の接続の例を示します。

この場合、OM_CS0 は RAM デバイスに接続し、OM_CS1 は Flash デバイスに接続します。

プルアップ抵抗は、各デバイスの指示に従って指定してください。

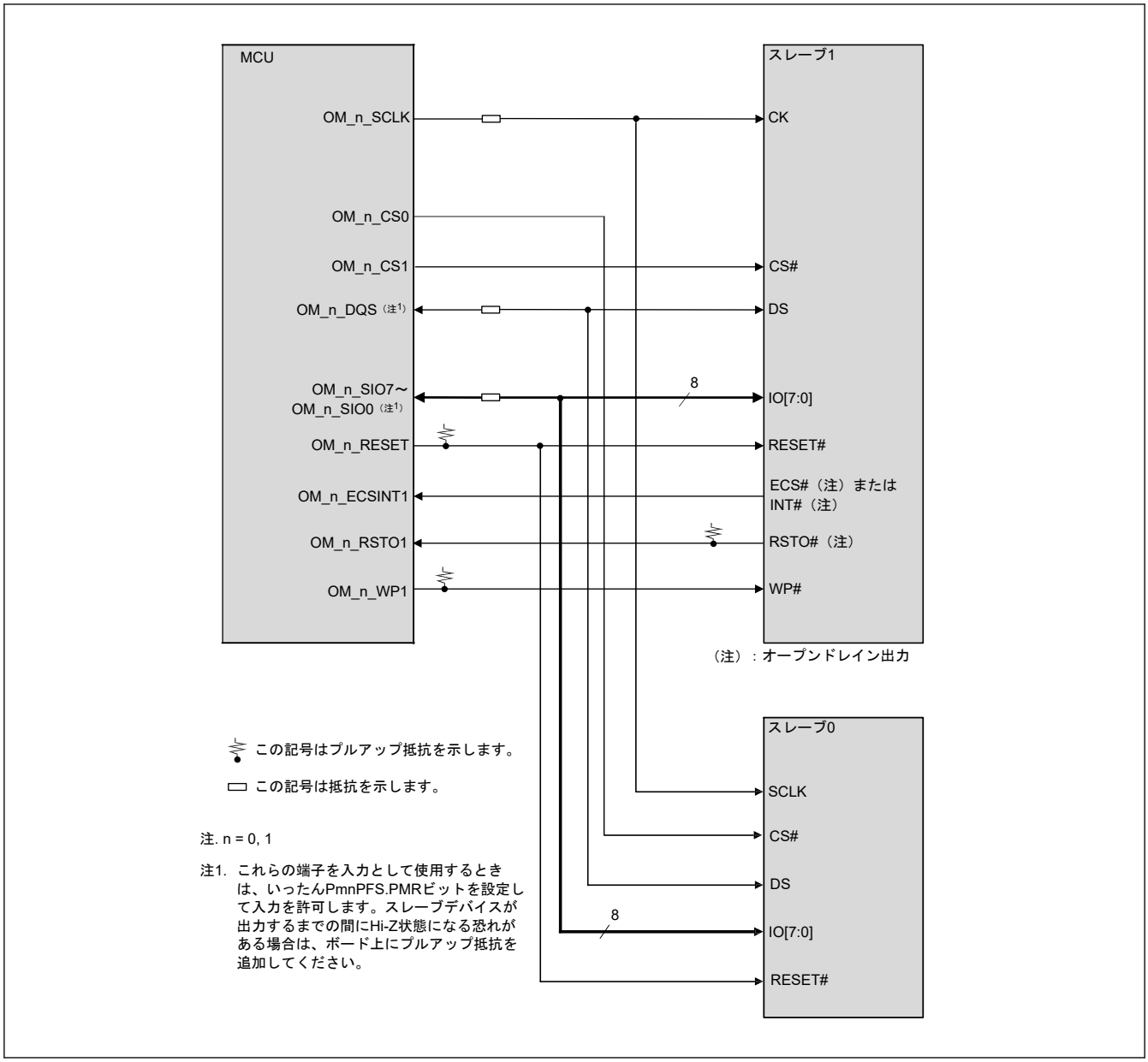


図 44.2　OSPI とメモリデバイス間の接続の例

44.3.1.1　対応するプロトコルモード

本 xSPI マスタはさまざまなプロトコルモードに対応しています。プロトコルモードビット (LIOCFGCSn.PRTMD[9:0]) で設定します。表 44.3 にプロトコルモードの概要を示します。

表 44.3　対応するプロトコルモード (1/2)

プロトコルモード	機能	PRTMD[9:0]	備考
1S-1S-1S	コマンドフィールド、アドレスフィールド、およびデータフィールドは、1 データ入力端子と 1 データ出力端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x000	xSPI プロトコルにて指定
4S-4D-4D	コマンドフィールドは、4 データ端子を使用して SDR で転送されます。アドレスフィールドとデータフィールドは、4 データ端子を使用して DDR で転送されます。読み出しデータは OM_DQS でサンプリングされます。	0x3B2	xSPI プロトコルにて指定
8D-8D-8D	コマンドフィールド、アドレスフィールド、およびデータフィールドは、8 データ端子を使用して DDR で転送されます。読み出しデータは OM_DQS でサンプリングされます。	0x3FF	xSPI プロトコルにて指定

表 44.3 対応するプロトコルモード (2/2)

プロトコルモード	機能	PRTMD[9:0]	備考
1S-2S-2S	コマンドフィールドは、1 データ端子を使用して SDR で転送されます。アドレスフィールドとデータフィールドは、2 データ端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x048	—
2S-2S-2S	コマンドフィールド、アドレスフィールド、およびデータフィールドは、2 データ端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x049	—
1S-4S-4S	コマンドフィールドは、1 データ端子を使用して SDR で転送されます。アドレスフィールドとデータフィールドは、4 データ端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x090	—
4S-4S-4S	コマンドフィールド、アドレスフィールド、およびデータフィールドは、4 データ端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x092	—

注. XiP モードが有効の場合、XiP コードがレイテンシフィールドに挿入されます。それはメモリマッピングモードでだけ有効です。

コマンドフィールドとアドレスフィールドのバイト並びは、最上位から最下位の順に転送されます。データフィールドの連続するバイト並びは最下位アドレスから最上位アドレスの順に転送されます。複数の端子を使用する場合は、各バイトの最下位ビットは OM_SIO0 に配置されます。各上位ビットは、OM_SIOn (n = 1～7) 信号の上位の番号に連続して配置されます。

図 44.3 に 1S-1S-1S プロトコルモードのタイミング図を示します。OM_SIO0 信号は出力データに使用され、OM_SIO1 信号は入力データに使用されます。

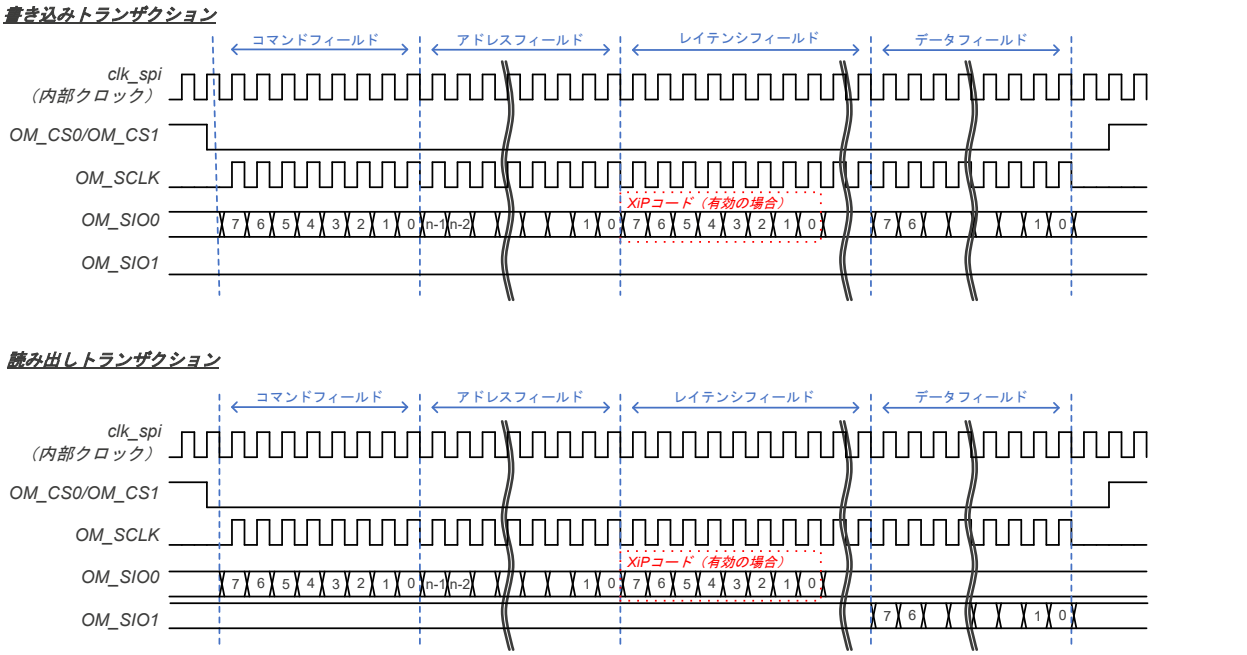


図 44.3　1S-1S-1S タイミング図

図 44.4 に 1S-2S-2S プロトコルモードのタイミング図を示します。

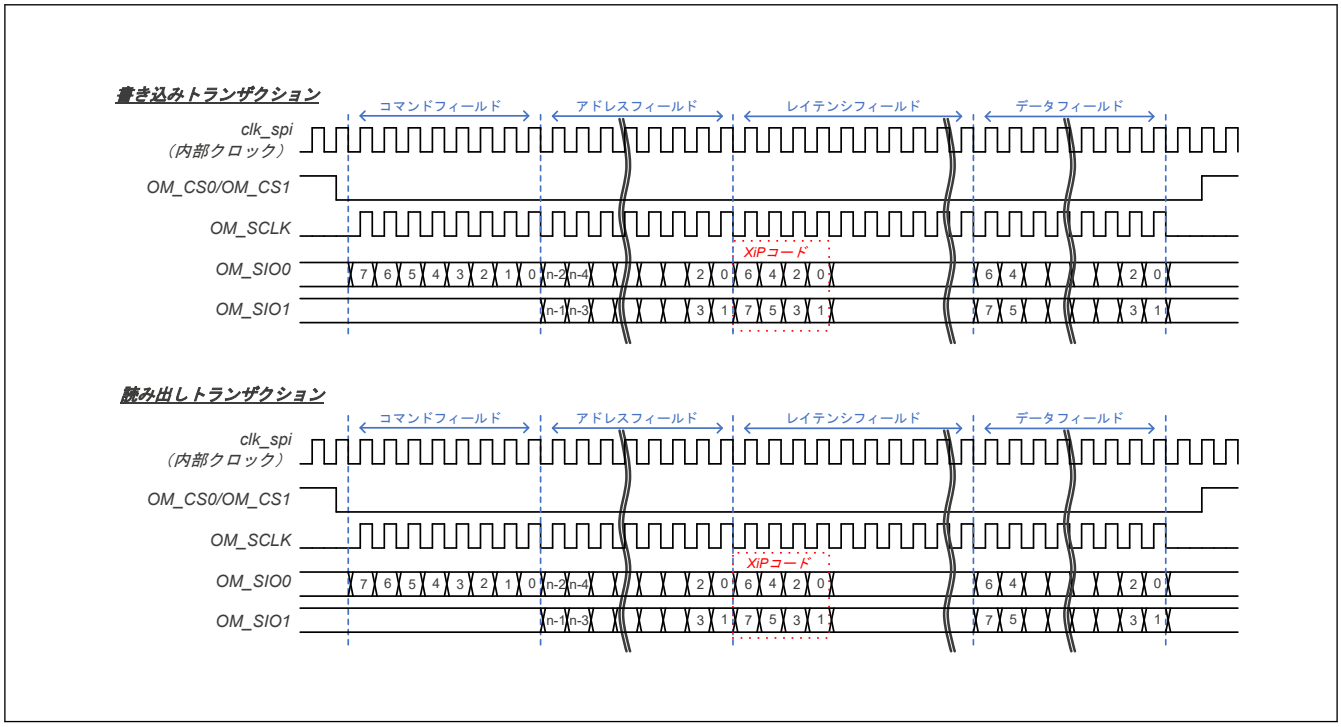


図 44.4　1S-2S-2S タイミング図

図 44.5 に 4S-4D-4D プロトコルモードのタイミング図を示します。

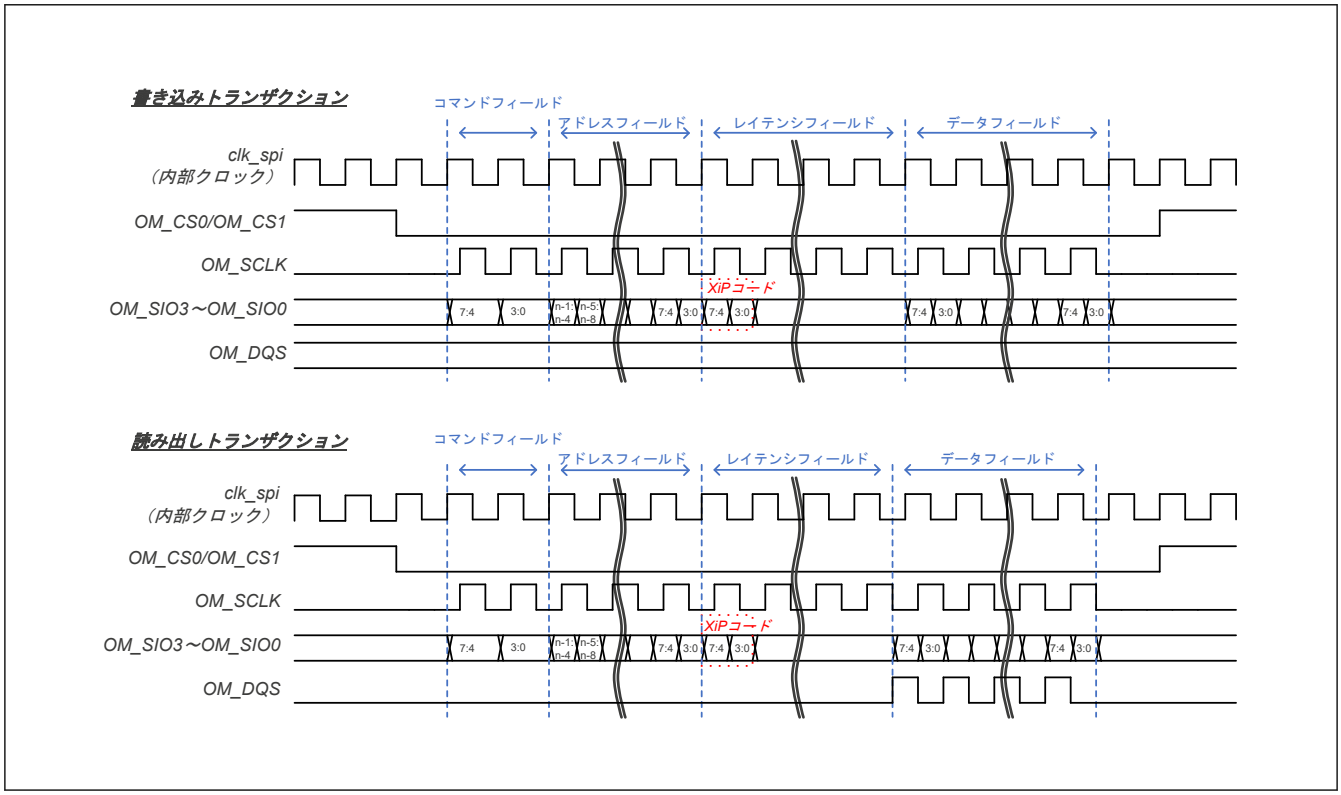


図 44.5　4S-4D-4D タイミング図

図 44.6 に 8D-8D-8D プロファイル 1.0 プロトコルモードのタイミング図を示します。8D-8D-8D では、データは常にバイトペアで送信されます。各フィールドが奇数バイトの場合、最後の 1 バイトには無効なデータが埋め込まれます。

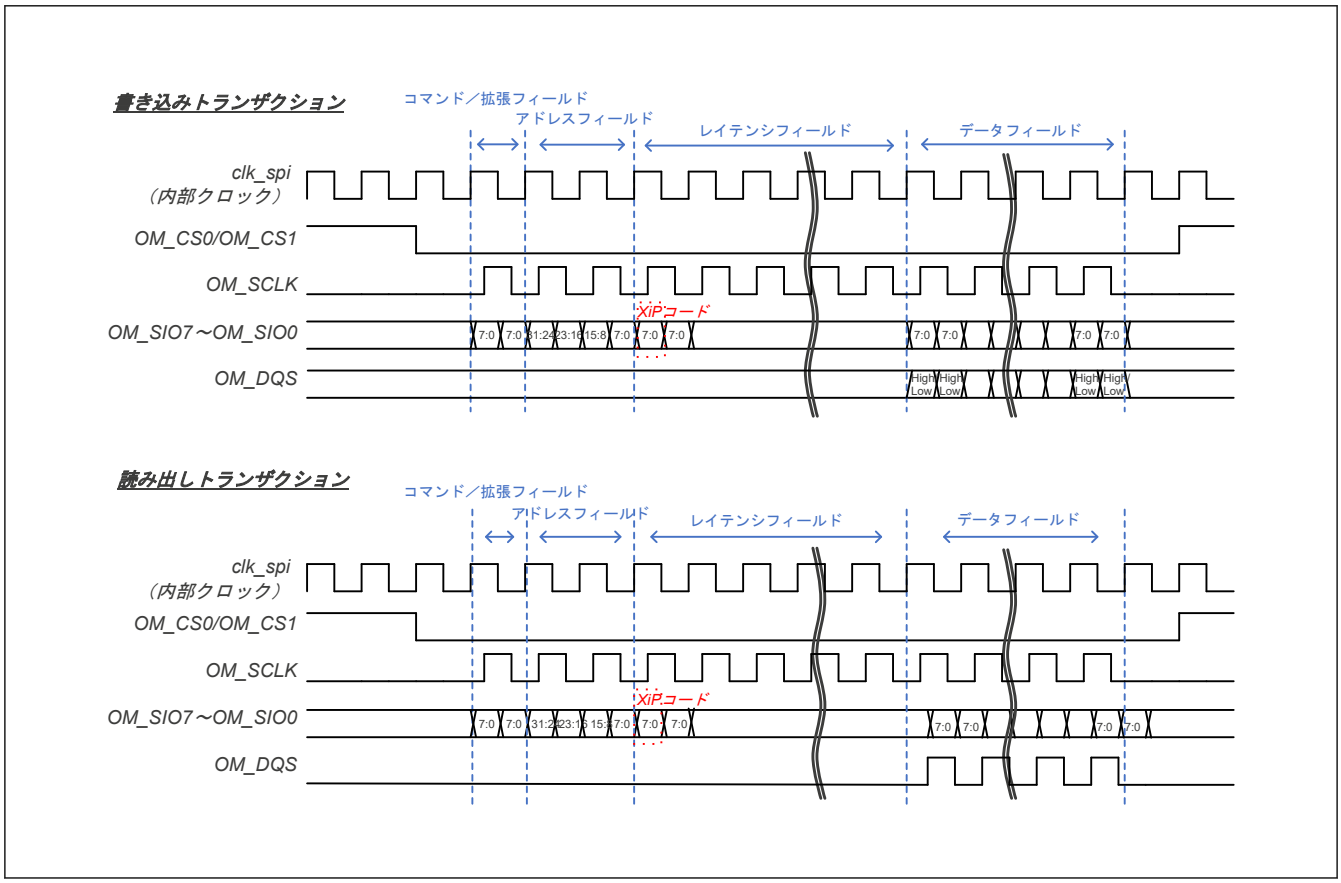


図 44.6　8D-8D-8D プロファイル 1.0 のタイミング図

図 44.7 に 8D-8D-8D プロファイル 2.0 プロトコルモードのタイミング図を示します。8D-8D-8D では、データは常にバイトペアで送信されます。各フィールドが奇数バイトの場合、最後の 1 バイトには無効なデータが埋め込まれます。

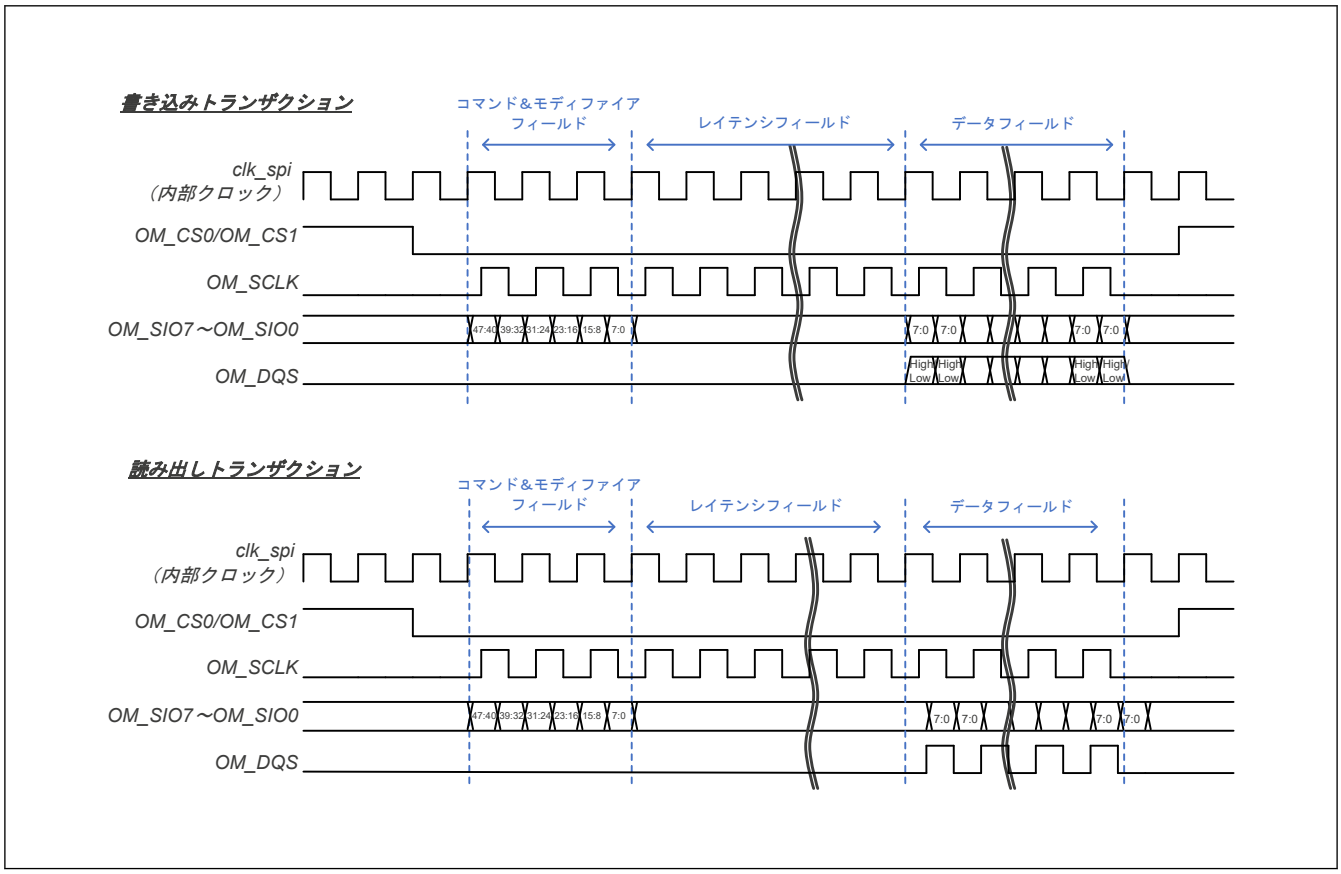


図 44.7　8D-8D-8D プロファイル 2.0 のタイミング図

44.3.1.2　xSPI フレームのインターバル

xSPI フレーム間のインターバルは、CS 最小アイドル期間ビット (LIOCFGCSn.CSMIN[3:0]) で設定します。設定値は xSPI スレーブデバイスの仕様に依存します。

44.3.1.3　OSPI 信号タイミング制御

本 xSPI マスタは SDR と DDR の両方に対応しています。SDR では、データストローブ (DS) 信号で入力データをサンプリングすることが可能です。本 xSPI マスタでタイミングを調整することで、xSPI インタフェース信号の静的な駆動／サンプリングをさまざまなモードで容易に実現できます。表 44.4 に xSPI インタフェース信号タイミング制御の概要を示します。

表 44.4　OSPI 信号タイミング制御の概要 (1/2)

信号	モード	初期動作	タイミング制御 (n = 0, 1)
OM_CS0, OM_CS1 駆動	—	最初の OM_SCLK の立ち上がりエッジの前の 1 サイクルをアサートする。	LIOCFGCSn.CSASTEX ビットによるアサートのための 1 サイクル拡張
		最後の OM_SCLK の立ち下がりエッジの後の 1.5 サイクルをネゲートする。	LIOCFGCSn.CSNEGEX ビットによるネゲートのための 1 サイクル拡張

表 44.4 OSPI 信号タイミング制御の概要 (2/2)

信号	モード	初期動作	タイミング制御 (n = 0, 1)
OM_SCLK 駆動	DS なし SDR DS あり SDR	参照ポイント	—
	DS あり DDR	参照ポイント	—
OM_SIOn (n = 0 ～7) 出力駆動	DS なし SDR DS あり SDR	clk_spi の立ち下がりエッジ（内部クロック）	LIOCFGCSn.SDRDRV ビットによる 0 または 0.5 サイクルのシフト
	DS あり DDR	clk_spi の両エッジ（内部クロック）	—
OM_SIOn (n = 0 ～7) 入力サンプリング	DS なし SDR	期待したデータサイズにおける OM_SCLK の立ち下がりエッジ	LIOCFGCSn.SDRSMPSFT[3:0]ビットによる 0～7 サイクルのシフト（1 サイクル単位） LIOCFGCSn.SDRSMPMD ビットによる 0 または 0.5 サイクルのシフト
	DS あり SDR	期待したデータサイズにおける OM_DQS 信号の立ち下がりエッジ	LIOCFGCSn.SDRSMPMD ビットによる立ち上がりエッジのサンプリング WRAPCFG.DSSFTCSn[4:0] ビットによる 0～1 サイクルの位相シフト LIOCFGCSn.DDRSMPEX[3:0]ビットによる 0～7 サイクルの拡張
	DS あり DDR	期待したデータサイズにおける OM_DQS 信号の両エッジ	WRAPCFG.DSSFTCSn[4:0] ビットによる 0～1 サイクルの位相シフト LIOCFGCSn.DDRSMPEX[3:0]ビットによる 0～7 サイクルの拡張

注. xSPI プロトコル上の DDR において、DS はデータの中心に合わせる必要があります。これは、位相を 0.25 周期（90 度）シフトすることを意味します。本 xSPI マスタでは、使用状況に応じてこの位相を調整することができます。

図 44.8 に DS なし SDR の初期動作とタイミング制御を示します。

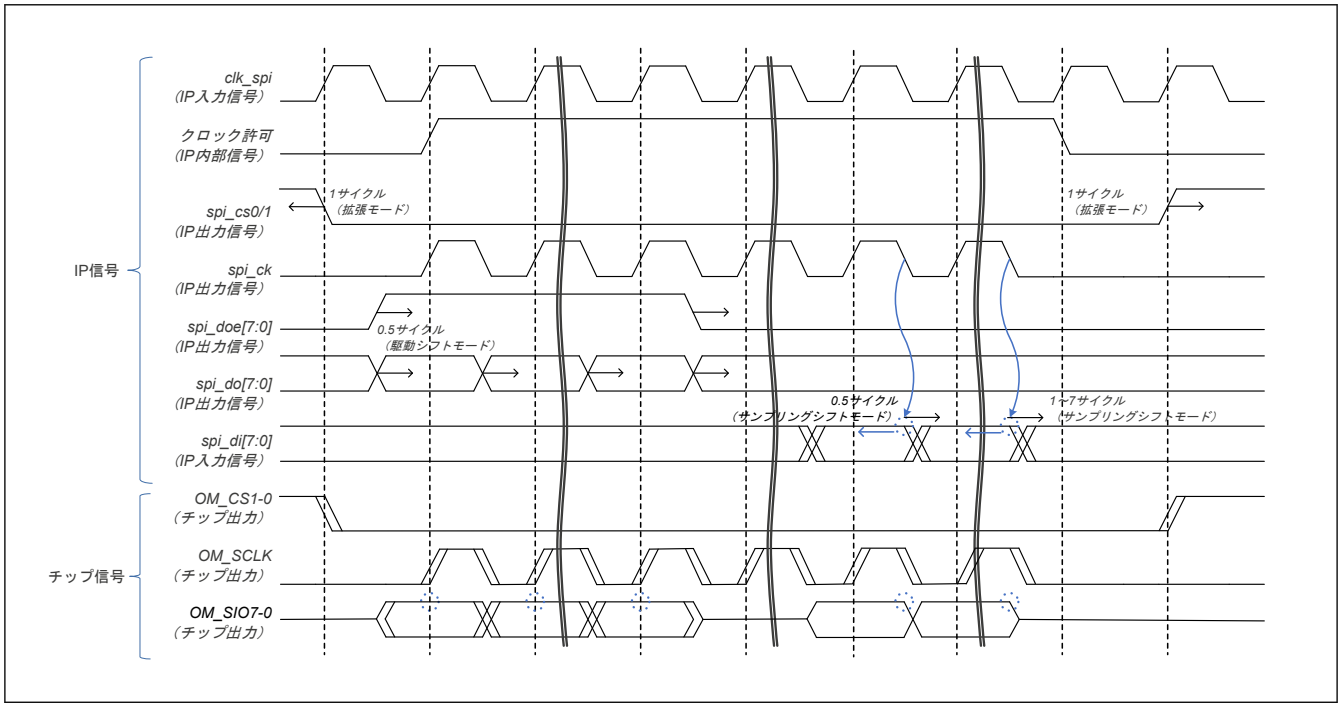


図 44.8　DS なし SDR のタイミング制御

図 44.9 に DS あり SDR の初期動作とタイミング制御を示します。

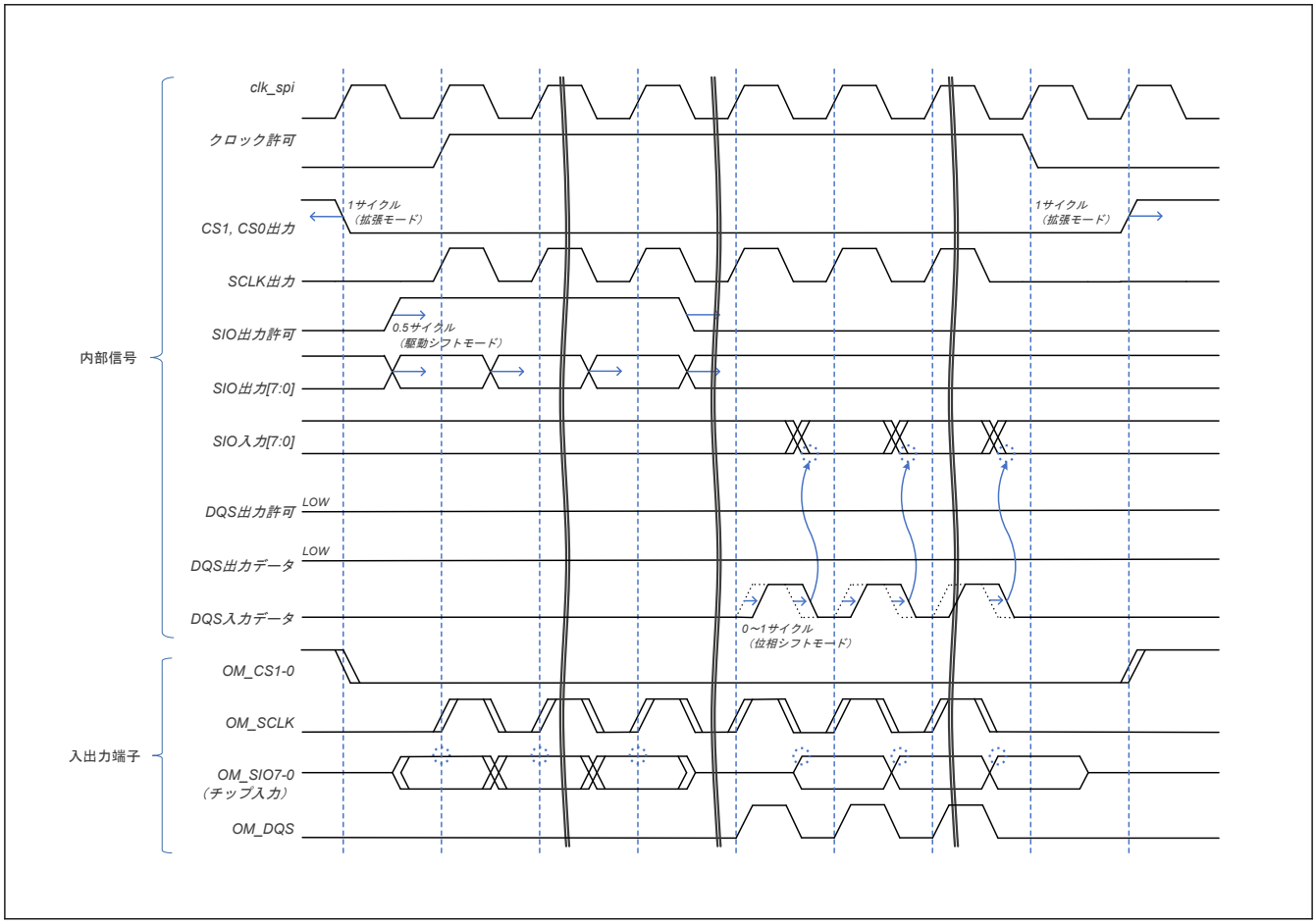


図 44.9　DS あり SDR のタイミング制御

図 44.10 に DS あり DDR の初期動作とタイミング制御を示します。

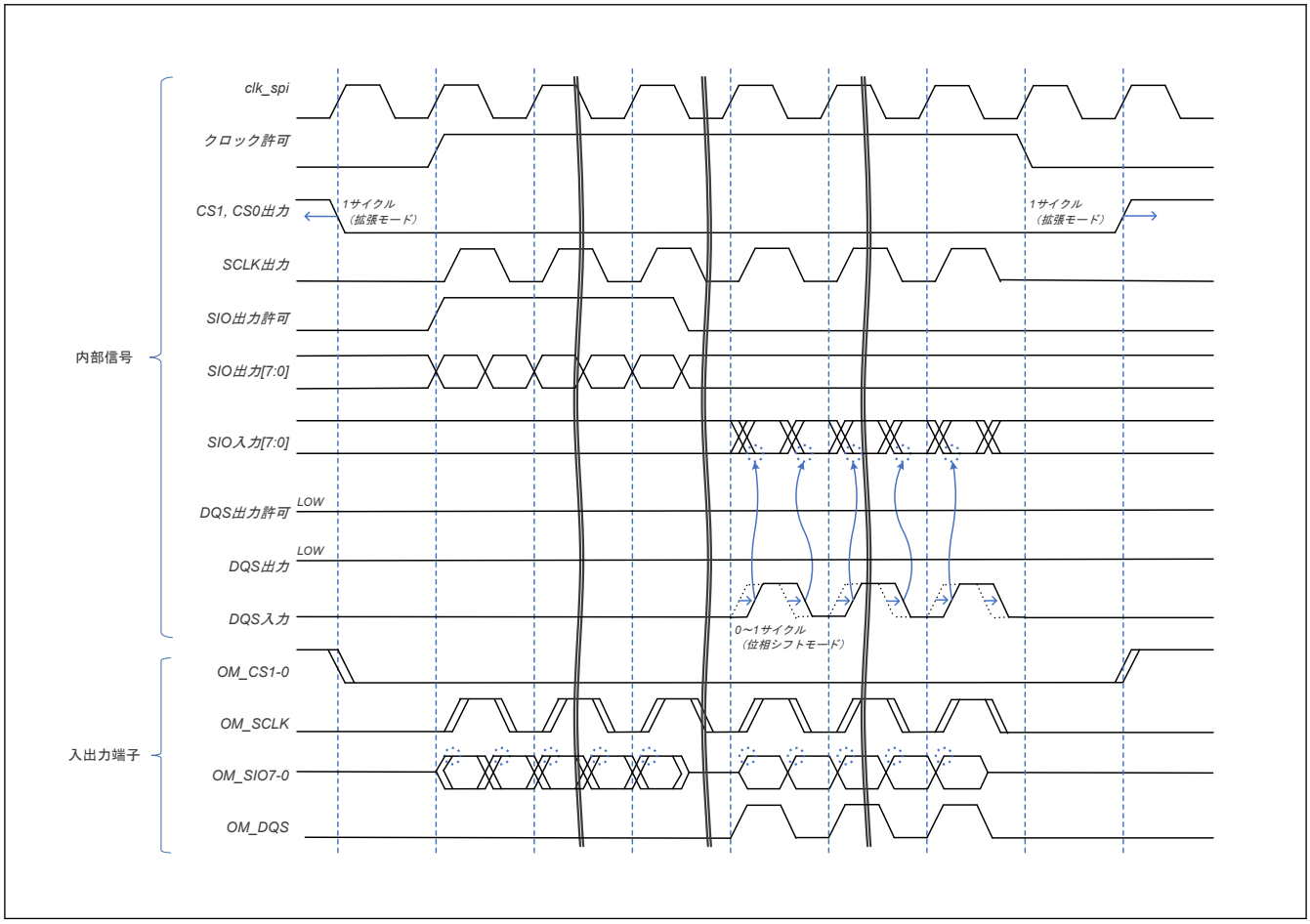


図 44.10　DS あり DDR のタイミング制御

44.3.1.4　自動校正

本 xSPI マスタは、DS シフト値 (WRAPCFG.DSSFTCSn (n = 0, 1)) を自動調整する機能に対応しています。本機能が有効 (CCCTL0CSn.CAEN = 1) の場合、本 xSPI マスタは周期的に校正シーケンスを送信し、位相シフトの値を調整します。

校正シーケンス中に読み出しトランザクションにおいて、すべての読み出しコンペアが不一致の場合、校正失敗ビット (INTS.CAFAILCSn = 1 (n = 0, 1)) がアサートされ、DS シフト値は更新されません。少なくとも 1 つの読み出しコンペアが一致の場合、校正成功ビット (INTS.CASUCCSn = 1 (n = 0, 1)) がアサートされ、DS シフト値は更新されます。各 DS シフト値の結果は、校正ステータスレジスタ (CASTTCSn) によってモニタ可能です。図 44.11 に自動校正を示します。

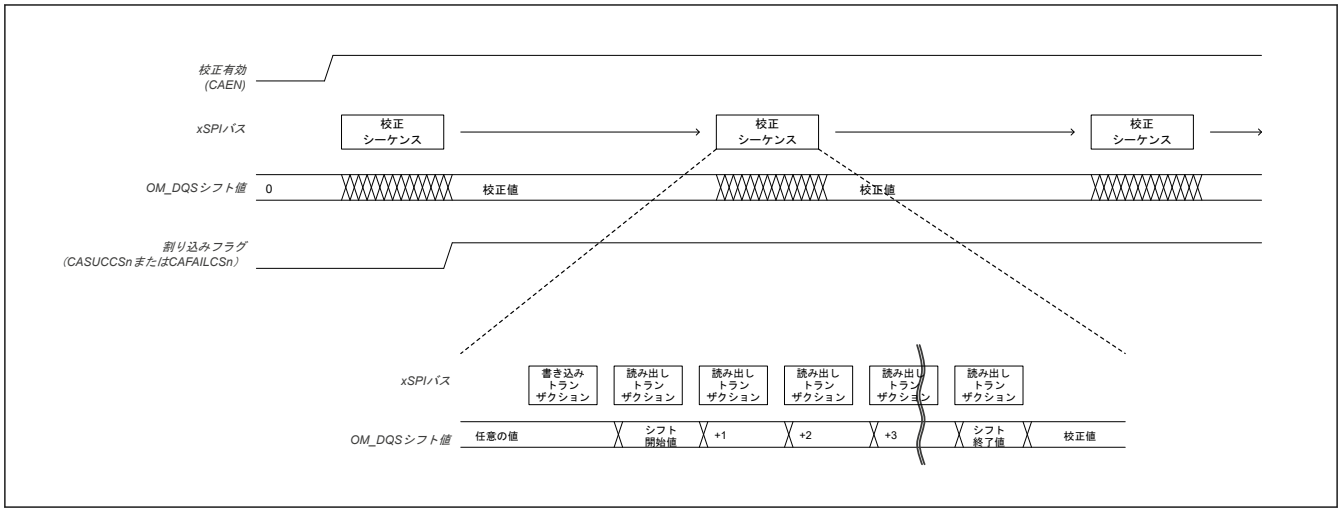


図 44.11　自動校正

44.3.2　マニュアルコマンド

ここでは、マニュアルコマンドモードについて説明します。マニュアルコマンドモードには以下の 2 つの機能モードがあります。

- 直接モード
- 周期モード

44.3.2.1　直接モード

このモードでは、ソフトウェアによる設定と要求に従って xSPI トランザクションを 4 つまで連続して発行できます。一連のトランザクションは、1 回のトランザクション要求（CDCTL0.TRREQ = 1 かつ PERMD = 0）で発行できます。設定できるトランザクションの数 (CDCTL0.TRNUM[1:0]) は 4 までです。xSPI スレーブデバイスのモードを変更したりステータスの読み出しに使用することもできます。

表 44.5 に直接モード用マニュアルコマンドに設定したレジスタビットを示します。図 44.25 に、この動作フローを示します。

表 44.5　直接モード用マニュアルコマンド設定

トランザクション	トランザクション種別	コマンド	コマンドサイズ	アドレス	アドレスサイズ	データ (x = 0, 1)	データサイズ	レイテンシサイクル
1 番目のトランザクション	CDTBUF0.TRTYPE	CDTBUF0.CMD[15:0]	CDTBUF0.CMDSIZE[1:0]	CDABUF0.ADD[31:0]	CDTBUF0.ADDSIZE[2:0]	CDDxBUF0.DATA[31:0]	CDTBUF0.DATASIZE[3:0]	CDTBUF0.LATE[4:0]
2 番目のトランザクション	CDTBUF1.TRTYPE	CDTBUF1.CMD[15:0]	CDTBUF1.CMDSIZE[1:0]	CDABUF1.ADD[31:0]	CDTBUF1.ADDSIZE[2:0]	CDDxBUF1.DATA[31:0]	CDTBUF1.DATASIZE[3:0]	CDTBUF1.LATE[4:0]
3 番目のトランザクション	CDTBUF2.TRTYPE	CDTBUF2.CMD[15:0]	CDTBUF2.CMDSIZE[1:0]	CDABUF2.ADD[31:0]	CDTBUF2.ADDSIZE[2:0]	CDDxBUF2.DATA[31:0]	CDTBUF2.DATASIZE[3:0]	CDTBUF2.LATE[4:0]
4 番目のトランザクション	CDTBUF3.TRTYPE	CDTBUF3.CMD[15:0]	CDTBUF3.CMDSIZE[1:0]	CDABUF3.ADD[31:0]	CDTBUF3.ADDSIZE[2:0]	CDDxBUF3.DATA[31:0]	CDTBUF3.DATASIZE[3:0]	CDTBUF3.LATE[4:0]

44.3.2.2　周期モード

このモードでは、ソフトウェアによる設定と要求に従って xSPI 読み出しトランザクションを周期的に発行し、最大 4 バイトの読み出し値を期待値と比較できます。トランザクションは、トランザクション要求（CDCTL0.TRREQ = 1 かつ PERMD = 1）によって発行されます。xSPI スレーブデバイスのステータスポーリング動作の代わりに使用できます。

周期の長さは、周期トランザクションインターバルビット (CDCTL0.PERITV[4:0]) で設定します。期待値は、周期トランザクション期待値ビットとマスク値ビット（CDCTL1.PEREXP[31:0]と CDCTL2.PERMSK[31:0]）で設定

します。表 44.6 に周期モード用マニュアルコマンドに設定したレジスタビットを示します。図 44.26 に、この動作フローを示します。

表 44.6　周期モード用マニュアルコマンド設定

トランザクション	トランザクション種別	コマンド	コマンドサイズ	アドレス	アドレスサイズ	データ (x = 0, 1)	データサイズ	レイテンシサイクル
読み出しトランザクション	CDTBUF0.TRTYPE	CDTBUF0.CMD[15:0]	CDTBUF0.CMDSIZE[1:0]	CDABUF0.ADD[31:0]	CDTBUF0.ADDSIZE[2:0]	CDDxBUF0.DATA[31:0]	CDTBUF0.DATASIZE[3:0]	CDTBUF0.LATE[4:0]

44.3.3　メモリマッピング

本節では、メモリマッピングモードについて説明します。このモードでは、あらかじめ設定したメモリ領域のシステムバスアクセスを xSPI トランザクションへ自動的に変換します。

44.3.3.1　設定

この動作では、アドレスのペイロードとデータフィールドはシステムバス信号から配信されます。コマンドフィールドとサイズの情報は、設定されたレジスタビットから配信されます。表 44.7 にメモリマッピング用に設定したレジスタビットを示します。

表 44.7　メモリ領域アクセス用メモリマッピング設定 (n = 0, 1)

システムバストランザクション	フォーマット変更モード	コマンド	コマンドサイズ	アドレス	アドレスサイズ	データ	データサイズ	レイテンシサイクル
スレーブ n メモリ領域に対する書き込み	通常	CMCFG2CSn.WRCMD[15:8]	1 バイト	SAWADDR[x:0]	CMCFG0CSn.ADDSIZE[1:0]	SWDATA	最大 SAWLEN および SAWSIZE	CMCFG2CSn.WRLATE[4:0]
	8D-8D-8D プロファイル 1.0	CMCFG2CSn.WRCMD[15:0]	2 バイト					
	8D-8D-8D プロファイル 2.0 コマンドモディファイア	CMCFG2CSn.WRCMD[15:8]	1 バイト	{SAWADDR[27:4], 0000000000000b, SAWADDR[3:1]}	5 バイト			
	8D-8D-8D プロファイル 2.0 拡張コマンドモディファイア	CMCFG2CSn.WRCMD[15:13]	3 ビット	{0b, SAWADDR[31:4], 0000000000000b, SAWADDR[3:1]	45 ビット			
スレーブ n メモリ領域に対する読み出し	通常	CMCFG1CSn.RDCMD[15:8]	1 バイト	SARADDR[x:0]	CMCFG0CSn.ADDSIZE[1:0]	SRDATA	最大 SARLEN および SARSIZE	CMCFG1CSn.RDLATE[4:0]
	8D-8D-8D プロファイル 1.0	CMCFG1CSn.RDCMD[15:0]	2 バイト					
	8D-8D-8D プロファイル 2.0 コマンドモディファイア	CMCFG1CSn.RDCMD[15:8]	1 バイト	{SARADDR[27:4], 0000000000000b, SARADDR[3:1]}	5 バイト			
	8D-8D-8D プロファイル 2.0 拡張コマンドモディファイア	CMCFG1CSn.RDCMD[15:13]	3 ビット	{0b, SARADDR[31:4], 0000000000000b, SARADDR[3:1]}	45 ビット			

注.　アドレスの MSByte はアドレス置換許可ビット (CMCFG0CSn.ADDRPEN[7:0]) とアドレス置換コードビット (CMCFG0CSn.ADDRPCD[7:0]) で置き換えることができます。

44.3.3.2 書き込みアクセスの動作

システムバスからのメモリ領域への書き込みアクセスの受付時、本 xSPI マスタは、すべてのペイロードデータを内部ブリッジバッファに格納し、xSPI スレーブへの書き込みトランザクションを発行します。図 44.12 に動作概要を示します。

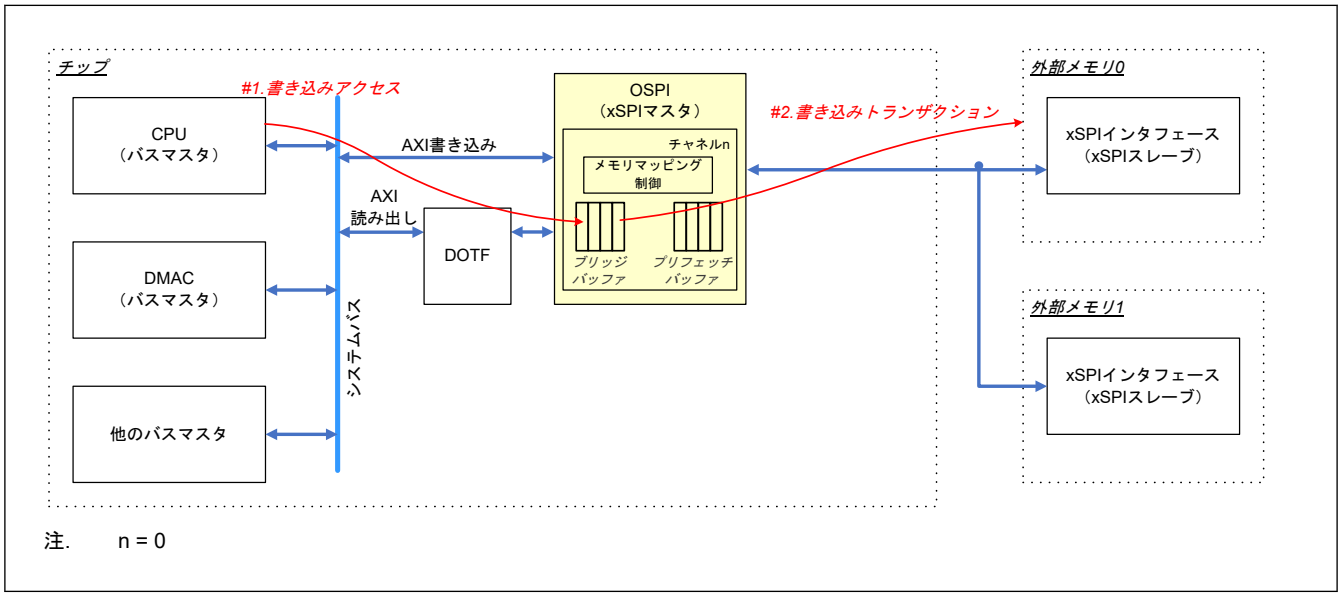


図 44.12 メモリ領域に対する書き込みアクセス

xSPI バスの動作は、システムバスのバースト種別によって異なります。バースト種別がシングルタイプまたはインクリメントタイプの場合、1 つのシステムバストランザクションが 1 つの xSPI フレームをトリガします。バーストタイプがラップタイプで CMCFG0CSn.WPBSTMD が 0 の場合、1 つのシステムバストランザクションが 2 つの xSPI フレームをトリガします。図 44.13 に AXI と xSPI フレームの関係を示します。

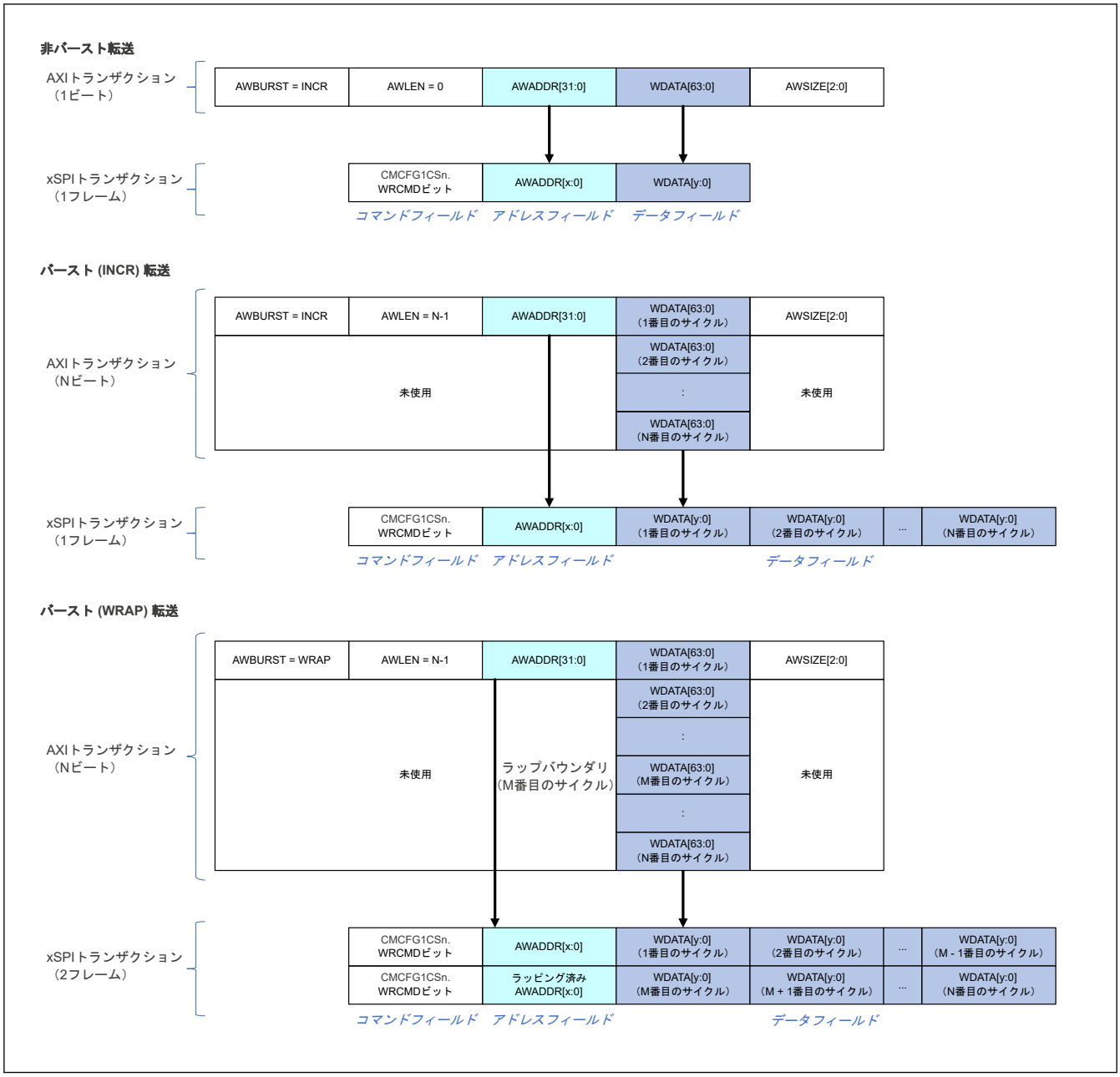


図 44.13　書き込みアクセス時の xSPI フレームのフォーマット（通常フォーマット）

44.3.3.3　結合機能

メモリ領域に対するシステムバス書き込みアクセスにおいて、本 xSPI マスタには、xSPI バスの高スループットを実現するために書き込みデータを結合する機能があります。この機能を有効にした場合 (BMCFGCHn.MWRCOMB = 1)、本 xSPI マスタは、アドレスがインクリメントアドレス(注1)で連続している間、選択したサイズで xSPI フレームを送信します。以下の条件の 1 つが検出されると、対象サイズ (BMCFGCHn.MWRSIZE[7:0]) に達していなくても、本 xSPI マスタは保留中のデータを xSPI バスに送信します。

- 非インクリメントアドレスが検出された。
- 異なるバースト種別が検出された。
- 読み出しトランザクションが検出された。
- 異なるスレーブへのアクセスが検出された。
- メモリ書き込みデータのプッシュビット (BMCTL1.MWRPUSHCHn (n = 0)) が設定された。

この機能は、スレーブデバイスがデータのチャンクを一度に要求するときに役立ちます。この場合、システムバスマスタはインクリメントアドレスで固定データサイズを供給し続けます。たとえば、ページ単位で書き込みを要求するデバイスがその一例です。

図 44.14 に結合機能を有効にした場合の動作を示します。

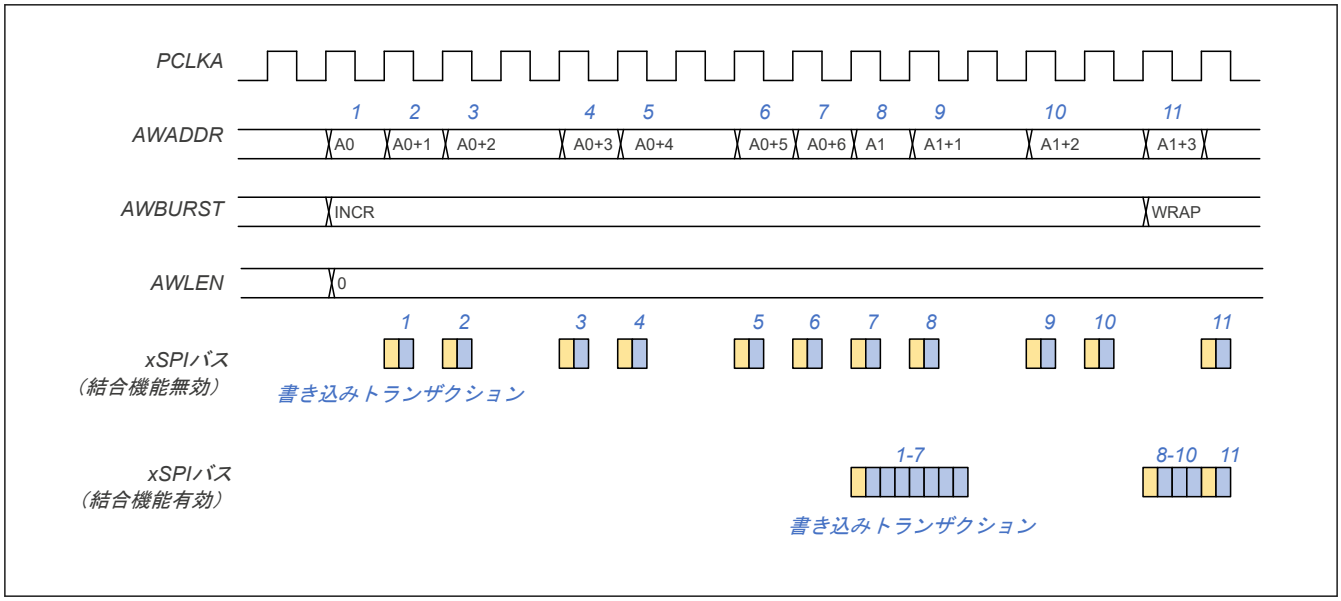


図 44.14　結合機能

注 1.　以下の条件をすべて満たすアクセスは、インクリメントアドレスであるとみなされます。

- トランザクション種別が INCR である。
- アクセス開始アドレスが直前の書き込みアドレスに対して連続している。
  - WSTRB のアクセスの開始位置が開始アドレスとして扱われる。
  - 前のアクセスの最後の WSTRB が最後の書き込みアドレスとして扱われる。

図 44.15 に、AXI アクセスでのデータ結合例を示します。

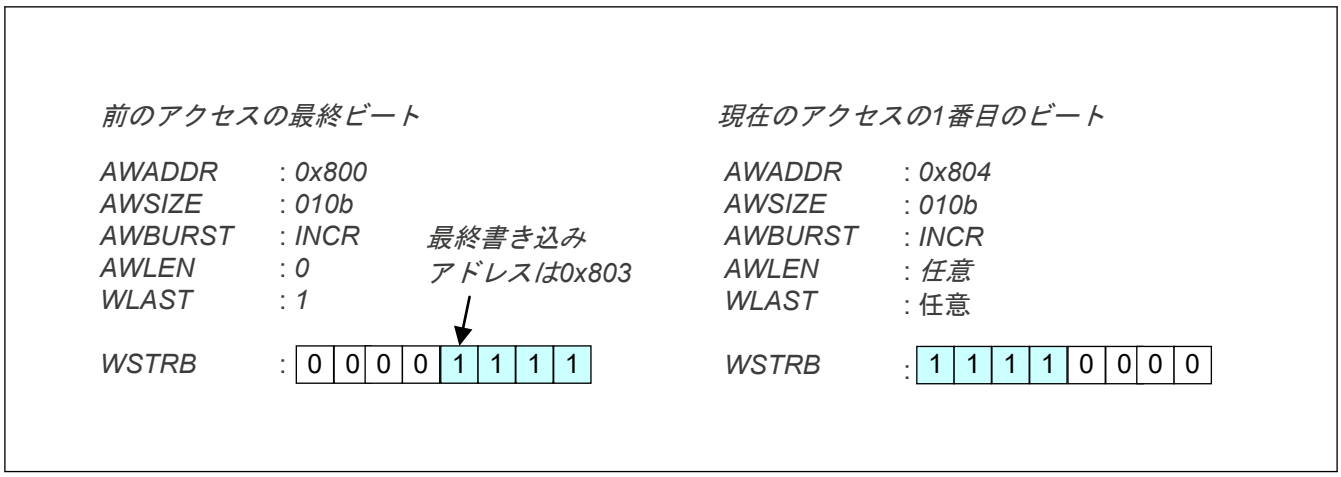


図 44.15　AXI アクセスでのデータ結合例

44.3.3.4　読み出しアクセス動作

メモリ領域に対する読み出しアクセスにおいて、読み出しアクセスの検出直後、本 xSPI マスタは読み出しトランザクションを xSPI スレーブへ発行します。図 44.16 に動作概要を示します。

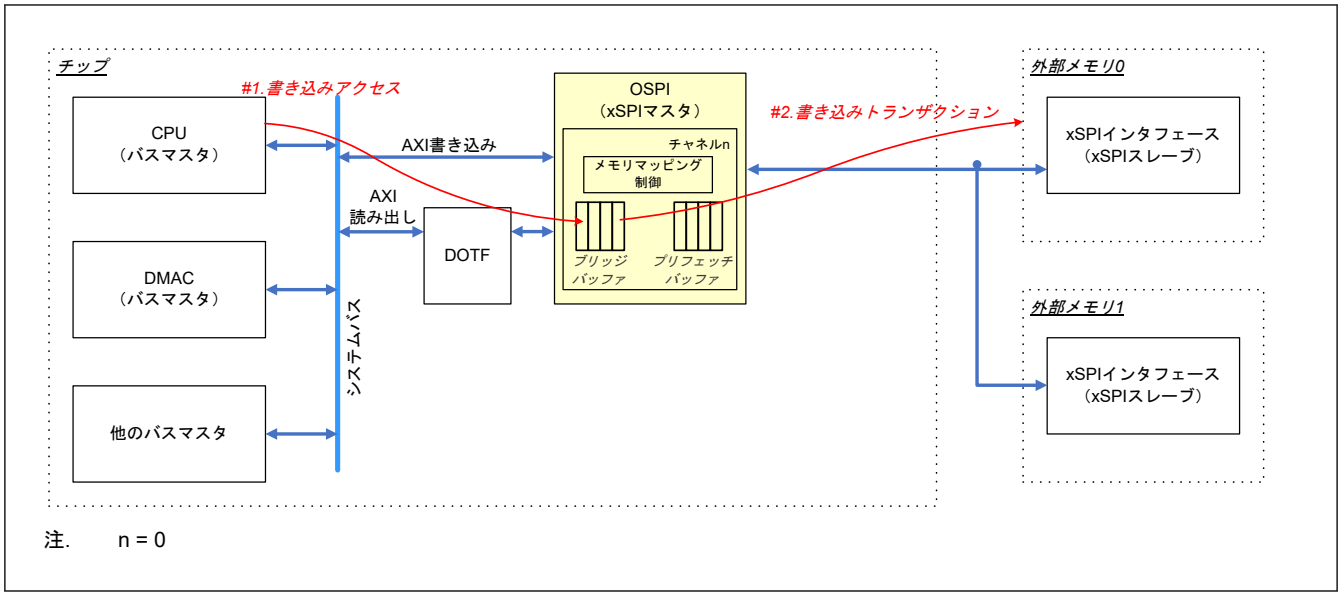


図 44.16 メモリ領域に対する読み出しアクセス

xSPI バスの動作は、バースト種別によって異なります。種別がシングルまたはインクリメントの場合、1 つのシステムバスの読み出しトランザクションが 1 つの xSPI フレームをトリガします。種別がラップタイプで、かつ CMCFG0CSn.WPBSTMD が 0 の場合、1 つのシステムバスの読み出しトランザクションが 2 つの xSPI フレームをトリガします。図 44.17 に AXI と xSPI フレームの関係を示します。

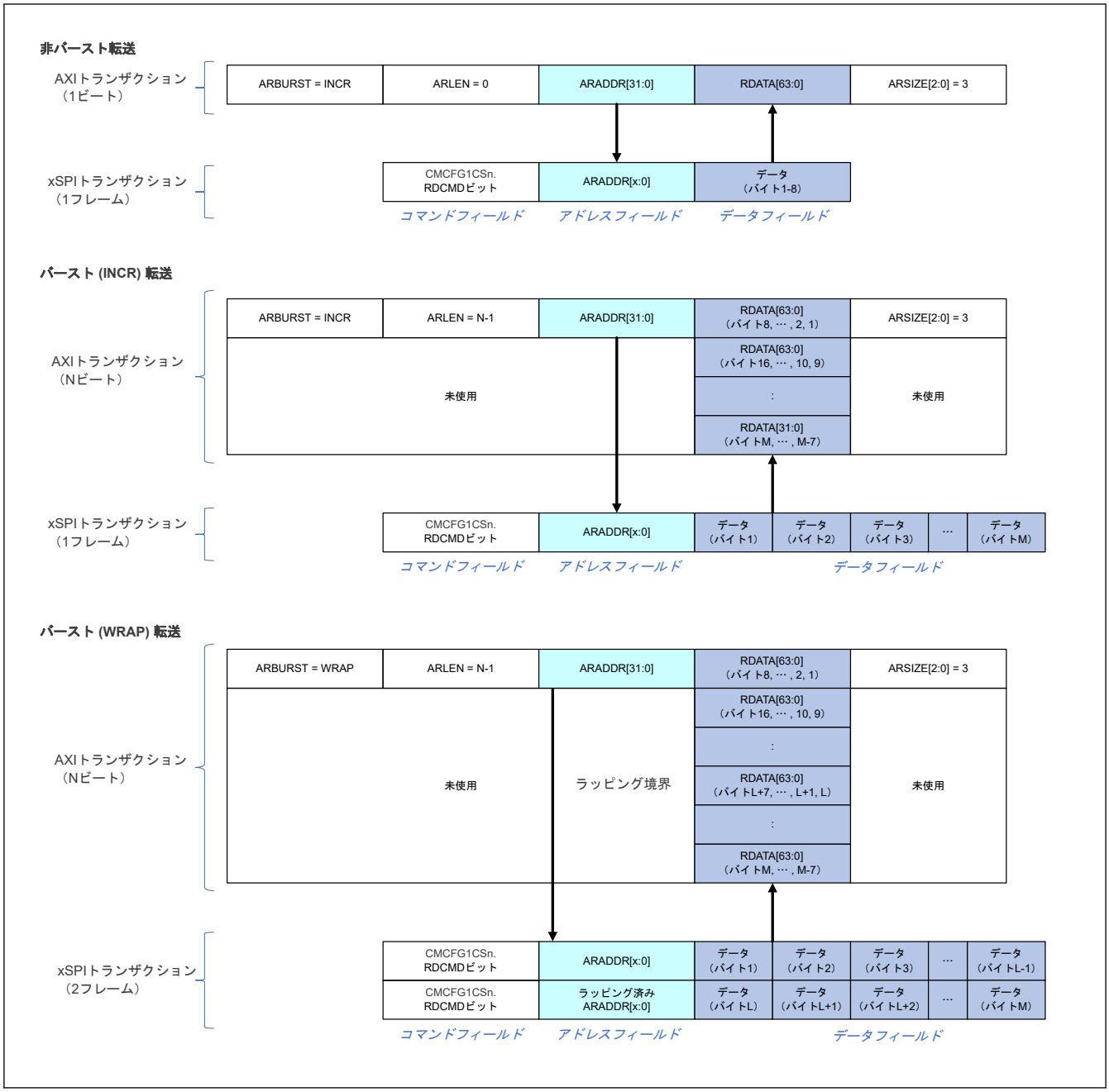


図 44.17　読み出しアクセス時の xSPI フレームのフォーマット（通常フォーマット）

44.3.3.5　プリフェッチ機能

システムバスからメモリ領域に対する読み出しアクセスに関して、本 xSPI マスタには読み出しデータをプリフェッチしてレイテンシを短縮する機能があります。この機能を有効にした場合 (BMCFGCHn.PREEN = 1)、本 xSPI マスタは、継続的にインクリメントアドレスを読み出して、xSPI スレーブからの読み出しデータを内部プリフェッチバッファに格納します。本 xSPI マスタは、次に以下のシステムバスからの読み出しアクセスに対して、プリフェッチバッファ内を検索します。プリフェッチバッファに対象の読み出しデータが見つかった場合、本 xSPI マスタはプリフェッチバッファからそのデータを返します。見つからなかった場合は、本 xSPI マスタはプリフェッチバッファをクリアし、xSPI スレーブに対して新しい読み出しトランザクションを発行します。この機能は、連続的に読み出すアドレスが近接しているような場合に効果的です。プリフェッチ用 xSPI 読み出しフレームが xSPI バスを使用しているため、連続的に読み出すアドレスがインクリメントアドレスでない場合は、効果的ではありません。図 44.18 に動作概要を示します。

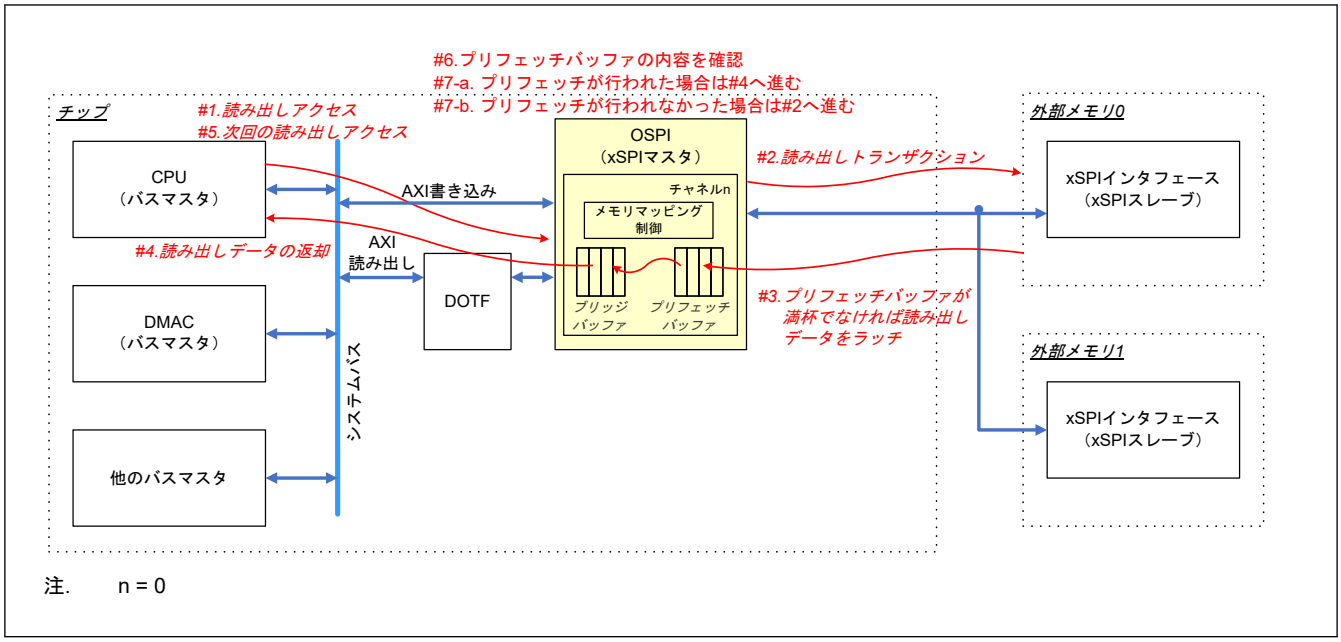


図 44.18　プリフェッチ許可時のメモリ領域の読み出しアクセス

注.　このプリフェッチ機能が有効の場合、バスマスタはスレーブデバイスではなく内部プリフェッチバッファから読み出すことができます。複数のバスマスタから同じアドレスへのアクセスが発生した場合、本 xSPI マスタが最新データを読み出すことを保証しません。バスマスタがスレーブデバイスから最新データを読み出したい場合は、プリフェッチバッファ (BMCTL1.PBUFCLRCHn (n = 0)) をクリアした後に読み出す必要があります。

注.　プリフェッチバッファは、FIFO 方式で実装されていて、読み出しアクセスが発行されると、アクセス対象アドレスの前のデータはバッファから廃棄されます。前回のアクセスで廃棄された領域への次のアクセスが発行されると、このモジュールは xSPI 読み出しアクセスを再発行してプリフェッチバッファを満たします。

注.　本 IP には、プリフェッチバッファからの最終 8 バイト読み出しデータを保持する、1 ラインバッファがあります。1 ラインバッファのデータに対して、同じアドレスに読み出しアクセスが発行されると、本 IP は 1 ラインバッファから読み出しデータを返します。

44.3.3.6　XiP モード

スレーブデバイスの中には、レイテンシを短縮するためにコマンドフェーズを必要としないモード (XiP モード) を持つものがあります。このモードでは、xSPI マスタはコマンドの送信をスキップし、前回のトランザクションで実行されたコマンドをスレーブデバイスが暗黙的に実行します。XiP モードビットを有効にした場合 (CMCTLCHn.XIPEN = 1)、本 xSPI マスタは、レイテンシフィールドに XiP 開始コード (CMCTLCHn.XIPENCODE[7:0]) を挿入します。XiP モードビットを無効にした場合 (CMCTLCHn.XIPEN = 0)、本 xSPI マスタは、レイテンシフィールドに XiP 終了コード (CMCTLCHn.XIPEXCODE[7:0]) を挿入します。この機能は、メモリマッピングモードのみで使用できます。

本 xSPI マスタが XiP 無効化パターンを送信するとき、本 xSPI マスタは XiP モードビットをクリアし、両チャネルに対して設定された XiP モードを無効にします。XiP 無効化パターンを送信することにより、1 つのチャネルに対してのみ XiP モードを無効にすることはできません。

注.　XiP コードに十分なレイテンシサイクルが存在しない場合、本 xSPI マスタは XiP コードを挿入できません。

注.　XiP モードはスレーブへの一方向アクセスだけにしか使用できません。書き込みトランザクションと読み出しトランザクションは分けてください。

注.　無効の場合、XiP 終了コードは一度挿入されます。詳細は、図 44.30 を参照してください。

44.3.4　パターン制御

本 xSPI マスタには、xSPI フレームフォーマット以外の 3 種類のパターンを送信する機能があります。そのパターンは、トリガビット (LPCTL0-1.PATREQ) を設定することにより、トリガされます。

44.3.4.1 XiP 禁止パターン

XiP 禁止パターンは、(LPCTL0.XD1LEN[4:0] / XD1VAL / XD2LEN[4:0] / XD2VAL) で設定した長さと値を持つパターンを送信します。XiP 禁止パターンは、OM_SCLK 信号と OM_SIO7-0 信号を使用します。出力端子数は、XiP 禁止パターン端子ビット (LPCTL0.XDPIN[1:0]) で設定できます。レガシー SPI の XiP モードを無効にするために使用できます。図 44.19 にタイミング図を示します。

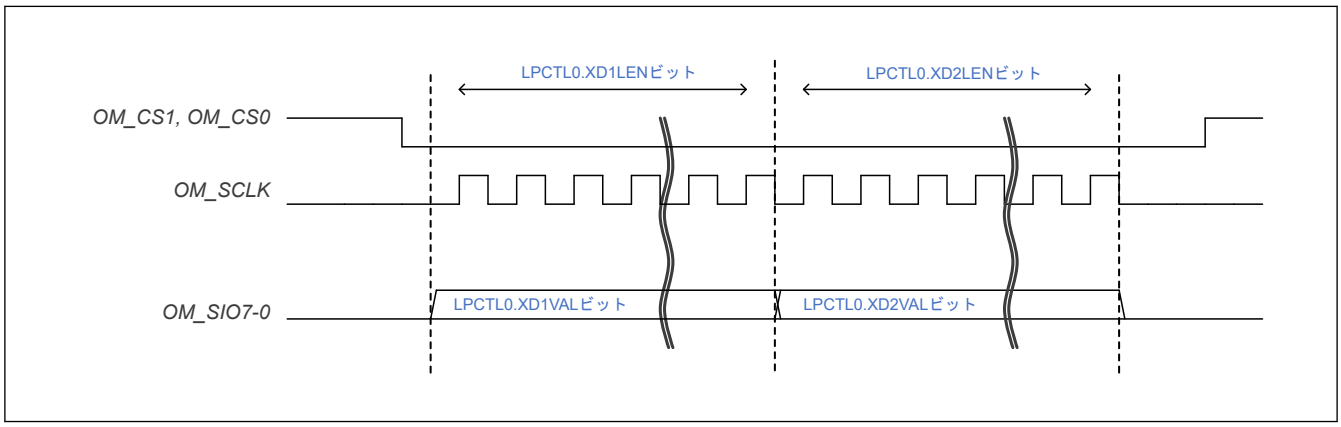


図 44.19 XiP 禁止パターン

44.3.4.2 リセットパターン

リセットパターンは、シリアルフラッシュリセット信号伝達プロトコルで指定したパターンを送信します。図 44.20 にタイミング図を示します。

CS Low／High 幅は、リセットパターン長ビット (LPCTL1.RSTWID[2:0]) で設定します。xSPI スレーブは、CS の立ち上がりエッジでデータ入力をサンプリングします。データ出力のセットアップ時間は、リセットパターンデータ出力セットアップ時間ビット (LPCTL1.RSTSU[2:0]) で設定します。セットアップ時間は常にリセットパターン幅未満としてください。

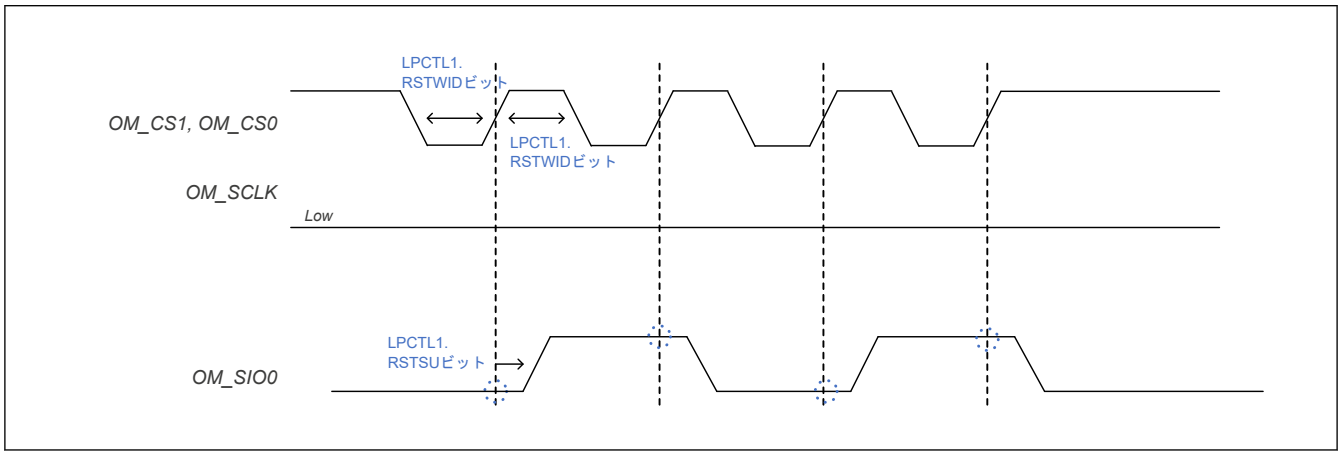


図 44.20 リセットパターン

注. プロトコルにおいて、CS Low／High 幅の最小値は 500 ns、セットアップ時間の最小値は 6 ns と定義されています。

44.3.4.3 CS のみパターン

CS のみのパターンは、長さビット (LPCTL1.RSTWID[2:0]) の設定で CS ポートを起動します。ディープパワーダウンステートから再開する際に使用される場合があります。図 44.21 にタイミング図を示します。

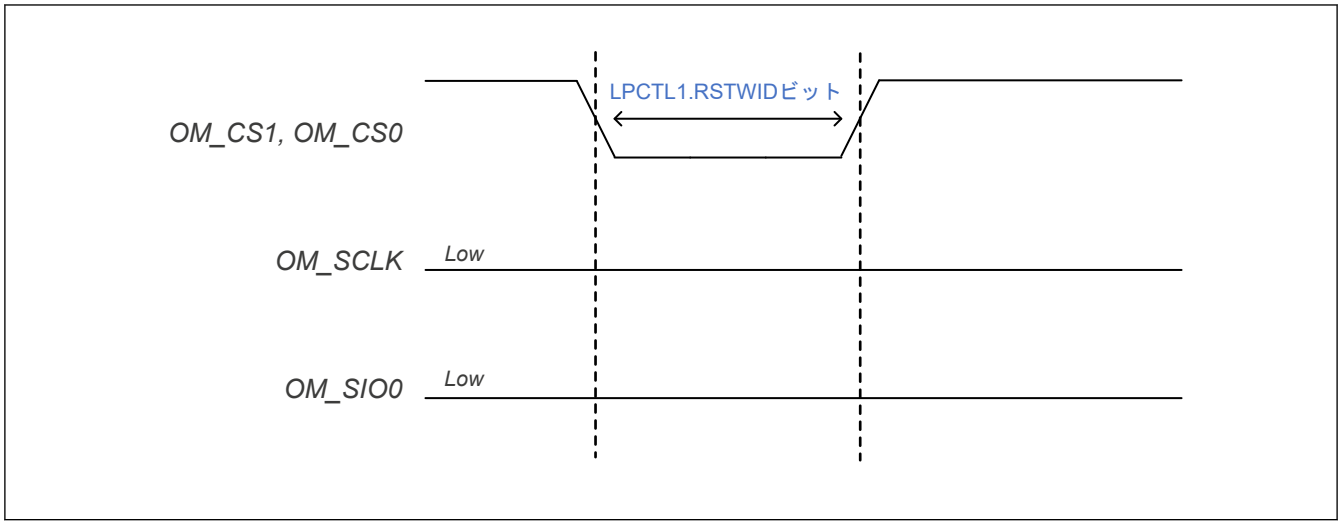


図 44.21　CS のみパターン

44.3.5　整合性チェック

本 xSPI マスタはいくつかのエラーを検出できます。表 44.8 にエラーの一覧と動作の詳細を示します。

表 44.8　エラーの一覧 (n = 0, 1)

エラー種別	イベント	フラグビット	注記（動作）
キャリブレーション失敗	自動校正中に読み出しデータと期待値が一致しなかった。	INTS.CAFAILCSn	xSPI スレーブに対して、予期しないデータを書き込んでいます。
システムバスエラー	メモリマッピング用 AXI スレーブインタフェース上でエラー応答が発生した。	INTS.BUSERRCHn	本 xSPI マスタが重大なエラーのため、リセットされます。
ECC エラーの検出	OM_ECSINT1 ポートにて立ち下がりエッジが検出された。 このビットが役立つのは ECC 検出機能を持つ xSPI スレーブだけです。	INTS.ECSCS1	xSPI スレーブのエラーイベントのみを通知します。
DS タイムアウト	DS を使用する読み出しトランザクションにおいて DS がトグルしない。	INTS.DSTOCSn	校正動作中にこのエラーが発生した場合は、割り込みステータスビットをクリアしてください。 上記以外の場合は重大なエラーのため、xSPI マスタと xSPI スレーブの両方をリセットする必要があります。
周期トランザクションタイムアウト	周期マニュアルコマンドモードにおいて、読み出し値が期待値と一致しない。	INTS.PERTO	機能の状態によって異なります。

44.3.6　割り込み

本 xSPI マスタには割り込みポートがあります。割り込みステータスレジスタ (INTS) で監視することができます。初期化フェーズでは、割り込み許可レジスタ (INTE) で設定を変更することができます。表 44.9 に OSPI 割り込み要因を、表 44.10 に関連するレジスタビットを示します。

注.　割り込みイベント検出後に、INTE の対応するビットが設定された場合、割り込みパルスポート信号はアサートされません。

表 44.9　OSPI 割り込み要因

名称	割り込み要因	DMAC の起動
OSPI0_ERR	エラー	不可
OSPI0_CMP	完了	不可

表 44.10　割り込みレジスタビット

フラグビット	許可ビット	クリアビット	割り込み要因
CASUCCS1	CASUCCS1E	CASUCCS1C	OSPI0_CMP
CASUCCS0	CASUCCS0E	CASUCCS0C	
CAFAILCS1	CAFAILCS1E	CAFAILCS1C	OSPI0_ERR
CAFAILCS0	CAFAILCS0E	CAFAILCS0C	
BUSERRCH0	BUSERRCH0E	BUSERRCH0C	OSPI0_ERR
INTCS1	INTCS1E	INTCS1C	OSPI0_ERR
ECSCS1	ECSCS1E	ECSCS1C	OSPI0_ERR
DSTOCS1	DSTOCS1E	DSTOCS1C	OSPI0_ERR
DSTOCS0	DSTOCS0E	DSTOCS0C	
PERTO	PERTOE	PERTOC	OSPI0_ERR
PATCMP	PATCMPE	PATCMPC	OSPI0_CMP
CMDCMP	CMDCMPE	CMDCMPC	OSPI0_CMP

44.3.7　動作フロー

44.3.7.1　設定のフロー

図 44.22 に設定のフローを示します。

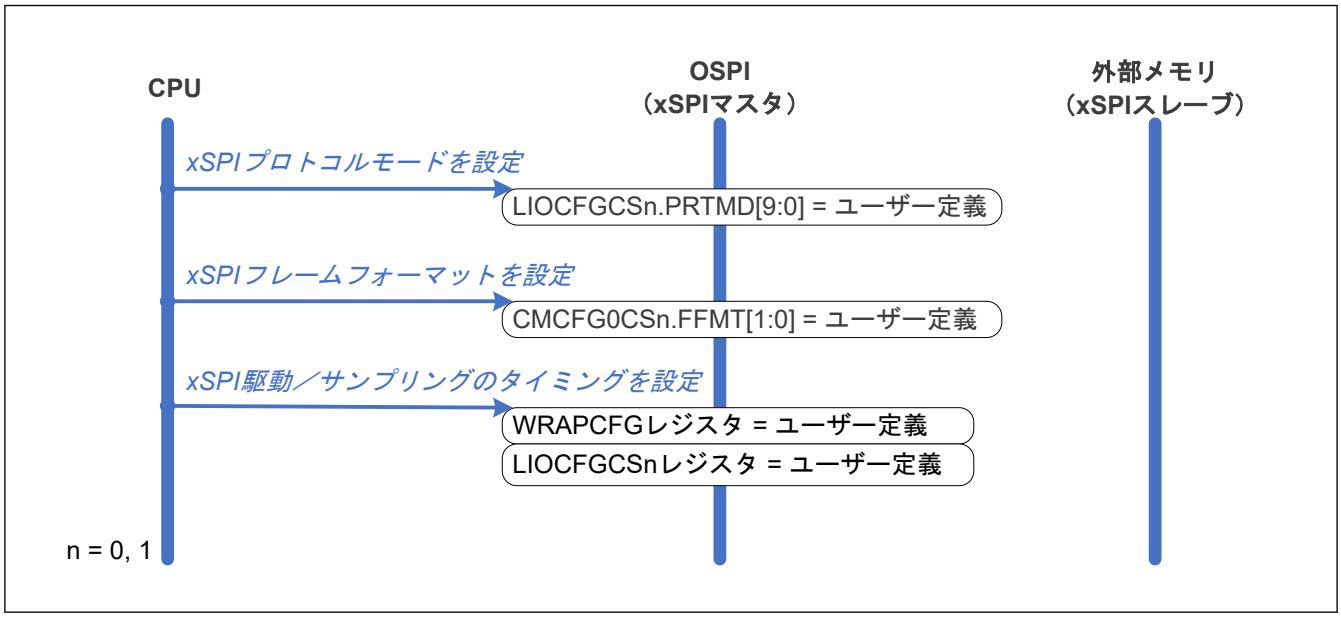


図 44.22　設定のフロー

44.3.7.2　通信停止のフロー

図 44.23 に通信停止のフローを示します。

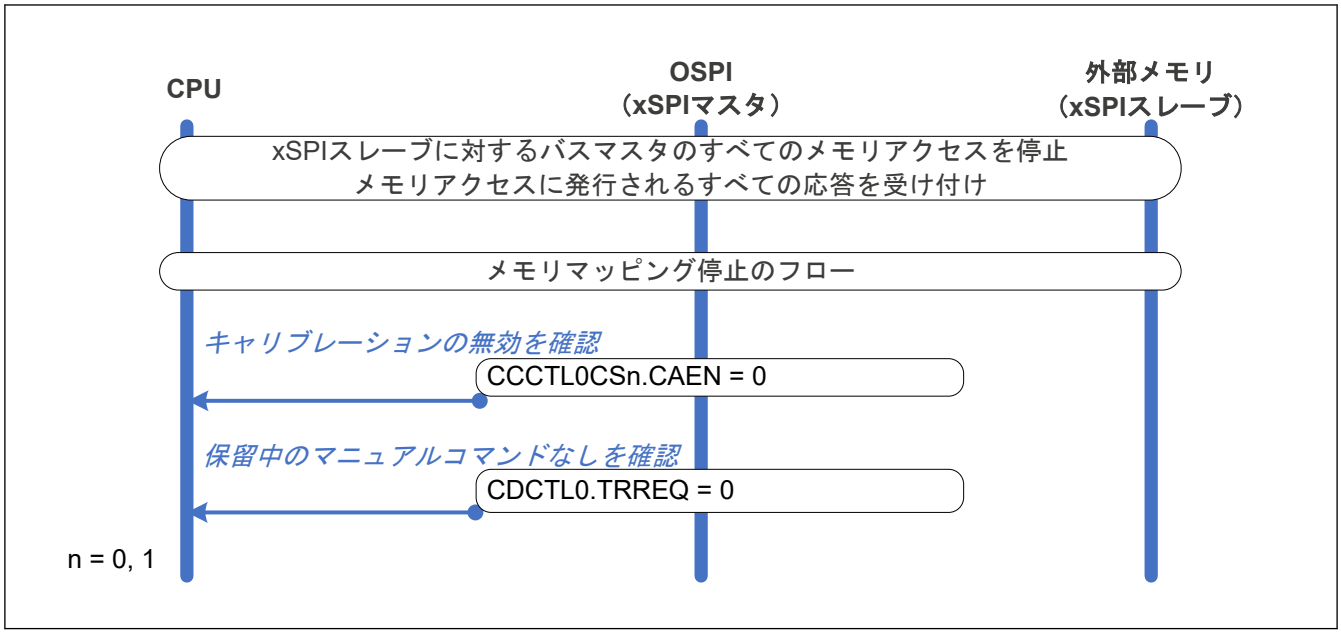


図 44.23　通信停止のフロー

注.　コンフィグレーションレジスタを再設定する場合、xSPI スレーブの全通信は、レジスタ設定とメモリアクセス間の競合条件を確実に回避するために停止します。これは、自動校正が無効にされ、保留中のマニュアルコマンドやメモリマッピングアクセスがないことを意味します。

44.3.7.3　自動校正のフロー

図 44.24 に自動校正のフローを示します。

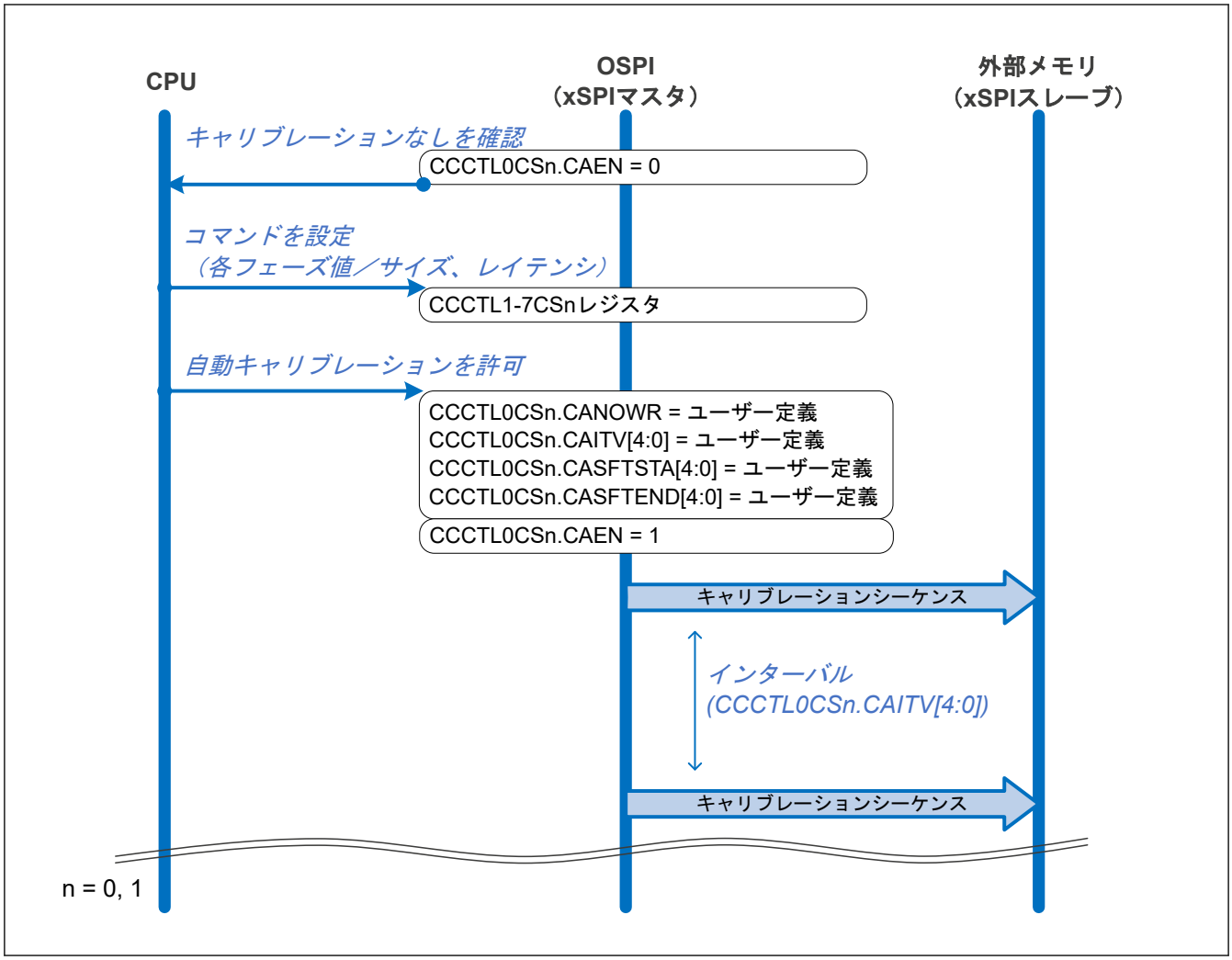


図 44.24　自動校正のフロー

44.3.7.4　マニュアルコマンド手順のフロー

図 44.25 に直接モードでのマニュアルコマンド手順を示します。

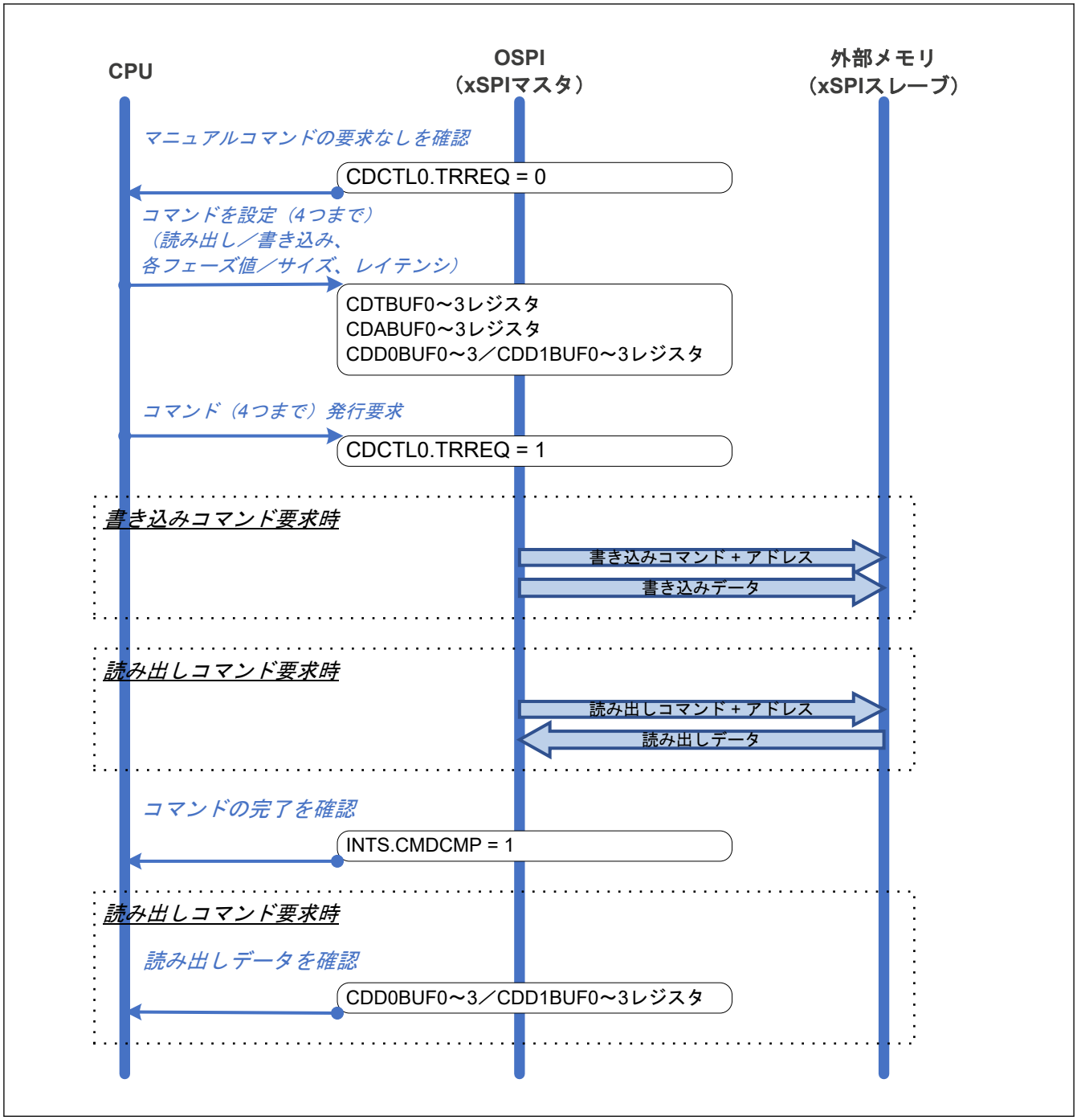


図 44.25　マニュアルコマンド手順のフロー（直接モード）

図 44.26 に周期モードでのマニュアルコマンド手順を示します。

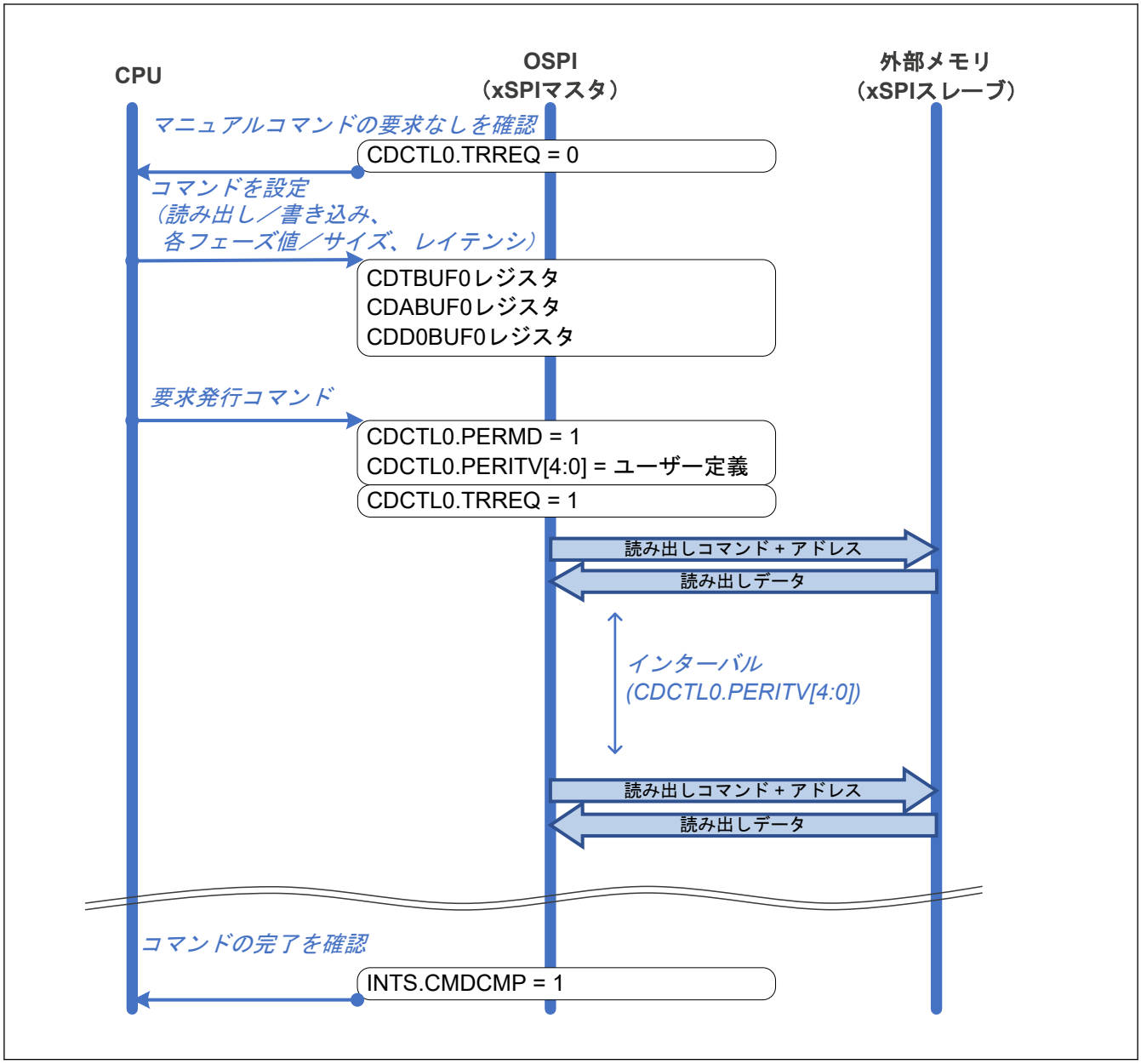


図 44.26　マニュアルコマンド手順のフロー（周期モード）

44.3.7.5　メモリマッピングのフロー

図 44.27 にメモリマッピングのフローを示します。

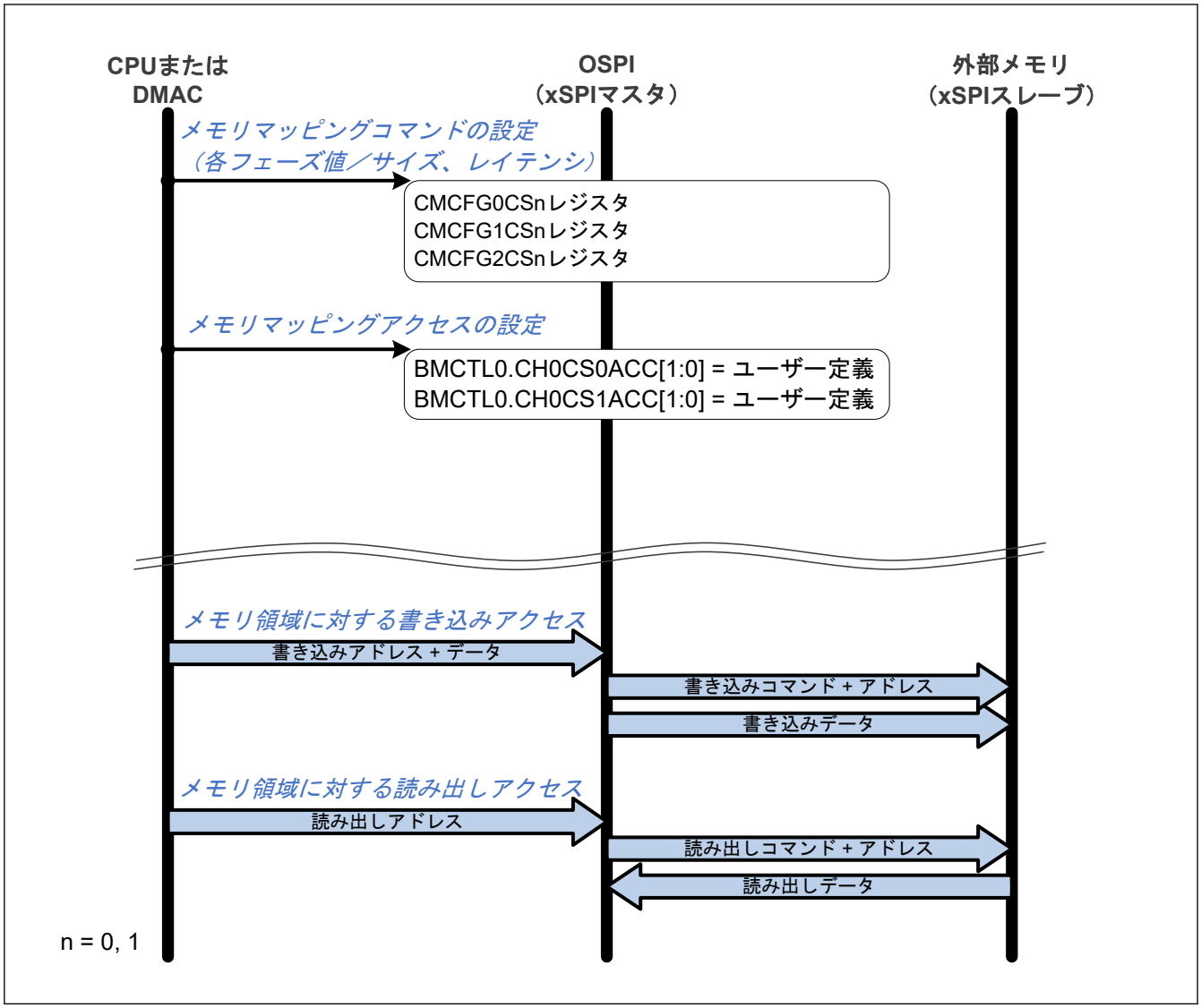


図 44.27　メモリマッピングのフロー

44.3.7.6　メモリマッピング停止のフロー

図 44.28 にメモリマッピング停止のフローを示します。

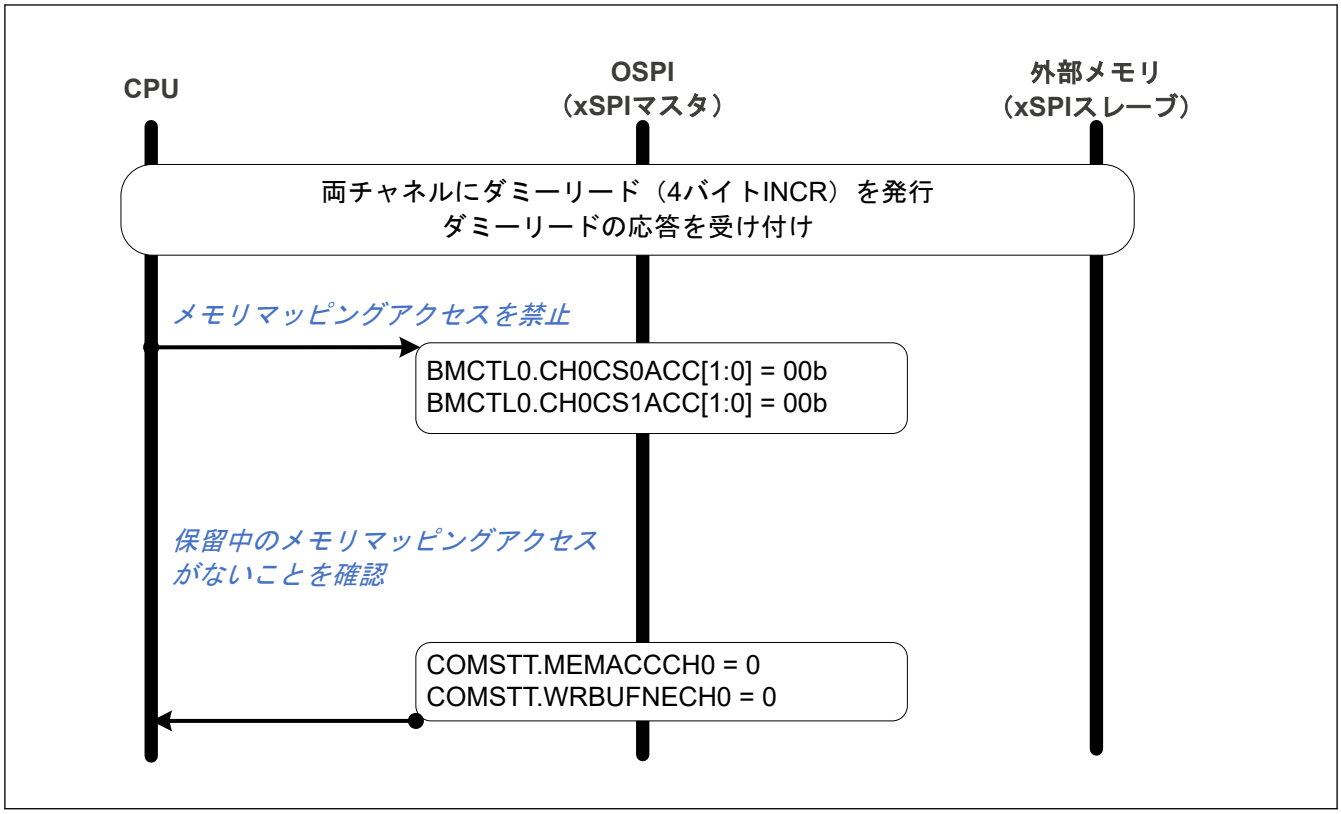


図 44.28　メモリマッピング停止のフロー

44.3.7.7　パターン要求のフロー

図 44.29 にパターン要求のフローを示します。パターンを要求する前に、実行中のコマンドがある場合は、完了させるか、あるいは取り消してください。

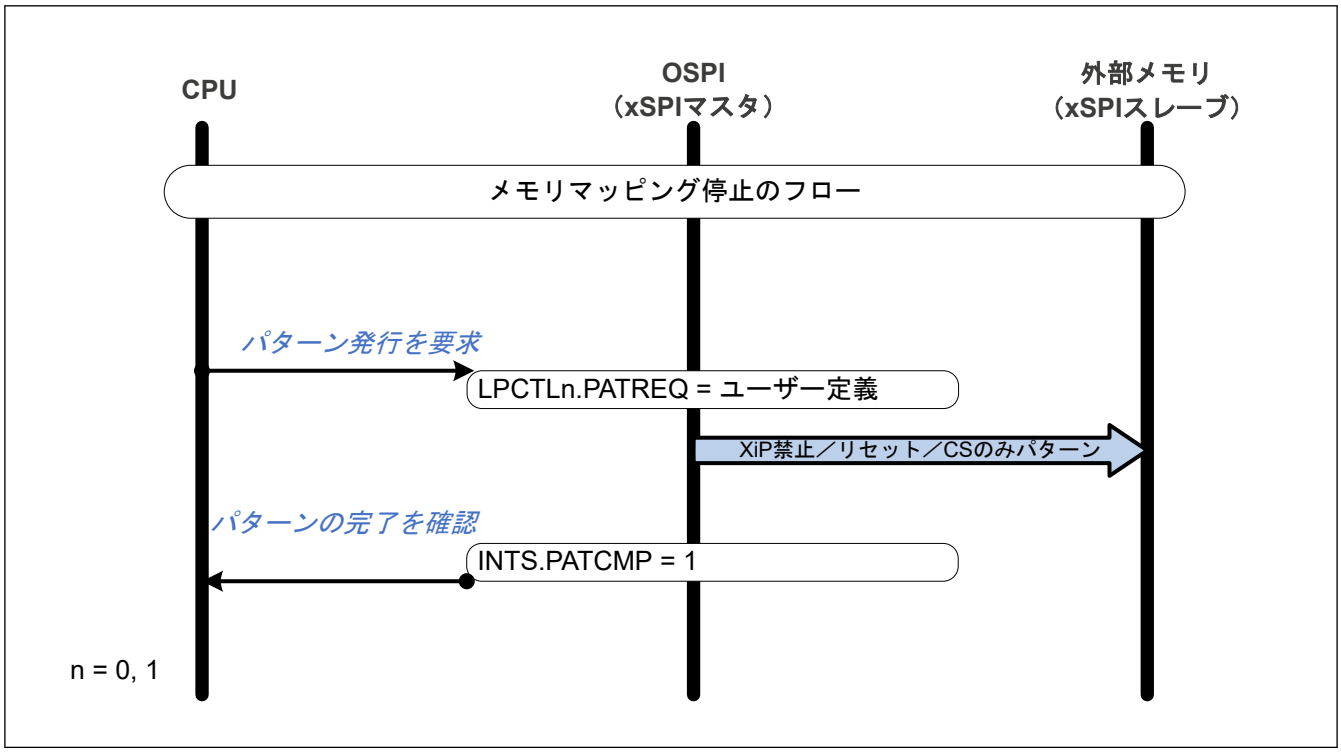


図 44.29　パターン要求のフロー

44.3.7.8 XiP モードのフロー

図 44.30 に XiP モード有効／無効のフローを示します。

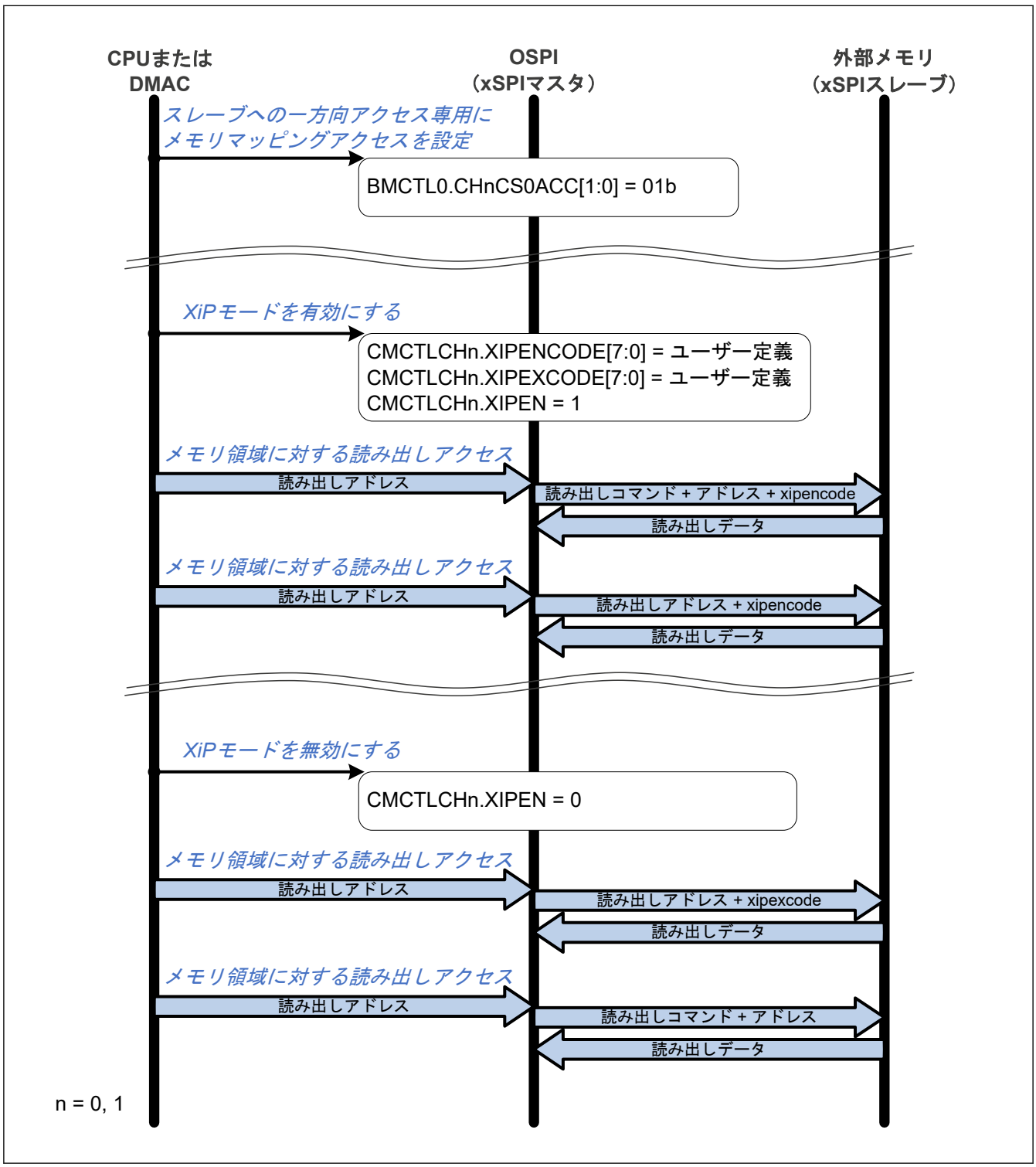


図 44.30 XiP モード有効／無効のフロー

44.3.7.9 書き込み動作中の読み出しのフロー

図 44.31 に、書き込み動作中の読み出しのフローの例を示します。

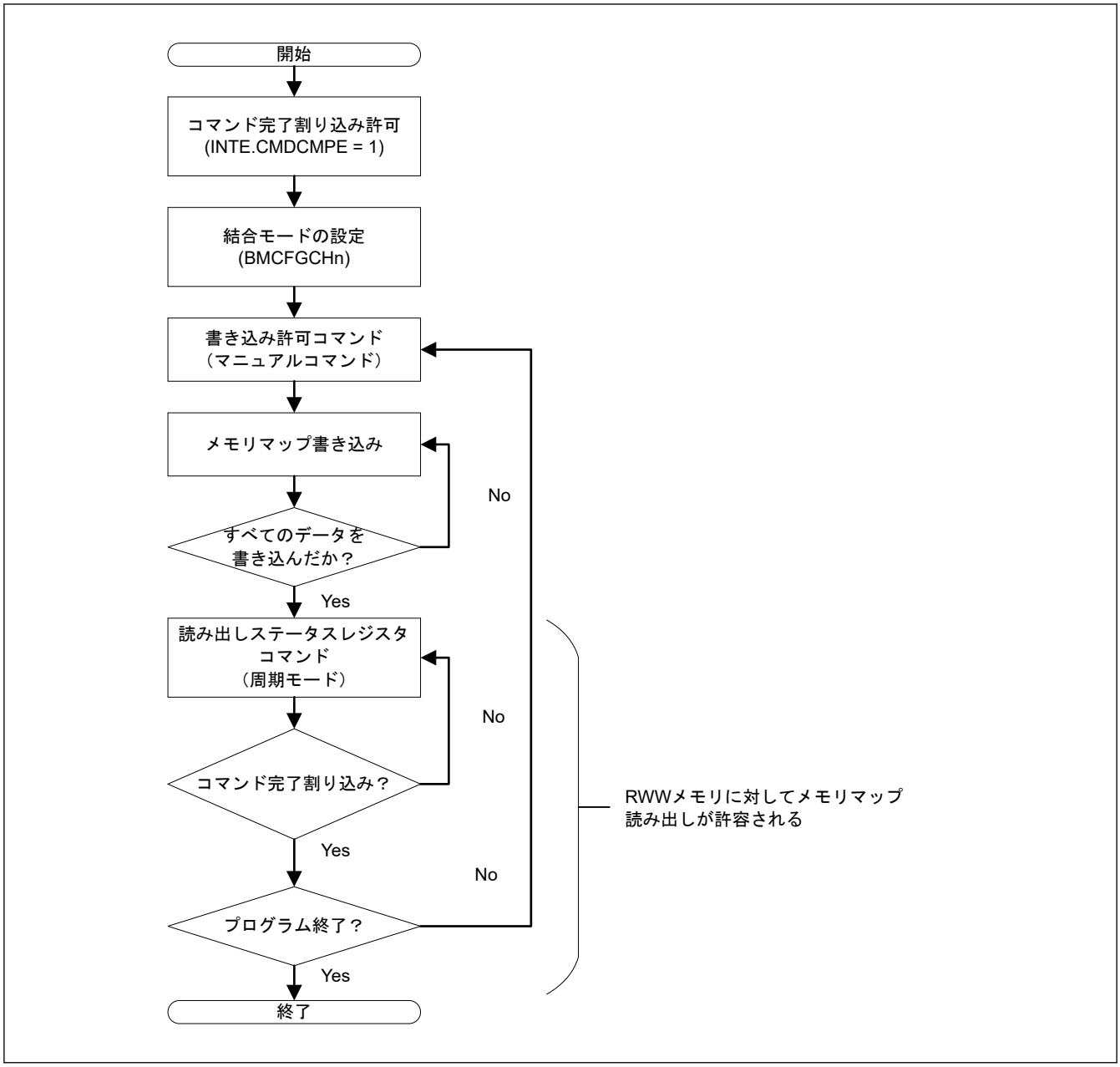


図 44.31　書き込み動作中の読み出しのフロー

44.4　SiP 製品の構成

SiP 製品にはフラッシュメモリ ISSI IS25WX064-JWLE がパッケージ化されています。

- VCC2 = 1.70～2.00 V
- OM_1_SCLK の周波数：
  - OM_DQS 端子なしの SDR：最高 50 MHz
  - OM_DQS/DDR 端子付き SDR：最高 133 MHz

詳細については、「62. 電気的特性」および IS25WX064 のデータシートを参照してください。

以下の設定してから SiP フラッシュメモリにアクセスする必要があります。

- OSPI (11100b) を P603～P607 および PC00～PC07 の PmnPFS.PSEL[4:0]ビットに設定する
- LVOCR.LVO1E ビットを 1 に設定する

- 全 SiP フラッシュ領域が非セキュアとしてマークされていない限り、PSARB.PSARB17 ビットを 0 に設定する
- CS1 の終了アドレスを設定する
  - RACTL.RAEN ビットを 1 に設定する
  - 8 MB SiP フラッシュ製品の場合、MER レジスタを 0x0871_0FF0 に設定する
  - 4 MB SiP フラッシュ製品の場合、MER レジスタを 0x0831_0FF0 に設定する
  - RACTL.RAEN ビットを 0 に設定する
- LIOCFGCS1.DDRSMPEX[3:0]ビットを設定する
  SiP フラッシュメモリの t_{CKHDSH} 値は、t_{PERIOD} / 2 + 6[ns]です。OM1_SCLK が 133 MHz の場合、DDRSMPEX[3:0]ビットは 0x2 に設定する必要があります。

図 44.32 に、MCU と SiP フラッシュメモリの間の接続を示します。外部プルアップは PUP 端子に接続する必要があります。

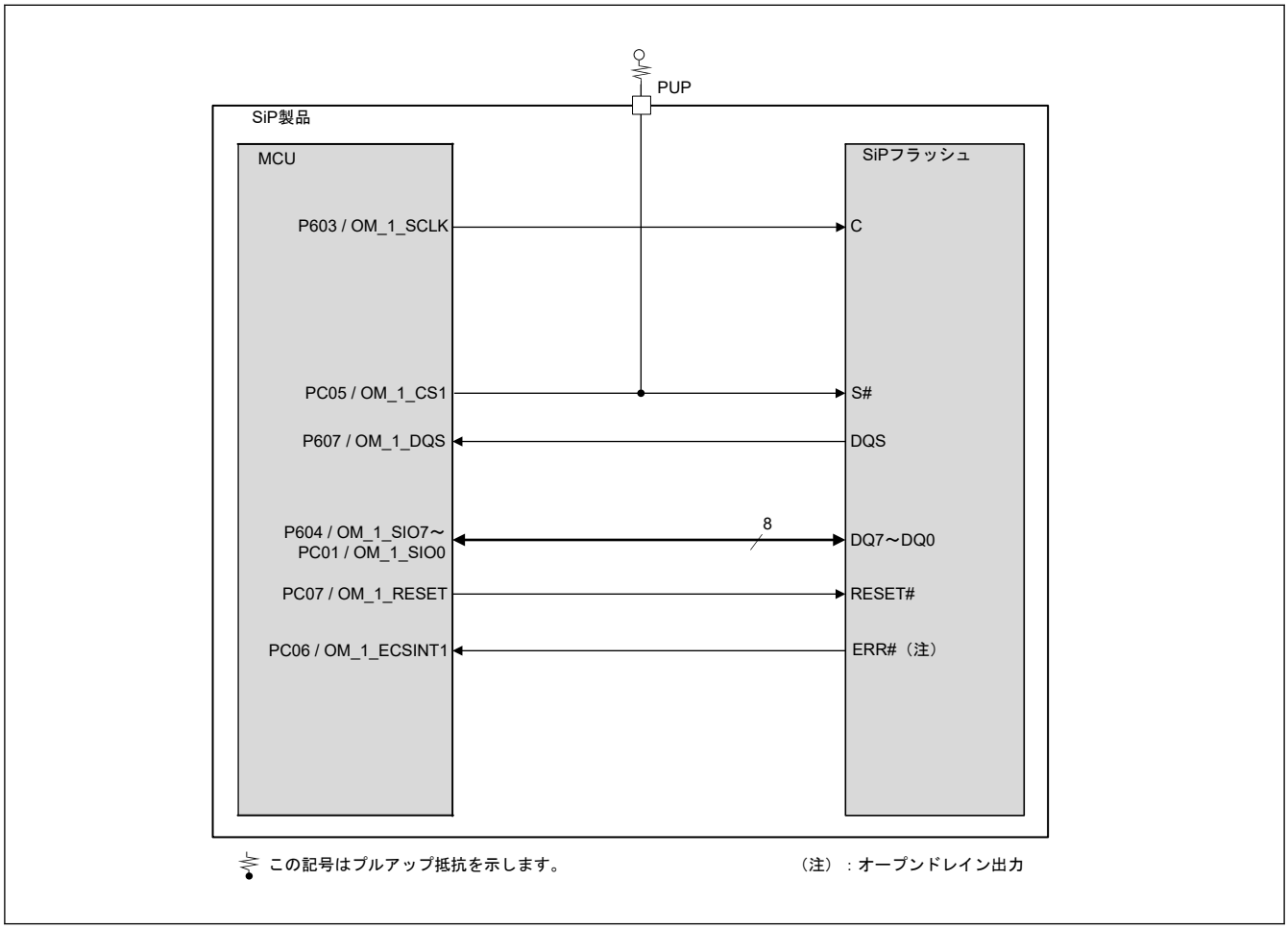


図 44.32　MCU と SiP フラッシュメモリの間の接続

44.5　使用上の注意事項

44.5.1　ソフトウェアスタンバイモード

ソフトウェアスタンバイモードに遷移する前に、通信停止のフローによって通信を停止します。「44.3.7.2. 通信停止のフロー」を参照してください。

44.5.2　メモリアクセスに関する制限事項

メモリアクセスには以下の制限事項があります。

- アプリケーションが最終 128 バイト領域へアクセスする場合、プリフェッチ機能を使用しない
- DMAC/DTC による HyperFlash をブロック転送モードまたはリピート／ブロック転送モードで読み出し、かつ送信元アドレスがインクリメントモードの場合はプリフェッチ機能を有効にします。

44.5.3 バースト長に関する制限事項

AXI バスマスタは、バースト長を 16 以下にしなければなりません。

44.5.4 メモリ書き込み結合モード

BMCFGCHn.MWRCOMB = 1 のときは、メモリ書き込み結合モードが有効です。ただし、バスマスタが CPU0 で、かつ OSPI データが 32 ビット未満の場合、結合は機能しません。表 44.11 に各バスマスタに対するデータ書き込みの可否を示します。

表 44.11 各バスマスタに対するデータ書き込みの可否

バスマスタ	結合有効	結合無効
CPU0（32 ビット未満のアクセス）	不可	可能
CPU0 64 ビットアクセス	可能	可能
他のバスマスタ	可能	可能

44.5.5 モジュールストップ機能

モジュールストップコントロールレジスタ B (MSTPCRB) により、OSPI の動作を無効または有効にすることができます。リセット後の初期状態で、OSPI モジュールは停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

44.5.6 8 ピン DDR モードでのバイトデータ順

8 ピン DDR モードでは、OSPI は、立ち上がりエッジでバイト 0、立ち下がりエッジでバイト 1 の順序でデータの読み出しと書き込みを行います。

一部のメモリデバイスは、8 ピン DDR モードで、スワップされた順序で読み出しと書き込みを行います。これらのデバイスで、8 ピン DDR 以外のモードで書き込まれたデータを 8 ピン DDR で読み出す場合は、これらのデータをスワップされた順序で書き込む必要があります。

44.5.7 プリフェッチ機能に関する制限事項

以下の条件がすべて満たされたとき、PREEN が 1 に設定されていてもプリフェッチ機能は読み出しアクセスに影響しません。

- マスタが CPU0 または CPU1
- OSPI 領域のメモリ属性が CPU の MPU によってキャッシャブルメモリに設定されている
- CPU キャッシュが有効
- DOTF が有効

44.5.8 フラッシュ 4 MB SiP 製品のブロック保護設定に関する制限事項

フラッシュメモリ ISSI IS25WX064-JWLE にはブロック保護機能があります。フラッシュ 4 MB SiP 製品にはいくつかの設定禁止事項があります。（「1.3. 型名」を参照してください。）

表 44.12 にステータスレジスタの TB と BP[3:0]ビットの設定を示します。

表 44.12 フラッシュ 4 MB SiP 製品のブロック保護設定 (1/2)

ステータスレジスタビット					保護されるバイト
TB	BP3	BP2	BP1	BP0	
1	0	0	0	0	0 KB
1	0	0	0	1	128 KB

表 44.12 フラッシュ 4 MB SiP 製品のブロック保護設定 (2/2)

ステータスレジスタビット					保護されるバイト
TB	BP3	BP2	BP1	BP0	
1	0	0	1	0	256 KB
1	0	0	1	1	512 KB
1	0	1	0	0	1 MB
1	0	1	0	1	2 MB
1	0	1	1	0	4 MB
その他：設定禁止					

44.5.9 SiP 製品用の OTP 領域に関する制限事項

フラッシュメモリ ISSI IS25WX064-JWLE には 64 バイトの OTP 領域がありますが、SiP 製品ではサポートされていません。

45. オンザフライ復号 (DOTF)

45.1 概要

DOTF には AES コアを使用して AXI バスの読み出しデータを復号する機能があります。

表 45.1 に DOTF の仕様と DOTF を使用したシステムを示します。「44.1. 概要」を参照してください。

表 45.1 DOTF の仕様

項目	内容
チャネル数	2 チャネル DOTF0 は OSPI0 の読み出しデータを復号し、DOTF1 は OSPI1 の読み出しデータを復号します。
クロックソース	レジスタクロック：PCLKB AES コアクロック：PCLKA
AES コア機能	• 外部メモリに格納された暗号化ソフトウェアのオンザフライ復号を使用 • ブロックサイズ：128 ビット • キーサイズ：128 ビット、192 ビット、256 ビット • 以下のブロック暗号モードに対応 – NIST SP800-38A に準拠したカウンタ (CTR) モード • サイドチャネルカウンタ測定機能に対応 • セルフテスト機能に対応 • Counter[127:0] = {IV[127:28], Address[31:4]}。ここで、Address は、128 ビット（16 バイト）の AES ブロックサイズにアラインされた、暗号化されたデータのメモリマッピングされたアドレス。IV は、SP800-38A の付録 B に示されている推奨事項に従って選択される。詳細は、「44. オクタシリアルペリフェラルインタフェース (OSPI)」および「5. アドレス空間」を参照。AES カウントモード動作の詳細については、NIST SP800-38A を参照。
改ざん防止	SPA/DPA とタイミング攻撃を含む、サイドチャネル攻撃に対して対策が利用可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減可能（OSPI のモジュールストップと同様）
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性を設定可能（OSPI の TrustZone フィルタと同様）

45.2 ブロック図

図 45.1 に DOTF のブロック図を示します。OSPI を含む図については、図 44.1 を参照してください。

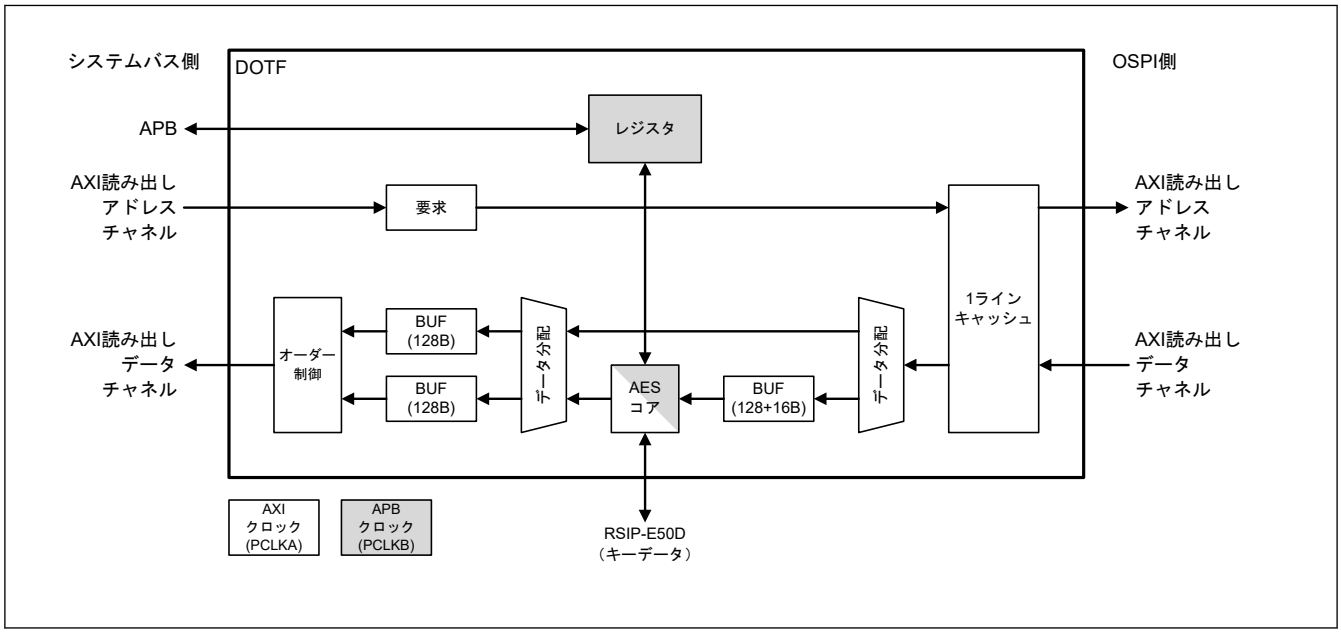


図 45.1 ブロック図

45.3 レジスタの説明

DOTF は全領域をアクセス可能領域とすることを許可します。ただし、復号処理が実行される領域は、全領域または 1 つの隣接した領域を指定することができます。CONVAREAST レジスタと CONAREAED レジスタにそれぞれ開始アドレスと終了アドレスを設定することにより、その領域を指定可能です。

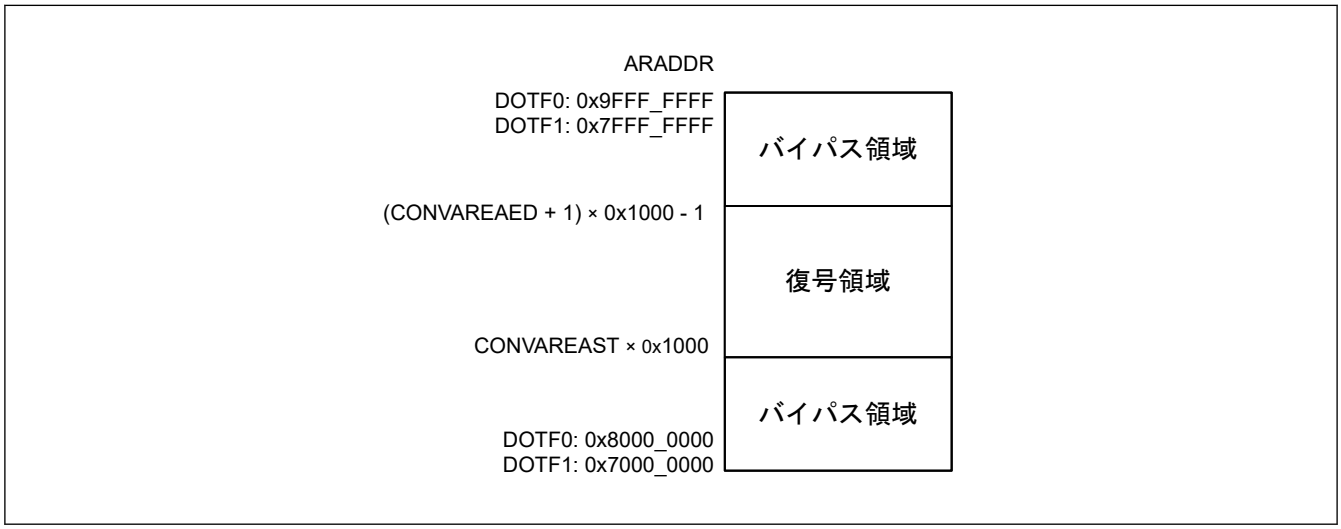


図 45.2 復号領域の設定

45.3.1 CONVAREAST : DOTF 変換領域開始アドレスレジスタ

Base address: DOTFn = 0x4026_8800 + 0x0100 × n (n = 0, 1)
DOTFn_NS = 0x5026_8800 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	31																			12											0
Bit field:	CONVAREAST[31:12]																			—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	—	読むと 0 が読めます。	R
31:12	CONVAREAST [31:12]	復号処理領域の最初のアドレス。実際のアドレスは CONVAREAST[31:12] × 0x1000。	R/W

注. S-TYPE-3, P-TYPE-3

本ビットは復号処理領域の最初のアドレスを指定します。本ビットを AXI 転送要求の前に設定し、それ以上の変更はしないでください。CONVAREAST[31:12] > CONVAREAED[31:12]の設定は禁止です。

45.3.2 CONVAREAD : DOTF 変換領域終了アドレスレジスタ

Base address: DOTFn = 0x4026_8800 + 0x0100 × n (n = 0, 1)
DOTFn_NS = 0x5026_8800 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	31																			12											0
Bit field:	CONVAREAED[31:12]																			—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
11:0	—	読むと 1 が読めます。	R

ビット	シンボル	機能	R/W
31:12	CONVAREAED [31:12]	復号処理領域の最後のアドレス。実際のアドレスは CONVAREAED[31:12] × 0x1000。	R/W

注. S-TYPE-3, P-TYPE-3
注. CONVAREAST[31:12] > CONVAREAED[31:12]の設定は禁止です。

本ビットは復号処理領域の最後のアドレスを指定します。本ビットを AXI 転送要求の前に設定し、それ以上の変更はしないでください。CONVAREAST[31:12] > CONVAREAED[31:12]の設定は禁止です。

45.4 動作説明

DOTF には 1 つの AXI リードスレーブインタフェースと 1 つの AXI リードマスタインタフェースがあります。

AXI スレーブアドレスチャネルで受信した AXI 転送要求は、AXI マスタリードアドレスチャネルに発行されます。スレーブデータは、AXI マスタリードデータチャネルから受信し、AXI スレーブリードデータチャネルに送信されます。

このとき、復号の必要性は要求アドレス領域によって決定されます。必要に応じて、復号されたデータは AES コアを介して送信されます。復号を必要としない場合は、受信応答は変換されずに送信されます。

45.5 システムフロー

図 45.3 にハードウェアリセット後の初期化フローを示します。

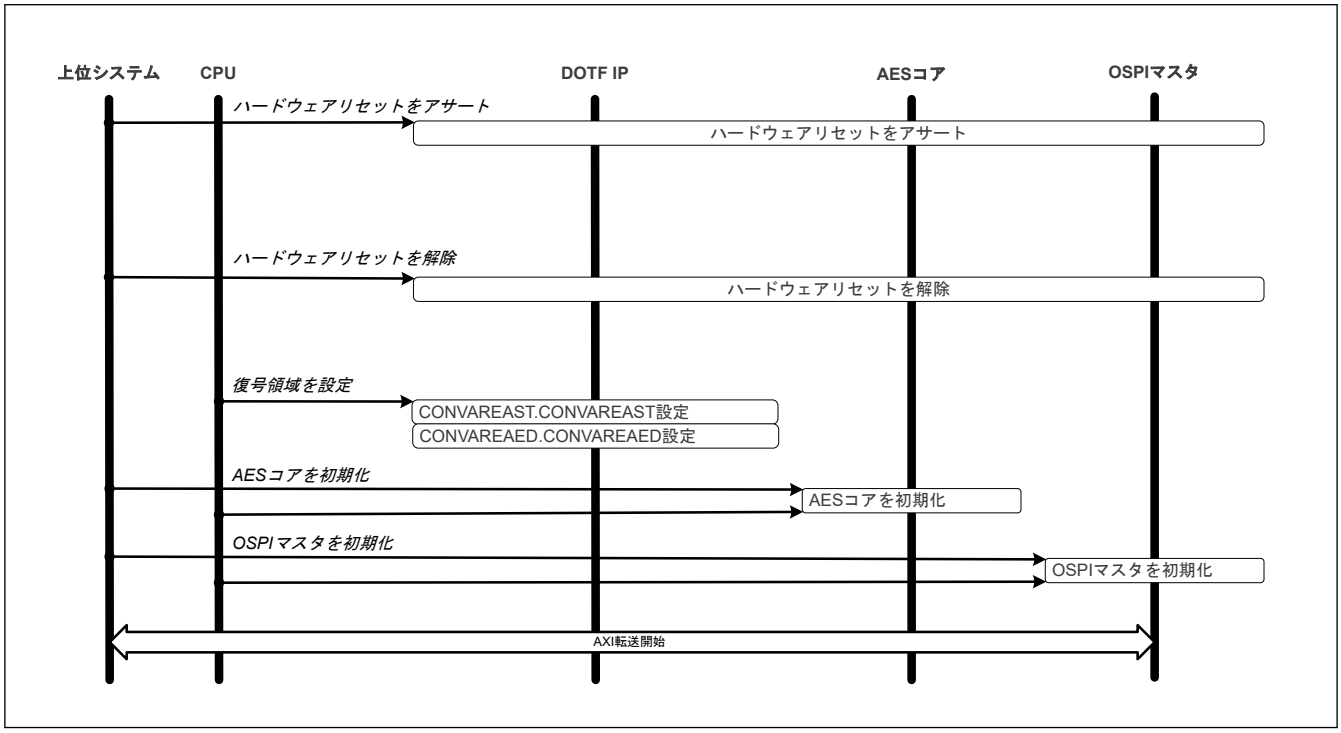


図 45.3 初期化フロー

45.6 使用上の注意事項

45.6.1 モジュールストップ機能

モジュールストップコントロールレジスタ B (MSTPCRB) により、DOTF の動作を無効または有効にすることができます。リセット後の初期状態で、DOTF モジュールは停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

46. 拡張シリアルサウンドインタフェース (SSIE)

46.1 概要

シリアルサウンドインタフェース拡張 (SSIE) は、I2S、モノラル、TDM などのオーディオデータフォーマットに対応するさまざまなデバイスとの送受信を行うことができます。

表 46.1 に SSIE の仕様を示します。図 46.3、図 46.4、および図 46.5 に SSIE のブロック図を示します。表 46.4 に入出力端子を示します。

表 46.1 SSIE の仕様

項目		内容
チャネル数		SSIE0 と SSIE1 の 2 チャネル
通信モード		• マスタ／スレーブ • 送信／受信（SSIE0：全二重通信、SSIE1：半二重通信）
通信フォーマット		• I2S フォーマット • モノラルフォーマット • TDM フォーマット
シリアルデータ		• MSB ファースト • データは左詰めまたは右詰めが可能 • SSILRCKn/SSIFSn (n = 0, 1) から SSITXD0/SSIRXD0/SSIDATA1 までの期間は、データ遅延（1 クロックサイクル）、または遅延なしを選択可能 • システムワード長：8、16、24、32、48、64、128、または 256 ビット • データワード長：8、16、18、20、22、24、または 32 ビット • パディングの極性：Low または High
ビットクロック (SSIBCKn (n = 0, 1))	マスタモードの場合	• 2 つのクロックソースを利用可能（AUDIO_CLK/GPT 出力 (GTIOC2A)） • クロックソースの分周比：1/1、1/2、1/4、1/6、1/8、1/12、1/16、1/24、1/32、1/48、1/64、1/96、1/128 • 通信停止時は供給／停止を選択可能
	マスタ／スレーブモードの場合	• 極性（立ち上がりエッジまたは立ち下がりエッジ）を選択可能
LR クロック／フレーム同期 (SSILRCKn/ SSIFSn (n = 0, 1))	マスタモードの場合	• 極性（Low レベルまたは High レベル）を選択可能 • 通信停止時は供給／停止を選択可能
送信データ (SSITXD0/ SSIDATA1) および受信データ (SSIRXD0/ SSIDATA1)	送信	• ミュート手法（送信 FIFO データの送信または 0 固定データの送信）を選択可能
FIFO	容量	• 送信 FIFO／受信 FIFO：4 バイト × 32 段
	データアライメント	• FIFO とシフトレジスタ間のデータ転送に関するデータアライメント手法（左詰めまたは右詰め）を選択可能
割り込み	割り込み出力	• 通信エラー／アイドルモード • 受信データフル • 送信データエンプティ
消費電力低減機能		• マスタモードではオーディオクロックを供給するかどうかを選択可能
モジュールストップ機能		各チャネルに対してモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ		各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

下表に、SSIE が使用可能な通信フォーマットで使用される用語の一覧および定義を示します。

表 46.2 用語の定義

用語	定義
開始トリガ	通信を許可するために LRCKP で指定した値に設定されたときの SSILRCKn/SSIFSn (n = 0, 1) 端子上の信号の最初のエッジ
フレーム境界	SSIE がフレーム最初のデータを送信し始めるポイントまたは SSIE がフレーム最後のデータを送信し終えるポイント
フレームワード数	フレーム当たりのサウンドチャネル数
システムワード長	チャネル当たりのビット数
データワード長	チャネル当たりの有効ビット数
通信フォーマットに関する制御ビット	• SSICR レジスタ：FRM、DWL、SWL、LRCKP、SPDP、SDTA、PDTA、DEL の各ビット • SSIFCR レジスタ：BSW ビット • SSIOFR レジスタ：OMOD ビット • SSISCR レジスタ：TDES[4:0]ビットおよび RDFS[4:0]ビット

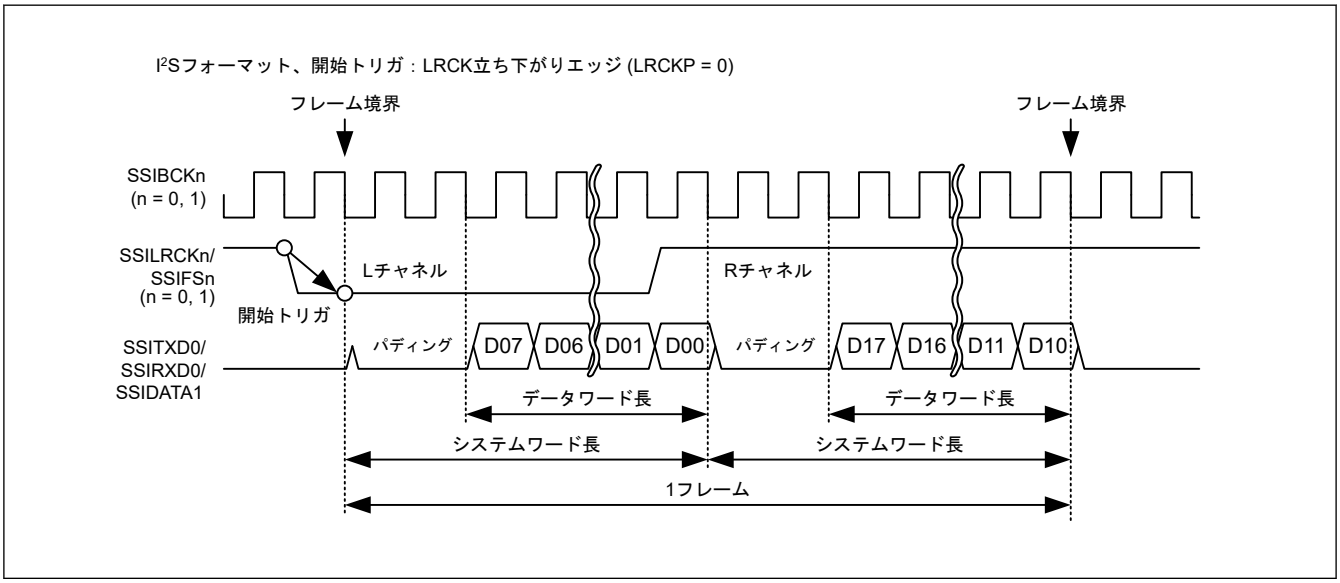


図 46.1 通信フォーマットの定義

図 46.2 と図 46.3 に、SSIE のブロック図を示します。

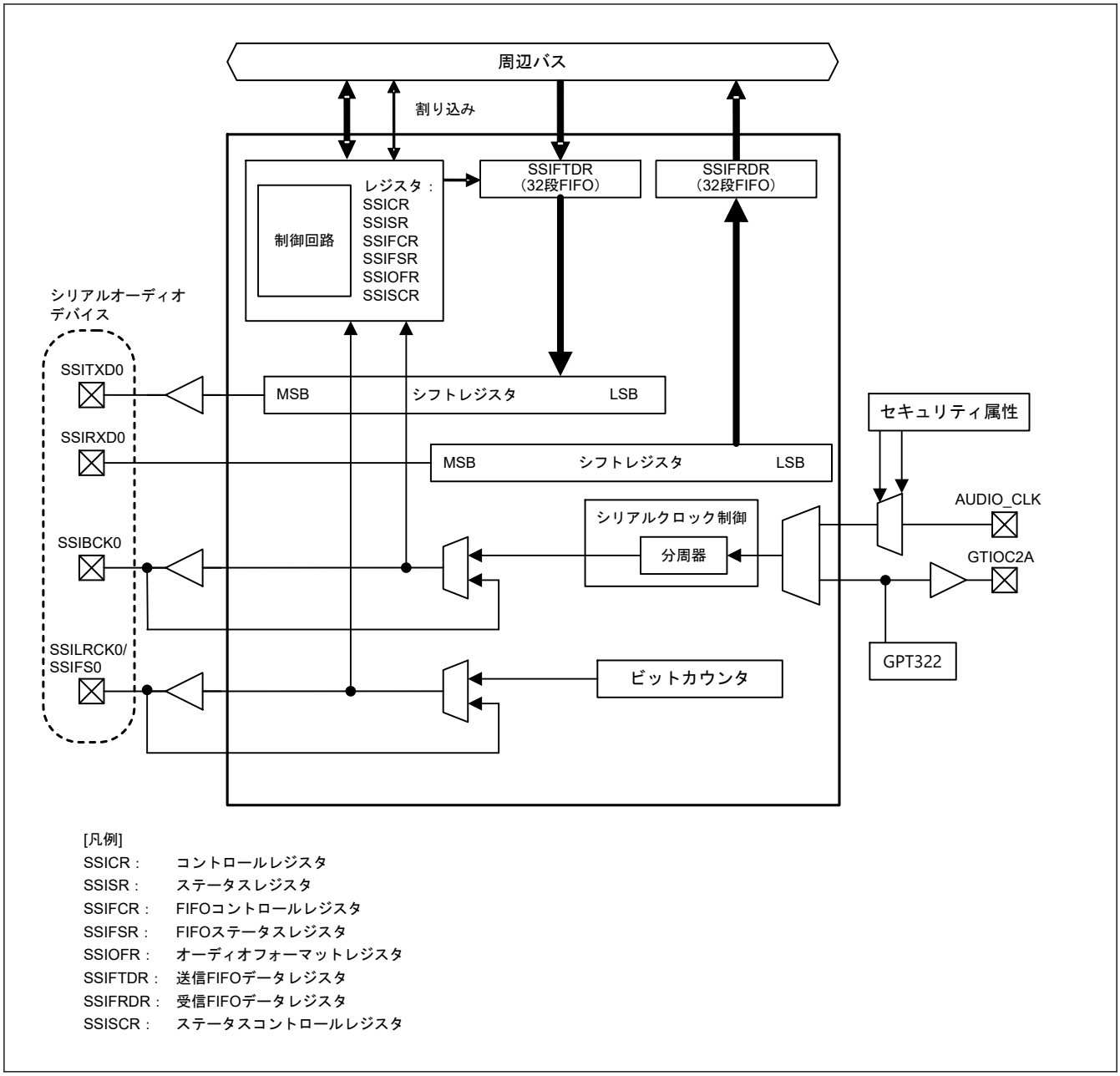


図 46.2 SSIE ブロック図 (SSIE0)

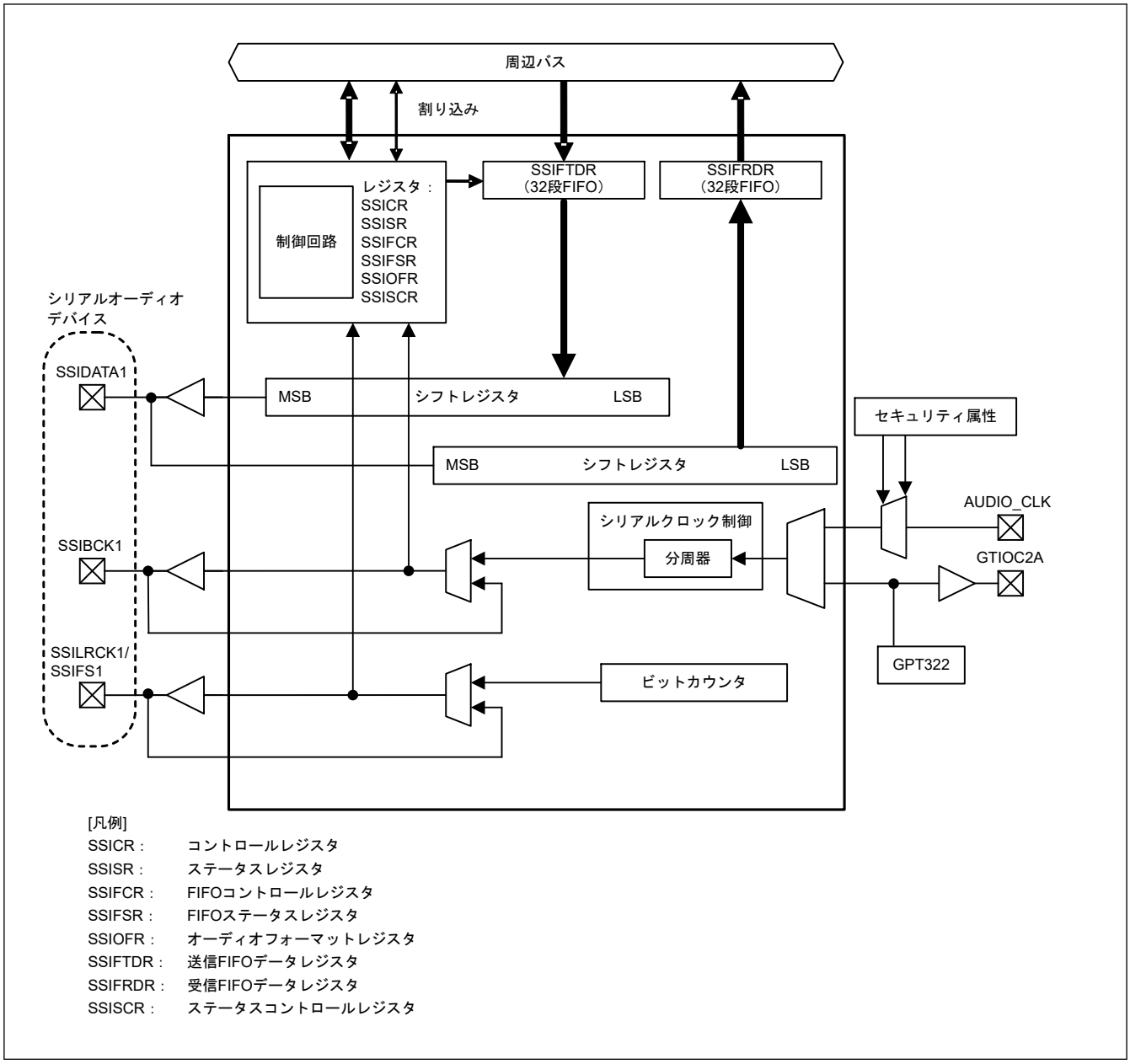


図 46.3 SSIE ブロック図 (SSIE1)

図 46.4 に、SSIE のクロック構成を示します。

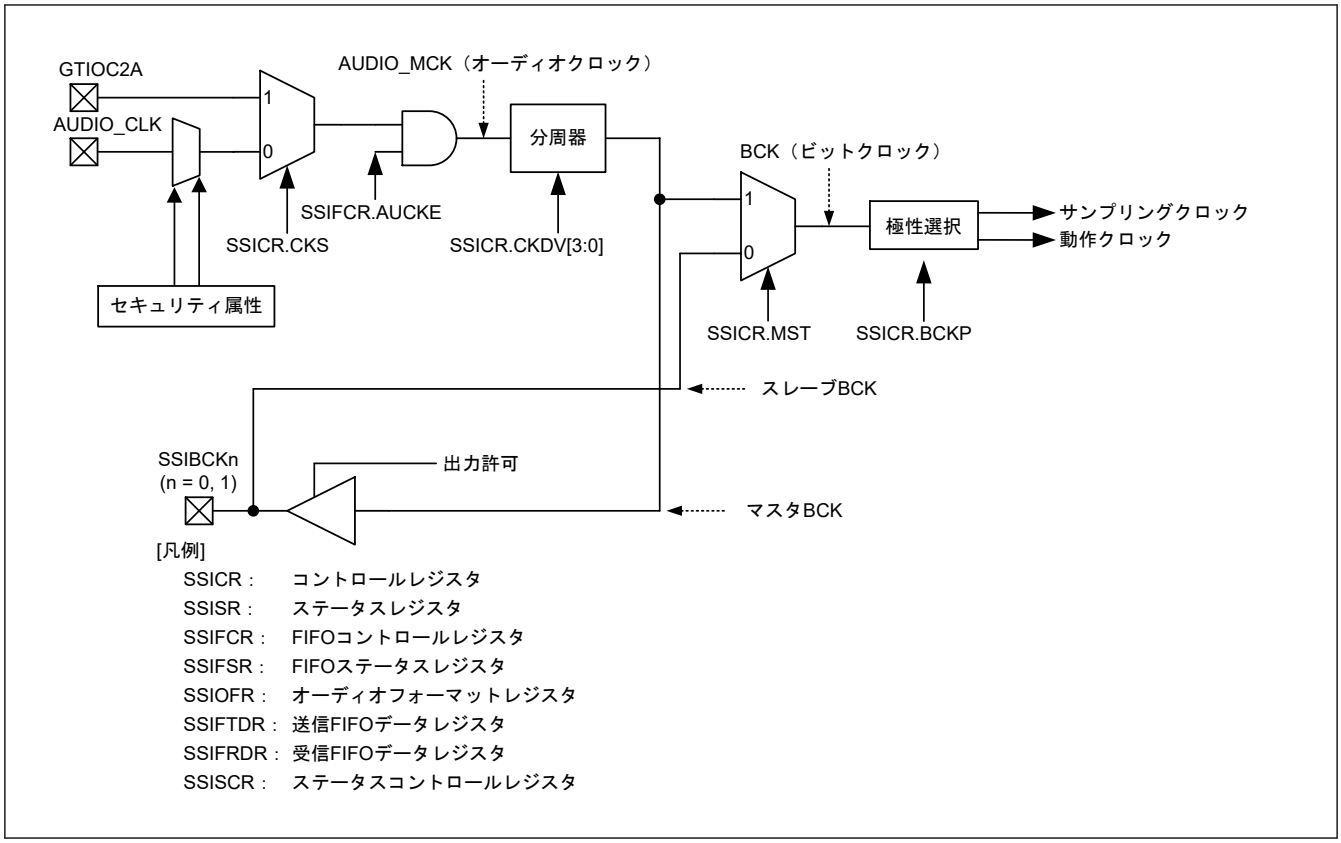


図 46.4　SSIE クロック構成

表 46.3 に示すように、ポートのセキュリティ属性、SSIE のセキュリティ属性、および SSICR.CKS ビットの設定に応じて AUDIO_CLK を入力することができます。

表 46.3　セキュリティ設定による AUDIO_CLK の入力条件

ポートセキュリティ属性 (PmSAR (m = 0 - 9, A, B))	SSIE0 セキュリティ属性 (PSARm (B - E))	SSIE0 の SSICR.CKS	SSIE1 セキュリティ属性 (PSARm (B - E))	SSIE1 の SSICR.CKS	AUDIO_CLK 端子入力
0（セキュア）	0（セキュア）	0 (AUDIO_CLK)	Don't care		AUDIO_CLK 入力許可
	Don't care		0（セキュア）	0 (AUDIO_CLK)	
1（非セキュア）	1（非セキュア）	Don't care	0（セキュア）	1 (GTIOC2A)	
			1（非セキュア）	Don't care	
	0（セキュア）	1 (GTIOC2A)	1（非セキュア）	Don't care	
	1（非セキュア）	Don't care			
上記以外					AUDIO_CLK 入力禁止

表 46.4 に入出力端子の一覧を示します。

表 46.4　SSIE の入出力端子 (1/2)

チャネル	端子名	入出力	機能
共通	SSIBLKn	入力	シリアルビットクロック端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子（入力オーバーサンプリングクロック）
	SSILRCKn/SSIFSn	出力	LR クロック／フレーム同期端子
SSIE0	SSIRXD0	入力	シリアルデータ入力端子
	SSITXD0	出力	シリアルデータ出力端子

表 46.4 SSIE の入出力端子 (2/2)

チャネル	端子名	入出力	機能
SSIE1	SSIDATA1	入出力	シリアルデータ入出力端子

注. n = 0, 1

46.2 レジスタの説明

46.2.1 SSICR : コントロールレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	REN	受信許可(注2) 0: 受信禁止 1: 受信許可（受信開始）	R/W
1	TEN	送信許可(注2) 0: 送信禁止 1: 送信許可（送信開始）	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	MUEN	ミュート許可 0: 次のフレーム境界でミュート禁止 1: 次のフレーム境界でミュート許可	R/W
7:4	CKDV[3:0]	ビットクロック分周比選択(注1) 0x0: AUDIO_MCK 0x1: AUDIO_MCK/2 0x2: AUDIO_MCK/4 0x3: AUDIO_MCK/8 0x4: AUDIO_MCK/16 0x5: AUDIO_MCK/32 0x6: AUDIO_MCK/64 0x7: AUDIO_MCK/128 0x8: AUDIO_MCK/6 0x9: AUDIO_MCK/12 0xA: AUDIO_MCK/24 0xB: AUDIO_MCK/48 0xC: AUDIO_MCK/96 その他: 設定禁止	R/W
8	DEL	シリアルデータ遅延の選択(注1) モノラルフォーマットでは、このビットが SSILRCKn/SSIFSn (n = 0, 1) の波形を制御する。詳細については、「46.3.2. モノラルフォーマット」を参照してください。 0: SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 の間に、SSIBCKn (n = 0, 1) の 1 サイクル分の遅延あり 1: SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 の間に遅延なし	R/W
9	PDTA	プレースメントデータアライメントの選択(注1) 0: プレースメントデータを左詰めにする（SSIFTDR、SSIFRDR） 1: プレースメントデータを右詰めにする（SSIFTDR、SSIFRDR）	R/W

<table>
<tr><th>ビット</th><th>シンボル</th><th>機能</th><th>R/W</th></tr>
<tr><td>10</td><td>SDTA</td><td>シリアルデータアライメントの選択(注1)
0: シリアルデータの次にパディングビットを送受信する
1: パディングビットの次にシリアルデータを送受信する</td><td>R/W</td></tr>
<tr><td>11</td><td>SPDP</td><td>シリアルパディング極性の選択(注1)
0: パディングデータは Low レベル
1: パディングデータは High レベル</td><td>R/W</td></tr>
<tr><td>12</td><td>LRCKP</td><td>LR クロック／フレーム同期信号の初期値および極性の選択(注1)
0: 初期値は High レベル
フレームの開始トリガは SSILRCKn/SSIFSn (n = 0, 1) の立ち下がりエッジと同期される
1: 初期値は Low レベル
フレームの開始トリガは SSILRCKn/SSIFSn (n = 0, 1) の立ち上がりエッジと同期される</td><td>R/W</td></tr>
<tr><td>13</td><td>BCKP</td><td>ビットクロック極性の選択(注1)
0: SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 は、立ち下がりエッジで変化（SSILRCKn/SSIFSn (n = 0, 1) と SSIRXD0/SSIDATA1 は、SSIBCKn (n = 0, 1) の立ち上がりエッジでサンプリング）
1: SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 は、立ち上がりエッジで変化（SSILRCKn/SSIFSn (n = 0, 1) と SSIRXD0/SSIDATA1 は、SSIBCKn (n = 0, 1) の立ち下がりエッジでサンプリング）</td><td>R/W</td></tr>
<tr><td>14</td><td>MST</td><td>マスタ有効化(注1)
0: スレーブモード通信
1: マスタモード通信</td><td>R/W</td></tr>
<tr><td>15</td><td>—</td><td>読むと 0 が読めます。書く場合、0 としてください。</td><td>R/W</td></tr>
<tr><td>18:16</td><td>SWL[2:0]</td><td>システムワード長の選択(注1)
0 0 0: 8 ビット
0 0 1: 16 ビット
0 1 0: 24 ビット
0 1 1: 32 ビット
1 0 0: 48 ビット
1 0 1: 64 ビット
1 1 0: 128 ビット
1 1 1: 256 ビット</td><td>R/W</td></tr>
<tr><td>21:19</td><td>DWL[2:0]</td><td>データワード長の選択(注1)
0 0 0: 8 ビット
0 0 1: 16 ビット
0 1 0: 18 ビット
0 1 1: 20 ビット
1 0 0: 22 ビット
1 0 1: 24 ビット
1 1 0: 32 ビット
1 1 1: 設定禁止</td><td>R/W</td></tr>
<tr><td>23:22</td><td>FRM[1:0]</td><td>フレームワード数の選択(注1)
<table>
<tr><th></th><th colspan="3">通信フォーマット (SSIOFR.OMOD[1:0])</th></tr>
<tr><td>FRM[1:0]</td><td>I²S (00b)</td><td>モノラル (10b)</td><td>TDM (01b)</td></tr>
<tr><td>00b</td><td>2</td><td>1</td><td>設定禁止</td></tr>
<tr><td>01b</td><td rowspan="3">設定禁止</td><td rowspan="3">設定禁止</td><td>4</td></tr>
<tr><td>10b</td><td>6</td></tr>
<tr><td>11b</td><td>8</td></tr>
</table></td><td>R/W</td></tr>
<tr><td>24</td><td>—</td><td>読むと 0 が読めます。書く場合、0 としてください。</td><td>R/W</td></tr>
<tr><td>25</td><td>IIEN</td><td>アイドルモード割り込み出力の許可
0: アイドルモード割り込み出力禁止
1: アイドルモード割り込み出力許可</td><td>R/W</td></tr>
</table>

ビット	シンボル	機能	R/W
26	ROIEN	受信オーバーフロー割り込み出力の許可 0: 受信オーバーフロー割り込み出力禁止 1: 受信オーバーフロー割り込み出力許可	R/W
27	RUIEN	受信アンダーフロー割り込み出力の許可 0: 受信アンダーフロー割り込み出力禁止 1: 受信アンダーフロー割り込み出力許可	R/W
28	TOIEN	送信オーバーフロー割り込み出力許可 0: 送信オーバーフロー割り込み出力禁止 1: 送信オーバーフロー割り込み出力許可	R/W
29	TUIEN	送信アンダーフロー割り込み出力の許可 0: 送信アンダーフロー割り込み出力禁止 1: 送信アンダーフロー割り込み出力許可	R/W
30	CKS	マスタモード通信に関するオーディオクロックの選択(注1) 0: AUDIO_CLK 入力を選択する 1: GTIOC2A（GPT 出力）を選択する	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. SSIE が通信状態 (SSISR.IIRQ = 0) の間、これらのビットへの書き込みは禁止されています。書き換えによってこれらのビットの値が変化した場合、以降の動作は予測できません。
注 2. TEN ビットまたは REN ビットが書き換えられた場合は、SSISR.IIRQ ビットが目的の状態になっていることを確認してください。書き換えによって TEN または REN ビットの値が変化した場合、以降の動作は予測できません。たとえば、送受信許可のときは SSISR.IIRQ が 0 であることを、送受信禁止のときは SSISR.IIRQ が 1 であることを確認してください。

このレジスタは、オーディオクロックの選択、割り込み要求のコントロール、データフォーマットの選択、動作モードの設定を行います。

TEN および REN ビット（送信および受信の許可）

TEN ビットは送信の許可／禁止を、REN ビットは受信の許可／禁止を行います。これらのビットのいずれかに 1 が書き込まれると、SSILRCKn/SSIFSn (n = 0, 1) 信号による開始トリガと同期して、対応する通信動作が始まります。詳細については、「46.6.2. 送信」～「46.6.4. 送受信」を参照してください。このビットに 0 が書き込まれると、現在の通信動作が次のフレーム境界で停止します。送信および受信の両方で SSIE を使用するには、両方のビットに常に 1 を書き込みます。SSIE を使った通信を停止するときは、常に送信および受信の両方を禁止します（TEN および REN ビットに 0 を書き込む）。

フレーム境界の到達前に SSIE を停止したい場合は、ソフトウェアリセット手順を実行します。

MUEN ビット（ミュート許可）

MUEN ビットは、SSITXD0/SSIDATA1 端子からの出力データのミュート機能を設定／解除します。フレームの中間部分でビットを 1 にすると、SSITXD0/SSIDATA1 出力は、次のフレーム境界で 0 に変わります。フレームの中間部分でビットを 0 にすると、SSITXD0/SSIDATA1 出力は、次のフレーム境界で送信 FIFO データレジスタのデータに変わります。MUEN ビットは、データに対してのみ制御します。ステータスフラグと割り込み信号が、通常は生成されます。

このビットの値変更は、使用する通信フォーマットの設定後に実行されなければなりません。

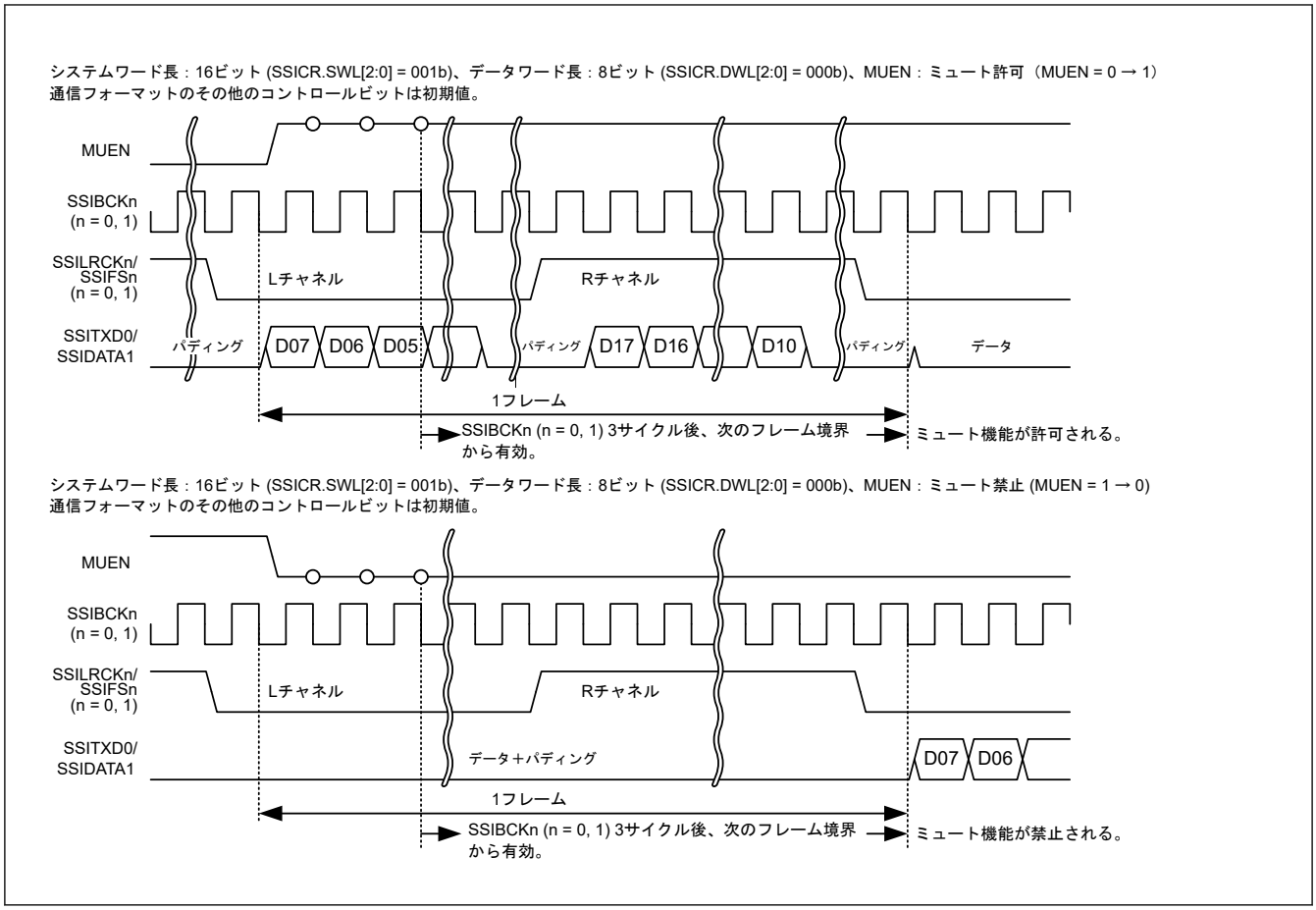


図 46.5　ミュート機能設定時のデータ送信

CKDV[3:0]ビット（ビットクロック分周比選択）

CKDV[3:0]ビットは、マスタモード通信時 (MST = 1) に AUDIO_MCK に基づいてビットクロックの分周比を設定します。スレーブモード通信時 (MST = 0) は、これらのビット設定は無効です。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「46.2.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

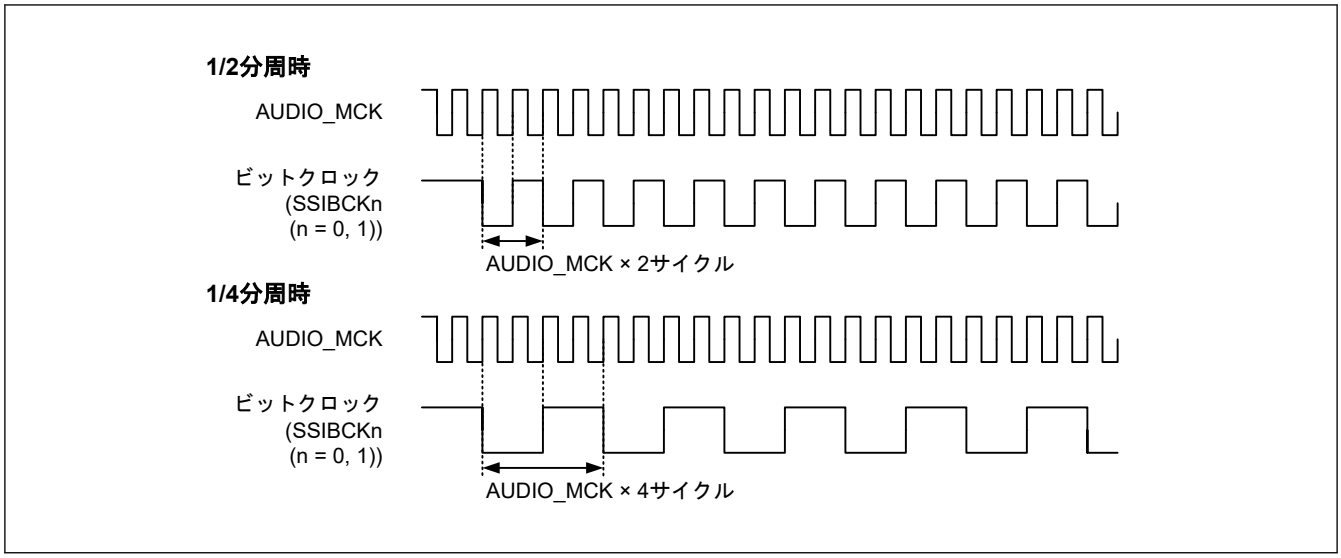


図 46.6　マスタモード通信時のサンプリング周波数

DEL ビット（シリアルデータ遅延の選択）

DEL ビットは、SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 の間の、遅延の有無を設定します。

I^2S または TDM フォーマットの場合は、DEL ビットを 0 に設定します。モノラルフォーマット使用時は、このビットを設定することで、SSILRCKn/SSIFSn (n = 0, 1) が High になっている期間の幅を変更します。詳細は、「46.3.2. モノラルフォーマット」を参照してください。互換性のある通信フォーマット使用時は、通信が許可されるようにこのビットを設定してください。

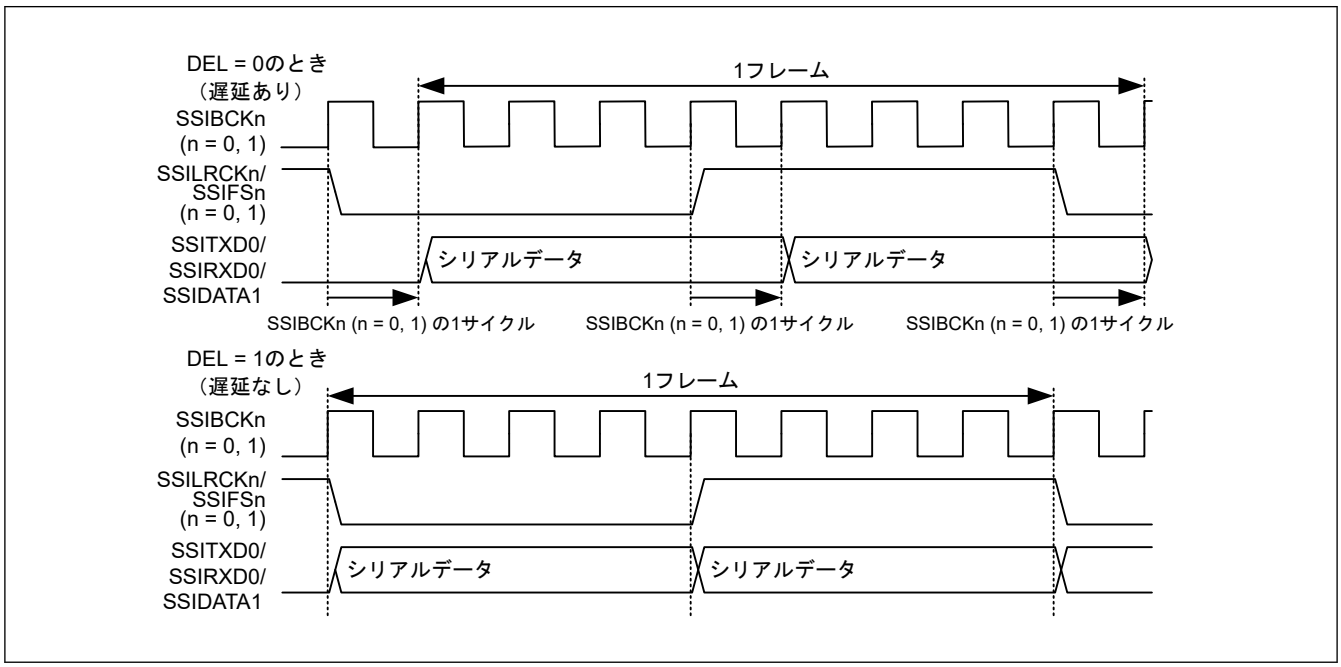


図 46.7　シリアルデータにおける遅延の設定

PDTA ビット（プレースメントデータアライメントの選択）

PDTA ビットは、プレースメントデータのアライメント方法を設定します。データワード長を 32 ビットに設定しているとき (SSICR.DWL[2:0] = 110b) は、このビットは無効です。

送信時については、図 46.8 を参照してください。

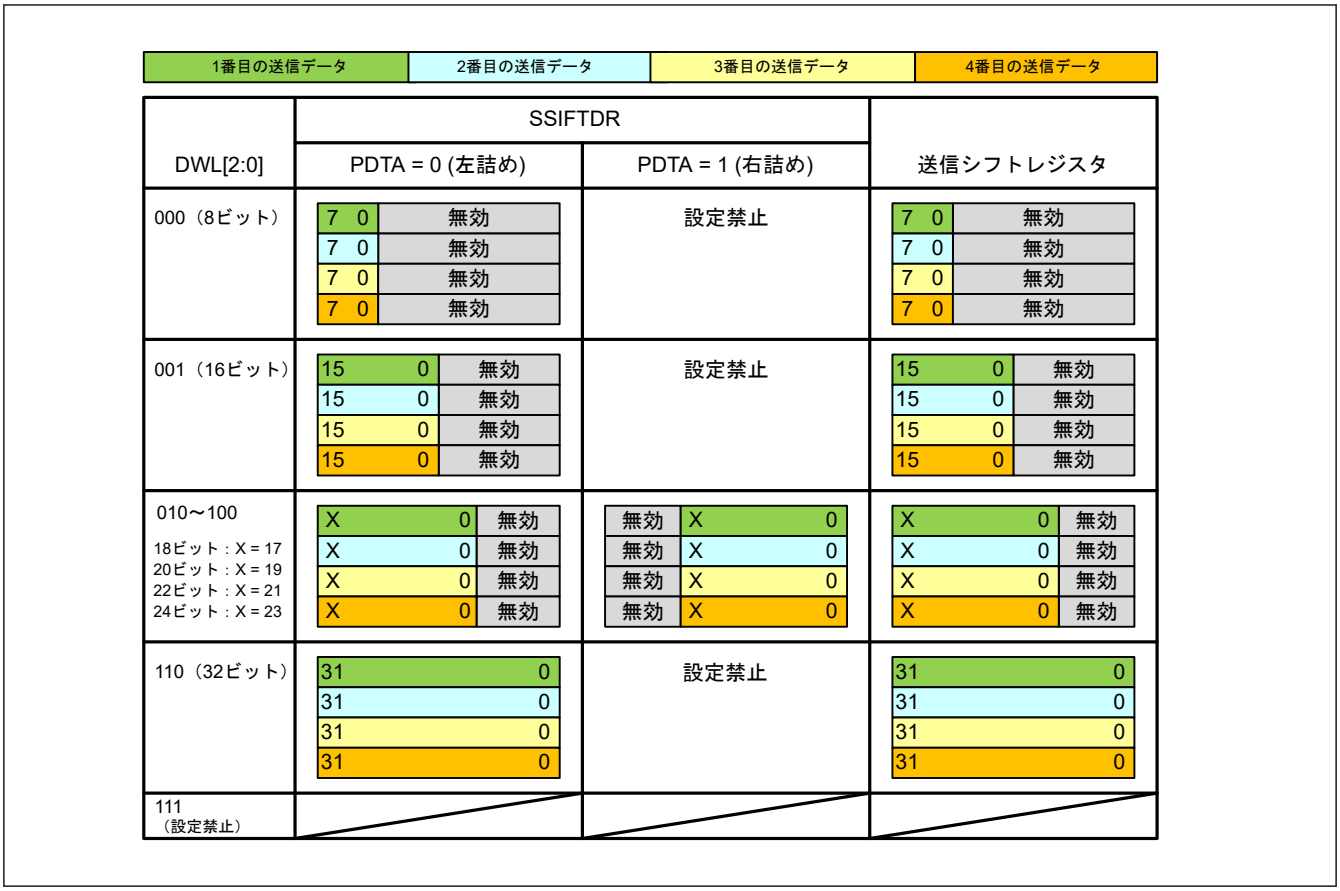


図 46.8　送信時のプレースメントデータのアライメント

受信時については、図 46.9 を参照してください。

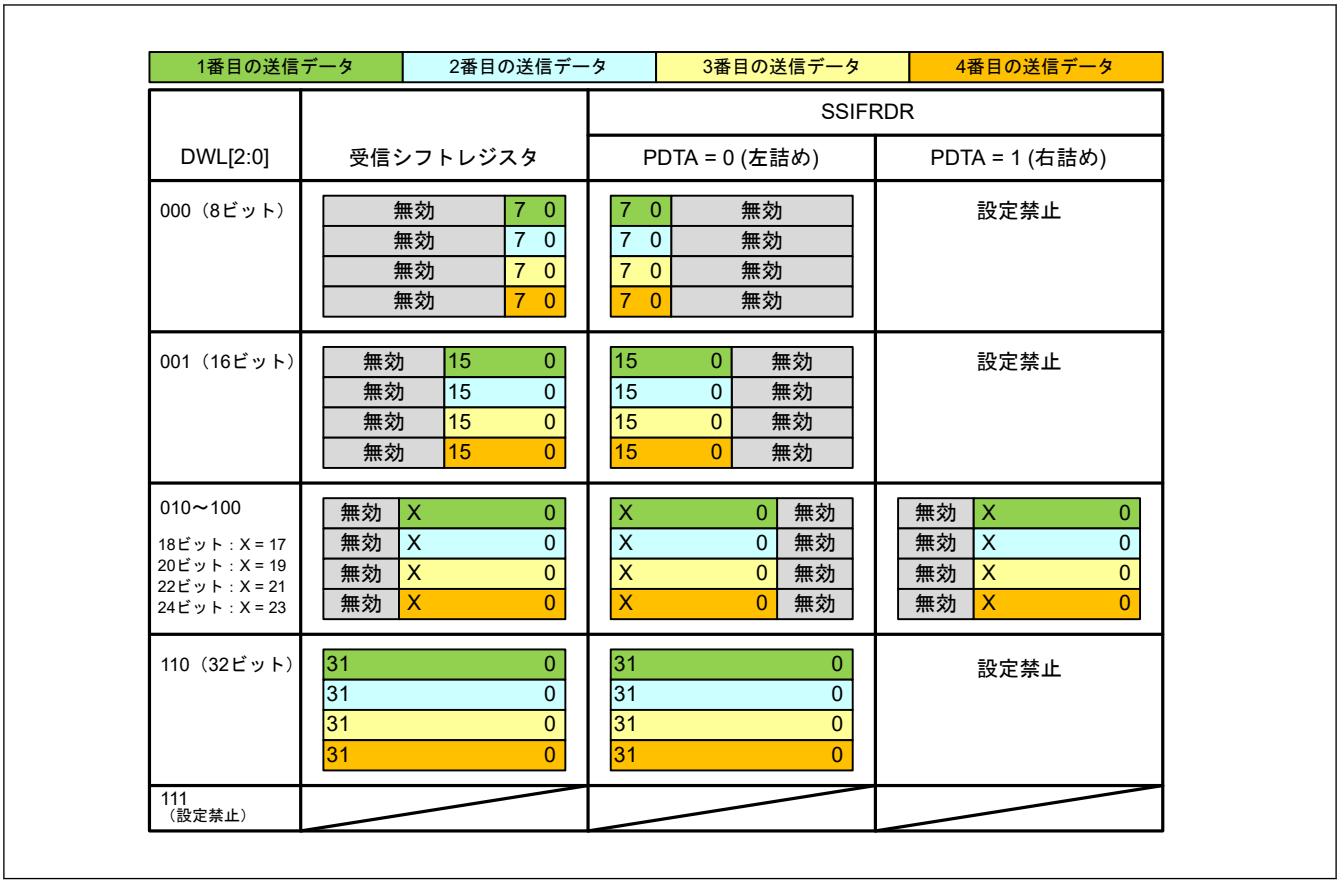


図 46.9　受信時のプレースメントデータのアライメント

SDTA ビット（シリアルデータ遅延の選択）

SDTA ビットは、シリアルデータおよびパディングビットのアライメント方法を設定します。パディングビットのない通信時は、このビットは無効です。

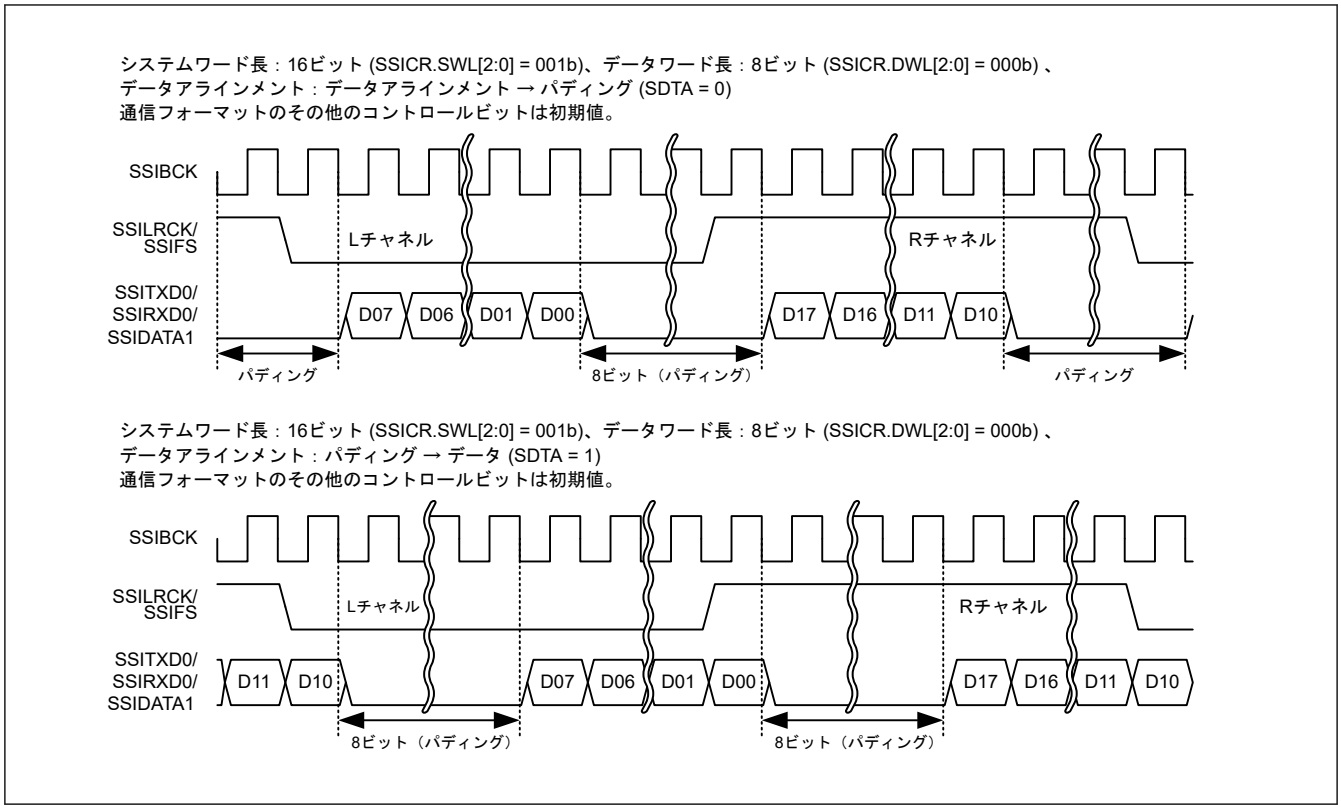


図 46.10　パディングビットを伴うシリアルデータのアライメント設定

SPDP ビット（シリアルパディング極性の選択）

SPDP ビットは、パディングビットの極性を設定します。

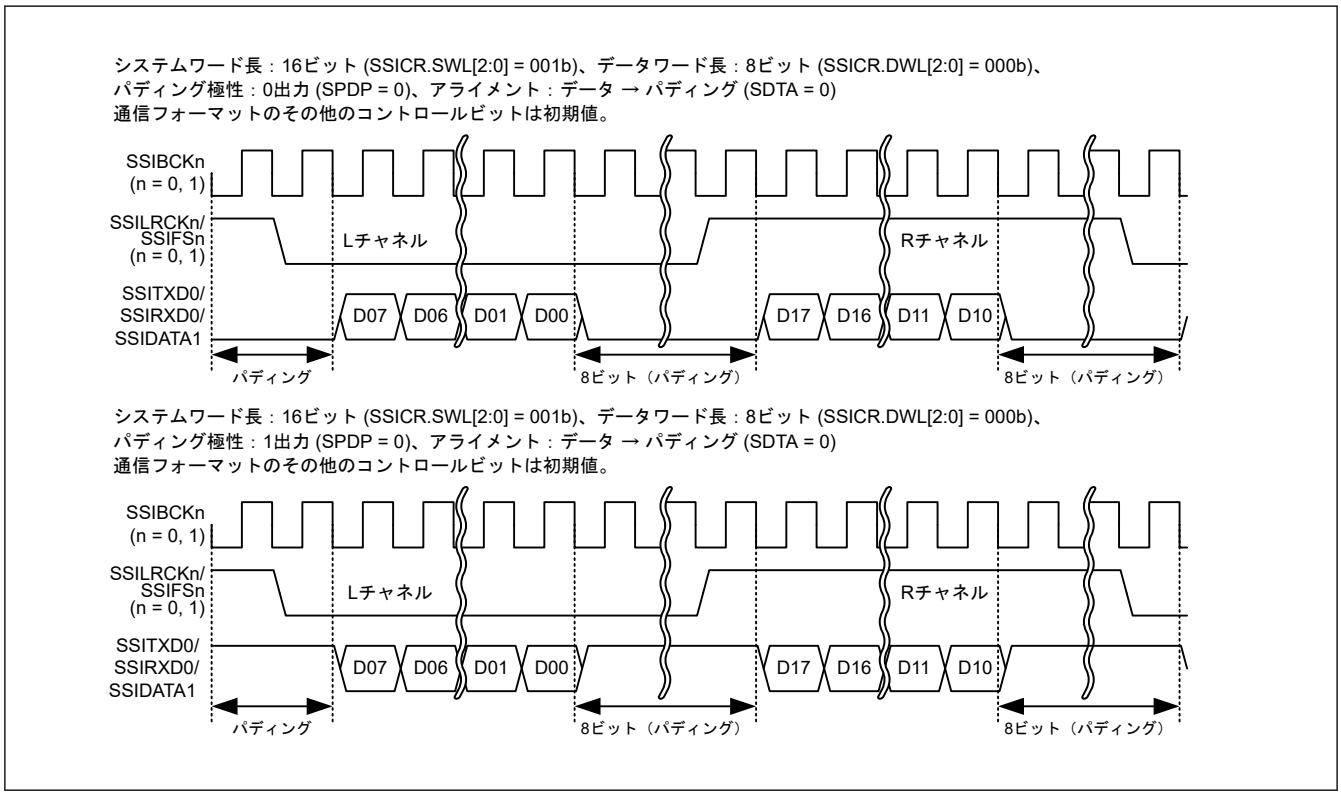


図 46.11　パディングビットの極性

LRCKP ビット（LR クロック／フレーム同期信号の初期値および極性の選択）

LRCKP ビットは、SSILRCKn/SSIFSn (n = 0, 1) の初期値および極性を設定します。このビットは、SSIE で使用する通信フォーマットに基づいて設定してください。表 46.5（「SSILRCKn/SSIFSn (n = 0, 1) 端子の初期出力値および極性」）を参照してください。スレーブモード通信時 (MST = 0) に使用されるのは開始トリガのみです。

これらのビットへの書き込みは、SSILRCKn/SSIFSn (n = 0, 1) 端子への LR クロックの供給が停止しているときに実行しなければなりません。LR クロックの出力に関する詳細は、「46.2.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットの詳細説明を参照してください。

表 46.5　SSILRCKn/SSIFSn (n = 0, 1) 端子の初期出力値および極性

通信フォーマット	期待される初期状態	LRCKP の設定値
I^2S	High	0
モノラル	Low	1
TDM	Low	1

注.　使用するフォーマットが I^2S、モノラル、または TDM フォーマットと互換性がある場合、各フォーマットとの通信を有効化する設定を指定してください。

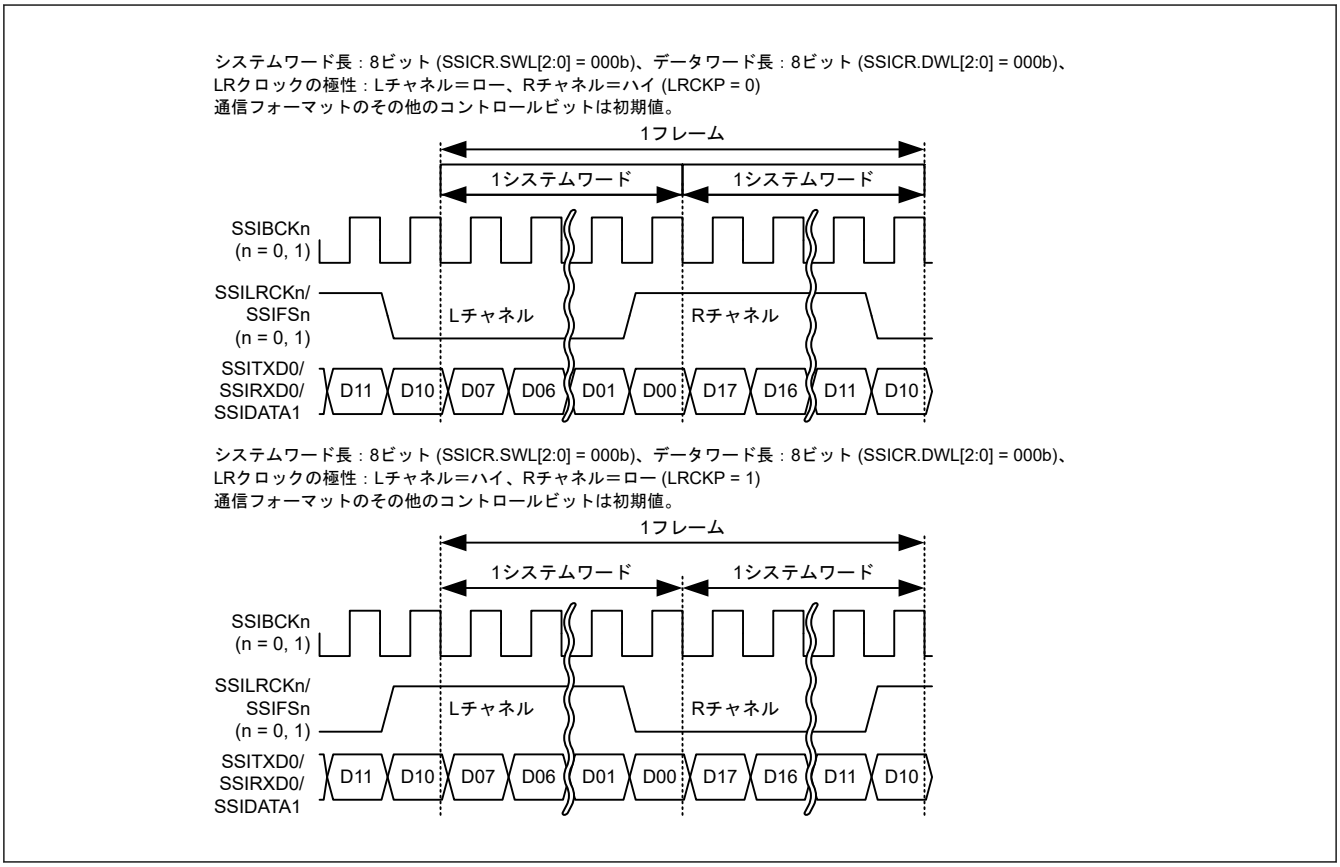


図 46.12　LR クロック／フレーム同期極性設定

BCKP ビット（ビットクロック極性の選択）

BCKP ビットは、ビットクロックの極性を設定します。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「46.2.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

表 46.6　ビットクロックの極性

通信	マスタ／スレーブ	タイミング	BCKP = 0	BCKP = 1
受信	スレーブ	SSILRCKn/SSIFSn (n = 0, 1) のサンプリング実行時	SSIBCKn (n = 0, 1) 立ち上がりエッジ	SSIBCKn (n = 0, 1) 立ち下がりエッジ
	マスタ／スレーブ	SSIRXD0/SSIDATA1 サンプリング時	SSIBCKn (n = 0, 1) 立ち上がりエッジ	SSIBCKn (n = 0, 1) 立ち下がりエッジ
送信	マスタ	SSILRCKn/SSIFSn (n = 0, 1) 出力の変更時	SSIBCKn (n = 0, 1) 立ち下がりエッジ	SSIBCKn (n = 0, 1) 立ち上がりエッジ
	マスタ／スレーブ	SSITXD0/SSIDATA1 出力の変化時	SSIBCKn (n = 0, 1) 立ち下がりエッジ	SSIBCKn (n = 0, 1) 立ち上がりエッジ

MST ビット（マスタ有効化）

MST ビットは、マスタ／スレーブモード通信を設定します。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「46.2.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

SWL[2:0]ビット（システムワード長の選択）

SWL[2:0]ビットは、1 システムワードのビット数を設定します。パディングビットは、DWL[2:0]で設定される 1 データワードと関連して送受信されます。詳細については、表 46.13 を参照してください。

これらのビットへの書き込みは、SSILRCKn/SSIFSn (n = 0, 1) 端子への LR クロックの供給が停止しているときに実行しなければなりません。LR クロックの出力に関する詳細は、「46.2.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットの詳細説明を参照してください。

DWL[2:0]ビット（データワード長の選択）

DWL[2:0]ビットは、1 データワードのビット数を設定します。データワード長（データワードあたりのビット数）は、システムワード長（システムワードあたりのビット数）を超えてはいけません。詳細については、表 46.13 を参照してください。

FRM[1:0]ビット（フレームワード数の選択）

FRM[1:0]ビットは、各通信フォーマットのフレームワード数を設定します。

これらのビットへの書き込みは、SSILRCKn/SSIFSn (n = 0, 1) 端子への LR クロックの供給が停止しているときに実行しなければなりません。LR クロックの出力に関する詳細は、「46.2.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットの詳細説明を参照してください。

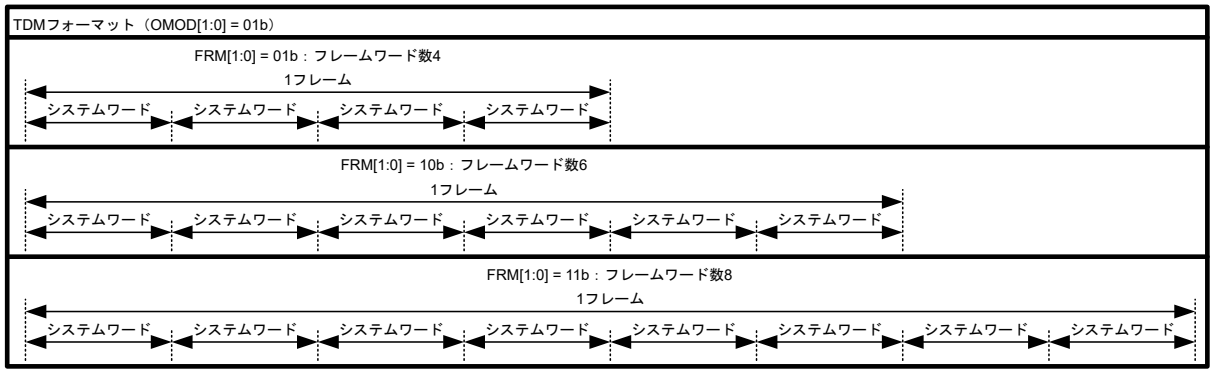


図 46.13　フレームワード数

IIEN ビット（アイドルモード割り込み出力の許可）

IIEN ビットは、アイドルモード割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.IIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.IIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

ROIEN ビット（受信オーバーフロー割り込み出力の許可）

ROIEN ビットは、受信オーバーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.ROIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.ROIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

RUIEN ビット（受信アンダーフロー割り込み出力の許可）

RUIEN ビットは、受信アンダーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.RUIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.RUIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

TOIEN ビット（送信オーバーフロー割り込み出力許可）

TOIEN ビットは、送信オーバーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.TOIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.TOIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

TUIEN ビット（送信アンダーフロー割り込み出力の許可）

TUIEN ビットは、送信アンダーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.TUIRQ=1 の立ち上がりエッジで割り込みが出力されます。SSISR.TUIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

CKS ビット（マスタモード通信に関するオーディオクロックの選択）

CKS ビットは、マスタモード通信時 (MST = 1) のオーディオクロックを設定します。スレーブモード通信時 (MST = 0) は、このビットの設定は無効です。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「46.2.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

46.2.2 SSISR : ステータスレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
24:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25	IIRQ	アイドルモードステータスフラグ 0: 通信状態 1: アイドル状態	R
26	ROIRQ	受信オーバーフローエラーステータスフラグ 0: 受信オーバーフローエラーは発生していない 1: 受信オーバーフローエラーが発生している	R/W
27	RUIRQ	受信アンダーフローエラーステータスフラグ 0: 受信アンダーフローエラーは発生していない 1: 受信アンダーフローエラーが発生している	R/W

ビット	シンボル	機能	R/W
28	TOIRQ	送信オーバーフローエラーステータスフラグ 0: 送信オーバーフローエラーは発生していない 1: 送信オーバーフローエラーが発生している	R/W
29	TUIRQ	送信アンダーフローエラーステータスフラグ 0: 送信アンダーフローエラーは発生していない 1: 送信アンダーフローエラーが発生している	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタは、SSIE の動作状態を示すステータスフラグによって構成されます。

IIRQ フラグ（アイドルモードステータスフラグ）

IIRQ フラグは、アイドル状態を示すステータスフラグです。SSIE がアイドル状態にあるか、通信状態にあるかを示します。

詳細については、図 46.14 および図 46.15 を参照してください。

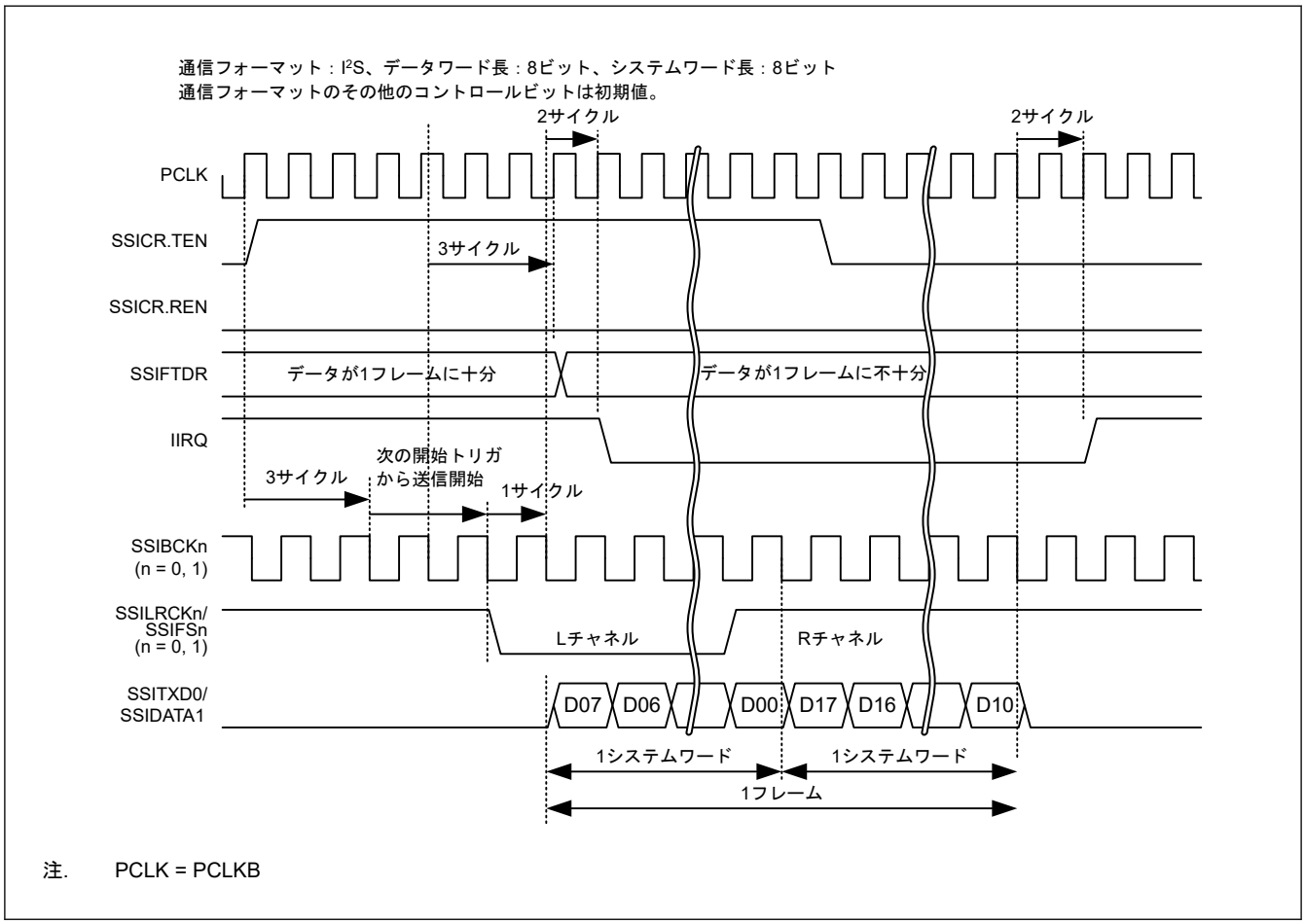


図 46.14 IIRQ 設定タイミング（送信）

- トランスミッタ（送信専用）

[0 になる条件]

送信が許可されている場合（SSICR.TEN = 1 かつ SSICR.REN = 0）に、送信フレームの送信データが SSIFTDR レジスタに書き込まれ、開始トリガが SSILRCKn/SSIFSn (n = 0, 1) 信号によって生成されたとき

[0 になるタイミング]

0 になる条件である開始トリガの生成から、「SSIBCKn (n = 0, 1) の 1 サイクル + PCLKB の 2 サイクル」が経過したとき

[1 になる条件]

送信と受信が禁止されている場合（SSICR.TEN = 0 かつ SSICR.REN = 0）に、1 つのフレームの送信が完了したとき

[1 になるタイミング]

1 になる条件である送信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

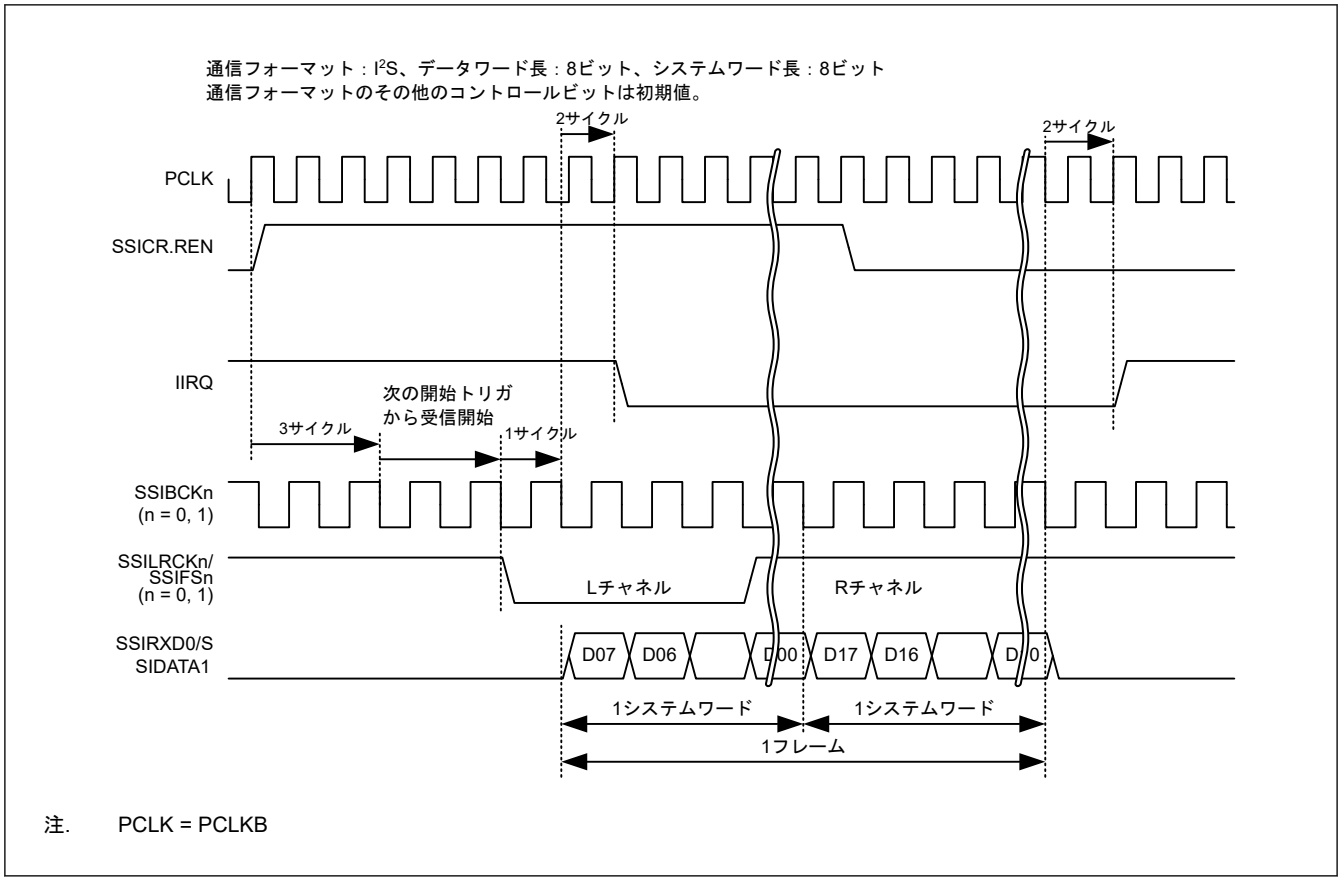


図 46.15 IIRQ 設定タイミング（受信）

- レシーバ（受信専用）

[0 になる条件]

受信が許可されている場合（SSICR.TEN = 0 かつ SSICR.REN = 1）に、開始トリガが SSILRCKn/SSIFSn (n = 0, 1) 信号によって生成されたとき

[0 になるタイミング]

0 になる条件である開始トリガの生成から、「SSIBCKn (n = 0, 1) の 1 サイクル + PCLKB の 2 サイクル」が経過したとき

[1 になる条件]

送信と受信が禁止されている場合（SSICR.TEN = 0 かつ SSICR.REN = 0）に、1 つのフレームの受信が完了したとき

[1 になるタイミング]

1 になる条件である受信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

- トランシーバ（送信および受信）

[0 になる条件]

送受信が許可されている場合（SSICR.TEN = 1 かつ SSICR.REN = 1）に、送信フレームの送信データが SSIFTDR レジスタに書き込まれ、開始トリガが SSILRCKn/SSIFSn (n = 0, 1) 信号によって生成されたとき

[0 になるタイミング]

0 になる条件である開始トリガの生成から、「SSIBCKn (n = 0, 1) の 1 サイクル + PCLKB の 2 サイクル」が経過したとき

[1 になる条件]

送信と受信が禁止されている場合（SSICR.TEN = 0 かつ SSICR.REN = 0）に、1 つのフレームの送信が完了したとき

[1 になるタイミング]

1 になる条件である送信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

ROIRQ フラグ（受信オーバーフローエラーステータスフラグ）

ROIRQ フラグは、受信オーバーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。このフラグは、受信データが要求レートよりも速い速度で供給されていることを示します。受信オーバーフローエラー発生中は、受信シフトレジスタから SSIFRDR にデータは送信されません。オーバーフローエラーからの復旧手順については、「46.6.6. エラー処理」を参照してください。このフラグは、受信 FIFO データレジスタリセット (SSIFCR.RFRST) ではクリアされません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信を許可（SSICR.REN を 0 から 1 に変更）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 を書き込んだとき（図 46.19 のタイミングと同じ）
2. SSICR.REN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

[1 になる条件]
SSIFRDR がフルの状態で次のデータの受信が完了したとき

[1 になるタイミング]
受信が完了した後に、PCLKB の 3 サイクルが経過したとき

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.REN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信を許可（SSICR.REN ビットの値を 0 から 1 に変更）してから、受信エラーフラグ（SSISR レジスタの RUIRQ および ROIRQ）がクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

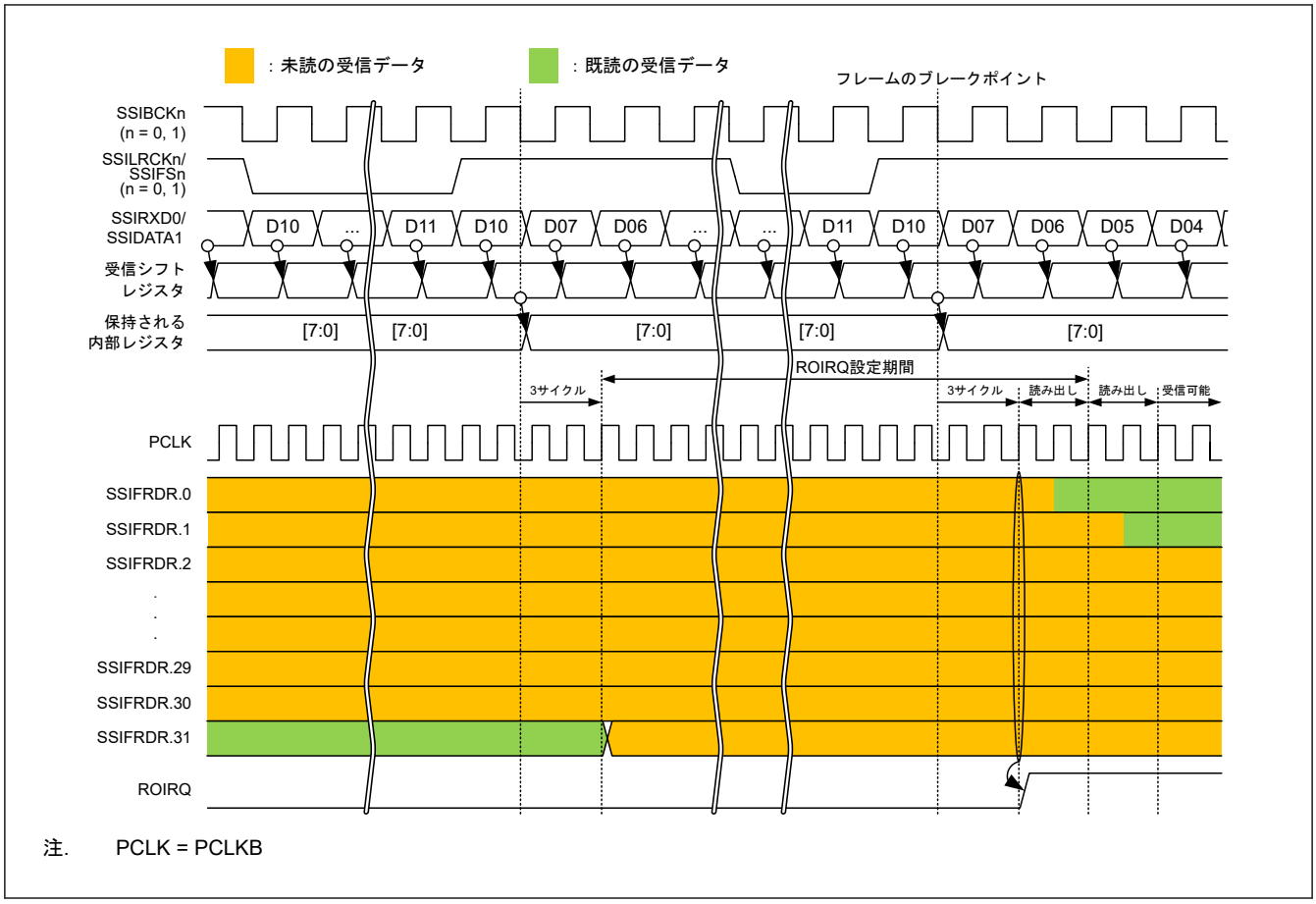


図 46.16 ROIRQ 設定タイミング

RUIRQ フラグ（受信アンダーフローエラーステータスフラグ）

RUIRQ フラグは、受信アンダーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。このフラグは、SSIFRDR がエンプティの間に読み出されることを示します。受信アンダーフローエラー発生中、SSIFRDR からのデータ読み出しは無効です。エラーからの復旧手順については、「46.6.6. エラー処理」を参照してください。このフラグは、受信 FIFO データレジスタリセット (SSIFCR.RFRST) ではクリアされません。ただし、受信 FIFO データレジスタのリセット中に SSIFRDR レジスタが読み出されたとしても、このフラグは設定されません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信の許可（SSICR.REN を 0 から 1 に変更）

[0 になるタイミング]
前述の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 を書き込んだとき（図 46.19 のタイミングと同じ）
2. SSICR.REN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

[1 になる条件]

SSIFRDR が空の間に SSIFRDR からの読み出し

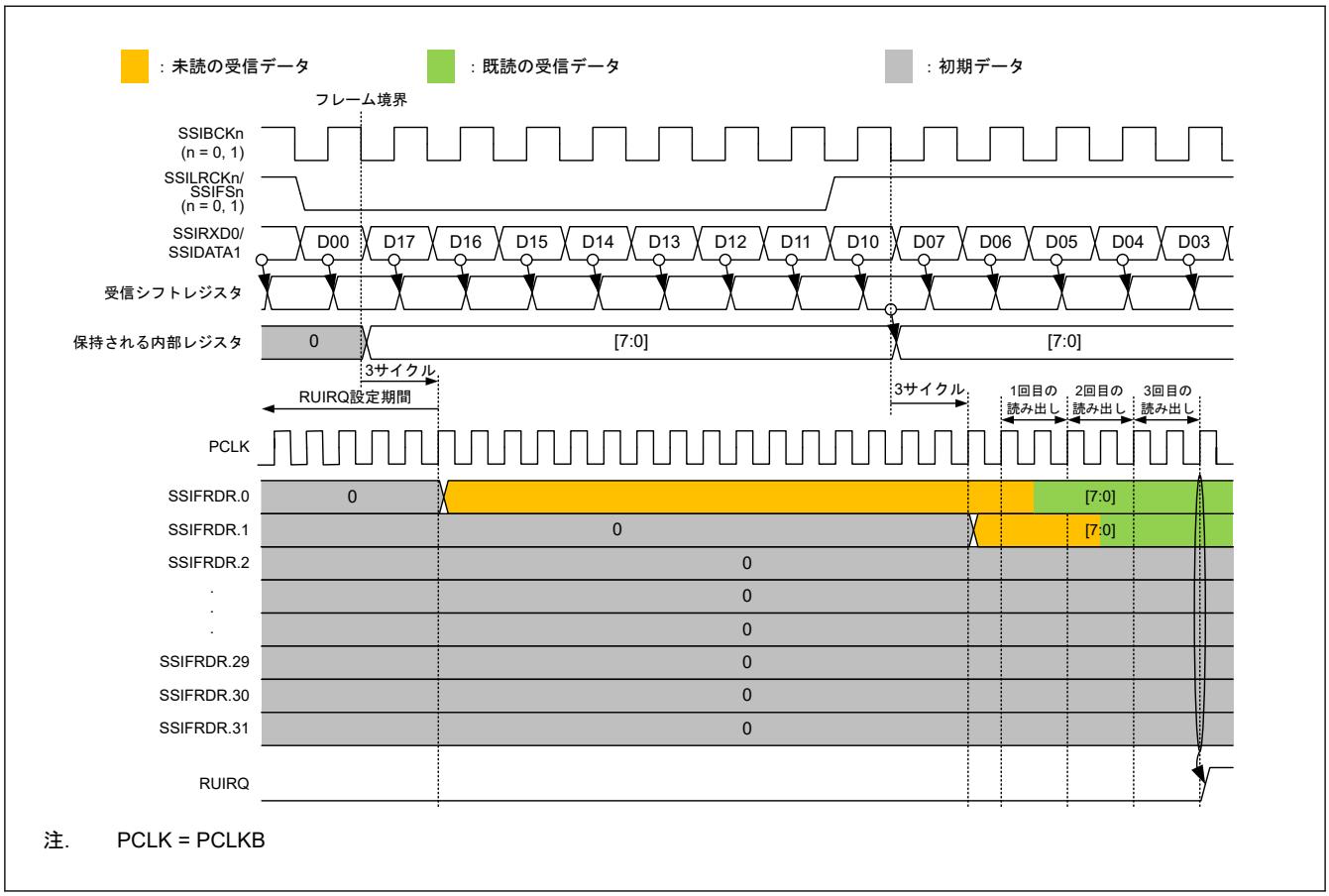
[1 になるタイミング]

SSIFRDR からの読み出し完了時図 46.17 を参照してください。

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.REN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信を許可した後（SSICR.REN ビットを 0 から 1 に変更）、受信エラーフラグ（RUIRQ レジスタの ROIRQ および SSISR）はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。



注. PCLK = PCLKB

図 46.17 RUIRQ 設定タイミング

TOIRQ フラグ（送信オーバーフローエラーステータスフラグ）

TOIRQ フラグは、送信オーバーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。このフラグは、SSIFTDR レジスタがデータフルのときに同レジスタにデータを書き込む試みがなされたことを意味します。送信オーバーフローを引き起こすこのデータ書き込みは無視されます。オーバーフローエラーからの復旧手順については、「46.6.6. エラー処理」を参照してください。このフラグは、送信 FIFO データレジスタリセット (SSIFCR.TFRST) ではクリアされません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信の許可（SSICR.TEN を 0 から 1 に変更）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 を書き込んだとき（図 46.19 のタイミングと同じ）
2. SSICR.TEN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

[1 になる条件]

SSIFTDR レジスタがデータフルのときに同レジスタにデータを書き込む試みがなされた。

[1 になるタイミング]

SSIFTDR への書き込み完了時。詳細については、図 46.18 を参照してください。

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.TEN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信の許可（SSICR.TEN ビットの値を 0 から 1 に変更）後、送信エラーフラグ（SSISR レジスタの TOIRQ と TUIRQ）がクリアされる。ただし、SSISR レジスタが継続して読み出されるとき、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

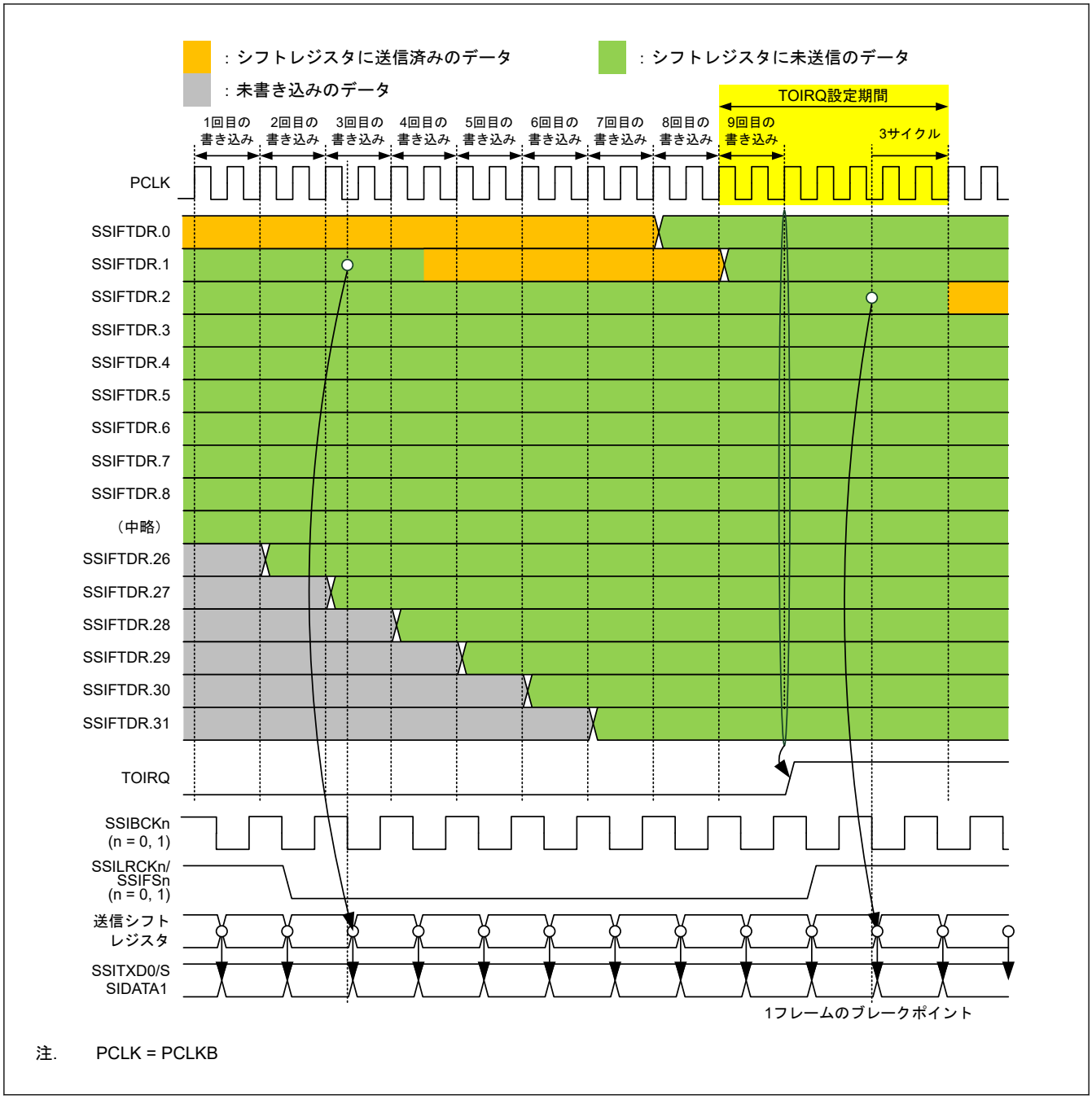


図 46.18 TOIRQ 設定タイミング

TUIRQ フラグ（送信アンダーフローエラーステータスフラグ）

TUIRQ フラグは、送信アンダーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。フレームに必要なシリアルデータの SSIFTDR への書き込みが、フレームの送信に追いつかなかったことを示します。設定されたフラグをクリアしても、SSITXD0/SSIDATA1 出力は 0 のままです。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたデータを、SSITXD0/SSIDATA1 端子へ出力するには、図 46.56 の通信停止の手順、および図 46.57 のエラー処理手順に従ってください。エラーから回復する手順は、「46.6.6. エラー処理」を参照してください。このフラグは、送信 FIFO データレジスタリセット（SSIFCR.TFRST 信号）ではクリアできません。

［設定およびクリアの優先順位］

設定が優先されます。(注1)

［0 になる条件］

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信の許可（SSICR.TEN を 0 から 1 に変更）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 が書き込まれたとき
2. SSICR.TEN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

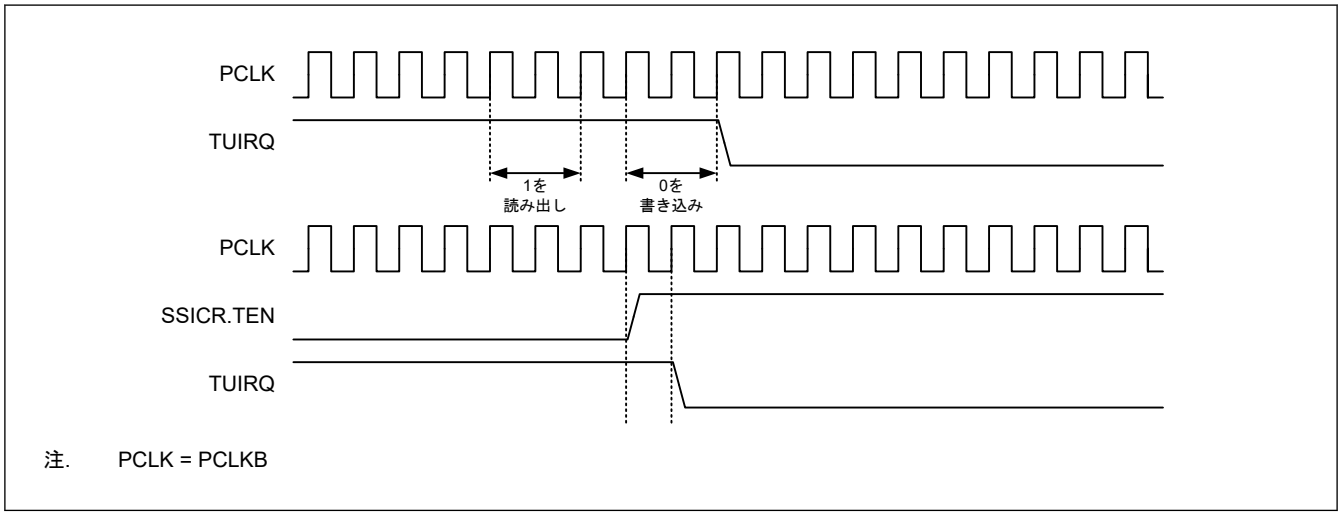


図 46.19 TUIRQ クリアタイミング

注 1. このビットは、ソフトウェアリセット（SSIFCR.SSIRST = 1）によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.TEN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

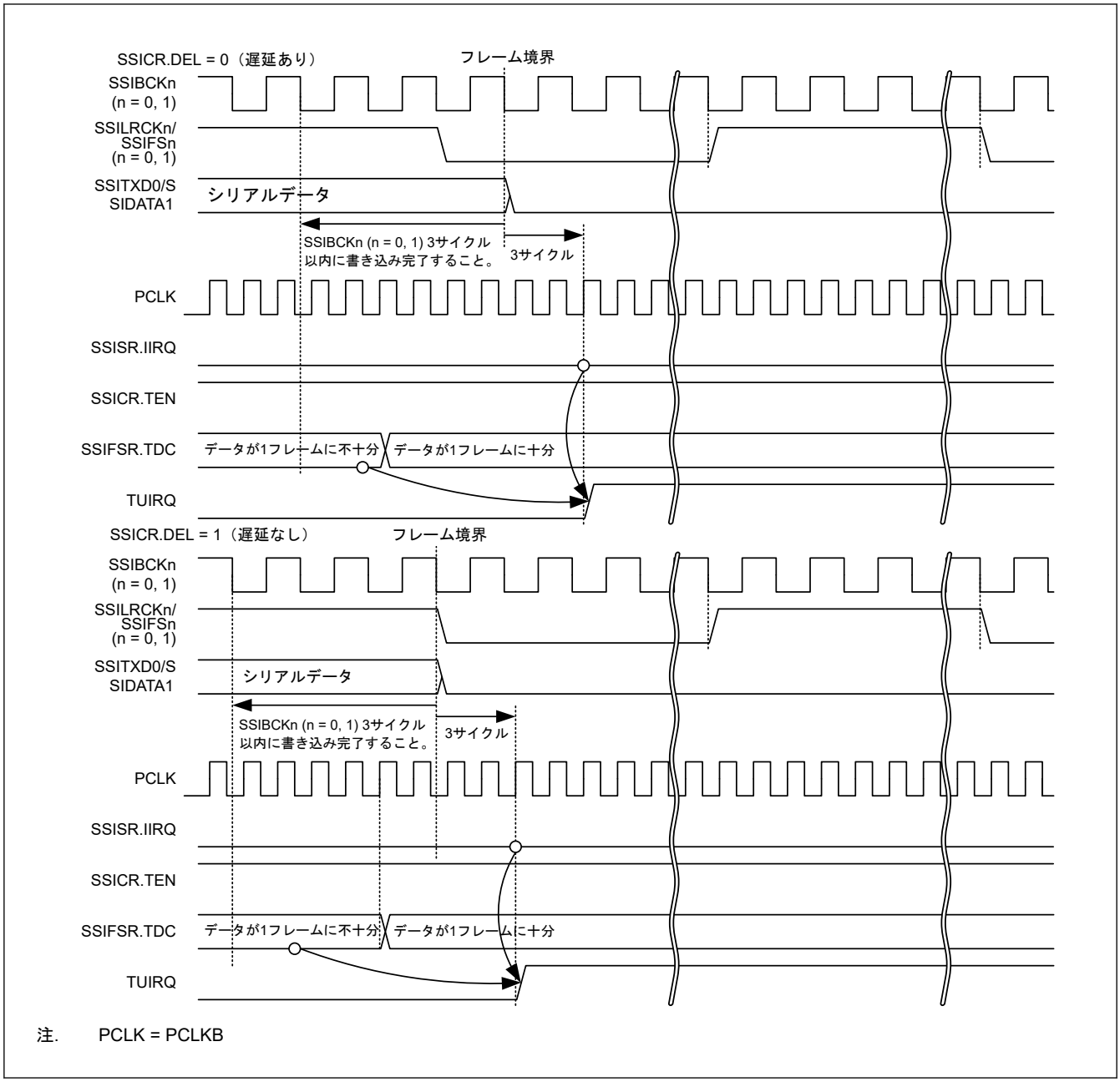
注 3. 通信の許可（SSICR.TEN ビットの値を 0 から 1 に変更）後、送信エラーフラグ（TOIRQ レジスタの TUIRQ と SSISR）がクリアされる。ただし、SSISR レジスタが継続して読み出されるとき、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

[1 になる条件]

フレーム境界を越えて通信が続く場合で、次のフレームに必要な送信データが SSIFTDR に書き込まれていない。詳細については、図 46.20 および図 46.21 を参照してください。

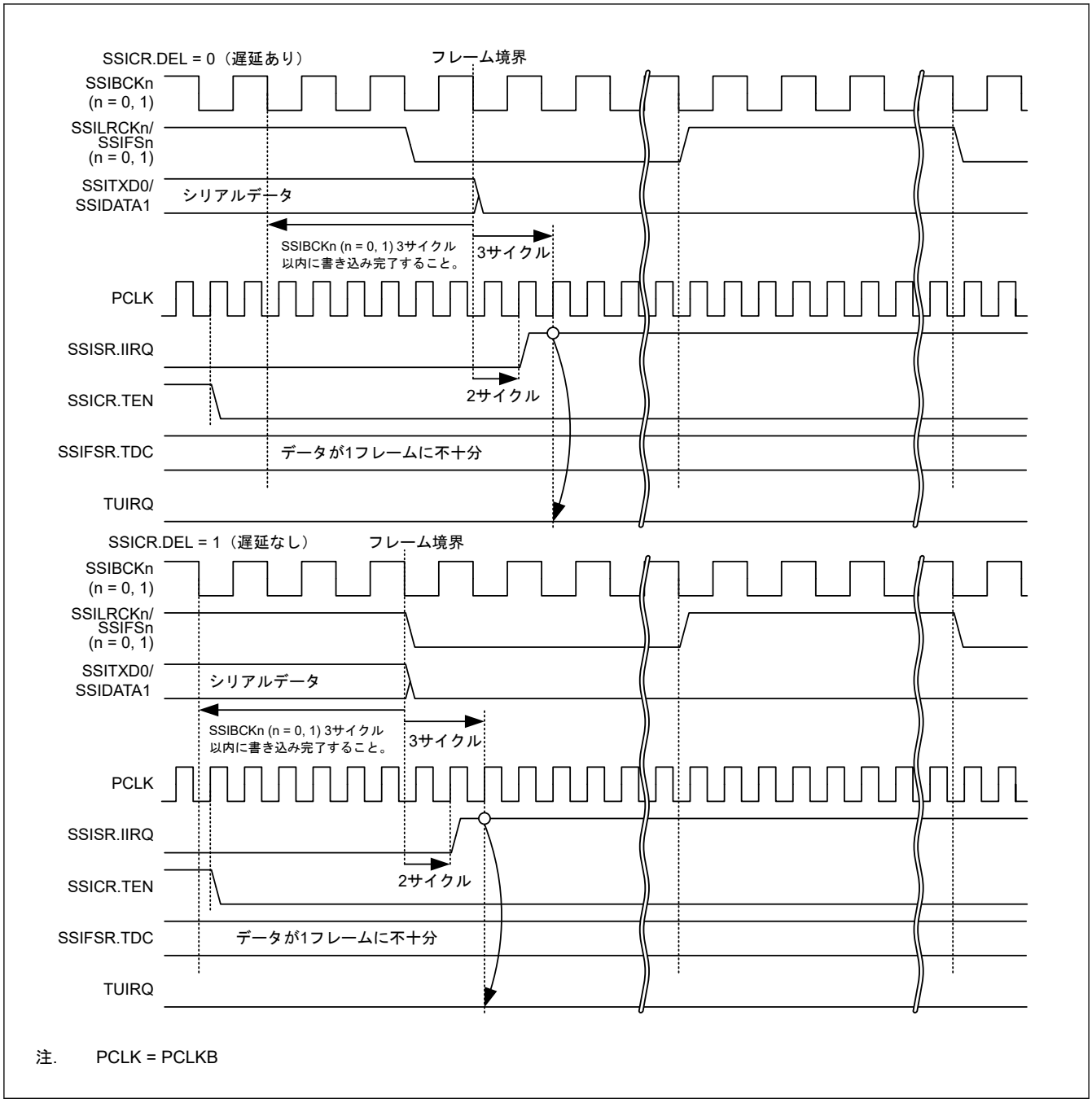
[1 になるタイミング]

フレーム境界から PCLKB の 3 サイクル後。詳細は、図 46.20 を参照してください。



注. PCLK = PCLKB

図 46.20 TUIRQ 設定タイミング（通信継続時）



注. PCLK = PCLKB

図 46.21 TUIRQ 設定タイミング（通信中断時）

46.2.3 SSIFCR : FIFO コントロールレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFRST	受信 FIFO データレジスタリセット(注1) 0: 受信データ FIFO リセット条件をクリアする 1: 受信データ FIFO リセット条件を設定する	R/W
1	TFRST	送信 FIFO データレジスタリセット(注1) 0: 送信データ FIFO リセット条件をクリアする 1: 送信データ FIFO リセット条件を設定する	R/W
2	RIE	受信データフル割り込み出力許可 0: 受信データフル割り込みを禁止する 1: 受信データフル割り込みを許可する	R/W
3	TIE	送信データエンプティ割り込み出力許可 0: 送信データエンプティ割り込みを禁止する 1: 送信データエンプティ割り込みを許可する	R/W
10:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BSW	バイトスワップ許可(注1) 0: バイトスワップを禁止する 1: バイトスワップを許可する	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SSIRST	ソフトウェアリセット 0: ソフトウェアリセット条件をクリアする 1: ソフトウェアリセット条件を設定する	R/W
30:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	AUCKE	マスタモード通信時の AUDIO_MCK 許可(注1) 0: AUDIO_MCK の供給を禁止する 1: AUDIO_MCK の供給を許可する	R/W

注. S-TYPE-3, P-TYPE-3
注 1. SSIE が通信状態 (SSISR.IIRQ = 0) の間、これらのビットへの書き込みは禁止されています。書き換えによってこれらのビットの値が変化した場合、以降の動作は予測できません。

このレジスタは、ソフトウェアリセット、バイトスワップ、割り込み要求の許可／禁止を設定します。

RFRST ビット（受信 FIFO データレジスタリセット）

RFRST ビットは、受信 FIFO データレジスタ（SSIFRDR）のソフトウェアリセットを設定します。このビットに 1 を書き込むと、SSIFRDR に関連する内部状態を初期化します。表 46.7 に、このビットでトリガされるソフトウェアリセットの対象となるレジスタビットを網掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になったことを確認してから次の手順を開始してください。

このビットは、SSIRST ビットによるソフトウェアリセットの対象となります。SSIRST ビットによるソフトウェアリセットはこのビットによるリセットより優先順位が高いため、SSIRST ビットが設定されるとこのビットの設定は無視されます。

表 46.7　RFRST ビットによるソフトウェアリセットの対象となるビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	0x1C	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

TFRST ビット（送信 FIFO データレジスタリセット）

TFRST ビットは、送信 FIFO データレジスタ (SSIFTDR) のソフトウェアリセットを設定します。このビットに 1 を書き込むと、SSIFTDR に関連する内部状態を初期化します。表 46.8 に、このビットでトリガされるソフトウェアリセットの対象となるレジスタビットを網掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になったことを確認してから次の手順を開始してください。

このビットは、SSIRST ビットによるソフトウェアリセットの対象となります。SSIRST ビットによるソフトウェアリセットはこのビットによるリセットより優先順位が高いため、SSIRST ビットが設定されるとこのビットの設定は無視されます。

表 46.8　TFRST ビットによるソフトウェアリセットの対象となるビット (1/2)

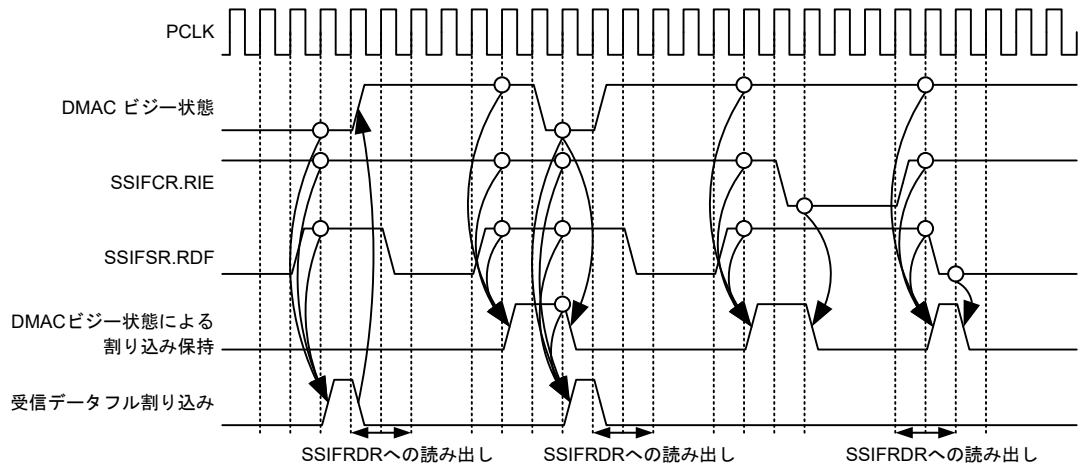
シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 46.8　TFRST ビットによるソフトウェアリセットの対象となるビット (2/2)

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	0x1C	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

RIE ビット（受信データフル割り込み出力許可）

RIE ビットは、受信データフル割り込み出力を許可／禁止します。受信データフル割り込みは、受信 FIFO データレジスタからのデータ読み出しをトリガするための割り込みとして使用します。受信データフル割り込みの設定条件（1 になる条件）を指定してから（SSISCR.RDFS ビットを使用）、本ビットに 1 を書き込んでください。図 46.22 に、受信データフル割り込みの発生タイミングを示します。

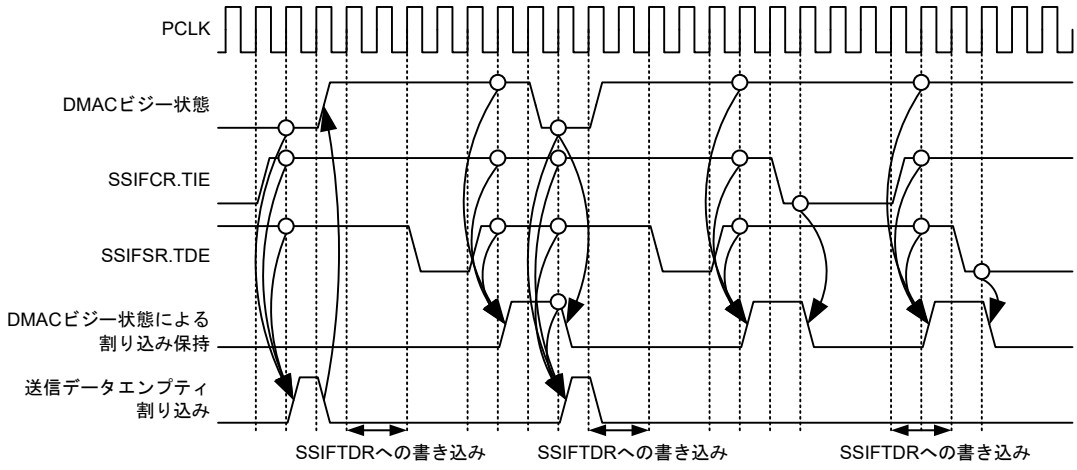


注.　PCLK = PCLKB

図 46.22　受信データフル割り込みのタイミング

TIE ビット（送信データエンプティ割り込み出力許可）

TIE ビットは、送信データエンプティ割り込み出力を許可／禁止します。送信データエンプティ割り込みは、送信 FIFO データレジスタへのデータ書き込みをトリガする割り込みとして使用します。送信データエンプティ割り込みの設定条件（1 になる条件）を指定してから（SSISCR.TDES ビットを使用）、本ビットに 1 を書き込んでください。図 46.23 に送信データエンプティ割り込みの発生タイミングを示します。



注. PCLK = PCLKB

図 46.23 送信データエンプティ割り込みのタイミング

BSW ビット（バイトスワップ許可）

BSW ビットは、送信 FIFO データレジスタ (SSIFTDR) および受信 FIFO データレジスタ (SSIFRDR) に関するレジスタアクセスのバイトスワップを許可／禁止します。このビットは、SSIFTDR および SSIFRDR への 16 ビットアクセスまたは 32 ビットアクセスのみに有効です。詳細については、図 46.24 を参照してください。

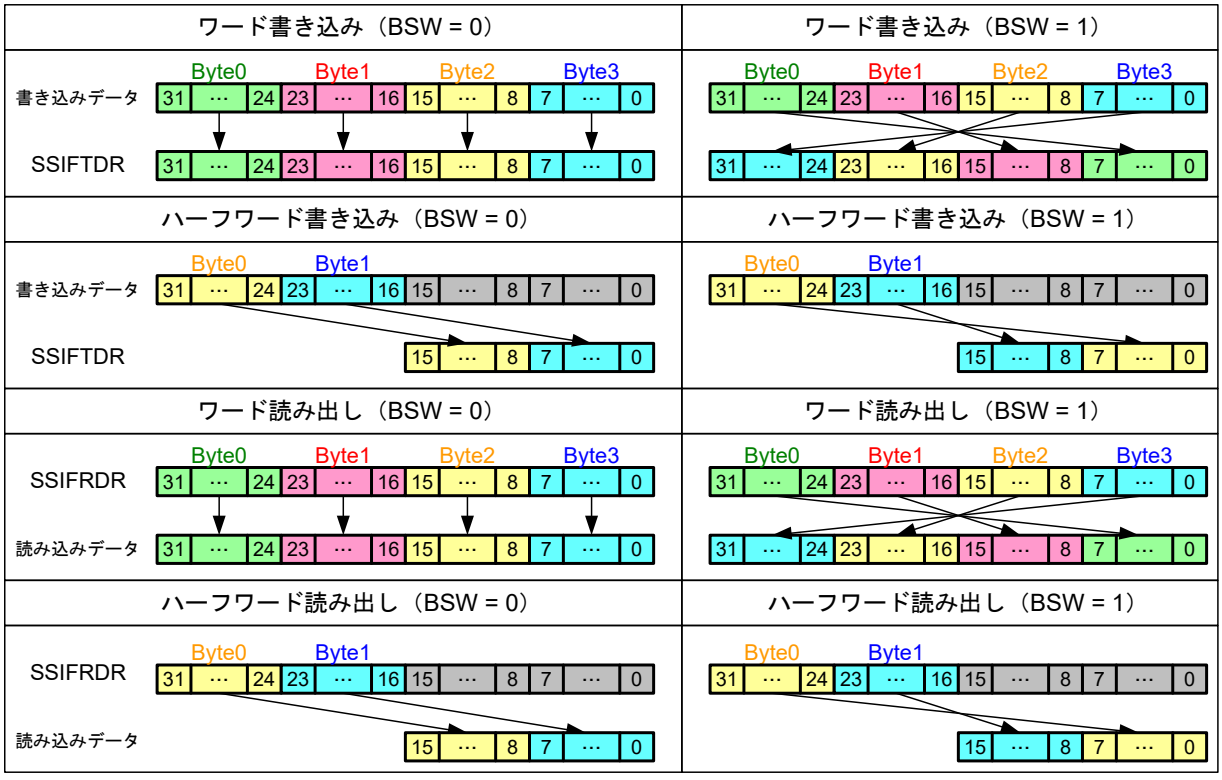


図 46.24 バイトスワップの動作例

SSIRST ビット（ソフトウェアリセット）

SSIRST ビットは、SSIE のソフトウェアリセットを設定します。このビットに 1 を書き込むと、SSIE の内部状態を初期化します。表 46.9 に、このビットでトリガされるソフトウェアリセットの対象となるレジスタビットを網

掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になったことを確認してから次の手順を開始してください。

SSIE の通信をすぐに停止するには、周辺機能をオフにしてからこのビットに 1 を書き込みます。ソフトウェアリセットによる初期化は、ビットクロックとは関係なく実行されます。

表 46.9　SSIRST ビットによるソフトウェアリセットの対象となるビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	0x1C	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

AUCKE ビット（マスタモード通信時の AUDIO_MCK 許可）

AUCKE ビットは、マスタモード通信 (MST = 1) 中の AUDIO_MCK への供給を許可／禁止します。

AUDIO_MCK に関連する設定を指定してから（SSICR レジスタの CKS、MST、BCKP、および CKDV ビットを使用）、本ビットを変更してください。

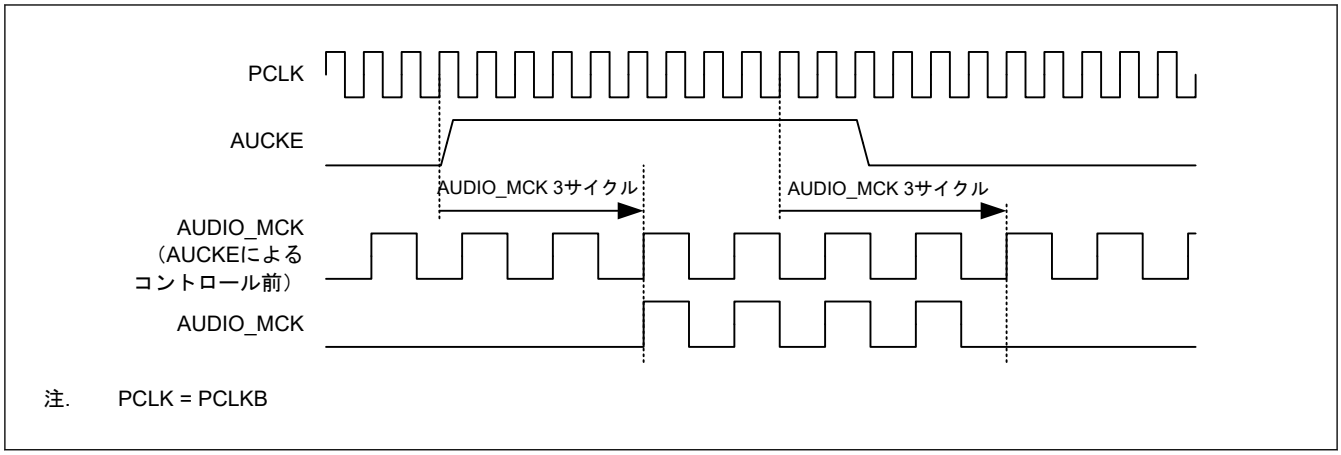


図 46.25 AUDIO_MCK の停止／再開

注. スレーブモード通信 (SSICR.MST = 0) 時、SSIE には SSIBCKn (n = 0, 1) の供給が必要です。マスタ側で BCK を停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してください。SSIE がアイドルになる前に BCK が停止した場合、図 46.52 の通信開始手順を実施するか、図 46.58 の通信再開手順を実施してアイドル状態になるのを待ってください。

マスタモード通信中 (SSICR.MST = 1)、SSIE はオーディオクロック (AUDIO_MCK) によって動作します。SSIE を完全に停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してから、SSIFCR.AUCKE に 0 を書き込んでください。SSIE がアイドルになる前に SSIFCR.AUCKE に 0 が書き込まれた場合、図 46.52 の通信を開始する手順を取ってください。

図 46.26 および図 46.27 は、このビットを 1 に設定してから SSIBCKn (n = 0, 1) 端子出力までの期間の信号動作のタイミングを示しています。

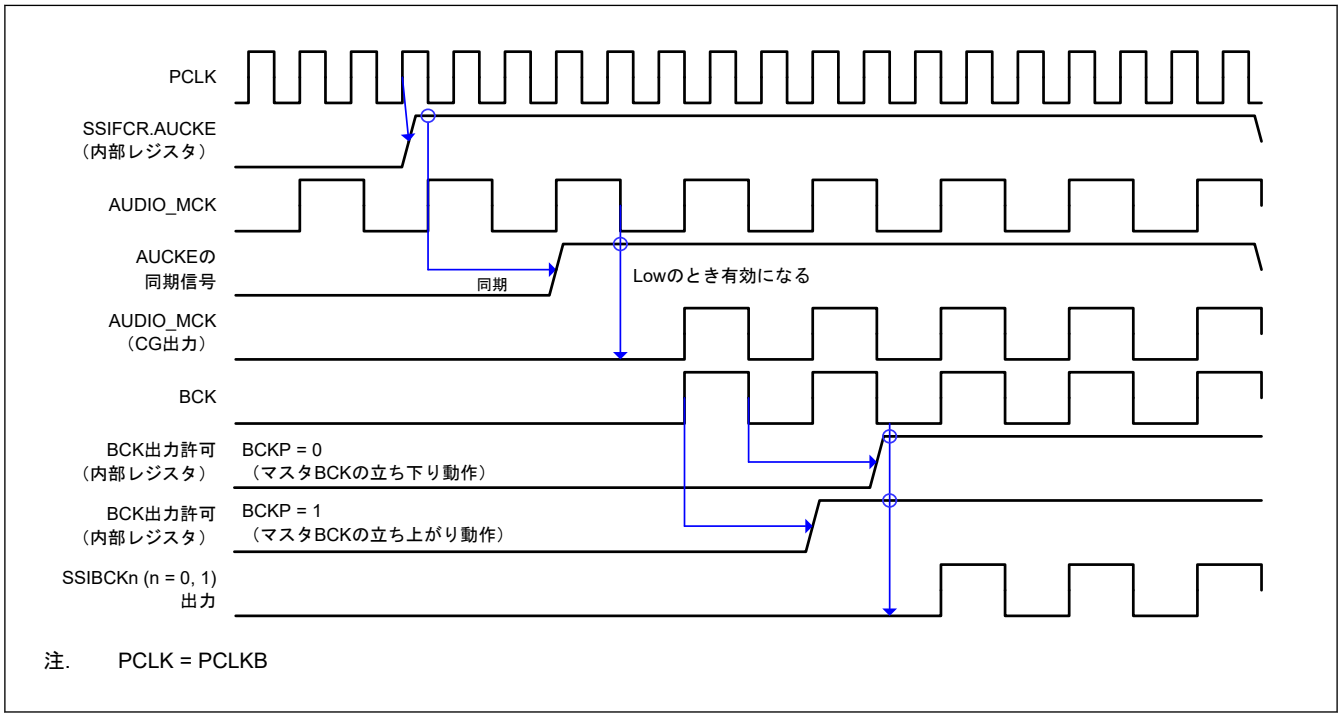


図 46.26 システムリセットからマスタモード通信開始までの動作のタイミング図

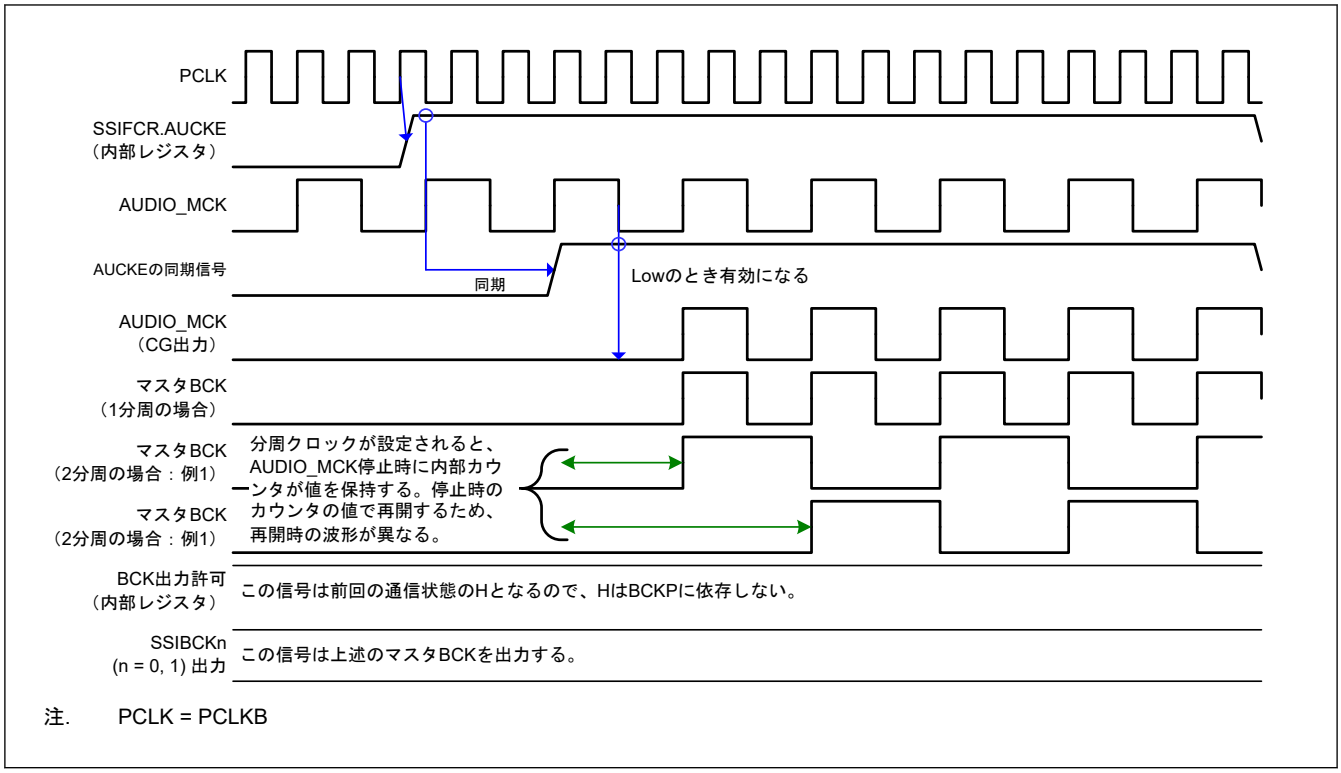


図 46.27 通信停止からマスタモード通信開始までの動作のタイミング図

注. AUDIO_MCK の供給が途切れたときは、SSIBCKn (n = 0, 1) 端子の値が保持されます。したがって、SSIBCKn (n = 0, 1) 信号は、H（High レベル）状態で停止する可能性があります。

46.2.4 SSIFSR : FIFO ステータスレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RDF	受信データフルフラグ 0: SSIFRDR の受信データのサイズが SSISCR.RDFS の値以下 1: SSIFRDR の受信データのサイズが SSISCR.RDFS+1 の値以上	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RDC[5:0]	受信 FIFO データ数指示フラグ 受信 FIFO データ数指示フラグ	R
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TDE	送信データエンプティフラグ 0: SSIFTDR の空きスペースが SSISCR.TDES の値以下 1: SSIFTDR の空きスペースが SSISCR.TDES+1 の値以上	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
29:24	TDC[5:0]	送信 FIFO データ数指示フラグ 送信 FIFO データ数指示フラグ	R
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタは、送信 FIFO データレジスタおよび受信 FIFO データレジスタの状態を示すステータスフラグで構成されます。

RDF フラグ（受信データフルフラグ）

RDF フラグは、受信 FIFO データレジスタ (SSIFRDR) に、SSISCR.RDFS ビット+1 の値以上の未読の受信データがあることを意味します。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

[設定およびクリアの優先順位]

クリアが優先されます。

[0 になる条件]

次の 2 つのいずれかの場合(注1)

1. このビットから 1 を読み出したあとに 0 を書き込む（CPU 動作）(注2)
2. DTC および DMAC を用いた割り込みルーチンによる、SSIFRDR からデータを読み出すための最後のアクセス（DTC/DMAC 動作）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 が書き込まれる（図 46.19 のタイミングと同じ）
2. DTC および DMAC を用いた割り込みルーチンによって SSIFRDR からデータを読み出すための最後のアクセス指示が出された PCLKB サイクル後

[1 になる条件]

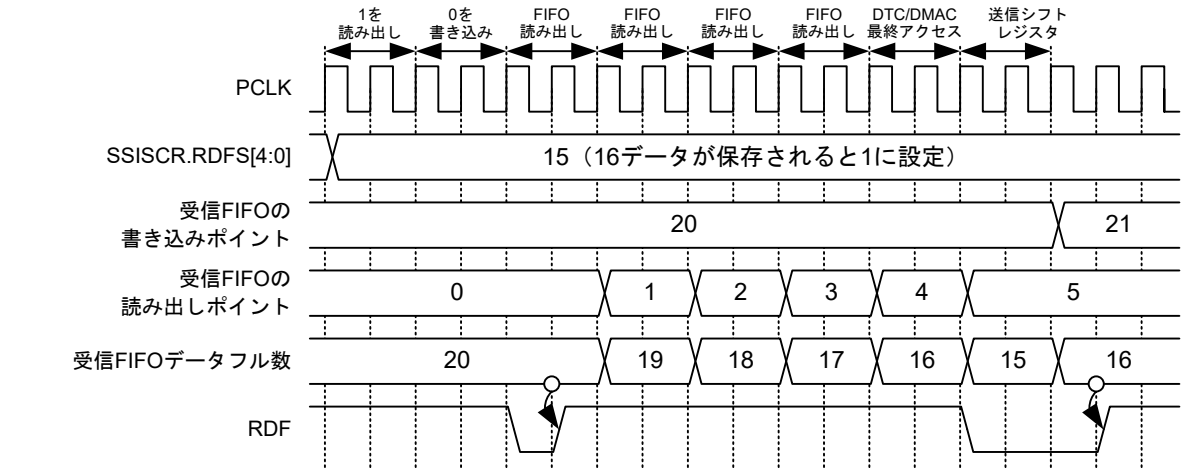
SSIFTDR の空きスペースが「SSIFCR.TTRG ビットに 1 を足した値で設定される量」以上である。

[1 になるタイミング]

シフトレジスタからの送信が完了した結果、SSIFRDR のデータが「SSISCR.RDFS ビットに 1 を足した値で設定される量」以上となったとき。

注 1. これらのビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) および受信 FIFO データレジスタリセット (SSIFCR.RFRST = 1) によってクリアされます。これらのビットで使用可能なリセット条件は、ソフトウェアリセットおよび受信 FIFO データレジスタリセットのほか、上述の 0 になる条件があります。

注 2. 本ビットから 1 を読み出した後、以下の 4 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 受信 FIFO データレジスタリセット (SSIFCR.RFRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- DTC および DMAC を使用した割り込みルーチンによる、SSIFRDR からのデータ読み出しの最終アクセスを行ったとき



注. PCLK = PCLKB

図 46.28 RDF の設定およびクリアに関するタイミング図

RDC[5:0]フラグ（受信 FIFO データ数指示フラグ）

RDC[5:0]フラグは、受信 FIFO データレジスタ (SSIFRDR) に格納されている有効なデータの数を示します。このフラグが 0x00 のとき、受信データはありません。0x20 のとき、レジスタは受信データでいっぱいであり、空きスペースがありません。

TDE フラグ（送信データエンプティフラグ）

TDE フラグは、送信 FIFO データレジスタ (SSIFTDR) の空きスペースが「SSIFCR.TTRG ビットに 1 を足した値で設定される量」以上であることを示します。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

[設定およびクリアの優先順位]

クリアが優先されます。(注1)

[0 になる条件]

次の 2 つのいずれかの場合

1. このビットから 1 を読み出したあとに 0 を書き込む（CPU 動作）(注2)
2. DTC および DMAC を用いた割り込みルーチンによる、SSIFTDR へのデータを書き込むための最後のアクセス（DTC/DMAC 動作）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとにこのビットに 0 が書き込まれる（図 46.19 のタイミングと同じ）
2. DTC および DMAC を用いた割り込みルーチンによる、SSIFTDR へのデータを書き込むための最後のアクセス（DTC/DMAC 動作）

[1 になる条件]

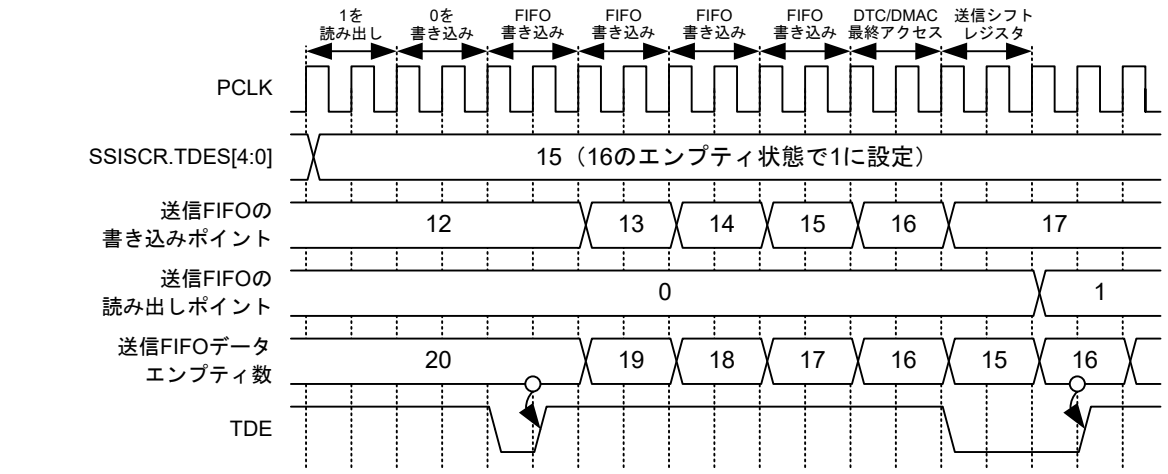
SSIFTDR の空きスペースが「SSIFCR.TTRG ビットに 1 を足した値で設定される量」以上である。

[1 になるタイミング]

PCLKB での動作中、SSIFTDR の空きスペースが「SSISCR.TDES ビットに 1 を足した値で設定されるサイズ」以上であることが判明した。

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) および送信 FIFO データレジスタリセット (SSIFCR.TFRST = 1) によってクリアされます。このソフトウェアリセットと送信 FIFO データレジスタリセットは、上述のどの 0 になる条件より優先されます。
注 2. このビットから 1 を読み出したあと、次の 4 つの条件のうち 1 つが満たされるとこのビットがクリアされます。

- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 送信 FIFO データレジスタリセット (SSIFCR.TFRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- DTC および DMAC を使用した割り込みルーチンによる、SSIFTDR へのデータ書き込みの最終アクセスを行ったとき



注. PCLK = PCLKB

図 46.29 TDE の設定およびクリアに関するタイミング図

TDC[5:0]フラグ（送信 FIFO データ数指示フラグ）

TDC[5:0]フラグは、送信 FIFO データレジスタ (SSIFTDR) に格納されている有効なデータの数を示します。このフラグが 0x00 のとき、データは送信されません。0x20 のときは、データを書き込むスペースがありません。

46.2.5 SSIFTDR : 送信 FIFO データレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x18

Bit position:	31																												0
Bit field:	SSIFTDR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SSIFTDR[31:0]	送信 FIFO データ	W

注. S-TYPE-3, P-TYPE-3

このレジスタは、シリアル送信されるデータを格納します。このレジスタを読み出すとき、0 が返されます。

このレジスタを送信に使うときは、このレジスタに書き込むデータを、送信データエンプティ割り込みによってトリガされる DTC/DMAC 動作として指定します。このレジスタへのアクセスサイズは、表 46.10 で通信されるデータワード長に従って決定します。

表 46.10 FIFO へのレジスタアクセス制限 (1/2)

アクセスサイズ				
SSICR.DWL[2:0]	データワード長	バイト	ハーフワード	ワード
000b	8	○	—	—
001b	16	—	○	—

表 46.10 FIFO へのレジスタアクセス制限 (2/2)

アクセスサイズ		バイト	ハーフワード	ワード
SSICR.DWL[2:0]	データワード長			
010b	18	—	—	○
011b	20	—	—	○
100b	22	—	—	○
101b	24	—	—	○
110b	32	—	—	○
111b	設定禁止	—	—	—

図 46.30 に、送信 FIFO データレジスタへのレジスタアクセスを示します。

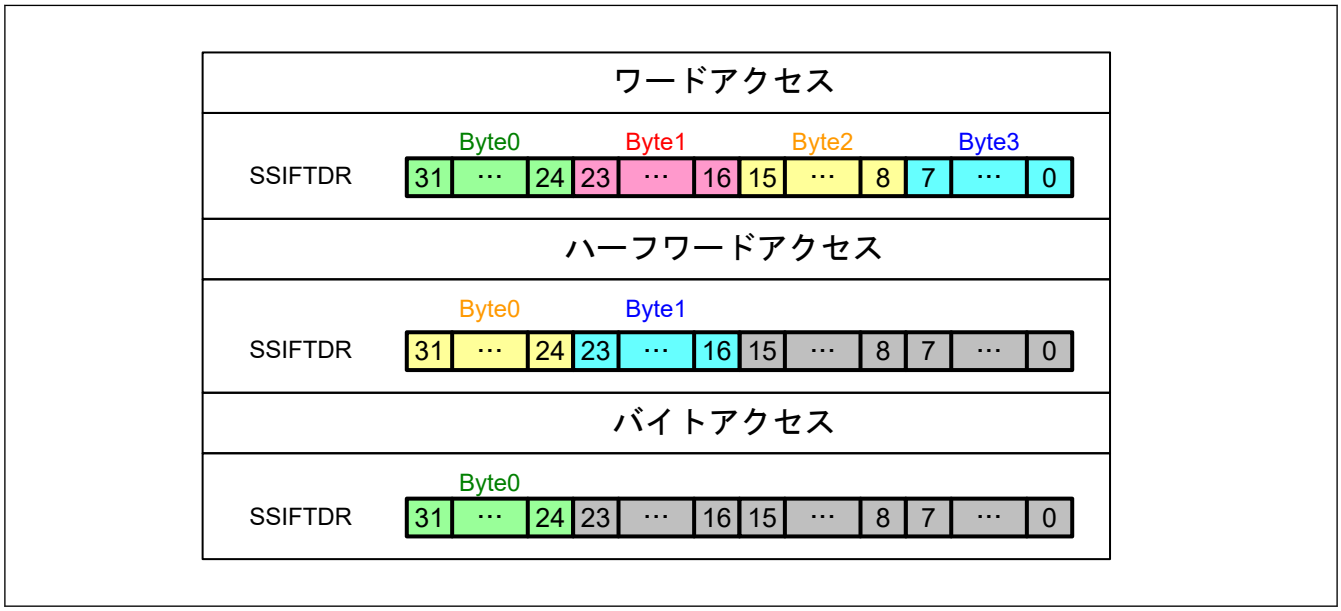
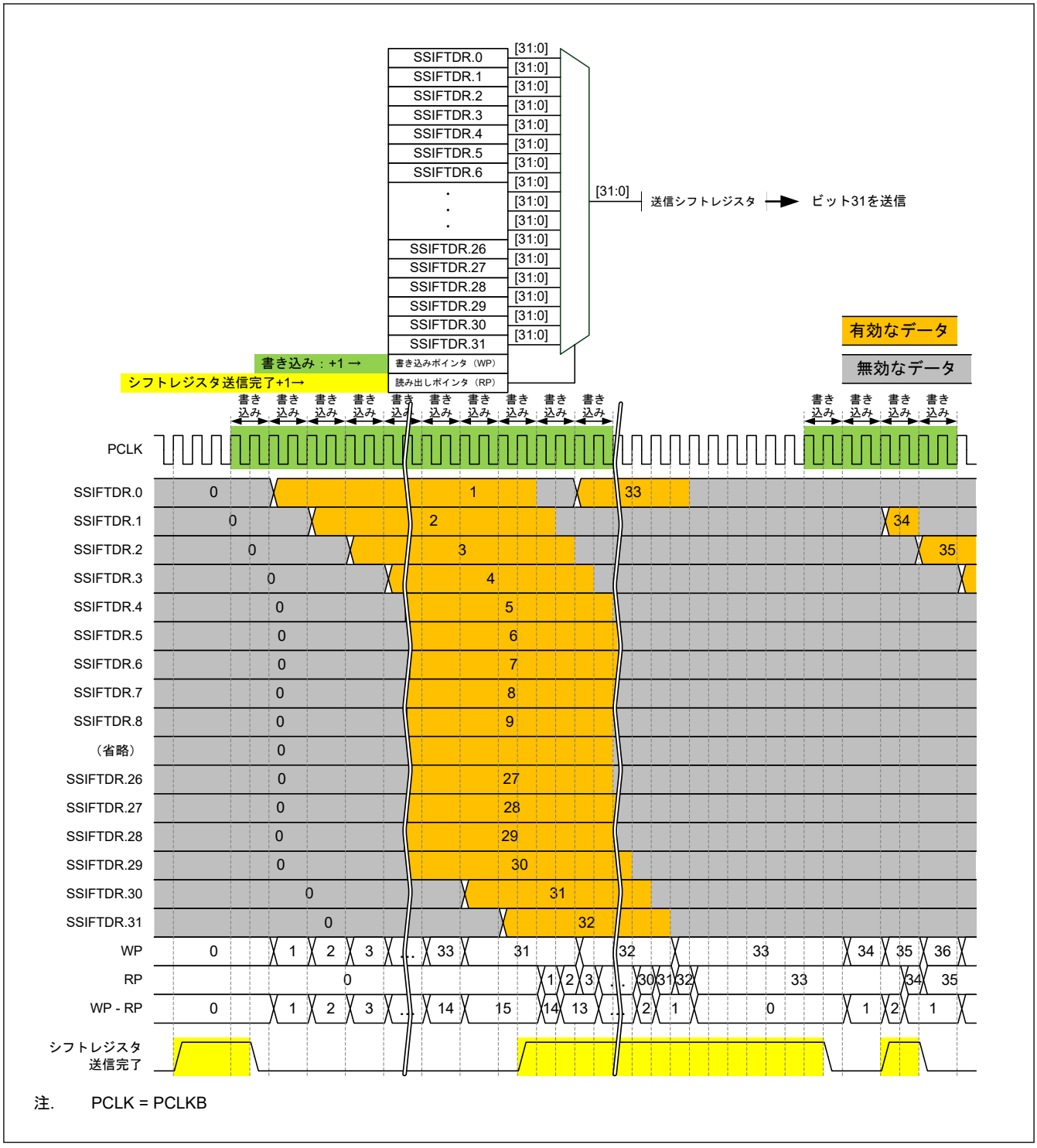


図 46.30 送信 FIFO データレジスタへのレジスタアクセスの例

図 46.31 に、送信 FIFO データレジスタおよび送信シフトレジスタの構成および動作例を示します。この構成は FIFO へのデータ格納が目的であり、通信とは無関係です。



注. PCLK = PCLKB

図 46.31 送信 FIFO データレジスタと送信シフトレジスタの構成、および FIFO の動作例

46.2.6 SSIFRDR : 受信 FIFO データレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x1C

Bit position:	31																												0
Bit field:	SSIFRDR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

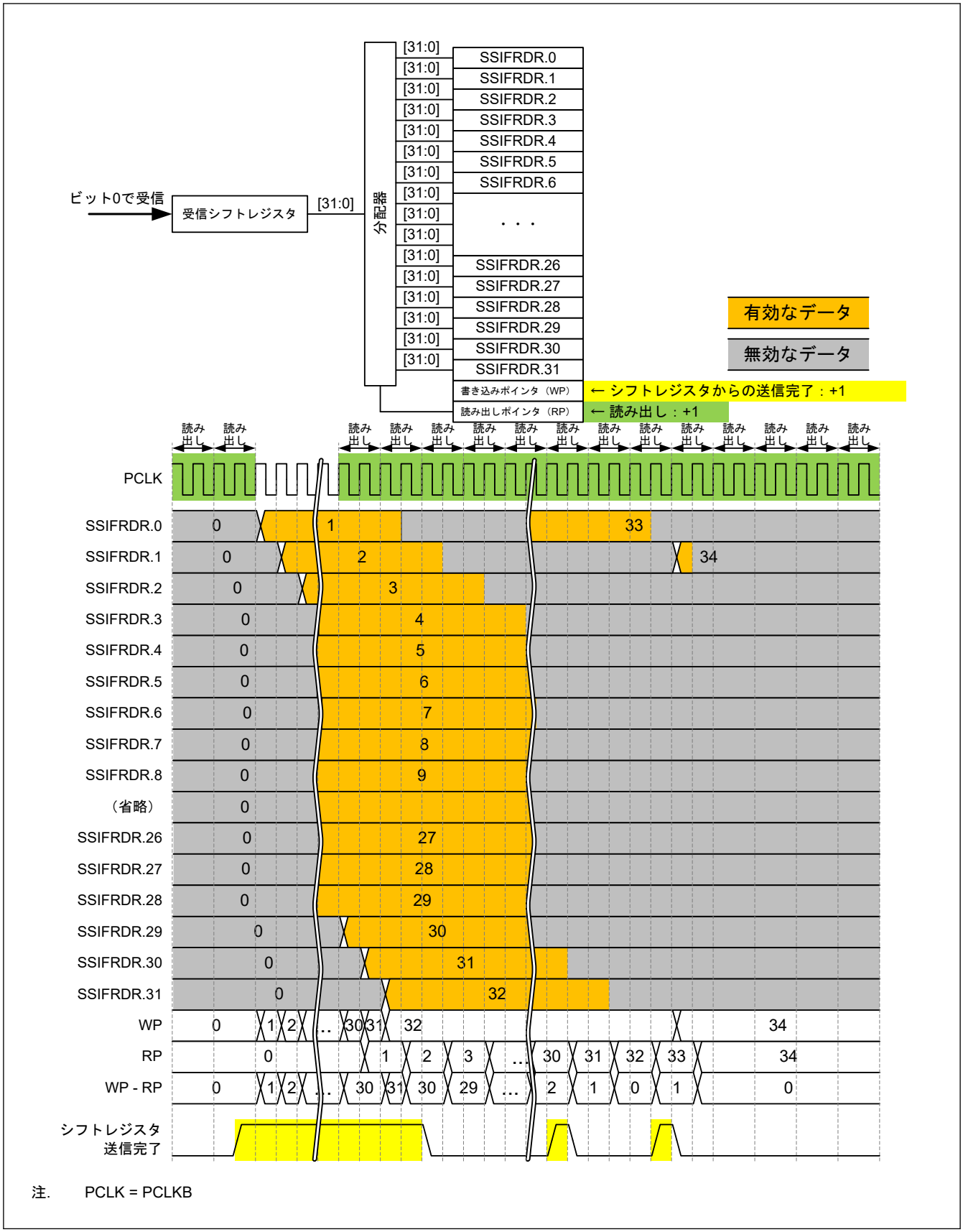
ビット	シンボル	機能	R/W
31:0	SSIFRDR[31:0]	受信 FIFO データ	R

注. S-TYPE-3、P-TYPE-3

このレジスタを受信に使うときは、このレジスタから読み出すデータを、送信データエンプティ割り込みによってトリガされる DTC/DMAC 動作として指定します。このレジスタへのアクセスサイズは、表 46.10 で通信されるデータワード長に従って決定します。

受信 FIFO データレジスタへのレジスタアクセスは、送信 FIFO データレジスタと同じです。

図 46.31 に受信 FIFO データレジスタおよび受信シフトレジスタの構成および動作例を示します。



注. PCLK = PCLKB

図 46.32 送信 FIFO データレジスタと送信シフトレジスタの構成、および FIFO の動作例

46.2.7 SSIOFR : オーディオフォーマットレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMOD[1:0]	オーディオフォーマットの選択(注3) (注4) 0 0: I^2S フォーマット 0 1: TDM フォーマット 1 0: モノラルフォーマット 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	LRCONT	LRCK/FS 継続の許可／禁止(注1) (注2) 0: LRCK/FS 継続を禁止 1: LRCK/FS 継続を許可	R/W
9	BCKASTP	SSIE がアイドル状態のときの BCK 出力停止の許可／禁止(注1) (注2) 0: SSIBCKn (n = 0, 1) 端子に BCK を常に出力 1: SSIBCKn (n = 0, 1) 端子への BCK 出力を自動制御	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、マスタモード通信 (SSICR.MST = 1) でのみ有効です。スレーブモード通信 (SSICR.MST = 0) では無効です。
注 2. BCKASTP と LRCONT ビットは、同時に 1 に設定することはできません。
注 3. SSIE の通信時 (SSISR.IIRQ = 0) は、書き込みは禁止されています。これらのビットの値を変更した場合、以降の動作は予測できません。
注 4. 相手側デバイスの通信フォーマットと SSIE の通信フォーマットに互換性がある場合、相手方デバイスとの通信が可能になるような通信フォーマットを指定して使用してください。

本レジスタは、オーディオフォーマットを設定するために使用します（通信フォーマット、LR クロック／フレーム同期継続モード、および BCK 出力停止の設定を含む）。

OMOD[1:0]ビット（オーディオフォーマットの選択）

OMOD[1:0]ビットはオーディオフォーマットを設定します。これらのビットへの書き込みは、SSILRCKn/SSIFSn (n = 0, 1) 端子への LR クロックの供給が停止しているときに実行しなければなりません。LR クロック出力の詳細は、「46.2.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットについての説明を参照してください。

LRCONT ビット（LRCK/FS 継続の許可／禁止）

LRCONT ビットは、マスタモード通信 (SSICR.MST = 1) かつ SSIE がアイドル状態 (SSISR.IIRQ = 1) のとき、SSILRCKn/SSIFSn (n = 0, 1) 端子からの出力を許可または禁止します。

アイドル状態のときでも、マスタモード (SSICR.MST = 1) でこのビットを 1 にした場合（LR クロック／フレーム同期継続を許可）、SSILRCKn/SSIFSn (n = 0, 1) 端子からの信号出力が可能です。

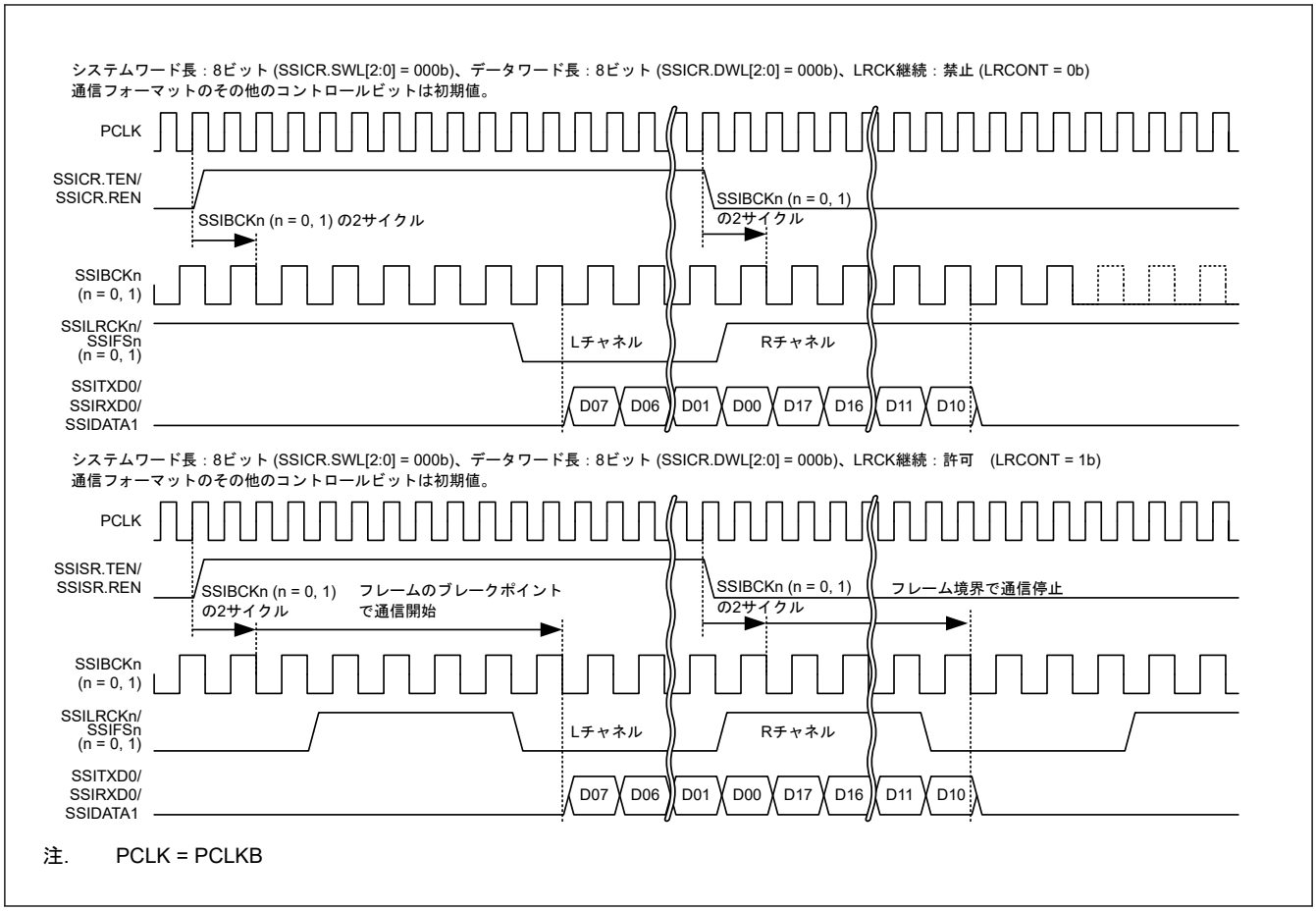


図 46.33 LR クロック／フレーム同期継続の動作例

BCKASTP ビット（SSIE がアイドル状態のときの BCK 出力停止の許可／禁止）

BCKASTP ビットは、図 46.34 および図 46.35 に示したマスタモード通信 (SSICR.MST = 1) で、SSIBCKn (n = 0, 1) 端子への BCK 出力機能をオン／オフにします。

このビットの値を変更する場合は、使用する通信フォーマットを設定してからにしてください。

このビットの使用方法は、以下のとおりです。

BCKASTP ビットに 0 を書き込むと、通信を開始します。通信中に、BCKASTP ビットに 1 を書き込んでください。この動作により、SSIBCKn (n = 0, 1) 端子へのビットクロック出力は、通信が停止したときに自動的に停止します。通信を再開するには、SSIE をアイドル状態にして (SSICR.IIRQ = 1)、AUDIO_MCK 供給を許可 (SSIFCR.AUCKE = 1) してから BCKASTP ビットに 0 を書き込んでください。

マスタモード通信 (SSICR.MST = 1) かつアイドル状態 (SSICR.IIRQ = 1) のとき：

表 46.11 BCKASTP ビットの状態および SSIBCKn (n = 0, 1) 端子の出力

BCKASTP ビット	SSIBCKn (n = 0, 1) 端子の出力状態
0	出力
1	停止

注. BCKASTP ビットは、通信前および通信中に相手方デバイス（スレーブ側）が SSIBCKn (n = 0, 1) 端子からのクロック出力を必要としている場合は使用できません。この場合、通信が終了してから BCKASTP ビットでクロックを停止してください。クロック停止機能の許可タイミングの詳細は、図 46.34 を参照してください。

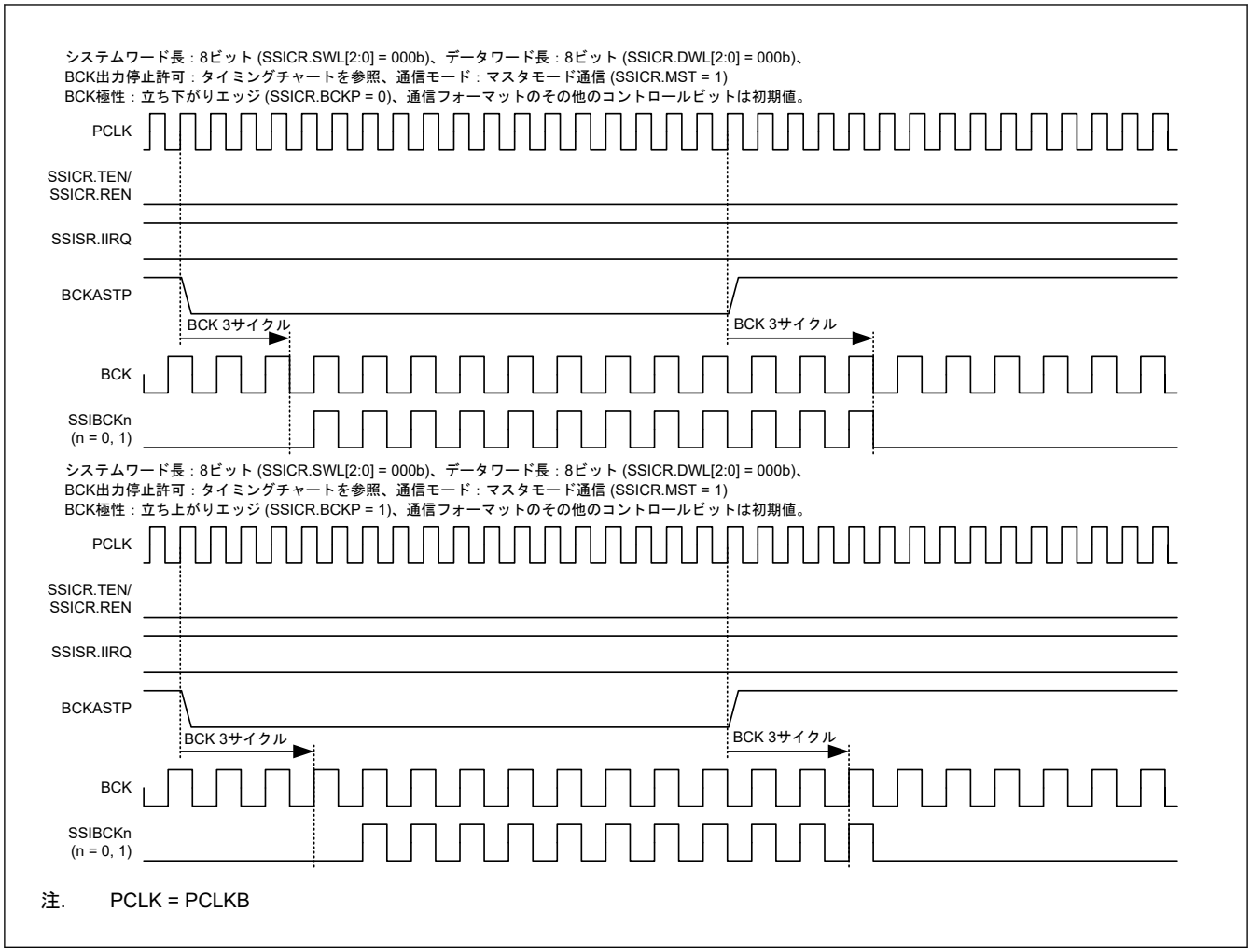


図 46.34 BCKASTP ビットの動作例（アイドル状態の場合）

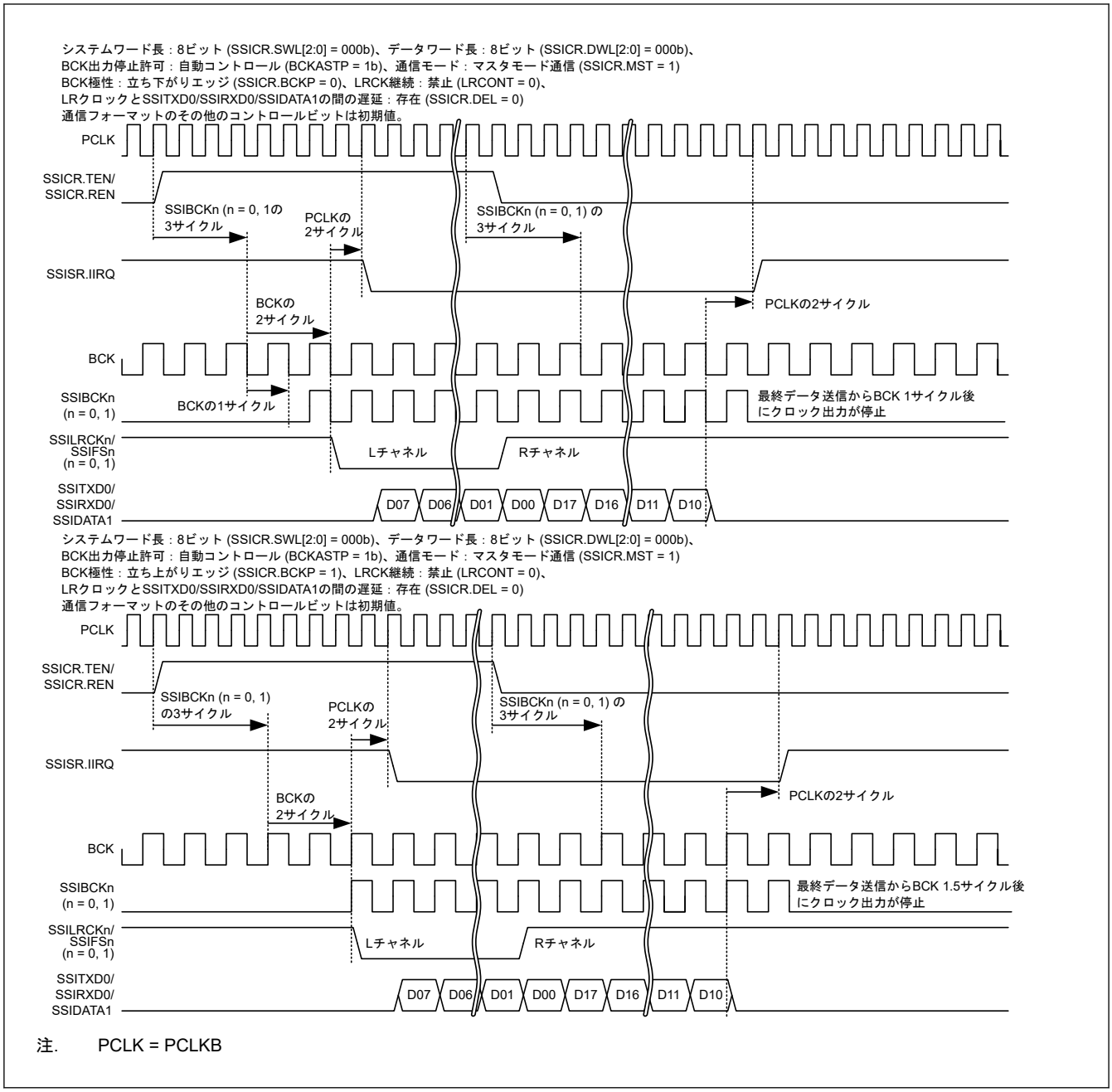
マスタモード通信 (SSICR.MST = 1) かつ BCK 出力停止機能が許可されているとき (BCKASTP = 1) :

SSIBCKn (n = 0, 1) 端子への BCK 出力の詳細は、以下のとおりです。

出力開始タイミング：LR クロック／フレーム同期信号が有効な値に変換されたときに有効エッジが生成されるよう、BCK は適切なタイミングで出力されます。

出力停止タイミング：フレーム境界の 1～1.5 クロックサイクル後

それぞれのタイミングの詳細は、図 46.35 のタイミング図を参照してください。



注. PCLK = PCLKB

図 46.35 BCKASTP ビットの動作例（BCKASTP = 1 での通信動作の場合）

46.2.8 SSISCR : ステータスコントロールレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	RDFS[4:0]	RDF 設定条件選択(注1) 0x00: SSIFRDR のデータサイズは 1 段以上 0x01: SSIFRDR のデータサイズは 2 段以上 ⋮ 0x1E: SSIFRDR のデータサイズは 31 段以上 0x1F: SSIFRDR のデータサイズは 32 段以上	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	TDES[4:0]	TDE 設定条件選択(注1) 0x00: SSIFTDR の空きスペースは 1 段以上 0x01: SSIFTDR の空きスペースは 2 段以上 ⋮ 0x1E: SSIFTDR の空きスペースは 31 段以上 0x1F: SSIFTDR の空きスペースは 32 段以上	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3、P-TYPE-3
注 1.　SSIE が通信状態 (SSISR.IIRQ = 0) の間、これらのビットへの書き込みは禁止されています。書き込みが行われた場合、書き込み直後の動作は保証されません。

RDFS[4:0]ビット（RDF 設定条件選択）

RDFS[4:0]ビットは受信データフルフラグ (RDF) の設定条件（1 になる条件）を設定します。

TDES[4:0]ビット（TDE 設定条件選択）

TDES[4:0]ビットは送信データエンプティフラグ (TDE) の設定条件（1 になる条件）を設定します。

46.3　通信フォーマット

SSIE は 3 つの通信フォーマットに対応しています。表 46.12 対応する通信フォーマットを示します。

表 46.12　対応する通信フォーマット

通信フォーマット	SSIOFR.OMOD[1:0]
I^2S フォーマット	00
TDM フォーマット	01
モノラルフォーマット	10

以下に、通信フォーマットが共有するシリアルデータ構造について説明します。シリアルデータ構造は、システムワード長 (SSICR.SWL[2:0]) およびデータワード長 (SSICR.DWL[2:0]) によって定義されます。データワード長がシステムワード長よりも短い場合、シリアルデータではパディングビットが転送されます。詳細については、図 46.36 を参照してください。

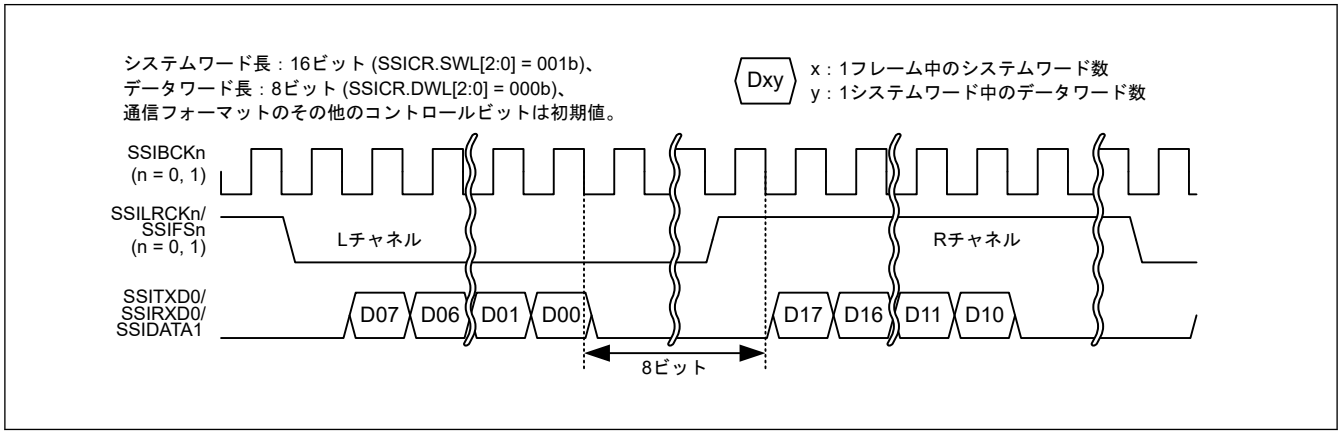


図 46.36　パディングビット転送の例（I^2S フォーマット、システムワード長 > データワード長）

表 46.13 システムワード長 (SSICR.SWL[2:0]) およびデータワード長 (SSICR.DWL[2:0]) の各組合せによって送信されるパディングビットの数を示します。「-」は、その設定が禁止されていることを示します。

表 46.13　パディングビット数

	SSICR.DWL[2:0]	000b	001b	010b	011b	100b	101b	110b	111b
SSICR.SWL[2:0]	**システムワード長**	**8**	**16**	**18**	**20**	**22**	**24**	**32**	**設定禁止**
000b	8	0	—	—	—	—	—	—	—
001b	16	8	0	—	—	—	—	—	—
010b	24	16	8	6	4	2	0	—	—
011b	32	24	16	14	12	10	8	0	—
100b	48	40	32	30	28	26	24	16	—
101b	64	56	48	46	44	42	40	32	—
110b	128	120	112	110	108	106	104	96	—
111b	256	248	240	238	236	234	232	224	—

46.3.1　I²S フォーマット

I²S フォーマットは、I²S 互換シリアルデバイスとの通信に用いられる通信フォーマットです。このフォーマット設定 (SSIOFR.OMOD[1:0] = 00b) では、1 つのフレームが 2 つのシステムワードで構成されます。一方がチャネル L で、他方がチャネル R です。SSILRCKn/SSIFSn (n = 0, 1) 信号は、チャネル L では Low、チャネル R では High になります。SSICR.LRCKP ビットで信号の極性を設定します。図 46.37 に、パディングのない I²S フォーマットを示します。パディングありのフォーマットについては、図 46.36 を参照してください。

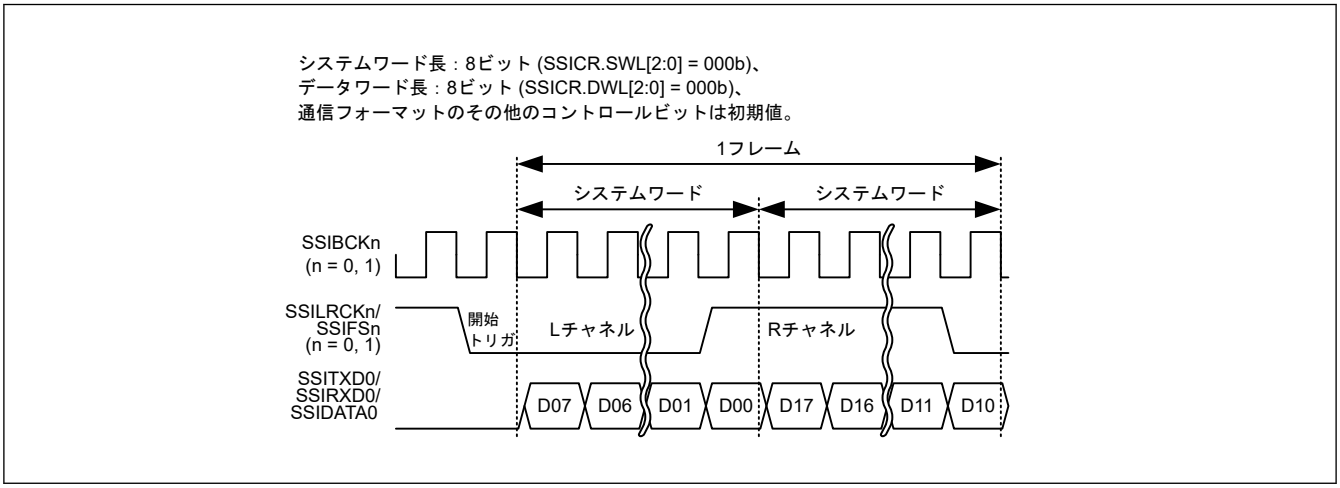


図 46.37　I²S フォーマット（パディングなし、システムワード長 = データワード長）

SSIE がアイドル状態のときの外部端子の状態については、「46.5.1. アイドル状態」を参照してください。

注.　SSIE には、通信の同期を示す SSILRCKn/SSIFSn (n = 0, 1) 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCKn/SSIFSn (n = 0, 1) 端子の信号入力を、通信開始のトリガとしてのみ使用します。

46.3.2　モノラルフォーマット

モノラルフォーマットは、モノラル互換シリアルデバイスとの通信に用いられる通信フォーマットです。モノラルフォーマットを使用する設定 (SSIOFR.OMOD[1:0] = 10b) では、1 フレームは 1 システムワードで構成されます。また、SSILRCKn/SSIFSn (n = 0, 1) 信号の立ち上がりエッジが通信開始のトリガを意味します。図 46.38 にパディングなしのモノラルフォーマットを示します。図 46.39 にパディングありのモノラルフォーマットを示します。

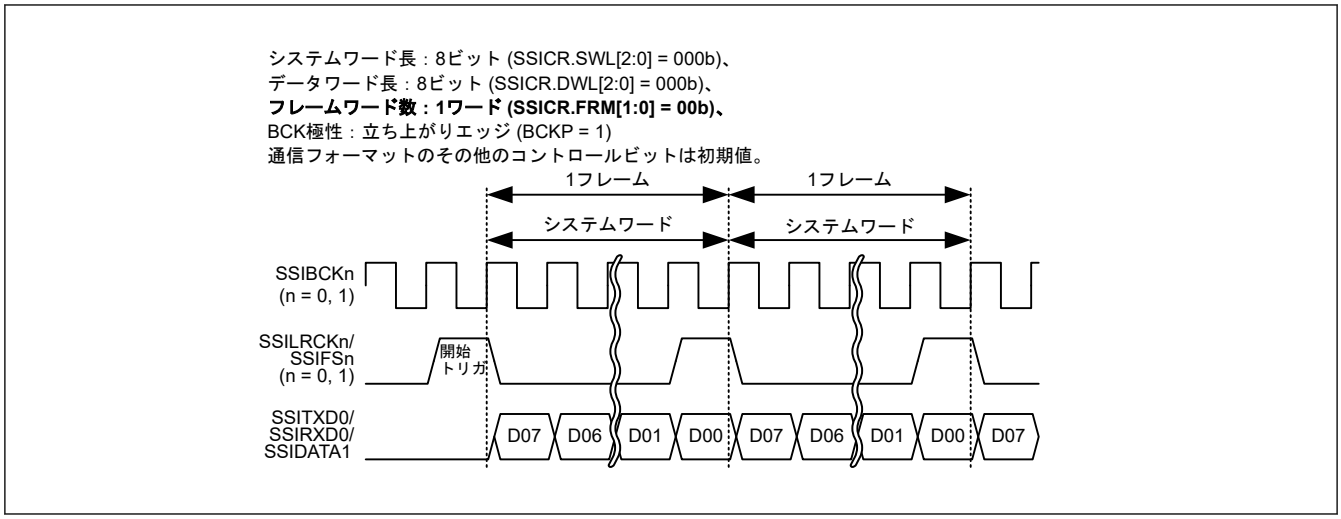


図 46.38　モノラルフォーマットにおけるショートフレーム（パディングなし、システムワード長 = データワード長）

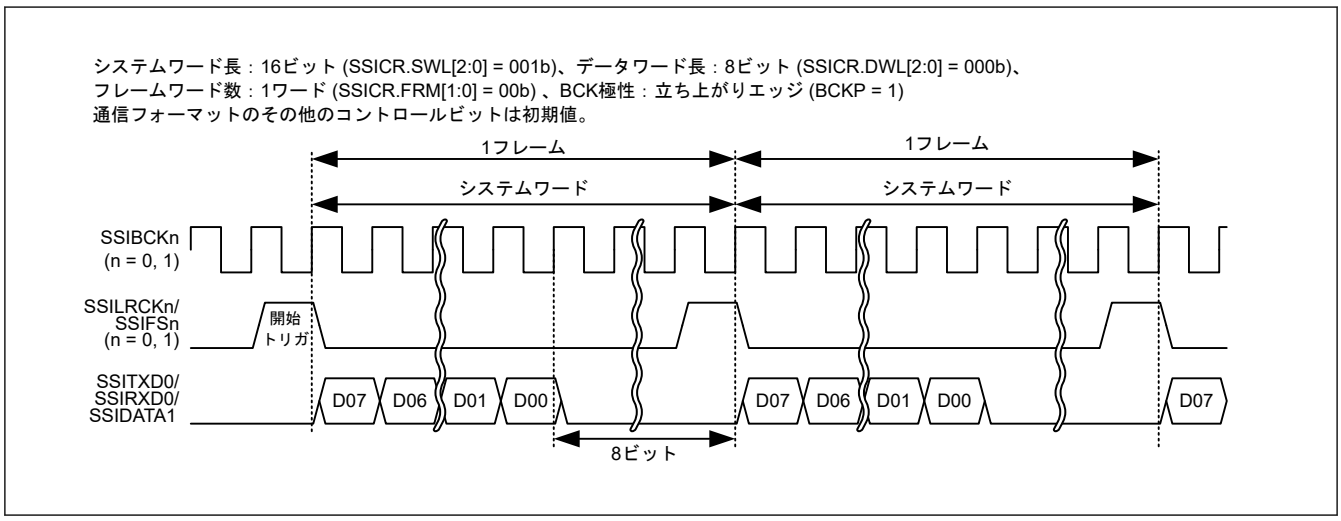


図 46.39　モノラルフォーマットにおけるショートフレーム（パディングあり、システムワード長 > データワード長）

SSIE が対応するモノラルフォーマットは、ショートフレームおよびロングフレームで構成されます。2 つのフレームの違いについては、「46.3.2.1. ショートフレーム」および「46.3.2.2. ロングフレーム」を参照してください。

SSIE がアイドル状態のときの外部端子の状態については、「46.5.1. アイドル状態」を参照してください。

注.　SSIE には、通信の同期を示す SSILRCKn/SSIFSn (n = 0, 1) 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCKn/SSIFSn (n = 0, 1) 端子の信号入力を、通信開始のトリガとしてのみ使用します。

46.3.2.1　ショートフレーム

ショートフレームの使用中 (SSICR.DEL = 0)、シリアルデータの開始を示す SSILRCKn/SSIFSn (n = 0, 1) 信号は、SSIBCKn (n = 0, 1) 1 サイクルだけ High レベルに設定されます。データ送信は、信号の立ち下がりエッジで開始します。

46.3.2.2　ロングフレーム

ロングフレームの使用中 (SSICR.DEL = 1)、シリアルデータの開始を示す SSILRCKn/SSIFSn (n = 0, 1) 信号は、SSIBCKn (n = 0, 1) 2 サイクルだけ High レベルに設定されます。図 46.40 を参照してください。データ転送は、信号の立ち上がりエッジで開始されます。

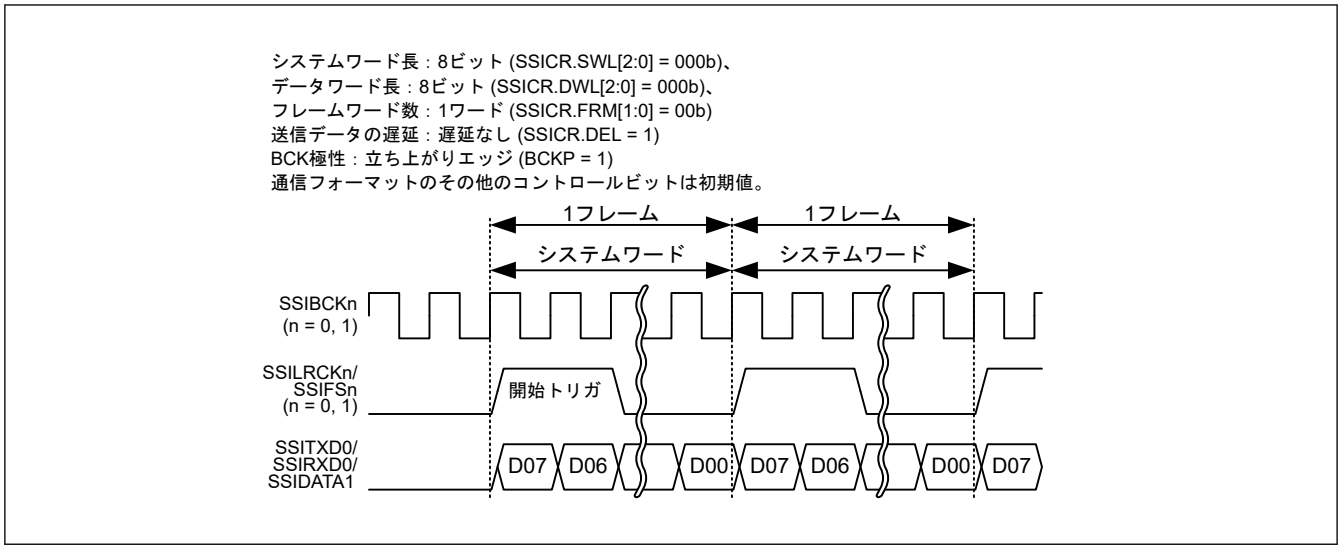


図 46.40　モノラルフォーマットにおけるロングフレーム（パディングなし）

46.3.3　TDM フォーマット

TDM フォーマットは、TDM 互換マルチチャネルデバイスとの通信に用いられる通信フォーマットです。このフォーマット設定 (SSIOFR.OMOD[1:0] = 01b) では、SSICR.FRM[1:0]ビットで設定される 4～8 のシステムワードで 1 フレームが構成されます。このフォーマットでは、SSILRCKn/SSIFSn (n = 0, 1) 信号は最初のシステムワードで High レベル、それ以外では Low レベルとなります。SSILRCKn/SSIFSn (n = 0, 1) 信号上で生成されるパルスは SYNC パルスと定義され、その立ち上がりエッジが 1 フレームの開始を意味します。図 46.41 にパティングなしの TDM フォーマットを示します。図 46.42 にパディングありの TDM フォーマットを示します。

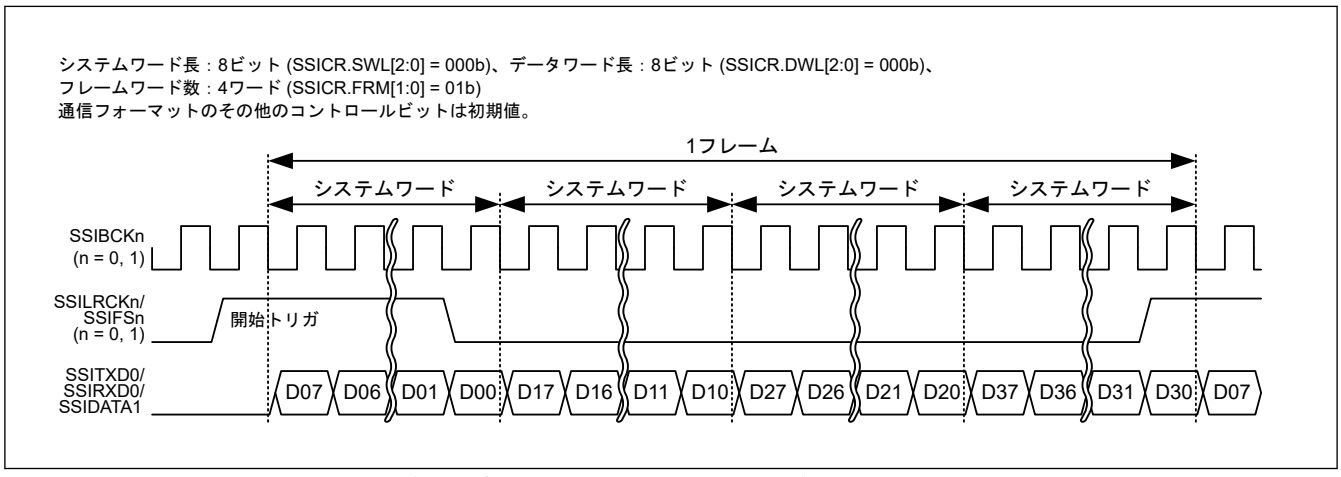


図 46.41　TDM フォーマット（パディングなし、システムワード長 = データワード長）

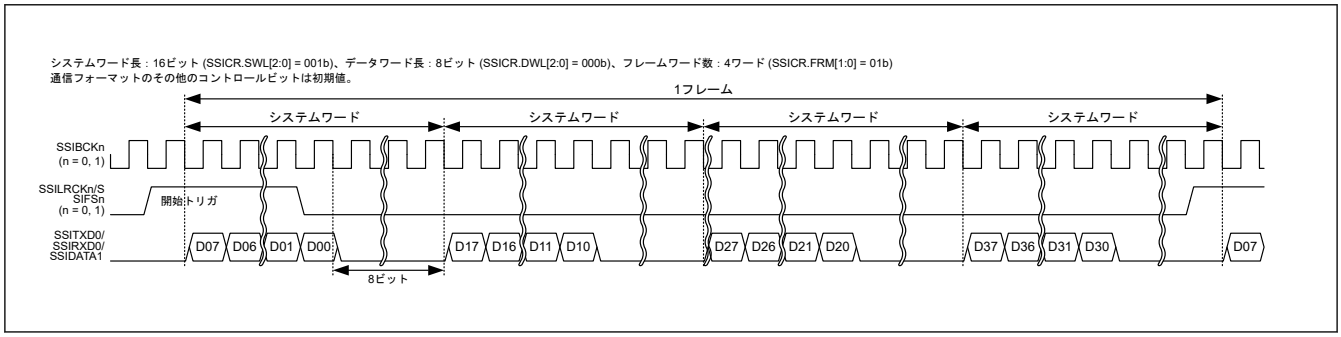


図 46.42　TDM フォーマット（パディングあり、システムワード長 > データワード長）

SSIE がアイドル状態のときの外部端子の状態については、「46.5.1. アイドル状態」を参照してください。

注. SSIE には、通信の同期を示す SSILRCKn/SSIFSn (n = 0, 1) 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCKn/SSIFSn (n = 0, 1) 端子の信号入力を、通信開始のトリガとしてのみ使用します。

46.4 通信モード

SSIE は以下の通信モードに対応しています。 表 46.15 に、各通信モードで使用できないコントロールビットを示します。これらの通信モードの詳細については、「46.4.1. スレーブモード通信」から「46.4.5. 送受信」を参照してください。

表 46.14 通信モード

通信モード	SSICR.MST ビット	SSICR.REN ビット	SSICR.TEN ビット
スレーブモード送信	0	0	1
スレーブモード受信	0	1	0
スレーブモード送受信	0	1	1
マスタモード送信	1	0	1
マスタモード受信	1	1	0
マスタモード送受信	1	1	1

表 46.15 各通信モードで使用できないコントロールビット

コントロールビット	スレーブモード受信	スレーブモード送信	スレーブモード送受信	マスタモード受信	マスタモード送信	マスタモード送受信
SSICR.CKS	無効	無効	無効	使用可能	使用可能	使用可能
SSICR.CKDV	無効	無効	無効	使用可能	使用可能	使用可能
SSICR.MUEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.TEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.REN	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.AUCKEN	無効	無効	無効	使用可能	使用可能	使用可能
SSIFCR.TIE	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RIE	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.TFRST	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RFRST	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIOFR.BCKASTP	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.LRCONT	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.OMOD	使用可能	使用可能	使用可能	使用可能	使用可能	使用可能
SSISCR.TDES	無効	使用可能	使用可能	無効	使用可能	使用可能
SSISCR.RDFS	使用可能	無効	使用可能	使用可能	無効	使用可能

「無効」は、動作への影響がないことを意味します。書き込みは可能です。

46.4.1 スレーブモード通信

SSICR.MST = 0 のとき、SSIE はスレーブモードで動作します。シリアルデータ通信で使用する SSIBCKn (n = 0, 1) 信号および SSILRCKn/SSIFSn (n = 0, 1) 信号は、外部デバイスから供給されなければなりません。これらの信号が SSIE の通信フォーマット設定と一致しない場合、動作は保証できません。

46.4.2 マスタモード通信

SSICR.MST = 1 のとき、SSIE はマスタモードで動作します。シリアルデータ通信で使用する SSIBCKn (n = 0, 1) 信号および SSILRCKn/SSIFSn (n = 0, 1) 信号は、内部のオーディオクロックから生成されなければなりません。これらの信号は、SSIE の設定に応じたフォーマットを使用します。スレーブデバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

46.4.3 送信

SSICR.TEN ビットが 1 かつ SSICR.REN ビットが 0 のとき、SSIE は相手方デバイスにシリアルデータを送信します。相手方デバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

46.4.4 受信

SSICR.TEN ビットが 0 かつ SSICR.REN ビットが 1 のとき、SSIE は相手方デバイスからシリアルデータを受信します。相手方デバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

46.4.5 送受信

SSICR.TEN ビットが 1 かつ SSICR.REN ビットが 1 のとき、SSIE は相手方デバイスとの間でシリアルデータを送受信します。相手方デバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

46.5 動作説明

SSIE には主な動作状態が 2 つあります。図 46.43 に、SSIE の状態遷移を示します。

- アイドル状態 (SSISR.IIRQ = 1)
- 通信状態 (SSISR.IIRQ = 0)

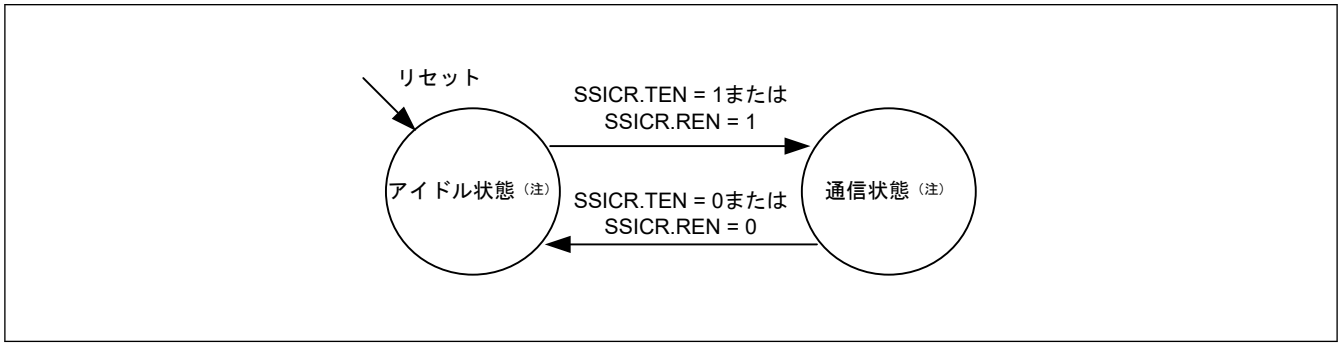


図 46.43 SSIE の状態遷移

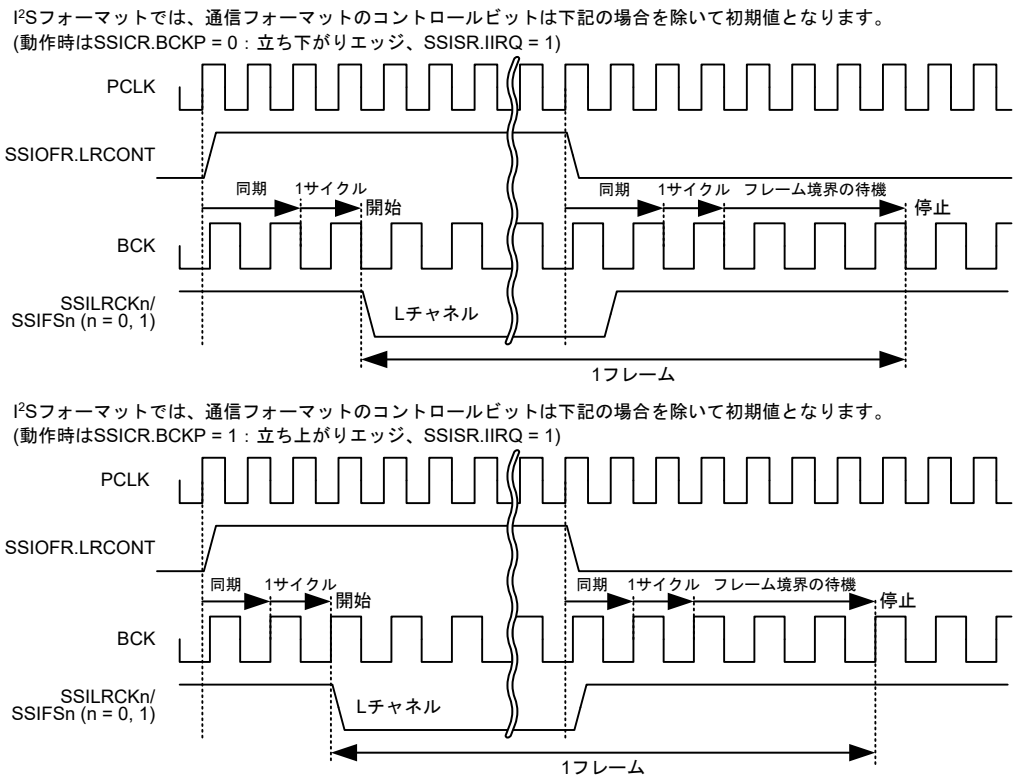
注. アイドル状態の詳細については、「46.6.1. 通信開始」を参照してください。
通信状態の詳細については、「46.6.2. 送信」を参照してください。

46.5.1 アイドル状態

この状態では、SSIE の通信は停止しています。ただし、SSICR.MST ビットが 1 のときは、外部端子への BCK および LR クロック／フレームの同期信号の出力を、SSIOFR.BCKASTP および SSIOFR.LRCONT ビットの設定によってコントロールできます。この機能は、すべてのフォーマットに共通です。詳細については、表 46.16 を参照してください。

表 46.16 アイドル状態における外部端子からの出力

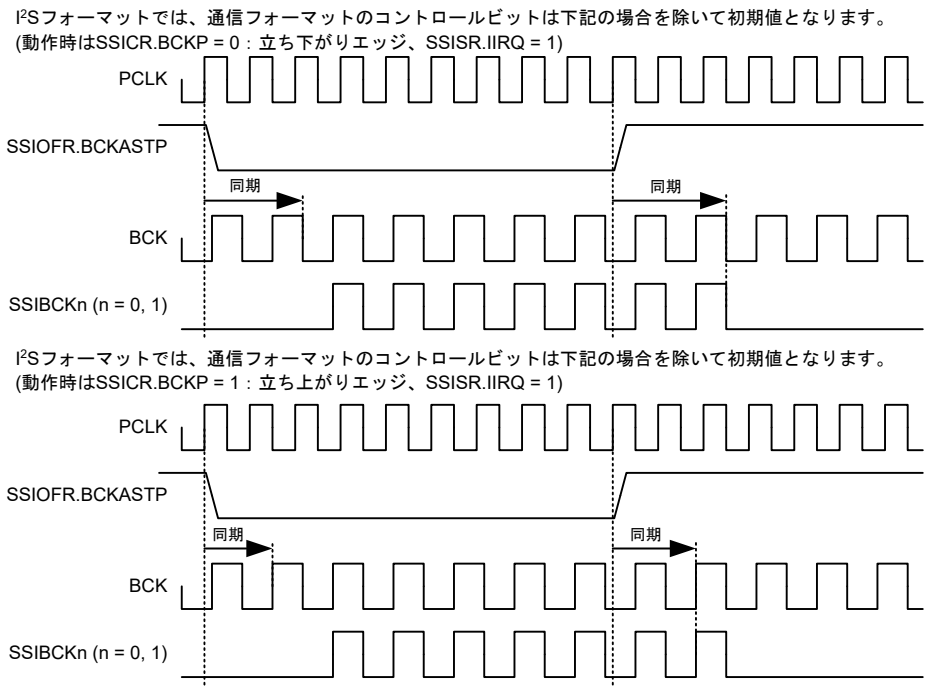
SSICR.MST	SSIOFR.BCKASTP	SSIOFR.LRCONT	端子からの出力		
			SSIBCKn (n = 0, 1)	SSILRCKn/SSIFSn (n = 0, 1)	SSITXD0/SSIDATA1
0	—	—	停止	停止	停止
1	0	0	供給	停止	停止
1	0	1	供給	供給	停止
1	1	0	停止	停止	停止
1	1	1	停止	供給	停止



注. PCLK = PCLKB

図 46.44 SSIOFR.LRCONT による LR クロック／フレーム同期継続禁止の例

注. マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.LRCONT で SSILRCKn/SSIFSn (n = 0, 1) 端子への出力を停止するには、以下のことに留意してください。SSIOFR.LRCONT ビットの値が 1 から 0 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。



注. PCLK = PCLKB

図 46.45 SSIOFR.BCKASTP による SSIBCKn (n = 0, 1) 停止の例

注. マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.BCKASTP で SSIBCKn (n = 0, 1) 端子への出力を停止するには、以下に留意してください。SSIOFR.BCKASTP ビットの値が 0 から 1 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。

46.5.2 通信状態

この状態では、SSIE は通信中です。 図 46.46 に通信状態の遷移を、表 46.17 に遷移条件を示します。遷移条件が満たされないと、状態は遷移しません。

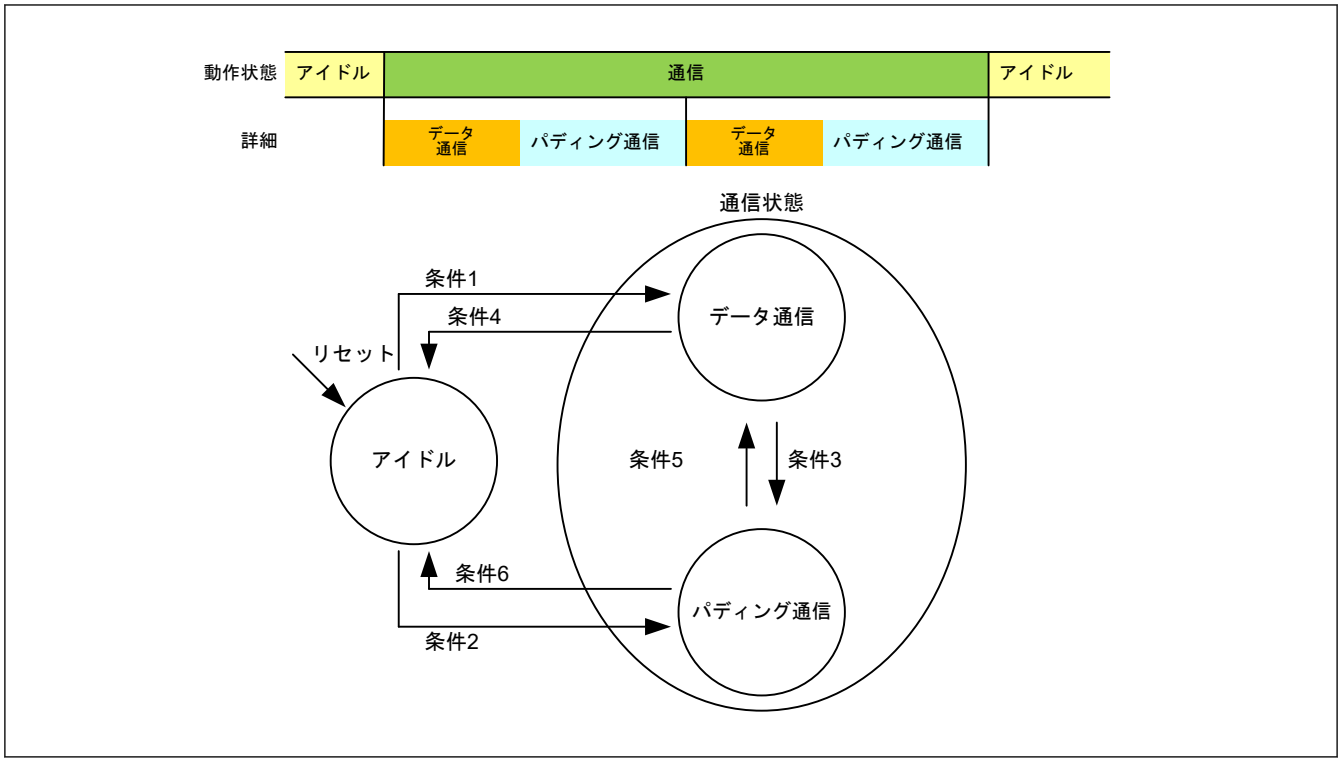


図 46.46　通信状態の遷移

表 46.17　通信状態の遷移条件

条件番号	遷移条件
1	SSICR.SDTA = 0 またはパディングビットなしの設定時に、SSICR.TEN = 1 または SSICR.REN = 1 を書き込んだとき
2	SSICR.SDTA = 1 かつパディングビットありの設定時に、SSICR.TEN = 1 または SSICR.REN = 1 を書き込んだとき
3	次の 3 つの条件がすべて満たされたとき ● SSICR.TEN = 1 または SSICR.REN = 1 ● パディングビットありの設定 ● データワードの最終ビットの転送が完了した
4	次の 2 つの条件が両方満たされたとき ● SSICR.SDTA = 1 またはパディングビットなし ● SSICR.TEN = 0 かつ SSICR.REN = 0 の間に、フレームのデータワードの最終ビットの転送が完了した
5	SSICR.TEN = 1 または SSICR.REN = 1 の間に、最終パディングビットの転送が完了した
6	次の 2 つの条件が両方満たされたとき ● SSICR.SDTA = 0 かつパディングビットあり ● SSICR.TEN = 0 かつ SSICR.REN = 0 の間に、最終パディングビットの転送が完了した

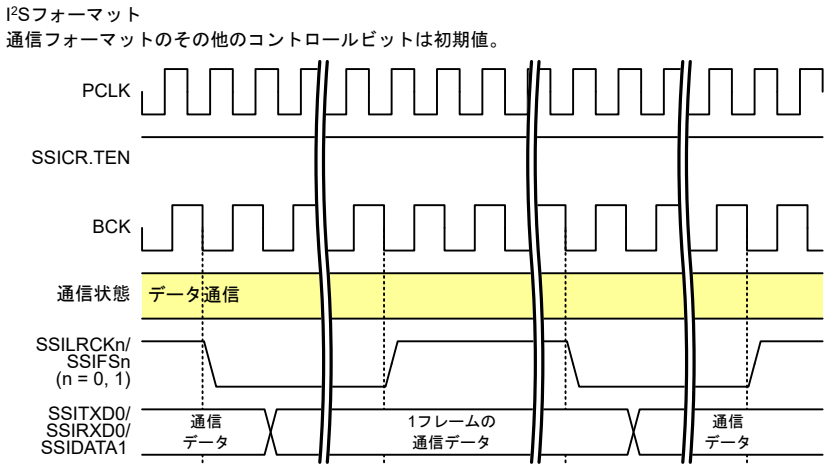
パディング有無の設定については、表 46.13 を参照してください。

46.5.2.1　データ通信状態

この状態では、SSIE は通信中です。SSICR.DWL[2:0]で設定されたデータワード長のデータが、送信、受信、または送受信されます。

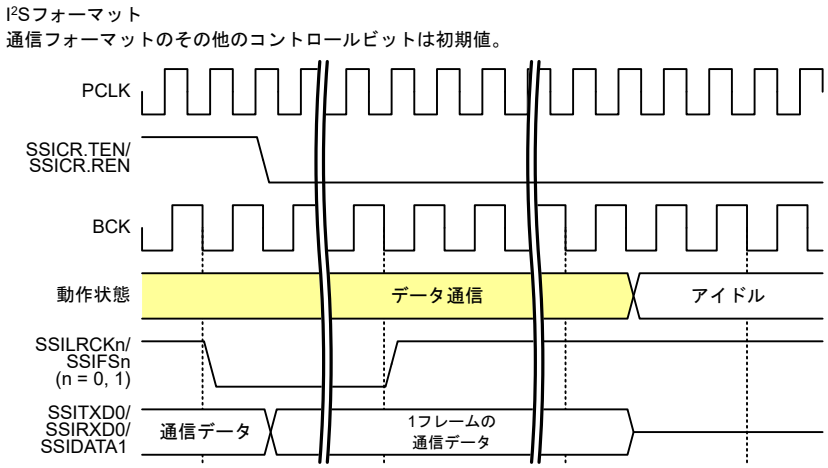
- パディングビットなし設定時の状態遷移

通信中 (SSISR.IIRQ = 0)、SSIE は常時データ通信を行っています。送受信を禁止する（SSICR.TEN = 0、SSICR.REN = 0）ことで、SSIE はアイドル状態に遷移します。詳細については、図 46.47 および図 46.48 を参照してください。



注. PCLK = PCLKB

図 46.47 データ通信の継続



注. PCLK = PCLKB

図 46.48 データ通信からの停止（パディングビットなし）

- パディングビットあり設定時の状態遷移

図 46.49 に示すとおり、通信中 (SSISR.IIRQ = 0) にデータワードの最終ビットの送信が完了すると、SSIE はデータ通信状態からパディング通信状態に遷移します。SSICR.SDTA=1 かつ送受信が禁止（SSISR.TEN = 0 かつ SSICR.REN = 0）の状態を除き、図 46.51 に示すとおり、SSIE は通信を停止するとデータ通信状態からアイドル状態に遷移します。

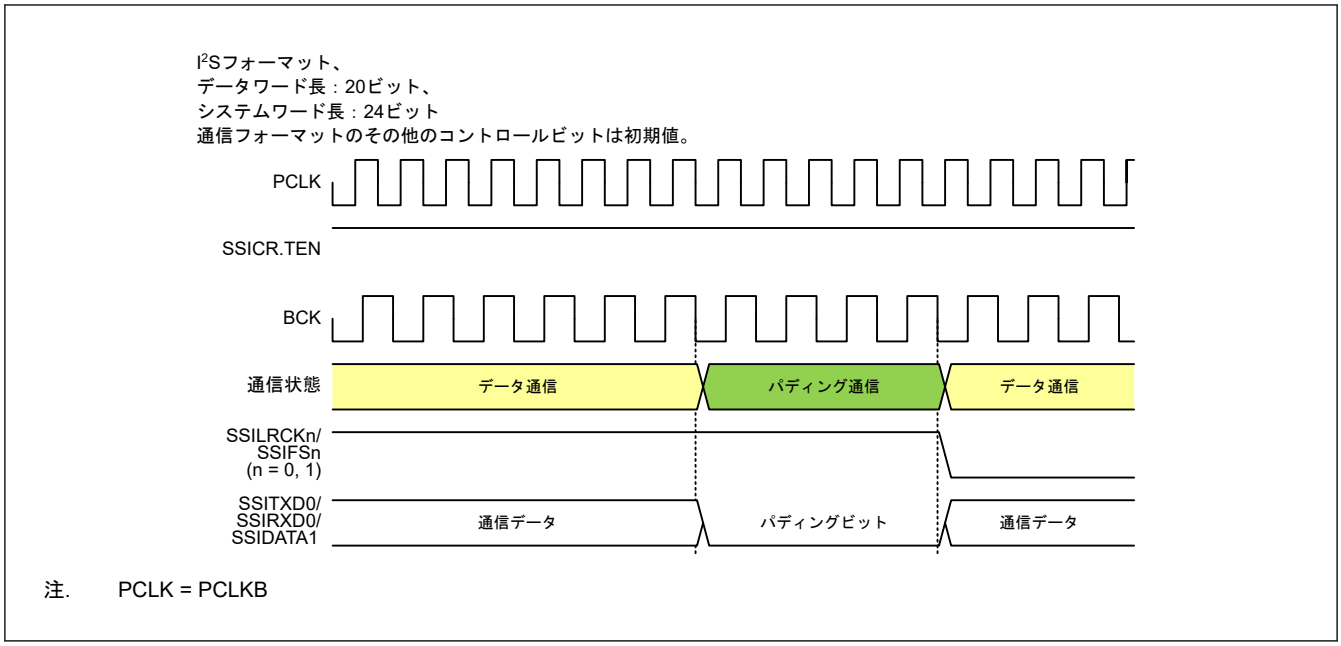


図 46.49 データ通信からパディング通信への遷移

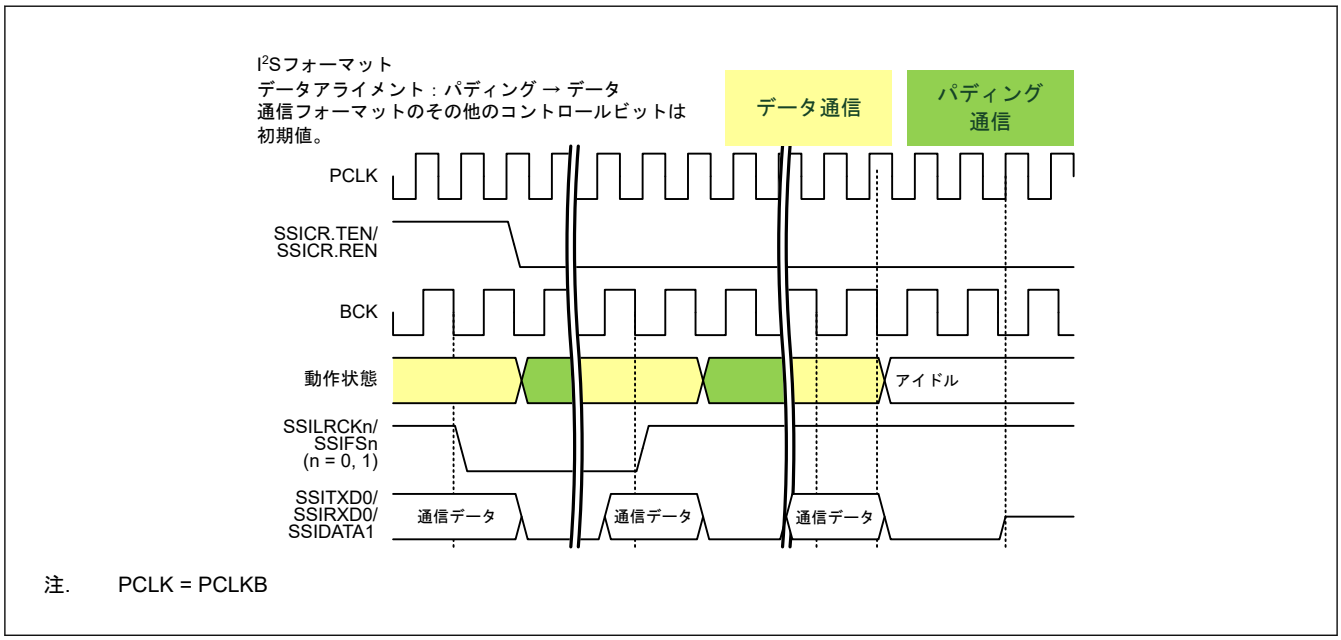


図 46.50 データ通信からの停止（パディングビットあり）

46.5.2.2 パディング通信

この状態では、SSIE は通信中です。SSICR.SWL[2:0]ビットおよび SSICR.DWL[2:0]で設定されたパディングビットが、送信、受信、または送受信されます。

- パディングビットあり設定時の状態遷移

図 46.49 に示すとおり、通信中 (SSISR.IIRQ = 0) に最終パディングビットの送信が完了すると、SSIE はデータ通信状態に遷移します。SSICR.SDTA = 0 かつ送受信が禁止（SSISR.TEN = 0 かつ SSICR.REN = 0）の状態の場合、図 46.51 に示すとおり、SSIE は通信を停止するとパディング通信状態からアイドル状態に遷移します。

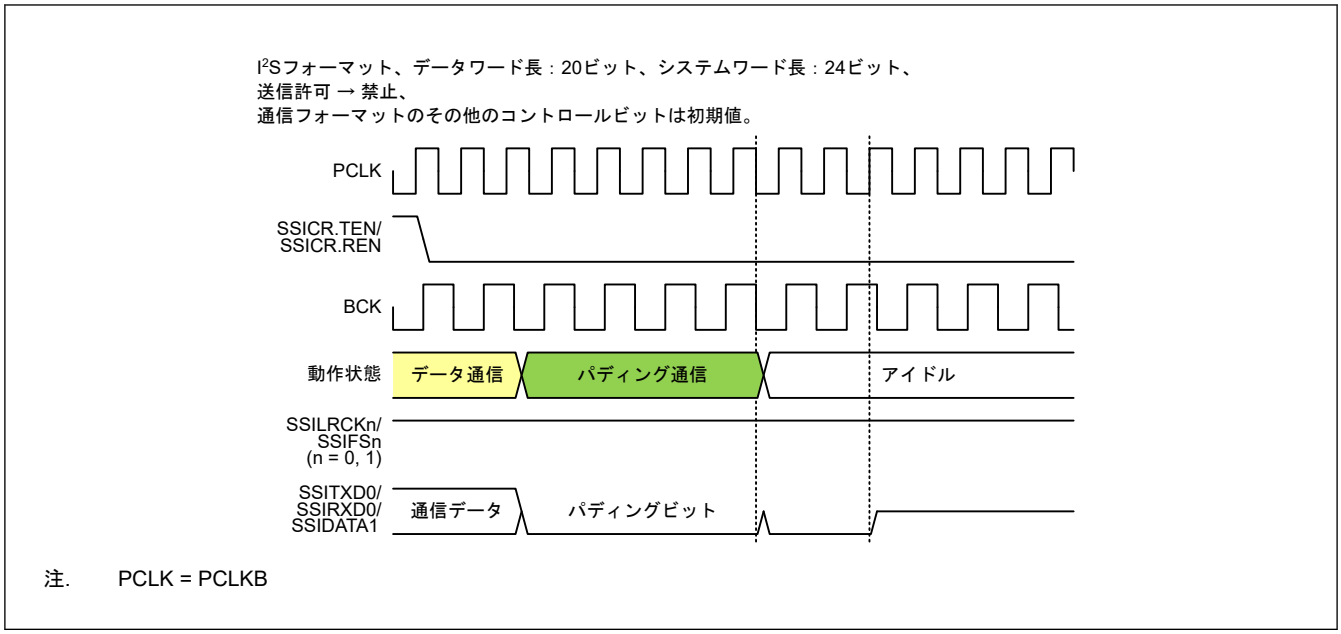


図 46.51 パディング通信からの停止

46.6 通信動作

図 46.52 に、SSIE の通信フローを示します。

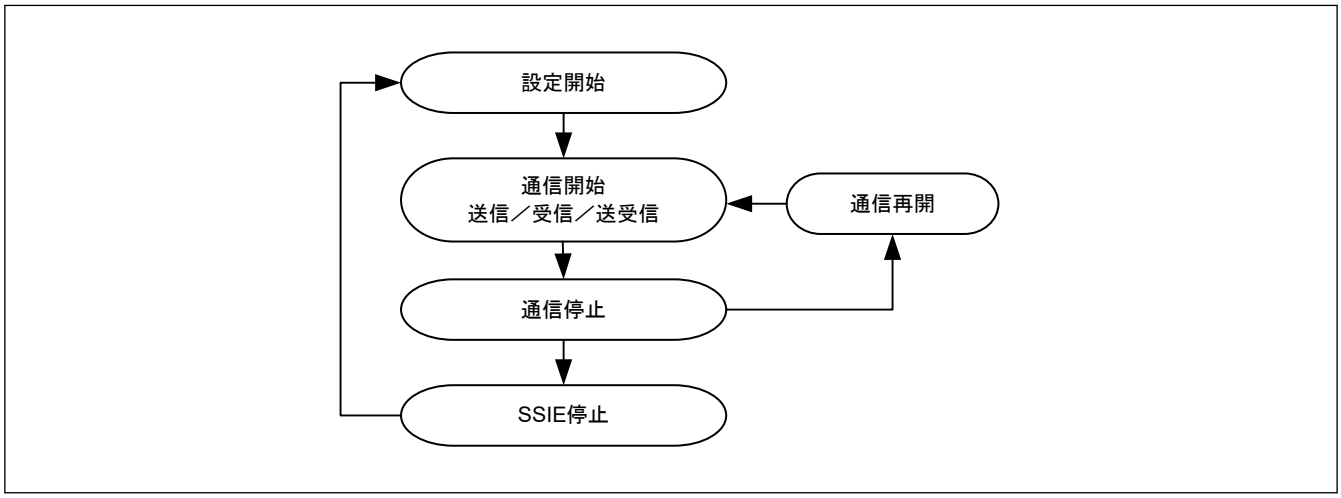
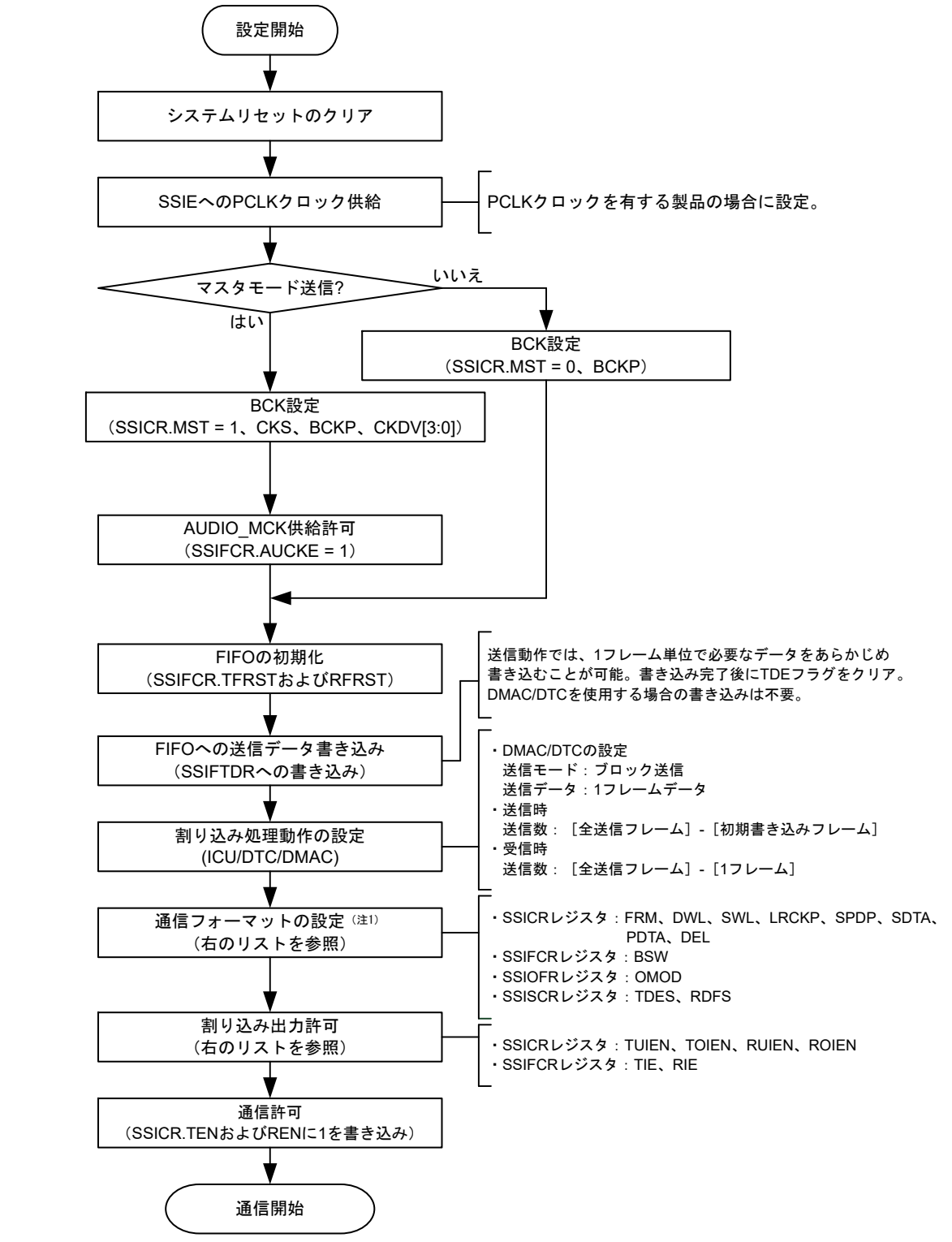


図 46.52 SSIE の通信動作

各動作の手順は、「46.6.1. 通信開始」～「46.6.7. 通信再開」で説明しています。

46.6.1 通信開始

本項では、SSIE の通信を開始する方法について説明します。図 46.53 に、通信開始手順を示します。必ずこの手順に従ってください。送信動作については「46.6.2. 送信」、受信動作については「46.6.3. 受信」を参照してください。



注. PCLK = PCLKB
注 1. 通信フォーマットの設定が完了してから、SSICR.MUEN、SSIOFR.BCKASTP、SSIOFR.LRCONT を設定します。

図 46.53 通信開始手順（CPU 動作手順）

SSIE は、DTC/DMAC 割り込みによる連続通信が可能です。送信するには、SSIFCR.TIE、SSICR.TUIEN、SSICR.TOIEN に 1 を書き込みます。受信するには、SSIFCR.RIE、SSICR.RUIEN、SSICR.ROIEN に 1 を書き込みます。

46.6.2 送信

送信動作全体を通して、図 46.54 に示す送信手順に従う必要があります。

送信を許可（SSICR.TEN = 1 かつ SSICR.REN = 0）にしたあと、SSILRCKn/SSIFSn (n = 0, 1) によって開始トリガが生成されると、SSIE は送信 FIFO データレジスタ (SSIFTDR) に含まれる少なくとも 1 フレームのシリアルデータで送信を開始します。SSIE は、TDE 設定条件 (SSISCR.TDES) および通信の開始手順で指定した送信データエンプティ割り込み許可ビット (SSIFCR.TIE) の状態に応じて、送信データエンプティ割り込みを DTC/DMAC に出力します。この割り込みは、送信 FIFO データレジスタ (SSIFTDR) への書き込みを要求します。通信開始手順では、送信データエンプティ割り込みに対応する DTC/DMAC 動作として、送信 FIFO データレジスタ (SSIFTDR) への書き込みを指定します。この設定により、SSIE は CPU を経由せずに連続的にデータを送信できます。送信 FIFO データレジスタの空き容量が SSISCR.TDES で設定した値に達したとき、送信データエンプティ割り込みが生成されます。書き込み回数は、送信データエンプティ割り込みによって示される送信 FIFO データレジスタの空き容量に応じて指定してください。エラー発生時は、通信停止手順で説明するエラー処理手順を実行してください。

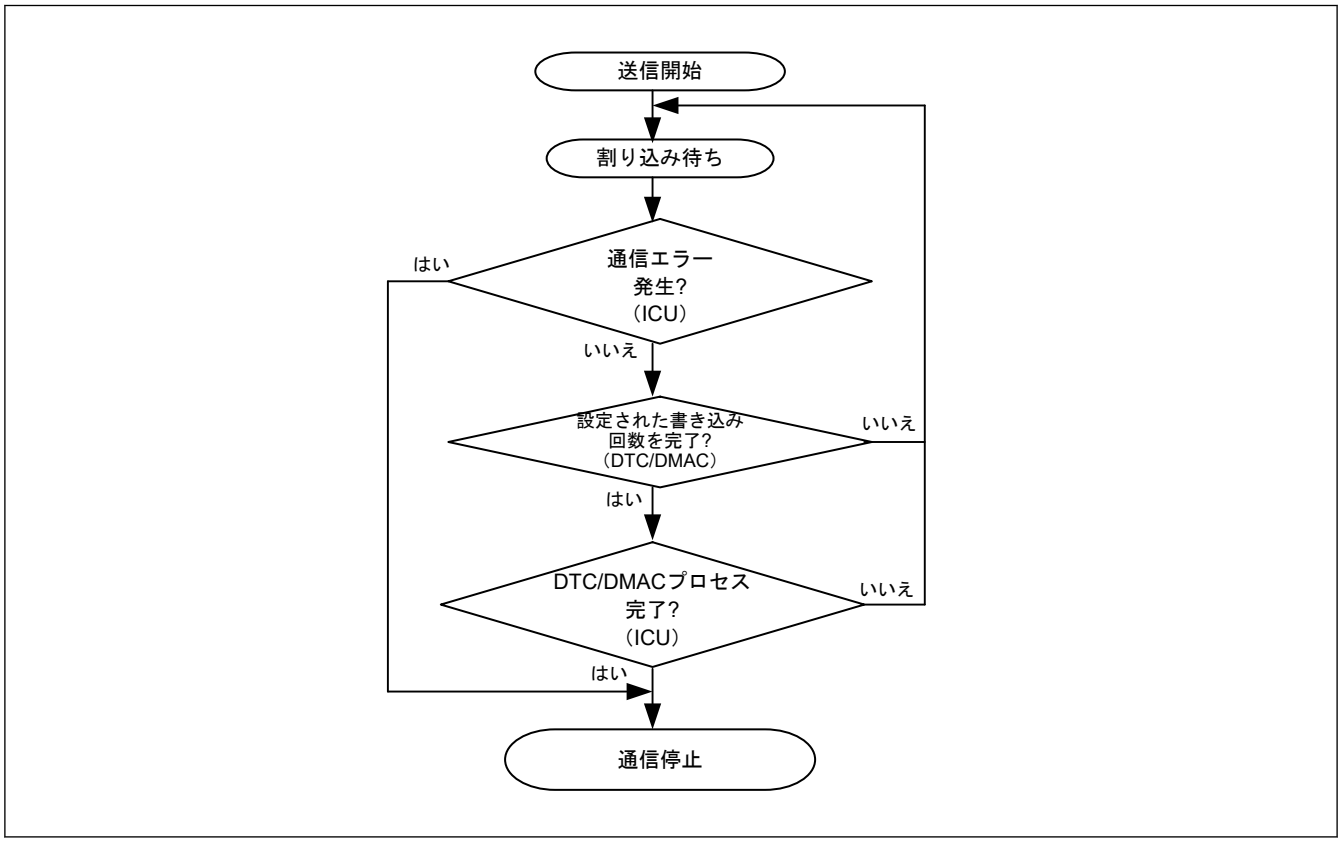


図 46.54 送信手順

注. SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFTDR にデータを書き込むには、SSIFSR.TDE の値 1 のポーリングを実行します。SSISCR.TDE の値 1 検出による SSIFTDR へのデータ書き込み回数は、SSISCR.TDES で指定される送信 FIFO データレジスタの空き容量に応じて指定してください。空き容量と同量の送信データが SSIFTDR に書き込まれた場合、SSIFSR.TDE フラグはクリアされなければなりません。データ書き込みを繰り返すことで、連続送信が有効になります。SSIFSR.TDE フラグは、意図的にクリアしない限り自動でクリアされることはありません。

46.6.3 受信

受信動作全体を通して、図 46.55 に示す受信手順に従う必要があります。

受信を許可（SSICR.TEN = 0 かつ SSICR.REN = 1）したあと、SSILRCKn/SSIFSn (n = 0, 1) によって開始トリガが生成されると、SSIE は受信を開始します。SSIE は、RDF 設定条件 (SSISCR.RDFS) および通信の開始手順で指定した受信データフル割り込み許可ビット (SSIFCR.RIE) の状態に応じて、受信データフル割り込みを DTC/DMAC に出力します。この割り込みは、受信 FIFO データレジスタ (SSIFRDR) からの読み出しを要求します。通信開始手順では、受信データフル割り込みに対応する DTC/DMAC 動作として、受信 FIFO データレジスタ (SSIFRDR)

からの読み出しを指定します。この設定により、SSIE は CPU を経由せずに連続的にデータを読み出すことができます。受信データフル割り込みは、受信 FIFO データレジスタの容量と同量のデータが保存されたときに生成されます。読み込み回数は、受信データフル割り込みによって示される受信 FIFO データレジスタのデータサイズに従って指定されなければなりません。エラー発生時は、通信停止手順で説明するエラー処理手順を実行してください。

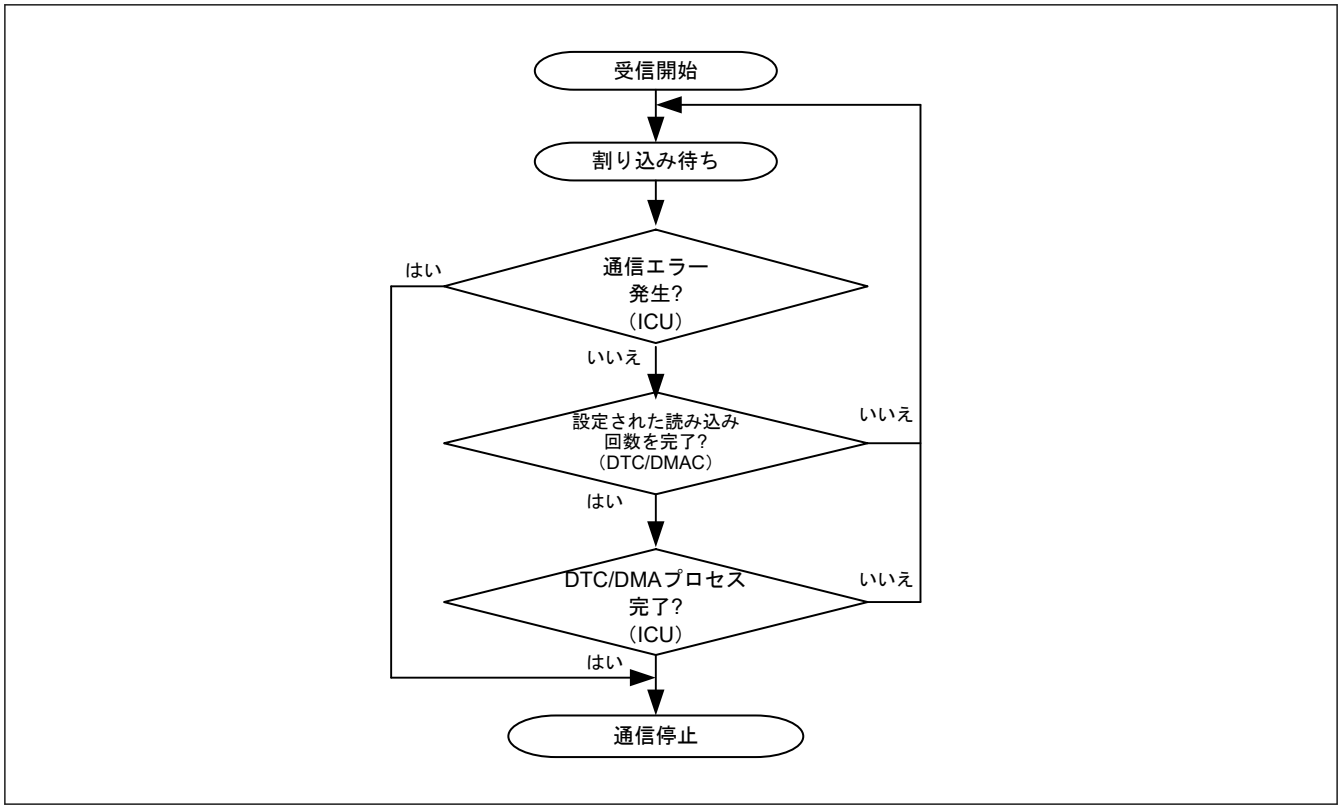


図 46.55　受信手順

注.　SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFRDR からデータを読み出すには、SSIFSR.RDF の値 1 のポーリングを実行します。SSISCR.RDF の値 1 検出による SSIFRDR からのデータ読み出し回数は、SSISCR.RDFS で指定される受信 FIFO データレジスタの受信データ保存容量に応じて指定してください。受信されたデータが SSIFRDR から読み出されたら、SSIFSR.RDF フラグはクリアされなければなりません。データ読み出しを繰り返すことで、連続受信が有効になります。SSIFSR.RDF フラグは、意図的にクリアしない限り自動でクリアされることはありません。

46.6.4　送受信

送受信を許可（SSICR.TEN = 1 かつ SSICR.REN = 1）したあと、SSILRCKn/SSIFSn (n = 0, 1) によって開始トリガが生成されると、SSIE は送信 FIFO データレジスタ (SSIFTDR) に含まれる少なくとも 1 フレームのシリアルデータで送受信を開始します。SSIE は、それぞれ「46.6.2. 送信」および「46.6.3. 受信」に記載の手順を実行することで、連続的に送信および受信することが可能です。送受信を停止する方法については、「46.6.5. 通信停止」を参照してください。

46.6.5　通信停止

本項では、SSIE の通信を停止する方法について説明します。 図 46.56 に、通信停止手順を示します。必ず手順に従ってください。

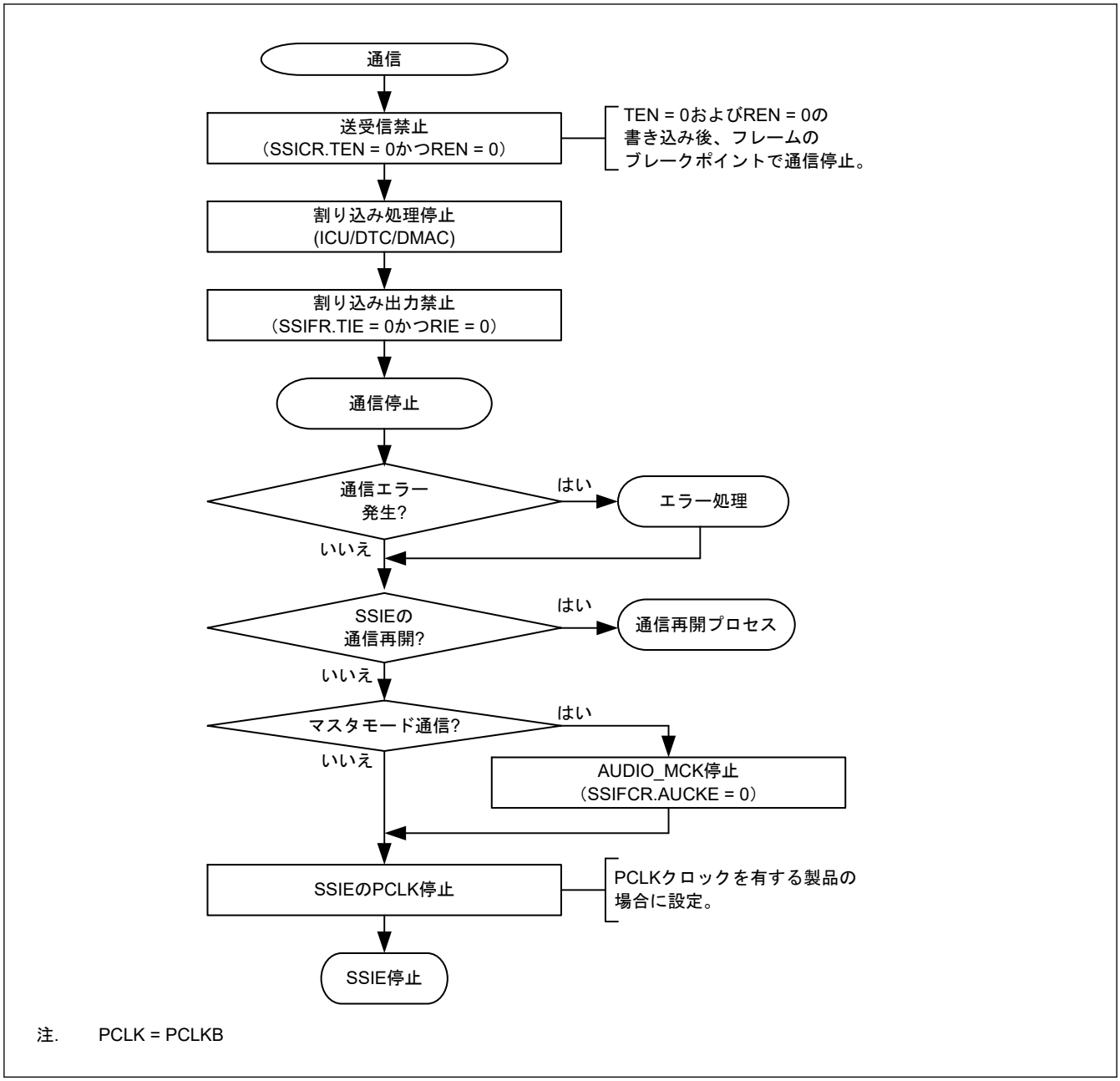


図 46.56 通信停止手順（CPU 動作手順）

SSIE の通信を停止するには、SSISR.IIRQ ビットがアイドル状態を示すまで以下のクロックの供給が必要です。

- SSICR.MST = 0 のとき、SSIBCKn (n = 0, 1) 端子からの入力クロック
- SSICR.MST = 1 のとき、AUDIO_MCK
  元の設定で SSIE の通信を再開するには、「46.6.7. 通信再開」を参照してください。

注. 図 46.56 に示す通信停止手順に従って SSIE の通信が停止されたら、図 46.58 に示す通信再開手順に従って通信を再開します。

46.6.6 エラー処理

SSIE には、以下の 4 つのエラーがあります。

- 送信アンダーフローエラー
- 送信オーバーフローエラー
- 受信アンダーフローエラー

- 受信オーバーフローエラー

アンダーフローエラーまたはオーバーフローエラーが発生した場合、SSIE の再起動が必要です。図 46.56 の通信停止手順および図 46.57 のエラー処理手順に従ってください。

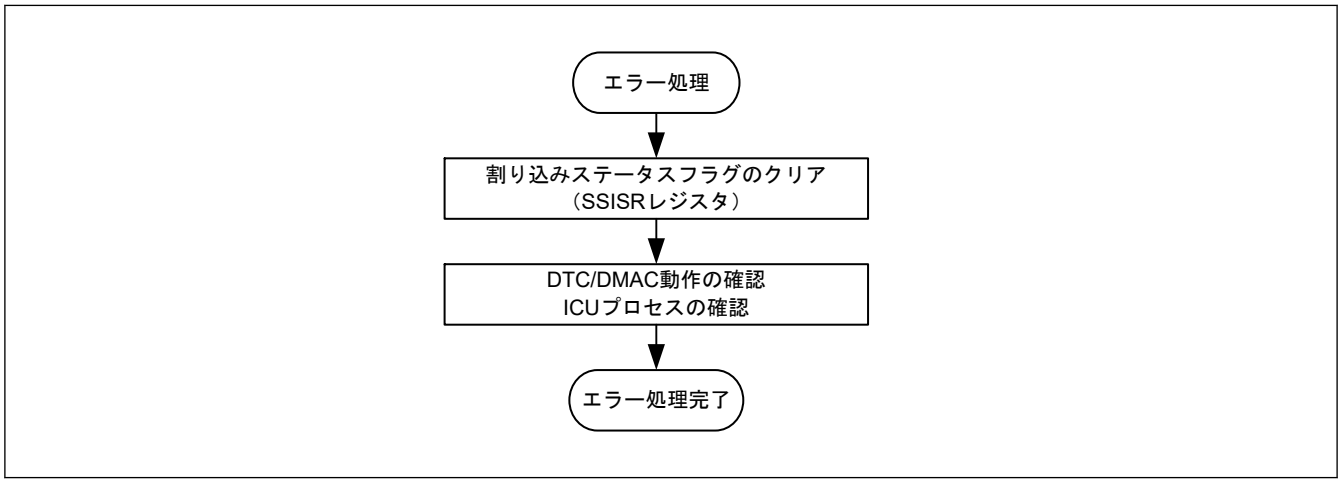


図 46.57　エラー処理手順

4 つのエラー動作について以下に説明します。SSICR レジスタの割り込み出力許可ビットを許可し、エラーフラグが設定されたとき、エラー割り込みが生成されます。エラーフラグの設定条件は、「46.2.2. SSISR : ステータスレジスタ」を参照してください。

(1)　送信アンダーフローエラー

送信アンダーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信アンダーフローエラーが発生すると、SSIE はデータとして 0 を出力します。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたシリアルデータが、SSITXD0/SSIDATA1 端子へ正常に出力されるようにするには、図 46.56 の通信停止手順と図 46.57 のエラー処理手順に従ってください。エラーが発生するときは、通常はシリアルデータはありません。通信を再開したら、最初からシリアルデータを書いてください。

(2)　送信オーバーフローエラー

送信オーバーフローエラーが発生したときは、送信データエンプティ割り込みに対応する送信 FIFO データレジスタ (SSIFTDR) へのデータ書き込み回数を見直してください。送信オーバーフローエラーを引き起こした送信 FIFO データレジスタ (SSIFTDR) に書き込まれたシリアルデータは、無効になります。このエラーは、送信動作中かどうかを問わず発生します。エラーから復旧するには、図 46.56 の通信停止手順および図 46.57 のエラー処理手順に従ってください。通信再開時には、無効なシリアルデータを適切に扱ってください。

(3)　受信アンダーフローエラー

受信アンダーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信アンダーフローエラーを引き起こした受信 FIFO データレジスタ (SSIFRDR) から読み出された値は不定です。このエラーは、受信動作中かどうかを問わず発生します。エラーから復旧するには、図 46.56 の通信停止手順および図 46.57 のエラー処理手順に従ってください。

(4)　受信オーバーフローエラー

受信オーバーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信オーバーフローエラーを引き起こした受信データは、受信 FIFO データレジスタ (SSIFRDR) に格納できません。エラーから復旧するには、図 46.56 の通信停止手順および図 46.57 のエラー処理手順に従ってください。

46.6.7　通信再開

SSIE を用いた通信を再開するには、図 46.58 の通信再開手順に従ってください。通信再開手順は、通信停止手順によって停止した通信を、一切の設定変更なしに再開することを想定して設計されています。クロックおよびス

レーブ／マスタ設定を変更するには、図 46.53 の通信開始手順を用い、これに従ってください。通信開始後の送信動作および受信動作の詳細については、それぞれ「46.6.2. 送信」および「46.6.3. 受信」を参照してください。

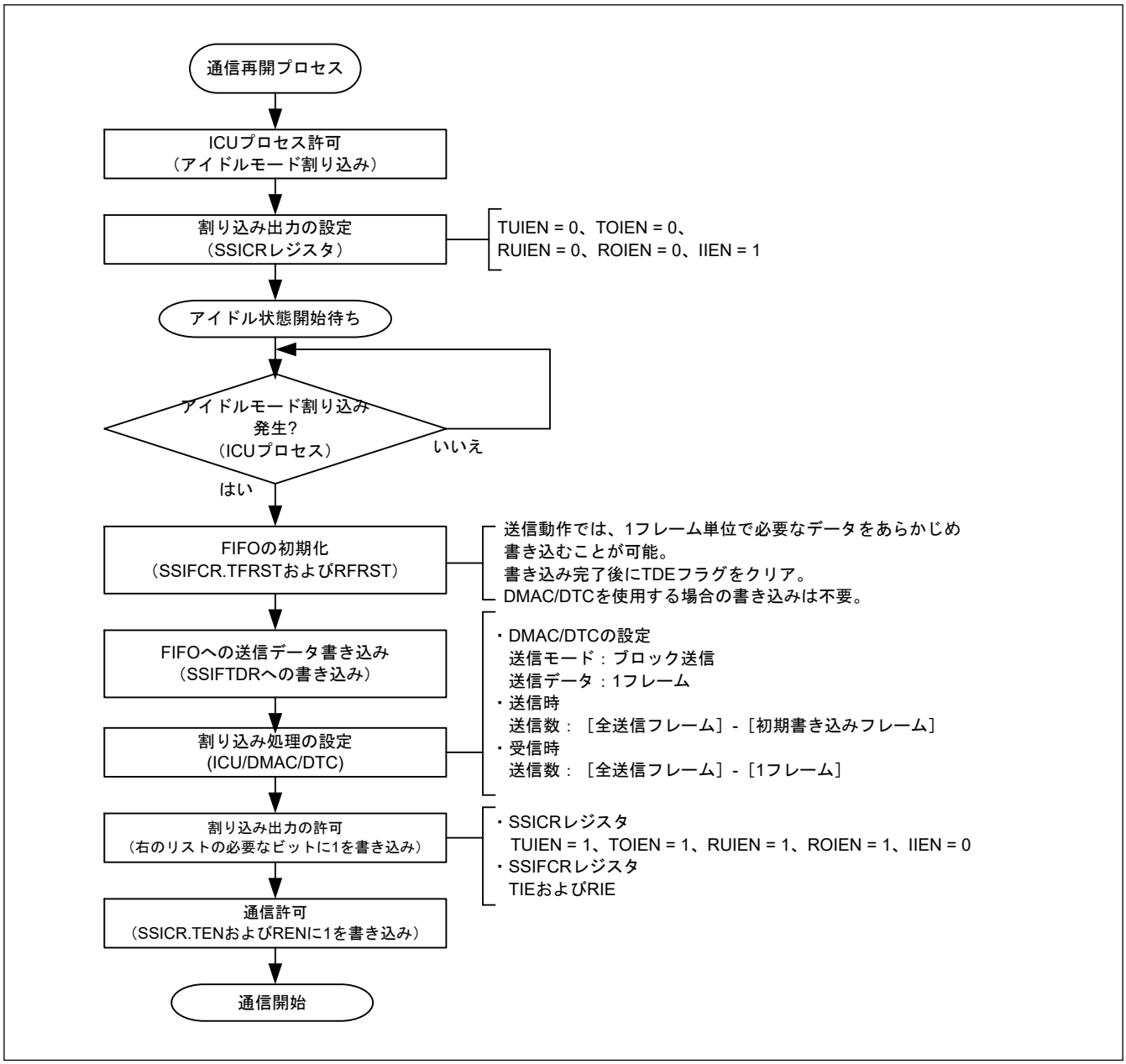


図 46.58　通信再開手順（CPU 動作手順）

46.7　割り込み

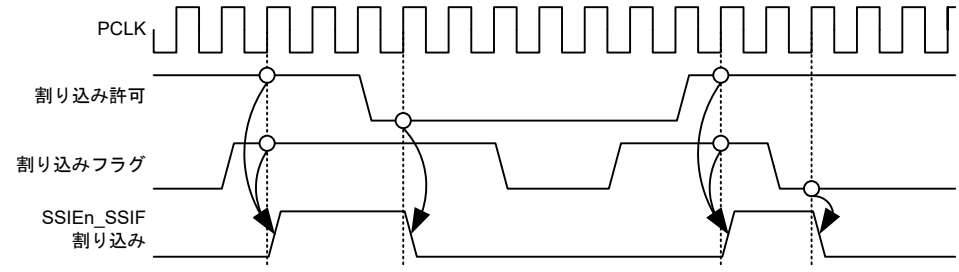
表 46.18 に、割り込み要因の一覧を示します。SSICR レジスタの TUIEN、TOIEN、RUIEN、ROIEN、IIEN ビット 、および SSIFCR レジスタの TIE、RIE ビットにより、各要因の割り込み出力の許可／禁止を設定します。

表 46.18 SSIE の割り込み要因

チャネル	割り込み要因	説明	割り込みフラグ	DMAC/DTC 起動
SSIE0	SSIE0_SSIF	• 送信アンダーフロー割り込み • 送信オーバーフロー割り込み • 受信アンダーフロー割り込み • 受信オーバーフロー割り込み • アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROIRQ SSISR.IIRQ	不可能
	SSIE0_SSIRXI	受信データフル割り込み	SSIFSR.RDF	可能
	SSIE0_SSITXI	送信データエンプティ割り込み	SSIFSR.TDE	可能
SSIE1	SSIE1_SSIF	• 送信アンダーフロー割り込み • 送信オーバーフロー割り込み • 受信アンダーフロー割り込み • 受信オーバーフロー割り込み • アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROIRQ SSISR.IIRQ	不可能
	SSIE1_SSIRT	• 受信データフル割り込み • 送信データエンプティ割り込み	SSIFSR.RDF SSIFSR.TDE	可能

46.7.1 SSIEn_SSIF 割り込み (n = 0, 1)

この割り込み要因は 5 つの割り込みを組み合わせたものです。SSIE を使用する前に、必要な割り込みの出力を許可します。5 つの割り込みは、各割り込みに割り当てられたフラグおよび割り込み出力有許可ビットを使用することで動作します。割り込みをクリアするには、割り込み許可を 0 に設定するか、割り込みフラグを 0 にクリアします。



注. PCLK = PCLKB

図 46.59 共通割り込み要因のタイミング図 (SSIEn_SSIF)

- 送信アンダーフロー割り込み

SSICR.TUIEN = 1 の間、送信アンダーフロー割り込みとして SSISR.TUIRQ が出力されます。SSIE を送信に使用する場合、この割り込み出力を許可 (SSICR.TUIRQ = 1) にします。この割り込みが発生したら、図 46.56 の通信停止手順および図 46.57 のエラー処理手順の指示に従ってください。

- 送信オーバーフロー割り込み

SSICR.TOIRQ = 1 の間、送信オーバーフロー割り込みとして SSISR.TOIRQ が出力されます。SSIE を送信に使用する場合、この割り込み出力を許可 (SSICR.TOIRQ = 1) にします。この割り込みが発生したら、図 46.56 の通信停止手順および図 46.57 のエラー処理手順の指示に従ってください。

- 受信アンダーフロー割り込み

SSICR.RUIRQ = 1 の間、受信アンダーフロー割り込みとして SSISR.RUIRQ が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.RUIRQ = 1) にします。この割り込みが発生したら、図 46.56 の通信停止手順および図 46.57 のエラー処理手順の指示に従ってください。

- 受信オーバーフロー割り込み

SSICR.ROIRQ = 1 の間、受信オーバーフロー割り込みとして SSISR.ROIRQ が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.ROIRQ = 1) にします。この割り込みが発生したら、図 46.56 の通信停止手順および図 46.57 のエラー処理手順の指示に従ってください。

- アイドルモード割り込み

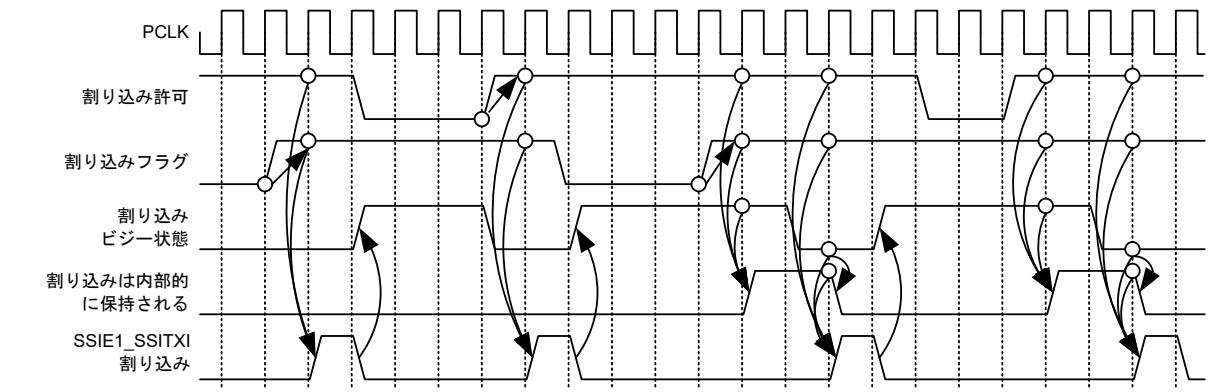
SSICR.IIEN = 1 の間、アイドルモード割り込みとして SSISR.IIRQ が出力されます。この割り込みは、通信が完全に停止したことを確認するために用いられます。

46.7.2 SSIE0_SSITXI 割り込み[全二重通信]

送信データエンプティ割り込みは、以下の条件が満たされたときに出力されるパルス割り込みです。

- SSIFCR.TIE = 1 および SSIFSR.TDE = 1
  SSIE の動作：SSIFCR.TIE の値が 1 の間に、SSIFSR.TDE の値が 0 から 1 に変化したとき
  CPU の命令：SSIFSR.TDE の値が 1 の間に、SSIFCR.TIE の値が 0 から 1 に変化したとき

この割り込みは、割り込み抑制機能の対象です。DTC/DMAC がビジー（DTC/DMAC が割り込みの受け入れ不可）のときにこの割り込みの割り込み条件が発生すると、割り込み抑制機能により、割り込み出力を保持します。保持された割り込みは、DTC/DMAC が割り込みを受け入れ可能になったあとに出力されます。詳細については、図 46.60 を参照してください。



注. PCLK = PCLKB

図 46.60 SSIE1_SSITXI 割り込みタイミング図

46.7.3 SSIE0_SSIRXI 割り込み[全二重通信]

受信データフル割り込みは、以下の条件が満たされたときに出力されるパルス割り込みです。

- SSIFCR.RIE = 1 および SSIFSR.RDF = 1
  SSIE の動作：SSIFCR.RIE の値が 1 の間に、SSIFSR.RDF の値が 0 から 1 に変化したとき
  CPU の命令：SSIFSR.RDE の値が 1 の間に、SSIFCR.RIE の値が 0 から 1 に変化したとき

この割り込みは、割り込み抑制機能の対象です。DTC/DMAC がビジー（DTC/DMAC が割り込みの受け入れ不可）のときにこの割り込みの割り込み条件が発生すると、割り込み抑制機能により、割り込み出力を保持します。保持された割り込みは、DTC/DMAC が割り込みを受け入れ可能になったあとに出力されます。この割り込みの動作は、図 46.60 に示す動作と同じです。

46.7.4 SSIE1_SSIRT 割り込み[半二重通信]

この割り込みが出力される要因には、送信データエンプティ割り込みと受信データフル割り込みの二つがあります。この割り込みが発生した場合は、割り込みフラグの読み出しを行い、割り込み要因を指定します。

この割り込みは、割り込み抑制機能の対象です。DTC/DMAC がビジー（DTC/DMAC が割り込みの受け入れ不可）のときにこの割り込みの割り込み条件が発生すると、割り込み抑制機能により、割り込み出力を保持しま

す。保持された割り込みは、DTC/DMAC が割り込みを受け入れ可能になったあとに出力されます。詳細は、図 46.61 を参照してください。

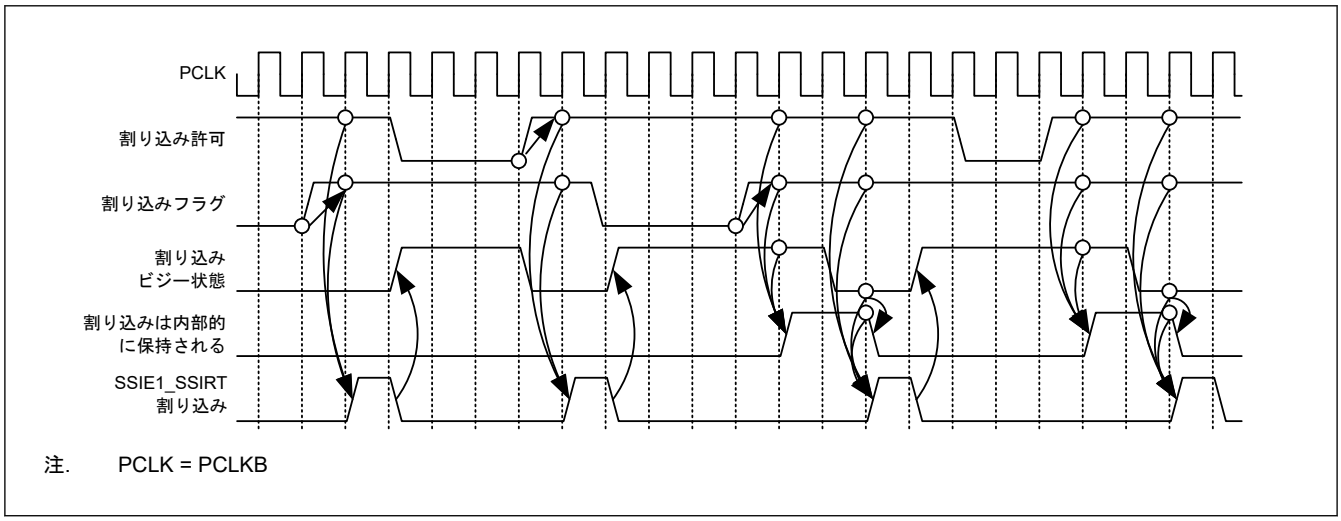


図 46.61 SSIE1_SSIRT 割り込みタイミング図

46.8 ソフトウェアリセット

SSIE には、その状態をリセットするためのソフトウェアリセットビットが 3 つあります。

- SSIE ソフトウェアリセット (SSIFCR.SSIRST)
- 送信 FIFO データレジスタリセット (SSIFCR.TFRST)
- 受信 FIFO データレジスタリセット (SSIFCR.RFRST)

本セクションでは、3 タイプのソフトウェアリセットの手順について説明します。

46.8.1 ソフトウェアリセット手順

(1) SSIE ソフトウェアリセット

SSIE ソフトウェアリセットビット (SSIFCR.SSIRST) については、図 46.62 に示す手順に従ってください。リセット後に再開されると、同じ設定が適用されます。クロックおよびスレーブ／マスタモードの設定を変更するには、図 46.53 の通信開始手順に従います。通信再開後の送信および受信については、それぞれ「46.6.2. 送信」および「46.6.3. 受信」を参照してください。

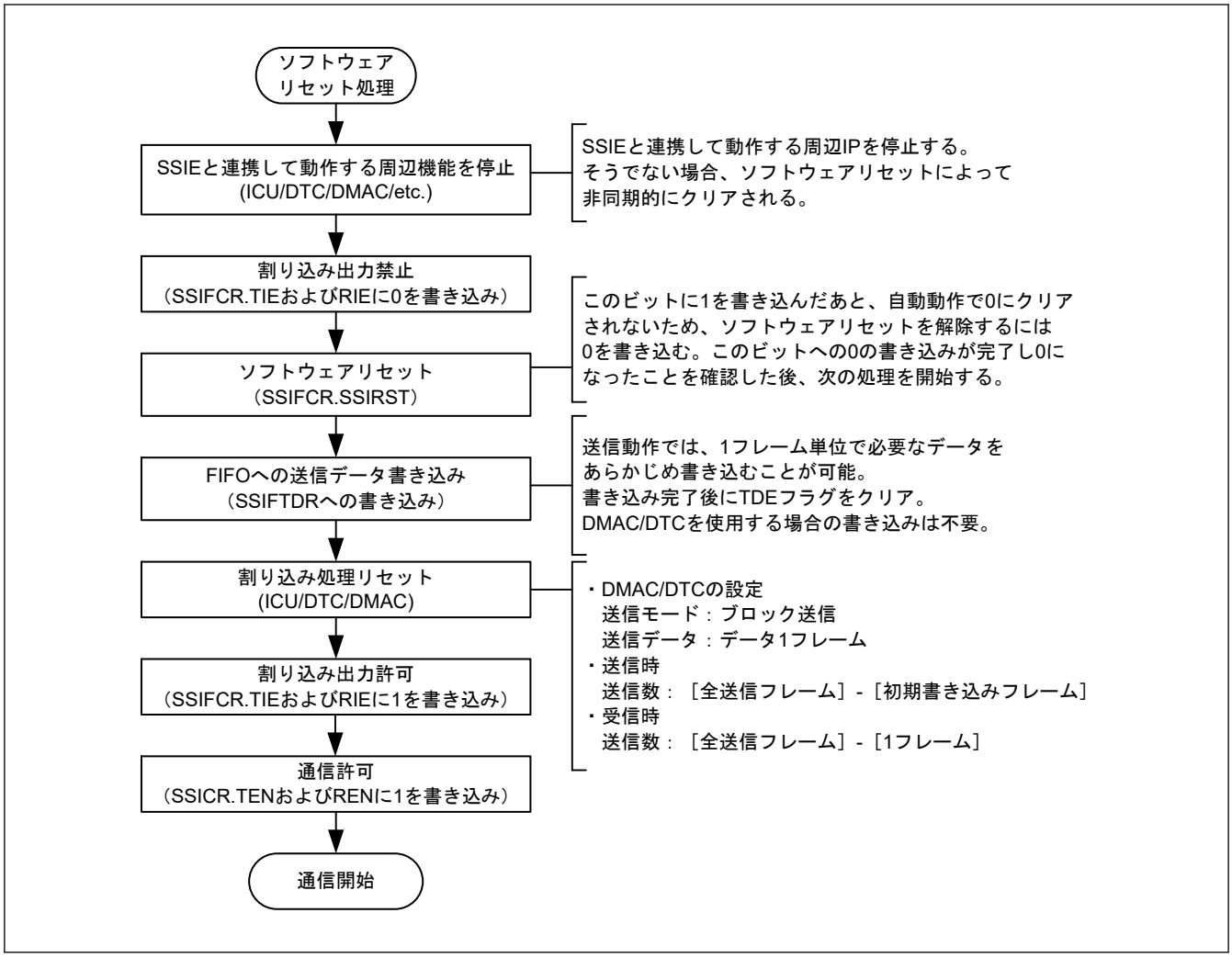


図 46.62　ソフトウェアリセット手順（CPU 動作手順）

(2)　送信 FIFO データレジスタリセット

送信 FIFO データレジスタリセットを実行するには、図 46.53 の通信開始手順および図 46.58 の通信再開手順の指示に従ってください。

(3)　受信 FIFO データレジスタリセット

受信 FIFO データレジスタリセットを実行するには、図 46.53 の通信開始手順および図 46.58 の通信再開手順の指示に従ってください。

46.9　使用上の注意事項

46.9.1　スレーブモード通信に関する注意事項

46.9.1.1　SSIBCKn (n = 0, 1) 制御

スレーブモード通信 (SSICR.MST = 0) 時、SSIE には SSIBCKn (n = 0, 1) の供給が必要です。マスタ側で BCK を停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してください。SSIE がアイドルになる前に BCK が停止した場合、図 46.53 の通信開始手順を実施するか、図 46.58 の通信再開手順を実施してアイドル状態になるのを待ってください。

46.9.1.2 SSILRCKn/SSIFSn (n = 0, 1) 端子

SSIE には、通信の同期を示す SSILRCKn/SSIFSn (n = 0, 1) 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCKn/SSIFSn (n = 0, 1) 端子の信号入力を、通信開始のトリガとしてのみ使用します。

46.9.2 マスタモード通信に関する注意事項

46.9.2.1 AUCKE コントロール

マスタモード通信 (SSICR.MST = 1) 時、SSIE はオーディオクロック (AUDIO_MCK) によって動作します。SSIE を完全に停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してから、SSIFCR.AUCKE に 0 を書き込んでください。

46.9.2.2 LRCONT コントロール

マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.LRCONT で SSILRCKn/SSIFSn (n = 0, 1) 端子への出力を停止するには、以下のことに留意してください。SSIOFR.LRCONT ビットの値が 1 から 0 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。詳細は、図 46.44 を参照してください。

46.9.2.3 BCKASTP コントロール

マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.BCKASTP で SSIBCKn (n = 0, 1) 端子への出力を停止するには、以下に留意してください。SSIOFR.BCKASTP ビットの値が 0 から 1 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。詳細は、図 46.45 を参照してください。

BCKASTP ビットは、相手方デバイス（スレーブ側）が通信前および通信中に SSIBCKn (n = 0, 1) 端子からのクロック出力を要求している場合は使用できません。

46.9.3 通信フローに関する注意事項

46.9.3.1 エラー割り込み発生時

SSIE には、以下の 4 つのエラーがあります。

- 送信アンダーフローエラー
- 送信オーバーフローエラー
- 受信アンダーフローエラー
- 受信オーバーフローエラー

アンダーフローエラーまたはオーバーフローエラーが発生した場合、SSIE の再起動が必要です。図 46.56 の通信停止手順および図 46.57 のエラー処理手順に従ってください。

(1) 送信アンダーフローエラー

送信アンダーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信アンダーフローエラーが発生すると、SSIE はデータとして 0 を出力します。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたシリアルデータが、SSITXD0/SSIDATA1 端子へ正常に出力されるようにするには、図 46.56 の通信停止手順と図 46.57 のエラー処理手順に従ってください。エラーが発生するときは、通常はシリアルデータはありません。通信を再開したら、最初からシリアルデータを書いてください。

(2) 送信オーバーフローエラー

送信オーバーフローエラーが発生したときは、送信データエンプティ割り込みに対応する送信 FIFO データレジスタ (SSIFTDR) へのデータ書き込み回数を見直してください。送信オーバーフローエラーを引き起こした送信 FIFO データレジスタ (SSIFTDR) に書き込まれたシリアルデータは、無効になります。このエラーは、送信動作中かどうかを問わず発生します。エラーから復旧するには、図 46.56 の通信停止手順および図 46.57 のエラー処理手順に従ってください。通信再開時には、無効なシリアルデータを適切に扱ってください。

(3) 受信アンダーフローエラー

受信アンダーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信アンダーフローエラーを引き起こした受信 FIFO データレジスタ (SSIFRDR) から読み出された値は不定です。このエラーは、受信動作中かどうかを問わず発生します。エラーから復旧するには、図 46.56 の通信停止手順および図 46.57 のエラー処理手順に従ってください。

(4) 受信オーバーフローエラー

受信オーバーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信オーバーフローエラーを引き起こした受信データは、受信 FIFO データレジスタ (SSIFRDR) に格納できません。エラーから復旧するには、図 46.56 の通信停止手順および図 46.57 のエラー処理手順に従ってください。

46.9.3.2 送信データエンプティ割り込み

SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFTDR にデータを書き込むには、SSIFSR.TDE の値 1 のポーリングを実行します。SSISCR.TDE の値 1 検出による SSIFTDR へのデータ書き込み回数は、SSISCR.TDES で指定される送信 FIFO データレジスタの空き容量に応じて指定してください。空き容量と同量の送信データが SSIFTDR に書き込まれた場合、SSIFSR.TDE フラグをクリアする必要があります。データ書き込みを繰り返すことで、連続送信が有効になります。SSIFSR.TDE フラグは、意図的にクリアしない限り自動でクリアされることはありません。

46.9.3.3 受信データフル割り込み

SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFRDR からデータを読み出すには、SSIFSR.RDF の値 1 のポーリングを実行します。SSISCR.RDF の値 1 検出による SSIFRDR からのデータ読み出し回数は、SSISCR.RDFS で指定される受信 FIFO データレジスタの受信データ保存容量に応じて指定してください。受信されたデータが SSIFRDR から読み出されたら、SSIFSR.RDF フラグはクリアされなければなりません。データ読み出しを繰り返すことで、連続受信が有効になります。SSIFSR.RDF フラグは、意図的にクリアしない限り自動でクリアされることはありません。

46.9.3.4 転送モードの切り替え

1. 送信、受信、および送受信から状態を遷移するには、送信および受信を禁止（SSICR.TEN = 0、SSICR.REN = 0）にします。
2. アイドル状態 (SSISR.IIRQ = 1) であることを確認します。
3. アイドル状態で SSICR.TEN ビットまたは SSICR.REN ビットを再設定し、転送を再開します。

46.9.3.5 SSIE 停止後の通信再開

図 46.56 に示す通信停止手順に従って SSIE の通信が停止されたら、図 46.58 に示す通信再開手順に従って通信を再開します。

46.9.4 書き込みアクセス制限

46.9.4.1 SSICR レジスタ

TEN ビットまたは REN ビットを書き換えたときは、SSISR.IIRQ ビットが希望の状態であることを確認してください。書き換えによって TEN または REN ビットの値が変化した場合、以降の動作は予測できません。たとえば、送信または受信許可のときは SSISR.IIRQ が 0 であることを、送信または受信禁止のときは SSISR.IIRQ が 1 であることをチェックします。

(1) TEN ビットと REN ビット

これらのビットは、送信および受信を許可／禁止します。これらのビットのいずれかに 1 が書き込まれると、SSILRCKn/SSIFSn (n = 0, 1) 信号による開始トリガと同期して、対応する通信動作が始まります。詳細については、「46.6.2. 送信」、「46.6.3. 受信」、および「46.6.4. 送受信」を参照してください。このビットに 0 が書き込まれると、現在の通信動作が次のフレーム境界で停止します。送信および受信の両方で SSIE を使用するには、両方

のビットに常に 1 を書き込みます。SSIE を用いた通信の停止中は、必ず送信と受信の両方を禁止してください（TEN および REN ビットに 0 を書き込む）。

46.9.4.2　SSISR レジスタ

(1)　TUIRQ および TOIRQ のクリア

通信の許可（SSICR.TEN ビットを 0 から 1 に変更）後、送信エラーフラグ（SSISR レジスタの TOIRQ および TUIRQ）はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

(2)　RUIRQ および ROIRQ のクリア

通信の許可（SSICR.REN ビットを 0 から 1 に変更）後、受信エラーフラグ（SSISR レジスタの RUIRQ および ROIRQ）はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

46.9.4.3　通信状態

表 46.19 で、オレンジの網掛けで示したビットへの書き込みは禁止されています。書き込みが行われた場合、書き込み直後の動作は保証されません。

表 46.19　通信中書き込みから保護されるビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	0x1C	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

46.9.5　ソフトウェアスタンバイモード

SSIE はソフトウェアスタンバイモードに遷移する前に停止する必要があります。

図 46.63 にソフトウェアスタンバイモードへ遷移する前のフローチャート例を示します。

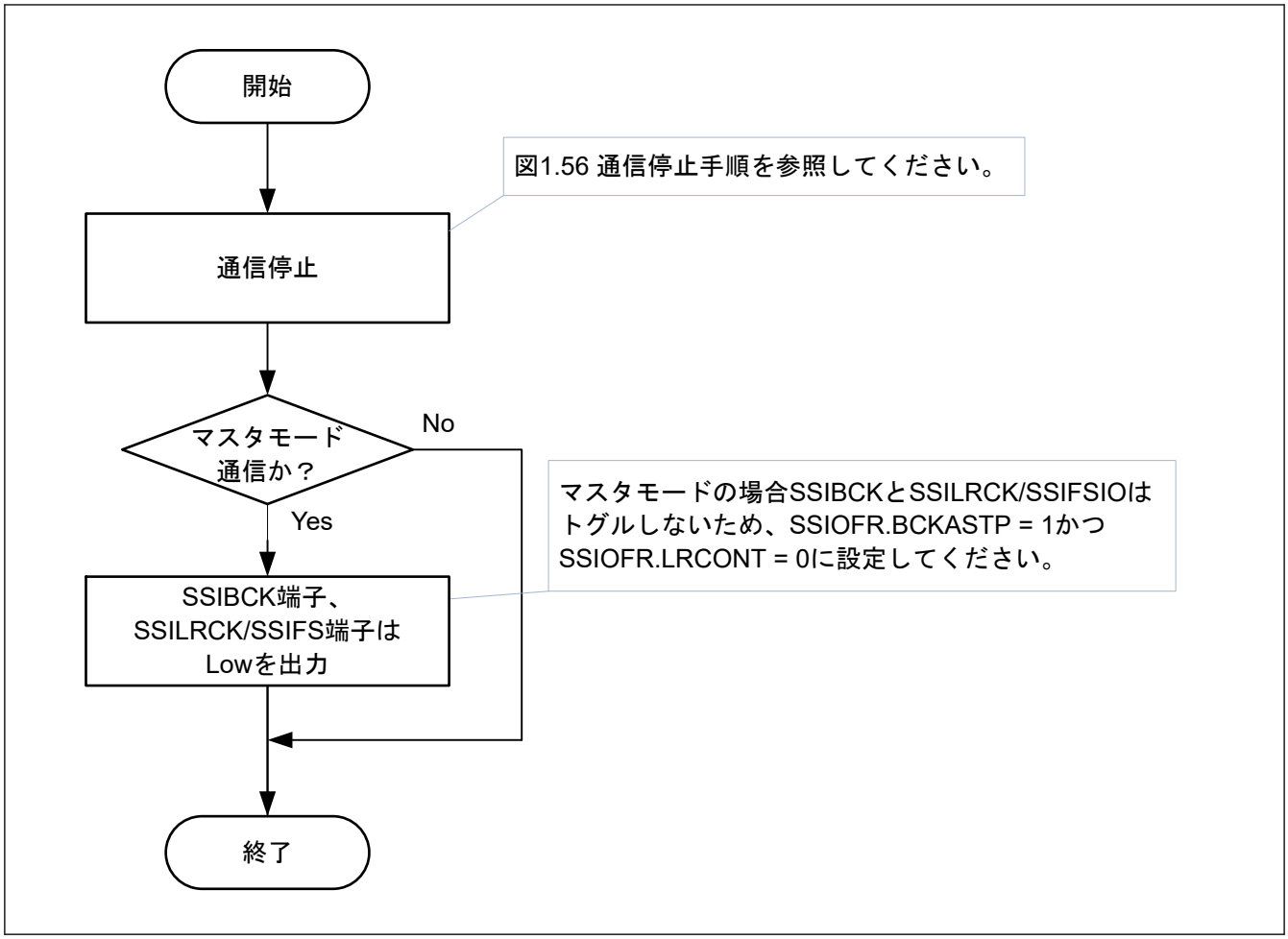


図 46.63　ソフトウェアスタンバイモードへ遷移する前のフローチャート例

図 46.64 にソフトウェアスタンバイモードを解除した後のフローチャート例を示します。

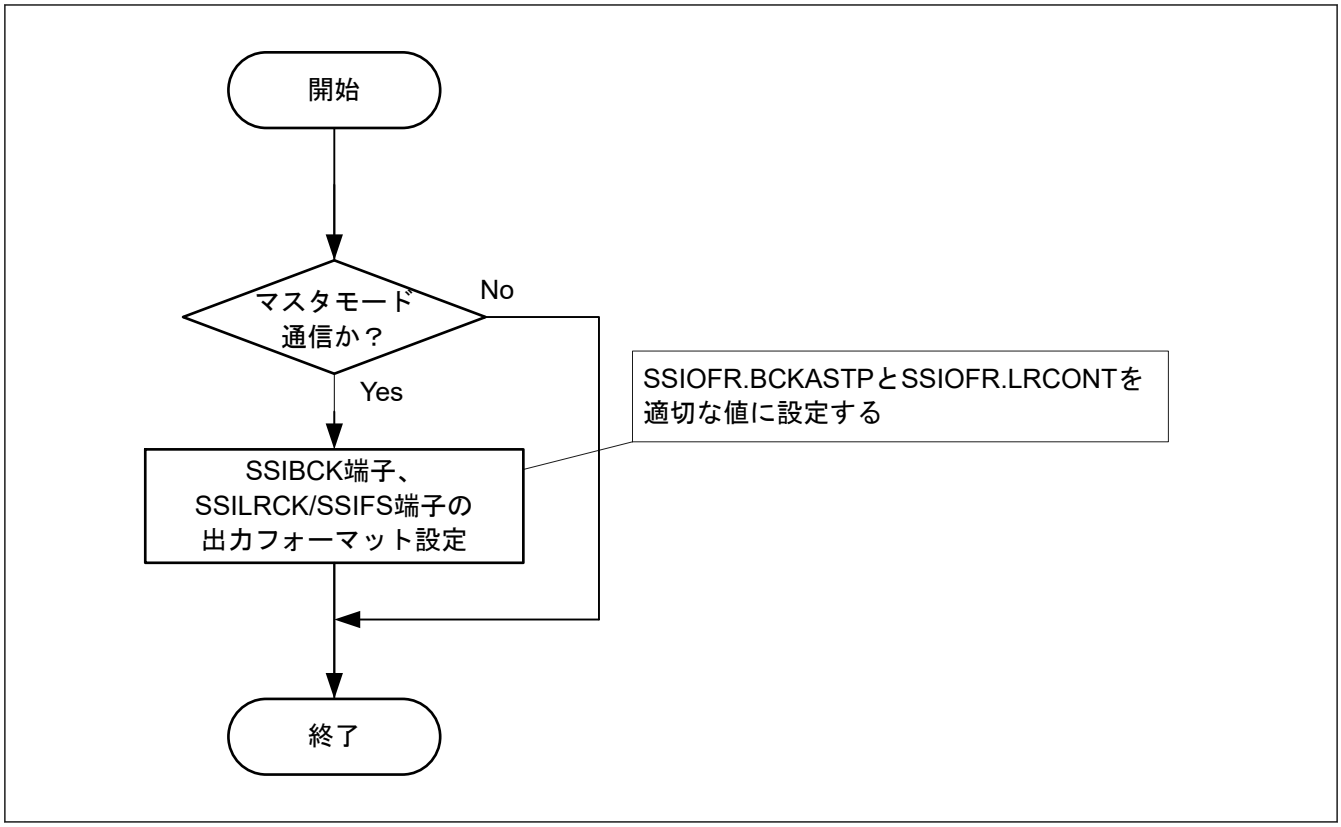


図 46.64　ソフトウェアスタンバイモードを解除した後のフローチャート例

47. SD/MMC ホストインタフェース (SDHI)

47.1 概要

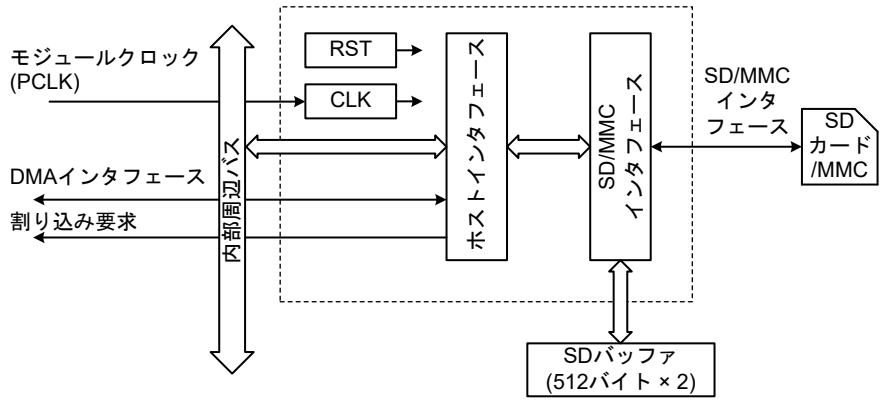
セキュアデジタルホストインタフェース (SDHI) およびマルチメディアカード (MMC) インタフェースは、各種の外付けメモリカードと MCU との通信機能を提供します。SDHI は 1 ビットバスおよび 4 ビットバスの両方に対応し、SD、SDHC、および SDXC フォーマット対応の各種のメモリカードと通信します。SD 規格に準拠したホストデバイスを開発する場合、SD Host/Ancillary Product License Agreement (SD HALA) に準拠する必要があります。

MMC インタフェースは、eMMC 4.51 (JEDEC Standard JESD 84- B451) デバイスアクセスを可能にする 1 ビット、4 ビット、および 8 ビットの MMC バスをサポートしています。このインタフェースには下位互換性があり、高速 SDR 転送モードもサポートしています。

表 47.1 に SD/MMC ホストインタフェースの仕様を、図 47.1 にブロック図を示します。

表 47.1 SD/MMC ホストインタフェースの仕様

インタフェース	パラメータ	仕様
SD	SD バスインタフェース	• SD メモリカード、SDIO カードに対応 • 転送バスモードはワイドバスモード（4 ビット）、デフォルトバスモード（1 ビット）から選択可能 • SD、SDHC、および SDXC フォーマットに対応
	転送モード	Default-speed モード、High-speed モード、SDR12 または SDR25
SD/MMC 共通仕様	SDHI クロック周波数	PCLKB を 2^n (n = 0～9) で分周して SDHI クロックを生成
	エラーチェック機能	CRC7（コマンド／レスポンス）、CRC16（転送データ）
	割り込み要因	カードアクセス割り込み (SDHI_MMCn_ACCS)、SDIO アクセス割り込み (SDHI_MMCn_SDIO)、カード検出割り込み (SDHI_MMCn_CARD) (n = 0, 1)
	DMA 転送要因	DMA 転送要求 (SDHI_MMCn_ODMSDBREQ (n = 0, 1)) 割り込みにより DMAC/DTC を起動可能 DMAC による SD バッファの読み出し／書き込みが可能
	その他の機能	• カード検出機能 • ライトプロテクトサポート
MMC	MMC バスインタフェース	転送バスモードを 1 ビット、4 ビット、8 ビットから選択可能
	転送モード	下位互換モードとハイスピード SDR モードから選択可能
	その他の機能	e.MMC デバイスアクセスに対応
モジュールストップ機能	各チャネルに対してモジュールストップ状態に設定して消費電力の削減が可能	
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性を設定可能	



注. PCLK = PCLKB

図 47.1 SD/MMC ホストインタフェースのブロック図

表 47.2 SDHI 入出力端子 (n = 0, 1)

チャネル	端子名	I/O	説明
Ch n	SDnCLK	出力	SDHI クロック
	SDnCMD	I/O	コマンドの出力、レスポンスの入力
	SDnDAT0	I/O	データ 0 (DAT0)
	SDnDAT1	I/O	データ 1 (DAT1)、SDIO 割り込み
	SDnDAT2	I/O	データ 2 (DAT2)、SDIO リード待ち
	SDnDAT3	I/O	データ 3 (DAT3)、SD カード検出
	SDnDAT4	I/O	MMC データ 4 (DAT4)
	SDnDAT5	I/O	MMC データ 5 (DAT5)
	SDnDAT6	I/O	MMC データ 6 (DAT6)
	SDnDAT7	I/O	MMC データ 7 (DAT7)
	SDnCD	入力	SD カード検出
	SDnWP	入力	SD カードライトプロテクション

47.2 レジスタの説明

47.2.1 SD_CMD : コマンドタイプレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMD12AT[1:0]		TRSTP	CMDRW	CMDTP	RSPTP[2:0]			ACMD[1:0]		CMDIDX[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	CMDIDX[5:0]	Command Index フィールド値選択 Command Index フィールド値を設定します。例には ACMD[1:0]ビットのビット値が含まれています。 0x06: CMD6 0x12: CMD18 0x4D: ACMD13	R/W
7:6	ACMD[1:0]	コマンドタイプ選択 0 0: CMD 0 1: ACMD その他: 設定禁止	R/W
10:8	RSPTP[2:0]	レスポンスタイプ選択(注1) 0 0 0: ノーマルモード コマンド（ACMD[1:0]ビットおよび CMDIDX[5:0]ビットの組み合わせ）によって、レスポンスの種類と転送の方法が決まります。このとき、本レジスタの b15 - b11 の設定は無効です。 0 1 1: 拡張モード、レスポンスなし 1 0 0: 拡張モード、R1、R5、R6、または R7 レスポンス 1 0 1: 拡張モード、R1b レスポンス 1 1 0: 拡張モード、R2 レスポンス 1 1 1: 拡張モード、R3 または R4 レスポンス その他: 設定禁止	R/W
11	CMDTP	データ転送選択(注2) 0: コマンドタイプは、bc、bcr、ac のどれか（データ転送を行わないコマンド） 1: コマンドタイプは、adtc（データ転送を行うコマンド）	R/W
12	CMDRW	データ転送方向選択(注3) 0: 書き込み（SD/MMC ホストインタフェース→ SD カード／MMC） 1: 読み出し（SD/MMC ホストインタフェース ← SD カード／MMC）	R/W
13	TRSTP	ブロック転送選択(注3) 0: シングルブロック転送 1: マルチブロック転送	R/W
15:14	CMD12AT[1:0]	CMD12 自動送信選択(注4) 0 0: マルチブロック転送時に CMD12 を自動送信する 0 1: マルチブロック転送時に CMD12 を自動送信しない その他: 設定禁止	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ノーマルモードでは使用できないコマンドがあります。
注 2. CMDTP ビットは、RSPTP[2:0]ビットが 011b、100b、101b、110b、または 111b のときのみ有効です。
注 3. CMDRW ビットと TRSTP ビットは、RSPTP[2:0]ビットが 011b、100b、101b、110b、または 111b で、CMDTP ビットが 1 のときのみ有効です。
注 4. CMD12AT[1:0]ビットは、RSPTP[2:0]ビットが 011b、100b、101b、110b、または 111b で、TRSTP ビットが 1 のときのみ有効です。

SD_CMD レジスタは、コマンドやレスポンスの種類を設定するレジスタです。RSPTP[2:0]ビットが 011b、100b、101b、110b、または 111b の場合、コマンドタイプや転送モードを設定する必要があります。SD_CMD レジスタに値を書き込むと、SDHI はコマンドシーケンスを開始します。設定例については、表 47.8 および表 47.9 を参照してください。SD_INFO2.CBSY フラグが 1 のとき、SD_CMD レジスタへ書き込まないでください。

47.2.2 SD_ARG : SD コマンドアーギュメントレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	—	コマンドのフォーマット[39:8] (argument) を設定します。	R/W

注. S-TYPE-3, P-TYPE-3

SD_ARG レジスタは、argument フィールド値を設定するレジスタです。SD_CMD レジスタに書き込む前に SD_ARG レジスタに書き込んでください。なお、自動送信される CMD12 の argument フィールド値は、SD_ARG レジスタの値にかかわらず 0x0000_0000 です。

47.2.3 SD_ARG1 : SD コマンドアーギュメントレジスタ 1

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	コマンドのフォーマット[39:24] (argument) を設定します。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SD_ARG1 レジスタは、argument フィールド値を設定するレジスタです。SD_CMD レジスタに書き込む前に SD_ARG1 レジスタに書き込んでください。なお、自動送信される CMD12 の argument フィールド値は、SD_ARG1 レジスタの値にかかわらず 0x0000_0000 です。

47.2.4 SD_STOP : データストップレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SEC	—	—	—	—	—	—	—	STP
Value after reset:	0	0	0	0	0	0	0	0(注1)	0	0	0	0	0	0	0	0(注1)

ビット	シンボル	機能	R/W
0	STP	転送停止 1 にするとデータ転送が停止します。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SEC	ブロックカウントレジスタ値選択(注2) 0: SD_SECCNT レジスタ値を無効にする 1: SD_SECCNT レジスタ値を有効にする	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. この値はリセット、または SOFT_RST.SDRST フラグにより初期化されます。
注 2. SD_INFO2.CBSY フラグが 1 のとき、本ビットを書き換えないでください。

SD_STOP レジスタは、データ転送を停止するレジスタです。マルチブロック転送シーケンス時、SD_STOP レジスタの設定により SD_SECCNT レジスタ値（転送ブロック数）を有効または無効にすることが可能です。

STP ビット（転送停止）

マルチブロック転送時に STP ビットを 1 にすると、SDHI を通して CMD12 が送信され転送が停止します。ただし、通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD12 は送信されません。 STP を 1 にした後も引き続きバッファアクセスは可能ですが、これにより SD_INFO2 のバッファアクセスエラービット（ILR または ILW）が設定されます。

シングルブロックライト転送時に STP を 1 にすると、SD_BUF がエンプティの場合はアクセスエンドフラグが設定され、CMD12 は送信されません。SD_BUF にデータがある場合、CMD12 は送信されず、ビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。

シングルブロックリード転送時に STP を 1 にすると、STP ビットの設定直後にアクセスエンドフラグが設定され、CMD12 は送信されません。

R1b レスポンス後、ビジー状態の受信時に STP を 1 にすると、CMD12 は送信されず、ビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。

コマンドシーケンスの完了後に STP を 1 にすると、CMD12 は送信されず、アクセスエンドフラグは設定されません。

レスポンスエンドフラグの設定後に STP を 1 にしてください。

アクセスエンドフラグの設定後に STP を 0 にしてください。

SEC ビット（ブロックカウントレジスタ値選択）

SEC ビットが 1 であるときに、以下で SD_CMD を設定してコマンドシーケンスを開始すると、CMD12 が自動送信され、SD_SECCNT で設定したブロック数でマルチブロック転送が停止します。

ノーマルモードの CMD18 または CMD25 (SD_CMD[10:8] = 000b)

拡張モードの SD_CMD[15:13] = 001b（CMD12 は自動送信、マルチブロック転送）

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD12 は自動送信されません。

47.2.5 SD_SECCNT : ブロックカウントレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	—	本ビットは転送ブロック数を設定します。	R/W

注. S-TYPE-3, P-TYPE-3

SD_SECCNT レジスタは、マルチブロック転送時の転送ブロック数を設定する読み出し／書き込みレジスタです。たとえば、レジスタ値が 0x0000_0001 の場合、1 ブロックが転送されます。レジスタ値が 0x0000_FFFF の場合は 65535 ブロックが転送され、レジスタ値が 0xFFFF_FFFF の場合は 4294967295 ブロックが転送されます。
0x0000_0000 は設定しないでください。SD_INFO2.CBSY フラグが 1 のときは、SD_SECCNT レジスタを書き換えないでください。

47.2.6 SD_RSPi : SD カードレスポンスレジスタ i (i = 10, 32, 54)

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x018 (SD_RSP10)
0x020 (SD_RSP32)
0x028 (SD_RSP54)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	—	本ビットは SD カード／MMC からのレスポンスを格納します。	R

注. S-TYPE-3, P-TYPE-3

47.2.7 SD_RSPj : SD カードレスポンスレジスタ j (j = 1, 3, 5)

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x01C (SD_RSP1)
0x024 (SD_RSP3)
0x02C (SD_RSP5)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	SD カード／MMC からのレスポンスを格納します。	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

47.2.8 SD_RSP76 : SD カードレスポンスレジスタ 76

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	SD_RSP76[23:16]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SD_RSP76[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	SD_RSP76[23:0]	SD カード／MMC からのレスポンスを格納します。	R
31:24	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

47.2.9 SD_RSP7 : SD カードレスポンスレジスタ 7

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x034

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SD_RSP7[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SD_RSP7[7:0]	SD カード／MMC からのレスポンスを格納します。	R
31:8	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

SD_RSP10、SD_RSP32、SD_RSP54、SD_RSP1、SD_RSP3、SD_RSP5、SD_RSP76、および SD_RSP7 は、SD カード／ MMC からのレスポンスを格納する、読み出し専用のレジスタです。SD/MMC ホストインタフェースは、SD カード／ MMC からのレスポンスの種類により、レスポンスの内容を 4 つのレジスタに分割して格納します。

表 47.3 に、レスポンスタイプとその格納先の対応を示します。

表 47.3 レスポンスタイプと格納先の対応

レスポンスタイプ	SD_RSP10 レジスタ	SD_RSP32 レジスタ	SD_RSP54 レジスタ	SD_RSP1 レジスタ	SD_RSP3 レジスタ	SD_RSP5 レジスタ	SD_RSP76 レジスタ	SD_RSP7 レジスタ
R1	[39 :8]	—	[39 :8](注1)	—	—	—	—	—
R1b	[39 :8]	—	[39 :8](注1)	—	—	—	—	—
R2	[39 :8]	[71 :40]	[103 :72]	—	—	—	[127 :104]	—
R3	[39 :8]	—	—	—	—	—	—	—
R4	[39 :8]	—	—	—	—	—	—	—
R5	[39 :8]	—	—	—	—	—	—	—
R6	[39 :8]	—	—	—	—	—	—	—
R7	[39 :8]	—	—	—	—	—	—	—

注 1. CMD18 および CMD25 に対するレスポンスは、SD_RSP10 レジスタおよび SD_RSP54 レジスタに格納されます。このため、SD_RSP10 レジスタが自動送信された CMD12 に対するレスポンスで上書きされても、SD_RSP54 レジスタを読み出すことで CMD18 または CMD25 に対するレスポンスを確認できます。

47.2.10 SD_INFO1 : SD カード割り込みフラグレジスタ 1

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x038

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SDD3MON	SDD3IN	SDD3RM	SDWPMON	—	SDCDMON	SDCDIN	SDCDRM	ACEND	—	RSPEND
Value after reset:	0	0	0	0	0	x	0	0	x	0	x	0	0	0(注1)	0	0(注1)

ビット	シンボル	機能	R/W
0	RSPEND	レスポンスエンド検出フラグ 0: レスポンスエンドの検出なし 1: レスポンスエンドの検出あり	R/(W) (注2)
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	ACEND	アクセスエンド検出フラグ 0: アクセスエンドの検出なし 1: アクセスエンドの検出あり	R/(W) (注2)
3	SDCDRM	SDnCD 抜去フラグ 0: SDnCD 端子による SD カード／MMC 抜去の検出なし 1: SDnCD 端子による SD カード／MMC 抜去の検出あり	R/(W) (注2)
4	SDCDIN	SDnCD 挿入フラグ 0: SDnCD 端子による SD カード／MMC 挿入の検出なし 1: SDnCD 端子による SD カード／MMC 挿入の検出あり	R/(W) (注2)
5	SDCDMON	SDnCD 端子モニタフラグ 0: SDnCD 端子のレベルはハイ(注3) 1: SDnCD 端子のレベルはロー(注3)	R
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SDWPMON	SDnWP 端子モニタフラグ 0: SDnWP 端子のレベルはハイ 1: SDnWP 端子のレベルはロー	R
8	SDD3RM	SDnDAT3 抜去フラグ 0: SDnDAT3 端子による SD カード／MMC 抜去の検出なし 1: SDnDAT3 端子による SD カード／MMC 抜去の検出あり	R/(W) (注2)
9	SDD3IN	SDnDAT3 挿入フラグ 0: SDnDAT3 端子による SD カード／MMC 挿入の検出なし 1: SDnDAT3 端子による SD カード／MMC 挿入の検出あり	R/(W) (注2)
10	SDD3MON	SDnDAT3 端子モニタフラグ 0: SDnDAT3 端子のレベルはロー 1: SDnDAT3 端子のレベルはハイ	R
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. この値はリセット、または SOFT_RST.SDRST フラグにより初期化されます。
注 2. 1 にしてもフラグは変化しません。0 を書き込むとフラグの値は 0 になります。
注 3. SD_OPTION.CTOP[3:0]ビットで設定した期間以上、同じ端子レベルが継続したときにフラグが変化します。

SD_INFO1 レジスタは、コマンドシーケンスにおけるレスポンスエンドまたはアクセスエンドの検出を表示します。また、SD カード／ MMC の挿入／除去の検出およびライトプロテクションの状態を表示します。

マルチブロック転送シーケンス中に CMD12 または CMD52 (SDIO abort) を送信した場合、ACEND フラグは 1 になりますが、RSPEND フラグは 0 の状態を保持します。

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、ACEND フラグまたは RSPEND フラグが 1 になります。

SDD3MON ビット、SDD3IN フラグ、SDD3RM フラグはリセット解除後、SDnDAT3 (n = 0, 1) 端子の状態により変化します。また、ワイドバスモードでのデータ転送中にも変化します。これらの 3 つのビットは SD カードにのみ使用されます。クリアするフラグを 0 にしてください。クリアされていないフラグは 1 にしてください。

RSPEND フラグ（レスポンスエンド検出フラグ）

RSPEND フラグはレスポンスエンドが検出されたことを示します。

[1 になる条件]

- レスポンスの受信が完了したとき。
- レスポンスがないコマンドの送信が完了したとき。
- R1b レスポンス後のビジー状態の受信が完了したとき。
- マルチブロックリード転送で、C52PUB ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき。
- マルチブロックライト転送で、C52PUB ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき。
- 通信エラーまたはタイムアウトによりコマンドシーケンスが停止したとき。

[0 になる条件]

- RSPEND に 0 を書き込んだとき。
- データのないコマンドが送信されたとき。

注. データ転送のないコマンドを送信したときは、コマンドシーケンスが終了した後に RSPEND フラグが 1 になります。

ACEND フラグ（アクセスエンド検出フラグ）

ACEND フラグはアクセスエンドが検出されたことを示します。

[1 になる条件]

- シングルブロックリード転送で、バッファに対する読み出しが完了したとき。
- マルチブロックリード転送で、データの最終ブロックのバッファに対する読み出しが完了したとき。
- CMD12 を自動送信するマルチブロックリード転送で、バッファに対する読み出しおよび CMD12 に対するレスポンスの受信が完了したとき。
- シングルブロックライト転送で、CRC ステータスを受信した後、ビジー状態の受信が完了したとき。
- マルチブロックライトの転送で、データの最終ブロックの CRC ステータスを受信した後、ビジー状態の受信が完了したとき。
- CMD12 を自動送信するマルチブロックライト転送で、CMD12 に対するレスポンスビジー状態の受信が完了したとき。
- マルチブロックリード転送で、STP ビットを 1 にして送信された CMD12 に対するレスポンスの受信が完了したとき。
- マルチブロックライト転送で、STP ビットを 1 にして送信された CMD12 に対するレスポンスビジー状態の受信が完了したとき。
- マルチブロックリード転送で、IOABT ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき。
- マルチブロックライト転送で、IOABT ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき。
- 通信エラーまたはタイムアウトによりコマンドシーケンスが停止したとき。

[0 になる条件]

- ACEND に 0 を書き込んだとき。

- アクセスエンドビットが 1 に設定されたとき。

注. コマンドシーケンスが終了した後、ACEND フラグは 1 になります。

SDCDRM フラグ（SDnCD 抜去フラグ）

SDCDRM フラグは SDnCD が抜去されたことを示します。

[1 になる条件]

- SDnCD が 0 から 1 に変化した後、SDnCD が 1 に保持された状態で M cycle が経過したとき。

[0 になる条件]

- SDCDRM に 0 を書き込んだとき。

注. M cycle は SD_OPTION[3:0]ビットで設定されます。

SDCDIN フラグ（SDnCD 挿入フラグ）

SDCDIN フラグは SDnCD が挿入されたことを示します。

[1 になる条件]

- SDnCD が 1 から 0 に変化した後、SDnCD が 0 に保持された状態で M cycle が経過したとき。

[0 になる条件]

- SDCDIN に 0 を書き込んだとき。

注. M cycle は SD_OPTION[3:0]ビットで設定されます。

SDD3RM フラグ（SDnDAT3 抜去フラグ）

SDD3RM フラグは SDnDAT3 が抜去されたことを示します。

[1 になる条件]

- SDnDAT3 が 1 から 0 に変化した後、SDnDAT3 が 0 に保持された状態で PCLKB の 2 サイクルが経過したとき。

[0 になる条件]

- SDD3RM に 0 を書き込んだとき。

SDD3IN フラグ（SDnDAT3 挿入フラグ）

SDD3IN フラグは SDnDAT3 が挿入されたことを示します。

[1 になる条件]

- SDnDAT3 が 0 から 1 に変化した後、SDnDAT3 が 1 に保持された状態で PCLKB の 2 サイクルが経過したとき。

[0 になる条件]

- SDD3IN に 0 を書き込んだとき。

47.2.11 SD_INFO2 : SD カード割り込みフラグレジスタ 2

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x03C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ILA	CBSY	SD_CLK_CTRLEN	—	—	—	BWE	BRE	SDD0MON	RSPTO	ILR	ILW	DTO	ENDE	CRCE	CMDE
Value after reset:	0(注1)	0(注1)	1(注1)	0	x	0	0(注1)	0(注1)	x	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)

ビット	シンボル	機能	R/W
0	CMDE	コマンドエラー検出フラグ 0: コマンドエラーの検出なし 1: コマンドエラーの検出あり	R/W(注2)
1	CRCE	CRC エラー検出フラグ 0: CRC エラーの検出なし 1: CRC エラーの検出あり	R/W(注2)
2	ENDE	エンドビットエラー検出フラグ 0: エンドビットエラーの検出なし 1: エンドビットエラーの検出あり	R/W(注2)
3	DTO	データタイムアウト検出フラグ 0: データタイムアウトの検出なし 1: データタイムアウトの検出あり	R/W(注2)
4	ILW	SD_BUF0 不正書き込み検出フラグ 0: SD_BUF0 レジスタへの不正書き込みの検出なし 1: SD_BUF0 レジスタへの不正書き込みの検出あり	R/W(注2)
5	ILR	SD_BUF0 不正読み出し検出フラグ 0: SD_BUF0 レジスタへの不正読み出しの検出なし 1: SD_BUF0 レジスタへの不正読み出しの検出あり	R/W(注2)
6	RSPTO	レスポンスタイムアウト検出フラグ 0: レスポンスタイムアウトの検出なし 1: レスポンスタイムアウトの検出あり	R/W(注2)
7	SDD0MON	SDnDAT0 端子ステータスフラグ 0: SDnDAT0 端子がロー 1: SDnDAT0 端子がハイ	R
8	BRE	SD_BUF0 読み出し許可フラグ 0: SD_BUF0 レジスタへの読み出し禁止 1: SD_BUF0 レジスタへの読み出し許可	R/W(注2)
9	BWE	SD_BUF0 書き込み許可フラグ 0: SD_BUF0 レジスタへの書き込み禁止 1: SD_BUF0 レジスタへの書き込み許可	R/W(注2)
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	—	読み出し値は不定です。書く場合、1 としてください。	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	SD_CLK_CTRLEN	SD_CLK_CTRL 書き込み許可フラグ 0: SD/MMC バス（CMD ラインと DAT ライン）がビジー状態であるため、SD_CLK_CTRL.CLKEN ビットと CLKSEL[7:0]ビットへの書き込み禁止 1: SD/MMC バス（CMD ラインと DAT ライン）がビジー状態ではないため、SD_CLK_CTRL.CLKEN ビットと CLKSEL[7:0]ビットへの書き込み許可	R

ビット	シンボル	機能	R/W
14	CBSY	コマンドシーケンスステータスフラグ 0: コマンドシーケンス完了 1: コマンドシーケンス進行中（ビジー状態）	R
15	ILA	不正アクセスエラー検出フラグ 0: 不正アクセスエラーの検出なし 1: 不正アクセスエラーの検出あり	R/W(注2)
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. リセットで初期化されます。また、SOFT_RST.SDRST フラグによるリセットの場合も初期化されます。
注 2. このフラグは 1 に設定しても変更されません。0 を書くとフラグの値は 0 になります。

SD_INFO2 レジスタは、SD バッファおよび SD カード／ MMC のステータスを表示します。クリアするフラグを 0 にしてください。クリアされていないフラグは 1 にしてください。

CMDE フラグ（コマンドエラー検出フラグ）

CMDE フラグはコマンドエラーが検出されたことを示します。コマンドシーケンスはコマンドエラーが発生すると停止します。SDIO_MODE.C52PUB ビットが 1 および CMD52 が自動送信されたとき、通信エラーまたはレスポンスタイムアウトが起こると、コマンドシーケンスは完了しません。「47.3.12. IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックリード）」または「47.3.13. IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックライト）」に示したエラー処理を実行し、コマンドシーケンスを完了してください。

[1 になる条件]

- 送信したコマンドの command index と受信したレスポンスの command index が異なるとき。
- コマンドシーケンス中に送信したコマンドの command index と受信したレスポンスの command index が異なるとき。

[0 になる条件]

- CMDE に 0 を書き込んだとき。

CRCE フラグ（CRC エラー検出フラグ）

CRCE フラグは CRC エラーが検出されたことを示します。コマンドシーケンスは CRC エラーが発生すると停止します。SDIO_MODE.C52PUB ビットが 1 および CMD52 が自動送信されたとき、通信エラーまたはレスポンスタイムアウトが起こると、コマンドシーケンスは完了しません。「47.3.12. IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックリード）」または「47.3.13. IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックライト）」に示したエラー処理を実行し、コマンドシーケンスを完了してください。

[1 になる条件]

- CRC ステータスにエラーが発生したとき。
- 読み出したデータに CRC エラーが発生したとき。
- レスポンスに CRC エラーが発生したとき。
- コマンドシーケンス中に送信したコマンドに対するレスポンスに CRC エラーがあるとき。

[0 になる条件]

- CRCE に 0 を書き込んだとき。

ENDE フラグ（エンドビットエラー検出フラグ）

ENDE フラグはエンドビットエラーが検出されたことを示します。コマンドシーケンスはエンドビットエラーが発生すると停止します。SDIO_MODE.C52PUB ビットが 1 および CMD52 が自動送信されたとき、通信エラーまたはレスポンスタイムアウトが起こると、コマンドシーケンスは完了しません。「47.3.12. IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックリード）」または「47.3.13. IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックライト）」に示したエラー処理を実行し、コマンドシーケンスを完了してください。

[1 になる条件]

- レスポンス長にエラーが発生したとき（エンドビットが検出されなかったとき）。

- 読み出しデータ長にエラーが発生したとき（有効ビットにエンドビットが検出されなかったとき）。
- CRC ステータス長にエラーが発生したとき（エンドビットが検出されなかったとき）。
- コマンドシーケンス中に送信したコマンドに対するレスポンス長にエラーがあるとき（たとえば、エンドビットが検出されなかったとき）。

[0 になる条件]

- ENDE に 0 を書き込んだとき。

DTO フラグ（データタイムアウト検出フラグ）

DTO フラグはデータタイムアウトが検出されたことを示します。コマンドシーケンスはデータタイムアウトが発生すると停止します。

[1 になる条件]

- R1b レスポンス後、N cycle を超える期間にわたってビジー状態 (SDnDAT0 = 0) が継続しているとき。
- CRC ステータス後、N cycle を超える期間にわたってビジー状態 (SDnDAT0 = 0) が継続しているとき。
- データを書き込んだ後、N cycle が経過しても CRC ステータスを受信しないとき。
- リードコマンド後、N cycle を超える時間が経過しても読み出しデータを受信しないとき。
- コマンドシーケンス中に CMD12 が送信された後、N cycle を超える期間にわたってビジー状態 (SDnDAT0 = 0) が継続しているとき。
- 読み出しデータを受信した後、N cycle を超える時間が経過しても次ブロックの読み出しデータを受信しないとき。
- リード待ち状態が解除された後、N cycle を超える時間が経過しても次ブロックの読み出しデータを受信しないとき。

注. N cycle は SD_OPTION[7:4]ビットに設定されます。

[0 になる条件]

- DTO に 0 を書き込んだとき。

ILW フラグ（SD_BUF0 不正書き込み検出フラグ）

ILW フラグはエンド SD_BUF0 不正書き込みが検出されたことを示します。

[1 になる条件]

- リード／ライトコマンドステートではないときに SD_BUF0 にデータを書き込んだとき。
- SD_BUF がフルのときに SD_BUF0 にデータを書き込んだとき。
- CRC ステータスまたは CRC ステータス長にエラーが発生した場合に SD_BUF0 にデータを書き込んだとき。
- CRC ステータス後のビジー状態が N cycle を超える期間にわたって継続しているときに SD_BUF0 にデータを書き込んだとき。

注. N cycle は SD_OPTION[7:4]ビットに設定されます。

[0 になる条件]

- ILW に 0 を書き込んだとき。

ILR フラグ（SD_BUF0 不正読み出し検出フラグ）

ILR フラグは SD_BUF0 不正読み出しが検出されたことを示します。

[1 になる条件]

- SD_BUF0 を読み出しているときに SD_BUF がエンプティのとき。
- CRC エラーまたは END エラーを含むデータを SD_BUF0 から読み出したとき。

[0 になる条件]

- ILR に 0 を書き込んだとき。

RSPTO フラグ（レスポンスタイムアウト検出フラグ）

RSPTO フラグはレスポンスタイムアウトが検出されたことを示します。コマンドシーケンスはレスポンスタイムアウトが発生すると停止します。SDIOMD.C52PUB ビットが 1 で、かつ CMD52 が自動的に発行されたときに、通信エラーまたはレスポンスタイムアウトが発生した場合、コマンドシーケンスは完了していません。「47.3.12. IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックリード）」または「47.3.13. IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックライト）」に示したエラー処理を実行し、コマンドシーケンスを完了してください。

[1 になる条件]

- SD/MMC クロックの 640 サイクルを超える時間が経過してもレスポンスを受信しないとき（コマンドシーケンス中に送信したコマンドに対するレスポンスを含む）。

[0 になる条件]

- RSPTO に 0 を書き込んだとき。

SDD0MON フラグ（SDnDAT0 端子ステータスフラグ）

SDD0MON フラグは SDnDAT0 端子の状態を示します。イレースコマンドを送信した後、データタイムアウト (DTO) が設定されていても、レスポンスタイムアウト (RSPTO) が設定されていない場合、DAT0 のポーリングによりイレースシーケンスの終了 (SDD0MON = 1) が確認されます。

なお、ライトシーケンス中に通信エラーまたはタイムアウトが発生すると、DAT0 ビットの値が 0 のままになっている場合があります。

SD/MMC クロックが停止しているとき、DAT0 ビットはクロックが停止する前に値を保持します。

BRE フラグ（SD_BUF0 読み出し許可フラグ）

BRE フラグは SD_BUF0 の読み出しが許可されていることを示します。

[1 になる条件]

- シングルブロック転送時、SD_SIZE に設定したデータが SD_BUF0 に格納されたとき。
- マルチブロック転送時、SD_SIZE に設定したデータが SD_BUF0 のバンク 1 またはバンク 2 のいずれかに格納されたとき。

[0 になる条件]

- BRE に 0 を書き込んだとき。
- DMA 転送にて SD_BUF0 からデータを 1 ブロック分読み出したとき。

CPU にて SD_BUF0 からデータを読み出す場合、BRE をクリアしてから、SD_SIZE に設定したデータ量を読み出すようにしてください。

ブロックデータを読み出しているときに CRC エラーまたは END エラーが発生した場合も、SD_BUF0 にデータが格納され、BRE が設定されます。

BWE フラグ（SD_BUF0 書き込み許可フラグ）

BWE フラグは SD_BUF0 の書き込みが許可されていることを示します。

[1 になる条件]

- シングルブロック転送時、SD_BUF0 がエンプティのとき。
- マルチブロック転送時、SD_BUF0 のバンク 1 またはバンク 2 のいずれかがエンプティのとき。

[0 になる条件]

- BWE に 0 を書き込んだとき。
- DMA 転送にて SD_BUF0 にデータを 1 ブロック分書き込んだとき。

CPU にて SD_BUF0 にデータを書き込む場合、BWE をクリアしてから、SD_SIZE に設定したデータ量を書き込むようにしてください。

SD_CLK_CTRLEN フラグ（SD_CLK_CTRL 書き込み許可フラグ）

SD_CMD への書き込みによってコマンドシーケンスが開始すると、CBSY ビットが 1 になると同時に、SD_CLK_CTRLEN ビットが 0 になります。コマンドシーケンスの完了時に CBSY ビットが 0 にクリアされた後、SDCLK クロックの 8 サイクルが経過した後に SD_CLK_CTRLEN ビットが 1 になります。

ILA フラグ（不正アクセスエラー検出フラグ）

ILA フラグは不正アクセスエラーが検出されたことを示します。

[1 になる条件]

- コマンドシーケンス中に SD_CMD にデータを書き込んだとき (CBSY = 1)。
- SD_CMD において SD_CMD[11] = 1（データ転送のあるコマンド）かつ SD_CMD[7:0] = 0000 1100b (CMD12) に設定したとき。

[0 になる条件]

- ILA に 0 を書き込んだとき。

47.2.12 SD_INFO1_MASK : SD INFO1 割り込みマスクレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SDD3INM	SDD3RMM	—	—	—	SDCDINM	SDCDRMM	ACENDM	—	RSPENDM
Value after reset:	0	0	0	0	0	0	1	1	0	0	0	1	1	1	0	1

ビット	シンボル	機能	R/W
0	RSPENDM	レスポンスエンド割り込み要求マスク 0: レスポンスエンド割り込み要求をマスクしない 1: レスポンスエンド割り込み要求をマスクする	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	ACENDM	アクセスエンド割り込み要求マスク 0: アクセスエンド割り込み要求をマスクしない 1: アクセスエンド割り込み要求をマスクする	R/W
3	SDCDRMM	SDnCD 抜去割り込み要求マスク 0: SDnCD 端子による SD カード／MMC 抜去割り込み要求をマスクしない 1: SDnCD 端子による SD カード／MMC 抜去割り込み要求をマスクする	R/W
4	SDCDINM	SDnCD 挿入割り込み要求マスク 0: SDnCD 端子による SD カード／MMC 挿入割り込み要求をマスクしない 1: SDnCD 端子による SD カード／MMC 挿入割り込み要求をマスクする	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SDD3RMM	SDnDAT3 抜去割り込み要求マスク 0: SDnDAT3 端子による SD カード／MMC 抜去割り込み要求をマスクしない 1: SDnDAT3 端子による SD カード／MMC 抜去割り込み要求をマスクする	R/W
9	SDD3INM	SDnDAT3 挿入割り込み要求マスク 0: SDnDAT3 端子による SD カード／MMC 挿入割り込み要求をマスクしない 1: SDnDAT3 端子による SD カード／MMC 挿入割り込み要求をマスクする	R/W

ビット	シンボル	機能	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SD_INFO1_MASK レジスタは、SD_INFO1 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。各ステータスフラグと要求される割り込み要因の関係は表 47.5 を参照してください。

47.2.13 SD_INFO2_MASK : SD INFO2 割り込みマスクレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x044

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ILAM	—	—	—	—	—	BWEM	BREM	—	RSPTOM	ILRM	ILWM	DTOM	ENDEM	CRCEM	CMDEM
Value after reset:	1	0	0	0	1	0	1	1	0	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	CMDEM	コマンドエラー割り込み要求マスク 0: コマンドエラー割り込み要求をマスクしない 1: コマンドエラー割り込み要求をマスクする	R/W
1	CRCEM	CRC エラー割り込み要求マスク 0: CRC エラー割り込み要求をマスクしない 1: CRC エラー割り込み要求をマスクする	R/W
2	ENDEM	エンドビットエラー割り込み要求マスク 0: エンドビット検出エラー割り込み要求をマスクしない 1: エンドビット検出エラー割り込み要求をマスクする	R/W
3	DTOM	データタイムアウト割り込み要求マスク 0: データタイムアウト割り込み要求をマスクしない 1: データタイムアウト割り込み要求をマスクする	R/W
4	ILWM	SD_BUF0 レジスタ不正書き込み割り込み要求マスク 0: SD_BUF0 レジスタへの不正書き込み検出割り込み要求をマスクしない 1: SD_BUF0 レジスタへの不正書き込み検出割り込み要求をマスクする	R/W
5	ILRM	SD_BUF0 レジスタ不正読み出し割り込み要求マスク 0: SD_BUF0 レジスタへの不正読み出し検出割り込み要求をマスクしない 1: SD_BUF0 レジスタへの不正読み出し検出割り込み要求をマスクする	R/W
6	RSPTOM	レスポンスタイムアウト割り込み要求マスク 0: レスポンスタイムアウト割り込み要求をマスクしない 1: レスポンスタイムアウト割り込み要求をマスクする	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BREM(注1)	BRE 割り込み要求マスク 0: SD バッファへの読み出し許可割り込み要求をマスクしない 1: SD バッファへの読み出し許可割り込み要求をマスクする	R/W
9	BWEM(注1)	BWE 割り込み要求マスク 0: SD_BUF0 レジスタへの書き込み許可割り込み要求をマスクしない 1: SD_BUF0 レジスタへの書き込み許可割り込み要求をマスクする	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15	ILAM	不正アクセスエラー割り込み要求マスク 0: 不正アクセスエラー割り込み要求をマスクしない 1: 不正アクセスエラー割り込み要求をマスクする	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. SD_INFO2_MASK.BWEM ビットまたは SD_INFO2_MASK.BREM ビットのどちらかが 0 のとき、SD_DMAEN.DMAEN ビットは 0 にしてください。SD_DMAEN.DMAEN ビットが 1 のとき、SD_INFO2_MASK.BWEM ビットおよび SD_INFO2_MASK.BREM ビットは 1 にしてください。

SD_INFO2_MASK レジスタは、SD_INFO2 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。各ステータスフラグと要求される割り込み要因の関係は表 47.5 を参照してください。

47.2.14 SD_CLK_CTRL : SD クロックコントロールレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x048

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CLKCTRLEN	CLKEN	CLKSEL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0(注1)	0	0	1	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CLKSEL[7:0]	SDHI クロック周波数選択(注2) 0xFF: PCLKB 0x00: PCLKB/2 0x01: PCLKB/4 0x02: PCLKB/8 0x04: PCLKB/16 0x08: PCLKB/32 0x10: PCLKB/64 0x20: PCLKB/128 0x40: PCLKB/256 0x80: PCLKB/512 その他: 設定禁止	R/W
8	CLKEN	SD/MMC クロック出力制御(注2) 0: SD/MMC クロック出力は無効（SDnCLK 信号を Low に固定） 1: SD/MMC クロック出力は有効	R/W
9	CLKCTRLEN	SD/MMC クロック出力自動制御選択 0: SD/MMC クロック出力の自動制御は無効 1: SD/MMC クロック出力の自動制御は有効	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. リセットで初期化されます。また、SOFT_RST.SDRST フラグによるリセットの場合も初期化されます。
注 2. SD_INFO2.SD_CLK_CTRLEN フラグが 0 のとき、CLKSEL[7:0]と CLKEN に書き込むことはできません。

SD_CLK_CTRL レジスタは、SD/MMC クロックの周波数の設定や出力を制御します。SD_CMD レジスタに値を書き込んでコマンドシーケンスが開始される前に、CLKEN ビットを 1 にしてください。
SD_INFO2.SD_CLK_CTRLEN フラグが 0 のとき、SD_CLK_CTRL レジスタへ書き込まないでください。

CLKCTRLEN ビット（SD/MMC クロック出力自動制御選択）

CLKCTRLEN ビットはコマンドシーケンス中だけ SD/MMC クロックを出力する SD/MMC クロック出力の自動制御機能を許可／禁止します。

SD/MMC クロック出力が開始および停止するタイミングは以下のとおりです。

- SD/MMC クロック出力は、SD_CMD への書き込み後に開始する。
- SD/MMC クロック出力は、コマンドシーケンスの終了後に SD/MMC クロックの 8 サイクルが経過すると停止する。

また、SD_CLK_CTRL の SCLKEN が 0 のときは、本ビットの値にかかわらず、SD/MMC クロックは 0 に固定されます。

47.2.15 SD_SIZE : 転送データ長レジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x04C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	LEN[9:0]									
Value after reset:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	LEN[9:0]	転送データサイズ設定 転送データサイズを設定します。(注1)	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. SD_INFO2.CBSY フラグが 1 のとき、これらのビットを書き換えないでください。

SD_SIZE レジスタは、転送データサイズを設定するレジスタです。

LEN[9:0]ビット（転送データサイズ設定）

シングルブロック転送時には、LEN[9:0]ビットに転送データサイズを 1 バイト～512 バイトの範囲で設定できます。マルチブロック転送時（CMD18 と CMD25）に CMD12 を自動発行する場合は、転送データサイズは 512 バイトのみ設定できます。マルチブロック転送時に CMD12 を自動発行しない場合は、転送データサイズは 32、64、128、256、または 512 バイトを設定できます。ただし、32、64、128、または 256 バイトのマルチブロックリード転送は、SDIO のマルチブロック転送時 (CMD53) にのみ実行できます。データ転送のあるコマンドを使用する場合は、これらのビットを 0 にしないでください。

47.2.16 SD_OPTION : SD カードアクセスコントロールオプションレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x050

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WIDTH	—	WIDTH8	—	—	—	—	TOUTMASK	TOP[3:0]				CTOP[3:0]			
Value after reset:	0(注1)	1	0(注1)	0	0	0	0	0(注1)	1(注1)	1(注1)	1(注1)	0(注1)	1(注1)	1(注1)	1(注1)	0(注1)

ビット	シンボル	機能	R/W
3:0	CTOP[3:0]	カード検出タイムカウンタ(注2) 0x0: PCLKB × 2^{10} 0x1: PCLKB × 2^{11} 0x2: PCLKB × 2^{12} 0x3: PCLKB × 2^{13} 0x4: PCLKB × 2^{14} 0x5: PCLKB × 2^{15} 0x6: PCLKB × 2^{16} 0x7: PCLKB × 2^{17} 0x8: PCLKB × 2^{18} 0x9: PCLKB × 2^{19} 0xA: PCLKB × 2^{20} 0xB: PCLKB × 2^{21} 0xC: PCLKB × 2^{22} 0xD: PCLKB × 2^{23} 0xE: PCLKB × 2^{24} 0xF: 設定禁止	R/W
7:4	TOP[3:0]	タイムアウトカウンタ(注2) 0x0: SDHI クロック × 2^{13} 0x1: SDHI クロック × 2^{14} 0x2: SDHI クロック × 2^{15} 0x3: SDHI クロック × 2^{16} 0x4: SDHI クロック × 2^{17} 0x5: SDHI クロック × 2^{18} 0x6: SDHI クロック × 2^{19} 0x7: SDHI クロック × 2^{20} 0x8: SDHI クロック × 2^{21} 0x9: SDHI クロック × 2^{22} 0xA: SDHI クロック × 2^{23} 0xB: SDHI クロック × 2^{24} 0xC: SDHI クロック × 2^{25} 0xD: SDHI クロック × 2^{26} 0xE: SDHI クロック × 2^{27} 0xF: 設定禁止	R/W
8	TOUTMASK	タイムアウトマスク 0: タイムアウトの有効化 1: タイムアウトの無効化（SD_INFO2 の RSPTO ビットと DTO ビット、または SD_ERR_STS2 の CRCBSYTO ビット、CRCTO ビット、RDTO ビット、BSYTO1 ビット、BSYTO0 ビット、RSPTO1 ビット、RSPTO0 ビットは設定しないでください） タイムアウトの無効化によりタイムアウトが発生した場合、ソフトウェアリセットを実行してコマンドシーケンスを終了してください。	R/W

ビット	シンボル	機能	R/W
12:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	WIDTH8	バス幅(注2) b15（WIDTH ビット）を参照してください。	R/W
14	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
15	WIDTH	バス幅(注2) WIDTH / WIDTH8 / バス幅 0 / 1 / 8 ビット幅 0 / 0 / 4 ビット幅 1 / 0 / 1 ビット幅 1 / 1 / 1 ビット幅 1 バイトライト転送の場合、4 ビット幅または 1 ビット幅を設定してください。8 ビット幅を設定しないでください。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. この値はリセット、または SOFT_RST.SDRST フラグにより初期化されます。
注 2. SD_INFO2.CBSY フラグが 1 のとき、これらのビットを書き換えないでください。

SD バス幅およびタイムアウトカウンタは SD_OPTION レジスタで設定します。

47.2.17 SD_ERR_STS1 : SD エラーステータスレジスタ 1

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CRCTK[2:0]			CRCTKE	RDCRCE	RSPCRCE1	RSPCRCE0	—	—	CRCLENE	RDLENE	RSPLENE1	RSPLENE0	CMDE1	CMDE0
Value after reset:	0	0(注1)	1(注1)	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)	0	0	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)

ビット	シンボル	機能	R/W
0	CMDE0	コマンドエラーフラグ 0 0: コマンド(注2)レスポンスの command index フィールド値にエラーなし 1: コマンド(注2)レスポンスの command index フィールド値にエラーあり	R
1	CMDE1	コマンドエラーフラグ 1 0: コマンド(注3)レスポンスの command index フィールド値にエラーなし 1: コマンド(注3)レスポンスの command index フィールド値にエラーあり（SD_CMD.CMDIDX[5:0]の設定により、CMD12 送信時のエラーは CMDE0 フラグに表示）	R
2	RSPLENE0	レスポンス長エラーフラグ 0 0: コマンド(注2)レスポンス長にエラーなし 1: コマンド(注2)レスポンス長にエラーあり	R
3	RSPLENE1	レスポンス長エラーフラグ 1 0: コマンド(注3)レスポンス長にエラーなし 1: コマンド(注3)レスポンス長にエラーあり（SD_CMD.CMDIDX[5:0]の設定により、CMD12 送信時のエラーは RSPLENE0 フラグに表示）	R
4	RDLENE	読み出しデータ長エラーフラグ 0: 読み出しデータ長エラーの発生なし 1: 読み出しデータ長エラーの発生あり	R

ビット	シンボル	機能	R/W
5	CRCLENE	CRC ステータストークン長エラーフラグ 0: CRC ステータストークン長エラーの発生なし 1: CRC ステータストークン長エラーの発生あり	R
7:6	—	読むと 0 が読めます。	R
8	RSPCRCE0	レスポンス CRC エラーフラグ 0 0: コマンド(注2)レスポンスに CRC エラーの検出なし 1: コマンド(注2)のレスポンスに CRC エラーの検出あり	R
9	RSPCRCE1	レスポンス CRC エラーフラグ 1 0: コマンド(注3)レスポンスに CRC エラーの検出なし（SD_CMD.CMDIDX[5:0]の設定により、CMD12 送信時のエラーは RSPCRCE0 フラグに表示） 1: コマンド(注3)のレスポンスに CRC エラーあり	R
10	RDCRCE	読み出しデータ CRC エラーフラグ 0: 読み出しデータに CRC エラーの検出なし 1: 読み出しデータに CRC エラーの検出あり	R
11	CRCTKE	CRC ステータストークンエラーフラグ 0: CRC ステータストークンにエラーの検出なし 1: CRC ステータストークンにエラーの検出あり	R
14:12	CRCTK[2:0]	CRC ステータストークン これらのビットは CRC ステータストークン値を格納します（正常値は 010b）。	R
31:15	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3
注 1. リセットで初期化されます。また、SOFT_RST.SDRST フラグによるリセットの場合も初期化されます。
注 2. SD_CMD の設定によりマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52。
注 3. SD_CMD の設定によりマルチブロック転送の自動送信が有効な場合は CMD12、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52。

SD_ERR_STS1 レジスタは、CRC ステータストークン、CRC エラー、エンドビットエラー、およびコマンドエラーを表示します。

47.2.18 SD_ERR_STS2 : SD エラーステータスレジスタ 2

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x05C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	CRCBSYTO	CRCTO	RDTO	BSYTO1	BSYTO0	RSPTO1	RSPTO0
Value after reset:	0	0	0	0	0	0	0	0	0	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)

ビット	シンボル	機能	R/W
0	RSPTO0	レスポンスタイムアウトフラグ 0 0: コマンド(注2)を送信した後、SD/MMC クロックの 640 サイクル未満でレスポンスを受信した 1: コマンド(注2)を送信した後、SD/MMC クロックの 640 サイクル以上経過してもレスポンスを受信しなかった	R

ビット	シンボル	機能	R/W
1	RSPTO1	レスポンスタイムアウトフラグ 1 0: コマンド(注3)を送信した後、SD/MMC クロックの 640 サイクル未満でレスポンスを受信した 1: コマンド(注3)を送信した後、SD/MMC クロックの 640 サイクル以上経過してもレスポンスを受信しなかった（SD_CMD.CMDIDX[5:0]の設定により、CMD12 送信時のエラーは RSPTO0 フラグに表示）	R
2	BSYTO0	ビジータイムアウトフラグ 0 0: R1b レスポンス受信後、指定時間中に SD/MMC のビジー状態が解除された(注4) 1: R1b レスポンス受信後、指定時間(注4)が経過しても SD/MMC がビジー状態	R
3	BSYTO1	ビジータイムアウトフラグ 1 0: CMD12 の自動送信後、指定時間中に SD/MMC のビジー状態が解除された(注4) 1: CMD12 の自動送信後、指定時間(注4)が経過しても SD/MMC がビジー状態（SD_CMD.CMDIDX[5:0]の設定により、CMD12 送信時のエラーは BSYTO0 フラグに表示）	R
4	RDTO	リードデータタイムアウトフラグ リードコマンド送信時、指定時間(注4)が経過してもリードデータを受信しない場合、本フラグは 1 になります。 リードデータ受信時、指定時間(注4)が経過してもリードデータの次ブロックを受信しない場合、本フラグは 1 になります。 SD/MMC のリード待ち状態解除時、指定時間(注4)が経過してもリードデータの次ブロックを受信しない場合、本フラグは 1 になります。	R
5	CRCTO	CRC ステータストークンタイムアウトフラグ 0: CRC データを SD カード／MMC に書き込んだ後、指定時間中に CRC ステータストークンを受信した(注4) 1: CRC データを SD カード／MMC に書き込んだ後、指定時間(注4)が経過しても CRC ステータストークンを受信しなかった	R
6	CRCBSYTO	CRC ステータストークンビジータイムアウトフラグ 0: CRC ステータストークン受信後、指定時間中に SD/MMC のビジー状態が解除された(注4) 1: CRC ステータストークン受信後、指定時間(注4)が経過しても SD/MMC がビジー状態	R
31:7	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3
注 1. リセットで初期化されます。また、SOFT_RST.SDRST フラグによるリセットの場合も初期化されます。
注 2. SD_CMD の設定によりマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52。
注 3. SD_CMD の設定によりマルチブロック転送の自動送信が有効な場合は CMD12、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52。
注 4. SD_OPTION.TOP[3:0]ビットで設定して、サイクル数 *n* を選択します。

SD_ERR_STS2 レジスタは、タイムアウトの状態を表示します。

47.2.19 SD_BUF0 : SD バッファレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
31:0	n/a	SD カードに書き込みを行うと、書き込みデータはこのレジスタに書き込まれます。SD カードから読み出しを行うと、読み出しデータはこのレジスタから読み出されます。	R/W

このレジスタは、2 つの 512 バイトバッファに内部的に接続されます。

マルチブロックリードの実行時に両方のバッファがエンプティでない場合、データ受信を中断するために SD カード／ MMC クロックが停止します。どちらかのバッファがエンプティの場合、データ受信を再開するために SD カード／ MMC クロックが供給されます。

47.2.20 SDIO_MODE : SDIO モードコントロールレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x068

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	C52PUB	IOABT	—	—	—	—	—	RWREQ	—	INTEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	INTEN	SDIO 割り込み受け付け許可(注1) 0: SDIO 割り込み受け付け禁止 1: SDIO 割り込み受け付け許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	RWREQ	リード待ち要求 0: SD/MMC のリード待ち状態の解除を許可 1: SD/MMC のリード待ち状態への遷移を要求	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	IOABT	SDIO Abort CMD53 によるマルチブロック転送時に本ビットを 1 にすると、ただちに CMD52 が送信され、コマンドシーケンスが中断します。	R/W
9	C52PUB	SDIO None Abort CMD53 によるマルチブロック転送時に本ビットを 1 にすると、転送処理完了後に CMD52 が送信され、コマンドシーケンスが中断します。	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. SD_INFO2.CBSY フラグが 1 のとき、本ビットを書き換えないでください。

SDIO_MODE レジスタは、SDIO 割り込みの受信、マルチブロック転送時の CMD52 の送信、リード待ち要求の制御を行います。C52PUB と IOABT を同時に 1 にしないでください。

RWREQ ビット（リード待ち要求）

CMD53（マルチブロック）リードシーケンスで RWREQ を 1 にすると、ブロック転送はブロック間でリード待ち状態になります。

[リード待ち状態の解除]

- リード待ち状態で RWREQ を 0 にクリアすると、リード待ち状態が解除される。
- リード待ち状態で IOABT を 1 にすると、CMD52 の送信後、RWREQ が自動的に 0 にクリアされ、リード待ち状態が解除される。

- CMD53（マルチブロック）リードシーケンスで C52PUB と同時に RWREQ を 1 にする場合、リード待ち状態は自動で解除されない。そのため、CMD52 レスポンスを受信後に RWREQ をクリアする。RWREQ と C52PUB は同時に設定される必要がある。

CMD53（マルチブロック）リードシーケンスの最終ブロックの転送中に RWREQ を 1 にする場合、リード待ち状態にはならず、アクセスエンドを設定することで RWREQ は自動的に 0 にクリアされます。レスポンスエンドフラグの設定後に RWREQ を 1 にしてください。

IOABT ビット（SDIO Abort）

CMD53（マルチブロック）シーケンスで IOABT ビットを 1 にすると、CMD53 のシーケンスが停止し、CMD52 が送信されます。ただし、通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD52 は送信されません。IOABT を 1 にした後も引き続きバッファアクセスは可能ですが、これにより SD_INFO2 のバッファアクセスエラービット（ILR または ILW）が設定されます。IOABT を 1 にする前に SD_ARG を設定してください。

シングルブロックライトの転送時に IOABT を 1 にする場合、SD_BUF0 がエンプティになるとアクセスエンドフラグが設定され、CMD52 は送信されません。SD_BUF0 にデータがある場合、CMD52 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。

シングルブロックリードの転送時に IOABT を 1 にすると、IOABT 設定直後にアクセスエンドフラグが設定され、CMD52 は送信されません。

R1b レスポンス後、ビジー状態の受信時に IOABT を 1 にすると、CMD52 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。

コマンドシーケンスの完了後に IOABT を 1 にすると、CMD52 は送信されず、アクセスエンドフラグも設定されません。

レスポンスエンドフラグの設定後に IOABT を 1 にしてください。

アクセスエンドフラグの設定後に IOABT を 0 にしてください。

C52PUB ビット（SDIO None Abort）

CMD53（マルチブロック）ライトシーケンスで C52PUB ビットを 1 にすると、SD_BUF0 がエンプティになる場合、CMD52 がブロック間で自動送信されます。C52PUB は、CMD52 に対するレスポンスの受信を完了した後、自動的に 0 にクリアされます。また、最終ブロック転送中に C52PUB を 1 にすると、CMD52 は送信されません。この場合、アクセスエンドフラグを 1 にした後、 C52PUB は自動的に 0 にクリアされます。

CMD53（マルチブロック）リードシーケンスで C52PUB と RWREQ を 1 にすると、ブロック転送はブロック間でリード待ち状態になり、CMD52 は自動送信されます。C52PUB は、CMD52 に対するレスポンスの受信を完了した後、自動的に 0 にクリアされます。また、最終ブロック転送中に C52PUB を 1 にすると、CMD52 は送信されません。この場合、アクセスエンドフラグを 1 にした後、 C52PUB は自動的に 0 にクリアされます。

CMD53（マルチブロック）リードシーケンスで C52PUB を 1 にした場合、C52PUB に加えて RWREQ を 1 にする必要があります。

C52PUB を 1 にする前に SD_ARG を設定してください。

レスポンスエンドフラグの設定後に C52PUB を 1 にしてください。

47.2.21 SDIO_INFO1 : SDIO 割り込みフラグレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x06C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EXWT	EXPUB52	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQ
Value after reset:	0(注1)	0(注1)	0	0	0	0	0	0	0	0	0	0	0	x	x	0(注1)

ビット	シンボル	機能	R/W
0	IOIRQ	SDIO 割り込みステータスフラグ 0: SDIO 割り込みの検出なし 1: SDIO 割り込みの検出あり	R/(W) (注2)
2:1	—	読み出し値は不定です。書く場合、1 としてください。	R/W
13:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	EXPUB52	EXPUB52 ステータスフラグ EXPUB52 ステータスを表示します。	R/(W) (注2)
15	EXWT	EXWT ステータスフラグ EXWT ステータスを表示します。	R/(W) (注2)
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. リセットで初期化されます。また、SOFT_RST.SDRST フラグによるリセットの場合も初期化されます。
注 2. ビットをクリアするための 0 の書き込みのみ可能です。

SDIO_INFO1 レジスタは、SDIO カードアクセスに関するステータスを表示します。クリアするフラグを 0 にしてください。クリアされていないフラグは 1 にしてください。

IOIRQ フラグ（SDIO 割り込みステータスフラグ）

IOIRQ フラグは SDIO 割り込みの発生を表示します。

[1 になる条件]

- SDIO_MODE の INTEN が 1 のときに SDIO カードからの SDIO 割り込みを受信したとき。

[0 になる条件]

- IOIRQ に 0 を書き込んだとき。(注1)

注 1. このビットをクリアする前に、SDIO カードにアクセスして SDIO カードからの SDIO 割り込み信号をネゲートしてください。割り込み信号をネゲートしない場合、このビットが再び設定される可能性があります。

EXPUB52 フラグ（EXPUB52 ステータスフラグ）

EXPUB52 フラグは EXPUB52 のステータスを表示します。

[1 になる条件]

- CMD53（マルチブロック）シーケンスで最終ブロックの転送中に、SDIO_MODE の C52PUB を 1 にしたとき。
- CMD53（マルチブロック）ライトシーケンスで C52PUB を 1 にして、最終ブロックが転送されたとき。

[0 になる条件]

- EXPUB52 に 0 を書き込んだとき。

EXWT フラグ（EXWT ステータスフラグ）

EXWT フラグは EXWT のステータスを表示します。

[1 になる条件]

- CMD53（マルチブロック）リードシーケンスで最終ブロックの転送中に、SDIO_MODE の RWREQ を 1 にしたとき。

[0 になる条件]

- EXWT に 0 を書き込んだとき。

47.2.22 SDIO_INFO1_MASK : SDIO INFO1 割り込みマスクレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x070

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EXWTM	EXPUB52M	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQM
Value after reset:	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
0	IOIRQM	IOIRQ 割り込みマスク制御 0: IOIRQ 割り込みをマスクしない 1: IOIRQ 割り込みをマスクする	R/W
2:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	EXPUB52M	EXPUB52 割り込み要求マスク制御 0: EXPUB52 割り込み要求をマスクしない 1: EXPUB52 割り込み要求をマスクする	R/W
15	EXWTM	EXWT 割り込み要求マスク制御 0: EXWT 割り込み要求をマスクしない 1: EXWT 割り込み要求をマスクする	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SDIO_INFO1_MASK レジスタは、SDIO_INFO1 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。各ステータスフラグと要求される割り込み要因の関係は表 47.5 を参照してください。

47.2.23 SD_DMAEN : DMA モードイネーブルレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMAEN	—
Value after reset:	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	DMAEN	DMA 転送許可(注1) (注2) 0: DMA 転送を使用した SD_BUF0 レジスタへのアクセスを禁止 1: DMA 転送を使用した SD_BUF0 レジスタへのアクセスを許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. SD_INFO2.CBSY ビットが 1 のとき、本ビットを書き換えないでください。
注 2. SD_INFO2_MASK.BWEM ビットまたは SD_INFO2_MASK.BREM ビットのどちらかが 0 のとき、SD_DMAEN.DMAEN ビットは 0 にしてください。SD_DMAEN.DMAEN ビットが 1 のとき、SD_INFO2_MASK.BWEM ビットおよび SD_INFO2_MASK.BREM ビットは 1 にしてください。

SD_DMAEN レジスタは、DMA 転送の許可／禁止を設定するレジスタです。

DMAEN ビット（DMA 転送許可）

SD バッファへのアクセスを DMA 転送を用いて行う場合、SD_CMD レジスタを設定する前に DMAEN ビットを 1 にしてください。

47.2.24 SOFT_RST : ソフトウェアリセットレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SDRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
0	SDRST	ソフトウェアリセット制御 0: SD/MMC ホストインタフェースソフトウェアをリセット 1: SD/MMC ホストインタフェースソフトウェアのリセットを解除	R/W
2:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

表 47.4 に、SD/MMC ホストインタフェースソフトウェアリセットで初期化されるビットおよびフラグを示します。

表 47.4 SD/MMC ホストインタフェースソフトウェアリセットで初期化されるビットおよびフラグ

レジスタ	ビット／フラグ
SD_STOP	SEC, STP
SD_INFO1	RSPEND、ACEND
SD_INFO2	CMDE, CRCE, ENDE, DTO, ILW, ILR, RSPTO, BRE, BWE, SD_CLK_CTRLEN, CBSY, ILA
SD_CLK_CTRL	CLKEN
SD_OPTION	CTOP[3:0], TOP[3:0], TOUTMASK, WIDTH8, WIDTH
SD_ERR_STS1	CMDE0、CMDE1、RSPLENE0、RSPLENE1、RDLENE、CRCLENE、RSPCRCE0、RSPCRCE1、RDCRCE、CRCTKE、CRCTK[2:0]
SD_ERR_STS2	RSPTO0、RSPTO1、BSYTO0、BSYTO1、RDTO、CRCTO、CRCBSYTO
SDIO_INFO1	IOIRQ、EXPUB52、EXWT
SDIF_MODE	NOCHKCR

47.2.25 SDIF_MODE : SD インタフェースモード設定レジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	NOCHKCR	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0(注1)	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	NOCHKCR	CRC チェックのマスク MMC テストコマンドの CRC チェックマスクビット。CRC16 または CRC ステータス値チェックが実行されていないときに設定してください。 0: CRC チェックの許可 1: CRC チェックの禁止（読み出し時の CRC16 値は無視、書き込み時の CRC ステータス値は無視）	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. この値はリセット、または SOFT_RST.SDRST フラグにより初期化されます。

NOCHKCR ビット（CRC チェックのマスク）

NOCHKCR ビットは MMC テストコマンドで使用します。CRC16 または CRC ステータス値チェックが実行されていないときに設定します。

47.2.26 EXT_SWAP : スワップコントロールレジスタ

Base address: SDHIn = 0x4025_2000 + 0x0400 × n (n = 0, 1)
SDHIn_NS = 0x5025_2000 + 0x0400 × n (n = 0, 1)

Offset address: 0x1E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	BRSWP	BWSWP	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	BWSWP	SD_BUF0 スワップ書き込み(注1) 0: 通常の書き込み 1: バイトのエンディアンの順番を入れ替えて SD_BUF0 レジスタに書き込む	R/W
7	BRSWP	SD_BUF0 スワップ読み出し(注1) 0: 通常の読み出し 1: バイトのエンディアンの順番を入れ替えて SD_BUF0 レジスタを読み出す	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. SD_INFO2.CBSY フラグが 1 のとき、本ビットを書き換えないでください。

EXT_SWAP レジスタは、SD_BUF0 レジスタにアクセスするとき、データのバイトエンディアンの順番を入れ替えてアクセスするかどうかを選択するレジスタです。EXT_SWAP レジスタ値による SD_BUF0 レジスタへのアクセス方法の差異については「47.3.1. SD/MMC インタフェース」を参照してください。

47.3 動作説明

47.3.1 SD/MMC インタフェース

SD カード／ MMC からデータを読み出すときの処理は以下のとおりです。

1. SD/MMC ホストインタフェースが SDnDAT 信号により SD カード／MMC からデータを受信する（図 47.2 および図 47.3 を参照）。
2. 受信データが MMC ホストインタフェースの SD_BUF に格納される（図 47.4 を参照）。
3. SD_BUF に格納されたデータが SD_BUF0 から読み出される（図 47.5 を参照）。

SD カード／ MMC にデータを書き込むときは、指定手順は逆になります。

SD_BUF0 にアクセスするときは、SDnDAT の転送順と SD_BUF の格納順に注意してください。必要に応じて、SD_BUF0 の読み出し／書き込みデータのバイトエンディアンを SDSWAP レジスタで変更できます。図 47.6 を参照してください。

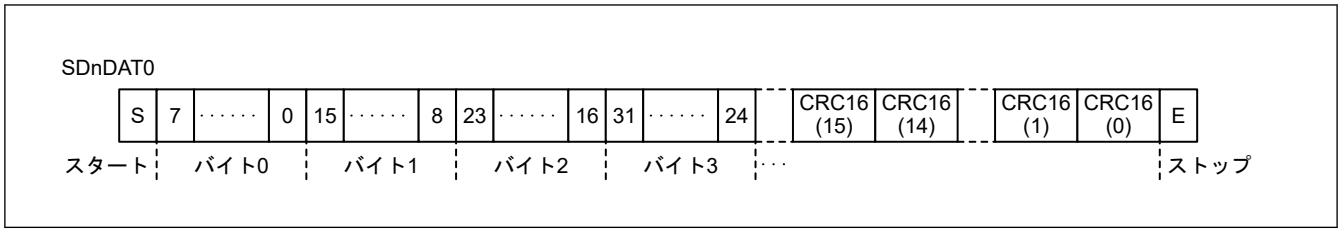


図 47.2　1 ビット幅モードの SDnDAT

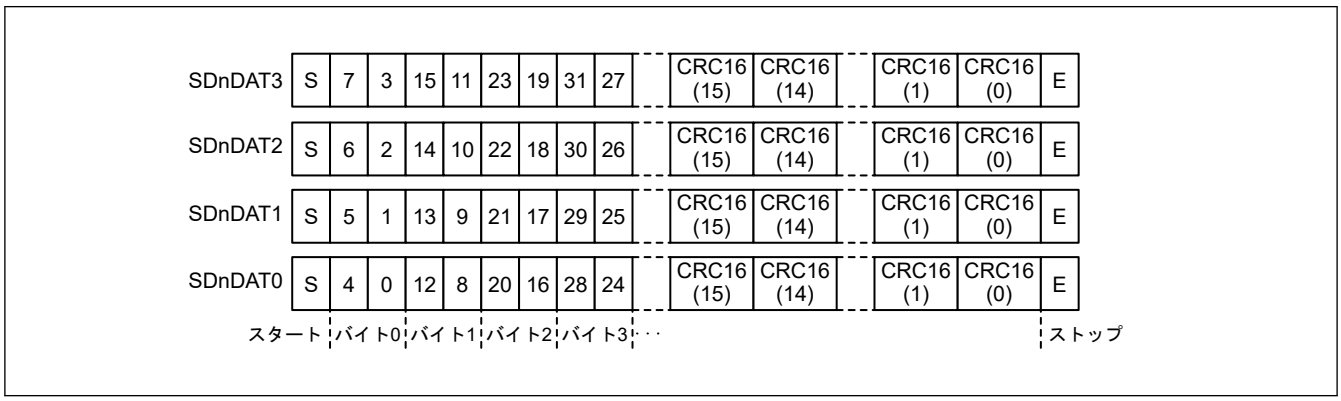


図 47.3　4 ビット幅モードの SDnDAT

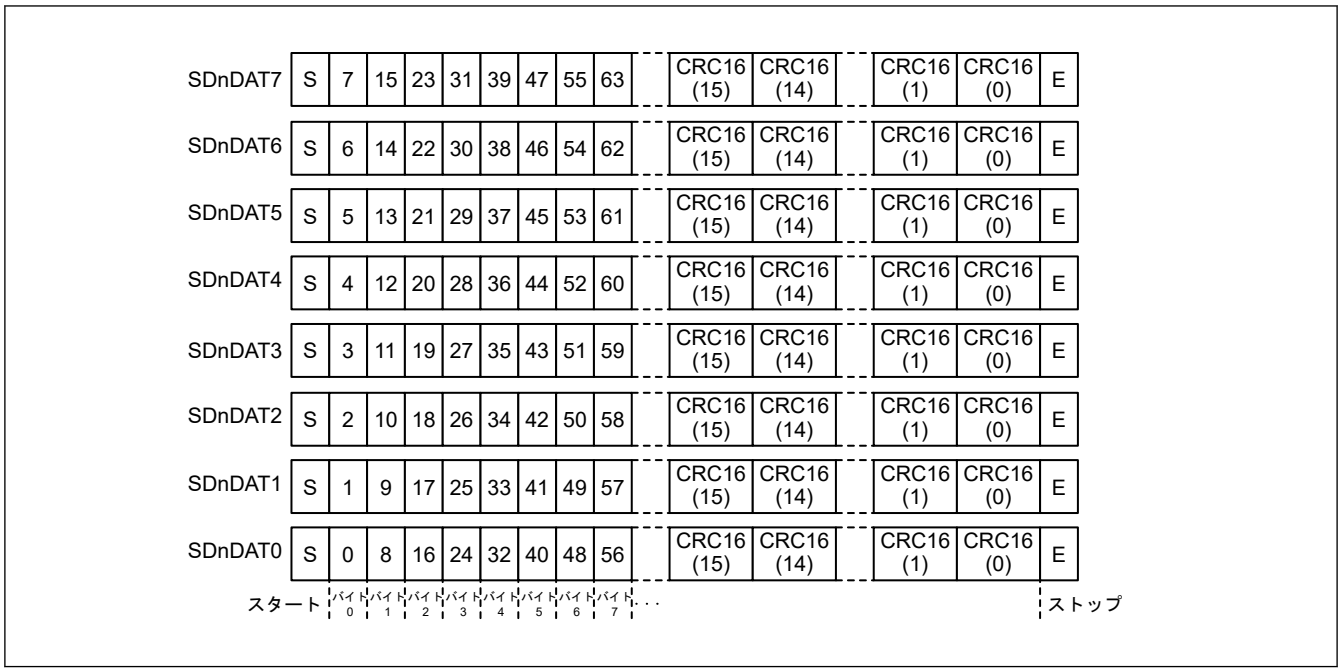


図 47.4　8 ビット幅モードの SDnDAT

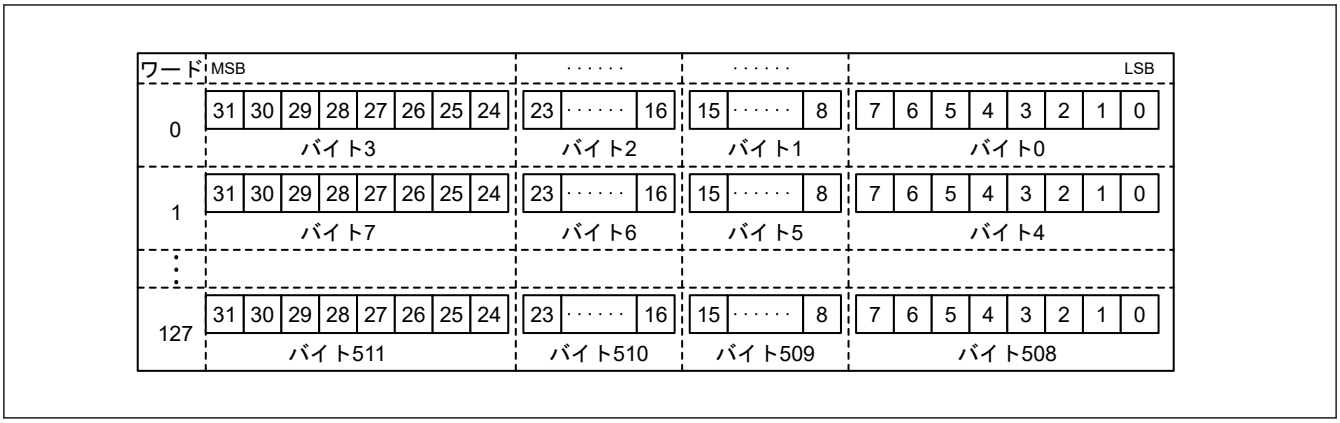


図 47.5　SD_BUF 格納データ

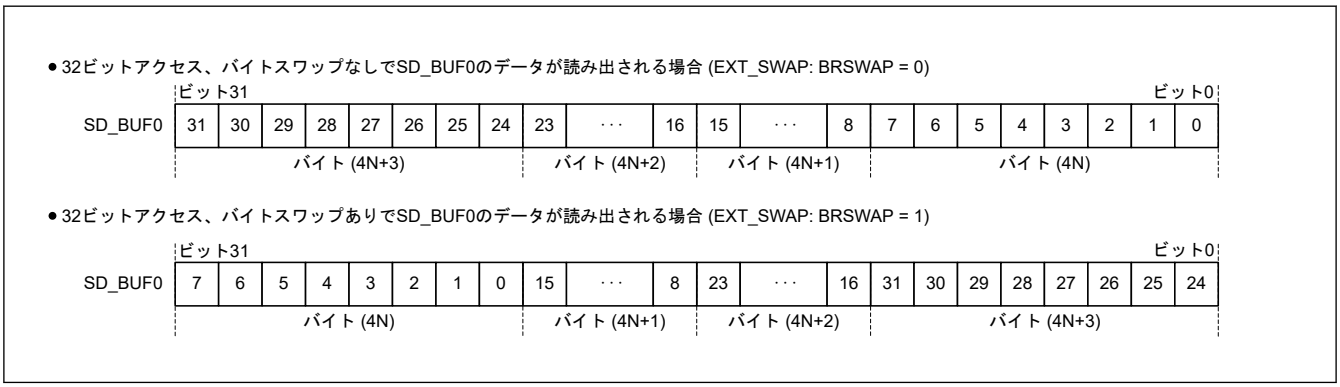


図 47.6　SD_BUF0 からの読み出し

47.3.2　カード検出／ライトプロテクト

47.3.2.1　カード検出

SD/MMC ホストインタフェースには 2 種類のカード検出機能があります。

(1)　SDnCD (n = 0, 1) によるカード検出

SDnCD によるカード検出のタイミングを図 47.7 に示します。SDnCD はカードソケットに接続され、ホスト機器にプルアップします。プルアップ抵抗値は SD/MMC ホスト機器の仕様により決定します。

(2)　カード挿入

SDnCD はカード挿入時にプルダウンします。このとき、SDnCD が Mcycle 期間（SD_OPTION で設定される）にわたってプルダウンすると、SD_INFO1 の SDCDIN が 1 になります。0 書き込みで 0 になります。

(3)　カード抜去

SDnCD はカード抜去時にプルアップします。このとき、SDnCD が Mcycle 期間（SD_OPTION で設定される）にわたってプルアップすると、SD_INFO1 の SDCDRM が 1 になります。0 書き込みで 0 になります。

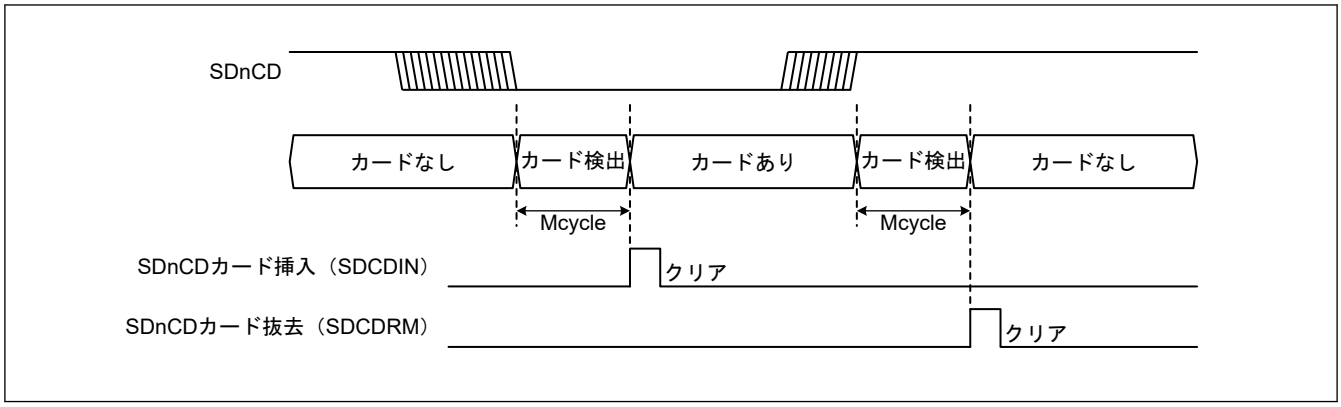


図 47.7　SDnCD によるカード検出例

(4)　SDnDAT3 (n = 0, 1) による SD カード検出

SDnDAT3 による SD カード検出時のタイミングを図 47.8 に示します。また、SDnDAT3 はホスト機器によってプルダウンし、プルダウン抵抗値は SD ホスト機器の仕様により決定します。

(5)　カード挿入

SD カードが挿入されると、SDnDAT3 がプルアップし、SD_INFO1 の SDD3IN が 1 になります。0 書き込みで 0 になります。

(6)　カード抜去

SD カードが抜去されると、SDnDAT3 がプルダウンし、SD_INFO1 の SDD3RM が 1 になります。0 書き込みで 0 になります。

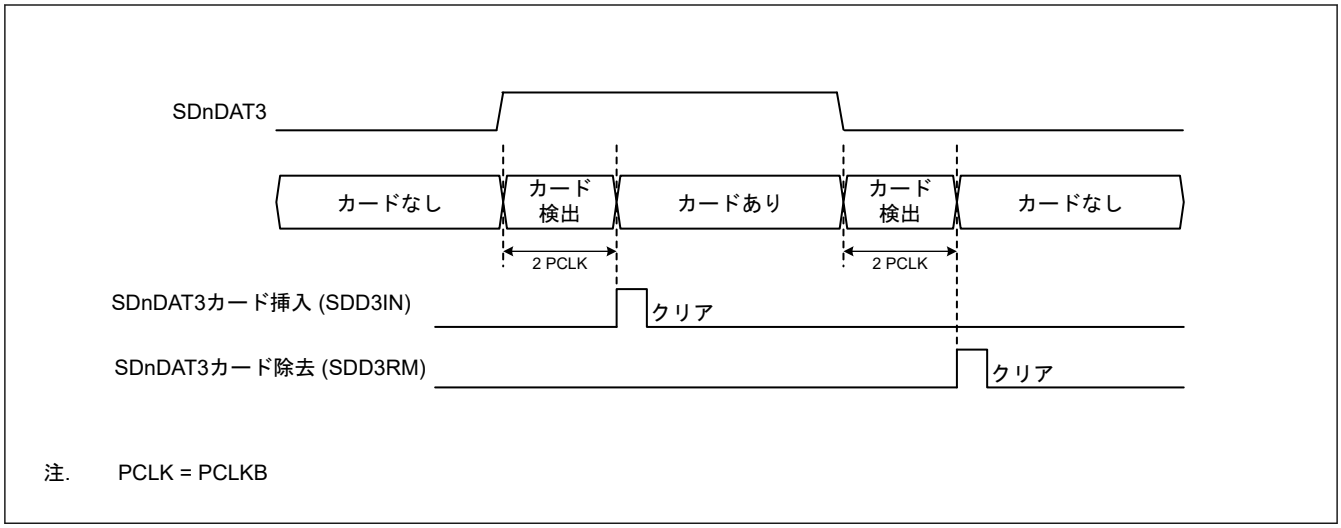


図 47.8　SDnDAT3 による SD カード検出

47.3.2.2　ライトプロテクト

SD/MMC ホストインタフェースには 2 種類のライトプロテクト機能があります。

(1)　SDnWP によるライトプロテクト (n = 0, 1)

SDnWP はカードソケットに接続され、カード挿入によりプルアップまたはプルダウンします。プルアップまたはプルダウンの選択および抵抗値は SD ホスト機器の仕様により決定します。SDnWP ステートが SD_INFO1 の SDWPMON に反映されると、SD カードの挿入後にライトプロテクトステートが設定されます。

(2)　コマンドによるライトプロテクト

カードの内部的なライトプロテクトおよびカードのロック／アンロック動作はコマンドによって実現します。

47.3.3 割り込み要求と DMA 転送要求

47.3.3.1 割り込み

表 47.5 に、SDHI の割り込み要因を示します。SDHI は、以下の場合に割り込みを要求します。

- SD_INFO1、SD_INFO2、および SDIO_INFO1 レジスタの各ステータスフラグが 1 である。
- SD_INFO1_MASK、SD_INFO2_MASK、および SDIO_INFO1_MASK レジスタの関連ビットが 0 である。

SD_INFO1、SD_INFO2、および SDIO_INFO1 レジスタの各ステータスフラグをクリアする場合、クリアするステータスフラグに 0 を、それ以外のステータスフラグには 1 を書き込んでください。

表 47.5 割り込み要因

割り込み要因	ステータスフラグレジスタ		割り込みマスクレジスタ		割り込み名称
	レジスタシンボル	ビットシンボル	レジスタシンボル	ビットシンボル	チャネル n (n = 0, 1)
カードアクセス割り込み (CACI)	SD_INFO1	ACEND	SD_INFO1_MASK	ACENDM	SDHI_MMCn_ACCS
		RSPEND		RSPENDM	
	SD_INFO2	ILA	SD_INFO2_MASK	ILAM	
		BWE		BWEM	
		BRE		BREM	
		RSPTO		RSPTOM	
		ILR		ILRM	
		ILW		ILWM	
		DTO		DTOM	
		ENDE		ENDEM	
		CRCE		CRCEM	
		CMDE		CMDEM	
SDIO アクセス割り込み (SDACI)	SDIO_INFO1	EXWT	SDIO_INFO1_MASK	EXWTM	SDHI_MMCn_SDIO
		EXPUB52		EXPUB52M	
		IOIRQ		IOIRQM	
カード検出割り込み (CDETI)	SD_INFO1	SDD3IN	SD_INFO1_MASK	SDD3INM	SDHI_MMCn_CARD
		SDD3RM		SDD3RMM	
		SDCDIN		SDCDINM	
		SDCDRM		SDCDRMM	

47.3.3.2 DMA 転送要求 (SDHI_MMCn_ODMSDBREQ, n = 0, 1)

SD/MMC ホストインタフェースには 2 種類の DMA 転送要求があります。

(1) SD_BUF ライトの DMA 転送要求

- SD_DMAEN の DMAEN ビットが 1 のときに SD_INFO2 の BWE ビットを 1 にすると、SD_BUF ライトの DMA 転送要求がアサートされる。
- 1 ブロック（SD_SIZE に設定された転送データサイズに基づく）の最終データを転送すると、SD_BUF ライトの DMA 転送要求がネゲートされる。また、SOFT_RST の SDRST ビットを 0 にクリアするか、SD_STOP の STP ビットを 1 にすることにより、SD_BUF ライトの DMA 転送要求がネゲートされる。ただし、DMA 転送時に通信エラーまたはタイムアウトが発生した場合、SD_BUF ライトの DMA 転送要求はネゲートされない。
- DMA 転送による SD_BUF への書き込み要求に続いて 1 ブロックの最終データを転送すると、SD_INFO2 の BWE ビットがクリアされる。

- DMA 転送数は n × 1 ブロックにする必要がある。（n = 整数、1 ブロック = SD_SIZE に設定された転送データサイズ）
- SDIO_MODE の IOABT ビットを 1 にすると、SD_BUF ライトの DMA 転送要求がネゲートされる。
- また、DMAEN ビットを 0 にクリアすることにより、DMA 転送要求がネゲートされます。ただし、SD_CMD への書き込み前に DMAEN ビットを 1 にすると、DMA 転送要求は再びアサートされる。
- STP/IOABT ビットを設定しても、また通信エラーまたはタイムアウトが発生しても、SD_INFO2 の BWE ビットはクリアされないため、次のコマンドを送信する前に 0 にクリアする。BWE ビットが設定されている場合、DMA 転送で SD_BUF に書き込む次の要求は送信されない。

(2) SD_BUF リードの DMA 転送要求

- SD_DMAEN レジスタの DMAEN ビットが 1 のときに SD_INFO2 の BRE ビットを 1 にすると、SD_BUF リードの DMA 転送要求がアサートされる。
- 1 ブロック（SD_SIZE に設定された転送データサイズに基づく）の最終データを転送すると、SD_BUF リードの DMA 転送要求がネゲートされる。また、SOFT_RST の SDRST ビットを 0 にクリアするか、SD_STOP の STP ビットを 1 にすることにより、SD_BUF リードの DMA 転送要求がネゲートされる。ただし、DMA 転送時に通信エラーまたはタイムアウトが発生した場合は、SD_BUF リードの DMA 転送要求はネゲートされない。
- DMA 転送による SD_BUF への書き込み要求に続いて 1 ブロックの最終データを転送すると、SD_INFO2 の BRE ビットがクリアされます。
- DMA 転送数は n × 1 ブロックにする必要がある。（n = 整数、1 ブロック = SD_SIZE に設定された転送データサイズ）
- SDIO_MODE の IOABT ビットを 1 にすると、SD_BUF リードの DMA 転送要求がネゲートされる。
- また、DMAEN ビットを 0 にクリアすることにより、DMA 転送要求がネゲートされる。ただし、SD_CMD への書き込み前に DMAEN ビットを 1 にすると、DMA 転送要求は再びアサートされる。
- STP/IOABT ビットを設定しても、また通信エラーまたはタイムアウトが発生しても、SD_INFO2 の BRE ビットはクリアされないため、次のコマンドを送信する前に 0 にクリアする。BRE ビットが設定されている場合、DMA 転送で SD_BUF に書き込む次の要求は送信されない。

47.3.4 通信エラーとタイムアウト

通信エラーまたはタイムアウトが発生すると、発生したエラーの種類により、SD_INFO2 レジスタの関連するステータスフラグが 1 になります。また、発生したエラー要因により、SD_ERR_STS1 レジスタまたは SD_ERR_STS2 レジスタの関連するフラグが 1 になります。

SD_ERR_STS1 レジスタと SD_ERR_STS2 レジスタの各ステータスフラグは、SD_CMD レジスタに書き込むか、SOFT_RST.SDRST ビットを 0 にすることで 0 にクリアされます。

表 47.6　通信エラー

通信エラー	割り込みフラグレジスタ		エラーステータスレジスタ		発生時
	レジスタシンボル	ビットシンボル	レジスタシンボル	ビットシンボル	
エンドビットエラー	SD_INFO2	ENDE	SD_ERR_STS1	CRCLENE	CRC ステータストークン長がエラーのとき
				RDLENE	リードデータ長がエラーのとき
				RSPLENE1	レスポンス長がエラーのとき(注1)
				RSPLENE0	レスポンス長がエラーのとき(注2)
CRC エラー		CRCE		CRCTKE	CRC ステータストークンがエラーのとき
				RDCRCE	リードデータに CRC エラーがあるとき
				RSPCRCE1	レスポンスに CRC エラーがあるとき(注1)
				RSPCRCE0	レスポンスに CRC エラーがあるとき(注2)
コマンドエラー		CMDE		CMDE1	送信したコマンドと受信したレスポンスの command index フィールド値が異なるとき(注1)
				CMDE0	送信したコマンドと受信したレスポンスの command index フィールド値が異なるとき(注2)

注 1.　SD_CMD の設定によりマルチブロック転送の自動送信が有効な場合は CMD12、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52。
注 2.　SD_CMD の設定によりマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52。

表 47.7　タイムアウト

タイムアウト	割り込みフラグレジスタ		エラーステータスレジスタ		発生時
	レジスタシンボル	ビットシンボル	レジスタシンボル	ビットシンボル	
レスポンスタイムアウト	SD_INFO2	RSPTO	SD_ERR_STS2	RSPTO1	SDHI クロックで 640 サイクル以上経過してもレスポンスを受信しないとき(注1)
				RSPTO0	SDHI クロックで 640 サイクル以上経過してもレスポンスを受信しないとき(注2)
データタイムアウト（レスポンスタイムアウトを除く）		DTO		CRCBSYTO	CRC 状態トークン受信後、指定期間以上ビジー状態のとき(注3)
				CRCTO	ライトデータを送信後、指定期間(注3)以上経過しても CRC 状態トークンを受信しないとき
				RDTO	リードコマンド送信後、指定期間(注3)以上経過してもリードデータを受信しないとき
					リードデータ受信後、指定期間(注3)以上経過しても次のブロックリードデータを受信しないとき
					SDHI のリード待ち状態解除後、指定期間(注3)以上経過しても次のブロックリードデータを受信しないとき
				BSYTO1	コマンドシーケンス中の CMD12 送信後、指定期間以上ビジー状態のとき(注3)
				BSYTO0	R1b レスポンス受信後、SDHI が指定期間(注3)以上ビジー状態のとき（コマンドシーケンス中の CMD12 以外のコマンド送信）

注 1.　SD_CMD の設定によりマルチブロック転送の自動送信が有効な場合は CMD12、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52。
注 2.　SD_CMD の設定によりマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52。
注 3.　SD_OPTION.TOP[3:0]ビットで期間を指定します。

47.3.5 データ転送を行わないコマンド (SD/MMC)

レジスタの読み出し／書き込みの説明には以下の記号を使用します。

W（レジスタ名、値）：レジスタ書き込み

R（レジスタ名）：レジスタ読み出し

図 47.9 と図 47.10 にフロー例を示します。

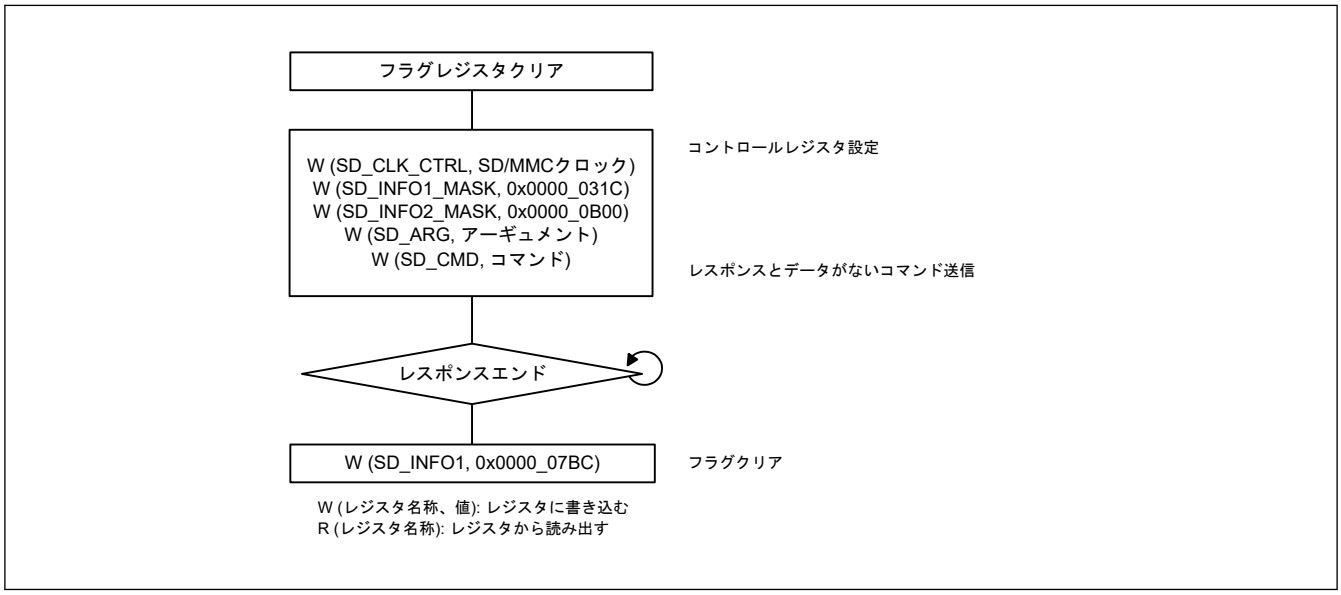


図 47.9 レスポンスまたはデータがないコマンドのフロー例

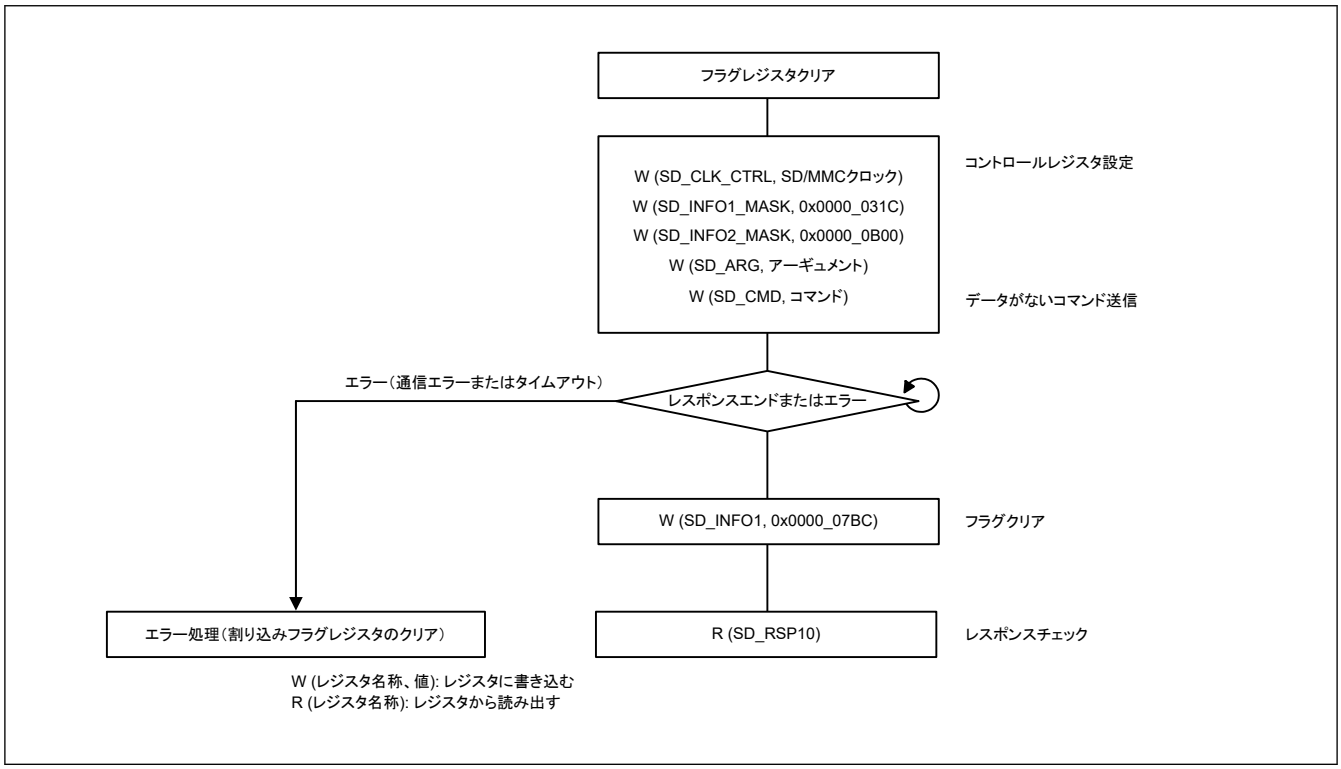


図 47.10 データがないコマンドのフロー例

47.3.5.1 データ転送を伴わないコマンドの動作

動作について以下に説明します。

(1) レスポンスとデータがないコマンド

a. フラグレジスタクリア
最初にフラグレジスタのビットをクリアする。(SD_INFO1 および SD_INFO2)

b. コントロールレジスタ設定
SD/MMC クロックおよび割り込みマスクを設定する。(SD_CLK_CTRL、SD_INFO1_MASK、および SD_INFO2_MASK)

c. コマンド送信
SD_ARG の CMD アーギュメントを設定し、SD_CMD に書き込む。
これにより、CMD が送信され、動作が開始する。

d. フラグクリア
コマンドの送信が完了すると、SD_INFO1 の RSPEND (レスポンスエンド) が 1 になり、割り込みが発生する。RSPEND を 0 にクリアする。

(2) データがないコマンド

a. フラグレジスタクリア
最初にフラグレジスタのビットをクリアする。(SD_INFO1 および SD_INFO2)

b. コントロールレジスタ設定
SD/MMC クロックおよび割り込みマスクを設定する。(SD_CLK_CTRL、SD_INFO1_MASK、および SD_INFO2_MASK)

c. コマンド送信
SD_ARG の CMD アーギュメントを設定し、SD_CMD に書き込む。
これにより、CMD が送信され、動作が開始する。

d. フラグクリア
レスポンスが受信されると、SD_INFO1 の RSPEND (レスポンスエンド) が 1 になり、割り込みが発生する。RSPEND を 0 にクリアする。

e. SD_RSP10 からレスポンスを読み出す。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグレジスタのクリア) を行う。

47.3.6 シングルブロックリード (SD/MMC)

図 47.11 に、シングルブロックリード動作のフロー例を示します。

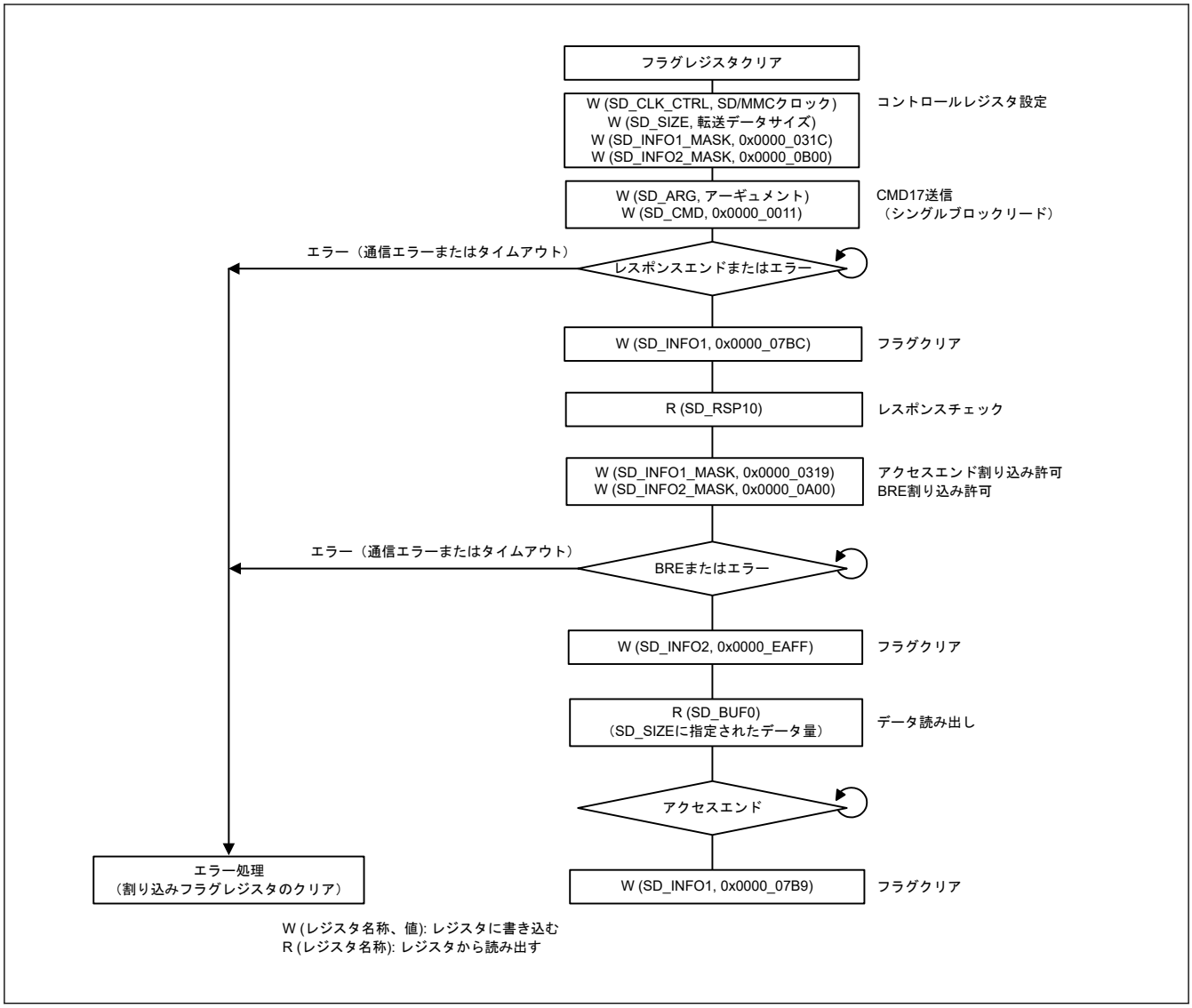


図 47.11　シングルブロックリード動作のフロー例

47.3.6.1　シングルブロックリード動作

シングルブロックリード動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1 および SD_INFO2）のビットをクリアします。

b. コントロールレジスタ設定
SD/MMC クロック、転送データサイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、および SD_INFO2_MASK）を設定します。

c. コマンド送信 (CMD17)
SD_ARG の CMD17 アーギュメントを設定し、SD_CMD に 0x0000_0011 を書き込みます。CMD17 が送信され、シングルブロックリード動作が開始します。

d. レスポンスチェック
レスポンスを受信すると、SD_INFO1 の RSPEND（レスポンスエンド）が 1 になり、割り込みが発生します。RSPEND を 0 にクリアし、SD_RSP10 からレスポンスを読み出します。レスポンスの復号結果がエラーの場合、SD_STP の STP ビットまたは SDIO_MODE の IOABT ビットを 1 にすることでコマンドシーケンスを停止することができます。また、これにより CMD12 と CMD52 は送信されなくなります。また、SD_INFO1 の ACEND ビット（アクセスエンド）が設定されている場合、コマンドシーケンスを停止すると割り込みが発生します。

e. SD カード／MMC からのデータ受信とデータ読み出し

SD_INFO1_MASK に 0x0000_0319 を書き込み、アクセスエンド割り込みを有効にします。さらに、SD_INFO2_MASK に 0x0000_0A00 を書き込み、BRE 割り込みを有効にします。SD カード／MMC からのデータ受信が完了すると、SD_INFO2 の BRE ビットが 1 になり、割り込みが発生します。BRE ビットを 0 にクリアし、SD_SIZE に指定されたデータ量を SD_BUF0 から読み出します。
SD_BUF0 の読み出し中にデータが受信されている場合は、通信エラーまたはタイムアウトが発生することがあります。

f. 動作完了
SD_BUF0 からデータ読み出しが完了すると、SD_INFO1 の ACEND（アクセスエンド）が 1 になり、割り込みが発生します。ACEND を 0 にクリアし、シングルブロックリード動作を終了します。
なお、通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を実行します。

47.3.7 シングルブロックライト (SD/MMC)

図 47.12 に、シングルブロックライト動作のフロー例を示します。

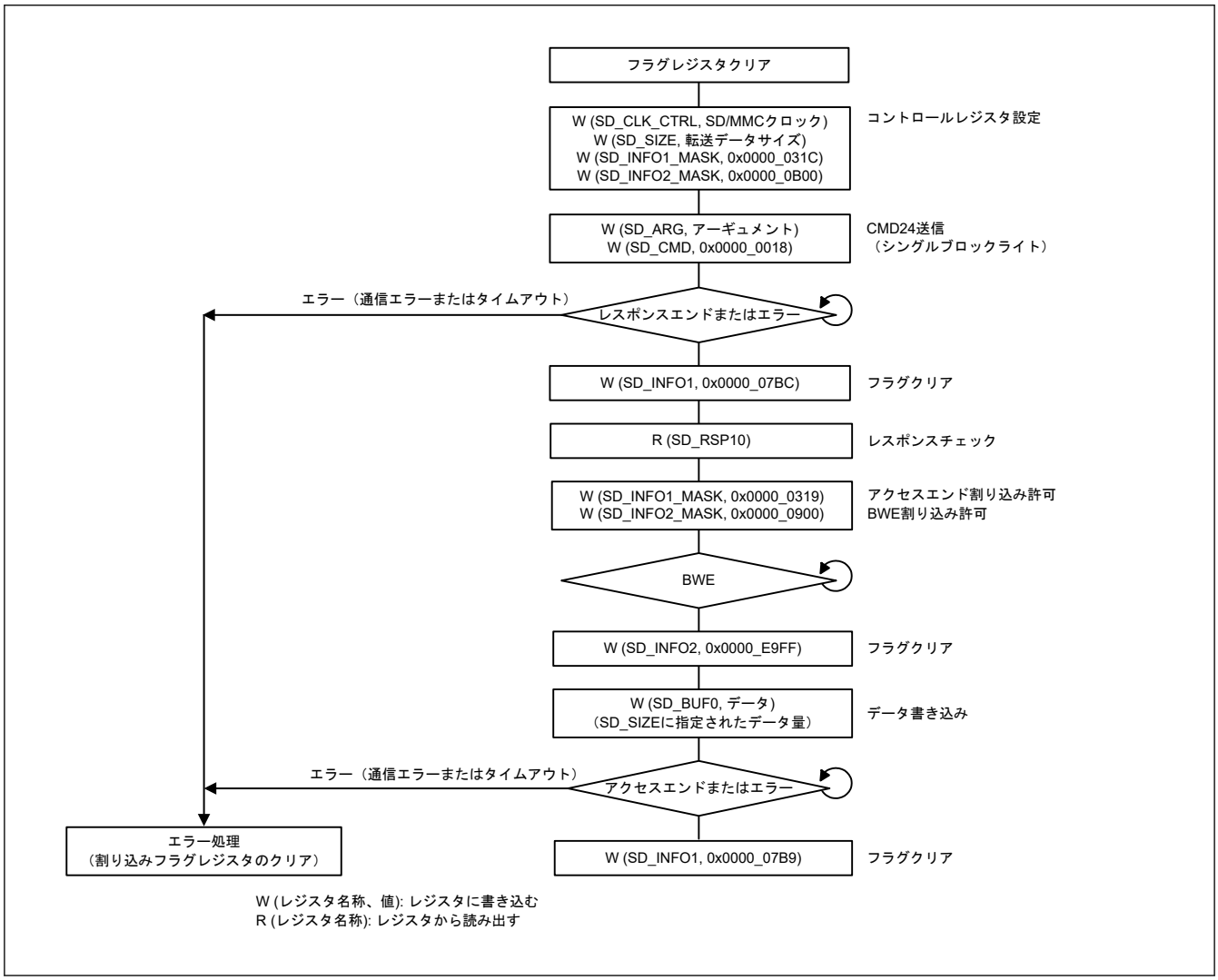


図 47.12 シングルブロックライト動作の例

47.3.7.1 シングルブロックライト動作

シングルブロックライト動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1 および SD_INFO2）のビットをクリアします。

b. コントロールレジスタ設定

SD/MMC クロック、転送データサイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、および SD_INFO2_MASK）を設定します。

c. コマンド送信 (CMD24)
SD_ARG の CMD24 アーギュメントを設定し、SD_CMD に 0x0000_0018 を書き込みます。CMD24 が送信され、シングルブロックライト動作が開始します。

d. レスポンスチェック
レスポンスを受信すると、SD_INFO1 の RSPEND（レスポンスエンド）が 1 になり、割り込みが発生します。RSPEND を 0 にクリアし、SD_RSP10 からレスポンスを読み出します。レスポンスの復号結果がエラーの場合、SD_STP の STP ビットまたは SDIO_MODE の IOABT ビットを 1 にすることでコマンドシーケンスを停止することができます。また、これにより CMD12 と CMD52 は送信されなくなります。また、SD_INFO の ACEND ビット（アクセスエンド）が設定されている場合、コマンドシーケンスを停止すると割り込みが発生します。

e. データ書き込みと SD カード／MMC へのデータ送信
SD_INFO1_MASK に 0x0000_0319 を書き込み、アクセスエンド割り込みを有効にします。さらに、SD_INFO2_MASK に 0x0000_0900 を書き込み、BWE 割り込みを有効にします。SD_BUF0 でデータの書き込みが可能になると、SD_INFO2 の BWE ビットが 1 になり割り込みが発生します。BWE ビットを 0 にクリアし、SD_SIZE に指定されたデータ量を SD_BUF0 に書き込みます。SD_BUF0 へのデータ書き込みが完了すると、SD カードにデータが送信されます。その後、SD カード／MMC から CRC ステータスとビジー状態が受信されます。
ただし、SD_BUF0 への書き込み後にデータが送信されている場合は、通信エラーまたはタイムアウトが発生することがあります。

f. 動作完了
CRC ステータスとビジー状態を SD カード／MMC から受信すると、SD_INFO1 の ACEND（アクセスエンド）が 1 になり割り込みが発生します。ACEND ビットを 0 にクリアし、シングルブロックライト動作を終了します。
なお、通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を実行します。

47.3.8 マルチブロックリード (SD/MMC)

図 47.13 に、マルチブロックリード動作のフロー例を示します。

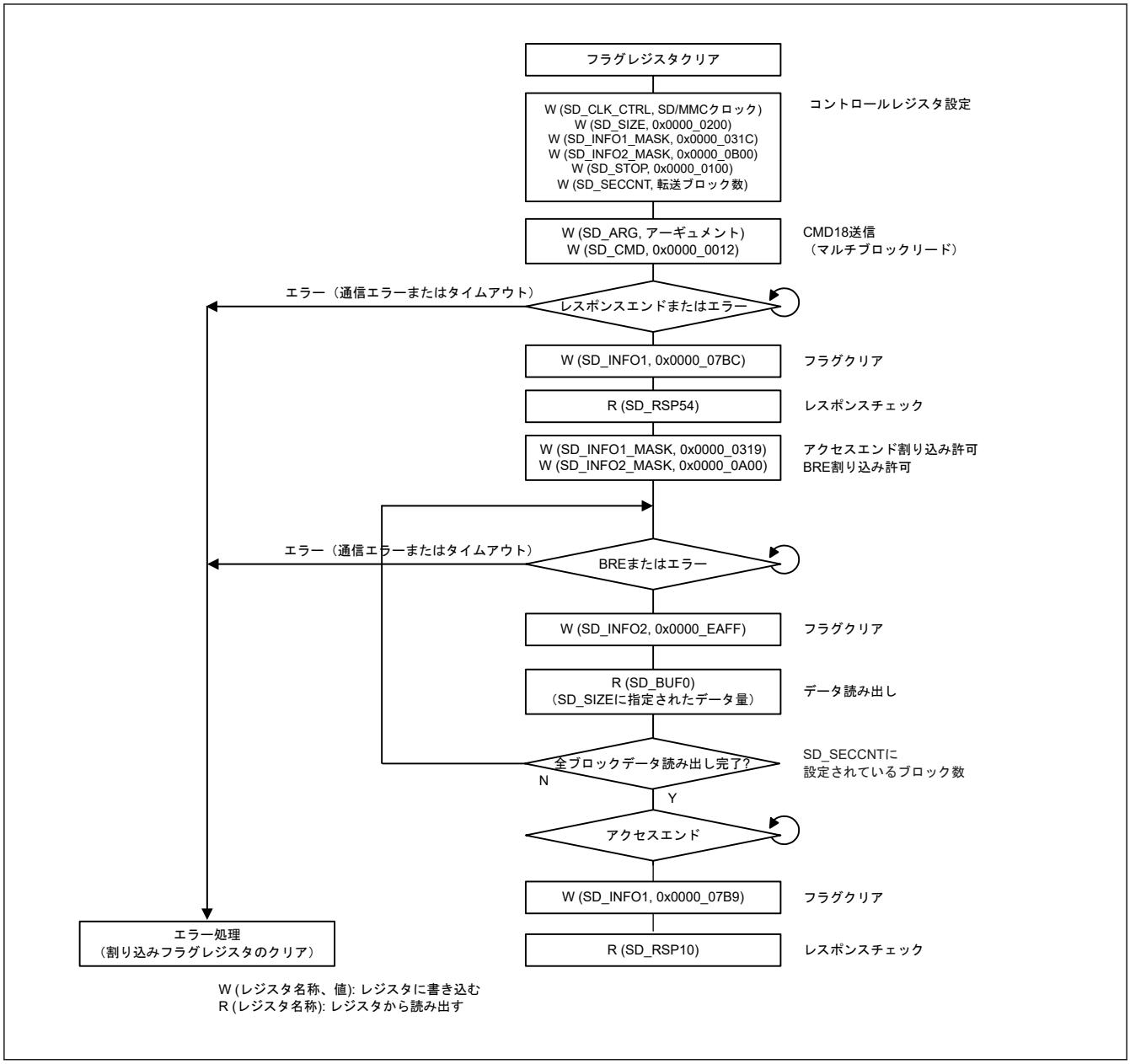


図 47.13　マルチブロックリード動作の例

47.3.8.1　マルチブロックリード動作

マルチブロックリード動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1 および SD_INFO2）のビットをクリアします。

b. コントロールレジスタ設定
SD/MMC クロック、転送データサイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、および SD_INFO2_MASK）を設定します。
SD_STOP の SEC を 1 にして、SD_SECCNT で転送ブロック数を設定します。

c. コマンド送信 (CMD18)
SD_ARG の CMD18 アーギュメントを設定し、SD_CMD に 0x0000_0012 を書き込みます。CMD18 が送信され、マルチブロックリード動作が開始します。

d. レスポンスチェック
レスポンスを受信すると、SD_INFO1 の RSPEND（レスポンスエンド）が 1 になり、割り込みが発生します。RSPEND を 0 にクリアし、SD_RSP54 からレスポンスを読み出します。レスポンスの復号結果がエラーの場

合、SD_STP の STP ビットを 1 にすることでコマンドシーケンスを停止することができます。また、STP ビットを 1 にすると、CMD12 が送信されレスポンスが受信されます。アクセスエンド割り込みが許可されているためにコマンドシーケンスが停止した場合、レスポンスの受信完了時に SD_INFO1 の ACEND ビット（アクセスエンド）を 1 にすることで割り込みが発生します。ACEND ビットを 0 にクリアし、レスポンスを読み出します。

e. SD カード／MMC からのデータ受信とデータ読み出し
SD_INFO1_MASK に 0x0000_0319 を書き込み、アクセスエンド割り込みを有効にします。さらに、SD_INFO2_MASK に 0x0000_0A00 を書き込み、BRE 割り込みを有効にします。SD カード／MMC からの 1 ブロックデータ受信が完了すると、SD_INFO2 の BRE ビットが 1 になり、割り込みが発生します。BRE ビットを 0 にクリアし、SD_SIZE に指定されたデータ量を SD_BUF0 から読み出します。これにより、SD_SECCNT に設定されたブロック数の転送が繰り返されます。ただし、SD_BUF0 の読み出し中にデータが受信されていると､通信エラーまたはタイムアウトが発生する場合があります。SD_SECCNT に設定されているブロック数でマルチブロック転送を停止するために CMD12 が自動送信され、レスポンスが受信されます。このとき、CMD12 アーギュメントが 0x0000_0000 に自動設定されます。

f. 動作完了
すべてのブロックデータ読み出しと CMD12 レスポンス受信が完了すると、SD_INFO1 の ACEND（アクセスエンド）が 1 になり、割り込みが発生します。ACEND を 0 にクリアし、レスポンスを読み出します。これによりマルチブロックリード動作が終了します。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を実行します。

47.3.9 マルチブロックライト（内蔵タイマによる SD/MMC）

図 47.14 に、内蔵タイマによるマルチブロックライトのフロー例を示します。

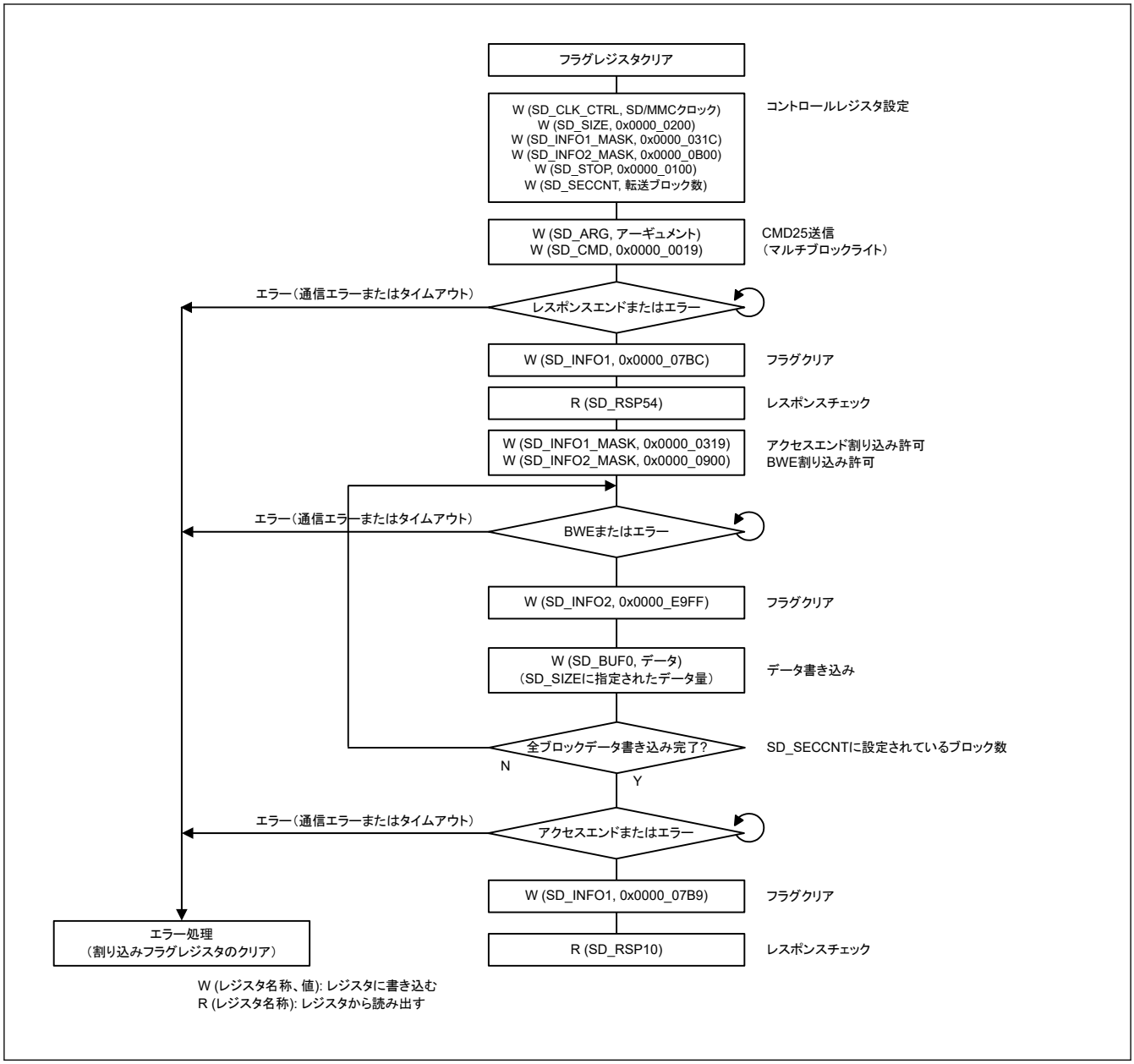


図 47.14　内蔵タイマによるマルチブロックライト動作の例

47.3.9.1　内蔵タイマによるマルチブロックライト動作

マルチブロックライト動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1 および SD_INFO2）のビットをクリアします。

b. コントロールレジスタ設定
SD/MMC クロック、転送データサイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、および SD_INFO2_MASK）を設定します。
SD_STOP の SEC ビットを 1 にして、SD_SECCNT で転送ブロック数を設定します。

c. コマンド送信 (CMD25)
SD_ARG の CMD25 アーギュメントを設定し、SD_CMD に 0x0000_0019 を書き込みます。CMD25 が送信され、マルチブロックライト動作が開始します。

d. レスポンスチェック
レスポンスを受信すると、SD_INFO1 の RSPEND ビット（レスポンスエンド）が 1 になり、割り込みが発生します。

RSPEND ビットを 0 にクリアし、SD_RSP54 からレスポンスを読み出します。レスポンスの復号結果がエラーの場合、SD_STP の STP ビットを 1 にすることでコマンドシーケンスを停止することができます。また、STP ビットを 1 にすると、CMD12 が送信されレスポンスが受信されます。アクセスエンド割り込みが許可されているためにコマンドシーケンスが停止した場合、レスポンスの受信完了時に SD_INFO1 の ACEND ビット（アクセスエンド）を 1 にすることで割り込みが発生します。ACEND ビットを 0 にクリアし、レスポンスを読み出します。

e. データ書き込みと SD カード／MMC へのデータ送信
SD_INFO1_MASK に 0x0000_0319 を書き込み、アクセスエンド割り込みを有効にします。さらに、SD_INFO2_MASK に 0x0000_0900 を書き込み、BWE 割り込みを有効にします。SD_BUF0 でデータの書き込みが可能になると、SD_INFO2 レジスタの BWE ビットが 1 になり、割り込みが発生します。BWE ビットを 0 にクリアし、SD_SIZE に指定されたデータ量を SD_BUF0 に書き込みます。SD_BUF0 へのデータ書き込みが完了すると、SD カード／MMC にデータが送信されます。SD カード／MMC から CRC ステータスとビジー状態が受信されます。これにより、SD_SECCNT に設定されたブロック数の転送が繰り返されます。ただし、SD_BUF0 への書き込み中にデータが受信されていると、通信エラーまたはタイムアウトが発生する場合があります。SD_SECCNT に設定されているブロック数でマルチブロック転送を停止するために CMD12 が自動送信され、レスポンスが受信されます。このとき、CMD12 アーギュメントが 0x0000_0000 に自動設定されます。

f. 動作完了
すべてのブロックデータ送信と CRC ステータス受信が完了すると、SD_INFO1 の ACEND ビット（アクセスエンド）が 1 になり、割り込みが発生します。ACEND ビットを 0 にクリアし、レスポンスを読み出します。これによりマルチブロックライト動作が終了します。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を実行します。

47.3.10 マルチブロックライト（外付けタイマによる MMC）

図 47.15 に、外付けタイマによるマルチブロックライトのフロー例を示します。

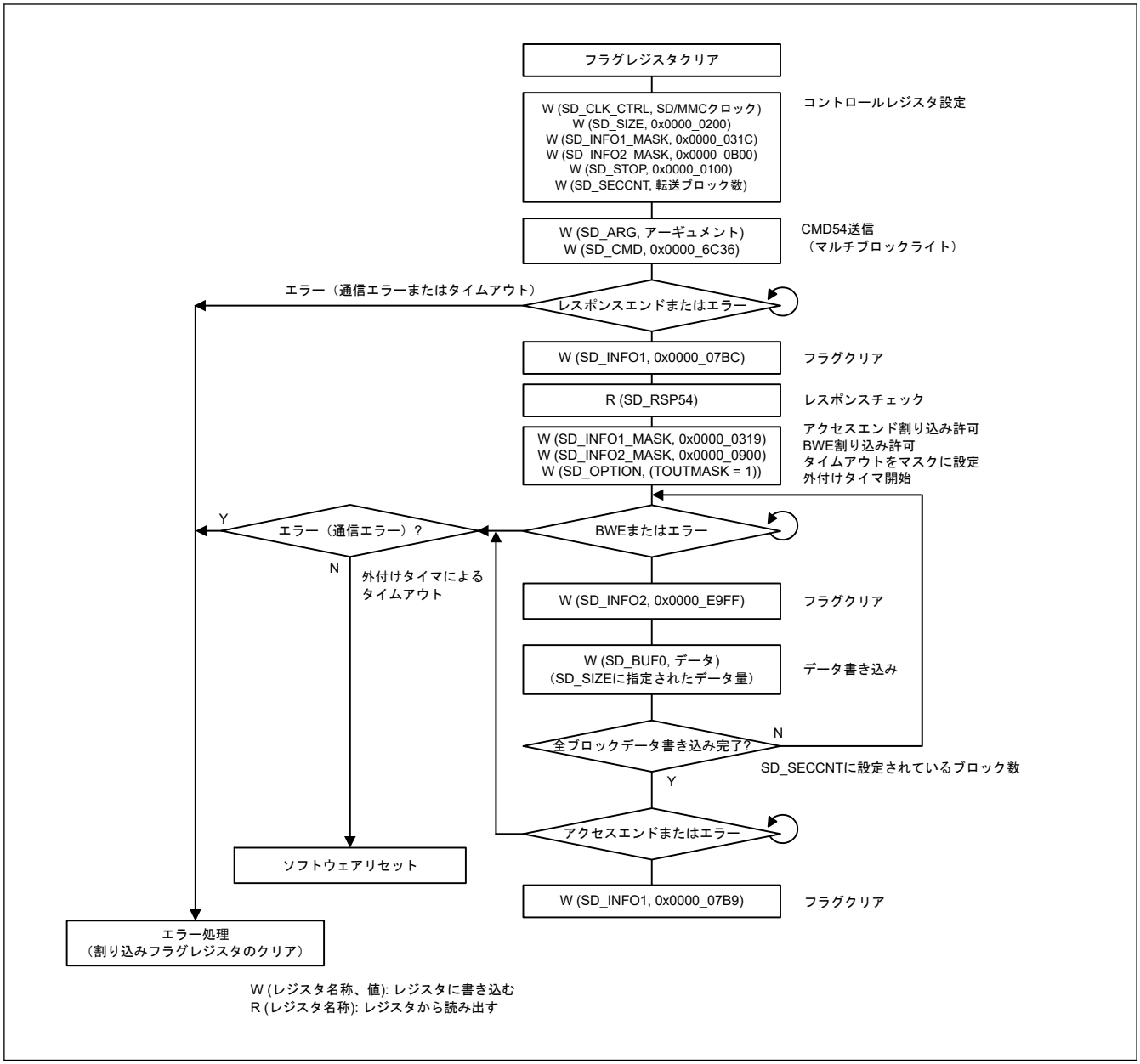


図 47.15　外付けタイマによるマルチブロックライト動作の例

47.3.10.1　外付けタイマによるマルチブロックライト動作

マルチブロックライト動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1 および SD_INFO2）のビットをクリアします。

b. コントロールレジスタ設定
MMC クロック、転送データサイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、および SD_INFO2_MASK）を設定します。
SD_STOP の SEC ビットを 1 にして、SD_SECCNT で転送ブロック数を設定します。

c. コマンド送信 (CMD54)
SD_ARG の CMD54 アーギュメントを設定し、SD_CMD に 0x0000_6C36 を書き込みます。CMD54 が送信され、マルチブロックライト動作が開始します。

d. レスポンスチェック
レスポンスを受信すると、SD_INFO1 の RSPEND ビット（レスポンスエンド）が 1 になり、割り込みが発生します。RSPEND ビットを 0 にクリアし、SD_RSP54 からレスポンスを読み出します。レスポンスの復号結果がエラーの場合、SD_STP の STP ビットを 1 にすることでコマンドシーケンスを停止することができます。

また、STP ビットを 1 にすると、CMD12 が送信されレスポンスが受信されます。アクセスエンド割り込みが許可されているためにコマンドシーケンスが停止した場合、レスポンスの受信完了時に SD_INFO1 の ACEND ビット（アクセスエンド）を 1 にすることで割り込みが発生します。ACEND ビットを 0 にクリアし、レスポンスを読み出します。

e. データ書き込みと MMC へのデータ送信
SD_INFO1_MASK に 0x0000_0319 を書き込んでアクセスエンド割り込みを許可し、SD_INFO2_MASK に 0x0000_0900 を書き込んで BWE 割り込みを許可し、SD_OPTION の TOUTMASK を 1 にしてタイムアウトを無効にします。さらに、外付けタイマを開始します。SD_BUF0 でデータの書き込みが可能になると、SD_INFO2 レジスタの BWE ビットが 1 になり割り込みが発生します。BWE ビットを 0 にクリアし、SD_SIZE に指定されたデータ量を SD_BUF0 に書き込みます。SD_BUF0 へのデータ書き込みが完了すると、MMC にデータが送信されます。MMC から CRC ステータスとビジー状態が受信されます。これにより、SD_SECCNT に設定されたブロック数の転送が繰り返されます。ただし、SD_BUF0 への書き込み中にデータが受信されていると、通信エラーまたはタイムアウトが発生する場合があります。

f. 動作完了
すべてのブロックデータ送信と CRC ステータス受信が完了すると、SD_INFO1 の ACEND ビット（アクセスエンド）が 1 になり、割り込みが発生します。ACEND ビットを 0 にクリアし、レスポンスを読み出します。これによりマルチブロックライト動作が終了します。なお、レスポンス受信時に通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を実行します。データ送信時に外付けタイマによるタイムアウトが発生した場合、ソフトウェアリセットを実行します。

47.3.11 IO_RW_DIRECT コマンド (SD: CMD52)

図 47.16 に、IO_DIRECT コマンド (CMD52) 動作のフロー例を示します。

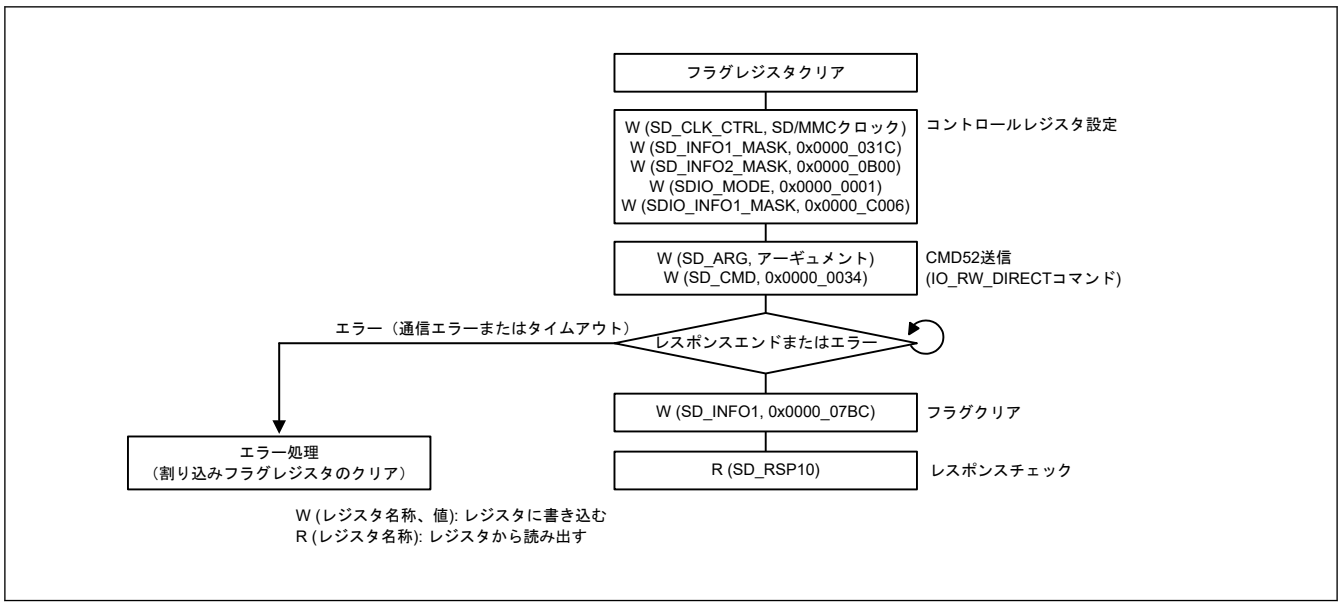


図 47.16 IO_RW_DIRECT コマンド (CMD52) 動作の例

47.3.12 IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックリード）

図 47.17 に、CMD53 マルチブロックリード動作のフロー例を示します。

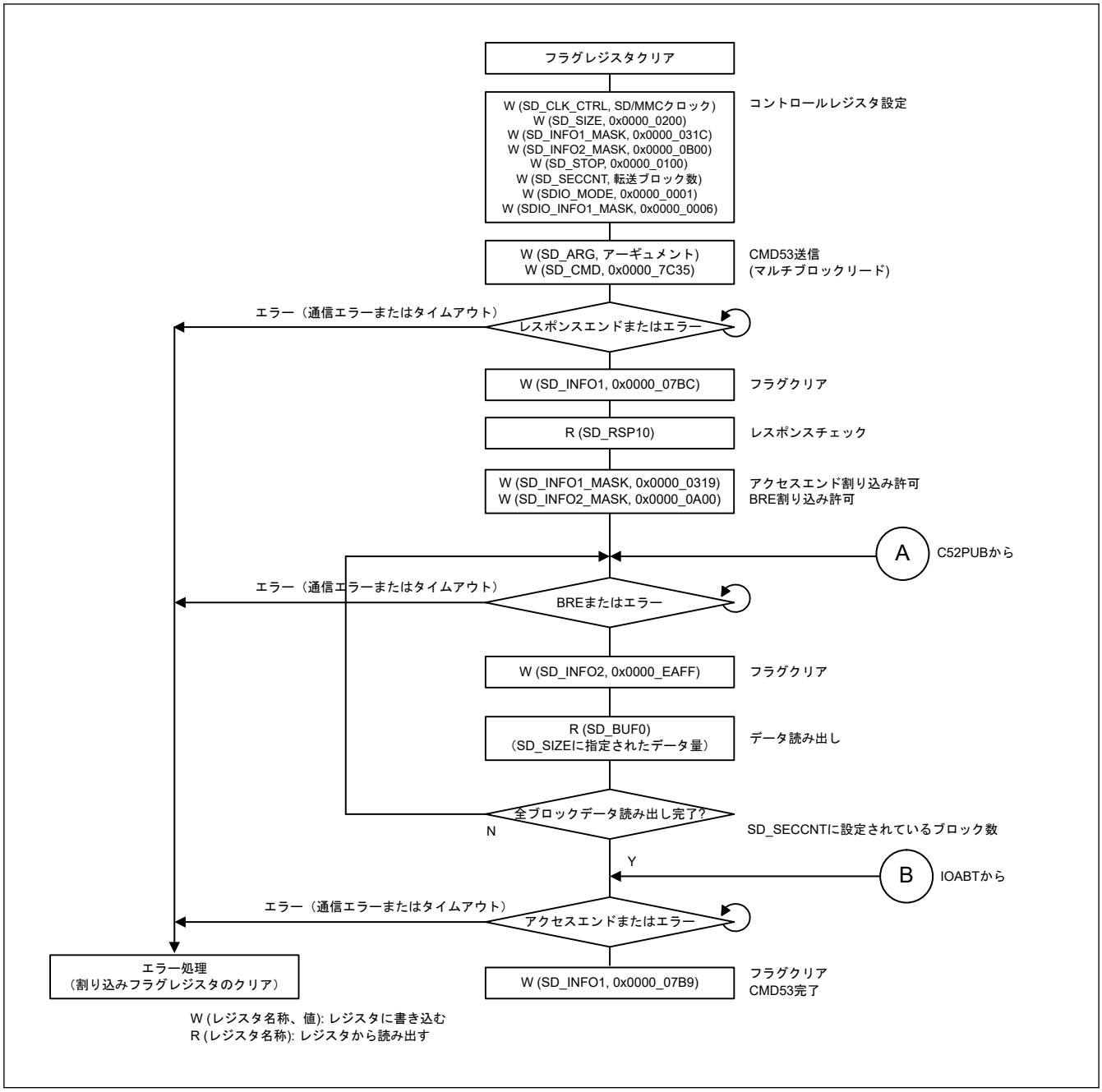


図 47.17　マルチブロックリード動作の IO_RW_EXTENDED コマンド (CMD53) の例

図 47.18 に、CMD53 マルチブロックリード時に CMD52 (SDIO abort) が送信される場合のフロー例を示します。

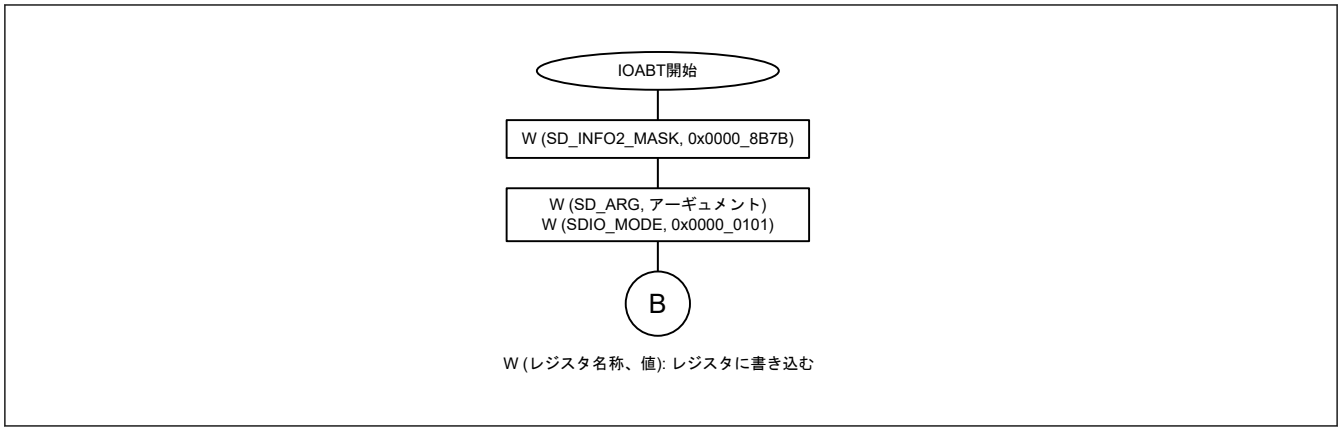


図 47.18　CMD53 マルチブロックリード時に CMD52 (SDIO abort) が送信される場合のフロー

図 47.19 に、SDHI がリード待ち状態で、CMD53 マルチブロックリード時に CMD52 (SDIO none abort) が送信される場合のフロー例を示します。

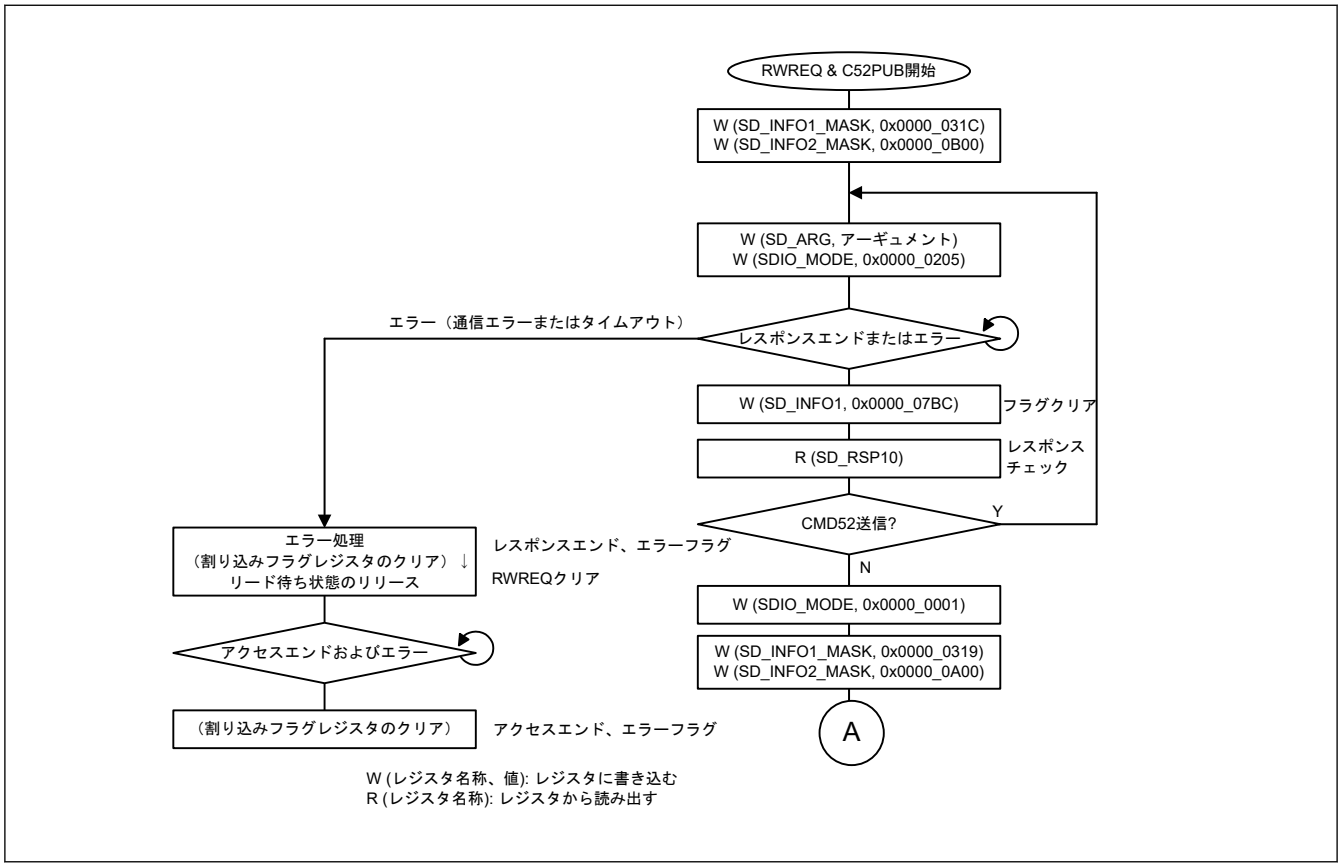


図 47.19　SD ホストインタフェースがリード待ち状態で、CMD53 マルチブロックリード時に CMD52 (SDIO none abort) が送信される場合のフロー

47.3.13　IO_RW_EXTENDED コマンド（SD: CMD53／マルチブロックライト）

図 47.20 に、CMD53 マルチブロックライトのフロー例を示します。

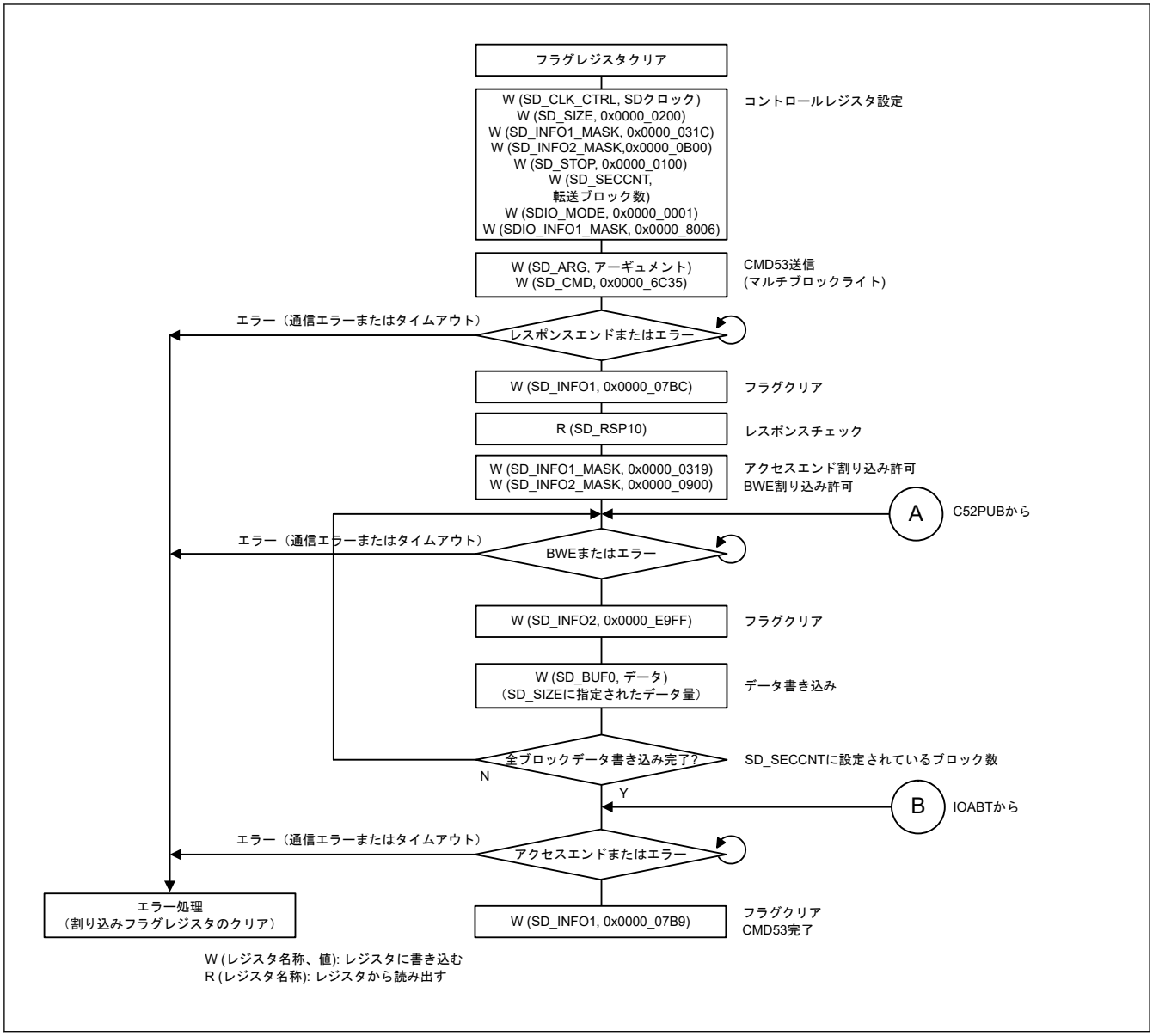


図 47.20　CMD53 マルチブロックライト動作時の IO_RW_EXTENDED コマンドの例

図 47.21 に、CMD53 マルチブロックライト時に CMD52 (SDIO abort) が送信される場合のフロー例を示します。

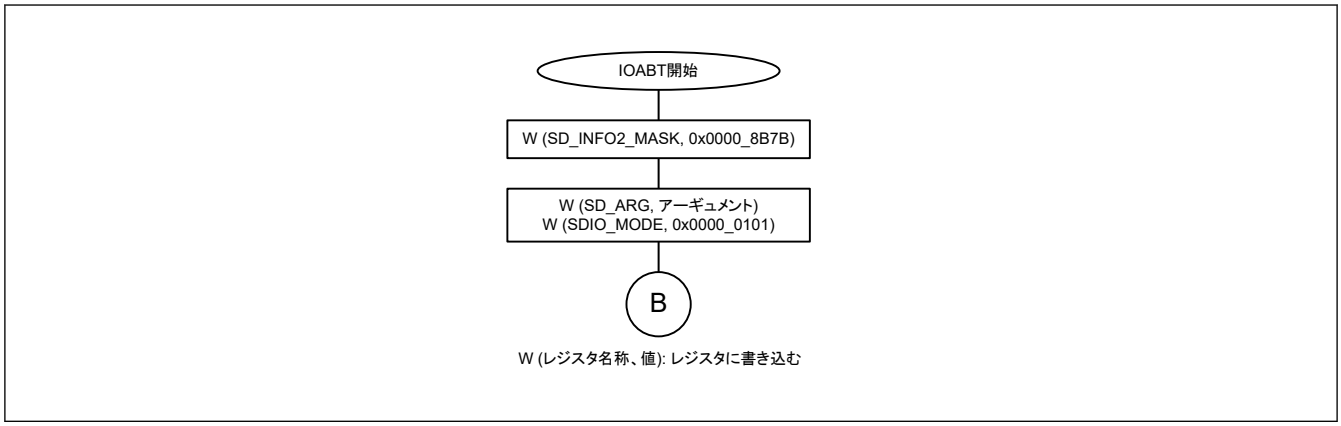


図 47.21　CMD53 マルチブロックライト時に CMD52 (SDIO abort) が送信される場合のフロー

図 47.22 に、CMD53 マルチブロックライト時に CMD52 (SDIO none abort) が送信される場合のフロー例を示します。

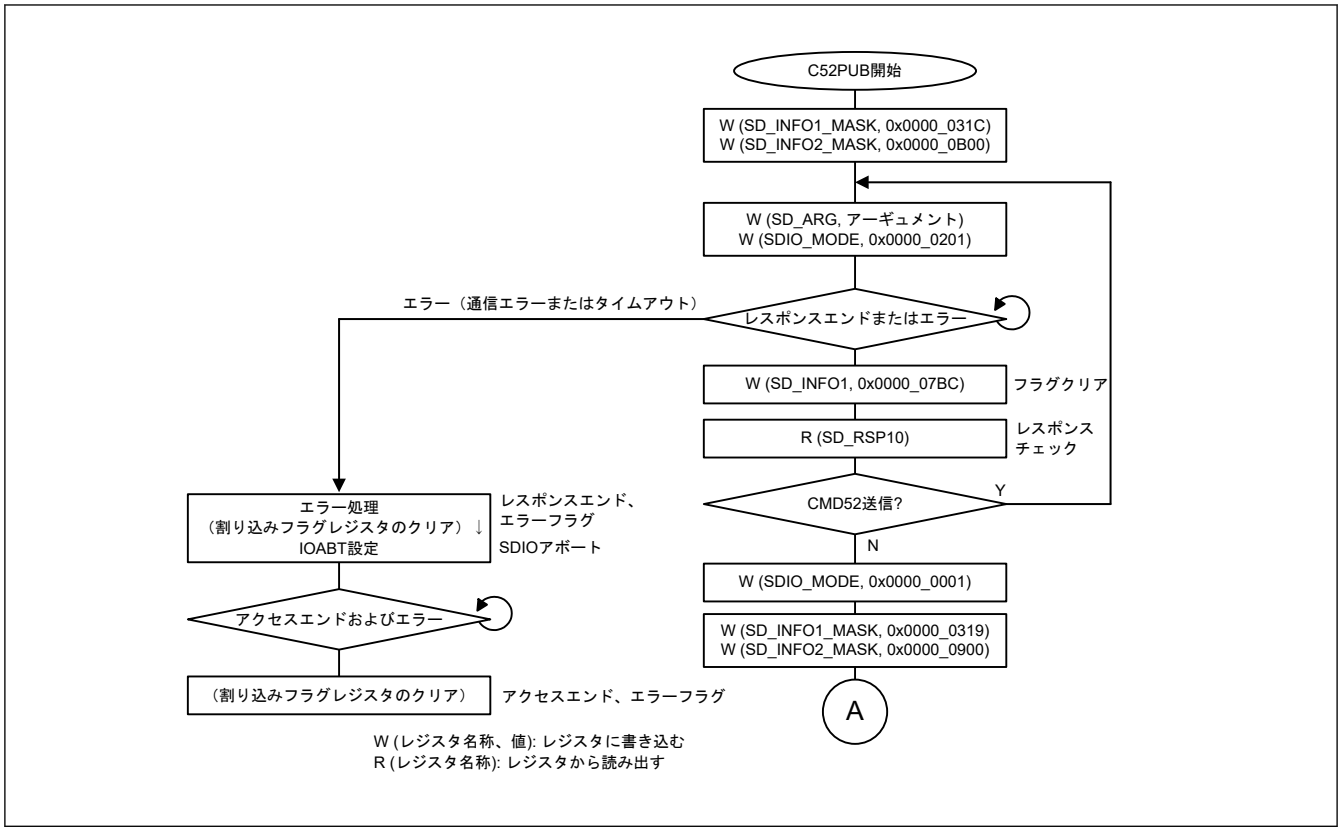


図 47.22 CMD53 マルチブロックライト時に CMD52 (SDIO none abort) が送信される場合のフロー

47.3.14 DMA 転送 (SD/MMC)

47.3.14.1 SD_BUF DMA 転送

図 47.23 に、CMD18 マルチブロックリードが送信される場合の SD_BUF DMA リードのフロー例を示します。

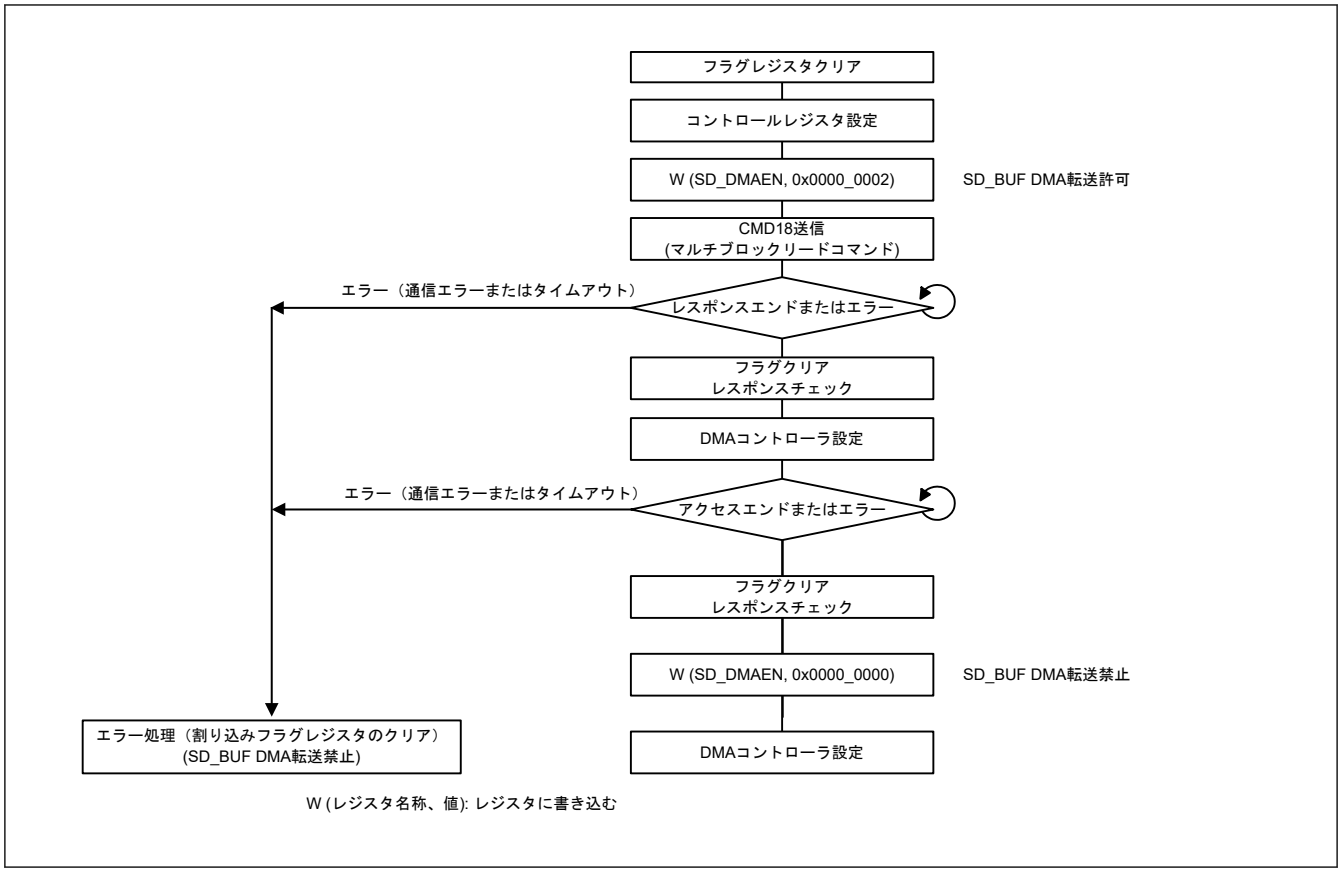


図 47.23　SD_BUF_DMA リード動作の例

図 47.24 に、CMD25 マルチブロックライトが送信される場合の SD_BUF DMA ライトのフロー例を示します。

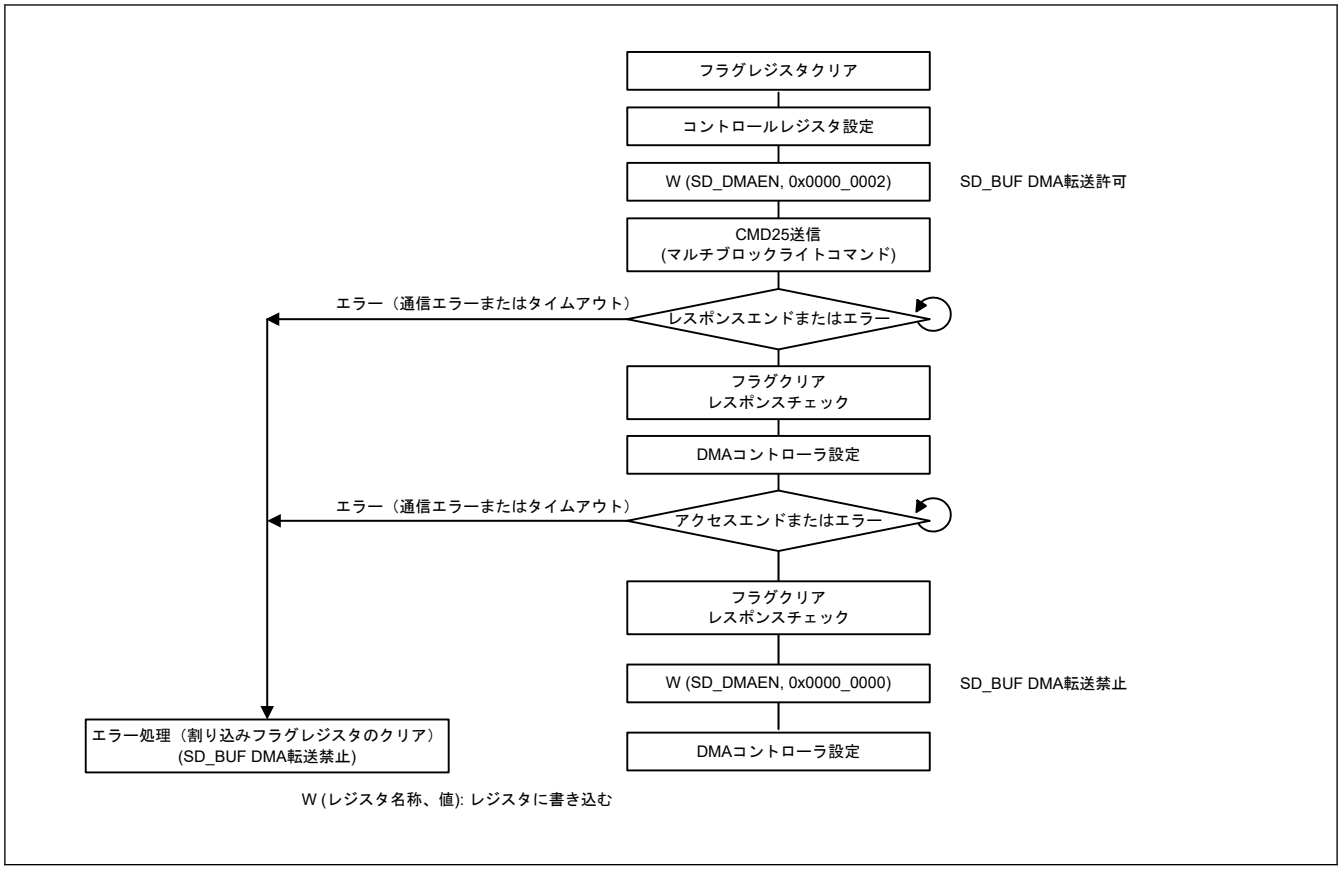


図 47.24　SD_BUF_DMA ライト動作の例

47.3.15　SD_CMD レジスタへの設定例

表 47.8 および表 47.9 に、SD_CMD レジスタへの設定例を示します。

表 47.8 SD の SD_CMD レジスタ設定例 (1/2)

種類	コマンド	SD_CMD レジスタ設定例	備考
CMD	CMD0	0x0000_0000	—
	CMD2	0x0000_0002	—
	CMD3	0x0000_0003	—
	CMD4	0x0000_0004	—
	CMD5	0x0000_0705 または 0x0000_0005	—
	CMD6	0x0000_1C06 または 0x0000_0006	—
	CMD7	0x0000_0007	カードを非選択状態にすると、レスポンスがないためレスポンスタイムアウトフラグが設定されます。
	CMD8	0x0000_0408 または 0x0000_0008	—
	CMD9	0x0000_0009	—
	CMD10	0x0000_000A	—
	CMD11	0x0000_040B または 0x0000_000B	—
	CMD12	0x0000_000C	—
	CMD13	0x0000_000D	—
	CMD15	0x0000_000F	—
	CMD16	0x0000_0010	—
	CMD17	0x0000_0011	—
	CMD18	0x0000_0012	自動 CMD12 による
	CMD20	0x0000_0514 または 0x0000_0014	—
	CMD24	0x0000_0018	—
	CMD25	0x0000_0019	自動 CMD12 による
	CMD27	0x0000_001B	—
	CMD28	0x0000_001C	—
	CMD29	0x0000_001D	—
	CMD30	0x0000_001E	—
	CMD32	0x0000_0020	—
	CMD33	0x0000_0021	—
	CMD38	0x0000_0026	—
	CMD42	0x0000_002A	—
	CMD52	0x0000_0434 または 0x0000_0034	—
	CMD53	0x0000_1C35	シングルリード
		0x0000_0C35	シングルライト
		0x0000_7C35	マルチリード
		0x0000_6C35	マルチライト
		0x0000_0035	左側の値は、シングル動作とマルチ動作の両方に設定可能です。ただし、SD_ARG の CF39 ビットは以下のように設定する必要があります。 読み出し：0、書き込み：1
	CMD55	0x0000_0037	—
	CMD56	0x0000_0038	—

表 47.8 SD の SD_CMD レジスタ設定例 (2/2)

種類	コマンド	SD_CMD レジスタ設定例	備考
ACMD	ACMD6	0x0000_0046	—
	ACMD13	0x0000_004D	—
	ACMD22	0x0000_0056	—
	ACMD23	0x0000_0057	—
	ACMD41	0x0000_0069	—
	ACMD42	0x0000_006A	—
	ACMD51	0x0000_0073	—

表 47.9 MMC の SD_CMD レジスタ設定例

種類	コマンド	SD_CMD レジスタ設定例	備考
CMD	CMD0	0x0000_0000	—
	CMD1	0x0000_0701	—
	CMD2	0x0000_0002	—
	CMD3	0x0000_0003	—
	CMD4	0x0000_0004	—
	CMD5	0x0000_0505	—
	CMD6	0x0000_0506	（レスポンスビジーあり）
		0x0000_0406	（レスポンスビジーなし）
	CMD7	0x0000_0007	カードを非選択状態にすると、レスポンスがないためレスポンスタイムアウトフラグが設定されます。
	CMD8	0x0000_1C08	—
	CMD9	0x0000_0009	—
	CMD10	0x0000_000A	—
	CMD12	0x0000_000C	—
	CMD13	0x0000_000D	—
	CMD14	0x0000_1C0E	必須の設定 : SD_IFMODE = 0x0000_0100（CRC チェックが無効）
	CMD15	0x0000_000F	—
	CMD16	0x0000_0010	—
	CMD17	0x0000_0011	—
	CMD18	0x0000_7C12	Pre-defined
	CMD19	0x0000_0C13	必須の設定 : SD_IFMODE = 0x0000_0100（CRC チェックが無効）
	CMD21	0x0000_1C15	DDR モードが抑止されます。
	CMD23	0x0000_0017	—
	CMD24	0x0000_0018	—
	CMD25	0x0000_6C19	Pre-defined
	CMD26	0x0000_0C1A	—
	CMD27	0x0000_001B	—
	CMD28	0x0000_001C	—
	CMD29	0x0000_001D	—
	CMD30	0x0000_001E	—
	CMD31	0x0000_1C1F	—
	CMD35	0x0000_0423	—
	CMD36	0x0000_0424	—
	CMD38	0x0000_0026	—
	CMD39	0x0000_0427	—
	CMD40	0x0000_0428	—
	CMD42	0x0000_002A	—
	CMD49	0x0000_0C31	—
	CMD53	0x0000_7C35	—
	CMD54	0x0000_6C36	—
	CMD55	0x0000_0037	—
	CMD56	0x0000_0038	—

47.4 使用上の注意事項

47.4.1 SD_BUF0 不正書き込み (SD/MMC)

シングルブロックライトまたはマルチブロックライトコマンドを送信した後に SD_BUF0 にデータを書き込む場合、SD_SIZE で設定したサイズのデータを書き込む必要があります。

データが SD_SIZE で設定したサイズを超えると、SD_INFO2 の ERR4 ビットが 1 になります。また、SD_BUF0 に書き込まれたデータを転送できず、SD_INFO2 の SD_CLK_CTRLEN ビットは値 0 に保持される可能性があります。その場合、SOFT_RST の SDRST ビットを 0 にクリアした後にその値を 1 に戻すと、SD_CLK_CTRLEN ビットが 1 になります。

ただし、ダミーデータ部分の書き込みは超過データとみなされて無視されるため、SD_SIZE 設定が奇数の場合は 1 バイトまたは 3 バイトに適用されず、SD_SIZE 設定が偶数の場合は端数バイト（4 バイト単位になっていない 2 バイト）に適用されません。

47.4.2 マルチブロックリードのブロック数制限 (SD)

1 ブロックまたは 2 ブロックのマルチブロックリードを実行するときに、SD カードレスポンスレジスタが読み出されるタイミングによっては、レスポンス値が適切に読み出されない場合があります。これを回避するためには、以下のいずれかを実行します。

1. 1 ブロックまたは 2 ブロックのデータを受信するときに、シングルブロックリードを使用する。
2. SD_RSP54 から CMD18 へのレスポンスを読み出す。

47.4.2.1 誤った読み出しのメカニズム

図 47.25 に、2 ブロックのマルチブロックリードが実行された場合の SDHI（ハードウェア）動作とソフトウェア動作の処理フローを示します。図 47.25 に示す誤動作のように、CMD18 レスポンスの受信時に割り込みが発生し、SD カードレスポンスレジスタ (SD_RSP10) が割り込みによって読み出されるタイミングが遅延した場合、CMD12 レスポンス受信中のデータまたは CMD12 レスポンスが読み出される場合があります。データブロックが読み出されるまで CMD12 は送信されないため、この問題は 3 ブロック以上のマルチブロックリードでは発生しません。同様に、CMD25 レスポンスはデータブロック送信前に読み出されるため、この問題はマルチブロックライトでも発生しません。

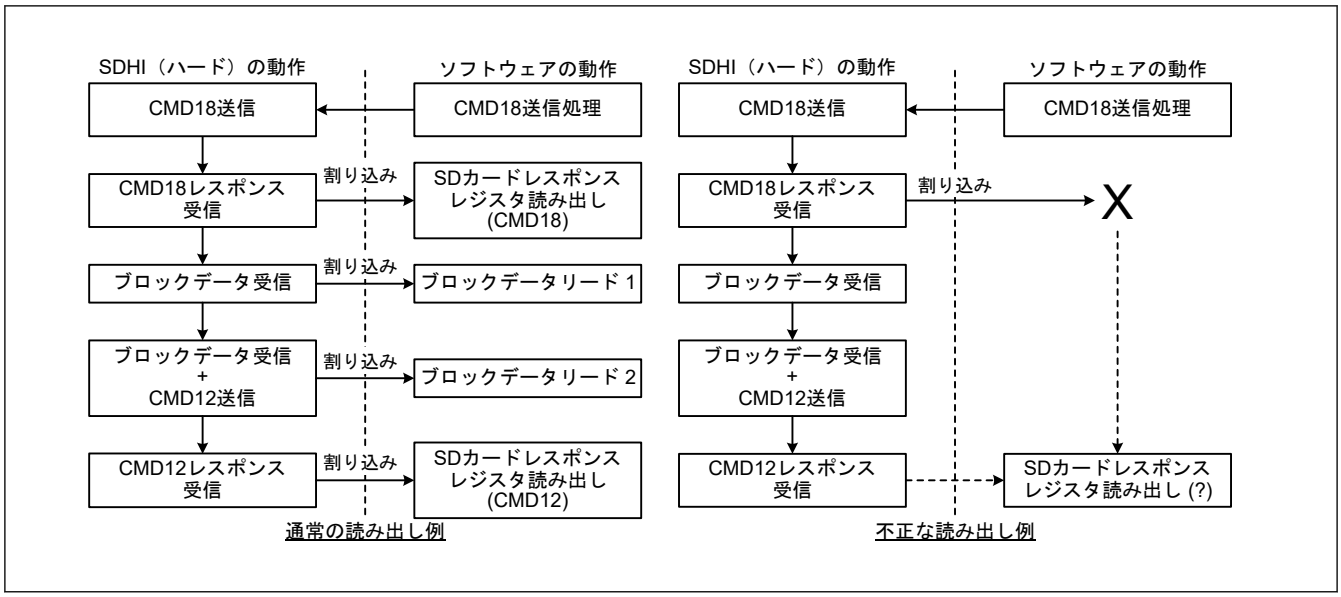


図 47.25 マルチブロックリード動作のフローチャート（2 ブロック）

47.4.3 SD/MMC クロック出力の自動制御 (SD/MMC)

SD カード／MMC 規格では、カードを初期化する前に SD/MMC クロックを 74 サイクル出力する必要があります。このため、SD/MMC クロックが 74 サイクル出力された後に、SD/MMC クロック出力の自動制御を使用します。また、SD/MMC クロック出力の自動制御を有効にした場合、通信エラーまたはタイムアウトによりシーケン

スが完了すると SD/MMC クロック出力が停止します。シーケンスの完了後に SD カード／MMC 内の状態遷移が必要な場合、SD/MMC クロック出力の自動制御を解除し、SD カード／ MMC への SD/MMC クロックの供給を再開させてください。

47.4.4 マルチブロックライトの C52PUB 設定の制御 (SD)

CMD53 によるマルチブロックライトのシーケンス中に SDIO_MODE の C52PUB ビットを 1 にすると、SD_BUF がエンプティになるまで CMD52 は送信されません。このため、以下の適切な手順に従って SD_BUF への書き込みを一時停止してから C52PUB ビットを設定してください。

(a) DMA 転送を使用しない場合

1. C52PUB ビットを設定する前に、BWE 割り込みを禁止するように SD_INFO2 を設定することで SD_BUF への書き込みを一時停止する。
2. SDIO_MODE の C52PUB ビットを 1 にする（これにより、SD_BUF がエンプティになると CMD52 が送信される）。
3. CMD52 の送信による SD_INFO1 での RSPEND 割り込み処理が完了した後に、BWE 割り込みを許可するように SD_INFO2 を設定することで SD_BUF への書き込みを再開する。

(b) DMA 転送を使用する場合

1. SD_SIZE に設定された値 × n ブロック (n = 1, 2, ...) の DMA 転送が始まるたびに、C52PUB ビットを設定する前に DMA 転送による SD_BUF への書き込みを一時停止する。
2. SDIO_MODE の C52PUB ビットを 1 にする（これにより、SD_BUF がエンプティになると CMD52 が送信される）。
3. CMD52 の送信による SD_INFO1 での RSPEND 割り込み処理が完了した後に、DMA 転送による SD_BUF への書き込みを再開する。

47.4.5 SD_CLK_CTRL レジスタ設定時の注意 (SD/MMC)

SD_INFO2 の SD_CLK_CTRLEN ビットが 0 の場合、SD_CLK_CTRL に書き込むことはできません。
SD_CLK_CTRL に書き込むときは、SD_INFO2 の SD_CLK_CTRLEN ビットが 1 であることを確認してから行ってください。

47.4.6 仕様の制限

1. SDIO の一時停止／再開動作はサポートされていない。
2. SPI バスはサポートされていない。(SD/MMC)
3. Embedded SDIO の共有バスと 8 ビット SD バスはサポートされていない。
4. MMC のストリーム転送はサポートされていない。
5. MMC の High Priority Interrupt (HPI) はサポートされていない。
6. MMC の Boot Operation/Alternative Boot Operation はサポートされていない。
7. MMC の Open-ended マルチブロック転送はサポートされていない。

47.4.7 マルチブロックリード時の STP ビット設定 (SD/MMC)

SD_STOP の SEC ビットを 1 にすることで自動 CMD12 実行によるマルチブロックリードを実行しているときは、強制的に実行を停止するために SD_STOP の STP ビットを 1 にしても、STP ビットを設定するタイミングによってはコマンドシーケンスが停止しない場合があります。

これを回避するには、マルチブロック転送時に SD_STOP の STP ビットを 1 にするときに、同時に SD_STOP の SEC ビットを 0 にクリアします。(SD_INFO2 の SD_CLK_CTRLEN ビットが 0 の場合でも、SEC ビットを 1 から 0 に変更します。)

SEC ビットが 0 にクリアされないためにコマンドシーケンスが停止しないときは、SOFT_RST の SDRST ビットを 0 にクリアすることでコマンドシーケンスを停止することが可能です。

CMD53 マルチブロック転送を SDIO_MODE の IOABT ビットで強制的に終了するときは、必ず SD_STOP の SEC ビットを 1 のままにしてください。

47.4.8 レジスタ設定時の注意

1. 「47.2. レジスタの説明」の全レジスタへのアクセスは、32 ビットアクセスに限定されます。
2. レジスタは、I/O ポートレジスタを設定してから設定してください。

47.4.9 モジュールストップ機能

モジュールストップコントロールレジスタ C (MSTPCRC) により、SDHI の動作を無効または有効に設定することができます。リセット後の初期状態では、SDHI モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

47.4.10 ソフトウェアスタンバイモード

ソフトウェアスタンバイモードに遷移する前に、SD_INFO2.CBSY ビットが 0 であることを確認してください。

48. 巡回冗長検査 (CRC)

48.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能は、特定のアドレスに対する読み出しと書き込みをモニタするのを許可します。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 48.1 に CRC 演算器の仕様を、図 48.1 にブロック図を示します。

表 48.1 CRC 演算器の仕様

項目	内容	
データサイズ	8 ビット	32 ビット
CRC 演算対象データ(注1)	8n ビット単位の任意データに対し CRC コードを生成（n = 自然数）	32n ビット単位の任意データに対し CRC コードを生成（n = 自然数）
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] • $X^8 + X^2 + X + 1$ (CRC-8) [16 ビット CRC] • $X^{16} + X^{15} + X^2 + 1$ (CRC-16) • $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT)	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] • $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32) • $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C)
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減が可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みの監視	
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能	

注 1. 本機能は、CRC 演算で使用するデータを分割できません。8 ビット単位または 32 ビット単位で書いてください。

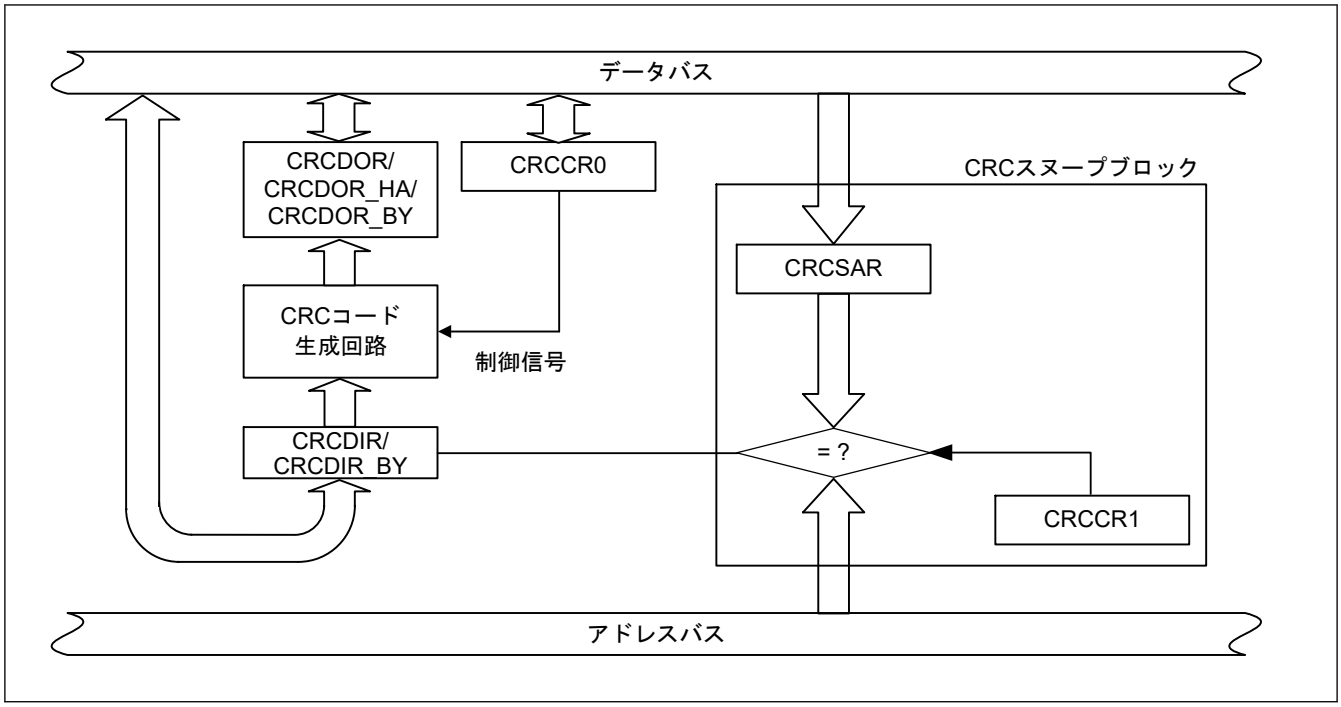


図 48.1 CRC 演算器のブロック図

48.2 レジスタの説明

48.2.1 CRCCR0 : CRC コントロールレジスタ 0

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DORCLR	LMS	—	—	—	GPS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GPS[2:0]	CRC 生成多項式切り替え 0 0 1: 8 ビット CRC-8 ($X^8 + X^2 + X + 1$) 0 1 0: 16 ビット CRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16 ビット CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32 ビット CRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32 ビット CRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) その他: 演算しない	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	LMS	CRC 演算切り替え 0: LSB ファースト通信用に CRC を生成 1: MSB ファースト通信用に CRC を生成	R/W
7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア 0: 影響なし 1: CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタをクリア	W

注. S-TYPE3, P-TYPE3

GPS[2:0]ビット（CRC 生成多項式切り替え）

GPS[2:0]ビットは、CRC 生成多項式を選択します。

LMS ビット（CRC 演算切り替え）

LMS ビットは、生成した CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。CRC コードの送信および受信については、「48.3. 動作説明」を参照してください。

DORCLR ビット（CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア）

DORCLR ビットを 1 にすると、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタが 0x00000000 になります。読むと 0 が読めます。このビットには 1 のみ書けます。

48.2.2 CRCCR1 : CRC コントロールレジスタ 1

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CRCSEN	CRCSWR	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CRCSWR	スヌープオンライト／リード切り替え 0: スヌープオンリード 1: スヌープオンライト	R/W
7	CRCSEN	スヌープ許可 0: 禁止 1: 許可	R/W

注. S-TYPE3, P-TYPE3

CRCSWR ビット（スヌープオンライト／リード切り替え）

CRCSWR ビットは CRC スヌープ機能でのアクセス方向を選択します。

このビットを 0（初期値）にすると、特定のレジスタの読み出しに対して CRC スヌープ動作が有効になります。このビットを 1 にすると、特定のレジスタの書き込みに対して CRC スヌープ動作が有効になります。

CRCSEN ビット（スヌープ許可）

CRCSEN ビットを 1 にすると、CRC スヌープ動作が有効になります。このビットを 0 にすると、CRC スヌープ動作が無効になります。

48.2.3 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x04

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 入力データ CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込む 32 ビットの読み出し／書き込みレジスタです。CRCDIR_BY (CRCDIR[31:24]) レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込む 8 ビットの読み出し／書き込みレジスタです。	R/W

注. S-TYPE3, P-TYPE3

48.2.4 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x08

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 出力データ CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットの読み出し／書き込みレジスタです。 CRCDOR_HA (CRCDOR[31:16]) レジスタは、CRC-16 または CRC-CCITT 演算用の 16 ビットの読み出し／書き込みレジスタです。 CRCDOR_BY (CRCDOR[31:24]) レジスタは、CRC-8 演算用の 8 ビットの読み出し／書き込みレジスタです。初期値は 0x00000000 ですので、初期値以外を用いて演算する場合は、CRCDOR レジスタ、CRCDOR_HA レジスタ、または CRCDOR_BY レジスタを書き換えてください。 CRCDIR/CRCDIR_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDORCRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0x00000000 であると、CRC エラーがないと判断できます。	R/W

注. S-TYPE3, P-TYPE3

48.2.5 CRCSAR : スヌープアドレスレジスタ

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x0C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CRCSA[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CRCSA[13:0]	レジスタスヌープアドレス スヌープ対象となる、SCI モジュールの TDR または RDR アドレスを格納します。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

CRCSA[13:0]ビット（レジスタスヌープアドレス）

CRCSA[13:0]ビットは、CRC スヌープ動作で監視されるレジスタのアドレス下位 14 ビットを指定します。

CRCSA[13:0]ビットで使用できるのは、以下のアドレスのみです。

［セキュア領域のアドレス］

- 0x4035_8004: SCI0.TDR, 0x4035_8000: SCI0.RDR
- 0x4035_8104: SCI1.TDR, 0x4035_8100: SCI1.RDR
- 0x4035_8204: SCI2.TDR, 0x4035_8200: SCI2.RDR
- 0x4035_8304: SCI3.TDR, 0x4035_8300: SCI3.RDR
- 0x4035_8404: SCI4.TDR, 0x4035_8400: SCI4.RDR
- 0x4035_8504: SCI5.TDR, 0x4035_8500: SCI5.RDR
- 0x4035_8604: SCI6.TDR, 0x4035_8600: SCI6.RDR
- 0x4035_8704: SCI7.TDR, 0x4035_8700: SCI7.RDR
- 0x4035_8804: SCI8.TDR, 0x4035_8800: SCI8.RDR
- 0x4035_8904: SCI9.TDR, 0x4035_8900: SCI9.RDR

［非セキュア領域のアドレス］

- 0x5035_8004: SCI0_NS.TDR, 0x5035_8000: SCI0_NS.RDR
- 0x5035_8104: SCI1_NS.TDR, 0x5035_8100: SCI1_NS.RDR
- 0x5035_8204: SCI2_NS.TDR, 0x5035_8200: SCI2_NS.RDR

- 0x5035_8304: SCI3_NS.TDR, 0x5035_8300: SCI3_NS.RDR
- 0x5035_8404: SCI4_NS.TDR, 0x5035_8400: SCI4_NS.RDR
- 0x5035_8504: SCI5_NS.TDR, 0x5035_8500: SCI5_NS.RDR
- 0x5035_8604: SCI6_NS.TDR, 0x5035_8600: SCI6_NS.RDR
- 0x5035_8704: SCI7_NS.TDR, 0x5035_8700: SCI7_NS.RDR
- 0x5035_8804: SCI8_NS.TDR, 0x5035_8800: SCI8_NS.RDR
- 0x5035_8904: SCI9_NS.TDR, 0x5035_8900: SCI9_NS.RDR

48.3 動作説明

48.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (0xF0) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用している場合は、CRCDOR_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 48.2 と図 48.3 に LSB ファーストおよび MSB ファーストのデータ送信例をそれぞれ示します。 図 48.4 と図 48.5 に LSB ファーストおよび MSB ファーストのデータ受信例をそれぞれ示します。

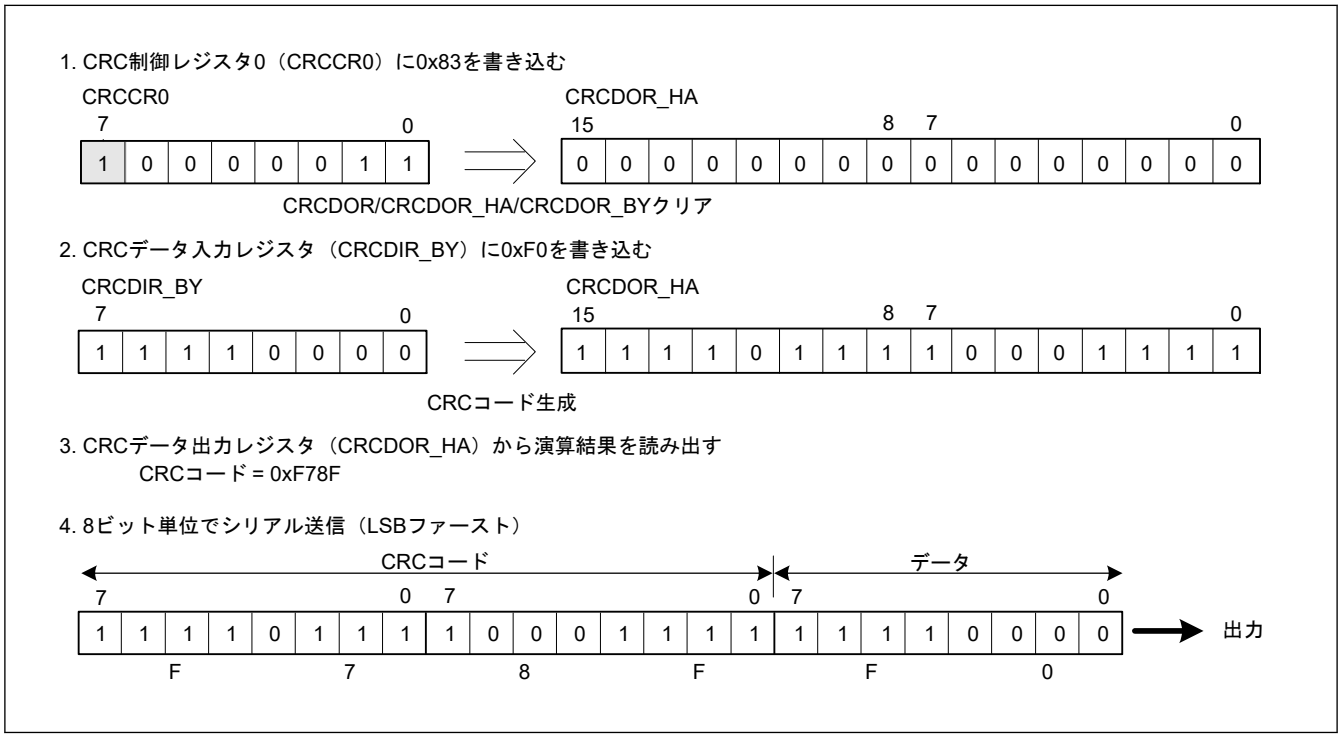


図 48.2 LSB ファーストのデータ送信

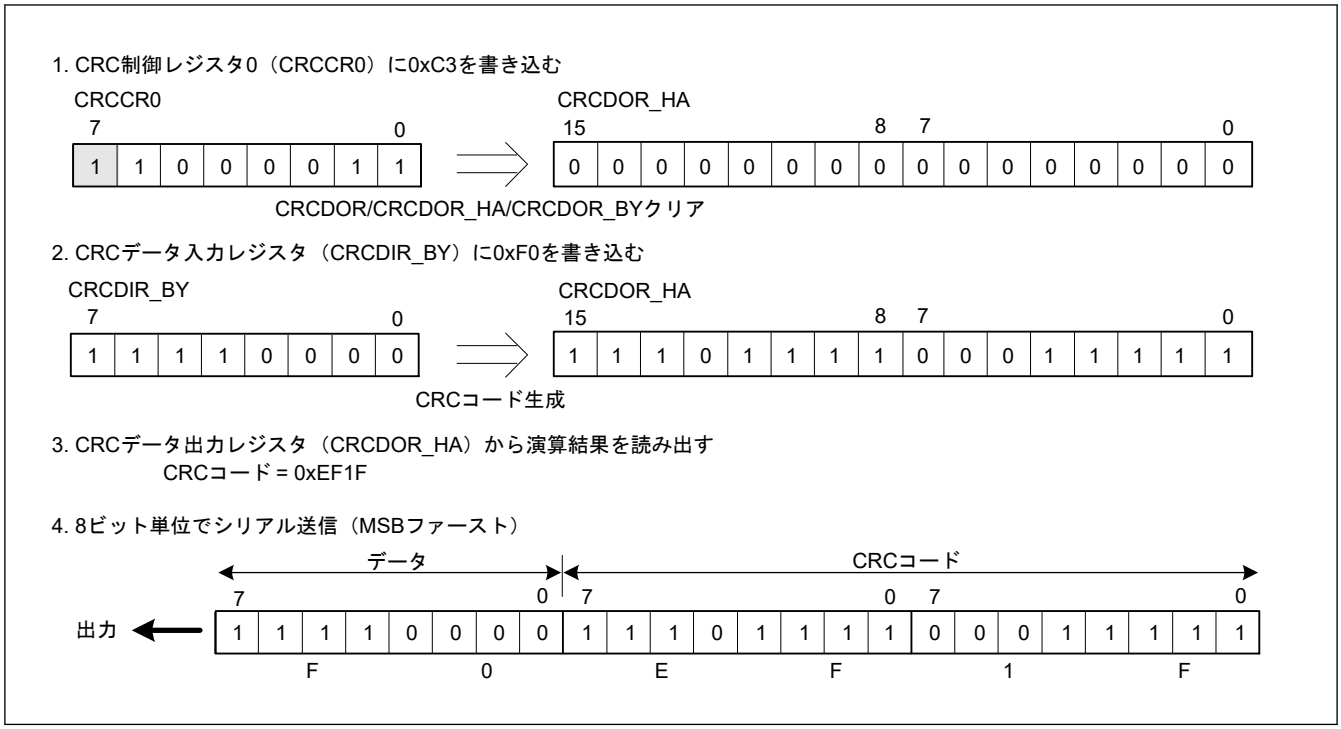


図 48.3　MSB ファーストのデータ送信

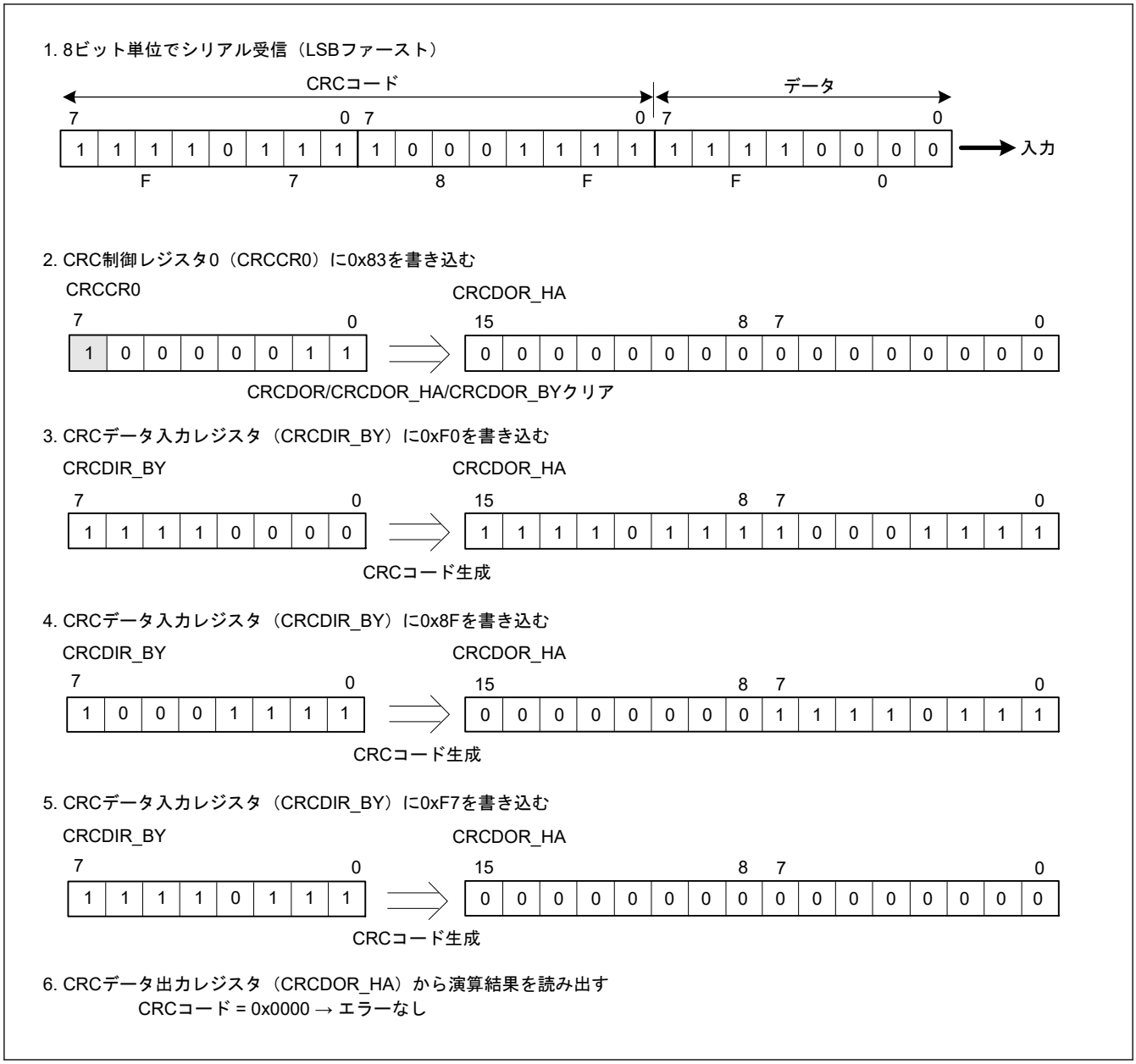


図 48.4　LSB ファーストのデータ受信

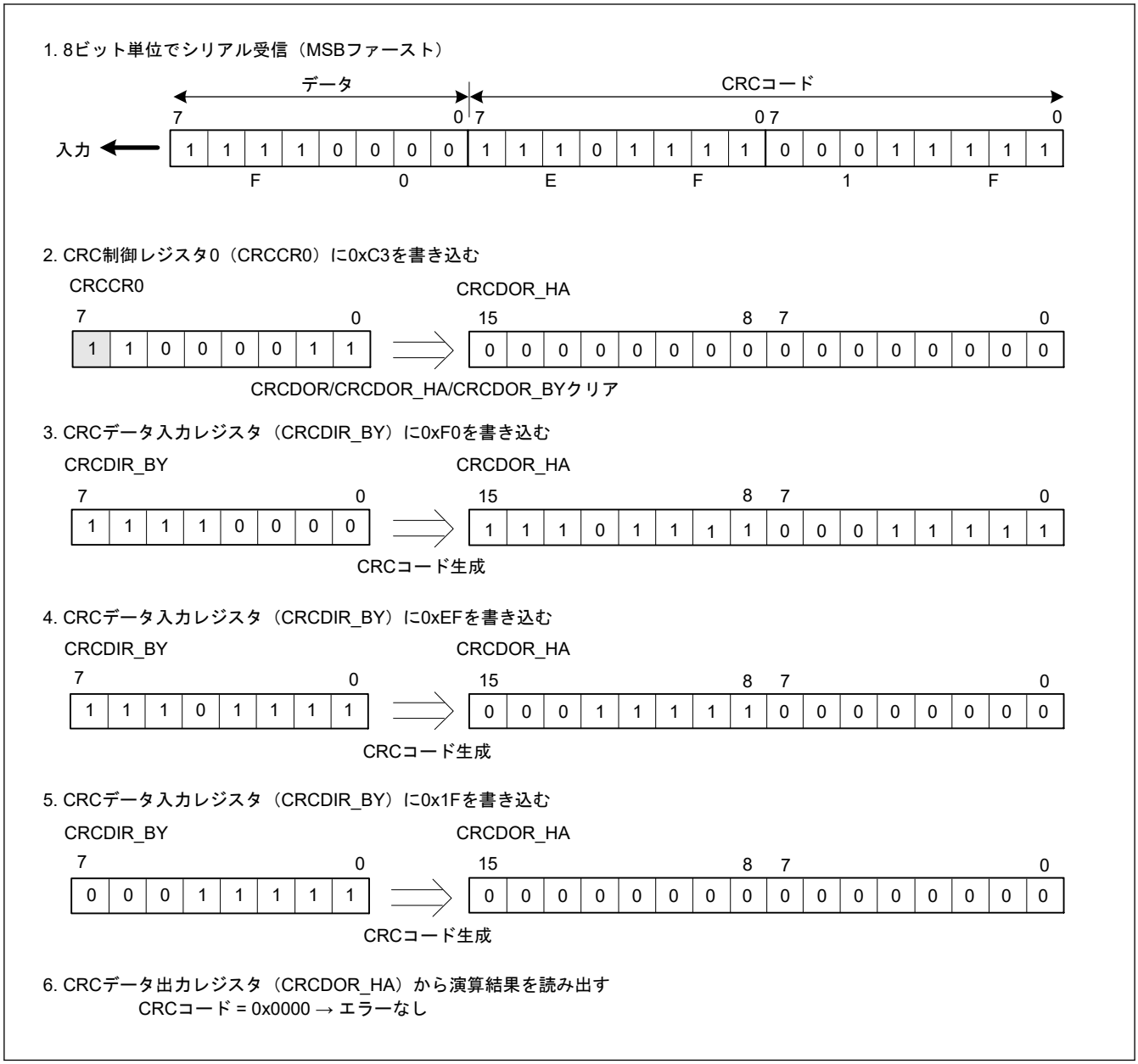


図 48.5 MSB ファーストのデータ受信

48.3.2 CRC スヌープ機能

CRC スヌープ機能は、特定のレジスタに対する読み出しと書き込みを監視し、その監視したデータに対して自動的に CRC 演算を実行します。CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR レジスタにデータを書き込む必要がありません。「48.2.5. CRCSAR : スヌープアドレスレジスタ」で指定したすべての I/O レジスタが、CRC スヌープの対象となります。CRC スヌープは、SCIn.TDR (n = 0～9) レジスタへの書き込みと、SCIn.RDR (n = 0～9) レジスタからの読み出しを監視するのに役立ちます。

この機能を使用するには、特定のレジスタの下位アドレス 14 ビットを CRCSAR レジスタの CRCSA[13]～CRCSA[0]ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象レジスタへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象レジスタからの読み出しに対してスヌープを有効にします。CRCSWR ビットの書き込みが完了する前に対象 I/O レジスタへのアクセスを実行することは可能です。この場合、データは CRCDIR レジスタに格納されません。この問題を避けるには、I/O レジスタにアクセスする前に、CRCSWR ビットを読み戻して、書き込みの完了を確認してください。

CRCSEN ビットと CRCSWR ビットの両方を 1 にして、バスマスタモジュール（CPU、DMAC、DTC など）の対象となるレジスタにデータを書き込むと、CRC 演算器はそのデータを CRCDIR レジスタに格納して CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール（CPU、DMAC、DTC など）の対象となるレジスタからデータを読み出すと、CRC 演算器はそのデータを CRCDIR レジスタに格納して CRC 演算を実行します。

CRC-8、CRC-16、および CRC-CCITT の生成多項式を使用して CRC コードが生成される場合、対象となるレジスタはバイト（8 ビット）でアクセスできます。RDR および TDR にアクセスするためには、RDR_BY と TDRLL を使う必要があります。同様に、CRC-32 および CRC-32C 生成多項式を使用して CRC コードを生成する場合、対象となるレジスタは 1 ワード（32 ビット）でアクセスできます。RDR と TDR に関して、CRC コードが RDAT および TDAT 以外のデータを含むように生成されることに注意してください。

CRC が PSARC.PSARC1 ビットによってセキュアに指定されると、指定した I/O レジスタへのセキュアアクセスに対して、CRC スヌープ機能が使用可能です。CRC が PSARC.PSARC1 ビットによって非セキュアに指定されると、指定した I/O レジスタへの非セキュアアクセスに対して、CRC スヌープ機能が使用可能です。

48.4 使用上の注意事項

48.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作禁止／許可を設定することが可能です。リセット後の値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

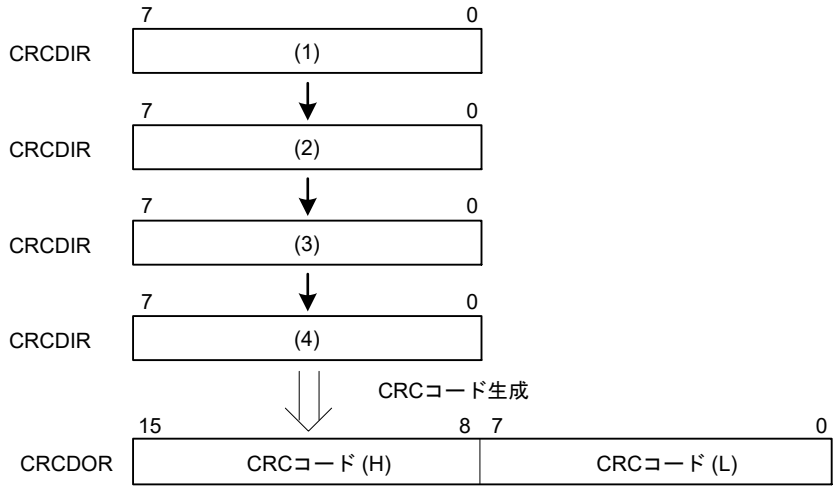
48.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。 図 48.6 に LSB ファーストと MSB ファーストのデータ送信を示します。

32ビットのデータを送信する場合（8ビット単位での並列処理）

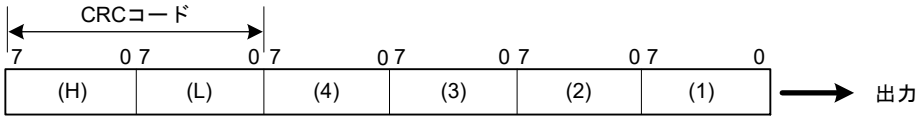
1. CRCコード

生成演算方法を指定後、（1）→（2）→（3）→（4）の順でCRCDIRにデータを書く



2. 送信データ

(i) LSBファーストで送信する場合



(ii) MSBファーストで送信する場合

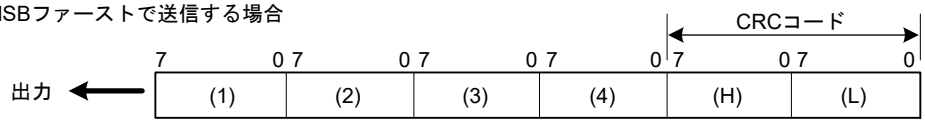


図 48.6 LSB ファーストと MSB ファーストのデータ送信

49. パルス密度変調インタフェース (PDM-IF)

49.1 概要

パルス密度変調インタフェース (PDM-IF) には、パルス密度変調信号を出力する外部マイクロホンに接続可能なチャネルが最大 3 つあります。PDM-IF は最大 3 つの外部マイクロホンと接続可能です。PDM-IF は、高いサンプリングレートでパルス密度変調された 1 ビットのデジタルデータストリームをフィルタリングして、より低いサンプリングレートの 20 ビットまたは 16 ビットのデジタルデータに変換できます。

本章に記載している PCLK とは PCLKB を指します。

表 49.1 に PDM-IF の仕様を示します。図 49.1 に PDM-IF のブロック図を示します。

表 49.1 PDM-IF の仕様

項目	説明
チャネル数	3 チャネル
機能	• 1 ビットデジタル入力データ PDM_DATAn (n = 0～2) のフィルタ処理を行い 20 ビットまたは 16 ビットのデジタルデータに変換することが可能です。ビットオーダーはリトルエンディアンです。 • IP はステレオマイクロホンに対応します（クロックの立ち上がり／立ち下がりエッジで左サンプリング／右サンプリング）。 • IP は SAD (Sound Activity Detector) 機能に対応します。 • IP の各チャネルにはプログラム可能なフィルタがいくつかあります：4 次 Sinc フィルタ、ハイパスフィルタ（DC バイアス抑制用）、補償フィルタ（Sinc 通過帯域歪み用）、ハーフバンドデシメーションフィルタ（折り返し歪み用）。 – IP は、プログラム可能で柔軟性のあるデシメーション比に対応しています。 – Sinc フィルタは、1 次、2 次、3 次、4 次の中から選択可能です。 • IP は、APB を介した DMA 動作に対応しています。 • IP の各チャネルには内部バッファがあります。 – 設計時のバッファサイズは 32 段です。 – 低消費電力モードでも音声データを格納することが可能です。 • エラー検出機能を使用してデバッグを行うことができます。
割り込み要因	最大 7 要因 1. 1 チャネルあたりのデータ受信割り込み数（最大 3） 2. サウンド検出割り込み（チャネル間で共用） 3. 1 チャネルあたりのエラー検出割り込み数（最大 3）
消費電力低減機能	• IP は、（クロックを遅くすることで）マイクロホンの消費電力を低減する機能に対応しています。IP は、サウンドを認識すると速いクロック速度に切り替えることができます。 • 低消費電力モード時に MCU はバスクロックを停止することができます。
バスインタフェース	• IP には、APB4 に確認を行う APB インタフェースがあります。
TrustZone フィルタ	• セキュリティ属性と特権属性を設定できます。

PDM-IF の各チャネルは以下のブロックで構成されています：

- クロック制御：PDMCLKn をマイクロホンに出力し、内部タイミング信号を Sinc フィルタに出力します。
- データ入力制御：マイクロホンから PDMDATAn を受信します。
- Sinc フィルタ：PDMDATAn から入力された 1 ビットデジタルデータストリームを 34 ビットの符号付きデータに変換します。この 34 ビットの符号付きデータから、20 ビットの符号付きデータがクリッピングされます。
- ハイパスフィルタ：DC バイアスを抑えるためのフィルタです。
- 補償フィルタ：Sinc 通過帯域歪み用のフィルタです。
- ローパス（ハーフバンドデシメーション）フィルタ：折り返し歪み用のフィルタです。
- 移動平均フィルタ：サウンド検出前のノイズを低減するための簡易フィルタです。
- サウンド検出：低消費電力モードから復帰するためのウェイクアップ割り込みを生成します。
- データバッファ：いくつかのフィルタを通った 20 ビットまたは 16 ビットのデータを格納します。
- 短絡検出：PDMDATAn から連続して入力される 0 または 1 によって短絡エラーを検出します。
- 過電圧検出：過電圧エラーを検出します。

- エラー制御：他のブロックからエラーフラグを生成します。

PDMDATAn 端子 (n = 0～2) から入力される 1 ビットデジタルデータストリームは、Sinc フィルタで 34 ビットの符号付きデータに変換された後、20 ビットの符号付きデータにクリッピングされます。20 ビットの符号付きデータは、バッファに格納されてサウンド検出に使用されます。

20 ビットの符号付きデータは、ハイパスフィルタブロックと移動平均フィルタブロックを通ってサウンド検出ブロックに送られます。このブロックは、受け取ったデータを設定されたしきい値と比較します。上しきい値を上回っている場合、または下しきい値を下回っている場合、ウェイクアップ割り込みを生成します。

20 ビットの符号付きデータは、ハイパスフィルタ、補償フィルタ、およびローパスフィルタを通ってデータバッファブロックに送られます。このブロックは、20 ビットの符号付きデータまたはクリッピングされた 16 ビットのデータを格納します。APB 読み出しアクセスが発生すると、このブロックから APB-IF へ 20 ビットまたは 16 ビットの符号付きデータが送られます。

表 49.2　PDM I/O 端子 (n = 0～2)

機能	端子名	入力／出力	説明
PDM-IF	PDMCLKn	出力	クロック出力端子
	PDMDATAn	入力	データ用の入力端子

図 49.1 に、PDM-IF の主なコンポーネントを示します。

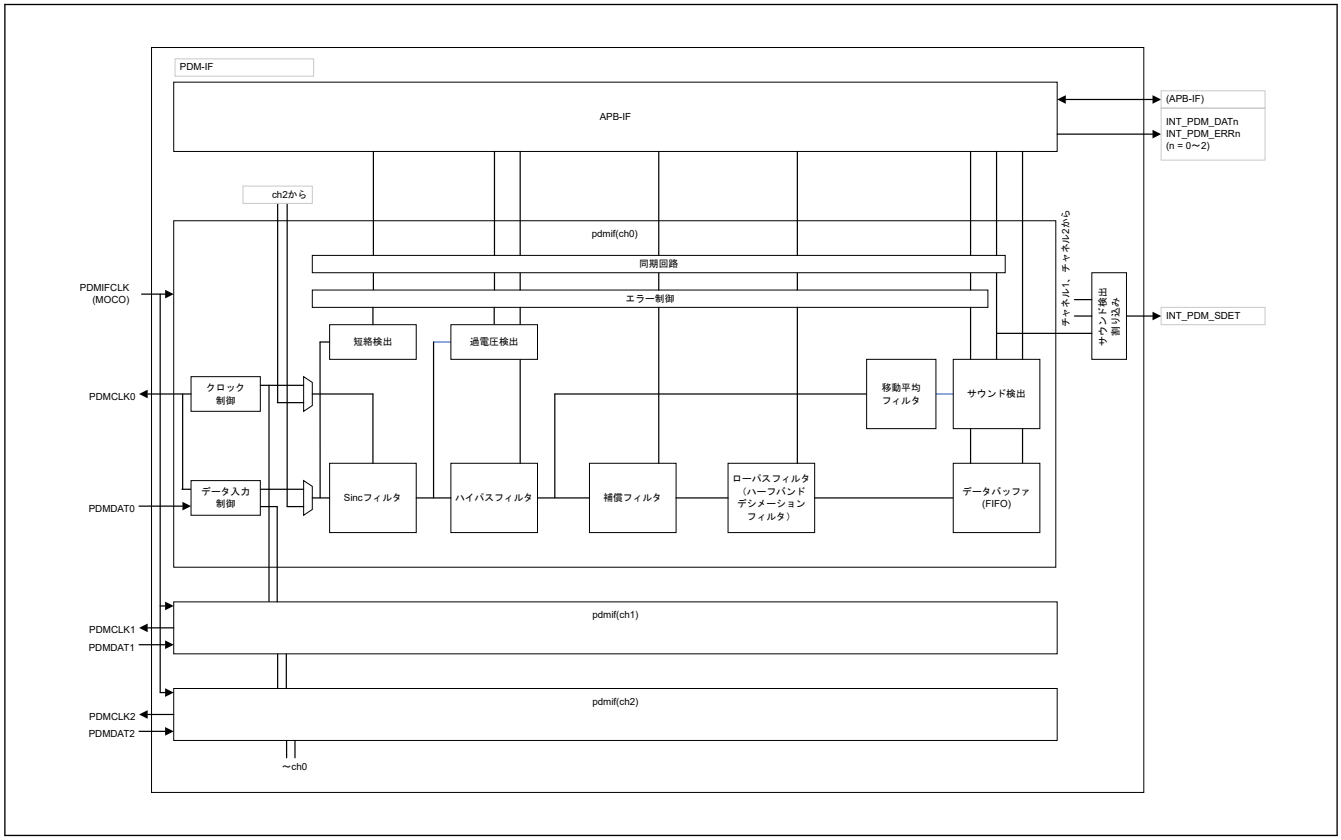


図 49.1　PDM-IF のブロック図

49.2 レジスタの説明

49.2.1 レジスタマップ

表 49.3 レジスタマップ (1/5)

ベースアドレスシンボル	オフセットアドレス	シンボル	レジスタ名	R/W	初期値	書き込み可能期間(注1)				
						(1) 起動フロー	(2) 停止フロー	(3) 通常処理フロー	(4) 低消費電力モード遷移フロー	(5) 通常モード遷移フロー
PDMIF	0x000	PDCSTRTR	チャネルソフトウェア起動トリガレジスタ	W	0x00000000	✔	—	—	—	—
PDMIF	0x004	PDCSTPTR	チャネルソフトウェア停止トリガレジスタ	W	0x00000000	—	✔	—	—	—
PDMIF	0x008	PDCCHGTR	チャネルソフトウェア変更トリガレジスタ	W	0x00000000	—	—	—	✔	✔
PDMIF	0x00C	PDCICR	チャネル割り込みコントロールレジスタ	R/W	0x00000000	✔	✔	—	✔	✔
PDMIF	0x010	PDCSR	チャネルステータスレジスタ	R	0x00000000	—	—	—	—	—
PDMIF	0x014	PDCSCR	チャネルステータスクリアレジスタ	W	0x00000000	✔	✔	—	✔	✔
PDMIF	0x020	PDCSDCR	チャネルサウンド検出コントロールレジスタ	R/W	0x00000000	✔	✔	—	✔	✔
PDMIF	0x024	PDCDRCR	チャネルデータ読み出しコントロールレジスタ	R/W	0x00000000	—	—	✔	—	—
PDMIF	0x028	PDCDCR	チャネルデータクリアレジスタ	W	0x00000000	—	—	✔(注2)	—	—
PDMIF	0x080	PDVR	バージョンレジスタ	R	0x00000010	—	—	—	—	—
PDMIF	0x100 + 0x100 x n	PDSTRTRCHn	ソフトウェア起動トリガレジスタチャネル n (n = 0～2)	W	0x00000000	✔	—	—	—	—
PDMIF	0x104 + 0x100 x n	PDSTPTRCHn	ソフトウェア停止トリガレジスタチャネル n (n = 0～2)	W	0x00000000	—	✔	—	—	—
PDMIF	0x108 + 0x100 x n	PDCHGTRCHn	ソフトウェア変更トリガレジスタチャネル n (n = 0～2)	W	0x00000000	—	—	—	✔	✔
PDMIF	0x10C + 0x100 x n	PDICRCHn	割り込みコントロールレジスタチャネル n (n = 0～2)	R/W	0x00000000	✔	✔	—	✔	✔
PDMIF	0x110 + 0x100 x n	PDSDCRCHn	ステータス検出コントロールレジスタチャネル n (n = 0～2)	R/W	0x00000000	✔	✔	—	—	—
PDMIF	0x114 + 0x100 x n	PDSRCHn	ステータスレジスタチャネル n (n = 0～2)	R	0x00000000	—	—	—	—	—

表 49.3 レジスタマップ (2/5)

ベースアドレスシンボル	オフセットアドレス	シンボル	レジスタ名	R/W	初期値	書き込み可能期間(注1)				
						(1) 起動フロー	(2) 停止フロー	(3) 通常処理フロー	(4) 低消費電力モード遷移フロー	(5) 通常モード遷移フロー
PDMIF	0x118 + 0x100 x n	PDSCRCHn	ステータスクリアレジスタチャネル n (n = 0～2)	W	0x00000000	✔	✔	—	✔	✔
PDMIF	0x120 + 0x100 x n	PDMDSRCHn	モード設定レジスタチャネル n (n = 0～2)	R/W	0x00000000	✔	—	—	—	—
PDMIF	0x124 + 0x100 x n	PDSFCRCHn	Sinc フィルタコントロールレジスタチャネル n (n = 0～2)	R/W	0x057C0000	✔	—	—	✔	✔
PDMIF	0x128 + 0x100 x n	PDHFCS0RCHn	ハイパスフィルタ係数 s(0) レジスタチャネル n (n = 0～2)	R/W	0x00003F61	✔	—	—	—	—
PDMIF	0x12C + 0x100 x n	PDHFCK1RCHn	ハイパスフィルタ係数 k(1) レジスタチャネル n (n = 0～2)	R/W	0x00003EC1	✔	—	—	—	—
PDMIF	0x130 + 0x100 x n	PDHFCH0RCHn	ハイパスフィルタ係数 h(0) レジスタチャネル n (n = 0～2)	R/W	0x00004000	✔	—	—	—	—
PDMIF	0x134 + 0x100 x n	PDHFCH1RCHn	ハイパスフィルタ係数 h(1) レジスタチャネル n (n = 0～2)	R/W	0x0000C000	✔	—	—	—	—
PDMIF	0x138 + 0x100 x n	PDCFCH00RCHn	補償フィルタ係数 h(0) レジスタチャネル n (n = 0～2)	R/W	0x00001FE8	✔	—	—	—	—
PDMIF	0x13C + 0x100 x n	PDCFCH01RCHn	補償フィルタ係数 h(1) レジスタチャネル n (n = 0～2)	R/W	0x00000039	✔	—	—	—	—
PDMIF	0x140 + 0x100 x n	PDCFCH02RCHn	補償フィルタ係数 h(2) レジスタチャネル n (n = 0～2)	R/W	0x0000003C	✔	—	—	—	—
PDMIF	0x144 + 0x100 x n	PDCFCH03RCHn	補償フィルタ係数 h(3) レジスタチャネル n (n = 0～2)	R/W	0x00001E56	✔	—	—	—	—
PDMIF	0x148 + 0x100 x n	PDCFCH04RCHn	補償フィルタ係数 h(4) レジスタチャネル n (n = 0～2)	R/W	0x000001DC	✔	—	—	—	—
PDMIF	0x14C + 0x100 x n	PDCFCH05RCHn	補償フィルタ係数 h(5) レジスタチャネル n (n = 0～2)	R/W	0x000006E1	✔	—	—	—	—
PDMIF	0x150 + 0x100 x n	PDCFCH06RCHn	補償フィルタ係数 h(6) レジスタチャネル n (n = 0～2)	R/W	0x000001DC	✔	—	—	—	—
PDMIF	0x154 + 0x100 x n	PDCFCH07RCHn	補償フィルタ係数 h(7) レジスタチャネル n (n = 0～2)	R/W	0x00001E56	✔	—	—	—	—
PDMIF	0x158 + 0x100 x n	PDCFCH08RCHn	補償フィルタ係数 h(8) レジスタチャネル n (n = 0～2)	R/W	0x0000003C	✔	—	—	—	—

表 49.3 レジスタマップ (3/5)

ベースアドレスシンボル	オフセットアドレス	シンボル	レジスタ名	R/W	初期値	書き込み可能期間(注1)				
						(1) 起動フロー	(2) 停止フロー	(3) 通常処理フロー	(4) 低消費電力モード遷移フロー	(5) 通常モード遷移フロー
PDMIF	0x15C + 0x100 x n	PDCFCH09RCHn	補償フィルタ係数 h(9) レジスタチャネル n (n = 0〜2)	R/W	0x00000039	✔	—	—	—	—
PDMIF	0x160 + 0x100 x n	PDCFCH10RCHn	補償フィルタ係数 h(10) レジスタチャネル n (n = 0〜2)	R/W	0x00001FE8	✔	—	—	—	—
PDMIF	0x164 + 0x100 x n	PDLFCH010RCHn	ローパスフィルタ係数 h0(10) レジスタチャネル n (n = 0〜2)	R/W	0x00000400	✔	—	—	—	—
PDMIF	0x168 + 0x100 x n	PDLFCH100RCHn	ローパスフィルタ係数 h1(0) レジスタチャネル n (n = 0〜2)	R/W	0x00001FF8	✔	—	—	—	—
PDMIF	0x16C + 0x100 x n	PDLFCH101RCHn	ローパスフィルタ係数 h1(1) レジスタチャネル n (n = 0〜2)	R/W	0x0000000A	✔	—	—	—	—
PDMIF	0x170 + 0x100 x n	PDLFCH102RCHn	ローパスフィルタ係数 h1(2) レジスタチャネル n (n = 0〜2)	R/W	0x00001FF0	✔	—	—	—	—
PDMIF	0x174 + 0x100 x n	PDLFCH103RCHn	ローパスフィルタ係数 h1(3) レジスタチャネル n (n = 0〜2)	R/W	0x00000018	✔	—	—	—	—
PDMIF	0x178 + 0x100 x n	PDLFCH104RCHn	ローパスフィルタ係数 h1(4) レジスタチャネル n (n = 0〜2)	R/W	0x00001FDC	✔	—	—	—	—
PDMIF	0x17C + 0x100 x n	PDLFCH105RCHn	ローパスフィルタ係数 h1(5) レジスタチャネル n (n = 0〜2)	R/W	0x00000034	✔	—	—	—	—
PDMIF	0x180 + 0x100 x n	PDLFCH106RCHn	ローパスフィルタ係数 h1(6) レジスタチャネル n (n = 0〜2)	R/W	0x00001FB3	✔	—	—	—	—
PDMIF	0x184 + 0x100 x n	PDLFCH107RCHn	ローパスフィルタ係数 h1(7) レジスタチャネル n (n = 0〜2)	R/W	0x00000076	✔	—	—	—	—
PDMIF	0x188 + 0x100 x n	PDLFCH108RCHn	ローパスフィルタ係数 h1(8) レジスタチャネル n (n = 0〜2)	R/W	0x00001F2E	✔	—	—	—	—
PDMIF	0x18C + 0x100 x n	PDLFCH109RCHn	ローパスフィルタ係数 h1(9) レジスタチャネル n (n = 0〜2)	R/W	0x00000289	✔	—	—	—	—
PDMIF	0x190 + 0x100 x n	PDLFCH110RCHn	ローパスフィルタ係数 h1(10) レジスタチャネル n (n = 0〜2)	R/W	0x00000289	✔	—	—	—	—

表 49.3 レジスタマップ (4/5)

ベースアドレスシンボル	オフセットアドレス	シンボル	レジスタ名	R/W	初期値	書き込み可能期間(注1)				
						(1) 起動フロー	(2) 停止フロー	(3) 通常処理フロー	(4) 低消費電力モード遷移フロー	(5) 通常モード遷移フロー
PDMIF	0x194 + 0x100 x n	PDLFCH111RCHn	ローパスフィルタ係数 h1(11) レジスタチャネル n (n = 0～2)	R/W	0x00001F2E	✔	—	—	—	—
PDMIF	0x198 + 0x100 x n	PDLFCH112RCHn	ローパスフィルタ係数 h1(12) レジスタチャネル n (n = 0～2)	R/W	0x00000076	✔	—	—	—	—
PDMIF	0x19C + 0x100 x n	PDLFCH113RCHn	ローパスフィルタ係数 h1(13) レジスタチャネル n (n = 0～2)	R/W	0x00001FB3	✔	—	—	—	—
PDMIF	0x1A0 + 0x100 x n	PDLFCH114RCHn	ローパスフィルタ係数 h1(14) レジスタチャネル n (n = 0～2)	R/W	0x00000034	✔	—	—	—	—
PDMIF	0x1A4 + 0x100 x n	PDLFCH115RCHn	ローパスフィルタ係数 h1(15) レジスタチャネル n (n = 0～2)	R/W	0x00001FDC	✔	—	—	—	—
PDMIF	0x1A8 + 0x100 x n	PDLFCH116RCHn	ローパスフィルタ係数 h1(16) レジスタチャネル n (n = 0～2)	R/W	0x00000018	✔	—	—	—	—
PDMIF	0x1AC + 0x100 x n	PDLFCH117RCHn	ローパスフィルタ係数 h1(17) レジスタチャネル n (n = 0～2)	R/W	0x00001FF0	✔	—	—	—	—
PDMIF	0x1B0 + 0x100 x n	PDLFCH118RCHn	ローパスフィルタ係数 h1(18) レジスタチャネル n (n = 0～2)	R/W	0x0000000A	✔	—	—	—	—
PDMIF	0x1B4 + 0x100 x n	PDLFCH119RCHn	ローパスフィルタ係数 h1(19) レジスタチャネル n (n = 0～2)	R/W	0x00001FF8	✔	—	—	—	—
PDMIF	0x1B8 + 0x100 x n	PDSDLTRCHn	サウンド検出下しきい値レジスタチャネル n (n = 0～2)	R/W	0x00000000	✔	—	—	✔	—
PDMIF	0x1BC + 0x100 x n	PDSDUTRCHn	サウンド検出上しきい値レジスタチャネル n (n = 0～2)	R/W	0x00000000	✔	—	—	✔	—
PDMIF	0x1C0 + 0x100 x n	PDDBCRCHn	データバッファコントロールレジスタチャネル n (n = 0～2)	R/W	0x00000000	✔	—	—	—	—
PDMIF	0x1C4 + 0x100 x n	PDSCTSRCHn	短絡しきい値設定レジスタチャネル n (n = 0～2)	R/W	0x00000000	✔	—	—	—	—
PDMIF	0x1C8 + 0x100 x n	PDOVLTRCHn	過電圧下しきい値レジスタチャネル n (n = 0～2)	R/W	0x00000000	✔	—	—	—	—

表 49.3 レジスタマップ (5/5)

ベースアドレスシンボル	オフセットアドレス	シンボル	レジスタ名	R/W	初期値	書き込み可能期間(注1)				
						(1) 起動フロー	(2) 停止フロー	(3) 通常処理フロー	(4) 低消費電力モード遷移フロー	(5) 通常モード遷移フロー
PDMIF	0x1CC + 0x100 x n	PDOVUTRCHn	過電圧上しきい値レジスタチャネル n (n = 0～2)	R/W	0x00000000	✔	—	—	—	—
PDMIF	0x1E0 + 0x100 x n	PDDRCRCHn	データ読み出しコントロールレジスタチャネル n (n = 0～2)	R/W	0x00000000	—	—	✔	—	—
PDMIF	0x1E4 + 0x100 x n	PDDCRCHn	データクリアレジスタチャネル n (n = 0～2)	W	0x00000000	—	—	✔(注2)	—	—
PDMIF	0x1E8 + 0x100 x n	PDDRRCHn	データ読み出しレジスタチャネル n (n = 0～2)	R	0x00000000	—	—	—	—	—
PDMIF	0x1EC + 0x100 x n	PDDSRCHn	データステータスレジスタチャネル n (n = 0～2)	R	0x00000000	—	—	—	—	—

注. レジスタの中には、ベースアドレスシンボル PDM_CTL と PDMn レジスタの間でミラーリングを行うものがあります。「49.2.67. ミラーリングレジスタ」を参照してください。
注 1. 「49.4. 設定フロー」を参照してください。
注 2. レジスタは設定フローに示されていませんが、フロー内で使用することが許可されています。

49.2.2 PDCSTRTR : チャネルソフトウェア起動トリガレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	STRTRG2	STRTRG1	STRTRG0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STRTRG0	チャネル 0 起動トリガ 0: 何もしない 1: チャネル 0 を起動	W
1	STRTRG1	チャネル 1 起動トリガ 0: 何もしない 1: チャネル 1 を起動	W
2	STRTRG2	チャネル 2 起動トリガ 0: 何もしない 1: チャネル 2 を起動	W
31:3	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.3 PDCSTPTR : チャネルソフトウェア停止トリガレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	STPTRG2	STPTRG1	STPTRG0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STPTRG0	チャネル 0 停止トリガ 0: 何もしない 1: チャネル 0 を停止	W
	STPTRG1	チャネル 1 停止トリガ 0: 何もしない 1: チャネル 1 を停止	W
2	STPTRG2	チャネル 2 停止トリガ 0: 何もしない 1: チャネル 2 を停止	W
31:3	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.4 PDCCHGTR : チャネルソフトウェア変更トリガレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CHGTRG2	CHGTRG1	CHGTRG0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CHGTRG0	チャネル 0 変更トリガ 0: 何もしない 1: クロック (PDM_CLK0) 設定を変更する	W
	CHGTRG1	チャネル 1 変更トリガ 0: 何もしない 1: クロック (PDM_CLK1) 設定を変更する	W
2	CHGTRG2	チャネル 2 変更トリガ 0: 何もしない 1: クロック (PDM_CLK2) 設定を変更する	W
31:3	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.5 PDCICR : チャネル割り込みコントロールレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	IEDE2	IEDE1	IEDE0	—	—	—	—	—	IDRE2	IDRE1	IDRE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ISDE2	ISDE1	ISDE0	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ISDE0	チャネル 0 サウンド検出割り込み許可ビット 0: チャネル 0 のサウンドが検出されたときの PDM_SDET 割り込みの発行を許可しない 1: チャネル 0 のサウンドが検出されたときの PDM_SDET 割り込みの発行を許可する	R/W
9	ISDE1	チャネル 1 サウンド検出割り込み許可ビット 0: チャネル 1 のサウンドが検出されたときの PDM_SDET 割り込みの発行を許可しない 1: チャネル 1 のサウンドが検出されたときの PDM_SDET 割り込みの発行を許可する	R/W
10	ISDE2	チャネル 2 サウンド検出割り込み許可ビット 0: チャネル 2 のサウンドが検出されたときの PDM_SDET 割り込みの発行を許可しない 1: チャネル 2 のサウンドが検出されたときの PDM_SDET 割り込みの発行を許可する	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IDRE0	チャネル 0 データ受信割り込み許可ビット 0: PDM_DAT0 割り込みの発行を許可しない 1: PDM_DAT0 割り込みの発行を許可する	R/W
17	IDRE1	チャネル 1 データ受信割り込み許可ビット 0: PDM_DAT1 割り込みの発行を許可しない 1: PDM_DAT1 割り込みの発行を許可する	R/W
18	IDRE2	チャネル 2 データ受信割り込み許可ビット 0: PDM_DAT2 割り込みの発行を許可しない 1: PDM_DAT2 割り込みの発行を許可する	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	IEDE0	チャネル 0 エラー検出割り込み許可ビット 0: PDM_ERR0 割り込みの発行を許可しない 1: PDM_ERR0 割り込みの発行を許可する	R/W
25	IEDE1	チャネル 1 エラー検出割り込み許可ビット 0: PDM_ERR1 割り込みの発行を許可しない 1: PDM_ERR1 割り込みの発行を許可する	R/W
26	IEDE2	チャネル 2 エラー検出割り込み許可ビット 0: PDM_ERR2 割り込みの発行を許可しない 1: PDM_ERR2 割り込みの発行を許可する	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.6 PDCSR : チャネルステータスレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	EDF2	EDF1	EDF0	—	—	—	—	—	DRF2	DRF1	DRF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SDF2	SDF1	SDF0	—	—	—	—	—	STATE2	STATE1	STATE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STATE0	チャネル 0 状態 0: チャネル 0 は停止している 1: チャネル 0 は動作している	R
1	STATE1	チャネル 1 状態 0: チャネル 1 は停止している 1: チャネル 1 は動作している	R
2	STATE2	チャネル 2 状態 0: チャネル 2 は停止している 1: チャネル 2 は動作している	R
7:3	—	読むと 0 が読めます。	R
8	SDF0	チャネル 0 サウンド検出フラグ 0: しきい値を超えるサウンドは検出されていないことを示す 1: しきい値を超えるサウンドが検出されていることを示す	R
9	SDF1	チャネル 1 サウンド検出フラグ 0: しきい値を超えるサウンドは検出されていないことを示す 1: しきい値を超えるサウンドが検出されていることを示す	R
10	SDF2	チャネル 2 サウンド検出フラグ 0: しきい値を超えるサウンドは検出されていないことを示す 1: しきい値を超えるサウンドが検出されていることを示す	R
15:11	—	読むと 0 が読めます。	R
16	DRF0	チャネル 0 データ受信フラグ 0: バッファに格納されているデータの数はしきい値を超えていないことを示す 1: バッファに格納されているデータの数がしきい値を超えたことを示す	R
17	DRF1	チャネル 1 データ受信フラグ 0: バッファに格納されているデータの数はしきい値を超えていないことを示す 1: バッファに格納されているデータの数がしきい値を超えたことを示す	R
18	DRF2	チャネル 2 データ受信フラグ 0: バッファに格納されているデータの数はしきい値を超えていないことを示す 1: バッファに格納されているデータの数がしきい値を超えたことを示す	R
23:19	—	読むと 0 が読めます。	R
24	EDF0	チャネル 0 エラー検出フラグ 0: エラーは検出されていないことを示す。 1: エラーが検出されていることを示す。詳細については、「49.2.17. PDSRCHn : ステータスレジスタチャネル n (n = 0～2)」を参照してください。	R
25	EDF1	チャネル 1 エラー検出フラグ 0: エラーは検出されていないことを示す。 1: エラーが検出されていることを示す。詳細については、「49.2.17. PDSRCHn : ステータスレジスタチャネル n (n = 0～2)」を参照してください。	R

ビット	シンボル	機能	R/W
26	EDF2	チャネル 2 エラー検出フラグ 0: エラーは検出されていないことを示す。 1: エラーが検出されていることを示す。詳細については、「49.2.17. PDSRCHn : ステータスレジスタチャネル n (n = 0〜2)」を参照してください。	R
31:27	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

STATEn: 詳細は、「49.3.2. チャネル起動とチャネル停止」を参照してください。

0 になる条件：

- PDCSTPTR.STPTRGn に“1”を書き込んだとき

1 になる条件：

- PDCSTRTR.STRTRGn に“1”を書き込んだとき

SDFn: 詳細は、「49.3.6. サウンド検出」を参照してください。

0 になる条件：

- フラグクリアレジスタビット (PDCSCR.SDFCn) に“1”を書き込んだとき

1 になる条件：

- PDCSDCR.SDEn が"1"で、かつ移動平均フィルタ結果が PDSDUTR.SDETU[19:0]以上のとき
- PDCSDCR.SDEn が"1"で、かつ移動平均フィルタ結果が PDSDLTR.SDETL[19:0]以下のとき

DRFn: 詳細は、「49.3.7. データバッファ」を参照してください。

0 になる条件：

- PDCDRCR.DATREn が"0"、または PDDSR.DATNUM[7:0]がしきい値未満のとき

1 になる条件：

- PDCDRCR.DATREn が"1"で、かつ PDDSR.DATNUM[7:0]が PDDBCR.DATRITHR[2:0]で設定したしきい値以上のとき

EDFn

0 になる条件：

- 「49.2.18. PDSCRCHn : ステータスクリアレジスタチャネル n (n = 0〜2)」への書き込みによってすべてのエラーフラグがクリアされると、このフラグもクリアされます。

1 になる条件：

- エラーが発生したときエラーの種類については「49.2.17. PDSRCHn : ステータスレジスタチャネル n (n = 0〜2)」レジスタを参照してください。

49.2.7 PDCSCR : チャネルステータスクリアレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SDFC2	SDFC1	SDFC0	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	書く場合、0 としてください。	W
8	SDFC0	チャネル 0 サウンド検出フラグクリア 0: 何もしない 1: PDCSR.SDF0 をクリア	W
9	SDFC1	チャネル 1 サウンド検出フラグクリア 0: 何もしない 1: PDCSR.SDF1 をクリア	W
10	SDFC2	チャネル 2 サウンド検出フラグクリア 0: 何もしない 1: PDCSR.SDF2 をクリア	W
31:11	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.8 PDCSDCR : チャネルサウンド検出コントロールレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SDE2	SDE1	SDE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SDE0	チャネル 0 サウンド検出許可ビット 0: サウンド検出を許可しない 1: サウンド検出を許可する	R/W
1	SDE1	チャネル 1 サウンド検出許可ビット 0: サウンド検出を許可しない 1: サウンド検出を許可する	R/W
2	SDE2	チャネル 2 サウンド検出許可ビット 0: サウンド検出を許可しない 1: サウンド検出を許可する	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.9 PDCDRCR : チャネルデータ読み出しコントロールレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DATRE2	DATRE1	DATRE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DATRE0	チャネル 0 データ読み出し許可ビット 0: データバッファからのデータの読み出しを許可しない 1: データバッファからのデータの読み出しを許可する	R/W
1	DATRE1	チャネル 1 データ読み出し許可ビット 0: データバッファからのデータの読み出しを許可しない 1: データバッファからのデータの読み出しを許可する	R/W
2	DATRE2	チャネル 2 データ読み出し許可ビット 0: データバッファからのデータの読み出しを許可しない 1: データバッファからのデータの読み出しを許可する	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.10 PDCDCR : チャネルデータクリアレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DATC2	DATC1	DATC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DATC0	チャネル 0 データクリア 0: 何もしない 1: データをクリアする	W
1	DATC1	チャネル 1 データクリア 0: 何もしない 1: データをクリアする	W
2	DATC2	チャネル 2 データクリア 0: 何もしない 1: データをクリアする	W

ビット	シンボル	機能	R/W
31:3	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.11 PDVR : バージョンレジスタ

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x80

Bit position:	31															11														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VER[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
11:0	VER[11:0]	PDM-IF のバージョンを示します。	R
31:12	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

49.2.12 PDSTRTRCHn : ソフトウェア起動トリガレジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x100 + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STRTRG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STRTRG	起動トリガ 0: 何もしない 1: チャネルを開始する	W
31:1	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.13 PDSTPTRCHn : ソフトウェア停止トリガレジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x104 + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STPTRG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STPTRG	停止トリガ 0: 何もしない 1: チャネルを停止する	W
31:1	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.14 PDCHGTRCHn : ソフトウェア変更トリガレジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x108 + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CHGTRG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CHGTRG	変更トリガ 0: 何もしない 1: PDM_CLKn と Sinc フィルタの設定を変更する	W
31:1	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.15 PDICRCHn : 割り込みコントロールレジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x10C + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IEDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	IDRE	ISDE	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ISDE	サウンド検出割り込み許可ビット 0: PDM_SDET 割り込みの発行を許可しない 1: PDM_SDET 割り込みの発行を許可する	R/W
	IDRE	データ受信割り込み許可ビット 0: PDM_DATn 割り込みの発行を許可しない 1: PDM_DATn 割り込みの発行を許可する	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IEDE	エラー検出割り込み許可ビット 0: PDM_ERRn 割り込みの発行を許可しない 1: PDM_ERRn 割り込みの発行を許可する	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.16 PDSDCRCHn : ステータス検出コントロールレジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x110 + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	BFOWDE	—	—	—	—	—	—	—	—	OVUDE	OVLDE	SCDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SDE	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	SDE	サウンド検出許可ビット 0: サウンド検出を許可しない 1: サウンド検出を許可する	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SCDE	短絡検出許可ビット 0: PDM_DATAn 端子の短絡の検出を許可しない 1: PDM_DATAn 端子の短絡の検出を許可する	R/W

ビット	シンボル	機能	R/W
	OVLDE	過電圧下限超過検出許可ビット 0: 下限を下回ったデータの検出を許可しない 1: 下限を下回ったデータの検出を許可する	R/W
	OVUDE	過電圧上限超過検出許可ビット 0: 上限を超えたデータの検出を許可しない 1: 上限を超えたデータの検出を許可する	R/W
26:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27	BFOWDE	バッファ上書き検出許可ビット 0: バッファ上書きの検出を許可しない 1: バッファ上書きの検出を許可する	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.17 PDSRCHn : ステータスレジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x114 + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	BFOWDF	—	—	—	—	—	—	—	—	OVUDF	OVLDF	SCDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DRF	SDF	STATE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STATE	状態 0: チャネル停止 1: チャネル動作中	R
	SDF	サウンド検出フラグ 0: しきい値を超えるサウンドは検出されていないことを示す 1: しきい値を超えるサウンドが検出されていることを示す	R
	DRF	データ受信フラグ 0: バッファに格納されているデータの数がしきい値未満であることを示す 1: バッファに格納されているデータの数がしきい値以上であることを示す	R
15:3	—	読むと 0 が読めます。	R
16	SCDF	短絡検出フラグ 0: PDM_DATAn 端子の短絡が検出されていないことを示す 1: PDM_DATAn 端子の短絡が検出されていることを示す	R
	OVLDF	過電圧下限超過検出フラグ 0: データが下限より小さくないことを示す 1: データが下限より小さくなったことを示す	R
	OVUDF	過電圧上限超過検出フラグ 0: データは上限を超えていないことを示す 1: データが上限を超えたことを示す	R
26:19	—	読むと 0 が読めます。	R
27	BFOWDF	バッファ上書き検出フラグ 0: バッファ上書きは発生していないことを示す 1: バッファ上書きが発生したことを示す	R
31:28	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

STATE: 詳細は「49.3.2. チャネル起動とチャネル停止」を参照してください。

0 になる条件：

- PDSTPTR.STPTRG に“1”を書き込んだとき

1 になる条件：

- PDSTRTR.STRTRG に“1”を書き込んだとき

SDF: 詳細は「49.3.6. サウンド検出」を参照してください。

0 になる条件：

- フラグクリアレジスタビット (PDSCR.SDFC) に 1 を書き込んだとき。

1 になる条件：

- PDSDCR.SDE が"1"で、かつ移動平均フィルタ結果が PDSDUTR.SDETU[19:0]より大きいとき
- PDSDCR.SDE が"1"で、かつ移動平均フィルタ結果が PDSDLTR.SDETL[19:0]より小さいとき

DRF: 詳細は「49.3.7. データバッファ」を参照してください。

0 になる条件：

- PDDRCR.DATRE が"0"、または PDDSR.DATNUM[7:0]がしきい値未満のとき

1 になる条件：

- PDDRCR.DATRE が"1"で、かつ PDDSR.DATNUM[7:0]が PDDBCR.DATRITHR[2:0]で設定したしきい値以上のとき

SCDF: 詳細は「49.3.8. 短絡検出」を参照してください。

0 になる条件：

- フラグクリアレジスタビット (PDSCR.SCDFC) に 1 を書き込んだとき。

1 になる条件：

- PDSDCR.SCDE が"1"で、かつ PDM_DATAn 端子への"1"の連続入力回数が PDSCTSR.SCDH[12:0]の設定値を超えたとき
- PDSDCR.SCDE が"1"で、かつ PDM_DATAn 端子への"0"の連続入力回数が PDSCTSR.SCDL[12:0]の設定値を超えたとき

OVLDF: 詳細は「49.3.9. 過電圧検出」を参照してください。

0 になる条件：

- フラグクリアレジスタビット (PDSCR.OVLDFC) に 1 を書き込んだとき。

1 になる条件：

- PDSDCR.OVLDE が"1"で、かつクリッピングされた Sinc フィルタ結果が下限 (PDOVLTR.OVDL[19:0]) 未満のとき

OVUDF: 詳細は「49.3.9. 過電圧検出」を参照してください。

0 になる条件：

- フラグクリアレジスタビット (PDSCR.OVUDFC) に 1 を書き込んだとき。

1 になる条件：

- PDSDCR.OVUDE が"1"で、かつクリッピングされた Sinc フィルタ結果が上限 (PDOVUTR.OVDU[19:0]) より大きいとき

BFOWDF: 詳細は「49.3.7. データバッファ」を参照してください。

0 になる条件：

- フラグクリアレジスタビット (PDSCR.BFOWDFC) に 1 を書き込んだとき。

1 になる条件：

- PDSDCR.BFOWDE = 1 で、かつデータバッファがフルのときに、読み出しなしでバッファにデータが書き込まれたとき。

49.2.18 PDSCRCHn : ステータスクリアレジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x118 + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	BFOWDFC	—	—	—	—	—	—	—	—	OVUDFC	OVLDFC	SCDFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SDFC	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	書く場合、0 としてください。	W
1	SDFC	サウンド検出フラグクリア 0: 何もしない 1: PDSRCHn.SDF をクリアする	W
15:2	—	書く場合、0 としてください。	W
16	SCDFC	短絡検出フラグクリア 0: 何もしない 1: PDSRCHn.SCDF をクリアする	W
	OVLDFC	過電圧下限超過検出フラグクリア 0: 何もしない 1: PDSRCHn.OVLDF をクリアする	W
	OVUDFC	過電圧上限超過検出フラグクリア 0: 何もしない 1: PDSRCHn.OVUDF をクリアする	W
26:19	—	書く場合、0 としてください。	W
27	BFOWDFC	バッファ上書き検出フラグクリア 0: 何もしない 1: PDSRCHn.BFOWDF をクリアする	W
31:28	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.19 PDMDSRCHn : モード設定レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x120 + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DBIS[3:0]				—	—	SDMAMD[1:0]		—	—	—	—	—	—	LFIS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CFIS[1:0]		—	—	HFIS[1:0]		—	SFMD[2:0]			—	—	—	INPSEL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	INPSEL	入力データ選択 0: チャネル n の立ち上がりエッジデータ 1: チャネル n-1 の立ち下がりエッジデータ n = 0 の場合は、チャネル 2 の立ち下がりエッジデータが選択されます。	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	SFMD[2:0]	Sinc フィルタモード設定 0 0 1: 1 次 0 1 0: 2 次 0 1 1: 3 次 その他: 4 次（デフォルト）	R/W
	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	HFIS[1:0]	ハイパスフィルタ入力シフト設定 0 0: シフトなし 0 1: 1 ビット右シフト 1 0: 2 ビット右シフト 1 1: 3 ビット右シフト	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	CFIS[1:0]	補償フィルタ入力シフト設定 0 0: シフトなし 0 1: 1 ビット右シフト 1 0: 2 ビット右シフト 1 1: 3 ビット右シフト	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	LFIS[1:0]	ローパス（ハーフバンドデシメーション）フィルタ入力シフト設定 0 0: シフトなし 0 1: 1 ビット右シフト 1 0: 2 ビット右シフト 1 1: 3 ビット右シフト	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	SDMAMD[1:0]	サウンド検出データの移動平均モード 0 0: 1 次（フィルタはスキップされる）（デフォルト） 0 1: 2 次 1 0: 4 次 1 1: ユーザー禁止	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
31:28	DBIS[3:0]	データバッファ入力シフト設定 S: 符号付きビット 0x0: 20 ビットモード、{1{S}, [18:0]} 0x1: 20 ビットモード、{2{S}, [18:1]} 0x2: 20 ビットモード、{3{S}, [18:2]} 0x3: 20 ビットモード、{4{S}, [18:3]} 0x8: 16 ビットモード、{S,D[18:4]} 0x9: 16 ビットモード、{S,D[17:3]} 0xA: 16 ビットモード、{S,D[16:2]} 0xB: 16 ビットモード、{S,D[15:1]} 0xC: 16 ビットモード、{S,D[14:0]} その他: 設定禁止	R/W

注. S-TYPE-3, P-TYPE-3

49.2.20 PDSFCRCHn : Sinc フィルタコントロールレジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x124 + 0x100 × n

Bit position:	31			28			24	23						16											3		0
Bit field:	—	—	—	SINCRNG[4:0]				SINCDEC[7:0]								—	—	—	—	—	—	—	—	—	—	—	—	CKDIV[3:0]			
Value after reset:	0	0	0	0	0	1	0	1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CKDIV[3:0]	PDM_CLKn のコアクロックへの分周比 0x0: 1/2（デフォルト） 0x1: 1/4 0x2: 1/6 ⋮ 0xD: 1/28 0xE: 1/30 0xF: 1/32	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	SINCDEC[7:0]	Sinc フィルタのデシメーション比 M はデシメーション比を示します。 4 未満の値の設定は禁止です。そのような値を設定した場合、Sinc フィルタの動作は保証されません。 これを「D × M > 12」が満たされるように設定します。これが満たされない場合、他のフィルタの動作は保証されません。（D: PDM_CLKn の分周比） デシメーション比 M は以下のように設定します。 M = SINCDEC + 1 0x00: M = 1（設定禁止） 0x01: M = 2（設定禁止） 0x02: M = 3（設定禁止） 0x03: M = 4 ⋮ 0x7C: M = 125（デフォルト） ⋮ 0xFF: M = 256	R/W

ビット	シンボル	機能	R/W
28:24	SINCRNG[4:0]	Sinc フィルタ出力の有効範囲 オーバーフローが発生した場合は、0x7FFFF が出力されます。アンダーフローが発生した場合は、0x80000 が出力されます S: 符号付きビット 0x00: {S, [32:14]} 0x01: {S, [31:13]} 0x02: {S, [30:12]} 0x03: {S, [29:11]} 0x04: {S, [28:10]} 0x05: {S, [27:9]}（デフォルト） 0x06: {S, [26:8]} 0x07: {S, [25:7]} 0x08: {S, [24:6]} 0x09: {S, [23:5]} 0x0A: {S, [22:4]} 0x0B: {S, [21:3]} 0x0C: {S, [20:2]} 0x0D: {S, [19:1]} 0x0E: {S, [18:0]} 0x0F: {S, [17:0], 0} 0x10: {S, [16:0], 00} 0x11: {S, [15:0], 000} 0x12: {S, [14:0], 0000} 0x13: {S, [13:0], 00000} 0x14: {S, [12:0], 000000} 0x15: {S, [11:0], 0000000} 0x16: {S, [10:0], 00000000} 0x17: {S, [9:0], 000000000} 0x18: {S, [8:0], 0000000000} 0x19: {S, [7:0], 00000000000} 0x1A: {S, [6:0], 000000000000} 0x1B: {S, [5:0], 0000000000000} 0x1C: {S, [4:0], 00000000000000} 0x1D: {S, [3:0], 000000000000000} 0x1E: {S, [2:0], 0000000000000000} 0x1F: {S, [1:0], 00000000000000000}（設定禁止）	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

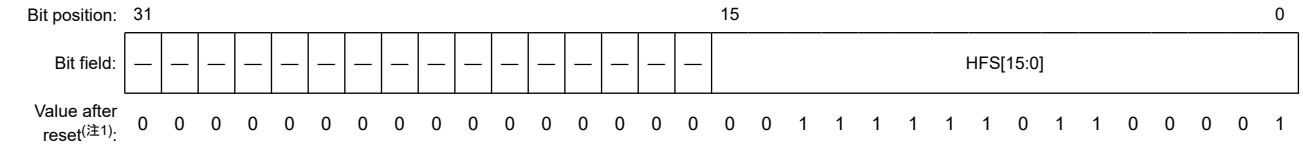
注. S-TYPE-3, P-TYPE-3

SINCDEC[7:0]と SINCRNG[4:0]の設定値については、表 49.7 を参照してください。

49.2.21 PDHFCS0RCHn : ハイパスフィルタ係数 s(0) レジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x128 + 0x100 × n



ビット	シンボル	機能	R/W
15:0	HFS[15:0]	ハイパスフィルタ係数 s(0) 16 ビットの符号付きデータ（小数ビット[13:0]）	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ハイパスフィルタ遮断周波数 = 100 Hz

49.2.22 PDHFCK1RCHn : ハイパスフィルタ係数 k(1) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x12C + 0x100 × n

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HFK[15:0]														
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	1	0	0	0	0	0	1

ビット	シンボル	機能	R/W
15:0	HFK[15:0]	ハイパスフィルタ係数 k(1) 16 ビットの符号付きデータ（小数ビット[13:0]）	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ハイパスフィルタ遮断周波数 = 100 Hz

49.2.23 PDHFCH0RCHn : ハイパスフィルタ係数 h(0) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x130 + 0x100 × n

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HFH[15:0]														
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	HFH[15:0]	ハイパスフィルタ係数 h(0) 16 ビットの符号付きデータ（小数ビット[13:0]）	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ハイパスフィルタ遮断周波数 = 100 Hz

49.2.24 PDHFCH1RCHn : ハイパスフィルタ係数 h(1) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x134 + 0x100 × n

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HFH[15:0]														
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	HFH[15:0]	ハイパスフィルタ係数 h(1) 16 ビットの符号付きデータ（小数ビット[13:0]）	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ハイパスフィルタ遮断周波数 = 100 Hz

49.2.25 PDCFCH00RCHn : 補償フィルタ係数 h(0) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x138 + 0x100 × n

Bit position:	31																	12											0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFH[12:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	1	0	0	0

ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(0) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.26 PDCFCH01RCHn : 補償フィルタ係数 h(1) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x13C + 0x100 × n

Bit position:	31																	12											0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFH[12:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1

ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(1) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.27 PDCFCH02RCHn : 補償フィルタ係数 h(2) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x140 + 0x100 × n

Bit position:	31																	12											0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFH[12:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0

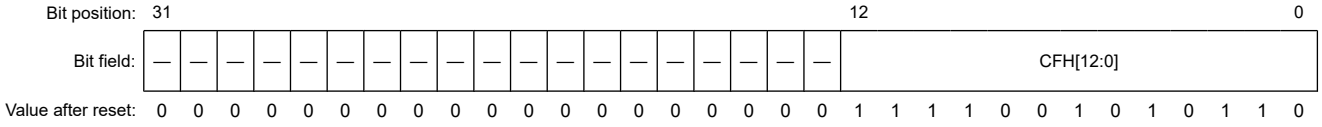
ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(2) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.28 PDCFCH03RCHn : 補償フィルタ係数 h(3) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x144 + 0x100 × n



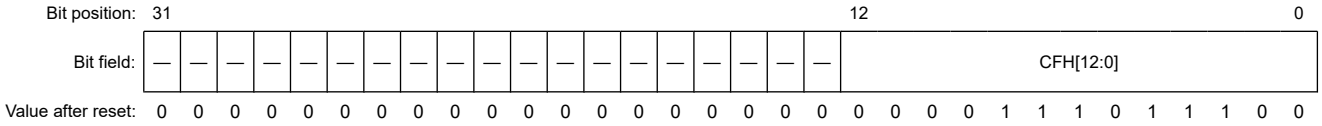
ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(3) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.29 PDCFCH04RCHn : 補償フィルタ係数 h(4) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x148 + 0x100 × n



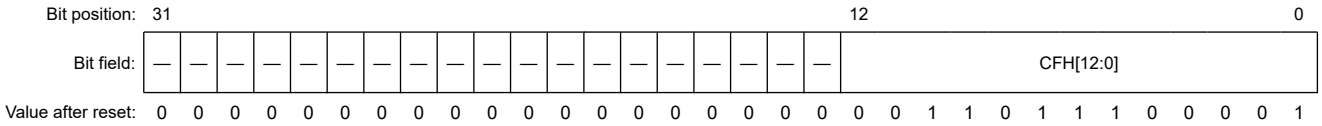
ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(4) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.30 PDCFCH05RCHn : 補償フィルタ係数 h(5) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x14C + 0x100 × n



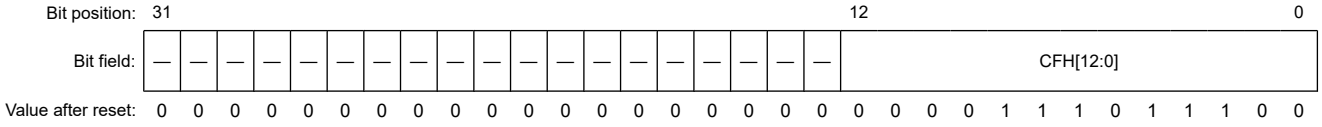
ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(5) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.31 PDCFCH06RCHn : 補償フィルタ係数 h(6) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x150 + 0x100 × n



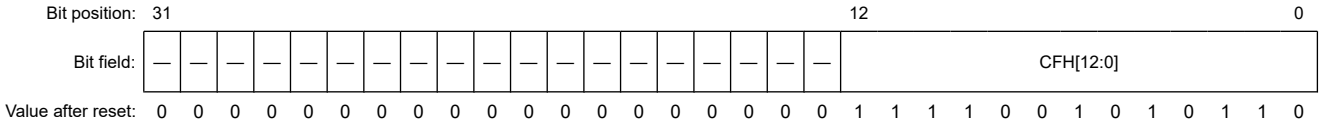
ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(6) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.32 PDCFCH07RCHn : 補償フィルタ係数 h(7) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x154 + 0x100 × n



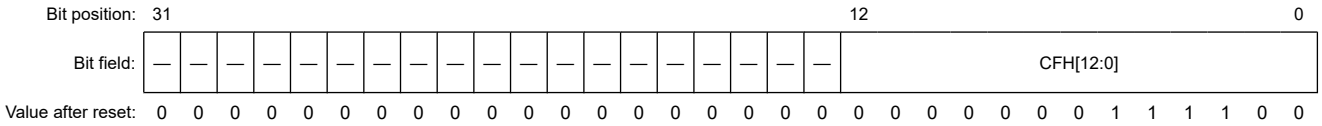
ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(7) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.33 PDCFCH08RCHn : 補償フィルタ係数 h(8) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x158 + 0x100 × n



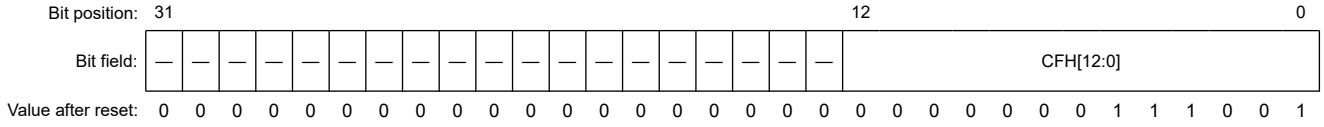
ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(8) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.34 PDCFCH09RCHn : 補償フィルタ係数 h(9) レジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x15C + 0x100 × n



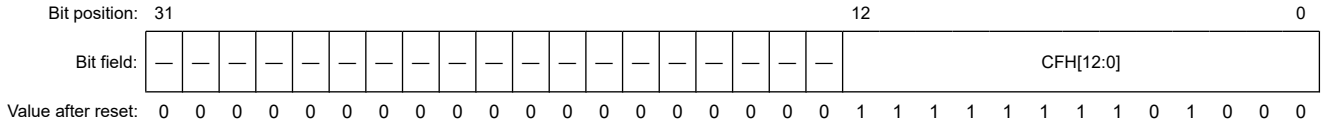
ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(9) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.35 PDCFCH10RCHn : 補償フィルタ係数 h(10) レジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x160 + 0x100 × n



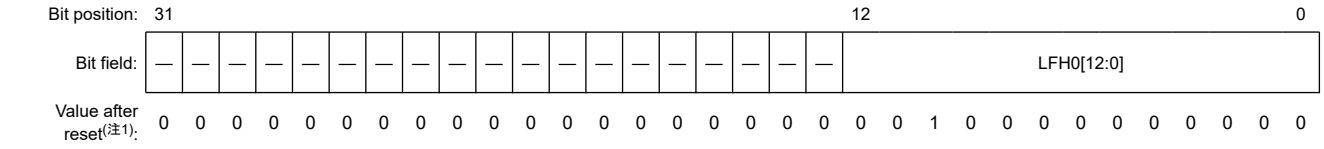
ビット	シンボル	機能	R/W
12:0	CFH[12:0]	補償フィルタ係数 h(10) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.36 PDLFCH010RCHn : ローパスフィルタ係数 h0(10) レジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x164 + 0x100 × n



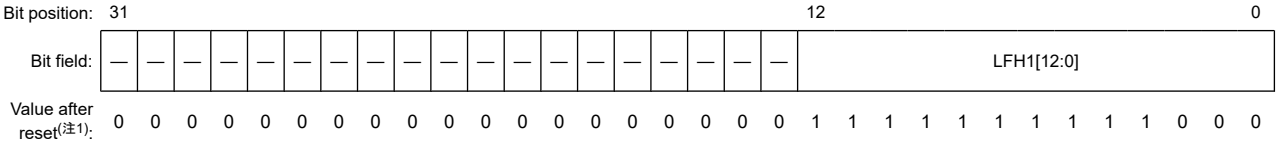
ビット	シンボル	機能	R/W
12:0	LFH0[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h0(10) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.37 PDLFCH100RCHn : ローパスフィルタ係数 h1(0) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x168 + 0x100 × n



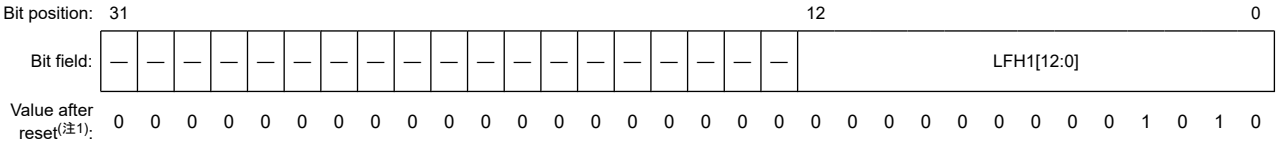
ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(0) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.38 PDLFCH101RCHn : ローパスフィルタ係数 h1(1) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x16C + 0x100 × n



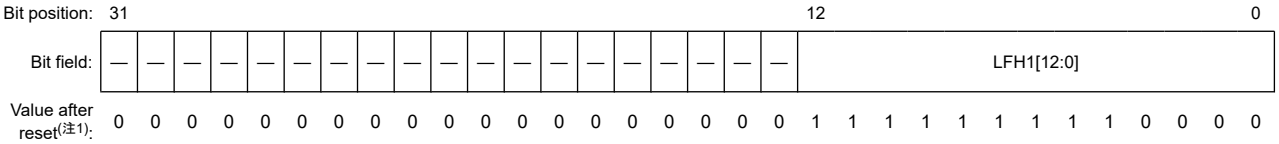
ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(1) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.39 PDLFCH102RCHn : ローパスフィルタ係数 h1(2) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x170 + 0x100 × n



ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(2) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.40 PDLFCH103RCHn : ローパスフィルタ係数 h1(3) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x174 + 0x100 × n

Bit position:	31														12					0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]	
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(3) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.41 PDLFCH104RCHn : ローパスフィルタ係数 h1(4) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x178 + 0x100 × n

Bit position:	31														12					0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]	
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1	0	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(4) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.42 PDLFCH105RCHn : ローパスフィルタ係数 h1(5) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x17C + 0x100 × n

Bit position:	31														12					0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]	
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0		

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(5) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.43 PDLFCH106RCHn : ローパスフィルタ係数 h1(6) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x180 + 0x100 × n

Bit position:	31																12												0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]											
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0	0	1	1

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(6) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.44 PDLFCH107RCHn : ローパスフィルタ係数 h1(7) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x184 + 0x100 × n

Bit position:	31																12												0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]											
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	1	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(7) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.45 PDLFCH108RCHn : ローパスフィルタ係数 h1(8) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x188 + 0x100 × n

Bit position:	31																12												0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]											
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	1	0	1	1	1	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(8) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.46 PDLFCH109RCHn : ローパスフィルタ係数 h1(9) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x18C + 0x100 × n

Bit position:	31																12													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]												
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	0	1

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(9) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.47 PDLFCH110RCHn : ローパスフィルタ係数 h1(10) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x190 + 0x100 × n

Bit position:	31																12													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]												
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	0	1

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(10) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.48 PDLFCH111RCHn : ローパスフィルタ係数 h1(11) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x194 + 0x100 × n

Bit position:	31																12													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]												
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	1	0	1	1	1	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(11) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.49 PDLFCH112RCHn : ローパスフィルタ係数 h1(12) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x198 + 0x100 × n

Bit position:	31																12													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]											
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	1	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(12) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.50 PDLFCH113RCHn : ローパスフィルタ係数 h1(13) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x19C + 0x100 × n

Bit position:	31																12													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]											
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0	0	1	1

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(13) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.51 PDLFCH114RCHn : ローパスフィルタ係数 h1(14) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1A0 + 0x100 × n

Bit position:	31																12													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]											
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(14) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.52 PDLFCH115RCHn : ローパスフィルタ係数 h1(15) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1A4 + 0x100 × n

Bit position:	31																12													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]												
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1	0	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(15) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.53 PDLFCH116RCHn : ローパスフィルタ係数 h1(16) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1A8 + 0x100 × n

Bit position:	31																12													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]												
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(15) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.54 PDLFCH117RCHn : ローパスフィルタ係数 h1(17) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1AC + 0x100 × n

Bit position:	31																12													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]												
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(17) 3 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.55 PDLFCH118RCHn : ローパスフィルタ係数 h1(18) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1B0 + 0x100 × n

Bit position:	31																	12												0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]												
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(18) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.56 PDLFCH119RCHn : ローパスフィルタ係数 h1(19) レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1B4 + 0x100 × n

Bit position:	31																	12												0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LFH1[12:0]												
Value after reset(注1):	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0

ビット	シンボル	機能	R/W
12:0	LFH1[12:0]	ローパス（ハーフバンドデシメーション）フィルタ係数 h1(19) 13 ビットの符号付きデータ（小数ビット[10:0]）	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ローパスフィルタ遮断周波数 = 7 kHz

49.2.57 PDSDLTRCHn : サウンド検出下しきい値レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1B8 + 0x100 × n

Bit position:	31												19																	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SDETL[19:0]																		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

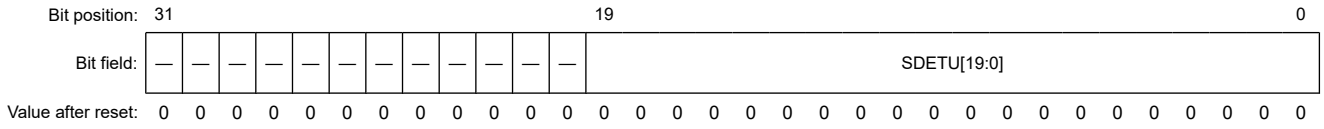
ビット	シンボル	機能	R/W
19:0	SDETL[19:0]	サウンド検出下限 このビットは、サウンド検出の下限値（20 ビットの符号付きデータ）を設定します。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.58 PDSDUTRCHn : サウンド検出上しきい値レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1BC + 0x100 × n



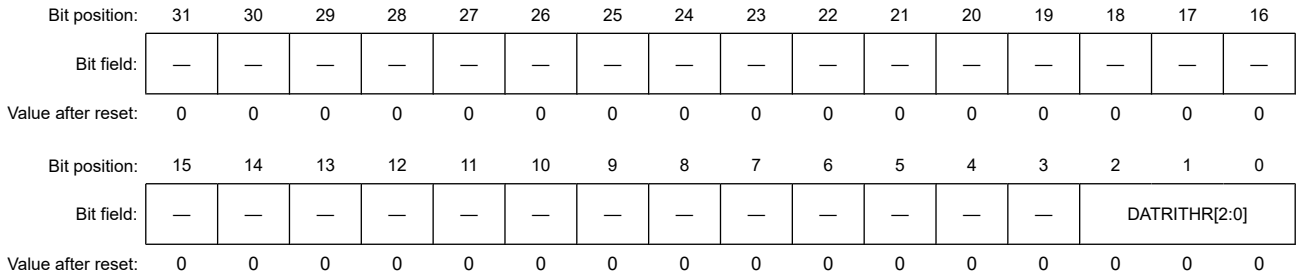
ビット	シンボル	機能	R/W
19:0	SDETU[19:0]	サウンド検出上限 このビットは、サウンド検出の上限値（20 ビットの符号付きデータ）を設定します。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.59 PDDBCRCHn : データバッファコントロールレジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1C0 + 0x100 × n



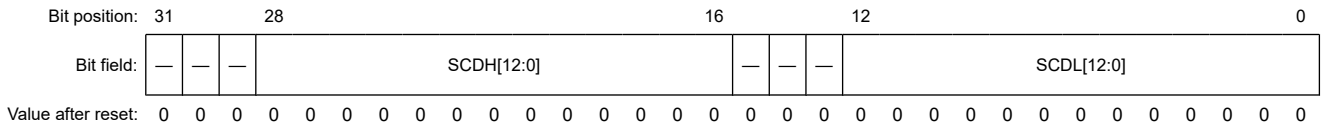
ビット	シンボル	機能	R/W
2:0	DATRITHR[2:0]	データ受信割り込みしきい値 0 0 0: データを 1 個以上受信した時に割り込みを出力する 0 0 1: データを 2 個以上受信した時に割り込みを出力する 0 1 0: データを 4 個以上受信した時に割り込みを出力する 0 1 1: データを 8 個以上受信した時に割り込みを出力する その他: データを 16 個以上受信した時に割り込みを出力する	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.60 PDSCTSRCHn : 短絡しきい値設定レジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1C4 + 0x100 × n



ビット	シンボル	機能	R/W
12:0	SCDL[12:0]	短絡検出 Low 連続検出回数 PDM_DATAn 端子に 0 が連続して入力される回数の上限を設定します。	R/W

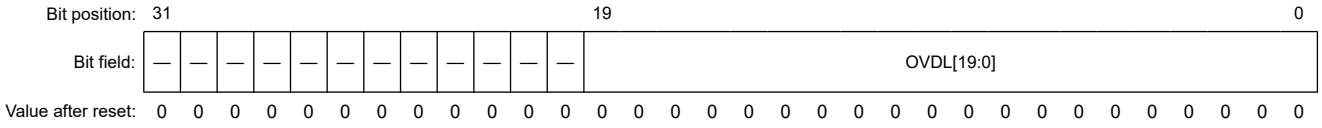
ビット	シンボル	機能	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:16	SCDH[12:0]	短絡検出 High 連続検出回数 PDM_DATAn 端子に 1 が連続して入力される回数の上限を設定します。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.61 PDOVLTRCHn : 過電圧下しきい値レジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1C8 + 0x100 × n



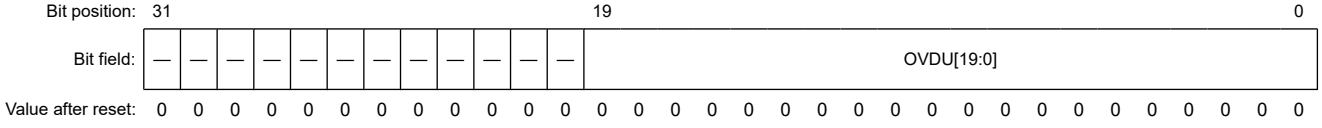
ビット	シンボル	機能	R/W
19:0	OVDL[19:0]	過電圧検出下限 これらのビットは過電圧出の有効な電圧値（20 ビットの符号付きデータ）の下限を設定します。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.62 PDOVUTRCHn : 過電圧上しきい値レジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1CC + 0x100 × n



ビット	シンボル	機能	R/W
19:0	OVDU[19:0]	過電圧検出上限 これらのビットは過電圧出の有効な電圧値（20 ビットの符号付きデータ）の上限を設定します。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.63 PDDRCRCHn : データ読み出しコントロールレジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1E0 + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATRE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DATRE	データ読み出し許可ビット 0: バッファからのデータの読み出しを許可しない 1: バッファからのデータの読み出しを許可する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

49.2.64 PDDCRCHn : データクリアレジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1E4 + 0x100 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DATC	データクリア 0: 何もしない 1: データをクリアする	W
31:1	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

49.2.65 PDDRRCHn : データ読み出しレジスタチャネル n (n = 0～2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1E8 + 0x100 × n

Bit position:	31											19																		0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	DAT[19:0]																		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
19:0	DAT[19:0]	データ 20 ビットの符号付きサウンドデータまたは 16 ビットの符号付きサウンドデータが読み出されます。 20 ビットモード (PDMDSRCHn.DBIS[3:0] = 0xxx) の場合、符号付きビットは[19]です。 16 ビットモード (PDMDSRCHn.DBIS[3:0] = 1xxx) の場合、符号付きビットは[19:15]です。 書き込みは無効	R
31:20	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

49.2.66 PDDSRCHn : データステータスレジスタチャネル n (n = 0〜2)

Base address: PDMIF = 0x4025_6000
PDMIF_NS = 0x5025_6000

Offset address: 0x1EC + 0x100 × n

Bit position:	31																							7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATNUM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DATNUM[7:0]	バッファに格納されているデータの数 PDDRCRCHn.DATRE = 0 の場合は、0 が読み出されます。 PDDRCRCHn.DATRE = 1 の場合は、バッファに格納されているデータの数が読み出されます。 32 段からなるバッファサイズの場合、最大値は 31 です。	R
31:8	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

49.2.67 ミラーリングレジスタ

バージョンレジスタを除き、共通レジスタには、各チャネルにミラーリングレジスタがあります。PDCSR.EDFn は、各チャネルのミラーリングレジスタのすべてのエラーフラグの論理和をとるレジスタです。

チャネル間の同期制御には共通レジスタを使用してください。

表 49.4 ミラーリングレジスタ

共通レジスタ		各チャネルのミラーリングレジスタ	
レジスタ名	ビット名	レジスタ名	ビット名
PDCSTRTR	STRTRGn	PDSTRTR	STRTRG
PDCSTPTR	STPTRGn	PDSTPTR	STPTRG
PDCCHGTR	CHGTRGn	PDCHGTR	CHGTRG
PDCICR	ISDEn	PDICR	ISDE
	IDREn		IDRE
	IEDEn		IEDE
PDCSR	STATEn	PDSR	STATE
	SDFn		SDF
	DRFn		DRF
PDCSCR	SDFCn	PDSCR	SDFC
PDCSDCR	SDEn	PDSDCR	SDE
PDCDRCR	DATREn	PDDRCR	DATRE
PDCDCR	DATCn	PDDCR	DATC

49.3 動作説明

49.3.1 クロック仕様

分周されたコアクロックが生成され、PDM_CLKn に出力されます。

表 49.5 に、PDM-IF で保証されるクロック周波数とクロックモードを示します。PDM クロック (PDMIFCLK) と PCLK は非同期に動作します。

表 49.5 保証されるクロック周波数とクロックモード

PDMIFCLK	PCLK	PDM_CLKn		
周波数 (MHz)	周波数 (MHz)	周波数 (MHz)	サポートされるコアクロック分周比	設定値 (PDSFCR.CKDIV[3:0])
8	1～62.5(注1)	4	2	0x0
		2	4	0x1
		1.33	6	0x2
		1	8	0x3
		0.8	10	0x4
		0.67	12	0x5
		0.57	14	0x6
		0.5	16	0x7
		0.44	18	0x8
		0.4	20	0x9
		0.36	22	0xA
		0.33	24	0xB
		0.31	26	0xC
		0.29	28	0xD
		0.27	30	0xE
		0.25	32	0xF

注 1. PDM-IF は 1 MHz 未満の PCLK で動作可能ですが、保証される周波数の動作範囲は 1～62.5 MHz です。

49.3.1.1 出力サンプリング周波数

PDM-IF 出力サンプリング周波数は、以下の式によって表されます。

$F_{out} = F_{clk} / (M \times 2)$

- F_{out}: PDM-IF 出力のサンプリング周波数
- F_{clk}: PDM_CLKn の周波数（表 49.5 を参照）
- M: Sinc フィルタのデシメーション比 (PDSFCRCHn.SINCDEC[7:0] + 1)

49.3.2 チャネル起動とチャネル停止

チャネル起動とチャネル停止は、表 49.6 のレジスタで制御されます。

共通レジスタを使用して、同期対象チャネルに対応するビットを同時に 1 にします。

「49.4.1. 起動フロー」に従ってチャネル起動を設定してください。

「49.4.2. 停止フロー」に従ってチャネル停止を設定してください。

表 49.6　チャネル起動トリガとチャネル停止トリガ

カテゴリ	レジスタビット名	
	共通レジスタ	チャネルレジスタ
チャネル起動	PDCSTRTR.STRTRG0	PDSTRTRCH0.STRTRG
	PDCSTRTR.STRTRG1	PDSTRTRCH1.STRTRG
	PDCSTRTR.STRTRG2	PDSTRTRCH2.STRTRG
チャネル停止	PDCSTPTR.STPTRG0	PDSTPTRCH0.STPTRG
	PDCSTPTR.STPTRG1	PDSTPTRCH1.STPTRG
	PDCSTPTR.STPTRG2	PDSTPTRCH2.STPTRG

49.3.3　PDM_CLKn の周波数変更

外部マイクロホンの電源モードは、入力されるクロック周波数に応じて変わります。PDM-IF では、動作時のマイクロホンへの出力である PDM_CLKn の動作周波数を変更することによって、マイクロホンの電力モードを遷移させることができます。PDM_CLKn の動作周波数は、PDSFCR.CKDIV[3:0]ビットを使用して変更できます。周波数を変更するときは、Sinc フィルタのデシメーション比も変更する必要があります。デシメーション後のサンプリング周波数を 32 kHz にできるように PDSRCRCHn.SINCDEC[7:0]を設定します(注1)。さらに、デシメーション比が変更されるときは、Sinc フィルタの出力範囲も変更されます。PDSRCRCHn.SINCRNG[4:0]を出力範囲に合わせて設定してください。詳細は表 49.7 を参照してください。

これらのレジスタの構成を変更したら、ソフトウェアは、マイクロホンと PDM-IF チャネルのセトリング時間の経過を待つ必要があります。詳細は、「49.4.4. 低消費電力モード遷移フロー」および「49.4.5. 通常モード遷移フロー」を参照してください。

注 1.　サンプリング周波数が 32 kHz ではない場合、Sinc フィルタ適用後のフィルタ特性が変わるおそれがあります。

49.3.4　フィルタ

49.3.4.1　データのクリッピングおよびフィルタ間シフト

音声サンプルデータはクリッピングやフィルタ間シフトが行われます。この動作を図 49.2 に示します。

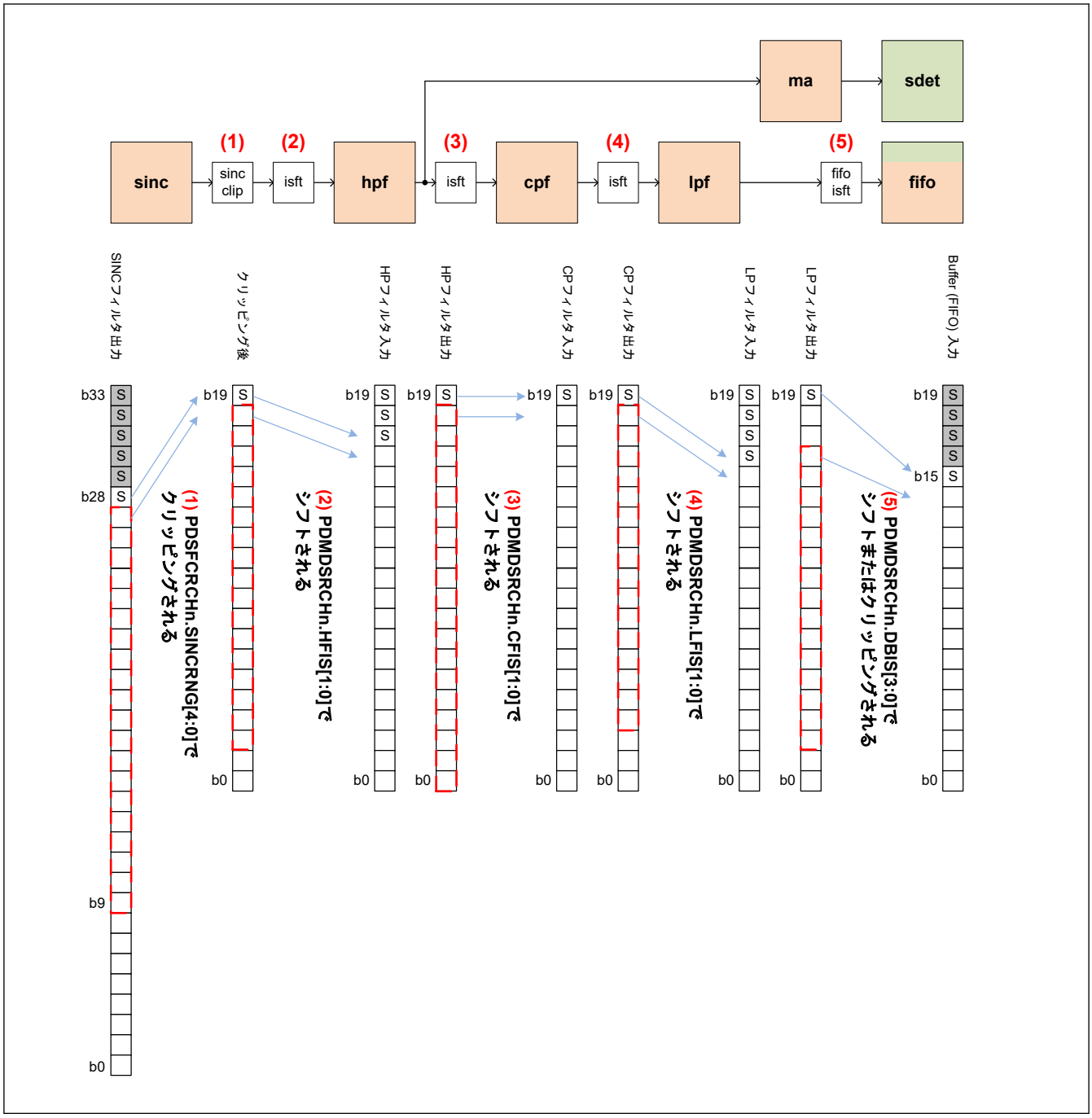


図 49.2　データのクリッピングおよびフィルタ間シフト

(1)　Sinc フィルタ出力のクリッピング

表 49.7 に、利用可能な Sinc フィルタとデータクリッピングの設定を示します。

これは、PDSFCRCHn.SINCRNG[4:0]で制御されます。

表 49.7 に記載のない設定は禁止です。

表 49.7 Sinc フィルタ出力のクリッピング (1/2)

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRCHn.SFMD [2:0]	PDM_CLK の分周比	PDSFCRCHn.CKDIV [3:0]	Sinc フィルタのデシメーション比	PDSFCRCHn.SINCDEC[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFCRCHn. SINCRNG[4:0]	分解能	PDM_CLKn の周波数 (MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)	PDM-IF 出力のサンプリング周波数 (kHz)
8	4	0x0	2	0x0	125	0x7C	b28～b0	b28～b9	00101	20	4.0	32	16
			4	0x1	62	0x3D	b24～b0	b24～b5	01001	20	2.0	32.26	16.13
			6	0x2	42	0x29	b22～b0	b22～b3	01011	20	1.33	31.75	15.87
			8	0x3	31	0x1E	b20～b0	b20～b1	01101	20	1.0	32.26	16.13
			10	0x4	25	0x18	b19～b0	b19～b0	01110	20	0.8	32	16
			12	0x5	21	0x14	b18～b0	b18～b0, 0	01111	19	0.67	31.75	15.87
			14	0x6	18	0x11	b17～b0	b17～b0, 00	10000	18	0.57	31.75	15.87
			16	0x7	16	0x0F	b17～b0	b17～b0, 00	10000	18	0.50	31.25	15.63
			18	0x8	14	0x0D	b16～b0	b16～b0, 000	10001	17	0.44	31.75	15.87
			20	0x9	12	0x0B	b15～b0	b15～b0, 0000	10010	16	0.40	33.33	16.67
			22	0xA	11	0x0A	b14～b0	b14～b0, 00000	10011	15	0.36	33.06	16.53
			24	0xB	10	0x09	b14～b0	b14～b0, 00000	10011	15	0.33	33.33	16.67
			26	0xC	9	0x08	b13～b0	b13～b0, 000000	10100	14	0.31	34.19	17.09
			28	0xD	9	0x08	b13～b0	b13～b0, 000000	10100	14	0.29	31.75	15.87
			30	0xE	8	0x07	b13～b0	b13～b0, 000000	10100	14	0.27	33.33	16.67
			32	0xF	8	0x07	b13～b0	b13～b0, 000000	10100	14	0.25	31.25	15.63
8	3	0x3	2	0x0	125	0x7C	b21～b0	b21～b2	01100	20	4.0	32	16
			4	0x1	62	0x3D	b18～b0	b18～b0, 0	01111	19	2.0	32.26	16.13
			6	0x2	42	0x29	b17～b0	b17～b0, 00	10000	18	1.33	31.75	15.87
			8	0x3	31	0x1E	b15～b0	b15～b0, 0000	10010	16	1.0	32.26	16.13
			10	0x4	25	0x18	b14～b0	b14～b0, 00000	10011	15	0.8	32	16
			12	0x5	21	0x14	b14～b0	b14～b0, 00000	10011	15	0.67	31.75	15.87
			14	0x6	18	0x11	b13～b0	b13～b0, 000000	10100	14	0.57	31.75	15.87
			16	0x7	16	0x0F	b13～b0	b13～b0, 000000	10100	14	0.50	31.25	15.63
			18	0x8	14	0x0D	b12～b0	b12～b0, 0000000	10101	13	0.44	31.75	15.87
			20	0x9	12	0x0B	b11～b0	b11～b0, 00000000	10110	12	0.40	33.33	16.67
			22	0xA	11	0x0A	b11～b0	b11～b0, 00000000	10110	12	0.36	33.06	16.53
			24	0xB	10	0x09	b10～b0	b10～b0, 000000000	10111	11	0.33	33.33	16.67
			26	0xC	9	0x08	b10～b0	b10～b0, 000000000	10111	11	0.31	34.19	17.09
			28	0xD	9	0x08	b10～b0	b10～b0, 000000000	10111	11	0.29	31.75	15.87
			30	0xE	8	0x07	b10～b0	b10～b0, 000000000	10111	11	0.27	33.33	16.67
			32	0xF	8	0x07	b10～b0	b10～b0, 000000000	10111	11	0.25	31.25	15.63

表 49.7 Sinc フィルタ出力のクリッピング (2/2)

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRCHn.SFMD [2:0]	PDM_CLK の分周比	PDSFCRCHn.CKDIV [3:0]	Sinc フィルタのデシメーション比	PDSFCRCHn.SINCDEC[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFCRCHn.SINCRNG[4:0]	分解能	PDM_CLKn の周波数 (MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)	PDM-IF 出力のサンプリング周波数 (kHz)
8	2	0x2	2	0x0	125	0x7C	b14～b0	b14～b0, 00000	10011	15	4.0	32	16
			4	0x1	62	0x3D	b12～b0	b12～b0, 0000000	10101	13	2.0	32.26	16.13
			6	0x2	42	0x29	b11～b0	b11～b0, 00000000	10110	12	1.33	31.75	15.87
			8	0x3	31	0x1E	b10～b0	b10～b0, 000000000	10111	11	1.0	32.26	16.13
			10	0x4	25	0x18	b10～b0	b10～b0, 000000000	10111	11	0.8	32	16
			12	0x5	21	0x14	b9～b0	b9～b0, 0000000000	11000	10	0.67	31.75	15.87
			14	0x6	18	0x11	b9～b0	b9～b0, 0000000000	11000	10	0.57	31.75	15.87
			16	0x7	16	0x0F	b9～b0	b9～b0, 0000000000	11000	10	0.50	31.25	15.63
			18	0x8	14	0x0D	b8～b0	b8～b0, 00000000000	11001	9	0.44	31.75	15.87
			20	0x9	12	0x0B	b8～b0	b8～b0, 00000000000	11001	9	0.40	33.33	16.67
			22	0xA	11	0x0A	b7～b0	b7～b0, 000000000000	11010	8	0.36	33.06	16.53
			24	0xB	10	0x09	b7～b0	b7～b0, 000000000000	11010	8	0.33	33.33	16.67
			26	0xC	9	0x08	b7～b0	b7～b0, 000000000000	11010	8	0.31	34.19	17.09
			28	0xD	9	0x08	b7～b0	b7～b0, 000000000000	11010	8	0.29	31.75	15.87
			30	0xE	8	0x07	b7～b0	b7～b0, 000000000000	11010	8	0.27	33.33	16.67
			32	0xF	8	0x07	b7～b0	b7～b0, 000000000000	11010	8	0.25	31.25	15.63
8	1	0x1	2	0x0	125	0x7C	b7～b0	b7～b0, 000000000000	11010	8	4.0	32	16
			4	0x1	62	0x3D	b6～b0	b6～b0, 0000000000000	11011	7	2.0	32.26	16.13
			6	0x2	42	0x29	b6～b0	b6～b0, 0000000000000	11011	7	1.33	31.75	15.87
			8	0x3	31	0x1E	b5～b0	b5～b0, 00000000000000	11100	6	1.0	32.26	16.13
			10	0x4	25	0x18	b5～b0	b5～b0, 00000000000000	11100	6	0.8	32	16
			12	0x5	21	0x14	b5～b0	b5～b0, 00000000000000	11100	6	0.67	31.75	15.87
			14	0x6	18	0x11	b5～b0	b5～b0, 00000000000000	11100	6	0.57	31.75	15.87
			16	0x7	16	0x0F	b5～b0	b5～b0, 00000000000000	11100	6	0.50	31.25	15.63
			18	0x8	14	0x0D	b4～b0	b4～b0, 000000000000000	11101	5	0.44	31.75	15.87
			20	0x9	12	0x0B	b4～b0	b4～b0, 000000000000000	11101	5	0.40	33.33	16.67
			22	0xA	11	0x0A	b4～b0	b4～b0, 000000000000000	11101	5	0.36	33.06	16.53
			24	0xB	10	0x09	b4～b0	b4～b0, 000000000000000	11101	5	0.33	33.33	16.67
			26	0xC	9	0x08	b4～b0	b4～b0, 000000000000000	11101	5	0.31	34.19	17.09
			28	0xD	9	0x08	b4～b0	b4～b0, 000000000000000	11101	5	0.29	31.75	15.87
			30	0xE	8	0x07	b4～b0	b4～b0, 000000000000000	11101	5	0.27	33.33	16.67
			32	0xF	8	0x07	b4～b0	b4～b0, 000000000000000	11101	5	0.25	31.25	15.63

表 49.7 に示されている組み合わせが PDMDSRCHn.SFMD[2:0]、PDSFCRCHn.CKDIV[3:0]、PDSFCRCHn.SINCDEC[7:0]、および PDSFCRCHn.SINCRNG[4:0]に設定されている限り、オーバーフローやアンダーフローは発生しません。それ以外の組み合わせで設定するとオーバーフローやアンダーフローが発生するおそれがあります。オーバーフローが発生したときは、0x7FFFF が出力されます。アンダーフローが発生したときは、0x80000 が出力されます。オーバーフローとアンダーフローのどちらが発生したかを確認するときは、過電圧検出機能を使用してください。

(2) ハイパスフィルタ入力のシフト

Sinc フィルタ出力からクリッピングされたデータが右シフトされ、ハイパスフィルタに入力されます。
これは、PDMDSRCHn.HFIS[1:0]で制御されます。

表 49.8 ハイパスフィルタ入力のシフト

PDMDSR.HFIS[1:0]	機能	シフトされたデータ(注1)
0x0	シフトなし	S, b18～b0
0x1	1 ビット右シフト	S, S, b18～b1
0x2	2 ビット右シフト	S, S, S, b18～b2
0x3	3 ビット右シフト	S, S, S, S, b18～b3

注 1. S: 符号付きビット（= ビット 19）

(3) 補償フィルタ入力のシフト

ハイパスフィルタ出力が右シフトされ、補償フィルタに入力されます。
これは、PDMDSRCHn.CFIS[1:0]で制御されます。

表 49.9 補償フィルタ入力のシフト

PDMDSR.CFIS[1:0]	機能	シフトされたデータ(注1)
0x0	シフトなし	S, b18～b0
0x1	1 ビット右シフト	S, S, b18～b1
0x2	2 ビット右シフト	S, S, S, b18～b2
0x3	3 ビット右シフト	S, S, S, S, b18～b3

注 1. S: 符号付きビット（= ビット 19）

(4) ローパスフィルタ入力のシフト

補償フィルタ出力が右シフトされ、ローパス（ハーフバンドデシメーション）フィルタに入力されます。
これは、PDMDSRCHn.LFIS[1:0]で制御されます。

表 49.10 ローパスフィルタ入力のシフト

PDMDSR.LFIS[1:0]	機能	シフトされたデータ(注1)
0x0	シフトなし	S, b18～b0
0x1	1 ビット右シフト	S, S, b18～b1
0x2	2 ビット右シフト	S, S, S, b18～b2
0x3	3 ビット右シフト	S, S, S, S, b18～b3

注 1. S: 符号付きビット（= ビット 19）

(5) バッファ入力のシフトまたはクリッピング

補償フィルタ出力が右シフトされるか、補償フィルタ出力から 16 ビット分のデータがクリッピングされます。その後、シフトまたはクリッピングされたデータはバッファに入力されます。

これは、PDMDSRCHn.DBIS[1:0]で制御されます。

表 49.11 バッファ入力のシフトまたはクリッピング (1/2)

PDMDSRCHn.DBIS[3:0]	機能	有効データ幅	シフトまたはクリッピングされたデータ(注1)
0000	シフトなし	20 ビット	S, b18～b0

表 49.11 バッファ入力のシフトまたはクリッピング (2/2)

PDMDSRCHn.DBIS[3:0]	機能	有効データ幅	シフトまたはクリッピングされたデータ(注1)
0001	1 ビット右シフト	20 ビット	S, S, b18～b1
0010	2 ビット右シフト	20 ビット	S, S, S, b18～b2
0011	3 ビット右シフト	20 ビット	S, S, S, S, b18～b3
1000	符号付きビットとビット 18～4 がクリッピングされる	16 ビット	S, b18～b4
1001	符号付きビットとビット 17～3 がクリッピングされる(注2)	16 ビット	S, b17～b3
1010	符号付きビットとビット 16～2 がクリッピングされる(注2)	16 ビット	S, b16～b2
1011	符号付きビットとビット 15～1 がクリッピングされる(注2)	16 ビット	S, b15～b1
1100	符号付きビットとビット 14～0 がクリッピングされる(注2)	16 ビット	S, b14～b0

注 1. S: 符号付きビット（= ビット 19）
注 2. オーバーフローが発生すると、バッファに 0x7FFF が入力されます。
アンダーフローが発生すると、バッファに 0x8000 が入力されます。

49.3.4.2 Sinc フィルタ

Sinc フィルタの動作クロックは PDMIFCLK です。Sinc フィルタは、PDM_CLKn の立ち上がりエッジまたは立ち下がりエッジでラッチされた 1 ビットストリームデータを使用して動作します。詳細は「49.3.5. ステレオサウンドのデータ入力制御」を参照してください。

図 49.3 に Sinc フィルタのブロック図を示します。

微分段はデシメーションクロック（周波数は PDM_CLKn の 1/M）で動作します。M はデシメーション比であり、PDSFCRCHn.SINCDEC[7:0]ビットで設定されます。フィルタ結果は、デシメーションクロックごとにレジスタに出力されます。

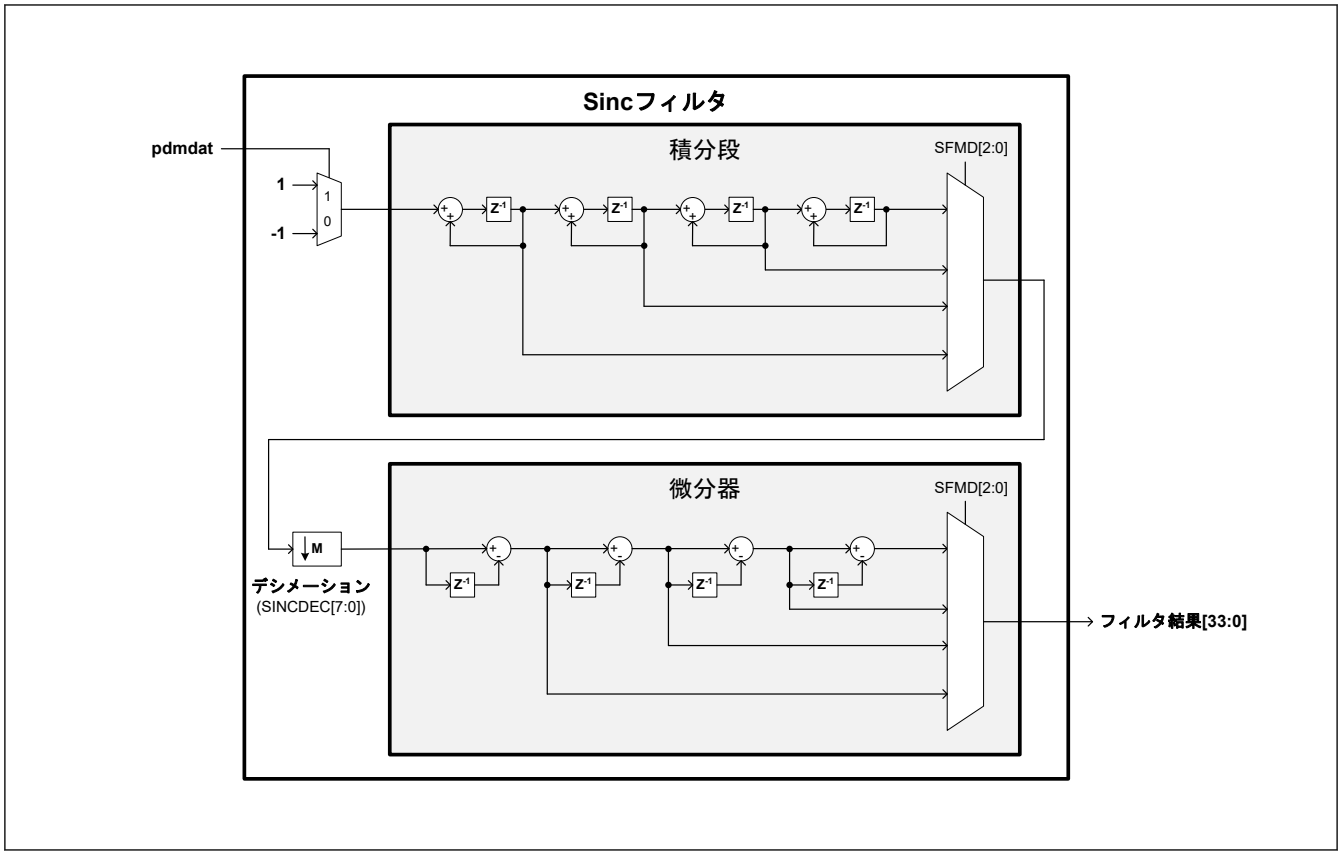


図 49.3　Sinc フィルタのブロック図

49.3.4.3　ハイパスフィルタ

ハイパスフィルタの動作クロックは PDMIFCLK です。ハイパスフィルタは、Sinc フィルタの結果を使用して動作します。

図 49.4 にハイパスフィルタのブロック図を示します。

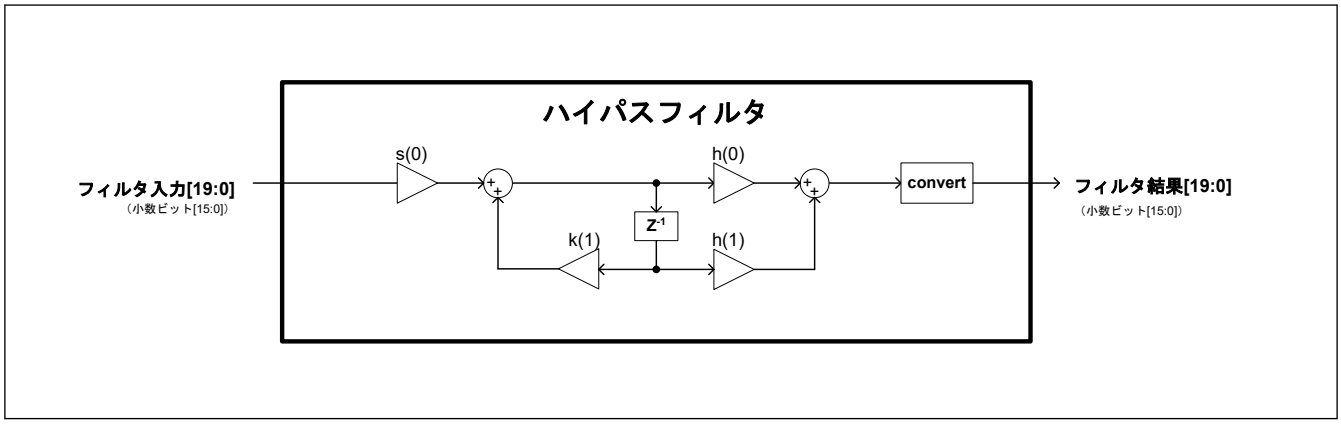


図 49.4　ハイパスフィルタのブロック図

表 49.12 にハイパスフィルタの仕様を示します。

表 49.12　ハイパスフィルタの仕様 (1/2)

機能		仕様
入力	ビット幅	符号付き 20 ビット（小数 16 ビット）
出力	ビット幅	符号付き 20 ビット（小数 16 ビット）

表 49.12 ハイパスフィルタの仕様 (2/2)

機能		仕様
係数	ビット幅	符号付き 16 ビット（小数 14 ビット） 詳細については、「49.2.21. PDHFCS0RCHn : ハイパスフィルタ係数 s(0) レジスタチャネル n (n = 0～2)」、「49.2.22. PDHFCK1RCHn : ハイパスフィルタ係数 k(1) レジスタチャネル n (n = 0～2)」、および「49.2.23. PDHFCH0RCHn : ハイパスフィルタ係数 h(0) レジスタチャネル n (n = 0～2)」を参照してください。
遅延 Z	ビット幅	符号付き 32 ビット（小数 18 ビット）
乗算器	入力 A ビット幅	符号付き 32 ビット（小数 18 ビット）
	入力 B ビット幅	符号付き 16 ビット（小数 14 ビット）
	出力ビット幅	符号付き 47 ビット（小数 32 ビット）
加算器	入力 A ビット幅	符号付き 32 ビット（小数 18 ビット）
	入力 B ビット幅	符号付き 32 ビット（小数 18 ビット）
	出力ビット幅	符号付き 33 ビット（小数 18 ビット）
出力変換	入力ビット幅	符号付き 32 ビット（小数 18 ビット）
	出力ビット幅	符号付き 20 ビット（小数 16 ビット）
過剰小数ビット処理		過剰小数ビットは、機能ユニット入力または最終出力時に切り捨てられます。

49.3.4.4 補償フィルタ

補償フィルタの動作クロックは PDMIFCLK です。補償フィルタは、ハイパスフィルタの結果を使用して動作します。

図 49.5 に補償フィルタのブロック図を示します。

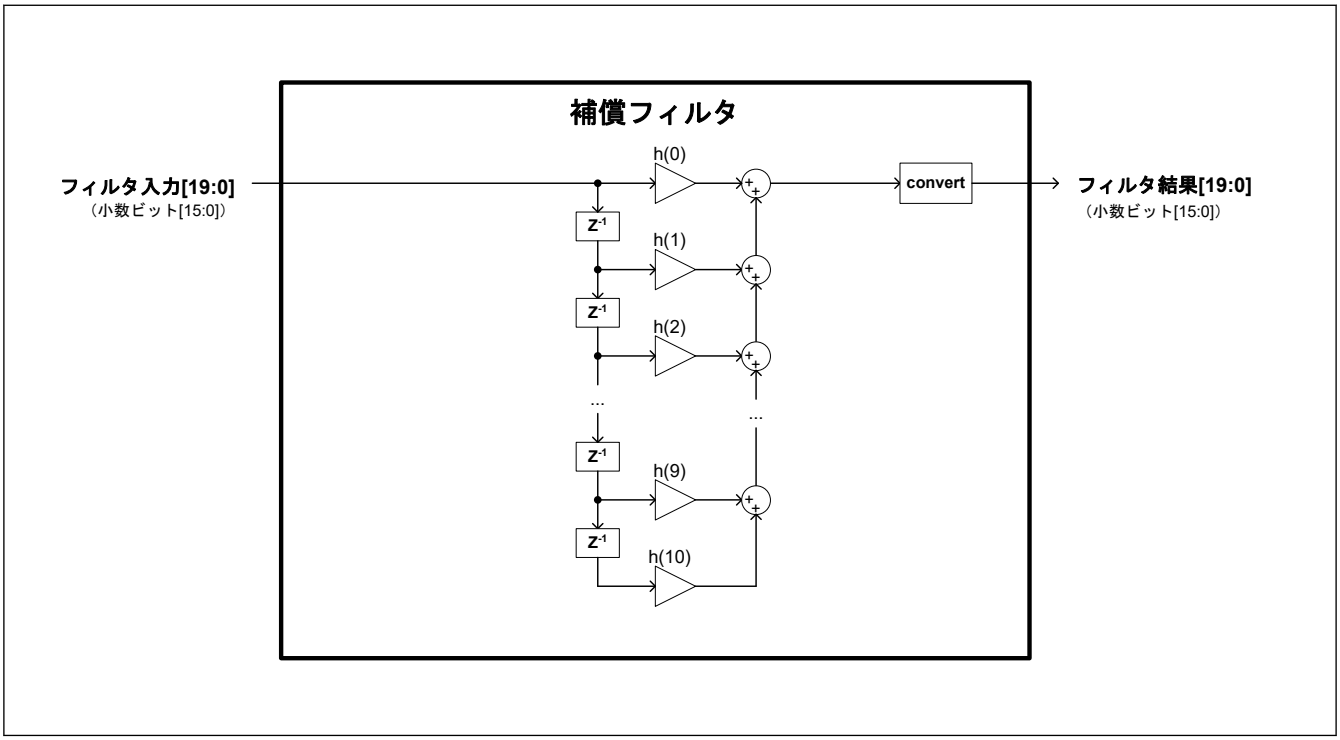


図 49.5 補償フィルタのブロック図

表 49.13 に補償フィルタの仕様を示します。

表 49.13 補償フィルタの仕様 (1/2)

機能		仕様
入力	ビット幅	符号付き 20 ビット（小数 16 ビット）

表 49.13 補償フィルタの仕様 (2/2)

機能		仕様
出力	ビット幅	符号付き 20 ビット（小数 16 ビット）
係数	ビット幅	符号付き 13 ビット（小数 11 ビット） 詳細は「49.2.25. PDCFCH00RCHn : 補償フィルタ係数 h(0) レジスタチャネル n (n = 0～2)」を参照してください。
遅延 Z	ビット幅	符号付き 20 ビット（小数 16 ビット）
乗算器	入力 A ビット幅	符号付き 20 ビット（小数 16 ビット）
	入力 B ビット幅	符号付き 13 ビット（小数 11 ビット）
	出力ビット幅	符号付き 32 ビット（小数 27 ビット）
加算器	入力 A ビット幅	符号付き 22 ビット（小数 18 ビット）
	入力 B ビット幅	符号付き 22 ビット（小数 18 ビット）
	出力ビット幅	符号付き 23 ビット（小数 18 ビット）
出力変換	入力ビット幅	符号付き 22 ビット（小数 18 ビット）
	出力ビット幅	符号付き 20 ビット（小数 16 ビット）
過剰小数ビット処理		過剰小数ビットは、機能ユニット入力または最終出力時に切り捨てられます。

49.3.4.5 ローパス（ハーフバンドデシメーション）フィルタ

ローパスフィルタの動作クロックは PDMIFCLK です。ローパスフィルタは、補償フィルタの結果を使用して動作します。出力データは入力データの半分に間引かれます。その結果、出力データ周波数は入力周波数の半分に削減され、出力データ周波数は FIFO に格納されているデータのサンプリングレートに等しくなります。

図 49.6 にローパスフィルタのブロック図を示します。

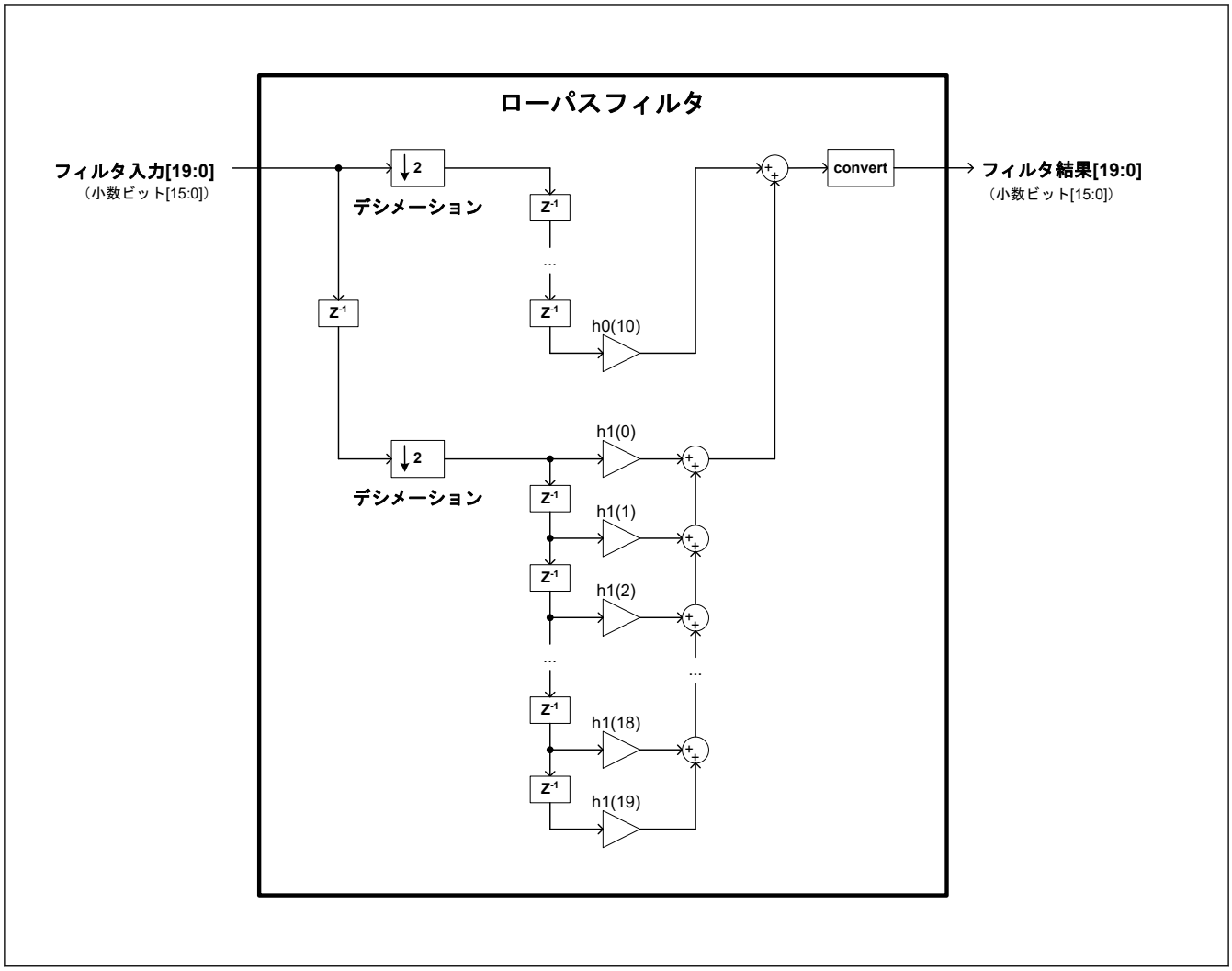


図 49.6　ローパスフィルタのブロック図

表 49.14 にローパスフィルタの仕様を示します。

表 49.14　ローパスフィルタの仕様

機能		仕様
入力	ビット幅	符号付き 20 ビット（小数 16 ビット）
出力	ビット幅	符号付き 20 ビット（小数 16 ビット）
係数	ビット幅	符号付き 13 ビット（小数 11 ビット） 詳細は「49.2.25. PDCFCH00RCHn : 補償フィルタ係数 h(0) レジスタチャネル n (n = 0～2)」を参照してください。
遅延 Z	ビット幅	符号付き 20 ビット（小数 16 ビット）
乗算器	入力 A ビット幅	符号付き 20 ビット（小数 16 ビット）
	入力 B ビット幅	符号付き 13 ビット（小数 11 ビット）
	出力ビット幅	符号付き 32 ビット（小数 27 ビット）
加算器	入力 A ビット幅	符号付き 22 ビット（小数 18 ビット）
	入力 B ビット幅	符号付き 22 ビット（小数 18 ビット）
	出力ビット幅	符号付き 23 ビット（小数 18 ビット）
出力変換	入力ビット幅	符号付き 22 ビット（小数 18 ビット）
	出力ビット幅	符号付き 20 ビット（小数 16 ビット）
過剰小数ビット処理		過剰小数ビットは、機能ユニット入力または最終出力時に切り捨てられます。

49.3.4.6 移動平均フィルタ

移動平均フィルタの動作クロックは PDMIFCLK です。移動平均フィルタは、ハイパスフィルタの結果を使用して動作します。移動平均フィルタの順序は、PDMDSRCHn.SDMAMD[1:0]ビットの設定によって変更できます。

図 49.7 に移動平均フィルタのブロック図を示します。

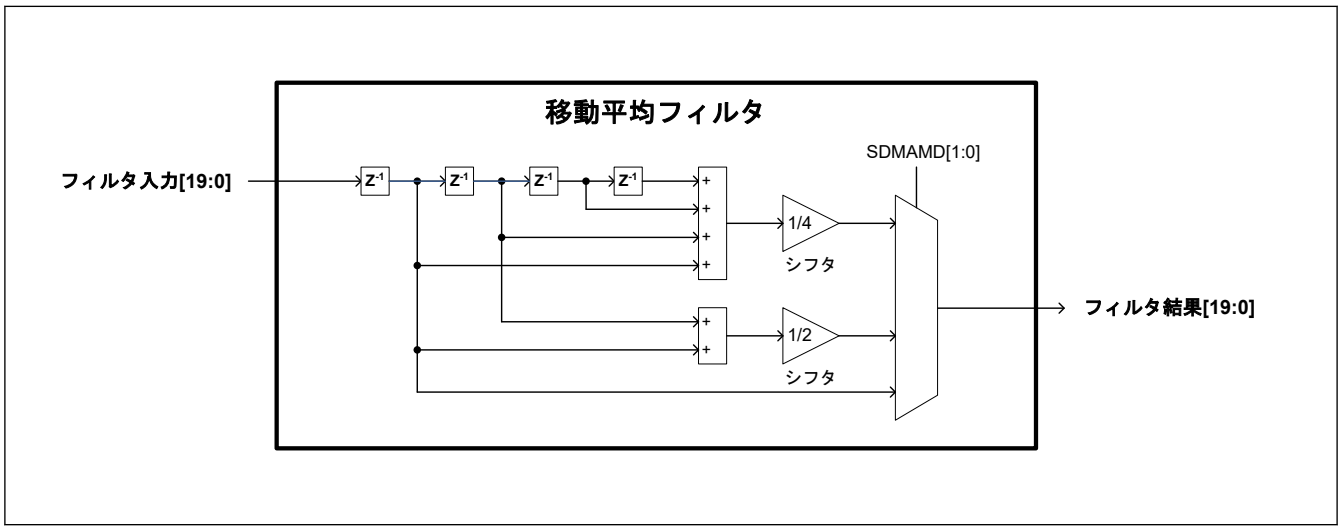


図 49.7 移動平均フィルタのブロック図

表 49.15 に移動平均フィルタの仕様を示します。

表 49.15 移動平均フィルタの仕様

機能		仕様
入力	ビット幅	符号付き 20 ビット（小数 16 ビット）
出力	ビット幅	符号付き 20 ビット（小数 16 ビット）
遅延 Z	ビット幅	符号付き 20 ビット（小数 16 ビット）
過剰小数ビット処理		過剰小数ビットはシフタで切り捨てられます

49.3.4.7 チャネル起動／設定変更のセトリング時間

チャネル起動のセトリング時間は、起動トリガ PDCSTRTR.STRTRGn（または PDSTRTRCHn.STRTRG）が設定されてから、フィルタ結果が安定し、出力されるまでの時間です。チャネル設定変更のセトリング時間は、変更トリガ PDCCHGTR.CHGTRGn（または PDCHGTRCHn.CHGTRG）が設定されてから、フィルタ結果が安定し、出力されるまでの時間です。図 49.8 に、セトリング時間の測定ポイントを示します。

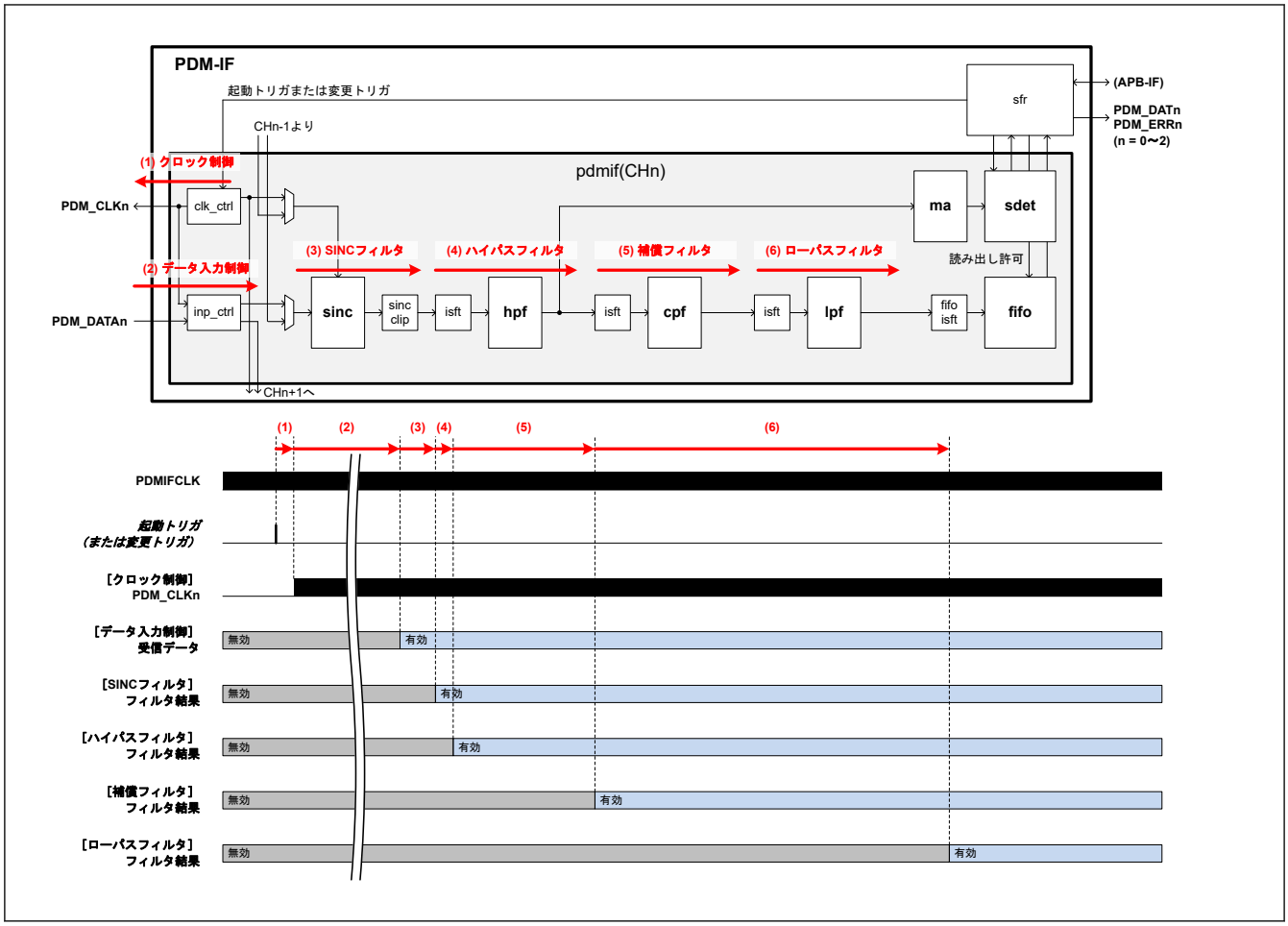


図 49.8　チャネル起動のセトリング時間

セトリング時間は表 49.16 として計算されます。

表 49.16　チャネル起動／設定変更のセトリング時間

No.	機能	セトリング時間	
		チャネル起動	チャネル設定変更
(1)	クロック制御	(4 + (D / 2)) × Cp	(3 + Do + (D / 2)) × Cp
(2)	データ入力制御	(D / 2) × Cp + （***マイクロホンの安定時間***(注1)）	
(3)	Sinc フィルタ	(K × D × M) × Cp	
(4)	ハイパスフィルタ	(D × M + 5) × Cp	
(5)	補償フィルタ	(10 × D × M + 12) × Cp	
(6)	ローパスフィルタ	(38 × D × M + 22) × Cp	

注 1.　低消費電力モードからのウェイクアップ時間、切り替え時間。詳細はマイクロホンのデータシートを参照してください。

Cp: PDMIFCLK 周期

D: PDM_CLKn の分周比

Do: PDM_CLKn の分周比（変更前の設定）

K: Sinc フィルタ次数

M: Sinc フィルタのデシメーション比

49.3.5　ステレオサウンドのデータ入力制御

ステレオサウンドをサポートしているマイクロホンは、PDM_CLKn の立ち上がりエッジと同期した右サウンドと、PDM_CLKn の立ち下がりエッジと同期した左サウンドを出力します。

PDM-IF は、右サウンドと左サウンドを異なるチャネルを使用して処理します。

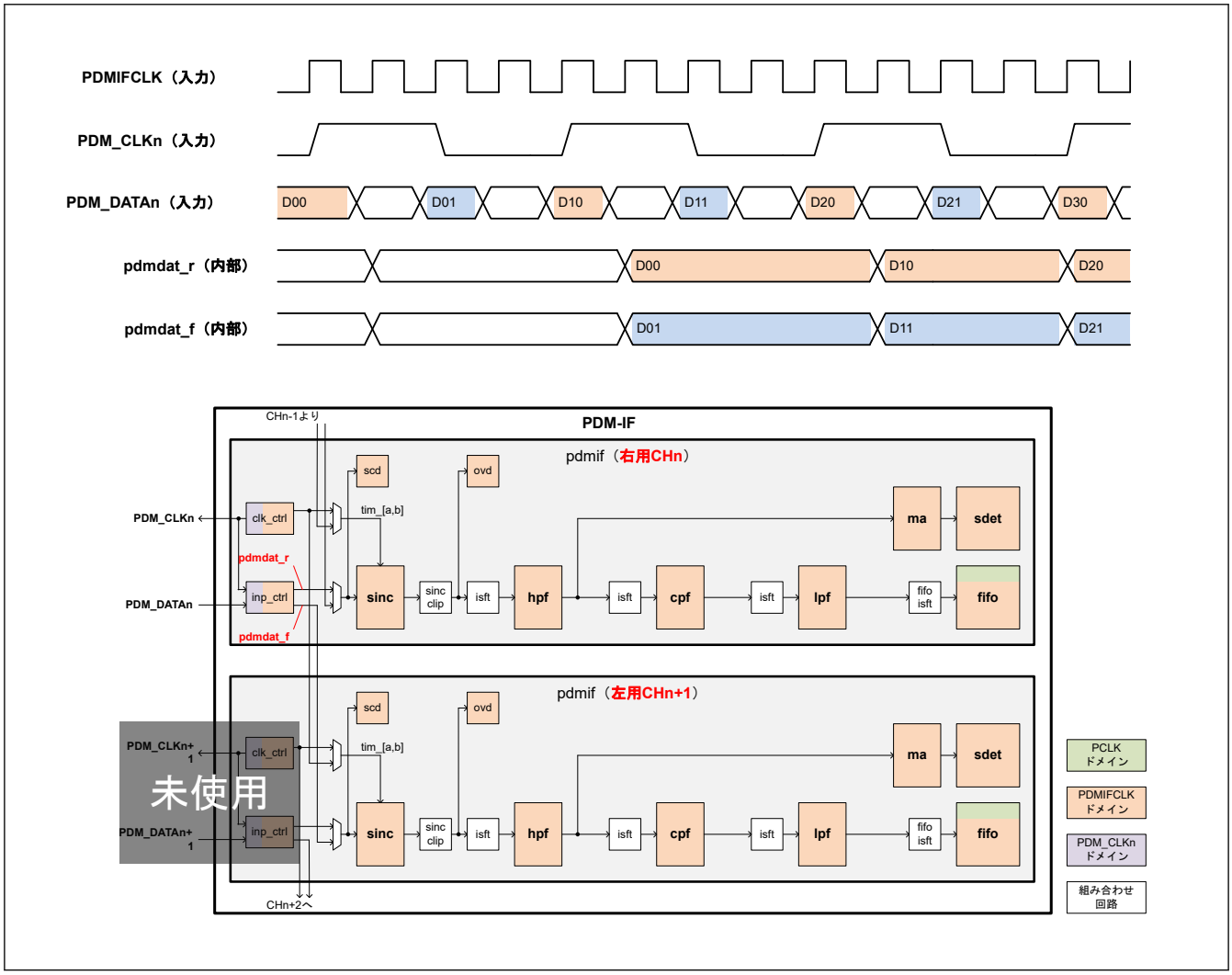


図 49.9　ステレオサウンドのデータ入力制御

表 49.17 に、ステレオサウンド処理のチャネルの組み合わせを示します。

表 49.17　ステレオサウンド処理のチャネルの組み合わせ

入力	立ち上がりエッジでラッチされるデータ処理（右サウンド）	立ち下がりエッジでラッチされるデータ処理（左サウンド）
PDM_CLK0	チャネル 0	チャネル 1
PDM_DATA0		
PDM_CLK1	チャネル 1	チャネル 0
PDM_DATA1		

表 49.18 に、チャネル 0 とチャネル 1 を使用したステレオサウンド処理のレジスタ設定例を示します。

表 49.18　ステレオサウンド処理のレジスタ設定 (1/2)

レジスタ	ビット	チャネル 0 設定	チャネル 1 設定
PDICRCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDSDCRCHn	すべてのビット	チャネル個別設定	チャネル個別設定

表 49.18 ステレオサウンド処理のレジスタ設定 (2/2)

レジスタ	ビット	チャネル 0 設定	チャネル 1 設定
PDMDSRCHn	INPSEL	0（立ち上がりエッジと同期したチャネル 0 データを使用する）	1（立ち下がりエッジと同期したチャネル 0 データを使用する）
	SFMD[2:0]	チャネル 0 とチャネル 1 に同じ設定（必須）	
	HFIS[1:0]	チャネル個別設定	チャネル個別設定
	HFMD	チャネル 0 とチャネル 1 に同じ設定（必須）	
	CFIS[1:0]	チャネル個別設定	チャネル個別設定
	CFMD	チャネル 0 とチャネル 1 に同じ設定（必須）	
	LFIS[1:0]	チャネル個別設定	チャネル個別設定
	LFMD	チャネル 0 とチャネル 1 に同じ設定（必須）	
	SDHFMD	チャネル 0 とチャネル 1 に同じ設定（必須）	
	SDMAMD[1:0]	チャネル 0 とチャネル 1 に同じ設定（必須）	
	DBIS[3:0]	チャネル個別設定	チャネル個別設定
PDSFCRCHn	CKDIV[3:0]	チャネル 0 に接続されたマイクロホンに供給されるクロックの設定	未使用
	SINCDEC[7:0]	チャネル 0 とチャネル 1 に同じ設定（必須）	
	SINCRNG[4:0]	チャネル 0 とチャネル 1 に同じ設定（必須）	
PDHFCS0RCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDHFCK1RCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDHFCH0RCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDHFCH1RCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDCFCHmRCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDLFCH0mRCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDLFCH1mRCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDSDLTRCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDSDUTRCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDDBCRCHn	すべてのビット	チャネル 0 とチャネル 1 に同じ設定（必須）	
PDSCTSRCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDOVLTRCHn	すべてのビット	チャネル個別設定	チャネル個別設定
PDOVUTRCHn	すべてのビット	チャネル個別設定	チャネル個別設定

49.3.6 サウンド検出

サウンド検出機能の動作クロックは PDMIFCLK です。PDSDCRCHn.SDE = 1 の場合、この機能では、移動平均フィルタ結果を使用してサウンド検出を決定します。

その結果が上限 PDSDUTRCHn.SDETU[19:0]を上回ると、サウンド検出フラグ (PDSR.SDF) が 1 になります。サウンド検出フラグはまた、その結果が下限 PDSDLTRCHn.SDETL[19:0]を下回ったときにも 1 になります。PDSCRCHn.SDFC に 1 が書き込まれると、サウンド検出フラグは 0 にクリアされます。

図 49.10 に、サウンド検出の機能ブロックを示します。

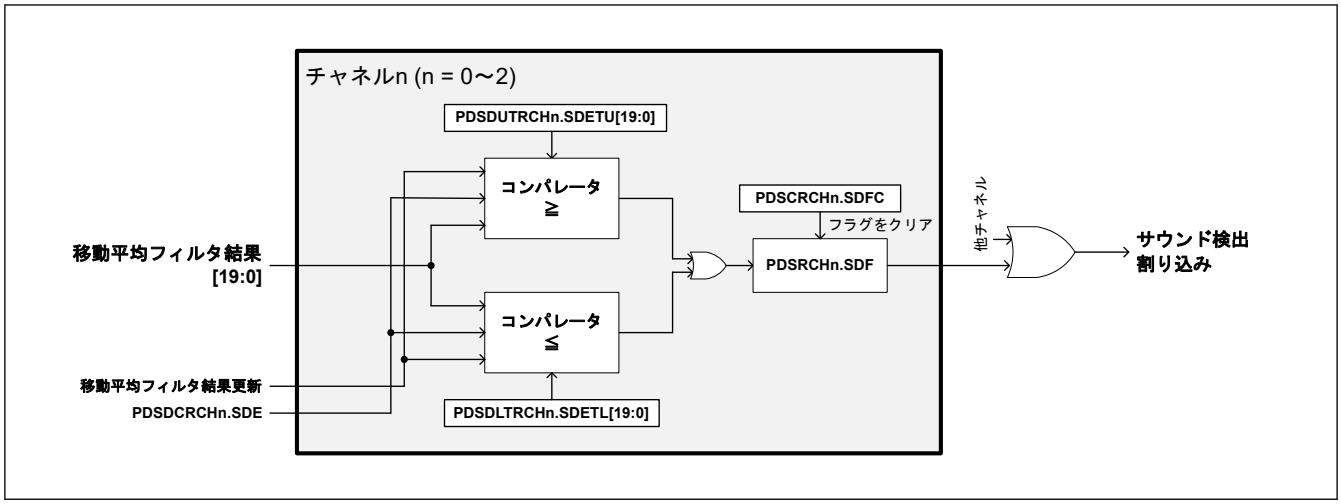


図 49.10　サウンド検出の機能ブロック

49.3.7　データバッファ

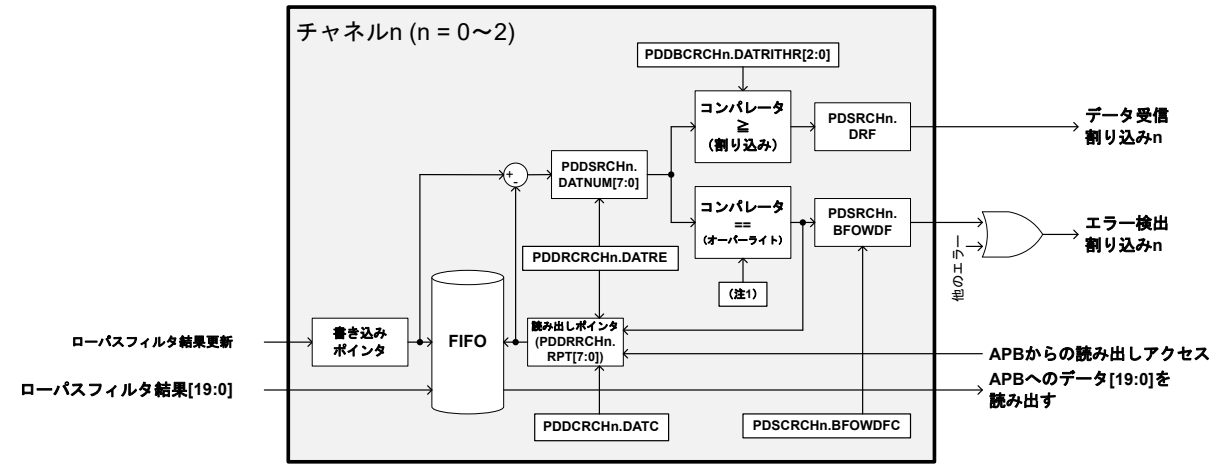
データバッファは、サウンドデータを PDMIFCLK と同期して FIFO バッファに書き込み、PCLK と同期して FIFO バッファから読み出します。データバッファが FIFO バッファに格納したサウンドデータは、読み出されるまで FIFO バッファ内に残ります。

PDDRCRCHn.DATRE = 0（以降、「DATRE」と略す）である間、PDDSR.DATNUM[7:0]（以降、「DATNUM[7:0]」と略す）は 0 を示し、PDM-IF ではサウンドデータの読み出しが許可されません。DATRE が 0 から 1 に変わった後、DATNUM[7:0]は「バッファサイズ - 2」を示し、PDM-IF はサウンドデータの読み出しを許可します。DATRE が 1 であるとき、データバッファは DATNUM[7:0]の値を、データ書き込み時にインクリメントし、読み出し時にデクリメントします。

DATNUM[7:0]が PDDBCRCHn.DATRITHR[2:0]によって構成されたしきい値以上になると、データ受信フラグ PDSRCHn.DRF（以降、「DRF」と略す）が 1 になります。たとえば、データを読み出すことによって DATNUM[7:0]がそのしきい値未満になると、データ受信フラグ DRF は 0 にクリアされます。

DATNUM[7:0]が「バッファサイズ - 2」であり、読み出しなしでデータが書き込まれると、データバッファは最も古いデータを新しいデータで上書きし、バッファ上書き検出フラグ PDSRCHn.BFOWDF（以降、「BFOWDF」と略す）が 1 になります。上書きの後、DATNUM[7:0]は再び「バッファサイズ - 2」に設定されます。ただし、データバッファが上書きを行っても、最初のデータが読み出される前に DATRE の値が 0 から 1 に変わった場合、BFOWDF は 1 になりません。

図 49.11 にデータバッファの機能ブロックを示します。



注 1. バッファサイズ - 1（バッファサイズが 32 段からなる場合、この値は 31 です）。

図 49.11 データバッファの機能ブロック

49.3.8 短絡検出

短絡検出許可 (PDSDCRCHn.SCDE) が有効なときは、短絡検出が動作可能です。

専用の 13 ビットカウンタが、チャネル n またはチャネル n + 1 のデータ入力コントロールブロックによって出力された pdmdat から入力される連続した 0 または 1 をカウントします。

連続した 0 の数が PDSCTSRCHn.SCDL[12:0]レジスタで設定された値を超えるか、または連続した 1 の数が PDSCTSRCHn.SCDH[12:0]レジスタで設定された値を超えると、短絡検出割り込み要求が生成されます。

図 49.12 に、短絡検出の機能ブロックの構成を示します。

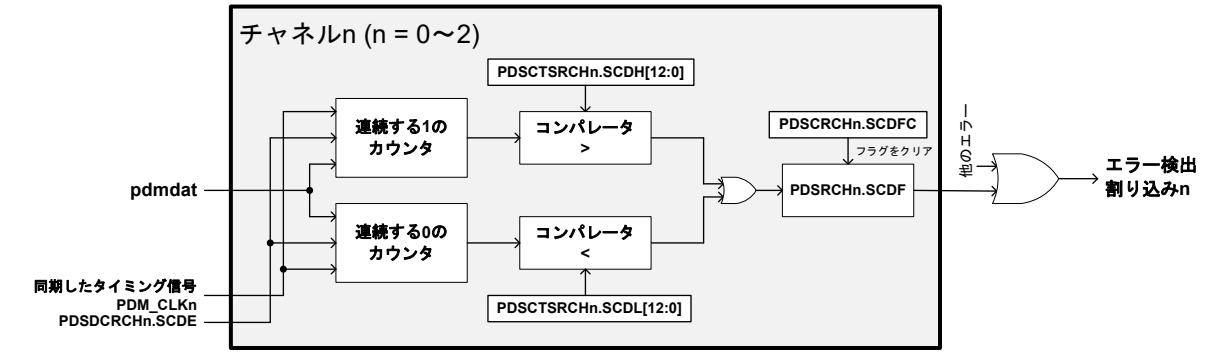


図 49.12 短絡検出の機能ブロック

49.3.9 過電圧検出

過電圧上限検出許可 (PDSDCRCHn.OVUDE) が有効なときは、過電圧上限検出が動作可能です。過電圧下限検出許可 (PDSDCRCHn.OVLDE) が有効なときは、過電圧下限検出が動作可能です。

サウンドデータは、PDSFCR.SINCRNG[4:0]ビットを設定することによって、Sinc フィルタから出力された 34 ビットデータから 20 ビットデータとしてクリッピングされます。詳細は、表 49.7 を参照してください。

クリッピングされたサウンドデータが PDOVUTRCHn.OVDU[19:0]を上回ると、過電圧上限検出フラグが 1 になります。

クリッピングされたサウンドデータが PDOVUTRCHn.OVDL[19:0]を下回ると、過電圧下限検出フラグが 1 になります。

図 49.13 に過電圧検出の機能ブロックを示します。

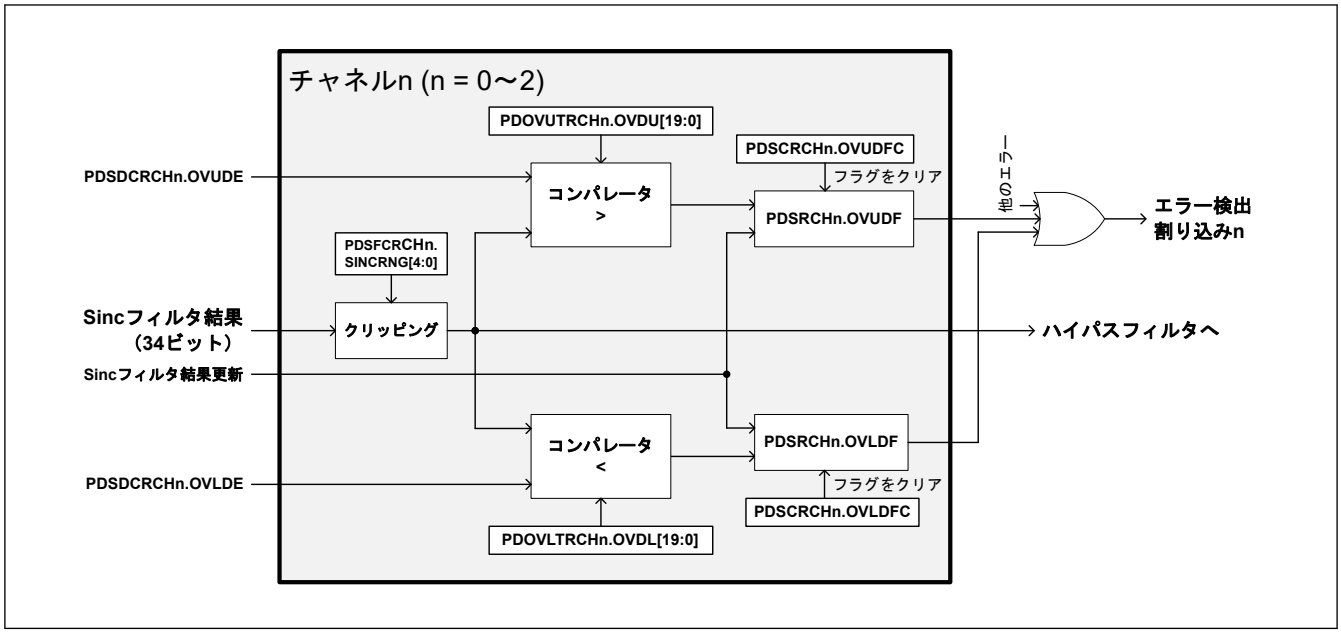


図 49.13　過電圧検出の機能ブロック

49.3.10　エラー内容

表 49.19 に、PDM-IF のエラー一覧を示します。

表 49.19　PDM-IF のエラー一覧

No.	レジスタ名	説明	注記	機能（関連する項目）
	PDSRCHn.SCDF	短絡検出フラグ		「49.3.8. 短絡検出」
	PDSRCHn.OVLDF	過電圧下限検出フラグ		「49.3.9. 過電圧検出」
	PDSRCHn.OVUDF	過電圧上限検出フラグ		「49.3.9. 過電圧検出」
	PDSRCHn.BFOWDF	バッファ上書き検出フラグ	デバッグ用	「49.3.7. データバッファ」

No.4 のエラーはデバッグ用です。ソフトウェアは、これらのエラーが発生しないように、レジスタを設定して PDM-IF を操作する必要があります。これらのエラーのいずれかが発生した場合は、「49.4.2. 停止フロー」に従って PDM-IF を停止し、設定を変更してください。

49.3.11　割り込み機能

PDM-IF の割り込み機能を以下に示します。

表 49.20　PDM-IF の割り込み一覧 (1/2)

No.	信号名	割り込み名称	信号数	パルス／レベル	関連するレジスタビット名		機能（関連する項目）
					共通レジスタ	チャネルレジスタ	
	PDM_DATn (n = 0～2)	データ受信割り込み CHn	3	レベル	PDCSR.DRFn	PDSRCHn.DRF	「49.3.7. データバッファ」
	PDM_SDET	サウンド検出割り込み（3 チャネルのステータスフラグの論理和 (OR)）		レベル	PDCSR.SDFn	PDSRCHn.SDF	「49.3.6. サウンド検出」

表 49.20 PDM-IF の割り込み一覧 (2/2)

No.	信号名	割り込み名称	信号数	パルス／レベル	関連するレジスタビット名		機能（関連する項目）
					共通レジスタ	チャネルレジスタ	
	PDM_ERRn (n = 0～2)	エラー検出割り込み CHn	3	レベル	PDCSR.EDFn	PDSRCHn.SCDF	「49.3.8. 短絡検出」
						PDSRCHn.OVLDF	「49.3.9. 過電圧検出」
						PDSRCHn.OVUDF	「49.3.9. 過電圧検出」
						PDSRCHn.BFOWDF	「49.3.7. データバッファ」

49.4 設定フロー

図 49.14 と図 49.15 に、PDM-IF のメイン手順の例を示します。

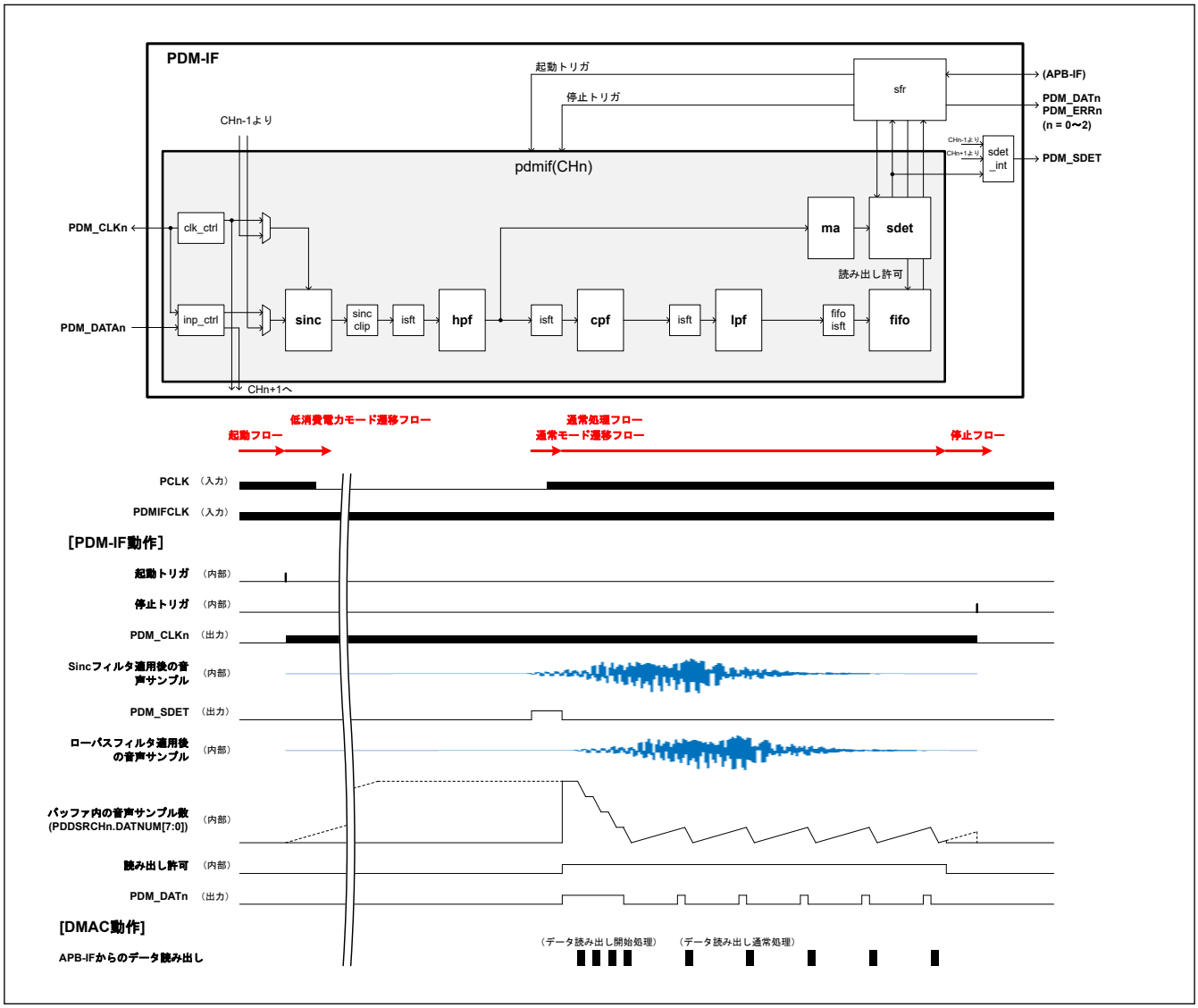


図 49.14 PDM-IF の動作例

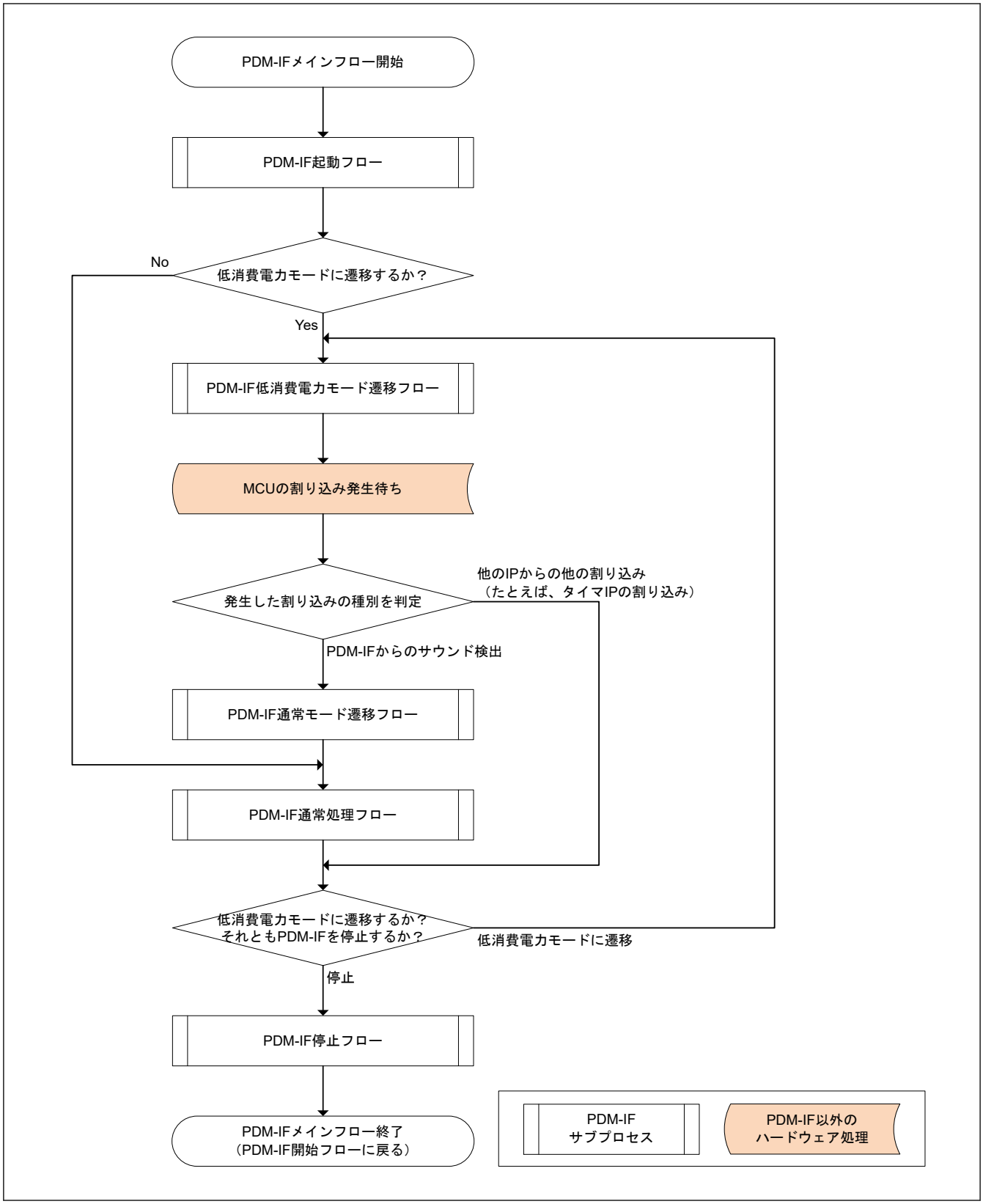


図 49.15　PDM-IF 設定のメインフロー（低消費電力モード遷移あり）

図 49.16 に、低消費電力モード遷移のないメイン手順の例を示します。

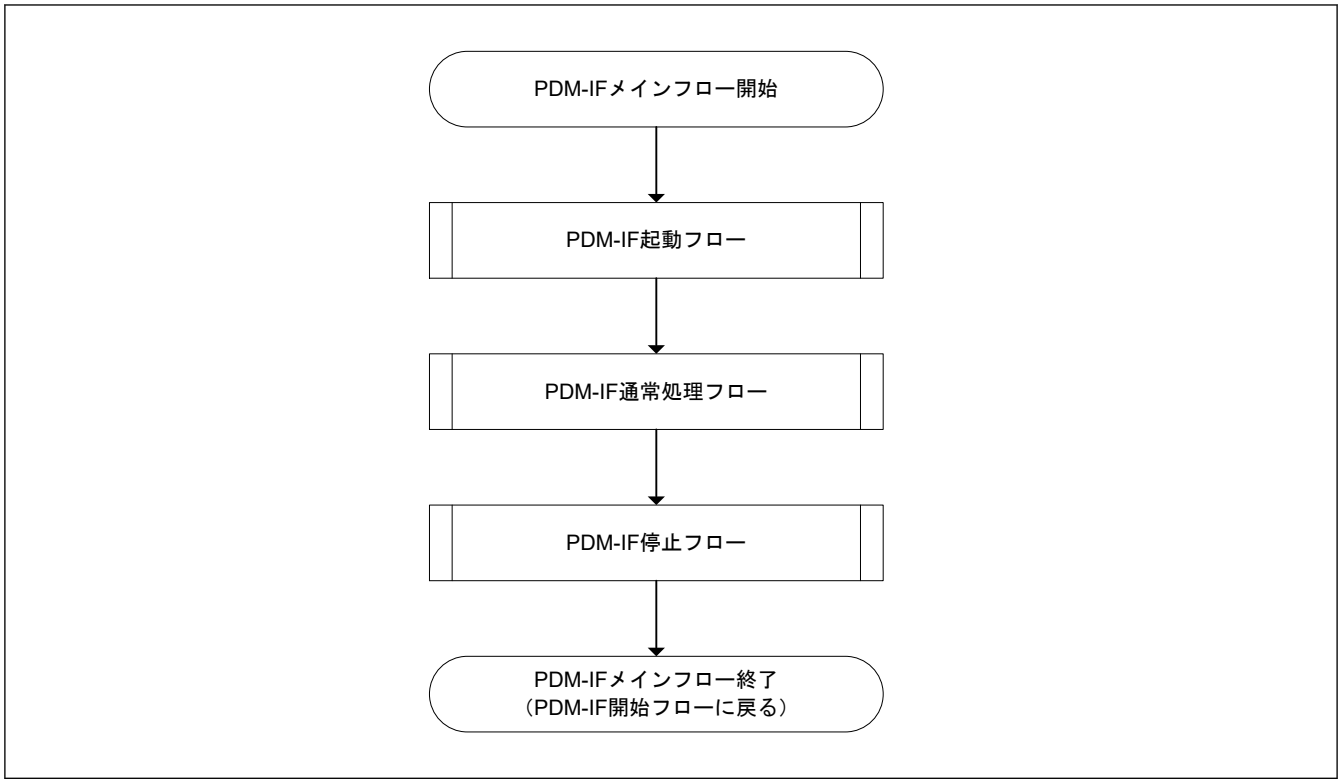
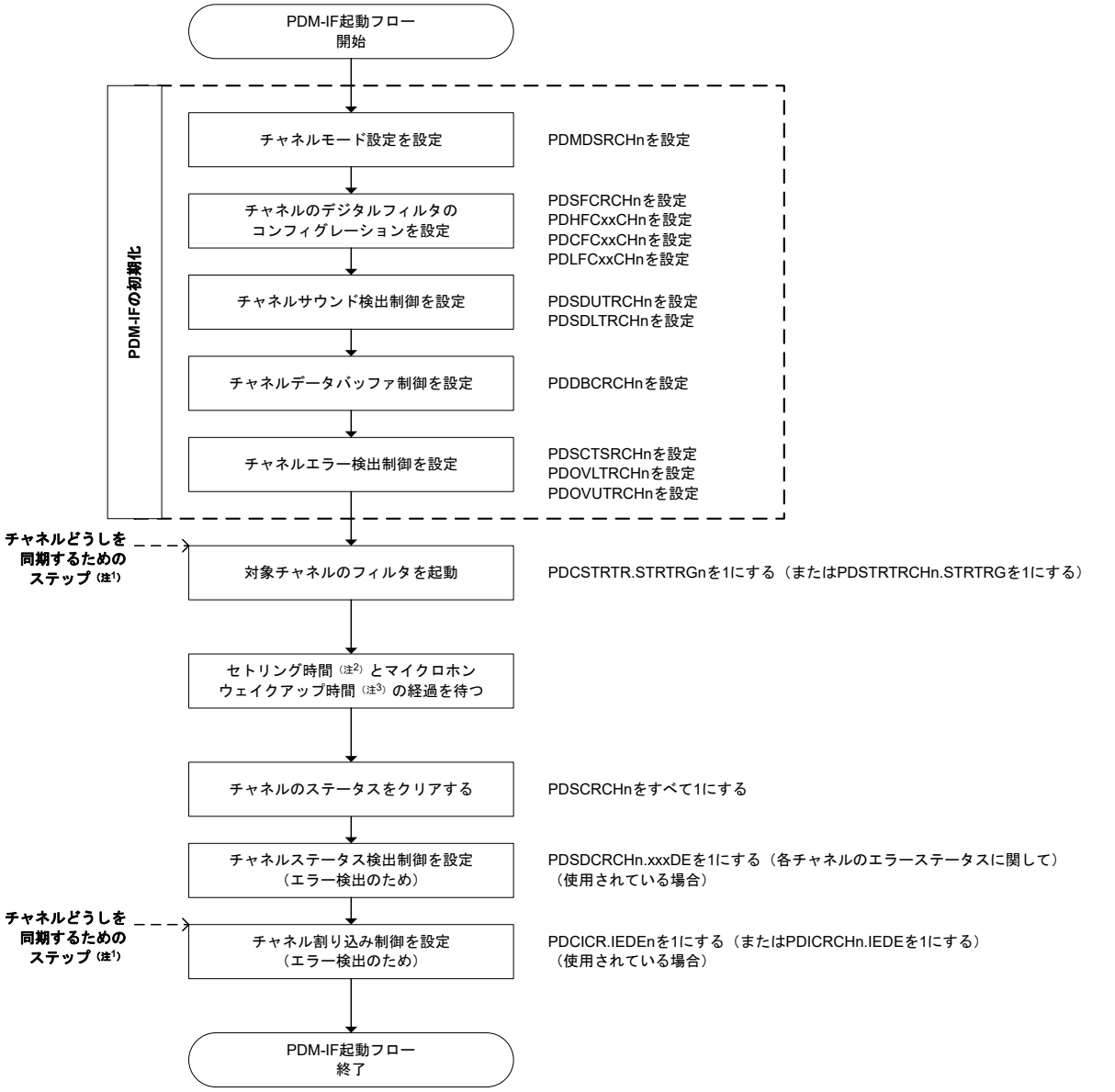


図 49.16 PDM-IF 設定のメインフロー（低消費電力モード遷移なし）

49.4.1 起動フロー

図 49.17 に、PDM-IF の開始手順の例を示します。

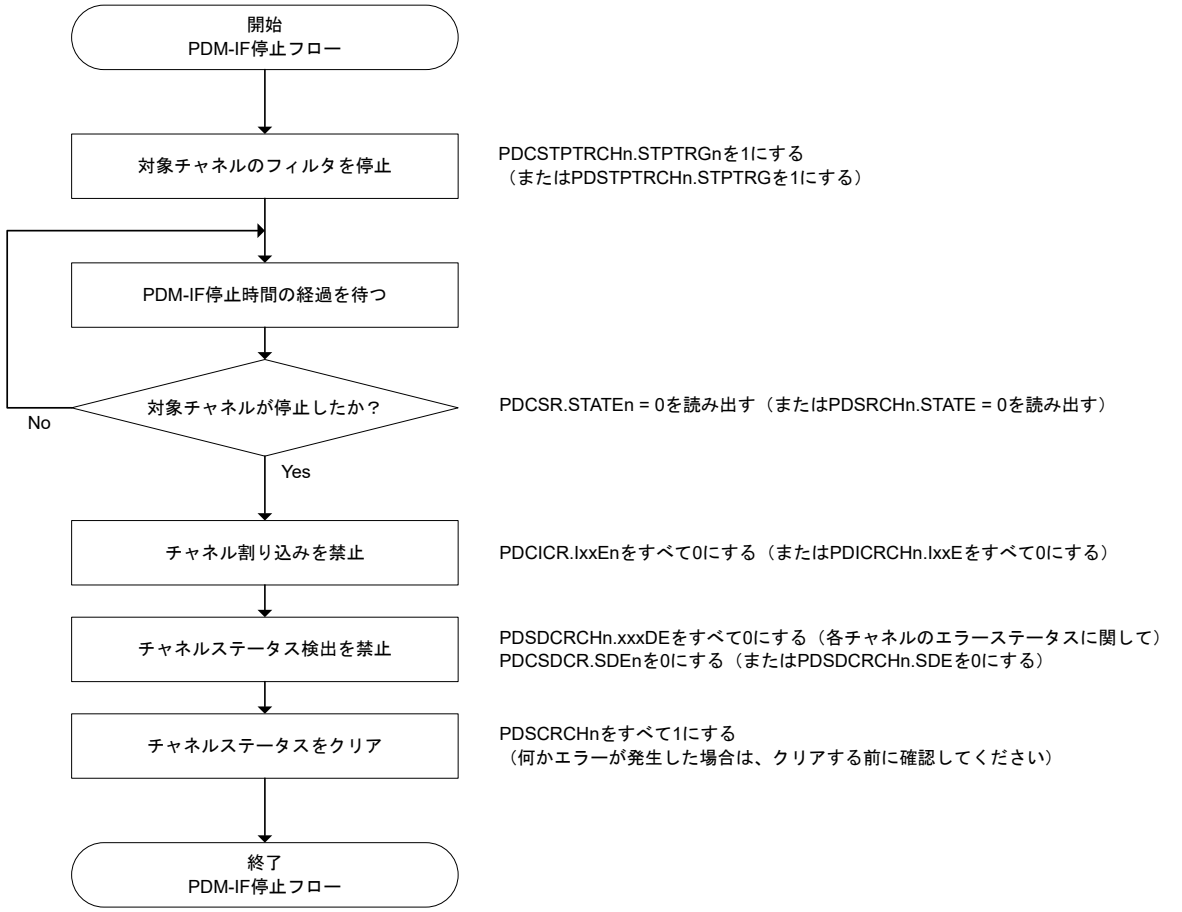


注. 「xx」または「xxx」は、同じ部分（「PDLFC」など） + 異なる部分（「xx」または「xxx」）という名前パターンに一致するレジスタを指します。
注 1. チャネル間で同期をとる場合は、このステップの前にチャネルごとに設定を完了しておいてください。
注 2. 詳細は、「49.3.4.7. チャネル起動／設定変更のセトリング時間」を参照してください。
注 3. ウェイクアップ時間は、接続されているマイクロホンの仕様から確認してください。

図 49.17 PDM-IF 起動フロー

49.4.2 停止フロー

図 49.18 に、PDM-IF の停止手順の例を示します。

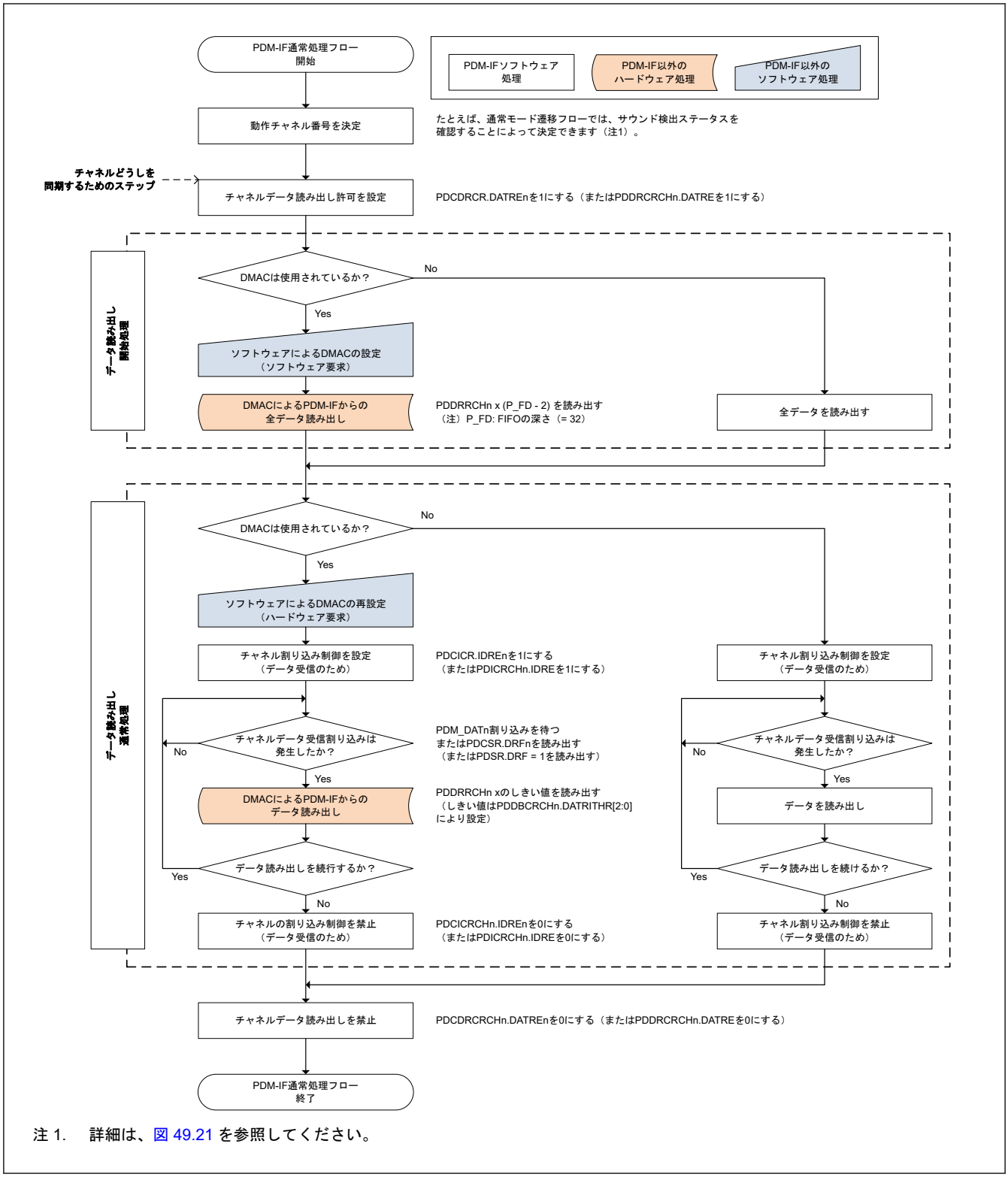


注. 「xx」または「xxx」は、異なる部分（「xx」または「xxx」） + 同じ部分（「DE」など）という名前パターンに一致するレジスタを指します。

図 49.18 PDM-IF 停止フロー

49.4.3 通常処理フロー

図 49.19 に、PDM-IF の通常の処理手順の例を示します。

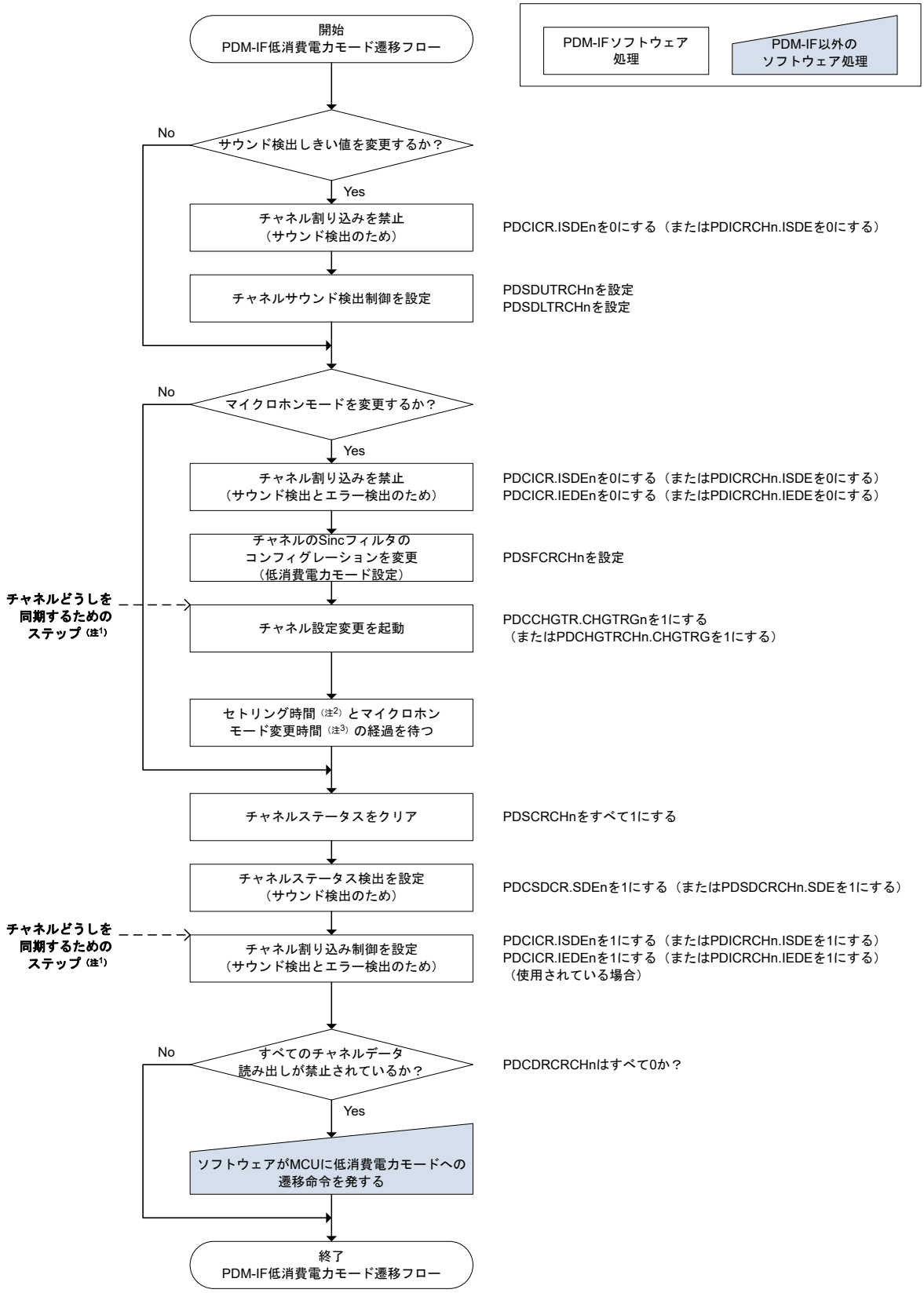


注 1. 詳細は、図 49.21 を参照してください。

図 49.19 PDM-IF 通常処理フロー

49.4.4 低消費電力モード遷移フロー

図 49.20 に、PDM-IF の低消費電力モード遷移手順の例を示します。

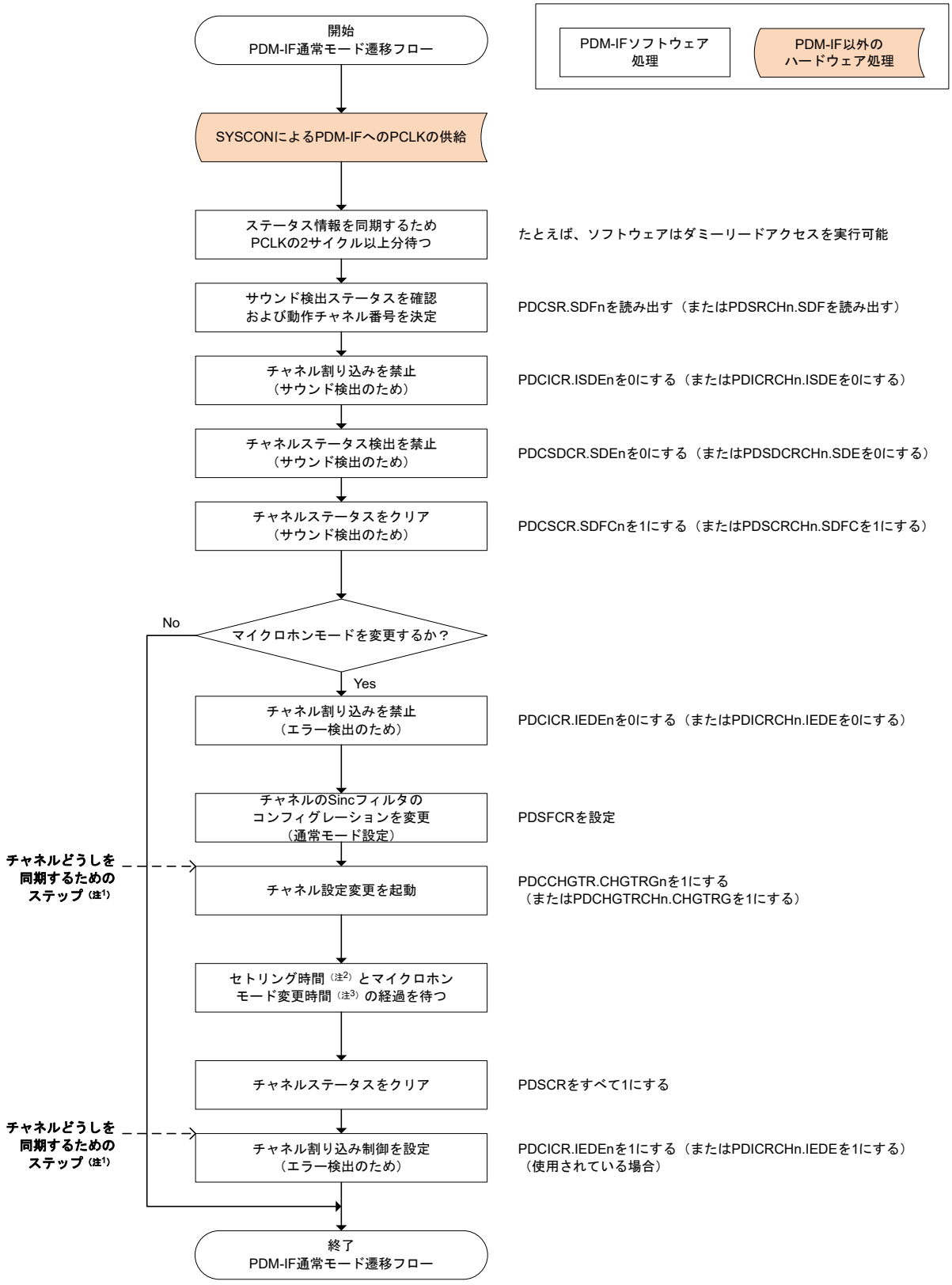


注 1. チャネルを同期する場合は、この手順の前に、チャネルごとの設定を完了してください。
注 2. 詳細は、「49.3.4.7. チャネル起動／設定変更のセトリング時間」を参照してください。
注 3. PDM マイクロホンモード周波数とモード変更時間は、接続されているマイクロホンの仕様から確認してください。

図 49.20 PDM-IF 低消費電力モード遷移フロー

49.4.5 通常モード遷移フロー

図 49.21 に、PDM-IF の通常モード遷移の手順の例を示します。



注 1. チャネルを同期する場合は、この手順の前に、チャネルごとの設定を完了してください。
注 2. 詳細は、「49.3.4.7. チャネル起動／設定変更のセトリング時間」を参照してください。
注 3. PDM マイクロホンモード周波数とモード変更時間は、接続されているマイクロホンの仕様から確認してください。

図 49.21 PDM-IF 通常モード遷移フロー

49.5 使用上の注意事項

49.5.1 データ受信割り込みしきい値レジスタ設定

データ受信割り込み PDM_DATn がレベル出力として発行されます。そのため、DMA のデータ読み出しが完了したときに、バッファ内のサンプルの数が PDDBCRCHn.DATRITHR[2:0]で設定されたデータ受信割り込みしきい値を引き続き超えている場合は、割り込みコントローラで PDM_DATn のエッジを検出しない可能性があります。この状況が起きるのは、データ読み出し時間が「サンプリングレート(注1) × しきい値」を上回っている場合です。割り込みコントローラで割り込みを検出できるように、適切なしきい値を設定してください。

しきい値でこの状況を回避できない場合は、データを読み出した後に、PDDBCRCHn.DATRITHR[2:0]を読み出し、ソフトウェアによって DMA を再開します。

注 1. サンプリングレート：サンプル 1 個のバッファに格納に要する時間

49.5.2 デフォルト設定でのフィルタの周波数特性

図 49.22 に、参考情報として、デフォルト設定でのフィルタの周波数特性を示します。

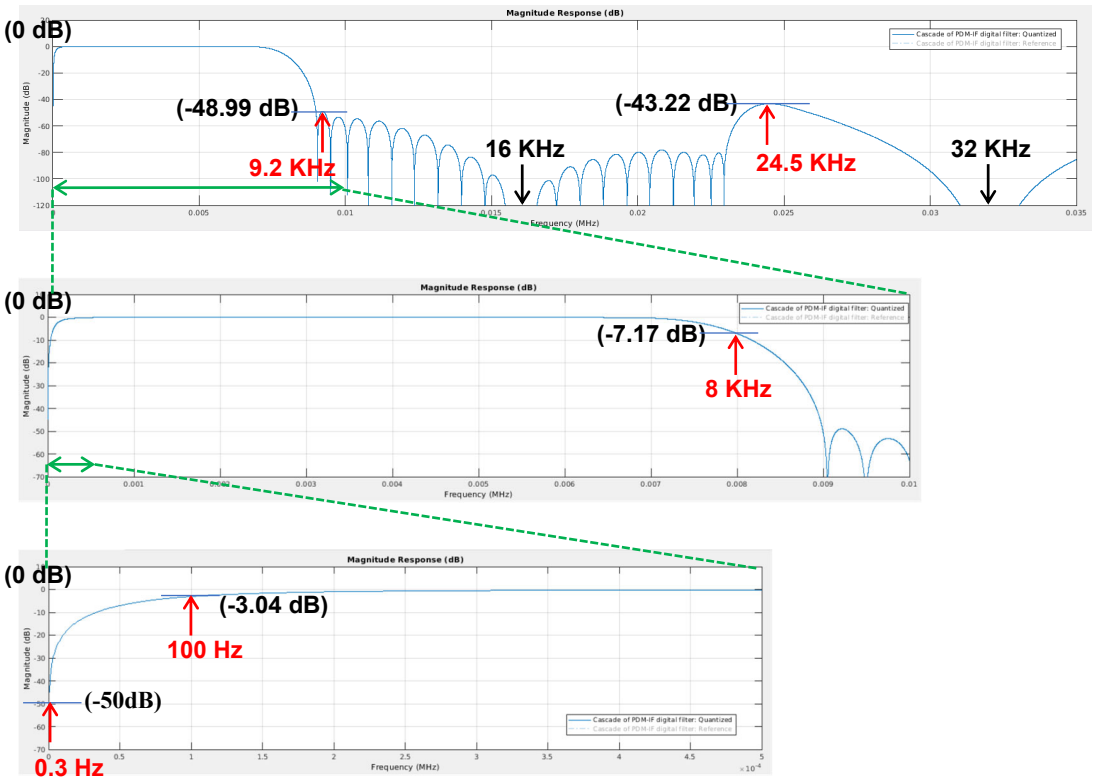


図 49.22 フィルタの周波数特性（デフォルト設定時）

表 49.21 フィルタの周波数特性（デフォルト設定時） (1/2)

周波数 (Hz)		振幅 (dB)
LPF の遮断周波数	24.5 kHz	-43.22
	…	…
	9.2 kHz	-48.99
	8 kHz	-7.17

表 49.21　フィルタの周波数特性（デフォルト設定時） (2/2)

周波数 (Hz)		振幅 (dB)
通過帯域	7 kHz	-0.39
	6 kHz	-0.07
	…	…
	150 Hz	-1.63
	100 Hz	-3.04
HPF の遮断周波数	50 Hz	-7.02
	0.3 Hz	-50.00

50. バウンダリスキャン

50.1 概要

バウンダリスキャン機能は、JTAG (Joint Test Action Group)、IEEE Std.1149.1 および IEEE Standard Test Access Port and Boundary Scan Architecture に基づくシリアル入出力インタフェースを提供します。表 50.1 にバウンダリスキャンの仕様を、図 50.1 にブロック図を、表 50.2 に入出力端子を示します。

表 50.1 バウンダリスキャンの仕様

項目	内容
実行条件	RES 端子が Low の場合にバウンダリスキャンを実行する必要があります。
テストモード	• BYPASS モード • EXTEST モード • SAMPLE/PRELOAD モード • CLAMP モード • HIGHZ モード • IDCODE モード

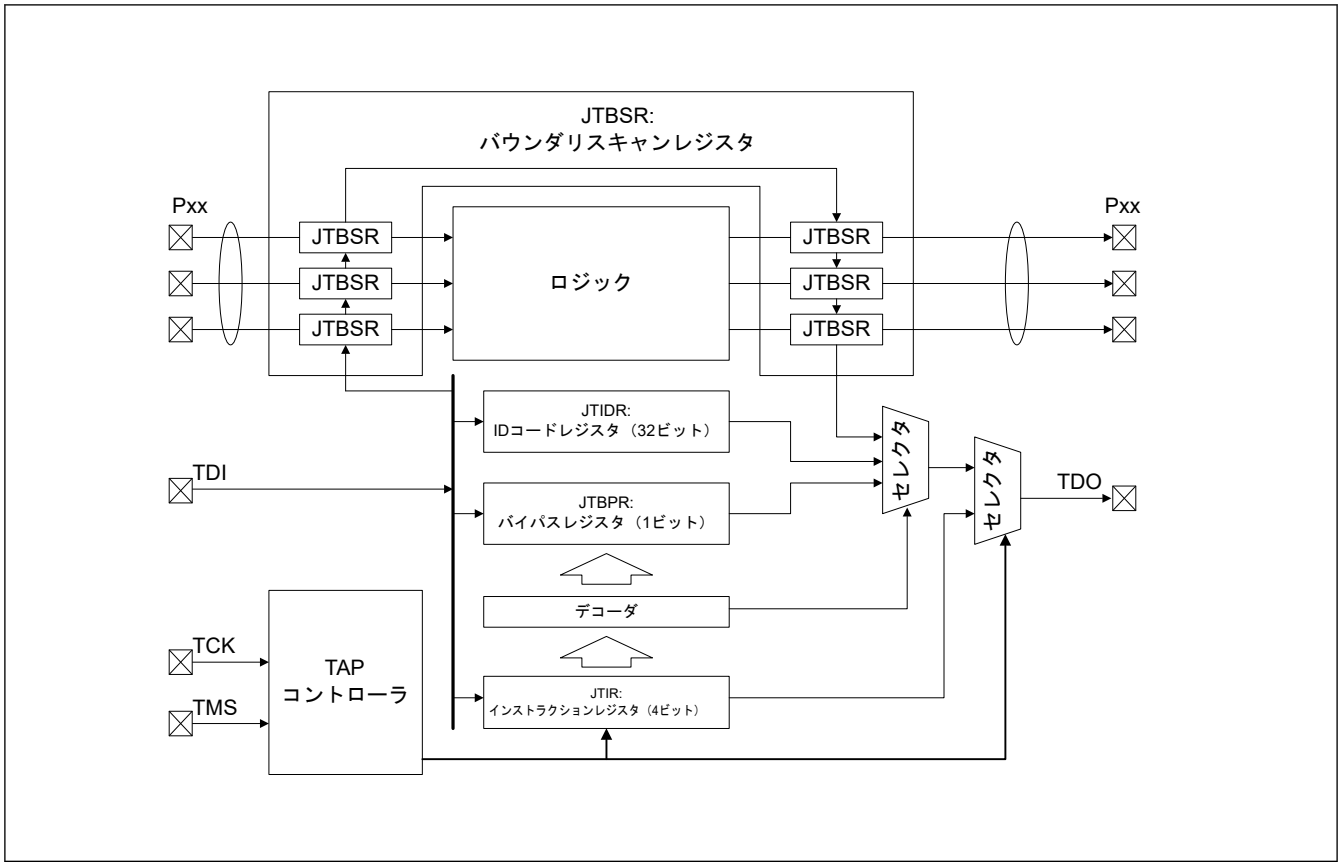


図 50.1 バウンダリスキャン機能のブロック図

表 50.2 バウンダリスキャンの入出力端子

端子名称	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号。バウンダリスキャン機能使用時、入力クロックデューティー比は 50%です。
TMS	入力	テストモード選択
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力

注. 本デバイスは、JTAG インタフェース用の TRST 端子は備えていません。

50.2 レジスタの説明

表 50.3 にバウンダリスキャンのレジスタ一覧を示します。

表 50.3 バウンダリスキャンレジスタ

レジスタ名	記号	リセット後の値
インストラクションレジスタ	JTIR	0xE
ID コードレジスタ	JTIDR	0x085D_A447
バイパスレジスタ	JTBPR	不定
バウンダリスキャンレジスタ	JTBSR	不定

バウンダリスキャンレジスタの使用上の注意

- インストラクションは、TDI 端子からシリアル転送によりインストラクションレジスタ (JTIR) へ入力できます
- バイパスレジスタ (JTBPR) は 1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます
- バウンダリスキャンレジスタ (JTBSR) は BSDL の記述に基づき構成されており、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます

表 50.4 に各レジスタのシリアル転送を示します。

表 50.4 レジスタのシリアル転送

レジスタ名	シリアル入力	シリアル出力
インストラクションレジスタ (JTIR)	可能	可能
ID コードレジスタ (JTIDR)	可能	可能
バイパスレジスタ (JTBPR)	可能	可能
バウンダリスキャンレジスタ (JTBSR)	可能	可能

50.2.1 JTIR : インストラクションレジスタ

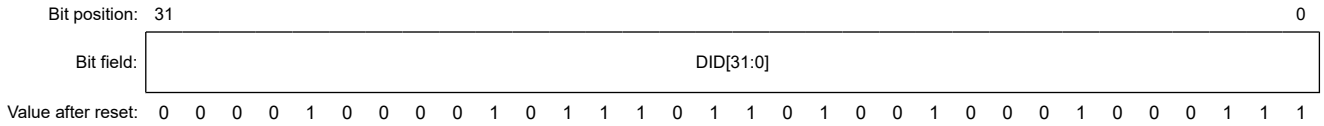
Bit position:	3	2	1	0
Bit field:	TS[3:0]			
Value after reset:	1	1	1	0

ビット	シンボル	機能	R/W
3:0	TS[3:0]	テストビットセット これらのビットのコマンド構成	—

TS[3:0]	インストラクション
0x0	EXTEST
0x1	SAMPLE/PRELOAD
0x3	IDCODE（ルネサスコード）
0x5	CLAMP
0x6	HIGHZ
0xF	BYPASS
その他	予約

JTAG 命令は、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。JTIR レジスタは、パワーオンリセットが発生したとき、または TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

50.2.2 JTIDR : ID コードレジスタ



ビット	シンボル	機能	R/W
31:0	DID[31:0]	デバイス ID 本ビットはデバイス IDCODE (0x085D_A447) を示す固定値を格納します。	—

JTIDR レジスタデータは、IDCODE 命令が実行されたときに TDO 端子から出力されます。リセット解除後、JTIDR の DID[31:0]は Arm®デバッグコードに変化します。*Arm® CoreSight™ SoC-400 Technical Reference Manual* (ARM DDI 0480F) を参照してください。

50.2.3 JTBPR : バイパスレジスタ

JTBPR レジスタは、1 ビットのレジスタです。JTIR レジスタが BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。CPU から JTBPR レジスタへの読み出し／書き込みはできません。

50.2.4 JTBSR : バウンダリスキャンレジスタ

JTBSR レジスタは、本デバイスの外部入出力端子を制御するために、PAD 上に配置されたシフトレジスタです。バウンダリスキャンテスト中の JTBSR レジスタを適用するには、EXTEST、SAMPLE/PRELOAD、CLAMP、HIGHZ の命令を発行します。BSDL ファイルは、JTBSR レジスタと本デバイスの端子の関係を示します。リセット後の値は不定です。

50.3 動作

リセット時に、JTAG ポートの TCK、TMS、TDI、および TDO がデフォルトの端子機能として割り当てられます。TCK、TMS、および TDI 端子はプルアップ抵抗器によってプルアップします。パワーオンリセットがネゲートされ、RES 端子が Low の場合に、セットアップ時間が経過した後にバウンダリスキャンテストを行うことができます。

50.3.1 TAP コントローラ

図 50.2 に TAP コントローラの状態遷移図を示します。すべての遷移は TMS 信号によって制御されます。

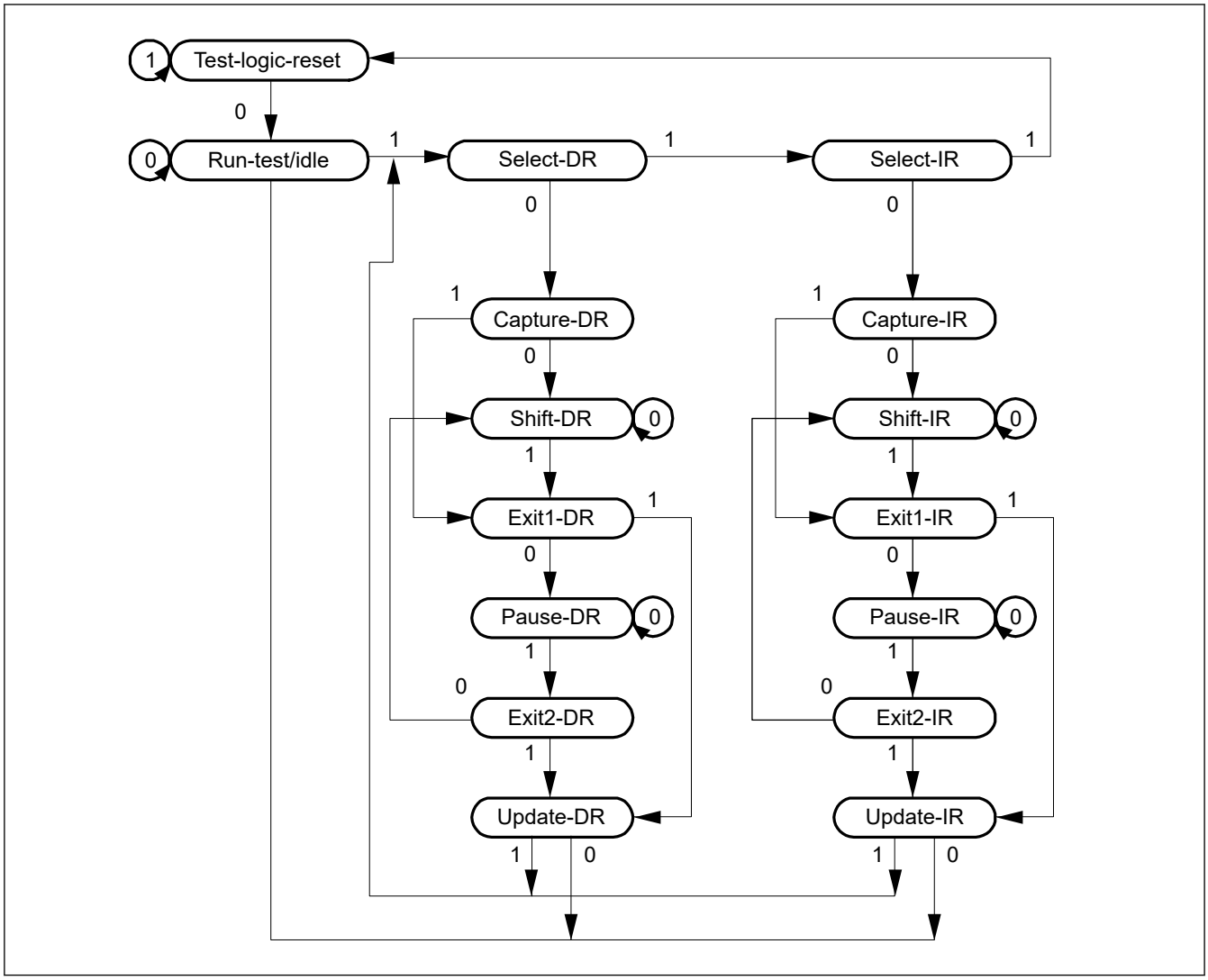


図 50.2　TAP コントローラの状態遷移図

50.3.2　コマンド

(1)　BYPASS

BYPASS 命令は、バイパスレジスタ (JTBPR) を動作させます。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子には JTBPR レジスタが接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO 端子が Low となります。その後の Shift-DR で TDI 端子から入力された値が TDO 端子から出力されます。

(2)　EXTEST

EXTEST 命令は、本デバイスをプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子は SAMPLE/PRELOAD 命令で設定されたテストデータをバウンダリスキャンレジスタ (JTBSR) から他のデバイスへ出力するために使用され、入力端子は他のデバイスからバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。

(3)　SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は、本デバイスの内部回路から JTBSR レジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、本デバイスの端子からの入力はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により本デバイスのシステム回路は何の影響も受けません。

SAMPLE 動作では、JTBSR レジスタは、入力端子から内部回路に転送されたデータ、または内部回路から出力端子へ転送されたデータのスナップショットをラッチします。ラッチしたデータは、スキャンパスから読み出します。JTBSR レジスタは、Capture-DR 状態の TCK 端子の立ち上がりに同期してデータのスナップショットをラッチします。データのスナップショットは、リセット中に限り内部回路から出力端子に転送されます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスから JTBSR レジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、EXTEST シーケンスの最初から最後（出力ラッチへの転送）まで出力端子から不定値が出力されます。（EXTEST 命令では、常に出力端子にパラレル出力ラッチを出力します。）

(4) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID コードレジスタ (JTIDR) の値を TDO 端子に出力します。この場合、JTIDR レジスタ値は LSB ファーストで出力されます。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(5) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定された JTBSR レジスタの値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間には JTBPR レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(6) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態に遷移します。HIGHZ 命令が選択されると、TAP コントローラの状態に関わらず、JTBSR レジスタは保持されます。

TDI 端子と TDO 端子の間には JTBPR レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

50.4 使用上の注意

バウンダリスキャン機能には、以下の制約が適用されます。

- RES 端子が Low の場合にバウンダリスキャンを実行します。
- 図 50.3 に示すように、シリアルデータは LSB 側から入出力します。

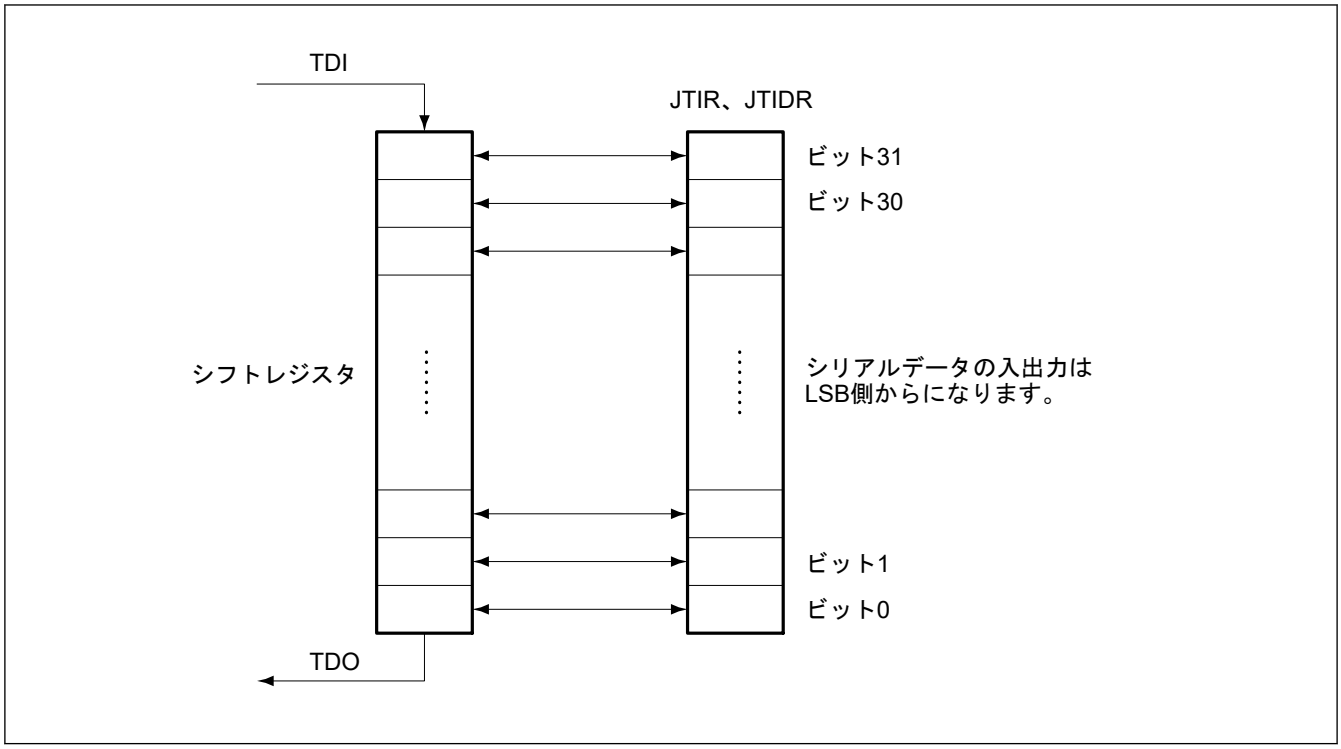


図 50.3　シリアルデータ入出力

以下の端子は、標準製品および SiP 製品のバウンダリスキャンの対象外です。

- 電源端子 (VCC, VCC2, VCC_DCDC, VCL, VSS, VSS_DCDC, VBATT, AVCC0, AVSS0, VCC_USB, VSS_USB, VSS1_USBHS, VSS2_USBHS, VCC_USBHS, AVCC_USBHS, VSS1_USBHS, VSS2_USBHS)
- アナログ基準端子 (VREFH0, VREFL0, VREFH, VREFL)
- クロック端子 (EXTAL, XTAL, XCIN, XCOUT)
- リセット端子 (RES)
- USBHS 専用端子 (USBHS_DP, USBHS_DM, USBHS_RREF)
- USBFS 端子 (USB_DP, USB_DM)
- バウンダリスキャン端子 (TCK, TMS, TDI, TDO)
- スイッチングレギュレータ端子 (VLO)

以下の端子は、SiP 製品のバウンダリスキャンの対象外です。

- SiP フラッシュ端子 (OM_1_SCLK, OM_1_CS1, OM_1_DQS, OM_1_SIO7-0, OM1_RESET, OM_1_ECSINT1)

51. セキュリティ機能

51.1 特長

- Armv8-M TrustZone セキュリティ
  - 実装定義属性ユニット (IDAU) を実装
  - セキュリティ属性属性ユニット (SAU) を実装
    - 8 領域
  - マスタセキュリティ属性ユニット (MSAU) を実装（CPU 以外のマスタ用 IDAU）
  - コード MRAM
    - 最大 2 領域（セキュア／非セキュア）
  - SiP フラッシュ（SiP 製品専用）
    - 最大 2 領域（セキュア／非セキュア）
  - CM33 TCM
    - C-TCM および S-TCM の場合は最大 2 領域（セキュア／非セキュア）
  - SRAM
    - SRAM ごとに最大 2 領域（セキュア／非セキュア）
  - VBATT バックアップレジスタ
    - 最大 2 領域（セキュア／非セキュア）
  - 周辺モジュール
    - 各ユニット／チャネルに対してセキュリティ属性を個別設定可能
  - CSC(注1)
    - CSC 領域は非セキュアとして定義
  - SDRAM(注1)
    - SDRAM 領域は非セキュアとして定義
  - OPSI0(注1)
    - OPSI0 領域は非セキュアとして定義
  - OPSI1(注1)（標準製品の場合のみ）
    - OPSI1 領域は非セキュアとして定義
- プリビレッジ制御
  - VBATT バックアップレジスタ以外のメモリに対するアクセス許可は、特権コードで管理する MPU で制御されます。
  - VBATT バックアップレジスタの特権属性は、各コントローラのレジスタで制御されます。
  - 各周辺機能のプリビレッジ／アンプリビレッジ属性を個別に設定可能
- デバイスライフサイクル管理
- 3 つのデバッグレベル
  - AL2：非セキュアデバッグ機能とセキュアデバッグ機能が有効であり、デバッガからアクセス可能
  - AL1：非セキュアデバッグ機能のみ有効であり、デバッガは定義された非セキュアデバッグアクセス可能領域にのみアクセス可能
  - AL0：デバッグ機能は使用不可
- キーインジェクション
- セキュアファクトリプログラミング

  - 信頼できないファクトリでの暗号文形式のイメージプログラミングをサポート
- セキュアブート
  - OTP において、RoT (Root of Trust) 公開鍵の SHA-256 ハッシュダイジェストである最大 4 つの呼び出し可能な RoT に対応。
  - プログラミング対象イメージの完全性と信頼性を検証
  - イメージを実行する前に、実行可能イメージの完全性と信頼性を不変 (OTP) ファーストステージブートローダー (FSBL) で検証
- 暗号化アクセラレータ
  - 「52. Renesas セキュア IP (RSIP-E50D)」を参照してください。
- セキュア端子マルチプレキシング
  - 全 I/O ポート端子がセキュアまたは非セキュアとして個別に設定可能
  - 周辺端子機能は、周辺機能と I/O ポートのセキュリティ属性が一致した場合に有効「20. I/O ポート」を参照してください。
- オンザフライ復号
  - オンザフライ復号 (DOTF) は、外部メモリに格納されている暗号化されたコンテンツをリアルタイムで復号します。「45. オンザフライ復号 (DOTF)」を参照してください。

注 1. 外部 RAM および外部デバイス領域には TrustZone フィルタがありません。従って、これらの領域が SAU 設定で「セキュア」となっていても、CPU 以外の非セキュアマスタからアクセス可能です。

51.2 改ざん検出

本デバイスは外部からの改ざんを検出できる I/O ポートを備えています。改ざんイベントの場合：

- タイムスタンプ処理 — RTC はタイムスタンプを取得してイベントを記録することができ、割り込みを生成できます。「26. リアルタイムクロック (RTC)」を参照してください。
- ハードウェアユニーク鍵 — ハードウェアユニーク鍵 (HUK) は、改ざんイベントの検出の後、ゼロ化（0 に設定）されます。「59. MRAM」を参照してください。
- VBATT バックアップレジスタ — VBATT バックアップレジスタは、改ざんイベントの検出の後、ゼロ化（0 に設定）されます。「12. バッテリバックアップ機能」を参照してください。

51.3 Arm セキュリティ機能

51.3.1 Arm TrustZone 技術

Arm TrustZone 技術は、システムとアプリケーションをセキュアドメインと非セキュアドメインに分けます。セキュアアプリケーションはセキュアトランザクションと非セキュアトランザクションの両方を発行できますが、非セキュアアプリケーションは非セキュアトランザクションしか発行できません。セキュアトランザクションはセキュアメモリとリソースにのみアクセスでき、非セキュアトランザクションは非セキュアメモリとリソースにのみアクセスできます。セキュアトランザクションはセキュア領域アドレスのみを使用して発行でき、非セキュアトランザクションは非セキュア領域アドレスのみを使用して発行できます。図 51.1 に、各マスタが発行できるトランザクションのセキュリティ属性を示します。

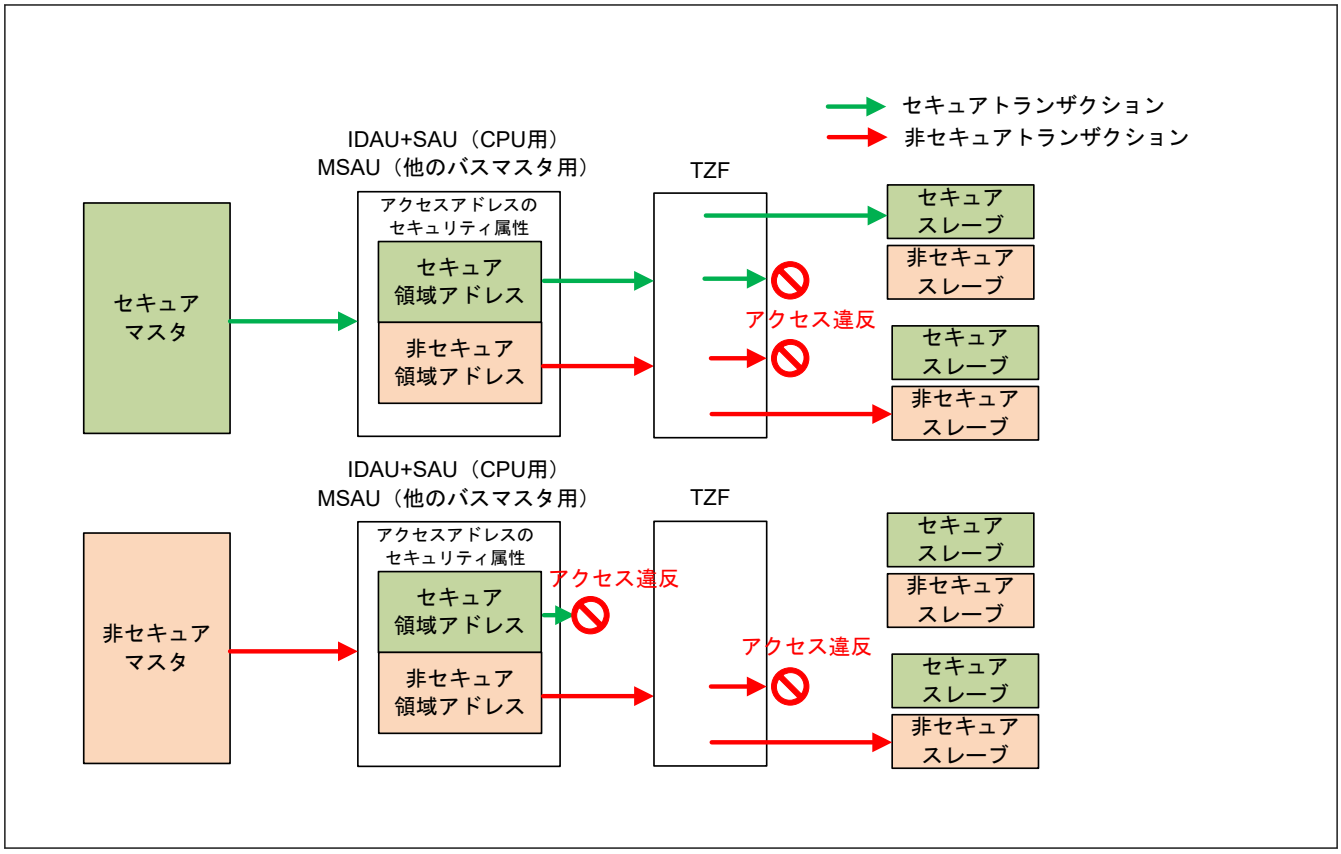


図 51.1　各マスタが発行できるトランザクション

詳細は、「*Arm® v8-M Architecture Reference Manual*」および「*Arm® Platform Security Architecture Trusted Base System Architecture for Arm®v6-M, Arm®v7-M and Arm®v8-M*」を参照してください。

51.3.2　プリビレッジ制御

システムとアプリケーションはプリビレッジドメインとアンプリビレッジドメインに分けられます。CPU はプリビレッジモードまたはアンプリビレッジモードでのコードの実行により、一部のリソースへのアクセスを制限または除外できます。プリビレッジモードではプリビレッジドメインとアンプリビレッジドメインの両方にアクセスできますが、アンプリビレッジモードではアンプリビレッジドメインにしかアクセスできません。

詳細は、「*Arm® v8-M Architecture Reference Manual*」および「*Arm® Platform Security Architecture Trusted Base System Architecture for Arm®v6-M, Arm®v7-M and Arm®v8-M*」を参照してください。

51.3.3　セキュリティ属性

Armv8-M 用 TrustZone 実装はセキュリティ属性ユニット (SAU) と実装定義属性ユニット (IDAU) で構成されています。4GB のメモリ空間はセキュア (S) メモリ領域と非セキュア (NS) メモリ領域に分轄されます。セキュアメモリ空間は、さらに非セキュアコーラブル (NSC) とセキュアの 2 種類に分割されます。

注.
- S：セキュアアドレスは、セキュアソフトウェアまたはセキュアマスタのみアクセス可能なメモリと周辺モジュールに使用します。
- NSC：特別な種類のセキュア位置 Armv8-M プロセッサは、この種類のメモリにのみ、非セキュア状態からセキュア状態へのソフトウェアの遷移を許可するセキュアゲートウェイ (SG)　の保持を許可します。
- NS：非セキュアアドレスは、デバイスで動作している全ソフトウェアがアクセス可能なメモリと周辺モジュールで使用します。

51.3.3.1　実装定義属性ユニット (IDAU)

IDAU は、コード、SRAM、および周辺領域をセキュアエイリアス領域と非セキュアエイリアス領域にアドレスビット[28]で定義します。セキュアコード領域とセキュア SRAM 領域には NSC セキュリティ属性が割り当てられます。IDAU で定義したセキュリティマップはハードウェアで固定され、ソフトウェアでは変更できません。

51.3.3.2 マスタセキュリティ属性ユニット (MSAU)

MSAU は、CPU 以外のマスタ用のシステム固有セキュリティアドレスマップを定義する IDAU です。MSAU はセキュアエイリアス領域と非セキュアエイリアス領域を定義しますが、非セキュアコーラブル (NSC) や領域番号は定義しません。CPU 以外のマスタは、MSAU で定義したセキュアエイリアスアドレスを使用してセキュリティトランザクションを発行できます。ただし、非セキュアマスタがセキュアエイリアス領域のアドレスを使用してセキュリティトランザクションを発行することは禁止されています。図 51.2 に、IDAU および MSAU の定義セキュリティマップを示します。MSAU で定義したセキュリティマップはハードウェアで固定され、ソフトウェアでは変更できません。

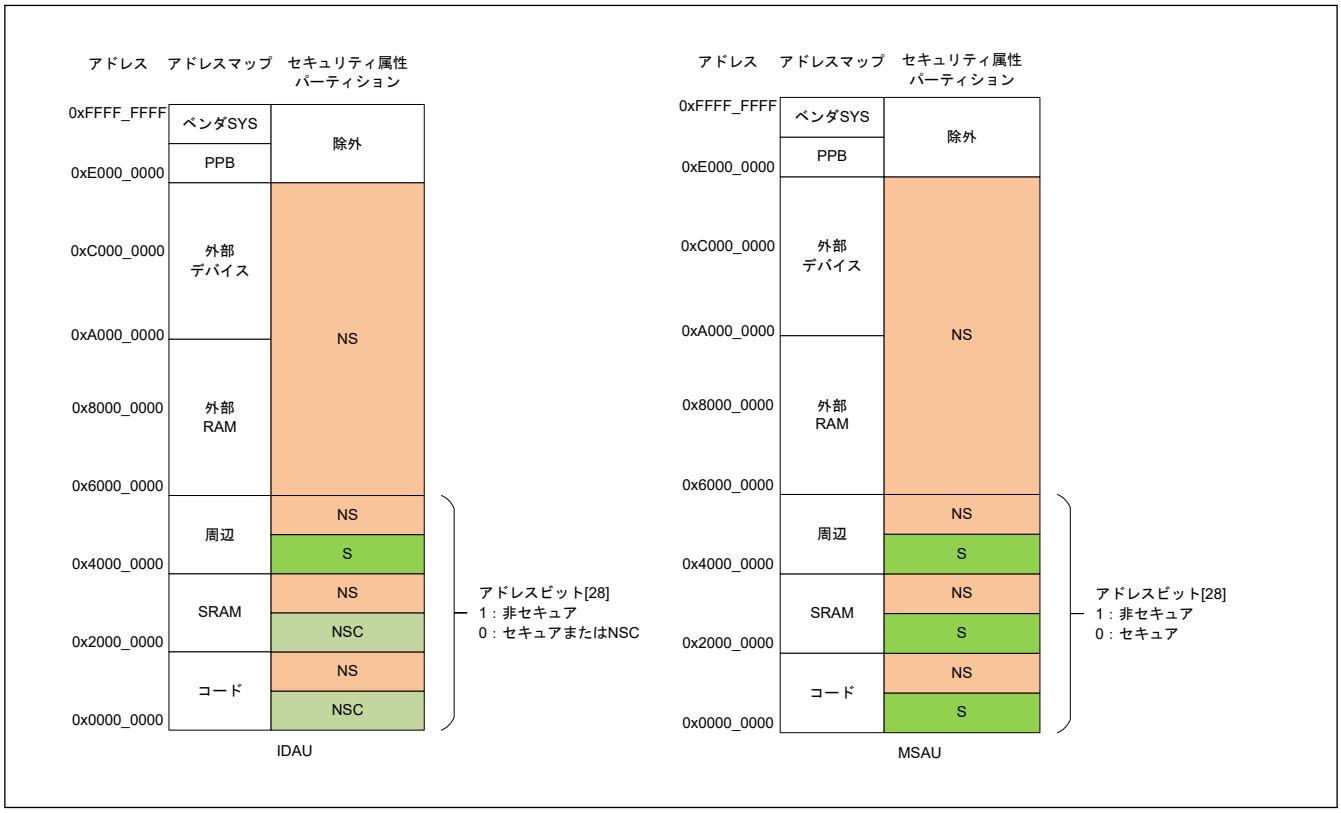


図 51.2 IDAU および MSAU の定義されたセキュリティマップ

51.3.3.3 セキュリティ属性ユニット (SAU)

SAU はアドレスのセキュリティを決定するプログラマブルユニットです。SAU はセキュア状態の時にプログラマブルであり、MPU と同様のプログラマモデルを持ちます。IDAU と SAU の両方で定義された領域にアドレスをマッピングすると、セキュリティレベルが高い方の領域が選択されます。セキュアマスタは、各セキュリティエイリアス領域のアドレスを使ってセキュアトランザクションと非セキュアトランザクションを発行できます。非セキュアマスタは、セキュリティエイリアス領域のアドレスを使ってセキュアトランザクションを発行できません。図 51.3 にアドレスマップセキュリティレベルの最終決定を示します。

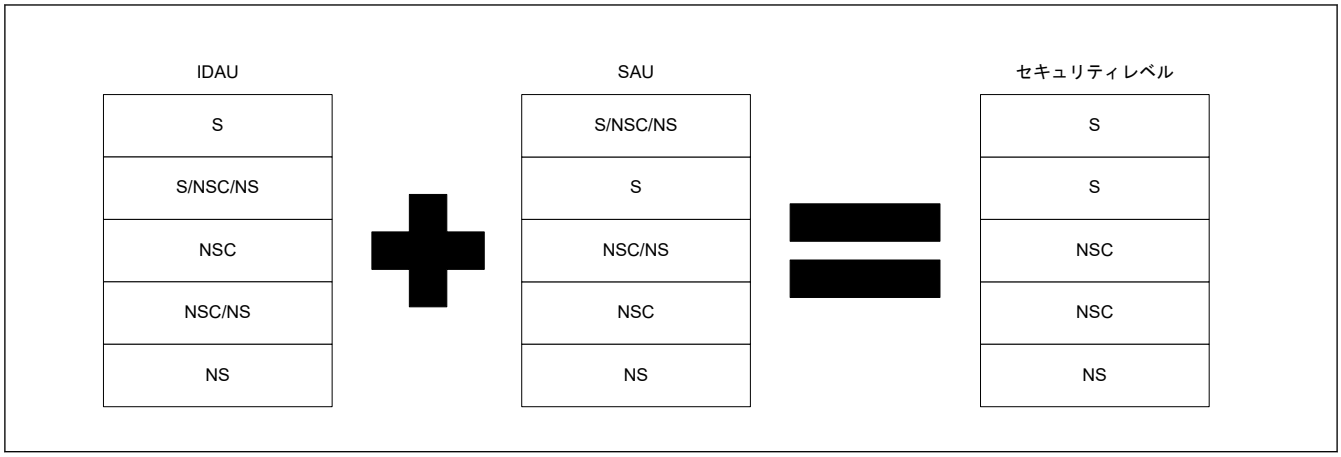


図 51.3　アドレスマップセキュリティレベルの最終決定

TrustZone を使用してセキュアと非セキュアの領域分離を行う場合、以下に従って SAU を設定する必要があります。

IDAU で NS 属性として設定した領域は、SAU でも NS に設定する必要があります。IDAU で NS に設定されている領域は以下の通りです。

0x1000_0000～0x1FFF_FFFF（図 51.4 の SAU 領域 1）

0x3000_0000～0x3FFF_FFFF（図 51.4 の SAU 領域 3）

0x5000_0000～0xDFFF_FFFF（図 51.4 の SAU 領域 3）

IDAU で NSC として定義された任意の領域内に、NSC 領域を少なくとも一つ作成する必要があります。IDAU で NSC に設定されている領域は以下の通りです。

0x0000_0000～0x0FFF_FFFF（図 51.4 の SAU 領域 0）

0x2000_0000～0x2FFF_FFFF（図 51.4 の SAU 領域 2）

TrustZone を使用して分離を定義したくない場合は、SAU_CTRL.ALLNS = 0 と SAU_CTRL.ENABLE = 0（初期値）は変更しないでください。

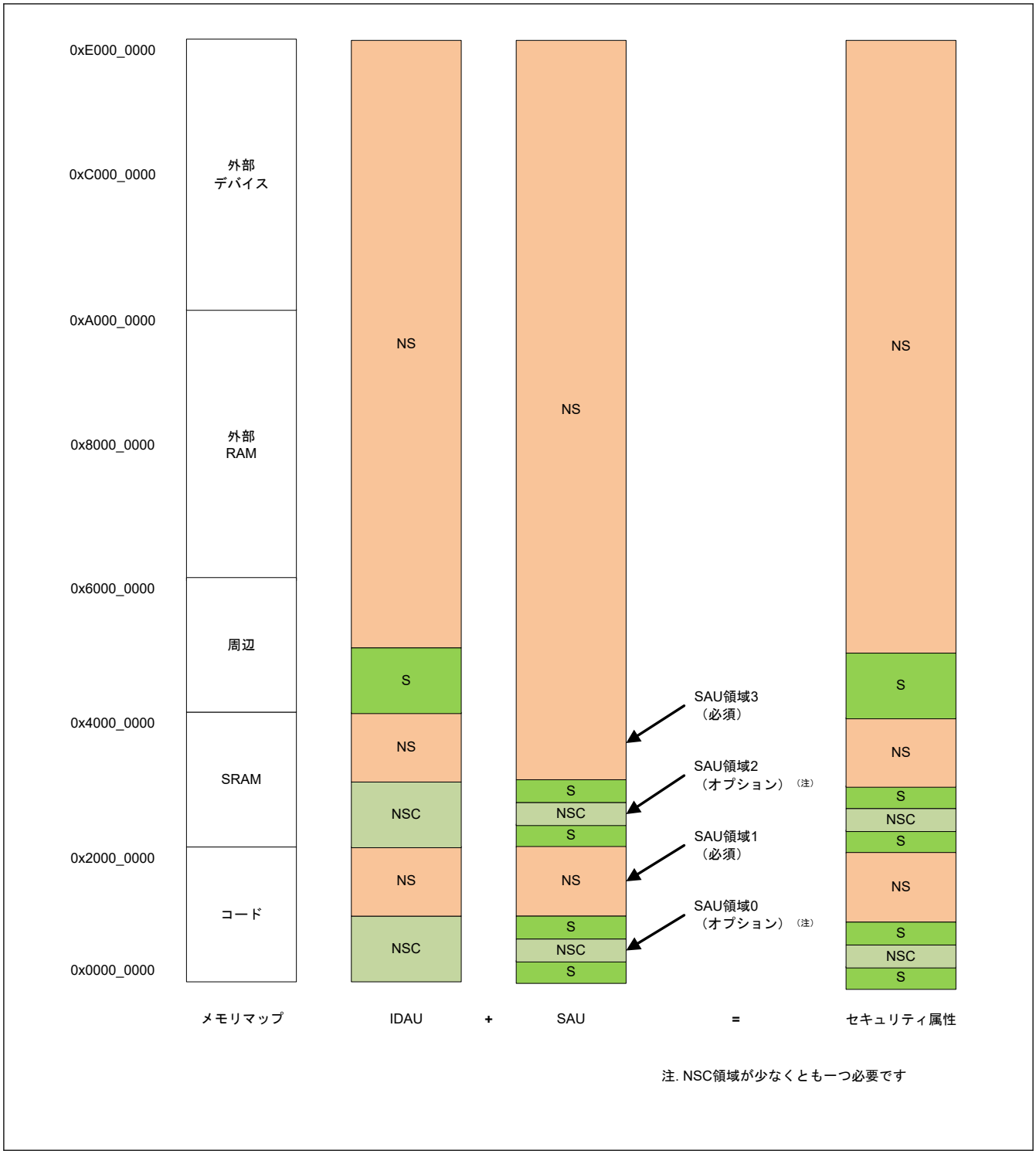


図 51.4　SAU 設定および結果として生じるセキュリティ属性

51.3.3.4　領域番号

SAU と IDAU はメモリ領域およびセキュリティ属性ごとの領域番号も定義します。ソフトウェアはこの領域番号を使用して、連続する範囲のメモリが共通のセキュリティ属性を共用するかどうかを判断します。図 51.5 に IDAU 定義の領域番号を示します。

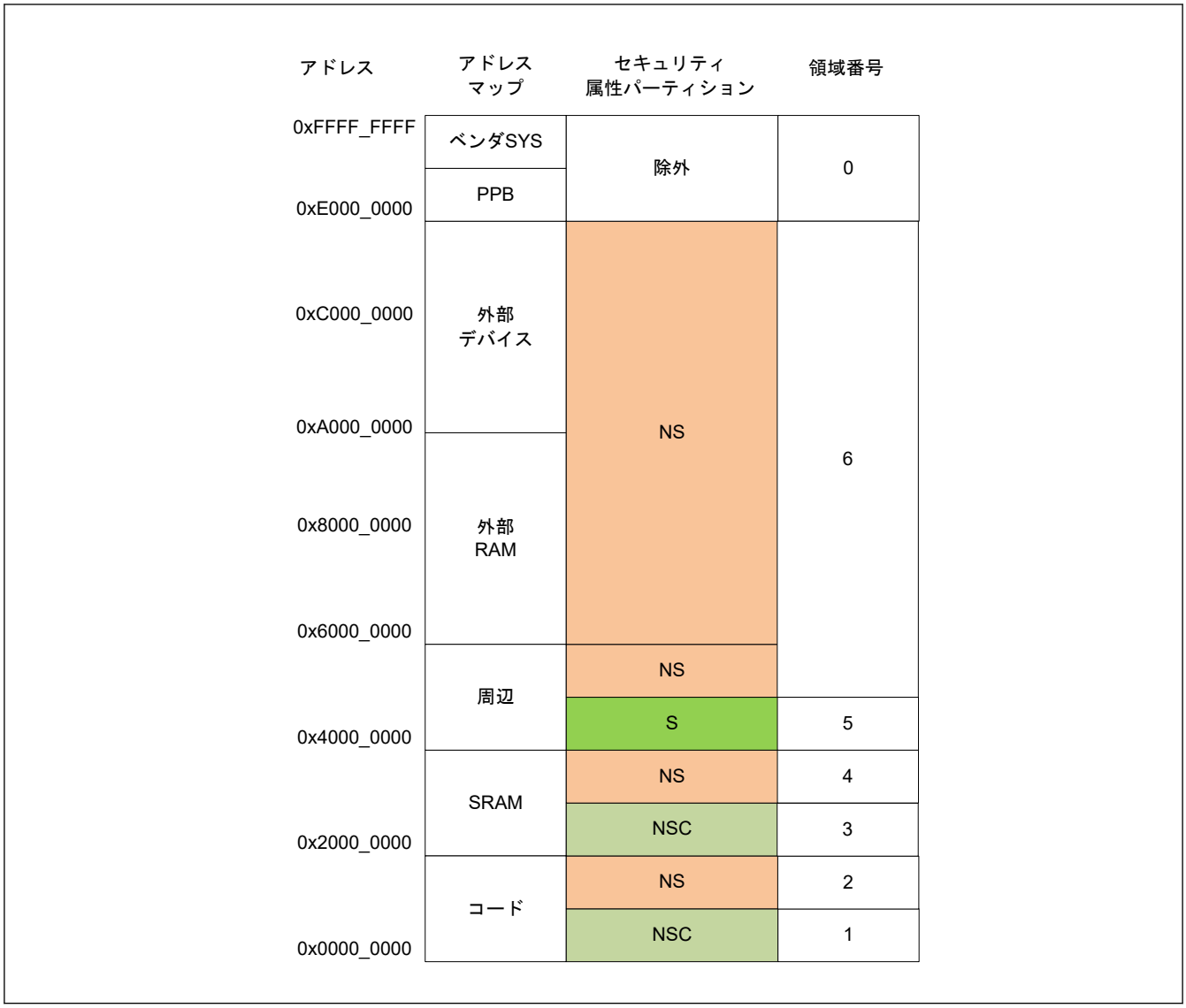


図 51.5　IDAU 定義の領域番号

51.3.3.5　TrustZone フィルタのメモリセキュリティ属性

メモリは S 領域と NS 領域に分けられます。デバイスライフサイクルが OEM 状態にあり、かつ認証レベルが AL2 の場合、コード MRAM と SiP フラッシュ（装備されている場合）のメモリセキュリティ属性はブートファームウェアコマンドによって不揮発性メモリに格納されます。これらのメモリセキュリティ属性はアプリケーション実行前に適用されます。これらはアプリケーションで更新できませんが、CMSAMON または SFSAMON レジスタを使用して読み出すことはできます。CM33 TCM レジスタ、SRAM レジスタ、および VBATT バックアップレジスタのメモリセキュリティ属性は、セキュアアクセスでのみ書き込み可能な専用のセキュリティ属性レジスタで設定されます。

コード MRAM は最大 2 つの領域に分割可能です。SiP フラッシュは最大 2 つの領域に分割可能です。非セキュアユーザーによるセキュア領域の書き込みまたは消去を防止するために、SiP フラッシュの書き込みまたは消去はセキュアユーザーが管理する必要があります。CM33 TCM レジスタ、SRAM レジスタ、および VBATT バックアップレジスタは最大 2 つの領域に分割可能です。図 51.6 にメモリマッピングを示します。表 51.1 にメモリ領域のサイズを、表 51.2 にメモリ領域のアクセス許可を示します。

ECC 機能が無効のときは SRAM ECC 領域をデータ領域として使用できます。この領域のセキュリティ属性は専用のセキュリティ属性レジスタに設定されます。詳細は、「58. SRAM」を参照してください。

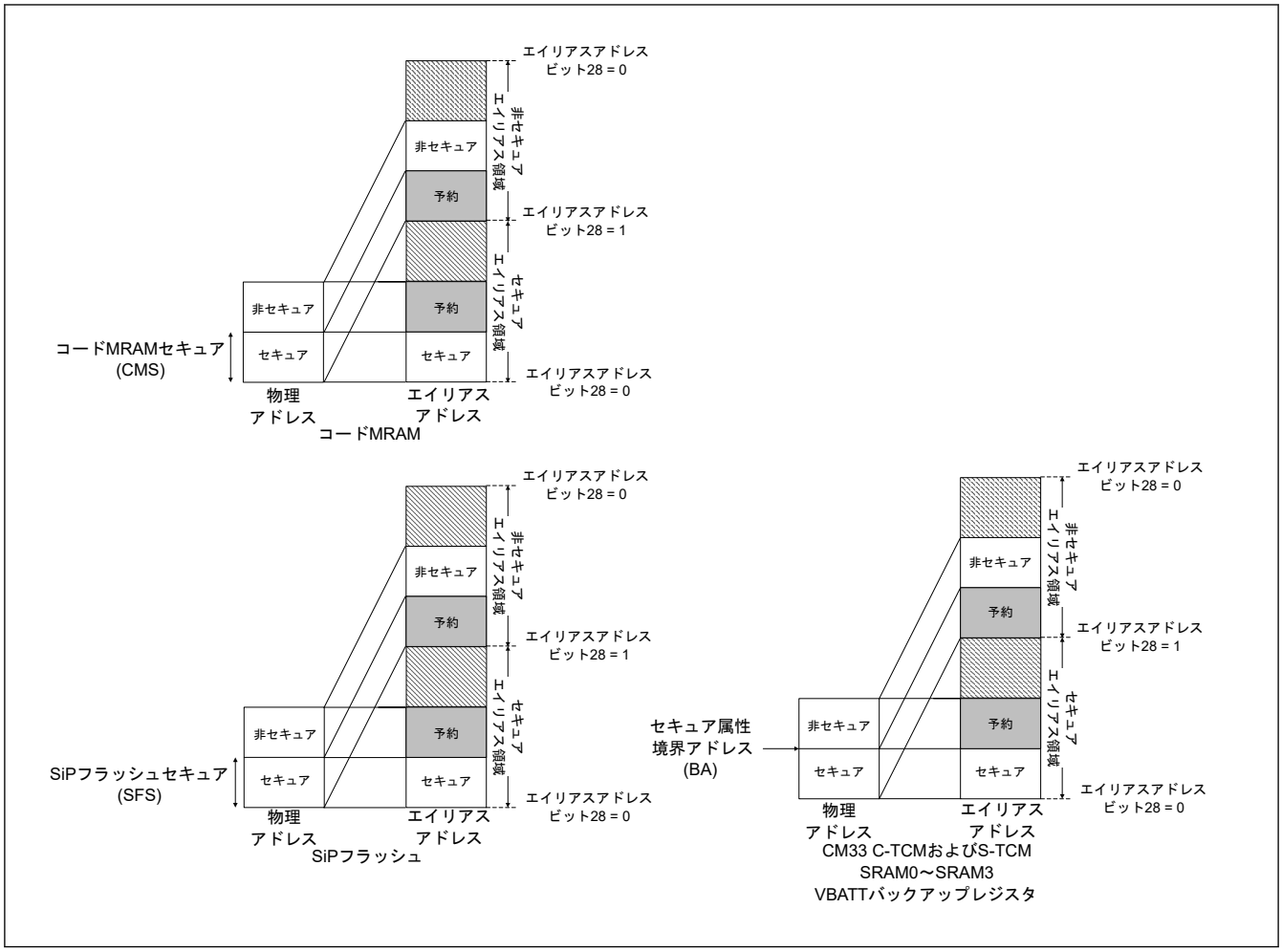


図 51.6　メモリマッピング

表 51.1　メモリ領域のサイズ (1/2)

メモリ領域	開始アドレス	サイズ
CM33 C-TCM セキュア	0x0000_0000(注1)	BA (8 KB)
CM33 C-TCM 非セキュア	0x1000_0000 + BA (8 KB)(注1)	C-TCM サイズ - BA (8 KB)
コード MRAM セキュア	0x0200_0000	CMS サイズ (32 KB)
コード MRAM 非セキュア	0x1200_0000 + CMS サイズ (32 KB)	コード MRAM サイズ - CMS サイズ (32 KB)
SiP フラッシュセキュア	0x0800_0000	SFS サイズ (32 KB)
SiP フラッシュ非セキュア	0x1800_0000 + SFS サイズ (32 KB)	SiP フラッシュサイズ - SFS サイズ × (32 KB)
CM33 S-TCM セキュア	0x2000_0000(注1)	BA (8 KB)
CM33 S-TCM 非セキュア	0x3000_0000 + BA (8 KB)(注1)	S-TCM サイズ - BA (8 KB)
SRAM0 セキュア	0x2200_0000	BA (8 KB)
SRAM0 非セキュア	0x3200_0000 + BA (8 KB)	SRAM0 サイズ - BA (8 KB)
SRAM1 セキュア	0x2208_0000	BA (8 KB)
SRAM1 非セキュア	0x3208_0000 + BA (8 KB)	SRAM1 サイズ - BA (8 KB)
SRAM2 セキュア	0x2210_0000	BA (8 KB)
SRAM2 非セキュア	0x3210_0000 + BA (8 KB)	SRAM2 サイズ - BA (8 KB)
SRAM3 セキュア	0x2218 0000	BA (8 KB)

表 51.1 メモリ領域のサイズ (2/2)

メモリ領域	開始アドレス	サイズ
SRAM3 非セキュア	0x3218 0000 + BA (8 KB)	SRAM3 サイズ - BA (8 KB)
VBATT バックアップレジスタセキュア	0x4001_ED00	BA（32 バイト）
スタンバイ VBATT バックアップレジスタ非セキュア	0x5001_ED00 + BA（32 バイト）	バックアップレジスタサイズ - BA（32 バイト）

注. 括弧内の数字はユーザーが設定できる最小単位を示します。
注. 「BA」は各メモリ領域のセキュリティ属性境界アドレスレジスタの設定値です。
注 1. CPU1 のアドレス。他のバスマスタのアドレスについては、表 2.37 を参照してください。

表 51.2 メモリ領域のアクセス許可

メモリ領域	セキュアトランザクション	非セキュアトランザクション
S または NSC に設定された各メモリ領域	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
NS に設定された各メモリ領域	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	許可

51.3.3.6 CPU セキュリティ属性

Cortex-M33 セキュリティ拡張は、ブートファームウェアコマンドで無効化できます。ただし無効化できるのは、デュアルコア製品において Cortex-M33 が二次 CPU として設定されている場合に限ります。Cortex-M33 セキュリティ拡張の無効化は永久設定です。

51.3.3.7 TrustZone フィルタの周辺モジュールのセキュリティ属性とプリビレッジ属性

各周辺モジュールは、セキュアまたは非セキュア、およびプリビレッジまたはアンプリビレッジとして構成できます。周辺モジュールは 2 種類に分かれます。

タイプ 1 周辺モジュールには 1 つのセキュリティ属性とプリビレッジ属性があり、すべてのレジスタへのアクセスが 1 つのセキュリティ属性とプリビレッジ属性で制御されます。タイプ 1 周辺モジュールのセキュリティ属性とプリビレッジ属性は、セキュアかつプリビレッジアプリケーションによって、PSARx (x = B～E) および PPARx (x = B～E) レジスタに設定されます。

タイプ 2 周辺モジュールには、各レジスタまたは各ビットに対するセキュリティ属性とプリビレッジ属性があり、各レジスタまたはビットフィールドへのアクセスはこれらのセキュリティ属性とプリビレッジ属性に従って制御されます。タイプ 2 周辺モジュールのセキュリティ属性とプリビレッジ属性は、セキュアかつプリビレッジアプリケーションによって、各モジュール内のセキュリティ属性レジスタとプリビレッジ属性レジスタに設定されます。セキュリティ属性レジスタとプリビレッジ属性レジスタの詳細については、各項を参照してください。

表 51.3 に周辺モジュールタイプの分類を示します。

表 51.3 周辺モジュールタイプの分類

タイプ 1	タイプ 2
SCI、SPI、OSPI、DOTF、USBHS、USBFS、IIC、I3C、RSIP-E50D、ESWM、CANFD、PDMIF、CEU、DOC、SDHI、SSIE、CRC、CAC、ACMPHS、TSN、ADC16H、DAC12、POEG、PDG、AGT、GPT、ULPT、RTC、IWDT、および WDT	システム制御（リセット、PVD、クロック発生回路、低消費電力モード、低消費電力モード、バッテリバックアップ機能、レジスタライトプロテクション機能）、MRAM コントローラ、SRAM コントローラ、CPU キャッシュ、DMAC、DTC、ICU、MPU、BUS、セキュリティ設定、ELC、および I/O ポート

表 51.4 にタイプ 1 周辺モジュールのアクセス許可を示します。タイプ 2 周辺モジュールのアクセス許可はモジュールごとに異なります。タイプ 2 周辺モジュールの各レジスタの説明には、アクセス許可の仕様を示す S-TYPE と P-TYPE の注記が含まれています。S-TYPE と P-TYPE の詳細については、「付録 4. レジスタ R/W に関する注意事項」を参照してください。

表 51.4 タイプ 1 周辺モジュールのアクセス許可

	セキュアかつプリビレッジアクセス	セキュアかつアンプリビレッジアクセス	非セキュアかつプリビレッジアクセス	非セキュアかつアンプリビレッジアクセス
セキュアかつプリビレッジとして構成された周辺モジュール	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
セキュアかつアンプリビレッジとして構成された周辺モジュール	許可	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
非セキュアかつプリビレッジとして構成された周辺モジュール	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
非セキュアかつアンプリビレッジとして構成された周辺モジュール	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	許可	許可

51.3.4 TrustZone アクセスエラー

TrustZone アクセスエラー発生時の動作を表 51.5 に示します。動作はマスタによって異なります。

表 51.5 TrustZone アクセスエラー時の動作

DAP	CPU	DMAC/DTC	ESWM	CEU
• エラー応答のみが返されます。(注1)	• IDAU/SAU が SecureFault 例外検出 • TrustZone フィルタが BusFault 例外検出 • IRQ またはリセット発行が可能(注2)	• 転送停止 • IRQ またはリセット発行(注2) • 割り込みを発生させる (DMAn_TRANSERR)	• IRQ またはリセット発行(注2) • 割り込みを発生させる (ETHER_GWEI) (注3)	• IRQ またはリセット発行(注2)

注. この動作はバッファリング可能ライトアクセスには適用されません。バッファリング可能ライトアクセスエラー検出時の詳細については、「15. バス」を参照してください。
注 1. デバッガアクセスにより TrustZone アクセスエラーが発生した場合、例外、NMI、またはリセットは発生しません。エラー応答のみが返されます。
注 2. エラー検出後の動作は BUSOAD.SLERROAD ビットで選択します。
注 3. AXI エラーステータスは GWEIS0.AES ビットに設定されます。GWEIE0.AEE ビットで割り込みが許可されている場合は割り込みが発生します。

51.4 デバイスライフサイクルの管理

デバイスライフサイクルの管理 (DLM) は、デバイスの現在の開発／生産／展開フェーズを識別し、デバッグ機能、シリアルプログラミングインタフェース、およびルネサステストモードの機能を制御します。図 51.7 に利用可能なライフサイクル状態を、表 51.6 にライフサイクル状態の定義および各状態で使用できる機能を示します。

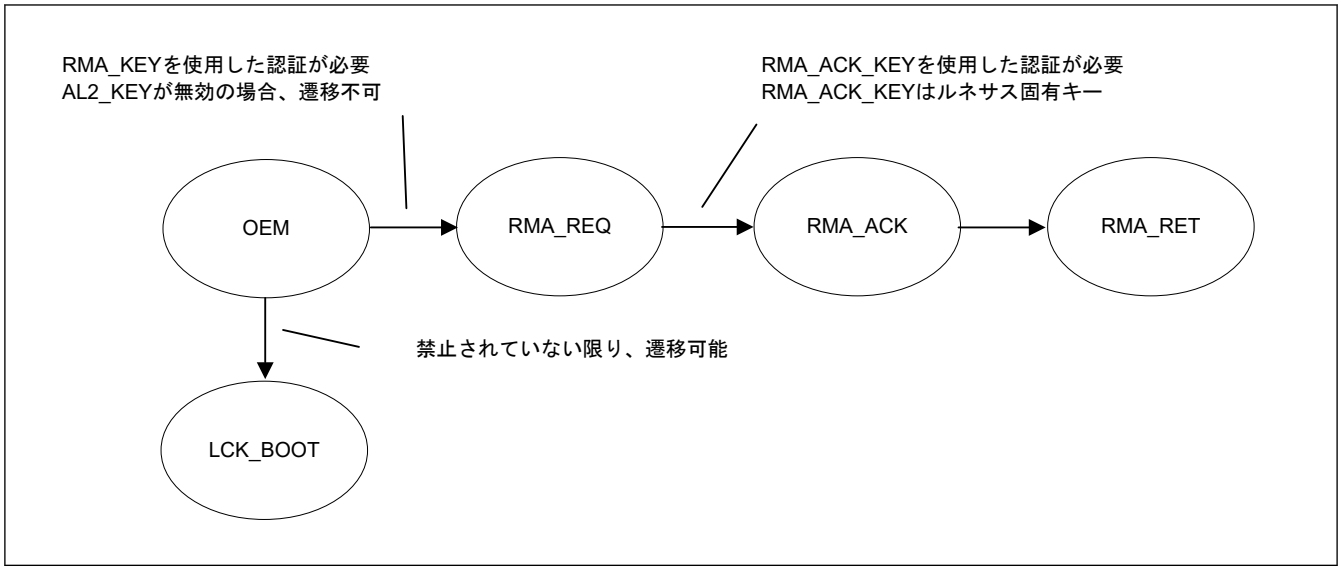


図 51.7　デバイスライフサイクル状態

表 51.6　ライフサイクル状態の定義および各状態で利用できる機能

ライフサイクル	定義	保護レベル	デバッグ機能	シリアルプログラミング	ルネサステストモード
OEM	Original Equipment Manufacturer 本デバイスはお客様の所有物です。	PL2、PL1、PL0 のいずれか	認証レベルに依存		使用不可
LCK_BOOT	LoCKed BOOT interface（ブートインタフェースロック中） デバッグインタフェースおよびシリアルプログラミングインタフェースは永久に無効	PL0	使用不可	使用不可	使用不可
RMA_REQ	Return Material Authorization REQuest（RMA 要求） RMA 要求。お客様はこの状態でデバイスをルネサスに送ってください。	PL0	使用不可	使用可能 コード MRAM／SiP フラッシュ領域へのアクセス不可	使用不可
RMA_ACK	Return Material Authorization ACKnowledged（RMA 承認） ルネサスでの故障解析	PL2	セキュアデバッグと非セキュアデバッグで使用可能	使用可能 コード MRAM／SiP フラッシュ領域へのアクセス不可	使用可能
RMA_RET	Return Material Authorization ACKnowledged（RMA 返却） 本デバイスはお客様に返却されたものです。本デバイスはブートしません。	PL0	使用不可	使用不可	使用不可

51.4.1　ライフサイクル状態の変更

デバイスのライフサイクル状態を変更するにはブートファームウェアコマンドを使用してください。コマンドの詳細については、ブートファームウェアアプリケーションノートを参照してください。ライフサイクル状態はアプリケーションで更新できませんが、現在のライフサイクル状態を DLMMON レジスタを使用して読み出すことはできます。

図 51.7 に示すように、各遷移は一方通行であり、状態は後戻りできません。

OEM から RMA_REQ への遷移には RMA_KEY を使った鍵認証が必要であり、RMA_KEY はお客様が事前にインジェクトしておく必要があります。RMA_KEY のキー長は 128 ビットです。RMA_KEY は「51.5. セキュアキーインジェクション」に示すようにインジェクトしてください。RMA_KEY は、AL2 においてインジェクトできます。

鍵認証には、チャレンジ＆レスポンス認証または MCU のユニーク ID を使った認証が使われます。応答（チャレンジ＆レスポンス認証）または認証コード（MCU のユニーク ID 使用）は以下のように算出できます。

応答 = AES-128 CMAC（RMA_KEY、128 ビットのチャレンジ）

認証コード = AES-128 CMAC（RMA_KEY、128 ビットの MCU ユニーク ID）

永久にロックされたブロックまたはレジスタを除く MRAM と SiP フラッシュの内容は、RMA_REQ への遷移時に消去されます。永久にロックされたブロックまたはレジスタの内容は、故障解析時にルネサスが読み出すことができます。MRAM ブロックは、PBPS/PBPS_SEC レジスタを設定してブロックの書き込みを永久に禁止することによって永久にロックできます。オプション設定メモリを POFSPS レジスタで永久にロックし、このレジスタの書き込みを永久に禁止することができます。AL2_KEY が無効の場合、RMA_REQ への遷移は不可です。デバイスのライフサイク状態を RMA_REQ に変更した後は、MCU は応答しません。ブートファームウェアコマンドを使い続けるには、リセット後に再度ブートモードに遷移する必要があります。詳細は、*ブートファームウェアのアプリケーションノート*を参照してください。

OEM から LCK_BOOT への遷移は、その遷移が明示的に禁止されていなければ可能です。LCK_BOOT への遷移を禁止する場合は、AL2 または AL1 においてパラメータ設定コマンドを使用してください。LCK_BOOT への遷移禁止は永久設定であり、元に戻すことはできません。LCK_BOOT 状態ではデバッグインタフェースおよびシリアルプログラミングインタフェースは永久に無効です。

51.4.2 保護と認証レベル

保護レベル (PL) と認証レベル (AL) はデバッグ機能とシリアルプログラミングインタフェースの可用性を決定します。OEM 状態の場合を除き、PL と AL は固定されています。OEM 状態では、PL と AL にはそれぞれ 3 つのレベルが設定できます。AL は一時的な認証状態を示し、MCU パワーオンリセット後に PL に初期化できます。PL と AL のどちらもブートファームウェアだけが変更でき、アプリケーションでは変更できません。図 51.8 に使用可能な保護レベル状態と認証レベル状態、および遷移を示します。表 51.7 に各レベルでのデバッグ機能とシリアルプログラミングインタフェースの可用性を示します。

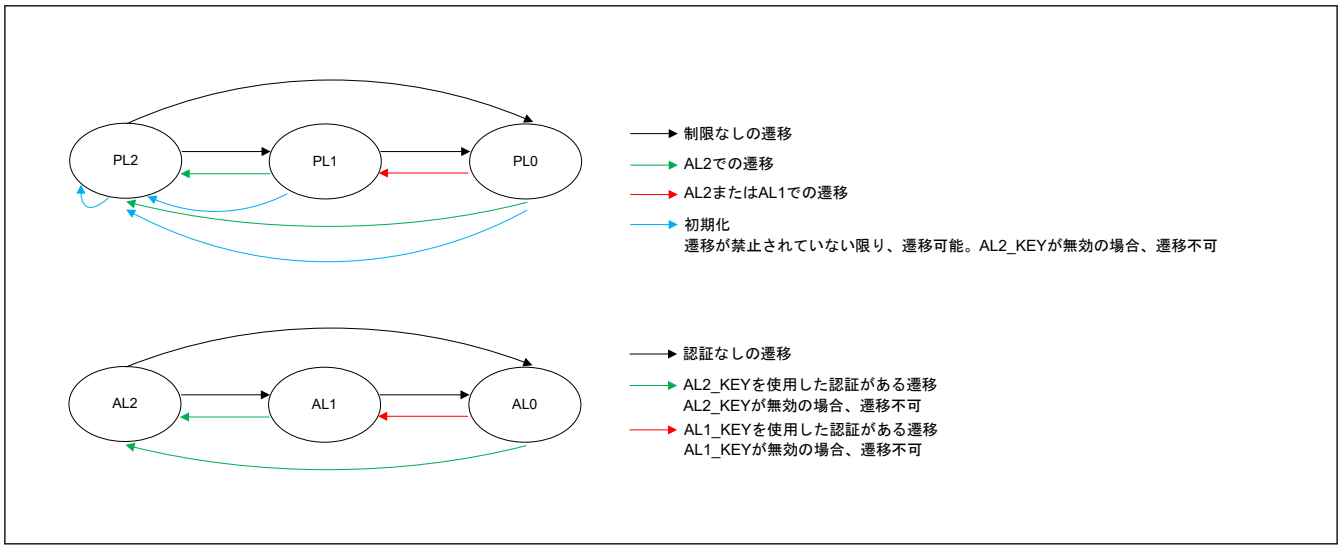


図 51.8 PL/AL 状態と遷移

表 51.7 各認証レベルでのデバッグ機能とシリアルプログラミングインタフェースの可能性

AL	デバッグ機能	シリアルプログラミングインタフェース
AL2	非セキュアデバッグ機能とセキュアデバッグ機能が有効であり、デバッガからアクセス可能	全機能が使用可能
AL1	非セキュアデバッグ機能のみ有効であり、デバッガは定義された非セキュアデバッグアクセス可能領域にのみアクセス可能	使用可能だが、セキュアなコード MRAM や SiP フラッシュ領域のプログラム、消去、読み出しは不可
AL0	デバッグ機能は使用不可	使用可能だが、コード MRAM や SiP フラッシュ領域へのアクセスは不可

PL と AL を変更するにはブートファームウェアコマンドを使用してください。コマンドの詳細については、ブートファームウェアアプリケーションノートを参照してください。

下位 PL への変更には制限がありません。高位 PL に変更する場合は、MCU の AL がその PL と同等である必要があります。たとえば、現在の AL が AL1 の場合、PL1 への変更はできますが PL2 には変更できません。PL は初期化コマンドでリセットできます（コマンド自体が無効の場合を除く）。初期化コマンドが実行された後、PL は

PL2 に戻され、MRAM と SiP フラッシュメモリの内容は消去されます。オプション設定メモリの OTP 領域が空でないとき、初期化コマンドは実行されません。承認なしでのメモリ消去を防止するために、パラメータ設定コマンドによって、すべての AL 状態で初期化コマンドを永久に無効にすることができます。AL2_KEY が無効化された場合も初期化コマンドが無効になります。初期化コマンドを実行した後、MCU は応答しません。シリアルプログラミングコマンドを引き続き使用するには、リセット後にブートモードに再遷移します。詳細は、*ブートファームウェアのアプリケーションノート*を参照してください。

下位 AL への変更は認証なしでできます。高位 AL への変更には、必要に応じて AL2_KEY または AL1_KEY を使用した鍵認証が必要です。これらのキーは 128 ビットキーです。AL2_KEY または AL1_KEY のインジェクションは「51.5. セキュアキーインジェクション」に示すように行われます。AL2_KEY は AL2 にインジェクトできます。AL1_KEY は AL2 または AL1 にインジェクトできます。鍵認証には、チャレンジ＆レスポンス認証が使われます。応答は下記の式にて算出できます。

応答 = AES-128 CMAC（KEY、128 ビットのチャレンジ）

AL2_KEY は、パラメータ設定コマンドを使用して、AL2 で永久に無効にすることができます。

AL1_KEY はパラメータ設定コマンドで、AL2 または AL1 において永久に無効にできます。

51.4.3 シリアルプログラミング

シリアルプログラマを接続できるかどうかや、アクセスできるメモリの範囲は、表 51.6 と表 51.7 に示すデバイスライフサイクル状態と AL に依存します。さらに、受け付け可能なシリアルプログラミングコマンドはデバイスライフサイクル状態と AL により異なります。コマンドの詳細については、*ブートファームウェアのアプリケーションノート*を参照してください。

51.4.4 デバイスライフサイクル状態と PL 変更例

以下にデバイスライフサイクル状態と PL 変更例を説明します。

- セキュア開発者
  - ブートファームウェアコマンドを使用してコード MRAM および SiP フラッシュのメモリセキュリティ属性を設定
  - セキュアアプリケーションのプログラミングとデバッグ
  - AL2_KEY と RMA_KEY が必要な場合は、ブートファームウェアコマンドを使用してそれらをインジェクト
  - 表 51.8 に示すアプリケーションキー AES、ChaCha20-Poly1305、RSA、ECC、HMAC、EdDSA をインジェクト（必要な場合）
  - 非セキュア開発者用 MCU の準備
    - 非セキュア開発者が初期化コマンドの使用を許可されない場合は、ブートファームウェアコマンドを使用してそれを無効にします。
    - AL2_KEY が使用されず、非セキュア開発者が初期化機能の使用を許可されない場合は、ブートファームウェアコマンドを使用して AL2_KEY を無効にします。
    - ブートファームウェアコマンドを使って PL 状態を PL2 から PL1 に変更
- 非セキュア開発者
  - 非セキュアアプリケーションのプログラミングとデバッグ。
  - AL1_KEY が必要な場合、ブートファームウェアコマンドを使ってインジェクトしてください。
  - 表 51.8 に示すアプリケーションキー AES、ChaCha20-Poly1305、RSA、ECC、HMAC、EdDSA をインジェクト（必要な場合）
  - 最終製品展開用 MCU の準備
    - ブートファームウェアコマンドを使用して初期化コマンドを無効にします（必要な場合）。
    - AL1_KEY が使用されない場合は、ブートファームウェアコマンドを使用して AL1_KEY を無効にします。
    - ブートファームウェアコマンドを使って PL 状態を PL1 から PL0 に変更

51.4.5 故障解析

お客様がルネサスに故障解析をご希望の場合は、デバイスライフサイクル状態を RMA_REQ に変更してからデバイスを送ってください。デバイスライフサイクル状態が RMA_REQ でないとルネサスは故障解析を行うことができません。故障解析後、ルネサスはライフサイクルを RMA_RET に変更し、デバイスをお客様に返却します。

注. デバイスライフサイクル状態を RMA_REQ に変更するには RMA_KEY が必要です。または、MCU のユニーク ID を認証コードの一部として使用する必要があります。詳細は「51.4.1. ライフサイクル状態の変更」を参照してください。

51.5 セキュアキーインジェクション

ユーザーキーを MCU にインジェクトするには、以下の手順で行ってください。

ルネサスは、キーインジェクション準備を支援するために、ルネサス Web サイトで利用可能なセキュリティキー管理ツールを提供しています。

1. 256 ビットのインストールキーを作成します。
   本キーは、ユーザーファクトリプログラミングキー (UFPK) と呼ばれ、ユーザーキーのラッピングに使用されます。
2. ルネサスキーラッピングサービスからラッピングされた UFPK (W-UFPK) を受け取ります。
3. UFPK を使ってユーザーキーをラッピングします。
4. ブートファームウェアコマンドを使って、W-UFPK およびラッピングしたユーザーキーを MCU に送信します。
   ユーザーキーはアンラップされ、MCU のハードウェアユニークキーでラッピングされ、不揮発性メモリに格納されます。DLM キーはマッピング解除されたフラッシュに格納されます。アプリケーションキーは、キーインジェクションコマンドで指定したアドレスに格納されます。

図 51.9 にキーインジェクションの例を、表 51.8 にインジェクト可能なキーを示します。

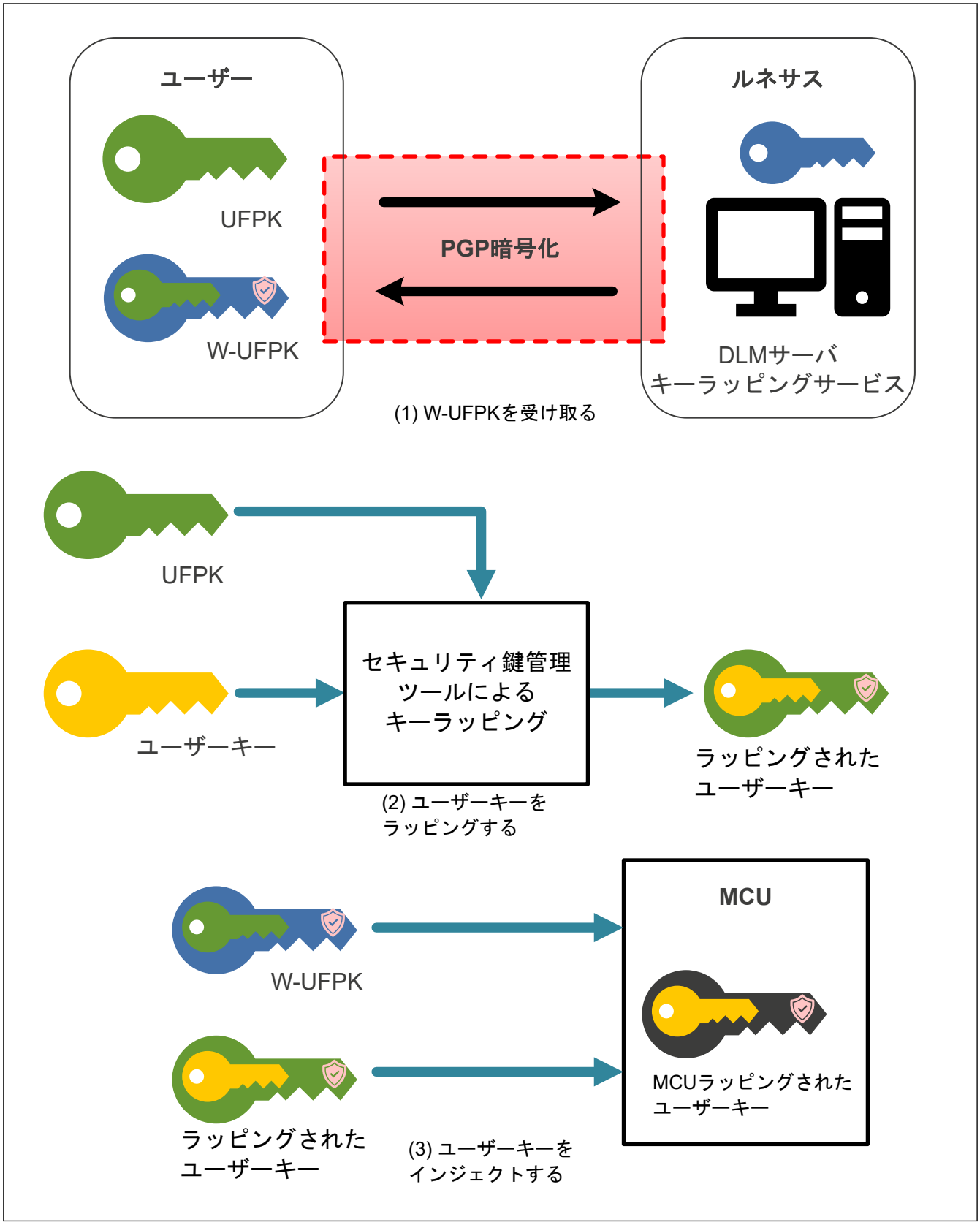


図 51.9　キーインジェクション

表 51.8 インジェクト可能なキー

DLM 遷移	AL 遷移	AES	ChaCha20-Poly-1305	RSA	ECC	HMAC	EdDSA	セキュアブート	その他
RMA_KEY	AL2_KEY、AL1_KEY	AES-128, AES-192, AES-256, AES-XTS-128, AES-XTS-256	ChaCha20-Poly-1305	RSA-1024、RSA-2048、RSA-3072、RSA-4096（公開および秘密）TLS 用 RSA-2048 公開鍵	ECC P-192、ECC P-224、ECC P-256、ECC P-384、ECC P-521（公開および秘密）ECC P256r1、ECC P384r1、ECC P512r1、ECC secp256k1（公開および秘密）	HMAC-SHA224, HMAC-SHA256, HMAC-SHA384, HMAC-SHA512, HMAC-SHA512/224, HMAC-SHA512/256, HMAC-SHA3-224, HMAC-SHA3-256, HMAC-SHA3-384, HMAC-SHA3-512	Ed25519（公開および秘密）	最大 4 つの OEM_ROOT_PK	キー更新キー

51.6 セキュアファクトリプログラミング

ユーザーキー（DLM キー、デバッグ認証キー、アプリケーションキー、およびセキュアブートキー）をインジェクトするためのセキュアキーインジェクションサポートに加えて、MCU は本番プログラミング時の資産漏洩を防ぐために、暗号文形式のファームウェアイメージのプログラミングをサポートしています。これにより、非セキュア環境でのセキュアファクトリプログラミングが可能となります。セキュアファクトリプログラミングはブートファームウェアがサポートしています。セキュアファクトリプログラミングで設定可能な最大容量は約 16 MB です。容量の制限の詳細については、セキュリティ鍵管理ツールのユーザーズマニュアルまたはブートファームウェアのアプリケーションノートを参照してください。図 51.10 に暗号化されたファームウェアイメージのセキュアファクトリプログラミングの例を示します。お客様はイメージ暗号化キーを UFPK でラッピングし、AES128-CCM を使ったイメージ暗号化キーでイメージを暗号化します。お客様が W-UFPK、ラッピングされたイメージ暗号化キー、および暗号化されたイメージをシリアルプログラミングインタフェースで MCU に送信すると、MCU はファームウェアイメージの復号処理とプログラミングを実行します。

非セキュア環境でのセキュアファクトリプログラミングをさらにサポートするために、DLM ステート、保護レベル、および認証キーを 1 つのブートファームウェアコマンドですべて設定できます。このブートファームウェアコマンドに関して以下の点に注意してください。

- 暗号化ファームウェアプログラミングは、MCU が OEM 状態のときのみ実行できます。
- このコマンドは MCU の保護レベルを変更します。初期 PL は PL2 でなければなりません。最終 PL は PL0 でなければなりません。
- DLM 状態が OEM 状態のままになる場合は、AL2 キーをインジェクトする必要があります。オプションで AL1 キーもインジェクト可能です。
- MCU は LCK_BOOT 状態に遷移できます。この場合、AL キーはインジェクトできません。
- AL キーはイメージ暗号化キーと同じ UFPK でラッピングする必要があります。
- このコマンドは、暗号化されたファームウェアイメージを書き込む前に、オプション設定メモリを除くすべてのコード MRAM 領域を消去します。永久にロックされたブロックがある場合は、このコマンドを実行できません。
- 現在のレジスタ設定、またはスタートアップ領域選択に関連するレジスタへの書き込み値が下記の内容以外の場合は、このコマンドの実行を禁止してください。
  - SAS.BTFLG = 1b
- 暗号化されたファームウェアイメージには、デフォルト値から変更されていないものを含む、すべてのオプション設定メモリ値を含める必要があります。ただし、以下の領域が書き込み保護されている場合、これらの領域の書き込みデータはイメージに含めないでください。含まれている場合、このコマンドはエラーで終了します。

– POFSPS レジスタで保護されているコンフィグレーション設定領域

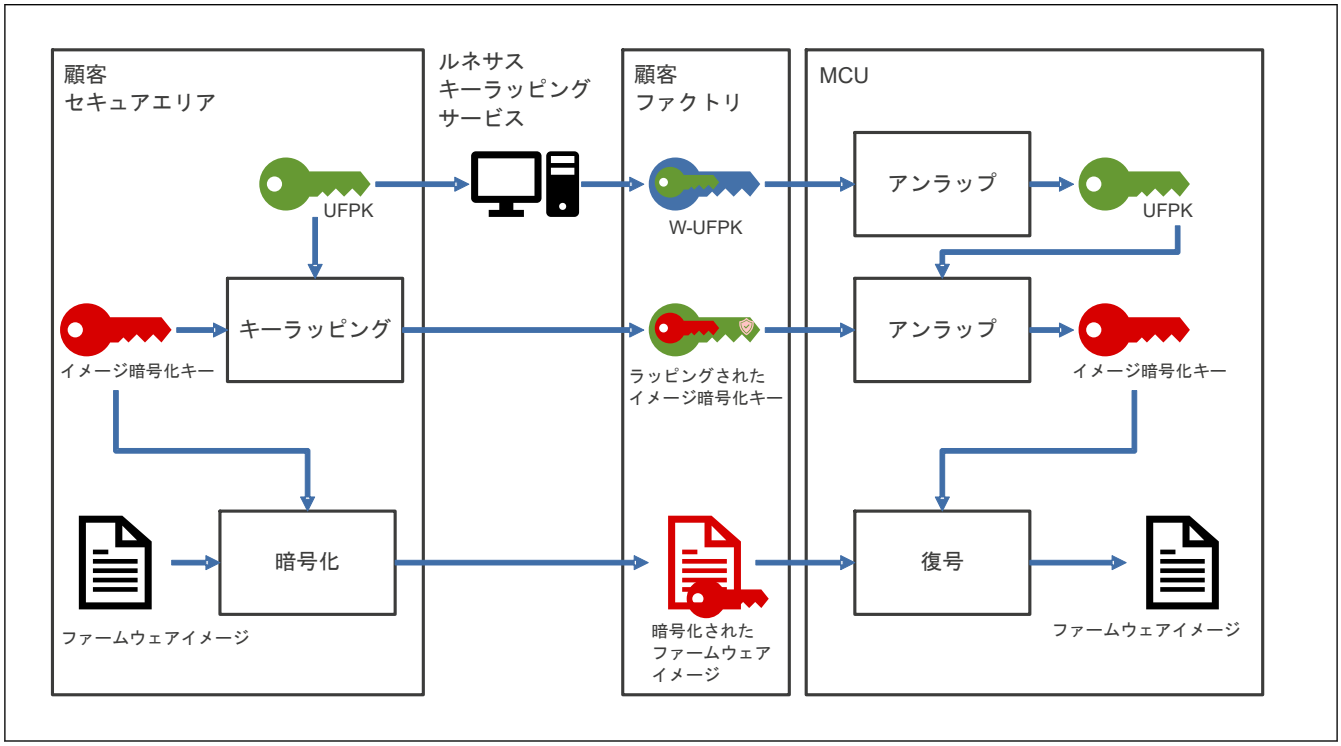


図 51.10　セキュアファクトリ暗号化イメージプログラミング

51.7　セキュアブート

セキュアブートは OEM ブートローダー（以後、OEM_BL と呼ぶ）の完全性と信頼性を検証します。検証はアプリケーション実行メモリの先頭から開始します。

OEM_BL の検証は OEM_BL の初回プログラム時と実行前に行われます。

ブートファームウェアを使った OEM_BL のプログラム時に、この OEM_BL を検証します。検証には 2 つの証明書を使用します。1 つは鍵証明書で、これは OEM_BL 検証鍵（OEM_BL_PK と呼ばれる、OEM_BL 検証鍵ペアの公開部分）の認証に使います。鍵証明書は OEM_BL 検証ルート鍵ペア (OEM_ROOT_SK と呼ぶ) の.秘密部分で署名されます。OEM_BL 検証ルート鍵ペア (OEM_ROOT_PK と呼ぶ) の公開部分は、「51.5. セキュアキーインジェクション」に示すようにセキュアキーインジェクションを使用して、トラストキーのルートとして MCU に登録されます。OEM_ROOT_SK と OEM_ROOT_PK は 256 ビット ECC（secp256r1 カーブ）の鍵ペアです。OEM_ROOT_PK の SHA2-256 ハッシュはセキュアキーインジェクション時に保存されます。最大 4 つの OEM_ROOT_PK を登録できます。これらの OEM_ROOT_PK は、必要なくなったら取り消すことができます。最大の n 値を持つ取り消されていない最初の OEM_ROOT_PK が一致した場合、検証処理は成功します。

プログラム時の検証用のもう 1 つの証明書は、OEM_BL の認証に使用するコード証明書です。コード証明書は OEM_BL 検証鍵ペア (OEM_BL_SK と呼ぶ) の秘密部分で署名されます。OEM_BL の検証成功後、OEM_BL とコード証明書の HMAC 値（OEM_BL_digest と呼ぶ）が生成され、MRAM に書き込まれます。HMAC の生成には HMAC SHA2-256 が使われます。HUK から派生した鍵は HMAC 鍵として使われるため、HMAC 値は各 MCU ごとに一意の値となります。

シングルチップモード時、内蔵 OTP 内の不変ファーストステージブートローダー (FSBL と呼ぶ) はリセット後に実行されます（FSBL が FSBLCTRL0 レジスタで有効になっている場合）。FSBLCTRL1 レジスタでセキュアブートを選択した場合、FSBL は OEM_BL とコード証明書の HMAC 値を生成し、期待した HMAC 値と比較します。HMAC 値が一致した場合、FSBL は OEM_BL にジャンプします。FSBLCTRL1 レジスタで CRC ブートを選択した場合、FSBL は OEM_BL の CRC 値を算出し、コード証明書内の期待 CRC 値と比較します。CRC 値が一致した場合、FSBL は OEM_BL にジャンプします。

コード証明書は MRAM に書き込む必要があり、MRAM 内のその位置は SACC0n レジスタまたは SACC1n レジスタに書き込む必要があります。SACC0n レジスタは、BTFLG = 1 のときのコード証明書の開始アドレスを指定します。SACC1n レジスタは、BTFLG = 0 のときのコード証明書の開始アドレスを指定します。SACC0n および SACC1n レジスタは OTP であり、消去できないため、コード証明書の開始アドレスの更新のためにそれぞれ 4 つ

の領域があります。FSBL は、これらの値を最大の n 値を持つレジスタから順番に読み出し、すべて 1 ではない最初の値をコード証明書の開始アドレスとして使用します。そのため、レジスタは最小の n 値から順番に使用してください。

FSBLCTRL1 レジタで測定レポートが許可されている場合、FSBL は SAMR レジスタで指定された SRAM アドレスに測定レポートを格納します。測定レポートを読み出すとき、SRAMCRn.ECCMOD[1:0] = 00b に設定して ECC 機能を無効にしてください。

FSBLCTRL0 レジスタの設定に従い、ソフトウェアリセットまたはディープソフトウェアスタンバイリセット後の FSBL 実行をスキップできます。

生成した HMAC 値または CRC 値が期待値と異なる場合、FSBLCTRL2 レジスタで設定したポートに High レベルが出力され、MCU は CPU スリープモードに遷移します。

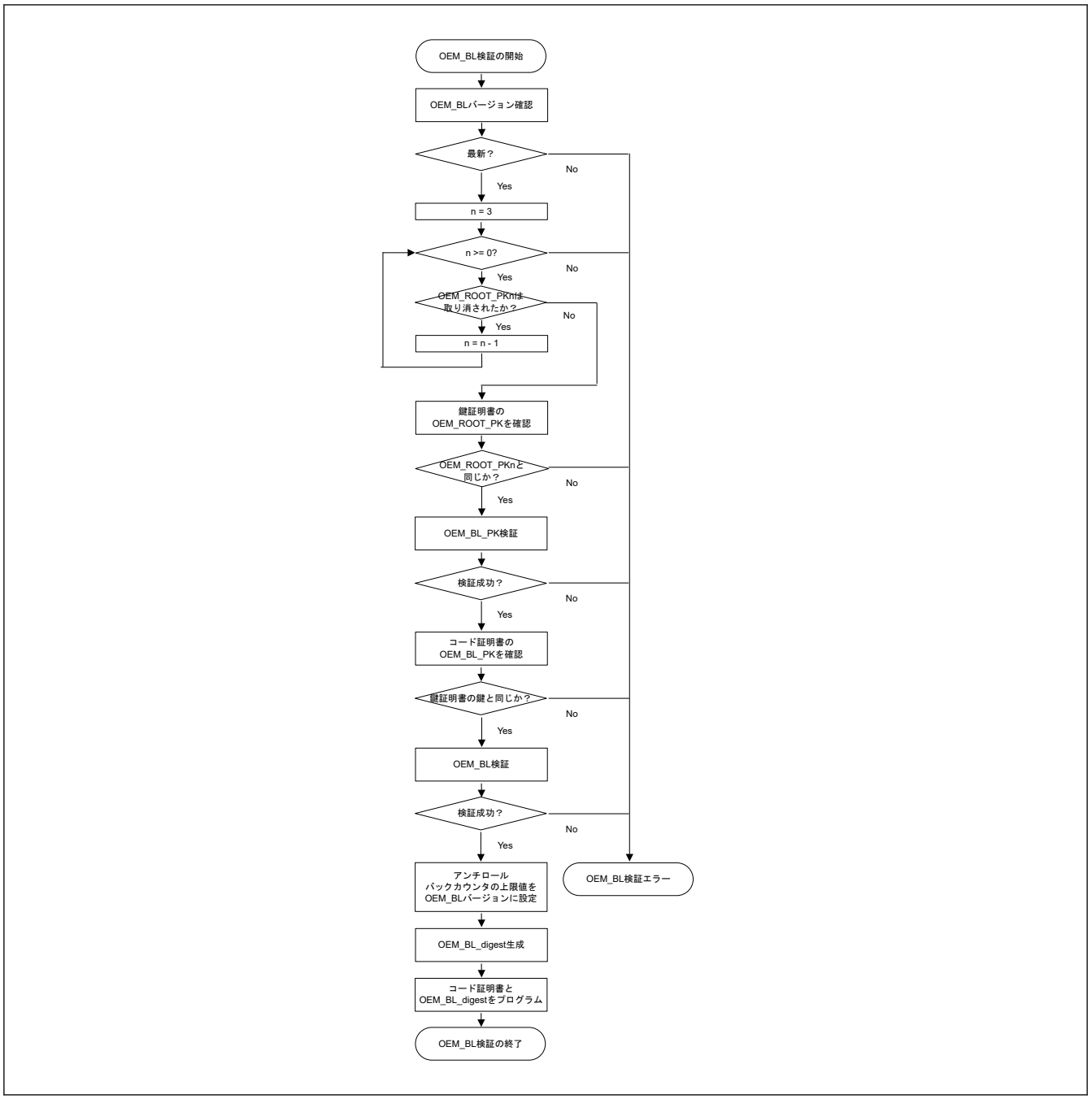


図 51.11　OEM_BL 検証フロー（シリアルプログラミングモード）

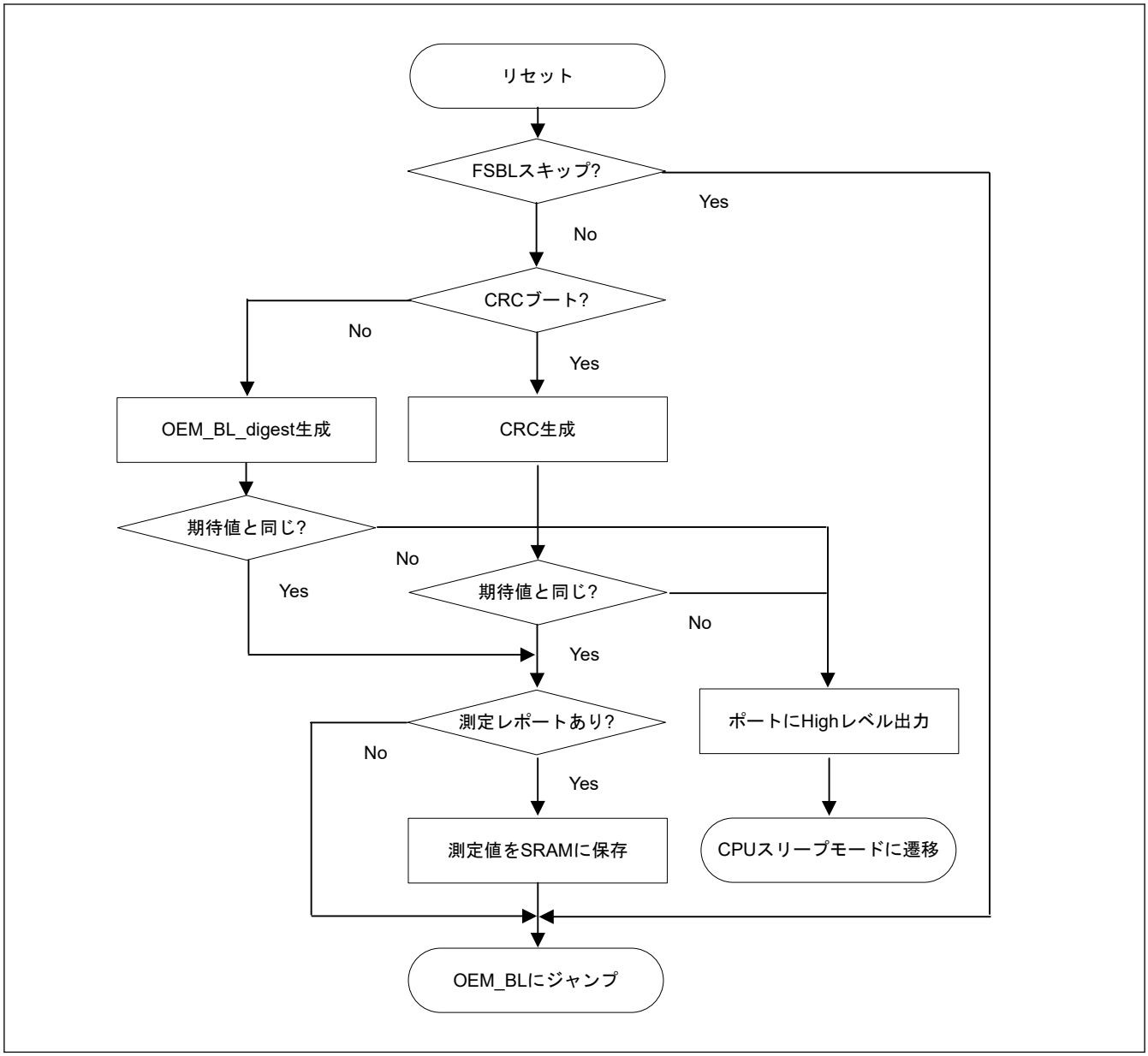


図 51.12　FSBL フロー（シングルチップモード）

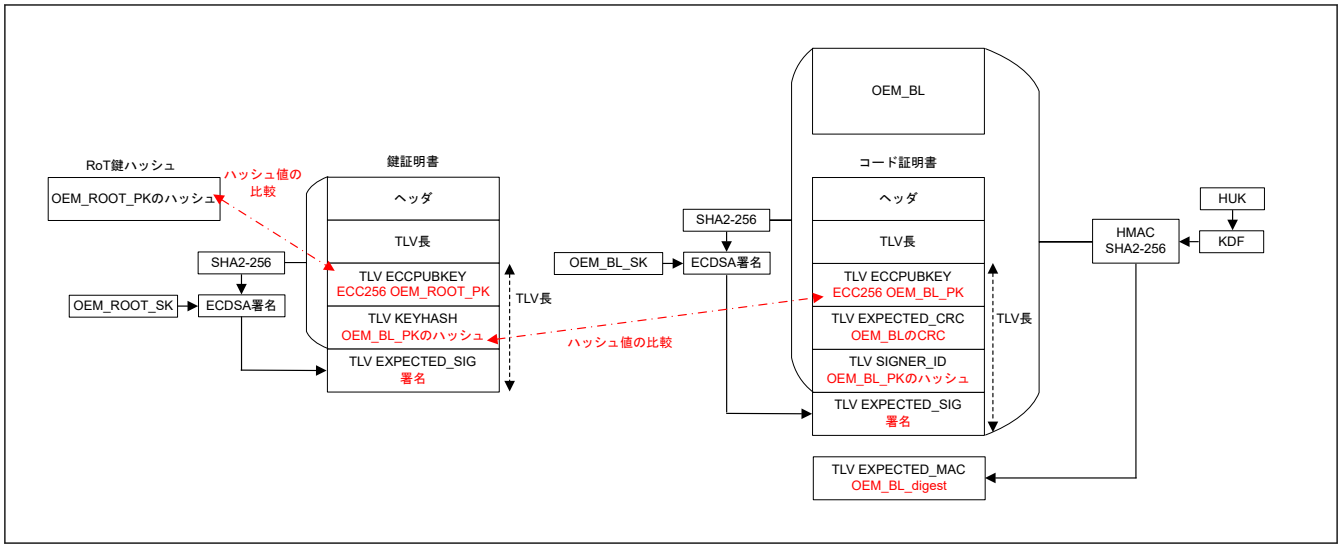


図 51.13　検証構成と証明書の形式

表 51.9　鍵証明書の詳細

フィールド		サイズ（バイト）	説明
ヘッダ	Magic	4	0x6B657963 に設定
	マニフェストバージョン	4	0x00010000 に設定
	フラグ	4	将来の使用のために予約されています。
	予約	20	将来の使用のために予約されています。
TLV 長		4	TLV フィールドの長さ（バイト単位）
TLV ECCPUBKEY	タイプ&長さ	4	0x00088010 に設定
	値	64	ECC P-256 OEM_ROOT_PK
TLV KEYHASH	タイプ&長さ	4	0x10144008 に設定
	値	32	OEM_BL_PK の SHA2-256 ハッシュ値
TLV EXPECTED_SIG	タイプ&長さ	4	0x20088410 に設定
	値	64	署名

表 51.10　コード証明書の詳細 (1/2)

フィールド		サイズ（バイト）	説明
ヘッダ	Magic	4	0x636F6463 に設定
	マニフェストバージョン	4	0x00010000 に設定
	フラグ	4	0x00000000 に設定
	Load Addr	4	0x00000000 に設定
	Dest Addr	4	0x00000000 に設定
	イメージサイズ	4	OEM_BL のサイズ（バイト単位）を 16 の倍数で設定。最小サイズは 64 バイト
	イメージバージョン	4	OEM_BL のバージョン番号。1～64 から指定可能
	ビルド番号	4	0x00000000 に設定
TLV 長		4	TLV フィールドの長さ（バイト単位）
TLV ECCPUBKEY	タイプ&長さ	4	0x01088010 に設定
	値	64	ECC P-256 OEM_BL_PK

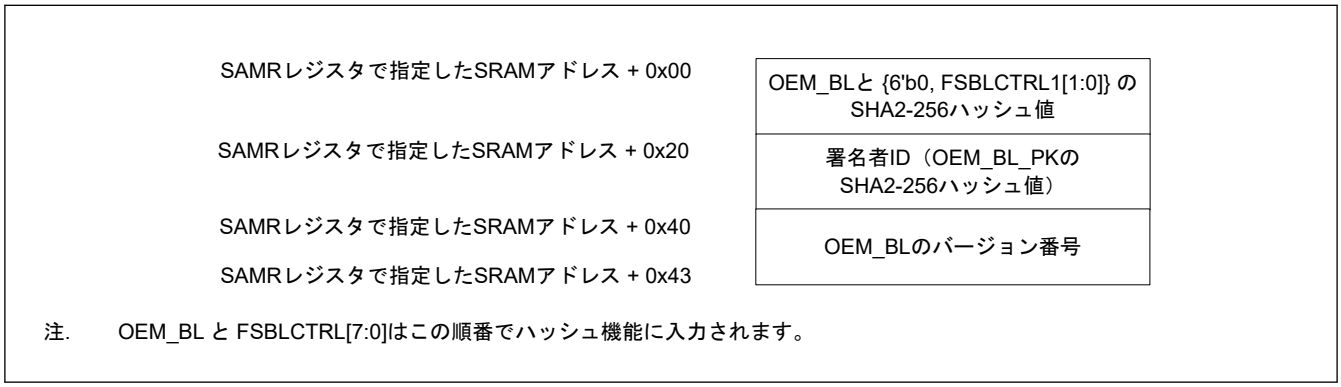
表 51.10 コード証明書の詳細 (2/2)

フィールド		サイズ（バイト）	説明
TLV EXPECTED_CRC	タイプ&長さ	4	0x40000001 に設定
	値	4	OEM_BL の CRC32
TLV SIGNER_ID	タイプ&長さ	4	0x10144008 に設定
	値	32	OEM_BL_PK の SHA2-256 ハッシュ値
TLV EXPECTED_SIG	タイプ&長さ	4	0x25088410 に設定
	値	64	OEM_BL_SK が署名した[コード証明書| OEM_BL]の署名 署名の生成時、コード証明書、OEM_BL の順番でハッシュ機能に入力します。

表 51.11 OEM_BL_digest の詳細

フィールド		サイズ（バイト）	説明
TLV EXPECTED_MAC	タイプ&長さ	4	固定値 0x30184008
	値	32	各 MCU の一意の OEM_BL_digest

注. OEM_BL_digest はコード証明書と連続した領域にプログラムする必要があります。

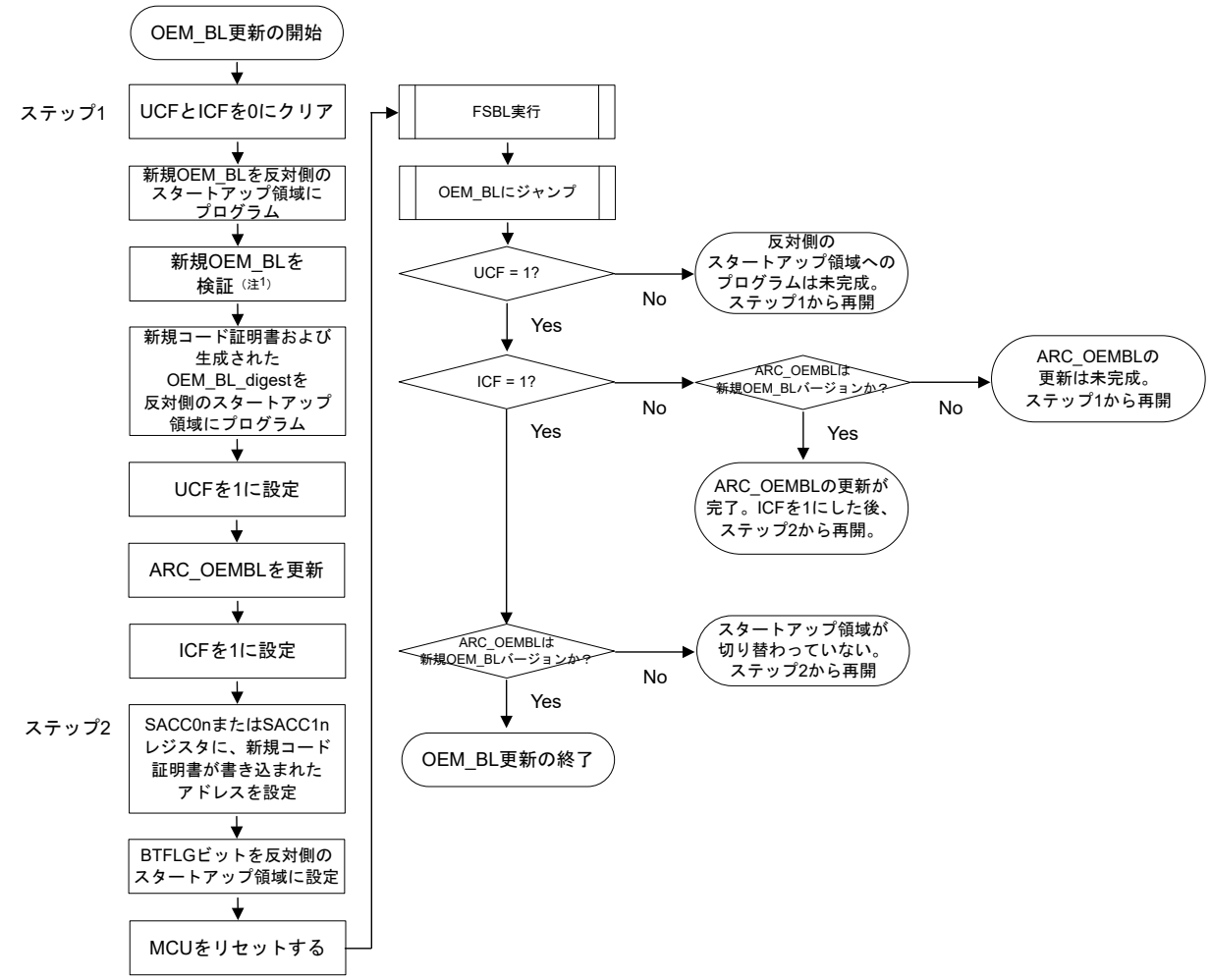


注. OEM_BL と FSBLCTRL[7:0]はこの順番でハッシュ機能に入力されます。

図 51.14 測定レポートの形式と場所

OEM_BL はアプリケーションコードで更新可能です。この場合、アプリケーションコードは更新されたブートローダーを検証して、OEM_BL_digest を生成し、図 51.11 で説明されているフローに従って、それを新しいコード証明書の直後に格納する必要があります。図 51.15 に、OEM_BL 更新フローを示します。

OEM_BL の実装はユーザー定義であり、アプリケーション固有です。ただし、予期せぬ停電による更新エラー対策として、コード MRAM 上に更新完了フラグ (UCF) やインクリメント完了フラグ (ICF) などの状態フラグを実装することをお勧めします。更新エラーが発生しても、以下の図に示すように復帰できます。更新エラーが発生した場合、FSBL 実行後に現在の OEM_BL が実行されます。なお、更新エラー判定プログラムは現在の OEM_BL と新規 OEM_BL の両方で必要です。



注 1. 図 51.11 と同様の手順で新規 OEM_BL を検証します。

図 51.15 OEM_BL 更新フロー

51.8 レジスタの説明

51.8.1 PSARB : 周辺モジュールセキュリティ属性レジスタ B

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARB31	PSARB30	PSARB29	PSARB28	PSARB27	PSARB26	PSARB25	PSARB24	PSARB23	PSARB22	—	—	PSARB19	PSARB18	PSARB17	PSARB16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PSARB12	PSARB11	—	PSARB9	PSARB8	PSARB7	—	—	PSARB4	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	PSARB4	I3C バスインタフェースセキュリティ属性 対象モジュール: I3C および MSTPCRB.MSTPB4 ビット 0: セキュア 1: 非セキュア	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PSARB7	I 2 C バスインタフェース 2 セキュリティ属性 対象モジュール：IIC2 および MSTPCRB.MSTPB7 ビット 0: セキュア 1: 非セキュア	R/W
8	PSARB8	I2C バスインタフェース 1 セキュリティ属性 対象モジュール: IIC1 および MSTPCRB.MSTPB8 ビット 0: セキュア 1: 非セキュア	R/W
9	PSARB9	I2C バスインタフェース 0 セキュリティ属性 対象モジュール: IIC0 および MSTPCRB.MSTPB9 ビット 0: セキュア 1: 非セキュア	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	PSARB11	ユニバーサルシリアルバス 2.0 FS インタフェース 0 セキュリティ属性 対象モジュール: USBFS0 および MSTPCRB.MSTPB11 ビット 0: セキュア 1: 非セキュア	R/W
12	PSARB12	ユニバーサルシリアルバス 2.0 HS インタフェースセキュリティ属性 対象モジュール: USBHS および MSTPCRB.MSTPB12 ビット 0: セキュア 1: 非セキュア	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	PSARB16	オクタメモリコントローラ 0 セキュリティ属性 対象モジュール：OSPI0 (+DOTF0) および MSTPCRB.MSTPB16 ビット 0: セキュア 1: 非セキュア	R/W
17	PSARB17	オクタメモリコントローラ 1 セキュリティ属性 対象モジュール：OSPI1 (+DOTF1) および MSTPCRB.MSTPB17 ビット 0: セキュア 1: 非セキュア	R/W
18	PSARB18	シリアルペリフェラルインタフェース 1 セキュリティ属性 対象モジュール: RSPI1 および MSTPCRB.MSTPB18 ビット 0: セキュア 1: 非セキュア	R/W
19	PSARB19	シリアルペリフェラルインタフェース 0 セキュリティ属性 対象モジュール: RSPI0 および MSTPCRB.MSTPB19 ビット 0: セキュア 1: 非セキュア	R/W
21:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	PSARB22	シリアルコミュニケーションインタフェース 9 セキュリティ属性 対象モジュール：SCI9 および MSTPCRB.MSTPB22 ビット 0: セキュア 1: 非セキュア	R/W
23	PSARB23	シリアルコミュニケーションインタフェース 8 セキュリティ属性 対象モジュール：SCI8 および MSTPCRB.MSTPB23 ビット 0: セキュア 1: 非セキュア	R/W
24	PSARB24	シリアルコミュニケーションインタフェース 7 セキュリティ属性 対象モジュール：SCI7 および MSTPCRB.MSTPB24 ビット 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
25	PSARB25	シリアルコミュニケーションインタフェース 6 セキュリティ属性 対象モジュール：SCI6 および MSTPCRB.MSTPB25 ビット 0: セキュア 1: 非セキュア	R/W
26	PSARB26	シリアルコミュニケーションインタフェース 5 セキュリティ属性 対象モジュール：SCI5 および MSTPCRB.MSTPB26 ビット 0: セキュア 1: 非セキュア	R/W
27	PSARB27	シリアルコミュニケーションインタフェース 4 セキュリティ属性 対象モジュール: SCI4 および MSTPCRB.MSTPB27 ビット 0: セキュア 1: 非セキュア	R/W
28	PSARB28	シリアルコミュニケーションインタフェース 3 セキュリティ属性 対象モジュール: SCI3 および MSTPCRB.MSTPB28 ビット 0: セキュア 1: 非セキュア	R/W
29	PSARB29	シリアルコミュニケーションインタフェース 2 セキュリティ属性 対象モジュール: SCI2 および MSTPCRB.MSTPB29 ビット 0: セキュア 1: 非セキュア	R/W
30	PSARB30	シリアルコミュニケーションインタフェース 1 セキュリティ属性 対象モジュール: SCI1 および MSTPCRB.MSTPB30 ビット 0: セキュア 1: 非セキュア	R/W
31	PSARB31	シリアルコミュニケーションインタフェース 0 セキュリティ属性 対象モジュール: SCI0 および MSTPCRB.MSTPB31 ビット 0: セキュア 1: 非セキュア	R/W

注. アクセスカテゴリ：S-TYPE-1、P-TYPE-1

PSARB レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

51.8.2 PSARC : 周辺モジュールセキュリティ属性レジスタ C

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARC31	PSARC30	—	PSARC28	PSARC27	PSARC26	—	PSARC24	—	—	—	—	—	—	—	PSARC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PSARC13	PSARC12	PSARC11	—	—	PSARC8	PSARC7	—	—	—	—	—	PSARC1	PSARC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSARC0	クロック周波数精度測定回路セキュリティ属性 対象モジュール: CAC および MSTPCRC.MSTPC0 ビット 0: セキュア 1: 非セキュア	R/W
1	PSARC1	巡回冗長検査演算器モセキュリティ属性 対象モジュール: CRC および MSTPCRC.MSTPC1 ビット 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PSARC7	シリアルサウンドインタフェース拡張（チャネル 1）セキュリティ属性 対象モジュール：SSIE1 および MSTPCRC.MSTPC7 ビット 0: セキュア 1: 非セキュア	R/W
8	PSARC8	シリアルサウンドインタフェース拡張（チャネル 0）セキュリティ属性 対象モジュール：SSIE0 および MSTPCRC.MSTPC8 ビット 0: セキュア 1: 非セキュア	R/W
10:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	PSARC11	セキュアデジタルホスト IF 1 セキュリティ属性 対象モジュール: SDHI1 および MSTPCRC.MSTPC11 ビット 0: セキュア 1: 非セキュア	R/W
12	PSARC12	セキュアデジタルホスト IF 0 セキュリティ属性 対象モジュール: SDHI0 および MSTPCRC.MSTPC12 ビット 0: セキュア 1: 非セキュア	R/W
13	PSARC13	データ演算回路セキュリティ属性 対象モジュール: DOC および MSTPCRC.MSTPC13 ビット 0: セキュア 1: 非セキュア	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	PSARC16	CEU セキュリティ属性 対象モジュール：CEU および MSTPCRC.MSTPC16 ビット 0: セキュア 1: 非セキュア	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	PSARC24	パルス密度変調インタフェースセキュリティ属性 対象モジュール：PDMIF および MSTPCRC.MSTPC24 ビット 0: セキュア 1: 非セキュア	R/W
25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26	PSARC26	Controller Area Network with Flexible Data-Rate 1 セキュリティ属性 対象モジュール：CANFD1 および MSTPCRC.MSTPC26 ビット 0: セキュア 1: 非セキュア	R/W
27	PSARC27	Controller Area Network with Flexible Data-Rate 0 セキュリティ属性 対象モジュール：CANFD0 および MSTPCRC.MSTPC27 ビット 0: セキュア 1: 非セキュア	R/W
28	PSARC28	Ether-PHY クロックセキュリティ属性 対象モジュール：ETHPHYCLK および MSTPCRC.MSTPC28 ビット 0: セキュア 1: 非セキュア	R/W
29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30	PSARC30	レイヤ 3 イーサネットスイッチモジュールセキュリティ属性 対象モジュール：ESWM および MSTPCRC.MSTPC30 ビット 0: セキュア 1: 非セキュア	R/W
31	PSARC31	RSIP-E50D セキュリティ属性 対象モジュール：RSIP-E50D および MSTPCRC.MSTPC31 ビット 0: セキュア 1: 非セキュア	R/W

注. アクセスカテゴリ：S-TYPE-1、P-TYPE-1

PSARC レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

51.8.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSARD28	PSARD27	PSARD26	PSARD25	—	—	PSARD22	PSARD21	PSARD20	PSARD19	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	PSARD14	PSARD13	PSARD12	PSARD11	—	—	—	—	PSARD6	PSARD5	PSARD4	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PSARD4	非同期汎用タイマ 1 セキュリティ属性 対象モジュール: AGT1 および MSTPCRD.MSTPD4 ビット 0: セキュア 1: 非セキュア	R/W
5	PSARD5	非同期汎用タイマ 0 セキュリティ属性 対象モジュール：AGT0 および MSTPCRD.MSTPD5 ビット 0: セキュア 1: 非セキュア	R/W
6	PSARD6	PWM 遅延生成回路セキュリティ属性 対象モジュール：PDG および MSTPCRD.MSTPD6 ビット 0: セキュア 1: 非セキュア	R/W
10:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	PSARD11	GPT 用ポートアウトプットイネーブルグループ 3 セキュリティ属性 対象モジュール：PGI3 および MSTPCRD.MSTPD11 ビット 0: セキュア 1: 非セキュア	R/W
12	PSARD12	GPT 用ポートアウトプットイネーブルグループ 2 セキュリティ属性 対象モジュール：PGI2 および MSTPCRD.MSTPD12 ビット 0: セキュア 1: 非セキュア	R/W
13	PSARD13	GPT 用ポートアウトプットイネーブルグループ 1 セキュリティ属性 対象モジュール：PGI1 および MSTPCRD.MSTPD13 ビット 0: セキュア 1: 非セキュア	R/W
14	PSARD14	GPT 用ポートアウトプットイネーブルグループ 0 セキュリティ属性 対象モジュール：PGI0 および MSTPCRD.MSTPD14 ビット 0: セキュア 1: 非セキュア	R/W
18:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19	PSARD19	12 ビット D/A コンバータ 1 セキュリティ属性 対象モジュール：DAC121 および MSTPCRD.MSTPD19 ビット 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
20	PSARD20	12 ビット D/A コンバータ 0 セキュリティ属性 対象モジュール：DAC120 および MSTPCRD.MSTPD20 ビット 0: セキュア 1: 非セキュア	R/W
21	PSARD21	16 ビット A/D コンバータセキュリティ属性 対象モジュール：ADC16H および MSTPCRD.MSTPD21 ビット 0: セキュア 1: 非セキュア	R/W
22	PSARD22	温度センサセキュリティ属性 対象モジュール: TSN および MSTPCRD.MSTPD22 ビット 0: セキュア 1: 非セキュア	R/W
24:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25	PSARD25	高速アナログコンパレータ 3 セキュリティ属性 対象モジュール：ACMPHS3 および MSTPCRD.MSTPD25 ビット 0: セキュア 1: 非セキュア	R/W
26	PSARD26	高速アナログコンパレータ 2 セキュリティ属性 対象モジュール：ACMPHS2 および MSTPCRD.MSTPD26 ビット 0: セキュア 1: 非セキュア	R/W
27	PSARD27	高速アナログコンパレータ 1 セキュリティ属性 対象モジュール: ACMPHS1 および MSTPCRD.MSTPD27 ビット 0: セキュア 1: 非セキュア	R/W
28	PSARD28	高速アナログコンパレータ 0 セキュリティ属性 対象モジュール: ACMPHS0 および MSTPCRD.MSTPD28 ビット 0: セキュア 1: 非セキュア	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. アクセスカテゴリ：S-TYPE-1、P-TYPE-1

PSARD レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

51.8.4 PSARE : 周辺モジュールセキュリティ属性レジスタ E

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARE31	PSARE30	PSARE29	PSARE28	PSARE27	—	—	—	—	—	PSARE21	PSARE20	PSARE19	PSARE18	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSARE15	—	—	—	—	—	PSARE9	PSARE8	—	—	—	—	PSARE3	PSARE2	PSARE1	PSARE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSARE0	WDT1 セキュリティ属性 対象モジュール：WDT1 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
1	PSARE1	WDT0 セキュリティ属性 対象モジュール：WDT0 0: セキュア 1: 非セキュア	R/W
2	PSARE2	IWDT セキュリティ属性 対象モジュール: IWDT 0: セキュア 1: 非セキュア	R/W
3	PSARE3	リアルタイムクロックセキュリティ属性 対象モジュール: RTC 0: セキュア 1: 非セキュア	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	PSARE8	ULPT1 セキュリティ属性 対象モジュール: ULPT1 および MSTPCRE.MSTPE8 ビット 0: セキュア 1: 非セキュア	R/W
9	PSARE9	ULPT0 セキュリティ属性 対象モジュール：ULPT0 および MSTPCRE.MSTPE9 ビット 0: セキュア 1: 非セキュア	R/W
14:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	PSARE15	GPT 共通セキュリティ属性 対象モジュール：GPT GTCLKCR レジスタ 0: セキュア 1: 非セキュア	R/W
17:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	PSARE18	汎用 PWM タイマチャネル 13 セキュリティ属性 対象モジュール: GPT13 および MSTPCRE.MSTPE18 ビット 0: セキュア 1: 非セキュア	R/W
19	PSARE19	汎用 PWM タイマチャネル 12 セキュリティ属性 対象モジュール: GPT12 および MSTPCRE.MSTPE19 ビット 0: セキュア 1: 非セキュア	R/W
20	PSARE20	汎用 PWM タイマチャネル 11 セキュリティ属性 対象モジュール: GPT11 および MSTPCRE.MSTPE20 ビット 0: セキュア 1: 非セキュア	R/W
21	PSARE21	汎用 PWM タイマチャネル 10 セキュリティ属性 対象モジュール: GPT10 および MSTPCRE.MSTPE21 ビット 0: セキュア 1: 非セキュア	R/W
26:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27	PSARE27	汎用 PWM タイマチャネル 4 セキュリティ属性 対象モジュール: GPT4 および MSTPCRE.MSTPE27 ビット 0: セキュア 1: 非セキュア	R/W
28	PSARE28	汎用 PWM タイマチャネル 3 セキュリティ属性 対象モジュール: GPT3 および MSTPCRE.MSTPE28 ビット 0: セキュア 1: 非セキュア	R/W
29	PSARE29	汎用 PWM タイマチャネル 2 セキュリティ属性 対象モジュール: GPT2 および MSTPCRE.MSTPE29 ビット 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
30	PSARE30	汎用 PWM タイマチャネル 1 セキュリティ属性 対象モジュール: GPT1 および MSTPCRE.MSTPE30 ビット 0: セキュア 1: 非セキュア	R/W
31	PSARE31	汎用 PWM タイマチャネル 0 セキュリティ属性 対象モジュール: GPT0、GPT_OPS および MSTPCRE.MSTPE31 ビット 0: セキュア 1: 非セキュア	R/W

注. アクセスカテゴリ：S-TYPE-1、P-TYPE-1

PSARE レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

51.8.5 MSSAR : モジュールストップセキュリティ属性レジスタ

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSSAR31	—	—	—	—	—	—	—	MSSAR23	MSSAR22	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MSSAR3	MSSAR2	MSSAR1	MSSAR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MSSAR0	SRAM0 クロックストップセキュリティ属性 対象モジュール: MSTPCRA.MSTPA0 ビット 0: セキュア 1: 非セキュア	R/W
1	MSSAR1	SRAM1 クロックストップセキュリティ属性 対象モジュール：MSTPCRA.MSTPA1 ビット 0: セキュア 1: 非セキュア	R/W
2	MSSAR2	SRAM2 クロックストップセキュリティ属性 対象モジュール：MSTPCRA.MSTPA2 ビット 0: セキュア 1: 非セキュア	R/W
3	MSSAR3	SRAM3 クロックストップセキュリティ属性 対象モジュール：MSTPCRA.MSTPA3 ビット 0: セキュア 1: 非セキュア	R/W
21:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	MSSAR22	DMAC0/DTC0 クロックストップセキュリティ属性 対象モジュール：MSTPCRA.MSTPA22 ビット 0: セキュア 1: 非セキュア	R/W
23	MSSAR23	DMAC1/DTC1 クロックストップセキュリティ属性 対象モジュール：MSTPCRA.MSTPA23 ビット 0: セキュア 1: 非セキュア	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
31	MSSAR31	ELC クロックストップセキュリティ属性 対象モジュール: MSTPCRC.MSTPC14 ビット 0: セキュア 1: 非セキュア	R/W

注. アクセスカテゴリ：S-TYPE-1、P-TYPE-1

MSSAR レジスタは、モジュールストップコントロールレジスタの対応ビットのセキュリティ属性を指定します。

51.8.6 PPARB : 周辺モジュールプリビレッジ属性レジスタ B

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PPARB31	PPARB30	PPARB29	PPARB28	PPARB27	PPARB26	PPARB25	PPARB24	PPARB23	PPARB22	—	—	PPARB19	PPARB18	PPARB17	PPARB16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PPARB12	PPARB11	—	PPARB9	PPARB8	PPARB7	—	—	PPARB4	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
3:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	PPARB4	I3C バスインタフェースプリビレッジ属性 対象モジュール: I3C および MSTPCRB.MSTPB4 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
6:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	PPARB7	I2C バスインタフェース 2 プリビレッジ属性 対象モジュール：IIC2 および MSTPCRB.MSTPB7 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
8	PPARB8	I2C バスインタフェース 1 プリビレッジ属性 対象モジュール：IIC1 および MSTPCRB.MSTPB8 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
9	PPARB9	I2C バスインタフェース 0 プリビレッジ属性 対象モジュール: IIC0 および MSTPCRB.MSTPB9 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	PPARB11	ユニバーサルシリアルバス 2.0 FS インタフェース 0 プリビレッジ属性 対象モジュール: USBFS0 および MSTPCRB.MSTPB11 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
12	PPARB12	ユニバーサルシリアルバス 2.0 HS インタフェース 0 プリビレッジ属性 対象モジュール: USBHS および MSTPCRB.MSTPB12 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
15:13	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	PPARB16	オクタメモリコントローラ 0 プリビレッジ属性 対象モジュール：OSPI0 (+DOTF0) および MSTPCRB.MSTPB16 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

ビット	シンボル	機能	R/W
17	PPARB17	オクタメモリコントローラ 1 プリビレッジ属性 対象モジュール：OSPI1 (+DOTF1) および MSTPCRB.MSTPB17 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
18	PPARB18	シリアルペリフェラルインタフェース 1 プリビレッジ属性 対象モジュール: RSPI1 および MSTPCRB.MSTPB18 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
19	PPARB19	シリアルペリフェラルインタフェース 0 プリビレッジ属性 対象モジュール: RSPI0 および MSTPCRB.MSTPB19 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	PPARB22	シリアルコミュニケーションインタフェース 9 プリビレッジ属性 対象モジュール：SCI9 および MSTPCRB.MSTPB22 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
23	PPARB23	シリアルコミュニケーションインタフェース 8 プリビレッジ属性 対象モジュール：SCI8 および MSTPCRB.MSTPB23 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
24	PPARB24	シリアルコミュニケーションインタフェース 7 プリビレッジ属性 対象モジュール：SCI7 および MSTPCRB.MSTPB24 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
25	PPARB25	シリアルコミュニケーションインタフェース 6 プリビレッジ属性 対象モジュール：SCI6 および MSTPCRB.MSTPB25 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
26	PPARB26	シリアルコミュニケーションインタフェース 5 プリビレッジ属性 対象モジュール：SCI5 および MSTPCRB.MSTPB26 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
27	PPARB27	シリアルコミュニケーションインタフェース 4 プリビレッジ属性 対象モジュール: SCI4 および MSTPCRB.MSTPB27 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
28	PPARB28	シリアルコミュニケーションインタフェース 3 プリビレッジ属性 対象モジュール: SCI3 および MSTPCRB.MSTPB28 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
29	PPARB29	シリアルコミュニケーションインタフェース 2 プリビレッジ属性 対象モジュール: SCI2 および MSTPCRB.MSTPB29 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
30	PPARB30	シリアルコミュニケーションインタフェース 1 プリビレッジ属性 対象モジュール: SCI1 および MSTPCRB.MSTPB30 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
31	PPARB31	シリアルコミュニケーションインタフェース 0 プリビレッジ属性 対象モジュール: SCI0 および MSTPCRB.MSTPB31 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

注. アクセスカテゴリ：S-TYPE-2、P-TYPE-1

PPARB レジスタは、各モジュールのプリビレッジ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

51.8.7 PPARC : 周辺モジュールプリビレッジ属性レジスタ C

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PPARC31	PPARC30	—	PPARC28	PPARC27	PPARC26	—	PPARC24	—	—	—	—	—	—	—	PPARC16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PPARC13	PPARC12	PPARC11	—	—	PPARC8	PPARC7	—	—	—	—	—	PPARC1	PPARC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PPARC0	クロック周波数精度測定回路プリビレッジ属性 対象モジュール: CAC および MSTPCRC.MSTPC0 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
1	PPARC1	巡回冗長検査演算器プリビレッジ属性 対象モジュール: CRC および MSTPCRC.MSTPC1 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
6:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	PPARC7	シリアルサウンドインタフェース拡張（チャネル 1）プリビレッジ属性 対象モジュール : SSIE1 および MSTPCRC.MSTPC7 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
8	PPARC8	シリアルサウンドインタフェース拡張（チャネル 0）プリビレッジ属性 対象モジュール : SSIE0 および MSTPCRC.MSTPC8 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
10:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	PPARC11	セキュアデジタルホスト IF 1 プリビレッジ属性 対象モジュール: SDHI1 および MSTPCRC.MSTPC11 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
12	PPARC12	セキュアデジタルホスト IF 0 プリビレッジ属性 対象モジュール: SDHI0 および MSTPCRC.MSTPC12 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
13	PPARC13	データ演算回路プリビレッジ属性 対象モジュール: DOC および MSTPCRC.MSTPC13 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
15:14	—	読むと 1 が読めます。書く場合、1 としてください。	
16	PPARC16	CEU プリビレッジ属性 対象モジュール : CEU および MSTPCRC.MSTPC16 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
23:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
24	PPARC24	パルス密度変調インタフェースプリビレッジ属性 対象モジュール : PDMIF および MSTPCRC.MSTPC24 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
25	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
26	PPARC26	Controller Area Network with Flexible Data-Rate 1 プリビレッジ属性 対象モジュール：CANFD1 および MSTPCRC.MSTPC26 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
27	PPARC27	Controller Area Network with Flexible Data-Rate 0 プリビレッジ属性 対象モジュール：CANFD0 および MSTPCRC.MSTPC27 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
28	PPARC28	Ether-PHY クロックプリビレッジ属性 対象モジュール：ETHPHYCLK および MSTPCRC.MSTPC28 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
30	PPARC30	レイヤ 3 イーサネットスイッチモジュールプリビレッジ属性 対象モジュール：ESWM および MSTPCRC.MSTPC30 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
31	PPARC31	RSIP-E50D プリビレッジ属性 対象モジュール：RSIP-E50D および MSTPCRC.MSTPC31 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

注. アクセスカテゴリ：S-TYPE-2、P-TYPE-1

PPARC レジスタは、各モジュールのプリビレッジ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

51.8.8 PPARD : 周辺モジュールプリビレッジ属性レジスタ D

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PPARD28	PPARD27	PPARD26	PPARD25	—	—	PPARD22	PPARD21	PPARD20	PPARD19	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	PPARD14	PPARD13	PPARD12	PPARD11	—	—	—	—	PPARD6	PPARD5	PPARD4	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
3:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	PPARD4	非同期汎用タイマ 1 プリビレッジ属性 対象モジュール: AGT1 および MSTPCRD.MSTPD4 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
5	PPARD5	非同期汎用タイマ 0 プリビレッジ属性 対象モジュール：AGT0 および MSTPCRD.MSTPD5 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
6	PPARD6	PWM 遅延生成回路プリビレッジ属性 対象モジュール：PDG および MSTPCRD.MSTPD6 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
10:7	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
11	PPARD11	GPT 用ポートアウトプットイネーブルグループ 3 プリビレッジ属性 対象モジュール：PGI3 および MSTPCRD.MSTPD11 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
12	PPARD12	GPT 用ポートアウトプットイネーブルグループ 2 プリビレッジ属性 対象モジュール：PGI2 および MSTPCRD.MSTPD12 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
13	PPARD13	GPT 用ポートアウトプットイネーブルグループ 1 プリビレッジ属性 対象モジュール：PGI1 および MSTPCRD.MSTPD13 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
14	PPARD14	GPT 用ポートアウトプットイネーブルグループ 0 プリビレッジ属性 対象モジュール：PGI0 および MSTPCRD.MSTPD14 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
18:15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
19	PPARD19	12 ビット D/A コンバータ 1 プリビレッジ属性 対象モジュール：DAC121 および MSTPCRD.MSTPD19 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
20	PPARD20	12 ビット D/A コンバータ 0 プリビレッジ属性 対象モジュール：DAC120 および MSTPCRD.MSTPD20 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
21	PPARD21	16 ビット A/D コンバータプリビレッジ属性 対象モジュール：ADC16H および MSTPCRD.MSTPD21 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
22	PPARD22	温度センサプリビレッジ属性 対象モジュール: TSN および MSTPCRD.MSTPD22 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
24:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
25	PPARD25	高速アナログコンパレータ 3 プリビレッジ属性 対象モジュール：ACMPHS3 および MSTPCRD.MSTPD25 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
26	PPARD26	高速アナログコンパレータ 2 プリビレッジ属性 対象モジュール：ACMPHS2 および MSTPCRD.MSTPD26 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
27	PPARD27	高速アナログコンパレータ 1 プリビレッジ属性 対象モジュール：ACMPHS1 および MSTPCRD.MSTPD27 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
28	PPARD28	高速アナログコンパレータ 0 プリビレッジ属性 対象モジュール: ACMPHS0 および MSTPCRD.MSTPD28 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
31:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. アクセスカテゴリ：S-TYPE-2、P-TYPE-1

PPARD レジスタは、各モジュールのプリビレッジ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

51.8.9 PPARE : 周辺モジュールプリビレッジ属性レジスタ E

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PPARE31	PPARE30	PPARE29	PPARE28	PPARE27	—	—	—	—	—	PPARE21	PPARE20	PPARE19	PPARE18	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PPARE15	—	—	—	—	—	PPARE9	PPARE8	—	—	—	—	PPARE3	PPARE2	PPARE1	PPARE0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PPARE0	WDT1 プリビレッジ属性 対象モジュール : WDT1 0: プリビレッジ 1: アンプリビレッジ	R/W
1	PPARE1	WDT0 プリビレッジ属性 対象モジュール : WDT0 0: プリビレッジ 1: アンプリビレッジ	R/W
2	PPARE2	IWDT プリビレッジ属性 対象モジュール : IWDT 0: プリビレッジ 1: アンプリビレッジ	R/W
3	PPARE3	リアルタイムクロックプリビレッジ属性 対象モジュール : RTC 0: プリビレッジ 1: アンプリビレッジ	R/W
7:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	PPARE8	ULPT1 プリビレッジ属性 対象モジュール : ULPT1 および MSTPCRE.MSTPE8 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
9	PPARE9	ULPT0 プリビレッジ属性 対象モジュール : ULPT0 および MSTPCRE.MSTPE9 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
14:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
15	PPARE15	GPT 共通プリビレッジ属性 対象モジュール: GPT GTCLKCR レジスタ 0: プリビレッジ 1: アンプリビレッジ	R/W
17:16	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	PPARE18	汎用 PWM タイマチャネル 13 プリビレッジ属性 対象モジュール: GPT13 および MSTPCRE.MSTPE18 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
19	PPARE19	汎用 PWM タイマチャネル 12 プリビレッジ属性 対象モジュール: GPT12 および MSTPCRE.MSTPE19 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

ビット	シンボル	機能	R/W
20	PPARE20	汎用 PWM タイマチャネル 11 プリビレッジ属性 対象モジュール: GPT11 および MSTPCRE.MSTPE20 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
21	PPARE21	汎用 PWM タイマチャネル 10 プリビレッジ属性 対象モジュール: GPT10 および MSTPCRE.MSTPE21 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
26:22	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	PPARE27	汎用 PWM タイマチャネル 4 プリビレッジ属性 対象モジュール: GPT4 および MSTPCRE.MSTPE27 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
28	PPARE28	汎用 PWM タイマチャネル 3 プリビレッジ属性 対象モジュール: GPT3 および MSTPCRE.MSTPE28 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
29	PPARE29	汎用 PWM タイマチャネル 2 プリビレッジ属性 対象モジュール: GPT2 および MSTPCRE.MSTPE29 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
30	PPARE30	汎用 PWM タイマチャネル 1 プリビレッジ属性 対象モジュール: GPT1 および MSTPCRE.MSTPE30 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
31	PPARE31	汎用 PWM タイマチャネル 0 プリビレッジ属性 対象モジュール: GPT0 および MSTPCRE.MSTPE31 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

注. アクセスカテゴリ：S-TYPE-2、P-TYPE-1

PPARE レジスタは、各モジュールのプリビレッジ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

51.8.10 MSPAR : モジュールストッププリビレッジ属性レジスタ

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSPAR31	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
30:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31	MSPAR31	ELC クロックストッププリビレッジ属性 対象モジュール: MSTPCRC.MSTPC14 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

注. アクセスカテゴリ：S-TYPE-2、P-TYPE-1

MSPAR レジスタは、モジュールストップコントロールレジスタの対応ビットのプリビレッジ属性を指定します。

51.8.11 CMSAMON : コード MRAM セキュリティ属性モニタレジスタ

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x30

Bit position:	31								23								15								0
Bit field:	—	—	—	—	—	—	—	—	CMS[8:0]								—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。	R
23:15	CMS[8:0]	コード MRAM セキュア領域 コード MRAM のセキュア領域のエリアを示します。	R
31:24	—	読むと 0 が読めます。	R

注. アクセスカテゴリ：S-TYPE-5、P-TYPE-5
注 1. ブランク品の値は 0x1FF です。ユーザーがプログラムした値になります。

51.8.12 SFSAMON : SiP フラッシュセキュリティ属性モニタレジスタ

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x3C

Bit position:	31								23								15								0
Bit field:	—	—	—	—	—	—	—	—	SFS[8:0]								—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。	R
23:15	SFS[8:0]	SiP フラッシュセキュア領域 SiP フラッシュのセキュア領域のエリアを示します。	R
31:24	—	読むと 0 が読めます。	R

注. アクセスカテゴリ：S-TYPE-5、P-TYPE-5
注 1. ブランク品の値は 0x1FF です。ユーザーがプログラムした値になります。

51.8.13 DLMMON : デバイスライフサイクル管理状態モニタレジスタ

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	DLMMON[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	(注1)	(注1)	(注1)	(注1)

ビット	シンボル	機能	R/W
3:0	DLMMON[3:0]	デバイスライフサイクル管理状態モニタ DLM ステータス値を示します。 0x4: OEM 0x6: LCK_BOOT 0x7: RMA_REQ 0x8: RMA_ACK 0x9: RMA_RET その他: 予約	R
31:4	—	読むと 0 が読めます。	R

注. アクセスカテゴリ：S-TYPE-5、P-TYPE-5
注 1. ブランク品の値は 0100b です。これらのビットの値は DLM のステータスにより異なります。

51.8.14 MSAOAD : マスタセキュリティ属性検出後動作レジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1010

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: IRQ 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットの書き込みを許可または禁止します。	W

注. アクセスカテゴリ：S-TYPE-6、P-TYPE-2

OAD ビット（検出後の動作）

OAD ビットはアクセス違反が検出された時の動作を指定します。OAD = 0 の場合はバスマスタにエラー応答が返され、BUSIRQEN ＜マスタ名＞.EN ビットが 1 の場合は IRQ 要求が発生します。NMIER.BUSEN ビットが 1 の場合は、バスエラーによって発生する割り込みも NMI として使用できます。OAD = 1 の場合、リセット要求が発生します。OAD ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0] ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。この値を KEY[7:0]ビットに書き込まないと、OAD ビットは更新されません。

51.8.15 MSAPT : マスタセキュリティ属性保護レジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MSAOAD レジスタの書き込みは可能 1: MSAOAD レジスタの書き込み保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットの書き込みを許可または禁止します。	W

注. アクセスカテゴリ：S-TYPE-6、P-TYPE-2

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MSAPT.PROTECT は MSAOAD レジスタを制御します。

同時に PROTECT ビットを設定する際は、ハーフワードアクセスによって KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0] ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。この値を KEY[7:0]ビットに書き込まないと、PROTECT ビットは更新されません。

51.9 使用上の注意事項

51.9.1 セキュリティビットまたはプリビレッジビットの書き込みタイミング

セキュリティビットまたはプリビレッジ属性ビットを書き込むときは、書き込み値に合致するまでセキュリティまたはプリビレッジレジスタを読み出すことで、書き込みが完了していることを確認します。セキュリティまたはプリビレッジレジスタへの書き込みが完了するまで保護は有効になりません。

52. Renesas セキュア IP (RSIP-E50D)

52.1 概要

本セキュリティエンジンは、アクセスマネジメント回路、ストレージ領域、暗号／復号回路、および乱数生成回路からなる隔離されたサブシステムで構成されます。セキュリティエンジンは、RSIP ライブラリを組み合わせることで、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」を実現できます。

また、暗号と復号の処理に用いる鍵情報はセキュリティエンジン内のみに格納し、外部からの全アクセスを遮断可能なため、セキュリティエンジンによって、より強固なセキュリティシステムを実現できます。

表 52.1 にセキュリティエンジンの仕様を示します。図 52.1 にセキュリティエンジンのブロック図を示します。

表 52.1 セキュリティエンジンの仕様 (1/2)

項目	仕様
アクセス制御	アクセスマネジメント回路 ● 改ざんされたプログラムや CPU の暴走のためにセキュリティエンジンへの異常なアクセスが発生した場合、この回路は以降のすべてのアクセスをブロックし、セキュリティエンジンからのデータ出力を停止します。割り込み RSIP_TADI を生成します。
対称暗号	AES: NIST FIPS PUB 197 に準拠 ● 鍵長：128 ビット、192 ビット、または 256 ビット ● データブロックサイズ：128 ビット ● AES は以下のブロック暗号モードをサポートしています。 – ECB, CBC, CTR: NIST SP 800-38A に準拠 – CCM: NIST SP 800-38C に準拠 – GCM: NIST SP 800-38D に準拠 – XTS: IEEE 1619-2007 に準拠 ● AES は以下の認証アルゴリズムをサポートしています。 – CMAC: NIST SP 800-38B に準拠 – GMAC: NIST SP 800-38D に準拠 ChaCha20-Poly1305: RFC7539 に準拠 ● 鍵長：256 ビット ● ブロックサイズ：512 ビット ● 以下のアルゴリズムをサポート： – ChaCha20 – ChaCha20-Poly1305
乱数生成	128 ビット真性乱数生成回路
非対称暗号	RSA ● 演算可能ビットの最大数：4224 ビット ● 以下の鍵サイズをサポート：1024 ビット、2048 ビット、3072 ビット、および 4096 ビット ● 署名の生成、署名の検証、公開鍵の暗号化、秘密鍵の復号化 ECC ● 演算可能ビットの最大数：576 ビット ● 曲線のサポート – NIST P-192、P-224、P-256、P-384、および P-521 – Brain pool P256r1、P384r1、および P512r1 – Ed25519 – secp256k1 ● 署名の生成、署名の検証、鍵の生成

表 52.1 セキュリティエンジンの仕様 (2/2)

項目	仕様
メッセージダイジェスト計算	HASH ● ブロックサイズ：512 ビット (SHA-224, SHA-256) 1024 ビット (SHA-512/224, SHA-512/256, SHA-384, SHA-512) 1152 ビット (SHA3-224)、1088 ビット (SHA3-256)、832 ビット (SHA3-384)、576 ビット (SHA3-512)、1344 ビット (SHAKE128)、1088 ビット (SHAKE256) ● 鍵サイズ：512 ビット以下 ● HASH は以下のセキュアハッシュアルゴリズムをサポートしています。 – SHA-224、SHA-256、SHA-512/224、SHA-512/256、SHA-384、および SHA-512：FIPS PUB 180-4 に準拠 – SHA3-224、SHA3-256、SHA3-384、SHA3-512、SHAKE128、および SHAKE256：FIPS PUB 202 準拠 ● HASH は以下のメッセージ認証アルゴリズムをサポートしています。 – HMAC：FIPS PUB 198 準拠
ハードウェアユニーク鍵	● 読み出し専用の 256 ビットハードウェアユニーク鍵 (HUK) は、セキュリティエンジンアクセスマネジメント回路から専用バスを経由して排他的にアクセスできます。 ● 鍵導出関数 (KDFs) は、ハードウェアユニーク鍵と鍵生成情報を組み合わせます。導出した鍵は、ユーザー鍵セキュアストレージ用に鍵ラッピングを実行します。 ● HUK の一意性は、本 MCU グループの別の個体への鍵の不正なクローン作成と不正なコピーを防止します。 ● HUK 自体は、ラッピングされた（暗号化され平文でない）フォーマット、隔離されたメモリ領域に格納されます。そのため、不正なアクセスやコピーから保護されます。
アプリケーション鍵の管理	● ラップした鍵は、セキュリティエンジンの内部でのみ有効
ユニーク ID	● 読み出し専用、128 ビットの MCU 個体固有 ID（ユニーク ID）をアクセスマネジメント回路からアクセス可能 ● 鍵導出関数 (KDFs) は、ユニーク ID と鍵生成情報を組み合わせます。このように導出された鍵は、セキュリティエンジン境界内部で HUK をアンラップするのに使用します。
OEM ブートローダーバージョン	● セキュリティエンジンは、ファームウェア更新の検証成功後、現在の OEM ブートローダーバージョン (OEM BL Ver.) を出力します。 ● MRAM シーケンサは、セキュリティエンジンを使用して検証できる OEM ブートローダーバージョンを使用してアンチロールバックカウンタ保護をサポートしています。
オンザフライでの復号処理	セキュリティエンジンは専用バスを経由して、オンザフライでの復号処理 IP (DOTF) の鍵データを出力します。鍵は DOTF0 と DOTF1 に対して個別に設定できます。
改ざん防止	SPA/DPA およびタイミング攻撃を含む、サイドチャネル攻撃に対する対策が使用可能
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

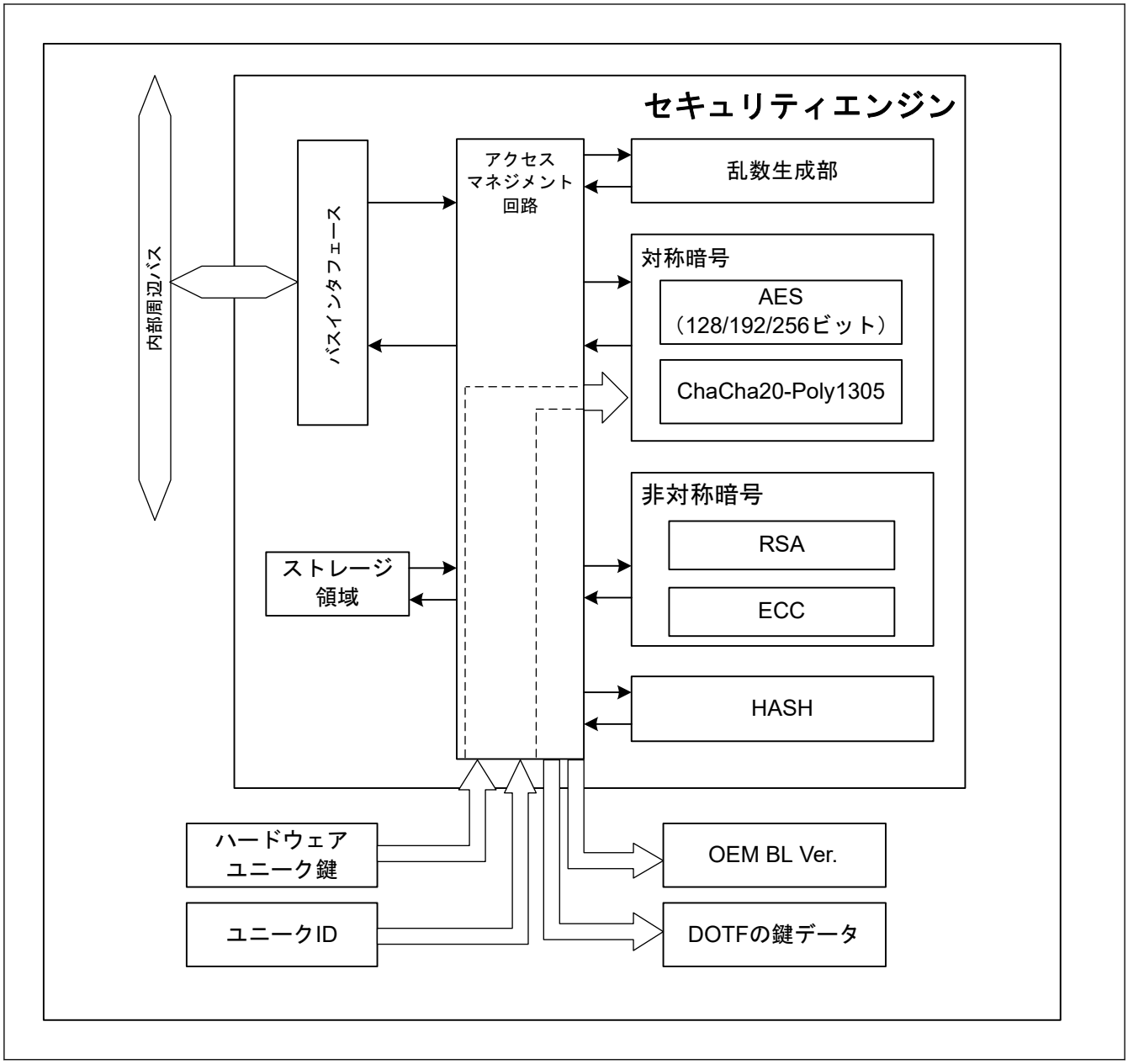


図 52.1　セキュリティエンジンのブロック図

52.2　動作説明

52.2.1　対称暗号

図 52.2 に、セキュリティエンジンに実装されている対称暗号の概念図を示します。

対称暗号は入力鍵情報を使用し、ハードウェアで平文を暗号文に、または暗号文を平文に変換します。

暗号／復号処理は、は、その処理のキーデータや中間データをセキュリティエンジンの外部に公開することなく完了できます。この処理は、セキュリティエンジンの暗号／復号回路とストレージ領域によって内部的に実行されます。

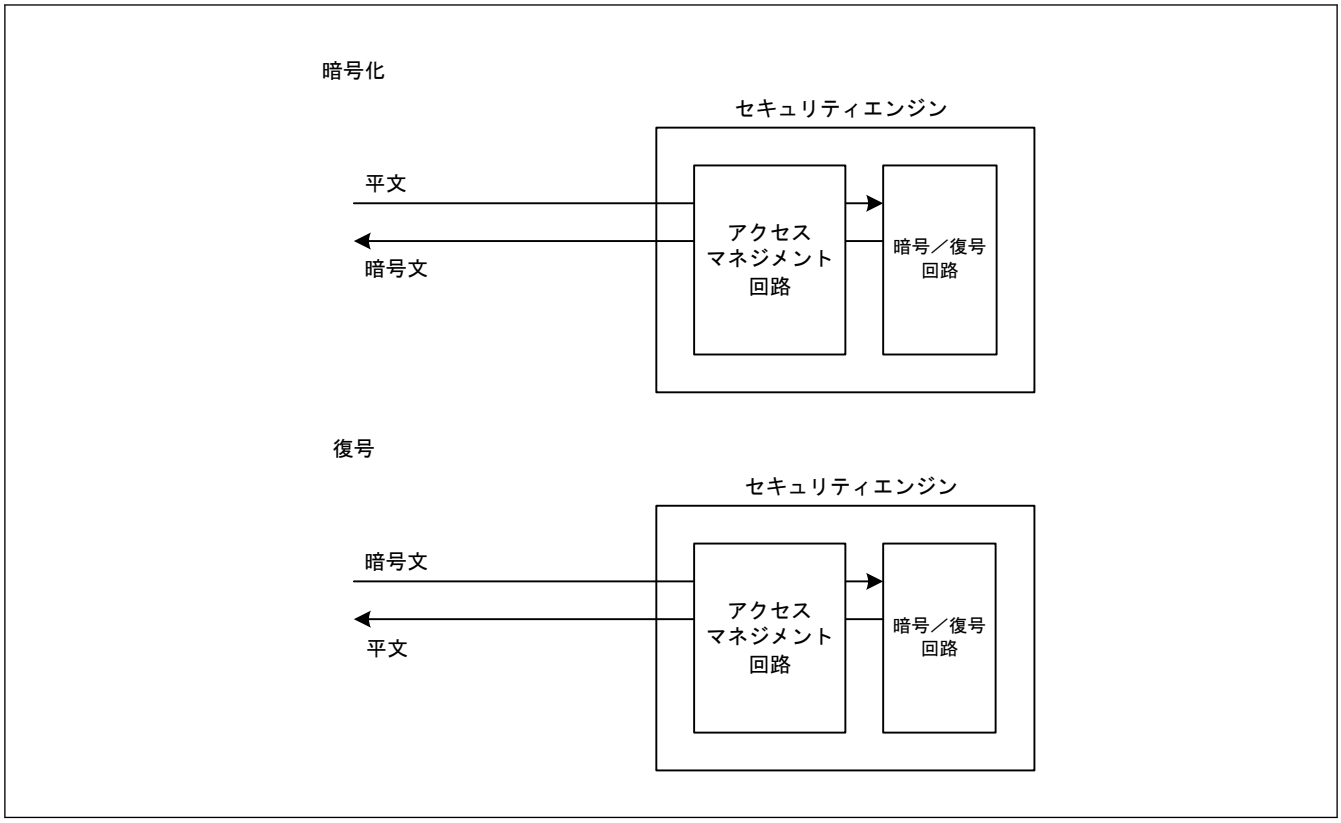


図 52.2　対称暗号の概念図

52.2.2　非対称暗号

図 52.3 にセキュリティエンジンに組み込まれた非対称暗号の概念図を示します。

非対称暗号は入力鍵情報を使用し、平文を暗号文に、または暗号文を平文に変換し、署名を生成および検証します。

鍵データや暗号／復号処理の中間データがセキュリティエンジンの外部に漏出することなく、暗号／復号処理または署名の生成および検証を完了することができます。暗号／復号処理または署名の生成および検証は、セキュリティエンジンの内部の暗号回路とストレージ領域で行われます。

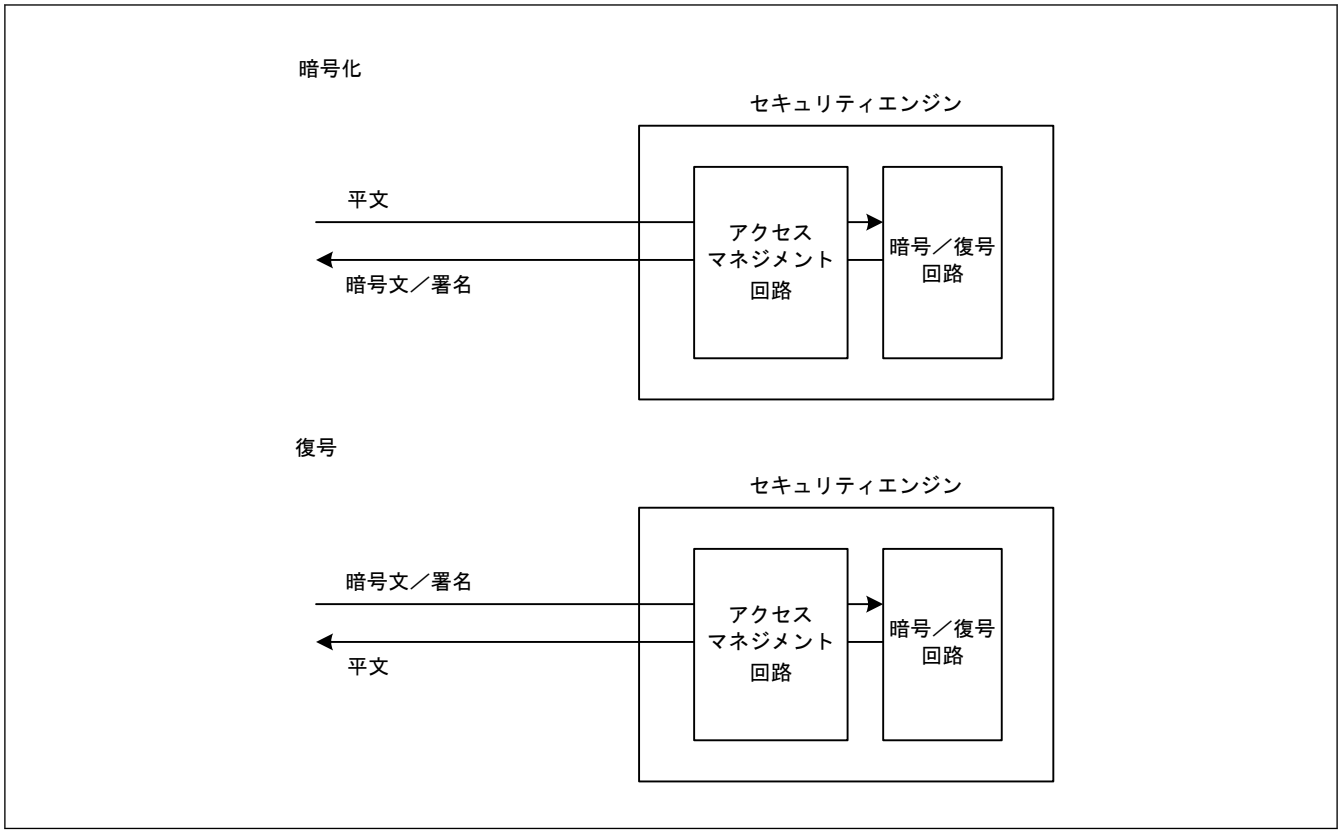


図 52.3　非対称暗号の概念図

52.2.3　ハッシュ生成部

図 52.4 にセキュリティエンジンに組み込まれたハッシュ生成部の概念図を示します。

ハッシュ生成部は入力鍵情報を使用し（ハッシュの計算に必要な場合）、メッセージダイジェストまたはタグを生成します。

計算処理は、その処理のキーデータや中間データをセキュリティエンジンの外部に公開することなく完了できます。この処理は、セキュリティエンジンのハッシュ回路とストレージ領域によって内部的に実行されます。

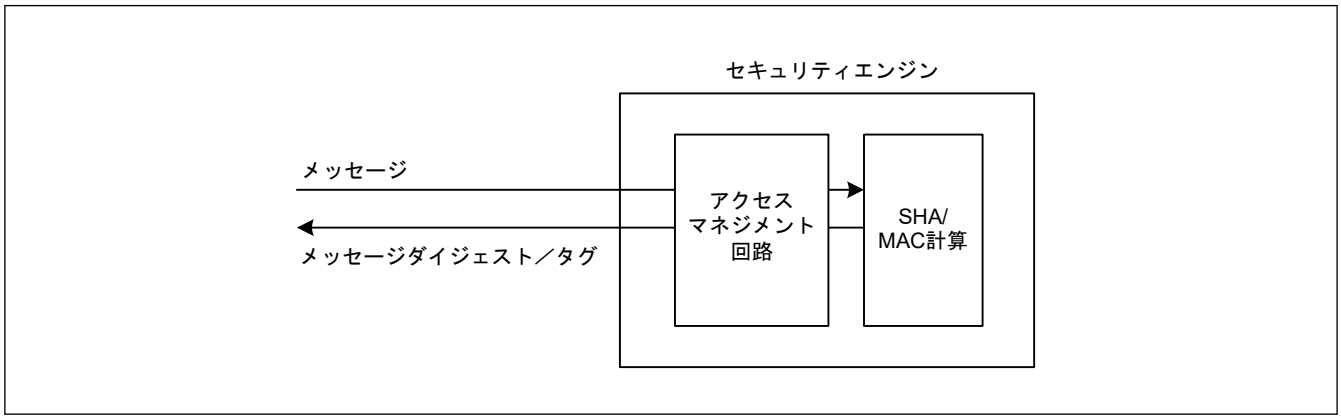


図 52.4　ハッシュ生成部の概念図

52.2.4　暗号／復号処理

暗号／復号処理は、以下の手順で行います。

1. セキュリティエンジンに鍵情報を入力します。
2. セキュリティエンジンに処理対象のデータを入力します。平文は暗号文に、暗号文は平文に変換されます。
3. 変換されたデータを読み出します。

暗号／復号回路は入力バッファと出力バッファを持っており、データの入出力と並行して暗号／復号処理を行うことができます。図 52.5 に暗号エンジンの処理タイミングを示します。

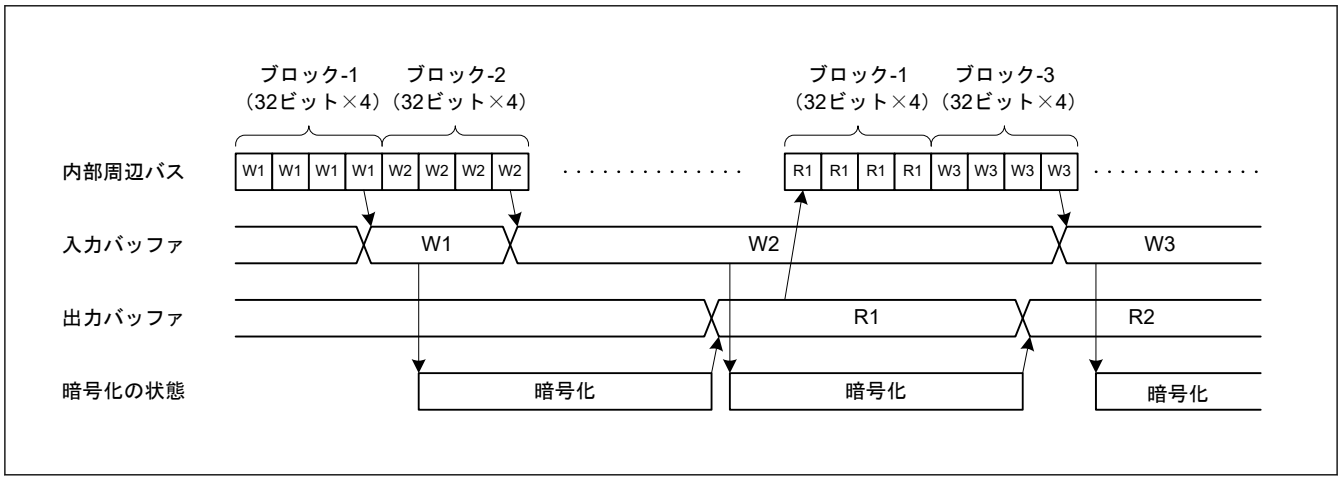


図 52.5　暗号／復号処理タイミング (AES)

52.3　使用上の注意事項

52.3.1　ソフトウェアスタンバイモード

セキュリティエンジンが処理を実行している途中にソフトウェアスタンバイモードに遷移した場合、ソフトウェアスタンバイモード解除後に適正な処理を再開できません。そのため、ソフトウェアスタンバイモードへの遷移は、セキュリティエンジンが動作していない状態で行ってください。

52.3.2　モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、セキュリティエンジンの動作を無効または有効にすることができます。リセット後の初期状態で、セキュリティエンジンモジュールは停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

52.3.3　SPA/DPA 保護

SPA/DPA 保護は暗号／復号処理を選択的に許可することができます。

52.3.4　開放処理に関する制限事項

セキュリティエンジンの API の開放処理 (R_RSIP_Open) を実行している間は、次の制限が適用されます。

- CPUCLK0 周波数と ICLK 周波数が同じである必要があります。

53. 16 ビット A/D コンバータ (ADC16H)

これは ADC16H 周辺モジュールの ADC_B バージョンです。本章では ADC_B を ADC16H と呼びます。

53.1 概要

この MCU は、ノイズシェーピング SAR 型の A/D コンバータ (ADC16H) を 2 ユニット内蔵しています。この A/D コンバータは SAR 型とデルタ-シグマ変調型の特長を有するハイブリッドアーキテクチャです。A/D コンバータユニット 0 (ADC0) は最大 15 チャネルのアナログ入力を選択できます。A/D コンバータユニット 1 (ADC1) は最大 15 チャネルのアナログ入力を選択できます。温度センサ、内部基準電圧、VBATT 1/6 電圧監視出力、および D/A コンバータは、A/D コンバータユニット 0 またはユニット 1 によって A/D 変換できます。A/D 変換データは、16 ビット、14 ビット、12 ビット、および 10 ビット長データフォーマットから選択可能です。

ADC16H には以下の特長があります。

- 分解能：最大 16 ビット
- 高速変換：最大 6.25 Msps（1 チャネル当たり 0.16 µs）（A/D 変換クロック ADCLK = 50 MHz の場合）
- 入力チャネル：最大 23 本のアナログ入力チャネル
- シングルエンド入力または差動入力をサポート
- 自己校正機能
- チャネル専用サンプル&ホールド回路 (S&H) 内蔵

表 53.1 に ADC16H の仕様を、表 53.2 に ADC16H の機能と ADC16H の動作モードの対応関係を、表 53.3 に ADC16H の入出力端子を示します。

図 53.1 に ADC16H のブロック図を示します。図 53.2 に A/D コンバータユニット 0 のアナログチャネル構造を示します。図 53.3 に A/D コンバータユニット 1 のアナログチャネル構造を示します。

表 53.5 に拡張アナログ機能の ADC16H チャネル構成を示します。

表 53.1 ADC16H の仕様 (1/3)

項目	説明
ユニット数	2 ユニット（ユニット 0 およびユニット 1）
入力チャネル	• シングルエンド入力または差動入力をサポート • 最大 23 本のアナログ入力チャネル – A/D コンバータユニット 0：シングルエンド入力では最大 15 本のアナログ入力チャネル、差動入力では最大 6 本（3 対）のアナログ入力チャネル – A/D コンバータユニット 1：シングルエンド入力では最大 15 本のアナログ入力チャネル、差動入力では最大 6 本（3 対）のアナログ入力チャネル – 7 本のアナログ入力チャネルは A/D コンバータユニット 0 とユニット 1 で共用
拡張アナログ機能	自己診断機能、温度センサ、内部基準電圧、D/A コンバータ (DA0, DA1)、VBATT 1/6 電圧監視出力
A/D 変換方式	• 逐次変換レジスタ方式（SAR モード） • ノイズシェーピング逐次変換レジスタ方式（オーバーサンプリングモード、ハイブリッドモード）
A/D コンバータの分解能	• 最大 12 ビット（SAR モード） • 最大 16 ビット（オーバーサンプリングモード、ハイブリッドモード）
変換時間	1 チャネル当たり 0.16 µs（A/D 変換クロック ADCLK = 50 MHz の場合）
A/D 変換クロック	A/D 変換クロック (ADCLK) を設定するには、クロックソースと分周比を以下から選択 • クロックソース：ADC クロック ADCCLK(注1)、周辺モジュールクロック PCLKA(注1)、GPT クロック GPTCLK(注1) • 分周比：1/2/3/4/5 A/D 変換クロック (ADCLK) は、最低 25 MHz から最高 60 MHz の間で動作可能
A/D 変換データ	• A/D 変換結果は、データレジスタまたは FIFO に格納 • A/D 変換結果は、16 ビット、14 ビット、12 ビット、および 10 ビットのデータフォーマットで提供

表 53.1 ADC16H の仕様 (2/3)

<table>
<tr><th>項目</th><th>説明</th></tr>
<tr><td>動作モード</td><td>
● SAR モード
– A/D コンバータは信号源を 1 度だけサンプリングし、逐次変換レジスタ方式により変換
– 高速 A/D 変換
– 1 つのスキャングループにつき、最大 8 チャネルまでサポート
– シングルエンド入力および差動入力をサポート
● オーバーサンプリングモード
– A/D コンバータは信号源をオーバーサンプリングし、ノイズシェーピング逐次変換レジスタ方式により A/D 変換
– 高精度 A/D 変換
– 1 つのスキャングループにつき、最大 8 チャネルまでサポート
– シングルエンド入力および差動入力をサポート
● ハイブリッドモード
– A/D コンバータは信号源をオーバーサンプリングし、ノイズシェーピング逐次変換レジスタ方式により A/D 変換
– 高精度 A/D 変換
– 連続スキャン動作で高データレート
– 1 つのスキャングループにつき、最大 4 チャネルまでサポート
– シングルエンド入力および差動入力をサポート
</td></tr>
<tr><td>スキャンモード</td><td>
● シングルスキャンモード
– 任意に選択されたアナログ入力または拡張アナログ機能のアナログチャネルを任意のスキャングループに割り当て、選択されたアナログ入力を 1 つのスキャングループにつき 1 度だけ A/D 変換
– スキャン開始条件をスキャングループごとに別々に選択することで、各スキャングループの A/D 変換を異なるタイミングで開始可能
● 連続スキャンモード
– 任意に選択されたアナログ入力または拡張アナログ機能のアナログチャネルを任意のスキャングループに割り当て、スキャングループ単位で A/D 変換を繰り返す
● バックグラウンド連続スキャンモード
– 任意に選択されたアナログ入力または拡張アナログ機能のアナログチャネルを任意のスキャングループに割り当て、スキャングループ単位で A/D 変換を繰り返す
– バックグラウンドで A/D 変換が実行され、A/D 変換開始トリガが入力されると、その時点の A/D 変換データが得られる
● 1 チャネル連続スキャンモード
– 単一アナログ入力または拡張アナログ機能のアナログチャネルの A/D 変換繰り返し
– A/D 変換開始トリガが入力された場合に、変換するチャネルを切り替えることができます。
– この変換モードは、外部要因に従って A/D 変換チャネルに対する変更が必要になる使用例に適しています。
● 固定チャネル連続スキャンモード
– 決まった数の固定チャネルを先にスキャンしてから、スキャングループに割り当てられている非固定チャネルを順次スキャンします。そして、これらの動作を繰り返します。
– A/D 変換周波数と A/D の調整が可能になることで、通常のハイブリッドモードよりも多くのチャネルが変換されます。
</td></tr>
<tr><td>動作モードとスキャンモードの組み合わせ</td><td>
<table>
<tr><th rowspan="2">スキャンモード</th><th colspan="3">A/D コンバータの動作モード</th></tr>
<tr><th>SAR モード</th><th>オーバーサンプリングモード</th><th>ハイブリッドモード</th></tr>
<tr><td>シングルスキャンモード</td><td>✓</td><td>✓</td><td>✓</td></tr>
<tr><td>連続スキャンモード</td><td>✓</td><td>✓</td><td>✓</td></tr>
<tr><td>バックグラウンド連続スキャンモード</td><td>—</td><td>—</td><td>✓</td></tr>
<tr><td>1 チャネル連続スキャンモード</td><td>—</td><td>✓</td><td>—</td></tr>
<tr><td>固定チャネル連続スキャンモード</td><td>—</td><td>—</td><td>✓</td></tr>
</table>
注. ✓：使用可能、—：使用不可
</td></tr>
<tr><td>A/D 変換開始条件</td><td>
● ソフトウェアトリガ（スキャングループの同時起動用：最大 9 トリガ）
● ソフトウェアトリガ（各スキャングループの起動用：最大 9 トリガ）
● イベントリンクコントローラからのトリガ：6 トリガ
● GPT からのトリガ：28 トリガ
● 外部トリガ入力：2 トリガ（ADTRGn 入力 (n = 0, 1)）
</td></tr>
</table>

表 53.1 ADC16H の仕様 (3/3)

項目	説明
機能	• 仮想チャネル機能（33 本の仮想チャネル） • スキャングループ機能（最大 9 スキャングループ） • 可変サンプリング時間（1 本の仮想チャネルごとに 16 テーブルから選択） • チャネル専用サンプル&ホールド回路 (SH)（A/D コンバータユニット 0 には SH ユニットが 3 つ、A/D コンバータユニット 1 には SH ユニットが 3 つ） • A/D コンバータの自己診断機能 • A/D 変換値加算モードと平均モードが選択可能 • アナログ入力断線検出アシスト機能（ディスチャージ機能およびプリチャージ機能） • データフォーマットを 16 ビット、14 ビット、12 ビット、10 ビットから選択可能 • 符号付きと符号なしのデータフォーマットを選択可能 • リミッタークリップ機能（8 テーブルまで） • コンペアマッチ機能（8 テーブルまで） • 自己校正機能 • ユーザーゲイン調整機能 • ユーザーオフセット調整機能 • FIFO 内蔵（1 つのスキャングループにつき 8 ステージ） • 内蔵デジタルフィルタ（オーバーサンプリングモードとハイブリッドモードのみをサポート） • 複数の A/D コンバータのユニット間同期動作機能
割り込み要因	• A/D スキャン終了割り込み – スキャングループ i (ADC_ADIi (i = 0～8)) に対する A/D スキャン動作の終了時に割り込み要求と ELC イベントを生成。割り込み要求は各スキャングループで独立。 • FIFO データ読み出し要求割り込み – スキャングループ i の FIFO の空のステージ数が指定値以下になった場合、割り込み要求を生成 (ADC_FIFOREQi (i = 0～8))。割り込み要求は各スキャングループで独立。 • FIFO データオーバーフロー割り込み – スキャングループ 0～8 の FIFO のいずれかでオーバーフローが発生した場合、割り込み要求を生成 (ADC_FIFOOVF)。 • リミッタークリップ割り込み – A/D 変換結果に対し、リミッターテーブル 0～7 を使用するリミッタークリップが発生した場合、割り込み要求を生成 (ADC_LIMCLPI) • コンペアマッチ割り込み – A/D 変換結果に対し、コンペアマッチテーブル j を使用するコンペアマッチが発生した場合、割り込み要求を生成 (ADC_CMPIj (j = 0～3))。割り込み要求は各コンペアマッチテーブルで独立。 • 複合コンペアマッチ割り込み – コンペアマッチテーブル 0～7 を使用した複合条件のコンペアマッチが発生した場合、割り込み要求と ELC イベントを生成 (ADC_CCMPMm (m = 0, 1), ADC_CCMPUMm (m = 0, 1))。 • A/D コンバータエラー割り込み – A/D コンバータユニット j で動作エラーが検出された場合、割り込み要求を生成 (ADC_ERRj (j = 0, 1)) • A/D 変換オーバーフロー割り込み – A/D 変換結果オーバーフローが発生した場合、割り込み要求を生成 (ADC_RESOVFj (j = 0, 1))。割り込み要求は A/D コンバータユニット j ごとに独立。 • A/D コンバータ校正終了割り込み – A/D コンバータユニット j の校正動作終了時、割り込み要求を生成 (ADC_CALENDj (j = 0, 1))
ELC インタフェース	• トリガ入力 – ELC からのトリガでスキャン開始可能 • イベント発生 – スキャングループ 0～8 に対する各スキャン動作の終了時にイベントを発生 – 複合コンペアマッチの発生時にイベントを発生
基準電圧	• ユニット 0: – VREFH0 はアナログ基準電圧 – VREFL0 はアナログ基準グランド • ユニット 1: – VREFH はアナログ基準電圧 – VREFL はアナログ基準グランド
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減(注2)

注 1. 詳細は、「9. クロック発生回路」を参照してください。
注 2. 詳細は、「11. 低消費電力モード」を参照してください。

表 53.2　ADC16H の機能と ADC16H の動作モードの対応関係

機能		SAR モード		オーバーサンプリングモード			ハイブリッドモード			
		シングルスキャンモード	連続スキャンモード	シングルスキャンモード	連続スキャンモード	1 チャネル連続スキャンモード	シングルスキャンモード	連続スキャンモード	バックグラウンド連続スキャンモード	固定チャネル連続スキャンモード
アナログ入力	シングルエンド入力	✓	✓	✓	✓	—	✓	✓	✓	—
	差動入力	✓	✓	✓	✓	✓	✓	✓	✓	✓
	チャネル専用サンプル＆ホールド回路	✓	—	—	—	—	✓	✓	✓	✓(注3)
診断機能／拡張アナログ機能	断線検出アシスト機能	✓	✓	✓	✓	✓	✓	✓	—	—
	自己診断	✓	✓	✓	—	—	✓	—	—	—
	チャネル専用サンプル＆ホールド回路の断線検出アシスト機能	✓	—	—	—	—	—	—	—	—
	チャネル専用サンプル＆ホールド回路の自己診断機能	✓	—	—	—	—	—	—	—	—
	内部基準電圧	✓	✓	✓	✓	✓	✓	✓	✓	✓
	VBATT 1/6 電圧監視出力	✓	✓	✓	✓	✓	✓	✓	✓	✓
	温度センサ	✓	✓	✓	✓	✓	✓	✓	✓	✓
	D/A コンバータ (DA0, DA1)	✓	✓	✓	✓	✓	✓	✓	✓	✓
スキャン動作	グループ優先動作	✓(注2)	✓(注2)	—	—	—	—	—	—	—
	複合 A/D コンバータ同期動作	✓	✓	✓	✓	✓	✓	✓	✓	✓
デジタル演算	デジタルフィルタ機能	—	—	✓(注1)	✓(注1)	✓(注1)	✓(注1)	✓(注1)	✓(注1)	✓(注1)
	ユーザーゲイン／オフセット調整機能	✓	✓	✓	✓	✓	✓	✓	✓	✓
	加算／平均機能	✓	✓	✓	✓	✓	✓	✓	✓	—
	リミッタークリップ機能	✓	✓	✓	✓	✓	✓	✓	✓	✓
	コンペアマッチ機能	✓	✓	✓	✓	✓	✓	✓	✓	✓
FIFO 機能		✓	✓	✓	✓	✓	✓	✓	✓	✓

注 1.　オーバーサンプリングモードおよびハイブリッドモードの場合、デジタルフィルタ機能を使用する必要があります。
注 2.　グループ優先動作中にチャネル専用サンプル＆ホールド回路を使用する場合、優先順位が最も上のスキャングループに対してのみ使用できます。
注 3.　固定チャネルの数が 3 チャネルに設定されているときは固定チャネルのみがサポートされ、すべての固定チャネルがチャネル専用サンプル＆ホールド回路に設定されます。固定チャネル以外では、チャネル専用サンプル＆ホールド回路を使用できません。

表 53.3　ADC16H の入出力端子 (1/2)

端子名	入出力	機能
AVCC0	入力	ユニット 0 とユニット 1 のアナログ部の電源端子
AVSS0	入力	ユニット 0 とユニット 1 のアナログ部の電源グランド端子

表 53.3 ADC16H の入出力端子 (2/2)

端子名	入出力	機能
VREFH0	入力	ユニット 0 のアナログ基準電圧源端子
VREFL0	入力	ユニット 0 のアナログ基準グランド端子
VREFH	入力	ユニット 1 のアナログ基準電圧源端子
VREFL	入力	ユニット 1 のアナログ基準グランド端子
AN000～AN022	入力	アナログ入力端子
SHIN0P～SHIN2P、 SHIN4P～SHIN6P	入力	チャネル専用サンプル＆ホールド回路用アナログ入力端子 ● シングルエンド入力：信号源へ接続 ● 差動入力：差動入力に対する非反転入力 (+) 端子として機能
SHIN0N～SHIN2N、 SHIN4N～SHIN6N	入力	チャネル専用サンプル＆ホールド回路用アナログ入力端子 ● シングルエンド入力：信号源へ接続 ● 差動入力：差動入力に対する反転入力 (-) 端子として機能
ADTRG0, ADTRG1	入力	A/D 変換開始用外部トリガ入力端子、アクティブ Low
ADST0, ADST1	出力	A/D 変換開始
AD0FLAG1, AD1FLAG1	出力	A/D 変換終了
ADSYNC	出力	ユニット間の同期信号

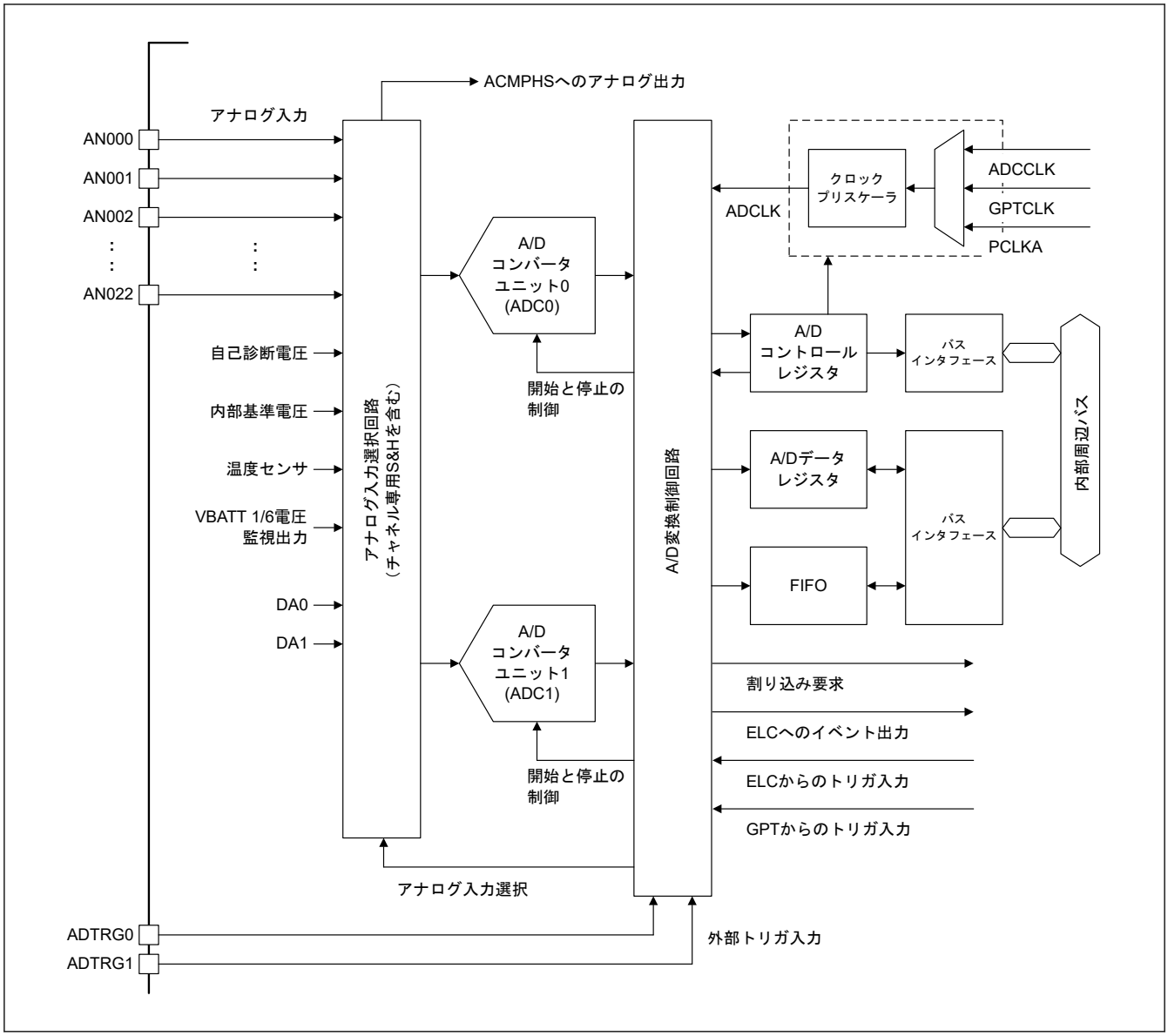


図 53.1　ADC16H ブロック図

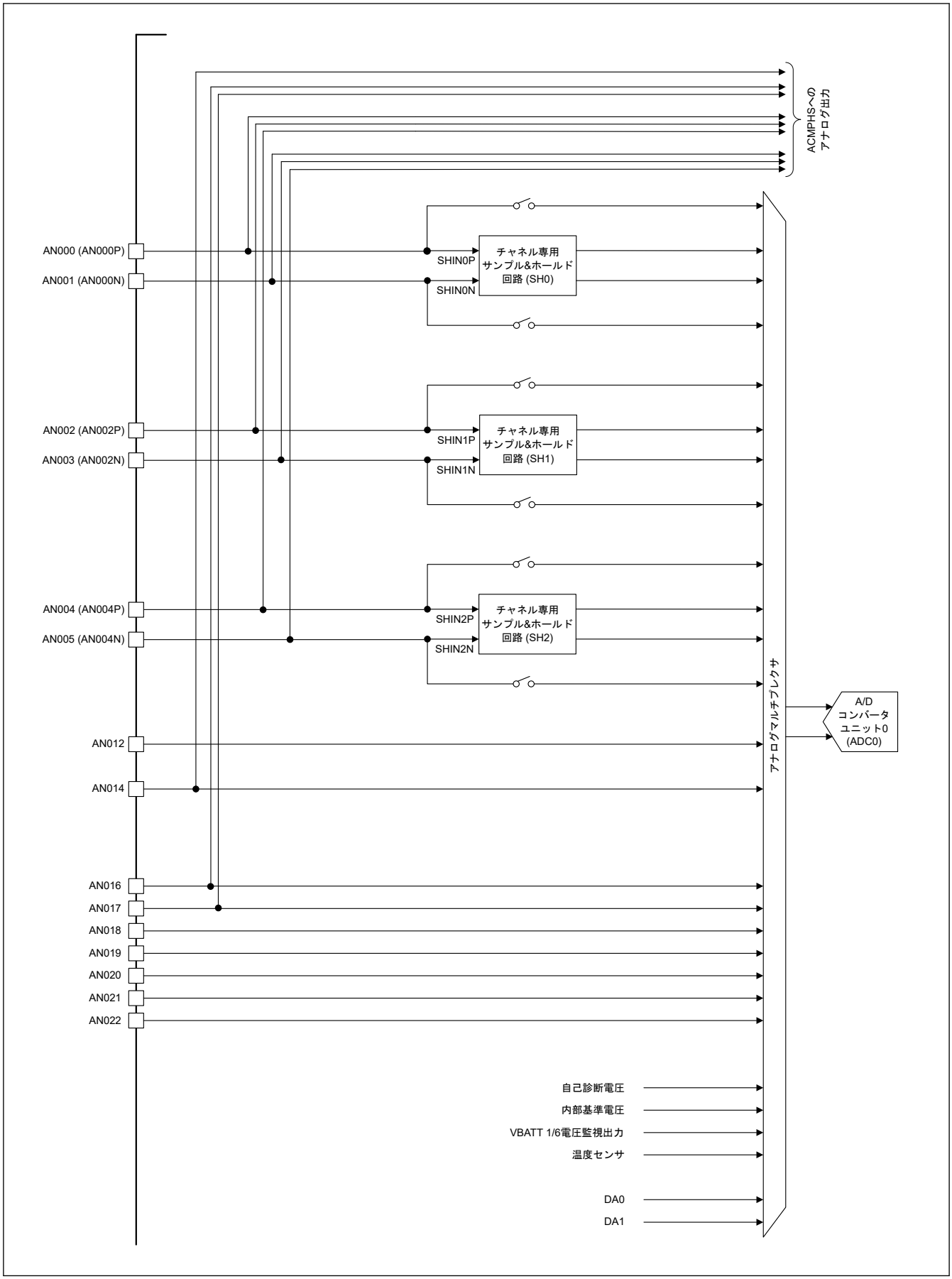


図 53.2　A/D コンバータユニット 0 のアナログチャネル構成

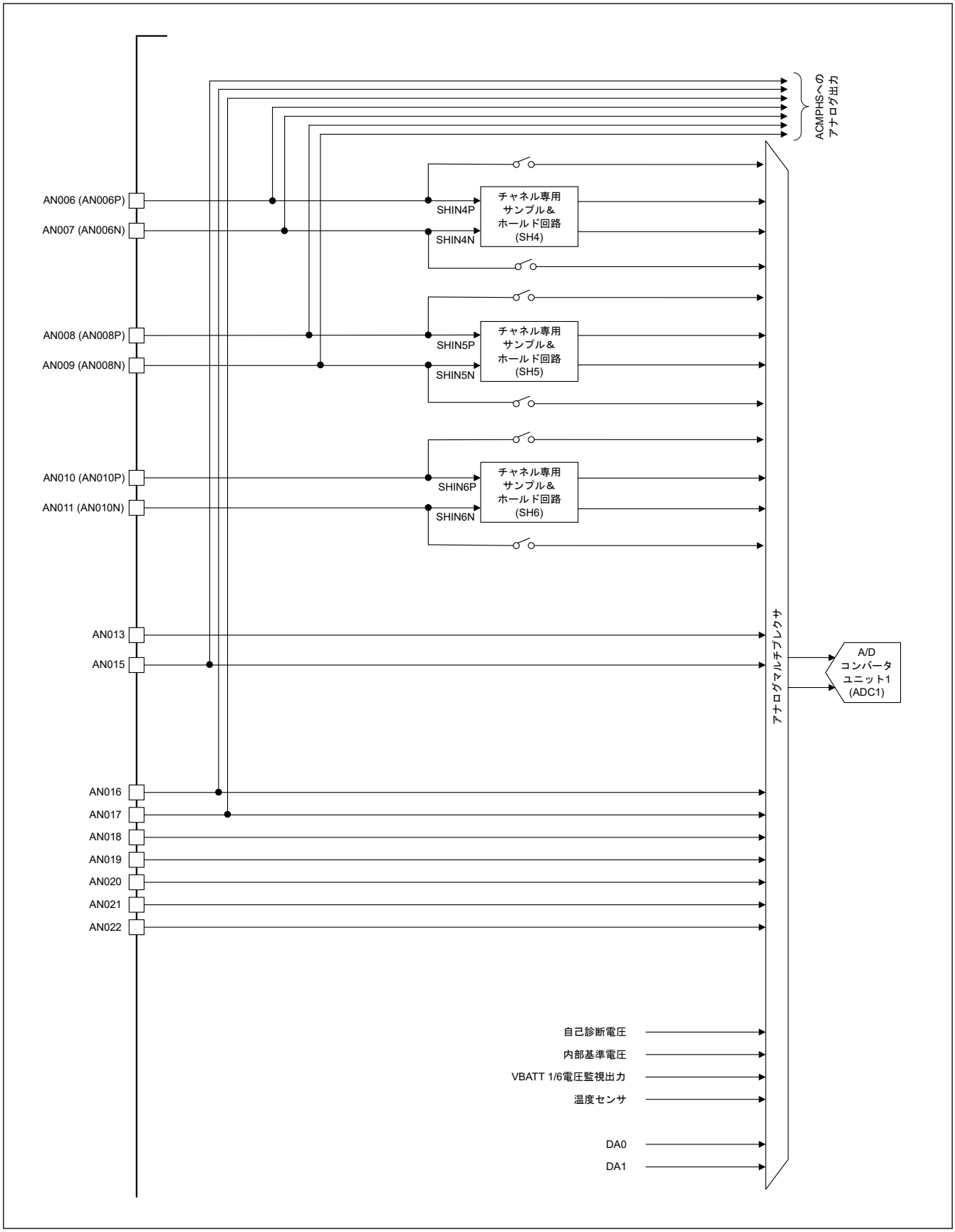


図 53.3　A/D コンバータユニット 1 のアナログチャネル構成

表 53.4 にアナログ入力の ADC16H チャネル構成を示します。

表 53.4 アナログ入力の ADC16H チャネル構成

アナログチャネル番号	アナログ信号源		A/D コンバータユニット 0		A/D コンバータユニット 1	
	アナログ入力	チャネル専用サンプル&ホールド回路 (S&H) (注2)	シングルエンド入力	差動入力(注3)	シングルエンド入力	差動入力(注3)
0	AN000 (AN000P)	SHIN0	✓	✓	—	—
1	AN001 (AN000N)		✓		—	
2	AN002 (AN002P)	SHIN1	✓	✓	—	—
3	AN003 (AN002N)		✓		—	
4	AN004 (AN004P)	SHIN2	✓	✓	—	—
5	AN005 (AN004N)		✓		—	
6	AN006 (AN006P)	SHIN4	—	—	✓	✓
7	AN007 (AN006N)		—		✓	
8	AN008 (AN008P)	SHIN5	—	—	✓	✓
9	AN009 (AN008N)		—		✓	
10	AN010 (AN010P)	SHIN6	—	—	✓	✓
11	AN011 (AN010N)		—		✓	
12	AN012	—	✓	—	—	—
13	AN013	—	—	—	✓	—
14	AN014	—	✓	—	—	—
15	AN015	—	—	—	✓	—
16	AN016(注1)	—	✓	—	✓	—
17	AN017(注1)	—	✓	—	✓	—
18	AN018(注1)	—	✓	—	✓	—
19	AN019(注1)	—	✓	—	✓	—
20	AN020(注1)	—	✓	—	✓	—
21	AN021(注1)	—	✓	—	✓	—
22	AN022(注1)	—	✓	—	✓	—

注 1. A/D コンバータユニット 0 とユニット 1 の両方から同じ信号源を A/D 変換しないでください。
注 2. チャネル専用サンプル&ホールド回路がシングルエンド入力で使用されている場合、SHINxP（非反転入力 (+)）チャネルと SHINxN（反転入力 (−)）チャネルは同じスキャングループ (x = 0〜2, 4〜6) に割り当ててはなりません。
注 3. 差動入力で A/D 変換を行う場合、A/D 変換対象として偶数チャネルを設定してください。差動入力に対して、偶数チャネルは非反転入力 (+) として機能し、奇数チャネルは反転入力 (−) として機能します。

表 53.5 拡張アナログ機能の ADC16H チャネル構成 (1/2)

アナログチャネル番号	アナログ信号源	A/D コンバータユニット 0		A/D コンバータユニット 1	
		シングルエンド入力	差動入力	シングルエンド入力	差動入力
96	A/D ユニット 0 の自己診断機能(注2)	—	✓	—	—
97	A/D ユニット 1 の自己診断機能(注2)	—	—	—	✓
100	温度センサ(注1)	✓	—	✓	—
101	内部基準電圧(注1)	✓	—	✓	—
102	VBATT 1/6 電圧監視出力(注1)	✓	—	✓	—
104	D/A コンバータチャネル 0(注1)	✓	—	✓	—
105	D/A コンバータチャネル 1(注1)	✓	—	✓	—
112	S&H ユニット 0 の自己診断機能(注2)	—	✓	—	—

表 53.5 拡張アナログ機能の ADC16H チャネル構成 (2/2)

アナログチャネル番号	アナログ信号源	A/D コンバータユニット 0		A/D コンバータユニット 1	
		シングルエンド入力	差動入力	シングルエンド入力	差動入力
113	S&H ユニット 1 の自己診断機能(注2)	—	✓	—	—
114	S&H ユニット 2 の自己診断機能(注2)	—	✓	—	—
116	S&H ユニット 4 の自己診断機能(注2)	—	—	—	✓
117	S&H ユニット 5 の自己診断機能(注2)	—	—	—	✓
118	S&H ユニット 6 の自己診断機能(注2)	—	—	—	✓

注 1. A/D コンバータユニット 0 とユニット 1 の両方から同じ信号源を A/D 変換しないでください。
注 2. 自己診断機能は差動入力でのみサポートされています。

53.2 レジスタの説明

53.2.1 システム

53.2.1.1 ADCLKENR : A/D 変換クロックイネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLKEN	ADCLK 動作許可 0: ADCLK を停止 1: ADCLK を供給	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCLKENR レジスタは A/D 変換クロック (ADCLK) の供給を制御します。

53.2.1.2 ADCLKSR : A/D 変換クロックステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKSR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLKSR	ADCLK ステータス 0: ADCLK は停止中 1: ADCLK は供給されている	R
31:1	—	読むと 0 が読めます。	R

ADCLKSR レジスタは、A/D 変換クロック (ADCLK) の供給状態を示します。

53.2.1.3 ADCLKCR : A/D 変換クロックコントロールレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18		16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DIVR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CLKSEL[1:0]	ADCLK クロックソース選択 0 0: ADC クロック (ADCCLK) 0 1: GPT クロック (GPTCLK) 1 0: 周辺モジュールクロック A (PCLKA) 1 1: 設定禁止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	DIVR[2:0]	クロック分周比選択 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/3 0 1 1: 1/4 1 0 0: 1/5 その他: 設定禁止	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCLKCR レジスタは、A/D 変換クロック (ADCLK) の周波数を選択します。ADCLK の周波数は「62. 電気的特性」に指定する範囲内で設定する必要があります。

CLKSEL[1:0] ビット（ADCLK クロックソース選択）

CLKSEL[1:0]ビットは、A/D 変換クロック (ADCLK) のクロックソースを選択します。

DIVR[2:0] ビット（クロック分周比選択）

DIVR[2:0]ビットは、CLKSEL[1:0]ビットで選択したクロックソースに対する分周比を選択します。DIVR[2:0]に設定された分周比で、CLKSEL[1:0]ビットで選択されたクロックソースを分周したクロックが、A/D 変換動作クロック (ADCLK) になります。

53.2.1.4 ADSYCR : A/D コンバータ同期動作コントロールレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADSYDIS1	ADSYDIS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ADSYCYC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
7:0	ADSYCYC[7:0]	同期動作期間サイクル 5～255 の範囲で設定する必要があります。 0～4 の設定は禁止されています。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ADSYDIS0	ADC0 同期動作選択 0: ADC0 同期動作を許可 1: ADC0 同期動作を禁止	R/W
17	ADSYDIS1	ADC1 同期動作選択 0: ADC1 同期動作を許可 1: ADC1 同期動作を禁止	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSYCR レジスタは、同期動作機能を制御します。

ADSYCYC[7:0] ビット（同期動作期間サイクル）

本ビットは、同期動作期間サイクルを選択します。

同期動作機能が使用されるかどうかに関係なく、本ビットは 5～255 の範囲で設定します。0～4 の設定は禁止されています。

ADSYDIS0 ビット (ADC0 同期動作選択)

ADSYDIS0 ビットは、ADC0 の同期動作の許可／禁止を選択します。同期動作が許可されている場合、ADC0 は同期動作が許可されている他の A/D コンバータと同期して動作します。

ADSYDIS1 ビット (ADC1 同期動作選択)

ADSYDIS1 ビットは、ADC1 の同期動作の許可／禁止を選択します。同期動作が許可されている場合、ADC1 は同期動作が許可されている他の A/D コンバータと同期して動作します。

53.2.1.5 ADUSLPCR0 : A/D コンバータユニットスリープコントロールレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADUSLP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADUSLP	A/D コンバータユニット 0 のスリープ設定 0: A/D コンバータを通常動作モードに設定 1: A/D コンバータをスリープ動作モードに設定	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

このレジスタは、A/D コンバータユニット 0 のスリープモードを制御するために使用されます。

53.2.1.6 ADUSLPCR1 : A/D コンバータユニットスリープコントロールレジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADUSLP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADUSLP	A/D コンバータユニット 1 のスリープ設定 0: A/D コンバータを通常動作モードに設定 1: A/D コンバータをスリープ動作モードに設定	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

このレジスタは、A/D コンバータユニット 1 のスリープモードを制御するために使用されます。

53.2.1.7 ADERINTCR : A/D 変換エラー割り込みイネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADEIE1	ADEIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADEIE0	ADC0 A/D 変換エラー割り込み許可 0: ADC0 の A/D 変換エラー割り込みを禁止 1: ADC0 の A/D 変換エラー割り込みを許可	R/W
1	ADEIE1	ADC1 A/D 変換エラー割り込み許可 0: ADC1 の A/D 変換エラー割り込みを禁止 1: ADC1 の A/D 変換エラー割り込みを許可	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADERINTCR レジスタは、A/D 変換エラー割り込みの許可／禁止を制御します。

53.2.1.8 ADOVFINTCR: A/D 変換オーバーフロー割り込みイネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADOVFIE1	ADOVFIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADOVFIE0	ADC0 A/D 変換オーバーフロー割り込み許可 0: ADC0 の A/D 変換オーバーフロー割り込みを禁止 1: ADC0 の A/D 変換オーバーフロー割り込みを許可	R/W
1	ADOVFIE1	ADC1 A/D 変換オーバーフロー割り込み許可 0: ADC1 の A/D 変換オーバーフロー割り込みを禁止 1: ADC1 の A/D 変換オーバーフロー割り込みを許可	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADOVFINTCR レジスタは、A/D 変換オーバーフロー割り込みの許可／禁止を制御します。

53.2.1.9 ADCALINTCR : 校正割り込み許可レジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALENDIE1	CALENDIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CALENDIE0	ADC0 校正終了割り込み許可 0: ADC0 の校正終了割り込みを禁止 1: ADC0 の校正終了割り込みを許可	R/W
17	CALENDIE1	ADC1 校正終了割り込み許可 0: ADC1 の校正終了割り込みを禁止 1: ADC1 の校正終了割り込みを許可	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCALINTCR レジスタは、校正終了割り込みの許可／禁止を制御します。

53.2.1.10 ADMDR : A/D コンバータモード選択レジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADMD1[3:0]				—	—	—	—	ADMD0[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ADMD0[3:0]	ADC0 モード選択 0x0: SAR モード（シングルスキャンモード） 0x1: SAR モード（連続スキャンモード） 0x4: オーバーサンプリングモード（シングルスキャンモード） 0x5: オーバーサンプリングモード（連続スキャンモード） 0x6: オーバーサンプリングモード（1 チャネル連続スキャンモード） 0x8: ハイブリッドモード（シングルスキャンモード） 0x9: ハイブリッドモード（連続スキャンモード） 0xA: ハイブリッドモード（バックグラウンド連続スキャンモード） 0xB: ハイブリッドモード（固定チャネル連続スキャンモード） その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
11:8	ADMD1[3:0]	ADC1 モード選択 0x0: SAR モード（シングルスキャンモード） 0x1: SAR モード（連続スキャンモード） 0x4: オーバーサンプリングモード（シングルスキャンモード） 0x5: オーバーサンプリングモード（連続スキャンモード） 0x6: オーバーサンプリングモード（1 チャネル連続スキャンモード） 0x8: ハイブリッドモード（シングルスキャンモード） 0x9: ハイブリッドモード（連続スキャンモード） 0xA: ハイブリッドモード（バックグラウンド連続スキャンモード） 0xB: ハイブリッドモード（固定チャネル連続スキャンモード） その他: 設定禁止	R/W
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADMDR レジスタは各 A/D コンバータに対して、動作モードとスキャンモードを選択します。

53.2.2 スキャングループ

53.2.2.1 ADGSPCR : A/D グループスキャン優先制御レジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x044

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	GRP1	LGRRS1	RSCN1	PGS1	—	—	—	—	GRP0	LGRRS0	RSCN0	PGS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PGS0	ADC0 グループ優先制御設定 0: ADC0 動作でグループ優先制御を行わない 1: ADC0 動作で SAR モードにおいてグループ優先制御を行う。SAR モード以外では設定禁止。	R/W
1	RSCN0	ADC0 グループ優先制御設定 2 0: PGS0 を 0 にしたときに設定 1: PGS0 を 1 にしたときに設定	R/W
2	LGRRS0	ADC0 グループ優先制御設定 3 0: PGS0 を 0 にしたときに設定 1: PGS0 を 1 にしたときに設定	R/W
3	GRP0	ADC0 グループ優先制御設定 4 0: 以下の場合に設定 ● PGS0 が 0 のとき ● PGS0 が 1 かつ ADC0 が SAR モード（シングルスキャンモード）のとき 1: PGS0 が 1 かつ ADC0 が SAR モード（連続スキャンモード）のときに設定	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	PGS1	ADC1 グループ優先制御設定 0: ADC1 動作でグループ優先制御を行わない 1: ADC1 動作で SAR モードにおいてグループ優先制御を行う。SAR モード以外では設定禁止。	R/W
9	RSCN1	ADC1 グループ優先制御設定 2 0: PGS1 を 0 にしたときに設定 1: PGS1 を 1 にしたときに設定	R/W

ビット	シンボル	機能	R/W
10	LGRRS1	ADC1 グループ優先制御設定 3 0: PGS1 を 0 にしたときに設定 1: PGS1 を 1 にしたときに設定	R/W
11	GRP1	ADC1 グループ優先制御設定 4 0: 以下の場合に設定 ● PGS1 が 0 のとき ● PGS1 が 1 かつ ADC1 が SAR モード（シングルスキャンモード）のとき 1: PGS1 が 1 かつ ADC1 が SAR モード（連続スキャンモード）のときに設定	R/W
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADGSPCR レジスタは、各 A/D コンバータのグループ優先動作を制御します。このレジスタ設定の詳細については、「53.3.18. グループ優先動作」を参照してください。

53.2.2.2 ADSGER : スキャングループイネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x048

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SGRE8	SGRE7	SGRE6	SGRE5	SGRE4	SGRE3	SGRE2	SGRE1	SGRE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SGRE0～SGRE8	スキャングループ n 有効化 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n を無効化 1: スキャングループ n を有効化	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSGER レジスタは、各スキャングループの有効／無効を選択します。

SGREn ビット（スキャングループ n 有効化）(n = 0～8)

SGREn ビットはスキャングループ n の有効／無効を選択します。SGREn ビットを 1 にすると、スキャングループ n の A/D 変換が可能になります。SGREn ビットを 0 にすると、スキャングループ n に対応するトリガが入力されても、スキャングループ n の A/D 変換は行われません。

53.2.2.3 ADSGCR0 : スキャングループコントロールレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x04C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	SGADS3[1:0]		—	—	—	—	—	—	SGADS2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SGADS1[1:0]		—	—	—	—	—	—	SGADS0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SGADS0[1:0]	スキャングループ 0 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	SGADS1[1:0]	スキャングループ 1 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	SGADS2[1:0]	スキャングループ 2 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	SGADS3[1:0]	スキャングループ 3 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSGCR0 レジスタは、各スキャングループに対して、どちらの A/D コンバータを使用するかを選択します。

53.2.2.4 ADSGCR1 : スキャングループコントロールレジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x050

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	SGADS7[1:0]		—	—	—	—	—	—	SGADS6[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SGADS5[1:0]		—	—	—	—	—	—	SGADS4[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SGADS4[1:0]	スキャングループ 4 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	SGADS5[1:0]	スキャングループ 5 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	SGADS6[1:0]	スキャングループ 6 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	SGADS7[1:0]	スキャングループ 7 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSGCR1 レジスタは、各スキャングループに対して、どちらの A/D コンバータを使用するかを選択します。

53.2.2.5 ADSGCR2 : スキャングループコントロールレジスタ 2

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x054

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SGADS8[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SGADS8[1:0]	スキャングループ 8 A/D コンバータ選択 0 0: ADC0 を選択 0 1: ADC1 を選択 その他: 設定禁止	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSGCR2 レジスタは、各スキャングループに対して、どちらの A/D コンバータを使用するかを選択します。

53.2.2.6 ADINTCR : スキャン終了割り込みイネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x05C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADIE8	ADIE7	ADIE6	ADIE5	ADIE4	ADIE3	ADIE2	ADIE1	ADIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ADIE0～ADIE8	スキャングループ n スキャン終了割り込み許可 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャン終了割り込みを禁止 1: スキャン終了割り込みを許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADINTCR レジスタは、スキャン終了割り込みを許可または禁止します。

53.2.2.7 ADTRGEXTn : 外部トリガイネーブルレジスタ n（n = 0～8）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x0C0 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRGEXT1	TRGEXT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TRGEXT0	外部トリガ入力 0 (ADTRG0) 許可 0: ADTRG0 を禁止 1: ADTRG0 を許可	R/W
1	TRGEXT1	外部トリガ入力 1 (ADTRG1) 許可 0: ADTRG1 を禁止 1: ADTRG1 を許可	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGEXTn レジスタは、スキャングループ n の A/D 変換の開始条件として、外部トリガ入力 0 および 1（ADTRG0 および ADTRG1）を許可または禁止します。

53.2.2.8 ADTRGELCn : ELC トリガイネーブルレジスタ n（n = 0～8）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x0C4 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	TRGELC5	TRGELC4	TRGELC3	TRGELC2	TRGELC1	TRGELC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	TRGELC0～ TRGELC5	ELC トリガ m 許可 各ビットシンボルの添え字は ELC トリガ番号 m に対応します。 0: ELC トリガ m を禁止 1: ELC トリガ m を許可	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGELCn レジスタは、スキャングループ n の A/D 変換の開始条件として、ELC トリガ m を許可または禁止します。

53.2.2.9 ADTRGGPTn : GPT トリガイネーブルレジスタ n（n = 0～8）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x0C8 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TRGGPTB13	TRGGPTB12	TRGGPTB11	TRGGPTB10	TRGGPTB9	TRGGPTB8	TRGGPTB7	TRGGPTB6	TRGGPTB5	TRGGPTB4	TRGGPTB3	TRGGPTB2	TRGGPTB1	TRGGPTB0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	TRGGPTA13	TRGGPTA12	TRGGPTA11	TRGGPTA10	TRGGPTA9	TRGGPTA8	TRGGPTA7	TRGGPTA6	TRGGPTA5	TRGGPTA4	TRGGPTA3	TRGGPTA2	TRGGPTA1	TRGGPTA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	TRGGPTA0～ TRGGPTA13	GPT チャネル m A/D 変換開始要求 A 許可 各ビットシンボルの添え字は GPT チャネル番号 m に対応します。 0: GPT チャネル m からの A/D 変換開始要求 A を禁止 1: GPT チャネル m からの A/D 変換開始要求 A を許可	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:16	TRGGPTB0～ TRGGPTB13	GPT チャネル m A/D 変換開始要求 B 許可 各ビットシンボルの添え字は GPT チャネル番号 m に対応します。 0: GPT チャネル m からの A/D 変換開始要求 B を禁止 1: GPT チャネル m からの A/D 変換開始要求 B を許可	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGGPTn レジスタは、スキャングループ n の A/D 変換の開始条件として、GPT チャネル m からの A/D 変換開始要求 A/B を許可または禁止します。

53.2.2.10 ADTRGENR : A/D 変換開始トリガイネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	STTRGEN8	STTRGEN7	STTRGEN6	STTRGEN5	STTRGEN4	STTRGEN3	STTRGEN2	STTRGEN1	STTRGEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	STTRGEN0～ STTRGEN8	スキャングループ n A/D 変換開始トリガ許可 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: A/D 変換開始トリガを禁止 1: A/D 変換開始トリガを許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGENR レジスタは、スキャングループ n の A/D 変換を開始するための周辺モジュールからのトリガを許可または禁止します。各スキャングループのトリガは、ADTRGEXTn、ADTRGELCn、および ADTRGGPTn レジスタで選択します。

STTRGENn ビット（スキャングループ n A/D 変換開始トリガ許可）

STTRGENn ビットは、ADTRGEXTn、ADTRGELCn、および ADTRGGPTn レジスタで選択した、周辺モジュールからのトリガ入力を A/D 変換開始条件に使用するかどうかを選択します。

STTRGENn ビットを 1 にした場合、スキャングループ n の A/D 変換は周辺モジュールからのトリガ入力で開始できます。

STTRGENn ビットを 0 にした場合、スキャングループ n の A/D 変換は周辺モジュールからのトリガ入力で開始できません。この設定の場合、スキャングループ n の A/D 変換を開始できる唯一の方法は、ADSYSTR レジスタまたは ADSTRn レジスタに書き込みを行うことです。

53.2.2.11 ADTRGDLR0 : A/D 変換開始トリガ遅延レジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x1C0

Bit position:	31	23	16	7	0
Bit field:	— — — — — — — —	TRGDLY1[7:0]	— — — — — — — —	TRGDLY0[7:0]	
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
7:0	TRGDLY0[7:0]	スキャングループ 0 トリガ入力遅延設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TRGDLY1[7:0]	スキャングループ 1 トリガ入力遅延設定	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR0 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに追加される入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で与えられます。

53.2.2.12 ADTRGDLR1 : A/D 変換開始トリガ遅延レジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x1C4

Bit position:	31								23								16								7								0
Bit field:	—	—	—	—	—	—	—	—	TRGDLY3[7:0]								—	—	—	—	—	—	—	—	TRGDLY2[7:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TRGDLY2[7:0]	スキャングループ 2 トリガ入力遅延設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TRGDLY3[7:0]	スキャングループ 3 トリガ入力遅延設定	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR1 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに加える入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で与えられます。

53.2.2.13 ADTRGDLR2 : A/D 変換開始トリガ遅延レジスタ 2

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x1C8

Bit position:	31								23								16								7								0
Bit field:	—	—	—	—	—	—	—	—	TRGDLY5[7:0]								—	—	—	—	—	—	—	—	TRGDLY4[7:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TRGDLY4[7:0]	スキャングループ 4 トリガ入力遅延設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TRGDLY5[7:0]	スキャングループ 5 トリガ入力遅延設定	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR2 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに加える入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で与えられます。

53.2.2.14 ADTRGDLR3 : A/D 変換開始トリガ遅延レジスタ 3

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x1CC

Bit position:	31								23								16								7								0
Bit field:	—	—	—	—	—	—	—	—	TRGDLY7[7:0]								—	—	—	—	—	—	—	—	TRGDLY6[7:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TRGDLY6[7:0]	スキャングループ 6 トリガ入力遅延設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TRGDLY7[7:0]	スキャングループ 7 トリガ入力遅延設定	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR3 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに加える入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で与えられます。

53.2.2.15 ADTRGDLR4 : A/D 変換開始トリガ遅延レジスタ 4

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x1D0

Bit position:	31																						7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRGDLY8[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TRGDLY8[7:0]	スキャングループ 8 トリガ入力遅延設定	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGDLR4 レジスタは、各スキャングループの A/D 変換の開始条件である、外部トリガ入力、ELC トリガ、および GPT トリガに加える入力遅延を制御します。入力遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) の周期」で与えられます。

53.2.2.16 ADSWNR0 : スキャンごとの A/D 変換時間レジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SWNOFIX[2:0]			—	—	—	—	—	—	SWFIX[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	BCSSTSL[3:0]				—	—	—	—	—	SWNUM[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SWNUM[2:0]	スキャンごとのスイープ変換チャネル数 固定チャネルスキャンモードのスキャン期間を指定します。 0x0: 1 回 0x1: 2 回 ⋮ 0x7: 8 回	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R

ビット	シンボル	機能	R/W
11:8	BCSSTSL[3:0]	ブランクチャネルサンプリングステートテーブル選択 ブランクチャネルのサンプリングステートテーブル選択ビット。 アナログ入力のサンプリング時間設定テーブルを選択します。 選択したテーブルのサンプリングステート値を使用します。 0x0: サンプリングステートテーブル 0 を選択 (ADSSTR0.SST0[9:0]) 0x1: サンプリングステートテーブル 1 を選択 (ADSSTR0.SST1[9:0]) 0x2: サンプリングステートテーブル 2 を選択 (ADSSTR1.SST2[9:0]) 0x3: サンプリングステートテーブル 3 を選択 (ADSSTR1.SST3[9:0]) ⋮ 0xF: サンプリングステートテーブル 15 を選択 (ADSSTR7.SST15[9:0])	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R
17:16	SWFIX[1:0]	固定チャネル数 固定チャネル数を指定します。 0x0: 1 固定チャネル 0x1: 2 固定チャネル 0x2: 3 固定チャネル 0x3: 設定禁止	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R
26:24	SWNOFIX[2:0]	非固定チャネル数 非固定チャネル数を指定します。 0x1: 1 チャネル その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R

ADSWNR0 レジスタは、A/D コンバータユニット 0 の固定チャネルスキャンの A/D 変換期間を設定するレジスタです。

SWNUM[2:0]ビット（スキャンごとのスイープ変換チャネル数）

SWNUM[2:0]ビットは、A/D コンバータユニット 0 の固定チャネルスキャンの A/D 変換サイクルを指定するビットです。

A/D 変換サイクルは SWNUM[2:0] + 1 で設定した値です。

BCSSTSL[3:0]ビット（ブランクチャネルサンプリングステートテーブル選択）

BCSSTSL[3:0]ビットは、A/D 変換データを取得しないブランクチャネルのサンプリングステートの数を設定するビットです。

SWFIX[1:0]ビット（固定チャネル数）

SWFIX[1:0]ビットは、各スキャンによるチャネルのスイープ中に変換される固定チャネルの数を設定するビットです。

SWNOFIX[2:0]ビット（非固定チャネル数）

SWNOFIX[2:0]ビットは、各スキャンでチャネルの切り替え中に変換される非固定チャネルの数を設定するビットです。

注. このレジスタは、固定チャネルの連続スキャンが設定されている (ADMD0[3:0] = 0xB) 場合にのみ有効です。

53.2.2.17 ADSWNR1 : スキャンごとの A/D 変換時間レジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SWNOFIX[2:0]			—	—	—	—	—	—	SWFIX[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	BCSSTSL[3:0]				—	—	—	—	—	SWNUM[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SWNUM[2:0]	スキャンごとのスイープ変換チャネル数 固定チャネルスキャンモードのスキャン期間を指定します。 0x0: 1 回 0x1: 2 回 ⋮ 0x7: 8 回	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R
11:8	BCSSTSL[3:0]	ブランクチャネルサンプリングステートテーブル選択 ブランクチャネルのサンプリングステートテーブル選択ビット。 アナログ入力のサンプリング時間設定テーブルを選択します。 選択したテーブルのサンプリングステート値を使用します。 0x0: サンプリングステートテーブル 0 を選択 (ADSSTR0.SST0[9:0]) 0x1: サンプリングステートテーブル 1 を選択 (ADSSTR0.SST1[9:0]) 0x2: サンプリングステートテーブル 2 を選択 (ADSSTR1.SST2[9:0]) 0x3: サンプリングステートテーブル 3 を選択 (ADSSTR1.SST3[9:0]) ⋮ 0xF: サンプリングステートテーブル 15 を選択 (ADSSTR7.SST15[9:0])	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R
17:16	SWFIX[1:0]	固定チャネル数 固定チャネル数を指定します。 0x0: 1 固定チャネル 0x1: 2 固定チャネル 0x2: 3 固定チャネル 0x3: 設定禁止	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R
26:24	SWNOFIX[2:0]	非固定チャネル数 非固定チャネル数を指定します。 0x1: 1 チャネル その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R

ADSWNR1 レジスタは、A/D コンバータユニット 1 の固定チャネルスキャンの A/D 変換期間を設定するレジスタです。

SWNUM[2:0]ビット（スキャンごとのスイープ変換チャネル数）

SWNUM[2:0]ビットは、A/D コンバータユニット 1 の固定チャネルスキャンの A/D 変換サイクルを指定するビットです。

A/D 変換サイクルは SWNUM[2:0] + 1 で設定した値です。

BCSSTSL[3:0]ビット（ブランクチャネルサンプリングステートテーブル選択）

BCSSTSL[3:0]ビットは、A/D 変換データを取得しないブランクチャネルのサンプリングステートの数を設定するビットです。

SWFIX[1:0]ビット（固定チャネル数）

SWFIX[1:0]ビットは、各スキャンによるチャネルのスイープ中に変換される固定チャネルの数を設定するビットです。

SWNOFIX[2:0]ビット（非固定チャネル数）

SWNOFIX[2:0]ビットは、各スキャンでチャネルの切り替え中に変換される固定チャネルの数を設定するビットです。

注. このレジスタは、固定チャネルの連続スキャンが設定されている (ADMD1[3:0] = 0xB) 場合にのみ有効です。

53.2.2.18 ADDECCR : 1 チャネル連続スキャンモードデシメーションコントロールレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x080

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DCIM1[4:0]					—	—	—	DCIM0[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DCIM0[4:0]	A/D コンバータユニット 0 用 1 チャネル連続スキャンモード出力デジメーション設定 0x0: デシメーションなし 0x3: 変換 4 回ごとにデータを 1 回出力（3 回間引き） 0x7: 変換 8 回ごとにデータを 1 回出力（7 回間引き） その他: 設定禁止	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	DCIM1[4:0]	A/D コンバータユニット 1 用 1 チャネル連続スキャンモード出力デジメーション設定 0x0: デシメーションなし 0x3: 変換 4 回ごとにデータを 1 回出力（3 回間引き） 0x7: 変換 8 回ごとにデータを 1 回出力（7 回間引き） その他: 設定禁止	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDECCR レジスタは、1 チャネル連続スキャンモードでのデータ出力のデシメーションを制御します。

53.2.2.19 ADACMDR : A/D コンバータ精度モードレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x084

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADHACMD1	—	—	—	—	—	—	—	ADHACMD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADHACMD0	A/D コンバータユニット 0 高精度モード設定 0: A/D コンバータの高精度モードは無効 1: A/D コンバータの高精度モードは有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ADHACMD1	A/D コンバータユニット 1 高精度モード設定 0: A/D コンバータの高精度モードは無効 1: A/D コンバータの高精度モードは有効	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADACMDR レジスタは、A/D コンバータの精度モードを制御します。

ADHACMDx (x = 0, 1) ビット（A/D コンバータ精度モード設定レジスタ）

ADHACMDx (x = 0, 1) ビットにより、A/D コンバータの精度モードを選択します。

A/D コンバータの高精度モードを有効にするには、このビットを 1 に設定します。高精度モードを有効にすると、高精度モードが無効になっているときよりも高い精度の A/D 変換結果が得られます。アナログ特性の詳細については、「62. 電気的特性」を参照してください。

このビットを 1（高精度モード有効）に設定しているときには、レジスタ設定に関するいくつかの制限事項がこの機能に適用されます。詳細は、「53.11.18. 高精度モード設定レジスタの制限」を参照してください。

53.2.3 仮想チャネル

53.2.3.1 ADCHCRn : A/D 変換チャネルコンフィグレーションレジスタ n (n = 0～32)

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x600 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SSTSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	AINMD	CNVCS[6:0]							—	—	—	SGSEL[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	SGSEL[4:0]	スキャングループ選択 0x00: スキャングループを選択しない 0x01: スキャングループ 0 を選択 0x02: スキャングループ 1 を選択 0x03: スキャングループ 2 を選択 0x04: スキャングループ 3 を選択 : 0x09: スキャングループ 8 を選択 その他: 設定禁止	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
14:8	CNVCS[6:0]	A/D 変換チャネル選択 0x00: AN000 0x01: AN001 : 0x16: AN022 0x60: A/D ユニット 0 の自己診断機能(注1) 0x61: A/D ユニット 1 の自己診断機能(注1) 0x64: 温度センサ 0x65: 内部基準電圧 0x66: VBATT 1/6 電圧監視出力 0x68: D/A コンバータチャネル 0 0x69: D/A コンバータチャネル 1 0x70: サンプル＆ホールド回路ユニット 0 の自己診断機能(注1) 0x71: サンプル&ホールド回路ユニット 1 の自己診断機能(注1) 0x72: サンプル&ホールド回路ユニット 2 の自己診断機能(注1) 0x74: サンプル&ホールド回路ユニット 4 の自己診断機能(注1) 0x75: サンプル&ホールド回路ユニット 5 の自己診断機能(注1) 0x76: サンプル&ホールド回路ユニット 6 の自己診断機能(注1) その他: 設定禁止	R/W
15	AINMD	アナログ入力モード選択(注1)、(注2) 0: シングルエンド入力 1: 差動入力	R/W
19:16	SSTSEL[3:0]	サンプリングステートテーブル選択 0x0: サンプリングステートテーブル 0 を選択 0x1: サンプリングステートテーブル 1 を選択 0x2: サンプリングステートテーブル 2 を選択 0x3: サンプリングステートテーブル 3 を選択 : 0xF: サンプリングステートテーブル 15 を選択	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 自己診断機能が選択された場合に差動入力を選択してください。
注 2. チャネル専用サンプル＆ホールド回路の使用時には、ADSHCRm.SHMDn (m = 0, 1, n = 0～2, 4～6) および対応する ADCHCRn.AINMD (n = 0 ～32) の設定が一致している必要があります。

ADCHCRn レジスタは、A/D 変換のための仮想チャネル設定を選択します。

SGSEL[4:0] ビット (スキャングループ選択)

SGSEL[4:0]ビットは、CNVCS[6:0]で選択したチャネルを割り当てるスキャングループを選択します。SGSEL[4:0]を 0x00 にした場合、CNVCS[6:0]で選択したチャネルは A/D 変換に使用できません。SGSEL[4:0]を 0x00 以外にした場合、設定値に対応するスキャングループのスキャン動作で、CNVCS[6:0]で選択したチャネルを A/D 変換に使用できます。

SAR モードまたはオーバーサンプリングモードでは、1 つのスキャングループに対して、最大 8 本の A/D 変換チャネルを割り当てられます。ハイブリッドモードでは、1 つのスキャングループに対して、最大 4 本の A/D 変換チャネルを割り当てられます。1 つのスキャングループに指定した数以上の A/D 変換チャネルを割り当てないでください。

CNVCS[6:0] ビット (A/D 変換チャネル選択)

CNVCS[6:0]ビットは、A/D 変換のアナログ信号源を選択します。CNVCS[6:0]ビットには、アナログ入力または拡張アナログ機能に対応するチャネル番号の値を設定してください。差動入力モードにおけるアナログ信号源の A/D 変換に対して、CNVCS[6:0]ビットは偶数チャネルに設定してください。差動入力モードで奇数チャネルを設定した場合、A/D 変換は保証されません。

CNVCS[6:0]ビットで選択したチャネルを A/D 変換するには、そのチャネルを SGSEL[4:0]ビットで選択したスキャングループに割り当ててください。

AINMD ビット (アナログ入力モード選択)

AINMD ビットは、CNVCS[6:0]ビットで選択されたアナログ信号源の A/D 変換の入力方式を選択します。
AINMD ビットが 0 の場合、シングルエンド入力で A/D 変換が実行されます。AINMD ビットが 1 の場合、差動入力で A/D 変換が実行されます。

CNVCS[6:0]ビットで自己診断チャネルが選択された場合、差動入力を選択してください。

SSTSEL[3:0] ビット (サンプリングステートテーブル選択)

SSTSEL[3:0]ビットは、CNVCS[6:0]ビットで選択したアナログ信号源の A/D 変換のためのサンプリングステートテーブルを選択します。サンプリングステート数は、選択したサンプリングステートテーブル内に設定された値です。

53.2.3.2 ADDOPCRAn : A/D 変換データ演算コントロール A レジスタ n (n = 0～32)

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x604 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	OFSETSEL[3:0]				—	—	—	—	GAINSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DFSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	DFSEL[2:0]	デジタルフィルタ選択(注1) (注2) 0x0: デジタルフィルタを使用しない 0x1: 1 番目のデジタルフィルタを使用 0x2: 2 番目のデジタルフィルタを使用 0x3: 3 番目のデジタルフィルタを使用 0x4: 4 番目のデジタルフィルタを使用 その他: 設定禁止	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	GAINSEL[3:0]	ユーザーゲインテーブル選択 0x0: ユーザーゲインテーブルを使用しない 0x1: ユーザーゲインテーブル 0 を使用 0x2: ユーザーゲインテーブル 1 を使用 0x3: ユーザーゲインテーブル 2 を使用 : 0x8: ユーザーゲインテーブル 7 を使用 その他: 設定禁止	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:24	OFSETSEL[3:0]	ユーザーオフセットテーブル選択 0x0: ユーザーオフセットテーブルを使用しない 0x1: ユーザーオフセットテーブル 0 を使用 0x2: ユーザーオフセットテーブル 1 を使用 0x3: ユーザーオフセットテーブル 2 を使用 : 0x8: ユーザーオフセットテーブル 7 を使用 その他: 設定禁止	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. オーバーサンプリングモードまたはハイブリッドモードで A/D 変換を行うときはいつでも、デジタルフィルタを使用してください。
注 2. SAR モードで A/D 変換を行うときはいつでも、デジタルフィルタは使用禁止です。

ADDOPCRAn レジスタは、仮想チャネル n の A/D 変換データに対してデータ演算機能を選択するレジスタの 1 つです。

DFSEL[2:0]ビット（デジタルフィルタ選択）

DFSEL[2:0]ビットは、仮想チャネル n の A/D 変換データを入力するためのデジタルフィルタを選択します。DFSEL[2:0]ビットに 000b が設定されると、デジタルフィルタは使用されません。DFSEL[2:0]ビットに 001b、

010b、011b、または 100b が設定されると、DFSEL[2:0]ビットの設定に対応するデジタルフィルタが選択されます。デジタルフィルタの特性は、ADDFSRm (m = 0, 1) レジスタにより指定されます。

SAR モードでは、DFSEL[2:0]ビットに 000b を選択してください。オーバーサンプリングモードまたはハイブリッドモードでは、DFSEL[2:0]ビットを 001b、010b、011b、または 100b に設定してください。

GAINSEL[3:0] ビット (ユーザーゲインテーブル選択)

GAINSEL[3:0]ビットは、仮想チャネル n の A/D 変換データを調整するためのユーザーゲインテーブルを選択します。

GAINSEL[3:0]ビットを 0x0 にした場合、ゲイン調整は行われません。GAINSEL[3:0]ビットを 0x1～0x8 の間のいずれかにした場合、GAINSEL[3:0]ビットで選択したユーザーゲインテーブルに従って、ゲイン調整が行われます。

OFSETSEL[3:0] ビット (ユーザーオフセットテーブル選択)

OFSETSEL[3:0]ビットは、仮想チャネル n の A/D 変換データを調整するためのユーザーオフセットテーブルを選択します。OFSETSEL[3:0]ビットを 0x0 にした場合、オフセット調整は行われません。OFSETSEL[3:0]ビットを 0x1～0x8 の間のいずれかにした場合、OFSETSEL[3:0]ビットで選択したユーザーオフセットテーブルに従って、オフセット調整が行われます。

53.2.3.3 ADDOPCRBn : A/D 変換データ演算コントロール B レジスタ n (n = 0～32)

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x608 + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	CMPTBLE7	CMPTBLE6	CMPTBLE5	CMPTBLE4	CMPTBLE3	CMPTBLE2	CMPTBLE1	CMPTBLE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	ADC[3:0]				—	—	—	—	—	—	AVEMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	AVEMD[1:0]	加算／平均モード選択 0 0: 加算モードも平均モードも使用しない 0 1: 加算モード 1 0: 平均モード 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	ADC[3:0]	加算／平均回数選択 0x0: 1 回変換（加算なし。通常変換と同じ。） 0x1: 2 回変換（1 回加算を行う） 0x3: 4 回変換（3 回加算を行う） 0x4: 8 回変換（7 回加算を行う） 0x5: 16 回変換（15 回加算を行う） 0x6: 32 回変換（31 回加算を行う） 0x7: 64 回変換（63 回加算を行う） 0x8: 128 回変換（127 回加算を行う） 0x9: 256 回変換（255 回加算を行う） 0xA: 512 回変換（511 回加算を行う） 0xB: 1024 回変換（1023 回加算を行う） その他: 設定禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
23:16	CMPTBLE0～ CMPTBLE7	コンペアマッチ許可 各ビットシンボルの添え字はコンペアマッチテーブルの番号 m に対応します。 0: コンペアマッチテーブル m とのコンペアマッチを禁止 1: コンペアマッチテーブル m とのコンペアマッチを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDOPCRBn レジスタは、仮想チャネル n の A/D 変換データに対してデータ演算機能を選択するレジスタの 1 つです。

AVEMD[1:0] ビット (加算／平均モード選択)

AVEMD[1:0]ビットは、仮想チャネル n の A/D 変換のための加算モードまたは平均モードを選択します。AVEMD[1:0]ビットを 00b にした場合、加算／平均動作は行われません。AVEMD[1:0]ビットを 01b または 10b にした場合、ADC[3:0]ビットの設定値に従って加算／平均動作が行われます。

ADC[3:0] ビット (加算／平均回数選択)

ADC[3:0]ビットは、仮想チャネル n の A/D 変換に対する加算／平均回数を選択します。AVEMD[1:0]ビットで加算モードまたは平均モードを選択した場合、ADC[3:0]ビットの設定値に応じた回数分、A/D 変換が行われます。

CMPTBLEm ビット（コンペアマッチ許可）(m = 0～7)

CMPTBLEm ビットは、仮想チャネル n の A/D 変換データに対し、コンペアマッチテーブル m を使ったコンペアマッチを許可または禁止します。

53.2.3.4 ADDOPCRCn : A/D 変換データ演算コントロール C レジスタ n (n = 0～32)

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x60C + 0x10 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	SIGNSEL	—	—	ADPRC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	LIMTBLS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	LIMTBLS[3:0]	リミッタークリップテーブル選択 0x0: リミッタークリップテーブルを使用しない 0x1: リミッタークリップテーブル 0 を使用 0x2: リミッタークリップテーブル 1 を使用 0x3: リミッタークリップテーブル 2 を使用 : 0x8: リミッタークリップテーブル 7 を使用 その他: 設定禁止	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	ADPRC[1:0]	A/D 変換データフォーマット選択 0 0: A/D 変換結果を 16 ビットデータフォーマットとして格納 0 1: A/D 変換結果を 14 ビットデータフォーマットとして格納 1 0: A/D 変換結果を 12 ビットデータフォーマットとして格納 1 1: A/D 変換結果を 10 ビットデータフォーマットとして格納	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
20	SIGNSEL	A/D 変換データ符号選択 0: 符号付きデータフォーマット 1: 符号なしデータフォーマット	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDOPCRCn レジスタは、仮想チャネル n の A/D 変換データに対してデータ演算機能を選択するレジスタの 1 つです。

LIMTBLS[3:0] ビット (リミッタークリップテーブル選択)

LIMTBLS[3:0] ビットは、仮想チャネル n の A/D 変換データをクリップするためのリミッタークリップテーブルを選択します。LIMTBLS[3:0] ビットを 0x0 にすると、A/D 変換データはクリップされません。LIMTBLS[3:0] ビットを 0x1～0x8 の間のいずれかにすると、LIMTBLS[3:0] ビットで選択したリミッタークリップテーブルに従って A/D 変換データはクリップされます。

ADPRC[1:0] ビット (A/D 変換データフォーマット選択)

ADPRC[1:0]ビットは、A/D 変換データのデータ長を選択します。仮想チャネル n の A/D 変換データは、選択したデータ長で A/D データレジスタまたは FIFO に格納されます。

SIGNSEL ビット (A/D 変換データ符号選択)

SIGNSEL ビットは、A/D 変換データの符号付き／符号なしデータフォーマットを選択するビットです。仮想チャネル n の A/D 変換データは、選択したデータフォーマットで A/D データレジスタまたは FIFO に格納されます。

自己診断チャネルの A/D 変換を行うときはいつでも、符号付きデータフォーマット (SIGNSEL = 0) を選択してください。自己診断チャネルの A/D 変換を行わない場合に、SAR モードで A/D 変換を行うときはいつでも、符号なしデータフォーマット (SIGNSEL = 1) を選択してください。オーバーサンプリングモードまたはハイブリッドモードでは、自己診断チャネルの A/D 変換を行わない場合に、符号付きデータフォーマットまたは符号なしデータフォーマットで A/D 変換可能です。

53.2.4 A/D 変換設定

53.2.4.1 ADSGDCRn : スキャングループ診断機能コントロールレジスタ n（n = 0～8）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x200 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ADNDIS[7:0]								—	—	ADDISN	ADDISP	—	—	—	ADDISEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	DIAGVAL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	DIAGVAL[2:0]	自己診断モード選択 000: 自己診断チャネルが含まれていない場合に設定 自己診断チャネルが 1 つでも含まれる場合は設定禁止 100: 自己診断モード 1 101: 自己診断モード 2 110: 自己診断モード 3 その他: 設定禁止	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
16	ADDISEN	断線検出アシスト有効化 0: 断線検出アシスト機能を無効化 1: 断線検出アシスト機能を有効化	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	ADDISP	断線検出アシストモード選択 （偶数番号アナログチャネル用） 0: ディスチャージ 1: プリチャージ	R/W
21	ADDISN	断線検出アシストモード選択 （奇数番号アナログチャネル用） 0: ディスチャージ 1: プリチャージ	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:24	ADNDIS[7:0]	断線検出アシスト期間 0x0: 断線検出アシスト機能が有効な場合は設定禁止 0x1: 設定禁止 0x2: 設定禁止 0x3: 設定禁止 その他: ディスチャージ／プリチャージ期間のステート数 演算で実際に有効なステート数は、レジスタの設定値-1 です。	R/W

ADSGDCRn レジスタは、スキャングループ n のスキャン動作時に診断機能を制御します。

DIAGVAL[2:0] ビット（自己診断モード選択）

DIAGVAL[2:0]ビットは、A/D コンバータの自己診断モードを選択します。

スキャングループ n に、自己診断チャネルを選択した仮想チャネルが 1 つも含まれていない場合、DIAGVAL[2:0]ビットは 000b にする必要があります。スキャングループ n に、自己診断チャネルを選択した仮想チャネルが含まれている場合、DIAGVAL[2:0]ビットは 100b、101b、または 110b にする必要があります。

ADDISEN ビット（断線検出アシスト有効化）

ADDISEN ビットは、断線検出アシスト機能を有効または無効にします。ADDISEN ビットを 0 にする場合、断線検出アシスト動作は実行されません。ADDISEN ビットを 1 にする場合、ADDISP ビットと ADDISN ビットの設定に応じた断線検出アシスト動作が、スキャングループ n のスキャン動作時に実行されます。

ADDISP ビット／ADDISN ビット（断線検出アシストモード選択）

ADDISP ビットと ADDISN ビットは、断線検出の際にディスチャージ／プリチャージ動作を選択します。

ADDISP ビットは、偶数番号のアナログチャネルのディスチャージ／プリチャージ動作を選択します。

ADDISN ビットは、奇数番号のアナログチャネルのディスチャージ／プリチャージ動作を選択します。

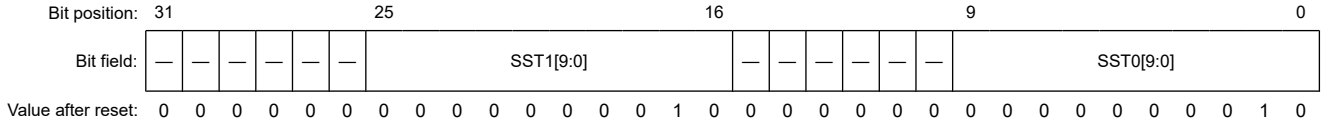
ADNDIS[7:0] ビット（断線検出アシスト期間）

ADNDIS[7:0]ビットはディスチャージ／プリチャージ期間を選択します。断線検出アシスト機能が無効 (ADDISEN = 0) の場合、ADNDIS[7:0]ビットを 0x0 にしてください。断線検出アシスト機能が有効 (ADDISEN = 1) の場合、ADNDIS[7:0]ビットを 0x3～0xFF にしてください。演算で実際に有効なステート数は、レジスタの設定値-1 です。例えば、ADNDIS[7:0] = 0x05 に設定された場合、ディスチャージ／プリチャージ期間は、4 ステートです。

53.2.4.2 ADSSTR0 : サンプリングステートテーブルレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x240



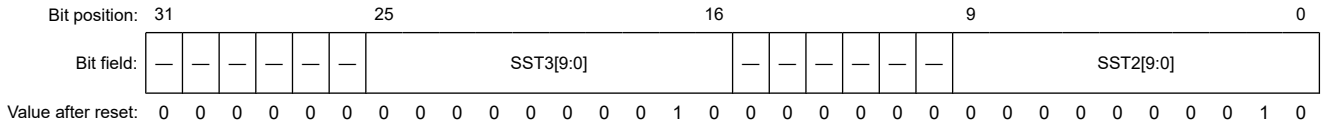
ビット	シンボル	機能	R/W
9:0	SST0[9:0]	サンプリングステートテーブル 0 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	SST1[9:0]	サンプリングステートテーブル 1 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSSTR0 レジスタは、各サンプリングステートテーブルを使用している A/D 変換時のサンプリング時間を選択します。

53.2.4.3 ADSSTR1 : サンプリングステートテーブルレジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x244



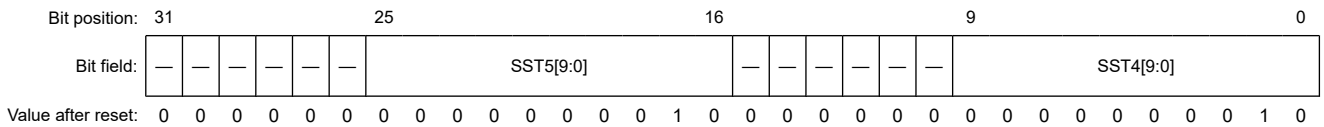
ビット	シンボル	機能	R/W
9:0	SST2[9:0]	サンプリングステートテーブル 2 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	SST3[9:0]	サンプリングステートテーブル 3 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSSTR1 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

53.2.4.4 ADSSTR2 : サンプリングステートテーブルレジスタ 2

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x248



ビット	シンボル	機能	R/W
9:0	SST4[9:0]	サンプリングステートテーブル 4 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	SST5[9:0]	サンプリングステートテーブル 5 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSSTR2 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

53.2.4.5 ADSSTR3 : サンプリングステートテーブルレジスタ 3

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x24C

Bit position:	31						25										16						9								0
Bit field:	—	—	—	—	—	—	SST7[9:0]										—	—	—	—	—	—	SST6[9:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
9:0	SST6[9:0]	サンプリングステートテーブル 6 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	SST7[9:0]	サンプリングステートテーブル 7 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSSTR3 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

53.2.4.6 ADSSTR4 : サンプリングステートテーブルレジスタ 4

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x250

Bit position:	31						25										16						9								0
Bit field:	—	—	—	—	—	—	SST9[9:0]										—	—	—	—	—	—	SST8[9:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
9:0	SST8[9:0]	サンプリングステートテーブル 8 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	SST9[9:0]	サンプリングステートテーブル 9 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSSTR4 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

53.2.4.7 ADSSTR5 : サンプリングステートテーブルレジスタ 5

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x254

Bit position:	31						25										16						9								0
Bit field:	—	—	—	—	—	—	SST11[9:0]										—	—	—	—	—	—	SST10[9:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
9:0	SST10[9:0]	サンプリングステートテーブル 10 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	SST11[9:0]	サンプリングステートテーブル 11 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSSTR5 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

53.2.4.8 ADSSTR6 : サンプリングステートテーブルレジスタ 6

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x258

Bit position:	31						25										16						9								0
Bit field:	—	—	—	—	—	—	SST13[9:0]										—	—	—	—	—	—	SST12[9:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
9:0	SST12[9:0]	サンプリングステートテーブル 12 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	SST13[9:0]	サンプリングステートテーブル 13 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSSTR6 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

53.2.4.9 ADSSTR7 : サンプリングステートテーブルレジスタ 7

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x25C

Bit position:	31						25										16						9								0
Bit field:	—	—	—	—	—	—	SST15[9:0]										—	—	—	—	—	—	SST14[9:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
9:0	SST14[9:0]	サンプリングステートテーブル 14 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	SST15[9:0]	サンプリングステートテーブル 15 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSSTR7 レジスタは、各サンプリングステートテーブルを使用している A/D 変換の際のサンプリング時間を選択します。

53.2.4.10 ADCNVSTR : A/D 変換ステートレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x260

Bit position:	31																	13					8		5						0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST1[5:0]					—	—	CST0[5:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
5:0	CST0[5:0]	A/D コンバータユニット 0 (ADC0) A/D 逐次比較時間設定 これらのビットは、3～63 ステートの間で逐次比較時間を設定します。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	CST1[5:0]	A/D コンバータユニット 1 (ADC1) A/D 逐次比較時間設定 これらのビットは、3～63 ステートの間で逐次比較時間を設定します。	R/W
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCNVSTR レジスタは、サンプリングされたアナログ入力をデジタル値へ変換するために A/D コンバータユニット 0 またはユニット 1 が必要とする A/D 逐次比較時間を、A/D 変換クロック (ADCLK) に基づく周期数で指定します。A/D 逐次比較時間には、アナログ入力のサンプリング時間は含まれません。

A/D 逐次比較時間には、「62. 電気的特性」で指定された値を満足する値を設定する必要があります。もし A/D 逐次比較時間が電気的特性の規定を超える値を設定した場合、A/D 変換結果は保証されません。また、各 A/D コンバータの A/D 逐次比較時間は同じになるように設定してください。(CST0[5:0]ビットと CST1[5:0]ビットに同じ値を設定してください)

53.2.5 サンプル&ホールドおよびその他

53.2.5.1 ADSHCR0 : チャネル専用サンプル&ホールド回路コントロールレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x280

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHMD2	SHMD1	SHMD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHEN2	SHEN1	SHEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SHEN0	チャネル専用サンプル&ホールド回路ユニット 0 選択 0: 回路ユニット 0 をバイパス 1: 回路ユニット 0 を使用	R/W
1	SHEN1	チャネル専用サンプル&ホールド回路ユニット 1 選択 0: 回路ユニット 1 をバイパス 1: 回路ユニット 1 を使用	R/W
2	SHEN2	チャネル専用サンプル&ホールド回路ユニット 2 選択 0: 回路ユニット 2 をバイパス 1: 回路ユニット 2 を使用	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SHMD0(注1)	チャネル専用サンプル&ホールド回路ユニット 0 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
17	SHMD1(注1)	チャネル専用サンプル&ホールド回路ユニット 1 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
18	SHMD2(注1)	チャネル専用サンプル&ホールド回路ユニット 2 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. チャネル専用サンプル＆ホールド回路の使用時には、ADSHCRm.SHMDn (m = 0, 1, n = 0〜2, 4〜6) および対応する ADCHCRn.AINMD (n = 0 〜32) の設定が一致している必要があります。

ADSHCR0 レジスタは、A/D コンバータユニット 0 (ADC0) に接続されたチャネル専用サンプル&ホールド回路（ユニット 0、ユニット 1、およびユニット 2）を制御します。

SHENn ビット（チャネル専用サンプル&ホールド回路バイパス選択）(n = 0〜2)

SHENn ビットは、チャネル専用サンプル&ホールド回路ユニット n を使用するかバイパスするかを選択します。

SHENn ビットを 0 にすると、チャネル専用サンプル&ホールド回路ユニット n は無効になります。チャネル専用サンプル&ホールド回路ユニット n が接続されたアナログ入力チャネルが A/D 変換される場合、チャネル専用サンプル&ホールド回路は使用されず、バイパスされます。

SHENn ビットを 1 にすると、チャネル専用サンプル&ホールド回路ユニット n が有効になります。この場合、チャネル専用サンプル&ホールド回路ユニット n が接続されたアナログ入力チャネルが A/D 変換されるとき、チャネル専用サンプル&ホールド回路は使用されます。

SHMDn ビット（チャネル専用サンプル&ホールド回路入力モード選択）(n = 0〜2)

SHMDn ビットは、チャネル専用サンプル&ホールド回路ユニット n の入力モードを選択します。

SHMDn ビットを 0 にすると、チャネル専用サンプル&ホールド回路ユニット n はシングルエンド入力モードになります。

SHMDn ビットを 1 にすると、チャネル専用サンプル&ホールド回路ユニット n は差動入力モードになります。

53.2.5.2 ADSHCR1 : チャネル専用サンプル&ホールド回路コントロールレジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x28C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHMD6	SHMD5	SHMD4
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHEN6	SHEN5	SHEN4
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SHEN4	チャネル専用サンプル&ホールド回路ユニット 4 選択 0: 回路ユニット 4 をバイパス 1: 回路ユニット 4 を使用	R/W
1	SHEN5	チャネル専用サンプル&ホールド回路ユニット 5 選択 0: 回路ユニット 5 をバイパス 1: 回路ユニット 5 を使用	R/W
2	SHEN6	チャネル専用サンプル&ホールド回路ユニット 6 選択 0: 回路ユニット 6 をバイパス 1: 回路ユニット 6 を使用	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SHMD4(注1)	チャネル専用サンプル&ホールド回路ユニット 4 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
17	SHMD5(注1)	チャネル専用サンプル&ホールド回路ユニット 5 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
18	SHMD6(注1)	チャネル専用サンプル&ホールド回路ユニット 6 入力モード選択 0: シングルエンド入力モード 1: 差動入力モード	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. チャネル専用サンプル＆ホールド回路の使用時には、ADSHCRm.SHMDn (m = 0, 1, n = 0～2, 4～6) および対応する ADCHCRn.AINMD (n = 0 ～32) の設定が一致している必要があります。

ADSHCR1 レジスタは、A/D コンバータユニット 1 (ADC1) に接続されたチャネル専用サンプル&ホールド回路（ユニット 4、ユニット 5、およびユニット 6）を制御します。

SHENn ビット（チャネル専用サンプル&ホールド回路バイパス選択）(n = 4～6)

SHENn ビットは、チャネル専用サンプル&ホールド回路ユニット n を使用するかバイパスするかを選択します。

SHENn ビットを 0 にすると、チャネル専用サンプル&ホールド回路ユニット n は無効になります。チャネル専用サンプル&ホールド回路ユニット n が接続されたアナログ入力チャネルが A/D 変換される場合、チャネル専用サンプル&ホールド回路は使用されず、バイパスされます。

SHENn ビットを 1 にすると、チャネル専用サンプル&ホールド回路ユニット n が有効になります。この場合、チャネル専用サンプル&ホールド回路ユニット n が接続されたアナログ入力チャネルが A/D 変換されるとき、チャネル専用サンプル&ホールド回路は使用されます。

SHMDn ビット（チャネル専用サンプル&ホールド回路入力モード選択）(n = 4～6)

SHMDn ビットは、チャネル専用サンプル&ホールド回路ユニット n の入力モードを選択します。

SHMDn ビットを 0 にすると、チャネル専用サンプル&ホールド回路ユニット n はシングルエンド入力モードになります。

SHMDn ビットを 1 にすると、チャネル専用サンプル&ホールド回路ユニット n は差動入力モードになります。

53.2.5.3 ADSHDCR0：チャネル専用サンプル＆ホールド回路診断コントロールレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x284

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	SH0DIS	—	—	—	SH0DISEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SH0DISEN	A/D コンバータユニット 0 チャネル専用サンプル＆ホールド回路断線検出アシスト有効 0: 断線検出アシスト無効 1: 断線検出アシスト有効	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SH0DIS	A/D コンバータユニット 0 チャネル専用サンプル＆ホールド回路断線検出アシスト選択 0: ディスチャージ 1: プリチャージ	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 制限事項の詳細については、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

ADSHDCR0 レジスタは、A/D コンバータユニット 0 (ADC0) に接続されたチャネル専用サンプル＆ホールド回路（ユニット 0、ユニット 1、およびユニット 2）の診断機能の設定を制御します。

53.2.5.4 ADSHDCR1：チャネル専用サンプル＆ホールド回路診断コントロールレジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x290

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	SH1DIS	—	—	—	SH1DISEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SH1DISEN	A/D コンバータユニット 1 チャネル専用サンプル＆ホールド回路断線検出アシスト有効 0: 断線検出アシスト無効 1: 断線検出アシスト有効	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SH1DIS	A/D コンバータユニット 1 チャネル専用サンプル＆ホールド回路断線検出アシスト選択 0: ディスチャージ 1: プリチャージ	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 制限事項の詳細については、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

ADSHDCR1 レジスタは、A/D コンバータユニット 1 (ADC1) に接続されたチャネル専用サンプル＆ホールド回路（ユニット 4、ユニット 5、およびユニット 6）の診断機能の設定を制御します。

53.2.5.5 ADSHSTR0 : チャネル専用サンプル&ホールド回路ステートレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x288

Bit position:	31													18	16								7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHHST[2:0]		—	—	—	—	—	—	—	—	SHSST[7:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
7:0	SHSST[7:0]	チャネル専用サンプル&ホールド回路ユニット 0～2 サンプリング時間設定 これらのビットは、4～255 ステートの間でサンプリング時間を設定します。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	SHHST[2:0]	チャネル専用サンプル&ホールド回路ユニット 0～2 ホールドモード切替時間選択 これらのビットは、2～7 ステートのレンジでホールドモード切替時間を設定します。	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSHSTR0 レジスタは、 A/D コンバータユニット 0 (ADC0) に接続されたチャネル専用サンプル&ホールド回路（ユニット 0、ユニット 1、およびユニット 2）のサンプリング時間とホールドモード切替時間を指定します。本レジスタには、「62. 電気的特性」の規定を満足する値を設定してください。

53.2.5.6 ADSHSTR1 : チャネル専用サンプル&ホールド回路ステートレジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x294

Bit position:	31													18	16								7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHHST[2:0]		—	—	—	—	—	—	—	—	SHSST[7:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
7:0	SHSST[7:0]	チャネル専用サンプル&ホールド回路ユニット 4～6 サンプリング時間設定 これらのビットは、4～255 ステートの間でサンプリング時間を設定します。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
18:16	SHHST[2:0]	チャネル専用サンプル&ホールド回路ユニット 4～6 ホールドモード切替時間選択 これらのビットは、2～7 ステートのレンジでホールドモード切替時間を設定します。	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSHSTR1 レジスタは、 A/D コンバータユニット 1 (ADC1) に接続されたチャネル専用サンプル&ホールド回路（ユニット 4、ユニット 5、およびユニット 6）のサンプリング時間とホールドモード切替時間を指定します。本レジスタには、「62. 電気的特性」の規定を満足する値を設定してください。

53.2.5.7 ADSHSBPCR : チャネル専用サンプル＆ホールド回路シングルエンド入力モードバイパスコントロールレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x310

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	SHSBN6	SHSBN5	SHSBN4	—	SHSBN2	SHSBN1	SHSBN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	SHSBP6	SHSBP5	SHSBP4	—	SHSBP2	SHSBP1	SHSBP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SHSBP0	チャネル専用サンプル＆ホールド回路ユニット 0 シングルエンド入力バイパス選択（偶数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR0.SHEN0 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
1	SHSBP1	チャネル専用サンプル＆ホールド回路ユニット 1 シングルエンド入力バイパス選択（偶数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR0.SHEN1 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
2	SHSBP2	チャネル専用サンプル＆ホールド回路ユニット 2 シングルエンド入力バイパス選択（偶数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR0.SHEN2 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R
4	SHSBP4	チャネル専用サンプル＆ホールド回路ユニット 4 シングルエンド入力バイパス選択（偶数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR1.SHEN4 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
5	SHSBP5	チャネル専用サンプル＆ホールド回路ユニット 5 シングルエンド入力バイパス選択（偶数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR1.SHEN5 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W

ビット	シンボル	機能	R/W
6	SHSBP6	チャネル専用サンプル＆ホールド回路ユニット 6 シングルエンド入力バイパス選択（偶数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR1.SHEN6 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	SHSBN0	チャネル専用サンプル＆ホールド回路ユニット 0 シングルエンド入力バイパス選択（奇数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR0.SHEN0 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
17	SHSBN1	チャネル専用サンプル＆ホールド回路ユニット 1 シングルエンド入力バイパス選択（奇数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR0.SHEN1 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
18	SHSBN2	チャネル専用サンプル＆ホールド回路ユニット 2 シングルエンド入力バイパス選択（奇数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR0.SHEN2 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R
20	SHSBN4	チャネル専用サンプル＆ホールド回路ユニット 4 シングルエンド入力バイパス選択（奇数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR1.SHEN4 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
21	SHSBN5	チャネル専用サンプル＆ホールド回路ユニット 5 シングルエンド入力バイパス選択（奇数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR1.SHEN5 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
22	SHSBN6	チャネル専用サンプル＆ホールド回路ユニット 6 シングルエンド入力バイパス選択（奇数番号のアナログチャネル） 対象のチャネル専用サンプル＆ホールド回路の設定が ADSHCR1.SHEN6 = 0 の場合のみ書き込み可能 0: サンプル＆ホールド回路を使用 1: サンプル＆ホールド回路をバイパス	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 書き込みアクセスが許可されるのは、対象のサンプル＆ホールド回路の ADSHCRx.SHENn (x = 0, 1, n = 0～2, 4～6) が 0 のときだけです。ADSHCRx.SHENn が 1 の場合、このビットへの 1 の書き込みは無視されます。

ADSHSBPCR レジスタは、チャネル専用サンプル＆ホールド回路のシングルエンドバイパスモードを制御します。

SHSBPn（偶数番号のチャネルに対するチャネル専用サンプル＆ホールド回路ユニット n のシングルエンド入力バイパス制御） (n = 0～2, 4～6)

SHSBNn（奇数番号のチャネルに対するチャネル専用サンプル＆ホールド回路ユニット n のシングルエンド入力バイパス制御） (n = 0～2, 4～6)

SHSBPn ビットと SHSBNn ビットは、チャネル専用サンプル＆ホールド回路が有効なときに A/D 変換のアナログ入力を制御します。

このビットが 0 のとき、チャネル専用サンプル＆ホールド回路によって保持されているアナログ出力が A/D 変換されます。

このビットが 1 のとき、チャネル専用サンプル&ホールド回路のアナログ入力が A/D 変換されます。この場合、チャネル専用サンプル&ホールド回路によって保持されているアナログ出力は A/D 変換で無視されます。

チャネル専用サンプル&ホールド回路がシングルエンド入力モードで使用される場合、そのチャネル専用サンプル&ホールド回路の使われていないチャネルのアナログ入力は、チャネル専用サンプル&ホールド回路を経由しないで A/D 変換することができます。

53.2.5.8 ADSHDBPCR : チャネル専用サンプル&ホールド回路差動入力モードバイパスコントロールレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x314

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SHDBP8	SHDBP7	SHDBP6	SHDBP5	SHDBP4	SHDBP3	SHDBP2	SHDBP1	SHDBP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SHDBP0	スキャングループ 0 チャネル専用サンプル&ホールド回路差動入力バイパス選択 0: サンプル&ホールド回路を使用 1: サンプル&ホールド回路をバイパス	R/W
1	SHDBP1	スキャングループ 1 チャネル専用サンプル&ホールド回路差動入力バイパス選択 0: サンプル&ホールド回路を使用 1: サンプル&ホールド回路をバイパス	R/W
2	SHDBP2	スキャングループ 2 チャネル専用サンプル&ホールド回路差動入力バイパス選択 0: サンプル&ホールド回路を使用 1: サンプル&ホールド回路をバイパス	R/W
3	SHDBP3	スキャングループ 3 チャネル専用サンプル&ホールド回路差動入力バイパス選択 0: サンプル&ホールド回路を使用 1: サンプル&ホールド回路をバイパス	R/W
4	SHDBP4	スキャングループ 4 チャネル専用サンプル&ホールド回路差動入力バイパス選択 0: サンプル&ホールド回路を使用 1: サンプル&ホールド回路をバイパス	R/W
5	SHDBP5	スキャングループ 5 チャネル専用サンプル&ホールド回路差動入力バイパス選択 0: サンプル&ホールド回路を使用 1: サンプル&ホールド回路をバイパス	R/W
6	SHDBP6	スキャングループ 6 チャネル専用サンプル&ホールド回路差動入力バイパス選択 0: サンプル&ホールド回路を使用 1: サンプル&ホールド回路をバイパス	R/W
7	SHDBP7	スキャングループ 7 チャネル専用サンプル&ホールド回路差動入力バイパス選択 0: サンプル&ホールド回路を使用 1: サンプル&ホールド回路をバイパス	R/W
8	SHDBP8	スキャングループ 8 チャネル専用サンプル&ホールド回路差動入力バイパス選択 0: サンプル&ホールド回路を使用 1: サンプル&ホールド回路をバイパス	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADSHDBPCR レジスタは、チャネル専用サンプル&ホールド回路の差動入力バイパスモードを制御します。

SHDBPn（スキャングループ n 用のチャネル専用サンプル＆ホールド回路差動入力バイパス制御） (n = 0～8)

このビットが 0 のとき、スキャングループで指定されたチャネル専用サンプル＆ホールド回路によって保持されているアナログ出力が A/D 変換されます。

このビットが 1 のとき、スキャングループで指定されたチャネル専用サンプル＆ホールド回路のアナログ入力が A/D 変換されます。この場合、チャネル専用サンプル＆ホールド回路によって保持されているアナログ出力は A/D 変換で無視されます。

チャネル専用サンプル&ホールド回路を差動入力モードで使用するときに断線検出アシスト機能が必要な場合は、入力モードをシングルエンドモードに変更する必要があります。ただし、チャネル専用サンプル&ホールド回路に組み込まれている断線検出アシスト機能を使用するように入力モードを変更する場合は、チャネル専用サンプル&ホールド回路の校正が必要です。

この機能を使用すると、チャネル専用サンプル＆ホールド回路をバイパスし、チャネル専用サンプル＆ホールド回路を再校正することなく断線検出アシスト機能を利用することができます。

53.2.5.9 ADSHSDCR0 : チャネル専用サンプル＆ホールド回路自己診断コントロールレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x318

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	SHDIAG7[2:0]			—	SHDIAG6[2:0]			—	SHDIAG5[2:0]			—	SHDIAG4[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	SHDIAG3[2:0]			—	SHDIAG2[2:0]			—	SHDIAG1[2:0]			—	SHDIAG0[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SHDIAG0[2:0]	スキャングループ 0 チャネル専用サンプル＆ホールド回路自己診断電圧選択 000: 通常動作 001: 自己診断電圧 0 V 010: 自己診断電圧−VREFH 011: 自己診断電圧+VREFH 100: 自己診断電圧 0 V 101: 自己診断電圧−VREFH/2 110: 自己診断電圧+VREFH/2 111: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	SHDIAG1[2:0]	スキャングループ 1 チャネル専用サンプル＆ホールド回路自己診断電圧選択 000: 通常動作 001: 自己診断電圧 0 V 010: 自己診断電圧−VREFH 011: 自己診断電圧+VREFH 100: 自己診断電圧 0 V 101: 自己診断電圧−VREFH/2 110: 自己診断電圧+VREFH/2 111: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
10:8	SHDIAG2[2:0]	スキャングループ 2 チャネル専用サンプル＆ホールド回路自己診断電圧選択 000: 通常動作 001: 自己診断電圧 0 V 010: 自己診断電圧−VREFH 011: 自己診断電圧+VREFH 100: 自己診断電圧 0 V 101: 自己診断電圧−VREFH/2 110: 自己診断電圧+VREFH/2 111: 設定禁止	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	SHDIAG3[2:0]	スキャングループ 3 チャネル専用サンプル＆ホールド回路自己診断電圧選択 000: 通常動作 001: 自己診断電圧 0 V 010: 自己診断電圧−VREFH 011: 自己診断電圧+VREFH 100: 自己診断電圧 0 V 101: 自己診断電圧−VREFH/2 110: 自己診断電圧+VREFH/2 111: 設定禁止	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	SHDIAG4[2:0]	スキャングループ 4 チャネル専用サンプル＆ホールド回路自己診断電圧選択 000: 通常動作 001: 自己診断電圧 0 V 010: 自己診断電圧−VREFH 011: 自己診断電圧+VREFH 100: 自己診断電圧 0 V 101: 自己診断電圧−VREFH/2 110: 自己診断電圧+VREFH/2 111: 設定禁止	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:20	SHDIAG5[2:0]	スキャングループ 5 チャネル専用サンプル＆ホールド回路自己診断電圧選択 000: 通常動作 001: 自己診断電圧 0 V 010: 自己診断電圧−VREFH 011: 自己診断電圧+VREFH 100: 自己診断電圧 0 V 101: 自己診断電圧−VREFH/2 110: 自己診断電圧+VREFH/2 111: 設定禁止	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	SHDIAG6[2:0]	スキャングループ 6 チャネル専用サンプル＆ホールド回路自己診断電圧選択 000: 通常動作 001: 自己診断電圧 0 V 010: 自己診断電圧−VREFH 011: 自己診断電圧+VREFH 100: 自己診断電圧 0 V 101: 自己診断電圧−VREFH/2 110: 自己診断電圧+VREFH/2 111: 設定禁止	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	SHDIAG7[2:0]	スキャングループ 7 チャネル専用サンプル＆ホールド回路自己診断電圧選択 000: 通常動作 001: 自己診断電圧 0 V 010: 自己診断電圧−VREFH 011: 自己診断電圧+VREFH 100: 自己診断電圧 0 V 101: 自己診断電圧−VREFH/2 110: 自己診断電圧+VREFH/2 111: 設定禁止	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 制限事項の詳細については、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

ADSHSDCR0 レジスタは、チャネル専用サンプル＆ホールド回路の診断機能を制御します。

53.2.5.10 ADSHSDCR1 : チャネル専用サンプル＆ホールド回路自己診断コントロールレジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x31C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SHDIAG8[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SHDIAG8[2:0]	スキャングループ 8 チャネル専用サンプル＆ホールド回路自己診断電圧選択 000: 通常動作 001: 自己診断電圧 0 V 010: 自己診断電圧−VREFH 011: 自己診断電圧+VREFH 100: 自己診断電圧 0 V 101: 自己診断電圧−VREFH/2 110: 自己診断電圧+VREFH/2 111: 設定禁止	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 制限事項の詳細については、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

ADSHSDCR1 レジスタは、チャネル専用サンプル＆ホールド回路の診断機能を制御します。

53.2.5.11 ADSHCSCR : チャネル専用サンプル&ホールド回路常時サンプリングコントロールレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SHCSST1	—	—	—	—	—	—	—	SHCSST0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SHCSST0	A/D コンバータユニット 0 (ADC0) のチャネル専用サンプル＆ホールド回路常時サンプリング制御ビット SHCSST0 が有効なときに、チャネル専用サンプル＆ホールド回路のサンプリングが開始されます。 0: チャネル専用サンプル＆ホールド回路の常時サンプリング無効化 1: チャネル専用サンプル＆ホールド回路の常時サンプリング有効化	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SHCSST1	A/D コンバータユニット 1 (ADC1) のチャネル専用サンプル＆ホールド回路常時サンプリング制御ビット SHCSST1 が有効なときに、チャネル専用サンプル＆ホールド回路のサンプリングが開始されます。 0: チャネル専用サンプル＆ホールド回路の常時サンプリング無効化 1: チャネル専用サンプル＆ホールド回路の常時サンプリング有効化	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは校正後に使用する必要があります。
注. チャネル専用サンプル＆ホールド回路を使用しないときにこのレジスタを使用することは禁止されています。
注. 制限事項の詳細については、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

ADSHCSCR レジスタは、チャネル専用サンプル＆ホールド回路の常時サンプリング機能を制御します。

53.2.5.12 ADREFCR : 内部基準電圧監視イネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x320

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VDE	内部基準電圧 A/D 変換選択 0: 内部基準電圧の A/D 変換無効化 1: 内部基準電圧の A/D 変換有効化	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADREFCR レジスタは、内部基準電圧回路の機能を制御します。内部基準電圧を A/D 変換する場合、VDE ビットを 1 にしてください。

53.2.6 デジタルフィルタ

53.2.6.1 ADDFSRn : A/D コンバータデジタルフィルタ選択レジスタ n (n = 0, 1)

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x340 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	DFSEL3[1:0]		—	—	—	—	—	—	DFSEL2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DFSEL1[1:0]		—	—	—	—	—	—	DFSEL0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	DFSEL0[1:0]	A/D コンバータユニット n 第 1 デジタルフィルタ特性選択 0 1: Sinc フィルタ その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	DFSEL1[1:0]	A/D コンバータユニット n 第 2 デジタルフィルタ特性選択 0 1: Sinc フィルタ その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	DFSEL2[1:0]	A/D コンバータユニット n 第 3 デジタルフィルタ特性選択 0 1: Sinc フィルタ その他: 設定禁止	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	DFSEL3[1:0]	A/D コンバータユニット n 第 4 デジタルフィルタ特性選択 0 1: Sinc フィルタ その他: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDFSRn レジスタは A/D コンバータユニット n のデジタルフィルタの特性を選択します。A/D 変換に使用されるデジタルフィルタの選択は、ADDOPCRAm レジスタ (m = 0～32) により指定されます。デジタルフィルタ機能を ADDFSRn.DFSELx[1:0] (x = 0～3) ビットで禁止された設定値で使用した場合、A/D 変換特性および A/D 変換結果は保証されません。

53.2.7 自己校正

53.2.7.1 ADCALSTCR : A/D コンバータ自己校正ステートレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x264

Bit position:	31										21						16								9								0
Bit field:	—	—	—	—	—	—	—	—	—	—	CALADCST[5:0]						—	—	—	—	—	—	CALADSST[9:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	

ビット	シンボル	機能	R/W
9:0	CALADSST[9:0]	A/D コンバータ自己校正サンプリング時間設定 これらのビットは、2～1023 ステートの間でサンプリング時間を設定します。	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21:16	CALADCST[5:0]	A/D コンバータ自己校正逐次比較時間設定 これらのビットは、3～63 ステートの間で逐次比較時間を設定します。	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCALSTCR レジスタは、すべての A/D コンバータ (ADC0, ADC1) の自己校正動作時のサンプリング時間と A/D 逐次比較時間を指定します。サンプリング時間と逐次比較時間は、A/D 変換クロック (ADCLK) に基づくクロックサイクル数で設定し、「62. 電気的特性」で指定された値を満足するようにしてください。

53.2.7.2 ADCALSHCR : チャネル専用サンプル&ホールド回路自己校正ステートレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x2B0

Bit position:	31													18		16								7								0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CALSHHST [2:0]		—	—	—	—	—	—	—	—	CALSHSST[7:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	

ビット	シンボル	機能	R/W
7:0	CALSHSST[7:0]	チャネル専用サンプル&ホールド回路自己校正サンプリング時間設定 これらのビットは、4～255 ステートの間でサンプリング時間を設定します。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	CALSHHST[2:0]	チャネル専用サンプル&ホールド回路自己校正ホールドモード切替時間設定 これらのビットは、2～7 ステートの間でホールドモード切替時間を設定します。	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCALSHCR レジスタは、自己校正動作時のすべてのチャネル専用サンプル&ホールド回路（SH0～SH2、SH4～SH6）のサンプリング時間とホールドモード切替時間を指定します。サンプリング時間とホールドモード切替時間は、A/D 変換クロック (ADCLK) に基づくクロックサイクル数で設定し、「62. 電気的特性」で指定された値を満足するようにしてください。

53.2.7.3 ADUOFTRn : ユーザーオフセットテーブルレジスタ n（n = 0～7）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x360 + 0x04 × n

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UOFSET[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	UOFSET[15:0]	ユーザーオフセットテーブル n 0x7FFF: +32767 0x7FFE: +32766 : 0x0002: +2 0x0001: +1 0x0000: 0（ユーザーオフセットなし） 0xFFFF: -1 0xFFFE: -2 : 0x8001: -32767 0x8000: -32768	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADUOFTRn レジスタは、ユーザーオフセットテーブル n 内のオフセット値を指定します。

53.2.7.4 ADUGTRn : ユーザーゲインテーブルレジスタ n（n = 0～7）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x380 + 0x04 × n

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UGAIN[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	UGAIN[15:0]	ユーザーゲインテーブル n これらのビットは、A/D 変換結果に乗じるゲイン値を設定します。 UGAIN[15:14]: ゲインの整数部分 UGAIN[13:0]: ゲインの小数部分	R/W

ビット	シンボル	機能	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADUGTRn レジスタは、ユーザーゲインテーブル n 内のゲイン値を指定します。

53.2.8 リミッタークリップ機能

53.2.8.1 ADLIMINTCR : リミッタークリップ割り込みイネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x3A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LIMIE8	LIMIE7	LIMIE6	LIMIE5	LIMIE4	LIMIE3	LIMIE2	LIMIE1	LIMIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LIMIE0～LIMIE8	リミッタークリップ割り込み n 許可ビット 各ビットシンボルの添え字はリミッタークリップ割り込み番号 n に対応します。 0: リミッタークリップ割り込み n を禁止 1: リミッタークリップ割り込み n を許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADLIMINTCR レジスタは、リミッタークリップ割り込み n を許可または禁止します。

53.2.8.2 ADLIMTRn : リミッタークリップテーブルレジスタ n（n = 0～7）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x3A4 + 0x04 × n

Bit position:	31	16	15	0
Bit field:	LIMU[15:0]		LIML[15:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
15:0	LIML[15:0]	リミッタークリップテーブル n: 下限値	R/W
31:16	LIMU[15:0]	リミッタークリップテーブル n: 上限値	R/W

ADLIMTRn レジスタは、リミッタークリップテーブル n の下限値と上限値を指定します。

53.2.8.3 ADLIMGRSR : リミッタークリップスキャングループステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LIMGRF8	LIMGRF7	LIMGRF6	LIMGRF5	LIMGRF4	LIMGRF3	LIMGRF2	LIMGRF1	LIMGRF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LIMGRF0～ LIMGRF8	スキャングループ n リミッタークリップフラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n のリミッタークリップは未検出 1: スキャングループ n のリミッタークリップを検出	R
31:9	—	読むと 0 が読めます。	R

ADLIMGRSR レジスタは、スキャングループ n のスキャン動作でリミッタークリップが発生したかどうかを示します。各フラグは ADLIMGRSCR でクリアできます。

53.2.8.4 ADLIMCHSR0 : リミッタークリップチャネルステータスレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	LIMCHF22	LIMCHF21	LIMCHF20	LIMCHF19	LIMCHF18	LIMCHF17	LIMCHF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LIMCHF15	LIMCHF14	LIMCHF13	LIMCHF12	LIMCHF11	LIMCHF10	LIMCHF9	LIMCHF8	LIMCHF7	LIMCHF6	LIMCHF5	LIMCHF4	LIMCHF3	LIMCHF2	LIMCHF1	LIMCHF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	LIMCHF0～ LIMCHF22	アナログチャネル n : リミッタークリップフラグ 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
31:23	—	読むと 0 が読めます。	R

ADLIMCHSR0 レジスタは、アナログチャネル n が A/D 変換されたときに、リミッタークリップが発生したかどうかを示します。各フラグは ADLIMCHSCR0 でクリアできます。

53.2.8.5 ADLIMEXSR : 拡張アナログリミッタークリップステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	LIMEXF22	LIMEXF21	LIMEXF20	—	LIMEXF18	LIMEXF17	LIMEXF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	LIMEXF9	LIMEXF8	—	LIMEXF6	LIMEXF5	LIMEXF4	—	—	LIMEXF1	LIMEXF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LIMEXF0	A/D ユニット 0 の自己診断チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
1	LIMEXF1	A/D ユニット 1 の温度センサチャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
3:2	—	読むと 0 が読めます。	R
4	LIMEXF4	温度センサチャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
5	LIMEXF5	内部基準電圧チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
6	LIMEXF6	VBATT 1/6 電圧監視出力チャネル: リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
7	—	読むと 0 が読めます。	R
8	LIMEXF8	D/A コンバータ 0 チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
9	LIMEXF9	D/A コンバータ 1 チャネル：リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
15:10	—	読むと 0 が読めます。	R
16	LIMEXF16	サンプル&ホールド回路ユニット 0 の自己診断チャネル: リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
17	LIMEXF17	サンプル&ホールド回路ユニット 1 の自己診断チャネル: リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
18	LIMEXF18	サンプル&ホールド回路ユニット 2 の自己診断チャネル: リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
19	—	読むと 0 が読めます。	R
20	LIMEXF20	サンプル&ホールド回路ユニット 4 の自己診断チャネル: リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R

ビット	シンボル	機能	R/W
21	LIMEXF21	サンプル&ホールド回路ユニット 5 の自己診断チャネル: リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
22	LIMEXF22	サンプル&ホールド回路ユニット 6 の自己診断チャネル: リミッタークリップフラグ 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
31:23	—	読むと 0 が読めます。	R

ADLIMEXSR レジスタは、拡張アナログ機能の A/D 変換実行時に、リミッタークリップが発生したかどうかを表示します。各フラグは ADLIMEXSCR でクリアできます。

53.2.8.6 ADLIMGRSCR : リミッタークリップスキャングループステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LIMGRC8	LIMGRC7	LIMGRC6	LIMGRC5	LIMGRC4	LIMGRC3	LIMGRC2	LIMGRC1	LIMGRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LIMGRC0～ LIMGRC8	スキャングループ n リミッタークリップフラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADLIMGRSR.LIMGRFn をクリア	W
31:9	—	書く場合、0 としてください。	W

ADLIMGRSCR レジスタは、スキャングループ n のリミッタークリップフラグ (ADLIMGRSR.LIMGRFn) をクリアします。

53.2.8.7 ADLIMCHSCR0 : リミッタークリップチャネルステータスクリアレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	LIMCHC22	LIMCHC21	LIMCHC20	LIMCHC19	LIMCHC18	LIMCHC17	LIMCHC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LIMCHC15	LIMCHC14	LIMCHC13	LIMCHC12	LIMCHC11	LIMCHC10	LIMCHC9	LIMCHC8	LIMCHC7	LIMCHC6	LIMCHC5	LIMCHC4	LIMCHC3	LIMCHC2	LIMCHC1	LIMCHC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	LIMCHC0～ LIMCHC22	アナログチャネル n リミッタークリップフラグクリアビット 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: 無効 1: ADLIMCHSR0.LIMCHFn をクリア	W
31:23	—	書く場合、0 としてください。	W

ADLIMCHSCR0 レジスタは、アナログチャネル n のリミッタークリップフラグ (ADLIMCHSR0.LIMCHFn) をクリアします。

53.2.8.8 ADLIMEXSCR : 拡張アナログリミッタークリップステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD4C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	LIMEXC22	LIMEXC21	LIMEXC20	—	LIMEXC18	LIMEXC17	LIMEXC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	LIMEXC9	LIMEXC8	—	LIMEXC6	LIMEXC5	LIMEXC4	—	—	LIMEXC1	LIMEXC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LIMEXC0	A/D ユニット 0 の自己診断チャネル: リミッタークリップフラグクリア 0: 無効 1: ADLIMEXSR.LIMEXC0 をクリア	W
1	LIMEXC1	A/D ユニット 1 の自己診断チャネル: リミッタークリップフラグクリア 0: 無効 1: ADLIMEXSR.LIMEXC1 をクリア	W
3:2	—	書く場合、0 としてください。	W
4	LIMEXC4	温度センサチャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC4 をクリア	W
5	LIMEXC5	内部基準電圧チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC5 をクリア	W
6	LIMEXC6	VBATT 1/6 電圧監視出力チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC6 をクリア	W
7	—	書く場合、0 としてください。	W
8	LIMEXC8	D/A コンバータ 0 チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC8 をクリア	W
9	LIMEXC9	D/A コンバータ 1 チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC9 をクリア	W
15:10	—	書く場合、0 としてください。	W
16	LIMEXC16	サンプル&ホールド回路ユニット 0 の自己診断チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC16 をクリア	W

ビット	シンボル	機能	R/W
17	LIMEXC17	サンプル＆ホールド回路ユニット 1 の自己診断チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC17 をクリア	W
18	LIMEXC18	サンプル＆ホールド回路ユニット 2 の自己診断チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC18 をクリア	W
19	—	書く場合、0 としてください。	W
20	LIMEXC20	サンプル＆ホールド回路ユニット 4 の自己診断チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC20 をクリア	W
21	LIMEXC21	サンプル＆ホールド回路ユニット 5 の自己診断チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC21 をクリア	W
22	LIMEXC22	サンプル＆ホールド回路ユニット 6 の自己診断チャネル: リミッタークリップフラグクリア 0: 影響なし 1: ADLIMEXSR.LIMEXC22 をクリア	W
31:23	—	書く場合、0 としてください。	W

ADLIMEXSCR レジスタは、拡張アナログ機能のリミッタークリップフラグをクリアします。

53.2.9 コンペアマッチ機能

53.2.9.1 ADCMPENR : コンペアマッチイネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CMPEN7	CMPEN6	CMPEN5	CMPEN4	CMPEN3	CMPEN2	CMPEN1	CMPEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPEN0～CMPEN7	コンペアマッチ n 有効化 各ビットシンボルの添え字はコンペアマッチ番号 n に対応します。 0: コンペアマッチ n を無効化 1: コンペアマッチ n を有効化	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPENR レジスタは、コンペアマッチ n を有効または無効にします。

53.2.9.2 ADCMPINTCR : コンペアマッチ割り込みイネーブルレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x404

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CMPIE3	CMPIE2	CMPIE1	CMPIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CMPIE0～CMPIE3	コンペアマッチ割り込み n 許可 各ビットシンボルの添え字はコンペアマッチ割り込み番号 n に対応します。 0: コンペアマッチ割り込み n を禁止 1: コンペアマッチ割り込み n を許可	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPINTCR レジスタは、コンペアマッチ割り込み n を許可または禁止します。

53.2.9.3 ADCCMPCRn : 複合コンペアマッチ設定レジスタ n (n = 0, 1)

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x408 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	CCMPTBL7	CCMPTBL6	CCMPTBL5	CCMPTBL4	CCMPTBL3	CCMPTBL2	CCMPTBL1	CCMPTBL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CCMPCND[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CCMPCND[1:0]	複合コンペアマッチ条件選択 0 0: 論理和 (OR) 条件 その他: 設定禁止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	CCMPTBL0～CCMPTBL7	複合コンペアマッチ条件テーブル選択 0: コンペアマッチテーブル m を使用しない 1: コンペアマッチテーブル m を使用する	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCCMPCRn レジスタは、複合コンペアマッチ割り込み n の条件を設定します。

CCMPCND[1:0] ビット（複合コンペアマッチ条件選択）

CCMPCND[1:0]ビットは、複合コンペアマッチ割り込み n の生成条件を選択します。

CCMPTBLm ビット（複合コンペアマッチ条件テーブル選択）(m = 0～7)

CCMPTBLm ビットは、複合コンペアマッチ割り込みの生成条件として、コンペアマッチテーブル m を使用するかどうかを選択します。

53.2.9.4 ADCMPMDR0 : コンペアマッチモード選択レジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x448

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	CMPMD3[1:0]		—	—	—	—	—	—	CMPMD2[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPMD1[1:0]		—	—	—	—	—	—	CMPMD0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMPMD0[1:0]	コンペアマッチ 0: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	CMPMD1[1:0]	コンペアマッチ 1: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CMPMD2[1:0]	コンペアマッチ 2: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	CMPMD3[1:0]	コンペアマッチ 3: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPMDR0 レジスタは、各コンペアマッチイベントの生成条件を選択します。

53.2.9.5 ADCMPMDR1 : コンペアマッチモード選択レジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x44C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	CMPMD7[1:0]		—	—	—	—	—	—	CMPMD6[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPMD5[1:0]		—	—	—	—	—	—	CMPMD4[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMPMD4[1:0]	コンペアマッチ 4: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	CMPMD5[1:0]	コンペアマッチ 5: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CMPMD6[1:0]	コンペアマッチ 6: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	CMPMD7[1:0]	コンペアマッチ 7: マッチモード選択 0 0: 上側レベル以上の場合にマッチイベントを生成 0 1: 下側レベル以下の場合にマッチイベントを生成 1 0: 上側レベル以上または下側レベル以下の場合にマッチイベントを生成 1 1: 下側レベル以上かつ上側レベル以下の場合にマッチイベントを生成	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPMDR1 レジスタは、各コンペアマッチイベントの生成条件を選択します。

53.2.9.6 ADCMPTBRn : コンペアマッチテーブルレジスタ n（n = 0～7）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x458 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPTBH[15:0]																CMPTBL[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPTBL[15:0]	コンペアマッチテーブル n: 下側レベル CMPTBH > CMPTBL となるように設定	R/W
31:16	CMPTBH[15:0]	コンペアマッチテーブル n: 上側レベル CMPTBH > CMPTBL となるように設定	R/W

ADCMPTBRn レジスタは、コンペアマッチテーブル n の下側レベルと上側レベルを指定します。

53.2.9.7 ADCMPTBSR : コンペアマッチテーブルステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CMPTBF7	CMPTBF6	CMPTBF5	CMPTBF4	CMPTBF3	CMPTBF2	CMPTBF1	CMPTBF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPTBF0～ CMPTBF7	コンペアマッチテーブル n マッチフラグ 各ビットシンボルの添え字はコンペアマッチテーブルの番号 n に対応します。 0: コンペアマッチテーブル n と一致するイベントは未検出 1: コンペアマッチテーブル n と一致するイベントを検出	R
31:8	—	読むと 0 が読めます。	R

ADCMPTBSR レジスタは、A/D 変換の最中にコンペアマッチテーブル n と一致するイベントが起きたかどうかを示します。各フラグは ADCMPTBSCR でクリアできます。

53.2.9.8 ADCMPTBSCR : コンペアマッチテーブルステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CMPTBC7	CMPTBC6	CMPTBC5	CMPTBC4	CMPTBC3	CMPTBC2	CMPTBC1	CMPTBC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPTBC0～ CMPTBC7	コンペアマッチテーブル n: マッチフラグクリア 各ビットシンボルの添え字はコンペアマッチテーブルの番号 n に対応します。 0: 無効 1: ADCMPTBSR.CMPTBFn をクリア	W
31:8	—	書く場合、0 としてください。	W

ADCMPTBSCR レジスタは、コンペアマッチ n のマッチフラグ (ADCMPTBSR.CMPTBFn) をクリアします。

53.2.9.9 ADCMPCHSR0 : コンペアマッチチャネルステータスレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	CMPCHF22	CMPCHF21	CMPCHF20	CMPCHF19	CMPCHF18	CMPCHF17	CMPCHF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPCHF15	CMPCHF14	CMPCHF13	CMPCHF12	CMPCHF11	CMPCHF10	CMPCHF9	CMPCHF8	CMPCHF7	CMPCHF6	CMPCHF5	CMPCHF4	CMPCHF3	CMPCHF2	CMPCHF1	CMPCHF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	CMPCHF0～ CMPCHF22	アナログチャネル n : コンペアマッチフラグ 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
31:23	—	読むと 0 が読めます。	R

ADCMPCHSR0 レジスタは、アナログチャネル n に対するコンペアマッチイベントが検出されたかどうかを示します。各フラグは ADCMPCHSCR0 でクリアできます。

53.2.9.10 ADCMPEXSR : 拡張アナログコンペアマッチステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	CMPEXF22	CMPEXF21	CMPEXF20	—	CMPEXF18	CMPEXF17	CMPEXF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPEXF9	CMPEXF8	—	CMPEXF6	CMPEXF5	CMPEXF4	—	—	CMPEXF1	CMPEXF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPEXF0	A/D ユニット 0 の自己診断チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
1	CMPEXF1	A/D ユニット 1 の自己診断チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
3:2	—	読むと 0 が読めます。	R
4	CMPEXF4	温度センサチャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
5	CMPEXF5	内部基準電圧チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R

ビット	シンボル	機能	R/W
6	CMPEXF6	VBATT 1/6 電圧監視出力チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
7	—	読むと 0 が読めます。	R
8	CMPEXF8	D/A コンバータ 0 チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
9	CMPEXF9	D/A コンバータ 1 チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
15:10	—	読むと 0 が読めます。	R
16	CMPEXF16	サンプル＆ホールド回路ユニット 0 の自己診断チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
17	CMPEXF17	サンプル＆ホールド回路ユニット 1 の自己診断チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
18	CMPEXF18	サンプル＆ホールド回路ユニット 2 の自己診断チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
19	—	読むと 0 が読めます。	R
20	CMPEXF20	サンプル＆ホールド回路ユニット 4 の自己診断チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
21	CMPEXF21	サンプル＆ホールド回路ユニット 5 の自己診断チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
22	CMPEXF22	サンプル＆ホールド回路ユニット 6 の自己診断チャネル: コンペアマッチフラグ 0: コンペアマッチは未検出 1: コンペアマッチを検出	R
31:23	—	読むと 0 が読めます。	R

ADCMPEXSR レジスタは、拡張アナログ機能チャネルに対するコンペアマッチイベントが検出されたかどうかを示します。各フラグは ADCMPEXSCR でクリアできます。

53.2.9.11 ADCMPCHSCR0 : コンペアマッチチャネルステータスクリアレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	CMPCHC22	CMPCHC21	CMPCHC20	CMPCHC19	CMPCHC18	CMPCHC17	CMPCHC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPCHC15	CMPCHC14	CMPCHC13	CMPCHC12	CMPCHC11	CMPCHC10	CMPCHC9	CMPCHC8	CMPCHC7	CMPCHC6	CMPCHC5	CMPCHC4	CMPCHC3	CMPCHC2	CMPCHC1	CMPCHC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	CMPCHC0～ CMPCHC22	アナログチャネル n: コンペアマッチフラグクリアビット 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: 無効 1: ADCMPCHSR0.CMPCHFn をクリア	W
31:23	—	書く場合、0 としてください。	W

ADCMPCHSCR0 レジスタは、アナログチャネル n のコンペアマッチフラグ (ADCMPCHSR0.CMPCHFn) をクリアします。

53.2.9.12 ADCMPEXSCR : 拡張アナログコンペアマッチステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	CMPEXC22	CMPEXC21	CMPEXC20	—	CMPEXC18	CMPEXC17	CMPEXC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPEXC9	CMPEXC8	—	CMPEXC6	CMPEXC5	CMPEXC4	—	—	CMPEXC1	CMPEXC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPEXC0	A/D ユニット 0 の自己診断チャネル: コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF0 をクリア	W
1	CMPEXC1	A/D ユニット 1 の自己診断チャネル: コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF1 をクリア	W
3:2	—	書く場合、0 としてください。	W
4	CMPEXC4	温度センサチャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADCMPEXSR.CMPEXF4 をクリア	W
5	CMPEXC5	内部基準電圧チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADCMPEXSR.CMPEXF5 をクリア	W
6	CMPEXC6	VBATT 1/6 電圧監視出力チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADCMPEXSR.CMPEXF6 をクリア	W
7	—	書く場合、0 としてください。	W
8	CMPEXC8	D/A コンバータ 0 チャネル: コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF8 をクリア	W
9	CMPEXC9	D/A コンバータ 1 チャネル: コンペアマッチフラグクリア 0: 無効 1: ADCMPEXSR.CMPEXF9 をクリア	W
15:10	—	書く場合、0 としてください。	W
16	CMPEXC16	サンプル＆ホールド回路ユニット 0 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADCMPEXSR.CMPEXF16 をクリア	W

ビット	シンボル	機能	R/W
17	CMPEXC17	サンプル＆ホールド回路ユニット 1 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADCMPEXSR.CMPEXF17 をクリア	W
18	CMPEXC18	サンプル＆ホールド回路ユニット 2 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADCMPEXSR.CMPEXF18 をクリア	W
19	—	書く場合、0 としてください。	W
20	CMPEXC20	サンプル＆ホールド回路ユニット 4 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADCMPEXSR.CMPEXF20 をクリア	W
21	CMPEXC21	サンプル＆ホールド回路ユニット 5 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADCMPEXSR.CMPEXF21 をクリア	W
22	CMPEXC22	サンプル＆ホールド回路ユニット 6 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADCMPEXSR.CMPEXF22 をクリア	W
31:23	—	書く場合、0 としてください。	W

ADCMPEXSCR レジスタは、拡張アナログ機能チャネルのコンペアマッチフラグ (ADCMPEXSR.CMPEXFn) をクリアします。

53.2.10 A/D 変換の開始および停止制御

53.2.10.1 ADCALSTR : A/D コンバータ自己校正開始レジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ADCALST1[2:0]			—	—	—	—	—	ADCALST0[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADCALST0[2:0](注1)	A/D コンバータユニット 0 (ADC0) 自己校正開始制御 [各ビットの機能] b0: 内部回路校正の開始ビット b1: ゲインおよびオフセット校正の開始ビット b2: チャネル専用サンプル&ホールド回路校正の開始ビット [書き込み値] 0: 無効（校正を開始しない） 1: 校正を開始する	W
7:3	—	書く場合、0 としてください。	W

ビット	シンボル	機能	R/W
10:8	ADCALST1[2:0](注1)	A/D コンバータユニット 1 (ADC1) 自己校正開始制御 [各ビットの機能] b0: 内部回路校正の開始ビット b1: ゲインおよびオフセット校正の開始ビット b2: チャネル専用サンプル&ホールド回路校正の開始ビット [書き込み値] 0: 無効（校正を開始しない） 1: 校正を開始する	W
31:11	—	書く場合、0 としてください。	W

注 1. 校正動作を行うためには、各校正開始ビットに同時に 1 を書き込んでください。

ADCALSTR レジスタは、各 A/D コンバータの自己校正の開始を制御します。

ADCALSTm[2:0] ビット（A/D コンバータユニット m (ADCm) 自己校正開始制御ビット） (m = 0, 1)

ADCALSTm[2:0]ビットは、A/D コンバータユニット m の自己校正動作の開始を制御します。ADCALSTm[2:0]ビットのうち、いずれか 1 つを 1 にした場合、該当のビットに対応する自己校正動作が開始します。
ADCALSTm[2:0]ビットのうち、複数のビットを同時に 1 にした場合、各自己校正動作は以下の順に行われます。

1. 内部回路校正
2. A/D コンバータゲイン／オフセット校正
3. チャネル固有のサンプル&ホールド回路ゲイン／オフセット校正

注. ADCALSTm[2:0]ビットで 0 にしたビットに対応する自己校正動作は行われません。

すべての A/D コンバータが停止（ADSR.ADACTm = 0 かつ ADSR.CALACTm = 0）しているときに、ADCALSTm[2:0]ビットに書き込みを行ってください。

A/D コンバータの動作中は ADCALSTm[2:0]ビットへの書き込みは禁止されています。

53.2.10.2 ADSYSTR : A/D 変換同期ソフトウェア開始レジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADSYST8	ADSYST7	ADSYST6	ADSYST5	ADSYST4	ADSYST3	ADSYST2	ADSYST1	ADSYST0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ADSYST0～ ADSYST8	スキャングループ n: A/D 変換開始 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: スキャングループ n の A/D 変換を開始	W
31:9	—	書く場合、0 としてください。	W

ADSYSTR レジスタは、スキャングループ n の A/D 変換の開始を制御します。このレジスタを使って、ソフトウェアによる複数のスキャングループの同時 A/D 変換を開始します。

ADSYSTn ビット（スキャングループ n: A/D 変換開始）(n = 0～8)

ADSYSTn ビットは、スキャングループ n の A/D 変換の開始を制御します。ADSYSTn ビットを 1 にすると、スキャングループ n の A/D 変換が開始します。ADSYSTn ビットを 0 にしても、動作に影響はありません。複数の

スキャングループの A/D 変換を同時に開始するには、該当のスキャングループの ADSYSTn ビットを同時に 1 にしてください。

53.2.10.3 ADSTRn : A/D 変換ソフトウェア開始レジスタ n（n = 0～8）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC20 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADST	スキャングループ n A/D 変換開始 0: 無効 1: スキャングループ n の A/D 変換を開始	W
31:1	—	書く場合、0 としてください。	W

ADSTRn レジスタは、スキャングループ n の A/D 変換の開始を制御します。このレジスタを使って、ソフトウェアによる 1 つのスキャングループの A/D 変換を開始します。

ソフトウェアを使って、複数のスキャングループの A/D 変換を同時に開始したい場合は、ADSYSTR レジスタを使用してください。

ADST ビット (スキャングループ n A/D 変換開始)

ADST ビットは、スキャングループ n の A/D 変換の開始を制御します。ADST ビットを 1 にすると、スキャングループ n の A/D 変換が開始します。ADST ビットを 0 にしても動作に影響はありません。

53.2.10.4 ADSTOPR : A/D 変換停止レジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC60

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADST OP1	—	—	—	—	—	—	—	ADST OP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADSTOP0	A/D コンバータユニット 0 強制停止 0: 無効 1: A/D コンバータユニット 0 の動作を強制停止	W
7:1	—	書く場合、0 としてください。	W

ビット	シンボル	機能	R/W
8	ADSTOP1	A/D コンバータユニット 1 強制停止 0: 無効 1: A/D コンバータユニット 1 の動作を強制停止	W
31:9	—	書く場合、0 としてください。	W

ADSTOPR レジスタは、各 A/D コンバータの動作を強制停止します。このレジスタで A/D コンバータを停止すると、該当の A/D コンバータの A/D 変換結果は保証されません。

ADSTOP0 ビット (A/D コンバータユニット 0 強制停止)

ADSTOP0 ビットは、A/D コンバータユニット 0 の A/D 変換動作を強制停止します。ADSTOP0 ビットを 0 にしても動作に影響はありません。ADSTOP0 ビットを 1 にすると、A/D コンバータユニット 0 の動作は強制的に停止されます。A/D コンバータユニット 0 を強制停止すると、A/D コンバータユニット 0 の A/D 変換結果は保証されません。

ADSTOP1 ビット (A/D コンバータユニット 1 強制停止)

ADSTOP1 ビットは、A/D コンバータユニット 1 の A/D 変換動作を強制停止します。ADSTOP1 ビットを 0 にしても動作に影響はありません。ADSTOP1 ビットを 1 にすると、A/D コンバータユニット 1 の動作は強制的に停止されます。A/D コンバータユニット 1 を強制停止すると、A/D コンバータユニット 1 の A/D 変換結果は保証されません。

53.2.11 ステータスレジスタ

53.2.11.1 ADSR : A/D 変換ステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC80

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALACT1	CALACT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADACT1	ADACT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADACT0	A/D コンバータユニット 0 (ADC0) A/D 変換状態 0: ADC0 は A/D 変換中ではない 1: ADC0 は A/D 変換中である	R
1	ADACT1	A/D コンバータユニット 1 (ADC1) A/D 変換状態 0: ADC1 は A/D 変換中ではない 1: ADC1 は A/D 変換中である	R
15:2	—	読むと 0 が読めます。	R
16	CALACT0	A/D コンバータユニット 0 (ADC0): 校正状態 0: ADC0 は校正動作中ではない 1: ADC0 は校正動作中である	R
17	CALACT1	A/D コンバータユニット 1 (ADC1): 校正状態 0: ADC1 は校正動作中ではない 1: ADC1 は校正動作中である	R
31:18	—	読むと 0 が読めます。	R

ADSR レジスタは、各 A/D コンバータ動作の状態を示します。

53.2.11.2 ADGRSR : スキャングループステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC84

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ACTGR8	ACTGR7	ACTGR6	ACTGR5	ACTGR4	ACTGR3	ACTGR2	ACTGR1	ACTGR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ACTGR0～ ACTGR8(注1)	スキャングループ n 状態 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n はアイドル中 1: スキャングループ n はスキャン動作中	R
31:9	—	読むと 0 が読めます。	R

注 1. グループ優先動作の際、低優先グループのスキャン動作が一時中断された場合、そのスキャングループの ACTGRn ビットが 1 になります。

ADGRSR レジスタは、各スキャングループの動作状態を示します。

53.2.11.3 ADSCANENDSR : スキャン終了ステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SCENDF8	SCENDF7	SCENDF6	SCENDF5	SCENDF4	SCENDF3	SCENDF2	SCENDF1	SCENDF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SCENDF0～ SCENDF8(注1)	スキャングループ n スキャン終了フラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n は未スキャン 1: スキャングループ n のスキャン終了を検出	R
31:9	—	読むと 0 が読めます。	R

注 1. A/D 変換動作を ADSTOPR レジスタで停止した場合、スキャン動作を停止したスキャングループの SCENDFn ビットは変わりません。（ビットは 1 になりません。）

ADSCANENDSR レジスタは、各スキャングループのスキャン動作が終了したかどうかを示します。各フラグは ADSCANENDSCR レジスタでクリアできます。

53.2.11.4 ADSCANENDSCR : スキャン終了ステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xD54

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SCENDC8	SCENDC7	SCENDC6	SCENDC5	SCENDC4	SCENDC3	SCENDC2	SCENDC1	SCENDC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SCENDC0～ SCENDC8	スキャングループ n スキャン終了フラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADSCANENDSR.SCENDFn をクリア	W
31:9	—	書く場合、0 としてください。	W

ADSCANENDSCR レジスタは、スキャングループ n のスキャン終了フラグをクリアします。

53.2.11.5 ADERSR : A/D 変換エラーステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC88

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADERF1	ADERF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADERF0	A/D コンバータユニット 0 (ADC0) エラーフラグ 0: エラー未検出 1: エラー検出	R
1	ADERF1	A/D コンバータユニット 1 (ADC1) エラーフラグ 0: エラー未検出 1: エラー検出	R
31:2	—	読むと 0 が読めます。	R

ADERSR レジスタは、各 A/D コンバータで動作エラーが発生したかどうかを示します。各フラグは ADERSCR レジスタでクリアできます。

エラーが検出された A/D コンバータ動作では、A/D 変換データは保証されません。

53.2.11.6 ADERSCR : A/D 変換エラーステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC8C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADERCLR1	ADERCLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADERCLR0	A/D コンバータユニット 0 エラーフラグクリア 0: 無効 1: ADERSR.ADERF0 をクリア	W
1	ADERCLR1	A/D コンバータユニット 1 エラーフラグクリア 0: 無効 1: ADERSR.ADERF1 をクリア	W
31:2	—	書く場合、0 としてください。	W

ADERSCR レジスタは、A/D コンバータユニット 0 またはユニット 1 のエラーフラグをクリアします。

53.2.11.7 ADCALENDSR : A/D コンバータ自己校正終了ステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC98

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALENDF1	CALENDF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CALENDF0	A/D コンバータユニット 0 校正終了フラグ 0: 校正終了は未検出 1: 校正終了を検出	R
1	CALENDF1	A/D コンバータユニット 1 校正終了フラグ 0: 校正終了は未検出 1: 校正終了を検出	R
31:2	—	読むと 0 が読めます。	R

ADCALENDSR レジスタは、A/D コンバータユニット 0 またはユニット 1 の校正動作の終了を示します。各フラグは ADCALENDSCR レジスタでクリアできます。

53.2.11.8 ADCALENDSCR : A/D コンバータ自己校正終了ステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xC9C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALENDC1	CALENDC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CALENDC0	A/D コンバータユニット 0 校正終了フラグクリア 0: 無効 1: ADCALENDSR.CALENDF0 をクリア	W
1	CALENDC1	A/D コンバータユニット 1 校正終了フラグクリア 0: 無効 1: ADCALENDSR.CALENDF1 をクリア	W
31:2	—	書く場合、0 としてください。	W

ADCALENDSCR レジスタは、A/D コンバータユニット 0 またはユニット 1 の校正終了フラグをクリアします。

53.2.11.9 ADOVFERSR : A/D 変換オーバーフローエラーステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCA0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADOVFEF1	ADOVFEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADOVFEF0	A/D コンバータユニット 0 (ADC0) オーバーフローエラーフラグ 0: ADC0 オーバーフローエラーは未検出 1: ADC0 オーバーフローエラーを検出	R
1	ADOVFEF1	A/D コンバータユニット 1 (ADC1) オーバーフローエラーフラグ 0: ADC1 オーバーフローエラーは未検出 1: ADC1 オーバーフローエラーを検出	R
31:2	—	読むと 0 が読めます。	R

ADOVFERSR レジスタは、A/D コンバータユニット 0 またはユニット 1 を使用した A/D 変換でオーバーフローエラーが発生したかどうかを示します。各フラグは ADOVFERSCR レジスタでクリアできます。

53.2.11.10 ADOVFCHSR0 : A/D 変換オーバーフローチャネルステータスレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCA4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	OVFCHF22	OVFCHF21	OVFCHF20	OVFCHF19	OVFCHF18	OVFCHF17	OVFCHF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVFCHF15	OVFCHF14	OVFCHF13	OVFCHF12	OVFCHF11	OVFCHF10	OVFCHF9	OVFCHF8	OVFCHF7	OVFCHF6	OVFCHF5	OVFCHF4	OVFCHF3	OVFCHF2	OVFCHF1	OVFCHF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	OVFCHF0～ OVFCHF22	アナログチャネル n : オーバーフローフラグ 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: オーバーフローは未検出 1: オーバーフローを検出	R
31:23	—	読むと 0 が読めます。	R

ADOVFCHSR0 レジスタは、アナログチャネル n の A/D 変換でオーバーフローが発生したかどうかを示します。各フラグは ADOVFCHSCR0 レジスタでクリアできます。

53.2.11.11 ADOVFEXSR : 拡張アナログ A/D 変換オーバーフローステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCB0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	OVFEXF22	OVFEXF21	OVFEXF20	—	OVFEXF18	OVFEXF17	OVFEXF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	OVFEXF9	OVFEXF8	—	OVFEXF6	OVFEXF5	OVFEXF4	—	—	OVFEXF1	OVFEXF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVFEXF0	A/D ユニット 0 の自己診断チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
1	OVFEXF1	A/D ユニット 1 の自己診断チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
3:2	—	読むと 0 が読めます。	R
4	OVFEXF4	温度センサチャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
5	OVFEXF5	内部基準電圧チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R

ビット	シンボル	機能	R/W
6	OVFEXF6	VBATT 1/6 電圧監視出力チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
7	—	読むと 0 が読めます。	R
8	OVFEXF8	D/A コンバータ 0 チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
9	OVFEXF9	D/A コンバータ 1 チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
15:10	—	読むと 0 が読めます。	R
16	OVFEXF16	サンプル＆ホールド回路ユニット 0 の自己診断チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
17	OVFEXF17	サンプル＆ホールド回路ユニット 1 の自己診断チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
18	OVFEXF18	サンプル＆ホールド回路ユニット 2 の自己診断チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
19	—	読むと 0 が読めます。	R
20	OVFEXF20	サンプル＆ホールド回路ユニット 4 の自己診断チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
21	OVFEXF21	サンプル＆ホールド回路ユニット 5 の自己診断チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
22	OVFEXF22	サンプル＆ホールド回路ユニット 6 の自己診断チャネル: オーバーフローフラグ 0: オーバーフローは未検出 1: オーバーフローを検出	R
31:23	—	読むと 0 が読めます。	R

ADOVFEXSR レジスタは、拡張アナログ機能の A/D 変換実行時にオーバーフローが発生したかどうかを示します。各フラグは ADOVFEXSCR でクリアできます。

53.2.11.12 ADOVFERSCR : A/D 変換オーバーフローエラーステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCB4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADOVFEC1	ADOVFEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADOVFEC0	A/D コンバータユニット 0 (ADC0) オーバーフローエラーフラグクリア 0: 無効 1: ADOVFERSR.ADOVFEF0 をクリア	W

ビット	シンボル	機能	R/W
1	ADOVFEC1	A/D コンバータユニット 1 (ADC1) オーバーフローエラーフラグクリア 0: 無効 1: ADOVFERSR.ADOVFEF1 をクリア	W
31:2	—	書く場合、0 としてください。	W

ADOVFERSCR レジスタは、A/D コンバータユニット 0 またはユニット 1 のオーバーフローエラーフラグをクリアします。

53.2.11.13 ADOVFCHSCR0 : A/D 変換オーバーフローチャネルステータスクリアレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCB8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	OVFCHC22	OVFCHC21	OVFCHC20	OVFCHC19	OVFCHC18	OVFCHC17	OVFCHC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVFCHC15	OVFCHC14	OVFCHC13	OVFCHC12	OVFCHC11	OVFCHC10	OVFCHC9	OVFCHC8	OVFCHC7	OVFCHC6	OVFCHC5	OVFCHC4	OVFCHC3	OVFCHC2	OVFCHC1	OVFCHC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	OVFCHC0～ OVFCHC22	アナログチャネル n : オーバーフローフラグクリア 各ビットシンボルの添え字はアナログチャネル番号 n に対応します。 0: 無効 1: ADOVFCHSR0.OVFCHFn をクリア	W
31:23	—	書く場合、0 としてください。	W

ADOVFCHSCR0 レジスタは、アナログチャネル n のオーバーフローフラグをクリアします。

53.2.11.14 ADOVFEXSCR : 拡張アナログ A/D 変換オーバーフローステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCC4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	OVFEXC22	OVFEXC21	OVFEXC20	—	OVFEXC18	OVFEXF17	OVFEXF16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	OVFEXF9	OVFEXF8	—	OVFEXC6	OVFEXC5	OVFEXC4	—	—	OVFEXC1	OVFEXC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVFEXC0	A/D ユニット 0 の自己診断チャネル : コンペアマッチフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF0 をクリア	W

ビット	シンボル	機能	R/W
1	OVFEXC1	A/D ユニット 1 の自己診断チャネル：コンペアマッチフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF1 をクリア	W
3:2	—	書く場合、0 としてください。	W
4	OVFEXC4	温度センサチャネル：コンペアマッチフラグクリア 0: 影響なし 1: ADOVFEXSR.OVFEXF4 をクリア	W
5	OVFEXC5	内部基準電圧チャネル：コンペアマッチフラグクリア 0: 影響なし 1: ADOVFEXSR.OVFEXF5 をクリア	W
6	OVFEXC6	VBATT 1/6 電圧監視出力チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADOVFEXSR.OVFEXF6 をクリア	W
7	—	書く場合、0 としてください。	W
8	OVFEXF8	D/A コンバータ 0 チャネル：コンペアマッチフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF8 をクリア	W
9	OVFEXF9	D/A コンバータ 1 チャネル：コンペアマッチフラグクリア 0: 無効 1: ADOVFEXSR.OVFEXF9 をクリア	W
15:10	—	書く場合、0 としてください。	W
16	OVFEXF16	サンプル&ホールド回路ユニット 0 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADOVFEXSR.OVFEXF16 をクリア	W
17	OVFEXF17	サンプル&ホールド回路ユニット 1 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADOVFEXSR.OVFEXF17 をクリア	W
18	OVFEXC18	サンプル&ホールド回路ユニット 2 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADOVFEXSR.OVFEXF18 をクリア	W
19	—	書く場合、0 としてください。	W
20	OVFEXC20	サンプル&ホールド回路ユニット 4 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADOVFEXSR.OVFEXF20 をクリア	W
21	OVFEXC21	サンプル&ホールド回路ユニット 5 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADOVFEXSR.OVFEXF21 をクリア	W
22	OVFEXC22	サンプル&ホールド回路ユニット 6 の自己診断チャネル: コンペアマッチフラグクリア 0: 影響なし 1: ADOVFEXSR.OVFEXF22 をクリア	W
31:23	—	書く場合、0 としてください。	W

ADOVFEXSCR レジスタは、拡張アナログ機能チャネルのオーバーフローフラグをクリアします。

53.2.12 FIFO

53.2.12.1 ADFIFOCR : FIFO コントロールレジスタ

Base address: ADC_B = 0x4033_8000

Offset address: 0x4C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	FIFOCE8	FIFOCE7	FIFOCE6	FIFOCE5	FIFOCE4	FIFOCE3	FIFOCE2	FIFOCE1	FIFOCE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFOEN8	FIFOEN7	FIFOEN6	FIFOEN5	FIFOEN4	FIFOEN3	FIFOEN2	FIFOEN1	FIFOEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOEN0～FIFOEN8	スキャングループ n FIFO 有効化 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n の FIFO 機能を無効化 1: スキャングループ n の FIFO 機能を有効化	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24:16	FIFOCE0～FIFOCE8	スキャン開始時／再開時のスキャングループ n の FIFO クリア許可 0: スキャングループ n の FIFO クリア禁止 1: スキャングループ n の FIFO クリア許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADFIFOCR レジスタは、スキャングループ n の FIFO 機能を有効または無効にします。

FIFOENn ビット（スキャングループ n FIFO 有効化） (n = 0～8)

FIFOENn ビットは、スキャングループ n の FIFO 機能を有効または無効にします。FIFOENn ビットを 1 にすると、スキャングループ n の FIFO 機能が有効になり、A/D 変換結果が FIFO に格納されます。FIFOENn ビットを 0 にすると、スキャングループ n の FIFO 機能が無効になります。

A/D 変換結果は、A/D データレジスタまたは拡張データレジスタから読み出すこともできます。

FIFOCEn ビット（スキャン開始時／再開時のスキャングループ n の FIFO クリア許可） (n = 0～8)

FIFOCEn ビットは、スキャングループ n の FIFO クリア機能を有効にするか無効にするかを制御します。FIFOCEn ビットを 1 にすると、スキャングループ n の FIFO クリア機能が有効になり、スキャングループ n のスキャンが開始または再開したときに FIFO がクリアされます。FIFOCEn ビットを 0 にすると、スキャングループ n の FIFO クリアが無効になります。

53.2.12.2 ADFIFOINTCR : FIFO 割り込みコントロールレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x4C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFOIE8	FIFOIE7	FIFOIE6	FIFOIE5	FIFOIE4	FIFOIE3	FIFOIE2	FIFOIE1	FIFOIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOIE0～FIFOIE8	スキャングループ n FIFO 割り込み許可 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n の FIFO 割り込みを禁止 1: スキャングループ n の FIFO 割り込みを許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADFIFOINTCR レジスタは、スキャングループ n のための FIFO データ読み出し要求割り込みと FIFO オーバーフロー割り込みを許可または禁止します。

53.2.12.3 ADFIFOINTLR0 : FIFO 割り込み生成レベルレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x4C8

Bit position:	31												19			16											3			0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	FIFOILV1[3:0]				—	—	—	—	—	—	—	—	—	—	—	FIFOILV0[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOILV0[3:0]	スキャングループ 0 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	FIFOILV1[3:0]	スキャングループ 1 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADFIFOINTLR0 レジスタは、スキャングループ 0 および 1 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

53.2.12.4 ADFIFOINTLR1 : FIFO 割り込み生成レベルレジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x4CC

Bit position:	31												19			16											3			0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	FIFOILV3[3:0]				—	—	—	—	—	—	—	—	—	—	—	FIFOILV2[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOILV2[3:0]	スキャングループ 2 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
19:16	FIFOILV3[3:0]	スキャングループ 3 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADFIFOINTLR1 レジスタは、スキャングループ 2 および 3 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

53.2.12.5 ADFIFOINTLR2 : FIFO 割り込み生成レベルレジスタ 2

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x4D0

Bit position:	31											19				16											3			0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	FIFOILV5[3:0]				—	—	—	—	—	—	—	—	—	—	—	FIFOILV4[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOILV4[3:0]	スキャングループ 4 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	FIFOILV5[3:0]	スキャングループ 5 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADFIFOINTLR2 レジスタは、スキャングループ 4 および 5 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

53.2.12.6 ADFIFOINTLR3 : FIFO 割り込み生成レベルレジスタ 3

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x4D4

Bit position:	31											19				16											3			0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	FIFOILV7[3:0]				—	—	—	—	—	—	—	—	—	—	—	FIFOILV6[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOILV6[3:0]	スキャングループ 6 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
19:16	FIFOILV7[3:0]	スキャングループ 7 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADFIFOINTLR3 レジスタは、スキャングループ 6 および 7 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

53.2.12.7 ADFIFOINTLR4 : FIFO 割り込み生成レベルレジスタ 4

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x4D8

Bit position:	31																										3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FIFOILV8[3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOILV8[3:0]	スキャングループ 8 FIFO 割り込み出力タイミング設定 これらのビットは、FIFO 割り込みの生成タイミングを設定します。 FIFO データ読み出し要求割り込みが生成されるのは、FIFO の空きステージ数がこれらのビットで設定した値以下になった場合です。 0～7 の範囲で値を設定します。8～15 の範囲の値の設定は禁止されています。	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADFIFOINTLR4 レジスタは、スキャングループ 8 のための FIFO データ読み出し要求割り込みを生成するタイミングを指定します。

53.2.12.8 ADFIFOSR0 : FIFO ステータスレジスタ 0

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCD0

Bit position:	31											19	16											3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	FIFOST1[3:0]		—	—	—	—	—	—	—	—	—	—	—	FIFOST0[3:0]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOST0[3:0]	スキャングループ 0 FIFO 空きステージ数	R
15:4	—	読むと 0 が読めます。	R
19:16	FIFOST1[3:0]	スキャングループ 1 FIFO 空きステージ数	R
31:20	—	読むと 0 が読めます。	R

ADFIFOSR0 レジスタは、スキャングループ 0 および 1 の FIFO の空きステージ数を示します。

53.2.12.9 ADFIFOSR1 : FIFO ステータスレジスタ 1

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCD4

Bit position:	31												19		16												3		0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	FIFOST3[3:0]				—	—	—	—	—	—	—	—	—	—	—	FIFOST2[3:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOST2[3:0]	スキャングループ 2 FIFO 空きステージ数	R
15:4	—	読むと 0 が読めます。	R
19:16	FIFOST3[3:0]	スキャングループ 3 FIFO 空きステージ数	R
31:20	—	読むと 0 が読めます。	R

ADFIFOSR1 レジスタは、スキャングループ 2 および 3 の FIFO の空きステージ数を示します。

53.2.12.10 ADFIFOSR2 : FIFO ステータスレジスタ 2

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCD8

Bit position:	31												19		16												3		0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	FIFOST5[3:0]				—	—	—	—	—	—	—	—	—	—	—	FIFOST4[3:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOST4[3:0]	スキャングループ 4 FIFO 空きステージ数	R
15:4	—	読むと 0 が読めます。	R
19:16	FIFOST5[3:0]	スキャングループ 5 FIFO 空きステージ数	R
31:20	—	読むと 0 が読めます。	R

ADFIFOSR2 レジスタは、スキャングループ 4 および 5 の FIFO の空きステージ数を示します。

53.2.12.11 ADFIFOSR3 : FIFO ステータスレジスタ 3

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCDC

Bit position:	31												19		16												3		0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	FIFOST7[3:0]				—	—	—	—	—	—	—	—	—	—	—	FIFOST6[3:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOST6[3:0]	スキャングループ 6 FIFO 空きステージ数	R
15:4	—	読むと 0 が読めます。	R
19:16	FIFOST7[3:0]	スキャングループ 7 FIFO 空きステージ数	R

ビット	シンボル	機能	R/W
31:20	—	読むと 0 が読めます。	R

ADFIFOSR3 レジスタは、スキャングループ 6 および 7 の FIFO の空きステージ数を示します。

53.2.12.12 ADFIFOSR4 : FIFO ステータスレジスタ 4

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCE0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FIFOST8[3:0]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	FIFOST8[3:0]	スキャングループ 8 FIFO 空きステージ数	R
31:4	—	読むと 0 が読めます。	R

ADFIFOSR4 レジスタは、スキャングループ 8 の FIFO の空きステージ数を示します。

53.2.12.13 ADFIFODCR : FIFO データクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCF0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFODC8	FIFODC7	FIFODC6	FIFODC5	FIFODC4	FIFODC3	FIFODC2	FIFODC1	FIFODC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFODC0～ FIFODC8	スキャングループ n FIFO データクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: スキャングループ n の FIFO のデータをクリア	W
31:9	—	書く場合、0 としてください。	W

ADFIFODCR レジスタは、各スキャングループの FIFO 内のデータをクリアします。

FIFODCn ビット（スキャングループ n FIFO データクリア）(n = 0～8)

FIFODCn ビットは、スキャングループ n の FIFO 内のデータをクリアします。FIFODCn に 1 を書き込むと、スキャングループ n の FIFO 内のデータがクリアされます。0 を書き込んでも動作に影響はなく、FIFO 内のデータはクリアされません。

53.2.12.14 ADFIFOERSR : FIFO エラーステータスレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCF4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	FIFOFLF8	FIFOFLF7	FIFOFLF6	FIFOFLF5	FIFOFLF4	FIFOFLF3	FIFOFLF2	FIFOFLF1	FIFOFLF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFOOVF8	FIFOOVF7	FIFOOVF6	FIFOOVF5	FIFOOVF4	FIFOOVF3	FIFOOVF2	FIFOOVF1	FIFOOVF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOOVF0～FIFOOVF8	スキャングループ n FIFO オーバーフローフラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: オーバーフローなし 1: FIFO オーバーフローを検出	R
15:9	—	読むと 0 が読めます。	R
24:16	FIFOFLF0～FIFOFLF8	スキャングループ n FIFO データ読み出し要求フラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: FIFO データ読み出し要求は未検出 1: FIFO データ読み出し要求を検出	R
31:25	—	読むと 0 が読めます。	R

ADFIFOERSR レジスタは、FIFO の状態を示します。各フラグは ADFIFOERSCR でクリアできます。

FIFOOVFn ビット（スキャングループ n FIFO オーバーフローフラグ）(n = 0～8)

FIFOOVFn ビットは、スキャングループ n の FIFO でオーバーフローが発生したかどうかを示します。

FIFOOVFn ビットが 0 の場合、FIFO でオーバーフローは検出されていません。FIFOOVFn ビットが 1 の場合、FIFO でオーバーフローが発生しており、A/D 変換結果を FIFO に格納できません。FIFOOVFn ビットは ADFIFOERSCR レジスタでクリアできます。

FIFOFLFn ビット（スキャングループ n FIFO データ読み出し要求フラグ）(n = 0～8)

FIFOFLFn ビットは、スキャングループ n で FIFO データ読み出し要求が検出されたかどうかを示します。
FIFOFLFn ビットが 1 になる条件と 0 になる条件は以下のとおりです。

[1 になる条件]

ADFIFOSRm.FIFOSTn[3:0]≦ADFIFOINTLRm.FIFOILVn[3:0] の条件が検出された場合

[0 になる条件]

ADFIFOSRm.FIFOSTn[3:0] > ADFIFOINTLRm.FIFOILVn[3:0] の条件下で、ADFIFOERSCR.FIFOFLCn に 1 が書き込まれた場合

DMAC または DTC の ADFIFODRn レジスタに読み出しアクセスが行われたことで、ADFIFOSRm.FIFOSTn[3:0] > ADFIFOINTLRm.FIFOILVn[3:0] の条件が発生した場合

注. m = 0～4、n = 0～8

53.2.12.15 ADFIFOERSCR : FIFO エラーステータスクリアレジスタ

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0xCF8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	FIFOFLC8	FIFOFLC7	FIFOFLC6	FIFOFLC5	FIFOFLC4	FIFOFLC3	FIFOFLC2	FIFOFLC1	FIFOFLC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FIFOOVFC8	FIFOOVFC7	FIFOOVFC6	FIFOOVFC5	FIFOOVFC4	FIFOOVFC3	FIFOOVFC2	FIFOOVFC1	FIFOOVFC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOOVFC0～FIFOOVFC8	スキャングループ n FIFO オーバーフローフラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADFIFOERSR.FIFOOVFn をクリア	W
15:9	—	書く場合、0 としてください。	W
24:16	FIFOFLC0～FIFOFLC8	スキャングループ n FIFO データ読み出し要求フラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADFIFOERSR.FIFOFLFn をクリア	W
31:25	—	書く場合、0 としてください。	W

ADFIFOERSCR は、スキャングループ n の FIFO オーバーフローフラグと FIFO データ読み出し要求フラグをクリアします。

53.2.13 データレジスタ

53.2.13.1 ADDRn : A/D データレジスタ n (n = 0～22)

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x2000 + 0x04 × n

Bit position:	31	15	0
Bit field:	ERR	—	DATA[15:0]
Value after reset:	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA[15:0]	A/D 変換データ	R
30:16	—	読むと 0 が読めます。	R
31	ERR	A/D 変換データエラー状態 0: エラーなし（A/D 変換データは有効） 1: エラーを検出（A/D 変換データは保証されない）	R

ADDRn レジスタは、A/D 変換結果を読み出すための読み出し専用レジスタです。

DATA[15:0] ビット（A/D 変換データ）

DATA[15:0]ビットは、アナログ入力チャネル n の A/D 変換結果のデータを示します。

A/D 変換結果のデータフォーマットは、アナログ入力チャネル n の割り当て先である仮想チャネル m (m = 0～32) の設定により決まります。

ERR ビット (A/D 変換データエラー状態)

ERR ビットは、アナログ入力チャネル n の A/D 変換のエラー状態を示します。

ERR ビットが 0 の場合、A/D 変換データは有効です。ERR ビットが 1 の場合、A/D 変換データは無効であり、A/D 変換データの精度は保証されません。

53.2.13.2 ADEXDRn : A/D 拡張アナログデータレジスタ n (n = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x2180 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR	—	—	—	—	DIAGSR[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA[15:0]	A/D 変換データ	R
23:16	—	読むと 0 が読めます。	R
26:24	DIAGSR[2:0](注1)	自己診断状態(注1)	R
30:27	—	読むと 0 が読めます。	R
31	ERR	A/D 変換エラー状態 0: エラーなし（A/D 変換データは有効） 1: エラーを検出（A/D 変換データは保証されない）	R

注 1. ADEXDRn (n = 0, 1, 16～18, 20～22) レジスタには DIAGSR[2:0]ビットがあります。ADEXDRn (n = 4～6, 8, 9) レジスタの DIAGSR[2:0]ビットは予約ビットです。

ADEXDRn レジスタは、拡張アナログ機能の A/D 変換結果を読み出すための読み出し専用レジスタです。
ADEXDRn レジスタと拡張アナログ機能の関係は以下のとおりです。

- ADEXDR0：A/D ユニット 0 の LIMEXF0 自己診断チャネル
- ADEXDR1：A/D ユニット 1 の LIMEXF1 自己診断チャネル
- ADEXDR4：LIMEXF4 温度センサチャネル
- ADEXDR5 : LIMEXF5 内部基準電圧チャネル
- ADEXDR6: LIMEXF6 VBATT 1/6 電圧監視出力
- ADEXDR8：LIMEXF8 D/A コンバータ 0 チャネル
- ADEXDR9：LIMEXF9 D/A コンバータ 1 チャネル
- ADEXDR16：LIMEXF16 サンプル&ホールド回路ユニット 0 の自己診断チャネル
- ADEXDR17：LIMEXF17 サンプル&ホールド回路ユニット 1 の自己診断チャネル
- ADEXDR18：LIMEXF18 サンプル&ホールド回路ユニット 2 の自己診断チャネル
- ADEXDR20：LIMEXF20 サンプル&ホールド回路ユニット 4 の自己診断チャネル
- ADEXDR21：LIMEXF21 サンプル&ホールド回路ユニット 5 の自己診断チャネル
- ADEXDR22：LIMEXF22 サンプル&ホールド回路ユニット 6 の自己診断チャネル

DATA[15:0] ビット (A/D 変換データ)

DATA[15:0]ビットは、拡張アナログ機能チャネルの A/D 変換結果のデータを示します。A/D 変換結果のデータフォーマットは、拡張アナログ機能チャネルの割り当て先である仮想チャネル m (m = 0～36) の設定により決まります。

DIAGSR[2:0] ビット (自己診断状態)

DIAGSR[2:0]ビットは、自己診断チャネルの電圧設定を示します。

電圧設定値は、ADCHCRn.CNVCS[6:0]ビットの設定値に従い、ADSGDCRm.DIAGVAL[2:0]ビット (m = 0～8)、ADSHSDCR0.SHDIAGm ビット (m = 0～7)、および ADSHSDCR1.SHDIAG8 ビットの設定値から選択されます。

DIAGSR[2:0]ビットは、ADEXDR0、ADEXDR1、ADEXDR16、ADEXDR17、ADEXDR18、ADEXDR20、ADEXDR21、および ADEXDR22 レジスタで使用できます。

上記を除く DIAGSR[2:0]ビットは予約ビットです。

ERR ビット (A/D 変換エラー状態)

ERR ビットは、拡張アナログ機能の A/D 変換のエラー状態を示します。

ERR ビットが 0 の場合、A/D 変換データは有効です。ERR ビットが 1 の場合、A/D 変換データは無効であり、A/D 変換データの精度は保証されません。

53.2.13.3 ADFIFODRn : FIFO データレジスタ n（n = 0～8）

Base address: ADC_B = 0x4033_8000
ADC_B_NS = 0x5033_8000

Offset address: 0x2200 + 0x04 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR	CH[6:0]							—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA[15:0]	A/D 変換データ	R
23:16	—	読むと 0 が読めます。	R
30:24	CH[6:0]	A/D 変換チャネル番号	R
31	ERR	A/D 変換データエラー状態 0: エラーなし（A/D 変換データは有効） 1: エラーを検出（A/D 変換データは保証されない）	R

ADFIFODRn レジスタは、スキャングループ n の FIFO 内に格納されているデータを読み出すために使用します。

DATA[15:0] ビット（A/D 変換データ）

DATA[15:0]ビットは、スキャングループ n の FIFO 内に格納されている A/D 変換データを読み出すための読み出し専用ビットです。

CH[6:0] ビット (A/D 変換チャネル番号)

CH[6:0]ビットは、DATA[15:0]ビットから読み出される A/D 変換データのチャネル番号を示します。

ERR ビット（A/D 変換データエラー状態）

ERR ビットは、CH[6:0]ビットが示すアナログチャネルの A/D 変換データのエラー状態を示します。

ERR ビットが 0 の場合、A/D 変換データは有効です。ERR ビットが 1 の場合、A/D 変換データは無効であり、A/D 変換データの精度は保証されません。

53.3 動作説明

53.3.1 A/D 変換クロック

A/D 変換クロック (ADCLK) は ADC の動作クロックです。A/D コンバータ（ADC0 および ADC1）は、ADCLK を基本クロックとして動作し、制御されます。図 53.4 に ADC16H のクロック構成を示します。

ADCLK は、ADCLKCR レジスタで選択したクロックソースと分周比で生成されます。ADCLK の周波数は、PCLKA ≧ ADCLK となるように設定してください。また、ADCLK の周波数は、電気的特性で指定した保証動作範囲内になるように設定してください。詳細は、「62. 電気的特性」を参照してください。

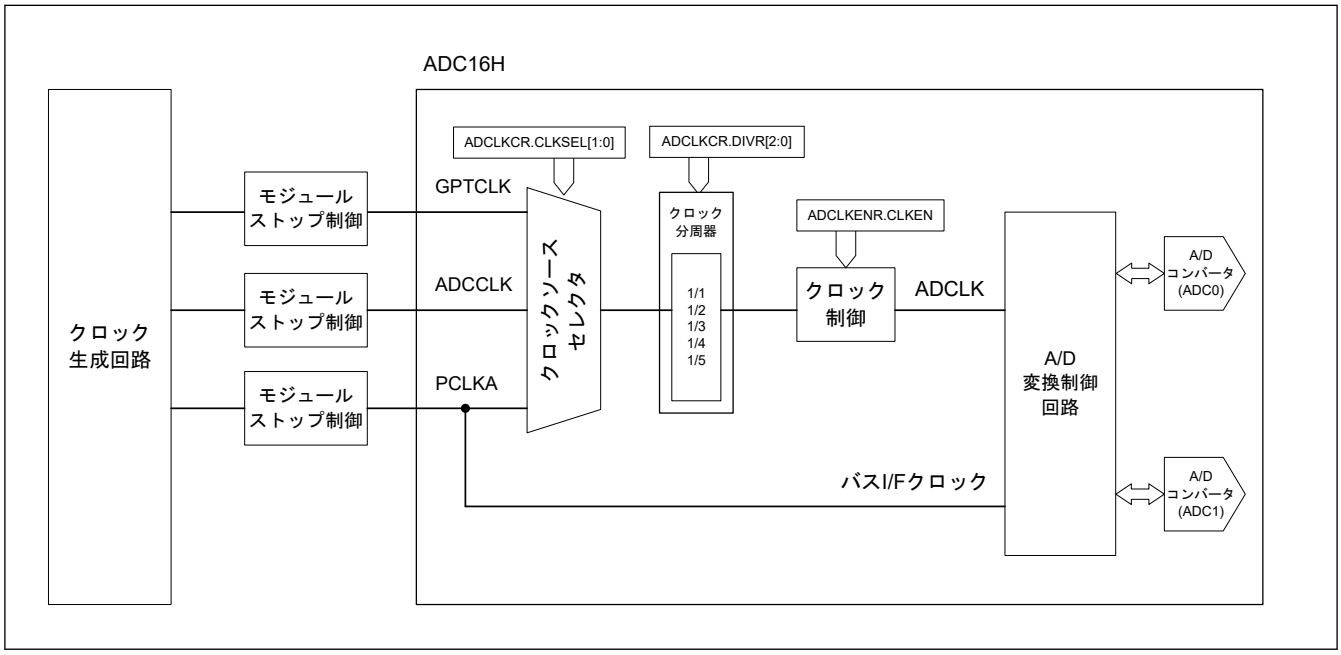


図 53.4 クロック構成

53.3.2 A/D コンバータの動作モード

53.3.2.1 SAR モード

SAR モードでは、A/D コンバータはナイキスト型 A/D コンバータとして動作します。アナログチャネルは 1 回サンプリングされ、逐次変換レジスタ (SAR) 方式により、アナログからデジタルに変換されます。SAR モードの特長を以下に示します。

[SAR モードの特長]

- 高速変換：最短の群遅延で A/D 変換データを取得可能
- スキャングループごとに最大 8 本のアナログチャネル（仮想チャネル）の A/D 変換が可能
- シングルエンド入力と差動入力の両方に対応（デジタルフィルタ機能はサポートされない）

SAR モードでの A/D 変換動作の詳細については、「53.3.7. スキャン動作説明」を参照してください。SAR モードに関する制限については、「53.11.14. SAR モードに関する制限」を参照してください。

53.3.2.2 オーバーサンプリングモード

オーバーサンプリングモードでは、A/D コンバータはオーバーサンプリング型 A/D コンバータとして動作します。アナログチャネルはオーバーサンプリングされ、ノイズシェーピング逐次変換レジスタ (NS-SAR) 方式により、アナログからデジタルに変換されます。オーバーサンプリングモードの特長を以下に示します。

[オーバーサンプリングモードの特長]

- 高精度変換：ノイズシェーピング技術とデジタルフィルタ機能で A/D 変換データを取得可能(注1)
- スキャングループごとに最大 8 本のアナログチャネル（仮想チャネル）の A/D 変換が可能
- シングルエンド入力と差動入力を両方サポート

注 1. オーバーサンプリングモードでは、デジタルフィルタ機能を使用しなければなりません。オーバーサンプリングモードでは、デジタルフィルタ機能を使用しない動作は禁止です。

オーバーサンプリングモードでの A/D 変換動作の詳細については、「53.3.7. スキャン動作説明」を参照してください。オーバーサンプリングモードに関する制限については、「53.11.15. オーバーサンプリングモードに関する制限」を参照してください。

53.3.2.3 ハイブリッドモード

ハイブリッドモードは、SAR モードとオーバーサンプリングモードの両方の特長を有しています。ハイブリッドモードでは、A/D コンバータはオーバーサンプリング型 A/D コンバータとして動作します。アナログチャネルはオーバーサンプリングされ、ノイズシェーピング逐次変換レジスタ (NS-SAR) 方式により、アナログからデジタルに変換されます。ハイブリッドモードでは、各サンプリングのチャネル切り替えの間に、複数のアナログチャネルがオーバーサンプリングされます。ハイブリッドモードの特長を以下に示します。

[ハイブリッドモードの特長]

- 高精度変換：ノイズシェーピング技術とデジタルフィルタ機能で A/D 変換データを取得可能(注1)
- 高速変換：連続スキャンモード時および初期遅延時間後に、最短の群遅延で A/D 変換データを取得可能
- スキャングループごとに最大 4 本のアナログチャネル（仮想チャネル）の A/D 変換が可能
- シングルエンド入力と差動入力を両方サポート

注 1. ハイブリッドモードでは、デジタルフィルタ機能を使用しなければなりません。ハイブリッドモードでは、デジタルフィルタ機能を使用しない動作は禁止です。

ハイブリッドモードでの A/D 変換動作の詳細については、「53.3.7. スキャン動作説明」を参照してください。ハイブリッドモードに関する制限については、「53.11.16. ハイブリッドモードに関する制限」を参照してください。

53.3.3 シングルエンド入力と差動入力

ADC16H はシングルエンド入力と差動入力をサポートしています。シングルエンド入力または差動入力の選択は、ADCHCRn.AINMD (n = 0～32) ビットで指定されます。差動入力をサポートしているアナログチャネルについては、表 53.4 と表 53.5 を参照してください。

シングルエンド入力

シングルエンド入力モードでは、アナログチャネル（信号源）の電圧とアナログ基準グランド電圧 (ADC0: VREFL0, ADC1: VREFL) の差分が A/D 変換されます。

差動入力

差動入力モードでは、偶数番号のアナログチャネルが非反転入力 (+) (A_{INP}) として使用され、奇数番号のアナログチャネルが反転入力 (−) (A_{INN}) として使用されます。非反転入力 (+) と反転入力 (−) の差動電圧 ($A_{INP} - A_{INN}$) が A/D 変換されます。(注1)

差動入力モードの A/D 変換に対して、ADCHCRn.CNVCS[6:0] (n = 0～32) ビットで差動ペアの対象の非反転入力 (+) チャネル(注2)を選択してください。また、ADCHCRn.AINMD (n = 0～32) ビットで差動入力モードを選択してください。

差動入力モードで差動入力をサポートしていないチャネルの A/D 変換を行うことは禁止されています。その場合、A/D 変換結果は保証されません。

注 1. 差動入力ペアはアナログチャネル番号 2i と 2i+1 (i = 0, 1, 2, 3, ...) のチャネルの組み合わせであり、それらの名称は ANxxxP と ANxxxN (xxx = 000, 002, 004, ...) です。連続していないアナログチャネル番号の組み合わせ、またはアナログチャネル番号 2i−1 と 2i の組み合わせは、差動入力ペアとして使用できません。

注 2. 偶数番号のアナログチャネルの名称は、ANxxxP (xxx = 000, 002, 004, …) です。

53.3.4 アナログチャネル

アナログチャネルは、A/D 変換の対象となるアナログ信号源です。アナログチャネルには以下の種類があります。

- アナログ入力チャネル：MCU の入出力端子から送られてくるアナログ入力の A/D 変換チャネル
- 拡張アナログチャネル：MCU 内のアナログ信号源となる A/D 変換チャネル

アナログチャネルに対して A/D 変換を実行するためには、仮想チャネルとスキャングループへの割り当てが必要です。各項目については、それぞれの説明を参照してください。

53.3.5 仮想チャネル

仮想チャネルとは、ある 1 本のアナログチャネルの A/D 変換設定を格納するレジスタ群です。仮想チャネルには、アナログチャネルの選択、A/D 変換のオプション設定、A/D 変換データのデータ処理方法、スキャングループの割り当てなどの A/D 変換設定を指定できます。

アナログチャネルの A/D 変換を行うためには、対象のアナログチャネルを任意の仮想チャネルに割り当てる必要があります。そして、その仮想チャネルをスキャングループに割り当てます。アナログチャネル、仮想チャネル、およびスキャングループの関係については、図 53.5 を参照してください。図 53.6 に、図 53.5 の設定における A/D 変換の順序を示します。

仮想チャネルは 1 つのスキャングループにのみ割り当てることができます。同一のアナログチャネルを異なるスキャングループ内で変換する場合、または同一のアナログチャネルを同一のスキャングループ内で複数回変換する場合は、アナログチャネルを複数の仮想チャネルに割り当ててください。同じアナログチャネルを対象に、同じスキャングループ内の複数の仮想チャネルを使って複数回 A/D 変換を行う場合、FIFO 機能を併用してください。

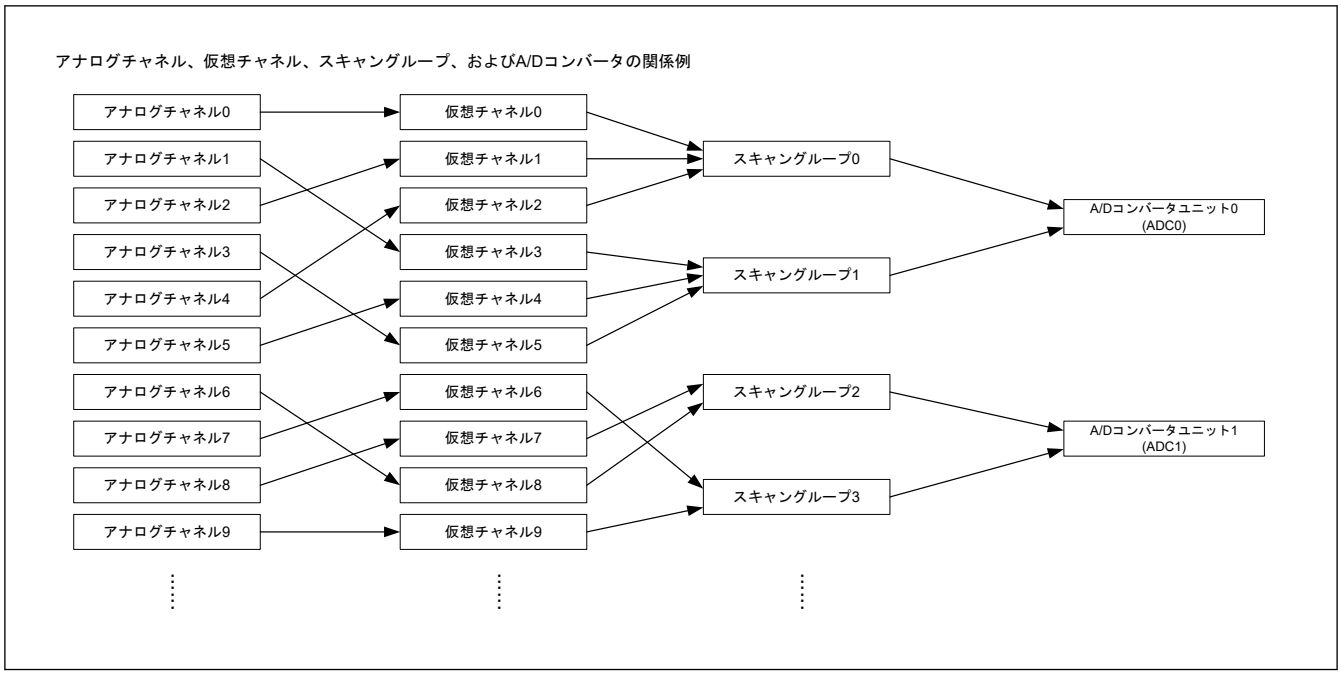


図 53.5 仮想チャネルの概念

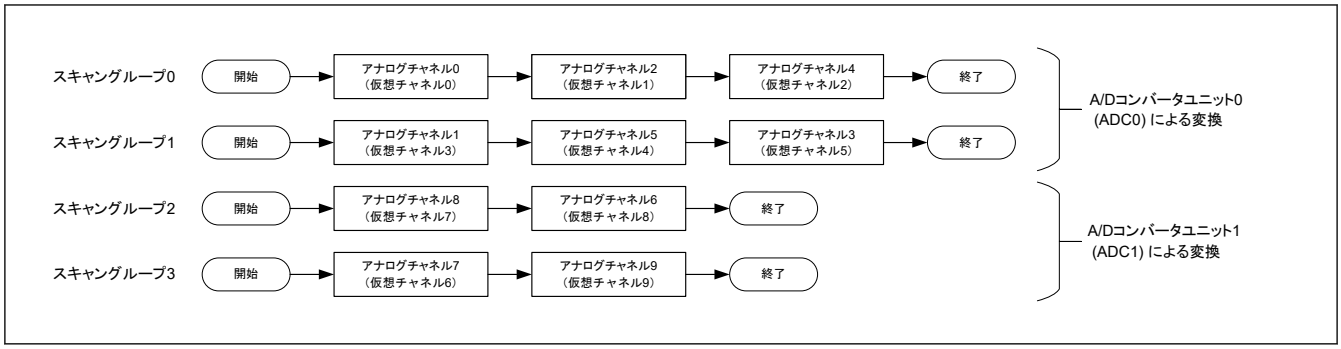


図 53.6　スキャン動作時の A/D 変換順序例

53.3.6　スキャングループ

スキャングループとは、スキャン動作で A/D 変換が行われるアナログチャネルのグループです。スキャングループを使って A/D 変換を行うには、以下の手順で設定してください。

- A/D 変換をするアナログチャネルを仮想チャネルに割り当てる。
- 仮想チャネルをスキャングループに割り当てる。
- スキャングループを A/D コンバータに割り当てる。

アナログチャネル、仮想チャネル、およびスキャングループの関係については、図 53.5 および図 53.6 を参照してください。

1 つのスキャングループに対して、動作モードに従って、以下に示す範囲で仮想チャネルを割り当てることができます。

- SAR モード：スキャングループごとに最大 8 本の仮想チャネル
- オーバーサンプリングモード：スキャングループごとに最大 8 本の仮想チャネル
- ハイブリッドモード：スキャングループごとに 2～4 本の仮想チャネル

1 つのスキャングループに対して最大本数を超える仮想チャネルが割り当てられた場合、仮想チャネル番号の昇順で 8 番目のチャネル（SAR モードあるいはオーバーサンプリングモード）または 4 番目のチャネル（ハイブリッドモード）が A/D 変換の対象となります。それ以降のチャネルは A/D 変換の対象となりません。

スキャングループに関する注意事項

1 つのスキャングループに割り当てる仮想チャネルには、同じ A/D コンバータで変換可能なアナログチャネルを割り当ててください。指定した A/D コンバータで変換できないアナログチャネルが含まれていると、該当のチャネルの A/D 変換結果は不定になります。

ハイブリッドモードでは、1 つのスキャングループに少なくとも 2 本の仮想チャネルを割り当ててください。どの仮想チャネルも割り当てられていない、または 1 本の仮想チャネルのみが割り当てられている場合、動作は保証されません。

53.3.7　スキャン動作説明

スキャン動作とは、アナログチャネルに対する一連の A/D 変換動作のことです。スキャン動作のモードは以下のとおりです。

- シングルスキャンモード
  - シングルスキャンモードでは、各 A/D 変換開始トリガ入力につき、1 つのスキャングループが 1 回スキャンされます。
  - A/D 変換開始トリガが入力されるごとに、該当のスキャングループに割り当てられた各アナログチャネルに対して、A/D 変換が 1 回行われます。
- 連続スキャンモード
  - 連続スキャンモードは、1 つのスキャングループに対するスキャン動作を繰り返します。

  - A/D 変換開始トリガが入力されると、該当のスキャングループに割り当てられた各アナログチャネルに対する A/D 変換が、A/D 変換停止処理が実行されるまで繰り返されます。
- バックグラウンド連続スキャンモード
  - バックグラウンド連続スキャンモードは、1 つのスキャングループに対するスキャン動作を繰り返します。
  - 最初の A/D 変換開始トリガが入力されると、スキャン動作が開始します。
  - 該当のスキャングループに割り当てられた各アナログチャネルに対する A/D 変換が、A/D 変換停止処理が実行されるまで繰り返されます。(連続スキャン動作)
  - 連続スキャン動作中に A/D 変換開始トリガが入力されると、その時点の A/D 変換データが出力されます。(A/D 変換開始トリガが入力されなければ、A/D 変換データは出力されず、A/D データレジスタと FIFO データレジスタの値は更新されません。)
- 1 チャネル連続スキャンモード
  - 1 チャネル連続スキャンモードは、1 つのアナログチャネルのスキャン動作を繰り返します。そして、開始トリガによって変換チャネルを変更することができます。
  - 最初の開始トリガによって A/D 変換が起動され、次の開始トリガが入力されるまで同じチャネルが連続的に変換されます。
  - 開始トリガによって A/D 変換チャネルが切り替わるたびに、A/D 変換が中断および再開されます。
- 固定チャネル連続スキャンモード
  - 固定チャネル連続スキャンモードは、ハイブリッド型として動作する固定チャネルと、SAR として動作する非固定チャネルを組み合わせて動作します。
  - 決まった数の固定チャネルを先にスキャンしてから、スキャングループに割り当てられている 1 つの非固定チャネルをスキャンします。1 つの非固定チャネルが各スキャンで順次切り替わります。そして、これらの動作を繰り返します。
  - A/D 変換データは、デジタルフィルタの TAP 数に従って変換が完了するまで出力されません。

各動作モードでサポートされているスキャンモードを表 53.6 に示します。

表 53.6　スキャンモードと動作モード

スキャンモード	A/D コンバータの動作モード		
	SAR モード	オーバーサンプリングモード	ハイブリッドモード
シングルスキャンモード	✓	✓	✓
連続スキャンモード	✓	✓	✓
バックグラウンド連続スキャンモード	—	—	✓
1 チャネル連続スキャンモード	—	✓	—
固定チャネル連続スキャンモード	—	—	✓

注.　✓：使用可能、—：使用不可

スキャン動作はスキャングループ単位で行われます。スキャン動作が開始すると、仮想チャネルの設定に基づき、各アナログチャネルに対して A/D 変換が行われます。同じ A/D コンバータに割り当てられた 2 つ以上のスキャングループに対して同時にスキャン動作が開始された場合、スキャングループ番号が最も小さいグループのスキャン動作が行われます。

スキャン動作におけるアナログチャネルの A/D 変換順序は、当該スキャングループに割り当てられている仮想チャネル番号の昇順です。仮想チャネル番号が最も小さいチャネルの A/D 変換は、スキャングループの前端で実行されます。仮想チャネル番号が大きいチャネルの A/D 変換は、スキャングループの後方で実行されます。

スキャン動作中の各アナログチャネルの変換順序の関係については、図 53.5 および図 53.6 を参照してください。

各動作モードにおけるスキャン動作を以下に示します。

53.3.7.1 SAR モード（シングルスキャンモード）

表 53.7 および図 53.7 に SAR モード（シングルスキャンモード）での動作例を示します。

表 53.7 SAR モード（シングルスキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。
2	1 つのアナログチャネルの A/D 変換が完了するごとに、A/D 変換結果はデータレジスタ（ADDRi (i = 0～22)、ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)）に格納されます。 FIFO を使用する場合、A/D 変換結果は FIFO データレジスタ (ADFIFODRk（k = 0～8)) にも格納されます。
3	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
4	スキャン動作中、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。 スキャン動作が完了すると、各ビットは 0 にクリアされ、A/D コンバータはアイドル状態になります。

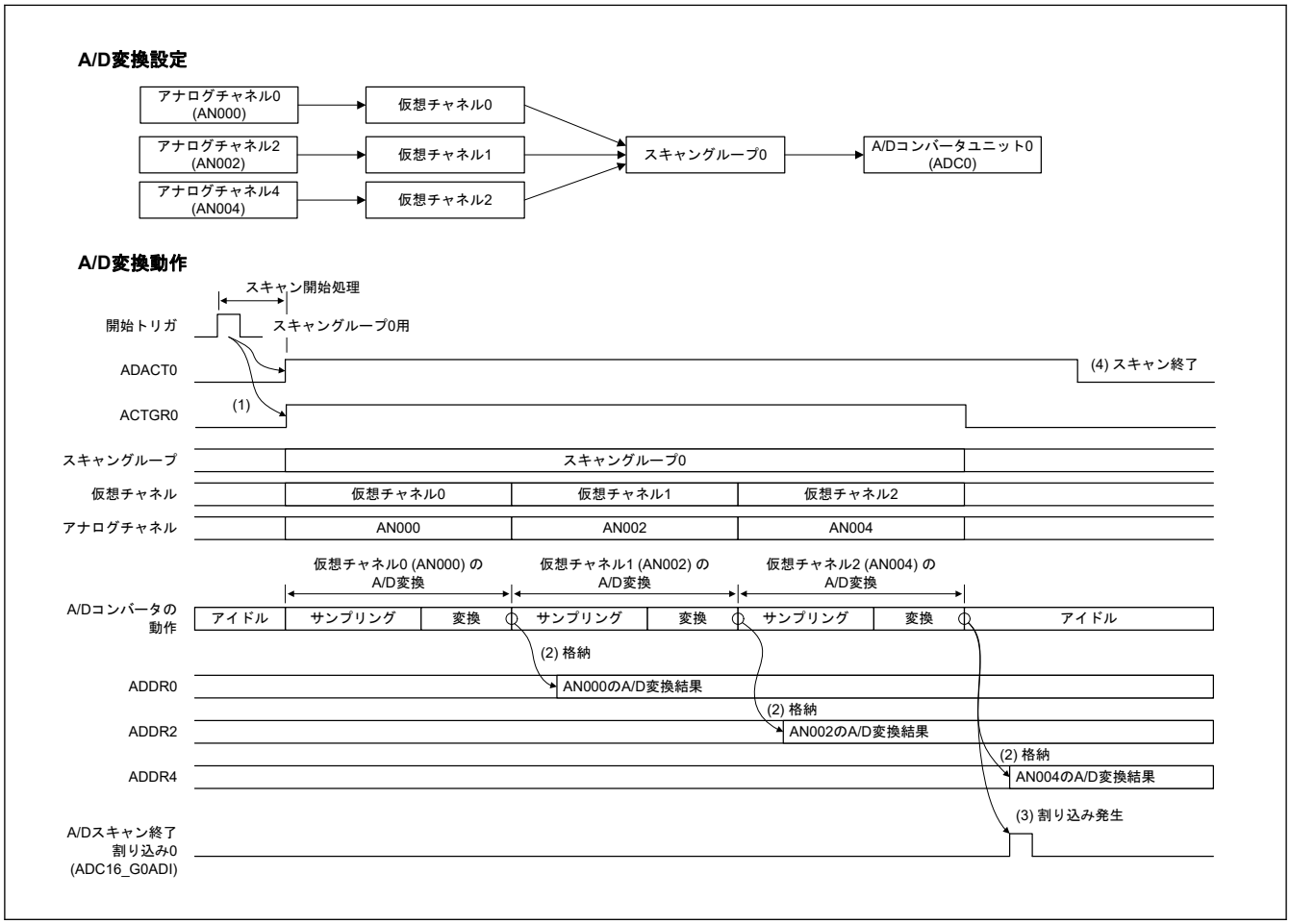


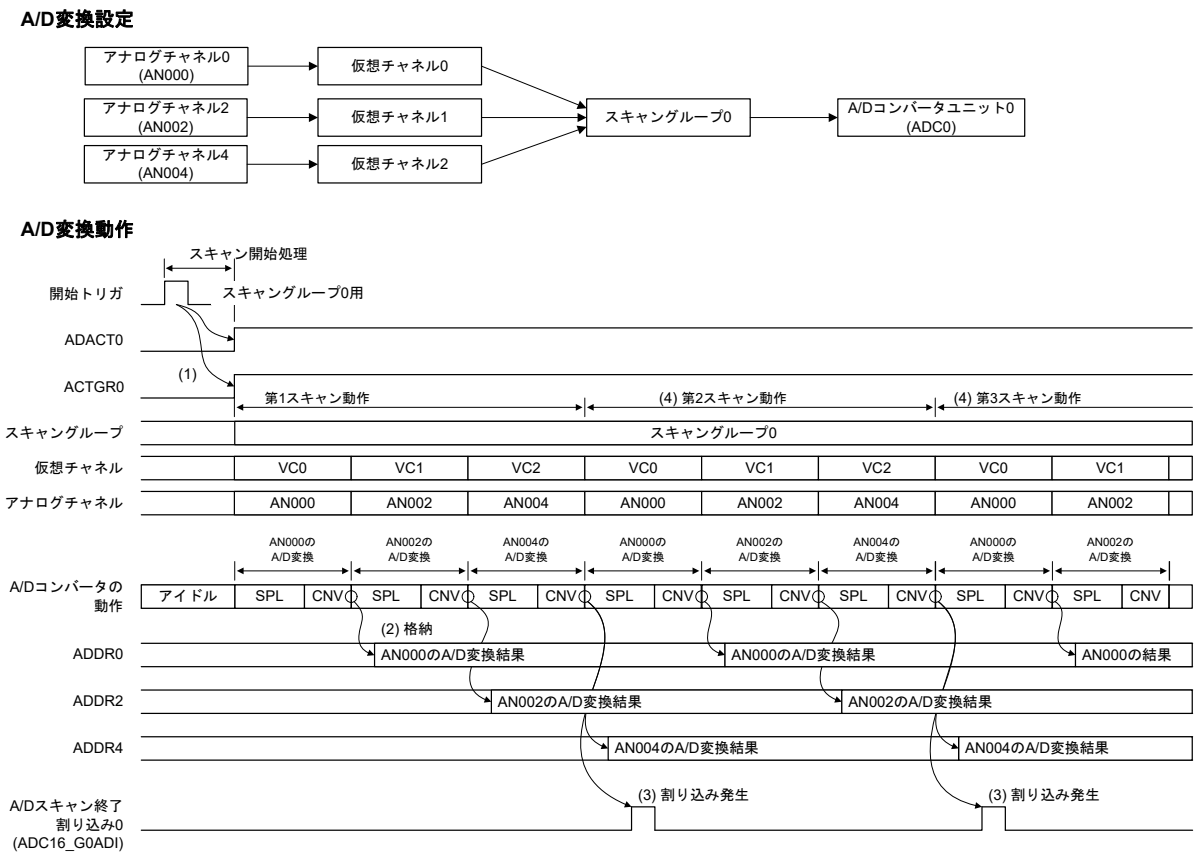
図 53.7 SAR モード（シングルスキャンモード）でのスキャン動作例

53.3.7.2 SAR モード（連続スキャンモード）

表 53.8 および図 53.8 に SAR モード（連続スキャンモード）での動作例を示します。

表 53.8 SAR モード（連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。 A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	1 つのアナログチャネルの A/D 変換が完了するごとに、A/D 変換結果はデータレジスタ（ADDRi (i = 0～22)、ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)）に格納されます。 FIFO を使用する場合、A/D 変換結果は FIFO データレジスタ（ADFIFODRk（k = 0～8））にも格納されます。
3	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
4	A/D 変換停止処理が実行されるまで、手順 2 と 3 は繰り返され、スキャン動作が続きます。A/D 変換を停止するには、「53.6.4. A/D 変換動作の強制停止」の手順に従ってください。



注. VC：仮想チャネル、SPL：サンプリングステート、CNV：変換ステート

図 53.8 SAR モード（連続スキャンモード）でのスキャン動作例

53.3.7.3 オーバーサンプリングモード（シングルスキャンモード）

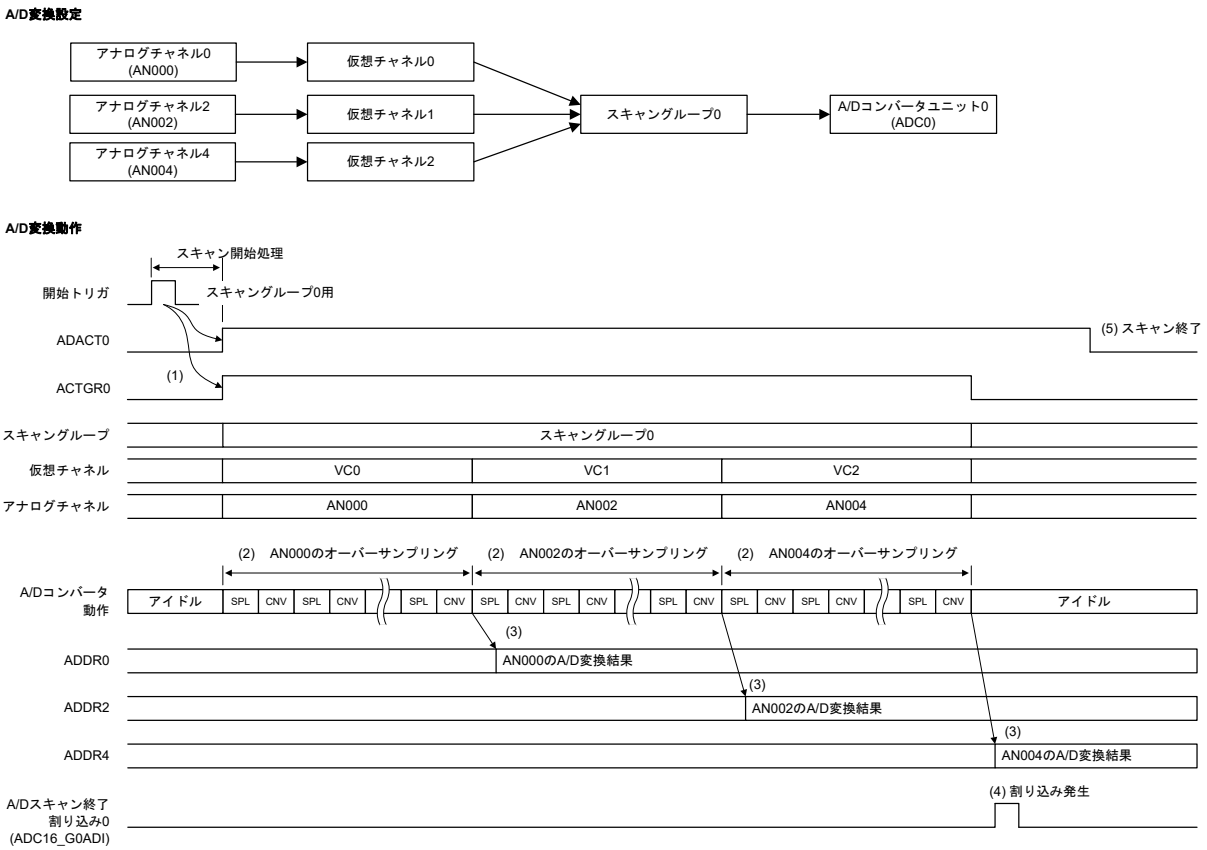
表 53.9 および図 53.9 にオーバーサンプリングモード（シングルスキャンモード）での動作例を示します。

表 53.9 オーバーサンプリングモード（シングルスキャンモード）でのスキャン動作例 (1/2)

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。

表 53.9 オーバーサンプリングモード（シングルスキャンモード）でのスキャン動作例 (2/2)

手順	動作
2	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に従って、各アナログチャネルはオーバーサンプリングされます。各アナログチャネルのオーバーサンプリング完了後に、デジタルフィルタに格納されたオーバーサンプリングデータは破棄されます。
3	各アナログチャネルの A/D 変換データは、オーバーサンプリング後に出力されます。A/D 変換データはデータレジスタ（ADDRi (i = 0～22)、ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)）に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
5	スキャン動作中、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。 スキャン動作が完了すると、各ビットは 0 にクリアされ、A/D コンバータはアイドル状態になります。



注. VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

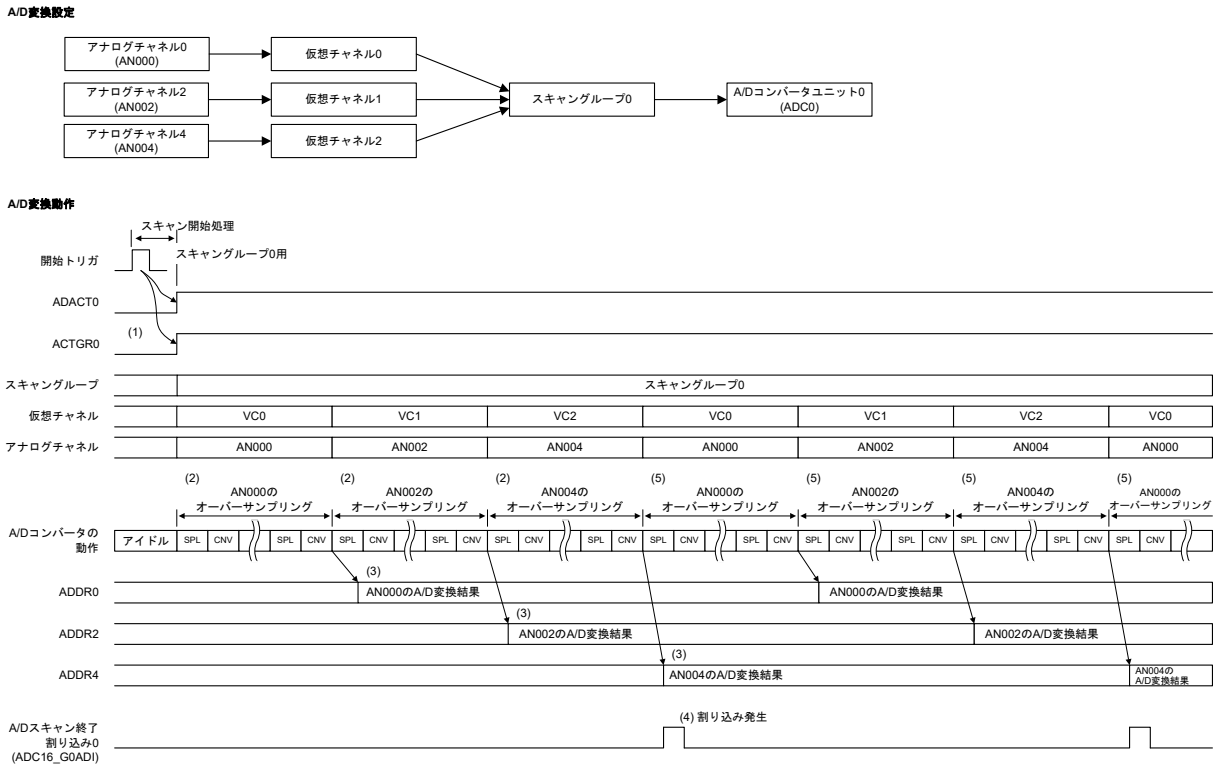
図 53.9 オーバーサンプリングモード（シングルスキャンモード）でのスキャン動作例

53.3.7.4 オーバーサンプリングモード（連続スキャンモード）

表 53.10 および図 53.10 にオーバーサンプリングモード（連続スキャンモード）での動作例を示します。

表 53.10　オーバーサンプリングモード（連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に従って、各アナログチャネルはオーバーサンプリングされます。各アナログチャネルのオーバーサンプリング完了後に、デジタルフィルタに格納されたオーバーサンプリングデータは破棄されます。
3	各アナログチャネルの A/D 変換データは、オーバーサンプリング後に出力されます。A/D 変換データはデータレジスタ（ADDRi (i = 0～22)、ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)）に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
5	A/D 変換停止処理が実行されるまで、手順 2～4 は繰り返され、スキャン動作が続きます。A/D 変換を停止するには、「53.6.4. A/D 変換動作の強制停止」の手順に従ってください。



注.　VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

図 53.10　オーバーサンプリングモード（連続スキャンモード）でのスキャン動作例

53.3.7.5　オーバーサンプリングモード（1 チャネル連続スキャンモード）

表 53.11 および図 53.11 にオーバーサンプリングモード（1 チャネル連続スキャンモード）での動作例を示します。

表 53.11 オーバーサンプリングモード（1 チャネル連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	1 つのアナログチャネルの A/D 変換が完了するごとに、A/D 変換結果はデータレジスタ (ADDRi (i = 0～22), ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)) に格納されます。FIFO を使用する場合、A/D 変換結果は FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます
3	スキャン終了割り込みが許可されている場合、1 つのアナログチャネルの A/D 変換が完了したときに、該当のスキャングループに対応するスキャン終了割り込みが生成されます。
4	同じ仮想チャネルの A/D 変換は、トリガ入力が行われるまで続行されます。始まりのスキャングループの開始トリガとして設定されているトリガ入力が実行されると、次の仮想チャネルの A/D 変換が開始されます。

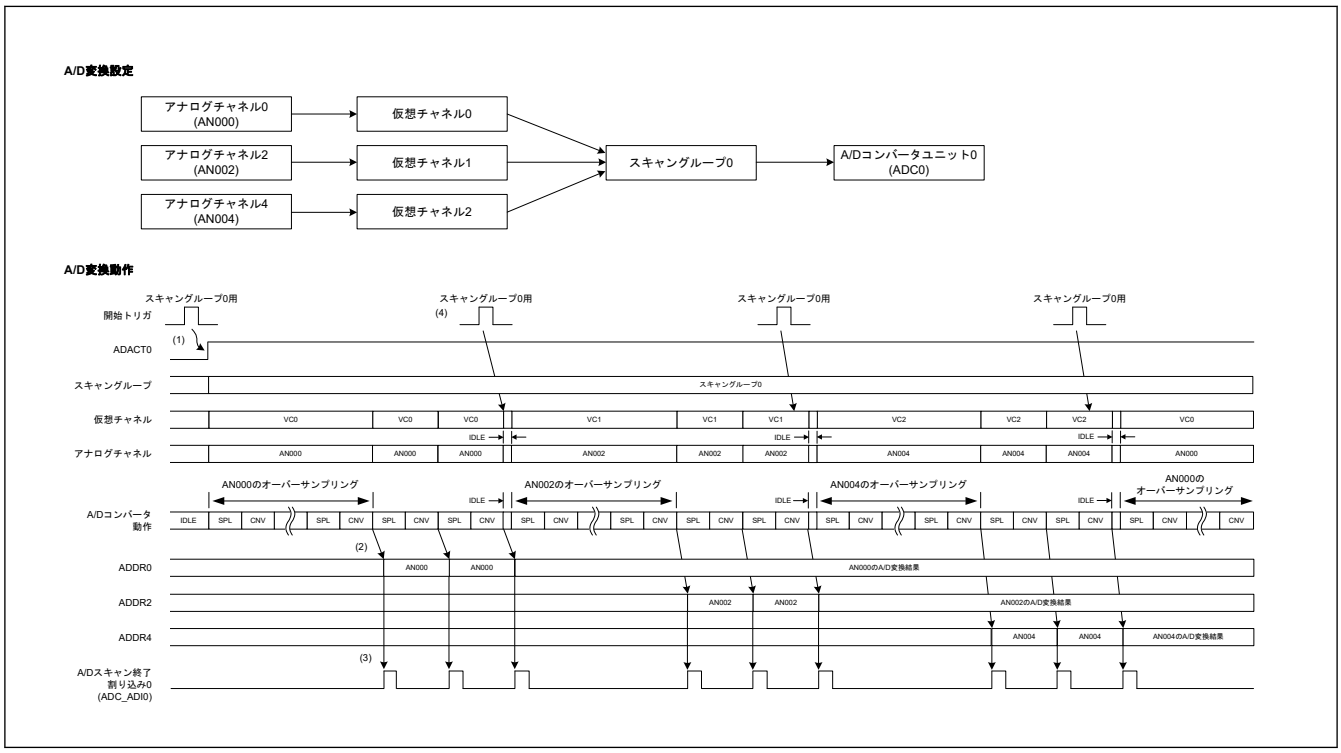


図 53.11 オーバーサンプリングモード（1 チャネル連続スキャンモード）でのスキャン動作例

53.3.7.6 ハイブリッドモード（シングルスキャンモード）

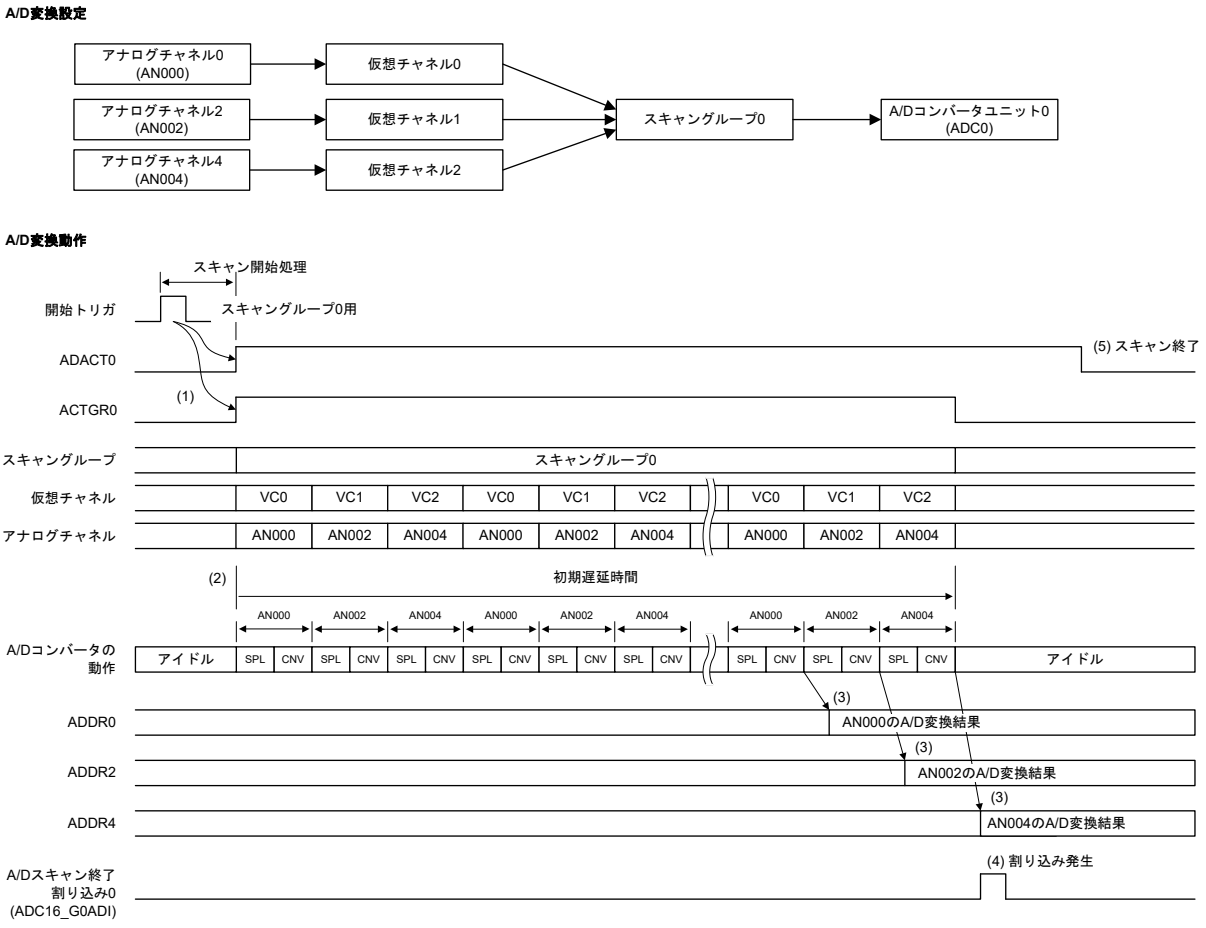
表 53.12 および図 53.12 にハイブリッドモード（シングルスキャンモード）での動作例を示します。

表 53.12 ハイブリッドモード（シングルスキャンモード）でのスキャン動作例 (1/2)

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行された後、A/D 変換データが出力されます。（最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。） A/D 変換データはデータレジスタ（ADDRi (i = 0～22)、ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)）に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。

表 53.12　ハイブリッドモード（シングルスキャンモード）でのスキャン動作例 (2/2)

手順	動作
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
5	スキャン動作中、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。 スキャン動作が完了すると、各ビットは 0 にクリアされ、A/D コンバータはアイドル状態になります。デジタルフィルタのオーバーサンプリングデータも、スキャン動作の終了時に破棄されます。



注.　VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

図 53.12　ハイブリッドモード（シングルスキャンモード）でのスキャン動作例

53.3.7.7　ハイブリッドモード（連続スキャンモード）

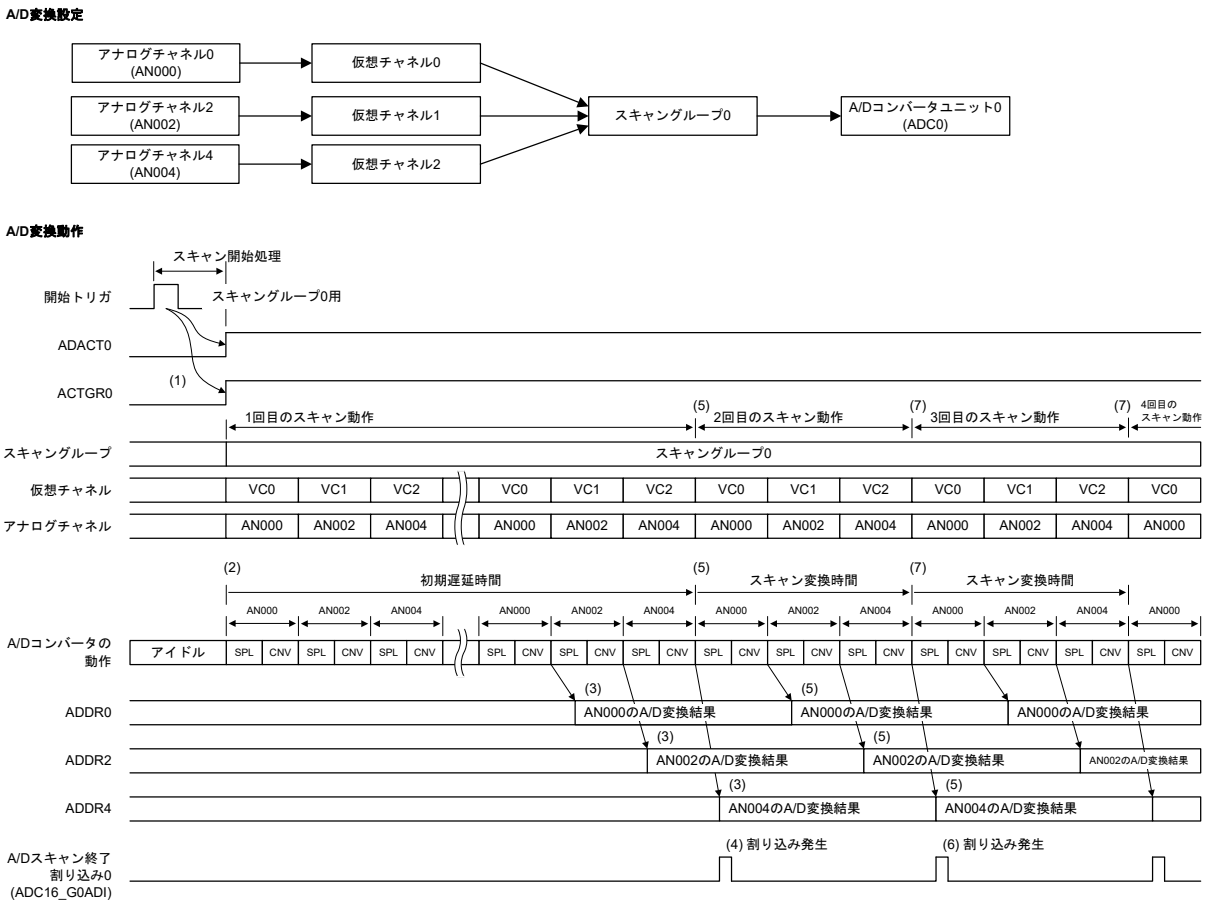
表 53.13 および図 53.13 にハイブリッドモード（連続スキャンモード）での動作例を示します。

表 53.13　ハイブリッドモード（連続スキャンモード）でのスキャン動作例 (1/2)

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。

表 53.13　ハイブリッドモード（連続スキャンモード）でのスキャン動作例 (2/2)

手順	動作
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行された後、A/D 変換データが出力されます。（最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。） A/D 変換データは、データレジスタ (ADDRi (i = 0～22), ADEXDRj (j = 0, 1, 4～9, 16～18, 20～ 22)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
4	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
5	初期遅延時間が経過した後のスキャン動作では、アナログチャネルのオーバーサンプリングを実行するたびに、デジタルフィルタ内のデータが更新されます。各アナログチャネルの更新された A/D 変換データは、1 回のオーバーサンプリングごとに、または A/D 変換済みの値の加算／平均の回数に対応する複数回のオーバーサンプリングを実行するたびに出力できます。 A/D 変換データは、データレジスタ (ADDRi (i = 0～22), ADEXDRj (j = 0, 1, 4～9, 16～18, 20～ 22)) に格納されます。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
6	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成されます。
7	その後、A/D 変換停止処理が実行されるまで、手順 5～6 は繰り返され、スキャン動作が続きます。A/D 変換を停止するには、「53.6.4. A/D 変換動作の強制停止」の手順に従ってください。



注.　VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

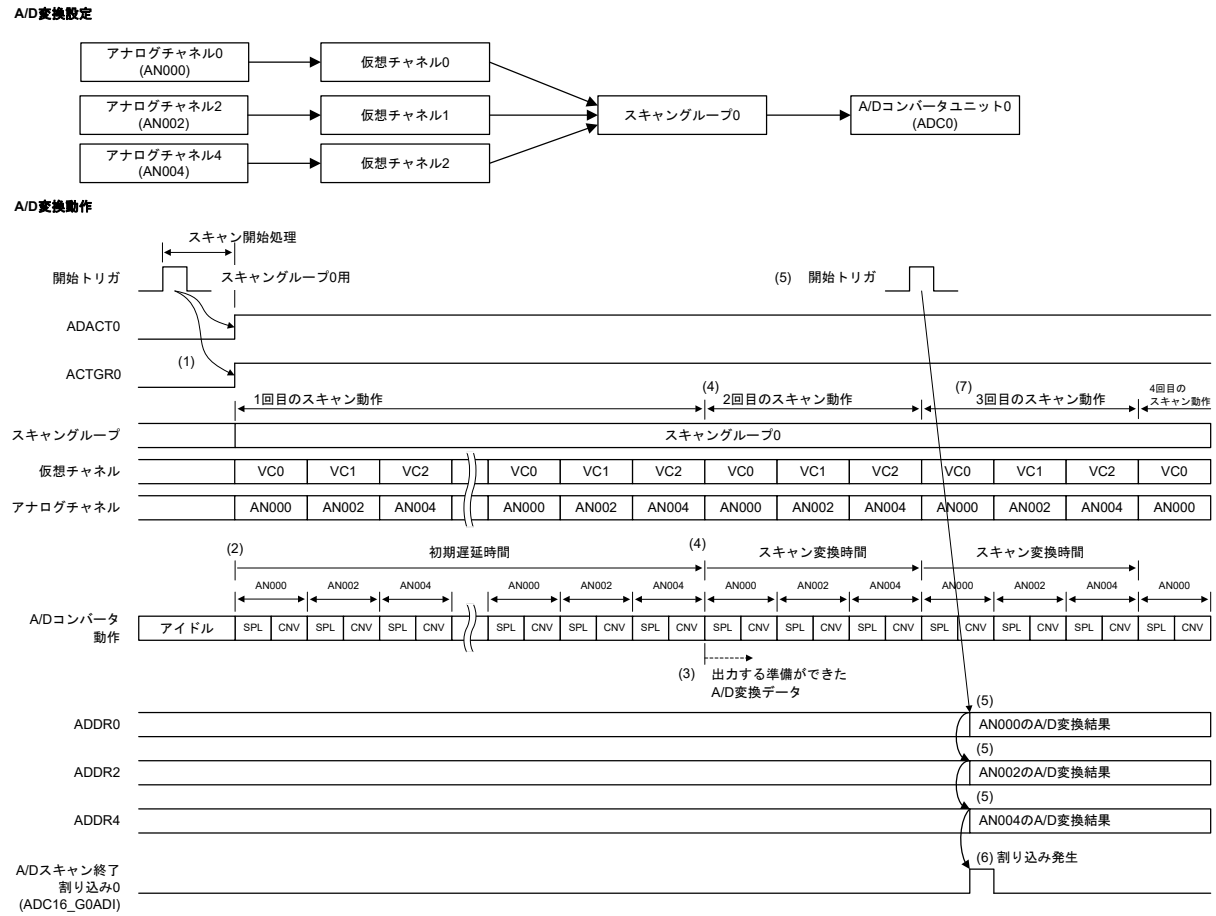
図 53.13　ハイブリッドモード（連続スキャンモード）でのスキャン動作例

53.3.7.8 ハイブリッドモード（バックグラウンド連続スキャンモード）

表 53.14 および図 53.14 にハイブリッドモード（バックグラウンド連続スキャンモード）での動作例を示します。

表 53.14 ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例

手順	動作
1	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、トリガに対応するスキャングループのスキャン動作が開始します。 スキャン動作が開始すると、該当のスキャングループに対応する ADGRSR.ACTGRn (n = 0～8) ビットは 1 になります。A/D 変換を行う A/D コンバータに対応する ADSR.ADACTm (m = 0, 1) ビットも 1 になります。
2	ハイブリッドモードでは、オーバーサンプリングが実行されるごとにアナログチャネルを切り替える間に、スキャン動作が行われます。
3	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行された後、A/D 変換データは出力準備中になります。 （最初の A/D 変換データを取得するのに必要なオーバーサンプリングに要する時間を、初期遅延時間と呼びます。バックグラウンド連続スキャン動作では、スキャン動作開始から初期遅延時間が経過した後に、A/D 変換データを取得可能です。）
4	初期遅延時間が経過した後のスキャン動作では、アナログチャネルのオーバーサンプリングを実行するたびに、デジタルフィルタ内のデータが更新されます。各アナログチャネルの更新された A/D 変換データは、1 回のオーバーサンプリングごとに、または A/D 変換済みの値の加算／平均の回数に対応する複数回のオーバーサンプリングを実行するたびに出力できます。
5	バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されると、その時点で最近の A/D 変換データがデータレジスタ (ADDRi (i = 0～22), ADEXDRj (j = 0, 1, 4～6, 8, 9, 16～18, 20～22)) に格納されます。FIFO 機能が有効な場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます。
6	スキャン終了割り込みが許可されている場合、スキャン終了割り込みが生成されます。
7	その後、A/D 変換停止処理が実行されるまで、バックグラウンド連続スキャン動作（手順 4）は繰り返されます。バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されるときはいつでも、A/D 変換データが出力されます（手順 5、手順 6）。A/D 変換を停止するには、「53.6.4. A/D 変換動作の強制停止」の手順に従ってください。



注. VC：仮想チャネル
SPL：サンプリング状態
CNV：変換状態

図 53.14 ハイブリッドモード（バックグラウンド連続スキャンモード）でのスキャン動作例

53.3.7.9 ハイブリッドモード（固定チャネル連続スキャンモード）

表 53.15 と図 53.15 にハイブリッドモード（固定チャネル連続スキャンモード）での動作例を示します。

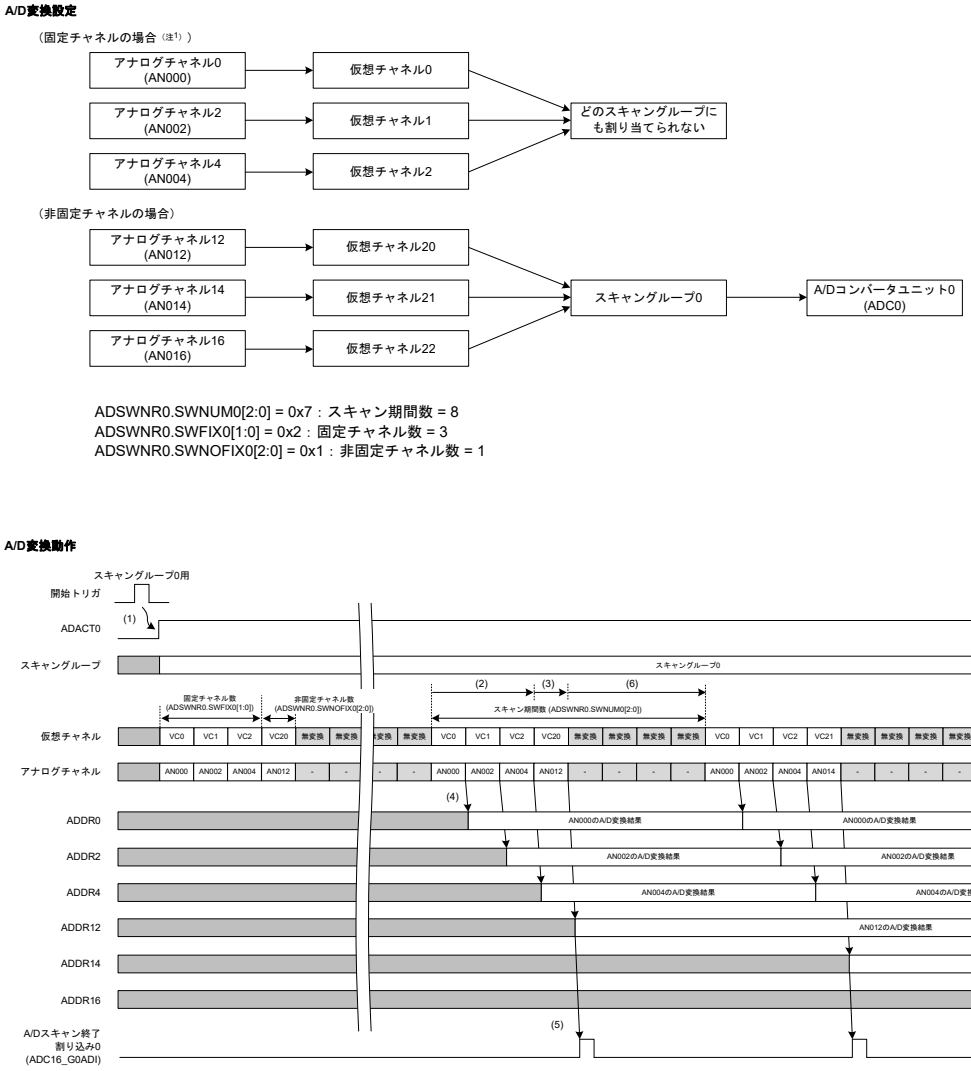
表 53.15 ハイブリッドモード（固定チャネル連続スキャンモード）でのスキャン動作例 (1/2)

手順	動作
1	開始トリガが入力で、ADSR.ADACTm (m = 0, 1) ビットが 1（A/D 変換が進行中）になると、ADSGCRm (m = 0, 1) レジスタで選択されたスキャングループの A/D 変換が始まります
2	まず、ADSWNRm.SWFIXm (m = 0, 1) ビットで設定されたチャネル数の固定チャネルが変換されます (注1)
3	その後、非固定チャネルは、ADSWNRm.SWNOFIXm (m = 0, 1) ビットで設定したチャネル数に対して、仮想チャネル番号の昇順で変換が行われます。図の波形例では、仮想チャネルを 3 本使用していて、変換順序は仮想チャネル 20 → 仮想チャネル 21 → 仮想チャネル 22 となっています
4	1 つのアナログチャネルの A/D 変換が完了すると、A/D 変換結果は変換対象に対応している A/D データレジスタ (ADDRi.DATA (i = 0～22), ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)) に格納されます。FIFO を使用する場合、A/D 変換結果は FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます

表 53.15　ハイブリッドモード（固定チャネル連続スキャンモード）でのスキャン動作例 (2/2)

手順	動作
5	スキャンサイクル中に A/D データレジスタが更新されると、スキャン終了割り込み許可レジスタで各スキャングループの ADINTCR.ADIEn (n = 0～8) ビットが 1 に設定されている（スキャンの終了によってスキャングループ n の割り込みを許可する）場合、非同期チャネルの変換終了後にスキャングループ n の割り込み要求が生成されます
6	固定チャネルと非固定チャネルの変換完了後、ADSWNRm.SWNUMm (m = 0, 1) で設定されているスキャンサイクルの終了まで、ADSWNRm.BCSSTSLm (m = 0, 1) レジスタで設定されているアイドルサイクルの変換時間がカウントされます
7	その後、A/D 変換動作、A/D 変換結果レジスタへの結果の格納、非固定チャネルの変換終了によって発生するスキャングループ n の割り込み、スキャンサイクルの終わりまでのカウントが繰り返されます。固定チャネルでは同じチャネルの A/D 変換が繰り返され、非固定チャネルでは当該スキャングループに割り当てられた最後のチャネルまで A/D 変換が繰り返されて、その後、最初のチャネルに戻ります(注2)

注.　チャネル間で同じフィルタが選択されないように設定する必要があります。
注.　A/D 変換停止が設定されると (ADSTOPR.ADSTOPm (m = 0, 1))、スキャンが停止します。
注 1.　固定チャネル連続スキャンモードの固定チャネルは、スキャングループと、各ユニット用に指定される仮想チャネルを使用します。詳細は、(6) 固定チャネル連続スキャンモードの制限事項を参照してください。
注 2.　スキャン期間が固定および非固定チャネルのための合計変換回数に満たない値に設定された場合、このスキャン期間を過ぎた変換サイクルは A/D 変換の対象になりません。



注 1. 固定チャネル連続スキャンモードの固定チャネルは、スキャングループと、各ユニット用に指定される仮想チャネルを使用します。詳細は、(6) 固定チャネル連続スキャンモードの制限事項を参照してください。

図 53.15 ハイブリッドモード（固定チャネル連続スキャンモード）でのスキャン動作例

53.3.8 自己校正

ADC16H は自己校正機能を内蔵しています。自己校正機能を使って、チップごとのばらつきによる特性の違いを校正します。自己校正機能には以下の動作が含まれます。

1. 内部回路校正
   - A/D コンバータの内部回路の動作を調整します。
2. ゲインおよびオフセット校正
   - A/D コンバータのゲインエラーとオフセットエラーを測定します。
   - 測定された誤差データに基づく A/D 変換結果の校正処理は、A/D 変換の後に行われます。詳細は、「53.5.3.1. ゲインエラーとオフセットエラーの校正」を参照してください。
   - この自己校正は、内部回路自己校正が完了してから行ってください。
3. チャネル専用サンプル&ホールド回路のゲインおよびオフセット校正
   - チャネル専用サンプル&ホールド回路の使用時にゲインエラーとオフセットエラーを測定します。
   - 測定された誤差データに基づく A/D 変換結果の校正処理は、A/D 変換の後に行われます。

詳細は、「53.5.3.1. ゲインエラーとオフセットエラーの校正」を参照してください。

- この自己校正は、A/D コンバータのゲインおよびオフセット自己校正が完了してから行ってください。

53.3.8.1　自己校正が必要な状態

表 53.16 に自己校正が必要な状態を示します。表 53.16 に示す状態では、A/D コンバータを使用する前に自己校正を行う必要があります。A/D コンバータが動作中の場合は、すべての A/D コンバータを停止し、再度自己校正を行ってください。必要な自己校正が行われないと、A/D 変換結果は保証されません。

表 53.16　自己校正を実行する必要がある状態一覧

自己校正が必要な状態	内部回路校正	ゲイン／オフセット校正	チャネル専用サンプル＆ホールド回路のゲインおよびオフセット校正 (注1)
リセット解除後	✓	✓	✓
モジュールストップ解除後	✓	✓	✓
ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰時	✓	✓	✓
ADCLK 設定を変更した場合 （クロックソースまたは周波数を変更した場合）	✓	✓	✓
A/D コンバータの動作モードまたはスキャンモードを変更した場合 （ADMDR.ADMDm ビット (m = 0, 1) を変更した場合）	✓	✓(注2)	✓
A/D 逐次比較時間を変更した場合 （ADCNVSTR.CSTm ビット (m = 0, 1) を変更した場合）	✓	✓	✓
チャネル専用サンプル&ホールド回路の動作設定を変更した場合(注1)	—	—	✓

注.　✓：自己校正を行ってください。
　　—：自己校正は不要です。
注 1.　ADSHCRm.SHENn ビットのいずれかが 1 のとき、または ADSHCRm.SHENn ビットのいずれか、あるいは ADSHCRm.SHMDn ビットのいずれかが変更されたとき、チャネル専用サンプル＆ホールド回路の自己校正を行ってください (m = 0, 1, n = 0～2, 4～6)。チャネル専用サンプル＆ホールド回路を使用していない場合、この手順は不要です。
注 2.　固定チャネル連続スキャンモードを使用する場合は、SAR モード（シングルスキャンモード）のためのゲイン／オフセット校正も行ってください。SAR モード（シングルスキャンモード）とハイブリッドモードの校正の実行間隔は、可能な限り短くしてください。

53.3.8.2　自己校正手順

表 53.17 に自己校正手順を示します。

表 53.17　自己校正手順 (1/2)

No.	手順	説明
1	トリガ入力を無効化	周辺モジュールからのトリガ入力を無効にします。 （ADTRGENR.STTRGENn = 0 を書き込みます。）
2	すべての A/D コンバータが停止するまで待機	すべての A/D コンバータが停止したことを確認してください。 A/D 変換を実行中の場合は、以下のいずれかを行い、A/D コンバータが停止するまで待機してください。 ● すべての A/D 変換が完了するのを待つ ● ADSTOPR レジスタを使って A/D コンバータの動作を強制停止する A/D 変換動作の強制停止の詳細については、「53.6.4. A/D 変換動作の強制停止」を参照してください。
3	自己校正のステート数を設定	A/D コンバータの自己校正のステート数を ADCALSTCR レジスタに設定してください。ADCALSTCR レジスタの値は、ADC0 と ADC1 に使用されます。ADCALSTCR レジスタの値は、「62. 電気的特性」に定義された範囲を満たすように設定してください。
4	エラーステータスフラグをクリア	エラーフラグが検出された場合、自己校正を行う前にクリアしてください。（A/D コンバータエラーフラグ、A/D コンバータオーバーフローフラグ等）
5	ADC0 の自己校正を実行	ADC0 の自己校正を実行します。 ● 内部回路校正 ● ゲイン／オフセット校正 自己校正を開始した後は、完了するまで待機してください。

表 53.17 自己校正手順 (2/2)

No.	手順	説明
6	ADC1 の自己校正を実行	手順 5 と同様に、ADC1 の自己校正を実行します。
7	チャネル専用サンプル&ホールド回路の自己校正を設定(注1)	チャネル専用サンプル&ホールド回路の自己校正の設定をしてください。 チャネル専用サンプル＆ホールド回路を有効にします。 チャネル専用サンプル&ホールド回路の自己校正のステート数（ADCALSTCR レジスタ(注2)および ADCALSHCR レジスタ）を設定します。
8	チャネル専用サンプル&ホールド回路（SH0～SH2）の自己校正を実行(注1)	ADC0 に接続された、チャネル専用サンプル&ホールド回路（SH0～SH2）の自己校正を実行します。 ● チャネル専用サンプル&ホールド回路のゲイン／オフセット校正 自己校正を開始した後は、完了するまで待機してください。
9	チャネル専用サンプル&ホールド回路（SH4～SH6）の自己校正を実行(注1)	手順 8 と同様に、ADC1 に接続された、チャネル専用サンプル&ホールド回路（SH4～SH6）の自己校正を実行します。
10	エラー状態チェック (注3)	自己校正中のエラーをチェックしてください。 動作エラーが発生していない場合、自己校正は完了です。

注. 自己校正の効果を高めるため、A/D コンバータ 1 つ 1 つに対して自己校正を行うことを推奨します。
注 1. チャネル専用サンプル&ホールド回路を使用していない場合は、不要です。
注 2. チャネル専用サンプル&ホールド回路の自己校正を行う場合、A/D コンバータの自己校正時のサンプリングステート数（ADCALSTCR.CALADSST[9:0]ビット）も変更が必要な場合があります。電気的特性を満たす値を設定してください。
注 3. 自己校正で A/D コンバータエラーが検出された場合、電気的特性で指定された動作保証範囲外に設定されている可能性があります。動作設定を確認してください。

53.3.8.3 自己校正に関する制限

(1) 自己校正中のスキャン動作の禁止

自己校正中はスキャン動作を開始しないでください。スキャン動作を実行する場合は、自己校正の完了後に開始してください。自己校正中にスキャン動作を開始した場合、動作は保証されません。

(2) 自己校正中の ADCALSTR レジスタへの追加書き込みの禁止

自己校正を開始した後、自己校正が完了するまで ADCALSTR レジスタへの書き込みは禁止されています。ADCALSTR レジスタへの書き込みは、自己校正が完了してから行ってください。この制限に違反した場合、動作は保証されません。

(3) チャネル専用サンプル&ホールド回路の自己校正に関する制限

チャネル専用サンプル＆ホールド回路の自己校正を行うには、それを実行する前に、使用するチャネル専用サンプル＆ホールド回路の ADSHCRm.SHENn = 1 (m = 0, 1, n = 0～2, 4～6) を設定してください。

(4) 自己校正に関する制限

A/D コンバータ 1 つ 1 つに対して自己校正を行ってください。自己校正中、他方の A/D コンバータはアイドル状態にしてください（スキャン動作または自己校正動作ではありません）。

もしこの制限に違反した場合、自己校正中のノイズにより A/D 変換の精度が低下します。この場合、A/D 変換特性は保証されません。

また、自己校正の効果を高めるためには、できるだけノイズの少ない状態で自己校正動作を行ってください。

(5) 自己校正のステート数設定に関する制限

ADCALSTCR レジスタおよび ADCALSHCR レジスタに設定するステート数は、電気的特性で指定する値を満たすように設定してください。また、自己校正中のステート数は、下記の制限を満たす必要があります。

もしこの制限に違反した場合、A/D 変換結果は保証されません。

[ADCALSTCR レジスタ設定時の制限]

- ADCALSTCR.CALADSST[9:0]ビット
  - 自己校正の種類に応じて、電気的特性で規定されている値を満たす値を設定してください。
  - 自己校正の種類によって設定値が異なる場合、それぞれの自己校正に合わせてレジスタ設定値を変更してください。

- ADCALSTCR.CALADCST[5:0]ビット
  - ADCNVSTR.CSTm[5:0] (m = 0, 1) ビットと同じ値を設定してください。
    (ADCALSTCR.CALADCST[5:0] = ADCNVSTR.CSTm[5:0])

[ADCALSHCR レジスタ設定時の制限] （チャネル専用サンプル＆ホールド回路使用時のみ）

- ADCALSHCR.CALSHSST[7:0]ビット
  - ADSHSTRm.SHSST[7:0] ビット + 1 (m = 0, 1)と同じ値を設定してください。.
    (ADCALSHCR.CALSHSST[7:0] = ADSHSTRm.SHSST[7:0] + 1)
  - ADSHSTR0.SHSST[7:0]と ADSHSTR1.SHSST[7:0]の設定値が異なる場合、ADC0（SH0～SH2）と ADC1（SH4～SH6）のそれぞれの自己校正に合わせて、CALSHSST[7:0]のレジスタ設定値を変更してください。
- ADCALSHCR.CALSHHST[2:0] ビット
  - ADSHSTRm.SHHST[2:0] (m = 0, 1) ビットと同じ値を設定してください。

53.3.9 アナログ入力チャネル

アナログ入力端子、アナログチャネル番号、A/D コンバータ、およびチャネル専用サンプル&ホールド回路の関係については、表 53.4 を参照してください。

53.3.10 拡張アナログ機能

拡張アナログ機能は、MCU の内部信号源の A/D 変換を行います。拡張アナログ機能で使用できる信号源を以下に示します。

- A/D コンバータとチャネル専用サンプル&ホールド回路の自己診断電圧
- 内部基準電圧
- VBATT 1/6 電圧監視出力
- 温度センサ
- D/A コンバータ出力（ACMPHS への内部出力パス）

53.3.11 A/D コンバータの自己診断機能

A/D コンバータには自己診断機能が内蔵されています。自己診断機能は、A/D コンバータに自己診断電圧を入力し、A/D 変換を行います。自己診断電圧の A/D 変換結果を使って、A/D コンバータが正常に動作していることを確認できます。

53.3.11.1 自己診断

A/D コンバータには自己診断機能が内蔵されています。自己診断機能は、A/D コンバータに自己診断電圧を入力し、A/D 変換を行います。自己診断電圧の A/D 変換結果を使って、A/D コンバータが正常に動作していることを確認できます。表 53.18 に自己診断機能を使用する場合の動作モードを示します。

表 53.18 自己診断機能を使用する場合の動作モード

動作モード（スキャンモード）	自己診断機能
SAR モード（シングルスキャンモード）	✓
SAR モード（連続スキャンモード）	✓
オーバーサンプリングモード（シングルスキャンモード）	✓
オーバーサンプリングモード（連続スキャンモード）	—
オーバーサンプリングモード（1 チャネル連続スキャンモード）	—
ハイブリッドモード（シングルスキャンモード）	✓
ハイブリッドモード（連続スキャンモード）	—
ハイブリッドモード（バックグラウンド連続スキャンモード）	—
ハイブリッドモード（固定チャネル連続スキャンモード）	—

注. ✓：使用可能、—：使用不可

A/D コンバータの自己診断の実施手順を以下に示します。

1. 自己診断チャネルを仮想チャネルに割り当て、その仮想チャネルを設定します。
2. 自己診断チャネルが選択された仮想チャネルを、スキャングループに割り当てます。
3. 上記の手順 2 で割り当てたスキャングループに対応する ADSGDCRn.DIAGVAL[2:0] (n = 0～8) ビットで自己診断電圧を設定します。
4. A/D 変換開始トリガを入力し、スキャン動作を開始します。自己診断チャネルの A/D 変換時に自己診断動作が実行されます。

表 53.19 に、自己診断機能を使用する場合の動作設定を示します。自己診断機能を使用する場合は、表 53.19 の設定に従ってください。表 53.19 に示す設定以外で自己診断動作を実行した場合、自己診断結果（A/D 変換結果）は保証されません。

表 53.19　ADC0 の自己診断機能を使用する場合の動作設定と期待値

	レジスタ設定値				自己診断動作
	ADSGDCRx	ADCHCRy		ADDOPCRCy	A/D 変換データの期待値 (注1) (注2) (注3)
自己診断モード	DIAGVAL[2:0]	CNVCS[6:0]	AINMD	SIGNSEL	
自己診断モード 1	100b	0x60	1	0	0x0000
自己診断モード 2	101b	0x60	1	0	0x8000
自己診断モード 3	110b	0x60	1	0	0x7FFF

注.　x = 0～8, y = 0～32
注 1.　期待値とは、ADEXDR0.DATA[15:0]または ADFIFODRx.DATA[15:0]に格納される、A/D コンバータの理想的な値です。
注 2.　A/D 変換データとは、16 ビットデータフォーマット (ADDOPCRCy.ADPRC[1:0] = 00b) を選択したときの値です。
注 3.　A/D 変換結果は、A/D 変換中にプラスの精度エラーが発生した場合には (期待値 + 1) 以上になり、マイナスの精度エラーが発生した場合には (期待値 - 1) 以下になります。

表 53.20　ADC1 の自己診断機能を使用する場合の動作設定と期待値

	レジスタ設定値				自己診断動作
	ADSGDCRx	ADCHCRy		ADDOPCRCy	A/D 変換データの期待値 (注1) (注2) (注3)
自己診断モード	DIAGVAL[2:0]	CNVCS[6:0]	AINMD	SIGNSEL	
自己診断モード 1	100b	0x61	1	0	0x0000
自己診断モード 2	101b	0x61	1	0	0x8000
自己診断モード 3	110b	0x61	1	0	0x7FFF

注.　x = 0～8, y = 0～32
注 1.　期待値とは、ADEXDR1.DATA[15:0]または ADFIFODRx.DATA[15:0]に格納される、A/D コンバータの理想的な値です。
注 2.　A/D 変換データとは、16 ビットデータフォーマット (ADDOPCRCy.ADPRC[1:0] = 00b) を選択したときの値です。
注 3.　A/D 変換結果は、A/D 変換中にプラスの精度エラーが発生した場合には (期待値 + 1) 以上になり、マイナスの精度エラーが発生した場合には (期待値 - 1) 以下になります。

表 53.21　ADC0 のチャネル専用サンプル＆ホールド回路の自己診断機能を使用する場合の動作設定と期待値 (1/2)

	レジスタ設定値					自己診断動作
	ADSHSDCRw	ADCHCRy		ADSHCRw	ADDOPCRCy	A/D 変換データの期待値 (注1) (注2) (注3)
自己診断モード	SHDIAGx[2:0]	CNVCS[6:0]	AINMD	SHMDz	SIGNSEL	
S&H 自己診断モード 1	001b	SH0: 0x70 SH1: 0x71 SH2: 0x72	1	1	0	0x0000
S&H 自己診断モード 2	010b	SH0: 0x70 SH1: 0x71 SH2: 0x72	1	1	0	0x8000
S&H 自己診断モード 3	011b	SH0: 0x70 SH1: 0x71 SH2: 0x72	1	1	0	0x7FFF

表 53.21 ADC0 のチャネル専用サンプル＆ホールド回路の自己診断機能を使用する場合の動作設定と期待値 (2/2)

	レジスタ設定値					自己診断動作
	ADSHSDCRw	ADCHCRy		ADSHCRw	ADDOPCRCy	A/D 変換データの期待値 (注1) (注2) (注3)
自己診断モード	SHDIAGx[2:0]	CNVCS[6:0]	AINMD	SHMDz	SIGNSEL	
S&H 自己診断モード 4	100b	SH0: 0x70 SH1: 0x71 SH2: 0x72	1	1	0	0x0000
S&H 自己診断モード 5	101b	SH0: 0x70 SH1: 0x71 SH2: 0x72	1	1	0	0x8000
S&H 自己診断モード 6	110b	SH0: 0x70 SH1: 0x71 SH2: 0x72	1	1	0	0x7FFF

注. x = 0～8、y = 0～32、z = 0～2
注 1. 期待値とは、ADEXDRn.DATA[15:0] (n = 16～18) または ADFIFODRx.DATA[15:0]に格納される、A/D コンバータの理想的な値です。
注 2. A/D 変換データとは、16 ビットデータフォーマット (ADDOPCRCy.ADPRC[1:0] = 00b) を選択したときの値です。
注 3. A/D 変換結果は、A/D 変換中にプラスの精度エラーが発生した場合には (期待値 + 1) 以上になり、マイナスの精度エラーが発生した場合には (期待値 - 1) 以下になります。

表 53.22 ADC1 のチャネル専用サンプル＆ホールド回路の自己診断機能を使用する場合の動作設定と期待値

	レジスタ設定値					自己診断動作
	ADSHSDCRw	ADCHCRy		ADSHCRw	ADDOPCRCy	A/D 変換データの期待値 (注1) (注2) (注3)
自己診断モード	SHDIAGx[2:0]	CNVCS[6:0]	AINMD	SHMDz	SIGNSEL	
S&H 自己診断モード 1	001b	SH4: 0x74 SH5: 0x75 SH6: 0x76	1	1	0	0x0000
S&H 自己診断モード 2	010b	SH4: 0x74 SH5: 0x75 SH6: 0x76	1	1	0	0x8000
S&H 自己診断モード 3	011b	SH4: 0x74 SH5: 0x75 SH6: 0x76	1	1	0	0x7FFF
S&H 自己診断モード 4	100b	SH4: 0x74 SH5: 0x75 SH6: 0x76	1	1	0	0x0000
S&H 自己診断モード 5	101b	SH4: 0x74 SH5: 0x75 SH6: 0x76	1	1	0	0x8000
S&H 自己診断モード 6	110b	SH4: 0x74 SH5: 0x75 SH6: 0x76	1	1	0	0x7FFF

注. x = 0～8、y = 0～32、z = 4～6
注 1. 期待値とは、ADEXDRn.DATA[15:0] (n = 20～22) または ADFIFODRx.DATA[15:0]に格納される、A/D コンバータの理想的な値です。
注 2. A/D 変換データとは、16 ビットデータフォーマット (ADDOPCRCy.ADPRC[1:0] = 00b) を選択したときの値です。
注 3. A/D 変換結果は、A/D 変換中にプラスの精度エラーが発生した場合には (期待値 + 1) 以上になり、マイナスの精度エラーが発生した場合には (期待値 - 1) 以下になります。

53.3.11.2 自己診断モード

(1) 自己診断モード 1

自己診断モード 1 では、A/D コンバータの非反転入力 (+) (A_{INP}) と反転入力 (−) (A_{INN}) は VREFL0 レベル (ADC0) または VREFL レベル (ADC1) に入力されます。差動電圧が 0 なので、自己診断結果の理想値は 0x0000 (±0) です。A/D 変換結果は、A/D 変換中にプラスの精度エラーが発生した場合には 0x0001 (+1) 以上になり、マイナスの精度エラーが発生した場合には 0xFFFF (-1) 以下になります。

(2) 自己診断モード 2

自己診断モード 2 では、A/D コンバータの非反転入力 (+) (A_{INP}) は VREFL0 レベル (ADC0) または VREFL レベル (ADC1) に入力され、反転入力 (−) (A_{INN}) は VREFH0 レベル (ADC0) または VREFH レベル (ADC1) に入力されます。差動電圧が−VREFH0（VREFL0 = 0 V の場合）または−VREFH（VREFL = 0 V の場合）なので、自己診断結果の理想値は 0x8000 (−32768) です。A/D 変換エラーが発生した場合には、自己診断の A/D 変換結果は 0x8000 より大きくなります。

(3) 自己診断モード 3

自己診断モード 3 では、A/D コンバータの非反転入力 (+) (A_{INP}) は VREFH0 レベル (ADC0) または VREFH レベル (ADC1) に入力され、反転入力 (−) (A_{INN}) は VREFL0 レベル (ADC0) または VREFL レベル (ADC1) に入力されます。差動電圧が+VREFH0（VREFL0 = 0 V の場合）または+VREFH（VREFL = 0 V の場合）なので、自己診断結果の理想値は 0x7FFF (+32767) です。A/D 変換エラーが発生した場合には、自己診断の A/D 変換結果は 0x7FFF より小さくなります。

53.3.11.3 自己診断機能に関する注意事項

(1) 自己診断結果に関する注意事項

A/D コンバータユニット 0 の自己診断結果は、ADEXDR0 レジスタから読み出せます。A/D コンバータユニット 1 の自己診断結果は、ADEXDR1 レジスタから読み出せます。

(2) 自己診断中のデータフォーマットに関する注意事項

自己診断を行う場合、16 ビット長以外のデータフォーマットを設定すると、A/D 変換データの切り上げ／切り下げのため、オーバーフローが発生し、A/D 変換データエラーが検出されます。自己診断を行う場合は、16 ビットデータフォーマットを選択してください。

53.3.12 内部基準電圧

ADC16H は内部基準電圧を A/D 変換できます。内部基準電圧は、電源電圧（VCC、VSS、AVCC、AVSS、VREFH0、VREFL0、VREFH、および VREFL）から独立した一定の電圧を出力します。内部基準電圧を監視することで、アナログ基準電源電圧（VREFH0、VREFL0、VREFH、および VREFL）の変動とシステム内の異常や故障を検出できます。

内部基準電圧の A/D 変換を行う際は、内部基準電圧監視イネーブルレジスタ (ADREFCR) を設定し、内部基準電圧のアナログチャネルを任意の仮想チャネルに割り当てる必要があります。内部基準電圧機能とアナログチャネルの関係については、表 53.5 を参照してください。内部基準電圧の A/D 変換時のサンプリング時間については、「62. 電気的特性」を参照してください。

53.3.13 温度センサ

ADC16H は温度センサを A/D 変換できます。チップ温度は、温度センサの A/D 変換結果から推定できます。温度センサの詳細については、「55. 温度センサ回路 (TSN)」を参照してください。

温度センサの A/D 変換を行う場合、温度センサを設定し、温度センサのアナログチャネルを任意の仮想チャネルに割り当てる必要があります。温度センサとアナログチャネルの関係については、表 53.5 を参照してください。温度センサの A/D 変換時のサンプリング時間については、「62. 電気的特性」を参照してください。

53.3.14 D/A コンバータ

ADC16H は、D/A コンバータが内部モジュール (ACMPHS) に出力する電圧を A/D 変換できます。D/A コンバータの出力を高速アナログコンパレータ (ACMPHS) の基準入力電圧として使用する場合、この機能を使って D/A コンバータの出力電圧を監視できます。D/A コンバータの機能の詳細については、「54. 12 ビット D/A コンバータ (DAC12)」を参照してください。

D/A コンバータ（DA0 と DA1）の出力（ACMPHS への出力）に対して A/D 変換を行う場合、D/A コンバータを設定し、D/A コンバータのアナログチャネルを仮想チャネルの 1 本に割り当てる必要があります。D/A コンバータ出力電圧の A/D 変換時のサンプリング時間については、「62. 電気的特性」を参照してください。

53.3.15 VBATT 1/6 電圧監視出力

ADC16H は VBATT 1/6 電圧監視出力の A/D 変換を実行できます。VBATT 1/6 電圧監視出力は、VBATT 端子への入力電圧レベルを 1/6 レベルで監視できる機能です。VBATT 電圧監視機能の詳細については、「12. バッテリバックアップ機能」を参照してください。

VBATT 1/6 電圧監視出力の A/D 変換を行う場合は、VBATT を設定し、VBATT 1/6 電圧監視出力のアナログチャネルをいずれかの仮想チャネルに割り当てる必要があります。VBATT 1/6 電圧監視出力とアナログチャネルとの対応については、表 53.5 を参照してください。VBATT 1/6 電圧監視出力の A/D 変換を行う場合のサンプリング時間については、「62. 電気的特性」を参照してください。

53.3.16 チャネル専用サンプル＆ホールド回路

ADC16H は、チャネル専用サンプル＆ホールド回路を内蔵しています。複数のチャネル専用サンプル＆ホールド回路を使うことで、複数のアナログ入力を同時にサンプリングできます。

チャネル専用サンプル＆ホールド回路を使用可能な条件を表 53.23 に示します。

表 53.23 チャネル専用サンプル＆ホールド回路を使用可能な動作モード

動作モード	チャネル専用サンプル＆ホールド回路
SAR モード（シングルスキャンモード）	✓(注1)
SAR モード（連続スキャンモード）	—
オーバーサンプリングモード（シングルスキャンモード）	—
オーバーサンプリングモード（連続スキャンモード）	—
オーバーサンプリングモード（1 チャネル連続スキャンモード）	—
ハイブリッドモード（シングルスキャンモード）	✓
ハイブリッドモード（連続スキャンモード）	✓
ハイブリッドモード（バックグラウンド連続スキャンモード）	✓
ハイブリッドモード（固定チャネル連続スキャンモード）	✓(注2)

注. ✓：使用可能、—：使用不可
注 1. 常時サンプリング機能が使用可能
注 2. 固定チャネルが 3 チャネルに設定されているときは固定チャネルのみがサポートされ、すべての固定チャネルでチャネル専用サンプル＆ホールド回路が有効になります。固定チャネル以外では、チャネル専用サンプル＆ホールド回路を使用できません。

53.3.16.1 チャネル専用サンプル＆ホールド回路の構成

(1) シングルエンド入力モードの構成

本節では、シングルエンド入力でチャネル専用サンプル&ホールド回路を使用する場合の内部構成を説明します。

図 53.16 にシングルエンド入力モードでのチャネル専用サンプル&ホールド回路の構成を示します。

チャネル専用サンプル＆ホールド回路は、2 本のアナログ入力チャネルに接続されます。

チャネル専用サンプル＆ホールド回路がシングルエンド入力モードで使用されるときには、1 本のチャネルがチャネル専用サンプル＆ホールド回路の入力として使用され、別のチャネルが通常の A/D 変換の入力として割り当てられる場合、以下のいずれかの方法を使用できます。

- それぞれの入力チャネルを異なるスキャングループに割り当てる
- ADSHSBPCR レジスタの機能を 1 つのスキャングループでの AD 変換のために使用する

たとえば、1 つのスキャングループでの AD 変換のために ADSHSBPCR レジスタの機能を使用する場合、AN000 をシングルエンド入力モードでの SH0 の入力チャネルとして使用し、AN001 を通常の AD 変換の入力チャネルとして使用するときには、ADSHSBPCR.SHSBP0 ビットを 0 にして、ADSHSBPCR.SHSBN0 ビットを 1 にします。

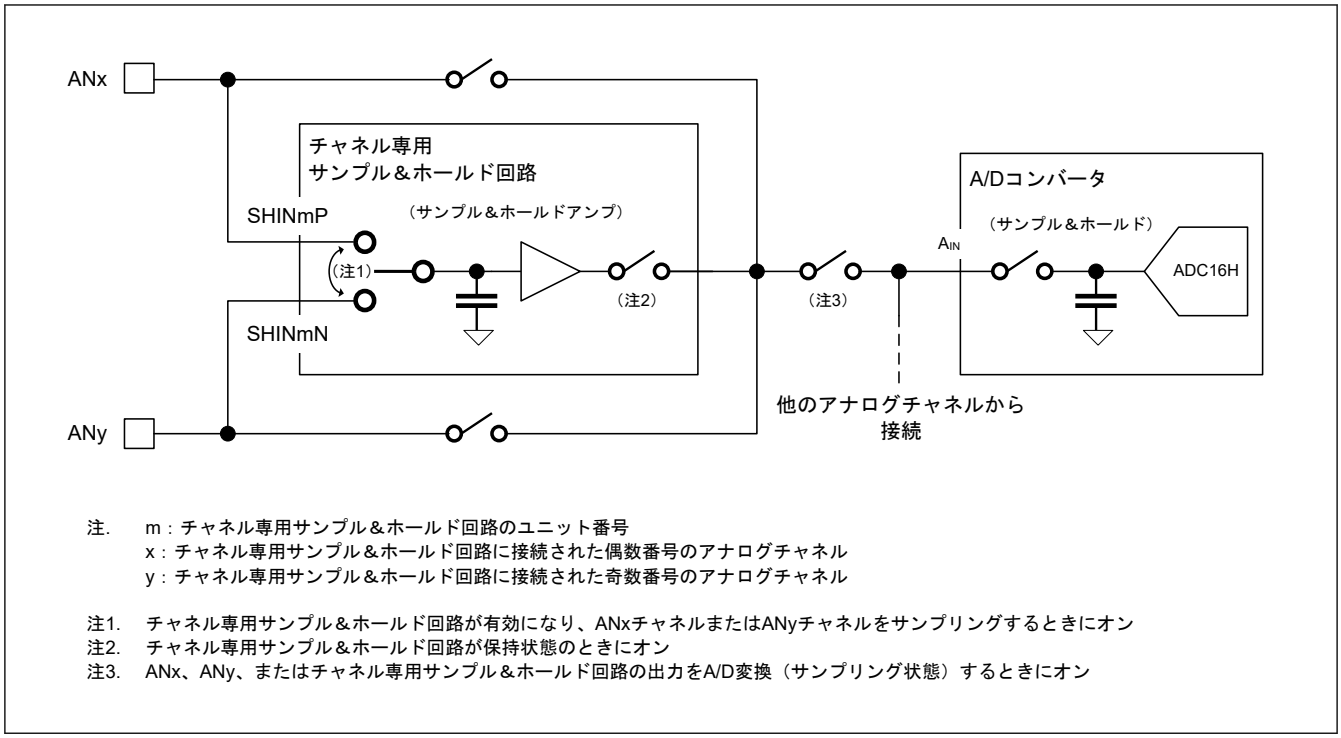


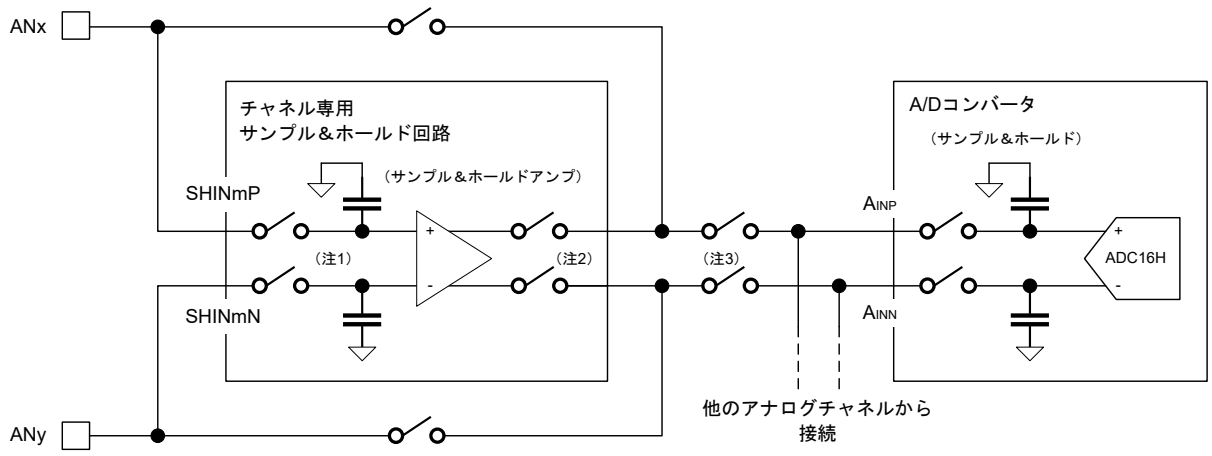
図 53.16　シングルエンド入力モードでのチャネル専用サンプル＆ホールド回路の内部構成

(2)　差動入力モードでの構成

本節では、差動入力でチャネル専用サンプル&ホールド回路を使用する場合の内部構成を説明します。

図 53.17 に差動入力モードでのチャネル専用サンプル&ホールド回路の構成を示します。

チャネル専用サンプル&ホールド回路が差動入力モードで動作している場合、偶数番号のアナログチャネルは非反転入力 (+) (SHINmP) に接続され、奇数番号のアナログチャネルは反転入力 (-) (SHINmN) に接続されます。1 回のスキャン動作で、2 つのアナログ入力（差動入力）をサンプリングして保持し、A/D コンバータへ出力します。A/D 変換設定を、差動入力の信号源を変換するように設定してください。(ADCHCRn.AINMD = 1 (n = 0～32))



注. m：チャネル専用サンプル＆ホールド回路のユニット番号
x：チャネル専用サンプル＆ホールド回路に接続された偶数番号のアナログチャネル
y：チャネル専用サンプル＆ホールド回路に接続された奇数番号のアナログチャネル

注1. チャネル専用サンプル＆ホールド回路が有効になり、ANxチャネルまたはANyチャネルをサンプリングするときにオン
注2. チャネル専用サンプル＆ホールド回路が保持状態のときにオン
注3. ANx、ANy、またはチャネル専用サンプル＆ホールド回路の出力をA/D変換（サンプリング状態）するときにオン

図 53.17　差動入力モードでのチャネル専用サンプル＆ホールド回路の内部構成

53.3.16.2　SAR モードでのチャネル専用サンプル＆ホールド回路の動作

(1)　SAR モード（シングルスキャンモード）での基本動作（シングルエンド入力モード）

本項では、SAR モードでのチャネル専用サンプル＆ホールド回路の基本動作を説明します。表 53.24、表 53.25、および図 53.18 に動作例の設定と動作を示します。

表 53.24　SAR モード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の動作設定例

項目	設定
A/D コンバータ	ADC0 を SAR モード（シングルスキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、シングルエンド入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	AN000、AN002、AN004、AN020 を仮想チャネル 0～3 に割り当て、シングルエンド入力モードに設定する。
スキャングループ	仮想チャネル 0～3 をスキャングループ 0 に割り当てる。 スキャングループ 0 を ADC0 で変換するように設定する。

注 1.　チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 53.25　SAR モード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例

手順	動作例の詳細
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	各チャネル専用サンプル&ホールド回路が保持した電圧と、それ以外のアナログ入力チャネル (AN020) の A/D 変換を行う。
4	各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。

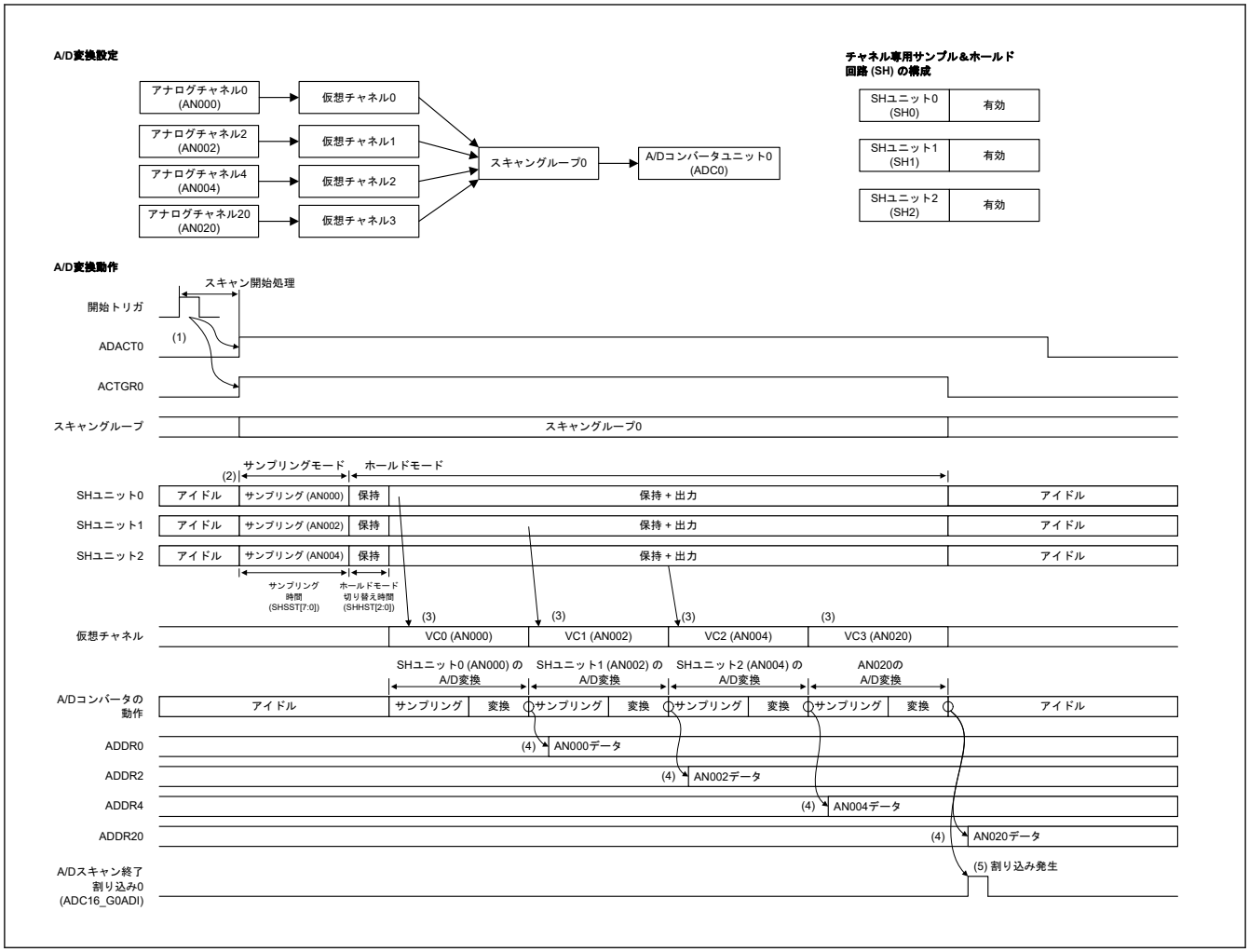


図 53.18　SAR モードでのチャネル専用サンプル＆ホールド回路の基本動作

(2)　SAR モード（シングルスキャンモード）での高度な動作

本項では、2 本のアナログチャネルが 1 つのチャネル専用サンプル＆ホールド回路を共有する A/D 変換の動作を説明します。本項に示される動作は、以下のすべての条件を満たす場合のみ可能です。

［動作条件］

- 動作モード：SAR モード（シングルスキャンモード）
- 入力方法：シングルエンド入力モード

SAR モード（シングルスキャンモード）でチャネル専用サンプル＆ホールド回路を使用する、偶数番号のアナログチャネルと奇数番号のアナログチャネルの A/D 変換例を以下に示します。表 53.26 に設定例を、表 53.27 と図 53.19 に動作の詳細を示します。

表 53.26　チャネル専用サンプル＆ホールド回路の高度な動作の設定例 (1/2)

項目	設定
A/D コンバータ	ADC0 を SAR モード（シングルスキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、シングルエンド入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	● AN000、AN002、AN004 を仮想チャネル 0～2 に割り当て、シングルエンド入力モードに設定する。 ● AN001、AN003、AN005 を仮想チャネル 3～5 に割り当て、シングルエンド入力モードに設定する。

表 53.26　チャネル専用サンプル＆ホールド回路の高度な動作の設定例 (2/2)

項目	設定
スキャングループ	• スキャングループ 0：AN000、AN002、AN004 を割り当てる（仮想チャネル 0～2） • スキャングループ 1：AN001、AN003、AN005 を割り当てる（仮想チャネル 3～5） • スキャングループ 0 とスキャングループ 1 を ADC0 で変換するように設定する。

注 1.　チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 53.27　チャネル専用サンプル＆ホールド回路の高度な動作例

手順	動作例の詳細
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	チャネル専用サンプル&ホールド回路が保持した電圧に対して A/D 変換を行う。
4	スキャングループ 0 で各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
6	スキャングループ 0 のスキャン完了後に、スキャングループ 1 用のトリガが入力されたときに、スキャングループ 1 のスキャン動作が開始する。
7	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN001、AN003、AN05）のサンプリングを開始し、保持する。
8	チャネル専用サンプル&ホールド回路が保持する電圧に対して A/D 変換を行う。
9	スキャングループ 1 で各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
10	スキャングループ 1 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。

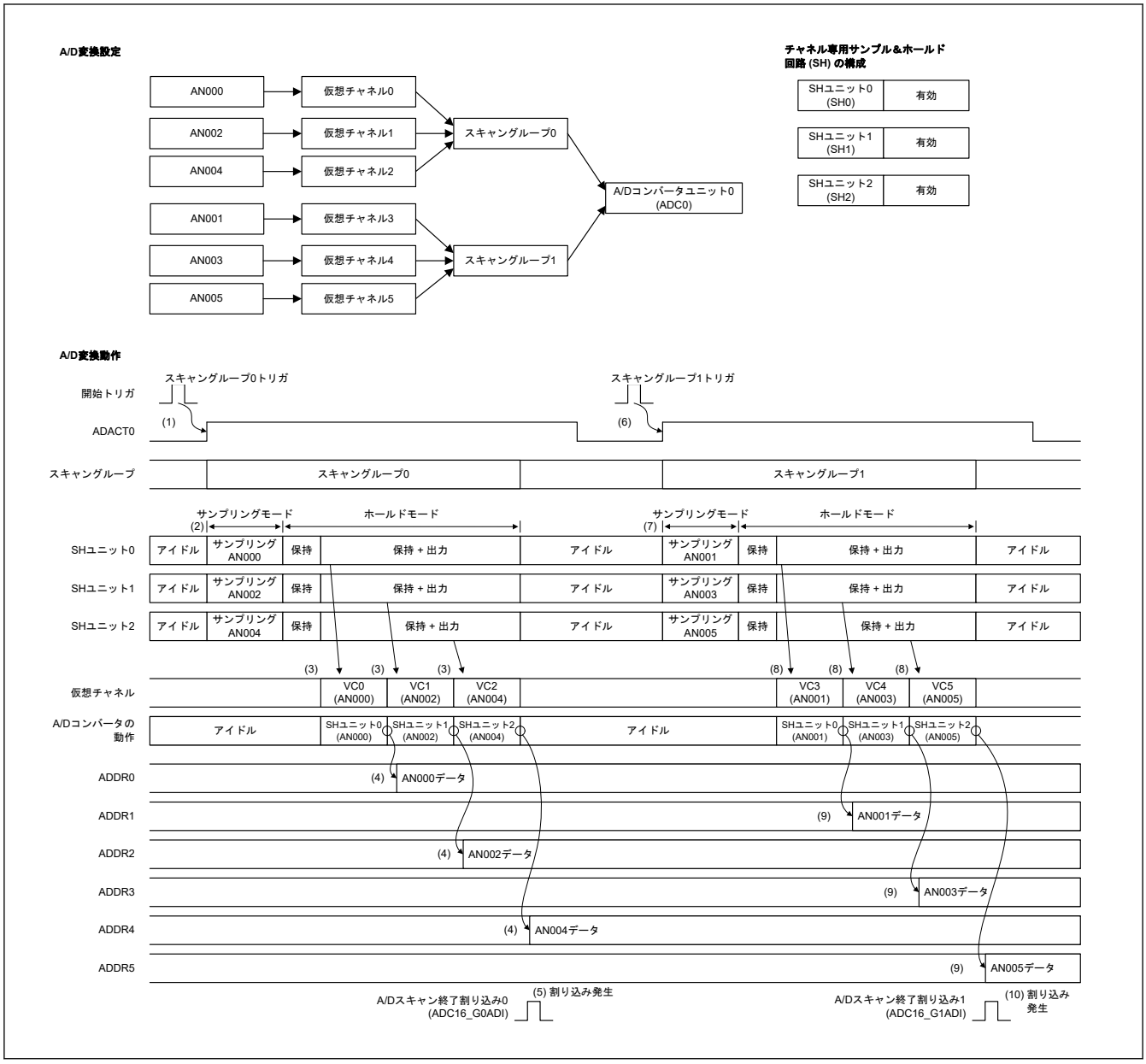


図 53.19 チャネル専用サンプル&ホールド回路が SAR モードで 2 本のアナログチャネルで共有される場合の動作例

53.3.16.3 ハイブリッドモードでのチャネル専用サンプル&ホールド回路の動作

(1) ハイブリッドモード（シングルスキャンモード）での基本動作

本項では、ハイブリッドモード（シングルスキャンモード）でのチャネル専用サンプル&ホールド回路の基本動作を説明します。差動入力モードがハイブリッドモードでサポートされているため、この例ではチャネル専用サンプル&ホールド回路が差動入力モードに設定される場合を説明します。表 53.28、表 53.29、および図 53.20 に動作例の設定と動作を示します。

表 53.28 ハイブリッドモード（シングルスキャンモード）でのチャネル専用サンプル&ホールド回路の動作設定例 (1/2)

項目	設定
A/D コンバータ	ADC0 をハイブリッドモード（シングルスキャンモード）に設定する。
チャネル専用サンプル&ホールド回路	SH0～SH2 を有効にし、差動入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル&ホールド回路を使用して、A/D 変換される。）

表 53.28 ハイブリッドモード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の動作設定例 (2/2)

項目	設定
仮想チャネル(注1)	• AN000、AN002、AN004 を仮想チャネル 0～2 に割り当て、差動入力モードに設定する。（AN000、AN002、AN004 は差動入力の非反転入力 (+) として機能し、AN001、AN003、AN005 は差動入力の反転入力 (-) として機能する。）
スキャングループ(注1)	• 仮想チャネル 0～2 をスキャングループ 0 に割り当てる。 • スキャングループ 0 を ADC0 で変換するように設定する。

注 1. チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 53.29 ハイブリッドモード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例

手順	動作
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	A/D コンバータがチャネル専用サンプル＆ホールド回路 (SH0～SH2) の各出力のオーバーサンプリングを 1 回実行する。
4	各アナログチャネルに対して 1 回オーバーサンプリングを実行後、チャネル専用サンプル&ホールド回路は保持された電圧を解放し、アイドル状態に遷移する。
5	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行されるまで、手順 2～4 が繰り返される。
6	各アナログチャネルに対応する A/D 変換データが出力される。A/D 変換データはデータレジスタ (ADDRi (i = 0, 2, 4)) に格納される。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納される。
7	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成される。
8	スキャン動作完了時に、A/D コンバータとチャネル専用サンプル＆ホールド回路はアイドル状態に遷移する。デジタルフィルタのオーバーサンプリングデータは、スキャン動作の終了時に破棄される。

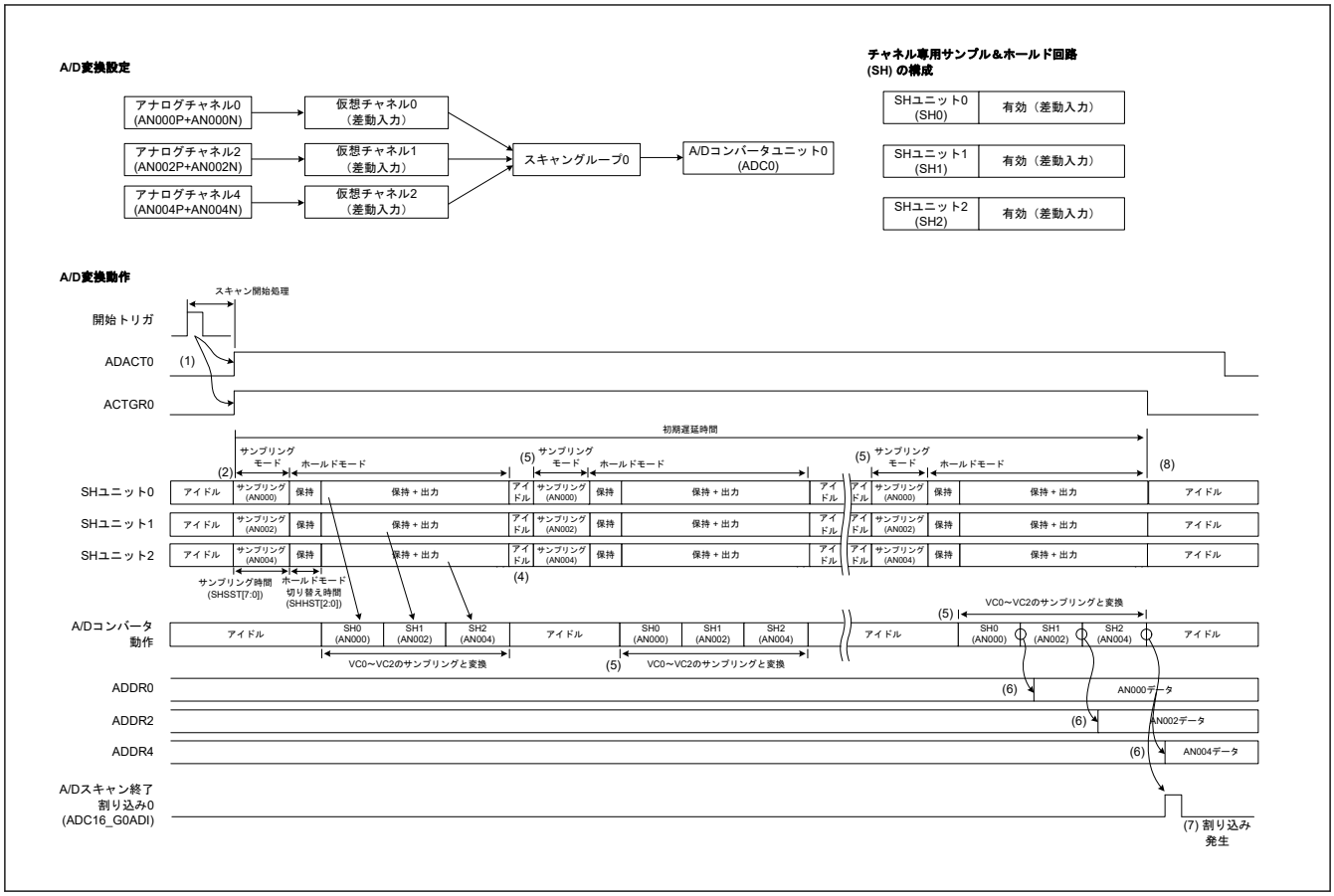


図 53.20　ハイブリッドモード（シングルスキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作

(2)　ハイブリッドモード（連続スキャンモード）での基本動作

本項では、ハイブリッドモード（連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作を説明します。差動入力モードがハイブリッドモードでサポートされているため、この例ではチャネル専用サンプル＆ホールド回路が差動入力モードに設定される場合を説明します。表 53.30、表 53.31、および図 53.21 に動作例の設定と動作を示します。

表 53.30　ハイブリッドモード（連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作設定例

項目	設定
A/D コンバータ	ADC0 をハイブリッドモード（連続スキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、差動入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	• AN000、AN002、AN004 を仮想チャネル 0～2 に割り当て、差動入力モードに設定する。AN000、AN002、AN004 は差動入力の非反転入力 (+) として扱われ、AN001、AN003、AN005 は差動入力の反転入力 (-) して扱われる。
スキャングループ(注1)	• 仮想チャネル 0～2 をスキャングループ 0 に割り当てる。 • スキャングループ 0 を ADC0 で変換するように設定する。

注 1.　チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 53.31　ハイブリッドモード（連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例 (1/2)

手順	動作
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	A/D コンバータがチャネル専用サンプル＆ホールド回路 (SH0～SH2) の各出力のオーバーサンプリングを 1 回実行する。

表 53.31　ハイブリッドモード（連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例 (2/2)

手順	動作
4	各アナログチャネルに対して 1 回オーバーサンプリングを実行後、チャネル専用サンプル&ホールド回路は保持された電圧を解放し、アイドル状態に遷移する。
5	デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行されるまで、手順 2～4 が繰り返される。
6	各アナログチャネルに対応する A/D 変換データが出力される。A/D 変換データはデータレジスタ (ADDRi (i = 0, 2, 4)) に格納される。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納される。
7	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成される。
8	2 周目およびそれ以降のスキャン動作では手順 2～4 の動作が繰り返され、デジタルフィルタに格納されたオーバーサンプリングデータを保持する。 A/D 変換値加算／平均回数に対応した 1 回または複数回のオーバーサンプリングが各アナログチャネルに実行されるごとに、次の A/D 変換データが出力される。 A/D 変換データはデータレジスタ (ADDRi (i = 0, 2, 4)) に格納される。FIFO を使用する場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納される。
9	スキャン終了割り込みが許可されている場合、該当のスキャングループに割り当てられたすべての仮想チャネルの A/D 変換が完了すると、そのスキャングループに対応するスキャン終了割り込みが生成される。
10	その後、強制停止処理が実行されるまで、手順 8～9 は繰り返され、スキャン動作が続く。強制停止を実行するためには、「53.6.4. A/D 変換動作の強制停止」に従う。 スキャン動作が強制停止処理により中断すると、A/D コンバータとチャネル専用サンプル＆ホールド回路はアイドル状態に遷移する。デジタルフィルタのオーバーサンプリングデータは、スキャン動作の終了時に破棄される。

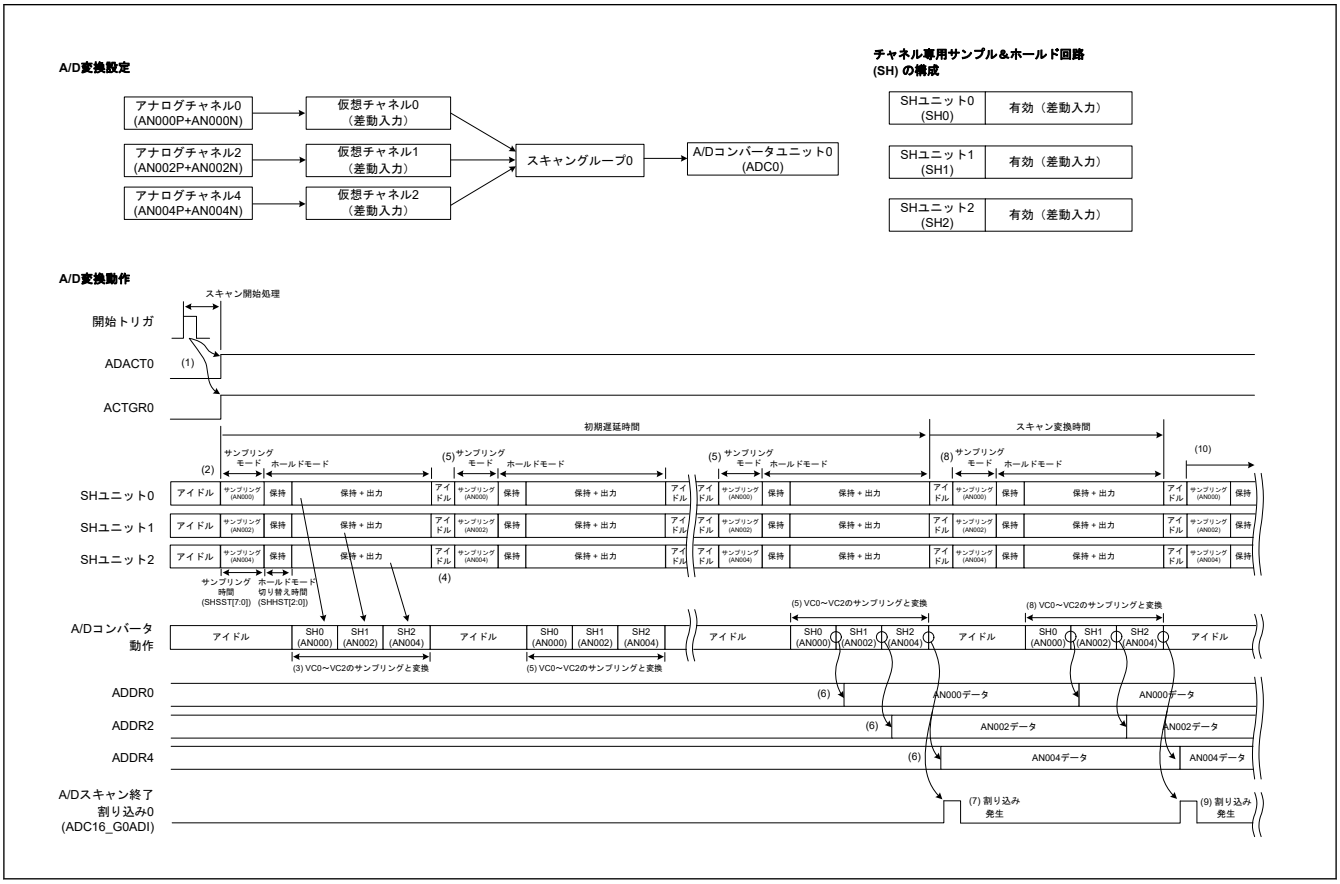


図 53.21　ハイブリッドモード（連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作

(3)　ハイブリッドモード（バックグラウンド連続スキャンモード）での基本動作

本項では、ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作を説明します。差動入力モードがハイブリッドモードでサポートされているため、この例ではチャネル専用サンプル＆ホールド回路が差動入力モードに設定される場合を説明します。表 53.32、表 53.33、および図 53.22 に動作例の設定と動作を示します。

表 53.32 ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作設定例

項目	設定
A/D コンバータ	ADC0 をハイブリッドモード（連続スキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、差動入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	• AN000、AN002、AN004 を仮想チャネル 0～2 に割り当て、差動入力モードに設定する。AN000、AN002、AN004 は差動入力の非反転入力 (+) として扱われ、AN001、AN003、AN005 は差動入力の反転入力 (-) して扱われる。
スキャングループ(注1)	• 仮想チャネル 0～2 をスキャングループ 0 に割り当てる。 • スキャングループ 0 を ADC0 で変換するように設定する。

注 1. チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 53.33 ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例

手順	動作
1	スキャングループ 0 用のトリガが入力されたときに、スキャングループ 0 のスキャン動作が開始する。
2	チャネル専用サンプル&ホールド回路（SH0～SH2）がアナログ入力（AN000、AN002、AN004）のサンプリングを開始し、保持する。
3	A/D コンバータがチャネル専用サンプル＆ホールド回路 (SH0～SH2) の各出力のオーバーサンプリングを 1 回実行する。
4	各アナログチャネルに対して 1 回オーバーサンプリングを実行後、チャネル専用サンプル&ホールド回路は保持された電圧を解放し、アイドル状態に遷移する。
5	手順 2～4 が繰り返される。デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行された後、最初の A/D 変換データは出力準備中になる。 デジタルフィルタの TAP 数や A/D 変換値加算／平均回数に対応したオーバーサンプリングが各アナログチャネルに実行されるまで、手順 2～4 が繰り返される。
6	2 周目およびそれ以降のスキャン動作では手順 2～4 の動作が繰り返され、デジタルフィルタに格納されたオーバーサンプリングデータを保持する。オーバーサンプリングが各アナログチャネルに実行されるごとに、デジタルフィルタのデータは更新される。A/D 変換値加算／平均回数に対応した 1 回または複数回のオーバーサンプリングが各アナログチャネルに実行されるごとに、次の A/D 変換データが出力準備中になる。
7	バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されると、その時点で最新の A/D 変換データがデータレジスタ (ADDRi (i = 0, 2, 4)) に格納される。FIFO 機能が有効な場合、A/D 変換データは FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納される。 スキャン終了割り込みが許可されている場合、スキャン終了割り込みが生成される。FIFO 割り込みが有効になっていると、条件を満たす場合に FIFO データ読み出し要求が生成される。
8	その後、強制停止処理が実行されるまで、バックグラウンド連続スキャン動作（手順 6）が繰り返される。バックグラウンド連続スキャン動作中に A/D 変換開始トリガが入力されるときはいつでも、A/D 変換データが出力される（手順 7）。 強制停止を実行するためには、「53.6.4. A/D 変換動作の強制停止」に従う。 スキャン動作が強制停止処理により中断すると、A/D コンバータとチャネル専用サンプル＆ホールド回路はアイドル状態に遷移する。デジタルフィルタのオーバーサンプリングデータは、スキャン動作の終了時に破棄される。

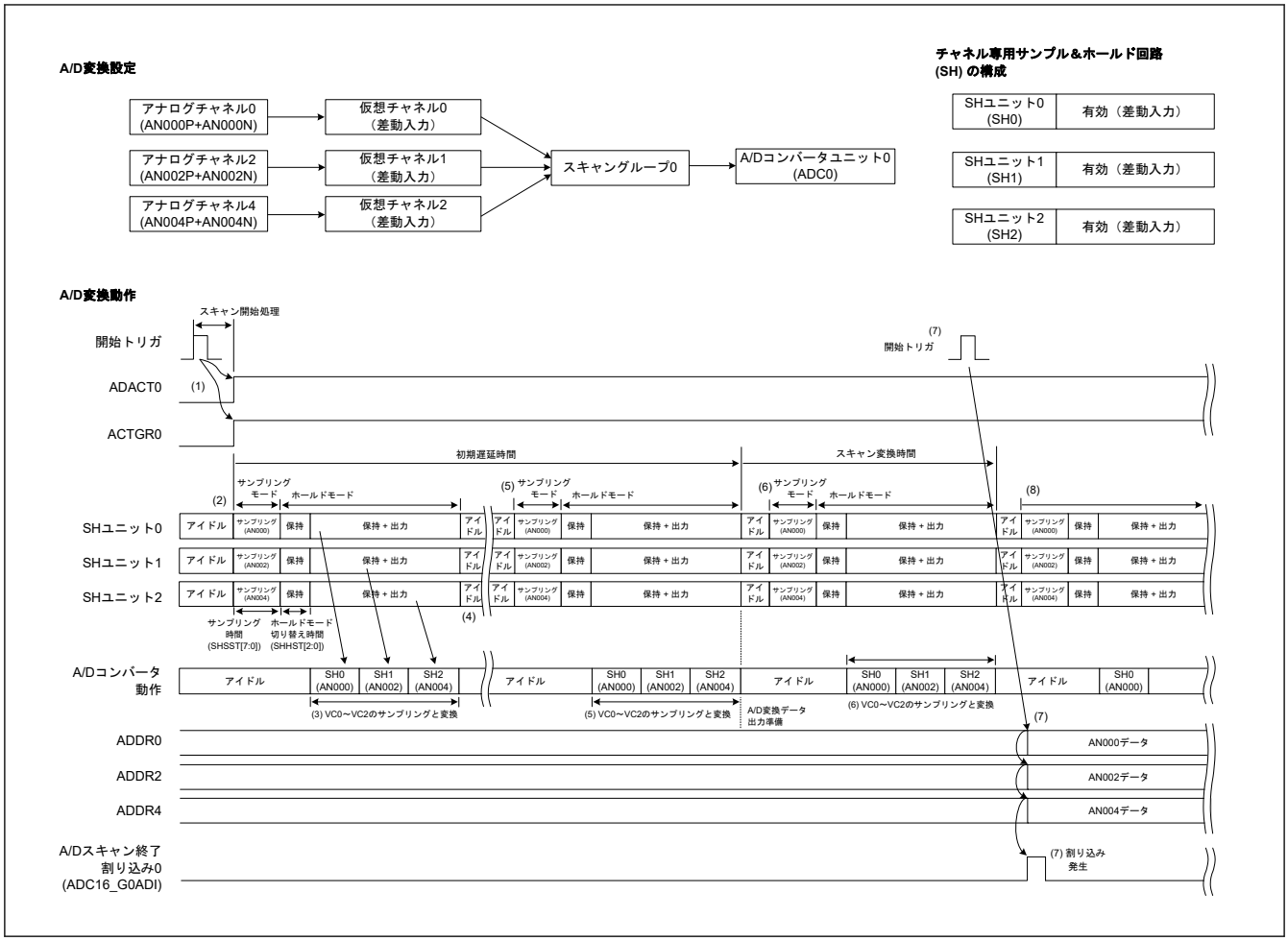


図 53.22　ハイブリッドモード（バックグラウンド連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作

(4)　ハイブリッドモード（固定チャネル連続スキャンモード）での基本動作

この項では、ハイブリッドモード（固定チャネル連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の基本動作を説明します。表 53.34、表 53.35 に動作例の設定と動作を示します。このモードは、固定チャネル数が 3 に設定され、固定チャネルがチャネル専用サンプル＆ホールド回路にのみ使用される場合に限り利用可能です。

表 53.34　ハイブリッドモード（固定チャネル連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作設定例

項目	設定
A/D コンバータ	ADC0 をハイブリッドモード（固定チャネル連続スキャンモード）に設定する。
チャネル専用サンプル＆ホールド回路	SH0～SH2 を有効にし、差動入力モードに設定する。 （AN000～AN005 はチャネル専用サンプル＆ホールド回路を使用して、A/D 変換される。）
仮想チャネル(注1)	● AN000、AN002、AN004 を仮想チャネル 0～2 に割り当て、差動入力モードに設定する。 AN000、AN002、AN004 は差動入力の非反転入力 (+) として扱われ、AN001、AN003、AN005 は差動入力の反転入力 (-) して扱われる。
スキャングループ(注1)	● 仮想チャネル 0～2 をスキャングループ 0 に割り当てる。 ● スキャングループ 0 を ADC0 で変換するように設定する。

注 1.　チャネル専用サンプル＆ホールド回路を使用する場合、仮想チャネルの設定に関して制限があります。詳細は、「53.3.16.6. チャネル専用サンプル＆ホールド回路に関する制限」を参照してください。

表 53.35 ハイブリッドモード（固定チャネル連続スキャンモード）でのチャネル専用サンプル＆ホールド回路の動作例

手順	動作
1	開始トリガが入力で、ADSR.ADACTm (m = 0, 1) ビットが 1（A/D 変換が進行中）になると、ADSGCRm (m = 0, 1) レジスタで選択されたスキャングループの A/D 変換が始まります
2	3 つの固定チャネルのチャネル専用サンプル＆ホールド回路 (SH0～SH2) がアナログ入力 (AN000, AN002, AN004) のサンプリングを開始し、保持する。
3	A/D コンバータがチャネル専用サンプル＆ホールド回路 (SH0～SH2) の各出力のオーバーサンプリングを 1 回実行する。
4	1 つの非固定チャネルが SAR モードで A/D 変換される。非固定チャネルは、関連するスキャングループに割り当てられた仮想チャネルからチャネル番号の昇順に変換される。
5	3 つの固定チャネルと 1 つの非固定チャネルに対して A/D 変換を実行後、チャネル専用サンプル＆ホールド回路は保持された電圧を解放し、アイドル状態に遷移する。
6	1 つのアナログチャネルの A/D 変換が完了すると、A/D 変換結果は変換対象に対応している A/D データレジスタ (ADDRi.DATA (i = 0～22), ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)) に格納されます。FIFO を使用する場合、A/D 変換結果は FIFO データレジスタ (ADFIFODRk (k = 0～8)) にも格納されます
7	スキャン終了割り込みが許可されている場合、スキャン終了割り込みが生成されます。
8	アイドルサイクルの変換時間がスキャンサイクルの終わりまでカウントされる。
9	その後、A/D 変換停止処理が実行されるまで、バックグラウンド連続スキャン動作（手順 2～6）が繰り返される。 固定チャネルスキャンでは同じチャネルの変換が繰り返され、非固定チャネルスキャンではスキャングループに割り当てられた最後のチャネルまで 1 チャネルずつ変換が繰り返されて、その後、最初のチャネルに戻る。 A/D 変換を停止するには、「53.6.4. A/D 変換動作の強制停止」の手順に従ってください。

53.3.16.4 常時サンプリング機能

常時サンプリングは、A/D 変換が開始される前後にチャネル専用サンプル&ホールド回路がサンプリングを続ける機能です。この機能により、複数のチャネルを同時にサンプリングし、A/D 変換データを同時に取得することが可能になっています。

図 53.23 に、常時サンプリングが有効な場合 (ADSHCSCR.SHCSSTm = 1 (x = 0, 1)) と無効な場合 (ADSHCSCR.SHCSSTm = 0 (x = 0, 1)) の A/D 変換動作の違いを示します。

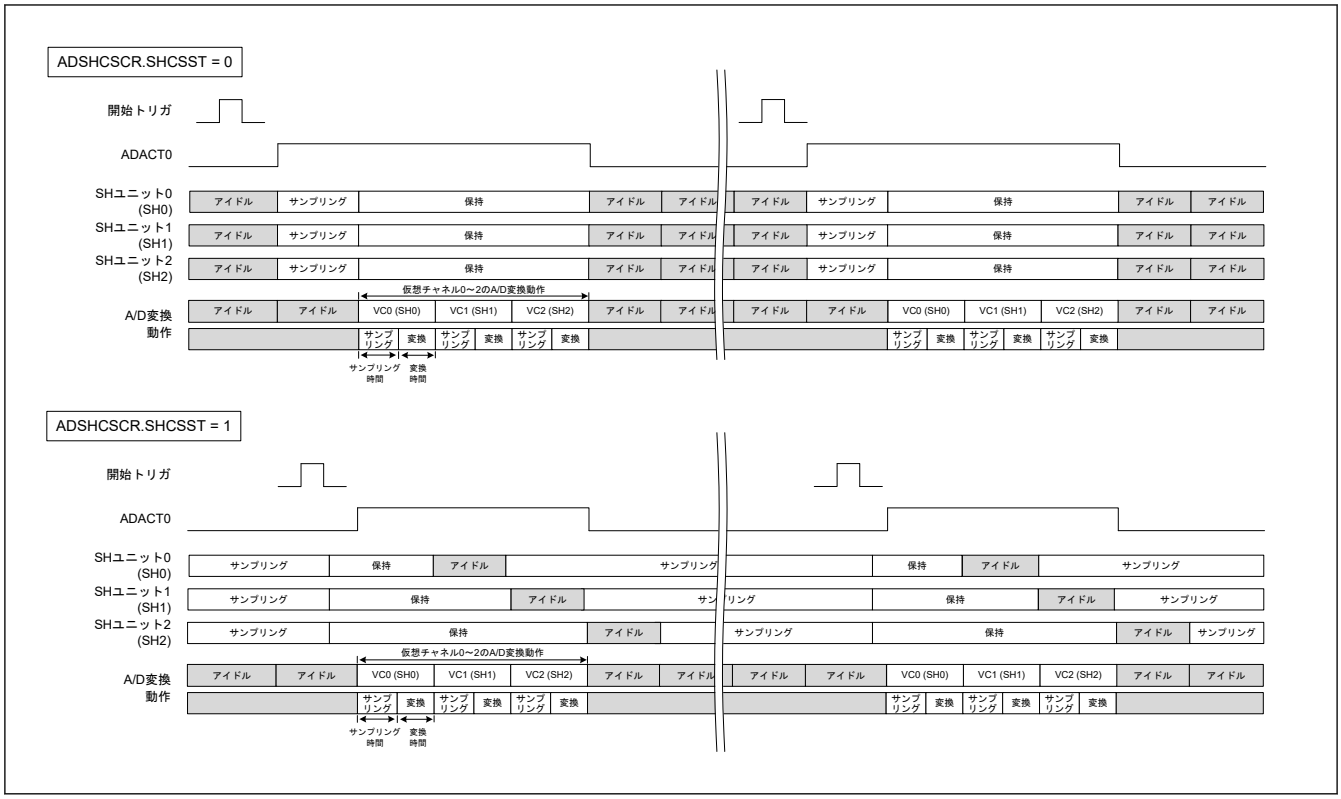


図 53.23　チャネル専用サンプル＆ホールド回路の常時サンプリング使用時の機能と未使用時の機能の違い

53.3.16.5　チャネル専用サンプル＆ホールド回路バイパス機能

チャネル専用サンプル＆ホールド (S&H) 回路が差動入力モードの場合、差動入力バイパス機能を使用すると、A/D コンバータの断線検出アシスト機能による断線検出が可能になります (シングルエンド入力モード)。

この機能は、差動入力バイパス機能がシングルエンド入力モードでのみサポートされるため、S&H が差動入力モードからシングルエンド入力モードに切り替わる際に発生する複雑な校正手順を回避することを目的としています。

ADSHDBPCR.SHDBPn (n = 0～8) ビットが 1 のとき、そのスキャングループの間、S&H 回路の保持出力は AD 変換用に選択されません。その代わり、S&H 回路の入力チャネルが AD 変換用に選択されます。スキャングループ内で断線検出アシスト機能を実行できます。たとえば、以下の順序で次のような設定が可能です。

1. SH0 を有効にする。
2. スキャングループ 0 に AN000 を割り当てる。入力モードを差動モードに設定する
3. AN000 と AN001 をスキャングループ 1 に割り当てる。入力モードをシングルエンドモードに設定し、断線検出アシスト機能を有効にする
4. ADSHDBPCR.SHDBP0 ビットを 0 にして、ADSHDBPCR.SHDBP1 ビットを 1 に設定する

スキャングループ 0 の AD 変換では、SH0 でサンプル＆ホールド動作が実行され、保持出力が AD 変換されます。

スキャングループ 1 の AD 変換では、SH0 の入力チャネル、AN000、および AN001 に対して断線検出アシスト機能が実行されます。

この場合、SH0 の設定は変更されず、SH0 の再校正は必要ありません。

53.3.16.6　チャネル専用サンプル＆ホールド回路に関する制限

チャネル専用サンプル＆ホールド回路の使用時には、後に続く項で説明する制限事項を守ってください。

(1)　チャネル専用サンプル＆ホールド回路の使用制限

チャネル専用サンプル&ホールド回路は以下のモードでのみ使用可能です。

- SAR モード（シングルスキャンモード）
- ハイブリッドモード（シングルスキャンモード）
- ハイブリッドモード（連続スキャンモード）
- ハイブリッドモード（バックグラウンド連続スキャンモード）
- ハイブリッドモード（固定チャネル連続スキャンモード）(注1)

上記以外の動作モードでは、チャネル専用サンプル&ホールド回路は使用禁止です。

さらに、常時サンプリング機能は、SAR モード（シングルスキャンモード）でのみ使用できます。

チャネル専用サンプル&ホールド回路のサンプリング時間、ホールドモード切り替え時間、および A/D サンプリング時間は、次のように設定する必要があります。

- 3.5 × (ADSHSTR0.SHHST[2:0] + ADSSTRx.SSTy[9:0]) ≧ ADSHSTR0.SHSST[7:0]

注 1. 固定チャネルが 3 チャネルに設定されているときは固定チャネルのみがサポートされ、すべての固定チャネルでチャネル専用サンプル&ホールド回路が有効になります。固定チャネル以外では、チャネル専用サンプル&ホールド回路を使用できません。

(2) チャネル専用サンプル&ホールド回路の自己校正動作に関する制限

チャネル専用サンプル&ホールド回路を使用する場合、自己校正動作が必要です。チャネル専用サンプル&ホールド回路の自己校正手順と制限の詳細については、「53.3.8. 自己校正」を参照してください。

(3) 仮想チャネルとスキャングループの割り当てに関する制限

チャネル専用サンプル&ホールド回路を使用するアナログチャネルについては、スキャングループの最初に A/D 変換が行われるように仮想チャネルに割り当ててください。具体的には、チャネル専用サンプル&ホールド回路を使用するアナログチャネルは、該当のスキャングループに割り当てられている仮想チャネルの中で、最も小さい仮想チャネル番号を持つ仮想チャネルから割り当ててください。（チャネル専用サンプル&ホールド回路のアナログチャネルは、仮想チャネル番号の昇順に、前の方の仮想チャネルに割り当ててください。）

この制限に違反すると、チャネル専用サンプル&ホールド回路と A/D コンバータの動作は保証されません。

(4) 同じチャネル専用サンプル&ホールド回路を使用する複数チャネルの同じスキャングループへの割り当ての禁止

同じチャネル専用サンプル&ホールド回路を使用する複数の仮想チャネルを 1 つのスキャングループに割り当てることは禁止されています。具体的な制限は以下のとおりです。

[制限]

- チャネル専用サンプル&ホールド回路に接続された偶数番号のアナログチャネルを信号源として選択した仮想チャネルと、奇数番号のアナログチャネルを信号源として選択した仮想チャネルは、バイパス機能を使用しないで同じスキャングループに割り当てないでください。
- チャネル専用サンプル&ホールド回路に接続された偶数番号のアナログチャネルまたは奇数番号のアナログチャネルを複数の仮想チャネルに割り当て、それらの仮想チャネルを同じスキャングループに割り当てることは禁止されています。

この制限に違反した場合、動作は保証されません。

この制限を回避するには、同じチャネル専用サンプル&ホールド回路を使う複数の仮想チャネルは別々のスキャングループに割り当ててください。1 回のスキャン動作中に、同じチャネル専用サンプル&ホールド回路に対して A/D 変換が複数回発生するのを防ぐことで、この制限を回避できます。この制限の回避方法の例については、(2) SAR モード（シングルスキャンモード）での高度な動作を参照してください。

(5) 差動入力バイパス機能に関する制限

スキャングループを差動入力バイパスとして設定した場合は、別のスキャングループを含むすべてのチャネル専用サンプル&ホールド回路を S&H 回路の断線検出機能および常時サンプリング機能に使用できません。

(6) グループ優先動作に関する制限

チャネル専用サンプル＆ホールド回路は、グループ優先動作中は優先順位が最も上のスキャングループに対してのみ使用できます。

(7) チャネル専用サンプル＆ホールド (S&H) 回路と常時サンプリング機能に関する制限

- S&H 回路の常時サンプリング機能は SAR モード（シングルスキャンモード）でのみ使用できます。指定されている動作モード以外、S&H 回路の常時サンプリング機能は禁止されています。
- S&H 回路の常時サンプリング機能使用時には、S&H の変換を行うチャネルの仮想チャネル設定で、表 53.36 に示した、S&H ユニットに対応する仮想チャネル番号のレジスタを使用してください。

表 53.36 サンプル＆ホールド回路に対応する仮想チャネル番号

A/D コンバータユニット	チャネル専用サンプル＆ホールド回路ユニット	割り当てられる仮想チャネルの番号
ADC0	S&H ユニット 0	仮想チャネル 0
	S&H ユニット 1	仮想チャネル 1
	S&H ユニット 2	仮想チャネル 2
ADC1	S&H ユニット 4	仮想チャネル 4
	S&H ユニット 5	仮想チャネル 5
	S&H ユニット 6	仮想チャネル 6

- S&H 回路の常時サンプリング機能の使用時には、以下のルールに従って S&H のサンプリング時間 (ADSHSTRm.SHSST[7:0] (m = 0, 1)) を設定してください。
  - ユニット間の同期が無効の場合：ADSHSTRx.SHSSTx (x = 0～3) = 8'h4（リセット値）
  - ユニット間の同期が有効の場合：S&H のサンプリング時間と S&H のホールド時間の合計時間 (ADSHSTRm.SHSST[7:0] + ADSHSTRm.SHHST[2:0] (m = 0, 1)) が同期期間と等しくなる値
- S&H 回路の常時サンプリング機能が有効になっている場合、ADSHDBPCR レジスタの設定によって S&H のバイパス入力が指定されているスキャングループを使用することは禁止されています。
- ユニット同期が有効になっていて S&H を常時サンプリングと共に使用する場合は、同期期間を ADCLK6 サイクル分以上に設定してください。
- 校正後、A/D 変換の開始前に S&H の常時サンプリングを設定してください (ADSHCSCR.SHCSSTm (m = 0, 1))。
- S&H を常時サンプリングと共に使用する場合は、S&H のサンプリング期間は、S&H 変換の終了から、次の S&H 変換の開始までの期間です。変換開始トリガを連続して入力する場合は、S&H のサンプリング期間を十分確保できる長さのトリガ間隔にしてください。

(8) チャネル専用サンプル＆ホールド (S&H) 回路と断線検出アシスト機能に関する制限

- S&H 回路の断線検出アシスト機能は SAR モード（シングルスキャンモード）でのみ使用できます。指定されている動作モード以外、S&H 回路の断線検出アシスト機能は禁止されています。
- S&H 回路の断線検出アシスト機能が有効になっている場合、ADSHDBPCR レジスタの設定によって S&H のバイパス入力が指定されているスキャングループを使用することは禁止されています。

(9) チャネル専用サンプル＆ホールド (S&H) 回路と自己診断機能に関する制限

- S&H 回路の自己診断機能は SAR モード（シングルスキャンモード）でのみ使用できます。指定されている動作モード以外、S&H 回路の自己診断機能は禁止されています。
- 1 つのスキャングループ内の同一 S&H ユニットに属するチャネルに対して、通常の変換と S&H 自己診断機能を設定することは禁止されています。

53.3.17 断線検出アシスト機能

断線検出アシスト機能とは、A/D 変換を開始する前に、A/D コンバータのサンプリング容量の電荷を所定の状態に固定する機能です。この機能を使って、アナログ入力に接続した配線の断線を検出できます。

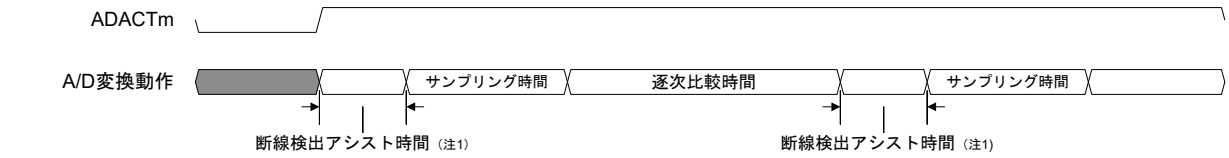
表 53.37 に断線検出アシスト機能を使用する場合の動作モードを示します。また、断線検出アシスト機能を使用する場合は、ADACMDR.ADHACMDn (n = 0,1) ビットを 1 にして高精度モードを有効にすることを推奨します。

表 53.37　断線検出アシスト機能を使用する場合の動作モード

動作モード（スキャンモード）	チャネル専用サンプル＆ホールド回路不使用時	チャネル専用サンプル＆ホールド回路使用時
SAR モード（シングルスキャンモード）	✓	✓
SAR モード（連続スキャンモード）	✓	—
オーバーサンプリングモード（シングルスキャンモード）	—	—
オーバーサンプリングモード（連続スキャンモード）	—	—
オーバーサンプリングモード（1 チャネル連続スキャンモード）	—	—
ハイブリッドモード（シングルスキャンモード）	✓	—
ハイブリッドモード（連続スキャンモード）	✓	—
ハイブリッドモード（バックグラウンド連続スキャンモード）	—	—
ハイブリッドモード（固定チャネル連続スキャンモード）	—	—

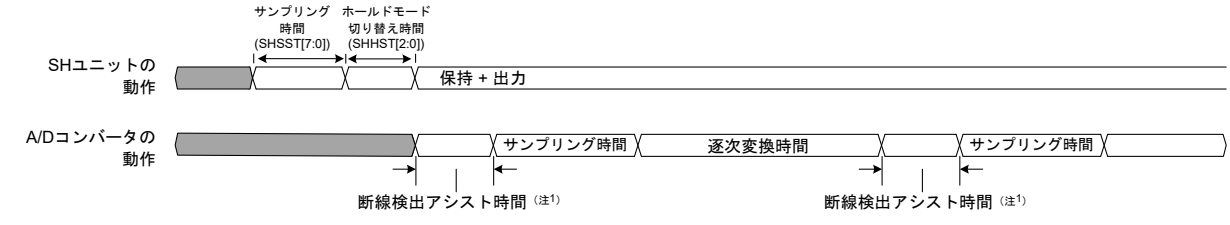
注.　✓：使用可能、—：使用不可

図 53.24 に断線検出アシスト機能を使用した場合の A/D 変換の動作例を示します。また、図 53.25 に、断線検出アシスト機能とチャネル専用サンプル＆ホールド回路を使用した場合の A/D 変換動作の例を示します。図 53.26 にプリチャージを選択した場合の断線検出例を示し、図 53.27 にディスチャージを選択した場合の断線検出例を示します。



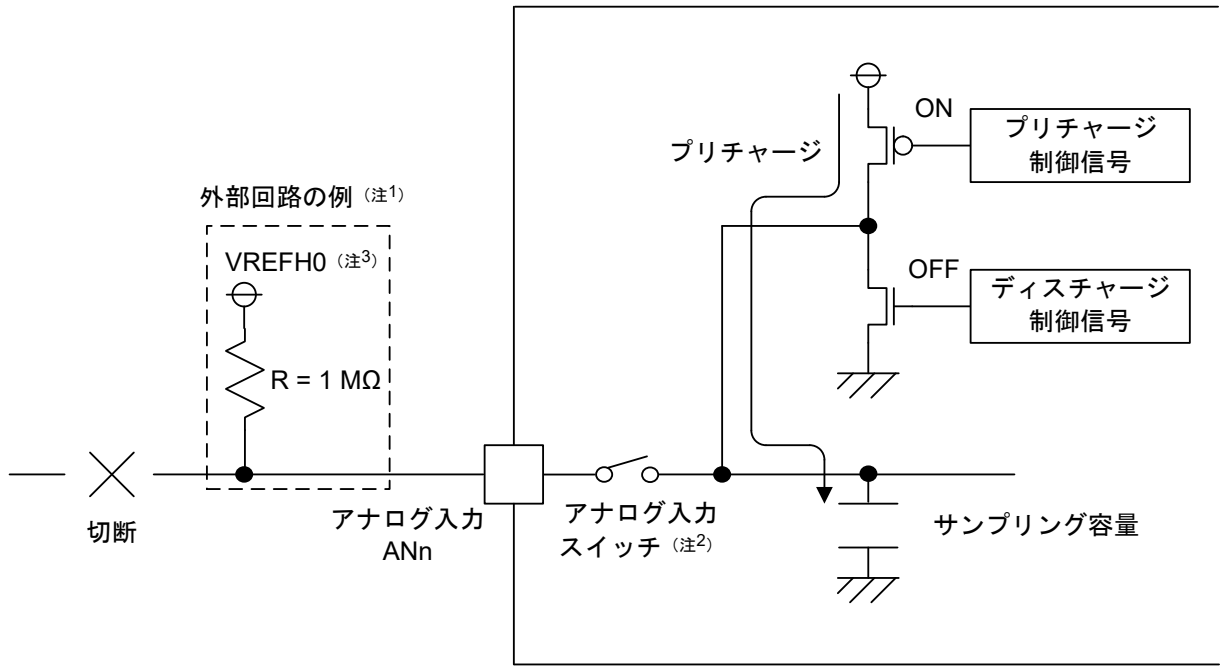
注.　m = 0, 1
注 1.　ADCLK の 3～254 サイクル

図 53.24　断線検出アシスト機能を使用した場合の A/D 変換動作



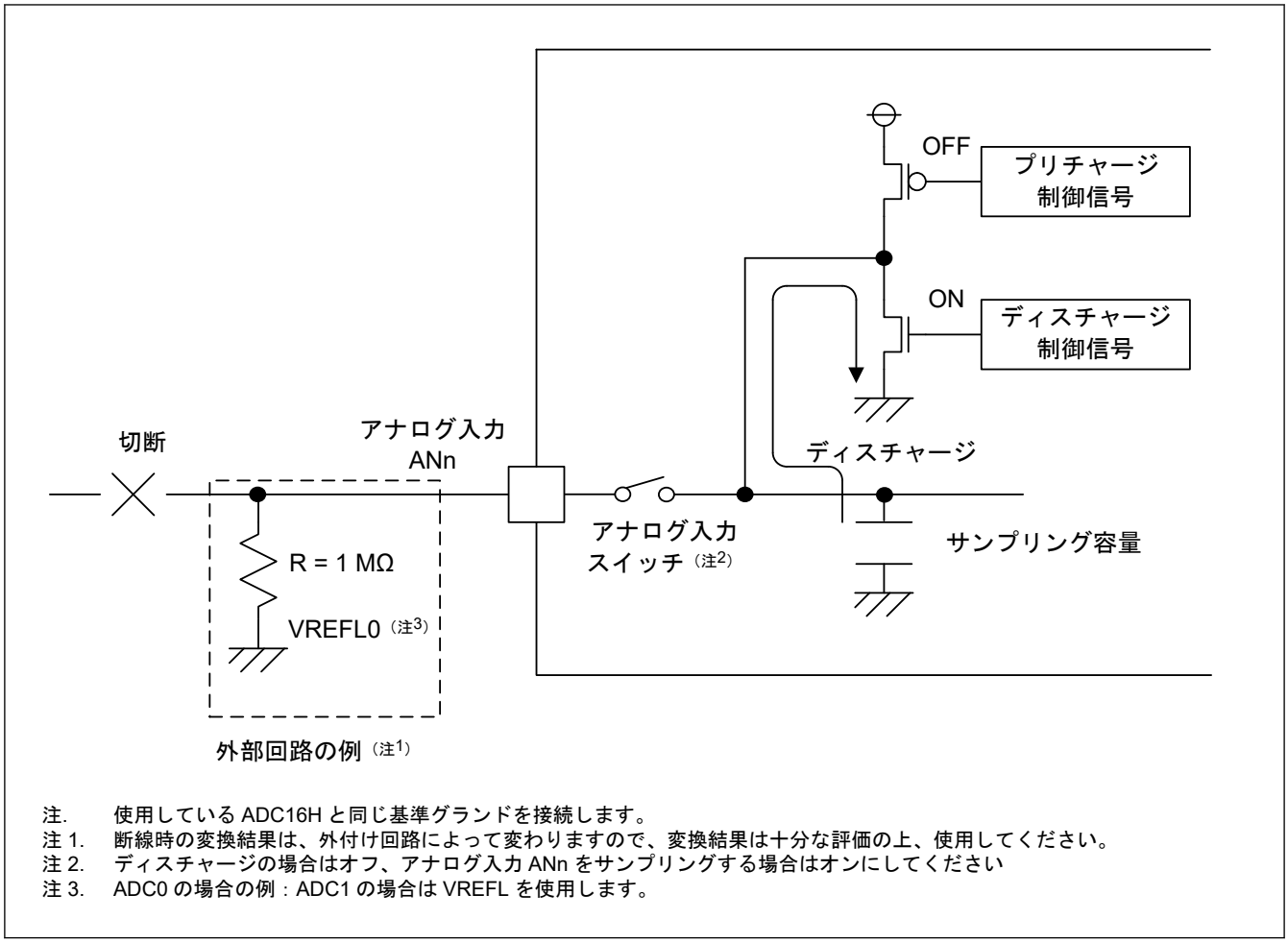
注 1.　ADCLK の 3～254 サイクル

図 53.25　断線検出アシスト機能とチャネル専用サンプル＆ホールド回路を使用した場合の A/D 変換動作



注 1. 断線時の変換結果は、外付け回路によって変わりますので、変換結果は十分な評価の上、使用してください。
注 2. プリチャージの場合はオフ、アナログ入力 ANn をサンプリングする場合はオンにしてください。
注 3. ADC0 の場合の例：ADC1 の場合は VREFH を使用します。

図 53.26 プリチャージを選択した場合の断線検出例



注. 使用している ADC16H と同じ基準グランドを接続します。
注 1. 断線時の変換結果は、外付け回路によって変わりますので、変換結果は十分な評価の上、使用してください。
注 2. ディスチャージの場合はオフ、アナログ入力 ANn をサンプリングする場合はオンにしてください
注 3. ADC0 の場合の例：ADC1 の場合は VREFL を使用します。

図 53.27 ディスチャージを選択した場合の断線検出例

53.3.17.1 断線検出アシスト機能に関する制限

断線検出アシスト機能を使用する場合は、以下の制限を守ってください。

- 断線検出アシスト機能を使用できるのは以下のモードのときだけです。
  - SAR モード（シングルスキャンモード）
  - SAR モード（連続スキャンモード）
  - ハイブリッドモード（シングルスキャンモード）
  - ハイブリッドモード（連続スキャンモード）

  上記の動作モード以外、断線検出アシスト機能は禁止されています。
- チャネル専用サンプル&ホールド回路使用時の断線検出アシスト機能は以下のモードでのみ使用できます。
  - SAR モード（シングルスキャンモード）

  上記以外の動作モードでは、チャネル専用サンプル&ホールド回路を使用する断線検出アシスト機能は使用禁止です。

53.3.18 グループ優先動作

グループ優先動作機能とは、スキャングループの優先度に基づいて、より高い優先度を持つスキャングループのスキャン動作（A/D 変換）を行う機能です。

スキャングループの優先順位は、グループ 0 > グループ 1 > … > グループ n（n：スキャングループ最大数 - 1）です。

表 53.38 にグループ優先動作を使用できる条件と対応するレジスタの設定を示します。表 53.38 に従って動作を設定してください。

表 53.38 グループ優先動作を使用できる条件と対応するレジスタの設定

動作条件		グループ優先動作				
A/D コンバータの動作モード		動作	ADGSPCR レジスタの設定(注1)			
			PGSm	RSCNm	LGRRSm	GRPm
SAR モード	シングルスキャンモード	✓	1	1	1	0
	連続スキャンモード	✓	1	1	1	1
オーバーサンプリングモード		—	0	0	0	0
ハイブリッドモード		—	0	0	0	0

注. ✓：使用可能, —：使用不可能（禁止）
m = 0, 1
注 1. 指定値以外は設定しないでください。

53.3.18.1 SAR モード（シングルスキャンモード）でのグループ優先動作

SAR モード（シングルスキャンモード）でのグループ優先動作では、スキャングループの優先度に従って、シングルスキャン動作が行われます。

優先度の低いグループのスキャン動作中に、優先度の高いグループに対する A/D 変換開始トリガが入力された場合、低優先度グループのスキャン動作は一時中断され、高優先度グループのスキャン動作が開始します。高優先度グループのスキャン動作が完了した後、低優先度グループのスキャン動作が再開されます。

高優先度グループのスキャン動作中に、低優先度グループに対する A/D 変換開始トリガが入力された場合、高優先度グループのスキャン動作が完了した後、低優先度グループのスキャン動作が行われます。

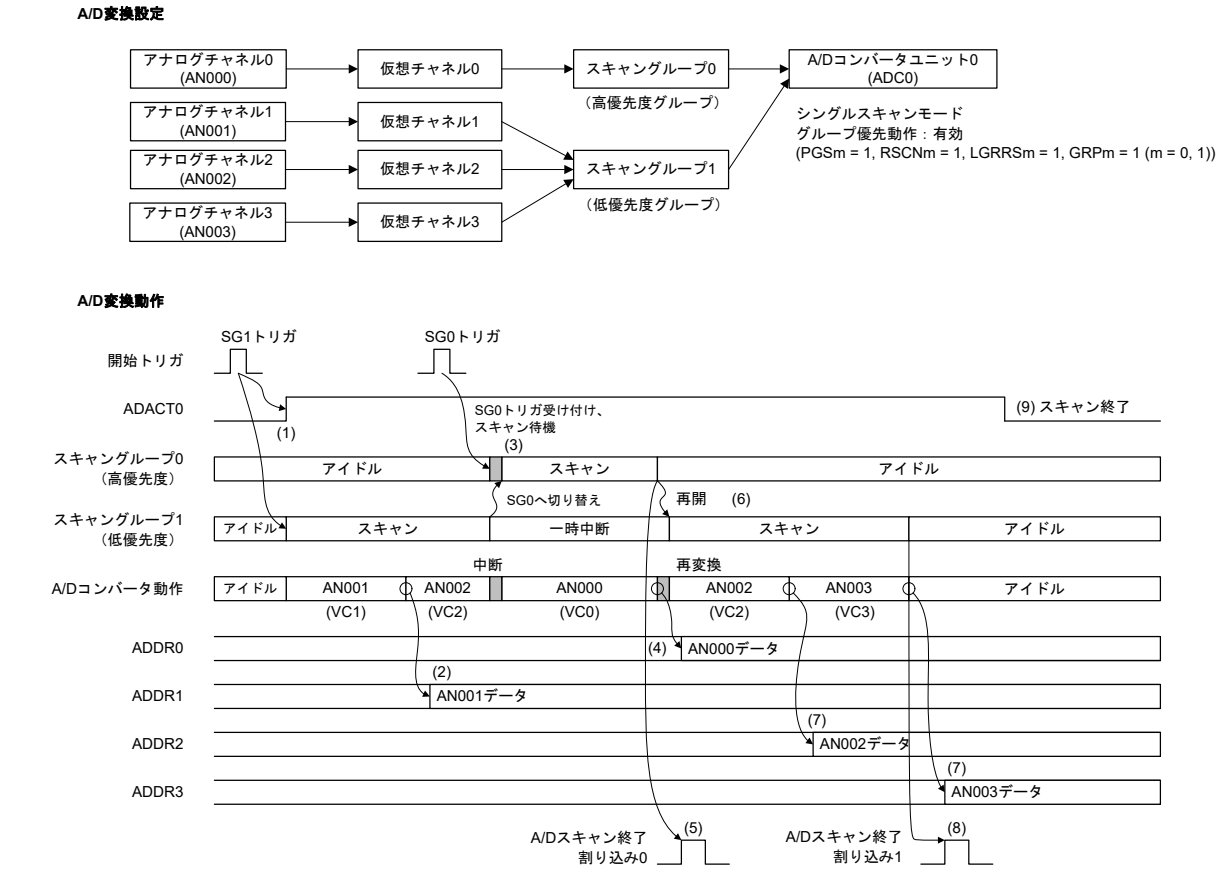
SAR モード（シングルスキャンモード）でのグループ優先動作例

表 53.39 と図 53.28 に、アナログチャネル 0 (AN000) がスキャングループ 0（高優先度）に割り当てられ、アナログチャネル 1～3 (AN001～AN003) がスキャングループ 1（低優先度）に割り当てられた場合の、SAR モード（シングルスキャンモード）でのグループ優先動作の例を示します。

表 53.39 SAR モード（シングルスキャンモード）でのグループ優先動作例（2 グループ）

手順	動作
1	スキャングループ 1 のトリガが入力されたときに、スキャングループ 1 のスキャン動作が開始する。
2	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
3	スキャングループ 1 の A/D 変換中にスキャングループ 0 のトリガが入力されると、スキャングループ 1 のスキャン動作は一時中断され、スキャングループ 0 のスキャン動作が開始する。(注1)
4	スキャングループ 0 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
6	スキャングループ 0 のスキャンが完了した後、スキャングループ 1 のスキャン動作が再開する。スキャン動作は、A/D 変換が完了していないチャネルから再開する。(注1)
7	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
8	スキャングループ 1 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
9	すべてのスキャン動作が完了すると、ADSR.ADACTm (m = 0, 1) ビットがクリアされ、A/D コンバータはアイドル状態になる。

注 1. スキャン動作の一時中断と再開のタイミングは、動作条件により異なります。詳細は、「53.3.18.3. グループ優先動作に関する制限」を参照してください。



注. SG：スキャングループ、VC：仮想チャネル

図 53.28 SAR モード（シングルスキャンモード）でのグループ優先動作例（2 グループ）

53.3.18.2 SAR モード（連続スキャンモード）でのグループ優先動作

SAR モード（連続スキャンモード）でのグループ優先動作では、最初にスキャン動作が開始したスキャングループ（連続スキャングループ）に対して連続スキャン動作が行われます。連続スキャングループの連続スキャン動作中に、別のスキャングループ（割り込みスキャングループ）の A/D 変換開始トリガが入力されると、割り込みスキャングループの優先度に応じて以下の動作が行われます。

1. 優先度：割り込みスキャングループ（高）＞連続スキャングループ（低）の場合
   - 連続スキャングループのスキャン動作は一時中断され、割り込みスキャングループのシングルスキャン動作が開始します。
   - 割り込みスキャングループのシングルスキャン動作が完了した後、連続スキャングループの連続スキャン動作が再開します。
2. 優先度：連続スキャングループ（高）＞割り込みスキャングループ（低）の場合
   - この動作は禁止されています。動作は保証されません。

   上記の 1 の場合、割り込みスキャングループ（割り込みスキャングループ A）のシングルスキャン動作中に別のスキャングループ（割り込みスキャングループ B）の A/D 変換開始トリガが入力されると、割り込みスキャングループ B の優先度に応じて以下の動作が行われます。
3. 優先度：割り込みスキャングループ B（高）＞割り込みスキャングループ A（中）＞連続スキャングループ（低）の場合
   - 割り込みスキャングループ A のシングルスキャン動作が一時中断され、割り込みスキャングループ B のシングルスキャン動作が開始します。

- 割り込みスキャングループ B のシングルスキャン動作が完了した後、割り込みスキャングループ A のシングルスキャン動作が再開します。
- 割り込みスキャングループ A のスキャン動作が完了した後、連続スキャングループの連続スキャン動作が再開します。

4. 優先度：割り込みスキャングループ A（高）＞割り込みスキャングループ B（中）＞連続スキャングループ（低）の場合
   - 割り込みスキャングループ A のシングルスキャン動作が完了した後、割り込みスキャングループ B のシングルスキャン動作が開始します。
   - 割り込みスキャングループ B のシングルスキャン動作が完了した後､連続スキャングループの連続スキャン動作が再開します。
5. 優先度：割り込みスキャングループ A（高）＞連続スキャングループ（中）＞割り込みスキャングループ B（低）の場合
   - この動作は禁止されています。動作は保証されません。

動作例を以下に示します。

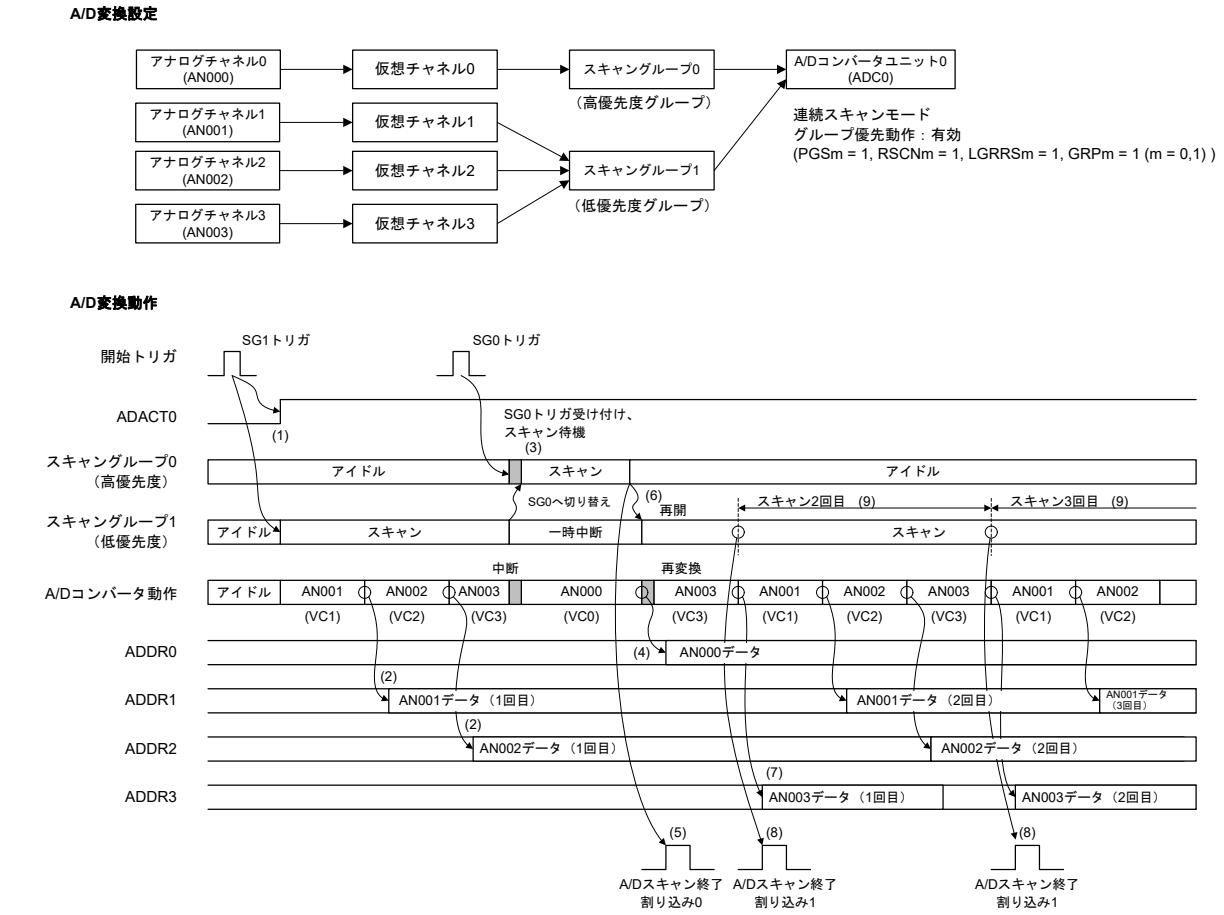
(1) SAR モード（連続スキャンモード）での 2 グループ優先動作例

表 53.40 と図 53.29 に、アナログチャネル 0 (AN000) がスキャングループ 0（高優先度グループ）に割り当てられ、アナログチャネル 1～3 (AN001～AN003) がスキャングループ 1（低優先度グループ）に割り当てられた場合の、SAR モード（連続スキャンモード）でのグループ優先動作例を示します。

表 53.40 SAR モード（連続スキャンモード）でのグループ優先動作例（2 グループ）

手順	動作
1	スキャングループ 1（低優先度グループ）の連続スキャン動作が、スキャングループ 1 のトリガ入力により開始する。
2	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
3	スキャングループ 1 の A/D 変換中にスキャングループ 0 のトリガが入力されると、スキャングループ 1 のスキャン動作は一時中断され、スキャングループ 0 のスキャン動作が開始する。(注1)
4	スキャングループ 0 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
6	スキャングループ 0 のスキャンが完了した後、スキャングループ 1 のスキャン動作が再開する。スキャン動作は、A/D 変換が完了していないチャネルから再開する。(注1)
7	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
8	スキャングループ 1 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
9	スキャングループ 1 は連続スキャン動作を続行する。(注2)

注 1. スキャン動作の一時中断と再開のタイミングは、動作条件により異なります。詳細は、「53.3.18.3. グループ優先動作に関する制限」を参照してください。
注 2. 連続スキャン動作を停止するには、「53.6.4. A/D 変換動作の強制停止」で説明する手順に従ってください。



注. SG：スキャングループ、VC：仮想チャネル

図 53.29 SAR モード（連続スキャンモード）でのグループ優先動作例（2 グループ）

(2) SAR モード（連続スキャンモード）での 3 グループ優先動作例

表 53.41 と図 53.30 に、アナログチャネル 0 (AN000) がスキャングループ 0（高優先度）に割り当てられ、アナログチャネル 1 と 2（AN001 と AN002）がスキャングループ 1（中優先度）に割り当てられ、アナログチャネル 3～5 (AN003～AN005) がスキャングループ 2（低優先度）に割り当てられた場合のグループ優先動作例を示します。

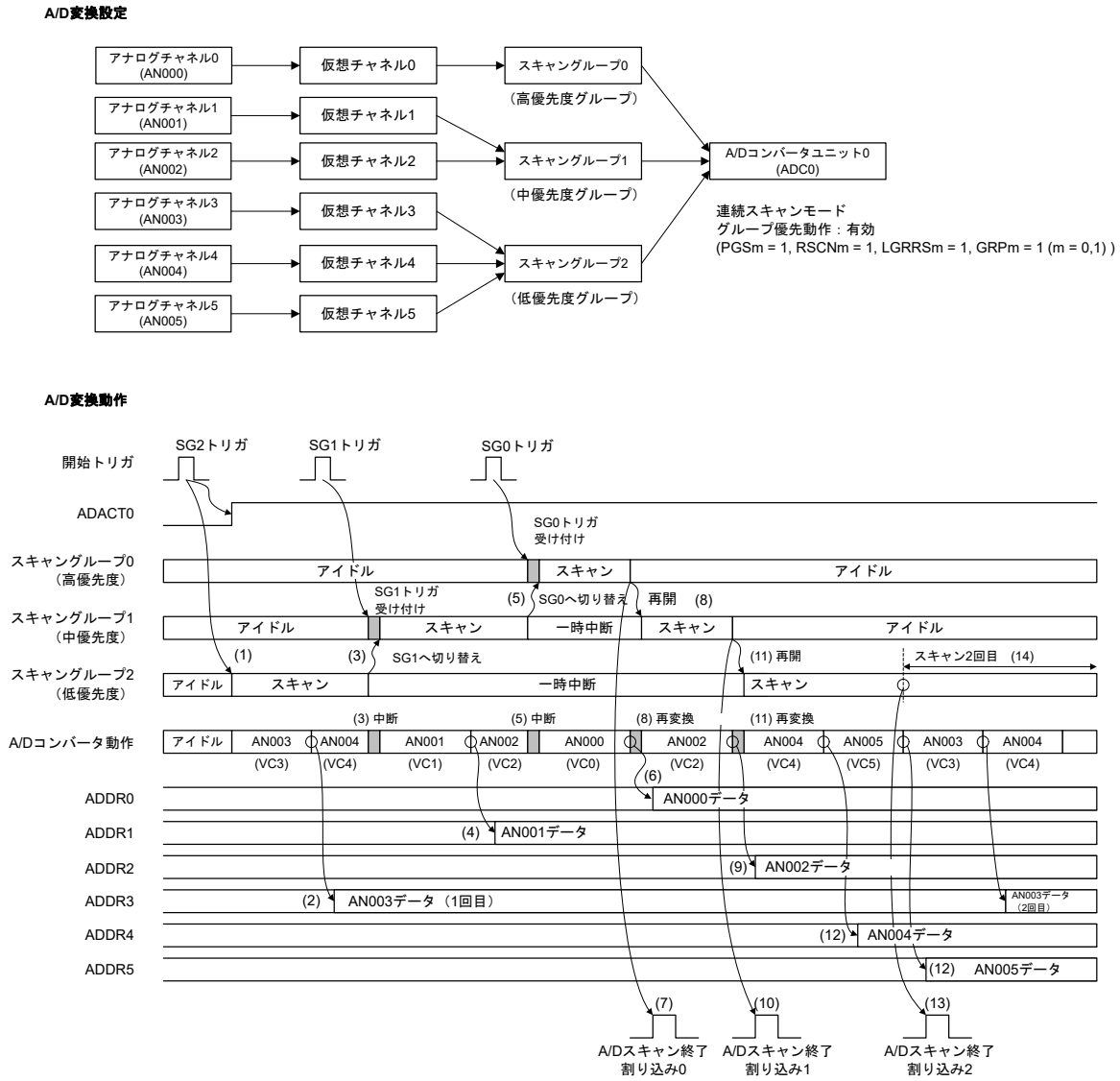
表 53.41 SAR モード（連続スキャンモード）でのグループ優先動作例（3 グループ） (1/2)

手順	動作
1	スキャングループ 2 の連続スキャン動作が、スキャングループ 2 のトリガ入力により開始する。
2	スキャングループ 2 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
3	スキャングループ 2 の A/D 変換中にスキャングループ 1 のトリガが入力されると、スキャングループ 2 のスキャン動作は一時中断され、スキャングループ 1 のスキャン動作が開始する。(注1)
4	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
5	スキャングループ 1 の A/D 変換中にスキャングループ 0 のトリガが入力されると、スキャングループ 1 のスキャン動作は一時中断され、スキャングループ 0 のスキャン動作が開始する。(注1)
6	スキャングループ 0 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
7	スキャングループ 0 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。

表 53.41 SAR モード（連続スキャンモード）でのグループ優先動作例（3 グループ） (2/2)

手順	動作
8	スキャングループ 0 のスキャンが完了した後、スキャングループ 1 のスキャン動作が再開する。スキャン動作は、A/D 変換が完了していないチャネルから再開する。(注1)
9	スキャングループ 1 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
10	スキャングループ 1 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
11	スキャングループ 1 のスキャンが完了した後、スキャングループ 2 が再開する。スキャン動作は、A/D 変換が完了していないチャネルから再開する。(注1)
12	スキャングループ 2 の各チャネルの A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納される。
13	スキャングループ 2 のスキャン終了割り込みが許可されている場合は、スキャン終了割り込みが発生する。
14	スキャングループ 1 は連続スキャン動作を続行する。(注2)

注 1. スキャン動作の一時中断と再開のタイミングは、動作条件により異なります。詳細は、「53.3.18.3. グループ優先動作に関する制限」を参照してください。
注 2. 連続スキャン動作を停止するには、「53.6.4. A/D 変換動作の強制停止」で説明する手順に従ってください。



注. SG：スキャングループ、VC：仮想チャネル

図 53.30 SAR モード（連続スキャンモード）でのグループ優先動作例（3 グループ）

53.3.18.3 グループ優先動作に関する制限

(1) チャネル専用サンプル&ホールド回路に関する制限

チャネル専用サンプル＆ホールド回路は、グループ優先動作中は優先順位が最も上のスキャングループに対してのみ使用できます。

(2) A/D コンバータの動作モードおよび動作設定に関する制限

グループ優先動作は SAR モードでのみ使用可能です。オーバーサンプリングモードまたはハイブリッドモードでは、グループ優先動作は禁止されています。

本制約に違反した場合、動作は保証されません。

(3) SAR モード（連続スキャンモード）でのグループ優先動作に関する制限

SAR モード（連続スキャンモード）でのグループ優先動作では、連続スキャン動作を開始したスキャングループより優先度の低いスキャングループに対する A/D 変換開始トリガを入力しないでください。この制限に違反した場合、動作は保証されません。

(4) 同じスキャングループに対するトリガ入力に関する制限

グループ優先動作中、同じスキャングループに対する A/D 変換開始トリガは、以下の期間をあけて入力してください。

[同期動作が無効の場合 (ADSYCR.ADSYDISm = 1)]

- スキャン終了フラグがセットされた後、2 ADCLK + 2 PCLK サイクル(注1)

[同期動作が有効の場合 (ADSYCR.ADSYDISm = 0)]

- スキャン終了フラグがセットされた後、同期動作期間サイクル × 2(注1)

注. m = 0, 1

注 1. ADSCANENDSR.SCENDFn = 1（n = 0～8）

上記の期間を待たずに A/D 変換開始トリガが入力されると、A/D 変換開始トリガが消失する可能性があります。A/D 変換開始トリガを確実に受け付けるためには、上記の期間が経過した後にトリガを入力してください。

(5) 低優先度グループのスキャン動作の一時中断と再開に関する制限

グループ優先動作の際、低優先度グループのスキャン中に高優先度グループの A/D 変換開始トリガが入力されると、低優先度グループのスキャン動作は以下のタイミングで一時中断されます。

[低優先度グループのスキャン一時中断タイミング]

- 同期動作が有効な場合
  - 高優先度グループの A/D 変換開始トリガを受け付けた後、次の同期動作期間タイミングまで待機した後で、低優先度グループのスキャン動作が一時中断されます。
- 同期動作が無効な場合
  - 高優先度グループの A/D 変換開始トリガを受け付けた後、ただちに低優先度グループのスキャン動作が一時中断されます。

低優先度グループのスキャンが一時中断されたタイミングで A/D 変換値加算／平均機能を使用するチャネルが A/D 変換中の場合、その時点での A/D 変換値加算／平均値の中間結果が破棄されます。低優先度グループのスキャン動作が再開すると、A/D 変換値加算／平均機能で指定された回数の最初から A/D 変換をやり直します。

グループ優先動作でスキャン動作を一時中断した場合、中断されたスキャングループの ADGRSR.ACTGRn (n = 0～8) ビットは 1 のままです。

53.3.19 同期動作

同期動作とは、複数の A/D コンバータが同期するように A/D コンバータの動作を制御する機能です。

53.3.19.1 同期動作例

(1) 基本同期動作

同期動作の基本動作は以下のとおりです。表 53.42 に設定例を、表 53.43 と図 53.31 に動作の詳細を示します。

表 53.42 基本同期動作の設定例

項目	設定
A/D コンバータ	● ADC0: SAR モード（シングルスキャンモード）に設定 ● ADC1: SAR モード（シングルスキャンモード）に設定
仮想チャネル	● 仮想チャネル 0～2: AN000～AN002 を割り当て、シングルエンド入力モードに設定 ● 仮想チャネル 6～8: AN006～AN008 を割り当て、シングルエンド入力モードに設定
スキャングループ	[スキャングループ 0] ● AN000～AN002 を割り当て（仮想チャネル 0～2） ● ADC0 での変換を設定 [スキャングループ 1] ● AN006～AN008 を割り当て（仮想チャネル 6～8） ● ADC1 での変換を設定

表 53.43　基本同期動作例

手順	動作例の詳細
1	スキャングループ 0 のトリガが入力されると、A/D 変換同期タイミングまで待機します。
2	同期動作期間のタイミングで、スキャングループ 0 のトリガ入力が受け付けられ、スキャングループ 0（ADC0 用）のスキャン動作が開始します。
3	スキャングループ 1 のトリガが入力されると、A/D 変換同期タイミングまで待機します。
4	同期動作期間のタイミングで、スキャングループ 1 のトリガ入力が受け付けられ、スキャングループ 1（ADC1 用）のスキャン動作が開始します。
5	同期動作中、A/D コンバータは同期動作期間に合わせてサンプリング動作を開始します。

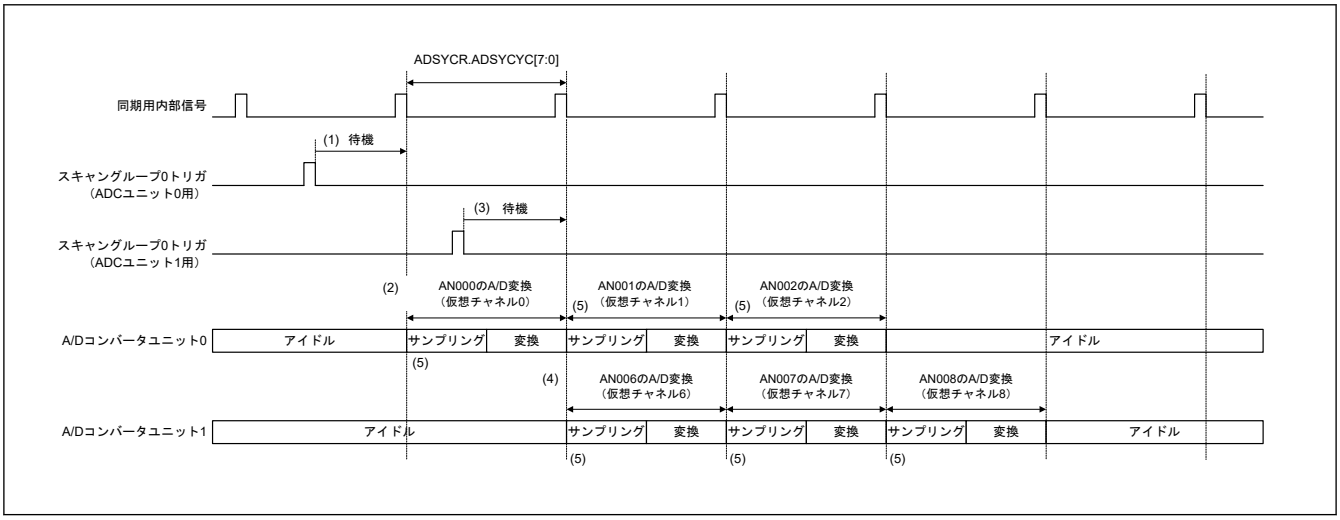


図 53.31　SAR モード（シングルスキャンモード）での同期動作例

(2)　チャネル専用サンプル&ホールド回路を使用する場合の同期動作

チャネル専用サンプル&ホールド回路を使用する場合の同期動作例を以下に示します。表 53.44 に設定例を、表 53.45 と図 53.32 に動作の詳細を示します。

表 53.44　基本同期動作の設定例

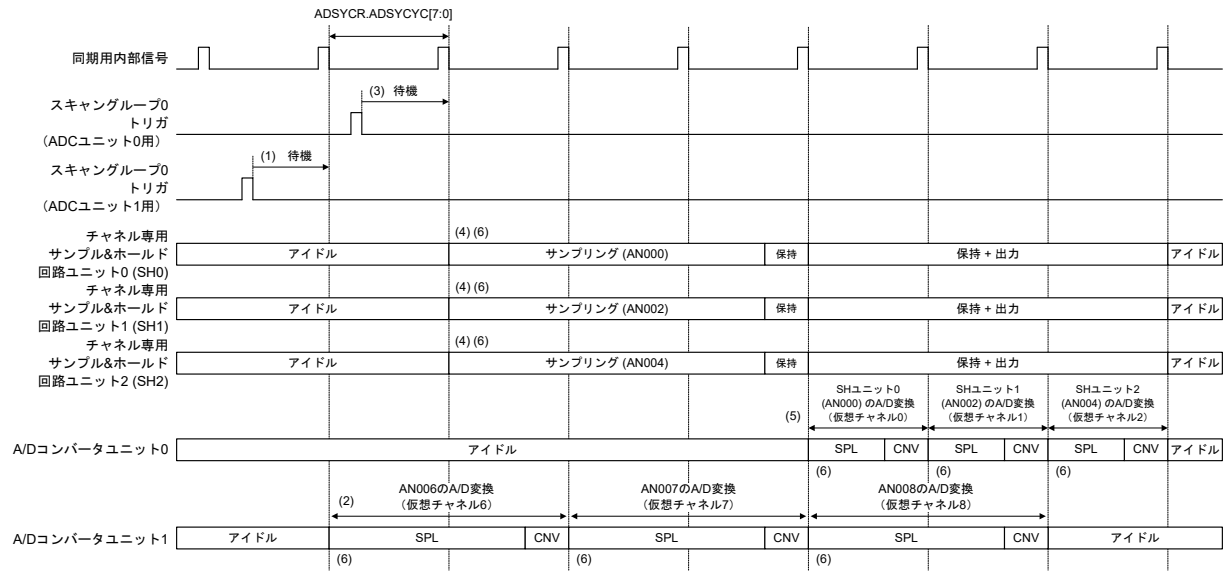
項目	設定
A/D コンバータ	● ADC0: SAR モード（シングルスキャンモード）に設定 ● ADC1: SAR モード（シングルスキャンモード）に設定
チャネル専用サンプル&ホールド回路	● SH0～SH2 を有効にし、シングルエンド入力モードに設定 ● SH4～SH6 を有効にし、シングルエンド入力モードに設定
仮想チャネル	● 仮想チャネル 0～2: AN000、AN002、AN004 を割り当て、シングルエンド入力モードに設定 ● 仮想チャネル 6～8: AN006、AN008、AN010 を割り当て、シングルエンド入力モードに設定
スキャングループ	[スキャングループ 0] ● AN000、AN002、AN004 を割り当て（仮想チャネル 0～2） ● ADC0 での変換を設定 [スキャングループ 1] ● AN006、AN008、AN010 を割り当て（仮想チャネル 6～8） ● ADC1 での変換を設定

表 53.45　チャネル専用サンプル&ホールド回路を使用する場合の同期動作例 (1/2)

手順	動作例の詳細
1	スキャングループ 1 のトリガが入力されると、A/D 変換同期タイミングまで待機します。
2	同期動作期間のタイミングで、スキャングループ 1 のトリガ入力が受け付けられ、スキャングループ 1（ADC1 用）のスキャン動作が開始します。
3	スキャングループ 0 のトリガが入力されると、A/D 変換同期タイミングまで待機します。

表 53.45　チャネル専用サンプル&ホールド回路を使用する場合の同期動作例 (2/2)

手順	動作例の詳細
4	同期動作期間のタイミングで、スキャングループ 0 のトリガ入力が受け付けられ、スキャングループ 0（ADC0 用）のスキャン動作が開始します。スキャングループ 0 のスキャン動作の始めに、チャネル専用サンプル&ホールド回路（SH0～SH2）はアナログチャネル (AN000, AN002, AN004) をサンプリングし、保持します。
5	チャネル専用サンプル&ホールド回路による保持の後、A/D コンバータはサンプリングと変換を開始します。
6	同期動作中、チャネル専用サンプル&ホールド回路と A/D コンバータは同期動作期間に合わせてサンプリング動作を開始します。



注.　SPL：サンプリングステート、CNV：変換ステート

図 53.32　チャネル専用サンプル&ホールド回路を使用する場合の同期動作例

53.3.19.2　同期動作に関する制限

同期動作を使用する場合は、下記の制限を守ってください。下記の制限に違反した場合、動作は保証されません。

1. 基本制限
   - 同期動作周期は、ADCm (m = 0, 1) の逐次変換時間よりも大きな値を設定してください。
     - ADSYCR.ADSYCYC[7:0] ≧ ADCNVSTR.CSTm[5:0] + 1
       (m = 0, 1)
   - 各アナログチャネルのサンプリング時間と ADCm (m = 0, 1) の逐次変換時間の合計が、同期動作周期の整数倍となるように設定してください。
     - ADSSTRx.SSTy[9:0] + ADCNVSTR.CSTm[5:0] = ADSYCR.ADSYCYC[7:0] × i
       （x = 0～7、y = 0～15、m = 0, 1、i: 1 以上の任意の整数 (i = 1, 2, 3…)）
   - 同期動作周期は、自己校正時の逐次変換時間よりも大きな値を設定してください。(注1)
     - ADSYCR.ADSYCYC[7:0] ≧ ADCALSTCR.CALADCST[5:0] + 1
   - 自己校正時のサンプリング時間と逐次変換時間が、同期動作周期の整数倍となるように設定してください。(注1)
     - ADCALSTCR.CALADSST[9:0] + ADCALSTCR.CALADCST[5:0] = ADSYCR.ADSYCYC[7:0] × i
       （i: 1 以上の任意の整数 (i = 1, 2, 3…)）
2. チャネル専用サンプル&ホールド回路を使用する場合の制限

- 同期動作周期は、チャネル専用サンプル&ホールド回路のホールドモード切り替え時間よりも大きな値を設定してください。
  - ADSYCR.ADSYCYC[7:0] ≧ ADSHSTRm.SHHST[2:0] + 1
    (m = 0, 1)
- チャネル専用サンプル&ホールド回路のサンプリング時間とホールドモード切り替え時間の合計が、同期動作周期の整数倍となるように設定してください。
  - ADSHSTRm.SHSST[7:0] + ADSHSTRm.SHHST[2:0] = ADSYCR.ADSYCYC[7:0] × i
    (m = 0, 1, i：1 以上の任意の整数 (i = 1, 2, 3…))
- チャネル専用サンプル&ホールド回路のホールドモード切り替え時間が、ADCm (m = 0, 1) の逐次変換時間と同じになるように設定してください。
  - ADSHSTRm.SHHST[2:0] = ADCNVSTR.CSTm[5:0]
    (m = 0, 1)
- 同期動作周期は、チャネル専用サンプル&ホールド回路の自己校正動作におけるホールドモード切り替え時間よりも大きな値を設定してください。(注1)
  - ADSYCR.ADSYCYC[7:0] ≧ ADCALSHCR.CALSHHST[2:0] + 1
- 自己校正動作におけるチャネル専用サンプル&ホールド回路のサンプリング時間とホールドモード切り替え時間の合計が、同期動作周期の整数倍となるように設定してください。(注1)
  - ADCALSHCR.CALSHSST[7:0] + ADCALSHCR.CALSHHST[2:0] = ADSYCR.ADSYCYC[7:0] × i
    (i：1 以上の任意の整数 (i = 1, 2, 3…))

3. 断線検出アシスト機能を使用する場合の制限
   - 断線検出アシスト期間は、同期動作周期と同じ値となるように設定してください。
     - ADSGDCRn.ADNDIS[7:0] = ADSYCR.ADSYCYC[7:0]
       (n = 0～8)
4. 高精度モードを使用する場合の制限
   - 各アナログチャネルのサンプリング時間と ADCm (m = 0, 1) の逐次変換時間の合計が、同期動作周期の偶数倍または等倍となるように設定してください。
     - ADSSTRx.SSTy[9:0] + ADCNVSTR.CSTm[5:0] = ADSYCR.ADSYCYC[7:0] × i
       (x = 0～7、y = 0～15、m = 0, 1、i: 1 または任意の偶数 (i = 1, 2, 4, 6…))

注 1. この制限に関連して、自己校正動作の設定に関する制限も同時に満たす必要があります。自己校正動作の設定に関する制限については、「53.3.8.3. 自己校正に関する制限」を参照してください。

53.4 A/D 変換の監視信号

本項では、A/D 変換の内部動作について説明します。

A/D 変換の監視信号は、I/O ポートの機能によって設定可能な端子から出力されます。

A/D 変換の動作タイミングは、これらの信号をオシロスコープで観察することで確認できます。

以下の A/D 変換の監視信号を利用できます。

ADSYNC

ADSYNC は、A/D 変換の同期動作の基準信号です。

この信号が A/D 変換の同期タイミングを示します。同期動作機能が有効な場合、A/D コンバータの動作はこの信号と同期して実行されます。同期動作機能が無効な場合、この信号は無視されます。A/D 変換の同期動作の詳細については、「53.3.19. 同期動作」を参照してください。

ADnFLAG1 (n = 0.1)

ADnFLAG1 は、A/D コンバータユニット n の変換期間を示します。この信号がアサートされている間、A/D コンバータは変換動作を実行中です。

ADSTn (n = 0,1)

ADSTn は、A/D コンバータユニット n のスキャン動作の期間を示します。この信号は、A/D スキャン動作が実行されている間アサートされます。

図 53.33 に各信号の動作タイミングを示します。出力信号を選択する方法については、「20. I/O ポート」を参照してください。

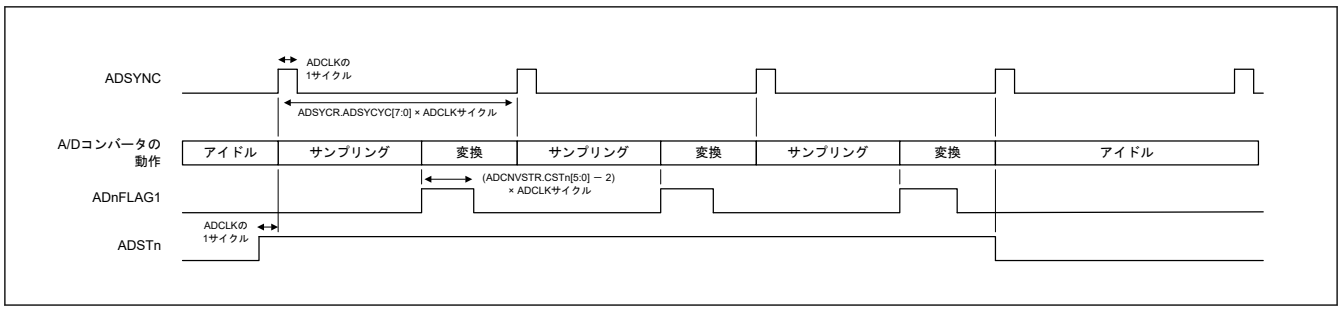


図 53.33 A/D 変換の監視信号

53.5 A/D 変換データ

本節では、A/D 変換データの内部処理を説明します。A/D 変換動作の詳細については、「53.3. 動作説明」を参照してください。

53.5.1 内部データ処理手順

図 53.34 に、A/D 変換データの内部処理フローを示します。

A/D コンバータから出力された A/D 変換データは、一時的にデータバッファに格納されます。その後、レジスタの設定に基づいて、各々のデータ処理が行われます。各データの処理に関係する機能が使用されない場合、そのデータ処理はスキップされます。

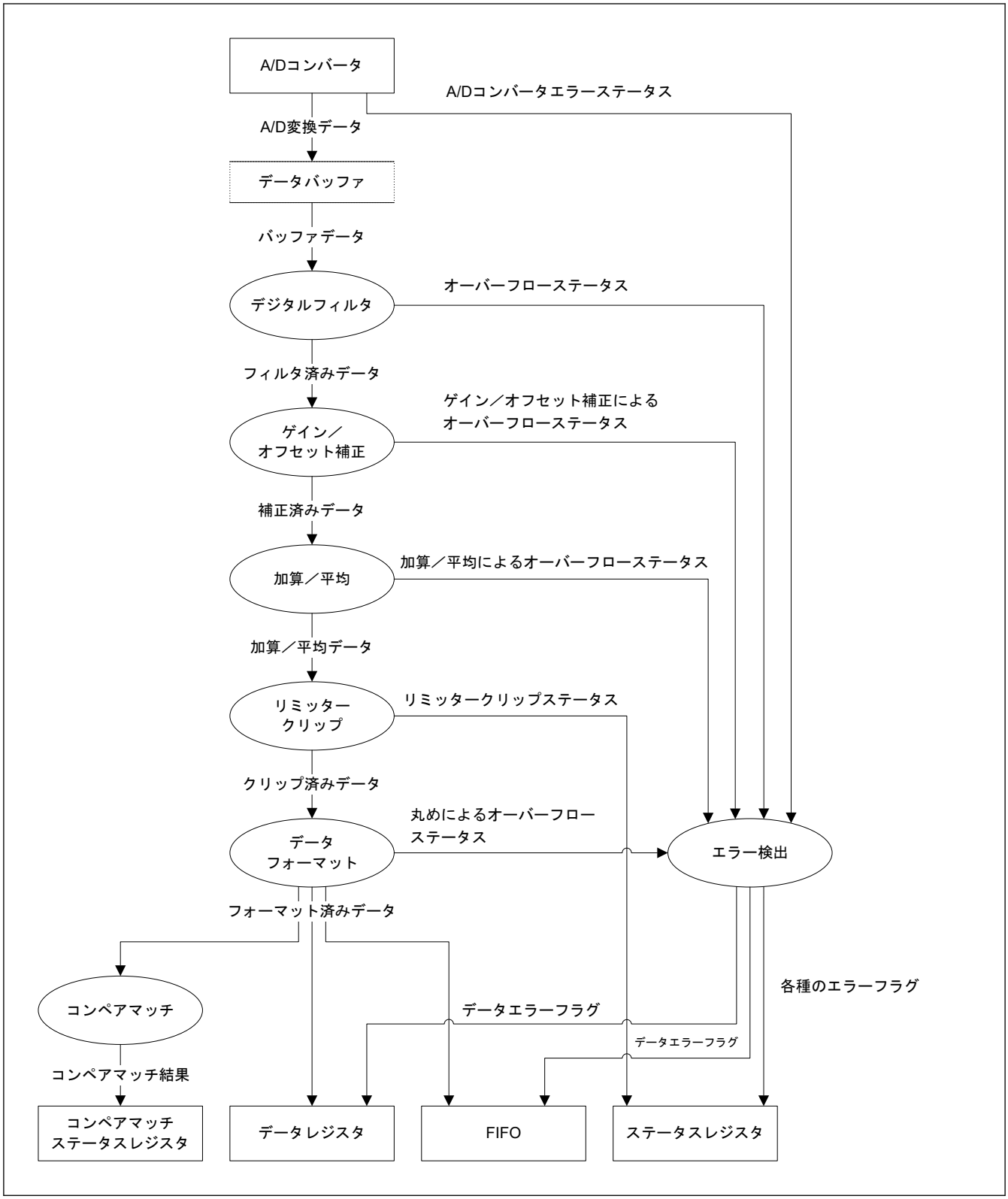


図 53.34　A/D 変換データの内部データフロー図

53.5.2　デジタルフィルタ機能

ADC16H には、A/D コンバータ 1 ユニットにつき 4 つのデジタルフィルタがあります。高精度 A/D 変換の結果は、デジタルフィルタを使用して取得できます。オーバーサンプリングモードまたはハイブリッドモードでは、デジタルフィルタ機能を使用しなければなりません。SAR モードでは、デジタルフィルタ機能は使用禁止です。

53.5.2.1 設定と特性

デジタルフィルタは、22 タップの FIR 型フィルタで構成されています。デジタルフィルタは、ADDOPCRAn.DFSEL[2:0] (n = 0～32) ビットおよび ADDFSRm (m = 0, 1) レジスタで設定します。図 53.35 にデジタルフィルタの構成を示します。

デジタルフィルタ（FIR フィルタ）の種類は、以下から選択できます。デジタルフィルタの特性は、「62. 電気的特性」を参照してください。

[デジタルフィルタの特性一覧]

- Sinc フィルタ

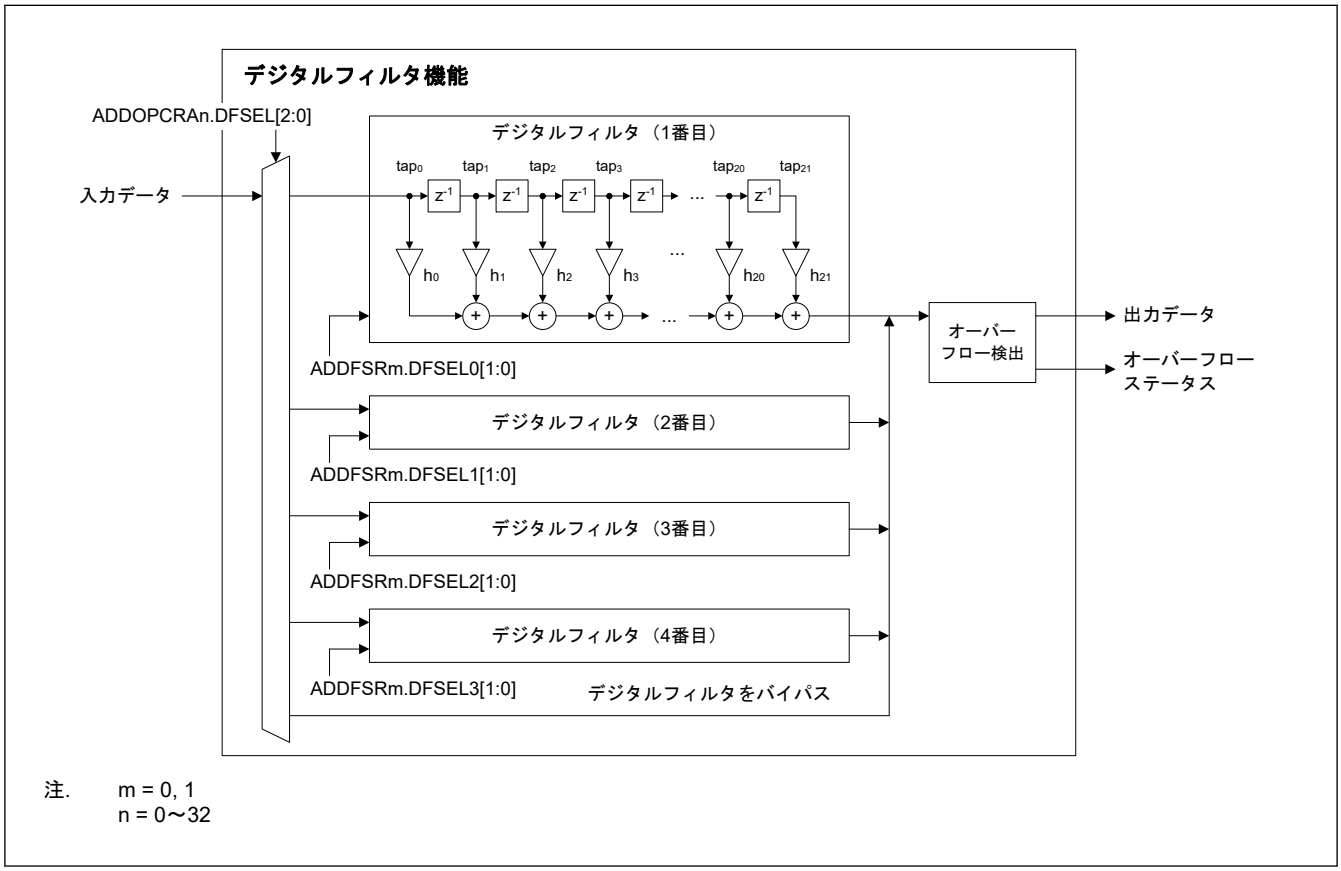


図 53.35 デジタルフィルタのブロック図

53.5.2.2 デジタルフィルタ機能の動作

デジタルフィルタ機能が有効な場合、A/D 変換データはデジタルフィルタに順次入力されます。デジタルフィルタのすべてのタップがデータで満たされている場合、計算結果が出力され、次データの処理に送信されます。

オーバーサンプリングモードおよびハイブリッドモードでのデジタルフィルタの動作を以下に示します。

(1) オーバーサンプリングモードでのデジタルフィルタの動作

オーバーサンプリングモードでは、オーバーサンプリング（A/D 変換）は 1 つのアナログチャネルに対して、連続的に実行されます。オーバーサンプリングが実行されるごとに、A/D 変換データはデジタルフィルタに順次入力されます。デジタルフィルタのすべてのタップがデータで満たされている場合、計算結果が出力され、次データの処理に送信されます。

オーバーサンプリングモードでは、A/D 変換データが次データの処理に出力されると、デジタルフィルタのタップのデータは破棄されます。ただし、A/D 変換値加算／平均機能が使用されている場合、A/D 変換値の加算値または平均値の計算に必要なデータが収集されるまで、デジタルフィルタのタップのデータは保持されます。A/D 変換値加算／平均値が計算されると、デジタルフィルタのタップのデータは破棄されます。

(2) ハイブリッドモードでのデジタルフィルタの動作

ハイブリッドモードは、複数のデジタルフィルタ回路を同時に使用することにより、最大 4 本のアナログチャネルのオーバーサンプリングデータ（A/D 変換データ）を並列に処理できます。オーバーサンプリングが実行されるごとに、A/D 変換データはデジタルフィルタに順次入力されます。デジタルフィルタのすべてのタップがデータで満たされている場合、計算結果が出力され、次データの処理に送信されます。

ハイブリッドモード（シングルスキャンモード）では、スキャン動作の終了時にデジタルフィルタのタップは破棄されます。

ハイブリッドモード（連続スキャンモード）では、連続スキャン動作が継続している限り、デジタルフィルタのタップのデータは更新され続けます。したがって、デジタルフィルタのすべてのタップにデータが満たされた後、各オーバーサンプリングに対して、新しい計算結果が出力されます。A/D 変換の強制停止が原因でスキャン動作が中断されると、デジタルフィルタのタップのデータは破棄されます。

ハイブリッドモード（バックグラウンド連続スキャンモード）でのデジタルフィルタの動作は、ハイブリッドモード（連続スキャンモード）の場合と同じです。バックグラウンド連続スキャン動作中は、デジタルフィルタと他のデータ処理はバックグラウンドでの動作を継続します。A/D 変換の強制停止が原因でスキャン動作が中断されると、デジタルフィルタのタップのデータは破棄されます。

53.5.3 校正と補正

この処理では、A/D コンバータから出力された結果またはデジタルフィルタから出力されたデータに対して、以下が行われます。

1. ゲインエラーとオフセットエラーの校正
2. ユーザーゲインの補正
3. ユーザーオフセットの補正

各処理の詳細については、各項目を参照してください。

53.5.3.1 ゲインエラーとオフセットエラーの校正

この処理では、チップごとの特性ばらつきによる A/D コンバータのゲイン誤差とオフセット誤差を校正します。

A/D コンバータのゲインエラーとオフセットエラーの校正は、自己校正動作によって ADC16H 内部で測定された誤差データに基づく計算により行われます。

A/D コンバータへの入力が VREFH0 (ユニット 0) と VREFH (ユニット 1) の上限、または VREFL0 (ユニット 0) と VREFL (ユニット 1) の下限近くであるときにゲインエラーやオフセットエラーの校正を使用すると、A/D 変換データのオーバーフローが発生する可能性があります。

53.5.3.2 ユーザーゲイン補正

ユーザーゲイン補正機能は、A/D 変換データに任意の係数値を乗じます。

ユーザーゲインの係数値は、ADUGTRn.UGAIN[15:0] (n = 0～7) に設定します。ユーザーゲインは各仮想チャネルに設定できます。使用するユーザーゲインテーブルは、ADDOPCRAm.GAINSEL[3:0] (m = 0～32) で選択します。ユーザーゲインの係数値は、ADUGTRn.UGAIN[15:0]で 1 にしたビットに対応するゲインの合計です。表 53.46 に ADUGTRn.UGAIN[15:0]の各ビットに対応するゲイン係数を示します。表 53.47 にユーザーゲイン設定例を示します。図 53.36 と図 53.37 にユーザーゲイン補正機能を使う場合の、A/D 変換結果の補正前（入力）と補正後（出力）の関係を示します。

ユーザーゲイン補正機能を使用すると、A/D 変換データのオーバーフローが発生する可能性があります。

表 53.46 ユーザーゲイン設定テーブルレジスタの各ゲイン設定ビットに対応するゲイン一覧 (1/2)

UGAIN[15:8]	ゲイン値	UGAIN[7:0]	ゲイン値
b15	2^{1} = 2.0	b7	2^{-7} = 7.813E-03
b14	2^{0} = 1.0	b6	2^{-8} = 3.906E-03
b13	2^{-1} = 0.5	b5	2^{-9} = 1.953E-03
b12	2^{-2} = 0.25	b4	2^{-10} = 9.766E-04

表 53.46　ユーザーゲイン設定テーブルレジスタの各ゲイン設定ビットに対応するゲイン一覧 (2/2)

UGAIN[15:8]	ゲイン値	UGAIN[7:0]	ゲイン値
b11	2^{-3} = 0.125	b3	2^{-11} = 4.883E-04
b10	2^{-4} = 0.0625	b2	2^{-12} = 2.441E-04
b9	2^{-5} = 0.03125	b1	2^{-13} = 1.221E-04
b8	2^{-6} = 1.563E-02	b0	2^{-14} = 6.104E-04

表 53.47　ユーザーゲイン設定例

ADUGTRn.UGAIN[15:0] (n = 0～7)	ゲイン値
0x0000	x0.0000
⋮	⋮
0x0400	x0.0625
⋮	⋮
0x0800	x0.1250
⋮	⋮
0x1000	x0.2500
⋮	⋮
0x2000	x0.5000
⋮	⋮
0x4000（初期値）	x1.0000
⋮	⋮
0x8000	x2.0000
⋮	⋮
0xFFFF	x3.9999

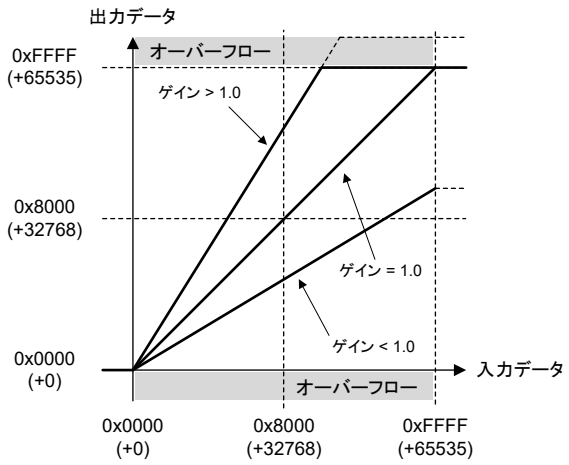


図 53.36　ユーザーゲイン補正（16 ビットデータ長フォーマットおよび符号なしデータフォーマット）

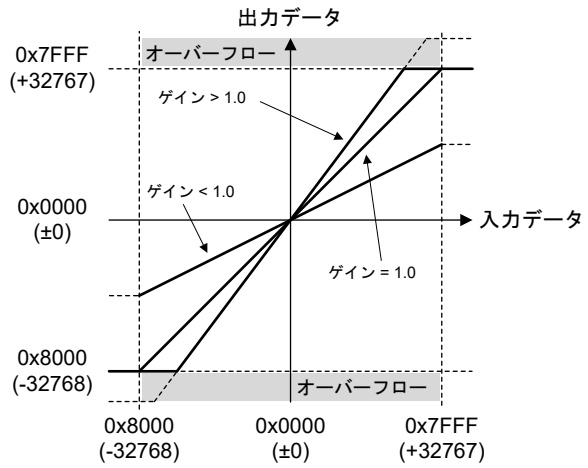


図 53.37　ユーザーゲイン補正（16 ビットデータ長フォーマットおよび符号付きデータフォーマット）

53.5.3.3　ユーザーオフセット補正

ユーザーオフセット補正機能は、A/D 変換データに任意の定数値を足したり、A/D 変換データから任意の定数値を引いたりします。

ユーザーオフセットの定数値は ADUOFTRn.UOFSET[15:0] (n = 0～7) に設定します。ユーザーオフセットは各仮想チャネルに設定できます。使用するユーザーオフセットテーブルは、ADDOPCRAm.OFSETSEL[3:0] (m = 0～32) で選択します。表 53.48 にユーザーオフセットレジスタ設定値とオフセット値の対応を示します。図 53.38 と図 53.39 にユーザーオフセット補正機能を使う場合の、A/D 変換結果の補正前（入力）と補正後（出力）の関係を示します。

ユーザーオフセット補正機能を使用すると、A/D 変換データのオーバーフローが発生する可能性があります。

表 53.48　ユーザーオフセットレジスタ値とオフセット値の対応

ADUOFTRn.UOFSET[15:0] （n = 0～7）	オフセット値（16 ビットデータ長フォーマット）
0x7FFF	+32767
0x7FFE	+32766
0x7FFD	+32765
⋮	⋮
0x0003	+3
0x0002	+2
0x0001	+1
0x0000（初期値）	0
0xFFFF	-1
0xFFFE	-2
0xFFFD	-3
⋮	⋮
0x8002	-32766
0x8001	-32767
0x8000	-32768

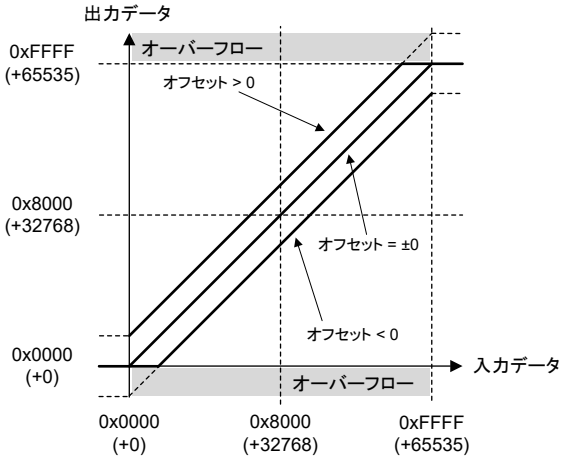


図 53.38　ユーザーオフセット補正（16 ビットデータ長フォーマットおよび符号なしデータフォーマット）

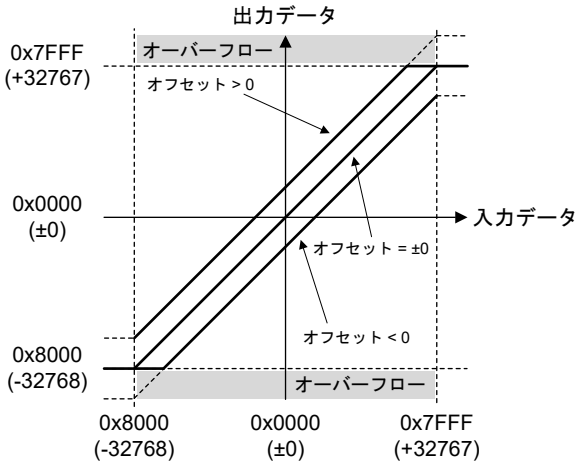


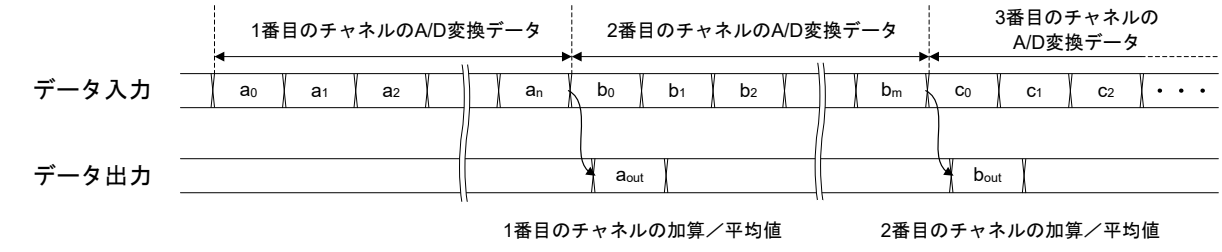
図 53.39　ユーザーオフセット補正（16 ビットデータ長フォーマットおよび符号付きデータフォーマット）

53.5.4　A/D 変換値加算／平均機能

A/D 変換値加算／平均機能は、指定した回数、連続してアナログチャネルの A/D 変換を行い、A/D 変換結果の合計値または平均値を計算します。A/D 変換値加算／平均機能は、ADDOPCRBn.AVEMD[1:0] (n = 0～32) ビットおよび ADDOPCRBn.ADC[3:0] (n = 0～36) ビットで各仮想チャネルに対して設定できます。

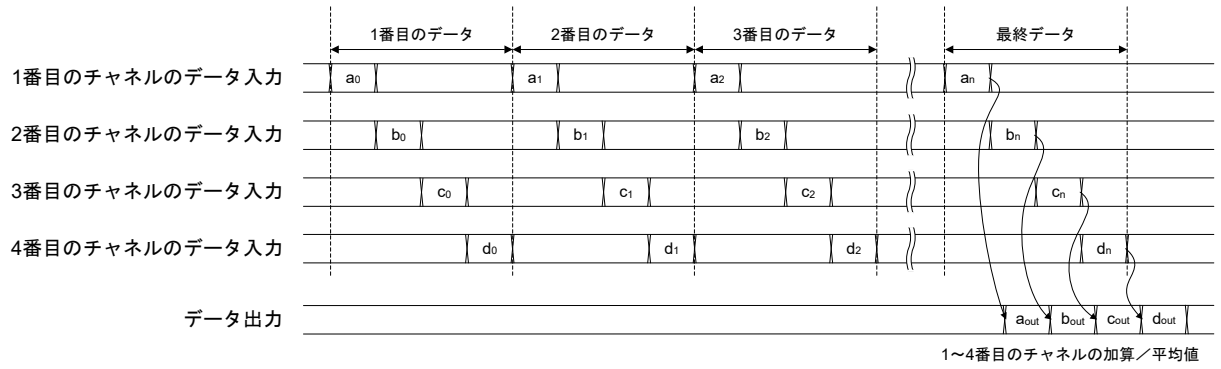
A/D 変換値加算／平均機能は、前のデータ処理の出力を入力します。指定した回数のデータが入力されると、合計値または平均値が計算され、計算結果は次のデータ処理に出力されます。A/D 変換値加算／平均機能を使用する場合、A/D コンバータは、ADDOPCRBn.ADC[3:0] (n = 0～32) ビットで指定した回数のデータを収集するまで、A/D 変換を繰り返します。指定した回数のデータが A/D 変換値加算／平均に入力されるごとに、1 つの計算結果（合計値または平均値）が出力されます。図 53.40 に SAR モードまたはオーバーサンプリングモードでの A/D 変換値加算／平均機能の動作を示します。図 53.41 にハイブリッドモードでの A/D 変換値加算／平均機能の動作を示します。

A/D 変換値加算／平均機能を使用すると、A/D 変換データのオーバーフローが発生する可能性があります。ただし、A/D 変換オーバーフローは特定の条件下では検出されない場合があります。A/D 変換オーバーフローの詳細については、「53.7.2. A/D 変換オーバーフロー」を参照してください。



注. n、m：加算／平均回数

図 53.40 A/D 変換値加算／平均機能の動作例（SAR モードまたはオーバーサンプリングモード）



注. n：加算／平均回数

図 53.41 A/D 変換値加算／平均機能の動作例（ハイブリッドモード）

53.5.5 リミッタークリップ機能

リミッタークリップ機能は、A/D 変換データの上限と下限を設定する機能です。A/D 変換データが指定された上限値を超えると、データは上限値にクリップされます。A/D 変換データが指定された下限値を下回ると、データは下限値にクリップされます。図 53.42 にリミッタークリップ機能の動作例を示します。

リミッタークリップ機能の上限と下限は、ADLIMTRn.LIMU[15:0] (n = 0～7) と ADLIMTRn.LIML[15:0] (n = 0～7) で指定できます。ミッタークリップ機能を使用するかどうか（有効または無効）は、各仮想チャネルに対して ADDOPCRCm.LIMTBLS[3:0] (m = 0～32) で選択できます。

リミッタークリップ機能は 16 ビット長で処理します。A/D 変換データのデータ長として 14 ビット、12 ビット、または 10 ビットを選択した場合（ADDOPCRCm.ADPRC[1:0] = 01b、10b、または 11b (m = 0～32) の場合）、指定したデータ長への切り上げ／切り下げは、リミッタークリップ機能によるクリップ後に行われます。詳細は、「53.5.6. データフォーマット処理」を参照してください。

リミッタークリップ機能の上限と下限は、A/D 変換データの符号選択ビット (ADDOPCRCm.SIGNSEL (m = 0～32)) の設定により、符号付きまたは符号なしとして取り扱われます。

リミッタークリップ機能では、上限値は下限値より大きい値を設定してください（ADLIMTRn.LIMU[15:0] > ADLIMTRn.LIML[15:0] （n = 0～7））。上限値が下限値以下の場合、A/D 変換データは常に 0x0000 になります。

リミッタークリップが発生すると、以下のステータスレジスタにフラグが設定されます。

- ADLIMGRSR : リミッタークリップが発生したスキャングループに対応するビットにフラグが設定されます。
- ADLIMCHSR0 : アナログ入力チャネルの A/D 変換中にリミッタークリップが発生すると、対応するビットにフラグが設定されます。
- ADLIMEXSR : 拡張アナログ機能の A/D 変換中にリミッタークリップが発生すると、対応するビットにフラグが設定されます。

ステータスレジスタのフラグをクリアするには、ADLIMGRSCR、ADLIMCHSCR0、ADLIMEXSCR の関連するビットに 1 を書き込みます。

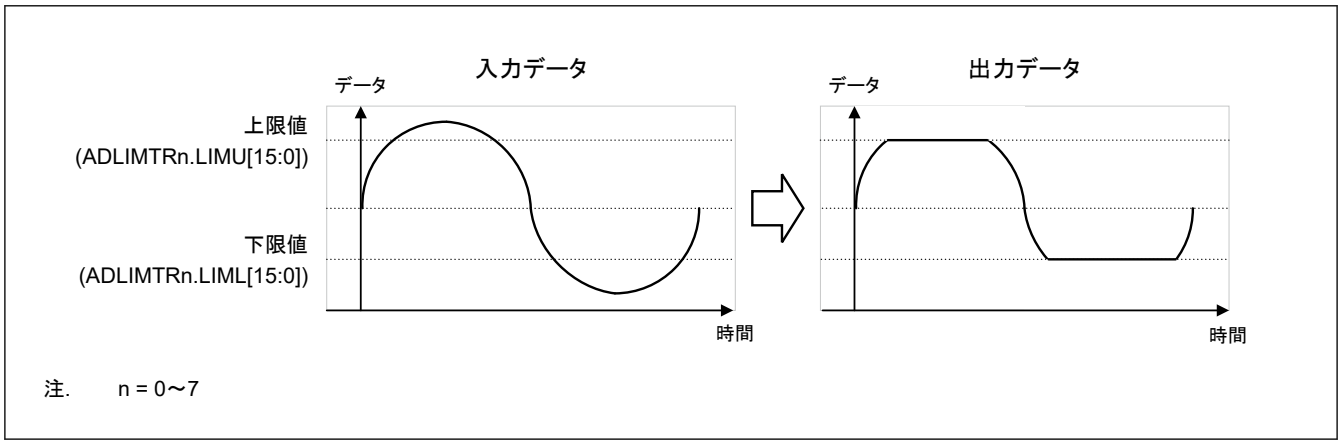


図 53.42 リミッタークリップ機能の動作例

53.5.6 データフォーマット処理

この処理では、A/D 変換データに関して以下のフォーマット処理が行われます。

- 符号付き／符号なしデータ処理
- データの丸め処理

この処理でフォーマット処理されたデータは、A/D データレジスタ (ADDRi (i = 0～22))、拡張 A/D データレジスタ (ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22))、および FIFO データレジスタ (ADFIFODRk (k = 0～8)) の DATA[15:0]ビットに、A/D 変換結果として格納されます。

データフォーマットの詳細については、「53.5.7. データフォーマット」を参照してください。

53.5.6.1 符号付き／符号なしデータ処理

A/D 変換データは、ADDOPCRCn.SIGNSEL (n = 0～32) ビットの設定に基づいて、符号付きまたは符号なしデータフォーマットに処理されます。差動入力モードに対しては符号付きデータフォーマット (SIGNSEL = 0) 、シングルエンド入力モードに対しては符号なしデータフォーマット (SIGNSEL = 1) を選択してください。

53.5.6.2 データの丸め処理

A/D 変換データは、ADDOPCRCn.ADPRC[1:0] (n = 0～32) ビットの設定に基づいて、データ長に応じて丸め処理が行われます。14 ビット、12 ビット、または 10 ビットデータフォーマットが選択された場合 (ADPRC[1:0] = 01b, 10b, 11b)、A/D 変換データの下位ビットは丸められます。(切り捨てられる桁の最上位ビットが 0 の場合は切り下げ、1 の場合は切り上げです。) 16 ビットデータフォーマットが選択された場合 (ADPRC[1:0] = 00b)、A/D 変換データの丸めは行われません。

53.5.7 データフォーマット

本節では、A/D データレジスタ (ADDRi (i = 0～22))、拡張 A/D データレジスタ (ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22))、および FIFO データレジスタ (ADFIFODRk (k = 0～8)) の DATA[15:0]ビットに格納される A/D 変換結果のデータフォーマットについて説明します。

注. データフォーマットは、A/D コンバータ自体の分解能と精度を保証するものではありません。A/D コンバータの特性については、「62. 電気的特性」を参照してください。

(1) 16 ビットデータ長フォーマット

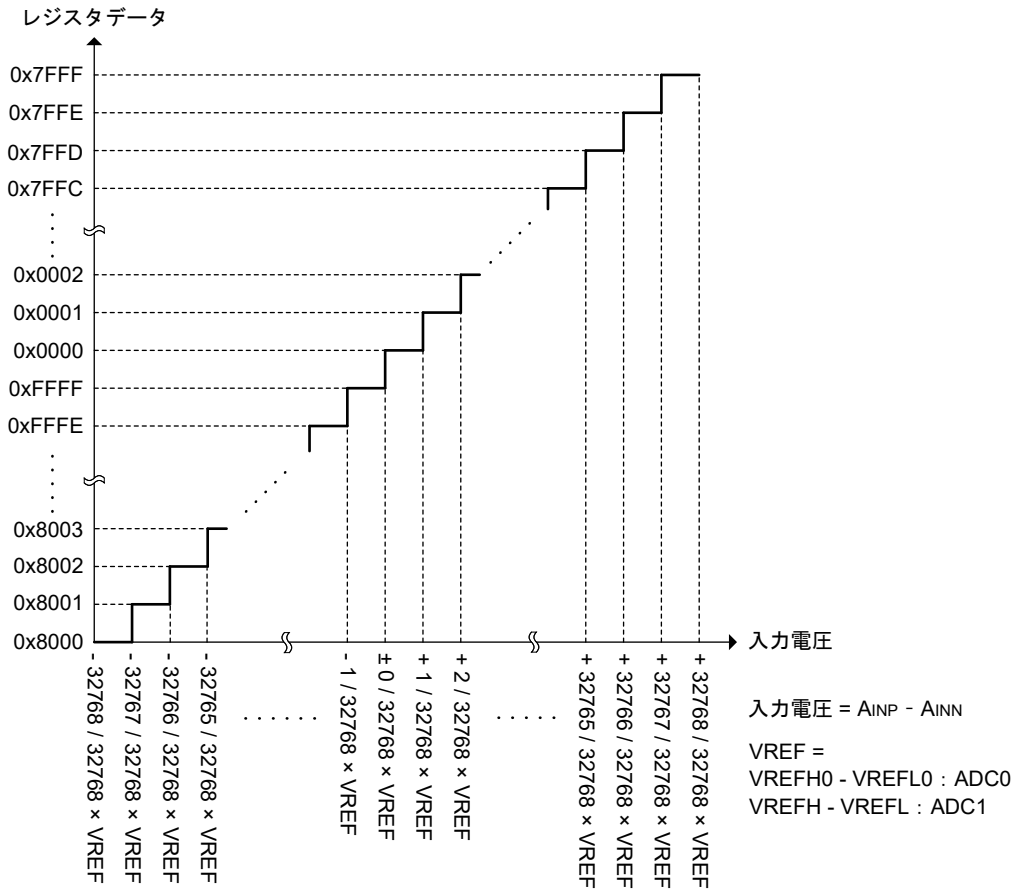
表 53.49 に 16 ビットデータフォーマットの A/D 変換データのアライメントを示します。図 53.43 と図 53.44 に 16 ビットデータフォーマットのデータ範囲を示します。

16 ビットデータ長の符号付きデータフォーマットでは、差動入力電圧は 0x8000～0x7FFF の範囲に A/D 変換されます。この範囲は、電圧範囲-VREFH0～+VREFH0（ADC0 の場合）または電圧範囲-VREFH～+VREFH（ADC1

の場合）に対応します。16 ビットデータ長の符号なしデータフォーマットでは、シングルエンド入力電圧は 0x0000～0xFFFF の範囲に A/D 変換されます。この範囲は、電圧範囲 VREFL0～VREFH0（ADC0 の場合）または電圧範囲 VREFL～VREFH（ADC1 の場合）に対応します。

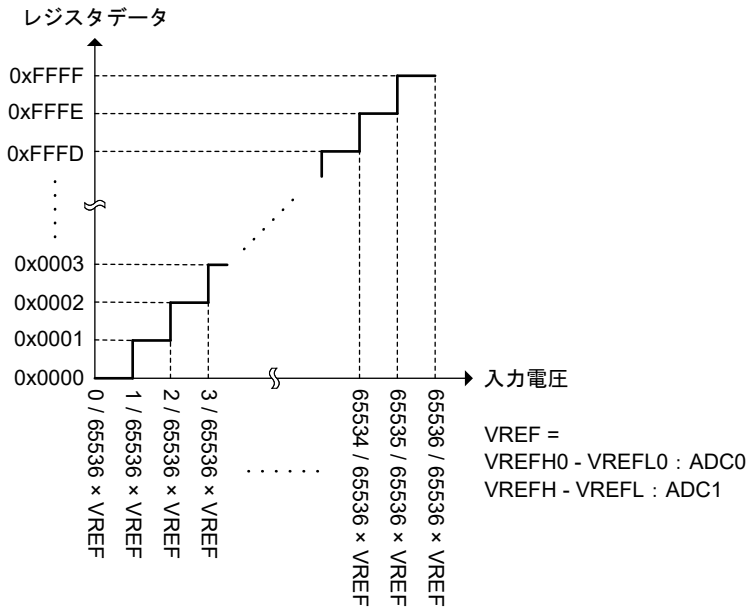
表 53.49　A/D 変換結果データのアライメント（16 ビットデータ長）

ビット位置:	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ビットフィールド:	DATA [15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R



注.　この図は理想的な A/D 変換特性の場合を示します。

図 53.43　A/D 変換結果のデータ範囲（16 ビットデータ長、符号付きデータ、差動入力）



注. 上の図は理想的な A/D 変換特性の場合を示します。

図 53.44 A/D 変換結果のデータ範囲（16 ビットデータ長、符号なしデータ、シングルエンド入力）

(2) 14 ビットデータ長フォーマット

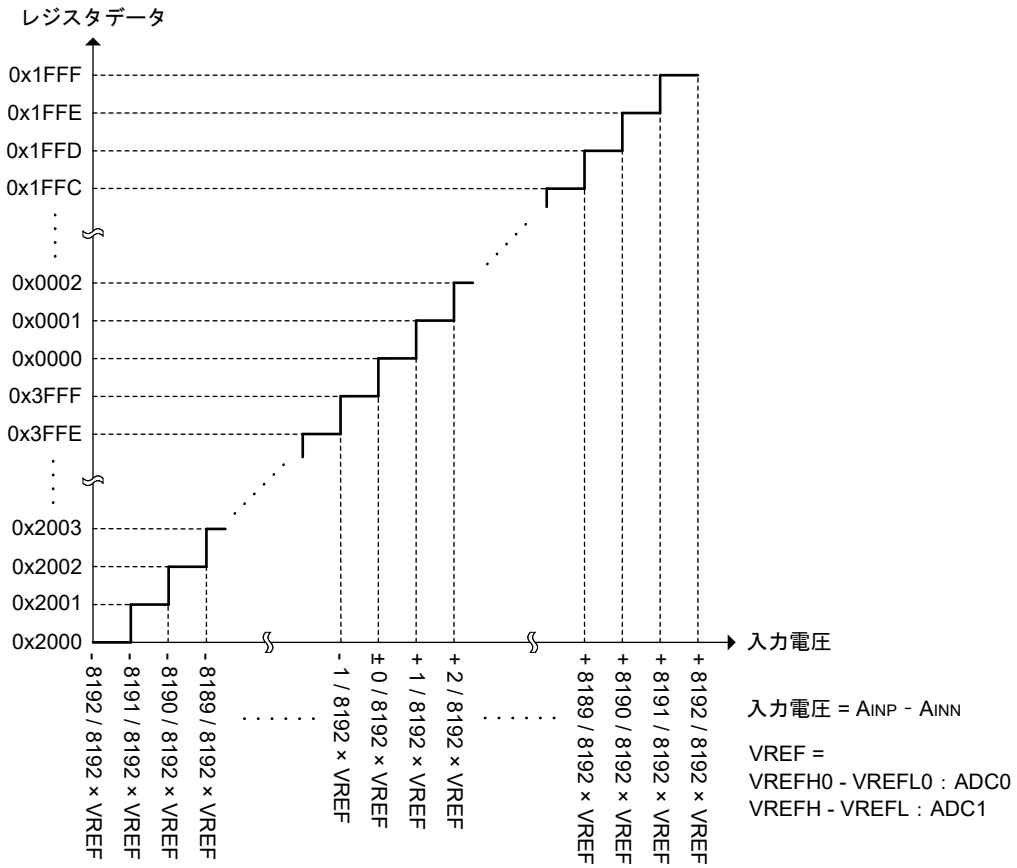
表 53.50 に 14 ビットデータフォーマットの A/D 変換データのアライメントを示します。図 53.45 と図 53.46 に 14 ビットデータフォーマットのデータ範囲を示します。

14 ビットデータ長の符号付きデータフォーマットでは、差動入力電圧は-VREFH0～+VREFH0 の範囲（ADC0 の場合）または-VREFH～+VREFH の範囲（ADC1 の場合）として 0x2000～0x1FFF の範囲に A/D 変換されます。14 ビットデータ長の符号なしデータフォーマットでは、シングルエンド入力電圧は VREFL0～VREFH0 の範囲（ADC0 の場合）または VREFL～VREFH の範囲（ADC1 の場合）として 0x0000～0x3FFF の範囲に A/D 変換されます。

14 ビットデータ長の場合、上位 2 ビット（ビット 15～ビット 14）は常に 0 です。

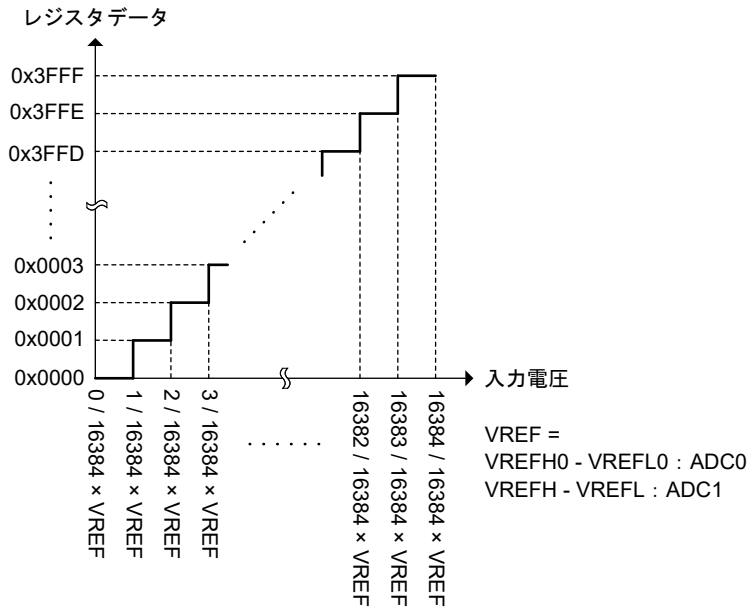
表 53.50 A/D 変換結果データのアライメント（14 ビットデータ長）

ビット位置:	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ビットフィールド:	0	0	DATA[13:0]													
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R



注. この図は理想的な A/D 変換特性の場合を示します。

図 53.45 A/D 変換結果のデータ範囲（14 ビットデータ長、符号付きデータ、差動入力）



注. 上の図は理想的な A/D 変換特性の場合を示します。

図 53.46 A/D 変換結果のデータ範囲（14 ビットデータ長、符号なしデータ、シングルエンド入力）

(3) 12 ビットデータ長フォーマット

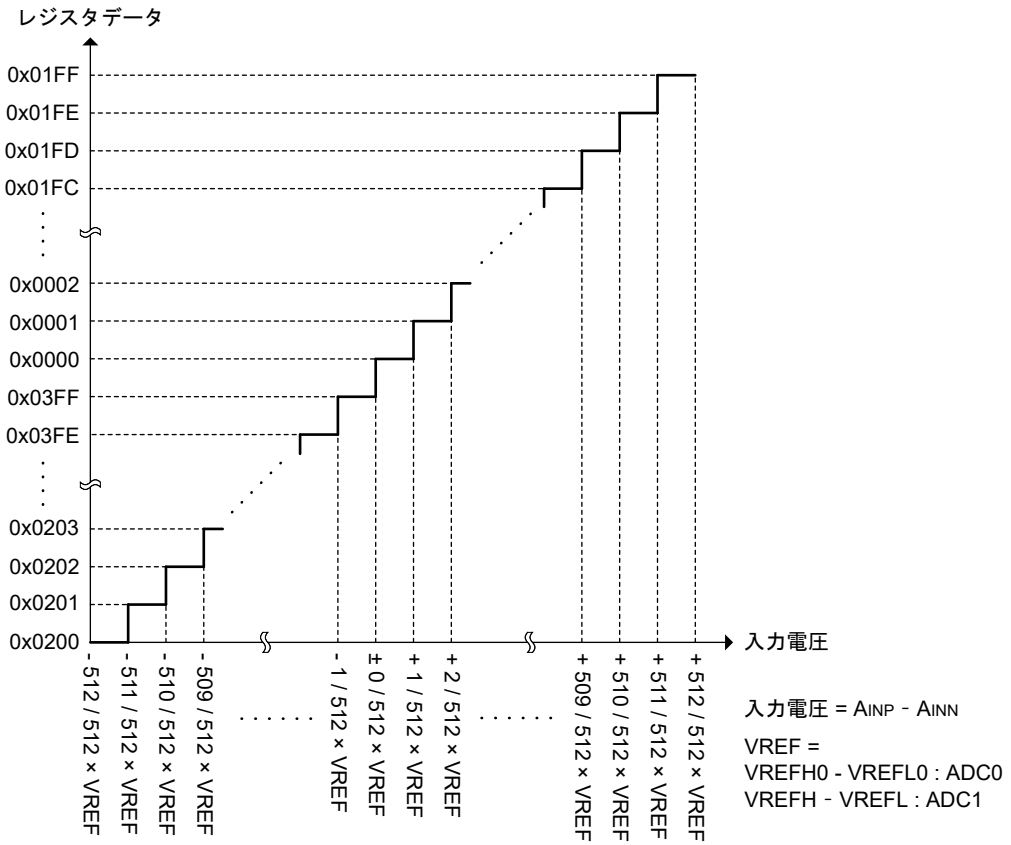
表 53.51 に 12 ビットデータフォーマットの A/D 変換データのアライメントを示します。図 53.47 と図 53.48 に 12 ビットデータフォーマットのデータ範囲を示します。

12 ビットデータ長の符号付きデータフォーマットでは、差動入力電圧は-VREFH0～+VREFH0 の範囲（ADC0 の場合）または-VREFH～+VREFH の範囲（ADC1 の場合）として 0x0800～0x07FF の範囲に A/D 変換されます。12 ビットデータ長の符号なしデータフォーマットでは、シングルエンド入力電圧は VREFL0～VREFH0 の範囲（ADC0 の場合）または VREFL～VREFH の範囲（ADC1 の場合）として 0x0000～0x0FFF の範囲に A/D 変換されます。

12 ビットデータ長の場合、上位 4 ビット（ビット 15～ビット 12）は常に 0 です。

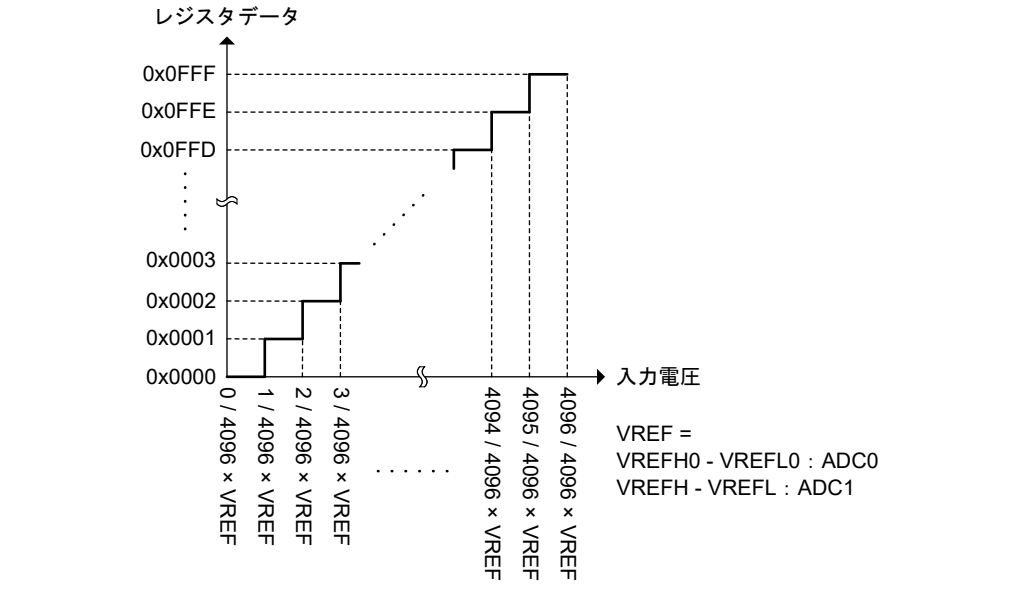
表 53.51 A/D 変換結果データのアライメント（12 ビットデータ長）

ビット位置:	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ビットフィールド:	0	0	0	0	DATA[11:0]											
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R



注. この図は理想的な A/D 変換特性の場合を示します。

図 53.47 A/D 変換結果のデータ範囲（12 ビットデータ長、符号付きデータ、差動入力）



注. 上の図は理想的な A/D 変換特性の場合を示します。

図 53.48 A/D 変換結果のデータ範囲（12 ビットデータ長、符号なしデータ、シングルエンド入力）

(4) 10 ビットデータ長フォーマット

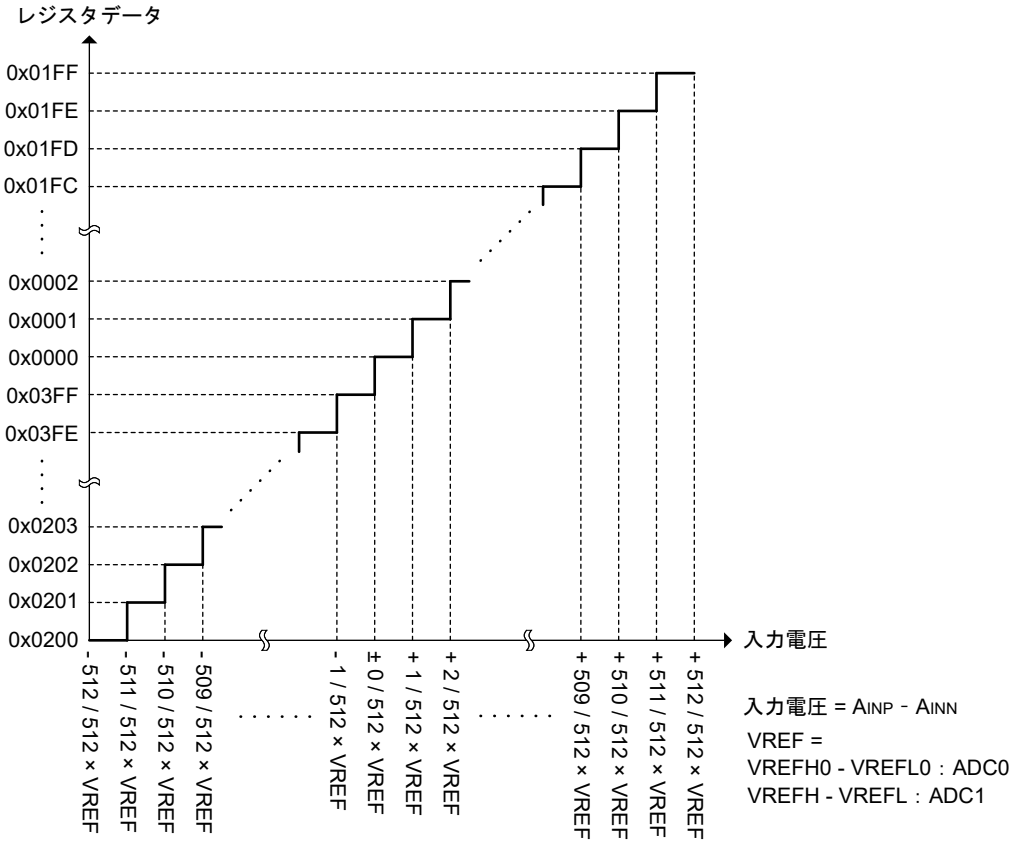
表 53.52 に 10 ビットデータフォーマットの A/D 変換データのアライメントを示します。図 53.49 と図 53.50 に 10 ビットデータフォーマットのデータ範囲を示します。

10 ビットデータ長の符号付きデータフォーマットでは、差動入力電圧は-VREFH0～+VREFH0 の範囲（ADC0 の場合）または-VREFH～+VREFH の範囲（ADC1 の場合）として 0x0200～0x01FF の範囲に A/D 変換されます。10 ビットデータ長の符号なしデータフォーマットでは、シングルエンド入力電圧は VREFL0～VREFH0 の範囲（ADC0 の場合）または VREFL～VREFH の範囲（ADC1 の場合）として 0x0000～0x03FF の範囲に A/D 変換されます。

10 ビットデータ長の場合、上位 6 ビット（ビット 15～ビット 10）は常に 0 です。

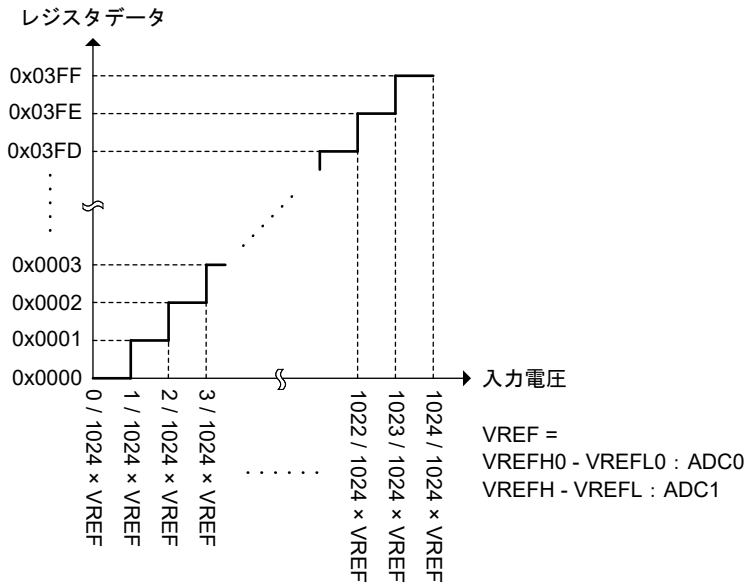
表 53.52 A/D 変換結果データのアライメント（10 ビットデータ長）

ビット位置:	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ビットフィールド:	0	0	0	0	0	0	DATA [9:0]									
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R



注. この図は理想的な A/D 変換特性の場合を示します。

図 53.49 A/D 変換結果のデータ範囲（10 ビットデータ長、符号付きデータ、差動入力）



注. 上の図は理想的な A/D 変換特性の場合を示します。

図 53.50 A/D 変換結果のデータ範囲（10 ビットデータ長、符号なしデータ、シングルエンド入力）

53.5.8 コンペアマッチ機能

53.5.8.1 コンペアマッチ

コンペアマッチ機能は、A/D 変換結果と、コンペアマッチテーブルレジスタ (ADCMPTBRn (n = 0～7)) に設定した参照値を比較します。コンペアマッチ機能は、データフォーマット処理の後に A/D 変換データを比較します。

(1) コンペアマッチモード

コンペアマッチを検出するための比較モードは ADCMPMDRm.CMPMDn[1:0] （m = 0, 1. n = 0～7）で選択します。比較モードは以下の 4 つのモードから選択できます。

1. A/D 変換値が指定された上限値以上の場合にコンペアマッチを検出する。
2. A/D 変換値が指定された下限値以下の場合にコンペアマッチを検出する。
3. A/D 変換値が指定された上限値以上の場合、または下限値以下の場合にコンペアマッチを検出する。
4. A/D 変換値が指定された上限値と下限値の間にある場合（変換値が上限値以下かつ下限値以上の場合）にコンペアマッチを検出する。

図 53.51 にコンペアマッチの検出例を示します。

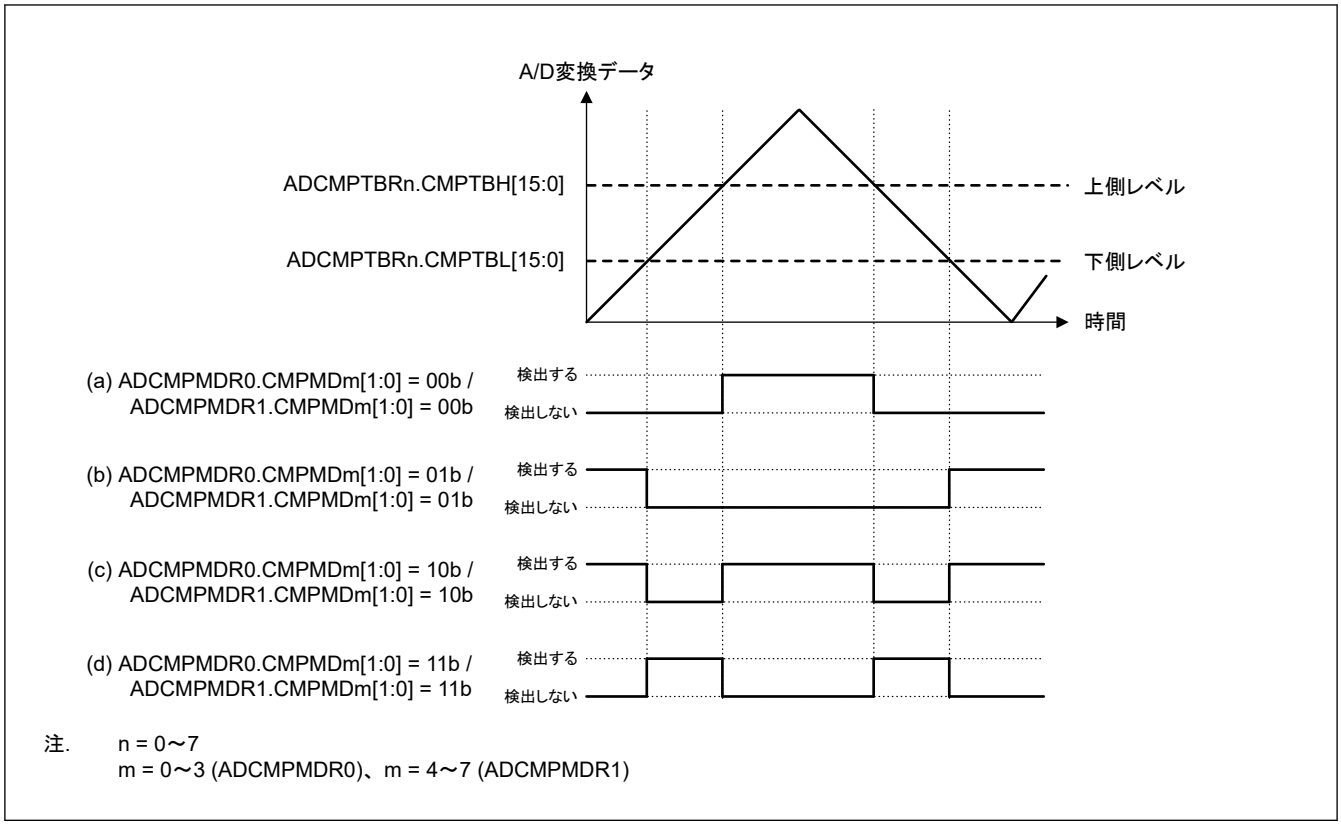


図 53.51 コンペアマッチ検出

(2) コンペアマッチ検出

コンペアマッチ機能を使用する場合、ADCMPENR レジスタで使われているコンペアマッチテーブルを有効にし、各仮想チャネルに対して ADDOPCRBn.CMPTBLEm (n = 0～32, m = 0～7) 内のコンペアマッチテーブルを選択します。

コンペアマッチ機能を有効にした仮想チャネルに対して A/D 変換を行うと、そのチャネルの A/D 変換結果に基づいてコンペアマッチが判断されます。

コンペアマッチが検出されると、以下のステータスレジスタでフラグが設定されます。

- ADCMPTBSR：コンペアマッチが検出されたときに使用されたコンペアマッチテーブルに関連するビットにフラグが設定されます。
- ADCMPCHSR0：コンペアマッチを検出したアナログ入力チャネルに対応するビットにフラグが設定されます。
- ADCMPEXSR：コンペアマッチが検出された拡張アナログ機能に対応するビットにフラグが設定されます。

各ステータスレジスタのフラグをクリアするには、ADCMPTBSCR、ADCMPCHSCR0、ADCMPEXSCR の該当ビットに 1 を書き込みます。

ADCMPINTCR レジスタでコンペアマッチ割り込みが許可され、コンペアマッチテーブル 0～3 を使用するコンペアマッチが検出された場合、対応する割り込みが生成されます。

53.5.8.2 複合コンペアマッチ

複合コンペアマッチ機能は、複数のコンペアマッチテーブルの比較結果を組み合わせ、割り込みと ELC イベントを生成します。複合コンペアマッチ機能のコンペアマッチテーブルの組み合わせと条件は、ADCCMPCR0 または ADCCMPCR1 で設定します。

指定した条件に一致するコンペアマッチが検出された場合、複合コンペアマッチ割り込みが生成されます。

図 53.52 に複合コンペアマッチ機能とコンペアマッチ機能の関係を示します。表 53.53 に複合コンペアマッチ機能とコントロールレジスタの対応を示します。

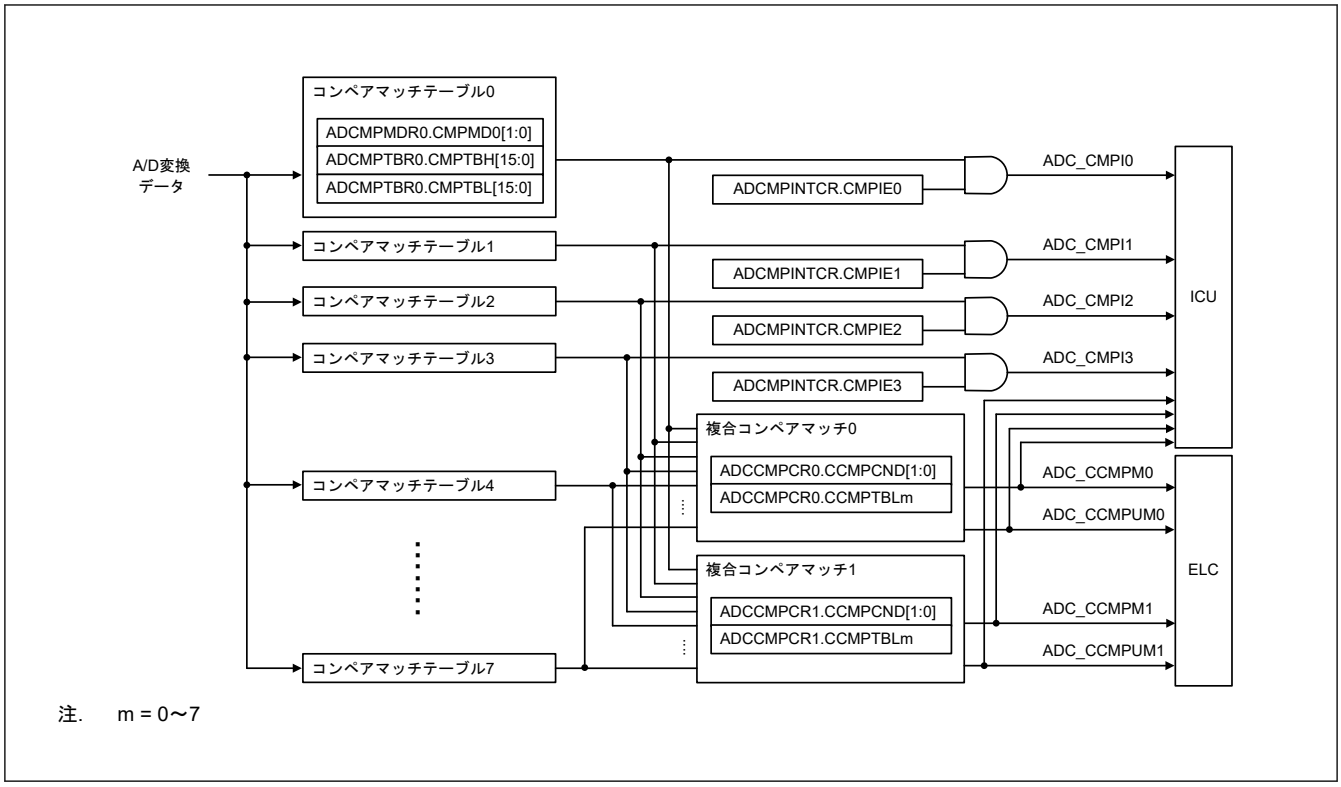


図 53.52 複合コンペアマッチ機能とコンペアマッチ機能の関係

表 53.53 複合コンペアマッチとコントロールレジスタ

機能名	複合コンペアマッチ機能の有効化	複合コンペアマッチモードの選択	複合コンペアマッチ割り込み
複合コンペアマッチ 0	ADCCMPCR0.CCMPTBLm （m = 0～7）	ADCCMPCR0.CCMPCND[1:0]	ADC_CCMPM0 ADC_CCMPUM0
複合コンペアマッチ 1	ADCCMPCR1.CCMPTBLm (m = 0～7)	ADCCMPCR1.CCMPCND[1:0]	ADC_CCMPM1 ADC_CCMPUM1

53.5.9 データレジスタ

A/D データレジスタ (ADDRi (i = 0～22)) および拡張 A/D データレジスタ (ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22)) は、各レジスタに対応するアナログチャネルの A/D 変換データを格納します。各レジスタに対応するアナログチャネルの A/D 変換が完了すると、これらのレジスタは更新（上書き）されます。

53.5.10 FIFO 機能

FIFO は 8 ステージのレジスタで構成され、最大 8 つの A/D 変換データを保持できます。1 つの FIFO が各スキャングループに実装されます。FIFO に格納された A/D 変換データは、ADFIFODRn レジスタ（n = 0～8）から読み出すことができます。

FIFO はリングバッファの役割をします。FIFO に対する A/D 変換データの読み書きは、FIFO 内の読み出しポインタと書き込みポインタが制御します。FIFO のブロック図を図 53.53 に示します。

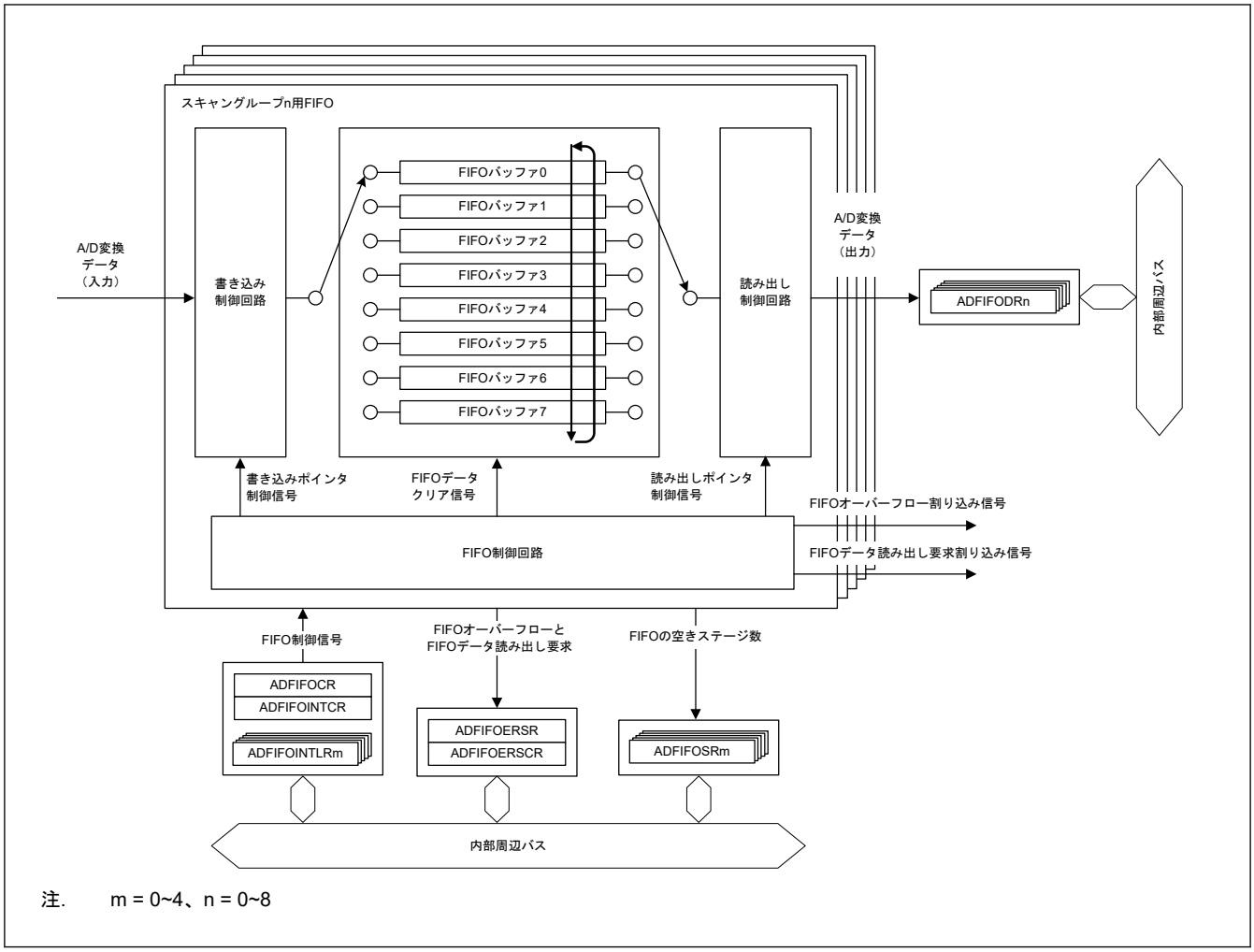


図 53.53 FIFO のブロック図

53.5.10.1 FIFO に A/D 変換データを書き込む場合の動作

A/D 変換データは、書き込みポインタが示すレジスタに順番に格納されます。A/D 変換データが FIFO 内のレジスタに書き込まれると、書き込みポインタは次のレジスタに切り替わります。このとき、空きステージ数（ADFIFOSRm.FIFOSTn[3:0]（m = 0～4、n = 0～8）ビット）は 1 つ減ります。

FIFO がフル（ADFIFOSRm.FIFOSTn[3:0]ビットが 0000b）のときに追加の A/D 変換データが FIFO に書き込まれると、FIFO オーバーフローが発生します。FIFO オーバーフローが発生した場合、A/D 変換データは書き込まれず、書き込みポインタは変化しません。

53.5.10.2 FIFO から A/D 変換データを読み出す場合の動作

FIFO データレジスタ（ADFIFODRn（n = 0～8））から A/D 変換データを読み出す場合、FIFO 読み出しポインタが示すレジスタ内のデータが読み出されます。FIFO から A/D 変換データを読み出すと、読み出しポインタは次のレジスタに切り替わります。このとき、空きステージ数（ADFIFOSRm.FIFOSTn[3:0]（m = 0～4、n = 0～8）ビット）は 1 つ増えます。

FIFO が空（ADFIFOSRm.FIFOSTn[3:0]ビットが 1111b）のときに FIFO からの読み出しが発生すると、無効データが読み出されます。（リセットの後または FIFO データがクリアされた後に FIFO が読まれると、0x00000000 が読み出されます。FIFO 内のレジスタにすでにデータが書き込まれている場合、前のデータが読み出されます。）FIFO が空のときの読み出し動作では、読み出しポインタが変化しません。

FIFO データレジスタ (ADFIFODRn) から A/D 変換データを読み出す際は、32 ビットでアクセスしてください。詳細は、「53.5.10.5. FIFO 使用上の注意事項」を参照してください。

53.5.10.3 FIFO データ読み出し要求とオーバーフロー

FIFO に対して A/D 変換データを読み書きする場合、読み出しポインタまたは書き込みポインタが変化します。読み出しポインタと書き込みポインタの状態に応じて、FIFO 内の空きステージ数が ADFIFOSRm.FIFOSTn[3:0]（m = 0～4、n = 0～8）に反映されます。

空きステージ数が ADFIFOINTLRm.FIFOILVn[3:0]（m = 0～4、n = 0～8）ビットで指定した値以下になると、FIFO データ読み出し要求フラグが設定されます (ADFIFOERSR.FIFOFLFn = 1 (n = 0～8))。FIFO データ読み出し要求が発生すると、FIFO データ読み出し要求割り込みを生成できます。

FIFO がフル（ADFIFOSRm.FIFOSTn[3:0]ビットが 0000b）のときに追加の A/D 変換データが書き込まれると、FIFO オーバーフローフラグが設定されます (ADFIFOERSR.FIFOOVFn = 1 (n = 0～8))。FIFO オーバーフローが発生すると、FIFO データオーバーフロー割り込みを生成できます。

53.5.10.4 FIFO データのクリア

FIFO のレジスタ内に格納されたデータをクリアするには、ADFIFODCR.FIFODCn（n = 0～8）ビットに書き込みをします。ADFIFODCR.FIFODCn ビットに 1 を書き込むと、FIFODCn ビットに対応するスキャングループの FIFO 内のレジスタ、読み出しポインタ、および書き込みポインタが初期化されます。FIFO データのクリアは、A/D 変換を行っていないときに実行してください。

53.5.10.5 FIFO 使用上の注意事項

- 読み出し
  FIFO データレジスタ (ADFIFODRn (n = 0～8)) からの A/D 変換データの読み出しは、単一の 32 ビットアクセスで実行してください。ADFIFODRn の各ビットへのアクセス、16 ビット読み出しアクセス、および 8 ビット読み出しアクセスは禁止されています。これらの制限に違反した場合、読み出しポインタが正常に変更されない可能性があるため FIFO の動作は保証されず、正しいデータを読み出せない可能性があります。また、読み出しポインタの値が予想外に増え、A/D 変換データが失われる可能性があります。
- 再スキャン
  グループ優先動作 (ADGSPCR.PGSm = 1 (m = 0, 1) や ADGSPCR.LGRPSm = 0 (m = 0, 1)) でのスキャン再開によって最初のチャネルから再スキャンが行われる場合は、優先順位が最上位でないスキャングループに対して FIFO のクリア (ADFIFOCR.FIFOCEn = 1 (n = 0～8)) を有効にしてください。
- クリア
  FIFO のクリアが有効 (ADFIFOCR.FIFOCEn = 1 (n = 0～8)) な場合、スキャン開始時またはスキャン再開時に FIFO に残っているすべてのデータがクリアされます。必要な FIFO データが読み出される前に FIFO がクリアされないように、スキャンの開始タイミングを制御します。
  スキャンの開始／再開による FIFO データ機能のクリアは、SAR モードとグループ優先動作以外では禁止されることに注意してください。

53.5.11 データ出力デシメーション機能

オーバーサンプリングモード（1 チャネル連続スキャンモード）では、変換データ出力のデシメーションが可能です。変換データの出力間隔は、ADDECCR.DCIMm (m = 0, 1) を使用してユニットごとに設定できます。この機能を使用して変換データ出力のデシメーションを行うときには、割り込み出力のデシメーションも行われます。

この機能を加算モードまたは平均モードで使用する場合、変換データの出力間隔は、変換データが加算または平均された後、この機能による減算が行われた回数の期間となります。加算モードまたは平均モードでは、この機能による減算の対象となるデータは、加算や平均の処理を行う前のデータです。

図 53.54 と図 53.55 に、4 回ごとにデータが出力される場合の動作例を示します。

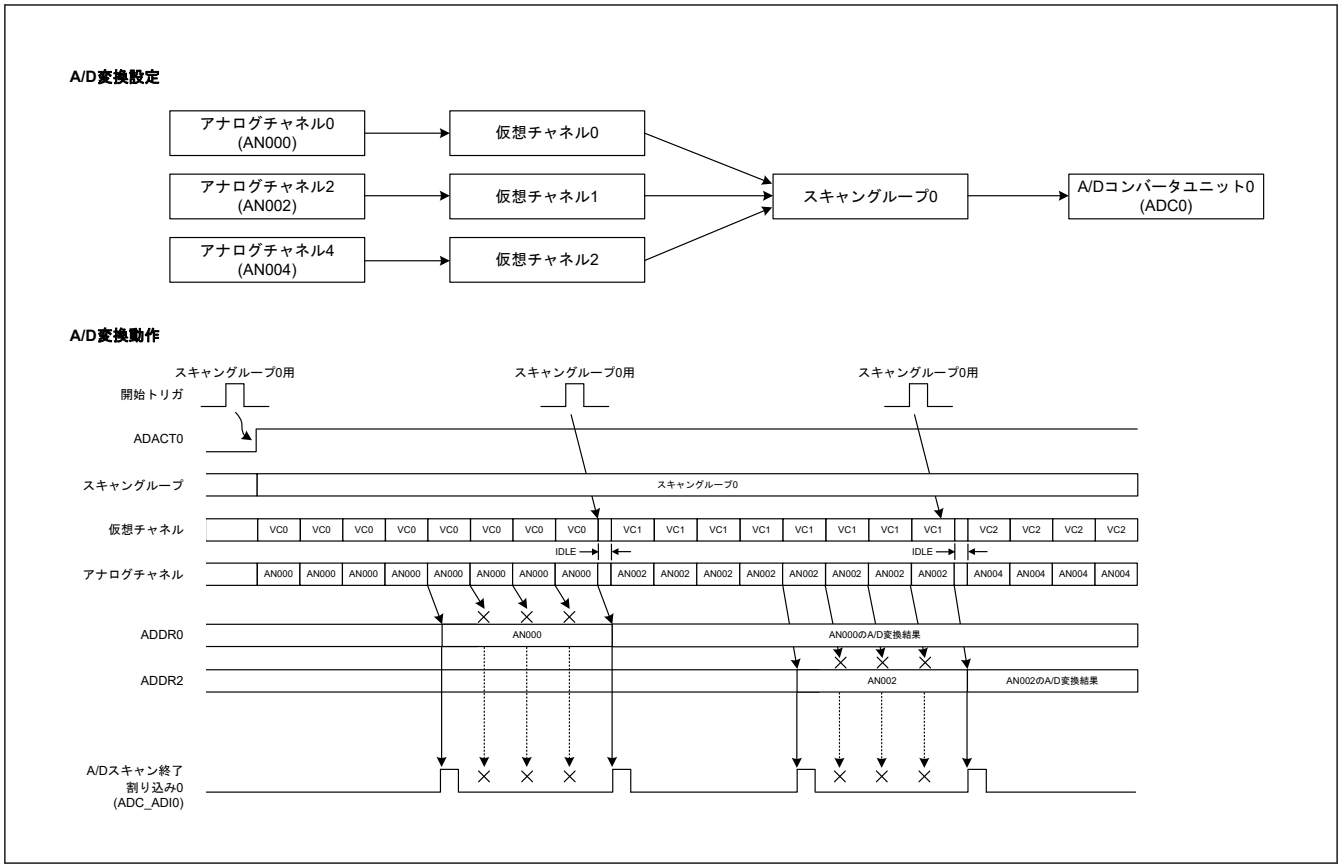


図 53.54　データ出力デシメーション機能の例（4 回ごとに出力）

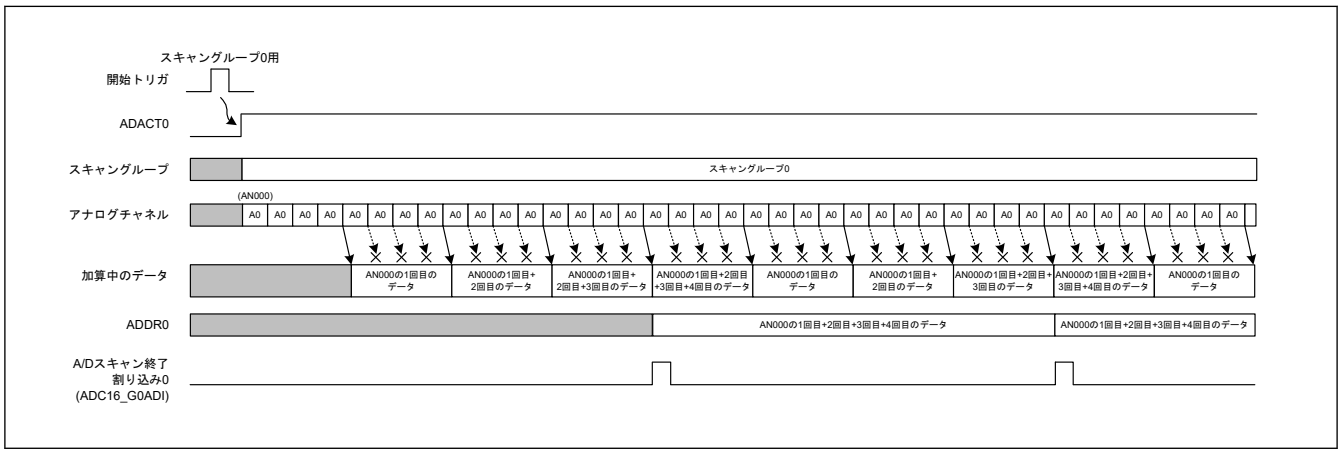


図 53.55　加算機能が有効な場合（加算回数は 4 回）のデータ出力デシメーション機能の例（4 回ごとに出力）

53.5.12　A/D 変換データエラー検出

A/D データレジスタ (ADDRi (i = 0～22))、拡張 A/D データレジスタ (ADEXDRj (j = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22))、および FIFO データレジスタ (ADFIFODRk (k = 0～8)) の ERR ビットは、A/D 変換データエラーを示すフラグです。A/D 変換データエラーは、無効な A/D 変換データが検出されたことを示します。A/D 変換データエラーが発生した場合 (ERR = 1)、A/D 変換データは保証されません。

A/D 変換データエラーは以下の要因で発生します。

- A/D コンバータエラー
- A/D 変換オーバーフロー

これらのエラーの詳細については、「53.7. エラー検出」を参照してください。

53.6 A/D 変換の開始および停止制御

53.6.1 ソフトウェアトリガ

スキャングループ n の A/D 変換は、ADSTRn.ADST（n = 0〜8）ビットまたは ADSYSTR.ADSYSTn（n = 0〜8）ビットに 1 を書くことで開始できます。

ADSTRn.ADST ビットは、各スキャングループの A/D 変換を個別に開始するために使用します。
ADSYSTR.ADSYSTn ビットは、ADC0 または ADC1 に割り当てられたスキャングループの A/D 変換を同時に開始するために使用します。

グループ優先動作時を除き、A/D 変換中の A/D コンバータを使用するスキャングループに対する ADSTRn.ADST ビットまたは ADSYSTR.ADSYSTn ビットへの書き込みは無視されます。

53.6.2 周辺モジュールトリガ

以下の周辺モジュールからのトリガによって、A/D 変換を開始できます。

- ELC トリガ
- GPT トリガ
- 外部トリガ（入出力ポート）

周辺モジュールからのトリガで A/D 変換を行うには、各スキャングループに対するトリガを設定し、ADTRGENR レジスタで周辺モジュールからのトリガ入力を有効にします。

53.6.2.1 ELC トリガ

イベントリンクコントローラからのイベント（ELC イベント）によって A/D 変換を開始できます。ELC イベントを使って A/D 変換を開始するには、ELC イベントを使用するスキャングループを ADTRGELCn（n = 0〜8）レジスタで設定し、A/D 変換開始トリガを ADTRGENR レジスタで有効にします。表 53.54 に ADTRGELCn レジスタと ELC イベントの対応を示します。

表 53.54 ELC トリガイネーブルレジスタと ELC イベントの対応

レジスタビット	イベント名
ADTRGELCn.TRGELC0	ELC_AD00
ADTRGELCn.TRGELC1	ELC_AD01
ADTRGELCn.TRGELC2	ELC_AD02
ADTRGELCn.TRGELC3	ELC_AD10
ADTRGELCn.TRGELC4	ELC_AD11
ADTRGELCn.TRGELC5	ELC_AD12

注. n = 0〜8

53.6.2.2 GPT トリガ

汎用 PWM タイマ (GPT) からの割り込み要因によって A/D 変換を開始できます。GPT からの割り込み要因を使って A/D 変換を開始するには、GPT 割り込み要因を使用するスキャングループを ADTRGGPTn（n = 0〜8）レジスタで設定し、A/D 変換開始トリガを ADTRGENR レジスタで有効にします。表 53.55 に ADTRGGPTn レジスタと GPT 割り込み要因の対応を示します。

表 53.55 GPT トリガイネーブルレジスタと GPT 割り込み要因の対応 (1/2)

レジスタビット	イベント名
ADTRGGPTn.TRGGPTA0	GPT0_ADTRGA
ADTRGGPTn.TRGGPTA1	GPT1_ADTRGA
ADTRGGPTn.TRGGPTA2	GPT2_ADTRGA
ADTRGGPTn.TRGGPTA3	GPT3_ADTRGA
ADTRGGPTn.TRGGPTA4	GPT4_ADTRGA

表 53.55 GPT トリガイネーブルレジスタと GPT 割り込み要因の対応 (2/2)

レジスタビット	イベント名
ADTRGGPTn.TRGGPTA5	GPT5_ADTRGA
ADTRGGPTn.TRGGPTA6	GPT6_ADTRGA
ADTRGGPTn.TRGGPTA7	GPT7_ADTRGA
ADTRGGPTn.TRGGPTA8	GPT8_ADTRGA
ADTRGGPTn.TRGGPTA9	GPT9_ADTRGA
ADTRGGPTn.TRGGPTA10	GPT10_ADTRGA
ADTRGGPTn.TRGGPTA11	GPT11_ADTRGA
ADTRGGPTn.TRGGPTA12	GPT12_ADTRGA
ADTRGGPTn.TRGGPTA13	GPT13_ADTRGA
ADTRGGPTn.TRGGPTB0	GPT0_ADTRGB
ADTRGGPTn.TRGGPTB1	GPT1_ADTRGB
ADTRGGPTn.TRGGPTB2	GPT2_ADTRGB
ADTRGGPTn.TRGGPTB3	GPT3_ADTRGB
ADTRGGPTn.TRGGPTB4	GPT4_ADTRGB
ADTRGGPTn.TRGGPTB5	GPT5_ADTRGB
ADTRGGPTn.TRGGPTB6	GPT6_ADTRGB
ADTRGGPTn.TRGGPTB7	GPT7_ADTRGB
ADTRGGPTn.TRGGPTB8	GPT8_ADTRGB
ADTRGGPTn.TRGGPTB9	GPT9_ADTRGB
ADTRGGPTn.TRGGPTB10	GPT10_ADTRGB
ADTRGGPTn.TRGGPTB11	GPT11_ADTRGB
ADTRGGPTn.TRGGPTB12	GPT12_ADTRGB
ADTRGGPTn.TRGGPTB13	GPT13_ADTRGB

注. n = 0～8

53.6.2.3 外部トリガ

外部トリガ端子（ADTRG0 および ADTRG1）からの入力によって A/D 変換を開始できます。外部トリガを使って A/D 変換を開始するには、外部トリガを使用するスキャングループを ADTRGEXTn（n = 0～8）レジスタで設定し、A/D 変換開始トリガを ADTRGENR レジスタで有効にします。

外部トリガはアクティブ Low です。外部トリガ（ADTRG0 および ADTRG1）を有効にする前に、外部トリガ端子に High レベルを入力してください。

53.6.3 トリガ遅延

トリガ遅延機能は、A/D 変換開始トリガに遅延を加え、各スキャングループの A/D 変換開始タイミングを調整します。この機能は、外部トリガ、ELC トリガ、または GPT トリガを受け付けることで生成された各スキャングループに対する内部トリガに遅延を付加します。この機能を使ってソフトウェアトリガに遅延を付加することはできません。

内部トリガに付加する遅延値は、ADTRGDLRi (i = 0～4) レジスタで個々のスキャングループに対して設定します。付加される遅延値は、「レジスタ設定値 × A/D 変換クロック (ADCLK) サイクル」です。

53.6.4 A/D 変換動作の強制停止

A/D コンバータのスキャン動作は、スキャン動作中に ADSTOPR.ADSTOPm (m = 0, 1) ビットに 1 を書くことで強制的に停止できます。スキャン動作を強制停止すると、A/D 変換データは保証されません。

53.6.4.1 強制停止手順

表 53.56 に A/D 変換動作の強制停止手順を示します。強制停止を行う場合は、表 53.56 の手順を守ってください。この手順に従わない場合、A/D コンバータは停止できず、正常に動作しない可能性があります。その場合、復旧にはリセットが必要となります。

表 53.56 A/D 変換動作の強制停止手順

No.	手順名	説明
1	トリガ入力の無効化	周辺モジュールからのトリガ入力を無効にします。 ADTRGENR.STTRGENn = 0 を書き込みます。
2	待機時間	上記の手順 1 を設定した後、A/D コンバータを安全に停止するため、待機時間が必要です。指定の待機時間が経過した後、次の処理に進みます。待機時間の詳細については、「53.6.4.2. 強制停止処理のためにトリガ入力を無効にした後の待機時間」を参照してください。
3	A/D コンバータ状態の確認	上記の手順 2 の待機時間が過ぎた後、A/D コンバータが動作しているかどうかを確認します。A/D コンバータが動作している場合 (ADSR.ADACTm = 1)、手順 4 へ進みます。 A/D コンバータが停止している場合 (ADSR.ADACTm = 0)、以降の処理は不要です（手順 6 へ進みます）。
4	A/D コンバータの強制停止	ADSTOPR レジスタによって A/D コンバータを強制的に停止します。 ADSTOPR.ADSTOPm = 1 を書き込みます。
5	A/D コンバータ停止まで待機	A/D コンバータが停止するまで待機します。 ADSR.ADACTm = 0 です。
6	終了	強制停止処理は完了です。

注. m = 0, 1、n = 0～8
この強制停止手順の実行中は、ADSYSTR レジスタや ADSTRn レジスタへ書き込みを行わないでください。

53.6.4.2 強制停止処理のためにトリガ入力を無効にした後の待機時間

表 53.56 に示した強制停止手順において、周辺モジュールからのトリガ入力を無効にした後、強制停止を実行する前に待機時間が必要です（表 53.56 の手順 2）。この待機時間は、強制停止を安全に行うために必ず確保する必要があります。

強制停止処理のためにトリガ入力を無効にした後の待機時間は、以下のように計算します。

[強制停止処理のためにトリガ入力を無効にした後の待機時間]

- 同期動作が有効な場合 (ADSYCR.ADSYDISm = 0)
  - (ADTRGDLRi.TRGDLYn[7:0]設定値 + ADSYCR.ADCSYCYC[7:0]設定値 × 2) × t_{ADCLK}
- 同期動作が無効な場合 (ADSYCR.ADSYDISm = 1)
  - (4 + ADTRGDLRi.TRGDLYn[7:0]設定値) × t_{ADCLK}

注. i = 0～4、n = 0～8、m = 0、1 t_{ADCLK}：ADCLK 周期

上記の計算式で算出される待機時間が経過した後、表 53.56 の手順 3 の処理に進んでください。待機時間を生成する方法は、次の 2 つがあります。(a) MCU に内蔵されているタイマ機能を使用する。(b) ステータスレジスタを複数回読み出す。(b) を選択した場合、待機時間を生成するのに必要なレジスタの読み出し回数は、次の式で計算されます。

[待機時間を生成するためのレジスタ読み出し回数]

N_{RD} = （トリガ入力無効化後の待機時間 ÷ (t_{PCLK} × N_{RDCYC})） + 1

N_{RD}：トリガ入力無効化後待機時間の生成に必要なレジスタ読み出し回数（小数点以下は切り捨て）

t_{PCLK}：バスインタフェースクロックの周期 (PCLKA)

N_{RDCYC}: レジスタ読み出しアクセスサイクルの最小の値（x I/O レジスタ[DEADBEEF]を参照）

53.7 エラー検出

53.7.1 A/D コンバータエラー

A/D コンバータの異常な動作が発生すると、A/D コンバータエラーが検出されます。A/D コンバータエラーが検出された場合、A/D 変換結果は保証されません。

A/D コンバータエラーは以下の場合に発生します。

[A/D コンバータエラーが発生する状況]

- 自己校正をせずに A/D 変換を行った場合
- ADCLK の動作周波数が、電気的特性で保証している周波数範囲を超えた場合
- A/D コンバータの逐次比較時間が、電気的特性で規定される時間の範囲外である場合
- 外部的要因により、A/D コンバータ内で偶然、異常な動作が発生した場合

A/D コンバータエラーが検出された場合、ADERSR.ADERFn (n = 0, 1) ビットにフラグが設定されます。A/D コンバータエラーフラグをクリアするには、ADERSCR レジスタの関連するビットに 1 を書き込んでください。

A/D コンバータエラーに関する注意事項

A/D コンバータエラーは、A/D コンバータの異常な動作を検出するために使用される補助的な機能です。異常な動作の確実な検出を保証するものではありません。上記に記載した A/D コンバータエラー発生条件においても、チップの個体差やチップの動作状態によっては、A/D コンバータエラーが検出されない場合があります。

53.7.2 A/D 変換オーバーフロー

A/D 変換データが、指定されたデータフォーマットで処理可能な範囲を超えると、A/D 変換オーバーフローが検出されます。A/D 変換オーバーフローが発生すると、A/D 変換データは、指定されたデータフォーマットの上限値または下限値になります。A/D 変換データとして処理できる範囲については、「53.5.7. データフォーマット」を参照してください。

A/D 変換オーバーフローは、以下の場合に検出されます。

- A/D コンバータへの入力が VREFH0～VREFL0 または VREFH～VREFL の範囲を超える場合
  - シングルエンド入力：A/D コンバータユニット 0 への入力が VREFH0 を上回る、または VREFL0 を下回る場合 A/D コンバータユニット 1 への入力が VREFH を上回る、または VREFL を下回る場合
  - 差動入力：A/D コンバータユニット 0 への差動入力が+VREFH0 を上回る、または-VREFH0 を下回る場合 A/D コンバータユニット 1 への差動入力が+VREFH を上回る、または-VREFL を下回る場合
- A/D 変換データに対する下記の内部処理（計算）によってオーバーフローが発生する場合
  - ゲインエラーおよびオフセットエラー校正
  - ユーザーゲイン／ユーザーオフセット補正機能
  - A/D 変換値加算機能の使用時
  - データフォーマット処理

A/D 変換オーバーフローが検出されると、下記のステータスレジスタにフラグが設定されます。

- ADOVFERSR：A/D 変換オーバーフローを検出した A/D コンバータに対応するビットにフラグが設定されます。
- ADOVFCHSR0：A/D 変換オーバーフローが検出されたアナログ入力チャネルに対応するビットにフラグが設定されます。
- ADOVFEXSR: A/D 変換オーバーフローが検出された拡張アナログチャネルに対応するビットにフラグが設定されます。

ステータスレジスタのフラグをクリアするには、ADOVFERSCR、ADOVFCHSCR0、ADOVFEXSCR の関連するビットに 1 を書き込んでください。

53.7.3 FIFO オーバーフロー

FIFO がフルのときに A/D 変換データを FIFO に書き込む（加える）と、FIFO オーバーフローが検出されます。FIFO オーバーフローの詳細については、「53.5.10. FIFO 機能」を参照してください。

53.8 A/D 変換の設定と変更の手順

53.8.1 A/D 変換の初期設定手順

表 53.57 に A/D 変換の初期設定手順を示します。

表 53.57 A/D 変換の初期設定手順

No.	手順	説明
1	モジュールストップ解除	MSTPCR レジスタで ADC16H のモジュールストップビットを解除します。
2	入出力ポート設定	アナログ入力として使用される端子の ASEL ビットを 1 にします。
3	同期動作設定	同期動作機能の設定をします。 同期動作機能は、リセット解除後のレジスタ初期値で無効になります。 同期動作を使用する場合、同期動作を有効にしてください (ADSYCR.ADSYDISm = 0 (m = 0, 1))。
4	ADCLK 設定	ADCLK(注1)のクロックソースと分周比を設定します。 その後、ADCLKENR.CKEN ビットを 1 にし、ADCLK のクロック供給を待ちます (ADCLKSR.CLKSR = 1)。
5	A/D 変換設定	A/D 変換の設定を行います。
6	動作安定までの待機	電気的特性で指定された動作安定時間が経過するまで待ちます。
7	自己校正	A/D 変換を開始する前に、自己校正が必須です。 自己校正を設定し、実行します。 詳細は、「53.3.8. 自己校正」を参照してください。
8	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
9	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換（スキャン動作）が開始します。

注 1. GPTCLK を選択したとき、モジュールストップレジスタ E (MSTPCRE) を使用して GPT モジュールストップ状態を解除します。詳細は、「11. 低消費電力モード」を参照してください。

53.8.2 ADCLK 設定変更手順

表 53.58 に ADCLK 設定の変更手順を示します。

表 53.58 ADCLK 設定変更手順 (1/2)

No.	手順	説明
1	トリガ入力無効化	周辺モジュールからのトリガ入力を無効にします。 (ADTRGENR.STTRGENn = 0 (n = 0～8) を書き込みます。)
2	A/D 変換の停止	すべての A/D コンバータが停止していることを確認します。 A/D 変換が実行中の場合、すべての A/D 変換が完了するまで待つか、A/D 変換動作を強制停止します。 A/D 変換動作の強制停止の詳細については、「53.6.4. A/D 変換動作の強制停止」を参照してください。
3	ADCLK クロック供給の停止	ADCLKENR.CKEN ビットを 0 にします。その後、ADCLK が停止するまで待ちます (ADCLKSR.CLKSR = 0)。
4	ADCLK 設定の変更	ADCLK のクロックソースと分周比を変更します(注1)。
5	ADCLK クロック供給の開始	ADCLKENR.CKEN ビットを 1 にし、ADCLK のクロック供給を待ちます (ADCLKSR.CLKSR = 1)。

表 53.58 ADCLK 設定変更手順 (2/2)

No.	手順	説明
6	A/D 変換設定の変更	ADCLK 周波数の変更に伴い、以下の設定を変更します。 ● A/D コンバータの逐次比較時間 ● A/D 変換のサンプリングステート数 ● チャネル専用サンプル＆ホールド回路のサンプリングステート数とホールドモード切り替えステート数(注2) ● 自己校正動作のステート数（A/D コンバータおよびチャネル専用サンプル&ホールド回路(注2)） ● 同期動作期間(注3) ● 断線検出アシスト期間(注4) A/D 変換に関する他の設定で変更の必要なものがあれば、ここで変更します。
7	動作安定までの待機	「62. 電気的特性」で指定された動作安定時間が経過するまで待ちます。
8	自己校正	A/D 変換を開始する前に、自己校正動作を実行します。詳細は、「53.3.8. 自己校正」を参照してください。
9	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
10	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換（スキャン動作）が開始します。

注 1. GPTCLK を選択したとき、モジュールストップレジスタ E (MSTPCRE) を使用して GPT モジュールストップ状態を解除します。詳細は、「11. 低消費電力モード」を参照してください。
注 2. チャネル専用サンプル&ホールド回路を使用しない場合、設定は不要です。
注 3. 同期動作設定が無効な場合 (ADSYCR, ADSYDISm = 1 (m = 0, 1))、変更は不要です。
注 4. 断線検出アシスト機能を使用しない場合、設定は不要です。

53.8.3 A/D コンバータの設定変更手順

表 53.59 に、A/D 変換設定の変更手順を示します。ADCLK 設定に変更がある場合、「53.8.2. ADCLK 設定変更手順」の手順を行ってください。

表 53.59 A/D コンバータ設定の変更手順

No.	手順	説明
1	トリガ入力無効化	周辺モジュールからのトリガ入力を無効にします。 （ADTRGENR.STTRGENn = 0 (n = 0～8) を書き込みます。）
2	A/D 変換の停止	すべての A/D コンバータが停止していることを確認します。 A/D 変換が実行中の場合、すべての A/D 変換が完了するまで待つか、A/D 変換動作を強制停止します。 A/D 変換動作の強制停止の詳細については、「53.6.4. A/D 変換動作の強制停止」を参照してください。
3	A/D 変換設定の変更	A/D 変換の設定を変更します。（ADCLK の設定を除く。）
4	動作安定までの待機	電気的特性で指定された動作安定時間が経過するまで待ちます。
5	自己校正	A/D 変換を開始する前に、自己校正動作を実行します。 詳細は、「53.3.8. 自己校正」を参照してください。
6	トリガ設定	周辺モジュールからのトリガで A/D 変換を開始する場合、各スキャングループに対するトリガを設定します。
7	A/D 変換開始	ソフトウェアトリガまたは周辺モジュールからのトリガが入力されると、A/D 変換（スキャン動作）が開始します。

53.9 割り込み要因および ELC イベント

表 53.60 に ADC16H の割り込み要因または ELC のイベント要求を示します。

割り込みの詳細については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

ELC イベントの詳細については、「19. イベントリンクコントローラ (ELC)」を参照してください。

表 53.60 割り込み要因 (1/2)

割り込み要求または ELC イベント	シンボル	説明	ステータスフラグ
A/D コンバータエラー割り込み	ADC_ERR0	ADC0 の異常動作検出時に生成	ADERSR.ADERF0
	ADC_ERR1	ADC1 の異常動作検出時に生成	ADERSR.ADERF1
A/D コンバータ自己校正終了割り込み	ADC_CALEND0	ADC0 の自己校正動作終了時に生成	ADCALENDSR.CALENDF0
	ADC_CALEND1	ADC1 の自己校正動作終了時に生成	ADCALENDSR.CALENDF1
A/D スキャン終了割り込み	ADC_ADI0	スキャングループ 0 のスキャン終了時に生成	ADSCANENDSR.SCENDF0
	ADC_ADI1	スキャングループ 1 のスキャン終了時に生成	ADSCANENDSR.SCENDF1
	ADC_ADI2	スキャングループ 2 のスキャン終了時に生成	ADSCANENDSR.SCENDF2
	ADC_ADI3	スキャングループ 3 のスキャン終了時に生成	ADSCANENDSR.SCENDF3
	ADC_ADI4	スキャングループ 4 のスキャン終了時に生成	ADSCANENDSR.SCENDF4
	ADC_ADI5	スキャングループ 5 のスキャン終了時に生成	ADSCANENDSR.SCENDF5
	ADC_ADI6	スキャングループ 6 のスキャン終了時に生成	ADSCANENDSR.SCENDF6
	ADC_ADI7	スキャングループ 7 のスキャン終了時に生成	ADSCANENDSR.SCENDF7
	ADC_ADI8	スキャングループ 8 のスキャン終了時に生成	ADSCANENDSR.SCENDF8
リミッタークリップ割り込み	ADC_LIMCLPI	A/D 変換時、リミッターテーブル 0～7 を使用するリミッタークリップが検出されたときに生成	ADLIMGRSR.LIMGRFn ADLIMCHSR0.LIMCHFi ADLIMEXSR.LIMEXFj
A/D 変換オーバーフロー割り込み	ADC_RESOVF0	ADC0 の A/D 変換結果でオーバーフローが検出されたときに生成	ADOVFERSR.ADOVFEF0 ADOVFCHSR0.OVFCHFi ADOVFEXSR.OVFEXFj
	ADC_RESOVF1	ADC1 の A/D 変換結果でオーバーフローが検出されたときに生成	ADOVFERSR.ADOVFEF1 ADOVFCHSR0.OVFCHFi ADOVFEXSR.OVFEXFj
コンペアマッチ割り込み	ADC_CMPI0	コンペアマッチテーブル 0 とのコンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF0
	ADC_CMPI1	コンペアマッチテーブル 1 とのコンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF1
	ADC_CMPI2	コンペアマッチテーブル 2 とのコンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF2
	ADC_CMPI3	コンペアマッチテーブル 3 とのコンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF3
複合コンペアマッチ割り込み	ADC_CCMPM0 ADC_CCMPM1	コンペアマッチテーブル 0～7 を使用する結合条件との複合コンペアマッチが検出されたときに生成	ADCMPTBSR.CMPTBF0～ ADCMPTBSR.CMPTBF8
	ADC_CCMPUM0 ADC_CCMPUM1	コンペアマッチテーブル 0～7 を使用する結合条件との複合コンペアマッチが検出されなかったときに生成	ADCMPTBSR.CMPTBF0～ ADCMPTBSR.CMPTBF8

表 53.60 割り込み要因 (2/2)

割り込み要求または ELC イベント	シンボル	説明	ステータスフラグ
FIFO データ読み出し要求割り込み	ADC_FIFOREQ0	スキャングループ 0 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR0.FIFOST0[3:0]
	ADC_FIFOREQ1	スキャングループ 1 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR0.FIFOST1[3:0]
	ADC_FIFOREQ2	スキャングループ 2 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR1.FIFOST2[3:0]
	ADC_FIFOREQ3	スキャングループ 3 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR1.FIFOST3[3:0]
	ADC_FIFOREQ4	スキャングループ 4 に対する FIFO の空きステージ数が指定値以下になった場合に生成	ADFIFOSR2.FIFOST4[3:0]
	ADC_FIFOREQ5	スキャングループ 5 に対する FIFO の空のステージ数が指定値以下になった場合に生成	ADFIFOSR2.FIFOST5[3:0]
	ADC_FIFOREQ6	スキャングループ 6 に対する FIFO の空のステージ数が指定値以下になった場合に生成	ADFIFOSR3.FIFOST6[3:0]
	ADC_FIFOREQ7	スキャングループ 7 に対する FIFO の空のステージ数が指定値以下になった場合に生成	ADFIFOSR3.FIFOST7[3:0]
	ADC_FIFOREQ8	スキャングループ 8 に対する FIFO の空のステージ数が指定値以下になった場合に生成	ADFIFOSR4.FIFOST8[3:0]
FIFO データオーバーフロー割り込み	ADC_FIFOOVF	スキャングループ 0～8 に対する FIFO のうち、いずれかで FIFO オーバーフローが検出されたときに生成	ADFIFOERSR.FIFOOVF0～ ADFIFOERSR.FIFOOVF8

注. n = 0～8
i = 0～28
j = 0～2、5～8

(1) A/D コンバータエラー割り込み

A/D コンバータエラーを検出したとき、A/D コンバータエラー割り込みを生成できます。

A/D コンバータエラー割り込み (ADC_ERRm (m = 0, 1)) が生成されるのは、ADERINTCR.ADEIEm (m = 0, 1) ビットが 1、かつ ADERSR.ADERFm (m = 0, 1) ビットが 1 のときです。

(2) A/D コンバータ自己校正終了割り込み

A/D コンバータ自己校正動作の終了時、A/D コンバータ自己校正終了割り込みを生成できます。

A/D コンバータ自己校正終了割り込み (ADC_CALENDm (m = 0, 1)) が生成されるのは、ADCALINTCR.CALENDIEm (m = 0, 1) ビットが 1、かつ ADCALENDSR.CALENDFm (m = 0, 1) ビットが 1 のときです。

(3) A/D スキャン終了割り込み

スキャングループ n (n = 0～8) のスキャン動作終了時、A/D スキャン終了割り込みを生成できます。

スキャングループ 0～8 の A/D スキャン終了割り込み (ADC_ADI0～ADC_ADI8) が生成されるのは、ADINTCR.ADIEn (n = 0～8) ビットが 1、かつ ADSCANENDSR.SCENDFn (n = 0～8) ビットが 1 のときです。

ただし、ADSTOPR レジスタにより A/D 変換動作（スキャン動作）を強制停止した場合は、A/D スキャン終了割り込みは生成されません。

(4) リミッタークリップ割り込み

リミッターテーブル i (i = 0～7) を使用したリミッタークリップが検出されたとき、リミッタークリップ割り込み (ADC_LIMCLPI) を生成できます。

リミッタークリップ割り込みが生成されるのは、ADLIMINTCR.LIMIEi (i = 0～8) ビットが 1、かつ ADLIMGRSR.LIMGRFi (i = 0～8) ビットが 1 のときです。

(5) A/D 変換オーバーフロー割り込み

ADCm (m = 0, 1) を使用した A/D 変換結果で A/D 変換オーバーフローが検出されたとき、A/D 変換オーバーフロー割り込みを生成できます。A/D 変換オーバーフローの詳細については、「53.7.2. A/D 変換オーバーフロー」を参照してください。

A/D 変換オーバーフロー割り込み (ADC_RESOVFm (m = 0, 1)) が生成されるのは、ADOVFINTCR.ADOVFIEm (m = 0, 1) ビットが 1、かつ ADOVFERSR.ADOVFEFm (m = 0, 1) ビットが 1 のときです。

(6) コンペアマッチ割り込み

コンペアマッチが検出されたとき、コンペアマッチ割り込みを生成できます。

コンペアマッチ割り込み (ADC_CMPIj (j = 0～3)) が生成されるのは、ADCMPINTCR.CMPIEj (j = 0～3) ビットが 1、かつ ADCMPTBSR.CMPTBFj (j = 0～3) ビットが 1 のときです。

コンペアマッチテーブル 4～7 に対応する割り込みはありません。

(7) 複合コンペアマッチ割り込み

2 つ以上のコンペアマッチテーブルの比較結果を組み合わせることで、複合コンペアマッチ割り込み (ADC_CCMPMk (k = 0, 1)) を生成できます。複合コンペアマッチの詳細については、「53.5.8.2. 複合コンペアマッチ」を参照してください。

(8) FIFO データ読み出し要求割り込み

FIFO 内の空きステージ数が指定値以下になったとき、FIFO データ読み出し要求割り込みを生成できます。

スキャングループ 0～8 の FIFO データ読み出し要求割り込み (ADC_FIFOREQ0～ADC_FIFOREQ8) が生成されるのは、ADFIFOINTCR.FIFOIEn (n = 0～8) が 1、かつ ADFIFOSRm.FIFOSTn[3:0]≦ADFIFOINTLRm.FIFOILVn[3:0] (m = 0～4, n = 0～8) のときです。

ただし、割り込み要因に関連する ADFIFOERSR.FIFOFLFn（n = 0～8）ビットが 1 の間は、FIFO データ読み出し要求割り込みは生成されません。

(9) FIFO データオーバーフロー割り込み

スキャングループ 0～8 の FIFO のどれかで FIFO オーバーフローが検出されたとき、FIFO データオーバーフロー割り込み (ADC _FIFOOVF) を生成できます。

FIFO データオーバーフロー割り込みが生成されるのは、ADFIFOINTCR.FIFOIEn（n = 0～8）ビットが 1、かつ ADFIFOERSR.FIFOOVFn（n = 0～8）ビットが 1 のときです。

53.10 スキャン変換時間

53.10.1 スキャン開始処理時間

A/D 変換開始トリガの入力からスキャン動作を開始するまでの処理時間を、表 53.61 および図 53.56 に示します。

表 53.61 スキャン開始処理時間 (1/2)

項目	シンボル	処理時間
周辺モジュールトリガ入力処理時間(注1)	t_{D_TRG}	[GPIO トリガ選択時] ● 2～4 ADSRCCLK + (ADTRGDLRi.TRGDLYn[7:0] + (0～1)) × ADCLK [上記以外] 1 ADSRCCLK + (ADTRGDLRi.TRGDLYn[7:0] + (0～1)) × ADCLK

表 53.61　スキャン開始処理時間 (2/2)

項目		シンボル	処理時間
ソフトウェアトリガ入力処理時間		t_{D_SW}	[ADCLK = PCLKA/1 の場合](注2) ● I/O レジスタのアクセスサイクル数(注3) + (0～1 ADCLK) [上記以外] ● （I/O レジスタのアクセスサイクル数(注3)） + 1 PCLKA + (1～3 ADCLK)
内部トリガ処理時間		t_{D_ITRG}	[同期動作無効時] (ADSYCR.ADSYDISm = 1) ● 6 ADCLK [アイドル開始] ● 7～13 ADCLK [サスペンド開始](注4) [同期動作有効時] (ADSYCR.ADSYDISm = 0) ● 7 ADCLK [アイドル開始] ● (3+ADSYCR.ADSYCYC[7:0]) × ADCLK～(2+2×ADSYCR.ADSYCYC [7:0]) × ADCLK [サスペンド開始](注5)
同期動作待ち時間		t_{D_SYOP}	[同期動作無効時] (ADSYCR.ADSYDISm = 1) ● 0 [同期動作有効時] (ADSYCR.ADSYDISm = 0) ● 0～ADSYCR.ADSYCYC[7:0] × ADCLK
スキャン開始合計処理時間	周辺モジュールトリガによる起動	t_{D_ADST}	$t_{D_TRG} + t_{D_ITRG} + t_{D_SYOP}$
	ソフトウェアトリガによる起動		$t_{D_SW} + t_{D_ITRG} + t_{D_SYOP}$

注.　ADSRCCLK: ADCLK のクロックソース
n = 0～8, m = 0, 1, i = 0～4
注 1.　周辺モジュールトリガの発生元から ADC16H へ入力されるまでの遅延時間は含みません。
注 2.　ADCLKCR.CLKSEL[1:0] = 10b かつ ADCLKCR.DIVR[2:0] = 000b が設定されている場合
注 3.　ADSTRn レジスタ（n = 0～8）または ADSYSTR レジスタへのアクセスサイクル数です。I/O レジスタへのアクセスサイクル数についての詳細は、x I/O レジスタ[DEADBEEF]を参照してください。
注 4.　常時サンプリングが有効な場合は、7～(6 + ADSHSTRm.SHSST[7:0]) × ADCLK。常時サンプリングが有効な場合は、チャネル専用サンプル＆ホールド回路のサンプリング時間を ADSHSTRm.SHSST[7:0] = 0x4（リセット値）に設定すると、変換開始時間を ADSHSTRm.SHSST[7:0]に設定した効果を無視できます。
注 5.　常時サンプリングが有効な場合は、(3+ADSYCR.ADSYCYC[7:0]) × ADCLK～(2+ADSHSTRm.SHSST[7:0] + ADSYCR.ADSYCYC[7:0]) × ADCLK。常時サンプリングが有効な場合は、チャネル専用サンプル&ホールド回路のサンプリング時間を ADSHSTRm.SHSST[7:0] = 0x4（リセット値）に設定すると、変換開始時間を ADSHSTRm.SHSST[7:0]に設定した効果を無視できます。

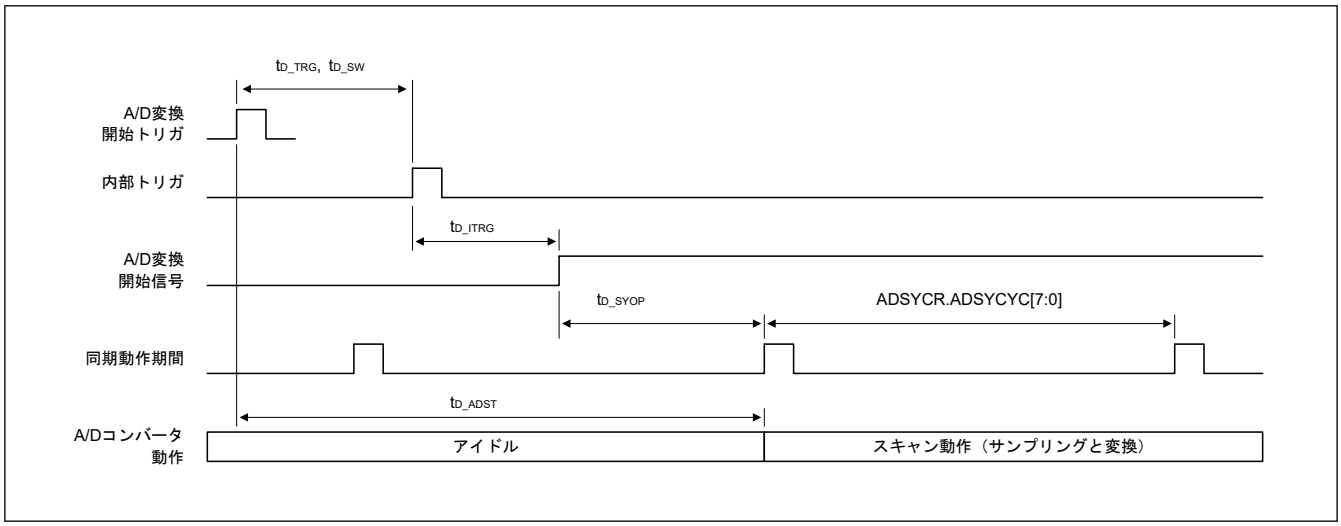


図 53.56　スキャン開始処理時間

53.10.2　変換処理時間

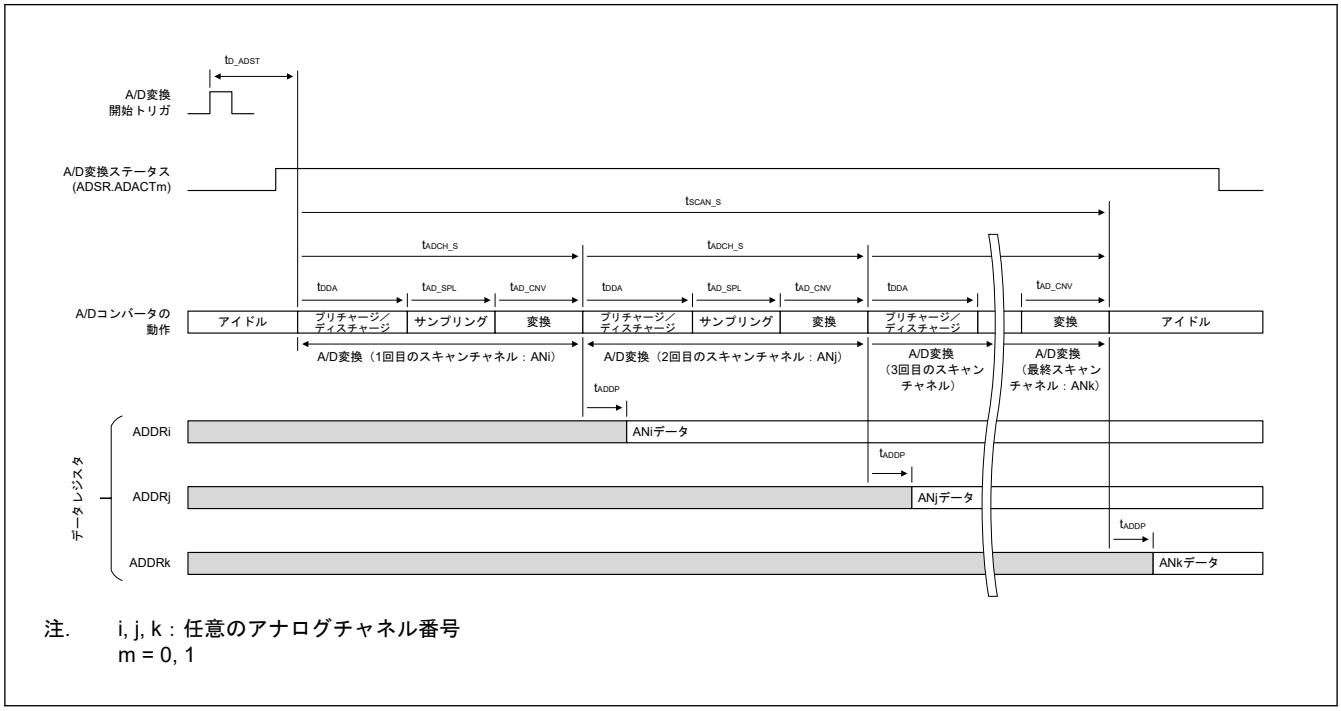
変換動作における各種処理時間を表 53.62、および図 53.57～図 53.61 に示します。

表 53.62　A/D 変換処理時間

項目			シンボル	処理時間
チャネル専用サンプル&ホールド処理時間	サンプリング時間		t_{SH_SPL}	ADSHSTRm.SHSST[7:0] × ADCLK
	ホールドモード切り替え時間		t_{SH_HLD}	ADSHSTRm.SHHST[2:0] × ADCLK
	サンプリングモード切り替え時間（ハイブリッドモードの場合のみ）		t_{SH_D}	(ADSYCR.ADSYCYC[7:0] - 1) × ADCLK
断線検出アシスト処理時間			t_{DDA}	[断線検出アシスト機能無効時] ● 0 [断線検出アシスト機能有効時] ● ADSGDCRn.ADNDIS[7:0] × ADCLK
A/D 変換時間	サンプリング時間		t_{AD_SPL}	ADSSTRp.SSTq[9:0] × ADCLK
	逐次変換時間		t_{AD_CNV}	ADCNVSTR.CSTm[5:0] × ADCLK
A/D 変換データ処理時間	SAR モード（デジタルフィルタ機能不使用）	ADCLK = PCLKA/1 設定時(注1)	t_{ADDP}	[A/D 変換値加算/平均機能不使用時] ● 6 ADCLK + 2 PCLKA [A/D 変換値加算/平均機能使用時] ● 7 ADCLK + 2 PCLKA
		上記以外		[A/D 変換値加算/平均機能不使用時] ● 7 ADCLK + (5～6 PCLKA) [A/D 変換値加算/平均機能使用時] ● 8 ADCLK + (5～6 PCLKA)
	オーバーサンプリングモードまたはハイブリッドモード（デジタルフィルタ機能使用）	ADCLK = PCLKA/1 設定時(注1)		[A/D 変換値加算/平均機能不使用時] ● 8 ADCLK + 2 PCLKA [A/D 変換値加算/平均機能使用時] ● 9 ADCLK + 2 PCLKA
		上記以外		[A/D 変換値加算/平均機能不使用時] ● 9 ADCLK + 5～6 PCLKA [A/D 変換値加算/平均機能使用時] ● 10 ADCLK + 5～6 PCLKA
総合 A/D 変換時間（SAR モード）(注3)	チャネル変換時間(注2)		t_{ADCH_S}	$(t_{DDA} + t_{AD_SPL} + t_{AD_CNV}) \times N_{ADC} \times$ ADCLK
	スキャン変換時間(注4)		t_{SCAN_S}	[チャネル専用サンプル&ホールド回路不使用時] ● Σt_{ADCH_S} [チャネル専用サンプル&ホールド回路使用時] ● $t_{SH_SPL} + t_{SH_HLD} + \Sigma t_{ADCH_S}$
総合 A/D 変換時間（オーバーサンプリングモード）(注3)	オーバーサンプリング周期		t_{OV_OS}	$(t_{DDA} + t_{AD_SPL} + t_{AD_CNV}) \times$ ADCLK
	チャネル変換時間		t_{ADCH_O}	$(t_{DDA} + t_{AD_SPL} + t_{AD_CNV}) \times (N_{TAP} + N_{ADC}) \times$ ADCLK
	スキャン変換時間(注5)		t_{SCAN_O}	Σt_{ADCH_O}
総合 A/D 変換時間（ハイブリッドモード）(注3)	ハイブリッドモードでのチャネル専用サンプル&ホールド処理時間		t_{HY_SH}	$t_{SH_SPL} + t_{SH_HLD} + t_{SH_D}$
	オーバーサンプリング周期		t_{HY_OS}	$(t_{DDA} + t_{AD_SPL} + t_{AD_CNV}) \times$ ADCLK
	スキャン変換時間	初期遅延	t_{HY_ID}	[チャネル専用サンプル&ホールド回路不使用時] ● $(N_{TAP} + N_{ADC}) \times \Sigma t_{HY_OS}$(注6) [チャネル専用サンプル&ホールド回路使用時] ● $(t_{HY_SH} \times (N_{ADC} + N_{TAP}) - t_{SH_D}) + (N_{TAP} + N_{ADC}) \times \Sigma t_{HY_OS}$(注6)
		初期遅延時間経過後	t_{SCAN_HY}	[チャネル専用サンプル&ホールド回路不使用時] ● Σt_{HY_OS}(注6) [チャネル専用サンプル&ホールド回路使用時] ● $t_{HY_SH} + \Sigma t_{HY_OS}$(注6)

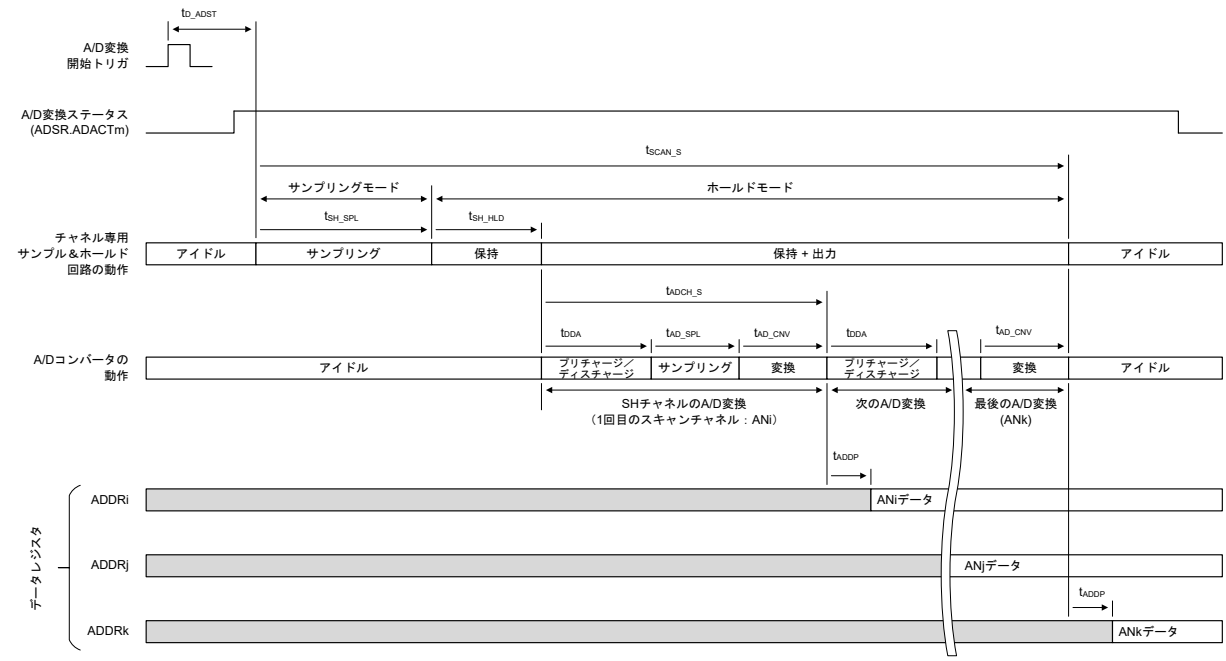
注.　n = 0～8、m = 0、1、p = 0～7、q = 0～15
N_{ADC}：この値は ADDOPCRBx.ADC[3:0] (x = 0～32) の設定値に応じた加算／平均回数です。A/D 変換値加算／平均機能を使用しない場合、この値は 1 です。
N_{TAP}：この値は ADDOPCRAx.DFSEL[2:0] (x = 0～32) と ADDFSRm.DFSELy[1:0] (m = 0, 1, y = 0～4) で選択されたデジタルフィルタの TAP 数です。
N_{SGCH}：この値はスキャングループのチャネル数です。

注 1. ADCLKCR.CLKSEL[1:0] = 10b かつ ADCLKCR.DIVR[2:0] = 000b が設定されている場合
注 2. チャネル専用サンプル&ホールド処理時間を含みません。
注 3. A/D 変換データ処理時間を含みません。
注 4. スキャングループに割り当てられた各アナログチャネルの変換設定から算出されるチャネル変換時間 (t_{ADCH_N}) の総和です。チャネル専用サンプル&ホールド回路を使用する場合は、チャネル専用サンプル&ホールド処理時間（t_{SH_SPL} および t_{SH_HLD}）も加算されます。
注 5. スキャングループに割り当てられた各アナログチャネルの変換設定から算出されるチャネル変換時間 (t_{ADCH_O}) の総和です。
注 6. スキャングループに割り当てられた各アナログチャネルの変換設定から算出されるオーバーサンプリング周期 (t_{HY_OS}) の総和です。



注. i, j, k：任意のアナログチャネル番号
m = 0, 1

図 53.57 A/D 変換処理時間（SAR モード）



注. i, j, k：任意のアナログチャネル番号
m = 0, 1

図 53.58 A/D 変換処理時間（チャネル専用サンプル&ホールド回路使用時の SAR モード）

注. i, j, k：任意のアナログチャネル番号
m = 0, 1

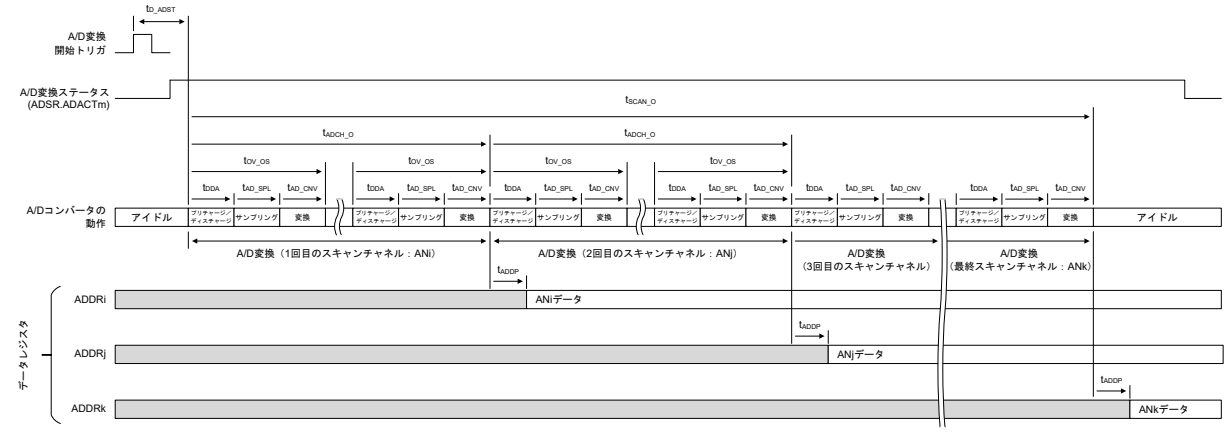
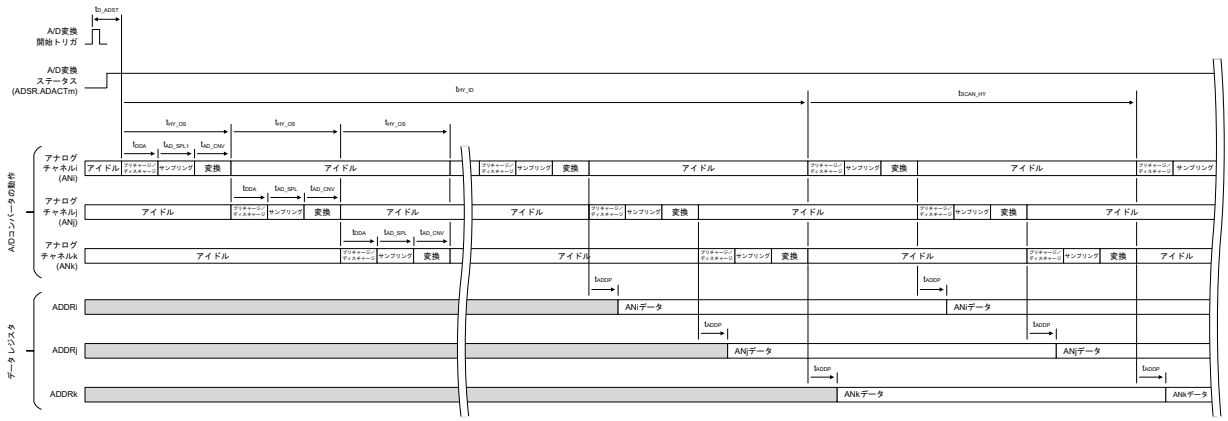
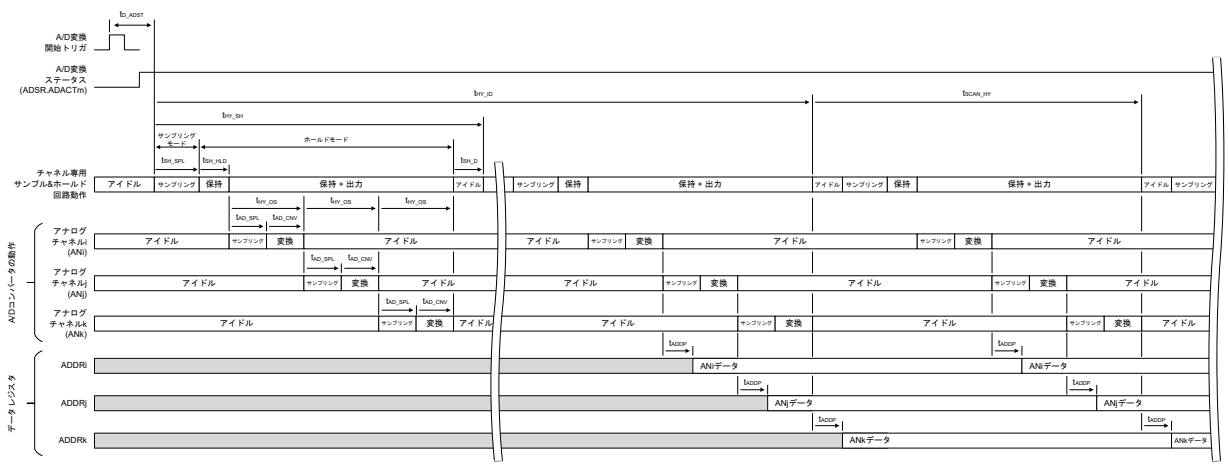


図 53.59 A/D 変換処理時間（オーバーサンプリングモード）



注. i, j, k：任意のアナログチャネル番号
m = 0, 1

図 53.60 A/D 変換処理時間（ハイブリッドモード）



注. i, j, k：任意のアナログチャネル番号
m = 0, 1

図 53.61 A/D 変換処理時間（チャネル専用サンプル&ホールド回路使用時のハイブリッドモード）

53.10.3 スキャン終了処理時間

スキャン終了処理時間及び強制停止処理時間を表 53.63、図 53.62、図 53.63 に示します。

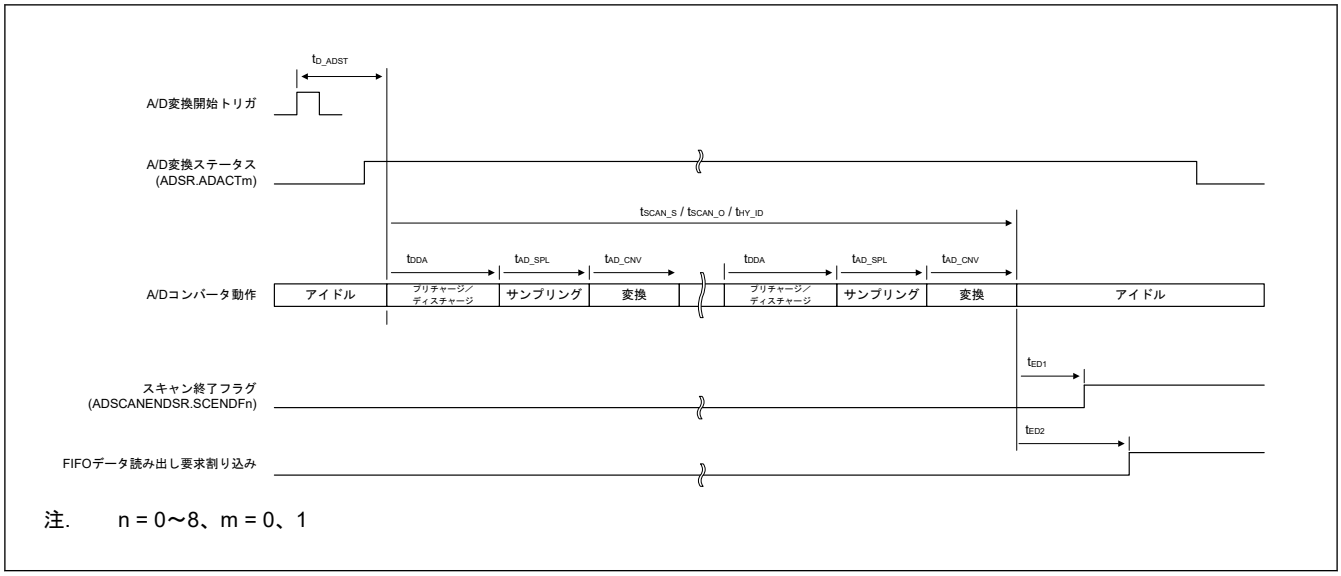
表 53.63 スキャン終了処理時間および強制停止処理時間 (1/2)

項目		シンボル	処理時間
スキャン終了処理時間	ステータスレジスタに反映されるまで (注1)	t_{ED1}	t_{ADDP}
	FIFO データリード要求割り込み出力まで	t_{ED2}	t_{ED1} + 2 PCLKA

表 53.63　スキャン終了処理時間および強制停止処理時間 (2/2)

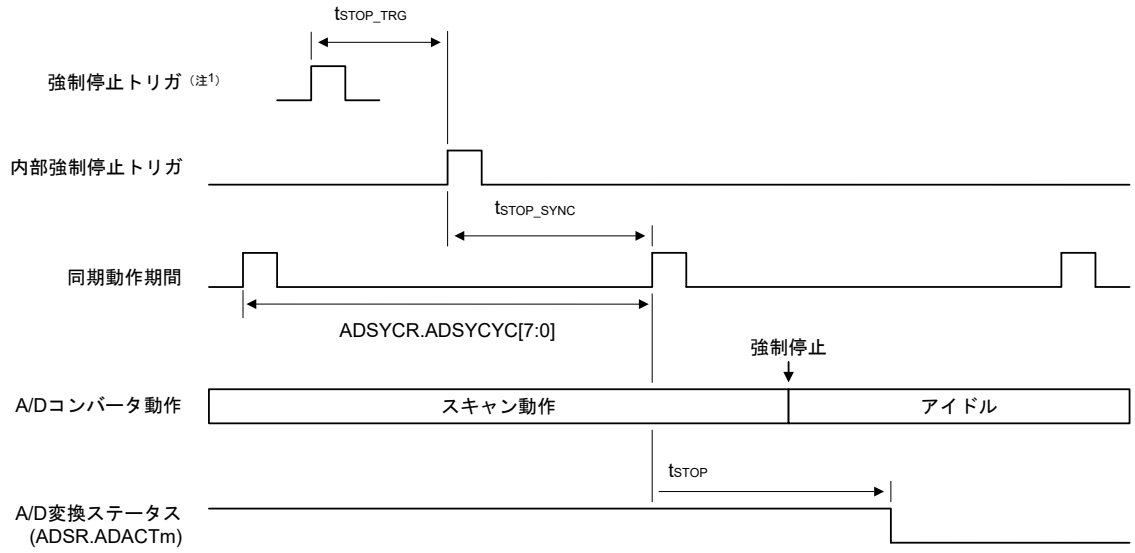
項目		シンボル	処理時間
強制停止処理時間	強制停止トリガ入力処理時間	t_{STOP_TRG}	[ADCLK = PCLKA/1 のとき](注2) ● I/O レジスタへのアクセスサイクル数(注3) + 1 PCLKA [上記以外] ● (I/O レジスタへのアクセスサイクル数(注3)) + 1 PCLKA + (3～4 ADCLK)
	同期動作待機時間	t_{STOP_SYNC}	[同期動作無効時] (ADSYCR.ADSYDISm = 1) ● 0 [同期動作有効時] (ADSYCR.ADSYDISm = 0) ● 0～ADSYCR.ADSYCYC[7:0] × ADCLK
	強制停止処理時間	t_{STOP}	[ADCLK = PCLKA/1 のとき](注2) (ADSYCR.ADSYDISm = 1) ● 4 PCLKA (ADSYCR.ADSYDISm = 0) ● 3 PCLKA [上記以外] (ADSYCR.ADSYDISm = 1) ● 4 PCLKA + (2～3 PCLKA) (ADSYCR.ADSYDISm = 0) ● 3 PCLKA + (2～3 PCLKA)

注.　m = 0、1
注 1.　ADSCANENDSR.SCENDFn = 1（n = 0～8）になるまで、またはスキャン終了割り込みが生成されるまでの時間です。
注 2.　ADCLKCR.CLKSEL[1:0] = 10b かつ ADCLKCR.DIVR[2:0] = 000b 設定時
注 3.　ADSTOPR レジスタへのアクセスサイクル数です。I/O レジスタへのアクセスサイクル数の詳細は、x I/O レジスタ[DEADBEEF]を参照してください。



注.　n = 0～8、m = 0、1

図 53.62　スキャン終了処理時間 (SAR／オーバーサンプリング／ハイブリッドモード (シングルスキャンモード))



注 1. ADSTOPR.ADSTOPm = 1 を書き込むことで発生します。 (m = 0, 1)

図 53.63 強制停止処理時間（SAR／オーバーサンプリング／ハイブリッドモード（シングルスキャンモード））

53.11 使用上の注意事項

53.11.1 A/D 変換動作中の動作設定変更の禁止

A/D 変換の動作設定に関連するレジスタは、すべての A/D コンバータが停止（ADSR.ADACTm = 0 および ADSR.CALACTm = 0 (m = 0, 1)）しているときに設定してください。下記のレジスタを除き、A/D 変換中は設定の変更（書き込み）は禁止されています。A/D 変換中に動作設定が変更された場合、動作は保証されません。

[A/D コンバータの動作中に書き込み可能なレジスタ]

- ステータスクリアレジスタ
  - A/D コンバータ動作に関連するステータスクリアレジスタ (ADERSCR, ADCALENDSCR, ADSCANENDSCR)
  - A/D 変換オーバーフローステータスクリアレジスタ (ADOVFERSCR, ADOVFCHSCR0, ADOVFEXSCR)
  - リミッタークリップステータスクリアレジスタ (ADLIMGRSCR, ADLIMCHSCR0, ADLIMEXSCR)
  - コンペアマッチステータスクリアレジスタ (ADCMPTBSCR, ADCMPCHSCR0, ADCMPEXSCR)
  - FIFO エラーステータスクリアレジスタ (ADFIFOERSCR)
- ソフトウェアトリガレジスタ (ADSYSTR, ADSTRn (n = 0～8))
- A/D コンバータ停止レジスタ (ADSTOPR)
- A/D コンバータ開始トリガイネーブルレジスタ (ADTRGENR) (注1)

注 1. 動作中の書き込みが許可されるのは、A/D 変換を停止するためにトリガ入力を無効に設定 (ADTRGENR.STTRGENn = 0（n = 0～8)) する場合のみです。意図しない動作を避けるため、動作中はトリガ入力を有効 (ADTRGENR.STTRGENn = 1) に変更しないでください。

53.11.2 A/D 変換の強制停止に関する使用上の注意事項

A/D 変換動作中に強制停止する場合、「53.6.4. A/D 変換動作の強制停止」の手順を実行してください。

53.11.3 A/D データレジスタに関する使用上の注意事項

同じアナログチャネルに対して A/D 変換を複数回行う場合、後の A/D 変換で、そのアナログチャネルに対応する A/D データレジスタ ADDRn (n = 0～22) または A/D 拡張アナログデータレジスタ ADEXDRm (m = 0, 1, 4, 5, 6, 8, 9, 16, 17, 18, 20, 21, 22) が上書きされます。

同じアナログチャネルに対する個々の A/D 変換のデータを保持するには、以下の方法のどれかを行ってください。

- スキャン動作ごとにデータレジスタから読み出す
  - スキャングループの各スキャン終了時、A/D 変換を行ったアナログチャネルの A/D 変換データを ADDRn または ADEXDRm から読み出します。
  - この方法は、同じスキャングループ内で、同じアナログチャネルの A/D 変換を複数回行わず、次のスキャン動作までに、レジスタから A/D 変換データを読み出せる場合に効果的です。
- FIFO 機能を使って A/D 変換ごとにデータを保持する
  - FIFO を使うことで、同じアナログチャネルの複数の A/D 変換データを保持できます。
  - FIFO オーバーフローが発生する前に A/D 変換データを読み出してください。

53.11.4 モジュールストップ機能の設定

モジュールストップコントロールレジスタは ADC16H の動作を許可または禁止できます。ADC16H は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

この使用上の注意事項に関連して、「53.11.6. 低消費電力状態への遷移および解除に関する制限」を参照してください。

53.11.5 ソフトウェアスタンバイモードの設定

ソフトウェアスタンバイモードに遷移する前に、図 53.64 と図 53.65 で説明している手順に従って ADC16H の動作を停止してください。

注. 待機時間の詳細については、「53.6.4.2. 強制停止処理のためにトリガ入力を無効にした後の待機時間」を参照してください。

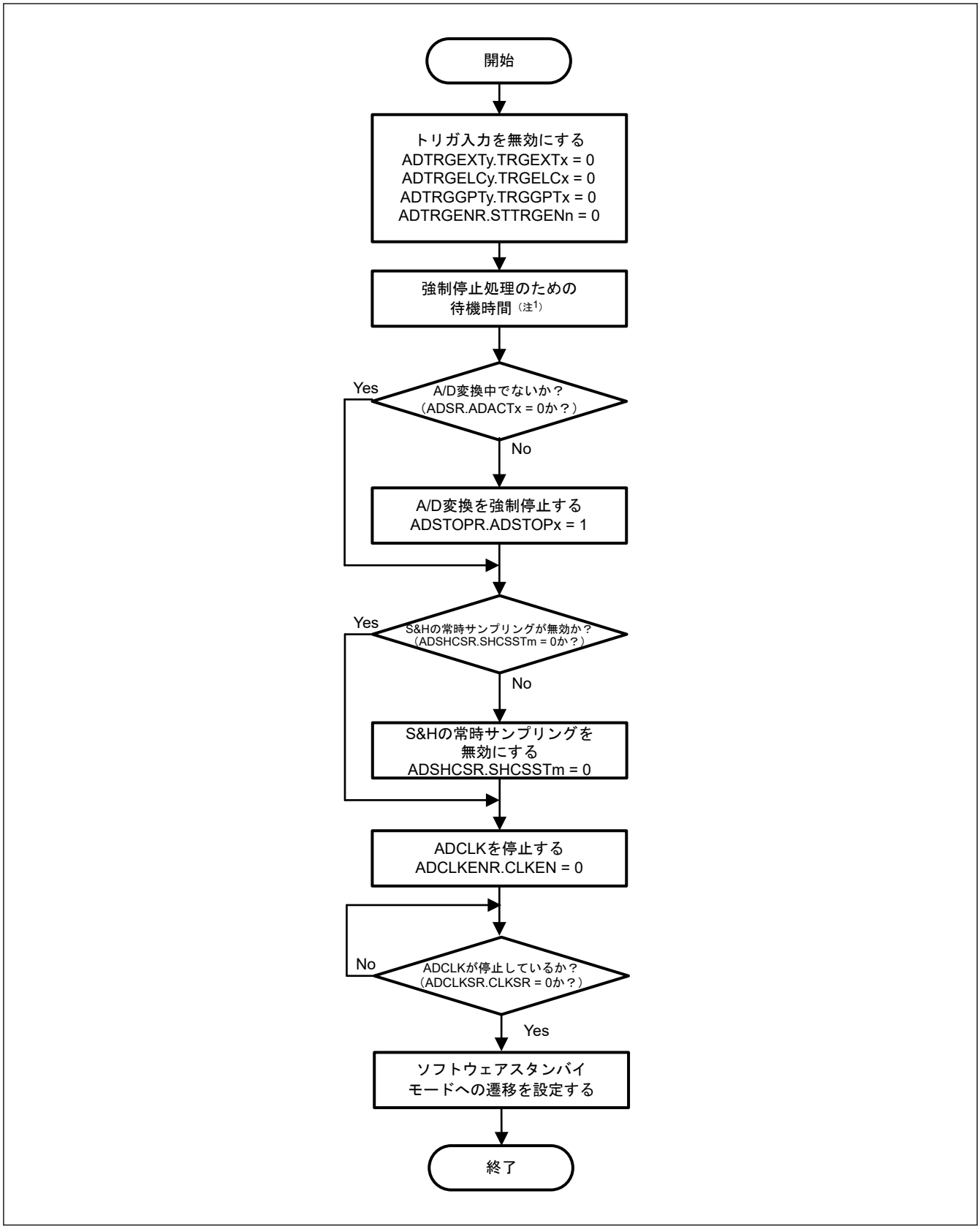


図 53.64　ソフトウェアスタンバイモードに遷移するための手順例

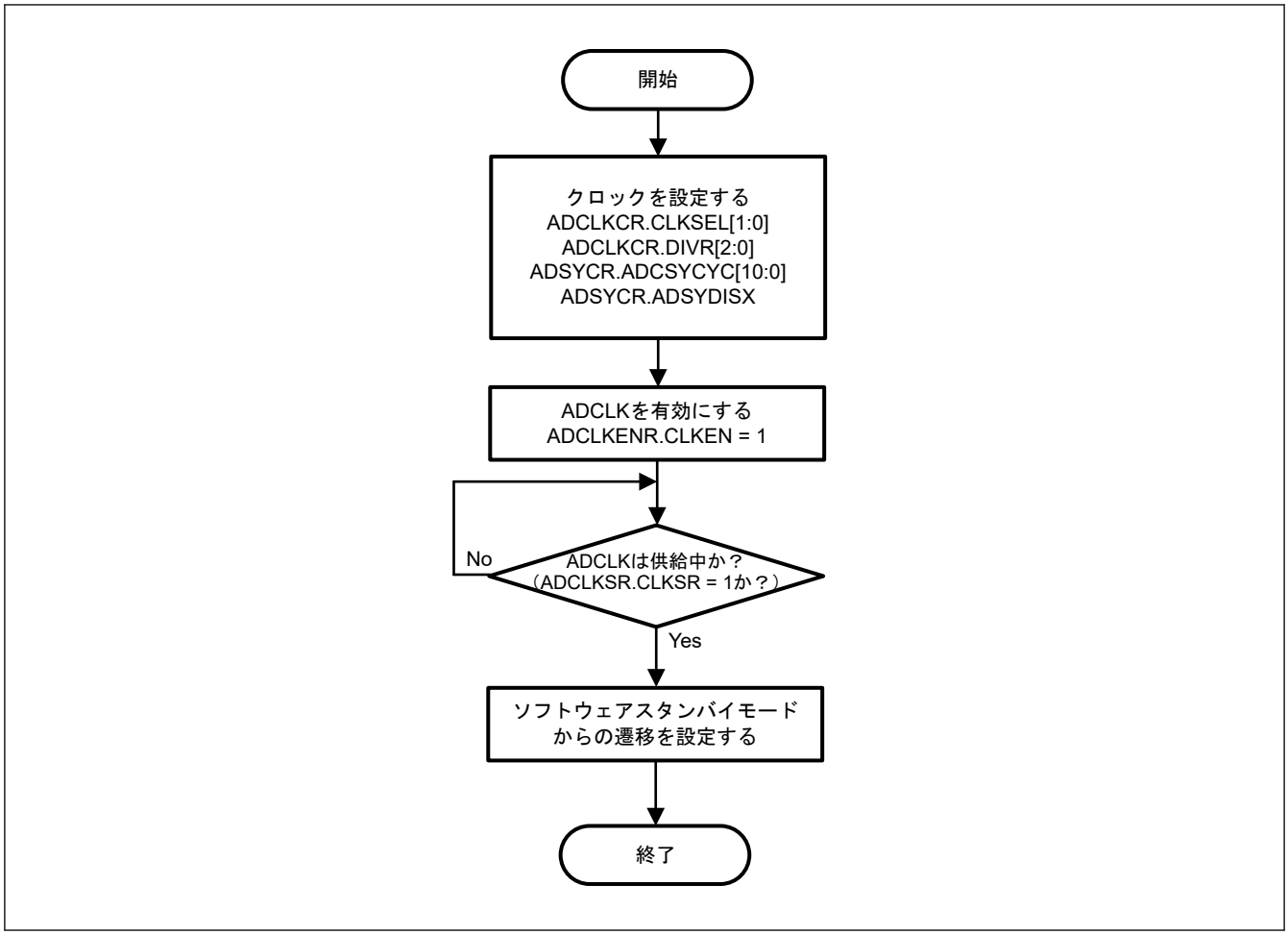


図 53.65　ソフトウェアスタンバイモードから復帰するための手順例

53.11.6　低消費電力状態への遷移および解除に関する制限

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。さらに、低消費電力状態へ遷移する間は A/D 変換が開始しないように設定してください。

モジュールストップ状態やソフトウェアスタンバイモードが解除された後に A/D コンバータを動作させる場合、電気的特性で指定された動作安定時間の経過を待ち、自己校正動作を行い、その後で A/D 変換を開始します。

また、モジュールストップ状態に遷移した後にモジュールストップ状態を解除する場合、モジュールストップ状態を解除する前に電気的特性で規定されている停止時間が経過したことを確認してください。

これらの制限に違反した場合、動作は保証されません。

53.11.7　ボード設計に関する注意事項

(1)　保護回路

過度のサージのような異常電圧によりアナログ入力ピンが破壊されるのを防ぐために、以下の対策を行ってください。

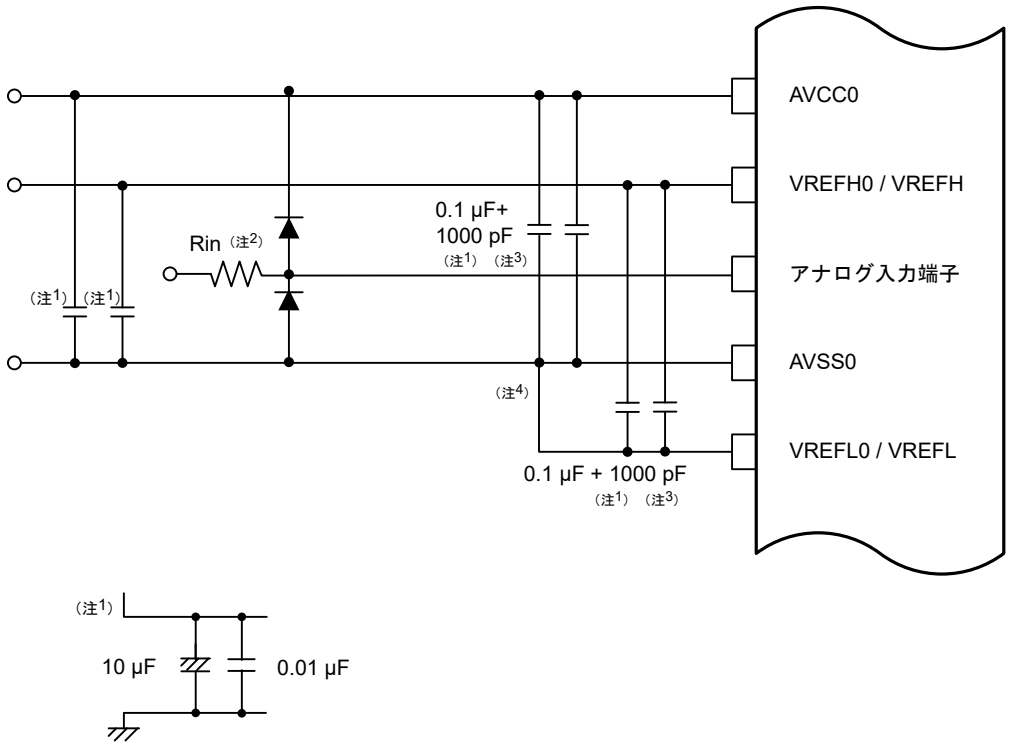
- 電源端子とグランド端子間にコンデンサを挿入してください。挿入する点を以下に示します。
  - AVCC0 と AVSS0 間
  - VREFH0 と VREFL0 間
  - VREFH と VREFL 間
- アナログ入力ピンを保護するために、保護回路を接続してください。

保護回路の例を図 53.66 に示します。

(2) A/D 変換精度を確保するためのボード設計

A/D 変換精度を確保するために、下記に配慮してボード設計をしてください。

- アナログ回路とデジタル回路は、できるだけ離してください。
- アナログ信号線とデジタル信号線は、交差させたり近づけたりしないでください。
- アナログ入力、アナログ基準電源 (VREFH0, VREFH)、アナログ基準グランド (VREFL0, VREFL)、およびアナログ電源 (AVCC0) はアナロググランド (AVSS0) を使用してデジタル回路と分離する必要があります。
- アナロググランド（AVSS0）はボード上の安定したデジタルグランド（VSS）に接続してください（単一グランドプレーン接続）
- アナログ電源端子とグランド端子間、およびアナログ基準電圧源端子とグランド端子間には、ノイズフィルタ用のコンデンサを端子に近い位置に配置し接続してください。また、AVSS0 端子、VREFL0 端子と VREFL 端子は、できるだけ端子の近い位置でボード上のアナロググランドに接続してください。図 53.66 に接続例を示します。



注 1. ここに示した値は参考値です。
適切な値は、お客様の基板設計や動作条件などにより異なります。
注 2. Rin: 信号源のインピーダンス
注 3. A/D 変換精度を確保するために、これらのコンデンサを適切なピンに、できるだけ近づける必要があります。
注 4. A/D 変換精度を確保するためのノイズフィルタ用のコンデンサにできるだけ近い位置で、ボードのアナロググランドに接続してください。

図 53.66 保護回路とノイズ対策の例

53.11.8 同期動作に関する注意事項

リセット解除後の初期状態では、同期動作機能が無効になっています。同期動作機能を使用する場合は、「53.3.19. 同期動作」に記載されている制限事項を守ってください。

53.11.9 チャネル専用サンプル&ホールド回路に関する注意事項

チャネル専用サンプル&ホールド回路を使用する場合は、制限事項を守ってください。詳細は、「53.3.16. チャネル専用サンプル＆ホールド回路」を参照してください。

53.11.10 複数の A/D コンバータ (ADC16H) および高速アナログコンパレータ (ACMPHS) 間で共有されているアナログチャネルに関する制限

A/D 変換結果の精度の劣化を防ぐため、自己診断チャネルを除き、ADC0 と ADC1 の双方から同じアナログチャネル（同じアナログ信号源）を A/D 変換することは禁止されています。また、A/D 変換時のアナログ信号源を ACMPHS の入力として選択してはいけません。

この制限に違反した場合、対象のアナログチャネルの A/D 変換精度は著しく劣化する可能性があるため、A/D 変換結果は保証されません。

表 53.64 に示す A/D 変換対象の場合、ユニット 0 とユニット 1 は同時に A/D 変換を実施できません。

表 53.64 互いに排他的関係にある A/D 変換対象

A/D 変換対象	
ユニット 0	ユニット 1
AN016	
AN017	
AN018	
AN019	
AN020	
AN021	
AN022	
温度センサ	
内部基準電圧	
VBATT 1/6 電圧監視出力	
D/A コンバータチャネル 0	
D/A コンバータチャネル 1	

表 53.65 に示す A/D 変換対象は、ADC16H と ACMPHS との兼用端子であるため、A/D 変換中に ACMPHS 入力として選択してはなりません。

表 53.65 ACMPHS と排他的関係にある A/D 変換対象 (1/2)

A/D 変換対象		
ユニット 0	ユニット 1	ACMPHS
AN000	—	ACMPHS0.IVCMP2
AN001	—	ACMPHS0.IVCMP3
AN002	—	ACMPHS1.IVCMP2
AN003	—	ACMPHS1.IVCMP3
AN004	—	ACMPHS2.IVCMP2
AN005	—	ACMPHS2.IVCMP3
—	AN006	ACMPHS3.IVCMP2
—	AN007	ACMPHS3.IVCMP3
—	AN008	ACMPHS0～ACMPHS3.IVREF0
—	AN009	ACMPHS0～ACMPHS3.IVREF1
AN014	—	ACMPHS3.IVCMP0

表 53.65 ACMPHS と排他的関係にある A/D 変換対象 (2/2)

A/D 変換対象		
ユニット 0	ユニット 1	ACMPHS
—	AN015	ACMPHS2.IVCMP0
AN016	AN016	ACMPHS1.IVCMP0
AN017	AN017	ACMPHS0.IVCMP0
内部基準電圧	内部基準電圧	ACMPHS0～ACMPHS3.IVREF2
D/A コンバータチャネル 0	D/A コンバータチャネル 0	ACMPHS0～ACMPHS3.IVREF3
D/A コンバータチャネル 1	D/A コンバータチャネル 1	ACMPHS0～ACMPHS3.IVCMP1

53.11.11 A/D 変換開始トリガに関する注意事項

(1) 同じスキャングループに対する A/D 変換開始トリガに関する制限

同じスキャングループに対する A/D 変換開始トリガは、バックグラウンド連続スキャンモードと 1 チャネル連続スキャンモード（この場合、A/D コンバータの開始トリガは無視されます）を除き、そのスキャングループのスキャン動作が完了するまで受け付けられません。

スキャングループのスキャン動作が完了し (ADSCANENDSR.SCENDFn = 1 (n = 0～8))、PCLKA クロックサイクルが 6 サイクル以上経過してから、同じスキャングループに対する A/D 変換開始トリガを入力してください。

(2) 校正と A/D 変換に関する禁止事項

スリープ動作中に ADC ユニットで校正と A/D 変換を開始することは禁止されています。さらに、校正動作中や A/D 変換動作中に ADC ユニットをスリープモードに設定することは禁止です。

53.11.12 自己校正に関する注意事項

自己校正機能の制限事項を守ってください。詳細は、「53.3.8. 自己校正」を参照してください。

53.11.13 グループ優先動作に関する注意事項

グループ優先動作を使用する場合は、制限事項を守ってください。詳細は、「53.3.18. グループ優先動作」を参照してください。

53.11.14 SAR モードに関する制限

(1) 分解能と精度に関する注意事項

SAR モードでは、A/D コンバータは 12 ビット A/D コンバータとして機能します。A/D コンバータから出力されるデータは演算処理で 16 ビットデータ長に内部的に拡張されますが、14 ビット長または 16 ビット長のデータフォーマットが選択されていても、12 ビットを超える分解能と精度は該当の A/D 変換データに対して保証されません。演算の分解能を向上させたい場合は、A/D 変換値加算／平均機能またはユーザーゲイン／ユーザーオフセット機能のように、SAR モードで 14 ビット長または 16 ビット長のデータフォーマットを選択してください。

(2) デジタルフィルタ機能に関する制限

SAR モードでは、デジタルフィルタ機能の使用は禁止されています。デジタルフィルタ機能が有効な場合、動作は保証されません。

53.11.15 オーバーサンプリングモードに関する制限

(1) デジタルフィルタの設定に関する制限

オーバーサンプリングモードでは、デジタルフィルタ機能の使用は必須です。デジタルフィルタ機能を使用せずに A/D 変換を実行すると、A/D 変換特性は保証されません。

(2) 1 チャネル連続スキャンモードでのトリガ間隔に関する制限

オーバーサンプリングモード（1 チャネル連続スキャンモードでは、以下の間隔を開けて A/D 変換開始トリガを入力する必要があります。

［A/D 変換開始トリガの入力に必要な間隔］

- トリガ遅延機能が使用されない場合、またはソフトウェアトリガが使用される場合：ADCLK 8 サイクル以上
- トリガ遅延機能が使用される場合：（8 + ADTRGDLRm.TRGDLYn[7:0]の設定値） × ADCLK 以上

注. m = 0～4, n = 0～8

この制限に違反した場合、A/D 変換開始トリガは受け付けられず、無視されます。

53.11.16 ハイブリッドモードに関する制限

(1) 1 本のチャネルのみでのスキャン動作の禁止

ハイブリッドモードでは、1 つのスキャングループに 2 本以上の仮想チャネルを割り当ててください（最大 4 本の仮想チャネル）。1 つのスキャングループに 1 本の仮想チャネルのみを割り当てた場合のスキャン動作は禁止されています。この制限に違反した場合、動作は保証されません。

(2) 仮想チャネルの設定に関する制限

ハイブリッドモードでは、同じスキャングループに割り当てられた複数の仮想チャネルに、同じアナログチャネルを割り当てないでください。この制限に違反した場合、A/D 変換結果は保証されません。

(3) デジタルフィルタの設定に関する制限

ハイブリッドモードでは、デジタルフィルタ機能の使用は必須です。ハイブリッドモードでデジタルフィルタ機能を使用せずに A/D 変換を実行すると、A/D 変換特性は保証されません。

さらに、ハイブリッドモードでは複数のデジタルフィルタが同時に使用されるので、同じスキャングループの仮想チャネルに使用されるデジタルフィルタは、排他的に設定されていなければなりません。
ADDOPCRAn.DFSEL[2:0] (n = 0～32) ビットで選択されるデジタルフィルタは、同じスキャングループの仮想チャネル間で排他的に設定されていなければなりません。同じスキャングループの複数の仮想チャネルから同じデジタルフィルタが選択される場合、動作は保証されません。

(4) A/D 変換値加算／平均機能に関する制限

ハイブリッドモードで A/D 変換値加算／平均機能を使用する場合、同じスキャングループ内のすべての仮想チャネルに対して、加算／平均の回数が同じになるように設定してください。この制限に違反した場合、動作は保証されません。

(5) バックグラウンド連続スキャンモードでのトリガインターバルに関する制限

ハイブリッドモード（バックグラウンド連続スキャンモード）では、A/D 変換開始トリガは、次の間隔以上を空けてから入力してください。

［A/D 変換開始トリガの入力間隔］

- トリガ遅延機能が使用されない場合、またはソフトウェアトリガが使用される場合：ADCLK 8 サイクル以上
- トリガ遅延機能が使用される場合：（8 + ADTRGDLRm.TRGDLYn[7:0]の設定値） × ADCLK 以上

注. m = 0~4、n = 0~8

この制限に違反した場合、A/D 変換開始トリガは受け付けられず、無視されます。

(6) 固定チャネル連続スキャンモードの制限事項

ハイブリッドモード（固定チャネル連続スキャンモード）の制限事項を守ってください。

- 固定チャネル連続スキャンモードの固定チャネルは、スキャングループと、各ユニット用に指定される仮想チャネルを使用します。固定チャネルに割り当て可能なスキャングループと仮想チャネルについては、表 53.66 を参照してください。固定チャネルに割り当て可能な仮想チャネルのスキャングループ設定は、設定なし (ADCHCRn.SGSEL[4:0] = 0x00 (n = 0～32)) にする必要があります。

表 53.66 固定チャネル連続スキャンモードの仮想チャネル番号

ユニット	ユニット 0	ユニット 1
スキャングループ	スキャングループ 0	スキャングループ 1
第 1 固定チャネル	仮想チャネル 0	仮想チャネル 4
第 2 固定チャネル	仮想チャネル 1	仮想チャネル 5
第 3 固定チャネル	仮想チャネル 2	仮想チャネル 6

- スキャン期間は、固定チャネルおよび非固定チャネルのための合計変換回数以上の数値に設定する必要があります。スキャン期間が固定および非固定チャネルのための合計変換回数に満たない値に設定された場合、このスキャン期間を過ぎた変換サイクルは A/D 変換の対象になりません。
- 非固定チャネルが原因でスキャン期間が変化しないようにするには、非固定チャネルに使用されるすべての仮想チャネルサンプリング状態 (ADSSTRx.SSTy[9:0]) に同じ時間を設定してください。
- このモードでスキャンを開始する前に、ADMDR.ADMDm[3:0] = 0000 (m = 0, 1) を設定し、SAR のためのゲイン／オフセット校正を行う必要があります。SAR のためのゲイン／オフセット補正計数は、このモードで実行されたゲイン／オフセット校正によって計算されるハイブリッド用の補正係数とは別に準備されます。これらの補正係数は、固定チャネルと非固定チャネルの変換結果をそれぞれ補正するために使用されます。
- 加算／平均モードの固定チャネルスキャンで固定チャネルと非固定チャネルを使用することは禁止されています。
- 固定チャネル連続スキャンモードを使用する場合は、SAR モード（シングルスキャンモード）のためのゲイン／オフセット校正も行ってください。

固定チャネル連続モードの詳細については、「53.3.7.9. ハイブリッドモード（固定チャネル連続スキャンモード）」を参照してください。

(7) 高精度モードに関する制限

ハイブリッドモードでは高精度モードを有効にしてください。

53.11.17 複合コンペアマッチの制限事項

複合コンペアマッチ機能で複数のユニットに対して共通のコンペアマッチテーブルを使用することは禁止されています。この設定が選択された場合、いずれかのユニットで条件が満たされたときに複合条件の MATCH 割り込みがアサートされます。どのユニットについても条件が満たされない場合、複合条件の UNMATCH 割り込みがアサートされます。

53.11.18 高精度モード設定レジスタの制限

高精度モードを使用する (ADACMDR.ADHACMDn (n = 0,1) = 1)) ときには、以下の設定制限を守ってください。

- ADSSTRn.SSTm[9:0] ≧ ADCNVSTR.CSTn (n = 0, 1) [5:0] × 1.6
- ADSSTRn.SSTm[9:0] ≧ 10’h4
- ADSSTRn.SSTm[9:0]が 2 の倍数に設定されること
- 同期動作を使用する場合は、同期動作期間を次のように設定する必要があります
  - ADSYCR.ADSYCYC[7:0] × i = ADSSTRn.SSTm[9:0] + ADCNVSTR.CSTn[5:0]
    （i：1 または任意の偶数 (i = 1, 2, 4, 6…)）
- 高精度モードは SAR モードまたはハイブリッドモードの使用時にのみ使用可能です。高精度モードでサポートされるスキャンモードを表 53.67 に示します

表 53.67 高精度モードでサポートされるスキャンモード (1/2)

A/D コンバータの動作モード	高精度モード	
	無効 (ADACMDR.ADHACMDn = 0)	有効 (ADACMDR.ADHACMDn = 1)
SAR モード	✓	✓

表 53.67 高精度モードでサポートされるスキャンモード (2/2)

A/D コンバータの動作モード	高精度モード	
	無効 (ADACMDR.ADHACMDn = 0)	有効 (ADACMDR.ADHACMDn = 1)
オーバーサンプリングモード	✓	—
ハイブリッドモード	—	✓

53.11.19 VBATT 電圧監視出力の測定に関する制限

VBATT 1/6 電圧監視出力の測定時には、2 つ以上の A/D 変換を実行して最初の変換結果を無視するか、複数の A/D 変換を実行して変換結果の平均を使用してください。

53.11.20 サンプリング誤差とサンプリング時間の見積もり

本節では、サンプリング誤差とサンプリング時間の見積もり方法を説明します。

外部から入力されるアナログ信号の A/D 変換に必要なサンプリング時間は、A/D コンバータのサンプリング容量に対する充電時間によって決まります。図 53.67 に簡略化された回路モデルを示します。

サンプリング時間は、以下の計算式で概算できます。

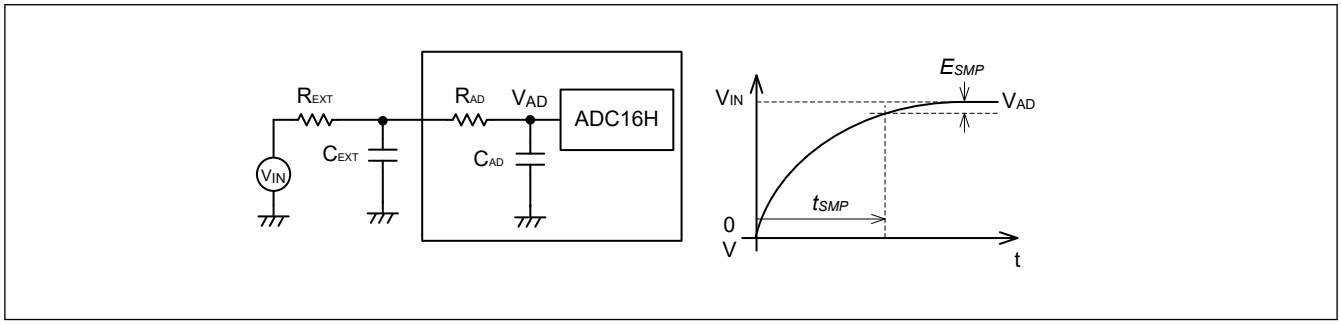


図 53.67 A/D コンバータのサンプル&ホールド回路の簡略図

サンプリング誤差を見積もることができます。(0 から 1、V_{IN}=VREFH0/VREFH のときに 1) サンプリング誤差 (E_{SMP}) が想定される範囲になるように、サンプリング時間 (t_{SMP}) を設定します。

[サンプリング誤差の見積もり式]

$$E_{SMP}(t) = \frac{\frac{k_1 C_{AD}}{C_{EXT} + k_1 C_{AD}}}{1 - \frac{C_{EXT}}{C_{EXT} + k_1 C_{AD}} e^{\frac{-t_{SCAN} + t_{SMP}/k_2\left(1 - \frac{\tau_{EXT}}{\tau}\right)}{\tau_{EXT}}}} e^{\frac{-t_{SMP}/k_2}{\tau}}$$

$$\tau = R_{EXT}(C_{EXT} + k_1 C_{AD}) + R_{AD} k_1 C_{AD}$$

$$\tau_{EXT} = R_{EXT} C_{EXT}$$

E_{SMP}: サンプリング誤差の見積もり値

t_{SMP}: サンプリング時間

C_{EXT}: 外部容量(端子容量 + PCB寄生容量)

C_{AD}: 内部サンプリング容量

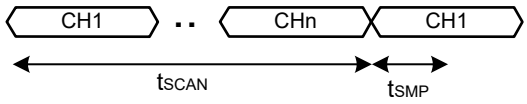
R_{EXT}: 外部入力信号源インピーダンス

R_{AD}: 内部抵抗

k_1,k_2: 動作モードによる補正係数

t_{SCAN}: チャネルスキャンインターバル

図 53.68 にチャネルスキャンインターバルの定義を示します。



tSMP ： サンプリング時間
tSCAN ： チャネルスキャンインターバル

図 53.68　チャネルスキャンインターバルの定義

注.　各パラメーターの代表値は以下のとおりです。
ここに示す値は参考値です。
- 内部サンプリング容量 (C_{AD}): 7 pF

表 53.68　k_1、k_2 の参考値

電源	スキャンモード	k_1		k_2
		高速チャネル (AN000～AN011) 低速チャネル (AN016～AN022)	中速チャネル (AN012～AN015)	
AVCC: 2.7～3.63 V VCC: 2.7～3.63 V VREFH0/VREFH: 2.7 V～AVCC	SAR モード（通常モード）	1.3	1.3	1.0
	SAR モード（高精度モード）	1.3	1.3	1.8
	オーバーサンプリングモード	1.0	1.0	1.0
	ハイブリッドモード	1.3	1.3	1.8
AVCC: 1.62～2.7 V VCC: 1.62～2.7 V VREFH0/VREFH: 1.62 V～AVCC	SAR モード（通常モード）	1.2	1.3	1.0
	SAR モード（高精度モード）	1.2	1.3	1.8
	オーバーサンプリングモード	1.0	1.0	1.0
	ハイブリッドモード	1.2	1.3	1.8

表 53.69　RAD の参考値

電源	RAD (Ω)		
	高速チャネル (AN000～AN011)	中速チャネル (AN012～AN015)	低速チャネル (AN016～AN022)
AVCC: 2.7～3.63 V VCC: 2.7～3.63 V VREFH0/VREFH: 2.7 V～AVCC	700	2000	3000
	1500	3000	5000

[使用上の注意事項]

- サンプリング時間は「62. 電気的特性」と本章の制限事項に指定されているサンプリング時間の最小値以上である必要があります。
- 本節で説明した計算式は、一般使用の場合を考慮して簡略化されています。この式は正確なサンプリング誤差とサンプリング時間を保証するものではありません。おおまかなサンプリング誤差とサンプリング時間を見積もる場合にのみ、この式を使用してください。

53.11.21　ADC16H 入力使用時のポート設定

高速チャネルと中速チャネル (AN000～AN015) を使用する場合は、PORT0 をデジタル出力ポートとして使用しないでください。低速チャネル (AN016～AN022) を使用している場合は、AD アナログ入力とデジタル出力に同じポートは使用しないことを推奨します。AD アナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとってください。

53.11.22 他のモジュールとの同時動作における注意事項

以下の組み合わせでは、動作の特定のタイミングにおいて ADC 精度が低下する可能性があります。

- ADC ユニット 1 の全チャネル（DAC12 が動作しているとき）
- ADC ユニット 0 と ADC ユニット 1 の全てのチャネル（外部バスへのアクセスをしているとき）
- ADC ユニット 0 と ADC ユニット 1 の特定のチャネル（ACMPHS が動作しているとき）詳細は表 53.65 を参照してください。

精度の低下を緩和するため、以下の対策をとることを推奨します。

- A/D 変換を平均モードで実行する
- より良好な結果を得るために、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとる

54. 12 ビット D/A コンバータ (DAC12)

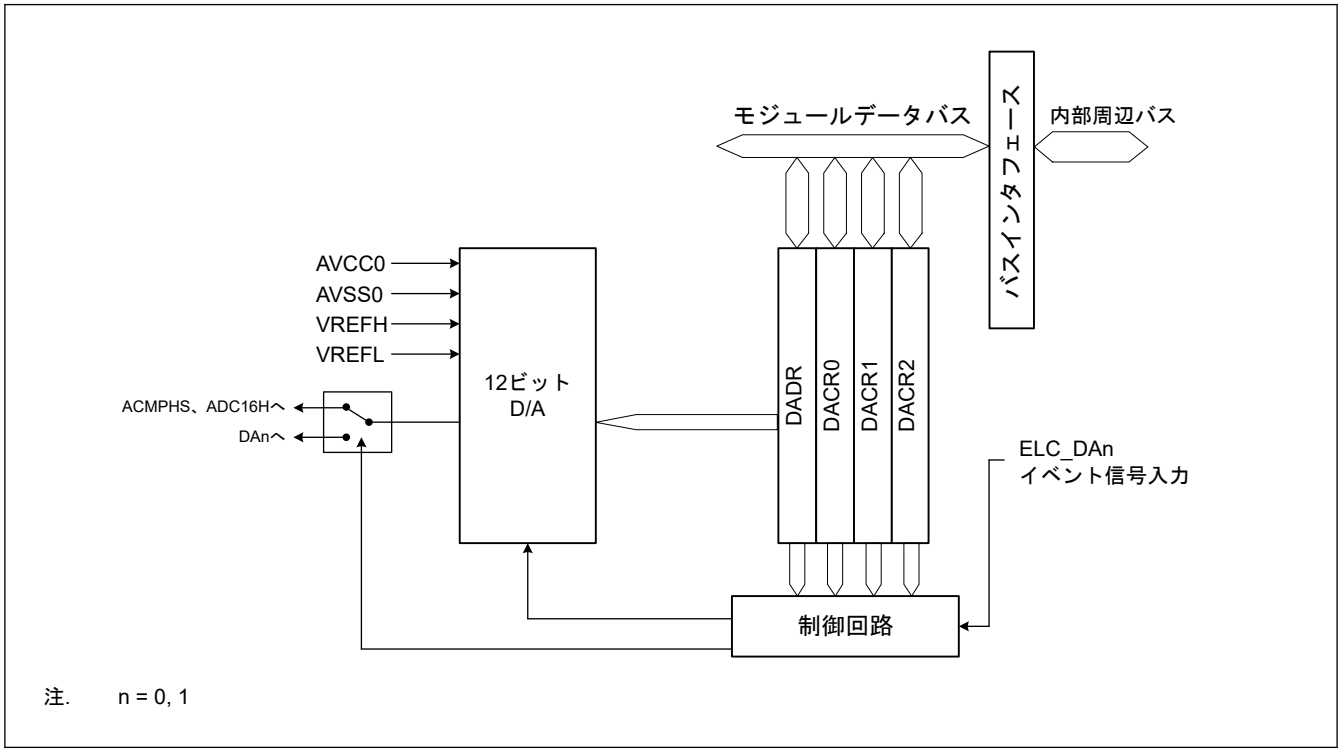
54.1 概要

これは DAC12 周辺モジュールの DAC_B バージョンです。本章では DAC_B を DAC12 と呼びます。

本 MCU は、12 ビット D/A コンバータ (DAC12) を内蔵しています。表 54.1 に DAC12 の仕様、図 54.1 にブロック図、表 54.2 に入出力端子を示します。

表 54.1 DAC12 の仕様

項目	仕様
分解能	12 ビット
出力チャネル	2 チャネル
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
イベントリンク機能（入力）	イベント信号の入力時に DA0 および DA1 変換を開始可能
D/A 出力の出力先制御機能	外部端子または内部モジュール（ACMPHS と ADC16H）のどちらへの出力を使用するかを制御
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能



注. n = 0, 1

図 54.1 DAC12 のブロック図

表 54.2 に DAC12 の端子構成を示します。

表 54.2 DAC12 の入出力端子 (1/2)

端子名	入出力	機能
AVCC0	入力	• ADC16H と DAC12 用のアナログ電源およびアナログ基準頂部電圧端子 • これらのモジュールを使用しない場合は、VCC に接続してください。
AVSS0	入力	• ADC16H と DAC12 用のアナロググランド端子およびアナログ基準グランド端子 • これらのモジュールを使用しない場合は、VSS に接続してください。
VREFH	入力	ADC16H（ユニット 1）と DAC12 用のアナログ基準頂部電圧源端子
VREFL	入力	ADC16H（ユニット 1）と DAC12 用のアナログ基準グランド端子

表 54.2 DAC12 の入出力端子 (2/2)

端子名	入出力	機能
DA0	出力	DAC12 で処理されるアナログ信号用のチャネル 0 出力端子
DA1	出力	DAC12 で処理されるアナログ信号用のチャネル 1 出力端子

54.2 レジスタの説明

54.2.1 DADR : D/A データレジスタ

Base address: DACn_B = 0x4023_3000 + 0x0100 × n (n = 0, 1)
DACn_B_NS = 0x5023_3000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0000

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注. S-TYPE-3, P-TYPE-3

DADR レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し／書き込みレジスタです。アナログ出力を許可すると、DADR レジスタの値が変換されアナログ出力端子に出力されます。

12 ビットデータを左詰めにするか右詰めにするかは、DACR1.DPSEL ビットで設定できます。右詰め形式 (DACR1.DPSEL = 0) では、下位 12 ビット ([11:0]) が有効です。左詰め形式 (DACR1.DPSEL = 1) では、上位 12 ビット ([15:4]) が有効です。

54.2.2 DACR0 : D/A コントロール 0 レジスタ

Base address: DACn_B = 0x4023_3000 + 0x0100 × n (n = 0, 1)
DACn_B_NS = 0x5023_3000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DAOUTDIS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DAE (注1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DACEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DACEN	D/A 出力許可 0: チャネル n のアナログ出力 (DAn) を禁止 1: チャネル n の D/A 変換 (DAn) を許可	R/W
14:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	DAE(注1)	D/A 許可 R/W 0: チャネル 0 とチャネル 1 の D/A 変換を個別制御 1: チャネル 0 とチャネル 1 の D/A 変換を一括制御	R/W
30:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	DAOUTDIS	アナログ出力禁止 0: 端子への出力を許可、コンパレータへの出力を禁止 1: 端子への出力を禁止、コンパレータへの出力を許可	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、変換結果の出力を制御する DACR0.DACEN ビット (n = 0, 1) との組み合わせで D/A 変換を制御します。詳細は、表 54.3 を参照してください。

表 54.3 D/A 変換の制御

DAC120 の DACR0.DAE	DAC121 の DACR0.DAE	DAC120 の DACR0.DACEN	DAC121 の DACR0.DACEN	内容
0	0	0	0	D/A 変換とアナログ出力端子 (DA0, DA1) を禁止(注1)
0	0	1	0	• チャネル 0 の D/A 変換を許可、チャネル 1 の D/A 変換を禁止 • チャネル 0 のアナログ出力 (DA0) を許可、チャネル 1 のアナログ出力 (DA1) を禁止(注1)
0	0	0	1	• チャネル 0 の D/A 変換を禁止、チャネル 1 の D/A 変換を許可 • チャネル 0 のアナログ出力 (DA0) を禁止(注1)、チャネル 1 のアナログ出力 (DA1) を許可
0	0	1	1	• チャネル 0 とチャネル 1 の D/A 変換を許可 • チャネル 0 とチャネル 1 のアナログ出力 (DA0, DA1) を許可
1(注2)	x	x	x	• チャネル 0 とチャネル 1 の D/A 変換を許可 • チャネル 0 とチャネル 1 のアナログ出力 (DA0, DA1) を一括して許可
x	1(注2)	x	x	• チャネル 0 とチャネル 1 の D/A 変換を許可 • チャネル 0 とチャネル 1 のアナログ出力 (DA0, DA1) を一括して許可

注. x: Don't care
注 1. アナログ出力禁止時、アナログ出力信号は Hi-Z 状態になります。
注 2. DAC120 と DAC121 のセキュリティ属性が一致していないときは、DAE ビットを 1 にしても D/A 変換とアナログ出力端子には影響しません。

DACEN ビット（D/A 出力許可）

DACEN ビットは、DAE ビットとの組み合わせで、D/A 変換とアナログ出力を制御します。詳細は、表 54.4 を参照してください。

DACEN ビットが 0 で DAE ビットも 0 のとき、チャネル n (n = 0, 1) の D/A 変換は行われず、変換結果も出力されません。

DAE ビット（D/A 許可 R/W）

DAE ビットは、DACEN ビットとの組み合わせで、D/A 変換とアナログ出力を制御します。詳細は、表 54.4 を参照してください。

DAOUTDIS ビット（アナログ出力禁止）

DAOUTDIS ビットは、DAC12 のアナログ出力先を制御します。端子に出力する場合は 0 を、コンパレータに出力する場合は 1 を設定してください。端子とコンパレータの両方に同時に出力することはできません。

イベントリンク機能を使用して、DACEN ビットを 1 にできます。ELC の ELSR12 レジスタで指定されたイベント（ELC_DA0 イベント）が発生すると、DAC120 の DACR0.DACEN ビットが 1 になり、D/A 変換結果の出力が開始されます。ELC の ELSR13 レジスタで指定されたイベント（ELC_DA1 イベント）が発生すると、DAC121 の DACR0.DACEN ビットが 1 になり、D/A 変換結果の出力が開始されます。

表 54.4 D/A 変換とアナログ出力制御

DACR0.DAE	DACR0.DACEN	DACR0.DAOUTDIS	チャネル n 動作	チャネル n のアナログ外部出力 (注1)	チャネル n のアナログ内部出力 (注2)
0	0	x	停止	Hi-Z	Hi-Z
	1	0	動作	D/A 出力	Hi-Z
		1	動作	Hi-Z	D/A 出力
1	x	0	動作	D/A 出力	Hi-Z
		1	動作	Hi-Z	D/A 出力

注. x : Don't care
注 1. 端子への出力
注 2. ACMPHS と ADC16H への出力

54.2.3 DACR1 : D/A コントロール 1 レジスタ

Base address: DACn_B = 0x4023_3000 + 0x0100 × n (n = 0, 1)
DACn_B_NS = 0x5023_3000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DPSEL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DPSEL	DADR フォーマット選択 R/W 0: 右詰めフォーマット 1: 左詰めフォーマット	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DPSEL ビット（DADR フォーマット選択 R/W）

DPSEL ビットは、DADR レジスタのデータフォーマットを制御します。

54.2.4 DACR2 : D/A コントロール 2 レジスタ

Base address: DACn_B = 0x4023_3000 + 0x0100 × n (n = 0, 1)
DACn_B_NS = 0x5023_3000 + 0x0100 × n (n = 0, 1)

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OFSSEL	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	OFSSEL	DAC 動作電圧モード選択 0: 通常電圧モード (VREFH ≧ 2.7 V) 1: 低電圧モード (VREFH < 2.7 V)	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

OFSSEL ビット（DAC 動作電圧モード選択）

OFSSEL ビットは、アナログ基準電圧 VREFH に従って DAC 出力電圧の最適化を制御します。VREFH 電圧が 2.7 V より低いとき、OFSSEL ビットを 1 に設定してください。

54.3 動作

DACR0.DAE ビットが 1 のとき、または DACR0.DACEN ビットが 1 のとき、DAC12 は D/A 変換を実行します。D/A 変換結果の出力先は、DACR0.DAOUTDIS ビットの値で切り替えることができます。

DACR0.DAOUTDIS ビットが 0 のとき、D/A 変換結果は DAC 出力モードで DAn 端子に出力されます。
DACR0.DAOUTDIS ビットが 1 のとき、D/A 変換結果はコンパレータ出力モードでコンパレータに出力されます。

出力値（参考）は以下の式で計算します。

$$\frac{\text{DADR内の設定}}{4096} \times \text{VREFH}$$

54.3.1 コンフィグレーション更新による係数値の転送

DAC12 を使用する前に、エクストラ MRAM から係数値を転送する必要があります。「59.10. コンフィグレーション更新転送」を参照してください。

54.3.2 DAC 出力モード

以下に DAC 出力モードでのチャネル n (n = 0, 1) の D/A 変換例を示します。図 54.2 に、このときの動作タイミングを示します。

1. DACR0.DAOUTDIS ビットを 1 にします。
2. 必要に応じて DACR1.DPSEL ビットと DACR2.OFSSEL ビットを設定します。D/A 変換の初期データを DADR レジスタに設定します。
   DACR2.OFSSEL ビットを 0 にする場合は、D/A 変換の開始の初期値として DADR レジスタに 0x0E0 を設定し、それ以外の場合は DADR レジスタに 0x1F8 を設定します。
3. DAOUTDIS ビットの設定から t_{SU} が経過した後、DACR0.DACEN ビットまたは DACR0.DAE ビットを 1 に設定します。
4. t_{DISOUT} が経過した後、DACR0.DAOUTDIS ビットを 0 に設定します。時間 $t_{DSLPUP2}$ の後、初期値の D/A 変換結果は DAn 端子に出力されます。
5. D/A 変換のデータを DADR レジスタに設定します。
6. t_{DCONV2} が経過した後、D/A 変換結果が DAn 端子に出力されます。

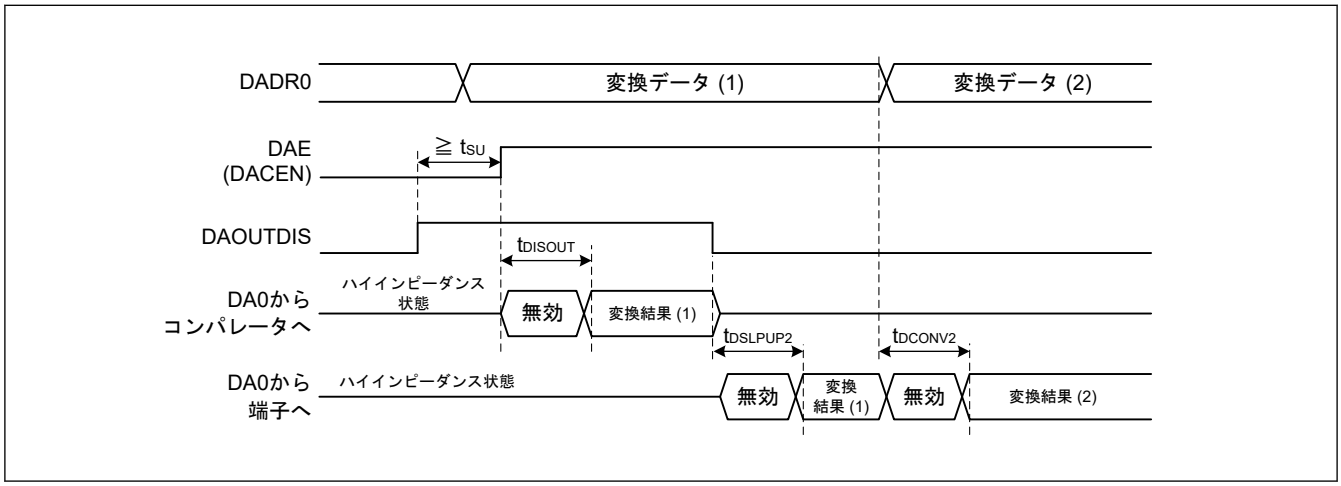


図 54.2 DAC12 の動作例（DAC 出力モード）

54.3.3 コンパレータ出力モード

以下にコンパレータ出力モードでのチャネル n (n = 0, 1) の D/A 変換例を示します。図 54.3 に、このときの動作タイミングを示します。

1. DACR0.DAOUTDIS ビットを 1 にします。
2. 必要に応じて DACR1.DPSEL ビットと DACR2.OFSSEL ビットを設定します。D/A 変換の初期データを DADR レジスタに設定します。
   DACR2.OFSSEL ビットを 0 にする場合は、D/A 変換の開始の初期値として DADR レジスタに 0x0E0 を設定し、それ以外の場合は DADR レジスタに 0x1F8 を設定します。

3. DAOUTDIS ビットの設定から t_{SU} が経過した後、DACR0.DACEN ビットまたは DACR0.DAE ビットを 1 に設定します。
4. 時間 $t_{DSLPUP2}$ の後、初期値の D/A 変換結果はコンパレータに出力されます。
5. D/A 変換のデータを DADR レジスタに設定します。
6. t_{DCONV1} が経過した後、D/A 変換結果がコンパレータに出力されます。

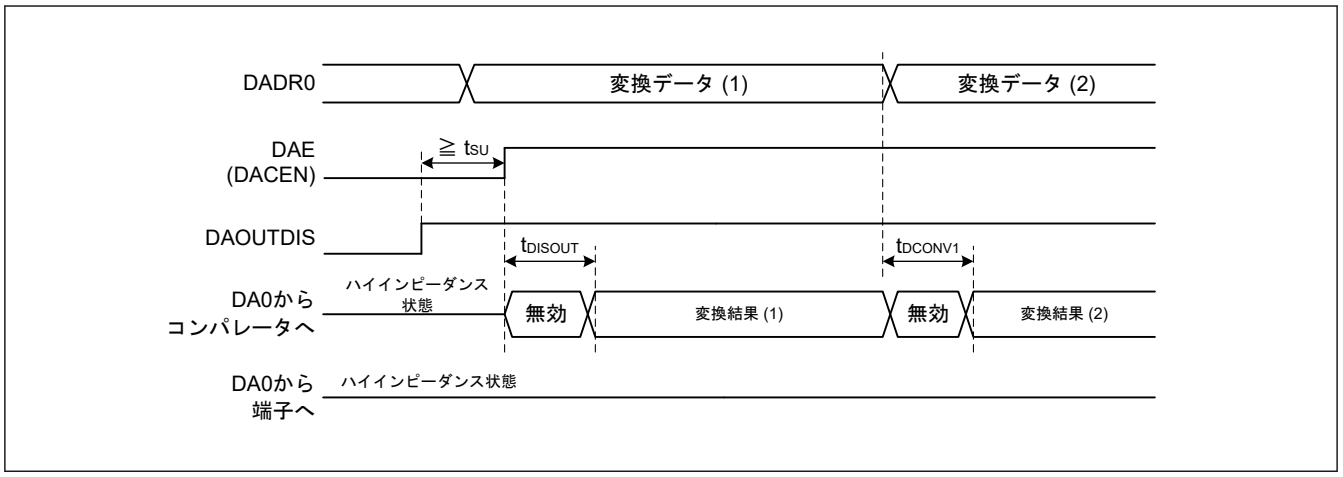


図 54.3 DAC12 の動作例（コンパレータ出力モード）

54.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

54.4.1 DA0 イベントリンクの動作設定手順

DA0 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DACR1.DPSEL ビットをいずれかの値に設定します。
2. DACR0.DACEN ビットを 0 にします。
3. D/A 変換のデータを DADR に設定します。
4. ELC_DA0 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
5. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
6. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DAC0DACR0.DACEN ビットが 1 になり、チャネル 0 の D/A 変換が開始されます。
   出力値が安定化するまでに次の時間が必要です。
   DAC 出力モード：10.5µs
   コンパレータ出力モード：7µs
7. DAC12 チャネル 0 のイベントリンク動作を停止するときは、ELSR12 レジスタを 0x0000 にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

54.4.2 DA1 イベントリンクの動作設定手順

DA1 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DACR1.DPSEL ビットをいずれかの値に設定します。
2. DACR0.DACEN ビットを 0 に設定します。
3. D/A 変換のデータを DADR に設定します。
4. ELC_DA1 イベント信号が ELSR13 レジスタの各周辺モジュールとリンクするよう設定します。
5. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。

6. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR0.DACEN ビットが 1 になり、チャネル 1 の D/A 変換が開始されます。
出力値が安定化するまでに次の時間が必要です。
DAC 出力モード：10.5µs
コンパレータ出力モード：7µs
7. DAC12 チャネル 1 のイベントリンク動作を停止するときは、ELSR13 レジスタを 0x0000 にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

54.5 セキュリティ属性によるアナログ出力制御

表 54.5 に示すように、DA0/DA1 端子へのアナログ出力は、ポートと DAC12 のセキュリティ属性によって、制御されます。

ACMPHS へのアナログ出力は、セキュリティ属性によって制御されません。

表 54.5 セキュリティ属性によるアナログ出力制御

セキュリティ属性			アナログ出力	
DAC12 (PSARD)	P014 (PmSAR (m = 0～9, A, B))	P015 (PmSAR (m = 0～9, A, B))	P014 端子出力	P015 端子出力
0（セキュア）	1（非セキュア）	1（非セキュア）	許可	許可
0（セキュア）	1（非セキュア）	0（セキュア）	許可	許可
0（セキュア）	0（セキュア）	1（非セキュア）	許可	許可
0（セキュア）	0（セキュア）	0（セキュア）	許可	許可
1（非セキュア）	1（非セキュア）	1（非セキュア）	許可	許可
1（非セキュア）	1（非セキュア）	0（セキュア）	許可	禁止
1（非セキュア）	0（セキュア）	1（非セキュア）	禁止	許可
1（非セキュア）	0（セキュア）	0（セキュア）	禁止	禁止

54.6 イベントリンク動作における注意事項

- イベントリンク機能を使用する場合、DACR0.DAE ビットは 0 にしてください。
- DAC120 の DACR0.DACEN ビットへの書き込みの実行中に ELC_DA0 イベント信号に対して指定されたイベントが生成されると、書き込みサイクルは停止され、このビットを 1 にする操作において生成されたイベントが優先されます。
- DAC121 の DACR0.DACEN ビットへの書き込みの実行中に ELC_DA1 イベント信号に対して指定されたイベントが生成されると、書き込みサイクルは停止され、このビットを 1 にする操作において生成されたイベントが優先されます。

54.7 使用上の注意

54.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、DAC12 の動作を禁止／許可することが可能です。DAC12 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

54.7.2 モジュールストップ時の DAC12 の動作

D/A 変換が許可された状態で MCU がモジュールストップ状態に遷移すると、D/A 出力が保持され、アナログ電源電流は D/A 変換中と同じになります。モジュールストップ状態でアナログ電源電流を低減する必要がある場合は、DACR0.DACEN および DACR0.DAE ビットを 0 にして D/A 変換を禁止します。

54.7.3 ソフトウェアスタンバイモード時の DAC12 の動作

D/A 変換が許可された状態で MCU がソフトウェアスタンバイモードに遷移すると、D/A 出力が保持され、アナログ電源電流は D/A 変換中と同じになります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR0.DACEN および DACR0.DAE ビットを 0 にして D/A 変換を禁止します。

54.7.4 ディープソフトウェアスタンバイモードへの移行に関する制約

D/A 変換が許可された状態で MCU がディープソフトウェアスタンバイモードに遷移すると、D/A 出力が保持され、アナログ電源電流は D/A 変換中と同じになります。ディープソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR0.DACEN および DACR0.DAE ビットを 0 にして D/A 変換を禁止します。

55. 温度センサ回路 (TSN)

55.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC16H で変換されてから、末端の応用機器で使用できます。

表 55.1 に TSN の仕様を、図 55.1 に TSN のブロック図を示します。

表 55.1 TSN の仕様

項目	内容
温度センサ電圧出力	A/D コンバータに電圧を出力
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能
温度センサ校正データ	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納
温度監視リセット要因	センサは異常温度検出信号をリセット制御回路に出力
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

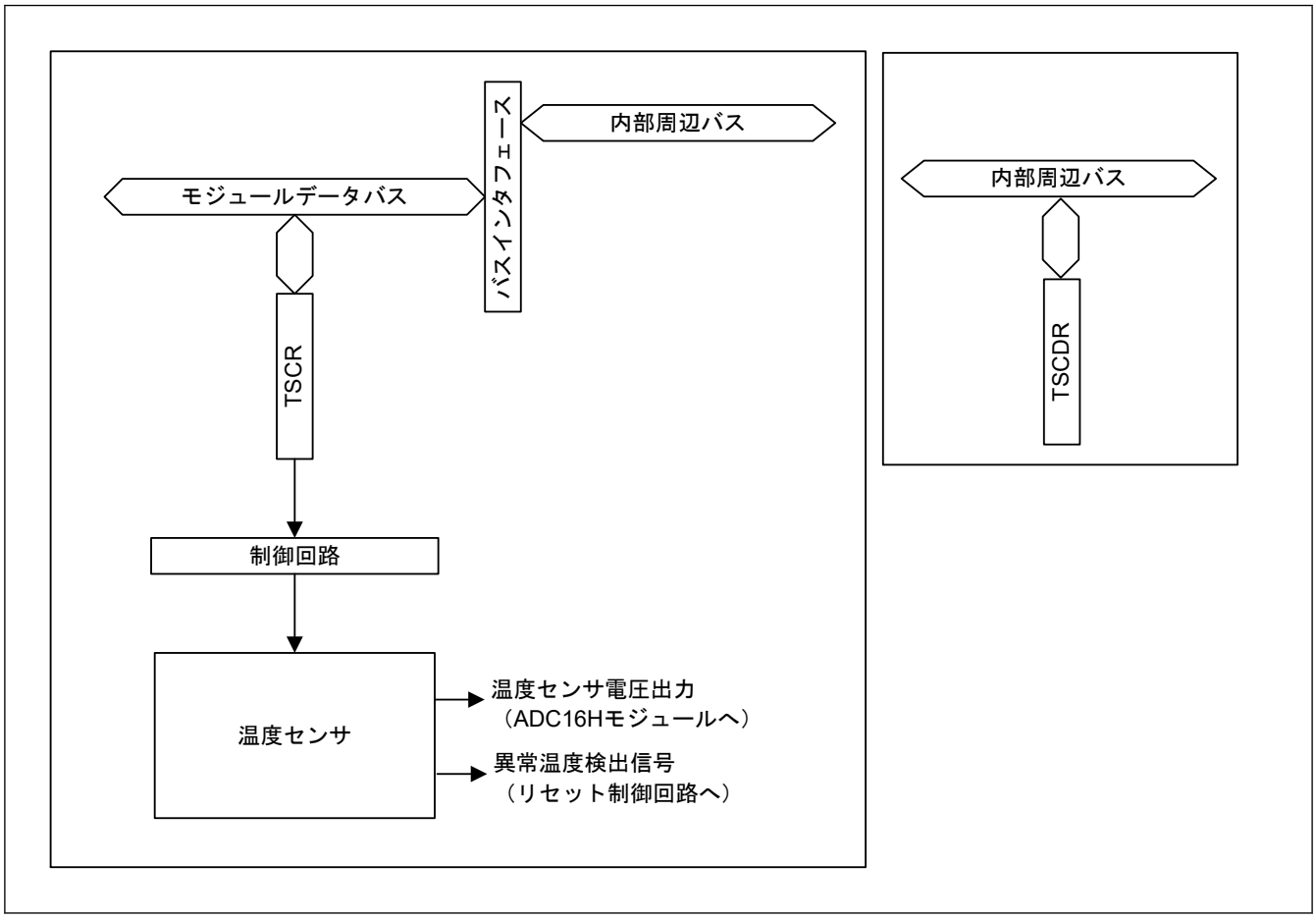


図 55.1 TSN のブロック図

55.2 レジスタの説明

55.2.1 TSCR : 温度センサコントロールレジスタ

Base address: TSN = 0x4023_5000
TSN_NS = 0x5023_5000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TSEN	—	—	TSOE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TSOE	温度センサ出力許可 0: 温度センサから ADC16H への出力を禁止 1: 温度センサから ADC16H への出力を許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TSEN	温度センサ許可 0: 温度センサが停止 1: 温度センサを開始する	R/W

注. S-TYPE3, P-TYPE3

TSCR は、温度センサの制御を行うレジスタです。図 55.3 に示されるタイミングの制約は、TSCR レジスタの設定に適用されます。

TSOE ビット（温度センサ出力許可）

TSOE ビットは ADC16H への温度センサ出力を許可または禁止します。

TSEN ビット（温度センサ許可）

TSEN ビットは温度センサの動作または停止を選択します。

55.2.2 TSCDR : 温度センサ校正データレジスタ

Base address: TSD = 0x02C1_EDA0
TSD_NS = 0x12C1_EDA0

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSCD[15:0]															
Value after reset:	チップごとの固有値															

ビット	シンボル	機能	R/W
15:0	TSCD[15:0]	温度センサ補正データ チップごとの固有値	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE5, P-TYPE5

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、Tj = 125±2 °C または 105±2 °C、AVCC0 = VREFH0 = 3.3 V の条件下の温度センサの出力電圧を A/D コンバータでデジタル値に変換した値です。測定温度条件の詳細については、「55.3.1. 使用前の準備」を参照してください。

TSCDR レジスタは読み出し専用の 32 ビットレジスタです。32 ビット単位で読み出してください。

温度センサ校正データは、TSCDR レジスタの下位 12 ビットに格納されています。

55.2.3 TSCDR2 : 温度センサ校正データレジスタ 2

Base address: TSD = 0x02C1_EDA0
TSD_NS = 0x12C1_EDA0

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSCD[15:0]															
Value after reset:	チップごとの固有値															

ビット	シンボル	機能	R/W
15:0	TSCD[15:0]	温度センサ校正データ チップごとの固有値	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE5, P-TYPE5

TSCDR2 レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、Tj = -40±2 °C、AVCC0 = VREFH0 = 3.3 V の条件下の温度センサの出力電圧を A/D コンバータでデジタル値に変換した値です。測定温度条件の詳細については、「55.3.1. 使用前の準備」を参照してください。

TSCDR2 レジスタは読み出し専用の 32 ビットレジスタです。32 ビット単位で読み出してください。

温度センサ校正データは、TSCDR2 レジスタの下位 12 ビットに格納されています。

55.3 温度センサ回路の使用方法

温度センサが出力する電圧は、温度により変化します。この電圧は A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

55.3.1 使用前の準備

MCU の周囲温度 (T) は温度センサの電圧出力 (Vs) と比例関係にあるため、以下の式で MCU の周囲温度を求められます。

T = (Vs - V1) / slope + T1

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- T1: 1 点目の試行測定時の温度 (°C)
- V1: T1 測定時の温度センサの出力電圧 (V)
- T2: 2 点目の試行測定時の温度 (°C)
- V2: T2 測定時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜 (V/°C) Slope = (V2 - V1)/(T2 - T1)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

1. A/D コンバータを使用して、温度 T1 で温度センサにより出力される電圧 V1 を測定してください。
2. 再度、A/D コンバータを使用して、異なる温度 T2 で温度センサにより出力される電圧 V2 を測定してください。
3. 両者の測定結果から、温度傾斜 (Slope = (V2 - V1)/(T2 - T1)) を求めます。
4. この slope の値を温度特性の式 (T = (Vs - V1)/Slope + T1) に代入し、温度を求めます。

Ta と Tj の温度をできるだけ近くするために、MCU の消費電力が可能な限り低い状態で測定を実施してください。

また、「62. 電気的特性」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。

T = (Vs - V1) / slope + T1

注.　ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

本 MCU では、TSCDR レジスタおよび TSCDR2 レジスタは Ta = Tj = 125±2 °C または 105±2 °C、-40±2 °C、および AVCC0 = VREFH0 = 3.3 V の条件下で測定された温度センサの温度値を格納します。この値を 1 点目でのサンプル測定結果として使用すると、温度センサを使用する前の準備を省略できます。

Tj Max = 125 °C(注1)の場合、TSCDR および TSCDR2 レジスタレジスタは Ta = Tj = 125±2 °C、-40±2 °C、および AVCC0 = VREFH0 = 3.3 V の条件下で測定された温度センサの温度値 (CAL125 および CAL-40) を格納します。

CAL125 または CAL-40 から V1 を求めると、

V1 = 3.3 × CAL125 または CAL-40 / 4096 [V]（12 ビットの精度の場合）

となり、これを用いると、測定温度は下記の式にて算出できます。

T = (Vs - V1) / slope + 125 または-40 [°C]

- T：計算結果である MCU の周囲温度 (°C)
- Vs：温度測定時の温度センサの出力電圧 (V)
- V1: Ta = Tj = 125 または-40 °C、AVCC0 = VREFH0 = 3.3 V のときの温度センサによる電圧出力 (V)
- Slope：温度センサの温度傾斜(注2) / 1000 (V/°C)
  TSCDR レジスタまたは TSCDR2 レジスタの値を 2 点目の試行測定結果として使用することで、Slope を取得することもできます。

Tj Max = 95 °C または 105 °C(注1)の場合、TSCDR レジスタおよび TSCDR2 レジスタは、Ta = Tj = 105±2 °C、-40±2 °C、AVCC0 = VREFH0 = 3.3 V の条件下で測定された温度センサの温度値 (CAL105 および CAL-40) を格納します。TSCDR2 レジスタは、Ta = Tj = -40±2 °C、AVCC0 = VREFH0 = 3.3 V の条件下で測定された温度センサの温度値を格納します。

CAL105 または CAL-40 から V1 を求めると、

V1 = 3.3 × CAL105 または CAL-40 / 4096 [V]（12 ビットの精度の場合）

となり、これを用いると、測定温度は下記の式にて算出できます。

T = (Vs - V1) / slope + 105 または-40 [°C]

- T：計算結果である MCU の周囲温度 (°C)
- Vs：温度測定時の温度センサの出力電圧 (V)
- V1: Ta = Tj = 105 または-40 °C、AVCC0 = VREFH0 = 3.3 V のときの温度センサによる電圧出力 (V)
- Slope：温度センサの温度傾斜(注2) / 1000 (V/°C)
  TSCDR レジスタまたは TSCDR2 レジスタの値を 2 点目の試行測定結果として使用することで、Slope を取得することもできます。

注 1.　動作ジャンクション温度の上限は、製品に応じて、95 °C、105 °C、または 125 °C です。詳細は、「1.3. 型名」を参照してください。
注 2.　「62. 電気的特性」を参照してください。

55.3.2 ADC16H で温度センサを使用して温度センサを測定するための手順

図 55.2 に TSN の使用手順フローを示します。

ADC16H の設定手順の詳細については、「53. 16 ビット A/D コンバータ (ADC16H)」を参照してください。
TEMPRCR レジスタの詳細については、「6. リセット」を参照してください。

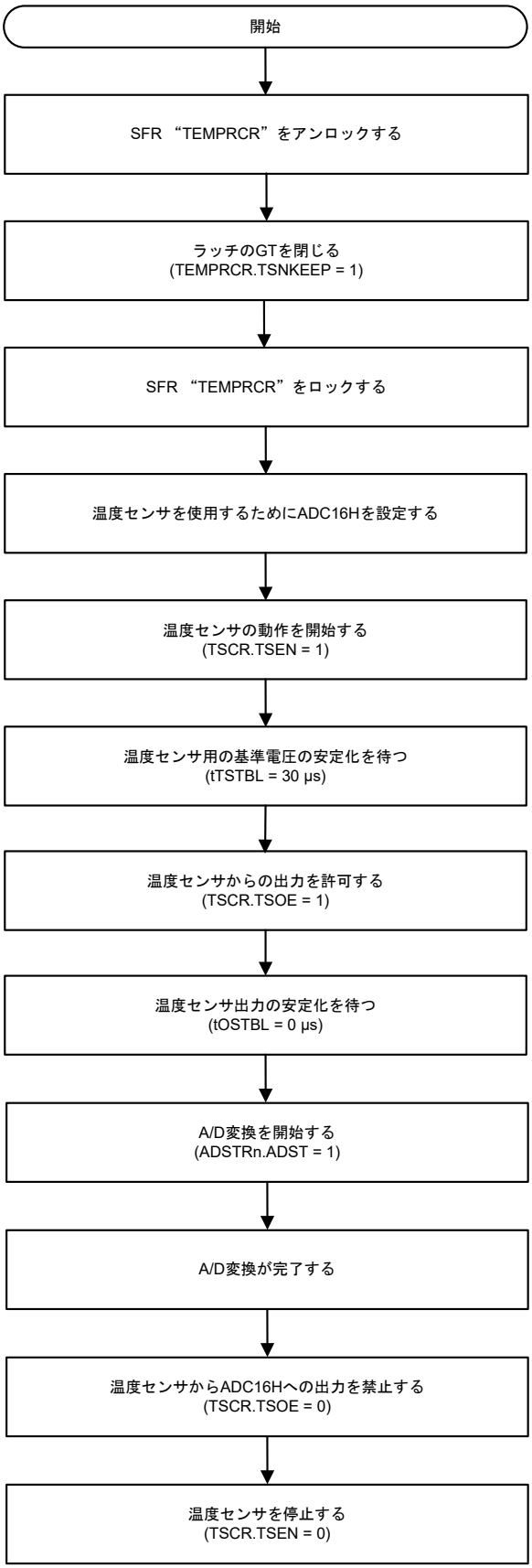


図 55.2　ADC16H で TSN を使用して温度を測定するための手順例

図 55.3 に温度センサの動作開始から A/D 変換完了までのタイミングを示します。ADC16H がシングルスキャンモードで、温度センサ出力のみを A/D 変換対象とした場合です。表 55.2 に図中に示す時間を説明します。

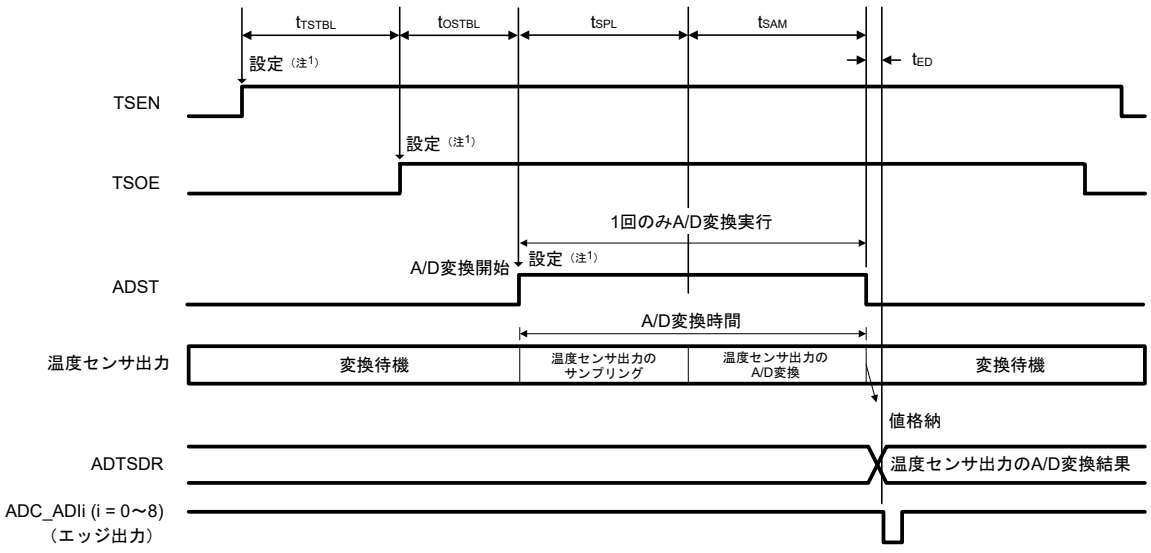


図 55.3 温度センサの動作開始から A/D 変換の完了までのタイミング

表 55.2 温度センサの動作開始から A/D 変換の完了までの時間

項目	シンボル	時間
温度センサ基準電圧安定待ち時間	t_{TSTBL}	30 µs (min)
温度センサ出力安定待ち時間	t_{OSTBL}	0 µs (min)
温度センサ異常温度検出信号の安定化の待機時間	t_{RSTBL}	30 µs (min)
A/D コンバータ入力サンプリング時間	t_{SPL}	ADSSTRn の設定値 × ADCLK の周期
A/D 変換時間	t_{SAM}	表 XX.XX スキャン変換時間（ADCLK と PCLKA のサイクル数）[DEADBEEF]を参照してください。
スキャン変換終了処理時間	t_{ED}	

55.3.3 温度監視リセットを使用するための手順

TSN は異常温度を検出し、リセット回路への信号を生成できます。この温度が指定された検出範囲(注1)外の場合は、リセットは発行されます。温度監視リセットの機能は、図 55.4 と図 55.5 に示す特定の手順を使用して有効になります。

詳細は、「6.3.12. 温度監視リセット」を参照してください。

注 1. 異常温度の検出範囲の詳細については、「62. 電気的特性」を参照してください。

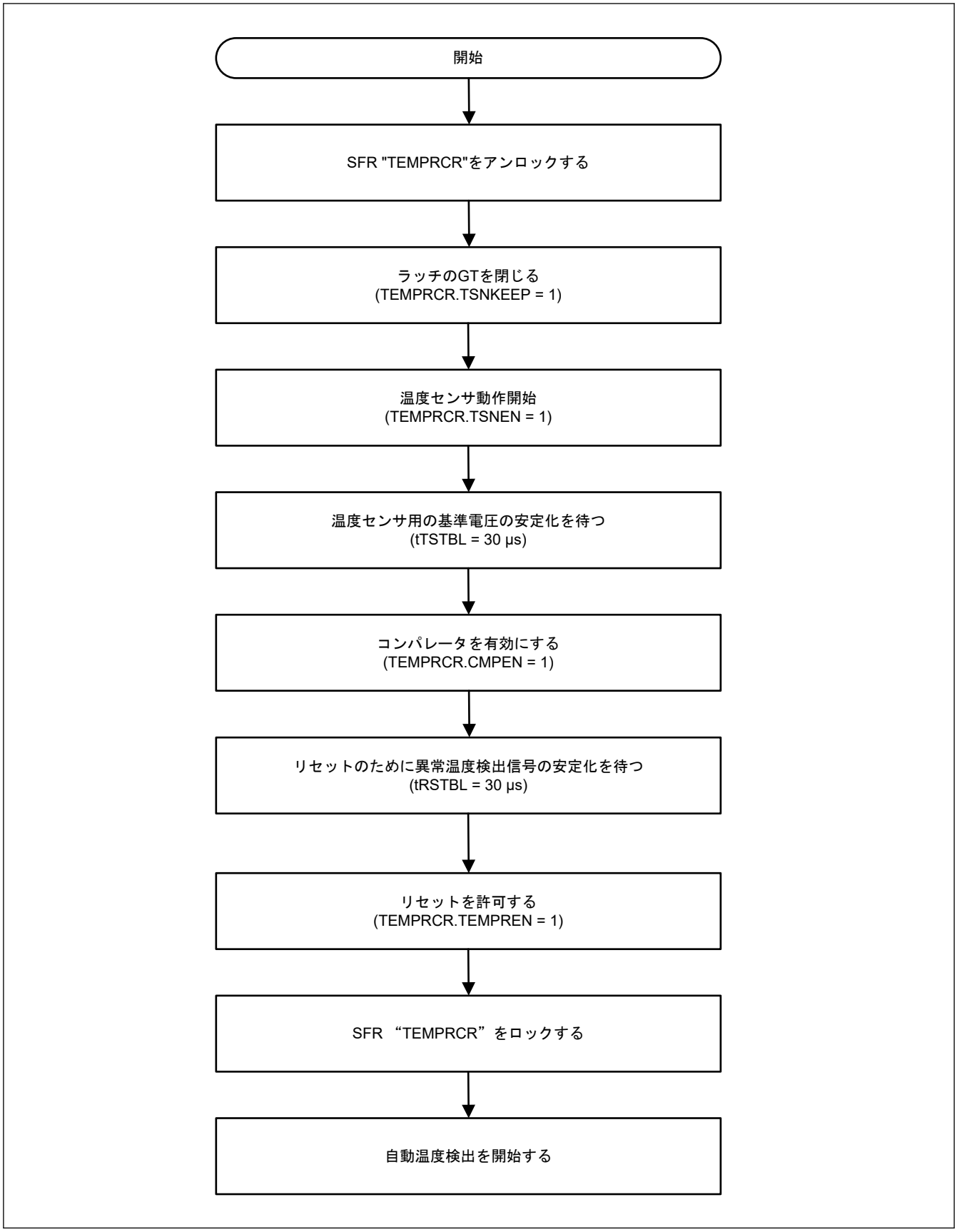


図 55.4　温度監視リセットを有効にするが、ADC16H で温度を測定しないための手順例

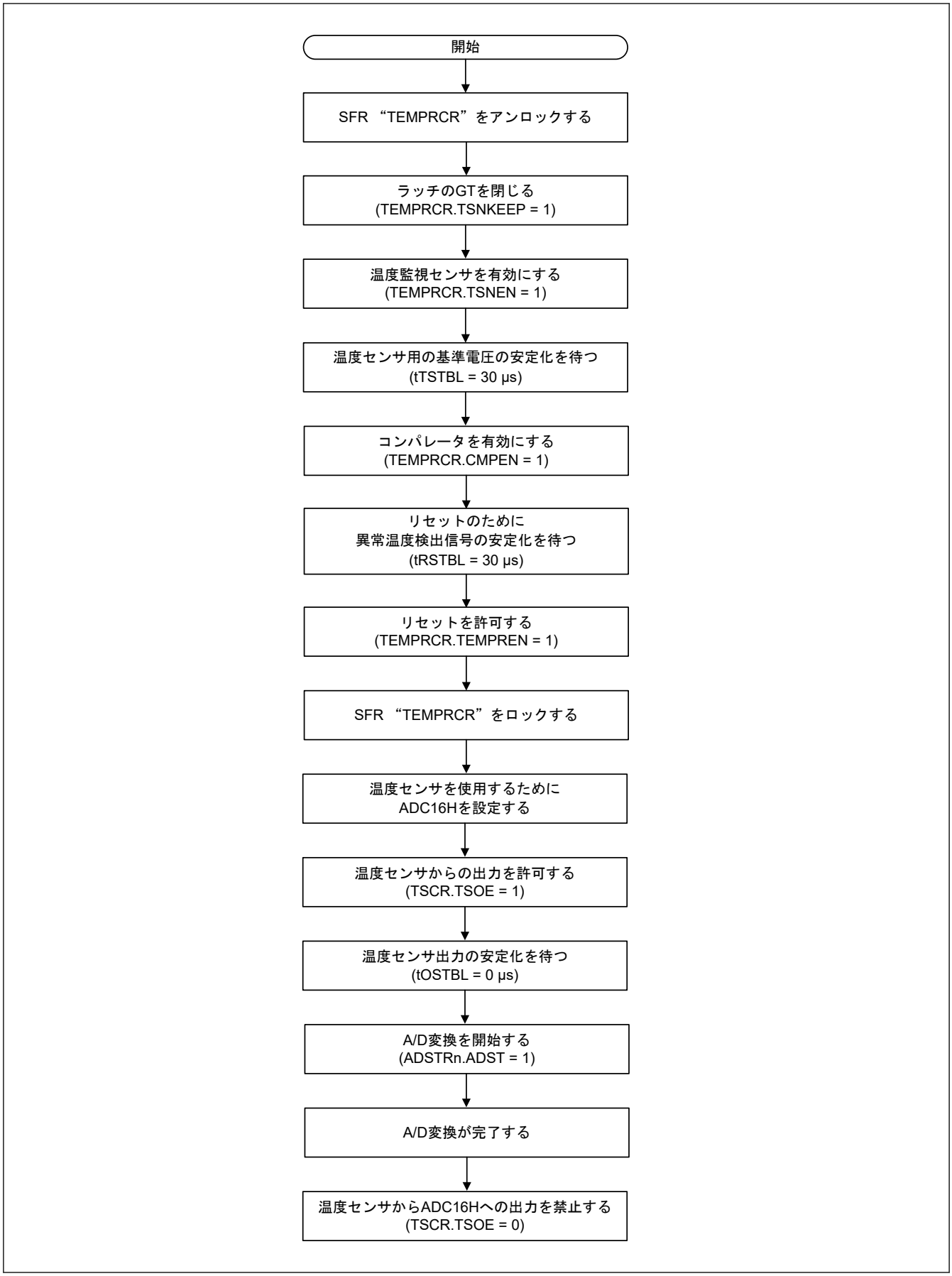


図 55.5　温度監視リセットを有効にし、かつ ADC16H で温度を測定するための手順例

55.4 使用上の注意事項

55.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、TSN の動作の禁止または許可を設定することが可能です。リセット後の初期状態では、TSN の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

55.4.2 ソフトウェアスタンバイモードの設定

ソフトウェアスタンバイモードに遷移する前に、A/D 変換の停止後に TSCR.TSOE ビットを 0 にしてから、TSCR.TSEN ビットを 0 にして TSN を停止します。図 55.6 にソフトウェアスタンバイモードに遷移するための手順を、図 55.7 にソフトウェアスタンバイモードから復帰するための手順を示します。

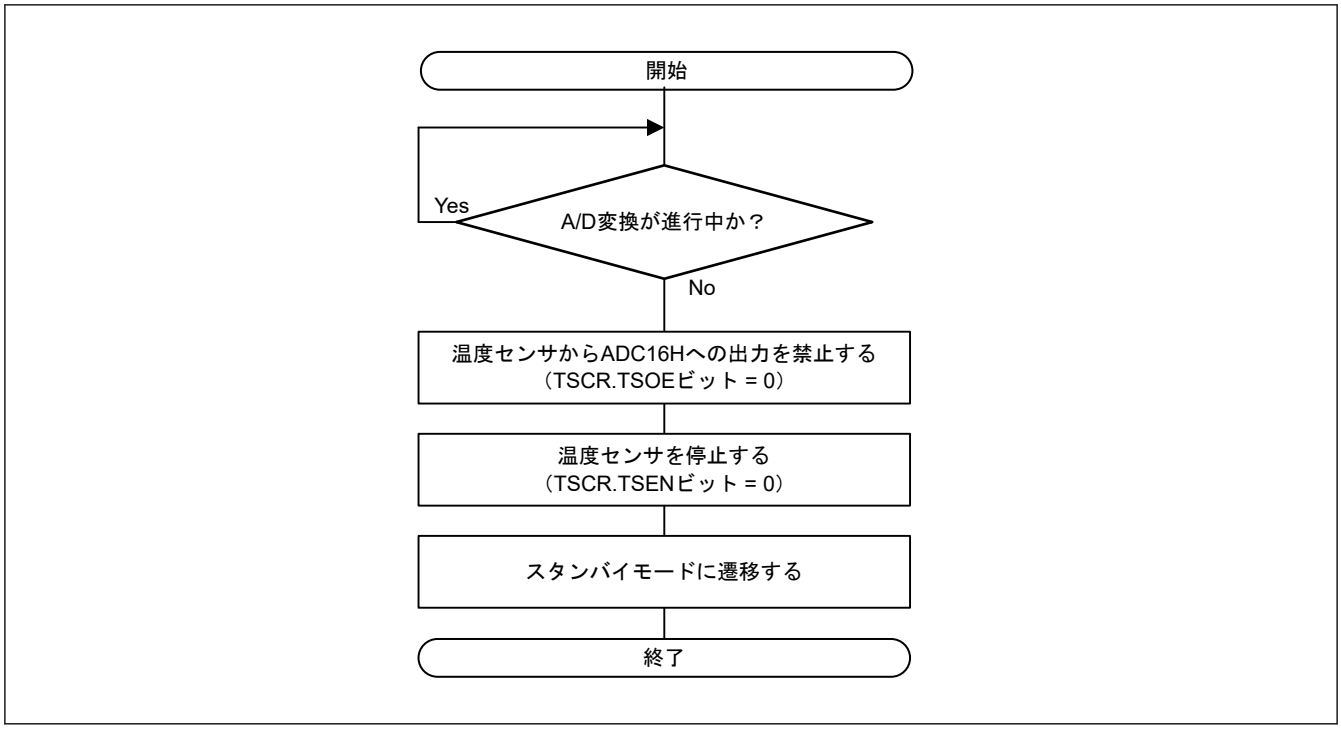


図 55.6 ソフトウェアスタンバイモードに遷移するための手順例

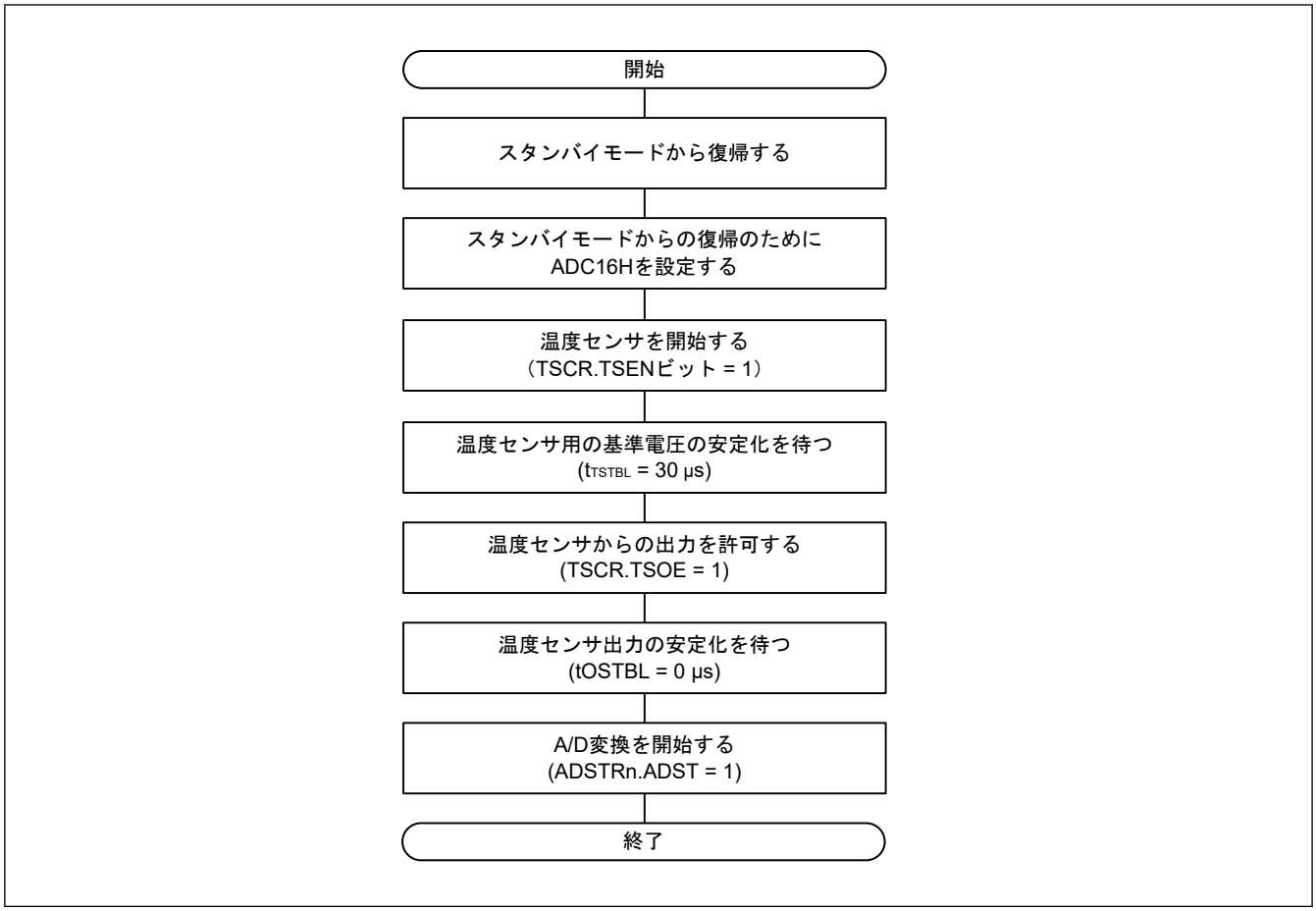


図 55.7　ソフトウェアスタンバイモードから復帰するための手順例

56. 高速アナログコンパレータ (ACMPHS)

56.1 概要

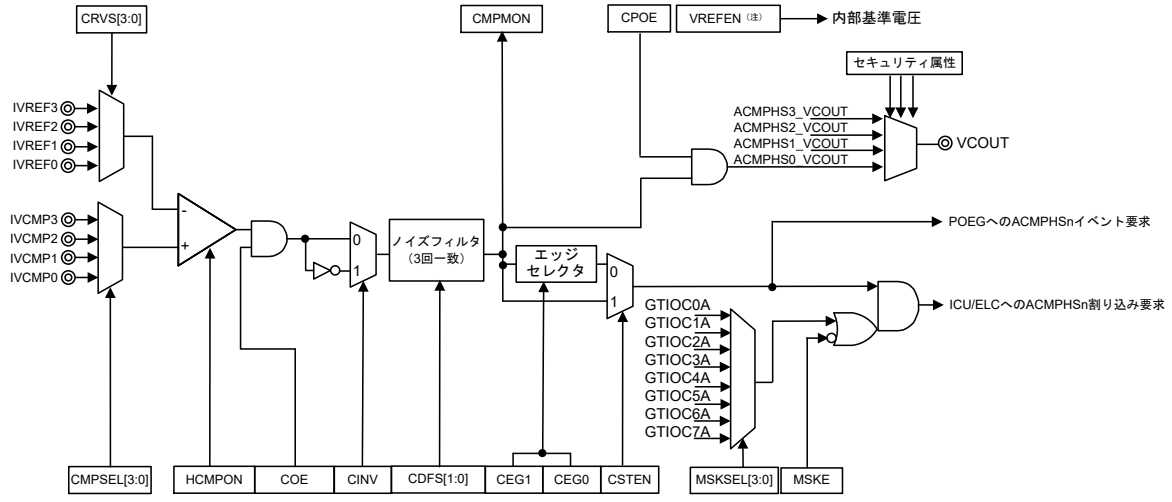
高速アナログコンパレータ (ACMPHS) は、アナログ入力電圧と基準電圧を比較、および比較結果に基づいたデジタル出力に使用できます。アナログ入力電圧と基準電圧は、どちらも内部ソース（D/A コンバータ出力または内部基準電圧）および外部ソースから ACMPHS に供給できます。このような柔軟性は、A/D 変換を行うことなくアナログ信号間の合否判定を実施する必要があるアプリケーションで有用です。

表 56.1 に ACMPHS の仕様を、図 56.1 にブロック図を、表 56.2 に入力ソース構成を示します。

表 56.1 ACMPHS の仕様

項目	仕様
チャネル数	4 チャネル：ACMPHSn（n = 0～3）
アナログ入力電圧	• 内部 D/A コンバータから出力 • 外部ソースから入力（内部 A/D コンバータ入力端子と互換性あり（1 つを選択可能））
基準電圧	• 内部基準電圧 (Vref) • 内部 D/A コンバータからの出力 • 外部ソースから入力（内部 A/D コンバータ入力端子と互換性あり（1 つを選択可能））
ACMPHS 出力	• PIN 端子への比較結果出力 • ELC イベント出力の発生 • レジスタからの出力監視 • 割り込み要求出力の発生
割り込み要求信号	• 比較結果の有効エッジ検出時に割り込み要求発生 (CMPCTL.CSTEN = 0(注1)) • 立ち上がりエッジ、立ち下がりエッジ、または両エッジを選択可能 (CMPCTL.CSTEN = 0(注1)) • 立ち上がりエッジのみ (CMPCTL.CSTEN = 1(注1))
デジタルフィルタ機能	• 3 つのサンプリング周波数のうちの 1 つを選択可能 • フィルタ機能不使用を選択可能
モジュールストップ機能	グループごとにモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	各グループに対してセキュリティ属性とプリビレッジ属性を設定可能

注 1. 割り込み要求信号選択の制限事項の詳細については、「56.5. ACMPHS 割り込み」と「56.6. イベントリンクコントローラ (ELC) への ACMPHS 出力」を参照してください。



n = 0～3

CMPSEL[3:0] : ACMPHSn.CMPSEL0レジスタのビット
CRVS[3:0] : ACMPHSn.CMPSEL1レジスタのビット
CPOE, VREFEN : ACMPHSn.CPIOCレジスタのビット
CMPMON : ACMPHSn.CMPMONレジスタのビット
HCMPON, COE, CINV, CDFS[1:0], CEG1, CEG0, CSTEN : ACMPHSn.CMPCTLレジスタのビット
MSKSEL[3:0] : ACMPHSn.CMPSKCTLレジスタのビット
MSEK : ACMPHSn.CMPINTCTLレジスタのビット

注. VREFEN は ACMPHS0 にのみ存在します。

図 56.1 ACMPHS ブロック図

表 56.2 ACMPHS の入力ソース構成

コンパレータ	基準電圧入力ソース				アナログ電圧入力ソース				出力端子
	IVREF3	IVREF2	IVREF1	IVREF0	IVCMP3	IVCMP2	IVCMP1	IVCMP0	
ACMPHS0	DA0	Vref	AN009	AN008	AN001	AN000	DA1	AN017	VCOUT(注1)
ACMPHS1	DA0	Vref	AN009	AN008	AN003	AN002	DA1	AN016	VCOUT(注1)
ACMPHS2	DA0	Vref	AN009	AN008	AN005	AN004	DA1	AN015	VCOUT(注1)
ACMPHS3	DA0	Vref	AN009	AN008	AN007	AN006	DA1	AN014	VCOUT(注1)

注 1. ACMPHS0～ACMPHS3 の比較出力は VCOUT 端子にまとめられています。

56.2 レジスタの説明

56.2.1 CMPCTL : コンパレータコントロールレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0～3)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0～3)

Offset address: 0x000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HCMPON	CDFS[1:0]		CEG[1:0]		CSTEN	COE	CINV
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CINV	コンパレータ出力極性選択(注1) (注2) 0: コンパレータ出力を反転しない 1: コンパレータ出力を反転する	R/W

ビット	シンボル	機能	R/W
1	COE	コンパレータ出力許可 0: コンパレータ出力禁止（出力信号は Low） 1: コンパレータ出力許可	R/W
2	CSTEN	割り込み選択(注3) 0: エッジセレクタ経由で出力 1: 直接出力	R/W
4:3	CEG[1:0]	有効エッジ選択（エッジセレクタ） 0 0: エッジを検出しない 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
6:5	CDFS[1:0]	ノイズフィルタ選択 (注1) (注2) (注3) (注4) 0 0: ノイズフィルタを使用しない 0 1: PCLKB/2^3 のノイズフィルタサンプリング周波数を使用 1 0: PCLKB/2^4 のノイズフィルタサンプリング周波数を使用 1 1: PCLKB/2^5 のノイズフィルタサンプリング周波数を使用	R/W
7	HCMPON	コンパレータ動作制御(注5) 0: 動作を停止（コンパレータは Low 信号を出力） 1: 動作を許可（コンパレータ端子への入力を許可）	R/W

注. S-TYPE-3, P-TYPE-3
注 1. CDFS[1:0]ビットおよび CINV ビットの変更前に ACMPHS 出力を禁止します (COE = 0)。
注 2. CDFS[1:0]ビットおよび CINV ビットを変更した場合、ACMPHS 割り込み要求および ELC イベントが発生することがあります。これらのビットを変更する前に、ELSRn レジスタに 0（ACMPHS 出力をリンクしない）を設定します。これらのビットの変更後、IELSRn レジスタの IR フラグを 0 にクリアして、割り込み状態をクリアします。
注 3. ACMPHS 割り込みがソフトウェアスタンバイモードの解除を発生させる場合は、CSTEN ビットを 1、CDFS[1:0]ビットを 00b に設定してください。CSTEN は ACMPHS0 によってのみサポートされています。ACMPHSn.CMPCTL.CTESN (n = 1～3) は 0 にする必要があります。
注 4. CDFS[1:0]ビットを 00b（ノイズフィルタ未使用）から 00b 以外（ノイズフィルタ使用）に変更した場合は、サンプリングを 4 回行ってフィルタ出力を更新した後に、ACMPHS 割り込み要求または ELC イベントを使用します。
注 5. ACMPHS を有効にした後 (HCMPON = 1)、ACMPHS の動作を許可するために安定待機時間が必要です。ACMPHS モジュール 0、1 の動作安定待機時間は 300 ns です。

注. コンパレータ出力を POEG ソースとして使用するときは、POEG のレジスタを設定する前に本レジスタを設定します。

CMPCTL レジスタは、ACMPHS 動作の制御、ACMPHS 出力の許可／禁止、ノイズフィルタの選択、割り込み信号の有効エッジの選択、割り込みの選択を行います。

56.2.2 CMPSEL0 : コンパレータ入力選択レジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0～3)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0～3)

Offset address: 0x004

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CMPSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CMPSEL[3:0]	コンパレータ入力選択(注1) (注2) (注3) 0x00: 入力しない 0x01: IVCMP0 を選択 0x02: IVCMP1 を選択 0x04: IVCMP2 を選択 0x08: IVCMP3 を選択 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

注 1. CMPSEL[3:0]ビットは下記の手順で変更してください。CMPSEL0 レジスタの値が 0x00 以外の場合、0x00 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
CMPSEL[3:0]ビットを変更するには、以下を実行します。
1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL0 レジスタを 0x00 にする。
3. 新しい値を CMPSEL[3:0]ビットに設定する。このとき、いずれか 1 つのビットのみを 1 にする。
4. 入力切り替え安定待機時間 (200 ns) の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 56.2 を参照してください。

注 3. ACMPHSn レベル検出信号を POEG ソースとして使用するとき、POEG の任意のレジスタ設定後の本ビットへの書き込みアクセスは、POEG ソースを発生させる場合があります。

56.2.3 CMPSEL1 : コンパレータ基準電圧選択レジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0～3)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0～3)

Offset address: 0x008

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CRVS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CRVS[3:0]	基準電圧の選択(注1)(注2)(注3)(注4) 0x00: 入力しない 0x01: IVREF0 を選択 0x02: IVREF1 を選択 0x04: IVREF2 を選択 0x08: IVREF3 を選択 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

注 1. CRVS[3:0]ビットは下記の手順で変更してください。CMPSEL1 レジスタの値が 0x00 以外の場合、0x00 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
CRVS[3:0]ビットを変更するには、以下を実行します。
1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL1 レジスタを 0x00 にする。
3. 新しい値を CRVS[3:0]ビットに設定する。このとき、いずれか 1 つのビットのみを 1 にする。
4. 入力切り替え安定待機時間 (200 ns) の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 56.2 を参照してください。

注 3. 内蔵 D/A コンバータ出力電圧を使用する場合、コンパレータの動作を許可する (CMPCTL.HCMPON = 1) 前に、D/A コンバータを設定してコンパレータ基準電圧を発生させてください。D/A コンバータの設定の詳細については、「54. 12 ビット D/A コンバータ (DAC12)」を参照してください。

注 4. ACMPHSn レベル検出信号を POEG ソースとして使用するとき、POEG の任意のレジスタ設定後の本ビットへの書き込みアクセスは、POEG ソースを発生させる場合があります。

56.2.4 CMPMON : コンパレータ出力モニタレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0～3)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0～3)

Offset address: 0x00C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	COMP MON
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	COMPMON	コンパレータ出力監視(注1) 0: コンパレータ出力は Low 1: コンパレータ出力は High	R
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3
注 1. ACMPHS 動作が許可 (CMPCTL.HCMPON = 1 かつ CMPCTL.COE = 1) されていても、ノイズフィルタを使用しない (CDFS[1:0] = 00b) 場合は、COMPMON ビットが 2 回読み出され、その値が 2 回連続で一致した後にのみ使用されるようにソフトウェアを設計してください。

56.2.5 CPIOC : コンパレータ出力コントロールレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0～3)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0～3)

Offset address: 0x010

Bit position:	7	6	5	4	3	2	1	0
Bit field:	VREFEN	—	—	—	—	—	—	CPOE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPOE	外部端子出力許可 コンパレータによる比較結果は外部端子へ出力されます。 0: コンパレータの外部端子出力禁止（出力信号は Low 固定） 1: コンパレータの外部端子出力許可	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	VREFEN	内部 Vref 有効(注1) 0: 内部 Vref 無効 1: 内部 Vref 有効	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ACMPHS モジュール 0、3 の場合、VREFEN は ACMPHS0.CPIOC 内にのみ存在します。ACMPHSn.CMPCTL.CTESN (n = 0～3) の内部 Vref を使用している場合は､ACMPHS0.CPIOC の VREFEN ビットを 1 にします。ACMPHSn.CPIOC (n = 1～3) のビット[7]は、内部 Vref の使用の有無にかかわらず 0 にする必要があります。

56.2.6 CPINTCTL : コンパレータ割り込みコントロールレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0～3)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0～3)

Offset address: 0x040

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MSKE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MSKE	コンパレータ割り込み周期マスク許可 0: 割り込みマスク禁止（初期設定） 1: CPMSKCTL.MSKSEL[2:0]で選択された GPT 出力信号により割り込みマスク許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

本レジスタは ICU/ELC への割り込みを制御します。一方で、POEG（ポートアウトプットイネーブル）へのイベントは、本レジスタでは制御しません。

56.2.7 CPMSKCTL : コンパレータ割り込みマスクコントロールレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0～3)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0～3)

Offset address: 0x044

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MSKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MSKSEL[2:0]	コンパレータ割り込み周期マスク選択 0 0 0: GTIOC0A 出力信号により割り込みマスク許可 0 0 1: GTIOC1A 出力信号により割り込みマスク許可 0 1 0: GTIOC2A 出力信号により割り込みマスク許可 0 1 1: GTIOC3A 出力信号により割り込みマスク許可 1 0 0: GTIOC4A 出力信号により割り込みマスク許可 1 0 1: GTIOC5A 出力信号により割り込みマスク許可 1 1 0: GTIOC6A 出力信号により割り込みマスク許可 1 1 1: GTIOC7A 出力信号により割り込みマスク許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

本レジスタは ICU/ELC への割り込みを制御します。一方で、POEG（ポートアウトプットイネーブル）へのイベントは、本レジスタでは制御しません。

56.3 動作説明

ACMPHS は、基準電圧をアナログ入力電圧と比較します。ACMPHS の動作中にレジスタの値を変更した場合、動作は保証されません。表 56.3 に、ACMPHS に対応するレジスタを設定するための手順を示します。

表 56.3 ACMPHSn (n = 0～3) に対応するレジスタを設定するための手順 (1/2)

手順	レジスタ	ビット	設定
1	関連する MSTPCRD レジスタ	MSTPD28～MSTPD27	0: 入力クロック供給
2	関連する端子機能コントロールレジスタ (PFS)	ASEL	1: IVREF 端子と IVCMP 端子の機能を選択
3	ACMPHSn.CPIOC	VREFEN	1: 内部 Vref を使用している場合
4	関連する D/A コンバータ		D/A コンバータを使用している場合は、レジスタで選択
5	CMPSEL0, CMPSEL1	CMPSEL[3:0] CRVS[3:0]	ACMPHSn 入力を選択（いずれか 1 ビットのみが 1）
6	CMPCTL	CDFS[1:0], CEG[1:0], CINV	ACMPHSn 制御を設定
		HCMPON	1: ACMPHSn 動作を許可
7	CMPSKCTL	MSKCTL[2:0]	（GPT から）割り込みマスクソース信号を選択
8	CPINT	MSKE	1: 必要に応じて割り込みマスク機能有効
9	ACMPHS 安定時間（最小 300 ns）待機		
10	CMPCTL	COE	1: ACMPHSn 出力を許可
11	CPIOC	CPOE	VCOUT 出力設定
	関連する端子機能コントロールレジスタ (PFS)	PSEL、PMR	VCOUT ポート機能を選択
12	IELSRn	IR, IELS[8:0]	割り込みを使用している場合は、割り込みステータスフラグと ICU イベントリンクを選択(注1)
13	ELSRn	ELS[8:0]	ELC を使用する場合はイベントリンクを選択(注2)

表 56.3 ACMPHSn (n = 0～3) に対応するレジスタを設定するための手順 (2/2)

手順	レジスタ	ビット	設定
14	動作開始		
15	CMPCTL	COE	0: IVREF または IVCMP を変更している場合は、ACMPHSn 出力を禁止
16	CMPSEL1	CRVS[3:0]	CMPSEL1 ビットを以下のように変更 1. ビット CMPSEL1 を 0000 0000b に設定 2. CMPSEL1 ビットに新しい値を設定（いずれか 1 ビットのみが 1）
	CMPSEL0	CMPSEL[3:0]	CMPSEL0 ビットを以下のように変更 1. ビット CMPSEL0 を 0000 0000b に設定 2. CMPSEL0 ビットに新しい値を設定（いずれか 1 ビットのみが 1）
17	ACMPHS 切り替え安定時間（最小 200 ns）待機		
18	CMPCTL	COE	1: ACMPHSn 出力を許可
19	動作の再開		

注 1. ACMPHSn が設定された後、動作が安定するまで不要な割り込みが発生する場合があるため、割り込みフラグを初期化してください。
注 2. ACMPHSn が設定された後、動作が安定するまで不要な割り込みが発生する場合があるため、イベントリンク選択を初期化してください。

図 56.2 と図 56.3 に ACMPHS の動作例を示します。アナログ入力電圧が ACMPHS 基準入力電圧より高い場合は、VCOUT 出力が 1 になります。アナログ入力電圧が ACMPHS 基準入力電圧より低い場合は、VCOUT 出力が 0 になります。ACMPHS 出力が変化すると、割り込み要求と ELC イベントが出力されます。

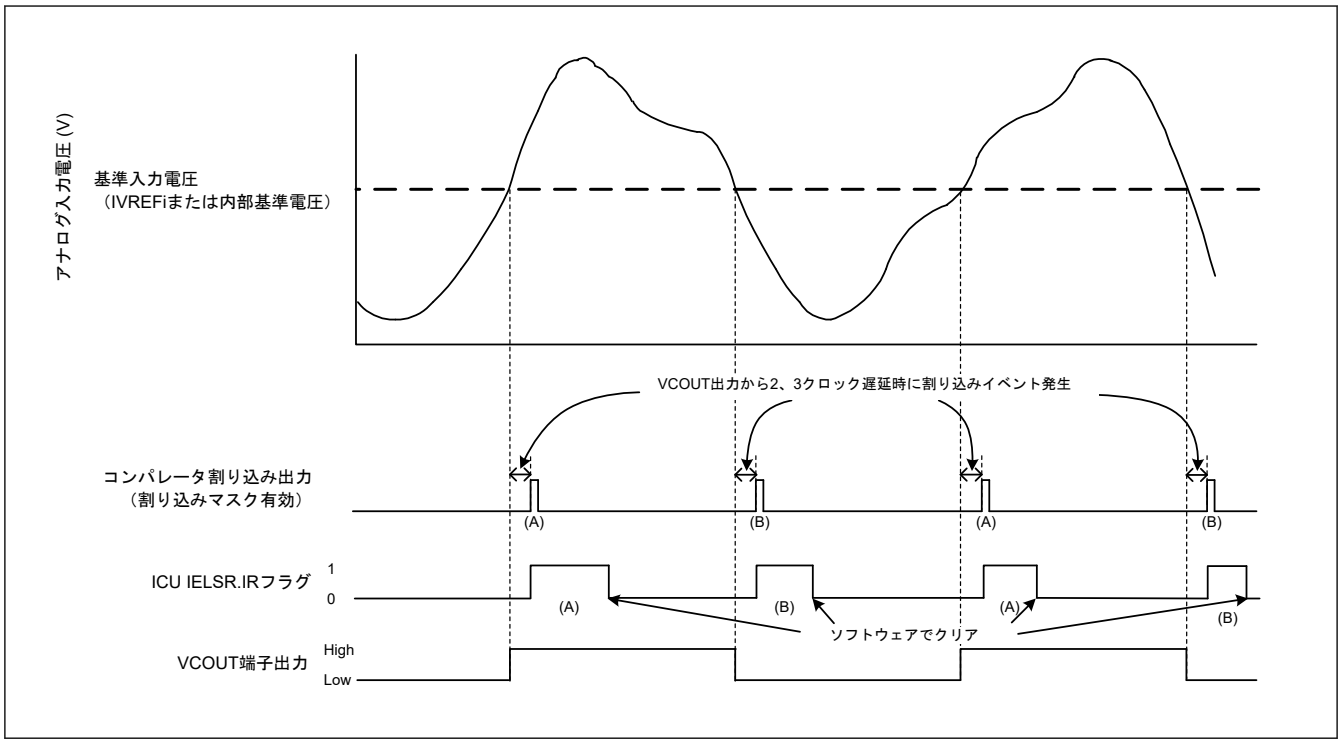


図 56.2 ACMPHS の動作例（割り込みマスク機能無効）

図 56.2 は CPOE = 1（端子出力有効）、CDFS[1:0] = 00b（フィルタを使用しない）、かつ CEG[1:0] = 11b（両エッジ検出を選択）の場合の例です。CINV = 0、CEG[1:0] = 01b（ACMPHS からの非反転出力信号用に立ち上がりエッジ検出を選択）の場合、IELSR.IR フラグは (A) で示されるように変化します。CINV = 0、CEG[1:0] = 10b（ACMPHS からの非反転出力信号用に立ち下がりエッジ検出を選択）の場合、IR フラグは (B) で示されるように変化します。CPOE = 1 の場合、VCOUT は直接出力します。

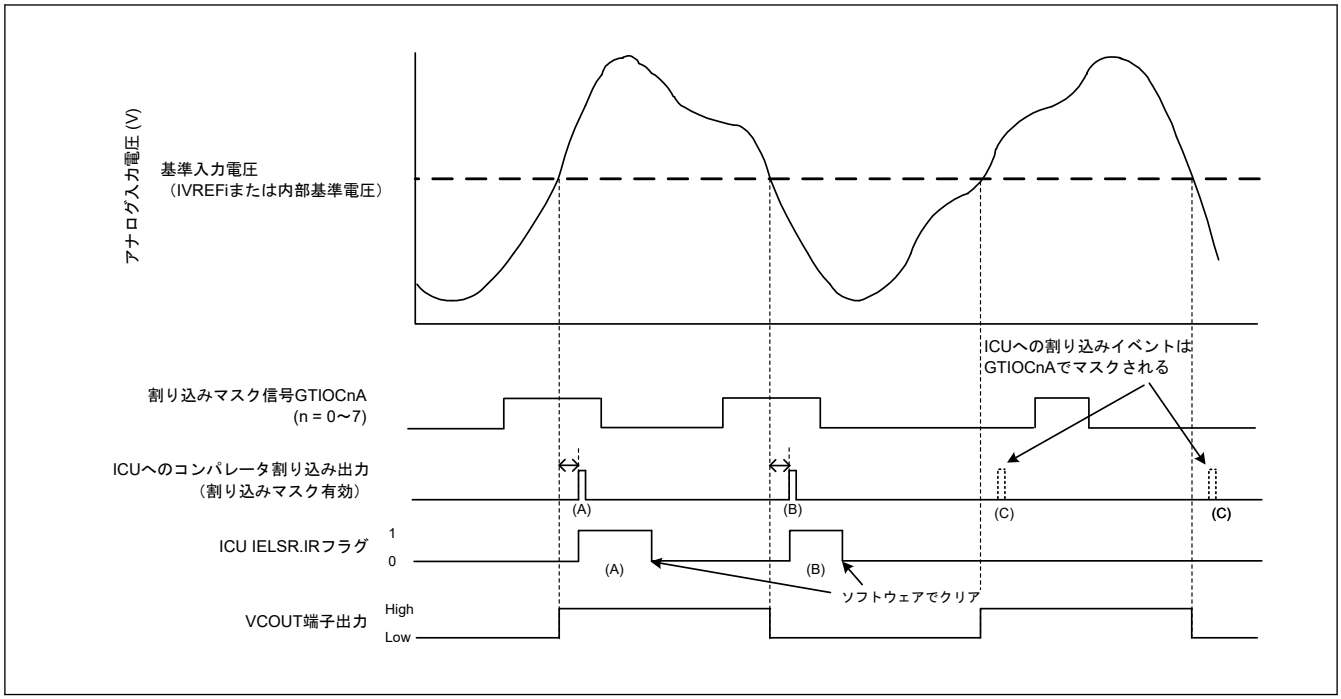


図 56.3　ACMPHS の動作例（割り込みマスク機能有効）

図 56.3 は CPOE = 1（端子出力有効）、CDFS[1:0] = 00b（フィルタを使用しない）、かつ CEG[1:0] = 11b（両エッジ検出を選択）の場合の例です。CINV = 0、CEG[1:0] = 01b（ACMPHS からの非反転出力信号用に立ち上がりエッジ検出を選択）の場合、IELSR.IR フラグは (A) で示されるように変化します。CINV = 0、CEG[1:0] = 10b（ACMPHS からの非反転出力信号用に立ち下がりエッジ検出を選択）の場合、IR フラグは (B) で示されるように変化します。

MSKE = 1 かつ MSKSEL[2:0] = 000b の場合、(C) で示されるように ICU へ出力される割り込み信号は、GTIOC0A = Low レベルのとき GTIOC0A でマスクされます。一方で、GTIOC0A = High レベルのときは通過します。

CPOE = 1 の場合、MSKE の設定にかかわらず、VCOUT は直接出力します。

56.4　ノイズフィルタ

ACMPHS にはノイズフィルタが含まれています。サンプリングクロックは、CMPCTL.CDFS[1:0]ビットで選択できます。コンパレータ出力信号はサンプリングクロックごとにサンプリングされ、同じ値が 3 回サンプリングされた場合は、次のサンプリングクロックサイクルでのノイズフィルタ出力が ACMPHS 出力として使用されます。

図 56.4 にノイズフィルタとエッジ検出回路の構成を、図 56.5 にノイズフィルタと割り込み動作の例を示します。

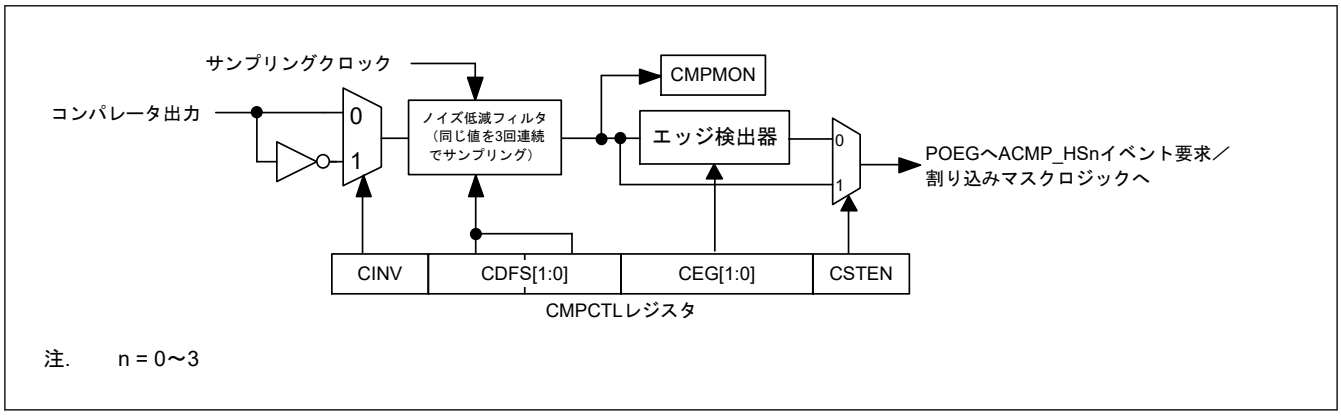


図 56.4　ノイズフィルタとエッジ検出回路の構成

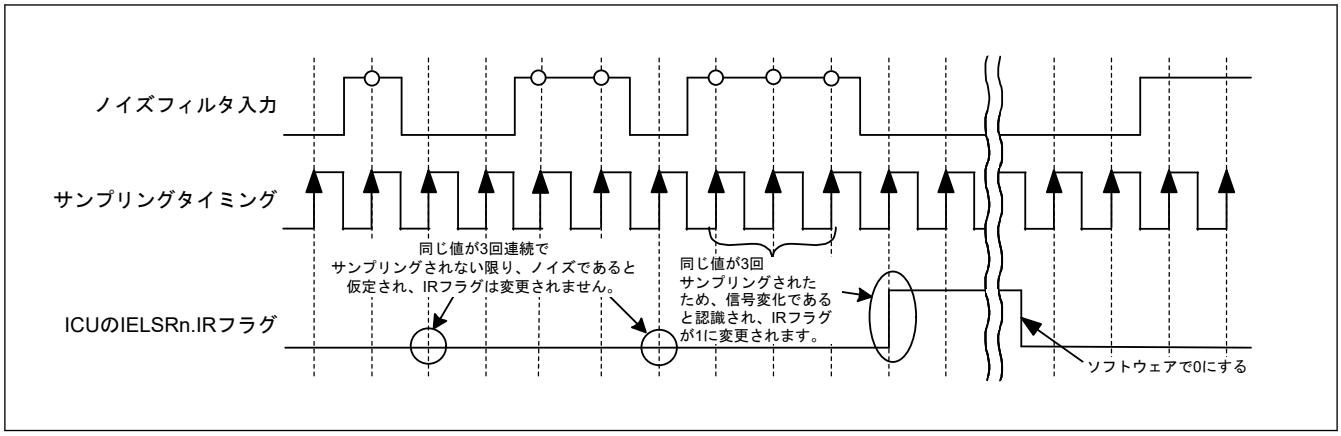


図 56.5　ノイズフィルタおよび割り込み動作の例

図 56.5 の動作例は、CMPCTL.CDFS[1:0]ビットが 01b、10b、または 11b である（ノイズフィルタが使用されている）場合に適用されます。

56.5　ACMPHS 割り込み

ACMPHS は、ソース ACMPHSn (n = 0～3) から 4 つの割り込み要求を生成します。ACMPHS 割り込みを使用する場合は、割り込みコントローラユニット (ICU) の IELSR レジスタで選択します。割り込み要求（エッジセレクタ経由かどうか）を CMPCTL.CSTEN ビットで選択します。

ICU/ELC への割り込みイベントは GPT 出力 (GTIOCnA (n = 0～7)) によりマスク可能であり、CPINTCTL.MSKE ビットと CPMSKCTL.MSKSEL[2:0]ビットで制御します。詳細は、図 56.3 を参照してください。

POEG へのイベントは GPT 出力 (GTIOCnA (n = 0～7)) によりマスク不可能であり、CPINTCTL.MSKE ビットと CPMSKCTL.MSKSEL[2:0]ビットで制御されません。

エッジセレクタ経由で ACMPHS 割り込みを使用する場合、CMPCTL.CEG[1:0]ビットの少なくとも 1 つを 1 にします（00b（エッジ未選択）以外の値を設定）。通常モード、CPU スリープモード、CPU ディープスリープモードでは、CMPCTL.CSTEN ビットを 0（エッジセレクタ経由で出力）にします。

ソフトウェアスタンバイモードで ACMPHS 割り込みを使用する場合、CMPCTL.CSTEN ビットを 1（直接出力）、CMPCTL.CDFS[1:0]ビットを 00b（デジタルノイズフィルタを未使用）にして、CMPCTL.CINV を以下のように設定します。

- 比較結果 0～1 を検出する場合、CMPCTL.CINV を 0（コンパレータ出力の反転なし）にします。
- 比較結果 1～0 を検出する場合、CMPCTL.CINV を 1（コンパレータ出力の反転あり）にします。

ACMPHS0 割り込み要求は、ソフトウェアスタンバイモードの解除に使用できます。ACMPHS1、ACMPHS2、および ACMPHS3 は使用できません。

ACMPHSn (n = 0～3) は、ディープソフトウェアスタンバイモードでは使用できません。

ACMPHS 割り込み要求に関連するレジスタ設定の詳細については、「56.2.1. CMPCTL : コンパレータコントロールレジスタ」、「56.2.6. CPINTCTL : コンパレータ割り込みコントロールレジスタ」、および「56.2.7. CPMSKCTL : コンパレータ割り込みマスクコントロールレジスタ」を参照してください。

56.6　イベントリンクコントローラ (ELC) への ACMPHS 出力

ELC は、ACMPHS 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPLP ELC イベントを使用するには、ELC の ELSR レジスタで選択します。ELC イベント要求を使用する場合、CMPCTL.CSTEN ビットを 0 (エッジセレクタ経由で出力) にします。また、CMPCTL.CEG[1:0] ビットの少なくとも 1 つを 1（エッジ選択なしの 00b 以外の値）にします。

ELC への割り込みイベントは GPT 出力 (GTIOCnA (n = 0～7)) によりマスク可能であり、CPINTCTL.MSKE ビットと CPMSKCTL.MSKSEL[2:0]ビットで制御します。

56.7　ACMPHS 端子出力

ACMPHS からの比較結果は外部端子に出力できます。CMPCTL.CINV および CPIOC.CPOE ビットを使用して、出力極性 (非反転出力または反転出力) を設定し、出力を許可または禁止できます。ACMPHS 比較結果を VCOUT

出力端子に出力する場合、対応するポート mn 端子機能コントロールレジスタ (PmnPFS) を I/O レジスタで設定します。

表 56.4 に示すように、ポートと ACMPHS のセキュリティ属性が一致したときのみ、ACMPHS 比較結果は VCOUT 端子に出力されます。

表 56.4　セキュリティ設定による VCOUT 端子の出力条件

PORT セキュリティ属性 (PmSAR (m = 0～9, A, B))	ACMPHSn セキュリティ属性 (PSARm (m = B～E))	VCOUT 端子出力要因
0（セキュア）	0（セキュア）	ACMPHSn 出力許可
0（セキュア）	1（非セキュア）	ACMPHSn 出力禁止
1（非セキュア）	0（セキュア）	ACMPHSn 出力禁止
1（非セキュア）	1（非セキュア）	ACMPHSn 出力許可

注.　n = 0～3

56.8　使用上の注意事項

56.8.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタを使用して、ACMPHS 動作を禁止／許可できます。リセット後の初期状態では、ACMPHS の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

56.8.2　DAC12 の設定

ACMPHS は、D/A コンバータの内部モジュール出力に接続されます。詳細は、「54. 12 ビット D/A コンバータ (DAC12)」を参照してください。

56.8.3　ADC16H との関係

ACMPHS アナログ入力と ADC16H アナログ入力の同時使用には制限事項があります。詳細は、「53.11.10. 複数の A/D コンバータ (ADC16H) および高速アナログコンパレータ (ACMPHS) 間で共有されているアナログチャネルに関する制限」を参照してください。

56.8.4　モジュールストップ状態における ACMPHS の動作

ACMPHS の動作中にモジュールストップ状態に遷移すると、ACMPHS のアナログ回路は停止せず、アナログ電源電流は ACMPHS 使用時と同じです。モジュールストップ状態でアナログ電源電流を低減する必要がある場合、CMPCTL.HCMPON ビットを 0 に設定して、ACMPHS を停止させてください。

56.8.5　ソフトウェアスタンバイモード時の ACMPHS の動作

ACMPHS の動作中にソフトウェアスタンバイモードに遷移すると、ACMPHS のアナログ回路は停止せず、アナログ電源電流は ACMPHS 使用時と同じです。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合、CMPCTL.HCMPON ビットを 0 に設定して、ACMPHS を停止させてください。

56.8.6　基準電圧生成のための D/A コンバータの設定

D/A コンバータを設定し、基準電圧を生成してください。コンパレータを有効にする前に、D/A コンバータ出力設定時間だけ待機してください。同様に、D/A コンバータの設定を変更する前に、コンパレータを一時的に停止してください。D/A コンバータの設定変更後、コンパレータを有効にする前に、D/A コンバータ出力設定時間だけ待機してください。

57. データ演算回路 (DOC)

DOC 周辺モジュールの DOC_B バージョンです。

本章では、DOC_B を DOC と呼びます。

57.1 概要

データ演算回路 (DOC) は、16 ビットまたは 32 ビットのデータの比較、加算、および減算に使用されます。以下の条件が適用される場合、割り込みが発生可能です。

- 16 ビットまたは 32 ビットの比較値が検出条件と一致するとき
- 16 ビットまたは 32 ビットのデータの加算結果がオーバーフローするとき
- 16 ビットまたは 32 ビットのデータの減算結果がアンダーフローするとき

表 57.1 にデータ演算回路の仕様を、図 57.1 にデータ演算回路のブロック図を示します。

表 57.1 DOC の仕様

項目	内容
データ演算機能	• 16 ビットまたは 32 ビットのデータの比較、しきい値を上回る、あるいは下回るデータの検出比較、およびウィンドウ比較 • 16 ビットまたは 32 ビットのデータの加算と減算
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
割り込み	• 比較値が検出条件と一致する • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい
イベントリンク機能（出力）	• データ比較の結果が検出条件と一致する • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

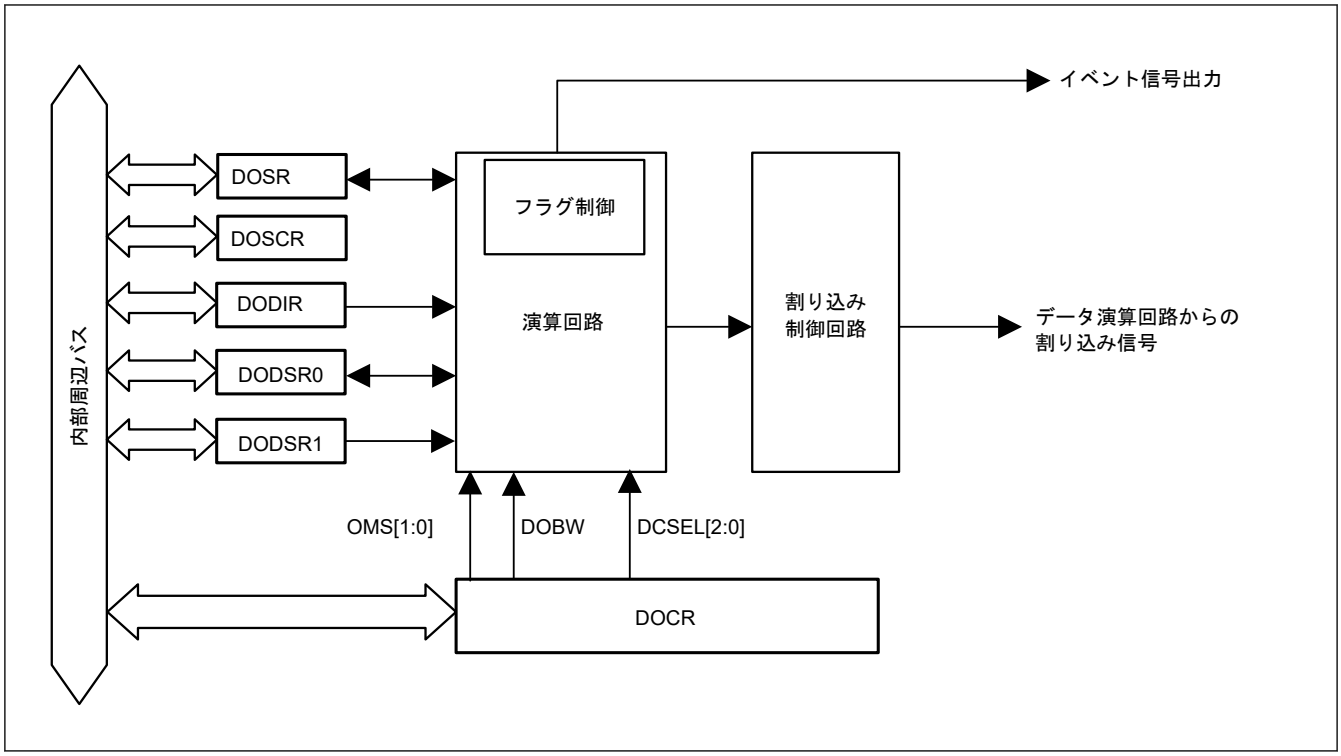


図 57.1 DOC のブロック図

57.2 レジスタの説明

57.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DCSEL[2:0]			DOBW	—	OMS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMS[1:0]	動作モード選択 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DOBW	データ演算ビット幅選択 0: 16 ビット 1: 32 ビット	R/W
6:4	DCSEL[2:0](注1)	検出条件選択 0 0 0: 不一致 (DODSR0 ≠ DODIR) 0 0 1: 一致 (DODSR0 = DODIR) 0 1 0: 小さい (DODSR0 > DODIR) 0 1 1: 大きい (DODSR0 < DODIR) 1 0 0: ウィンドウ内 (DODSR0 < DODIR < DODSR1) 1 0 1: ウィンドウ外 (DODIR < DODSR0, DODSR1 < DODIR) その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. データ比較モード選択時のみ有効

DOCR レジスタは、データ演算回路の動作モードと割り込みの許可または禁止を設定できます。

OMS[1:0]ビット（動作モード選択）

本ビットはデータ演算回路の動作モードを選択します。

DOBW ビット（データ演算ビット幅選択）

本ビットはデータ演算のビット幅を選択します。

DCSEL[2:0]ビット（検出条件選択）

本ビットはデータ比較モード選択時のみ有効です。

本ビットはデータ比較モードでの検出条件を選択します。

57.2.2 DOSR : DOC フラグステータスレジスタ

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPCF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCF	データ演算回路フラグ 演算結果を示します。	R
7:1	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

DOSR レジスタは、データ演算のステータスを表示するレジスタです。

DOPCF フラグ（データ演算回路フラグ）

[1 になる条件]

- DOCR.OMS[1:0] = 00b（データ比較モード）: 比較値が DOCR.DCSEL[2:0]ビットで選択した検出条件と一致する
- DOCR.OMS[1:0] = 01b（データ加算モード）: データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい
- DOCR.OMS[1:0] = 10b（データ減算モード）: データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

[0 になる条件]

- DOSCR.DOPCFCL ビットに 1 を書いたとき

57.2.3 DOSCR : DOC フラグステータスクリアレジスタ

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPCFCL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCFCL	DOPCF クリア 0: DOPCF フラグの状態を維持 1: DOPCF フラグをクリア	W
7:1	—	書く場合、0 としてください。	W

注. S-TYPE3, P-TYPE3

DOSCR は、データ操作のステータスをクリアできるレジスタです。このレジスタを読むと 0x00 が読めます。

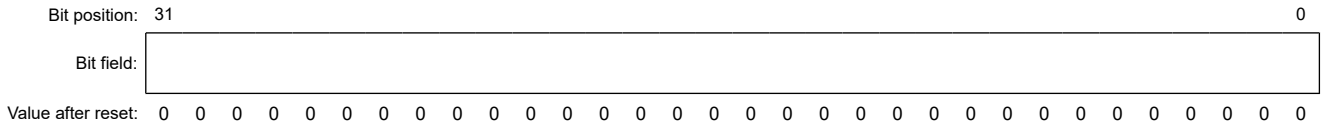
DOPCFCL ビット（DOPCF クリア）

このビットを 1 にすると DOPCF フラグをクリアします。

57.2.4 DODIR : DOC データ入力レジスタ

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x0C



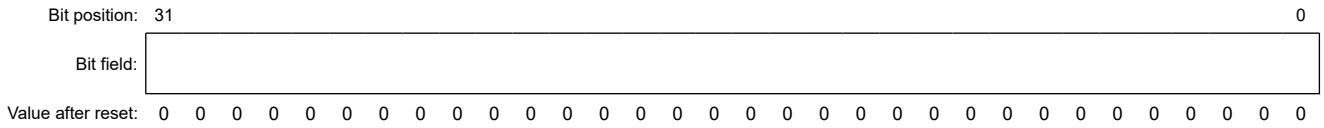
ビット	シンボル	機能	R/W
31:0	n/a	演算で使用されるデータを格納します。 DOCR.DOBW ビットで選択したデータ演算のビット幅で DODIR にアクセスしてください。	R/W

注. S-TYPE3, P-TYPE3

57.2.5 DODSR0 : DOC データ設定レジスタ 0

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x10



ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットで選択したデータ演算のビット幅で DODSR0 にアクセスしてください。 本レジスタは、データ比較モードで基準として使用されるデータを格納します。ウィンドウ比較 (DOCR.DCSEL[2:0] = 100b, 101b) を選択する場合、DODSR1 より小さい値を設定してください (DODSR1 > DODSR0)。 また、本レジスタはデータ加算モードおよびデータ減算モードでは、演算結果を格納します。	R/W

注. S-TYPE3, P-TYPE3

57.2.6 DODSR1 : DOC データ設定レジスタ 1

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x14

Bit position:	31																											0
Bit field:																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットで選択したデータ演算のビット幅で DODSR1 にアクセスしてください。 本レジスタは、データ比較モードで基準として使用されるデータを格納します。ウィンドウ比較 (DOCR.DCSEL[2:0] = 100b, 101b) を選択する場合、DODSR0 より大きい値を設定してください (DODSR1 > DODSR0)。 本レジスタはウィンドウ比較に対してのみ使用されます。	R/W

注. S-TYPE3, P-TYPE3

57.3 動作説明

57.3.1 データ比較モード

図 57.2 から図 57.7 に、データ演算回路によるデータ比較モードの動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 00b を書き込んでデータ比較モードを選択し、DOCR.DCSEL[2:0]を設定して検出条件を選択します。
2. DODSR0 および DODSR1 レジスタに、基準となる 32 ビットのデータを設定します。(注1)
3. DODIR レジスタに、比較する 32 ビットのデータを書き込みます。
4. DODIR に書き込まれた値が DOCR.DCSEL[2:0]ビットで設定した検出条件と一致すると、DOCR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注. 比較演算は、DODIR に書き込むことによってのみ実行されます

注 1. DODSR1 レジスタ設定は、ウィンドウ比較が選択された場合のみ必要です。DODSR0 より大きい値を設定してください（DODSR1 ＞ DODSR0）。

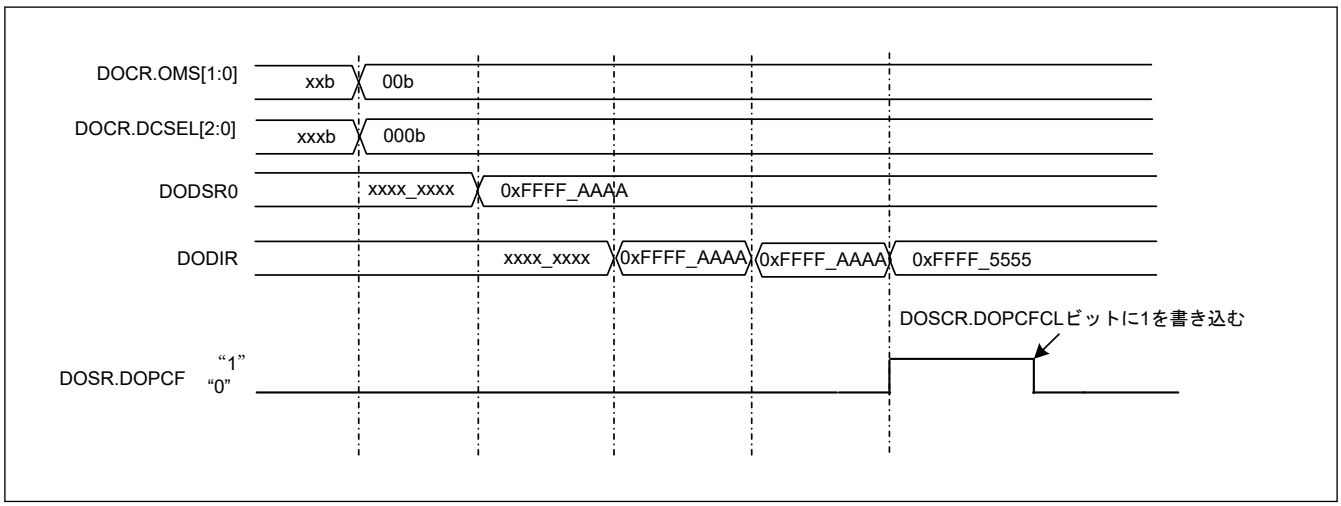


図 57.2 データ比較モードの動作例（検出条件：不一致）

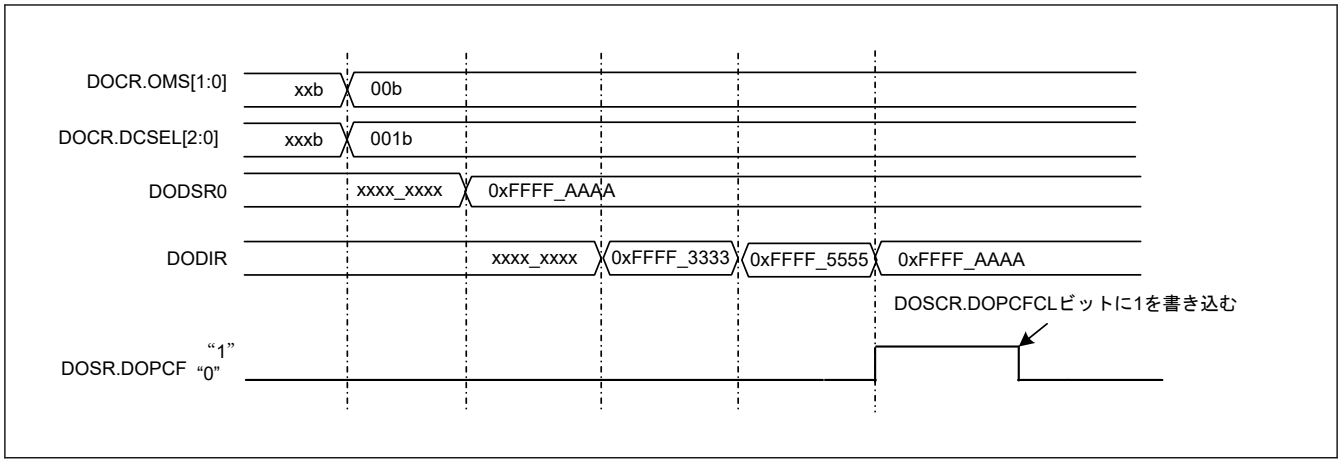


図 57.3　データ比較モードの動作例（検出条件：一致）

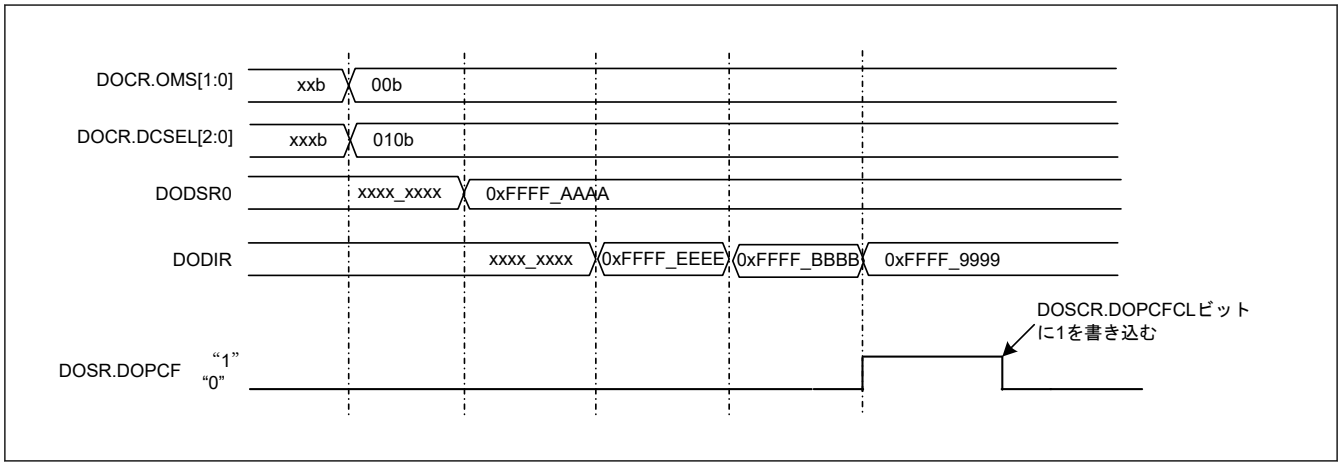


図 57.4　データ比較モードの動作例（検出条件：小さい）

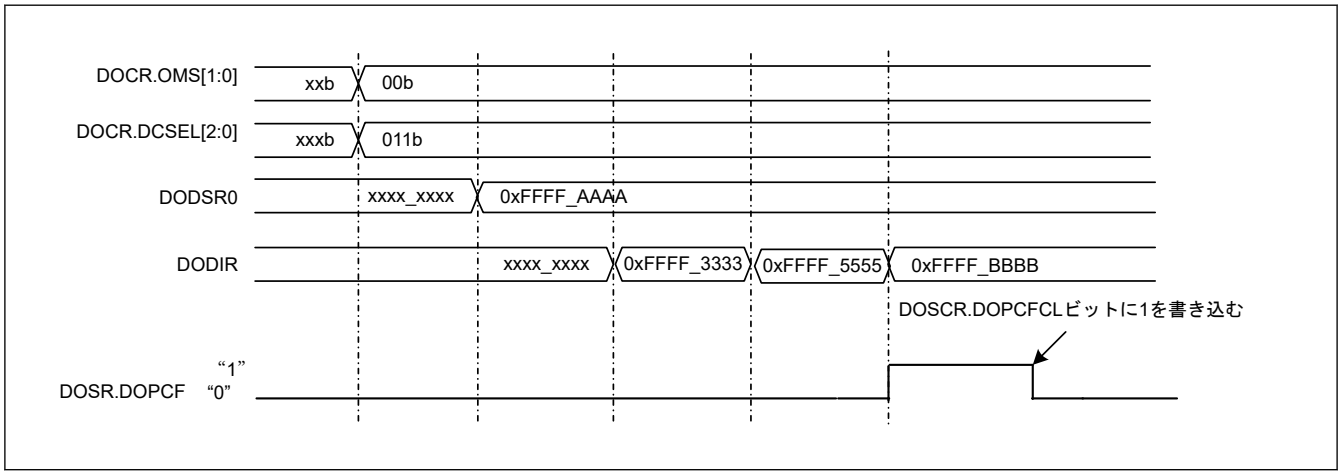


図 57.5　データ比較モードの動作例（検出条件：大きい）

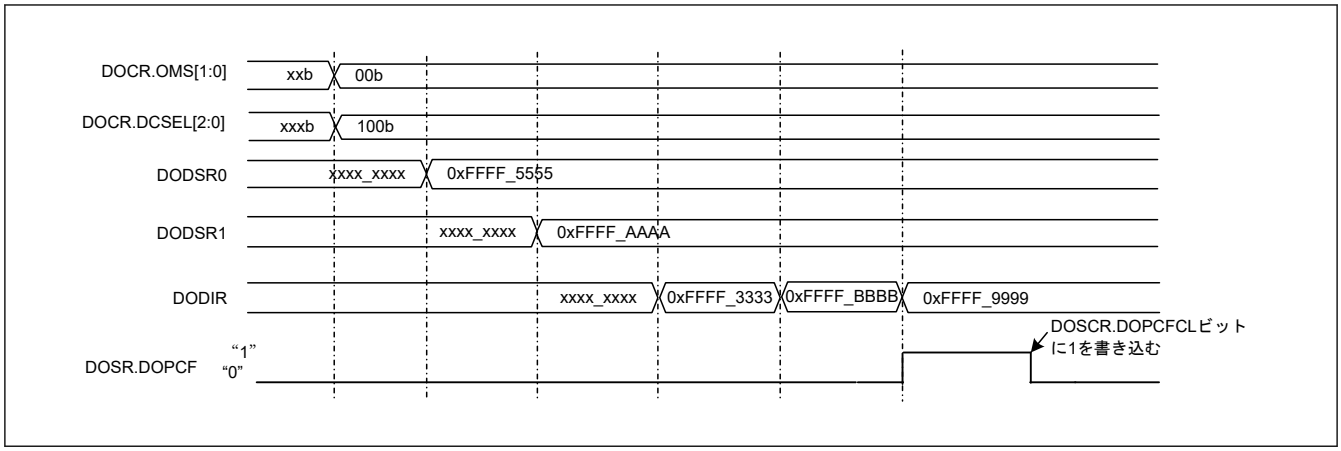


図 57.6　　データ比較モードの動作例（検出条件：ウィンドウの内側）

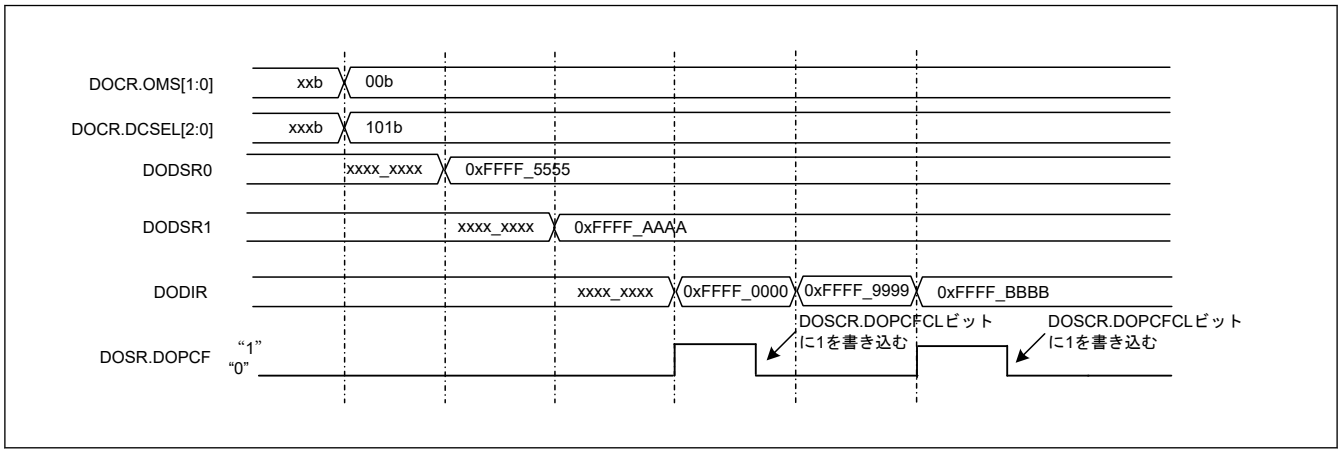


図 57.7　　データ比較モードの動作例（検出条件：ウィンドウの外側）

57.3.2　　データ加算モード

図 57.8 に、データ演算回路によるデータ加算モード(注1)動作の手順例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. 加算される 32 ビットデータが DODIR に書き込まれます。演算結果は DODSR0 レジスタに格納されます。
4. 加算するすべてのデータの書き込みが完了するまで、続けて 32 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0xFFFF_FFFF より大きい場合、DOSR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注 1.　加算は、DODIR への書き込みによってのみ実行されます。

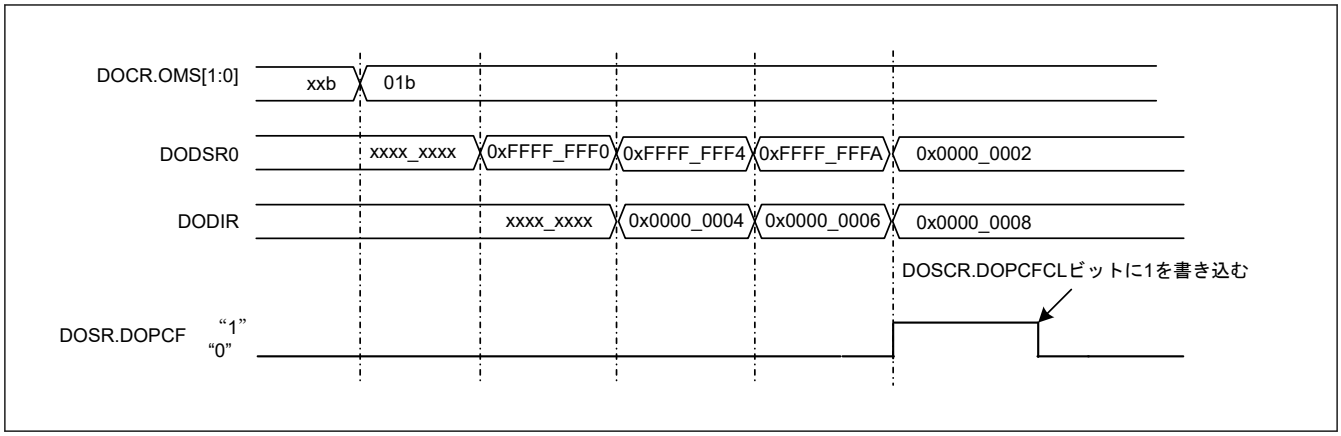


図 57.8　データ加算モードの動作例

57.3.3　データ減算モード

図 57.9 にデータ演算回路によるデータ減算モード(注1)の動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. DODIR レジスタに減算する 32 ビットのデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
4. すべての減算データの書き込みが完了するまで、DODIR レジスタに減算する 32 ビットのデータを書き込みます。
5. 演算結果が 0x0000_0000 より小さい場合、DOSR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注 1.　減算は、DODIR への書き込みによってのみ実行されます。

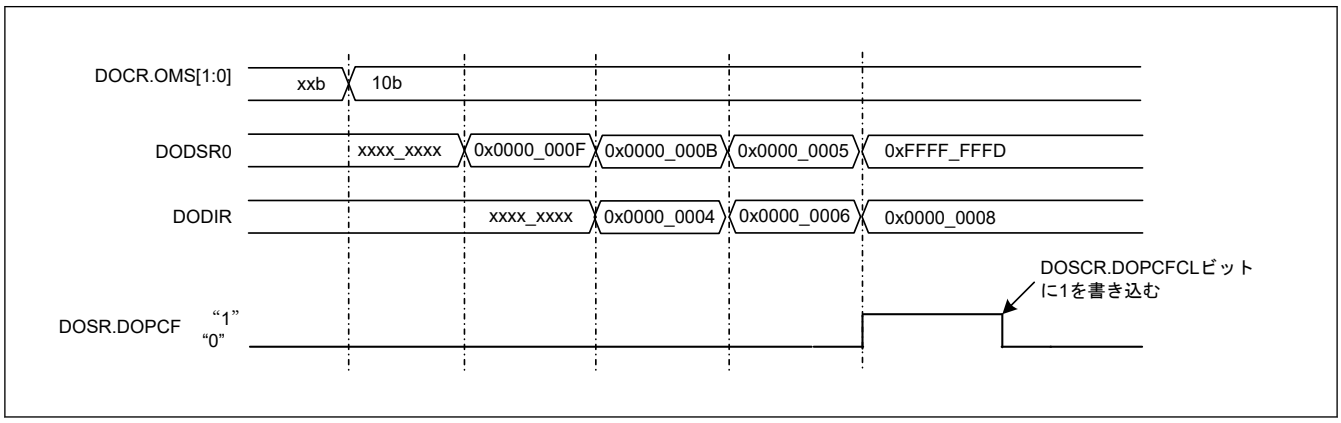


図 57.9　データ減算モードの動作例

57.4　割り込み要因

データ演算回路は、割り込み要求として、データ演算回路割り込み (DOC_DOPCI) を生成します。割り込み要因が発生すると、割り込みに対応するデータ演算回路フラグが 1 になり、その後割り込み要求信号が発生します。表 57.2 に割り込み要求を示します。

表 57.2 DOC 割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
DOC 割り込み	DOPCF	• 比較した値が検出基準に一致している • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

57.5 イベントリンク出力

DOC は以下の条件でイベントリンクコントローラ (ELC) にイベント信号を出力することで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

- 比較した値が検出基準に一致している
- データの加算結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい
- データ減算結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

57.6 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可／禁止するビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

57.7 使用上の注意事項

57.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止／許可を設定することが可能です。リセット後の値では、DOC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

58. SRAM

58.1 概要

本 MCU は、誤り訂正コード (ECC) を備えた高密度内蔵 SRAM モジュールを搭載しています。

シングルコアでは、アドレスが 0x2A00_0000～0x2A01_FFFF の C-TCM および S-TCM を SRAM として使用できます。

TCM の詳細については「2. CPU」を参照してください。

表 58.1 SRAM の仕様

項目		SRAM0	SRAM1	SRAM2	SRAM3
SRAM 容量		512 KB	512 KB	512 KB	128 KB
SRAM アドレス	セキュアエイリアス	0x2200_0000～0x2207_FFFF	0x2208_0000～0x220F_FFFF	0x2210_0000～0x2217_FFFF	0x2218_0000～0x2219_FFFF
	非セキュアエイリアス	0x3200_0000～0x3207_FFFF	0x3208_0000～0x320F_FFFF	0x3210_0000～0x3217_FFFF	0x3218_0000～0x3219_FFFF
ECC 領域(注1)	セキュアエイリアス	0x221A_0000～0x221A_FFFF	0x221B_0000～0x221B_FFFF	0x221C_0000～0x221C_FFFF	0x221D_0000～0x221D_3FFF
	非セキュアエイリアス	0x321A_0000～0x321A_FFFF	0x321B_0000～0x321B_FFFF	0x321C_0000～0x321C_FFFF	0x321D_0000～0x321D_3FFF
アクセス		デフォルトではアクセスサイクルにウェイトステートは挿入されません。ICLK 周波数が電気的特性の最高周波数の半分より高い場合、ウェイトステートが必要になります。ICLK 周波数が電気的特性の最高周波数の半分以下の場合、ウェイトステートは必要ありません。			
データ保持機能		ディープソフトウェアスタンバイモード時は使用不可			
モジュールストップ機能		消費電力低減のためにモジュールストップ状態を設定可能			
エラーチェック機能		SEC-DED（Single-Error-Correction/Double-Error-Detection Code（単一誤り訂正／二重誤り検出符号）：64 ビットデータに 8 ビット ECC コードを付加）			
セキュリティ		TrustZone フィルタは、メモリアクセスと SFR アクセスに対する統合機能です。メモリ空間へのアクセスは、メモリのセキュリティ属性 (SA) の設定によって制御します。I/O 空間（SFR 空間）へのアクセスは、レジスタのセキュリティ属性 (SA) の設定によって制御します。「58.3.5. TrustZone フィルタ機能」を参照してください。			

注 1. ECC 機能が無効の場合はデータ領域として使用され、直接アクセスすることができます。ECC 機能が有効の場合、直接アクセスは無効になります。パイパスが有効の場合、ECC ビットへの直接アクセスが可能です。

58.2 レジスタの説明

58.2.1 SRAMSABARn : SRAM セキュリティ属性バウンダリアドレスレジスタ (n = 0～3)

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x400 + 0x04 × n

Bit position:	31																										0
Bit field:																											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	セキュア領域／非セキュア領域間のバウンダリアドレス（非セキュア領域の開始アドレスのオフセット）	R/W

注. S-TYPE-1, P-TYPE-1
注. 本レジスタへの書き込みは、PRCR_S.PRC4 ビットにより保護されます。

SRAMSABARn レジスタは、各 SRAM のセキュア領域と非セキュア領域の間のバウンダリのオフセットを指定します。SRAMSABARn レジスタに絶対アドレスを書き込んでください。SRAMSABARn レジスタに書き込むとき、b31～b21 からの書き込みは無視され、b12～b0 から書き込まれた値は 0 です。

バウンダリアドレスより下位の領域はセキュア領域であり、バウンダリアドレス以上の上位の領域は非セキュア領域です。

バウンダリアドレスは以下のとおりです。

0x2200_0000 + SRAMSABARn（セキュアエイリアス）

0x3200_0000 + SRAMSABARn（非セキュアエイリアス）

SRAMSABAR0 の場合

バウンダリアドレスのオフセットが 0x0000_0000 のときは、SRAM0 全体が非セキュアとしてマークされます。

バウンダリアドレスのオフセットが 0x0008_0000 以上のときは、SRAM0 全体がセキュアとしてマークされます。

SRAMSABAR1 の場合

バウンダリアドレスのオフセットが 0x0008_0000 以下のときは、SRAM1 全体が非セキュアとしてマークされます。

バウンダリアドレスのオフセットが 0x0010_0000 以上のときは、SRAM1 全体がセキュアとしてマークされます。

SRAMSABAR2 の場合

バウンダリアドレスのオフセットが 0x0010_0000 以下のときは、SRAM2 全体が非セキュアとしてマークされます。

バウンダリアドレスのオフセットが 0x0018_0000 以上のときは、SRAM2 全体がセキュアとしてマークされます。

SRAMSABAR3 の場合

バウンダリアドレスのオフセットが 0x0018_0000 以下のときは、SRAM3 全体が非セキュアとしてマークされます。

バウンダリアドレスのオフセットが 0x001A_0000 以上のときは、SRAM3 全体がセキュアとしてマークされます。

58.2.2 SRAMSAR : SRAM セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SRAMWTSA	—	—	—	—	SRAMSA3	SRAMSA2	SRAMSA1	SRAMSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRAMSA0	SRAM0 レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	SRAMSA1	SRAM1 レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	SRAMSA2	SRAM2 レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
3	SRAMSA3	SRAM3 レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SRAMWTSA	SRAMWTSC セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. 本レジスタへの書き込みは、PRCR_S.PRC4 ビットにより保護されます。

SRAMSA0 ビット（SRAM0 レジスタセキュリティ属性）

SRAMCR0 レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- SRAMCR0
- SRAMECCRGN0
- SRAMESCLR.CLR00, SRAMESCLR.CLR01

SRAMSA1 ビット（SRAM1 レジスタセキュリティ属性）

SRAMCR1 レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- SRAMCR1
- SRAMECCRGN1
- SRAMESCLR.CLR10, SRAMESCLR.CLR11

SRAMSA2 ビット（SRAM2 レジスタセキュリティ属性）

SRAMCR2 レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- SRAMCR2
- SRAMECCRGN2
- SRAMESCLR.CLR20, SRAMESCLR.CLR21

SRAMSA3 ビット（SRAM3 レジスタセキュリティ属性）

SRAMCR3 レジスタのセキュリティ属性。対象のレジスタを以下に示します。

- SRAMCR3
- SRAMECCRGN3
- SRAMESCLR.CLR30, SRAMESCLR.CLR31

SRAMWTSA ビット（SRAMWTSC セキュリティ属性）

SRAMWTSC のセキュリティ属性。

58.2.3 SRAMESAR : SRAM ECC 領域セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x510

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRAMESA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRAMESA	ECC 領域セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. 本レジスタへの書き込みは、PRCR_S.PRC4 により保護されています。

SRAMESA ビット（ECC 領域セキュリティ属性）

このビットは、すべての SRAM の ECC 領域のセキュリティ属性を示します。

58.2.4 SRAMPRCR_S : セキュア用 SRAM 保護コントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KW[7:0]								—	—	—	—	—	—	—	PR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PR	レジスタ書き込み制御 0: レジスタ書き込み禁止 1: レジスタ書き込み許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KW[7:0]	書き込みキーコード PR ビットへのキーコード保護	W

注. S-TYPE-6, P-TYPE-2
注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、その動作は保証しません。

PR ビット（レジスタ書き込み制御）

PR ビットは、SRAMSAR レジスタによりセキュアに指定されている SRAMWTSC、SRAMCRn、SRAMECCRGNn レジスタの書き込みモードを制御します。本ビットが 1 のとき、セキュアに指定されている SRAMWTSC、SRAMCRn、SRAMECCRGNn レジスタへの書き込みが許可されます。

本レジスタへ書き込み中に、同時に KW[7:0]ビットに 0xA5 を書き込むことが必要です。

KW[7:0]ビット（書き込みキーコード）

KW[7:0]ビットは、PR ビットへの書き込みを許可または禁止します。PR ビットに書き込む場合、KW[7:0]ビットに 0xA5 を同時に書き込んでください。0xA5 以外の値を KW[7:0]ビットに書き込むと、PR ビットは更新されません。KW[7:0]ビットは、読むと常に 0x00 が読み出されます。

58.2.5 SRAMPRCR_NS : 非セキュア用 SRAM 保護コントロールレジスタ

Base address: SRAM_NS = 0x5000_2000

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KW[7:0]								—	—	—	—	—	—	—	PR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PR	レジスタ書き込み制御 0: レジスタ書き込み禁止 1: レジスタ書き込み許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KW[7:0]	書き込みキーコード PR ビットへのキーコード保護	W

注. S-TYPE-7, P-TYPE-2
注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、その動作は保証しません。

PR ビット（レジスタ書き込み制御）

PR ビットは、SRAMSAR レジスタにより非セキュアに指定されている SRAMWTSC、SRAMCRn、SRAMECCRGNn レジスタの書き込みモードを制御します。本ビットが 1 のとき、非セキュアに指定されている SRAMWTSC、SRAMCRn、SRAMECCRGNn レジスタへの書き込みが許可されます。

本レジスタへ書き込み中に、同時に KW[7:0]ビットに 0xA5 を書き込むことが必要です。

KW[7:0]ビット（書き込みキーコード）

KW[7:0]ビットは、PR ビットへの書き込みを許可または禁止します。PR ビットに書き込む場合、KW[7:0]ビットに 0xA5 を同時に書き込んでください。0xA5 以外の値を KW[7:0]に書き込むと、PR ビットは更新されません。KW[7:0]ビットは、読むと常に 0x00 が読み出されます。

58.2.6 SRAMWTSC : SRAM ウェイトステートコントロールレジスタ

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	WTEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WTEN	SRAM ウェイト許可 0: SRAM へのアクセスサイクルにウェイトステートを追加しない 1: SRAM へのアクセスサイクルにウェイトステートを追加する	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (SRAMSAR.SRAMWTSA)、P-TYPE-2
注. SRAMWTSC が有効なのは SRAM0、1、2、3 に対してのみです。

注. 本レジスタへの書き込みは保護レジスタ（SRAMPRCR_S または SRAMPRCR_NS）によって保護されています。本レジスタは、SRAMPRCR_S レジスタまたは SRAMPRCR_NS レジスタの PR ビットが 1 のときに限り書き込み可能です。

WTEN ビット（SRAM ウェイト許可）

本ビットは、SRAM のアクセスサイクルへのウェイトサイクルの挿入を設定します。WTEN ビットを 1 にすると、SRAM のリードアクセスサイクルに 1 ウェイトサイクルが挿入されます。また、WTEN ビットが 1 のとき、同じ領域(注1)および同じマット(注2)へのアクセスは連続的であり、2 番目のアクセスサイクルに 1 ウェイトサイクルが挿入されます。ICLK 周波数が電気的特性の最高周波数の半分より高い場合は、WTEN ビットに 1 ウェイトサイクルを設定する必要があります。

注 1. SRAM 領域は、128 KB 単位に分割されています。ECC 領域は分割されていません。
注 2. マットはアドレスの下位 4 ビットにおいて、0x0～0x7 および 0x8～0xF に分割されています。

たとえば SRAMn の場合、下の図のように、同じ領域および同じマットは SRAM 領域では 8 領域に、ECC 領域では 2 領域となっています。1 領域の連続的アクセスの場合、1 ウェイトサイクルが挿入されます。ECC 機能が有効、またはバイパスが有効の場合、ECC 領域がアクセスされます。そのため、同じマットへのアクセスが継続すると、1 ウェイトサイクルが挿入されます。

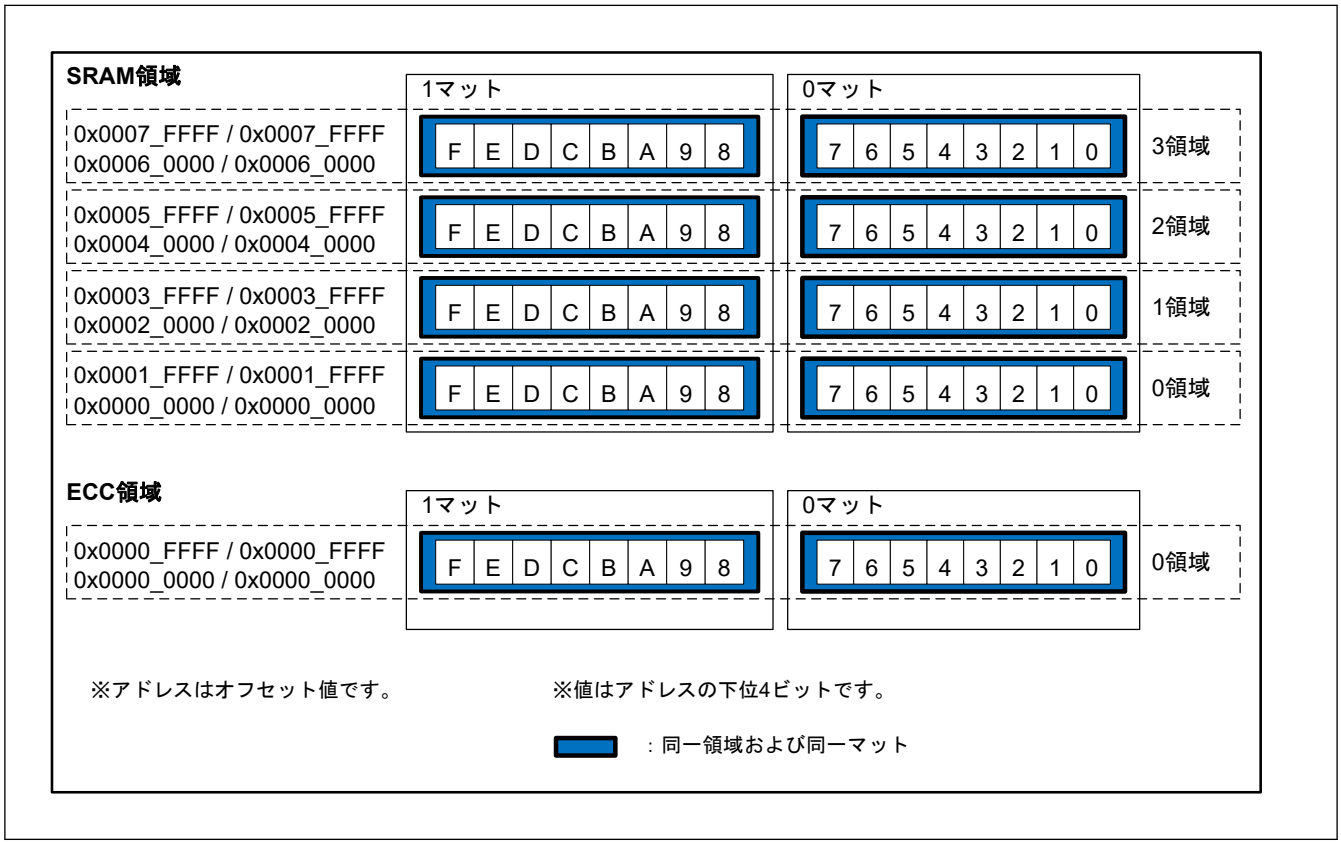


図 58.1 各 SRAM のマット設定

58.2.7 SRAMCRn : ECC RAM 用 SRAM コントロールレジスタ n (n = 0～3)

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x10 + 0x04 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TSTBYP	—	—	E1STSEN	ECCMOD[1:0]		—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	エラー検出後の動作 0: 割り込み 1: リセット	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3:2	ECCMOD[1:0]	ECC 動作モード選択 0 0: ECC 機能無効 0 1: 設定禁止 1 0: ECC 機能有効／エラーチェックなし 1 1: ECC 機能有効／エラーチェックあり	R/W
4	E1STSEN	ECC 1 ビットエラー更新許可 0: ECC 1 ビットエラーの更新禁止 1: ECC 1 ビットエラーの更新許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TSTBYP	ECC テスト許可／ECC バイパス選択 0: ECC バイパスは無効 1: ECC バイパスは有効	R/W

注. S-TYPE-3 (SRAMSAR.SRAMSA0), P-TYPE-2
注. 本レジスタへの書き込みは保護レジスタ（SRAMPRCR_S または SRAMPRCR_NS）によって保護されています。本レジスタは、SRAMPRCR_S レジスタまたは SRAMPRCR_NS レジスタの PR ビットが 1 のときに限り書き込み可能です。

ECC 有効の状態で、初期化されていない SRAM に対して CPU0 および CPU1 が投機的アクセスを発行すると、割り込みまたはリセットが発生する可能性があります。エラーチェックありで ECC 機能を有効にした後は、IELSRn レジスタに割り込みを設定する前か OAD ビットにリセットを設定する前に、SRAM を初期化してください。

OAD ビット（エラー検出後の動作）

本ビットは、ECC エラー検出時にリセットまたはノンマスカブル割り込みを選択します。

ECCMOD[1:0]ビット（ECC 動作モード選択）

これらのビットは、ECC 動作に対するアクセスモードを設定します。

E1STSEN ビット（ECC 1 ビットエラー更新許可）

本ビットは、1 ビットエラーに対応して SRAMESR レジスタの ECC 1 ビットエラーステータスビットの更新を許可または禁止します。本ビットは、割り込みまたはリセットマスクとしても機能します。

TSTBYP ビット（ECC テスト許可／ECC バイパス選択）

本ビットは、ECC 機能をバイパスして ECC コードへの直接アクセスを許可します。ECC バイパス機能は、同じレジスタの ECCMOD[1:0]ビットを 00b にして使用します。

「8 ビット ECC コードが付加されている 64 ビットデータ」の場合

ECC は同じアドレスにアクセスしてください。ECC コードは、下位 8 ビットに割り当てられます。ECC コードを書き込むとき、ECC ビットより上位のビットは無視されます。ECC コードを読み出すとき、ECC ビットより上位のビットは無効です。

注. ECC テストの詳細については、「58.3.4. ECC デコーダのテスト方法」を参照してください。

58.2.8 SRAMECCRGN0 : SRAM ECC 領域コントロールレジスタ 0

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x30

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ECCRGN[2:0]		
Value after reset:	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	ECCRGN[2:0]	ECC 対象領域の選択 本レジスタによって選択された ECC 対象領域は、SRAMCR0 によって制御できます。 0 0 0: ECC 対象領域なし 0 0 1: 0x2200_0000～0x2201_FFFF 0x3200_0000～0x3201_FFFF (128 KB) 0 1 0: 0x2200_0000～0x2203_FFFF 0x3200_0000～0x3203_FFFF (256 KB) 0 1 1: 0x2200_0000～0x2205_FFFF 0x3200_0000～0x3205_FFFF (384 KB) 1 0 0: 0x2200_0000～0x2207_FFFF 0x3200_0000～0x3207_FFFF (512 KB) その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (SRAMSAR.SRAMSAn), P-TYPE-2
注. 本レジスタへの書き込みは保護レジスタ（SRAMPRCR_S または SRAMPRCR_NS）によって保護されています。本レジスタは、SRAMPRCR_S レジスタまたは SRAMPRCR_NS レジスタの PR ビットが 1 のときに限り書き込み可能です。

ECCRGN[2:0]ビット（ECC 対象領域の選択）

これらのビットにより、SRAM0 の ECC 対象領域を選択します。

58.2.9 SRAMECCRGN1 : SRAM ECC 領域コントロールレジスタ 1

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x34

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ECCRGN[2:0]		
Value after reset:	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	ECCRGN[2:0]	ECC 対象領域の選択 本レジスタによって選択された ECC 対象領域は、SRAMCR1 によって制御できます。 0 0 0: ECC 対象領域なし 0 0 1: 0x2208_0000～0x2209_FFFF 0x3208_0000～0x3209_FFFF (128 KB) 0 1 0: 0x2208_0000～0x220B_FFFF 0x3208_0000～0x320B_FFFF (256 KB) 0 1 1: 0x2208_0000～0x220D_FFFF 0x3208_0000～0x320D_FFFF (384 KB) 1 0 0: 0x2208_0000～0x220F_FFFF 0x3208_0000～0x320F_FFFF (512 KB) その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (SRAMSAR.SRAMSAn), P-TYPE-2
注. 本レジスタへの書き込みは保護レジスタ（SRAMPRCR_S または SRAMPRCR_NS）によって保護されています。本レジスタは、SRAMPRCR_S レジスタまたは SRAMPRCR_NS レジスタの PR ビットが 1 のときに限り書き込み可能です。

ECCRGN[2:0]ビット（ECC 対象領域の選択）

これらのビットにより、SRAM1 の ECC 対象領域を選択します。

58.2.10 SRAMECCRGN2 : SRAM ECC 領域コントロールレジスタ 2

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x38

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ECCRGN[2:0]		
Value after reset:	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	ECCRGN[2:0]	ECC 対象領域の選択 本レジスタによって選択された ECC 対象領域は、SRAMCR2 によって制御できます。 0 0 0: ECC 対象領域なし 0 0 1: 0x2210_0000～0x2211_FFFF 0x3210_0000～0x3211_FFFF (128 KB) 0 1 0: 0x2210_0000～0x2213_FFFF 0x3210_0000～0x3213_FFFF (256 KB) 0 1 1: 0x2210_0000～0x2215_FFFF 0x3210_0000～0x3215_FFFF (384 KB) 1 0 0: 0x2210_0000～0x2217_FFFF 0x3210_0000～0x3217_FFFF (512 KB) その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (SRAMSAR.SRAMSAn), P-TYPE-2
注. 本レジスタへの書き込みは保護レジスタ（SRAMPRCR_S または SRAMPRCR_NS）によって保護されています。本レジスタは、SRAMPRCR_S レジスタまたは SRAMPRCR_NS レジスタの PR ビットが 1 のときに限り書き込み可能です。

ECCRGN[2:0]ビット（ECC 対象領域の選択）

これらのビットにより、SRAM2 の ECC 対象領域を選択します。

58.2.11 SRAMECCRGN3 : SRAM ECC 領域コントロールレジスタ 3

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x3C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ECCRGN[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	ECCRGN[2:0]	ECC 対象領域の選択 本レジスタによって選択された ECC 対象領域は、SRAMCR3 によって制御できます。 0 0 0: ECC 対象領域なし 0 0 1: 0x2218_0000～0x2219_FFFF 0x3218_0000～0x3219_FFFF (128 KB) その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (SRAMSAR.SRAMSAn), P-TYPE-2
注. 本レジスタへの書き込みは保護レジスタ（SRAMPRCR_S または SRAMPRCR_NS）によって保護されています。本レジスタは、SRAMPRCR_S レジスタまたは SRAMPRCR_NS レジスタの PR ビットが 1 のときに限り書き込み可能です。

ECCRGN[2:0]ビット（ECC 対象領域の選択）

これらのビットにより、SRAM3 の ECC 対象領域を選択します。

58.2.12 SRAMESR : ECC RAM 用 SRAM エラーステータスレジスタ

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x40

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ERR31	ERR30	ERR21	ERR20	ERR11	ERR10	ERR01	ERR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ERR00	SRAM0 1 ビット ECC エラーステータス 0: 1 ビット ECC エラー発生なし 1: 1 ビット ECC エラー発生あり	R
1	ERR01	SRAM0 2 ビット ECC エラーステータス 0: 2 ビット ECC エラー発生なし 1: 2 ビット ECC エラー発生あり	R
2	ERR10	SRAM1 1 ビット ECC エラーステータス 0: 1 ビット ECC エラー発生なし 1: 1 ビット ECC エラー発生あり	R
3	ERR11	SRAM1 2 ビット ECC エラーステータス 0: 2 ビット ECC エラー発生なし 1: 2 ビット ECC エラー発生あり	R
4	ERR20	SRAM2 1 ビット ECC エラーステータス 0: 1 ビット ECC エラー発生なし 1: 1 ビット ECC エラー発生あり	R
5	ERR21	SRAM2 2 ビット ECC エラーステータス 0: 2 ビット ECC エラー発生なし 1: 2 ビット ECC エラー発生あり	R
6	ERR30	SRAM3 1 ビット ECC エラーステータス 0: 1 ビット ECC エラー発生なし 1: 1 ビット ECC エラー発生あり	R
7	ERR31	SRAM3 2 ビット ECC エラーステータス 0: 2 ビット ECC エラー発生なし 1: 2 ビット ECC エラー発生あり	R
15:8	—	読むと 0 が読めます。	R

注. S-TYPE-5, P-TYPE-2
注. 本レジスタは、デバッガが接続中にソフトウェアスタンバイモードから復帰した後に初期化されます。

本レジスタは、SRAMESCLR レジスタの対応するビットまたはバスエラーリセットとメモリエラーリセット以外のリセットによってクリアされます。エラーとクリアが同時に発生した場合は、クリアが優先されます。また、デバッガからのアクセス中は、レジスタの更新は停止します。

ERRn0 ビット（SRAMn 1 ビット ECC エラーステータス）

このビットは、SRAMn における 1 ビット ECC エラーの有無を示します。

エラーチェックありの ECC 機能が有効なときには、SRAMCRn.E1STSEN ビットが 1 の場合に 1 ビットエラーが検出されると、ERRn0 ビットが 1 に設定されます。

ERRn0 ビットが 1 になると、SRAMCRn.OAD ビットに応じて、リセットまたは割り込み要求を出力します。

ERRn1 ビット（SRAMn 2 ビット ECC エラーステータス）

このビットは、SRAMn における 2 ビット ECC エラーの有無を示します。

エラーチェックありの ECC 機能が有効なときには、2 ビットエラーが検出された場合に ERRn1 ビットが 1 に設定されます。

ERRn1 ビットが 1 になると、SRAMCRn.OAD ビットに応じて、リセットまたは割り込み要求を出力します。

58.2.13 SRAMESCLR : ECC RAM 用 SRAM エラーステータスクリアレジスタ

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x48

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CLR31	CLR30	CLR21	CLR20	CLR11	CLR10	CLR01	CLR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLR00	SRAM0 1 ビット ECC エラーステータスクリア CLR00 に書き込むと SRAMESR.ERR00 がクリアされます。 0: 影響なし 1: 1 ビット ECC エラークリア	W
1	CLR01	SRAM0 2 ビット ECC エラーステータスクリア CLR01 に書き込むと SRAMESR.ERR01 がクリアされます。 0: 影響なし 1: 2 ビット ECC エラークリア	W
2	CLR10	SRAM1 1 ビット ECC エラーステータスクリア CLR10 に書き込むと SRAMESR.ERR10 がクリアされます。 0: 影響なし 1: 1 ビット ECC エラークリア	W
3	CLR11	SRAM1 2 ビット ECC エラーステータスクリア CLR11 に書き込むと SRAMESR.ERR11 がクリアされます。 0: 影響なし 1: 2 ビット ECC エラークリア	W
4	CLR20	SRAM2 1 ビット ECC エラーステータスクリア CLR20 に書き込むと SRAMESR.ERR20 がクリアされます。 0: 影響なし 1: 1 ビット ECC エラークリア	W
5	CLR21	SRAM2 2 ビット ECC エラーステータスクリア CLR21 に書き込むと SRAMESR.ERR21 がクリアされます。 0: 影響なし 1: 2 ビット ECC エラークリア	W
6	CLR30	SRAM3 1 ビット ECC エラーステータスクリア CLR30 に書き込むと SRAMESR.ERR30 がクリアされます。 0: 影響なし 1: 1 ビット ECC エラークリア	W
7	CLR31	SRAM3 2 ビット ECC エラーステータスクリア CLR31 に書き込むと SRAMESR.ERR31 がクリアされます。 0: 影響なし 1: 2 ビット ECC エラークリア	W
15:8	—	書く場合、0 としてください。	W

注. S-TYPE-4 (SRAMSAR.SRAMSAn), P-TYPE-2

CLRn0 ビット（SRAMn 1 ビット ECC エラーステータスクリア）

このビットで、SRAMESR の 1 ビット ECC エラーステータスビットをクリアできます。エラーとクリアが同時に発生した場合は、クリアが優先されます。

SRAMESR.ERRn0 は、CLRn0 に 1 を書き込むとクリアできます。

CLRn1 ビット（SRAMn 2 ビット ECC エラーステータスクリア）

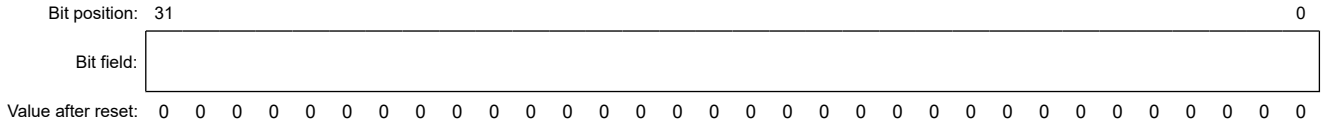
このビットで、SRAMESR の 2 ビット ECC エラーステータスビットをクリアできます。エラーとクリアが同時に発生した場合は、クリアが優先されます。

SRAMESR.ERRn1 は、CLRn1 に 1 を書き込むとクリアできます。

58.2.14 SRAMEARnm : ECC RAM 用 SRAM エラーアドレスレジスタ nm (n = 0～3、m = 0～1)

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x50 + 0x10 × n + 0x04 × m



ビット	シンボル	機能	R/W
31:0	n/a	SRAM エラーが発生した場合、ここにはエラーアドレスのオフセットが格納されます。	R

注. S-TYPE-5, P-TYPE-2
注. 本レジスタは、デバッガが接続中にソフトウェアスタンバイモードから復帰した後に初期化されます。

本レジスタは、SRAMESCLR レジスタの対応するビットまたはバスエラーリセットとメモリエラーリセット以外のリセットによってクリアされます。エラーとクリアが同時に発生した場合は、クリアが優先されます。また、デバッガからのアクセス中は、レジスタの更新は停止します。

エラーアドレスは以下です。

0x2200_0000 + SRAMEARnm（セキュアエイリアス）

0x3200_0000 + SRAMEARnm（非セキュアエイリアス）

SRAMEARn0 の場合

本レジスタは、1 ビット ECC エラーが検出されたエラーアドレスのオフセットを格納します。本ビットは、最初に発生したエラーアドレスのオフセットを保持します。本ビットは、SRAMESCLR からの 1 ビット ECC エラーをクリアすることによって、クリアされます。

SRAMEARn1 の場合

本レジスタは、2 ビット ECC エラーが検出されたエラーアドレスのオフセットを格納します。本ビットは、最初に発生したエラーアドレスのオフセットを保持します。本ビットは、SRAMESCLR からの 2 ビット ECC エラーをクリアすることによって、クリアされます。

58.3 動作説明

58.3.1 モジュールストップ機能

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。

SRAMn (n = 0, 1, 2, 3) は、MSTPCRA レジスタの SRAMn ビットで制御し、これを 1 にすると、SRAMn はクロック停止状態になります。

クロック供給の停止により、SRAM はモジュールストップ状態になります。リセット後は、SRAM は動作します。

モジュールストップ状態になると、SRAM へのアクセスができなくなります。SRAM のアクセス中は、モジュールストップ状態へ遷移しないでください。

モジュールストップ状態のとき、SRAM へのアクセスは禁止です。アクセスした場合の正常動作については保証できません。

MSTPCRA レジスタの詳細については、「11. 低消費電力モード」を参照してください。

58.3.2 ECC 誤り訂正機能

SRAMCRn レジスタの ECCMOD[1:0]ビットの設定によって、ECC 誤り訂正の有効・無効を選択することができます。初期状態では、ECC 誤り訂正は無効です。ECC チェックのタイプは、SEC-DED（Single-Error Correction/Double-Error Detection Code：単一誤り訂正／二重誤り検出符号）です。

ECC 機能が有効な場合、書き込み時は、64 ビットのデータに 8 ビットのチェックビットが付与されます。読み出し時には、72 ビット（データ：64 ビット、チェックビット：8 ビット）のデータが SRAM（ECC 領域）から読み出されます。

エラーチェックありの ECC 機能が有効の場合、1 ビットエラーが発生すると誤り訂正が実行され、SRAMCRn レジスタの E1STSEN ビットが 1 のときは SRAMESR レジスタの ERRn0 ビットが 1 になります。2 ビットエラーが発生すると、誤り検出が実行され、SRAMESR レジスタの ERRn1 ビットが 1 になりますが、誤り訂正は実行されません。

エラーチェックなしの ECC 機能が有効の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、SRAMCRn レジスタの E1STSEN ビットが 1 であっても SRAMESR レジスタの ERRn0 ビットは更新されません。2 ビットエラーが発生すると、この誤りは検出されますが、SRAMESR レジスタの ERRn1 ビットは更新されず、誤り訂正は実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。

そのため、ERRn0 ビットと ERRn1 ビットは更新されません。

エラー発生後の全データ更新時には、64 ビットデータ書き込みのみがサポートされます。

電源投入後およびディープソフトウェアスタンバイモード解除後、SRAM データは不定であるため、ECC 機能が有効でエラーチェックが選択されている場合に SRAM にアクセスを行うと、ECC エラーが発生します。そのため、ECC 機能を使用する前に、SRAM で使用される領域への ECC 機能が有効で、かつ 64 ビットデータサイズの初期書き込み、または ECC 機能が有効で、かつエラーチェック機能が無効な初期書き込みを実行する必要があります。

58.3.3 ECC エラー割り込み機能

エラーチェックありの ECC 機能が有効な場合、SRAMn においてエラーチェックが可能です。2 ビットエラーの場合、SRAMESR レジスタの ERRn1 ビットが 1 になります。1 ビットエラーの場合、SRAMCRn.E1STSEN ビットが 1 のとき、SRAMESR レジスタの ERRn0 ビットが 1 になります。

ECC1 ビットエラーをマスクする場合は、SRAMESR.ERRn0 ビットの 1 への更新を無効にするため、SRAMCRn.E1STSEN ビットを 0 に設定する必要があります。ECC 機能が無効になっているときや、エラーチェックなしの ECC 機能が有効になっているときには、ECC エラーは生成されません。

ECC エラーのために割り込みまたはリセットが発生する場合があります。ECC エラーが発生した場合、SRAMCRn.OAD ビットが 1 であるとリセット要求が出力されます。それが 0 であると、ICU にノンマスカブル割り込み要求が出力されます。

SRAMESR レジスタの 1 つのフラグが設定されると、ECC エラー割り込みが発生します。SRAMESR レジスタのフラグがクリアされるまで、ECC エラー割り込みの発生が継続します。

58.3.4 ECC デコーダのテスト方法

図 58.2 に ECC デコーダのテストフローチャートを示します。

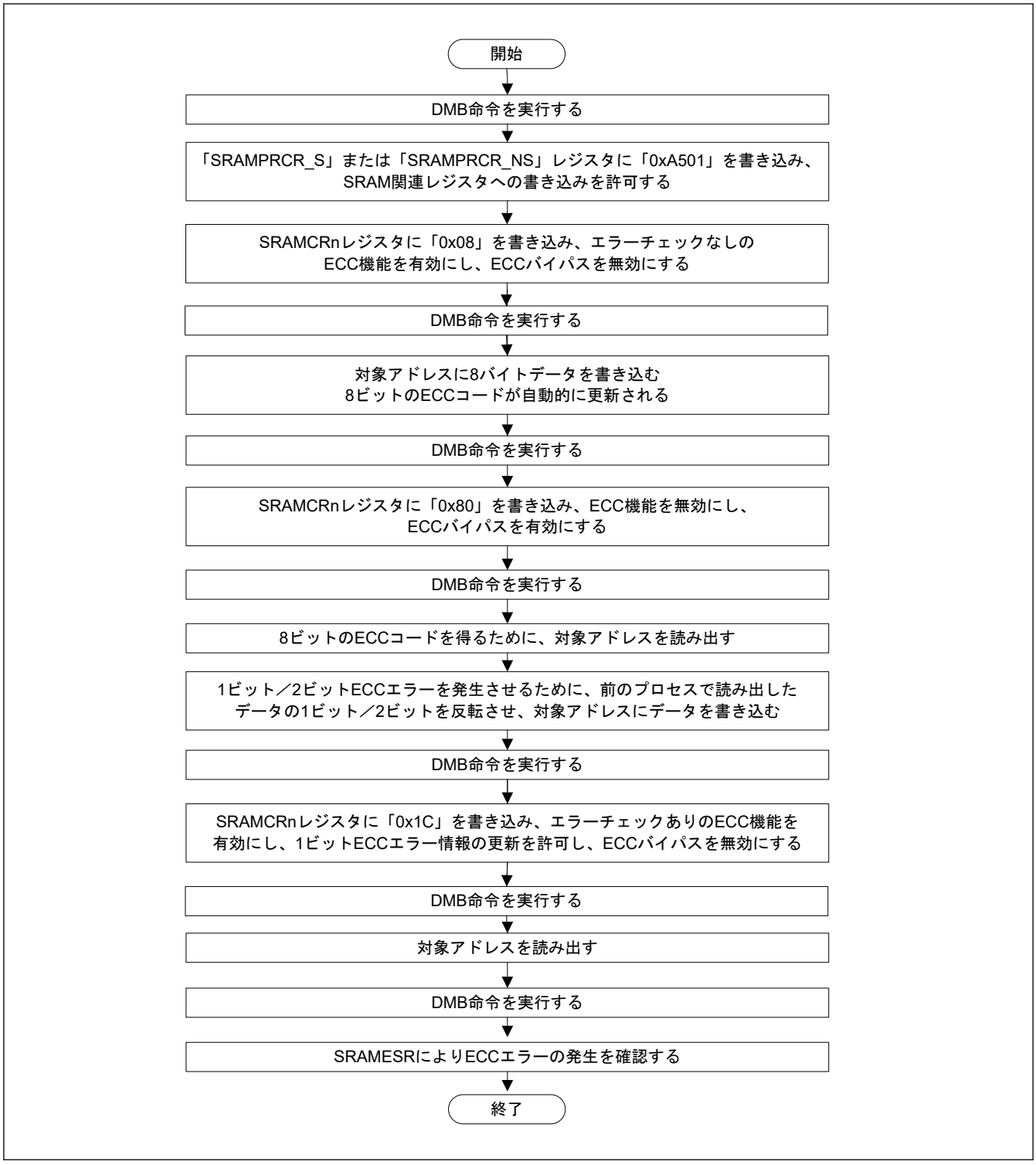


図 58.2　ECC デコーダのテスト方法

58.3.5　TrustZone フィルタ機能

58.3.5.1　SRAM レジスタ用 TrustZone フィルタ

SRAM レジスタは、セキュリティ属性 (SA) に応じて非セキュアまたはセキュアトランザクションから保護できます。SRAM レジスタがセキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、アクセスから保護するため、非セキュアトランザクションはこのレジスタにアクセスできません。SRAM レジスタが非セキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、アクセス

から保護するため、セキュアトランザクションはこのレジスタにアクセスできません。SRAM レジスタの SA は、SRAM レジスタ間共通で同一の設定が使用されます。

TrustZone エラーが原因でアクセスが失敗した場合、エラー応答が発生します。

表 58.2　レジスタの保護

SA	トランザクション	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
非セキュア	セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
	非セキュア	許可	許可

58.3.5.2　SRAM メモリ領域用 TrustZone フィルタ

SRAM0、SRAM1、SRAM2、SRAM3 の領域は、独立してセキュアと非セキュアに分割できます。これらの領域へのアクセス許可は、以下のとおりです。

表 58.3　メモリプロテクション

SA	トランザクション	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
非セキュア	セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
	非セキュア	許可	許可

SRAM メモリ用 TrustZone フィルタのエラーが発生すると、エラー通知が生成されます。

58.3.6　割り込み要因

SRAM 割り込み要因には、ECC エラーと TrustZone フィルタエラーがあります。ECC エラーは、SRAMCRn.OAD ビットによって割り込みまたはリセットを選択できます。SRAM 割り込みは、SRAMESR レジスタ内の 1 つのエラーステータスが 1 になると発生します。SRAM 割り込みは、SRAMESR レジスタのフラグがクリアされるまで引き続き発生します。共通メモリエラーが発生（NMISR.CMST = 1 または RSTSR1.CMRF = 1）した場合は、SRAMESR を読み出し、SRAM 割り込み要因を確認してください。デバッガからのアクセスの場合、エラーは検出して訂正されますが、エラーフラグは設定されず、リセット要求や割り込み要求も出力されません。

表 58.4　SRAM 割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
ECCERR	ECC エラー（ECC ありの SRAM 領域）	不可能	不可能
TZFLT	TrustZone フィルタエラー	不可能	不可能

58.3.7　ウェイトステート

ICLK 周波数が電気的特性の最高周波数の半分より高い場合、ウェイトサイクルを挿入するため、SRAMWTSC レジスタのウェイト許可ビットに 0x00 を設定しないでください。

ウェイトを挿入しない場合は、動作は保証されません。

ICLK 周波数が電気的特性の最高周波数の半分以下の場合、ウェイトステートは必要ありません。

最高 ICLK 周波数が 250 MHz の場合

- 250 MHz ≧ ICLK ＞ 125 MHz = 1 ウェイト
- 125 MHz ≧ ICLK = ウェイトなし

最高 ICLK 周波数が 200 MHz の場合

- 200 MHz ≧ ICLK ＞ 100 MHz = 1 ウェイト

- 100 MHz ≧ ICLK = ウェイトなし

最高 ICLK 周波数が 150 MHz の場合

- 150 MHz ≧ ICLK ＞ 75 MHz = 1 ウェイト
- 75 MHz ≧ ICLK = ウェイトなし

58.3.8 アクセスサイクル

以下にアクセスサイクルの遅延に関する情報を示します。

- ECC が有効なときには、64 ビット未満の書き込みは通常の書き込みよりも 2 サイクル遅くなります。
- SRAMWTSC.WTEN の設定に従ってウェイトサイクルを挿入します。SRAMWTSC.WTEN = 1 の場合、読み出しは 1 サイクルの遅延となります。

58.3.9 ECC 領域へのアクセス

ECC 機能が無効のときは、ECC 領域をデータ領域として使用できます。

ECC 機能が無効の場合、直接アクセスが可能です。ECC 機能が有効の場合、直接アクセスは無効になります。パイパスが有効の場合、ECC ビットへの直接アクセスが可能です。

バイパス	ECC	アクセス領域	SRAM 領域	ECC 領域	備考
有効	—	SRAM 領域が対象	—	✔	—
—	—	ECC 領域が対象	—	—	アクセスは無効
無効	有効	SRAM 領域が対象	✔	✔	—
—	—	ECC 領域が対象	—	—	アクセスは無効
—	無効	SRAM 領域が対象	✔	—	—
—	—	ECC 領域が対象	—	✔	—

注. バイパスの使用時には SRAMCRn.ECCMOD[1:0] = 00b と設定します。「58.2.7. SRAMCRn : ECC RAM 用 SRAM コントロールレジスタ n (n = 0～3)」を参照してください。

58.4 使用上の注意事項

58.4.1 SRAM 領域からの命令フェッチ

SRAM を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない領域から CPU がプリフェッチすると、ECC エラーが発生する場合があります。8 バイト境界のプログラムの終了アドレスから追加で 12 バイト領域を初期化してください。弊社は、データの初期化には NOP 命令の使用を推奨します。

58.4.2 SRAM のエラー確認使用時の注意事項

SRAM のデータは、電源がオンのときには不定です。そのため、初期化前にデータが読み出されると ECC エラーが発生します。SRAM は 8 バイト（64 ビット）単位で読み出されます。8 バイト境界で初期化してください。

59. MRAM

本 MCU は、コード MRAM とオプション設定メモリを搭載しています。コード MRAM は命令とオペランドを格納します。オプション設定メモリについては、「7. オプション設定メモリ」を参照してください。

59.1 概要

表 59.1 に MRAM の仕様を、図 59.1 に MRAM 関連モジュールのブロック図を示します。

シリアルプログラミングモードで使用される入出力端子については、表 59.39 を参照してください。

CPSEQ（コード MRAM プログラムシーケンサ）は、コード MRAM の書き込みを制御します。EPSEQ（エクストラ MRAM プログラムシーケンサ）は、オプション設定メモリを含むエクストラ MRAM の書き込みを制御します。MACI（MRAM アプリケーションコマンドインタフェース）は、設定された MACI コマンドに従って EPSEQ を制御します。

コード MRAM の構成については、「59.2. メモリ構成」を参照してください。

表 59.1 MRAM の仕様 (1/2)

項目	コード MRAM	エクストラ MRAM のオプション設定メモリ
メモリ容量	ユーザー領域：最大 1 MB	「7. オプション設定メモリ」を参照。
リードサイクル	「59.5.2. MRCFREQ : コード MRAM 周波数通知レジスタ」を参照	「59.5.3. MREFREQ : エクストラ MRAM 周波数通知レジスタ」を参照
プログラミング方式	書き込みページバッファ	MACI コマンド
プロテクション機能	MRAM の誤書き換えを防止	
デュアルバンク機能	使用不可	使用不可
ブロックスワップ機能	使用不可	使用不可
バックグラウンドオペレーション (BGO)	• オプション設定メモリの書き込み中にコード MRAM を読み出しできます。 • コード MRAM の書き込み中にオプション設定メモリを読み出しできます。	
書き込みの単位	1～32 バイト	16 バイト
MACI コマンド	使用不可	プログラム：16 バイト 強制停止 ステータスクリア コンフィグレーション設定：16 バイト カウンタインクリメント：1 ビット カウンタ読み出し：8 バイト
セキュリティ機能	• MRAM のデータの不正改ざん／不正リードを防止 • OFS 領域の保護 • スタートアップ領域選択設定保護 – BTFLG レジスタ、BTSIZE レジスタ、および MSUACR レジスタを FSPR ビットにより保護 • 永久ブロック保護設定保護 – ユーザー領域を永久ブロック保護機能によりプログラム動作から永久に保護 • TrustZone に対する MRAM 保護 – MRAM 領域の保護（プログラム） – MRAM 領域の保護（読み出し） – レジスタの保護 • エクストラ MRAM プログラムモード遷移保護 • アンチロールバックカウンタ • HUK の保護	
セーフティ機能	ソフトウェアプロテクション • MENTRYR レジスタによる MACI コマンド保護 • MRCPC0 および MRCPC1 レジスタによるユーザー領域保護 • ブロック保護設定によるユーザー領域保護 エラープロテクション • 意図しないコマンドまたは禁止された設定が行われるとエラーが検出されます。エラー検出後 MACI コマンドは受け付けられません。 ブート領域プロテクション • スタートアップ領域選択機能により、ユーザーはスタートアッププログラムを安全に更新できます。スタートアップ領域のサイズは、8 KB、16 KB、または 32 KB から選択できます。 ダブルビット誤り訂正およびトリプルビットエラー検出の ECC サポート	

表 59.1 MRAM の仕様 (2/2)

項目	コード MRAM	エクストラ MRAM のオプション設定メモリ
割り込み要求	• MRAM_MRCRD（コード MRAM 読み出しエラー） INTENBTC および INTENBDC ビットにより許可。 • MRAM_MRERD（エクストラ MRAM 読み出しエラー） INTENBTE および INTENBDE ビットにより許可。 • MRAM_MRCPR（コード MRAM シーケンサエラー） MRCAEIE ビットにより許可。 • MRAM_MREPR（エクストラ MRAM シーケンサエラー） CMDLKIEE および MREAEIE ビットにより許可。 • MRAM_ENDOFPE（エクストラ MRAM シーケンサレディ（処理終了）） MRDYIE ビットにより許可	

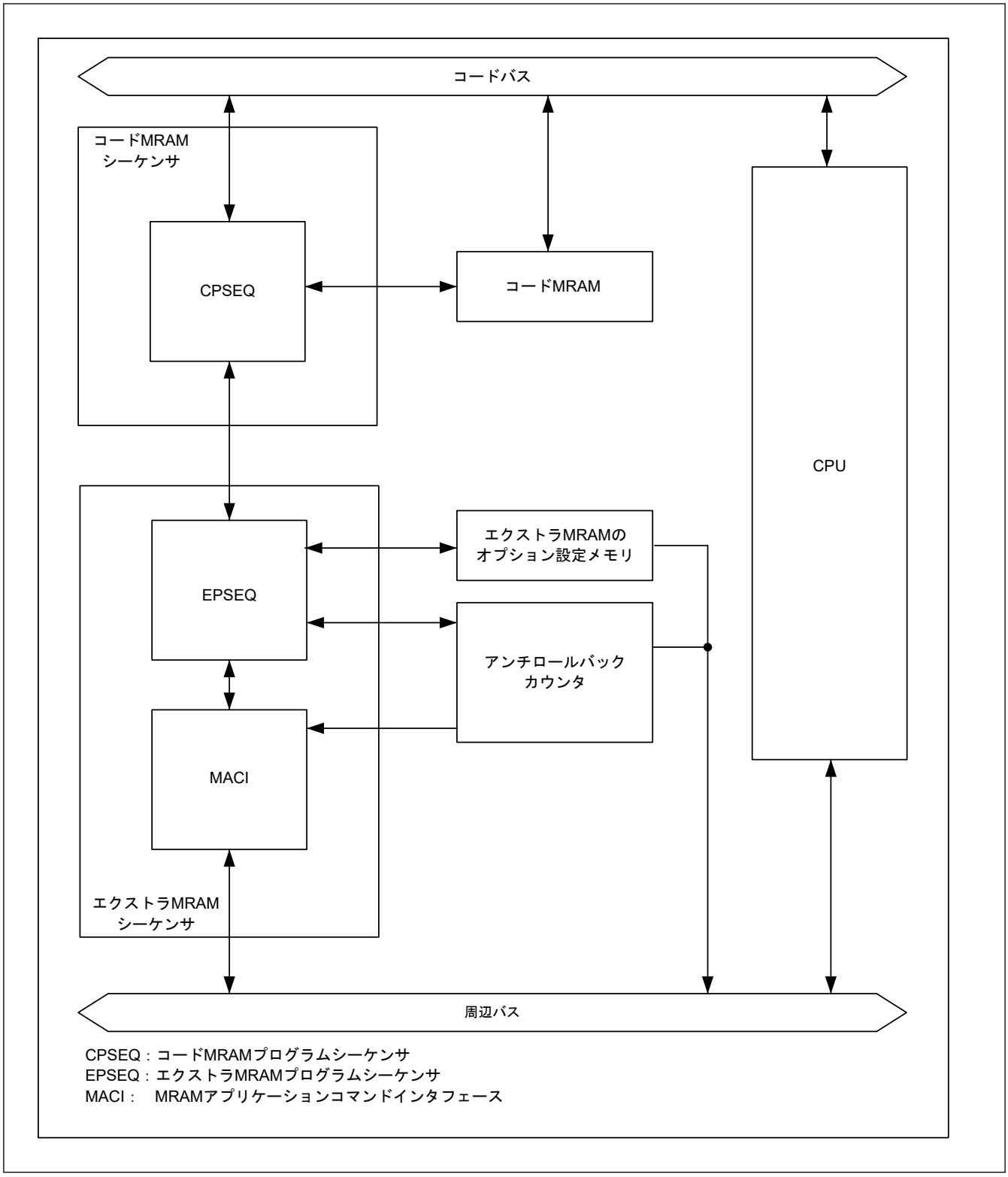
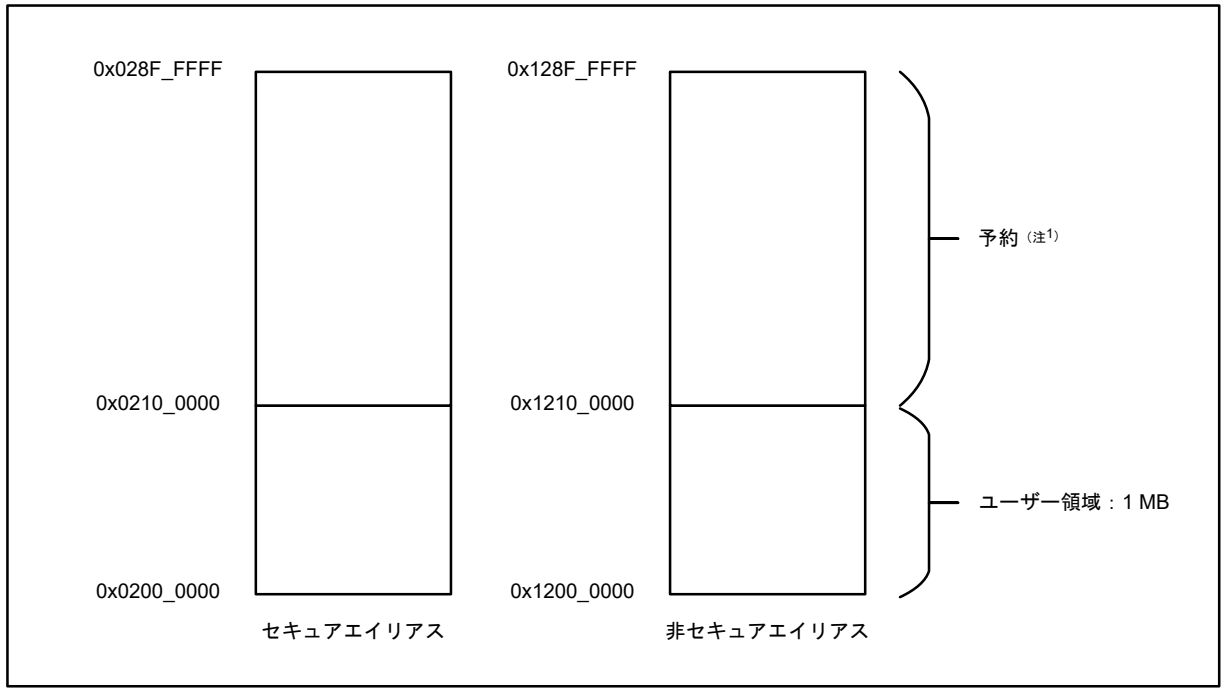


図 59.1 MRAM 関連モジュールのブロック図

59.2 メモリ構成

図 59.2 にコード MRAM のメモリマップを示します。



注 1. バスエラーが生成されます。

図 59.2 コード MRAM のマップ

表 59.2 コード MRAM の製品別読み出しおよびプログラムアドレス

製品	アドレス
1 MB 製品	セキュアエイリアス：0x0200_0000～0x020F_FFFF 非セキュアエイリアス：0x1200_0000～0x120F_FFFF

59.3 アドレス空間

MRAM とのハードウェアインタフェースを使用するには、ハードウェアの全レジスタへのアクセスが必要です。これは MACI コマンドを発行するためです。表 59.3 にベースアドレスを示します。表 59.4 に、ハードウェアインタフェースに関する情報を示します。

表 59.3 ベースアドレス

ベースアドレスシンボル	アドレス	セキュアエイリアス
BASE_MC	0x0200_0000 または 0x1200_0000	セキュアまたは非セキュア
BASE_MCS	0x0200_0000	セキュア
BASE_MCN	0x1200_0000	非セキュア
BASE_MR	0x4012_0000	セキュア
	0x5012_0000	非セキュア

表 59.4 ハードウェアインタフェース領域情報

領域	アドレス	容量
ハードウェアの各種レジスタを含む領域	「59.5. レジスタの説明」を参照。	「59.5. レジスタの説明」を参照。
MACI コマンド発行領域	BASE_MR	4 バイト

エクストラ MRAM のアドレス情報については、「5. アドレス空間」を参照してください。

59.4 MRAM の読み出しおよび書き込み機能

59.4.1 プリフェッチバッファ

プリフェッチバッファは、バスマスタからコード MRAM への CPU 命令フェッチをスピードアップします。

表 59.5 プリフェッチバッファの概要

機能	実装
対象領域	0x000_0000～0x00F_FFFF (1 MB)
対象バスマスタ	CPU0 および CPU1 の命令フェッチ
容量	64 バイト／CPU
アソシアティブ方式	フルアソシアティブ
	256 ビット／エントリ（256 ビット整列データ）、2 エントリ
アクセスサイクル	ヒット：0 ウェイト ヒットせず：「59.5.2. MRCFREQ : コード MRAM 周波数通知レジスタ」を参照してください。

59.4.2 書き込み手順

コード MRAM のプログラムデータはバスアクセスによってプログラムバッファに入力され、コード MRAM に 32 バイト単位で書き込まれます。コード MRAM プログラムの処理中にシステムバスが停止するのを避けるために、以下を推奨します。

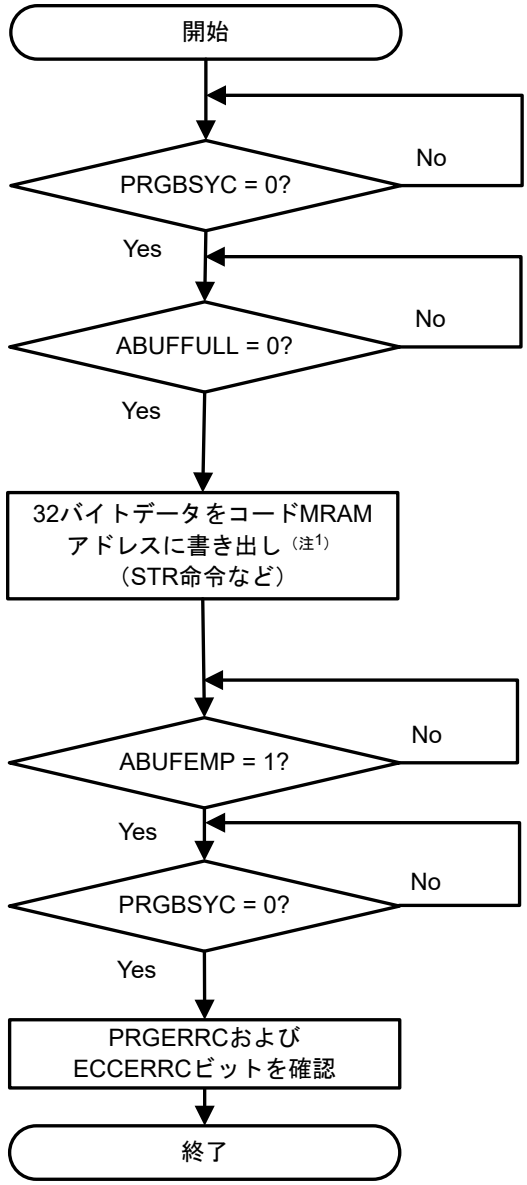
- コード MRAM 書き込みアクセスを実行できるバスマスタを 1 つのみとする。
- プログラムデータは同じ 32 バイト境界内で 32 バイト以下とする

図 59.3 および図 59.4 にコード MRAM の書き込み手順を示します。コード MRAM アドレスに書き込む前に、MRCPS レジスタの PRGBSYC ビットおよび ABUFFULL ビットで他のプログラム処理が実行されていないことを確認します。コード MRAM アドレスへの書き込みデータは 32 バイトのプログラムデータバッファに格納され、以下のいずれかの条件でコード MRAM に書き込まれます。

- プログラムデータバッファがフルである（図 59.3）
- 書き込まれるコード MRAM アドレスが、プログラムデータバッファに格納されているデータから 32 バイト境界の外側である
- MRCFLR レジスタの MRCFL ビットが 1 になっている（図 59.4）

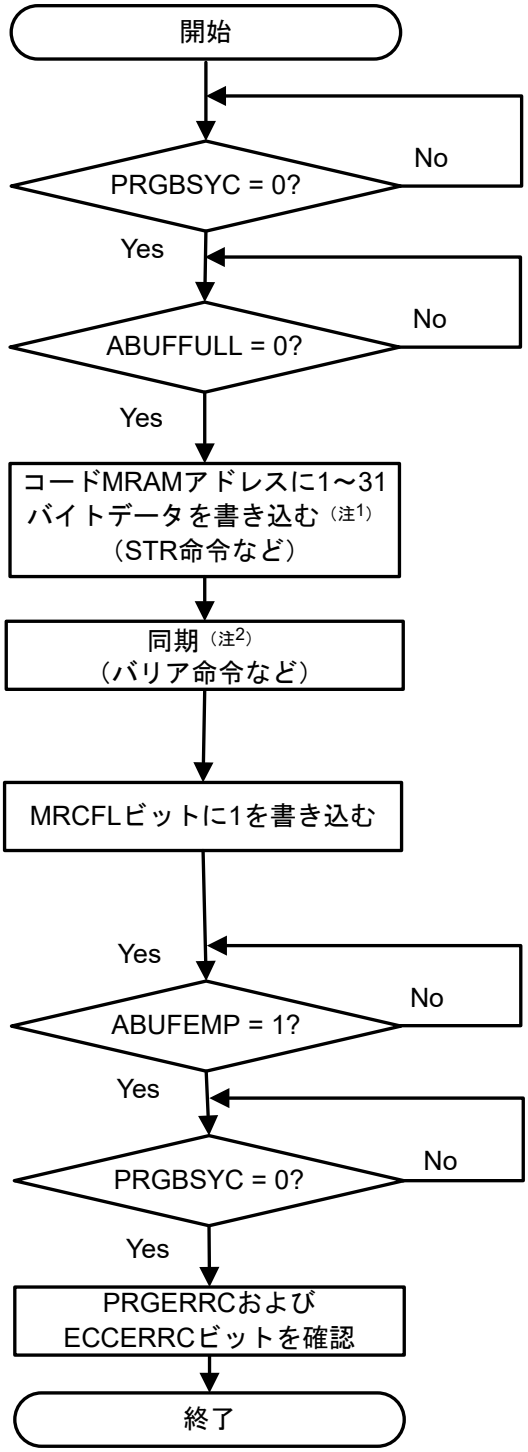
プログラム処理エラーステータスは MRCPS レジスタの PRGERRC ビットおよび ECCERRC ビットで確認できます。

エクストラ MRAM の書き込み手順については、「59.7. MACI コマンド」を参照してください。



注 1. プログラムアドレスは 32 バイト境界から開始し、連続アドレスです。

図 59.3 コード MRAM の書き込み手順（32 バイト書き込み）

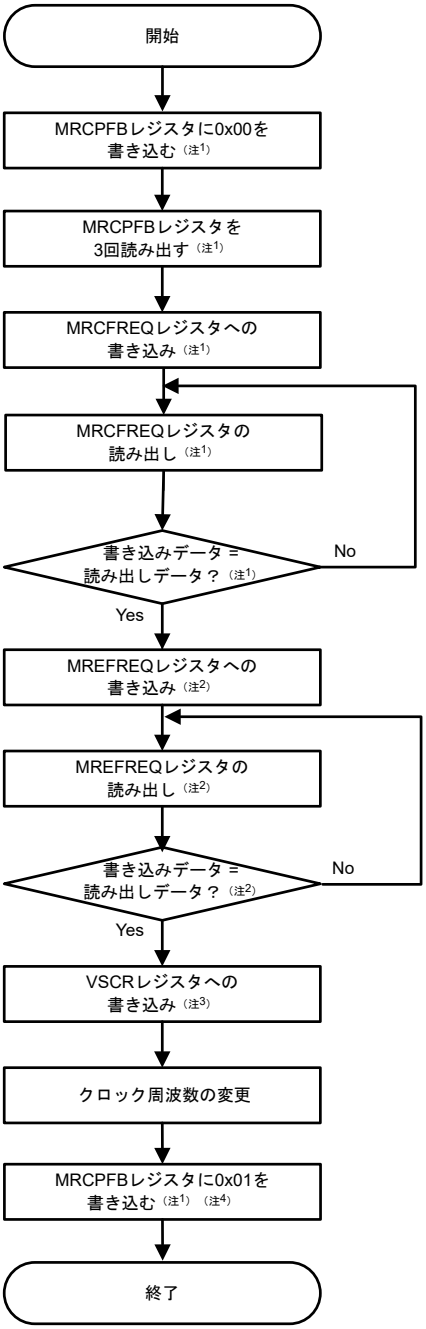


注 1. プログラムアドレスは連続アドレスです。
注 2. 詳細は「59.14. 使用上の注意事項」を参照してください。

図 59.4 コード MRAM の書き込み手順（32 バイト書き込みより小さい）

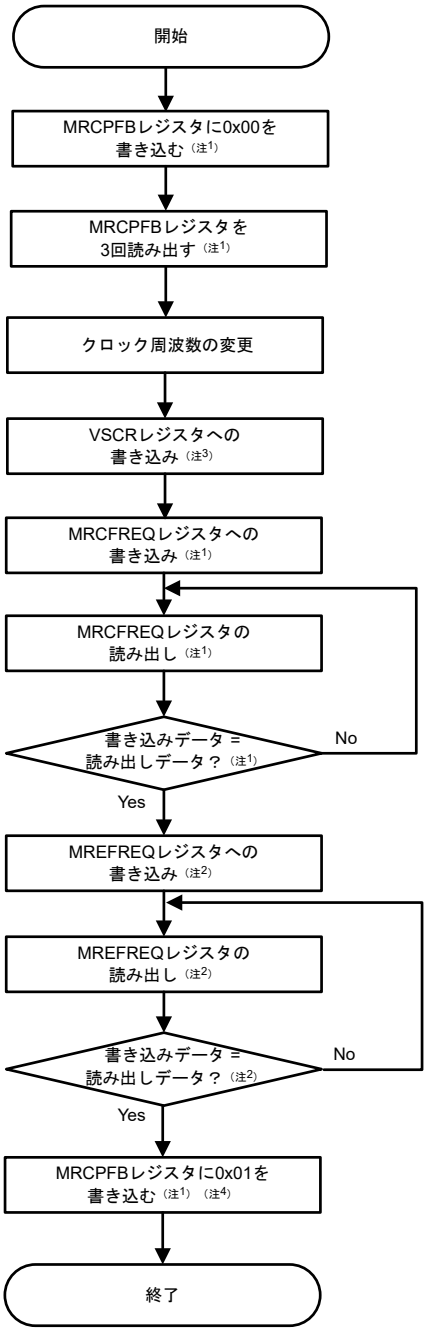
59.4.3 周波数の変更手順

周波数設定は、MRAM の書き込みまたは読み出し中にレジスタに書き込まれた場合でも反映されません。クロック周波数を変更するには、変更する前に、レジスタ値が書き込み値に設定されているか確認します。図 59.5 および図 59.6 にコード MRAM およびエクストラ MRAM の周波数変更手順を示します。



注 1. MRCFREQ レジスタの変更時のみ
注 2. MREFREQ レジスタの変更時のみ
注 3. 電圧の変更時のみ
注 4. MRCFREQ レジスタの値が 0x65 以上であり、デバイスを操作するためにプリフェッチバッファ機能が有効なとき

図 59.5 周波数増加の手順



注 1. MRCFREQ レジスタの変更時のみ
注 2. MREFREQ レジスタの変更時のみ
注 3. 電圧の変更時のみ
注 4. MRCFREQ レジスタの値が 0x65 以上であり、デバイスを操作するためにプリフェッチバッファ機能が有効なとき

図 59.6 周波数減少の手順

59.5 レジスタの説明

59.5.1 MRCPFB : コード MRAM プリフェッチバッファイネーブルレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MPFBEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MPFBEN	コード MRAM プリフェッチバッファイネーブル 0: プリフェッチバッファは無効 1: プリフェッチバッファは有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MPFBEN ビット（コード MRAM プリフェッチバッファイネーブル）

このビットは、コード MRAM プリフェッチバッファを有効または無効にするために使用されます。

MRCFREQ レジスタ値が 0x064 以下のときにプリフェッチバッファを有効にすることは禁止されています。

59.5.2 MRCFREQ : コード MRAM 周波数通知レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MRCMHZ[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0

ビット	シンボル	機能	R/W
9:0	MRCMHZ[9:0]	コード MRAM 周波数通知 これらのビットは、コード MRAM の動作周波数を設定するために使用されます。MRICLK 周波数を設定します。 コード MRAM への読み出しアクセスウェイトの数。 MRCMHZ[9:0] ≦ 0x064 (100 MHz): ノーウェイトアクセス 0x064 (100 MHz) < MRCMHZ[9:0] ≦ 0x0C8 (200 MHz): 1 ウェイトアクセス 0x0C8 (200 MHz) < MRCMHZ[9:0] ≦ 0x0FA (250 MHz): 2 ウェイトアクセス その他の設定は予約されています。	R/W(注1)
23:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:24	KEY[7:0]	キーコード	R/W(注2)

注. S-TYPE-3, P-TYPE-2
注 1. これらのビットへの書き込みは、32 ビットが書き込まれ、KEY ビットに書き込まれた値が 0x1E の場合のみ可能です。
注 2. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCFREQ レジスタは、コード MRAM の読み出しと書き込みの周波数を設定します。クロック周波数をこれより高くする場合、クロック周波数を変更する前に MRCMHZ[9:0]を設定してください。エクストラ MRAM 周波数

に対するコード MRAM の比率は 5 以下に制限されます。クロック周波数を低くする場合、クロック周波数を変更した後に MRCMHZ[9:0]を設定してください。周波数設定の詳細は、「59.4.3. 周波数の変更手順」を参照してください。

MRCMHZ[9:0]ビット（コード MRAM 周波数通知）

これらのビットは、コード MRAM の動作周波数を指定します。MHz 単位で表す周波数を 2 進数に変換後、これらのビットに設定します。動作周波数が 32.768 KHz 以下である場合、MCMHZ ビットを 0x000 に設定します。

例：

周波数が 249.9 MHz (MRCMHZ = 0x0FA) の場合です。

250 MHz の小数第 1 位を自然数 (= 250) に丸め、2 進数に変換します。

周波数が 0.5 MHz (MRCMHZ = 0x001) の場合です。

0.5 MHz の小数第 1 位を自然数 (= 1) に丸め、2 進数に変換します。

周波数が 32.768 kHz (MRCMHZ = 0x000) の場合です。

KEY[7:0]ビット（キーコード）

本ビットは、MCMHZ ビットへの書き込みの許可または禁止を制御します。

59.5.3 MREFREQ : エクストラ MRAM 周波数通知レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	MREMHZ[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0

ビット	シンボル	機能	R/W
7:0	MREMHZ[7:0]	エクストラ MRAM 周波数通知 これらのビットは、エクストラ MRAM の動作周波数を設定するために使用されます。 MRPCLK 周波数を設定します。 エクストラ MRAM への読み出しアクセスウェイトの数。 MREMHZ[7:0] ≦ 0x64 (100 MHz): ノーウェイトアクセス 0x64 (100 MHz) < MREMHZ[7:0] ≦ 0x7D (125 MHz): 1 ウェイトアクセス その他の設定は予約されています。	R/W(注1)
23:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:24	KEY[7:0]	キーコード	R/W(注2)

注. S-TYPE-3, P-TYPE-2
注 1. これらのビットへの書き込みは、32 ビットが書き込まれ、KEY ビットに書き込まれた値が 0xE1 の場合のみ可能です。
注 2. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MREFREQ は、エクストラ MRAM の読み出しおよび設定の周波数を設定します。クロック周波数をこれより高くする場合、クロック周波数を変更する前に MREMHZ[7:0]を設定してください。クロック周波数を低くする場合、クロック周波数を変更した後に MREMHZ[7:0]を設定してください。周波数設定の詳細は、「59.4.3. 周波数の変更手順」を参照してください。

MREMHZ[7:0]ビット（エクストラ MRAM 周波数通知）

これらのビットは、エクストラ MRAM の動作周波数を指定します。MHz 単位で表す周波数を 2 進数に変換後、これらのビットに設定します。動作周波数が 32.768 kHz 以下である場合、MREMHZ[7:0]ビットを 0x000 に設定します。

例：

周波数が 124.9 MHz の場合 (MREMHZ = 0x7D) です。

124.9 MHz の小数第 1 位を自然数 (= 125) に丸め、2 進数に変換します。

周波数が 0.5 MHz の場合 (MREMHZ = 0x001) です。

0.5 MHz の小数第 1 位を自然数 (= 1) に丸め、2 進数に変換します。

周波数が 32.768 kHz (MREMHZ = 0x000) の場合です。

KEY[7:0]ビット（キーコード）

これらのビットは、MREMHZ[7:0]ビットへの書き込みの許可または禁止を制御します。

59.5.4 MRCDECC : コード MRAM ECC デコーダコントロールレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x010

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	ECCSELC	DECDISC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DECDISC	コード MRAM ECC デコーダ無効 0: ECC デコーダ有効 1: ECC デコーダ無効	R/W(注1)
1	ECCSELC	コード MRAM ECC ビット選択 0: ECC ビット未選択 1: ECC ビット選択	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注2)

注. S-TYPE-3, P-TYPE-2
注 1. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0x5A の場合のみ可能です。
注 2. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCDECC レジスタは、コード MRAM の ECC デコーダ回路をテストするために使用します。ECC デコーダ回路のテストフローについては、「59.9.4. フォルトの訂正および検出」を参照してください。

DECDISC ビット（コード MRAM ECC デコーダ無効）

このビットは、コード MRAM の ECC デコーダ回路を有効または無効にします。

[1 になる条件]

- 書き込み許可条件が満たされたときに 1 が書き込まれたとき

[0 になる条件]

- 書き込み許可条件が満たされたときに 0 が書き込まれたとき

ECCSELC ビット（コード MRAM ECC ビット選択）

ECCSELC が 1 に設定されると、コード MRAM の ECC ビットは読み出しデータの[144:128]ビットおよび[16:0]ビットに出力されます。読み出しデータの[255:145]ビットおよび[127:17]ビットに対して値 0 が出力されます。

DEC エラーが発生すると、修正されたデータが出力されます。TED エラーが検出された場合、読み出しデータは保証されません。

[1 になる条件]

- 書き込み許可条件が満たされたときに 1 が書き込まれたとき

[0 になる条件]

- 書き込み許可条件が満たされたときに 0 が書き込まれたとき

KEY[7:0]ビット（キーコード）

本ビットは、DECDISC ビットおよび ECCSELC ビットへの書き込みの許可または禁止を制御します。

59.5.5 MRCRAEINT : コード MRAM 読み出しアクセスエラー割り込み許可レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x014

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	INTENBTC	INTENBDC
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	INTENBDC	コード MRAM DEC エラー割り込み許可 0: MRCRAES.DECERRC ビットが 1 のとき MRAM_MRCRD 割り込み要求の発生を禁止 1: MRCRAES.DECERRC ビットが 1 のとき MRAM_MRCRD 割り込み要求の発生を許可	R/W
1	INTENBTC	コード MRAM TED エラー割り込み許可 0: MRCRAES.TEDERRC ビットが 1 のとき MRAM_MRCRD 割り込み要求の発生を禁止 1: MRCRAES.TEDERRC ビットが 1 のとき MRAM_MRCRD 割り込み要求の発生を許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCRAEINT レジスタは、コード MRAM 読み出しアクセスエラー (MRAM_MRCRD) 割り込み要求の発生を許可または禁止します。

INTENBDC ビット（コード MRAM DEC エラー割り込み許可）

このビットは、コード MRAM 読み出しアクセス違反が発生した場合の MRAM_MRCRD 割り込み要求の発生を許可または禁止します。この違反が発生すると、MRCRAES レジスタの DECERRC ビットが 1 に設定されます。

INTENBTC ビット（コード MRAM TED エラー割り込み許可）

このビットは、コード MRAM 読み出しアクセス違反が発生した場合の MRAM_MRCRD 割り込み要求の発生を許可または禁止します。この違反が発生すると、MRCRAES レジスタの TEDERRC ビットが 1 に設定されます。

59.5.6 MRCRAES : コード MRAM 読み出しアクセスエラーステータスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x018

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEDERRC	DECERRC
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DECERRC	コード MRAM DEC エラー検出 0: DEC エラー未検出 1: DEC エラー検出	R/W(注1)
1	TEDERRC	コード MRAM TED エラー検出 0: TED エラー未検出 1: TED エラー検出	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。これらのビットは、0 が書き込まれた後、および 1 が読み出された場合は 0 に書き換えられた後に確認する必要があります。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

DECERRC ビット（コード MRAM DEC エラー検出）

このビットは読み出しデータの DEC エラーチェックの結果を示します。デバッガから読み出し値にアクセスした場合、DEC エラーが発生した場合であっても DECERRC は 1 に設定されません。DEC エラーを解決するには、MRCRDEA レジスタが示すアドレスから 32 バイトのデータを読み出し、同じアドレスに書き戻します。

[1 になる条件]

- エラー検出
  バスマスタの読み出しデータにエラーが検出されたとき（プリフェッチデータのエラーが検出されたときはこのビットは設定されません）。

[0 になる条件]

- このビットから 1 を読み出したあとに 0 が書き込まれたとき

TEDERRC ビット（コード MRAM TED エラー検出）

このビットは読み出しデータの TED エラーチェックの結果を示します。デバッガから読み出し値にアクセスした場合、TED エラーが発生した場合であっても TEDERRC は 1 に設定されません。TED エラーを解決するには、MRCRTEA レジスタが示すアドレスに 32 バイトのデータを書き込みます。

[1 になる条件]

- エラー検出
  バスマスタの読み出しデータにエラーが検出されたとき（プリフェッチデータのエラーが検出されたときはこのビットは設定されません）。

[0 になる条件]

- このビットから 1 を読み出したあとに 0 が書き込まれたとき

59.5.7 MRCRTEA : コード MRAM TED エラーアドレスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x01C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MRCRTEA[26:11]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MRCRTEA[10:0]											—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。	R
31:5	MRCRTEA[26:0]	コード MRAM 読み出しアクセス TED エラーアドレス TED エラーが発生したときのアドレスを示す。	R

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCRTEA レジスタは、コード MRAM 読み出しで TED エラーが発生したときのアドレスを格納します。
MRCRAES.TEDERRC ビットが 1 に設定されたときに ECC エラーのアドレスが格納されます。
MRCRAES.TEDERRC ビットが 0 にクリアされるまで、TED エラーが発生したときに MRCRTEA ビットはエラーアドレスをキャプチャしません。

MRCRTEA ビット（コード MRAM 読み出しアクセス TED エラーアドレス）

[1 になる条件]

- MRCRAES レジスタの TEDERRC ビットが 0 から 1 に変化したとき

59.5.8 MRCRDEA : コード MRAM DEC エラーアドレスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MRCRDEA[26:11]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MRCRDEA[10:0]											—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。	R
31:5	MRCRDEA[26:0]	コード MRAM 読み出しアクセス DEC エラーアドレス DEC エラーが発生したときのアドレスを示す。	R

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCRDEA レジスタは、コード MRAM 読み出しで DEC エラーが発生したときのアドレスを格納します。
MRCRAES.DECERRC ビットが 1 に設定されたときに ECC エラーのアドレスが格納されます。

MRCRAES.DECERRC ビットが 0 にクリアされるまで、DEC エラーが発生したときに MRCRDEA ビットはエラーアドレスをキャプチャしません。

MRCRDEA[26:0]ビット（コード MRAM 読み出しアクセス DEC エラーアドレス）

[1 になる条件]

- MRCRAES レジスタの DECERRC ビットが 0 から 1 に変化したとき

59.5.9 MRERAEINT : エクストラ MRAM 読み出しアクセスエラー割り込み許可レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x034

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	INTENBTE	INTENBDE
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	INTENBDE	エクストラ MRAM DEC エラー割り込み許可 0: MERAES.DECERRE ビットが 1 のとき MRAM_MRERD 割り込み要求の発生を禁止 1: MERAES.DECERRE ビットが 1 のとき MRAM_MRERD 割り込み要求の発生を許可	R/W
1	INTENBTE	エクストラ MRAM TED エラー割り込み許可 0: MERAES.TEDERRE ビットが 1 のとき MRAM_MRERD 割り込み要求の発生を禁止 1: MERAES.TEDERRE ビットが 1 のとき MRAM_MRERD 割り込み要求の発生を許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRERAEINT レジスタは、エクストラ MRAM 読み出しアクセスエラー (MRAM_MRERD) 割り込み要求の発生を許可または禁止します。

INTENBDE ビット（エクストラ MRAM DEC エラー割り込み許可）

このビットは、エクストラ MRAM 読み出しアクセス違反が発生した場合の MRAM_MRERD 割り込み要求の発生を許可または禁止します。この違反が発生すると、MRERAES レジスタの DECERRE ビットが 1 に設定されます。

INTENBTE ビット（エクストラ MRAM TED エラー割り込み許可）

このビットは、エクストラ MRAM 読み出しアクセス違反が発生した場合の MRAM_MRERD 割り込み要求の発生を許可または禁止します。この違反が発生すると、MRERAES レジスタの TEDERRE ビットが 1 に設定されます。

59.5.10 MRERAES : エクストラ MRAM 読み出しアクセスエラーステータスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x038

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEDERRE	DECERRE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DECERRE	エクストラ MRAM DEC エラー検出 0: DEC エラー未検出 1: DEC エラー検出	R/W(注1)
1	TEDERRE	エクストラ MRAM TED エラー検出 0: TED エラー未検出 1: TED エラー検出	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。これらのビットは、0 が書き込まれた後、および 1 が読み出された場合は 0 に書き換えられた後に確認する必要があります。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

DECERRE ビット（エクストラ MRAM DEC エラー検出）

このビットは読み出しデータの DEC エラーチェックの結果を示します。デバッガから読み出し値にアクセスした場合、DEC エラーが発生した場合であっても DECERRE は 1 に設定されません。DEC エラーを解決するには、MRERDEA レジスタが示すアドレスから 16 バイトのデータを読み出し、同じアドレスに書き戻します。

[1 になる条件]

- エラー検出
  バスマスタの読み出しデータにエラーが検出されたとき（プリフェッチデータのエラーが検出されたときはこのビットは設定されません）。

[0 になる条件]

- このビットから 1 を読み出したあとに 0 が書き込まれたとき

TEDERRE ビット（エクストラ MRAM TED エラー検出）

このビットは読み出しデータの TED エラーチェックの結果を示します。デバッガから読み出し値にアクセスした場合、TED エラーが発生した場合であっても TEDERRE は 1 に設定されません。TED エラーを解決するには、MRERTEA レジスタが示すアドレスに 16 バイトのデータを書き込みます。

[1 になる条件]

- エラー検出
  バスマスタの読み出しデータにエラーが検出されたとき（プリフェッチデータのエラーが検出されたときはこのビットは設定されません）。

[0 になる条件]

- このビットから 1 を読み出したあとに 0 が書き込まれたとき

59.5.11 MRERTEA : エクストラ MRAM TED エラーアドレスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x03C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MRERTEA[27:12]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MRERTEA[11:0]												—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。	R
31:4	MRERTEA[27:0]	エクストラ MRAM 読み出しアクセス TED エラーアドレス TED エラーが発生したときのアドレスを示す。	R

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRERTEA レジスタは、エクストラ MRAM 読み出しで TED エラーが発生したときのアドレスを格納します。
MRERAES.TEDERRE ビットが 1 に設定されたときに ECC エラーのアドレスが格納されます。
MRERAES.TEDERRE ビットが 0 にクリアされるまで、TED エラーが発生したときに MRERTEA ビットはエラーアドレスをキャプチャしません。

MRERTEA ビット（エクストラ MRAM 読み出しアクセス TED エラーアドレス）

[1 になる条件]

- MRERAES レジスタの TEDERRE ビットが 0 から 1 に変化したとき

59.5.12 MRERDEA : エクストラ MRAM DEC エラーアドレスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MRERDEA[27:12]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MRERDEA[11:0]												—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。	R
31:4	MRERDEA[27:0]	エクストラ MRAM 読み出しアクセス DEC エラーアドレス DEC エラーが発生したときのアドレスを示す。	R

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRERDEA レジスタは、エクストラ MRAM 読み出しで DEC エラーが発生したときのアドレスを格納します。
MRERAES.DECERRE ビットが 1 に設定されたときに ECC エラーのアドレスが格納されます。
MRERAES.DECERRE ビットが 0 にクリアされるまで、DEC エラーが発生したときに MRERDEA ビットはエラーアドレスをキャプチャしません。

MRERDEA ビット（エクストラ MRAM 読み出しアクセス DEC エラーアドレス）

[1 になる条件]

- MRERAES レジスタの DECERRE ビットが 0 から 1 に変化したとき

59.5.13 MSAR : MRAM セキュリティ属性レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x100

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MRCPSEQSA	MREPSEQSA	MRCPSA	—	MACITRSA	MACICMRSA	MACICMISA	—	—	—	—	MPFBENSA	MRCFREQSA	MRCECCSA	MREFREQSA	MREECCSA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MREECCSA	エクストラ MRAM ECC レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	MREFREQSA	MREFREQ レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	MRCECCSA	コード MRAM ECC レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
3	MRCFREQSA	MRCFREQ レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
4	MPFBENSA	MRCPFB レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
8:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	MACICMISA	MACI コマンド発行セキュリティ属性 0: セキュア 1: 非セキュア	R/W
10	MACICMRSA	MACI コマンドレジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
11	MACITRSA	MACI 転送セキュリティ属性 0: セキュア 1: 非セキュア	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	MRCPSA	コード MRAM プログラムレジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
14	MREPSEQSA	EPSEQ 領域レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
15	MRCPSEQSA	CPSEQ 領域レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1, P-TYPE-1

PRCR_S.PRC4 = 0 の場合、書き込みは無効です。詳細は「13. レジスタライトプロテクション機能」を参照してください。

MREECCSA ビット（エクストラ MRAM ECC レジスタセキュリティ属性）

このビットは、MREDECC、MRERAEINT、MRERAES、MRERTEA、および MRERDEA レジスタのセキュリティ属性を設定します。

MREFREQSA ビット（MREFREQ レジスタセキュリティ属性）

このビットは、MREFREQ レジスタのセキュリティ属性を設定します。

MRCECCSA ビット（コード MRAM ECC レジスタセキュリティ属性）

このビットは、MRCDECC、MRCRAEINT、MRCRAES、MRCRTEA、および MRCRDEA レジスタのセキュリティ属性を設定します。

MRCFREQSA ビット（MRCFREQ レジスタセキュリティ属性）

このビットは、MRCFREQ レジスタのセキュリティ属性を設定します。

MPFBENSA ビット（MRCPFB レジスタセキュリティ属性）

このビットは、MCPFB レジスタのセキュリティ属性を設定します。

MACICMISA ビット（MACI コマンド発行セキュリティ属性）

このビットは、MRAM アクセス領域のセキュリティ属性を設定します。

MACICMRSA ビット（MACI コマンドレジスタセキュリティ属性）

このビットは、MASTAT、MREPAEINT、MRDYIE、MSADDR、MSTATR、MENTRYR、MSUINITR、MCMDR、および MSUASMON レジスタのセキュリティ属性を設定します。

MACITRSA ビット（MACI 転送セキュリティ属性）

このビットは、MCTRCNTR、MCTRLSR、および MCTRSTATR レジスタのセキュリティ属性を設定します。

MRCPSA ビット（コード MRAM プログラムレジスタセキュリティ属性）

このビットは、MRCPC0、MRCBPROT0、MRCPS、MRCPEAINT、および MRCPEA レジスタのセキュリティ属性を設定します。

MREPSEQSA ビット（EPSEQ 領域レジスタセキュリティ属性）

このビットは、MRPSC および MREEECC レジスタのセキュリティ属性を設定します。

MRCPSEQSA ビット（CPSEQ 領域レジスタセキュリティ属性）

このビットは、MRCEECC レジスタのセキュリティ属性を設定します。

59.5.14 MREZS : エクストラ MRAM ゼロ化ステータスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x400

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	WHUKEXE	WHUKZF
Value after reset:	1	1	1	1	1	1	0	1/0 (注1)

ビット	シンボル	機能	R/W
0	WHUKZF	W-HUK ゼロフラグステータス 0: W-HUK がゼロ化されている 1: W-HUK がゼロ化されていない	R
1	WHUKEXE	W-HUK ゼロ化実行ステータス 0: W-HUK のゼロ化が実行されない 1: W-HUK のゼロ化が実行される	R
7:2	—	読むと 0 が読めます。	R

注. S-TYPE-6, P-TYPE-2
注 1. 初期値は W-HUK のステータスによって変更されます。

WHUKZF ビット（W-HUK ゼロフラグステータス）

WHUKZF の更新条件は、「59.8.6. HUK の保護」を参照してください。

[1 になる条件]

- W-HUK のゼロ化が実行されないとき

[0 になる条件]

- W-HUK のゼロ化が完了した後

WHUKEXE ビット（W-HUK ゼロ化実行ステータス）

[1 になる条件]

- W-HUK のゼロ化が開始したとき

[0 になる条件]

- W-HUK のゼロ化が終了したとき

59.5.15 MREZC : エクストラ MRAM ゼロ化コントロールレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x404

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	WHUKZE[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	WHUKZE[2:0]	W-HUK のゼロ化の実行 0XX、 X0X、 X X 0: W-HUK のゼロ化が実行されない 1 1 1: W-HUK のゼロ化が実行される	R/W(注1)(注2)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注3)

注. S-TYPE-6, P-TYPE-2
注 1. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0x3C の場合のみ可能です。
注 2. MREZC レジスタは、次の条件で書き込みできません。
- 表 59.31 の W-HUK の疑似ゼロ化操作がすでに完了し、システムリセットなしでレジスタ書き込みによって疑似ゼロ化を再び開始しようとしているとき
- 表 59.31 の W-HUK ゼロ化の操作がすでに完了しているとき

注 3. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

MREZC レジスタは、セキュアソフトウェアで W-HUK のゼロ化をトリガするために使用されます。

WHUKZE[2:0]ビット（W-HUK のゼロ化の実行）

このビットには 0 は書けません。

[1 になる条件]

- 書き込み許可条件が満たされたときに 1 が書き込まれたとき

[0 になる条件]

- W-HUK のゼロ化が完了した後

59.5.16 MASTAT : エクストラ MRAM アクセスステータスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2010

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CMDLK	MREAE	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	MREAE	エクストラ MRAM アクセス違反フラグ 0: エクストラ MRAM アクセス違反なし 1: エクストラ MRAM アクセス違反あり	R/W(注1)
4	CMDLK	コマンドロックフラグ 0: MRAM シーケンサはコマンドロック状態ではない 1: MRAM シーケンサはコマンドロック状態である	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MASTAT レジスタは、エクストラ MRAM アクセス違反が発生したかどうかを示します。CMDLK および MREAE フラグのいずれかが 1 の場合には、エクストラ MRAM シーケンサはコマンドロック状態になります（「59.9.2. エラープロテクション」を参照）。コマンドロック状態を解除するためには、エクストラ MRAM シーケンサにステータスクリアコマンドまたは強制停止コマンドを発行する必要があります。

MREAE フラグ（エクストラ MRAM アクセス違反フラグ）

このフラグは、エクストラ MRAM アクセス違反が発生したかどうかを示します。このフラグが 1 の場合、MSTATR レジスタの ILGLERR ビットが 1 になり、エクストラ MRAM シーケンサをコマンドロック状態にします。

[1 になる条件]

一般に、コマンドは以下のようにエクストラ MRAM プログラムモードで発行されます。

- MSADDR レジスタの設定がエクストラ MRAM 領域の予約部分であるとき
- MSADDR レジスタの設定が BASE_MC+0x00C9 F020～BASE_MC+0x00C9 F0A0 および BASE_MC+0x00C9 F0C0～BASE_MC+0x00C9 F7FF の範囲外であるときにコンフィグレーション設定コマンドが発行されたとき
- 誤ったセキュリティ属性でエクストラ MRAM に対して MACI コマンドが発行されたとき

[0 になる条件]

- 本フラグが 1 に設定された後、0 を書き込まれたとき
- エクストラ MRAM シーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

CMDLK フラグ（コマンドロックフラグ）

このフラグは、エクストラ MRAM シーケンサがコマンドロック状態であることを示します。

[1 になる条件]

- エクストラ MRAM シーケンサがエラーを検出し、コマンドロック状態になったとき

[0 になる条件]

- エクストラ MRAM シーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

59.5.17 MPAEINT : エクストラ MRAM アクセスエラー割り込み許可レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2014

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CMDLKIE	MREAEIE	—	—	—
Value after reset:	0	0	0	1	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	MREAEIE	エクストラ MRAM アクセス違反割り込み許可 0: MASTAT.MREAE ビットが 1 のとき MRAM_MREPR 割り込み要求の発生を禁止 1: MASTAT.MREAE ビットが 1 のとき MRAM_MREPR 割り込み要求の発生を許可	R/W
4	CMDLKIE	コマンドロック割り込み許可 0: MASTAT.CMDLK ビットが 1 のとき MRAM_MREPR 割り込み要求の発生を禁止 1: MASTAT.CMDLK ビットが 1 のとき MRAM_MREPR 割り込み要求の発生を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MPAEINT レジスタは、エクストラ MRAM アクセスエラー (MRAM_MREPR) 割り込み要求の発生を許可または禁止します。

MREAEIE ビット（エクストラ MRAM アクセス違反割り込み許可）

このビットは、エクストラ MRAM アクセス違反が発生した場合の MRAM_MREPR 割り込み要求の発生を許可または禁止します。この違反が発生すると、MASTAT レジスタの MREAE ビットが 1 に設定されます。

CMDLKIE ビット（コマンドロック割り込み許可）

このビットは、エクストラ MRAM シーケンサがコマンドロック状態になった場合の MRAM_MREPR 割り込み要求の発生を許可または禁止します。この違反が発生すると、MASTAT レジスタの CMDLK ビットが 1 に設定されます。

59.5.18 MRDYIE : エクストラ MRAM レディ割り込み許可レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2018

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MRDYIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MRDYIE	エクストラ MRAM レディ割り込み許可 0: MRAM_ENDOFPE 割り込み要求の発生を禁止 1: MRAM_ENDOFPE 割り込み要求の発生を許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRDYIE レジスタは、エクストラ MRAM レディ (MRAM_ENDOFPE) 割り込み要求の発生を許可または禁止します。

MRDYIE ビット（エクストラ MRAM レディ割り込み許可）

このビットは、MSTATR レジスタの MRDY ビットが 0 から 1 に変わったときの MRAM_ENDOFPE 割り込み要求発生を許可または禁止するために使用します。この変更は、プログラムおよびコンフィグレーション設定コマンドのエクストラ MRAM シーケンサによる処理が完了したときに行われます。

59.5.19 MSADDR : MACI コマンド開始アドレスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2030

Bit position:	31																												0
Bit field:	MSADDR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	MSADDR[31:0]	MACI コマンド処理の開始アドレス [コマンド]：[アドレス境界] プログラム（エクストラ MRAM）：16 バイト コンフィグレーション設定（エクストラ MRAM）：16 バイト	R/W(注1)

注. S-TYPE-3, P-TYPE-2
注 1. これらのビットは、MSTATR レジスタの MRDY ビットが 1 のとき書き込み可能です。MRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。ビット[3:0]は読み出し専用です。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MSADDR レジスタは、プログラム／コンフィグレーション設定の MACI コマンド発行時にコマンド処理の対象領域の開始アドレスを指定します。

MSADDR レジスタ値は、MSUINITR レジスタの SUINIT ビットが 1 になったとき初期化されます。リセットによっても初期化されます。

MSADDR[31:0]ビット（MACI コマンド処理の開始アドレス）

これらのビットは、MACI コマンド処理の開始アドレスを指定します。エクストラ MRAM に対する MACI コマンド処理の場合ビット[31:29]とビット[27:25]は無視されます。ビット[28]はエクストラ MRAM シーケンサコマンド用のセキュリティエイリアスとして使用されます。ビット[28]が 0 のとき、エクストラ MRAM シーケンサはセキュア領域をセキュアアクセスで更新できます。ビット[28]が 1 のとき、エクストラ MRAM シーケンサは非セキュア領域をセキュアアクセスおよび非セキュアアクセスで更新できます。上記のアドレス境界に満たないアドレスビットに対応するビットも無視されます。

エクストラ MRAM のアドレス情報については、ユーザーズマニュアルを参照してください。

プログラムおよびコンフィグレーション設定コマンドのアドレスに関する情報は、表 59.15 および表 59.16 を参照してください。

59.5.20 MCNTSELR : MRAM カウンタ選択レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2048

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CNTSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CNTSEL[2:0]	カウンタ選択 0 0 0: アンチロールバックカウンタが選択されていません。 0 0 1: ARC_SEC が選択されています。カウンタサイズは 64 ビットです。 0 1 0: ARC_OEMBL が選択されています。カウンタサイズは 64 ビットです。 0 1 1: アンチロールバックカウンタが選択されていません。 1 x x: ARC_NSEC が選択されています。64 ビットまたは 256 ビットのカウンタ構成です。カウンタ選択条件の詳細については、表 59.6、表 59.7、および表 59.8 を参照してください。	R/W(注1)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6, P-TYPE-2
注 1. このビットは、MSTATR.MRDY = 1 の場合のみ書き換えられます。MSTATR.MRDY = 0 の場合に本ビットに書き込んでも無視されます。

CNTSEL[2:0]ビット（カウンタ選択）

MCNTSELR レジスタは、カウンタインクリメント、カウンタ読み出しの各コマンドにおいて、アンチロールバックカウンタを 3 種類 (ARC_SEC, ARC_NSEC, ARC_OEMBL) の中から選択します。

MCNTSELR レジスタ値は、MSUINITR レジスタの SUINIT ビットが 1 になったとき初期化されます。

[1 になる条件]

- MSTATR.MRDY = 1 の場合に、8 ビットアクセスでこのレジスタに値が書き込まれるとき。

[0 になる条件]

- MSTATR.MRDY = 1 の場合に、8 ビットアクセスでこのレジスタに値が書き込まれるとき。

ARC_NSEC カウンタを使用する前に、プログラムコマンドを使用して、カウンタを 64 ビット×4 ラインと 256 ビット×1 ラインのどちらの構成で使用するかを設定する必要があります。設定対象のビットは CNF_ARCNS0 および CNF_ARCNS1 です。CNF_ARCNS1 ビットを 1 にすると、ARC_NSEC カウンタを使用することができません。いったん決定したカウンタ種別を変更することはできません。

表 59.6 カウンタインクリメント／カウンタ読み出しの各コマンドにおける ARC_NSEC（64 ビット）の選択条件

MCNTSELR[2:0]	対象カウンタ	カウンタ構成
100b	ARC_NSEC[63:0]	カウンタ数は 4 です。 カウンタサイズは 64 ビットです。
101b	ARC_NSEC[127:64]	
110b	ARC_NSEC[191:128]	
111b	ARC_NSEC[255:192]	

表 59.7 カウンタインクリメントコマンドにおける ARC_NSEC（256 ビット）の選択条件

MCNTSELR[2:0]	対象カウンタ	カウンタ構成
100b	ARC_NSEC[255:0]	カウンタ数は 1 です。 カウンタサイズは 256 ビットです。
101b		
110b		
111b		

表 59.8 カウンタ読み出しコマンドにおける ARC_NSEC（256 ビット）の選択条件

MCNTSELR[2:0]	対象カウンタ	カウンタ構成
100b	ARC_NSEC[63:0]	カウンタ数は 1 です。 カウンタサイズは 256 ビットです。
101b	ARC_NSEC[127:64]	
110b	ARC_NSEC[191:128]	
111b	ARC_NSEC[255:192]	

59.5.21 MCNTDTRn : MRAM カウンタデータレジスタ (n = 0, 1)

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x204C + 0x04 × n

Bit position:	31																												0
Bit field:	CNTRDAT[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CNTRDAT[31:0]	カウンタ読み出しデータ 読み出しデータの 32 ビット分（カウンタ値の LSB 側）が MCNTDTR0 に出力されます。 読み出しデータの 32 ビット分（カウンタ値の MSB 側）が MCNTDTR1 に出力されます。	R

注. S-TYPE-6, P-TYPE-2

MCNTDTR0 および MCNTDTR1 レジスタは、カウンタ読み出しコマンドで読み出したアンチロールバックカウンタ値（64 ビット）を示します。

CNTRDAT[31:0]ビット（カウンタ読み出しデータ）

[1 になる条件]

- MACI がカウンタ読み出しコマンドを受け付けたとき

[0 になる条件]

- MACI がカウンタ読み出しコマンド以外のエクストラ MRAM シーケンサコマンドを受け付けたとき
- エクストラ MRAM シーケンサがコマンドロック状態になったとき
- W-HUK のゼロ化が開始したとき

59.5.22 MCTRCNTR : MRAM コンフィグレーション更新転送コントロールレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2060

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	TRTRG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TRTRG	転送開始トリガ 0: コンフィグレーション更新転送処理が開始しない 1: コンフィグレーション更新転送処理が開始する	R/W(注1) (注2) (注3)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは TRTRG ビットの変更を許可または禁止します。これらのビットに書き込まれるデータは格納されません。	R/W(注1)

注. S-TYPE-3, P-TYPE-2
注 1. 書き込みデータはこれらのビットに格納されません。
注 2. 本ビットは、MCTRSTATR レジスタが 0x00 のときに書き換えできます。MCTRSTATR レジスタが 0x00 以外か、W-HUK ゼロ化が進行中の場合、このビットへの書き込みは無視されます。
注 3. このビットへの書き込みは、このレジスタが 16 ビットサイズでアクセスされる場合のみ許可され、0x45 が KEY[7:0]ビットに書き込まれます。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MCTRCNTR レジスタは、コンフィグレーション更新転送処理の開始トリガと設定情報を指定します。

TRTRG ビット（転送開始トリガ）

コンフィグレーション更新転送処理を開始します。

[1 になる条件]

- 書き込み許可条件が満たされたときに TRTRG ビットに 1 が書き込まれたとき

59.5.23 MCTRLSR : MRAM コンフィグレーション更新転送リスト選択レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2064

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TRLIST[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	TRLIST[2:0]	コンフィグレーション更新転送リスト 0 0 1: 転送リスト 1 が選択された その他: 転送リスト 1 が選択されなかった	R/W(注1)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. 本ビットは、MCTRSTATR レジスタの TRBUSY ビットが 0 のとき書き込み可能です。TRBUSY ビットが 1 のとき本ビットに書き込んでも無視されます。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MCTRLSR レジスタは、コンフィグレーション更新転送の対象転送リストを指定します。

TRLIST[2:0]ビット（コンフィグレーション更新転送リスト）

転送リスト 1 には DAC12 の係数値も含まれます。

[1 になる条件]

- 書き込み許可条件が満たされたときに TRLIST[2:0]ビットに 1 が書き込まれたとき

[0 になる条件]

- 書き込み許可条件が満たされたときに TRLIST[2:0]ビットに 0 が書き込まれたとき

59.5.24 MCTRSTATR : MRAM コンフィグレーション更新転送ステータスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x206C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TRMD	—	TRBUSY
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TRBUSY	ビジーステータスの転送 0: コンフィグレーション更新転送が処理中でない 1: コンフィグレーション更新転送が処理中である	R
1	—	読むと 0 が読めます。	R
2	TRMD	転送モード設定ステータス 0: MENTRYR レジスタがデータ転送可能設定になっている 1: MENTRYR レジスタがデータ転送可能設定になっていない	R

ビット	シンボル	機能	R/W
7:3	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

TRBUSY ビット（ビジーステータスの転送）

コンフィグレーション更新転送処理のステータスを示します。

[1 になる条件]

- 書き込み許可条件が満たされたときに TRTRG ビットに 1 が書き込まれたとき

[0 になる条件]

- コンフィグレーション更新転送の処理が終了したとき

TRMD ビット（転送モード設定ステータス）

コンフィグレーション更新転送を開始できる MENTRYR レジスタ設定を示します。

[1 になる条件]

- MENTRYR が 0x0080 であるとき

[0 になる条件]

- MENTRYR が 0x0000 であるとき

59.5.25 MSTATR : エクストラ MRAM ステータスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2080

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	ILGCOMERR	—	SECERR	OTERR	TZFERR	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MRDY	ILGLERR	—	PRGERR	—	—	—	—	—	—	CFGSETERR	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。	R
5	CFGSETERR	コンフィグレーション設定エラーフラグ 0: コンフィグレーション設定が正常終了 1: コンフィグレーション設定中にエラーが発生した	R
11:6	—	読むと 0 が読めます。	R
12	PRGERR	書き換えエラーフラグ 0: 書き換えが正常終了 1: 書き込み中にエラーが発生した	R
13	—	読むと 0 が読めます。	R
14	ILGLERR	不正コマンドエラーフラグ 0: エクストラ MRAM シーケンサは不正 MACI コマンドまたは不正エクストラ MRAM アクセスを未検出 1: エクストラ MRAM シーケンサは不正 MACI コマンドまたは不正エクストラ MRAM アクセスを検出	R

ビット	シンボル	機能	R/W
15	MRDY	エクストラ MRAM 領域レディフラグ 0: プログラム、コンフィグレーション設定、カウンタインクリメント、またはカウンタ読み出しコマンド処理が進行中 1: 上記のいずれの処理も進行中ではない	R
18:16	—	読むと 0 が読めます。	R
19	TZFERR	TrustZone フィルタエラー 0: TrustZone フィルタエラーは未検出 1: TrustZone フィルタエラーが検出された	R
20	OTERR	その他のエラー 0: エラーは未検出 1: エラーが検出された	R
21	SECERR	セキュリティエラー 0: MSUASMON.FSPR ビットの書き込み保護のエラーは未検出 1: MSUASMON.FSPR ビットの書き込み保護のエラーが検出された	R
22	—	読むと 0 が読めます。	R
23	ILGCOMERR	不正コマンドエラー 0: 不正な MACI コマンドエラーは未検出 1: 不正な MACI コマンドエラーが検出された	R
31:24	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MSTATR レジスタは、エクストラ MRAM シーケンサの状態を示します。

CFGSETERR フラグ（コンフィグレーション設定エラーフラグ）

このフラグはエクストラ MRAM コンフィグレーション設定の結果を示します。このフラグが 1 になると、エクストラ MRAM シーケンサはコマンドロック状態になります。

[1 になる条件]

- エクストラ MRAM シーケンサが、コンフィグレーション設定中にコンフィグレーション領域から更新しないデータを読み出すときに TED エラーが発生したとき

[0 になる条件]

- エクストラ MRAM シーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

PRGERR フラグ（書き換えエラーフラグ）

このフラグはエクストラ MRAM 書き込みの結果を示します。このフラグが 1 になると、エクストラ MRAM シーケンサはコマンドロック状態になります。

[1 になる条件]

- プログラム中にエラーが発生したとき

[0 になる条件]

- エクストラ MRAM シーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

ILGLERR フラグ（不正コマンドエラーフラグ）

このフラグは、エクストラ MRAM シーケンサが不正な MACI コマンドまたはエクストラ MRAM アクセスを検出したことを示します。このフラグが 1 になると、エクストラ MRAM シーケンサはコマンドロック状態になります。

[1 になる条件]（「59.9.2. エラープロテクション」を参照）

- エクストラ MRAM シーケンサが不正なコマンドを検出したとき
- エクストラ MRAM シーケンサが不正なエクストラ MRAM アクセスを検出したとき

[0 になる条件]

- エクストラ MRAM シーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始した

MRDY フラグ（エクストラ MRAM 領域レディフラグ）

このフラグは、エクストラ MRAM シーケンサのコマンド処理状態を示します。

[1 になる条件]

- エクストラ MRAM シーケンサがコマンド処理を完了したとき
- エクストラ MRAM シーケンサが強制停止コマンドを受信し、コマンド処理を終了したとき
- W-HUK ゼロ化が処理中のとき

[0 になる条件]

- エクストラ MRAM シーケンサが MACI コマンドを受け取ったとき
- プログラムおよびコンフィグレーション設定コマンドの場合、MACI コマンド発行領域に最初に書き込みしたとき
- その他のコマンドの場合、MACI コマンド発行領域に最後に書き込みしたとき

TZFERR ビット（TrustZone フィルタエラー）

このビットは、MACI コマンドの TrustZone 保護エラーが発生したことを示します。

表 59.36 を参照してください。このビットが 1 になると、エクストラ MRAM シーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが検出されたとき

[0 になる条件]

- ステータスクリアコマンドまたは強制停止コマンドの処理が完了したとき

OTERR ビット（その他のエラー）

このビットは、コマンド受け付け条件が整っていない状態で MACI コマンドが発行されたことを示します。

表 59.36 を参照してください。このビットが 1 になると、エクストラ MRAM シーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが検出されたとき

[0 になる条件]

- ステータスクリアコマンドまたは強制停止コマンドの処理が完了したとき

SECERR ビット（セキュリティエラー）

このビットは、MSUASMON.FSPR ビットによる書き込み保護が侵害されたことを示します。

表 59.36 を参照してください。このビットが 1 になると、エクストラ MRAM シーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが検出されたとき

[0 になる条件]

- ステータスクリアコマンドまたは強制停止コマンドの処理が完了したとき

ILGCOMERR ビット（不正コマンドエラー）

このビットは、エクストラ MRAM シーケンサが不正な MACI コマンドを検出したことを示します。

表 59.36 を参照してください。このビットが 1 になると、エクストラ MRAM シーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが検出されたとき

[0 になる条件]

- ステータスクリアコマンドまたは強制停止コマンドの処理が完了したとき

59.5.26 MENTRYR : エクストラ MRAM プログラムモード遷移レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2084

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								MENTRY	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	MENTRY	エクストラ MRAM プログラムモード遷移 0: エクストラ MRAM は読み出しモード 1: エクストラ MRAM はプログラムモード	R/W(注1) (注2) (注3)
15:8	KEY[7:0]	キーコード	R/W(注4)

注. S-TYPE-3, P-TYPE-2
注 1. これらのビットは、MSTATR レジスタの MRDY ビットが 1 のとき書き込み可能です。MRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0xAA の場合のみ可能です。
注 3. MENTRY ビットはコンフィグレーション更新中に 1 に設定できず、MENTRYR レジスタは W-HUK ゼロ化中に書き込みできません。
注 4. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MENTRYR レジスタは、エクストラ MRAM プログラムモードを指定するために使用します。エクストラ MRAM シーケンサが MACI コマンドを受信できるようにエクストラ MRAM プログラムモードを指定するには、MENTRY ビットを 1 に設定してエクストラ MRAM シーケンサをプログラムモードにしてください。

MENTRYR レジスタは、MSUINITR の SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

MENTRY ビット（エクストラ MRAM プログラムモード遷移）

このビットはエクストラ MRAM プログラムモードを指定します。

[1 になる条件]

- MENTRYR への書き込みが許可され、かつ MENTRYR が 0x00 の場合に、MENTRY ビットに 1 を書いたとき

[0 になる条件]

- MRDY ビットが 1 の場合に、MENTRYR に 8 ビットを書いたとき
- KEY[7:0]ビットに 0xAA 以外の値が指定され、かつ MRDY ビットが 1 の場合に、MENTRYR に 16 ビットの書き込みをしたとき
- MENTRYR への書き込みが許可されている場合に、MENTRY ビットに 0 を書いたとき
- 書き込みが許可されており、かつ値が 0x00 以外の場合に、MENTRYR に書いたとき

KEY[7:0]ビット（キーコード）

これらのビットは、MENTRY ビットへの書き込みの許可または禁止を制御します。

59.5.27 MSUINITR : エクストラ MRAM シーケンサセットアップ初期化レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x208C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	SUINIT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SUINIT	セットアップ初期化 0: MSADDR、MENTRYR、および MCNTSELR のエクストラ MRAM シーケンサセットアップレジスタは、現在の値を保持する 1: MSADDR、MENTRYR、および MCNTSELR のエクストラ MRAM シーケンサセットアップレジスタは、初期化される	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注3)

注. S-TYPE-3, P-TYPE-2
注 1. 本ビットは、MSTATR レジスタの MRDY ビットが 1 のとき書き込み可能です。MRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0x2D の場合のみ可能です。
注 3. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MSUINITR レジスタは、エクストラ MRAM シーケンサ設定の初期化に使用します。

SUINIT ビット（セットアップ初期化）

このビットは、以下のエクストラ MRAM シーケンサセットアップレジスタを初期化します。

- MSADDR
- MENTRYR
- MCNTSELR

KEY[7:0]ビット（キーコード）

これらのビットは、SUINIT ビットへの書き込みの許可または禁止を制御します。

59.5.28 MCMDR : MACI コマンドレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x20A0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMDR[7:0]								PCMDR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	PCMDR[7:0]	プリコマンドフラグ 最後のコマンドの直前のコマンドが格納されます。	R
15:8	CMDR[7:0]	コマンドフラグ 最後のコマンドが格納されます。	R

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MCMDR レジスタは、エクストラ MRAM シーケンサが受け取った直近の 2 つのコマンドを記録します。

PCMDR[7:0]フラグ（プリコマンドフラグ）

これらのフラグは、エクストラ MRAM シーケンサが一番最近受け取ったコマンドの直前に受け取ったコマンドを示します。

CMDR[7:0]フラグ（コマンドフラグ）

これらのフラグは、エクストラ MRAM シーケンサが一番最近受け取ったコマンドを示します。

表 59.9　コマンド受信後の MCMDR レジスタの状態

コマンド	CMDR	PCMDR
プログラム	0xE8	前回コマンド
ステータスクリア	0x50	前回コマンド
強制停止	0xB3	前回コマンド
コンフィグレーション設定	0x40	前回コマンド
カウンタインクリメント	0xD0	0x35
カウンタ読み出し	0xD0	0x39

59.5.29　MSUASMON : MRAM スタートアップ領域選択モニタレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x20DC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	BTSIZE[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1/0	1/0	1/0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1/0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。	R
15	FSPR	ブートフラグおよびスタートアップ領域制御を設定するための書き込みの保護フラグ 0: 保護状態 1: 非保護状態	R
28:16	—	読むと 0 が読めます。	R
30:29	BTSIZE[1:0]	ブートスワップ用のスタートアップ領域選択のサイズ 0 0: 予約 0 1: スタートアップ領域のサイズは 32 KB に設定されている 1 0: スタートアップ領域のサイズは 16 KB に設定されている 1 1: スタートアップ領域のサイズは 8 KB に設定されている	R
31	BTFLG	ブートスワップ用のスタートアップ領域選択のフラグ 0: スタートアップ領域は代替ブロック（ブロック 1） 1: スタートアップ領域はデフォルトブロック（ブロック 0）	R

注.　S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

FSPR フラグ（ブートフラグおよびスタートアップ領域制御を設定するための書き込みの保護フラグ）

このフラグは、BTFLG ビット、BTSIZE[1:0]ビット、および MSUACR レジスタについてコンフィグレーション設定コマンドからの保護状態を示します。

リセットまたはプログラムコマンドに応じて、MACI はデータをエクストラ MRAM から本レジスタに転送します。FSPR フラグに対応するデータは POFSPS[13]ビットです。詳細は「59.8.1. 永久 OFS 保護設定」を参照してください。

BTSIZE[1:0]ビット（ブートスワップ用のスタートアップ領域選択のサイズ）

これらのビットは、スタートアップ領域のサイズを示します。

リセットまたはコンフィグレーション設定コマンドに応じて、MACI はデータをエクストラ MRAM から本レジスタに転送します。

BTFLG フラグ（ブートスワップ用のスタートアップ領域選択のフラグ）

このフラグは、スタートアップ領域のアドレスがブートスワップ機能用に交換されるかどうかを示します。

リセットまたはコンフィグレーション設定コマンドに応じて、MACI はデータをエクストラ MRAM から本レジスタに転送します。

59.5.30 MSUACR : MRAM スタートアップ領域コントロールレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x20E8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	SAS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SAS[1:0]	スタートアップ領域選択 0 X: スタートアップ領域は BTFLG ビットにより選択 1 0: スタートアップ領域はデフォルト領域に一時的に切り替え 1 1: スタートアップ領域は代替領域に一時的に切り替え	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注2)

注. S-TYPE-6, P-TYPE-2
注 1. このビットの書き込み条件を下記に示します（これらの条件は同時に満たす必要があります）。
1.本レジスタへのアクセスサイズが 16 ビットである
2.KEY [7:0]ビットの値が 0x66 である
3.FSPR ビットが 1 である
注 2. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

MSUACR レジスタは、ブートスワップ機能のスタートアップ領域を設定します。

SAS[1:0]ビット（スタートアップ領域選択）

これらのビットは、スタートアップ領域を選択するために使用されます。スタートアップ領域を変更できる方法には 3 つあります。

KEY[7:0]ビット（キーコード）

これらのビットは、SAS[1:0]ビットへの書き込みの許可または禁止を制御します。

59.5.31 MRPSC : MRAM プログラム速度コントロールレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x2800

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MHSPEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MHSPEN	MRAM 高速プログラムモード許可 0: 通常プログラムモード 1: 高速プログラムモード	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MHSPEN ビット（MRAM 高速プログラムモード許可）

このビットは、コード MRAM またはエクストラ MRAM の高速プログラムモードを許可または禁止します。このビットを 1 に設定し、コード MRAM またはエクストラ MRAM に書き込んだ後、モードは高速プログラムモードに変更されます。通常プログラムモードに変更するには、このビットを 0 に設定し、MRPSC レジスタを一度読み出し、MRAM の書き込みまたは読み出しを行います。モード変更の詳細は、「59.6.2. MRAM 高速プログラムモード」を参照してください。

59.5.32 MRCPC0 : コード MRAM プログラムコントロールレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x3000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	MRCPNEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MRCPNEN	非セキュア用コード MRAM プログラム許可 0: コード MRAM 非セキュアエイリアスは書き込み不可能 1: コード MRAM 非セキュアエイリアスは書き込み可能	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注2)

注. S-TYPE-3, P-TYPE-2
注 1. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0x86 の場合のみ可能です。
注 2. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCPNEN ビット（非セキュア用コード MRAM プログラム許可）

MRCPNEN ビットは非セキュアエイリアスの書き込みを許可します。

DBGNVMCR レジスタの NVMWE ビットを 1 にすることで、MRCPNEN の値にかかわらず、コード MRAM のブロック保護によって保護されない非セキュアエイリアスへの書き込みが可能になります。

59.5.33 MRCPC1 : セキュア用 MRAM プログラムコントロールレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x3004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	MRCPSEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MRCPSEN	セキュア用コード MRAM プログラム許可 0: コード MRAM セキュアエイリアスが書き込み不可 1: コード MRAM セキュアエイリアスが書き込み可能	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注2)

注. S-TYPE-6, P-TYPE-2
注 1. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0x68 の場合のみ可能です。
注 2. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

MRCPSEN ビット（セキュア用コード MRAM プログラム許可）

MRCPSEN ビットはセキュアエイリアスの書き込みを許可します。

DBGNVMCR レジスタの NVMWE ビットを 1 にすることで、MRCPSEN の値にかかわらず、コード MRAM のブロック保護によって保護されないセキュアエイリアスへの書き込みが可能になります。

59.5.34 MRCBPROT0 : コード MRAM ブロック保護レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x3008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	BPCN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPCN0	非セキュア用コード MRAM ブロック保護キャンセル 0: コード MRAM ブロック保護は有効 1: コード MRAM ブロック保護は無効	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注3)

注. S-TYPE-3, P-TYPE-2
注 1. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0x78 の場合のみ可能です。
注 2. MRCPC0 レジスタの MRCPNEN ビットが 0x0 の場合に本ビットに書き込んでも無視されます。
注 3. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCBPROT0 レジスタは、非セキュア開発者用のブロック保護機能を無効にするために使用します。ブロック保護設定が永久ブロック設定によりロックされている場合は、本レジスタでは無効にできません。

BPCN0 ビット（非セキュア用コード MRAM ブロック保護キャンセル）

このビットは、非セキュア関数のブロック保護を無効にします。

[1 になる条件]

- 書き込み許可条件が満たされたときに BPCN0 に 1 が書き込まれたとき

[0 になる条件]

以下のいずれかの条件が満たされたとき：

- 書き込み許可条件が満たされたときに BPCN0 に 0 が書き込まれたとき
- MRCPC0.MRCPNEN ビットに 0 を書き込んだとき。

59.5.35 MRCBPROT1 : セキュア用コード MRAM ブロック保護レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x300C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	BPCN1
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPCN1	セキュア用コード MRAM ブロック保護キャンセル 0: コード MRAM ブロック保護は有効 1: コード MRAM ブロック保護は無効	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注3)

注. S-TYPE-6, P-TYPE-2
注 1. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0xB1 の場合のみ可能です。
注 2. MRCPC1 レジスタの MRCPSEN ビットが 0x0 の場合に本ビットに書き込んでも無視されます。
注 3. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

MRCBPROT1 レジスタは、セキュア用のブロック保護機能を無効にするために使用します。ブロック保護設定が永久ブロック設定によりロックされている場合は、本レジスタでは無効にできません。

BPCN1 ビット（セキュア用コード MRAM ブロック保護キャンセル）

このビットは、セキュア関数のブロック保護を無効にします。

[1 になる条件]

- 書き込み許可条件が満たされたときに BPCN1 に 1 が書き込まれたとき

[0 になる条件]

以下のいずれかの条件が満たされたとき：

- 書き込み許可条件が満たされたときに BPCN1 に 0 が書き込まれたとき
- MRCPC1.MRCPSEN ビットに 0 を書き込んだとき。

59.5.36 MRCPS : コード MRAM プログラムステータスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x3010

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PRGBSYC	ABUFFULL	ABUFEMP	—	—	—	ECCERRC	PRGERRC
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRGERRC	書き込みエラー 0: 書き換えが正常終了 1: 書き込み中にエラーが発生した	R/W(注1)
1	ECCERRC	ECC エラー 0: 書き換えが正常終了 1: 書き込み中にエラーが発生した	R/W(注1)
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ABUFEMP	アドレスバッファエンプティ 0: アドレスバッファは空でなく、コード MRAM 書き込みデータをフラッシュ可能 1: アドレスバッファは空で、コード MRAM 書き込みデータをフラッシュ不可	R
6	ABUFFULL	アドレスバッファフル 0: アドレスバッファはフルでなく、コード MRAM 書き込みトランザクションを受け入れ可能 1: アドレスバッファはフルで、コード MRAM 書き込みトランザクションを受け入れ不可	R
7	PRGBSYC	コード MRAM プログラムビジー 0: コード MRAM はプログラムステータスでない 1: コード MRAM はプログラムステータスである	R

注. S-TYPE-3, P-TYPE-2
注 1. フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。これらのビットは、0 が書き込まれた後、および 1 が読み出された場合は 0 に書き換えられた後に確認する必要があります。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCPS レジスタは、コード MRAM プログラムステータスを示します。

PRGERRC ビット（書き込みエラー）

このビットはコード MRAM 書き込みの結果を示します。

このビットはクリアのみできます。設定する操作は無視されます。

DBGSTOPCR レジスタの DBGSTOPNVMER ビットが 1 に設定された場合、書き込みエラーが発生した場合でも PRGERRC ビットは 1 に設定されません。

[1 になる条件]

- 書き込み中にエラーが発生し、ECCERRC ビットが 0 のとき

[0 になる条件]

- このビットから 1 を読み出したあとに 0 が書き込まれたとき

ECCERRC ビット（ECC エラー）

このビットは、コードバスからの書き込みデータが 32 バイト未満のときの訂正不可能なエラーの発生を示しています。コード MRAM への書き込みデータは対象アドレスのデータおよびコードバスからのデータから生成されます。対象アドレスからデータを読み出すときに TED エラーが発生した場合、コードバスからのデータが 32 バイト未満であれば、コード MRAM へのデータ書き込みを正しく生成できません。ECCERRC を 1 に設定してアドレスへの書き込みを実行するには、32 バイトのすべてのデータをコードバスから入力する必要があります。

このビットはクリアのみできます。設定する操作は無視されます。

DBGSTOPCR レジスタの DBGSTOPNVMER ビットが 1 に設定された場合、ECC エラーが発生した場合でも ECCERRC ビットは 1 に設定されません。

[1 になる条件]

- コードバスからの書き込みデータが 32 バイト未満で PRGERRC ビットが 0 に設定されているときに訂正不可能なエラーが発生したとき

[0 になる条件]

- このビットから 1 を読み出したあとに 0 が書き込まれたとき

ABUFEMP ビット（アドレスバッファエンプティ）

コード MRAM 書き込みのアドレスバッファがエンプティの場合、ABUFEMP ビットが 1 に設定されます。ABUFEMP ビットが 1 のとき、MRCFLR レジスタの MRCFL ビットに書き込みできないため、プログラムデータバッファ内のデータをフラッシュできません。

ABUFFULL ビット（アドレスバッファフル）

コード MRAM 書き込みのアドレスバッファがフルの場合、ABUFFULL ビットが 1 に設定されます。ABUFFULL ビットが 1 のとき、コード MRAM 書き込みが開始または完了するまでは、新しい書き込みトランザクションを受け入れできません。

PRGBSYC ビット（コード MRAM プログラムビジー）

CPSEQ がコード MRAM 書き込み処理を実行した場合、PRGBSYC ビットが 1 に設定されます。PRGBSYC ビットが 1 のとき、コード MRAM 書き込みが完了するまでは、コード MRAM への新しい読み出しトランザクションを受け入れできません。

59.5.37 MRCPAEINT : コード MRAM プログラムアクセスエラー割り込み許可レジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x3014

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MRCAEIE	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	MRCAEIE	コード MRAM プログラムアクセスエラー割り込み許可 0: ECCERRC または PRGERRC ビットが 1 のとき MRAM_MRCPR 割り込み要求の発生を禁止 1: ECCERRC または PRGERRC ビットが 1 のとき MRAM_MRCPR 割り込み要求の発生を許可	R/W

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCPAEINT レジスタは、コード MRAM 書き込みエラー (MRAM_MRCPR) 割り込み要求の発生を許可または禁止します。

MRCAEIE ビット（コード MRAM プログラムアクセスエラー割り込み許可）

MRCAEIE ビットは、コード MRAM 書き込みアクセスエラーが発生し、MRCPS の ECCERRC または PRGERRC ビットが 1 になったとき、MRAM_MRCPR 割り込み要求を許可または禁止します。

59.5.38 MRCPEA : コード MRAM 書き込みエラーアドレスレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x3018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MCPEA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MCPEA[10:0]											—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。	R
31:5	MCPEA[26:0]	コード MRAM 書き込みエラーアドレス 書き込みエラーが発生したときのアドレスを示す	R

注. S-TYPE-3, P-TYPE-2

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

MRCPEA レジスタは、書き込みエラーまたは ECC エラーが発生したときのエラーアドレスを格納します。

MCPEA[26:0]ビット（コード MRAM 書き込みエラーアドレス）

[1 になる条件]

- ECCERRC ビットが 0 で PROGERRC ビットが 0 のときに書き込みエラーまたは ECC エラーが発生した場合に、エラーアドレスが MRCPEA レジスタに格納されたとき

59.5.39 MRCFLR : コード MRAM フラッシュレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x3030

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	MRCFL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MRCFL	コード MRAM のフラッシュ書き込みデータバッファ 0: プログラムデータバッファのフラッシュを実行しない 1: プログラムデータバッファのフラッシュを実行する	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注3)

注. S-TYPE-5, P-TYPE-2
注 1. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0xC3 の場合のみ可能です。
注 2. MRCPS レジスタの ABUFEMP ビットが 1 のとき、このビットに 1 を書き込むことはできません。
注 3. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

MRCFLR レジスタは、32 バイト未満のデータの書き込みに使用します。

MRCFL ビット（コード MRAM のフラッシュ書き込みデータバッファ）

このビットは、コード MRAM 書き込み操作の開始に使用します。

[1 になる条件]

- 書き込み許可条件が満たされたときに 1 が書き込まれたとき

[0 になる条件]

- MRCPS レジスタの ABUFEMP ビットが 1 になったとき

59.5.40 MRCEECC : コード MRAM ECC エンコーダコントロールレジスタ

Base address: MRAM = 0x4013_C000
MRAM_NS = 0x5013_C000

Offset address: 0x3804

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	ECCBYPC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCBYPC	コード MRAM ECC エンコーダ出力バイパス許可 0: ECC エンコーダ出力がコード MRAM の ECC ビットに書き込まれる 1: 書き込まれたデータのビット[144:128]とビット[16:0]がコード MRAM の ECC ビットに書き込まれる	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	R/W(注2)

注. S-TYPE-3, P-TYPE-2
注 1. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0xCD の場合のみ可能です。
注 2. 書き込んだ値は保持されません（読み出し値は常に 0x00 です）。

関連する SA：MSAR レジスタ。「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

ECCBYPC ビット（コード MRAM ECC エンコーダ出力バイパス許可）

ECCBYPC ビットは、コード MRAM の ECC デコーダ回路をテストするために使用されます。ECC デコーダ回路のテストフローについては、「59.9.4. フォルトの訂正および検出」を参照してください。

59.5.41 UIDRn : ユニーク ID レジスタ n (n = 0～3)

Address: 0x02F0_7B00 + 4 × n

Bit position:	31	0
Bit field:	UID	
Value after reset:	チップごとの固有な値	

ビット	シンボル	機能	R/W
31:0	UID	ユニーク ID	R

注. S-TYPE-5, P-TYPE-5

UIDRn は、個々の MCU を識別するための 16 バイトの ID コード（ユニーク ID）を格納する読み出し専用レジスタです。UIDRn レジスタは 32 ビット単位で読み出してください。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは大きいアドレスのデータから読み出されます。すなわち、0x02F0_7B0F のデータが最初に読み出され、0x02F0_7B00 のデータが最後に読み出されます。

59.5.42 PNRn : 型名レジスタ n (n = 0～3)

Address: 0x02C1_EC38 + 4 × n

Bit position:	31 … 0
Bit field:	PNR
Value after reset:	チップごとの固有な値

ビット	シンボル	機能	R/W
31:0	PNR	型名	R

注. S-TYPE-5, P-TYPE-5

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。表 1.13 に示すように、各バイトは製品の型名の ASCII コードに対応しています。型名の最初の文字（R、ASCII コードの 0x52）は最小のアドレス (0x02C1_EC38) のバイトに格納されます。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは小さいアドレスのデータから読み出されます。すなわち、0x02C1_EC38 のデータが最初に読み出され、0x02C1_EC47 のデータが最後に読み出されます。

59.5.43 MCUVER : MCU バージョンレジスタ

Address: 0x02C1_EC48

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MCUVE							
Value after reset:	チップごとの固有な値							

ビット	シンボル	機能	R/W
7:0	MCUVE	MCU バージョン	R

注. S-TYPE-5, P-TYPE-5

MCUVER は、MCU バージョンを格納する読み出し専用レジスタです。MCUVER レジスタは 8 ビット単位で読み出してください。

59.5.44 MWMCR : OTP 書き込みモードコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xAB4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MWM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MWM[1:0]	OTP 書き込みモード[1:0] 0 0: OTP 通常速度書き込みモード 0 1: OTP 高速書き込みモード 0 1 0: OTP 高速書き込みモード 1 1 1: 禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

MWMCR レジスタは、OTP にデータを書き込むとき、OTP 書き込みモードを制御します。

MWM[1:0]ビット（OTP 書き込みモード[1:0]）

1. MWM[1:0] = 00: OTP は、OTP 通常速度書き込みモードに設定されます。
   1.62 V ≦ VCC ≦ 3.63 V の場合、MWM[1:0]を 00 に設定できます。
   OTP 通常速度書き込みモードの書き込み期間については、「62. 電気的特性」を参照してください。
2. MWM[1:0] = 01: OTP は、OTP 高速書き込みモード 0 に設定されます。
   2.5 V ≦ VCC ≦ 3.63 V の場合、MWM[1:0]を 01 に設定できます。
   OTP 高速書き込みモード 0 の書き込み期間については、「62. 電気的特性」を参照してください。
3. MWM[1:0] = 10: OTP は、OTP 高速書き込みモード 1 に設定されます。
   3.0 V ≦ VCC ≦ 3.63 V の場合、MWM[1:0]を 10 に設定できます。
   OTP 高速書き込みモード 1 の書き込み期間については、「62. 電気的特性」を参照してください。
   高速モード 1 での OTP の書き込み中：
   - CPUCLK0 および ICLK 周波数を同じにする
   - ESWM 動作を停止する
   - セキュリティエンジンの API の開放処理を呼び出さない

59.6 動作モード

59.6.1 MRAM 読み出し／プログラムモード

コード MRAM およびエクストラ MRAM には、図 59.7 に示すように読み出しモードおよびプログラムモードがあります。

コード MRAM 読み出しモードからコード MRAM プログラムモードへの遷移は、以下のいずれかの条件によって発生するソフトウェア要求によって開始されます。

コード MRAM の書き込みは、コード MRAM プログラムモードへの遷移後に自動的に開始します。コード MRAM の書き込みが完了すると、モードはコード MRAM プログラムモードからコード MRAM 読み出しモードに自動的に遷移します。

- プログラムデータバッファがフルである
- 書き込まれるコード MRAM アドレスが、プログラムデータバッファに格納されているデータから 32 バイト境界の外側である
- MRCFLR レジスタの MRCFL ビットが 1 に設定されます。

エクストラ MRAM 読み出しモードとエクストラ MRAM プログラムモードの間の遷移は、MENTRYR レジスタの値の変更または W-HUK のゼロ化によって開始されます（「59.8.6. HUK の保護」を参照）。MRAM は、MENTRYR レジスタが 0x0000 で、かつ W-HUK のゼロ化が実行されていない場合、エクストラ MRAM 読み出しモードになります。その他の場合、MRAM はエクストラ MRAM プログラムモードになります。エクストラ MRAM の書き込みは、エクストラ MRAM プログラムモードで MACI コマンドを使用するか、W-HUK のゼロ化を開始することによって開始できます。

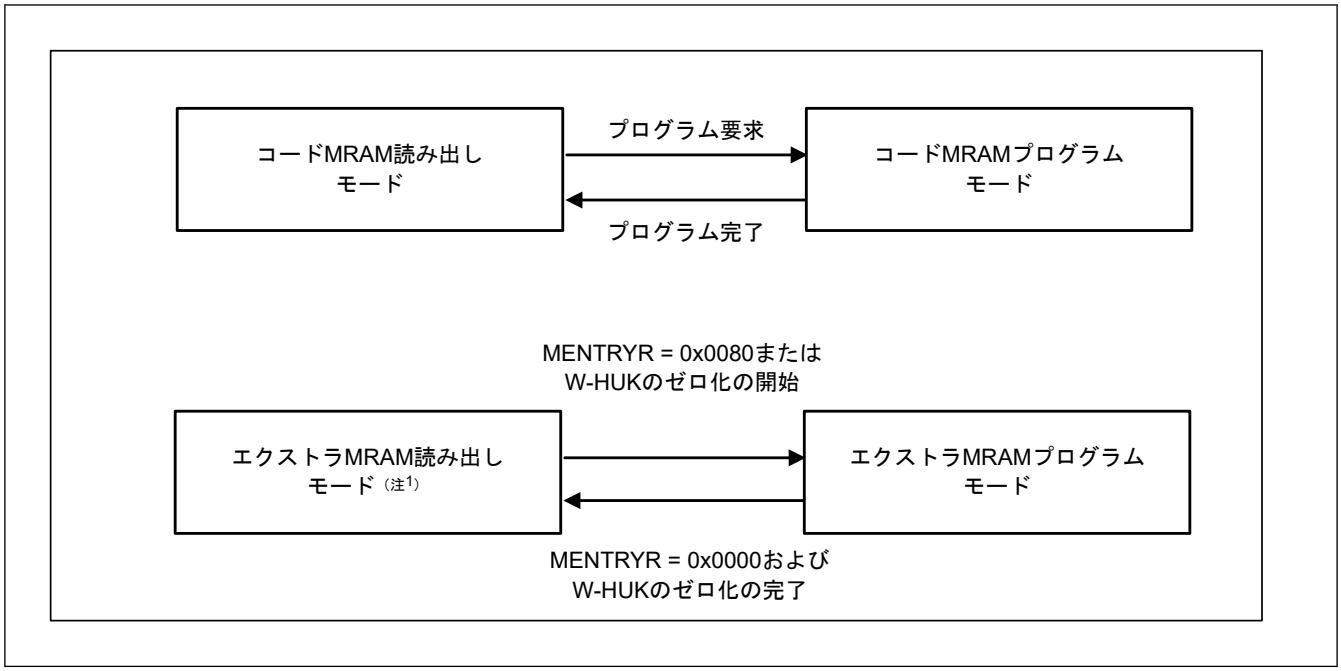


図 59.7　MRAM 読み出し／プログラムモードの遷移

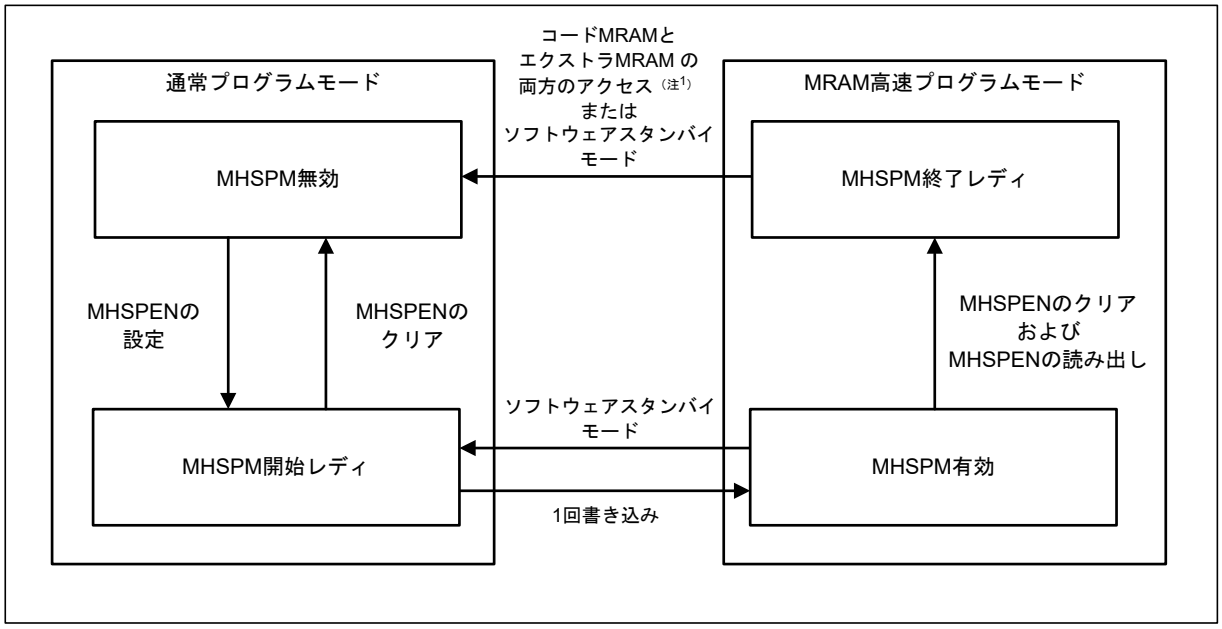
59.6.2　MRAM 高速プログラムモード

MRAM には図 59.8 に示すように通常プログラムモードと高速プログラムモードがあり、コード MRAM プログラムモードとエクストラ MRAM プログラムモードの両方に同じモード設定が適用されます。

通常プログラムモードの MHSPM 無効ステータスで、MRPSC レジスタの MHSPEN ビットを 1 に設定した後、ステータスは MHSPM 開始レディに変更されます。コード MRAM またはエクストラ MRAM が MHSPM 開始レディステータスで一度書き込まれたら、MRAM プログラムモードは高速プログラムモードの MHSPM 有効ステータスに変更されます。

MHSPM 有効ステータスから通常プログラムモードに戻るには、MHSPEN ビットを 0 に設定し、MHSPEN ビットを一度読み出し、MHSPM 終了レディステータスにまず遷移します。コード MRAM およびエクストラ MRAM の両方が MHSPM 終了レディステータスでアクセスされたら、MRAM プログラムモードは通常プログラムモードで MHSPM 無効ステータスに変更されます。

MCU がソフトウェアスタンバイモードに遷移すると、MRAM プログラムモードは、MHSPEN ビットを保持したまま通常プログラムモードに変更されます。MHSPEN ビットが 1 になっている場合は、ソフトウェアスタンバイモードから復帰した後にコード MRAM またはエクストラ MRAM に 1 回書き込むと、MRAM プログラムモードから高速プログラムモードに変更されます。



注 1. コード MRAM アクセス：読み出し、プログラム、W-HUK のゼロ化
エクストラ MRAM アクセス：読み出し、プログラム、W-HUK のゼロ化、強制停止

図 59.8 高速プログラムモード遷移

59.6.3 デバッガサポート機能

機能の前提条件

非セキュアデバッグの場合、デバッガは非セキュア属性を使用して、コード MRAM 領域に対して読み出しと書き込みを行うことができます。セキュア属性に設定されたレジスタを、非セキュアアクセスによって読み出したり書き込んだりすることはできません。ユーザーソフトウェアが実行しているとき、MRCFREQ レジスタと MREFREQ レジスタは、ユーザーソフトウェアの適切な値に設定されることが想定されています。デバッガのダウンロードの場合、またはユーザーソフトウェアの起動の前にブレーク設定が有効化される場合、チップ開始周波数は MRCFREQ レジスタと MREFREQ レジスタの初期レジスタ値に設定する必要があります。

書き込み機能

コード MRAM は、MRCPC0 レジスタと MRCPC1 レジスタを設定せずに DBGNVMCR レジスタの NVMWE ビットを 1 に設定することによって書き込むことができます。ただし、ブロック保護によって保護されている領域に書き込むことはできません。ブロック保護をクリアする必要がある場合は、シリアルプログラミングモードでコンフィグレーションプログラムコマンドを実行して行います。デバッガの動作と干渉しないようにするため、DBGSTOPCR レジスタの DBGSTOPNVMER ビットが 1 に設定されると、これはコード MRAM 書き込み中のエラー通知レジスタである MRCPS レジスタの ECCERRC ビットおよび PRGERRC ビットの設定をマスクします。DBGSTOPNVMER ビットが設定される前にエラービットがすでに設定されていた場合、レジスタがクリアされるまでその値が保持されます。

デバッガによるデバッグはコード領域とデータ領域を対象とするため、エクストラ MRAM のデータ領域以外での MACI コマンドによって起動されるプログラム中のエラーはマスクされません。

読み出し機能

デバッガからのアクセス中に ECC エラーが発生した場合、MRCRAES レジスタの TEDERRC ビットと DECERRC ビット、および MRERAES レジスタの TEDERRC ビットと DECERRC ビットは設定されません。デバッガからの読み出し中の ECC エラーをマスクするために、DBGSTOPNVMER ビットは使用されません。

59.7 MACI コマンド

59.7.1 MACI コマンドによる設定可能領域

表 59.10 に、MACI コマンドで設定可能な MRAM 領域およびエクストラ MRAM 内の OTP 領域を示します。これらの領域には、セキュリティ、安全性、およびシステム構成のための設定データが格納されます。OTP 領域内の各ビット（データおよび ECC の両方）は、1 から 0 に 1 回だけ設定できます。表 59.10 に示すように、ECC ありと ECC なしの 2 種類の OTP 領域があります。16 バイト単位のデータは、ECC ありの OTP 領域に 1 回だけ設定できます。一部の ECC ビットを 0 から 1 に変更する必要がある場合もあるため、異なるデータの再設定を再試行することはできません。ECC なしの OTP 領域の信頼性は、冗長データ設定によって確保されます。0 から 1 に変化するビットがない場合、16 バイト単位のデータは、ECC なしの OTP 領域に複数回設定できます。

表 59.10 MACI コマンドによる設定可能領域

アドレス（オフセットアドレス：BASE_MC）	領域名	メモリタイプ	ECC
0x00C9_F020～0x00C9_F0AF	コンフィグレーション	MRAM	使用
0x00C9_F0C0～0x00C9_F7FF	コンフィグレーション	MRAM	使用
0x00E0_7400～0x00E0_74BF	OEM_ROOT_PKn のハッシュ (n = 0～3)	OTP	使用
0x00E0_7600～0x00E0_760F	FSBL 設定	OTP	使用
0x00E0_7610～0x00E0_769F	測定報告の開始アドレス コード認証の開始アドレス	OTP	使用
0x00E0_76A0～0x00E0_76FF	汎用 OTP	OTP	使用
0x00E1_7700～0x00E1_777F	セキュア用永久ブロック保護設定	OTP	使用禁止
0x00E1_7780～0x00E1_77FF	永久ブロック保護設定	OTP	使用禁止
0x00E1_7900～0x00E1_790F	OFS 永久ロック設定	OTP	使用禁止
0x00E1_7910～0x00E1_791F	REVOKE	OTP	使用禁止
0x00E1_7920～0x00E1_792F	OTP の HUK のゼロ化の許可	OTP	使用禁止
0x00E1_7930～0x00E1_793F	アンチロールバックカウンタ設定	OTP	使用禁止
0x00E1_7950～0x00E1_79FF	予約	OTP	使用禁止
—	アンチロールバックカウンタ	OTP	使用禁止

59.7.2 MACI コマンド一覧

表 59.11 MACI コマンド一覧

MACI コマンド	機能
プログラム	このコマンドは、コンフィグレーション領域以外のエクストラ MRAM 領域に書き込むために使用します。 書き込み単位は 16 バイトです。
ステータスクリア	このコマンドは、MSTATR レジスタの ILGLERR、PRGERR、ILGCOMERR、SECERR、OTERR、TZFERR、CFGPRGERR の各ビット、MASTAT レジスタの CMDLK、MREAE の各ビット、およびコマンドロック状態から解除されたエクストラ MRAM シーケンサを初期化します。
強制停止	このコマンドは、MACI コマンド処理を強制的に中止し、MSTATR レジスタと MASTAT レジスタを初期化します。
コンフィグレーション設定	このコマンドは、セキュリティ機能とセーフティ機能を設定するためにコンフィグレーション領域に書き込むために使用します。 設定単位は 16 バイトです。
カウンタインクリメント（セキュアアクセスのみ）	アンチロールバックカウンタの値をインクリメントできます。 対象カウンタは MCNTSELR レジスタで選択します。 データは 1 ビットごとに更新されます。
カウンタ読み出し（セキュアアクセスのみ）	アンチロールバックカウンタの値を読み出しできます。 対象カウンタは MCNTSELR レジスタで選択します。 読み出したデータは MCNTDATAR0 レジスタと MCNTDATAR1 レジスタに出力されます。 読み出し単位は 64 ビットです。

MACI コマンドは、MACI コマンド発行領域に書き込むことにより発行されます（表 59.4 を参照）。表 59.12 に示すような書き込みが指定の状態で進行すると、エクストラ MRAM シーケンサは受信したコマンドに対応する処理を実行します（「59.7.3. エクストラ MRAM シーケンサの状態と MACI コマンドの関係」を参照）。

表 59.12　MACI コマンドのフォーマット

MACI コマンド	書き込み回数	MACI コマンド発行領域へのデータ書き込み			
		最初のアクセス	2 番目のアクセス	3 番目～ (N+2) 番目のアクセス	(N+3) 番目のアクセス
プログラム 16 バイトプログラミング：N = 8	N + 3	0xE8	0x08 (= N)	WD_1～WD_N	0xD0
ステータスクリア	1	0x50	—	—	—
強制停止	1	0xB3	—	—	—
コンフィグレーション設定 N = 8（16 バイト）	N + 3	0x40	0x08 (= N)	WD_1～WDn	0xD0
カウンタインクリメント	2	0x35	0xD0	—	—
カウンタ読み出し	2	0x39	0xD0	—	—

注.　WDN (N = 1, 2, …)：書き換え対象の N 番目の 16 ビットデータ

エクストラ MRAM シーケンサは、ステータスクリアコマンド以外のコマンド処理の開始時に MSTATR.MRDY ビットを 0 にクリアします。さらに、エクストラ MRAM シーケンサはコマンド処理の完了時にこのビットを 1 にします。

MRDYIE.MRDYIE ビットの設定が 1 の場合、MSTATR.MRDY ビットが 1 のときに MRAM_ENDOFPE 割り込みが生成されます。

59.7.3　エクストラ MRAM シーケンサの状態と MACI コマンドの関係

MACI コマンドは、エクストラ MRAM シーケンサのモード／状態に応じて受け付けられます。MACI コマンドの発行は、エクストラ MRAM プログラムモードに移行させた後、エクストラ MRAM シーケンサの状態を確認してから実施する必要があります。エクストラ MRAM シーケンサの状態を確認するには MSTATR レジスタおよび MASTAT レジスタを使用してください。さらに、一般的にエラー発生は、MASTAT レジスタの CMDLK ビットを読み出すことにより確認できます。その値は MSTATR レジスタの ILGLERR、ILGCOMERR、SECERR、OTERR、TZFERR、PRGERR、および CFGPRGERR ビットの論理 OR です。表 59.13 に、各動作モードで使用可能なコマンドを示します。

表 59.13　動作モードと使用可能なコマンド

動作モード	MENTRYR	使用可能なコマンド
エクストラ MRAM 読み出しモード	0x0000	なし
エクストラ MRAM プログラムモード （W-HUK のゼロ化が実行されない）	0x0080	プログラム ステータスクリア 強制停止 コンフィグレーション設定 カウンタインクリメント カウンタ読み出し
エクストラ MRAM プログラムモード （W-HUK のゼロ化が実行される）	0x0000/0x0080(注1)	なし

注 1.　W-HUK のゼロ化が実行されているときは、MENTRYR の値にかかわらず、MRAM はエクストラ MRAM プログラムモードになります。「59.6.1. MRAM 読み出し／プログラムモード」を参照してください。

表 59.14 に、エクストラ MRAM シーケンサの状態および受け付け可能な MACI コマンドを示します。この表はコマンド実行前に適切なモード設定がされていることを前提に記載しています。

表 59.14　受け付け可能な MACI コマンドとエクストラ MRAM シーケンサの状態

	プログラム、コンフィグレーション設定、カウンタインクリメント、カウンタ読み出し、強制停止コマンド処理	コマンドロック状態 (MRDY = 1)	コマンドロック状態 (MRDY = 0)	W-HUK のゼロ化が実行される	その他の状態
MRDY ビット	0	1	0	0/1	1
CMDLK ビット	0	1	1	0/1	0
プログラム	X	X	X	X	O
ステータスクリア	X	O	X	X	O
強制停止	O	O	O	X	O
コンフィグレーション設定	X	X	X	X	O
カウンタインクリメント	X	X	X	X	O
カウンタ読み出し	X	X	X	X	O

備考：

O：受け付け可能

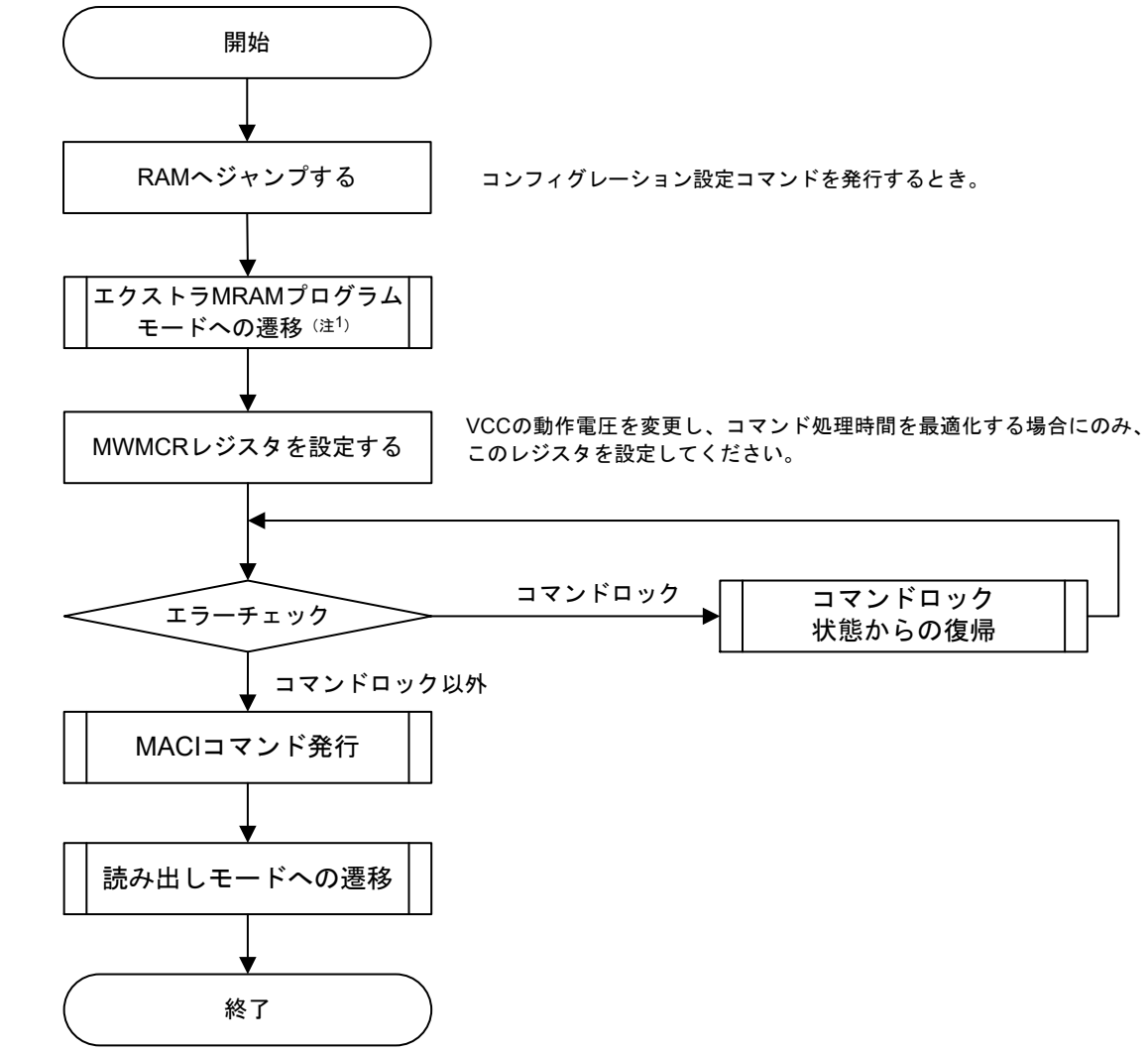
X：受け付け不可（シーケンサはコマンドロック状態になります）

59.7.4　MACI コマンドの使用法

本節では、MACI コマンドの使用方法／使用例を記載します。

59.7.4.1　エクストラ MRAM プログラムモードでのコマンド使用概要

エクストラ MRAM プログラムモードでの MACI コマンド使用の概要を図 59.9 に示します。エクストラ MRAM プログラムモードで使用可能なコマンドについては、表 59.13 を参照してください。



注 1. 「59.7.4.2. エクストラ MRAM プログラムモードへの遷移」を参照してください。

図 59.9 エクストラ MRAM プログラムモードでのコマンド使用概要

59.7.4.2 エクストラ MRAM プログラムモードへの遷移

エクストラ MRAM に対する MACI コマンドを発行するには、エクストラ MRAM プログラムモードへの遷移が必要です。エクストラ MRAM プログラムモードへの遷移を行うには、MENTRYR レジスタの MENTRY ビットを 1 に設定します。

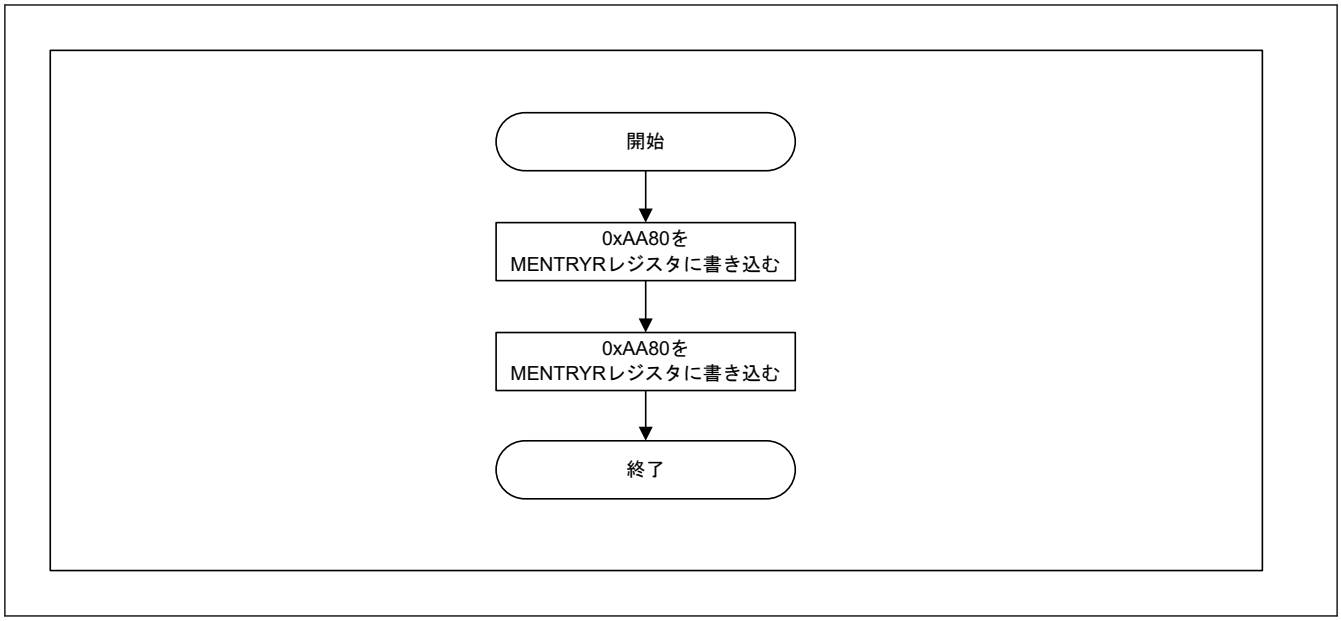
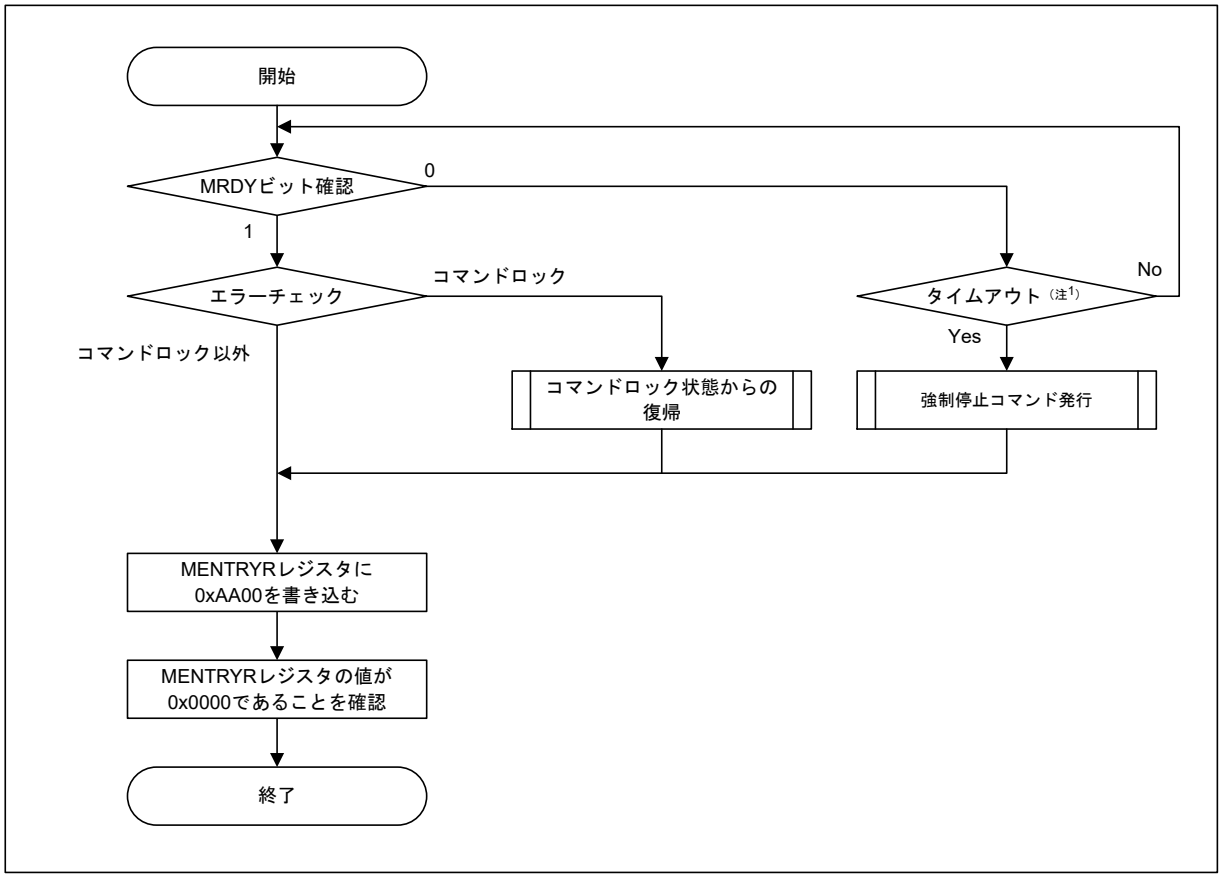


図 59.10　エクストラ MRAM プログラムモードへの遷移手順

59.7.4.3　読み出しモードへの遷移

エクストラ MRAM を読み出すには、MSTATR レジスタの MRDY ビットを 1 に設定するか、読み出しモードへの遷移が必要です。読み出しモードに遷移するためには、MENTRYR レジスタを 0x0000 にします。読み出しモードへの遷移は、エクストラ MRAM シーケンサの処理が完了し、かつコマンドロック以外の状態で実施してください。



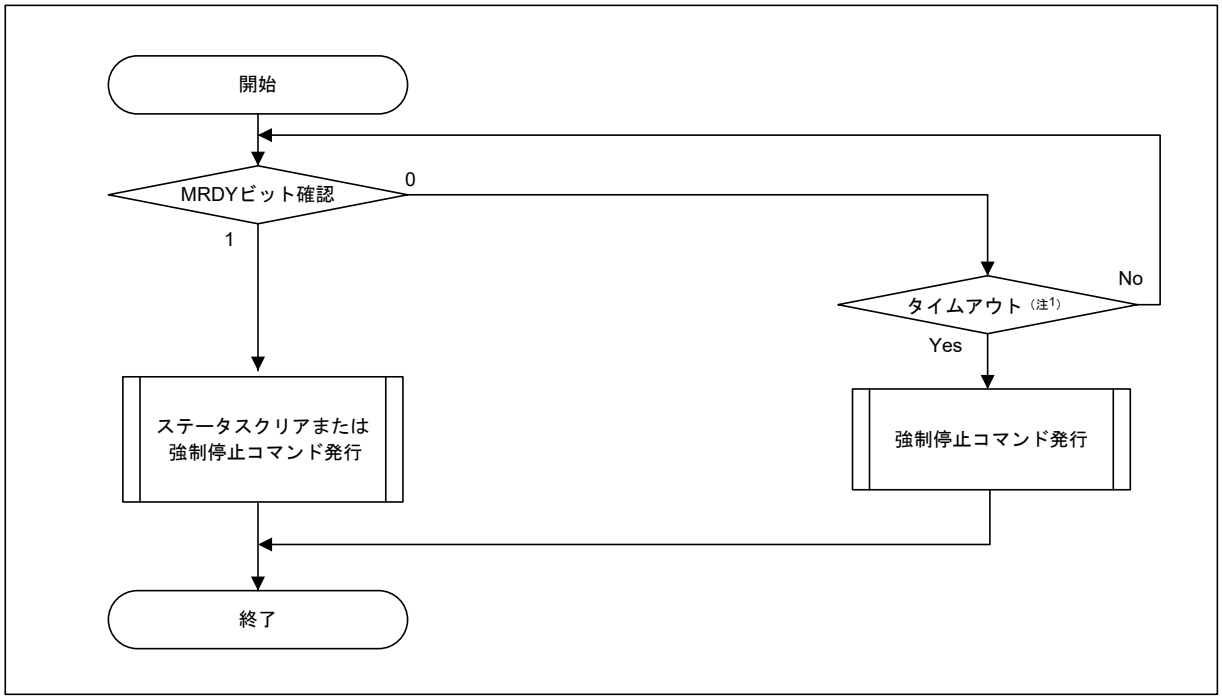
注 1. 実行中の MACI コマンド処理に要する最大時間の 1.1 倍がタイムアウトの判断に使われます。更新時間の詳細については、「62. 電気的特性」を参照してください。

図 59.11 読み出しモードへの遷移手順

59.7.4.4 コマンドロック状態からの復帰

エクストラ MRAM シーケンサがコマンドロック状態になると、MACI コマンドは受け付けられなくなります。コマンドロック状態を解除するためには、ステータスクリアコマンド、強制停止コマンドを使用する必要があります。

電気的特性で規定された最大の書き込み／消去時間を越えても処理が完了しない場合には、タイムアウトと判断して強制停止コマンドでエクストラ MRAM シーケンサを停止させてください。



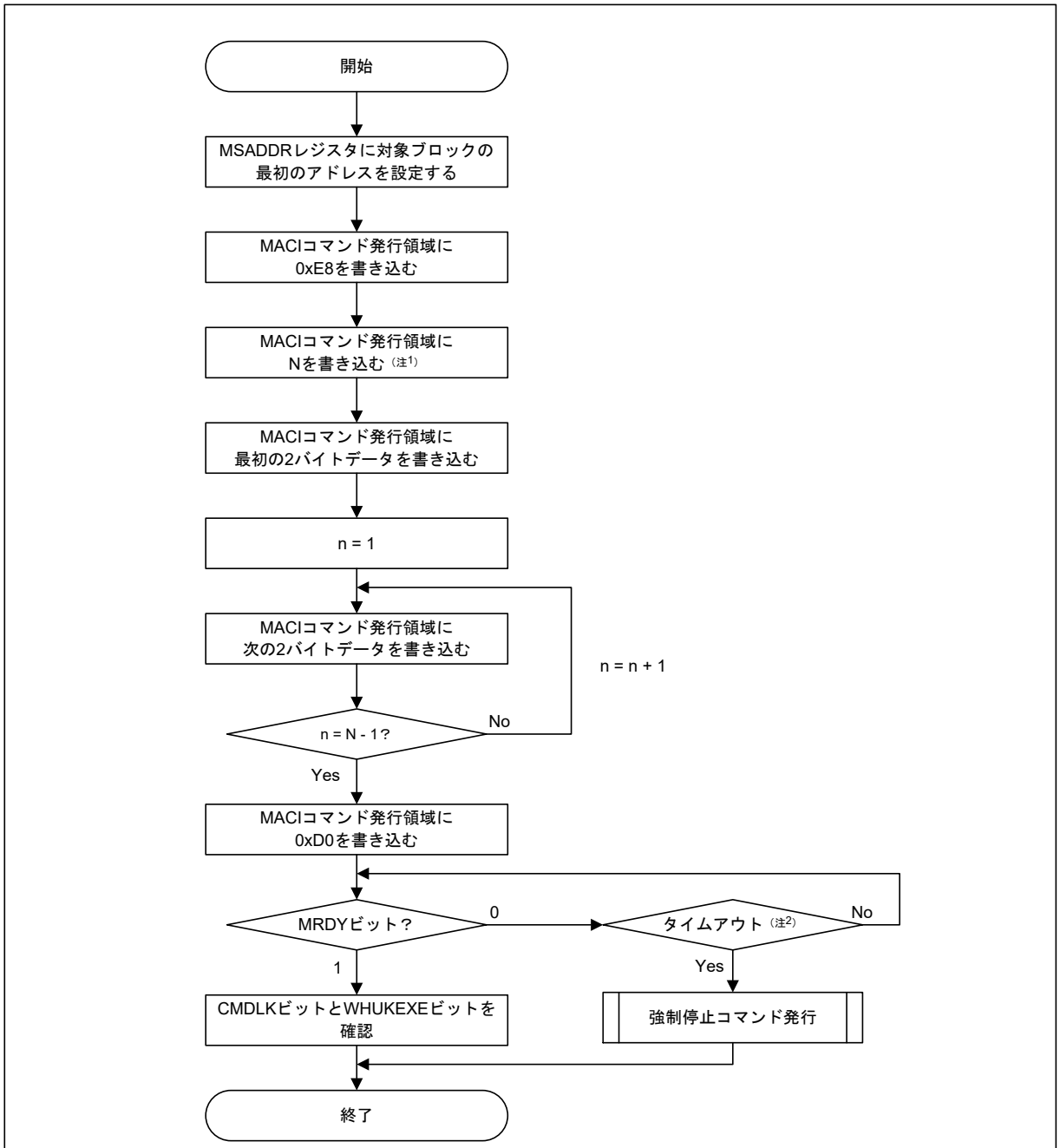
注 1. 実行中の MACI コマンド処理に要する最大時間の 1.1 倍がタイムアウトの判断に使われます。更新時間の詳細については、「62. 電気的特性」を参照してください。

図 59.12 コマンドロック状態からの復帰

59.7.4.5 プログラムコマンド

プログラムコマンドはエクストラ MRAM 領域（コンフィグレーション領域を除く）への書き込みに使用されます。プログラムコマンド発行前に、対象ブロックの最初のアドレスを MSADDR レジスタに設定してください。

MACI コマンド発行時の最終アクセスで 0xD0 を MACI コマンド発行領域に書き込むと、プログラムコマンドの処理が開始されます。



注 1. N
0x08: 16 バイト書き込み
注 2. 書き込みの最大時間の 1.1 倍がタイムアウトの判断に使われます。更新時間の詳細については、「62. 電気的特性」を参照してください。

図 59.13 プログラムコマンドの使用方法

表 59.15 に使用される可能性がある対象データと MSADDR レジスタに設定されているアドレス値との関係を示します。MSADDR レジスタの詳細については、「59.5.19. MSADDR : MACI コマンド開始アドレスレジスタ」を参照してください。

表 59.15　プログラムコマンドが使用するアドレス

アドレス	MSADDR レジスタ値	設定データ	設定が有効になるタイミング
BASE_MC + 0x00E0_7600	BASE_MCS + 0x00E0_7600	FSBL 設定	リセット時
BASE_MC + 0x00E0_7610	BASE_MCS + 0x00E0_7610～ BASE_MCS + 0x00E0_7690	測定報告の開始アドレス コード認証の開始アドレス	—
BASE_MC + 0x00E0_76A0	BASE_MCS + 0x00E0_76A0～ BASE_MCS + 0x00E0_76F0	汎用 OTP	—
BASE_MC + 0x00E1_7700	BASE_MCS + 0x00E1_7700～ BASE_MCS + 0x00E1_7770	セキュア用永久ブロック保護設定 (PBPS_SEC)(注1)	リセットまたはコマンド実行時
BASE_MC + 0x00E1_7780	BASE_MCN + 0x00E1_7780～ BASE_MCN + 0x00E1_77F0	永久ブロック保護設定 (PBPS)(注2)	リセットまたはコマンド実行時
BASE_MC + 0x00E1_7900	BASE_MCS + 0x00E1_7900	永久 OFS 保護設定 (POFSPS)	リセットまたはコマンド実行時
BASE_MC + 0x00E1_7910	BASE_MCS + 0x00E1_7910	REVOKE	リセットまたはコマンド実行時
BASE_MC + 0x00E1_7920	BASE_MCS + 0x00E1_7920	HUK のゼロ化の許可	リセットまたはコマンド実行時
BASE_MC + 0x00E1_7930	BASE_MCS + 0x00E1_7930	アンチロールバックカウンタ設定	—
BASE_MC + 0x00E1_7950	BASE_MCS + 0x00E1_7950～ BASE_MCS + 0x00E1_79F0	予約	—

注 1.　PBPS_SEC[n]ビットは、BPS_SEC[4n]、BPS_SEC[4n+1]、BPS_SEC[4n+2]、および BPS_SEC[4n+3]ビットがすべて 0 のときに 0 を書き込むことができます。
注 2.　PBPS[n]ビットは、BPS[4n]、BPS[4n+1]、BPS[4n+2]、および BPS[4n+3]ビットがすべて 0 のときに 0 を書き込むことができます。

59.7.4.6　ステータスクリアコマンド

ステータスクリアコマンドは、コマンドロック状態をクリアするために使用されます（「59.7.4.4. コマンドロック状態からの復帰」を参照）。コマンドロック状態で、MSTATR レジスタの ILGLERR、ILGCOMERR、SECERR、OTERR、PRGERR、TZFERR、および CFGPRGERR ビットをクリアしたい場合に、ステータスクリアコマンドを使用可能です。

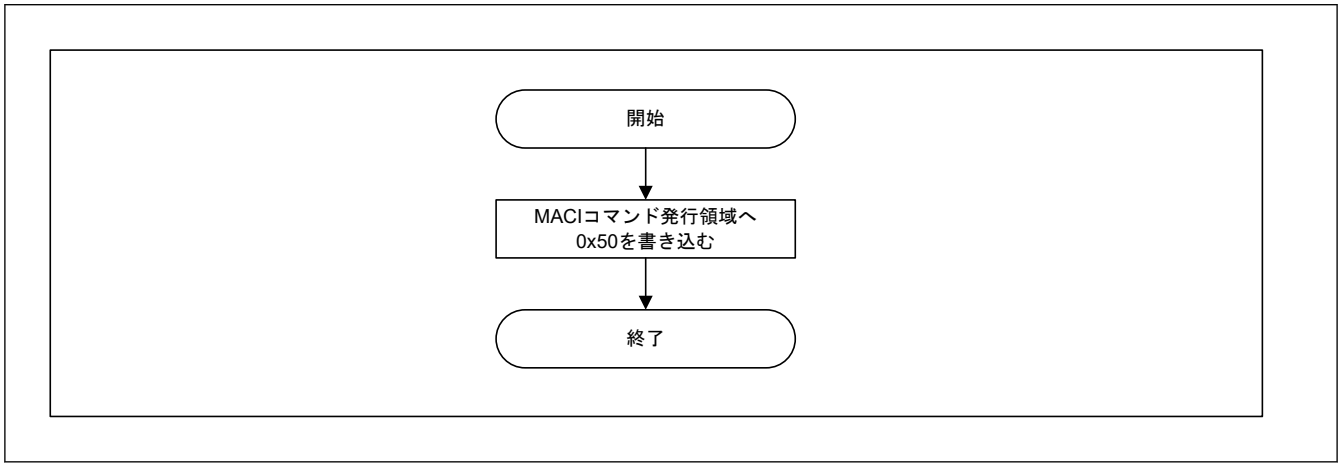


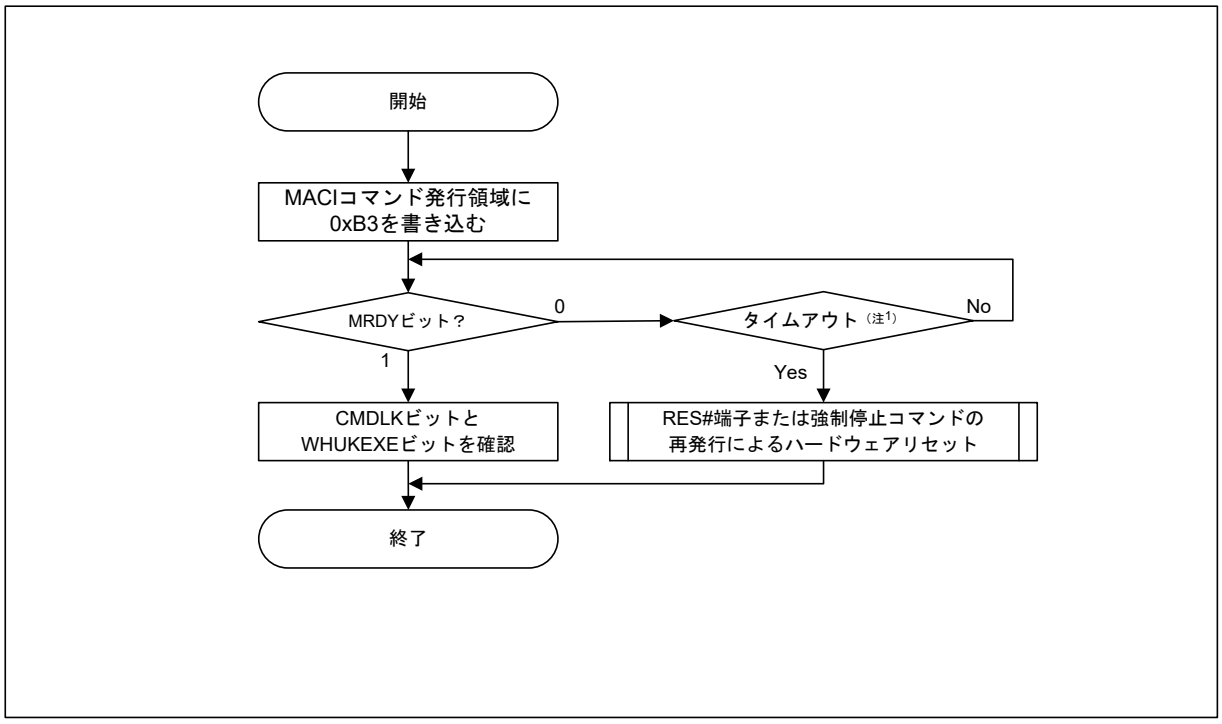
図 59.14　ステータスクリアコマンドの使用方法

59.7.4.7　強制停止コマンド

強制停止コマンドは、エクストラ MRAM シーケンサのコマンド処理を強制的に終了させるコマンドです。このコマンドはコマンド処理を停止しますが、進行中の書き込みの値は保証されません。また、中断した処理を再開することもできません。強制停止コマンドで停止させられた書き換え処理も、書き換え耐久性の観点では 1 回分と定義されます。

強制停止コマンドを実行すると、MACI の一部、エクストラ MRAM シーケンサ全体、MSTATR レジスタおよび MASTAT レジスタの初期化も行います。このため、コマンドロック状態からの復帰手段や、エクストラ MRAM

シーケンサ動作のタイムアウト処理でも、強制終了コマンドを利用することができます（「59.7.4.4. コマンドロック状態からの復帰」を参照）。

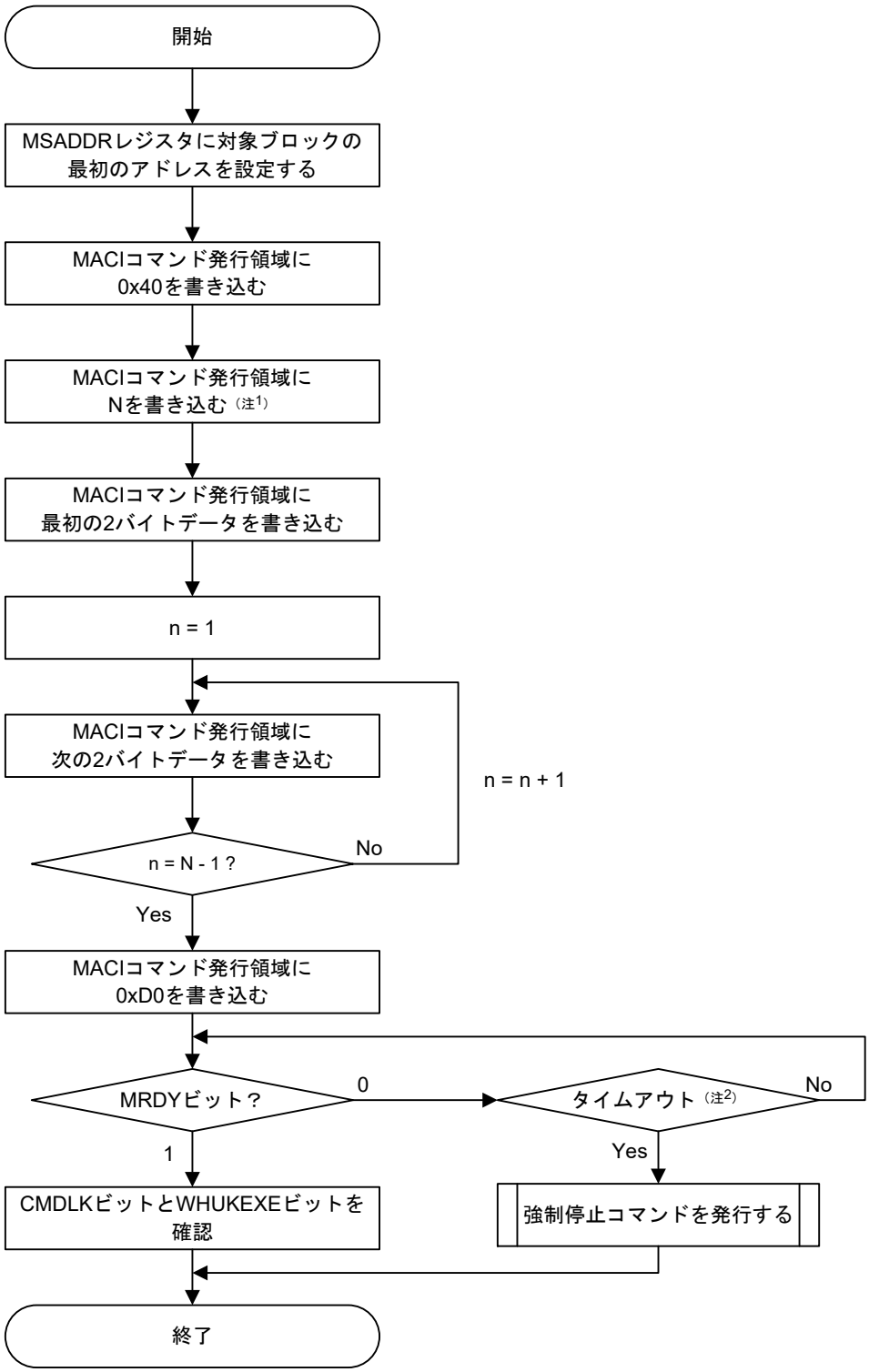


注 1. 強制停止コマンド遅延の最大時間の 1.1 倍がタイムアウトの判断に使われます。更新時間の詳細については、「62. 電気的特性」を参照してください。

図 59.15 強制終了コマンドの使用方法

59.7.4.8 コンフィグレーション設定コマンド

コンフィグレーション設定コマンドは、セキュリティ機能とセーフティ機能で使用します。コンフィグレーション設定コマンド発行前に MSADDR レジスタに指定アドレス（表 59.16 に示す）を設定してください。MACI コマンド発行の最終アクセスで MACI コマンド発行領域に 0xD0 を書くと、コンフィグレーション設定コマンドの MACI 処理が開始されます。



注 1. N
0x08: 16 バイト書き込み
注 2. コマンドの最大時間の 1.1 倍がタイムアウトの判断に使われます。
これらの時間については、ユーザーズマニュアルの電気的特性の項を参照してください。

図 59.16 コンフィグレーション設定コマンドの使用方法

表 59.16 にコンフィグレーション設定に使用されると思われる対象データと MSADDR レジスタに設定されているアドレス値との関係を示します。MSADDR レジスタの詳細については、「59.5.19. MSADDR : MACI コマンド開始アドレスレジスタ」を参照してください。

表 59.16　コンフィグレーション設定コマンドが使用するアドレス

アドレス	MSADDR レジスタ値	設定データ	追加の書き込み		設定が有効になるタイミング
			POFSPS.POFSPS [13]ビットが 1	POFSPS.POFSPS [13]ビットが 0	
BASE_MC + 0x00C9_F040	BASE_MCS + 0x00C9_F040	オプション機能選択レジスタ 0 (OFS0)	書き込み可能(注1)	書き込み可能(注1)	リセット時
BASE_MC + 0x00C9_F044	BASE_MCS + 0x00C9_F040	オプション機能選択レジスタ 2 (OFS2)	書き込み可能(注1)	書き込み可能(注1)	リセット時
BASE_MC + 0x00C9_F074	BASE_MCS + 0x00C9_F070	スタートアップ領域設定レジスタ (SAS)	書き込み可能(注1)	書き込み不可(注1) (注2)	リセットまたはコマンド実行時
BASE_MC + 0x00C9_F0C0	BASE_MCS + 0x00C9_F0C0	オプション機能選択レジスタ 1 セキュア (OFS1_SEC)	書き込み可能(注1)	書き込み可能(注1)	リセット時
BASE_MC + 0x00C9_F0C4	BASE_MCS + 0x00C9_F0C0	オプション機能選択レジスタ 3 セキュア (OFS3_SEC)	書き込み可能(注1)	書き込み可能(注1)	リセット時
BASE_MC + 0x00C9_F120	BASE_MCS + 0x00C9_F120	オプション機能選択レジスタ 1 セキュア (OFS1_SEL)	書き込み可能(注1)	書き込み可能(注1)	リセット時
BASE_MC + 0x00C9_F124	BASE_MCS + 0x00C9_F120	オプション機能選択レジスタ 3 セキュア (OFS3_SEL)	書き込み可能(注1)	書き込み可能(注1)	リセット時
BASE_MC + 0x00C9_F200	BASE_MCS + 0x00C9_F200 BASE_MCS + 0x00C9_F210 BASE_MCS + 0x00C9_F220 BASE_MCS + 0x00C9_F230	ブロック保護設定レジスタセキュア (BPS_SEC)	書き込み可能(注3)	書き込み可能(注3)	リセットまたはコマンド実行時
BASE_MC + 0x00C9_F4C0	BASE_MCN + 0x00C9_F4C0	オプション機能選択レジスタ 1 (OFS1)	書き込み可能	書き込み可能	リセット時
BASE_MC + 0x00C9_F4C4	BASE_MCN + 0x00C9_F4C0	オプション機能選択レジスタ 3 (OFS3)	書き込み可能	書き込み可能	リセット時
BASE_MC + 0x00C9_F600	BASE_MCN + 0x00C9_F600 BASE_MCN + 0x00C9_F610 BASE_MCN + 0x00C9_F620 BASE_MCN + 0x00C9_F630	ブロック保護設定レジスタ (BPS)	書き込み可能(注4)	書き込み可能(注4)	リセットまたはコマンド実行時

注 1.　この領域は、POFSPS.POFSPS ビットによって保護できます。更新領域に対応する POFSPS.POFSPS ビットが 0 の場合、コンフィグレーション設定コマンドによって更新できません。

注 2.　POFSPS.POFSPS[13]ビットは、いったん 0 に設定されると、プログラムコマンドで 1 に戻すことはできません。したがって、スタートアップ領域選択フラグおよびスタートアップサイズ選択フラグを再び設定できなくなります。アドレス BASE_MCS + 0x00C9_F074 にコンフィグレーション設定コマンドが出されると、コマンドはロックされます。POFSPS.POFSPS[13]ビットの取り扱いには特に注意してください。

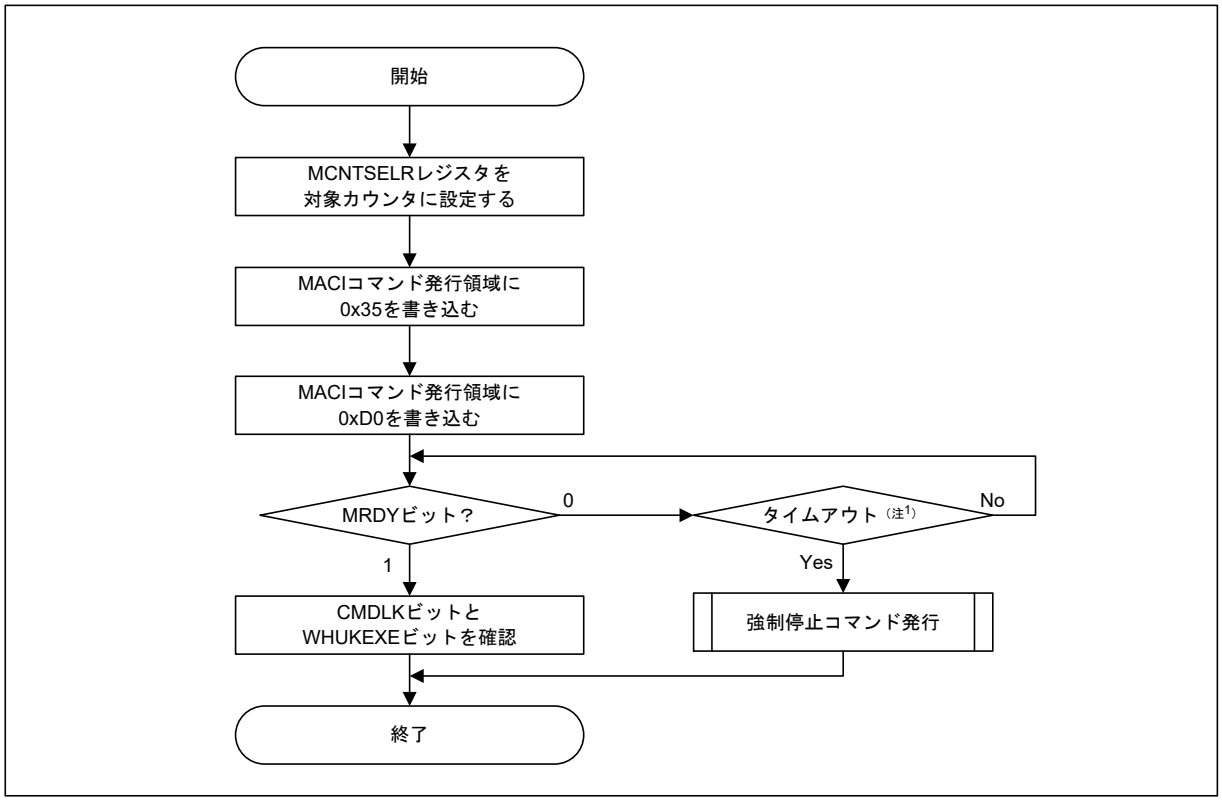
注 3.　PBPS_SEC[n]ビットを 0 にすると、コンフィグレーション設定コマンドで BPS_SEC[4n]、BPS_SEC[4n+1]、BPS_SEC[4n+2]、および BPS_SEC[4n+3]ビットを 1 に戻すことができなくなります。

注 4.　PBPS[n]ビットを 0 にすると、コンフィグレーション設定コマンドで BPS[4n]、BPS[4n+1]、BPS[4n+2]、および BPS[4n+3]ビットを 1 に戻すことができなくなります。

59.7.4.9　カウンタインクリメントコマンド

カウンタインクリメントコマンドは、セキュリティ機能とセーフティ機能で使用するほか、3 種類のアンチロールバックカウンタ（ARC_SEC、ARC_NSEC、および ARC_OEMBL）の更新に使用します。カウンタの更新は、インクリメントにのみ対応し、デクリメントには対応しません。

エクストラ MRAM シーケンサコマンドの 2 番目の書き込みで 0xD0 を書くと MACI はカウンタインクリメントコマンド処理を開始します。コマンド処理完了は、MSTATR レジスタの MRDY ビットで確認できます。



注 1. コマンドの最大時間の 1.1 倍がタイムアウトの判断に使われます。
これらの時間については、ユーザーズマニュアルの電気的特性の項を参照してください。

図 59.17 カウンタインクリメントコマンドの使用方法

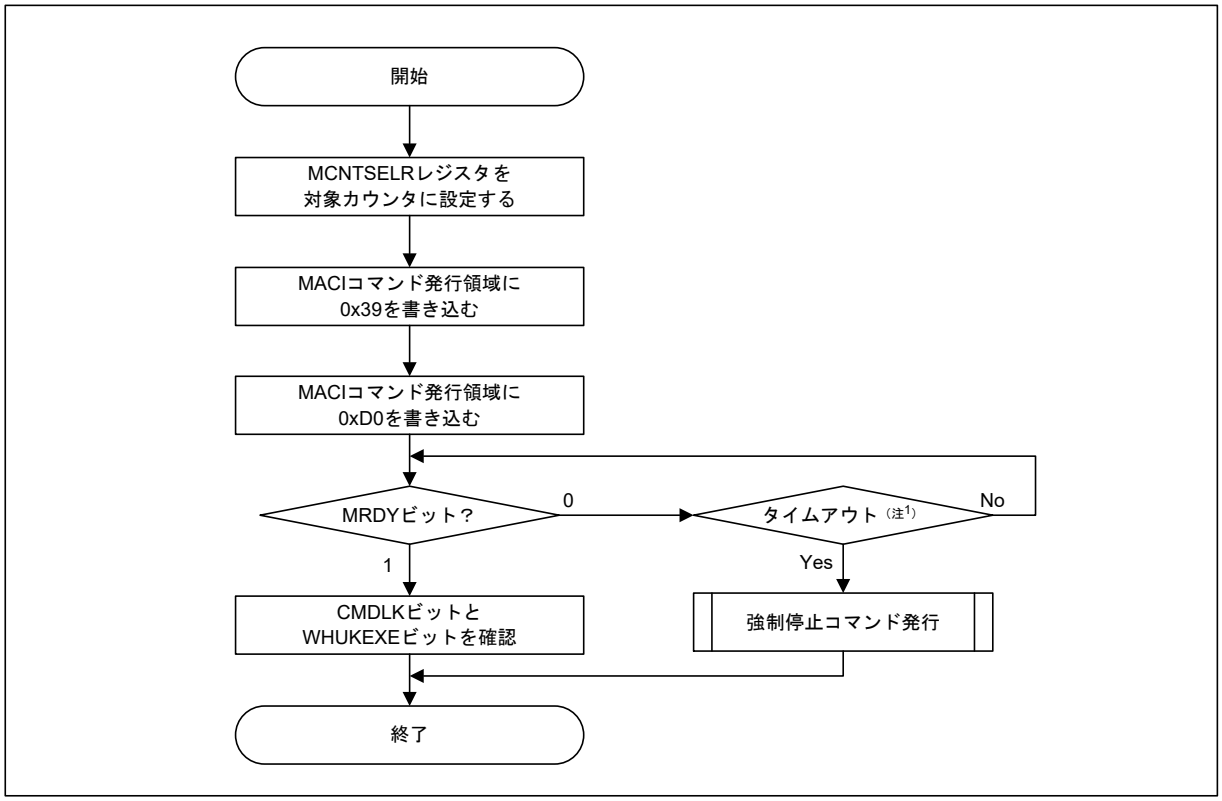
下記の条件においては、カウンタインクリメントコマンドでアンチロールバックカウンタの値はインクリメントされません。

- 対象カウンタが、ARCSEC_LK、ARCNSEC_LK0～ARCNSEC_LK3、または ARCOEMBL_LK によって保護されている。
- 対象カウンタが ARC_OEMBL のとき、直前に ARC_OEMBL に対してカウンタ読み出しコマンドが実行されていない。
- ARC_OEMBL の更新値が、セキュリティエンジンからの OEM ブートローダーバージョン (OEM BL Ver.) 出力以上である。
- 対象カウンタの値が最大値に達している（エラーにはならない）。
- CNF_ARCNSEC0～CNF_ARCNSEC1 が不正に設定されているときの対象カウンタが ARC_NSEC である。

59.7.4.10 カウンタ読み出しコマンド

カウンタ読み出しコマンドは、セキュリティ機能とセーフティ機能で使用するほか、3 種類のアンチロールバックカウンタ（ARC_SEC、ARC_NSEC、および ARC_OEMBL）の読み出しに使用します。エクストラ MRAM シーケンサは 64 ビットデータを読み出し、MCNTDATAR0 および MCNTDATAR1 レジスタに格納します。

エクストラ MRAM シーケンサコマンドの 2 番目の書き込みで 0xD0 を書くと MACI はカウンタ読み出しコマンド処理を開始します。コマンド処理完了は、MSTATR レジスタの MRDY ビットで確認できます。



注 1. コマンドの最大時間の 1.1 倍がタイムアウトの判断に使われます。
これらの時間については、ユーザーズマニュアルの電気的特性の項を参照してください。

図 59.18 カウンタ読み出しコマンドの使用方法

59.8 セキュリティ機能

エクストラ MRAM シーケンサは、セキュリティ有効製品の下記セキュリティ機能をサポートします。

- 永久 OFS 保護設定
- スタートアップ領域およびスタートアップサイズのセキュリティフラグ
- 永久ブロック保護設定
- TrustZone に対する MRAM 保護
- エクストラ MRAM コンフィグレーション領域保護
- アンチロールバックカウンタ
- HUK プロテクション
- OEM_ROOT_KEY の保護

59.8.1 永久 OFS 保護設定

コンフィグレーション領域の OFS 領域は、表 59.17 に示すように OTP 領域の POFSPS ビットによって永久保護できます。ユーザーズマニュアル：xx オプション設定メモリを参照してください。

表 59.17 コンフィグレーション領域の OFS 領域が保護される条件 (1/2)

保護アドレス	MSADDR レジスタ値	保護サイズ	保護ビット	備考
BASE_MC + 0x00C9_F040	BASE_MCS + 0x00C9_F040	4 バイト	POFSPS[0]	—
BASE_MC + 0x00C9_F044	BASE_MCS + 0x00C9_F040	4 バイト	POFSPS[1]	—

表 59.17　コンフィグレーション領域の OFS 領域が保護される条件 (2/2)

保護アドレス	MSADDR レジスタ値	保護サイズ	保護ビット	備考
BASE_MC + 0x00C9_F048	BASE_MCS + 0x00C9_F040	4 バイト	POFSPS[2]	—
BASE_MC + 0x00C9_F04C	BASE_MCS + 0x00C9_F040	4 バイト	POFSPS[3]	—
⋮	⋮	⋮	⋮	⋮
BASE_MC + 0x00C9_F06C	BASE_MCS + 0x00C9_F060	4 バイト	POFSPS[11]	—
BASE_MC + 0x00C9_F070	BASE_MCS + 0x00C9_F070	4 バイト	POFSPS[12]、POFSPS[13]	POFSPS[13]が 0 のとき、プログラムコマンドによる保護領域への書き込みによって SECERR が生成されます。
BASE_MC + 0x00C9_F074	BASE_MCS + 0x00C9_F070	4 バイト	POFSPS[13]	
BASE_MC + 0x00C9_F078	BASE_MCS + 0x00C9_F070	4 バイト	POFSPS[13]、POFSPS[14]	
BASE_MC + 0x00C9_F07C	BASE_MCS + 0x00C9_F070	4 バイト	POFSPS[13]、POFSPS[15]	
BASE_MC + 0x00C9_F080	BASE_MCS + 0x00C9_F080	4 バイト	POFSPS[16]	—
⋮	⋮	⋮	⋮	⋮
BASE_MC + 0x00C9_F0B0	BASE_MCS + 0x00C9_F0B0	4 バイト	POFSPS[28]	対象アドレスについては、POFSPS ビットに 0 が書き込まれた場合でも、保護は無効になります。
BASE_MC + 0x00C9_F0B4	BASE_MCS + 0x00C9_F0B0	4 バイト	POFSPS[29]	
BASE_MC + 0x00C9_F0B8	BASE_MCS + 0x00C9_F0B0	4 バイト	POFSPS[30]	
BASE_MC + 0x00C9_F0BC	BASE_MCS + 0x00C9_F0B0	4 バイト	POFSPS[31]	
BASE_MC + 0x00C9_F0C0	BASE_MCS + 0x00C9_F0C0	4 バイト	POFSPS[32]	—
⋮	⋮	⋮	⋮	⋮
BASE_MC + 0x00C9_F170	BASE_MCS + 0x00C9_F170	4 バイト	POFSPS[76]	—
BASE_MC + 0x00C9_F174	BASE_MCS + 0x00C9_F170	4 バイト	POFSPS[77]	—
BASE_MC + 0x00C9_F178	BASE_MCS + 0x00C9_F170	4 バイト	POFSPS[78]	—
BASE_MC + 0x00C9_F17C	BASE_MCS + 0x00C9_F170	4 バイト	POFSPS[79]	—

59.8.2　スタートアップ領域およびスタートアップサイズ選択のセキュリティフラグ

スタートアップ領域とスタートアップサイズのセキュリティフラグ (POFSPS.POFSPS[13]) は、「59.7.4.5. プログラムコマンド」のように OTP 領域に配置されます。POFSPS[13]ビットは MSUASMON レジスタで FSPR ビットとして監視できます。

POFSPS[13]ビットが 0 のときコンフィグレーション設定コマンドを発行して BTFLG ビット値および BTSIZE ビットを変更すると、コマンドロック状態になります。また、POFSPS[13]ビットが 0 のとき、MSUACR レジスタのスタートアップ領域選択ビット (SAS[1:0]) に書き込むことはできません。POFSPS[13]ビットは保護を提供します。「7. オプション設定メモリ」を参照してください。

59.8.3　永久ブロック保護設定

永久ブロック保護設定は、ブロック保護設定のクリア保護です。永久ブロック保護設定が有効の場合、ユーザー領域は MACI コマンドを使っても永久に更新できません。ブロック保護設定の詳細は、「59.9.1.2. ブロック保護設定によるプロテクション」を参照してください。

ブロック保護設定および永久ブロック保護設定をすると、コンフィグレーション設定コマンドおよびプログラムコマンドに対して互いに書き込み／クリア保護を行います。書き込み／クリア保護設定に対してプログラムコマンドを発行してもエクストラ MRAM シーケンサはエラーを検出しません。

図 59.19、表 59.18、表 59.19、表 59.20、表 59.21、および表 59.22 に、ブロック保護設定 (BPS[4n])、(BPS[4n+1])、(BPS[4n+2])、(BPS[4n+3]) および永久保護設定 (PBPS[n]) に対する書き込み／クリア保護を示します。図 59.20、表 59.23、表 59.24、表 59.25、表 59.26、および表 59.27 に、セキュア用ブロック保護設定 (BPS_SEC[4n])、(BPS_SEC[4n+1])、(BPS_SEC[4n+2])、(BPS_SEC[4n+3]) およびセキュア用永久保護設定 (PBPS_SEC[n]) に対する書き込み／クリア保護を示します。

効果的な永久ブロック保護設定（PBPS または PBPS_SEC）は、コード MRAM 境界設定に依存します。

永久ブロック保護設定（PBPS または PBPS_SEC）の詳細は、ユーザーズマニュアル：xx オプション設定メモリを参照してください。

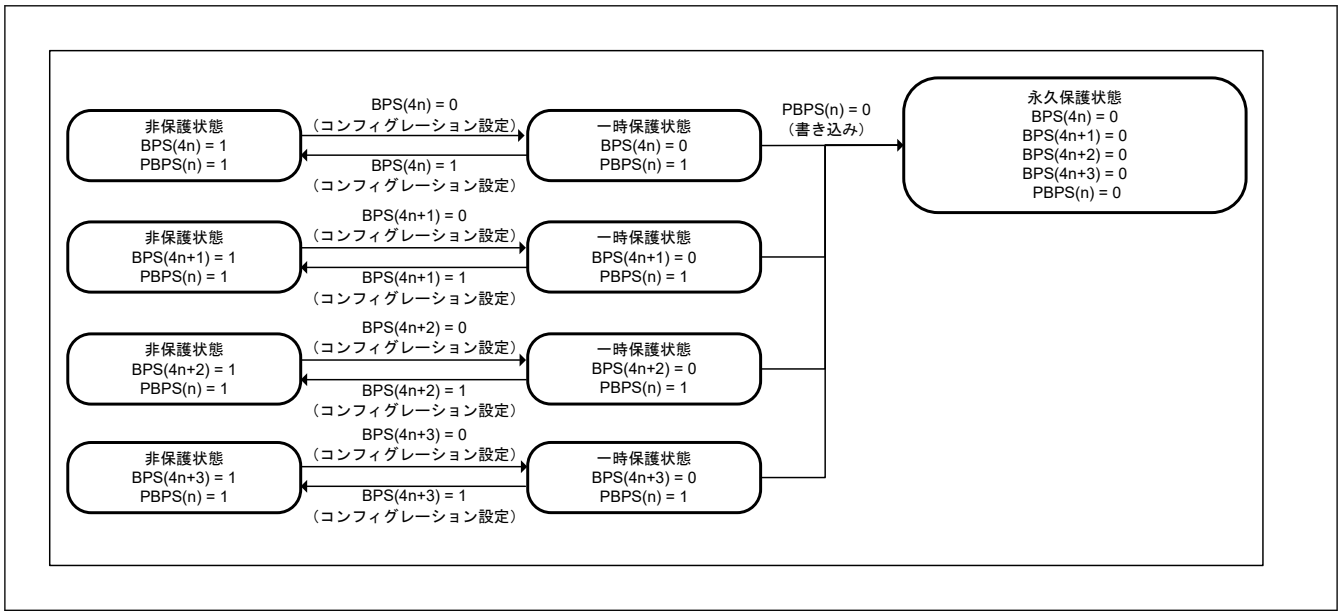


図 59.19　BPS[4n, 4n+1, 4n+2, 4n+3]ビットおよび PBPS[n]ビットによるエクストラ MRAM シーケンサの状態遷移

表 59.18　BPS[4n]ビットおよび PBPS[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能	
BPS[4n]	PBPS[n]	BPS[4n] = 1	BPS[4n] = 0
1	1	O	O
1	0	—	—
0	1	O	O
0	0	X	O

表 59.19　BPS[4n+1]ビットおよび PBPS[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能	
BPS[4n+1]	PBPS[n]	BPS[4n+1] = 1	BPS[4n+1] = 0
1	1	O	O
1	0	—	—
0	1	O	O
0	0	X	O

表 59.20　BPS[4n+2]ビットおよび PBPS[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能	
BPS[4n+2]	PBPS[n]	BPS[4n+2] = 1	BPS[4n+2] = 0
1	1	O	O
1	0	—	—
0	1	O	O
0	0	X	O

表 59.21　BPS[4n+3]ビットおよび PBPS[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能	
BPS[4n+3]	PBPS[n]	BPS[4n+3] = 1	BPS[4n+3] = 0
1	1	O	O
1	0	—	—
0	1	O	O
0	0	X	O

表 59.18、表 59.19、表 59.20、および表 59.21 の備考：

O：コンフィグレーション設定コマンドによって更新可能。

X：コンフィグレーション設定コマンドによって更新不可。（エラーにはならない。）

—：この状態にならない

表 59.22　PBPS[n]ビットの書き込み／クリア保護

現在の状態					プログラムコマンドによって更新可能	
BPS[4n]	BPS[4n+1]	BPS[4n+2]	BPS[4n+3]	PBPS[n]	PBPS[n] = 1	PBPS[n] = 0
0	0	0	0	1	O	O
1	1 または 0	1 または 0	1 または 0	0	—	—
1 または 0	1	1 または 0	1 または 0	0	—	—
1 または 0	1 または 0	1	1 または 0	0	—	—
1 または 0	1 または 0	1 または 0	1	0	—	—
1	1 または 0	1 または 0	1 または 0	1	O	X
1 または 0	1	1 または 0	1 または 0	1	O	X
1 または 0	1 または 0	1	1 または 0	1	O	X
1 または 0	1 または 0	1 または 0	1	1	O	X
0	0	0	0	0	X	O

備考：

O：コンフィグレーション設定コマンドによって更新可能。

X：コンフィグレーション設定コマンドによって更新不可。（エラーにはならない。）

-：この状態にならない

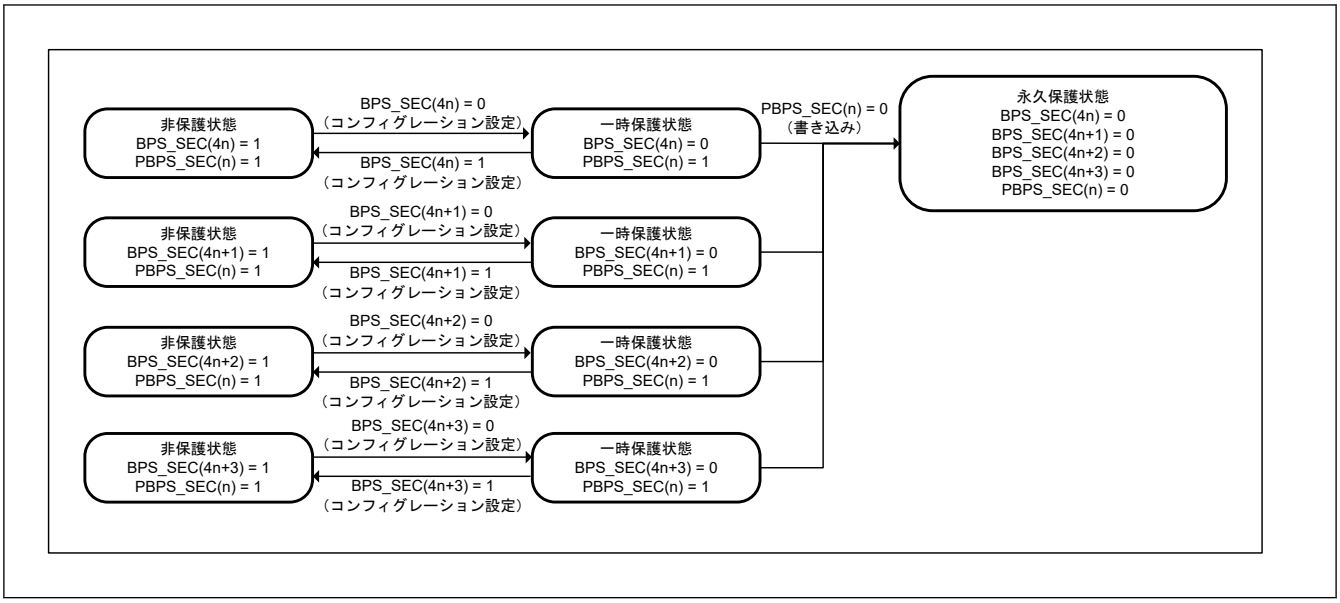


図 59.20　BPS_SEC[4n, 4n+1, 4n+2, 4n+3]ビットおよび PBPS_SEC[n]ビットによるエクストラ MRAM シーケンサの状態遷移

表 59.23　BPS_SEC[4n]ビットおよび PBPS_SEC[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能	
BPS_SEC[4n]	PBPS_SEC[n]	BPS_SEC[4n] = 1	BPS_SEC[4n] = 0
1	1	O	O
1	0	—	—
0	1	O	O
0	0	X	O

表 59.24　BPS_SEC[4n+1]ビットおよび PBPS_SEC[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能	
BPS_SEC[4n+1]	PBPS_SEC[n]	BPS_SEC[4n+1] = 1	BPS_SEC[4n+1] = 0
1	1	O	O
1	0	—	—
0	1	O	O
0	0	X	O

表 59.25　BPS_SEC[4n+2]ビットおよび PBPS_SEC[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能	
BPS_SEC[4n+2]	PBPS_SEC[n]	BPS_SEC[4n+2] = 1	BPS_SEC[4n+2] = 0
1	1	O	O
1	0	—	—
0	1	O	O
0	0	X	O

表 59.26　BPS_SEC[4n+3]ビットおよび PBPS_SEC[n]ビットの書き込み／クリア保護 (1/2)

現在の状態		コンフィグレーション設定コマンドによって更新可能	
BPS_SEC[4n+3]	PBPS_SEC[n]	BPS_SEC[4n+3]=1	BPS_SEC[4n+3]=0
1	1	O	O
1	0	—	—

表 59.26 BPS_SEC[4n+3]ビットおよび PBPS_SEC[n]ビットの書き込み／クリア保護 (2/2)

現在の状態		コンフィグレーション設定コマンドによって更新可能	
BPS_SEC[4n+3]	PBPS_SEC[n]	BPS_SEC[4n+3]=1	BPS_SEC[4n+3]=0
0	1	O	O
0	0	X	O

表 59.23、表 59.24、表 59.25、および表 59.26 の備考：

O：コンフィグレーション設定コマンドによって更新可能。

X：コンフィグレーション設定コマンドによって更新不可。（エラーにはならない。）

—：この状態にならない

表 59.27 PBPS_SEC[n]ビットの書き込み／クリア保護

現在の状態					プログラムコマンドによって更新可能	
BPS_SEC [4n]	BPS_SEC [4n+1]	BPS_SEC [4n+2]	BPS_SEC [4n+3]	PBPS_SEC [n]	PBPS_SEC[n] = 1	PBPS_SEC[n] = 0
0	0	0	0	1	O	O
1	1 または 0	1 または 0	1 または 0	0	—	—
1 または 0	1	1 または 0	1 または 0	0	—	—
1 または 0	1 または 0	1	1 または 0	0	—	—
1 または 0	1 または 0	1 または 0	1	0	—	—
1	1 または 0	1 または 0	1 または 0	1	O	X
1 または 0	1	1 または 0	1 または 0	1	O	X
1 または 0	1 または 0	1	1 または 0	1	O	X
1 または 0	1 または 0	1 または 0	1	1	O	X
0	0	0	0	0	X	O

備考：

O：コンフィグレーション設定コマンドによって更新可能。

X：コンフィグレーション設定コマンドによって更新不可。（エラーにはならない。）

—：この状態にならない

59.8.4 TrustZone に対する MRAM 保護

TrustZone に対する MRAM 保護は、セキュリティ有効製品でのみ利用できます。

MRAM には、MRAM 用の TrustZone 仕様をサポートするために、非セキュアアクセスに対して以下の 4 種類の保護機能があります。この項の説明は、エクストラ MRAM シーケンサの動作に焦点を合わせています。

- コード MRAM 領域の保護（プログラム）
- エクストラ MRAM 領域の保護（プログラム）
- MRAM 領域の保護（読み出し）
- レジスタの保護

59.8.4.1 コード MRAM 領域の保護（プログラム）

この機能は、コード MRAM をバスアクセス（CPU、DMAC など）から保護します。保護の詳細については、「51. セキュリティ機能」を参照してください。

59.8.4.2 エクストラ MRAM 領域の保護（プログラム）

この機能は、エクストラ MRAM のセキュア領域を、非セキュア開発者の MRAM シーケンサコマンドから保護します。保護の条件は、エクストラ MRAM シーケンサコマンド、アクセス属性、および製品仕様に依存します。

エクストラ MRAM 領域の保護（プログラム）の詳細は、表 59.28 を参照してください。

エクストラ MRAM 領域ではプリビレッジアクセスのみが許可されます。

表 59.28　エクストラ MRAM 領域の保護（プログラム）

MACI コマンド		対象領域		非セキュアアクセスによる MACI コマンド発行	セキュアアクセスによる MACI コマンド発行
プログラム	エクストラ MRAM	MRAM および OTP 領域（非セキュア領域）	セキュアエイリアス(注1)	X	X
			非セキュアエイリアス(注2)	O	O
		MRAM および OTP 領域（セキュア領域）	セキュアエイリアス(注1)	X	O
			非セキュアエイリアス(注2)	X	X
コンフィグレーション設定	エクストラ MRAM	コンフィグレーション領域（非セキュア領域）	セキュアエイリアス(注1)	X	X
			非セキュアエイリアス(注2)	O	O
		コンフィグレーション領域（セキュア領域）	セキュアエイリアス(注1)	X	O
			非セキュアエイリアス(注2)	X	X
カウンタインクリメント カウンタ読み出し	エクストラ MRAM	アンチロールバックカウンタ領域（セキュア領域のみ）	—	X	O

注 1.　MSADDR[28]のアドレスが 0 のときにセキュアエイリアスと判定されます。
注 2.　MSADDR[28]のアドレスが 1 のときに非セキュアエイリアスと判定されます。

備考：

O：MACI コマンド動作が禁止されていない。

X：MACI コマンド動作が禁止されている。

該当領域が選択され、MACI コマンドが実行されるとエラーになります。

コンフィグレーション領域には、セキュリティ有効製品とセキュリティ無効製品のための 2 種類のセキュア領域マッピングがあります。コンフィグレーション領域の非セキュア／セキュア領域の詳細については、図 59.21 を参照してください。

エクストラ MRAM シーケンサは、MSADDR レジスタの設定および製品情報から、対象領域がセキュア領域かどうかを判断します。

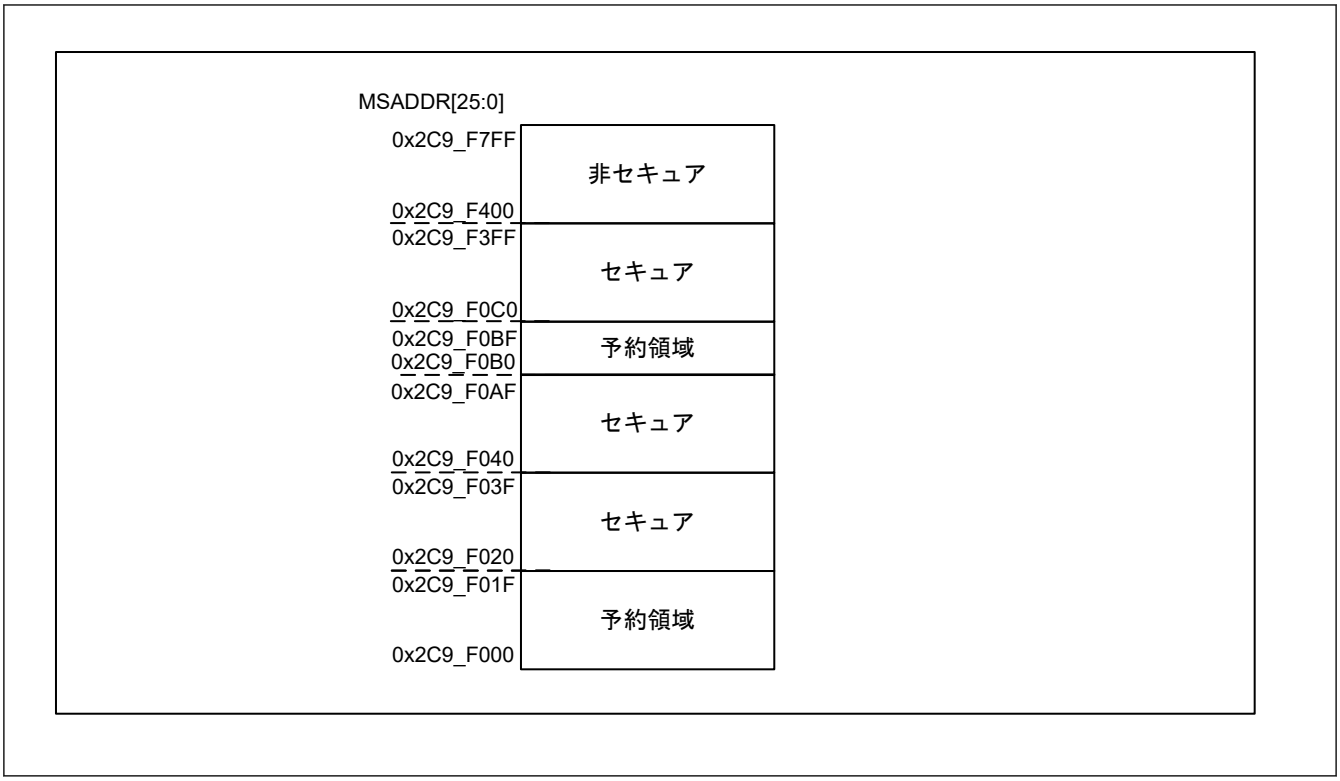


図 59.21　コンフィグレーション領域のセキュア／非セキュア領域

59.8.4.3　MRAM 領域の保護（読み出し）

この機能はコード MRAM およびエクストラ MRAM をバスアクセス（CPU、DMAC など）から保護します。詳細については、ユーザーズマニュアル：xx セキュリティ機能を参照してください。

59.8.4.4　レジスタの保護

MRAM レジスタには、非セキュアアクセスに対するライトアクセス保護があります。保護された MRAM レジスタの詳細については、表 59.29 を参照してください。MRAM レジスタはプリビレッジでアクセスできます。

表 59.29　TrustZone 用の保護された MRAM レジスタ (1/2)

保護対象レジスタ	セキュリティ属性設定	備考
MRCEECC	SA レジスタの設定 (MSAR.MRBCPSA)	「59.5.40. MRCEECC : コード MRAM ECC エンコーダコントロールレジスタ」を参照してください。 MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MRPSC および MREEECC	SA レジスタの設定 (MSAR.MRBEPSA)	「59.5.31. MRPSC : MRAM プログラム速度コントロールレジスタ」と MREEECC : エクストラ MRAM ECC エンコーダコントロールレジスタを参照してください。 MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MRCPC0、MRCBPROT0、MRCPS、MRCPEAINT、および MRCPEA	SA レジスタの設定 (MSAR.MRCPSA)	「59.5.32. MRCPC0 : コード MRAM プログラムコントロールレジスタ」、「59.5.34. MRCBPROT0 : コード MRAM ブロック保護レジスタ」、「59.5.36. MRCPS : コード MRAM プログラムステータスレジスタ」、「59.5.37. MRCPAEINT : コード MRAM プログラムアクセスエラー割り込み許可レジスタ」、「59.5.38. MRCPEA : コード MRAM 書き込みエラーアドレスレジスタ」を参照してください。 MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MSAR	常にセキュア	「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。

表 59.29 TrustZone 用の保護された MRAM レジスタ (2/2)

保護対象レジスタ	セキュリティ属性設定	備考
MCTRCNTR、MCTRLSR、および MCTRSTATR	SA レジスタの設定 (MSAR.MACITRSA)	「59.5.22. MCTRCNTR : MRAM コンフィグレーション更新転送コントロールレジスタ」、「59.5.23. MCTRLSR : MRAM コンフィグレーション更新転送リスト選択レジスタ」、および「59.5.24. MCTRSTATR : MRAM コンフィグレーション更新転送ステータスレジスタ」を参照してください。 MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MRAM アクセス領域	SA レジスタの設定 (MSAR.MACICOMISA)	MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MACI(注1)	SA レジスタの設定 (MSAR.MACICOMRSA)	MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MRCPFB	SA レジスタの設定 (MSAR.MPFBENSA)	「59.5.1. MRCPFB : コード MRAM プリフェッチバッファイネーブルレジスタ」を参照してください。 MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MRCFREQ	SA レジスタの設定 (MSAR.MRCFREQSA)	「59.5.2. MRCFREQ : コード MRAM 周波数通知レジスタ」を参照してください。 MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MRCDECC、MRCRAEINT、MRCRAES、MRCRTEA、および MRCRDEA	SA レジスタの設定 (MSAR.MRCECCSA)	「59.5.4. MRCDECC : コード MRAM ECC デコーダコントロールレジスタ」、「59.5.5. MRCRAEINT : コード MRAM 読み出しアクセスエラー割り込み許可レジスタ」、「59.5.6. MRCRAES : コード MRAM 読み出しアクセスエラーステータスレジスタ」、「59.5.7. MRCRTEA : コード MRAM TED エラーアドレスレジスタ」、および「59.5.8. MRCRDEA : コード MRAM DEC エラーアドレスレジスタ」を参照してください。 MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MREFREQ	SA レジスタの設定 (MSAR.MREFREQSA)	「59.5.3. MREFREQ : エクストラ MRAM 周波数通知レジスタ」を参照してください。 MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MREDECC、MRERAEINT、MRERAES、MRERTEA、および MRERDEA	SA レジスタの設定 (MSAR.MREECCSA)	MREDECC : エクストラ MRAM ECC デコーダコントロールレジスタ、「59.5.9. MRERAEINT : エクストラ MRAM 読み出しアクセスエラー割り込み許可レジスタ」、「59.5.10. MRERAES : エクストラ MRAM 読み出しアクセスエラーステータスレジスタ」、「59.5.11. MRERTEA : エクストラ MRAM TED エラーアドレスレジスタ」、および「59.5.12. MRERDEA : エクストラ MRAM DEC エラーアドレスレジスタ」を参照してください。 MSAR レジスタの詳細は、「59.5.13. MSAR : MRAM セキュリティ属性レジスタ」を参照してください。
MREZS、MREZC、MCNTSELR、MCNTDATAR0～MCNTDATAR1、MRCPC1、MRCBPROT1、および MSUACR	常にセキュア	「59.5.14. MREZS : エクストラ MRAM ゼロ化ステータスレジスタ」、「59.5.15. MREZC : エクストラ MRAM ゼロ化コントロールレジスタ」、「59.5.20. MCNTSELR : MRAM カウンタ選択レジスタ」、「59.5.21. MCNTDTRn : MRAM カウンタデータレジスタ (n = 0, 1)」、「59.5.33. MRCPC1 : セキュア用 MRAM プログラムコントロールレジスタ」、「59.5.35. MRCBPROT1 : セキュア用コード MRAM ブロック保護レジスタ」、および「59.5.30. MSUACR : MRAM スタートアップ領域コントロールレジスタ」を参照してください。

注 1. 対象の MACI レジスタは、MASTAT、MPAEINT、MRDYIE、MSADDR、MSTATR、MENTRYR、MSUINITR、MCMDR、および MSUASMON です。

59.8.5 アンチロールバックカウンタ

アンチロールバックカウンタはファームウェアアップデートに使用される、デクリメント不可のカウンタです。セキュアアプリケーションだけが使用可能です。アンチロールバックカウンタは、カウンタインクリメントコマンドが実行されると、初期値の 0 から 1 ビットずつ左シフトします。最下位ビット（ビット 0）が 1 になります。アンチロールバックカウンタが最大値に達すると、エクストラ MRAM シーケンサではカウンタインクリメントコマンドによってカウンタが変更されません（エラーは発生しません）。

カウンタを制御するコマンドは 3 種類あります。詳細は、「59.7.4.9. カウンタインクリメントコマンド」と「59.7.4.10. カウンタ読み出しコマンド」を参照してください。

カウンタインクリメントコマンドによってアンチロールバックカウンタの値がどのようにインクリメントしていくかを図 59.22 に示します。

図 59.22　アンチロールバックカウンタのインクリメントのイメージ

アンチロールバックカウンタには 3 種類（ARC_SEC、ARC_NSEC、および ARC_OEMBL）があります。また、各カウンタを保護するためのロックビット（ARCSEC_LK、ARCNSEC_LK0～3、および ARCOEMBL_LK）があります。

ARC_NSEC カウンタについては、コンフィグレーション領域設定（CNF_ARCNS1 および CNF_ARCNS0）で 256 ビット×1 ライン構成と 64 ビット×4 ライン構成のどちらかが選べます。また、ARC_NSEC カウンタは不正な設定に更新することはできません。

ARC_OEMBL はセキュリティエンジンによって保護されており、OEM ブートローダーの更新検証が成功するまで更新できません。検証成功の後、セキュリティエンジンによって ARC_OEMBL を現在の OEM ブートローダーバージョン (OEM BL Ver.) の出力に更新できます。ARC_OEMBL を OEM ブートローダーバージョン (OEM BL Ver.) を超える値に更新することはできません。

59.8.6　HUK の保護

W-HUK のゼロ化は、いずれかの ZHUKEN[3:0]ビット（ゼロ化許可ビット）が 0 で、改ざん防止が検出されるか、MREZC レジスタの WHUKWE[2:0]ビットに 0x07 が設定されたときにトリガされます。W-HUK のゼロ化によって HUK の生成が禁止されます。表 59.30 に、許可ビットと要求信号の組み合わせを示します。コード MRAM またはエクストラ MRAM のプログラム中にゼロ化要求が受信されると、実行中のプログラムは強制終了され、ゼロ化プロセスが開始されます。ゼロ化中にコード MRAM プログラム要求が受信された場合、コード MRAM プログラムはゼロ化の完了後に開始されます。ゼロ化中、MACI コマンドは受け付けられません。W-HUK のゼロ化中は、すべての MACI コマンドが受け付けられず、エクストラ MRAM も読み出せません。

表 59.30　要求信号と許可ビットの組み合わせ (1/2)

ゼロ化要求信号				ゼロ化許可ビット				
WHUKZE [2:0]	RTCIC			ZHUKEN				機能
	2	1	0	3	2	1	0	
0x7	—	—	—	0	—	—	—	O
0x7	—	—	—	1	—	—	—	Oe
0x7 以外	—	—	—	—	—	—	—	X
—	1	—	—	—	0	—	—	O
—	1	—	—	—	1	—	—	Oe
—	0	—	—	—	—	—	—	X
—	—	1	—	—	—	0	—	O

表 59.30　要求信号と許可ビットの組み合わせ (2/2)

ゼロ化要求信号				ゼロ化許可ビット				
WHUKZE [2:0]	RTCIC			ZHUKEN				機能
	2	1	0	3	2	1	0	
—	—	1	—	—	—	1	—	Oe
—	—	0	—	—	—	—	—	X
—	—	—	1	—	—	—	0	O
—	—	—	1	—	—	—	1	Oe
—	—	—	0	—	—	—	—	X

備考：

O: W-HUK のゼロ化

Oe：W-HUK の疑似ゼロ化

X：W-HUK のゼロ化が実行しない

—：Don't care

表 59.31 に、表 59.30 で説明した W-HUK の疑似ゼロ化と W-HUK のゼロ化の違いを示します。ゼロ化許可ビットが 1 で、改ざんが検出された場合は、W-HUK を物理的にゼロ化することなくゼロ化を完了するために MREZS.WHUKZF ビットが 0 になります（W-HUK の疑似ゼロ化）。

疑似は、ゼロ化改ざんイベントが発生したが、W-HUK のゼロ化の応答／アクションが許可されなかったために物理的に実行されなかったことを示します。MREZS レジスタのゼロ化された W-HUK のフラグが設定されているが、これは疑似改ざんであるため、次の電源サイクルで復元されます。W-HUK の使用は、次の電源サイクルまで禁止されます。ゼロ化許可ビットが 0 で、改ざんが検出された場合は、W-HUK の物理的なゼロ化が実行され、ゼロ化監視レジスタが 0 に設定されます（W-HUK のゼロ化）。ゼロ化機能が有効なときは、改ざんまたはソフトウェアトリガの後に永久になります（疑似ではない）。MREZS レジスタのゼロ化された W-HUK のフラグはクリア（0 に設定）され、永久に 0 のままになります。改ざん検出の詳細については、「12.1.7. 改ざん検出機能」を参照してください。

表 59.31　ゼロ化要求時の内部状態

表 59.30 の機能	動作名	ゼロ化許可ビット	W-HUK	ゼロ化監視レジスタ (MREZS)
Oe	W-HUK の疑似ゼロ化	禁止 (1)	ゼロ化しない	クリア
O	W-HUK のゼロ化	許可 (0)	ゼロ化	ゼロ化の完了後にフラグをクリア

59.8.7　OEM ROOT KEY 保護

OEM_ROOT_PKn は、オプション設定メモリでの REVOKE 設定によって取り消すことができます。OEM_BL を更新するときの OEM_ROOT_PK の使用方法の詳細については、「51. セキュリティ機能」を参照してください。

59.9　プロテクション機能

59.9.1　ソフトウェアプロテクション

ソフトウェアプロテクション機能は、レジスタおよびコンフィグレーション領域の設定に従って MRAM 書き込み操作を禁止します。

59.9.1.1　コード MRAM プログラムプロテクション

MRCPC0 レジスタが 0x0000 に設定されているとき、コード MRAM の非セキュアエイリアスの書き込みは禁止されます。MRCPC1 レジスタが 0x0000 に設定されているとき、コード MRAM のセキュアエイリアスの書き込みは禁止されます。コード MRAM プログラムプロテクションはブロックプロテクションよりも優先順位が高く、MRCBPROT0 または MRCBPROT1 レジスタによって解除できません。

59.9.1.2 ブロック保護設定によるプロテクション

ユーザー領域の各ブロックにはブロック保護設定（BPS または BPS_SEC）があります。MRCBPROT0 レジスタまたは MRCBPROT1 レジスタが 0x0000 で、ブロック保護ビットが 0 のとき、コード MRAM の非セキュアユーザー領域へのプログラムアクセスが禁止されます。MRCBPROT1 レジスタが 0x0000 で、ブロック保護ビットが 0 のとき、コード MRAM のセキュアユーザー領域へのプログラムアクセスが禁止されます。ブロック保護ビットが 0 のセクタを書き換えるためには、MRCBPROT0 レジスタまたは MRCBPROT1 レジスタを 0x0001 に設定してください。

ブロック保護設定は、永久ブロック保護設定（PBPS または PBPS_SEC）によりロックできます。永久ブロック保護設定およびブロック保護設定が 0 のとき、プログラムアクセスを実行できません。

有効なブロック保護設定（BPS または BPS_SEC）および永久ブロック保護設定（PBPS または PBPS_SEC）は、コード MRAM 境界設定に依存します。

永久ブロック保護設定およびブロック保護設定の詳細については、「59.8.3. 永久ブロック保護設定」を参照してください。

MRCBPROT0 レジスタおよび MRCBPROT1 レジスタの詳細は、「59.5.34. MRCBPROT0 : コード MRAM ブロック保護レジスタ」および「59.5.35. MRCBPROT1 : セキュア用コード MRAM ブロック保護レジスタ」を参照してください。

ブロック保護設定（BPS または BPS_SEC）、永久ブロック保護設定（PBPS または PBPS_SEC）、コード MRAM 境界設定の詳細は、ユーザーズマニュアル：xx オプション設定メモリを参照してください。

表 59.32～表 59.35 に、各機能設定でのユーザー領域とブロック保護設定の関係を示します。

- BPS[0]～BPS[n]または BPS_SEC[0]～BPS_SEC[n]は、ユーザー領域のブロックに割り当てられています（たとえば、アドレスは BASE_MC + 0x0000 0000～最終ブロックアドレスになります）。
- BPS[0]/BPS_SEC[0]および BPS[1]/BPS_SEC[1]は、スタートアップ領域選択設定（SAS.BTFLG ビット）およびスタートアップ領域サイズ選択設定（SAS.BTSIZE ビット）に応じてユーザー領域のブロックに割り当てられています。詳細は「59.9.3. スタートアッププログラムプロテクション」を参照してください。

表 59.32～表 59.35 に、ブロック保護設定の例を示します。

表 59.32 SAS.BTFLG ビットが 1 ですべてのサイズの場合のブロック保護設定例

アドレス（オフセットアドレス：BASE_MC）	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	2 KB	BPS[n]または BPS_SEC[n]	ブロック n	
⋮	⋮	⋮	⋮	
0x0000 3800～0x0000 3FFF	2 KB	BPS[7]または BPS_SEC[7]	ブロック 7	
0x0000 3000～0x0000 37FF	2 KB	BPS[6]または BPS_SEC[6]	ブロック 6	
0x0000 2800～0x0000 2FFF	2 KB	BPS[5]または BPS_SEC[5]	ブロック 5	
0x0000 2000～0x0000 27FF	2 KB	BPS[4]または BPS_SEC[4]	ブロック 4	
0x0000 1800～0x0000 1FFF	2 KB	BPS[3]または BPS_SEC[3]	ブロック 3	
0x0000 1000～0x0000 17FF	2 KB	BPS[2]または BPS_SEC[2]	ブロック 2	
0x0000 0800～0x0000 0FFF	2 KB	BPS[1]または BPS_SEC[1]	ブロック 1	
0x0000 0000～0x0000 07FF	2 KB	BPS[0]または BPS_SEC[0]	ブロック 0	

表 59.33 SAS.BTFLG ビットが 0 で SAS.BTSIZE が 11 の場合のブロック保護設定例 (1/2)

アドレス（オフセットアドレス：BASE_MC）	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	2 KB	BPS[n]または BPS_SEC[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
0x0000 4000～0x0000 47FF	2 KB	BPS[8]または BPS_SEC[8]	ブロック 8	—

表 59.33　SAS.BTFLG ビットが 0 で SAS.BTSIZE が 11 の場合のブロック保護設定例 (2/2)

アドレス（オフセットアドレス : BASE_MC）	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
0x0000 3800～0x0000 3FFF	2 KB	BPS[7]または BPS_SEC[7]	ブロック 3	本スタートアップ領域選択設定ではブロック 3 とブロック 7 をスワップ
0x0000 3000～0x0000 37FF	2 KB	BPS[6]または BPS_SEC[6]	ブロック 2	本スタートアップ領域選択設定ではブロック 2 とブロック 6 をスワップ
0x0000 2800～0x0000 2FFF	2 KB	BPS[5]または BPS_SEC[5]	ブロック 1	本スタートアップ領域選択設定ではブロック 1 とブロック 5 をスワップ
0x0000 2000～0x0000 27FF	2 KB	BPS[4]または BPS_SEC[4]	ブロック 0	本スタートアップ領域選択設定ではブロック 0 とブロック 4 をスワップ
0x0000 1800～0x0000 1FFF	2 KB	BPS[3]または BPS_SEC[3]	ブロック 7	本スタートアップ領域選択設定ではブロック 3 とブロック 7 をスワップ
0x0000 1000～0x0000 17FF	2 KB	BPS[2]または BPS_SEC[2]	ブロック 6	本スタートアップ領域選択設定ではブロック 2 とブロック 6 をスワップ
0x0000 0800～0x0000 0FFF	2 KB	BPS[1]または BPS_SEC[1]	ブロック 5	本スタートアップ領域選択設定ではブロック 1 とブロック 5 をスワップ
0x0000 0000～0x0000 07FF	2 KB	BPS[0]または BPS_SEC[0]	ブロック 4	本スタートアップ領域選択設定ではブロック 0 とブロック 4 をスワップ

表 59.34　SAS.BTFLG ビットが 0 で SAS.BTSIZE が 10 の場合のブロック保護設定例

アドレス（オフセットアドレス:BASE_MC）	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	2 KB	BPS[n]または BPS_SEC[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
0x0000 8000～0x0000 87FF	2 KB	BPS[16]または BPS_SEC[16]	ブロック 16	—
0x0000 7800～0x0000 7FFF	2 KB	BPS[15]または BPS_SEC[15]	ブロック 7	本スタートアップ領域選択設定ではブロック 7 とブロック 15 をスワップ
0x0000 7000～0x0000 77FF	2 KB	BPS[14]または BPS_SEC[14]	ブロック 6	本スタートアップ領域選択設定ではブロック 6 とブロック 14 をスワップ
⋮	⋮	⋮	⋮	—
0x0000 4800～0x0000 4FFF	2 KB	BPS[9]または BPS_SEC[9]	ブロック 1	本スタートアップ領域選択設定ではブロック 1 とブロック 9 をスワップ
0x0000 4000～0x0000 47FF	2 KB	BPS[8]または BPS_SEC[8]	ブロック 0	本スタートアップ領域選択設定ではブロック 0 とブロック 8 をスワップ
0x0000 3800～0x0000 3FFF	2 KB	BPS[7]または BPS_SEC[7]	ブロック 15	本スタートアップ領域選択設定ではブロック 7 とブロック 15 をスワップ
0x0000 3000～0x0000 37FF	2 KB	BPS[6]または BPS_SEC[6]	ブロック 14	本スタートアップ領域選択設定ではブロック 6 とブロック 14 をスワップ
⋮	⋮	⋮	⋮	—
0x0000 0800～0x0000 0FFF	2 KB	BPS[1]または BPS_SEC[1]	ブロック 9	本スタートアップ領域選択設定ではブロック 1 とブロック 9 をスワップ
0x0000 0000～0x0000 07FF	2 KB	BPS[0]または BPS_SEC[0]	ブロック 8	本スタートアップ領域選択設定ではブロック 0 とブロック 8 をスワップ

表 59.35　SAS.BTFLG ビットが 0 で SAS.BTSIZE が 01 の場合のブロック保護設定例 (1/2)

アドレス（オフセットアドレス:BASE_MC）	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	2 KB	BPS[n]または BPS_SEC[n]	ブロック n	—
⋮	⋮	⋮	⋮	—

表 59.35 SAS.BTFLG ビットが 0 で SAS.BTSIZE が 01 の場合のブロック保護設定例 (2/2)

アドレス (オフセットアドレス:BASE_MC)	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
0x0001 0000～0x0001 07FF	2 KB	BPS[32]または BPS_SEC[32]	ブロック 32	—
0x0000 F800～0x0000 FFFF	2 KB	BPS[31]または BPS_SEC[31]	ブロック 15	本スタートアップ領域選択設定ではブロック 15 とブロック 31 をスワップ
0x0000 F000～0x0000 F7FF	2 KB	BPS[30]または BPS_SEC[30]	ブロック 14	本スタートアップ領域選択設定ではブロック 14 とブロック 30 をスワップ
⋮	⋮	⋮	⋮	—
0x0000 8800～0x0000 8FFF	2 KB	BPS[17]または BPS_SEC[17]	ブロック 1	本スタートアップ領域選択設定ではブロック 1 とブロック 17 をスワップ
0x0000 8000～0x0000 87FF	2 KB	BPS[16]または BPS_SEC[16]	ブロック 0	本スタートアップ領域選択設定ではブロック 0 とブロック 16 をスワップ
0x0000 7800～0x0000 7FFF	2 KB	BPS[15]または BPS_SEC[15]	ブロック 31	本スタートアップ領域選択設定ではブロック 15 とブロック 31 をスワップ
0x0000 7000～0x0000 77FF	2 KB	BPS[14]または BPS_SEC[14]	ブロック 30	本スタートアップ領域選択設定ではブロック 14 とブロック 30 をスワップ
⋮	⋮	⋮	⋮	—
0x0000 0800～0x0000 0FFF	2 KB	BPS[1]または BPS_SEC[1]	ブロック 17	本スタートアップ領域選択設定ではブロック 1 とブロック 17 をスワップ
0x0000 0000～0x0000 07FF	2 KB	BPS[0]または BPS_SEC[0]	ブロック 16	本スタートアップ領域選択設定ではブロック 0 とブロック 16 をスワップ

59.9.2 エラープロテクション

エラープロテクションは、不正 MACI コマンドの発行、不正アクセス、およびエクストラ MRAM シーケンサの誤動作を検出します。エラー検出時 MACI コマンドは受け付けられなくなります（コマンドロック状態）。エクストラ MRAM シーケンサがコマンドロック状態では、エクストラ MRAM は書き込みできません。コマンドロック状態から解放するには、ステータスクリアコマンドまたは強制停止コマンドを発行してください。ステータスクリアコマンドは、MSTATR レジスタの MRDY ビットが 1 の場合のみ使用可能です。強制停止コマンドは、MRDY ビットの値に関係なく使用できます。MPAEINT レジスタの CMDLKIE ビットが 1 のとき、エクストラ MRAM シーケンサがコマンドロック状態（MASTAT レジスタの CMDLK ビットが 1）になるとエクストラ MRAM アクセスエラー (MRAM_MREPR) 割り込みが発生します。

コマンドによってエクストラ MRAM シーケンサがコマンドロック状態になった場合、エクストラ MRAM シーケンサはプログラム処理を継続します。コマンドロック状態でコマンドが発行されると、ILGLERR ビットが 1 になり、その他のビットは前回のエラー検出によって設定された値を保持します。

表 59.36 にエラープロテクトの内容とエラー検出後のステータスビット値の関係を示します。

表 59.36　エラープロテクション種別 (1/2)

エラー種別	説明	ILGCOMERR	SECERR	OTERR	TZFERR	ILGLERR	PRGERR	CFGPRG	MREAE(注1)
不正コマンドエラー	コマンドの最初のサイクルで未定義のサイズが指定された（バイト書き込みではない）	1	0	0	0	1	0	0	0
	MACI コマンドの最初のアクセスで未定義コードが書き込まれた	1	0	0	0	1	0	0	0
	マルチアクセス MACI コマンドの最終アクセスで指定された値が 0xD0 でない	1	0	0	0	1	0	0	0
	プログラムコマンドまたはコンフィグレーション設定コマンドで MACI コマンドの 2 番目の書き込みで指定された値 (N) が間違っている	1	0	0	0	1	0	0	0
	カウンタインクリメントコマンドまたはカウンタ読み出しコマンドが発行されたが、MCNTSELR[2:0]の設定に矛盾がある（CNF_ARCNS[1:0]の設定の不一致を含む）	1	0	0	0	1	0	0	0
	各モードで使用できない MACI コマンドを発行（表 59.13 を参照）	1	0	0	0	1	0	0	0
	コマンド受け付け条件を満たさない状態で MACI コマンドを発行（表 59.14 を参照）	0/1	0/1	0/1	0	1	0/1	0/1	0/1
	ロックビット設定により保護されているアンチロールバック領域にカウンタインクリメントコマンドが発行された	1	0	0	0	1	0	0	0
	セキュリティエンジンからの OEM ブートローダーバージョン (OEM BL Ver.) 出力が ARC_OEMBL 値以下のときに ARC_OEMBL に対してカウンタインクリメントコマンドが発行された（「59.8.5. アンチロールバックカウンタ」を参照）	1	0	0	0	1	0	0	0
	ARC_OEMBL に対してカウンタインクリメントコマンドが発行されたが、その直前に ARC_OEMBL に対してカウンタ読み出しコマンドが発行されなかった（「59.8.5. アンチロールバックカウンタ」を参照）。	1	0	0	0	1	0	0	0
	エクストラ MRAM シーケンサのコマンド不正ステータスに対してコマンドが発行された（表 59.11 を参照）	0/1	0/1	0/1	0	1	0/1	0/1	0/1
書き込みエラー	プログラム中にエラー発生（OTP 領域データが 0 から 1 に変化したか、エラーを確認した）	0	0	0	0	0	1	0	0
コンフィグレーション設定エラー	コンフィグレーション設定中にエラーが発生した	0	0	0	0	0	0	1	0
アクセスエラー	エクストラ MRAM プログラムモードで予約領域にプログラムコマンドが発行された	0/1	0	0	0	1	0	0	1
	プログラムモードで予約済みコンフィグレーション領域にコンフィグレーション設定コマンドが発行された	0/1	0	0	0	1	0	0	1
	エクストラ MRAM プログラムモードで TrustZone 保護領域にプログラムコマンドまたはコンフィグレーション設定コマンドが発行された	0/1	0	0	1	1	0	0	1
	エクストラ MRAM プログラムモードで動作モード保護領域にコンフィグレーション設定コマンドが発行された	0/1	0	0	0	1	0	0	1

表 59.36　エラープロテクション種別 (2/2)

エラー種別	説明	ILGCOMERR	SECERR	OTERR	TZFERR	ILGLERR	PRGERR	CFGPRG	MREAE(注1)
セキュリティエラー	FSPR ビットが 0 のとき BTFLG ビット設定用のコンフィグレーション設定コマンドが発行された（「59.7.4.8. コンフィグレーション設定コマンド」を参照）	0	1	0	0	1	0	0	0
その他	読み出しモードで、MACI コマンド発行領域をアクセス	0	0	1	0	1	0	0	0
	プログラムモードで、MACI コマンド発行領域を読み出し	0	0	1	0	1	0	0	0

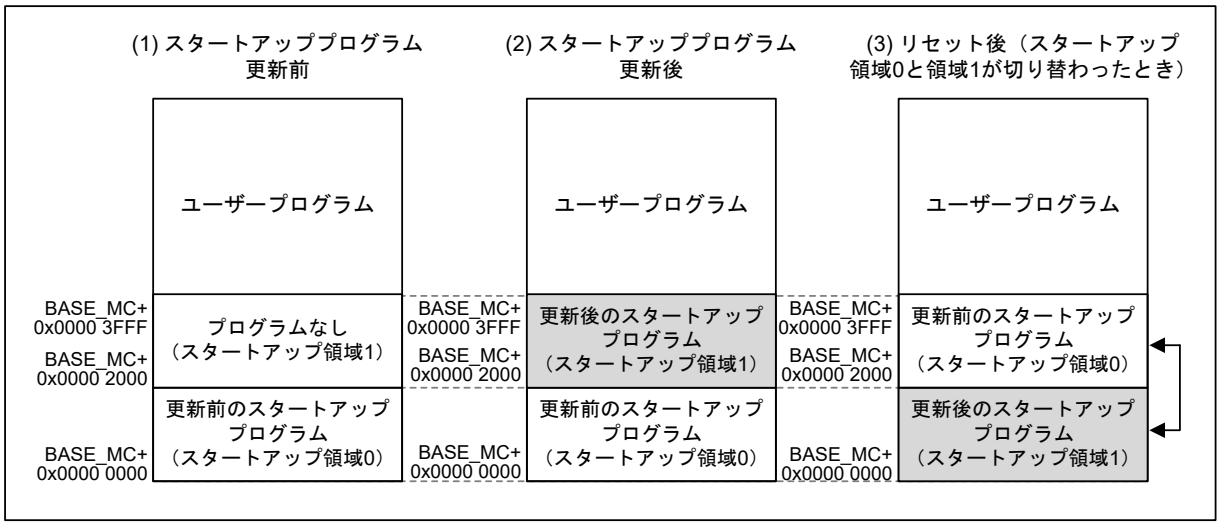
注 1.　MREAE ビット値は、MSADDR レジスタ設定に依存します。

59.9.3　スタートアッププログラムプロテクション

スタートアッププログラムプロテクションとは、リセット後に起動されるプログラム（スタートアッププログラム）の保護のことです。本機能は、リセット中に書き換えが中断されたスタートアッププログラムを安全に更新する手段になります。

スタートアップ領域のサイズは 8 KB、16 KB、または 32 KB で、コード MRAM のユーザー領域に割り当てられています。スタートアップ領域のサイズは BTSIZE ビットで変更することが可能です。スタートアップ領域のサイズを変更するときは、使用中のソフトウェアを破壊しないよう注意してください。本機能は SAS.BTFLG ビット、SAS.BTSIZE ビット、および MSUACR.SAS[1:0]ビット値を使用し、スタートアッププログラムがブロック単位で格納される領域を変更します（図 59.23～図 59.26 を参照）。

スタートアッププログラムプロテクションにおいて、スタートアップ領域の選択状態は、POFSPS.POFSPS[13]ビットで固定できます。ただし、POFSPS.POFSPS[13]ビットは、このフラグがいったん 0 になると 1 には復元されません。POFSPS.POFSPS[13]ビットの取り扱いには特に注意してください。



注. 読み出し、書き込みおよび消去には上記のアドレスが使用されます。項番 (3) の割り当てでブロックイレースコマンドがアドレス BASE_CF + 0x0000_0000 に発行されるとスタートアップ領域 0 が消去されます。

1. スタートアッププログラム更新前
   SAS.BTFLG = 1 および MSUACR.SAS[1:0] = 0xb のとき、アドレス範囲 BASE_MC + 0x0000_2000～BASE_MC + 0x0000_3FFF がスタートアップ領域 1 に、アドレス範囲 BASE_MC + 0x0000_0000～BASE_MC + 0x0000_1FFF がスタートアップ領域 0 に選択されます。
2. スタートアッププログラム更新後
   新しいスタートアッププログラムをスタートアップ領域 1 に書き込み可能です。このときスタートアップ領域 0 にはまだ前のスタートアッププログラムが残っているので、仮にスタートアップ領域 1 への書き換えが失敗した場合には、スタートアップ領域 0 から起動して書き換えることが可能です。
3. リセット後（スタートアップ領域 0 とスタートアップ領域 1 が切り替わったとき）
   スタートアップ領域 1 の書き換えが成功した場合、コンフィグレーション設定コマンドでスタートアップ領域選択ビット（SAS.BTFLG ビット）を書き換えることによりスタートアップ領域 0 とスタートアップ領域 1 の割り当てを切り替えてください。その後、プログラムはリセット後にスタートアップ領域 1 から起動します。

図 59.23 スタートアッププログラムプロテクションの概念

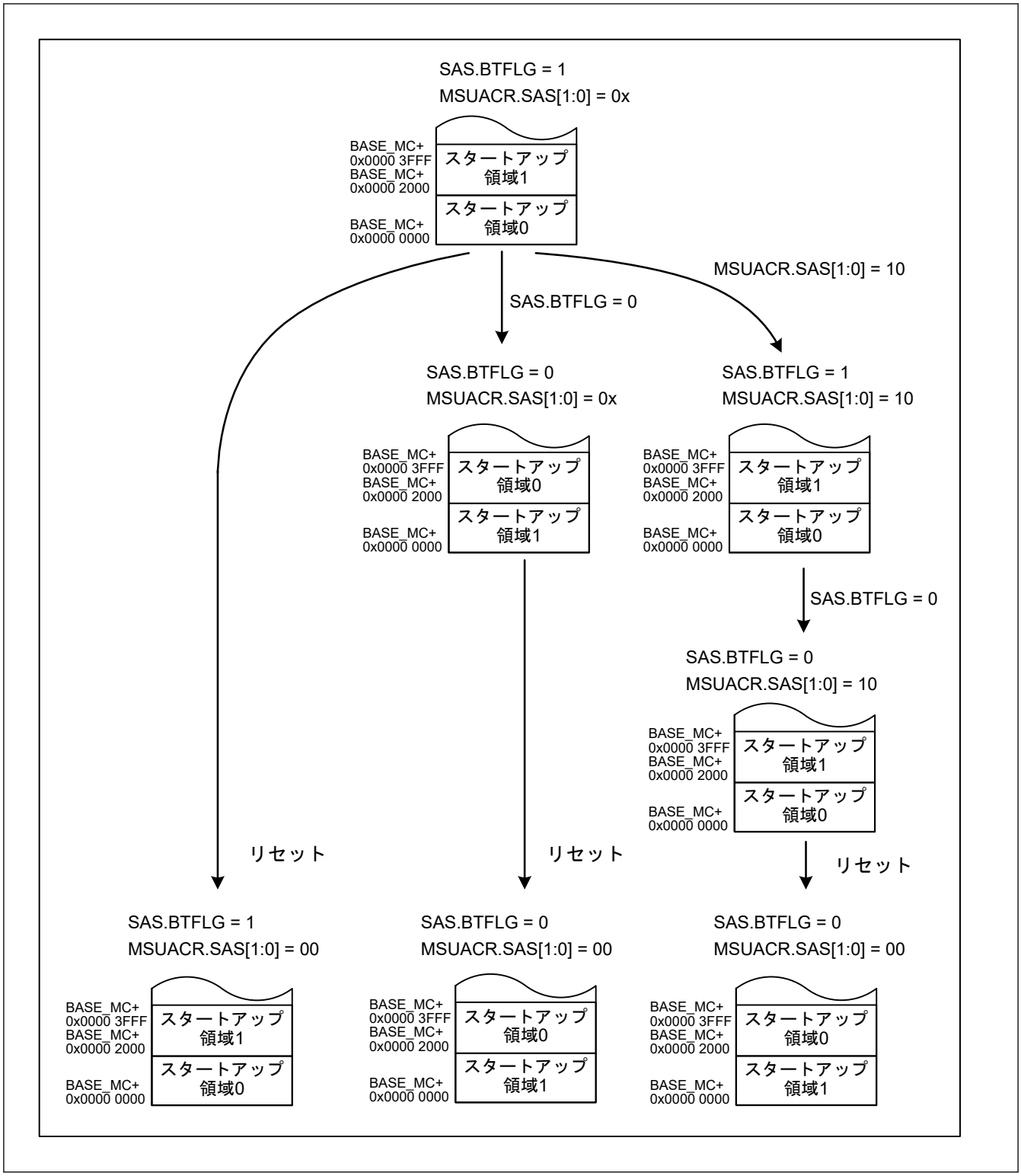


図 59.24　スタートアッププログラムプロテクション設定の遷移例 1

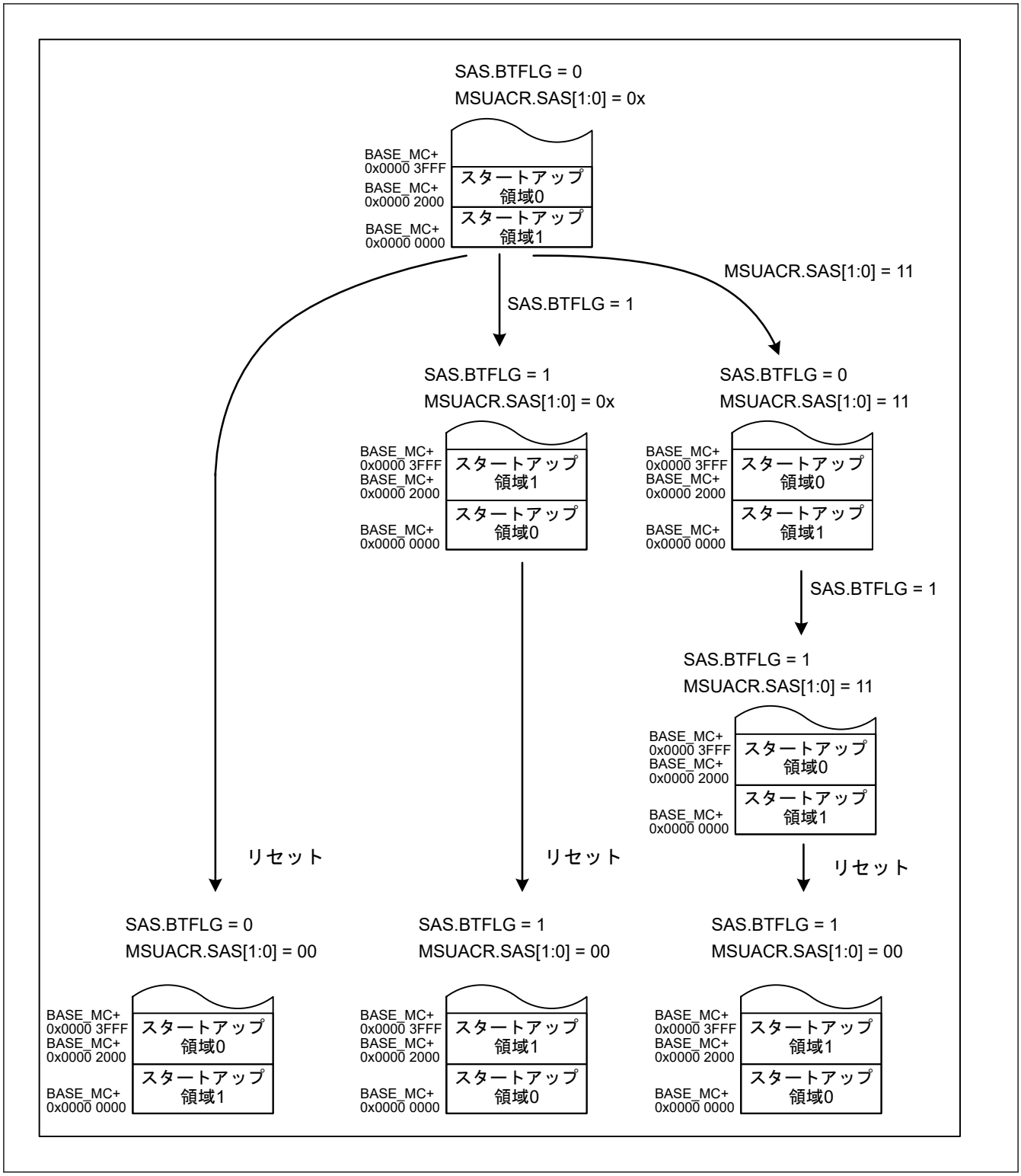


図 59.25　スタートアッププログラムプロテクション設定の遷移例 2

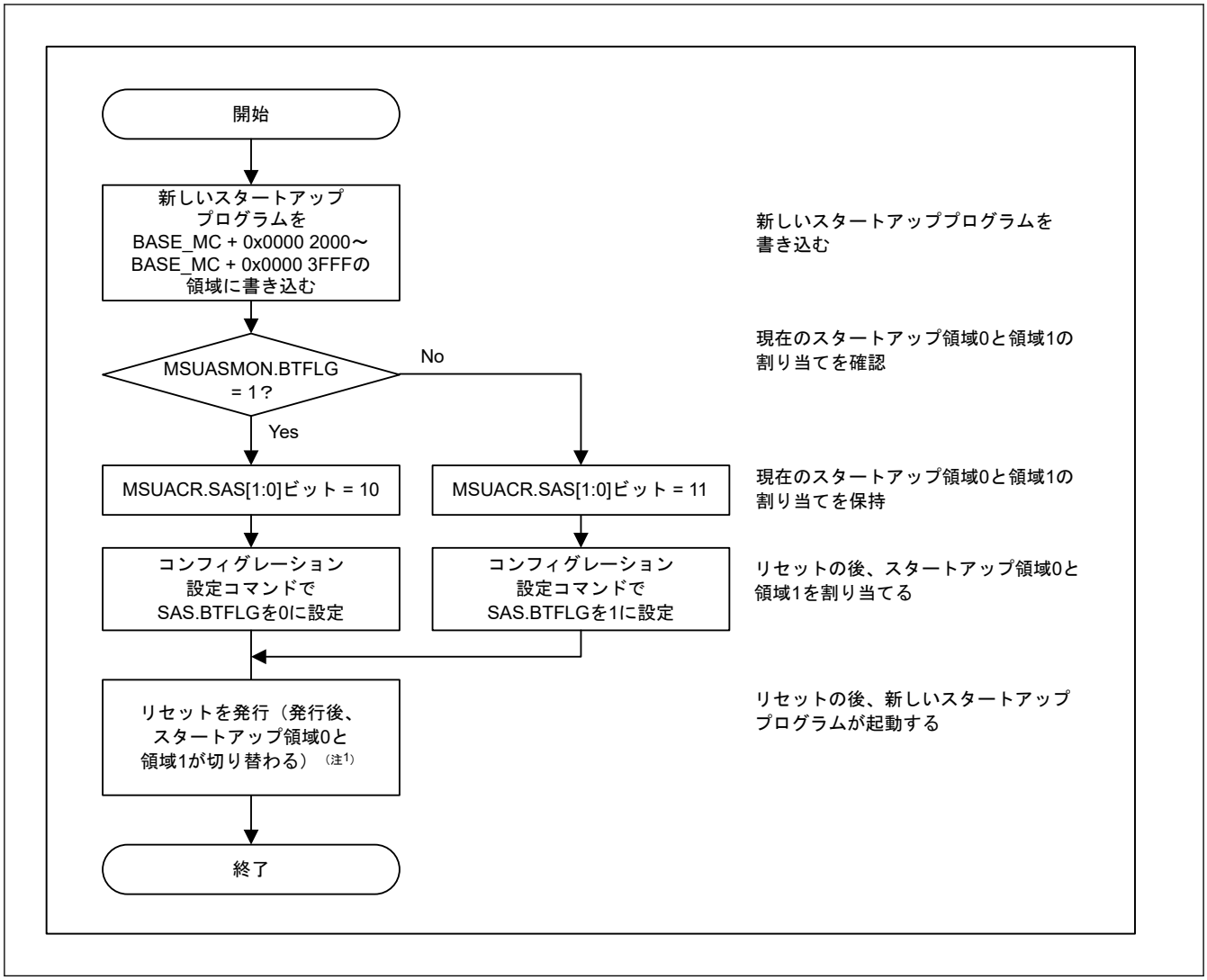


図 59.26　スタートアッププログラムプロテクションの概念

59.9.4　フォルトの訂正および検出

MRAM システムには誤りを検出して訂正する ECC 回路が装備されています。DEC-TED（ダブルビット誤り訂正およびトリプルビット誤り検出）ECC は 128 ビットのデータ単位で誤りを訂正します。コード MRAM は 256 ビットの読み出し用に 2 つの ECC 回路を使用し、エクストラ MRAM は 128 ビットの読み出し用に 1 つの ECC 回路を使用します。

コード MRAM 読み出しで DEC エラーが発生した場合、誤り訂正が行われ、MRCRAES.DECERRC ビットが 1 に設定されます。TED エラーが発生した場合、MRCRAES.TEDERRC ビットが 1 に設定されますが、誤り訂正はできません。エラーが検出されると、エラーアドレスは DEC エラーの場合は MRCRDEA レジスタに格納され、TED エラーの場合は MRCRTEA レジスタに格納されます。DEC エラーが発生した場合、エラーアドレスのデータを読み出し、ライトバックが行われます。TED エラーが発生した場合、32 バイトのデータをすべて更新し、正しいデータで上書きします。

エクストラ MRAM 読み出しで DEC エラーが発生した場合、誤り訂正が行われ、MRERAES.DECERRE ビットが 1 に設定されます。TED エラーが発生した場合、MRERAES.TEDERRE ビットが 1 に設定されますが、誤り訂正はできません。エラーが検出されると、エラーアドレスは DEC エラーの場合は MRERDEA レジスタに格納され、TED エラーの場合は MRERTEA レジスタに格納されます。DEC エラーが発生した場合、エラーアドレスのデータを読み出し、ライトバックが行われます。TED エラーが発生した場合、32 バイトのデータをすべて更新し、正しいデータで上書きします。

59.9.4.1 ECC 回路のテスト方法

ECC 回路はプログラムデータと ECC データを必要な値に設定することによってテストできます。図 59.27 に ECC テスト回路のブロック図を示します。

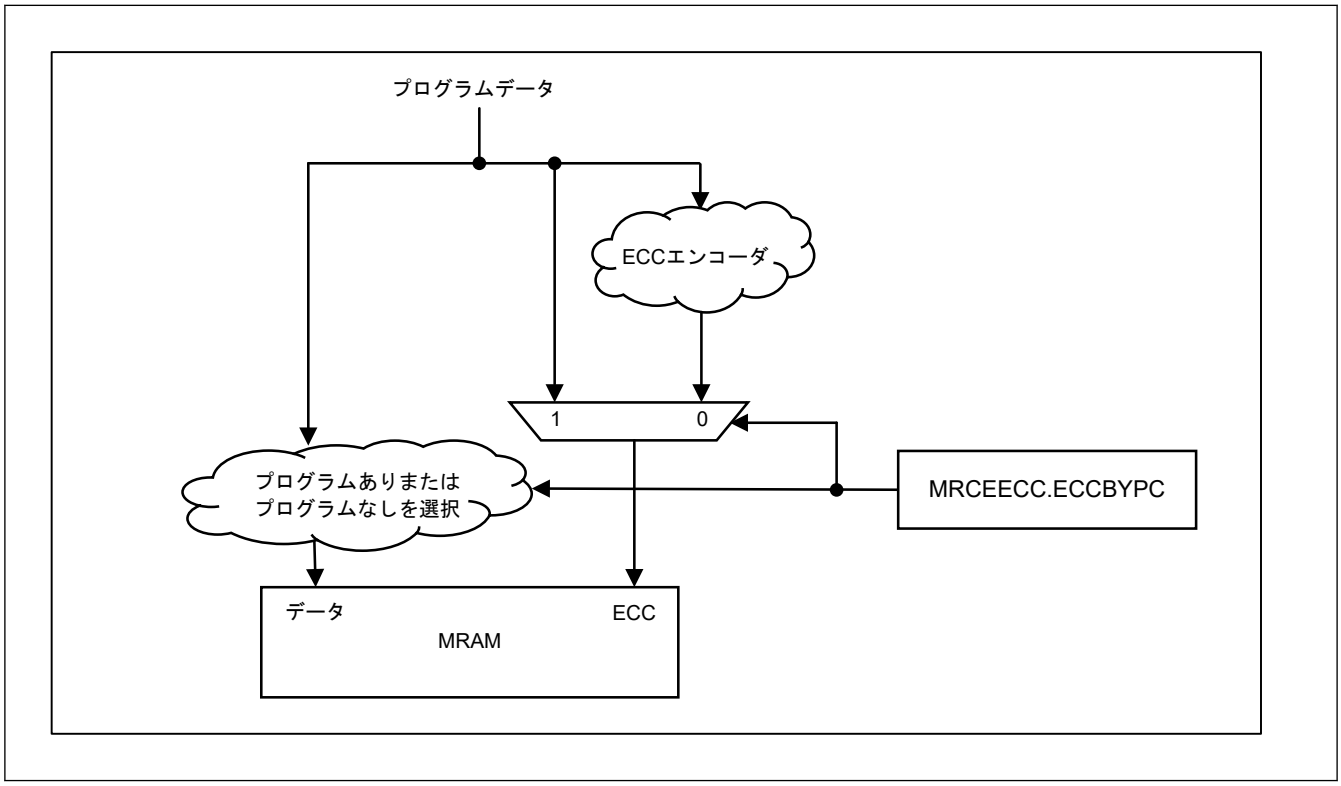


図 59.27 ECC テスト回路のブロック図

表 59.37 MRCEECC.ECCBYPC の値に応じたデータ割り当ての変化

MRCEECC.ECCBYPC	コード MRAM	
	データ[255:0]	ECC[33:0]
0	プログラムデータ[255:0]	プログラムデータ[127:0]から生成された ECC コード
1	プログラムなし	{プログラムデータ[144:128]、プログラムデータ[16:0]}

図 59.28 に、コード MRAM の ECC デコーダテストフローを示します。コード MRAM には 2 つの ECC デコーダがあり、ECC エラーはマージされるため、ECC デコーダをテストするときは、ECC デコーダ回路を個別にテストします。

[図 59.28 のメモ]

注 1.命令フェッチの ECC エラーを除去するため

注 2.エラーが発生した場合は別のアドレスでテストを再試行してください。

注 3.チェックするエラー条件に応じてコードのビットを反転します (1～3)

表 59.37 に示すビットを、作成したコードで置き換え、DATA と同じアドレスに書き込みます。

注 4.表 59.38 を参照してください。

表 59.38 チェック結果

チェック結果	期待される値		
	1 ビット反転	2 ビット反転	3 ビット反転
MRCRAES.DECERRC	0	1	0
MRCRAES.TEDERRC	0	0	1

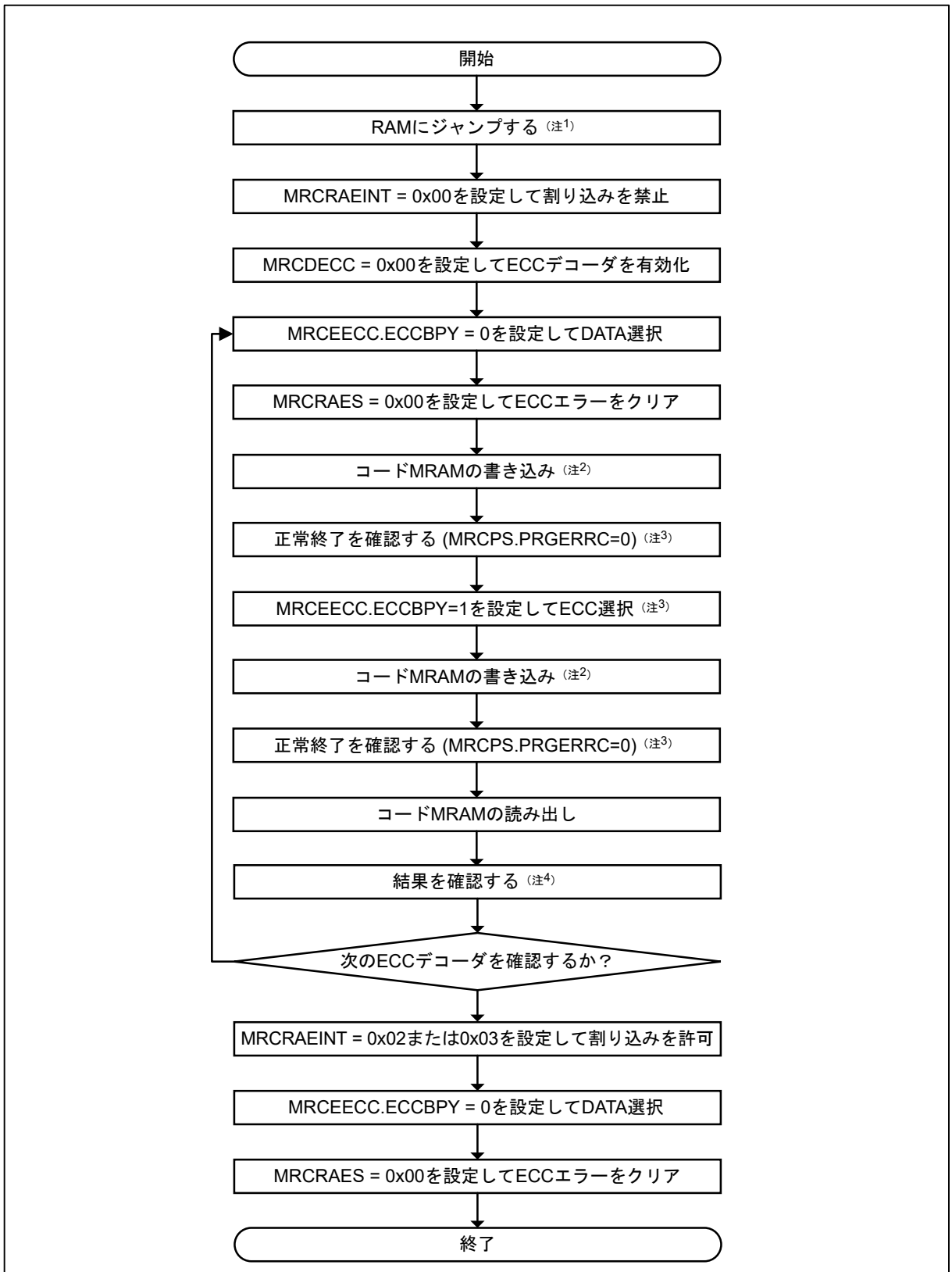


図 59.28　コード MRAM ECC デコーダテストフロー

59.10 コンフィグレーション更新転送

プログラムまたはコンフィグレーション設定コマンド操作の後、システムリセットを行わずにコンフィグレーション更新転送によってシステムステータスを更新できます。MACI は有効な領域を自動的に判断し、MCTRLSR レジスタ設定でマルチデータ転送を実行します。読み出しモードで MCTRCNTR の TRTRG ビットに 1 を書き込むことで（MENTRYR は 0x0000、MREZS レジスタの WHUKEXE ビットは 0）、MACI はエクストラ MRAM からデータを転送します。MCTRSTATR レジスタは、コンフィグレーション更新転送の処理ステータスを監視できます。エクストラ MRAM は、コンフィグレーションデータ転送中に読み出しできません。

図 59.29 に、コンフィグレーション更新転送の使用方法を示します。

MREZS レジスタの WHUKEXE ビットがコンフィグレーション更新転送フローで 1 に設定された場合、W-HUK のゼロ化の完了後にコンフィグレーション更新転送を再実行する必要があります。

関連するレジスタ仕様（MCTRCNTR、MCTRLSR、および MCTRSTATR レジスタ）の詳細については、「59.5.22. MCTRCNTR : MRAM コンフィグレーション更新転送コントロールレジスタ」、「59.5.23. MCTRLSR : MRAM コンフィグレーション更新転送リスト選択レジスタ」、および「59.5.24. MCTRSTATR : MRAM コンフィグレーション更新転送ステータスレジスタ」を参照してください。

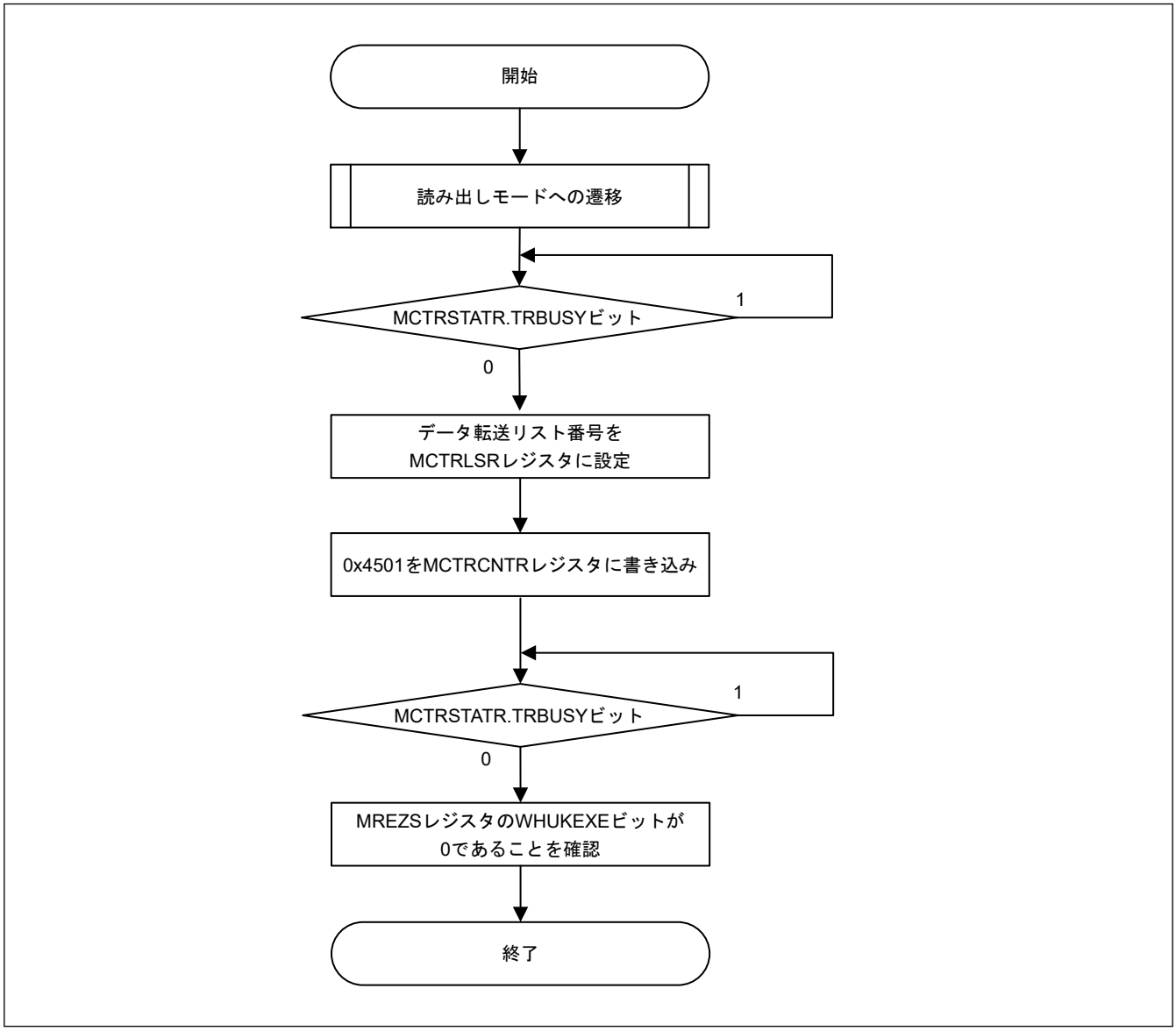


図 59.29 コンフィグレーション更新転送の使用方法

59.11 ブートモード

シリアルプログラミングモードには次の 2 種類があります。

- SCI9 によるブートモード（SCI インタフェース用）
- USBFS によるブートモード（USB インタフェース用）

表 59.39 にブートモードで使用する入出力端子の一覧を示します。表 59.40 にブートモードで使用可能な通信インタフェースの一覧を示します。

表 59.39 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード（SCI インタフェース） ブートモード（USB インタフェース）	動作モードの選択
P208/RXD9	入力	ブートモード（SCI インタフェース）	ホスト通信用（SCI データ受信用）
P209/TXD9	出力		ホスト通信用（SCI データ送信用）
USB_DP, USB_DM	入出力	ブートモード（USB インタフェース）	USB データの入出力
USB_VBUS	入力		USB ケーブルの接続／切断の検出

表 59.40 ブートモードで使用可能な通信インタフェース

メインクロック発振器または外部クロック接続	はい	いいえ	いいえ
サブクロック発振器接続(注1)	はいまたはいいえ	はい	いいえ
使用可能なインタフェース	SCI または USB	SCI または USB	SCI
ツール接続時間(注2)	最大 1 秒	最大 2 秒	最大 3 秒

注 1. サブクロック発振器の駆動能力は SOMCR.SODRV ビットにより標準に設定されています。自ボードの低駆動能力に対応した水晶を使用している場合、ブートモードでは水晶が発振しない可能性があります。
注 2. 接続時間の詳細については、ブートファームウェアのマニュアルを参照してください。

59.11.1 ブートモード（SCI インタフェース）

ブートモード（SCI インタフェース）では、ホストは制御コマンドや書き込み用データを送信し、これにより MRAM はプログラムされます。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモード（SCI インタフェース）で起動すると、MCU の専用領域上のプログラムが実行されます。ブートプログラムは、SCI のビットレートの自動調整と、ホストからの制御コマンドを受けてプログラム／イレースを制御します。

図 59.30 にブートモード（SCI インタフェース）時のシステム構成を示します。

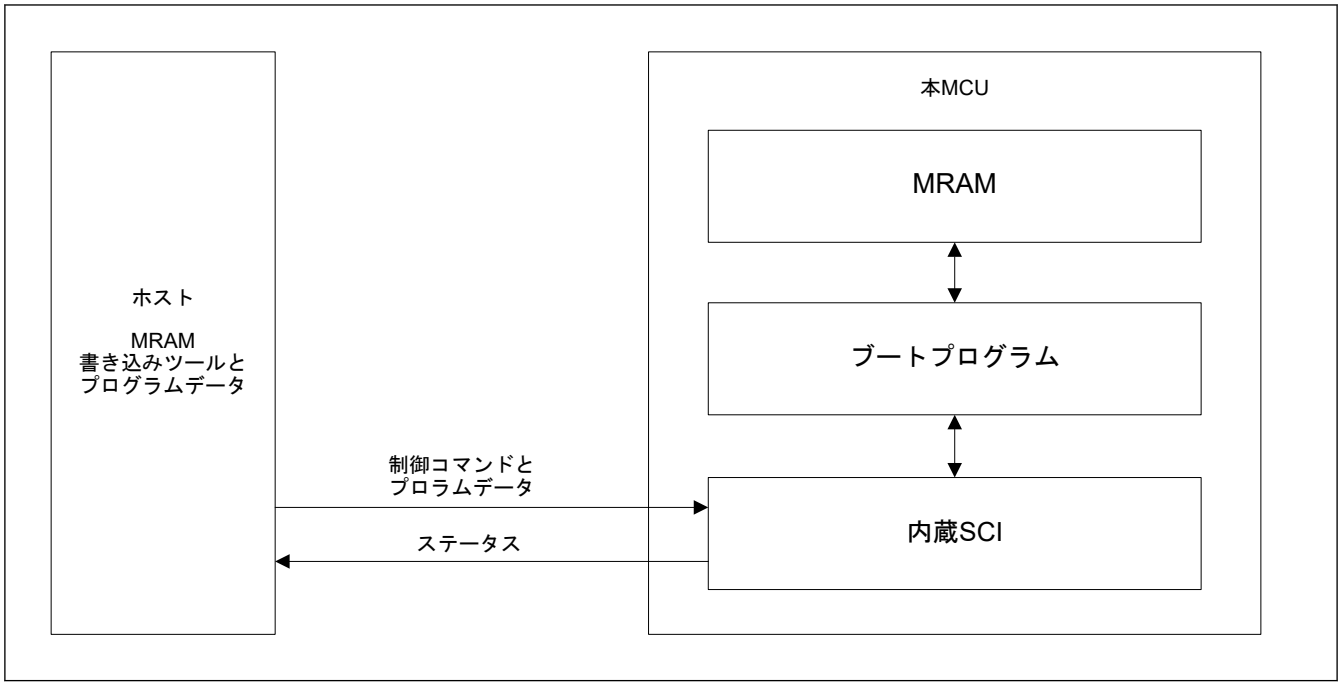


図 59.30　ブートモード（SCI インタフェース）時のシステム構成

59.11.2　ブートモード（USB インタフェース）

ブートモード（USB インタフェース）では、ホストから制御コマンドや書き込みデータを送信することにより MRAM への書き込みが可能です。ホストと本 MCU 間の通信には内蔵 USB が使用されます。ホストが制御コマンドや書き込み用のデータを送信するにはツールが必要です。図 59.31 にブートモード（USB インタフェース）のシステム構成を示します。リセット解除時、USB ケーブルが接続されていなければいけません。

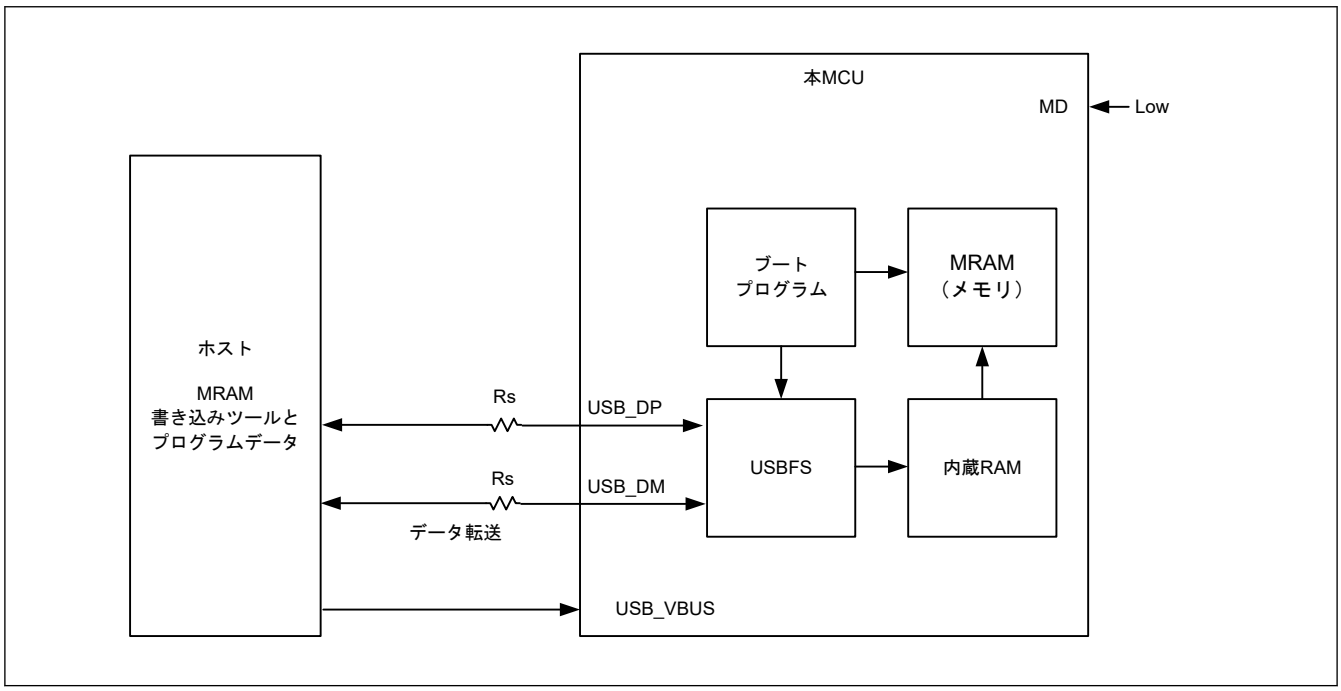


図 59.31　ブートモード（USB インタフェース）のシステム構成図

59.12　シリアルプログラマを使用した書き換え

シリアルプログラマを使用して、ブートモードで MRAM の書き換えを行うことができます。

(1) シリアルプログラミング

シリアルプログラミング時に、本 MCU はボードに装着されています。ボードにコネクタを備えることにより、シリアルプログラマは本 MCU の書き換えができます。

59.12.1 シリアルプログラミング環境

本 MCU の MRAM のデータを書き換えるための推奨される環境を図 59.32 に示します。

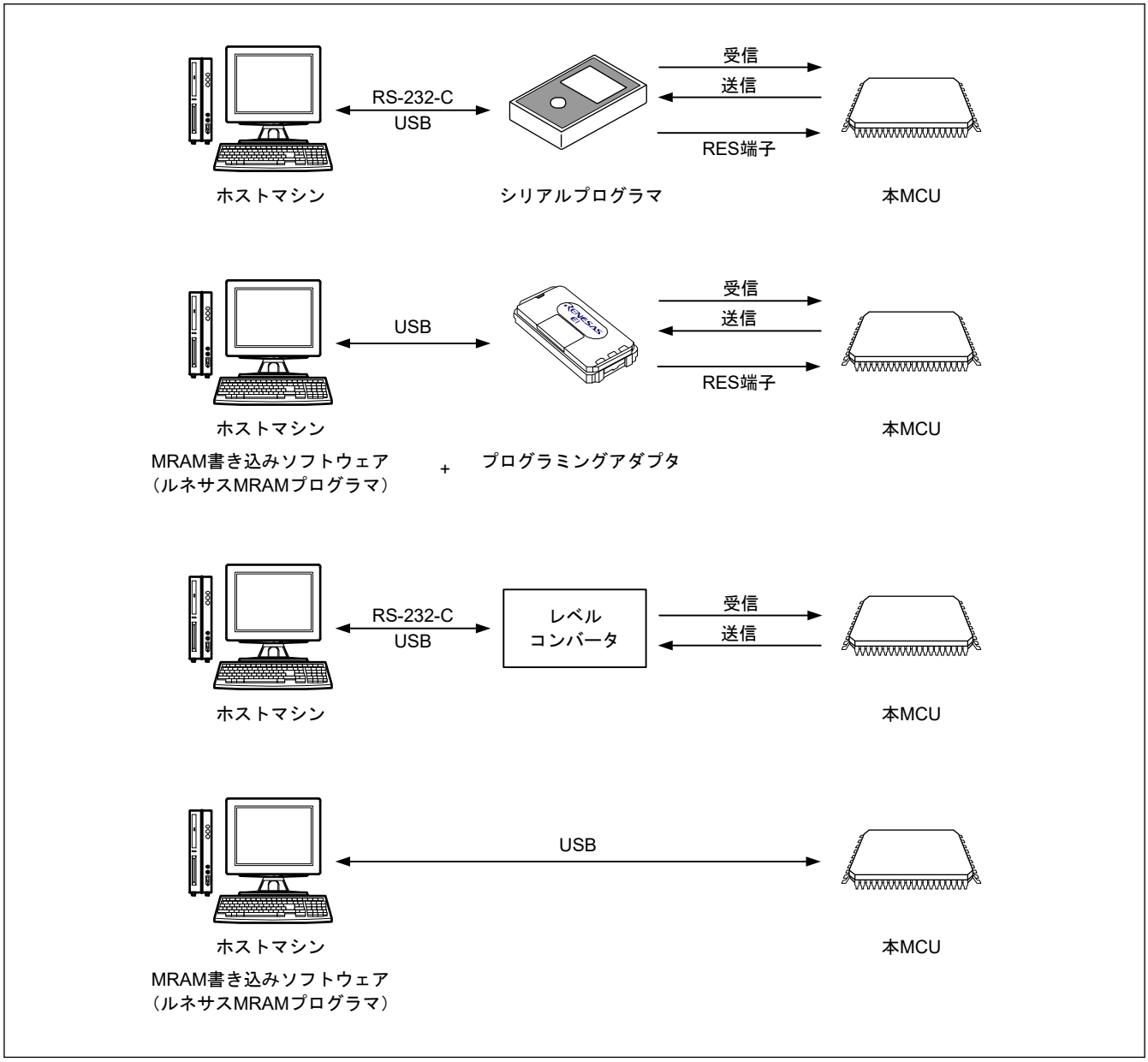


図 59.32 MRAM を書き換えるための環境

59.13 セルフプログラミングでの書き換え

59.13.1 概要

本 MCU は、ユーザープログラム自体による MRAM の書き換えをサポートします。書き込みページバッファまたは MACI コマンドをユーザーのプログラムで使用することにより、MRAM を書き換えられます。これにより、ユーザープログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

BGO が使用できないか、オプション設定メモリを書き換える場合、事前に内蔵 RAM または外部メモリに書き換え用のプログラムを転送する必要があります。

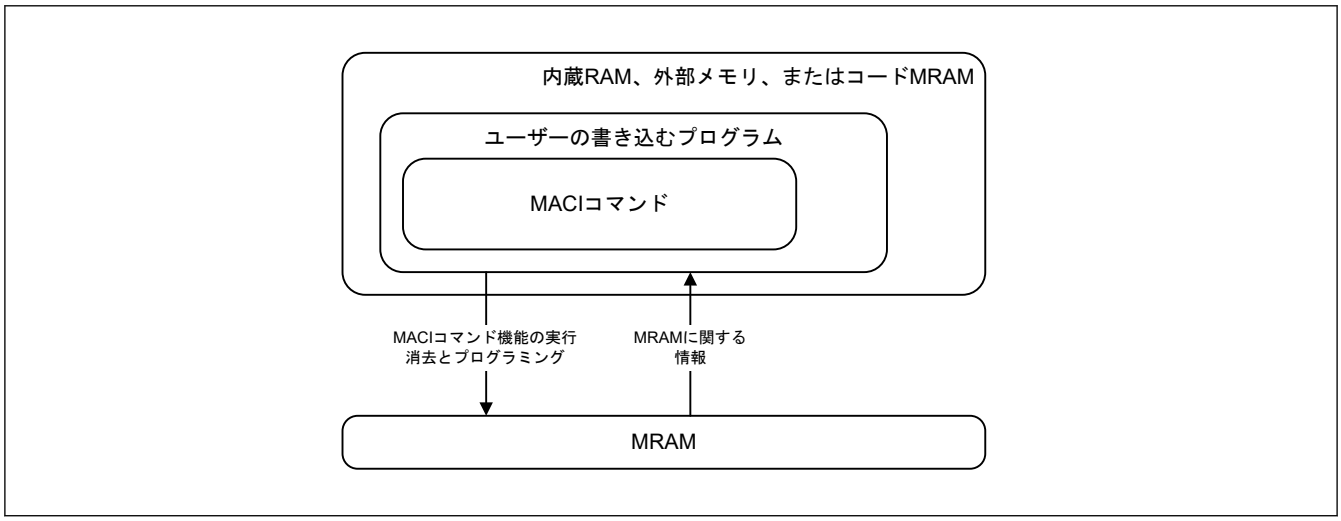


図 59.33　セルフプログラミングの概念

セルフプログラミングの概要情報については、「59.7. MACI コマンド」を参照してください。

59.13.2　パラレルアクセス可能性

パラレルの読み出しおよび書き込みアクセスは、表 59.41 に示す条件で可能です。

書き込み中の読み出し（バックグラウンドオペレーション：BGO）が異なる MRAM バンク間で可能です。異なる MRAM バンクへのパラレル読み出しが可能です。1 つの MRAM バンクのみ同時に書き込みできます。W-HUK ゼロ化がすべての MRAM 書き込み要求で最も高い優先順位を持ちます。「59.8.6. HUK の保護」を参照してください。

コード MRAM とエクストラ MRAM のプログラミングは同時に実行できないため、アービトレーションが行われます。後に実行されるプログラムは、最初に実行されるプログラムが完了するまで強制的に待機されます。MSTATR.MRDY = 0 の間にコード MRAM のプログラムが開始された場合、プログラムは MSTATR.MRDY = 1 の後に開始されます。また、MRCPS.PRGBSYC = 1 の間にエクストラ MRAM のプログラム（プログラム、コンフィギュレーション設定、またはカウンタインクリメントコマンドの発行）が開始された場合、プログラムは MRCPS.PRGBSYC = 0 の後に開始されます。したがって、この場合、プログラム時間はコードとエクストラ MRAM プログラム時間の合計になります。

同じ MRAM マクロに対する読み出し動作とプログラム動作の間にもアービトレーションがあるため、それらは同時に実行できません。MRAM 特性に記載されている値は、アービトレーションのない独立した動作時間です。

表 59.41　パラレルアクセス可能性

		コード MRAM		エクストラ MRAM	
		読み出し	書き込み	読み出し	書き込み
コード MRAM	読み出し	X	X	O(注1)	O
	書き込み	X	X	O	X
エクストラ MRAM	読み出し	O(注1)	O	X	X
	書き込み	O	X	X	X

注.　O：実行可能
　　X：実行不可

注 1.　バスマスタはコンフィグレーション更新転送中にエクストラ MRAM を読み出すことができません。「59.10. コンフィグレーション更新転送」を参照してください。

59.13.3　MRAM の読み出し

リセット解除後の MRAM の読み出し時には、特別な設定は必要ありません。MRAM のアドレスにアクセスすることで、データを読み出すことが可能です。

プログラミングしていない状態（未プログラム状態）の MRAM を読み出すと、全ビット 1 が読み出されます。

59.14 使用上の注意事項

(1) 書き込みが W-HUK のゼロ化によって割り込まれた領域

W-HUK のゼロ化のために書き込みがサスペンド状態になった領域に格納されているデータは不定です。不定データの読み出しによる誤作動を防ぐために、書き込みが停止されている領域から命令をフェッチしたりデータを読み出したりしないよう注意が必要です。

(2) 書き込み中に禁止されているアクション

- 電源を動作電圧未満に低下させないでください。

(3) 追加の書き込み禁止

ECC を使用する OTP 領域は、異なるデータで 2 回書き込みできません。

(4) 書き込み中のリセット

MRAM の書き込み中の RES#端子上の信号によるリセットの場合は、動作電圧が電気的特性で規定されている範囲内に入った後、リセット入力期間の t_{RESW}（「62. 電気的特性」を参照）以上待ってから、デバイスをリセット状態から解除します。

(5) プログラム中の割り込み／例外ベクタの配置

プログラム中に割り込み／例外が発生すると、コード MRAM からのベクタフェッチが発生する場合があります。ベクタはプログラムが完了するまでコード MRAM から読み出せません。コード MRAM に書き込むには t_{PMC}（「62. 電気的特性」を参照）が必要です。BGO が使用できない条件下ではベクタのアドレスをコード MRAM にないアドレスに設定してください。他の方法として、プログラム中、割り込みや例外処理が起こらないようにしてください。

(6) コード MRAM の書き込み完了と以降の命令生成の同期

CPU がコード MRAM に書き込むとき、コード MRAM プログラムシーケンサによる MRAM 書き込みの実行からのタイムラグがあります。メモリアクセスの完了が必要なバリア命令の場合は、以降の命令を実行するために同期のための適切な処理が必要です。同期のための処理を以下に示します。

1. コード MRAM の書き込み（STR 命令など）
2. バリア命令（DMB 命令など）
3. コード MRAM 書き込みデータのフラッシュ（図 59.2 を参照）
4. 同期（フラッシュ処理の完了を待つ）
5. 以降の命令

手順 4.で CPU ストールを回避する必要がある場合は、手順 3.のダミー読み出しの代わりに、MRCPS レジスタの PRGBSYC ビットでコード MRAM の書き込みの完了を確認する必要があります。

(7) MRAM の書き込み中の制約事項

MRAM の書き込み中は、周波数の変更、ソフトウェアスタンバイへの遷移、およびディープスタンバイへの遷移は禁止されています。

(8) エミュレータ接続

ルネサスは、SWD/JTAG 通信を使ったデバッグと SCI 通信を使ったシリアルプログラミングの両方をサポートするエミュレータを提供しています。

表 59.42 に、本エミュレータを使う場合の 10 ピンと 20 ピンのソケットピン配列を示します。SWD および JTAG のピン配列は ARM 標準で、MD、TXD、RXD の各端子は、SCI 通信を使ったシリアルプログラミング用に追加されています。

表 59.42　エミュレータのピン配置

端子番号	SWD	JTAG	SCI を使ったシリアルプログラミング
1	VCC	VCC	VCC
2	P210/SWDIO	P210/TMS	NC
4	P211/SWCLK	P211/TCK	P201/MD
6	P209/SWO	P209/TDO	P209/TXD9
8	P208	P208/TDI	P208/RXD9
9	GND 検出	GND 検出	GND 検出
10	nRESET	nRESET	nRESET
12	P308/TCLK	P308/TCLK	NC
14	P307/TDATA[0]	P307/TDATA[0]	NC
16	P306/TDATA[1]	P306/TDATA[1]	NC
18	P305/TDATA[2]	P305/TDATA[2]	NC
20	P304/TDATA[3]	P304/TDATA[3]	NC
3, 5, 15, 17, 19	GND	GND	GND
7	NC	NC	NC
11, 13	NC	NC	NC

60. キャプチャエンジンユニット (CEU)

60.1 概要

キャプチャエンジンユニット (CEU) は、外部から入力される画像データを取り込み、メモリに転送するキャプチャモジュールです。CEU は、バスブリッジモジュールを経由してシステムバスに接続します。

CEU には、以下の機能があります。

(1) 画像データ取り込み

- 外部モジュールからの画像出力をキャプチャし、YCbCr データを Y データと CbCr データに分けてメモリに書き込みます。
- カメラ等の外部接続モジュールから JPEG データ、RGB565 等の YCbCr データ以外の画像データを取り込み、順次メモリに画像データを書き込みます。
- インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。両フィールド単位のキャプチャでは、画像をフレームイメージでメモリに格納できます。

(2) フィルタ処理

- 内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理（水平方向のみ）を行います。なお、縮小後の画像サイズは VGA 以下とします。また、フィルタ処理は YCbCr 入力データのみに対応します。

(3) フォーマット変換

- YCbCr422 フォーマットで入力された画像データを YCbCr420 フォーマットに変換して、メモリに書き込みます。なお、変換アルゴリズムは、偶数ラインの色差成分 (CbCr) を間引くのみの単純間引きです。

CEU の機能概要を表 60.1 に、主機能とその詳細を表 60.2 に示します。

表 60.1 CEU の機能概要 (1/2)

分類	項目	機能	説明	備考
接続可能カメラ	サイズ(注1)	5 M 画素	2,560 画素 × 1,920 ライン	画像キャプチャモードまたはデータ同期取り込みモード 水平方向：8 画素単位 垂直方向：4 ライン単位 データイネーブル取り込みモード 32 バイト単位 入力可能な画像サイズの範囲は以下のとおりです。 水平方向：2,560 画素～128 画素 垂直方向：1,920 ライン～96 ライン
		3 M 画素	2,048 画素 × 1,536 ライン	
		2 M 画素	1,632 画素 × 1,224 ライン	
		UXGA	1,600 画素 × 1,200 ライン	
		SXGA (1)	1,280 画素 × 1,024 ライン	
		SXGA (2)	1,280 画素 × 960 ライン	
		WXGA	1,280 画素 × 768 ライン	
		XGA	1,024 画素 × 768 ライン	
		SVGA	800 画素 × 600 ライン	
		WVGA	800 画素 × 480 ライン	
		VGA	640 画素 × 480 ライン	
		CIF	352 画素 × 288 ライン	
		WQVGA	480 画素 × 240 ライン	
		QVGA	320 画素 × 240 ライン、 240 画素 × 320 ライン	
		QCIF	176 画素 × 144 ライン	
		QQVGA	160 画素 × 120 ライン	
		Sub-QCIF	128 画素 × 96 ライン	
	入力フォーマット	YCbCr422 8 ビット	Cb_0、Y_0、Cr_0、Y_1…	クロック比 1:1 に対応
			Cr_0、Y_0、Cb_0、Y_1…	
			Y_0、Cb_0、Y_1、Cr_0…	
			Y_0、Cr_0、Y_1、Cb_0…	
		YCbCr422 16 ビット	{Y_0、Cb_0}、{Y_1、Cr_0}、…	
			{Y_0、Cr_0}、{Y_1、Cb_0}、…	
		バイナリデータ	同期信号のエッジで指定されたデータ量を取り込む	順次書き込み
			水平同期信号をイネーブル信号としてデータを取り込む	
	水平・垂直同期信号極性	任意	正極性および負極性	
	キャプチャ開始位置	任意	カメラ入力クロック単位で指定可	水平方向：1 サイクル単位 垂直方向：1HD（水平同期信号）単位
	キャプチャ画素数	任意	水平 8 画素単位、垂直 4 ライン単位で指定可	
	インターレース	両フィールドキャプチャ	フィールドイメージで格納	キャプチャ：2VD（垂直同期信号）単位
			フレームイメージで格納	
		片フィールドキャプチャ	トップフィールド／ボトムフィールド指定可	キャプチャ：1VD 単位
メモリ書き込み	出力フォーマット	YCbCr422 YCbCr420	YCbCr420 は単純間引きで実現	
フィルタ機能	等倍または縮小	キャプチャ画面の縮小	1/16～1 の任意倍率（縮小後の画面は VGA 以下）	
	ローパスフィルタ		高周波成分の除去	水平方向のみ適応可

表 60.1 CEU の機能概要 (2/2)

分類	項目	機能	説明	備考
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能			
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能			

注 1. 入力可能な画像サイズの範囲は、接続機器の AC 特性やフレームレート、送信先 RAM への転送速度に依存します。

表 60.2 CEU の主機能とその詳細

主機能	詳細
画像データ取り込み	• 外部モジュールからの画像出力をキャプチャし、YCbCr データを Y データと CbCr データに分けてメモリに書き込みます。 • カメラ等の外部接続モジュールから JPEG データ等の YCbCr データ以外の画像データを取り込み、順次メモリに書き込みます。 • インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。両フィールド単位のキャプチャでは、画像をフレームイメージでメモリに格納できます。
フィルタ処理	内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理（水平方向のみ）を行います。 なお、縮小後の画像サイズは VGA 以下とします。また、フィルタ処理は YCbCr 入力データのみに対応します。
フォーマット変換	YCbCr422 フォーマットで入力された画像データを YCbCr420 フォーマットに変換して、メモリに書き込みます。 なお、変換アルゴリズムは、偶数ラインの色差成分 (CbCr) を間引くのみの単純間引きです。

CEU のブロック図を図 60.1 に示します。

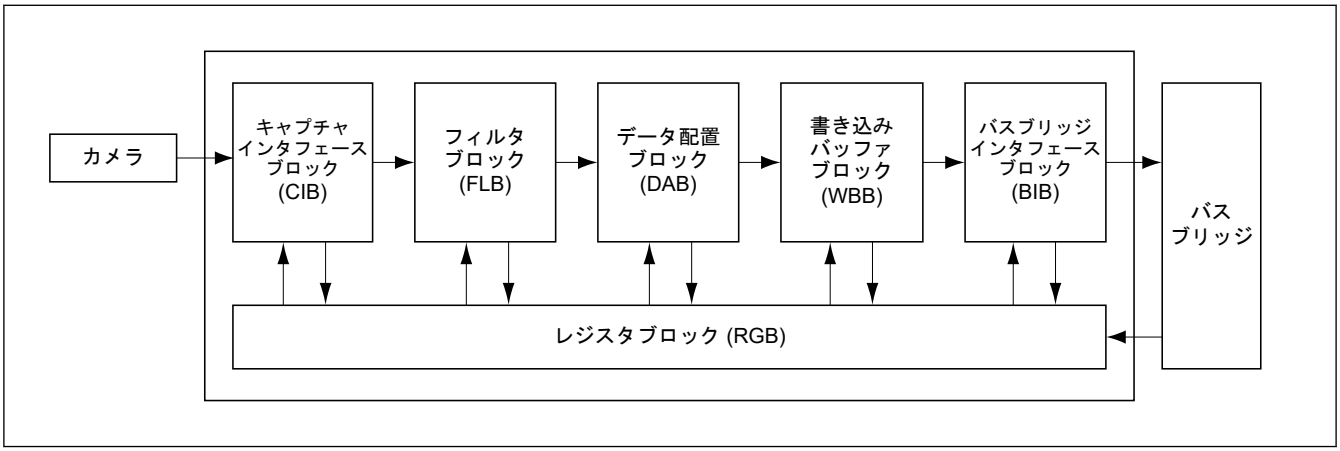


図 60.1 CEU のブロック図

CEU の端子構成を表 60.3 に示します。

表 60.3 CEU の端子構成

端子名	機能	入出力	説明
VIO_D15～VIO_D0(注1)	CEU 用データバス	入力	CEU へのカメラ画像データ入力です。
VIO_CLK	CEU 用クロック	入力	CEU へのカメラクロック入力です。
VIO_VD	CEU 用垂直同期	入力	CEU へのカメラ垂直同期信号入力です。
VIO_HD	CEU 用水平同期	入力	CEU へのカメラ水平同期信号入力です。
VIO_FLD(注2)	フィールド信号	入力	CEU へのフィールド識別信号入力です。

注 1. VIO_D15～VIO_D0 の本文中での記述は、データバスのバス幅による区別が不要な場合 VIO_D と表します。
注 2. VIO_FLD 端子は、インターレース入力モード (CAIFR.IFS = 1) 時のみ有効です。

60.2 レジスタの説明

CEU レジスタ構成を表 60.4 に示します。

CEU レジスタは一部を除いて 2 面構成（A 面と B 面）となっています。CEU は、この 2 面のレジスタを切り替えて使用します。2 面あるレジスタの場合、ミラーアドレスとして、使用していない面のレジスタに常にアクセスできるアドレスも用意してあります。レジスタ面切り替えタイミングを図 60.2 に示します。CEU は、VD 割り込みがアサートされると同時にレジスタ面を切り替えます。

下記のレジスタ説明において、「動作中」とは、キャプチャ開始レジスタ (CAPSR) の CE ビットによる CEU 起動から、キャプチャイベントフラグクリアレジスタ (CETCR) のキャプチャ終了割り込み CPE ビットが発生するまでの期間を意味します。また、各レジスタにおいて、読み出し専用指定のビットには、絶対に 0 以外の値を書き込まないでください。0 以外を書き込んだ場合の動作は保証されません。

表 60.4 CEU のレジスタ構成

レジスタ名称	略称	R/W	アドレス			アクセスサイズ
			アドレス（A 面）	アドレス（B 面）	ミラーアドレス	
キャプチャ開始レジスタ	CAPSR	R/W	0x4034_8000	—	—	32
キャプチャ制御レジスタ	CAPCR	R/W	0x4034_8004	—	—	32
キャプチャインタフェース制御レジスタ(注1)	CAMCR	R/W	0x4034_8008	—	—	32
キャプチャインタフェースサイクルレジスタ(注1)	CMCYR	R/W	0x4034_800C	—	—	32
キャプチャインタフェースオフセットレジスタ	CAMOR	R/W	0x4034_8010	0x4034_9010	0x4034_A010	32
キャプチャインタフェース幅レジスタ	CAPWR	R/W	0x4034_8014	0x4034_9014	0x4034_A014	32
キャプチャインタフェース入力方式レジスタ	CAIFR	R/W	0x4034_8018	—	—	32
CEU レジスタ制御レジスタ	CRCNTR	R/W	0x4034_8028	—	—	32
CEU レジスタ強制制御レジスタ	CRCMPR	R/W	0x4034_802C	—	—	32
キャプチャフィルタ制御レジスタ	CFLCR	R/W	0x4034_8030	0x4034_9030	0x4034_A030	32
キャプチャフィルタサイズクリップレジスタ	CFSZR	R/W	0x4034_8034	0x4034_9034	0x4034_A034	32
キャプチャデスティネーション幅レジスタ	CDWDR	R/W	0x4034_8038	0x4034_9038	0x4034_A038	32
キャプチャデータアドレス Y レジスタ	CDAYR	R/W	0x4034_803C	0x4034_903C	0x4034_A03C	32
キャプチャデータアドレス C レジスタ	CDACR	R/W	0x4034_8040	0x4034_9040	0x4034_A040	32
キャプチャデータボトムフィールドアドレス Y レジスタ	CDBYR	R/W	0x4034_8044	0x4034_9044	0x4034_A044	32
キャプチャデータボトムフィールドアドレス C レジスタ	CDBCR	R/W	0x4034_8048	0x4034_9048	0x4034_A048	32
キャプチャバンドルデスティネーションサイズレジスタ	CBDSR	R/W	0x4034_804C	0x4034_904C	0x4034_A04C	32
ファイアウォール動作制御レジスタ	CFWCR	R/W	0x4034_805C	—	—	32
キャプチャローパスフィルタ制御レジスタ	CLFCR	R/W	0x4034_8060	0x4034_9060	0x4034_A060	32
キャプチャデータ出力制御レジスタ	CDOCR	R/W	0x4034_8064	0x4034_9064	0x4034_A064	32
キャプチャイベント割り込み許可レジスタ	CEIER	R/W	0x4034_8070	—	—	32
キャプチャイベントフラグクリアレジスタ	CETCR	R/W	0x4034_8074	—	—	32
キャプチャステータスレジスタ	CSTSR	R	0x4034_807C	—	—	32
キャプチャデータサイズレジスタ	CDSSR	R/W	0x4034_8084	—	—	32
キャプチャデータアドレス Y レジスタ 2	CDAYR2	R/W	0x4034_8090	0x4034_9090	0x4034_A090	32
キャプチャデータアドレス C レジスタ 2	CDACR2	R/W	0x4034_8094	0x4034_9094	0x4034_A094	32
キャプチャデータボトムフィールドアドレス Y レジスタ 2	CDBYR2	R/W	0x4034_8098	0x4034_9098	0x4034_A098	32
キャプチャデータボトムフィールドアドレス C レジスタ 2	CDBCR2	R/W	0x4034_809C	0x4034_909C	0x4034_A09C	32
CEU バッファラブル書き込みイネーブルレジスタ	CBWER	R/W	0x4034_80A0	—	—	32

注. この表に記載されているアドレスはセキュア領域です。非セキュア領域に対応するアドレスは、アドレスの b28 が 1 に設定されている場合です。

注 1. 外部モジュールの特性により決まるレジスタ（CAMCR または CMCYR）の設定変更後、外部入力クロックで 10 サイクル以上経過するまではキャプチャ起動をかけないでください。

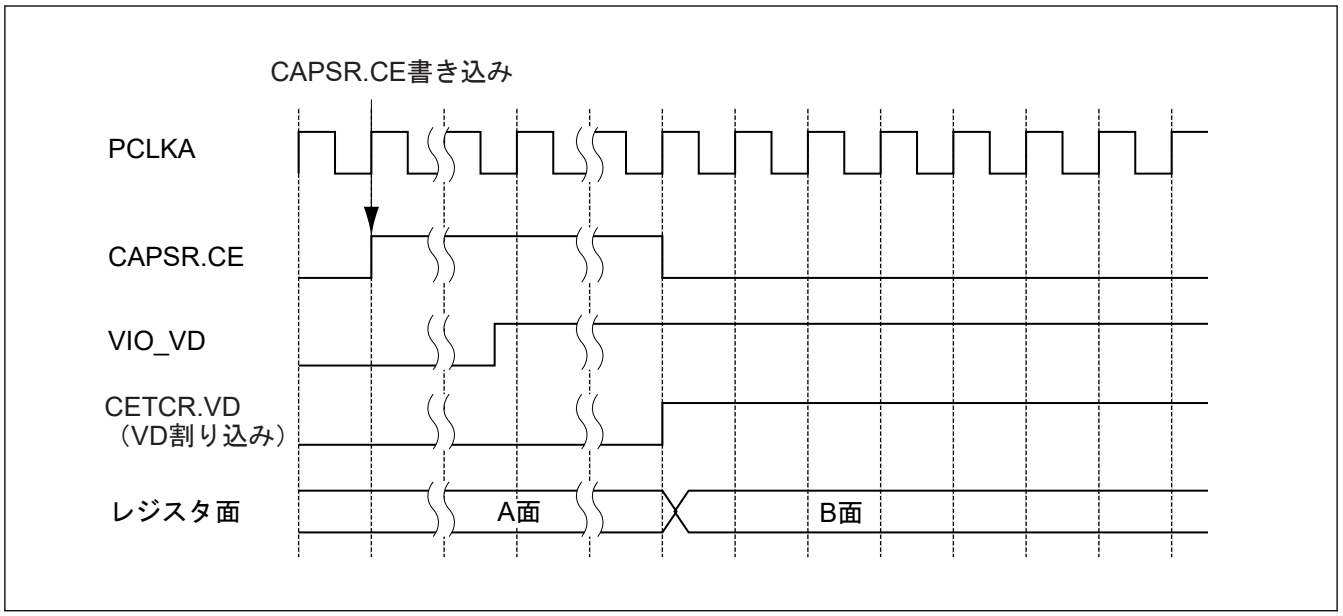


図 60.2 レジスタ面切り替えタイミング（データイネーブル取り込みモードかつ VD 正極性の場合）

60.2.1 CAPSR : キャプチャ開始レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPKIL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CE	キャプチャイネーブル ● シングルキャプチャ このビットは、次フレームのキャプチャ予約ビットです。1 を書き込むと、次の VD 入力から 1 フレームのキャプチャを行い、1 フレームキャプチャ終了割り込み（CETCR の CPE ビット）がアサートされると停止状態となります（図 60.7）。再びキャプチャを行う場合は、このビットに 1 を書き込んでください。また、VD 極性または HD 極性の変更後は、次の VD 割り込みがアサートするまでこのビットに 1 を書き込まないでください。 このビットはキャプチャ予約状態を表しているため、読み出し時には、1 に設定されてから VD が入力されるまで 1 が読み出され、VD が入力されると、このビットは 0 に戻るため、0 が読み出されます。キャプチャ終了は、1 フレームキャプチャ終了割り込み（CPE ビット）により判定してください。データ取り込みモードでも同様です。レジスタの設定は、次にキャプチャが開始されるフレームの VD 割り込みまでに行ってください。レジスタに書き込まれた設定は、次の VD 入力で反映されます。キャプチャ中に書き込みを行った場合、レジスタ設定は、次の VD 入力以降のキャプチャ動作から反映されます。キャプチャ中の書き込みを禁止している設定レジスタに対してキャプチャ中に書き込みを行った場合、割り込み要因（CETCR の IGRW ビット）が発生します。割り込み要因の詳細は CETCR レジスタの説明を参照してください。 ● 連続キャプチャ CAPCR の CTNCP ビットが 1 の状態で、このビットを 1 にすると、次フレームから連続でキャプチャを行います（図 60.8）。このとき、このビットは 0 クリアされずに常に 1 を保持します。キャプチャを停止する場合は、このビットを 0 クリアすれば、そのときのフレーム終了後にキャプチャは停止します。 連続キャプチャ動作は、画像キャプチャモード時のみ可能です。なお、キャップチャしたデータを書き込むメモリの先頭アドレスは、フレームごとに設定してください。 0: キャプチャの停止 1: キャプチャの実行	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CPKIL	キャプチャのソフトウェアリセット キャプチャをソフトウェアリセットする場合は、このビットに 1 を書き込んでください。ソフトウェアリセット時、キャプチャは、フレームの終了までキャプチャ動作を行わないで、即座に終了します。このビットに 1 を書き込む場合には、CE ビットは 0 にクリアしてください。キャプチャのソフトウェアリセット処理中は、このビットは 1 を表示します。CPKIL = 1 のときは、リセット処理を行っていますので、キャプチャ開始をかけないようにしてください。再度、キャプチャを開始する場合は、CSTSR の CPTON ビットを参照し、CEU が停止（アイドル）状態になっていることを確認してください。その後、このビットが 0 になるのを待ってからキャプチャを開始してください。キャプチャ再起動のタイミングを図 60.6 に示します。 このビットでソフトウェアリセットを行った場合、ソフトウェアリセット直後にキャプチャ終了割り込み（CETCR の CPE ビット）を出力する場合がありますが、この割り込みは無視してください。また、キャプチャ終了割り込みが出力されなくても、次フレームのキャプチャ前には、割り込み要因（CPE ビット）は必ずクリアしてください。 0: 通常状態 1: キャプチャのソフトウェアリセット	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CAPSR は、外部モジュールから CEU に入力されるデータのキャプチャを実行させるレジスタです。

VD（垂直同期信号）、HD（水平同期信号）の極性がともに正の場合、1 フレームは VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間、1 ラインは HD の立ち上がりエッジから次の立ち上がりエッジまでの期間と定義しています。1 フレームのタイミングを図 60.3 に示します（VD 極性、HD 極性ともに正の場合）。

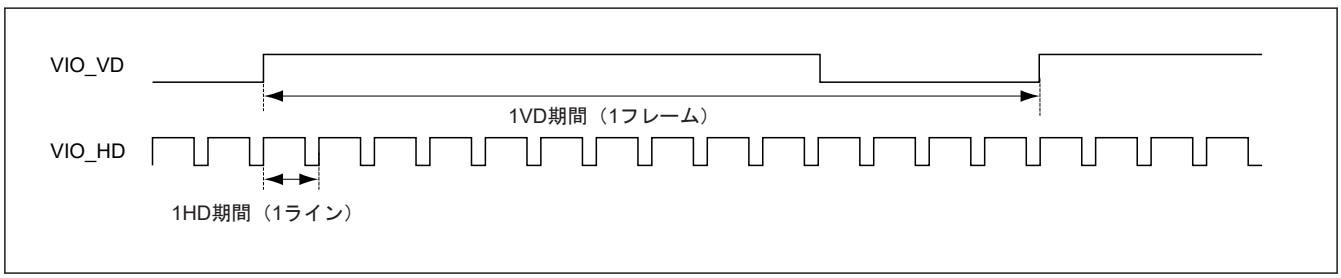


図 60.3 フレームタイミング

VD、HD の極性がともに正の場合、1 フィールドは 1 フレームと同様に、以下のように定義します。

- VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間
- 1 ラインは、HD の立ち上がりエッジから次の立ち上がりエッジまでの期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間、固定することとします。1 フィールドのタイミングを図 60.4 に示します（VD 極性、HD 極性ともに正の場合）。

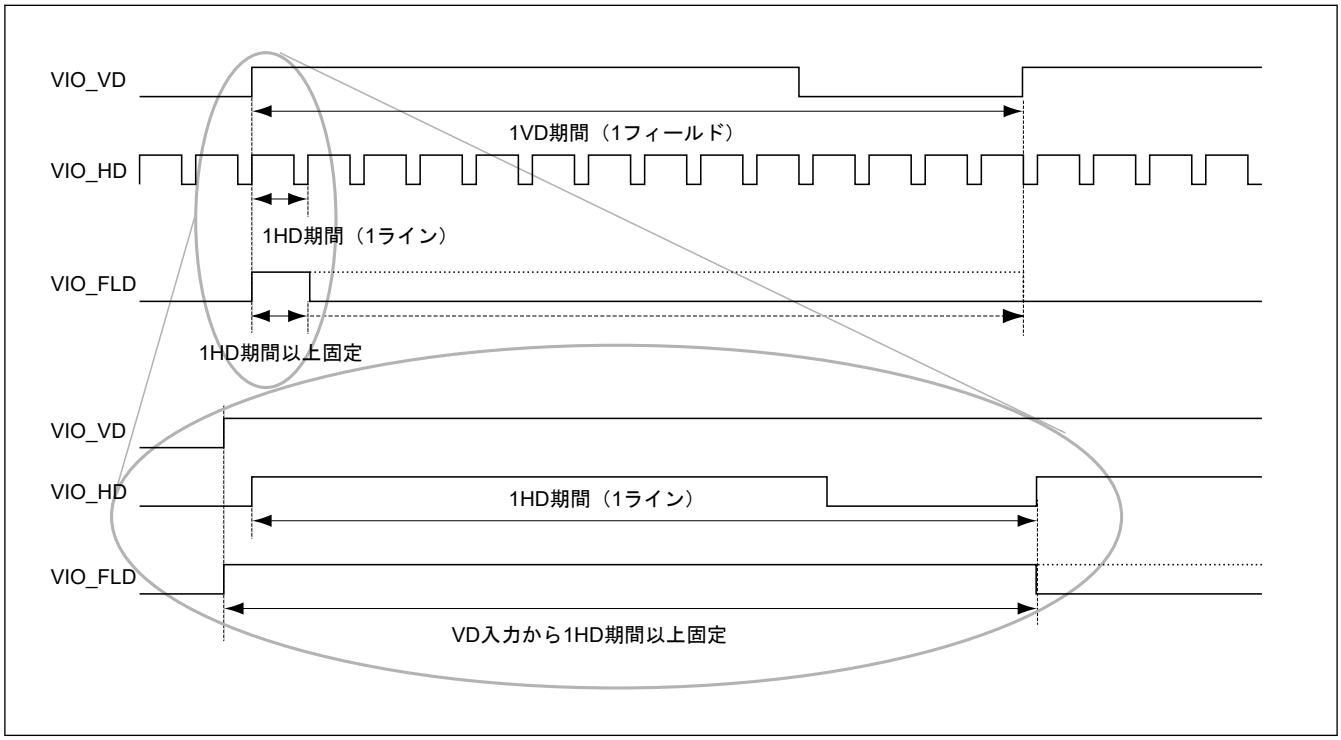


図 60.4　1 フィールドのタイミング

データイネーブル取り込みでは、1 フレームを VD の立ち上がりエッジから VD の立ち下りエッジまでの期間と定義しています。HD をイネーブル信号（正極性）として、VD が High の期間に HD がアサートされたサイクルのデータを取り込みます。データイネーブル取り込みの場合の、1 フレームのタイミング図を図 60.5 に示します。

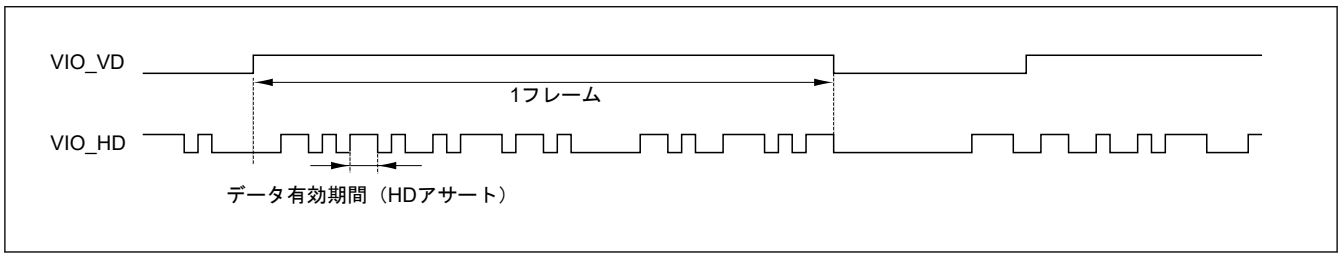


図 60.5　フレームのタイミング（データイネーブル取り込みの場合）

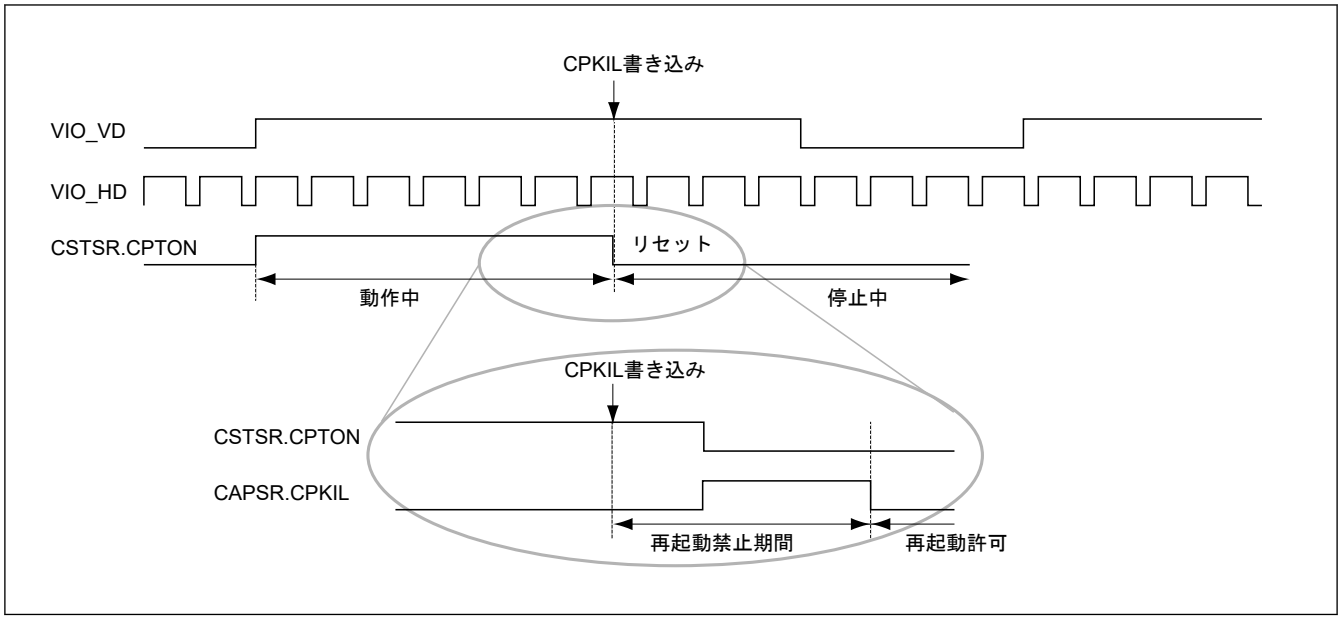


図 60.6　キャプチャのソフトウェアリセットおよび再起動のタイミング

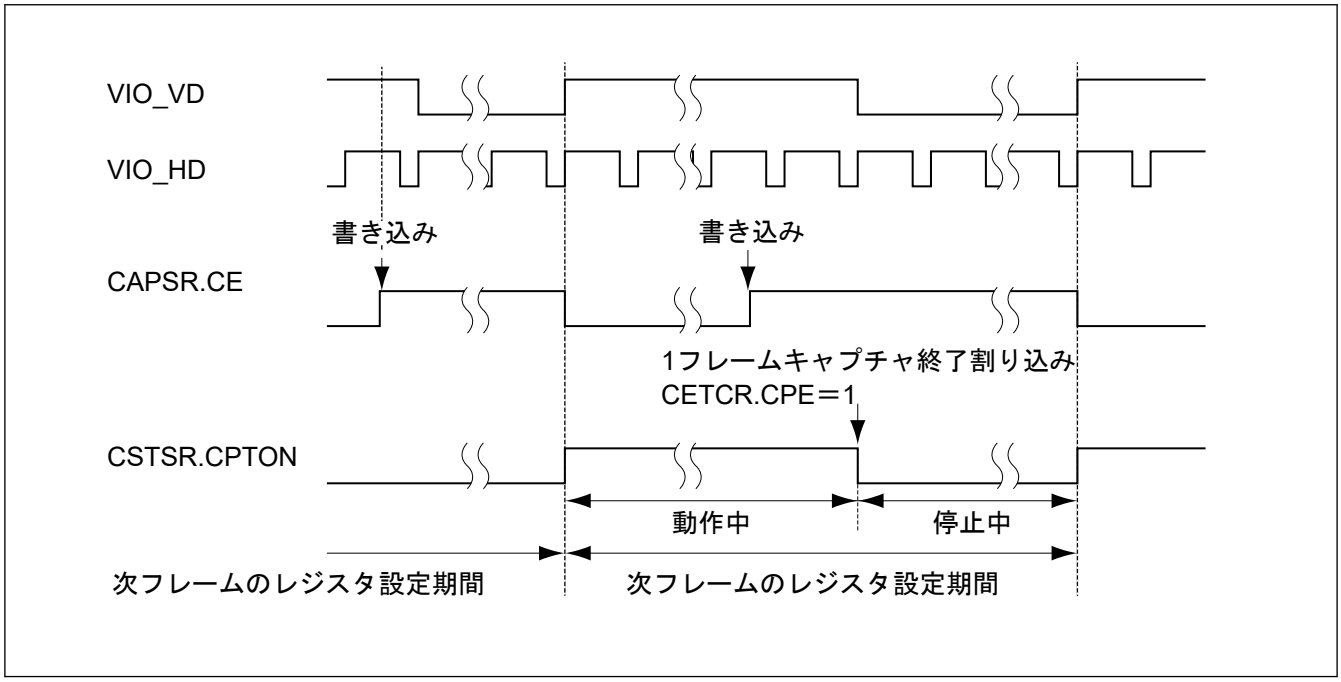


図 60.7　1 フレームキャプチャの CE ビット書き込みタイミングとレジスタ設定

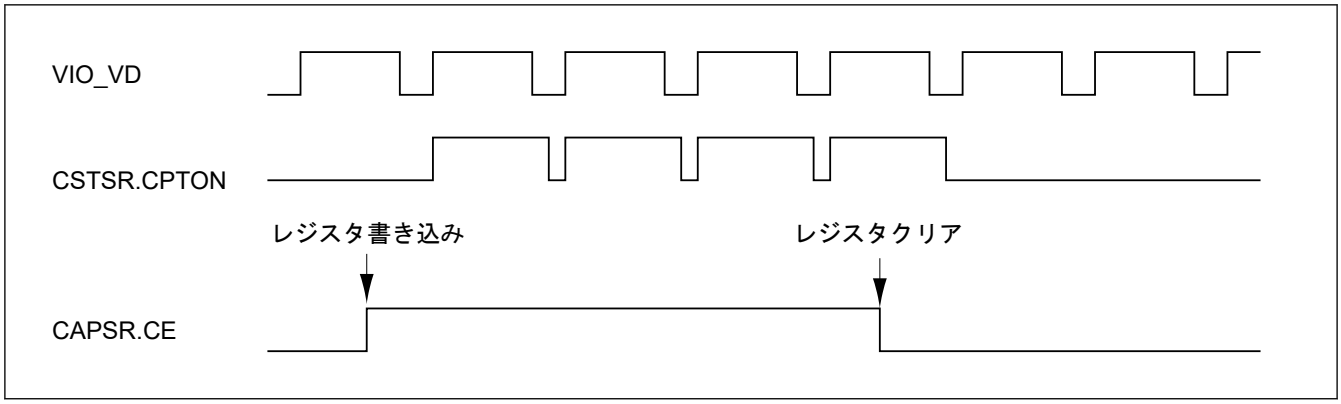


図 60.8　連続フレームキャプチャ

60.2.2 CAPCR : キャプチャ制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	FDRP[7:0]								—	—	MTCM[1:0]		—	—	—	CTNCP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CTNCP	連続キャプチャ このビットを 1 にしキャプチャを行うと、CAPSR の CE ビットが 0 クリアされるか、CAPSR の CPKIL ビットによるソフトウェアリセットが起動されるまで、連続でキャプチャを行います（図 60.8 参照）。連続キャプチャの設定は、キャプチャを開始する前に設定してください。 このビットを書き換える場合は、一度 CE ビットに 0 を書き込み、キャプチャ動作を停止させた後、実行してください。キャプチャ中にこのビットが書き換えられた場合、動作は保証されません。データ取り込みモード時は、このビットを 0 にクリアしてください。 0: CAPSR.CE ＝ 1 のとき、1 フレームのみキャプチャを実行 1: CAPSR.CE ＝ 0 になるまで、連続的にキャプチャを実行	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21:20	MTCM[1:0]	バスブリッジへのデータの転送単位を指定します。 画像データ書き込みは、アドレスをより連続的にアクセスすることによりアクセス効率を高めることができます。書き込み効率を上げたいときは、これらのビットの設定値を 11 としてください。外部から見て、これらのビットの設定値による変化はありません。 0 0: 画像キャプチャの場合 : Y データの転送および C データの転送を 32 バイトごとに行う データ取り込みの場合 : データの転送を 32 バイトごとに行う 0 1: 画像キャプチャの場合 : Y データの転送および C データの転送を 64 バイトごとに行う データ取り込みの場合 : データの転送を 64 バイトごとに行う 1 0: 画像キャプチャの場合 : Y データの転送および C データの転送を 128 バイトごとに行う データ取り込みの場合 : データの転送を 128 バイトごとに行う 1 1: 画像キャプチャの場合 : Y データの転送および C データの転送を 256 バイトごとに行う データ取り込みの場合 : データの転送を 256 バイトごとに行う	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
31:24	FDRP[7:0]	連続フレームキャプチャ時のフレームドロップ間隔を設定します。 これらのビットに 0 をクリアするとフレームドロップは行わずに、すべてのフレームをキャプチャします。 これらのビットに設定した値と、キャプチャするフレームのタイミングを図 60.9 に示します。 フレームドロップ間隔の単位は、キャプチャ設定によって異なります。キャプチャ設定とフレームドロップ間隔の単位との関係を表 60.5 に示します。これらのビットが 2 の場合の各設定におけるフレームドロップのタイミングイメージを図 60.10 に示します。 両フィールドキャプチャ時は、2 番目のフィールドがトップフィールドであるかボトムフィールドであるかにかかわらず、2VD 期間連続でキャプチャします。また、両フィールドキャプチャ時は、2 番目のフィールドがトップフィールドであるかボトムフィールドであるかにかかわらず、最初のフィールドのトップ／ボトムの判定で、フレームドロップ数カウンタをカウントアップします。 CAPSR の CE ビットに 0 を書き込んだ場合には、キャプチャフレームであれば、現在のフレームをキャプチャして終了しますが、ドロップフレームのときは CEU 内で強制終了動作となりますので、終了割り込み（CETCR の CPE ビット）は出力されません。 CAPSR.CE ＝ 1 の間はこれらのビットの設定を変更しないでください。 注. 連続キャプチャを実行中は本設定値を変更しないでください。本設定値を変更する場合は、連続キャプチャをいったん停止し (CAPSR.CE = 0)、CAPCR の CTNCP ビット（連続キャプチャ）に 0 を設定し、その後再び連続キャプチャを実行してください。連続キャプチャ中とは図 60.9 に示す CAPSR.CE ＝ 1 の期間をいいます。	R/W

注. S-TYPE-3、P-TYPE-3

CAPCR は、連続フレームキャプチャの設定、フレームドロップの間隔の設定を行います。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

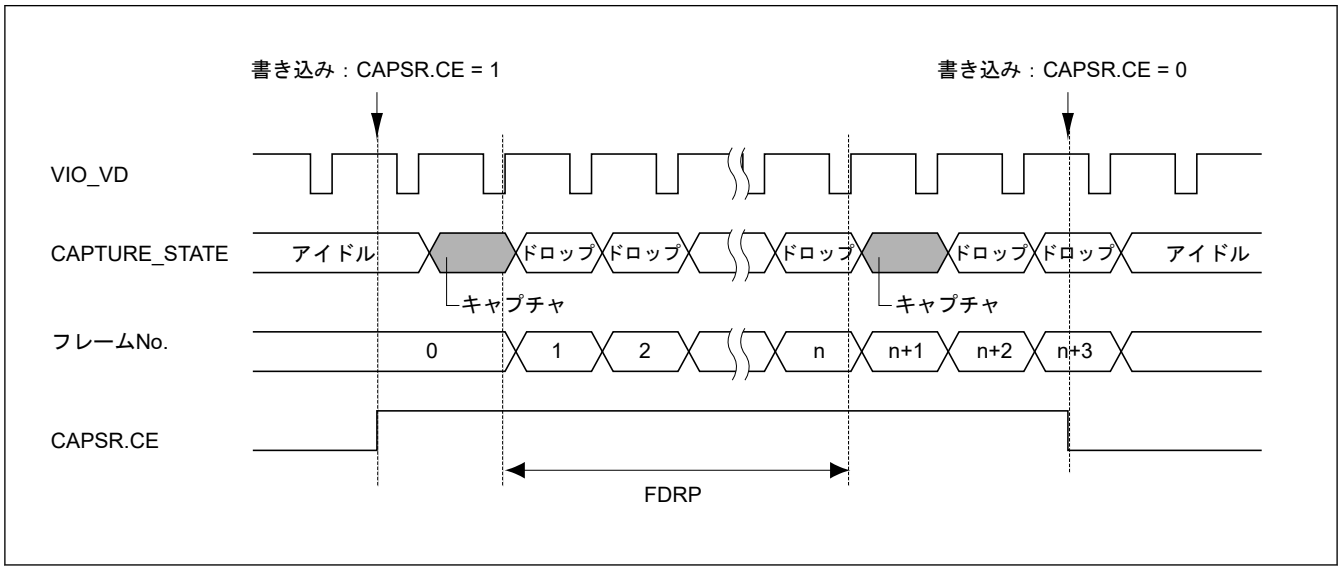


図 60.9 FDRP ビットの設定値とフレームドロップタイミング

表 60.5 キャプチャ設定とフレームドロップ間隔単位の関係 (1/2)

入力方式	キャプチャ画像	最初のキャプチャ画像	フレームドロップ間隔単位	キャプチャ設定
プログレッシブ	フレーム	キャプチャ開始直後のフレーム	フレーム	A

表 60.5　キャプチャ設定とフレームドロップ間隔単位の関係 (2/2)

入力方式	キャプチャ画像	最初のキャプチャ画像	フレームドロップ間隔単位	キャプチャ設定
インターレース	両フィールド(2VD キャプチャ)	キャプチャ開始直後のフィールド	2 フィールド（最初のキャプチャフィールドカウント）	B
				C
		トップフィールド	2 フィールド（トップフィールドカウント）	D
		ボトムフィールド	2 フィールド（ボトムフィールドカウント）	E
	片フィールド(1VD キャプチャ)	キャプチャ開始直後のフィールド	最初のキャプチャフィールド	F
				G
		トップフィールド	トップフィールド	H
		ボトムフィールド	ボトムフィールド	I

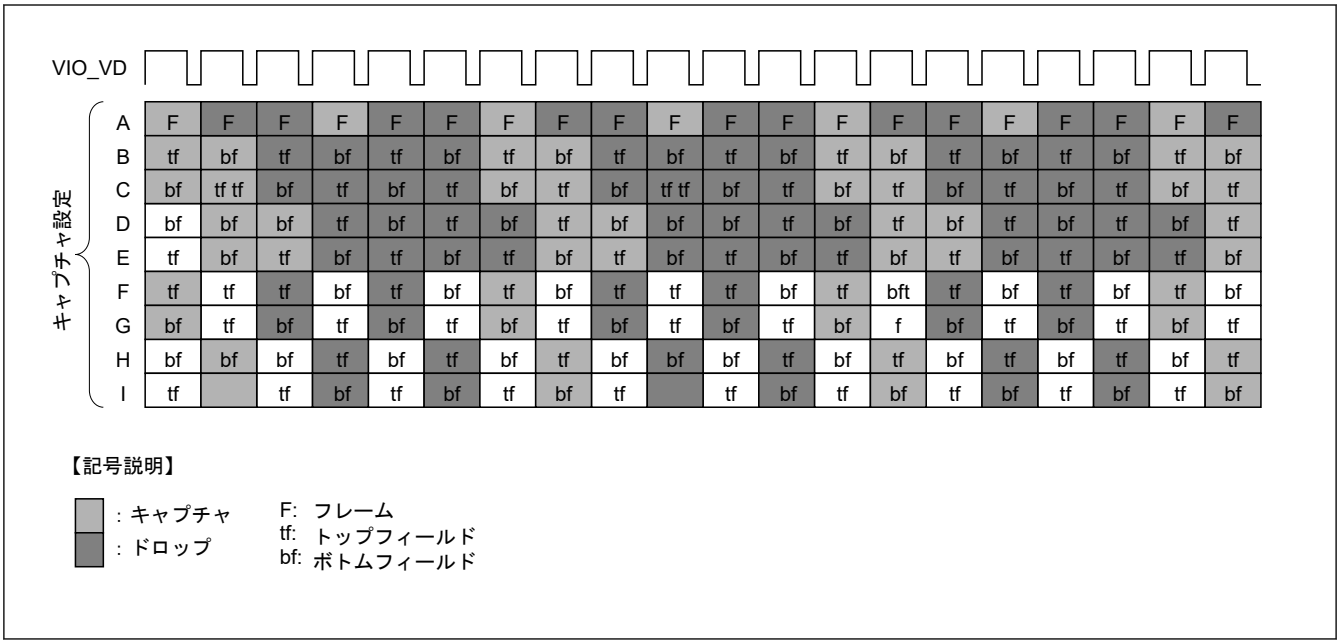


図 60.10　各キャプチャ設定におけるフレームドロップのタイミングイメージ (FDRP[7:0] = 0x2)

60.2.3　CAMCR : キャプチャインタフェース制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	VDSEL	HDSEL	FLDSEL	DSEL	—	—	—	—	—	—	—	FLDPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DTIF	—	—	DTARY[1:0]		—	—	JPG[1:0]		—	—	VDPOL	HDPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	HDPOL	外部モジュールからの水平同期信号 (HD) 検出の極性を設定します。 正極性が選択されている場合の HD と HD 割り込みの関係を図 60.16 に示します。 なお、設定変更時に HD 割り込みが立つ場合がありますので、このビットの設定を変更した場合には、必ず CETCR の HD ビットを 0 にクリアしてください。 データイネーブル取り込みモードでは 0 を設定してください。 0: 外部モジュールからの水平同期信号 (HD) を正極性として検出 1: 外部モジュールからの水平同期信号 (HD) を負極性として検出	R/W
1	VDPOL	外部モジュールからの垂直同期信号 (VD) 検出の極性を設定します。 正極性を選択した場合の VD、HD と VD 割り込みの関係を図 60.14 と図 60.15 に示します。 なお、設定変更時に VD 割り込みが立つ場合がありますので、このビットの設定を変更した場合には、必ず CETCR の VD ビットを 0 にクリアしてください。データイネーブル取り込みモードではこのビットを使用せず常に正極性として検出します。 0: 外部モジュールからの垂直同期信号 (VD) を正極性として検出 1: 外部モジュールからの垂直同期信号 (VD)を負極性として検出	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	JPG[1:0]	取り込みデータの種別を選択します。 0 0: 画像キャプチャモード（入力データを輝度成分データ (Y) と色差成分データ (CbCr) に分けてメモリに出力） 0 1: データ同期取り込みモード（同期信号に同期して指定されたサイズの入力データを入力順にメモリ指定アドレスに出力） 1 0: データイネーブル取り込みモード（HD をイネーブル信号として入力データを取り込み、入力順にメモリの指定アドレスに出力） 1 1: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	DTARY[1:0]	輝度成分と色差成分の入力順序を設定します。 外部モジュールから入力される、Y と CbCr の入力順序は、モジュールにより異なります。CEU は、図 60.12 に示す入力順序に対応しています。対応する値を、これらのビットにセットしてください。データ取り込みモードでは 00 を設定してください。 0 0: 8 ビットインタフェース：画像入力データを Cb_0、Y_0、Cr_0、Y_1 の順序で取り込み 16 ビットインタフェース：画像入力データを {Cb_0, Y_0} および {Cr_0, Y_1} の順序で取り込み 0 1: 8 ビットインタフェース：画像入力データを Cr_0、Y_0、Cb_0、Y_1 の順序で取り込み 16 ビットインタフェース：画像入力データを {Cr_0, Y_0} および {Cb_0, Y_1} の順序で取り込み 1 0: 8 ビットインタフェース：画像入力データを Y_0、Cb_0、Y_1、Cr_0 の順序で取り込み 16 ビットインタフェース：画像入力データを {Y_0, Cb_0} および {Y_1, Cr_0} の順序で取り込み 1 1: 8 ビットインタフェース：画像入力データを Y_0、Cr_0、Y_1、Cb_0 の順序で取り込み 16 ビットインタフェース：画像入力データを {Y_0, Cr_0} および {Y_1, Cb_0} の順序で取り込み	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	DTIF	キャプチャ対象となるデジタル画像入力端子を設定します。 0: 8 ビットデジタル画像入力端子に入力されたデータをキャプチャ 1: 16 ビットデジタル画像入力端子に入力されたデータをキャプチャ	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	FLDPOL	外部モジュールからのフィールド識別信号 (FLD) の極性を設定します。 0: FLD 信号が正極性のときトップフィールド、負極性のときボトムフィールドとして検出 1: FLD 信号が負極性のときトップフィールド、正極性のときボトムフィールドとして検出	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DSEL	外部モジュールから画像データ (D15～D0) の取り込みエッジを設定します。 0: D15～D0 をカメラクロックの立ち上がりエッジで取り込み 1: D15～D0 をカメラクロックの立ち下がりエッジで取り込み	R/W
25	FLDSEL	外部モジュールから FLD の取り込みエッジを設定します。 0: FLD をカメラクロックの立ち上がりエッジで取り込み 1: FLD をカメラクロックの立ち下がりエッジで取り込み	R/W

ビット	シンボル	機能	R/W
26	HDSEL	外部モジュールから HD の取り込みエッジを設定します。 0: HD をカメラクロックの立ち上がりエッジで取り込み 1: HD をカメラクロックの立ち下がりエッジで取り込み	R/W
27	VDSEL	外部モジュールから VD の取り込みエッジを設定します。 0: VD をカメラクロックの立ち上がりエッジで取り込み 1: VD をカメラクロックの立ち下がりエッジで取り込み	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CAMCR は、キャプチャインタフェースを設定するレジスタです。

CAMCR で設定できる項目は、以下のとおりです。

- 信号キャプチャまたはデータ取り込み用のカメラクロック立ち上がり取り込みまたは立ち下がり取り込み動作を選択
- 画像キャプチャまたはデータ取り込み動作を選択
- 垂直および水平同期信号の極性の選択
- 画像データの、各成分（Y、Cb、Cr）の入力順序の選択（画像キャプチャモード時のみ）
- デジタル画像入力端子の選択（8 ビットまたは 16 ビット）
- フィールド識別信号の極性の選択

CAMCR は、接続するモジュールに合わせて設定してください。データ取り込みモードの際は、DTARY ビットを 0 に設定してください。本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

注. 本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待ってからキャプチャ起動をかけてください。

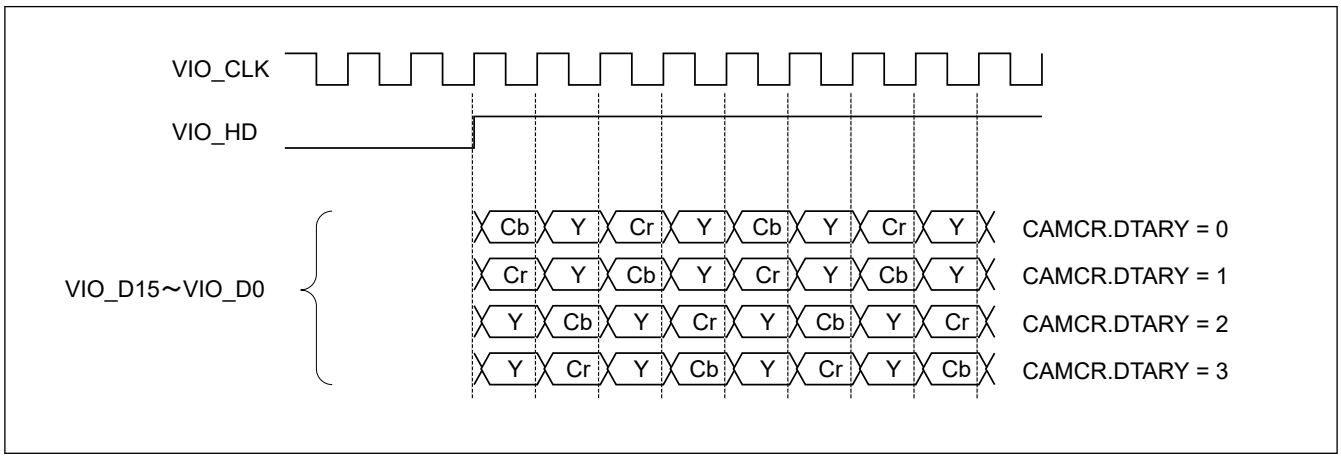


図 60.11 画像データの入力順序

CAMCR の JPG ビットは、デジタル画像データを取り込むのか、JPEG 等のデータを取り込むのかを選択します。また、JPEG 等のデータを取り込む場合は、同期信号に同期して、指定された量のデータを連続して取り込むのか、水平同期信号がイネーブル中にデータを取り込むのかを選択します。

データイネーブル取り込みモードでは、垂直同期信号 (VD) の立ち上がりから立ち下がりまでを 1 フレームとしてデータを取り込みます。水平同期信号 (HD) は、VD が High の期間にのみ有効で、イネーブル信号として扱われます。HD がアサート (High) されているサイクルに入力されたデータを取り込み、順次メモリに出力します。

本モジュールは、データイネーブル取り込みモードでは、VD の立ち上がりエッジでデータ取り込みを開始し、VD の立ち下がりエッジでデータ取り込みを停止します。したがって、VD が High のまま Low にならなかった場合、終了処理に移行しません。また、VD が High のままで、HD もアサートしたままの場合、データを取り込み続けます。

データイネーブル取り込みモードのインタフェースタイミング図を図 60.12、図 60.13 に示します。

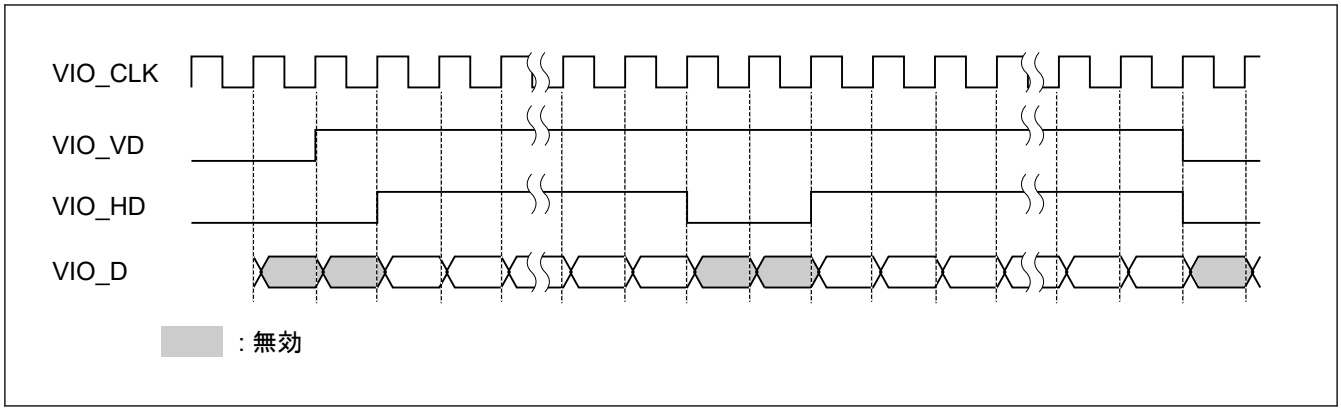


図 60.12　データイネーブル取り込みタイミング（VD が High の期間内に HD がアサート (High)）

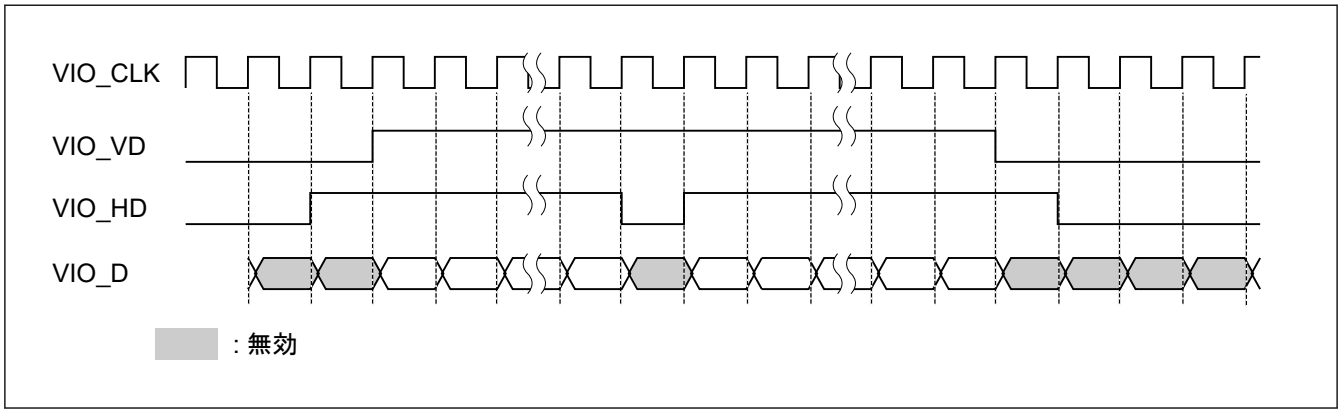


図 60.13　データイネーブル取り込みタイミング（VD が High の期間外に HD がアサート (High)）

本モジュールは、データイネーブル取り込みモードでは、VD のアクティブレベルを検出した時点で VD 割り込みが発生します。画像キャプチャモードおよびデータ同期取り込みモードでは、VD のアクティブレベルを検出後に最初の HD アクティブレベルを検出した時点で VD 割り込みが発生します。なお、VD と HD が同時にアサートされ VD と HD を同時に検出した場合は、その時点で VD 割り込みが発生します。

VIO_VD 信号と VD 割り込み、VIO_VD および VIO_HD 信号と VD 割り込み、VIO_HD 信号と HD 割り込みの関係を図 60.14～図 60.16 に示します。

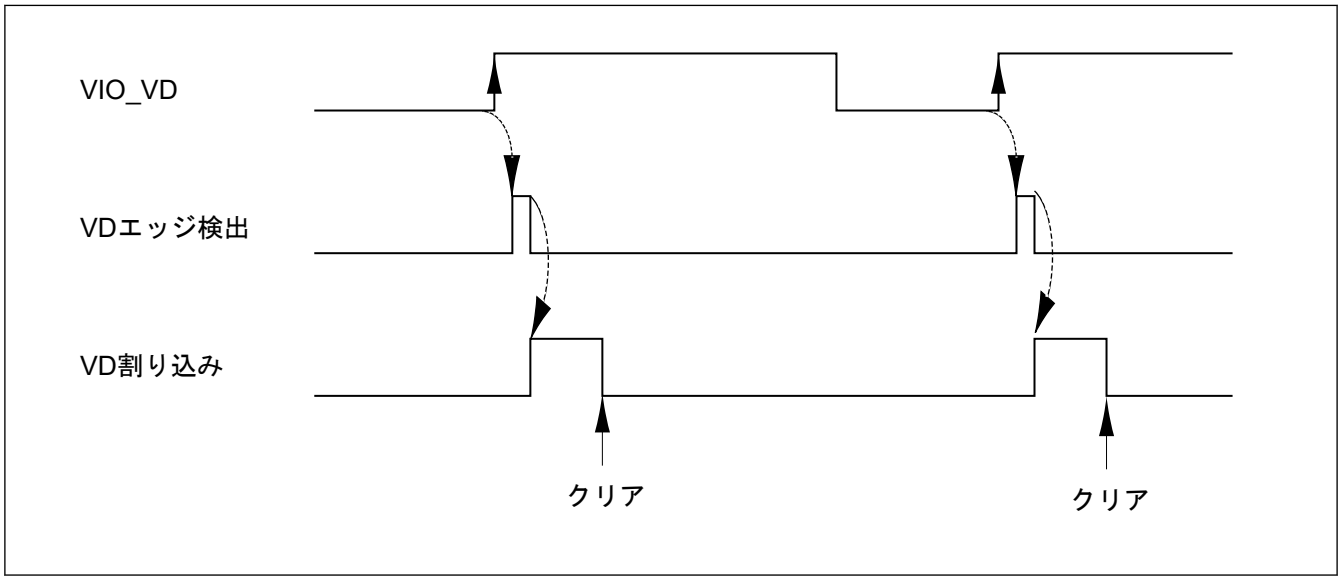


図 60.14　VD が正極性の場合の VIO_VD と VD 割り込みの関係(データイネーブル取り込みモードの場合)

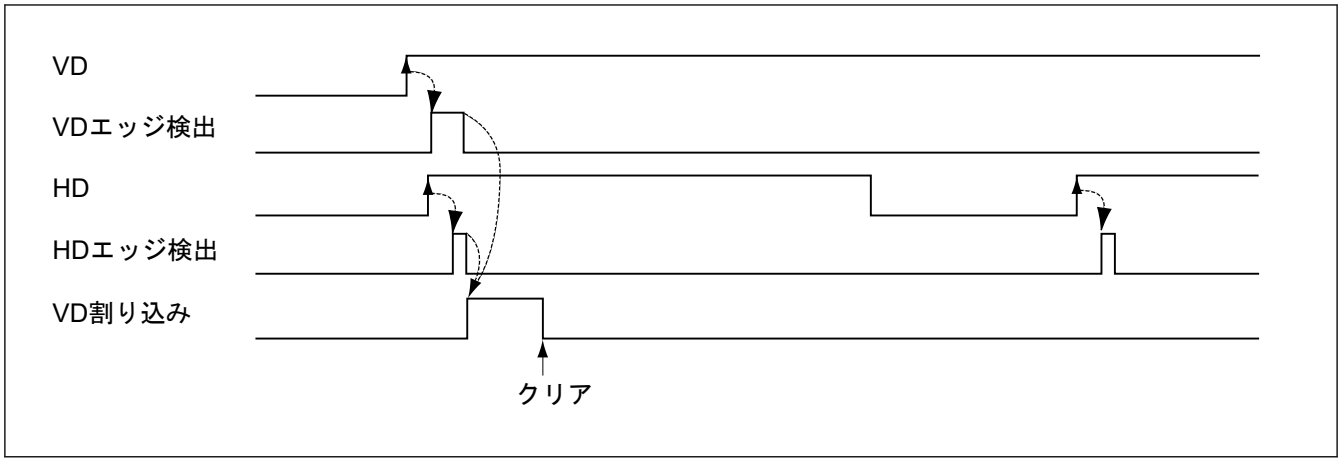


図 60.15　VD と HD が正極性の場合の VIO_VD および VIO_HD 信号と VD 割り込みの関係（画像キャプチャモードおよびデータ同期取り込みモードの場合）

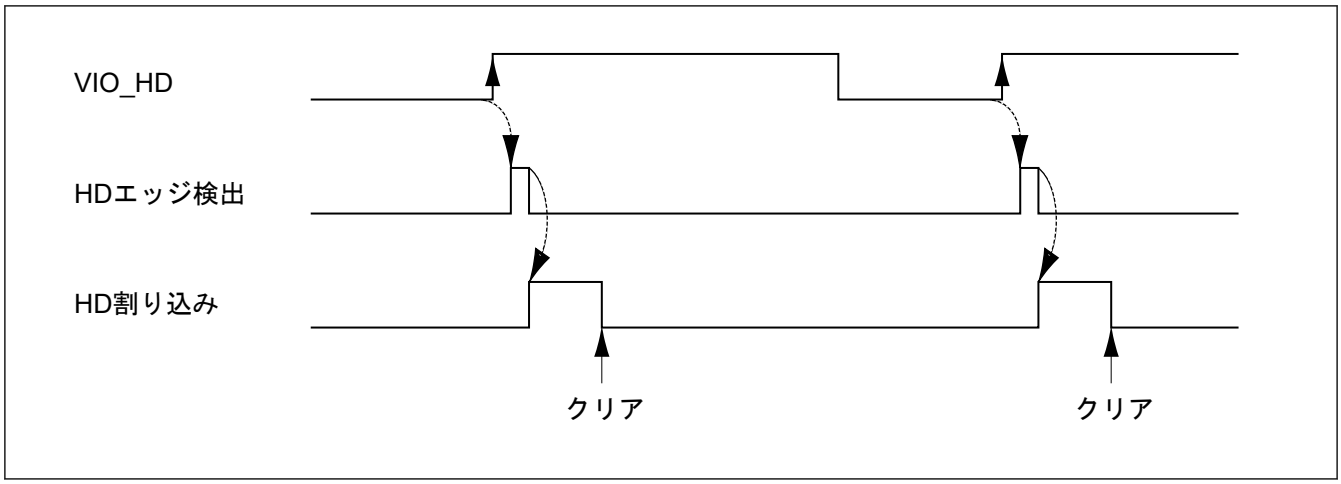


図 60.16　HD が正極性の場合の VIO_HD と HD 割り込みの関係

60.2.4　CMCYR : キャプチャインタフェースサイクルレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	VCYL[13:0]														—	—	HCYL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	HCYL[13:0]	外部モジュールの横方向のサイクル数 外部モジュールの HD サイクル数を設定します。外部モジュールから入力された HD のサイクル数がこの設定値と違う場合に、CETCR の割り込み要因ビット IGHS が 1 になります。イリーガル HD を検出したい場合に設定してください。 これらのビットをすべて 0 にクリアした場合、CETCR の割り込み要因ビット IGHS は 1 になりません。また、CAMCR の HDPOL ビット（HD 極性）を変更した際、CETCR の割り込み要因ビット IGHS が 1 になる場合がありますが、これは無視してください。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
29:16	VCYL[13:0]	外部モジュールの縦方向の HD 数 外部モジュールの VD サイクル数を HD 入力数で設定します。外部モジュールから入力された実際の VD のサイクル数がこの設定値と違う場合に、CETCR の割り込み要因ビット IGVS が 1 になります。イリーガル VD を検出したい場合に設定してください。 これらのビットをすべて 0 にクリアした場合、CETCR の割り込み要因ビット IGVS は 1 になりません。また、CAMCR の VDPOL ビット（VD 極性）を変更した際、CETCR の割り込み要因ビット IGVS が 1 になる場合がありますが、これは無視してください。	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CMCYR は、イリーガル VD、およびイリーガル HD の検出に使用します。HD に関しては、HD の立ち上がりから次の HD の立ち上がりまでのサイクル数（HD が負極性の場合は立ち下がり）、VD に関しては VD の立ち上がりから次の VD の立ち上がりまでの HD 入力の数（VD が負極性の場合は立ち下がり）を設定します。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

データイネーブル取り込みモード時は、本レジスタにすべて 0 を設定してください。

注. 本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待ってからキャプチャ起動をかけてください。

60.2.5 CAMOR, CAMOR_x : キャプチャインタフェースオフセットレジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0010 (CAMOR)
0x1010 (CAMOR_B)
0x2010 (CAMOR_M)

Bit position:	31				27											16			12											0
Bit field:	—	—	—	—	VOFST[11:0]											—	—	—	HOFST[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	HOFST[12:0]	キャプチャ開始位置を水平同期信号からのクロックサイクル数で指定します（1 サイクル単位）。 水平同期信号からのブランク期間は、外部モジュールにより異なります。これに対応するため、これらのビットに、水平方向のキャプチャ開始位置を、水平同期信号からの外部入力クロックサイクル数で指定することで、画像を画像有効領域からキャプチャすることが可能です。データ同期取り込みの際も同様です（図 60.19 参照）。また、外部モジュールによっては、データイネーブル信号として水平同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、これらのビットには 0 をセットしてください（図 60.20 参照）。 注. CEU は、最初の HD（水平同期信号）が必ず最初の VD（垂直同期信号）と同時または後に入力されることが動作条件となります。ここでの「入力」とは、極性（CAMCR の VDPOL および HDPOL ビット）に依存します。	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	VOFST[11:0]	キャプチャ開始位置を垂直同期信号からの HD 数で指定します（1HD 単位）。 垂直同期信号からのブランク期間は、外部モジュールにより異なります。これに対応するため、これらのビットに、垂直方向のキャプチャ開始位置を、垂直同期信号からの HD 数で指定することで、画像を画像有効領域からキャプチャすることが可能です（図 60.17 参照）。また、外部モジュールによっては、データイネーブル信号として垂直同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、これらのビットには 0 をセットしてください（図 60.18 参照）。	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CAMOR は、画像キャプチャを行う際のキャプチャ開始位置の設定を行います。

外部モジュールによって、VD（垂直同期信号）入力から有効画像期間開始位置までの HD（水平同期信号）入力数や、HD 入力から有効画像期間開始位置までのクロックサイクル数が異なりますので、CAMOR の設定で対応

してください。また、設定値を有効画像領域よりも多く設定することで、画像の切り出しキャプチャにも対応しています。データ同期取り込みモードの場合は、本レジスタの設定が、有効データ期間開始位置までのサイクル数（HD 数）となります。

データイネーブル取り込みモード時は、本レジスタは使用しません。

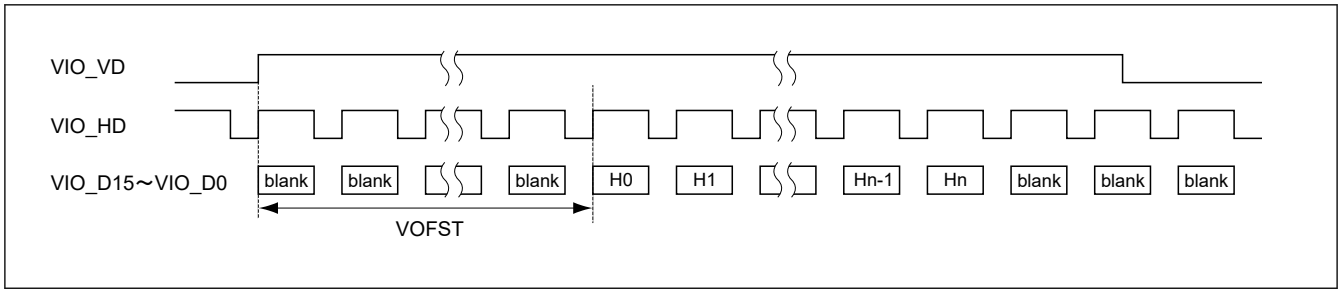


図 60.17　垂直オフセット

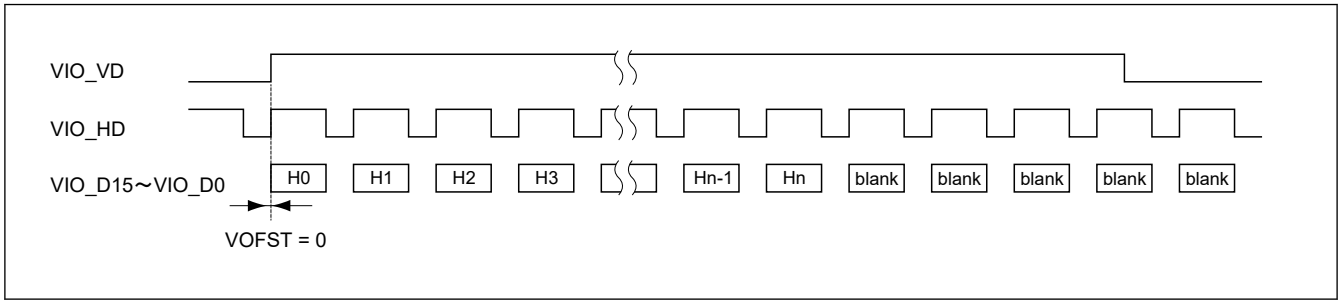


図 60.18　VD がデータイネーブル信号の場合のタイミング

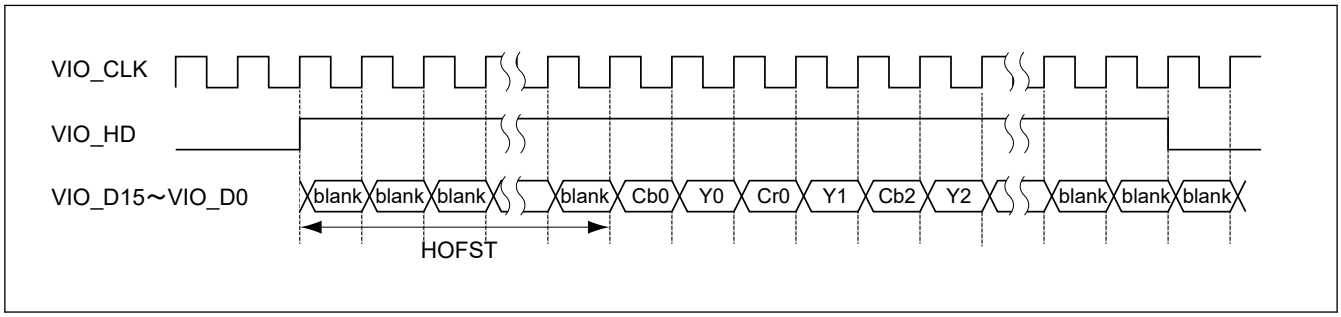


図 60.19　水平オフセット

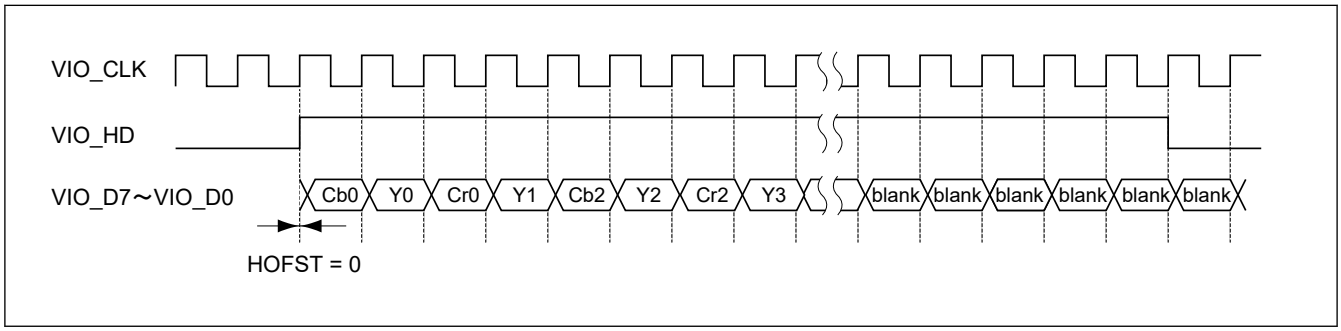
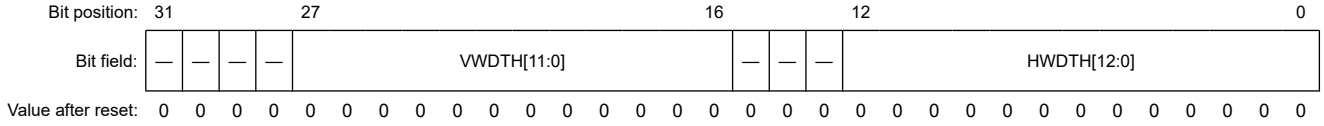


図 60.20　HD がデータイネーブル信号の場合のタイミング（8 ビットインタフェース）

60.2.6 CAPWR, CAPWR_x : キャプチャインタフェース幅レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0014 (CAPWR)
0x1014 (CAPWR_B)
0x2014 (CAPWR_M)



ビット	シンボル	機能	R/W
12:0	HWDTH[12:0]	水平方向のキャプチャ期間を指定します。 HOFST ビットで指定した位置からのキャプチャサイクル数を指定します。 図 60.22 に水平ブランク期間が 0 の場合のタイミングを示します。CEU は、水平方向にこれらのビットで指定したサイクル数のみをキャプチャします。データ同期取り込みの際も同様に設定してください。 最大設定値は以下のとおりです。 ● 8 ビットインタフェース 画像キャプチャ時（16 サイクル単位）: 5,120 サイクル（2,560 画素） データ同期取り込み時（8 サイクル単位）: 2,560 サイクル（2,560 バイト） ● 16 ビットインタフェース 画像キャプチャ時（8 サイクル単位）: 2,560 サイクル（2,560 画素） データ同期取り込み時（4 サイクル単位）: 1,280 サイクル（2,560 バイト） 下位 2 ビットは 0 を書き込んでください。 注. データ同期取り込みの際は CFSZR および CDWDR の値は本レジスタに設定した値をもとに設定してください詳細は、CFSZR および CDWDR の説明を参照してください。	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	VWDTH[11:0]	垂直方向のキャプチャ期間を指定します（4HD 単位）。 CAMOR の VOFST ビットで指定した位置からのキャプチャライン数（HD 数）を指定します。 図 60.21 に垂直ブランク期間が 0 の場合のタイミングを示します。CEU は、垂直方向にこれらのビットで指定したライン数（HD 数）のみをキャプチャします。データ同期取り込みの際も同様に設定してください。最大設定値は、1,920HD（5 M 画素）となります。 下位 2 ビットは書き込み値を無視するので、下位 2 ビットに 0 を書き込んでください。	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CAPWR は、画像キャプチャを行う際の取り込み（キャプチャ）サイクル幅を設定します。

サイクル幅の単位は、インタフェースやキャプチャするデータの種類によって異なります。それぞれの設定単位は表 60.6 を参照してください。

データイネーブル取り込みモード時は、本レジスタは使用しません。

表 60.6 取り込み（キャプチャ）サイクル幅設定単位

	垂直方向		水平方向	
インタフェース	画像キャプチャ	データ同期取り込み	画像キャプチャ	データ同期取り込み
8 ビットインタフェース	4HD	4HD	16 サイクル	8 サイクル
16 ビットインタフェース	4HD	4HD	8 サイクル	4 サイクル

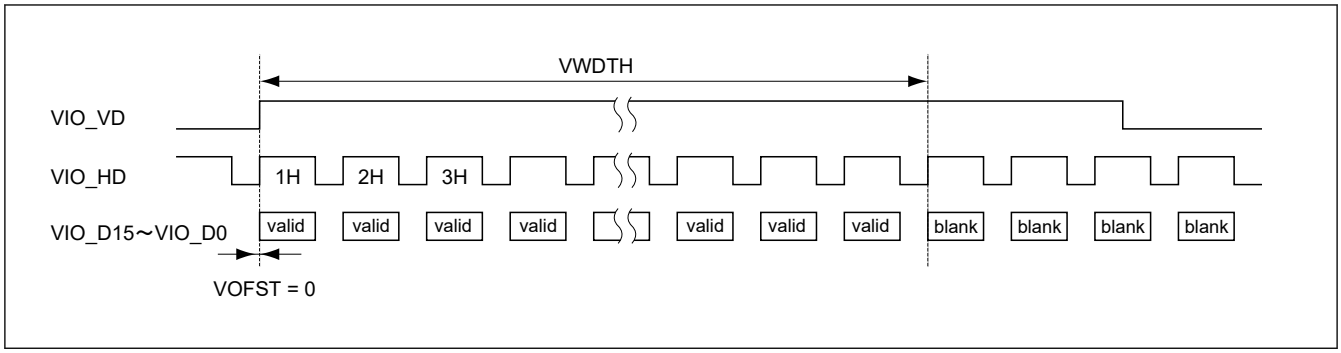


図 60.21　垂直キャプチャタイミング

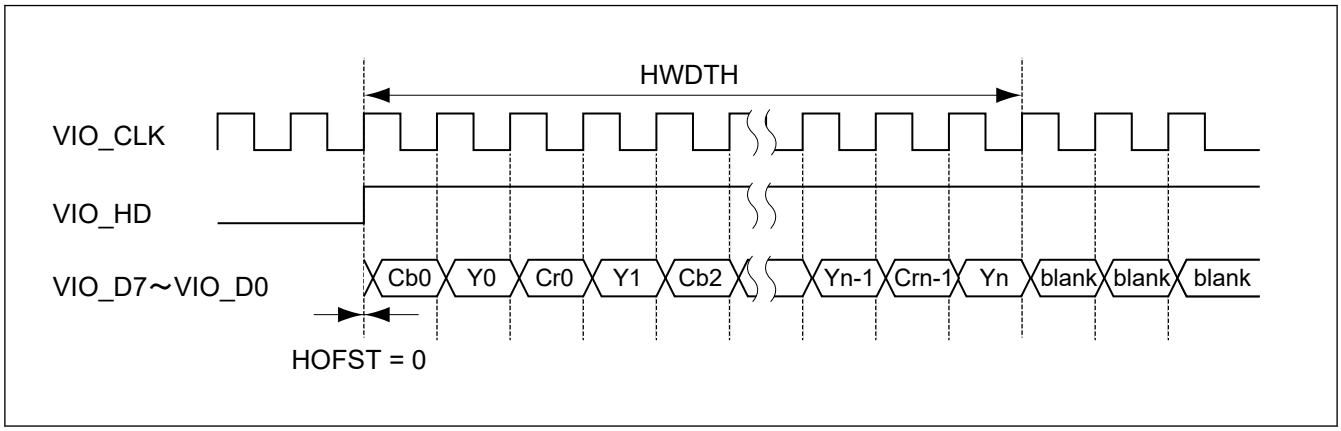


図 60.22　水平キャプチャタイミング（画像キャプチャ 8 ビットインタフェース）

60.2.7　CAIFR : キャプチャインタフェース入力方式レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IFS	—	—	—	CIM	—	—	FCI[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	FCI[1:0]	キャプチャ開始タイミングを設定します。 キャプチャを開始するタイミングを、最初にキャプチャする画像を指定することで設定します。入力方式がプログレッシブの場合は、00 を設定してください。 0 0: トップ／ボトムフィールドにかかわらず、CEU 起動直後の VD 入力からキャプチャを開始 0 1: CEU 起動後、トップフィールド画像の入力まで待って、トップフィールドからキャプチャを開始 1 0: CEU 起動後、ボトムフィールド画像の入力まで待って、ボトムフィールドからキャプチャを開始 1 1: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	CIM	キャプチャ対象画像を設定します。 画像キャプチャの入力方式がプログレッシブ（フレーム画像）の場合、または画像キャプチャの入力方式がインターレースでかつ、トップ／ボトム両フィールドを連続してキャプチャする場合は 0 を設定してください。画像キャプチャの入力方式がインターレースでかつ、片フィールド画像のみをキャプチャする場合は 1 を設定してください。 0: フレーム画像 (1VD) もしくは両フィールド画像 (2VD) をキャプチャ 1: 片フィールド画像 (1VD) をキャプチャ	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	IFS	画像キャプチャの入力方式を設定します。 0: プログレッシブ 1: インターレース	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CAIFR は、画像キャプチャのための入力方式（プログレッシブ／インターレース）、キャプチャ対象画像（フレーム／両フィールド／片フィールド）、キャプチャを開始する画像（トップフィールド／ボトムフィールド）等を設定します。CAIFR は、データ取り込みモード中は使用しません。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

CAIFR で設定する項目を表 60.7 に示します。

表 60.7 CAIFR 設定項目

入力方式	IFS ビット	キャプチャ画像	CIM ビット	キャプチャを開始する画像	FCI ビット
プログレッシブ	0	フレーム	0	起動直後のフレーム	00
インターレース	1	両フィールド（2VD キャプチャ）	0	起動直後のフィールド	00
				トップフィールド	01
				ボトムフィールド	10
				設定禁止	11
		片フィールド（1VD キャプチャ）	1	起動直後のフィールド	00
				トップフィールド	01
				ボトムフィールド	10
				設定禁止	11

フレーム画像キャプチャおよび片フィールド画像キャプチャでは、1VD のキャプチャを終了した時点で、1 フレームキャプチャ終了割り込みが発生します。一方、両フィールド画像キャプチャでは、1VD のキャプチャが終了した時点で、1 フィールドキャプチャ終了割り込みが発生し、2VD のキャプチャを終了した時点で、1 フレームキャプチャ終了割り込みが発生します。このとき、1 フィールドキャプチャ終了割り込みと 1 フレームキャプチャ終了割り込みは、同時に発生します。両フィールド画像キャプチャの 1 フレームキャプチャ終了割り込みおよび 1 フィールドキャプチャ終了割り込みのタイミングを図 60.23 に示します。

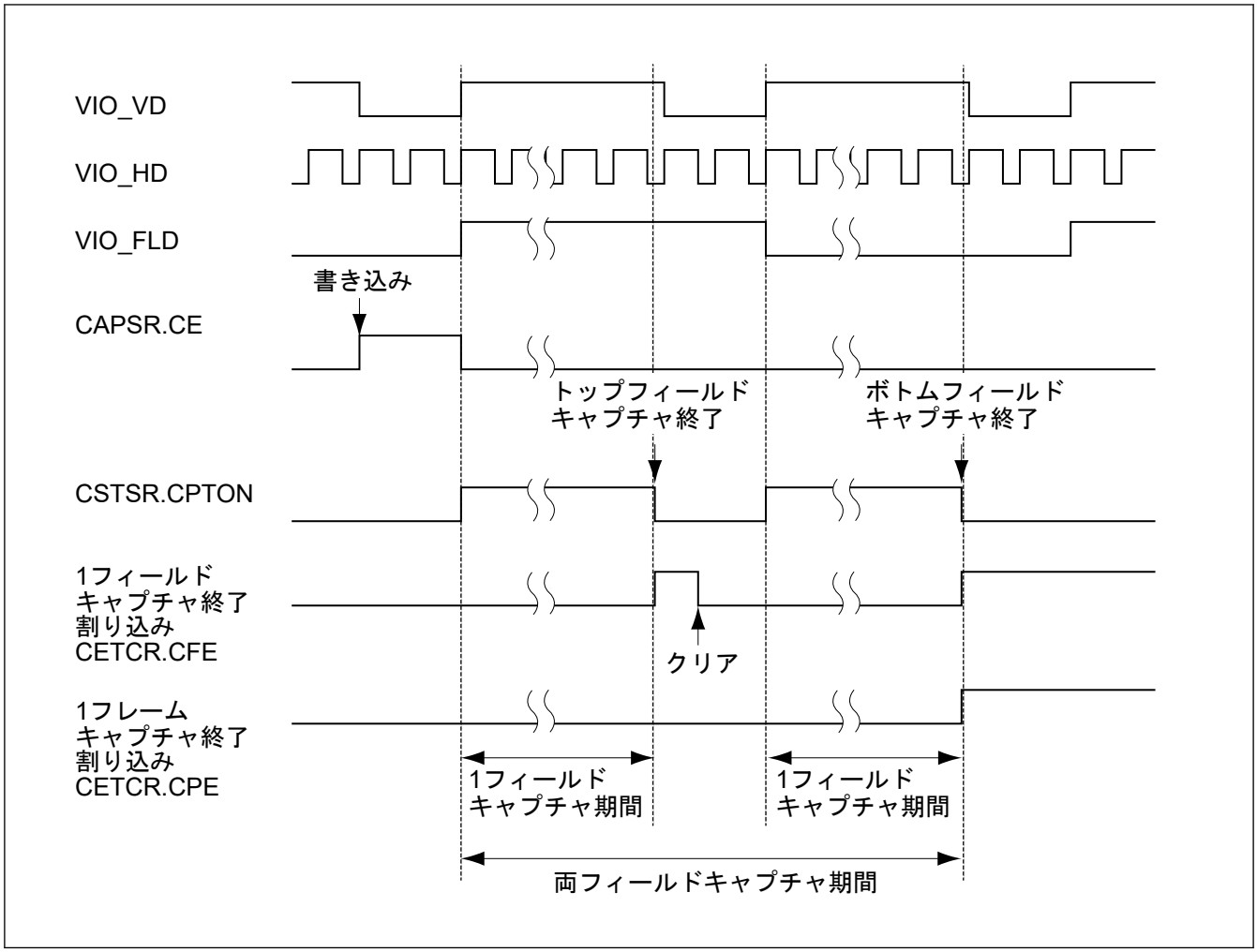


図 60.23 両フィールド画像キャプチャの 1 フレームキャプチャ終了割り込みおよび 1 フィールドキャプチャ終了割り込み

フレームキャプチャ画像および片フィールドキャプチャ画像は、CDAYR および CDACR に設定されているアドレスを先頭に、メモリに格納されます（図 60.24）。両フィールドキャプチャ画像は、トップフィールド画像とボトムフィールド画像で格納されるメモリ領域が異なります。トップフィールド画像は、CDAYR および CDACR に設定されているアドレスを先頭に、ボトムフィールド画像は、CDBYR および CDBCR に設定されているアドレスを先頭に、メモリに格納されます（図 60.25）。

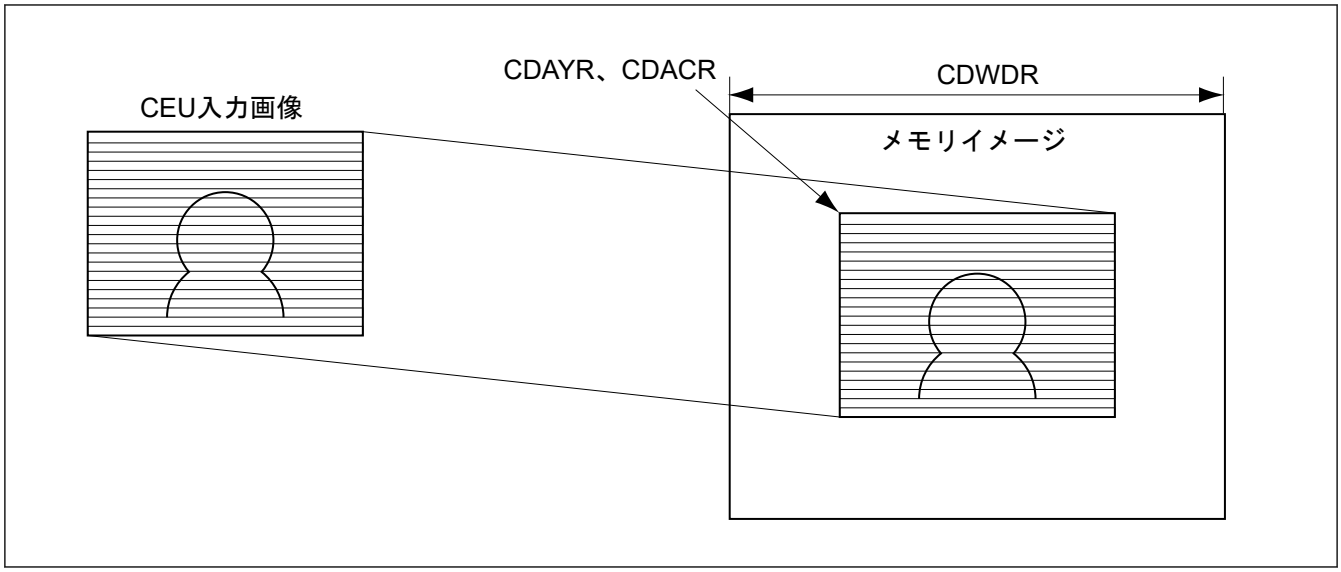


図 60.24　フレームキャプチャ画像および片フィールドキャプチャ画像のメモリ格納イメージ

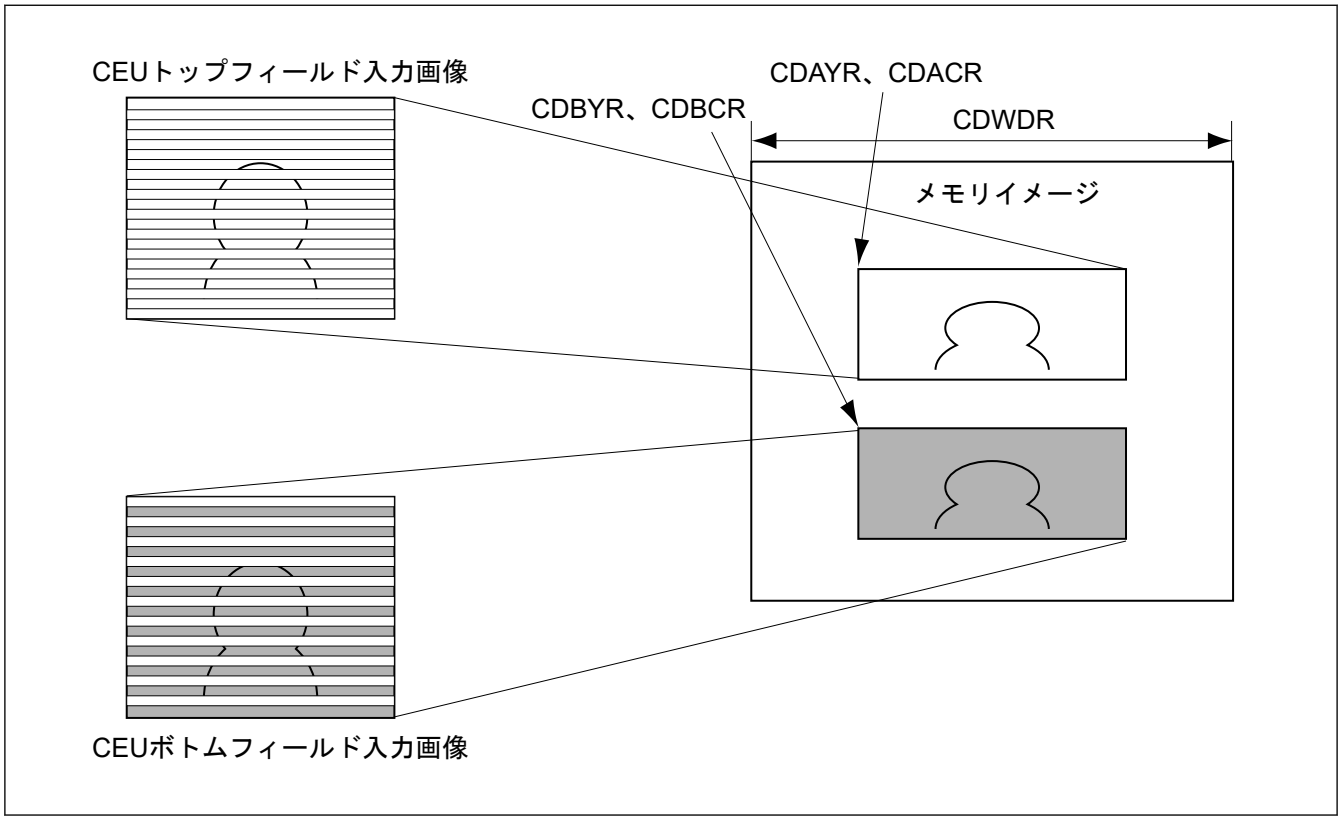


図 60.25　両フィールドキャプチャ画像のメモリ格納イメージ

インターレース入力方式の連続キャプチャで、FCI ビットを 00b に設定した場合、両フィールド画像キャプチャでは、最初に取り込んだフィールドを基準にして、2VD の期間連続してキャプチャします（図 60.26）。片フィールド画像キャプチャでは、最初に取り込んだフィールドのみ 1VD の期間連続してキャプチャします（図 60.27）。

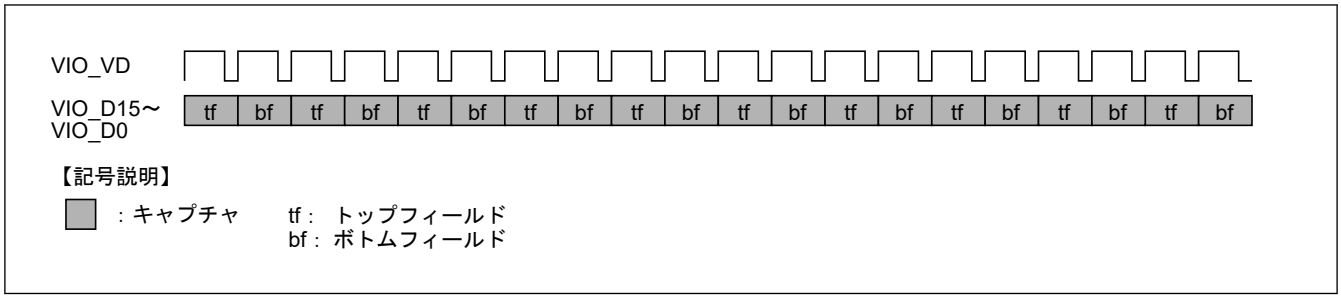


図 60.26　インターレース入力方式での両フィールド連続キャプチャ（起動直後の画像がトップフィールドの場合 (FCI[1:0] = 00b)）

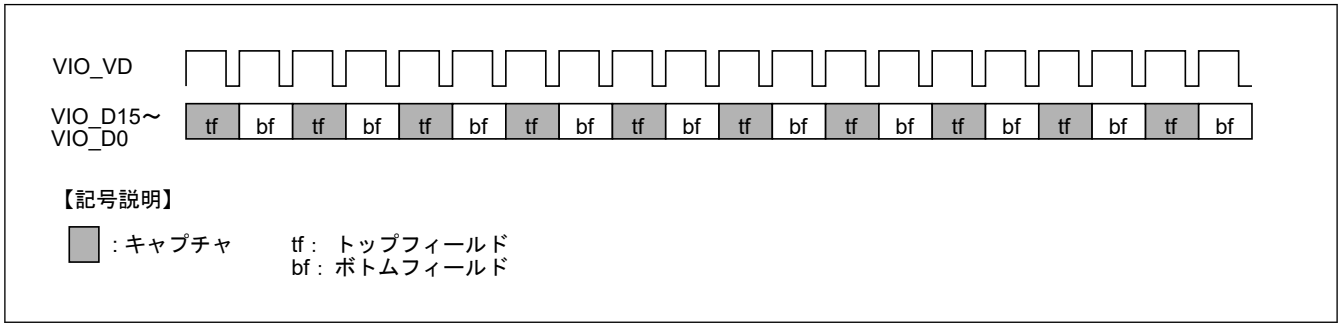


図 60.27　インターレース入力方式での片フィールド連続キャプチャ（起動直後の画像がトップフィールドの場合 (FCI[1:0] = 00b)）

(1)　インターレース入力のフレームイメージ格納

CEU では、インターレース入力画像をフレームイメージでメモリに格納できます。インターレース入力画像をフレームイメージで格納する場合、本レジスタの各ビットを以下のように設定してください。

入力方式：インターレース (IFS = 1)

キャプチャ画像：両フィールド (CIM = 0)

キャプチャを開始する画像：禁止設定を除く任意（FCI[1:0]＝任意）

インターレース入力を両フィールドキャプチャし、フレームイメージでメモリに格納した場合のメモリイメージを図 60.28 に示します。CDAYR および CDACR にはトップフィールドキャプチャ画像のメモリ格納先先頭アドレスを、CDBYR および CDBCR にはボトムフィールドキャプチャ画像のメモリ格納先先頭アドレスを設定してください。インターレース画像をフレームイメージでメモリに格納する場合、CDWDR には図 60.28 のように、トップフィールド画像とボトムフィールド画像を横に並べるイメージで、メモリ領域の画像の横サイズを設定してください。また、CAPWR の VWDTH ビットには、フィールド画像のキャプチャライン数を設定してください。

図 60.28 のメモリ領域の画像の横サイズを CDWDR/2 で折り返したメモリイメージを、図 60.29 に示します。図 60.28 のイメージでレジスタを設定することによって、図 60.29 のようにインターレース画像がフレームイメージでメモリに格納されます。

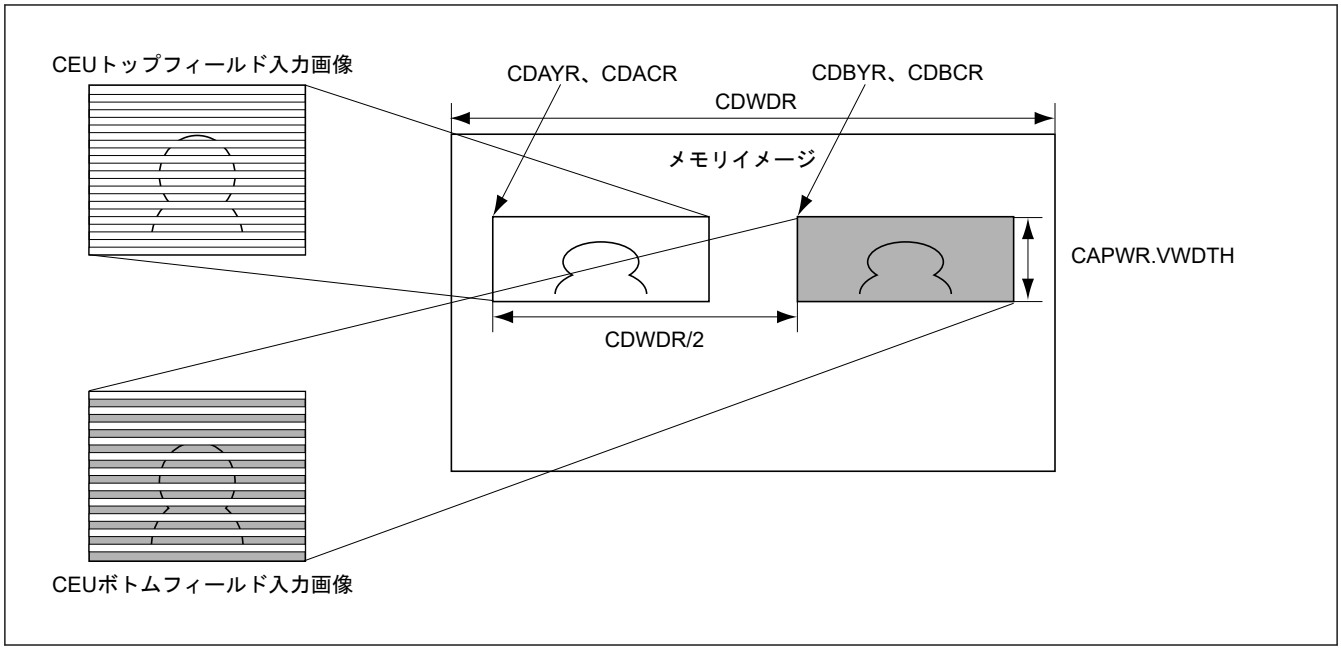


図 60.28　インターレース入力両フィールドキャプチャのメモリ格納イメージ

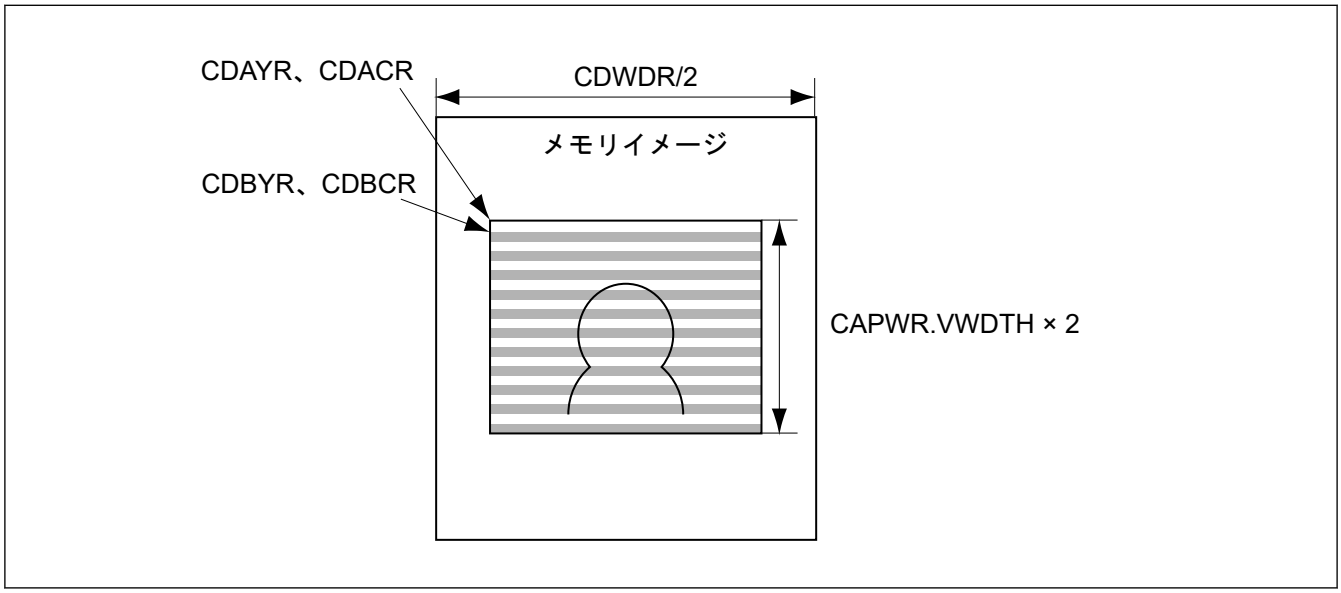


図 60.29　インターレース入力のフレームイメージメモリ格納イメージ

60.2.8　CRCNTR : CEU レジスタ制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RVS	—	—	RS	RC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RC	VD に同期して CEU が使用するレジスタ面の切り替えを指定します。 レジスタ面を切り替えない場合は、RS ビットで指定されたレジスタ面を使用します。 0: VD に同期して指定されたレジスタ面を使用する 1: VD に同期してレジスタ面を切り替える	R/W
1	RS	VD に同期して CEU が使用するレジスタ面を指定します。 このビットは、RC ＝ 0 のときのみ有効です。 0: A 面のレジスタを使用する 1: B 面のレジスタを使用する	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	RVS	両フィールドキャプチャ時のレジスタ面切り替えタイミングを設定します。 このビットは、両フィールドキャプチャでかつ RC ＝ 1 のときのみ有効です。 0: 2VD ごとにレジスタ面を切り替え 1: 1VD ごとにレジスタ面を切り替え	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CRCNTR は、2 面構成となっているレジスタの面の切り替えを制御します。

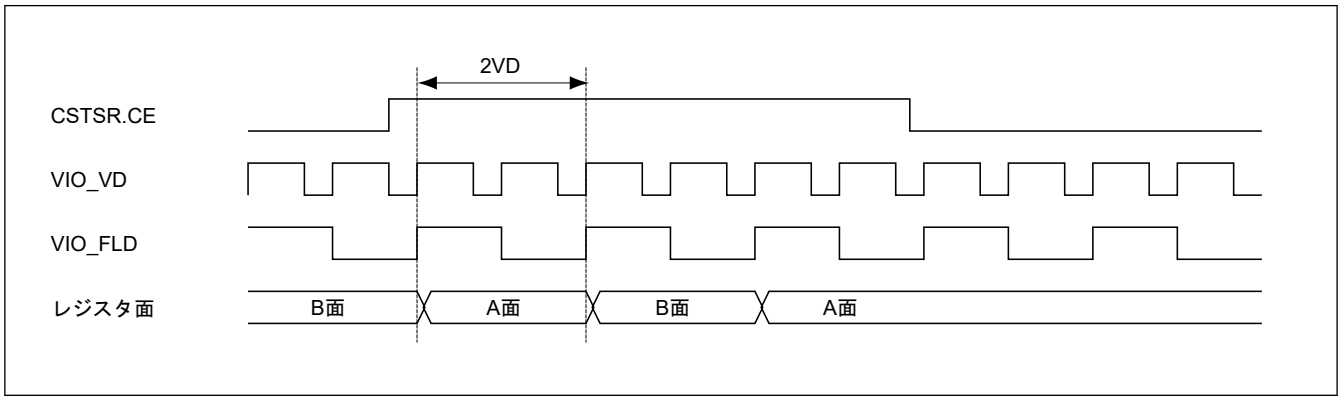


図 60.30 RVS ＝ 0 のときのレジスタ面切り替えタイミング

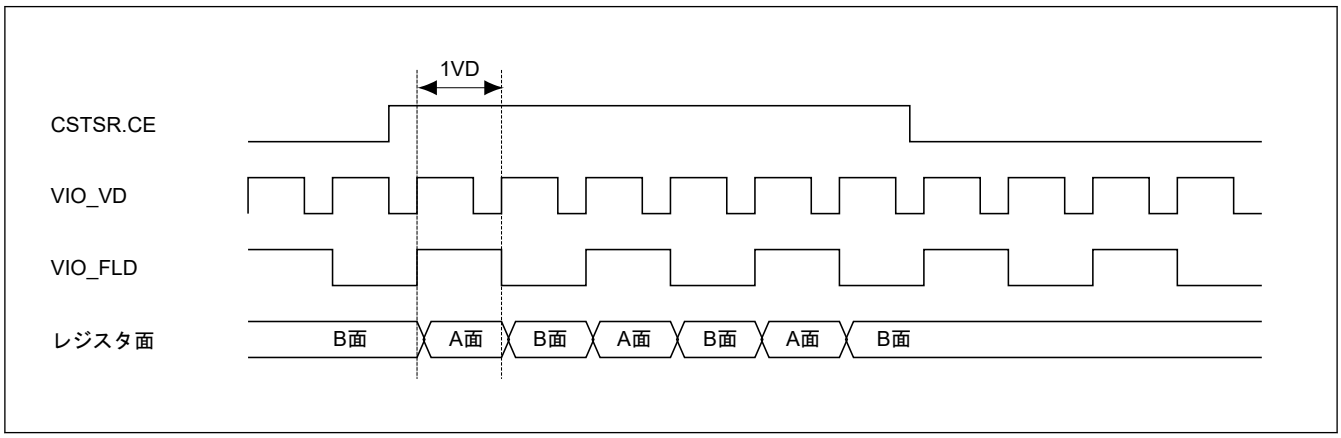


図 60.31 RVS ＝ 1 のときのレジスタ面切り替えタイミング

60.2.9 CRCMPR : CEU レジスタ強制制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x002C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RA	現在指定しているレジスタ面を表しています。 本レジスタ値は、キャプチャを開始する VD に同期して自動的に切り替わります。VD に同期してレジスタ面を切り替える設定 (CRCNTR.RC = 1)で、レジスタの A 面からキャプチャを開始したい場合は、このビットでレジスタの B 面を指定してください。 0: A 面のレジスタを指定する 1: B 面のレジスタを指定する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CRCMPR は、2 面構成となっているレジスタ面の切り替えを強制的に制御します。本レジスタを設定することにより、直接レジスタ面の切り替えを制御できます。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

60.2.10 CFLCR, CFLCR_x : キャプチャフィルタ制御レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0030 (CFLCR)
0x1030 (CFLCR_B)
0x2030 (CFLCR_M)

Bit position:	31 28	27 16	15 12	11 0
Bit field:	VMANT[3:0]	VFRAC[11:0]	HMANT[3:0]	HFRAC[11:0]
Value after reset:	0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
11:0	HFRAC[11:0]	水平方向の縮小率の小数部 設定範囲は、0x000～0xFF8 です。HMANT ビットのみでは設定できない縮小率の小数部を設定してください。 下位 3 ビットは書き込み値を無視するので、下位 3 ビットに 0 を書き込んでください。	R/W
15:12	HMANT[3:0]	水平方向の縮小率の仮数部 設定範囲は、0x0～0xF です。HMANT ビットを 0x0、HFRAC ビットを 0x000 に設定した場合には、縮小フィルタを使用しません。	R/W
27:16	VFRAC[11:0]	垂直方向の縮小率の小数部 設定範囲は、0x000～0xFF8 です。VMANT ビットのみでは設定できない縮小率の小数部を設定してください。 下位 3 ビットは書き込み値を無視するので、下位 3 ビットに 0 を書き込んでください。	R/W
31:28	VMANT[3:0]	垂直方向の縮小率の仮数部 設定範囲は、0x0～0xF です。VMANT ビットを 0x0、VFRAC ビットを 0x000 に設定した場合には、縮小フィルタを使用しません。	R/W

注. S-TYPE-3、P-TYPE-3

CFLCR は、画像縮小フィルタの縮小率を設定します。

CEU には画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。縮小処理を行わない場合（等倍）は、CFLCR に 0 を設定してください。CFLCR に 0 以外を設定した場合、縮小処理を実行します。データ取り込みモードでは、CFLCR はすべて 0 を指定してください。

インターレース入力画像をフレーム画像として扱うときは、CFLCR には 0 を設定し、フィルタをかけないでください。

CEU には、画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。

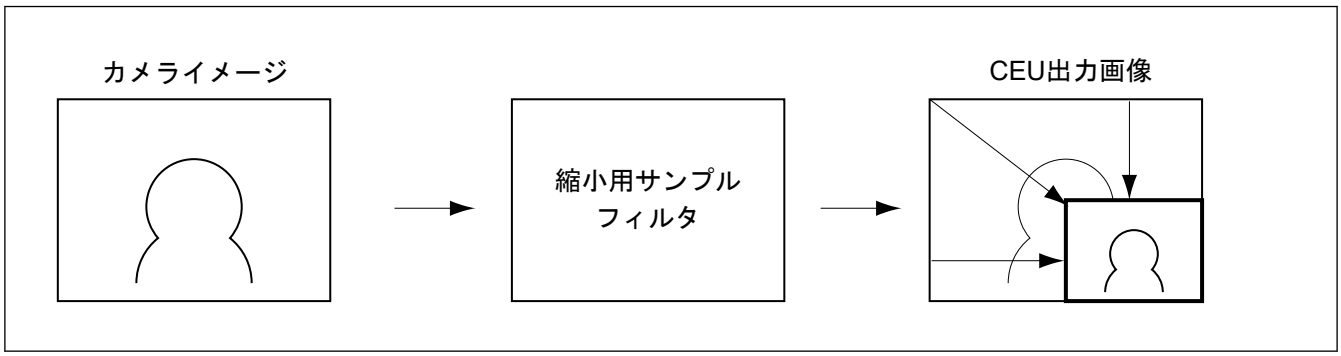


図 60.32 キャプチャ画像の縮小

以下に、フィルタの入力画素数と出力画素数から MANT（VMANT または HMANT）と FRAC（VFRAC または HFRAC）を求める計算式を示します。CEU の入力画素数に対して所望の出力画素数を得られるように MANT および FRAC を設定してください。

まず、仮の MANT 値および FRAC 値を求めます。計算に必要となるパラメータを、以下のように定義します。

$$\alpha = \mathrm{MANT} \times 4096 + \mathrm{FRAC} \quad \text{…数式 1}$$

$$\mathrm{SCL}(\text{倍率}) = \frac{4096}{\alpha} \quad \text{…数式 2}$$

整数 x の小数点以下を切り捨てる演算子を⌊x⌋として表現すると、数式 1 および数式 2 より以下のように MANT および FRAC を仮に設定できます。

$$\mathrm{MANT} = \left\lfloor \frac{1}{\mathrm{SCL}} \right\rfloor, \mathrm{FRAC} = \left\lfloor 512 \times \left(\frac{1}{\mathrm{SCL}} - \mathrm{MANT} \right) \right\rfloor \times 8$$

ここで、縮小時のフィルタ出力サイズ ($SIZE_D$) は、以下の数式において入力画像サイズを S_{in}（8 ビットインタフェース：CAPWR 設定値の 1/2、16 ビットインタフェース：CAPWR 設定値）を使って計算できます。

$$\mathrm{SIZE}_D = \left\lfloor 1 + \left(\left\lfloor \frac{1}{2} + \frac{S_{\mathrm{in}} - 1}{\mathrm{MANT}_{\mathrm{pre}}} \right\rfloor - 1 \right) \times \frac{\mathrm{MANT}_{\mathrm{pre}} \times 4096}{\alpha} \right\rfloor \quad \text{…数式 3}$$

$$\begin{bmatrix} \mathrm{MANT}_{\mathrm{pre}} = 1 \rightarrow (0 \leqq \mathrm{MANT} < 2) \\ \mathrm{MANT}_{\mathrm{pre}} = 2 \rightarrow (2 \leqq \mathrm{MANT} < 4) \\ \mathrm{MANT}_{\mathrm{pre}} = 4 \rightarrow (4 \leqq \mathrm{MANT} < 8) \\ \mathrm{MANT}_{\mathrm{pre}} = 8 \rightarrow (8 \leqq \mathrm{MANT}) \end{bmatrix}$$

これらの式に仮で求めた MANT、FRAC、および入力画像サイズを代入すると出力画素を求めることができます。求めた出力画素数が MANT 値および FRAC 値を仮で求める際に使用した出力画素数より小さくなった場合は、FRAC(α) の値を少し小さくして再計算を行い、要求する出力画素数より大きい画素値が得られる MANT 値および FRAC 値を本レジスタに設定してください。

（例）640 画素を 480 画素に縮小する

SCL ＝ 480/640 ＝ 3/4 となり MANT ＝ 1、MANTpre ＝ 1、FRAC ＝ 0x550 を仮で設定します。これを下記の数式へ代入すると出力画素数 479 を得ることがでます。

$$SIZE_D = \left\lfloor 1 + \left(\left\lfloor \frac{1}{2} + \frac{S_{in} - 1}{MANT_{pre}} \right\rfloor - 1 \right) \times \frac{MANT_{pre} \times 4096}{\alpha} \right\rfloor$$ …数式 3

この出力画素数は、要求する出力画素数 480 よりも小さいため、FRAC を 8 小さい 0x548 にして再計算すると、出力画素数＝ 480 を得ることができ、要求する出力画素数 480 に等しいので、レジスタへは MANT ＝ 1、FRAC ＝ 0x548 を設定します。

表 60.8　縮小フィルタの各倍率設定例

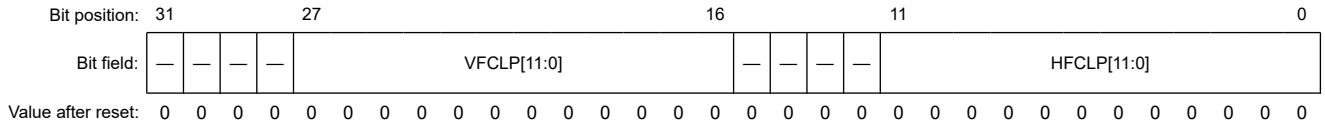
縮小率	FRAC		MANT	入力画素数	出力画素数	クリップサイズ (CFSZR)
	10 進数	16 進数				
7/8	576	0x240	1	640	560	560
3/4	1352	0x548	1	640	480	480
5/8	2448	0x990	1	640	400	400
1/2	0	0x0	2	640	320	320
3/8	2728	0xAA8	2	640	240	240
1/3	0.0	0x0	3	640	213	212
1/4	0.0	0x0	4	640	160	160
1/5	0.0	0x0	5	640	128	128
1/6	0.0	0x0	6	640	107	104
1/7	0.0	0x0	7	640	91	88
1/8	0.0	0x0	8	640	80	80
1/16	4088	0xFF8	15	640	40	40

注.　本縮小フィルタでは VGA サイズのラインメモリを用いて縮小を行うために、VGA サイズよりも大きい画像を入力して縮小を行う場合、出力後の画像サイズが SubQCIF サイズ以上 VGA サイズ以下になるように設定してください。縮小を行わない場合（等倍）は、本制約は関係ありません。

60.2.11　CFSZR, CFSZR_x : キャプチャフィルタサイズクリップレジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0034 (CFSZR)
0x1034 (CFSZR_B)
0x2034 (CFSZR_M)



ビット	シンボル	機能	R/W
11:0	HFCLP[11:0]	水平方向のフィルタ出力サイズのクリップ値を指定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	VFCLP[11:0]	垂直方向のフィルタ出力サイズのクリップ値を指定します（4 画素単位）。 下位 2 ビットは書き込み値を無視するので、下位 2 ビットに 0 を書き込んでください。	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3、P-TYPE-3

CFSZR は、フィルタの出力サイズ微調整用のクリップサイズ設定用レジスタです。CFLCR と合わせて使用してください。フィルタの出力サイズをクリップする際、そのサイズを画素数で設定してください。設定単位は 4 画素単位です。CFSZR は、縮小を行わない（等倍出力）場合も設定してください。

データイネーブル取り込みモード時は、本レジスタは使用しません。

データ同期取り込みモードの際は、CFSZR は CAPWR の設定をもとに設定してください。

CEU 部に搭載している縮小フィルタは、設定によっては、奇数画素または奇数ラインを出力する場合があります。このため、フィルタの出力サイズを調整するために、CEU は図 60.33 に示すように CFSZR に設定した画素数で出力画像をクリッピングします。クリップサイズは、縦方向に 4 画素単位、横方向に 8 画素単位で指定する必要があります。

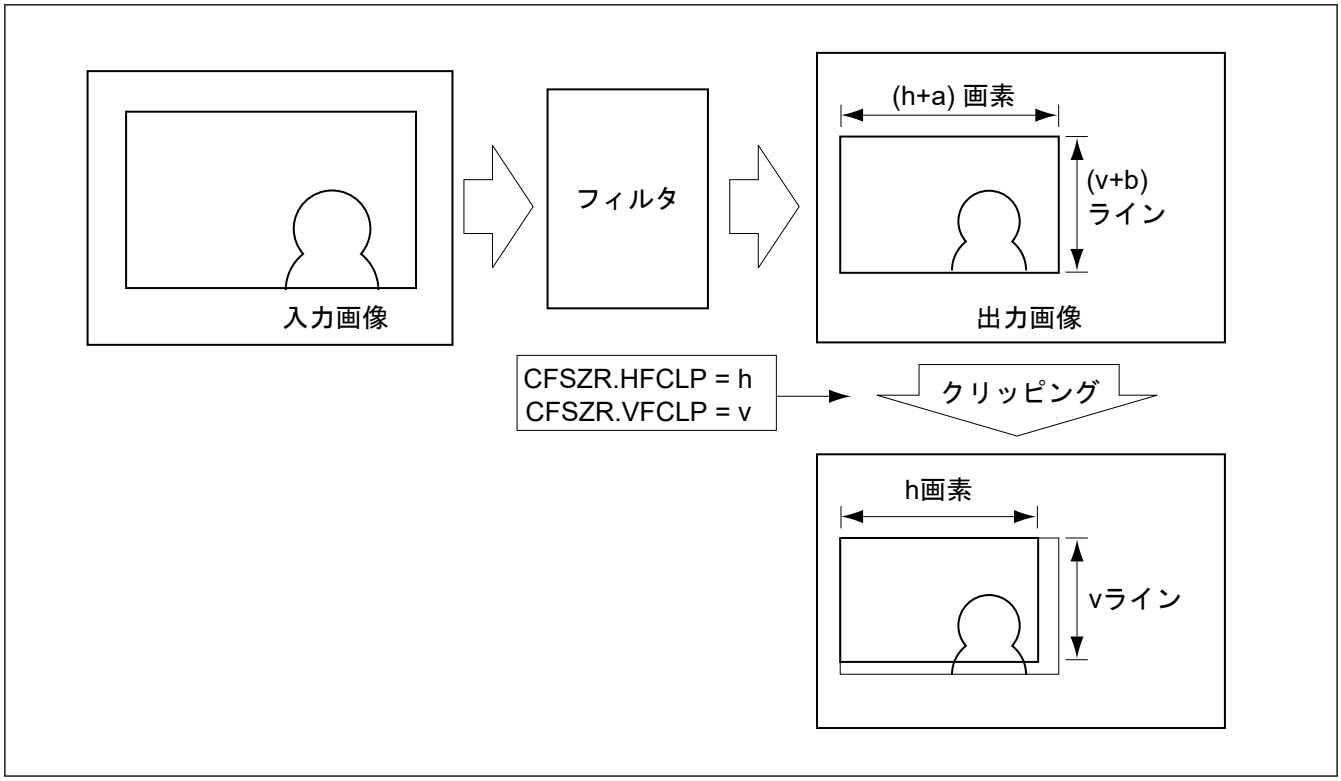


図 60.33　フィルタ出力画像のクリッピング

クリップの画素数は、画面の左上からのカウントになります。設定した画素数よりも右側、設定したライン数よりも下側にある画素については、クリップ機能により切り捨てられます。CFSZR に設定した画素数が、実際のフィルタ出力画素数よりも大きい場合、動作保証できませんので、CFSZR に指定するクリップサイズは必ずフィルタの出力画素数以下の値を設定してください。

注.　データ同期取り込みモードの際は以下の設定が必要となります。以下の設定を行わないと、データを正しく取り込むことができません。

- 8 ビットインタフェース：
  VFCLP = CAPWR.VWDTH
  HFCLP = CAPWR.HWDTH/2
- 16 ビットインタフェース：
  VFCLP = CAPWR.VWDTH
  HFCLP = CAPWR.HWDTH

60.2.12　CDWDR, CDWDR_x : キャプチャデスティネーション幅レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0038 (CDWDR)
0x1038 (CDWDR_B)
0x2038 (CDWDR_M)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CHDW[12:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	CHDW[12:0]	キャプチャ画像を格納するメモリ領域の画像の横サイズを指定します（8 バイト単位）。 CEU でキャプチャした画像データは、メモリへ格納されます。 データ同期取り込みモードでは、以下のように設定します。 8 ビットインタフェース：CHDW = CAPWR.HWDTH 16 ビットインタフェース：CHDW = CAPWR.HWDTH × 2 下位 3 ビットは 0 を書き込んでください。	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CDWDR は、キャプチャした画像を出力するメモリ領域の画像の横サイズを 8 バイト単位（8 画素単位）で設定します。

データ同期取り込みモードの際は、CAPWR の設定をもとに、CDWDR を設定してください。

データイネーブル取り込みモード時は、本レジスタは使用しません。

60.2.13 CDAYR, CDAYR_x : キャプチャデータアドレス Y レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x003C (CDAYR)
0x103C (CDAYR_B)
0x203C (CDAYR_M)

Bit position:	31																												0
Bit field:	CAYR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CAYR[31:0]	キャプチャデータアドレス Y ● フレーム画像キャプチャ時：キャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● 片フィールド画像キャプチャ時：キャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● 両フィールド画像キャプチャ時: トップフィールドキャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● データ取り込み時：データ格納先アドレス（8 バイト単位）を設定 ● データイネーブル取り込みバンドル書き込み時：データ格納先アドレス（32 バイト単位）を設定 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDAYR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のキャプチャデータの輝度成分の格納先アドレス指定、両フィールド画像キャプチャの際のキャプチャしたトップフィールドの輝度成分格納先アドレス指定、およびデータ取り込みの際の取り込んだデータの格納先アドレス指定を行います。CEU は、キャプチャした画像データをバスを経由し輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、CDAYR がキャプチャデータの輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、CDAYR がトップフィールドキャプチャ画像の輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。データ取り込みの際は、CDAYR がデータ格納に使用するメモリ領域の先頭アドレスを設定してください。

アドレスは 32 ビットで指定する必要があるため、CDAYR で設定するアドレスはロングワード単位である必要があります。

本レジスタには、図 60.34 に示すように、取り込んだデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ取り込み時 : 取り込んだデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。データ取り込みモードでは先頭アドレスから単純にデータを詰めていくため、終了アドレスは以下のようになります。
  （終了アドレス）＝ CDAYR ＋ （取り込みバイト数）
- データイネーブル取り込みバンドル書き込み時：32 バイト単位でアドレスを設定してください。

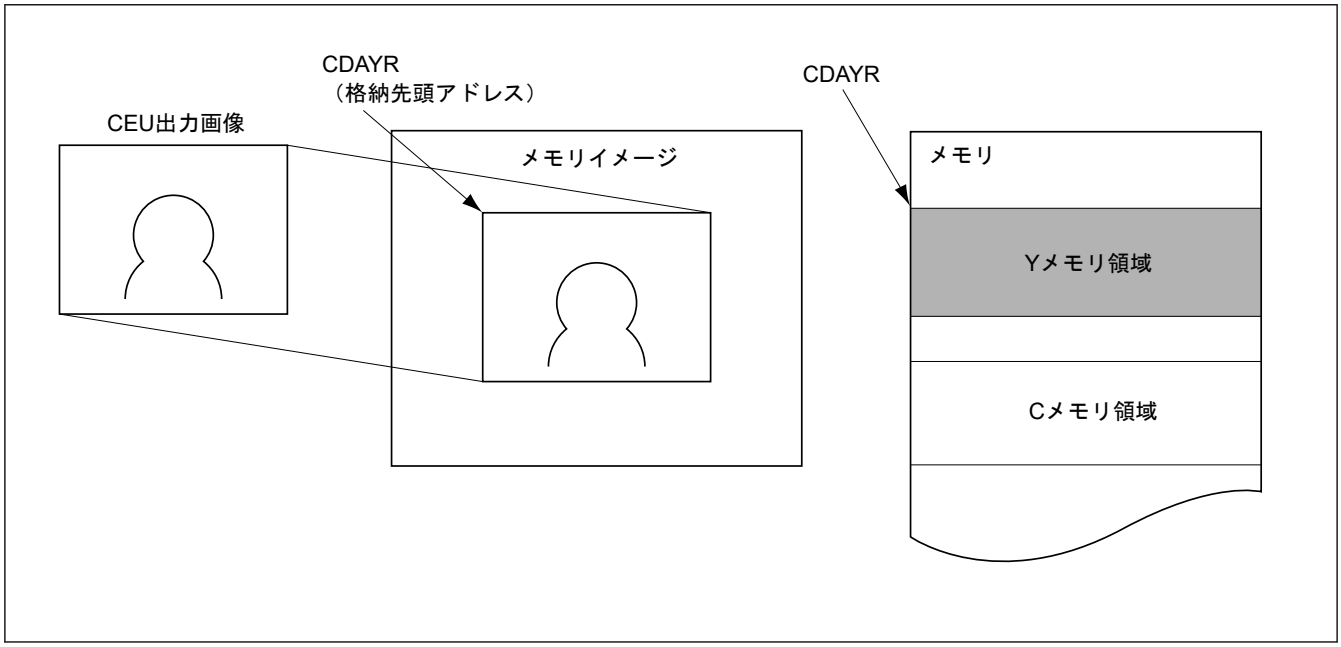


図 60.34　キャプチャ画像と輝度成分メモリ領域の関係

60.2.14　CDACR, CDACR_x : キャプチャデータアドレス C レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0040 (CDACR)
0x1040 (CDACR_B)
0x2040 (CDACR_M)

Bit position:	31																												0
Bit field:	CACR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CACR[31:0]	キャプチャデータアドレス C ● フレーム画像キャプチャ時 : キャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 ● 片フィールド画像キャプチャ時 : キャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 ● 両フィールド画像キャプチャ時 : トップフィールドキャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 下位 3 ビットは 0 を書き込んでください。	R/W

注.　S-TYPE-3、P-TYPE-3

CDACR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの色差成分の格納先アドレス指定および両フィールド画像キャプチャの際のキャプチャしたトップフィールドの色差成分格納先アドレス指定を行います。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールドキャプチャの際は、CDACR がキャプチャデータの色差成分を格納するメモリ領域の先頭アドレスを設定してください。両フィールド画像

キャプチャの際は、CDACR がトップフィールドキャプチャ画像の色差成分の格納に使用するメモリ領域の先頭アドレスを設定してください。データ取り込みの際は、CDACR は使用しません。

アドレスは 32 ビットで指定する必要があるため、CDACR で設定するアドレスはロングワード単位である必要があります。

本レジスタには、図 60.35 に示すように、キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、色差成分の出力データ形式は図 60.36 のようになっており、この形式でメモリに格納します。

- フレーム画像キャプチャ時：キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

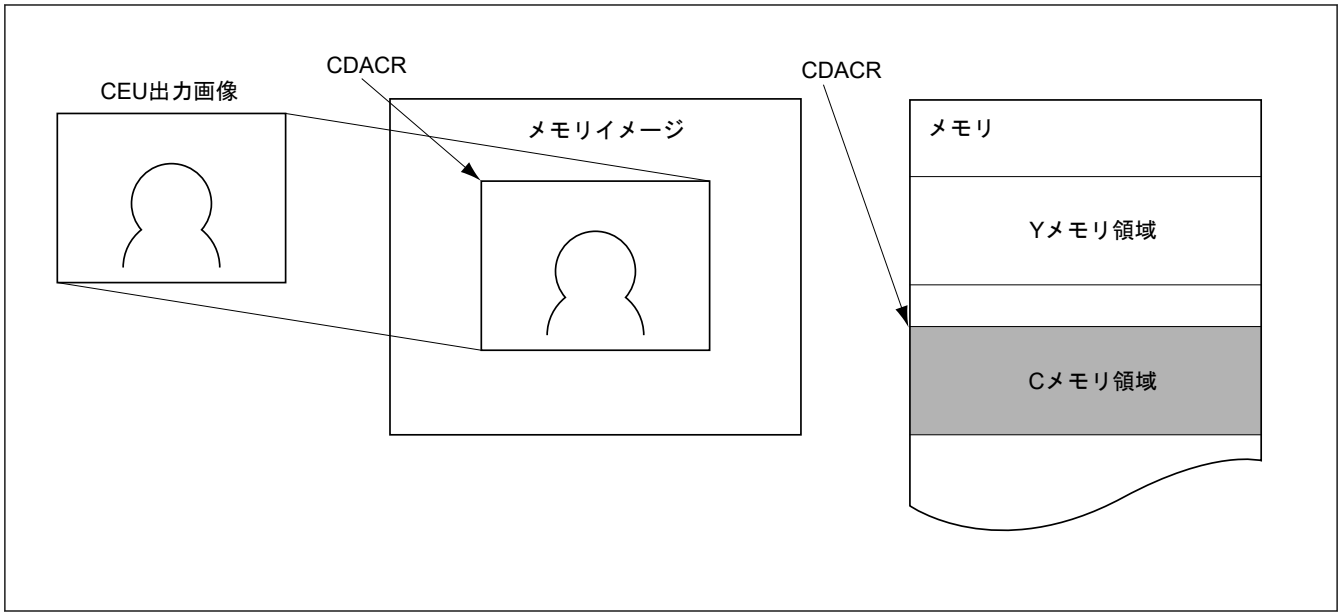


図 60.35　キャプチャ画像と色差成分メモリ領域の関係

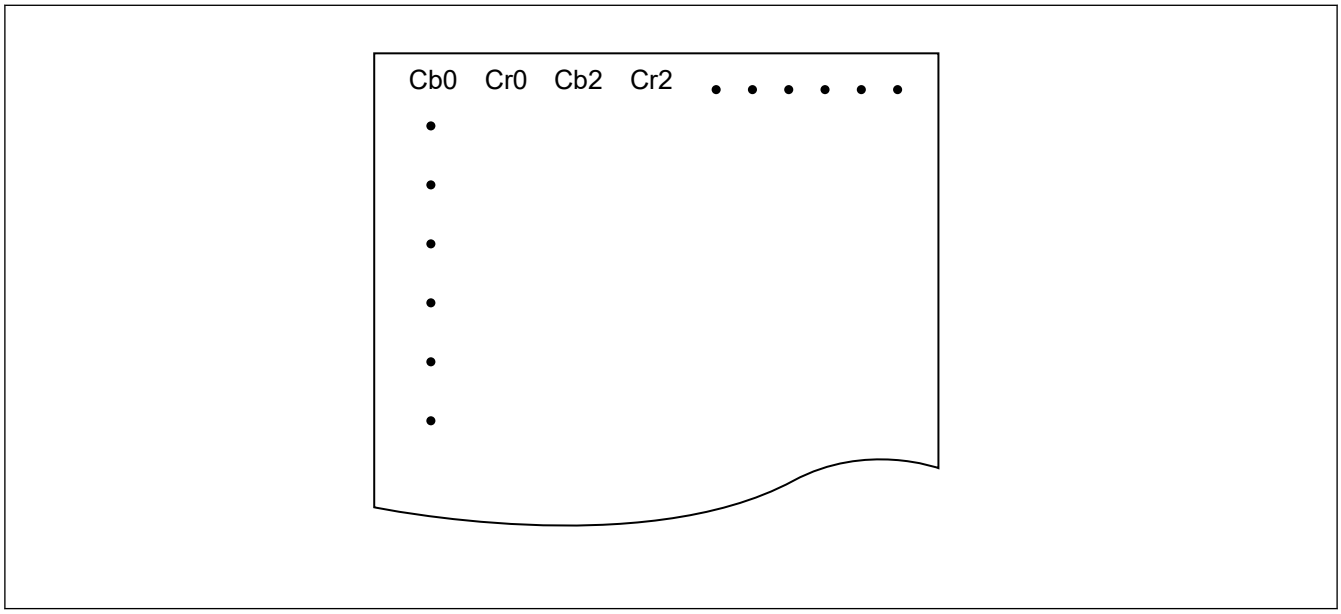


図 60.36　色差成分のメモリ格納イメージ

60.2.15 CDBYR, CDBYR_x : キャプチャデータボトムフィールドアドレス Y レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0044 (CDBYR)
0x1044 (CDBYR_B)
0x2044 (CDBYR_M)

Bit position:	31																												0
Bit field:	CBYR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CBYR[31:0]	ボトムフィールドキャプチャデータの輝度成分データ格納先アドレスを設定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDBYR は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの輝度成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。CDBYR には、CDBYR がボトムフィールドキャプチャ画像の輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、CDBYR は使用しません。

アドレスは 32 ビットで指定する必要があるため、CDBYR で設定するアドレスはロングワード単位である必要があります。

本レジスタには、図 60.37 に示すように、ボトムフィールドキャプチャ画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

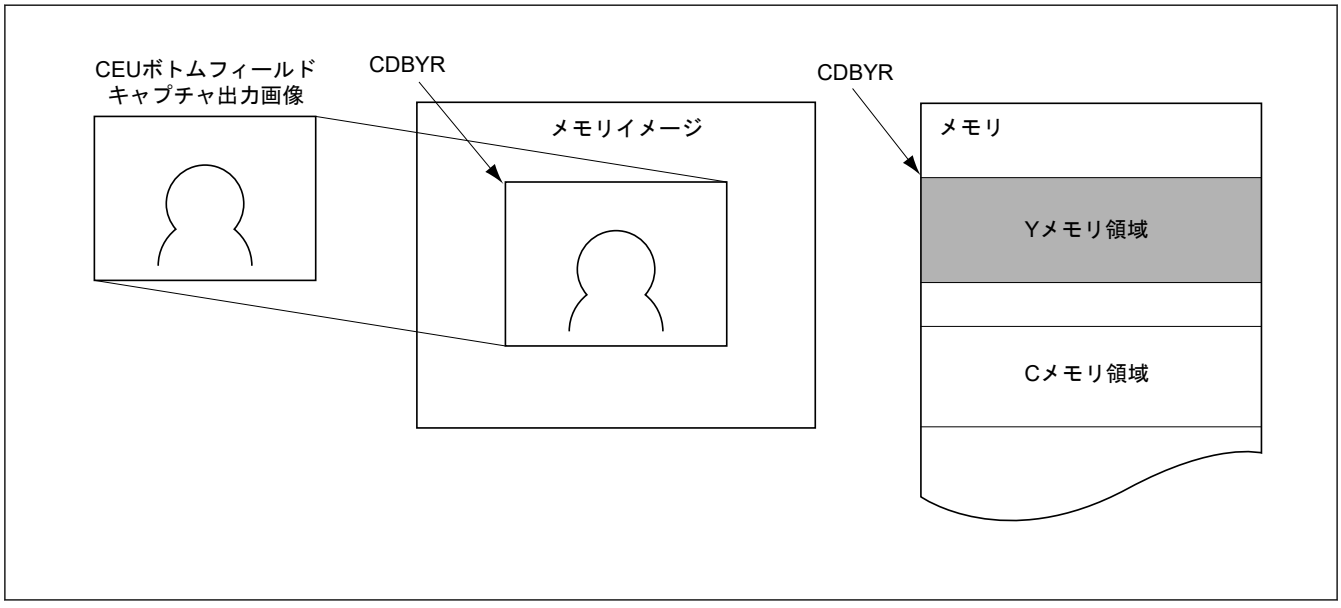


図 60.37 ボトムフィールドキャプチャ画像と輝度成分メモリ領域の関係

60.2.16 CDBCR, CDBCR_x : キャプチャデータボトムフィールドアドレス C レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0048 (CDBCR)
0x1048 (CDBCR_B)
0x2048 (CDBCR_M)

Bit position:	31																												0
Bit field:	CBCR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CBCR[31:0]	ボトムフィールドキャプチャデータの色差成分データ格納先アドレスを設定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDBCR は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの色差成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。CDBCR には、CDBCR がボトムフィールドキャプチャ画像の色差成分の格納に使用するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、CDBCR は使用しません。

アドレスは 32 ビットで指定する必要があるため、CDBCR で設定するアドレスはロングワード単位である必要があります。

本レジスタには、図 60.38 に示すように、ボトムフィールドキャプチャ画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、色差成分の出力データ形式は図 60.39 のようになっており、この形式でメモリに格納します。

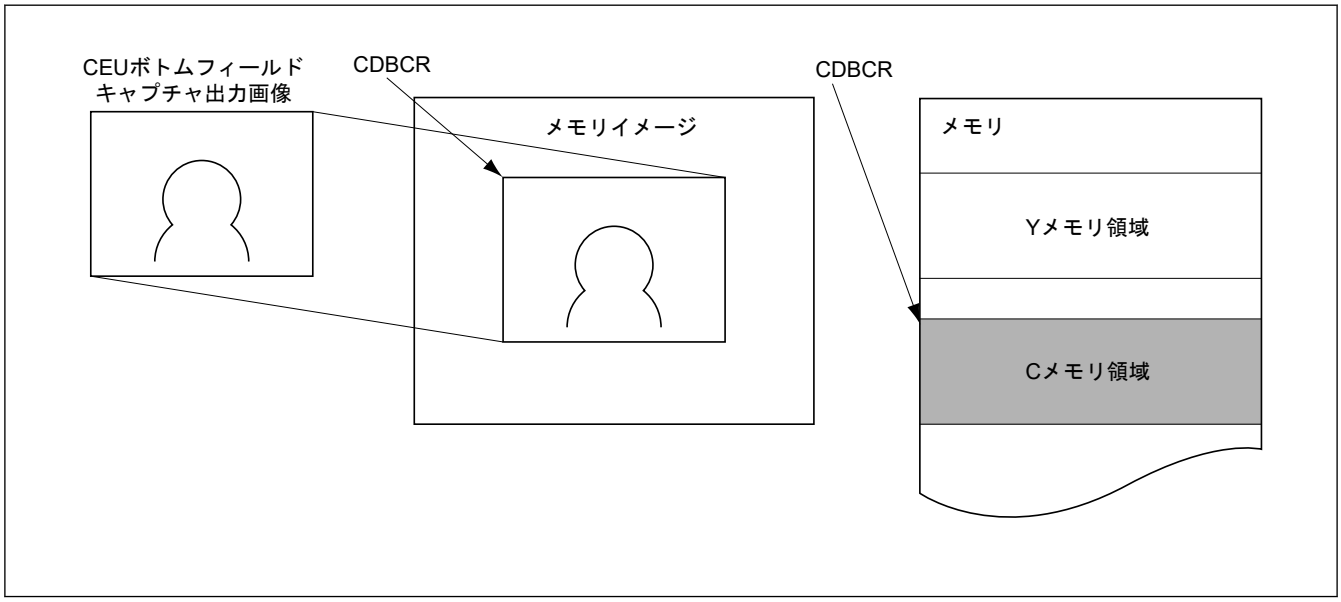


図 60.38 ボトムフィールドキャプチャ画像と色差成分メモリ領域の関係

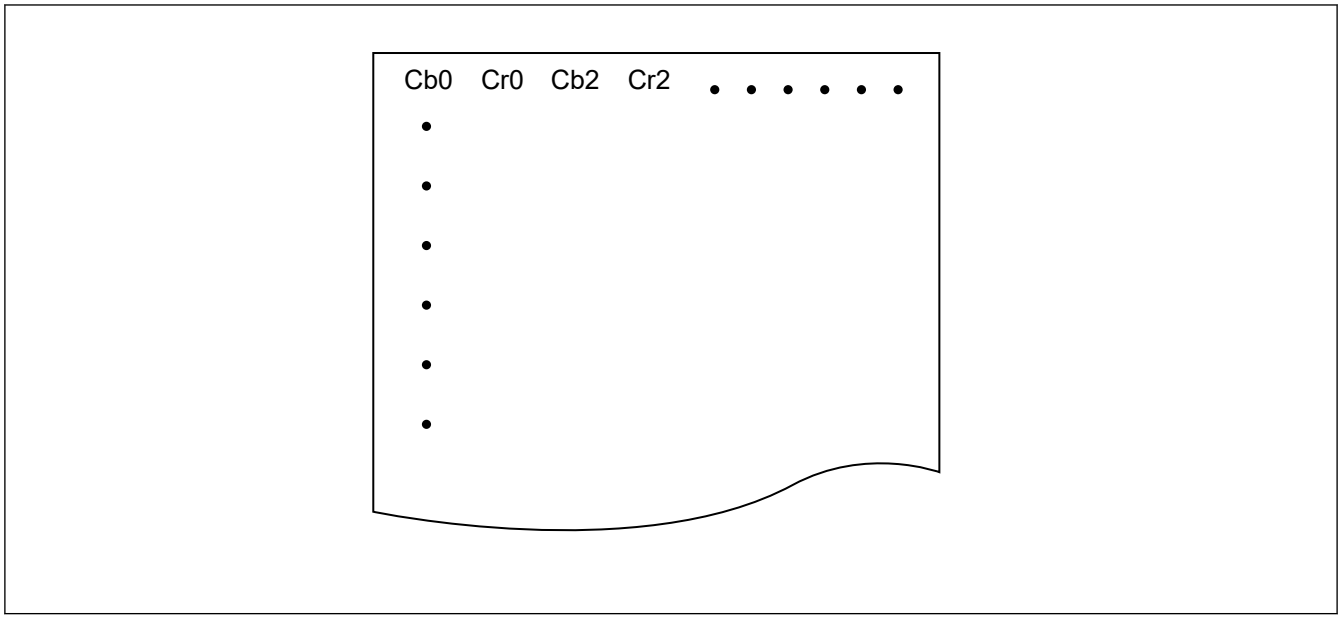


図 60.39 色差成分のメモリ格納イメージ

60.2.17 CBDSR, CBDSR_x : キャプチャバンドルデスティネーションサイズレジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x004C (CBDSR)
0x104C (CBDSR_B)
0x204C (CBDSR_M)

Bit position:	31									22																				0
Bit field:	—	—	—	—	—	—	—	—	—	CBVS[22:0]																				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	CBVS[22:0]	バンドル書き込みの際のメモリに出力されるライン数またはバイト数を選択します。 画像キャプチャおよびデータ同期取り込み時 : バンドル書き込みの際のメモリ出力ライン数 単位 : 8 ライン、最小 : 8 ライン、最大 : 1,920 ライン (0x780) データイネーブル取り込み時 : バンドル書き込みの際のメモリに出力されるバイト数 単位 : 32 バイト、最小 : 512 バイト、最大 : 6291456 バイト (0x600000) 下位 3 ビットは書き込み値を無視するので、下位 3 ビットに 0 を書き込んでください。	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CBDSR は、バンドル書き込みの際の、メモリに出力されるサイズを設定します。画像キャプチャまたはデータ同期取り込みの際は、出力ライン数を設定します。データイネーブル取り込みの際は、バイト数を設定します。

(a) 画像キャプチャおよびデータ同期取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのライン数を、8 の倍数で設定してください。本レジスタは CDOCR.CBE = 1 のときのみ有効です。CDOCR.CBE = 1 で、本レジスタが 0 にクリアされている場合、本モジュールはメモリに書き込むキャプチャデータのライン数を、8 として動作します。最大設定ライン数は、1,920 (0x780) ラインです。CBVS[11:3] までが有効です。

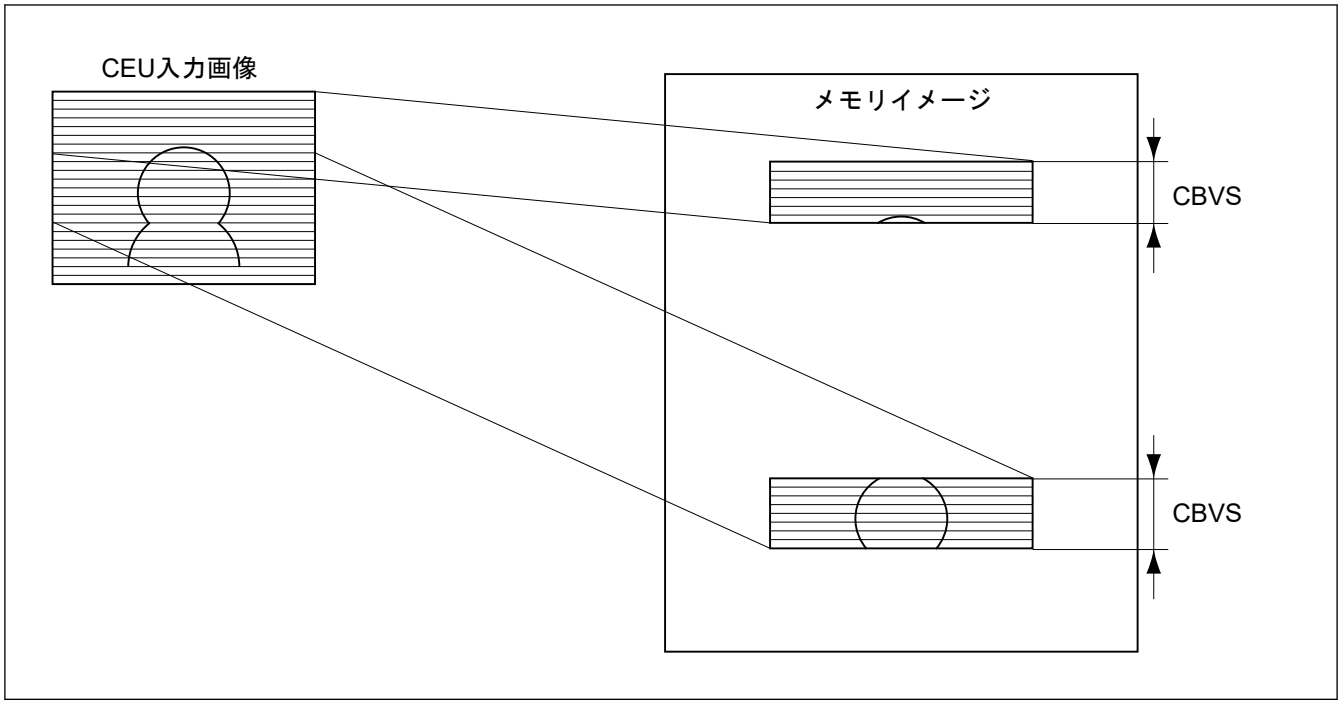


図 60.40　バンドル書き込みキャプチャ画像のメモリ格納イメージ

(b) データイネーブル取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのバイト数を、32 の倍数で設定してください。本レジスタは CDOCR.CBE ＝ 1 のときのみ有効です。最小設定サイズは 512 バイトです。512 バイト未満に設定した場合の動作は保証しません。

60.2.18　CFWCR : ファイアウォール動作制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x005C

Bit position:	31																									5						0
Bit field:	FWV[26:0]																									—	—	—	—	FWE		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FWE	ファイアウォール動作 FWE ＝ 1 設定のとき、書き込みアドレスが FWV 設定値以上になった場合、アドレスを保持し、割り込み要因 FWF をセットします。それ以降、アドレスはインクリメントされず、データは上限のアドレスに上書きされます。 0: ファイアウォールを起動しない 1: ファイアウォールを起動する	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:5	FWV[26:0]	書き込みアドレスの上限を指定します。 32 ビット中の上位 27 ビットを指定します。 FWV[26:0]<<5 + 0x1F が上限アドレスです。	R/W

注.　S-TYPE-3、P-TYPE-3

CFWCR は、データイネーブル取り込みの際の書き込みアドレスの上限を設定します。外部モジュールからの VD 入力が立ち下がらず、終了が通知されなかった場合にメモリへの書き込み暴走を抑止することができます。

本レジスタは、データイネーブル取り込み時のみ有効です。

60.2.19 CLFCR, CLFCR_x : キャプチャローパスフィルタ制御レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0060 (CLFCR)
0x1060 (CLFCR_B)
0x2060 (CLFCR_M)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LPF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LPF	ローパスフィルタの動作を許可または禁止します。 ローパスフィルタは、出力画像の水平方向の高周波成分を除去します。データ取り込みモードでは 0 にクリアしてください。 0: ローパスフィルタを使用しない 1: ローパスフィルタを使用する（水平方向のみ）	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CLFCR は、ローパスフィルタを動作させるか否かを設定します。データ取り込みモードの際は、LPF ビットを 0 にクリアしてください。

CEU が実装するローパスフィルタの特性上、ローパスフィルタ処理後の画像は、原画像に比べて位相位置が 1 画素右にずれます。

60.2.20 CDOCR, CDOCR_x : キャプチャデータ出力制御レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0064 (CDOCR)
0x1064 (CDOCR_B)
0x2064 (CDOCR_M)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CBE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	CDS	—	COLS	COWS	COBS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	COBS	CEU から出力するデータの 8 ビット単位の入れ替えを制御します。 0: データの 8 ビット単位の入れ替えを行わない 1: データの 8 ビット単位の入れ替えを行う	R/W
1	COWS	CEU から出力するデータの 16 ビット単位の入れ替えを制御します。 0: データの 16 ビット単位の入れ替えを行わない 1: データの 16 ビット単位の入れ替えを行う	R/W

ビット	シンボル	機能	R/W
2	COLS	CEU から出力するデータの 32 ビット単位の入れ替えを制御します。 0: データの 32 ビット単位の入れ替えを行わない 1: データの 32 ビット単位の入れ替えを行う	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CDS	YCbCr422 フォーマットで取り込んだ画像データをメモリ出力する際の画像フォーマットを設定します。 このビットに 0 を書き込んだ場合、奇数ラインは、輝度成分 (Y) のみを出力し色差成分 (Cb, Cr) は出力しません。インターレース入力画像も同様に、フィールドの奇数ラインは、輝度成分 (Y) のみを出力し色差成分 (Cb, Cr) は出力しません。データ取り込みモードでは 1 を設定してください。 0: YCbCr422 から YCbCr420 に変換してデータをメモリに出力 1: YCbCr422 のままデータをメモリに出力	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CBE	メモリに書き込むキャプチャデータのライン数を制御します。 ● 画像キャプチャ時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタで指定されたライン単位で、CDAYR と CDACR および CDAYR2 と CDACR2（両フィールドキャプチャ時のボトムフィールドは、CDBYR と CDBCR および CDBYR2 と CDBCR2）で指定されたアドレスに、交互にキャプチャデータを書き込みます（図 60.41）。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス設定レジスタに対応した書き込み終了割り込みが発生します。なお、1 フレーム（1 フィールド）キャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 ● データ同期取り込み時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタで指定されたライン単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス設定レジスタに対応した書き込み終了割り込みが発生します。なお、1 フレームキャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 ● データイネーブル取り込み時 メモリに書き込むキャプチャデータのバイト数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタで指定されたバイト単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたバイト数分のキャプチャデータの書き込みが終了した時点で、各アドレス設定レジスタに対応した書き込み終了割り込みが発生します。なお、データイネーブル取り込み時のみ、1 フレームキャプチャ終了時も、バンドル書き込み終了時は、バンドル書き込み終了割り込みが発生します。 各アドレス設定レジスタと書き込み終了割り込み要因の対応を表 60.9 に、画像キャプチャおよびデータ同期取り込み時の書き込み終了割り込みタイミングを図 60.42 に、データイネーブル取り込み時の書き込み終了割り込みタイミングを図 60.43 に示します。 0: 通常書き込み 1: バンドル書き込み	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CDOCR は、キャプチャデータのメモリへの出力方式を設定します。データ取り込みモードの際は、CDS ビットを 1 に設定してください。

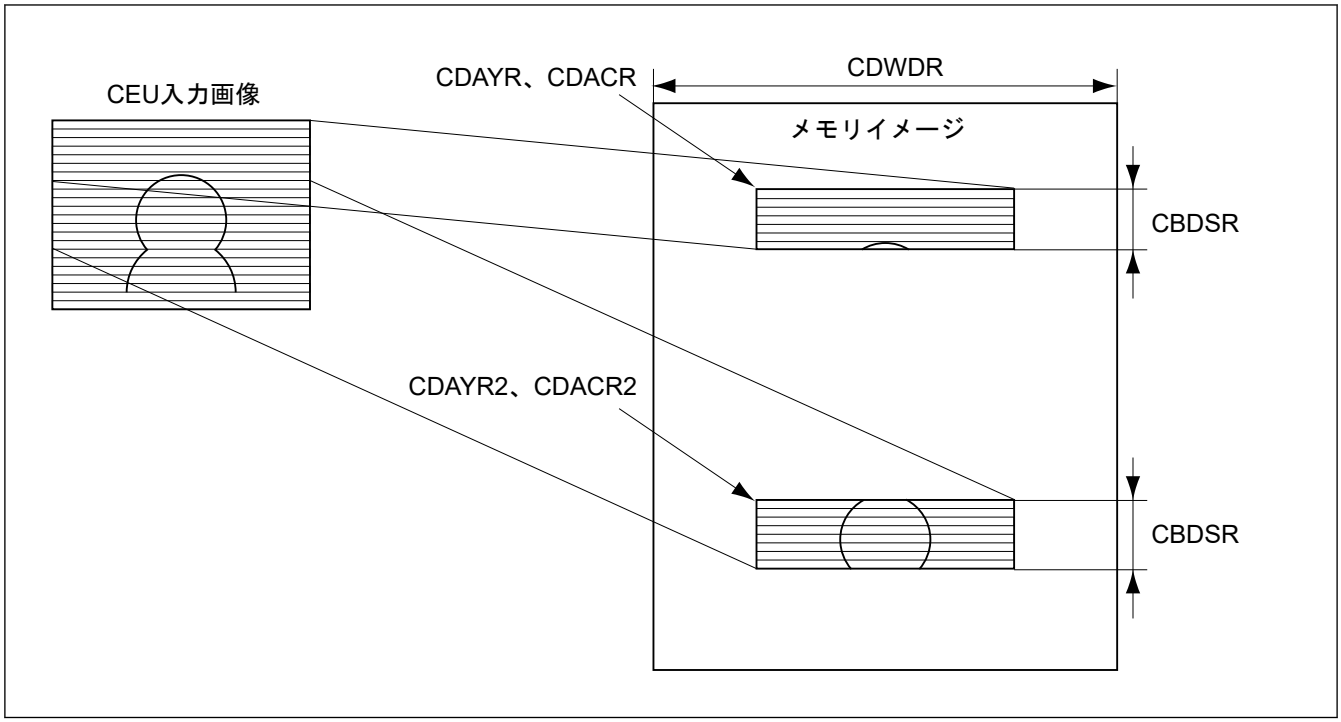


図 60.41　バンドル書き込みメモリ格納イメージ

表 60.9　アドレス設定レジスタと書き込み終了割り込み要因の対応

アドレス設定レジスタ	バンドル書き込み終了割り込み要因
CDAYR、CDACR	CETCR の CPBE1 ビット
CDAYR2、CDACR2	CETCR の CPBE2 ビット
CDBYR、CDBCR	CETCR の CPBE3 ビット
CDBYR2、CDBCR2	CETCR の CPBE4 ビット

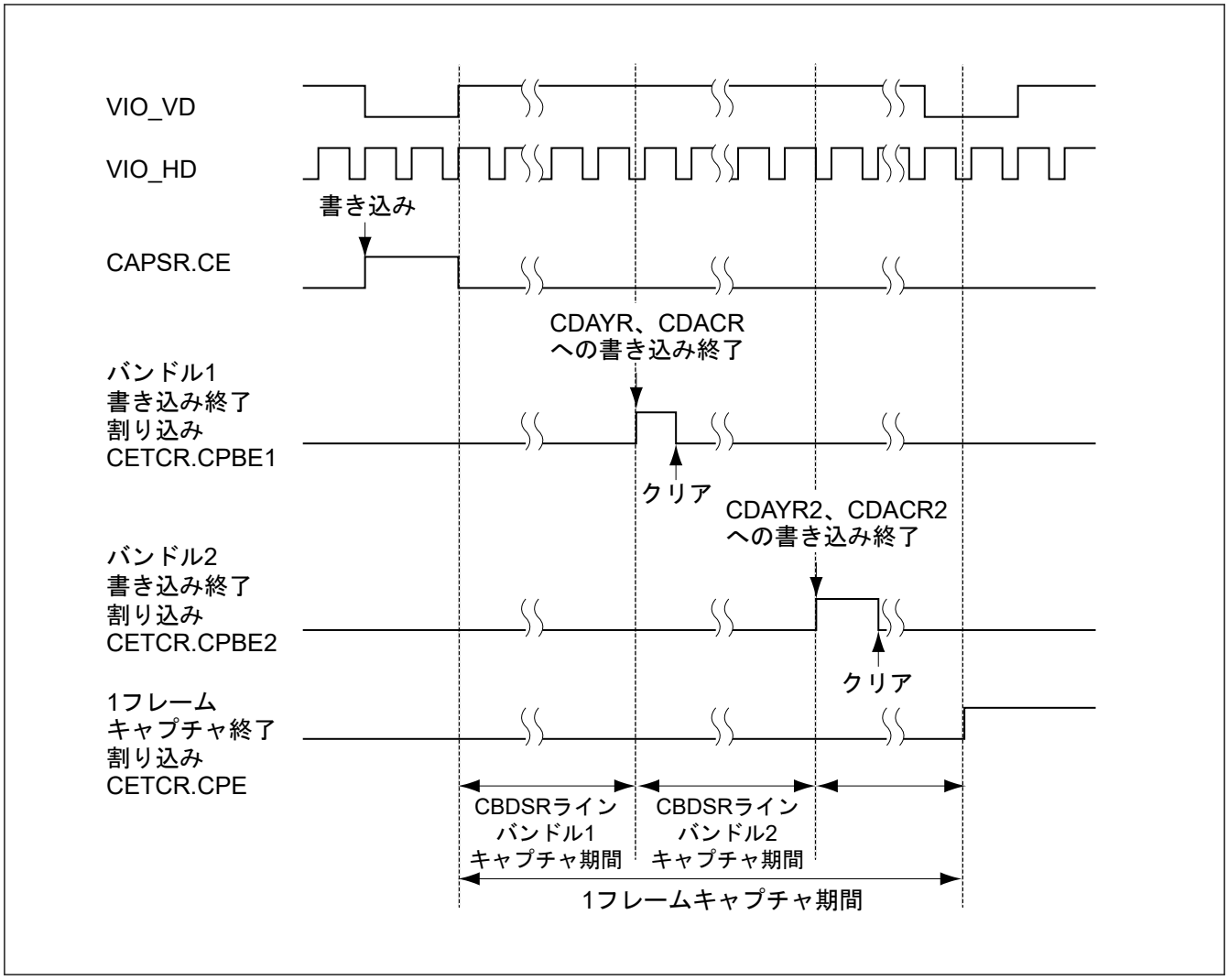


図 60.42　書き込み終了割り込みのタイミング（画像キャプチャ時、データ同期取り込み時）

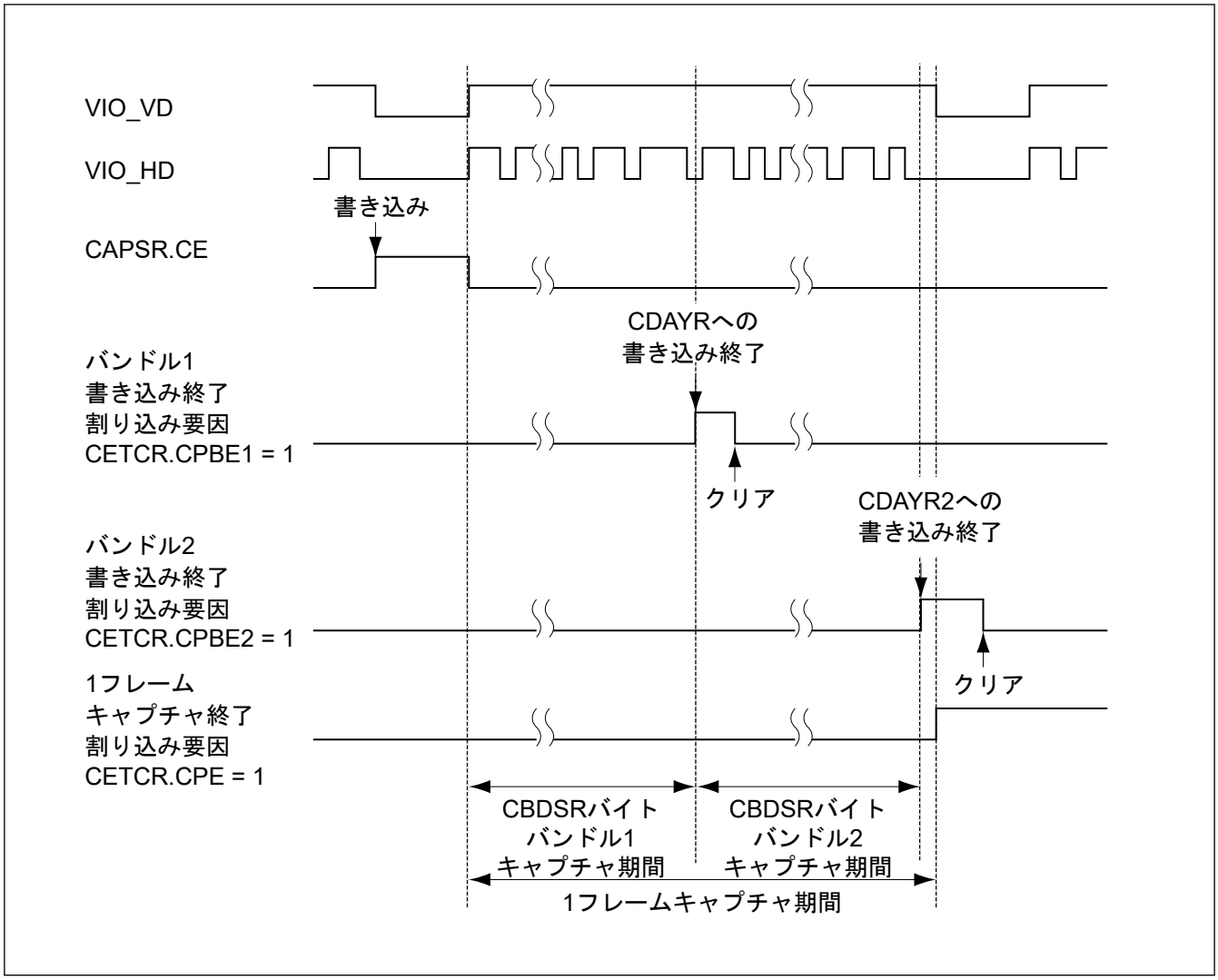


図 60.43　書き込み終了割り込みのタイミング（データイネーブル取り込み時）

COLS、COWS、COBS ビットは、CEU から出力するデータの 32 ビット単位、16 ビット単位、8 ビット単位の入れ替えを制御するビットです。エンディアンによるデータの並びの問題が生じた場合に設定してください。データ入れ替えレジスタのビットを以下に示します。データ取り込みモードの際も同様に設定できます。

入れ替え機能としては、図 60.44 のように、8 ビット単位、16 ビット単位、32 ビット単位、または 32 ビット－16 ビット－8 ビット入れ替えが可能です。入れ替えを行う場合には、各制御ビットを 1 に設定してください。

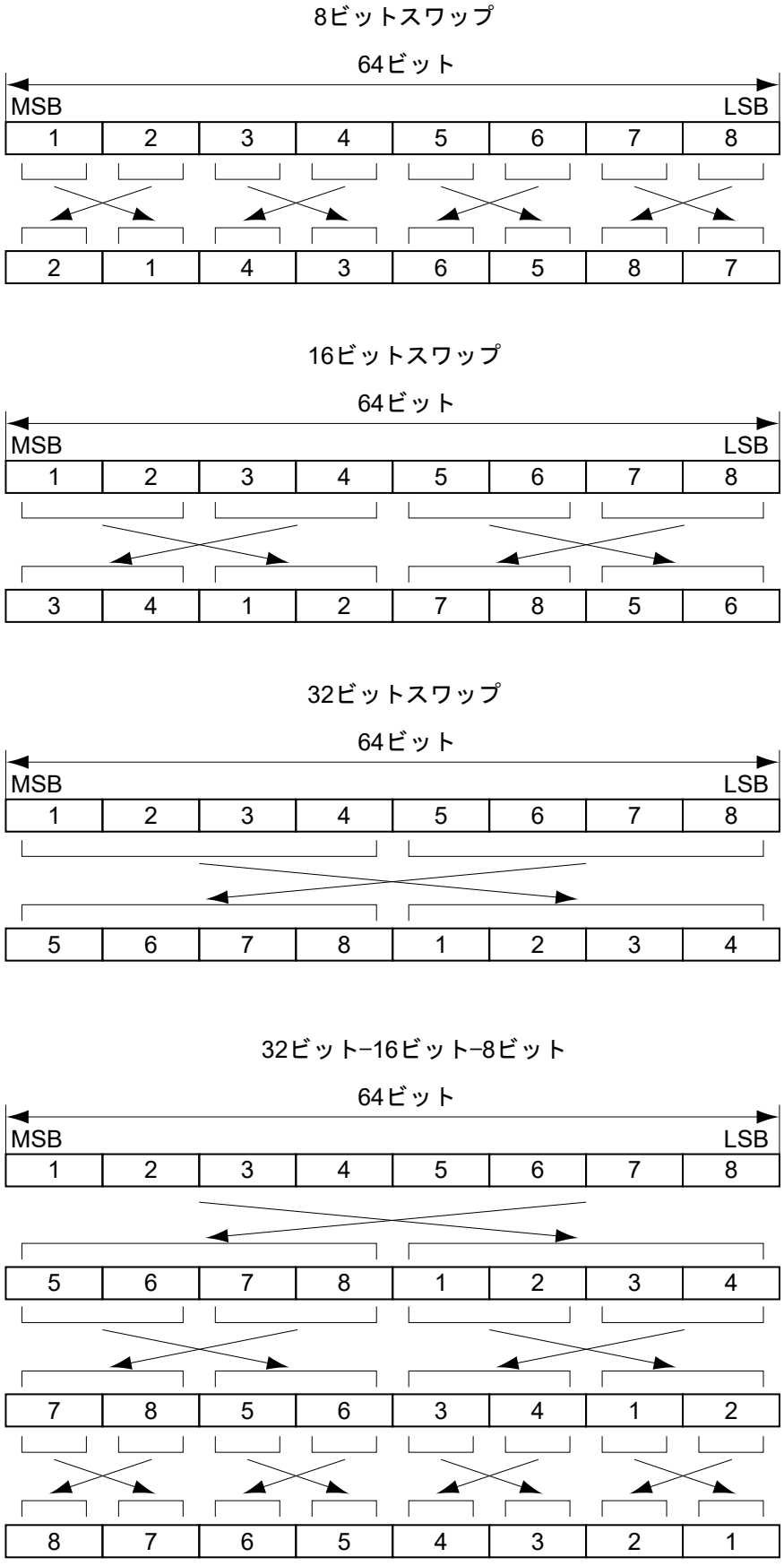


図 60.44　データアライナーによるデータ入れ替え

60.2.21 CEIER : キャプチャイベント割り込み許可レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0070

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	NVDIE	NHDIE	FWFIE	—	—	VBPIE	—	IGVSIE	IGHSIE	CDTOFIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPBE4IE	CPBE3IE	CPBE2IE	CPBE1IE	—	—	VDIE	HDIE	—	—	—	IGRWIE	—	—	CFEIE	CPEIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPEIE	1 フレームキャプチャ終了割り込み許可 0: 1 フレームキャプチャ終了割り込み禁止 1: 1 フレームキャプチャ終了割り込み許可	R/W
1	CFEIE	CFE 割り込み許可 0: CFE 割り込み禁止 1: CFE 割り込み許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	IGRWIE	キャプチャ中レジスタアクセス割り込み許可 0: キャプチャ中レジスタアクセス割り込み禁止 1: キャプチャ中レジスタアクセス割り込み許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	HDIE	HD 割り込み許可 0: HD 割り込み禁止 1: HD 割り込み許可	R/W
9	VDIE	VD 割り込み許可 0: VD 割り込み禁止 1: VD 割り込み許可	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	CPBE1IE	CPBE1 割り込み許可 0: CPBE1 割り込み禁止 1: CPBE1 割り込み許可	R/W
13	CPBE2IE	CPBE2 割り込み許可 0: CPBE2 割り込み禁止 1: CPBE2 割り込み許可	R/W
14	CPBE3IE	CPBE3 割り込み許可 0: CPBE3 割り込み禁止 1: CPBE3 割り込み許可	R/W
15	CPBE4IE	CPBE4 割り込み許可 0: CPBE4 割り込み禁止 1: CPBE4 割り込み許可	R/W
16	CDTOFIE	CDTOF 割り込み許可 0: CDTOF 割り込み禁止 1: CDTOF 割り込み許可	R/W
17	IGHSIE	IGHS 割り込み許可 0: IGHS 割り込み禁止 1: IGHS 割り込み許可	R/W
18	IGVSIE	IGVS 割り込み許可 0: IGVS 割り込み禁止 1: IGVS 割り込み許可	R/W

ビット	シンボル	機能	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	VBPIE	VBP 割り込み許可 0: VBP 割り込み禁止 1: VBP 割り込み許可	R/W
22:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	FWFIE	FWF 割り込み許可 0: FWF 割り込み禁止 1: FWF 割り込み許可	R/W
24	NHDIE	非 HD 割り込み許可 データイネーブル取り込み時は、本割り込みは禁止に設定してください (NHDIE = 0)。 0: 非 HD 割り込み禁止 1: 非 HD 割り込み許可	R/W
25	NVDIE	非 VD 割り込み許可 データイネーブル取り込み時は、本割り込みは禁止に設定してください (NVDIE = 0)。 0: 非 VD 割り込み禁止 1: 非 VD 割り込み許可	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CEIER は、CEU の割り込みを発生させるイベントフラグレジスタの割り込みを許可または禁止するレジスタです。

60.2.22 CETCR : キャプチャイベントフラグクリアレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0074

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	NVD	NHD	FWF	—	—	VBP	—	IGVS	IGHS	CDTOF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPBE4	CPBE3	CPBE2	CPBE1	—	—	VD	HD	—	—	—	IGRW	—	—	CFE	CPE
Value after reset:	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPE	外部モジュールからの 1 フレームのキャプチャが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の VD 入力とは関係なく出力されます。 1 フレームのキャプチャが終了したことを表します。CAPWR で設定したサイズの画像をキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります（図 60.46 参照）。	R/W
1	CFE	外部モジュールからの 1 フィールドのキャプチャが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の VD 入力とは関係なく出力されます（図 60.45 参照）。両フィールドキャプチャモード時のみ発生します。	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	IGRW	動作中の書き込みが禁止されているレジスタに、キャプチャ中にアクセスが行われたことを表す割り込み CEU のレジスタは、キャプチャ実行中に書き換えが禁止されているものがあります。キャプチャ実行中に書き込みが許可されているレジスタと禁止されているレジスタを表 60.10 に示します。このビットは、キャプチャ中に書き込みが禁止されているレジスタにキャプチャ実行中に書き込みがあったときに、1 になります。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	HD	外部モジュールから HD（水平同期信号）が入力されたことを表す割り込み 外部モジュールからの HD 入力を検出した時点で 1 になります。CAMCR の HDPOL ビットを変更した直後は擬似 HD が入力され、このビットが 1 となるので、HDPOL ビット変更後の HD 割り込みは無視してください。	R/W
9	VD	外部モジュールから VD（垂直同期信号）が入力されたことを表す割り込み データイネーブル取り込みモードでは、外部モジュールからの VD 入力を検出した時点で 1 になります。 画像キャプチャモードおよびデータ同期取り込みモードでは、外部モジュールからの VD のアクティブレベルを検出後に最初の HD アクティブレベルを検出した時点で VD 割り込みが発生します。なお、VD と HD が同時にアサートされ VD と HD を同時に検出した場合は、その時点で VD 割り込みが発生します。 CAMCR の VDPOL ビットを変更した直後は擬似 VD が入力され、このビットが 1 となるので、VDPOL ビット変更後の VD 割り込みは無視してください。	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	CPBE1	バンドル書き込みで、CDAYR および CDACR への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。 CBDSR で設定したライン数（データイネーブル取り込み時はバイト数）のデータをキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります。 なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1 フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。	R/W
13	CPBE2	バンドル書き込みで、CDAYR2 および CDACR2 への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。 CBDSR で設定したライン数（データイネーブル取り込み時はバイト数）のデータをキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります。 なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1 フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。	R/W
14	CPBE3	バンドル書き込みで、CDBYR および CDBCR への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。 CBDSR で設定したライン数のデータをキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります。 なお、バンドル書き込みの最後のキャプチャデータが、1 フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。	R/W
15	CPBE4	バンドル書き込みで、CDBYR2 および CDBCR2 への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。 CBDSR で設定したライン数のデータをキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります。 なお、バンドル書き込みの最後のキャプチャデータが、1 フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。	R/W
16	CDTOF	ライトバッファの CRAM において、データのオーバーフローがあったことを表す割り込み キャプチャ動作は、外部モジュールからリアルタイムでデータが入力されます。このため、ある一定以上の転送レートで、CEU の内部バッファからメモリへキャプチャしたデータを転送しなければ、フレームイメージは上書きされます。このビットは、CEU 内部にあるライトバッファ CRAM 内データのバスへの書き出しが間に合わず、データがオーバーフローした場合に 1 となります。	R/W
17	IGHS	CMCYR に設定した HD サイクル数と外部モジュールからの HD サイクル数が異なる時に発生する割り込み 外部モジュールからイリーガル HD 入力があった時に 1 になります。 CEU への HD 入力のクロックサイクル数が CMCYR の HCYL ビットに設定した値と異なるときに、1 になります。ただし、HCYL ビットが 0 にクリアされているときは、割り込みを発生しません。	R/W
18	IGVS	CMCYR に設定した VD サイクル数と外部モジュールからの VD サイクル数が異なる時に発生する割り込み 外部モジュールからイリーガル VD 入力があった時に 1 になります。 CEU への VD 入力の HD サイクル数が CMCYR の VCYL ビットに設定した値と異なるときに、1 になります。ただし、VCYL ビットが 0 にクリアされているときは、割り込みを発生しません。	R/W

ビット	シンボル	機能	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	VBP	CEU がデータを保持している状態で、VD が入力されたことを表す（垂直同期のフロントポーチが不足している）割り込み VBP 割り込みの発生条件は以下のとおりです。 ● 条件 1 CEU 内部にキャプチャデータが存在するときに VD が入力された ● 条件 2 ライトバッファのオーバーフローまたはイリーガル HD により、最後の転送データを内部により検知できなくなり、終了タイミングが次の VD まで分からない（VD の入力タイミングで VBP 割り込みを発生させることによりキャプチャ失敗を知らせることができる） VBP 割り込みが発生した場合は、キャプチャ終了割り込み（CETCR の CPE ビット）は発生せず、そのフレームの画像は正しくキャプチャされません。キャプチャ終了割り込み（CPE ビット）が発生する場合が希にありますが、この場合の終了割り込みは無視してください 。また、次の VD までキャプチャはできません（CAPSR の CE ビット（キャプチャ予約信号）が 1 でもキャプチャは開始しません）。 発生条件 2 の場合は、VBP 割り込みを待つことなく、ソフトウェアリセット（CAPSR の CPKIL ビット）によりキャプチャを停止し、その後再起動をするようにしてください。この場合は次の VD まで待たずにキャプチャ動作が終了するため、VBP 割り込みは発生せず、次の VD からキャプチャが可能となります。	R/W
22:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	FWF	CFWCR.FMV で指定される数値を超えるアドレスにデータを書き込もうとしたときに生じる割り込み CFWCR.FWE ＝ 1 のとき、CFWCR.FMV で指定された値を超えるアドレスにデータを書き込もうとした場合に 1 になります。	R/W
24	NHD	HD が入力されなかったことを表す割り込み 非 HD 割り込みが発生するタイミングは、デジタル画像入力端子のビット幅によって異なります。 8 ビットデジタル画像入力端子の場合 : 8 サイクルごとにインクリメントする 11 ビットの内部カウンタがフルのとき非 HD 割り込みが発生します。したがって、このビットは HD が入力されてから 16,376 サイクル以上次の HD が入力されないときに 1 となります。 16 ビットデジタル画像入力端子の場合 : 4 サイクルごとにインクリメントする 12 ビットの内部カウンタがフルのとき非 HD 割り込みが発生します。したがって、このビットは HD が入力されてから 16,380 サイクル以上次の HD が入力されないときに 1 となります。VD が Low の期間中 HD も Low に固定されているカメラを接続した場合等には、このビットが 1 になる可能性があります。 データイネーブル取り込み時は、本割り込みは無視してください。	R/W
25	NVD	VD が入力されなかったことを表す割り込み 非 VD 割り込みが発生するタイミングは、14 ビットの内部カウンタがフルのときです。したがって、このビットは最後の VD が入力されてから 16,383 ライン以上次の VD が入力されないときに 1 となります。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CETCR は、CEU 内部で CPU に対して割り込みが起こった場合に、その要因を表すレジスタです。CETCR に立っているフラグは、そのまま割り込み信号になっていますので、対応する割り込みが許可（イネーブル）になっていると、割り込み (CEU_CEUI) が発生します。割り込みを解除するには、割り込み要因に対応するビットを 0 クリアすることで、書き込み後、数サイクルで解除されます。

解除したい割り込み要因に対応するビットを 0 にクリアしてその状態を保持するには、そのビットに 1 を書き込んでください。たとえば、CPE ビットのみ 0 にクリアしたい場合は、CETCR に 0xFFFFFFFE を書き込んでください。

CETCR では、0 が書き込まれたビットのみクリアされます。1 を書き込んだ場合には、そのビットの値は現在の値が保持されます。割り込み要因を解除するには、解除したい要因のビットにのみ 0 を書き込み、それ以外のビットには 1 を書き込んでください。

注. 以下の場合、CETCR は不定値となりますので、必ず CETCR の全ビットを 0 クリアしてください。
- システムリセットまたはソフトウェアスタンバイモード直後の VD および HD ビット
- キャプチャインタフェース同期信号の極性を変化させた後の VD および HD ビット

表 60.10　キャプチャ中のレジスタ書き込みの許可と禁止

レジスタ名称	キャプチャ中の書き込み
CAPSR	許可
CAPCR	禁止
CAMCR	禁止
CMCYR	禁止
CAMOR	許可
CAPWR	許可
CAIFR	禁止
CRCNTR	許可
CRCMPR	禁止
CFLCR	許可
CFSZR	許可
CDWDR	許可
CDAYR	許可
CDACR	許可
CDBYR	許可
CDBCR	許可
CBDSR	許可
CFWCR	許可
CLFCR	許可
CDOCR	許可
CEIER	許可
CETCR	許可
CSTSR	禁止
CDSSR	禁止
CDAYR2	許可
CDACR2	許可
CDBYR2	許可
CDBCR2	許可

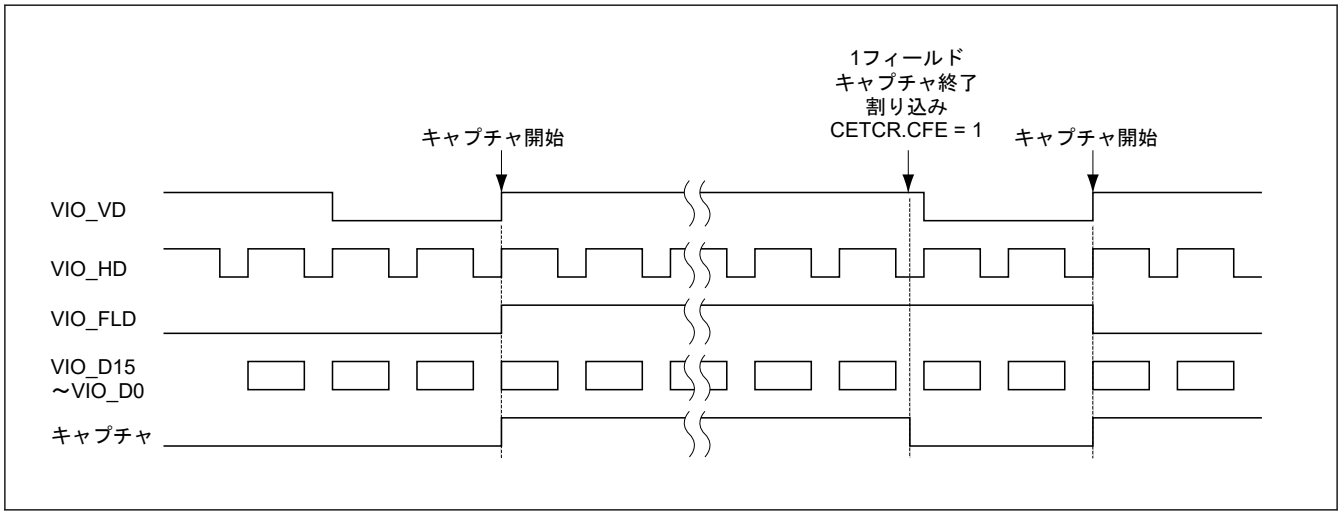


図 60.45　CFE 発生タイミング

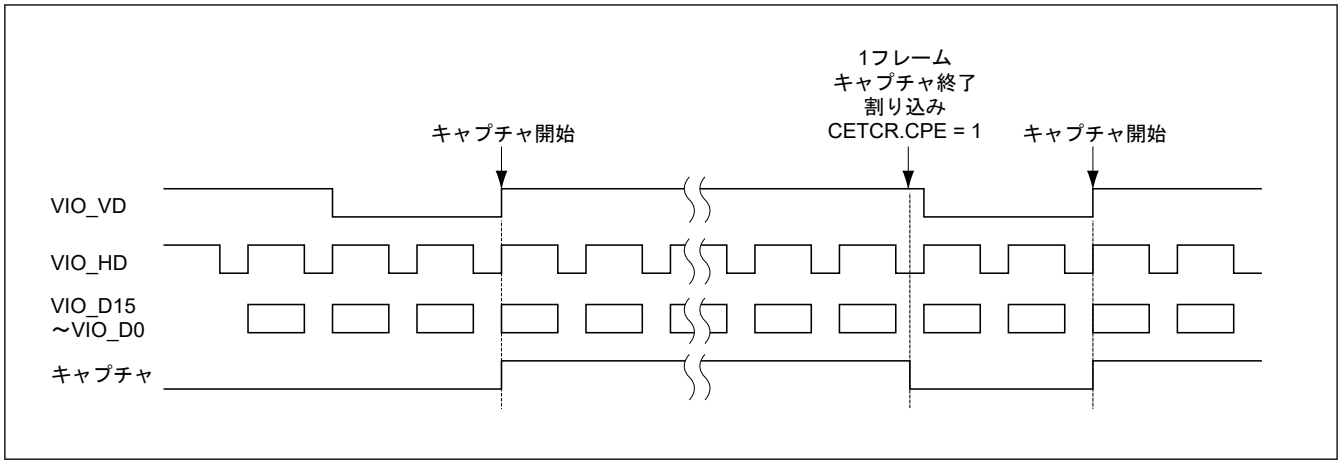


図 60.46 CPE 発生タイミング

60.2.23 CSTSR : キャプチャステータスレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x007C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	CRST	—	—	—	—	—	—	—	CPFLD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPTON
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPTON	CEU が動作中であることを表します。 このビットはキャプチャ開始時の内部 VD から 1 フレームキャプチャ終了割り込みの発生まで 1 を保持します。CEU の動作中期間を図 60.47 に示します。	R
15:1	—	読むと 0 が読めます。	R
16	CPFLD	キャプチャ中のフィールドを表しています。 0: ボトムフィールドをキャプチャしている 1: トップフィールドをキャプチャしている	R
23:17	—	読むと 0 が読めます。	R
24	CRST	現在使用しているレジスタ面を表しています。 0: A 面のレジスタを使用している 1: B 面のレジスタを使用している	R
31:25	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

CSTSR は、CEU 内部のステータスを表すレジスタです。CETCR とは異なり、CSTSR の要因については割り込みを発生しません。

CEU の動作／停止状態の判定は、CSTSR で行います。CEU の停止状態を確認するためには、CEU 動作中状態を示すステータスビット（ビット 0）が、完全に 0 になっていることを確認してください。

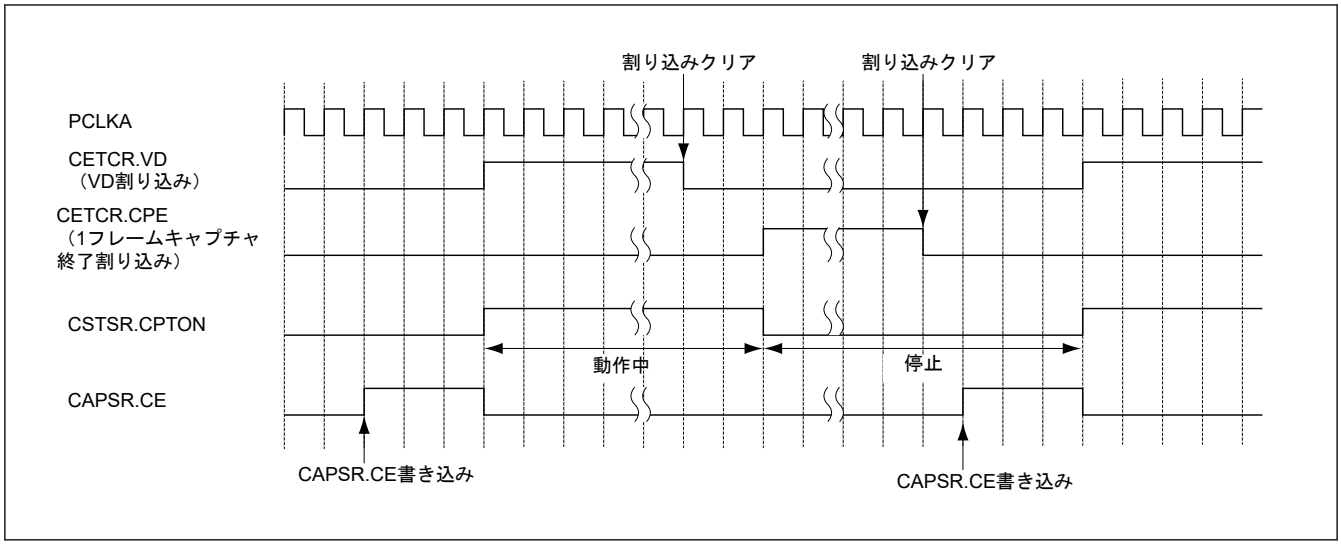


図 60.47　キャプチャ時の動作ステータス

60.2.24　CDSSR : キャプチャデータサイズレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0084

Bit position:	31																												0
Bit field:	CDSS[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CDSS[31:0]	データイネーブル取り込み時にメモリに書き込んだデータのサイズを表します。 バンドル書き込みの場合は、1 フレームキャプチャ終了時に選択されているアドレスに書き込んだデータのサイズを表します。バンドル書き込みでは、CBDSR レジスタで指定されたバイト数をバスに転送し次第、データ書き込み先のアドレスを切り替えます。 したがって、バンドル書き込みの終了と同時に、1 フレームのキャプチャが終了した場合、本レジスタには 0x00000000 が表示されます。バンドル書き込み時の CDSSR 動作タイミングイメージを図 60.48 および図 60.49 に示します。	R

注.　S-TYPE-3、P-TYPE-3

CDSSR は、データイネーブル取り込み時にメモリに書き込んだデータのサイズを表します。本レジスタは、キャプチャ終了時に正しい値を表示するので、キャプチャ終了時に参照してください。

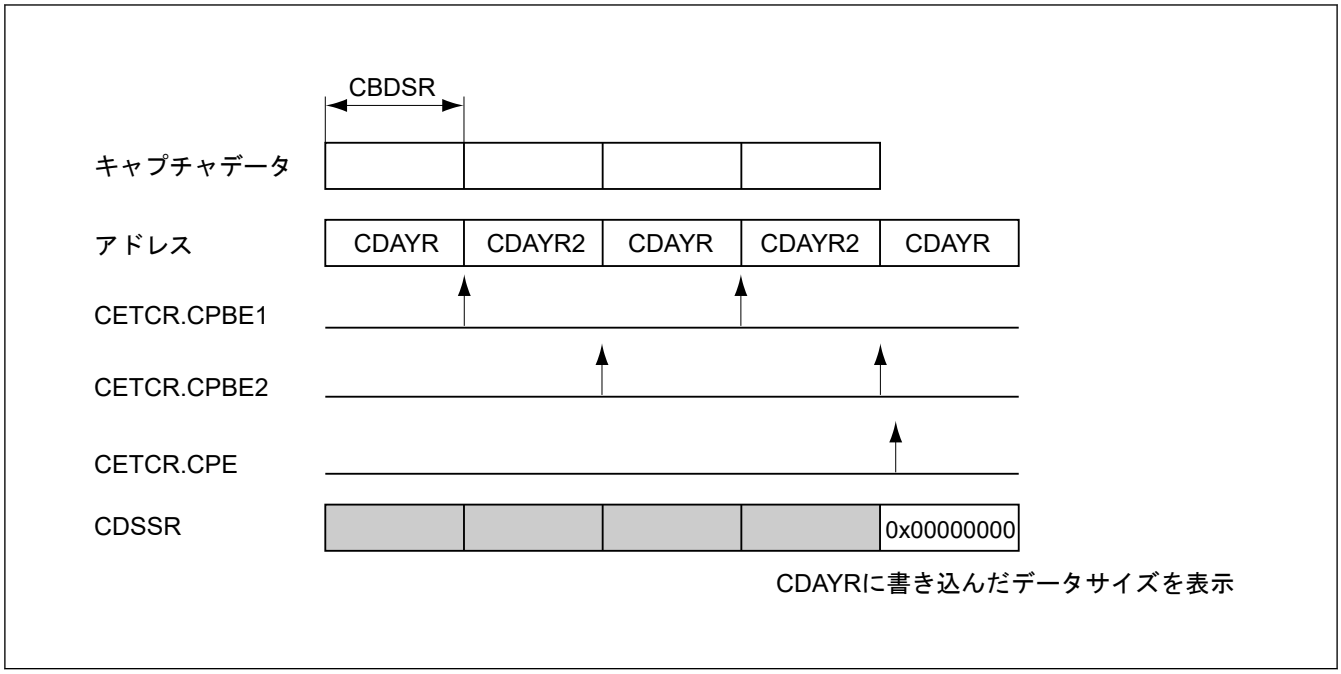


図 60.48　バンドル書き込み時の CDSSR 動作タイミングイメージ図（バンドル書き込み終了とキャプチャ終了が同時の場合）

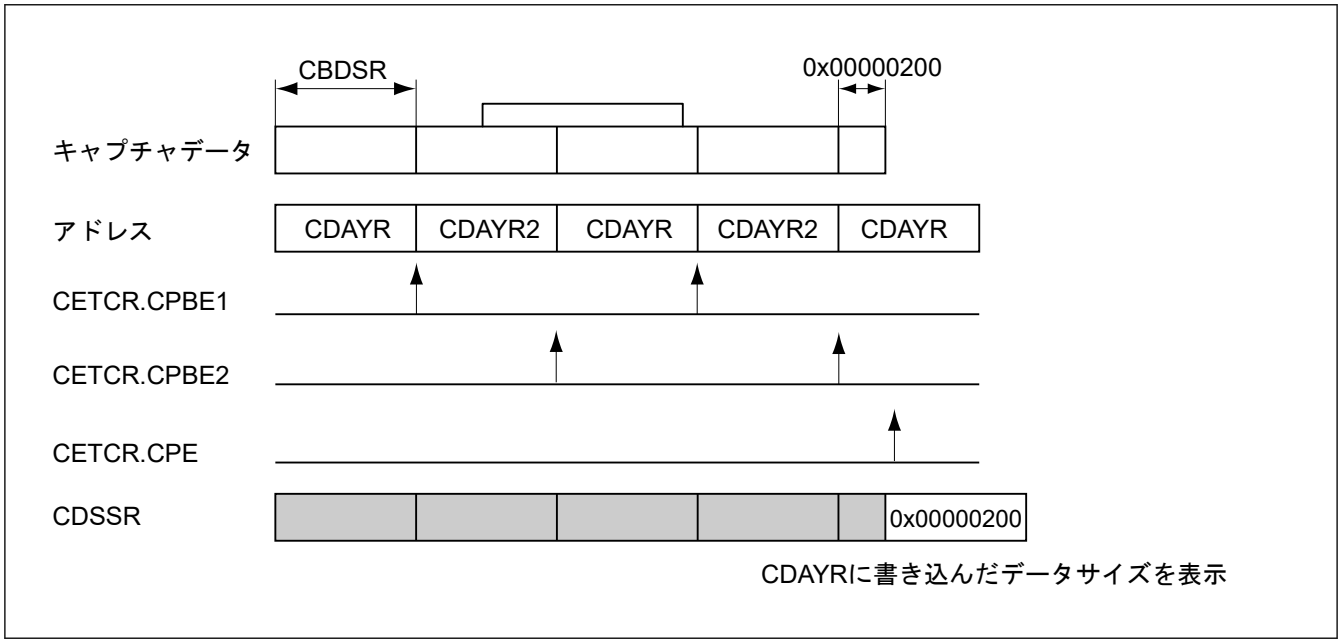


図 60.49　バンドル書き込み時の CDSSR 動作タイミングイメージ図（バンドル書き込み終了とキャプチャ終了が異なる場合）

60.2.25 CDAYR2, CDAYR2_x : キャプチャデータアドレス Y レジスタ 2 (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0090 (CDAYR2)
0x1090 (CDAYR2_B)
0x2090 (CDAYR2_M)

Bit position:	31																												0
Bit field:	CAYR2[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CAYR2[31:0]	キャプチャデータアドレス Y フレーム画像キャプチャ時：キャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● 片フィールド画像キャプチャ時：キャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● 両フィールド画像キャプチャ時:トップフィールドキャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● データ同期取り込み時：データ格納先アドレス（8 バイト単位）を設定 ● データイネーブル取り込み時：データ格納先アドレス（32 バイト単位）を設定 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDAYR2 は、バンドル書き込みで使用する輝度成分用のアドレス指定、およびデータ取り込みの際のバンドル書き込みで使用するデータ格納先のアドレス指定レジスタです。CDAYR2 は、バンドル書き込みでのみ使用します。

CDAYR2 は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のキャプチャデータの輝度成分の格納先アドレス指定、両フィールド画像キャプチャの際のキャプチャしたトップフィールドの輝度成分格納先アドレス指定、およびデータ取り込みの際のデータの格納先アドレス指定を行います。CEU は、キャプチャした画像データをバスを経由し輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、CDAYR2 がキャプチャデータの輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、CDAYR2 がトップフィールドキャプチャ画像の輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。データ取り込みの際は、データ格納に使用するメモリ領域の先頭アドレスを設定してください。

本レジスタで指定されるアドレスは、32 ビット単位とします。

本レジスタには、図 60.50 に示すように、キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ同期取り込み時：キャプチャしたデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データイネーブル取り込み時：キャプチャしたデータを格納するメモリ領域の、先頭ポイントのアドレスを 32 バイト単位で設定してください。

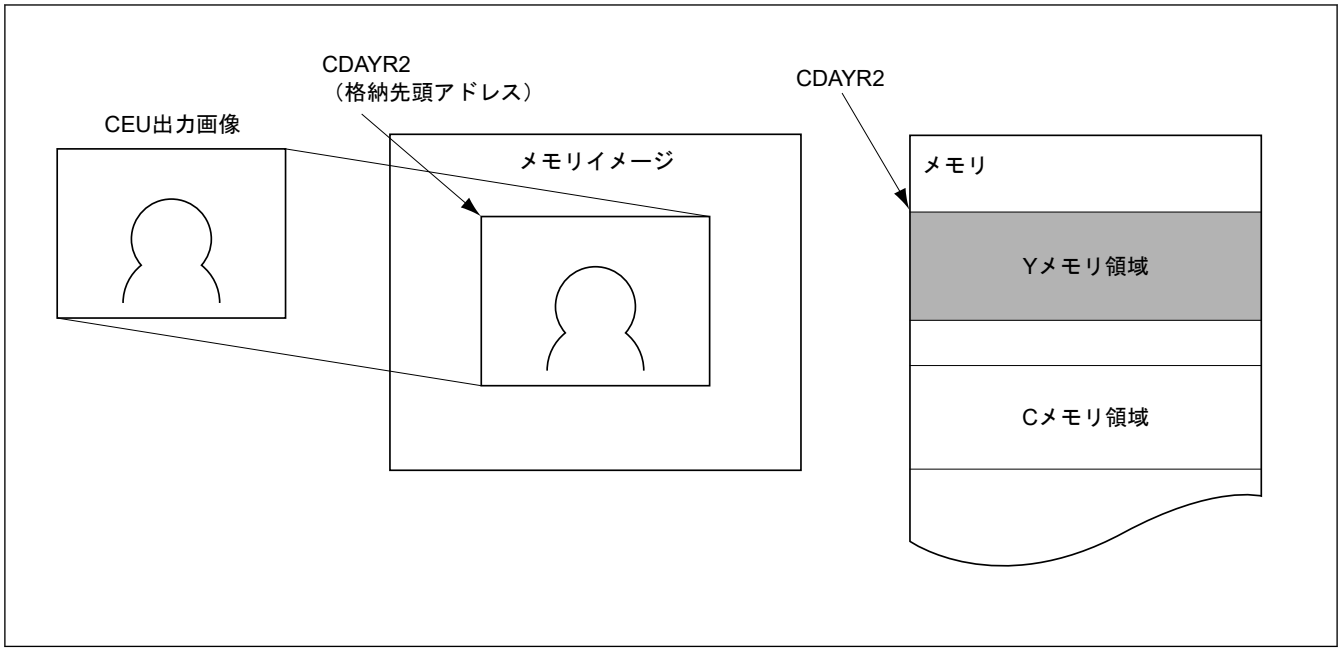


図 60.50　キャプチャ画像と輝度成分メモリ領域の関係

60.2.26　CDACR2, CDACR2_x : キャプチャデータアドレス C レジスタ 2 (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0094 (CDACR2)
0x1094 (CDACR2_B)
0x2094 (CDACR2_M)

Bit position:	31																												0
Bit field:	CACR2[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CACR2[31:0]	キャプチャデータアドレス C ● フレーム画像キャプチャ時 : キャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 ● 片フィールド画像キャプチャ時 : キャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 ● 両フィールド画像キャプチャ時: トップフィールドキャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 下位 3 ビットは 0 を書き込んでください。	R/W

注.　S-TYPE-3、P-TYPE-3

CDACR2 は、バンドル書き込みで使用する色差成分用のアドレス指定レジスタです。CDACR2 は、バンドル書き込みでのみ使用します。

CDACR2 は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの色差成分の格納先アドレス指定および両フィールド画像キャプチャの際のキャプチャしたトップフィールドの色差成分格納先アドレス指定を行います。CEU は、キャプチャした画像データをバスを経由し輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、CDACR2 がキャプチャデータの色差成分の格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、CDACR2 がトップフィールドキャプチャ画像の色差成分の格納に使用するメモリ領域の先頭アドレスを設定してください。データ取り込みの際は、CDACR2 は使用しません。

本レジスタで指定されるアドレスは、32 ビット単位とします。

本レジスタには、図 60.51 に示すように、キャプチャしたデータをバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

また、色差成分の出力データ形式は図 60.52 のようになっており、この形式でメモリに格納します。

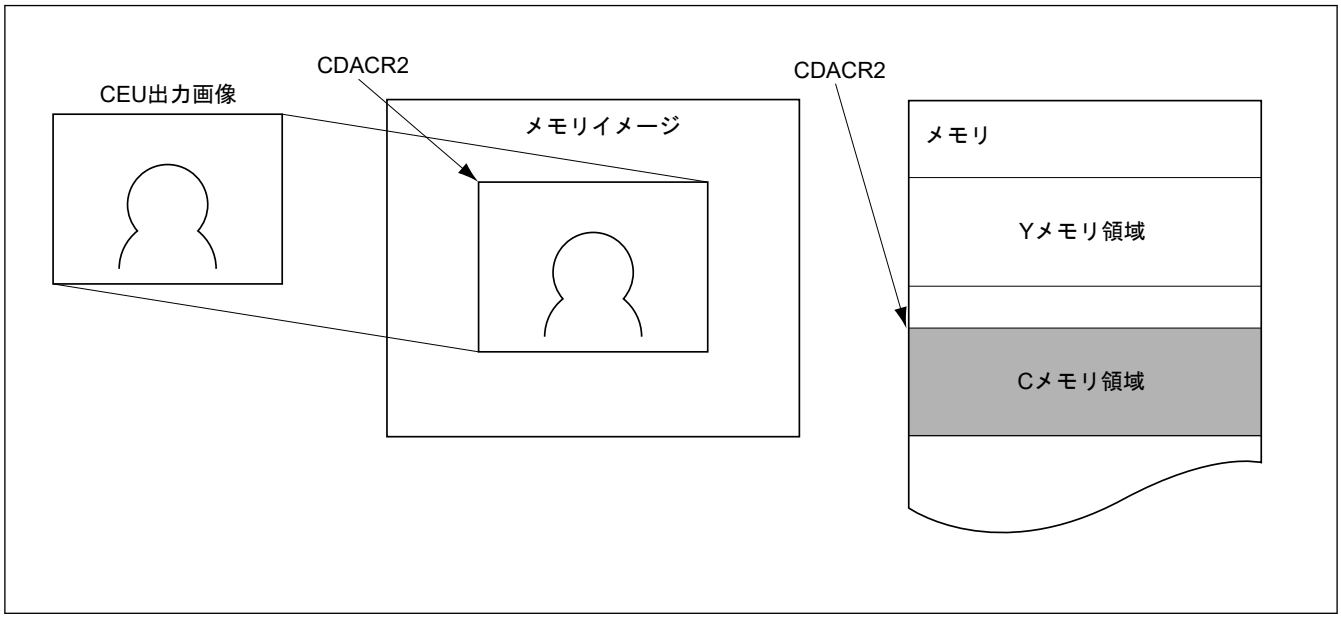


図 60.51　キャプチャ画像と色差成分メモリ領域の関係

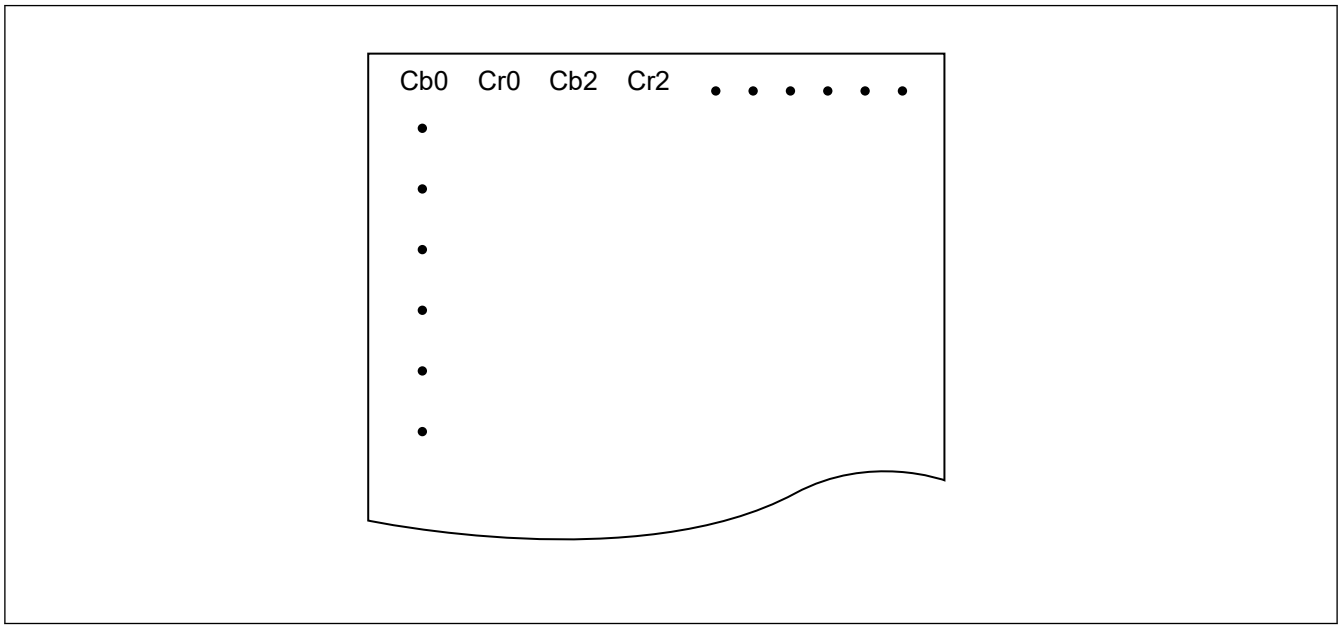


図 60.52　色差成分のメモリ格納イメージ

60.2.27 CDBYR2, CDBYR2_x : キャプチャデータボトムフィールドアドレス Y レジスタ 2 (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0098 (CDBYR2)
0x1098 (CDBYR2_B)
0x2098 (CDBYR2_M)

Bit position:	31																												0
Bit field:	CBYR2[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CBYR2[31:0]	ボトムフィールドキャプチャデータの輝度成分データ格納先アドレスを設定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDBYR2 は、バンドル書き込みで使用するボトムフィールド輝度成分用のアドレス指定レジスタです。CDBYR2 は、バンドル書き込みでのみ使用します。

CDBYR2 は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの輝度成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。CDBYR2 には、CDBYR2 が両フィールド画像キャプチャでキャプチャされたボトムフィールド画像の輝度成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、CDBYR2 は使用しません。

本レジスタで指定されるアドレスは、32 ビット単位とします。

本レジスタには、図 60.53 に示すように、ボトムフィールドキャプチャ画像の輝度成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

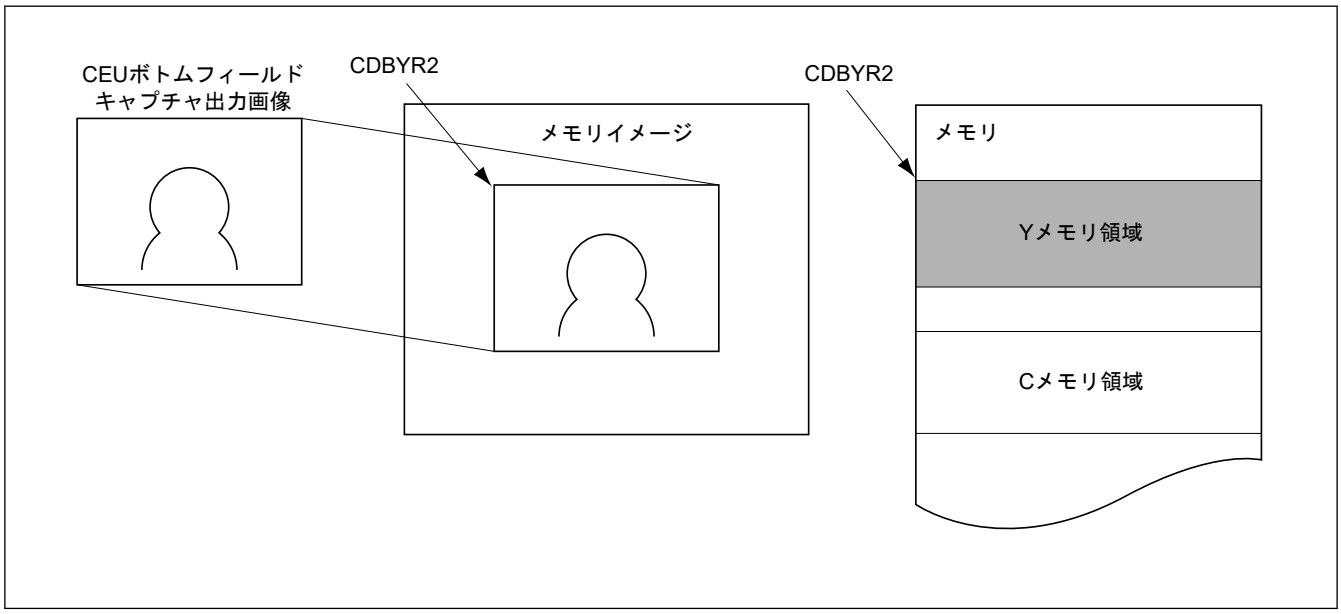


図 60.53 ボトムフィールドキャプチャ画像と輝度成分メモリ領域の関係

60.2.28 CDBCR2, CDBCR2_x : キャプチャデータボトムフィールドアドレス C レジスタ 2 (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x009C (CDBCR2)
0x109C (CDBCR2_B)
0x209C (CDBCR2_M)

Bit position:	31																												0
Bit field:	CBCR2[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CBCR2[31:0]	ボトムフィールドキャプチャデータの色差成分データ格納先アドレスを設定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDBCR2 は、バンドル書き込みで使用するボトムフィールド色差成分用のアドレス指定レジスタです。CDBCR2 は、バンドル書き込みでのみ使用します。

CDBCR2 は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの色差成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。CDBCR2 には、CDBCR2 が両フィールド画像キャプチャでキャプチャされたボトムフィールド画像の色差成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、CDBCR2 は使用しません。

本レジスタで指定されるアドレスは、32 ビット単位とします。

本レジスタには、図 60.54 に示すように、ボトムフィールドキャプチャ画像の色差成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、色差成分の出力データ形式は図 60.55 のようになっており、この形式でメモリに格納します。

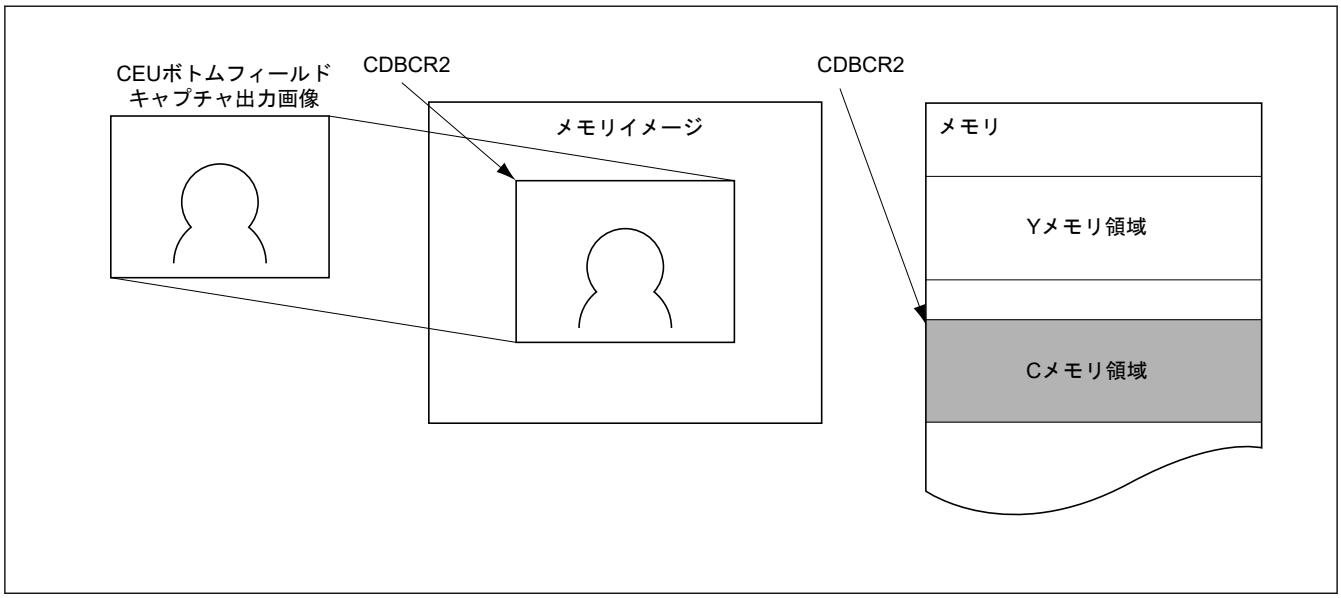


図 60.54 ボトムフィールドキャプチャ画像と色差成分メモリ領域の関係

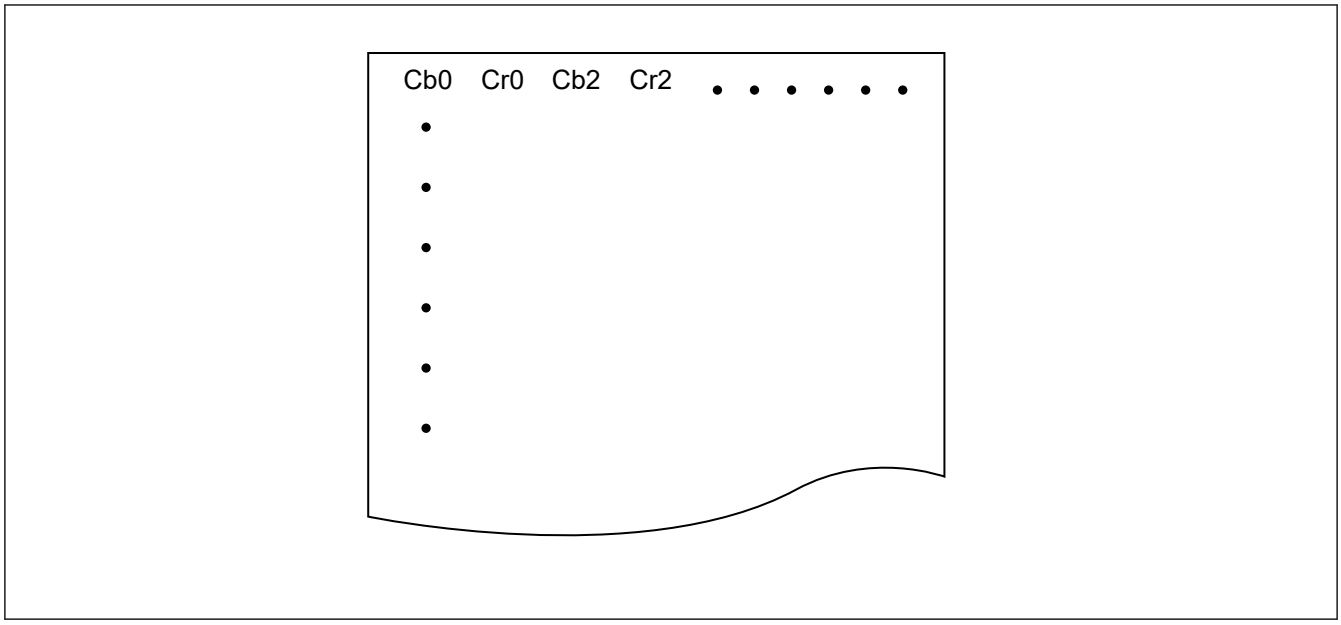


図 60.55 色差成分のメモリ格納イメージ

60.2.29 CBWER : CEU バッファラブル書き込みイネーブルレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x00A0

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BWE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BWE	バッファラブル書き込みイネーブル 0: バッファラブル書き込み禁止 1: バッファラブル書き込み許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

BWE ビット（バッファラブル書き込みイネーブル）

BWE ビットは、バッファラブル書き込みが有効または無効であることを示します。

このビットが 1 で CEU としての書き込みアクセスが完了した場合でも、実際のスレーブ書き込みは完了していない可能性があるので、注意してください。

注. 本ビットが 1 のとき、スレーブに対して可能であればテンポラリバッファに書き込みデータを書き込むことによって、早期応答を要求します。そのため、CEU としての書き込みアクセスが完了しても、実際のスレーブ書き込みが終了していない場合があります。バッファラブル書き込みをサポートするスレーブグループの詳細については、「15.7.2. バスエラー発生時の動作」および各モジュールの章を参照してください。

60.3 使用上の注意事項

60.3.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CEU の動作を無効または有効に設定することが可能です。リセット後の初期状態では、CEU の動作は停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は「11. 低消費電力モード」を参照してください。

60.3.2 外部モジュールの接続条件

(1) クロック周波数

外部から入力するクロック (VIO_CLK) は、CEU の動作クロック (PCLKA) 周波数に対し、両方のジッタを含んだ状態で等倍以下の周波数で動作させてください。

PCLKA ≧ VIO_CLK

(2) ブランク期間

各ラインの最終有効画素から次の水平同期信号 HD までの期間は、20 サイクル以上空けてください。

(3) フィールド識別信号固定期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間、固定することとします。

60.3.3 入出力機能制限事項

表 60.11 に、CEU の入出力機能の制限事項を示します。

表 60.11 CEU の入出力機能の制限事項

項目	制約事項
外部モジュールインタフェース	外部モジュールの動作クロック (VIO_CLK) は、外部モジュール動作クロックと CEU 動作クロック (PCLKA) の両方のジッタを含んだ状態で、常に CEU の動作クロック周波数以下であること。
	インタフェースの選択、外部モジュールの動作クロック周波数、および HD/VD の極性等の変更は、キャプチャ動作を完全に停止した状態で行うこと。
	画像キャプチャ時のキャプチャ水平方向サイズは、以下のように指定すること。 8 ビットインタフェース：16 サイクル単位 16 ビットインタフェース：8 サイクル単位
	データ取り込み時のキャプチャ水平方向サイズは、以下のように指定すること。 8 ビットインタフェース：8 サイクル単位 16 ビットインタフェース：4 サイクル単位
	キャプチャ垂直方向サイズは、4 ライン単位で指定すること。
	水平同期信号期間の最大サイクル数は、8 ビットデジタル画像入力端子では外部入力クロックの 16,375 サイクル、16 ビットデジタル画像入力端子では外部入力クロックの 16,379 サイクルとすること。
	垂直同期信号期間の最大ライン数（HD 数）は、16,382 ライン以下にすること。
	最小キャプチャ画素数は、sub-QCIF (128 × 96) であること。
	最大キャプチャ画素数は、5 M (2,560 × 1,920) 画素であること。
	データイネーブル取り込み時のキャプチャサイズは、VD と HD で 4 バイト単位で制御すること。入力可能なデータイネーブル取り込みでのキャプチャサイズの範囲は以下のとおり： 最大：6 MB (2,048 × 1,536 × 2) 最小：16 バイト
メモリ出力	出力アドレスは、32 ビット単位で指定すること。
	出力先画像（メモリ）の水平方向サイズは、8 画素単位で指定すること。
	水平出力画素数（＝水平方向クリップサイズ）は、8 画素単位で指定すること。
	垂直出力ライン (HD) 数（＝垂直方向クリップサイズ）は、4 ライン (HD) 単位で指定すること。
	データイネーブル取り込みバンドル書き込み時は、出力アドレスを 32 バイト単位で指定すること。
内部処理	フィルタのクリップサイズ設定は、フィルタの実出力サイズ以下の値に設定すること。

61. 内部電圧レギュレータ

61.1 概要

本 MCU は、コア電圧 (VDD) に対して 2 種類の電源供給をサポートしています。

- スイッチングレギュレータ (DCDC)
- 外部電源デバイスからの外部電源（外部 VDD）

表 61.1 に内部電圧レギュレータの仕様を示します。

OFS の設定で、DCDC または外部 VDD を選択します。

- OFS2.DCDCEN が 1 のとき、DCDC を選択（DCDC モード）
- OFS2.DCDCEN が 0 のとき、外部 VDD を選択（外部 VDD モード）

表 61.1 電源の選択

OFS 設定 (OFS2.DCDCEN)	電源モード
1	DCDC モード
0	外部 VDD モード

注. HLQFP パッケージの製品では、外部 VDD モードをサポートしません。

61.2 動作説明

61.2.1 DCDC モード

表 61.2 に DCDC モードの端子設定を、図 61.1 に DCDC モードの設定を示します。

DCDC モードでは、VDD は VLO 出力および外部インダクタ／コンデンサを介して VCL から供給されます。

表 61.2 DCDC モード端子設定

端子	設定内容
全 VCC_n 端子と全 VCC2_n 端子	• 各端子をシステムの電源に接続してください。 • 各端子を同じ番号の VSS_n に 0.1 µF の積層セラミックコンデンサを介して接続してください。コンデンサは端子近くに配置してください。
VCC_DCDC 端子	• 端子をシステムの電源に接続してください。 • 端子を並列の 22 µF と 0.1 µF の積層セラミックコンデンサを介して VSS_DCDC に接続してください。コンデンサは端子近くに配置してください。
VCLn 端子	• 各端子を同じ番号の VSSn に 0.22 µF の積層セラミックコンデンサを介して接続してください。コンデンサは端子近くに配置してください。 • 各端子を外部インダクタおよびコンデンサに接続してください。インダクタおよびコンデンサは端子近くに配置してください。図 61.1 を参照してください。
全 VLO 端子	各端子を外部インダクタおよびコンデンサに接続してください。2.2 µH のインダクタおよび 47 µF のコンデンサは端子近くに配置してください。このコンデンサは VSS_DCDC にグランド接続する必要があります。

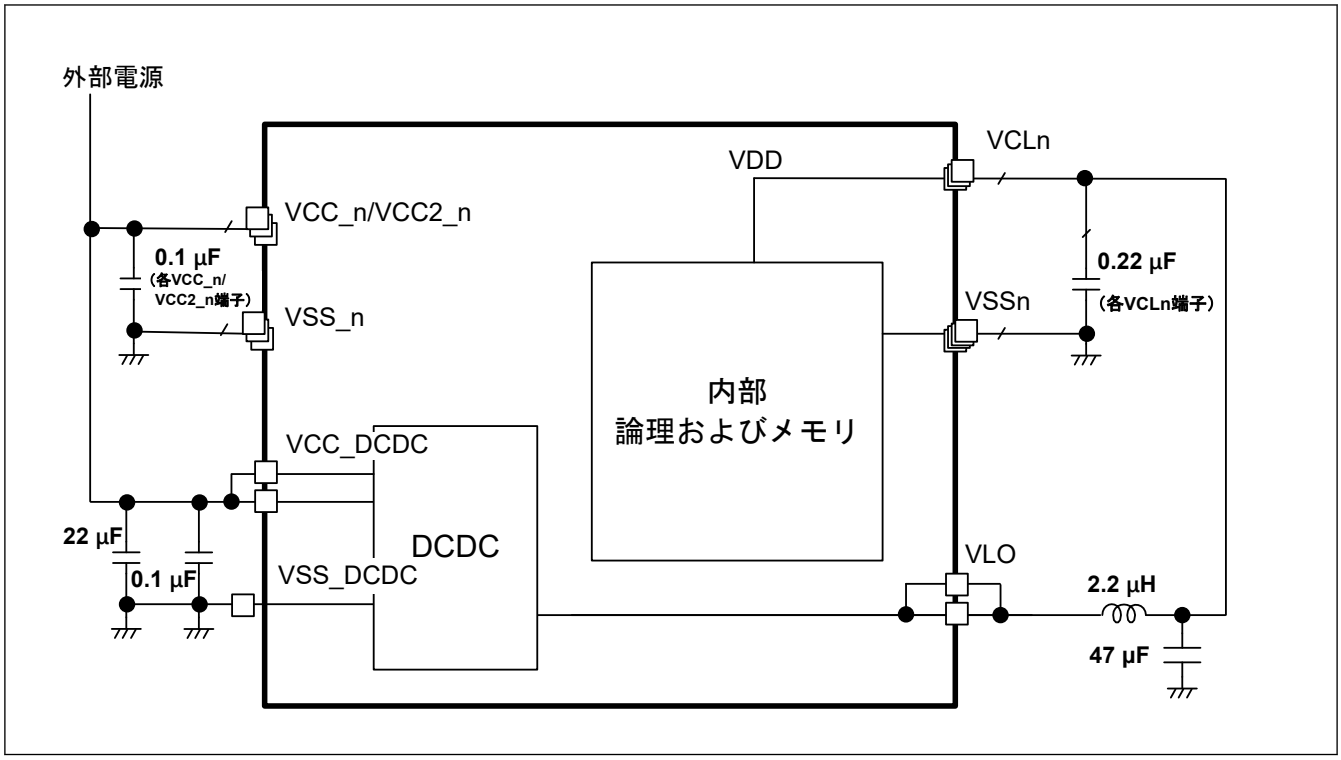


図 61.1　DCDC モード設定

61.2.2　外部 VDD モード

表 61.3 に外部 VDD モードの端子設定を、図 61.2 に外部 VDD モードの設定を示します。

VDD は VCL 端子から供給されます。

注.　このモードでは、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1、2、3、バッテリバックアップ機能、および電圧スケーリング制御をサポートしていません。

表 61.3　外部 VDD モードの設定内容

端子	設定内容
全 VCC_n 端子と全 VCC2_n 端子	• VCC に対して各端子をシステムの電源デバイスに接続してください。 • 各端子を同じ番号の VSS_n に 0.1 µF の積層セラミックコンデンサを介して接続してください。コンデンサは端子近くに配置してください。
VCC_DCDC 端子	• 端子を 0.1 µF の積層セラミックコンデンサを介して VSS_DCDC に接続してください。コンデンサは端子近くに配置してください。
VCLn 端子	• VDD に対して各端子をシステムの電源デバイスに接続してください。 • 各端子を同じ番号の VSSn に 0.22 µF の積層セラミックコンデンサを介して接続してください。コンデンサは端子近くに配置してください。
全 VLO 端子	端子を開放してください。

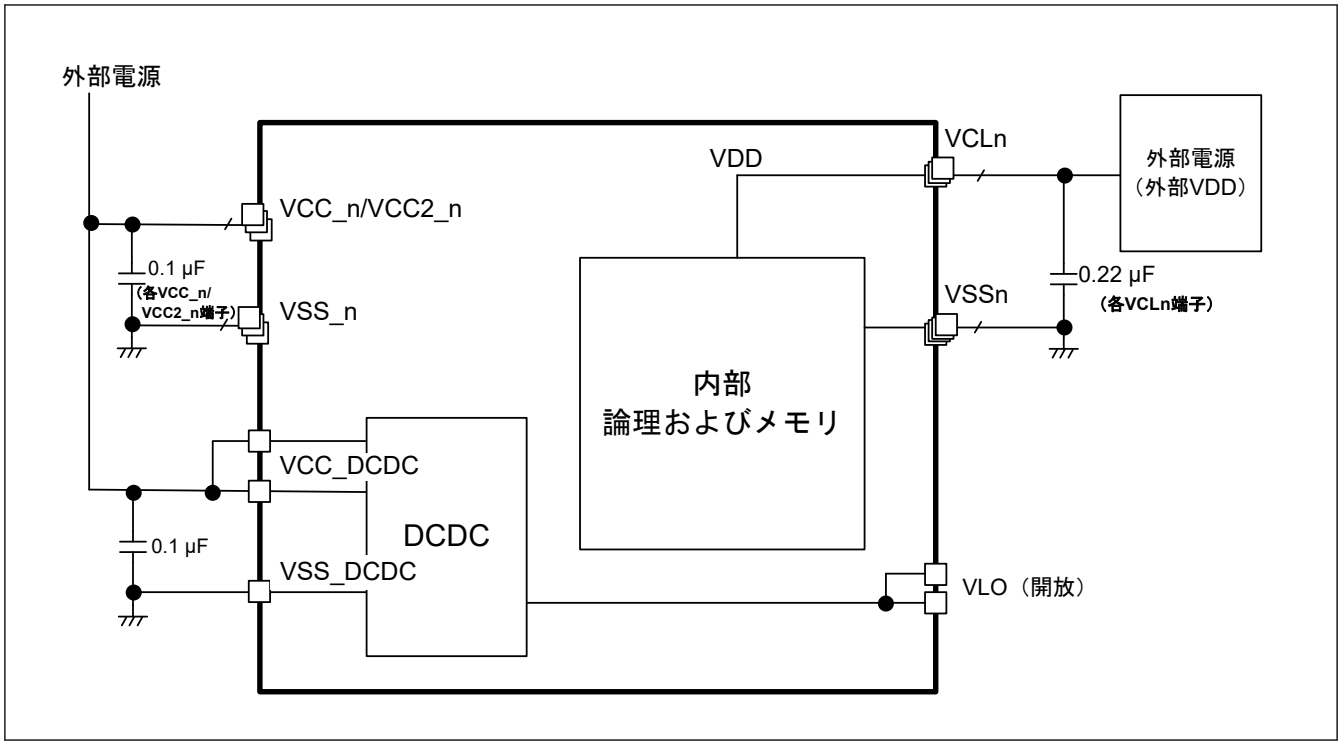


図 61.2　外部 VDD モードの設定

61.3　使用上の注意事項

DCDC モードでは、電力損失を最小限にし、効率を最大化するため、直流抵抗が 100 mΩ 以下の 2.2 µH のインダクタを推奨します。VCC_n と VCC_DCDC は短絡してください。

外部 VDD モードにおいて、VDD 電圧はパワーオンやパワーオフのシーケンスを含めて VCC 電圧よりも常に低くしてください。詳細は、「62. 電気的特性」を参照してください。

62. 電気的特性

他に指定がなければ、最小値と最大値は設計シミュレーション、特性結果、または製品テストのいずれかにより保証されます。

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- VCC = VCC_DCDC = VBATT = 1.62～3.63 V
- VCC2 = 1.62～3.63 V（標準製品）
- VCC2 = 1.70～2.00 V（SiP 製品）
- AVCC0 = 1.62～3.63 V
- VCC_USB = VCC_USBHS = AVCC_USBHS = 3.0～3.6 V
- VREFH0/VREFH = 1.62 V～AVCC0
- VSS = VSS_DCDC = AVSS0 = VREFL0 /VREFL = VSS_USB = VSS1_USBHS = VSS2_USBHS = 0 V
- VCC 電圧が 2.7 V 未満のとき、LVOCR.LVO0E = 1。それ以外のとき、LVOCR.LVO0E = 0。
- VCC2 電圧が 2.7 V 未満のとき、LVOCR.LVO1E = 1。それ以外のとき、LVOCR.LVO1E = 0。
- $T_j = T_{opj}$
  特に記載のない限り、標準値は室温 25 °C、VCC = VCC_DCDC = VCC_USB = VBATT = VCC_USBHS = AVCC_USBHS = AVCC0 = VREFH0 = VREFH = 3.3 V で測定しています。

図 62.1 にタイミング条件を示します。

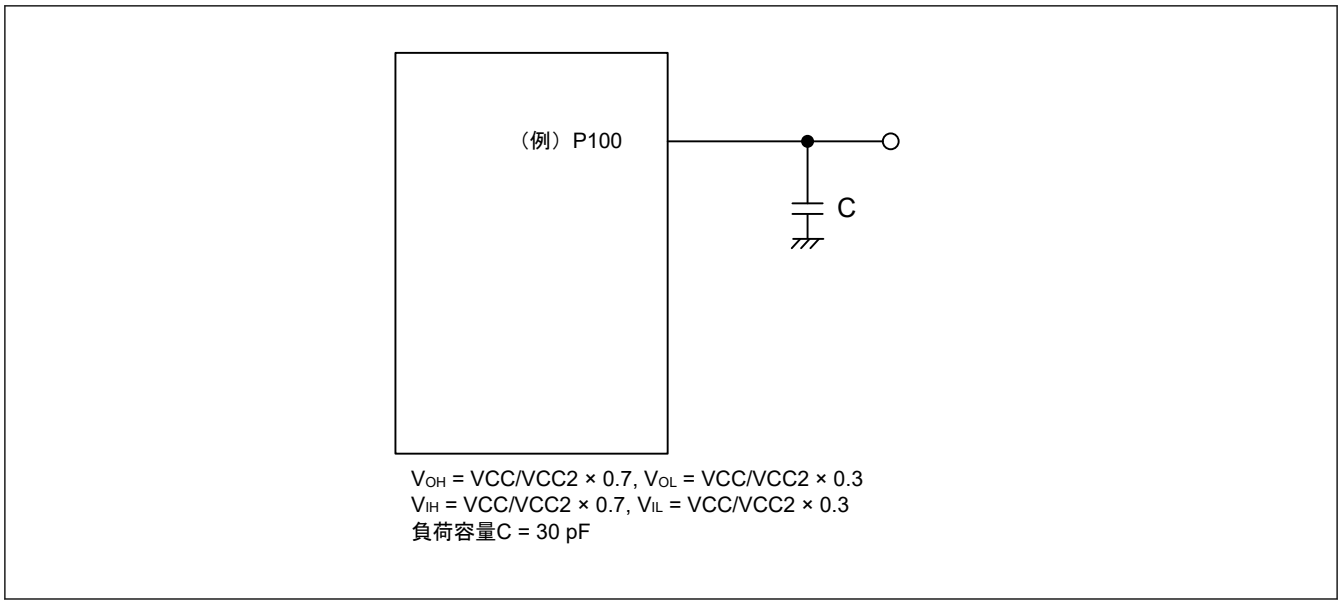


図 62.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザー条件に合うように、各端子の駆動能力を調整してください。

62.1 絶対最大定格

表 62.1 絶対最大定格 (1/2)

項目	シンボル		値	単位
電源電圧	VCC, VCC_DCDC(注2)		-0.3～+4.0	V
	VCC2	標準製品	-0.3～+4.0	V
		SiP 製品	-0.3～+2.5	V

表 62.1 絶対最大定格 (2/2)

項目	シンボル	値	単位
外部電源電圧(注6)	VCL	-0.3～+1.2	V
VBATT 電源電圧	VBATT	-0.3～+4.0	V
入力電圧（5 V トレラントポートを除く(注1)）	V_{in}	-0.3～VCC + 0.3, -0.3～VCC2 + 0.3, -0.3～VCC_USB + 0.3 または-0.3～VBATT_R + 0.3	V
入力電圧（5 V トレラントポート(注1)）	V_{in}	–0.3～+ VCC + 4.0（最大 5.8） または-0.3～+ VCC2 + 4.0（最大 5.8）	V
リファレンス電源電圧	VREFH/VREFH0	–0.3～AVCC0 + 0.3	V
USBFS 電源電圧	VCC_USB	-0.3～+4.0	V
USBHS 電源電圧	VCC_USBHS	-0.3～+4.0	V
USBHS アナログ電源電圧	AVCC_USBHS	-0.3～+4.0	V
アナログ電源電圧	AVCC0	-0.3～+4.0	V
アナログ入力電圧	V_{AN}	–0.3～AVCC0 + 0.3	V
動作ジャンクション温度(注3)(注4)(注5)	T_{opj}	0～95 または–40～+105 または–40～+125	°C
保存温度	T_{stg}	-55～+125	°C

注 1. ポート P204、P205、P303、P407～P413、P511、P512、P514、P515、および P708～P715 は、5 V トレラント対応ポートです。
注 2. VCC_DCDC を VCC に接続してください。
注 3. 「62.2.1. Tj/Ta の定義」を参照してください。
注 4. Tj = +95 °C～+125 °C の場合のディレーティング動作については、弊社営業窓口までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。
注 5. 動作ジャンクション温度の下限と上限は、製品によって異なります。詳細は、「1.3. 型名」を参照してください。
注 6. 外部 VDD モードは、HLQFP パッケージではサポートされません。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

表 62.2 推奨動作条件

項目	シンボル			Min	Typ	Max	単位
電源電圧	VCC, VCC_DCDC	下記以外		1.62	—	3.63	V
		ESWM 使用時		2.30	—	3.63	V
		SDRAM 使用時		3.00	—	3.63	V
	VCC2	標準製品	下記以外	1.62	—	3.63	V
			32 ビット SDRAM 使用時	3.00	—	3.63	V
		SiP 製品		1.70	—	2.00	V
	VCL	外部 VDD 使用時 (注2)(注3)	電圧範囲 1	0.92	—	0.99	V
			電圧範囲 2	0.87	—	0.99	V
		DCDC 使用時（High-speed モード）	VSCR_1	—	0.95	—	V
			VSCR_2	—	0.925	—	V
		DCDC 使用時（ソフトウェアスタンバイモード）	SVSCR_1	—	0.95	—	V
			SVSCR_2	—	0.925	—	V
			SVSCR_3	—	0.825	—	V
			SVSCR_4	—	0.765	—	V
			SVSCR_5	—	0.715	—	V
	VSS, VSS_DCDC			—	0	—	V
USB 電源電圧	VCC_USB, VCC_USBHS, AVCC_USBHS	USB 未使用時		1.62	—	3.63	V
		USB 使用時		3.00	—	3.60	V
	VSS_USB, VSS1_USBHS, VSS2_USBHS			—	0	—	V
VBATT 電源電圧	VBATT			1.62	—	3.63	V
アナログ電源電圧	AVCC0(注1)	下記以外		1.62	—	3.63	V
		チャネル専用サンプル&ホールド回路使用時		2.70	—	3.63	V
	AVSS0			—	0	—	V

注 1. A/D コンバータ、D/A コンバータ、および高速アナログコンパレータを使用していない場合、AVCC0 端子、VREFH/VREFH0 端子、AVSS0 端子、および VREFL/VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH/VREFH0 端子を VCC に、AVSS0 端子および VREFL/VREFL0 端子を VSS にそれぞれ接続してください。
注 2. VCL 電圧が VCC 電圧を超えることのないようにしてください。
注 3. 外部 VDD モードは、HLQFP パッケージではサポートされません。

62.2 DC 特性

62.2.1 Tj/Ta の定義

表 62.3 DC 特性

項目	シンボル	Typ	Max	単位	測定条件
許容動作ジャンクション温度	T_j	—	125(注1)	°C	High-speed モード

注. $T_j = T_a + \theta_{ja} \times$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + (I_{CC}max + I_{CC_DCDC}max) \times VCC$ です。
注. 最低周囲温度 (Ta) は -40 °C または 0 °C です（製品による）。詳細は、「1.3. 型名」を参照してください。
注 1. 動作ジャンクション温度の上限は、95 °C、105 °C、または 125 °C です（製品による）。詳細は、「1.3. 型名」を参照してください。

62.2.2 I/O V_{IH}, V_{IL}

表 62.4 シュミットトリガ入力端子以外の I/O V_{IH}、V_{IL} (1/2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
周辺機能端子	EXTAL（外部クロック入力）、WAIT、SPI(注1)（RSPCK を除く）	1.62 V 以上	V_{IH}	VCC × 0.8	—	—	V
			V_{IL}	—	—	VCC × 0.2	
	SPI(注2)（RSPCK を除く）	1.62 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
	OSPI（OM_0_RSTO1、OM_0_ECSINT1、OM_1_RSTO1、および OM_1_ECSINT1 を除く）	2.70 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
		1.62～2.00 V	V_{IH}	VCC2 × 0.7	—	VCC2 + 0.3	
			V_{IL}	VSS - 0.3	—	VCC2 × 0.3	
	SD(注3)	2.70 V 以上	V_{IH}	VCC × 0.625	—	VCC + 0.3	
			V_{IL}	VSS - 0.3	—	VCC × 0.25	
		1.70～1.95 V	V_{IH}	1.27	—	2	
			V_{IL}	VSS - 0.3	—	0.58	
	SD(注4)	2.70 V 以上	V_{IH}	VCC2 × 0.625	—	VCC2 + 0.3	
			V_{IL}	VSS - 0.3	—	VCC2 × 0.25	
		1.70～1.95 V	V_{IH}	1.27	—	2	
			V_{IL}	VSS - 0.3	—	0.58	
	MMC(注5)	2.70 V 以上	V_{IH}	VCC × 0.625	—	VCC + 0.3	
			V_{IL}	VSS - 0.3	—	VCC × 0.25	
		1.70～1.95 V	V_{IH}	VCC × 0.65	—	VCC + 0.3	
			V_{IL}	VSS - 0.3	—	VCC × 0.35	
	MMC(注6)	2.70 V 以上	V_{IH}	VCC2 × 0.625	—	VCC2 + 0.3	
			V_{IL}	VSS - 0.3	—	VCC2 × 0.25	
		1.70～1.95 V	V_{IH}	VCC2 × 0.65	—	VCC2 + 0.3	
			V_{IL}	VSS - 0.3	—	VCC2 × 0.35	
	D00～D19, TMS, TDI, SWDIO	1.62 V 以上	V_{IH}	VCC × 0.7	—	—	
			V_{IL}	—	—	VCC × 0.3	
	D20～D31	1.62 V 以上	V_{IH}	VCC2 × 0.7	—	—	
			V_{IL}	—	—	VCC2 × 0.3	
	DQ00～DQ19	3.00 V 以上	V_{IH}	VCC × 0.7	—	—	
			V_{IL}	—	—	VCC × 0.3	
	DQ20～DQ31	3.00 V 以上	V_{IH}	VCC2 × 0.7	—	—	
			V_{IL}	—	—	VCC2 × 0.3	

表 62.4 シュミットトリガ入力端子以外の I/O V_{IH}、V_{IL} (2/2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
周辺機能端子	ESWM(注9)	2.30～3.60 V	V_{IH}	VCC × 0.7	—	—	V
			V_{IL}	—	—	VCC × 0.3	
			V_{IH}	VCC2 × 0.7	—	—	
			V_{IL}	—	—	VCC2 × 0.3	
	ESWM (MII)(注10)、ESWM (RMII)(注11)	2.70～3.60 V	V_{IH}	2.3	—	—	
			V_{IL}	—	—	VCC × 0.2	
	ESWM (GMII)(注10)、ESWM (RGMII)(注12)	3.00～3.60 V	V_{IH}	2	—	—	
			V_{IL}	—	—	0.8	
		2.30～2.70 V	V_{IH}	1.7	—	—	
			V_{IL}	—	—	0.7	
	IIC (SMBus)(注7)	2.70 V 以上	V_{IH}	2.1	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	0.8	
	IIC (SMBus)(注8)	2.70 V 以上	V_{IH}	2.1	—	VCC2 + 3.6（最大 5.8）	
			V_{IL}	—	—	0.8	
	I3C (SMBus)	2.70 V 以上	V_{IH}	2.1	—	VCC + 0.3	
			V_{IL}	—	—	0.8	
	RTCIC0、RTCIC1、RTCIC2（VCC 電源選択時）	1.62 V 以上	V_{IH}	0.9	—	3.9	
			V_{IL}	—	—	0.3	
	RTCIC0、RTCIC1、RTCIC2（VBATT 電源選択時）		V_{IH}	0.9	—	3.9	
			V_{IL}	—	—	0.3	
	EXCIN（VCC 電源選択時）	1.62 V 以上	V_{IH}	0.9	—	VCC	
			V_{IL}	—	—	0.3	
	EXCIN（VBATT 電源選択時）		V_{IH}	0.9	—	VBATT	
			V_{IL}	—	—	0.3	

注 1. SPI0_B、SPI0_C、および SPI1_B
注 2. SPI0_A, SPI1_A
注 3. SD_A ch0、SD_B ch0、SD_C ch0、および SD_B ch1
注 4. SD_A ch1
注 5. MMC_A ch0、MMC_B ch0、MM_C ch0、および MMC_B ch1
注 6. MMC_A ch1
注 7. IIC0_A、IIC0_B、IIC1_A、IIC2_A、および IIC2_B
注 8. IIC1_B
注 9. GPTP_CAPTUREn、ETn_LINKSTA、ETn_MDIO、および ETn_INT (n = 0, 1)
注 10. ETn_RX_CLK、ETn_RX_DV、ETn_RXD7～ETn_RXD0、ETn_RX_ER、および ETn_TX_CLK (n = 0, 1)
注 11. RMIIn_REF50CK、RMIIn_CRS_DV、RMIIn_RXD1～RMIIn_RXD0、および RMIIn_RX_ER (n = 0, 1)
注 12. RGMIIn_RXC、RGMIIn_RX_CTL、および RGMIIn_RXD3～RGMIIn_RXD0 (n = 0, 1)

表 62.5　シュミットトリガ入力端子の I/O V_{IH}、V_{IL} (1/2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
周辺機能端子	IIC（SMBus を除く）(注7)	1.62 V 以上	V_{IH}	VCC × 0.7	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.05	—	—	
	IIC（SMBus を除く）(注8)	1.62 V 以上	V_{IH}	VCC2 × 0.7	—	VCC2 + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC2 × 0.3	
			ΔV_T	VCC2 × 0.05	—	—	
	I3C（SMBus を除く）	1.65 V 以上	V_{IH}	VCC × 0.7	—	VCC + 0.3	
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.1	—	—	
	5 V トレラントポート(注1)(注6)	1.62 V 以上	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	5 V トレラントポート(注2)(注6)	1.62 V 以上	V_{IH}	VCC2 × 0.8	—	VCC2 + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC2 × 0.2	
			ΔV_T	VCC2 × 0.05	—	—	
	その他の VCC 入力端子(注3)	1.62 V 以上	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	その他の VCC2 入力端子(注3)	1.62 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
			ΔV_T	VCC2 × 0.05	—	—	
	その他の AVCC0 入力端子(注3)	1.62 V 以上	V_{IH}	AVCC0 × 0.8	—	—	
			V_{IL}	—	—	AVCC0 × 0.2	
			ΔV_T	AVCC0 × 0.05	—	—	
	その他の VCC_USB 入力端子(注3)	1.62 V 以上	V_{IH}	VCC_USB × 0.8	—	—	
			V_{IL}	—	—	VCC_USB × 0.2	
			ΔV_T	VCC_USB × 0.05	—	—	
	その他の VBATT_R 入力端子（VCC 電源選択時）(注3)	1.62 V 以上	V_{IH}	VCC × 0.8	—	VCC	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	

表 62.5 シュミットトリガ入力端子の I/O V_{IH}、V_{IL} (2/2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
ポート	5 V トレラントポート(注4)(注6)	1.62 V 以上	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.2	
	5 V トレラントポート(注2)(注6)	1.62 V 以上	V_{IH}	VCC2 × 0.8	—	VCC2 + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC2 × 0.2	
	その他の VCC 入力端子(注5)	1.62 V 以上	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
	その他の VCC2 入力端子(注5)	1.62 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
	その他の AVCC0 入力端子(注5)	1.62 V 以上	V_{IH}	AVCC0 × 0.8	—	—	
			V_{IL}	—	—	AVCC0 × 0.2	
	その他の VCC_USB 入力端子(注5)	1.62 V 以上	V_{IH}	VCC_USB × 0.8	—	—	
			V_{IL}	—	—	VCC_USB × 0.2	
	その他の VBATT_R 入力端子（VCC 電源選択時）(注5)	1.62 V 以上	V_{IH}	VCC × 0.8	—	VCC	
			V_{IL}	—	—	VCC × 0.2	

注 1. P303、P407～P413、P511、P512、P514、P515、P708～P715（合計 21 端子）に関連する RES および周辺機能端子
注 2. P204、P205（合計 2 端子）
注 3. 表で説明した周辺機能端子を除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。
注 4. P303、P407～P413、P511、P512、P514、P515、P708～P715（合計 20 端子）
注 5. 表で説明したポートを除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。
注 6. VCC または VCC2 が 1.62 V 未満の場合、5 V トレラントポートの入力電圧は、3.6 V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5 V トレラントポートは耐圧違反を防止するように電気的に制御されるためです。

62.2.3 I/O I_{OH}, I_{OL}

表 62.6 I/O I_{OH}, I_{OL} (1/5)

項目			VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	ポート P000～P015、P201	—	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
	ポート P204、P205、P303、P407～P413、P511、P512、P514、P515、P708～P715、PA15（合計 23 端子）	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-16	mA
				I_{OL}	—	—	20.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
	その他の出力端子 (注5)	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-16	mA
				I_{OL}	—	—	16.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
許容出力電流（端子ごとの最大値）	ポート P000～P015、P201	—	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
	ポート P204、P205、P303、P407～P413、P511、P512、P514、P515、P708～P715、PA15（合計 23 端子）	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-32	mA
				I_{OL}	—	—	40.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-40	mA
				I_{OL}	—	—	40.0	mA
	その他の出力端子 (注5)	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-32	mA
				I_{OL}	—	—	32.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-40	mA
				I_{OL}	—	—	40.0	mA

表 62.6 I/O I_{OH}, I_{OL} (2/5)

項目				VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC I/O	ポート P411～P415、P511～P515、P708～P715、P805～P807（合計 21 端子）	1.62 V 以上	$\Sigma I_{OH\ (max)}$	—	—	-40	mA
			ポート P212、P213、P400～P410（合計 13 端子）	1.62 V 以上		—	—	-40	
			ポート P700～P707、PB00～PB04（合計 13 端子）	1.62 V 以上		—	—	-40	
			ポート PB05～PB07、PD06、PD07（合計 5 端子）	1.62 V 以上		—	—	-40	
			ポート P207、PD01～PD05（合計 6 端子）	1.62 V 以上		—	—	-40	
			ポート P904、P910～P913（合計 5 端子）	1.62 V 以上		—	—	-40	
			ポート P206、P304～P312、P902、P903、P905～P909（合計 17 端子）	1.62 V 以上		—	—	-40	
			ポート P108～P115、P201、P208～P211、P300～P303、P609、P914、P915、PA11（合計 21 端子）	1.62 V 以上		—	—	-40	
			ポート P610～P615、P813、PA04～PA10、PA12～PA15（合計 18 端子）	1.62 V 以上		—	—	-40	
			ポート P503～P510、P608、PA00～PA03、PC11～PC15、PD00（合計 19 端子）	1.62 V 以上		—	—	-40	

表 62.6 I/O I_{OH}, I_{OL} (3/5)

項目				VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC2 I/O	ポート PC00～PC10（合計 11 端子）	1.62 V 以上	$\Sigma I_{OH\ (max)}$	—	—	-40	mA
			ポート P204、P205、P600～P607（合計 10 端子）	1.62 V 以上		—	—	-40	
			ポート P202、P203、P313～P315、P900、P901（合計 7 端子）	1.62 V 以上		—	—	-40	
			ポート P100～P107、P800、P801（合計 10 端子）	1.62 V 以上		—	—	-40	
			ポート P500～P502、P802～P804、P808～P812（合計 11 端子）	1.62 V 以上		—	—	-40	
		AVCC0 I/O		1.62 V 以上		—	—	-33	
		VCC_USB I/O		1.62 V 以上		—	—	-33	

表 62.6 I/O I_{OH}, I_{OL} (4/5)

項目				VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC および VCC2 I/O	ポート P411～P415、P511～P515、P708～P715、P805～P807（合計 21 端子）	1.62 V 以上	$\Sigma I_{OL\ (max)}$	—	—	40	mA
			ポート P212、P213、P400～P410、 （合計 13 端子）	1.62 V 以上		—	—	40	
			ポート P700～P707、PB00～PB04（合計 13 端子）	1.62 V 以上		—	—	40	
			ポート PB05～PB07、PD06、PD07（合計 5 端子）	1.62 V 以上		—	—	40	
			ポート P207、PD01～PD05（合計 6 端子）	1.62 V 以上		—	—	40	
			ポート P904、P910～P913（合計 5 端子）	1.62 V 以上		—	—	40	
			ポート P206、P304～P312、P902、P903、P905～P909（合計 17 端子）	1.62 V 以上		—	—	40	
			ポート P108～P115、P201、P208～P211、P300～P303、P609、P914、P915、PA11（合計 21 端子）	1.62 V 以上		—	—	40	
			ポート P610～P615、P813、PA04～PA10、PA12～PA15（合計 18 端子）	1.62 V 以上		—	—	40	
			ポート P503～P510、P608、PA00～PA03、PC11～PC15、PD00（合計 19 端子）	1.62 V 以上		—	—	40	
			ポート PC00～PC10（合計 11 端子）	1.62 V 以上		—	—	40	
			ポート P204、P205、P600～P607（合計 10 端子）	1.62 V 以上		—	—	40	

表 62.6 I/O I_{OH}, I_{OL} (5/5)

項目				VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC および VCC2 I/O	ポート P202、P203、P313～P315、P900、P901（合計 7 端子）	1.62 V 以上	$\Sigma I_{OL\ (max)}$	—	—	40	mA
			ポート P100～P107、P800、P801（合計 10 端子）	1.62 V 以上		—	—	40	
			ポート P500～P502、P802～P804、P808～P812（合計 11 端子）	1.62 V 以上		—	—	40	
		AVCC0 I/O		1.62 V 以上		—	—	33	
		VCC_USB I/O		1.62 V 以上		—	—	33	

注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。
注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。
注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。
注 4. PmnPFS レジスタのポート駆動能力で高速高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 5. 入力ポートである P200、P214、および P215 を除きます。

【使用上の注意】MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 µs の間に計測した電流の平均値を意味します。

62.2.4 I/O V_{OH}、V_{OL}、およびその他の特性

表 62.7 I/O V_{OH}、V_{OL}、およびその他の特性 (1/3)

項目		VCC/ VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC	2.70 V 以上	V_{OL}	—	—	0.4	V	I_{OL} = 3.0 mA
			V_{OL}	—	—	0.6		I_{OL} = 6.0 mA
		1.62 V～1.95 V	V_{OL}	—	—	VCC × 0.2		I_{OL} = 2.0 mA
			V_{OL}	—	—	0.4		I_{OL} = 3.0 mA
			V_{OL}	—	—	0.6(注4)		I_{OL} = 6.0 mA
			V_{OL}	—	—	VCC2 × 0.2		I_{OL} = 2.0 mA
	IIC(注1)	2.70 V 以上	V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (ICFER.FMPE = 1)
			V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (ICFER.FMPE = 1)
		1.62 V～1.95 V	V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (ICFER.FMPE = 1)
			V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (ICFER.FMPE = 1)
	I3C	2.70 V 以上	V_{OL}	—	—	0.4		I_{OL} = 3.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.6		I_{OL} = 6.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
			V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
		3.00 V 以上	V_{OL}	—	—	0.4		I_{OL} = 3.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 1)
			V_{OH}	VCC - 0.27	—	—		I_{OH} = 3.0 mA (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.27		I_{OL} = 3.0 mA (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)
		1.65 V～1.95 V	V_{OL}	—	—	VCC × 0.2		I_{OL} = 2.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.4		I_{OL} = 3.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.6		I_{OL} = 6.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	VCC × 0.2		I_{OL} = 2.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
			V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
			V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
			V_{OL}	—	—	VCC × 0.2		I_{OL} = 3.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 1)
			V_{OH}	VCC - 0.27	—	—		I_{OH} = 3.0 mA (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.27		I_{OL} = 3.0 mA (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)

表 62.7 I/O V_{OH}、V_{OL}、およびその他の特性 (2/3)

項目		VCC/ VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ESWM	2.70 V～3.60 V	V_{OH}	VCC - 0.5	—	—	V	I_{OH} = -1.0 mA
			V_{OL}	—	—	0.4		I_{OL} = 1.0 mA
			V_{OH}	VCC2 − 0.5	—	—		I_{OH} = -1.0 mA
		2.30 V～2.70 V	V_{OH}	2	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.4		I_{OL} = 1.0 mA
	SD	2.70 V 以上	V_{OH}	VCC × 0.75	—	—		I_{OH} = -2.0 mA
			V_{OL}	—	—	VCC × 0.125		I_{OL} = 3.0 mA
			V_{OH}	VCC2 × 0.75	—	—		I_{OH} = -2.0 mA
			V_{OL}	—	—	VCC2 × 0.125		I_{OL} = 3.0 mA
		1.70～1.95 V	V_{OH}	1.4	—	—		I_{OH} = -2.0 mA
			V_{OL}	—	—	0.45		I_{OL} = 2.0 mA
	MMC	2.70 V 以上	V_{OH}	VCC × 0.75	—	—		I_{OH} = −0.1 mA (VCC = 2.7 V)
			V_{OL}	—	—	VCC × 0.125		I_{OL} = 0.1 mA (VCC = 2.7 V)
			V_{OH}	VCC2 × 0.75	—	—		I_{OH} = −0.1 mA (VCC2 = 2.7 V)
			V_{OL}	—	—	VCC2 × 0.125		I_{OL} = 0.1 mA (VCC2 = 2.7 V)
		1.70～1.95 V	V_{OH}	VCC - 0.45	—	—		I_{OH} = -2.0 mA
			V_{OL}	—	—	0.45		I_{OL} = 2.0 mA
			V_{OH}	VCC2 − 0.45	—	—		I_{OH} = -2.0 mA
	ポート P204、P205、P303、P407～P413、P511、P512、P514、P515、P708～P715、PA15（合計 23 端子）(注2)	—	V_{OH}	VCC - 1.0	—	—		I_{OH} = −16 mA (VCC = 3.3 V)
			V_{OL}	—	—	1		I_{OL} = 20 mA (VCC = 3.3 V)
			V_{OH}	VCC2 − 1.0	—	—		I_{OH} = −16 mA (VCC2 = 3.3 V)
			V_{OL}	—	—	1		I_{OL} = 20 mA (VCC2 = 3.3 V)
	その他の出力端子	1.62 V 以上	V_{OH}	VCC - 0.5	—	—	V	I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
			V_{OH}	VCC2 − 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
			V_{OH}	AVCC0 − 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
			V_{OH}	VCC_USB – 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA

表 62.7 I/O V_{OH}、V_{OL}、およびその他の特性 (3/3)

項目		VCC/ VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES	1.62 V 以上	$\|I_{in}\|$	—	—	5	μA	V_{in} = 0 V V_{in} = 5.5 V
	ポート P200、P214、P215	1.62 V 以上		—	—	1		V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5 V トレラントポート	1.62 V 以上	$\|I_{TSI}\|$	—	—	5	μA	V_{in} = 0 V V_{in} = 5.5 V
	その他のポート（ポート P200、P214、P215 を除く）	1.62 V 以上		—	—	1		V_{in} = 0 V V_{in} = VCC, VCC2, AVCC0, VCC_USB
入力プルアップ MOS 電流	ポート P0～PD	2.70 V 以上	I_p	-300	—	-10	μA	VCC, VCC2, AVCC0, VCC_USB = 2.7～3.63 V V_{in} = 0 V
		1.62 V 以上		-300	—	-5		VCC, VCC2, AVCC0, VCC_USB = 1.62～3.63 V V_{in} = 0 V
SCL 電流ソースとして機能するプルアップ電流	I3C(注3)	3.00～3.63 V	I_{cs}	3	—	12	mA	VCC = 3.0～3.63 V V_{in} = 0.3 × VCC～0.7 × VCC
		1.65～1.95 V						VCC = 1.65～1.95 V V_{in} = 0.3 × VCC～0.7 × VCC
入力容量	ポート P014、P015	—	C_{in}	—	—	16	pF	Vbias = 0 V Vamp = 20 mV f = 1 MHz Ta = 25 °C
	ポート P814/USB_DP、P815/USB_DM	—		—	—	12		
	ポート P400、P401、P409、P410、P511、P512、P708、P709、USBHS_DP、USBHS_DM	—		—	—	10		
	その他の入力端子	—		—	—	8		

注 1. SCL0_A、SDA0_A、SCL1_A、SDA1_A、SCL2_A、SDA2_A（合計 6 端子）
注 2. これは PmnPFS レジスタのポート駆動能力ビットで高速高駆動能力が選択されている場合の値です。
選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 3. I3C_SCL0（1 端子）。これは IIC High-speed モード選択時の値です。
注 4. これは、以下の端子に対して、PmnPFS レジスタのポート駆動能力ビットで高速高駆動能力が選択されている場合の値です。
SDA0_B、SCL0_B、SDA1_B、SCL1_B、SDA2_B、SCL2_B

62.2.5 動作電流とスタンバイ電流

SiP フラッシュメモリの電流値は本項では対象外です。IS25WX064 のデータシートを参照してください。

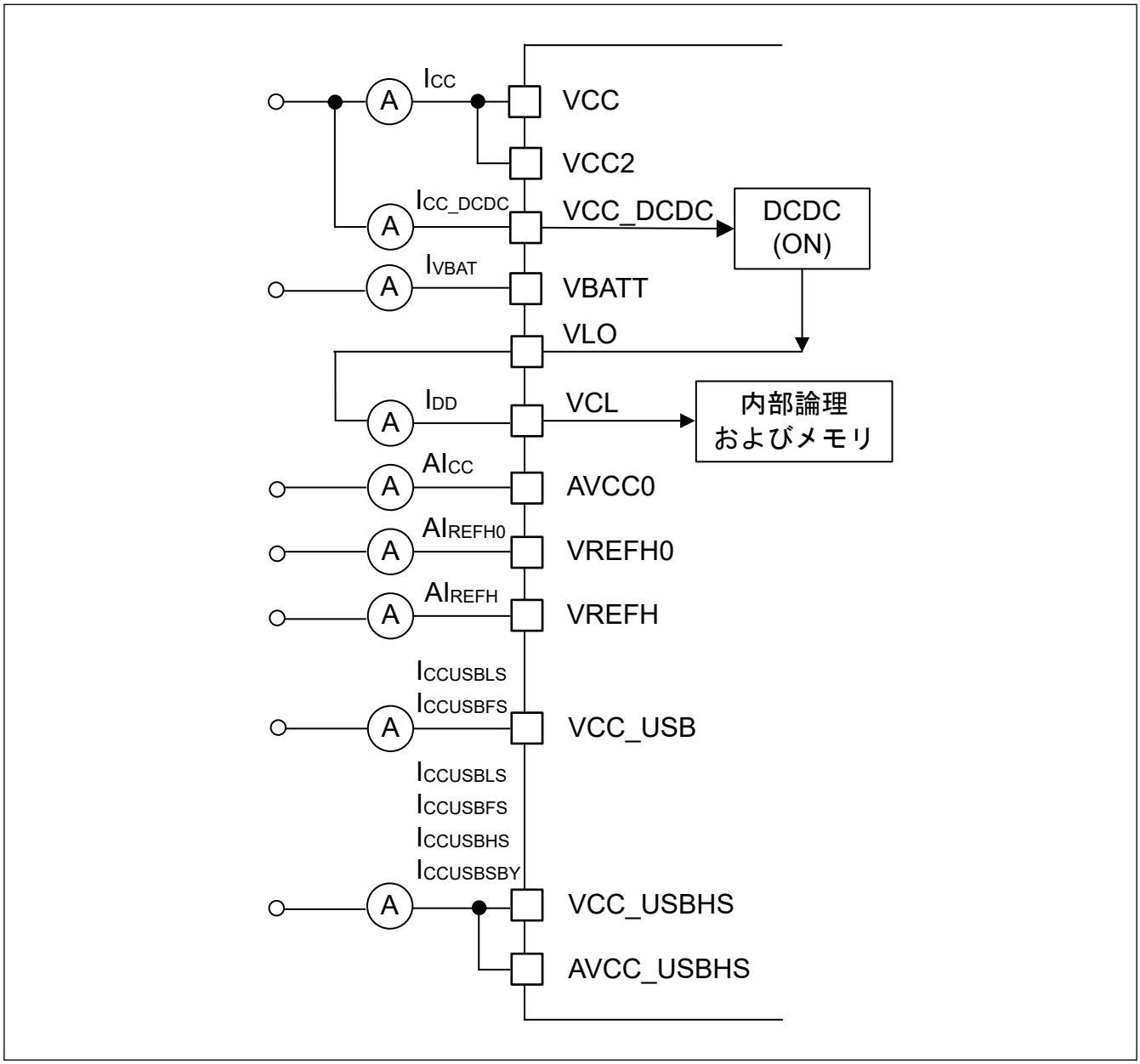


図 62.2 消費電流測定図（DCDC モード）

表 62.8 High-speed モード、最大条件（MVE および周辺機能動作）（DCDC モード）における電流

項目			シンボル	Typ	Max			単位	測定条件
					95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注6)	—		I_{CC}	3.85	6.27	6.69	8.01	mA	—
	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC} (注4)	176	340	—	—	mA	VCC_DCDC = 3.3 V MRICLK = 250 MHz, MRPCLK = 125 MHz, ICLK = 250 MHz, BCLK = 125 MHz, PCLKA = 125 MHz, PCLKB = 62.5 MHz, PCLKC = 125 MHz, PCLKD = 250 MHz, PCLKE = 250 MHz
			I_{DD} (注3)	452	873	—	—		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注4)	343	664	—	—		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I_{DD}	452	873	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC} (注4)	148	—	356	—	mA	VCC_DCDC = 3.3 V MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz
			I_{DD} (注3)	380	—	915	—		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注4)	289	—	696	—		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I_{DD}	380	—	915	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC} (注4)	129	—	—	390	mA	VCC_DCDC = 3.3 V MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz
			I_{DD} (注3)	330	—	—	1000 (注5)		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注4)	251	—	—	760		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I_{DD}	330	—	—	1000 (注5)		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC} (注4)	115	282	309	366	mA	VCC_DCDC = 3.3 V MRICLK = 150 MHz, MRPCLK = 75 MHz, ICLK = 150 MHz, BCLK = 75 MHz, PCLKA = 75 MHz, PCLKB = 37.5 MHz, PCLKC = 75 MHz, PCLKD = 150 MHz, PCLKE = 150 MHz
			I_{DD} (注3)	301	738	810	959		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注4)	224	550	604	715		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I_{DD}	301	738	810	959		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。
I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.77 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 95 °C) = 0.22 × fCPUCLK0 + 0.80 × fICLK + 477（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 105 °C) = 0.22 × fCPUCLK0 + 0.80 × fICLK + 553（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 125 °C) = 0.22 × fCPUCLK0 + 0.80 × fICLK + 709（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 95 °C) = 0.22 × fCPUCLK0 + 0.93 × fICLK + 464（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 105 °C) = 0.22 × fCPUCLK0 + 0.93 × fICLK + 537（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 125 °C) = 0.22 × fCPUCLK0 + 0.93 × fICLK + 691（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。
注 5. 動作時の実消費電流はここに示す電流値を上回らないようにしてください。
注 6. 電力 = VCC × I_{cc} + VCC_DCDC × I_{cc_DCDC} として消費電力は計算されます。

表 62.9 High-speed モード、最大条件（MVE および周辺機能動作）（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)(注5)	—	I_{CC}	3.85	6.27	6.69	8.01	mA	—
	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD} (注3)	452	873	—	—	mA	MRICLK = 250 MHz, MRPCLK = 125 MHz, ICLK = 250 MHz, BCLK = 125 MHz, PCLKA = 125 MHz, PCLKB = 62.5 MHz, PCLKC = 125 MHz, PCLKD = 250 MHz, PCLKE = 250 MHz
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD} (注3)	380	—	915	—	mA	MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD} (注3)	330	—	—	1000 (注4)	mA	MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD} (注3)	301	738	810	959	mA	MRICLK = 150 MHz, MRPCLK = 75 MHz, ICLK = 150 MHz, BCLK = 75 MHz, PCLKA = 75 MHz, PCLKB = 37.5 MHz, PCLKC = 75 MHz, PCLKD = 150 MHz, PCLKE = 150 MHz

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。
I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.77 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、95 °C） = 0.22 × fCPUCLK0 + 0.80 × fICLK + 477（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、105 °C） = 0.22 × fCPUCLK0 + 0.80 × fICLK + 553（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、125 °C） = 0.22 × fCPUCLK0 + 0.80 × fICLK + 709（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、95 °C） = 0.22 × fCPUCLK0 + 0.93 × fICLK + 464（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、105 °C） = 0.22 × fCPUCLK0 + 0.93 × fICLK + 537（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、125 °C） = 0.22 × fCPUCLK0 + 0.93 × fICLK + 691（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 4. 動作時の実消費電流はここに示す電流値を上回らないようにしてください。
注 5. 電力 = VCC × I_{cc} + VCL × I_{DD} として消費電力は計算されます。

表 62.10 High-speed モード、最大条件（MVE および周辺機能動作）、CPU0 有効、CPU1 ディープスリープ（DCDC モード）における電流

項目			シンボル	Typ	Max			単位	測定条件
					95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注5)	—		I_{CC}	3.85	6.27	6.69	8.01	mA	—
	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC} (注4)	168	329	—	—	mA	VCC_DCDC = 3.3 V MRICLK = 250 MHz, MRPCLK = 125 MHz, ICLK = 250 MHz, BCLK = 125 MHz, PCLKA = 125 MHz, PCLKB = 62.5 MHz, PCLKC = 125 MHz, PCLKD = 250 MHz, PCLKE = 250 MHz CPU1 = ディープスリープ
			I_{DD} (注3)	430	844	—	—		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注4)	327	642	—	—		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I_{DD}	430	844	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC} (注4)	141	—	347	—	mA	VCC_DCDC = 3.3 V MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz CPU1 = ディープスリープ
			I_{DD} (注3)	362	—	891	—		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注4)	275	—	678	—		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I_{DD}	362	—	891	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC} (注4)	122	—	—	380	mA	VCC_DCDC = 3.3 V MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz CPU1 = ディープスリープ
			I_{DD} (注3)	312	—	—	976		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注4)	237	—	—	742		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I_{DD}	312	—	—	976		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC} (注4)	110	274	301	359	mA	VCC_DCDC = 3.3 V MRICLK = 150 MHz, MRPCLK = 75 MHz, ICLK = 150 MHz, BCLK = 75 MHz, PCLKA = 75 MHz, PCLKB = 37.5 MHz, PCLKC = 75 MHz, PCLKD = 150 MHz, PCLKE = 150 MHz CPU1 = ディープスリープ
			I_{DD} (注3)	289	718	788	940		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注4)	216	536	588	701		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I_{DD}	289	718	788	940		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。
I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.71 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 95 °C) = 0.22 × fCPUCLK0 + 0.70 × fICLK + 474（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 105 °C) = 0.22 × fCPUCLK0 + 0.70 × fICLK + 549（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 125 °C) = 0.22 × fCPUCLK0 + 0.70 × fICLK + 704（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 95 °C) = 0.22 × fCPUCLK0 + 0.83 × fICLK + 461（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 105 °C) = 0.22 × fCPUCLK0 + 0.83 × fICLK + 533（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 125 °C) = 0.22 × fCPUCLK0 + 0.83 × fICLK + 686（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。
注 5. 電力 = VCC × I_{cc} + VCC_DCDC × I_{cc_DCDC} として消費電力は計算されます。

表 62.11 High-speed モード、最大条件（MVE および周辺機能動作）、CPU0 有効、CPU1 ディープスリープ（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)(注4)	—	I_{CC}	3.85	6.27	6.69	8.01	mA	—
	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD} (注3)	430	844	—	—	mA	MRICLK = 250 MHz, MRPCLK = 125 MHz, ICLK = 250 MHz, BCLK = 125 MHz, PCLKA = 125 MHz, PCLKB = 62.5 MHz, PCLKC = 125 MHz, PCLKD = 250 MHz, PCLKE = 250 MHz CPU1 = ディープスリープ
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD} (注3)	362	—	891	—	mA	MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz CPU1 = ディープスリープ
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD} (注3)	312	—	—	976	mA	MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz CPU1 = ディープスリープ
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD} (注3)	289	718	788	940	mA	MRICLK = 150 MHz, MRPCLK = 75 MHz, ICLK = 150 MHz, BCLK = 75 MHz, PCLKA = 75 MHz, PCLKB = 37.5 MHz, PCLKC = 75 MHz, PCLKD = 150 MHz, PCLKE = 150 MHz CPU1 = ディープスリープ

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。
I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.71 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、95 °C） = 0.22 × fCPUCLK0 + 0.70 × fICLK + 474（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、105 °C） = 0.22 × fCPUCLK0 + 0.70 × fICLK + 549（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、125 °C） = 0.22 × fCPUCLK0 + 0.70 × fICLK + 704（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、95 °C） = 0.22 × fCPUCLK0 + 0.83 × fICLK + 461（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、105 °C） = 0.22 × fCPUCLK0 + 0.83 × fICLK + 533（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.（VCL = 電圧範囲 2、125 °C） = 0.22 × fCPUCLK0 + 0.83 × fICLK + 686（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

注 4. 電力 = VCC × I_{cc} + VCL × I_{DD} として消費電力は計算されます。

表 62.12 High-speed モード、最大データ処理（MVE 動作）、周辺クロック ON（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC} (注4)	136	322	—	—	mA	VCC_DCDC = 3.3 V(注5)
		I_{DD}(注3)	350	827	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	113	—	340	—		
		I_{DD}(注3)	290	—	874	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	94	—	—	356		
		I_{DD}(注3)	241	—	—	915		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC} (注4)	86	264	305	336		
		I_{DD}(注3)	226	692	798	879		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。

I_{DD} Typ. = 0.24 × fCPUCLK0 + 0.37 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_1, 95 °C) = 0.27 × fCPUCLK0 + 0.20 × fICLK + 477（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_1, 105 °C) = 0.27 × fCPUCLK0 + 0.20 × fICLK + 553（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_1, 125 °C) = 0.27 × fCPUCLK0 + 0.20 × fICLK + 709（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_2, 95 °C) = 0.27 × fCPUCLK0 + 0.18 × fICLK + 464（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_2, 105 °C) = 0.27 × fCPUCLK0 + 0.18 × fICLK + 537（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_2, 125 °C) = 0.27 × fCPUCLK0 + 0.18 × fICLK + 691（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

注 5. 最大条件下と同じ周波数条件が適用されます。

表 62.13 High-speed モード、最大データ処理（MVE 動作）、周辺クロック ON（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}(注3)	350	827	—	—	mA	(注4)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注3)	290	—	874	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注3)	241	—	—	915		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}(注3)	226	692	798	879		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。
I_{DD} Typ. = 0.24 × fCPUCLK0 + 0.37 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、95 °C） = 0.27 × fCPUCLK0 + 0.20 × fICLK + 477（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、105 °C） = 0.27 × fCPUCLK0 + 0.20 × fICLK + 553（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、125 °C） = 0.27 × fCPUCLK0 + 0.20 × fICLK + 709（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、95 °C） = 0.27 × fCPUCLK0 + 0.18 × fICLK + 464（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、105 °C） = 0.27 × fCPUCLK0 + 0.18 × fICLK + 537（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 125 °C) = 0.27 × fCPUCLK0 + 0.18 × fICLK + 691（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 4. 最大条件下と同じ周波数条件が適用されます。

表 62.14 High-speed モード、最大データ処理（MVE 動作）、CPU0 有効、CPU1 ディープスリープ、周辺クロック ON（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1)(注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC}(注4)	131	313	—	—	mA	VCC_DCDC = 3.3 V CPU1 = ディープスリープ(注5)
		I_{DD}(注3)	335	804	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC}(注4)	109	—	332	—		
		I_{DD}(注3)	279	—	853	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC}(注4)	89	—	—	342		
		I_{DD}(注3)	229	—	—	879		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC}(注4)	83	258	298	328		
		I_{DD}(注3)	216	676	780	858		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。
I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.30 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 95 °C) = 0.27 × fCPUCLK0 + 0.05 × fICLK + 474（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 105 °C) = 0.27 × fCPUCLK0 + 0.05 × fICLK + 549（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 125 °C) = 0.27 × fCPUCLK0 + 0.05 × fICLK + 704（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 95 °C) = 0.27 × fCPUCLK0 + 0.07 × fICLK + 461（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 105 °C) = 0.27 × fCPUCLK0 + 0.07 × fICLK + 533（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 125 °C) = 0.27 × fCPUCLK0 + 0.07 × fICLK + 686（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。
注 5. 最大条件下と同じ周波数条件が適用されます。

表 62.15 High-speed モード、最大データ処理（MVE 動作）、CPU0 有効、CPU1 ディープスリープ、周辺クロック ON（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}(注3)	335	804	—	—	mA	CPU1 = ディープスリープ (注4)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注3)	279	—	853	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注3)	229	—	—	879		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}(注3)	216	676	780	858		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。
I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.30 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、95 °C） = 0.27 × fCPUCLK0 + 0.05 × fICLK + 474（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、105 °C） = 0.27 × fCPUCLK0 + 0.05 × fICLK + 549（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、125 °C） = 0.27 × fCPUCLK0 + 0.05 × fICLK + 704（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、95 °C） = 0.27 × fCPUCLK0 + 0.07 × fICLK + 461（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、105 °C） = 0.27 × fCPUCLK0 + 0.07 × fICLK + 533（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、125 °C） = 0.27 × fCPUCLK0 + 0.07 × fICLK + 686（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 4. 最大条件下と同じ周波数条件が適用されます。

表 62.16 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック ON（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC} (注4)	44	175	—	—	mA	VCC_DCDC = 3.3 V CPU0 = ディープスリープ (注3)
		I_{DD}	112	450	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	38	—	190	—		
		I_{DD}	99	—	488	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	38	—	—	224		
		I_{DD}	96	—	—	545		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC} (注4)	31	155	179	208		
		I_{DD}	82	406	470	545		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. 最大条件下と同じ周波数条件が適用されます。
注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 62.17 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック ON（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}	112	450	—	—	mA	CPU0 = ディープスリープ (注3)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}	99	—	488	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}	96	—	—	545		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}	82	406	470	545		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. 最大条件下と同じ周波数条件が適用されます。

表 62.18 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC} (注4)	121	317	—	—	mA	VCC_DCDC = 3.3 V(注5)
		I_{DD}(注3)	310	814	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	99	—	325	—		
		I_{DD}(注3)	255	—	833	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	80	—	—	358		
		I_{DD}(注3)	207	—	—	919		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC} (注4)	75	258	292	340		
		I_{DD}(注3)	197	675	764	889		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。
I_{DD} Typ. = 0.24 × fCPUCLK0 + 0.20 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 95 °C) = 0.27 × fCPUCLK0 + 0.23 × fICLK + 477（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 105 °C) = 0.27 × fCPUCLK0 + 0.23 × fICLK + 553（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 125 °C) = 0.27 × fCPUCLK0 + 0.23 × fICLK + 709（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 95 °C) = 0.27 × fCPUCLK0 + 0.25 × fICLK + 464（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 105 °C) = 0.27 × fCPUCLK0 + 0.25 × fICLK + 537（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 125 °C) = 0.27 × fCPUCLK0 + 0.25 × fICLK + 691（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。
注 5. 最大条件下と同じ周波数条件が適用されます。

表 62.19 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}(注3)	310	814	—	—	mA	(注4)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注3)	255	—	833	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注3)	207	—	—	919		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}(注3)	197	675	764	889		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。
I_{DD} Typ. = 0.24 × fCPUCLK0 + 0.20 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、95 °C） = 0.27 × fCPUCLK0 + 0.23 × fICLK + 477（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、105 °C） = 0.27 × fCPUCLK0 + 0.23 × fICLK + 553（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、125 °C） = 0.27 × fCPUCLK0 + 0.23 × fICLK + 709（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、95 °C） = 0.27 × fCPUCLK0 + 0.25 × fICLK + 464（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、105 °C） = 0.27 × fCPUCLK0 + 0.25 × fICLK + 537（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、125 °C） = 0.27 × fCPUCLK0 + 0.25 × fICLK + 691（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 4. 最大条件下と同じ周波数条件が適用されます。

表 62.20 High-speed モード、最大データ処理（MVE 動作）、CPU0 有効、CPU1 ディープスリープ、周辺クロック OFF（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1)(注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC}(注4)	115	308	—	—	mA	VCC_DCDC = 3.3 V CPU1 = ディープスリープ (注5)
		I_{DD}(注3)	295	792	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC}(注4)	95	—	317	—		
		I_{DD}(注3)	244	—	813	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC}(注4)	76	—	—	348		
		I_{DD}(注3)	194	—	—	895		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC}(注4)	71	251	285	331		
		I_{DD}(注3)	187	658	746	868		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。
I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.13 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 95 °C) = 0.27 × fCPUCLK0 + 0.13 × fICLK + 474（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 105 °C) = 0.27 × fCPUCLK0 + 0.13 × fICLK + 549（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 125 °C) = 0.27 × fCPUCLK0 + 0.13 × fICLK + 704（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 95 °C) = 0.27 × fCPUCLK0 + 0.14 × fICLK + 461（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 105 °C) = 0.27 × fCPUCLK0 + 0.14 × fICLK + 533（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 125 °C) = 0.27 × fCPUCLK0 + 0.14 × fICLK + 686（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。
注 5. 最大条件下と同じ周波数条件が適用されます。

表 62.21 High-speed モード、最大データ処理（MVE 動作）、CPU0 有効、CPU1 ディープスリープ、周辺クロック OFF（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}(注3)	295	792	—	—	mA	CPU1 = ディープスリープ (注4)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注3)	244	—	813	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注3)	194	—	—	895		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}(注3)	187	658	746	868		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。
I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.13 × fICLK + 21（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、95 °C） = 0.27 × fCPUCLK0 + 0.13 × fICLK + 474（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、105 °C） = 0.27 × fCPUCLK0 + 0.13 × fICLK + 549（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、125 °C） = 0.27 × fCPUCLK0 + 0.13 × fICLK + 704（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、95 °C） = 0.27 × fCPUCLK0 + 0.14 × fICLK + 461（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、105 °C） = 0.27 × fCPUCLK0 + 0.14 × fICLK + 533（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、125 °C） = 0.27 × fCPUCLK0 + 0.14 × fICLK + 686（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 4. 最大条件下と同じ周波数条件が適用されます。

表 62.22 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック OFF（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC} (注4)	28	157	—	—	mA	VCC_DCDC = 3.3 V CPU0 = ディープスリープ (注3)
		I_{DD}	72	404	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	25	—	174	—		
		I_{DD}	64	—	447	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	24	—	—	208		
		I_{DD}	61	—	—	533		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC} (注4)	20	142	166	195		
		I_{DD}	53	372	435	511		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. 最大条件下と同じ周波数条件が適用されます。
注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 62.23 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック OFF（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}	72	404	—	—	mA	CPU0 = ディープスリープ (注3)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}	64	—	447	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}	61	—	—	533		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}	53	372	435	511		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. 最大条件下と同じ周波数条件が適用されます。

表 62.24　High-speed モード、CPU スリープモード（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注3) (注4)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC} (注5)	22	200	—	—	mA	VCC_DCDC = 3.3 V
		I_{DD}(注2)	56	513	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注5)	20	—	228	—		
		I_{DD}(注2)	50	—	586	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注5)	18	—	—	279		
		I_{DD}(注2)	46	—	—	716		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC} (注5)	16	185	219	264		
		I_{DD}(注2)	42	484	573	690		

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2.　I_{DD} は、下記の式にしたがって f (ICLK) に依存します。
I_{DD} Typ. = 0.02 × fCPUCLK0 + 0.06 × fICLK + 57（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 95 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 477（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 105 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 553（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 125 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 709（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 95 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 464（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 105 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 537（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 125 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 691（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 3.　この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 4.　MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。
注 5.　標準 DCDC 効率と測定条件の電圧が適用されます。

表 62.25 High-speed モード、CPU スリープモード（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注3) (注4)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}(注2)	56	513	—	—	mA	—
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注2)	50	—	586	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注2)	46	—	—	716		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}(注2)	42	484	573	690		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. I_{DD} は、下記の式にしたがって f (ICLK) に依存します。
I_{DD} Typ. = 0.02 × fCPUCLK0 + 0.06 × fICLK + 57（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、95 °C） = 0.02 × fCPUCLK0 + 0.01 × fICLK + 477（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、105 °C） = 0.02 × fCPUCLK0 + 0.01 × fICLK + 553（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、125 °C） = 0.02 × fCPUCLK0 + 0.01 × fICLK + 709（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、95 °C） = 0.02 × fCPUCLK0 + 0.01 × fICLK + 464（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、105 °C） = 0.02 × fCPUCLK0 + 0.01 × fICLK + 537（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、125 °C） = 0.02 × fCPUCLK0 + 0.01 × fICLK + 691（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 4. MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

表 62.26 High-speed モード、CPU0 スリープ、CPU1 ディープスリープ（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注3) (注4)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC} (注5)	21	197	—	—	mA	VCC_DCDC = 3.3 V CPU1 = ディープスリープ
		I_{DD}(注2)	54	505	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注5)	19	—	229	—		
		I_{DD}(注2)	48	—	576	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注5)	17	—	—	274		
		I_{DD}(注2)	44	—	—	703		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC} (注5)	15	182	216	259		
		I_{DD}(注2)	40	477	565	678		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. I_{DD} は、下記の式にしたがって f (ICLK) に依存します。
I_{DD} Typ. = 0.02 × fCPUCLK0 + 0.05 × fICLK + 55（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 95 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 474（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 105 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 549（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_1, 125 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 704（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 95 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 461（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 105 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 533（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.(VSCR_2, 125 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 686（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 4. MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。
注 5. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 62.27 High-speed モード、CPU0 スリープ、CPU1 ディープスリープ（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注3) (注4)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}(注2)	54	505	—	—	mA	CPU1 = ディープスリープ
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注2)	48	—	576	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}(注2)	44	—	—	703		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}(注2)	40	477	565	678		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. I_{DD} は、下記の式にしたがって f (ICLK) に依存します。
I_{DD} Typ. = 0.02 × fCPUCLK0 + 0.05 × fICLK + 55（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、95 °C） = 0.004 × fCPUCLK0 + 0.01 × fICLK + 474（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、105 °C） = 0.004 × fCPUCLK0 + 0.01 × fICLK + 549（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 1、125 °C） = 0.004 × fCPUCLK0 + 0.01 × fICLK + 704（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、95 °C） = 0.004 × fCPUCLK0 + 0.01 × fICLK + 461（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、105 °C） = 0.004 × fCPUCLK0 + 0.01 × fICLK + 533（単位：mA、ただし fCPUCLK0 および fICLK については MHz）
I_{DD} Max.（VCL = 電圧範囲 2、125 °C） = 0.004 × fCPUCLK0 + 0.01 × fICLK + 686（単位：mA、ただし fCPUCLK0 および fICLK については MHz）

注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 4. MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

表 62.28 High-speed モード、CPU0 ディープスリープ、CPU1 スリープ（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注3)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC} (注4)	12	141	—	—	mA	VCC_DCDC = 3.3 V CPU0 = ディープスリープ
		I_{DD}	32	363	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	12	—	161	—		
		I_{DD}	30	—	414	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	11	—	—	196		
		I_{DD}	29	—	—	504		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC} (注4)	10	132	157	184		
		I_{DD}	26	347	411	481		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。
注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 62.29 High-speed モード、CPU0 ディープスリープ、CPU1 スリープ（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注3)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}	32	363	—	—	mA	CPU0 = ディープスリープ
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}	30	—	414	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}	29	—	—	504		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}	26	347	411	481		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

表 62.30　High-speed モード、CPU ディープスリープモード（DCDC モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注3)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC} (注4)	13	138	—	—	mA	VCC_DCDC = 3.3 V
		I_{DD}	32	355	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	12	—	158	—		
		I_{DD}	30	—	405	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	11	—	—	192		
		I_{DD}	29	—	—	492		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC} (注4)	11	130	154	182		
		I_{DD}	28	340	402	476		

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2.　この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3.　MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。
注 4.　標準 DCDC 効率と測定条件の電圧が適用されます。

表 62.31　High-speed モード、CPU ディープスリープモード（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注3)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I_{DD}	32	355	—	—	mA	—
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}	30	—	405	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I_{DD}	29	—	—	492		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I_{DD}	28	340	402	476		

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2.　この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3.　MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

表 62.32　BGO 動作時の増加分（MRAM OTP のプログラミング）（DCDC モードおよび外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1)	通常速度書き込みモード	I_{CC}	—	—	—	20	mA	VCC ≧ 1.62 V
		I_{DD}	—	—	—	0.50		
	高速書き込みモード 0	I_{CC}	—	—	—	25		VCC ≧ 2.5 V
		I_{DD}	—	—	—	0.5		
	高速書き込みモード 1	I_{CC}	—	—	—	80		VCC ≧ 3.0 V
		I_{DD}	—	—	—	0.5		

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

表 62.33　スタンバイ電流（DCDC モード） (1/4)

項目					シンボル	Typ	Max			単位	測定条件
							95 °C	105 °C	125 °C		
消費電流 (注1)	ソフトウェアスタンバイモード				I_{CC}	0.10	1.11	1.12	1.14	mA	—
		SS2LP_0	SVSCR_1	SRAM と TCM のデータは保持されます。	I_{CC_DCDC}	2.67	54.24	62.23	78.41		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0～12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持されません。	I_{CC_DCDC}	2.44	52.53	59.86	74.47		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0～12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_2	SRAM と TCM のデータは保持されます。	I_{CC_DCDC}	2.52	51.58	59.19	74.81		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0～12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持されません。	I_{CC_DCDC}	2.33	50.03	57.09	71.10		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0～12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_3	SRAM と TCM のデータは保持されます。	I_{CC_DCDC}	1.68	37.85	43.60	56.69		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0～12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持されません。	I_{CC_DCDC}	1.60	36.87	42.22	54.07		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0～12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_4	SRAM と TCM のデータは保持されます。	I_{CC_DCDC}	1.47	32.41	38.22	49.79		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0～12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持されません。	I_{CC_DCDC}	1.42	31.61	37.07	47.62		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0～12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_5	SRAM と TCM のデータは保持されます。	I_{CC_DCDC}	1.28	29.69	34.28	44.67		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0～12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持されません。	I_{CC_DCDC}	1.24	29.03	33.32	42.82		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0～12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)

表 62.33　スタンバイ電流（DCDC モード） (2/4)

項目					シンボル	Typ	Max			単位	測定条件
							95 °C	105 °C	125 °C		
消費電流 (注1)	ソフトウェアスタンバイモード	SS2LP_1	SVSCR_2	SRAM と TCM のデータは保持されます。	I_{CC_DCDC}	2.12	43.32	49.71	62.83	mA	VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0〜12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持されません。	I_{CC_DCDC}	1.95	42.01	47.94	59.71		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0〜12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_3	SRAM と TCM のデータは保持されます。	I_{CC_DCDC}	1.40	31.70	36.52	47.48		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0〜12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持されません。	I_{CC_DCDC}	1.34	30.88	35.36	45.29		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0〜12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_4	SRAM と TCM のデータは保持されます。	I_{CC_DCDC}	1.22	26.41	31.14	40.57		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0〜12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持されません。	I_{CC_DCDC}	1.18	25.76	30.20	38.80		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0〜12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_5	SRAM と TCM のデータは保持されます。	I_{CC_DCDC}	1.06	24.15	27.89	36.35		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0〜12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持されません。	I_{CC_DCDC}	1.03	23.62	27.11	34.84		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0〜12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)

表 62.33 スタンバイ電流（DCDC モード） (3/4)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)	ディープソフトウェアスタンバイモード 1			I_{CC}	10.04	207	297	498	μA	—
				I_{CC_DCDC}	0.16	0.85	1.24	2.45		—
		機能起動時に増加	PVDn (n = 0～2, 4, 5) またはバッテリ電源スイッチ	I_{CC}	表 62.36 を参照してください。					—
			LOCO 使用時		2.46	—	—	—		—
			水晶振動子および RTC		表 62.37 を参照してください。					—
			IWDT および ULPT（すべてのユニット）が動作中		1.58	—	—	—		—
消費電流 (注1)	ディープソフトウェアスタンバイモード 2			I_{CC}	3.04	98	122	175	μA	—
				I_{CC_DCDC}	0.16	0.85	1.24	2.45		—
		機能起動時に増加	PVDn (n = 0～2, 4, 5) またはバッテリ電源スイッチ	I_{CC}	表 62.36 を参照してください。					—
			水晶振動子および RTC		表 62.37 を参照してください。					—
	ディープソフトウェアスタンバイモード 3			I_{CC}	2.78	97	121	173		—
				I_{CC_DCDC}	0.16	0.85	1.24	2.45		—
		機能起動時に増加	水晶振動子および RTC	I_{CC}	表 62.37 を参照してください。					—

表 62.33　スタンバイ電流（DCDC モード） (4/4)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)	VCC オフ時の RTC 動作（バッテリバックアップ機能により、RTC のみ動作）	水晶振動子を低消費電力モード 3 で使用時		I_{VBAT}	0.53	—	—	—	μA	VBATT = 1.8 V, VCC = 0 V
					0.82	—	—	—		VBATT = 3.3 V, VCC = 0 V
		水晶振動子を低消費電力モード 2 で使用時			0.63	—	—	—		VBATT = 1.8 V, VCC = 0 V
					0.94	—	—	—		VBATT = 3.3 V, VCC = 0 V
		水晶振動子を低消費電力モード 1 で使用時			0.73	—	—	—		VBATT = 1.8 V, VCC = 0 V
					1.03	—	—	—		VBATT = 3.3 V, VCC = 0 V
		水晶振動子を標準モードで使用時			0.99	—	—	—		VBATT = 1.8 V, VCC = 0 V
					1.29	—	—	—		VBATT = 3.3 V, VCC = 0 V
		EXCIN 使用時			0.30	—	—	—		VBATT = 1.8 V, VCC = 0 V
					0.52	—	—	—		VBATT = 3.3 V, VCC = 0 V
		機能起動時に増加	RTCICn (n = 0 ～2) 入力をチャネルごとに使用中		0.01	—	—	—		VBATT = 1.8 V, VCC = 0 V
					0.01	—	—	—		VBATT = 3.3 V, VCC = 0 V

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

表 62.34 Coremark および通常モード電流、CPU0 有効、CPU1 ディープスリープ（DCDC モードおよび外部 VDD モード） (1/2)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)(注2)	CPUCLK0 = 1 GHz VSCR_1 VCL = 電圧範囲 1	Coremark	キャッシュはオン	I_{DD}	151	—	—	—	μA/MHz	CPU1 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK1 = 250 MHz, MRICLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz
			キャッシュはオフ、ITCM から実行		143	—	—	—		
			キャッシュはオフ、SRAM から実行		92	—	—	—		
			キャッシュはオフ、MRAM から実行		104	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コード		118	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		121	—	—	—		
	CPUCLK0 = 800 MHz VSCR_1 VCL = 電圧範囲 1	Coremark	キャッシュはオン		157	—	—	—	μA/MHz	CPU1 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK1 = 200 MHz, MRICLK = 200 MHz, MRPCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz
			キャッシュはオフ、ITCM から実行		149	—	—	—		
			キャッシュはオフ、SRAM から実行		98	—	—	—		
			キャッシュはオフ、MRAM から実行		111	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コード		124	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		127	—	—	—		

表 62.34 Coremark および通常モード電流、CPU0 有効、CPU1 ディープスリープ（DCDC モードおよび外部 VDD モード） (2/2)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)(注2)	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧範囲 1	Coremark	キャッシュはオン	I_{DD}	172	—	—	—	μA/MHz	CPU1 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK1 = 200 MHz, MRICLK = 200 MHz, MRPCLK = 25 MHz, ICLK = 200 MHz, PCLKA = 25 MHz, PCLKB = 25 MHz, PCLKC = 25 MHz, PCLKD = 25 MHz, PCLKE = 25 MHz, BCLK = 25 MHz
			キャッシュはオフ、ITCM から実行		164	—	—	—		
			キャッシュはオフ、SRAM から実行		118	—	—	—		
			キャッシュはオフ、MRAM から実行		133	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コード		139	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		142	—	—	—		
	CPUCLK0 = 600 MHz VSCR_2 VCL = 電圧範囲 2	Coremark	キャッシュはオン		164	—	—	—	μA/MHz	CPU1 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK1 = 150 MHz, MRICLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz
			キャッシュはオフ、ITCM から実行		156	—	—	—		
			キャッシュはオフ、SRAM から実行		106	—	—	—		
			キャッシュはオフ、MRAM から実行		119	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コード		131	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		135	—	—	—		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

表 62.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効（DCDC モードおよび外部 VDD モード） (1/2)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)(注2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧範囲 1	Coremark	キャッシュはオン	I_{DD}	215	—	—	—	μA/MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 1 GHz, MRICLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz
			キャッシュはオフ、ITCM から実行		197	—	—	—		
			キャッシュはオフ、SRAM から実行		194	—	—	—		
			キャッシュはオフ、MRAM から実行		268	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コード		201	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		264	—	—	—		
	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧範囲 1	Coremark	キャッシュはオン		236	—	—	—	μA/MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 800 MHz, MRICLK = 200 MHz, MRPCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz
			キャッシュはオフ、ITCM から実行		218	—	—	—		
			キャッシュはオフ、SRAM から実行		215	—	—	—		
			キャッシュはオフ、MRAM から実行		299	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コード		222	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		297	—	—	—		

表 62.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効（DCDC モードおよび外部 VDD モード） (2/2)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)(注2)	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧範囲 1	Coremark	キャッシュはオン	I_{DD}	226	—	—	—	μA/MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 600 MHz, MRICLK = 200 MHz, MRPCLK = 25 MHz, ICLK = 200 MHz, PCLKA = 25 MHz, PCLKB = 25 MHz, PCLKC = 25 MHz, PCLKD = 25 MHz, PCLKE = 25 MHz, BCLK = 25 MHz
			キャッシュはオフ、ITCM から実行		208	—	—	—		
			キャッシュはオフ、SRAM から実行		205	—	—	—		
			キャッシュはオフ、MRAM から実行		289	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コード		213	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		287	—	—	—		
	CPUCLK1 = 150 MHz VSCR_2 VCL = 電圧範囲 2	Coremark	キャッシュはオン		265	—	—	—	μA/MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 600 MHz, MRICLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz
			キャッシュはオフ、ITCM から実行		247	—	—	—		
			キャッシュはオフ、SRAM から実行		244	—	—	—		
			キャッシュはオフ、MRAM から実行		326	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コード		252	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		324	—	—	—		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

表 62.36 ディープソフトウェアスタンバイモード 1 と 2 で PVD1、PVD2、PVD4、PVD5、またはバッテリ電源スイッチ有効時の増加

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流	ディープソフトウェアスタンバイモード 1 で PVDn (n = 1, 2, 4, 5) を有効化、またはバッテリ電源スイッチ制御用の PVD0 の低消費電力機能 (OFS1(_SEC).PVDLPSEL = 1) を無効化するときの共通回路	I_{CC}	4.00	—	—	—	μA	—
	ディープソフトウェアスタンバイモード 2 で PVDn (n = 1, 2, 4, 5) を有効化、またはバッテリ電源スイッチ制御用の PVD0 の低消費電力機能 (OFS1(_SEC).PVDLPSEL = 1) を無効化するときの共通回路		4.00	—	—	—		—
	PVD1 有効		2.00	—	—	—		—
	PVD2 有効		2.00	—	—	—		—
	PVD4 有効		2.00		—	—		
	PVD5 有効		2.00	—	—	—		—
	バッテリ電源スイッチが次の条件で有効：(注1) ● バッテリ電源スイッチは有効 (VBTBPCR1.BPWSWSTP = 0)、およびディープソフトウェアスタンバイモードでの PVD0 の低消費電力機能選択は無効 (OFS1(_SEC).PVDLPSEL = 1)。		2.00	—	—	—		—

注 1. これ以外の条件で消費電力は増加しません。

表 62.37 ディープソフトウェアスタンバイモード 1/2/3 でサブクロック発振器および RTC が有効のときの増加

項目			シンボル	Typ	Max			単位	測定条件
					95 °C	105 °C	125 °C		
消費電流	水晶振動子を使用時	低消費電力モード 3	I_{CC}	0.31	—	—	—	μA	—
		低消費電力モード 2		0.43	—	—	—		—
		低消費電力モード 1		0.52	—	—	—		—
		標準モード		0.78	—	—	—		—
	RTC が動作中			0.30	—	—	—		—

表 62.38 インラッシュカレント

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流	コールドスタートでのインラッシュカレント		VCC_DCDC のインラッシュカレント(注1)	I_{RUSH}	—	1330	1330	1330	mA	—
	ディープソフトウェアスタンバイモードからの復帰時のインラッシュカレント	DPSBYCR.DCSSMODE = 1			—	1270	1270	1270		—
		DPSBYCR.DCSSMODE = 2			—	1170	1170	1170		—
		DPSBYCR.DCSSMODE = 3			—	1160	1160	1160		—

注 1. 参考値

表 62.39 動作電流（アナログ） (1/2)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)	発振器	メインクロック発振器		I_{CC}	0.65	—	—	—	mA	MOMCR.MODRV0 [2:0] = 000b
					0.76	—	—	—	mA	MOMCR.MODRV0 [2:0] = 011b
					0.88	—	—	—	mA	MOMCR.MODRV0 [2:0] = 101b
	アナログ電源電流	16 ビット A/D 変換中	SAR モード、オーバーサンプリングモード、およびハイブリッドモード	AI_{CC}	2.4	3.2	3.2	3.2	mA	—
		S/H アンプによる 16 ビット A/D 変換中	SAR モードとハイブリッドモード		3.9	5.1	5.1	5.1	mA	—
		ACMPHS（1 ユニット）			99	192	192	192	µA	—
		温度センサ			0.1	0.2	0.2	0.2	mA	—
		D/A 変換中（1 ユニット当り）			1.2	1.6	1.6	1.6	mA	—
		A/D、D/A 変換待機時（全ユニット）			3.4	4.1	4.1	4.1	mA	—
		スタンバイモードの ADC16H、DAC12（全ユニット）(注2)			1	16.0	22.4	42	µA	—
	基準電源電流 (VREFH0)	16 ビット A/D 変換中（ユニット 0）	SAR モード	AI_{REFH0}	70	120	120	120	µA	—
			オーバーサンプリングモードとハイブリッドモード		200	310	310	310	µA	
		16 ビット A/D 変換待機時（ユニット 0）			14.00	14.00	14.00	14.00	µA	—
		スタンバイモードの ADC16H（ユニット 0）			0.01	0.1	0.1	0.2	µA	—
	リファレンス電源電流 (VREFH)	16 ビット A/D 変換中（ユニット 1）	SAR モード	AI_{REFH}	70	120	120	120	µA	—
			オーバーサンプリングモードとハイブリッドモード		200	310	310	310	µA	—
		D/A 変換中（1 ユニット当り）			29	41.0	41.0	41.0	µA	—
		16 ビット A/D（ユニット 1）、D/A（全ユニット）変換待機時			14	14	14	14	µA	—
		スタンバイモードの ADC16H（ユニット 1）			0.1	0.1	0.2	0.3	µA	—

表 62.39　動作電流（アナログ） (2/2)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)	USB 動作電流	ロースピード	USBFS	$I_{CCUSBLS}$	2.9	4.0	4.0	4.0	mA	VCC_USB
			USBHS		11.51	14.6	14.6	14.6	mA	VCC_USBHS = AVCC_USBHS (PHYSET.HSEB = 0)
			USBHS		5.04	6.8	6.8	6.8	mA	VCC_USBHS = AVCC_USBHS (PHYSET.HSEB = 1)
		フルスピード	USBFS	$I_{CCUSBFS}$	4.0	4.7	4.7	4.7	mA	VCC_USB
			USBHS		12.45	14.7	14.7	14.7	mA	VCC_USBHS = AVCC_USBHS (PHYSET.HSEB = 0)
			USBHS		5.98	6.9	6.9	6.9	mA	VCC_USBHS = AVCC_USBHS (PHYSET.HSEB = 1)
		ハイスピード	USBHS	$I_{CCUSBHS}$	45.71	55.3	55.3	55.3	mA	VCC_USBHS = AVCC_USBHS
		スタンバイ時（ダイレクトパワーダウン）	USBHS	$I_{CCUSBSBY}$	0.89	11.4	11.4	11.4	µA	VCC_USBHS = AVCC_USBHS

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2.　本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD21（16 ビット A/D コンバータモジュールストップビット）がモジュールストップ状態の場合

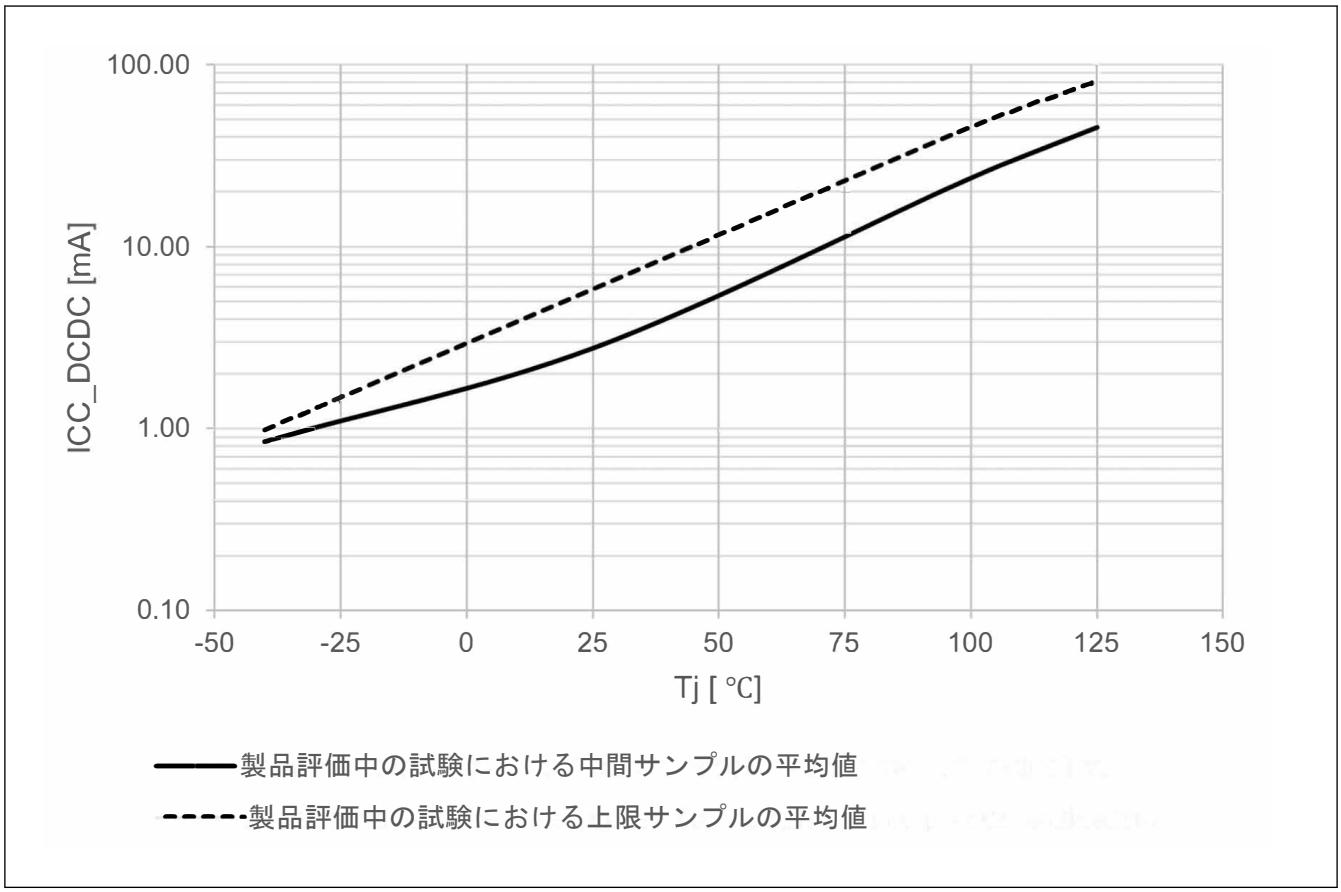


図 62.3　ソフトウェアスタンバイモードにおける温度依存性 (ICC_DCDC, SS2LP_0, SVSCR_1)（参考データ）

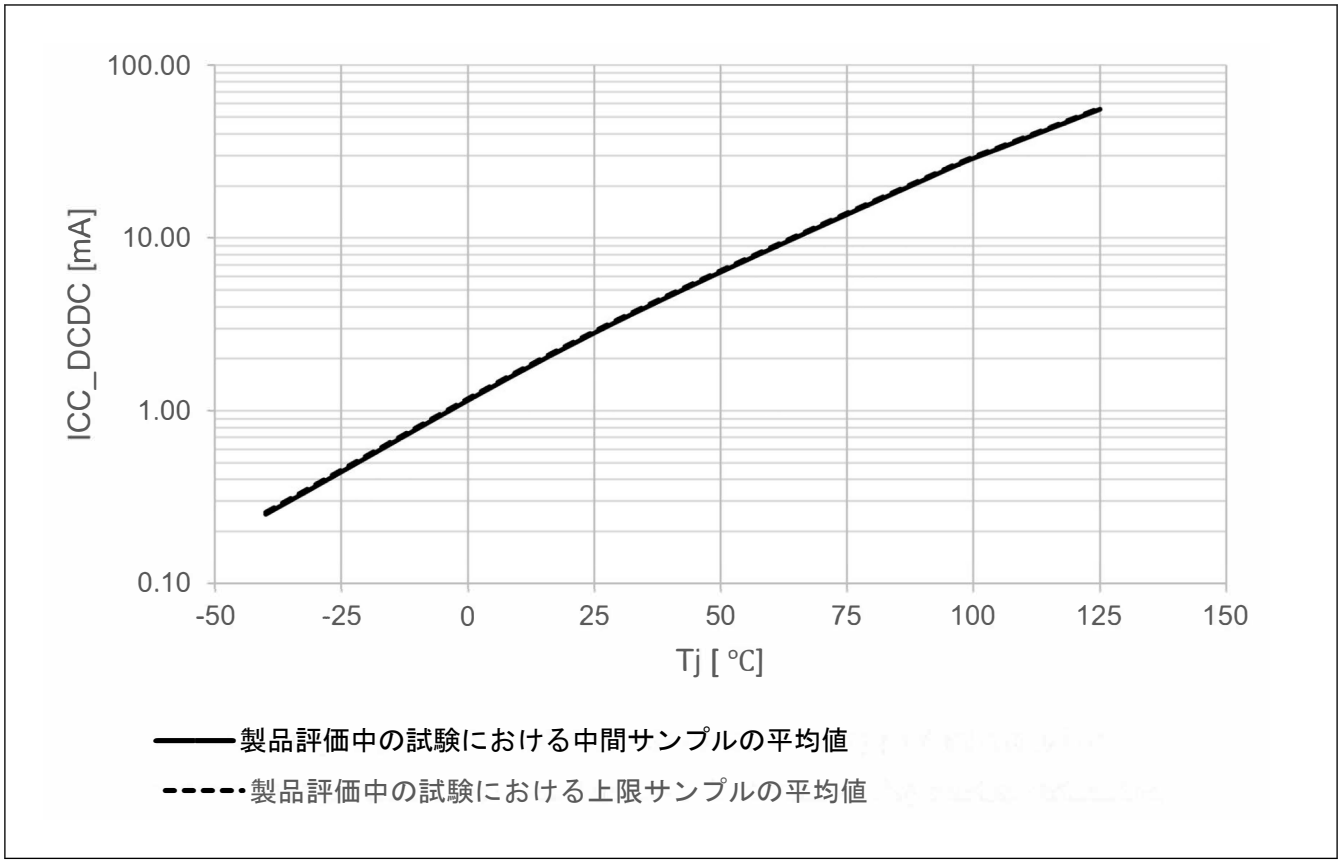


図 62.4　ソフトウェアスタンバイモードにおける温度依存性 (ICC_DCDC, SS2LP_0, SVSCR_5)（参考データ）

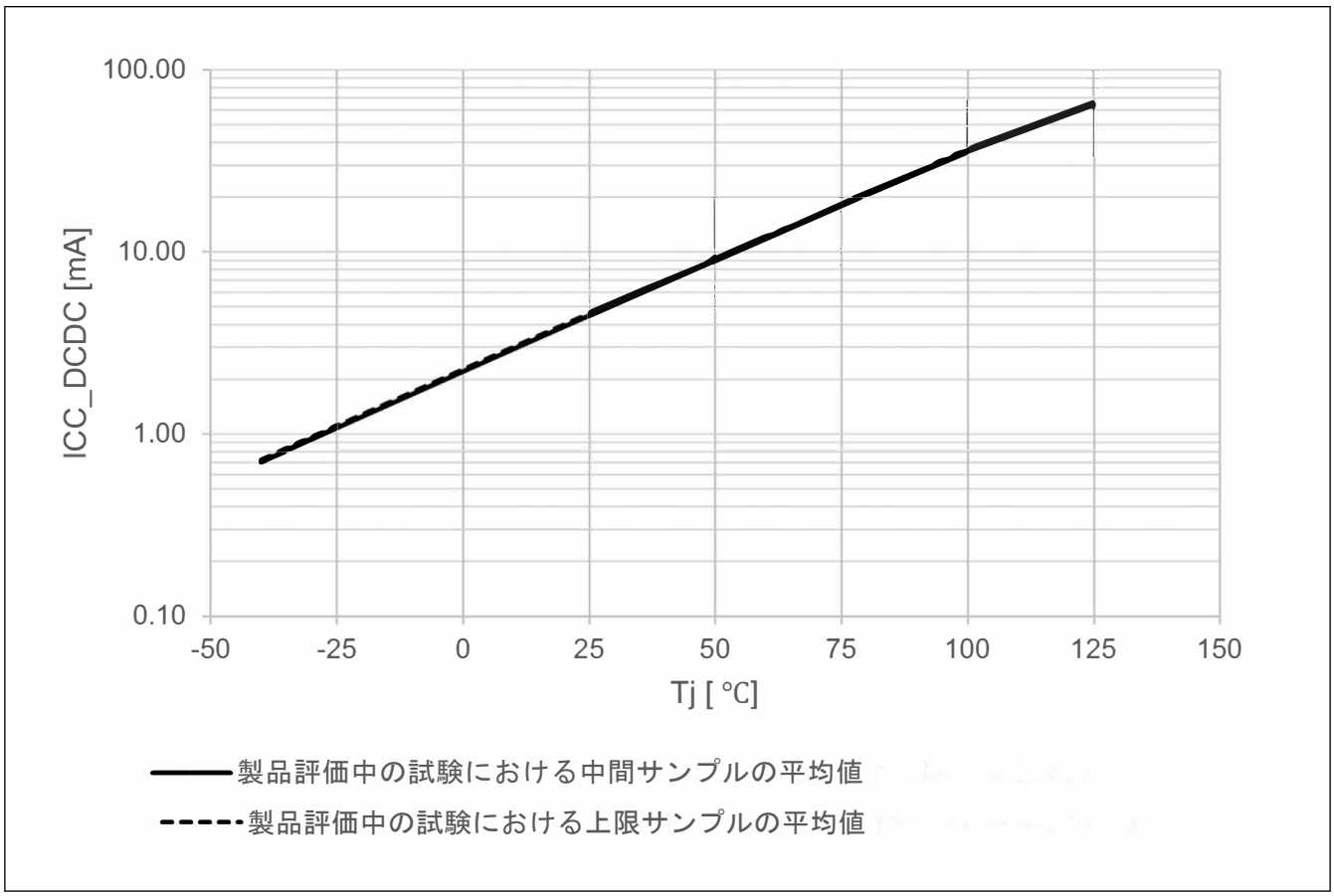


図 62.5　ソフトウェアスタンバイモードにおける温度依存性 (ICC_DCDC, SS2LP_1, SVSCR_2)（参考データ）

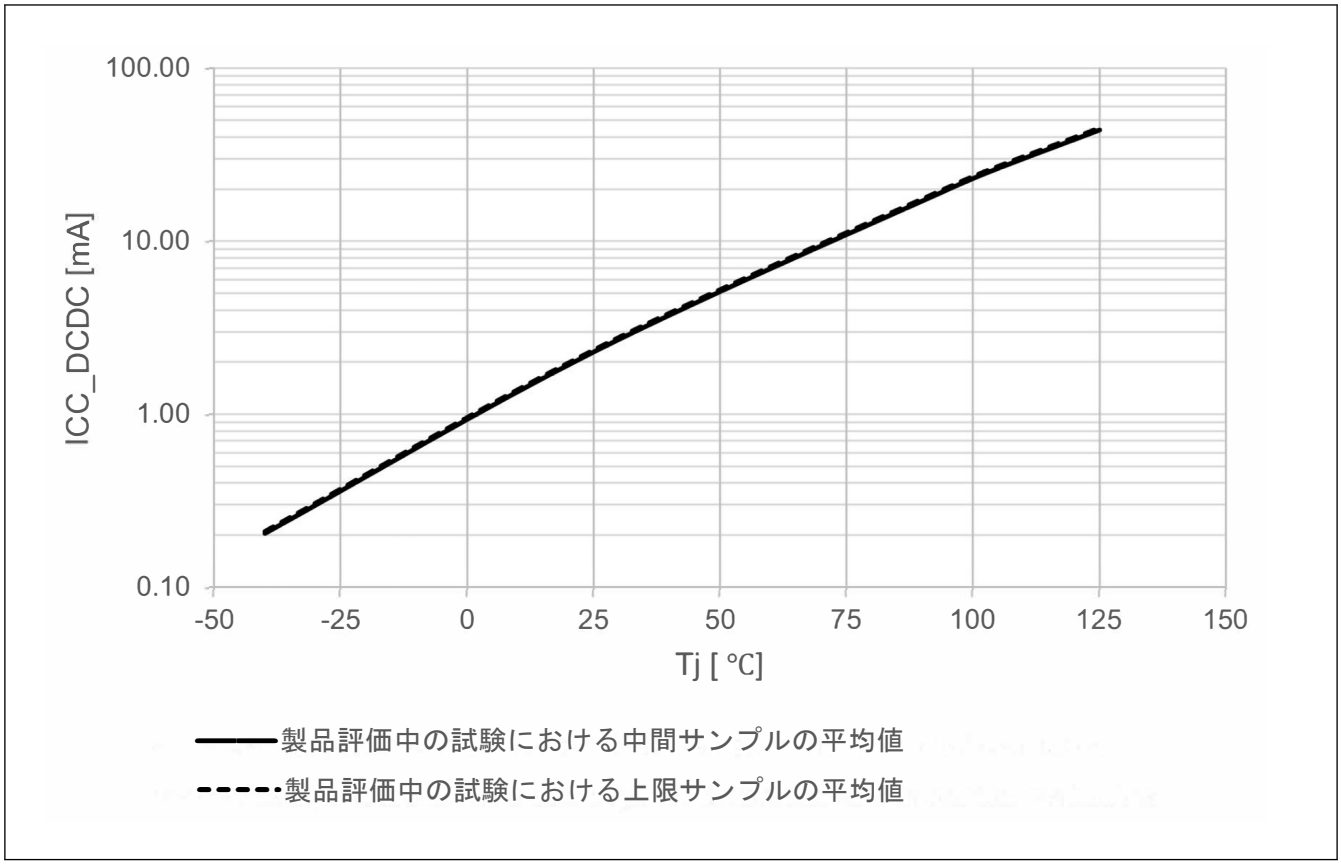


図 62.6　ソフトウェアスタンバイモードにおける温度依存性 (ICC_DCDC, SS2LP_1, SVSCR_5)（参考データ）

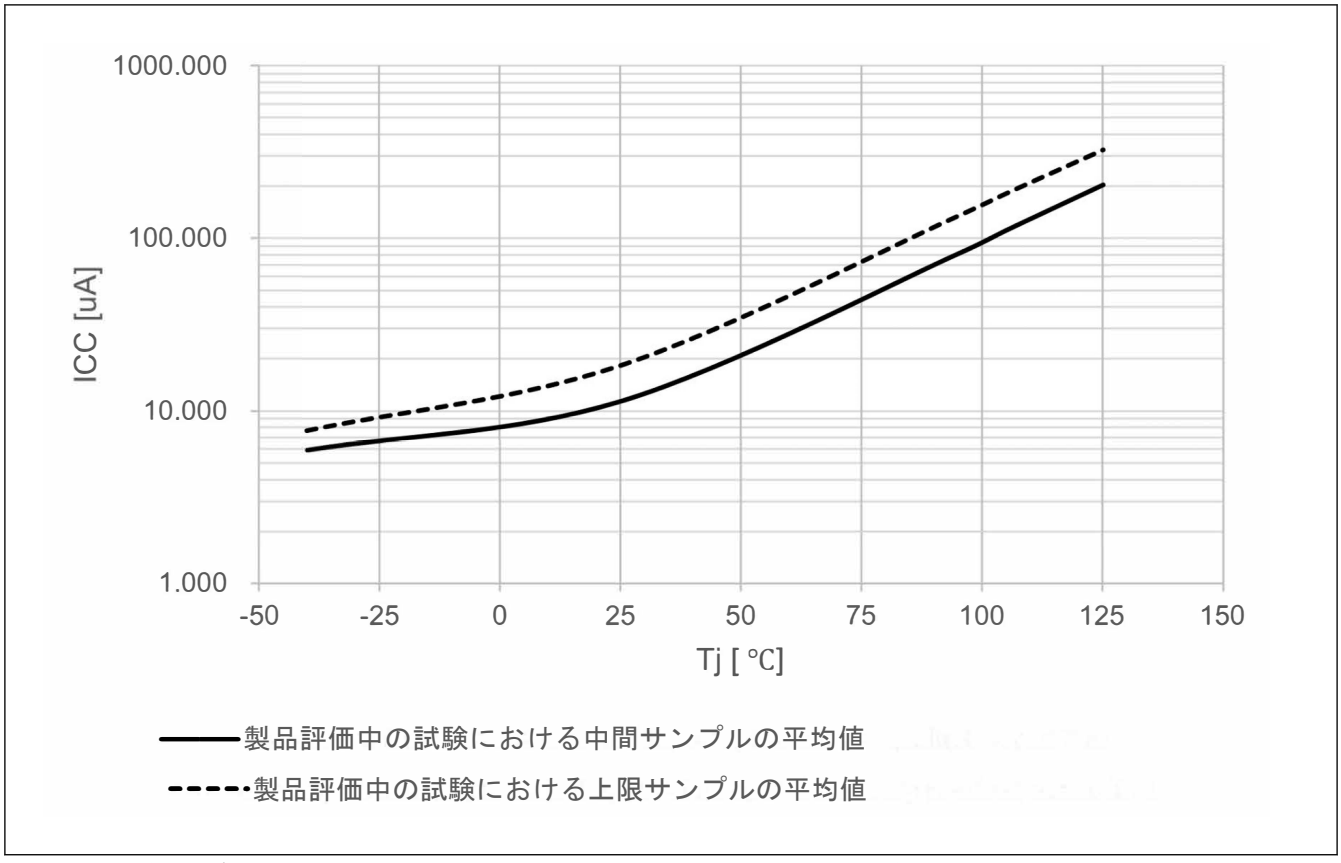


図 62.7　ディープソフトウェアスタンバイモード 1 における温度依存性（参考データ）

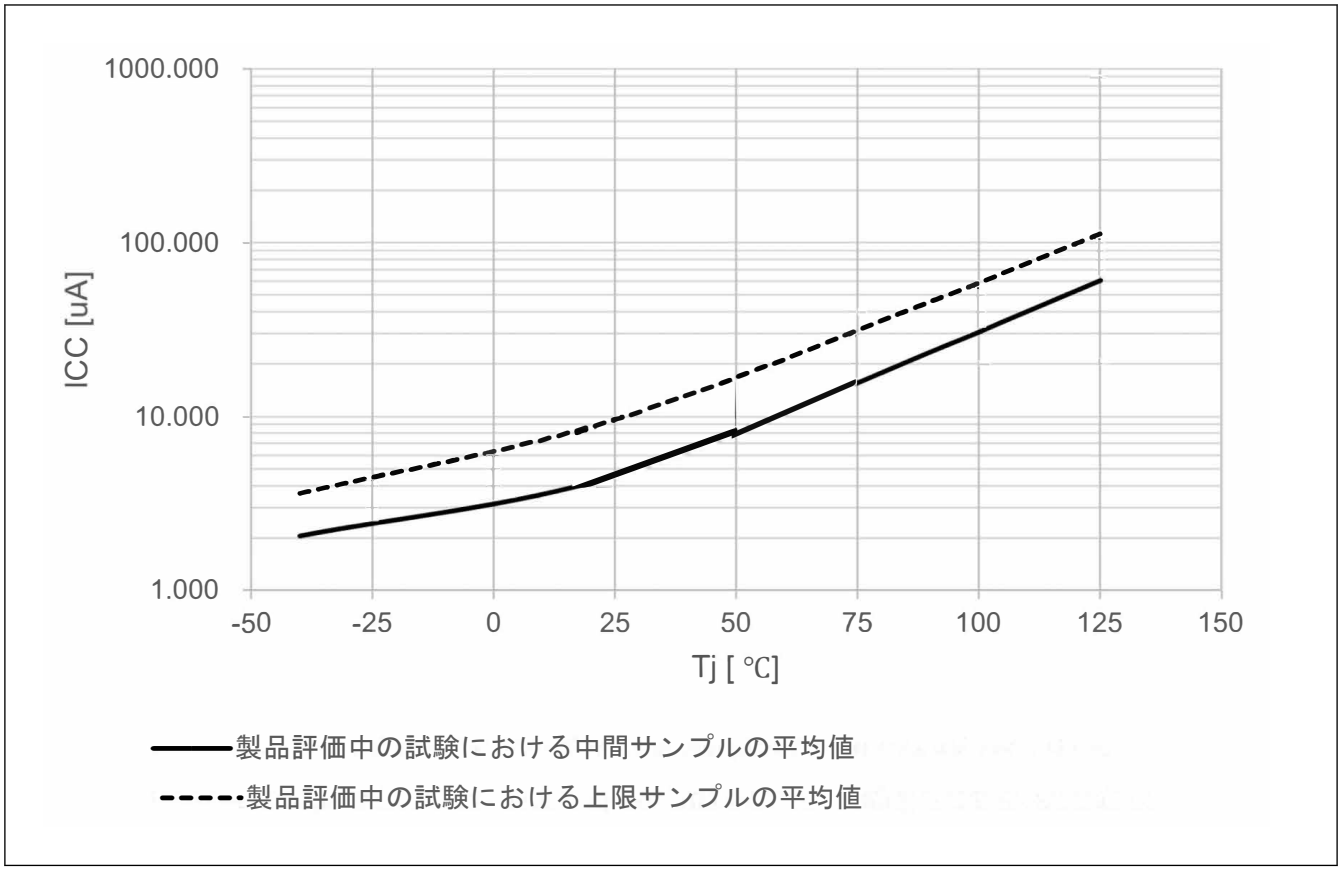


図 62.8　ディープソフトウェアスタンバイモード 2 における温度依存性（参考データ）

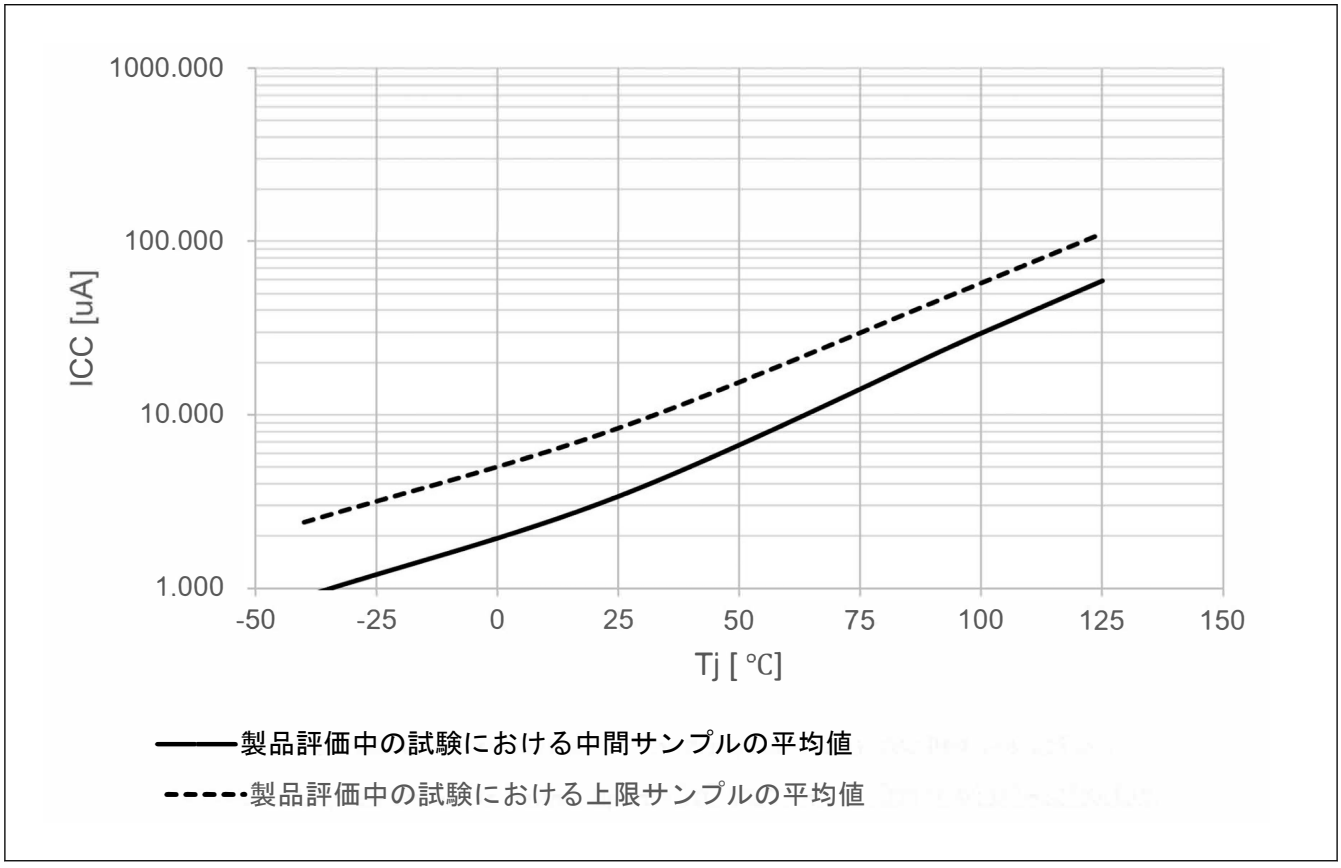


図 62.9　ディープソフトウェアスタンバイモード 3 における温度依存性（参考データ）

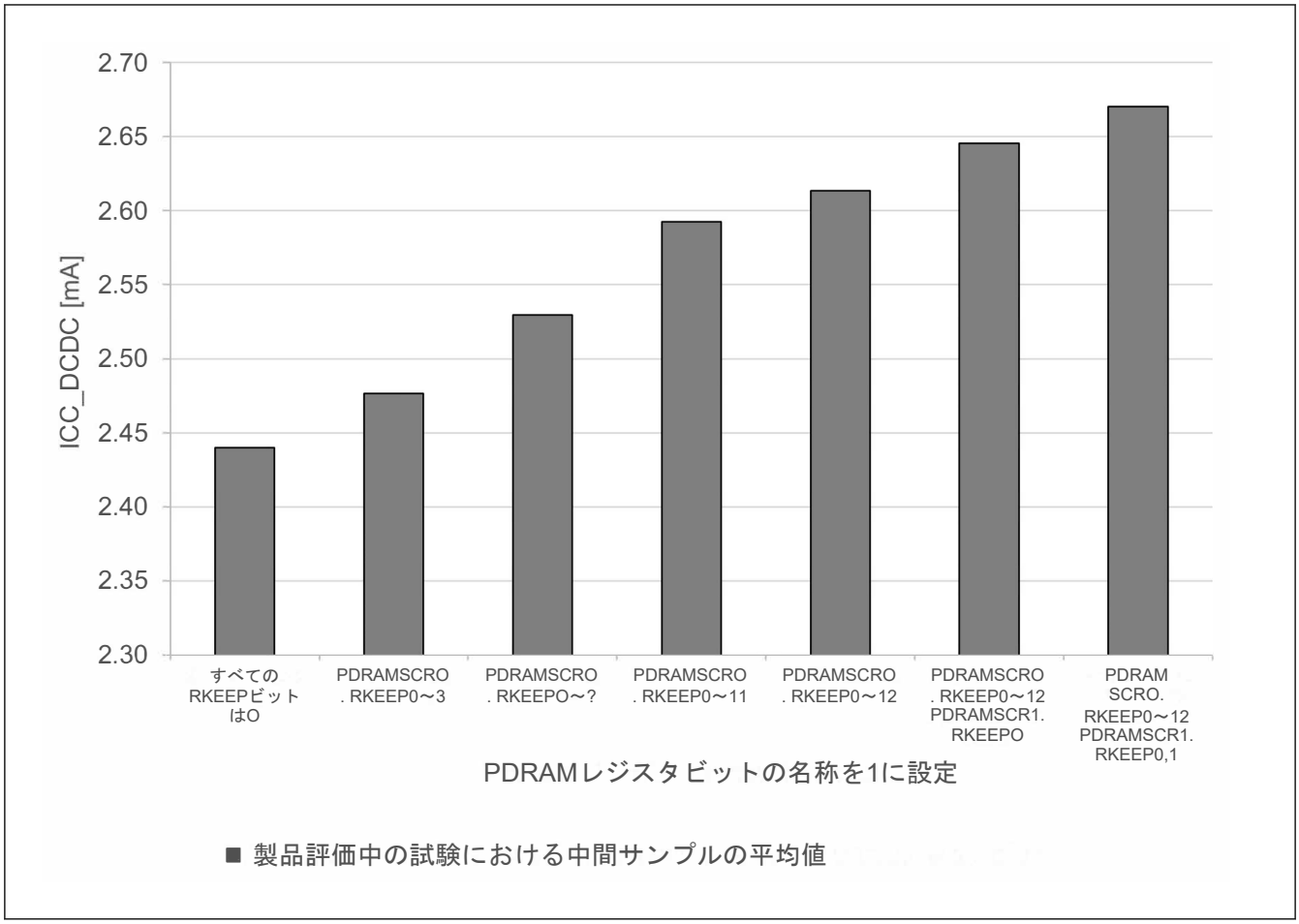


図 62.10　1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_1)（参考データ）

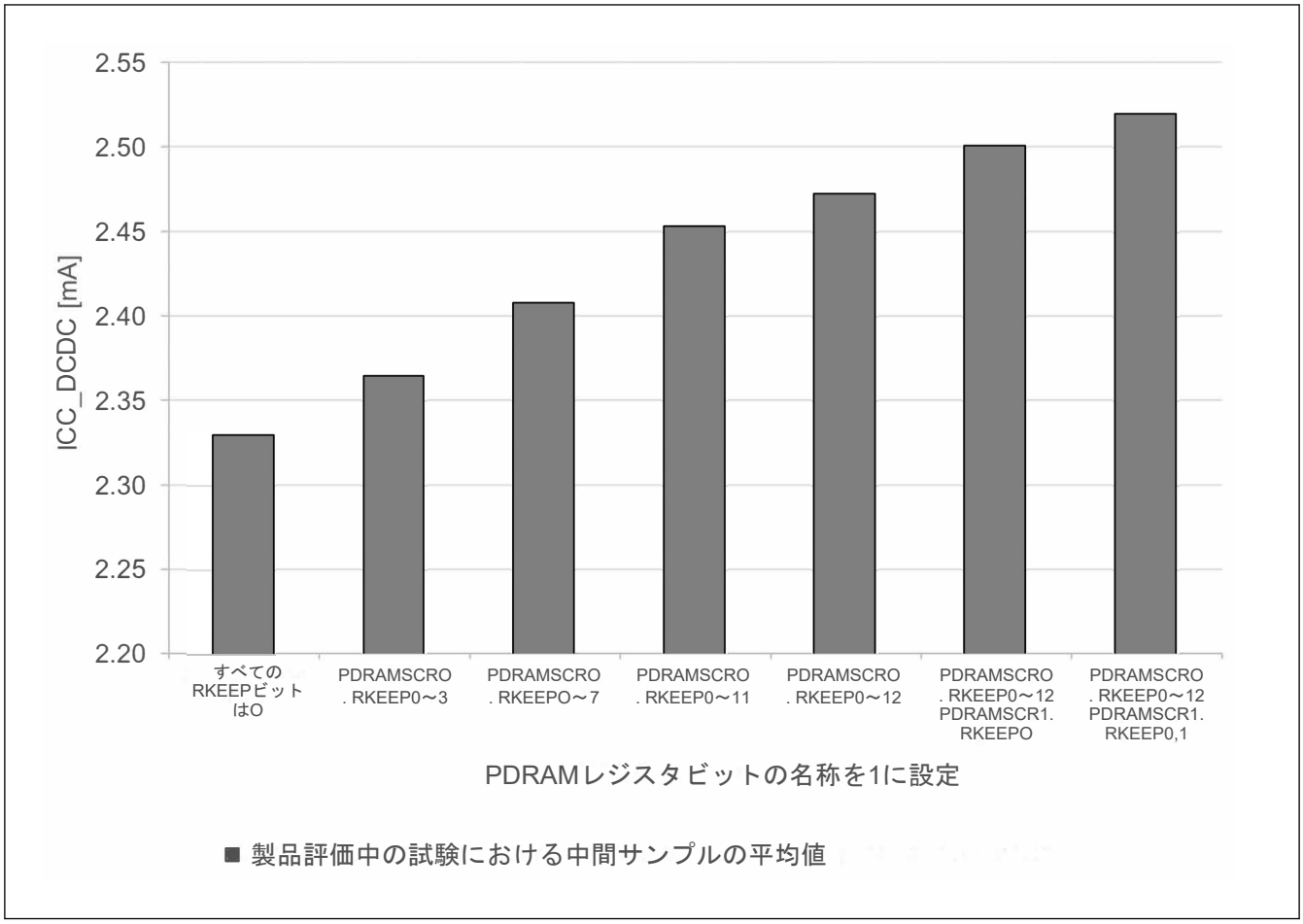


図 62.11　1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_2)（参考データ）

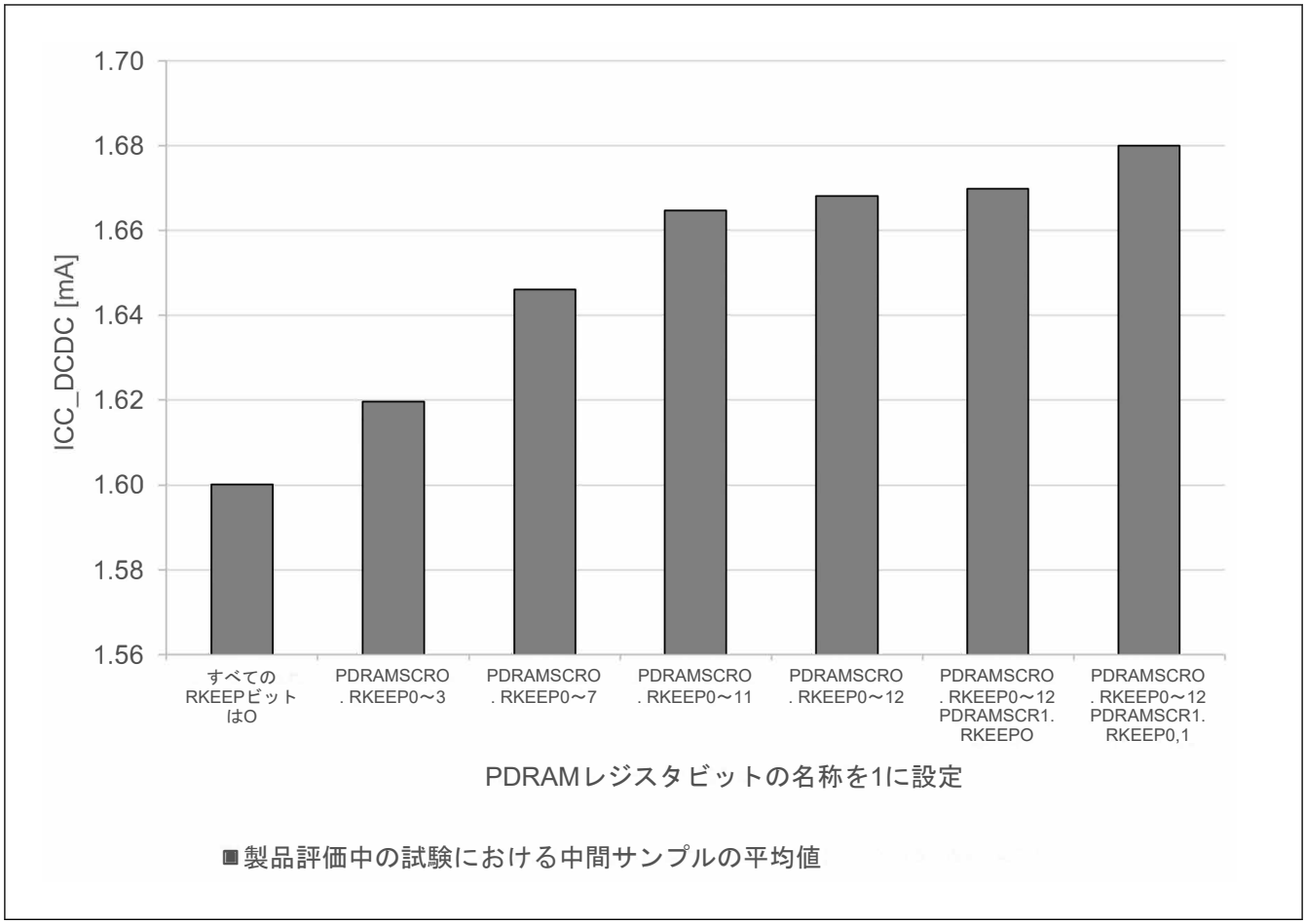


図 62.12　1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_3)（参考データ）

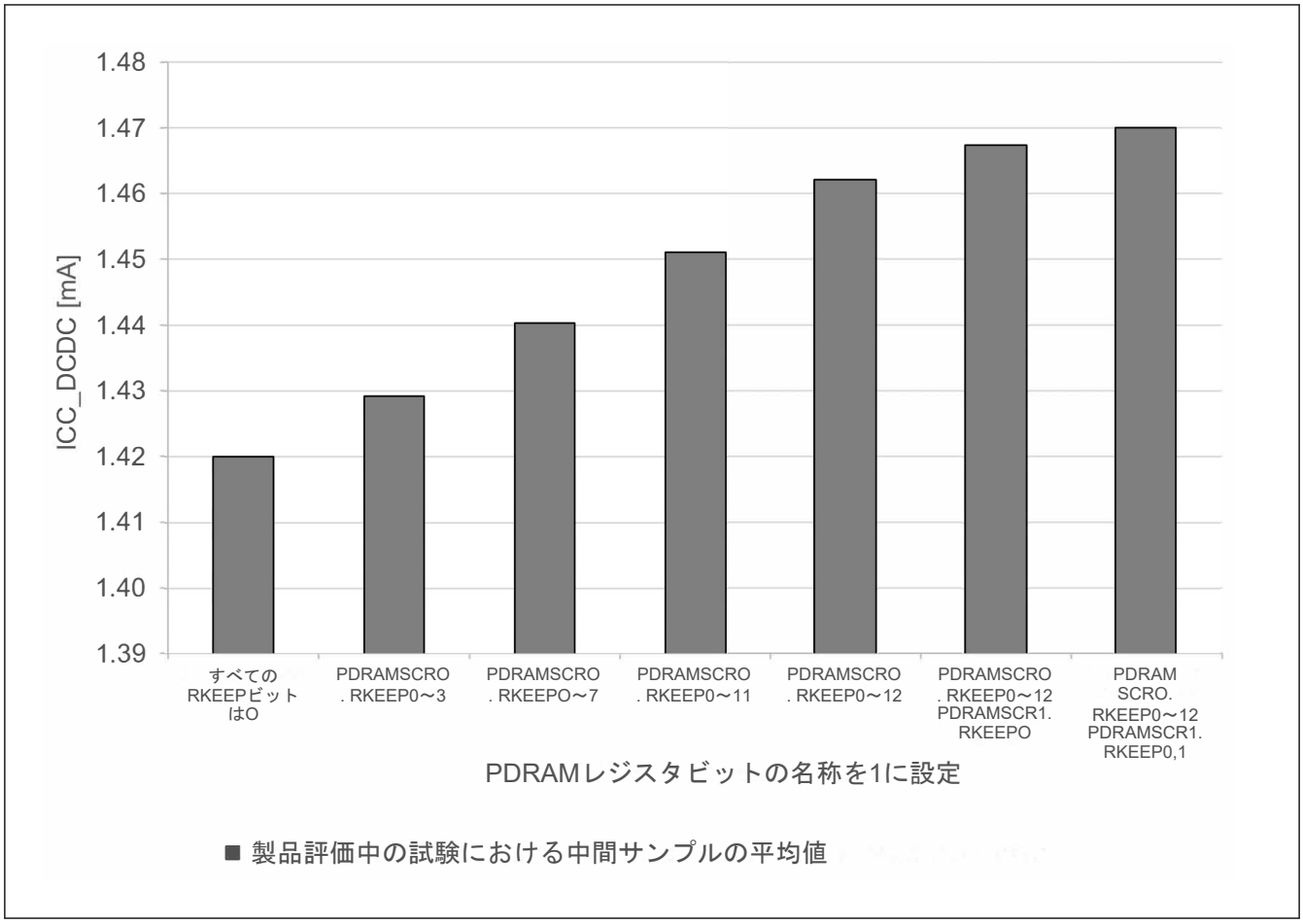


図 62.13　1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_4)（参考データ）

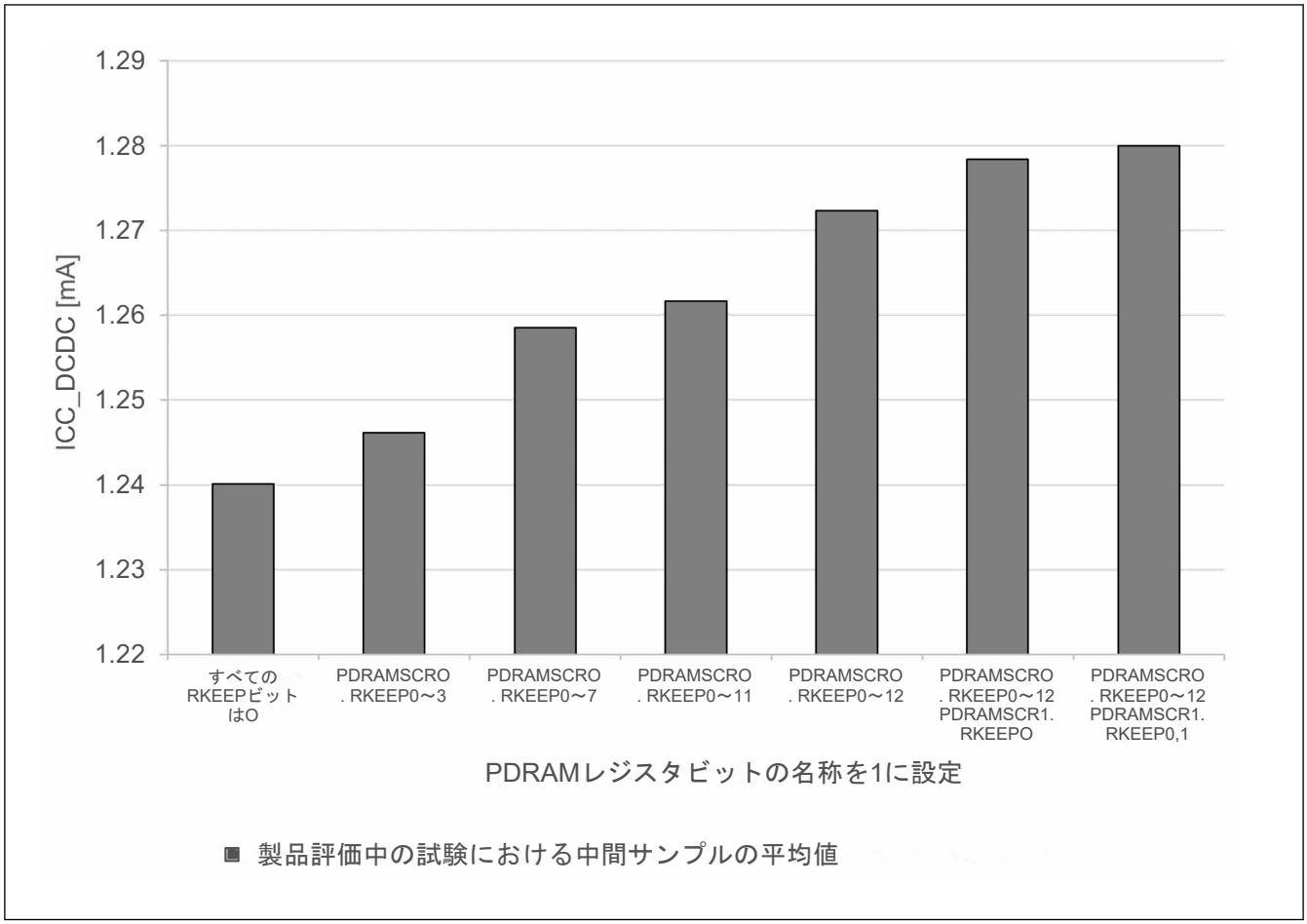


図 62.14　1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_5)（参考データ）

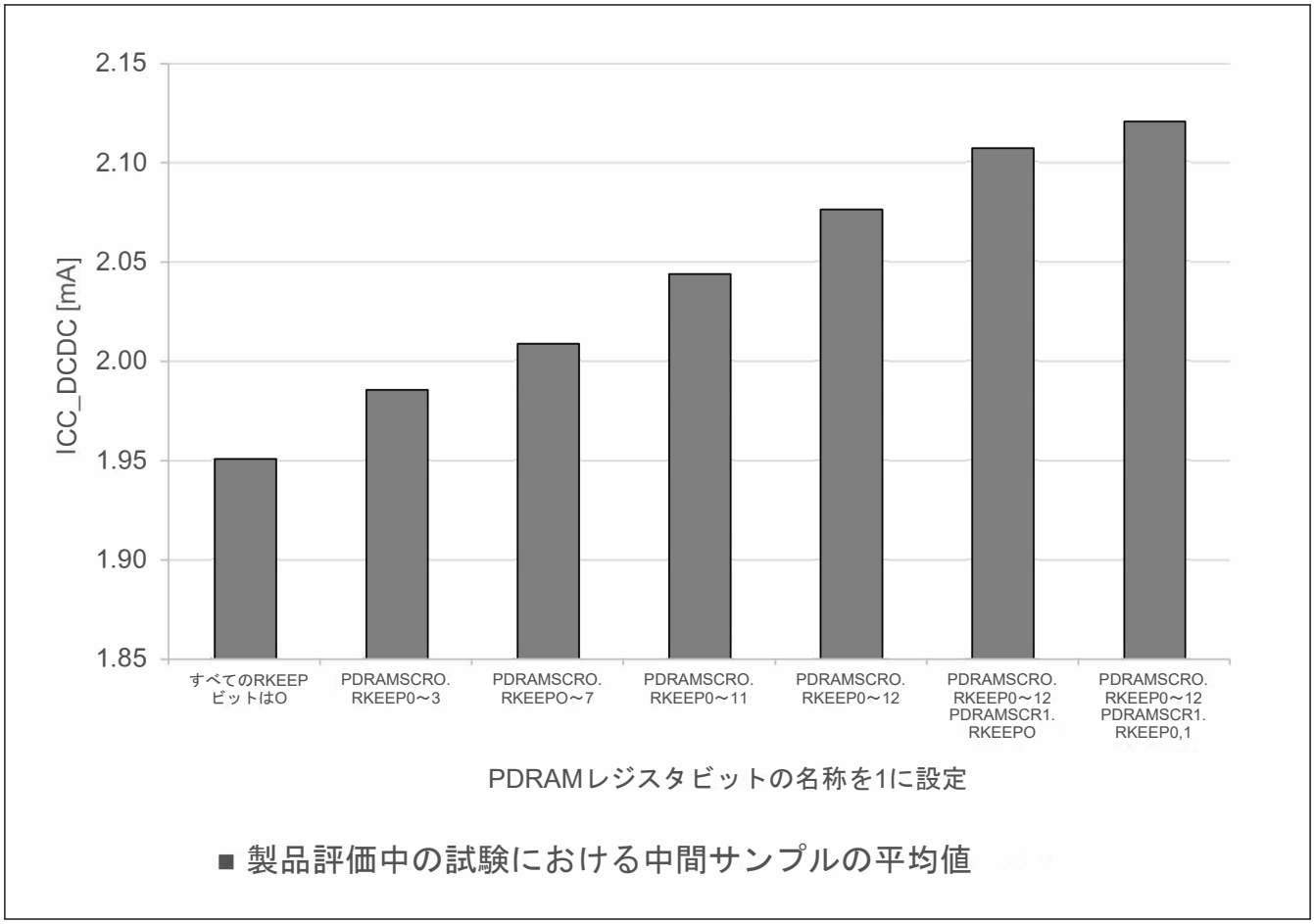


図 62.15　1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_1, SVSCR_2)（参考データ）

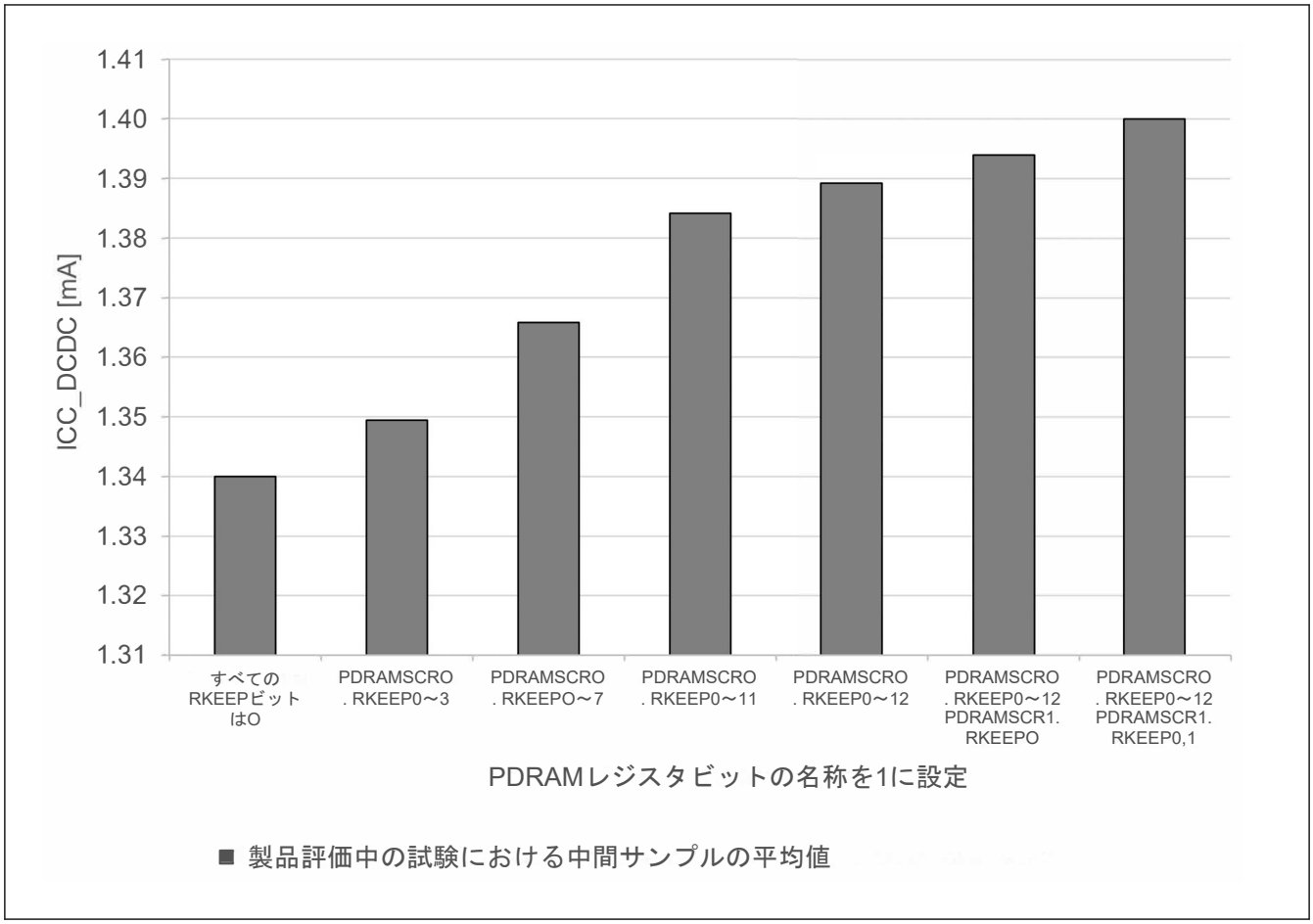


図 62.16　1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_1, SVSCR_3)（参考データ）

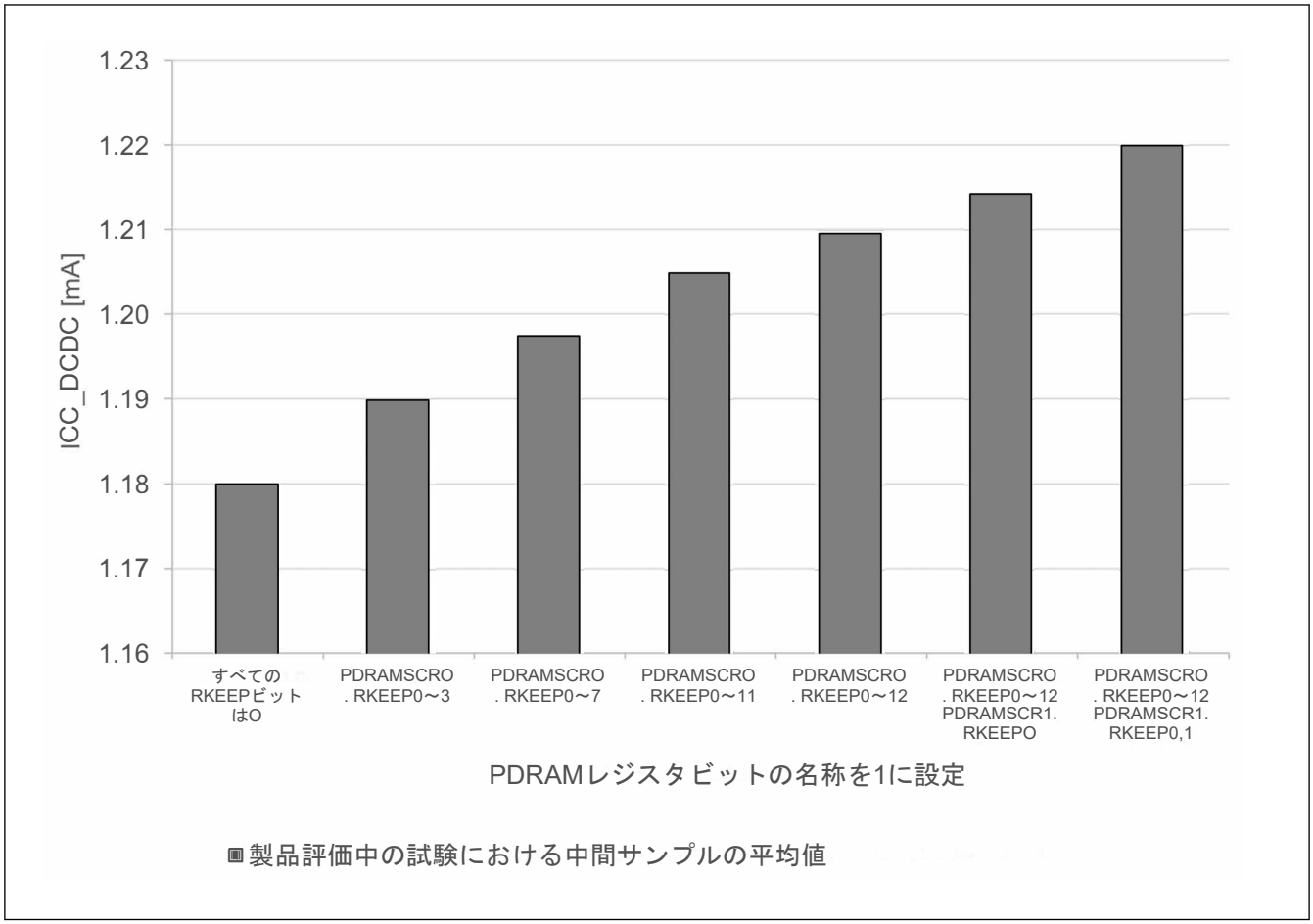


図 62.17　1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_1, SVSCR_4)（参考データ）

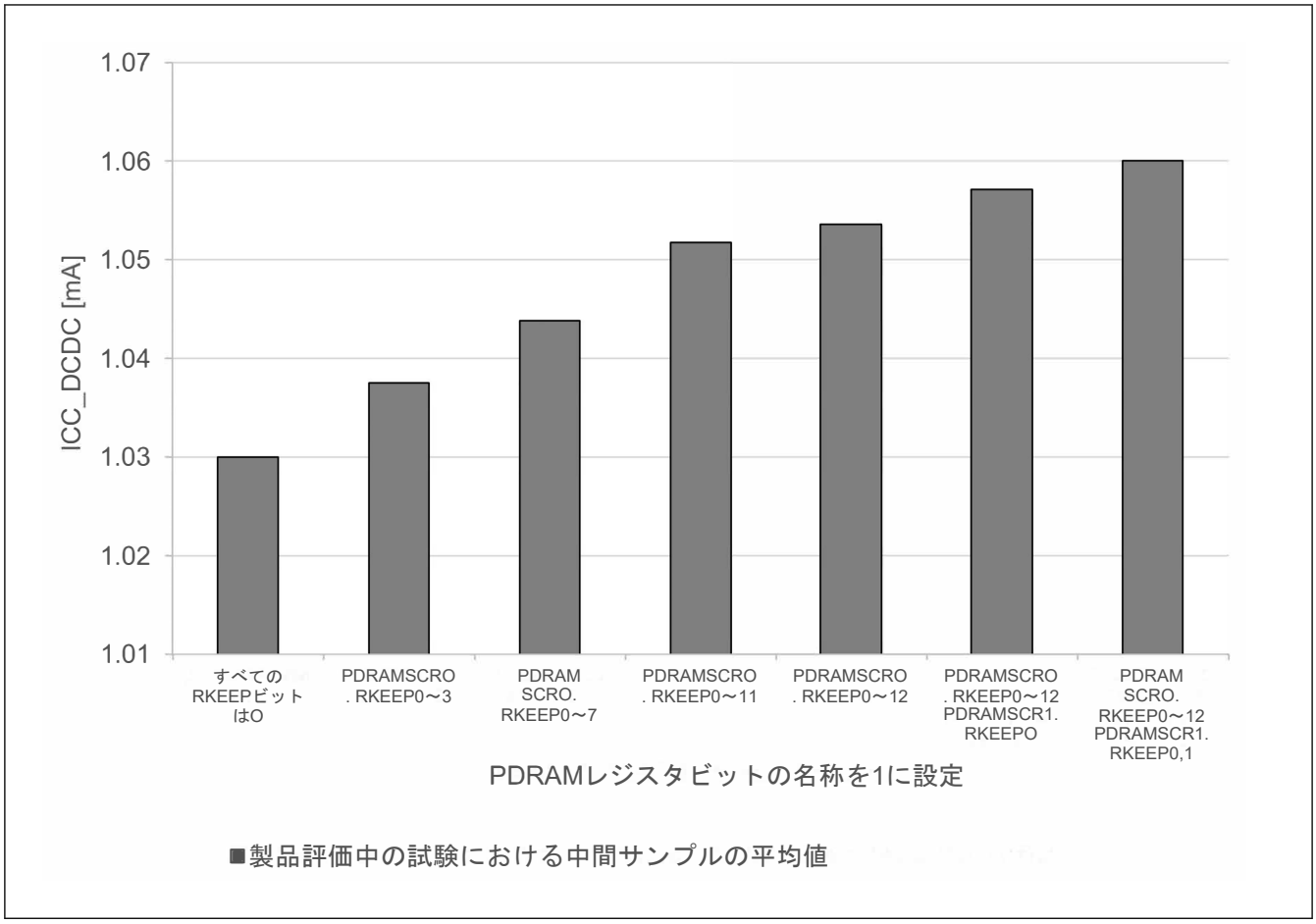


図 62.18　1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_1, SVSCR_5)（参考データ）

より実際に近い I_{CC_DCDC} 値は以下の式で求められます。

$I_{CC_DCDC} = (I_{DD} \times VCL) /$ （VCC_DCDC × 効率）

ここで、VCL と VCC はそれぞれ VCL 端子と VCC 端子の電圧であり、効率は以下の図に示されています。

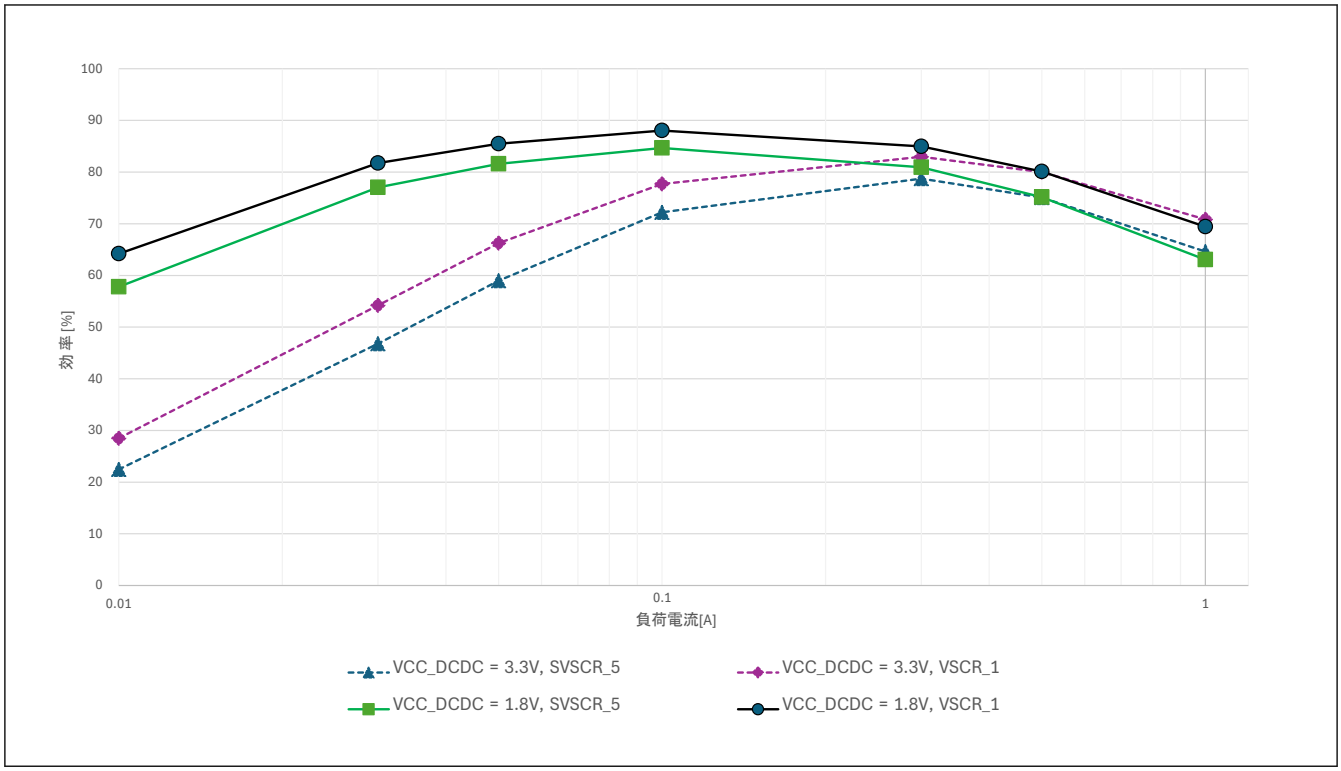


図 62.19 High-speed モードおよびソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_1)、Tj = 25 °C における標準 DCDC 効率 (%) と負荷電流 (A)

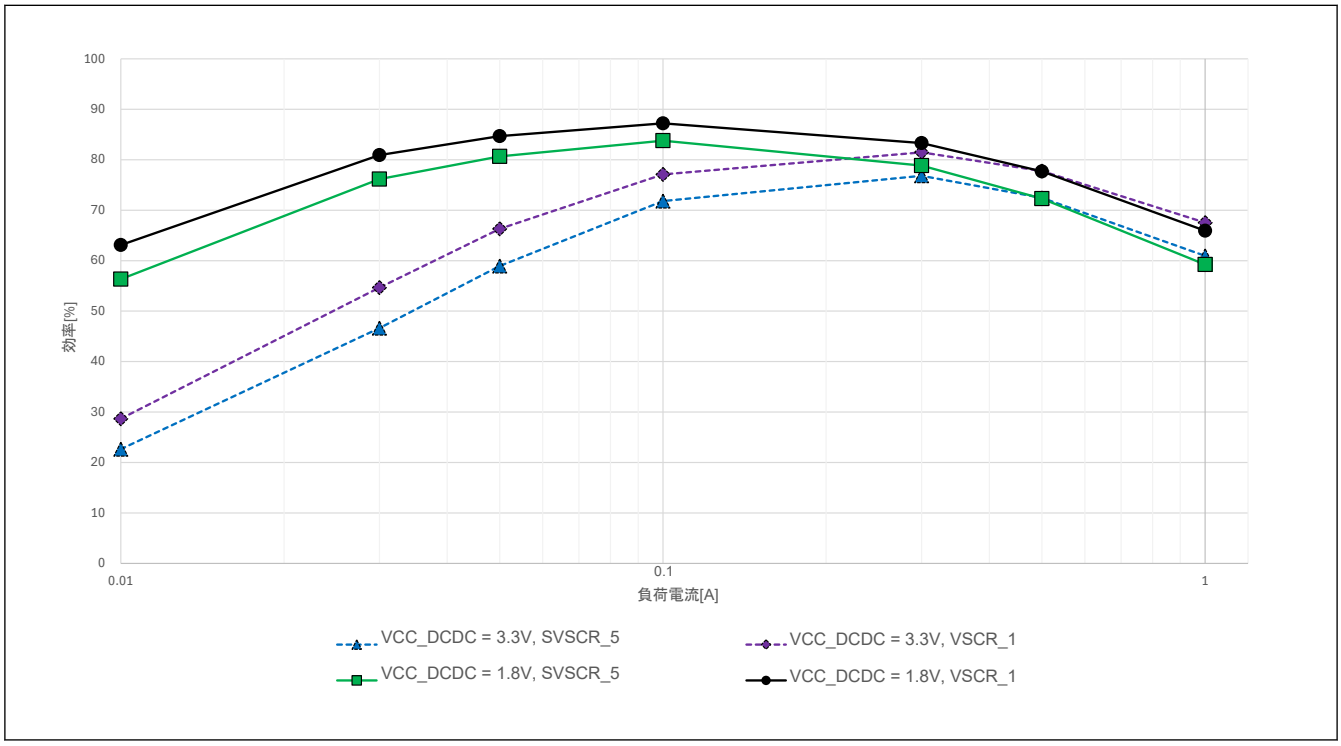


図 62.20 High-speed モードおよびソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_0)、Tj = 125 °C における標準 DCDC 効率 (%) と負荷電流 (A)

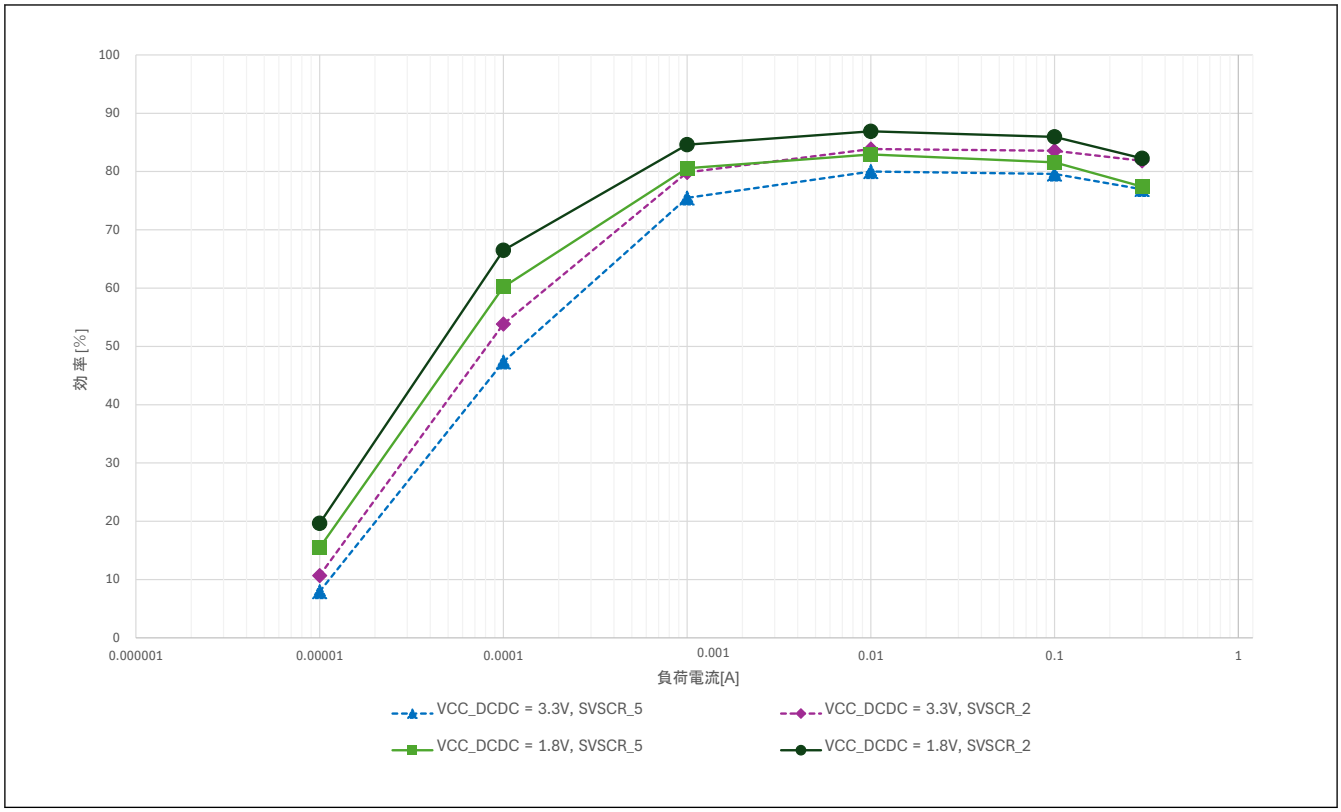


図 62.21　ソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_1)、Tj = 25 °C における標準 DCDC 効率 (%) と負荷電流 (A)

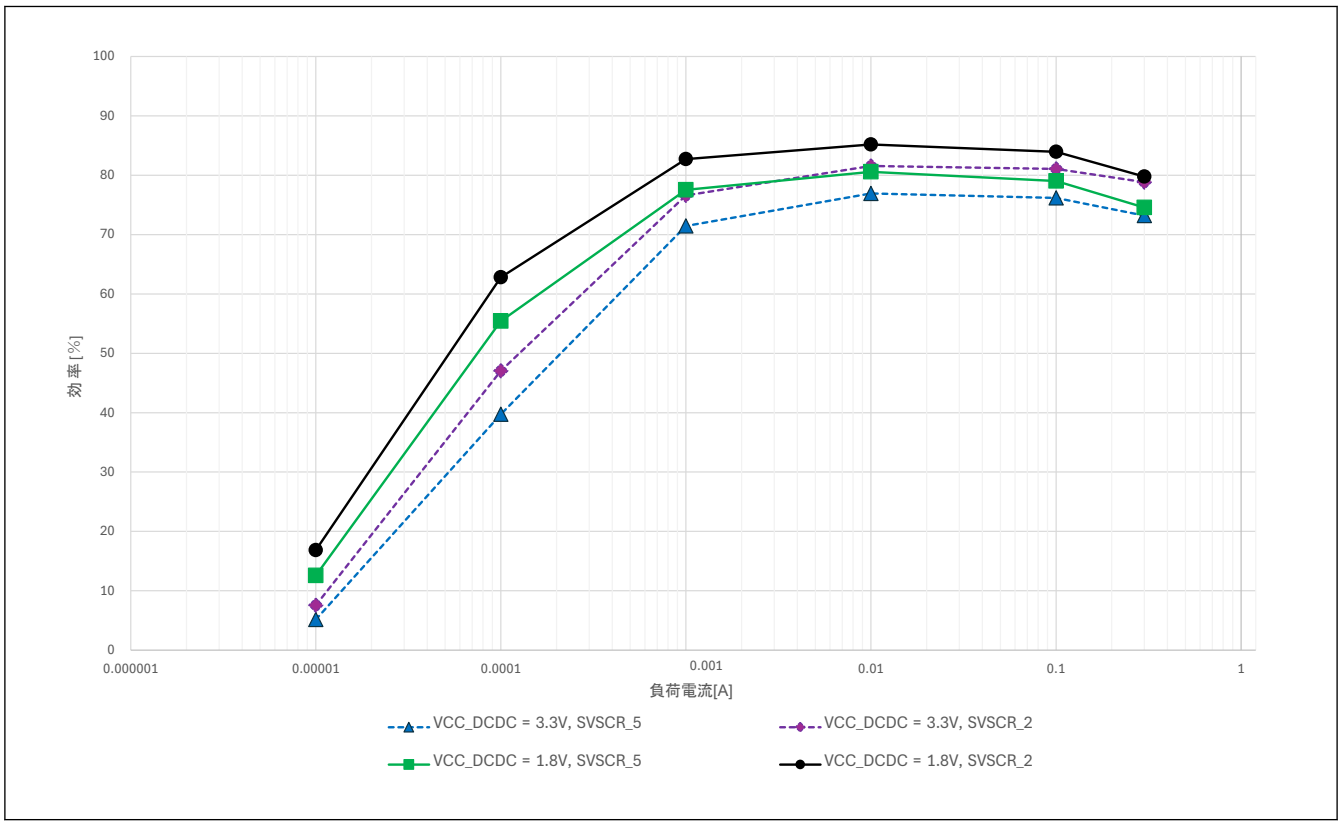


図 62.22　ソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_1)、Tj = 125 °C における標準 DCDC 効率 (%) と負荷電流 (A)

62.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 62.40 パワーオン／オフ時の VCC 立ち上がり／立ち下がり勾配の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオン時の VCC 立ち上がり勾配(注1)		SrVCC	0.0084	—	20	ms/V	—
パワーオフ時の VCC 立ち下がり勾配	VBATT 機能は無効(注1)	SfVCC1	0.0084	—	—	ms/V	—
	VBATT 機能は有効	SfVCC2	1.0000	—	—		—

注 1. VCC 電圧が V_{POR1} を通過する場合

表 62.41 動作中の VCC リップル周波数特性と立ち上がり／立ち下がり勾配の特性

リップル電圧は、VCC 上限 (3.63 V) と下限 (1.62 V) の範囲内で、許容リップル周波数 $f_{r(VCC)}$を満たす必要があります。VCC 変動が VCC±10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図 62.23 $V_{r(VCC)} \leqq VCC \times 0.2$
		—	—	1	MHz	図 62.23 $V_{r(VCC)} \leqq VCC \times 0.08$
		—	—	10	MHz	図 62.23 $V_{r(VCC)} \leqq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC(注1)	1.0	—	—	ms/V	VCC 変動が VCC±10%を超える場合

注 1. VCC 電圧が V_{POR1} を通過しない場合

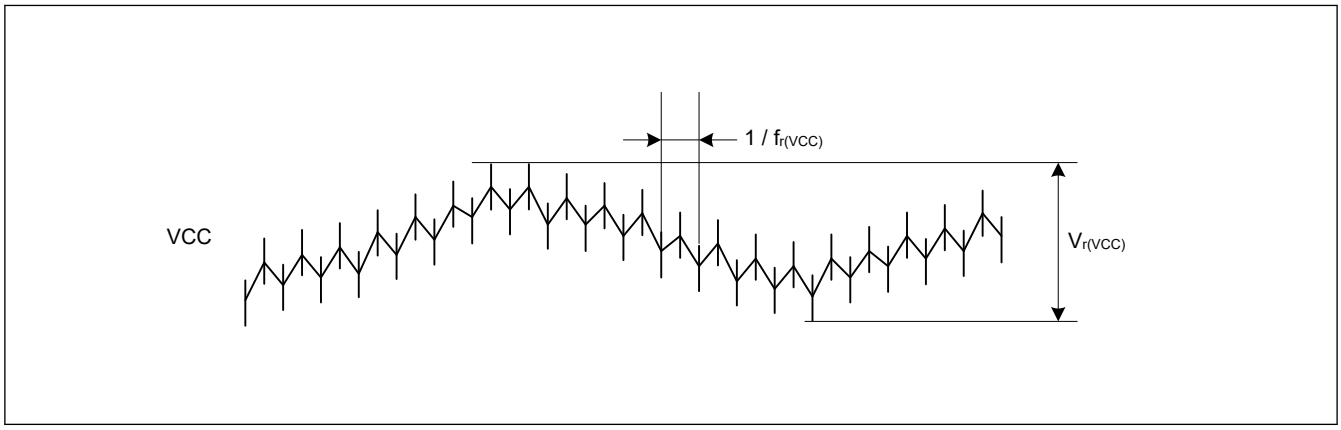


図 62.23 リップル波形

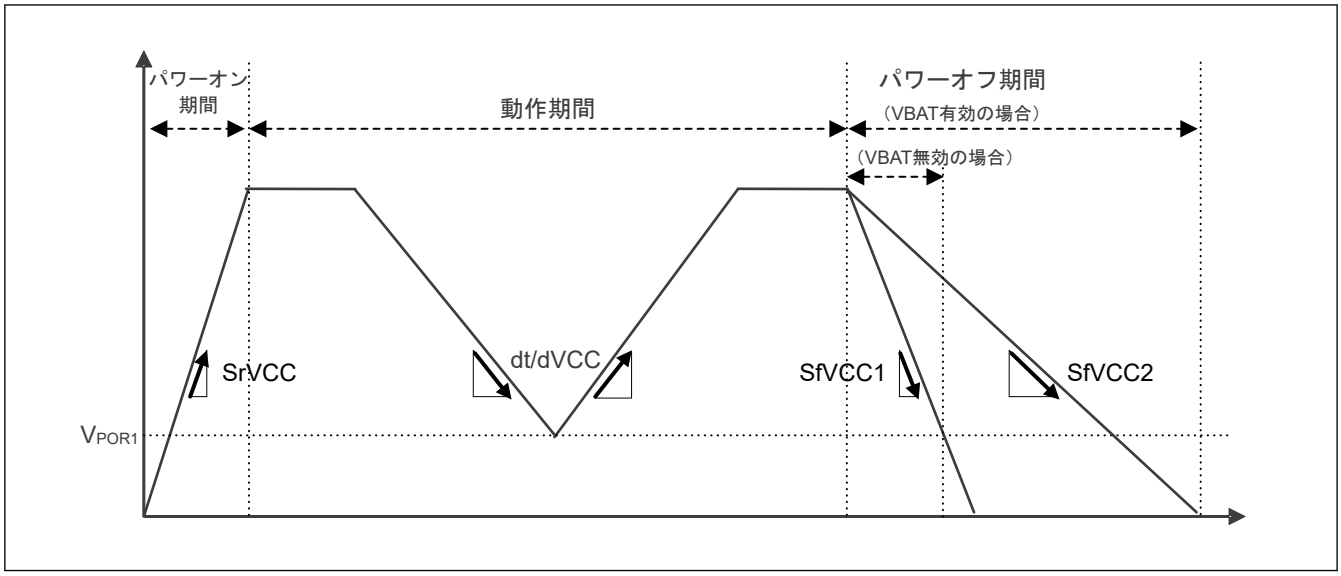


図 62.24　VCC 立ち上がり／立ち下がり波形

62.2.7　電源立ち上がり勾配

表 62.42　パワーオン時の VCC_USB 立ち上がり勾配の特性

項目	シンボル	Min	Typ	Max	単位	測定条件
パワーオン時の VCC_USB 立ち上がり勾配	SrVCC_USB	8.4	—	—	μs/V	—

表 62.43　パワーオン時の VCC_USBHS および AVCC_USBHS 立ち上がり勾配の特性

項目	シンボル	Min	Typ	Max	単位	測定条件
パワーオン時の VCC_USBHS (=AVCC_USBHS) 立ち上がり勾配	SrVCC_USBHS	8.4	—	—	μs/V	—

62.2.8　熱特性

ジャンクション温度 (Tj) の最大値は、「62.2.1. Tj/Ta の定義」の値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力
  - Tj：ジャンクション温度（℃）
  - Ta：周囲温度（℃）
  - Tt：ケース上面中央部温度（℃）
  - θja：「ジャンクション」-「周囲」間の熱抵抗（℃/W）
  - Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗（℃/W）
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = Σ (I_{OL} × V_{OL}) / 電圧 + Σ (|I_{OH}| × |VCC – V_{OH}|) / 電圧
- IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧
  - C_{in}：入力容量
  - C_{load}：出力容量

θja と Ψjt については、表 62.44 を参照してください。

表 62.44　熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	176 ピン HLQFP (PLQP0176K?-A)	θja	15	°C/W	JESD 51-2 および 51-7 準拠
	224 ピン BGA (PLBG0224J?-A)		21		JESD 51-2 および 51-9 準拠
	289 ピン BGA (PLBG0289J?-A)		20		
	303 ピン BGA (PLBG0303G?-A)		17		
	176 ピン HLQFP (PLQP0176K?-A)	Ψjt	0.3	°C/W	JESD 51-2 および 51-7 準拠
	224 ピン BGA (PLBG0224J?-A)		0.3		JESD 51-2 および 51-9 準拠
	289 ピン BGA (PLBG0289J?-A)		0.3		
	303 ピン BGA (PLBG0303G?-A)		0.5		

注 1.　値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

62.2.8.1　最大電流計算の手引き

表 62.45　各ユニットの消費電力（DCDC モード） (1/3)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [µA/MHz]	電流 [mA]	条件
リーク電流	アナログ	レギュレータおよびリーク (注1)	Tj = 95 °C	I_{CC}	—	—	2.51	—
			Tj = 105 °C		—	—	2.91	
			Tj = 115 °C		—	—	3.45	
			Tj = 125 °C		—	—	4.15	
			Tj = 95 °C	I_{CC_DCDC}	—	—	186	VCC_DCDC = 3.3 V, VSCR_1, PDCTRESWM.PDDE = 0
			Tj = 105 °C		—	—	216	
			Tj = 115 °C		—	—	243	
			Tj = 125 °C		—	—	277	
			Tj = 95 °C		—	—	363	VCC_DCDC = 1.8 V, VSCR_1, PDCTRESWM.PDDE = 0
			Tj = 105 °C		—	—	421	
			Tj = 115 °C		—	—	474	
			Tj = 125 °C		—	—	540	
			Tj = 95 °C	I_{DD}	—	—	477	VSCR_1, PDCTRESWM.PDDE = 0
			Tj = 105 °C		—	—	553	
			Tj = 115 °C		—	—	622	
			Tj = 125 °C		—	—	709	

表 62.45　各ユニットの消費電力（DCDC モード） (2/3)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [µA/MHz]	電流 [mA]	条件
ダイナミック電流	CPU0	キャッシュあり動作	CoreMark	I_{DD}	1000	145	144	CPUCLK0 = 1000 MHz VSCR_1
	CPU1	キャッシュあり動作	CoreMark		250	166	41	CPUCLK1 = 250 MHz VSCR_1
	周辺ユニット	タイマ	RTC		62.5	1.229	0.077	VSCR_1
			GPT32 (14ch)(注2)		125	65.123	8.140	
			POEG（4 グループ）(注2)		62.5	1.539	0.096	
			PDG (4ch)(注2)		125	47.465	5.933	
			AGT (2ch)(注2)		62.5	1.518	0.095	
			ULPT (2ch)(注2)		62.5	2.373	0.148	
			WDT0		62.5	0.437	0.027	
			WDT1		62.5	0.446	0.028	
			IWDT		62.5	0.014	0.001	

表 62.45　各ユニットの消費電力（DCDC モード） (3/3)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [µA/MHz]	電流 [mA]	条件
ダイナミック電流	周辺ユニット	通信インタフェース	ESWM	I_{DD}	125	294.026	36.753	VSCR_1
			USBFS		62.5	7.495	0.468	
			USBHS		125	67.424	8.428	
			SCI (10ch)(注2)		125	32.336	4.042	
			IIC (3ch)(注2)		62.5	3.722	0.233	
			I3C		125	9.883	1.235	
			CANFD (2ch)(注2)		125	6.025	0.753	
			SPI (2ch)(注2)		125	11.36	1.420	
			OSPI (2ch)(注2)		62.5	100.8	6.300	
			SSIE (2ch)(注2)		62.5	7.89	0.493	
			SDHI (2ch)(注2)		62.5	9.858	0.616	
			PDMIF		62.5	1.939	0.121	
		アナログ	ADC16H（2 ユニット）(注2)		125	66.267	8.283	VSCR_1
			DAC12 (2ch)(注2)		62.5	0.325	0.020	
			TSN		62.5	0.115	0.007	
			ACMPHS (4ch)(注2)		62.5	0.173	0.011	
		ヒューマンマシンインタフェース	CEU		125	18.383	2.298	VSCR_1
		イベントリンク	ELC		62.5	5.075	0.317	VSCR_1
		セキュリティ	RSIP-E50D		125	302.444	37.806	VSCR_1
			DOTF (2ch)(注2)		62.5	131.817	8.239	
		データ処理	CRC		125	1.455	0.182	VSCR_1
			DOC		125	0.241	0.030	
		システム	CAC		62.5	0.946	0.059	VSCR_1
		DMA	DMAC0（1ch あたり）		250	7.278	1.819	VSCR_1
			DMAC1（1ch あたり）		250	6.858	1.715	
			DTC0		250	9.077	2.269	
			DTC1		250	8.716	2.179	
ダイナミック電流	FSBL 動作				250	—	79.9	FSBLCLK[2:0] = 111
					200	—	66.1	FSBLCLK[2:0] = 110
					150	—	51.0	FSBLCLK[2:0] = 101
					133	—	46.6	FSBLCLK[2:0] = 100

注 1.　「レギュレータ」、「リーク」はそれぞれ内部電圧レギュレータの電流と MCU のリーク電流を意味します。
　　Tj の温度に応じていずれかが選択されます。
注 2.　チャネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャネル数、グループ数、またはユニット数で割ります。

表 62.46　各ユニットの消費電力（外部 VDD モード） (1/2)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [µA/MHz]	電流 [mA]	条件
リーク電流	アナログ	レギュレータおよびリーク (注1)	Tj = 95 °C	I_{CC}	—	—	2.51	—
			Tj = 105 °C		—	—	2.91	
			Tj = 115 °C		—	—	3.45	
			Tj = 125 °C		—	—	4.15	
			Tj = 95 °C	I_{DD}	—	—	477	VCL = 電圧範囲 1、PDCTRESWM.PDDE = 0
			Tj = 105 °C		—	—	553	
			Tj = 115 °C		—	—	622	
			Tj = 125 °C		—	—	709	
ダイナミック電流	CPU0	キャッシュあり動作	CoreMark	I_{DD}	1000	145	144	CPUCLK0 = 1000 MHz、VCL = 電圧範囲 1
	CPU1	キャッシュあり動作	CoreMark		250	166	41	CPUCLK1 = 250 MHz、VCL = 電圧範囲 1
ダイナミック電流	周辺ユニット	タイマ	RTC	I_{DD}	62.5	1.229	0.077	VCL = 電圧範囲 1
			GPT32 (14ch)(注2)		125	65.123	8.140	
			POEG（4 グループ）(注2)		62.5	1.539	0.096	
			PDG (4ch)(注2)		125	47.465	5.933	
			AGT (2ch)(注2)		62.5	1.518	0.095	
			ULPT (2ch)(注2)		62.5	2.373	0.148	
			WDT0		62.5	0.437	0.027	
			WDT1		62.5	0.446	0.028	
			IWDT		62.5	0.014	0.001	
		通信インタフェース	ESWM	I_{DD}	125	294.026	36.753	VCL = 電圧範囲 1
			USBFS		62.5	7.495	0.468	
			USBHS		125	67.424	8.428	
			SCI (10ch)(注2)		125	32.336	4.042	
			IIC (3ch)(注2)		62.5	3.722	0.233	
			I3C		125	9.883	1.235	
			CANFD (2ch)(注2)		125	6.025	0.753	
			SPI (2ch)(注2)		125	11.36	1.420	
			OSPI (2ch) (注2)		62.5	100.8	6.300	
			SSIE (2ch)(注2)		62.5	7.89	0.493	
			SDHI (2ch)(注2)		62.5	9.858	0.616	
			PDMIF		62.5	1.939	0.121	

表 62.46 各ユニットの消費電力（外部 VDD モード） (2/2)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [µA/MHz]	電流 [mA]	条件
ダイナミック電流	周辺ユニット	アナログ	ADC16H（2 ユニット）(注2)	I_{DD}	125	66.267	8.283	VCL = 電圧範囲 1
			DAC12 (2ch)(注2)		62.5	0.325	0.020	
			TSN		62.5	0.115	0.007	
			ACMPHS (4ch)(注2)		62.5	0.173	0.011	
		ヒューマンマシンインタフェース	CEU	I_{DD}	125	18.383	2.298	VCL = 電圧範囲 1
		イベントリンク	ELC	I_{DD}	62.5	5.075	0.317	VCL = 電圧範囲 1
		セキュリティ	RSIP-E50D	I_{DD}	125	302.444	37.806	VCL = 電圧範囲 1
			DOTF (2ch)(注2)		62.5	131.817	8.239	
		データ処理	CRC	I_{DD}	125	1.455	0.182	VCL = 電圧範囲 1
			DOC		125	0.241	0.030	
		システム	CAC	I_{DD}	62.5	0.946	0.059	VCL = 電圧範囲 1
		DMA	DMAC0（1ch あたり）	I_{DD}	250	7.278	1.819	VCL = 電圧範囲 1
			DMAC1（1ch あたり）		250	6.858	1.715	
			DTC0		250	9.077	2.269	
			DTC1		250	8.716	2.179	
ダイナミック電流	FSBL 動作			I_{DD}	250	—	79.9	FSBLCLK[2:0] = 111
					200	—	66.1	FSBLCLK[2:0] = 110
					150	—	51.0	FSBLCLK[2:0] = 101
					133	—	46.6	FSBLCLK[2:0] = 100

注 1. 「レギュレータ」、「リーク」はそれぞれ内部電圧レギュレータの電流と MCU のリーク電流を意味します。
Tj の温度に応じていずれかが選択されます。
注 2. チャネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャネル数、グループ数、またはユニット数で割ります。

表 62.47 各ユニットの動作の概要 (1/2)

周辺機能	動作の概要
RTC	RTC が LOCO で動作しています。
GPT	動作モードが、のこぎり波 PWM モードに設定されています。GPT が PCLKD で動作しています。
POEG	モジュールストップビットのクリアのみを行います。
PDG	PDG が GTCLK 周期の 1/128 倍の遅延を適用しています。
AGT	AGT が PCLKB で動作しています。
ULPT	ULPT が LOCO で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。

表 62.47　各ユニットの動作の概要 (2/2)

周辺機能	動作の概要
ESWM	通信モードが 1 Gbps、MAC ループバックに設定されています。 gPTP タイマが有効です。 ESWM が 2 つのポートで連続送信と連続受信を同時に実行しています。
USBFS	転送タイプがバルク転送に設定されています。USBFS がフルスピード転送 (12 Mbps) を使用して動作しています。
USBHS	転送タイプがバルク転送に設定されています。USBHS がハイスピード転送を使用して動作しています。
SCI	SCI がクロック同期式モードでデータを送信しています。
IIC	通信フォーマットは I2C バスフォーマットになります。IIC がマスタモードでデータを送信しています。
I3C	通信フォーマットは I3C SDR フォーマットになります。I3C がマスタモードでデータを送信しています (12.5 MHz)。
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作（4 線式）に設定されています。 SPI マスタ／スレーブモードがマスタモードに設定されています。 SPI が 32 ビット幅のデータを送信しています。
OSPI	OSPI が HyperRAM にメモリ書き込みコマンドを発行しています。
SSIE	通信モードがマスタに設定されています。システムワード長が 32 ビットに設定されています。 データワード長が 20 ビットに設定されています。SSIE が I2S フォーマットを使用してデータを送信しています。
SDHI	転送バスモードがワイドバスモード（8 ビット）に設定されています。SDHI が CMD24（シングルブロックライト）を発行しています。
PDMIF	PDMIF が 3 チャネルのサウンドアクティビティを検出しています。
ADC16H	分解能は 16 ビット精度に設定されます。 変換データ演算コントロール B レジスタは 16 倍の平均モードに設定されます。 ADC がアナログ入力を連続スキャンモードで変換しています。 ADC が ADCCLK で動作しています。
DAC12	DAC12 が変換結果の出力とデータレジスタ値の更新を行っています。
TSN	TSN が動作しています。
ACMPHS	ACMPHS が動作しています。
CEU	CEU がデータをキャプチャし SRAM へ転送しています。
ELC	モジュールストップビットのクリアのみを行います。
RSIP-E50D	RSIP はセルフテスト動作を実行しています。
DOTF	DOTF が AES を使用して復号処理を実行しています。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
DOC	DOC がデータ比較モードで動作しています。
CAC	測定対象クロックが PCLKB に設定されています。測定基準クロックが PCLKB に設定されています。 CAC がクロック周波数精度を測定しています。
DMAC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。 DMAC が SRAM0 から SRAM0 にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。 DTC が SRAM0 から SRAM0 にデータを転送しています。

62.2.8.2　Tj の計算例

前提事項：

- パッケージ 289 ピン BGA：θja = 20 °C/W
- Ta = 65 °C
- $I_{CC} + I_{CC_DCDC}$ = 320 mA
- VCC = 3.5 V (VCC = VCC2 = AVCC0 = AVCC_USBHS = VCC_USB = VCC_USBHS)
- I_{OH} = 1 mA、V_{OH} = VCC – 0.5 V、12 出力
- I_{OL} = 20 mA、V_{OL} = 1.0 V、8 出力

- I_{OL} = 1 mA、V_{OL} = 0.5 V、12 出力
- C_{in} = 8 pF、32 ピン、入力周波数 = 10 MHz
- C_{load} = 30 pF、32 ピン、出力周波数 = 10 MHz

IO のスタティック電流 = Σ (VOL × IOL) / 電圧 + Σ ((VCC - VOH) × IOH) / 電圧
= (20 mA × 1 V) × 8 / 3.5 V + (1 mA × 0.5 V) × 12 / 3.5 V + ((VCC - (VCC - 0.5 V)) × 1 mA) × 12 / 3.5 V
= 45.7 mA + 1.71 mA + 1.71 mA
= 49.1 mA
IO のダイナミック電流 = Σ IO (Cin + Cload) × IO のスイッチング周波数 × 電圧
= ((8 pF × 32) × 10 MHz + (30 pF × 32) × 10 MHz) × 3.5 V
= 42.6 mA
総消費電力 = 電圧　× (スタティック電流 + ダイナミック電流)
= (320 mA × 3.5 V) + (49.1 mA + 42.6 mA) × 3.5 V
= 1441 mW (1.441 W)
Tj = Ta + θja × 総消費電力
= 65 °C + 20 °C/W × 1.441W
= 93.82 °C

62.3 AC 特性

62.3.1 周波数

表 62.48 High-speed モードにおける動作周波数の値 (1/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	PLL1 出力クロック P (PLL1P)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）	f	—	—	1000	MHz
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	800	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	600	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	600	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	600	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	600	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	600	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	600	
	その他の PLL 出力クロック (PLL1Q, PLL1R, PLL2P, PLL2Q, PLL2R)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	1200	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	1200	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	1200	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	1200	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	1200	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	1200	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	1200	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	1200	

表 62.48 High-speed モードにおける動作周波数の値 (2/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	CPU0 クロック (CPUCLK0)(注1)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）	f	—	—	1000	MHz
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	800	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	600	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	600	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	600	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	600	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	600	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	600	
	CPU1 クロック (CPUCLK1)(注1)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	250	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	200	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	150	

表 62.48 High-speed モードにおける動作周波数の値 (3/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注1)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）	f	—	—	250	MHz
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	200	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	150	

表 62.48 High-speed モードにおける動作周波数の値 (4/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	MRAM バスクロック (MRICLK)(注1)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）	f	—	—	250	MHz
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	200	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	150	
	MRAM クロック (MRPCLK)(注1)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	125	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	100	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	100	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	75	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	75	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	75	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	100	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	75	

表 62.48 High-speed モードにおける動作周波数の値 (5/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	周辺モジュールクロック (PCLKA)(注1)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）	f	—	—	125	MHz
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	100	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	100	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	75	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	75	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	75	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	100	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	75	
	周辺モジュールクロック (PCLKB)(注1)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	62.5	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	50	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	50	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	37.5	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	37.5	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	37.5	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	50	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	37.5	

表 62.48 High-speed モードにおける動作周波数の値 (6/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	周辺モジュールクロック (PCLKD)(注1)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）	f	—	—	250	MHz
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	200	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	150	
	周辺モジュールクロック (PCLKE)(注1)	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	250	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	200	
		BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	150	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	200	
		HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	150	

表 62.48 High-speed モードにおける動作周波数の値 (7/8)

項目				シンボル	Min	Typ	Max	単位
動作周波数	外部バスクロック (BCLK)(注1)	VCC ≧ 2.7 V	BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）	f	—	—	125	MHz
			BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	100	
			BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）、電圧範囲 1（外部 VDD モード）		—	—	100	
			BGA パッケージ、0 °C ≦ Tj ≦ 95 °C（製品グループ A）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	75	
			BGA パッケージ、–40 °C ≦ Tj ≦ 105 °C（製品グループ B）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	75	
			BGA パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）、電圧範囲 2（外部 VDD モード）		—	—	75	
			HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_1（DCDC モード）		—	—	100	
			HLQFP パッケージ、–40 °C ≦ Tj ≦ 125 °C（製品グループ C）、VSCR_2（DCDC モード）		—	—	75	
		VCC ≧ 1.62 V			—	—	60	
	EBCLK 端子出力	VCC ≧ 2.7 V			—	—	60	
		VCC ≧ 1.62 V			—	—	30	
	SDCLK 端子出力	VCC ≧ 3.0 V			—	—	133	

表 62.48 High-speed モードにおける動作周波数の値 (8/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	SCI クロック (SCICLK)		f	—	—	120	MHz
	SPI クロック (SPICLK)			—	—	333	
	Octal-SPI クロック (OCTACLK)			—	—	333	
	CANFD コアクロック (CANFDCLK)			—	—	80	
	ADC クロック (ADCCLK)			25	—	120	
	GPT クロック (GPTCLK)			—(注2)	—	300	
	USB クロック (USBCLK)			—	—	48	
	USB クロック (USB60CLK)			—	—	60	
	I3C クロック (I3CCLK)			—	—	200	
	非同期外部バスクロック (BCLKA)			—	—	133	
	EtherSW クロック (ESWCLK)	BGA パッケージ		—	—	250	
		HLQFP パッケージ		—	—	125	
	EtherSW-PHY クロック (ESWPHYCLK)			—	—	500	

注 1. CPUCLK0、CPUCLK1、ICLK、MRICLK、MRPCLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、BCLK 相互間の周波数関係については、「9. クロック発生回路」を参照してください。
注 2. A/D 変換クロックに GPTCLK を使用するときは、GPTCLK の周波数は 25 MHz 以上にしてください。

62.3.2 クロックタイミング

表 62.49 サブクロック発振器以外のクロックタイミング (1/3)

項目		シンボル	Min	Typ	Max	単位	測定条件
EBCLK 端子出力サイクル時間	VCC = 2.70 V 以上	t_{Bcyc}	16.6	—	—	ns	図 62.25
	VCC = 1.62 V 以上		33.3	—	—		
EBCLK 端子出力 High レベルパルス幅	VCC = 2.70 V 以上	t_{CH}	3.3	—	—	ns	
	VCC = 1.62 V 以上		9.6	—	—		
EBCLK 端子出力 Low レベルパルス幅	VCC = 2.70 V 以上	t_{CL}	3.3	—	—	ns	
	VCC = 1.62 V 以上		9.6	—	—		
EBCLK 端子出力立ち上がり時間	VCC = 2.70 V 以上	t_{Cr}	—	—	5.0	ns	
	VCC = 1.62 V 以上		—	—	7.0		
EBCLK 端子出力立ち下がり時間	VCC = 2.70 V 以上	t_{Cf}	—	—	5.0	ns	
	VCC = 1.62 V 以上		—	—	7.0		
SDCLK 端子出力サイクル時間		t_{SDcyc}	7.52	—	—	ns	
SDCLK 端子出力 High レベルパルス幅		t_{CH}	1.0	—	—	ns	
SDCLK 端子出力 Low レベルパルス幅		t_{CL}	1.0	—	—	ns	
SDCLK 端子出力立ち上がり時間		t_{Cr}	—	—	2.7	ns	
SDCLK 端子出力立ち下がり時間		t_{Cf}	—	—	2.7	ns	
EXTAL 外部クロック入力サイクル時間		t_{EXcyc}	20.80	—	—	ns	図 62.26
EXTAL 外部クロック入力 High レベルパルス幅		t_{EXH}	5.30	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅		t_{EXL}	5.30	—	—	ns	
EXTAL 外部クロック立ち上がり時間		t_{EXr}	—	—	3.0	ns	
EXTAL 外部クロック立ち下がり時間		t_{EXf}	—	—	3.0	ns	
メインクロック発振器周波数		f_{MAIN}	8	—	48	MHz	—

表 62.49　サブクロック発振器以外のクロックタイミング (2/3)

項目		シンボル	Min	Typ	Max	単位	測定条件
メインクロック発振安定待機時間（水晶）(注1)		$t_{MAINOSCWT}$	—	—	—(注1)	ms	図 62.27
LOCO クロック発振周波数		f_{LOCO}	29.4912	32.768	36.0448	kHz	—
LOCO クロック発振安定待機時間		t_{LOCOWT}	—	—	26.0	μs	図 62.28
MOCO クロック発振周波数		F_{MOCO}	7.2	8.0	8.8	MHz	—
MOCO クロック発振安定待機時間		t_{MOCOWT}	—	—	3.5	μs	—
HOCO クロック発振器発振周波数	FLL なし（標準製品）	f_{HOCO16}	15.776	16.000	16.224	MHz	–20 ≦ Tj ≦ 105 °C
		f_{HOCO18}	17.748	18.000	18.252		
		f_{HOCO20}	19.720	20.000	20.280		
		f_{HOCO32}	31.552	32.000	32.448		
		f_{HOCO48}	47.328	48.000	48.672		
		f_{HOCO16}	15.712	16.000	16.288		–40 ≦ Tj ≦ 125 °C
		f_{HOCO18}	17.676	18.000	18.324		
		f_{HOCO20}	19.640	20.000	20.360		
		f_{HOCO32}	31.424	32.000	32.576		
		f_{HOCO48}	47.136	48.000	48.864		
	FLL なし（SiP 製品）	f_{HOCO16}	15.744	16.000	16.256		–20 ≦ Tj ≦ 105 °C
		f_{HOCO18}	17.712	18.000	18.288		
		f_{HOCO20}	19.680	20.000	20.320		
		f_{HOCO32}	31.488	32.000	32.512		
		f_{HOCO48}	47.232	48.000	48.768		
		f_{HOCO16}	15.680	16.000	16.320		–40 ≦ Tj ≦ 125 °C
		f_{HOCO18}	17.640	18.000	18.360		
		f_{HOCO20}	19.600	20.000	20.400		
		f_{HOCO32}	31.360	32.000	32.640		
		f_{HOCO48}	47.040	48.000	48.960		
	FLL あり	f_{HOCO16}	15.960	16.000	16.040		–40 ≦ Tj ≦ 125 °C サブクロック周波数精度は、±50 ppm です。
		f_{HOCO18}	17.955	18.000	18.045		
		f_{HOCO20}	19.950	20.000	20.050		
		f_{HOCO32}	31.920	32.000	32.080		
		f_{HOCO48}	47.880	48.000	48.120		
HOCO クロック発振安定待機時間(注2)		t_{HOCOWT}	—	—	15.0	μs	—
HOCO 停止幅時間		$t_{HOCOSTP}$	1	—	—	μs	図 62.31
HOCO ピリオドジッタ		—	-3	—	3	ps	—
FLL 安定待機時間（標準製品）		t_{FLLWT}	—	—	1.92	ms	—
FLL 安定待機時間（SiP 製品）		t_{FLLWT}	—	—	2.15	ms	—
PLL1/PLL2 クロック周波数		f_{PLL}	60	—	1200	MHz	—
PLL1/PLL2 クロック発振安定待機時間		t_{PLLWT}	—	—	50	μs	図 62.29
PLL1/PLL2 ピリオドジッタ		—	—	±52	—	ps	—

表 62.49　サブクロック発振器以外のクロックタイミング (3/3)

項目	シンボル	Min	Typ	Max	単位	測定条件
PLL1/PLL2 ロングタームジッタ	—	—	±300	—	ps	期間：1 μs、10 μs

注 1.　メインクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。
注 2.　リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

表 62.50　サブクロック発振器のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック周波数	f_{SUB}	—	32.768	—	kHz	—
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	—	—	— (注1)	s	図 62.30

注 1.　サブクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。
サブクロック動作を開始するために SOSCCR.SOSTP ビット設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。示された時間の 2 倍を推奨します。

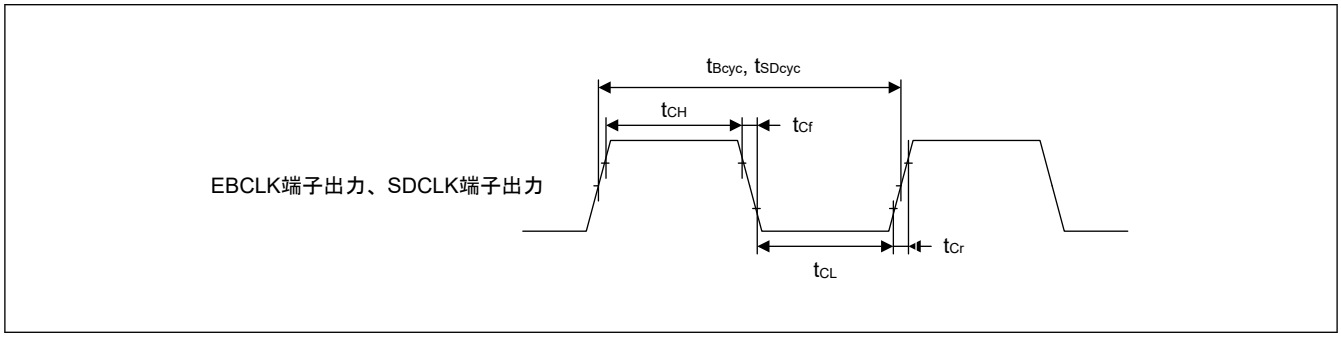


図 62.25　EBCLK および SDCLK の出力タイミング

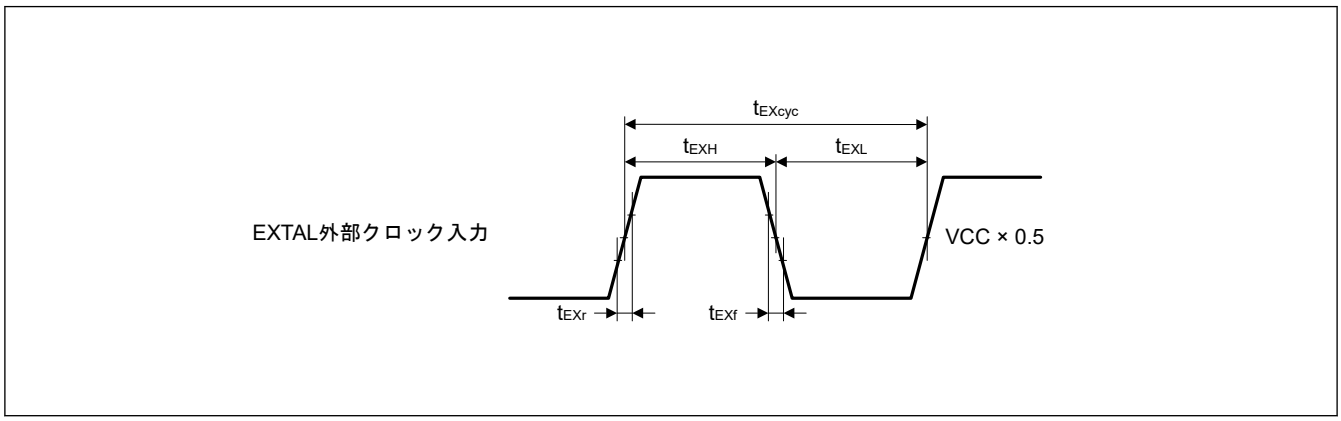


図 62.26　EXTAL 外部クロック入力タイミング

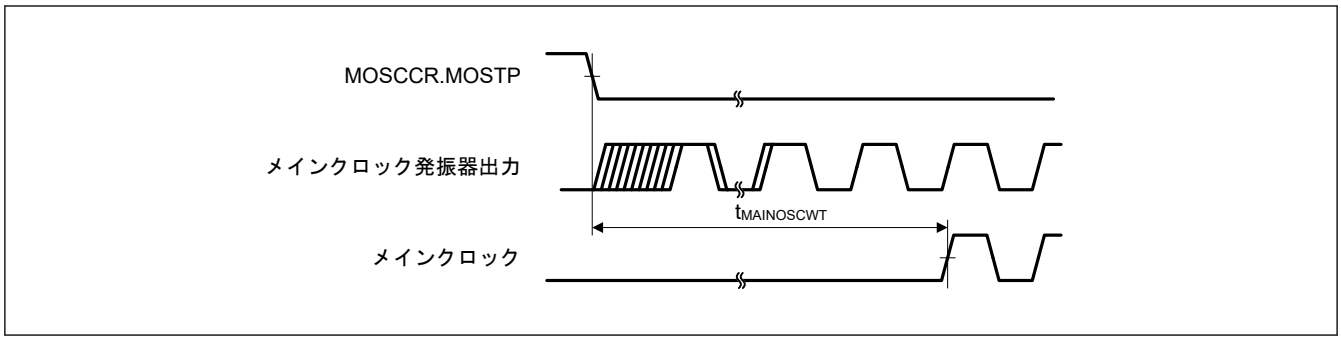


図 62.27　メインクロック発振開始タイミング

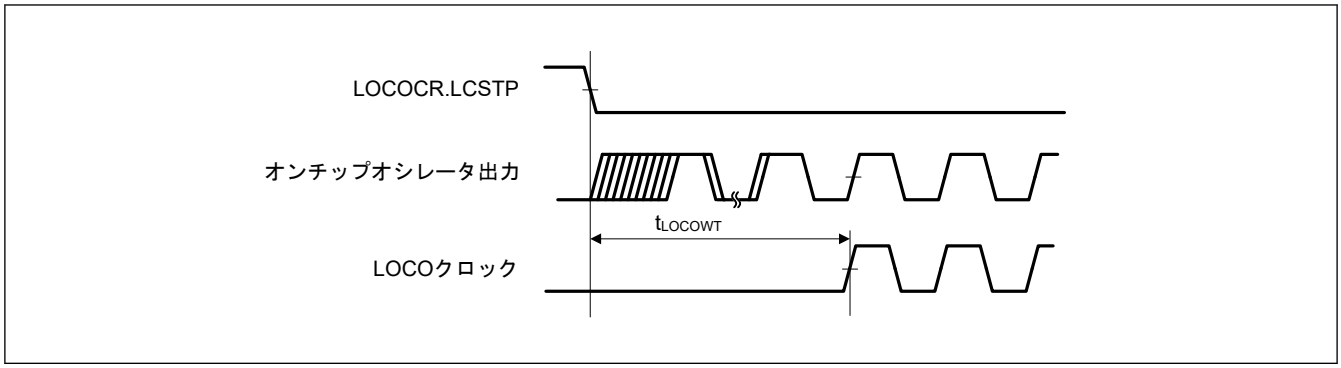
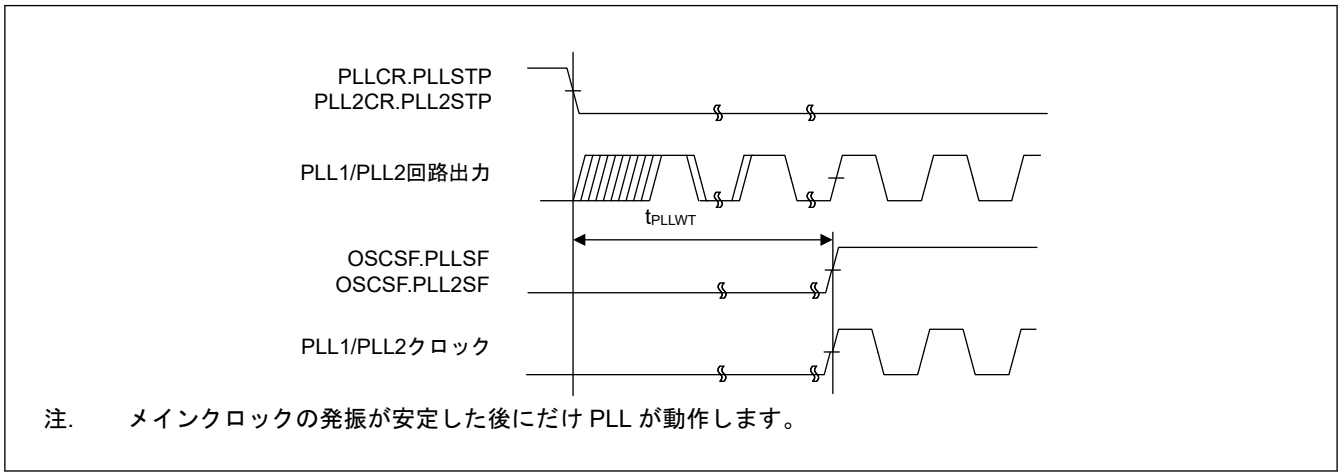


図 62.28　LOCO クロック発振開始タイミング



注.　メインクロックの発振が安定した後にだけ PLL が動作します。

図 62.29　PLL1/PLL2 クロック発振開始タイミング

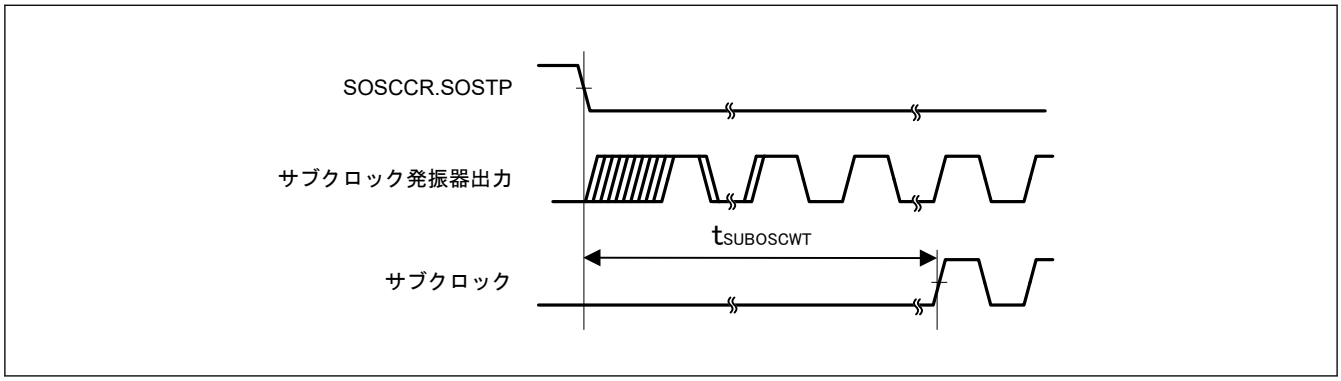


図 62.30　サブクロック発振開始タイミング

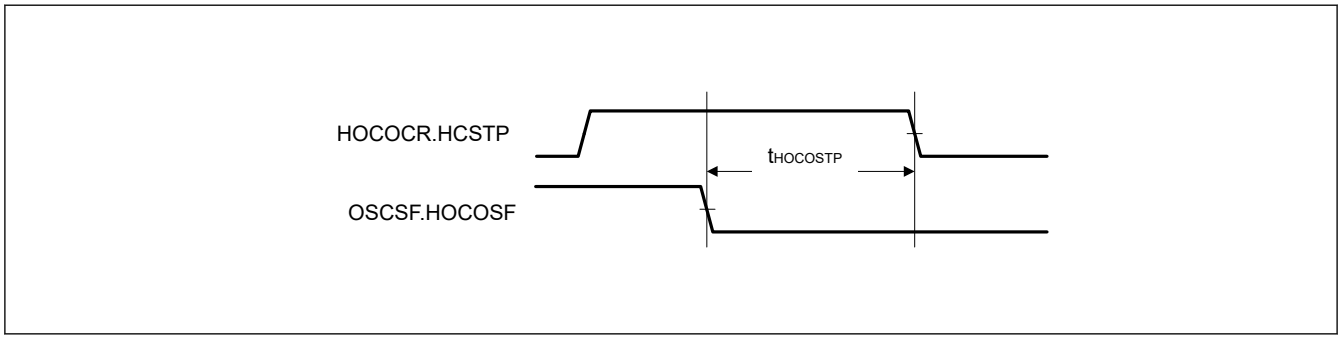


図 62.31　HOCO 停止幅時間

62.3.3 リセットタイミング

表 62.51 リセットタイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	パワーオン	—	t_{RESWP}	2.4	—	—	ms	図 62.32
	ディープソフトウェアスタンバイモード 1	DPSBYCR.DCSSMODE = 01	t_{RESWD}	0.51	—	—	ms	図 62.33
		DPSBYCR.DCSSMODE = 10		0.67	—	—		
		DPSBYCR.DCSSMODE = 11		1.00	—	—		
	ディープソフトウェアスタンバイモード 2	DPSBYCR.DCSSMODE = 01		0.51	—	—		
		DPSBYCR.DCSSMODE = 10		0.67	—	—		
		DPSBYCR.DCSSMODE = 11		1.00	—	—		
	ディープソフトウェアスタンバイモード 3	DPSBYCR.DCSSMODE = 01		0.68	—	—		
		DPSBYCR.DCSSMODE = 10		0.84	—	—		
		DPSBYCR.DCSSMODE = 11		1.20	—	—		
	ソフトウェアスタンバイモード		t_{RESWS}	0.55	—	—	ms	
	CPU ディープスリープモード（Subosc 動作）		$t_{RESWSODS}$	0.16	—	—	ms	
	CPU ディープスリープモード（SOSC 動作以外）		t_{RESWDS}	0.04	—	—	ms	
	SOSC 動作	PGSCR.PGS = 1	t_{RESWSO}	0.27	—	—	ms	
		PGSCR.PGS = 0		0.30	—	—		
	上記以外	PGSCR.PGS = 1	t_{RESW}	0.15	—	—	ms	
		PGSCR.PGS = 0		0.18	—	—		
RES 解除後の待機時間			t_{RESWT}	—	78.7	79.1	μs	図 62.32
内部リセット（IWDT リセット、WDT0/1 リセット、CPU0/1 ロックアップリセット、バスエラーリセット、共通メモリエラーリセット、ソフトウェアリセット、ローカルメモリ 0/1 エラーリセット、温度監視リセット）解除後の待機時間			t_{RESW2}	—	78.7	79.1	μs	—

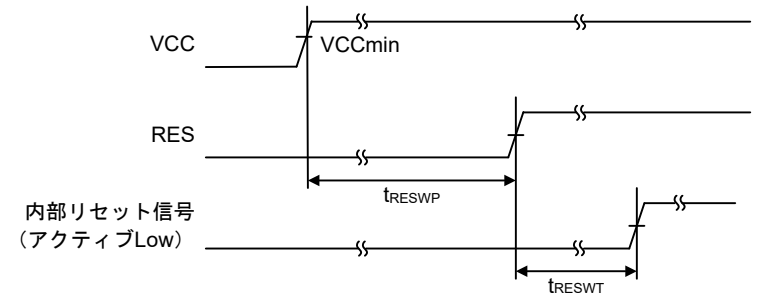


図 62.32 VCC が V_{POR} 電圧しきい値を超える条件下での RES 端子入力タイミング

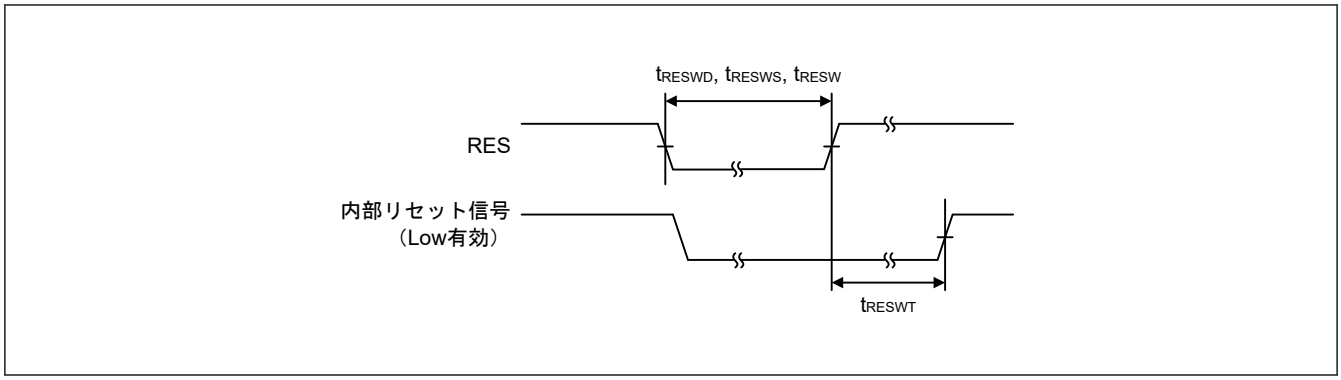


図 62.33　リセット入力タイミング

62.3.4　ウェイクアップタイミング

表 62.52　低消費電力モードからの復帰タイミング (1/3)

項目		高速復帰機能 (注9)	シンボル	Min	Typ	Max	単位	測定条件
CPU ディープスリープモードからの復帰時間	CPU0 ディープスリープモード	—	t_{DSLP} (注11)	—	6.14	9.45	μs	—
	CPU1 ディープスリープモード	—		—	7.71	15.66	μs	

表 62.52　低消費電力モードからの復帰タイミング (2/3)

項目			高速復帰機能 (注9)	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注12)	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器(注1) MOSCSCR.MOSCSOKP = 0	有効	t_{SBYMC}(注10)	—	2.09	2.14	ms	図 62.34 全発振器の分周比は 1 です。
		システムクロックソースはメインクロック発振器(注1) MOSCSCR.MOSCSOKP = 1	有効		—	44.9	94.6	µs	
		システムクロックソースはメインクロック発振器を使用した PLL1P(注2) MOSCSCR.MOSCSOKP = 0	有効	t_{SBYPC}(注10)	—	2.21	2.27	ms	
		システムクロックソースはメインクロック発振器を使用した PLL1P(注2) MOSCSCR.MOSCSOKP = 1	有効		—	135	197	µs	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器(注3)	有効	t_{SBYEX}(注10)	—	44.9	94.6	µs	
		システムクロックソースはメインクロック発振器を使用した PLL1P(注4)	有効	t_{SBYPE}(注10)	—	135	197		
	システムクロックソースはサブクロック発振器(注5)		有効	t_{SBYSC}(注10)	—	480	481	µs	
	システムクロックソースは HOCO クロック発振器(注6)		有効	t_{SBYHO}(注10)	—	46.3	96.0	µs	
	システムクロックソースは HOCO を使用した PLL1P(注7)		有効	t_{SBYPH}(注10)	—	146	208	µs	
	システムクロックソースは MOCO クロック発振器(注8)		有効	t_{SBYMO}(注10)	—	44.6	87.5	µs	

表 62.52　低消費電力モードからの復帰タイミング (3/3)

項目			高速復帰機能 (注9)	シンボル	Min	Typ	Max	単位	測定条件
ディープソフトウェアスタンバイモードからの復帰時間	ディープソフトウェアスタンバイモード 1	DPSBYCR.DCSSMODE[1:0] = 01	—	t_{DSBY}	—	296	346	μs	図 62.35
		DPSBYCR.DCSSMODE[1:0] = 10	—		—	456	506	μs	
		DPSBYCR.DCSSMODE[1:0] = 11	—		—	776	826	μs	
	ディープソフトウェアスタンバイモード 2	DPSBYCR.DCSSMODE[1:0] = 01	—		—	296	346	μs	
		DPSBYCR.DCSSMODE[1:0] = 10	—		—	456	506	μs	
		DPSBYCR.DCSSMODE[1:0] = 11	—		—	776	826	μs	
	ディープソフトウェアスタンバイモード 3	DPSBYCR.DCSSMODE[1:0] = 01	—		—	483	604	μs	
		DPSBYCR.DCSSMODE[1:0] = 10	—		—	643	764	μs	
		DPSBYCR.DCSSMODE[1:0] = 11	—		—	963	1084	μs	
ディープソフトウェアスタンバイモード解除後待機時間			—	t_{DSBYWT}	22.2	—	33.6	μs	

注 1.　水晶の周波数が 48 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 2.　PLL1P の周波数が 1 GHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最も大きな値が 16 の場合
注 3.　外部クロックの周波数が 48 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 4.　PLL1P の周波数が 1 GHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最も大きな値が 16 の場合
注 5.　サブクロック発振器の周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 6.　HOCO 周波数が 20 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 7.　PLL 周波数が 1 GHz で、かつ内部クロックの分周設定のうち最も大きな値が 16 の場合
注 8.　MOCO 周波数が 8 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 9.　詳細は、「11. 低消費電力モード」の SSCR1.SS2FR ビットを参照してください。
注 10.　復帰時間は次の式により計算できます： t_{Common} + max(t_{OSCSTB}, t_{PG1}, t_{PGCK}) + max(t_{PG2}, t_{LPW})。式の各変数は下表の値および式により求めることができます。表中の変数 n については、内部クロック (CPUCLK0, CPUCLK1, NPUCLK, ICLK, MRICLK, MRPCLK, PCLKm, FCLK, BCLK, EBCLK) の分周設定 (m = A～E) のうち最も大きな値が選択されます。
下表の t_{OSCSTB} は、各発振器が有効になっている時間を意味します。複数の発振器が有効になっているときの t_{OSCSTB} は、有効になっている発振器のうちで最長の t_{OSCSTB} となります。
注 11.　ICLK 周波数は 250 MHz です。この復帰時間は t_{PG2} に対応します。
注 12.　Ccyc が 27 の場合。表 62.54 を参照してください。

表 62.53　復帰時間を構成する要素

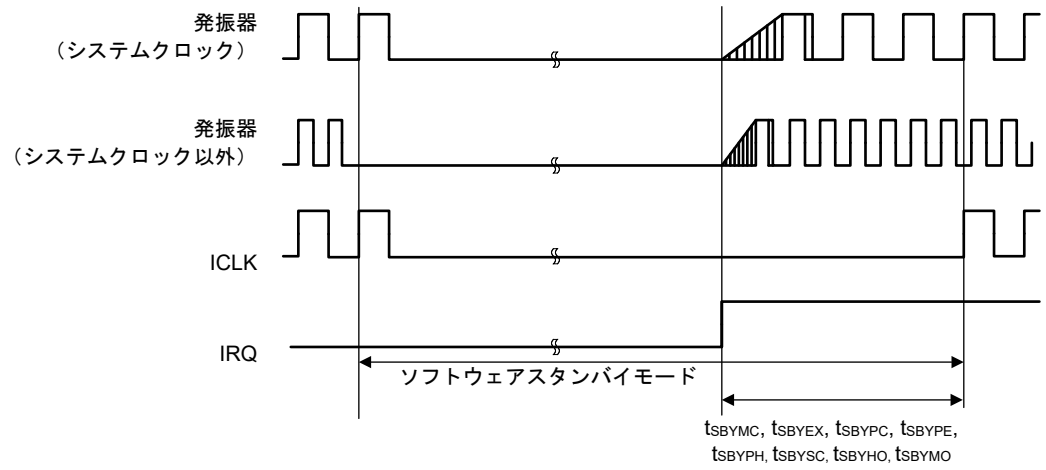
モード	ウェイクアップ時間	発振保持	高速復帰機能	Typ						Max						単位
				t_{Common}	t_{OSCSTB} (注1)	t_{PG1}	t_{PGCK}	t_{PG2}	t_{LPW}	t_{Common}	t_{OSCSTB} (注1)	t_{PG1}	t_{PGCK}	t_{PG2}	t_{LPW}	
ソフトウェアスタンバイモード	t_{SBYMC}	MOSC 無効	有効	Ccyc (注2)/ f_{MOCO} + 2/f_{ICLK}	$t_{MAINOSCWT}$	t_{OSCSTB}/ f_{MOCO} + 208/ f_{MOCO} + 11.6	(10.5 + 2.5n)/ f_{MOCO} + 2.5/ f_{SRCCLK} + 2/ f_{ICLK}	18/ f_{MOCO} + 9/ f_{ICLK}	2/f_{ICLK} + 2n/ f_{MOSC} + 2/ f_{ICLK}	Ccyc (注2)/ f_{MOCO} + 2/f_{ICLK}	$t_{MAINOSCWT}$ + 11/0.236	t_{OSCSTB}/ f_{MOCO} + 208/ f_{MOCO} + 51.0	(10.5 + 2.5n)/ f_{MOCO} + 2.5/ f_{SRCCLK} + 2/ f_{ICLK}	18/ f_{MOCO} + 9/ f_{ICLK}	2/f_{ICLK} + 2n/ f_{MOSC} + 2/ f_{ICLK}	μs
		MOSC 有効	有効		3/0.262						14/0.236					μs
	t_{SBYPC}	MOSC 無効	有効		$t_{MAINOSCWT}$ +31/0.262				2/f_{ICLK} + 2n/ f_{PLL} + 2/f_{ICLK}		$t_{MAINOSCWT}$ + 42/0.236				2/f_{ICLK} + 2n/ f_{PLL} + 2/f_{ICLK}	μs
		MOSC 有効	有効		34/0.262						(14 + 31)/ 0.236					μs
	t_{SBYEX}	—	有効		3/0.262				2/f_{ICLK} + 2n/ f_{MOSC} + 2/ f_{ICLK}		14/0.236				2/f_{ICLK} + 2n/ f_{MOSC} + 2/ f_{ICLK}	μs
	t_{SBYPE}	—	有効		34/0.262				2/f_{ICLK} + 2n/ f_{PLL} + 2/f_{ICLK}		45/0.236				2/f_{ICLK} + 2n/ f_{PLL} + 2/f_{ICLK}	μs
	t_{SBYSC}	—	有効		0				2/f_{ICLK} + 2n/ f_{SOSC} + 2/ f_{ICLK}		0				2/f_{ICLK} + 2n/ f_{SOSC} + 2/ f_{ICLK}	μs
	t_{SBYHO}	—	有効		20				2/f_{ICLK} + 2n/ f_{HOCO} + 2/ f_{ICLK}		67				2/f_{ICLK} + 2n/ f_{HOCO} + 2/ f_{ICLK}	μs
	t_{SBYPH}	—	有効		140				2/f_{ICLK} + 2n/ f_{PLL} + 2/f_{ICLK}		202				2/f_{ICLK} + 2n/ f_{PLL} + 2/f_{ICLK}	μs
	t_{SBYMO}	—	有効		0				2/f_{ICLK} + 2n/ f_{MOCO} + 2/ f_{ICLK}		0				2/f_{ICLK} + 2n/ f_{MOCO} + 2/ f_{ICLK}	μs

注.　周波数の単位は MHz
注 1.　複数の発振器が動作している場合、この列の動作発振器の最大値が適用されます。
注 2.　Ccyc については、表 62.54 を参照してください。

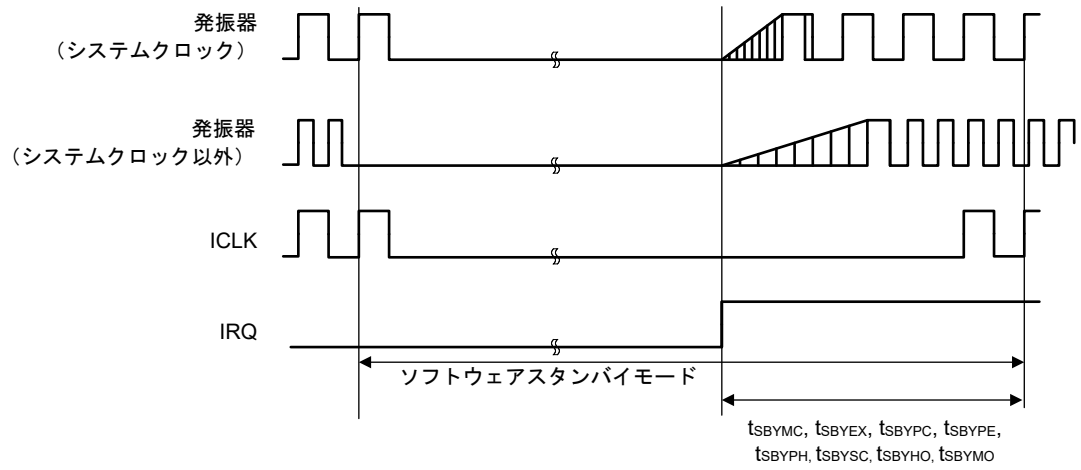
表 62.54 Ccyc 値

SSCR1.SS2LP [1:0]	VSCR.VSCM[2:0]	SVSCR.SVSCM [2:0]	{PLL1LDOCR.LDOSTP, PLL2LDOCR.LDOSTP, PLL1LDOCR.SKEEP, PLL2LDOCR.SKEEP}	{HOCOLDOCR.LDOSTP, HOCOLDOCR.SKEEP}	Ccyc	単位
00: SS2LP_0	001: VSCR_1	001: SVSCR_1	{1, 1, x, x}または {x, x, 1, 1}	{0, 0}	56	サイクル
				上記以外	27	サイクル
			上記以外	Don't care	237	サイクル
		010: SVSCR_2	Don't care	Don't care	379	サイクル
		011: SVSCR_3	Don't care	Don't care	591	サイクル
		100: SVSCR_4	Don't care	Don't care	696	サイクル
		101: SVSCR_5	Don't care	Don't care	802	サイクル
	010: VSCR_2	001: SVSCR_1	Don't care	Don't care	379	サイクル
		010: SVSCR_2	{1, 1, x, x}または {x, x, 1, 1}	{0, 0}	56	サイクル
				上記以外	27	サイクル
			上記以外	Don't care	237	サイクル
		011: SVSCR_3	Don't care	Don't care	538	サイクル
		100: SVSCR_4	Don't care	Don't care	643	サイクル
		101: SVSCR_5	Don't care	Don't care	749	サイクル
01: SS2LP_1	001: VSCR_1	010: SVSCR_2	Don't care	Don't care	514	サイクル
		011: SVSCR_3	Don't care	Don't care	726	サイクル
		100: SVSCR_4	Don't care	Don't care	831	サイクル
		101: SVSCR_5	Don't care	Don't care	937	サイクル
	010: VSCR_2	010: SVSCR_2	{1, 1, x, x}または {x, x, 1, 1}	Don't care	162	サイクル
			上記以外	Don't care	327	サイクル
		011: SVSCR_3	Don't care	Don't care	673	サイクル
		100: SVSCR_4	Don't care	Don't care	778	サイクル
		101: SVSCR_5	Don't care	Don't care	884	サイクル

注. x: Don't care



システムクロックの発振安定待機時間が長い場合



システムクロック以外の発振安定待機時間が長い場合

図 62.34　ソフトウェアスタンバイモード解除タイミング

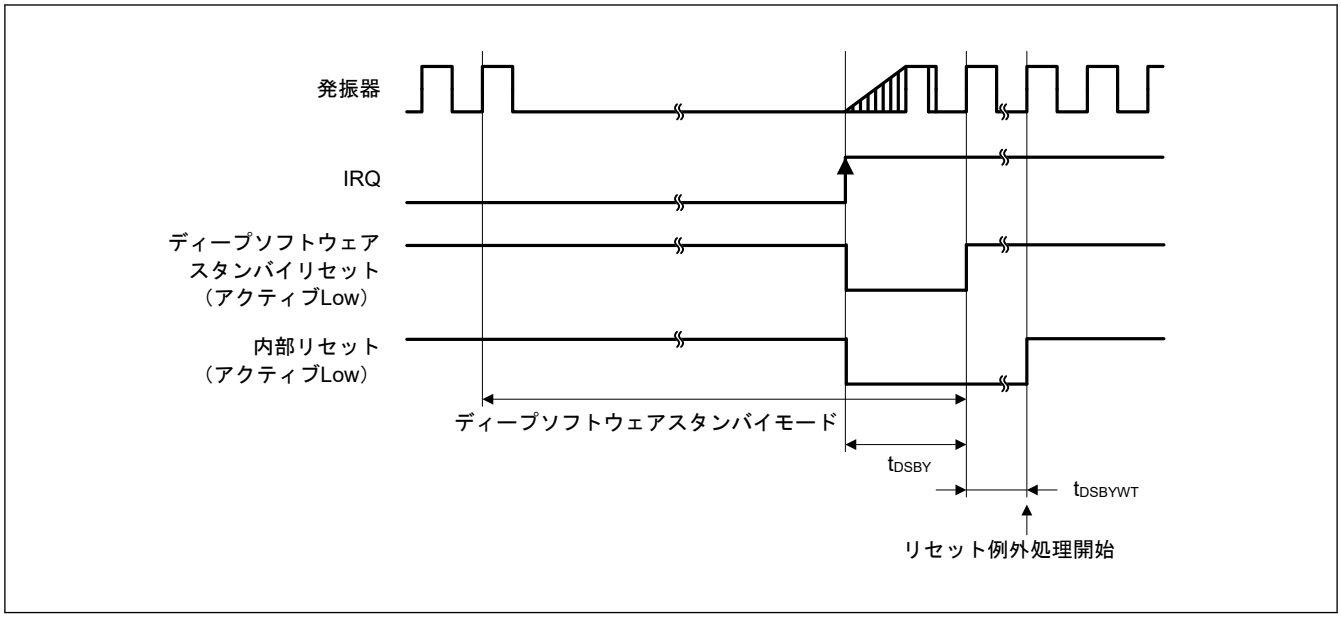


図 62.35　ディープソフトウェアスタンバイモード解除タイミング

62.3.5　NMI/IRQ ノイズフィルタ

表 62.55　NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	t_{Pcyc} × 2 ≦ 200 ns
		t_{Pcyc} × 2(注1)	—	—			t_{Pcyc} × 2 > 200 ns
		200	—	—		NMI デジタルフィルタ有効	t_{NMICK} × 3 ≦ 200 ns
		t_{NMICK} × 3.5(注2)	—	—			t_{NMICK} × 3 > 200 ns
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	t_{Pcyc} × 2 ≦ 200 ns
		t_{Pcyc} × 2(注1)	—	—			t_{Pcyc} × 2 > 200 ns
		200	—	—		IRQ デジタルフィルタ有効	t_{IRQCK} × 3 ≦ 200 ns
		t_{IRQCK} × 3.5(注3)	—	—			t_{IRQCK} × 3 > 200 ns

注.　ソフトウェアスタンバイモード時は最小 200 ns です。
注.　システムクロックソースを切り替える場合、切り替えるクロックソースの 4 クロックサイクルを足します。
注 1.　t_{Pcyc} は PCLKB の周期を示します。
注 2.　t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を示します。
注 3.　t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します。

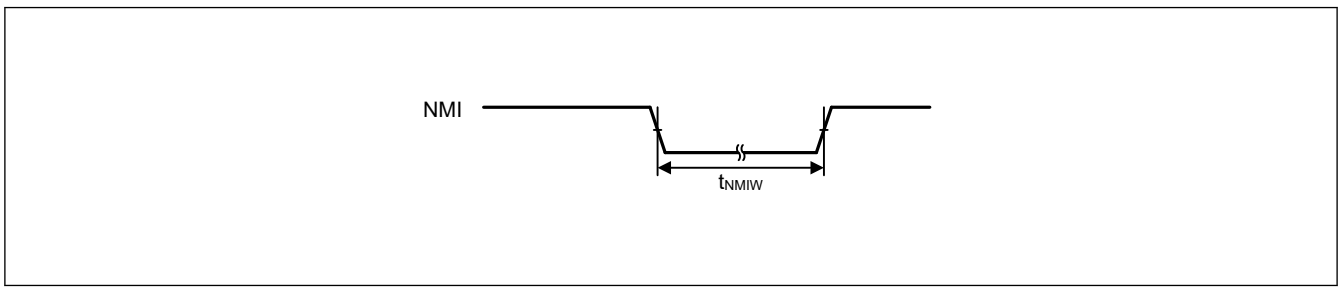


図 62.36　NMI 割り込み入力タイミング

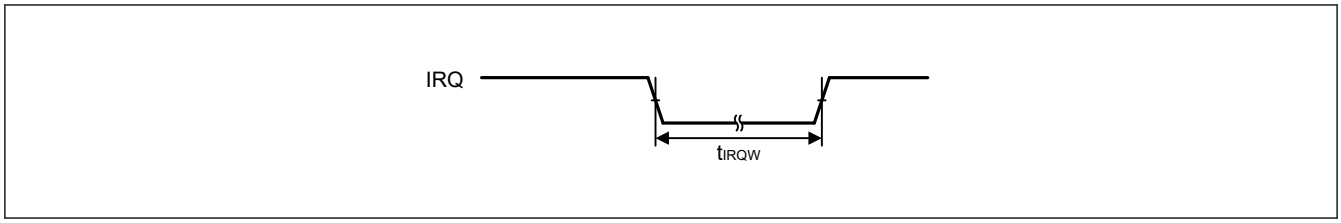


図 62.37　IRQ 割り込み入力タイミング

62.3.6 バスタイミング

表 62.56 バスタイミング (1/3)

条件 1：CS 領域コントローラ (CSC) 使用時
VCC = VCC_DCDC = VBATT = 1.62 V～3.6 V, VCC2 = 1.62 V～3.63 V
BCLK = 8～120 MHz, BCLKA = 8～120 MHz, EBCLK = 8～60 MHz（VCC = VCC_USB = VBATT = 2.70～3.63 V の場合）
BCLK = BCLKA = 8～60 MHz, EBCLK = 8～30 MHz（VCC = VCC_USB = VBATT = 1.62～3.63 V の場合）
出力負荷条件： VOH = VCC × 0.5, VOL = VCC × 0.5, C = 30 pF
EBCLK：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
その他：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

条件 2：SDRAM 領域コントローラ (SDRAMC) 使用時
BCLK = SDCLK = 8～125 MHz, BCLKA = SDCLK = 8～133 MHz
VCC = VCC_DCDC = VBATT = 3.0～3.63 V, VCC2 = 1.62 V～3.63 V
出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15 pF
SDCLK：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。
その他：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

条件 3：SDRAM 領域コントローラ (SDRAMC) および CS 領域コントローラ (CSC) 同時使用時
BCLK = SDCLK = 8～66 MHz, BCLKA = SDCLK = 8～66 MHz
VCC = VCC_DCDC = VBATT = 3.0～3.63 V, VCC2 = 1.62 V～3.63V
出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15 pF
EBCLK/SDCLK：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
その他：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	条件	VCC/VCC2	シンボル	Min	Max	単位	測定条件
アドレス遅延時間	条件 1	2.70 V 以上	t_{AD}	1.0	12.5	ns	図 62.38～図 62.44
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
バイトコントロール遅延時間	条件 1	2.70 V 以上	t_{BCD}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
CS 遅延時間	条件 1	2.70 V 以上	t_{CSD}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
ALE 遅延時間	条件 1	2.70 V 以上	t_{ALED}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
RD 遅延時間	条件 1	2.70 V 以上	t_{RSD}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
リードデータセットアップ時間	条件 1	2.70 V 以上	t_{RDS}	12.5	—	ns	
		1.62 V 以上		20.5	—	ns	
	条件 3	3.0 V 以上		10.8	—	ns	
リードデータホールド時間	条件 1	2.70 V 以上	t_{RDH}	0	—	ns	
		1.62 V 以上		0	—	ns	
	条件 3	3.0 V 以上		0	—	ns	
WR/WRn 遅延時間	条件 1	2.70 V 以上	t_{WRD}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
ライトデータ遅延時間	条件 1	2.70 V 以上	t_{WDD}	—	12.5	ns	
		1.62 V 以上		—	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	

表 62.56　バスタイミング (2/3)

条件 1：CS 領域コントローラ (CSC) 使用時
VCC = VCC_DCDC = VBATT = 1.62 V～3.6 V, VCC2 = 1.62 V～3.63 V
BCLK = 8～120 MHz, BCLKA = 8～120 MHz, EBCLK = 8～60 MHz（VCC = VCC_USB = VBATT = 2.70～3.63 V の場合）
BCLK = BCLKA = 8～60 MHz, EBCLK = 8～30 MHz（VCC = VCC_USB = VBATT = 1.62～3.63 V の場合）
出力負荷条件： VOH = VCC × 0.5, VOL = VCC × 0.5, C = 30 pF
EBCLK：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
その他：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

条件 2：SDRAM 領域コントローラ (SDRAMC) 使用時
BCLK = SDCLK = 8～125 MHz, BCLKA = SDCLK = 8～133 MHz
VCC = VCC_DCDC = VBATT = 3.0～3.63 V, VCC2 = 1.62 V～3.63 V
出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15 pF
SDCLK：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。
その他：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

条件 3：SDRAM 領域コントローラ (SDRAMC) および CS 領域コントローラ (CSC) 同時使用時
BCLK = SDCLK = 8～66 MHz, BCLKA = SDCLK = 8～66 MHz
VCC = VCC_DCDC = VBATT = 3.0～3.63 V, VCC2 = 1.62 V～3.63V
出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15 pF
EBCLK/SDCLK：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
その他：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	条件	VCC/VCC2	シンボル	Min	Max	単位	測定条件
ライトデータホールド時間	条件 1	2.70 V 以上	t_{WDH}	1.0	—	ns	図 62.38～図 62.44
		1.62 V 以上		1.0	—	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
WAIT セットアップ時間	条件 1	2.70 V 以上	t_{WTS}	12.5	—	ns	
		1.62 V 以上		20.5	—	ns	
	条件 3	3.0 V 以上		10.8	—	ns	
WAIT ホールド時間	条件 1	2.70 V 以上	t_{WTH}	0	—	ns	
		1.62 V 以上		0	—	ns	
	条件 3	3.0 V 以上		0	—	ns	

表 62.56　バスタイミング (3/3)

条件 1：CS 領域コントローラ (CSC) 使用時
VCC = VCC_DCDC = VBATT = 1.62 V～3.6 V, VCC2 = 1.62 V～3.63 V
BCLK = 8～120 MHz, BCLKA = 8～120 MHz, EBCLK = 8～60 MHz（VCC = VCC_USB = VBATT = 2.70～3.63 V の場合）
BCLK = BCLKA = 8～60 MHz, EBCLK = 8～30 MHz（VCC = VCC_USB = VBATT = 1.62～3.63 V の場合）
出力負荷条件： VOH = VCC × 0.5, VOL = VCC × 0.5, C = 30 pF
EBCLK：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
その他：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

条件 2：SDRAM 領域コントローラ (SDRAMC) 使用時
BCLK = SDCLK = 8～125 MHz, BCLKA = SDCLK = 8～133 MHz
VCC = VCC_DCDC = VBATT = 3.0～3.63 V, VCC2 = 1.62 V～3.63 V
出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15 pF
SDCLK：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。
その他：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

条件 3：SDRAM 領域コントローラ (SDRAMC) および CS 領域コントローラ (CSC) 同時使用時
BCLK = SDCLK = 8～66 MHz, BCLKA = SDCLK = 8～66 MHz
VCC = VCC_DCDC = VBATT = 3.0～3.63 V, VCC2 = 1.62 V～3.63V
出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15 pF
EBCLK/SDCLK：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
その他：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	条件	VCC/VCC2	シンボル	Min	Max	単位	測定条件
アドレス遅延 2 (SDRAM)	条件 2	3.0 V 以上	t_{AD2}	0.8	6.0	ns	図 62.45～図 62.51
	条件 3	3.0 V 以上		0.8	10		
CS 遅延 2 (SDRAM)	条件 2	3.0 V 以上	t_{CSD2}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
DQM 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{DQMD}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
CKE 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{CKED}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
リードデータセットアップ時間 2 (SDRAM)	条件 2	3.0 V 以上	t_{RDS2}	2.1	—	ns	
	条件 3	3.0 V 以上		6.1	—		
リードデータホールド時間 2 (SDRAM)	条件 2	3.0 V 以上	t_{RDH2}	1.5	—	ns	
	条件 3	3.0 V 以上		1.5	—		
ライトデータ遅延 2 (SDRAM)	条件 2	3.0 V 以上	t_{WDD2}	—	6.0	ns	
	条件 3	3.0 V 以上		—	10		
ライトデータホールド時間 2 (SDRAM)	条件 2	3.0 V 以上	t_{WDH2}	0.8	—	ns	
	条件 3	3.0 V 以上		0.8	—		
WE 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{WED}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
RAS 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{RASD}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
CAS 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{CASD}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		

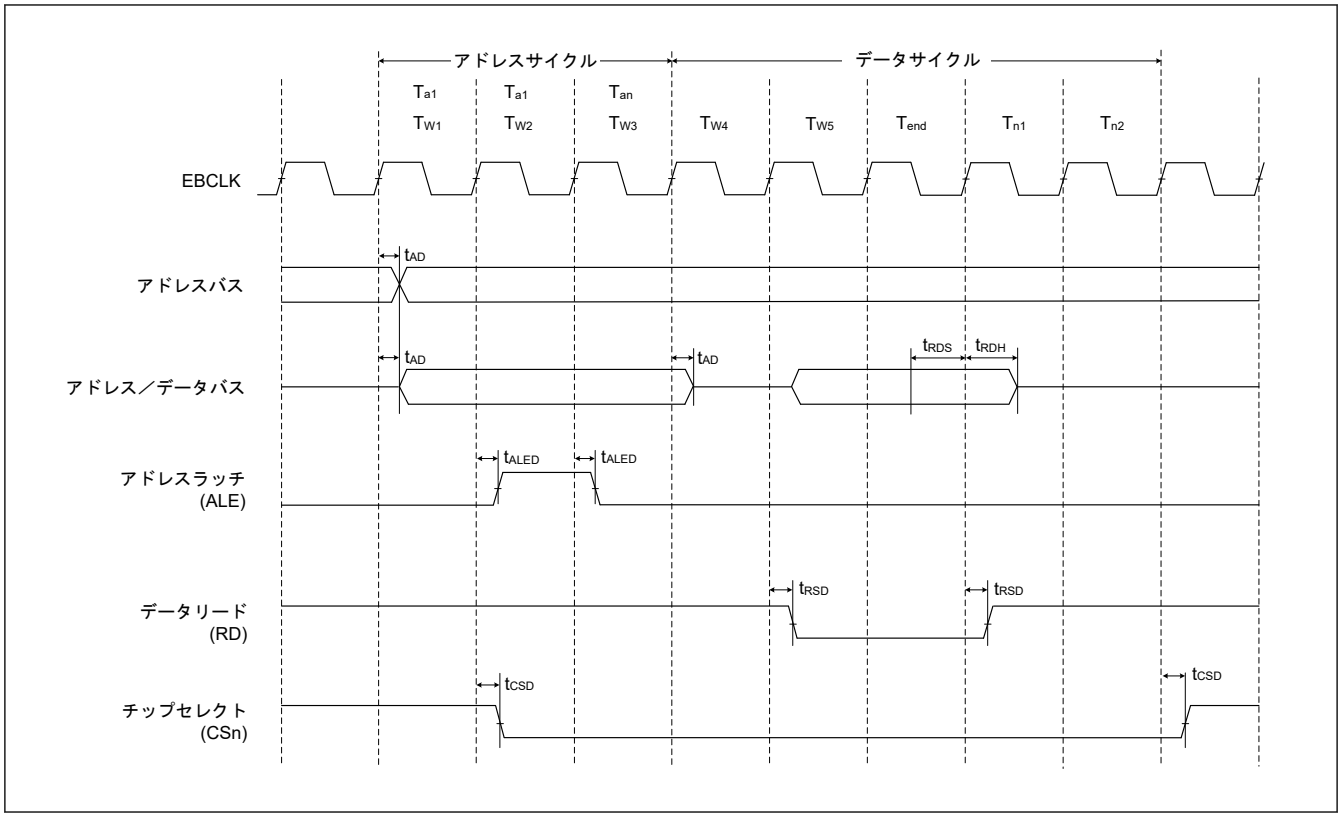


図 62.38　アドレス／データマルチプレクスバスのリードアクセスタイミング

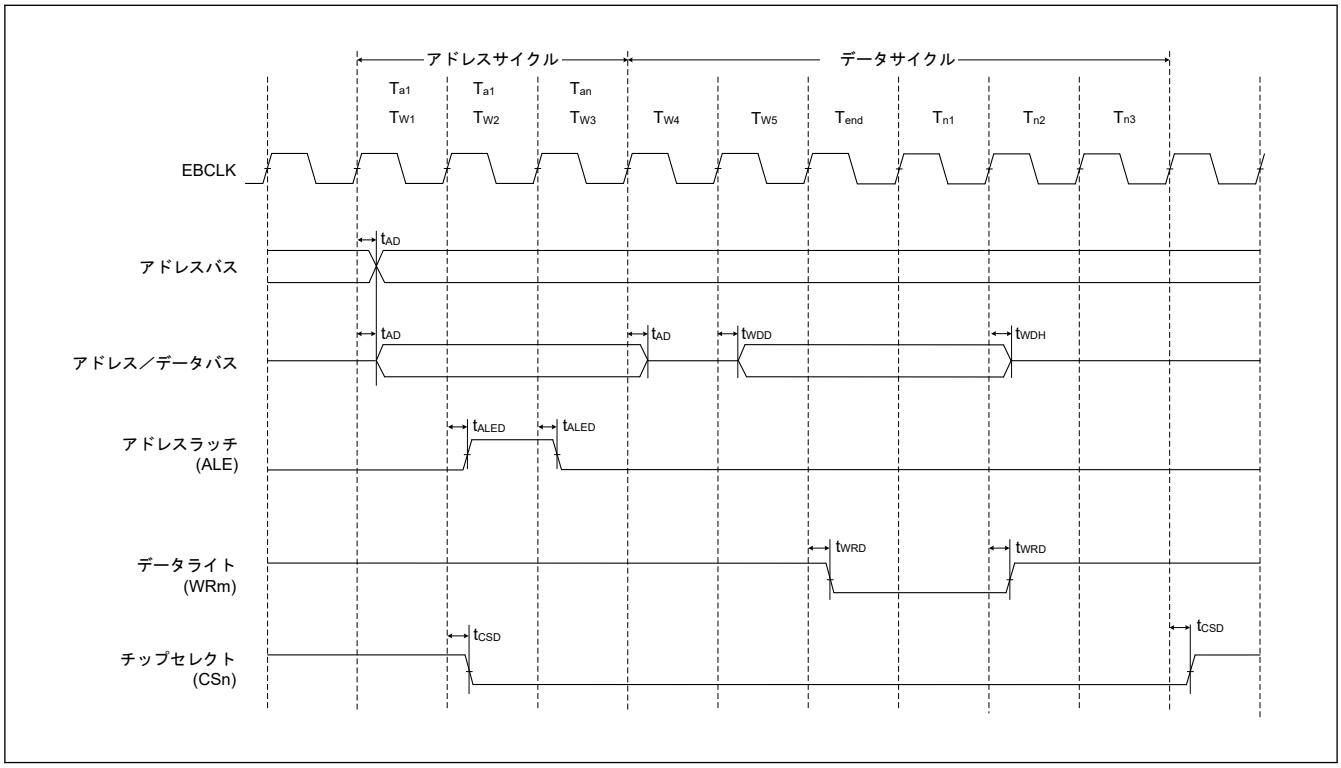


図 62.39　アドレス／データマルチプレクスバスのライトアクセスタイミング

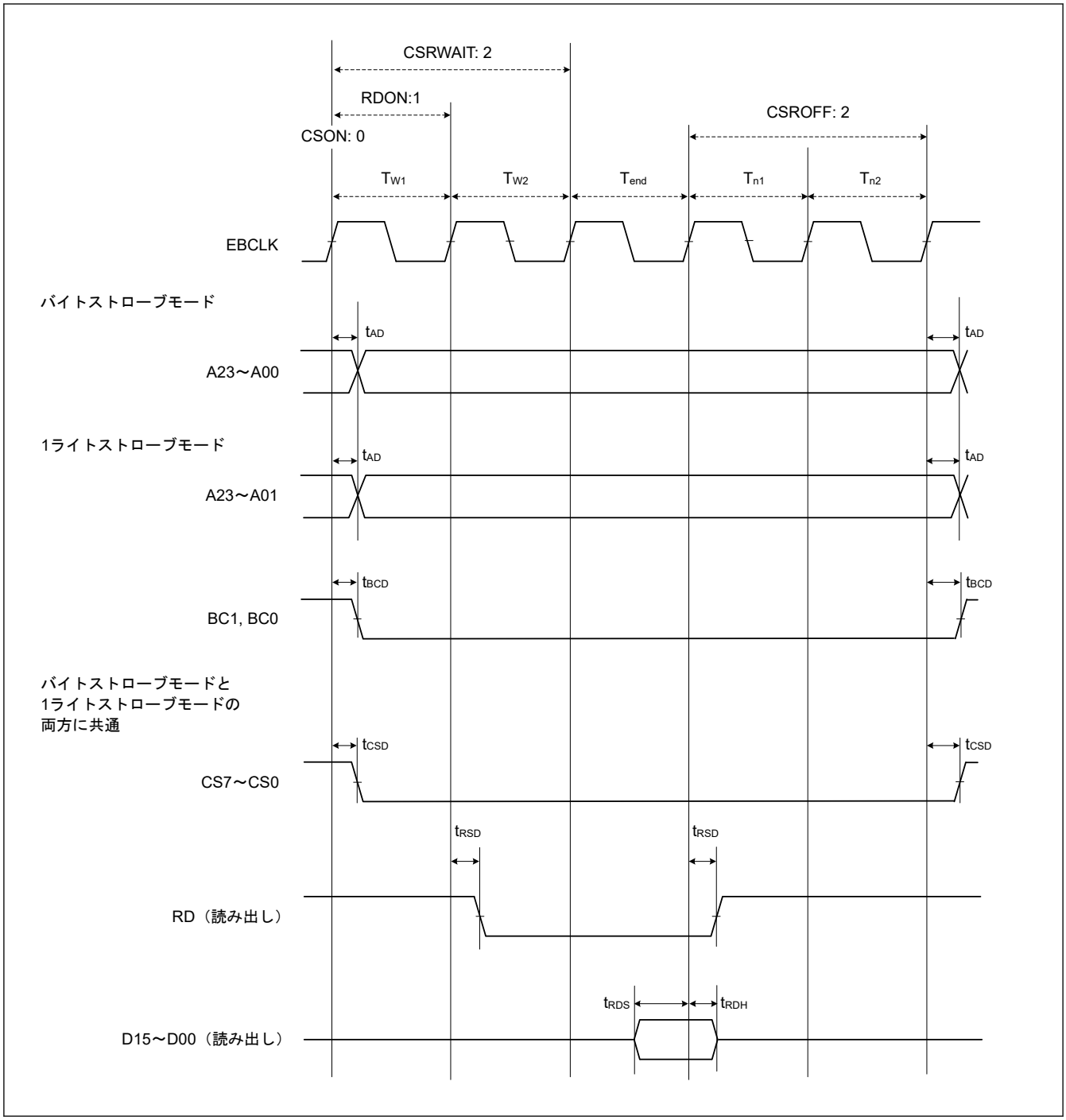
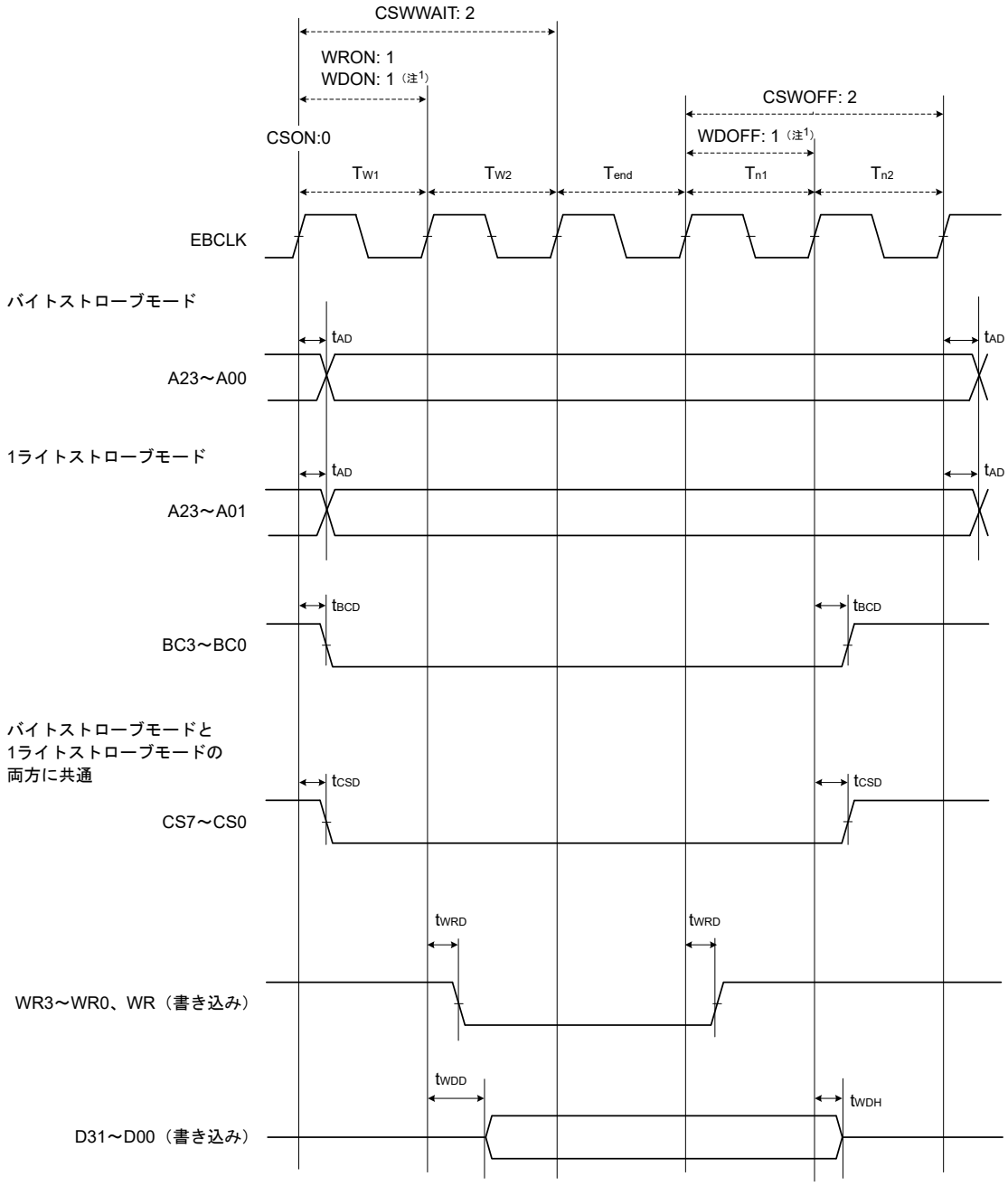


図 62.40　バスクロック同期を使用したノーマルリードサイクルの外部バスタイミング



注 1. WDON と WDOFF は、常に 1 EBCLK サイクル以上に指定してください。

図 62.41 バスクロック同期を使用したノーマルライトサイクルの外部バスタイミング

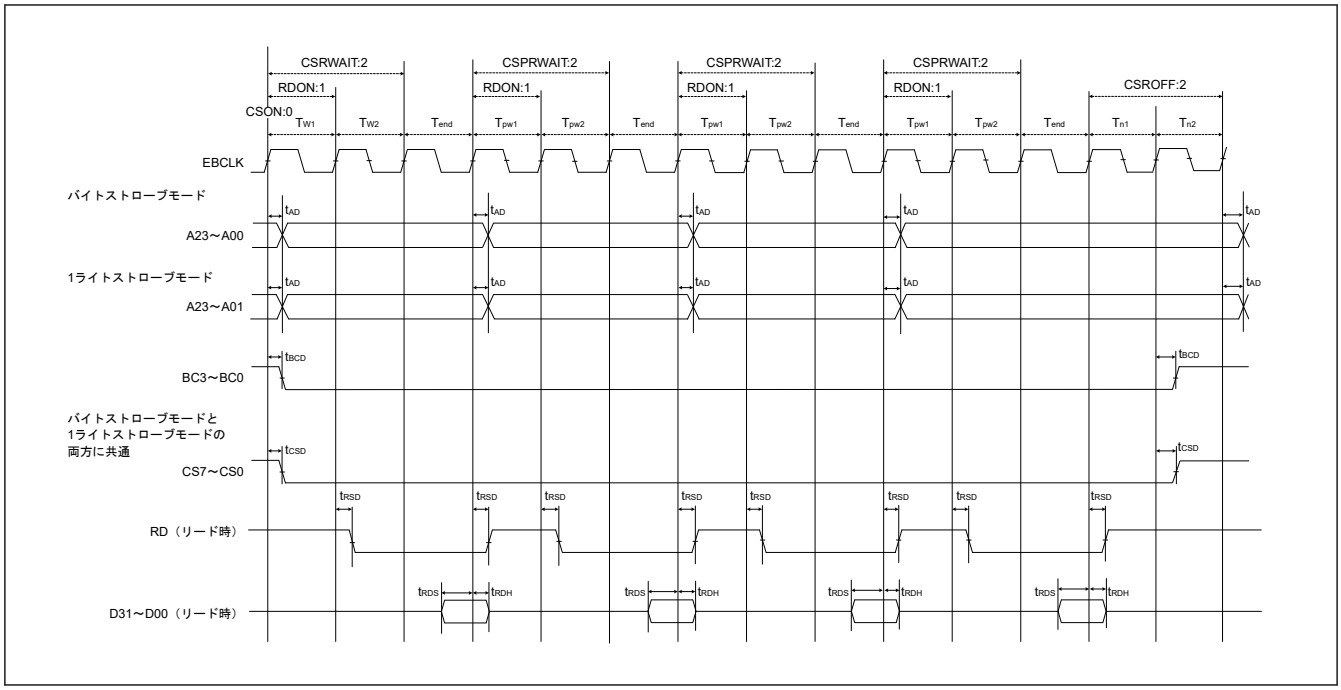
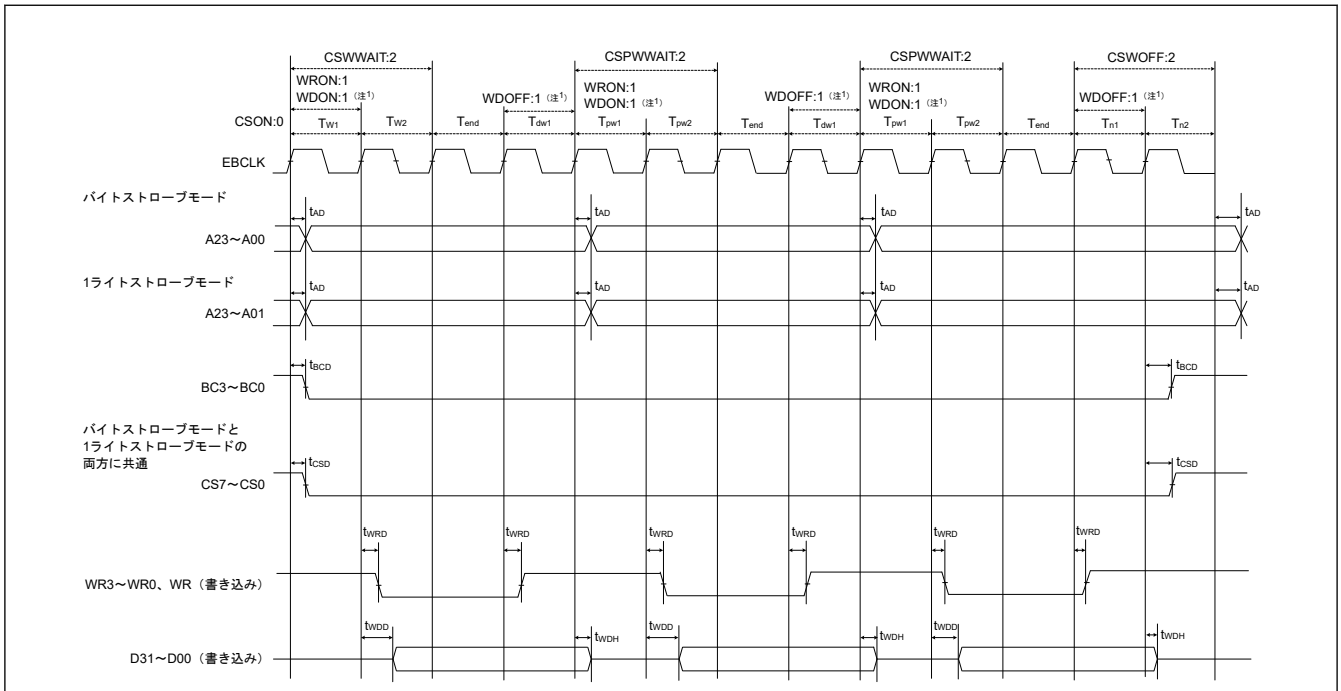


図 62.42　バスクロック同期を使用したページリードサイクルの外部バスタイミング



注 1.　WDON と WDOFF は、常に 1 EBCLK サイクル以上に指定してください。

図 62.43　バスクロック同期を使用したページライトサイクルの外部バスタイミング

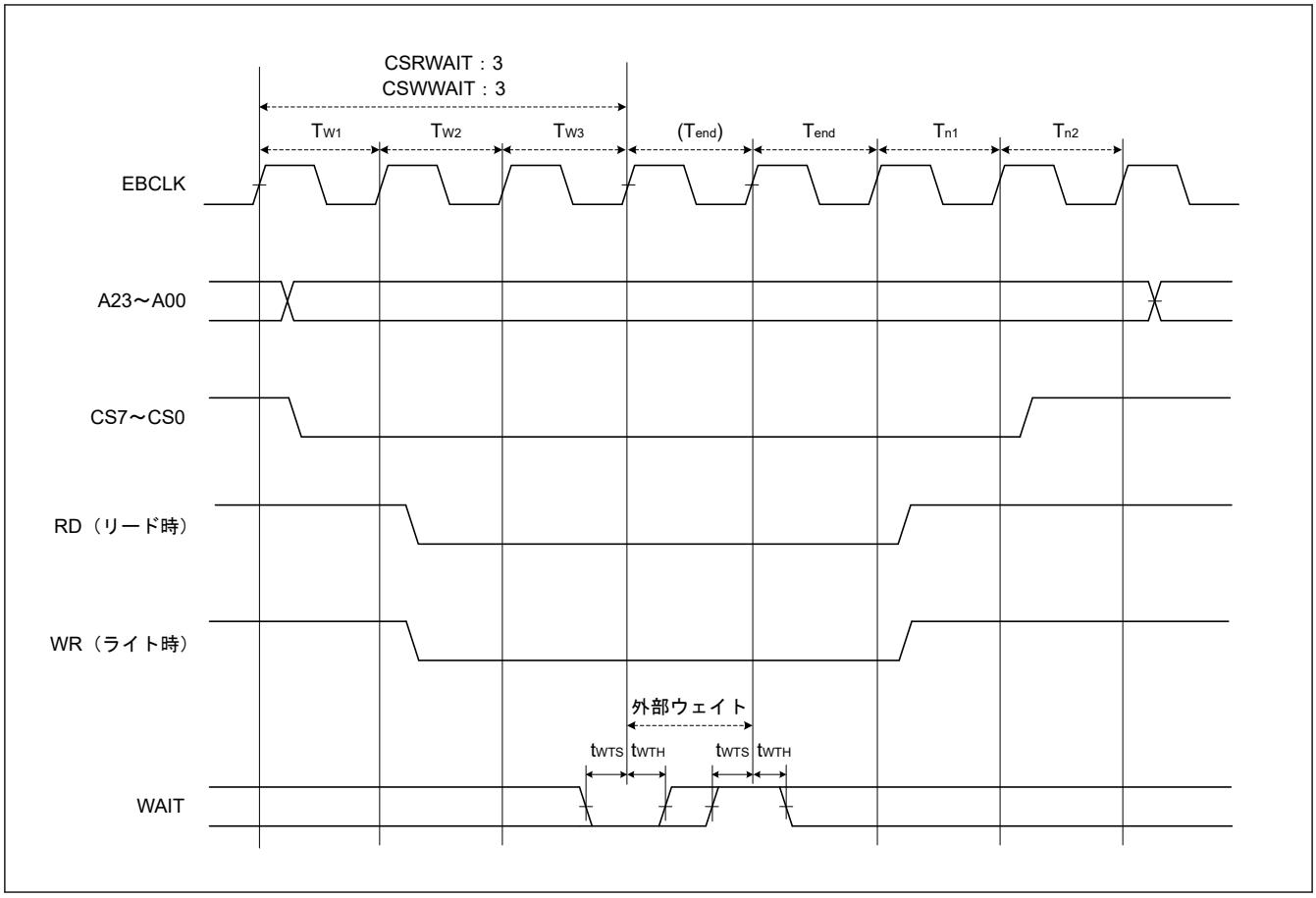


図 62.44　外部ウェイト制御の外部バスタイミング

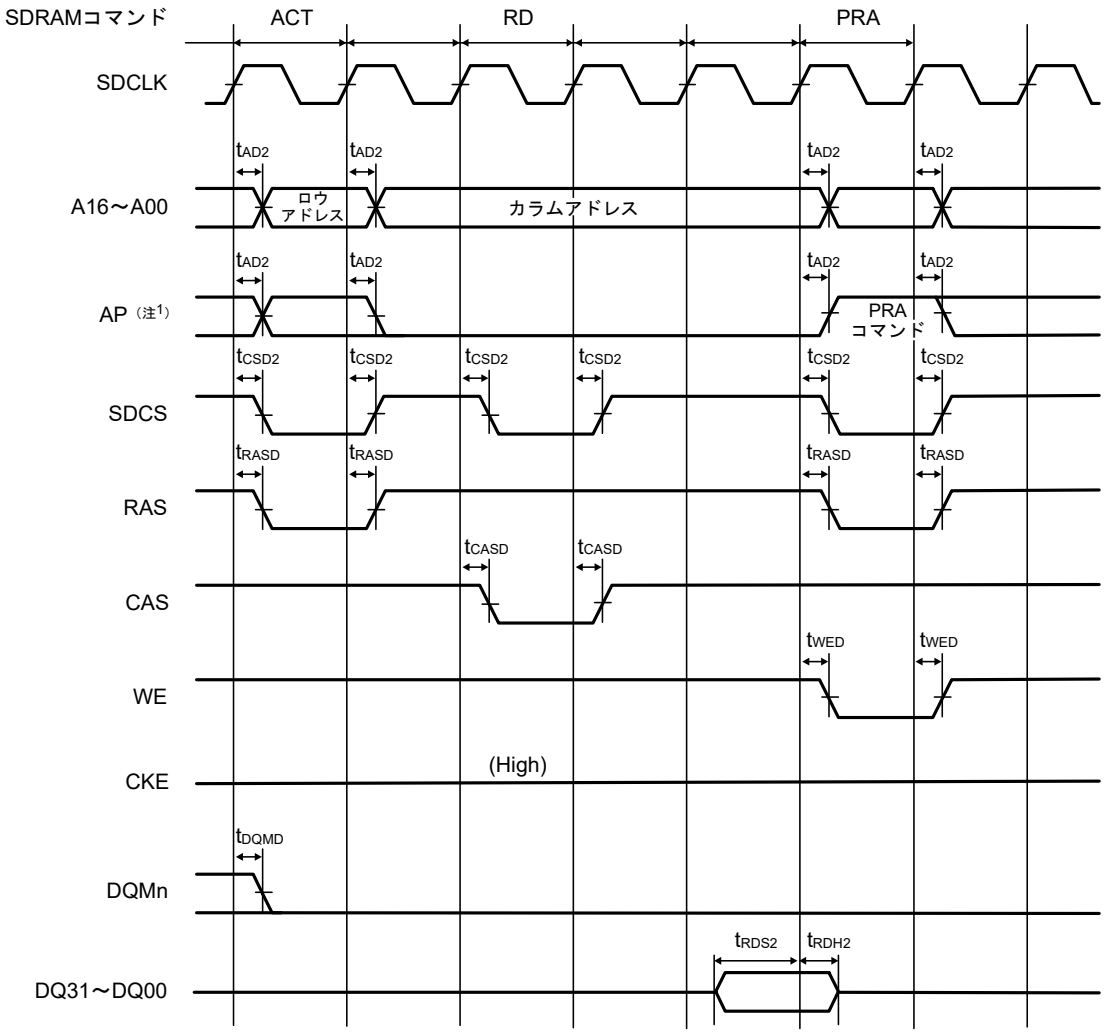


図 62.45　SDRAM シングルリードのタイミング

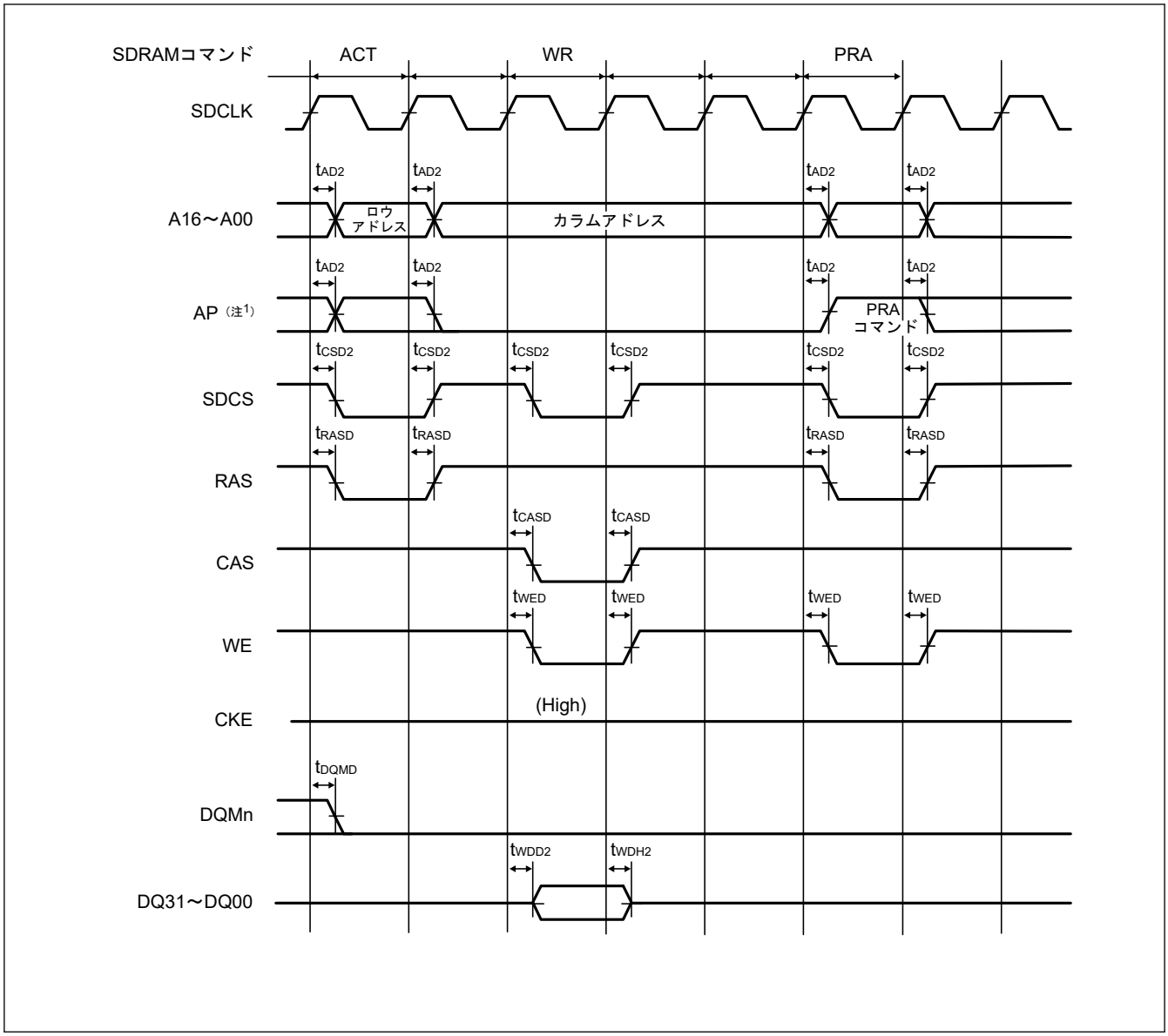


図 62.46　SDRAM シングルライトのタイミング

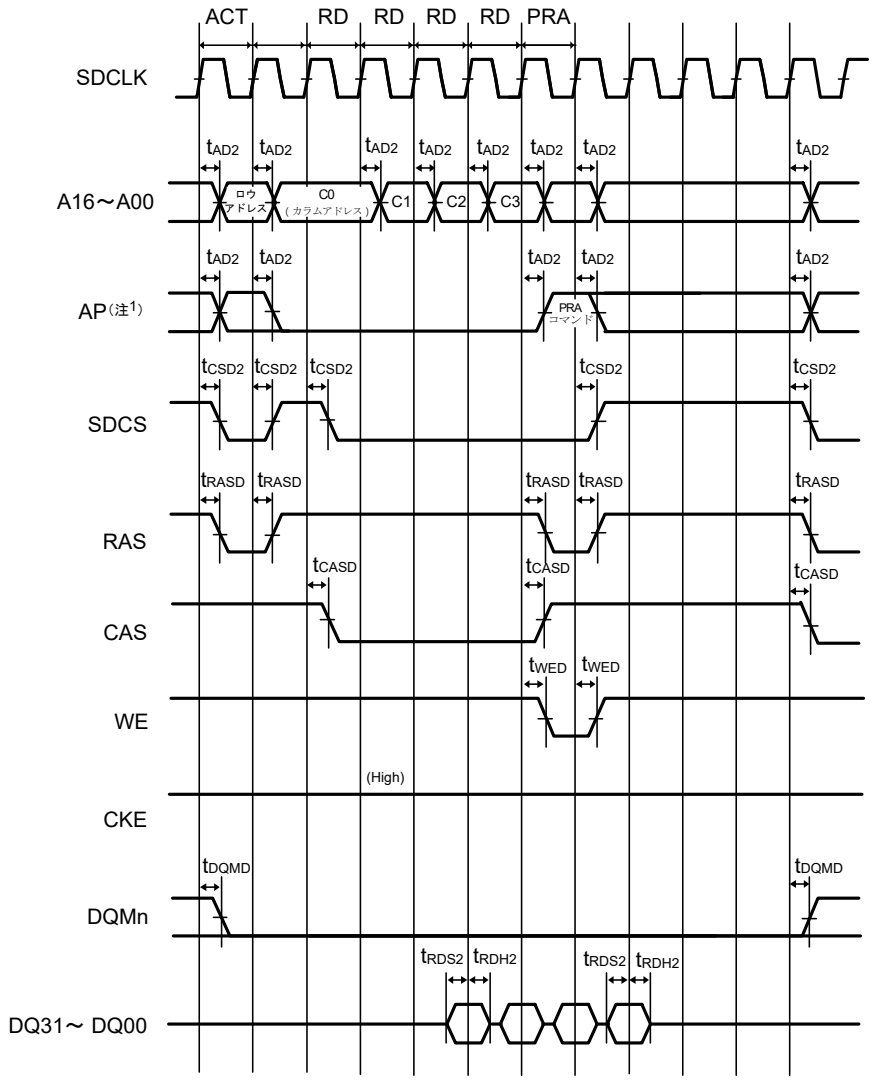


図 62.47　SDRAM マルチリードのタイミング

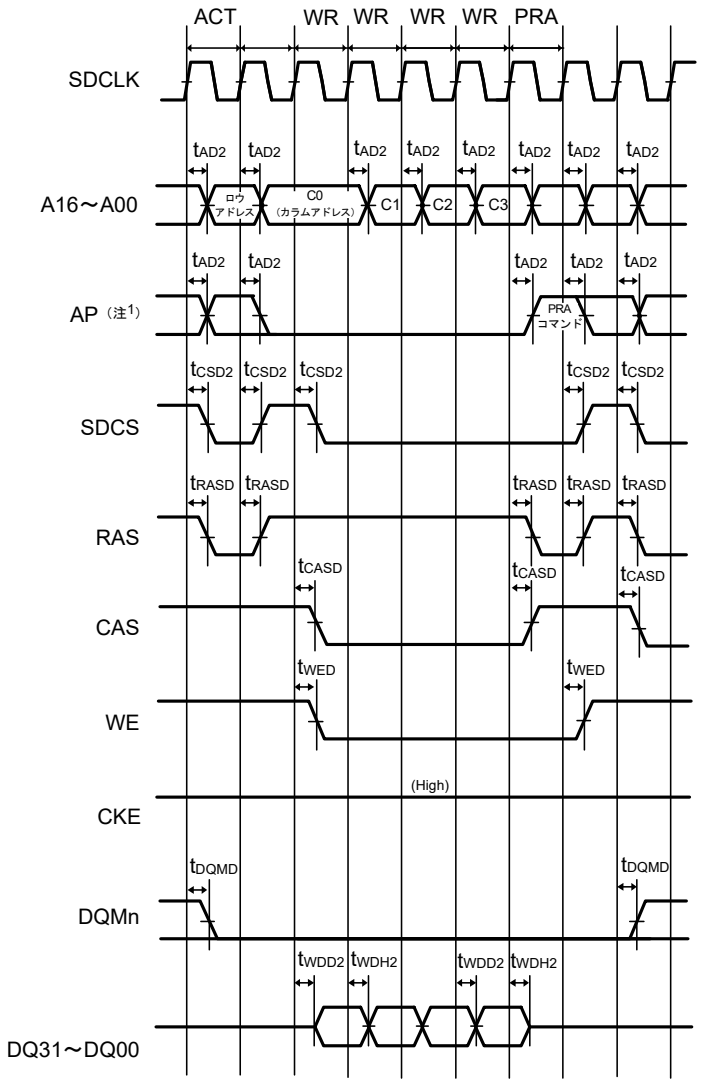


図 62.48　SDRAM マルチライトのタイミング

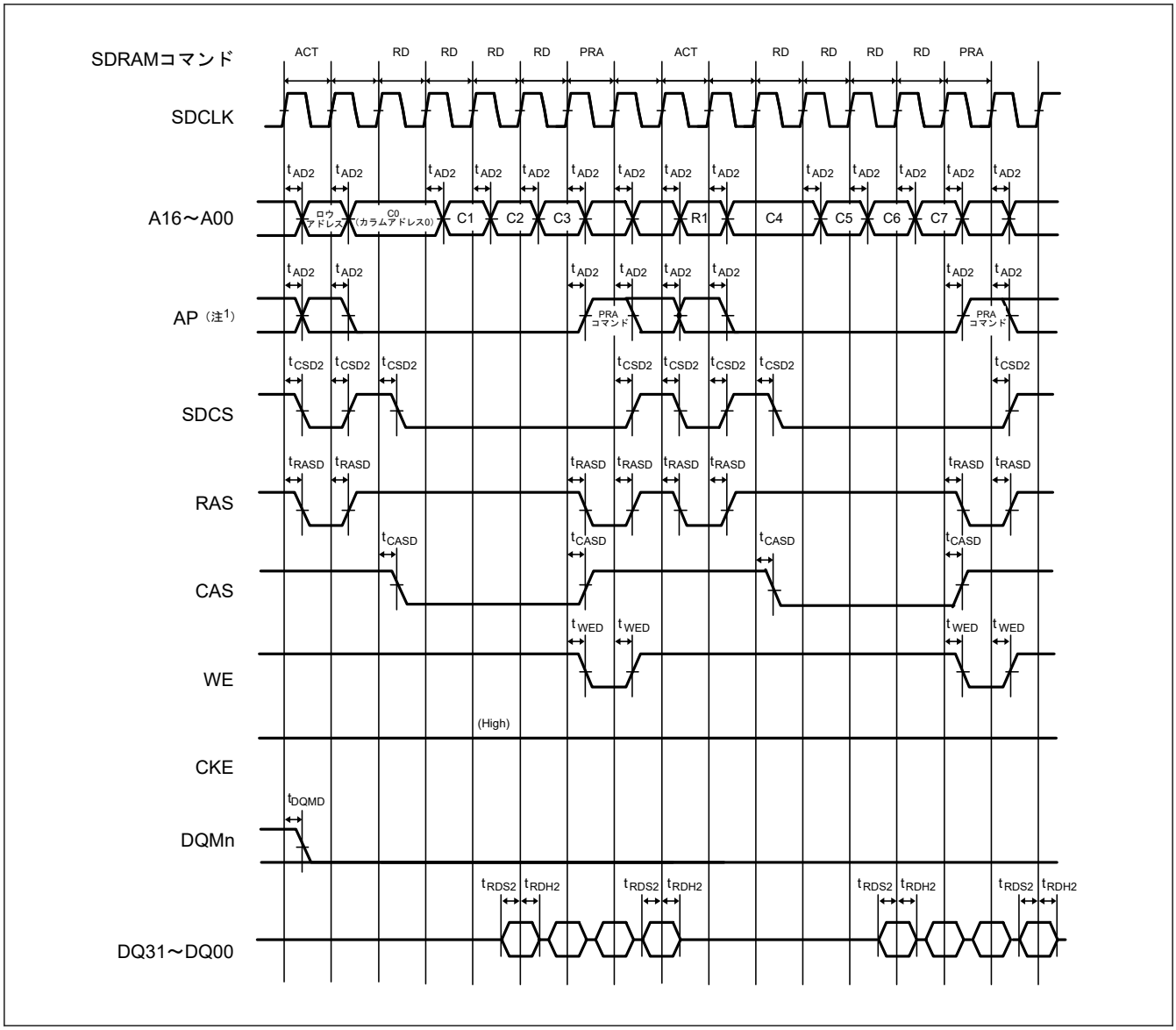


図 62.49　SDRAM マルチリードの行またぎのタイミング

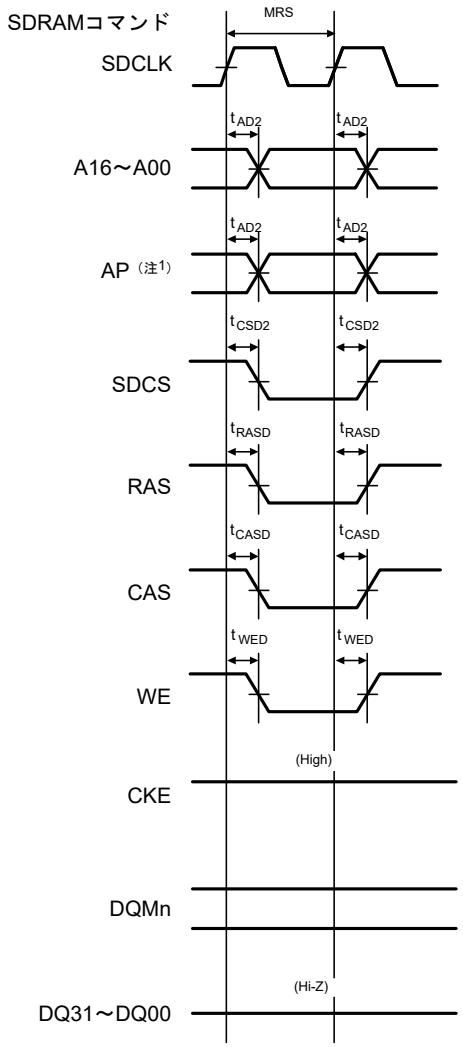


図 62.50　SDRAM モードレジスタの設定のタイミング

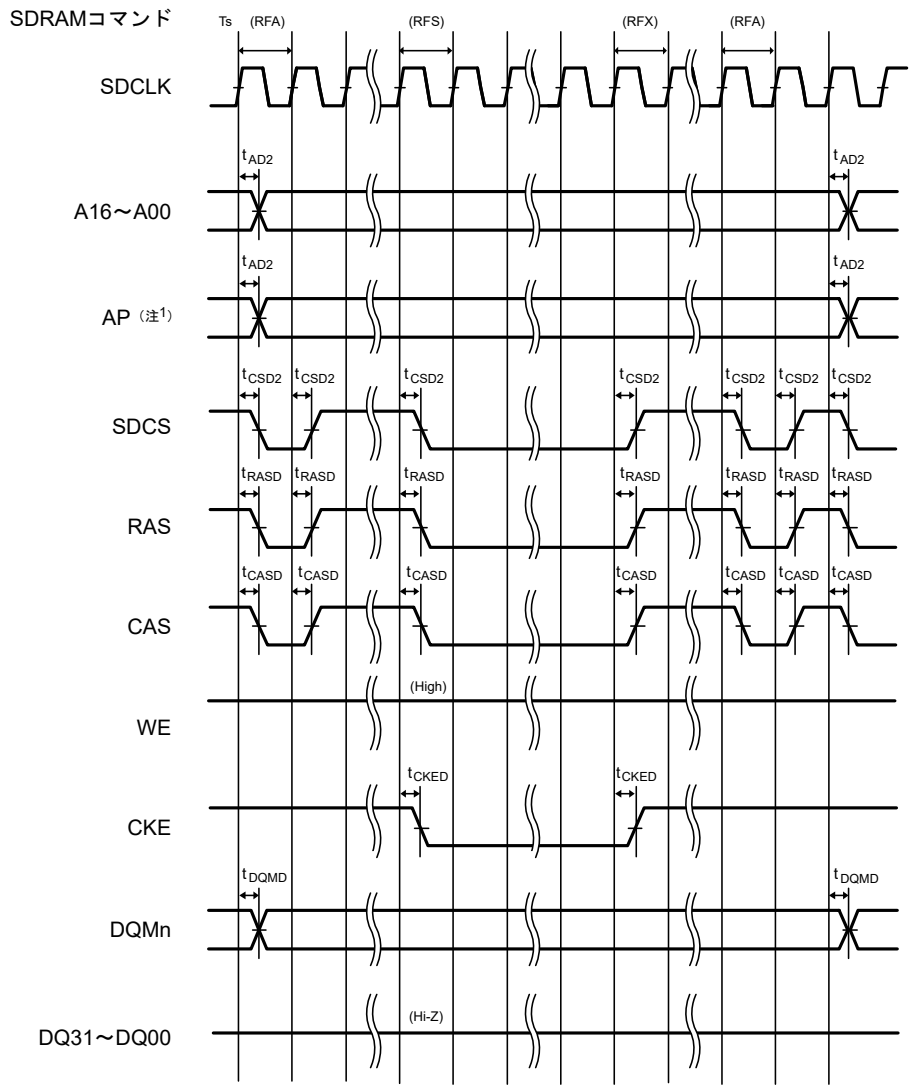


図 62.51　SDRAM セルフリフレッシュのタイミング

62.3.7　I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング

表 62.57　I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング (1/3)

GPT32 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。
VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

項目		シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅	t_{PRW}	5.5	—	t_{Icyc}	図 62.52
	EXCIN 入力周波数	t_{EXCIN}	—	36	kHz	
	RTCICn (n = 0～2) 入力パルス幅	t_{RTCICW}	13.89	—	μs	図 62.53

表 62.57 I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング (2/3)

GPT32 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。
VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

項目			シンボル	Min	Max	単位	測定条件
POEG	POEG 入力トリガパルス幅		t_{POEW}	3	—	t_{Pcyc}	図 62.54
	出力禁止時間	GTETRGn 端子の入力レベル検出（フラグ経由）	t_{POEGDI}	—	2 PCLKB + 0.34	μs	図 62.55 デジタルノイズフィルタを使用していない場合 (POEGGn.NFEN = 0 (n = A～D))
		GPT からの出力停止信号の検出（デッドタイムエラー、同時 High 出力、または同時 Low 出力）	t_{POEGDE}	—	0.5	μs	図 62.56
		コンパレータからのエッジ検出信号	t_{POEGDC}	—	3 PCLKB + 0.5	μs	図 62.57 ACMPHS 用ノイズフィルタを使用しておらず (CMPCTL.CDFS [1:0] = 00b)、ACMPHS による検出時間を除外する場合の時間。
		レジスタ設定	t_{POEGDS}	—	0.3	μs	図 62.58 レジスタへのアクセス時間を含まない。
		発振停止検出	$t_{POEGDOS}$	—	1.3	μs	図 62.59
		コンパレータからのレベル検出信号	$t_{POEGDDC}$	—	0.5	μs	図 62.60 ACMPHS 用ノイズフィルタを使用しておらず (CMPCTL.CDFS [1:0] = 00b)、ACMPHS による検出時間を除外する場合の時間。

表 62.57 I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング (3/3)

GPT32 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。
VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

項目				シンボル	Min	Max	単位	測定条件
GPT	インプットキャプチャパルス幅（サイクル）		単エッジ	t_{GTICW}(注1)	1.5	—	t_{PDcyc}	図 62.61
			両エッジ		2.5	—		
	インプットキャプチャパルス幅（回数）		2.70 V 以上	t_{GTICW}(注1)	8.3	—	ns	
			1.62 V 以上		10.0	—		
	GTIOCxY 出力スキュー（x = 0～3、Y = A または B）	中駆動出力	2.70 V 以上	t_{GTISK}	—	4	ns	図 62.62
			1.62 V 以上		—	6		
		高駆動出力	2.70 V 以上			3.5		
			1.62 V 以上			4.5		
	GTIOCxY 出力スキュー（x = 4～13、Y = A または B）	中駆動出力	2.70 V 以上		—	4		
			1.62 V 以上		—	6		
		高駆動出力	2.70 V 以上		—	3.5		
			1.62 V 以上		—	4.5		
	GTIOCxY 出力スキュー（x = 0～13、Y = A または B）	中駆動出力	2.70 V 以上		—	6		
			1.62 V 以上		—	7		
		高駆動出力	2.70 V 以上		—	3.5		
			1.62 V 以上		—	5		
	OPS 出力スキュー GTOUUP、GTOULO、GTOVUP、GTOVLO、GTOWUP、GTOWLO	中駆動出力	2.70 V 以上	t_{GTOSK}	—	5	ns	図 62.63
			1.62 V 以上		—	6		
GPT（PWM 遅延生成回路）	GTIOCxY 出力スキュー（x = 0～3、Y = A または B）	中駆動出力	2.70 V 以上	t_{HRSK}	—	4	ns	図 62.64
			1.62 V 以上		—	6		
		高駆動出力	2.70 V 以上		—	3.5		
			1.62 V 以上		—	5		
AGT	AGTIO、AGTEE 入力サイクル		2.70 V 以上	t_{ACYC}(注2)	100	—	ns	図 62.65
			1.62 V 以上		100	—		
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅		2.70 V 以上	t_{ACKWH}, t_{ACKWL}	40	—	ns	
			1.62 V 以上		40	—		
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル		2.70 V 以上	t_{ACYC2}	62.5	—	ns	
			1.62 V 以上		62.5	—		
ULPT	ULPTEE、ULPTEVI 入力サイクル		2.70 V 以上	t_{ULCYC}(注3)	32	—	μs	図 62.66
			1.62 V 以上		32	—		
	ULPTEE、ULPTVI 入力 High レベル幅、Low レベル幅		2.70 V 以上	t_{ULCKWH}, t_{ULCKWL}	12	—	μs	
			1.62 V 以上		12	—		
	ULPTO、ULPTOA、ULPTOB 出力サイクル		2.70 V 以上	t_{ULCYC2}	64	—	μs	
			1.62 V 以上		64	—		
ADC	ADC トリガ入力パルス幅		2.70 V 以上	t_{TRGW}	1.5	—	t_{ADcyc}	図 62.67
			1.62 V 以上		3.0	—		

注. t_{Icyc}: ICLK の周期、t_{Pcyc}: PCLKB の周期、t_{PDcyc}: GTCLK の周期、$t_{ULPTLCLK}$: ULPTLCLK の周期、t_{ADcyc}: ADCLK の周期
注 1. 「周期」と「回数」については、時間が長い方の特性が適用されます。
注 2. 入力サイクルの制限：

ソースクロックを切り替え中でない場合：$t_{Pcyc} \times 2 < t_{ACYC}$ を満たす必要があります。
ソースクロックを切り替え中の場合：$t_{Pcyc} \times 6 < t_{ACYC}$ を満たす必要があります。

注 3. 入力サイクルの制限：
ULPTEVI: $t_{Pcyc} \times 2 < t_{ULCYC}$ を満たす必要があります。
ULPTEE: $t_{ULPTLCLK} \times 2 < t_{ULCYC}$ を満たす必要があります。

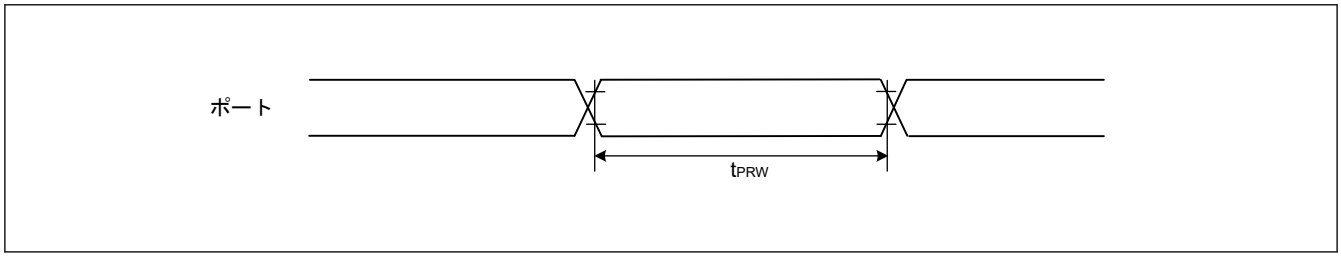


図 62.52 I/O ポート入力タイミング

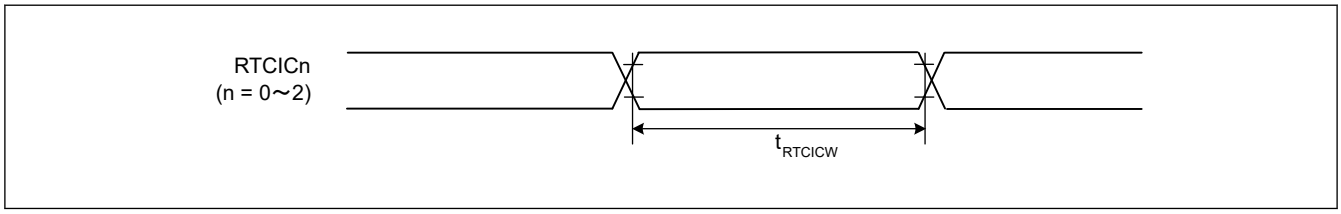


図 62.53 RTCICn 入力タイミング

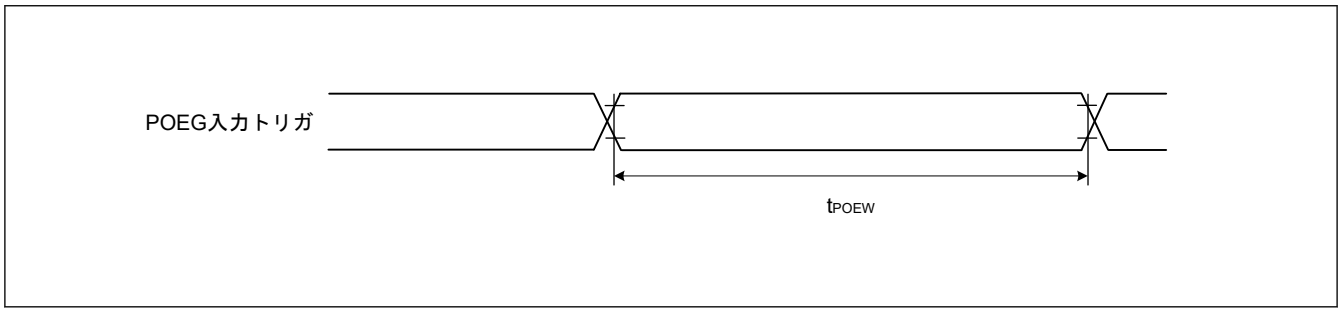


図 62.54 POEG 入力トリガタイミング

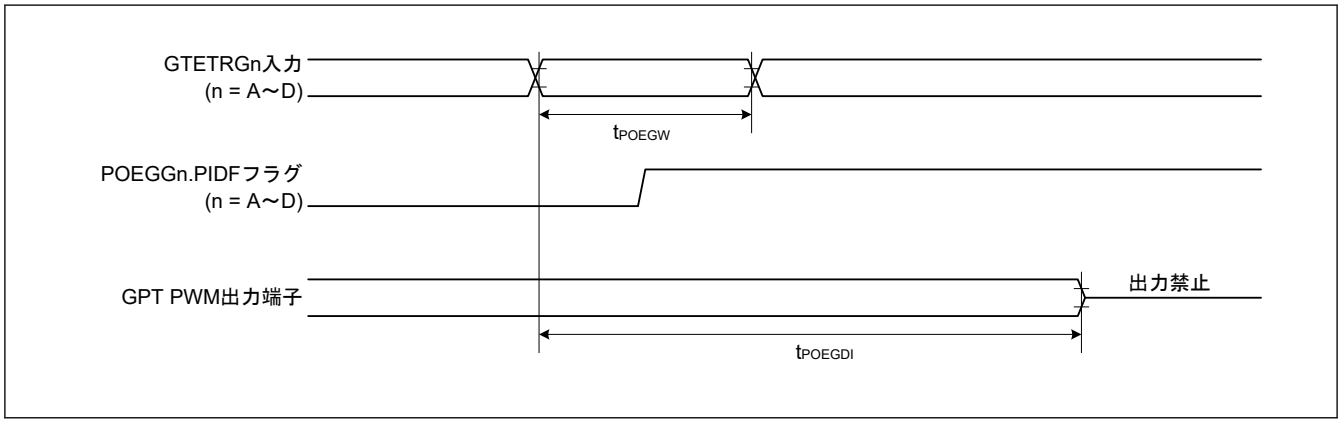
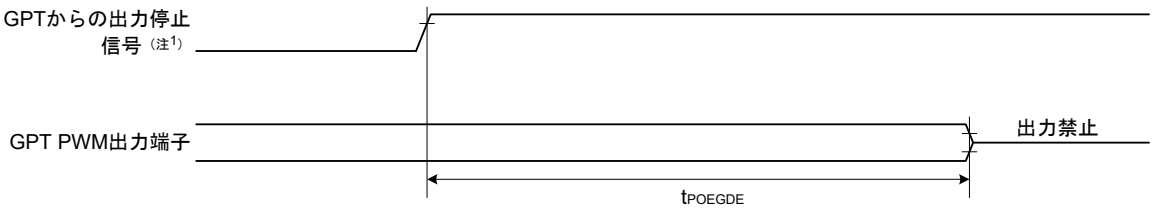


図 62.55 GTETRGn 端子の入力レベル検出に対応した検出フラグによる POEG の出力禁止時間



注 1. GPT32n.GTST.DTEF（デッドタイムエラーフラグ）、GPT32n.GTST.OABLF（同時 Low 出力フラグ）、または GPT32n.GTST.OABHF（同時 High 出力フラグ）

図 62.56 GPT からの出力停止信号の検出に対応した POEG の出力禁止時間

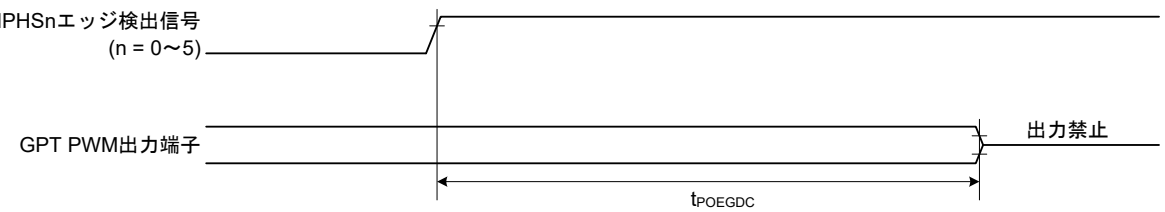


図 62.57 コンパレータからのエッジ検出信号に対応した POEG の出力禁止時間

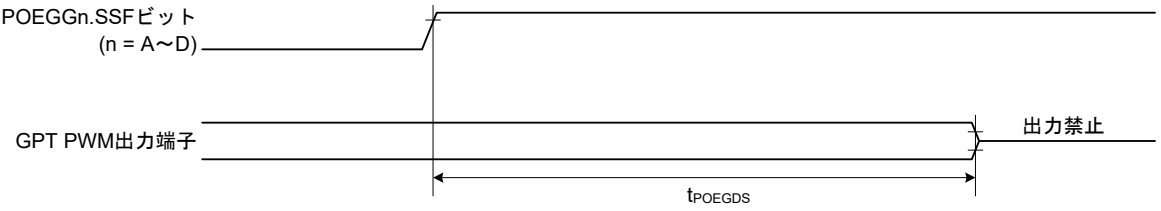


図 62.58 レジスタ設定に対応した POEG の出力禁止時間

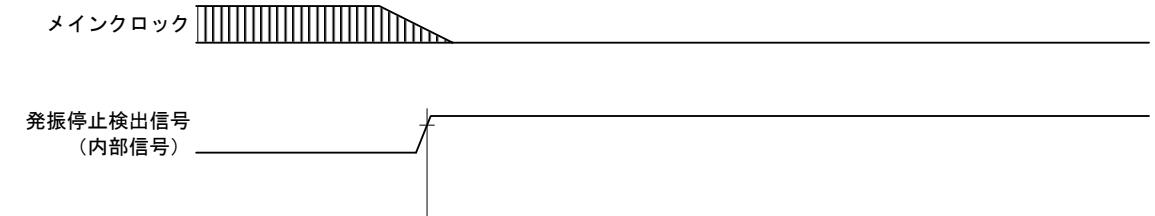


図 62.59 発振停止検出に対応した POEG の出力禁止時間

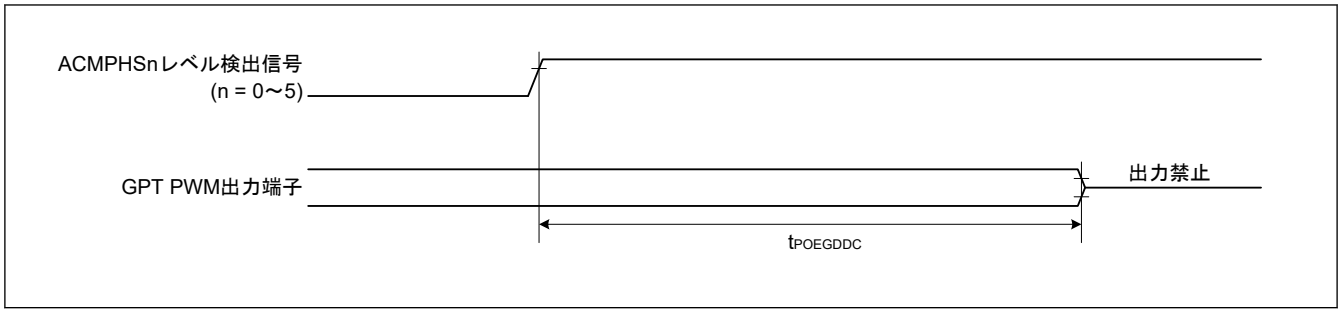


図 62.60　コンパレータからのレベル検出信号に対応した POEG の出力禁止時間

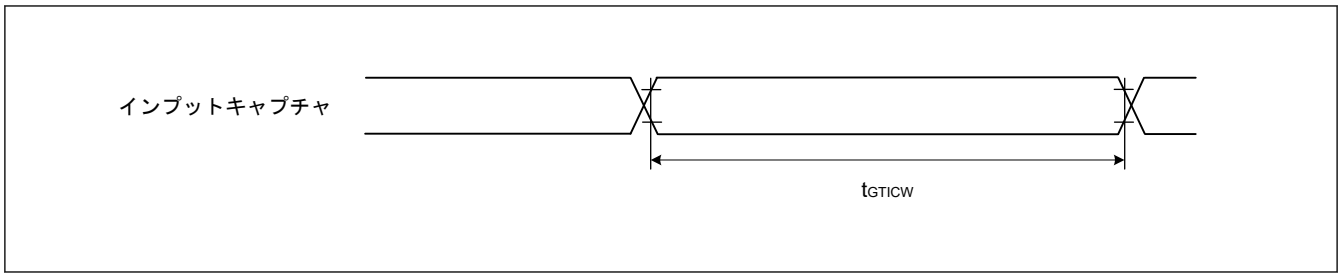


図 62.61　GPT インプットキャプチャタイミング

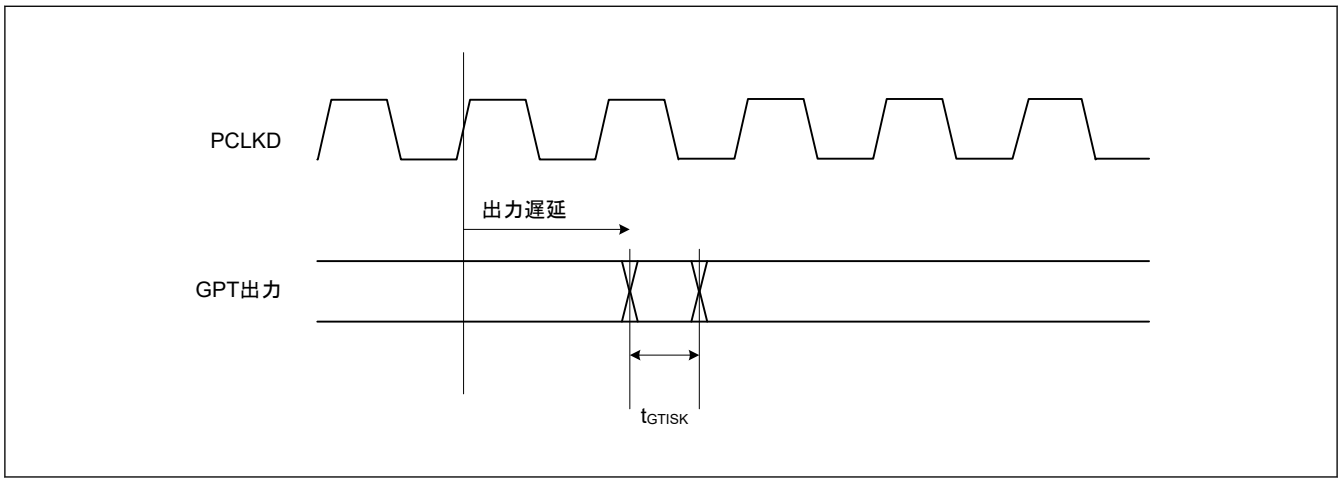


図 62.62　GPT 出力遅延スキュー

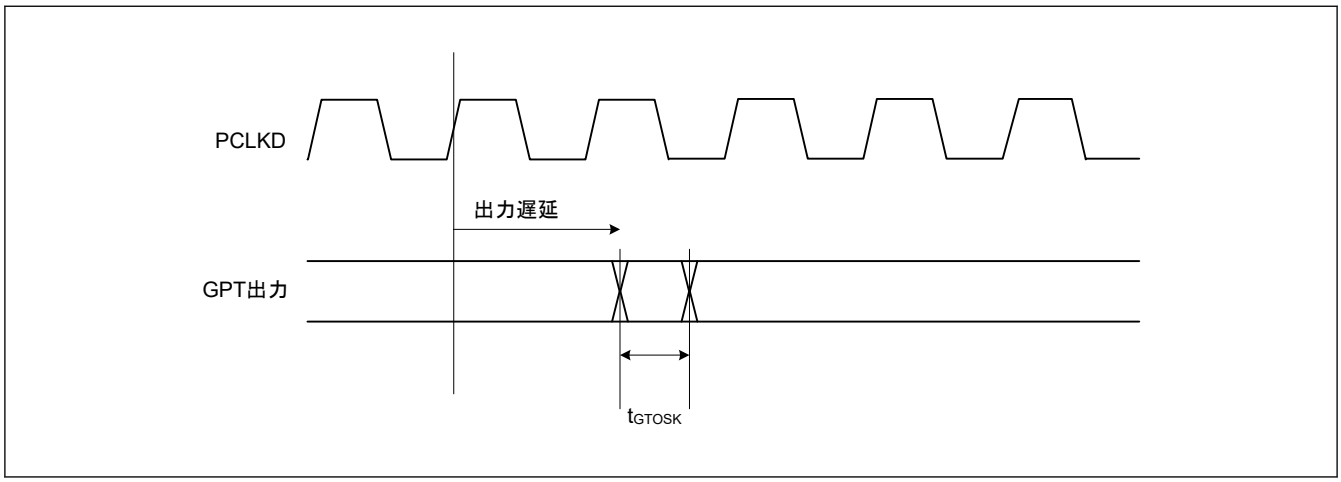


図 62.63　OPS の GPT 出力遅延スキュー

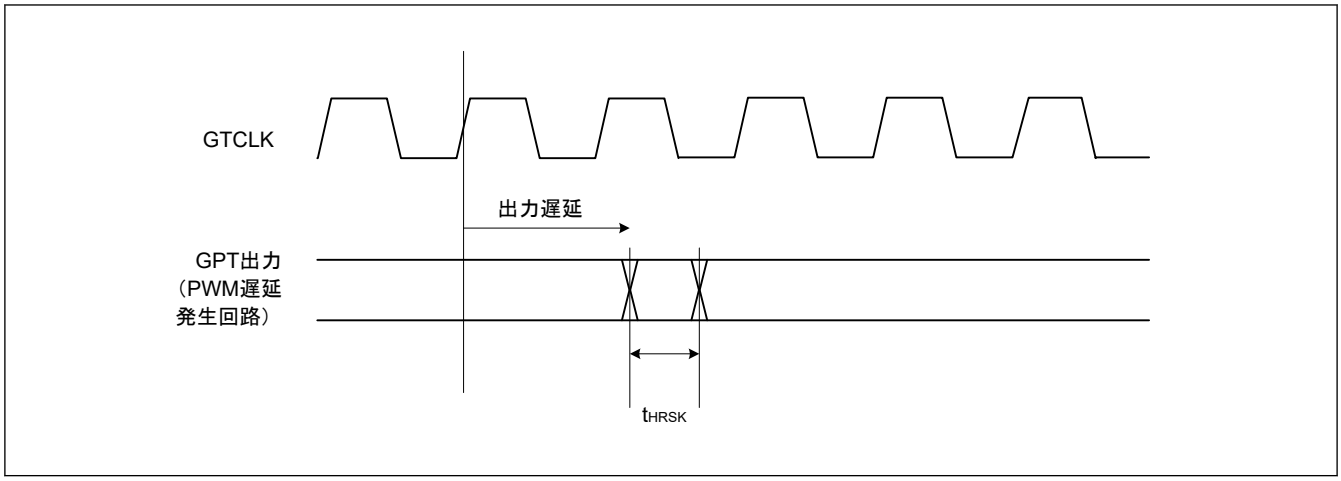


図 62.64　GPT (PDG) 出力遅延スキュー

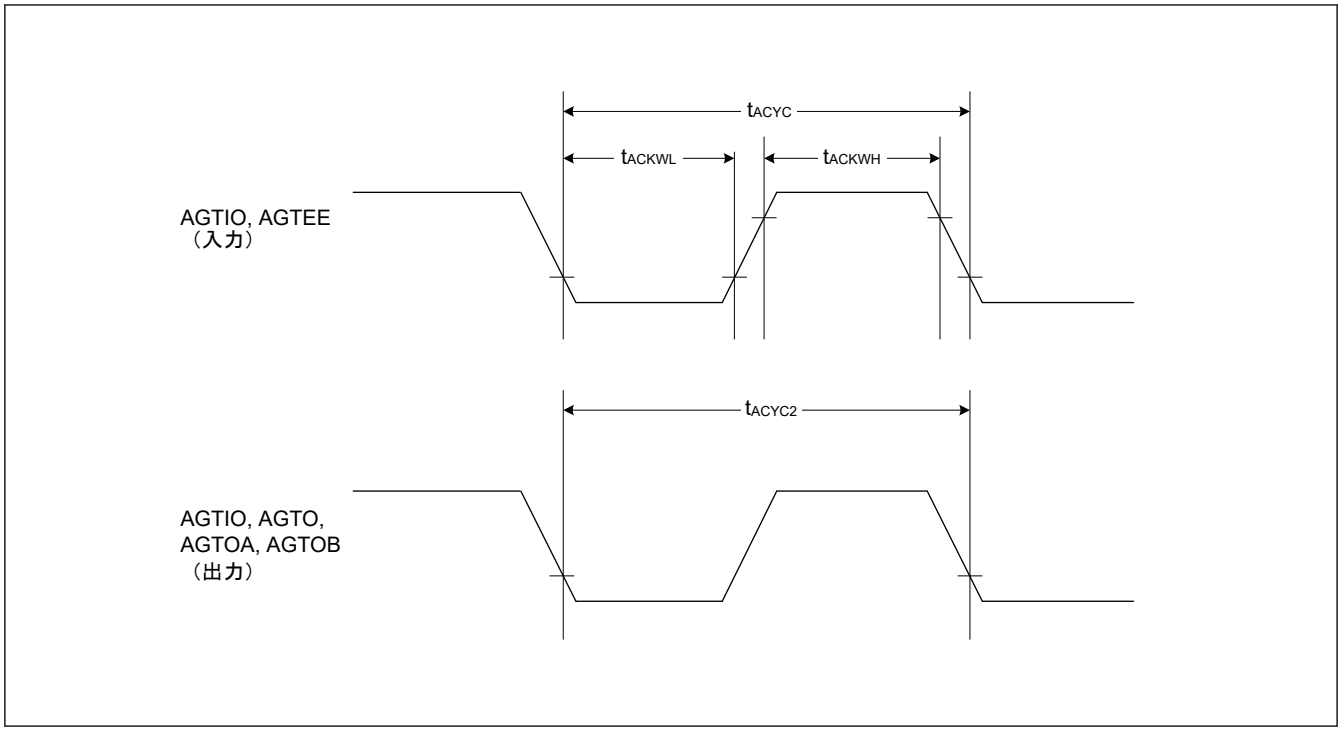


図 62.65　AGT 入出力タイミング

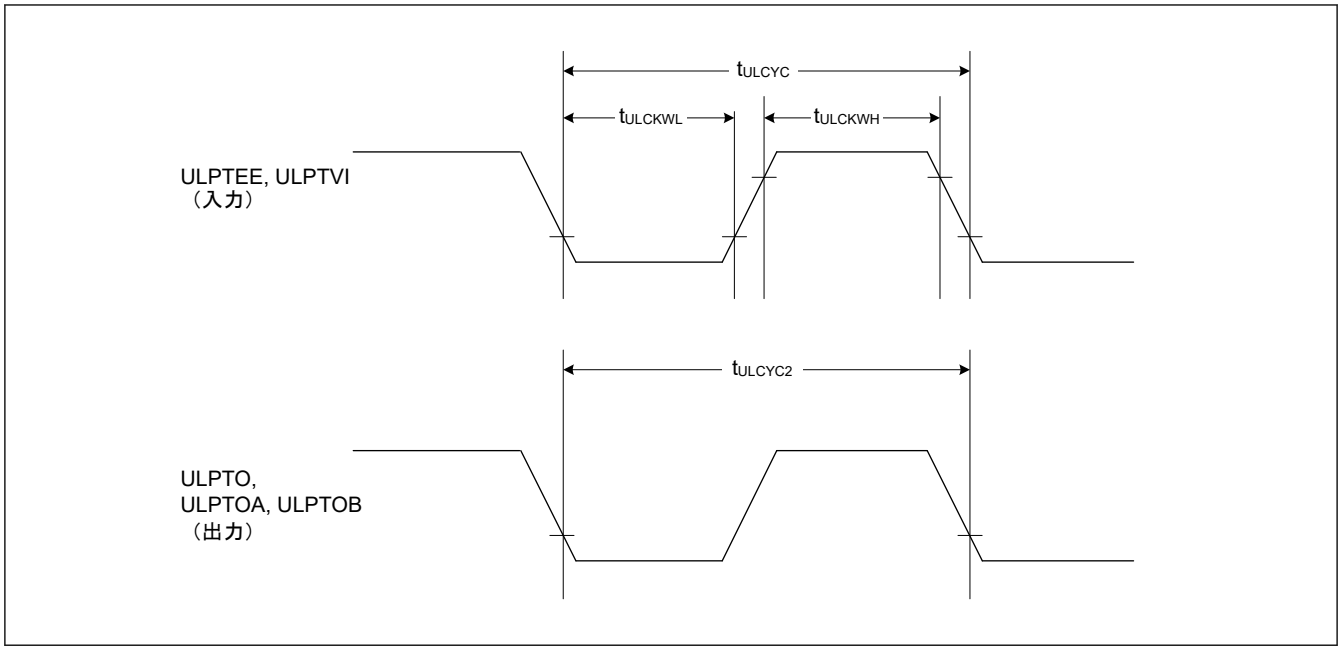


図 62.66　ULPT 入出力タイミング

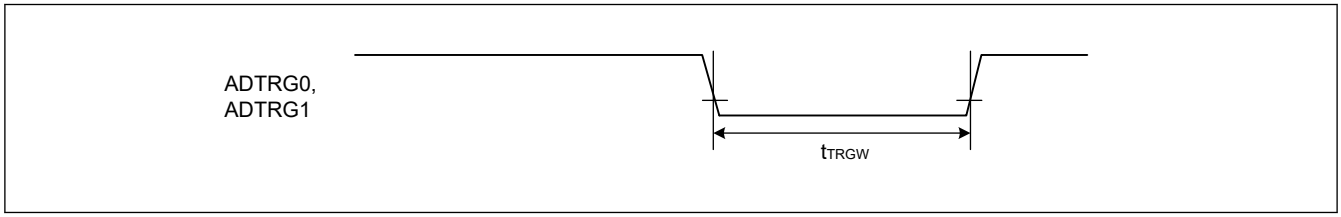


図 62.67　ADC トリガ入力タイミング

62.3.8　CAC タイミング

表 62.58　CAC タイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \leqq t_{cac}$(注1)	t_{CACREF}	4.5 × t_{cac} + 3 × t_{PBcyc}	—	—	ns	—
		$t_{PBcyc} > t_{cac}$(注1)		5 × t_{cac} + 6.5 × t_{PBcyc}	—	—	ns	

注.　t_{PBcyc}：PCLKB の周期
注 1.　t_{cac}：CAC カウントクロックソースの周期

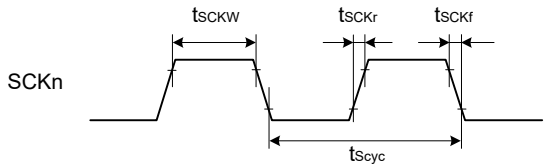
62.3.9 SCI タイミング

表 62.59 SCI タイミング（調歩同期式モード）

条件：
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目	VCC/VCC2	シンボル	Min	Max	単位	備考
入力クロックサイクル	1.62 V 以上	t_{Scyc}	4.0	—	t_{Tcyc}	図 62.68
入力クロックパルス幅	1.62 V 以上	t_{SCKW}	0.4	0.6	t_{Scyc}	
入力クロック立ち上がり時間	1.62 V 以上	t_{SCKr}	—	0.1(注1)	t_{Scyc}	
入力クロック立ち下がり時間	1.62 V 以上	t_{SCKf}	—	0.1(注1)	t_{Scyc}	
出力クロックサイクル	1.62 V 以上	t_{Scyc}	6.0	—	t_{Tcyc}	
出力クロックパルス幅	1.62 V 以上	t_{SCKW}	0.4	0.6	t_{Scyc}	
出力クロック立ち上がり時間	2.70 V 以上	t_{SCKr}	—	3.3	ns	
	1.62 V 以上		—	6.6		
出力クロック立ち下がり時間	2.70 V 以上	t_{SCKf}	—	3.3	ns	
	1.62 V 以上		—	6.6		

注. tT_{cyc}: TCLK の周期。
注 1. 最長 1 µs



注. n = 0～4, 9

図 62.68 SCK クロック入出力タイミング

表 62.60　SCI タイミング（簡易 SPI） (1/3)

条件 1: VCC/VCC2 = 2.70 V 以上
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
条件 2: VCC/VCC2 = 1.62 V 以上
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ	—	2.70 V 以上	t_{SPcyc}	2 (TCLK ≦ 120 MHz) 4 (TCLK > 120 MHz)	65536	t_{Tcyc}	図 62.69
			1.62 V 以上		2 (TCLK ≦ 60 MHz) 4 (TCLK ≦ 120 MHz) 8 (TCLK > 120 MHz)	65536		
SCK クロックサイクル入力	スレーブ	—	2.70 V 以上		2	—		
			1.62 V 以上		2 (TCLK ≦ 100 MHz) 4 (TCLK > 100 MHz)	—		
SCK クロック High レベルパルス幅	マスタ	—	1.62 V 以上	t_{SPCKWH}	0.4	—	t_{SPcyc}	
	スレーブ	—						
SCK クロック Low レベルパルス幅	マスタ	—	1.62 V 以上	t_{SPCKWL}	0.4	—	t_{SPcyc}	
	スレーブ	—						
SCK クロック立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{SPCKr}, t_{SPCKf}	—	3.3	ns	
			1.62 V 以上		—	6.6		
	入力	—	2.70 V 以上		—	0.1 (注3)	t_{SPcyc}	
			1.62 V 以上		—	0.1 (注3)		

表 62.60　SCI タイミング（簡易 SPI） (2/3)

条件 1: VCC/VCC2 = 2.70 V 以上
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
条件 2: VCC/VCC2 = 1.62 V 以上
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ入力セットアップ時間	マスタ	高速(注1)	2.70 V 以上	t_{SU}	-1.5	—	ns	図 62.70, 図 62.71
			1.62 V 以上		-1.5	—		
		デフォルト(注2)	2.70 V 以上		2.0	—		
			1.62 V 以上		2.0	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		2.5	—		
			1.62 V 以上		4.5	—		
データ入力ホールド時間	マスタ	高速(注1)	2.70 V 以上	t_{H}	7.5	—	ns	
			1.62 V 以上		9.5	—		
		デフォルト(注2)	2.70 V 以上		7.5	—		
			1.62 V 以上		9.5	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		2.5	—		
			1.62 V 以上		4.5	—		
データ出力遅延時間	マスタ	高速(注1)	2.70 V 以上	t_{OD}	—	3.0	ns	
			1.62 V 以上		—	4.5		
		デフォルト(注2)	2.70 V 以上		—	3.5		
			1.62 V 以上		—	5.5		
	スレーブ	高速(注1)	2.70 V 以上		—	12.5		
			1.62 V 以上		—	20.5		
		デフォルト(注2)	2.70 V 以上		—	18.5		
			1.62 V 以上		—	26.5		
データ出力ホールド時間	マスタ	高速(注1)	2.70 V 以上	t_{OH}	-3.0	—	ns	
			1.62 V 以上		-4.5	—		
		デフォルト(注2)	2.70 V 以上		-3.5	—		
			1.62 V 以上		-5.5	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		0.0	—		
			1.62 V 以上		0.0	—		
データ立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{Dr}、t_{Df}	—	3.3	ns	
			1.62 V 以上		—	6.6		
	入力	—	2.70 V 以上		—	1		
			1.62 V 以上		—	1		
SS 入力セットアップ時間		—	1.62 V 以上	t_{LEAD}	1.0	—	t_{SPcyc}	図 62.72, 図 62.73
SS 入力ホールド時間		—	1.62 V 以上	t_{LAG}	1.0	—	t_{SPcyc}	
SS 入力立ち上がり／立ち下がり時間		—	1.62 V 以上	t_{SSLr}、t_{SSLf}	—	1	µs	—

表 62.60 SCI タイミング（簡易 SPI） (3/3)

条件 1: VCC/VCC2 = 2.70 V 以上
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
条件 2: VCC/VCC2 = 1.62 V 以上
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目	高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
スレーブアクセス時間	—	2.70 V 以上	t_{SA}	—	3 × t_{Tcyc} + 25	ns	図 62.72, 図 62.73
		1.62 V 以上		—	3 × t_{Tcyc} + 32		
スレーブ出力解放時間	—	2.70 V 以上	t_{REL}	—	3 × t_{Tcyc} + 25	ns	
		1.62 V 以上		—	3 × t_{Tcyc} + 32		

注. t_{Tcyc}: TCLK の周期。
注 1. 所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0、SCI1、SCI2、SCI3、および SCI9 は_A の例に該当し、SCI4 と SCI5 は_B の例に該当し、SCI6、SCI7、および SCI8 は_C の例に該当します。
注 2. 所属グループのすべての端子を使用できます。
注 3. 最長 1 µs

表 62.61 SCI タイミング（クロック同期式モード） (1/2)

条件 1: VCC/VCC2 = 2.70 V 以上
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
条件 2: VCC/VCC2 = 1.62 V 以上
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

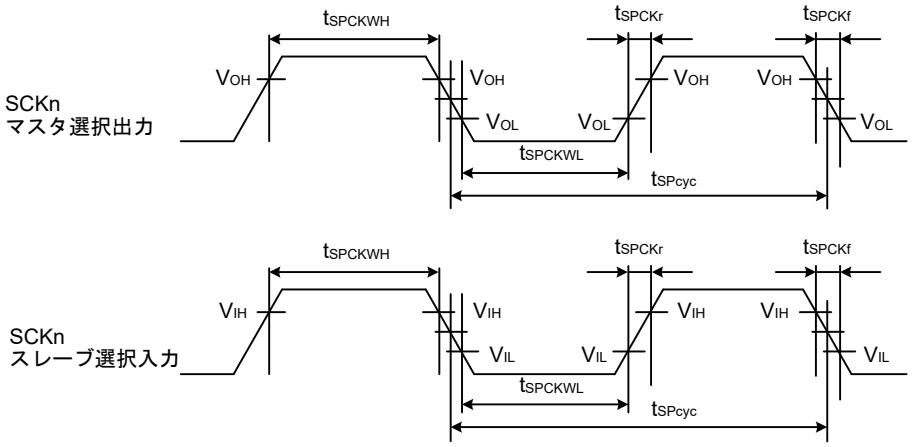
項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ	—	2.70 V 以上	t_{Scyc}	2 (TCLK ≦ 120 MHz) 4 (TCLK > 120 MHz)	—	t_{Tcyc}	
			1.62 V 以上		2 (TCLK ≦ 60 MHz) 4 (TCLK ≦ 120 MHz) 8 (TCLK > 120 MHz)	—		
SCK クロックサイクル入力	スレーブ	—	2.70 V 以上		2	—		
			1.62 V 以上		2 (TCLK ≦ 100 MHz) 4 (TCLK > 100 MHz)	—		
SCK クロック High レベルパルス幅	マスタ	—	1.62 V 以上	t_{SCKWH}	0.4	0.6	t_{Scyc}	
	スレーブ		1.62 V 以上					
SCK クロック Low レベルパルス幅	マスタ	—	1.62 V 以上	t_{SCKWL}	0.4	0.6	t_{Scyc}	
	スレーブ		1.62 V 以上					

表 62.61　SCI タイミング（クロック同期式モード） (2/2)

条件 1: VCC/VCC2 = 2.70 V 以上
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
条件 2: VCC/VCC2 = 1.62 V 以上
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロック立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{SCKr}, t_{SCKf}	—	3.3	ns	
			1.62 V 以上		—	6.6		
	入力	—	1.62 V 以上		—	0.1 (注3)	t_{Scyc}	
データ入力セットアップ時間	マスタ	高速(注1)	2.70 V 以上	t_{SU}	2.6	—	ns	
			1.62 V 以上		2.6	—		
		デフォルト (注2)	2.70 V 以上		2.8	—		
			1.62 V 以上		2.8	—		
	スレーブ	デフォルト (注2)	2.70 V 以上		3.3	—		
			1.62 V 以上		5.3	—		
データ入力ホールド時間	マスタ	高速(注1)	2.70 V 以上	t_{H}	7.5	—	ns	
			1.62 V 以上		9.5	—		
		デフォルト (注2)	2.70 V 以上		7.5	—		
			1.62 V 以上		9.5	—		
	スレーブ	デフォルト (注2)	2.70 V 以上		3.0	—		
			1.62 V 以上		5.0	—		
データ出力遅延時間	マスタ	高速(注1)	2.70 V 以上	t_{OD}	—	5	ns	
			1.62 V 以上		—	5		
		デフォルト (注2)	2.70 V 以上		—	7.3		
			1.62 V 以上		—	7.3		
	スレーブ	高速(注1)	2.70 V 以上		—	12.5		
			1.62 V 以上		—	20.5		
		デフォルト (注2)	2.70 V 以上		—	18.5		
			1.62 V 以上		—	26.5		
データ立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{Dr}、t_{Df}	—	3.3	ns	
			1.62 V 以上		—	6.6		
	入力	—	1.62 V 以上		—	1	μs	

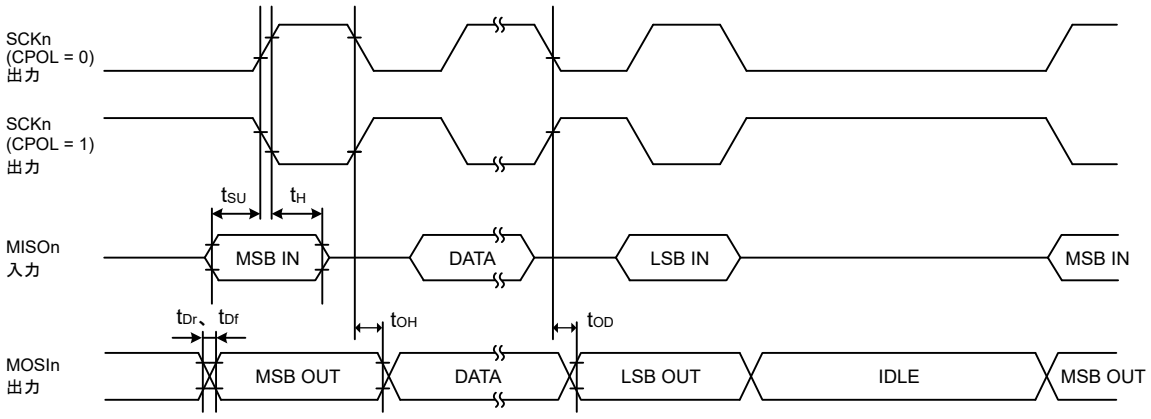
注.　t_{Tcyc}: TCLK の周期。
注 1.　所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0、SCI1、SCI2、SCI3、および SCI9 は_A の例に該当し、SCI4 と SCI5 は_B の例に該当し、SCI6、SCI7、および SCI8 は_C の例に該当します。
注 2.　所属グループのすべての端子を使用できます。
注 3.　最長 1 μs



V_{OH} = 0.7 × VCCまたは0.7 × VCC2、V_{OL} = 0.3 × VCCまたは0.3 × VCC2、
V_{IH} = 0.7 × VCCまたは0.7 × VCC2、V_{IL} = 0.3 × VCCまたは0.3 × VCC2

注. n = 0～4, 9

図 62.69 SCI 簡易 SPI モードクロックタイミング



注. n = 0～4, 9

図 62.70 SCI 簡易 SPI モードタイミング（マスタ、CPHA = 0）

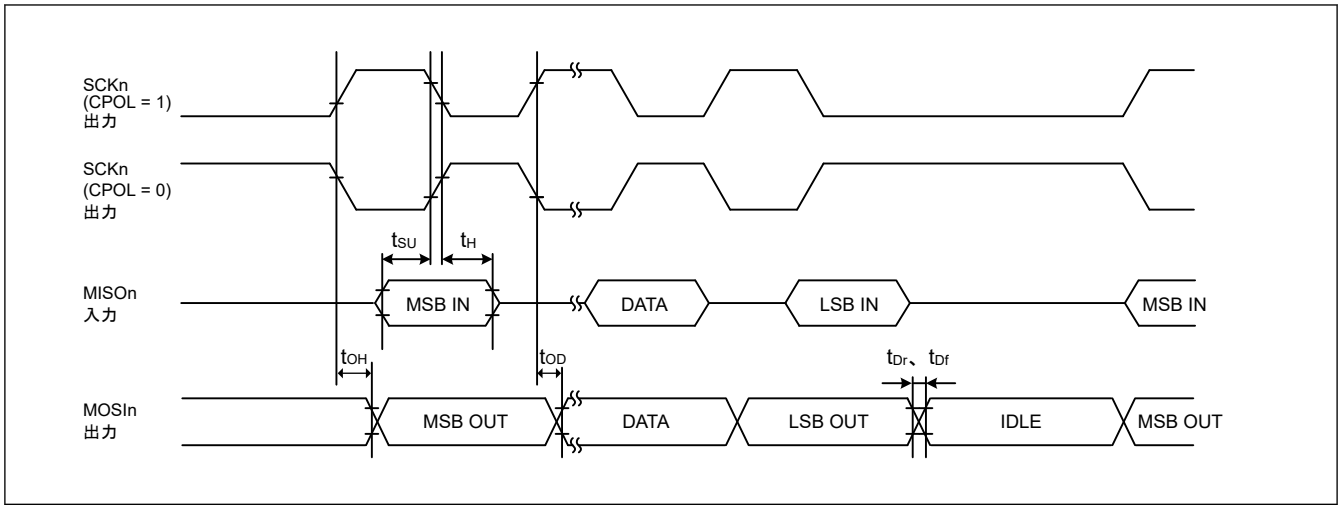
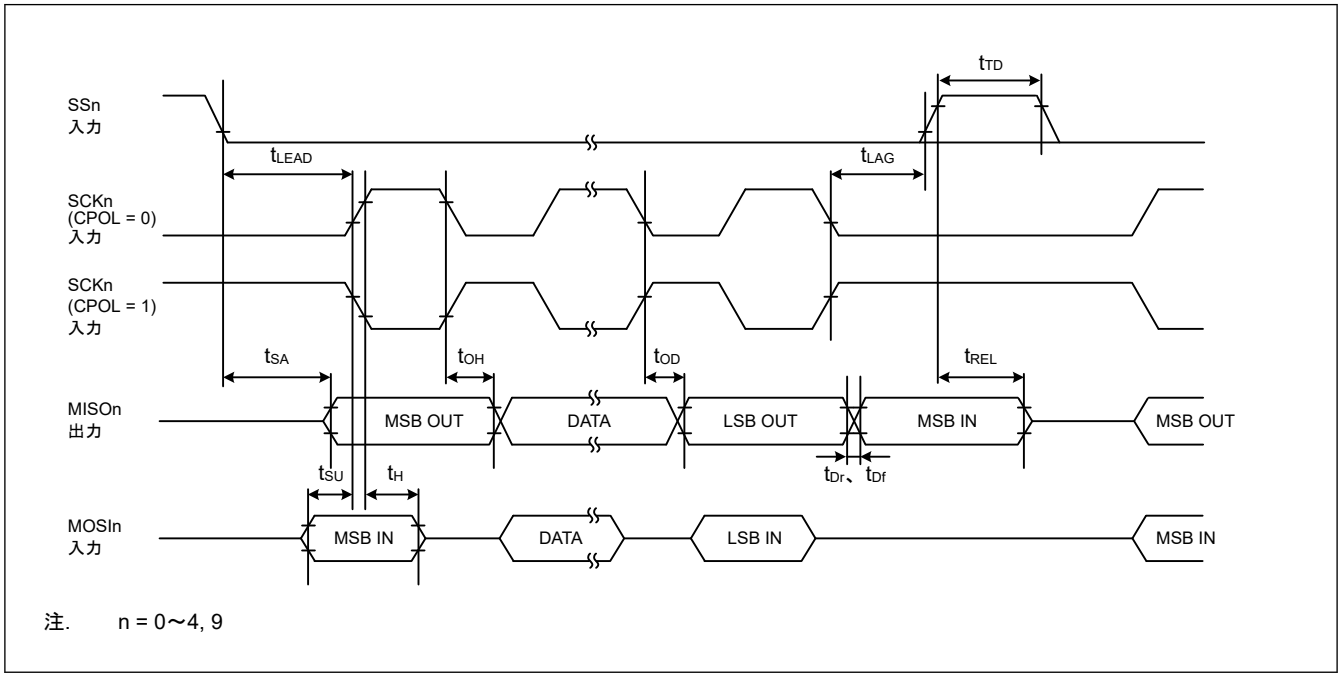
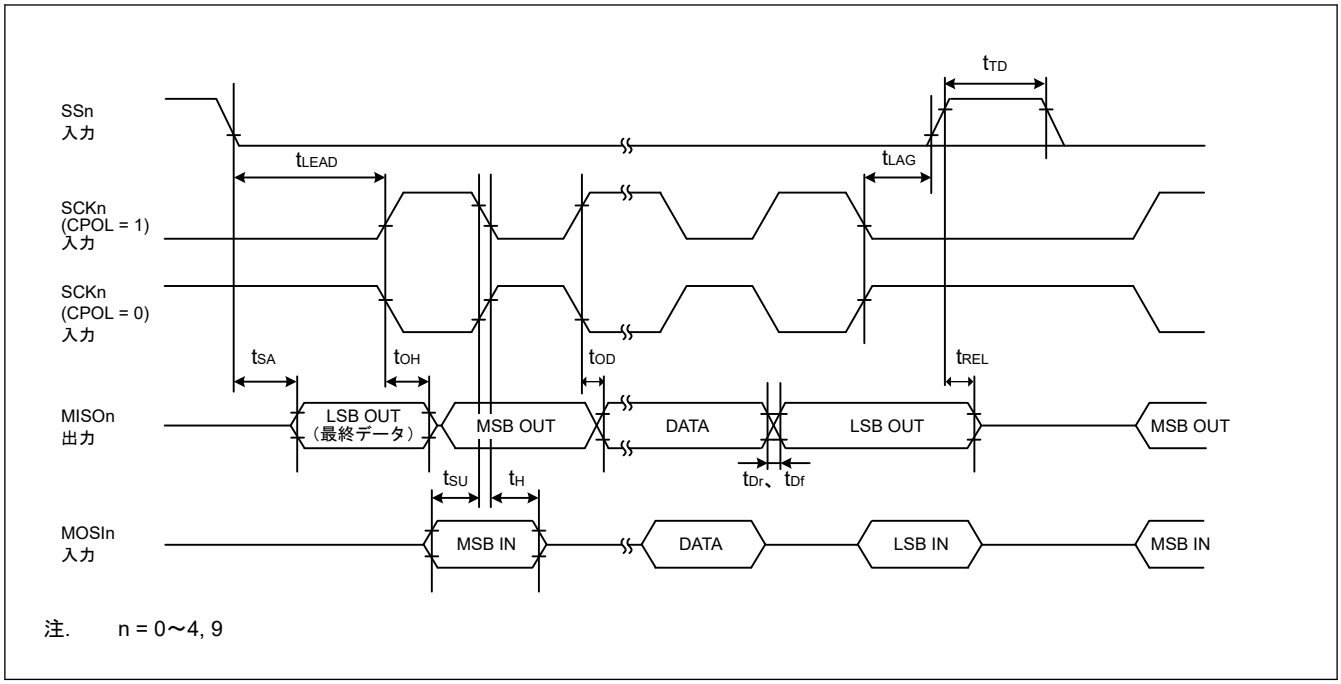


図 62.71　SCI 簡易 SPI モードタイミング（マスタ、CPHA = 1）



注.　n = 0～4, 9

図 62.72　SCI 簡易 SPI モードタイミング（スレーブ、CPHA = 0）



注. n = 0～4, 9

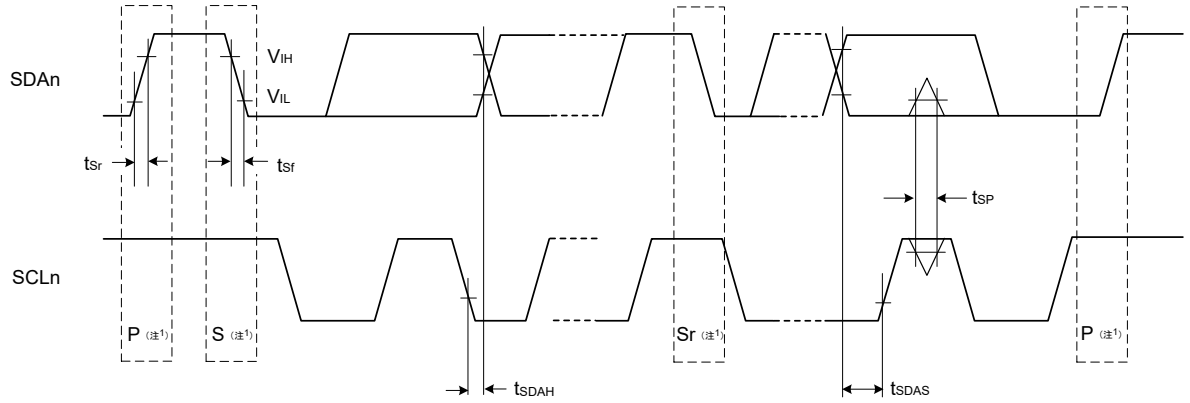
図 62.73 SCI 簡易 SPI モードタイミング（スレーブ、CPHA = 1）

表 62.62 SCI タイミング（簡易 IIC モード）

条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。
VCC/VCC2: 1.62 V 以上
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		シンボル	Min	Max	単位	備考
簡易 IIC（標準モード）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Tcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	
簡易 IIC（ファストモード）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Tcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	

注. t_{Tcyc}: TCLK の周期。
注 1. C_b はバスラインの容量総計を意味します。



測定条件：
V_{IH} = VCC × 0.7又はVCC2 × 0.7
V_{IL} = VCC × 0.3又はVCC2 × 0.3
V_{OL} = 0.6 V, I_{OL} = 6 mA

注. n = 0～4, 9
注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 62.74 SCI 簡易 IIC モードタイミング

62.3.10 SPI タイミング

表 62.63 SPI タイミング (1/6)

条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
   RSPCLKA_B、RSPCLKB_B。
   その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
RSPCK クロックサイクル	マスタ	高速(注1)	3.00 V 以上	t_{SPcyc}	2	4096	t_{Tcyc}	図 62.75
		高速(注1)	2.70 V 以上		2 (TCLK ≦ 166.6 MHz) 4 (TCLK > 166.6 MHz)	4096		
		高速(注1)	1.62 V 以上		2 (TCLK ≦ 83.3 MHz) 4 (TCLK ≦ 166.6 MHz) 8 (TCLK > 166.6 MHz)	4096		
		デフォルト (注2)	3.00 V 以上		2 (TCLK ≦ 166.6 MHz) 4 (TCLK > 166.6 MHz)	4096		
		デフォルト (注2)	2.70 V 以上		2 (TCLK ≦ 120 MHz) 4 (TCLK ≦ 240 MHz) 8 (TCLK > 240 MHz)	4096		
		デフォルト (注2)	1.62 V 以上		2 (TCLK ≦ 60 MHz) 4 (TCLK ≦ 120 MHz) 8 (TCLK ≦ 240 MHz) 16 (TCLK > 240 MHz)	4096		
	スレーブ	高速(注1)	3.00 V 以上		2 (TCLK ≦ 266 MHz) 4 (TCLK > 266 MHz)	—		
		高速(注1)	2.70 V 以上		2 (TCLK ≦ 166.6 MHz) 4 (TCLK > 166.6 MHz)	—		
		高速(注1)	1.62 V 以上		2 (TCLK ≦ 83.3 MHz) 4 (TCLK ≦ 166.6 MHz) 8 (TCLK > 166.6 MHz)	—		
		デフォルト (注2)	3.00 V 以上		2 (TCLK ≦ 166.6 MHz) 4 (TCLK > 166.6 MHz)	—		
		デフォルト (注2)	2.70 V 以上		2 (TCLK ≦ 120 MHz) 4 (TCLK ≦ 240 MHz) 8 (TCLK > 240 MHz)	—		
		デフォルト (注2)	1.62 V 以上		2 (TCLK ≦ 60 MHz) 4 (TCLK ≦ 120 MHz) 8 (TCLK ≦ 240 MHz) 16 (TCLK > 240 MHz)	—		

表 62.63　SPI タイミング (2/6)

条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
   RSPCLKA_B、RSPCLKB_B。
   その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
RSPCK クロック High レベルパルス幅	マスタ	—	3.00 V 以上	t_{SPCKWH}	(t_{SPcyc} – t_{SPCKr} – t_{SPCKf}) / 2 – 1	—	ns	図 62.75
		—	2.70 V 以上		(t_{SPcyc} – t_{SPCKr} – t_{SPCKf}) / 2 – 2	—		
		—	1.62 V 以上		(t_{SPcyc} – t_{SPCKr} – t_{SPCKf}) / 2 – 3	—		
	スレーブ	—	1.62 V 以上		0.4	—	t_{SPcyc}	
RSPCK クロック Low レベルパルス幅	マスタ	—	3.00 V 以上	t_{SPCKWL}	(t_{SPcyc} – t_{SPCKr} – t_{SPCKf}) / 2 – 1	—	ns	
		—	2.70 V 以上		(t_{SPcyc} – t_{SPCKr} – t_{SPCKf}) / 2 – 2	—		
		—	1.62 V 以上		(t_{SPcyc} – t_{SPCKr} – t_{SPCKf}) / 2 – 3	—		
	スレーブ	—	1.62 V 以上		0.4	—	t_{SPcyc}	
RSPCK クロック立ち上がり／立ち下がり時間	出力	高速(注1)	3.00 V 以上	t_{SPCKr}, t_{SPCKf}	—	0.80	ns	
		高速(注1)	2.70 V 以上		—	1.40		
		高速(注1)	1.62 V 以上		—	2.50		
		デフォルト (注2)	3.00 V 以上		—	1.66		
		デフォルト (注2)	2.70 V 以上		—	3.30		
		デフォルト (注2)	1.62 V 以上		—	6.60		
	入力	—	3.00 V 以上		—	0.1(注3)	μs	
		—	2.70 V 以上		—	0.1(注3)		
		—	1.62 V 以上		—	0.1(注3)		

表 62.63 SPI タイミング (3/6)

条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
   RSPCLKA_B、RSPCLKB_B。
   その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ入力セットアップ時間	マスタ	—	3.00 V 以上	t_{SU}	-2.5	—	ns	図 62.76、図 62.77
		—	2.70 V 以上		0.0	—		
		—	1.62 V 以上		0.0	—		
	スレーブ	高速(注1)	3.00 V 以上		1.5	—		
		高速(注1)	2.70 V 以上		1.5	—		
		高速(注1)	1.62 V 以上		1.5	—		
		デフォルト (注2)	3.00 V 以上		2.5	—		
		デフォルト (注2)	2.70 V 以上		2.5	—		
		デフォルト (注2)	1.62 V 以上		2.5	—		
データ入力ホールド時間	マスタ	—	3.00 V 以上	t_H	7.5	—	ns	
		—	2.70 V 以上		7.5	—		
		—	1.62 V 以上		9.5	—		
	スレーブ	高速(注1)	3.00 V 以上		1.5	—		
		高速(注1)	2.70 V 以上		1.5	—		
		高速(注1)	1.62 V 以上		1.5	—		
		デフォルト (注2)	3.00 V 以上		2.5	—		
		デフォルト (注2)	2.70 V 以上		2.5	—		
		デフォルト (注2)	1.62 V 以上		5.5	—		

表 62.63　SPI タイミング (4/6)

条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
   RSPCLKA_B、RSPCLKB_B。
   その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SSL セットアップ時間	マスタ	—	3.00 V 以上	t_{LEAD}	1 × t_{SPcyc} − 10	8 × t_{SPcyc} + 10	ns	図 62.76、図 62.77
		—	2.70 V 以上		1 × t_{SPcyc} − 10	8 × t_{SPcyc} + 10		
		—	1.62 V 以上		1 × t_{SPcyc} − 10	8 × t_{SPcyc} + 10		
	スレーブ	—	3.00 V 以上		5.0	—	t_{Tcyc}	
		—	2.70 V 以上		5.0	—		
		—	1.62 V 以上		5.0	—		
SSL ホールド時間	マスタ	—	3.00 V 以上	t_{LAG}	1 × t_{SPcyc} − 10	8 × t_{SPcyc} + 10	ns	
		—	2.70 V 以上		1 × t_{SPcyc} − 10	8 × t_{SPcyc} + 10		
		—	1.62 V 以上		1 × t_{SPcyc}−- 10	8 × t_{SPcyc} + 10		
	スレーブ	—	3.00 V 以上		5.0	—	t_{Tcyc}	
		—	2.70 V 以上		5.0	—		
		—	1.62 V 以上		5.0	—		
TI SSP SS 入力セットアップ時間	スレーブ	—	3.00 V 以上	t_{TISS}	2.5	—	ns	図 62.81
		—	2.70 V 以上		2.5	—		
		—	1.62 V 以上		2.5	—		
TI SSP SS 入力ホールド時間	スレーブ	—	3.00 V 以上	t_{TISH}	2.5	—	ns	
		—	2.70 V 以上		2.5	—		
		—	1.62 V 以上		5.5	—		
TI SSP 次アクセス時間	スレーブ	—	3.00 V 以上	t_{TIND}	2 × t_{Tcyc} + SLNDL × t_{Tcyc}	—	ns	
		—	2.70 V 以上		2 × t_{Tcyc} + SLNDL × t_{Tcyc}	—		
		—	1.62 V 以上		2 × t_{Tcyc} + SLNDL × t_{Tcyc}	—		
TI SSP マスタ SS 出力遅延	マスタ	—	3.00 V 以上	t_{TISSOD}	—	4.0	ns	図 62.78
		—	2.70 V 以上		—	8.0		
		—	1.62 V 以上		—	8.0		

表 62.63 SPI タイミング (5/6)

条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
   RSPCLKA_B、RSPCLKB_B。
   その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ出力遅延時間	マスタ	—	3.00 V 以上	t_{OD1}	—	2.0	ns	図 62.76、図 62.77
		—	2.70 V 以上		—	3.0		
		—	1.62 V 以上		—	6.0		
		高速(注1)	3.00 V 以上	t_{OD2}	—	1.5		
		高速(注1)	2.70 V 以上		—	2.5		
		高速(注1)	1.62 V 以上		—	4.5		
		デフォルト (注2)	3.00 V 以上		—	2.5		
		デフォルト (注2)	2.70 V 以上		—	2.5		
		デフォルト (注2)	1.62 V 以上		—	4.5		
	スレーブ	—	3.00 V 以上	t_{OD}	—	10.0		
		—	2.70 V 以上		—	13.5		
		—	1.62 V 以上		—	21.5		
データ出力ホールド時間	マスタ	高速(注1)	3.00 V 以上	t_{OH}	-1.5	—	ns	
		高速(注1)	2.70 V 以上		-2.5	—		
		高速(注1)	1.62 V 以上		-4.5	—		
		デフォルト (注2)	3.00 V 以上		-2.5	—		
		デフォルト (注2)	2.70 V 以上		-2.5	—		
		デフォルト (注2)	1.62 V 以上		-4.5	—		
	スレーブ	—	3.00 V 以上		0.0	—		
		—	2.70 V 以上		0.0	—		
		—	1.62 V 以上		0.0	—		

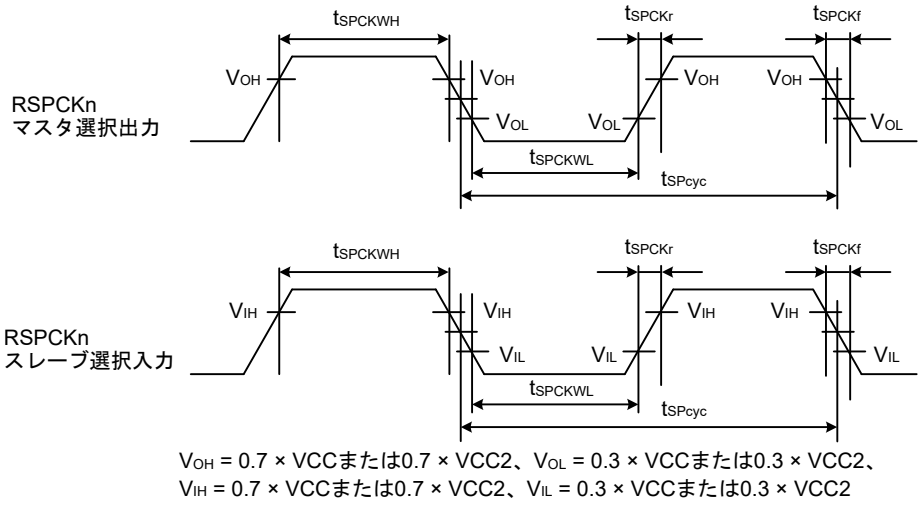
表 62.63　SPI タイミング (6/6)

条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
   RSPCLKA_B、RSPCLKB_B。
   その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

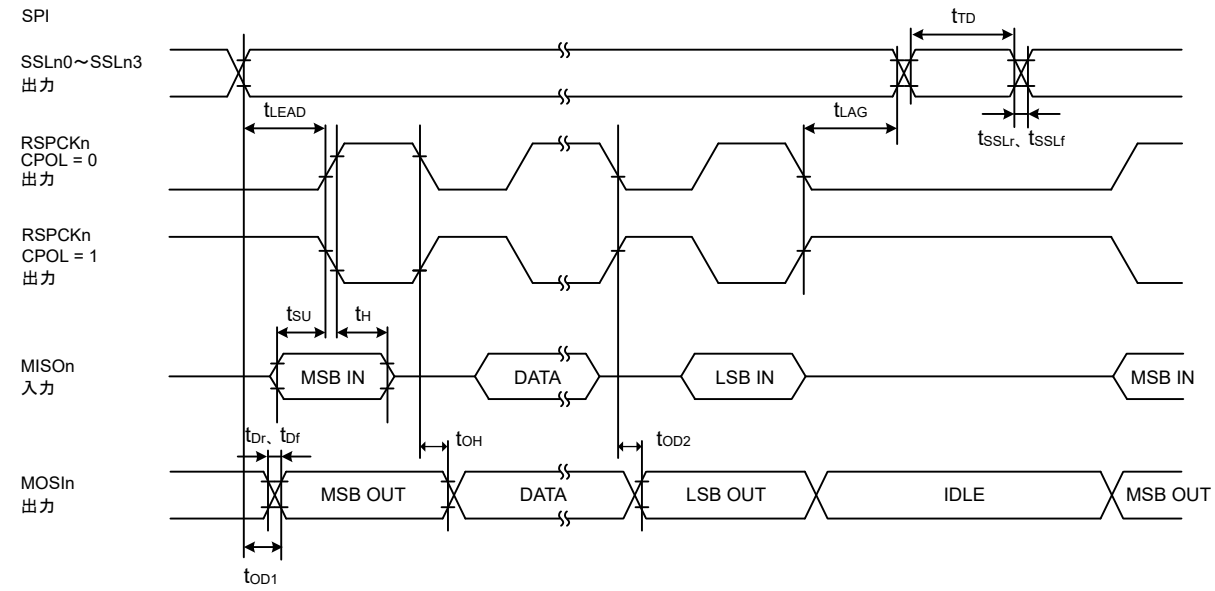
項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
連続送信遅延時間	マスタ	—	3.00 V 以上	t_{TD}	$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$	ns	図 62.76、図 62.77
		—	2.70 V 以上		$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$		
		—	1.62 V 以上		$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$		
	スレーブ	—	3.00 V 以上		t_{Tcyc}	—	ns	
		—	2.70 V 以上		t_{Tcyc}	—		
		—	1.62 V 以上		t_{Tcyc}	—		
MOSI、MISO 立ち上がり／立ち下がり時間	出力	—	3.00 V 以上	t_{Dr}、t_{Df}	—	1.66	ns	
		—	2.70 V 以上		—	3.30		
		—	1.62 V 以上		—	6.60		
	入力	—	3.00 V 以上		—	1.0	μs	
		—	2.70 V 以上		—	1.0		
		—	1.62 V 以上		—	1.0		
SSL 立ち上がり／立ち下がり時間	出力	—	3.00 V 以上	t_{SSLr}, t_{SSLf}	—	1.66	ns	
		—	2.70 V 以上		—	3.30		
		—	1.62 V 以上		—	6.60		
	入力	—	3.00 V 以上		—	1.0	μs	
		—	2.70 V 以上		—	1.0		
		—	1.62 V 以上		—	1.0		
スレーブアクセス時間	スレーブ	—	3.00 V 以上	t_{SA}	—	20.0	ns	図 62.79、図 62.80
		—	2.70 V 以上		—	20.0		
		—	1.62 V 以上		—	25.0		
スレーブ出力解放時間	スレーブ	—	3.00 V 以上	t_{REL}	—	20.0	ns	
		—	2.70 V 以上		—	20.0		
		—	1.62 V 以上		—	25.0		

注.　t_{Tcyc}: TCLK サイクル
注 1.　所属グループを示すため、_A や_B などのように端子名の後ろに文字を付加した端子を使用してください。SPI0 と SPI1 は_B の例です。
注 2.　所属グループのすべての端子を使用できます。
注 3.　最長 1 μs



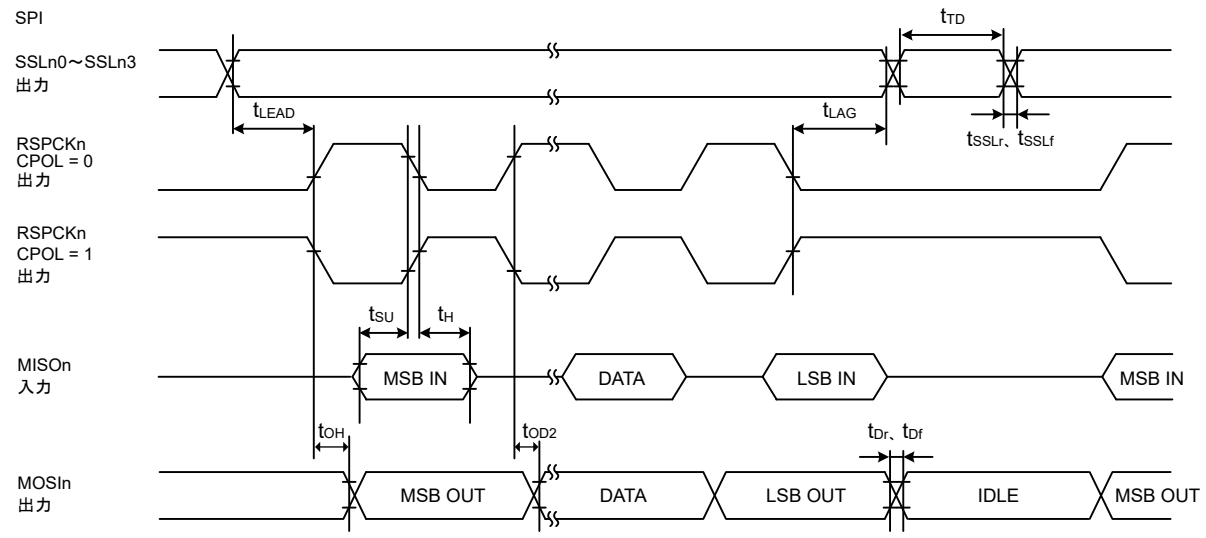
V_{OH} = 0.7 × VCCまたは0.7 × VCC2、V_{OL} = 0.3 × VCCまたは0.3 × VCC2、
V_{IH} = 0.7 × VCCまたは0.7 × VCC2、V_{IL} = 0.3 × VCCまたは0.3 × VCC2

図 62.75　SPI クロックタイミング



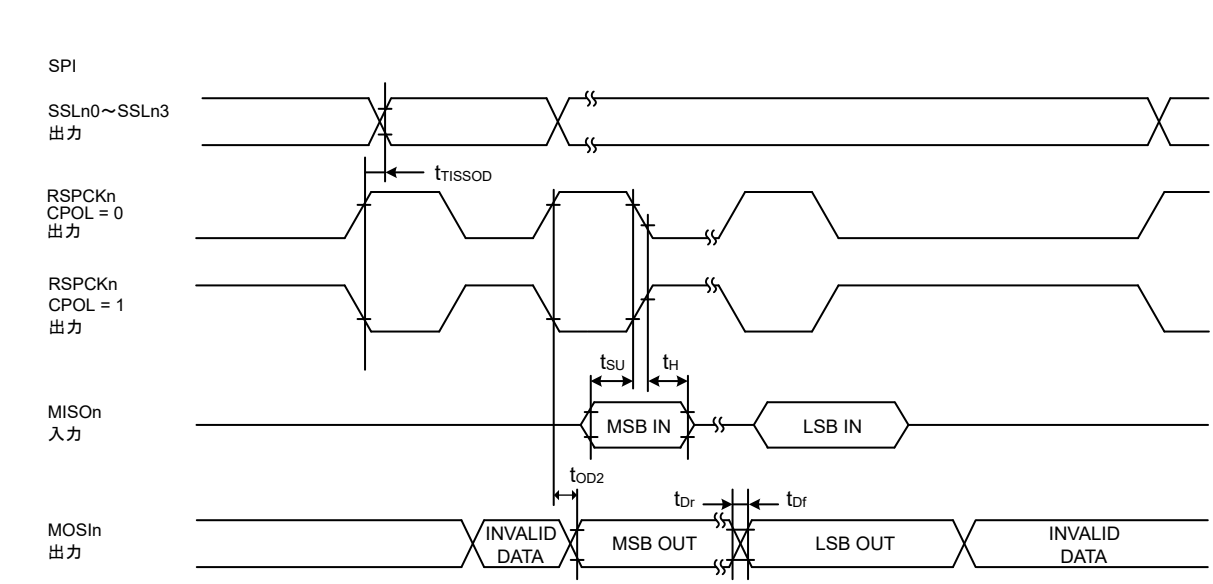
注.　n = A または B

図 62.76　CPHA = 0 の場合におけるモトローラ SPI マスタの SPI タイミング



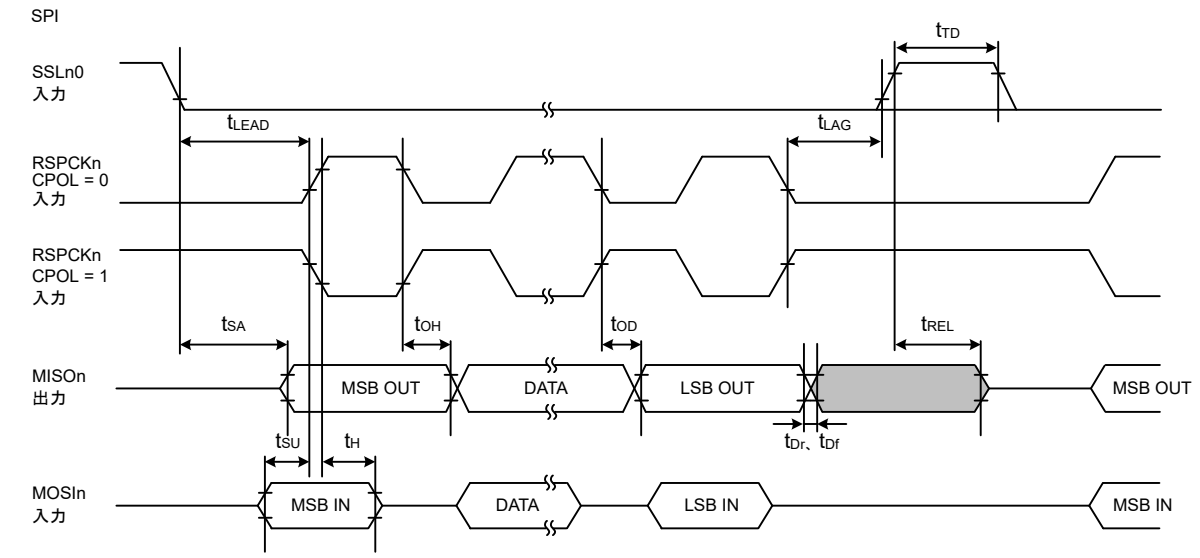
注. n = A または B

図 62.77 CPHA = 1 の場合におけるモトローラ SPI マスタの SPI タイミング



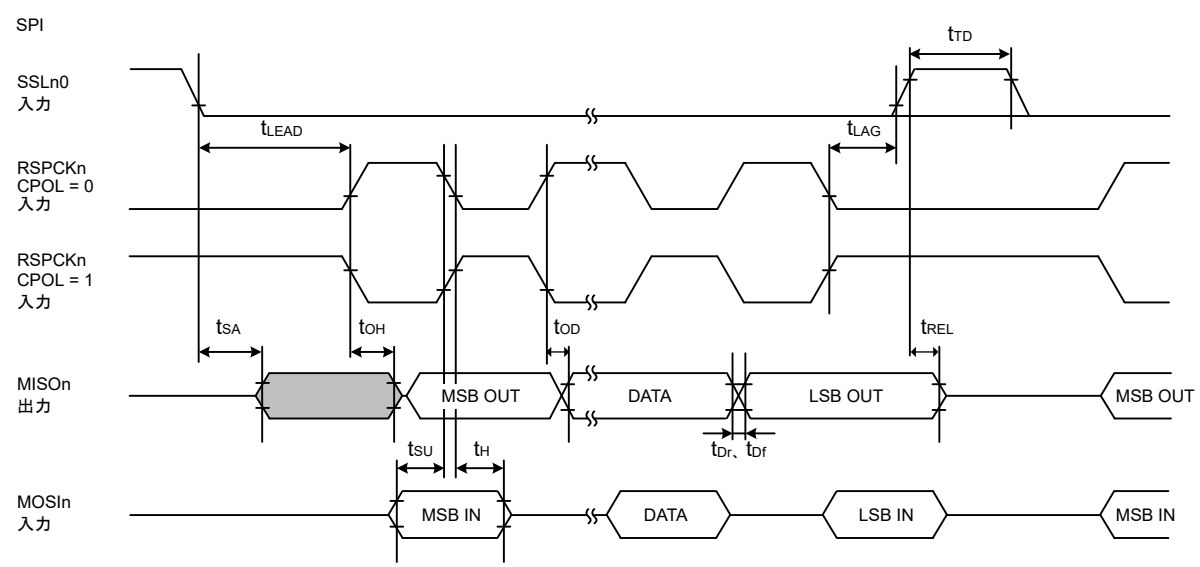
注. n = A または B

図 62.78 SPI タイミング（TI SSP マスタ）



注. n = A または B

図 62.79 CPHA = 0 の場合におけるモトローラ SPI スレーブの SPI タイミング



注. n = A または B

図 62.80 CPHA = 1 の場合におけるモトローラ SPI スレーブの SPI タイミング

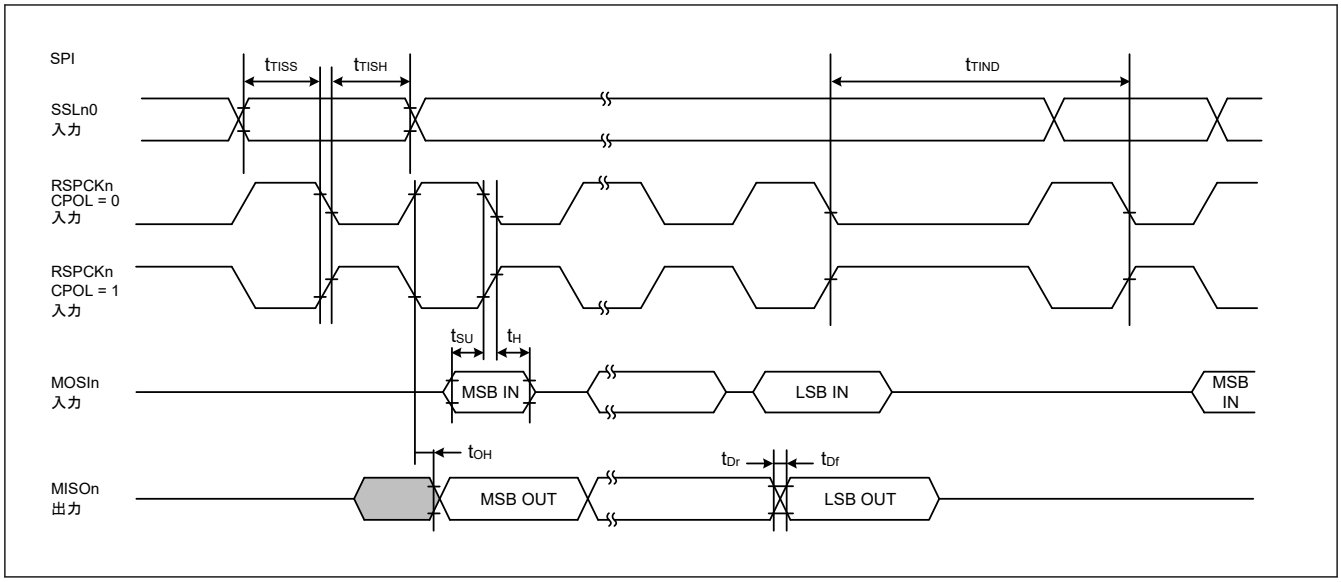


図 62.81　フレーム間の遅延がある送信における TI SSP スレーブの SPI タイミング

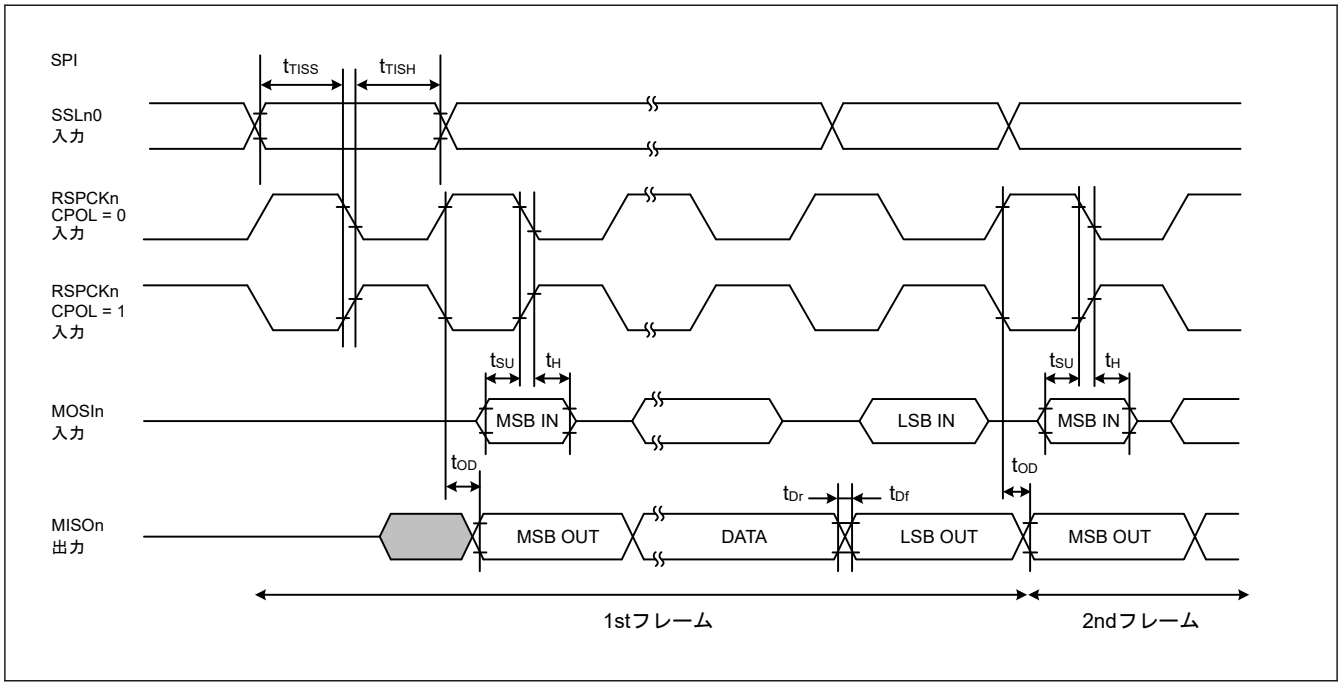


図 62.82　フレーム間の遅延がない送信における TI SSP スレーブの SPI タイミング

62.3.11 OSPI タイミング

表 62.64 OSPI タイミング (1/6)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：OM_n_CS0、OM_n_CS1。
負荷容量 C = 15 pF

項目		シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
サイクルタイム	OM_DQS 端子なしの SDR	t_{PERIOD}	2.70 V 以上	VSCR_1、電圧範囲 1	16.67	—	ns	図 62.83
				VSCR_2、電圧範囲 2				
			1.62 V～2.00 V	VSCR_1、電圧範囲 1	20.00	—		
				VSCR_2、電圧範囲 2				
	OM_DQS 端子ありの SDR/DDR	t_{PERIOD}	2.70 V 以上	VSCR_1、電圧範囲 1	6.00	—	ns	
				VSCR_2、電圧範囲 2	7.50	—		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				
クロック出力スルーレート		t_{SRck}	2.70 V 以上	VSCR_1、電圧範囲 1	0.94	—	V/ns	図 62.83
				VSCR_2、電圧範囲 2	0.75	—		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				
クロックデューティーサイクル歪み		t_{CKDCD}	2.70 V 以上	VSCR_1、電圧範囲 1	0	0.3	ns	図 62.83
				VSCR_2、電圧範囲 2	0	0.375		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				
クロック最小パルス幅		t_{CKMPW}	2.70 V 以上	VSCR_1、電圧範囲 1	2.7	—	ns	図 62.83
				VSCR_2、電圧範囲 2	3.375	—		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				

表 62.64　OSPI タイミング (2/6)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：OM_n_CS0、OM_n_CS1。
負荷容量 C = 15 pF

項目		シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
差動クロック交差電圧		V_{ox}(AC)	2.70 V 以上	VSCR_1、電圧範囲 1	0.2 × VCC2	0.6 × VCC2	V	図 62.83
				VSCR_2、電圧範囲 2				
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				
DS デューティーサイクル歪み		t_{DSDCD}	2.70 V 以上	VSCR_1、電圧範囲 1	0	0.24	ns	図 62.83
				VSCR_2、電圧範囲 2	0	0.3		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				
DS 最小パルス幅		t_{DSMPW}	2.70 V 以上	VSCR_1、電圧範囲 1	2.46	—	ns	図 62.83
				VSCR_2、電圧範囲 2	3.075	—		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				
データ入出力スルーレート		t_{SR}	2.70 V 以上	VSCR_1、電圧範囲 1	1.72	—	ns	図 62.83
				VSCR_2、電圧範囲 2	1.37	—		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1	0.75	—		
				VSCR_2、電圧範囲 2				
データ入力セットアップ時間（OM_SCLK/OM_SCLKN に対して）	OM_DQS なしの SDR	t_{SU}	2.70 V 以上	VSCR_1、電圧範囲 1	8.17	—	ns	図 62.84
				VSCR_2、電圧範囲 2				
			1.62 V～2.00 V	VSCR_1、電圧範囲 1	13.0	—		
				VSCR_2、電圧範囲 2				
データ入力ホールド時間（OM_SCLK/OM_SCLKN に対して）		t_H	2.70 V 以上	VSCR_1、電圧範囲 1	0.5	—	ns	
				VSCR_2、電圧範囲 2				
			1.62 V～2.00 V	VSCR_1、電圧範囲 1	0.5	—		
				VSCR_2、電圧範囲 2				

表 62.64 OSPI タイミング (3/6)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：OM_n_CS0、OM_n_CS1。
負荷容量 C = 15 pF

項目		シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
データ出力有効時間	OM_DQS なしの SDR	t_{OV}(注2)	2.70 V 以上	VSCR_1、電圧範囲 1	—	5.4	ns	図 62.84
				VSCR_2、電圧範囲 2				
			1.62 V～2.00 V	VSCR_1、電圧範囲 1	—	6.9		
				VSCR_2、電圧範囲 2				
データ出力ホールド時間		t_{OH}	2.70 V 以上	VSCR_1、電圧範囲 1	-5.4	—	ns	
				VSCR_2、電圧範囲 2				
			1.62 V～2.00 V	VSCR_1、電圧範囲 1	-6.9	—		
				VSCR_2、電圧範囲 2				
データ出力バッファオフ時間		t_{BOFF}	2.70 V 以上	VSCR_1、電圧範囲 1	-5.4	—	ns	
				VSCR_2、電圧範囲 2				
			1.62 V～2.00 V	VSCR_1、電圧範囲 1	-6.9	—		
				VSCR_2、電圧範囲 2				
データ入力セットアップ時間（OM_DQS に対して）	OM_DQS/DDR 端子付き SDR	t_{SU}	2.70 V 以上	VSCR_1、電圧範囲 1	-0.58	—	ns	図 62.85, 図 62.86
				VSCR_2、電圧範囲 2	-0.7	—		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				
データ入力ホールド時間（OM_DQS に対して）		t_H	2.70 V 以上	VSCR_1、電圧範囲 1	1.88	—	ns	
				VSCR_2、電圧範囲 2	2.375	—		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				

表 62.64 OSPI タイミング (4/6)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：OM_n_CS0、OM_n_CS1。
負荷容量 C = 15 pF

項目		シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
データ出力有効時間	OM_DQS/DDR 端子付き SDR	t_{OV}(注2)	2.70 V 以上	VSCR_1、電圧範囲 1	—	t_{PERIOD}/4 + 0.5	ns	図 62.85, 図 62.86
				VSCR_2、電圧範囲 2	—	t_{PERIOD}/4 + 0.6		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				
データ出力ホールド時間		t_{OH}	2.70 V 以上	VSCR_1、電圧範囲 1	0.7	—	ns	
				VSCR_2、電圧範囲 2	0.9	—		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				
データ出力バッファオフ時間		t_{BOFF}	2.70 V 以上	VSCR_1、電圧範囲 1	0.7	—	ns	
				VSCR_2、電圧範囲 2	0.9	—		
			1.62 V～2.00 V	VSCR_1、電圧範囲 1				
				VSCR_2、電圧範囲 2				

表 62.64 OSPI タイミング (5/6)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：OM_n_CS0、OM_n_CS1。
負荷容量 C = 15 pF

項目	シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
クロック Low～CS Low	t_{CKLCSL}	2.70 V 以上	VSCR_1、電圧範囲 1	4.8	—	ns	図 62.84、図 62.85、図 62.86
			VSCR_2、電圧範囲 2	6	—		
		1.62 V～2.00 V	VSCR_1、電圧範囲 1				
			VSCR_2、電圧範囲 2				
CS Low～クロック High	t_{CSLCKH} (注3)	2.70 V 以上	VSCR_1、電圧範囲 1	4.8	—	ns	
			VSCR_2、電圧範囲 2	6	—		
		1.62 V～2.00 V	VSCR_1、電圧範囲 1				
			VSCR_2、電圧範囲 2				
CS Low～CS High	t_{CKLCSH}	2.70 V 以上	VSCR_1、電圧範囲 1	4.8	—	ns	
			VSCR_2、電圧範囲 2	6	—		
		1.62 V～2.00 V	VSCR_1、電圧範囲 1				
			VSCR_2、電圧範囲 2				
CS High～クロック High	t_{CSHCKH}	2.70 V 以上	VSCR_1、電圧範囲 1	4.8	—	ns	
			VSCR_2、電圧範囲 2	6	—		
		1.62 V～2.00 V	VSCR_1、電圧範囲 1				
			VSCR_2、電圧範囲 2				

表 62.64　OSPI タイミング (6/6)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：OM_n_CS0、OM_n_CS1。
負荷容量 C = 15 pF

項目	シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
DS Low 出力～CS High	t_{CSHCKH}	2.70 V 以上	VSCR_1、電圧範囲 1	0.8 × t_{PERIOD}	—	ns	図 62.87
			VSCR_2、電圧範囲 2	0.8 × t_{PERIOD}	—		
		1.62 V～2.00 V	VSCR_1、電圧範囲 1				
			VSCR_2、電圧範囲 2				
CS High～DS トライステート	t_{CSHDST}	2.70 V 以上	VSCR_1、電圧範囲 1	—	t_{PERIOD}	ns	
			VSCR_2、電圧範囲 2	—	t_{PERIOD}		
		1.62 V～2.00 V	VSCR_1、電圧範囲 1				
			VSCR_2、電圧範囲 2				
CS Low～DS Low 入力(注1) (注3)	t_{CSLDSL}	2.70 V 以上	VSCR_1、電圧範囲 1	0	12.5	ns	
			VSCR_2、電圧範囲 2	0	20		
		1.62 V～2.00 V	VSCR_1、電圧範囲 1	0	12.5		
			VSCR_2、電圧範囲 2				
DS トライステート～CS Low	t_{DSTCSL}	2.70 V 以上	VSCR_1、電圧範囲 1	0	—	ns	
			VSCR_2、電圧範囲 2	0	—		
		1.62 V～2.00 V	VSCR_1、電圧範囲 1				
			VSCR_2、電圧範囲 2				
クロック High～DQS 入力(注4)	t_{CKHDSH}	2.70 V 以上	VSCR_1、電圧範囲 1	—	t_{PERIOD} × (1 + DDRSMPEX [3:0]) − 8.5	ns	図 62.85
			VSCR_2、電圧範囲 2				
		1.62 V～2.00 V	VSCR_1、電圧範囲 1	—	t_{PERIOD} × (1 + DDRSMPEX [3:0]) − 12.5		
			VSCR_2、電圧範囲 2				

注.　n = 0, 1
注 1.　OM_DQS 端子に接続された外部プルダウンで JESD251 プロファイル 1.0 メモリを使用する場合はこの制限に従う必要はありません。
注 2.　条件： COMCFG.OEASTEX = 1
注 3.　条件：LIOCFGCSx.CSASTEX = 1
注 4.　メモリのデータシートを参照し、DDRSMPEX[3:0]ビットがこの値を満たすように設定してください。

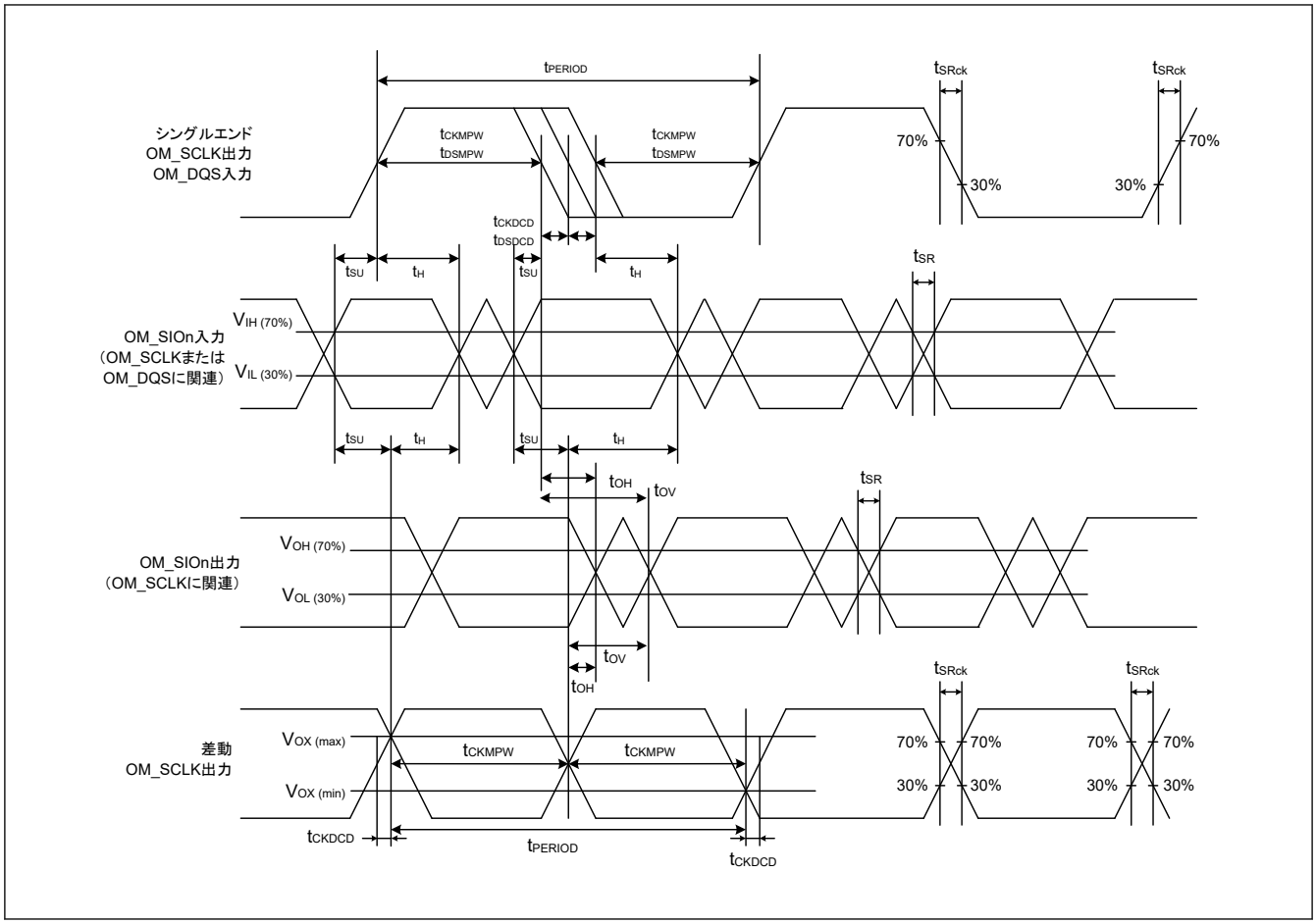


図 62.83　OSPI クロック／DS タイミング

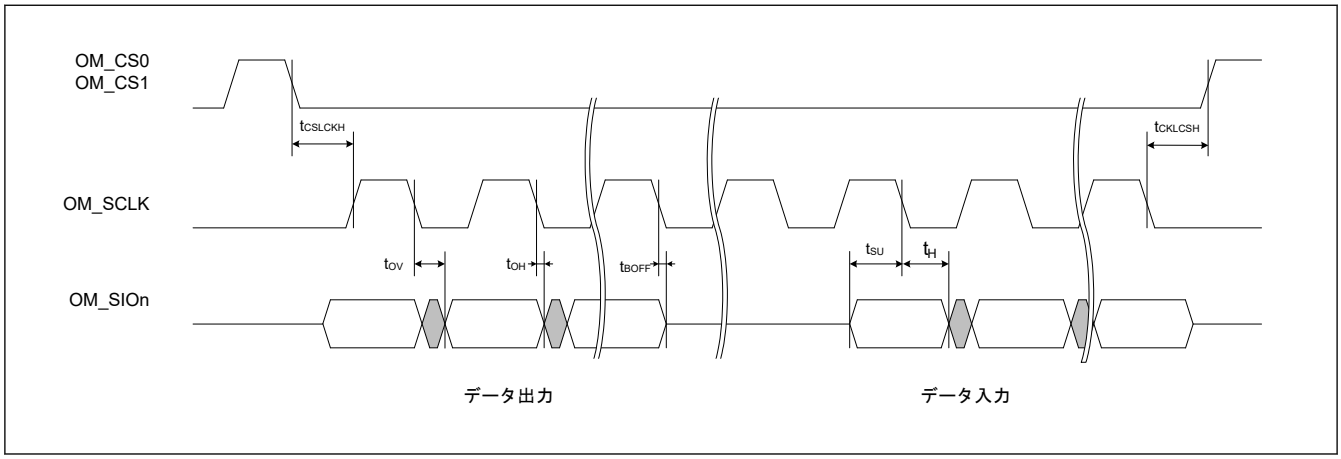


図 62.84　SDR 送受信タイミング（1S-1S-1S、1S-2S-2S、2S-2S-2S、1S-4S-4S、4S-4S-4S）

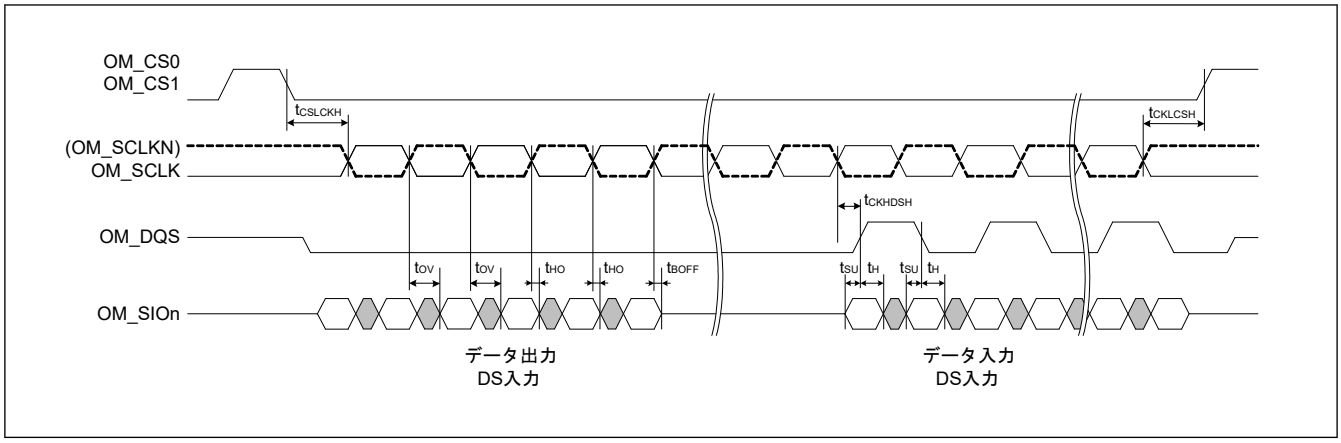


図 62.85　DDR 送受信タイミング（4S-4D-4D、8D-8D-8D）

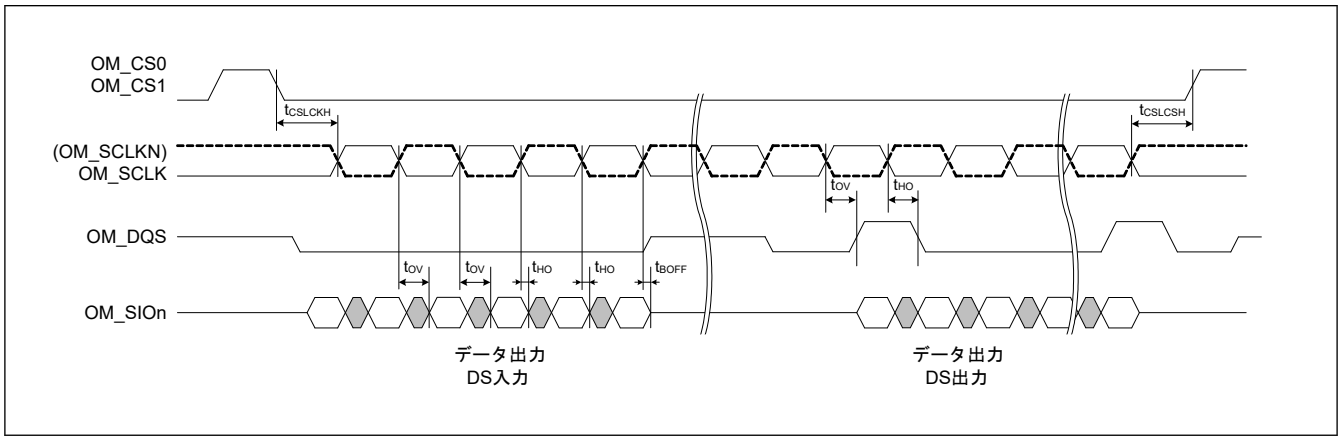


図 62.86　DDR 送受信タイミング（HyperRAM 書き込み）

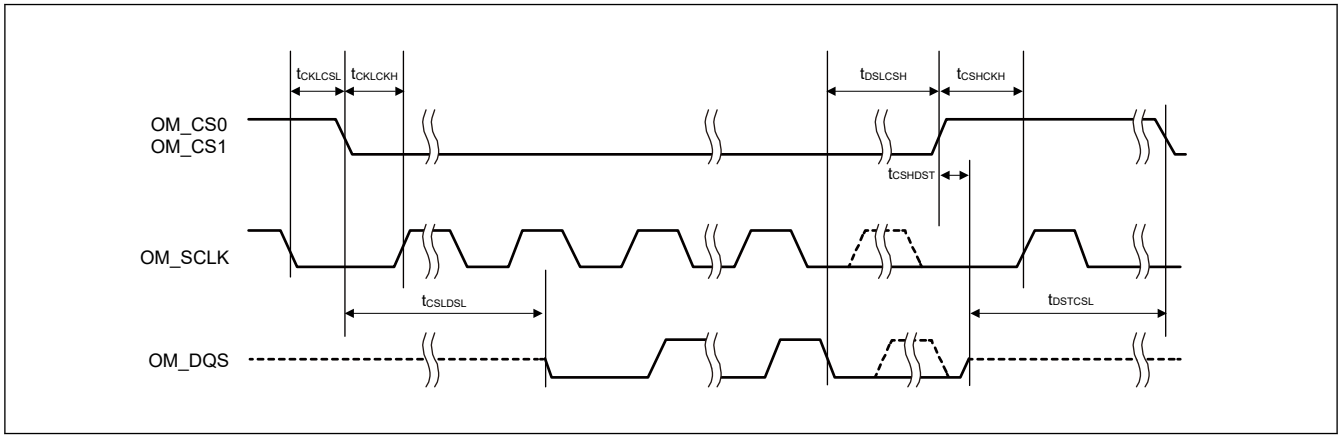


図 62.87　DS～CS 信号タイミング

62.3.12 IIC タイミング

表 62.65 IIC タイミング (1) (1/2)

条件：

1. 以下の端子の PmnPFS レジスタのポート駆動能力ビットにおいて、VCC が 2.70 V 以上の時は中駆動出力が選択され、1.62～1.95 V の時は高駆動出力が選択されます。SDA0_B, SCL0_B, SDA1_B, SCL1_B, SDA2_B, SCL2_B
2. 以下の端子の設定は必要ありません：SCL0_A, SDA0_A。SCL1_A, SDA1_A。SCL2_A, SDA2_A。
3. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。

IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC（標準モード、SMBus） ICFER.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上	6 (12) × t_{IICcyc} + 1300	—	ns	図 62.88
			1.62～1.95 V				
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.62～1.95 V				
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.62～1.95 V				
	SCL、SDA 立ち上がり時間	t_{Sr}	2.70 V 以上	—	1000	ns	
			1.62～1.95 V				
	SCL、SDA 立ち下がり時間	t_{Sf}	2.70 V 以上	—	300	ns	
			1.62～1.95 V				
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上	0	1 (4) × t_{IICcyc}	ns	
			1.62～1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.62～1.95 V				
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	—	ns	
			1.62～1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	t_{IICcyc} + 300	—	ns	
			1.62～1.95 V				
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
			1.62～1.95 V				
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上	1000	—	ns	
			1.62～1.95 V				
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上	1000	—	ns	
			1.62～1.95 V				
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上	t_{IICcyc} + 50	—	ns	
			1.62～1.95 V				
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上	0	—	ns	
			1.62～1.95 V				
	SCL、SDA の負荷容量	C_b	2.70 V 以上	—	400	pF	
			1.62～1.95 V				

表 62.65 IIC タイミング (1) (2/2)

条件：

1. 以下の端子の PmnPFS レジスタのポート駆動能力ビットにおいて、VCC が 2.70 V 以上の時は中駆動出力が選択され、1.62～1.95 V の時は高駆動出力が選択されます。SDA0_B, SCL0_B, SDA1_B, SCL1_B, SDA2_B, SCL2_B
2. 以下の端子の設定は必要ありません：SCL0_A, SDA0_A。SCL1_A, SDA1_A。SCL2_A, SDA2_A。
3. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。

IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC（ファストモード） ICFER.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上	6 (12) × t_{IICcyc} + 600	—	ns	図 62.88
			1.62～1.95 V				
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.62～1.95 V				
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.62～1.95 V				
	SCL、SDA 立ち上がり時間	t_{Sr}	2.70 V 以上	20	300	ns	
			1.62～1.95 V				
	SCL、SDA 立ち下がり時間	t_{Sf}	2.70 V 以上	20 ×（外付けプルアップ電圧／5.5 V）(注1)	300	ns	
			1.62～1.95 V				
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上	0	1 (4) × t_{IICcyc}	ns	
			1.62～1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.62～1.95 V				
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	—	ns	
			1.62～1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	t_{IICcyc} + 300	—	ns	
			1.62～1.95 V				
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
			1.62～1.95 V				
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上	300	—	ns	
			1.62～1.95 V				
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上	300	—	ns	
			1.62～1.95 V				
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上	t_{IICcyc} + 50	—	ns	
			1.62～1.95 V				
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上	0	—	ns	
			1.62～1.95 V				
	SCL、SDA の負荷容量	C_b	2.70 V 以上	—	400	pF	
			1.62～1.95 V				

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル、t_{Pcyc}：PCLKB サイクル

注. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると（ ）内の値が適用されます。

注. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 1. SCL0_A、SDA0_A、SCL1_A、SDA1_A、SCL2_A、および SDA2_A に限りサポートされています。

表 62.66 IIC タイミング (2)

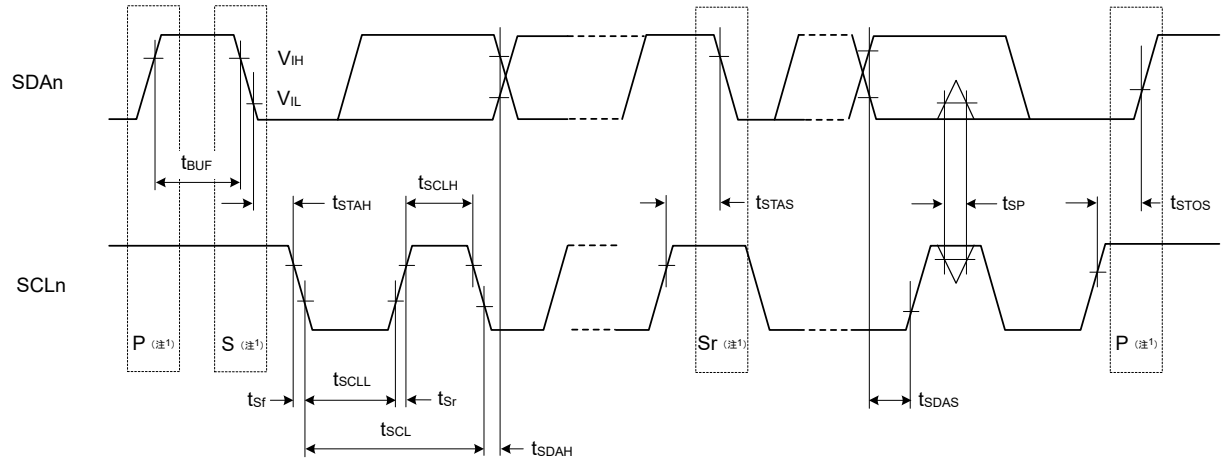
SCL0_A、SDA0_A、SCL1_A、SDA1_A の設定。PmnPFS レジスタのポート駆動能力ビットでは、SCL2_A 端子、SDA2_A 端子は必要ありません。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC（ファストモード+） ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上	6 (12) × t_{IICcyc} + 240	—	ns	図 62.88
			1.62～1.95 V				
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上	3 (6) × t_{IICcyc} + 120	—	ns	
			1.62～1.95 V				
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上	3 (6) × t_{IICcyc} + 120	—	ns	
			1.62～1.95 V				
	SCL、SDA 立ち上がり時間	t_{Sr}	2.70 V 以上	—	120	ns	
			1.62～1.95 V				
	SCL、SDA 立ち下がり時間	t_{Sf}	2.70 V 以上	20 ×（外付けプルアップ電圧／5.5 V）	120	ns	
			1.62～1.95 V				
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上	0	1 (4) × t_{IICcyc}	ns	
			1.62～1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 120	—	ns	
			1.62～1.95 V				
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 120	—	ns	
			1.62～1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	t_{IICcyc} + 120	—	ns	
			1.62～1.95 V				
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	1 (5) × t_{IICcyc} + t_{Pcyc} + 120	—	ns	
			1.62～1.95 V				
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上	120	—	ns	
			1.62～1.95 V				
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上	120	—	ns	
			1.62～1.95 V				
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上	t_{IICcyc} + 30	—	ns	
			1.62～1.95 V				
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上	0	—	ns	
			1.62～1.95 V				
	SCL、SDA の負荷容量	C_b(注1)	2.70 V 以上	—	550	pF	
			1.62～1.95 V				

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル、tPcyc：PCLKB サイクル

注. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると（ ）内の値が適用されます。

注 1. Cb はバスラインの容量総計を意味します。



注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 62.88 I^2C バスインタフェース入出力タイミング

62.3.13 I3C タイミング

表 62.67 IIC タイミング (1)-1

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

パラメータ		シンボル	VCC	Min	Max	単位
IIC（標準モード、SMBus） BFCTL.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上、 1.65～1.95 V	10 (18) × t_{I3Ccyc} + 1300	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上、 1.65～1.95 V	5 (9) × t_{I3Ccyc} + 300	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上、 1.65～1.95 V	5 (9) × t_{I3Ccyc} + 300	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	2.70 V 以上、 1.65～1.95 V	—	1000	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	2.70 V 以上、 1.65～1.95 V	—	300	ns
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上、 1.65～1.95 V	0	1 (4) × t_{I3Ccyc}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上、 1.65～1.95 V	5(9) × t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上、 1.65～1.95 V	5(9) × t_{I3Ccyc} + 4 × t_{Tcyc} + 300	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上、 1.65～1.95 V	t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上、 1.65～1.95 V	1(5) × t_{I3Ccyc} + t_{Tcyc} + 300	—	ns
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上、 1.65～1.95 V	1000	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上、 1.65～1.95 V	1000	—	ns
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上、 1.65～1.95 V	t_{I3Ccyc} + 50	—	ns
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上、 1.65～1.95 V	0	—	ns
	SCL、SDA の負荷容量	C_b(注1)	2.70 V 以上、 1.65～1.95 V	—	400	pF

注. t_{I3Ccyc}：I3C 内部基準クロック (I3Cφ) サイクル、t_{Tcyc}：TCLK の周期。

注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。

注 1. C_b はバスラインの容量総計を意味します。

表 62.68 IIC タイミング (1)-2

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

パラメータ		シンボル	VCC	Min	Max	単位
IIC（ファストモード）	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上、1.65～1.95 V	10 (18) × t_{I3Ccyc} + 600	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上、1.65～1.95 V	5 (9) × t_{I3Ccyc} + 300	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上、1.65～1.95 V	5 (9) × t_{I3Ccyc} + 300	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	2.70 V 以上、1.65～1.95 V	20	300	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	2.70 V 以上、1.65～1.95 V	20 ×（外付けプルアップ電圧/3.6 V）	300	ns
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上、1.65～1.95 V	0	1 (4) × t_{I3Ccyc}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上、1.65～1.95 V	5 (9) × t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間		2.70 V 以上、1.65～1.95 V	5(9) × t_{I3Ccyc} + 4 × t_{Tcyc} + 300	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上、1.65～1.95 V	t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間		2.70 V 以上、1.65～1.95 V	1(5) × t_{I3Ccyc} + t_{Tcyc} + 300	—	ns
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上、1.65～1.95 V	300	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上、1.65～1.95 V	300	—	ns
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上、1.65～1.95 V	t_{I3Ccyc} + 50	—	ns
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上、1.65～1.95 V	0	—	ns
	SCL、SDA の負荷容量	C_b(注1)	2.70 V 以上、1.65～1.95 V	—	400	pF

注. t_{I3Ccyc}：I3C 内部基準クロック (I3Cφ) サイクル、t_{Tcyc}：TCLK の周期。

注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。

注 1. C_b はバスラインの容量総計を意味します。

表 62.69 IIC タイミング (1)-3

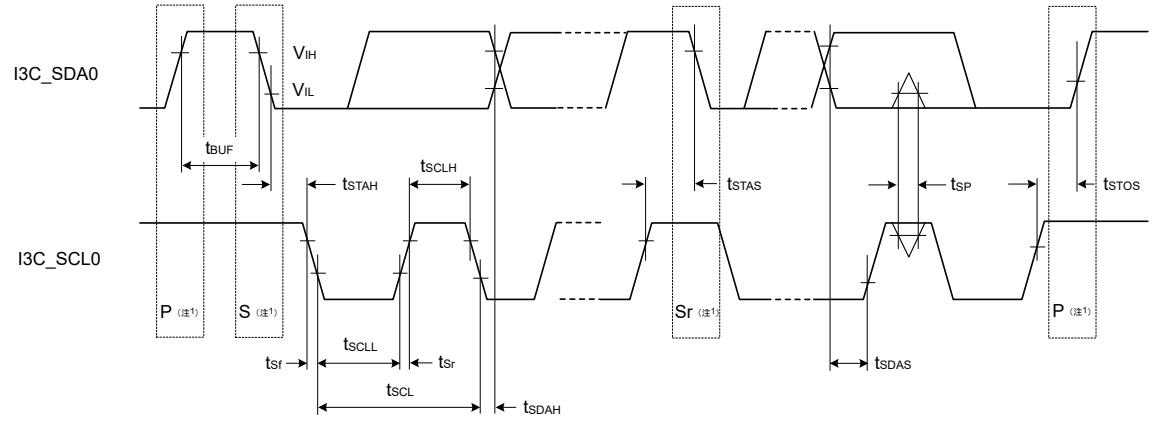
PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

項目		シンボル	VCC	Min	Max	単位
IIC（ファストモード+）BFCTL.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上、1.65～1.95 V	10 (18) × t_{I3Ccyc} + 240	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上、1.65～1.95 V	5 (9) × t_{I3Ccyc} + 120	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上、1.65～1.95 V	5 (9) × t_{I3Ccyc} + 120	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	2.70 V 以上、1.65～1.95 V	—	120	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	2.70 V 以上、1.65～1.95 V	20 ×（外付けプルアップ電圧/3.3 V）	120	ns
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上、1.65～1.95 V	0	1 (4) × t_{I3Ccyc}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上、1.65～1.95 V	5 (9) × t_{I3Ccyc} + 120	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間			5(9) × t_{I3Ccyc} + 4 × t_{Tcyc} + 120		ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上、1.65～1.95 V	t_{I3Ccyc} + 120	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間			1(5) × t_{I3Ccyc} + t_{Tcyc} + 120		ns
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上、1.65～1.95 V	120	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上、1.65～1.95 V	120	—	ns
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上、1.65～1.95 V	t_{I3Ccyc} + 30	—	ns
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上、1.65～1.95 V	0	—	ns
	SCL、SDA の負荷容量	C_b(注1)	2.70 V 以上、1.65～1.95 V	—	550	pF

注. t_{I3Ccyc}：I3C 内部基準クロック (I3Cφ) サイクル、t_{Tcyc}：TCLK の周期。

注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。

注 1. C_b はバスラインの容量総計を意味します。



測定条件：
V_{IH} = VCC × 0.7, V_{IL} = VCC × 0.3
V_{OL} = 0.6 V, I_{OL} = 6 mA (BFCTL.FMPE = 0)
V_{OL} = 0.4 V, I_{OL} = 15 mA (BFCTL.FMPE = 1)

注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：再スタートコンディション

図 62.89 I^2C バスインタフェース入出力タイミング

表 62.70 IIC タイミング (2)

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

パラメータ			シンボル	VCC	Min	Max	単位
IIC（Hs モード）BFCTL.HSME = 1	SCL 入力サイクル時間		t_{SCL}	3.00 V 以上	46 (48) × t_{I3Ccyc}	—	ns
				1.65～1.95 V	46 (48) × t_{I3Ccyc}	—	
	SCL 入力 High レベルパルス幅	Cb = 400 pF	t_{SCLH}	3.00 V 以上	29 (30) × t_{I3Ccyc}	—	ns
				1.65～1.95 V	29 (30) × t_{I3Ccyc}	—	
		Cb = 100 pF		3.00 V 以上	13 (14) × t_{I3Ccyc}	—	
				1.65～1.95 V	13 (14) × t_{I3Ccyc}	—	
	SCL 入力 Low レベルパルス幅	Cb = 400 pF	t_{SCLL}	3.00 V 以上	69 (70) × t_{I3Ccyc}	—	ns
				1.65～1.95 V	69 (70) × t_{I3Ccyc}	—	
		Cb = 100 pF		3.00 V 以上	33 (34) × t_{I3Ccyc}	—	
				1.65～1.95 V	33 (34) × t_{I3Ccyc}	—	
	SCL 立ち上がり時間	Cb = 400 pF	t_{SrCL}	3.00 V 以上	—	80	ns
				1.65～1.95 V	—	80	
		Cb = 100 pF		3.00 V 以上	—	40	
				1.65～1.95 V	—	40	
	SDA 立ち上がり時間	Cb = 400 pF	t_{SrDA}	3.00 V 以上	—	160	ns
				1.65～1.95 V	—	160	
		Cb = 100 pF		3.00 V 以上	—	80	
				1.65～1.95 V	—	80	
	SCL 立ち下がり時間	Cb = 400 pF	t_{SfCL}	3.00 V 以上	—	80	ns
				1.65～1.95 V	—	80	
		Cb = 100 pF		3.00 V 以上	—	40	
				1.65～1.95 V	—	40	
	SDA 立ち下がり時間	Cb = 400 pF	t_{SfDA}	3.00 V 以上	—	160	ns
				1.65～1.95 V	—	160	
		Cb = 100 pF		3.00 V 以上	—	80	
				1.65～1.95 V	—	80	
	SCL、SDA 入力スパイクパルス除去時間		t_{SP}	3.00 V 以上	0	1 (1) × t_{I3Ccyc}	ns
				1.65～1.95 V	0	1 (1) × t_{I3Ccyc}	
	リスタートコンディション入力セットアップ時間		t_{STAS}	3.00 V 以上	40	—	ns
				1.65～1.95 V	40	—	
	ストップコンディション入力セットアップ時間		t_{STOS}	3.00 V 以上	40	—	ns
				1.65～1.95 V	40	—	
	データ入力セットアップ時間		t_{SDAS}	3.00 V 以上	10	—	ns
				1.65～1.95 V	10	—	
	データ入力ホールド時間	Cb = 400 pF	t_{SDAH}	3.00 V 以上	0	150	ns
				1.65～1.95 V	0	150	
		Cb = 100 pF		3.00 V 以上	0	70	
				1.65～1.95 V	0	70	
	SCL、SDA の負荷容量		C_b(注1)	3.00 V 以上	—	400	pF
				1.65～1.95 V	—	400	

注. t_{I3Ccyc}: I3C 内部基準クロック (I3Cφ) サイクル。
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。
注 1. C_b はバスラインの容量総計を意味します。

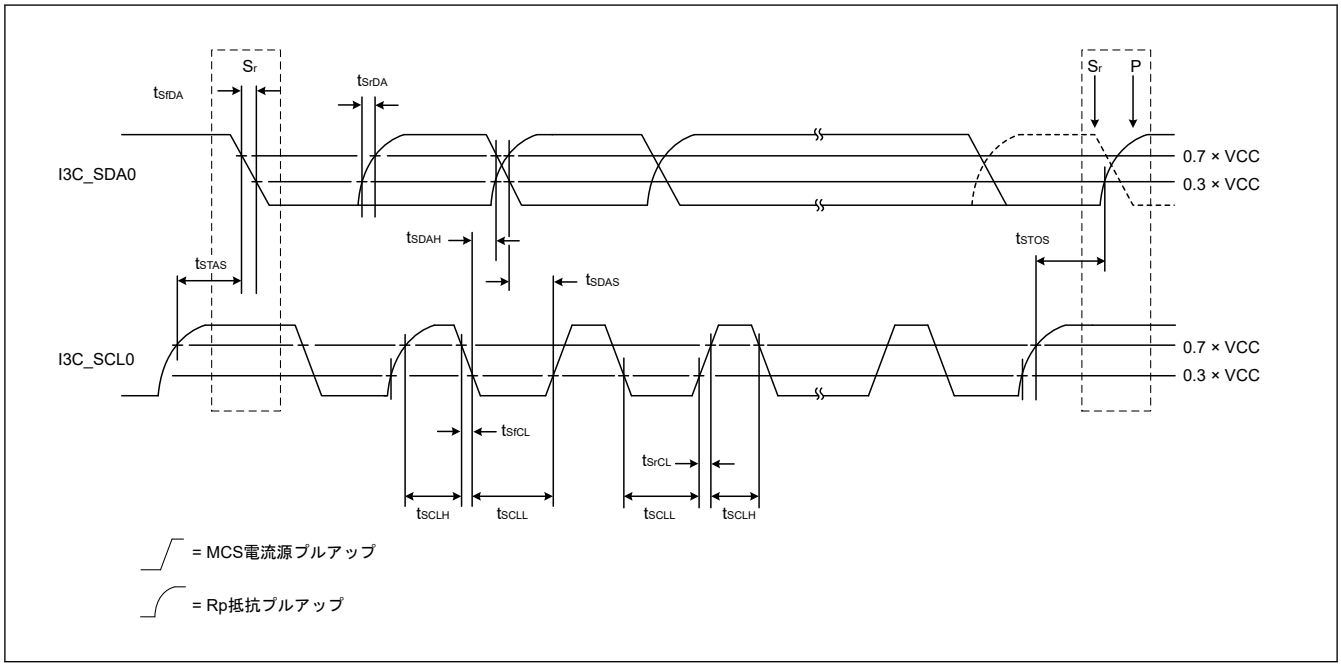


図 62.90 I^2C バスインタフェース入出力タイミング（Hs モード）

表 62.71　I3C タイミング（オープンドレインタイミングパラメータ）

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

パラメータ		シンボル	VCC	Min	Max	単位	測定条件
I3C オープンドレインタイミングパラメータ	SCL クロック Low 期間	t_{LOW_OD} (注1) (注2)	3.00 V 以上	200	—	ns	図 62.93
			1.65～1.95 V	200	—		
		$t_{DIG_OD_L}$	3.00 V 以上	t_{LOW_ODmin} + t_{fDA_ODmin}	—	ns	図 62.93
			1.65～1.95 V	t_{LOW_ODmin} + t_{fDA_ODmin}	—		
	SCL クロック High 期間	t_{HIGH} (注3) (注4)	3.00 V 以上	—	41	ns	図 62.91
			1.65～1.95 V	—	41		
		t_{DIG_H}	3.00 V 以上	—	t_{HIGH} + t_{CF}	ns	図 62.91
			1.65～1.95 V	—	t_{HIGH} + t_{CF}		
	SDA 信号立ち下がり時間	t_{fDA_OD}	3.00 V 以上	t_{CF}	12	ns	図 62.93
			1.65～1.95 V	t_{CF}	12		
	SDA データセットアップ時間オープンドレインモード	t_{SU_OD} (注1)	3.00 V 以上	12	—	ns	図 62.92
			1.65～1.95 V	18	—		
	スタート (S) コンディション後クロック	t_{CAS} (注5) (注6)	3.00 V 以上	38.4 ナノ	ENAS0: 1 μ	秒	図 62.93
					ENAS1: 100 μ		
					ENAS2: 2 ミリ		
					ENAS3: 50 ミリ		
			1.65～1.95 V	38.4 ナノ	ENAS0: 1 μ		
					ENAS1: 100 μ		
					ENAS2: 2 ミリ		
					ENAS3: 50 ミリ		
	ストップ (P) コンディション前クロック	t_{CBP}	3.00 V 以上	t_{CASmin} / 2	—	秒	図 62.94
			1.65～1.95 V	t_{CASmin} / 2	—		
	ハンドオフ中のカレントマスタからセカンダリマスタまでのオーバーラップ時間	$t_{MMOverlap}$	3.00 V 以上	$t_{DIG_OD_Lmin}$	—	ns	図 62.100
			1.65～1.95 V	$t_{DIG_OD_Lmin}$	—		
	バス使用可能条件	t_{AVAL} (注7)	3.00 V 以上	1	—	μs	—
			1.65～1.95 V	1	—		
	バスアイドル条件	t_{IDLE}	3.00 V 以上	1	—	ms	—
			1.65～1.95 V	1	—		
	SDA Low 駆動していない新マスタの内部時間	t_{MMLock}	3.00 V 以上	$t_{AVALmin}$	—	μs	図 62.100
			1.65～1.95 V	$t_{AVALmin}$	—		

注 1.　t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_Odmin} と近似的に同じです。
注 2.　安全な場合、すなわち SDA がすでに VIH を上回っている場合、マスタは短い Low 期間を使用する可能性があります。
注 3.　t_{SPIKE}、立ち上がり／立ち下がり時間、インターコネクトに基づきます。
注 4.　この最大 High 期間は、レガシー I^2C デバイスで信号を安全に確認できる場合や、インターコネクトを考慮した上で（バスが短い場合など）、超過する場合があります。
製品仕様上、この最大値を保証できない場合、この最大値を変更し、ミックスバスで使用できないように指定してください。
注 5.　I^2C デバイスがスタートを確認する必要があるレガシーバス上

注 6. オプションの ENTASx CCC をサポートしていないスレーブは、ENTAS3 に示されている t_{CAS} 最大値を使用します。
注 7. Fm レガシー I^2C デバイスのミックスバス上で、t_{AVAL} は Fm バスフリー条件時間 (t_{BUF}) より 300 ns 短いです。

表 62.72 I3C タイミング（SDR モードおよび HDR-DDR モード用プッシュプルタイミングパラメータ）

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

パラメータ			シンボル	VCC	Min	Max	単位	測定条件
SDR モードと HDR-DDR モードの I3C プッシュプルタイミングパラメータ	SCL クロック周波数		f_{SCL} (注1)	3.00 V 以上	0.01	12.5	MHz	—
				1.65～1.95 V	0.01	12.5		
	SCL クロック Low 期間		t_{LOW}	3.00 V 以上	27	—	ns	図 62.91
				1.65～1.95 V	32	—		
			t_{DIG_L} (注2) (注4)	3.00 V 以上	35	—	ns	図 62.91
				1.65～1.95 V	40	—		
	ミックスバスにおける SCL クロックの High 期間		t_{HIGH_MIXED}	3.00 V 以上	24	—	ns	図 62.91
				1.65～1.95 V	27	—		
			$t_{DIG_H_MIXED}$ (注2) (注3)	3.00 V 以上	32	45	ns	図 62.91
				1.65～1.95 V	35	45		
	SCL クロック High 期間		t_{HIGH}	3.00 V 以上	24	—	ns	図 62.91
				1.65～1.95 V	27	—		
			t_{DIG_H} (注2)	3.00 V 以上	32	—	ns	図 62.91
				1.65～1.95 V	35	—		
	スレーブ用データ出力クロック		t_{SCO}	3.00 V 以上	—	12	ns	図 62.96
				1.65～1.95 V	—	12		
	SCL クロック立ち上がり時間		t_{CR}	3.00 V 以上	—	150 × 1 /f_{SCL}（上限 60）	ns	図 62.91
				1.65～1.95 V	—	150 × 1 /f_{SCL}（上限 60）		
	SCL クロック立ち下がり時間		t_{CF}	3.00 V 以上	—	150 × 1 /f_{SCL}（上限 60）	ns	図 62.91
				1.65～1.95 V	—	150 × 1 /f_{SCL}（上限 60）		
	プッシュプルモードの SDA 信号データホールド	マスタ	t_{HD_PP} (注4) (注5)	3.00 V 以上	t_{CR} + 3, t_{CF} + 3	—	—	図 62.95
				1.65～1.95 V	t_{CR} + 3, t_{CF} + 3	—		
		スレーブ	t_{HD_PP} (注5)	3.00 V 以上	0	—	—	図 62.95
				1.65～1.95 V	0	—		
	プッシュプルモードの SDA 信号データセットアップ		t_{SU_PP}	3.00 V 以上	12	N/A	ns	図 62.97
				1.65～1.95 V	18	N/A		
	繰り返しのスタート (Sr) 後クロック		t_{CASr}	3.00 V 以上	t_{CASmin}	N/A	ns	図 62.99
				1.65～1.95 V	t_{CASmin}	N/A		
	繰り返しのスタート (Sr) 前クロック		t_{CBSr}	3.00 V 以上	t_{CASmin} / 2	N/A	ns	図 62.99
				1.65～1.95 V	t_{CASmin} / 2	N/A		
	バスライン (SDA/SCL) ごとの負荷容量		C_b	3.00 V 以上	—	50	pF	—
				1.65～1.95 V	—	50		

注 1. $f_{SCL} = 1 / (t_{DIG_L} + t_{DIG_H})$
注 2. t_{DIG_L} および t_{DIG_H} は、V_{IL}、V_{IH} を使用した I3C バスのレシーバー終了時の Low および High 期間クロックです。
注 3. ミックスバス上で I3C デバイスと通信する際は、I^2C デバイスが I3C シグナリングを有効な I^2C シグナリングと解釈しないようにするため、$t_{DIG_H_MIXED}$ 期間に制約を設ける必要があります。

注 4. 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。すなわち、立ち下がりエッジクロックに対して t_{CF} + 3、立ち上がりエッジクロックに対して t_{CR} + 3 です。
注 5. ホールド時間パラメータは、SDR モードでは「t_{HD_SDR}」と表され、DDR モードでは「t_{HD_DDR}」と表されます。

表 62.73 I3C タイミング（HDR-TSP モードおよび HDR-TSL モード用プッシュプルタイミングパラメータ）

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

項目		シンボル	VCC	Min	Max	単位	測定条件
HDR-TSP モードおよび HDR-TSL モード用 I3C プッシュプルタイミングパラメータ	エッジ間期間	t_{EDGE}(注1) (注2)	3.00 V 以上	t_{DIG_H}	—	ns	図 62.101
			1.65～1.95 V	t_{DIG_H}	—		
	“同時”変更信号の間で許容される差異	t_{SKEW}	3.00 V 以上	—	11	ns	
			1.65～1.95 V	—	11		
	シンボル間の安定した状態	t_{EYE}	3.00 V 以上	12	—	ns	
			1.65～1.95 V	12	—		
	連続するシンボル間の時間	t_{SYMBOL}	3.00 V 以上	$t_{EDGE\ Min}$	—	ns	
			1.65～1.95 V	$t_{EDGE\ Min}$	—		
	シンボルクロック	t_{CLOCK}	3.00 V 以上	1 / f_{SCL} (Max)	—	—	
			1.65～1.95 V	1 / f_{SCL} (Max)	—		

注 1. 1 / (t_{EDGE} × 2) の割合でエッジ発生
注 2. ミックスバスでは、HDR-TSL は図 62.94 に示す最大 $t_{DIG_H_MIXED}$ に従うこととします。

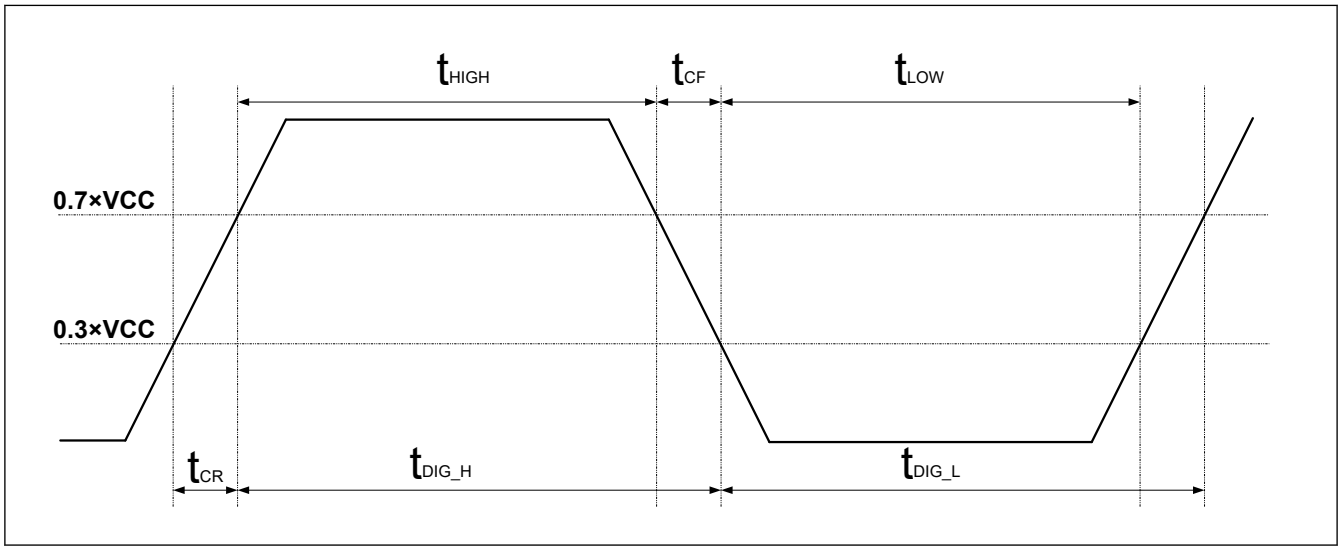
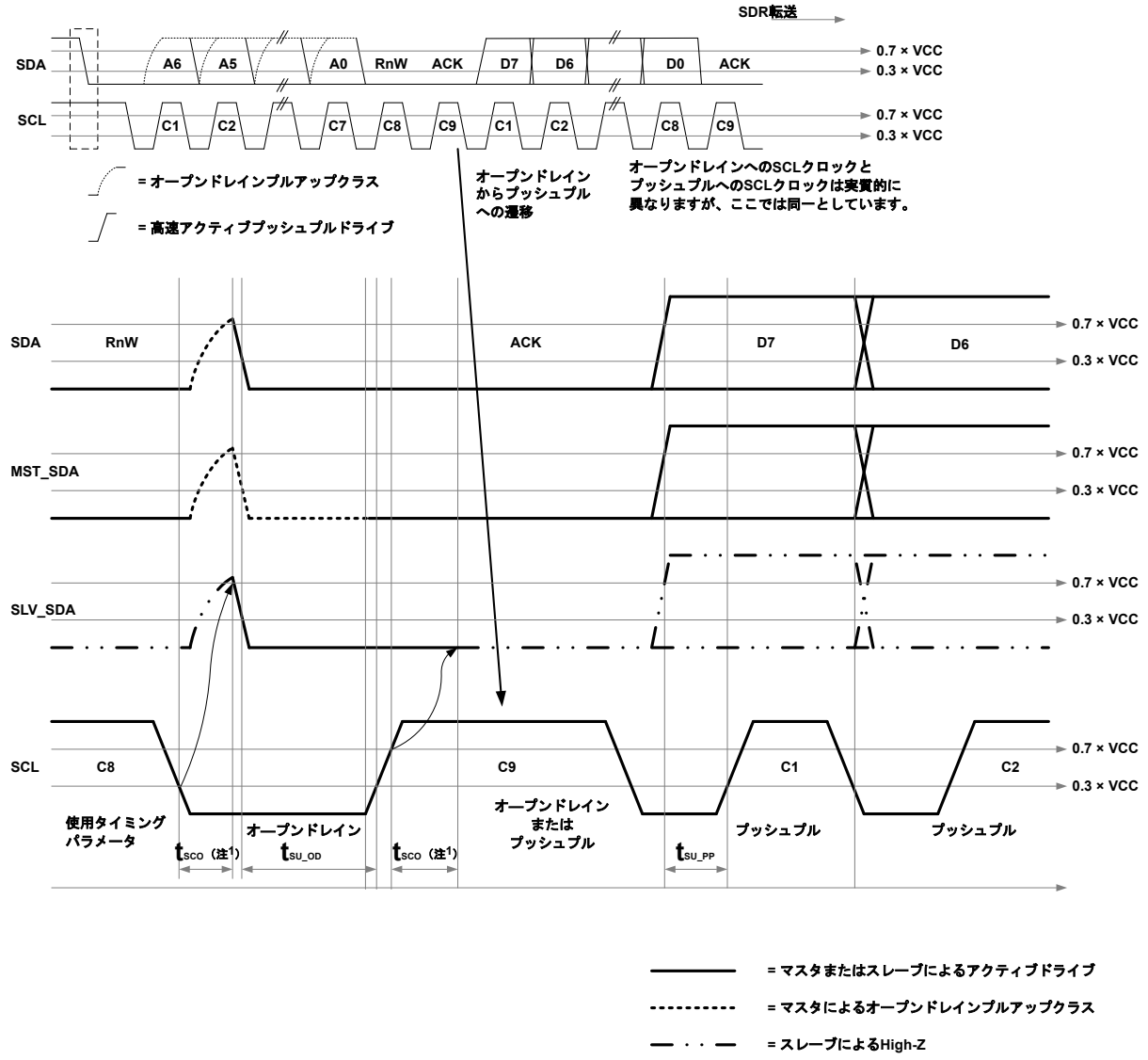


図 62.91 t_{DIG_H}、t_{DIG_L}



注. オープンドレイン：マスタは、SCL エッジからの適切な遅延の後に SDA を解放します。
プッシュプル：マスタは、SCL エッジからの適切な遅延の後に SDA を駆動します。
注 1. t_{SCO} は、情報の目的のためにのみ示されています。

図 62.92 I3C データ転送 – スレーブによる ACK

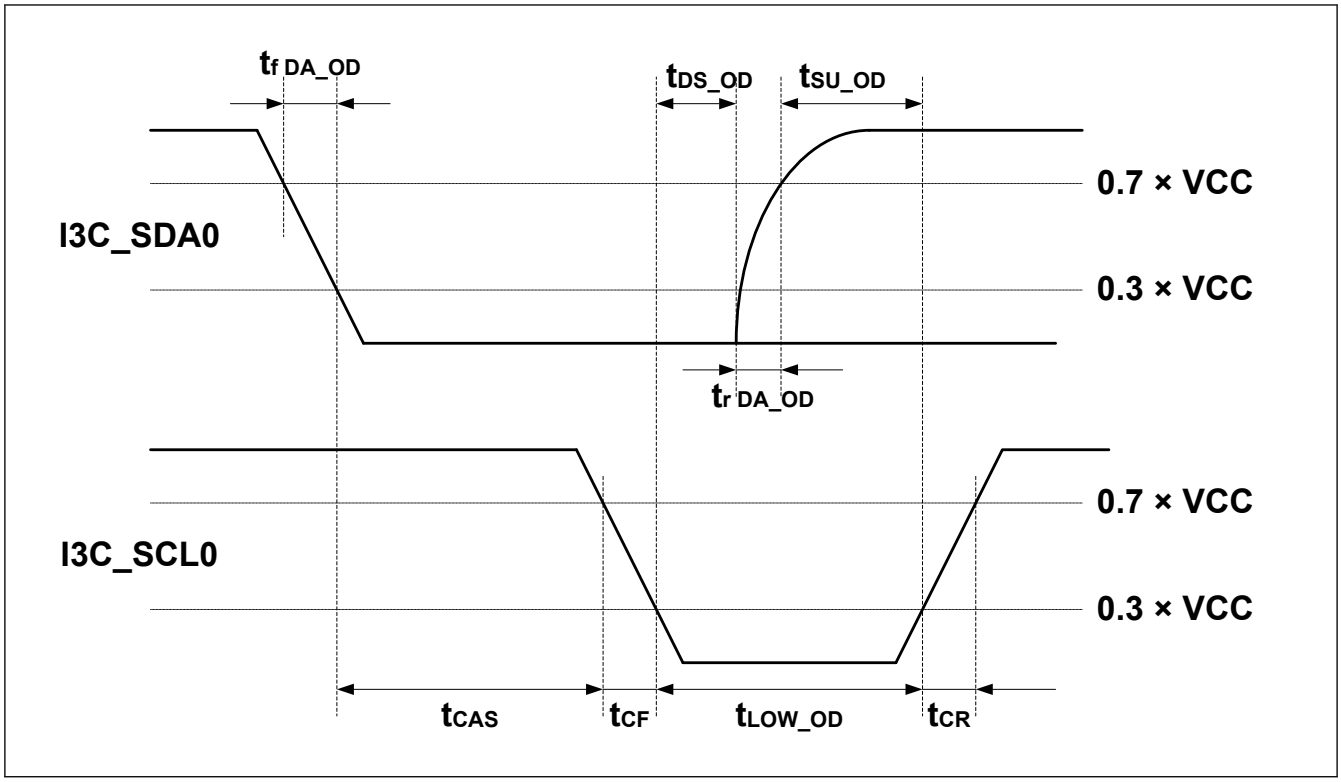


図 62.93　I3C スタートコンディションタイミング

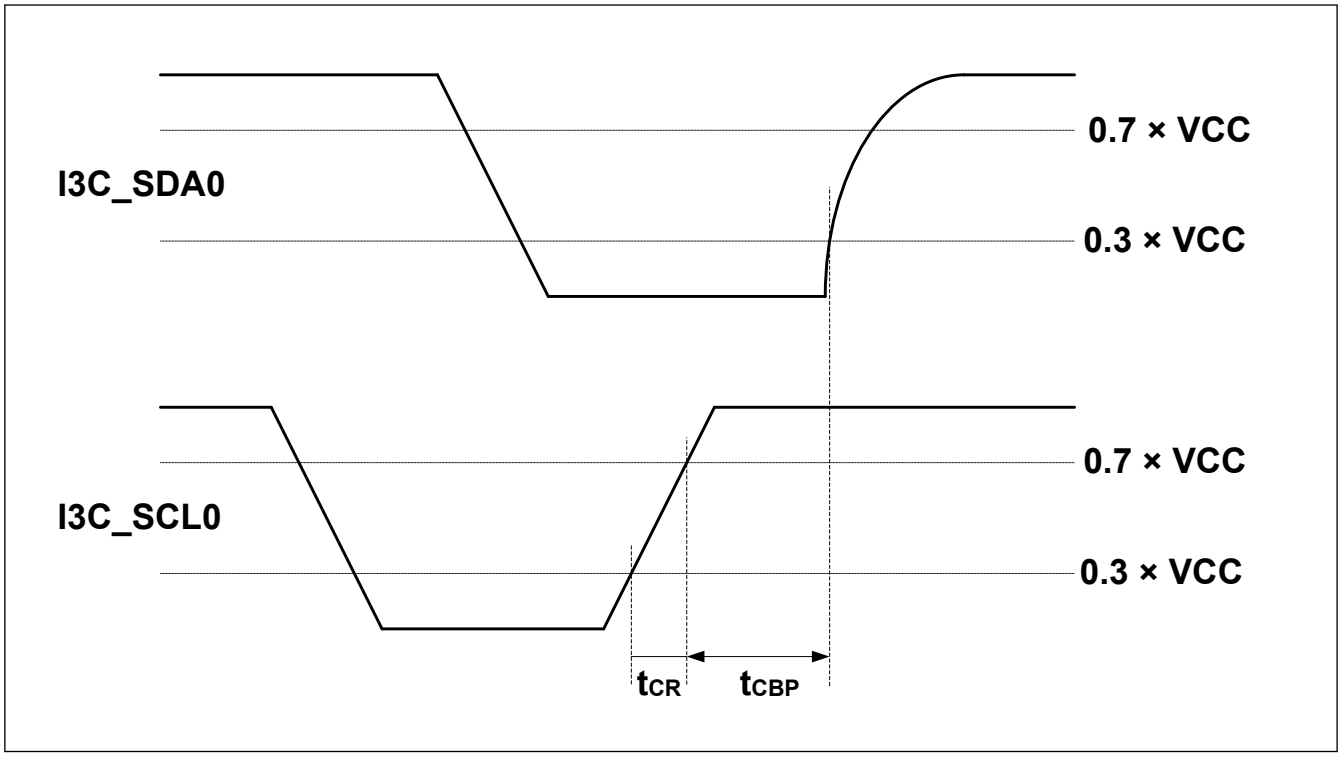


図 62.94　I3C ストップコンディションタイミング

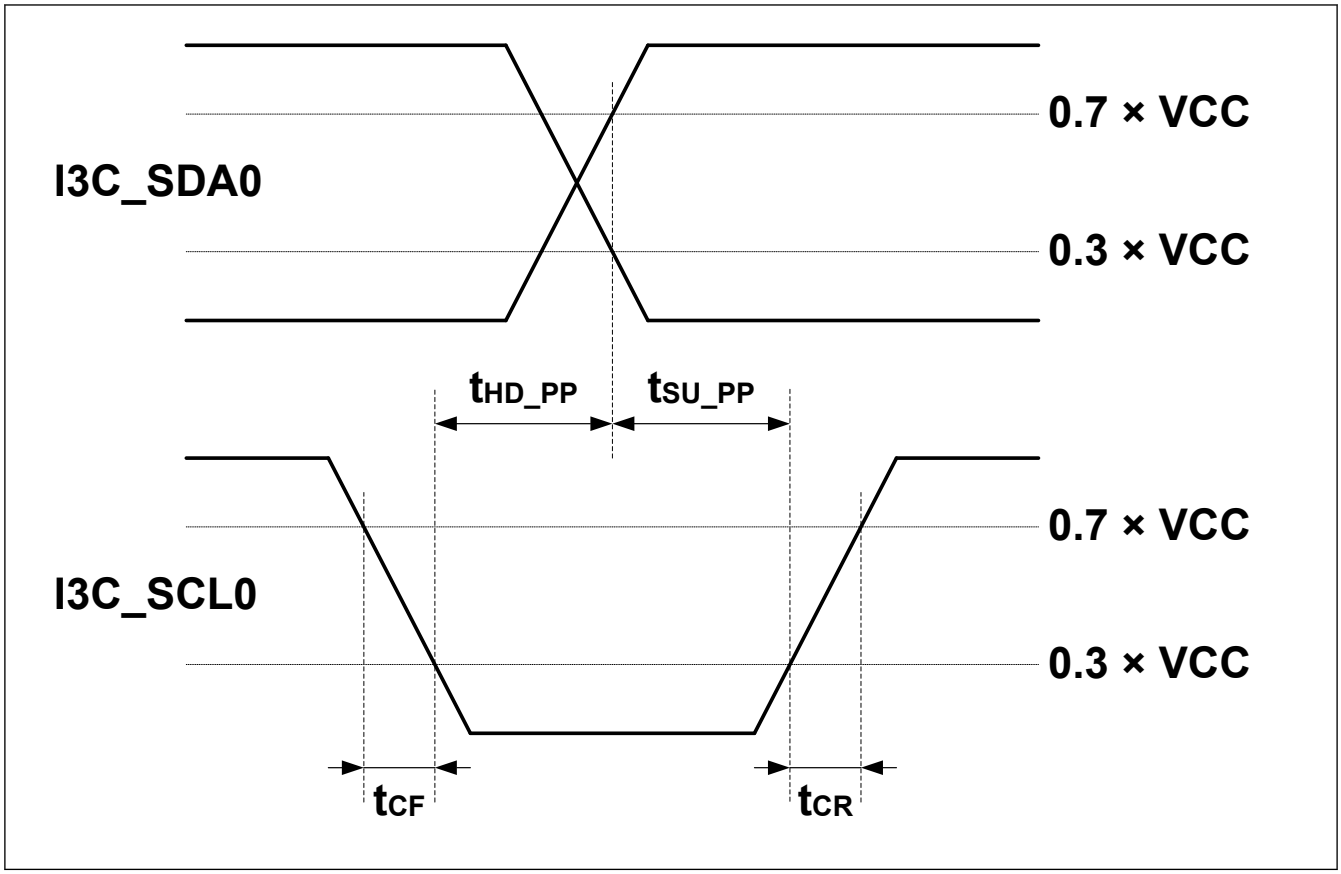


図 62.95　I3C マスタ出力タイミング

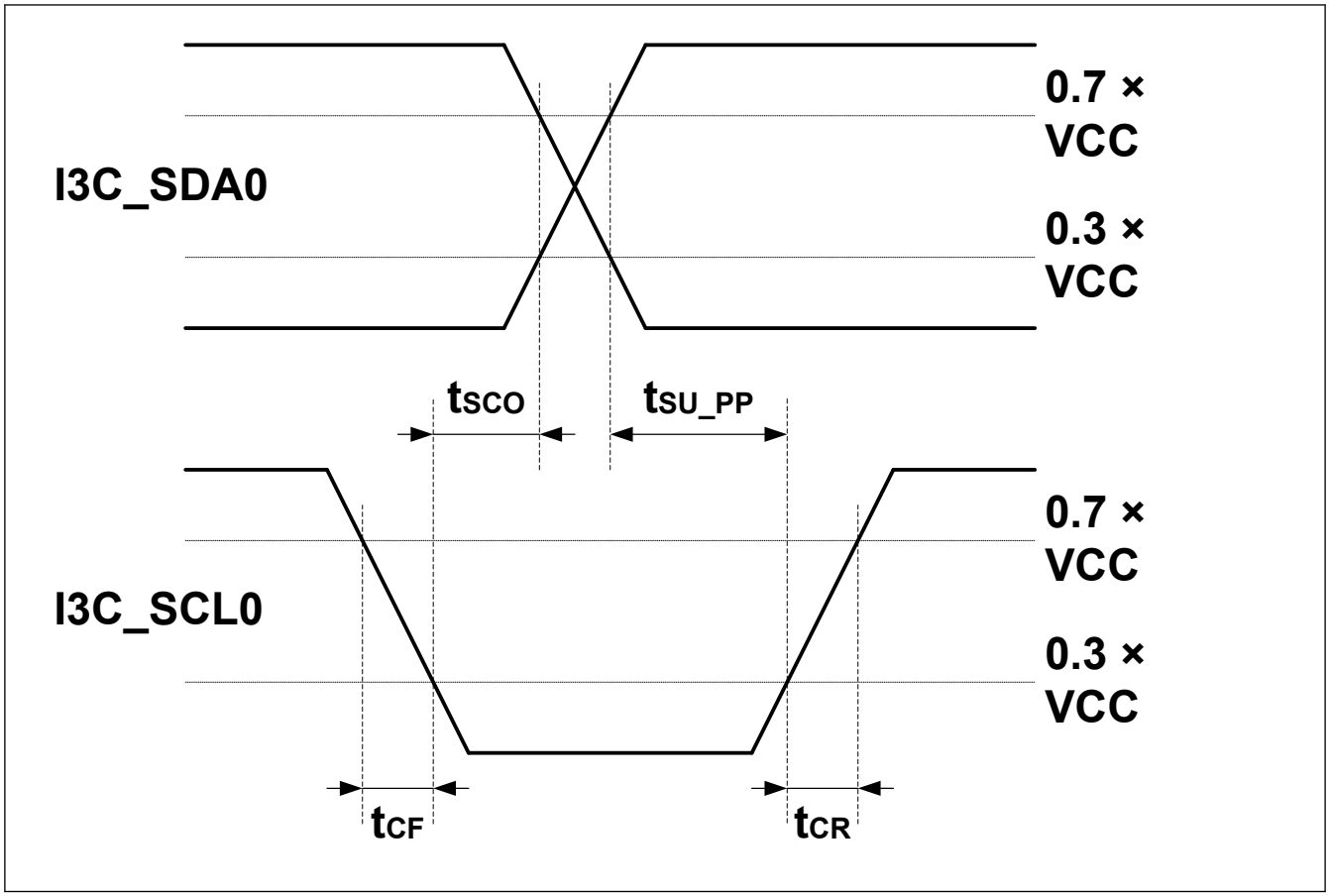


図 62.96　I3C スレーブ出力タイミング

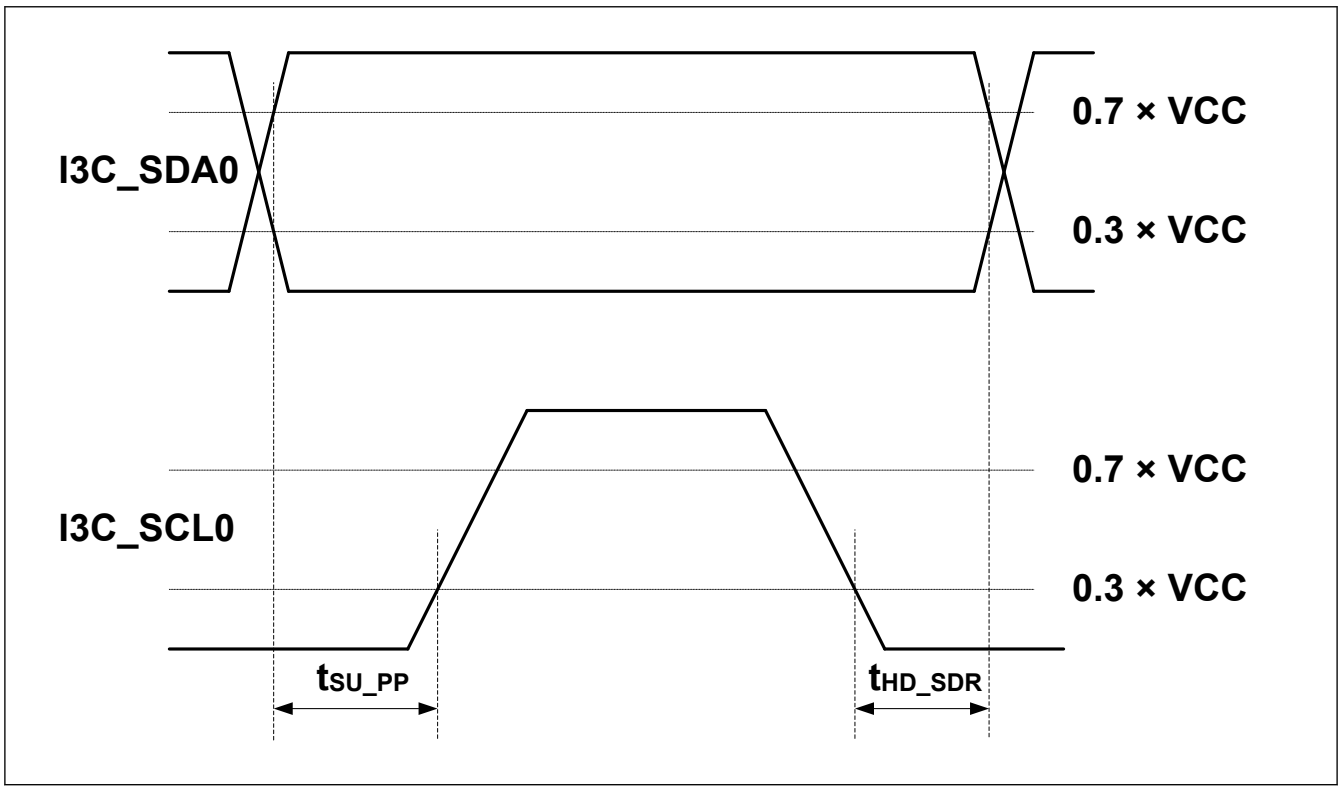


図 62.97　マスタ SDR タイミング

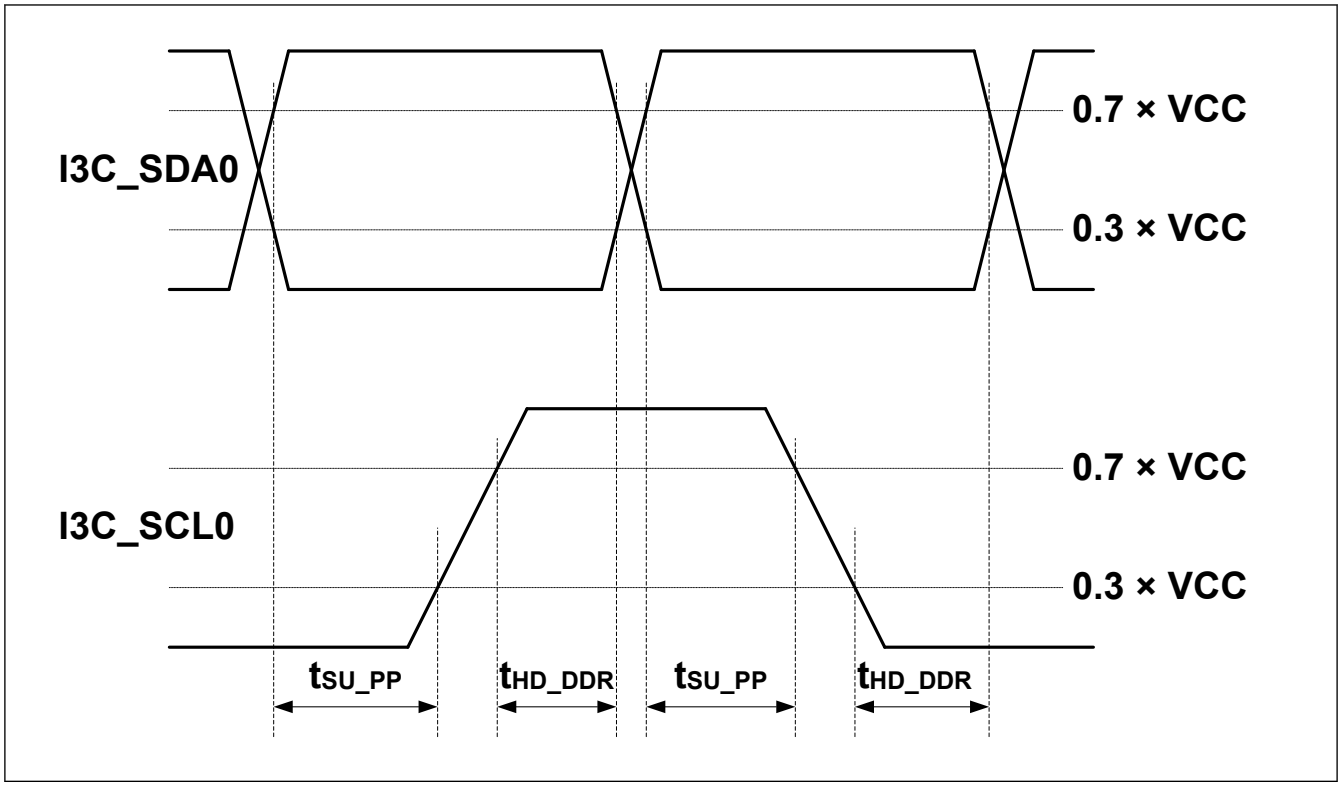
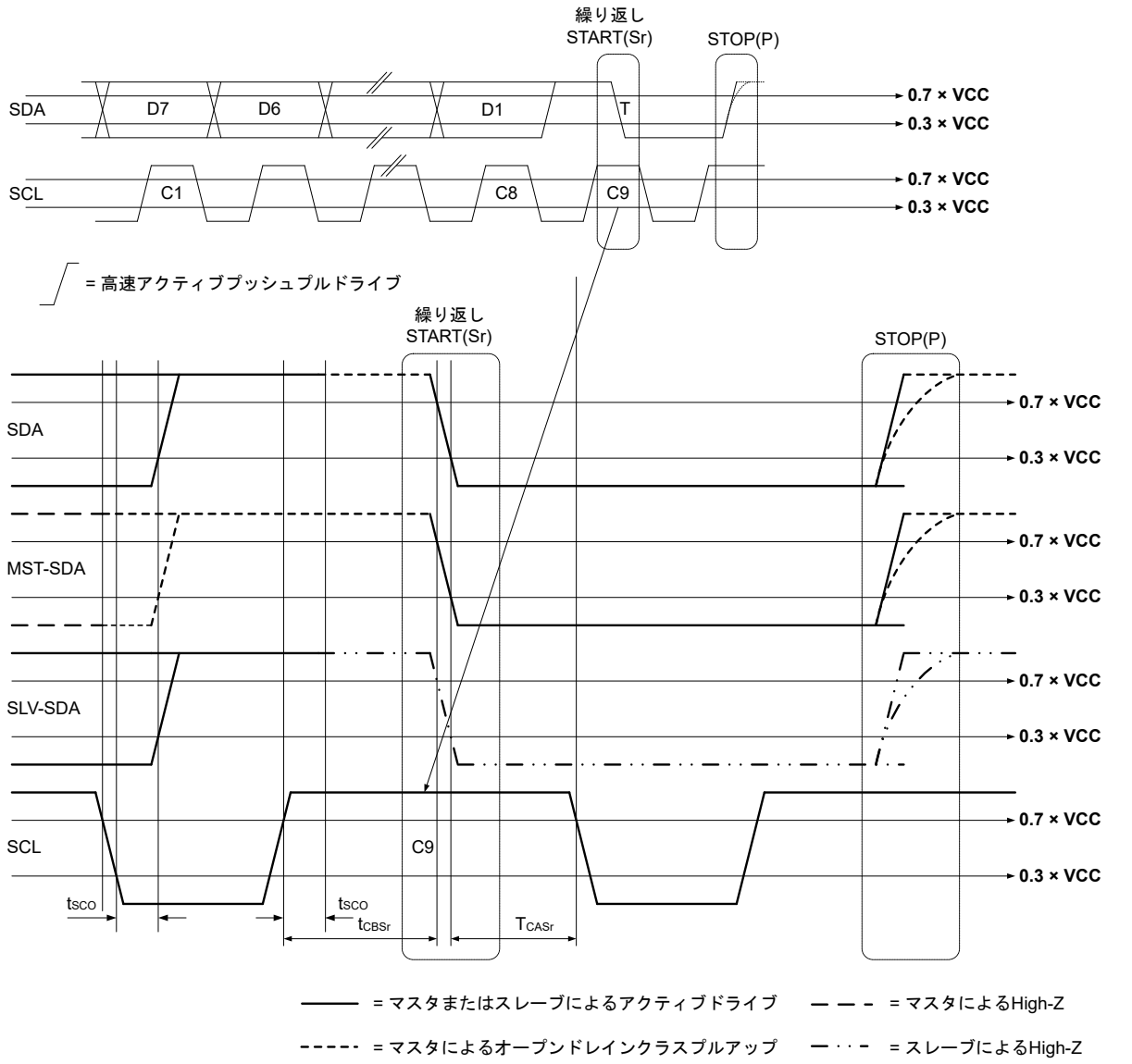


図 62.98　マスタ DDR タイミング



注. Sr のすぐ後に P が続くことは I2C デバイスでは不正ですが、多くのデバイスはそれによって悪影響を受けません。この条件は、I3C デバイスでは不正ではありません。

図 62.99 繰り返しのスタートコンディションおよびストップコンディションでのマスタ終了時の T ビット読み出し

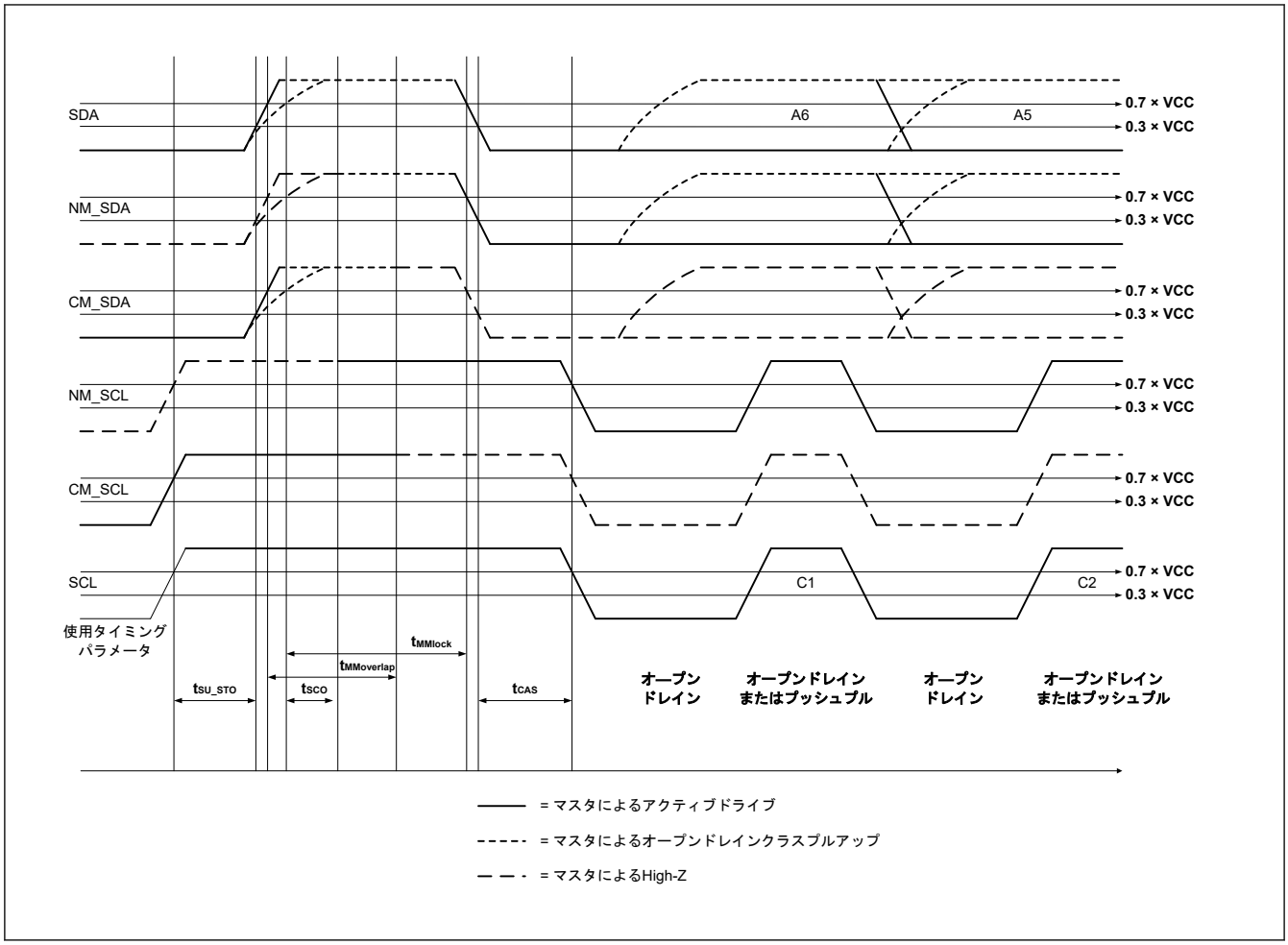
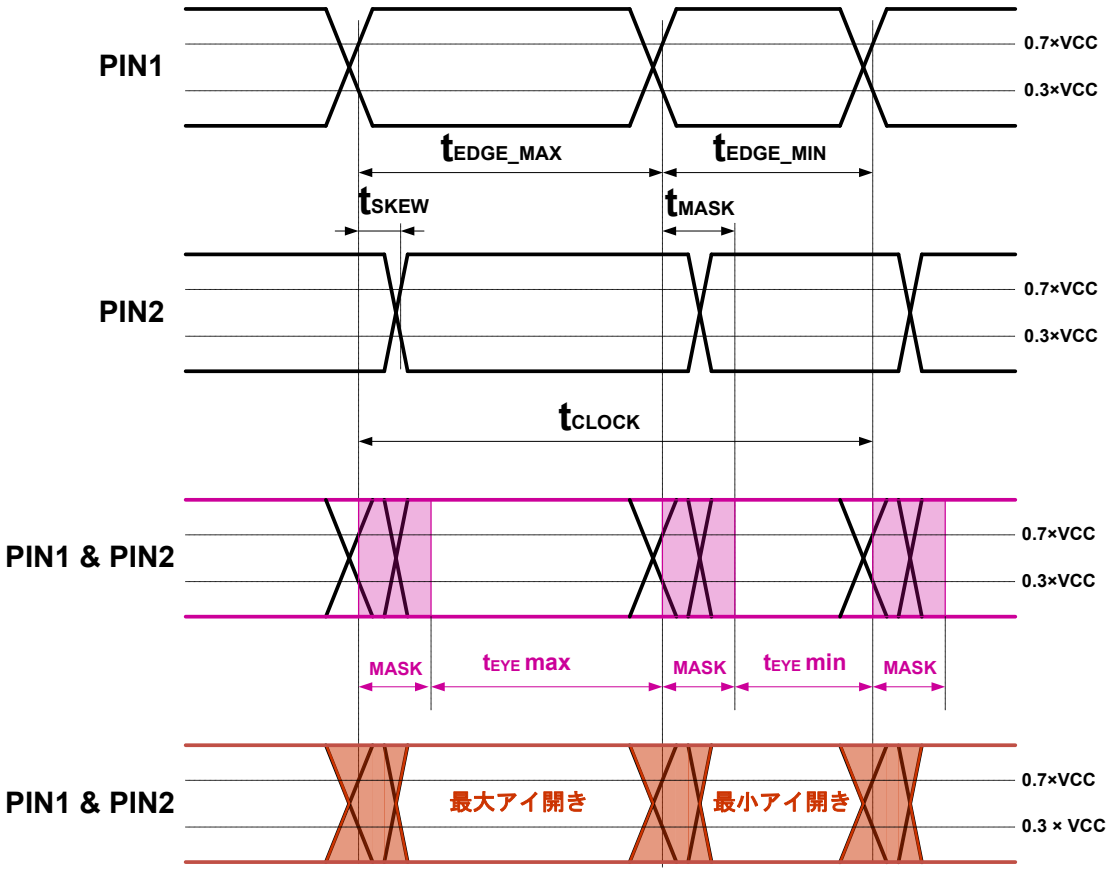


図 62.100　マスタ間のバス移管



設計条件

1. 図のようにSDAラインとSCLラインの間の負荷の大きさと駆動力の差異によって異なるスロープとなる。
2. 0.3 × V_{DD}と0.7 × V_{DD}の間では、それぞれマスク期間（≧ 最大t_{SKEW} + 最大立ち上がり時間／立ち下がり時間）はヒステリシスウィンドウを横断する時間だけ短縮する。

前提の単純化

1. t_{SKEW}は両エッジともに同一。
2. ベースクロック（例：12.5 MHz）は非対称。
3. 立ち下がりエッジは立ち上がりエッジに等しい。
4. マスクは可能な最後の瞬間からの開始として示される。ただし、ヒステリシスウインドウ分の遅延により実際には左へ（開始点方向へ）ずれる可能性がある。

図 62.101　Ternary プロトコルタイミング

62.3.14 SSIE タイミング

表 62.74 SSIE タイミング

(1) PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
(2) 所属グループを示すため、"_A"、"_B"、"_C"などのように端子名の後ろに文字を付加した端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目			シンボル	VCC 端子	Min	Max	単位	注記
SSIBCK	サイクル	マスタ	t_O	2.70 V 以上	80	—	ns	図 62.102
				1.62 V 以上	80	—		
		スレーブ	t_I	2.70 V 以上	80	—	ns	
				1.62 V 以上	80	—		
	High レベル／Low レベル	マスタ	t_{HC}/t_{LC}	2.70 V 以上	0.35	—	t_O	
				1.62 V 以上	0.35	—		
		スレーブ		2.70 V 以上	0.35	—	t_I	
				1.62 V 以上	0.35	—		
	立ち上がり/立ち下がり時間	マスタ	t_{RC}/t_{FC}	2.70 V 以上	—	0.15	t_O / t_I	
				1.62 V 以上	—	0.15		
		スレーブ		2.70 V 以上	—	0.15	t_O / t_I	
				1.62 V 以上	—	0.15		
SSILRCK/ SSIFS, SSITXD0, SSIRXD0, SSIDATA1	入力セットアップ時間	マスタ	t_{SR}	2.70 V 以上	12	—	ns	図 62.104、図 62.105
				1.62 V 以上	20	—		
		スレーブ		2.70 V 以上	12	—	ns	
				1.62 V 以上	12	—		
	入力ホールド時間	マスタ	t_{HR}	2.70 V 以上	8	—	ns	
				1.62 V 以上	8	—		
		スレーブ		2.70 V 以上	15	—	ns	
				1.62 V 以上	15	—		
	出力遅延時間	マスタ	t_{DTR}	2.70 V 以上	-10	5	ns	
				1.62 V 以上	-10	7		
		スレーブ		2.70 V 以上	0	20	ns	
				1.62 V 以上	0	25		
	SSILRCK/ SSIFS 変化時からの出力遅延時間	スレーブ	t_{DTRW}	2.70 V 以上	—	20	ns	図 62.106(注1)
				1.62 V 以上	—	25		
GTIOC2A, AUDIO_CLK	サイクル		t_{EXcyc}	2.70 V 以上	20	—	ns	図 62.103
				1.62 V 以上	40	—		
	High レベル／Low レベル		t_{EXL}/t_{EXH}	2.70 V 以上	0.4	—	t_{EXcyc}	
				1.62 V 以上	0.4	—		
	立ち上がり時間／立ち下がり時間		t_{EXf}/t_{EXr}	2.70 V 以上	—	0.1(注2)	t_{EXcyc}	
				1.62 V 以上	—	0.1(注2)		

注 1. SSIE はスレーブモード送信用に 1 本の経路を備え、その経路により SSILRCK/SSIFS 端子からの信号入力が送信データの生成に使用され、送信データが SSITXD0 端子または SSIDATA1 端子へ論理出力されます。
注 2. 最長 1 µs。

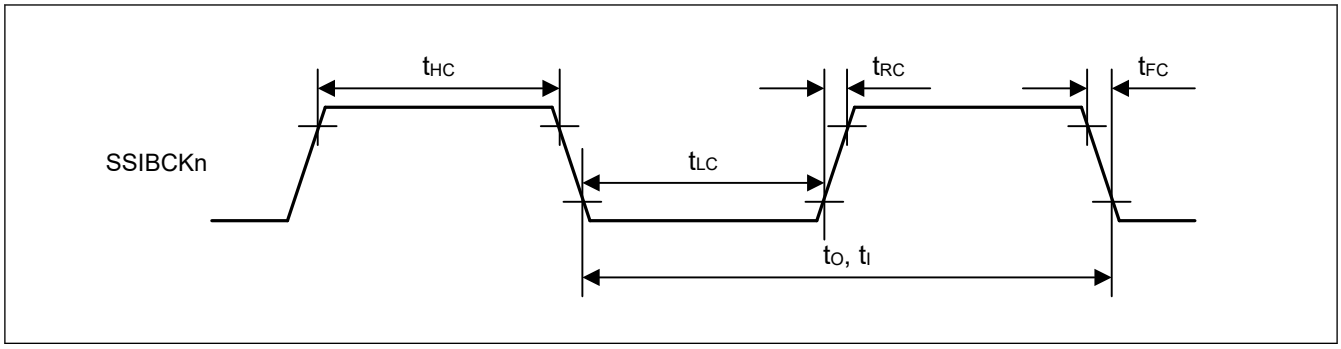


図 62.102　SSIE クロック入出力タイミング

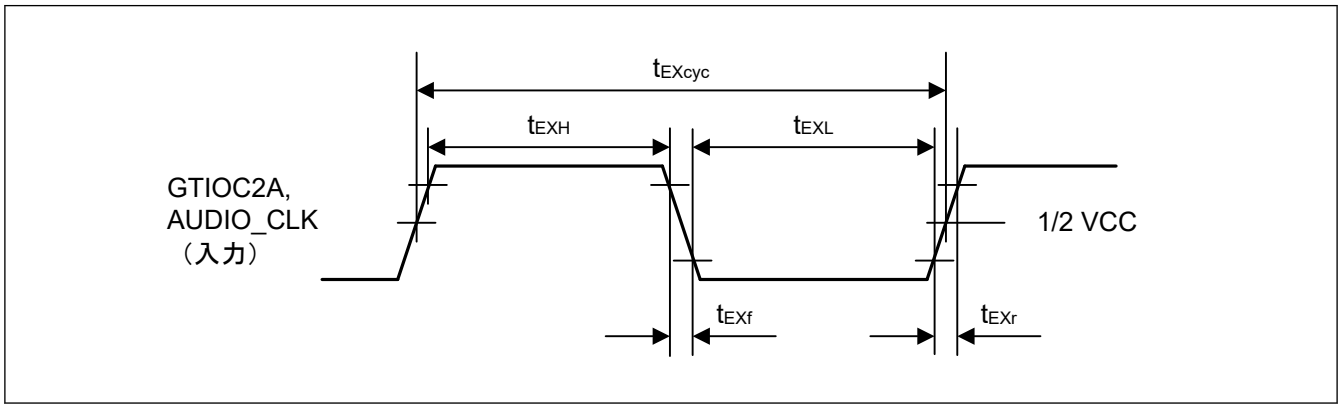


図 62.103　クロック入力タイミング

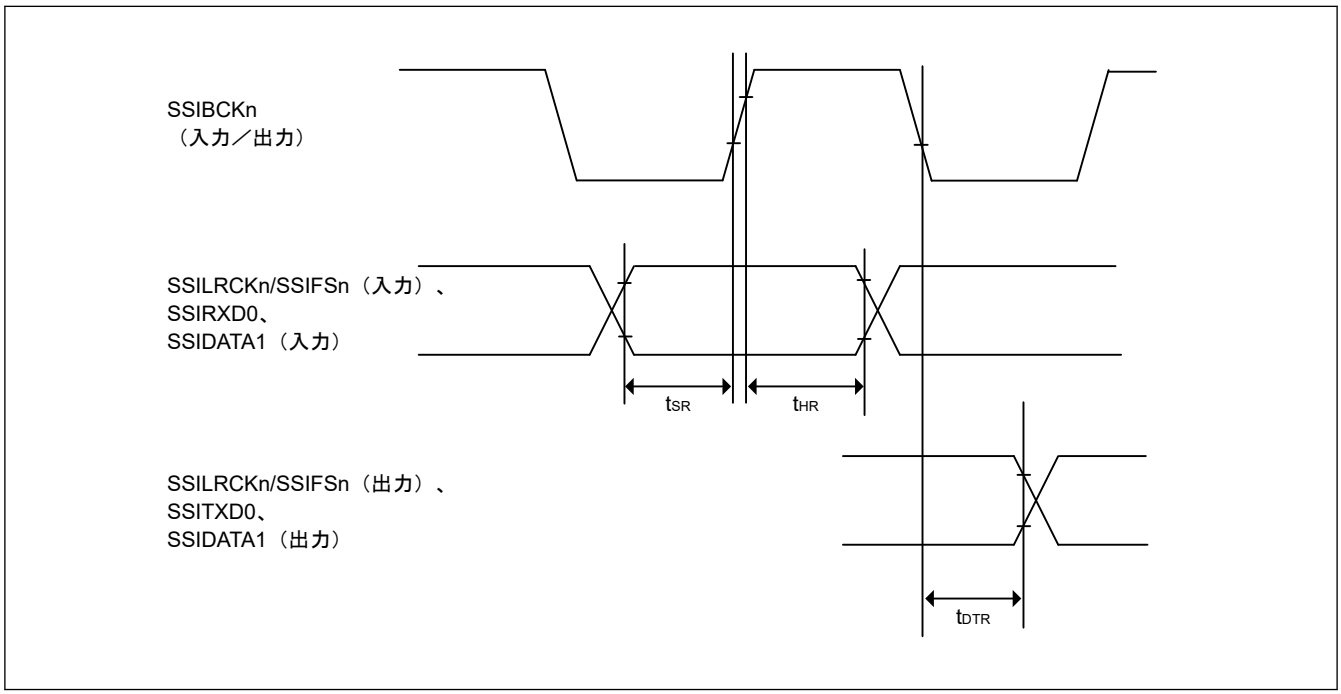


図 62.104　SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

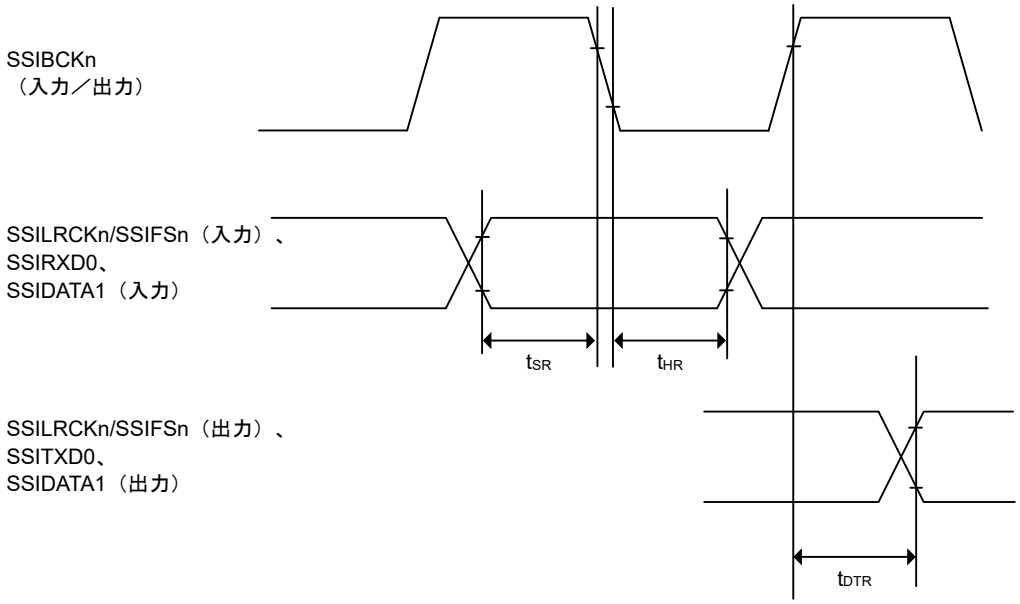
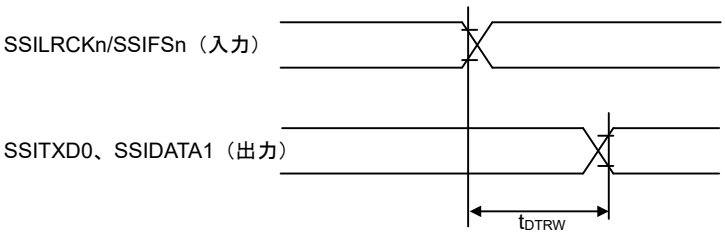


図 62.105　SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング



スレーブトランスミッタのSSILRCKn/SSIFSn変化後のMSBビット出力遅延
（SSICRレジスタにおいて、DEL = 1かつSDTA = 0の場合、またはDEL = 1、SDTA = 1、
かつSWL[2:0] = DWL[2:0]の場合）

図 62.106　SSILRCK0/SSIFS0 変化時からの SSIE データ出力遅延

62.3.15 SD/MMC ホストインタフェースタイミング

表 62.75 SD/MMC ホストインタフェース信号タイミング

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
SD0CLK_A, SD0CLK_B, SD0CLK_C, SD1CLK_A, SD1CLK_B
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
クロックデューティー比は 50%です。

項目	シンボル	VCC/VCC2	Min	Max	単位	測定条件
SDCLK クロックサイクル	t_{SDCYC}	2.70 V 以上	20	—	ns	図 62.107
		1.70～1.95 V(注1)	20	—		
		1.70～1.95 V	40	—		
SDCLK クロック High レベルパルス幅	t_{SDWH}	2.70 V 以上	6.5	—	ns	
		1.70～1.95 V(注1)	6.5	—		
		1.70～1.95 V	13.0	—		
SDCLK クロック Low レベルパルス幅	t_{SDWL}	2.70 V 以上	6.5	—	ns	
		1.70～1.95 V(注1)	6.5	—		
		1.70～1.95 V	13.0	—		
SDCLK クロック立ち上がり時間	t_{SDLH}	2.70 V 以上	—	3	ns	
		1.70～1.95 V(注1)	—	4		
		1.70～1.95 V	—	8		
SDCLK クロック立ち下がり時間	t_{SDHL}	2.70 V 以上	—	3	ns	
		1.70～1.95 V(注1)	—	4		
		1.70～1.95 V	—	8		
SDCMD/SDDAT 出力データ遅延	t_{SDODLY}	2.70 V 以上	-7.0	4.0	ns	
		1.70～1.95 V(注1)	-7.0	7.0		
		1.70～1.95 V	-15.0	15.0		
SDCMD/SDDAT 入力データセットアップ	t_{SDIS}	2.70 V 以上	4.5	—	ns	
		1.70～1.95 V(注1)	4.5	—		
		1.70～1.95 V	20.0	—		
SDCMD/SDDAT 入力データホールド	t_{SDIH}	2.70 V 以上	1.5	—	ns	
		1.70～1.95 V	1.5	—		

注. 属するグループを示すため、例えば_A、_B といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。 SD/MMC ホストインタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注. SD1DAT4_A～SD1DAT7_A 使用時、VCC = VCC2 のときに限って上記の特性が保証されます。
注 1. Ch0 グループ B ("SD0*_B") および Ch1 グループ A ("SD1*_A") にのみ対応

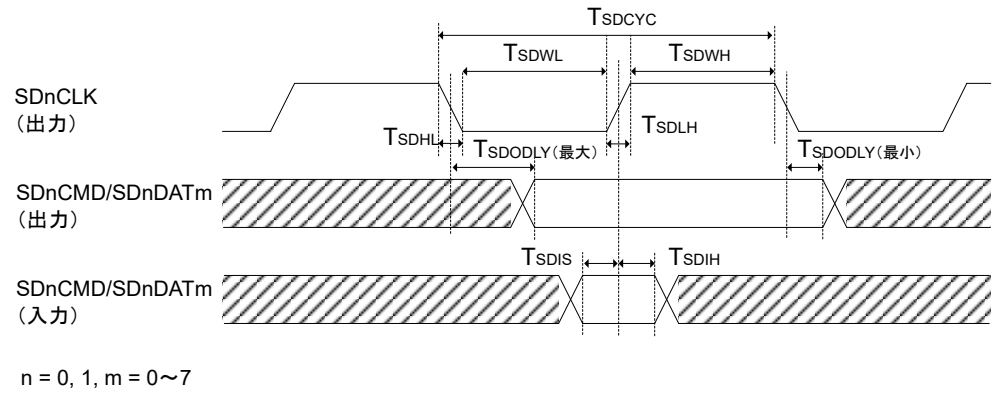


図 62.107　SD/MMC ホストインタフェース信号タイミング

62.3.16 CEU タイミング

表 62.76 キャプチャエンジンユニット信号タイミング

項目	シンボル	VCC	Min	Max	単位	測定条件
垂直同期 (VIO_VD) セットアップ時間（カメラクロック立ち上がり）	t_{VVDS}	2.70 V 以上	2.0	—	ns	図 62.108 図 62.109
		1.62 V 以上	4.5	—		
垂直同期 (VIO_VD) セットアップ時間（カメラクロック立ち下がり）	t_{VVDS}	2.70 V 以上	2.5	—	ns	
		1.62 V 以上	4.5	—		
垂直同期 (VIO_VD) ホールド時間	t_{VVDH}	2.70 V 以上	3.5	—	ns	
		1.62 V 以上	5.5	—		
水平同期 (VIO_HD) セットアップ時間（カメラクロック立ち上がり）	t_{VHDS}	2.70 V 以上	2.0	—	ns	
		1.62 V 以上	4.5	—		
水平同期 (VIO_HD) セットアップ時間（カメラクロック立ち下がり）	t_{VHDS}	2.70 V 以上	2.5	—	ns	
		1.62 V 以上	4.5	—		
水平同期 (VIO_HD) ホールド時間	t_{VHDH}	2.70 V 以上	3.5	—	ns	
		1.62 V 以上	5.5	—		
キャプチャ画像データ (VIO_D) セットアップ時間（カメラクロック立ち上がり）	t_{VDTS}	2.70 V 以上	2.0	—	ns	
		1.62 V 以上	4.5	—		
キャプチャ画像データ (VIO_D) セットアップ時間（カメラクロック立ち下がり）	t_{VDTS}	2.70 V 以上	2.5	—	ns	
		1.62 V 以上	4.5	—		
キャプチャ画像データ (VIO_D) ホールド時間	t_{VDTH}	2.70 V 以上	3.5	—	ns	
		1.62 V 以上	5.5	—		
カメラクロックサイクル	t_{VCYC}	2.70 V 以上	11.5	—	ns	
		1.62 V 以上	23.0	—		
カメラクロック High レベル幅	t_{VHW}	2.70 V 以上	0.4 × t_{VCYC}	—	ns	
		1.62 V 以上	0.4 × t_{VCYC}	—		
カメラクロック Low レベル幅	t_{VLW}	2.70 V 以上	0.4 × t_{VCYC}	—	ns	
		1.62 V 以上	0.4 × t_{VCYC}	—		
フィールド識別信号 (VIO_FLD) セットアップ時間（カメラクロック立ち上がり）	t_{VFDS}	2.70 V 以上	2.0	—	ns	
		1.62 V 以上	4.5	—		
フィールド識別信号 (VIO_FLD) セットアップ時間（カメラクロック立ち下がり）	t_{VFDS}	2.70 V 以上	2.5	—	ns	
		1.62 V 以上	4.5	—		
フィールド識別信号 (VIO_FLD) ホールド時間	t_{VFDH}	2.70 V 以上	3.5	—	ns	
		1.62 V 以上	5.5	—		

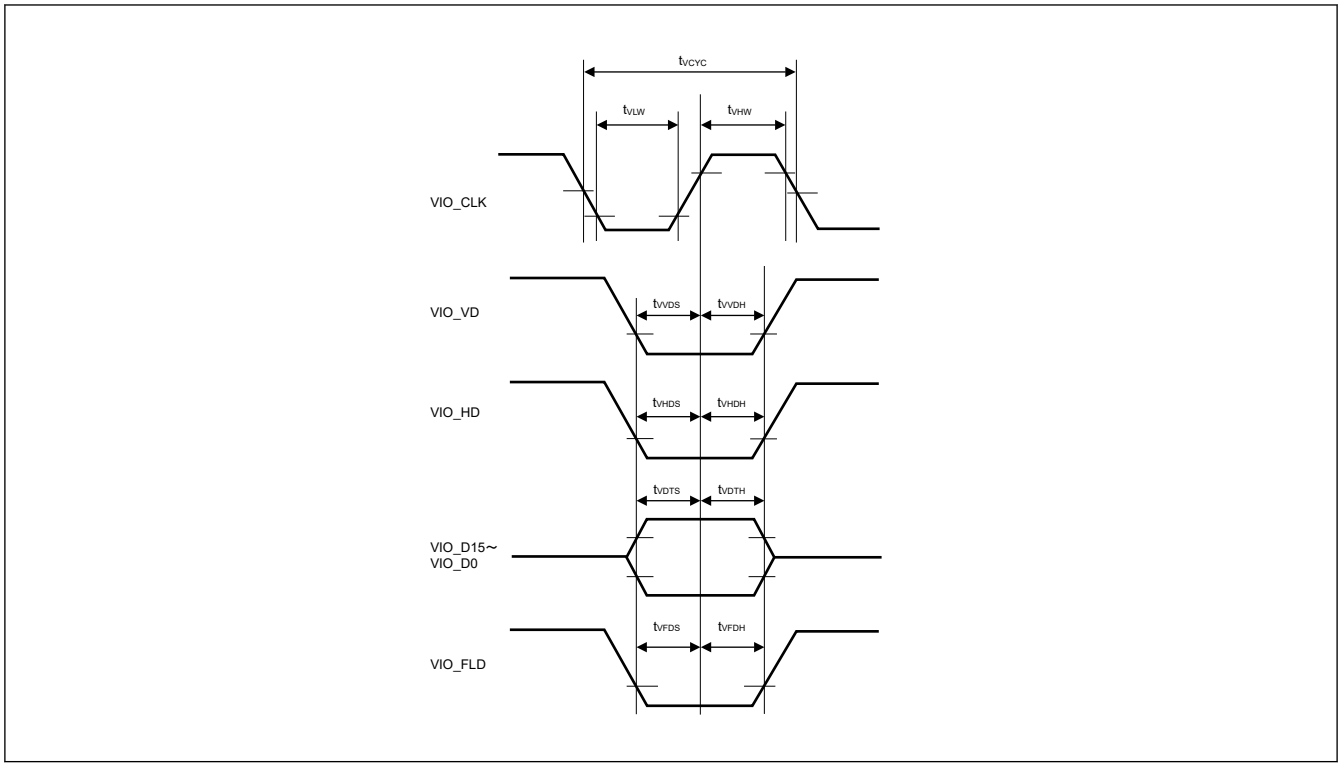


図 62.108　VIO_CLK の立ち上がりエッジによるデータキャプチャのキャプチャエンジンユニットモジュール信号タイミング

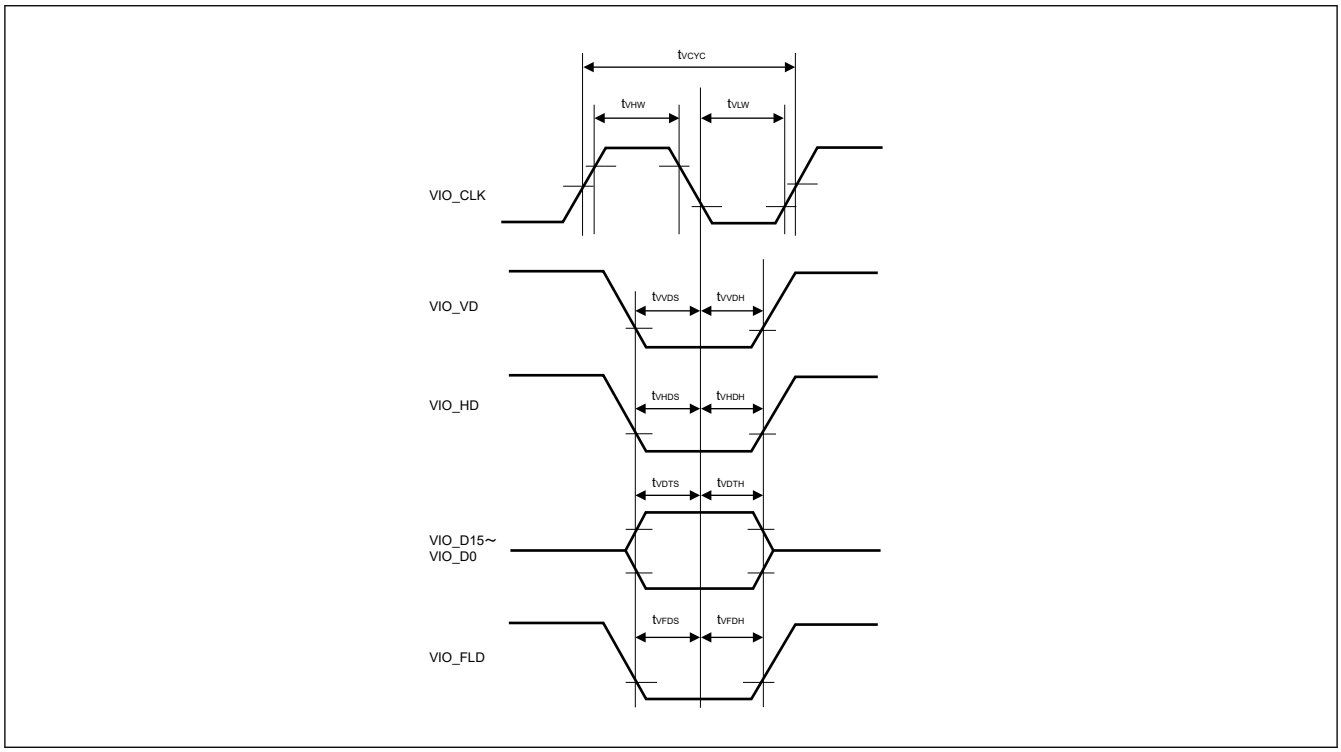


図 62.109　VIO_CLK の立ち下がりエッジによるデータキャプチャのキャプチャエンジンユニットモジュール信号タイミング

62.3.17 CANFD タイミング

表 62.77 CANFD インタフェースタイミング

条件：VCC が 2.70 V 以上の場合、低駆動出力が選択されます。VCC が 1.62 V 以上の場合、中駆動出力が選択されます。

項目	シンボル	VCC/VCC2	Min	Max	単位	測定条件
内部遅延時間	t_{node}	2.70 V 以上	—	50	ns	図 62.110
		1.62 V 以上	—	50		
通信速度		2.70 V 以上	—	8	Mbps	
		1.62 V 以上	—	8		

注. 内部遅延時間 (t_{node}) = 内部転送遅延時間 (t_{output}) + 内部受信遅延時間 (t_{input})

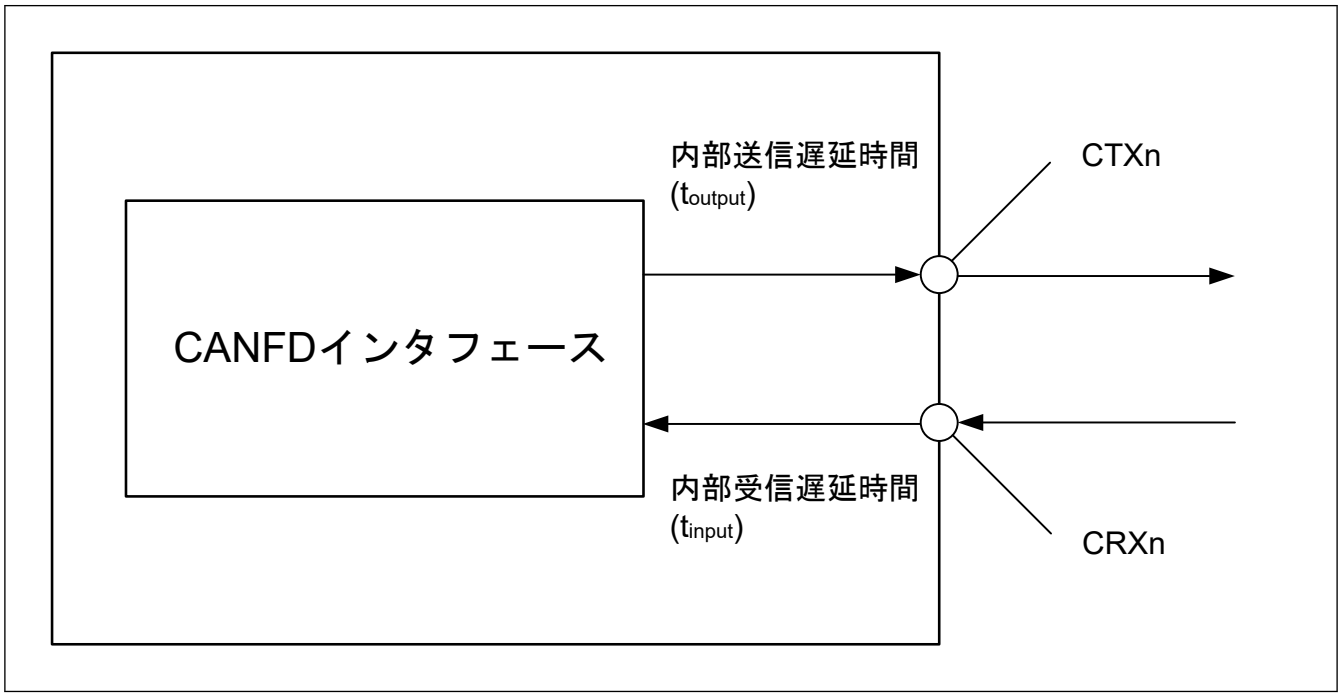


図 62.110 CANFD インタフェース条件

62.3.18 PDG タイミング

表 62.78 PDG タイミング

項目	Min	Typ	Max	単位	測定条件
動作周波数	80	—	300	MHz	—
分解能	—	48.8	—	ps	GTDLYCR.FRANGE [1:0] = 00 および GPTCLK = 160 MHz
	—	52.1	—	ps	GTDLYCR.FRANGE [1:0] = 01 および GPTCLK = 300 MHz
DNL(注1)	—	±2.0	—	LSB	—

注 1. この値は、1-LSB 分解能の行間の差異を正規化します。

62.3.19 ESWM タイミング

表 62.79 ESWM タイミング (RMII)

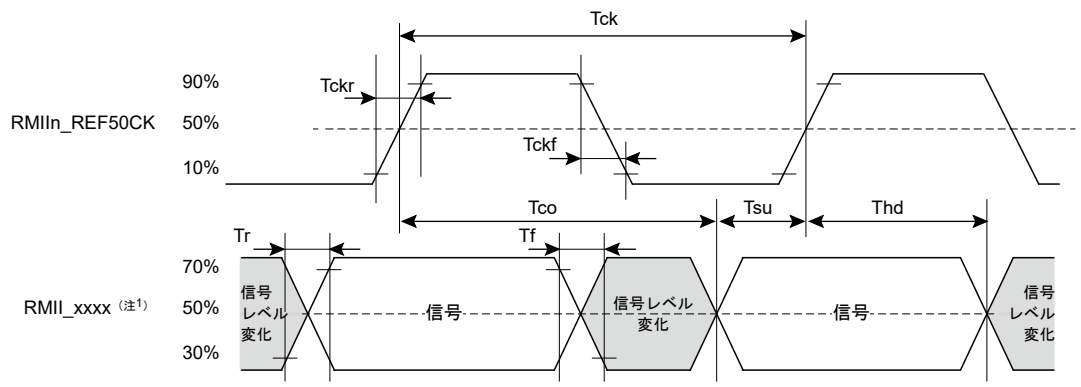
条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：ETn_MDC、ETn_MDIO。
2. ETn_MDC、ETn_MDIO 以外の端子の駆動能力の選択と電圧範囲。

- RMII の使用：高駆動の選択、VCC = 2.7～3.6

項目		シンボル	VCC	Min	Max	単位	測定条件
ESWM (RMII)	RMIIn_REF50CK サイクル時間	Tck	2.70 V 以上	20	—	ns	図 62.112
	RMIIn_REF50CK 周波数、Typ. 50 MHz	—		—	50 + 100 ppm	MHz	
	RMIIn_REF50CK デューティー	—		35	65	%	
	RMIIn_REF50CK 立ち上がり／立ち下がり時間	Tckr/ckf		0.5	3.5	ns	
	RMIIn_xxxx(注1)出力遅延時間	Tco		2.5	12	ns	
	RMIIn_xxxx(注2)セットアップ時間	Tsu		3	—	ns	
	RMIIn_xxxx(注2)ホールド時間	Thd		1	—	ns	
	RMIIn_xxxx(注1) (注2)立ち上がり／立ち下がり時間	Tr/Tf		0.5	4	ns	

注 1. RMIIn_TX_EN、RMIIn_TXD1、RMIIn_TXD0。
注 2. RMIIn_CRS_DV、RMIIn_RXD1、RMIIn_RXD0、RMIIn_RX_ER。



注 1. RMIIn_TX_EN、RMIIn_TXD1、RMIIn_TXD0、RMIIn_CRS_DV、RMIIn_RXD1、RMIIn_RXD0、RMIIn_RX_ER

図 62.112 RMIIn_REF50CK、RMII の信号タイミング

表 62.80　ESWM タイミング (MII)

条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：ETn_MDC、ETn_MDIO。
2. ETn_MDC、ETn_MDIO 以外の端子の駆動能力の選択と電圧範囲。

- MII の使用のみ：中駆動の選択、VCC = 2.7～3.6
- GMII と MII の使用：RGMII 2.50 V 駆動の選択、VCC = 2.3～2.7
- GMII と MII の使用：RGMII 3.30 V 駆動の選択、VCC = 3.0～3.6

項目		シンボル	VCC	Min	Max	単位	測定条件
ESWM (MII)	ETn_TX_CLK サイクル時間	t_{Tcyc}	2.30 V 以上	40	—	ns	—
	ETn_TX_EN 出力遅延時間	t_{TENd}		1	20	ns	図 62.113
	ETn_ETXD0～ETn_ETXD3 出力遅延時間	t_{MTDd}		1	20	ns	
	ETn_RX_CLK サイクル時間	t_{TRcyc}		40	—	ns	—
	ETn_RX_DV セットアップ時間	t_{RDVs}		10	—	ns	図 62.114
	ETn_RX_DV ホールド時間	t_{RDVh}		10	—	ns	
	ETn_ERXD0～ETn_ERXD3 セットアップ時間	t_{MRDs}		10	—	ns	
	ETn_ERXD0～ETn_ERXD3 ホールド時間	t_{MRDh}		10	—	ns	
	ETn_RX_ER セットアップ時間	t_{RERs}		10	—	ns	
	ETn_RX_ER ホールド時間	t_{RESh}		10	—	ns	

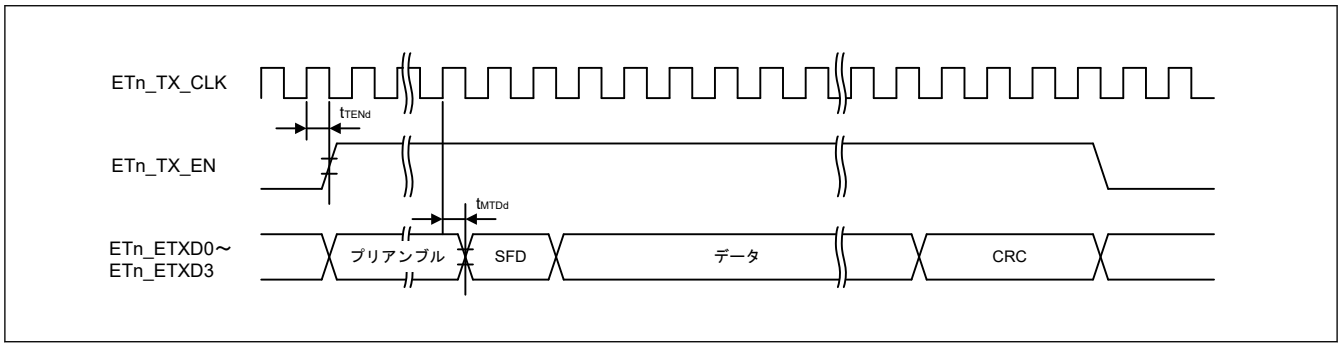


図 62.113　通常動作時の MII 送信タイミング

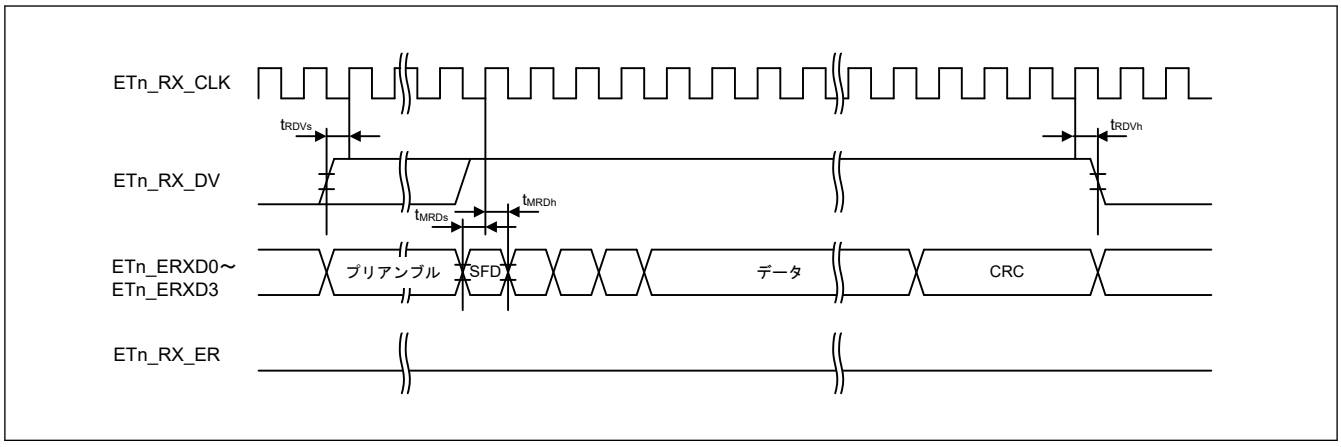


図 62.114　通常動作時の MII 受信タイミング

表 62.81 ESWM タイミング (GMII)

条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：ETn_MDC、ETn_MDIO。
2. ETn_MDC、ETn_MDIO 以外の端子の駆動能力の選択と電圧範囲。

- 2.5 V での GMII の使用：RGMII 2.50 V 駆動の選択、VCC = 2.3～2.7
- 3.3 V での GMII の使用：RGMII 3.30 V 駆動の選択、VCC = 3.0～3.6

項目		シンボル	VCC	Min	Max	単位	測定条件
ESWM (GMII)	ETn_GTX_CLK 周波数	t_{FREQ}	2.30 V～3.60 V	125 - 100 ppm	125 + 100 ppm	MHz	図 62.115 図 62.116
	ETn_GTX_CLK 周期	t_{PERIOD}		7.5	8.5	ns	
	ETn_RX_CLK 周期	t_{PERIOD}		7.5	—	ns	
	ETn_GTX_CLK、ETn_RX_CLK 時間 High	t_{HIGH}		2.5	—	ns	
	ETn_GTX_CLK、ETn_RX_CLK 時間 Low	t_{LOW}		2.5	—	ns	
	ETn_GTX_CLK、ETn_RX_CLK 立ち上がり時間	t_R		—	1	ns	
	ETn_GTX_CLK、ETn_RX_CLK 立ち下がり時間	t_F		—	1	ns	
	ETn_GTX_CLK、ETn_RX_CLK スルーレートの大きさ（立ち上がり）(注1)	—		0.6	—	V/ns	
	ETn_GTX_CLK、ETn_RX_CLK スルーレートの大きさ（立ち下がり）(注1)	—		0.6	—	V/ns	
	↑ETn_GTX_CLK への ETn_TXD、ETn_TX_EN、ETn_TX_ER セットアップと↑ETn_RX_CLK への ETn_RXD、ETn_RX_DV、ETn_RX_ER セットアップ	t_{SETUP}		2.5	—	ns	
	↑ETn_GTX_CLK からの ETn_TXD、ETn_TX_EN、ETn_TX_ER ホールドと↑ETn_RX_CLK からの ETn_RXD、ETn_RX_DV、ETn_RX_ER ホールド	t_{HOLD}		0.5	—	ns	
	↑ETn_GTX_CLK への ETn_TXD、ETn_TX_EN、ETn_TX_ER セットアップと↑ETn_RX_CLK への ETn_RXD、ETn_RX_DV、ETn_RX_ER セットアップ	t_{SETUP}(RCVR)		2	—	ns	
	↑GTX_CLK からの TXD、TX_EN、TX_ER、ETn_TX_ER ホールドと↑RX_CLK からの RXD、RX_DV、RX_ER ホールド	t_{HOLD}(RCVR)		0	—	ns	

注 1. クロックスキューレートは、立ち上がり／立ち下がり時間間隔全体の平均値ではなく、時間に関するクロック電位の変更の瞬時のレート (dV/dt) です。この仕様に従うと、クロック信号は、切り替え領域を経由して単調に立ち上がるか、または立ち下がることが保証されます。

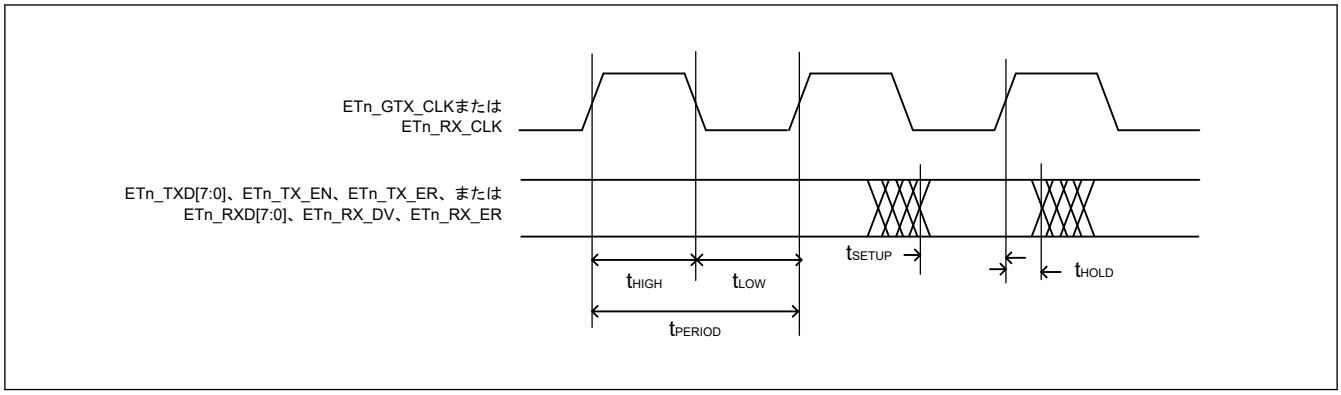


図 62.115　GMII タイミング

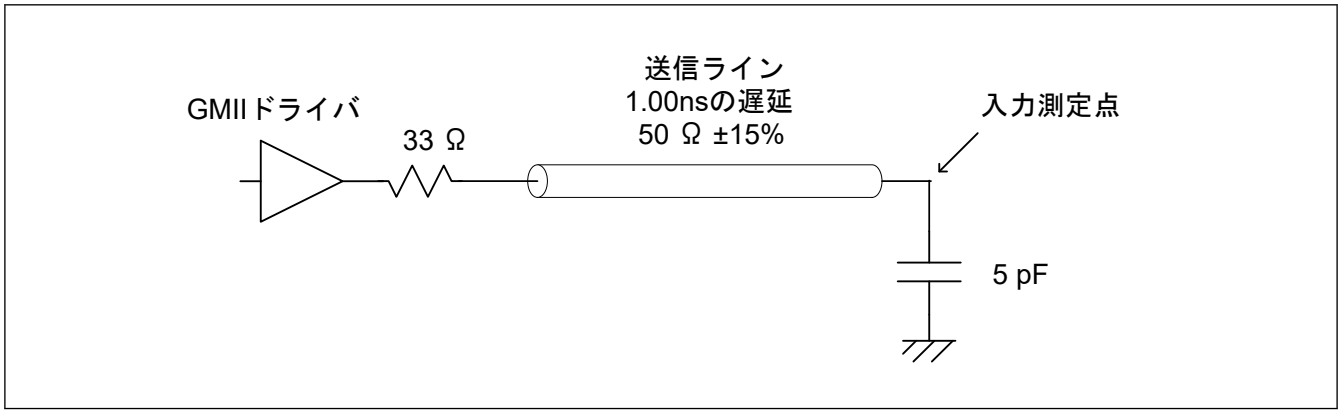


図 62.116　GMII 出力タイミング計測条件

表 62.82　ESWM タイミング (RGMII)

条件：

1. 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：ETn_MDC、ETn_MDIO。
2. ETn_MDC、ETn_MDIO 以外の端子の駆動能力の選択と電圧範囲。

- 2.5 V での RGMII の使用：RGMII 2.50 V 駆動の選択、VCC = 2.3～2.7
- 3.3 V での RGMII の使用：RGMII 3.30 V 駆動の選択、VCC = 3.0～3.6

項目		シンボル	VCC	Min	Max	単位	測定条件
ESWM (RGMII)	クロック出力スキューへのデータ（送信部で）(注1)	T_{skewT}	2.30 V～3.60 V	-500	500	ps	図 62.117 図 62.118 図 62.119
	クロック入力スキューへのデータ（受信部で）(注1)	T_{skewR}		1	2.6	ns	
	クロック出力セットアップへのデータ（送信部統合遅延で）	T_{setupT}		1.2	—	ns	
	データ出力ホールドへのクロック（送信部統合遅延で）	T_{holdT}		1.2	—	ns	
	クロック入力セットアップへのデータ（受信部統合遅延で）	T_{setupR}		1	—	ns	
	クロック入力ホールドへのデータ（受信部統合遅延で）	T_{holdR}		1	—	ns	
	クロックサイクル期間(注2)	T_{cyc}		7.2	8.8	ns	
	ギガビットのデューティーサイクル(注3)	Duty_G		45	55	%	
	10/100T のデューティーサイクル(注3)	Duty_T		40	60	%	
	立ち上がり／立ち下がり時間 (20～80%)	T_r / T_f		—	0.75	ns	

注 1. これは、PC ボードの設計では、対応するクロック信号に 1.5 ns より長く、2.0 ns より短い追加のトレース遅延が追加されるようにクロックをルーティングする必要があることを意味します。
注 2. 10 Mbps と 100 Mbps の場合、Tcyc はそれぞれ 400 ns +- 40 ns と 40 ns +- 4 ns に拡張されます。
注 3. デューティーサイクルは、最小デューティーサイクルが侵害されず、かつストレッチが最小遷移速度の 3 Tcyc 以下で発生しているかぎり、速度変更中または受信したパケットのクロックドメインへの遷移中にストレッチまたは縮小できます。

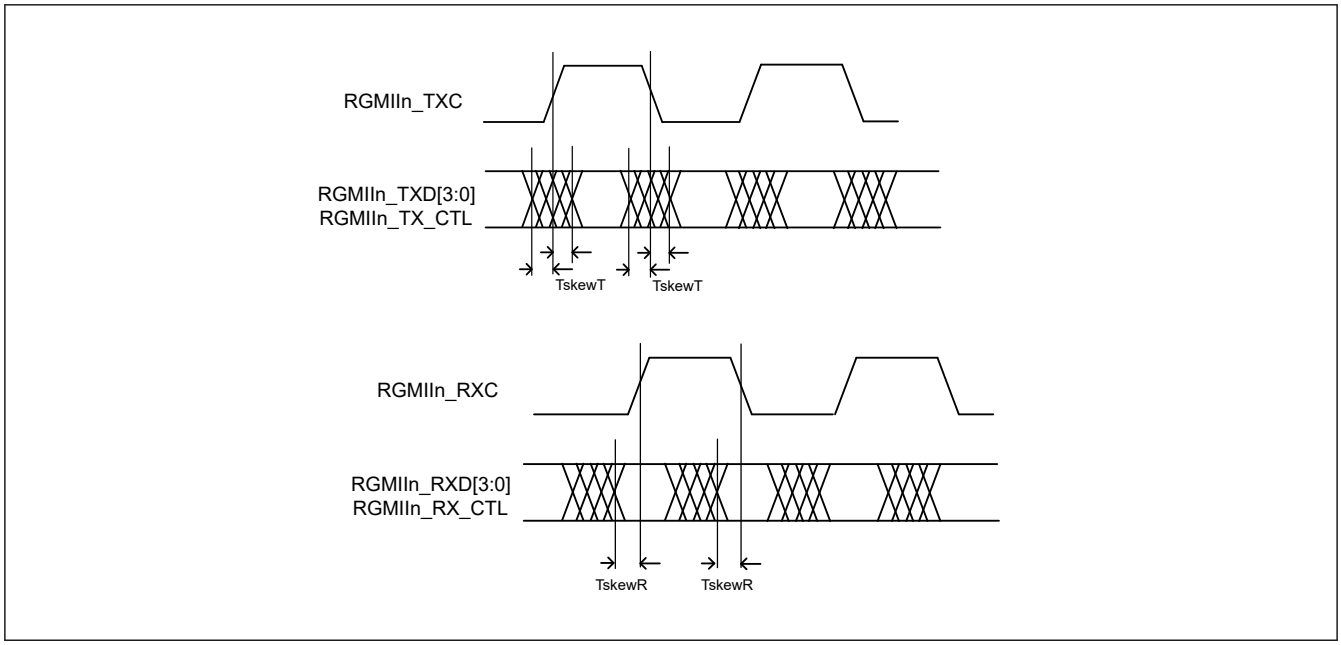


図 62.117 RGMII タイミング

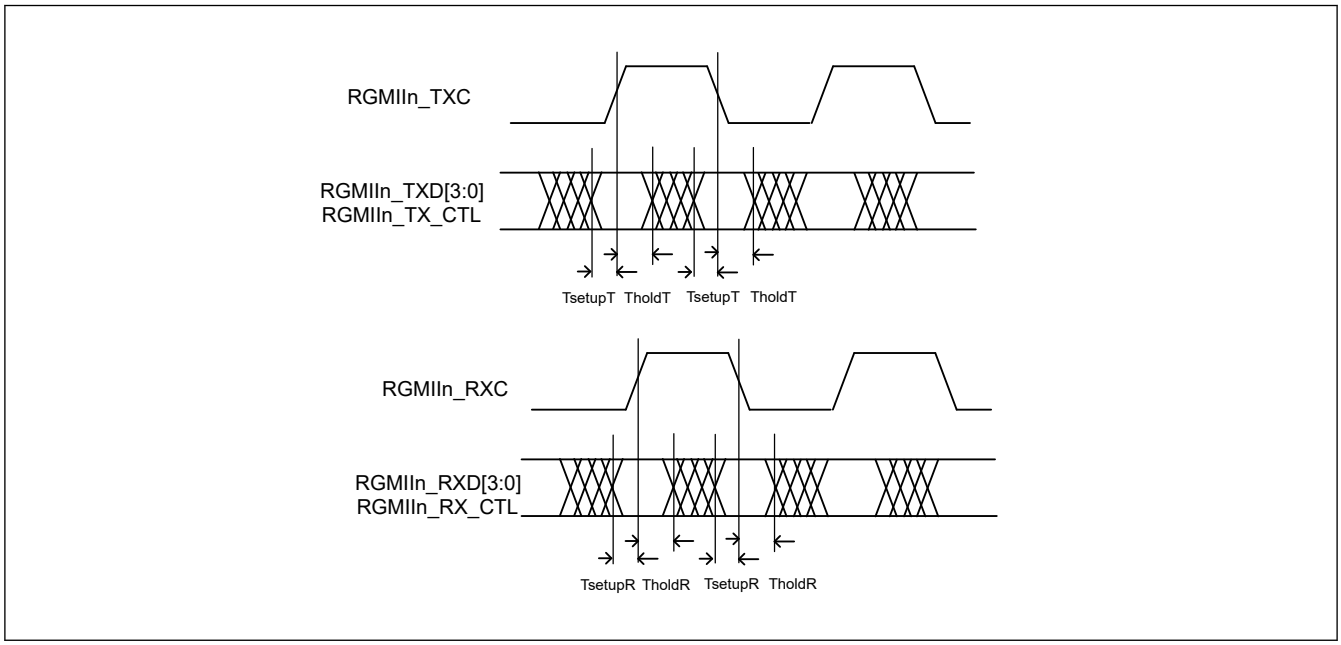


図 62.118 RGMII タイミング (RGMII-ID)

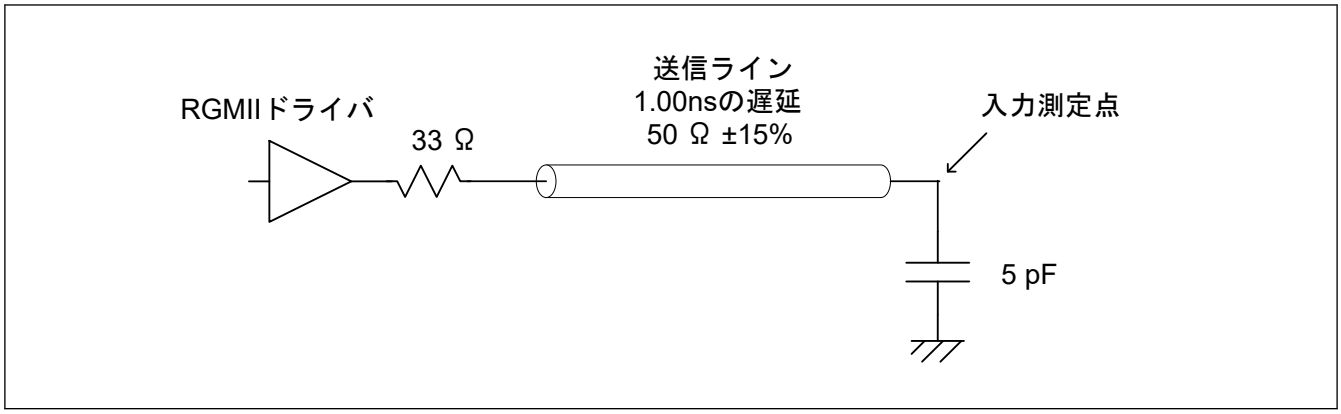


図 62.119　RGMII 出力タイミング計測条件

表 62.83　ESWM タイミング (ETn_MDIO, ETn_MDC)

条件：

1. PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	VCC	Min	Max	単位	測定条件
ESWM (ETn_MDIO, ETn_MDC)	ETHn_MDC 出力サイクル	t_{MDC}	2.70 V 以上	80	—	ns	図 62.120
			2.30 V 以上	160	—	ns	
	ETHn_MDIO セットアップ時間（ETHn_MDC↑に関連）	t_{SMDIO}	2.70 V 以上	20	—	ns	
			2.30 V 以上	40	—	ns	
	ETHn_MDIO ホールド時間（ETHn_MDC↑に関連）	t_{HMDIO}	2.70 V 以上	0	—	ns	
			2.30 V 以上	0	—	ns	
	ETHn_MDIO 出力遅延時間（ETHn_MDC↑に関連）	t_{DMDIO}	2.70 V 以上	0	20	ns	
			2.30 V 以上	0	40	ns	

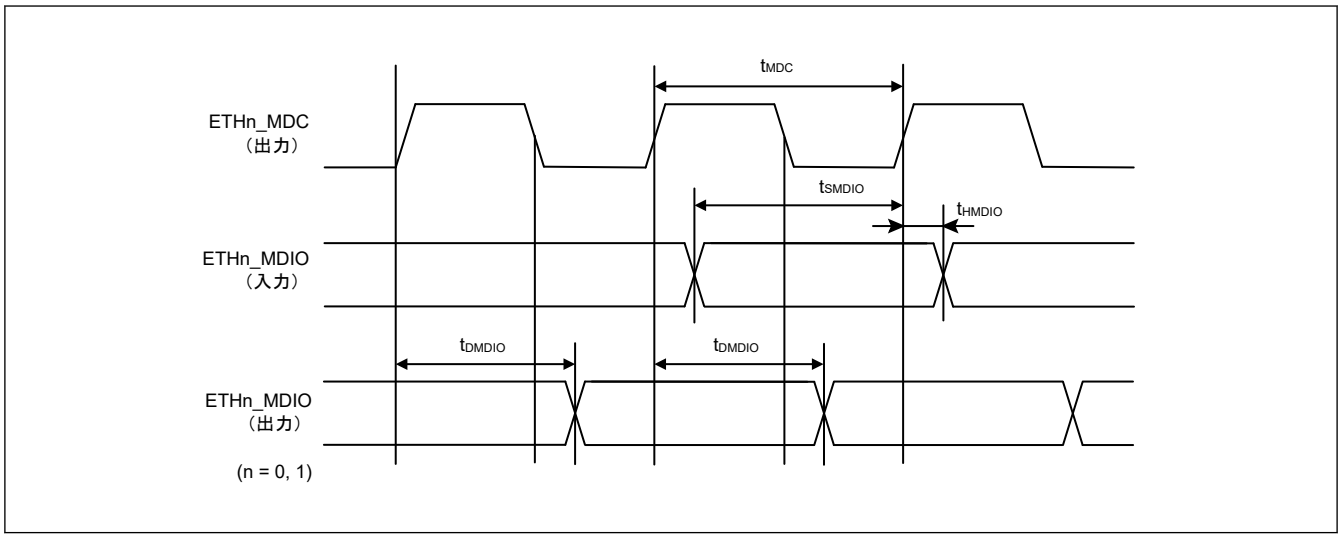


図 62.120　ETn_MDIO、ETn_MDC タイミング

62.3.20 PDMIF タイミング

表 62.84 PDMIF タイミング

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	VCC	Min	Max	単位	測定条件
クロック周期	t_{Psync}	2.70 V 以上	250	4000	ns	図 62.120
		1.62 V 以上	500	4000		
クロック High レベル期間	t_{PDCKWH}	2.70 V 以上	t_{PSYNC} × 0.45	t_{PSYNC} × 0.55	ns	
		1.62 V 以上	t_{PSYNC} × 0.45	t_{PSYNC} × 0.55		
クロック Low レベル期間	t_{PDCKWL}	2.70 V 以上	t_{PSYNC} × 0.45	t_{PSYNC} × 0.55	ns	
		1.62 V 以上	t_{PSYNC} × 0.45	t_{PSYNC} × 0.55		
クロック立ち上がり時間	t_{PDCKr}	2.70 V 以上	—	3	ns	
		1.62 V 以上	—	5		
クロック立ち下がり時間	t_{PDCKf}	2.70 V 以上	—	3	ns	
		1.62 V 以上	—	5		
セットアップ時間	t_{SU}	2.70 V 以上	15	—	ns	図 62.121 図 62.122
		1.62 V 以上	30	—		
ホールド時間	t_H	2.70 V 以上	0	—	ns	
		1.62 V 以上	0	—		

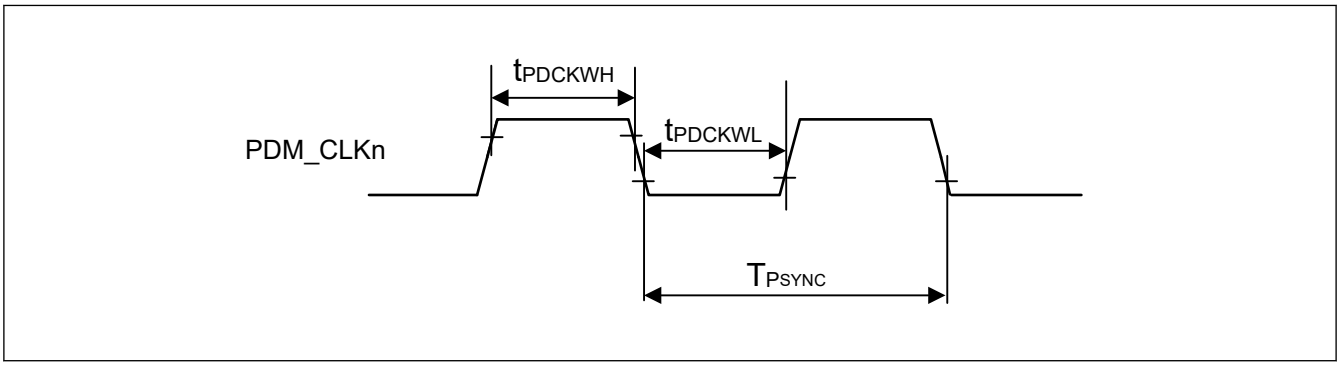


図 62.120 クロック出力のタイミング (PDM_CLKn)

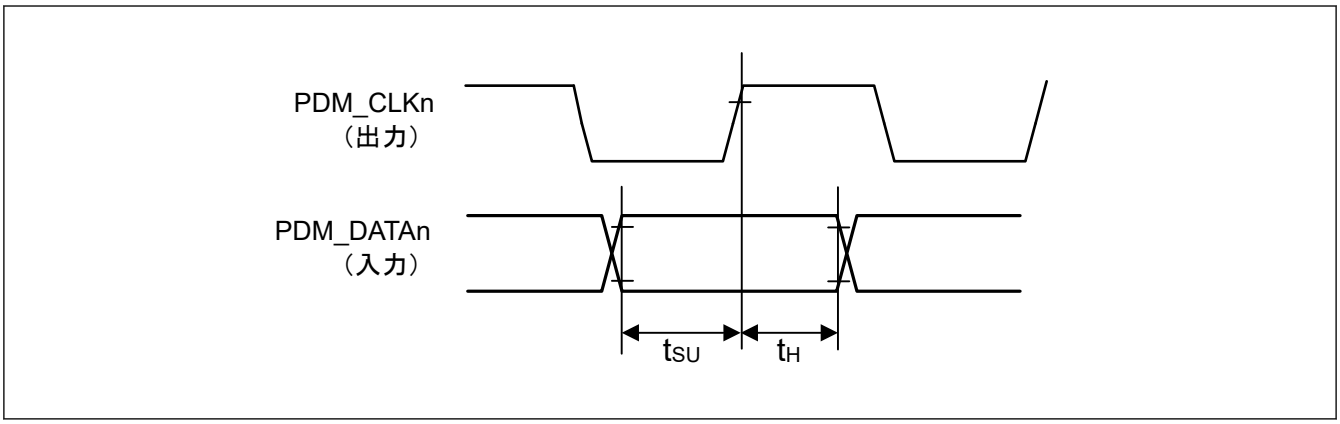


図 62.121 受信タイミング（PDM_CLKn の立ち上がりに同期）

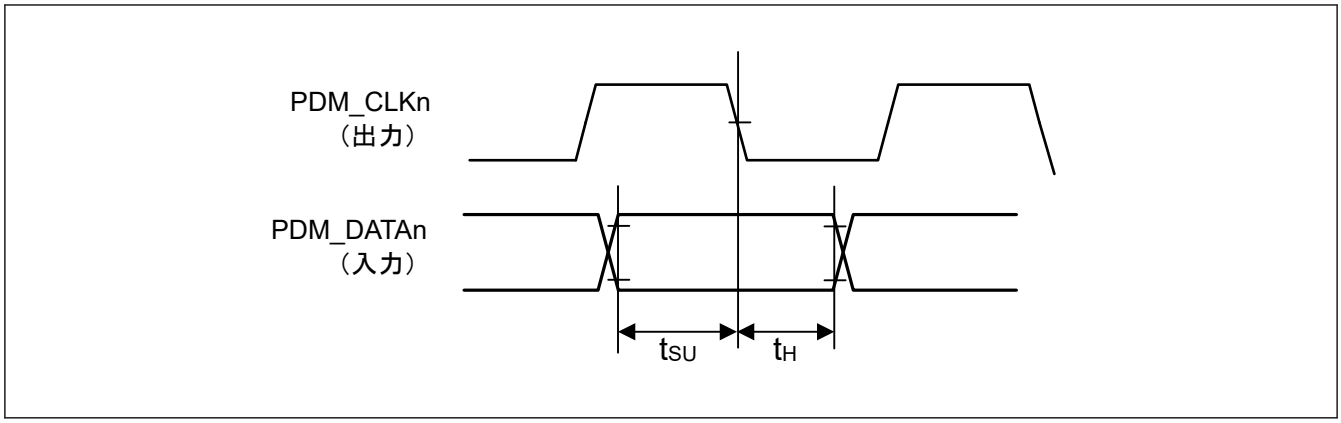


図 62.122　受信タイミング（PDM_CLKn の立ち下がりに同期）

62.4　USB 特性

62.4.1　USBFS タイミング

表 62.85　ホストに限定した USBFS 低速特性（USB_DP 端子および USB_DM 端子特性）

条件：VCC = VCC_USB = 3.0～3.6 V、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = –200 µA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 62.123
	立ち上がり時間	t_{LR}	75	—	300	ns	
	立ち下がり時間	t_{LF}	75	—	300	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	80	—	125	%	t_{LR}/ t_{LF}
プルアップ／プルダウン特性	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	kΩ	—

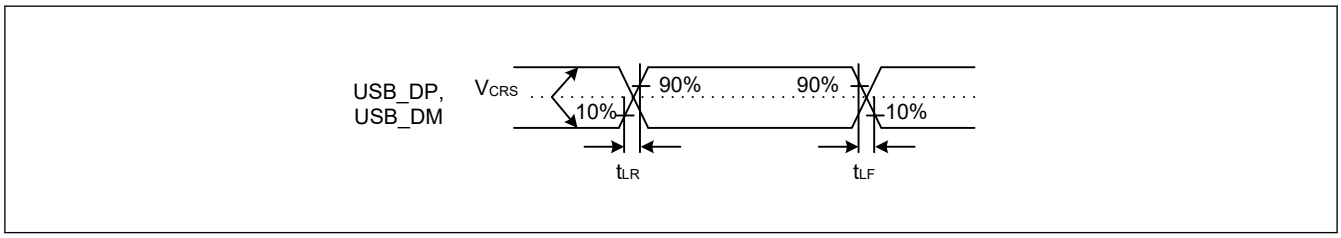


図 62.123　Low-speed モードにおける USB_DP、USB_DM の出力タイミング

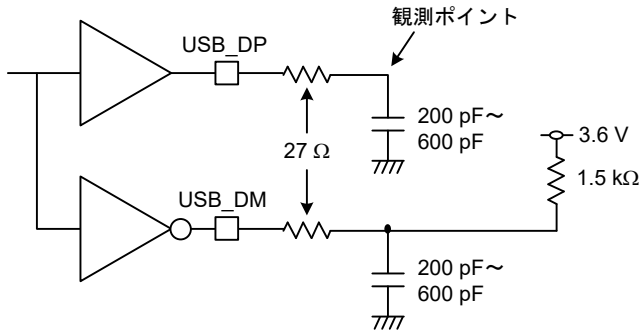


図 62.124　Low-speed モードにおける測定回路

表 62.86　USBFS フルスピード特性（USB_DP 端子および USB_DM 端子特性）

条件：VCC = VCC_USB = 3.0～3.6 V、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = –200 μA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 62.125
	立ち上がり時間	t_{LR}	4	—	20	ns	
	立ち下がり時間	t_{LF}	4	—	20	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	90	—	111.11	%	t_{FR}/ t_{FF}
	出力抵抗	Z_{DRV}	28	—	44	Ω	USBFS: Rs = 27 Ω 含む
プルアップ／プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	—	1.575	kΩ	アイドル状態の間
			1.425	—	3.090	kΩ	送受信中
	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	kΩ	—

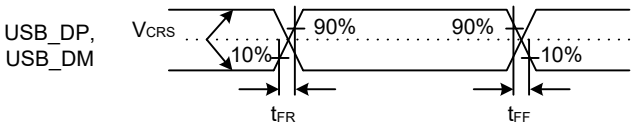


図 62.125　フルスピードモードにおける USB_DP、USB_DM の出力タイミング

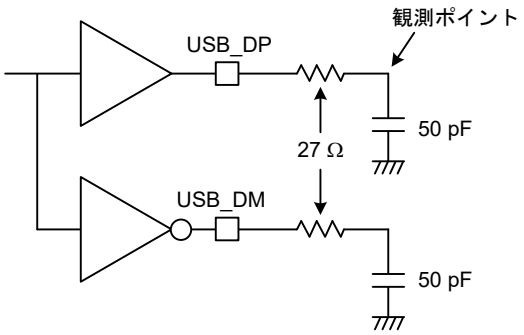


図 62.126　フルスピードモードにおける測定回路

62.4.2　USBHS タイミング

表 62.87　ホストに限定した USBHS 低速特性（USB_DP 端子および USB_DM 端子特性）

条件：USBHS_RREF = 2.2 kΩ ± 1%、USBMCLK = 12/20/24/48 MHz、USBCLK = 48 MHz、USB60CLK = 60 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = –200 μA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 62.127
	立ち上がり時間	t_{LR}	75	—	300	ns	
	立ち下がり時間	t_{LF}	75	—	300	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	80	—	125	%	t_{LR}/ t_{LF}
プルアップ／プルダウン特性	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	kΩ	—

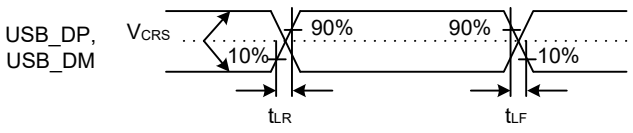


図 62.127　Low-speed モードにおける USB_DP、USB_DM の出力タイミング

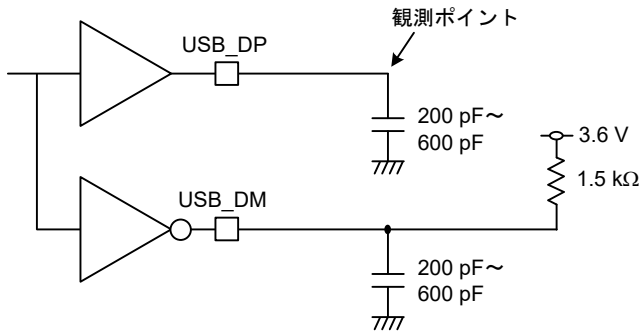


図 62.128　Low-speed モードにおける測定回路

表 62.88　USBHS フルスピード特性（USB_DP 端子および USB_DM 端子特性）

条件：USBHS_RREF = 2.2 kΩ ± 1%、USBMCLK = 12/20/24/48 MHz、USBCLK = 48 MHz、USB60CLK = 60 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = –200 µA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 62.129
	立ち上がり時間	t_{LR}	4	—	20	ns	
	立ち下がり時間	t_{LF}	4	—	20	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	90	—	111.11	%	t_{FR}/ t_{FF}
	出力抵抗	Z_{DRV}	40.5	—	49.5	Ω	Rs 未使用 (PHYSET.REPSEL[1:0] = 01b かつ PHYSET. HSEB = 0)
プルアップ／プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	—	1.575	kΩ	アイドル状態の間
			1.425	—	3.090	kΩ	送受信中
	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	kΩ	—

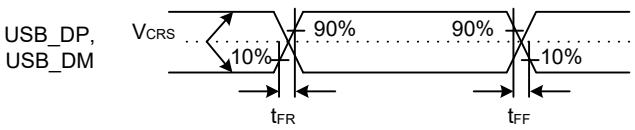


図 62.129　フルスピードモードにおける USB_DP、USB_DM の出力タイミング

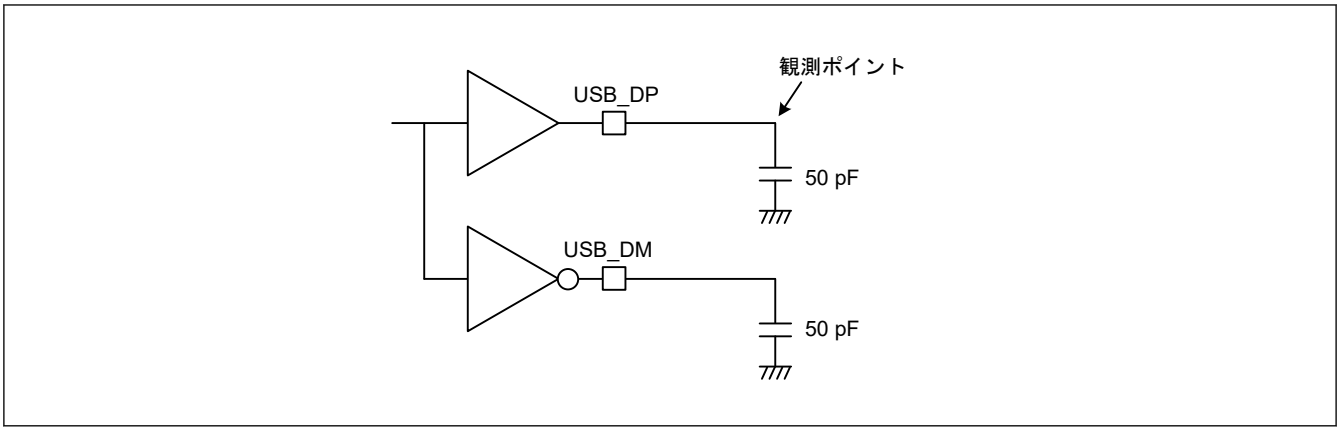


図 62.130　フルスピードモードにおける測定回路

表 62.89　USB 高速特性（USB_DP 端子および USB_DM 端子特性）

条件：USBHS_RREF = 2.2 kΩ ± 1%、USBMCLK = 12/20/24/48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	Squelch 検出感度	V_{HSSQ}	100	—	150	mV	図 62.131
	切断検出感度	V_{HSDSC}	525	—	648	mV	図 62.132
	コモンモード電圧	V_{HSCM}	-50	—	500	mV	—
出力特性	アイドル時	V_{HSOI}	-10	—	10	mV	—
	出力 High レベル電圧	V_{HSOH}	360	—	440	mV	—
	出力 Low レベル電圧	V_{HSOL}	-10	—	10	mV	—
	Chirp J 出力電圧（差分）	V_{CHIRPJ}	700	—	1100	mV	—
	Chirp K 出力電圧（差分）	V_{CHIRPK}	-900	—	-500	mV	—
AC 特性	立ち上がり時間	t_{HSR}	500	—	—	ps	—
	立ち下がり時間	t_{HSF}	500	—	—	ps	図 62.133
	出力抵抗	Z_{HSDRV}	40.5	—	49.5	Ω	—

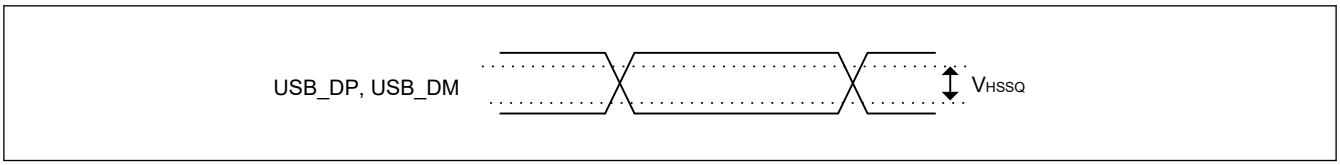


図 62.131　High-speed モードにおける USB_DP、USB_DM の Squelch 検出感度

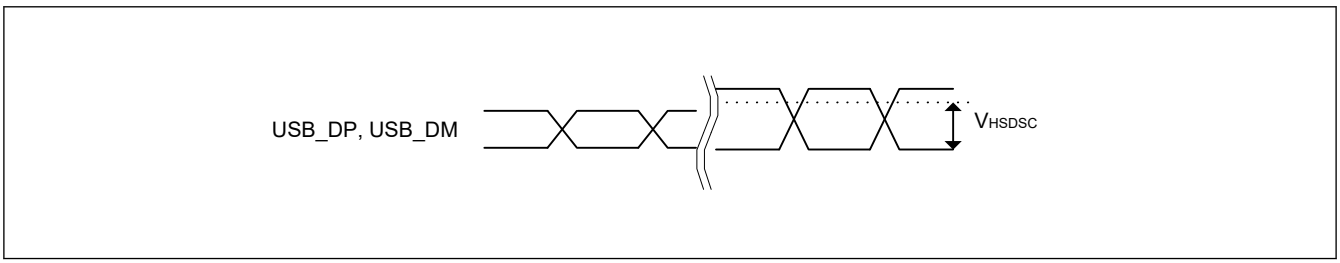


図 62.132　High-speed モードにおける USB_DP、USB_DM の切断検出感度

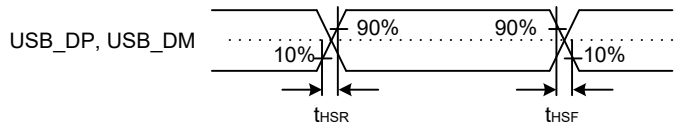


図 62.133　High-speed モードにおける USB_DP、USB_DM の出力タイミング

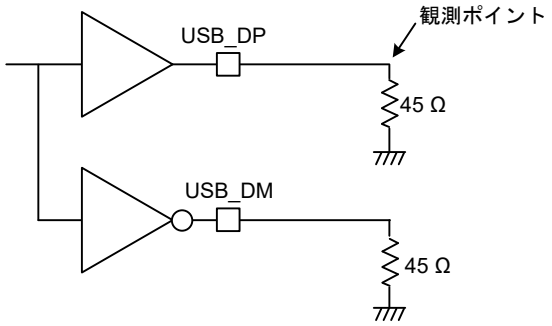


図 62.134　High-speed モードにおける測定回路

表 62.90　USBHS 高速特性（USB_DP 端子および USB_DM 端子特性）

条件：USBHS_RREF = 2.2 kΩ ± 1%、USBMCLK = 12/20/24/48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
バッテリチャージング規格	D+シンク電流	I_{DP_SINK}	25	—	175	μA	—
	D-シンク電流	I_{DM_SINK}	25	—	175	μA	—
	DCD ソース電流	I_{DP_SRC}	7	—	13	μA	—
	データ検出電圧	V_{DAT_REF}	0.25	—	0.4	V	—
	D+ソース電圧	V_{DP_SRC}	0.5	—	0.7	V	出力電流 = 250 μA
	D-ソース電圧	V_{DM_SRC}	0.5	—	0.7	V	出力電流 = 250 μA

62.5　ADC 特性

表 62.91　A/D 変換特性（共通） (1/3)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目	Min	Typ	Max	単位	測定条件
A/D 変換クロック周波数 (ADCLK)	25	50	60	MHz	AVCC: 2.7～3.63 V VCC: 2.7～3.63 V VREFH0/VREFH: 2.7 V～AVCC
逐次比較時間	100	—	200	ns	

表 62.91 A/D 変換特性（共通） (2/3)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目						Min	Typ	Max	単位	測定条件
A/D サンプリング時間（通常モード）	自己校正				SAR モード	1 × t_{ADcyc} + 40	—	—	ns	AVCC: 2.7～3.63 V VCC: 2.7～3.63 V VREFH0/VREFH: 2.7 V～AVCC tCmp = 100 ns
					オーバーサンプリングモード	1 × t_{ADcyc} + 40	—	—	ns	
	自己診断				SAR モード	1 × t_{ADcyc} + 40	—	—	ns	
					オーバーサンプリングモード	1 × t_{ADcyc} + 40	—	—	ns	
	A/D 変換	高速チャネル	チャネル専用サンプル&ホールド回路不使用時	(AN000～AN005) (AN006～AN011)	SAR モード	1 × t_{ADcyc} + 40	—	—	ns	
					オーバーサンプリングモード（1 チャネル連続スキャンモード）	40	—	—	ns	
					オーバーサンプリングモード（シングル／連続スキャンモード）	1 × t_{ADcyc} + 40	—	—	ns	
			チャネル専用サンプル&ホールド回路使用時	(AN000～AN005) (AN006～AN011)	SAR モード	1 × t_{ADcyc} + 160	—	—	ns	
					ハイブリッドモード	1 × t_{ADcyc} + 160	—	—	ns	
		中速チャネル		(AN012～AN015)	SAR モード	180	—	—	ns	
					オーバーサンプリングモード	200	—	—	ns	
		低速チャネル		(AN016～AN022)	SAR モード	400	—	—	ns	
					オーバーサンプリングモード	400	—	—	ns	
A/D サンプリング時間（高精度モード）	自己校正				SAR モード	1 × t_{ADcyc} + 140(注1)	—	—	ns	
					ハイブリッドモード	1 × t_{ADcyc} + 140(注1)	—	—	ns	
	自己診断				SAR モード	1 × t_{ADcyc} + 140(注1)	—	—	ns	
					ハイブリッドモード	1 × t_{ADcyc} + 140(注1)	—	—	ns	
	A/D 変換	高速チャネル	チャネル専用サンプル&ホールド回路不使用時	(AN000～AN005) (AN006～AN011)	SAR モード	1 × t_{ADcyc} + 140(注1)	—	—	ns	
					ハイブリッドモード	1 × t_{ADcyc} + 140(注1)	—	—	ns	
			チャネル専用サンプル&ホールド回路使用時	(AN000～AN005) (AN006～AN011)	SAR モード	1 × t_{ADcyc} + 320	—	—	ns	
					ハイブリッドモード	1 × t_{ADcyc} + 320	—	—	ns	
		中速チャネル		(AN012～AN015)	SAR モード	400	—	—	ns	
					ハイブリッドモード	440	—	—	ns	
		低速チャネル		(AN016～AN022)	SAR モード	840	—	—	ns	
					ハイブリッドモード	840	—	—	ns	

表 62.91 A/D 変換特性（共通） (3/3)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目				Min	Typ	Max	単位	測定条件
チャネル専用サンプル&ホールド回路	サンプリング時間	自己校正		400	—	—	ns	AVCC: 2.7～3.63 V VCC: 2.7～3.63 V VREFH0/VREFH: 2.7 V～AVCC
		A/D 変換		400	—	—	ns	
	ホールドモード切り替え時間			40	—	—	ns	
	ホールド時間			—	—	5	μs	
動作安定時間	A/D 起動時間			2	—	—	μs	
	チャネル専用サンプル&ホールド回路起動時間			2	—	—	μs	
	A/D 遮断時間			1	—	—	μs	
アナログ入力電圧範囲	シングルエンド入力電圧	ユニット 0	AN000～AN005, AN012, AN014	VREFL0	—	VREFH0	V	—
			AN016～AN018	VREFL0	—	VREFH0	V	VCC ≧ VREFH0
				VREFL0	—	VCC	V	VCC < VREFH0
			AN019～AN022	VREFL0	—	VREFH0	V	VCC2 ≧ VREFH0
				VREFL0	—	VCC2	V	VCC2 < VREFH0
		ユニット 1	AN006～AN011, AN013, AN015	VREFL	—	VREFH	V	—
			AN016～AN018	VREFL	—	VREFH	V	VCC ≧ VREFH
				VREFL	—	VCC	V	VCC < VREFH
			AN019～AN022	VREFL	—	VREFH	V	VCC2 ≧ VREFH
				VREFL	—	VCC2	V	VCC2 < VREFH
	差動入力電圧(注2)	ユニット 0	AN000～AN005	-VREFH0	—	+VREFH0	V	—
		ユニット 1	AN006～AN011	-VREFH	—	+VREFH	V	—

注. t_{ADcyc}: ADCLK サイクル

注. t_{Cmp}: 逐次比較時間

注 1. t_{Cmp} が 100 ns よりも大きい場合、A/D サンプリング時間は以下の式よりも長くする必要があります。

$1 \times t_{ADcyc} + 1.6 \times t_{Cmp}$

注 2. 差動入力電圧は (A_{INP} - A_{INN}) です。

A/D コンバータユニット 0:

- A_{INP} は A_{Nx} の入力電圧であり、VREFL0 ≦ A_{INP} ≦ VREFH0 です。
- A_{INN} は A_{Ny} の入力電圧であり、VREFL0 ≦ A_{INN} ≦ VREFH0 です。

A/D コンバータユニット 1:

- A_{INP} は A_{Nx} の入力電圧であり、VREFL ≦ A_{INP} ≦ VREFH です。
- A_{INN} は A_{Ny} の入力電圧であり、VREFL ≦ A_{INN} ≦ VREFH です。

（x = 2i, y = 2i + 1, i = 0, 1, 2…（任意の整数））

表 62.92 A/D 変換特性（共通） (1/2)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目					Min	Typ	Max	単位	測定条件
A/D 変換クロック周波数 (ADCLK)					25	50	60	MHz	AVCC: 1.62～2.7 V VCC: 1.62～2.7 V VREFH0/VREFH: 1.62 V～AVCC
逐次比較時間					200	—	200	ns	
A/D サンプリング時間（通常モード）	自己校正			SAR モード	1 × t_{ADcyc} + 420	—	—	ns	AVCC: 1.62～2.7 V VCC: 1.62～2.7 V VREFH0/VREFH: 1.62 V～AVCC tCmp = 200 ns
				オーバーサンプリングモード	1 × t_{ADcyc} + 420	—	—	ns	
	自己診断			SAR モード	1 × t_{ADcyc} + 420	—	—	ns	
				オーバーサンプリングモード	1 × t_{ADcyc} + 420	—	—	ns	
	A/D 変換	高速チャネル	チャネル専用サンプル&ホールド回路不使用時	(AN000～AN005) (AN006～AN011)	SAR モード	1 × t_{ADcyc} + 420	—	—	ns
					オーバーサンプリングモード（1 チャネル連続スキャンモード）	440	—	—	ns
					オーバーサンプリングモード（シングル／連続スキャンモード）	1 × t_{ADcyc} + 420	—	—	ns
		中速チャネル		(AN012～AN015)	SAR モード	560	—	—	ns
					オーバーサンプリングモード	560	—	—	ns
		低速チャネル		(AN016～AN022)	SAR モード	800	—	—	ns
					オーバーサンプリングモード	800	—	—	ns
A/D サンプリング時間（高精度モード）	自己校正			SAR モード	1 × t_{ADcyc} + 780	—	—	ns	
				ハイブリッドモード	1 × t_{ADcyc} + 780	—	—	ns	
	自己診断			SAR モード	1 × t_{ADcyc} + 780	—	—	ns	
				ハイブリッドモード	1 × t_{ADcyc} + 780	—	—	ns	
	A/D 変換	高速チャネル	チャネル専用サンプル&ホールド回路不使用時	(AN000～AN005) (AN006～AN011)	SAR モード	1 × t_{ADcyc} + 780	—	—	ns
					ハイブリッドモード	1 × t_{ADcyc} + 780	—	—	ns
		中速チャネル		(AN012～AN015)	SAR モード	1200	—	—	ns
					ハイブリッドモード	1200	—	—	ns
		低速チャネル		(AN016～AN022)	SAR モード	1680	—	—	ns
					ハイブリッドモード	1680	—	—	ns
動作	A/D 起動時間				2	—	—	ns	AVCC: 1.62～2.7 V VCC: 1.62～2.7 V VREFH0/VREFH: 1.62 V～AVCC
	A/D 遮断時間				1	—	—	ns	

表 62.92 A/D 変換特性（共通） (2/2)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目				Min	Typ	Max	単位	測定条件
アナログ入力電圧範囲	シングルエンド入力電圧	ユニット 0	AN000～AN005, AN012, AN014	VREFL0	—	VREFH0	V	—
			AN016～AN018	VREFL0	—	VREFH0	V	VCC ≧ VREFH0
				VREFL0	—	VCC	V	VCC < VREFH0
			AN019～AN022	VREFL0	—	VREFH0	V	VCC2 ≧ VREFH0
				VREFL0	—	VCC2	V	VCC2 < VREFH0
		ユニット 1	AN006～AN011, AN013, AN015	VREFL	—	VREFH	V	—
			AN016～AN018	VREFL	—	VREFH	V	VCC ≧ VREFH
				VREFL	—	VCC	V	VCC < VREFH
			AN019～AN022	VREFL	—	VREFH	V	VCC2 ≧ VREFH
				VREFL	—	VCC2	V	VCC2 < VREFH
	差動入力電圧(注1)	ユニット 0	AN000～AN005	-VREFH0	—	+VREFH0	V	—
		ユニット 1	AN006～AN011	-VREFH	—	+VREFH	V	—

注. t_{ADcyc}: ADCLK サイクル

注. t_{Cmp}: 逐次比較時間

注 1. 差動入力電圧は (A_{INP} - A_{INN}) です。

A/D コンバータユニット 0:

- A_{INP} は A_{Nx} の入力電圧であり、VREFL0 ≦ A_{INP} ≦ VREFH0 です。
- A_{INN} は A_{Ny} の入力電圧であり、VREFL0 ≦ A_{INN} ≦ VREFH0 です。

A/D コンバータユニット 1:

- A_{INP} は A_{Nx} の入力電圧であり、VREFL ≦ A_{INP} ≦ VREFH です。
- A_{INN} は A_{Ny} の入力電圧であり、VREFL ≦ A_{INN} ≦ VREFH です。

（x = 2i, y = 2i + 1, i = 0, 1, 2…（任意の整数））

表 62.93 A/D 変換特性（SAR モード：DCDC モード） (1/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	分解能					—	—	12	ビット	—
SAR モード	シングルエンド入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.16	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±3	±6.5	LSB	BGA パッケージ
						—	±3	±7.5	LSB	LQFP パッケージ
					フルスケール誤差	—	±3	±6.5	LSB	BGA パッケージ
						—	±3	±7.5	LSB	LQFP パッケージ
					絶対精度	—	±4	±11	LSB	BGA パッケージ
						—	±4	±14	LSB	LQFP パッケージ
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	BGA パッケージ
						—	±1	-1～+2.0	LSB	LQFP パッケージ
					INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ
						—	±2	±5	LSB	LQFP パッケージ
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	1.00	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：35 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	BGA パッケージ
						—	±1.5	±7.5	LSB	LQFP パッケージ
					フルスケール誤差	—	±1.5	±6.75	LSB	BGA パッケージ
						—	±1.5	±7.5	LSB	LQFP パッケージ
					絶対精度	—	±5	±10.5	LSB	BGA パッケージ
						—	±5	±11.5	LSB	LQFP パッケージ
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	BGA パッケージ
						—	±1	-1～+2.0	LSB	LQFP パッケージ
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	BGA パッケージ
						—	±2.5	±5.5	LSB	LQFP パッケージ

表 62.93 A/D 変換特性（SAR モード：DCDC モード） (2/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.26	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	BGA パッケージ
						—	±1.5	±5.5	LSB	LQFP パッケージ
					フルスケール誤差	—	±1.5	±4.5	LSB	BGA パッケージ
						—	±1.5	±5.5	LSB	LQFP パッケージ
					絶対精度	—	±4	±7	LSB	BGA パッケージ
						—	±4	±10	LSB	LQFP パッケージ
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	BGA パッケージ
						—	±1	-1～+2.0	LSB	LQFP パッケージ
					INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ
						—	±2	±5	LSB	LQFP パッケージ
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	1.72	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：63 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK • サンプリング時間：16 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	BGA パッケージ
						—	±1.5	±7.5	LSB	LQFP パッケージ
					フルスケール誤差	—	±1.5	±6.75	LSB	BGA パッケージ
						—	±1.5	±7.5	LSB	LQFP パッケージ
					絶対精度	—	±4.5	±9	LSB	BGA パッケージ
						—	±4.5	±9.5	LSB	LQFP パッケージ
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	BGA パッケージ
						—	±1	-1～+2.0	LSB	LQFP パッケージ
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	BGA パッケージ
						—	±2.5	±4.5	LSB	LQFP パッケージ

表 62.93 A/D 変換特性（SAR モード：DCDC モード） (3/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	通常モード	中速チャネル (AN012～AN015)	変換時間(注1)	0.28	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：9 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	BGA パッケージ
					—	±1.5	±6.5	LSB	LQFP パッケージ
				フルスケール誤差	—	±1.5	±6.5	LSB	BGA パッケージ
					—	±1.5	±6.5	LSB	LQFP パッケージ
				絶対精度	—	±4	±11	LSB	BGA パッケージ
					—	±4	±15	LSB	LQFP パッケージ
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	BGA パッケージ
					—	±1	-1～+2.0	LSB	LQFP パッケージ
				INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ
					—	±2	±3	LSB	LQFP パッケージ
			低速チャネル (AN016～AN022)	変換時間(注1)	0.5	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：20 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±5.5	±11	LSB	—
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 62.93 A/D 変換特性（SAR モード：DCDC モード） (4/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	高精度モード	中速チャネル (AN012～AN015)	変換時間(注1)	0.5	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：20 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	BGA パッケージ
					—	±1.5	±4.5	LSB	LQFP パッケージ
				フルスケール誤差	—	±1.5	±4.5	LSB	BGA パッケージ
					—	±1.5	±4.5	LSB	LQFP パッケージ
				絶対精度	—	±4	±7	LSB	BGA パッケージ
					—	±4	±11	LSB	LQFP パッケージ
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	BGA パッケージ
					—	±1	-1～+2.0	LSB	LQFP パッケージ
				INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ
					—	±2	±4.5	LSB	LQFP パッケージ
			低速チャネル (AN016～AN022)	変換時間(注1)	0.94	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：42 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	—
				フルスケール誤差	—	±1.5	±4.5	LSB	—
				絶対精度	—	±5.5	±8	LSB	—
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 62.93　A/D 変換特性（SAR モード：DCDC モード） (5/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	差動入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.16	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±2	±3.5	LSB	—
					フルスケール誤差	—	±2	±3.5	LSB	—
					絶対精度	—	±3	±6	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	1.00	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：35 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±3.5	±10.5	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

表 62.93 A/D 変換特性（SAR モード：DCDC モード） (6/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	差動入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.26	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1	±2.5	LSB	—
					フルスケール誤差	—	±1	±2.5	LSB	—
					絶対精度	—	±2	±4	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	1.72	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：63 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK • サンプリング時間：16 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±3.5	±9	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

注. これらの仕様値は、1 つの ADC16H だけが動作中で、DAC12 と ACMPHS が動作しておらず、かつ A/D 変換中に外部バスへのアクセスがない場合に適用されます。
他の ADC ユニット、DAC12、または ACMPHS が動作中である、または A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
ADC16H 使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。

注 1. チャネル専用サンプル&ホールド回路不使用時：変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 2. チャネル専用サンプル&ホールド回路使用時：変換時間は、チャネル専用サンプル&ホールド回路のサンプリング時間、ホールドモード切り替え時間、サンプリング時間、逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 3. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。

表 62.94　A/D 変換特性（SAR モード：外部 VDD モード） (1/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	分解能					—	—	12	ビット	—
SAR モード	シングルエンド入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.16	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±3	±6.5	LSB	—
					フルスケール誤差	—	±3	±6.5	LSB	—
					絶対精度	—	±4	±11	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	1.00	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：35 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±5	±10.5	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

表 62.94 A/D 変換特性（SAR モード：外部 VDD モード） (2/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.26	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	—
					フルスケール誤差	—	±1.5	±4.5	LSB	—
					絶対精度	—	±4	±7	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	1.72	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：63 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK • サンプリング時間：16 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±4.5	±9	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

表 62.94 A/D 変換特性（SAR モード：外部 VDD モード） (3/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	通常モード	中速チャネル (AN012～AN015)	変換時間(注1)	0.28	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：9 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±4	±11	LSB	—
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±3	LSB	—
			低速チャネル (AN016～AN022)	変換時間(注1)	0.5	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：20 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±5.5	±11	LSB	—
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 62.94　A/D 変換特性（SAR モード：外部 VDD モード） (4/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	高精度モード	中速チャネル (AN012～AN015)	変換時間(注1)	0.5	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：20 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	—
				フルスケール誤差	—	±1.5	±4.5	LSB	—
				絶対精度	—	±4	±7	LSB	—
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±3	LSB	—
			低速チャネル (AN016～AN022)	変換時間(注1)	0.94	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：42 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	—
				フルスケール誤差	—	±1.5	±4.5	LSB	—
				絶対精度	—	±5.5	±8	LSB	—
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 62.94　A/D 変換特性（SAR モード：外部 VDD モード） (5/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	差動入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.16	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±2	±3.5	LSB	—
					フルスケール誤差	—	±2	±3.5	LSB	—
					絶対精度	—	±3	±6	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	1.00	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：35 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±3.5	±10.5	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

表 62.94 A/D 変換特性（SAR モード：外部 VDD モード） (6/6)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	差動入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.26	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1	±2.5	LSB	—
					フルスケール誤差	—	±1	±2.5	LSB	—
					絶対精度	—	±2	±4	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	1.72	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：63 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK • サンプリング時間：16 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±3.5	±9	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

注. これらの仕様値は、1 つの ADC16H だけが動作中で、DAC12 と ACMPHS が動作しておらず、かつ A/D 変換中に外部バスへのアクセスがない場合に適用されます。
他の ADC ユニット、DAC12、または ACMPHS が動作中である、または A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
ADC16H 使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。

注 1. チャネル専用サンプル&ホールド回路不使用時：変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 2. チャネル専用サンプル&ホールド回路使用時：変換時間は、チャネル専用サンプル&ホールド回路のサンプリング時間、ホールドモード切り替え時間、サンプリング時間、逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 3. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。

表 62.95 A/D 変換特性（SAR モード：DCDC モード） (1/4)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	分解能					—	—	12	ビット	—
SAR モード	シングルエンド入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.64	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：22 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±3	±6.5	LSB	BGA パッケージ
						—	±3	±8	LSB	LQFP パッケージ
					フルスケール誤差	—	±3	±6.5	LSB	BGA パッケージ
						—	±3	±8	LSB	LQFP パッケージ
					絶対精度	—	±5.5	±11	LSB	BGA パッケージ
						—	±5.5	±15	LSB	LQFP パッケージ
					DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	BGA パッケージ
						—	±1	-1～+2.0	LSB	LQFP パッケージ
					INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ
						—	±2	±3.5	LSB	LQFP パッケージ
SAR モード	シングルエンド入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	1	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：40 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	BGA パッケージ
						—	±1.5	±5	LSB	LQFP パッケージ
					フルスケール誤差	—	±1.5	±4.5	LSB	BGA パッケージ
						—	±1.5	±5	LSB	LQFP パッケージ
					絶対精度	—	±5.0	±8	LSB	BGA パッケージ
						—	±5.0	±11	LSB	LQFP パッケージ
					DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	BGA パッケージ
						—	±1	-1～+1.5	LSB	LQFP パッケージ
					INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ
						—	±2	±3.5	LSB	LQFP パッケージ

表 62.95 A/D 変換特性（SAR モード：DCDC モード） (2/4)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	通常モード	中速チャネル (AN012～AN015)	変換時間(注1)	0.76	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：28 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	—	±6.5	LSB	BGA パッケージ
					—	±1.5	±7	LSB	LQFP パッケージ
				フルスケール誤差	—	±1.5	±6.5	LSB	BGA パッケージ
					—	±1.5	±7	LSB	LQFP パッケージ
				絶対精度	—	±4	±11	LSB	BGA パッケージ
					—	±4	±15	LSB	LQFP パッケージ
				DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	BGA パッケージ
					—	±1	-1～+2.0	LSB	LQFP パッケージ
				INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ
					—	±2	±4	LSB	LQFP パッケージ
			低速チャネル (AN016～AN022)	変換時間(注1)	1	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：40 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±5.5	±11	LSB	—
				DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 62.95 A/D 変換特性（SAR モード：DCDC モード） (3/4)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	高精度モード	中速チャネル (AN012～AN015)	変換時間(注1)	1.4	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：60 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	BGA パッケージ
					—	±1.5	±5	LSB	LQFP パッケージ
				フルスケール誤差	—	±1.5	±4.5	LSB	BGA パッケージ
					—	±1.5	±5	LSB	LQFP パッケージ
				絶対精度	—	±4	±8	LSB	BGA パッケージ
					—	±4	±13	LSB	LQFP パッケージ
				DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	BGA パッケージ
					—	±1	-1～+2.0	LSB	LQFP パッケージ
				INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ
					—	±2	±4	LSB	LQFP パッケージ
			低速チャネル (AN016～AN022)	変換時間(注1)	1.88	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：84 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	—
				フルスケール誤差	—	±1.5	±4.5	LSB	—
				絶対精度	—	±5.5	±8	LSB	—
				DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—
SAR モード	差動入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	変換時間(注1)	0.64	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：22 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±2	±3.5	LSB	—
				フルスケール誤差	—	±2	±3.5	LSB	—
				絶対精度	—	±4.5	±6	LSB	—
				DNL 微分非直線性誤差 (注2)	—	±0.75	±1	LSB	—
				INL 積分非直線性誤差	—	±1.5	±2	LSB	—

表 62.95 A/D 変換特性（SAR モード：DCDC モード） (4/4)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	差動入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	1	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：40 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1	±2.5	LSB	—
					フルスケール誤差	—	±1	±2.5	LSB	—
					絶対精度	—	±3.5	±4.5	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—

注. これらの仕様値は、1 つの ADC16H だけが動作中で、DAC12 と ACMPHS が動作しておらず、かつ A/D 変換中に外部バスへのアクセスがない場合に適用されます。
他の ADC ユニット、DAC12、または ACMPHS が動作中である、または A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
ADC16H 使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。

注 1. チャネル専用サンプル&ホールド回路不使用時：変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 2. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。

表 62.96 A/D 変換特性（SAR モード：外部 VDD モード） (1/4)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	分解能					—	—	12	ビット	—
SAR モード	シングルエンド入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.64	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：22 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±3	±6.5	LSB	—
					フルスケール誤差	—	±3	±6.5	LSB	—
					絶対精度	—	±5.5	±11	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—
SAR モード	シングルエンド入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	1	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：40 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	—
					フルスケール誤差	—	±1.5	±4.5	LSB	—
					絶対精度	—	±5.0	±8	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—

表 62.96 A/D 変換特性（SAR モード：外部 VDD モード） (2/4)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	通常モード	中速チャネル (AN012～AN015)	変換時間(注1)	0.76	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：28 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±4	±11	LSB	—
				DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±3	LSB	—
			低速チャネル (AN016～AN022)	変換時間(注1)	1	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：40 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±5.5	±11	LSB	—
				DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 62.96 A/D 変換特性（SAR モード：外部 VDD モード） (3/4)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	高精度モード	中速チャネル (AN012～AN015)		変換時間(注1)	1.4	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：60 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	—
					フルスケール誤差	—	±1.5	±4.5	LSB	—
					絶対精度	—	±4	±8	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—
			低速チャネル (AN016～AN022)		変換時間(注1)	1.88	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：84 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	—
					フルスケール誤差	—	±1.5	±4.5	LSB	—
					絶対精度	—	±5.5	±8	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±4	LSB	—
SAR モード	差動入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.64	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：22 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±2	±3.5	LSB	—
					フルスケール誤差	—	±2	±3.5	LSB	—
					絶対精度	—	±4.5	±6	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—

表 62.96 A/D 変換特性（SAR モード：外部 VDD モード） (4/4)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	差動入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	1	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：40 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1	±2.5	LSB	—
					フルスケール誤差	—	±1	±2.5	LSB	—
					絶対精度	—	±3.5	±4.5	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—

注. これらの仕様値は、1 つの ADC16H だけが動作中で、DAC12 と ACMPHS が動作しておらず、かつ A/D 変換中に外部バスへのアクセスがない場合に適用されます。
他の ADC ユニット、DAC12、または ACMPHS が動作中である、または A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
ADC16H 使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。

注 1. チャネル専用サンプル&ホールド回路不使用時：変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 2. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。

表 62.97 A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）(1)

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード	分解能			—	—	16	ビット	—
	オーバーサンプリング周期	オーバーサンプリングモード		0.16	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 断線検出アシスト機能不使用時 • 信号源インピーダンス：50 Ω 以下
		ハイブリッドモード(注2)		0.18	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 断線検出アシスト機能不使用時 • 信号源インピーダンス：50 Ω 以下
	デジタルフィルタ特性(注1)	Sinc フィルタ	初期遅延	—	22	—	/Fos	—
			グループ遅延	—	11	—		—
			正規化遮断周波数	—	0.033	—	Fin/Fos	—

注. Fos はオーバーサンプリング周波数です。
ハイブリッドモードでは、Fos は 1/（スキャングループに割り当てられた各アナログチャネルのオーバーサンプリング期間の合計）です。

注 1. 図 62.135 を参照してください。

注 2. チャネルごとの値です。

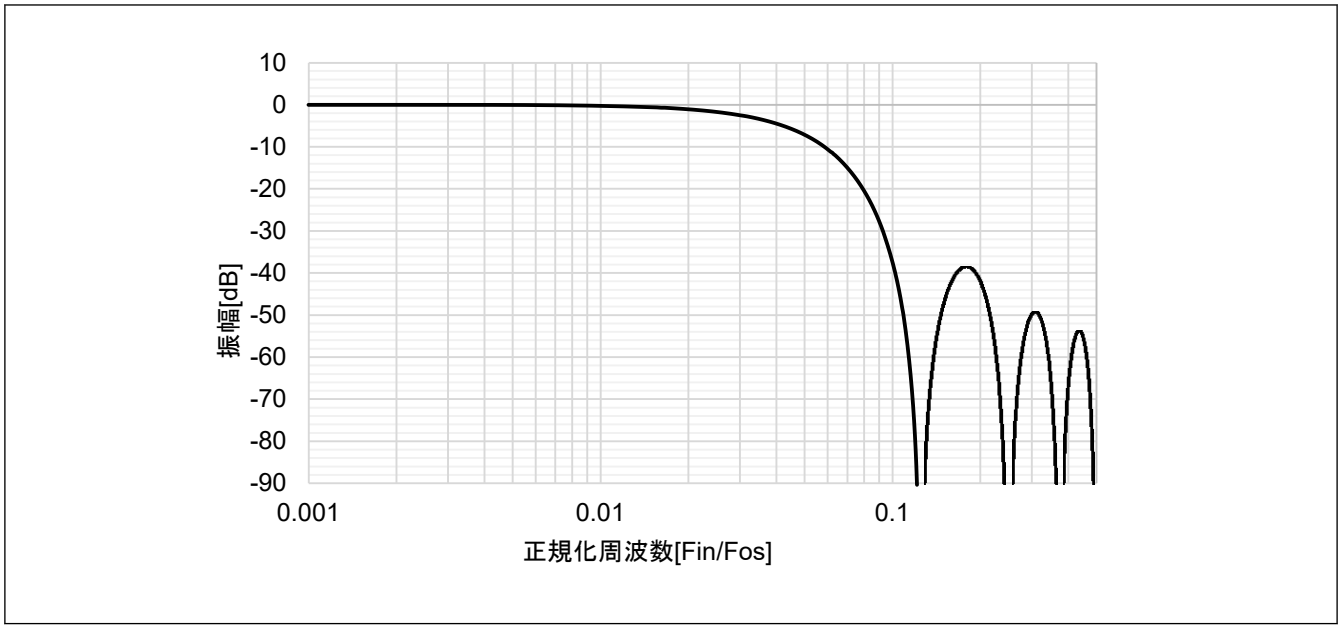


図 62.135　デジタルフィルタ特性（Sinc フィルタ）

表 62.98　A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）(2)

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード	Sinc フィルタ	シングルエンド入力 (AN000～AN005) (AN006～AN011) (AN012～AN015)	SNDR：信号対ノイズの歪み比	—	80	—	dB	• ADCLK: 50 MHz • サンプリング時間： – 高速チャネル（オーバーサンプリングモード）：3 ADCLK – 高速チャネル（ハイブリッドモード）：8 ADCLK – 中速チャネル（オーバーサンプリングモード）：10 ADCLK – 中速チャネル（ハイブリッドモード）：22 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • 入力周波数： – オーバーサンプリングモード：5 kHz – ハイブリッドモード：5 kHz • チャネル専用サンプル&ホールド回路不使用時
			ENOB：有効ビット数	—	13	—	ビット	
		差動入力 (AN000～AN005) (AN006～AN011)	SNDR：信号対ノイズの歪み比	—	86	—	dB	
			ENOB：有効ビット数	—	14	—	ビット	

表 62.99　A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）(3)

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード	Sinc フィルタ	シングルエンド入力 (AN000～AN005) (AN006～AN011) (AN012～AN015)	SNDR：信号対ノイズの歪み比	—	74	—	dB	• ADCLK: 50 MHz • サンプリング時間： – 高速チャネル（オーバーサンプリングモード）：22 ADCLK – 高速チャネル（ハイブリッドモード）：40 ADCLK – 中速チャネル（オーバーサンプリングモード）：28 ADCLK – 中速チャネル（ハイブリッドモード）：60 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下 • 入力周波数： – オーバーサンプリングモード：5 kHz – ハイブリッドモード：5 kHz • チャネル専用サンプル&ホールド回路不使用時
			ENOB：有効ビット数	—	12	—	ビット	
		差動入力 (AN000～AN005) (AN006～AN011)	SNDR：信号対ノイズの歪み比	—	80	—	dB	
			ENOB：有効ビット数	—	13	—	ビット	

表 62.100 A/D 変換特性（オーバーサンプリングモード）

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモード	シングルエンド入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注3)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
			ゲイン誤差（シングル／連続モード）(注3)	—	±1	±4	LSB	
			ゲイン誤差（1 チャネル連続モード）(注3)	—	±1	±5	LSB	
			DNL 微分非直線性誤差(注1) (注2)	—	-1～+1.5	-1～+2.5	LSB	
			INL 積分非直線性誤差(注1)	—	±4	±8	LSB	
		中速チャネル (AN012～AN015)	オフセット誤差 (注3)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：10 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
			ゲイン誤差(注3)	—	±1	±4	LSB	
			DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+4	LSB	
			INL 積分非直線性誤差(注1)	—	±4	±8	LSB	
		低速チャネル (AN016～AN022)	オフセット誤差 (注3)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：20 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
			ゲイン誤差(注3)	—	±1	±4	LSB	
			DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+4	LSB	
			INL 積分非直線性誤差(注1)	—	±4	±12	LSB	
	差動入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注3)	—	±0.25	±2	LSB	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
			ゲイン誤差（シングル／連続モード）(注3)	—	±0.5	±2	LSB	
			ゲイン誤差（1 チャネル連続モード）(注3)	—	±0.5	±2.5	LSB	
			DNL 微分非直線性誤差(注1) (注2)	—	-1～+1.5	-1～+2.0	LSB	
			INL 積分非直線性誤差(注1)	—	±3	±6	LSB	

注. これらの仕様値は、1 つの ADC16H だけが動作中で、DAC12 と ACMPHS が動作しておらず、かつ A/D 変換中に外部バスへのアクセスがない場合に適用されます。
他の ADC ユニット、DAC12、または ACMPHS が動作中である、または A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
ADC16H 使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。

注 1. 測定条件：アナログ入力電圧範囲の 0.2%～99.8%

注 2. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。

注 3. この値は 12 ビット分解能に基づきます。

表 62.101 A/D 変換特性（オーバーサンプリングモード）

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモード	シングルエンド入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注3)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：22 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
			ゲイン誤差（シングル／連続モード）(注3)	—	±1	±4	LSB	
			ゲイン誤差（1チャネル連続モード）(注3)	—	±1	±5	LSB	
			DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+2.5	LSB	
			INL 積分非直線性誤差(注1)	—	±4	±8	LSB	
		中速チャネル (AN012～AN015)	オフセット誤差 (注3)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：28 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
			ゲイン誤差(注3)	—	±1	±4	LSB	
			DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+4	LSB	
			INL 積分非直線性誤差(注1)	—	±4	±8	LSB	
		低速チャネル (AN016～AN022)	オフセット誤差 (注3)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：40 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
			ゲイン誤差(注3)	—	±1	±4	LSB	
			DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+4	LSB	
			INL 積分非直線性誤差(注1)	—	±4	±12	LSB	
	差動入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注3)	—	±0.25	±2	LSB	• ADCLK: 50 MHz • サンプリング時間：22 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
			ゲイン誤差（シングル／連続モード）(注3)	—	±0.5	±2	LSB	
			ゲイン誤差（1チャネル連続モード）(注3)	—	±0.5	±2.5	LSB	
			DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+2.5	LSB	
			INL 積分非直線性誤差(注1)	—	±3	±6	LSB	

注. これらの仕様値は、1 つの ADC16H だけが動作中で、DAC12 と ACMPHS が動作しておらず、かつ A/D 変換中に外部バスへのアクセスがない場合に適用されます。
他の ADC ユニット、DAC12、または ACMPHS が動作中である、または A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
ADC16H 使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。

注 1. 測定条件：アナログ入力電圧範囲の 0.2%～99.8%

注 2. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。

注 3. この値は 12 ビット分解能に基づきます。

表 62.102　A/D 変換特性（ハイブリッドモード）

条件：AVCC: 2.7～3.63 V, VCC: 2.7～3.63 V, VREFH0/VREFH: 2.7 V～AVCC

項目					Min	Typ	Max	単位	測定条件
ハイブリッドモード	チャネル専用サンプル&ホールド回路不使用時	シングルエンド入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注4)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注4)	—	±1	±5	LSB	
				DNL 微分非直線性誤差(注2) (注3)	—	-1～+1.5	-1～+2.5	LSB	
				INL 積分非直線性誤差(注2)	—	±4	±8	LSB	
			中速チャネル (AN012～AN015)(注1)	オフセット誤差 (注4)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：22 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注4)	—	±1	±5	LSB	
				DNL 微分非直線性誤差(注2) (注3)	—	-1～+2	-1～+4	LSB	
				INL 積分非直線性誤差(注2)	—	±4	±8	LSB	
			低速チャネル (AN016～AN022)(注1)	オフセット誤差 (注4)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：42 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注4)	—	±1	±5	LSB	
				DNL 微分非直線性誤差(注2) (注3)	—	-1～+2	-1～+4	LSB	
				INL 積分非直線性誤差(注2)	—	±4	±12	LSB	
		差動入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注4)	—	±0.25	±2	LSB	• ADCLK: 50 MHz • サンプリング時間：8 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注4)	—	±0.5	±2.5	LSB	
				DNL 微分非直線性誤差(注2) (注3)	—	-1～+1.5	-1～+2	LSB	
				INL 積分非直線性誤差(注2)	—	±3	±6	LSB	
	チャネル専用サンプル&ホールド回路使用時	シングルエンド入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注4)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：* ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：* ADCLK • サンプリング時間：* ADCLK • 逐次比較時間：* ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注4)	—	±0.5	±4	LSB	
				DNL 微分非直線性誤差(注2) (注3)	—	±1	-1～+2	LSB	
				INL 積分非直線性誤差(注2)	—	±12	±16	LSB	
		差動入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注4)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：* ADCLK • チャネル専用サンプル&ホールド回路のホールドモード遷移時間：* ADCLK • サンプリング時間：* ADCLK • 逐次比較時間：* ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注4)	—	±0.5	±4	LSB	
				DNL 微分非直線性誤差(注2) (注3)	—	±1	-1～+2	LSB	
				INL 積分非直線性誤差(注2)	—	±4	±16	LSB	

注.　これらの仕様値は、1 つの ADC16H だけが動作中で、DAC12 と ACMPHS が動作しておらず、かつ A/D 変換中に外部バスへのアクセスがない場合に適用されます。
他の ADC ユニット、DAC12、または ACMPHS が動作中である、または A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
ADC16H 使用時は、ポート 0 をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。
注 1. チャネル専用サンプル&ホールド回路は、これらのチャネルでは使用できません。
注 2. 測定条件：アナログ入力電圧範囲の 0.2%～99.8%
注 3. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。
注 4. この値は 12 ビット分解能に基づきます。

表 62.103 A/D 変換特性（ハイブリッドモード）

条件：AVCC: 1.62～2.7 V, VCC: 1.62～2.7 V, VREFH0/VREFH: 1.62 V～AVCC

項目					Min	Typ	Max	単位	測定条件
ハイブリッドモード	チャネル専用サンプル&ホールド回路不使用時	シングルエンド入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注3)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：40 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注3)	—	±1	±5	LSB	
				DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+2.5	LSB	
				INL 積分非直線性誤差(注1)	—	±4	±8	LSB	
			中速チャネル (AN012～AN015)	オフセット誤差 (注3)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：60 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注3)	—	±1	±5	LSB	
				DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+4	LSB	
				INL 積分非直線性誤差(注1)	—	±4	±8	LSB	
			低速チャネル (AN016～AN022)	オフセット誤差 (注3)	—	±0.5	±4	LSB	• ADCLK: 50 MHz • サンプリング時間：84 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注3)	—	±1	±5	LSB	
				DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+4	LSB	
				INL 積分非直線性誤差(注1)	—	±4	±12	LSB	
		差動入力	高精度チャネル (AN000～AN005) (AN006～AN011)	オフセット誤差 (注3)	—	±0.25	±2	LSB	• ADCLK: 50 MHz • サンプリング時間：40 ADCLK • 逐次比較時間：10 ADCLK • 信号源インピーダンス：50 Ω 以下 • デジタルフィルタ：Sinc フィルタ
				ゲイン誤差(注3)	—	±0.5	±2.5	LSB	
				DNL 微分非直線性誤差(注1) (注2)	—	-1～+2	-1～+2.5	LSB	
				INL 積分非直線性誤差(注1)	—	±3	±6	LSB	

注. これらの仕様値は、1 つの ADC16H だけが動作中で、DAC12 と ACMPHS が動作しておらず、かつ A/D 変換中に外部バスへのアクセスがない場合に適用されます。
他の ADC ユニット、DAC12、または ACMPHS が動作中である、または A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
ADC16H 使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。
注 1. 測定条件：アナログ入力電圧範囲の 0.2%～99.8%
注 2. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。
注 3. この値は 12 ビット分解能に基づきます。

表 62.104 A/D 内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D 内部基準電圧	0.77	0.8	0.84	V	—
サンプリング時間	4.15	—	—	μs	—

表 62.105 D/A 出力の A/D 変換特性

項目	Min	Typ	Max	単位	測定条件
サンプリング時間	1	—	—	µs	—

62.6 DAC12 特性

表 62.106 D/A 変換特性

項目		シンボル	Min	Typ	Max	単位	測定条件
分解能		—	—	—	12	ビット	—
INL	VREFH ≧ 2.7 V	—	—	±2.0	±4.0	LSB	—
	VREFH < 2.7 V	—	—	±4.0	±8.0		
DNL	VREFH ≧ 2.7 V	—	—	±0.5	±1.0	LSB	—
	VREFH < 2.7 V	—	—	±1.0	±2.0		
変換時間	VREFH ≧ 2.7 V	t_{DCONV1}、t_{DCONV2}	—	—	3.5	µs	—
	VREFH < 2.7 V		—	—	6		
出力先切り替え時間	VREFH ≧ 2.7 V	$t_{DSLPUP1}$、$t_{DSLPUP2}$	—	—	3.5	µs	—
	VREFH < 2.7 V		—	—	6		
バッファ準備時間	VREFH ≧ 2.7 V	t_{DISOUT}	—	—	3.5	µs	—
	VREFH < 2.7 V		—	—	6		
セットアップ時間		t_{SU}	—	—	4	ns	—
負荷抵抗		—	5	—	—	kΩ	—
負荷容量		—	—	—	50	pF	—
出力電圧範囲	VREFH ≧ 2.7 V	—	0.20	—	VREFH – 0.20	V	—
	VREFH < 2.7 V	—	0.34	—	VREFH – 0.34		

62.7 TSN 特性

表 62.107 TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	-1.0	—	1.0	°C	A/D コンバータエラーは含まれません。
温度傾斜	—	—	2.7	—	mV/°C	—
出力電圧（25 °C 時）	—	—	0.83	—	V	—
温度センサ発振安定時間	t_{TSTBL}	—	—	30	µs	—
コンパレータ安定時間	t_{RSTBL}	—	—	30	µs	—
サンプリング時間	—	4.15	—	—	µs	—

62.8 OSC 停止検出特性

表 62.108 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 62.136

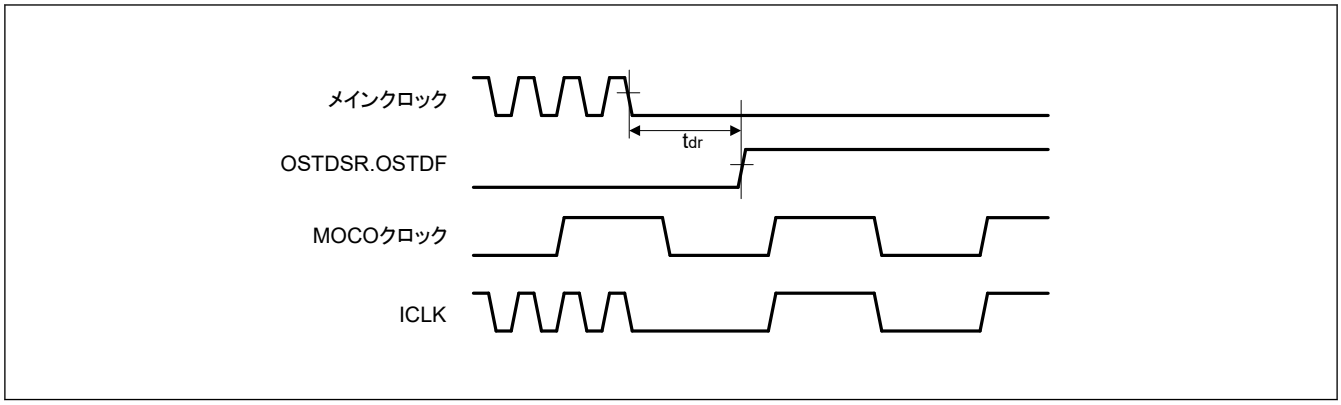


図 62.136　発振停止検出タイミング

表 62.109　サブクロック発振器停止検出回路の特性

項目	シンボル	Min	Typ	Max	単位	測定条件
起動待機時間	t_{sosdup}	100	—	—	μs	図 62.137
検出時間	t_{dr}	—	—	2	ms	図 62.138

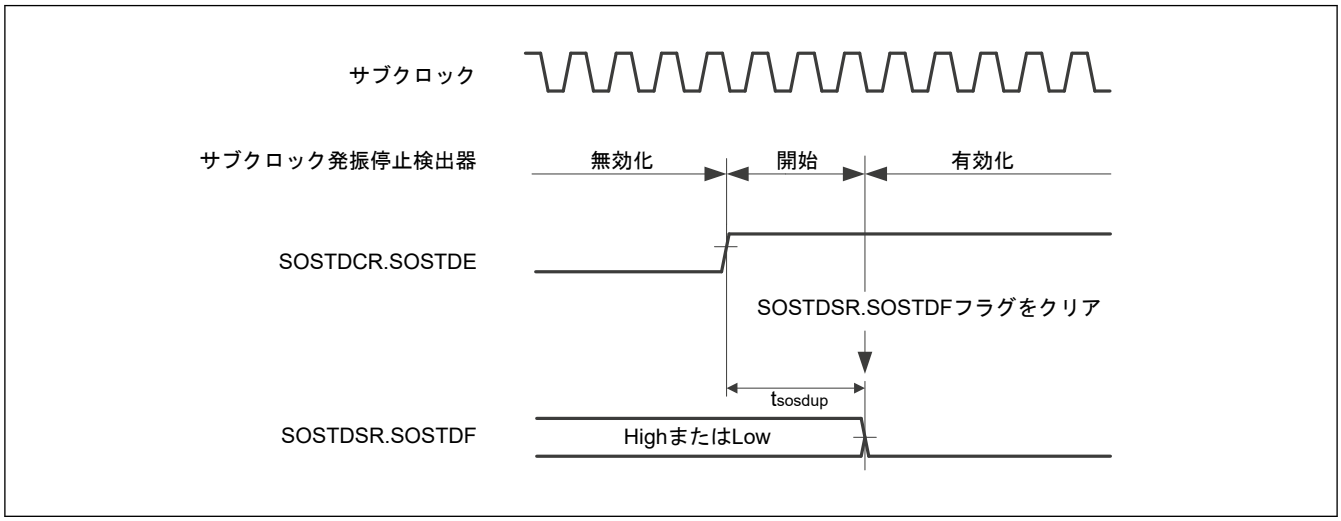


図 62.137　サブクロック発振停止検出器起動時間

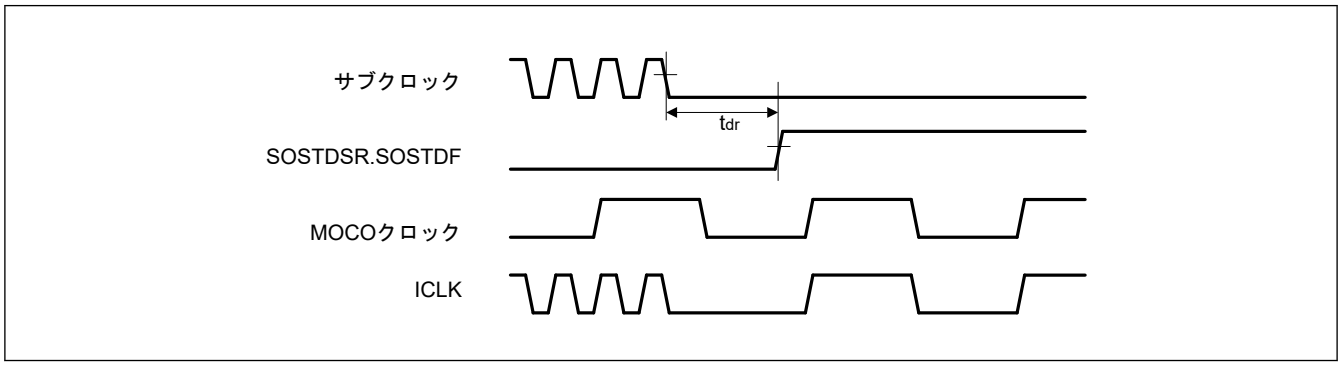


図 62.138　サブクロック発振停止検出タイミング

62.9 POR と PVD の特性

表 62.110 パワーオンリセット回路と電圧検出回路の特性 (1/2)

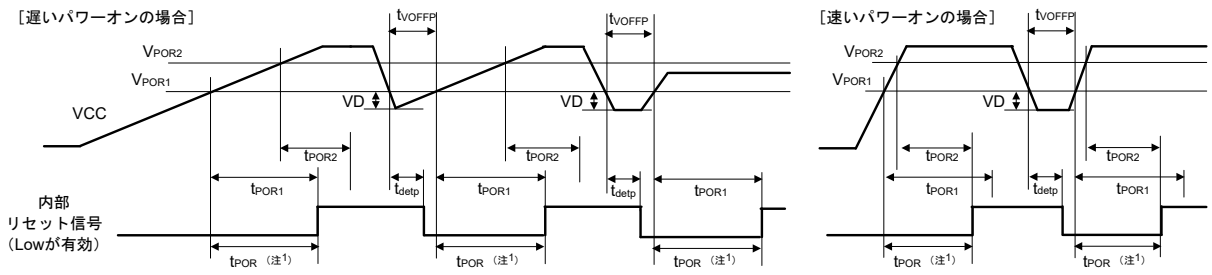
項目		シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V_{POR1}	1.52	1.56	1.61	V	図 62.139
		V_{POR2}	—	—	1.73		
	電圧検出回路 (PVD0)	V_{det0_0}	2.76	2.85	2.94		図 62.140
		V_{det0_1}	2.50	2.58	2.66		
		V_{det0_2}	2.08	2.15	2.22		
		V_{det0_3}	1.93	2.00	2.07		
		V_{det0_4}	1.84	1.90	1.96		
		V_{det0_5}	1.74	1.80	1.86		
		V_{det0_6}	1.62	1.67	1.73		
		V_{det0_7}	1.51	1.56	1.61		
	電圧検出回路 (PVDn) (n = 1, 2, 4, 5)	$V_{detn_3_rise}$	3.78	3.92	4.05		図 62.141
		$V_{detn_3_fall}$	3.72	3.86	3.99		
		$V_{detn_4_rise}$	3.09	3.20	3.30		
		$V_{detn_4_fall}$	3.03	3.14	3.24		
		$V_{detn_5_rise}$	3.05	3.16	3.26		
		$V_{detn_5_fall}$	2.99	3.10	3.20		
		$V_{detn_6_rise}$	3.03	3.14	3.24		
		$V_{detn_6_fall}$	2.97	3.08	3.18		
		$V_{detn_7_rise}$	2.81	2.91	3.00		
		$V_{detn_7_fall}$	2.75	2.85	2.94		
		$V_{detn_8_rise}$	2.79	2.89	2.98		
		$V_{detn_8_fall}$	2.73	2.83	2.92		
		$V_{detn_9_rise}$	2.76	2.86	2.95		
		$V_{detn_9_fall}$	2.70	2.80	2.89		
		$V_{detn_10_rise}$	2.58	2.67	2.75		
		$V_{detn_10_fall}$	2.53	2.62	2.70		
		$V_{detn_11_rise}$	2.30	2.38	2.46		
		$V_{detn_11_fall}$	2.25	2.33	2.41		
		$V_{detn_12_rise}$	1.88	1.94	2.00		
		$V_{detn_12_fall}$	1.84	1.90	1.96		
		$V_{detn_13_rise}$	1.84	1.90	1.96		
		$V_{detn_13_fall}$	1.80	1.86	1.92		
		$V_{detn_14_rise}$	1.72	1.78	1.84		
		$V_{detn_14_fall}$	1.68	1.74	1.80		
		$V_{detn_15_rise}$	1.66	1.72	1.77		
		$V_{detn_15_fall}$	1.62	1.68	1.73		

表 62.110　パワーオンリセット回路と電圧検出回路の特性 (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
内部リセット時間 (注1)	パワーオンリセット時間	t_{POR1}	—	—	6.7	ms	図 62.139
		t_{POR2}	—	—	1.6		
	PVD0 リセット時間	t_{PVD0}	—	—	(注1)		図 62.139
	PVD1 リセット時間	t_{PVD1}	—	—	(注1)		図 62.140
	PVD2 リセット時間	t_{PVD2}	—	—	(注1)		
	PVD4 リセット時間	t_{PVD4}	—	—	(注1)		
	PVD5 リセット時間	t_{PVD5}	—	—	(注1)		
最小 VCC 低下時間 (POR)(注2)	50 mV < VD	t_{VOFFP}	900	—	—	μs	図 62.139
	VD ≦ 50 mV		2000	—	—		
最小 VCC 低下時間 (PVD)(注2)	PVD0	t_{VOFF}	25	—	—	μs	図 62.140
	PVD1, PVD2, PVD4, PVD5		25	—	—		
応答遅延時間 (POR)	50 mV < VD	t_{detp}	—	—	900	μs	図 62.139
	VD ≦ 50 mV		—	—	2000		
応答遅延時間 (PVD)	PVD0	t_{det}	—	—	25	μs	図 62.140、図 62.141
	PVD1, PVD2, PVD4, PVD5		—	—	25		
PVDn 動作安定時間（PVD 有効切り替え後） (n = 1, 2, 4, 5)		$T_{d\ (E-A)}$	—	—	20	μs	図 62.141

注 1.　ディープソフトウェアスタンバイモードからの復帰時に内部リセット時間が最大になるため、t_{PVD0}、t_{PVD1}、t_{PVD2}、t_{PVD4}、および t_{PVD5} の最大値は、t_{DSBY} の値と等しくなります。

注 2.　最小 VCC 低下時間は、VCC が POR/PVD の電圧検出レベル V_{POR1}、V_{det0}、V_{det1}、V_{det2}、V_{det4}、および V_{det5} の最小値を下回っている時間を示します。



注 1.　t_{POR} は、V_{POR1} 通過後に t_{POR1} 経過したとき、または V_{POR2} 通過後に t_{POR2} 経過したとき、より早い時点の時間によって決定されます。

図 62.139　パワーオンリセットタイミング

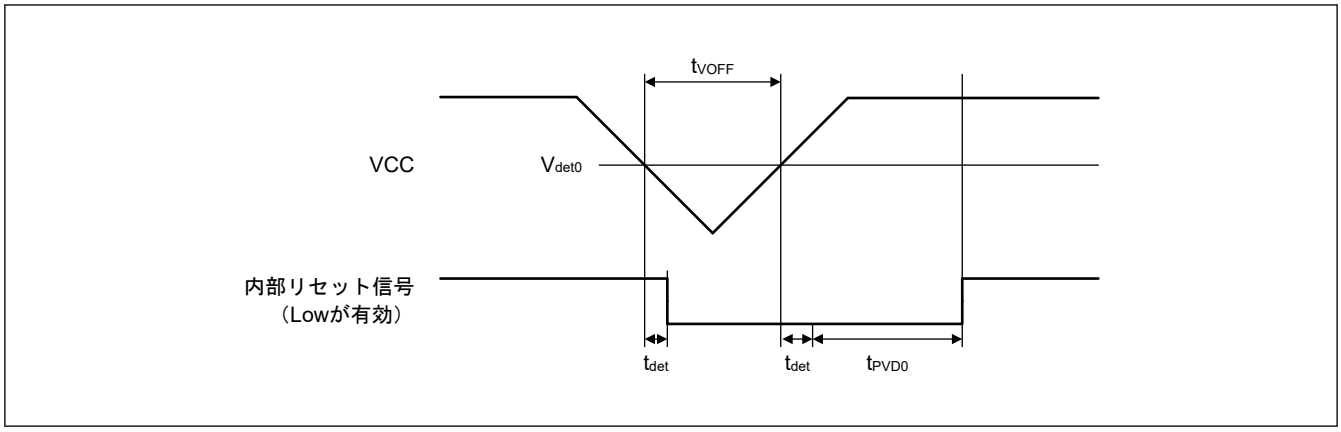


図 62.140　電圧検出回路タイミング (V_{det0})

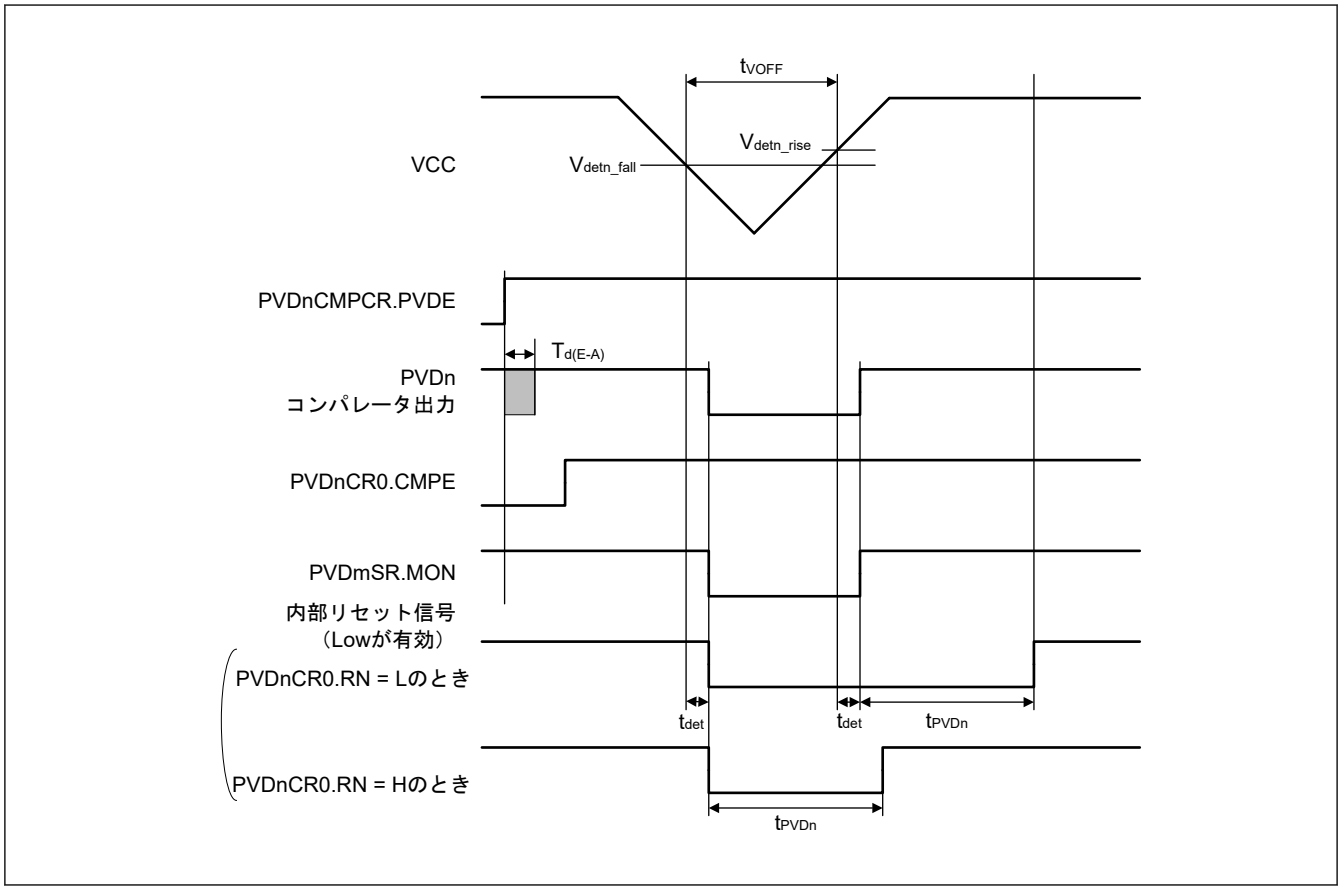


図 62.141　電圧検出回路タイミング (V_{detn}) (n = 1, 2, 4, 5)

62.10　外部 VDD タイミング特性

表 62.111　外部 VDD タイミング特性

項目	シンボル	Min	Typ	Max	単位	測定条件
外部 VDD の電源起動時におけるリセットホールド時間（RES 端子を使用する場合）	t_{EXTVRH}	600.00	—	—	μs	図 62.142 図 62.143
外部 VDD の電源起動時における VDD 立ち上がり時間（RES 端子を使用しない場合）	t_{EXTVDD}	—	—	550	μs	

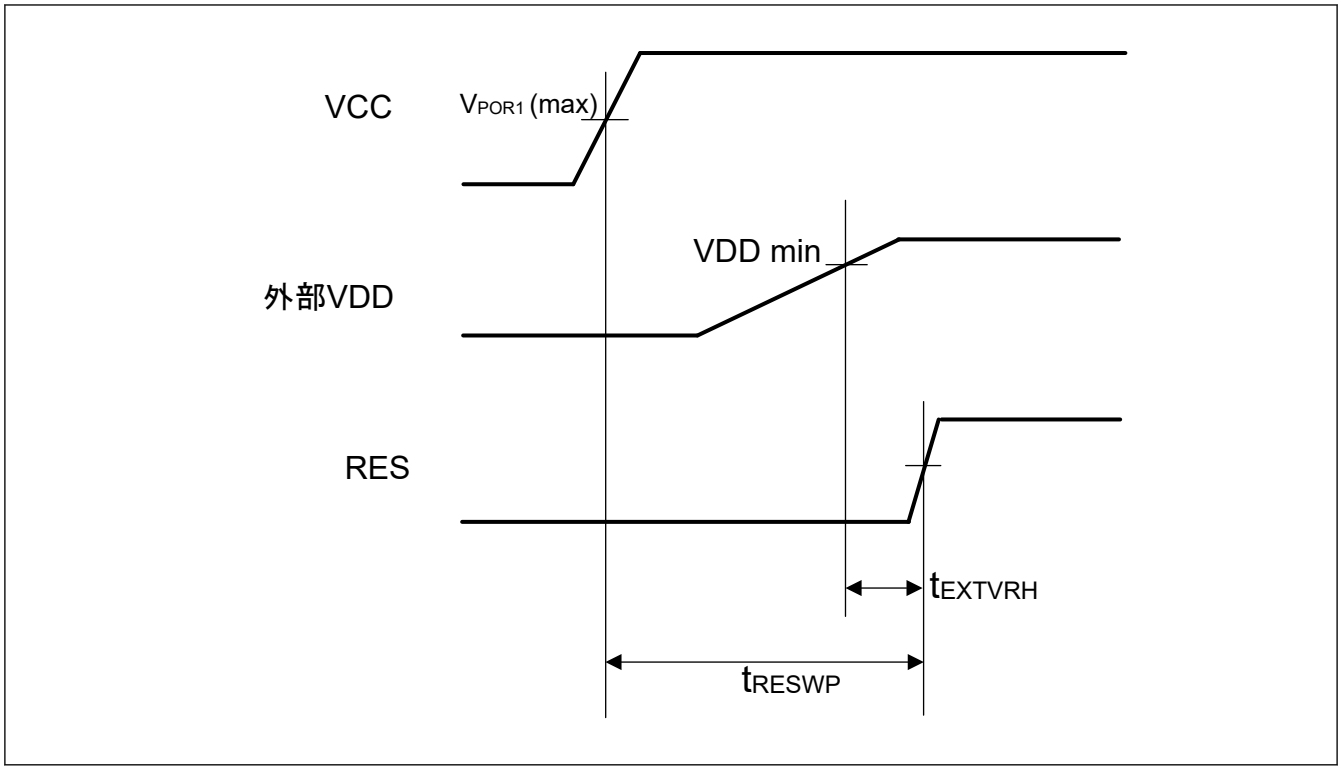


図 62.142　外部 VDD モードの電源起動シーケンス（RES 端子を使用する場合）

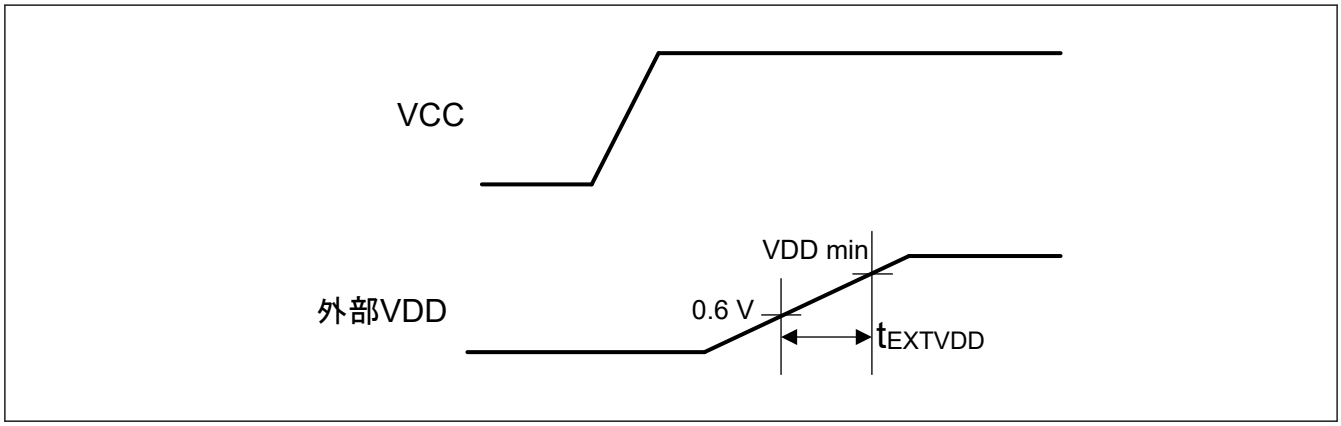


図 62.143　外部 VDD モードの電源起動シーケンス（RES 端子を使用しない場合）

62.11　コア電圧監視リセット特性

表 62.112　コア電圧監視リセット特性

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	コア電圧監視リセット (CVMR)		V_{det_VDDH}	1.05	1.10	1.15	V	図 62.144
			V_{det_VDDL}	0.55	0.58	0.61		
内部リセット時間	コア電圧監視リセット時間	DCDC モード	t_{CVM}	—	—	0.18	ms	
		外部 VDD モード		—	—	2.6		
最小 VDD 低下／上昇時間 (CVMR)			t_{CVMOFF}	45	—	—	µs	
応答遅延時間 (CVMR)			t_{CVMdet}	—	—	45	µs	
ヒステリシス幅 (CVMR)			V_{CVMH}	—	0.225	—	V	

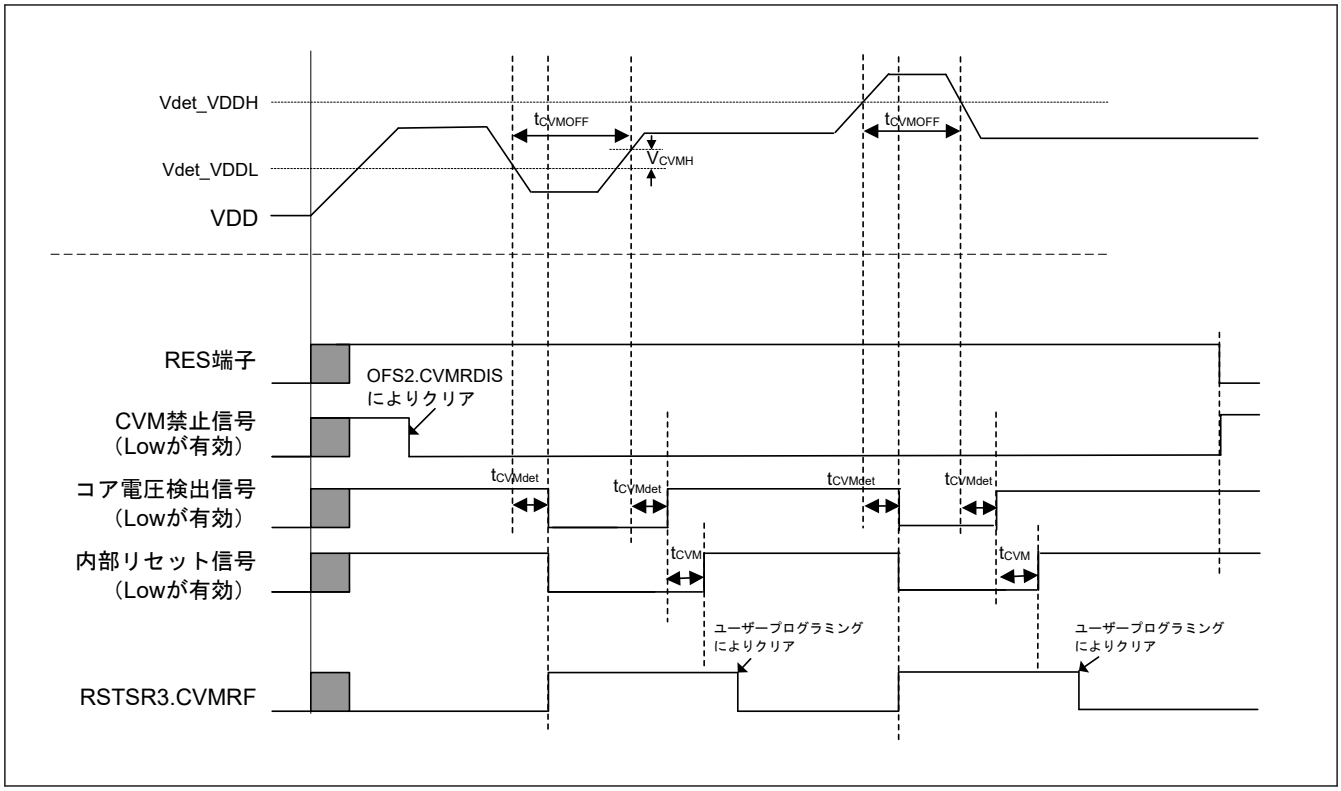


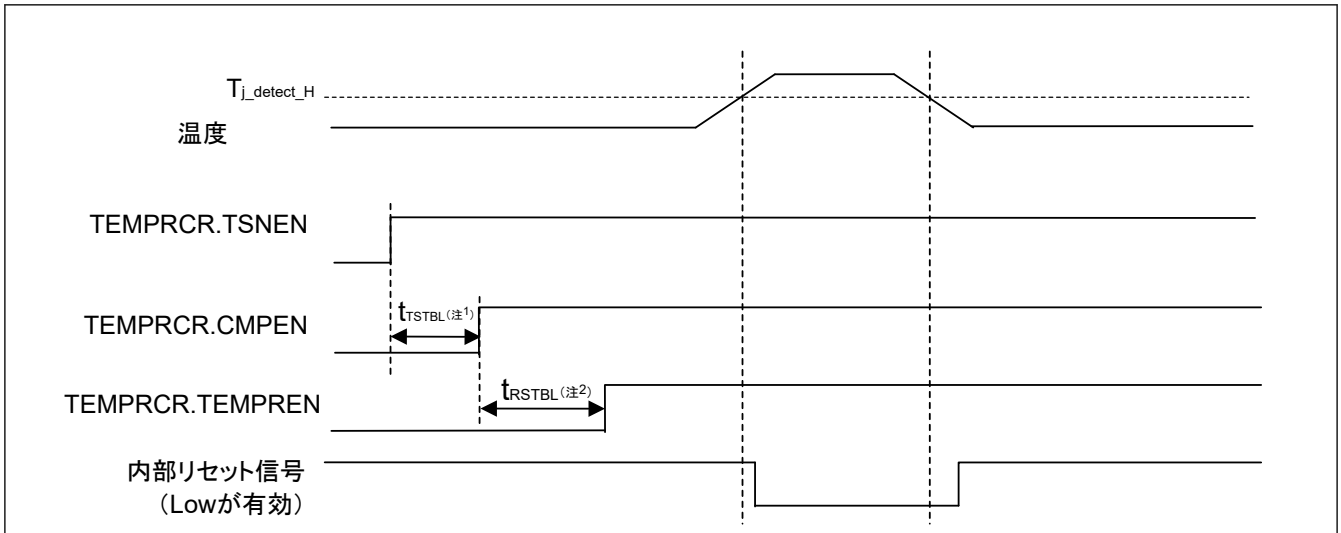
図 62.144　コア電圧監視リセット時間

62.12　温度監視リセット特性

表 62.113　温度監視リセット特性

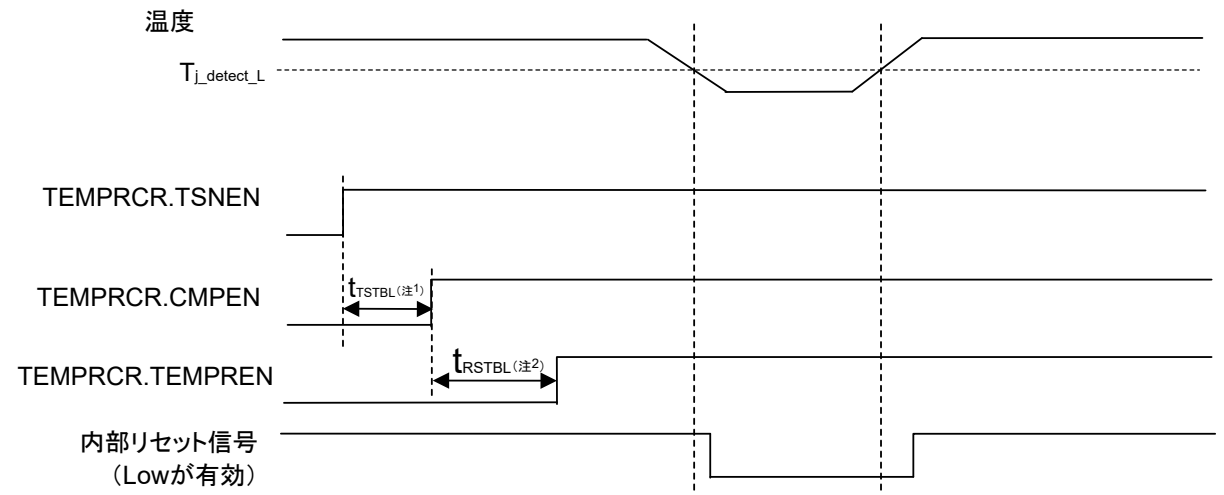
項目	シンボル	Min	Typ	Max	単位	測定条件
高しきい値温度	$T_{j_detect_H}$	105	—	125	°C	図 62.145 図 62.146
低しきい値温度	$T_{j_detect_L}$	-40	—	-20	°C	

注.　温度監視リセットは、0～95 °C の製品（製品グループ A）ではサポートされません。



注 1.　t_{TSTBL} は、TSN の安定待機時間です。
注 2.　t_{TSTBL} は、TSN のコンパレータの安定待機時間です。

図 62.145　温度監視リセットのタイミング（高温検出）



注 1. t_{TSTBL} は、TSN の安定待機時間です。
注 2. t_{TSTBL} は、TSN のコンパレータの安定待機時間です。

図 62.146　温度監視リセットのタイミング（低温検出）

62.13　VBATT 特性

表 62.114　バッテリバックアップ機能特性 (1/2)

条件：VCC = VCC_DCDC = VCC_USB = 1.62～3.63 V, VBATT = 1.62～3.63 V

項目	シンボル	Min	Typ	Max	単位	測定条件
バッテリバックアップ切り替え電圧レベル ディープソフトウェアスタンバイモード 1/2 では OFS1.PVDAS と PVDLPSEL は 0（PVD0 では VDETVATT_n は VDSEL[2:0]の設定に従う）	$V_{DETBATT_0}$	2.760	2.850	2.940	V	図 62.147
	$V_{DETBATT_1}$	2.500	2.580	2.660		
	$V_{DETBATT_2}$	2.080	2.150	2.220		
	$V_{DETBATT_3}$	1.935	2.000	2.065		
	$V_{DETBATT_4}$	1.840	1.900	1.960		
	$V_{DETBATT_5}$	1.740	1.800	1.860		
	$V_{DETBATT_6}$	1.620	1.670	1.730		
バッテリバックアップ切り替え電圧レベル（上記以外）	$V_{DETBATT_0}$	2.710	2.800	2.890	V	
	$V_{DETBATT_1}$	2.450	2.530	2.610		
	$V_{DETBATT_2}$	2.030	2.100	2.170		
	$V_{DETBATT_3}$	1.885	1.950	2.015		
	$V_{DETBATT_4}$	1.790	1.850	1.910		
	$V_{DETBATT_5}$	1.690	1.750	1.810		
VCC 降下検出安定待機時間(注2)	t_{DETWT}	—	—	20	μs	—
VCC 電圧低下による電源切り替え時の VBATT 下限電圧	V_{BATTSW}	1.8	—	—	V	図 62.147
電源切り替え開始時 VCC オフ期間(注1)（ディープソフトウェアスタンバイモード 1/2 で OFS1.PVDAS と PVDLPSEL が 0）	$t_{VOFFBATT}$	25	—	—	μs	
電源切り替え開始時 VCC オフ期間(注1)（上記以外）		25	—	—		

表 62.114　バッテリバックアップ機能特性 (2/2)

条件：VCC = VCC_DCDC = VCC_USB = 1.62～3.63 V, VBATT = 1.62～3.63 V

項目	シンボル	Min	Typ	Max	単位	測定条件
バックアップドメインパワーダウン検出レベル	$V_{PDR\ (BATR)}$	1.43	1.47	1.52	V	図 62.148
バックアップドメインのリセット信号アサート時間遅延(注3)	$t_{p\ (PDRL)}$	—	—	2000	μs	
バックアップドメインのリセット信号ネゲート時間遅延	$t_{p\ (PDRH)}$	—	—	3000		
VBATT 監視動作安定時間（VBATTMNSELR.VBTMNSEL を 1 に変更後）	t_{MONWT}	—	—	4.2	μs	—
VBATT 電圧監視レベル	$V_{MONBATT}$	—	VBATT / 6	—	V	—
VBATT 電流増加（VBATTMNSELR.VBTTMNSEL = 1 の場合と VBATTMNSELR.VBTTMNSEL = 0 の場合の比較）	$I_{VBATTSELB}$	—	1.35	2.00	μA	—
VCC 電流増加（VBATTMNSELR.VBTTMNSEL = 1 の場合と VBATTMNSELR.VBTTMNSEL = 0 の場合の比較）	$I_{VBATTSELC}$	—	15	25	μA	—

注 1.　電源切り替え開始時 VCC オフ期間は、VCC がバッテリバックアップ切り替え電圧レベル ($V_{DETBATT}$) の最小値を下回っている時間です。
さらに、この期間は VCC が電圧検出レベル V_{POR1} の最小値を下回っている時間 tVOFFP です。
注 2.　VBTBPCR2.VDETLVL が変更されるか、VBTBPCR1.BPWSWSTP が 1 から 0 に変更される安定時間。
注 3.　VBATT_R がこの期間内に復帰すると、バックアップドメインリセット信号が発生しない可能性があります。

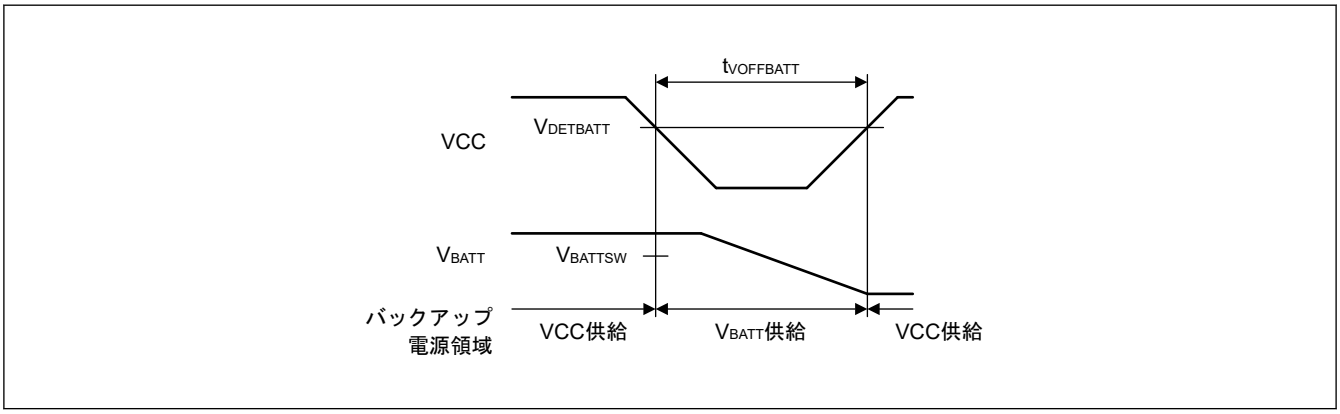


図 62.147　バッテリバックアップ機能特性

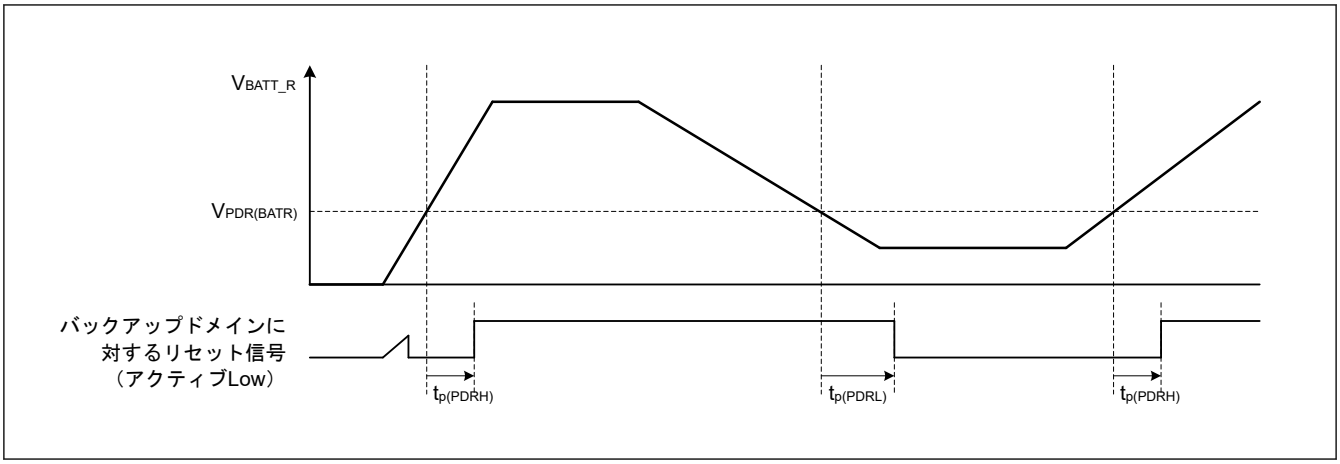


図 62.148　バックアップドメインリセット特性

62.14 ACMPHS 特性

表 62.115 ACMPHS

項目			シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲			VREF	0	—	AVCC0	V	—
入力電圧範囲	ACMPHS0, 1	IVCMP1～IVCMP3	VI	0	—	AVCC0	V	—
		IVCMP0		0	—	AVCC0		VCC ≧ AVCC0
				0	—	VCC		VCC < AVCC0
	ACMPHS2, 3			0	—	AVCC0		—
出力遅延(注1)			Td	—	50	100	ns	VI = VREF ± 100 mV
内部基準電圧			Vref	0.77	0.8	0.84	V	—

注 1. 内部伝搬遅延の値です。

62.15 MRAM 特性

62.15.1 コード MRAM 特性

表 62.116 コード MRAM 特性

項目		シンボル	MRICLK = 250 MHz			MRICLK = 200 MHz			MRICLK = 150 MHz			MRICLK = 133 MHz			単位	測定条件
			Min	Typ (注4)	Max	Min	Typ (注4)	Max	Min	Typ (注4)	Max	Min	Typ (注4)	Max		
32 バイトのプログラム時間 (注7) (注8)	通常プログラムモード (MRPSC.MHSPEN = 0)	t_{PMC}	—	6.7 (注5) (注6)	83.3 (注6)	—	6.74 (注5) (注6)	83.6 (注6)	—	6.92 (注5) (注6)	85.6 (注6)	—	7.09 (注5) (注6)	87.3 (注6)	μs	—
	高速プログラムモード (MRPSC.MHSPEN = 1)	t_{PMC}	—	4.7 (注5) (注6)	81.3 (注6)	—	4.74 (注5) (注6)	81.6 (注6)	—	4.92 (注5) (注6)	83.6 (注6)	—	5.09 (注5) (注6)	85.3 (注6)	μs	—
再プログラムサイクル(注9)		N_{PC}	100000 (注1)	—	—	100000 (注1)	—	—	100000 (注1)	—	—	100000 (注1)	—	—	回	—
データ保持時間(注2)		t_{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	Tj = +125 °C

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 3. この結果は信頼性試験から得られたものです。
注 4. VCC = 3.3 V および室温における基準値
注 5. Typ 条件で 50%のビットの書き換えを実行します。
注 6. MRPCLK < 125 MHz の場合は、プログラム時間に MRPCLK 1 サイクルの時間を追加します。
注 7. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。
MRPCLK < 125 MHz の場合は、この式に 1/FMRPCLK [us]を追加します。(F_{MRICLK}: MRICLK の周波数[MHz]、F_{MRPCLK}: MRPCLK の周波数[MHz])
t_{PMC} (Typ) = 137.8/F_{MRICLK} + 6.452 [μs], t_{PMC} (Max) = 1879/F_{MRICLK} + 78.75 [μs]（通常プログラムモードの場合）
t_{PMC} (Typ) = 137.8/F_{MRICLK} + 4.452 [μs], t_{PMC} (Max) = 1879/F_{MRICLK} + 76.75 [μs]（高速プログラムモードの場合）
注 8. コード MRAM の読み出しおよびプログラム動作を同時に実行することはできません。この値は、読み出しとプログラムの間のアービトレーションのない独立したプログラム動作のためのものです。
注 9. 再プログラムサイクルは、32 バイトのコード MRAM アドレス空間あたりのプログラミング回数です。同じアドレスに同じデータをプログラムすると、再プログラムサイクルの回数も 1 回増えます。再プログラムサイクルが n 回（n = 100,000）の場合、32 バイトのコード MRAM アドレス空間ごとに n 回のプログラミングが可能です。

62.15.2 オプション設定メモリ（コンフィグレーション領域）特性

表 62.117 オプション設定メモリ（コンフィグレーション領域）特性

項目		シンボル	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			単位	測定条件
			Min	Typ (注4)	Max	Min	Typ (注4)	Max	Min	Typ (注4)	Max	Min	Typ (注4)	Max		
コンフィグレーション設定の命令時間 (注5) (注7)	通常プログラムモード (MRPSC.MHSPEN = 0)	t_{PCFG}	—	0.35	8.19 (注6)	—	0.356	8.3 (注6)	—	0.372	8.83 (注6)	—	0.399	9.42 (注6)	ms	—
	高速プログラムモード (MRPSC.MHSPEN = 1)		—	0.0665	7.85 (注6)	—	0.0725	7.96 (注6)	—	0.0882	8.5 (注6)	—	0.0978	9.06 (注6)	ms	—
更新サイクル(注8)		N_{CUPC}	100000 (注1)	—	—	100000 (注1)	—	—	100000 (注1)	—	—	100000 (注1)	—	—	回	—
データ保持時間(注2)		t_{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	Tj = +125 °C

注 1. 更新後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 更新が仕様範囲内で行われたときの特性の最小値です。
注 3. この結果は信頼性試験から得られたものです。
注 4. VCC = 3.3 V および室温における基準値
注 5. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。（F_{MRPCLK}: MRPCLK の周波数[MHz]）
t_{PCFG} (Typ) = 6.146/F_{MRPCLK} + 0.3133 [msec], t_{PCFG} (Max) = 266.5/F_{MRPCLK} + 6.331 [msec]（通常プログラムモードの場合）
t_{PCFG} (Typ) = 5.184/F_{MRPCLK} + 0.02754 [msec], t_{PCFG} (Max) = 267.5/F_{MRPCLK} + 6.025 [msec]（高速プログラムモードの場合）
注 6. この表の値は、5 回プログラミング（16 バイト）の時間に基づいて計算されています。図 59.16 のタイムアウト値は、最大値の約 1.1 倍です（t_{PCFG} + t_{PMC} + 読み出し時間（MRPCLK の 40 サイクル））。
注 7. エクストラ MRAM の読み出しおよびプログラム動作を同時に実行することはできません。この値は、読み出しとプログラムの間のアービトレーションのない独立したプログラム動作のためのものです。
注 8. 更新サイクルは、コンフィギュレーション領域を発行できるコンフィギュレーション設定コマンドの数です。同じアドレスに同じデータをプログラムすると、更新サイクルの回数も 1 回増えます。

62.15.3 オプション設定メモリ（ECC ありの OTP 領域）特性

表 62.118 オプション設定メモリ（ECC ありの OTP 領域）特性

項目		シンボル	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			単位	測定条件
			Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max		
16 バイトのプログラム時間 (注4) (注5)	Normal-speed 書き込みモード (MWMCR.MWM[1:0] = 00)	t_{OTPE}	—	8.05 (注2)	113 (注3)	—	8.05 (注2)	113 (注3)	—	8.05 (注2)	113 (注3)	—	8.05 (注2)	113 (注3)	ms	—
	High-speed 書き込みモード 0 (MWMCR.MWM[1:0] = 01)		—	4.03 (注2)	56.7 (注3)	—	4.03 (注2)	56.7 (注3)	—	4.03 (注2)	56.7 (注3)	—	4.03 (注2)	56.7 (注3)	ms	—
	High-speed 書き込みモード 1 (MWMCR.MWM[1:0] = 10)		—	0.229 (注2)	3.14 (注3)	—	0.229 (注2)	3.14 (注3)	—	0.229 (注2)	3.14 (注3)	—	0.229 (注2)	3.14 (注3)	ms	—

注 1. VCC = 3.3 V および室温における基準値
注 2. Typ 条件で 50%のビットの書き換えを実行します。
注 3. 図 59.13 のタイムアウト値は、最大値の約 1.1 倍です。（t_{OTPE} + t_{PMC} + 読み出し時間（MRPCLK の 40 サイクル））
注 4. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。（F_{MRPCLK}: MRPCLK の周波数[MHz]）
t_{OTPE} (Typ) = 0.5065/F_{MRPCLK} + 8.123 [ms], t_{OTPE} (Max) = 4.433/F_{MRPCLK} + 114.1 [ms]（Normal-speed モードの場合）
t_{OTPE} (Typ) = 0.3389/F_{MRPCLK} + 4.067 [ms], t_{OTPE} (Max) = 2.428/F_{MRPCLK} + 57.08 [ms]（High-speed モード 0 の場合）
t_{OTPE} (Typ) = 0.1458/F_{MRPCLK} + 0.2312 [ms], t_{OTPE} (Max) = 0.3904/F_{MRPCLK} + 3.166 [ms]（High-speed モード 1 の場合）
注 5. エクストラ MRAM の読み出しおよびプログラム動作を同時に実行することはできません。この値は、読み出しとプログラムの間のアービトレーションのない独立したプログラム動作のためのものです。

62.15.4 オプション設定メモリ（ECC なしの OTP 領域）特性

表 62.119 オプション設定メモリ（ECC なしの OTP 領域）特性

項目		シンボル	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			単位	測定条件
			Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max		
16 バイトのプログラム時間 (注4) (注5)	Normal-speed 書き込みモード (MWMCR.MWM[1:0] = 00)	t_{OTPENE}	—	14.1 (注2)	200 (注3)	—	14.1 (注2)	200 (注3)	—	14.1 (注2)	200 (注3)	—	14.1 (注2)	200 (注3)	ms	—
	High-speed 書き込みモード 0 (MWMCR.MWM[1:0] = 01)		—	7.07 (注2)	100 (注3)	—	7.07 (注2)	100 (注3)	—	7.07 (注2)	100 (注3)	—	7.07 (注2)	100 (注3)	ms	—
	High-speed 書き込みモード 1 (MWMCR.MWM[1:0] = 10)		—	0.458 (注2)	6.28 (注3)	—	0.458 (注2)	6.28 (注3)	—	0.458 (注2)	6.28 (注3)	—	0.458 (注2)	6.28 (注3)	ms	—

注 1. VCC = 3.3 V および室温における基準値
注 2. Typ 条件で 50%のビットの書き換えを実行します。
注 3. 図 59.13 のタイムアウト値は、最大値の約 1.1 倍です。（t_{OTPENE} + t_{PMC} + 読み出し時間（MRPCLK の 40 サイクル））
注 4. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。（F_{MRPCLK}: MRPCLK の周波数[MHz]）
t_{OTPENE} (Typ) = 0.8486/F_{MRPCLK} + 14.25 [ms], t_{OTPENE} (Max) = 7.711/F_{MRPCLK} + 201.5 [ms]（Normal-speed モードの場合）
t_{OTPENE} (Typ) = 0.5479/F_{MRPCLK} + 7.133 [ms], t_{OTPENE} (Max) = 4.148/F_{MRPCLK} + 100.8 [ms]（High-speed モード 0 の場合）
t_{OTPENE} (Typ) = 0.2571/F_{MRPCLK} + 0.4627 [ms], t_{OTPENE} (Max) = 0.7401/F_{MRPCLK} + 6.333 [ms]（High-speed モード 1 の場合）
注 5. エクストラ MRAM の読み出しおよびプログラム動作を同時に実行することはできません。この値は、読み出しとプログラムの間のアービトレーションのない独立したプログラム動作のためのものです。

62.15.5 MACI コマンド特性

表 62.120 MACI コマンド特性

項目	シンボル	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			単位	測定条件
		Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max		
強制停止コマンドの命令時間(注2)	t_{FS}	—	—	3.35 (注3)	—	—	3.38 (注3)	—	—	3.47 (注3)	—	—	3.7 (注3)	μs	—
インクリメントカウンタの命令時間(注2)	t_{INCC}	—	0.252	1.61 (注4)	—	0.252	1.61 (注4)	—	0.252	1.61 (注4)	—	0.252	1.61 (注4)	ms	—
読み出しカウンタの命令時間(注2)	t_{RDC}	—	—	0.156 (注5)	—	—	0.182 (注5)	—	—	0.243 (注5)	—	—	0.276 (注5)	μs	—

注 1. VCC = 3.3 V および室温における基準値
注 2. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。（F_{MRPCLK}: MRPCLK の周波数[MHz]）
t_{FS} (Max) = 38.62/F_{MRPCLK} + 3.155 [us]
t_{INCC} (Typ) = 0.3348/F_{MRPCLK} + 0.2533 [msec], t_{INCC} (Max) = 0.8698/F_{MRPCLK} + 1.62 [msec]
t_{RDC} (Max) = 19.13/F_{MRPCLK} + 0.004099 [usec]
注 3. 図 59.15 のタイムアウト値は、最大値の約 1.1 倍です。（t_{FS} + 読み出し時間（MRPCLK の 40 サイクル））
注 4. この表の値は、2 回プログラミング（32 バイト）の時間に基づいて計算されています。図 59.17 のタイムアウト値は、最大値の約 1.1 倍です（t_{INCC} + t_{PMC} + 読み出し時間（MRPCLK の 40 サイクル））。

注 5. カウンタの読み出し時間は、MRPCLK での 100 サイクル分です。図 59.18 のタイムアウト値は、最大値の約 1.1 倍です（t_{RDC} + 読み出し時間（MRPCLK の 40 サイクル））。

62.15.6 W-HUK のゼロ化

表 62.121 W-HUK のゼロ化の特性

項目	シンボル	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			単位	測定条件
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
W-HUK のゼロ化のアクション時間(注1)	t_{ZWH}	—	—	793	—	—	793	—	—	793	—	—	793	ms	—

注 1. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。(FMRPCLK: MRPCLK の周波数[MHz])
t_{ZWH} (Max) = 34.52/FMRPCLK + 799 [µs]

62.15.7 MRAM 磁場耐性特性

表 62.122 MRAM 磁場耐性特性

項目		シンボル	Min	Typ	Max	単位	測定条件
動作	書き込み状態	G_{max_wr}	—	—	200	ガウス	—
	読み出し状態	G_{max_rd}	—	—	200	ガウス	—
	非アクセス時の状態	G_{max_noac}	—	—	500	ガウス	—
保管		G_{max_stg}	—	—	500	ガウス	適用温度は T_{stg} です。

62.16 バウンダリスキャン

表 62.123 バウンダリスキャン特性 (1/2)

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	1.62 V 以上	t_{TCKcyc}	100	—	—	ns	図 62.149
TCK クロック High レベルパルス幅	1.62 V 以上	t_{TCKH}	0.45	—	—	t_{TCKcyc}	
TCK クロック Low レベルパルス幅	1.62 V 以上	t_{TCKL}	0.45	—	—	t_{TCKcyc}	
TCK クロック立ち上がり時間	1.62 V 以上	t_{TCKr}	—	—	0.05(注2)	t_{TCKcyc}	
TCK クロック立ち下がり時間	1.62 V 以上	t_{TCKf}	—	—	0.05(注2)	t_{TCKcyc}	
TMS セットアップ時間	1.62 V 以上	t_{TMSS}	20	—	—	ns	図 62.150
TMS ホールド時間	1.62 V 以上	t_{TMSH}	20	—	—	ns	
TDI セットアップ時間	1.62 V 以上	t_{TDIS}	20	—	—	ns	
TDI ホールド時間	1.62 V 以上	t_{TDIH}	20	—	—	ns	
TDO データ遅延時間	1.62 V 以上	t_{TDOD}	—	—	40	ns	

表 62.123　バウンダリスキャン特性 (2/2)

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
キャプチャレジスタセットアップ時間	1.62 V 以上	t_{CAPTS}	20	—	—	ns	図 62.151
キャプチャレジスタホールド時間	1.62 V 以上	t_{CAPTH}	20	—	—	ns	
更新レジスタ遅延時間	1.62 V 以上	$t_{UPDATED}$	—	—	40	ns	
バウンダリスキャン回路起動時間 (注1)	1.62 V 以上	T_{BSSTUP}	t_{RESWP}	—	—	—	図 62.152

注 1.　パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。
注 2.　最長 1 µs

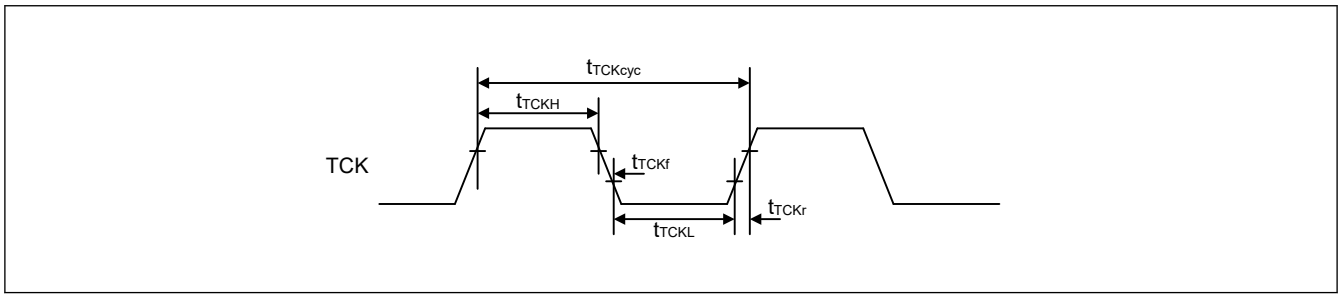


図 62.149　バウンダリスキャン TCK タイミング

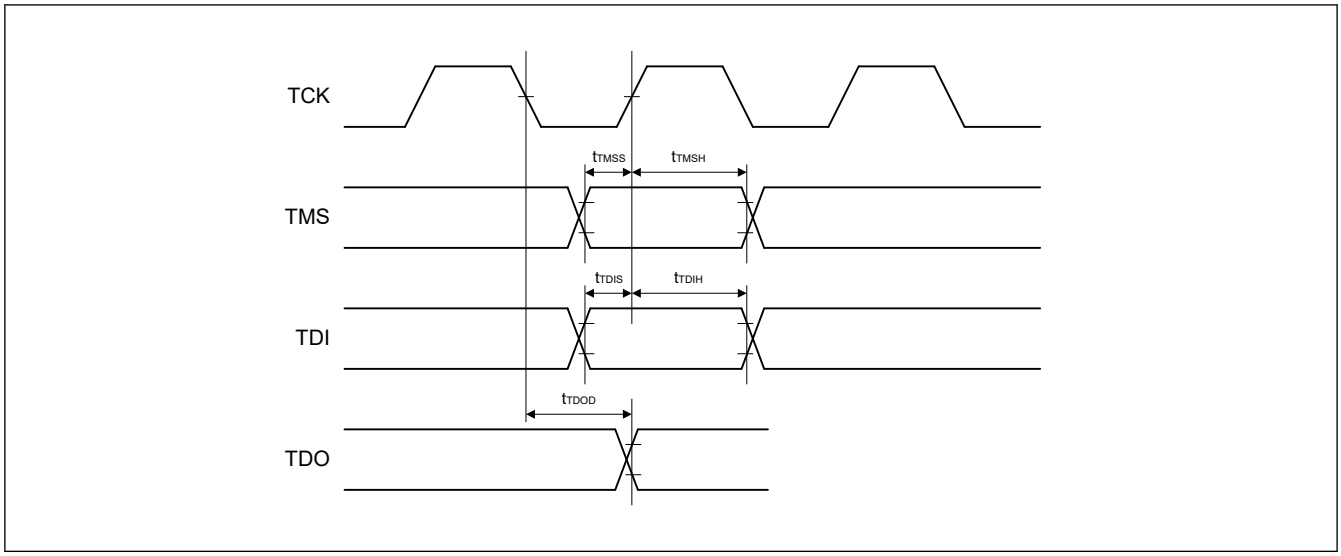


図 62.150　バウンダリスキャン入出力タイミング (1)

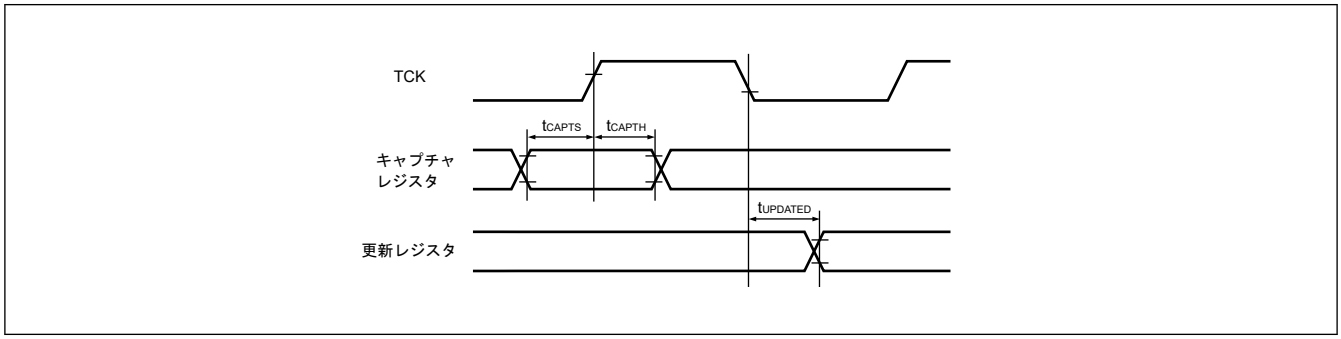


図 62.151　バウンダリスキャン入出力タイミング (2)

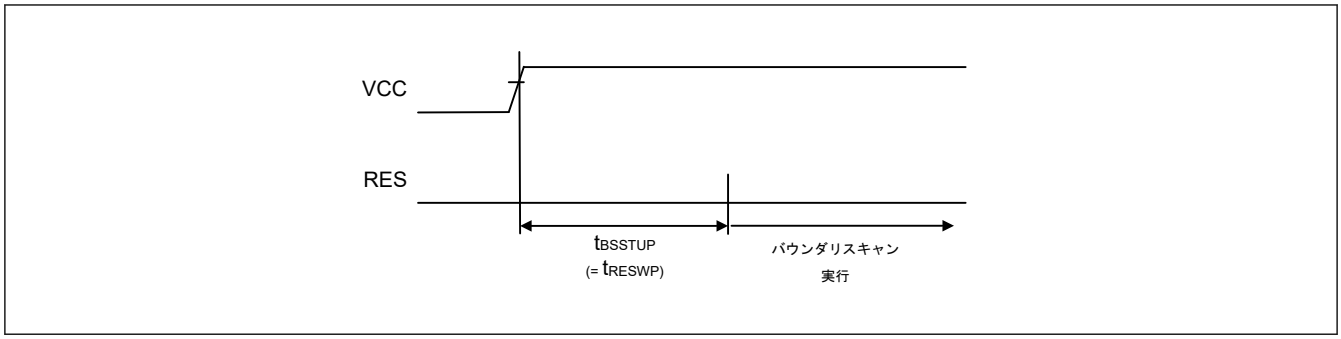


図 62.152　バウンダリスキャン回路起動タイミング

62.17　JTAG (Joint Test Action Group)

表 62.124　JTAG

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	2.7 V 以上	t_{TCKcyc}	40.0	—	—	ns	図 62.153
	1.62 V 以上		40.0	—	—	ns	
TCK クロック High レベルパルス幅	2.7 V 以上	t_{TCKH}	0.375	—	—	t_{TCKcyc}	
	1.62 V 以上		0.375	—	—	t_{TCKcyc}	
TCK クロック Low レベルパルス幅	2.7 V 以上	t_{TCKL}	0.375	—	—	t_{TCKcyc}	
	1.62 V 以上		0.375	—	—	t_{TCKcyc}	
TCK クロック立ち上がり時間	2.7 V 以上	t_{TCKr}	—	—	0.125(注1)	t_{TCKcyc}	
	1.62 V 以上		—	—	0.125(注1)	t_{TCKcyc}	
TCK クロック立ち下がり時間	2.7 V 以上	t_{TCKf}	—	—	0.125(注1)	t_{TCKcyc}	
	1.62 V 以上		—	—	0.125(注1)	t_{TCKcyc}	
TMS セットアップ時間	2.7 V 以上	t_{TMSS}	8.0	—	—	ns	図 62.154
	1.62 V 以上		8.0	—	—	ns	
TMS ホールド時間	2.7 V 以上	t_{TMSH}	8.0	—	—	ns	
	1.62 V 以上		8.0	—	—	ns	
TDI セットアップ時間	2.7 V 以上	t_{TDIS}	8.0	—	—	ns	
	1.62 V 以上		8.0	—	—	ns	
TDI ホールド時間	2.7 V 以上	t_{TDIH}	8.0	—	—	ns	
	1.62 V 以上		8.0	—	—	ns	
TDO データ遅延時間	2.7 V 以上	t_{TDOD}	—	—	20.0	ns	
	1.62 V 以上		—	—	28.0	ns	

注 1.　最長 1 μs

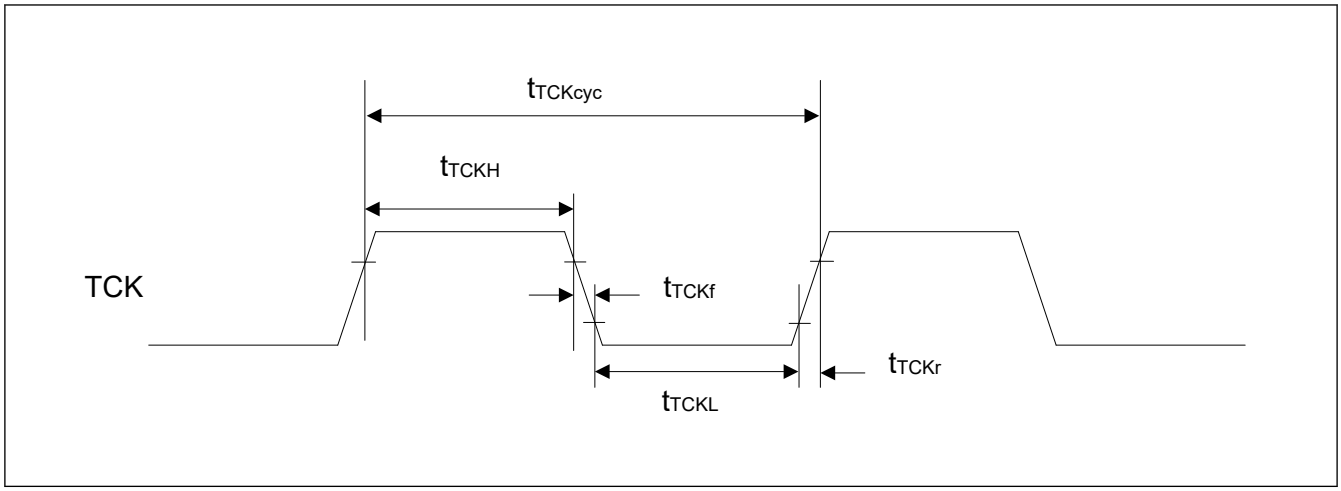


図 62.153　JTAG TCK タイミング

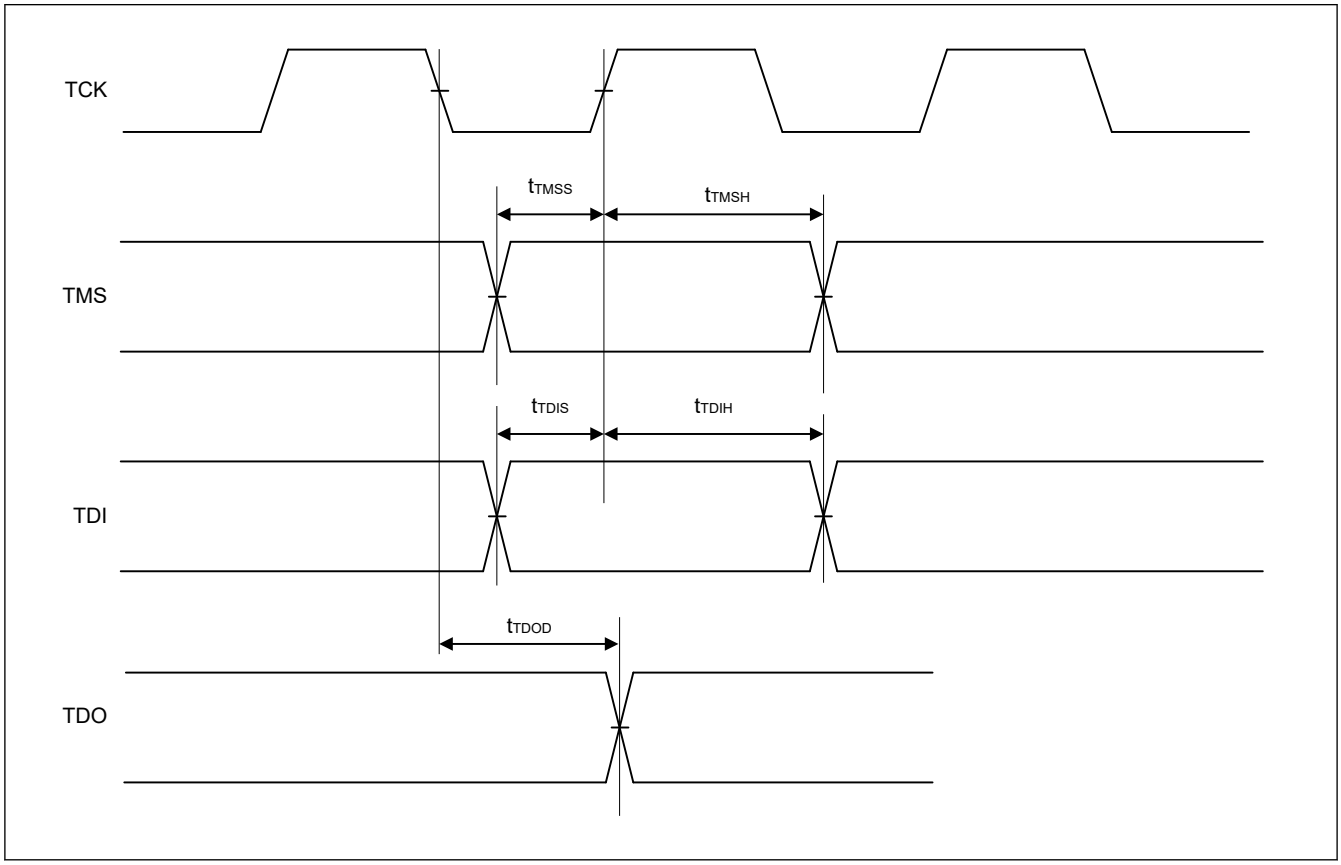


図 62.154　JTAG 入出力タイミング

62.18 シリアルワイヤデバッグ (SWD)

表 62.125 SWD

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	2.7 V 以上	$t_{SWCKcyc}$	40.0	—	—	ns	図 62.155
	1.62 V 以上		40.0	—	—	ns	
SWCLK クロック High レベルパルス幅	2.7 V 以上	t_{SWCKH}	0.375	—	—	$t_{SWCKcyc}$	
	1.62 V 以上		0.375	—	—	$t_{SWCKcyc}$	
SWCLK クロック Low レベルパルス幅	2.7 V 以上	t_{SWCKL}	0.375	—	—	$t_{SWCKcyc}$	
	1.62 V 以上		0.375	—	—	$t_{SWCKcyc}$	
SWCLK クロック立ち上がり時間	2.7 V 以上	t_{SWCKr}	—	—	0.125(注1)	$t_{SWCKcyc}$	
	1.62 V 以上		—	—	0.125(注1)	$t_{SWCKcyc}$	
SWCLK クロック立ち下がり時間	2.7 V 以上	t_{SWCKf}	—	—	0.125(注1)	$t_{SWCKcyc}$	
	1.62 V 以上		—	—	0.125(注1)	$t_{SWCKcyc}$	
SWDIO セットアップ時間	2.7 V 以上	t_{SWDS}	8.0	—	—	ns	図 62.156
	1.62 V 以上		8.0	—	—	ns	
SWDIO ホールド時間	2.7 V 以上	t_{SWDH}	8.0	—	—	ns	
	1.62 V 以上		8.0	—	—	ns	
SWDIO データ遅延時間	2.7 V 以上	t_{SWDD}	2.0	—	28.0	ns	
	1.62 V 以上		2.0	—	32.0	ns	

注 1. 最長 1 µs

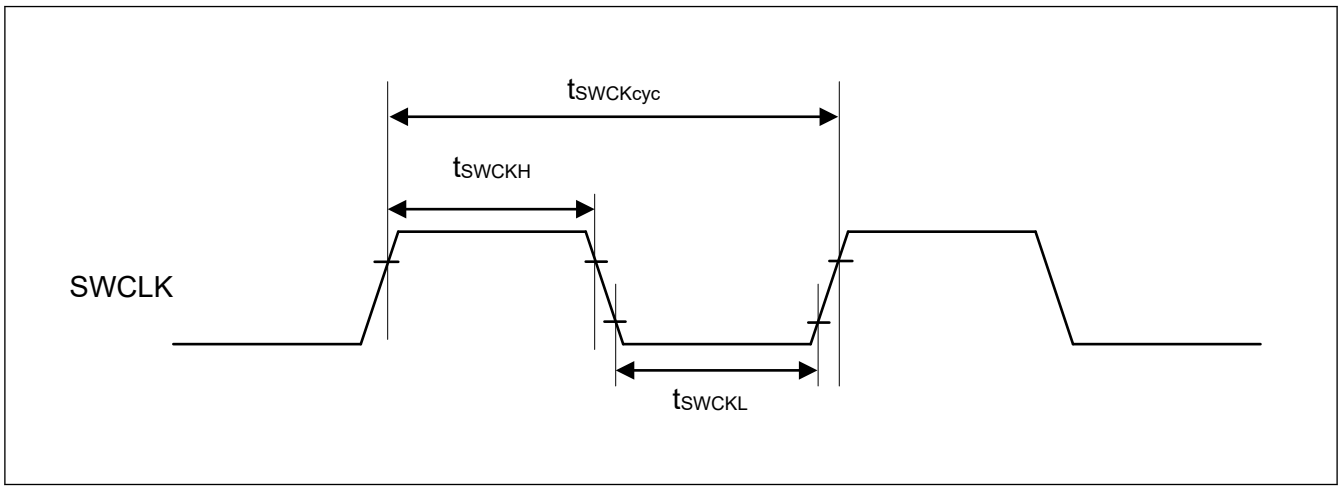


図 62.155 SWD SWCLK タイミング

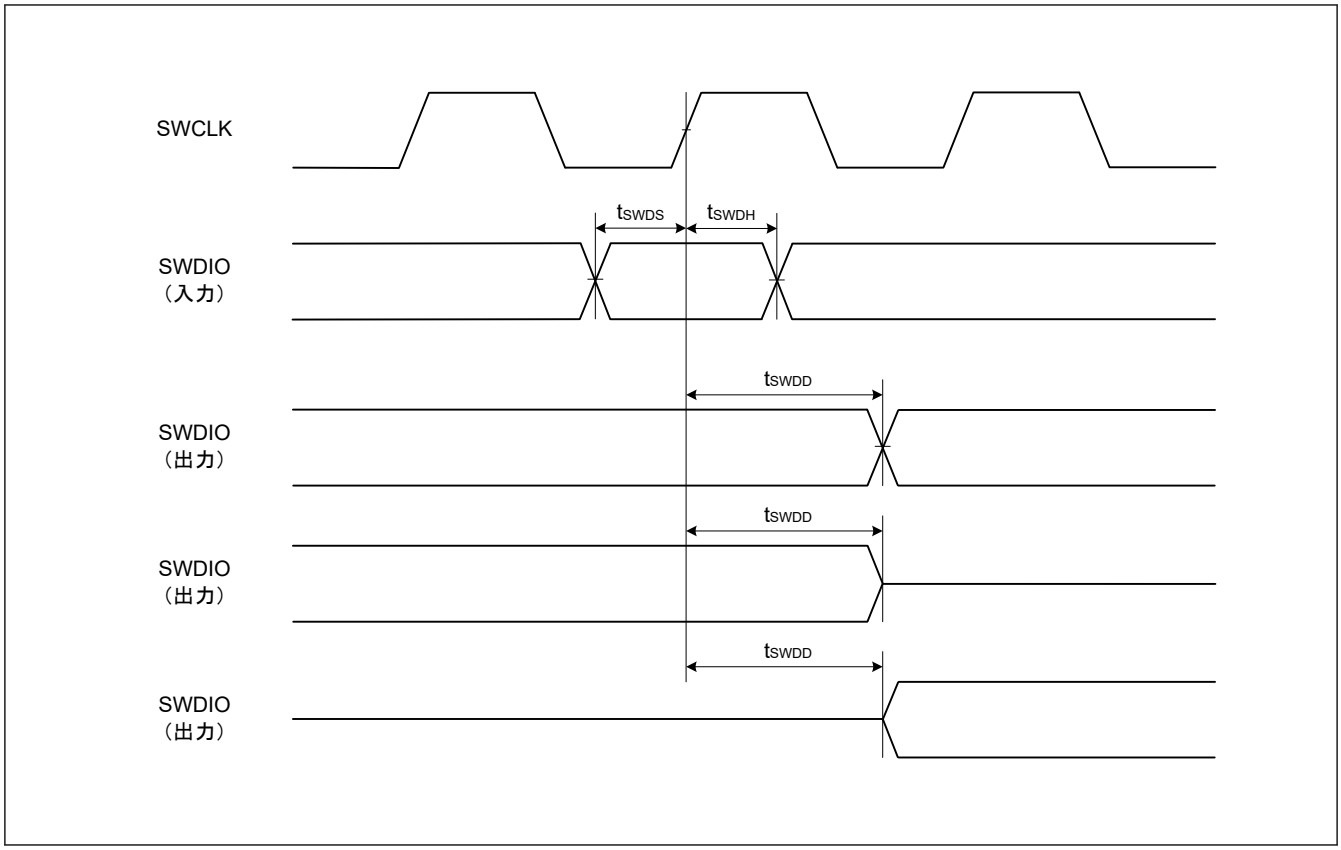


図 62.156　SWD 入出力タイミング

62.19　エンベデッドトレースマクロインタフェース (ETM)

表 62.126　ETM (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCLK クロックサイクル時間	2.7 V 以上	$t_{TCLKcyc}$	16	—	—	ns	図 62.157
	1.62 V 以上		16	—	—	ns	
TCLK クロック High レベルパルス幅	2.7 V 以上	t_{TCLKH}	7	—	—	ns	
	1.62 V 以上		6	—	—	ns	
TCLK クロック Low レベルパルス幅	2.7 V 以上	t_{TCLKL}	7	—	—	ns	
	1.62 V 以上		6	—	—	ns	
TCLK クロック立ち上がり時間	2.7 V 以上	t_{TCLKr}	—	—	1.0	ns	
	1.62 V 以上		—	—	2.0	ns	
TCLK クロック立ち下がり時間	2.7 V 以上	t_{TCLKf}	—	—	1.0	ns	
	1.62 V 以上		—	—	2.0	ns	

表 62.126 ETM (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TDATA[3:0]出力有効時間	2.7 V 以上	t_{TRDV}	—	—	$t_{TCLKcyc}/4 + 1.5$	ns	図 62.158
	1.62 V 以上		—	—	$t_{TCLKcyc}/4 + 1.5$	ns	
TDATA[3:0]出力ホールド時間	2.7 V 以上	t_{TRDH}	1.5	—	—	ns	
	1.62 V 以上		1.5	—	—	ns	

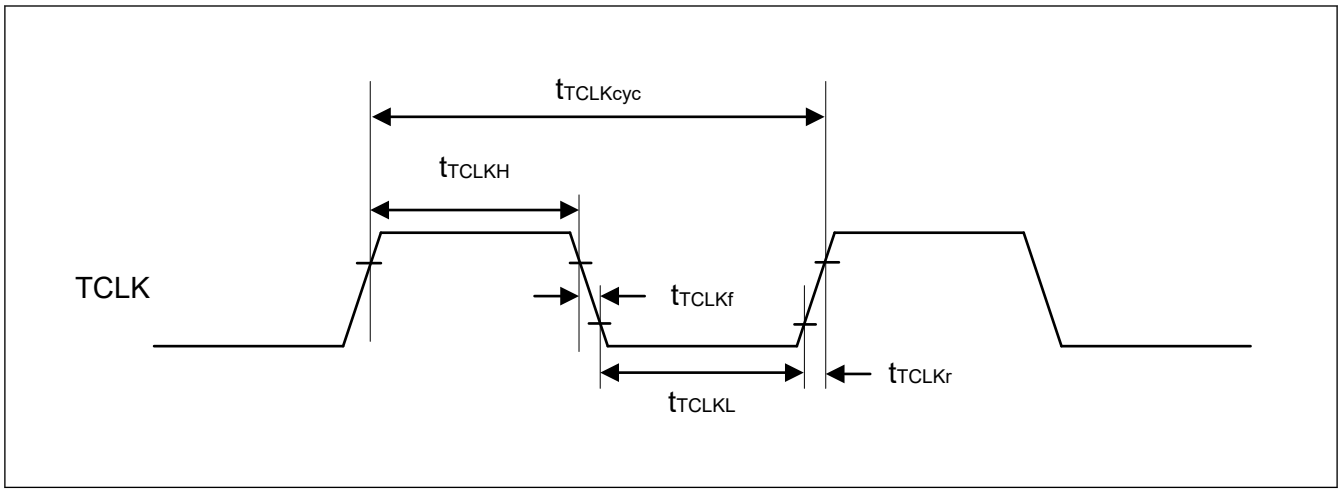


図 62.157 ETM TCLK タイミング

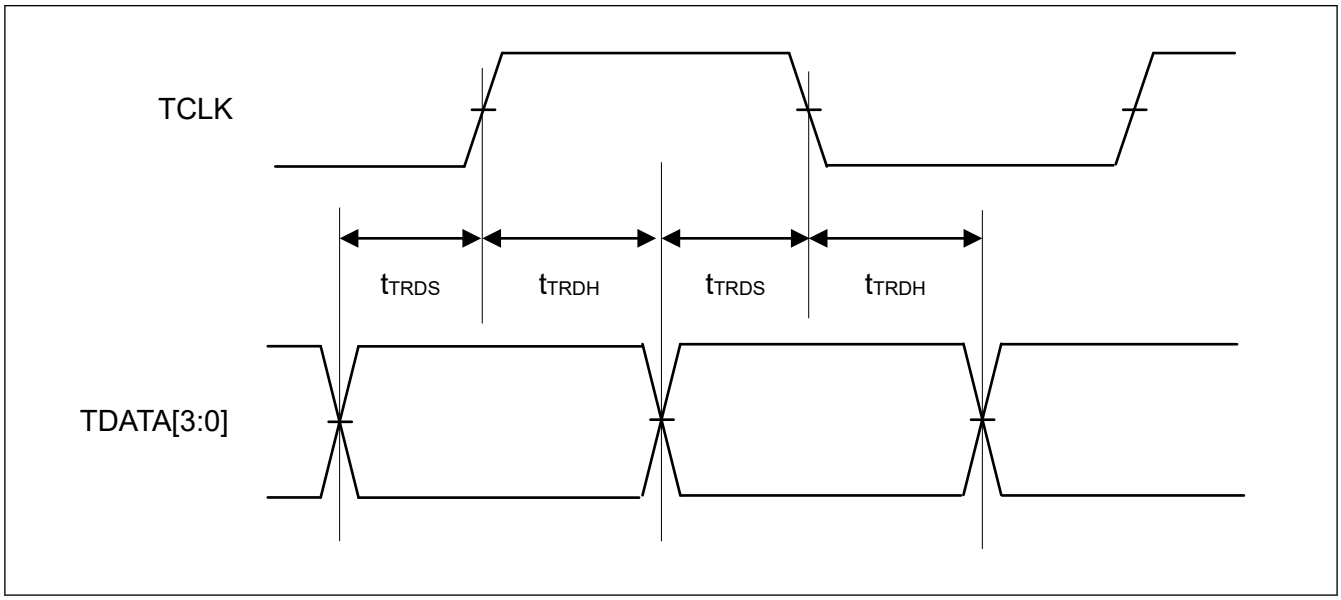


図 62.158 ETM 出力タイミング

付録 1. 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード (SSTBY)		ディープソフトウェアスタンバイモード 1、2、3 (DSTBY1, 2, 3)		ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
			OPE = 0	OPE = 1	DSTBY1	DSTBY2/ DSTBY3	IOKEEP = 0	IOKEEP = 1(注1)
モード	MD	プルアップ	Keep-I		Keep		プルアップ	Keep
JTAG/SWD	TCK/TMS/TDI/SWCLK	プルアップ	TCK/TDI/TMS/SWCLK 入力		TCK/TDI/TMS/SWCLK 入力		TCK/TDI/TMS/SWCLK 入力	
	TDO	出力	TDO 出力		TDO 出力		TDO 出力	
	SWDIO	プルアップ	SWDIO 入力		SWDIO 入力		SWDIO 入力	
トレース	TCLK/TDATAx/SWO	TCLK/ TDATAx/SWO 出力	TCLK/TDATAx/SWO 出力		TCLK/TDATAx/SWO 出力		TCLK/TDATAx/SWO 出力	
IRQ	IRQx	Hi-Z	Hi-Z(注2)		Keep		Hi-Z	Keep
	IRQx-DS（x: 5 以外）	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	Keep
	IRQ5-DS	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	
AGT	AGTIOn	Hi-Z	AGTIOn 入力		Keep		Hi-Z	Keep
	AGTOn/AGTOAn/ AGTOBn	Hi-Z	AGTOn/AGTOAn/AGTOBn 出力		Keep		Hi-Z	Keep
ULPT	ULPTEEn/ULPTEVIn	Hi-Z	ULPTEEn/ULPTEVIn 入力		Keep		Hi-Z	Keep
	ULPTEEn-DS/ ULPTEVIn-DS	Hi-Z	ULPTEEn-DS/ULPTEVIn-DS 入力		ULPTEEn-DS/ ULPTEVIn-DS 入力	Hi-Z	Hi-Z	Keep
	ULPTOn/ULPTOAn/ ULPTOBn	Hi-Z	ULPTOn/ULPTOAn/ULPTOBn 出力		Keep		Hi-Z	Keep
	ULPTOn-DS/ULPTOAn-DS/ULPTOBn-DS	Hi-Z	ULPTOn/ULPTOAn-DS/ ULPTOBn-DS 出力		ULPTOn/ULPTOAn-DS/ULPTOBn-DS 出力	Keep	Hi-Z	DSTBY1: ULPTOn/ ULPTOAn-DS/ ULPTOBn-DS 出力 DSTBY1、2 から : Keep
IIC	SCLn/SDAn	Hi-Z	Keep-O(注2)		Keep		Hi-Z	Keep
I3C	I3C_SCL0/I3C_SDA0	Hi-Z	Keep-O(注2)		Hi-Z		Hi-Z	
USBFS	USB_OVRCURx	Hi-Z	Hi-Z(注2)		Keep		Hi-Z	Keep
	USB_OVRCURx-DS/ USB_VBUS	Hi-Z	Hi-Z(注2)		Keep(注3)	Keep	Hi-Z	Keep
	USB_DP/USB_DM	Hi-Z	Keep-O(注4)		Keep(注3)	Keep	Hi-Z	Keep
USBHS	USBHS_OVRCURx	Hi-Z	Hi-Z(注2)		Keep		Hi-Z	Keep
	USBHS_OVRCURx-DS/ USBHS_VBUS	Hi-Z	Hi-Z(注2)		Keep(注3)	Keep	Hi-Z	Keep
	USBHS_DP/USBHS_DM	Hi-Z	Keep-O(注4)		Keep(注5)	Keep	Hi-Z	Keep
RTC	RTCICx	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	Keep
	RTCOUT	Hi-Z	RTCOUT 出力		Keep		Hi-Z	Keep
ACMPHS	VCOUT	Hi-Z	VCOUT 出力		Keep		Hi-Z	Keep
CLKOUT	CLKOUT	Hi-Z	CLKOUT 出力		Keep		Hi-Z	Keep
DAC	DAn	Hi-Z	D/A 出力保持		Keep		Hi-Z	Keep
外部バス（CS、SDRAM 領域）	EBCLK/SDCLK	Hi-Z	High レベル出力		Keep		Hi-Z	Keep
	Dxx/DQxx	Hi-Z	Hi-Z		Hi-Z		Hi-Z	
	Axx/DQMx	Hi-Z	Hi-Z	Keep-O	Keep		Hi-Z	Keep
	BCx/CSx/RD/WRx/WE	Hi-Z	Hi-Z	High レベル出力	Keep		Hi-Z	Keep
	ALE	Hi-Z	Hi-Z	Low レベル出力	Keep		Hi-Z	Keep
	CKE/SDCS/RAS/CAS	Hi-Z	Hi-Z	SDSELF.SFEN = 0: High レベル出力 SDSELF.SFEN = 1: Low レベル出力	Keep		Hi-Z	Keep
P400/P401	IRQ5-DS 機能以外	Hi-Z	Keep-O(注2)		Hi-Z		Hi-Z	

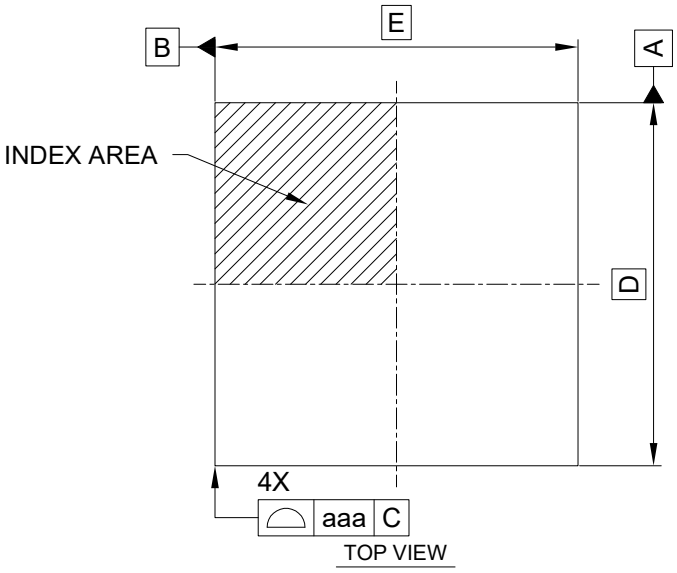
機能	端子機能	リセット	ソフトウェアスタンバイモード (SSTBY)		ディープソフトウェアスタンバイモード 1、2、3 (DSTBY1, 2, 3)		ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
			OPE = 0	OPE = 1	DSTBY1	DSTBY2/ DSTBY3	IOKEEP = 0	IOKEEP = 1(注1)
PDMIF	PDMCLKn	Hi-Z	PDMCLKn 出力		Keep		Hi-Z	Keep
	PDMDATAn	Hi-Z	Keep-O(注6)		Keep		Hi-Z	Keep
その他	—	Hi-Z	Keep-O		Keep		Hi-Z	Keep

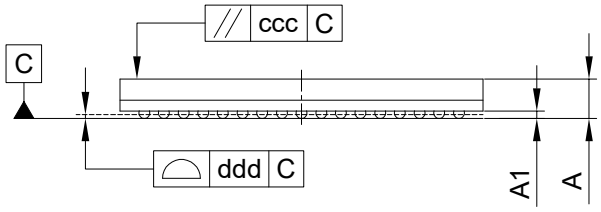
注. Hi-Z：ハイインピーダンス
Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
Keep-I：通常モード期間中と同様に、端子状態は保持されます。
Keep：ソフトウェアスタンバイモード期間中と同様に、端子状態は保持されます。
注 1. DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。
注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。
注 3. 端子がディープソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。
注 4. 入力端子として使用されている端子への入力は許可されています。
注 5. ホスト動作では、USBHS.SYSCFG.DRPD ビットを 1 にして USBHS_DP および USBHS_DM プルダウン抵抗を有効にします。
デバイス動作では、USBHS.SYSCFG.DPRPU ビットを 1 にして DP プルアップ抵抗を有効にします。
注 6. PDMIF サウンド検出割り込みがソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。

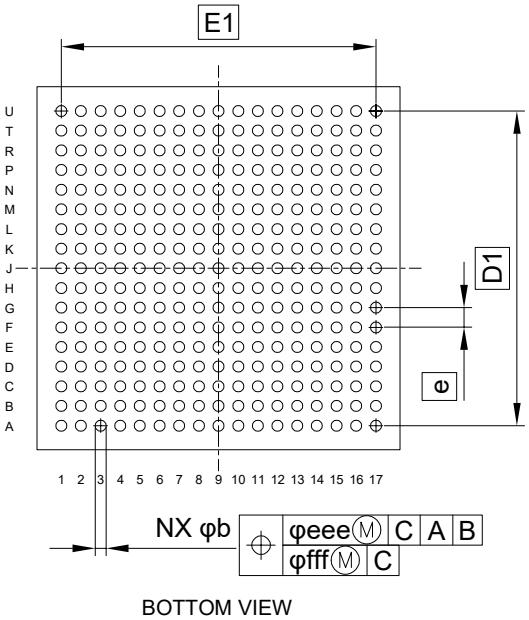
付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA289-12x12-0.65	PLBG0289JA-A	0.38



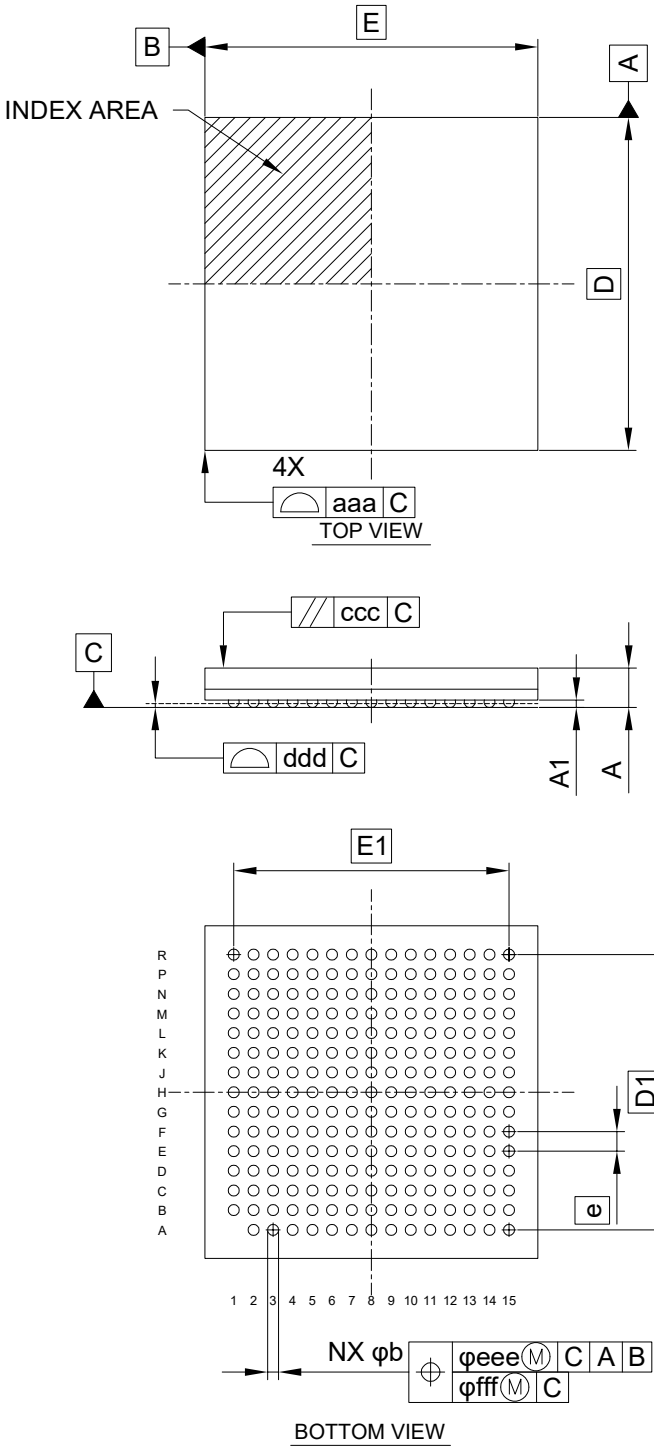




Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	12.00	—
E	—	12.00	—
D1	—	10.40	—
E1	—	10.40	—
A	—	—	1.38
A1	0.20	—	—
b	0.31	0.36	0.41
e	—	0.65	—
aaa	—	—	0.15
ccc	—	—	0.20
ddd	—	—	0.10
eee	—	—	0.15
fff	—	—	0.08
N	—	289	—

図 A2.1 BGA 289 ピン

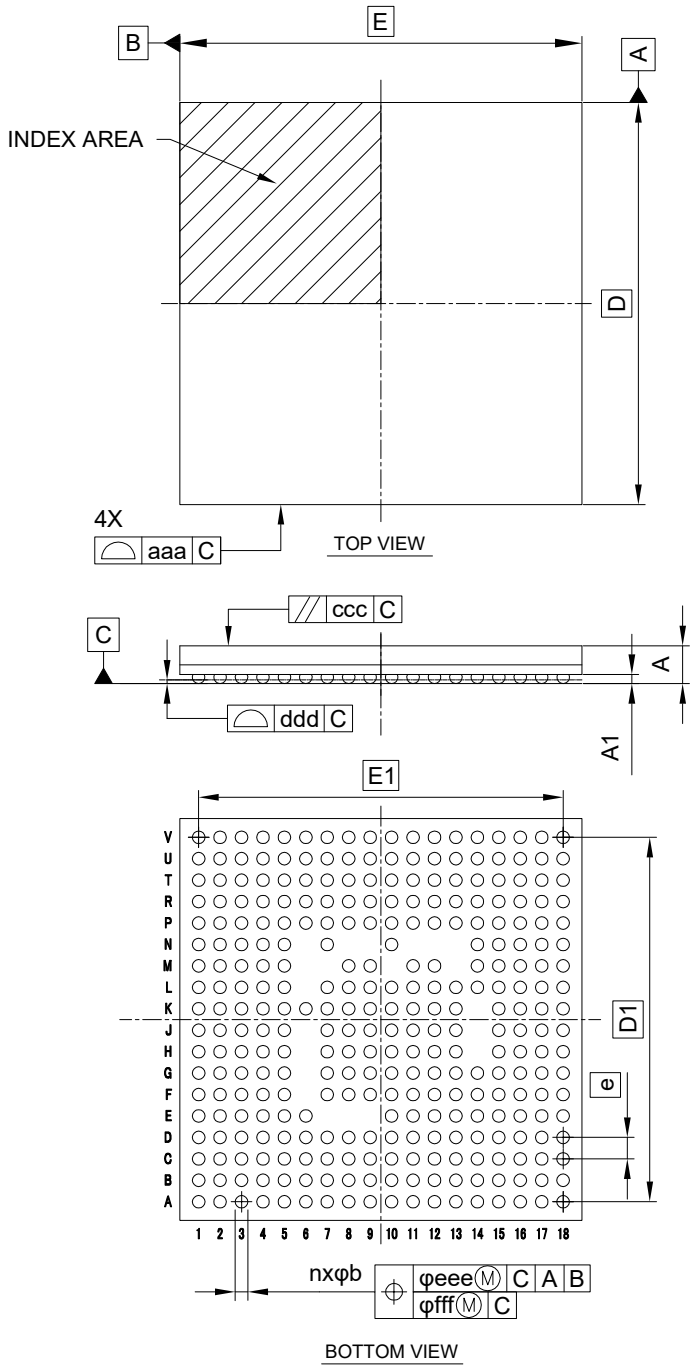
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA224-11x11-0.65	PLBG0224JA-A	0.32



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	11.00	—
E	—	11.00	—
D1	—	9.10	—
E1	—	9.10	—
A	—	—	1.38
A1	0.20	—	—
b	0.31	0.36	0.41
e	—	0.65	—
aaa	—	—	0.15
ccc	—	—	0.20
ddd	—	—	0.10
eee	—	—	0.15
fff	—	—	0.08
N	—	224	—

図 A2.2 BGA 224 ピン

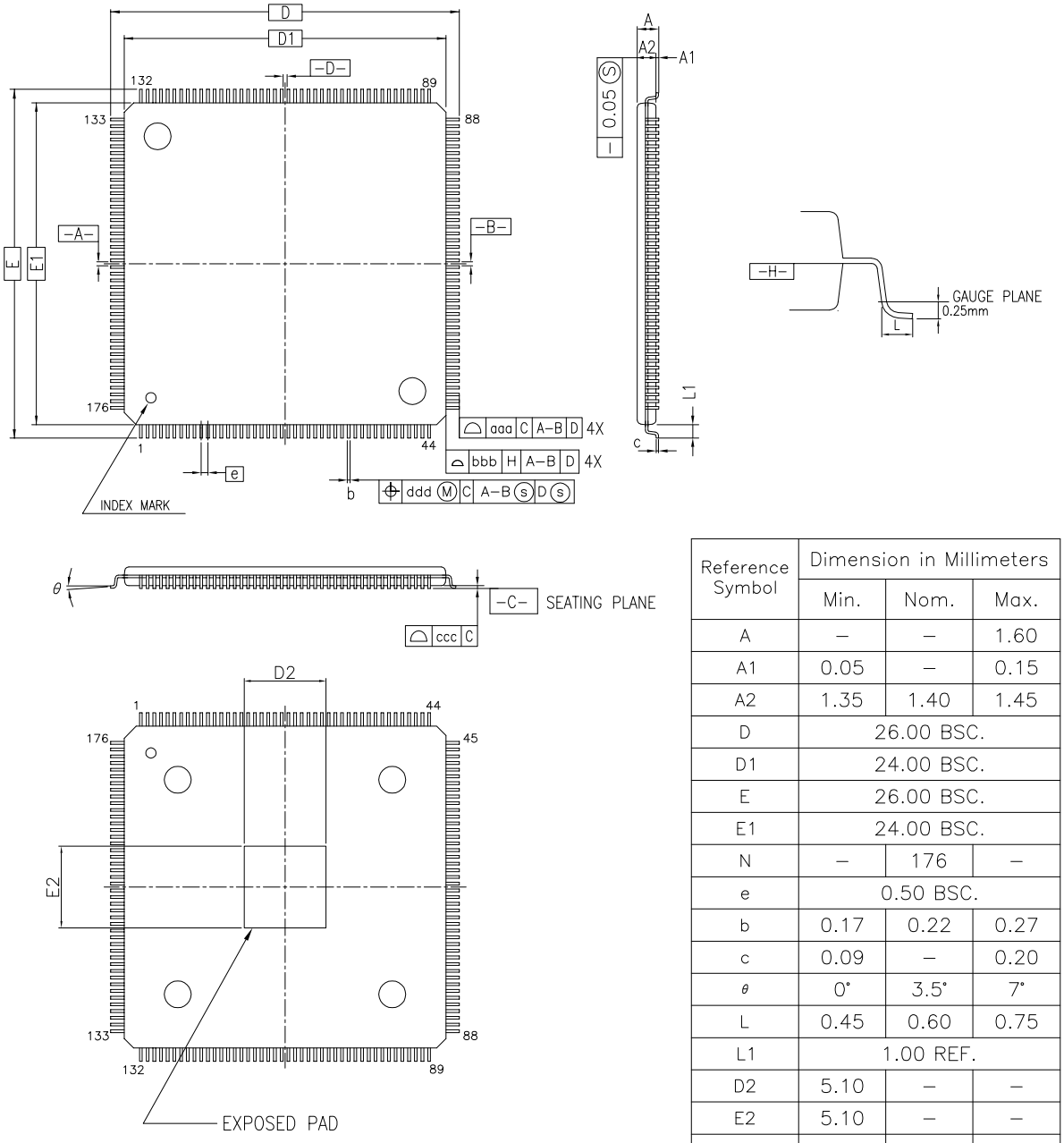
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA303-15x15-0.80	PLBG0303GA-A	0.63



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	15.00	—
E	—	15.00	—
D1	—	13.60	—
E1	—	13.60	—
A	—	—	1.50
A1	0.29	—	—
b	0.42	0.47	0.52
e	—	0.80	—
aaa	—	—	0.15
ccc	—	—	0.20
ddd	—	—	0.20
eee	—	—	0.15
fff	—	—	0.08
N	—	303	—

図 A2.3　BGA 303 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HLQFP176-24x24-0.50	PLQP0176KK-A	1.90



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
D	26.00 BSC.		
D1	24.00 BSC.		
E	26.00 BSC.		
E1	24.00 BSC.		
N	–	176	–
e	0.50 BSC.		
b	0.17	0.22	0.27
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L1	1.00 REF.		
D2	5.10	–	–
E2	5.10	–	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.08
ddd	–	–	0.08

図 A2.4 HLQFP 176 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス (1/4)

機能	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
Renesas メモリプロテクションユニット	RMPU	0x4000_0000	RMPU_NS	0x5000_0000
SRAM コントロール	SRAM	0x4000_2000	SRAM_NS	0x5000_2000
バス制御	BUS	0x4000_3000	BUS_NS	0x5000_3000
共通割り込みコントローラ	ICU_COMMON	0x4000_6000	ICU_COMMON_NS	0x5000_6000
CPU システムセキュリティコントロールユニット	CPSCU	0x4000_8000	CPSCU_NS	0x5000_8000
ダイレクトメモリアクセスコントローラ 00	DMAC00	0x4000_A000	DMAC00_NS	0x5000_A000
ダイレクトメモリアクセスコントローラ 01	DMAC01	0x4000_A040	DMAC01_NS	0x5000_A040
ダイレクトメモリアクセスコントローラ 02	DMAC02	0x4000_A080	DMAC02_NS	0x5000_A080
ダイレクトメモリアクセスコントローラ 03	DMAC03	0x4000_A0C0	DMAC03_NS	0x5000_A0C0
ダイレクトメモリアクセスコントローラ 04	DMAC04	0x4000_A100	DMAC04_NS	0x5000_A100
ダイレクトメモリアクセスコントローラ 05	DMAC05	0x4000_A140	DMAC05_NS	0x5000_A140
ダイレクトメモリアクセスコントローラ 06	DMAC06	0x4000_A180	DMAC06_NS	0x5000_A180
ダイレクトメモリアクセスコントローラ 07	DMAC07	0x4000_A1C0	DMAC07_NS	0x5000_A1C0
DMAC モジュール起動 0	DMA0	0x4000_A800	DMA0_NS	0x5000_A800
データトランスファコントローラ 0	DTC0	0x4000_AC00	DTC0_NS	0x5000_AC00
割り込みコントローラ	ICU	0x4000_C000	ICU_NS	0x5000_C000
CPU コントロールレジスタ	CPU_CTRL	0x4000_F000	CPU_CTRL_NS	0x5000_F000
オンチップデバッグ	CPU_OCD	0x4001_1000	CPU_OCD_NS	0x5001_1000
デバッグ機能	CPU_DBG	0x4001_B000	CPU_DBG_NS	0x5001_B000
キャッシュ	キャッシュ	0x4001_C000	CACHE_NS	0x5001_C000
TCM	TCM	0x4001_C800	TCM_NS	0x5001_C800
システム制御	SYSC	0x4001_E000	SYSC_NS	0x5001_E000
プロセッサ間通信	IPC	0x4002_0000	IPC_NS	0x5002_0000
温度センサデータ	TSD	0x02C1_EDA0	TSD_NS	0x12C1_EDA0
MRAM システムレジスタ領域	MRAM	0x4013_C000	MRAM_NS	0x5013_C000
イベントリンクコントローラ	ELC	0x4020_1000	ELC_NS	0x5020_1000
リアルタイムクロック	RTC	0x4020_2000	RTC_NS	0x5020_2000
独立ウォッチドッグタイマ	IWDT	0x4020_2200	IWDT_NS	0x5020_2200

表 A3.1 周辺機能のベースアドレス (2/4)

機能	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
クロック周波数精度測定回路	CAC	0x4020_2400	CAC_NS	0x5020_2400
ウォッチドッグタイマ 0	WDT0	0x4020_2600	WDT0_NS	0x5020_2600
ウォッチドッグタイマ 1	WDT1	0x4020_2700	WDT1_NS	0x5020_2700
モジュールストップコントロール A、B、C、D、E	MSTP	0x4020_3000	MSTP_NS	0x5020_3000
ペリフェラルセキュリティ制御ユニット	PSCU	0x4020_4000	PSCU_NS	0x5020_4000
GPT 用ポート出力イネーブルモジュール	POEG	0x4021_2000	POEG_NS	0x5021_2000
超低消費電力タイマ 0	ULPT0	0x4022_0000	ULPT0_NS	0x5022_0000
超低消費電力タイマ 1	ULPT1	0x4022_0100	ULPT1_NS	0x5022_0100
低消費電力非同期汎用タイマ 0	AGT0	0x4022_1000	AGT0_NS	0x5022_1000
低消費電力非同期汎用タイマ 1	AGT1	0x4022_1100	AGT1_NS	0x5022_1100
12 ビット D/A コンバータ 0	DAC120	0x4023_3000	DAC120_NS	0x5023_3000
12 ビット D/A コンバータ 1	DAC121	0x4023_3100	DAC121_NS	0x5023_3100
温度センサ	TSN	0x4023_5000	TSN_NS	0x5023_5000
高速アナログコンパレータ 0	ACMPHS0	0x4023_6000	ACMPHS0_NS	0x5023_6000
高速アナログコンパレータ 1	ACMPHS1	0x4023_6100	ACMPHS1_NS	0x5023_6100
高速アナログコンパレータ 2	ACMPHS2	0x4023_6200	ACMPHS2_NS	0x5023_6200
高速アナログコンパレータ 3	ACMPHS3	0x4023_6300	ACMPHS3_NS	0x5023_6300
USB 2.0 FS モジュール	USBFS	0x4025_0000	USBFS_NS	0x5025_0000
SD ホストインタフェース 0	SDHI0	0x4025_2000	SDHI0_NS	0x5025_2000
SD ホストインタフェース 1	SDHI1	0x4025_2400	SDHI1_NS	0x5025_2400
パルス密度変調インタフェース	PDMIF	0x4025_6000	PDMIF_NS	0x5025_6000
拡張シリアルサウンドインタフェース (SSIE) 0	SSIE0	0x4025_D000	SSIE0_NS	0x5025_D000
拡張シリアルサウンドインタフェース (SSIE) 1	SSIE1	0x4025_D100	SSIE1_NS	0x5025_D100
Inter-Integrated Circuit 0	IIC0	0x4025_E000	IIC0_NS	0x5025_E000
Inter-Integrated Circuit 0 ウェイクアップユニット	IIC0WU	0x4025_E014	IIC0WU_NS	0x5025_E014
Inter-Integrated Circuit 1	IIC1	0x4025_E100	IIC1_NS	0x5025_E100
Inter-Integrated Circuit 2	IIC2	0x4025_E200	IIC2_NS	0x5025_E200
オクタシリアルペリフェラルインタフェース 0	OSPI0_B	0x4026_8000	OSPI0_B_NS	0x5026_8000
オクタシリアルペリフェラルインタフェース 1	OSPI1_B	0x4026_8400	OSPI1_B_NS	0x5026_8400
オンザフライ復号 0	DOTF0	0x4026_8800	DOTF0_NS	0x5026_8800
オンザフライ復号 1	DOTF1	0x4026_8900	DOTF1_NS	0x5026_8900
CRC 演算器	CRC	0x4031_0000	CRC_NS	0x5031_0000
データ演算回路	DOC_B	0x4031_1000	DOC_B_NS	0x5031_1000
32 ビット汎用 PWM タイマ 0	GPT320	0x4032_2000	GPT320_NS	0x5032_2000
32 ビット汎用 PWM タイマ 1	GPT321	0x4032_2100	GPT321_NS	0x5032_2100

表 A3.1 周辺機能のベースアドレス (3/4)

機能	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
32 ビット汎用 PWM タイマ 2	GPT322	0x4032_2200	GPT322_NS	0x5032_2200
32 ビット汎用 PWM タイマ 3	GPT323	0x4032_2300	GPT323_NS	0x5032_2300
32 ビット汎用 PWM タイマ 4	GPT324	0x4032_2400	GPT324_NS	0x5032_2400
32 ビット汎用 PWM タイマ 5	GPT325	0x4032_2500	GPT325_NS	0x5032_2500
32 ビット汎用 PWM タイマ 6	GPT326	0x4032_2600	GPT326_NS	0x5032_2600
32 ビット汎用 PWM タイマ 7	GPT327	0x4032_2700	GPT327_NS	0x5032_2700
32 ビット汎用 PWM タイマ 8	GPT328	0x4032_2800	GPT328_NS	0x5032_2800
32 ビット汎用 PWM タイマ 9	GPT329	0x4032_2900	GPT329_NS	0x5032_2900
32 ビット汎用 PWM タイマ 10	GPT3210	0x4032_2A00	GPT3210_NS	0x5032_2A00
32 ビット汎用 PWM タイマ 11	GPT3211	0x4032_2B00	GPT3211_NS	0x5032_2B00
32 ビット汎用 PWM タイマ 12	GPT3212	0x4032_2C00	GPT3212_NS	0x5032_2C00
32 ビット汎用 PWM タイマ 13	GPT3213	0x4032_2D00	GPT3213_NS	0x5032_2D00
出力相切り替えコントローラ	GPT_OPS	0x4032_3F00	GPT_OPS_NS	0x5032_3F00
汎用 PWM タイマクロックコントローラ	GPT_GTCLK	0x4032_3F10	GPT_GTCLK_NS	0x5032_3F10
PWM 遅延生成回路	PDG	0x4032_4000	PDG_NS	0x5032_4000
16 ビット A/D コンバータ	ADC_B	0x4033_8000	ADC_B_NS	0x5033_8000
キャプチャエンジンユニット	CEU	0x4034_8000	CEU_NS	0x5034_8000
USB 2.0 ハイスピードモジュール	USBHS	0x4035_1000	USBHS_NS	0x5035_1000
シリアルコミュニケーションインタフェース 0	SCI0_B	0x4035_8000	SCI0_B_NS	0x5035_8000
シリアルコミュニケーションインタフェース 1	SCI1_B	0x4035_8100	SCI1_B_NS	0x5035_8100
シリアルコミュニケーションインタフェース 2	SCI2_B	0x4035_8200	SCI2_B_NS	0x5035_8200
シリアルコミュニケーションインタフェース 3	SCI3_B	0x4035_8300	SCI3_B_NS	0x5035_8300
シリアルコミュニケーションインタフェース 4	SCI4_B	0x4035_8400	SCI4_B_NS	0x5035_8400
シリアルコミュニケーションインタフェース 5	SCI5_B	0x4035_8500	SCI5_B_NS	0x5035_8500
シリアルコミュニケーションインタフェース 6	SCI6_B	0x4035_8600	SCI6_B_NS	0x5035_8600
シリアルコミュニケーションインタフェース 7	SCI7_B	0x4035_8700	SCI7_B_NS	0x5035_8700
シリアルコミュニケーションインタフェース 8	SCI8_B	0x4035_8800	SCI8_B_NS	0x5035_8800
シリアルコミュニケーションインタフェース 9	SCI9_B	0x4035_8900	SCI9_B_NS	0x5035_8900
シリアルペリフェラルインタフェース 0	SPI0_B	0x4035_C000	SPI0_B_NS	0x5035_C000
シリアルペリフェラルインタフェース 1	SPI1_B	0x4035_C100	SPI1_B_NS	0x5035_C100
I3C バスインタフェース	I3C	0x4035_F000	I3C_NS	0x5035_F000
MBRAM0 用エラー補正回路	ECCMB0	0x4036_F200	ECCMB0_NS	0x5036_F200

表 A3.1 周辺機能のベースアドレス (4/4)

機能	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
MBRAM1 用エラー補正回路	ECCMB1	0x4036_F300	ECCMB1_NS	0x5036_F300
CANFD モジュール 0	CANFD0	0x4038_0000	CANFD0_NS	0x5038_0000
CANFD モジュール 1	CANFD1	0x4038_2000	CANFD1_NS	0x5038_2000
イーサネットメッセージ転送エンジン	MFWD	0x403C_0000	MFWD_NS	0x503C_0000
レイヤ 3 イーサネットスイッチモジュール	ESWM	0x403C_8000	ESWM_NS	0x503C_8000
イーサネット共通エージェント	COMA	0x403C_9000	COMA_NS	0x503C_9000
イーサネットエージェント 0	ETHA0	0x403C_A000	ETHA0_NS	0x503C_A000
イーサネット MAC 0	RMAC0	0x403C_B000	RMAC0_NS	0x503C_B000
イーサネットエージェント 1	ETHA1	0x403C_C000	ETHA1_NS	0x503C_C000
イーサネット MAC 1	RMAC1	0x403C_D000	RMAC1_NS	0x503C_D000
イーサネット CPU エージェント	GWCA0	0x403C_E000	GWCA0_NS	0x503C_E000
イーサネット汎用 PTP タイマ	GPTP	0x403E_0000	GPTP_NS	0x503E_0000
ポート 0 コントロールレジスタ	PORT0	0x4040_0000	PORT0_NS	0x5040_0000
ポート 1 コントロールレジスタ	PORT1	0x4040_0020	PORT1_NS	0x5040_0020
ポート 2 コントロールレジスタ	PORT2	0x4040_0040	PORT2_NS	0x5040_0040
ポート 3 コントロールレジスタ	PORT3	0x4040_0060	PORT3_NS	0x5040_0060
ポート 4 コントロールレジスタ	PORT4	0x4040_0080	PORT4_NS	0x5040_0080
ポート 5 コントロールレジスタ	PORT5	0x4040_00A0	PORT5_NS	0x5040_00A0
ポート 6 コントロールレジスタ	PORT6	0x4040_00C0	PORT6_NS	0x5040_00C0
ポート 7 コントロールレジスタ	PORT7	0x4040_00E0	PORT7_NS	0x5040_00E0
ポート 8 コントロールレジスタ	PORT8	0x4040_0100	PORT8_NS	0x5040_0100
ポート 9 コントロールレジスタ	PORT9	0x4040_0120	PORT9_NS	0x5040_0120
ポート A コントロールレジスタ	PORTA	0x4040_0140	PORTA_NS	0x5040_0140
ポート B コントロールレジスタ	PORTB	0x4040_0160	PORTB_NS	0x5040_0160
ポート C コントロールレジスタ	PORTC	0x4040_0180	PORTC_NS	0x5040_0180
ポート D コントロールレジスタ	PORTD	0x4040_01A0	PORTD_NS	0x5040_01A0
ポート E コントロールレジスタ	PORTE	0x4040_01C0	PORTE_NS	0x5040_01C0
ポート F コントロールレジスタ	PORTF	0x4040_01E0	PORTF_NS	0x5040_01E0
ポート G コントロールレジスタ	PORTG	0x4040_0200	PORTG_NS	0x5040_0200
Pmn 端子機能コントロールレジスタ	PFS	0x4040_0800	PFS_NS	0x5040_0800

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。

- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。
- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 アクセスサイクル (1/3)

周辺機能のベースアドレスシンボル	アドレス(注1)		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注2)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
RMPU, SRAM, BUS, ICU_COMMON, CPSCU, DMAC0n, DMA0, DTC0, ICU, CPU_CTRL, CPU_OCD, CPU_DBG	0x4000_0000	0x4001_BFFF	3	2	3	2	ICLK	Renesas メモリプロテクションユニット、SRAM コントロール、BUS コントロール、共通割り込みコントローラ、CPU システムセキュリティコントロールユニット、ダイレクトメモリアクセスコントローラ 0n、DMAC モジュール起動 0、データトランスファコントローラ 0、割り込みコントローラ、CPU コントロールレジスタ、オンチップデバッグ、デバッグ機能
CACHE, TCM	0x4001_C000	0x4001_CFFF	5	4	5	4	ICLK	CM33 キャッシュ、CM33 密接合メモリ
SYSC	0x4001_E000	0x4001_E9FF	4	3	2～4	1～3	PCLKB	システム制御
SYSC	0x4001_EA00	0x4001_ED7F	7	6	5～7	4～6	PCLKB	システム制御
IPC	0x4002_0000	0x4002_FFFF	3	2	3	2	ICLK	プロセッサ間通信
ELC, RTC	0x4020_1000	0x4020_21FF	4	3	2～4	1～3	PCLKB	イベントリンクコントローラ、リアルタイムクロック
IWDT	0x4020_2200	0x4020_22FF	4	65	2～4	63～65	PCLKB	独立ウォッチドッグタイマ
CAC, WDTn, MSTP, PSCU, POEG	0x4020_2400	0x4021_2FFF	4	3	2～4	1～3	PCLKB	クロック周波数精度測定回路、ウォッチドッグタイマ n、モジュールストップコントロール、ペリフェラルセキュリティコントロールユニット、GPT 用ポートアウトプットイネーブルモジュール
ULPTn	0x4022_0000	0x4022_01FF	6	65	4～6	63～65	PCLKB	超低消費電力タイマ n
AGTn	0x4022_1000	0x4022_11FF	6	3	4～6	1～3	PCLKB	低消費電力非同期汎用タイマ n
DAC12n, TSN	0x4023_3000	0x4023_5FFF	4	3	2～4	1～3	PCLKB	12 ビット D/A コンバータ n、温度センサ

表 A3.2 アクセスサイクル (2/3)

周辺機能のベースアドレスシンボル	アドレス(注1)		アクセスサイクル数					
			ICLK = PCLK		ICLK > PCLK(注2)		サイクル単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
ACMPHSn	0x4023_6000	0x4023_63FF	3	3	1～3	1～3	PCLKB	高速アナログコンパレータ n
USBFS	0x4025_0000	0x4025_03FF	5	4	3～5	2～4	PCLKB	USB 2.0 FS モジュール
USBFS	0x4025_0400	0x4025_04FF	4	65	2～4	63～65	PCLKB	USB 2.0 FS モジュール
SDHIn, PDMIF, SSIEn, IICn, OSPIn, DOTFn	0x4025_2000	0x4026_89FF	4	3	2～4	1～3	PCLKB	SD ホストインタフェース n、パルス密度変調インタフェース、拡張シリアルサウンドインタフェース n、Inter-Integrated Circuit n、オクタシリアルペリフェラルインタフェース n、オンザフライ復号 n
CRC, DOC	0x4031_0000	0x4031_1FFF	4	3	2～4	1～3	PCLKA	CRC 演算器、データ演算回路
GPT32n, GPT_OPS	0x4032_2000	0x4032_3F0F	9	6	7～9	4～6	PCLKA	32 ビット汎用 PWM タイマ n、出力相切り替えコントローラ
GPT_GTCLK	0x4032_3F10	0x4032_3F1F	4	3	2～4	1～3	PCLKA	汎用 PWM タイマクロック制御
PDG	0x4032_4000	0x4032_4FFF	3	2	1～3	0～2	PCLKA	PWM 遅延生成回路
ADC_B	0x4033_8000	0x4034_7FFF	4	3	2～4	1～3	PCLKA	A/D コンバータ
CEU	0x4034_8000	0x4034_FFFF	7	5	5～7	3～5	PCLKA	キャプチャエンジンユニット
USBHS(注3)	0x4035_1000	0x4035_115F	BWAIT+4	BWAIT+3	(BWAIT+2)～(BWAIT+4)	(BWAIT+1)～(BWAIT+3)	PCLKA	USB 2.0 ハイスピードモジュール
USBHS(注3)	0x4035_1160	0x4035_1167	BWAIT+4	130	(BWAIT+2)～(BWAIT+4)	128～130	PCLKA	USB 2.0 ハイスピードモジュール
USBHS	0x4035_1168	0x4035_116F	8	130	6～8	128～130	PCLKA	USB 2.0 ハイスピードモジュール
SCIn, SPIn, I3C	0x4035_8000	0x4035_FFFF	4	3	2～4	1～3	PCLKA	シリアルコミュニケーションインタフェース n、シリアルペリフェラルインタフェース n、I3C バスインタフェース
ECCMBn	0x4036_F200	0x4036_F3FF	5	4	3～5	2～4	PCLKA	MBRAMn 用エラー補正回路
CANFDn	0x4038_0000	0x4038_3FFF	4	3	2～4	1～3	PCLKA	CANFD モジュール n
ESWM	0x403C_0000	0x403E_FFFF	—	—	7～12	2～4	PCLKA	レイヤ 3 イーサネットスイッチモジュール
PORTn	0x4040_0000	0x4040_01FF	4	2	4	2	ICLK	ポート n コントロールレジスタ
PFS	0x4040_0800	0x4040_0FFF	8	2	8	2	ICLK	Pmn 端子機能コントロールレジスタ
RSIP-E50D	-	-	3～5	2	1～6	0～2	PCLKA	Renesas セキュア IP

表 A3.2 アクセスサイクル (3/3)

周辺機能のベースアドレスシンボル	アドレス(注1)		アクセスサイクル数					
			ICLK = MRPCLK		ICLK > MRPCLK(注2)		サイクル単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
MRAM	0x4013_0000	0x4013_FFFF	4	3	2～4	1～3	MRPCLK	MRAM 制御

注 1. 本表ではセキュアアドレスのみを示しています。非セキュアアドレスのアクセスサイクルは、セキュアアドレスのアクセスサイクルと同じです。
注 2. PCLK または MRPCLK のサイクル数が整数ではない場合（たとえば 1.5）、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5～2.5 は、1～3 となります。
注 3. BWAIT は USBHS.BUSWAIT レジスタに説明されているウェイト数（サイクルではない）のことです。

付録 4. レジスタ R/W に関する注意事項

- セキュアバスマスタは、IDAU/SAU または MSAU によってセキュアに指定されているアドレスを使用してセキュアアクセスを発行します。
- セキュアバスマスタは、IDAU/SAU または MSAU によって非セキュアに指定されているアドレスを使用して非セキュアアクセスを発行します。
- 非セキュアバスマスタは、IDAU/SAU または MSAU によって非セキュアに指定されているアドレスを使用して非セキュアアクセスを発行します。

表 A4.1 レジスタタイプに関する注意事項 (S-TYPE)

TYPE	UM 内での説明
S-TYPE-1	セキュアアクセスのみ本レジスタへ書き込み可能です。リードアクセスは常に許可されます。 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
S-TYPE-2	リードアクセスは常に許可されます。 セキュリティ属性がセキュアに設定されている場合： ● セキュアライトアクセスが許可されます ● 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
	セキュリティ属性が非セキュアに設定されている場合： ● セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。 ● 非セキュアアクセスが許可されます。
S-TYPE-3	セキュリティ属性がセキュアに設定されている場合： ● セキュアアクセスが許可されます。 ● 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
	セキュリティ属性が非セキュアに設定されている場合： ● セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。 ● 非セキュアアクセスが許可されます。
S-TYPE-4	セキュリティ属性がセキュアに設定されている場合： ● セキュアアクセスが許可されます。 ● 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。
	セキュリティ属性が非セキュアに設定されている場合： ● セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。 ● 非セキュアアクセスが許可されます。
S-TYPE-5	アクセスは常に許可されます。
S-TYPE-6	セキュアアクセスが許可されます。 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
S-TYPE-7	セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。 非セキュアアクセスが許可されます。

注. 非セキュアバスマスタは、IDAU/SAU または MSAU によりセキュアにマークされたアドレスを使用して、いかなるアクセスも発行しません。

表 A4.2 レジスタタイプに関する注意事項 (P-TYPE) (1/2)

TYPE	UM 内での説明
P-TYPE-1	プリビレッジライトアクセスが許可されます。リードアクセスは常に許可されます。 アンプリビレッジライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
P-TYPE-2	プリビレッジアクセスが許可されます。 アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
P-TYPE-3	プリビレッジ属性がプリビレッジに設定されている場合： ● プリビレッジアクセスが許可されます。 ● アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
	プリビレッジ属性がアンプリビレッジに設定されている場合： ● プリビレッジアクセスとアンプリビレッジアクセスが許可されます。

表 A4.2 レジスタタイプに関する注意事項 (P-TYPE) (2/2)

TYPE	UM 内での説明
P-TYPE-4	プリビレッジ属性がプリビレッジに設定されている場合、 ● プリビレッジアクセスが許可されます。 ● アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。
	プリビレッジ属性がアンプリビレッジに設定されている場合： ● プリビレッジアクセスとアンプリビレッジアクセスが許可されます。
P-TYPE-5	アクセスは常に許可されます。

付録 5. ペリフェラル変数

表 A5.1 に本マニュアルで使用されるモジュール名とペリフェラル変数の対応関係を示します。

表 A5.1 モジュール名とペリフェラル変数の対応関係

モジュール名	ペリフェラル変数
SCI	SCI_B
SPI	SPI_B
OSPI	OSPI_B
ADC16H	ADC_B
DAC12	DAC_B
DOC	DOC_B

改訂履歴

Revision 1.00 — 2025 年 02 月 14 日

初版発行

Revision 1.10 — 2025 年 6 月 3 日

1. 概要：
- 図 1.2 型名の読み方を更新

2. CPU：
- 表 2.6 シングルチップモードにおける初期セキュアベクタテーブルベースアドレスを更新
- 2.8.1 外部デバッガのコネクティビティと JTAG/SWD による認証を更新
- 表 2.10 認証レベルの条件を更新
- 2.9.1.7 CPUnINITVTOR : CPU 初期ベクタベースアドレスレジスタ (n = 0, 1) を更新

3. プロセッサ間通信：
- 3.2.10 IPC0STA0 : プロセッサ間 0 ステータスレジスタ 0 を更新
- 3.2.12 IPC0TXD0 : プロセッサ間 0 FIFO 転送データレジスタ 0 と 3.2.13 IPC0RXD0 : プロセッサ間 0 FIFO 受信データレジスタ 0 を更新
- 3.2.15 IPC0STA1 : プロセッサ間 0 ステータスレジスタ 1 を更新
- 3.2.17 IPC0TXD1 : プロセッサ間 0 FIFO 転送データレジスタ 1 と 3.2.18 IPC0RXD1 : プロセッサ間 0 FIFO 受信データレジスタ 1 を更新
- 3.2.20 IPC1STA0 : プロセッサ間 1 ステータスレジスタ 0 を更新
- 3.2.22 IPC1TXD0 : プロセッサ間 1 FIFO 転送データレジスタ 0 と 3.2.23 IPC1RXD0 : プロセッサ間 1 FIFO 受信データレジスタ 0 を更新
- 3.2.25 IPC1STA1 : プロセッサ間 1 要求ステータスレジスタ 1 を更新
- 3.2.27 IPC1TXD1 : プロセッサ間 1 FIFO 転送データレジスタ 1 と 3.2.28 IPC1RXD1 : プロセッサ間 1 FIFO 受信データレジスタ 1 を更新
- 3.3.2 プロセッサ間ノンマスカブル割り込みを更新
- 図 3.3 プロセッサ間ノンマスカブル割り込みを更新
- 3.3.4 排他的制御フローを更新
- 図 3.6 プロセッサ間メッセージ FIFO を更新
- 図 3.7 プロセッサ間メッセージ FIFO タイミングを更新

6. リセット：
- 表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタを更新

7. オプション設定メモリ：
- 7.2.4 OFS1, OFS1_SEC : 非セキュアおよびセキュア用オプション機能選択レジスタ 1 を更新
- 7.2.16 SAMR : 測定報告の開始アドレスレジスタを更新

Revision 1.10 — 2025 年 6 月 3 日

9. クロック発生回路：
- 9.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタを更新
- 9.2.16 HOCOCR : 高速オンチップオシレータコントロールレジスタを更新
- HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2 を追加
- 9.2.19 FLLCR2 : FLL コントロールレジスタ 2 を更新
- 9.2.33 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタおよび 9.2.34 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタを更新
- 9.2.38 USBCKDIVCR : USB クロック分周コントロールレジスタ、9.2.39 OCTACKDIVCR : Octal-SPI クロック分周コントロールレジスタ、9.2.40 CANFDCKDIVCR : CANFD コアクロック分周コントロールレジスタ、9.2.41 USB60CKDIVCR : USB60 クロック分周コントロールレジスタ、9.2.42 I3CCKDIVCR : I3C クロック分周コントロールレジスタ、9.2.43 USBCKCR : USB クロックコントロールレジスタ、9.2.44 OCTACKCR : Octal-SPI クロックコントロールレジスタ、9.2.45 CANFDCKCR : CANFD コアクロックコントロールレジスタ、9.2.46 USB60CKCR : USB60 クロックコントロールレジスタ、9.2.47 I3CCKCR : I3C クロックコントロールレジスタ、9.2.48 SCICKDIVCR : SCI クロック分周コントロールレジスタ、9.2.49 SPICKDIVCR : SPI クロック分周コントロールレジスタ、9.2.50 ADCCKDIVCR : ADC クロック分周コントロールレジスタ、9.2.51 GPTCKDIVCR : GPT クロック分周コントロールレジスタ、9.2.52 SCICKCR : SCI クロックコントロールレジスタ、9.2.53 SPICKCR : SPI クロックコントロールレジスタ、9.2.54 ADCCKCR : ADC クロックコントロールレジスタ、および 9.2.55 GPTCKCR : GPT クロックコントロールレジスタを更新
- 9.2.58 ESWCKDIVCR : EtherSW クロック分周コントロールレジスタ、9.2.59 ESWPCKDIVCR : EtherSW-PHY クロック分周コントロールレジスタ、および 9.2.60 ETHPCKDIVCR : Ether-PHY クロック分周コントロールレジスタを更新
- 9.2.62 ESWCKCR : EtherSW クロックコントロールレジスタ、9.2.63 ESWPCKCR : EtherSW-PHY クロックコントロールレジスタ、および 9.2.64 ETHPCKCR : Ether-PHY クロックコントロールレジスタを更新
- 9.10.1 CPU0 クロック (CPUCLK0)、9.10.2 CPU1 クロック (CPUCLK1)、9.10.3 MRAM コードバスクロック (MRICLK)、9.10.4 MRAM 周辺バスクロック (MRPCLK)、および 9.10.5 システムクロック (ICLK) を更新
- 9.10.7 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE)、9.10.8 外部バスクロック (BCLK, EBCLK)、および 9.10.9 SDRAM クロック (SDCLK) を更新
- 9.10.11 SCI クロック (SCICLK)、9.10.12 SPI クロック (SPICLK)、9.10.13 Octal-SPI クロック (OCTACLK, OCTADIVCLK)、9.10.14 CANFD コアクロック (CANFDCLK)、9.10.15 USB クロック (USBCLK)、および 9.10.16 USB クロック (USB60CLK) を更新
- 9.10.18 ADC クロック (ADCCLK)、9.10.19 GPT クロック (GPTCLK)、9.10.20 I3C クロック (I3CCLK)、9.10.21 非同期外部バスクロック (BCLKA)、9.10.22 EtherSW クロック (ESWCLK)、9.10.23 EtherSW-PHY クロック (ESWPHYCLK)、および 9.10.24 Ether-PHY クロック (ETHPHYCLK) を更新
- 9.10.33 外部端子出力クロック (CLKOUT) を更新
- 表 9.14 HOCO 初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）（OFS1(_SEC).HOCOEN = 1、FLL なし）を更新
- 表 9.15 FLL 機能を使用した HOCO 設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後）(OFS9.HOCOEN = 1) を更新

11. 低消費電力モード：
- 表 11.2 プロセッサ低消費電力モードの動作状態を更新
- 表 11.3 各低消費電力モードの動作状態を更新
- 11.2.20 DPSBYCR : ディープソフトウェアスタンバイコントロールレジスタを更新
- 11.8.6 低消費電力モードへの遷移を更新

13. レジスタライトプロテクション機能：
- 表 13.1 PRCR ビットと保護されるレジスタの用途の対応関係を更新

14. 割り込みコントローラユニット：
- 14.2.12 IRQCRi : IRQ コントロールレジスタ (i = 0～31) を更新
- 14.2.19 WUPEN0 : ウェイクアップ割り込みイネーブルレジスタ 0 と 14.2.20 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1 を更新
- 表 14.5 イベントリストを更新
- 14.9.2 CPU ディープスリープモードからの復帰と 14.9.3 ソフトウェアスタンバイモードからの復帰を更新

15. バス：
- 図 15.23 アドレス／データマルチプレクス I/O インタフェースへの書き込みアクセスの動作の例の図タイトルを修正
- 図 15.24 アドレス／データマルチプレクス I/O インタフェースへのバスタイミングの例の図タイトルを修正
- 表 15.33 レジスタの書き換え条件にアクセスモードレジスタを追加

17. DMA コントローラ：
- 17.3.1.4 リピート／ブロック転送モードに新しい説明を追加

18. データトランスファコントローラ：
- 図 18.1 DTC のブロック図を修正

20. I/O ポート：
- 表 20.9 入出力端子機能のレジスタ設定 (PORT2) を修正

21. GPT 用のポートアウトプットイネーブル：
- 図 21.1 POEG のブロック図を修正

Revision 1.10 — 2025 年 6 月 3 日

29. レイヤ 3 イーサネットスイッチモジュール：
- 表 29.1 ESWM の仕様を修正
- 29.2.2.6 TPEMIMC6t : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 6t を修正
- 29.2.2.7 TPEMIMC7t : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 7t を修正

30. イーサネットメッセージ転送エンジン：
- ビットシンボルの添え字を修正
- 30.3.1.5.2 FWLTHHC : L3 ハッシュコンフィグレーションレジスタを更新
- 30.3.1.6.2 FWMACHC : MAC ハッシュコンフィグレーションレジスタを更新
- 30.3.1.10.13 FWSEQNRC : シーケンス番号リセットコンフィグレーションレジスタを更新

31. イーサネット共通エージェント：
- 31.3.1.4 RCDC : クロック禁止コンフィグレーションレジスタを更新
- 31.3.2.3 CABPPFLCi : バッファポインタ Pause フレームレベル i コンフィグレーションレジスタ、31.3.2.4 CABPPWMLCi : ポート i バッファプールウォーターマークレベルコンフィグレーションレジスタ (i = 0～2)、31.3.2.5 CABPPPFLCij : ポート i バッファポインタ Pause フレームレベル j コンフィグレーションレジスタ (i = 0～2) (j = 0, 1)、および 31.3.2.6 CABPULCi : ポート i バッファポインタ使用率レベルコンフィグレーションレジスタ i (i = 0～2) を更新
- 31.3.2.11 CABPMCPMi : ポート i バッファポインタ最大カウント監視レジスタ (i = 0～2) を更新
- 31.5.1.1 IPV ベースのウォーターマークを更新
- 31.5.1.3 ポート単位レベルベースのウォーターマーク i (i = 0～3) を更新
- 31.5.2.2 ポート単位の休止機能 i (i = 0～3) を更新
- 31.5.3 ポート単位のメモリ割り当て機能を更新
- 31.5.3.2 縮小メモリ設定 1（推奨設定）と 31.5.3.3 縮小メモリ設定 2（推奨設定）を更新

32. イーサネットエージェント：
- 32.3.2.4 EATDQAC : TX ディスクリプタキューアービトレーションコンフィグレーションレジスタを修正
- 32.3.2.9 EATDQMLMq : 送信ディスクリプタキュー q 最大レベル監視レジスタを修正
- 32.3.4.2 EACC : CBS コンフィグレーションレジスタを修正
- 32.3.4.5 EACOEM : CBS Oper 許可監視レジスタを修正
- 32.3.4.6 EACOIVMq : CBS Oper インクリメント値監視レジスタ q を修正
- 32.3.4.7 EACOULMq : CBS Oper 上限監視レジスタ q を修正
- 32.3.5.3 EATASENCi : TAS エントリ番号コンフィグレーションレジスタ i を修正
- 32.3.5.4 EATASCTENC : TAS カットスルーエントリ数コンフィグレーションレジスタを修正
- 32.3.5.5 EATASENMi : TAS エントリ番号監視レジスタ i を修正
- 32.3.7.1.1 EAEIS0 : エラー割り込みステータスレジスタ 0 を修正
- 32.3.7.1.4 EAEIS1 : エラー割り込みステータスレジスタ 1 を修正
- 32.3.7.1.7 EAEIS2 : エラー割り込みステータスレジスタ 2 を修正
- 図 32.9 CBS q 設定フローを修正
- 図 32.10 CBS q 禁止フローを修正
- 表 32.5 ディスクリプタ格納の ETHA/GWCA レジスタの対応を修正
- 32.5.1.3 フレームサイズチェックを修正
- 32.5.1.5 CBS（クレジットベースのシェーパー）[802.1Qav]を修正
- 32.5.1.5.1 CBS 設定を修正
- 32.5.1.6 TAS（時間認識シェーパー）[802.1Qbv]を修正
- 図 32.19 スケジュールが未来に開始される場合の TAS の動作を修正
- 図 32.20 スケジュールが過去に開始された場合の TAS の動作を修正
- 図 32.22 スケジュールが過去に再構成された場合の TAS の動作を修正
- 図 32.25 gPTP オフセット補正時の TAS 復帰を修正
- 32.5.1.7.2 プリエンプションを修正

33. イーサネット MAC：
- 33.4.1.7 MTPFC2 : 送信 PAUSE または PFC フレームコンフィグレーションレジスタ 2 を修正
- 表 33.6 受信エラー一覧を修正
- 33.4.3.2 MEIE : エラー割り込み許可レジスタを修正
- 33.4.3.3 MEID : エラー割り込み禁止レジスタを修正
- 図 33.6 初期化フローを修正
- 図 33.18 PFC のフレームフォーマットを修正
- 33.6.2.2.1 PFC フレームの送信を修正
- 33.6.2.2.2 PFC フレームの受信を修正
- 図 33.22 PAUSE フレームの受信を修正
- 33.6.3.1 タイムスタンプキャプチャを修正
- 図 33.26 PTP メッセージフィルタの設定例を修正

34. イーサネット CPU エージェント：
- ビットシンボルの添え字を修正

Revision 1.10 — 2025 年 6 月 3 日

35. イーサネット汎用 PTP タイマ：
- 35.3.2.2 PTPTMDC : タイマ禁止コンフィグレーションレジスタを修正
- 35.6.3.6 POTPERnU : 周期設定レジスタ nU (n = 0～3) を修正

44. オクタシリアルペリフェラルインタフェース：
- 表 44.8 エラーの一覧 (n = 0, 1) を更新
- 44.5.8 SiP 製品のブロック保護を追加

49. パルス密度変調インタフェース：
- 表 49.2 PDM I/O 端子 (n = 0～2) を更新
- 表 49.20 PDM-IF の割り込み一覧を更新

51. セキュリティ機能：
- 図 51.14 測定レポートの形式と場所を更新

52. Renesas セキュア IP：
- 表 52.1 セキュリティエンジンの仕様を更新

53. 16 ビット A/D コンバータ：
- 53.11.20 サンプリング誤差とサンプリング時間の見積もりを更新
- 53.11.22 他のモジュールとの同時動作における注意事項を更新

54. 12 ビット D/A コンバータ：
- ベースアドレスを更新
- 54.1 概要を更新

61. 内部電圧レギュレータ：
- 61.2.2 外部 VDD モードを更新

62. 電気的特性：
- 62 電気的特性を更新
- 62.1 絶対最大定格を更新
- 62.2.5 動作電流とスタンバイ電流を更新
- 62.3.10 SPI タイミングを更新
- 62.3.11 OSPI タイミングを更新
- 62.6 ADC 特性を更新
- 62.11 外部 VDD タイミング特性を追加

付録：
- 付録 2.の図 A2.3 HLQFP 176 ピンを更新
- 付録 5 の表 A5.1 モジュール名とペリフェラル変数の対応関係を更新

Revision 1.20 — 2025 年 8 月 27 日

製品間の仕様の違い：
- 表 1.1 チップバージョンによる仕様の違いを更新

1. 概要：
- 表 1.8 通信インタフェースを更新
- 表 1.15 端子機能を更新
- 表 1.16 標準製品の端子一覧を更新
- 表 1.17 SiP 製品の端子一覧を更新

2. CPU：
- 表 2.26 DBGREG レジスタを更新

9. クロック発生回路：
- 9.2.25 SOSTDCR : サブクロック発振停止検出コントロールレジスタを更新
- 9.9.3 サブクロック発振停止検出と検出後の動作を更新

11. 低消費電力モード：
- 11.7 電圧スケーリング制御を更新

Revision 1.20 — 2025 年 8 月 27 日

14. 割り込みコントローラユニット：
- 14.2.12 IRQCRi : IRQ コントロールレジスタ (i = 0～31) のオフセットアドレスを修正
- 14.2.13 NMISR : ノンマスカブル割り込みステータスレジスタを更新
- 14.2.14 NMIER : ノンマスカブル割り込みイネーブルレジスタを更新
- 14.2.15 NMICLR : ノンマスカブル割り込みステータスクリアレジスタを更新
- 14.2.16 NMICR : NMI 端子割り込みコントロールレジスタを更新
- 14.2.17 IELSRn : 割り込みコントローラユニットイベントリンク設定レジスタ n (n = 0～95) を更新
- 14.2.18 DELSRm : DMAC イベントリンク設定レジスタ m (m = 0～7) を更新
- 14.2.19 WUPEN0 : ウェイクアップ割り込みイネーブルレジスタ 0 を更新
- 14.2.20 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1 を更新
- 14.2.21 DSLPWUPIRQENj : ディープスリープウェイクアップ IRQ 許可レジスタ (j = 0～2) を更新
- 表 14.5 イベントリストを更新

15. バス：
- 表 15.3 各スレーブに割り当てられたアドレスを更新

19. イベントリンクコントローラ：
- 表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応を更新

20. I/O ポート：
- 表 20.8 入出力端子機能のレジスタ設定 (PORT1) を更新
- 表 20.11 入出力端子機能のレジスタ設定 (PORT4) を更新
- 表 20.14 入出力端子機能のレジスタ設定 (PORT7) を更新
- 表 20.15 入出力端子機能のレジスタ設定 (PORT8) を更新

22. 汎用 PWM タイマ：
- 表 22.2 GPT の機能一覧を更新
- 表 22.71 割り込み要因を更新
- 22.5 A/D 変換開始要求を更新
- 図 22.151 A/D 変換開始要求タイミング動作例を更新
- 22.6.1 ELC へのイベント信号出力を更新
- 図 22.172 A/D 変換開始要求イベント間隔の例を更新

29. レイヤ 3 イーサネットスイッチモジュール：
- 29.2.2.1 TPEMIMC0 : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 0 を削除
- 表 29.13 割り込みとイベント出力を更新

32. イーサネットエージェント：
- 32.3.5.3 EATASENCi : TAS エントリ数コンフィグレーションレジスタ i (i = 0～7) を更新
- 32.3.5.5 EATASENMi : TAS エントリ数監視レジスタ i (i = 0～7) を更新

33. イーサネット MAC：
- 図 33.6 初期化フローを更新

35. イーサネット汎用 PTP タイマ：
- 図 35.1 GPTP のブロック図を更新
- 35.6.3.4 POTSTRnM : パルス出力開始時間設定レジスタ nM (n = 0～3) のオフセットアドレスを修正
- 35.6.3.5 POTSTRnL : パルス出力開始時間設定レジスタ nL (n = 0～3) のオフセットアドレスを修正
- 35.6.3.6 POTPERnU : 周期設定レジスタ nU (n = 0～3) のオフセットアドレスを修正
- 35.6.3.7 POTPERnM : 周期設定レジスタ nM (n = 0～3) のオフセットアドレスを修正
- 35.6.3.8 POTPERnL : 周期設定レジスタ nL (n = 0～3) のオフセットアドレスを修正
- 35.6.3.9 POTPWRn : パルス幅設定レジスタ n (n = 0～3) のオフセットアドレスを修正
- 35.6.3.10 POTPERnU : 時間キャプチャレジスタ nU (n = 0～3) のオフセットアドレスを修正
- 35.6.3.11 POTCPRnM : 時間キャプチャレジスタ nM (n = 0～3) のオフセットアドレスを修正
- 35.6.3.12 POTCPRnL : 時間キャプチャレジスタ nL (n = 0～3) のオフセットアドレスを修正

37. USB 2.0 ハイスピードモジュール：
- 37.2.34 PIPECFG : パイプコンフィグレーションレジスタを更新
- 37.2.38 PIPEnCTR : パイプ n コントロールレジスタ (n = 1～9) のオフセットアドレスを修正

40. I3C バスインタフェース：
- 40.2.64 SDATBASn : スレーブデバイスアドレステーブル基本レジスタ n (n = 0～2) のオフセットアドレスを修正

41. CAN フレキシブルデータレート：
- CANFDn_NS のベースアドレスを修正

59. MRAM：
- 図 59.5 周波数増加の手順を更新

Revision 1.20 — 2025 年 8 月 27 日

62. 電気的特性：
- 表 62.16 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック ON（DCDC モード）における電流を更新
- 表 62.18 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（DCDC モード）における電流を更新
- 表 62.19 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（外部 VDD モード）における電流を更新
- 表 62.20 High-speed モード、最大データ処理（MVE 動作）、CPU0 有効、CPU1 ディープスリープ、周辺クロック OFF（DCDC モード）における電流を更新
- 表 62.21 High-speed モード、最大データ処理（MVE 動作）、CPU0 有効、CPU1 ディープスリープ、周辺クロック OFF（外部 VDD モード）における電流を更新
- 表 62.22 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック OFF（DCDC モード）における電流を更新
- 表 62.23 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック OFF（外部 VDD モード）における電流を更新
- 表 62.24 High-speed モード、CPU スリープモード（DCDC モード）における電流を更新
- 表 62.26 High-speed モード、CPU0 スリープ、CPU1 ディープスリープ（DCDC モード）における電流を更新
- 表 62.28 High-speed モード、CPU0 ディープスリープ、CPU1 スリープ（DCDC モード）における電流を更新
- 表 62.30 High-speed モード、CPU ディープスリープモード（DCDC モード）における電流を更新

Revision 1.30 — 2026 年 3 月 6 日

1. 概要：
- 図 1.2 型名の読み方を更新
- 表 1.13 製品一覧を更新
- 表 1.14 機能の比較を更新
- 表 1.15 端子機能を更新
- 図 1.5 169 ピン BGA のピン配置を追加
- 図 1.6 303 ピン BGA のピン配置を更新
- 表 1.16 標準製品の端子一覧を更新
- 表 1.17 SiP 製品の端子一覧を更新

2. CPU：
- 表 2.11 OCD モード時のリセットと割り込み発生の制御を更新
- 2.17.3.5 TCMCRx : TCM コントロールレジスタ (x = C または S) を更新

5. アドレス空間：
- 図 5.2 標準製品用 1 MB MRAM 製品を更新
- 5.3 周辺 I/O レジスタのアドレス空間を追加

6. リセット：
- 表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタを更新

7. オプション設定メモリ：
- 7.1 概要を更新
- 表 7.2 FSBLCLK 設定とシステムクロック周波数の関係を更新
- 7.2.18 HOEMRTRKn : OEM_ROOT_PKn のハッシュ (n = 0〜3) を更新
- 7.2.20 ARCLS : アンチロールバックカウンタロック設定を更新
- 7.2.21 ARCCS : 非セキュアアプリケーション用アンチロールバックカウンタコンフィグレーション設定レジスタを更新
- 7.2.22 ARC_SECn : セキュアアプリケーション用アンチロールバックカウンタレジスタ n (n = 0〜1) を更新
- 7.2.23 ARC_NSECn : 非セキュアアプリケーション用アンチロールバックカウンタレジスタ n (n = 0〜7) を更新
- 7.2.24 ARC_OEMBLn : OEMBL 用アンチロールバックカウンタ (n = 0, 1) を更新
- 7.2.25 GPOTPn : 汎用 OTP (n = 0〜23) を更新

9. クロック発生回路：
- 9.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタを更新
- 9.2.25 SOSTDCR : サブクロック発振停止検出コントロールレジスタを更新
- 9.2.66 USBCKSELR : USB クロック選択レジスタを追加
- 9.9.3 サブクロック発振停止検出と検出後の動作を更新
- 図 9.11 サブクロック発振停止検出からの復帰フローを更新
- 表 9.7 システムクロック初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）を更新
- 図 9.14 システムクロック初期設定の追加フロー（モジュールストップビットはすべて初期値である想定で、システムクロックソースとして PLL を使用する場合）を更新
- 表 9.8 使用中のシステムクロック周波数を高速化する際の設定手順例を更新
- 図 9.15 システムクロック設定の追加フロー（システムクロックソースおよび CPUCLK0 として PLL を使用し周波数を高速化する場合）を更新
- 表 9.9 使用中のシステムクロック周波数を低速化する際の設定手順例を更新
- 図 9.16 システムクロック設定の追加フロー（システムクロックソースおよび CPUCLK0 として PLL を使用し周波数を低速化する場合）を更新

Revision 1.30 — 2026 年 3 月 6 日

10. クロック周波数精度測定回路：
- 図 10.1 CAC のブロック図を更新

11. 低消費電力モード：
- 表 11.2 プロセッサ低消費電力モードの動作状態を更新
- 表 11.3 各低消費電力モードの動作状態を更新
- 図 11.1 低消費電力モード遷移を更新
- 表 11.8 WFI 命令実行後にモードに影響するビットの設定を更新
- 11.6.2.2 ソフトウェアスタンバイモードの解除を更新
- 11.6.3.2 ディープソフトウェアスタンバイモードの解除を更新
- 11.8.11 WFE 命令または Sleep-on-exit 機能の注意事項を追加

13. レジスタライトプロテクション：
- 表 13.1 PRCR ビットと保護されるレジスタの用途の対応関係を更新

14. 割り込みコントローラユニット：
- 図 14.2 ICU レジスタのアドレスマップを更新
- 表 14.5 イベントリストを更新

15. バス：
- 図 15.1 システムバスの接続を更新
- 表 15.3 各スレーブに割り当てられたアドレスを更新
- 15.3.1 BUSSARA : バスセキュリティ属性レジスタ A を更新

17. DMA コントローラ：
- 表 17.1 DMAC の仕様を更新
- 17.2 レジスタの説明を更新

18. データトランスファコントローラ：
- 表 18.1 DTC の仕様を更新
- 18.2 レジスタの説明を更新

19. イベントリンクコントローラ：
- 表 19.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応を更新

20. I/O ポート：
- 表 20.1 I/O ポートの仕様を更新
- 20.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1 を更新
- 表 20.7 BGA169 パッケージにおける予約端子の処理を追加
- 表 20.8 入出力端子機能のレジスタ設定 (PORT0) を更新
- 表 20.9 入出力端子機能のレジスタ設定 (PORT1) を更新
- 表 20.10 入出力端子機能のレジスタ設定 (PORT2) を更新
- 表 20.11 入出力端子機能のレジスタ設定 (PORT3) を更新
- 表 20.12 入出力端子機能のレジスタ設定 (PORT4) を更新
- 表 20.13 入出力端子機能のレジスタ設定 (PORT5) を更新
- 表 20.14 入出力端子機能のレジスタ設定 (PORT6) を更新
- 表 20.15 入出力端子機能のレジスタ設定 (PORT7) を更新
- 表 20.16 入出力端子機能のレジスタ設定 (PORT8) を更新
- 表 20.17 入出力端子機能のレジスタ設定 (PORT9) を更新
- 表 20.18 入出力端子機能のレジスタ設定 (PORTA) を更新
- 表 20.19 入出力端子機能のレジスタ設定 (PORTB) を更新
- 表 20.20 入出力端子機能のレジスタ設定 (PORTC) を更新
- 表 20.21 入出力端子機能のレジスタ設定 (PORTD) を更新

24. 低消費電力非同期汎用タイマ：
- 表 24.1 AGT の仕様を更新

25. 超低消費電力タイマ：
- 表 25.1 ULPT の仕様を更新

27. ウォッチドッグタイマ：
- 図 27.1 WDT のブロック図を更新
- 27.2.3 WDTSR : WDT ステータスレジスタを更新

28. 独立ウォッチドッグタイマ：
- 表 28.1 IWDT の仕様を更新
- 図 28.1 IWDT のブロック図を更新
- 28.2.3 IWDTSR : IWDT ステータスレジスタを更新
- 図 28.3 レジスタスタートモードでの動作例を更新
- 28.3.3 リフレッシュ動作を更新
- 28.5.2 ディープソフトウェアスタンバイモード 1 から復帰後のカウンタ値の読み出しに関する制限を追加

Revision 1.30 — 2026 年 3 月 6 日

29. レイヤ 3 イーサネットスイッチモジュール：
- 29.2.2.1 TPEMIMC1 : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 1 を更新
- 29.2.2.2 TPEMIMC2 : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 2 を更新
- 29.2.2.3 TPEMIMC3 : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 3 を更新
- 29.2.2.4 TPEMIMC4 : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 4 を更新
- 29.2.2.5 TPEMIMC6t : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 6t (t = 0～1) を更新
- 29.2.2.6 TPEMIMC7t : エラーおよびモニタ割り込みマッピングコンフィグレーションレジスタ 7t (t = 0～63) を更新
- 29.4.2 注意事項を更新

30. イーサネットメッセージ転送エンジン：
- 30.3.1.6.30 FWVLANTEC : VLAN テーブルエントリコンフィグレーションレジスタを更新

35. イーサネット汎用 PTP タイマ：
- 35.3.2.3 PTPTIVCt : タイマ t インクリメント値コンフィグレーションレジスタ (t = 0, 1) を更新

37. USB 2.0 ハイスピードモジュール：
- 37.2.32 DCPCTR : DCP コントロールレジスタを更新
- 37.2.51 DPUSR2R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタを更新

38. シリアルコミュニケーションインタフェース：
- 38.2.2 RDR/RDR_BY : 受信データレジスタを更新
- 38.2.3 TDR/TDRLL/TDRLH : 送信データレジスタを更新

40. I3C バスインタフェース：
- 40.2.1 PRTS : プロトコル選択レジスタを更新
- 図 40.140 I2C 初期化フローチャート例（シングルバッファ転送）を更新
- 図 40.141 I3C マスタモードとスレーブモードの初期化フローチャートの例を更新
- 40.7.4 PRTS.PRTMD ビットの書き換えに関する注意事項を追加

41. CAN フレキシブルデータレート：
- 41.2.43 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタを更新

44. オクタシリアルペリフェラルインタフェース：
- 44.2.1.4 CMCFG0CSn : OSPI コマンドマップコンフィグレーションレジスタ 0 CSn (n = 0, 1) を更新
- 44.2.1.7 LIOCFGCSn : OSPI リンク入出力コンフィグレーションレジスタ CSn (n = 0, 1) を更新
- 44.2.2.22 RACTL : OSPI レジスタアクセスコントロールレジスタを追加
- 44.2.2.23 MER : OSPI マップ終了置換レジスタを追加
- 44.4 SiP 製品の構成を更新
- 図 44.32 MCU と SiP フラッシュメモリの間の接続を更新
- 表 44.11 各バスマスタに対するデータ書き込みの可否を更新
- 44.5.9 SiP 製品用の OTP 領域に関する制限事項を追加

45. オンザフライ復号：
- 45.3.1 CONVAREAST : DOTF 変換領域開始アドレスレジスタを更新
- 45.3.2 CONVAREAD : DOTF 変換領域終了アドレスレジスタを更新

46. 拡張シリアルサウンドインタフェース：
- 46.2.1 SSICR : コントロールレジスタを更新

48. 巡回冗長検査：
- 48.3.2 CRC スヌープ機能を更新

49. パルス密度変調インタフェース：
- 表 49.1 PDM-IF の仕様を更新
- 49.2.17 PDSRCHn : ステータスレジスタチャネル n (n = 0～2) を更新
- 表 49.5 保証されるクロック周波数とクロックモードを更新
- 49.3.1.1 出力サンプリング周波数を追加
- 表 49.7 Sinc フィルタ出力のクリッピングを更新

54. 12 ビット D/A コンバータ：
- 表 54.4 D/A 変換とアナログ出力制御を更新
- 54.4.1 DA0 イベントリンクの動作設定手順を更新
- 54.4.2 DA1 イベントリンクの動作設定手順を更新

58. SRAM：
- 58.2.7 SRAMCRn : ECC RAM 用 SRAM コントロールレジスタ n (n = 0～3) を更新
- 58.3.7 ウェイトステートを更新

Revision 1.30 — 2026 年 3 月 6 日

59. MRAM：
- 表 59.1 MRAM の仕様を更新
- 59.5.2 MRCFREQ : コード MRAM 周波数通知レジスタを更新
- 59.5.3 MREFREQ : エクストラ MRAM 周波数通知レジスタを更新
- 59.5.6 MRCRAES : コード MRAM 読み出しアクセスエラーステータスレジスタを更新
- 59.5.9 MRERAEINT : エクストラ MRAM 読み出しアクセスエラー割り込み許可レジスタを更新
- 59.5.10 MRERAES : エクストラ MRAM 読み出しアクセスエラーステータスレジスタを更新
- 図 59.9 エクストラ MRAM プログラムモードでのコマンド使用概要を更新
- 表 59.16 コンフィグレーション設定コマンドが使用するアドレスを更新
- 59.7.4.9 カウンタインクリメントコマンドを更新
- 表 59.36 エラープロテクション種別を更新
- 59.13.2 パラレルアクセス可能性を更新

62. 電気的特性：
- 表 62.2 推奨動作条件を更新
- 表 62.34 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効（DCDC モードおよび外部 VDD モード）を更新
- 表 62.42 パワーオン時の VCC_USB 立ち上がり勾配の特性を追加
- 表 62.43 パワーオン時の VCC_USBHS および AVCC_USBHS 立ち上がり勾配の特性を追加
- 表 62.44 熱抵抗を更新
- 表 62.45 各ユニットの消費電力（DCDC モード）を更新
- 表 62.46 各ユニットの消費電力（外部 VDD モード）を更新
- 表 62.49 サブクロック発振器以外のクロックタイミングを更新
- 表 62.51 リセットタイミングを更新
- 表 62.52 低消費電力モードからの復帰タイミングを更新
- 表 62.63 SPI タイミングを更新
- 表 62.64 OSPI タイミングを更新
- 図 62.85 DDR 送受信タイミング（4S-4D-4D、8D-8D-8D）を更新
- 表 62.78 PDG タイミングを更新
- 表 62.107 TSN 特性を更新
- 表 62.109 サブクロック発振器停止検出回路の特性を更新
- 図 62.137 サブクロック発振停止検出器起動時間を追加
- 表 62.110 パワーオンリセット回路と電圧検出回路の特性を更新
- 図 62.139 パワーオンリセットタイミングを更新
- 図 62.140 電圧検出回路タイミング (Vdet0) を更新
- 図 62.141 電圧検出回路タイミング (Vdetn) (n = 1, 2, 4, 5) を更新
- 62.15 MRAM 特性を更新
- 表 62.116 コード MRAM 特性を更新
- 62.15.2 オプション設定メモリ（コンフィグレーション領域）特性を更新
- 表 62.120 MACI コマンド特性を更新

付録：
- 付録 1 各プロセスモードのポート状態を更新
- 図 A2.3 BGA 303 ピンを追加
- 表 A3.2 アクセスサイクルを更新

RA8M2 グループ ユーザーズマニュアル　ハードウェア編

発行年月日　Rev.1.30　Mar 6, 2026
　　Rev.1.20　Aug 27, 2025

発行　　ルネサスエレクトロニクス株式会社

32 ビット MCU
RA8M2 グループ

ルネサス エレクトロニクス株式会社

R01UH1066JJ0130