

Renesas RA2A1 グループ

ユーザーズマニュアル ハードウェア編

32-bit MCU

Renesas Advanced (RA) Family

Renesas RA2 Series

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の

商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1. このマニュアルについて

このマニュアルは主に、製品の概要、CPU、システム制御機能、周辺機能、電気的特性の仕様および使用上の注意事項で構成されています。このマニュアルはマイクロコントローラ（MCU）のスーパーセットの製品特性を記述します。お客様の製品によっていくつかの端子、レジスタまたは機能が存在しないものがある場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

このマニュアルは、本 MCU を使用したプログラミングアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路および MCU に関する基本的な知識が求められます。

3. 関連ドキュメント

弊社では、本 MCU 用に下記のドキュメントを提供しています。

ドキュメントの種類	内容
データシート	特長、概要およびMCUの電気的特性
ユーザーズマニュアル ハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などのMCU仕様
アプリケーションノート	テクニカルノート、ボードデザインのガイドラインおよびソフトウェア移行情報
テクニカルアップデート（TU）	制限や正誤表などの製品仕様に関する予備レポート

4. 数値の表記法

数値には、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
011b	2進数。たとえば、数値3を2進数で表記すると011bになります。
1Fh	16進数。たとえば、数値31を16進数で表記すると1Fhになります。場合によっては、C/C++フォーマットに基づいて、プレフィックス0xが付いた16進数が示されます。
1234	10進数。一般的に10進数には後付き記号を付けません。

5. シンボルの表記法

シンボルには、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
ICU.NMICR.NMIMD	機能モジュールのシンボル（ICU）、レジスタのシンボル（NMICR）、およびビットフィールドのシンボル（NMIMD）は、ピリオドで区切られます。
ICU.NMICR	機能モジュールのシンボル（ICU）とレジスタのシンボル（NMICR）は、ピリオドで区切られます。
NMICR.NMIMD	レジスタのシンボル（NMICR）とビットフィールドのシンボル（NMIMD）は、ピリオドで区切られます。
NFCLKSEL[1:0]	レジスタビット名において、角括弧内に記されたビット範囲は、その位置におけるフィールドのビット番号を示します。たとえば、NFCLKSEL[1:0]はNMI端子割り込みコントロールレジスタ(NMICR)の指定位置の2ビットフィールドを表します。

6. 単位記号

下記の単位記号は誤解を招くことがあります。これらの単位記号は、このマニュアル全体を通して下記の意味で用いられます。

例	内容
b	Bit
B	Byte この単位記号は、一般にMCUおよびアドレススペースのメモリ指定に使用されます。
k	$1000 = 10^3$ kは1024 (2^{10}) を表すのにも使用されますが、この単位記号はこのマニュアル全体を通して1000 (10^3) 表すために使用されます。
K	$1024 = 2^{10}$ この単位記号は、このマニュアル全体を通して1000 (10^3) ではなく1024 (2^{10}) を表すために使用されます。

7. 特殊用語

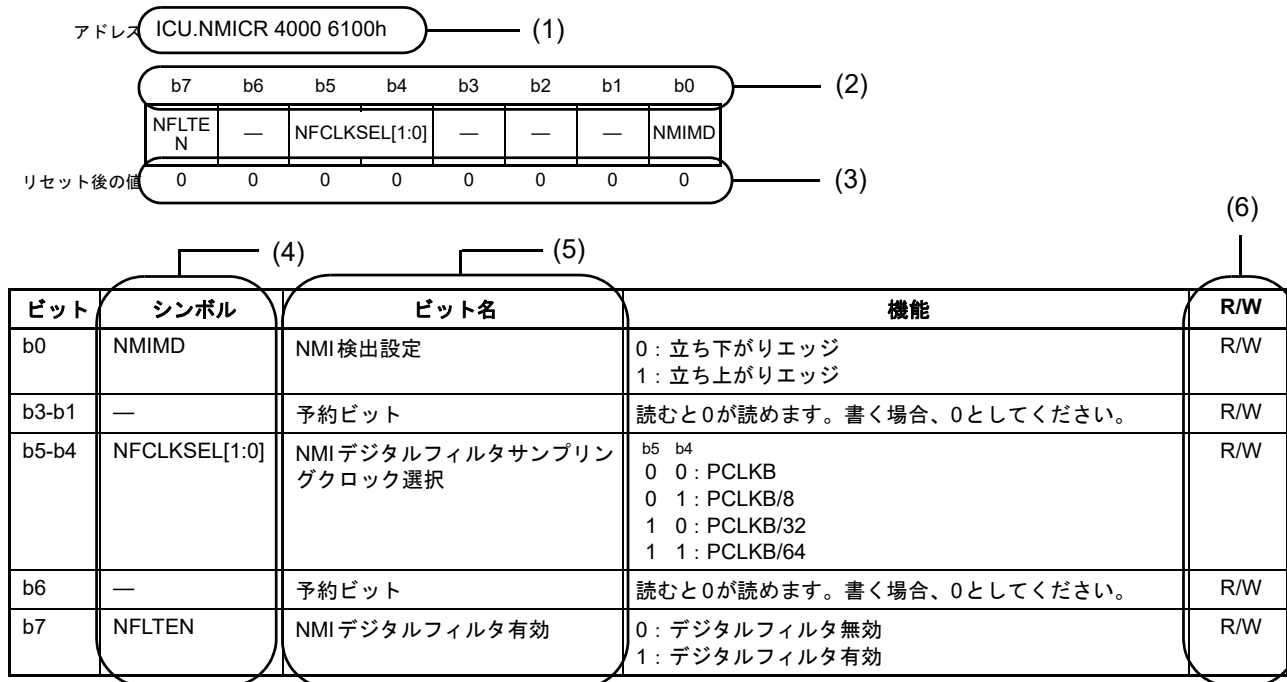
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。NCは、端子がMCUに接続されていないことを意味します。
Hi-Z	ハイインピーダンス

8. レジスタの説明

各章の「レジスタの説明」には、ビットの並びを示すレジスタ配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用されている記号例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールド定義の例です。

X.X.X NMI 端子割り込みコントロールレジスタ (NMICR)



(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス割り当て

この部分には、通常、機能モジュールのシンボル、レジスタのシンボル、およびこのレジスタのアドレス割り当てが記載されます。たとえば、ICU.NMICR 4000 6100h は、割り込みコントローラユニット (ICU) の NMI 端子割り込みコントロールレジスタ (NMICR) がアドレス 4000 6100h に割り当てられることを表します。

(2) ビット番号

この番号はビット番号を表します。32 ビットレジスタの場合は b31 ~ b0 の順に、16 ビットレジスタの場合は b15 ~ b0 の順に、8 ビットレジスタの場合は b7 ~ b0 の順に示されます。

(3) リセット後の値

これらのシンボルや数字は、ハードリセット後の各ビット値を示しています。特に記載のない限り、値は 2 進数で示されます。

- 0: ハードリセット後、値は 0
- 1: ハードリセット後、値は 1
- x: ハードリセット後、値は不定

(4) ビットシンボル

ビットシンボルは、ビットフィールドの略名です。予約ビットの場合は、— と表記されます。

(5) ビット名

ビット名は、ビットフィールドの正式名です。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であることを示します。

R/W: 読み出しも書き込みも可能

R(W): 読み出しも書き込みも可能。しかし、本ビットフィールドに書き込むにはいくつかの制限があります。制限の詳細については、それぞれのレジスタの説明または注釈を参照してください。

R: 読み出しのみ可能。書き込みは無効

W: 書き込みのみ可能。読み出し値は不定

9. 略称

このマニュアルで使用する略称が下表に示されています。

略称	内容
AES	Advanced Encryption Standard（高度暗号化標準）
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHBアクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
ARC	Alleged RC（Alleged RC暗号）
ATB	Advanced Trace Bus（アドバンストトレースバス）
BCD	Binary Coded Decimal（2進化10進数）
BSDL	Boundary Scan Description Language（バウンダリスキャン記述言語）
DES	Data Encryption Standard（データ暗号化標準）
DSA	Digital Signature Algorithm（デジタル署名アルゴリズム）
ECC	Error Correction Code（誤り訂正コード）
ETB	Embedded Trace Buffer（エンベデッドトレースバッファ）
ETM	Embedded Trace Macrocell（エンベデッドトレースマクロセル）
FLL	Frequency Locked Loop（周波数安定化ループ回路）
FPU	Floating Point Unit（浮動小数点ユニット）
GSM	Global System for Mobile communications（第2世代移動通信システム (2G) 規格）
HMI	Human Machine Interface（ヒューマンマシンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
NVIC	Nested Vector Interrupt Controller（ネスト型ベクタ割り込みコントローラ）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
PLL	Phase Locked Loop（位相同期回路）
POR	Power-on Reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
RSA	Rivest Shamir Adleman（Rivest/Shamir/Adlemanによる公開鍵暗号方式）
SHA	Secure Hash Algorithm（セキュアハッシュアルゴリズム）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
SWD	Serial Wire Debug（シリアルワイヤデバッグ）
SW-DP	Serial Wire-Debug Port（シリアルワイヤデバッグポート）
TRNG	True Random Number Generator（真性乱数発生器）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）

10. 所有権通知

このマニュアルに含まれるすべてのテキスト、画像、写真、商標、ロゴ、挿絵、コンピュータコード（総称して「コンテンツ」）は、ルネサスが所有、管理、またはライセンス保持するものであり、トレードドレス法、著作権法、特許法、商標法、その他の知的所有権法、不当競争法で保護されています。このマニュアルに明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、このマニュアルの一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

Arm® および Cortex® は、Arm Limited の登録商標です。CoreSight™ は Arm Limited の商標です。

CoreMark® は、Embedded Microprocessor Benchmark Consortium の登録商標です。

Magic Packet™ は、Advanced Micro Devices、Inc. の商標です。

SuperFlash® は、Silicon Storage Technology、Inc. の日本と米国を含むいくつかの国での登録商標です。

このマニュアルに記載されているその他のブランド名は、それぞれの所有者の商標または登録商標です。

目次

特長	46
1. 概要	47
1.1 機能の概要	47
1.2 ブロック図	53
1.3 型名	54
1.4 機能の比較	55
1.5 端子機能	56
1.6 ピン配置図	60
1.7 端子一覧	63
2. CPU	65
2.1 概要	65
2.1.1 CPU	65
2.1.2 デバッグ	65
2.1.3 動作周波数	66
2.2 MCU 実装オプション	67
2.3 トレースインタフェース	67
2.4 SWD インタフェース	67
2.5 デバッグモード	68
2.5.1 デバッグモード定義	68
2.5.2 デバッグモードの影響	68
2.5.2.1 低消費電力モード	68
2.5.2.2 リセット	69
2.6 プログラマモデル	70
2.6.1 アドレス空間	70
2.6.2 Cortex-M23 ペリフェラルアドレスマップ	70
2.6.3 外部デバッグアドレスマップ	71
2.6.4 CoreSight ROM テーブル	71
2.6.4.1 ROM エントリ	71
2.6.4.2 CoreSight コンポーネントレジスタ	72
2.6.5 DBGREG モジュール	73
2.6.5.1 デバッグステータスレジスタ (DBGSTR)	73
2.6.5.2 デバッグストップコントロールレジスタ (DBGSTOPCR)	74
2.6.5.3 DBGREG CoreSight コンポーネントレジスタ	75
2.6.6 OCDREG モジュール	76
2.6.6.1 ID 認証コードレジスタ (IAUTH0 ~ 3)	76
2.6.6.2 MCU ステータスレジスタ (MCUSTAT)	77
2.6.6.3 MCU コントロールレジスタ (MCUCTRL)	78
2.6.6.4 OCDREG CoreSight コンポーネントレジスタ	78
2.7 SysTick システムタイマ	79

2.8	OCD エミュレータ接続	79
2.8.1	アンロック ID コード	79
2.8.2	DBGEN	79
2.8.3	OCD エミュレータ接続における制限	80
2.8.3.1	低消費電力モード中の接続開始	80
2.8.3.2	OCD モードにおける低消費電力モードの切り替え	80
2.8.3.3	OSIS におけるアンロック ID コードの変更	80
2.8.3.4	接続順序と SWD 認証	81
2.9	参考資料	82
3.	動作モード	83
3.1	概要	83
3.2	動作モードの説明	83
3.2.1	シングルチップモード	83
3.2.2	SCI ブートモード	83
3.2.3	USB ブートモード	83
3.3	動作モード遷移	83
3.3.1	モード設定端子による動作モード遷移	83
4.	アドレス空間	85
4.1	概要	85
5.	メモリミラー機能 (MMF)	86
5.1	概要	86
5.2	レジスタの説明	87
5.2.1	MemMirror 特殊機能レジスタ (MMSFR)	87
5.2.2	MemMirror イネーブルレジスタ (MMEN)	88
5.3	動作説明	89
5.3.1	メモリミラー機能動作	89
5.3.2	設定例	93
6.	リセット	94
6.1	概要	94
6.2	レジスタの説明	99
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	99
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	101
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	103
6.3	動作説明	104
6.3.1	RES 端子リセット	104
6.3.2	パワーオンリセット	104
6.3.3	電圧監視リセット	106
6.3.4	独立ウォッチドッグタイマリセット	107
6.3.5	ウォッチドッグタイマリセット	108
6.3.6	ソフトウェアリセット	108
6.3.7	コールドスタート/ウォームスタート判定機能	108

6.3.8	リセット発生要因の判定	109
7.	オプション設定メモリ	110
7.1	概要	110
7.2	レジスタの説明	111
7.2.1	オプション機能選択レジスタ 0 (OFS0)	111
7.2.2	オプション機能選択レジスタ 1 (OFS1)	115
7.2.3	MPU レジスタ	116
7.2.4	アクセスウィンドウ設定コントロールレジスタ (AWSC)	117
7.2.5	アクセスウィンドウ設定レジスタ (AWS)	118
7.2.6	OCD / シリアルプログラマ ID 設定レジスタ (OSIS)	120
7.3	オプション設定メモリの設定方法	121
7.3.1	オプション設定メモリへのデータの配置方法	121
7.3.2	オプション設定メモリにプログラムするデータの設定方法	121
7.4	使用上の注意事項	121
7.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	121
8.	低電圧検出 (LVD)	122
8.1	概要	122
8.2	レジスタの説明	125
8.2.1	電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1)	125
8.2.2	電圧モニタ 1 回路ステータスレジスタ (LVD1SR)	126
8.2.3	電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)	127
8.2.4	電圧モニタ 2 回路ステータスレジスタ (LVD2SR)	128
8.2.5	電圧モニタ回路コントロールレジスタ (LVCMPCR)	129
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	130
8.2.7	電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)	131
8.2.8	電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)	132
8.3	VCC 入力電圧のモニタ	133
8.3.1	V_{det0} のモニタ	133
8.3.2	V_{det1} のモニタ	133
8.3.3	V_{det2} のモニタ	133
8.4	電圧監視 0 リセット	134
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	135
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	137
8.7	イベントリンク出力機能	139
8.7.1	割り込み処理とイベントリンクの関係	139
9.	クロック発生回路	140
9.1	概要	140
9.2	レジスタの説明	143
9.2.1	システムクロック分周コントロールレジスタ (SCKDIVCR)	143
9.2.2	システムクロックソースコントロールレジスタ (SCKSCR)	144
9.2.3	メモリウェイトサイクルコントロールレジスタ (MEMWAIT)	145

9.2.4	メインクロック発振器コントロールレジスタ (MOSCCR)	148
9.2.5	サブクロック発振器コントロールレジスタ (SOSCCR)	149
9.2.6	低速オンチップオシレータコントロールレジスタ (LOCOCR)	150
9.2.7	高速オンチップオシレータコントロールレジスタ (HOCOCR)	151
9.2.8	中速オンチップオシレータコントロールレジスタ (MOCOCR)	152
9.2.9	発振安定フラグレジスタ (OSCSF)	153
9.2.10	発振停止検出コントロールレジスタ (OSTDCR)	154
9.2.11	発振停止検出ステータスレジスタ (OSTDSR)	155
9.2.12	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	156
9.2.13	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)	157
9.2.14	メインクロック発振器モード発振コントロールレジスタ (MOMCR)	158
9.2.15	サブクロック発振器モードコントロールレジスタ (SOMCR)	158
9.2.16	クロックアウトコントロールレジスタ (CKOCR)	159
9.2.17	LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR)	160
9.2.18	MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR)	161
9.2.19	HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR)	162
9.2.20	24 ビットシグマデルタ A/D コンバータクロックコントロールレジスタ (SDADCCKCR)	162
9.3	メインクロック発振器	164
9.3.1	水晶振動子を接続する方法	164
9.3.2	外部クロックを入力する方法	164
9.3.3	外部クロック入力に関する注意事項	164
9.4	サブクロック発振器	165
9.4.1	32.768kHz 水晶振動子を接続する方法	165
9.5	発振停止検出機能	166
9.5.1	発振停止検出と検出後の動作	166
9.5.2	発振停止検出割り込み	168
9.6	内部クロック	169
9.6.1	システムクロック (ICLK)	169
9.6.2	周辺モジュールクロック (PCLKB, PCLKD)	171
9.6.3	フラッシュインタフェースクロック (FCLK)	171
9.6.4	USB クロック (UCLK)	171
9.6.5	CAN クロック (CANMCLK)	171
9.6.6	CAC クロック (CACCLK)	171
9.6.7	RTC 専用クロック (RTCSCLK, RTCLCLK)	172
9.6.8	IWDT 専用クロック (IWDTCLK)	172
9.6.9	AGT 専用クロック (AGTSCLK, AGTLCLK)	172
9.6.10	SysTick タイマ専用クロック (SYSTICCLK)	172
9.6.11	クロック／ブザー出力クロック (CLKOUT)	172
9.6.12	24 ビットシグマデルタ A/D コンバータクロック (SDADCCLK)	172
9.7	使用上の注意事項	173

9.7.1	クロック発生回路に関する注意事項	173
9.7.2	発振子に関する注意事項	173
9.7.3	ボード設計に関する注意事項	173
9.7.4	発振子接続端子に関する注意事項	173
10.	クロック周波数精度測定回路 (CAC)	174
10.1	概要	174
10.2	レジスタの説明	176
10.2.1	CAC コントロールレジスタ 0 (CACR0)	176
10.2.2	CAC コントロールレジスタ 1 (CACR1)	177
10.2.3	CAC コントロールレジスタ 2 (CACR2)	178
10.2.4	CAC 割り込みコントロールレジスタ (CAICR)	179
10.2.5	CAC ステータスレジスタ (CASTR)	180
10.2.6	CAC 上限値設定レジスタ (CAULVR)	181
10.2.7	CAC 下限値設定レジスタ (CALLVR)	181
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	181
10.3	動作説明	182
10.3.1	クロック周波数測定	182
10.3.2	CACREF 端子のデジタルフィルタ機能	183
10.4	割り込み要求	183
10.5	使用上の注意事項	183
10.5.1	モジュールストップ状態の設定	183
11.	低消費電力モード	184
11.1	概要	184
11.2	レジスタの説明	188
11.2.1	スタンバイコントロールレジスタ (SBYCR)	188
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	188
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	189
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	190
11.2.5	モジュールストップコントロールレジスタ D (MSTPCRD)	191
11.2.6	動作電力コントロールレジスタ (OPCCR)	192
11.2.7	サブ動作電力コントロールレジスタ (SOPCCR)	193
11.2.8	スヌーズコントロールレジスタ (SNZCR)	194
11.2.9	スヌーズ終了コントロールレジスタ (SNZEDCR)	195
11.2.10	スヌーズ要求コントロールレジスタ (SNZREQCR)	197
11.2.11	フラッシュ動作コントロールレジスタ (FLSTOP)	199
11.2.12	システムコントロール OCD コントロールレジスタ (SYOCDCR)	200
11.3	クロックの切り替えによる消費電力の低減	201
11.4	モジュールストップ機能	201
11.5	低消費電力機能	201
11.5.1	動作電力制御モードの設定方法	201
11.5.2	動作範囲	204

11.6	スリープモード	207
11.6.1	スリープモードへの遷移	207
11.6.2	スリープモードの解除	208
11.7	ソフトウェアスタンバイモード	209
11.7.1	ソフトウェアスタンバイモードへの遷移	209
11.7.2	ソフトウェアスタンバイモードの解除	210
11.7.3	ソフトウェアスタンバイモードの応用例	211
11.8	スヌーズモード	212
11.8.1	スヌーズモードへの遷移	212
11.8.2	スヌーズモードの解除	213
11.8.3	ソフトウェアスタンバイモードへの復帰	214
11.8.4	スヌーズモードの動作例	216
11.9	使用上の注意事項	219
11.9.1	レジスタアクセス	219
11.9.2	I/O ポートの状態	220
11.9.3	DTC のモジュールストップ状態	221
11.9.4	内部割り込み要因	221
11.9.5	低消費電力モードへの遷移	221
11.9.6	WFI 命令のタイミング	221
11.9.7	スリープモード／スヌーズモード時の DTC による WDT/IWDT レジスタの書き込みについて	221
11.9.8	スヌーズモードにおける発振器について	221
11.9.9	RXD0 の立ち下がりエッジによるスヌーズモードエントリ	221
11.9.10	スヌーズモードにおける SCI0 の使用	222
11.9.11	スヌーズモードにおける A/D 変換開始条件	222
11.9.12	スヌーズモードにおける CTSU の条件	222
11.9.13	スヌーズモードにおける ELC イベント	222
11.9.14	未使用回路に対するモジュールストップ機能	223
12.	レジスタライトプロテクション	224
12.1	概要	224
12.2	レジスタの説明	224
12.2.1	プロテクトレジスタ (PRCR)	224
13.	割り込みコントローラユニット (ICU)	225
13.1	概要	225
13.2	レジスタの説明	227
13.2.1	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	227
13.2.2	ノンマスクابل割り込みステータスレジスタ (NMISR)	228
13.2.3	ノンマスクابل割り込みイネーブルレジスタ (NMIER)	231
13.2.4	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	233
13.2.5	NMI 端子割り込みコントロールレジスタ (NMICR)	235
13.2.6	ICU イベントリンク設定レジスタ n (IELSRn) (n = 0 ~ 31)	236

13.2.7	SYS イベントリンク設定レジスタ (SELSR0)	237
13.2.8	ウェイクアップ割り込みイネーブルレジスタ (WUPEN)	238
13.3	ベクタテーブル	240
13.3.1	割り込みベクタテーブル	240
13.3.2	イベント番号	242
13.4	割り込み動作	246
13.4.1	割り込みの検出	246
13.4.2	割り込み要求先の選択	248
13.4.2.1	CPU 割り込み要求	248
13.4.2.2	DTC の起動	248
13.4.3	デジタルフィルタ	249
13.4.4	外部端子割り込み	250
13.5	ノンマスカブル割り込みの動作	250
13.6	低消費電力モードからの復帰	251
13.6.1	スリープモードからの復帰	251
13.6.2	ソフトウェアスタンバイモードからの復帰	251
13.6.3	スヌーズモードからの復帰	251
13.7	ノンマスカブル割り込みとともに WFI 命令を使用する場合	252
13.8	参考資料	252
14.	バス	253
14.1	概要	253
14.2	バスの説明	255
14.2.1	メインバス	255
14.2.2	スレーブインタフェース	255
14.2.3	並列動作	255
14.2.4	エンディアン形式に関する制約事項	255
14.3	レジスタの説明	256
14.3.1	マスタバスコントロールレジスタ (BUSMCNT<master>)	256
14.3.2	スレーブバスコントロールレジスタ (BUSSCNT<slave>)	257
14.3.3	バスエラーアドレスレジスタ (BUSnERRADD) (n = 3, 4)	258
14.3.4	バスエラーステータスレジスタ (BUSnERRSTAT) (n = 3, 4)	259
14.4	バスエラー監視部	260
14.4.1	バスに生じるエラーの種類	260
14.4.2	バスエラー発生時の動作	260
14.4.3	不正アドレスアクセスエラーを引き起こす条件	261
14.4.4	タイムアウト	261
14.5	フラッシュキャッシュ使用時の注意事項	261
14.6	参考資料	261
15.	メモリプロテクションユニット (MPU)	262
15.1	概要	262
15.2	CPU スタックポインタモニタ	263

15.2.1	レジスタの保護	265
15.2.2	オーバーフローエラーとアンダーフローエラー	265
15.2.3	レジスタの説明	266
15.2.3.1	メインスタックポインタ (MSP) モニタ開始アドレスレジスタ (MSPMPUSA)	266
15.2.3.2	メインスタックポインタ (MSP) モニタ終了アドレスレジスタ (MSPMPUEA)	266
15.2.3.3	プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ (PSPMPUSA)	267
15.2.3.4	プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ (PSPMPUEA)	267
15.2.3.5	スタックポインタモニタ検出後動作レジスタ (MSPMPUOAD, PSPMPUOAD)	268
15.2.3.6	スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL, PSPMPUCTL)	269
15.2.3.7	スタックポインタモニタ保護レジスタ (MSPMPUPT, PSPMPUPT)	270
15.3	Arm MPU	271
15.4	バスマスタ MPU	272
15.4.1	レジスタの説明	274
15.4.1.1	グループ A 領域 n 開始アドレスレジスタ (MMPUSAn) (n = 0 ~ 3)	274
15.4.1.2	グループ A 領域 n 終了アドレスレジスタ (MMPUEAn) (n = 0 ~ 3)	274
15.4.1.3	グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 3)	275
15.4.1.4	バスマスタ MPU コントロールレジスタ (MMPUCTLA)	277
15.4.1.5	グループ A レジスタ保護 (MMPUPTA)	278
15.4.2	動作説明	279
15.4.2.1	メモリプロテクション	279
15.4.2.2	レジスタの保護	281
15.4.2.3	メモリプロテクションエラー	281
15.5	バスマスタ MPU	282
15.5.1	レジスタの説明	283
15.5.1.1	メモリバス 1 アクセスコントロールレジスタ (SMPUMBIU)	283
15.5.1.2	内部周辺バス 9 アクセスコントロールレジスタ (SMPUFBIU)	284
15.5.1.3	メモリバス 4 アクセスコントロールレジスタ (SMPUSRAM0)	285
15.5.1.4	内部周辺バス 1 アクセスコントロールレジスタ (SMPUP0BIU)	286
15.5.1.5	内部周辺バス 3 アクセスコントロールレジスタ (SMPUP2BIU)	287
15.5.1.6	内部周辺バス 7 アクセスコントロールレジスタ (SMPUP6BIU)	288
15.5.1.7	スレーブ MPU コントロールレジスタ (SMPUCTL)	289
15.5.2	動作説明	290
15.5.2.1	メモリプロテクション	290
15.5.2.2	レジスタの保護	290
15.5.2.3	メモリプロテクションエラー	290
15.6	セキュリティ MPU	291

15.6.1	レジスタの説明（オプション設定メモリ）	292
15.6.1.1	セキュリティ MPU プログラムカウンタ開始アドレスレジスタ n (SECMUPPCSn) (n = 0, 1)	292
15.6.1.2	セキュリティ MPU プログラムカウンタ終了アドレスレジスタ n (SECMUPPCEn) (n = 0, 1)	293
15.6.1.3	セキュリティ MPU 領域 0 開始アドレスレジスタ (SECMUPUS0)	293
15.6.1.4	セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMUPUE0)	294
15.6.1.5	セキュリティ MPU 領域 1 開始アドレスレジスタ (SECMUPUS1)	294
15.6.1.6	セキュリティ MPU 領域 1 終了アドレスレジスタ (SECMUPUE1)	295
15.6.1.7	セキュリティ MPU 領域 2 開始アドレスレジスタ (SECMUPUS2)	295
15.6.1.8	セキュリティ MPU 領域 2 終了アドレスレジスタ (SECMUPUE2)	296
15.6.1.9	セキュリティ MPU 領域 3 開始アドレスレジスタ (SECMUPUS3)	296
15.6.1.10	セキュリティ MPU 領域 3 終了アドレスレジスタ (SECMUPUE3)	297
15.6.1.11	セキュリティ MPU アクセスコントロールレジスタ (SECMUPUAC)	298
15.6.2	メモリプロテクション	300
15.6.3	使用上の注意事項	301
15.7	参考資料	301
16.	データトランスファコントローラ (DTC)	302
16.1	概要	302
16.2	レジスタの説明	304
16.2.1	DTC モードレジスタ A (MRA)	304
16.2.2	DTC モードレジスタ B (MRB)	305
16.2.3	DTC 転送元レジスタ (SAR)	306
16.2.4	DTC 転送先レジスタ (DAR)	306
16.2.5	DTC 転送カウントレジスタ A (CRA)	307
16.2.6	DTC 転送カウントレジスタ B (CRB)	308
16.2.7	DTC コントロールレジスタ (DTCCR)	308
16.2.8	DTC ベクタベースレジスタ (DTCVBR)	309
16.2.9	DTC モジュール起動レジスタ (DTCST)	309
16.2.10	DTC ステータスレジスタ (DTCSTS)	310
16.3	起動要因	311
16.3.1	転送情報の配置と DTC ベクタテーブル	311
16.4	動作説明	313
16.4.1	転送情報のリードスキップ機能	315
16.4.2	転送情報のライトバックスキップ機能	316
16.4.3	ノーマル転送モード	317
16.4.4	リピート転送モード	318
16.4.5	ブロック転送モード	320
16.4.6	チェーン転送	321
16.4.7	動作タイミング	322
16.4.8	DTC の実行サイクル	324
16.4.9	DTC のバス権解放タイミング	324

16.5	DTC の設定手順	325
16.6	DTC の使用例	326
16.6.1	ノーマル転送	326
16.6.2	チェーン転送	327
16.6.3	カウンタ = 0 のときのチェーン転送	329
16.7	割り込み要因	331
16.8	イベントリンク	331
16.9	スヌーズ制御インタフェース	331
16.10	モジュールストップ機能	331
16.11	使用上の注意事項	332
16.11.1	転送情報の開始アドレス	332
17.	イベントリンクコントローラ (ELC)	333
17.1	概要	333
17.2	レジスタの説明	334
17.2.1	イベントリンクコントローラレジスタ (ELCR)	334
17.2.2	イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1)	335
17.2.3	イベントリンク設定レジスタ n (ELSRn) (n = 0 ~ 3, 8, 9, 12, 14, 15, 18 ~ 20, 22)	336
17.3	動作説明	340
17.3.1	割り込み処理とイベントリンクの関係	340
17.3.2	イベントのリンク	340
17.3.3	イベントリンクの動作設定手順例	340
17.4	使用上の注意事項	341
17.4.1	DTC 転送終了のイベントリンクを使用する場合	341
17.4.2	クロックの設定について	341
17.4.3	モジュールストップ機能の設定	341
17.4.4	ELC 遅延時間	341
18.	I/O ポート	342
18.1	概要	342
18.2	レジスタの説明	344
18.2.1	ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR)	344
18.2.2	ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR)	345
18.2.3	ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR)	346
18.2.4	ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR)	347
18.2.5	ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) (m = 0 ~ 5, 9; n = 00 ~ 15)	348
18.2.6	書き込みプロテクトレジスタ (PWPR)	350
18.3	動作説明	351
18.3.1	汎用入出力ポート	351
18.3.2	ポート機能選択	351
18.3.3	ELC のポートグループ機能	352
18.3.3.1	ELC から ELC_PORT1 または ELC_PORT2 が入力された場合の動作	352

18.3.3.2	イベントパルスが ELC に出力された場合の動作	353
18.4	未使用端子の処理	354
18.5	使用上の注意事項	355
18.5.1	端子機能の設定手順	355
18.5.2	ポートグループ入力の使用手順	355
18.5.3	ポート出力データレジスタ (PODR) の概要	355
18.5.4	アナログ機能使用時の注意事項	355
18.5.5	USB_DP 端子および USB_DM 端子の選択	356
18.6	製品ごとの周辺選択設定	357
19.	キー割り込み機能 (KINT)	364
19.1	概要	364
19.2	レジスタの説明	366
19.2.1	キーリターンコントロールレジスタ (KRCTL)	366
19.2.2	キーリターンフラグレジスタ (KRF)	366
19.2.3	キーリターンモードレジスタ (KRM)	367
19.3	動作説明	368
19.3.1	キー割り込みフラグを使用しない場合の動作 (KRMD = 0)	368
19.3.2	キー割り込みフラグを使用する場合 (KRMD = 1)	369
19.4	使用上の注意事項	370
20.	GPT 用ポートアウトプットイネーブル (POEG)	371
20.1	概要	371
20.2	レジスタの説明	373
20.2.1	POEG グループ n 設定レジスタ (POEGGn) (n = A, B)	373
20.3	出力禁止制御の動作	374
20.3.1	端子入力レベル検出時の動作	374
20.3.1.1	デジタルフィルタ	374
20.3.2	GPT からの出力禁止要求	375
20.3.3	コンパレータ割り込みの検出	375
20.3.4	発振停止検出による出力禁止制御	375
20.3.5	レジスタによる出力禁止制御	375
20.3.6	出力禁止状態の解除	375
20.4	割り込み要因	377
20.5	GPT に対する外部トリガ出力	378
20.6	使用上の注意事項	378
20.6.1	ソフトウェアスタンバイモードへの遷移	378
20.6.2	GPT 対応端子の指定	378
21.	汎用 PWM タイマ (GPT)	379
21.1	概要	379
21.2	レジスタの説明	383
21.2.1	汎用 PWM タイマ書き込み保護レジスタ (GTWP)	384
21.2.2	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)	385

21.2.3	汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)	385
21.2.4	汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)	386
21.2.5	汎用 PWM タイマスタート要因選択レジスタ (GTSSR)	387
21.2.6	汎用 PWM タイマストップ要因選択レジスタ (GTPSR)	390
21.2.7	汎用 PWM タイマクリア要因選択レジスタ (GTCSR)	393
21.2.8	汎用 PWM タイマアップカウンタ要因選択レジスタ (GTUPSR)	396
21.2.9	汎用 PWM タイマダウンカウンタ要因選択レジスタ (GTDNSR)	399
21.2.10	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR)	402
21.2.11	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR)	405
21.2.12	汎用 PWM タイマコントロールレジスタ (GTCR)	408
21.2.13	汎用 PWM タイマカウンタ方向、デューティ設定レジスタ (GTUDDTYC)	410
21.2.14	汎用 PWM タイマ I/O コントロールレジスタ (GTIOR)	413
21.2.15	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)	417
21.2.16	汎用 PWM タイマステータスレジスタ (GTST)	418
21.2.17	汎用 PWM タイマバッファファイナブルレジスタ (GTBER)	422
21.2.18	汎用 PWM タイマカウンタ (GTCNT)	423
21.2.19	汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)	424
21.2.20	汎用 PWM タイマ周期設定レジスタ (GTPR)	425
21.2.21	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)	425
21.2.22	汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCR)	426
21.2.23	汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)	427
21.2.24	出力相切り替えコントロールレジスタ (OPSCR)	428
21.3	動作説明	431
21.3.1	基本動作	431
21.3.1.1	カウンタ動作	431
21.3.1.2	コンペアマッチによる波形出力機能	437
21.3.1.3	インプットキャプチャ機能	441
21.3.2	バッファ動作	443
21.3.2.1	GTPR レジスタのバッファ動作	443
21.3.2.2	GTCCRA、GTCCRB レジスタのバッファ動作	446
21.3.3	PWM 出力動作モード	451
21.3.3.1	のこぎり波 PWM モード	451
21.3.3.2	のこぎり波ワンショットパルスモード	453
21.3.3.3	三角波 PWM モード 1 (谷 32 ビット転送)	456
21.3.3.4	三角波 PWM モード 2 (山／谷 32 ビット転送)	458
21.3.3.5	三角波 PWM モード 3 (谷 64 ビット転送)	460
21.3.4	デッドタイム自動設定機能	463
21.3.5	カウンタ方向切り替え機能	468
21.3.6	出力デューティ 0% および出力デューティ 100% 機能	469
21.3.7	ハードウェアカウンタスタート／カウンタストップ、カウンタクリア動作	471
21.3.7.1	ハードウェアスタート動作	471

21.3.7.2	ハードウェアストップ動作	473
21.3.7.3	ハードウェアクリア動作	477
21.3.8	同期動作	480
21.3.8.1	ソフトウェアによる同期動作	480
21.3.8.2	ハードウェアによる同期動作	482
21.3.9	PWM 出力動作例	484
21.3.10	位相計数機能	490
21.3.11	出力相切り替え (GPT_OPS)	500
21.3.11.1	外部入力信号の同期および入力選択	504
21.3.11.2	入力サンプリング	504
21.3.11.3	入力相デコード	505
21.3.11.4	出力選択制御	506
21.3.11.5	出力選択制御 (グループ出力禁止機能)	507
21.3.11.6	イベントリンクコントローラ (ELC) 出力	507
21.3.11.7	GPT_OPS スタート動作設定フロー	508
21.4	割り込み要因	509
21.4.1	DTC の起動	511
21.5	ELC によるリンク動作	512
21.5.1	ELC へのイベント信号出力	512
21.5.2	ELC からのイベント信号入力	512
21.6	ノイズフィルタ機能	513
21.7	保護機能	514
21.7.1	レジスタの書き込み保護	514
21.7.2	バッファ動作の禁止	514
21.7.3	GTIOC 端子出力のネゲート制御	515
21.8	出力端子の初期化方法	516
21.8.1	リセット後の端子設定	516
21.8.2	動作中の異常による端子の初期化	516
21.9	使用上の注意事項	517
21.9.1	モジュールストップ機能の設定	517
21.9.2	コンペアマッチ動作時の GTCCRN レジスタの設定 (n = A ~ F)	517
21.9.3	GTCNT カウンタの範囲設定	518
21.9.4	GTCNT カウンタのスタート/ストップ	518
21.9.5	イベントごとの優先順位	519
22.	低消費電力非同期汎用タイマ (AGT)	520
22.1	概要	520
22.2	レジスタの説明	522
22.2.1	AGT カウンタレジスタ (AGT)	522
22.2.2	AGT コンペアマッチ A レジスタ (AGTCMA)	522
22.2.3	AGT コンペアマッチ B レジスタ (AGTCMB)	523
22.2.4	AGT コントロールレジスタ (AGTCR)	523

22.2.5	AGT モードレジスタ 1 (AGTMR1)	525
22.2.6	AGT モードレジスタ 2 (AGTMR2)	526
22.2.7	AGT I/O コントロールレジスタ (AGTIOC)	527
22.2.8	AGT イベント端子選択レジスタ (AGTISR)	528
22.2.9	AGT コンペアマッチ機能選択レジスタ (AGTCMSR)	528
22.2.10	AGT 端子選択レジスタ (AGTIOSEL)	529
22.3	動作説明	530
22.3.1	リロードレジスタおよびカウンタの書き換え動作	530
22.3.2	リロードレジスタおよびコンペアレジスタ A/B の書き換え動作	532
22.3.3	タイマモード	533
22.3.4	パルス出力モード	534
22.3.5	イベントカウンタモード	535
22.3.6	パルス幅測定モード	537
22.3.7	パルス周期測定モード	538
22.3.8	コンペアマッチ機能	539
22.3.9	各モードの出力設定	541
22.3.10	スタンバイモード	542
22.3.11	割り込み要因	543
22.3.12	ELC へのイベント信号出力	543
22.4	使用上の注意事項	544
22.4.1	カウント動作のスタートおよびストップ制御	544
22.4.2	カウンタレジスタへのアクセス	544
22.4.3	モード変更時	545
22.4.4	デジタルフィルタ	545
22.4.5	イベント番号、パルス幅、およびパルス周期の計算方法	545
22.4.6	TSTOP ビットによってカウントを強制停止した場合	545
22.4.7	カウントソースに AGT0 アンダーフローを選択した場合	546
22.4.8	I/O レジスタのリセット	546
22.4.9	カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合	546
22.4.10	カウントソースに AGTLCLK または AGTSCLK を選択した場合	546
22.4.11	クロックソースを切り替える場合	546
23.	リアルタイムクロック (RTC)	547
23.1	概要	547
23.2	レジスタの説明	549
23.2.1	64Hz カウンタ (R64CNT)	549
23.2.2	秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0)	550
23.2.3	分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)	551
23.2.4	時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)	552
23.2.5	曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)	553
23.2.6	日カウンタ (RDAYCNT)	554
23.2.7	月カウンタ (RMONCNT)	554

23.2.8	年カウンタ (RYRCNT)	555
23.2.9	秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)	556
23.2.10	分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)	557
23.2.11	時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)	558
23.2.12	曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)	560
23.2.13	日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラームイネーブルレジスタ (BCNT0AER)	561
23.2.14	月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブルレジスタ (BCNT1AER)	562
23.2.15	年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブルレジスタ (BCNT2AER)	563
23.2.16	年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラームイネーブルレジスタ (BCNT3AER)	564
23.2.17	RTC コントロールレジスタ 1 (RCR1)	565
23.2.18	RTC コントロールレジスタ 2 (RCR2)	566
23.2.19	RTC コントロールレジスタ 4 (RCR4)	569
23.2.20	周波数レジスタ (RFRH/RFRL)	570
23.2.21	時計誤差補正レジスタ (RADJ)	571
23.3	動作説明	572
23.3.1	電源投入後のレジスタ初期設定の概要	572
23.3.2	クロックおよびカウントモードの設定手順	573
23.3.3	時刻の設定	574
23.3.4	30 秒調整手順	575
23.3.5	64Hz カウンタと時刻の読み出し	576
23.3.6	アラーム機能	577
23.3.7	アラーム割り込み禁止手順	578
23.3.8	時計誤差補正機能	579
23.3.8.1	自動補正機能	579
23.3.8.2	ソフトウェアによる補正	580
23.3.8.3	補正モードの変更手順	580
23.3.8.4	補正機能の停止手順	580
23.4	割り込み要因	581
23.5	イベントリンク出力	582
23.5.1	割り込み処理とイベントリンク機能	582
23.6	使用上の注意事項	583
23.6.1	カウント動作時のレジスタ書き込みについて	583
23.6.2	周期割り込みの使用について	583
23.6.3	RTCOUT (1Hz/64Hz) クロック出力について	584
23.6.4	レジスタ設定後の低消費電力モード遷移について	584

23.6.5	レジスタの書き込み／読み出し時の注意事項	584
23.6.6	カウントモードの変更について	584
23.6.7	リアルタイムクロックを使用しない場合の初期化手順	585
23.6.8	ソースクロック切り替え時	585
24.	ウォッチドッグタイマ (WDT)	586
24.1	概要	586
24.2	レジスタの説明	588
24.2.1	WDT リフレッシュレジスタ (WDTRR)	588
24.2.2	WDT コントロールレジスタ (WDTCR)	589
24.2.3	WDT ステータスレジスタ (WDTSR)	592
24.2.4	WDT リセットコントロールレジスタ (WDTRCR)	593
24.2.5	WDT カウント停止コントロールレジスタ (WDTCSNPR)	593
24.2.6	オプション機能選択レジスタ 0 (OFS0)	593
24.3	動作説明	594
24.3.1	スタートモード別のカウント動作	594
24.3.1.1	レジスタスタートモード	594
24.3.1.2	オートスタートモード	596
24.3.2	WDTCR、WDTRCR、および WDTCSNPR レジスタへの書き込み制御	598
24.3.3	リフレッシュ動作	599
24.3.4	リセット出力	600
24.3.5	割り込み要因	600
24.3.6	ダウンカウンタ値の読み出し	600
24.3.7	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係	601
24.4	ELC によるリンク動作	601
24.5	使用上の注意事項	601
24.5.1	ICU イベントリンク設定レジスタ n (IELSRn) の設定	601
25.	独立ウォッチドッグタイマ (IWDT)	602
25.1	概要	602
25.2	レジスタの説明	604
25.2.1	IWDT リフレッシュレジスタ (IWDTRR)	604
25.2.2	IWDT ステータスレジスタ (IWDTSR)	605
25.2.3	オプション機能選択レジスタ 0 (OFS0)	606
25.3	動作説明	609
25.3.1	オートスタートモード	609
25.3.2	リフレッシュ動作	611
25.3.3	ステータスフラグ	612
25.3.4	リセット出力	612
25.3.5	割り込み要因	613
25.3.6	ダウンカウンタ値の読み出し	613
25.4	ELC によるリンク動作	613
25.5	使用上の注意事項	614

25.5.1	リフレッシュ動作	614
25.5.2	クロック分周比の設定に関する制限	614
26.	USB2.0 フルスピードモジュール (USBFS)	615
26.1	概要	615
26.2	レジスタの説明	617
26.2.1	システムコンフィグレーションコントロールレジスタ (SYSCFG)	617
26.2.2	システムコンフィグレーションステータスレジスタ 0 (SYSSTS0)	618
26.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	619
26.2.4	CFIFO ポートレジスタ (CFIFO/CFIFOL)	620
26.2.5	CFIFO ポート選択レジスタ (CFIFOSEL)	622
26.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR)	624
26.2.7	割り込みイネーブルレジスタ 0 (INTENB0)	626
26.2.8	BRDY 割り込みイネーブルレジスタ (BRDYENB)	627
26.2.9	NRDY 割り込みイネーブルレジスタ (NRDYENB)	628
26.2.10	BEMP 割り込みイネーブルレジスタ (BEMPENB)	629
26.2.11	SOF 出力コンフィグレーションレジスタ (SOFCFG)	630
26.2.12	割り込みステータスレジスタ 0 (INTSTS0)	631
26.2.13	BRDY 割り込みステータスレジスタ (BRDYSTS)	633
26.2.14	NRDY 割り込みステータスレジスタ (NRDYSTS)	634
26.2.15	BEMP 割り込みステータスレジスタ (BEMPSTS)	634
26.2.16	フレームナンバレジスタ (FRMNUM)	635
26.2.17	USB リクエストタイプレジスタ (USBREQ)	635
26.2.18	USB リクエストバリュージレジスタ (USBVAL)	636
26.2.19	USB リクエストインデックスレジスタ (USBINDX)	636
26.2.20	USB リクエストレングスレジスタ (USBLENG)	637
26.2.21	DCP コンフィグレーションレジスタ (DCPCFG)	637
26.2.22	DCP マックスパケットサイズレジスタ (DCPMAXP)	638
26.2.23	DCP コントロールレジスタ (DCPCTR)	639
26.2.24	パイプウィンドウ選択レジスタ (PIPESEL)	641
26.2.25	パイプコンフィグレーションレジスタ (PIPECFG)	642
26.2.26	パイプマックスパケットサイズレジスタ (PIPEMAXP)	644
26.2.27	パイプ n コントロールレジスタ (PIPEnCTR) (n = 4 ~ 7)	645
26.2.28	パイプ n トランザクションカウンタイネーブルレジスタ (PIPEnTRE) (n = 4, 5)	651
26.2.29	パイプ n トランザクションカウンタレジスタ (PIPEnTRN) (n = 4, 5)	652
26.2.30	USB モジュールコントロールレジスタ (USBMC)	653
26.2.31	BC コントロールレジスタ 0 (USBBCCTRL0)	654
26.2.32	USB クロック選択レジスタ (UCKSEL)	655
26.3	動作説明	656
26.3.1	システム制御	656
26.3.1.1	USBFS 関連レジスタへのデータ設定	656

26.3.1.2	USBFS データバス抵抗制御	656
26.3.1.3	USBFS の電源接続例	657
26.3.1.4	USB 外部接続回路の例	660
26.3.2	割り込み要因	664
26.3.3	割り込みの説明	666
26.3.3.1	BRDY 割り込み	666
26.3.3.2	NRDY 割り込み	669
26.3.3.3	BEMP 割り込み	670
26.3.3.4	デバイスステート遷移割り込み	671
26.3.3.5	コントロール転送ステージ遷移割り込み	672
26.3.3.6	フレーム番号更新割り込み	673
26.3.3.7	VBUS 割り込み	673
26.3.3.8	レジューム割り込み	673
26.3.4	パイプコントロール	674
26.3.4.1	パイプコントロールレジスタの切り替え手順	675
26.3.4.2	転送タイプ	675
26.3.4.3	エンドポイント番号	675
26.3.4.4	最大パケットサイズ設定	675
26.3.4.5	トランザクションカウンタ（受信方向パイプ 4 および 5）	676
26.3.4.6	応答 PID	676
26.3.4.7	データ PID シーケンスビット	677
26.3.4.8	応答 PID = NAK 機能	677
26.3.4.9	自動応答モード	677
26.3.4.10	OUT-NAK モード	677
26.3.4.11	Null 自動応答モード	677
26.3.5	FIFO バッファメモリ	678
26.3.6	FIFO バッファクリア	679
26.3.7	FIFO ポートの機能	680
26.3.8	DCP を使用したコントロール転送	681
26.3.8.1	コントロール転送	681
26.3.9	バルク転送（パイプ 4 および 5）	682
26.3.10	インタラプト転送（パイプ 6 および 7）	682
26.3.11	パイプスケジュール	682
26.3.11.1	転送スケジュール	682
26.3.12	バッテリーチャージング検出処理	683
26.3.12.1	処理	683
26.4	使用上の注意事項	685
26.4.1	モジュールストップ状態の設定	685
26.4.2	ソフトウェアスタンバイモード後の割り込みステータスレジスタのクリア	685
26.4.3	ポート機能設定後の割り込みステータスレジスタのクリア	685
26.4.4	32 ピン製品の注意事項	685

27.	シリアルコミュニケーションインタフェース (SCI)	686
27.1	概要	686
27.2	レジスタの説明	690
27.2.1	受信シフトレジスタ (RSR)	690
27.2.2	受信データレジスタ (RDR)	690
27.2.3	受信 9 ビットデータレジスタ (RDRHL)	690
27.2.4	受信 FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL)	691
27.2.5	送信データレジスタ (TDR)	693
27.2.6	送信 9 ビットデータレジスタ (TDRHL)	693
27.2.7	送信 FIFO データレジスタ H, L, HL (FTDRH, FTDRL, FTDRHL)	694
27.2.8	送信シフトレジスタ (TSR)	694
27.2.9	非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0)	695
27.2.10	スマートカードインタフェースモード用シリアルモードレジスタ (SMR_SMCI) (SCMR.SMIF = 1)	697
27.2.11	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0)	699
27.2.12	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1)	701
27.2.13	非スマートカードインタフェースおよび非 FIFO モード用シリアルステータス レジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0)	703
27.2.14	非スマートカードインタフェースおよび FIFO モード用シリアルステータス レジスタ (SSR_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1)	706
27.2.15	スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1)	709
27.2.16	スマートカードモードレジスタ (SCMR)	712
27.2.17	ビットレートレジスタ (BRR)	714
27.2.18	モジュレーションデューティレジスタ (MDDR)	722
27.2.19	シリアル拡張モードレジスタ (SEMR)	725
27.2.20	ノイズフィルタ設定レジスタ (SNFR)	727
27.2.21	I ² C モードレジスタ 1 (SIMR1)	728
27.2.22	I ² C モードレジスタ 2 (SIMR2)	729
27.2.23	I ² C モードレジスタ 3 (SIMR3)	730
27.2.24	I ² C ステータスレジスタ (SISR)	732
27.2.25	SPI モードレジスタ (SPMR)	733
27.2.26	FIFO コントロールレジスタ (FCR)	735
27.2.27	FIFO データ数レジスタ (FDR)	737
27.2.28	ラインステータスレジスタ (LSR)	738
27.2.29	コンペアマッチデータレジスタ (CDR)	739
27.2.30	データコンペアマッチコントロールレジスタ (DCCR)	740
27.2.31	シリアルポートレジスタ (SPTR)	742
27.3	調歩同期式モードの動作	743
27.3.1	シリアル転送フォーマット	744

27.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	746
27.3.3	クロック	747
27.3.4	倍速動作とビットレートの 6 倍の周波数	747
27.3.5	CTS、RTS 機能	748
27.3.6	アドレス一致（受信データ一致）検出機能	749
27.3.7	SCI の初期化（調歩同期式モード）	752
27.3.8	シリアルデータの送信（調歩同期式モード）	754
27.3.9	シリアルデータの受信（調歩同期式モード）	760
27.4	マルチプロセッサ通信機能	767
27.4.1	マルチプロセッサシリアルデータ送信	769
27.4.2	マルチプロセッサシリアルデータ受信	772
27.5	クロック同期式モードの動作	777
27.5.1	クロック	777
27.5.2	CTS、RTS 機能	778
27.5.3	SCI の初期化（クロック同期式モード）	779
27.5.4	シリアルデータの送信（クロック同期式モード）	781
27.5.5	シリアルデータの受信（クロック同期式モード）	786
27.5.6	シリアルデータの同時送受信動作（クロック同期式モード）	791
27.6	スマートカードインタフェースモードの動作	795
27.6.1	接続例	795
27.6.2	データフォーマット（ブロック転送モード時を除く）	796
27.6.3	ブロック転送モード	797
27.6.4	受信データのサンプリングタイミングと受信マージン	798
27.6.5	SCI の初期化	799
27.6.6	シリアルデータの送信（ブロック転送モードを除く）	801
27.6.7	シリアルデータの受信（ブロック転送モードを除く）	804
27.6.8	クロック出力制御	806
27.7	簡易 IIC モードの動作	807
27.7.1	開始条件、再開条件、停止条件の生成	809
27.7.2	クロック同期化	810
27.7.3	SDAn 出力遅延	811
27.7.4	SCI の初期化（簡易 IIC モード）	812
27.7.5	マスタ送信動作（簡易 IIC モード）	813
27.7.6	マスタ受信動作（簡易 IIC モード）	815
27.8	簡易 SPI モードの動作	817
27.8.1	マスタモード、スレーブモードと各端子の状態	818
27.8.2	マスタモード時の SS 機能	818
27.8.3	スレーブモード時の SS 機能	818
27.8.4	クロックと送受信データの関係	819
27.8.5	SCI の初期化（簡易 SPI モード）	819
27.8.6	シリアルデータの送受信（簡易 SPI モード）	820

27.9	ビットレートモジュレーション機能	820
27.10	割り込み要因	821
27.10.1	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）	821
27.10.2	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）	821
27.10.3	調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける 割り込み	821
27.10.4	スマートカードインタフェースモードにおける割り込み	823
27.10.5	簡易 IIC モードにおける割り込み	824
27.11	イベントリンク機能	825
27.12	アドレス不一致イベント出力（SCI0_DCUF）	826
27.13	ノイズ除去機能	827
27.14	使用上の注意事項	828
27.14.1	モジュールストップ状態の設定	828
27.14.2	低消費電力状態での SCI の動作について	828
27.14.3	ブレークの検出と処理について	833
27.14.4	マーク状態とブレークの送付	833
27.14.5	受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード）	833
27.14.6	クロック同期送信に関する制約事項（クロック同期式モードおよび 簡易 SPI モード）	834
27.14.7	DTC 使用時の制約事項	836
27.14.8	通信の開始に関する注意事項	836
27.14.9	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	836
27.14.10	簡易 SPI モードに関する制約事項	837
27.14.11	送信許可ビット（SCR.TE）に関する注意事項	838
27.14.12	調歩同期式モードで RTS 機能を使用した時の受信の停止について	838
28.	I ² C バスインタフェース（IIC）	839
28.1	概要	839
28.2	レジスタの説明	842
28.2.1	I ² C バスコントロールレジスタ 1（ICCR1）	842
28.2.2	I ² C バスコントロールレジスタ 2（ICCR2）	844
28.2.3	I ² C バスモードレジスタ 1（ICMR1）	847
28.2.4	I ² C バスモードレジスタ 2（ICMR2）	848
28.2.5	I ² C バスモードレジスタ 3（ICMR3）	850
28.2.6	I ² C バスファンクションイネーブルレジスタ（ICFER）	852
28.2.7	I ² C バスステータスイネーブルレジスタ（ICSER）	854
28.2.8	I ² C バス割り込みイネーブルレジスタ（ICIER）	856
28.2.9	I ² C バスステータスレジスタ 1（ICSR1）	858
28.2.10	I ² C バスステータスレジスタ 2（ICSR2）	861
28.2.11	I ² C バスウェイクアップユニットレジスタ（ICWUR）	864
28.2.12	I ² C バスウェイクアップユニットレジスタ 2（ICWUR2）	865
28.2.13	スレーブアドレスレジスタ Ly（SARLy）（y = 0 ~ 2）	866
28.2.14	スレーブアドレスレジスタ Uy（SARUy）（y = 0 ~ 2）	867

28.2.15	I ² C バスビットレート Low レジスタ (ICBRL)	868
28.2.16	I ² C バスビットレート High レジスタ (ICBRH)	869
28.2.17	I ² C バス送信データレジスタ (ICDRT)	871
28.2.18	I ² C バス受信データレジスタ (ICDRR)	871
28.2.19	I ² C バスシフトレジスタ (ICDRS)	871
28.3	動作説明	872
28.3.1	通信データフォーマット	872
28.3.2	初期設定	873
28.3.3	マスタ送信動作	874
28.3.4	マスタ受信動作	878
28.3.5	スレーブ送信動作	882
28.3.6	スレーブ受信動作	885
28.4	SCL 同期回路	887
28.5	SDA 出力遅延機能	888
28.6	デジタルノイズフィルタ回路	889
28.7	アドレス一致検出機能	890
28.7.1	スレーブアドレス一致検出機能	890
28.7.2	ジェネラルコールアドレス検出機能	893
28.7.3	デバイス ID アドレス検出機能	893
28.7.4	ホストアドレス検出機能	895
28.8	ウェイクアップ機能	896
28.8.1	ノーマルウェイクアップモード 1	897
28.8.2	ノーマルウェイクアップモード 2	900
28.8.3	コマンドリカバリモードと EEP 応答モード (特殊ウェイクアップモード)	902
28.9	SCL の自動 Low ホールド機能	906
28.9.1	送信データ誤送信防止機能	906
28.9.2	NACK 受信転送中断機能	907
28.9.3	受信データ取りこぼし防止機能	907
28.10	アービトレーションロスト検出機能	909
28.10.1	マスタアービトレーションロスト検出機能 (MALE ビット)	909
28.10.2	NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)	911
28.10.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	912
28.11	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	913
28.11.1	スタートコンディション発行動作	913
28.11.2	リスタートコンディション発行動作	913
28.11.3	ストップコンディション発行動作	916
28.12	バスハングアップ	917
28.12.1	タイムアウト検出機能	917
28.12.2	SCL クロック追加出力機能	919
28.12.3	IIC リセット、内部リセット	920
28.13	SMBus 動作	921

28.13.1	SMBus タイムアウト測定	921
28.13.2	パケットエラーコード (PEC)	922
28.13.3	SMBus ホスト通知プロトコル (Notify ARP Master コマンド)	922
28.14	割り込み要因	923
28.14.1	IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作	923
28.15	各コンディション発行時のレジスタの状態	924
28.16	イベントリンク出力機能	925
28.16.1	割り込み処理とイベントリンク機能	925
28.17	使用上の注意事項	925
28.17.1	モジュールストップ状態の設定	925
28.17.2	転送開始に関する注意事項	925
29.	CAN (Controller Area Network) モジュール	926
29.1	概要	926
29.2	レジスタの説明	929
29.2.1	コントロールレジスタ (CTRL)	929
29.2.2	ビットコンフィグレーションレジスタ (BCR)	933
29.2.3	マスクレジスタ k (MKRk) (k = 0 ~ 7)	935
29.2.4	FIFO 受信 ID 比較レジスタ 0 および 1 (FIDCR0 および FIDCR1)	936
29.2.5	マスク無効レジスタ (MKIVLR)	937
29.2.6	メールボックスレジスタ j (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) (j = 0 ~ 31、m = 0 ~ 7)	938
29.2.7	メールボックス割り込みイネーブルレジスタ (MIER)	942
29.2.8	FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER_FIFO)	943
29.2.9	送信用メッセージコントロールレジスタ (MCTL_TXj) (j = 0 ~ 31)	944
29.2.10	受信用メッセージコントロールレジスタ (MCTL_RXj) (j = 0 ~ 31)	947
29.2.11	受信 FIFO コントロールレジスタ (RFCR)	949
29.2.12	受信 FIFO ポインタコントロールレジスタ (RFPCR)	951
29.2.13	送信 FIFO コントロールレジスタ (TFCR)	952
29.2.14	送信 FIFO ポインタコントロールレジスタ (TFPCR)	953
29.2.15	ステータスレジスタ (STR)	954
29.2.16	メールボックスサーチモードレジスタ (MSMR)	956
29.2.17	メールボックスサーチステータスレジスタ (MSSR)	957
29.2.18	チャネルサーチサポートレジスタ (CSSR)	958
29.2.19	アクセプタンスフィルタサポートレジスタ (AFSR)	959
29.2.20	エラー割り込みイネーブルレジスタ (EIER)	960
29.2.21	エラー割り込み要因判定レジスタ (EIFR)	962
29.2.22	受信エラーカウントレジスタ (RECR)	964
29.2.23	送信エラーカウントレジスタ (TECR)	964
29.2.24	エラーコード格納レジスタ (ECSR)	965
29.2.25	タイムスタンプレジスタ (TSR)	966
29.2.26	テストコントロールレジスタ (TCR)	967

29.3	動作モード	969
29.3.1	CAN リセットモード	970
29.3.2	CAN halt モード	971
29.3.3	CAN スリープモード	972
29.3.4	CAN オペレーションモード（バスオフ状態以外）	972
29.3.5	CAN オペレーションモード（バスオフ状態）	973
29.4	データ転送レートの設定	974
29.4.1	クロックの設定	974
29.4.2	ビットタイムの設定	974
29.4.3	データ転送レート	975
29.5	メールボックスとマスクレジスタの構成	976
29.6	アクセプタンスフィルタ機能とマスク機能	978
29.7	受信／送信	980
29.7.1	受信	981
29.7.2	送信	983
29.8	割り込み	984
29.9	使用上の注意事項	985
29.9.1	モジュールストップ状態の設定	985
29.9.2	動作クロックの設定	985
30.	シリアルペリフェラルインタフェース（SPI）	986
30.1	概要	986
30.2	レジスタの説明	990
30.2.1	SPI コントロールレジスタ（SPCR）	990
30.2.2	SPI スレーブ選択極性レジスタ（SSLP）	991
30.2.3	SPI 端子コントロールレジスタ（SPPCR）	992
30.2.4	SPI ステータスレジスタ（SPSR）	993
30.2.5	SPI データレジスタ（SPDR/SPDR_HA）	996
30.2.6	SPI ビットレートレジスタ（SPBR）	999
30.2.7	SPI データコントロールレジスタ（SPDCR）	1000
30.2.8	SPI クロック遅延レジスタ（SPCKD）	1001
30.2.9	SPI スレーブ選択ネゲート遅延レジスタ（SSLND）	1002
30.2.10	SPI 次アクセス遅延レジスタ（SPND）	1003
30.2.11	SPI コントロールレジスタ 2（SPCR2）	1004
30.2.12	SPI コマンドレジスタ 0（SPCMD0）	1005
30.3	動作説明	1007
30.3.1	SPI 動作の概要	1007
30.3.2	SPI 端子の制御	1008
30.3.3	SPI システム構成例	1009
30.3.3.1	シングルマスタとシングルスレーブ（MCU はマスタ）	1009
30.3.3.2	シングルマスタとシングルスレーブ（MCU はスレーブ）	1010
30.3.3.3	シングルマスタとマルチスレーブ（MCU はマスタ）	1011

30.3.3.4	シングルマスタとマルチスレーブ（MCU はスレーブ）	1012
30.3.3.5	マルチマスタとマルチスレーブ（MCU はマスタ）	1013
30.3.3.6	クロック同期式モードのマスタとスレーブ（MCU はマスタ）	1014
30.3.3.7	クロック同期式モードのマスタとスレーブ（MCU はスレーブ）	1014
30.3.4	データフォーマット	1015
30.3.4.1	パリティ機能無効時（SPCR2.SPPE = 0）の動作	1016
30.3.4.2	パリティ機能有効時（SPCR2.SPPE = 1）の動作	1020
30.3.5	転送フォーマット	1024
30.3.5.1	CPHA ビット = 0 の場合の転送フォーマット	1024
30.3.5.2	CPHA ビット = 1 の場合	1025
30.3.6	データ転送モード	1026
30.3.6.1	全二重同期式シリアル通信（SPCR.TXMD = 0）	1026
30.3.6.2	送信のみ動作（SPCR.TXMD = 1）	1027
30.3.7	送信バッファエンプティ／受信バッファフル割り込み	1028
30.3.8	エラー検出	1030
30.3.8.1	オーバーランエラー	1031
30.3.8.2	パリティエラー	1033
30.3.8.3	モードフォルトエラー	1034
30.3.8.4	アンダーランエラー	1034
30.3.9	SPI の初期化	1035
30.3.9.1	SPE ビットのクリアによる初期化	1035
30.3.9.2	システムリセットによる初期化	1035
30.3.10	SPI 動作	1036
30.3.10.1	マスタモード動作	1036
30.3.10.2	スレーブモード動作	1042
30.3.11	クロック同期式動作	1047
30.3.11.1	マスタモード動作	1047
30.3.11.2	スレーブモード動作	1049
30.3.12	ループバックモード	1051
30.3.13	パリティビット機能の自己診断	1052
30.3.14	割り込み要因	1053
30.4	イベントリンクコントローライベント出力	1054
30.4.1	受信バッファフルイベント出力	1054
30.4.2	送信バッファエンプティイベント出力	1054
30.4.3	モードフォルト／アンダーラン／オーバーラン／パリティエラー イベント出力	1054
30.4.4	SPI アイドルイベント出力	1055
30.4.5	送信完了イベント出力	1055
30.5	使用上の注意事項	1056
30.5.1	モジュールストップ状態の設定	1056
30.5.2	低消費電力機能に関する制約	1056

30.5.3	転送の開始に関する制約	1056
30.5.4	モードフォルト／アンダーラン／オーバーラン／パリティエラー イベント出力に関する制約	1056
30.5.5	SPRF フラグおよび SPTEF フラグに関する制約	1056
31.	巡回冗長検査（CRC）演算器	1057
31.1	概要	1057
31.2	レジスタの説明	1058
31.2.1	CRC コントロールレジスタ 0（CRCCR0）	1058
31.2.2	CRC コントロールレジスタ 1（CRCCR1）	1059
31.2.3	CRC データ入力レジスタ（CRCDIR/CRCDIR_BY）	1059
31.2.4	CRC データ出力レジスタ（CRCDOR/CRCDOR_HA/CRCDOR_BY）	1060
31.2.5	スヌープアドレスレジスタ（CRCSAR）	1060
31.3	動作説明	1061
31.3.1	基本動作	1061
31.3.2	CRC スヌープ	1065
31.4	使用上の注意事項	1066
31.4.1	モジュールストップ状態の設定	1066
31.4.2	送信時の注意事項	1066
32.	16 ビット A/D コンバータ（ADC16）	1067
32.1	概要	1067
32.2	レジスタの説明	1071
32.2.1	A/D データレジスタ y（ADDRy）、 A/D データ 2 重化レジスタ（ADDBLDR）、 A/D データ 2 重化レジスタ A（ADDBLDRA）、 A/D データ 2 重化レジスタ B（ADDBLDRB）、 A/D 温度センサデータレジスタ（ADTSDR）、 A/D 内部基準電圧データレジスタ（ADOCDR）	1071
32.2.2	A/D 自己診断データレジスタ（ADRD）	1072
32.2.3	A/D 自己診断ステータスレジスタ（ADRST）	1072
32.2.4	A/D コントロールレジスタ（ADCSR）	1073
32.2.5	A/D チャンネル選択レジスタ A0（ADANSA0）	1077
32.2.6	A/D チャンネル選択レジスタ A1（ADANSA1）	1078
32.2.7	A/D チャンネル選択レジスタ B0（ADANSB0）	1079
32.2.8	A/D チャンネル選択レジスタ B1（ADANSB1）	1080
32.2.9	A/D 変換値平均チャンネル選択レジスタ 0（ADADS0）	1081
32.2.10	A/D 変換値平均チャンネル選択レジスタ 1（ADADS1）	1082
32.2.11	A/D 変換値平均回数選択レジスタ（ADADC）	1083
32.2.12	A/D コントロール拡張レジスタ（ADCER）	1084
32.2.13	A/D 変換開始トリガ選択レジスタ（ADSTRGR）	1086
32.2.14	A/D 変換拡張入力コントロールレジスタ（ADEXICR）	1088
32.2.15	A/D サンプリングステートレジスタ n（ADSSTRn）（n = 00 ~ 08, L, T, O）	1089
32.2.16	A/D 断線検出コントロールレジスタ（ADDISCR）	1090
32.2.17	A/D 割り込みコントロールレジスタ（ADICR）	1091

32.2.18	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1092
32.2.19	A/D コンペア機能コントロールレジスタ (ADCMPCR)	1093
32.2.20	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)	1095
32.2.21	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCMPANSR1)	1095
32.2.22	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)	1096
32.2.23	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPPLR0)	1096
32.2.24	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPPLR1)	1098
32.2.25	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPPLER) ..	1099
32.2.26	A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ (ADCMPDR0)、 A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ (ADCMPDR1)、 A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ (ADWINLLB)、 A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ (ADWINULB)	1100
32.2.27	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0 (ADCMPSR0) ...	1102
32.2.28	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1 (ADCMPSR1) ...	1103
32.2.29	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ (ADCMPSER)	1104
32.2.30	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)	1105
32.2.31	A/D コンペア機能ウィンドウ B ステータスレジスタ (ADCMPBSR)	1107
32.2.32	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)	1108
32.2.33	A/D 専用基準電圧回路コントロールレジスタ (VREFAMPCNT)	1109
32.2.34	A/D チャンネル入力モード選択レジスタ (ADANIM)	1110
32.2.35	A/D キャリブレーション実行レジスタ (ADCALEXE)	1110
32.3	動作説明	1112
32.3.1	アナログ入力チャンネルの選択	1112
32.3.2	A/D 変換結果	1112
32.3.3	スキャンの動作説明	1116
32.3.4	シングルスキャンモード	1117
32.3.4.1	基本動作	1117
32.3.4.2	チャンネル選択と自己診断	1119
32.3.4.3	温度センサ出力／内部基準電圧選択時の A/D 変換動作	1120
32.3.4.4	ダブルトリガモード選択時の A/D 変換動作	1121
32.3.4.5	ダブルトリガモード選択時の拡張動作	1122
32.3.5	連続スキャンモード	1123
32.3.5.1	基本動作	1123
32.3.5.2	チャンネル選択と自己診断	1124
32.3.6	グループスキャンモード	1125
32.3.6.1	基本動作	1125
32.3.6.2	ダブルトリガモード選択時の A/D 変換動作	1126
32.3.6.3	グループ A 優先制御動作	1127
32.3.7	コンペア機能 (ウィンドウ A、ウィンドウ B)	1135
32.3.7.1	コンペア機能	1135
32.3.7.2	コンペア機能のイベント出力	1137

32.3.7.3	コンペア機能の制約事項	1139
32.3.8	アナログ入力のサンプリング時間とスキャン変換時間	1139
32.3.9	A/D データレジスタの自動クリア機能の使用例	1142
32.3.10	A/D 変換値平均モード	1142
32.3.11	断線検出アシスト機能	1143
32.3.12	非同期トリガによる A/D 変換の開始	1145
32.3.13	周辺モジュールからの同期トリガによる A/D 変換の開始	1145
32.3.14	キャリブレーション機能	1146
32.3.15	キャリブレーション時間	1148
32.4	割り込み要因と DTC 転送要求	1149
32.4.1	割り込み要求	1149
32.5	イベントリンク機能	1150
32.5.1	ELC へのイベント出力	1150
32.5.2	ELC からのイベントによる ADC16 の動作	1150
32.6	基準電圧の選択	1150
32.7	使用上の注意事項	1151
32.7.1	データレジスタの読み出し注意事項	1151
32.7.2	A/D 変換停止時の注意事項	1151
32.7.3	A/D 変換強制停止と再開時の動作タイミング	1152
32.7.4	スキャン終了割り込み処理の制約事項	1152
32.7.5	モジュールストップ状態の設定	1153
32.7.6	低消費電力状態への遷移時の制約	1153
32.7.7	断線検出アシスト機能使用時の絶対精度誤差	1153
32.7.8	動作モードおよびステータスビット	1154
32.7.9	ボード設計に関する注意事項	1154
32.7.10	ノイズ軽減	1155
32.7.11	16 ビット A/D コンバータ入力使用時のポート設定	1156
32.7.12	ADC16、OPAMP、ACMPHS、SDADC24 の関係	1157
32.7.13	ソフトウェアスタンバイモードの解除についての注意事項	1157
32.7.14	キャリブレーション機能に関する注意事項	1157
33.	24 ビットシグマデルタ A/D コンバータ (SDADC24)	1158
33.1	概要	1158
33.2	レジスタの説明	1161
33.2.1	起動コントロールレジスタ 1 (STC1)	1161
33.2.2	起動コントロールレジスタ 2 (STC2)	1162
33.2.3	入力マルチプレクサ n 設定レジスタ (PGACn) (n = 0 ~ 4)	1163
33.2.4	シグマデルタ A/D コンバータコントロールレジスタ 1 (ADC1)	1167
33.2.5	シグマデルタ A/D コンバータコントロールレジスタ 2 (ADC2)	1169
33.2.6	シグマデルタ A/D コンバータ変換結果レジスタ (ADCR)	1169
33.2.7	シグマデルタ A/D コンバータ平均値レジスタ (ADAR)	1170
33.2.8	キャリブレーションコントロールレジスタ (CLBC)	1171

33.2.9	キャリブレーション開始コントロールレジスタ (CLBSTR)	1172
33.2.10	キャリブレーションステータスレジスタ (CLBSSR)	1172
33.2.11	キャリブレーションコントロール保護解除レジスタ (CLBPR)	1173
33.2.12	ゲイン誤差補正係数レジスタ n (GCVLRn) (n = 0 ~ 4)	1173
33.2.13	オフセット誤差補正係数レジスタ n (OCVLRn) (n = 0 ~ 4)	1174
33.3	動作説明	1175
33.3.1	ADBGR	1176
33.3.2	ADREG	1176
33.3.3	SBIAS と VREFI	1176
33.3.3.1	SBIAS と VREFI 機能の説明	1176
33.3.3.2	SBIAS の独立動作	1177
33.3.4	VBIAS	1177
33.3.5	入力マルチプレクサ	1178
33.3.5.1	入力マルチプレクサコントロールレジスタ	1178
33.3.6	プログラマブルゲイン計装アンプ (PGA)	1179
33.3.6.1	入力電圧範囲	1181
33.3.6.2	差動入力モード時の入力電圧範囲	1181
33.3.6.3	シングルエンド入力モード時の入力電圧範囲	1184
33.3.6.4	PGA 制御用レジスタ	1184
33.3.7	SDADC24 用入力電圧および A/D 変換結果	1185
33.3.8	シグマデルタ AD コンバータの制御 (オートスキャン)	1186
33.3.9	デジタルフィルタ	1190
33.3.9.1	デジタルフィルタの動作	1190
33.3.9.2	デジタルフィルタの構成	1190
33.3.10	キャリブレーション機能	1191
33.3.10.1	内部キャリブレーション動作モード	1192
33.3.10.2	外部キャリブレーション動作モード	1192
33.3.10.3	キャリブレーション時間	1192
33.3.11	断線検出アシスト機能	1193
33.3.12	PGA オフセットの自己診断機能	1195
33.4	制御フロー	1195
33.4.1	アナログ電源起動フロー	1196
33.4.2	入力マルチプレクサ設定フロー	1197
33.4.3	PGA オフセットの自己診断フロー	1198
33.4.4	断線検出アシストフロー	1199
33.4.5	内部キャリブレーションフロー	1200
33.4.6	外部キャリブレーションフロー	1201
33.4.7	SDADC24 変換フロー	1202
33.4.8	SDADC24 停止設定フロー	1203
33.4.9	リキャリブレーション省略フロー	1204
33.4.10	センサ基準電圧の独立起動および切り替え/停止フロー	1205

33.5	使用上の注意事項	1206
33.5.1	データレジスタの読み出し注意事項	1206
33.5.2	モジュールストップ状態の設定	1206
33.5.3	低消費電力状態への遷移時の制限	1206
33.5.4	A/D 変換動作モードおよび SDADC24 基準クロック分周設定	1206
33.5.5	SBIAS 動作に関する制限	1206
33.5.6	オーバーサンプリング率、PGA ゲイン、およびオフセット電圧 (d_{OFR}) の 設定	1206
33.5.7	マルチプレクサ 4 (内部 OPAMP) に関する制限	1207
33.5.8	SDADC24、ADC16、および ACMPHS の関係	1207
34.	12 ビット D/A コンバータ (DAC12)	1208
34.1	概要	1208
34.2	レジスタの説明	1209
34.2.1	D/A データレジスタ 0 (DADR0)	1209
34.2.2	D/A コントロールレジスタ (DACR)	1209
34.2.3	DADR0 フォーマット選択レジスタ (DADPR)	1210
34.2.4	D/A A/D 同期スタートコントロールレジスタ (DAADSCR)	1210
34.2.5	D/A VREF コントロールレジスタ (DAVREFCR)	1211
34.2.6	D/A スイッチチャージポンプコントロールレジスタ (DAPC)	1211
34.3	動作説明	1212
34.3.1	D/A 変換禁止後の MOCO 停止手順	1213
34.3.2	D/A 変換と A/D 変換の干渉低減	1213
34.4	イベントリンクの動作設定手順	1215
34.5	イベントリンク動作における注意事項	1215
34.6	使用上の注意事項	1216
34.6.1	モジュールストップ機能の設定	1216
34.6.2	モジュールストップ状態での DAC12 の動作	1216
34.6.3	ソフトウェアスタンバイモード時の DAC12 の動作	1216
34.6.4	D/A 変換と A/D 変換の干渉低減有効時の制限事項	1216
34.6.5	D/A コンバータ出力	1216
34.6.6	チャージポンプ有効時の DAC12 出力端子	1216
34.6.7	D/A コンバータ出力との接続	1216
35.	8 ビット D/A コンバータ (DAC8)	1217
35.1	概要	1217
35.2	レジスタの説明	1219
35.2.1	D/A 変換値設定レジスタ n (DACSn) ($n = 0, 1$)	1219
35.2.2	D/A 変換モードレジスタ (DAM)	1219
35.2.3	D/A A/D 同期スタートコントロールレジスタ (DACADSCR)	1220
35.2.4	D/A スイッチチャージポンプコントロールレジスタ (DACPC)	1220
35.3	動作説明	1221
35.3.1	通常モード	1221

35.3.2	リアルタイム出力モード（イベントリンク）	1222
35.3.3	D/A 変換禁止後の MOCO 停止手順	1222
35.3.4	D/A 変換値の出力開始タイミング	1223
35.3.5	D/A 変換と A/D 変換の干渉の最小化	1223
35.4	使用上の注意事項	1225
35.4.1	モジュールストップ機能の設定	1225
35.4.2	モジュールストップ状態での 8 ビット DAC の動作	1225
35.4.3	ソフトウェアスタンバイモード時の 8 ビット DAC の動作	1225
35.4.4	D/A コンバータのリアルタイム出力	1225
35.4.5	D/A コンバータ出力	1225
35.4.6	D/A コンバータを使用しないとき	1225
35.4.7	チャージポンプ有効時の DAC8 出力端子	1226
35.4.8	D/A コンバータ出力との接続	1226
36.	温度センサ（TSN）	1227
36.1	概要	1227
36.2	レジスタの説明	1228
36.2.1	温度センサ補正データレジスタ H（TSCDRH）	1228
36.2.2	温度センサ補正データレジスタ L（TSCDRL）	1228
36.3	温度センサの使用方法	1229
36.3.1	使用前の準備	1229
36.3.2	温度センサの使用手順	1230
37.	オペアンプ（OPAMP）	1231
37.1	概要	1231
37.2	レジスタの説明	1235
37.2.1	オペアンプモードコントロールレジスタ（AMPMC）	1235
37.2.2	オペアンプトリガモードコントロールレジスタ（AMPTRM）	1235
37.2.3	オペアンプ起動トリガ選択レジスタ（AMPTRS）	1236
37.2.4	オペアンプコントロールレジスタ（AMPC）	1237
37.2.5	オペアンプモニタレジスタ（AMPMON）	1237
37.2.6	オペアンプ 0 出力選択レジスタ（AMP0OS）	1238
37.2.7	オペアンプ 0 マイナス入力選択レジスタ（AMP0MS）	1238
37.2.8	オペアンプ 0 プラス入力選択レジスタ（AMP0PS）	1239
37.2.9	オペアンプ 1 マイナス入力選択レジスタ（AMP1MS）	1239
37.2.10	オペアンプ 1 プラス入力選択レジスタ（AMP1PS）	1240
37.2.11	オペアンプ 2 マイナス入力選択レジスタ（AMP2MS）	1240
37.2.12	オペアンプ 2 プラス入力選択レジスタ（AMP2PS）	1241
37.2.13	オペアンプスイッチチャージポンプコントロールレジスタ（AMPCPC）	1241
37.2.14	オペアンプユーザオフセットトリミングイネーブルレジスタ（AMPUOTE）	1242
37.2.15	オペアンプ n オフセットトリミング Pch レジスタ（AMPnOTP）（n = 0 ~ 2）	1242
37.2.16	オペアンプ n オフセットトリミング Nch レジスタ（AMPnOTN）（n = 0 ~ 2）	1243
37.3	動作	1244

37.3.1	状態遷移	1244
37.3.2	オペアンプ制御動作	1245
37.4	ソフトウェアトリガモード	1249
37.5	起動トリガモード	1250
37.6	起動および A/D トリガモード	1251
37.7	オペアンプ停止後の MOCO 停止手順	1251
37.8	オペアンプスイッチ設定の変更	1252
37.9	ユーザオフセットトリミング	1253
37.10	OPAMP をコンフィギュラブルアンプとして使用	1255
37.10.1	電圧フォロワー	1255
37.10.2	プログラマブル非反転アンプ	1256
37.10.3	プログラマブルトランスインピーダンスアンプ	1257
37.10.4	コンフィギュラブルアンプを D/A コンバータ出力アンプとして使用	1257
37.11	使用上の注意事項	1259
38.	高速アナログコンパレータ (ACMPHS)	1260
38.1	概要	1260
38.2	レジスタの説明	1262
38.2.1	コンパレータコントロールレジスタ (CMPCTL)	1262
38.2.2	コンパレータ入力選択レジスタ (CMPSEL0)	1263
38.2.3	コンパレータ基準電圧選択レジスタ (CMPSEL1)	1264
38.2.4	コンパレータ出力モニタレジスタ (CMPMON)	1264
38.2.5	コンパレータ出力コントロールレジスタ (CPIOC)	1265
38.3	動作説明	1266
38.4	ノイズフィルタ	1268
38.5	ACMPHS 割り込み	1269
38.6	イベントリンクコントローラ (ELC) への ACMPHS 出力	1269
38.7	ACMPHS 端子出力	1269
38.8	使用上の注意事項	1269
38.8.1	モジュールストップ機能の設定	1269
38.8.2	A/D コンバータとの関係	1269
39.	低消費電力アナログコンパレータ (ACMPLP)	1270
39.1	概要	1270
39.2	レジスタの説明	1273
39.2.1	ACMPLP モード設定レジスタ (COMPMDR)	1273
39.2.2	ACMPLP フィルタコントロールレジスタ (COMPFIR)	1274
39.2.3	ACMPLP 出力コントロールレジスタ (COMPOCR)	1275
39.2.4	コンパレータ入力選択レジスタ (COMPSEL0)	1275
39.2.5	コンパレータ基準電圧選択レジスタ (COMPSEL1)	1276
39.3	動作説明	1277
39.4	ノイズフィルタ	1280
39.5	ACMPLP 割り込み	1282
39.6	ELC イベント出力	1282

39.7	割り込み処理と ELC リンクの関係	1282
39.8	コンパレータ端子出力	1282
39.9	使用上の注意事項	1283
39.9.1	モジュールストップ状態の設定	1283
40.	静電容量式タッチセンシングユニット (CTSUS)	1284
40.1	概要	1284
40.2	レジスタの説明	1287
40.2.1	CTSUS コントロールレジスタ 0 (CTSUCR0)	1287
40.2.2	CTSUS コントロールレジスタ 1 (CTSUCR1)	1289
40.2.3	CTSUS 同期ノイズ低減設定レジスタ (CTSUSDPRS)	1290
40.2.4	CTSUS センサ安定待ち時間コントロールレジスタ (CTSUSST)	1291
40.2.5	CTSUS 計測チャネルレジスタ 0 (CTSUSMCH0)	1292
40.2.6	CTSUS 計測チャネルレジスタ 1 (CTSUSMCH1)	1294
40.2.7	CTSUS チャネルイネーブルコントロールレジスタ 0 (CTSUCHAC0)	1295
40.2.8	CTSUS チャネルイネーブルコントロールレジスタ 1 (CTSUCHAC1)	1295
40.2.9	CTSUS チャネルイネーブルコントロールレジスタ 2 (CTSUCHAC2)	1296
40.2.10	CTSUS チャネルイネーブルコントロールレジスタ 3 (CTSUCHAC3)	1296
40.2.11	CTSUS チャネル送受信コントロールレジスタ 0 (CTSUCHTRC0)	1297
40.2.12	CTSUS チャネル送受信コントロールレジスタ 1 (CTSUCHTRC1)	1297
40.2.13	CTSUS チャネル送受信コントロールレジスタ 2 (CTSUCHTRC2)	1298
40.2.14	CTSUS チャネル送受信コントロールレジスタ 3 (CTSUCHTRC3)	1298
40.2.15	CTSUS 高域ノイズ低減コントロールレジスタ (CTSUDCLKC)	1299
40.2.16	CTSUS ステータスレジスタ (CTSUST)	1300
40.2.17	CTSUS 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC)	1302
40.2.18	CTSUS センサオフセットレジスタ 0 (CTSUSO0)	1303
40.2.19	CTSUS センサオフセットレジスタ 1 (CTSUSO1)	1304
40.2.20	CTSUS センサカウンタ (CTSUSC)	1305
40.2.21	CTSUS リファレンスカウンタ (CTSURC)	1306
40.2.22	CTSUS エラーステータスレジスタ (CTSUERRS)	1307
40.3	動作説明	1309
40.3.1	計測動作原理	1309
40.3.2	計測モード	1311
40.3.2.1	初期設定フロー	1312
40.3.2.2	ステータスカウンタ	1313
40.3.2.3	自己容量シングルスキャンモード動作	1314
40.3.2.4	自己容量マルチスキャンモードの動作	1316
40.3.2.5	相互容量フルスキャンモード動作	1318
40.3.3	複数モードに関わる共通機能	1321
40.3.3.1	センサ安定待ち時間と計測時間	1321
40.3.3.2	割り込み	1322
40.4	使用上の注意事項	1324

40.4.1	計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)	1324
40.4.2	ソフトウェアトリガに対する注意事項	1324
40.4.3	外部トリガに対する注意事項	1324
40.4.4	強制終了に関する注意事項	1324
40.4.5	TSCAP 端子	1325
40.4.6	計測動作時 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項	1325
41.	データ演算回路 (DOC)	1326
41.1	概要	1326
41.2	レジスタの説明	1327
41.2.1	DOC コントロールレジスタ (DOCR)	1327
41.2.2	DOC データインプットレジスタ (DODIR)	1328
41.2.3	DOC データ設定レジスタ (DODSR)	1328
41.3	動作説明	1329
41.3.1	データ比較モード	1329
41.3.2	データ加算モード	1330
41.3.3	データ減算モード	1331
41.4	割り込み要求とイベントリンクコントローラ (ELC) 出力	1331
41.5	使用上の注意事項	1331
41.5.1	モジュールストップ状態の設定	1331
42.	SRAM	1332
42.1	概要	1332
42.2	レジスタの説明	1333
42.2.1	SRAM パリティエラー検出後動作レジスタ (PARIOAD)	1333
42.2.2	SRAM プロテクトレジスタ (SRAMPRCR)	1333
42.2.3	ECC 動作モードコントロールレジスタ (ECCMODE)	1334
42.2.4	ECC 2 ビットエラーステータスレジスタ (ECC2STS)	1334
42.2.5	ECC 1 ビットエラー情報更新イネーブルレジスタ (ECC1STSEN)	1335
42.2.6	ECC 1 ビットエラーステータスレジスタ (ECC1STS)	1335
42.2.7	ECC プロテクトレジスタ (ECCPRCR)	1336
42.2.8	ECC プロテクトレジスタ 2 (ECCPRCR2)	1336
42.2.9	ECC テストコントロールレジスタ (ECCETST)	1337
42.2.10	SRAM ECC エラー検出後動作レジスタ (ECCOAD)	1337
42.2.11	トレースコントロール (MTB 用)	1338
42.2.12	CoreSight™ (MTB 用)	1338
42.3	動作説明	1339
42.3.1	ECC 機能	1339
42.3.2	ECC エラー発生	1339
42.3.3	ECC デコーダのテスト方法	1340
42.3.4	パリティ計算機能	1341
42.3.5	SRAM エラー要因	1342
42.3.6	アクセスサイクル	1343

42.4	使用上の注意事項	1343
42.4.1	SRAM 領域からの命令フェッチ	1343
42.4.2	SRAM のストアバッファ	1343
43.	フラッシュメモリ	1344
43.1	概要	1344
43.2	メモリ構造	1346
43.3	フラッシュキャッシュ	1347
43.3.1	概要	1347
43.4	レジスタの説明	1348
43.4.1	フラッシュキャッシュイネーブルレジスタ (FCACHEE)	1348
43.4.2	フラッシュキャッシュインバリデートレジスタ (FCACHEIV)	1348
43.4.3	データフラッシュコントロールレジスタ (DFLCTL)	1349
43.4.4	ファクトリ MCU インフォメーションフラッシュルートテーブル (FMIFRT)	1349
43.4.5	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)	1350
43.4.6	型名レジスタ n (PNRn) (n = 0 ~ 3)	1350
43.4.7	MCU バージョンレジスタ (MCUVER)	1351
43.5	動作説明	1352
43.5.1	フラッシュキャッシュ使用における注意	1352
43.6	フラッシュメモリ関連の動作モード	1353
43.6.1	ID コードプロテクト機能	1354
43.7	機能概要	1355
43.7.1	構成領域ビットマップ	1357
43.7.2	スタートアップ領域選択	1357
43.7.3	アクセスウィンドウによるプロテクション	1358
43.8	プログラムコマンド	1358
43.9	サスペンド動作	1358
43.10	プロテクション機能	1359
43.11	シリアルプログラミングモード	1359
43.11.1	SCI ブートモード	1359
43.11.2	USB ブートモード	1360
43.12	シリアルプログラマを使用する場合	1361
43.12.1	シリアルプログラミング	1361
43.13	セルフプログラミング	1361
43.13.1	概要	1361
43.13.2	バックグラウンドオペレーション	1362
43.14	フラッシュメモリの読み出し	1362
43.14.1	コードフラッシュメモリの読み出し	1362
43.14.2	データフラッシュメモリの読み出し	1362
43.15	使用上の注意事項	1363
43.15.1	イレースを中断した領域	1363
43.15.2	イレーササスペンドコマンドによる中断	1363
43.15.3	追加の書き込みに関する制約	1363

43.15.4	プログラム／イレース中のリセット	1363
43.15.5	プログラム／イレース中におけるノンマスカブル割り込みの禁止	1363
43.15.6	プログラム／イレース中における割り込みベクタの配置	1363
43.15.7	Low-speed モードでのプログラム／イレース	1363
43.15.8	プログラム／イレース中の異常終了	1364
43.15.9	プログラム／イレース中に禁止されているアクション	1364
44.	AES エンジン	1365
45.	真性乱数発生器 (TRNG)	1366
46.	内部電圧レギュレータ	1367
46.1	概要	1367
46.2	動作説明	1367
47.	電気的特性	1368
47.1	絶対最大定格	1369
47.2	DC 特性	1371
47.2.1	Tj/Ta の定義	1371
47.2.2	I/O VIH, VIL	1371
47.2.3	I/O IOH, IOL	1372
47.2.4	I/O VOH、VOL、その他の特性	1373
47.2.5	入出力端子出力特性（低駆動能力）	1376
47.2.6	入出力端子出力特性（中駆動能力）	1378
47.2.7	P407、P408 および P409 入出力端子の出力特性（中駆動能力）	1381
47.2.8	IIC 入出力端子の出力特性	1383
47.2.9	動作電流とスタンバイ電流	1384
47.2.10	VCC 立ち上がり／立ち下がり勾配とリップル周波数	1393
47.3	AC 特性	1394
47.3.1	周波数	1394
47.3.2	クロックタイミング	1396
47.3.3	リセットタイミング	1398
47.3.4	ウェイクアップ時間	1400
47.3.5	NMI/IRQ ノイズフィルタ	1404
47.3.6	I/O ポート、POEG、GPT、AGT、KINT、ADC16 のトリガタイミング	1405
47.3.7	CAC タイミング	1407
47.3.8	SCI タイミング	1407
47.3.9	SPI タイミング	1414
47.3.10	IIC タイミング	1420
47.3.11	CLKOUT タイミング	1422
47.4	USB 特性	1423
47.4.1	USBFS タイミング	1423
47.4.2	USB 外部供給	1424
47.5	ADC16 特性	1425
47.6	SDADC24 特性	1428

47.7	DAC12 特性	1432
47.8	DAC8 特性	1433
47.9	TSN 特性	1433
47.10	OSC 停止検出特性	1433
47.11	POR/LVD 特性	1434
47.12	CTSU 特性	1438
47.13	コンパレータ特性	1438
47.14	OPAMP 特性	1439
47.15	フラッシュメモリ特性	1441
47.15.1	コードフラッシュメモリ特性	1441
47.15.2	データフラッシュメモリ特性	1443
47.15.3	シリアルワイヤデバッグ (SWD)	1444
付録 1.	各プロセスモードのポート状態	1446
付録 2.	外形寸法図	1448
付録 3.	I/O レジスタ	1455
3.1	周辺機能のベースアドレス	1455
3.2	アクセスサイクル	1457
3.3	レジスタの説明	1459
付録 4.	アナログ部の接続図	1495
改訂記録		1500

RA2A1 グループ ユーザーズマニュアル

超低消費電力48MHz Arm® Cortex®-M23コア、最大256KBのコードフラッシュメモリ、32KBのSRAM、静電容量式タッチセンシングユニット、16ビットA/Dコンバータ、24ビットシグマデルタA/Dコンバータ、12ビットD/Aコンバータ、8ビットD/Aコンバータ、オペアンプ、セキュリティ&セーフティ機能

特長

■ Arm Cortex-M23 コア

- Armv8-M アーキテクチャ
- 最高動作周波数：48MHz
- Arm メモリプロテクションユニット (Arm MPU) (8 領域)
- デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

■ メモリ

- 最大 256KB のコードフラッシュメモリ
- 8KB データフラッシュメモリ (100000 回のプログラム/イレース (P/E) サイクル)
- 最大 32KB の SRAM
- フラッシュキャッシュ (FCACHE)
- メモリプロテクションユニット (MPU)
- メモリミラー機能 (MMF)
- 128 ビットの固有の ID

■ 接続性

- USB2.0 フルスピード (USBFS) モジュール
 - オンチップトランシーバ (電圧レギュレータ付き)
 - USB バッテリチャージ規格 1.2 に準拠
- シリアルコミュニケーションインタフェース (SCI) × 3
 - UART
 - 簡易 IIC
 - 簡易 SPI
- シリアルペリフェラルインタフェース (SPI) × 2
- I²C バスインタフェース (IIC) × 2
- CAN (Controller Area Network) モジュール

■ アナログ

- 16 ビット A/D コンバータ (ADC16)
 - 1.2Msps
 - 差動入力モード
 - シングルエンド入力モード
- 24 ビットシグマデルタ A/D コンバータ (SDADC24)
 - 15.6ksps
 - 差動入力モード
 - シングルエンド入力モード
- 12 ビット D/A コンバータ (DAC12)
- 8 ビット D/A コンバータ (DAC8) × 2
- 高速アナログコンパレータ (ACMPHS)
- 低消費電力アナログコンパレータ (ACMPLP) × 2
- オペアンプ (OPAMP) × 3
- 温度センサ (TSN)

■ タイマ

- 32 ビット汎用 PWM タイマ (GPT32)
- 16 ビット汎用 PWM タイマ (GPT16) × 6
- 低消費電力非同期汎用タイマ (AGT) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ

- ECC 搭載の SRAM
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション

- メインクロック発振器停止検出
- 不正メモリアクセス

■ システムおよびパワーマネジメント

- 低消費電力モード
- リアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 電圧設定が可能な低電圧検出 (LVD)

■ セキュリティおよび暗号化

- AES128/256
- 真性乱数発生器 (TRNG)

■ ヒューマンマシーンインタフェース (HMI)

- 静電容量式タッチセンシングユニット (CTSU)

■ マルチクロックソース

- メインクロック発振器 (MOSC)
 - (1 ~ 20MHz、VCC = 2.4 ~ 5.5V の場合)
 - (1 ~ 8MHz、VCC = 1.8 ~ 5.5V の場合)
 - (1 ~ 4MHz、VCC = 1.6 ~ 5.5V の場合)
- サブクロック発振器 (SOSC) (32.768kHz)
- 高速オンチップオシレータ (HOCO)
 - (24, 32, 48, 64MHz、VCC = 2.4 ~ 5.5V の場合)
 - (24, 32, 48MHz、VCC = 1.8 ~ 5.5V の場合)
 - (24, 32MHz、VCC = 1.6 ~ 5.5V の場合)
- 中速オンチップオシレータ (MOCO) (8MHz)
- 低速オンチップオシレータ (LOCO) (32.768kHz)
- 独立ウォッチドッグタイマオンチップオシレータ (15kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

■ 汎用入出力ポート

- 最大 49 本の入出力端子
 - 最大 3 本の CMOS 入力
 - 最大 46 本の CMOS 入出力
 - 最大 9 本の 5V トレラント入出力
 - 最大 3 本の大電流端子 (20mA)

■ 動作電圧

- VCC : 1.6 ~ 5.5V

■ 動作温度およびパッケージ

- Ta = -40 °C ~ +85 °C
 - 36 ピン BGA (5mm × 5mm、0.8mm ピッチ)
- Ta = -40 °C ~ +105 °C
 - 64 ピン LQFP (10mm × 10mm、0.5mm ピッチ)
 - 32 ピン LQFP (7mm × 7mm、0.8mm ピッチ)
 - 48 ピン QFN (7mm × 7mm、0.5mm ピッチ)
 - 40 ピン QFN (6mm × 6mm、0.5mm ピッチ)

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm® ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU にはエネルギー効率の高い Arm Cortex®-M23 32 ビットコアが搭載されているため、特にコスト重視の低消費電力機器に適しており、以下の特徴があります。

- 最大 256KB のコードフラッシュメモリ
- 32KB の SRAM
- 16 ビット A/D コンバータ (ADC16)
- 24 ビットシグマデルタ A/D コンバータ (SDADC24)
- 12 ビット D/A コンバータ (DAC12)
- 8 ビット D/A コンバータ (DAC8)
- 設定スイッチ付きオペアンプ (OPAMP)
- セキュリティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	• 最高動作周波数 : 48MHz • Arm Cortex-M23 コア - リビジョン : r1p0-00rel0 - Armv8-M アーキテクチャプロファイル - シングルサイクル整数乗算器 - 17 サイクル整数除算器 • Arm メモリプロテクションユニット (Arm MPU) - Armv8 保護メモリシステムアーキテクチャ - 8 つの保護領域 • SysTick タイマ - SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	256KB のコードフラッシュメモリ。「 43. フラッシュメモリ 」を参照してください。
データフラッシュメモリ	8KB のデータフラッシュメモリ。「 43. フラッシュメモリ 」を参照してください。
メモリミラー機能 (MMF)	メモリミラー機能 (MMF) を構成することで、コードフラッシュメモリ内の目的のアプリケーションイメージのロードアドレスを、未使用の 23 ビットメモリ空間におけるアプリケーションイメージのリンクアドレス (メモリミラー空間アドレス) へミラーすることが可能です。ユーザアプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクします。ユーザアプリケーションコードでは、コードフラッシュメモリ内に格納されるときのロードアドレスを認識する必要がありません。「 5. メモリミラー機能 (MMF) 」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。「 7. オプション設定メモリ 」を参照してください。
SRAM	パリティビットまたは誤り訂正コード (ECC) を有する高速オンチップ SRAM を内蔵しています。「 42. SRAM 」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2種類の動作モード： • シングルチップモード • SCIブートモード 「3. 動作モード」 を参照してください。
リセット	13種類のリセットを内蔵： • RES端子リセット • パワーオンリセット • 独立ウォッチドッグタイマリセット • ウォッチドッグタイマリセット • 電圧監視0リセット • 電圧監視1リセット • 電圧監視2リセット • SRAMパリティエラーリセット • SRAM ECCエラーリセット • バスマスタMPUエラーリセット • バススレーブMPUエラーリセット • CPUスタックポインタエラーリセット • ソフトウェアリセット 「6. リセット」 を参照してください。
低電圧検出 (LVD)	低電圧検出 (LVD) は、VCC 端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。 「8. 低電圧検出 (LVD)」 を参照してください。
クロック	• メインクロック発振器 (MOSC) • サブクロック発振器 (SOSC) • 高速オンチップオシレータ (HOCO) • 中速オンチップオシレータ (MOCO) • 低速オンチップオシレータ (LOCO) • 独立ウォッチドッグタイマオンチップオシレータ • クロックアウトのサポート 「9. クロック発生回路」 を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。 測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求が発生します。 「10. クロック周波数精度測定回路 (CAC)」 を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、NVIC/DTCモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。 「13. 割り込みコントローラユニット (ICU)」 を参照してください。
キー割り込み機能 (KINT)	キー割り込みは、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子に立ち上がりエッジ/立ち下がりエッジを入力することで発生させることができます。 「19. キー割り込み機能 (KINT)」 を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。 「11. 低消費電力モード」 を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。 「12. レジスタライトプロテクション」 を参照してください。
メモリプロテクションユニット (MPU)	メモリ保護のために4つのメモリプロテクションユニット (MPU) とCPUスタックポインタモニタ機能が備えられています。 「15. メモリプロテクションユニット (MPU)」 を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、MCUをリセットするために使用できます。また、アンダーフローにより、ノンマスカブル割り込みまたは割り込みを発生させることもできます。カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、この許可期間を暴走検知の条件として使用できます。 「24. ウォッチドッグタイマ (WDT)」 を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットダウンカウンタで構成されますが、このカウンタはアンダーフロー防止のために定期的に動作させる必要があります。独立ウォッチドッグタイマ (IWDT) には、MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み／ノンマスカブル割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCUをフェールセーフ機構として既知の状態に戻すことに特に役立ちます。独立ウォッチドッグタイマ (IWDT) は、リセット、アンダーフロー、またはリフレッシュエラー時に自動的に起動します。あるいはレジスタのカウント値のリフレッシュによっても起動します。「 25. 独立ウォッチドッグタイマ (IWDT) 」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPU を介せずにモジュール間の直接的な相互作用を可能にします。「 17. イベントリンクコントローラ (ELC) 」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは割り込み要求による起動時に、データ転送を行います。「 16. データトランスファコントローラ (DTC) 」を参照してください。

表 1.6 タイマ

機能	機能の説明
汎用PWMタイマ (GPT)	汎用PWMタイマ (GPT) は、1チャンネルの32ビットタイマの場合と、6チャンネルの16ビットタイマの場合があります。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。「 21. 汎用PWMタイマ (GPT) 」を参照してください。
GPT用のポートアウトプットイネーブル (POEG)	汎用PWMタイマ (GPT) の出力端子を出力禁止状態とするには、GPT用ポートアウトプットイネーブル (POEG) 機能を使用します。「 20. GPT用ポートアウトプットイネーブル (POEG) 」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルスの出力、外部パルスの幅／周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。「 22. 低消費電力非同期汎用タイマ (AGT) 」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードがあります。これらはレジスタ設定により切り替えて使用します。カレンダーカウントモードでは、RTCは2000年から2099年までの100年間のカレンダーを内蔵しており、うるう年を自動調整します。バイナリカウントモードは、秒をカウントし、その情報をシリアル値として保持するモードです。バイナリカウントモードは、西暦以外のカレンダーに使用できます。「 23. リアルタイムクロック (RTC) 」を参照してください。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) は、下記の5種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。 - 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA)) 8ビットクロック同期式インタフェース - 簡易 IIC (マスタのみ) - 簡易 SPI - スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。 SCI0 は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。「27. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
I ² C バスインタフェース (IIC)	2チャンネル I²C バスインタフェース (IIC) は、NXP 社が提唱する I²C バス (Inter-Integrated Circuit Bus) インタフェース方式に準拠しており、そのサブセット機能を提供しています。「28. I²C バスインタフェース (IIC)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	2つの独立したシリアルペリフェラルインタフェース (SPI) チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です。「30. シリアルペリフェラルインタフェース (SPI)」を参照してください。
CAN (Controller Area Network) モジュール	CAN (Controller Area Network) モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供しています。 CAN モジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠しており、通常のメールボックスモードおよび FIFO モードを送受信用に設定可能な最大 32 個のメールボックスをサポートしています。標準 (11 ビット) と拡張 (29 ビット) の両方のメッセージフォーマットに対応しています。「29. CAN (Controller Area Network) モジュール」を参照してください。
USB2.0 フルスピードモジュール (USBFS)	USB2.0 フルスピード (USBFS) モジュールは、デバイスコントローラとして動作可能な USB コントローラです。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピードおよび ロースピード 転送に対応しています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。 USB はデータ転送用のバッファメモリを内蔵し、最大 5 本のパイプを使用できます。パイプ 0 およびパイプ 4～7 に対しては、通信を行う周辺デバイスやユーザシステムに合わせて任意のエンドポイント番号の割り付けが可能です。 本 MCU は、バッテリーチャージ規格のリビジョン 1.2 に準拠しています。本 MCU は 5V で動作するため、USB LDO レギュレータは内蔵 USB トランシーバの電源に 3.3V を供給します。「26. USB2.0 フルスピードモジュール (USBFS)」を参照してください。

表 1.8 アナログ

機能	機能の説明
16ビットA/Dコンバータ (ADC16)	逐次比較方式の16ビットA/Dコンバータ (ADC16) を内蔵しています。シングルエンドアナログ入力チャネルは最大17チャネルまで、差動アナログ入力チャネルは最大4チャネルまで選択可能です。変換にはSDADC24の基準電圧、温度センサ出力および内部基準電圧を選択できます。正確なA/D変換を行うために、キャリブレーション機能は、使用条件下でコンデンサアレイ DAC およびゲイン/オフセット補正値を計算します。「 32. 16ビットA/Dコンバータ (ADC16) 」を参照してください。
24ビットシグマデルタA/Dコンバータ (SDADC24)	プログラマブルゲイン計装アンプ付きの24ビットシグマデルタA/Dコンバータ (SDADC24) を内蔵しています。シングルエンドアナログ入力チャネルは最大10チャネルまで、差動アナログ入力チャネルは最大5チャネルまで選択可能です。これらのアナログ入力チャネルのうち、シングルエンドアナログ入力チャネル2本または差動アナログ入力チャネル1本は、内部OPAMPからの入力です。アナログ入力マルチプレクサは、プログラマブルゲイン計装アンプ (PGA) によりシグマデルタA/Dコンバータに入力されます。A/D変換結果は、SINC3デジタルフィルタによりフィルタリングされた後、出力レジスタに保存されます。正確なA/D変換を行うために、キャリブレーション機能は、使用条件下でゲインエラー値およびオフセットエラー値を計算します。「 33. 24ビットシグマデルタA/Dコンバータ (SDADC24) 」を参照してください。
12ビットD/Aコンバータ (DAC12)	12ビットD/Aコンバータ (DAC12) を内蔵しています。「 34. 12ビットD/Aコンバータ (DAC12) 」を参照してください。
8ビットD/Aコンバータ (DAC8)	8ビットD/Aコンバータ (DAC8) を内蔵しています。「 35. 8ビットD/Aコンバータ (DAC8) 」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。出力された電圧はADC16で変換されてから、末端の応用機器で使用できます。「 36. 温度センサ (TSN) 」を参照してください。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は、基準電圧とアナログ入力電圧を比較します。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準電圧としては、IVREF _i (i = 0 ~ 2) 端子への入力、内部D/Aコンバータからの出力、または本MCUで内部生成された内部基準電圧 (Vref) から選択できます。こうした柔軟性は、必ずしもA/D変換を必要とせずに、アナログ信号に対して実行/中止の比較を行わなければならないアプリケーションに有効です。「 38. 高速アナログコンパレータ (ACMPHS) 」を参照してください。
低消費電力アナログコンパレータ (ACMPLP)	アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧を比較します。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準電圧は、CMPREF _i (i = 0, 1) 端子への入力、内部D/Aコンバータからの出力、または本MCUで内部生成された内部基準電圧 (Vref) から選択できます。ACMPLPの応答速度は、動作開始前に設定可能です。High-speedモードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。Low-speedモードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。「 39. 低消費電力アナログコンパレータ (ACMPLP) 」を参照してください。
オペアンプ (OPAMP)	オペアンプ (OPAMP) を使用して、小さいアナログ入力電圧を増幅して出力することができます。入力端子2つと出力端子1つを備えた差動オペアンプユニットが合計で3つ搭載されています。すべてのユニットには、入力信号を選択できるスイッチがあります。さらに、出力アンプ0には、出力端子を選択するためにスイッチがあります。「 37. オペアンプ (OPAMP) 」を参照してください。

表 1.9 ヒューマンマシンインタフェース (HMI)

機能	機能の説明
静電容量式タッチセンシングユニット (CTSU)	静電容量式タッチセンシングユニット (CTSU) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は電気絶縁体で覆われており、指が電極に直接接触することはありません。「 40. 静電容量式タッチセンシングユニット (CTSU) 」を参照してください。

表 1.10 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC) 演算器は、CRCコードを生成してデータエラーを検出します。LSB ファーストまたはMSB ファーストでの通信用に、CRC演算結果のビットオーダを切り替えることができます。さらに、さまざまなCRC生成多項式を使用できます。スヌープ機能により、特定のアドレスの読み出し/書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントでCRCコードの自動生成が必要となるアプリケーションで役立ちます。「 31. 巡回冗長検査 (CRC) 演算器 」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16ビットのデータを比較、加算、または減算する機能です。「 41. データ演算回路 (DOC) 」を参照してください。

表 1.11 セキュリティ

機能	機能の説明
AES	「 44. AESエンジン 」の章を参照してください。
真性乱数発生器 (TRNG)	「 45. 真性乱数発生器 (TRNG) 」を参照してください。

表 1.12 I/Oポート

機能	機能の説明
I/Oポート	64ピンLQFP - 入出力：46 - 入力：3 - プルアップ抵抗：44 - Nチャネルオープンドレイン出力：24 - 5Vトレラント：9 48ピンQFN - 入出力：30 - 入力：3 - プルアップ抵抗：28 - Nチャネルオープンドレイン出力：17 - 5Vトレラント：6 40ピンQFN - 入出力：22 - 入力：3 - プルアップ抵抗：20 - Nチャネルオープンドレイン出力：13 - 5Vトレラント：3 36ピンBGA - 入出力：19 - 入力：3 - プルアップ抵抗：17 - Nチャネルオープンドレイン出力：13 - 5Vトレラント：3 32ピンLQFP - 入出力：19 - 入力：1 - プルアップ抵抗：19 - Nチャネルオープンドレイン出力：15 - 5Vトレラント：4

1.2 ブロック図

図 1.1 に、本 MCU スーパーセットのブロック図を示します。グループ内の個々のデバイスによっては、その機能のサブセットを持つ場合があります。

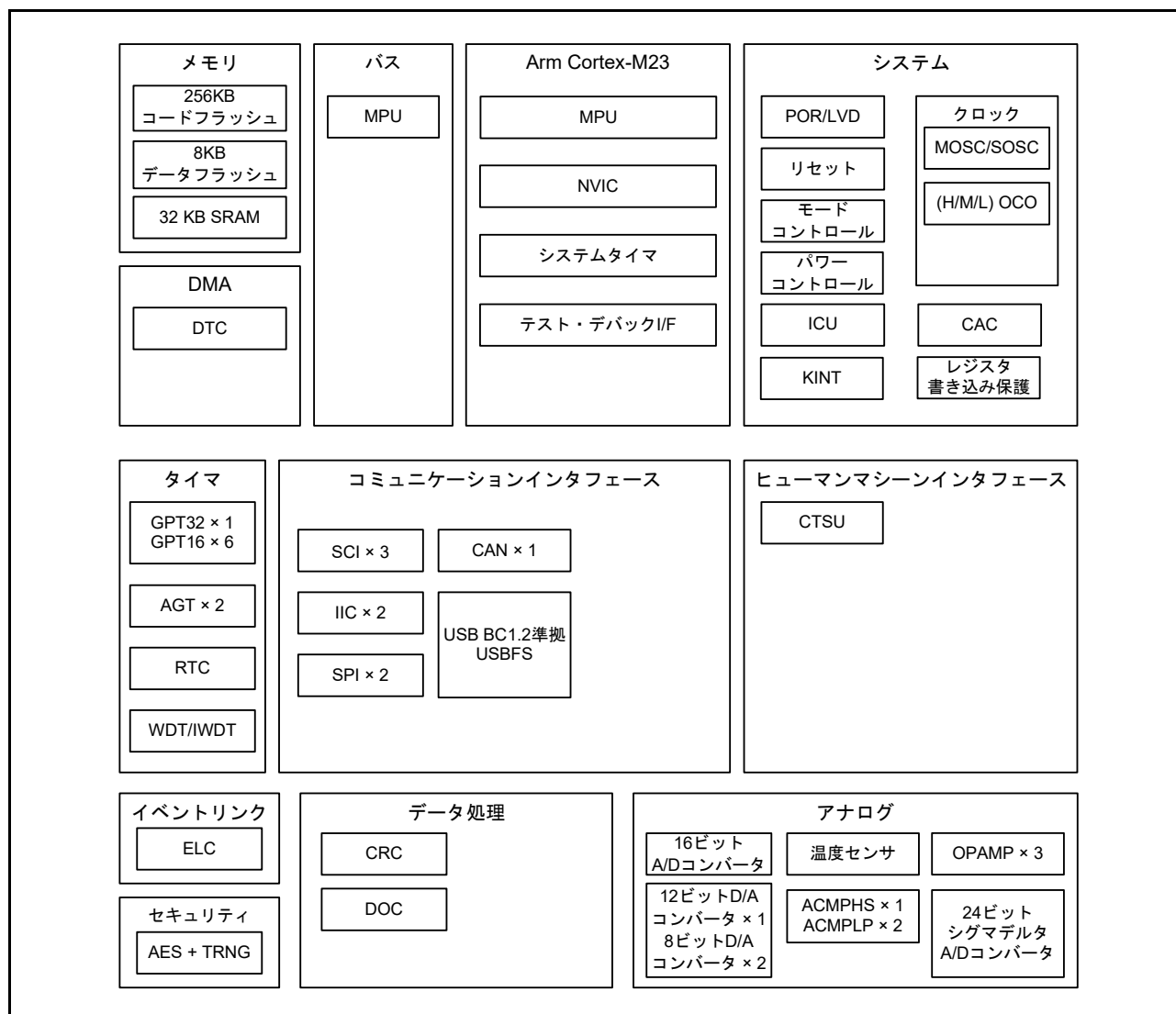


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.13 に製品一覧を示します。

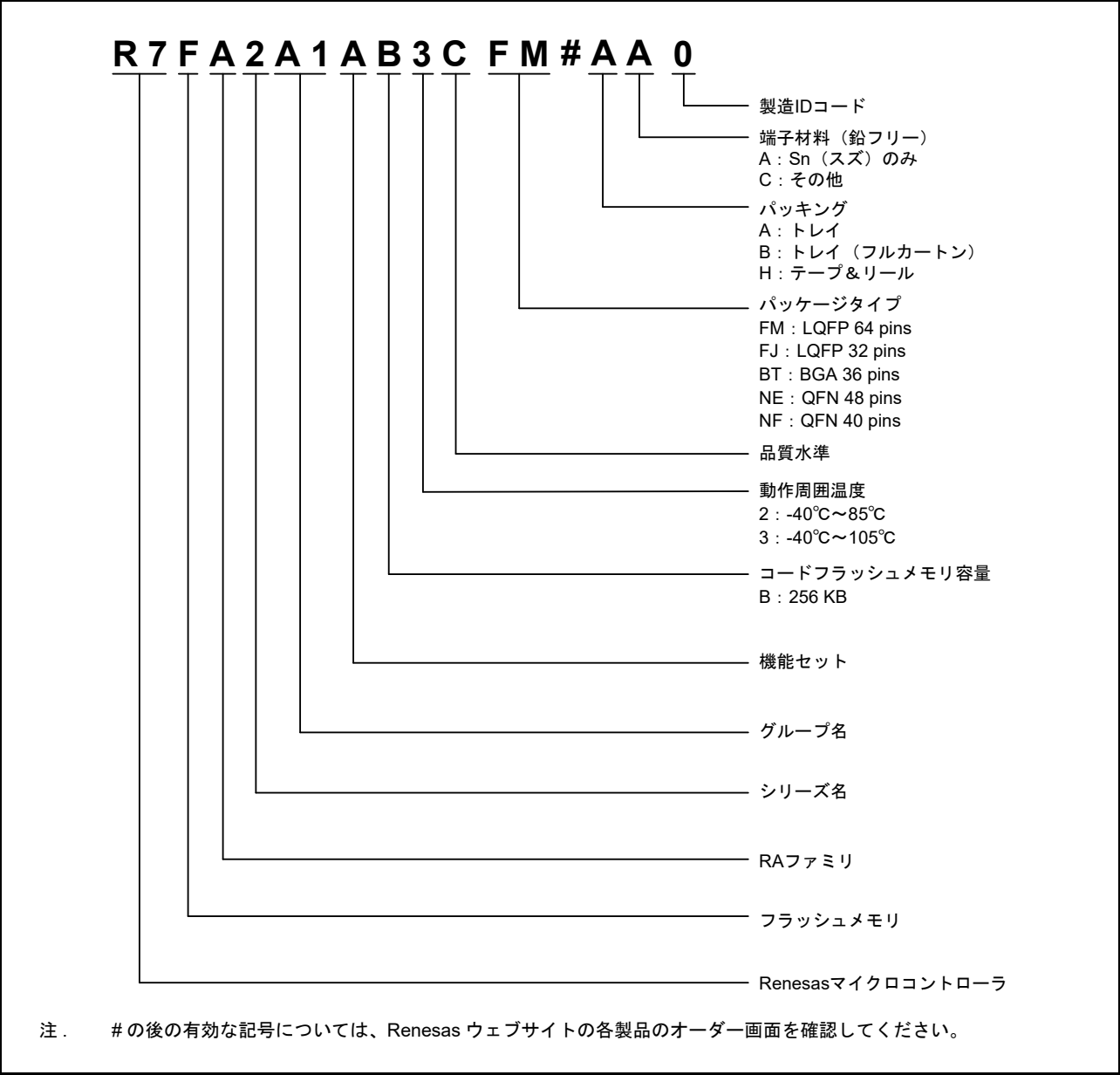


図 1.2 型名の読み方

表 1.13 製品リスト

製品の型名	パッケージコード	コード フラッシュ	データ フラッシュ	SRAM	動作温度
R7FA2A1AB3CFM	PLQP0064KB-C	256KB	8KB	32KB	-40 ~ +105℃
R7FA2A1AB3CNE	PWQN0048KB-A				-40 ~ +105℃
	PWQN0048KC-A				
R7FA2A1AB3CNF	PWQN0040KC-A				-40 ~ +105℃
	PWQN0040KD-A				
R7FA2A1AB2CBT	PLBG0036GA-A				-40 ~ +85℃
R7FA2A1AB3CFJ	PLQP0032GB-A				-40 ~ +105℃

1.4 機能の比較

表 1.14 機能の比較

型名		R7FA2A1AB3CFM	R7FA2A1AB3CNE	R7FA2A1AB3CNF	R7FA2A1AB2CBT	R7FA2A1AB3CFJ
端子総数		64	48	40	36	32
パッケージ		LQFP	QFN	QFN	BGA	LQFP
コードフラッシュメモリ		256KB				
データフラッシュメモリ		8KB				
SRAM		32KB				
	パリティ	16KB				
	ECC	16KB				
システム	CPUクロック	48MHz				
	サブクロック発振器	あり				なし
	ICU	あり				
	KINT	8	6	4	4	3
イベントコントロール	ELC	あり				
DMA	DTC	あり				
タイマ	GPT32	1				
	GPT16	6	6	4	3	4
	AGT	2				
	RTC	あり				
	WDT/IWDT	あり				
通信	SCI	3				
	IIC	2				
	SPI	2			1	2
	CAN	あり				
	USBFS	あり				なし
	アナログ	ADC16	17 (4 (注1))	12 (3 (注1))	8 (1 (注1))	5 (1 (注1))
SDADC24		8 (4 (注1))	6 (3 (注1))	4 (2 (注1))	2 (1 (注1))	2 (1 (注1))
DAC12		1				
DAC8		2	2 (注2)		2 (注3)	
ACMPHS		1				
ACMPLP		2				
OPAMP		3	2	1	1	1
TSN		あり				
HMI	CTSU	26	16	11	9	11
データ処理	CRC	あり				
	DOC	あり				
セキュリティ		AESおよびTRNG				
I/Oポート	入出力	46	30	22	19	19
	入力	3	3	3	3	1
	プルアップ抵抗	44	28	20	17	19
	Nチャネルオープン ドレイン出力	24	17	13	13	15
	5Vトレラント	9	6	3	3	4

注 1. 差動アナログ入力のチャンネル数

注 2. DA8_1 の端子出力機能は使用できません。

注 3. DA8_0 および DA8_1 の端子出力機能は使用できません。

1.5 端子機能

表 1.15 端子機能 (1/4)

機能	信号	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介してVSS端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源（0V）に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。これらの端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。この端子がLowになると、MCUはリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ7	入力	マスカブル割り込み要求端子
GPT	GTETRG, GTETRGB	入力	外部トリガ入力端子
	GTIOC0A～GTIOC6A, GTIOC0B～GTIOC6B	入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力（正相U相）
	GTOULO	出力	BLDCモータ制御用3相PWM出力（逆相U相）
	GTOVUP	出力	BLDCモータ制御用3相PWM出力（正相V相）
	GTOVLO	出力	BLDCモータ制御用3相PWM出力（逆相V相）
	GTOWUP	出力	BLDCモータ制御用3相PWM出力（正相W相）
	GTOWLO	出力	BLDCモータ制御用3相PWM出力（逆相W相）
AGT	AGTEE0, AGTEE1	入力	外部イベント入力許可
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力
	AGTO0, AGTO1	出力	パルス出力
	AGTOA0, AGTOA1	出力	出力コンペアマッチA出力
	AGTOB0, AGTOB1	出力	出力コンペアマッチB出力
RTC	RTCOUT	出力	1Hz/64Hzクロック用の出力端子

表 1.15 端子機能 (2/4)

機能	信号	入出力	説明
SCI	SCK0, SCK1, SCK9	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD0, RXD1, RXD9	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD0, TXD1, TXD9	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS0_RTS0, CTS1_RTS1, CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブLow
	SCL0, SCL1, SCL9	入出力	IICクロック用の入出力端子 (簡易IIC)
	SDA0, SDA1, SDA9	入出力	IICデータ用の入出力端子 (簡易IIC)
	SCK0, SCK1, SCK9	入出力	クロック用の入出力端子 (簡易SPI)
	MISO0, MISO1, MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易SPI)
	MOSI0, MOSI1, MOSI9	入出力	データのマスタ送信用の入出力端子 (簡易SPI)
	SS0, SS1, SS9	入力	チップセレクト選択入力端子 (簡易SPI)、アクティブLow
IIC	SCL0, SCL1	入出力	クロック用の入出力端子
	SDA0, SDA1	入出力	データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタから出力されたデータの入出力
	MISOA, MISOB	入出力	スレーブから出力されたデータの入出力
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3, SSLB1~SSLB3	出力	スレーブ選択用の出力端子
CAN	CRX0	入力	受信データ
	CTX0	出力	送信データ
USBFS	VSS_USB	入力	グランド端子
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VCC_USB	入出力	入力: USBトランシーバ用の電源端子 出力: USB LDOレギュレータ出力端子。この端子は外部コンデンサに接続してください。
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。この端子はUSBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。この端子はUSBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。USBモジュールがデバイスコントローラとして選択されているときのVBUSの接続/切断を検出することが可能です。

表 1.15 端子機能 (3/4)

機能	信号	入出力	説明
アナログ電源	AVCC0	入力	ADC16、DAC12、DAC8、ACMPHS、ACMPLP、およびOPAMP用アナログ電源端子
	AVSS0	入力	ADC16、DAC12、DAC8、ACMPHS、ACMPLP、およびOPAMP用アナロググランド端子
	AVCC1	入力	SDADC24用のアナログ電圧源端子
	AVSS1	入力	SDADC24用のアナロググランド端子
	VREFH0	入力	ADC16用のアナログ基準電圧源端子。ADC16を使用しない場合はAVCC0に接続してください。
	VREFL0	入力	ADC16用のアナログ基準グランド端子。ADC16を使用しない場合はAVSS0に接続してください。
	VREFH	入力	DAC12用のアナログ基準電圧源端子
	VREFL	入力	DAC12用のアナログ基準グランド端子
ADC16	AN000 ~ AN008, AN016 ~ AN023	入力	A/Dコンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子、アクティブLow
SDADC24	ANSD0P ~ ANSD3P	入力	SDADC24で処理されるアナログ信号用の入力端子
	ANSD0N ~ ANSD3N	入力	SDADC24で処理されるアナログ信号用の入力端子
	ADREG	出力	SDADC24用レギュレータ容量
	SBIAS	出力	センサ電源
	VREFI	入力	SDADC24用の外部基準電圧源端子
DAC12	DA12_0	出力	12ビットD/Aコンバータで処理されるアナログ信号用の出力端子
DAC8	DA8_0, DA8_1	出力	8ビットD/Aコンバータで処理されるアナログ信号用の出力端子
コンパレータ出力	VCOUT	出力	コンパレータ出力端子
ACMPHS	IVREF0 ~ IVREF2	入力	基準電圧入力端子
	IVCMP0 ~ IVCMP2	入力	アナログ電圧入力端子
ACMPLP	CMPREF0, CMPREF1	入力	基準電圧入力端子
	CMPIN0, CMPIN1	入力	アナログ電圧入力端子
OPAMP	AMP0+ ~ AMP2+	入力	アナログ電圧入力端子
	AMP0- ~ AMP2-	入力	アナログ電圧入力端子
	AMP0O ~ AMP2O	出力	アナログ電圧出力端子
CTSU	TS00 ~ TS25	入力	静電容量式タッチ検出端子（タッチ端子）
	TSCAP	-	タッチドライバ用の二次電源端子
KINT	KR00 ~ KR07	入力	キー割り込み入力端子

表 1.15 端子機能 (4/4)

機能	信号	入出力	説明
I/Oポート	P000～P003, P012～P015	入出力	汎用入出力端子
	P100～P112	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P204～ P206, P212, P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300～P304	入出力	汎用入出力端子
	P400～P403, P407～P411	入出力	汎用入出力端子
	P500～P502	入出力	汎用入出力端子
	P914, P915	入出力	汎用入出力端子

1.6 ピン配置図

図 1.3 ～ 図 1.7 にピン配置図を示します。

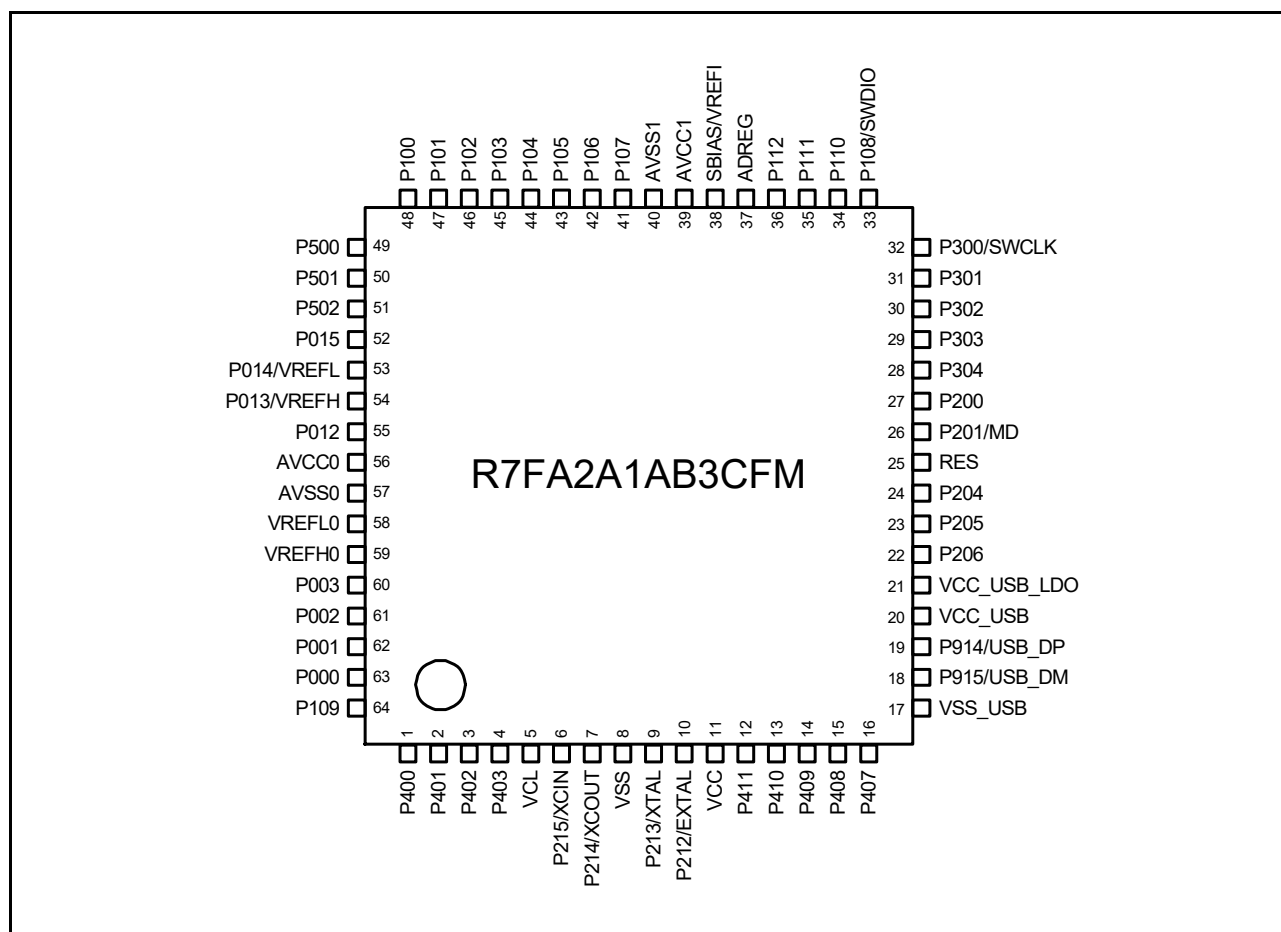


図 1.3 64-pin LQFP のピン配置

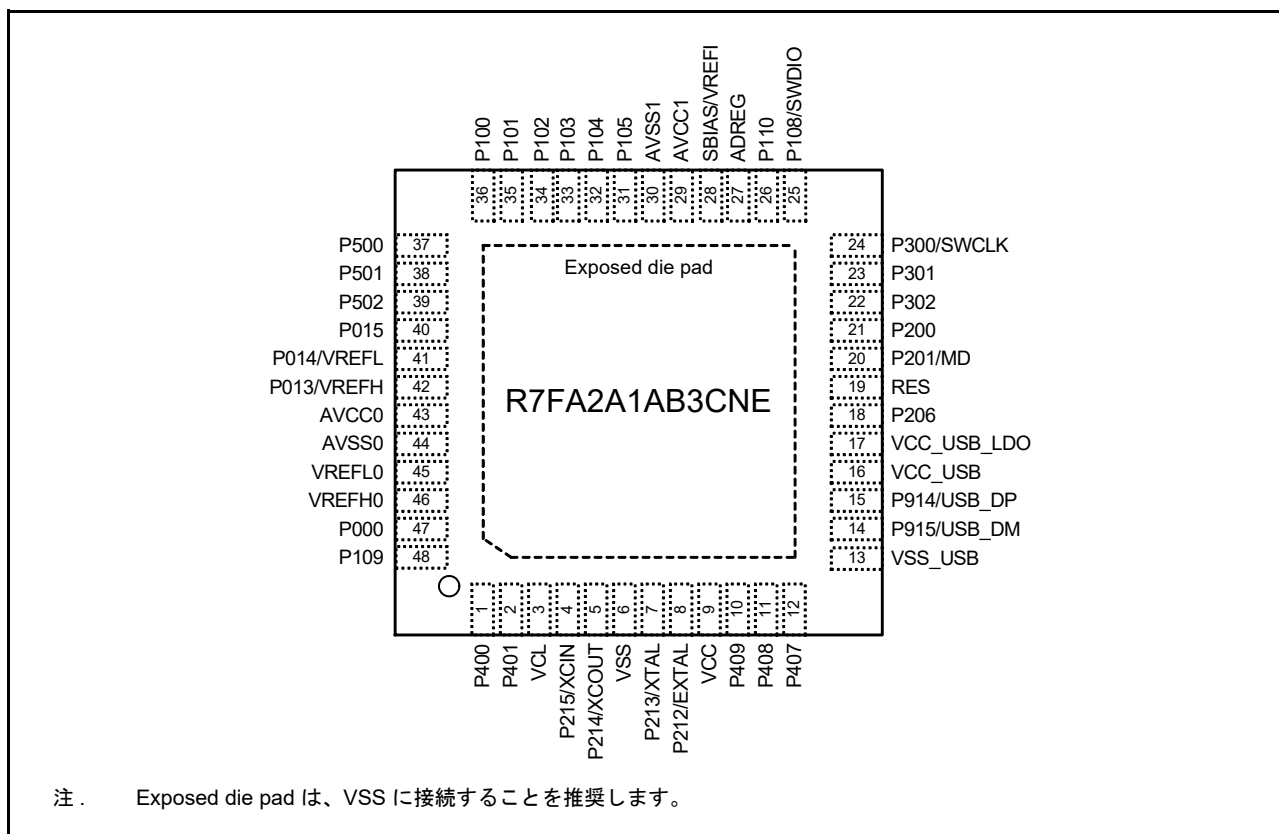


図 1.4 48-pin QFN のピン配置

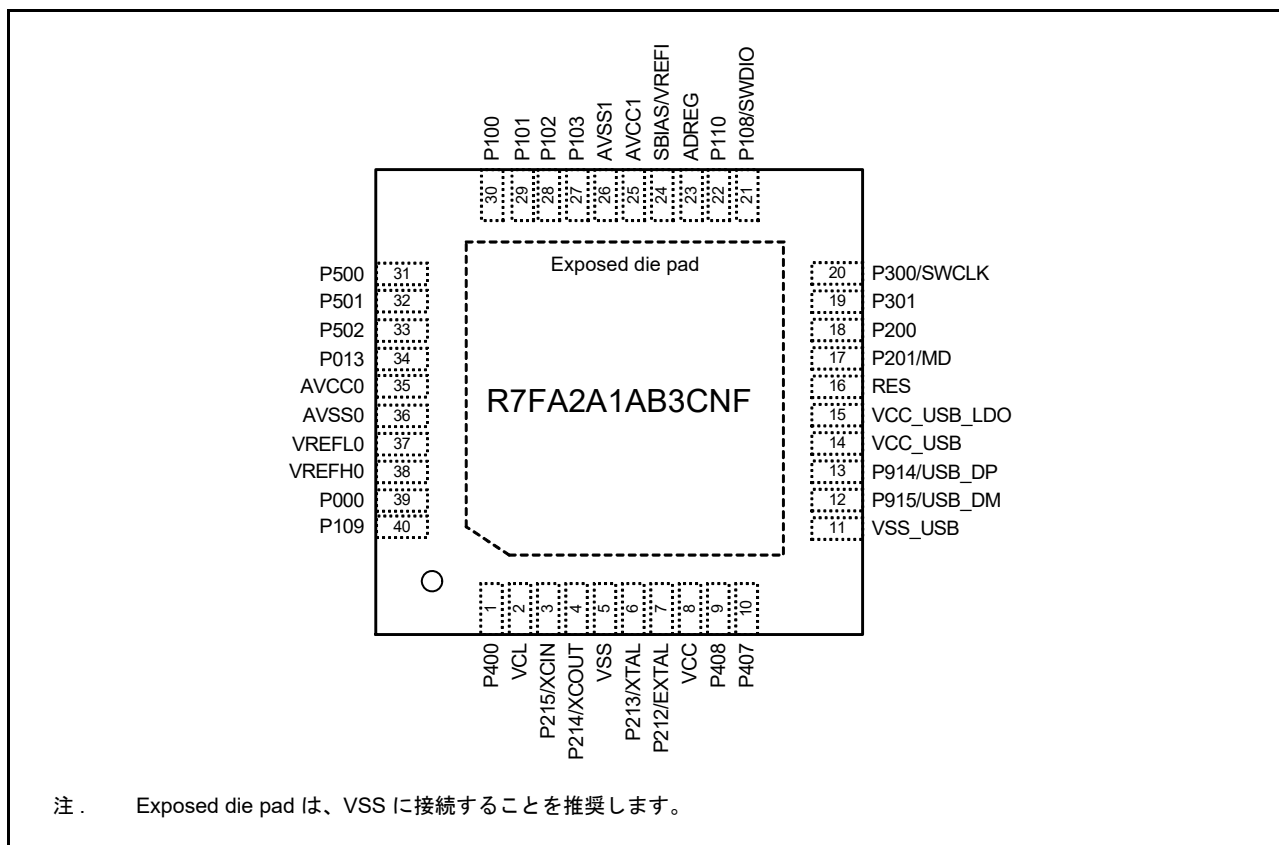


図 1.5 40-pin QFN のピン配置

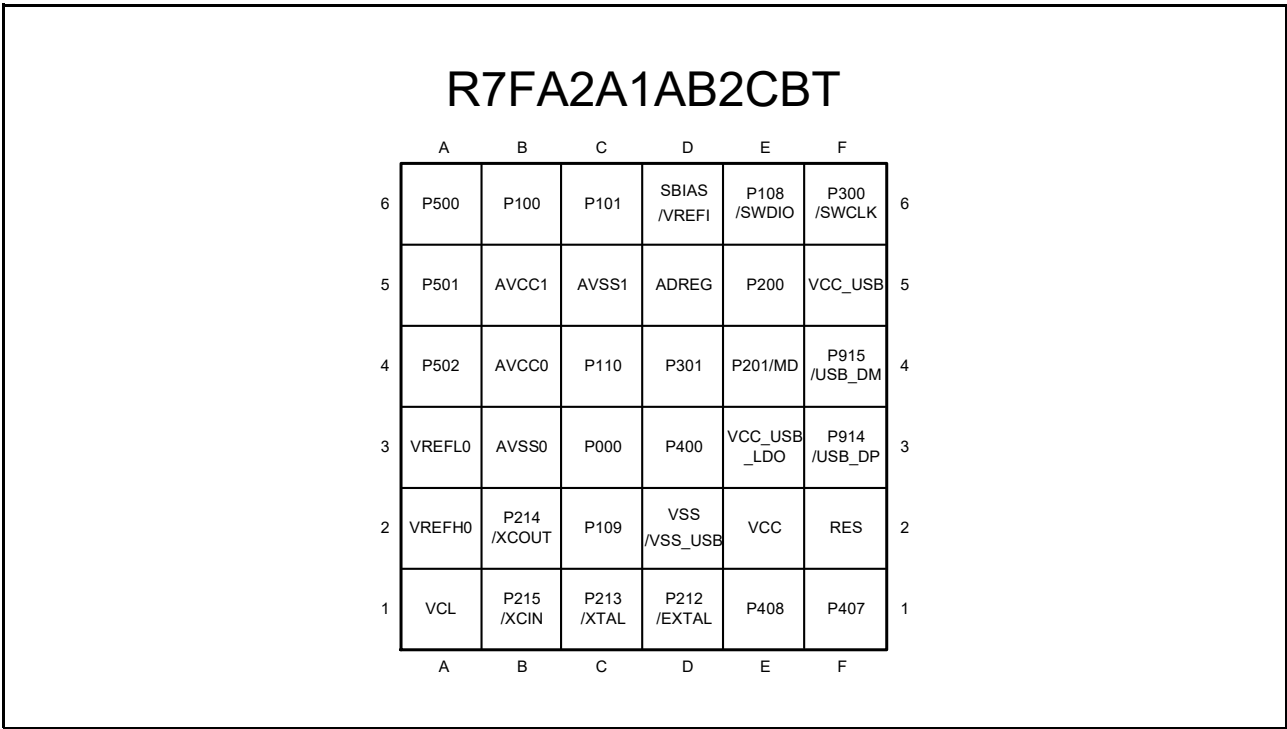


図 1.6 36-pin BGA のピン配置（上面図、パッド側が下面）

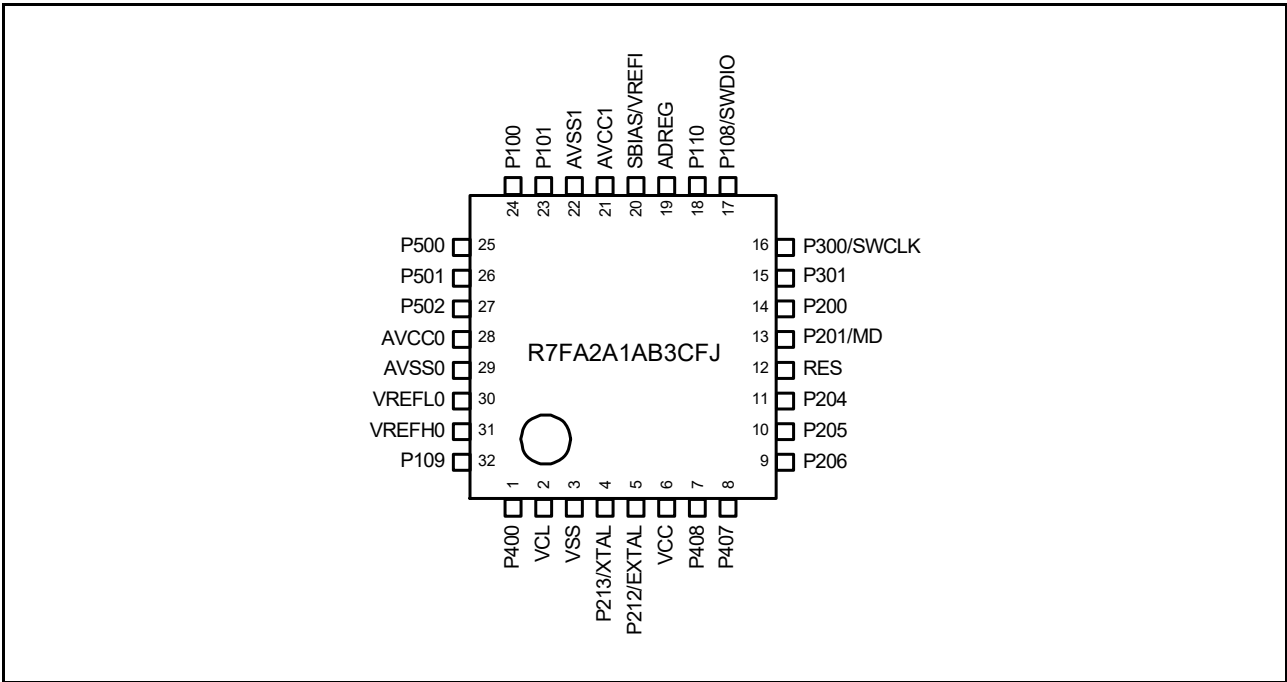


図 1.7 32-pin LQFP のピン配置

1.7 端子一覧

ピン番号						電源、システム、 クロック、デバッ グ、CAC	I/Oポート	タイマ				通信インタフェース				アナログ						HMI	
LQFP64	QFN48	QFN40	BGA36	LQFP32	AGT			GPT_OPS, POEG	GPT	RTC	USBFS, CAN	SCI	IIC	SPI	ADC16	SDADC24	DAC12, DAC8	ACMPHS, ACMPLP	OPAMP	CTS0	割り込み		
1	1	1	D3	1		P400	AGTEE0_A	GTETRGA_A	GTIOC1A_A	RTCCOUT_C		CTS0_RT S0_D/ SS0_D/ RXD1_C/ MISO1_C/ SCL1_C	SDA1_A	MOSIA_A				CMPIN0		TS00	KR02/ IRQ0_A		
2	2	-	-	-		P401	AGTEE1_A	GTIU_A	GTIOC4A_A			SCK0_D/ SCK9_A	SDA0_C	SSLB1_A				VCOUT_B		TS01	KR03/ IRQ5_B		
3	-	-	-	-		P402		GTIV_A	GTIOC0A_D			CTS9_RT S9_C/ SS9_C		SSLB2_A						TS02			
4	-	-	-	-		P403		GTIW_A	GTIOC0B_C			SCK1_B		SSLB3_A						TS03			
5	3	2	A1	2	VCL																		
6	4	3	B1	-	XCIN	P215																	
7	5	4	B2	-	XCOUT	P214																	
8	6	5	D2	3	VSS																		
9	7	6	C1	4	XTAL	P213	AGTEE1_B	GTETRGA_B	GTIOC0A_B			RXD1_D/ MISO1_D/ SCL1_D									IRQ2_B		
10	8	7	D1	5	EXTAL	P212	AGTIO0_A	GTETRGA_B	GTIOC0B_B			TXD1_D/ MOSI1_D/ SDA1_D									IRQ3_B		
11	9	8	E2	6	VCC																		
12	-	-	-	-		P411			GTIOC5A_A			TXD0_F/ MOSI0_F/ SDA0_F/ RXD1_B/ MISO1_B/ SCL1_B		SSLA3_A					TS04				
13	-	-	-	-		P410			GTIOC5B_A			CTS0_RT S0_A/ SS0_A/ TXD1_B/ MOSI1_B/ SDA1_B		SSLA2_A					TS05				
14	10	-	-	-		P409	AGTO1_A		GTIOC0A_C		CTX0_B	SCK0_A/ CTS1_RT S1_B/ SS1_B	SCL0_B	SSLA1_A					TSCAP_E	IRQ7_A			
15	11	9	E1	7		P408	AGTO0_A	GTOUUP_A	GTIOC0A_A		CRX0_B	RXD0_A/ MISO0_A/ SCL0_A/ TXD1_C/ MOSI1_C/ SDA1_C	SDA0_B	SSLA0_A			CMPIN1		TS06	IRQ1_A			
16	12	10	F1	8	CACREF_B	P407	AGTIO0_C	GTOULOA_A	GTIOC0B_A		USB_VB US/ CTX0_D		SCL0_A	RSPCKB_B					TSCAP_D	IRQ1_B			
17	13	11	D2	-	VSS_USB																		
18	14	12	F4	-		P915					USB_DM												
19	15	13	F3	-		P914					USB_DP												
20	16	14	F5	-	VCC_US B																		
21	17	15	E3	-	VCC_US B_LDO																		
22	18	-	-	9		P206	AGTIO0_B	GTOVUP_A	GTIOC3A_A			CTS0_RT S0_C/ SS0_C/ TXD1_A/ MOSI1_A/ SDA1_A	SCL1_B	SSLB0_A					TS07	IRQ6_A			
23	-	-	-	10		P205		GTOVLOA_A	GTIOC3B_A			TXD0_C/ MOSI0_C/ SDA0_C/ CTS1_RT S1_A/ SS1_A	SDA1_B	MISOB_B					TS08	IRQ0_C			
24	-	-	-	11		P204						RXD0_C/ MISO0_C/ SCL0_C/ SCK9_B		MOSIB_B					TS09				
25	19	16	F2	12	RES																		
26	20	17	E4	13	MD	P201																	
27	21	18	E5	14		P200															NMI		
28	-	-	-	-		P304			GTIOC6A_A		CTX0_A	SCK0_B/ TXD9_C/ MOSI9_C/ SDA9_C		MISOA_B					TS10	KR07			
29	-	-	-	-		P303			GTIOC6B_A		CRX0_A	CTS0_RT S0_B/ SS0_B/ SCK1_A		MOSIA_B					TS11	KR06			
30	22	-	-	-	CACREF_A	P302	AGTOA1_A	GTOVLOB_B	GTIOC3B_B			TXD0_B/ MOSI0_B/ SDA0_B/ RXD1_A/ MISO1_A/ SCL1_A		RSPCKB_A					TS12	KR05/ IRQ4_B			

ピン番号					電源、システム、 クロック、デバッグ、CAC	I/Oポート	タイマ				通信インタフェース				アナログ					HMI	
LQFP64	QFN48	QFN40	BGA36	LQFP32			AGT	GPT_OPS, POEG	GPT	RTC	USBFS, CAN	SCI	IIC	SPI	ADC16	SDADC24	DAC12, DAC8	ACMPHS, ACMPLP	OPAMP	CTS	割り込み
31	23	19	D4	15		P301	AGTOB1_A	GTOWU_P_A	GTIOC2_A_B	RTCCOUT_A		RXD0_B/ MISO0_B/ CTS9_RT S9_B/ SS9_B	SDA0_A	MOSIB_A						TS13	KR04/ IRQ5_A
32	24	20	F6	16	SWCLK	P300															
33	25	21	E6	17	SWDIO	P108															
34	26	22	C4	18	CLKOUT_A	P110	AGTOB0_A	GTOWL_O_A	GTIOC2_B_B		CTX0_C	TXD0_D/ MOSI0_D/ SDA0_D/ RXD9_B/ MISO9_B/ SCL9_B	SDA1_D	RSPCKA_A	ADTRG0_A		CMPREF1			TSCAP_A	IRQ2_A
35	-	-	-	-		P111				RTCCOUT_B			SCL1_C	RSPCKA_B						TS14	IRQ6_B
36	-	-	-	-	CLKOUT_B	P112							SDA1_C	SSLA0_B						TSCAP_B	IRQ7_B
37	27	23	D5	19	ADREG																
38	28	24	D6	20	SBIAS/ VREFI																
39	29	25	B5	21	AVCC1																
40	30	26	C5	22	AVSS1																
41	-	-	-	-		P107									AN023	ANSD3N					
42	-	-	-	-		P106									AN022	ANSD3P					
43	31	-	-	-		P105								MOSIB_C	AN021	ANSD2N				TS18	IRQ7_C
44	32	-	-	-		P104								MISOB_C	AN020	ANSD2P				TS19	IRQ6_C
45	33	27	-	-		P103			GTIOC6_A_B					RSPCKB_C	AN019	ANSD1N				TS20	
46	34	28	-	-		P102			GTIOC6_B_B			CTS9_RT S9_D/ SS9_D		SSLB0_C	AN018	ANSD1P				TS21	
47	35	29	C6	23		P101			GTIOC5_A_B			RXD9_C/ MISO9_C/ SCL9_C			AN017	ANSD0N		IVREF2		TS22	IRQ5_C
48	36	30	B6	24		P100			GTIOC5_B_B			TXD9_D/ MOSI9_D/ SDA9_D			AN016	ANSD0P		IVCMP2		TS23	IRQ4_C
49	37	31	A6	25		P500			GTIOC5_A_C			RXD0_D/ MISO0_D/ SCL0_D			AN000		DA12_0	IVCMP0	AMP0+	TS24	IRQ3_C
50	38	32	A5	26		P501			GTIOC5_B_C			TXD0_E/ MOSI0_E/ SDA0_E			AN001			IVREF0	AMP0-	TS25	IRQ2_C
51	39	33	A4	27		P502						CTS0_RT S0_E/ SS0_E			AN002				AMP00		IRQ1_C
52	40	-	-	-		P015									AN003				AMP10		
53	41	-	-	-	VREFL	P014			GTIOC6_A_C						AN004			IVREF1	AMP1-		
54	42	34	-	-	VREFH	P013			GTIOC6_B_C						AN005		DA8_0	IVCMP1	AMP1+		
55	-	-	-	-		P012									AN008				AMP20		
56	43	35	B4	28	AVCC0																
57	44	36	B3	29	AVSS0																
58	45	37	A3	30	VREFL0																
59	46	38	A2	31	VREFH0																
60	-	-	-	-		P003									AN006				AMP2-		
61	-	-	-	-		P002									AN007		DA8_1		AMP2+		
62	-	-	-	-		P001				RTCCOUT_D		CTS9_RT S9_A/ SS9_A		RSPCKB_D						TS15	IRQ0_B
63	47	39	C3	-		P000	AGTIO1_A		GTIOC4_B_B			RXD9_A/ MISO9_A/ SCL9_A	SCL0_C	MISOB_A						TS16	KR00/ IRQ4_A
64	48	40	C2	32		P109	AGTOA0_A	GTETR_GB_A	GTIOC1_B_B			SCK0_C/ TXD9_B/ MOSI9_B/ SDA9_B	SCL1_A	MISOA_A	ADTRG0_B		CMPREF0/ VCOUT_A			TS17	KR01/ IRQ3_A

注． いくつかの端子名には、_A、_B、_C、_D、_E、_F という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

2. CPU

本 MCU は、Arm® Cortex®-M23 コアをベースにしています。

2.1 概要

2.1.1 CPU

- Arm Cortex-M23
 - リビジョン : r1p0-00rel0
 - Armv8-M アーキテクチャプロファイル
 - シングルサイクル整数乗算器
 - 17 サイクル整数除算器
- メモリプロテクションユニット (MPU)
 - Armv8 保護メモリシステムアーキテクチャ
 - 8 つのメモリ保護領域
- SysTick タイマ
 - SYSTICCLK (LOCO) または ICLK による駆動

詳細は、[2.9 章の参考資料 1](#) および [参考資料 2](#) を参照してください。

2.1.2 デバッグ

- Arm CoreSight™ MTB-M23
 - リビジョン : r0p0-00rel0
 - バッファサイズ : 16KB MTB SRAM のうち 1KB
- データウォッチポイントユニット (DWT)
 - ウォッチポイント用の 2 つのコンパレータ
- フラッシュパッチおよびブレイクポイントユニット (FPB)
 - 4 つの命令コンパレータ
- CoreSight デバッグアクセスポート (DAP)
 - シリアルワイヤデバッグポート (SW-DP)
- デバッグレジスタモジュール (DBGREG)
 - リセットコントロール
 - 停止コントロール

詳細は [2.9 章の参考資料 1](#) および [参考資料 2](#) を参照してください。

2.1.3 動作周波数

- CPU : 最大 48MHz
- シリアルワイヤデバッグ (SWD) インタフェース : 最大 12.5MHz

図 2.1 に Cortex-M23 CPU のブロック図を示します。

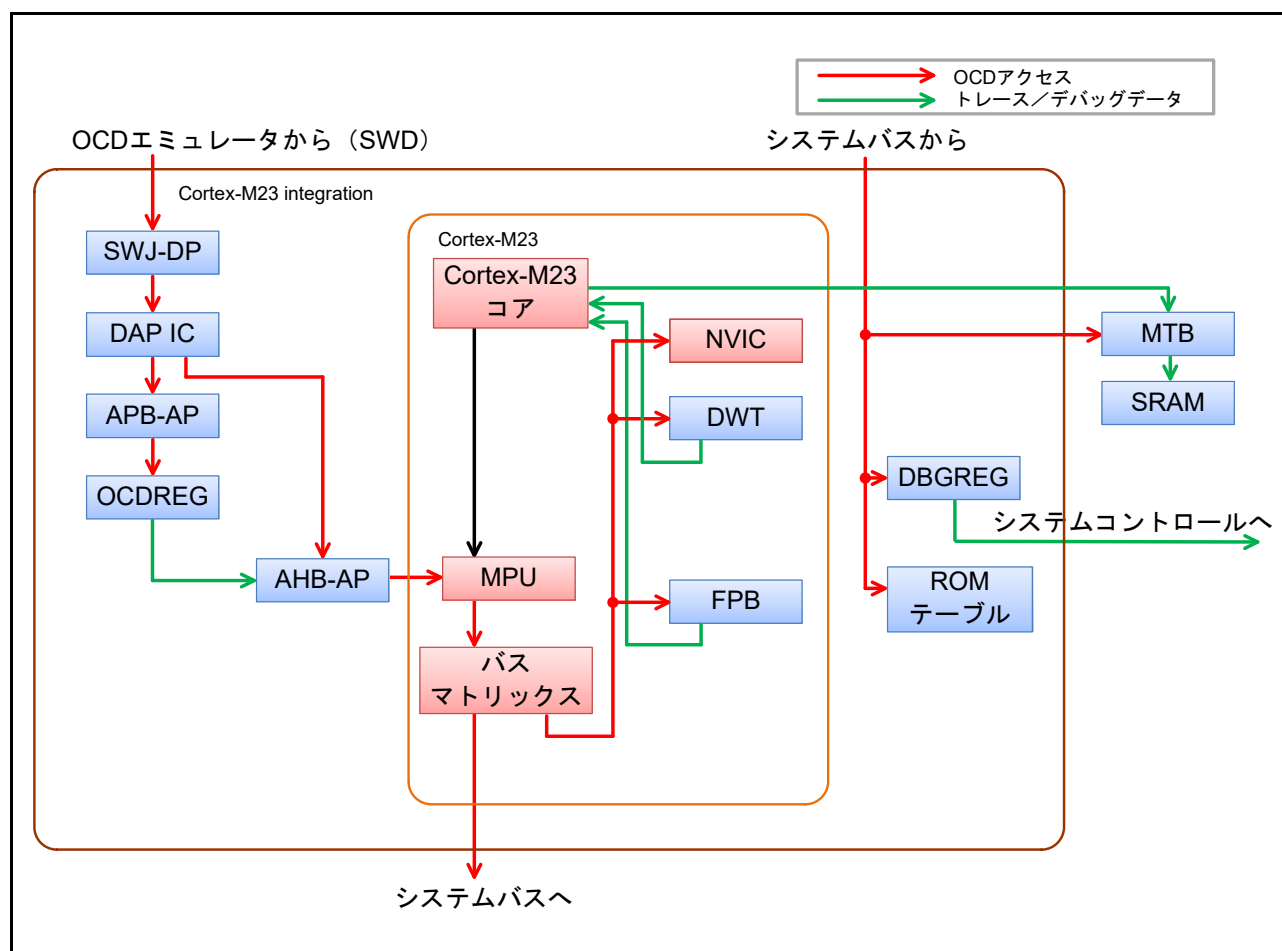


図 2.1 Cortex-M23 CPU ブロック図

2.2 MCU 実装オプション

表 2.1 に MCU の実装オプションを示します。これらは、参考資料 2. に記載する構成オプションに基づきます。

表 2.1 実装オプション

オプション	実装
非セキュア MPU	あり (8つのメモリ保護領域)
セキュア MPU	なし
セキュリティ拡張機能	なし
シングルサイクル乗算器	あり
除算器	あり (17 サイクル)
割り込み回数	32
ウェイクアップ割り込みコントローラ (WIC) の数	なし
クロストリガインタフェース (CTI)	なし
マイクロトレースバッファ (MTB)	あり
エンベデッドトレースマクロセル (ETM)	なし
シリアルワイヤマルチドロップ対応	なし
スリープモードパワーセーブ	スリープモードなどの低消費電力モードがサポートされています。詳細は、「11. 低消費電力モード」を参照してください。SCB.SCR.SLEEPDEEPは無視されます。
エンディアン形式	リトルエンディアン
SysTick SYST_CALIB レジスタ	あり SYST_CALIB = 4000 0147h ビット [31] = 0 基準クロック提供 ビット [30] = 1 TERMS 値が精度異常 ビット [29:24] = 00h 予約ビット ビット [23:0] = 000147h TERM: (32768 × 10ms) - 1 / 32.768kHz = 326.66 (10 進) = 327 (スキューを含む) = 000147h
イベント入出力	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットによって CPU がリセットされます。
補助フォルト入力 (AUXFAULT)	実装なし

2.3 トレースインタフェース

本 MCU は専用のトレース出力インタフェースを提供していません。

2.4 SWD インタフェース

表 2.2 は SWD 端子を示しています。

表 2.2 SWD 端子

名前	入出力	P/N	幅	機能	使用しない場合
SWCLK	入力	Pos.	1 ビット	SWD クロック端子	ブルアップ
SWDIO	入出力	Neg.	1 ビット	SWD 入出力端子	ブルアップ

2.5 デバッグモード

2.5.1 デバッグモード定義

シングルチップモードでは、デバッグが接続されている状態は **OCD**（オンチップデバッグ）モードと定義され、デバッグが接続されていない状態はユーザモードと定義されます。

[表 2.3](#) に、CPU デバッグモードおよびその使用条件を示します。

表 2.3 CPU デバッグモードおよび条件

条件		モード	
OCD 接続	SWD 認証	デバッグモード	デバッグ認証
未接続	—	ユーザモード	禁止
接続	不合格	ユーザモード	禁止
接続	合格	OCD モード	許可

- 注 1. OCD 接続は、SWJ-DP レジスタの CDBGPWUPREQ ビット出力によって判別されます。このビットは OCD によってのみ書き込むことができます。ただし、このビットのレベルは、DBGSTR.CDBGPWUPREQ ビットの読み出しによって確認できます。
- 注 2. デバッグ認証は、Armv8-M アーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、これらが両方とも許可されないことを意味します。

2.5.2 デバッグモードの影響

本項ではデバッグモードの影響について説明します。デバッグモードは、CPU の内部および外部に影響を与えます。

2.5.2.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモードまたはスリープモードへ遷移した場合でも、レジスタの設定値を保持することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ（OCD）アクセスに応答できません。OCD が CoreSight デバッグコンポーネントにアクセスするには、低消費電力モードが解除されるのを待つ必要があります。OCD は MCUCTRL レジスタの DBIRQ ビットを設定することで、低消費電力モードの解除を要求できます。詳細は、[2.6.6.3 MCU コントロールレジスタ（MCUCTRL）](#) を参照してください。

2.5.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCTR の設定内容に依存します。

表 2.4 リセットまたは割り込みおよびモード設定

リセットまたは割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザモードと同じ	
パワーオンリセット	ユーザモードと同じ	
独立ウォッチドッグタイマリセット／割り込み	発生なし (注1)	DBGSTOPCTR の設定内容に依存 (注2)
ウォッチドッグタイマリセット／割り込み	発生なし (注1)	DBGSTOPCTR の設定内容に依存 (注2)
電圧監視0リセット	DBGSTOPCTR の設定内容に依存 (注3)	
電圧監視1リセット／割り込み	DBGSTOPCTR の設定内容に依存 (注3)	
電圧監視2リセット／割り込み	DBGSTOPCTR の設定内容に依存 (注3)	
SRAM パリティエラーリセット／割り込み	DBGSTOPCTR の設定内容に依存 (注3)	
SRAM ECC エラーリセット／割り込み	DBGSTOPCTR の設定内容に依存 (注3)	
MPU バスマスタエラーリセット／割り込み	ユーザモードと同じ	
MPU バススレーブエラーリセット／割り込み	ユーザモードと同じ	
CPU スタックポインタエラーリセット／割り込み	ユーザモードと同じ	
ソフトウェアリセット	ユーザモードと同じ	

注. OCD ブレークモードでは CPU が停止しています。OCD RUN モードでは CPU が OCD モードにあって、停止していません。

注 1. このモードでは IWDT と WDT は常に停止しています。

注 2. IWDT と WDT の動作は、DBGSTOPCTR の設定内容に依存します。

注 3. リセットまたは割り込みのマスク処理は、DBGSTOPCTR の設定内容に依存します。

2.6 プログラマモデル

2.6.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート（AP）があります。

- AHB-AP：CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスする
- APB-AP：専用のアドレス空間（OCD アドレス空間）を持ち、OCD レジスタに接続される

図 2.2 は、AP 接続とアドレス空間のブロック図です。

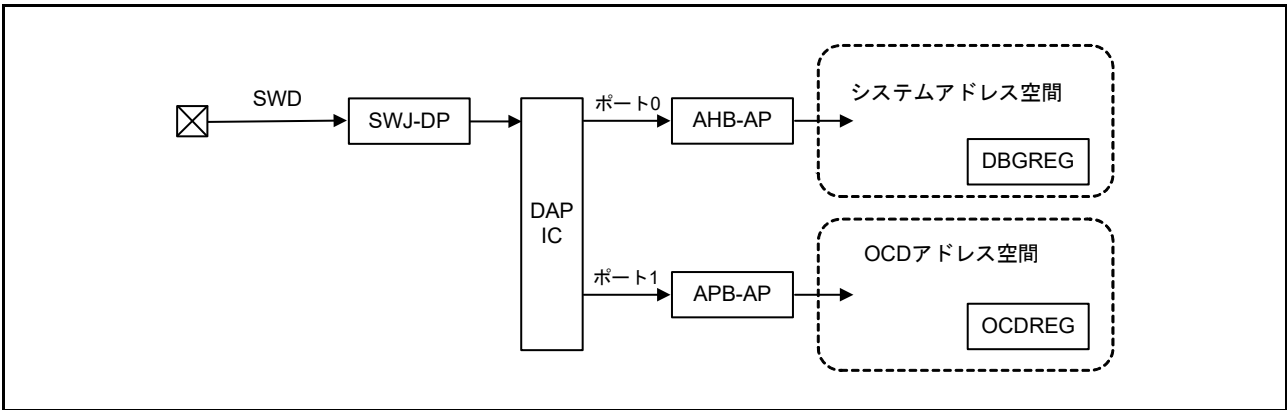


図 2.2 SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、OCD エミュレータ、CPU、および MCU の他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、OCD ツールからのみアクセスが可能です。CPU と他のバスマスタは OCD レジスタにアクセスできません。

2.6.2 Cortex-M23 ペリフェラルアドレスマップ

システムアドレス空間では、Cortex-M23 コアは専用周辺バス（PPB）を備えます。このバスは CPU および OCD エミュレータからのみアクセスが可能です。表 2.5 は、本 MCU のアドレスマップを示しています。

表 2.5 Cortex-M23 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
DWT	E000 1000h	E000 1FFFh	参考資料 2. を参照してください
FPB	E000 2000h	E000 2FFFh	参考資料 2. を参照してください
SCS	E000 E000h	E000 EFFFh	参考資料 2. を参照してください

2.6.3 外部デバッグアドレスマップ

システムアドレス空間では、Cortex-M23 コアは外部デバッグコンポーネントを備えています。これらのコンポーネントは、システムバスを介して CPU および他のバスマスタからアクセスできます。表 2.6 に、Cortex-M23 外部デバッグコンポーネントのアドレスマップを示します。

表 2.6 外部デバッグアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
MTB (SRAM 領域)	2000 4000h	2000 7FFFh	MTBは16KBのうち1KBをトレースバッファとして使用します。 参考資料 5.を参照してください
MTB (SFR 領域)	4001 9000h	4001 9FFFh	参考資料 5.を参照してください
ROM テーブル	4001 A000h	4001 AFFFh	参考資料 5.を参照してください

2.6.4 CoreSight ROM テーブル

本 MCU には 1 つの CoreSight ROM テーブルがあります。これはユーザ領域内に実装されている全コンポーネントの一覧表です。

2.6.4.1 ROM エントリ

表 2.7 に、CoreSight ROM テーブル内の ROM エントリを示します。OCD エミュレータは、本 ROM エントリを使用して、システムに実装されているコンポーネントを識別できます。詳細は、参考資料 4. を参照してください。

表 2.7 CoreSight ROM テーブル

#	アドレス	アクセスサイズ	R/W	値	対象モジュールポインタ
0	4001 A000h	32ビット	R	9FFF 4003h	SCS
1	4001 A004h	32ビット	R	9FFE 7003h	DWT
2	4001 A008h	32ビット	R	9FFE 8003h	FPB
3	4001 A00Ch	32ビット	R	FFFF F003h	MTB
4	4001 A010h	32ビット	R	0000 0000h	エントリ終了

2.6.4.2 CoreSight コンポーネントレジスタ

CoreSight ROM テーブルは、Arm CoreSight アーキテクチャで定義された CoreSight レジスタの一覧表です。

表 2.8 にこれらのレジスタを示します。各レジスタの詳細は[参考資料 4](#)を参照してください。

表 2.8 CoreSight ROM テーブルの CoreSight コンポーネントレジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	E00F FFCCh	32ビット	R	0000 0001h
PID4	E00F FFD0h	32ビット	R	0000 0004h
PID5	E00F FFD4h	32ビット	R	0000 0000h
PID6	E00F FFD8h	32ビット	R	0000 0000h
PID7	E00F FFDCCh	32ビット	R	0000 0000h
PID0	E00F FFE0h	32ビット	R	0000 001Bh
PID1	E00F FFE4h	32ビット	R	0000 0030h
PID2	E00F FFE8h	32ビット	R	0000 000Ah
PID3	E00F FFECCh	32ビット	R	0000 0000h
CID0	E00F FFF0h	32ビット	R	0000 000Dh
CID1	E00F FFF4h	32ビット	R	0000 0010h
CID2	E00F FFF8h	32ビット	R	0000 0005h
CID3	E00F FFFCh	32ビット	R	0000 00B1h

2.6.5 DBGREG モジュール

DBGREG モジュールは、デバッグ機能を制御します。CoreSight 準拠のコンポーネントとして実装されています。

表 2.9 に、CoreSight コンポーネントレジスタ以外の DBGREG レジスタを示します。

表 2.9 CoreSight 以外の DBGREG レジスタ

名前		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0	4001 B000h	32 ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCTR	ポート 0	4001 B010h	32 ビット	R/W

2.6.5.1 デバッグステータスレジスタ (DBGSTR)

アドレス [DBG.DBGSTR 4001 B000h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CDBGPW RUPACK	CDBGPW RUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと 0 が読めます。	R
b28	CDBGPW RUPREQ	デバッグパワーアップ 要求	0 : OCD はデバッグパワーアップを要求していない 1 : OCD はデバッグパワーアップを要求している	R
b29	CDBGPW RUPACK	デバッグパワーアップ アクノリッジ	0 : デバッグパワーアップ要求は承認されない 1 : デバッグパワーアップ要求は承認される	R
b31-b30	—	予約ビット	読むと 0 が読めます。	R

2.6.5.2 デバッグストップコントロールレジスタ (DBGSTOPCR)

アドレス DBG.DBGSTOPCR 4001 B010h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	DBGSTOP_RECCR	DBGSTOP_RPER	—	—	—	—	—	DBGSTOP_LVD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_WDT	DBGSTOP_IWDT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DBGSTOP_IWDT	OCD RUNモードでのIWDTリセット／割り込み用のマスク	OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、IWDT カウンタは停止します。 0 : IWDT リセット／割り込みを許可 1 : IWDT リセット／割り込みをマスクし、IWDT カウンタを停止	R/W
b1	DBGSTOP_WDT	OCD RUNモードでのWDTリセット／割り込み用のマスク	OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、WDT カウンタは停止します。 0 : WDT リセット／割り込みを許可 1 : WDT リセット／割り込みをマスクし、WDT カウンタを停止	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DBGSTOP_LVD[2:0]	LVD0リセット用のマスクビット	0 : LVD0リセットを許可 1 : LVD0リセットをマスク	R/W
b17		LVD1リセット／割り込み用のマスクビット	0 : LVD1リセット／割り込みを許可 1 : LVD1リセット／割り込みをマスク	R/W
b18		LVD2リセット／割り込み用のマスクビット	0 : LVD2リセット／割り込みを許可 1 : LVD2リセット／割り込みをマスク	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DBGSTOP_RPER	SRAMパリティエラーリセット／割り込み用のマスクビット	0 : SRAMパリティエラーリセット／割り込みを許可 1 : SRAMパリティエラーリセット／割り込みをマスク	R/W
b25	DBGSTOP_RECCR	SRAM ECCエラーリセット／割り込み用のマスクビット	0 : SRAM ECCエラーリセット／割り込みを許可 1 : SRAM ECCエラーリセット／割り込みをマスク	R/W
b31-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を制御します。このレジスタの全ビットは、MCU が OCD モードでないときは、0 とみなされます。

2.6.5.3 DBGREG CoreSight コンポーネントレジスタ

DBGREG は、Arm CoreSight アーキテクチャで定義された CoreSight レジスタを備えています。

[表 2.10](#) に、これらのレジスタを示します。各レジスタの詳細は、[参考資料 4](#) を参照してください。

表 2.10 **DBGREG CoreSight コンポーネントレジスタ**

名前	アドレス	アクセスサイズ	R/W	初期値
PID4	4001 BFD0h	32ビット	R	0000 0004h
PID5	4001 BFD4h	32ビット	R	0000 0000h
PID6	4001 BFD8h	32ビット	R	0000 0000h
PID7	4001 BFDCh	32ビット	R	0000 0000h
PID0	4001 BFE0h	32ビット	R	0000 0005h
PID1	4001 BFE4h	32ビット	R	0000 0030h
PID2	4001 BFE8h	32ビット	R	0000 001Ah
PID3	4001 BFECCh	32ビット	R	0000 0000h
CID0	4001 BFF0h	32ビット	R	0000 000Dh
CID1	4001 BFF4h	32ビット	R	0000 00F0h
CID2	4001 BFF8h	32ビット	R	0000 0005h
CID3	4001 BFFCh	32ビット	R	0000 00B1h

2.6.6 OCDREG モジュール

OCDREG モジュールは、オンチップデバッグ（OCD）エミュレータ機能を制御します。CoreSight 準拠のコンポーネントとして実装されています。

表 2.11 に、CoreSight コンポーネントレジスタ以外の OCDREG レジスタを示します。

表 2.11 CoreSight ではないOCDREG レジスタ

名前		DAPポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	ポート 1	8000 0000h	32 ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート 1	8000 0100h	32 ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート 1	8000 0200h	32 ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート 1	8000 0300h	32 ビット	W
MCU ステータスレジスタ	MCUSTAT	ポート 1	8000 0400h	32 ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート 1	8000 0410h	32 ビット	R/W

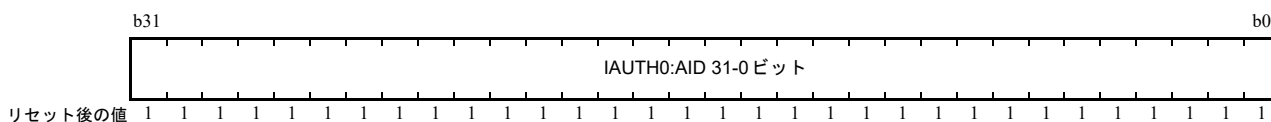
注． OCDREG は専用の OCD アドレス空間に配置されます。このアドレスマップはシステムのアドレスマップから独立しています。2.6.2 [Cortex-M23 ペリフェラルアドレスマップ](#)を参照してください。

2.6.6.1 ID 認証コードレジスタ（IAUTH0 ～ 3）

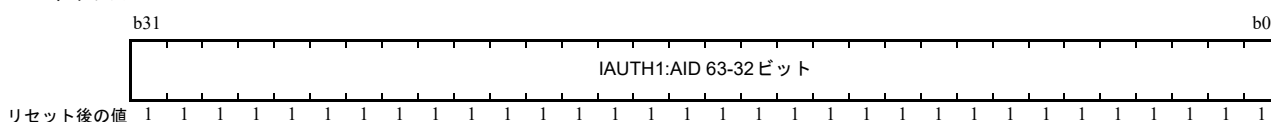
128 ビットキーを書き込むための 4 つの認証レジスタが存在します。これらのレジスタは、IAUTH0 から IAUTH3 への順序で書き込む必要があります。レジスタセットへの書き込みがこの順序に従わないと、予測できない結果となります。

32 ビットの書き込みのみが許可されます。これらのレジスタの初期値はすべて 1 です。これは、OSIS レジスタの ID コードが初期値の場合、SWD アクセスが許可されることを意味します。2.8.1 [アンロック ID コード](#)を参照してください。

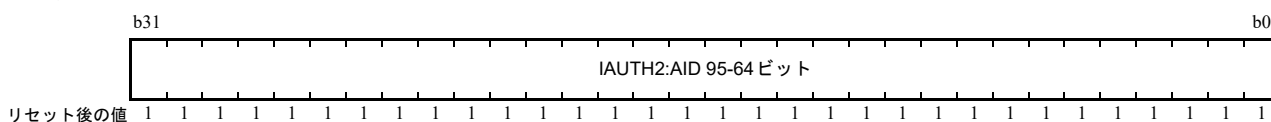
アドレス [IAUTH0 8000 0000h](#)



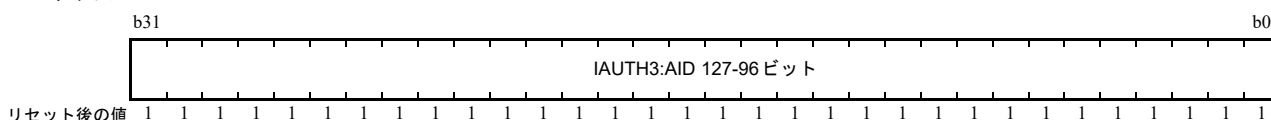
アドレス [IAUTH1 8000 0100h](#)



アドレス [IAUTH2 8000 0200h](#)



アドレス [IAUTH3 8000 0300h](#)



2.6.6.2 MCU ステータスレジスタ (MCUSTAT)

アドレス MCUSTAT 8000 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSTOPCLK	CPUSLEEP	AUTH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	AUTH		0 : 認証失敗 1 : 認証成功	R
b1	CPUSLEEP		0 : CPUは非スリープモード 1 : CPUはスリープモード	R
b2	CPUSTOPCLK		0 : CPUクロックを停止させない。MCUがノーマルモードまたはスリープモードであることを示す 1 : CPUクロックを停止させる。MCUがスヌーズモードまたはソフトウェアスタンバイモードであることを示す	R
b31-b3	—	予約ビット	読むと0が読めます。	R

注 1. MCU 状態に依存します。

2.6.6.3 MCU コントロールレジスタ (MCUCTRL)

アドレス MCUCTRL 8000 0410h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBGRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EDBGRQ	外部デバッグ要求	本ビットに1を書き込むと、CPUが停止するかデバッグモニタ例外となります。 0：デバッグイベントを要求しない 1：デバッグイベントを要求する EDBGRQ ビットを0にするか、CPUが停止したとき、EDBGRQ ビットは解除されます。	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください	R/W
b8	DBIRQ	デバッグ割り込み要求	本ビットに1を書き込むと、MCUは低消費電力モードから復帰します。 0：デバッグ割り込みを要求しない 1：デバッグ割り込みを要求する この条件はDBIRQ ビットに0を書き込むことで解除されます。	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください	R/W

注． DBIRQ ビットと EDBGRQ ビットは同じ値にしてください。

2.6.6.4 OCDREG CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを備えています。

表 2.12 に、これらのレジスタを示します。各レジスタの詳細は、[参考資料 4](#) を参照してください。

表 2.12 OCDREG CoreSight コンポーネントレジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
PID4	8000 0FD0h	32 ビット	R	0000 0004h
PID5	8000 0FD4h	32 ビット	R	0000 0000h
PID6	8000 0FD8h	32 ビット	R	0000 0000h
PID7	8000 0FDCh	32 ビット	R	0000 0000h
PID0	8000 0FE0h	32 ビット	R	0000 0004h
PID1	8000 0FE4h	32 ビット	R	0000 0030h
PID2	8000 0FE8h	32 ビット	R	0000 000Ah
PID3	8000 0FECh	32 ビット	R	0000 0000h
CID0	8000 0FF0h	32 ビット	R	0000 000Dh
CID1	8000 0FF4h	32 ビット	R	0000 00F0h
CID2	8000 0FF8h	32 ビット	R	0000 0005h
CID3	8000 0FFCh	32 ビット	R	0000 00B1h

2.7 SysTick システムタイマ

SysTick システムタイマは、簡易的な 24 ビットダウンカウンタを備えています。このタイマの基準クロックには、CPU クロック (ICLK) または SysTick タイマクロック (SYSTICCLK) を選択できます。詳細は、「9. クロック発生回路」および参考資料 1. (注1) を参照してください。

注 1. 参考資料では、実装で定義された外部クロックは SYSTICCLK (LOCO) で、プロセッサクロックは ICLK です。

2.8 OCD エミュレータ接続

本 MCU は、デバッグと MCU リソースへのアクセス許可をチェックするための SWD 認証機構を備えています。全デバッグ機能を取得するには、この認証機構の合格結果が必要です。

図 2.3 に、認証機構のブロック図を示します。

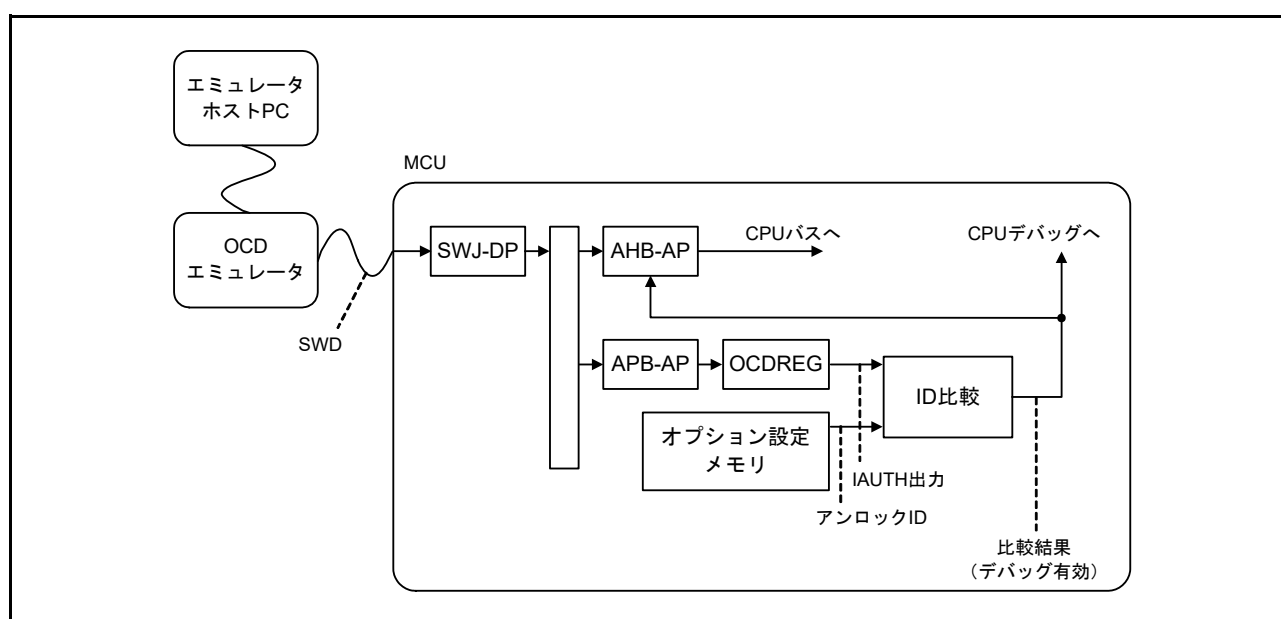


図 2.3 認証機構のブロック図

本 MCU には認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力と、オプション設定メモリからの 128 ビットのアンロック ID コードを比較します。これら 2 つの出力が同一であると、CPU デバッグ機能と、OCD エミュレータからのシステムバスアクセスが許可されます。

2.8.1 アンロック ID コード

アンロック ID コードは、デバッグとオンチップリソースへのアクセスの許可を判定するために用いられます。アンロック ID コードが ID 認証レジスタ 0 ～ 3 に書き込まれた 128 ビットデータと一致した場合、SWD デバッグはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの OCD / シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (FFFFFFFF_FFFFFFFF_FFFFFFFF_FFFFFFFFh) です。詳細は「7. オプション設定メモリ」を参照してください。

2.8.2 DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCDCR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは DBGEN ビットをクリアしないと切断されません。詳細は、「11. 低消費電力モード」を参照してください。

2.8.3 OCD エミュレータ接続における制限

この節では、エミュレータのアクセス制限について説明します。

2.8.3.1 低消費電力モード中の接続開始

OCD エミュレータから SWD 接続を開始するとき、MCU はノーマルモードかスリープモードでなければいけません。本 MCU がソフトウェアスタンバイモードかスヌーズモードであると、OCD エミュレータは本 MCU をハングさせる場合があります。

2.8.3.2 OCD モードにおける低消費電力モードの切り替え

本 MCU が OCD モードであるとき、低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモードまたはスヌーズモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.13 にこれらの制限を示します。

表 2.13 各モードの制限

現在のモード	OCD エミュレータの接続開始	低消費電力モードへの切り替え	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能

ソフトウェアスタンバイモードまたはスヌーズモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の MCUCTRL.EDBGRQ ビットを用いることで、OCD エミュレータは CPU ブレークによって CPU の実行を開始することなく、本 MCU を復帰させることが可能です。

2.8.3.3 OSIS におけるアンロック ID コードの変更

OSIS においてアンロック ID コードを変更した後、OCD エミュレータは、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、MCU をリセットする必要があります。変更されたアンロック ID コードは、このリセット後に反映されます。

2.8.3.4 接続順序と SWD 認証

OCD エミュレータは SWD 認証機構で保護されているため、OCD では認証レジスタに対し ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS の値によって、コード入力が必要かどうかが決まります。リセットネグート後、コールドスタート時の OSIS 値を比較する前に 44 μ s の待ち時間が必要です。

(1) OSIS の MSB が 0 (ビット [127] = 0) のとき

ID コードは常に不一致であり、OCD への接続は禁止されます。

OSIS の bit[127] が 0 に設定されている時、エミュレータはデバイスに接続できませんが、ALeRASE コマンドは実行されます。ALeRASE コマンドが実行されたとき、ユーザー領域とオプション設定メモリ領域は初期化されます。

OSIS レジスタが初期化されるため、エミュレータが接続可能になります。

OSIS の bit[127] = 0 の時、ALeRASE コマンドの実行を防止するためには、追加設定が必要です。

以下の 2 つの方法を選択できます。

A) SECMPUAC の設定 (ブートスワップを設定している時、SECMPUAC のアドレスは 2000h 加算されます。)

- SECMPUAC を 0xFEFF に設定してください。
- SECMPUPCS0 を 0xFFFF_FFFC に、SECMPUPCE0 を 0xFFFF_FFFF に設定してください。

または、

B) AWSC の設定

AWSC の bit[14] を 0 に設定してください。

AWSC の bit[14] は、一度 0 に設定すると 1 に変更できません。

0 に設定した場合、アクセスウィンドウとスタートアップ領域は二度と変更できません。

スタートアップ領域を変更できなくなるため、セルフプログラミングでの書き換えは禁止されます。

(2) OSIS がすべて 1 の場合 (デフォルト)

OCD 認証は不要であり、OCD は認証なしで AHB-AP を使用できます。

1. SWD インタフェースを介して OCD エミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGWPWRUPREQ をアサートする必要があります。その後、同じレジスタの CDBGWPWRUPAC がアサートされるまで待ちます。
3. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(3) OSIS[127:126] = 10b のとき

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0 ~ 3 にアンロック ID コードを書き込んでから、AHB-AP を使用する必要があります。

1. SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGWPWRUPREQ をアサートする必要があります。その後、同じレジスタの CDBGWPWRUPAC がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0 ~ 3 に 128 ビット ID コードを書き込みます。
5. この 128 ビット ID コードが OSIS の値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビット、または AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認することが可能です。

- DbgStatus ビットが 1 の場合、128 ビット ID コードが OSIS 値と一致している。AHB 転送が許可される
 - DbgStatus ビットが 0 の場合、128 ビット ID コードが OSIS 値と一致していない。AHB 転送は許可されない
6. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
 7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(4) OSIS[127:126] = 11b のとき

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0 ~ 3 にアンロック ID コードを書き込む必要があります。接続順序は、「ALeRASE」機能を除いて、OSIS[127:126] = 10b の場合と同じです。

IAUTH レジスタ 0 ~ 3 に ASCII コードで「ALeRASE」(414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFFh) と書き込まれている場合、コードフラッシュ、データフラッシュ、および構成領域の内容はただちに消去されます。詳細は、「[43. フラッシュメモリ](#)」を参照してください。

ALeRASE のシーケンスは下記のとおりです。

1. SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJDP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CDBGPWRUPAC がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0 ~ 3 に 128 ビット ID コードを書き込みます。
5. 128 ビット ID コードが ASCII コードの「ALeRASE」の場合、コードフラッシュ、データフラッシュ、および構成領域の内容は消去されます。その後、MCU はスリープモードに遷移します。

2.9 参考資料

1. ARM® v8-M Architecture Reference Manual (ARM DDI 0553B.a).
2. ARM® Cortex®-M23 Processor Technical Reference Manual (ARM DDI 0550C).
3. ARM® Cortex®-M23 Processor User Guide (ARM DUI 0963B).
4. ARM® CoreSight™ Architecture Specification (ARM IHI 0029D).
5. ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C).

3. 動作モード

3.1 概要

表 3.1 は、モード設定端子による動作モードの選択を示しています。詳細は、[3.2 動作モードの説明](#)を参照してください。どのモードで起動しても、内蔵フラッシュメモリが有効な状態で動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子	動作モード	内蔵フラッシュメモリ
MD		
1	シングルチップモード	有効
0	SCI/USB ブートモード (注1)	有効

注 1. USB ブートモードは 32 ピン製品には存在しません。

3.2 動作モードの説明

3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。MD 端子が High になっているときにリセットが解除されると、本 MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.2.2 SCI ブートモード

本モードでは、MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式シリアル通信インタフェース（UART）SCI を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「[43. フラッシュメモリ](#)」を参照してください。MD 端子を Low に保持してリセットを解除すると、本 MCU は SCI ブートモードで起動します。

3.2.3 USB ブートモード

本モードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（USB ブートプログラム）が用いられます。USB を使用して、MCU 外部からコードフラッシュメモリとデータフラッシュメモリを含む内蔵フラッシュメモリを書き換えることができます。詳細は、「[43. フラッシュメモリ](#)」を参照してください。MD 端子を Low に保持してリセットを解除すると、本 MCU は USB ブートモードで起動します。

注. USB ブートモードは 32 ピン製品には存在しません。

3.3 動作モード遷移

3.3.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、[図 3.1](#) に状態遷移図を示します。

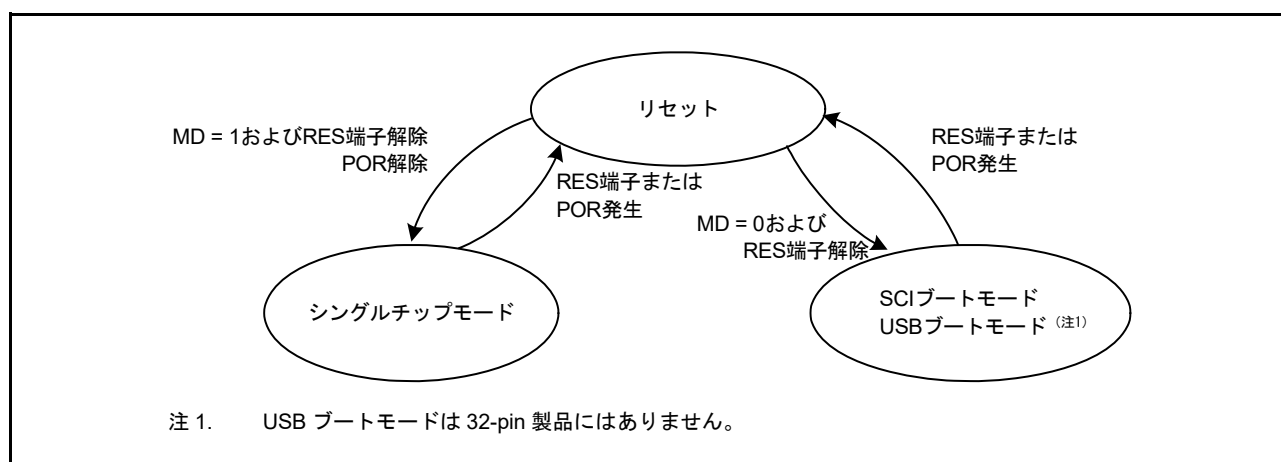


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 概要

本 MCU は、プログラムとデータの両方を格納できる 4GB のリニアアドレス空間（0000 0000h ～ FFFF FFFFh）をサポートしています。図 4.1 にメモリマップを示します。

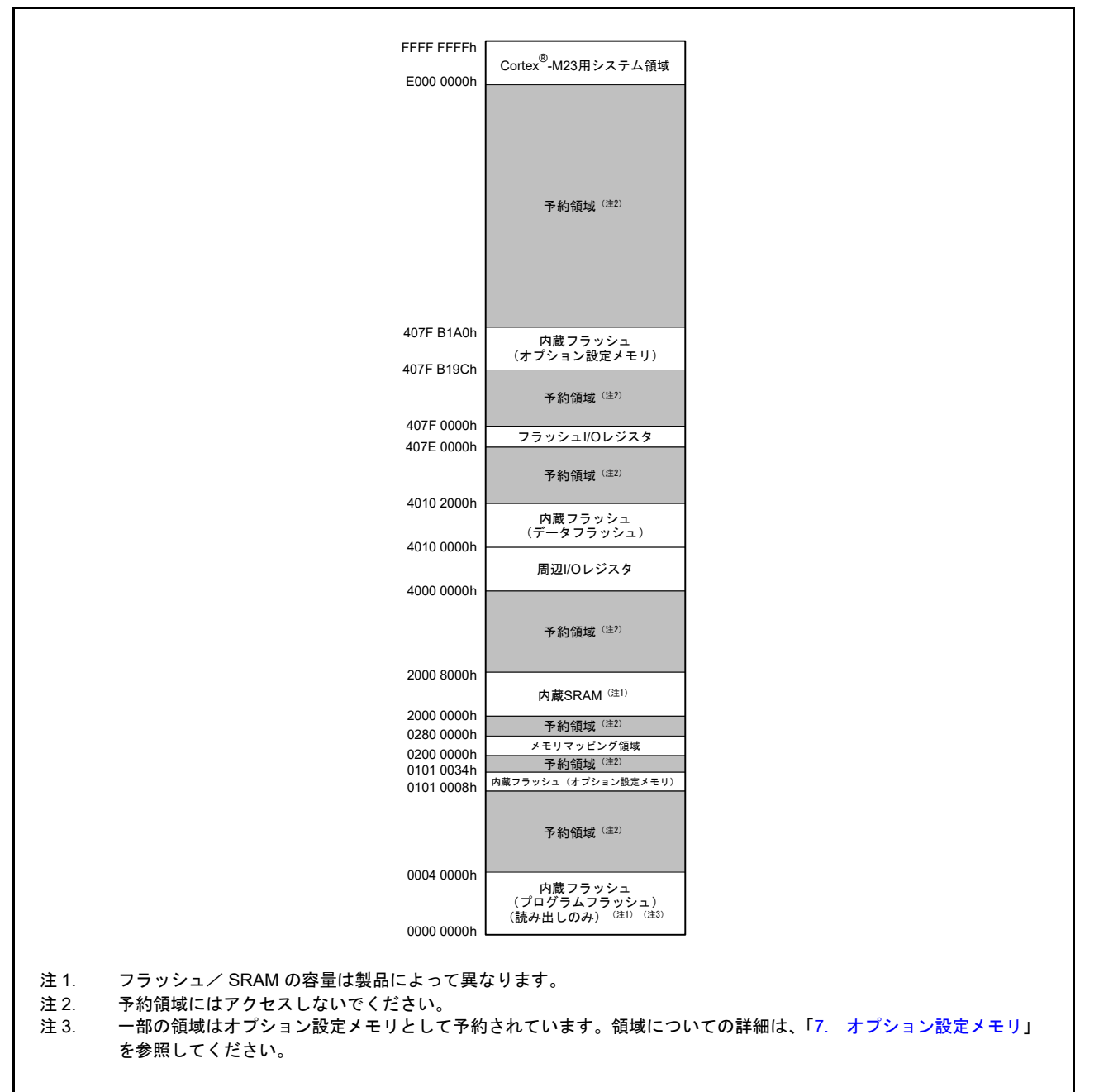


図 4.1 メモリマップ

5. メモリミラー機能（MMF）

5.1 概要

本 MCU はメモリミラー機能（MMF）を備えています。MMF を構成することによって、コードフラッシュメモリ内のアプリケーションイメージのロードアドレスを、未使用の 23 ビットメモリミラー空間アドレスにおけるアプリケーションイメージのリンクアドレスへマップすることが可能です。ユーザアプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクする必要があります。アプリケーションコードでは、コードフラッシュメモリ内に格納されときのロードアドレスを認識する必要がありません。

表 5.1 に MMF の仕様を示します。

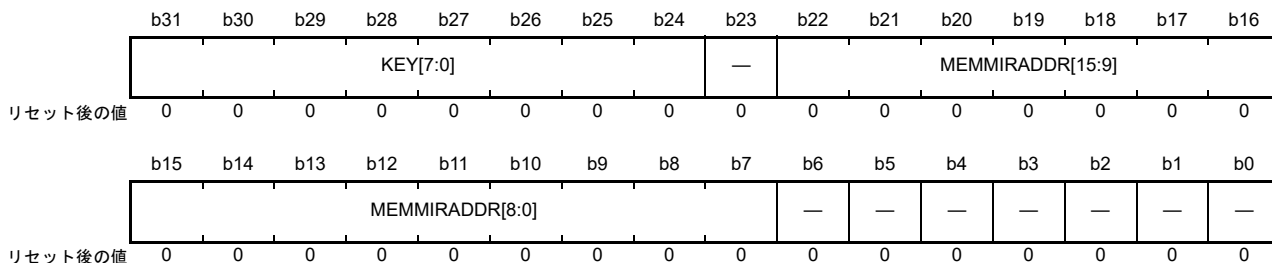
表 5.1 MMF の仕様

項目	内容
メモリミラー空間	8MB (0200 0000h ~ 027F FFFFh)
メモリミラー境界	128 バイト

5.2 レジスタの説明

5.2.1 MemMirror 特殊機能レジスタ (MMSFR)

アドレス [MMF.MMSFR 4000 1000h](#)



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22-b7	MEMMIRADDR[15:0]	メモリミラーアドレス	0000h ~ FFFFh (8MB)	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b24	KEY[7:0]	MMSFRキーコード	MEMMIRADDRビットの書き換えを有効または無効にします。	R/W

[MEMMIRADDR\[15:0\]](#) ビット (メモリミラーアドレス)

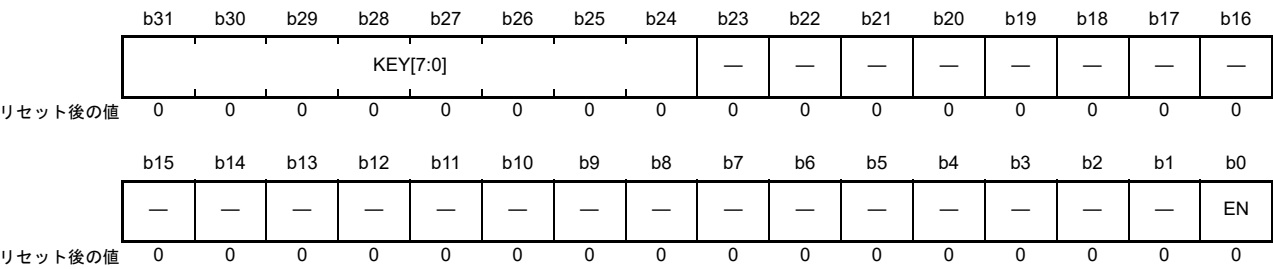
メモリミラーアドレスの [22:7] ビットを指定します。これらのビットでは、メモリミラー空間アドレスの開始アドレス (0200 0000h) のリンク先を設定します。これらのビットへの書き込みは、このレジスタが 32 ビットワードでアクセスされ、かつ DBh の値が [KEY\[7:0\]](#) ビットに書き込まれた場合にのみ有効になります。

[KEY\[7:0\]](#) ビット (MMSFR キーコード)

MEMMIRADDR[15:0] ビットの書き換えを有効または無効にします。[KEY\[7:0\]](#) ビットへの書き込みデータは保存されません。読むと 0 が読めます。このキーコードと [MEMMIRADDR\[15:0\]](#) ビットは、同じサイクルで書き込む必要があります。

5.2.2 MemMirror イネーブルレジスタ（MMEN）

アドレス MMF.MMEN 4000 1004h



ビット	シンボル	ビット名	機能	R/W
b0	EN	メモリミラー機能有効	0：メモリミラー機能は無効 1：メモリミラー機能は有効	R/W
b23-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b24	KEY[7:0]	MMENキーコード	ENビットの書き換えを有効または無効にします。	R/W

EN ビット（メモリミラー機能有効）

EN ビットへの書き込みは、MemMirror イネーブルレジスタが 32 ビットワードでアクセスされ、かつ DBh の値が KEY[7:0] ビットに書き込まれた場合にのみ有効になります。

KEY[7:0] ビット（MMEN キーコード）

EN ビットの書き換えを有効または無効にします。KEY[7:0] ビットへの書き込みデータは保存されません。読むと 0 が読めます。このキーコードと EN ビットは、同じサイクルで書き込む必要があります。

5.3 動作説明

5.3.1 メモリミラー機能動作

メモリミラー機能は、メモリミラー空間 (0200 0000h ~ 027F FFFFh) をコードフラッシュメモリ領域にリンクさせます。MMEN.EN=1 の場合、CPU は通常のアドレス (開始アドレス : 0000 0000h) とメモリミラー空間アドレス (開始アドレス : 0200 0000h) の両方を使用してコードフラッシュメモリにアクセスできます。図 5.1 にメモリミラー機能の概要を示します。MMSFR.MEMMIRADDR[15:0] ビットでは、メモリミラー空間アドレスの開始アドレス (0200 0000h) のリンク先を指定します。図 5.2、図 5.3、および図 5.4 にメモリミラー機能の動作を示します。また、図 5.5 にメモリミラー機能の設定手順を示します。

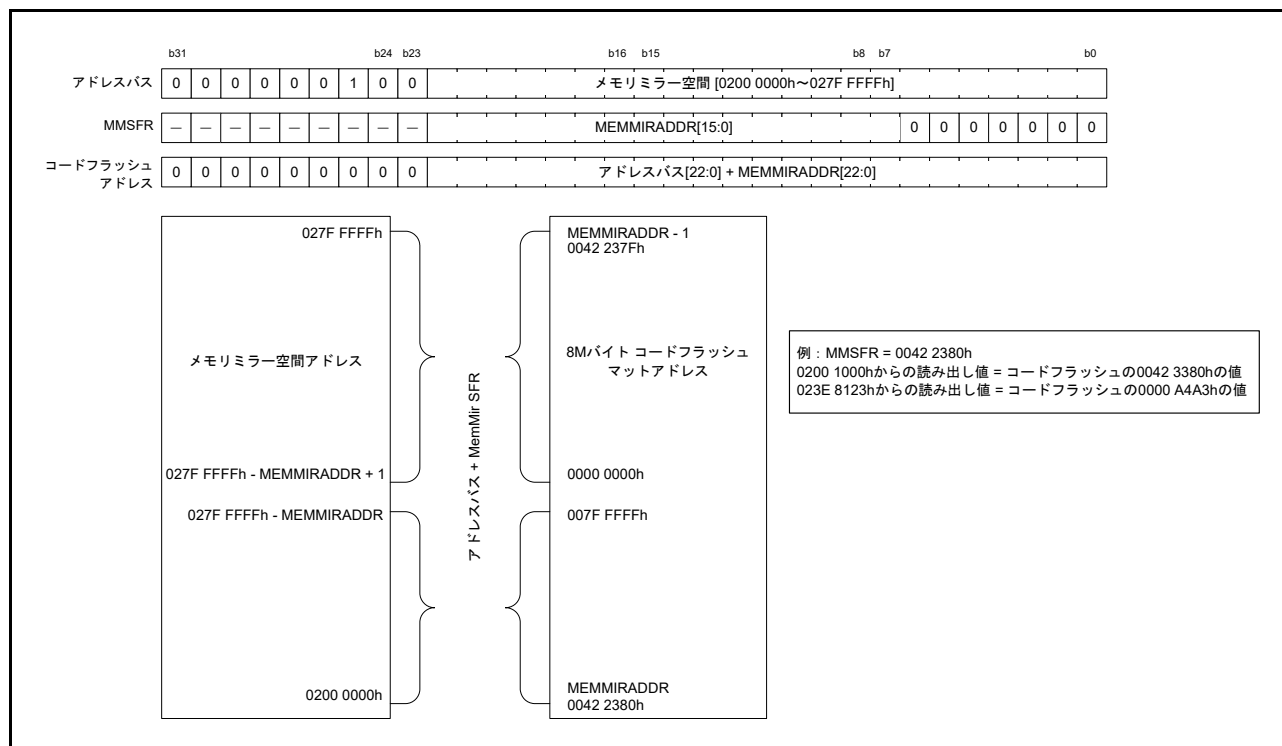


図 5.1 メモリミラー機能動作

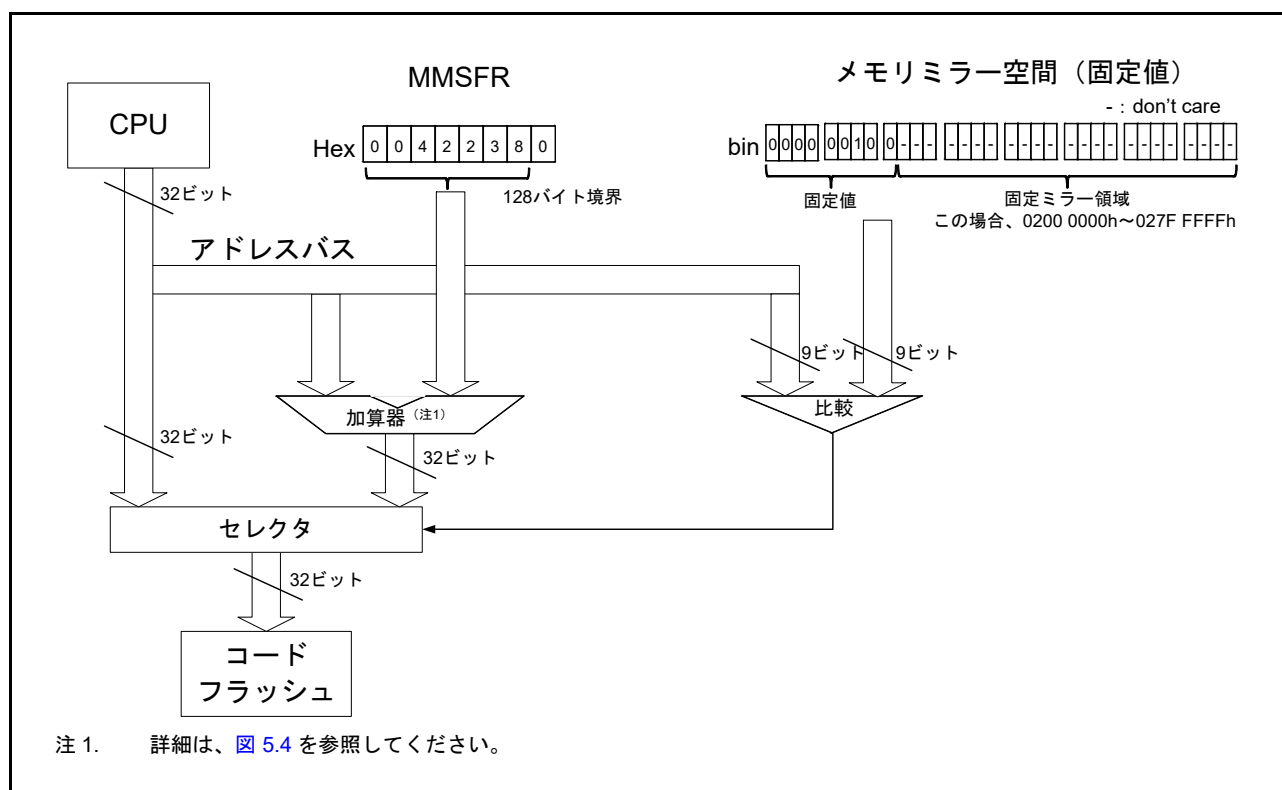


図 5.2 メモリミラー機能のブロック図

図 5.3 に、各モジュールで処理されるアドレスを示します。Arm[®] MPU は CPU のオリジナルアドレスを使用します。セキュリティ MPU およびコードフラッシュメモリは、メモリミラー機能による変換後のアドレスを使用します。

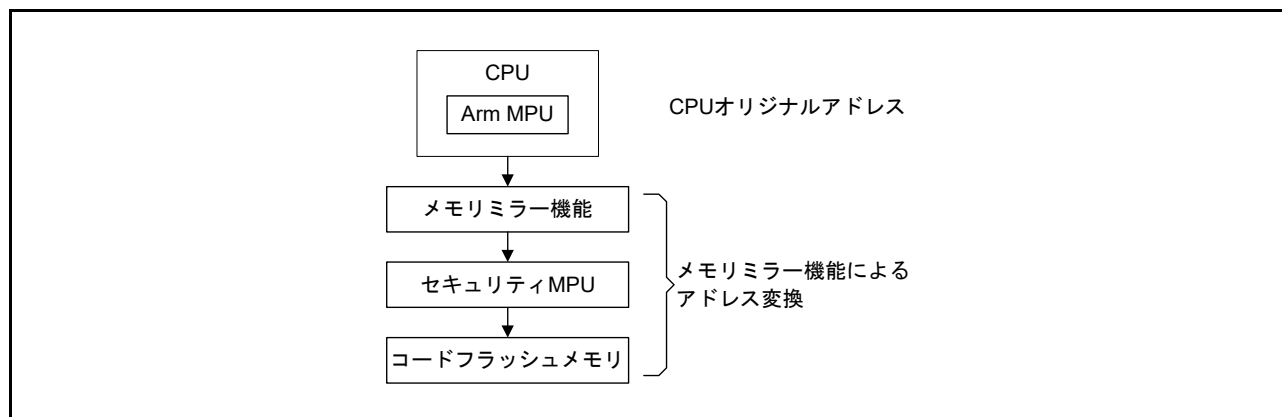


図 5.3 メモリミラー機能のアドレス処理

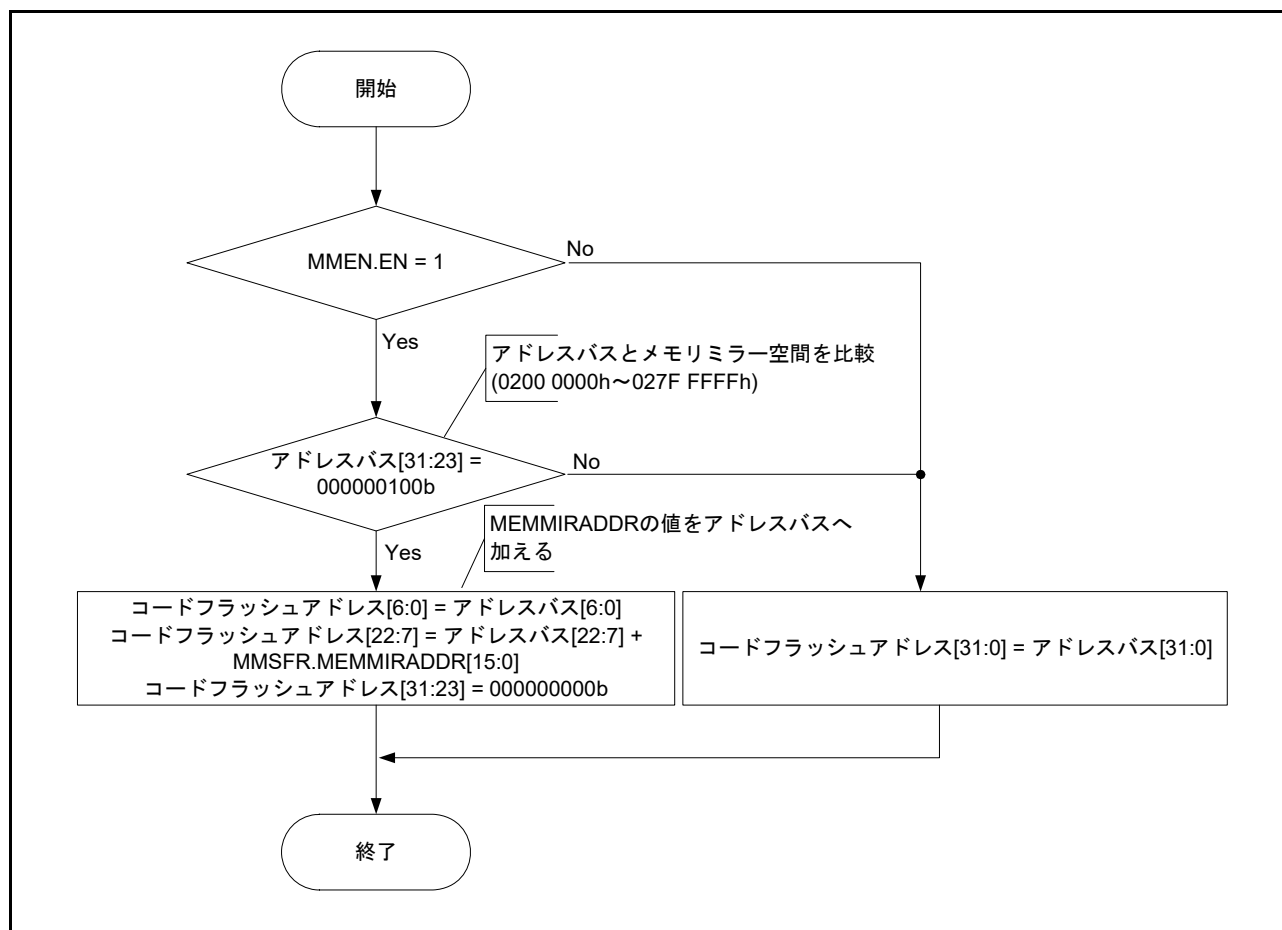


図 5.4 メモリミラー機能の動作フローチャート

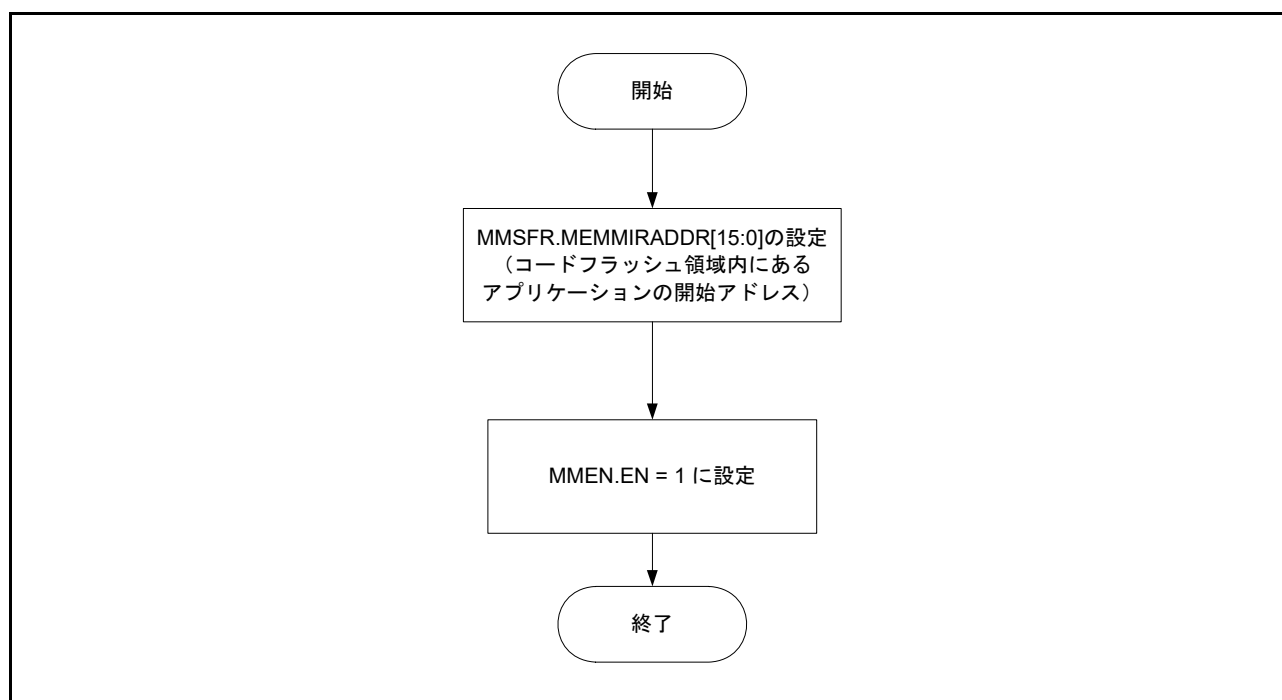


図 5.5 メモリミラー機能の設定フローチャート

5.3.2 設定例

コードフラッシュ上の対象アプリケーションコードは、MMSFR.MEMMIRADDR[15:0] でコードフラッシュ開始アドレスを設定し、MMEN.EN を 1 に設定することによって、メモリミラー空間上のアドレス 0200 0000h からアクセスすることが可能です。

図 5.6 に、メモリミラー機能の使用方法的例を示します。

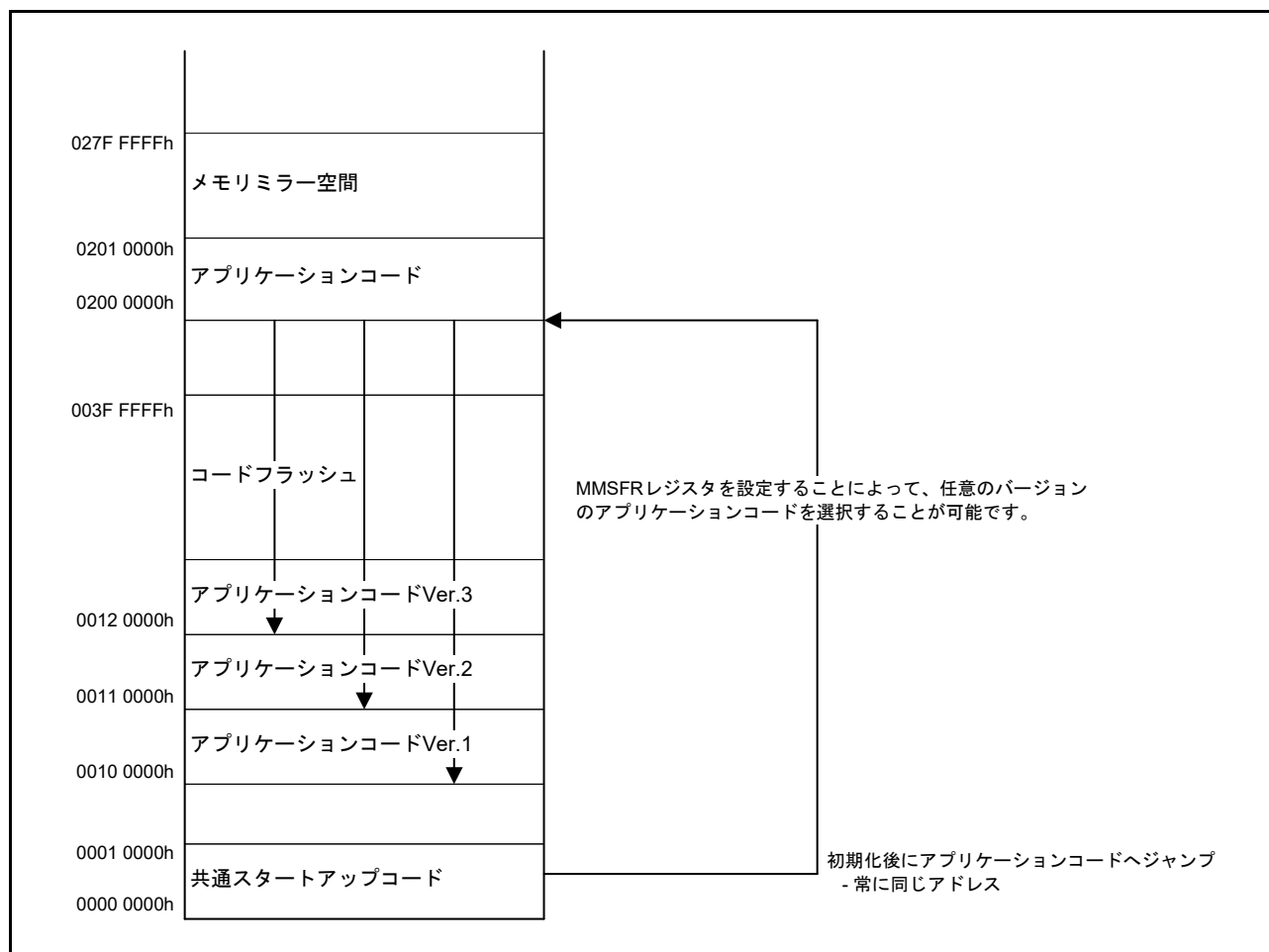


図 5.6 メモリミラー機能の設定例

アプリケーションコード Ver.1 を使用する場合は、MMSFR レジスタを DB10 0000h に設定

アプリケーションコード Ver.2 を使用する場合は、MMSFR レジスタを DB11 0000h に設定

アプリケーションコード Ver.3 を使用する場合は、MMSFR レジスタを DB12 0000h に設定

6. リセット

6.1 概要

本 MCU は、以下の 13 種類のリセットをサポートしています。

- RES 端子リセット
- パワーオンリセット
- 独立ウォッチドッグタイマリセット
- ウォッチドッグタイマリセット
- 電圧監視 0 リセット
- 電圧監視 1 リセット
- 電圧監視 2 リセット
- SRAM パリティエラーリセット
- SRAM ECC エラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- CPU スタックポインタエラーリセット
- ソフトウェアリセット

表 6.1 にリセットの名称と要因を示します。

表 6.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇 (監視電圧: V_{POR}) (注1)
独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラー
電圧監視 0 リセット	VCC の下降 (監視電圧: V_{det0}) (注1)
電圧監視 1 リセット	VCC の下降 (監視電圧: V_{det1}) (注1)
電圧監視 2 リセット	VCC の下降 (監視電圧: V_{det2}) (注1)
SRAM パリティエラーリセット	SRAM パリティエラー検出
SRAM ECC エラーリセット	SRAM ECC エラー検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラー検出
バススレーブ MPU エラーリセット	バススレーブ MPU エラー検出
CPU スタックポインタエラーリセット	CPU スタックポインタエラー検出
ソフトウェアリセット	レジスタ設定 (Arm®ソフトウェアリセットビット: AIRCR.SYSRESETREQ を使用)

注 1. 監視電圧 (V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2}) については、「8. 低電圧検出 (LVD)」と「47. 電氣的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 6.2 と表 6.3 に、リセット種類の初期化対象を示します。

表 6.2 初期化対象のリセット検出フラグ（リセット種別）

初期化対象フラグ	リセット要因				
	RES端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	X	X	X	X
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	X	X	X
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	○	○	○	X	X
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	○	○	○	X	X
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	X	X
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	X	X
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	○	○	○	X	X
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	○	○	○	X	X
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	○	○	○	X	X
バススレーブMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	○	○	○	X	X
バスマスタMPUエラーリセット検出フラグ (RSTSR1.SPERF)	○	○	○	X	X
CPUスタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	○	○	○	X	X
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	X	○	X	X	X

初期化対象フラグ	リセット要因				
	電圧監視1リセット	電圧監視2リセット	ソフトウェアリセット	SRAMパリティエラーリセット	SRAM ECCエラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	X	X	X	X	X
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	X	X	X	X	X
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	X	X	X	X	X
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	X	X	X	X	X
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	X	X	X	X	X
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	X	X	X	X	X
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	X	X	X	X	X
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	X	X	X	X	X
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	X	X	X	X	X
バススレーブMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	X	X	X	X	X
バスマスタMPUエラーリセット検出フラグ (RSTSR1.SPERF)	X	X	X	X	X
CPUスタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	X	X	X	X	X
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	X	X	X	X	X

初期化対象フラグ	リセット要因		
	バスマスタMPUエラーリセット	バススレーブMPUエラーリセット	CPUスタックポインタエラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	X	X	X
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	X	X	X
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	X	X	X
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	X	X	X
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	X	X	X
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	X	X	X
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	X	X	X
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	X	X	X
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	X	X	X

初期化対象フラグ	リセット要因		
	バスマスタ MPU エラーリセット	バススレーブ MPU エラーリセット	CPU スタック ポインタエラー リセット
バススレーブ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF)	X	X	X
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.SPERF)	X	X	X
CPU スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	X	X	X
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	X	X	X

○ : 0 に初期化される。x : 初期化されない。

表 6.3 初期化対象のモジュール関連レジスタ（リセット種別）

初期化対象レジスタ		リセット要因						
		RES端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチドッ グタイマリ セット	電圧監視1 リセット	電圧監視2 リセット
ウォッチドッグタイマレジスタ	WDTRR, WDTCSR, WDTSR, WDTRCR, WDTGSTPR	○	○	○	○	○	○	○
電圧監視機能1レジスタ	LVD1CR0, LVCMPCCR.LVD1E, LVDLVL.R.LVD1LVL	○	○	○	○	○	X	X
	LVD1CR1/LVD1SR	○	○	○	○	○	X	X
電圧監視機能2レジスタ	LVD2CR0, LVCMPCCR.LVD2E, LVDLVL.R.LVD2LVL	○	○	○	○	○	X	X
	LVD2CR1/LVD2SR	○	○	○	○	○	X	X
SOSCレジスタ	SOSCCR	X	○	X	X	X	X	X
	SOMCR	X	○	X	X	X	X	X
LOCOレジスタ	LOCOCR	○	○	○	○	○	○	○
	LOCOUTCR	X	○	○	X	X	○	○
MOSCレジスタ	MOMCR	○	○	○	○	○	○	○
リアルタイムクロック (RTC) レジスタ (注1)		X	X	X	X	X	X	X
AGTレジスタ		X	○	○	X	X	○	○
MPUレジスタ		○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子以外)		○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子)		X	○	X	X	X	X	X
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	○	○

初期化対象レジスタ		リセット要因					
		ソフトウェア リセット	SRAMバリ ティエラーリ セット	SRAM ECC エラー リセット	バスマスタ MPUエラー リセット	バスマスタ MPUエラー リセット	CPUスタック ポインタエ ラーリセット
ウォッチドッグタイマレジスタ	WDTRR, WDTCSR, WDTSR, WDTRCR, WDTGSTPR	○	○	○	○	○	○
電圧監視機能1レジスタ	LVD1CR0, LVCMPCCR.LVD1E, LVDLVL.R.LVD1LVL	X	X	X	X	X	X
	LVD1CR1/LVD1SR	X	X	X	X	X	X
電圧監視機能2レジスタ	LVD2CR0, LVCMPCCR.LVD2E, LVDLVL.R.LVD2LVL	X	X	X	X	X	X
	LVD2CR1/LVD2SR	X	X	X	X	X	X
SOSCレジスタ	SOSCCR	X	X	X	X	X	X
	SOMCR	X	X	X	X	X	X
LOCOレジスタ	LOCOCR	○	○	○	○	○	○
	LOCOUTCR	X	X	X	X	X	X
MOSCレジスタ	MOMCR	○	○	○	○	○	○
リアルタイムクロック (RTC) レジスタ (注1)		X	X	X	X	X	X
AGTレジスタ		X	X	X	X	X	X
MPUレジスタ		○	○	○	X	X	X
端子状態 (XCIN/XCOUT端子以外)		○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子)		X	X	X	X	X	X
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	○

○：初期化される。x：初期化されない。

注 1. RTC にはソフトウェアリセットがあります。RCR1.RTCOS、RCR1.CIE、RCR2.RTCOE、RCR2.ADJ30、および RCR2.RESET は初期化されます。対象ビットの詳細については、「23. リアルタイムクロック (RTC)」を参照してください。

RTC はいずれのリセット要因によっても初期化されません。SOSC と LOCO は、RTC のクロックソースとして選択可能です。表 6.4 および表 6.5 に、リセット発生時の SOSC と LOCO の状態を示します。

表 6.4 リセット発生時の SOSC の状態

		リセット要因	
		POR	その他
SOSC	有効または無効	無効に初期化	リセット発生前に選択されていた状態を継続
	駆動能力	ノーマルモードに初期化	リセット発生前に選択されていた状態を継続
	XCIN/XCOUT	ポートモードに初期化	リセット発生前に選択されていた状態を継続

表 6.5 リセット発生時の LOCO の状態

		リセット要因	
		POR/LVD0/LVD1/LVD2	その他
LOCO	有効または無効	有効に初期化	
	発振精度 (注1)	電源投入によるトリミング前の精度に初期化 (精度: $\pm 15\%$)	LOCOUTCRによってトリミングされた精度を継続

注 1. LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR) は、POR、LVD0、LVD1、LVD2 の各リセットでリセットされます。これにより LOCO は、デフォルトの発振精度に戻ります。RTC が (LOCOUTCR のユーザトリミング値で) LOCO を RTC ソースクロックとして使用しているとき、RTC 精度が影響を受ける場合があります。事前に設定した LOCO 発振精度に戻すには、これらのいずれかのリセット後、LOCOUTCR に必要なトリミング値をリロードしてください。

リセットが解除されると、リセット例外処理を開始します。

表 6.6 にリセット機能に関連する入出力端子を示します。

表 6.6 リセット関連の入出力端子

端子名	入出力	機能
RES	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス `SYSTEM.RSTSR0 4001 E410h`

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	x (注1)	x (注1)	x (注1)	x (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0 : パワーオンリセット未検出 1 : パワーオンリセット検出	R(/W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0 : 電圧監視0リセット未検出 1 : 電圧監視0リセット検出	R(/W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0 : 電圧監視1リセット未検出 1 : 電圧監視1リセット検出	R(/W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0 : 電圧監視2リセット未検出 1 : 電圧監視2リセット検出	R(/W) (注2)
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。本フラグは、1を読んだ後、0を書くことでクリアする必要があります。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD0RF フラグ (電圧監視 0 リセット検出フラグ)

VCC 電圧が V_{det0} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD1RF フラグ (電圧監視 1 リセット検出フラグ)

VCC 電圧が V_{det1} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD2RF フラグ (電圧監視 2 リセット検出フラグ)

VCC 電圧が V_{det2} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス SYSTEM.RSTSR1 4001 E0C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPERF	BUSMRF	BUSSRF	REERF	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	x (注1)	x (注1)	x (注1)	x (注1)	x (注1)	0	0	0	0	0	x (注1)	x (注1)	x (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/(W) (注2)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	RPERF	SRAMパリティエラーリセット検出フラグ	0: SRAMパリティエラーリセット未検出 1: SRAMパリティエラーリセット検出	R/(W) (注2)
b9	REERF	SRAM ECCエラーリセット検出フラグ	0: SRAM ECCエラーリセット未検出 1: SRAM ECCエラーリセット検出	R/(W) (注2)
b10	BUSSRF	バススレーブMPUエラーリセット検出フラグ	0: バススレーブMPUエラーリセット未検出 1: バススレーブMPUエラーリセット検出	R/(W) (注2)
b11	BUSMRF	バスマスタMPUエラーリセット検出フラグ	0: バスマスタMPUエラーリセット未検出 1: バスマスタMPUエラーリセット検出	R/(W) (注2)
b12	SPERF	CPUスタックポインタエラーリセット検出フラグ	0: CPUスタックポインタエラーリセット未検出 1: CPUスタックポインタエラーリセット検出	R/(W) (注2)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。本フラグは、1を読んだ後、0を書くことでクリアする必要があります。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

RPERF フラグ (SRAM パリティエラーリセット検出フラグ)

SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

REERF フラグ (SRAM ECC エラーリセット検出フラグ)

SRAM ECC エラーリセットが発生したことを示します。

[1 になる条件]

- SRAM ECC エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

BUSSRF フラグ (バススレーブ MPU エラーリセット検出フラグ)

バススレーブ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バススレーブ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

BUSMRF フラグ (バスマスタ MPU エラーリセット検出フラグ)

バスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

SPERF フラグ (CPU スタックポインタエラーリセット検出フラグ)

スタックポインタエラーリセットが発生したことを示します。

[1 になる条件]

- スタックポインタエラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス **SYSTEM.RSTSR2 4001 E411h**

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	x (注1)

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート／ウォームスタート 判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをセットするための 1 の書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ (コールドスタート／ウォームスタート判別フラグ)

リセット処理の種類（コールドスタートまたはウォームスタート）を示します。CWSF フラグは、パワーオンリセットで初期化されます。RES 端子リセットでは初期化されません。

[1 になる条件]

- ソフトウェアで 1 を書き込んだとき 0 を書いても変化しない

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき

6.3 動作説明

6.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切れ、MCU はリセット状態になります。MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 (t_{RESWT}) 経過後に内部リセットが解除されます。その後 CPU はリセット例外処理を開始します。

詳細は、「[47. 電気的特性](#)」を参照してください。

6.3.2 パワーオンリセット

パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。RES 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が V_{POR} を超えると、指定されたパワーオンリセット時間経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間とは、外部電源と MCU 回路のための安定期間です。パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。

VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。 V_{det0} の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL1[2:0] ビットの設定により変更できます。

図 6.1 に、パワーオンリセットおよび電圧監視 0 リセット時の動作例を示します。

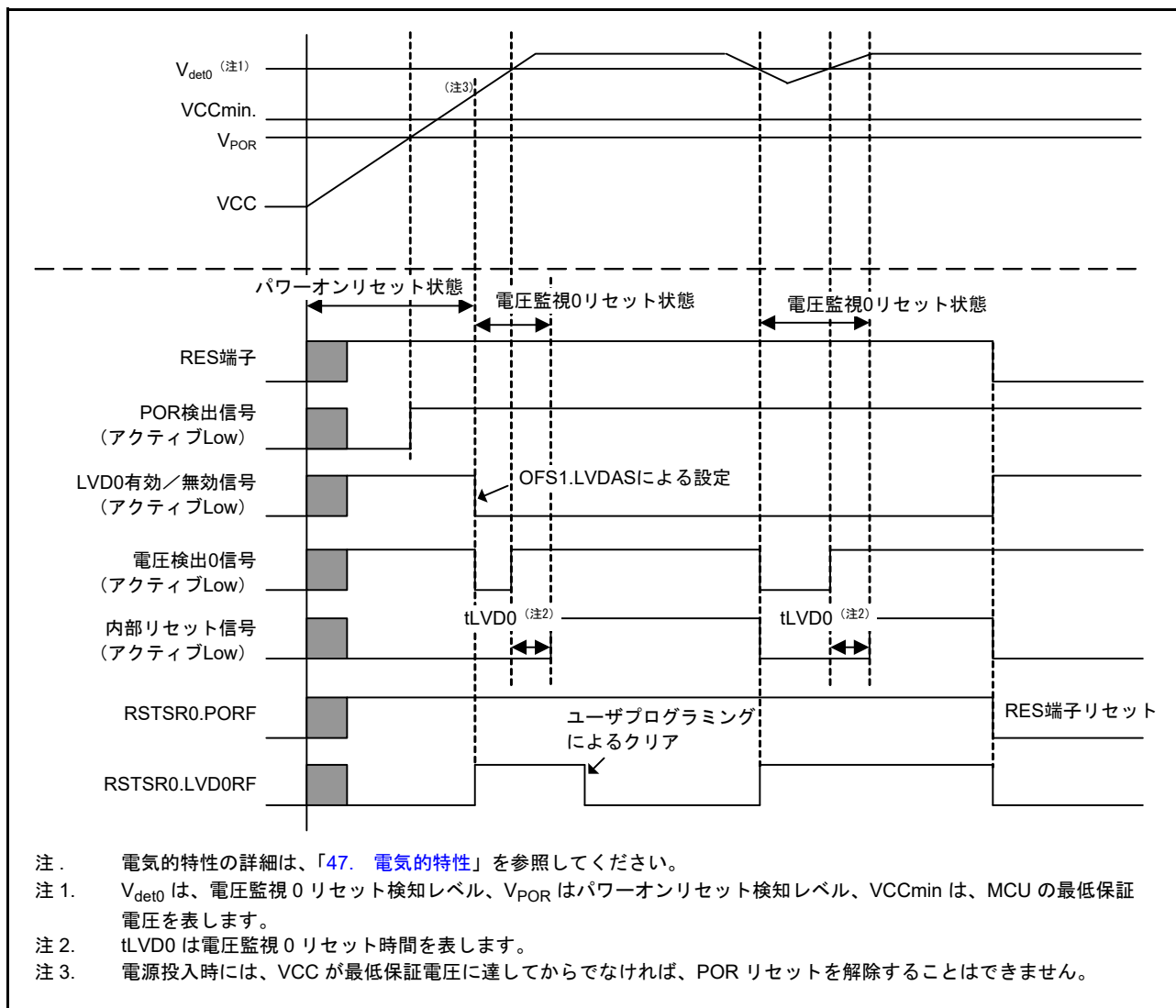


図 6.1 パワーオンリセットおよび電圧監視 0 リセット時の動作例

6.3.3 電圧監視リセット

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

同様に、電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC が V_{det1} 以下になっている場合、 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC が V_{det1} 以下になっている場合、LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) の設定により選択可能です。

V_{det1} および V_{det2} の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) によって変更できます。

図 6.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「8. 低電圧検出 (LVD)」を参照してください。

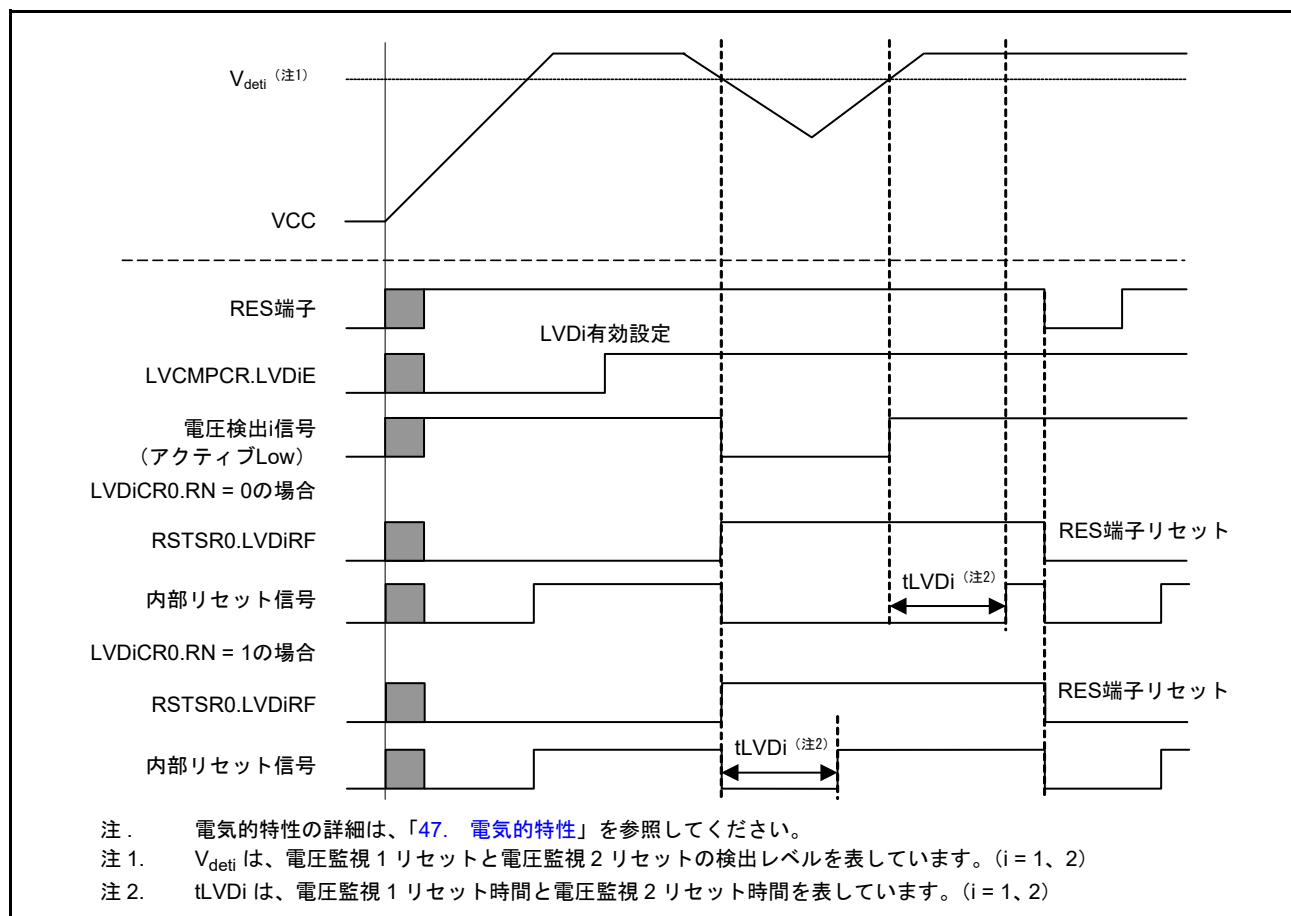


図 6.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマ (IWDT) による内部リセットです。オプション機能選択レジスタ 0 (OFS0) によって、IWDT からリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、IWDT がアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、このリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

6.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマ (WDT) による内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、またはオプション機能選択レジスタ 0 (OFS0) によって、WDT からリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、WDT がアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、このリセットが発生します。ウォッチドッグタイマリセット発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「[24. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

6.3.6 ソフトウェアリセット

ソフトウェアリセットは、Arm コア内部の AICR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、ARM® Cortex®-M23 Technical Reference Manual を参照してください。

6.3.7 コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因を判定できます。本フラグは、電源が投入されたときのリセット処理 (コールドスタート) なのか、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) なのかを示します。

CWSF フラグは、パワーオンリセットが発生すると 0 (コールドスタート) になります。その他のリセットを行っても 0 になりません。また、ソフトウェアで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 6.3 にコールドスタート／ウォームスタート判定機能の動作例を示します。

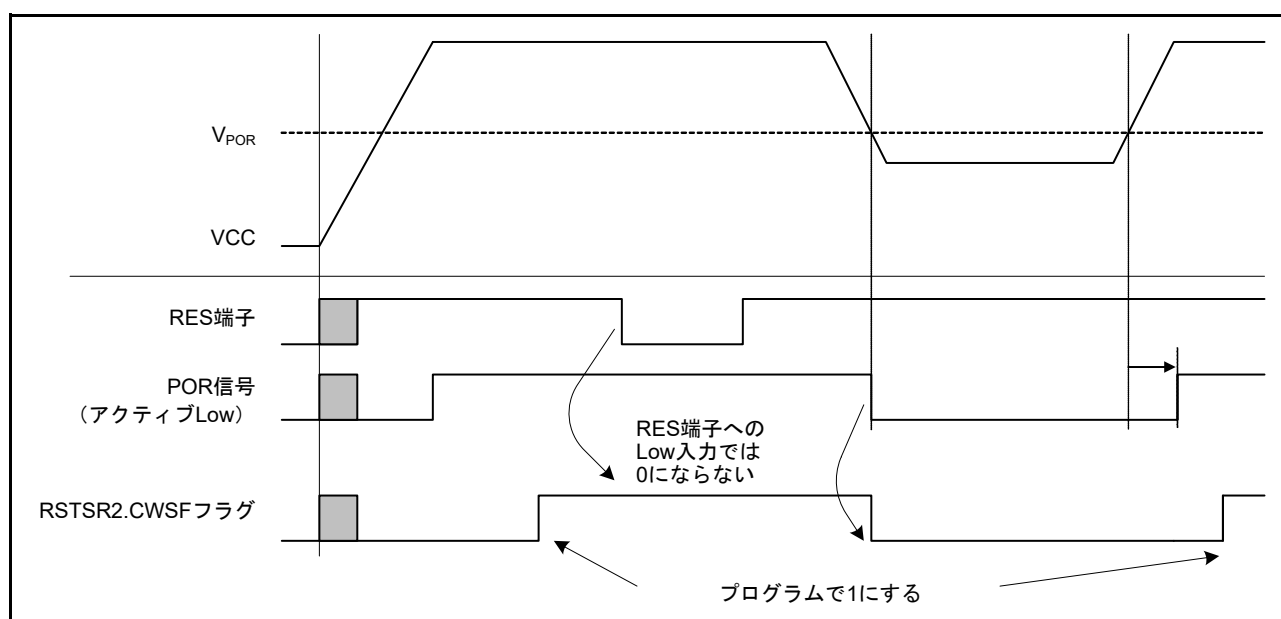


図 6.3 コールドスタート／ウォームスタート判定機能の動作例

6.3.8 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 6.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、1 を読んだ後に 0 を書く必要があります。

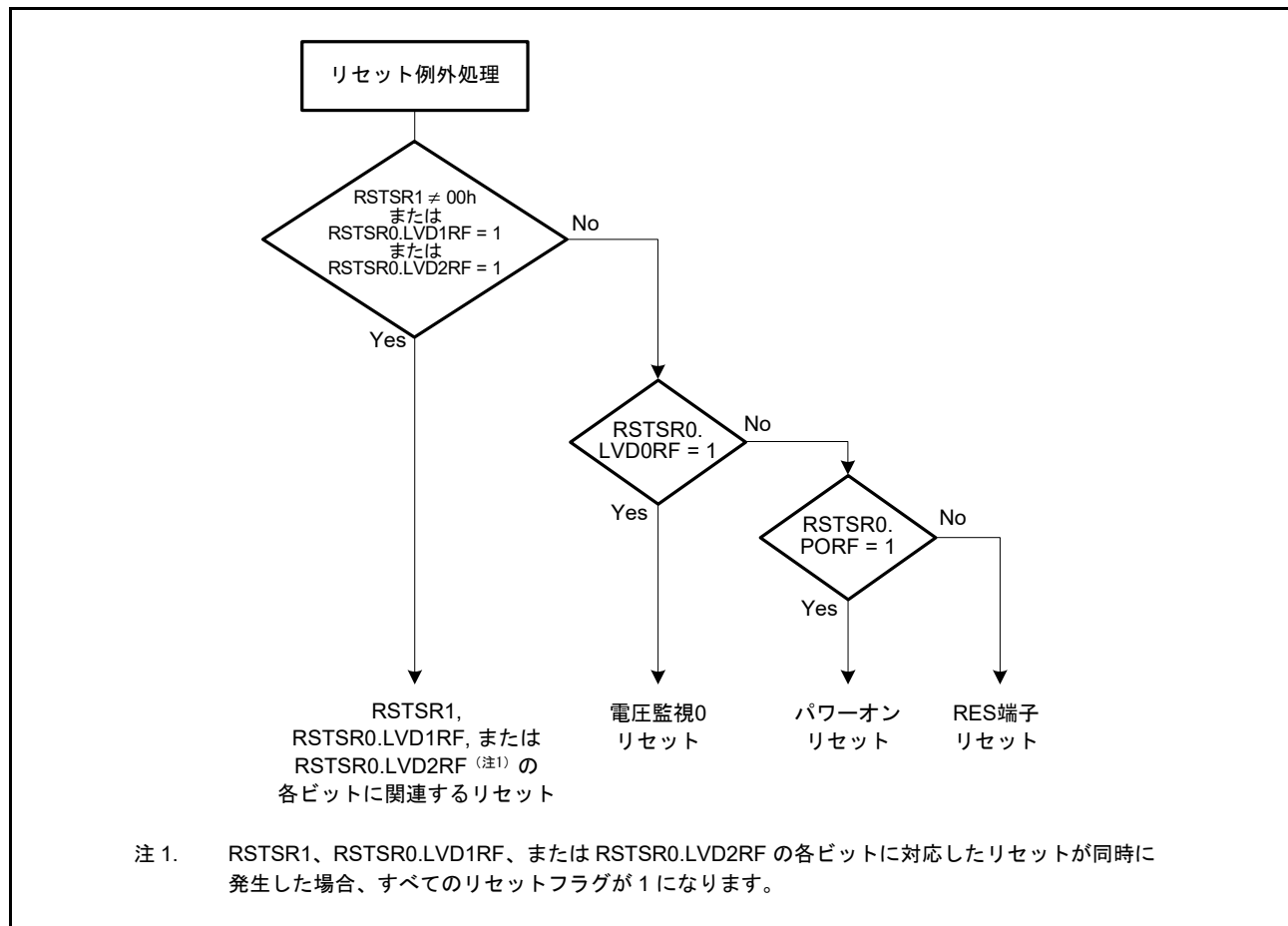


図 6.4 リセット発生要因の判定フロー例

7. オプション設定メモリ

7.1 概要

オプション設定メモリは、MCUのリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域に配置されます。これら2つの領域では設定方法が異なります。

図 7.1 にオプション設定メモリの領域を示します。

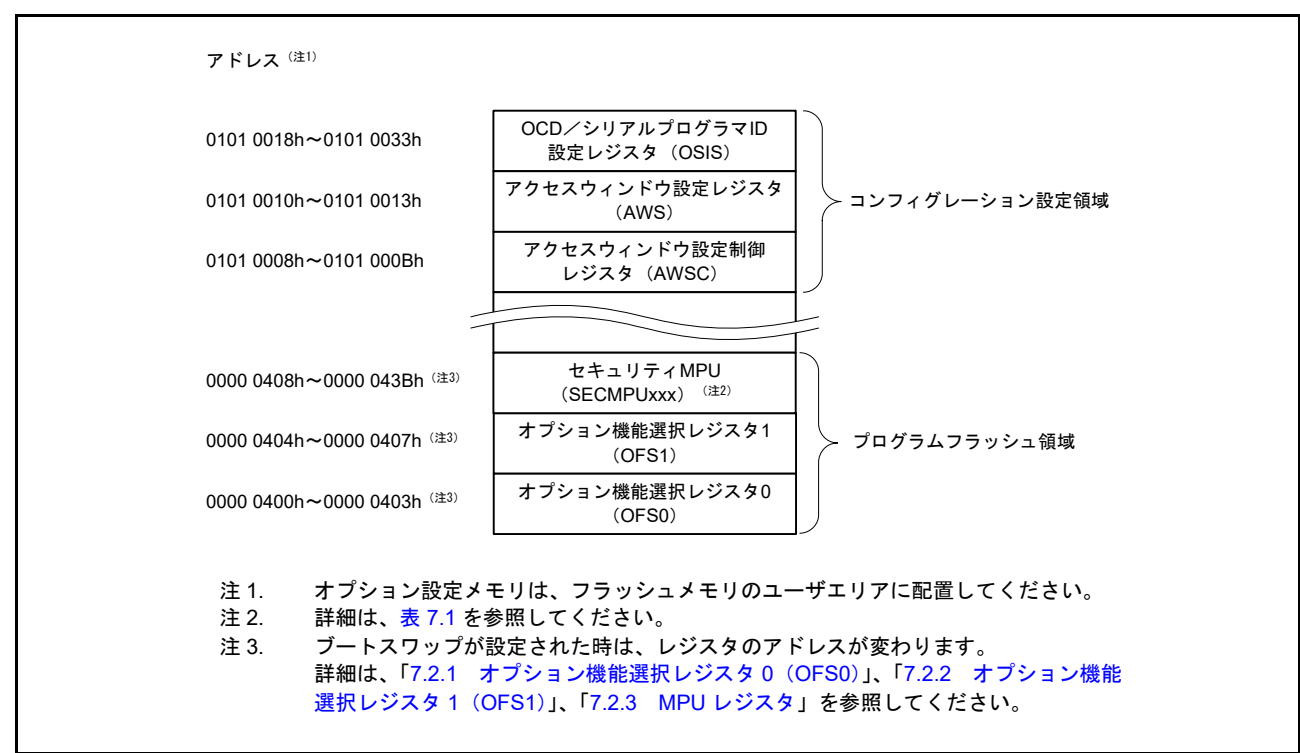


図 7.1 オプション設定メモリの領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFS0 0000 0400h/0000 2400h (注1)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	WDTST PCTL	—	WDTRS TIRQS	WDTRPSS[1:0]		WDTRPES[1:0]		WDTCKS[3:0]				WDTTOPS[1:0]		WDTST RT	—
リセット後の値															
ユーザの設定値 (注2)															

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTST TPCTL	—	IWDRSTR TIRQS	IWDRPSS[1:0]		IWDRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTST TRT	—
リセット後の値															
ユーザの設定値 (注2)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b1	IWDTSTRT	IWDT スタートモード選択	0 : リセット後、IWDT は自動的に起動 (オートスタートモード) 1 : リセット後、IWDT は無効	R
b3-b2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択	b3 b2 0 0 : 128 サイクル (007Fh) 0 1 : 512 サイクル (01FFh) 1 0 : 1024 サイクル (03FFh) 1 1 : 2048 サイクル (07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDT 専用クロック分周比選択	b7 b4 0 0 0 0 : 1 分周 0 0 1 0 : 16 分周 0 0 1 1 : 32 分周 0 1 0 0 : 64 分周 1 1 1 1 : 128 分周 0 1 0 1 : 256 分周 上記以外は設定しないでください。	R
b9-b8	IWDRPES[1:0]	IWDT ウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDT ウィンドウ開始位置選択	b11 b10 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b12	IWDRSTRIRQS	IWDT リセット割り込み要求選択	0 : 割り込み 1 : リセット	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14	IWDTSTPCTL	IWDT 停止制御	0 : カウント継続 1 : スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b17	WDTSTRT	WDT スタートモード選択	0 : リセット後、WDT は自動的に起動 (オートスタートモード) 1 : リセット後、WDT は停止状態 (レジスタスタートモード)	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTT0PS[1:0]	WDT タイムアウト期間選択	b19 b18 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDT クロック分周比選択	b23 b20 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R
b25-b24	WDRPES[1:0]	WDT ウィンドウ終了位置選択	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDT ウィンドウ開始位置選択	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDT リセット割り込み要求選択	WDT 動作の選択 0 : 割り込み 1 : リセット	R
b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b30	WDTSTPCTL	WDT 停止制御	0 : カウント継続 1 : スリープモード遷移時にカウント停止	R
b31	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

- 注 1. ブートスワップを設定すると、本レジスタのアドレスが変更されます。
そのため、ブートスワップが使用されている場合は、0000 2400h および 0000 0400h を同じ値に設定します。
- 注 2. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

IWDTSTRT ビット (IWDT スタートモード選択)

リセット後の IWDT の起動モード (停止状態または起動状態) を選択します。

IWDTT0PS[1:0] ビット (IWDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでの時間 (すなわち、タイムアウト期間) を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128、512、1024、2048 の各サイクルから選択します。リフレッシュ後、IWDT がアンダーフローするまでのサイクル数は、IWDTCKS[3:0] ビットと IWDTT0PS[1:0] ビットの組み合わせで決定されます。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

IWDT 専用クロックを分周するプリスケアラの分周比設定を、1、16、32、64、128、256 の各分周から選択します。この設定を IWDTT0PS[1:0] ビット設定と組み合わせることで、IWDT のカウント期間は 128 から 524288 までの IWDT クロック数に設定可能です。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくしなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の値のみが有効となります。

IWDTRPSS[1:0] および IWDTRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、IWDTTOS[1:0] ビットの設定により変わります。

詳細は、「[25. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウンタ開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外はリフレッシュ禁止期間です。

詳細は、「[25. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「[25. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTSTPCTL ビット (IWDT 停止制御)

スリープモード、スヌーズモード、ソフトウェアスタンバイモード遷移時にカウントを停止するかどうかを選択します。

詳細は、「[25. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択)

リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）を選択します。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOS[1:0] ビット (WDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでの時間（すなわち、タイムアウト期間）を、WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、16384 の各サイクル数で指定します。リフレッシュ後、カウンタがアンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0] ビットと WDTTOS[1:0] ビットの組み合わせで決定されます。

詳細は、「[24. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択)

PCLKB を分周するプリスケアラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。この設定を WDTTOS[1:0] ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの PCLKB クロック数に設定可能です。

詳細は、「[24. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくしなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の値のみが有効となります。

WDRPSS[1:0] ビットおよび WDRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、WDTTOS[1:0] ビットの設定によって変わります。

詳細は、「[24. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となりますが、それ以外は禁止期間です。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDRSTIRQS ビット (WDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDTSTPCTL ビット (WDT 停止制御)

スリープモード遷移時に、カウントを停止させるかどうかを選択します。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFS1 0000 0404h/0000 2404h (注1)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値 (注2)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	HOCOFRQ1[2:0]	—	—	—	—	HOCOEN	—	—	—	—	VDSEL1[2:0]	—	LVDAS	—	—

リセット後の値 ユーザの設定値 (注2)

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b2	LVDAS	電圧検出0回路起動	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R
b5-b3	VDSEL1[2:0]	電圧検出0レベル選択	b5 b3 0 0 0: 3.84Vを選択 0 0 1: 2.82Vを選択 0 1 0: 2.51Vを選択 0 1 1: 1.90Vを選択 1 0 0: 1.70Vを選択 上記以外は設定しないでください。	R
b7-b6	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b8	HOCOEN	HOCO発振有効	0: リセット後、HOCO発振が有効 1: リセット後、HOCO発振が無効	R
b11-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14-b12	HOCOFRQ1[2:0]	HOCO周波数設定1	b14 b12 0 0 0: 24MHz 0 1 0: 32MHz 1 0 0: 48MHz 1 0 1: 64MHz 上記以外は設定しないでください。	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

- 注 1. ブートスワップを設定すると、本レジスタのアドレスが変更されます。
そのため、ブートスワップが使用されている場合は、0000 2404h および 0000 0404h を同じ値に設定します。
- 注 2. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

LVDAS ビット (電圧検出 0 回路起動)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

VDSEL1[2:0] ビット (電圧検出 0 レベル選択)

電圧検出 0 回路の電圧検出レベルを選択します。

HOCOEN ビット (HOCO 発振有効)

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

注． HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO を使用する場合は、OFS1.HOCOFREQ1[2:0] ビットを最適な値に設定してください。

リセット解除後、動作は Low-voltage モードとなるので、HOCOCR.HCSTP ビットをすぐに 0 にする必要があります。

HOCOFREQ1[2:0] ビット (HOCO 周波数設定 1)

リセット後の HOCO 周波数を、24、32、48、64MHz から選択します。

7.2.3 MPU レジスタ

表 7.1 に、MPU 機能に関連したレジスタを示します。詳細は、「15. メモリプロテクションユニット (MPU)」を参照してください。

セキュリティ MPU は、フラッシュメモリのイレース時に無効になります。MPU レジスタに不正なデータが書き込まれた場合、MCU は動作しない可能性があります。適切なデータを設定するには、「15. メモリプロテクションユニット (MPU)」を参照してください。

表 7.1 MPU レジスタ

レジスタ名	シンボル	機能	アドレス (注1)	サイズ (バイト)
セキュリティ MPU プログラムカウンタ 開始アドレスレジスタ0	SECMPUPCS0	コードフラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 0408h	4
セキュリティ MPU プログラムカウンタ 終了アドレスレジスタ0	SECMPUPCE0	コードフラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 040Ch	4
セキュリティ MPU プログラムカウンタ 開始アドレスレジスタ1	SECMPUPCS1	コードフラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 0410h	4
セキュリティ MPU プログラムカウンタ 終了アドレスレジスタ1	SECMPUPCE1	コードフラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 0414h	4
セキュリティ MPU 領域0 開始アドレスレジスタ	SECMPUS0	セキュリティプログラムおよびコードフラッシュのデータを設定	0000 0418h	4
セキュリティ MPU 領域0 終了アドレスレジスタ	SECMPUE0	セキュリティプログラムおよびコードフラッシュのデータを設定	0000 041Ch	4
セキュリティ MPU 領域1 開始アドレスレジスタ	SECMPUS1	セキュリティプログラムおよび SRAM のデータを設定	0000 0420h	4
セキュリティ MPU 領域1 終了アドレスレジスタ	SECMPUE1	セキュリティプログラムおよび SRAM のデータを設定	0000 0424h	4
セキュリティ MPU 領域2 開始アドレスレジスタ	SECMPUS2	セキュリティ機能のセキュリティデータを設定	0000 0428h	4
セキュリティ MPU 領域2 終了アドレスレジスタ	SECMPUE2	セキュリティ機能のセキュリティデータを設定	0000 042Ch	4
セキュリティ MPU 領域3 開始アドレスレジスタ	SECMPUS3	セキュリティ機能のセキュリティデータを設定	0000 0430h	4
セキュリティ MPU 領域3 終了アドレスレジスタ	SECMPUE3	セキュリティ機能のセキュリティデータを設定	0000 0434h	4
セキュリティ MPU アクセスコントロールレジスタ	SECMPUAC	セキュリティ有効/無効領域を設定	0000 0438h	4

注 1. ブートスワップ設定時、MPU レジスタのアドレスは変わります。
そのため、ブートスワップを使う場合、(0000 2408h ~ 0000 243Bh)、(0000 0408h ~ 0000 043Bh) は同じ値に設定してください。

7.2.4 アクセスウィンドウ設定コントロールレジスタ (AWSC)

アドレス AWSC 0101 0008h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値

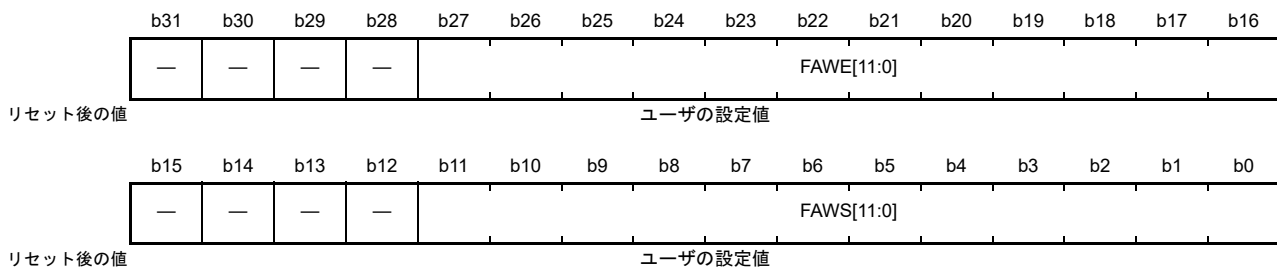
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	FSPR	—	—	—	—	—	BTFLG	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b8	BTFLG	スタートアップ領域選択フラグ	スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0: 最初の8KB領域 (0000 0000h ~ 0000 1FFFh) と次の8KB領域 (0000 2000h ~ 0000 3FFFh) が入れ替わる 1: 最初の8KB領域 (0000 0000h ~ 0000 1FFFh) と次の8KB領域 (0000 2000h ~ 0000 3FFFh) は入れ替わらない	R
b13-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護	アクセスウィンドウ、スタートアップ領域選択フラグ (BTFLG)、テンポラリブートスワップ制御に対するプログラミング/イレース保護を制御します。本ビットは一度0にすると、1に変更できません。 0: アクセスウィンドウ (FAWE[11:0]、FAWS[11:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は無効 1: アクセスウィンドウ (FAWE[11:0]、FAWS[11:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

7.2.5 アクセスウィンドウ設定レジスタ (AWS)

アドレス AWS 0101 0010h



ビット	シンボル	ビット名	機能	R/W
b11-b0	FAWS[11:0]	アクセスウィンドウ開始ブロックアドレス	アクセスウィンドウの開始ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。このブロックアドレスでは、ブロックの先頭アドレスを設定します。アドレスビット[21:10]で構成されます。	R
b15-b12	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b27-b16	FAWE[11:0]	アクセスウィンドウ終了ブロックアドレス	アクセスウィンドウの終了ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義されるプログラム/イレース受け付け可能領域の次のブロックです。このブロックアドレスでは、ブロックの先頭アドレスを設定します。アドレスビット[21:10]で構成されます。	R
b31-b28	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

アクセスウィンドウ外の領域にプログラム/イレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウは FSPR ビットでロックすることが可能です。

アクセスウィンドウは、FAWS[11:0] ビットと FAWE[11:0] ビットの両方で指定されます。各ビットの設定値は以下のとおりです。

- FAWE[11:0] = FAWS[11:0] : P/E コマンドは、全プログラムフラッシュ領域に対して実行が許可される
- FAWE[11:0] > FAWS[11:0] : P/E コマンドは、FAWS[11:0] ビットで指示されたブロックから、FAWE[11:0] ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウでのみ実行が許可される
- FAWE[11:0] ≤ FAWS[11:0] : P/E コマンドは、プログラムフラッシュ領域に対して実行が禁止される

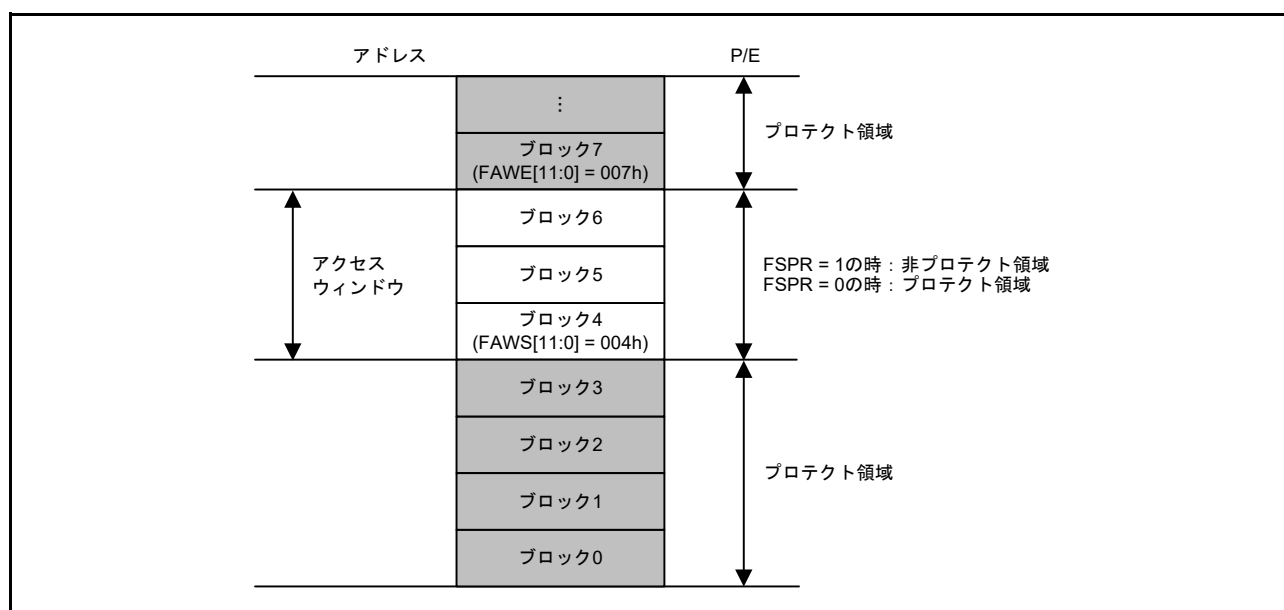


図 7.2 アクセスウィンドウの概要

7.2.6 OCD / シリアルプログラマ ID 設定レジスタ (OSIS)

本レジスタは、OCD / シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD / シリアルプログラマを接続する場合、MCU がその接続を許可するか否か判定できるようにするための値を書き込んでください。このレジスタは、OCD / シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定します。ID コードが一致した場合、OCD / シリアルプログラマとの接続を許可しますが、一致しない場合、OCD / シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビット単位で設定する必要があります。

アドレス OSIS 0101 0018h, OSIS 0101 0020h, OSIS 0101 0028h, OSIS 0101 0030h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値								ユーザの設定値							
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値								ユーザの設定値							

OCD / シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効／無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、[表 7.2](#) に示します。

ビット 127 を 0 にすると、ルネサスはテストモードにアクセスできなくなります。そのため、ビット 126:0 を設定しないと、ルネサスは故障解析を実施できません。ルネサスが保証クレームを処理するためには、故障解析を実行する必要があります。

表 7.2 IDコードプロテクト機能の仕様

起動時の動作モード	IDコード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI ブートモード)	FFh, ..., FFh (全バイトがFFh)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (SWD ブートモード)	ビット 127 = 1、ビット 126 = 1、かつ 16 バイトのうち少なくとも 1 つが FFh 以外	プロテクト有効	ID コードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。 ID コードの不一致 = ID コードプロテクト待ち状態へ遷移します。 プログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFh) であると、ユーザフラッシュ (コードフラッシュおよびデータフラッシュ) 領域の内容は消去されます。 ただし、FSPR ビットが 0 であれば、強制消去は実行されません。
	ビット 127 = 1 および ビット 126 = 0	プロテクト有効	ID コードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。 ID コードの不一致 = ID コードプロテクト待ち状態へ遷移します。
	ビット 127 = 0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、プログラマまたはオンチップデバッグへの接続は禁止されていますが、ALeRASE コマンドは受け入れられます。ALeRASE コマンドの禁止については、 2.8.3.4 接続順序と SWD 認証の (1) OSIS の MSB が 0 (ビット [127] = 0) のとき を参照してください。ルネサスはテストモードにアクセスできません。

7.3 オプション設定メモリの設定方法

7.3.1 オプション設定メモリへのデータの配置方法

プログラムデータは、[図 7.1](#) に示すオプション設定メモリのアドレスに配置されます。配置したデータは、フラッシュ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注． プログラムの書式はコンパイラによって異なります。詳細は、コンパイラのマニュアルを参照してください。

7.3.2 オプション設定メモリにプログラムするデータの設定方法

[7.3.1 オプション設定メモリへのデータの配置方法](#)に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムフラッシュ領域へデータを書き込むには、プログラムコマンドを使用してください。また、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。さらに、スタートアップ領域選択機能を用いて、オプション設定メモリを含むブートプログラムを安全に更新してください。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「[43. フラッシュメモリ](#)」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライターによってプログラムする場合

この手順は使用するツールによって異なるため、詳細はツールのマニュアルを参照してください。

本 MCU では、以下 2 つの設定手順があります。

- [7.3.1 オプション設定メモリへのデータの配置方法](#)に示すように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へ書き込む
- ツールの GUI インタフェースを使用して、[7.3.1 オプション設定メモリへのデータの配置方法](#)に示すように配置されたデータをプログラムする

7.4 使用上の注意事項

7.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラムに利用可能な場合は、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込んだ場合、正常動作は保証されません。

8. 低電圧検出 (LVD)

8.1 概要

低電圧検出 (LVD) モジュールは、VCC 端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。LVD モジュールは、3 つの独立した電圧レベル検出器 (電圧検出 0、1、2 回路) で構成され、それぞれが VCC 端子への入力電圧レベルを測定します。LVD 電圧検出レジスタにより、さまざまな電圧しきい値で VCC の変動を検出するようにユーザアプリケーションを設定できます。

それぞれの電圧レベル検出器には、電圧監視 0、1、2 などの電圧監視回路が対応しています。電圧監視レジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させるように LVD を設定できます。

表 8.1 に LVD の仕様一覧を示します。図 8.1 に電圧検出 0、1、2 回路のブロック図を、図 8.2 に電圧監視 1 割り込み／リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み／リセット発生回路のブロック図を示します。

表 8.1 LVD の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC 監視	監視電圧	V_{det0}	V_{det1}	V_{det2}
	検出イベント	下降して V_{det0} を通過	上昇または下降して V_{det1} を通過	上昇または下降して V_{det2} を通過
	検出電圧	OFS1.VDSEL1[2:0]ビットで5レベルから選択可能	LVDLVLRLVD1LVL[4:0]ビットで16レベルから選択可能	LVDLVLRLVD2LVL[2:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.MONフラグ：電圧が V_{det1} より高いか低いかを監視 LVD1SR.DETフラグ： V_{det1} 通過検出	LVD2SR.MONフラグ：電圧が V_{det2} より高いか低いかを監視 LVD2SR.DETフラグ： V_{det2} 通過検出
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		$V_{det0} > VCC$ でリセット。 $VCC > V_{det0}$ の一定時間後にCPU動作再開	$V_{det1} > VCC$ でリセット。 CPU動作再開タイミングとして、 $VCC > V_{det1}$ の一定時間後、または $V_{det1} > VCC$ の一定時間後を選択可能	$V_{det2} > VCC$ でリセット。 CPU動作再開タイミングとして、 $VCC > V_{det2}$ の一定時間後、または $V_{det2} > VCC$ の一定時間後を選択可能
	割り込み	なし	電圧監視1割り込み ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 $V_{det1} > VCC$ または $VCC > V_{det1}$ のとき割り込み要求	電圧監視2割り込み ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 $V_{det2} > VCC$ または $VCC > V_{det2}$ のとき割り込み要求
イベントリンク機能		なし	あり V_{det1} 通過検出時にイベント信号出力	あり V_{det2} 通過検出時にイベント信号出力

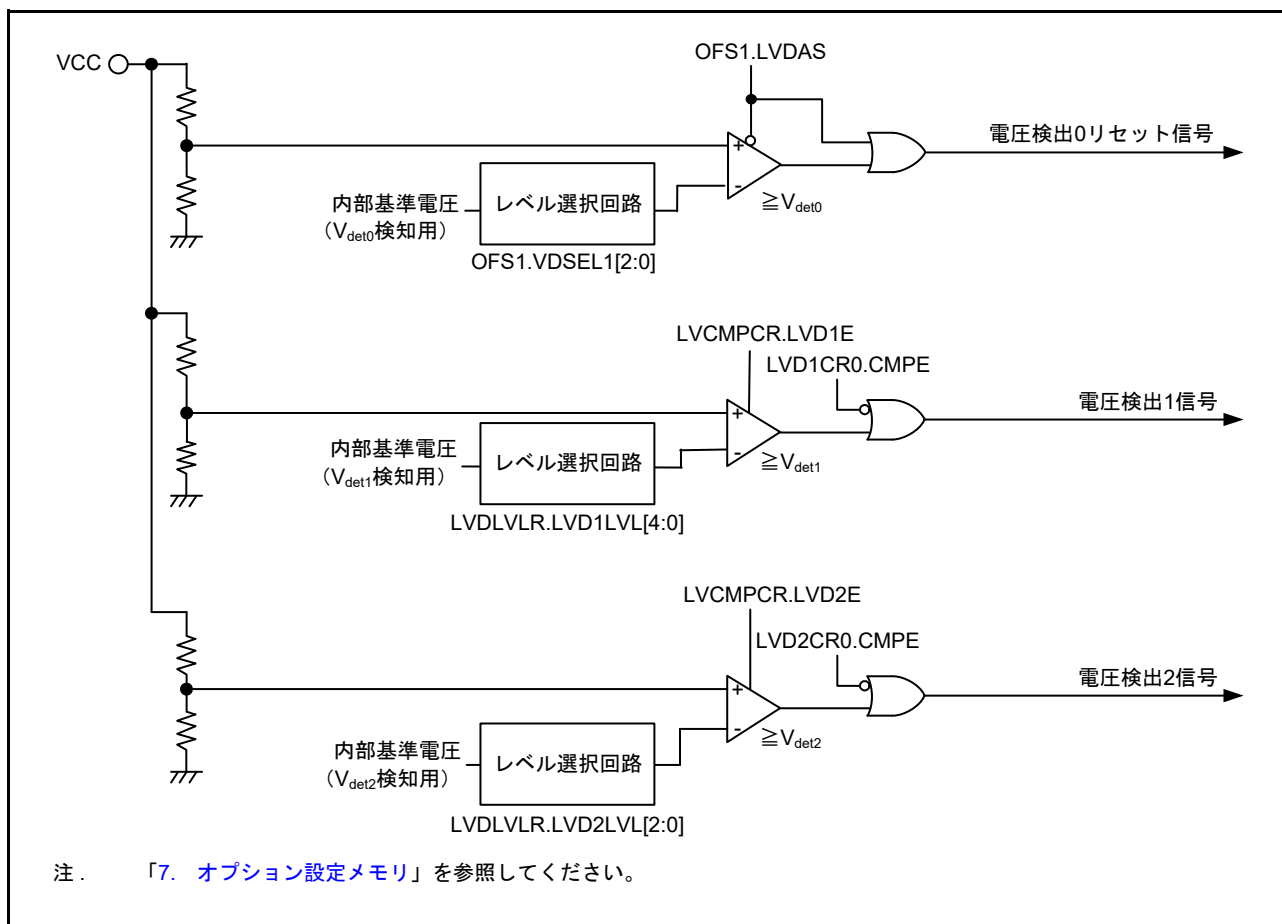


図 8.1 電圧検出 0、1、2 回路のブロック図

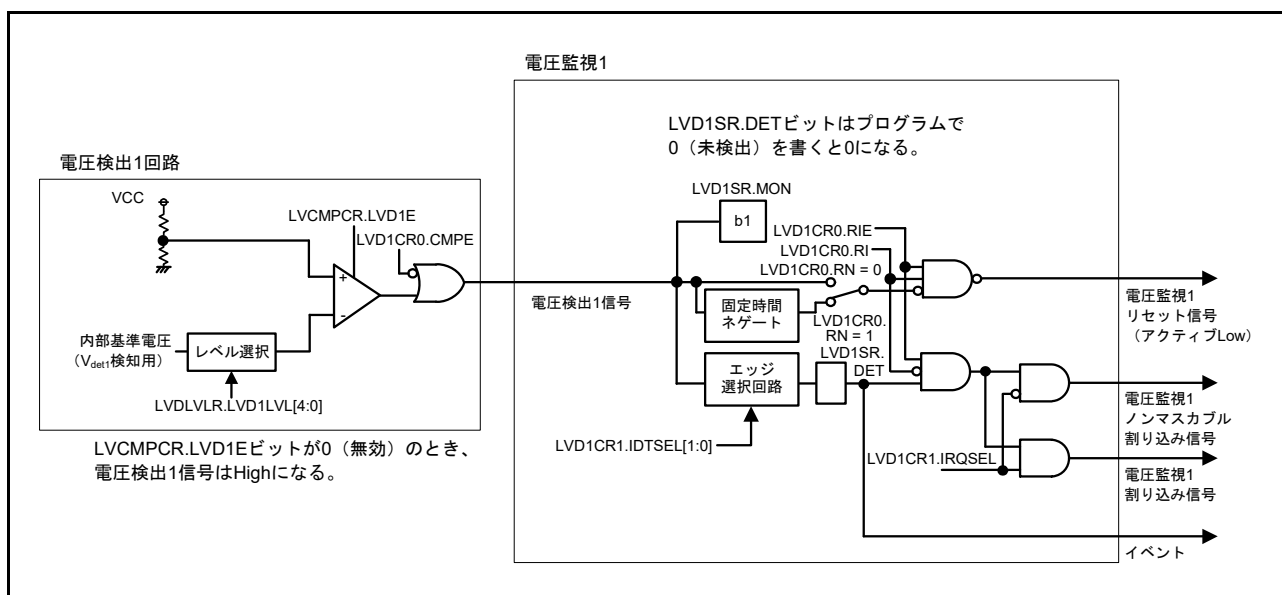


図 8.2 電圧監視 1 割り込み/リセット発生回路のブロック図

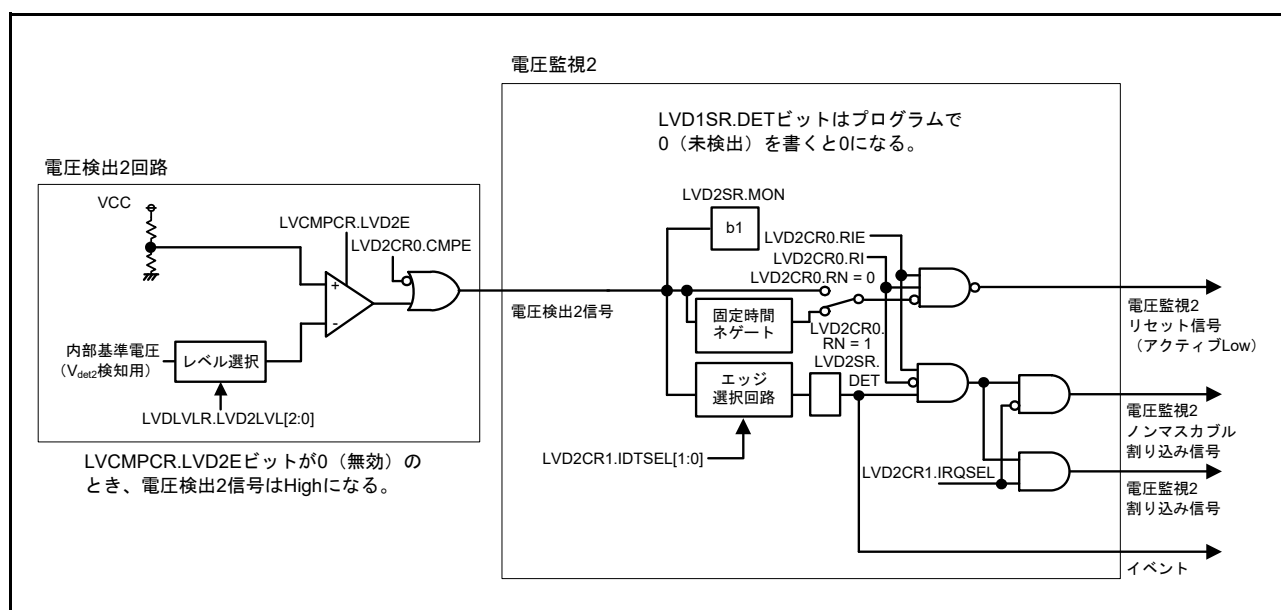
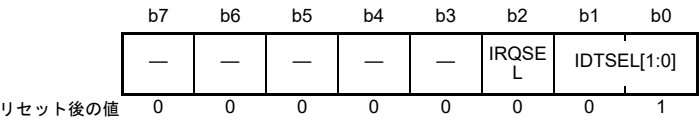


図 8.3 電圧監視2 割り込み/リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1)

アドレス SYSTEM.LVD1CR1 4001 E0E0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択	b1 b0 0 0 : $V_{CC} \geq V_{det1}$ (上昇) 検出時 0 1 : $V_{CC} < V_{det1}$ (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視 1 割り込み種類選択	0 : ノンマスクブル割り込み 1 : マスクブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 . PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。
- 注 1. マスクブル割り込みを設定する場合、ICU 側にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

8.2.2 電圧モニタ 1 回路ステータスレジスタ (LVD1SR)

アドレス SYSTEM.LVD1SR 4001 E0E1h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : V_{det1} 通過検出	R/(W) (注 1)
b1	MON	電圧監視 1 信号モニタフラグ	0 : $VCC < V_{det1}$ 1 : $VCC \geq V_{det1}$ または MON 無効	R
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 . PRCCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

DET フラグ (電圧監視 1 電圧変化検出フラグ)

DET フラグは、LVCMPCCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

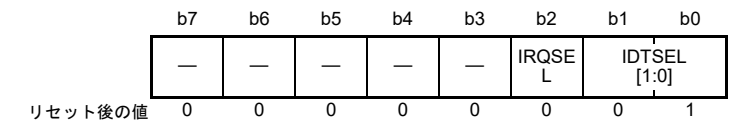
DET フラグを 0 にするときは、LVD1CR0.RIE を 0 (禁止) にしてから行ってください。LVD1CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

MON フラグ (電圧監視 1 信号モニタフラグ)

MON フラグは、LVCMPCCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

8.2.3 電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)

アドレス SYSTEM.LVD2CR1 4001 E0E2h



ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL [1:0]	電圧監視2割り込み発生条件選択	b1 b0 0 0 : $VCC \geq V_{det2}$ (上昇) 検出時 0 1 : $VCC < V_{det2}$ (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視2割り込み種類選択	0 : ノンマスカブル割り込み 1 : マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 . PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。
- 注 1. マスカブル割り込みを設定する場合、ICU 側にある NMIER.LVD2EN ビットをリセット状態から変更しないでください。

8.2.4 電圧モニタ 2 回路ステータスレジスタ (LVD2SR)

アドレス SYSTEM.LVD2SR 4001 E0E3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視 2 電圧変化検出フラグ	0 : 未検出 1 : V_{det2} 通過検出	R(/W) (注1)
b1	MON	電圧監視 2 信号モニタフラグ	0 : $VCC < V_{det2}$ 1 : $VCC \geq V_{det2}$ または MON 無効	R
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 . PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

DET フラグ (電圧監視 2 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD2CR0.RIE を 0 (禁止) にしてから行ってください。LVD2CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

MON フラグ (電圧監視 2 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

8.2.5 電圧モニタ回路コントロールレジスタ (LVCMPCR)

アドレス SYSTEM.LVCMPCR 4001 E417h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	LVD1E	電圧検出1許可	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

LVD1E ビット (電圧検出 1 許可)

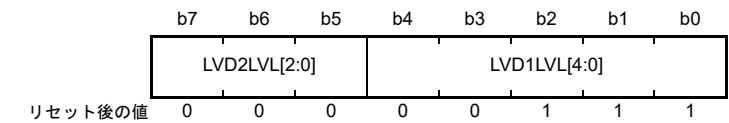
電圧検出 1 の割り込み／リセットを使用する場合、または LVD1SR.MON ビットを使用する場合、LVD1E ビットを 1 にしてください。LVD1E ビットを 0 から 1 に変更した後、 $t_{d(E-A)}$ 経過すると、電圧検出 1 回路が動作します。

LVD2E ビット (電圧検出 2 許可)

電圧検出 2 の割り込み／リセットを使用する場合、または LVD2SR.MON ビットを使用する場合、LVD2E ビットを 1 にしてください。LVD2E ビットを 0 から 1 に変更した後、 $t_{d(E-A)}$ 経過すると、電圧検出 2 回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス SYSTEM.LVDLVLR 4001 E418h



ビット	シンボル	ビット名	機能	R/W
b4-b0	LVLD1LVL[4:0]	電圧検出1レベル選択 (電圧下降時の標準電圧)	b4b0 0 0 0 0 0 : 4.29V (Vdet1_0) 0 0 0 0 1 : 4.14V (Vdet1_1) 0 0 0 1 0 : 4.02V (Vdet1_2) 0 0 0 1 1 : 3.84V (Vdet1_3) 0 0 1 0 0 : 3.10V (Vdet1_4) 0 0 1 0 1 : 3.00V (Vdet1_5) 0 0 1 1 0 : 2.90V (Vdet1_6) 0 0 1 1 1 : 2.79V (Vdet1_7) 0 1 0 0 0 : 2.68V (Vdet1_8) 0 1 0 0 1 : 2.58V (Vdet1_9) 0 1 0 1 0 : 2.48V (Vdet1_A) 0 1 0 1 1 : 2.20V (Vdet1_B) 0 1 1 0 0 : 1.96V (Vdet1_C) 0 1 1 0 1 : 1.86V (Vdet1_D) 0 1 1 1 0 : 1.75V (Vdet1_E) 0 1 1 1 1 : 1.65V (Vdet1_F) 上記以外は設定しないでください。	R/W
b7-b5	LVLD2LVL[2:0]	電圧検出2レベル選択 (電圧下降時の標準電圧)	b7b5 0 0 0 : 4.29V (Vdet2_0) 0 0 1 : 4.14V (Vdet2_1) 0 1 0 : 4.02V (Vdet2_2) 0 1 1 : 3.84V (Vdet2_3) 1 0 0 : 設定禁止 1 0 1 : 設定禁止 1 1 0 : 設定禁止 1 1 1 : 設定禁止	R/W

注 . PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

LVDLVLR レジスタは、LVCMPPCR.LVD1E ビット、LVCMPPCR.LVD2E ビットがともに 0 (電圧検出 n 回路無効、n = 1, 2) の場合のみ変更可能です。また、LVD の電圧検出 1 および 2 回路は、同じ電圧検出レベルに設定しないでください。

8.2.7 電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)

アドレス SYSTEM.LVD1CR0 4001 E41Ah

b7	b6	b5	b4	b3	b2	b1	b0
RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	x	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視1割り込み／リセット許可	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	CMPE	電圧監視1回路比較結果出力許可	0: 電圧監視1回路比較結果出力禁止 1: 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RI	電圧監視1回路モード選択	0: V_{det1} 通過時に電圧監視1割り込み発生 1: 下降して V_{det1} 通過時に電圧監視1リセット許可	R/W
b7	RN	電圧監視1リセットネゲート選択	0: $VCC > V_{det1}$ 検出時、安定時間 (t_{LVD1}) 経過後にネゲート 1: LVD1リセットアサート時、安定時間 (t_{LVD1}) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 1 割り込み／リセット許可)

電圧監視 1 の割り込み／リセットを、許可または禁止します。このビットが 1 に設定されている状態で、かつフラッシュメモリのプログラム／イレース中の場合には、電圧監視 1 割り込みと電圧監視 1 リセットをどちらも発生させないようにしてください。

RN ビット (電圧監視 1 リセットネゲート選択)

RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にする場合は、MOCOCCR.MCSTP ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 ($VCC > V_{det1}$ 検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にしないでください。

8.2.8 電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)

アドレス SYSTEM.LVD2CR0 4001 E41Bh

b7	b6	b5	b4	b3	b2	b1	b0
RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	x	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視2割り込み／リセット許可	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	CMPE	電圧監視2回路比較結果出力許可	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RI	電圧監視2回路モード選択	0: V_{det2} 通過時に電圧監視2割り込み 1: 下降して V_{det2} 通過時に電圧監視2リセット許可	R/W
b7	RN	電圧監視2リセットネゲート選択	0: $VCC > V_{det2}$ 検出時、安定時間 (t_{LVD2}) 経過後にネゲート 1: LVD2リセットアサート時、安定時間 (t_{LVD2}) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 2 割り込み／リセット許可)

電圧監視 2 の割り込み／リセットを、許可または禁止します。このビットが 1 に設定されている状態で、かつフラッシュメモリのプログラム／イレース中の場合には、電圧監視 2 割り込みと電圧監視 2 リセットをどちらも発生させないようにしてください。

RN ビット (電圧監視 2 リセットネゲート選択)

RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にする場合は、MOCOCR.MCSTP ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 ($VCC > V_{det2}$ 検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 V_{det0} のモニタ

電圧監視 0 の比較結果は、読み出すことができません。

8.3.2 V_{det1} のモニタ

表 8.2 に V_{det1} のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 8.2 V_{det1} のモニタの設定手順

手順		電圧監視1の比較結果モニタ
電圧検出1回路の設定	1	LVDLVLRLレジスタへ書き込む前に、LVCMPCLR.LVD1E = 0にして電圧検出1回路を無効にする
	2	LVDLVLRL.LVD1LVL[4:0]ビットで検出電圧を選択する
	3	LVCMPCLR.LVD1E = 1にして、電圧検出1回路を有効にする
	4	LVD有効切り替え後、LVD動作安定のために $t_{d(E-A)}$ 以上待つ
出力許可の設定	5	LVD1CR0.CMPE = 1にして、電圧監視1の比較結果出力を許可する

8.3.3 V_{det2} のモニタ

表 8.3 に V_{det2} のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

表 8.3 V_{det2} のモニタの設定手順

手順		電圧監視2の比較結果モニタ
電圧検出2回路の設定	1	LVDLVLRLレジスタへ書き込む前に、LVCMPCLR.LVD2E = 0にして電圧検出2回路を無効にする
	2	LVDLVLRL.LVD2LVL[2:0]ビットで検出電圧を選択する
	3	LVCMPCLR.LVD2E = 1にして、電圧検出2回路を有効にする
	4	LVD有効切り替え後、LVD動作安定のために $t_{d(E-A)}$ 以上待つ
出力許可の設定	5	LVD2CR0.CMPE = 1にして、電圧監視2の比較結果出力を許可する

8.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 (リセット後、電圧監視 0 リセット有効) にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 リセットは無効です。

図 8.4 に電圧監視 0 リセットの動作例を示します。

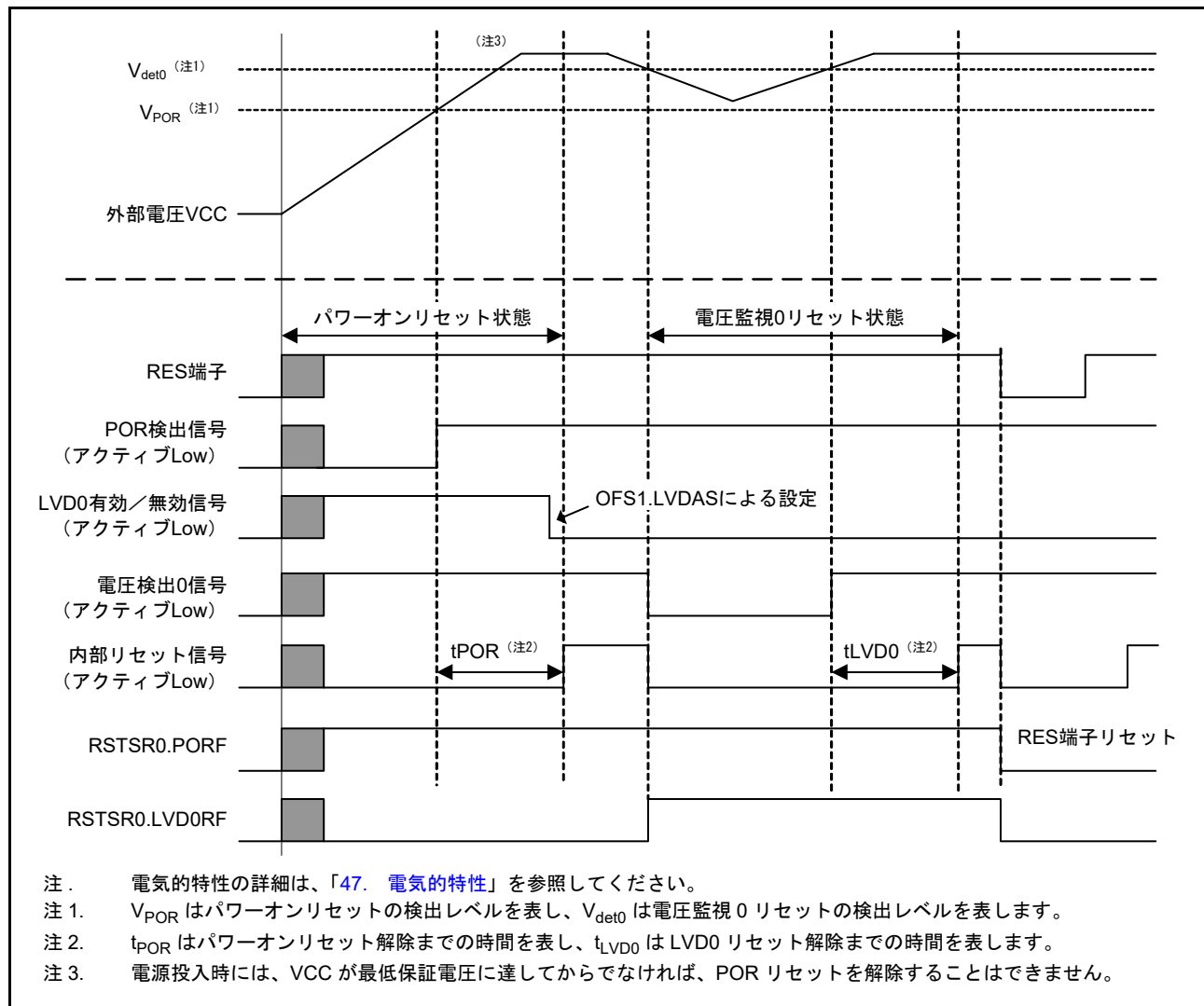


図 8.4 電圧監視 0 リセットの動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることが可能です。

表 8.4 に、電圧監視 1 割り込み／リセット関連ビットの動作設定手順を示します。表 8.5 に、電圧監視 1 割り込み／リセット関連ビットの停止設定手順を示します。図 8.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、電圧監視 1 回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- $VCC > V_{det1}$ 検出された場合、安定時間経過後に電圧監視 1 リセット信号をネグート (LVD1CR0.RN = 0) に設定

表 8.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)	電圧監視 1 リセット
電圧検出 1 回路の設定	1 LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして電圧検出 1 回路を無効にする	
	2 LVDLVLR.LVD1LVL[4:0] ビットで検出電圧を選択する	
	3 LVCMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする	
	4 LVD 有効切り替え後、LVD 動作安定のために $t_{d(E-A)}$ 以上待つ (注 1)	
電圧監視 1 割り込み／リセットの設定	5 LVD1CR0.RI = 0 にして、電圧監視 1 割り込みを選択する	• LVD1CR0.RI = 1 にして、電圧監視 1 リセットを選択する • LVD1CR0.RN ビットでリセットネグートの種類を選択
	6 • LVD1CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択 • LVD1CR1.IRQSEL ビットで割り込みの種類を選択	—
出力許可の設定	7 LVD1SR.DET = 0 にする	
	8 LVD1CR0.RIE = 1 にして、電圧監視 1 割り込み／リセットを許可する (注 2)	
	9 LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する	

注 1. 手順 4 の待ち時間中に手順 5 ～ 8 を行うことができます。 $t_{d(E-A)}$ の詳細は、「47. 電气的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 8.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)、電圧監視 1 リセット
出力許可停止の設定	1 LVD1CR0.CMPE = 0 にして、電圧監視 1 の比較結果出力を禁止する
	2 LVD1CR0.RIE = 0 にして、電圧監視 1 割り込み／リセットを禁止する (注 1)
電圧検出 1 回路停止の設定	3 LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 1 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することが可能です。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路の設定または停止は不要
- 電圧監視 1 割り込み／リセットの設定を変更しない場合、電圧監視 1 割り込み／リセットの設定は不要

図 8.5 に電圧監視 1 割り込みの動作例を示します。

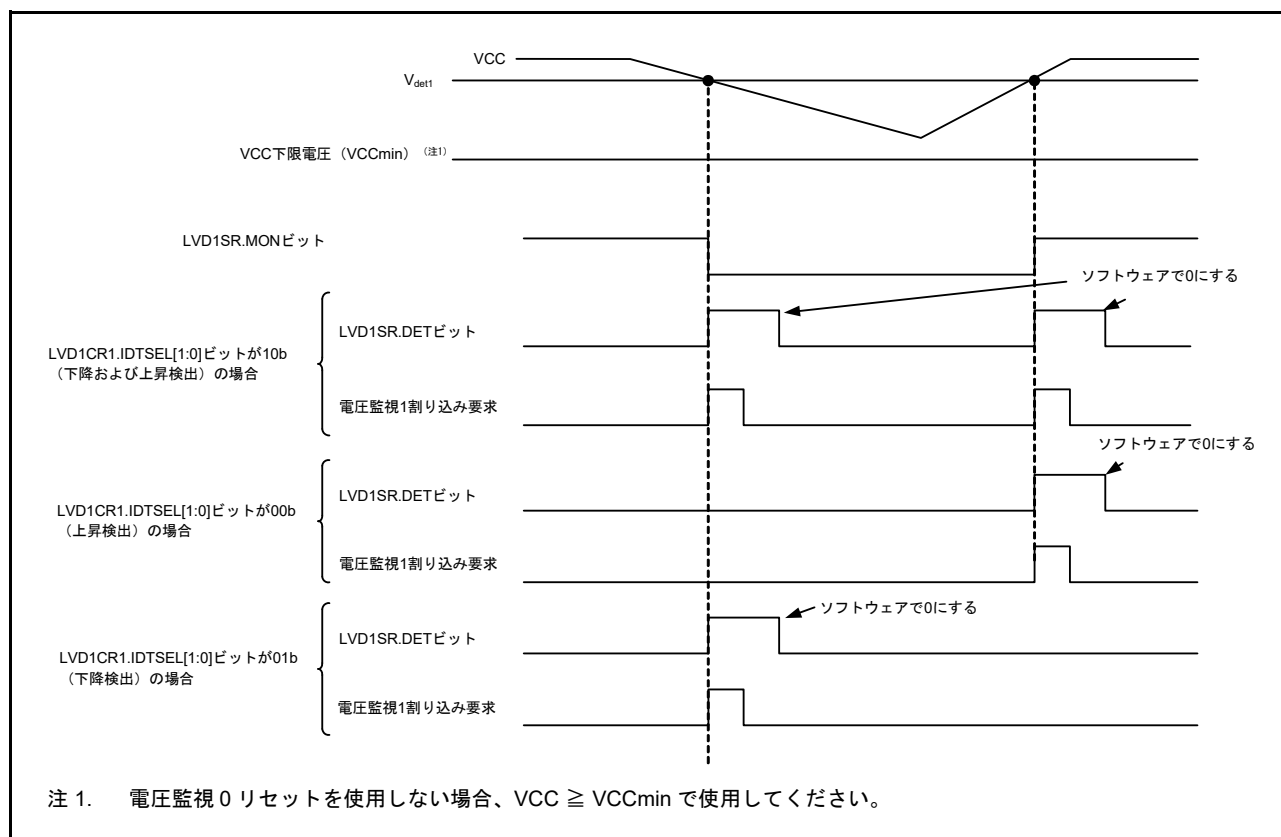


図 8.5 電圧監視 1 割り込みの動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることが可能です。

表 8.6 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を示します。表 8.7 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を示します。図 8.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、電圧監視 2 回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- $VCC > V_{det2}$ が検出された場合、安定時間経過後に LVDD2CR0.RN ビットをクリア (LVD2CR0.RN = 0) する

表 8.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路の設定	1 LVDLVLRL レジスタへ書き込む前に、LVCMPCLR.LVD2E = 0 にして電圧検出 2 回路を無効にする	
	2 LVDLVLRL.LVD2LVL[2:0] ビットで検出電圧を選択する	
	3 LVCMPCLR.LVD2E = 1 にして、電圧検出 2 回路を有効にする	
	4 LVD 有効切り替え後、LVD 動作安定のために $t_{d(E-A)}$ 以上待つ (注 1)	
電圧監視 2 割り込み／リセットの設定	5 LVD2CR0.RI = 0 にして、電圧監視 2 割り込みを選択する	• LVD2CR0.RI = 1 にして、電圧監視 2 リセットを選択する • LVD2CR0.RN ビットでリセットネゲートの種類を選択
	6 • LVD2CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択 • LVD2CR1.IRQSEL ビットで割り込みの種類を選択	—
出力許可の設定	7 LVD2SR.DET = 0 にする	
	8 LVD2CR0.RIE = 1 にして、電圧監視 2 割り込み／リセットを許可する (注 2)	
	9 LVD2CR0.CMPE = 1 にして、電圧監視 2 の比較結果出力を許可する	

注 1. 手順 4 の待ち時間中に手順 5 ～ 8 を行うことができます。 $t_{d(E-A)}$ の詳細は、「47. 電気的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 8.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)、電圧監視 2 リセット
出力許可停止の設定	1 LVD2CR0.CMPE = 0 にして、電圧監視 2 の比較結果出力を禁止する
	2 LVD2CR0.RIE = 0 にして、電圧監視 2 割り込み／リセットを禁止する (注 1)
電圧検出 2 回路停止の設定	3 LVCMPCLR.LVD2E = 0 にして、電圧検出 2 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 2 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することが可能です。

- 電圧検出 2 回路の設定を変更しない場合、電圧検出 2 回路の設定または停止は不要
- 電圧監視 2 割り込み／リセットの設定を変更しない場合、電圧監視 2 割り込み／リセットの設定は不要

図 8.6 に電圧監視 2 割り込みの動作例を示します。

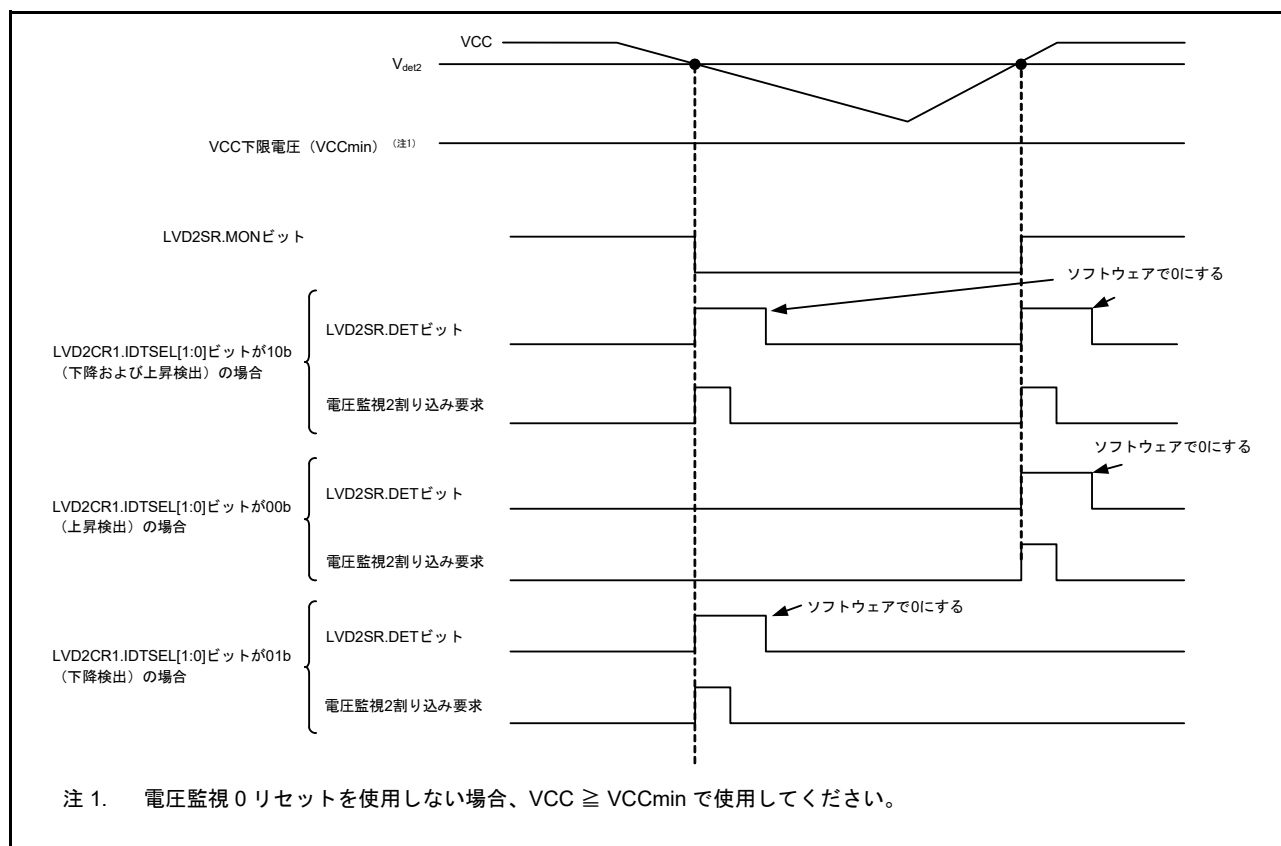


図 8.6 電圧監視 2 割り込みの動作例

8.7 イベントリンク出力機能

LVD は、イベントリンクコントローラ (ELC) に対してイベント信号出力を行うことができます。

(1) V_{det1} 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、電源の V_{det1} 通過を検出した場合、LVD はイベント信号を出力します。

(2) V_{det2} 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、電源の V_{det2} 通過を検出した場合、LVD はイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 割り込みと電圧監視 2 割り込みのそれぞれに割り込み許可／禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号 (LVD1CR0.RIE および LVD2CR0.RIE) が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモードにおいても、電圧監視 1 割り込み信号および電圧監視 2 割り込みを出力することが可能です。ソフトウェアスタンバイモードでは、ELC 用のイベント信号が以下のように出力されます。

- ソフトウェアスタンバイモード期間中に V_{det1} または V_{det2} 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されません。 V_{det1} および V_{det2} 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、 V_{det1} および V_{det2} 通過検出フラグにしたがって ELC 用のイベント信号が出力される

9. クロック発生回路

9.1 概要

本 MCU はクロック発生回路を内蔵しています。

表 9.1 および表 9.2 にクロック発生回路の仕様を示します。図 9.1 にブロック図を、表 9.3 に入出力端子を示します。

表 9.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
メインクロック発振器（MOSC）	発振子周波数	• 1MHz～20MHz（注1）
	外部クロック入力周波数	最大20MHz（注1）
	外部発振子または付加回路：セラミック発振子、水晶振動子	あり
	接続端子：EXTAL、XTAL	
	ドライブ能力切り替え	
	発振停止検出機能	
サブクロック発振器（SOSC）	発振子周波数	32.768kHz
	外部発振子または付加回路：水晶振動子	あり
	接続端子：XCIN、XCOUT	
	ドライブ能力切り替え	
高速オンチップオシレータ（HOCO）	発振周波数	24/32/48/64MHz
	ユーザトリミング	あり
中速オンチップオシレータ（MOCO）	発振周波数	8MHz
	ユーザトリミング	あり
低速オンチップオシレータ（LOCO）	発振周波数	32.768kHz
	ユーザトリミング	あり
IWDT専用オンチップオシレータ（IWDTLOCO）	発振周波数	15kHz
	ユーザトリミング	なし
SWD用外部クロック入力（SWCLK）	入力クロック周波数	最大12.5MHz

注 1. 周波数は供給電圧に依存します。詳細は電気的特性章のクロックタイミングの表を参照してください。

表 9.2 クロック発生回路の仕様（内部クロック）

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/ MOCO/LOCO	CPU, DTC, FLASH, SRAM	最大48MHz 分周比 : 1, 2, 4, 8, 16, 32, 64
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/ MOCO/LOCO	周辺モジュール (CAC, ELC, I/O ポート, KINT, POEG, GPT, AGT, RTC, WDT, IWDTC, USBFS, SCI, IIC, CAN, SPI, CRC, ADC16, SDADC24, DAC8, DAC12, OPAMP, ACMPHS, ACMPLP, CTSU, DOC, AES, TRNG)	最大32MHz 分周比 : 1, 2, 4, 8, 16, 32, 64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/ MOCO/LOCO	周辺モジュール (GPT カウントク ロック、ADC16 変換クロック)	最大64MHz (ADC16 未使用時) 1MHz ~ 32MHz (ADC16 使用時) 分周比 : 1, 2, 4, 8, 16, 32, 64
フラッシュインタフェース クロック (FCLK)	MOSC/SOSC/HOCO/ MOCO/LOCO	フラッシュインタフェース	1MHz ~ 32MHz (P/E) 最大32MHz (読み出し) 分周比 : 1, 2, 4, 8, 16, 32, 64
USBクロック (UCLK)	HOCO	USBFS	48MHz
CANクロック (CANMCLK)	MOSC	CAN	1MHz ~ 20MHz
AGTクロック (AGTSCLK/AGTLCLK)	SOSC/LOCO	AGT	32.768kHz
CACメインクロック (CACMCLK)	MOSC	CAC	最大20MHz
CACサブクロック (CACSCLK)	SOSC	CAC	32.768kHz
CAC LOCOクロック (CACLCLK)	LOCO	CAC	32.768kHz
CAC MOCOクロック (CACMOCLK)	MOCO	CAC	8MHz
CAC HOCOクロック (CACHCLK)	HOCO	CAC	24, 32, 48, 64MHz
CAC IWDTCLOCOクロック (CACILCLK)	IWDTCLOCO	CAC	15kHz
RTCクロック (RTCSCLK/ RTCLCLK)	SOSC/LOCO	RTC	32.768kHz
IWDTCクロック (IWDTCCLK)	IWDTCLOCO	IWDTC	15kHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768kHz
クロック／ブザー出力 (CLKOUT)	MOSC/SOSC/LOCO/ MOCO/HOCO	CLKOUT 端子	最大16MHz 分周比 : 1, 2, 4, 8, 16, 32, 64, 128
シリアルワイヤクロック (SWCLK)	SWCLK 端子	OCD	最大12.5MHz
24ビットシグマデルタ A/D コンバータクロック (SDADCCLK)	MOSC/HOCO	SDADC24	4MHz ~ 20MHz (MOSC) 24/32/48/64MHz (HOCO)

注． クロック周波数の設定に関する制限 : $ICLK \geq PCLKB$ 、 $PCLKD \geq PCLKB$

クロック周波数比に関する制限 : (N : 整数、最大 64)

$ICLK:FCLK = N:1$ 、 $ICLK:PCLKB = N:1$ 、 $ICLK:PCLKD = N:1$ または $1:N$

注． プログラミング／イレース (P/E) モードでの最小 FCLK 周波数は 1MHz

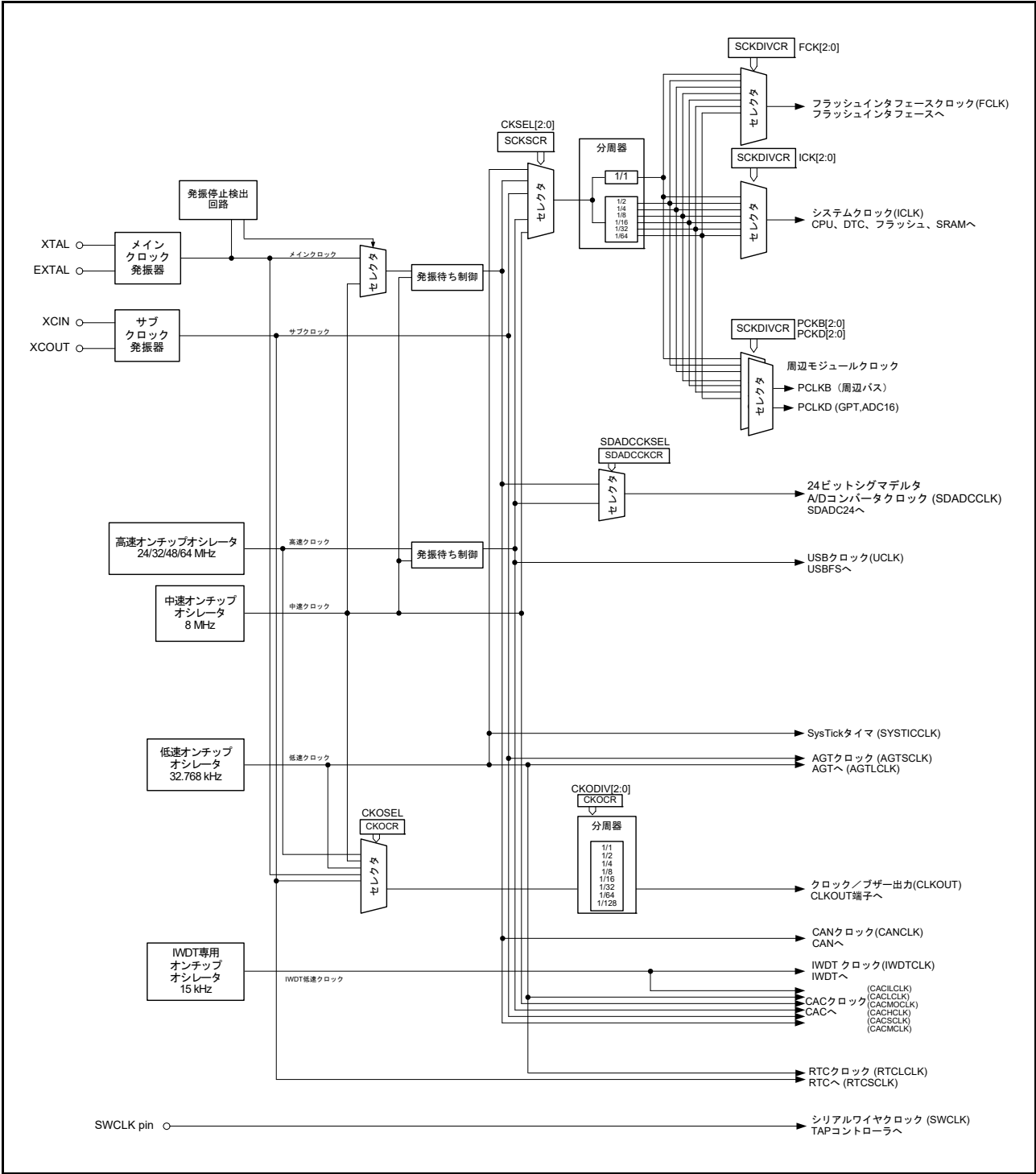


図 9.1 クロック発生回路のブロック図

表 9.3 にクロック発生回路の入出力端子を示します。

表 9.3 クロック発生回路の入出力端子 (1/2)

端子名	入出力	機能
XTAL	出力	水晶振動子用の接続端子。EXTAL 端子は外部クロックの入力にも使用可能。詳細は、9.3.2 外部クロックを入力する方法を参照してください
EXTAL	入力	

表 9.3 クロック発生回路の入出力端子 (2/2)

端子名	入出力	機能
XCIN	入力	32.768kHz 水晶振動子用の接続端子
XCOUT	出力	
CLKOUT	出力	CLKOUT/BUZZER クロック用の出力端子
SWCLK	入力	SWDからの入力端子

9.2 レジスタの説明

9.2.1 システムクロック分周コントロールレジスタ (SCKDIVCR)

アドレス SYSTEM.SCKDIVCR 4001 E020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	FCK[2:0]			—	ICK[2:0]			—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	PCKB[2:0]			—	—	—	—	—	PCKD[2:0]		
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PCKD[2:0]	周辺モジュールクロック D (PCLKD) 選択 (注2)	b2 b0 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	PCKB[2:0]	周辺モジュールクロック B (PCLKB) 選択 (注1)	b10 b8 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b23-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	ICK[2:0]	システムクロック (ICLK) 選択 (注1) (注2) (注3) (注4)	b26 b24 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b30-b28	FCK[2:0]	FlashIF クロック (FCLK) 選択 (注3)	b30 b28 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. システムクロック (ICLK) と周辺モジュールクロック (PCLKB) の間には次の周波数関係が必要です。ICLK:PCLKB = N:1 (N は整数)
ICLK < PCLKB となる設定は無視されます。
- 注 2. システムクロック (ICLK) と周辺モジュールクロック (PCLKD) の間には次の周波数関係が必要です。ICLK:PCLKD = N:1 または 1:N (N は整数)
- 注 3. システムクロック (ICLK) とフラッシュインタフェースクロック (FCLK) の間には次の周波数関係が必要です。
ICLK:FCLK = N:1 (N は整数)
ICLK < FCLK となる設定は無視されます。
- 注 4. SCKSCR.CKSEL[2:0] ビットで 32MHz よりも速いシステムクロックを選択し、かつ MEMWAIT.MEMWAIT = 0 の場合、ICLK を 1 分周に設定するのは禁止です。

SCKDIVCR レジスタは、システムクロック (ICLK) と周辺モジュールクロック (PCLKB、PCLKD)、およびフラッシュインタフェースクロック (FCLK) の周波数を選択するレジスタです。

PCKD[2:0] ビット (周辺モジュールクロック D (PCLKD) 選択)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKB[2:0] ビット (周辺モジュールクロック B (PCLKB) 選択)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

ICK[2:0] ビット (システムクロック (ICLK) 選択)

CPU および DTC 用システムクロックの周波数を選択します。

FCK[2:0] ビット (FlashIF クロック (FCLK) 選択)

フラッシュインタフェースクロック (FCLK) の周波数を選択します。

9.2.2 システムクロックソースコントロールレジスタ (SCKSCR)

アドレス **SYSTEM.SCKSCR 4001 E026h**

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKSEL[2:0]	クロックソース選択 (注1)	b2 b0 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: メインクロック発振器 (MOSC) 1 0 0: サブクロック発振器 (SOSC) 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SCKDIVCR.ICK[2:0] ビットで 1 分周を選択し、かつ MEMWAIT.MEMWAIT = 0 の場合、32MHz よりも速いシステムクロックソース（システムクロックソース > 32MHz）の選択は禁止です。

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

CKSEL[2:0] ビット（クロックソース選択）

下記モジュールのソースを選択します。

- システムクロック（ICLK）
- 周辺モジュールクロック（PCLKB、PCLKD）
- フラッシュインタフェースクロック（FCLK）

下記のクロックソースから 1 つ選択します。

- 低速オンチップオシレータ（LOCO）
- 中速オンチップオシレータ（MOCO）
- 高速オンチップオシレータ（HOCO）
- メインクロック発振器（MOSC）
- サブクロック発振器（SOSC）

内部非同期割り込みが発生していないときに、クロックソースの切り替えを行ってください。

停止しているクロックソースへの切り替えは禁止です。

9.2.3 メモリウェイトサイクルコントロールレジスタ（MEMWAIT）

アドレス SYSTEM.MEMWAIT 4001 E031h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MEMWAIT
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MEMWAIT	メモリウェイトサイクル選択	0：ウェイトなし 1：ウェイトあり	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. SCKDIVCR.ICK ビットで 1 分周を選択し、かつ SCKSCR.CKSEL[2:0] ビットで 32MHz よりも速いシステムクロックソース（ICLK > 32MHz）を選択した場合、MEMWAIT ビットへの 0 の書き込みは禁止です。

本レジスタはフラッシュリードアクセスのウェイトサイクルを制御します。

MEMWAIT ビット（メモリウェイトサイクル選択）

フラッシュリードアクセスのウェイトサイクルを選択します。リセット解除後は、フラッシュアクセスのウェイトサイクルは 0 ウェイト（MEMWAIT = 0）に設定されます。

MEMWAIT ビットへ書き込む前に、ICLK 周波数と動作電力制御モードを確認してください。ICLK、動作電力制御モード、および MEMWAIT ビットを設定する場合、以下の制限があります。

- ICLK を 32MHz よりも速く設定する場合（ICLK > 32MHz）、ICLK が 32MHz 以下（ICLK ≤ 32MHz）で、かつ動作電力制御モードが High-speed モード（OPCCR.OPCM[1:0] = 00b）の状態、MEMWAIT ビットを 1 にしてください。動作モードが High-speed モード以外のときに、MEMWAIT を 1 にすることは禁止です。

MEMWAIT = 0 の状態で、ICLK を 32MHz よりも速く設定することは禁止です。

- ICLK を 32MHz より速い設定 ($ICLK > 32MHz$) から 32MHz 以下 ($ICLK \leq 32MHz$) にする場合は、MEMWAIT = 1 の状態で、ICLK 周波数を 32MHz 以下にする必要があります。
ICLK が 32MHz よりも速い状態で、MEMWAIT を 0 にすることは禁止です。動作モードが High-speed モード以外のときに、MEMWAIT を 1 にすることは禁止です。ICLK 周波数が 32MHz 以下で、かつ動作電力制御モードが High-speed モード (OPCCR.OPCM[1:0] = 00b) のときに、MEMWAIT を 0 に設定できます。

注 . 動作電力制御モードを切り替える場合は、モード切り替え前に CACHEE.FCACHEEN ビットを 0 にしてフラッシュキャッシュ機能を禁止してください。詳細は「43. フラッシュメモリ」を参照してください。

表 9.4 MEMWAIT ビットの設定

MEMWAIT ビット	MCU 動作電力制御		
	モード : High-speed モード以外	High-speed モード	
		ICLK $\leq$ 32MHz	ICLK $>$ 32MHz
0	○	○	×
1	×	○	○

○ : 設定可能

× : 設定不可

図 9.2 に、ICLK を 32MHz よりも速く設定する場合のフロー例を示します。

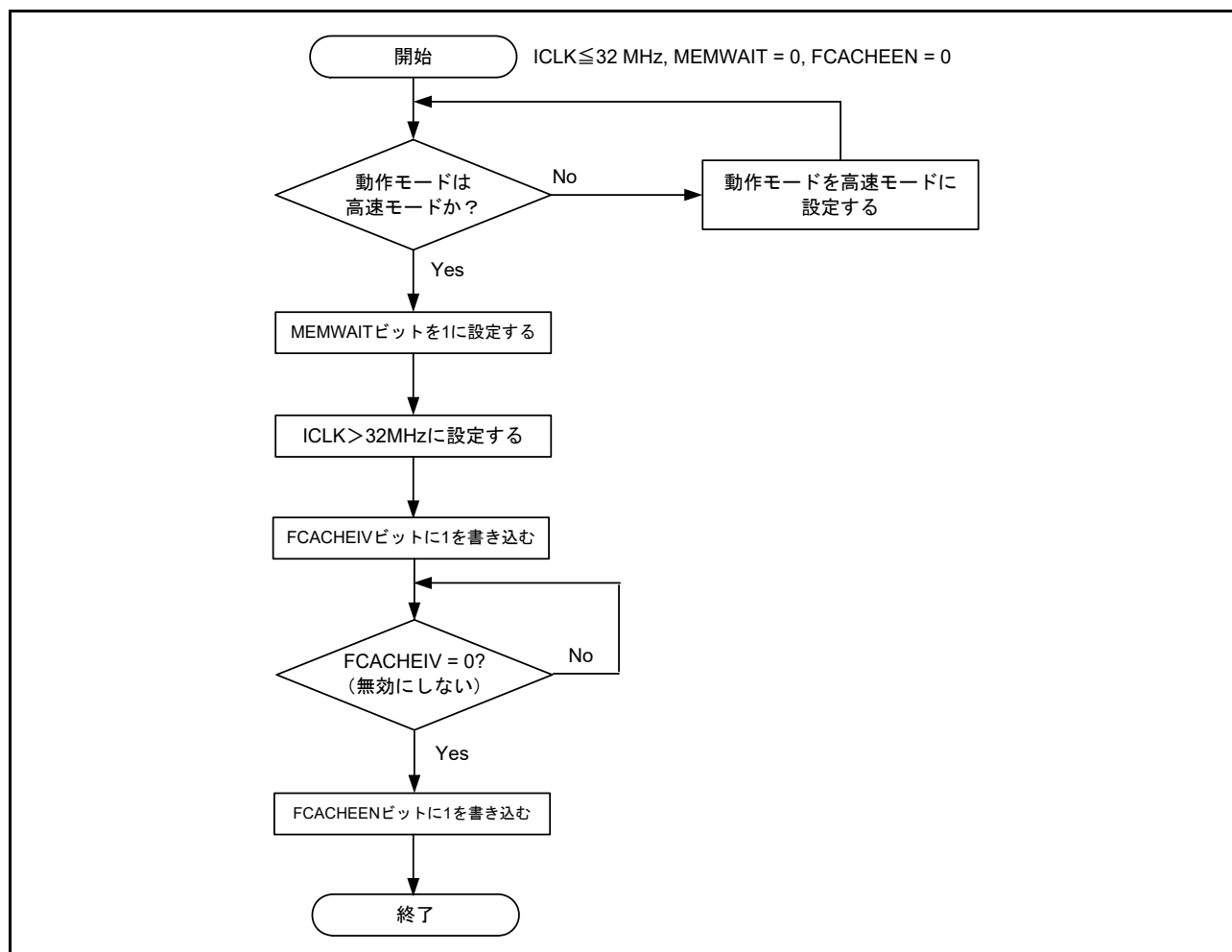


図 9.2 ICLK > 32MHz に設定する場合

図 9.3 に、 $ICLK > 32\text{MHz}$ の状態から $ICLK \leq 32\text{MHz}$ に設定する例を示します。

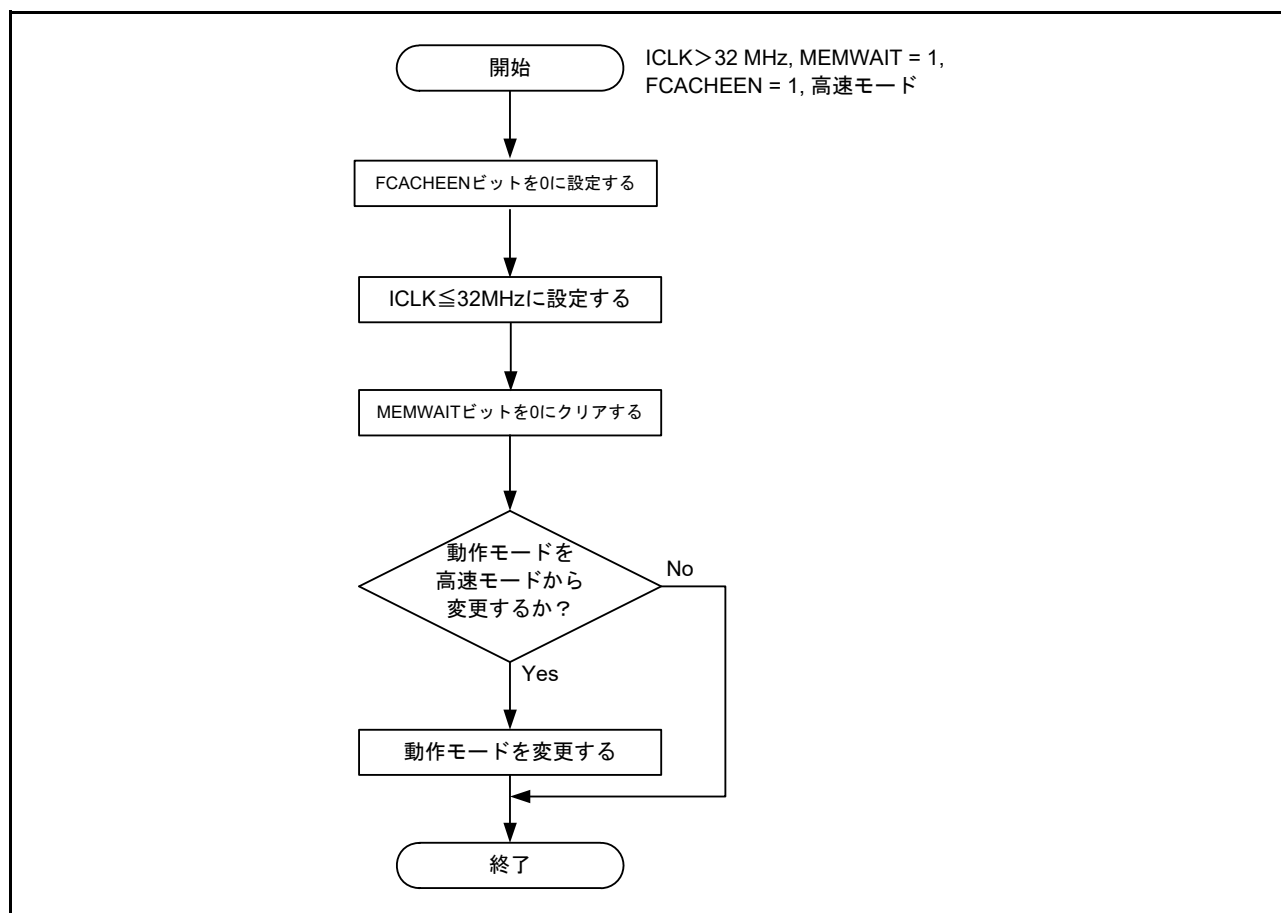


図 9.3 ICLK > 32MHz の状態から $ICLK \leq 32\text{MHz}$ に設定する場合

9.2.4 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス SYSTEM.MOSCCR 4001 E032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止	0 : メインクロック発振器動作 (注1) 1 : メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

MOSTP ビット (メインクロック発振器停止)

メインクロック発振器の動作／停止を制御します。

MOSTP ビットを動作に設定することで、メインクロック発振器を動作させることができます。MOSTP ビットの値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。OSCCR.MOSTP ビットでメインクロックが動作するように変更した場合、必ず OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロックを使用してください。

メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、メインクロック発振器が停止した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後、動作を再開させる前に OSCSF.MOSCSF ビットが 0 であることを確認すること
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが 1 であることを確認すること
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、メインクロック発振器を動作させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 0 にクリアされていることを確認した上で WFI 命令を実行すること

以下の条件下で MOSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)

9.2.5 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス SYSTEM.SOSCCR 4001 E480h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止	0 : サブクロック発振器動作 (注1) 1 : サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

SOSTP ビット (サブクロック発振器停止)

サブクロック発振器の動作／停止を制御します。SOSTP ビットの値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。RTC などの周辺モジュールに対するソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定する必要があります。

SOSTP ビットを 0 にした後、必ずサブクロック発振安定待機時間 (t_{SUBOSC}) が経過してから、サブクロック発振器を使用してください。SOSTP ビットでサブクロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、SOSTP ビットを停止に設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させるまでに SOSC で 5 サイクル以上の待ち時間が必要
- サブクロック発振器を停止させる場合、サブクロック発振器の発振が安定していることを確認すること
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器の発振が安定していることを確認した上で WFI 命令を実行すること
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、SOSC クロックで 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で、SOSTP ビットに 1 を書き込むことは禁止です。

- SCKSCR.CKSEL[2:0] = 100b (システムクロックソース = SOSC)

9.2.6 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス SYSTEM.LOCOCR 4001 E490h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LCSTP
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止	0 : LOCOクロック動作 1 : LOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

LOCOCR レジスタは、LOCO を制御するレジスタです。

LCSTP ビット (LOCO 停止)

LOCO を起動／停止させます。

LCSTP ビットの設定を 0 にして LOCO クロック動作に変更した後、必ず LOCO クロック発振安定待機時間 (t_{LOCOWT}) が経過してから LOCO を使用してください。LOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでも一定の時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO で 5 サイクル以上の待ち時間が必要
- LOCO クロックを停止させる前に、LOCO の発振が安定していることを確認すること
- LOCO をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、LOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- LOCO クロックを停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO で 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で LCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b (システムクロックソース = LOCO)

9.2.7 高速オンチップオシレータコントロールレジスタ (HOCOCR)

アドレス SYSTEM.HOCOCR 4001 E036h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO 停止	0 : HOCO クロック動作 (注2) (注4) 1 : HOCO クロック停止	R/W (注3)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. HOCOCR.HCSTP = 0 および OSCSF.HOCOSF = 0 (HOCO は安定待機時間カウント中) の状態にあるとき、OPCCR.OPCM[1:0] ビットへの書き込みは禁止されています。
- 注1. OFS1.HOCOEN ビットが0のとき、HCSTP ビットのリセット後の値は0になります。OFS1.HOCOEN ビットが1のとき、HCSTP ビットのリセット後の値は1になります。
- 注2. HOCO の動作周波数が48MHz の場合、HOCO 動作時の VCC は1.8V 以上 ($VCC \geq 1.8V$) である必要があります。HOCO の動作周波数が64MHz の場合、HOCO 動作時の VCC は2.4V 以上 ($VCC \geq 2.4V$) である必要があります。
- 注3. OPCCR.OPCMTSF = 1、SOPCCR.SOPCMTSF = 1 (動作電力制御モードの遷移中)、または FLSTOP.CFLSTOPF = 1 (フラッシュの遷移中) の状態にあるとき、HCSTP ビットへの書き込みは禁止されています。
- 注4. HOCO を使用する場合 (HCSTP = 0)、OFS1.HOCOFREQ[2:0] ビットを最適な値に設定してください。低電圧モードの期間中は、HOCOCR.HCSTP は常に0でなければいけません。

HOCOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット (HOCO 停止)

HOCO を起動または停止させます。HOCO を動作させるには、高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) も設定してください。

HCSTP ビットで HOCO が動作するように変更した場合、必ず OSCSF.HOCOSF ビットが1になっていることを確認してから、このクロックを使用してください。OFS1.HOCOEN ビットが0になっている場合、OSCSF.HOCOSF が1になっていることを確認してから、HOCO クロックを使用してください。HOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO の停止後、動作を再開させる前に OSCSF.HOCOSF ビットが0であることを確認すること
- HOCO を停止させる前に、HOCO が動作していること、および OSCSF.HOCOSF ビットが1であることを確認すること
- HOCO をシステムクロックとして選択しているかどうかにかかわらず、HOCO クロックを動作させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが1になっていることを確認した上で WFI 命令を実行すること
- HOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが0になっていることを確認した上で WFI 命令を実行すること

以下の条件下で HCSTP ビットに1を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b (システムクロックソース = HOCO)

9.2.8 中速オンチップオシレータコントロールレジスタ (MOCOOCR)

アドレス SYSTEM.MOCOOCR 4001 E038h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MCSTP	MOCO停止	0 : MOCO動作 1 : MOCO停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MOCOOCR レジスタは、MOCO を制御するレジスタです。

MCSTP ビット (MOCO 停止)

MOCO を起動／停止させます。

MCSTP ビットを 0 にした後、必ず MOCO クロック発振安定時間 (t_{MOCO}) が経過してから、MOCO クロックを使用してください。MOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、MCSTP ビットを 1 にした後、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- MOCO クロックの停止後、動作を再開させるまでに MOCO で 5 クロックサイクル以上の待ち時間が必要
- MOCO クロックを停止させる前に、MOCO の発振が安定していることを確認すること
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、MOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- MOCO クロックを停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、MOCO で 3 クロックサイクル以上待ってから WFI 命令を実行すること

以下の条件下で MCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b (システムクロックソース = MOCO)

発振停止検出コントロールレジスタの発振停止検出機能ビット (OSTDCR.OSTDE) を有効にしているとき、MCSTP ビットを 1 (MOCO 停止) にすることは禁止です。

MOCO クロックは他の発振器の待機時間の計測に使用されるため、MOCOOCR.MCSTP ビットの設定値にかかわらず、他の発振器の待機時間が計測されている間は MOCO クロックが発振しています。そのため、MCSTP ビットが停止に設定されていても、意図せず MOCO クロックが供給される場合があります。

9.2.9 発振安定フラグレジスタ (OSCSF)

アドレス SYSTEM.OSCSF 4001 E03Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	MOSC SF	—	—	HOCO SF
リセット後の値	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HOCOSF	HOCOクロック発振安定フラグ	0 : HOCOクロックは停止、または発振安定待ち中 1 : HOCOクロックは安定、システムクロックとして使用可能	R
b2-b1	—	予約ビット	読むと0が読めます。	R
b3	MOSCSF	メインクロック発振安定フラグ	0 : メインクロック発振器は停止 (MOSTP = 1)、または発振安定待ち中 (注2) 1 : メインクロック発振器は安定、システムクロックとして使用可能	R
b7-b4	—	予約ビット	読むと0が読めます。	R

- 注 1. リセット後の値は OFS1.HOCOEN ビットの設定値で決まります。
OFS1.HOCOEN が 1 になっている場合、HOCOSF のリセット後の値は 0 です。
OFS1.HOCOEN が 0 になっている場合は、リセット解除直後に HOCOSF の値が 0 になり、HOCO 発振安定待機時間の経過後に HOCOSF の値が 1 になります。
- 注 2. 該当する発振器のウェイトコントロールレジスタに適切な値が設定されます。待機時間が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へクロック信号の供給が開始されます。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ (HOCO クロック発振安定フラグ)

高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。OFS1.HOCOEN ビットが 0 になっている場合、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。

[1 になる条件]

- HOCO クロックの停止時に、HOCOCR.HCSTP ビットを 0 にした結果、HOCOWTCR.HSTS[2:0] ビットに設定された中速クロックサイクル数の経過後に、MCU 内部へ高速クロック供給が開始されたとき

[0 になる条件]

- HOCO クロックの動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO クロックが発振停止になったとき

MOSCSF フラグ (メインクロック発振安定フラグ)

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器の停止時に、MOSCCR.MOSTP ビットを 0 にした結果、MOSCWTCR.MSTS[3:0] ビットに設定された中速クロックのサイクルの経過後に、MCU 内部へメインクロックの供給が開始されたとき

[0 になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

9.2.10 発振停止検出コントロールレジスタ (OSTDCR)

アドレス SYSTEM.OSTDCR 4001 E040h

b7	b6	b5	b4	b3	b2	b1	b0
OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可	0 : 発振停止検出割り込みを禁止 (POEG への通知なし) 1 : 発振停止検出割り込みを許可 (POEG への通知あり)	R/W
b6-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	OSTDE	発振停止検出機能有効	0 : 発振停止検出機能は無効 1 : 発振停止検出機能は有効	R/W

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

OSTDIE ビット (発振停止検出割り込み許可)

発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF ビットを 0 にしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、PCLKB の 2 サイクルを超える待ち時間が必要になる場合があります。

OSTDE ビット (発振停止検出機能有効)

発振停止検出機能を有効にします。

OSTDE ビットを 1 (発振停止検出機能有効) にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み (MOCO 停止) は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1 (メインクロック発振停止検出) のとき、OSTDE ビットへの 0 の書き込みは無効です。

ソフトウェアスタンバイモードへ遷移する前に、OSTDE ビットを 0 にする必要があります。ソフトウェアスタンバイモードへ遷移する場合は、最初に OSTDE ビットを 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。

- 低速モードでは、ICLK、FCLK、PCLKB、および PCLKD に対する 1 分周、2 分周、4 分周、8 分周の設定は禁止
- 低電圧モードでは、ICLK、FCLK、PCLKB、および PCLKD に対する 1 分周と 2 分周の設定は禁止

9.2.11 発振停止検出ステータスレジスタ (OSTDSR)

アドレス SYSTEM.OSTDSR 4001 E041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0 : メインクロック発振停止を未検出 1 : メインクロック発振停止を検出	R(/W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 0 のみ書けます。

OSTDSR レジスタは、メインクロック発振停止の検出状態を示すレジスタです。

OSTDF フラグ (発振停止検出フラグ)

メインクロック発振器の状態を示します。本フラグが 1 のとき、メインクロックの発振停止が検出されたことを示します。発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは 0 になりません。OSTDF フラグは、このビットから 1 を読んだ後、0 を書くことによって 0 になります。

OSTDF に 0 を書き込んでから、0 を読み出せるようになるまで、ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振が停止している状態で OSTDF フラグを 0 にした場合、OSTDF フラグはいったん 0 になった後、再度 1 に戻ります。

以下の条件下では、OSTDSR.OSTDF ビットは 0 にクリアできません。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)

クロックソースをメインクロック発振器以外に切り替えてから OSTDF フラグを 0 にする必要があります。

[1 になる条件]

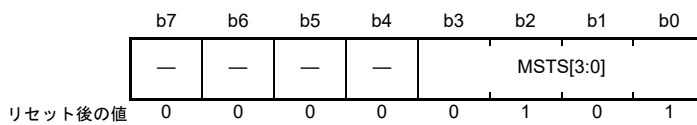
- OSTDCR.OSTDE ビットが 1 (発振停止検出機能有効) の状態で、メインクロックの発振が停止したとき

[0 になる条件]

- SCKSCR.CKSEL[2:0] ビットが 011b (システムクロックが MOSC) 以外の場合に、1 を読んだ後、0 を書いたとき

9.2.12 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス SYSTEM.MOSCWTCR 4001 E0A2h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MSTS[3:0]	メインクロック発振器 待機時間設定	b3 b0 0 0 0 0: 待機時間 = 2サイクル (0.25μs) 0 0 0 1: 待機時間 = 1024サイクル (128μs) 0 0 1 0: 待機時間 = 2048サイクル (256μs) 0 0 1 1: 待機時間 = 4096サイクル (512μs) 0 1 0 0: 待機時間 = 8192サイクル (1024μs) 0 1 0 1: 待機時間 = 16384サイクル (2048μs) (リセット後の値) 0 1 1 0: 待機時間 = 32768サイクル (4096μs) 0 1 1 1: 待機時間 = 65536サイクル (8192μs) 1 0 0 0: 待機時間 = 131072サイクル (16384μs) 1 0 0 1: 待機時間 = 262144サイクル (32768μs) 上記以外は設定しないでください。 待機時間は "MOCO = 8MHz (標準は0.125μs) " として計算されます。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MSTS[3:0] ビット (メインクロック発振器待機時間設定)

メインクロック発振器の発振安定待機時間を設定します。

発振器メーカーが推奨する安定時間以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので、0000b に設定してください。

MSTS[3:0] ビットに設定した待機時間は、MOCO クロックでカウントされます。MOCO クロックは、必要であれば、MOCOCCR.MCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロックの供給が開始され、OSCSF.MOSCSF フラグは1になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロックの供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが1で、かつOSCSF.MOSCSF フラグが0の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

9.2.13 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

アドレス SYSTEM.HOCOWTCR 4001 E0A5h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	HSTS[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	HSTS[2:0]	HOCO 待機時間設定	b2 b0 1 0 1: - 待機時間 = 245 サイクル (29.13μs) - HOCO の動作周波数が 24MHz または 32MHz で、かつ動作電力制御モードが低電圧モード以外の場合 - 待機時間 = 287 サイクル (35.875μs) - HOCO の動作周波数が 48MHz で、かつ動作電力制御モードが低電圧モード以外の場合 - 待機時間 = 679 サイクル (84.88μs) (リセット後の値) - 動作電力制御モードが低電圧モードの場合 1 1 0: - 待機時間 = 541 サイクル (67.63μs) - HOCO の動作周波数が 64MHz の場合 上記以外は設定しないでください。 待機時間は "MOCO = 8MHz (標準は 0.125μs) " として計算されます。	R/W
b7-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

HOCOWTCR レジスタは、高速クロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。HOCOCR.HCSTP ビットが 1 の場合、または OSCSF.HOCOSF フラグが 1 の場合にのみ、HOCOWTCR に書き込むことができます。それ以外では、このレジスタに書き込まないでください。

HSTS[2:0] ビット (HOCO 待機時間設定)

発振安定待ち回路は、HOCOWTCR レジスタに設定された中速クロックのサイクル数をカウントすることで、待機時間を計測し、MCU 内部へのクロック供給を制御します。

高速クロック発振器が発振を開始すると、発振安定待ち回路は、HOCOWTCR レジスタの設定値に応じた中速クロックサイクル数のカウントを開始します。設定したサイクル数のカウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCSF.HOCOSF フラグが 1 になります。

発振安定待ち回路は、MOCOCR.MCSTP ビットの設定にかかわらず、中速クロックのサイクル数のカウントを継続します。待機時間の計測時には、ハードウェアで自動的に中速発振器の動作/停止が制御されます。

9.2.14 メインクロック発振器モード発振コントロールレジスタ (MOMCR)

アドレス SYSTEM.MOMCR 4001 E413h

b7	b6	b5	b4	b3	b2	b1	b0
—	MOSEL	—	—	MODRV1	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MODRV1	メインクロック発振器ドライブ能力1切り替え	0 : 10MHz～20MHz 1 : 1MHz～10MHz	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	MOSEL	メインクロック発振器切り替え	0 : 発振子 1 : 外部クロック入力	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． EXTAL/XTAL 端子もポートとして使用されます。初期設定状態では、この端子がポートとして設定されています。

注． 本レジスタを変更する前に、MOSCCR.MOSTP ビットを1（MOSC 停止）にする必要があります。

MODRV1 ビット（メインクロック発振器ドライブ能力1 切り替え）

メインクロック発振器のドライブ能力を切り替えます。

MOSEL ビット（メインクロック発振器切り替え）

メインクロック発振器の発振源を切り替えます。

9.2.15 サブクロック発振器モードコントロールレジスタ (SOMCR)

アドレス SYSTEM.SOMCR 4001 E481h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	SODRV[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SODRV[1:0]	サブクロック発振器ドライブ能力切り替え	b1 b0 0 0: 通常モード 0 1: 低消費電力モード1 1 0: 低消費電力モード2 1 1: 低消費電力モード3	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

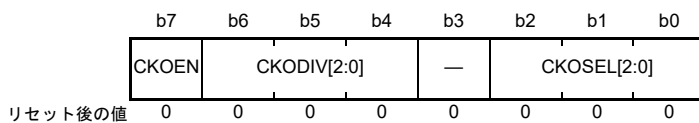
このレジスタの変更は、SOSCCR.SOSTP が1（SOSC 停止）のときに行う必要があります。

SODRV[1:0] ビット（サブクロック発振器ドライブ能力切り替え）

サブクロック発振器のドライブ能力を切り替えます。

9.2.16 クロックアウトコントロールレジスタ (CKOCR)

アドレス SYSTEM.CKOCR 4001 E03Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKOSEL[2:0]	クロックアウトソース選択	b2 b0 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: MOSC 1 0 0: SOSC 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CKODIV[2:0]	クロックアウト入力分周比選択	b6 b4 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 1 1 1: 128分周	R/W
b7	CKOEN	クロックアウト許可	0: クロックアウト禁止 1: クロックアウト許可	R/W

CKOSEL[2:0] ビット (クロックアウトソース選択)

HOCO、MOCO、LOCO、MOSC、または SOSC クロックを、CLKOUT 端子から出力するクロックのソースとして指定します。CLKOUT ソースクロックを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0] ビット (クロックアウト入力分周比選択)

クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定する必要があります。CLKOUT 端子の特性の詳細については、「47. 電気的特性」を参照してください。

CKOEN ビット (クロックアウト許可)

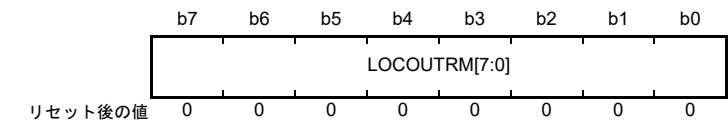
CLKOUT 端子からの出力を許可します。

1 を書き込むと、選択したクロックが出力されます。0 を書き込むと、Low が出力されます。本ビットを変更する場合は、CKOSEL[3:0] ビットで選択したクロックアウトのソースクロックが安定していることを確認してください。安定していないと、出力にグリッチを生じる恐れがあります。

このモードで選択中のクロックソースを停止させる場合は、ソフトウェアスタンバイモードへ遷移する前に本ビットをクリアしておいてください。

9.2.17 LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR)

アドレス SYSTEM.LOCOUTCR 4001 E492h

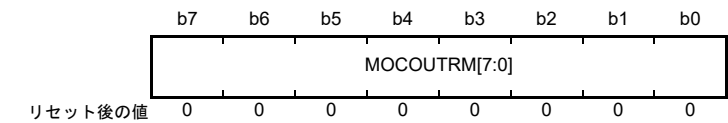


ビット	シンボル	ビット名	機能	R/W
b7-b0	LOCOUTRM[7:0]	LOCOユーザトリミング	b7b0 10000000:-128 10000001:-127 10000010:-126 ⋮ 1111111:-1 0000000:センターコード 0000001:+1 ⋮ 0111110:+125 0111111:+126 0111111:+127 これらのビットは、元のLOCOトリミングビットに追加されます。	R/W

LOCO 周波数が仕様外となるような値に LOCOUTCR を設定した場合、MCU 動作は保証されません。LOCOUTCR を変更した場合、周波数が安定するまでの時間は、MCU 動作開始時の周波数安定時間に相当します。LOCO 周波数と他の発振周波数が整数比の関係にあるとき、LOCOUTCR 値の変更は禁止されています。

9.2.18 MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR)

アドレス SYSTEM.MOCOUTCR 4001 E061h

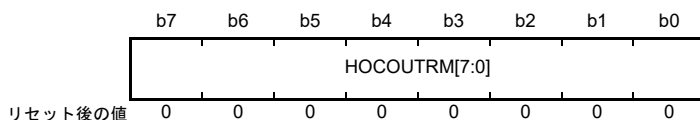


ビット	シンボル	ビット名	機能	R/W
b7-b0	MOCOUTRM[7:0]	MOCOユーザトリミング	b7b0 10000000:-128 10000001:-127 10000010:-126 ⋮ 1111111:-1 0000000:センターコード 0000001:+1 ⋮ 0111110:+125 0111111:+126 0111111:+127 これらのビットは、元のMOCOトリミングビットに追加されます。	R/W

MOCO 周波数が仕様外となるような値に MOCOUTCR を設定した場合、MCU 動作は保証されません。MOCOUTCR を変更した場合、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に相当します。MOCO 周波数と他の発振周波数が整数比の関係にあるとき、MOCOUTCR 値の変更は禁止されています。

9.2.19 HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR)

アドレス SYSTEM.HOCOUTCR 4001 E062h



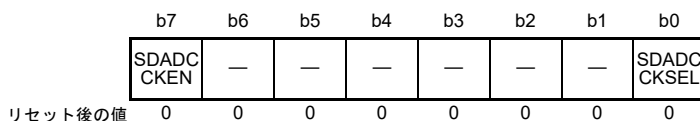
ビット	シンボル	ビット名	機能	R/W
b7-b0	HOCOUTRM[7:0]	HOCO ユーザトリミング	b7 b0 1 0 0 0 0 0 0 0 :-128 1 0 0 0 0 0 0 1 :-127 1 0 0 0 0 0 1 0 :-126 : 1 1 1 1 1 1 1 1 :-1 0 0 0 0 0 0 0 0 :センターコード 0 0 0 0 0 0 0 1 :+1 : 0 1 1 1 1 1 0 1 :+125 0 1 1 1 1 1 1 0 :+126 0 1 1 1 1 1 1 1 :+127 これらのビットは、元のHOCOトリミングビットに追加されます。	R/W

HOCO 周波数が仕様外となるような値に HOCOUTCR を設定した場合、MCU 動作は保証されません。HOCOUTCR 変更後、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に相当します。

UCKSEL.UCKSELC = 1 のとき、HOCOUTCR レジスタへの 00h 以外の値の書き込みは禁止されています。UCKSEL レジスタについては、「[26. USB2.0 フルスピードモジュール \(USBFS\)](#)」を参照してください。

9.2.20 24 ビットシグマデルタ A/D コンバータクロックコントロールレジスタ (SDADCCKCR)

アドレス SYSTEM.SDADCCKCR 4001 E0D1h



ビット	シンボル	ビット名	機能	R/W
b0	SDADCCKSEL	24 ビットシグマデルタ A/D コンバータクロック選択	0 : 24 ビットシグマデルタ A/D コンバータクロックのソースクロックとしてMOSCを選択 1 : 24 ビットシグマデルタ A/D コンバータクロックのソースクロックとしてHOCOを選択	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SDADCCKEN	24 ビットシグマデルタ A/D コンバータクロック選択有効	0 : 24 ビットシグマデルタ A/D コンバータクロック無効 1 : 24 ビットシグマデルタ A/D コンバータクロック有効	R/W

SDADCCKSEL ビット (24 ビットシグマデルタ A/D コンバータクロック選択)

24 ビットシグマデルタ A/D コンバータクロックのソースクロックを設定します。

SDADCCKEN ビット (24 ビットシグマデルタ A/D コンバータクロック選択有効)

24 ビットシグマデルタ A/D コンバータクロックを有効にします。

SDADCCKEN ビットを 1 にすると、ソースクロックの 2 サイクル後に 24 ビットシグマデルタ A/D コンバータクロックを出力します。SDADCCKEN ビットを 0 にすると、ソースクロックの 2 サイクル後に 24 ビットシグマデルタ A/D コンバータクロックを停止します。SDADCCKSEL ビットを変更するには、24 ビットシグマデルタ A/D コンバータクロックを完全に停止させる必要があります。ソフトウェアスタンバイモードに遷移するには、SDADCCKEN ビットを 0 にしてください。

9.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振器を接続
- 外部クロック信号の入力を接続

9.3.1 水晶振動子を接続する方法

水晶振動子の接続例を図 9.4 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入することが可能です。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーが外部帰還抵抗 (R_f) の使用を推奨している場合は、その指示に従って EXTAL と XTAL の間に R_f を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 9.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

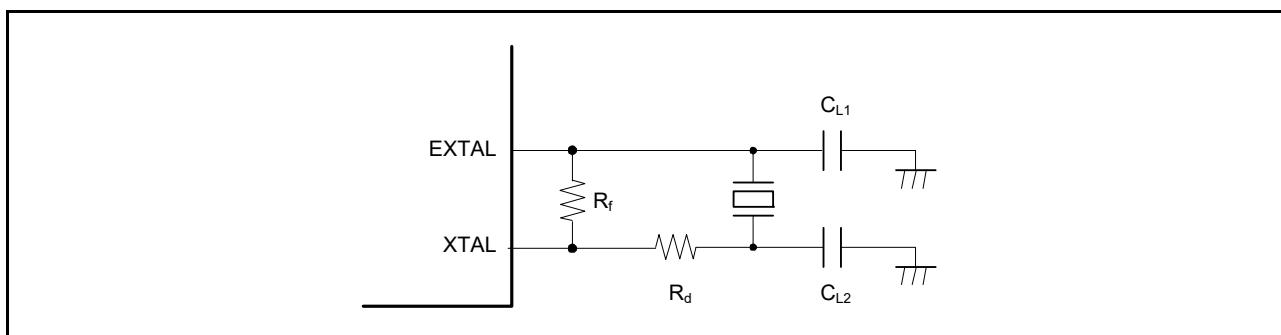


図 9.4 水晶振動子の接続例

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 9.5 に示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。



図 9.5 外部クロックの等価回路

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止している時のみ可能です。メインクロック発振器の停止ビット (MOSCCR.MOSTP) が 0 の場合、外部クロック入力周波数を変更しないでください。

9.4 サブクロック発振器

サブクロック発振器へクロックを供給する唯一の方法は、水晶振動子を接続することです。

9.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、[図 9.6](#) に示すように 32.768kHz 水晶振動子を接続します。必要に応じてダンピング抵抗 (R_d) を挿入することが可能です。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーが外部帰還抵抗 (R_f) の使用を推奨している場合は、その指示に従って XCIN と XCOUT の間に R_f を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、[表 9.1](#) に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

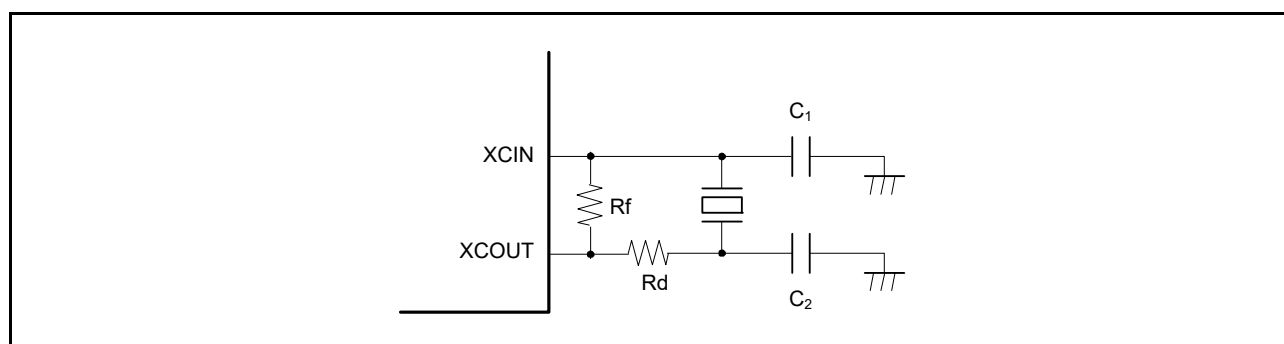


図 9.6 32.768kHz 水晶振動子の接続例

9.5 発振停止検出機能

9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出します。発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ（GPT）出力をハイインピーダンスにすることが可能です。

メインクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロック発振器が検出されます。「47. 電気的特性」を参照してください。

メインクロック発振器と MOCO クロックの切り替えは、発振停止検出フラグ（OSTDSR.OSTDF）によって制御されます。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）の場合：
 - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
 - OSTDF が 1 から 0 になると、クロックソースは MOSC クロックに戻る

発振停止検出後にクロックソースをメインクロックに戻したい場合は、いったん CKSEL[2:0] ビットの設定をメインクロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0] ビットの設定をメインクロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット（OSTDCR.OSTDE）に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。そのため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードへ遷移する場合は、あらかじめ発振停止検出機能は無効にする必要があります。

発振停止検出機能は、以下のクロックを MOCO クロック（システムクロックが MOSC の場合）に切り替えます。

- CLKOUT 以外の MOSC を選択できるすべてのクロック
- MOCO 動作中（システムクロックが MOSC の場合）のシステムクロック（ICLK）周波数は、MOCO 発振周波数と、システムクロック選択ビット（SCKDIVCR.ICK[2:0]）で設定された分周比で指定される

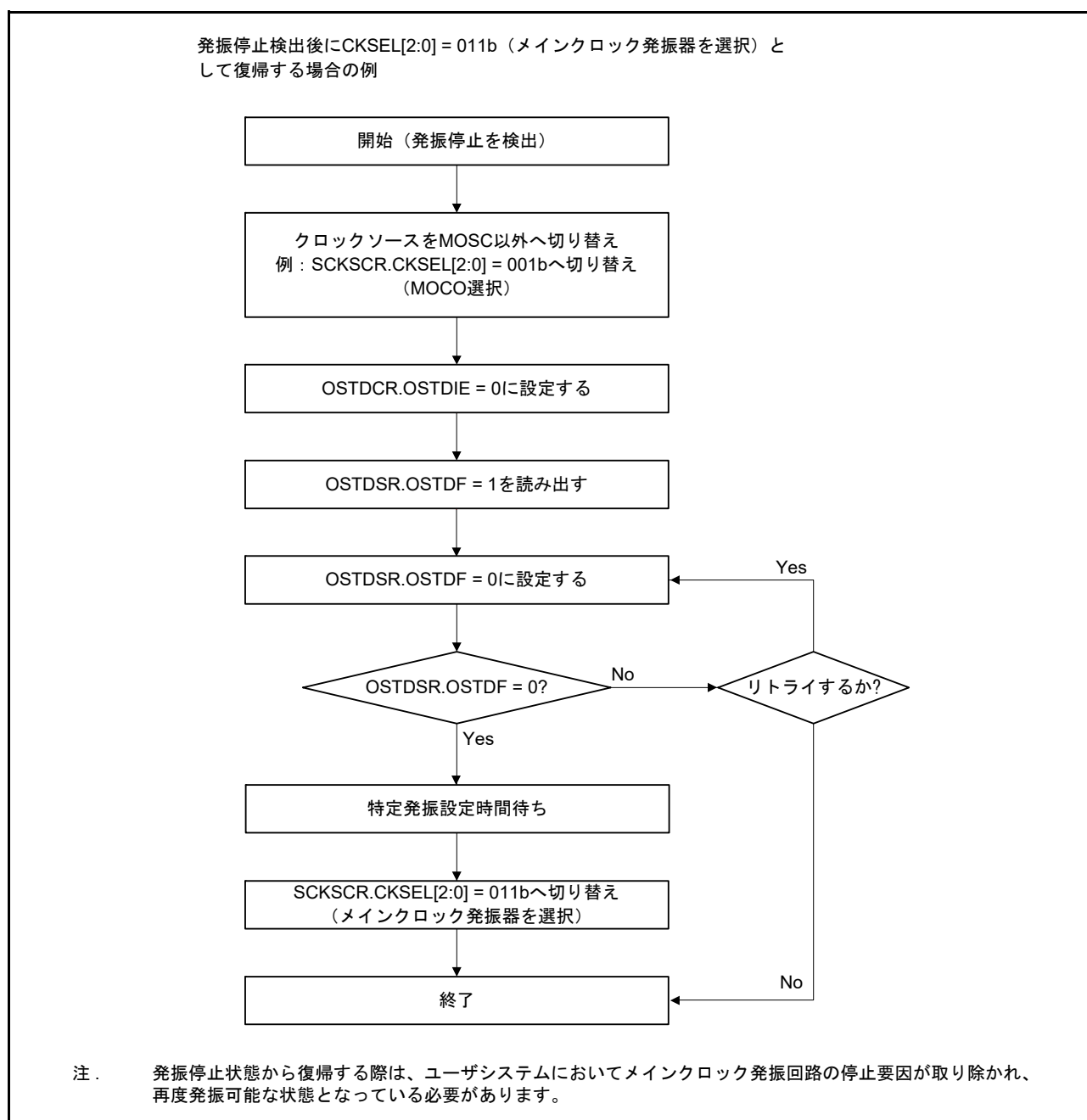


図 9.7 発振停止検出時の復帰フロー

9.5.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1 (許可) のとき、発振停止検出割り込み (MOSC_STOP) が発生します。このとき GPT 用ポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて POEG グループ n 設定レジスタ (POEGGn.OSTPF) (n = A、B) の発振停止検出フラグを 1 にします。

発振停止を検出後、POEGGn.OSTPF フラグに書き込みする場合は、PCLKB で 10 クロックサイクル以上待ってから行ってください。OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を 0 にした後に行ってください。その後、OSTDCR.OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスクابل割り込みです。リセット解除後の初期状態ではノンマスクابل割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスクابل割り込みを許可にしてください。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

9.6 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック発振器
- サブクロック発振器
- HOCO クロック
- MOCO クロック
- LOCO クロック
- IWDT 専用クロック

これらのソースから、以下の内部クロックが生成されます。

- CPU、DTC、フラッシュメモリ、SRAM の動作クロック — システムクロック (ICLK)
- 周辺モジュールの動作クロック — PCLKB および PCLKD
- フラッシュインタフェースの動作クロック — FCLK
- USBFS の動作クロック — UCLK
- CAN の動作クロック — CANMCLK
- CAC の動作クロック — CACCLK
- RTC LOCO クロックの動作クロック — RTCLCLK
- RTC サブクロックの動作クロック — RTCCLK
- IWDT の動作クロック — IWDTCCLK
- AGT LOCO クロックの動作クロック — AGTLCLK
- AGT サブクロックの動作クロック — AGTCLK
- SysTick タイマの動作クロック — SYSTICCLK
- 外部端子出力のクロック — CLKOUT
- 24 ビットシグマデルタ A/D コンバータの動作クロック — SDADCCLK

内部クロックの周波数設定に使用するレジスタの詳細については、[9.6.1 システムクロック \(ICLK\)](#) ～ [9.6.12 24 ビットシグマデルタ A/D コンバータクロック \(SDADCCLK\)](#) を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

9.6.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DTC、フラッシュメモリ、および SRAM の動作クロックです。

ICLK の周波数は、以下のビットで設定します。

- SCKDIVCR.ICK[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- OFS1.HOCOFREQ1[2:0] ビット

ICLK クロックソースを切り替えると、クロックソースの遷移期間中に ICLK クロックサイクルの期間が長くなります。[図 9.8](#) および [図 9.9](#) を参照してください。

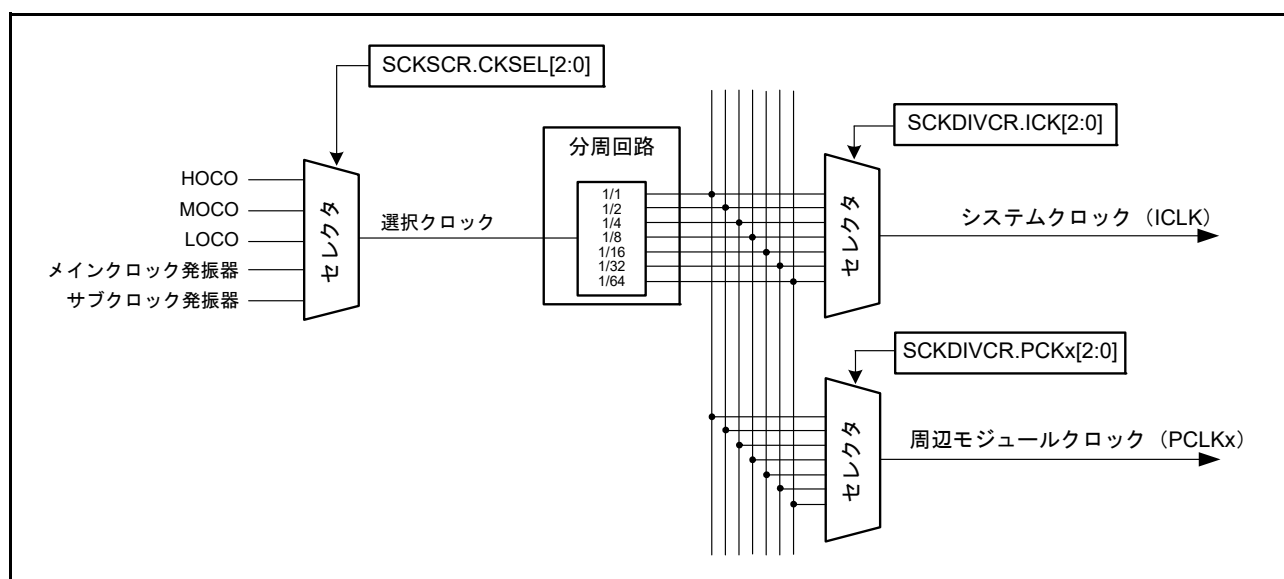


図 9.8 クロックソース選択ブロック図

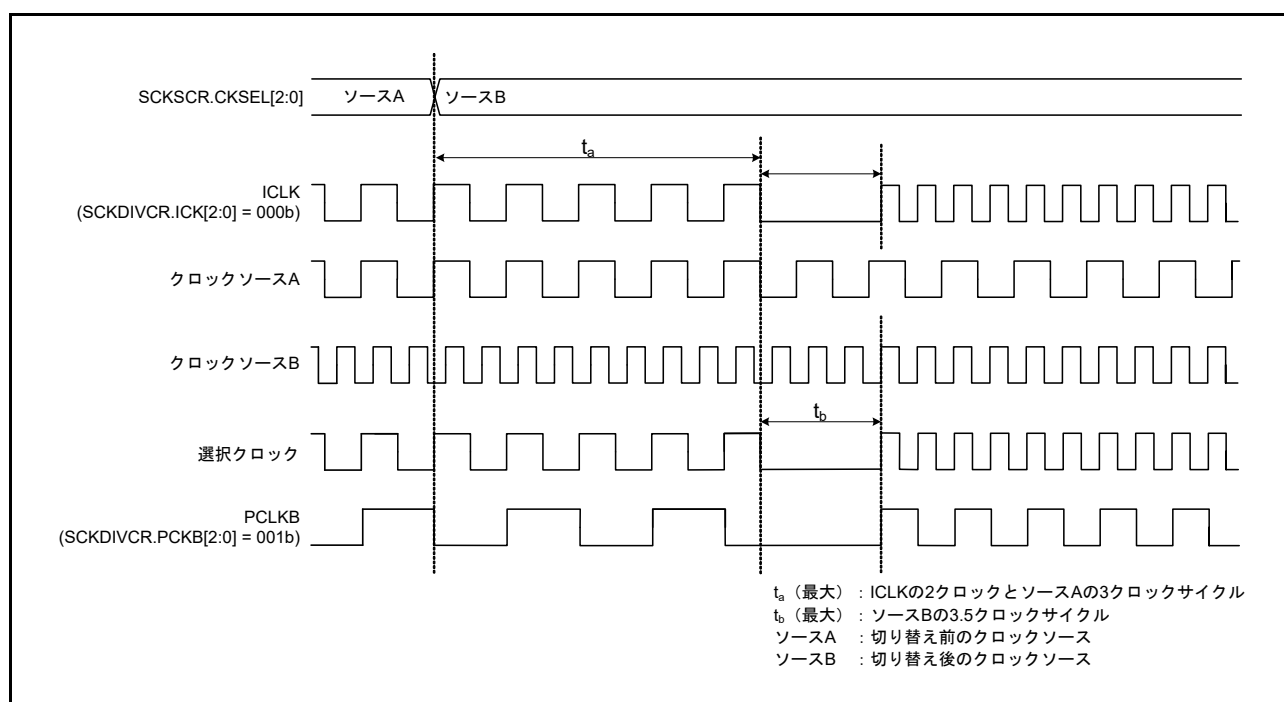


図 9.9 クロックソース切り替えタイミング図

9.6.2 周辺モジュールクロック（PCLKB, PCLKD）

周辺モジュールクロック（PCLKB および PCLKD）は、周辺モジュールが使用する動作クロックです。

クロックの周波数はそれぞれ、以下のビットで指定されます。

- SCKDIVCR.PCKB[2:0] および SCKDIVCR.PCKD[2:0]
- SCKSCR.CKSEL[2:0]
- OFS1.HOCOFRQ1[2:0]

周辺モジュールクロックのクロックソースを切り替えると、クロックソースの遷移期間中に周辺モジュールクロックサイクルの期間が長くなります。[図 9.8](#) および [図 9.9](#) を参照してください。

9.6.3 フラッシュインタフェースクロック（FCLK）

フラッシュインタフェースクロック（FCLK）は、フラッシュメモリインタフェースの動作クロックです。データフラッシュからの読み出しに加え、FCLK はコードフラッシュとデータフラッシュのプログラミング／イレースに使用されます。

FCLK の周波数は、以下のビットで設定します。

- SCKDIVCR レジスタの FCK[2:0] ビット
- SCKSCR レジスタの CKSEL[2:0] ビット
- OFS1 レジスタの HOCOFRQ1[2:0] ビット

9.6.4 USB クロック（UCLK）

USB クロック（UCLK）は、USBFS モジュールの動作クロックです。USBFS モジュールには 48MHz クロックを供給する必要があります。USBFS モジュールを使用する場合は、UCLK クロックを 48MHz に設定してください。UCLK の周波数は、OFS1.HOCOFRQ1[2:0] ビットで設定します。

9.6.5 CAN クロック（CANMCLK）

CAN クロック（CANMCLK）は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されたクロックです。

9.6.6 CAC クロック（CACCLK）

CAC クロック（CACCLK）は、CAC モジュールの動作クロックです。CACCLK は下記の発振器で生成されます。

- メインクロック発振器
- サブクロック発振器
- 高速クロック発振器（HOCO）
- 中速クロック発振器（MOCO）
- 低速オンチップオシレータ（LOCO）
- IWDT 専用オンチップオシレータ

9.6.7 RTC 専用クロック (RTCSCLK、RTCLCLK)

RTC 専用クロック (RTCSCLK および RTCLCLK) は、RTC の動作クロックです。RTCSCLK はサブクロック発振器で生成され、RTCLCLK は LOCO クロックで生成されます。

9.6.8 IWDТ 専用クロック (IWDTCLK)

IWDТ 専用クロック (IWDTCLK) は、IWDT の動作クロックです。IWDTCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

9.6.9 AGT 専用クロック (AGTSCLK, AGTLCLK)

AGT 専用クロック (AGTSCLK および AGTLCLK) は、AGT の動作クロックです。AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO クロックで生成されます。

9.6.10 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SysTick タイマの動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

9.6.11 クロック／ブザー出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力用に CLKOUT 端子から外部に出力されます。CKOCR.CKOEN を 1 にすると、CLKOUT を CLKOUT 端子に出力できます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、以下のビットで指定されます。

- CKOCR.CKODIV[2:0] または CKOCR.CKOSEL[2:0]
- OFS1.HOCOFRQ1[2:0]

9.6.12 24 ビットシグマデルタ A/D コンバータクロック (SDADCCLK)

24 ビットシグマデルタ A/D コンバータクロック (SDADCCLK) は SDADC24 の動作クロックです。

SDADCCKCR.SDADCCKEN を 1 にすると、SDADCCLK が出力されます。SDADCCLK は HOCO またはメインクロック発振器で生成され、SDADCCKCR.SDADCCKSEL ビットで指定されます。

9.7 使用上の注意事項

9.7.1 クロック発生回路に関する注意事項

各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKB および PCLKD)、フラッシュインタフェースクロック (FCLK) の周波数は、SCKDIVCR レジスタの設定に応じて変化します。各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 特性で規定されるクロックサイクル時間 (t_{cyc}) の動作保証範囲内に収まるように選択すること。「47. 電気的特性」を参照
- 周波数は表 9.2 に記載の周波数範囲を超えないこと
- 周辺モジュールは PCLKB を基準に動作する。そのため、周波数変更の前後で、タイマや SCI などのモジュールは動作速度が変化する
- システムクロック (ICLK)、周辺モジュールクロック (PCLKB および PCLKD)、およびフラッシュインタフェースクロック (FCLK) は、表 9.2 に従って設定すること

クロック周波数変更後の処理を確実に実行するには、最初に該当するクロックコントロールレジスタを修正して周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

9.7.2 発振子に関する注意事項

発振子の特性はユーザのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 9.6 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。そのため、回路定数を決定する際は、発振子メーカーと相談してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.7.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 9.10 に示すように、発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

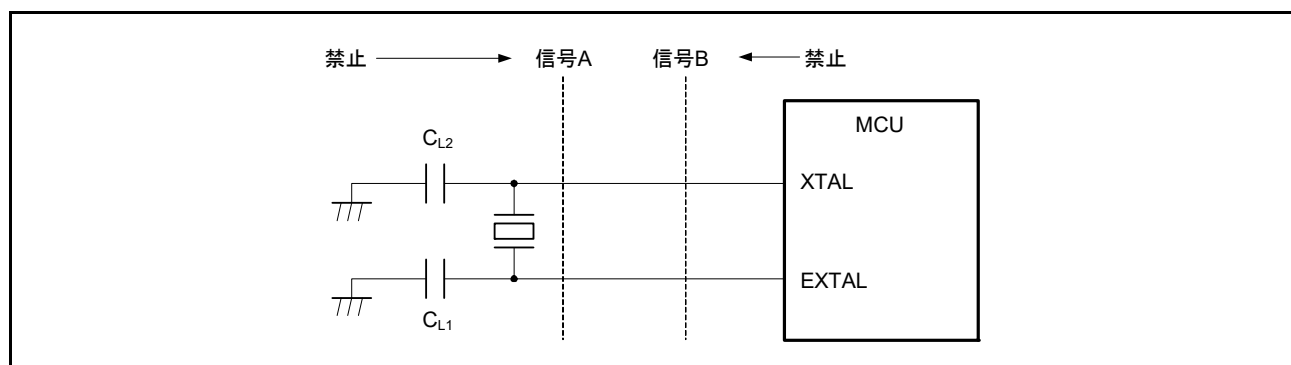


図 9.10 発振回路部のボード設計に関する信号のルーティング (メインクロック発振器とサブクロック発振器に適用可能)

9.7.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポート P212 および P213 として使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる (MOSCCR.MOSTP ビットを 1 にする) 必要があります。

10. クロック周波数精度測定回路（CAC）

10.1 概要

クロック周波数精度測定回路（CAC）は、測定の対象となるクロック（測定対象クロック）に対して、測定基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数えます。CACは、パルス数が許容範囲内にあるか否かによって精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求が発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を、図 10.2 に入出力端子を示します。

表 10.1 CACの仕様

項目	内容
測定対象クロック	測定可能な周波数： • メインクロック発振器 • サブクロック発振器 • HOCOクロック • MOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B（PCLKB）
測定基準クロック	以下のクロックを基準として使用可能 • 外部からCACREF端子に入力したクロック • メインクロック発振器 • サブクロック発振器 • HOCOクロック • MOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B（PCLKB）
選択機能	デジタルフィルタ
割り込み要因	• 測定終了 • 周波数エラー • オーバーフロー
モジュールストップ機能	モジュールストップ状態に設定して消費電力削減が可能

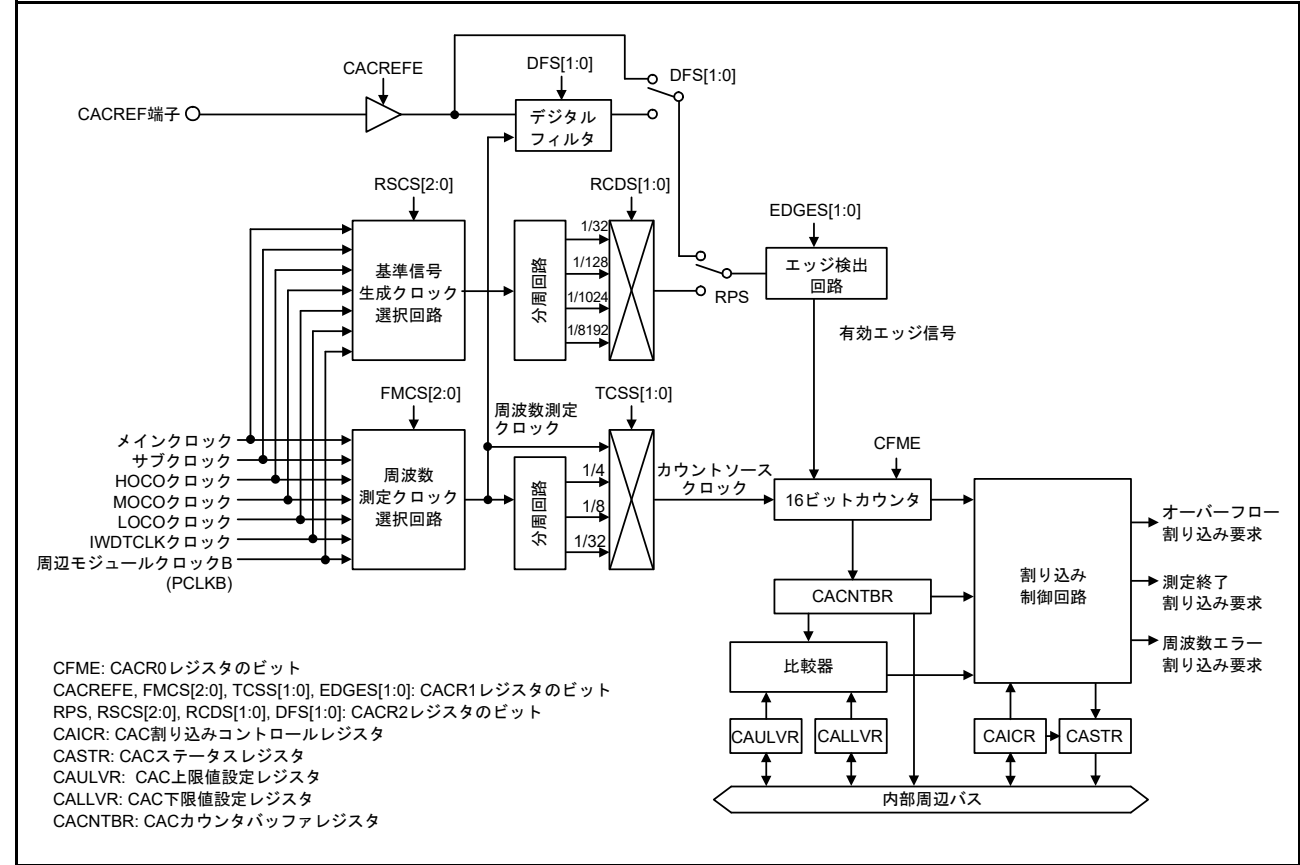


図 10.1 CAC のブロック図

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0（CACR0）

アドレス CAC.CACR0 4004 4600h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効	0：クロック周波数測定無効 1：クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CFME ビット（クロック周波数測定有効）

クロック周波数測定を有効にします。CFME ビットを読み出すことで、このビットが変更されたことを確認できます。変更が完了するまでは、さらなる書き込みは無視されます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 4004 4601h

b7	b6	b5	b4	b3	b2	b1	b0
EDGES[1:0]	TCSS[1:0]	FMCS[2:0]	CACREFE				
0	0	0	0	0	0	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択	b3 b1 0 0 0 : メインクロック発振器 0 0 1 : サブクロック発振器 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	TCSS[1:0]	測定対象クロック分周比選択	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり／立ち下がり両エッジ 1 1 : 設定禁止	R/W

注. CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

CACREFE ビット (CACREF 端子入力有効)

CACREF 端子入力を有効にします。

FMCS[2:0] ビット (測定対象クロック選択)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (測定対象クロック分周比選択)

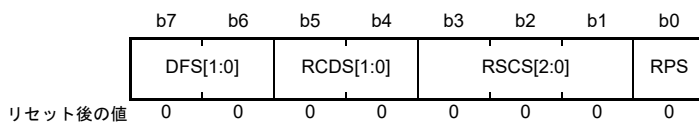
測定対象クロックの分周比を選択します。

EDGES[1:0] ビット (有効エッジ選択)

基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 4004 4602h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択	b3 b1 0 0 0 : メインクロック発振器 0 0 1 : サブクロック発振器 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックとして使用 1 0 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの4分周クロックとして使用 1 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの16分周クロックとして使用	R/W

注 . CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット (基準信号選択)

基準信号として CACREF 端子入力と内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択)

測定基準クロックを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択)

内部基準クロックの選択時 (RPS = 1)、基準クロックの分周比を選択します。RPS = 0 (CACREF 端子を基準クロックソースとして使用) の場合、基準クロックは分周されません。

DFS[1:0] ビット (デジタルフィルタ機能選択)

デジタルフィルタを有効または無効にします。また、そのサンプリングクロックを選択します。

10.2.4 CAC 割り込みコントロールレジスタ (CAICR)

アドレス CAC.CAICR 4004 4603h

b7	b6	b5	b4	b3	b2	b1	b0
—	OVFFCL	MENDFCL	FERRFCL	—	OVFIE	MENDIE	FERRIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可	0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
b1	MENDIE	測定終了割り込み要求許可	0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W
b2	OVFIE	オーバーフロー割り込み要求許可	0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FERRFCL	FERRF フラグクリア	このビットを1にすると FERRF フラグをクリアします。読むと0が読めます。	R/W
b5	MENDFCL	MENDF フラグクリア	このビットを1にすると MENDF フラグをクリアします。読むと0が読めます。	R/W
b6	OVFFCL	OVFF フラグクリア	このビットを1にすると OVFF フラグをクリアします。読むと0が読めます。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FERRIE ビット (周波数エラー割り込み要求許可)

周波数エラー割り込み要求を許可します。

MENDIE ビット (測定終了割り込み要求許可)

測定終了割り込み要求を許可します。

OVFIE ビット (オーバーフロー割り込み要求許可)

オーバーフロー割り込み要求を許可します。

FERRFCL ビット (FERRF フラグクリア)

このビットを1にすると FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリア)

このビットを1にすると MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリア)

このビットを1にすると OVFF フラグをクリアします。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 4004 4604h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0 : クロック周波数は許容範囲内 1 : クロック周波数が許容範囲を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0 : 測定中 1 : 測定終了	R
b2	OVFF	オーバーフローフラグ	0 : カウンタがオーバーフローしていない 1 : カウンタがオーバーフローした	R
b7-b3	—	予約ビット	読むと0が読めます。	R

FERRF フラグ (周波数エラーフラグ)

クロック周波数が設定値から外れた (周波数エラー) ことを示します。

[1 になる条件]

- クロック周波数が CAULVR と CALLVR の両レジスタで定義された許容範囲を外れたとき

[0 になる条件]

- FERRFCL ビットに 1 を書いたとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[1 になる条件]

- 測定が終了したとき

[0 になる条件]

- MENDFCL ビットに 1 を書いたとき

OVFF フラグ (オーバーフローフラグ)

カウンタがオーバーフローしたことを示します。

[1 になる条件]

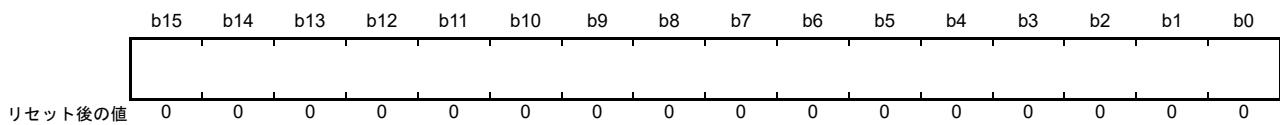
- カウンタがオーバーフローしたとき

[0 になる条件]

- OVFFCL ビットに 1 を書いたとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 4004 4606h

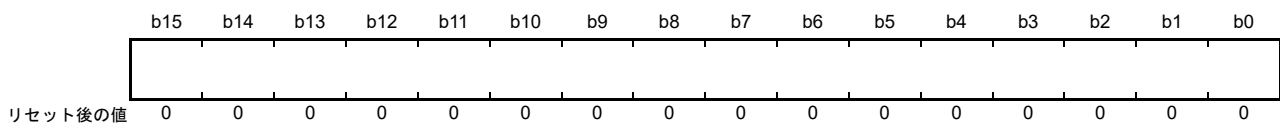


CAULVR レジスタは、許容範囲の上限値を指定する 16 ビットの読み出し／書き込み可能なレジスタです。カウンタ値がこのレジスタに指定された値を上回った場合、周波数エラーが検出されます。CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに保持されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 4004 4608h



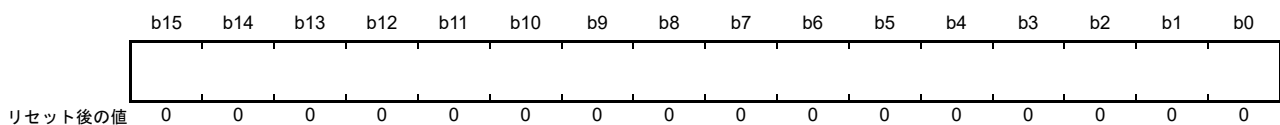
CALLVR レジスタは、許容範囲の下限値を指定する 16 ビットの読み出し／書き込み可能なレジスタです。カウンタ値がこのレジスタに指定された値を下回った場合、周波数エラーが検出されます。

CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに保持されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 4004 460Ah



CACNTBR レジスタは、測定結果を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路 (CAC) は、CACREF 端子入力または内部クロックを基準として、クロック周波数を測定します。図 10.2 に CAC の動作例を示します。

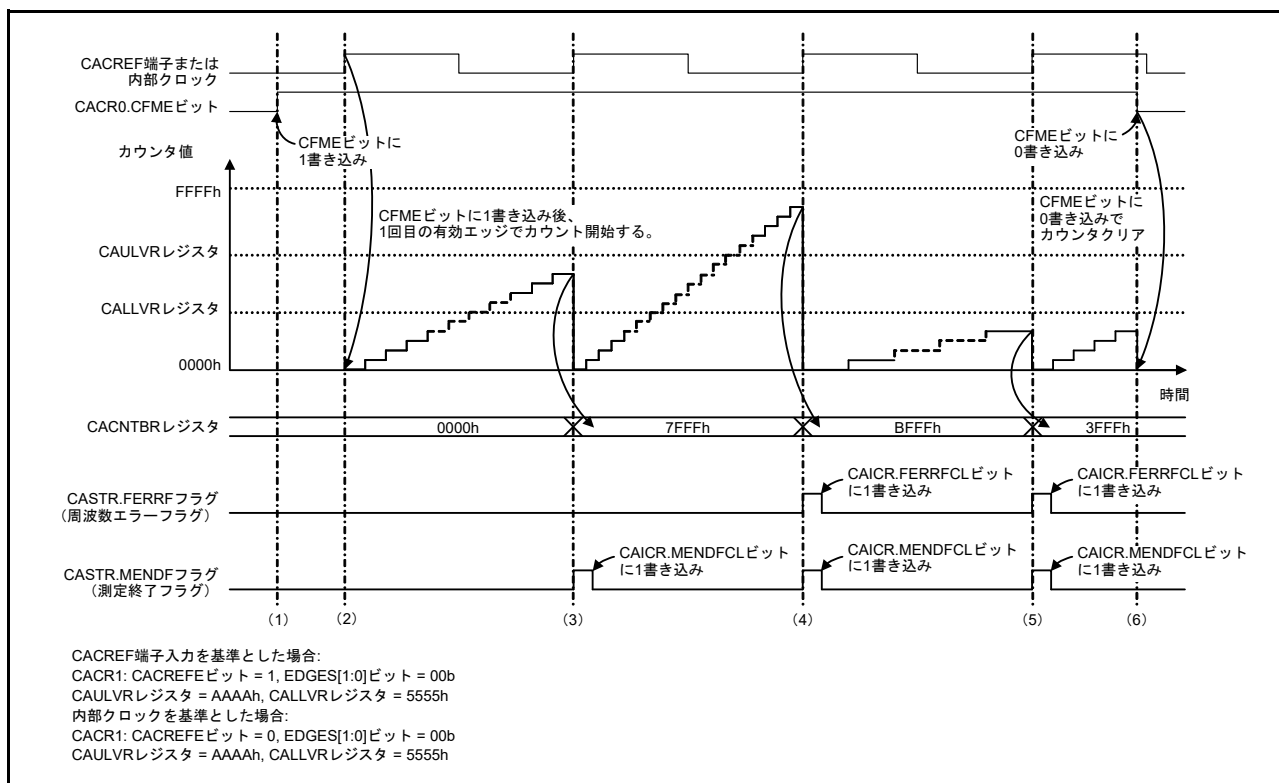


図 10.2 CAC の動作例

図 10.2 では、以下のように設定しています。

1. CACR0.CFME ビットに 1 を書き込む前に、CACR1 レジスタと CACR2 レジスタを設定して、測定対象クロックと測定基準クロックを定義します。CACR0.CFME ビットに 1 を書き込むと、クロック周波数測定が有効になります。
2. CACR1.EDGES[1:0] ビットで選択した有効エッジが測定基準クロックから入力されると、タイマがカウントアップを開始します。図 10.2 に示すように、有効エッジは立ち上がりエッジ (CACR1.EDGES[1:0] = 00b) です。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR $\leq$ CAULVR および CACNTBR $\geq$ CALLVR が成立する場合、クロック周波数は正常なので CASTR.MENDF フラグのみが 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR > CAULVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生します。測定終了時に CASTR の MENDF フラグは 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR < CALLVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生します。測定終了時に CASTR の MENDF フラグは 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 のときは、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期で CACREF 端子レベルが 3 回連続して一致した場合、内部回路に一致したレベルを送信します。再度サンプリングした端子のレベルが 3 回連続して一致するまで内部へ同じレベルを送信し続けます。デジタルフィルタ機能では、デジタルフィルタ機能の有効/無効と、サンプリングクロックの設定が可能です。

デジタルフィルタと CACREF 端子入力信号の位相差によって、CACNTBR レジスタに転送されるカウンタ値には、サンプリングクロックの最大 1 周期分の誤差が生じる場合があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウンタ値の誤差を表すことができます。

$$\text{カウンタ値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC は次の 3 種類の割り込み要求を発生させます。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

割り込み要因が発生すると、対応するステータスフラグが 1 になります。表 10.3 に、CAC の割り込み要求に関する情報を示します。

表 10.3 CAC の割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較した結果が、CACNTBR > CAULVR または CACNTBR < CALLVR のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	• CACREF 端子または内部クロックから有効エッジが入力されたとき • CACR0.CFME ビットに 1 を書き込んだ後の 1 回目の有効エッジでは、測定終了割り込みの発生なし
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、CAC の動作を許可または禁止することが可能です。リセット後の初期状態では、CAC モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

11. 低消費電力モード

11.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 11.1 に低消費電力モード機能の仕様を示します。表 11.2 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC と SRAM のみが動作しています。

表 11.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKB と PCLKD)、およびフラッシュインタフェースクロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
モジュールストップ状態	周辺モジュール機能を個別に停止可能
低消費電力モード	- スリープモード - ソフトウェアスタンバイモード - スヌーズモード
電力制御モード	動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力の低減が可能 5つの動作電力制御モードが利用可能 - High-speed モード - Middle-speed モード - Low-speed モード - Low-voltage モード - Subosc-speed モード

注 1. 詳細は、「9. クロック発生回路」を参照してください。

表 11.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)
遷移条件	SBYCR.SSBY = 0 の状態で WFI 命令	SBYCR.SSBY = 1 の状態で WFI 命令	ソフトウェアスタンバイモード時のスヌーズ要求 SNZCR.SNZE = 1
解除方法	すべての割り込み このモードで利用可能なすべてのリセット	表 11.3 に示す割り込み このモードで利用可能なすべてのリセット	表 11.3 に示す割り込み このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能 (注2)
サブクロック発振器	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能
中速オンチップオシレータ	選択可能	選択可能 (注10) (注13)	選択可能 (注10) (注13)
低速オンチップオシレータ	選択可能	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
発振停止検出機能	選択可能	動作禁止	動作禁止
クロック/ブザー出力機能	選択可能	選択可能 (注3)	選択可能
CPU	停止 (保持)	停止 (保持)	停止 (保持)
SRAM	動作	停止 (保持)	選択可能
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
データトランスファコントローラ (DTC)	選択可能	停止 (保持)	選択可能
USB2.0 フルスピードモジュール (USBFS)	選択可能	停止 (保持) (注5)	動作禁止 (注5)

表 11.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)
ウォッチドッグタイマ (WDT)	選択可能 (注4)	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能
低消費電力非同期汎用タイマ (AGTn : n = 0, 1)	選択可能	選択可能 (注6)	選択可能 (注6)
16ビットA/Dコンバータ (ADC16)	選択可能	停止 (保持)	選択可能 (注12)
24ビットシグマデルタA/Dコンバータ (SDADC24)	選択可能	動作禁止	動作禁止
センサ電源 (SBIAS)	選択可能	選択可能	選択可能
8ビットD/Aコンバータ (DAC8)	選択可能	停止 (保持)	選択可能
12ビットD/Aコンバータ (DAC12)	選択可能	停止 (保持)	選択可能
静電容量式タッチセンシングユニット (CTSU)	選択可能	停止 (保持)	選択可能
データ演算回路 (DOC)	選択可能	停止 (保持)	選択可能
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止 (保持)	選択可能 (注9)
シリアルコミュニケーションインタフェース (SCIn : n = 1, 9)	選択可能	停止 (保持)	動作禁止
デジタル調光照明インタフェース	選択可能	停止 (保持)	選択可能
I ² Cバスインタフェース (IIC0)	選択可能	選択可能	選択可能 (注11)
I ² Cバスインタフェース (IIC1)	選択可能	停止 (保持)	動作禁止
イベントリンクコントローラ (ELC)	選択可能	停止 (保持)	選択可能 (注7)
高速アナログコンパレータ (ACMPHS)	選択可能	選択可能 (注8)	選択可能 (注8)
低消費電力アナログコンパレータ (ACMPLP0)	選択可能	選択可能 (注8)	選択可能 (注8)
低消費電力アナログコンパレータ (ACMPLP1)	選択可能	選択可能 (注8)	選択可能 (注8)
オペアンプ (OPAMP)	選択可能	選択可能	選択可能
NMI、IRQn (n = 0~7) 端子割り込み	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作
その他の周辺モジュール	選択可能	停止 (保持)	動作禁止
I/Oポート	動作	保持	動作

- 注. 「選択可能」とは、動作/停止がコントロールレジスタによって選択できることを意味します。
「停止 (保持)」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
そうしないと、スヌーズモードでは適切な動作が保証されません。
- 注 1. モジュールストップビットが0に設定されている全モジュールはすべて、スヌーズモード遷移後にPCLKが供給されると、ただちに起動します。スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを1にしてください。
- 注 2. スヌーズモードでSCI0を使用する場合、MOSCCR.MOSTP ビットは1でなければいけません。
- 注 3. クロックアウトソース選択ビット (CKOCR.CKOSSEL[2:0]) が010b (LOCO) および100b (SOSC) 以外の値に設定されている場合は停止します。
- 注 4. IWDT 専用オンチップオシレータおよびIWDTでは、IWDT オートスタートモード時、オプション機能選択レジスタ0 (OFS0) のIWDT 停止制御ビット (IWDTSTPCTL) の設定により、動作/停止を選択することができます。WDT オートスタートモード時、オプション機能選択レジスタ0 (OFS0) のWDT 停止制御ビット (WDTSTPCTL) の設定により、動作/停止を選択することが可能です。
- 注 5. USBFS レジューム検出が可能です。
- 注 6. AGT0.AGTMR1.TCK[2:0] ビットで100b (LOCO) または110b (SOSC) が選択されている場合、AGT0は動作可能です。AGT1.AGTMR1.TCK[2:0] ビットで100b (LOCO)、110b (SOSC)、または101 (AGT0からのアンダーフローイベント信号) が選択されている場合、AGT1は動作可能です。

- 注 7. イベントは、11.9.13 スヌーズモードにおける ELC イベントに記載のものに限定されます。
- 注 8. VCOOUT 機能のみが許可されます。ACMPLP がデジタルフィルタを使用していない場合に、VCOOUT 端子は動作します。デジタルフィルタの詳細については、「38. 高速アナログコンパレータ (ACMPHS)」および「39. 低消費電力アナログコンパレータ (ACMPLP)」を参照してください。
- 注 9. SCI0 のシリアル通信は、調歩同期式モードに限定されます。
- 注 10. DACPC.PUMPEN ビットまたは DAPC.PUMPEN ビットが 1 のときは、MOCO クロックが 8 分周されて、DAC 出力に使用されるスイッチに供給されます。
- 注 11. ウェイクアップ割り込みのみが利用可能
- 注 12. スヌーズモードで 16 ビット A/D コンバータ (ADC160) を使用する場合、ADCMPCR.CMPAE ビットまたは ADCMPCR.CMPBE ビットは 1 でなければいけません。
- 注 13. AMPGPC.PUMP0EN、AMPCPC.PUMP1EN、または AMPGPC.PUMP2EN ビットが 1 のときは、MOCO クロックが 8 分周されて、OPAMP に使用されるスイッチに供給されます。

表 11.3 スヌーズモードとソフトウェアスタンバイモードから通常モードへ遷移する場合に利用可能な割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
ポート	PORT_IRQn (n = 0 ~ 7)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能
USBFS	USBFS_USBR	可能	可能
RTC	RTC_ALM	可能	可能
	RTC_PRD	可能	可能
KINT	KEY_INTKR	可能	可能
AGT1	AGT1_AGTI	可能	可能 (注3)
	AGT1_AGTCMAI	可能	可能
	AGT1_AGTCMBI	可能	可能
ACMPLP	ACMP_LP0	可能	可能
IIC0	IIC0_WUI	可能	可能
ADC160	ADC160_WCMPPM	不可能	SELSR0 で可能 (注1) (注3)
	ADC160_WCMPUM	不可能	SELSR0 で可能 (注1) (注3)
SCI0	SCI0_AM	不可能	SELSR0 で可能 (注1) (注2)
	SCI0_RXI_OR_ERI	不可能	SELSR0 で可能 (注1) (注2)
DTC	DTC_COMPLETE	不可能	SELSR0 で可能 (注1)
DOC	DOC_DOPCI	不可能	SELSR0 で可能 (注1)
CTSU	CTSU_CTSUFN	不可能	SELSR0 で可能 (注1)

- 注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。「13. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。
- 注 2. SCI0_AM または SCI0_RXI_OR_ERI のいずれか一方のみ選択可能です。
- 注 3. SNZEDCR レジスタで許可されたイベントを使用してはいけません。

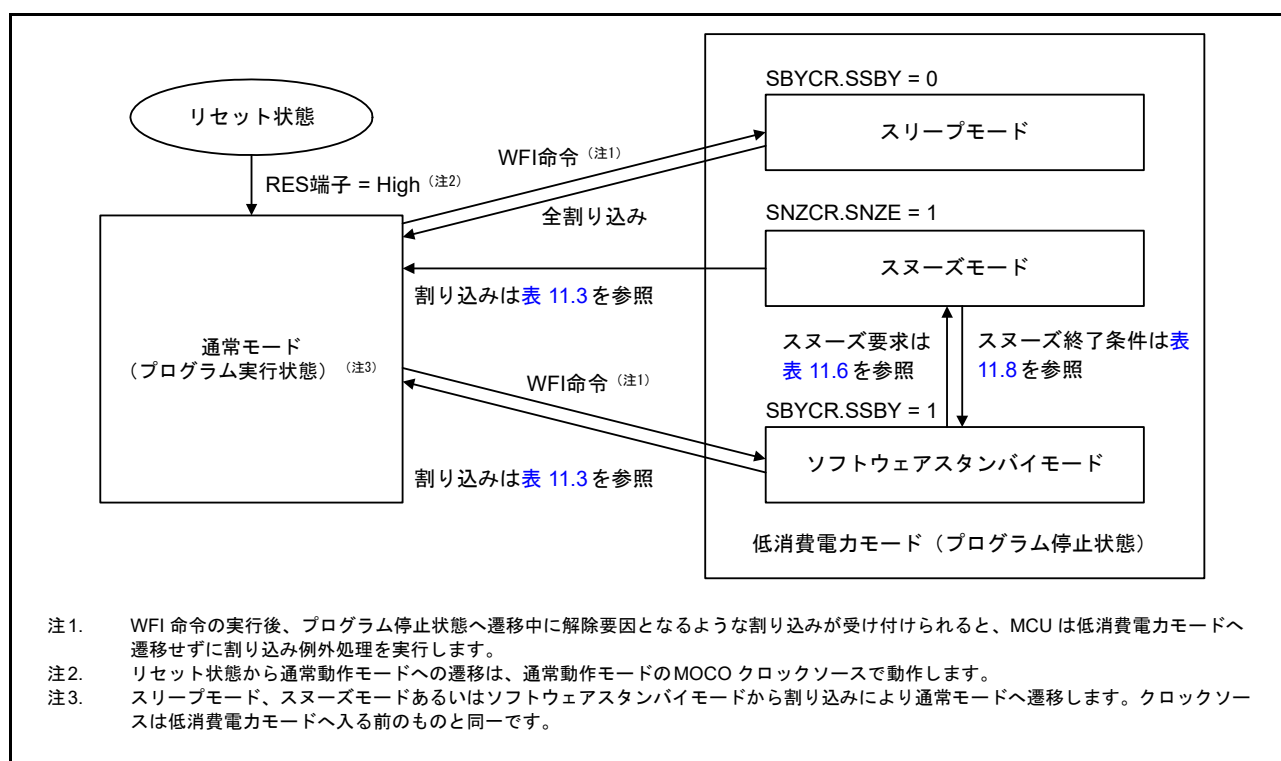


図 11.1 モード遷移

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス [SYSTEM.SBYCR 4001 E00Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	SSBY	ソフトウェアスタンバイ	0 : スリープモード 1 : ソフトウェアスタンバイモード	R/W

SSBY ビット (ソフトウェアスタンバイ)

WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の場合、WFI 命令を実行すると、MCU がソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行するとスリープモードへ遷移します。

FENTRYR.FENTRY0 ビットが 1、または FENTRYR.FENTRYD ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行するとスリープモードへ遷移します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス [SYSTEM.MSTPCRA 4001 E01Ch](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	MSTPA22	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b21-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPA22	データトランスファコントロール モジュールストップ設定 (注1)	対象モジュール : DTC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b31-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注 1. MSTPA22 ビットを 0 から 1 に書き換える場合、DTC を無効にしてから MSTPA22 ビットを設定してください。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス MSTP.MSTPCRB 4004 7000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
MSTPB31	MSTPB30	—	—	—	—	—	—	—	MSTPB22	—	—	MSTPB19	MSTPB18	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	MSTPB11	—	MSTPB9	MSTPB8	—	—	—	—	—	MSTPB2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPB2	コントローラエリアネットワーク0モジュールストップ設定 (注1)	対象モジュール: CAN0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b7-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b8	MSTPB8	I ² Cバスインタフェース1モジュールストップ設定	対象モジュール: IIC1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b9	MSTPB9	I ² Cバスインタフェース0モジュールストップ設定	対象モジュール: IIC0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b11	MSTPB11	ユニバーサルシリアルバス2.0 FSインタフェースモジュールストップ設定 (注2)	対象モジュール: USBFS 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b17-b12	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b18	MSTPB18	シリアルペリフェラルインタフェース1モジュールストップ設定	対象モジュール: SPI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b19	MSTPB19	シリアルペリフェラルインタフェース0モジュールストップ設定	対象モジュール: SPI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPB22	シリアルコミュニケーションインタフェース9モジュールストップ設定	対象モジュール: SCI9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b29-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定	対象モジュール: SCI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0モジュールストップ設定	対象モジュール: SCI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

- 注 1. MSTPB2 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 CAN クロック (CANMCLK) が 2 サイクル経過してから WFI 命令を実行してください。
- 注 2. MSTPB11 ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 USB クロック (UCLK) が 2 サイクル経過してから WFI 命令を実行してください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス MSTP.MSTPCRC 4004 7004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	クロック周波数精度測定回路 モジュールストップ設定 (注1)	対象モジュール : CAC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b1	MSTPC1	巡回冗長検査演算器モジュール ストップ設定	対象モジュール : CRC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b2	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b3	MSTPC3	静電容量式タッチセンシング ユニットモジュールストップ 設定	対象モジュール : CTSU 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b12-b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b13	MSTPC13	データ演算回路モジュールス トップ設定	対象モジュール : DOC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b14	MSTPC14	イベントリンクコントローラ モジュールストップ設定	対象モジュール : ELC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b27-b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b28	MSTPC28 (注2)	乱数発生器モジュールストップ 設定	対象モジュール : TRNG 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b30-b29	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b31	MSTPC31	AESモジュールストップ設定	対象モジュール : AES 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W

- 注 1. MSTPC0 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、発振器によって出力されるクロックのうち、最も遅いクロックが2サイクル経過してから WFI 命令を実行してください。
- 注 2. 本 MCU で TRNG を使用しない場合でも、未使用回路を初期化するために、プログラムの最初で一回だけ MSTPC28 ビットを 0 にしてください。11.9 使用上の注意事項の 11.9.14 未使用回路に対するモジュールストップ機能を参照してください。

11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス MSTP.MSTPCRD 4004 7008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPD 31	—	MSTPD 29	MSTPD 28	—	—	—	—	—	—	—	MSTPD 20	MSTPD 19	—	MSTPD 17	MSTPD 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPD 14	—	—	—	—	—	—	—	MSTPD 6	MSTPD 5	—	MSTPD 3	MSTPD 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPD2	低消費電力非同期汎用タイマ1モジュールストップ設定 (注1)	対象モジュール：AGT1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPD3	低消費電力非同期汎用タイマ0モジュールストップ設定 (注2)	対象モジュール：AGT0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPD5	汎用PWMタイマ320モジュールストップ設定	対象モジュール：GPT320 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPD6	汎用PWMタイマ161～166モジュールストップ設定	対象モジュール：GPT161～GPT166 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b7	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14	MSTPD14	GPT用ポートアウトブッティネーブルモジュールストップ設定	対象モジュール：POEG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b16	MSTPD16	16ビットA/Dコンバータモジュールストップ設定	対象モジュール：ADC160 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPD17	24ビットシグマデルタA/Dコンバータモジュールストップ設定	対象モジュール：SDADC24 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b19	MSTPD19	8ビットD/Aコンバータモジュールストップ設定	対象モジュール：DAC8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	MSTPD20	12ビットD/Aコンバータモジュールストップ設定	対象モジュール：DAC12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b21	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b28	MSTPD28	高速アナログコンパレータ0モジュールストップ設定	対象モジュール：ACMPHS0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPD29	低消費電力アナログコンパレータモジュールストップ設定	対象モジュール：ACMPLP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MSTPD31	オペアンプモジュールストップ設定	対象モジュール：OPAMP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

- 注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT1 レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。
- 注 2. カウントソースがサブクロック発振器または LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT0 レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。

11.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス SYSTEM.OPCCR 4001 E0A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	—	OPCM[1:0]	
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OPCM[1:0]	動作電力制御モード選択	b1 b0 0 0：High-speed モード 0 1：Middle-speed モード 1 0：Low-voltage モード (注1) 1 1：Low-speed モード	R/W
b3-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	OPCMTSF	動作電力制御モード遷移状態フラグ	0：遷移完了 1：遷移中	R
b7-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HOCOCR.HCSTP は常に 0 でなければいけません。

OPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるためのレジスタです。OPCCR レジスタを設定することにより、使用する動作周波数、動作電圧に応じて消費電力を低減させることが可能です。

動作電力制御モードの変更手順については、[11.5 低消費電力機能](#)を参照してください。

OPCM[1:0] ビット (動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。

表 11.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

HOCOCR.HCSTP と OSCSF.HOCOSF が 0 の状態にあるとき、HOCO クロックの発振はまだ安定していないため、OPCCR.OPCM[1:0] への書き込みは禁止です。

OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を表します。このフラグは、OPCM[1:0] ビットが書き換えられると 1、モード遷移が完了すると 0 になります。このフラグを読み取って 0 であることを確認してから次の処理を行ってください。

11.2.7 サブ動作電力コントロールレジスタ (SOPCCR)

アドレス SYSTEM.SOPCCR 4001 E0AAh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択	0 : Subosc-speed モード以外 1 : Subosc-speed モード	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SOPCCR レジスタは、Subosc-speed モードへの遷移、およびこのモードからの復帰によって、通常モード、スリープモード、およびスヌーズモード時の消費電力を低減させるためのレジスタです。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合にのみ利用可能です。

動作電力制御モードの変更手順については、[11.5 低消費電力機能](#)を参照してください。

SOPCM ビット (サブ動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。このビットを 1 にすることで、Subosc-speed モードへ遷移できます。また、このビットを 0 にすることで、Subosc-speed モード遷移前の動作モード (OPCCR.OPCM[1:0] で設定された動作モード) へ復帰できます。

[表 11.4](#) は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)

動作電力制御モードを Subosc-speed モードからまたは Subosc-speed モードへ切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。このフラグを読み取って 0 であることを確認してから次の処理を行ってください。

[表 11.4](#) に、各動作電力制御モードを示します。

表 11.4 各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットとの関係

動作電力制御モード	OPCM[1:0] ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	高 ↓ 低
Middle-speed モード	01b	0	
Low-voltage モード	10b	0	
Low-speed モード	11b	0	
Subosc-speed モード	xxb	1	

11.2.8 スヌーズコントロールレジスタ (SNZCR)

アドレス SYSTEM.SNZCR 4001 E092h

b7	b6	b5	b4	b3	b2	b1	b0
SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXDREQEN	RXD0 スヌーズ要求許可	0: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを検出	R/W
b1	SNZDTCEN	スヌーズモード時の DTC 許可	0: スヌーズモード時に DTC 動作を禁止 1: スヌーズモード時に DTC 動作を許可	R/W
b6-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	SNZE	スヌーズモード許可	0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

RXDREQEN ビット (RXD0 スヌーズ要求許可)

ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。このビットは SCIO が調歩同期式モードで動作しているときのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

SNZDTCEN ビット (スヌーズモード時の DTC 許可)

スヌーズモード時に DTC と SRAM を使用するかどうかを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn (ICU イベントリンク設定レジスタ n) の設定によって、DTC を起動することが可能です。

SNZE ビット (スヌーズモード許可)

ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 11.6 に示すトリガによって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったんクリアしてから再設定してください。詳細は、11.8 スヌーズモードを参照してください。

11.2.9 スヌーズ終了コントロールレジスタ (SNZEDCR)

アドレス SYSTEM.SNZEDCR 4001 E094h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCI0UMTED	—	—	AD0UMTED	AD0MATED	DTCNZRED	DTCZRED	AGTUNFED
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AGTUNFED	AGT1 アンダーフロー時スヌーズ終了許可	0 : スヌーズ終了要求を禁止 1 : スヌーズ終了要求を許可	R/W
b1	DTCZRED	最後の DTC 送信完了時スヌーズ終了許可	0 : スヌーズ終了要求を禁止 1 : スヌーズ終了要求を許可	R/W
b2	DTCNZRED	最後以外の DTC 送信完了時スヌーズ終了許可	0 : スヌーズ終了要求を禁止 1 : スヌーズ終了要求を許可	R/W
b3	AD0MATED	ADC160 コンペアマッチスヌーズ終了許可	0 : スヌーズ終了要求を禁止 1 : スヌーズ終了要求を許可	R/W
b4	AD0UMTED	ADC160 コンペア不一致スヌーズ終了許可	0 : スヌーズ終了要求を禁止 1 : スヌーズ終了要求を許可	R/W
b6-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	SCI0UMTED	SCI0 アドレス不一致スヌーズ終了許可	0 : スヌーズ終了要求を禁止 1 : スヌーズ終了要求を許可	R/W

表 11.8 に示すトリガの 1 つをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用するには、SNZEDCR レジスタの対応するビットを 1 にしてください。

表 11.3 に示したイベントのうち、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR レジスタで許可しないでください。

AGTUNFED ビット (AGT1 アンダーフロー時スヌーズ終了許可)

AGT1 アンダーフローによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「22. 低消費電力非同期汎用タイマ (AGT)」を参照してください。

DTCZRED ビット (最後の DTC 送信完了時スヌーズ終了許可)

最後の DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「16. データトランスファコントローラ (DTC)」を参照してください。

DTCNZRED ビット (最後以外の DTC 送信完了時スヌーズ終了許可)

各 DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0 以外) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「16. データトランスファコントローラ (DTC)」を参照してください。

AD0MATED ビット (ADC160 コンペアマッチスヌーズ終了許可)

変換結果が期待値と一致した場合に、ADC160 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「32. 16 ビット A/D コンバータ (ADC16)」を参照してください。

AD0UMTED ビット (ADC160 コンペア不一致スヌーズ終了許可)

変換結果が期待値と一致しない場合に、ADC160 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「32. 16 ビット A/D コンバータ (ADC16)」を参照してください。

SCI0UMTED ビット (SCI0 アドレス不一致スヌーズ終了許可)

ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「[27. シリアルコミュニケーションインタフェース \(SCI\)](#)」を参照してください。本ビットは、SCI0 が調歩同期式モードで動作しているときのみ 1 にしてください。

11.2.10 スヌーズ要求コントロールレジスタ (SNZREQCR)

アドレス SYSTEM.SNZREQCR 4001 E098h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	SNZREQEN25	SNZREQEN24	SNZREQEN23	—	—	—	—	—	SNZREQEN17	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SNZREQEN0	スヌーズ要求許可0	IRQ0端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b1	SNZREQEN1	スヌーズ要求許可1	IRQ1端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b2	SNZREQEN2	スヌーズ要求許可2	IRQ2端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b3	SNZREQEN3	スヌーズ要求許可3	IRQ3端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b4	SNZREQEN4	スヌーズ要求許可4	IRQ4端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b5	SNZREQEN5	スヌーズ要求許可5	IRQ5端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b6	SNZREQEN6	スヌーズ要求許可6	IRQ6端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b7	SNZREQEN7	スヌーズ要求許可7	IRQ7端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b16-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17	SNZREQEN17	スヌーズ要求許可17	キー割り込みのスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b22-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	SNZREQEN23	スヌーズ要求許可23	ACMPLP0のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b24	SNZREQEN24	スヌーズ要求許可24	RTCアラームのスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b25	SNZREQEN25	スヌーズ要求許可25	RTC周期のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	SNZREQEN28	スヌーズ要求許可28	AGT1アンダーフローのスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b29	SNZREQEN29	スヌーズ要求許可 29	AGT1 コンペアマッチ A のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b30	SNZREQEN30	スヌーズ要求許可 30	AGT1 コンペアマッチ B のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b31	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SNZREQCR レジスタは、ソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR レジスタの対応するビットが 1 であっても、そのトリガが発生すると MCU は通常モードへ遷移します。WUPEN レジスタの設定値は、SNZREQCR レジスタの設定値よりも常に優先順位は高くなります。詳細は、[11.8 スヌーズモード](#)と「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

11.2.11 フラッシュ動作コントロールレジスタ (FLSTOP)

アドレス SYSTEM.FLSTOP 4001 E09Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	FLSTP F	—	—	—	FLSTO P
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLSTOP	フラッシュメモリ動作 ON/OFF 選択 (注1) (注2)	0: コードフラッシュメモリとデータフラッシュメモリは動作 1: コードフラッシュメモリとデータフラッシュメモリは停止	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FLSTPF	フラッシュメモリ動作ステータスフラグ	0: 遷移完了 1: 遷移中 (フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態へ)	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FLSTOP ビット (フラッシュメモリ動作 ON/OFF 選択)

フラッシュメモリを有効または無効にします。FLSTOP ビットは SRAM で実行されるプログラムによって書き込む必要があります。FLSTOP ビットが 1 のときに割り込みを使用する場合は、SRAM 内に割り込みベクタを配置してください。Low-voltage モードが選択されていない場合、このビットを 0 にしてください。

- 注 1. フラッシュメモリの動作を開始するために FLSTOP ビットの値を 1 から 0 に変更した場合、フラッシュメモリへのアクセスを再開する前に、FLSTPF フラグが 0 であること、および OSCSF.HOCOSF が 1 であることを確認してください。その後、命令はコードフラッシュメモリで実行可能になります。
- 注 2. HOCOCR.HCSTP と OSCSF.HOCOSF が 0 (HOCO は発振安定待ちカウント中) の状態にあるとき、FLSTOP.FLSTOP への書き込みは禁止されます。

FLSTPF フラグ (フラッシュメモリ動作ステータスフラグ)

フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態への遷移状態を表します。遷移が完了したとき、このフラグを読むと 0 が読めます。フラッシュメモリ停止後、再度フラッシュメモリを使用する場合は、FLSTPF フラグが 0 であることを確認してから処理を進めてください。

11.2.12 システムコントロール OCD コントロールレジスタ (SYOCDCR)

アドレス SYSTEM.SYOCDCR 4001 E40Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	DBGEN	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DBGEN	デバッグ有効	0 : オンチップデバッグは無効 1 : オンチップデバッグは有効 オンチップデバッグモードで最初に1にしてください。	R/W

DBGEN ビット (デバッグ有効)

オンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードで最初に 1 にする必要があります。

[1 になる条件]

- デバッグの接続時に 1 を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき

11.3 クロックの切り替えによる消費電力の低減

下記ビットを設定すると、クロック周波数が切り替わります。

- SCKDIVCR.FCK[2:0]
- ICK[2:0]
- PCKB[2:0]
- PCKD[2:0]

モジュールとクロックの対応関係は以下のとおりです。

- CPU、DTC、フラッシュ、および SRAM は、ICK[2:0] ビットで設定された動作クロックを使用
- 周辺モジュールは、PCKB[2:0] および PCKD[2:0] の各ビットで設定された動作クロックを使用
- フラッシュメモリインタフェースは、FCK[2:0] ビットで設定された動作クロックを使用

詳細は、「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することが可能です。

MSTPCRA ~ MSTPCRD レジスタの MSTPmi ビット (m = A ~ D, i = 31 ~ 0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュール内部の初期状態が保持されます。

リセット解除後は、DTC 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。そうでないと、そのモジュールに対するデータの読み出し／書き込みやモジュールの動作は保証されません。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

11.5 低消費電力機能

動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を削減できます。

11.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、電圧範囲や周波数範囲などの動作条件が仕様範囲内に収まっていることを必ず確認してください。動作電力制御モードの切り替え手順例を以下に示します。

各モードで使用可能な発振器を、表 11.5 に示します。

表 11.5 各モードで利用可能な発振器

モード	発振器					
	高速オンチップ オシレータ	中速オンチップ オシレータ	低速オンチップ オシレータ	メインクロック 発振器	サブクロック 発振器	IWDT専用 オンチップ オシレータ
High-Speed	可能	可能	可能	可能	可能	可能
Middle-Speed	可能	可能	可能	可能	可能	可能
Low-Voltage	可能	可能	可能	可能	可能	可能
Low-Speed	可能	可能	可能	可能	可能	可能
Subosc-Speed	不可能	不可能	可能	不可能	可能	可能

(1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1 : High-speed モードから Low-speed モードへの切り替え

最初は High-speed モードで動作しています。

1. フラッシュキャッシュが High-speed モードでキャッシュャブルなときに、FCACHEE.FCACHEEN ビットをリセットしてフラッシュキャッシュを禁止する。
2. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最大動作周波数以下とする。
3. Low-speed モードで不要な発振器をオフにする。
4. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
5. OPCCR.OPCM ビットを 11b (Low-speed モード) にする。
6. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
7. フラッシュキャッシュが Low-speed モードでキャッシュャブルなときに、以下の手順を実行する。
 - a. FCACHEIV.FCACHEIV ビットを設定してフラッシュキャッシュをインバリデートする。
 - b. FCACHEIV.FCACHEIV ビットが 0 であることを確認する。
 - c. FCACHEE.FCACHEEN ビットを設定してフラッシュキャッシュを許可する。

動作は Low-speed モードになります。

例 2 : High-speed モードから Subosc-speed モードへの切り替え

最初は High-speed モードで動作しています。

1. フラッシュキャッシュが High-speed モードでキャッシュャブルなときに、FCACHEE.FCACHEEN ビットをリセットしてフラッシュキャッシュを禁止する。
2. クロックソースをサブクロック発振器に切り替える。
3. HOCO、MOCO、およびメインクロック発振器をオフにする。
4. サブクロック発振器以外の全クロックソースが停止していることを確認する。
5. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
6. SOPCCR.SOPCM ビットを 1 (Subosc-speed モード) にする。
7. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
8. フラッシュキャッシュが Subosc-speed モードでキャッシュャブルなときに、以下の手順を実行する。
 - a. FCACHEIV.FCACHEIV ビットを設定してフラッシュキャッシュをインバリデートする。
 - b. FCACHEIV.FCACHEIV ビットが 0 であることを確認する。
 - c. FCACHEE.FCACHEEN ビットを設定してフラッシュキャッシュを許可する。

動作は Subosc-speed モードになります。

(2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1 : Subosc-speed モードから High-speed モードへの切り替え

最初は Subosc-speed モードで動作しています。

1. フラッシュキャッシュが Subosc-speed モードでキャッシュャブルなときに、FCACHEE.FCACHEEN ビットをリセットしてフラッシュキャッシュを禁止する。
2. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
3. SOPCCR.SOPCM ビットを 0 (High-speed モード) にする。
4. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
5. High-speed モードで必要な発振器をオンにする。
6. 各クロックの周波数を、High-speed モードにおける最大動作周波数以下にする。
7. フラッシュキャッシュが High-speed モードでキャッシュャブルなときに、以下の手順を実行する。
 - a. FCACHEIV.FCACHEIV ビットを設定してフラッシュキャッシュをインバリデートする。
 - b. FCACHEIV.FCACHEIV ビットが 0 であることを確認する。
 - c. FCACHEE.FCACHEEN ビットを設定してフラッシュキャッシュを許可する。

動作は High-speed モードになります。

例 2 : Low-speed モードから High-speed モードへの切り替え

最初は Low-speed モードで動作しています。

1. フラッシュキャッシュが Low-speed モードでキャッシュャブルなときに、FCACHEE.FCACHEEN ビットをリセットしてフラッシュキャッシュを禁止する。
2. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
3. OPCCR.OPCM ビットを 00b (High-speed モード) にする。
4. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
5. High-speed モードで任意の発振器をオンにする。
6. 各クロックの周波数を、High-speed モードにおける最大動作周波数以下にする。
7. フラッシュキャッシュが High-speed モードでキャッシュャブルなときに、以下の手順を実行する。
 - a. FCACHEIV.FCACHEIV ビットを設定してフラッシュキャッシュをインバリデートする。
 - b. FCACHEIV.FCACHEIV ビットが 0 であることを確認する。
 - c. FCACHEE.FCACHEEN ビットを設定してフラッシュキャッシュを許可する。

動作は High-speed モードになります。

11.5.2 動作範囲

High-speed モード

フラッシュリード時の最大動作周波数は、ICLK では 48MHz、FCLK では 32MHz です。フラッシュリード時の動作電圧範囲は 2.4 ～ 5.5V です。ただし、ICLK と FCLK では、動作電圧が 2.4V 以上かつ 2.7V 未満の場合、フラッシュリード時の最大動作周波数は 16MHz になります。

フラッシュプログラム／イレース時では、動作周波数範囲は 1 ～ 48MHz で、動作電圧範囲は 2.7 ～ 5.5V です。

図 11.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

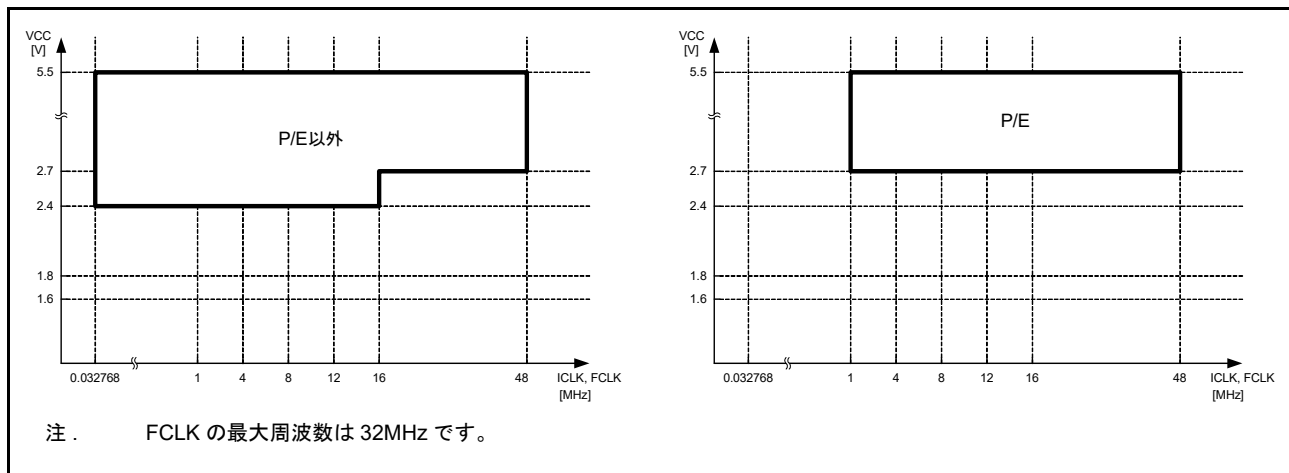


図 11.2 High-speed モードにおける動作電圧と動作周波数

Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 12MHz です。フラッシュリード時の動作電圧範囲は 1.8 ～ 5.5V です。ただし、ICLK と FCLK では、動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュリード時の最大動作周波数は 8MHz になります。

フラッシュプログラム／イレース時では、動作周波数範囲は 1 ～ 12MHz で、動作電圧範囲は 1.8 ～ 5.5V です。動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュプログラム／イレース時の最大動作周波数は 8MHz になります。

図 11.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

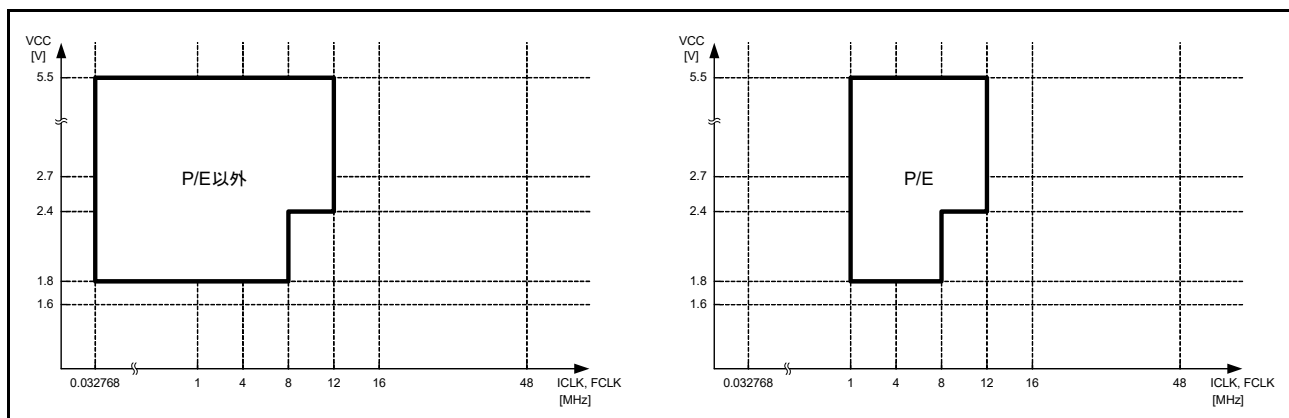


図 11.3 Middle-speed モードにおける動作電圧と動作周波数

Low-voltage モード

リセット解除後、このモードで動作が開始されます。

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 4MHz です。フラッシュリード時の動作電圧範囲は 1.6 ～ 5.5V です。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ～ 4MHz で、動作電圧範囲は 1.8 ～ 5.5V です。

図 11.4 に、Low-voltage モードにおける動作電圧と動作周波数を示します。

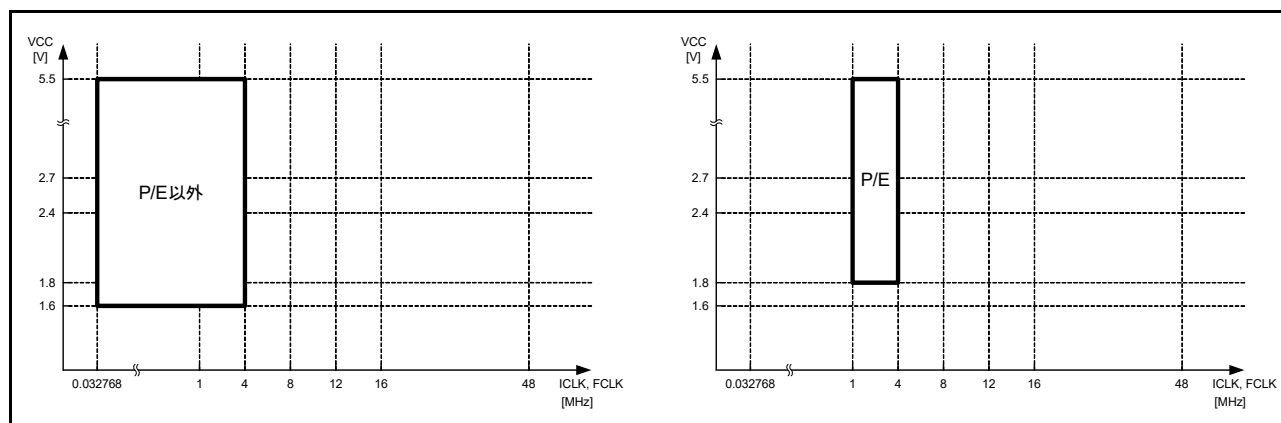


図 11.4 Low-voltage モードにおける動作電圧と動作周波数

Low-speed モード

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 1MHz です。フラッシュリード時の動作電圧範囲は 1.8 ～ 5.5V です。

フラッシュメモリの P/E 動作は禁止です。

図 11.5 に、Low-speed モードにおける動作電圧と動作周波数を示します。

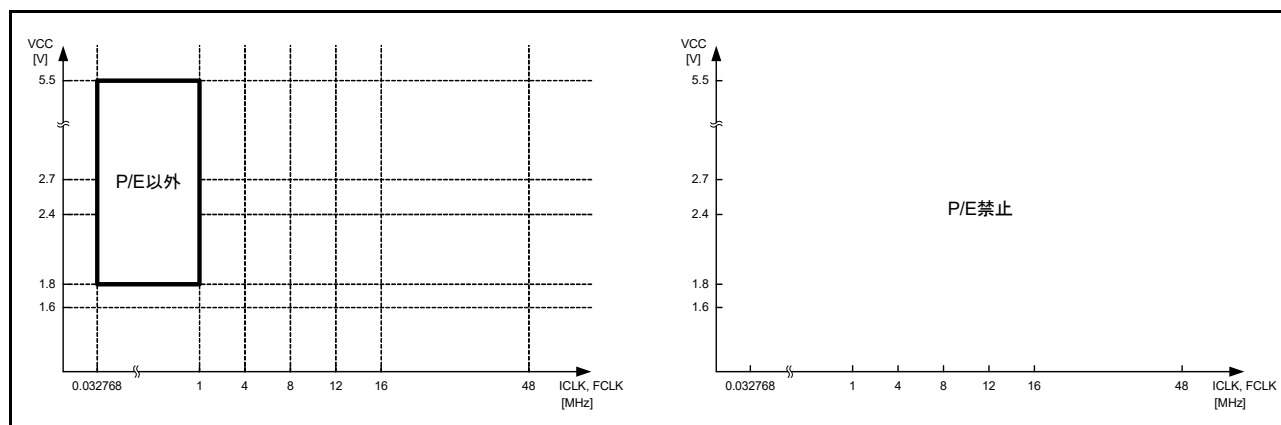


図 11.5 Low-speed モードにおける動作電圧と動作周波数

Subosc-speed モード

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 37.6832kHz です。フラッシュリード時の動作電圧範囲は 1.8 ～ 5.5V です。フラッシュメモリの P/E 動作は禁止です。

サブクロック発振器と低速オンチップオシレータ以外の発振器は使用禁止です。

図 11.6 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

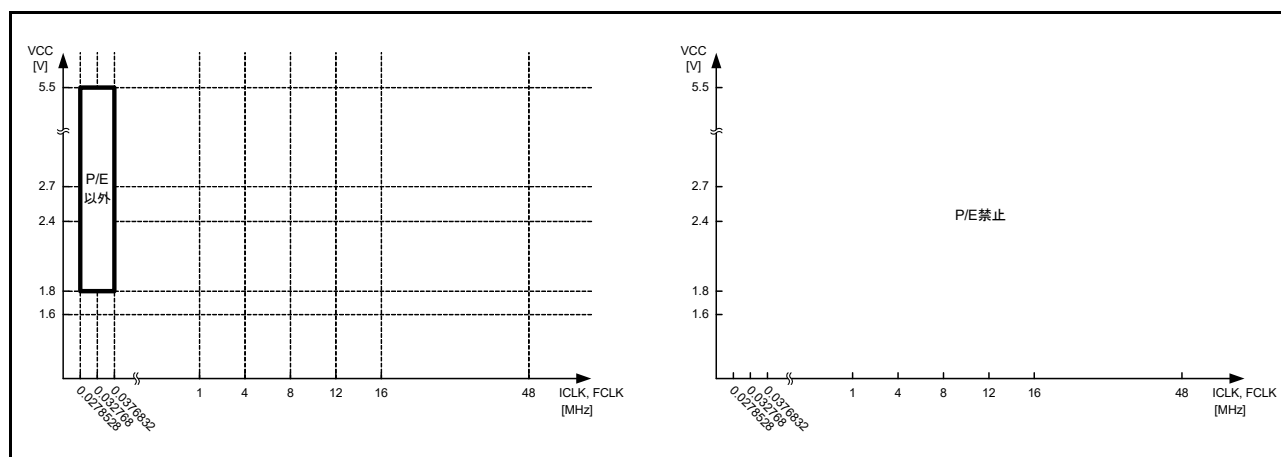


図 11.6 Subosc-speed モードにおける動作電圧と動作周波数

11.6 スリープモード

11.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0 の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。WDTSTPCTL ビットは 0（WDT はスリープモードで停止しない）です。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

11.6.2 スリープモードの解除

スリープモードは以下の方法で解除されます。

- 割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- SRAM パリティエラーリセット
- SRAM ECC エラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- IWDT または WDT アンダーフローによるリセット

動作は以下のとおりです。

1. 割り込みによる解除
割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態になります。「[47. 電气的特性](#)」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
 - `OFS0.IWDTSTRT = 0` かつ `OFS0.IWDTSTPCTL = 1`
4. WDT リセットによる解除
WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件においては、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
 - `OFS0.WDTSTRT = 0` (オートスタートモード) かつ `OFS0.WDTSTPCTL = 1`
 - `OFS0.WDTSTRT = 1` (レジスタスタートモード) かつ `WDTCS0.SLCSTP = 1`
5. スリープモードで利用可能な他のリセットによる解除
その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注 . 割り込みの正しい設定方法については、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

11.7 ソフトウェアスタンバイモード

11.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 11.2 には、各内蔵周辺機能と発振器の状態が示されています。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 11.3 を、ソフトウェアスタンバイモードから復帰させる方法については、13.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

スヌーズモード時に DTC を使用する場合を除き、DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

OSTDCR.OSTDE = 1 (発振停止検出機能が有効) の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE = 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE = 1 の状態で WFI 命令を実行すると、SBYCR.SSBY = 1 であっても、MCU はスリープモードへ遷移します。また、フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

11.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- 表 11.3 に示す利用可能な割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローに起因したリセット

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除
利用可能な割り込み要求 (表 11.3 を参照) が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。ソフトウェアスタンバイモードからの復帰については、「13.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN)」を参照してください。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルト状態で動作している発振器が発振を開始します。「47. 電气的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
 - $OFS0.IWDTSTRT = 0$ かつ $OFS0.IWDTSTPCTL = 1$

11.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 11.7 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0] ビットが 00b（立ち下がりエッジ）の状態です。IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを 01b（立ち上がりエッジ）にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。図 11.7 の発振安定時間については、「47. 電気的特性」に示されています。

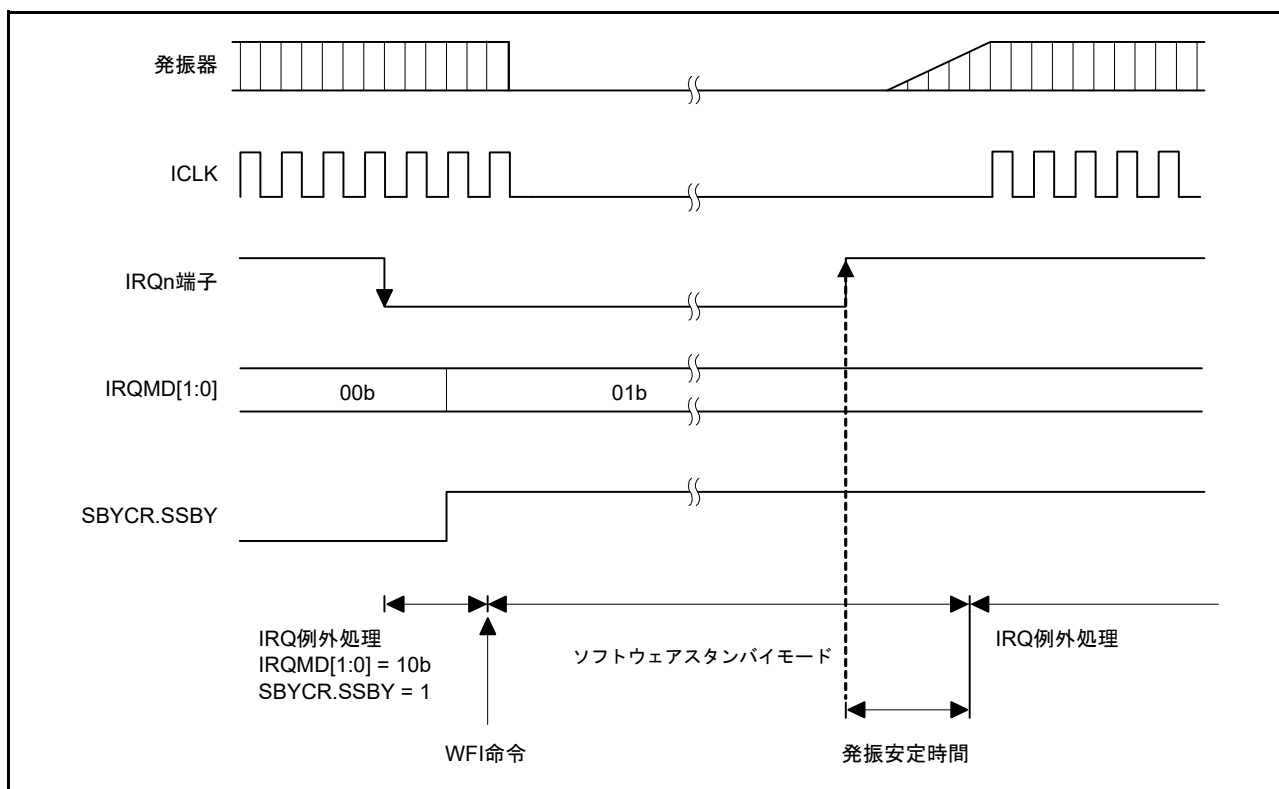


図 11.7 ソフトウェアスタンバイモードの応用例

11.8 スヌーズモード

11.8.1 スヌーズモードへの遷移

図 11.8 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。スヌーズモードで動作可能な周辺モジュールを、表 11.2 各低消費電力モードの動作状態に示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

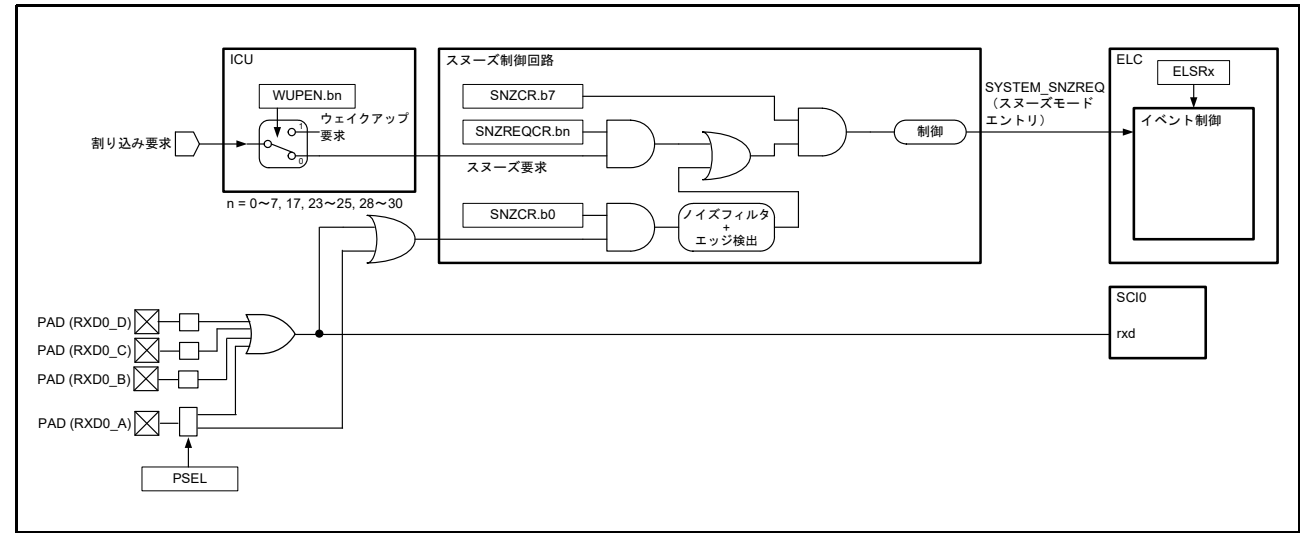


図 11.8 スヌーズモードエントリの構成

表 11.6 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR レジスタの対応する SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。

注． 同時に複数のスヌーズ要求を有効にしないでください。

表 11.6 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求	コントロールレジスタ	
	レジスタ名	ビット
PORT_IRQn (n = 0 ~ 7)	SNZREQCR	SNZREQENn (n = 0 ~ 7)
KEY_INTKR	SNZREQCR	SNZREQEN17
ACMP_LP0	SNZREQCR	SNZREQEN23
RTC_ALM	SNZREQCR	SNZREQEN24
RTC_PRD	SNZREQCR	SNZREQEN25
AGT1_AGTI	SNZREQCR	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR	SNZREQEN30
RXD0 立ち下がりエッジ	SNZCR	RXDREQEN (注1)

注 1. 調歩同期式モードでない場合、RXDREQEN ビットを 1 にしないでください。

11.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはすべてのリセットで解除されます。各モードを解除するために使用可能な要求を、表 11.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 レジスタで選択した割り込み要求によって引き起こされた動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn レジスタ (n=0 ~ 31) で選択する必要があります。SELSR0 レジスタと IELSRn レジスタの設定方法については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

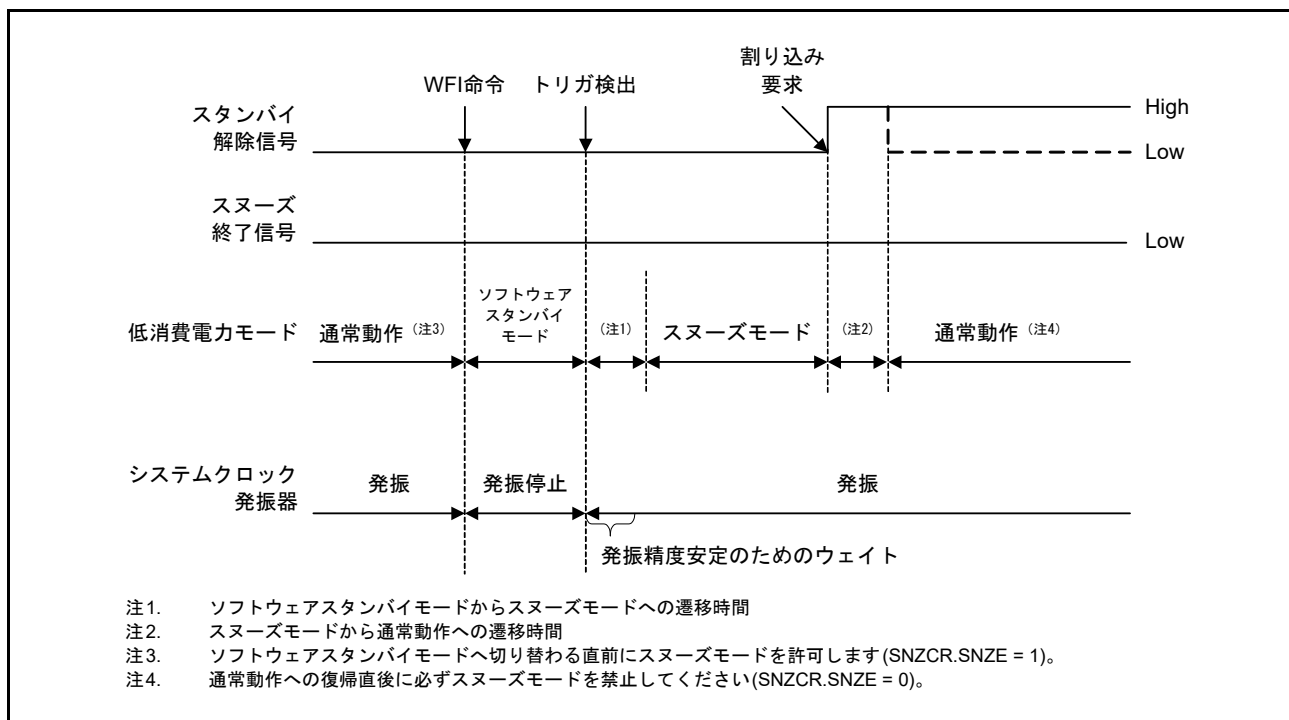


図 11.9 スヌーズモード時に割り込み要求信号が発生する場合

11.8.3 ソフトウェアスタンバイモードへの復帰

表 11.7 に、ソフトウェアスタンバイモードへ復帰するためのトリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの切り替えを行います。

表 11.8 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。CTSU、SCI0、ADC160、および DTC は、それらの動作が完了するまで MCU をスヌーズモード状態に保ちます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGT1 アンダーフローは、SCI0 の動作完了を待たずにスヌーズモードを解除します。

図 11.10 に、スヌーズモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このようなモード遷移は、SNZEDCR レジスタで設定したスヌーズ終了要求に従って発生します。ソフトウェアスタンバイモードへ遷移後、スヌーズ要求は自動的にクリアされます。

表 11.7 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

スヌーズ終了要求	許可／禁止制御	
	レジスタ名	ビット
AGT1 アンダーフローまたは測定終了 (AGT1_AGTI)	SNZEDCR	b0
DTC 転送終了時 (DTC_COMPLETE)	SNZEDCR	b1
DTC 転送終了前 (DTC_TRANSFER)	SNZEDCR	b2
ADC160 ウィンドウ A/B コンペアマッチ (ADC160_WCMPPM)	SNZEDCR	b3
ADC160 ウィンドウ A/B コンペア不一致 (ADC160_WCMPUM)	SNZEDCR	b4
SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR	b7

表 11.8 スヌーズ終了条件

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外
DTC	本列左記の全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。	全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。
ADC160		
CTSU		
SCI0	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	
上記以外	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	

注． DTC を用いて ADC160、CTSU、または SCI0 を起動した場合は、スヌーズ終了要求の発生後、MCU はソフトウェアスタンバイモードへ遷移します。

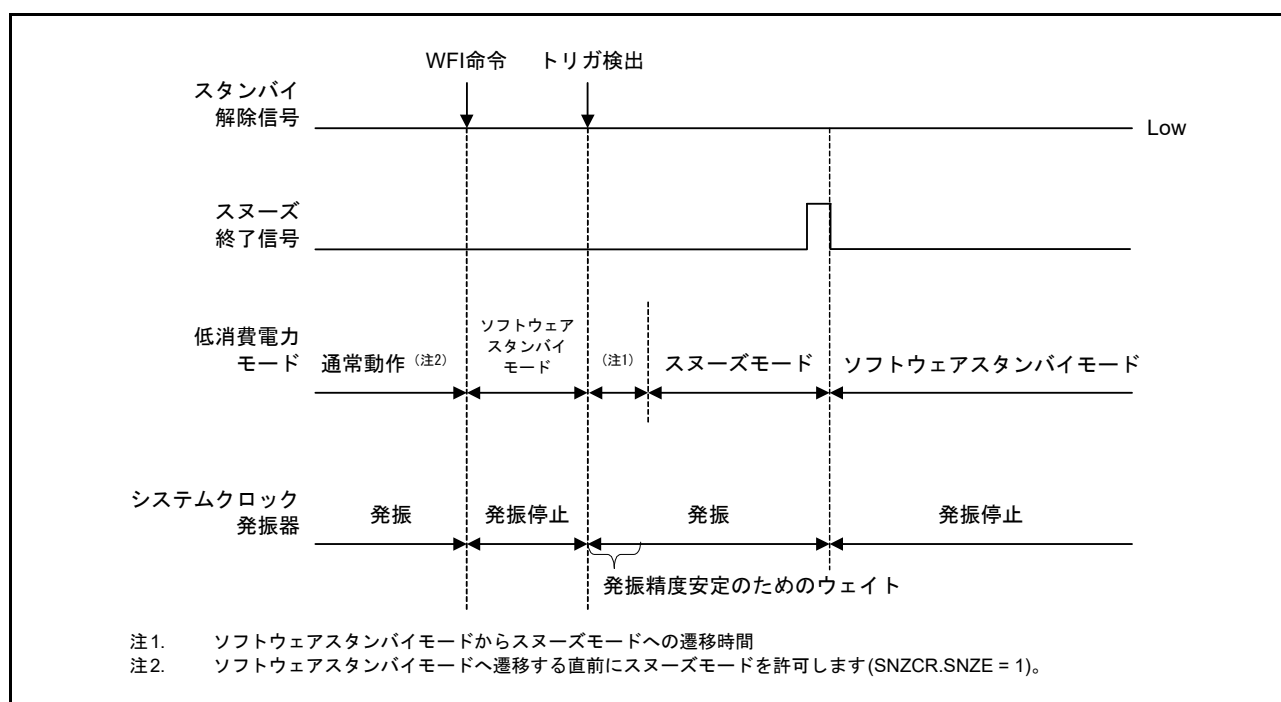


図 11.10 スヌーズモード時に割り込み要求信号が発生しない場合

11.8.4 スヌーズモードの動作例

図 11.11 に、スヌーズモードで ELC を使用する場合の設定例を示します。

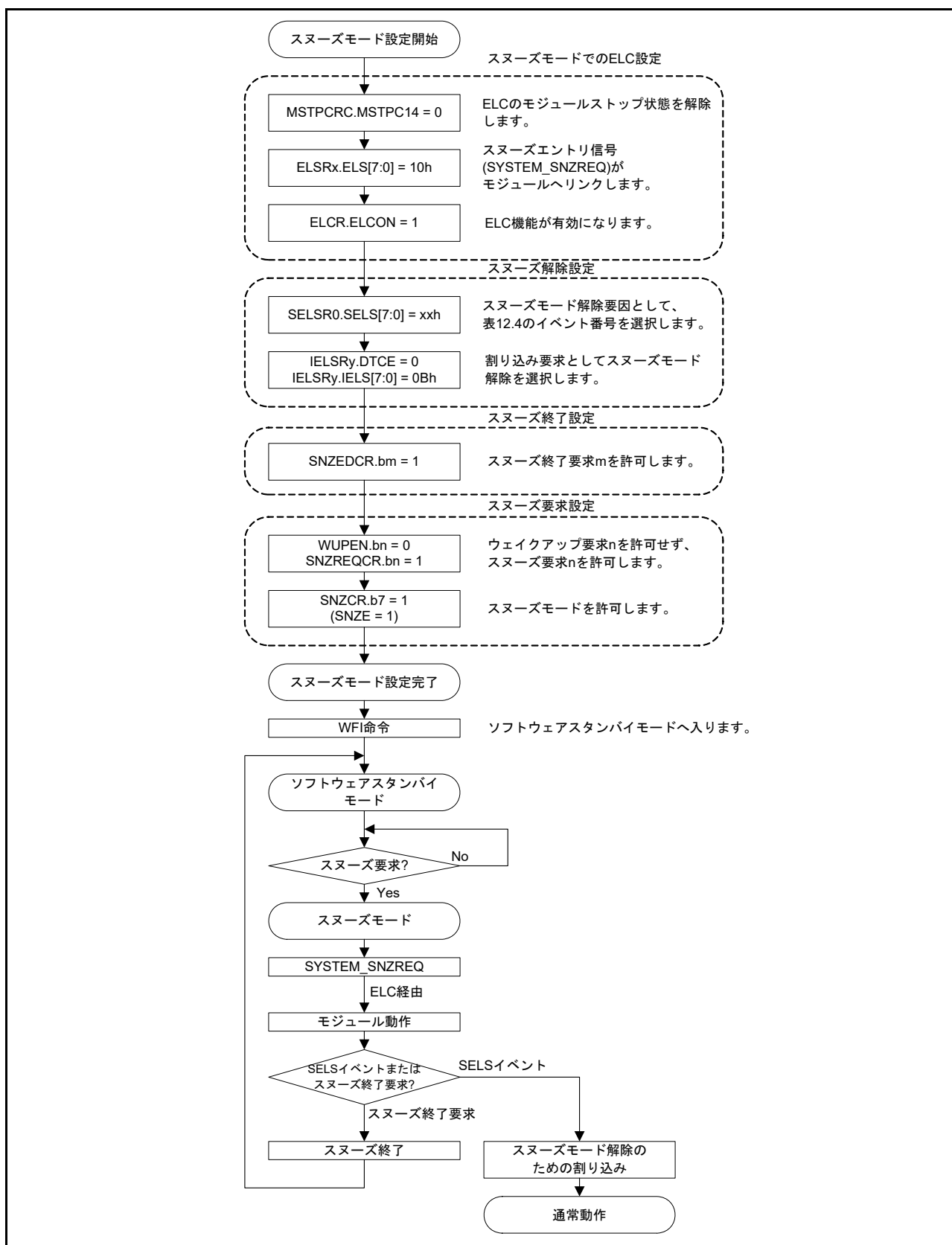


図 11.11 スヌーズモードで ELC を使用するための設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。スヌーズモードで SCI0 を使用する場合、以下の動作モードのいずれかを使用してください。

- High-speed モード
- Middle-speed モード
- Low-speed モード

Low-voltage モードと Subosc-speed モードは使用しないでください。表 11.9 および表 11.10 に、スヌーズモードでの SCI0 の最大転送速度を示します。スヌーズモードで SCI0 を使用する場合は、以下のビットを設定してください。

- BGDM = 0
- ABCS = 0
- ABCSE = 0

これらのビットについての詳細は、「27. シリアルコミュニケーションインタフェース (SCI)」を参照してください。

High-speed モード、Middle-speed モード、Low-speed モード

表 11.9 HOCO : $\pm 1.0\%$ ($T_a = -20 \sim 85^\circ\text{C}$)

(単位 : bps)

ICLK、PCLKB、PCLKD、FCLKの 最大分周比	HOCO周波数			
	24MHz	32MHz	48MHz	64MHz
1	9600 (注1)	9600 (注4)	-	-
2	9600 (注2)	9600 (注5)	4800	2400
4	9600 (注3)	9600 (注6)	4800	2400
8	4800	4800	4800	2400
16	4800	4800	4800	2400
32	2400	2400	2400	2400
64	2400	2400	2400	2400

- 注 1. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 3Dh、SCI0.MDDR = CEh にしてください。
- 注 2. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 1Eh、SCI0.MDDR = CEh にしてください。
- 注 3. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0Dh、SCI0.MDDR = BAh にしてください。
- 注 4. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 3Eh、SCI0.MDDR = 9Dh にしてください。
- 注 5. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 32h、SCI0.MDDR = FEh にしてください。
- 注 6. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 18h、SCI0.MDDR = F9h にしてください。

High-speed モード、Middle-speed モード、Low-speed モード

表 11.10 HOCO : $\pm 2.0\%$ ($T_a = -40 \sim -20^\circ\text{C}$, $85 \sim 105^\circ\text{C}$)

(単位 : bps)

ICLK、PCLKB、PCLKD、FCLKの 最大分周比	HOCO周波数			
	24MHz	32MHz	48MHz	64MHz
1	2400	2400	-	-
2	2400	2400	2400	1200
4	2400	2400	2400	1200
8	2400	2400	2400	1200
16	2400	2400	2400	1200
32	1200	1200	1200	1200
64	1200	1200	1200	1200

図 11.12 に、スヌーズモードエントリで SCI0 を使用する場合の設定例を示します。

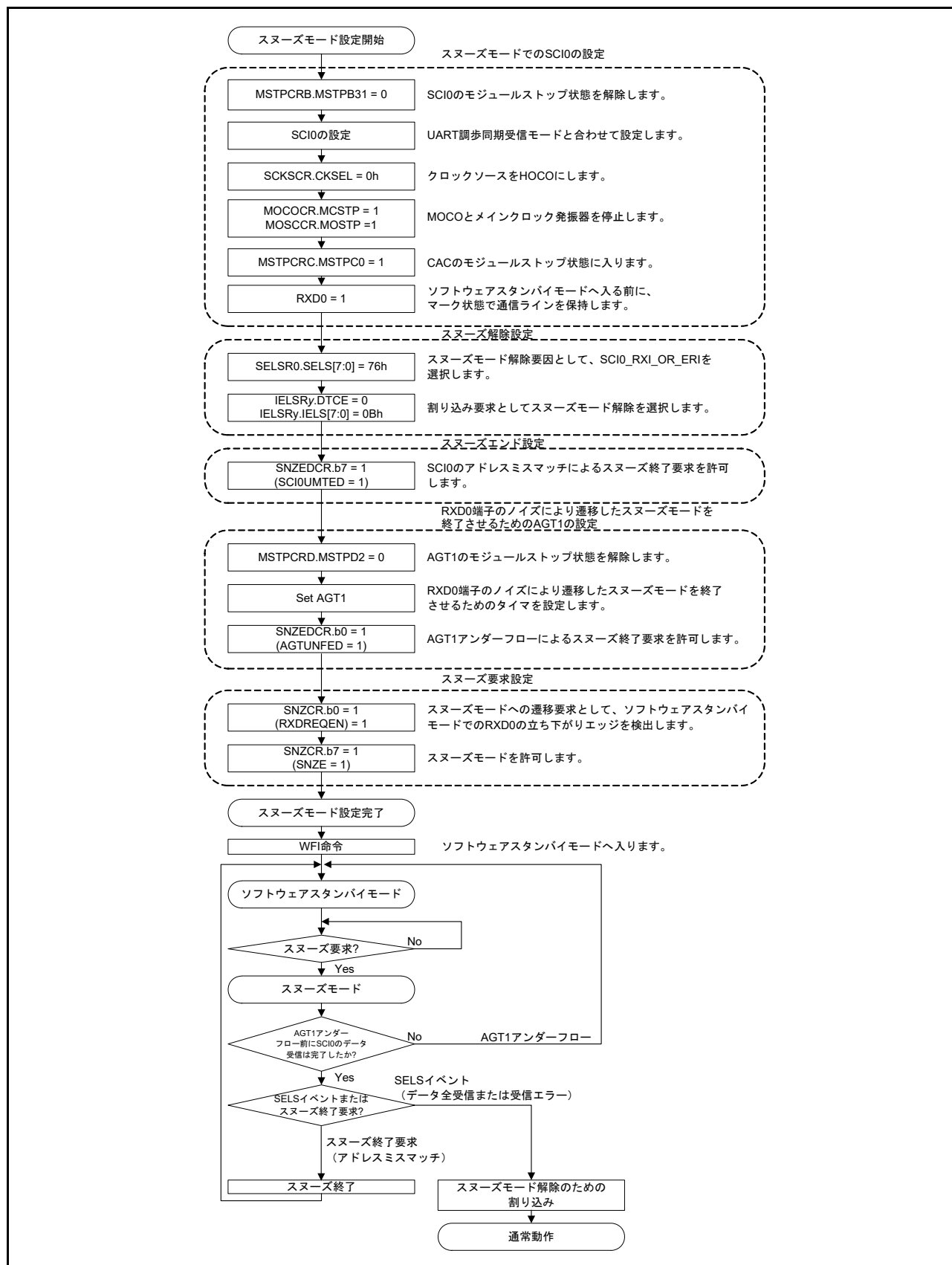


図 11.12 スヌーズモードエントリで SCI0 を使用するための設定例

11.9 使用上の注意事項

11.9.1 レジスタアクセス

(1) 特定モードの期間中または遷移中の無効なレジスタへのライトアクセス

下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- “SYSTEM” という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1 (動作電力制御モードへの遷移中)
- WFI 命令の実行から、通常モードへ復帰するまでの期間中
- FENTRYR.FENTRY0 = 1 または FENTRYR.FENTRYD = 1 (フラッシュ P/E モード、データフラッシュ P/E モード)
- FLSTOP.FLSTPF = 1 (遷移中)

(2) クロック関連レジスタの有効な設定値

表 11.11 と表 11.12 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。これら有効な設定値以外を書き込まないようにしてください。書き込んでも無視されます。また、各レジスタには、動作電力制御モード関連以外の特定の条件下で禁止される設定値もあります。これらの各レジスタに対する他の条件については、「9. クロック発生回路」を参照してください。

表 11.11 クロック関連レジスタの有効な設定値 (1)

モード	有効な設定値						
	SCKSCR.CKSEL[2:0] CKOCR.CKOSEL[2:0]	SCKDIVCR.FCK[2:0] ICK[2:0]	HOCOCR. HCSTP	MOCOCR. MCSTP	LOCOCR. LCSTP	MOSCCR. MOSTP	SOSCCR. SOSTP
High-speed Middle-speed Low-voltage Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (MOSC) 100b (SOSC)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)
Subosc-speed	010b (LOCO) 100b (SOSC)	000b (1/1)	1 (停止)	1 (停止)	0 (動作) 1 (停止)	1 (停止)	0 (動作) 1 (停止)

表 11.12 クロック関連レジスタの有効な設定値 (2)

動作発振器	有効な設定値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
高速オンチップオシレータ	0	00b, 01b, 10b, 11b
中速オンチップオシレータ		
メインクロック発振器		
低速オンチップオシレータ	0, 1	00b, 01b, 10b, 11b
サブクロック発振器		
IWDT 専用オンチップオシレータ		

(3) Subosc-speed モードにおける無効なレジスタへのライトアクセス

下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SCKSCR, OPCCR

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(4) DTC による無効なレジスタへのライトアクセス

DTC を使って、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA

(5) スヌーズモードにおける無効なレジスタへのライトアクセス

スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

[レジスタ]

- SNZCR, SNZEDCR, SNZREQCR

(6) FLSTOP.FLSTOP ビットを 1 にする無効なライトアクセス

下記の条件に当てはまる場合、FLSTOP.FLSTOP ビットを 1 にしないでください。

[条件]

- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 00b (High-speed モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 01b (Middle-speed モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 11b (Low-speed モード)
- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(7) MEMWAIT.MEMWAIT ビットを 1 にする無効なライトアクセス

下記の条件に当てはまる場合、MEMWAIT.MEMWAIT ビットを 1 にしないでください。

[レジスタ]

- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 01 (Middle-speed モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 10 (Low-voltage モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 11 (Low-speed モード)
- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(8) PRCR.PRC1 ビットが 0 の場合の無効なライトアクセス

PRCR.PRC1 ビットが 0 の場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, OPCCR, SOPCCR

11.9.2 I/O ポートの状態

ソフトウェアスタンバイモードおよびスヌーズモード（スヌーズモード時に書き換える場合を除く）における I/O ポートの状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、供給電流は低減されません。

11.9.3 DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「[16. データトランスファコントローラ \(DTC\)](#)」を参照してください。

11.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や DTC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

11.9.5 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモードまたはソフトウェアスタンバイモード）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex®-M23 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

11.9.6 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻すことによって、書き込みの完了を確認することが推奨されます。

11.9.7 スリープモード／スヌーズモード時の DTC による WDT/IWDT レジスタの書き込みについて

スリープモードやスヌーズモードに遷移すると WDT や IWDT が停止します。停止中は DTC によって、WDT または IWDT 関連のレジスタを書き換えしないでください。

11.9.8 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードに遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、必ずスヌーズモードで不要な発振器を無効にしてください。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

11.9.9 RXD0 の立ち下がりエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 の場合、RXD0 端子のノイズが原因で、MCU がソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。また RXD0 端子のノイズによって、スヌーズモード時に後続の RXD0 データを受信する可能性があります。ノイズ発生後、MCU が RXD0 データを受信しなければ、割り込み（SCI0_ERI や SCI0_RXI など）もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。この問題を避けるには、スヌーズモードで SCI0 を使用する場合、AGT1 アンダーフロー割り込みを用いてソフトウェアスタンバイモードまたは通常モードへ復帰するようにしてください。ただし SCI 通信中は、AGT1 アンダーフロー割り込みがソフトウェアスタンバイモードへの復帰要因とならないように AGT1 を設定してください。これは、SCI0 の動作を中途半端に停止させます。

11.9.10 スヌーズモードにおける SCI0 の使用

スヌーズモードで SCI0 を使用する場合は、AGT1 アンダーフロー以外のウェイクアップ要求を使用しないでください。

スヌーズモードで SCI0 を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO とメインクロック発振器は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High を維持していること
- SCI 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

11.9.11 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが A/D コンバータの開始トリガとなれます。ソフトウェアトリガや ADTRG0 端子は使用しないでください。

11.9.12 スヌーズモードにおける CTSU の条件

スヌーズモードでは、ELC のみが CTSU を起動できます。

11.9.13 スヌーズモードにおける ELC イベント

スヌーズモードで利用可能な ELC イベントを下記に示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)
- ADC160 ウィンドウ A/B コンペアマッチ (ADC160_WCMPPM)
- ADC160 ウィンドウ A/B コンペア不一致 (ADC160_WCMPUM)
- データ演算回路割り込み (DOC_DOPCI)

11.9.14 未使用回路に対するモジュールストップ機能

ユーザモードで使用されない回路はリセットされない可能性があり、また、MCU のリセット中はクロックが供給されないため不安定な状態のまま動作する恐れもあります。このような場合は、MCU が Low-speed モードまたはソフトウェアスタンバイモードへ遷移すると、供給電流が、本ユーザーズマニュアルで既定された値よりも最大で 600 μ A 高い値に上昇する可能性があります。未使用回路は図 11.13 に示す手順を用いて初期化してください。

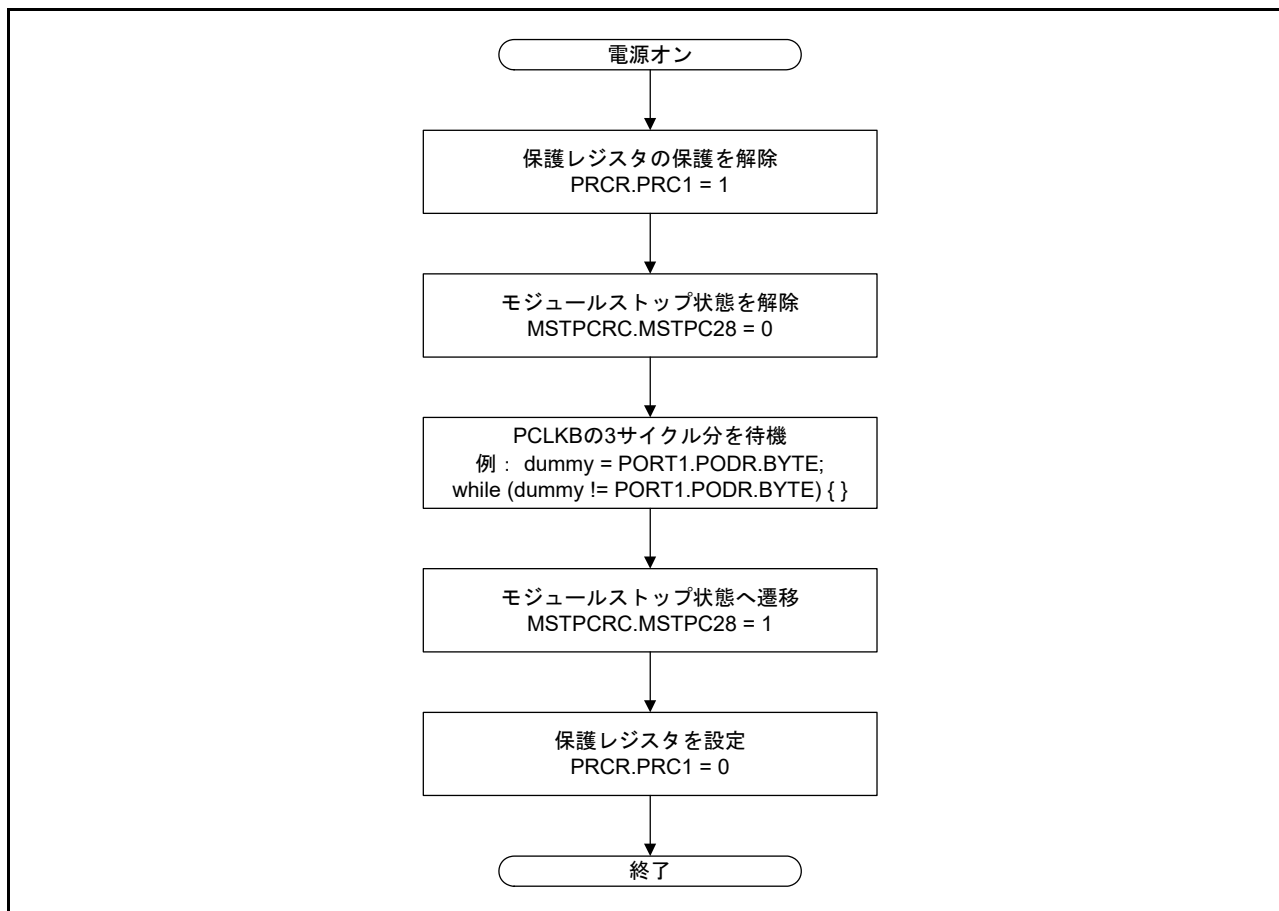


図 11.13 未使用回路の初期設定フロー例

12. レジスタライトプロテクション

12.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護されるレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 12.1 に PRCR レジスタのビットと保護されるレジスタの対応を示します。

表 12.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	クロック発生回路関連レジスタ SCKDIVCR, SCKSCR, MEMWAIT, MOSCCR, HOCOCR, MOCOCR, CKOCR, OSTDCR, OSTDSR, MOCOUTCR, HOCOUTCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCR, LOCOUTCR, HOCOWTCR, SDADCCKCR
PRC1 ビット	低消費電力モード関連レジスタ SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, OPCCR, SOPCCR, SYOCDCR
PRC3 ビット	LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPCCR, LVDLVLR, LVD1CR0, LVD2CR0

12.2 レジスタの説明

12.2.1 プロテクトレジスタ（PRCR）

アドレス [SYSTEM.PRCR 4001 E3FEh](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b1	PRC1	プロテクトビット1	低消費電力モード関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	PRC3	プロテクトビット3	LVD 関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	PRC キーコード	PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位8ビットにA5h、下位8ビットに目的の値を、16ビット単位で書いてください。	W (注1)

注 1. 書き込みデータは保持されません。読むと 00h が読めます。

PRCn ビット（プロテクトビット n）（n = 0, 1, 3）

保護されるレジスタ（表 12.1 を参照）への書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可、0 にすると書き込み禁止になります。

13. 割り込みコントローラユニット (ICU)

13.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。

表 13.1 に ICU の仕様を示します。図 13.1 にブロック図を、表 13.2 に入出力端子を示します。

表 13.1 ICU の仕様

項目		内容
割り込み	周辺機能割り込み	周辺モジュールからの割り込み 要因数：132 (イベントリスト番号 9～141 の範囲から要因を選択)
	外部端子割り込み	- 割り込み検出：Low レベル (注4)、立ち下がりエッジ、立ち上がりエッジ、両エッジ。これらの検出法は要因ごとに1つ設定可能 - デジタルフィルタ機能をサポート 8要因 (IRQ0～IRQ7 端子からの割り込み)
	DTC 制御	割り込み要因によって DTC の起動が可能 (注1)
	NVIC への割り込み要因	32 要因
ノンマスカブル割り込み (注2)	NMI 端子割り込み	- NMI 端子からの割り込み - 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ - デジタルフィルタ機能をサポート
	発振停止検出割り込み (注3)	メイン発振器の停止を検出したときの割り込み
	WDT アンダーフロー／リフレッシュエラー (注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDT アンダーフロー／リフレッシュエラー (注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視1割り込み (注3)	低電圧検出1回路の電圧監視割り込み (LVD_LVD1)
	電圧監視2割り込み (注3)	低電圧検出2回路の電圧監視割り込み (LVD_LVD2)
	RPEST	SRAM パリティエラー発生時の割り込み
	RECCST	SRAM ECC エラー発生時の割り込み
	BUSST	MPU バススレーブエラー発生時の割り込み
	BUSMST	MPU バスマスタエラー発生時の割り込み
	SPEST	CPU スタックポインタモニタによる割り込み
	低消費電力モードからの復帰	- スリープモード：ノンマスカブル割り込みまたはその他の割り込み要因によって復帰 - ソフトウェアスタンバイモード：ノンマスカブル割り込みによって復帰。WUPEN レジスタで割り込みの選択が可能 (注5) - スヌーズモード：ノンマスカブル割り込みによって復帰。SELSR0 および WUPEN レジスタで割り込みの選択が可能 (注5)

注 1. DTC の起動要因については、表 13.4 イベントテーブルを参照してください。

注 2. リセット解除後に 1 回だけノンマスカブル割り込みを許可することが可能です。

注 3. これらのノンマスカブル割り込みは、イベント信号としても使用可能です。割り込みとして使用する場合、NMICR レジスタの値をリセット状態から変更しないでください。電圧監視 1 と電圧監視 2 の割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。

注 4. Low レベル：検出後にクリアしなければ、割り込みは解除されません。

注 5. 13.2.7 SYS イベントリンク設定レジスタ (SELSR0) と 13.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。

図 13.1 に ICU のブロック図を示します。

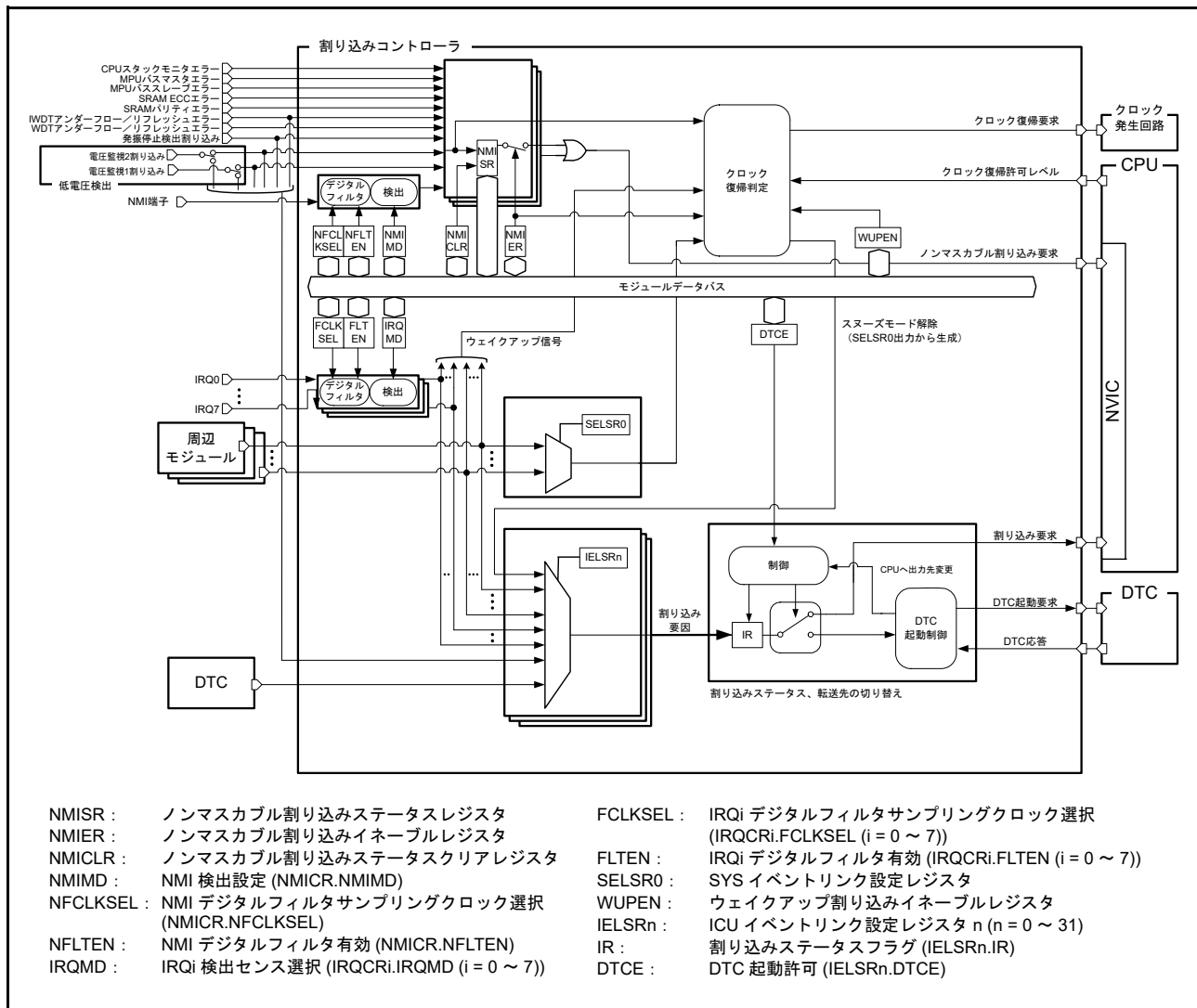


図 13.1 ICU のブロック図

表 13.2 に ICU の入出力端子を示します。

表 13.2 ICUの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0～IRQ7	入力	外部割り込み要求端子

13.2 レジスタの説明

本章では、Arm® NVIC の内部レジスタについては説明していません。これらのレジスタについては、[ARM® Cortex®-M23 Processor Technical Reference Manual \(ARM DDI 0550C\)](#) を参照してください。

13.2.1 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)

アドレス [ICU.IRQCR0 4000 6000h](#), [ICU.IRQCR1 4000 6001h](#), [ICU.IRQCR2 4000 6002h](#), [ICU.IRQCR3 4000 6003h](#),
[ICU.IRQCR4 4000 6004h](#), [ICU.IRQCR5 4000 6005h](#), [ICU.IRQCR6 4000 6006h](#), [ICU.IRQCR7 4000 6007h](#)

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN	—	FCLKSEL[1:0]	—	—	—	IRQMD[1:0]	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IRQMD[1:0]	IRQi 検出センス選択	b1 b0 0 0 : 立ち下がリエッジ 0 1 : 立ち上がりエッジ 1 0 : 両エッジ 1 1 : Low レベル	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択	b5 b4 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	FLTEN	IRQi デジタルフィルタ有効	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合 :
 IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0 ~ 31) を設定する必要があります。
 対象の IELSRn レジスタが 0000h の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合 :
 IRQCRi レジスタの設定を変更してから、対象の WUPEN.IRQWUPEN[n] ビット (n = 0 ~ 7) を設定する必要があります。
 対象の WUPEN.IRQWUPEN[n] ビットが 0 の場合にのみ、レジスタ値の変更が可能です。

[IRQMD\[1:0\] ビット \(IRQi 検出センス選択\)](#)

IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法は、[13.4.4 外部端子割り込み](#)を参照してください。

[FCLKSEL\[1:0\] ビット \(IRQi デジタルフィルタサンプリングクロック選択\)](#)

IRQi 外部端子割り込み要求のデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

FLTEN ビット (IRQi デジタルフィルタ有効)

IRQi 外部端子割り込み要因に使用するデジタルフィルタを有効にします。デジタルフィルタは、IRQCRI.FLTEN ビットが 1 の場合に有効になり、IRQCRI.FLTEN ビットが 0 の場合に無効になります。IRQi 端子レベルは、IRQCRI.FCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

13.2.2 ノンマスカブル割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 4000 6140h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEST	BUSMST	BUSSTS	RECCST	RPEST	NMIST	OSTST	—	—	LVD2ST	LVD1ST	WDTST	IWDTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTS	IWDTアンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b1	WDTST	WDTアンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b2	LVD1ST	電圧監視1割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b3	LVD2ST	電圧監視2割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b5-b4	—	予約ビット	読むと0が読めます。	R
b6	OSTST	メインクロック発振停止検出割り込みステータスフラグ	0: メインクロック発振停止検出割り込み要求なし 1: メインクロック発振停止検出割り込み要求あり	R
b7	NMIST	NMI端子割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b8	RPEST	SRAMパリティエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b9	RECCST	SRAM ECCエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b10	BUSSTS	MPUバススレーブエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b11	BUSMST	MPUバスマスタエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b12	SPEST	CPUスタックポインタモニタ割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b15-b13	—	予約ビット	読むと0が読めます。	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスカブル割り込み許可レジスタ (NMIER) の設定は、このレジスタのステータスフラグには影響しません。ノンマスカブル割り込みの処理ルーチンでは、このレジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ (IWDT アンダーフロー／リフレッシュエラーステータスフラグ)

IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

- IWDT アンダーフロー／リフレッシュエラー割り込みが発生し、この割り込み要因が許可されているとき

[0 になる条件]

- NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ (WDT アンダーフロー／リフレッシュエラーステータスフラグ)

WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

- WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

- NMICLR.WDTCLR ビットに 1 を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

- 電圧監視 1 割り込みが発生し、この割り込み要因が許可されているとき

[0 になる条件]

- NMICLR.LVD1CLR ビットに 1 を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

- 電圧監視 2 割り込みが発生し、この割り込み要因が許可されているとき

[0 になる条件]

- NMICLR.LVD2CLR ビットに 1 を書いたとき

OSTST フラグ (メインクロック発振停止検出割り込みステータスフラグ)

メインクロック発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

- メインクロック発振停止検出割り込みが発生したとき

[0 になる条件]

- NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ (NMI 端子割り込みステータスフラグ)

NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

- NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

- NMICLR.NMICLR ビットに 1 を書いたとき

RPEST フラグ (SRAM パリティエラー割り込みステータスフラグ)

SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

- SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.RPECLR ビットに 1 を書いたとき

RECCST フラグ (SRAM ECC エラー割り込みステータスフラグ)

SRAM ECC エラー割り込み要求を示します。

[1 になる条件]

- SRAM ECC エラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.RECCCLR ビットに 1 を書いたとき

BUSST フラグ (MPU バススレーブエラー割り込みステータスフラグ)

バススレーブエラー割り込み要求を示します。

[1 になる条件]

- バススレーブエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.BUSSCLR ビットに 1 を書いたとき

BUSMST フラグ (MPU バスマスタエラー割り込みステータスフラグ)

バスマスタエラー割り込み要求を示します。

[1 になる条件]

- バスマスタエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.BUSMCLR ビットに 1 を書いたとき

SPEST フラグ (CPU スタックポインタモニタ割り込みステータスフラグ)

CPU スタックポインタモニタ割り込み要求を示します。

[1 になる条件]

- CPU スタックポインタモニタエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.SPECLR ビットに 1 を書いたとき

13.2.3 ノンマスクブル割り込みイネーブルレジスタ (NMIER)

アドレス ICU.NMIER 4000 6120h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEEN	BUSMEN	BUSSEN	RECCE	RPEEN	NMIEN	OSTEN	—	—	LVD2EN	LVD1EN	WDTE	IWDTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1) (注2)
b1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1) (注2)
b2	LVD1EN	電圧監視1 割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1) (注2)
b3	LVD2EN	電圧監視2 割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1) (注2)
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OSTEN	メインクロック発振停止検出割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1) (注2)
b7	NMIEN	NMI 端子割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1)
b8	RPEEN	SRAM パリティエラー割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1)
b9	RECCE	SRAM ECC エラー割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1)
b10	BUSSEN	MPU バススレーブエラー割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1)
b11	BUSMEN	MPU バスマスタエラー割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1)
b12	SPEEN	CPU スタックポインタモニタ割り込み許可	0 : 禁止 1 : 許可	R/(W) (注1)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後、本ビットに1回だけ1を書き込むことが可能です。以後のライトアクセスは無効です。0の書き込みは無効です。

注2. イベント信号として使用する場合、1にしないでください。

IWDTE ビット (IWDT アンダーフロー／リフレッシュエラー割り込み許可)

NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

WDTE ビット (WDT アンダーフロー／リフレッシュエラー割り込み許可)

NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。

LVD1EN ビット (電圧監視1 割り込み許可)

NMI の起動要因となる電圧監視1 割り込みを許可します。

LVD2EN ビット (電圧監視2 割り込み許可)

NMI の起動要因となる電圧監視2 割り込みを許可します。

OSTEN ビット (メインクロック発振停止検出割り込み許可)

NMI の起動要因となるメインクロック発振停止検出割り込みを許可します。

NMIEN ビット (NMI 端子割り込み許可)

NMI の起動要因となる NMI 端子割り込みを許可します。

RPEEN ビット (SRAM パリティエラー割り込み許可)

NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

RECCEN ビット (SRAM ECC エラー割り込み許可)

NMI の起動要因となる SRAM ECC エラー割り込みを許可します。

BUSSEN ビット (MPU バススレーブエラー割り込み許可)

NMI の起動要因となるバススレーブエラー割り込みを許可します。

BUSMEN ビット (MPU バスマスタエラー割り込み許可)

NMI の起動要因となるバスマスタエラー割り込みを許可します。

SPEEN ビット (CPU スタックポインタモニタ割り込み許可)

NMI の起動要因となる CPU スタックポインタモニタ割り込みを許可します。

13.2.4 ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 4000 6130h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPECLR	BUSMCLR	BUSSCLR	RECCCLR	RPECLR	NMICLR	OSTCLR	—	—	LVD2CLR	LVD1CLR	WDTCLR	IWDTCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTCLR	IWDTクリア	0: 無効 1: NMISR.IWDTST フラグをクリア	R/(W) (注1)
b1	WDTCLR	WDTクリア	0: 無効 1: NMISR.WDTST フラグをクリア	R/(W) (注1)
b2	LVD1CLR	LVD1クリア	0: 無効 1: NMISR.LVD1ST フラグをクリア	R/(W) (注1)
b3	LVD2CLR	LVD2クリア	0: 無効 1: NMISR.LVD2ST フラグをクリア	R/(W) (注1)
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/(W)
b6	OSTCLR	OSTクリア	0: 無効 1: NMISR.OSTST フラグをクリア	R/(W) (注1)
b7	NMICLR	NMIクリア	0: 無効 1: NMISR.NMIST フラグをクリア	R/(W) (注1)
b8	RPECLR	SRAMパリティエラークリア	0: 無効 1: NMISR.RPEST フラグをクリア	R/(W) (注1)
b9	RECCCLR	SRAM ECCエラークリア	0: 無効 1: NMISR.RECCST フラグをクリア	R/(W) (注1)
b10	BUSSCLR	バススレーブエラークリア	0: 無効 1: NMISR.BUSSST フラグをクリア	R/(W) (注1)
b11	BUSMCLR	バスマスタエラークリア	0: 無効 1: NMISR.BUSMST フラグをクリア	R/(W) (注1)
b12	SPECLR	CPUスタックポインタモニタ割り込みクリア	0: 無効 1: NMISR.SPEST フラグをクリア	R/(W) (注1)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 本ビットへの書き込みは、1のみとしてください。

IWDTCLR ビット (IWDT クリア)

1を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと0が読めます。

WDTCLR ビット (WDT クリア)

1を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと0が読めます。

LVD1CLR ビット (LVD1 クリア)

1を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと0が読めます。

LVD2CLR ビット (LVD2 クリア)

1を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと0が読めます。

OSTCLR ビット (OST クリア)

1を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと0が読めます。

NMICLR ビット (NMI クリア)

1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

RPECLR ビット (SRAM パリティエラークリア)

1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

RECCCLR ビット (SRAM ECC エラークリア)

1 を書き込むことにより、NMISR.RECCST フラグをクリアします。読むと 0 が読めます。

BUSSCLR ビット (バススレーブエラークリア)

1 を書き込むことにより、NMISR.BUSSST フラグをクリアします。読むと 0 が読めます。

BUSMCLR ビット (バスマスタエラークリア)

1 を書き込むことにより、NMISR.BUSMST フラグをクリアします。読むと 0 が読めます。

SPECLR ビット (CPU スタックポインタモニタ割り込みクリア)

1 を書き込むことにより、NMISR.SPEST フラグをクリアします。読むと 0 が読めます。

13.2.5 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 4000 6100h

b7	b6	b5	b4	b3	b2	b1	b0
NFLTEN	—	NFCLKSEL[1:0]	—	—	—	—	NMIMD
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIMD	NMI 検出設定	0 : 立ち下がりエッジ 1 : 立ち上がりエッジ	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリング クロック選択	b5 b4 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	NFLTEN	NMI デジタルフィルタ有効	0 : 無効 1 : 有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMICR.NMIEN ビットを 1) にしてください。

NMIMD ビット (NMI 検出設定)

NMI 端子割り込みの検出センシング方法を選択します。

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック選択)

NMI 端子割り込みのデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

NFLTEN ビット (NMI デジタルフィルタ有効)

NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NMICR.NFCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

13.2.6 ICU イベントリンク設定レジスタ n (IELSRn) (n = 0 ~ 31)

アドレス ICU.IELSR0 4000 6300h, ICU.IELSR1 4000 6304h, ICU.IELSR2 4000 6308h, ICU.IELSR3 4000 630Ch.....
.....ICU.IELSR28 4000 6370h, ICU.IELSR29 4000 6374h, ICU.IELSR30 4000 6378h, ICU.IELSR31 4000 637Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	IELS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	IELS[7:0]	ICU イベントリンク選択	b7 b0 00000000 : 対応する NVIC または DTC モジュール への割り込みは禁止 00000001 ~ 10001101 : リンクするイベント信号の番号 詳細は、表 13.4 を参照してください。 上記以外は設定しないでください。	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b16	IR	割り込みステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/(W) (注 1)
b23-b17	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b24	DTCE	DTC 起動許可	0 : 禁止 1 : 許可	R/W
b31-b25	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタにはハーフワードまたはワードアクセスが必要です。

注 1. IR フラグを 1 にする書き込みは禁止です。

IELSRn レジスタでは、NVIC で使用する IRQ 要因を選択します。詳細は、表 13.4 を参照してください。
IELSRn (n = 0 ~ 31) は、NVIC-IRQ 入力要因番号 0 ~ 31 に対応しています。

IELS[7:0] ビット (ICU イベントリンク選択)

対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。

IR フラグ (割り込みステータスフラグ)

IELS[7:0] で指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

- 対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

- 0 を書いたとき。DTCE ビットを 0 にしてから、IR フラグを 0 にすること

IR フラグのクリア方法：

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロック PCLKB または PCLKD の 2 クロックサイクル分待つ。
3. 0 を書き込んで IR フラグをクリアする。

DTCE ビット (DTC 起動許可)

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- 0 を書いたとき

13.2.7 SYS イベントリンク設定レジスタ (SELSR0)

アドレス ICU.SELSR0 4000 6200h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SELS[7:0]	SYS イベントリンク選択	b7b0 00000000 : 対応する低消費電力モードモジュールへのイベント出力は無効 00000001 ~ 10001101 : リンクするイベント信号の番号 詳細は、表 13.4 を参照してください。 上記以外は設定しないでください。	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタにはハーフワードアクセスが必要です。

SELSR0 レジスタでは、スリープモードから CPU を復帰させるためのイベントを選択します。表 13.4 において「スリープモードの解除」欄に○印が付いたイベントのみを使用できます。IELSRn.IELS[7:0] ビットに 0Bh が設定されると、スリープモードを解除する割り込みの発生が可能です。

13.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN)

アドレス ICU.WUPEN 4000 61A0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IIC0WUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	USBFSWUPEN	—	RTCPRDWUPEN	RTCALMWUPEN	ACMPLP0WUPEN	—	—	—	LVD2WUPEN	LVD1WUPEN	KEYWUPEN	IWDTWUPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	IRQWUPEN[7:0]							—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	IRQWUPEN[7:0]	IRQ 割り込みソフトウェアスタンバイ復帰許可	0 : IRQ 割り込みによるソフトウェアスタンバイ復帰禁止 1 : IRQ 割り込みによるソフトウェアスタンバイ復帰許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	IWDTWUPEN	IWDT 割り込みソフトウェアスタンバイ復帰許可	0 : IWDT 割り込みによるソフトウェアスタンバイ復帰禁止 1 : IWDT 割り込みによるソフトウェアスタンバイ復帰許可	R/W
b17	KEYWUPEN	キー割り込みソフトウェアスタンバイ復帰許可	0 : キー割り込みによるソフトウェアスタンバイ復帰禁止 1 : キー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b18	LVD1WUPEN	LVD1 割り込みソフトウェアスタンバイ復帰許可	0 : LVD1 割り込みによるソフトウェアスタンバイ復帰禁止 1 : LVD1 割り込みによるソフトウェアスタンバイ復帰許可	R/W
b19	LVD2WUPEN	LVD2 割り込みソフトウェアスタンバイ復帰許可	0 : LVD2 割り込みによるソフトウェアスタンバイ復帰禁止 1 : LVD2 割り込みによるソフトウェアスタンバイ復帰許可	R/W
b22-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	ACMPLP0WUPEN	ACMPLP0 割り込みソフトウェアスタンバイ復帰許可	0 : ACMPLP0 割り込みによるソフトウェアスタンバイ復帰禁止 1 : ACMPLP0 割り込みによるソフトウェアスタンバイ復帰許可	R/W
b24	RTCALMWUPEN	RTCアラーム割り込みソフトウェアスタンバイ復帰許可	0 : RTCアラーム割り込みによるソフトウェアスタンバイ復帰禁止 1 : RTCアラーム割り込みによるソフトウェアスタンバイ復帰許可	R/W
b25	RTCPRDWUPEN	RTC周期割り込みソフトウェアスタンバイ復帰許可	0 : RTC周期割り込みによるソフトウェアスタンバイ復帰禁止 1 : RTC周期割り込みによるソフトウェアスタンバイ復帰許可	R/W
b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27	USBFSWUPEN	USBFS 割り込みソフトウェアスタンバイ復帰許可	0 : USBFS 割り込みによるソフトウェアスタンバイ復帰禁止 1 : USBFS 割り込みによるソフトウェアスタンバイ復帰許可	R/W
b28	AGT1UDWUPEN	AGT1アンダーフロー割り込みソフトウェアスタンバイ復帰許可	0 : AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰禁止 1 : AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b29	AGT1CAWUPEN	AGT1コンペアマッチA割り込みソフトウェアスタンバイ復帰許可	0 : AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰禁止 1 : AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰許可	R/W
b30	AGT1CBWUPEN	AGT1コンペアマッチB割り込みソフトウェアスタンバイ復帰許可	0 : AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰禁止 1 : AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31	IIC0WUPEN	IIC0 アドレス一致割り込みソフトウェアスタンバイ復帰許可	0 : IIC0 アドレス一致割り込みによるソフトウェアスタンバイ復帰禁止 1 : IIC0 アドレス一致割り込みによるソフトウェアスタンバイ復帰許可	R/W

このレジスタの各ビットは、対応する割り込みがソフトウェアスタンバイモードから CPU を復帰させることができるかどうかを制御します。

IRQWUPEN[7:0] ビット (IRQ 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IRQ_n 割り込みの使用を許可します。

IWDTWUPEN ビット (IWDT 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IWDT 割り込みの使用を許可します。

KEYWUPEN ビット (キー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するためキー割り込みの使用を許可します。

LVD1WUPEN ビット (LVD1 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD1 割り込みの使用を許可します。

LVD2WUPEN ビット (LVD2 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD2 割り込みの使用を許可します。

ACMPLP0WUPEN ビット (ACMPLP0 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため ACMPLP0 割り込みの使用を許可します。

RTCALMWUPEN ビット (RTC アラーム割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC アラーム割り込みの使用を許可します。

RTCPRDWUPEN ビット (RTC 周期割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC 周期割り込みの使用を許可します。

USBFSWUPEN ビット (USBFS 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため USBFS 割り込みの使用を許可します。

AGT1UDWUPEN ビット (AGT1 アンダーフロー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 アンダーフロー割り込みの使用を許可します。

AGT1CAWUPEN ビット (AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ A 割り込みの使用を許可します。

AGT1CBWUPEN ビット (AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ B 割り込みの使用を許可します。

IIC0WUPEN ビット (IIC0 アドレス一致割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IIC0 割り込みの使用を許可します。

13.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについては、「[ARM® Cortex®-M23 Processor Technical Reference Manual \(ARM DDI 0550C\)](#)」の NVIC の章を参照してください。

13.3.1 割り込みベクタテーブル

表 13.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 13.3 割り込みベクタテーブル (1/2)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
0	—	000h	Arm	初期スタックポインタ
1	—	004h	Arm	初期プログラムカウンタ (リセットベクタ)
2	—	008h	Arm	ノンマスカブル割り込み (NMI)
3	—	00Ch	Arm	ハード障害
4	—	010h	Arm	予約ビット
5	—	014h	Arm	予約ビット
6	—	018h	Arm	予約ビット
7	—	01Ch	Arm	予約ビット
8	—	020h	Arm	予約ビット
9	—	024h	Arm	予約ビット
10	—	028h	Arm	予約ビット
11	—	02Ch	Arm	スーパーバイザコール (SVCall)
12	—	030h	Arm	予約ビット
13	—	034h	Arm	予約ビット
14	—	038h	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	03Ch	Arm	システムティックタイマ (SysTick)
16	0	040h	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	044h	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	048h	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	04Ch	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	050h	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	054h	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	058h	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	05Ch	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	060h	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	064h	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	068h	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	06Ch	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	070h	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	074h	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	078h	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	07Ch	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	080h	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	084h	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	088h	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	08Ch	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント

表 13.3 割り込みベクタテーブル (2/2)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
36	20	090h	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	094h	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	098h	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	09Ch	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0A0h	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0A4h	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0A8h	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0ACh	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0B0h	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0B4h	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0B8h	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0BCh	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント

13.3.2 イベント番号

下表は、イベント番号を記した表 13.4 の各項目の説明です。

項目	内容
割り込み要求の発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVICへの接続	CPU割り込みとして使用可能な割り込みが○印で示されています。
DTCの起動	DTCの起動要求に使用可能な割り込みが○印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが○印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが○印で示されています。

表 13.4 イベントテーブル (1/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動		
01h	ポート	PORT_IRQ0	○	○	○	○
02h		PORT_IRQ1	○	○	○	○
03h		PORT_IRQ2	○	○	○	○
04h		PORT_IRQ3	○	○	○	○
05h		PORT_IRQ4	○	○	○	○
06h		PORT_IRQ5	○	○	○	○
07h		PORT_IRQ6	○	○	○	○
08h		PORT_IRQ7	○	○	○	○
09h	DTC	DTC_COMPLETE	○		○ (注4)	
0Bh	ICU	ICU_SNZCANCEL	○		○	
0Ch	FCU	FCU_FRDYI	○			
0Dh	LVD	LVD_LVD1	○		○	○
0Eh		LVD_LVD2	○		○	○
0Fh	MOSC	MOSC_STOP	○			
10h	低消費電力モード	SYSTEM_SNZREQ		○		
11h	AGT0	AGT0_AGTI	○	○		
12h		AGT0_AGTCMAI	○	○		
13h		AGT0_AGTCMBI	○	○		
14h	AGT1	AGT1_AGTI	○	○	○	○
15h		AGT1_AGTCMAI	○	○	○	○
16h		AGT1_AGTCMBI	○	○	○	○
17h	IWDT	IWDT_NMIUNDF	○		○	○
18h	WDT	WDT_NMIUNDF	○			
19h	RTC	RTC_ALM	○		○	○
1Ah		RTC_PRD	○		○	○
1Bh		RTC_CUP	○			

表 13.4 イベントテーブル (2/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズ モードの解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動		
1Ch	ADC16	ADC160_ADI	○	○		
1Dh		ADC160_GBADI	○	○		
1Eh		ADC160_CMPAI	○			
1Fh		ADC160_CMPBI	○			
20h		ADC160_WCMPPM		○	○ (注4)	
21h		ADC160_WCMPUM		○	○ (注4)	
22h	ACMPHS	ACMP_HS0	○			
23h	ACMPLP	ACMP_LP0	○		○	○
24h		ACMP_LP1	○			
25h	USBFS	USBFS_USBI	○			
26h		USBFS_USBR	○		○	○
27h	IIC0	IIC0_RXI	○	○		
28h		IIC0_TXI	○	○		
29h		IIC0_TEI	○			
2Ah		IIC0_EEI	○			
2Bh		IIC0_WUI	○		○	○
2Ch	IIC1	IIC1_RXI	○	○		
2Dh		IIC1_TXI	○	○		
2Eh		IIC1_TEI	○			
2Fh		IIC1_EEI	○			
30h	CTSU	CTSU_CTSUWR	○	○		
31h		CTSU_CTSURD	○	○		
32h		CTSU_CTSUFN	○		○ (注4)	
33h	KINT	KEY_INTKR	○		○ (注1)	○ (注1)
34h	DOC	DOC_DOPCI	○		○ (注4)	
35h	CAC	CAC_FERRI	○			
36h		CAC_MENDI	○			
37h		CAC_OVFI	○			
38h	CAN0	CAN0_ERS	○			
39h		CAN0_RXF	○			
3Ah		CAN0_TXF	○			
3Bh		CAN0_RXM	○			
3Ch		CAN0_TXM	○			
3Dh	I/Oポート	IOPORT_GROUP1	○	○ (注2)		
3Eh		IOPORT_GROUP2	○	○ (注2)		
3Fh	ELC	ELC_SWEVT0	○ (注3)	○		
40h		ELC_SWEVT1	○ (注3)	○		
41h	POEG	POEG_GROUP0	○			
42h		POEG_GROUP1	○			
43h	SDADC24	SDADC_ADI	○	○		
44h		SDADC_SCANEND	○	○		
45h		SDADC_CALIEND	○			

表 13.4 イベントテーブル (3/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズ モードの解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動		
46h	GPT320	GPT0_CCMPA	○	○		
47h		GPT0_CCMPB	○	○		
48h		GPT0_CMPC	○	○		
49h		GPT0_CMPD	○	○		
4Ah		GPT0_OVF	○	○		
4Bh		GPT0_UDF	○	○		
4Ch	GPT161	GPT1_CCMPA	○	○		
4Dh		GPT1_CCMPB	○	○		
4Eh		GPT1_CMPC	○	○		
4Fh		GPT1_CMPD	○	○		
50h		GPT1_OVF	○	○		
51h		GPT1_UDF	○	○		
52h	GPT162	GPT2_CCMPA	○	○		
53h		GPT2_CCMPB	○	○		
54h		GPT2_CMPC	○	○		
55h		GPT2_CMPD	○	○		
56h		GPT2_OVF	○	○		
57h		GPT2_UDF	○	○		
58h	GPT163	GPT3_CCMPA	○	○		
59h		GPT3_CCMPB	○	○		
5Ah		GPT3_CMPC	○	○		
5Bh		GPT3_CMPD	○	○		
5Ch		GPT3_OVF	○	○		
5Dh		GPT3_UDF	○	○		
5Eh	GPT164	GPT4_CCMPA	○	○		
5Fh		GPT4_CCMPB	○	○		
60h		GPT4_CMPC	○	○		
61h		GPT4_CMPD	○	○		
62h		GPT4_OVF	○	○		
63h		GPT4_UDF	○	○		
64h	GPT165	GPT5_CCMPA	○	○		
65h		GPT5_CCMPB	○	○		
66h		GPT5_CMPC	○	○		
67h		GPT5_CMPD	○	○		
68h		GPT5_OVF	○	○		
69h		GPT5_UDF	○	○		
6Ah	GPT166	GPT6_CCMPA	○	○		
6Bh		GPT6_CCMPB	○	○		
6Ch		GPT6_CMPC	○	○		
6Dh		GPT6_CMPD	○	○		
6Eh		GPT6_OVF	○	○		
6Fh		GPT6_UDF	○	○		
70h	GPT	GPT_UVWEDGE	○			

表 13.4 イベントテーブル (4/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズ モードの解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動		
71h	SCI0	SCI0_RXI	○	○		
72h		SCI0_TXI	○	○		
73h		SCI0_TEI	○			
74h		SCI0_ERI	○			
75h		SCI0_AM	○		○ (注4)	
76h		SCI0_RXI_OR_ERI			○ (注4)	
77h	SCI1	SCI1_RXI	○	○		
78h		SCI1_TXI	○	○		
79h		SCI1_TEI	○			
7Ah		SCI1_ERI	○			
7Bh		SCI1_AM	○			
7Ch		SCI1_				
7Dh	SCI9	SCI9_RXI	○	○		
7Eh		SCI9_TXI	○	○		
7Fh		SCI9_TEI	○			
80h		SCI9_ERI	○			
81h		SCI9_AM	○			
82h		SCI9_				
81h	SPI0	SPI0_SPRI	○	○		
82h		SPI0_SPTI	○	○		
83h		SPI0_SPII	○			
84h		SPI0_SPEI	○			
85h		SPI0_SPTEND	○			
86h		SPI0_				
86h	SPI1	SPI1_SPRI	○	○		
87h		SPI1_SPTI	○	○		
88h		SPI1_SPII	○			
89h		SPI1_SPEI	○			
8Ah		SPI1_SPTEND	○			
8Bh		SPI1_				
8Bh	AES	AES_WRREQ	○	○		
8Ch		AES_RDREQ	○	○		
8Dh	TRNG	TRNG_RDREQ	○			

注 1. KRCTL.KRMD = 1 の場合にのみサポートされます。

注 2. 最初のエッジ検出のみが有効です。

注 3. DTC 転送後の割り込みのみがサポートされます。

注 4. SELSR0 の使用

13.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択 (CPU 割り込み、DTC 起動など)

13.4.1 割り込みの検出

外部端子割り込み要求は、下記の 2 つの方法のいずれかで検出されます。

- 割り込み信号のエッジ (立ち下がりエッジ／立ち上がりエッジ／両エッジ)
- 割り込み信号のレベル (Low レベル)

IRQi 端子検出モードを選択するには、IRQCRi レジスタの IRQMD[1:0] ビットを設定します。周辺モジュールに関連した割り込み要因については、[13.3.2 イベント番号](#)を参照してください。イベントは、割り込みが発生して CPU に受け付けられる前に、NVIC で受け付けられる必要があります。

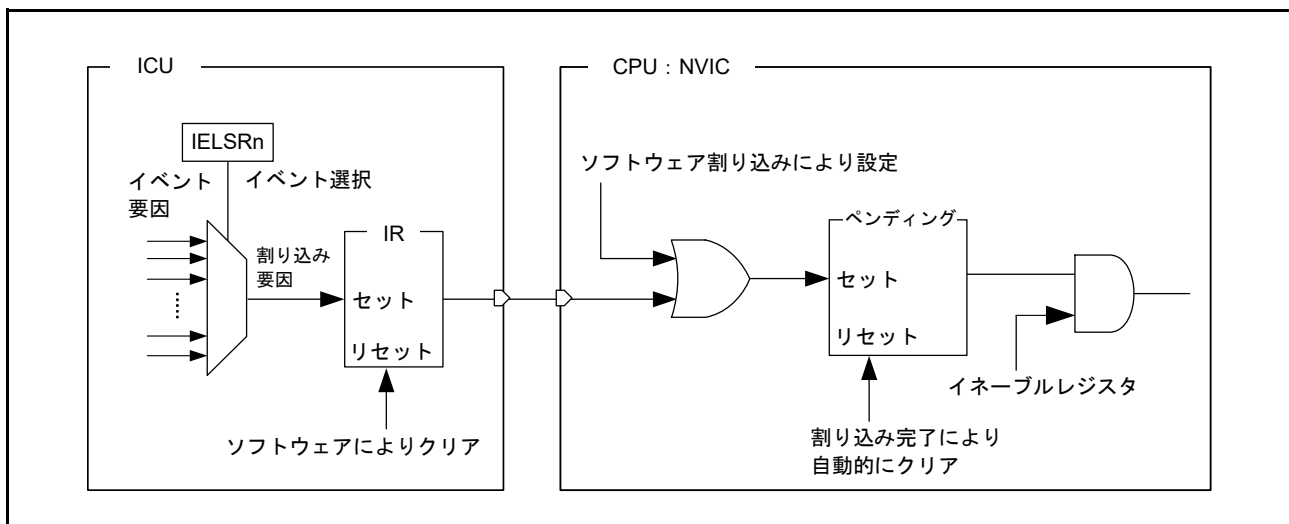


図 13.2 ICU および CPU (NVIC) の割り込み経路

割り込みを検出するには以下の手順に従ってください。

割り込み中の一般的動作

- 非ソフトウェア割り込みが発生したとき：
IELSRn.IR フラグと割り込みセット／クリア保留レジスタ (NVIC_ISPR/NVIC_ICPR) が設定される
- ソフトウェア割り込みが発生したとき：
割り込みセット保留レジスタ (NVIC_ISPR) を設定する
- 割り込みが完了したとき：
ソフトウェアで IELSRn.IR フラグをクリアする。
割り込みセット／クリア保留レジスタ (NVIC_ISPR/NVIC_ICPR) は自動的にクリアされる

割り込みが許可される場合

1. 割り込みセットイネーブルレジスタ (NVIC_ISER) を設定する。
2. IELSRn.IELS[7:0] ビットを割り込み要因として設定する。
3. イベント要因に対し動作設定値を指定する。

割り込みが禁止される場合

1. イベント要因に対し設定値を無効にする。
2. IELSRn.IELS[7:0] ビットをクリアする (IELSRn.IELS[7:0] = 00h)。必要に応じて、IELSRn.IR フラグをクリアする。
3. 割り込みクリアイネーブルレジスタ (NVIC_ICER) をクリアする。必要に応じて、割り込みクリア保留レジスタ (NVIC_ICPR) をクリアする。

割り込みのポーリングを行う場合

1. 割り込みクリアイネーブルレジスタ (NVIC_ICER) を設定 (割り込みを禁止) する。
2. IELSRn.IELS[7:0] ビットを設定 (割り込み要因を選択) する。
3. イベント要因に対し動作設定値を指定する。
4. 割り込みセット保留レジスタ (NVIC_ISPR) をポーリングする。
5. ポーリングが不要になった場合、割り込みが完了したときに、そのクリア手順に従う。

13.4.2 割り込み要求先の選択

割り込み出力先 (CPU または DTC) は、割り込み要因ごとに個別に選択できます。利用可能な出力先は、[表 13.4](#) に示されているように、割り込みごとに固定されています。

注. イベントリスト ([表 13.4](#)) で○印が付いていない割り込み要求先の設定は使用しないでください。

IELSRn レジスタで CPU または DTC を選択した場合、その他の IELSRn レジスタで同じ割り込み要因を設定することは禁止されています。

DTC が IRQi 端子からの要求先として選択された場合、その割り込みに対して IRQCRi の IRQMD[1:0] ビットをエッジ検出の選択に設定する必要があります。

13.4.2.1 CPU 割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。

IELSRn.IELS[7:0] ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 0 にします。

13.4.2.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. IELSRn.IELS[7:0] ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 1 にする。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 にする。

DTC が要求先となる場合の動作を [表 13.5](#) に示します。

表 13.5 DTC が起動するときの動作

割り込み 要求先	DISEL (注1)	残りの 転送動作	1要求あたりの 動作	IR (注2)	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時に クリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時に クリアされる。	IELSRn.DTCE ビットがクリアさ れ、CPU が要求先になる。
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、 DTC データ転送の開始時にクリア される。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時に クリアされる。	IELSRn.DTCE ビットがクリアさ れ、CPU が要求先になる。

注 1. DTC.MRB.DISEL ビットで DTC 用の割り込み要求モードを設定します。

注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。
「[16. データトランスファコントローラ \(DTC\)](#)」の [表 16.3 チェーン転送の条件](#) を参照してください。

13.4.3 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 (IRQ_i, $i = 0 \sim 7$) と NMI 端子割り込みのために準備されています。この機能は、入力信号をフィルタサンプリングクロック (PCLKB) でサンプリングし、3 サンプリングサイクル未満のパルス幅を持つ信号を除去します。

- IRQ_i 端子に対するデジタルフィルタの使用法：

1. IRQCRi.FCLKSEL[1:0] ビット ($i = 0 \sim 7$) で、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
2. IRQCRi.FLTEN ビット ($i = 0 \sim 7$) を 1 (デジタルフィルタ有効) にする。

- NMI 端子に対するデジタルフィルタの使用法：

1. NMICR.NFCLKSEL[1:0] ビットで、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
2. NMICR.NFLTEN ビットを 1 (デジタルフィルタ有効) にする。

図 13.3 にデジタルフィルタの動作例を示します。

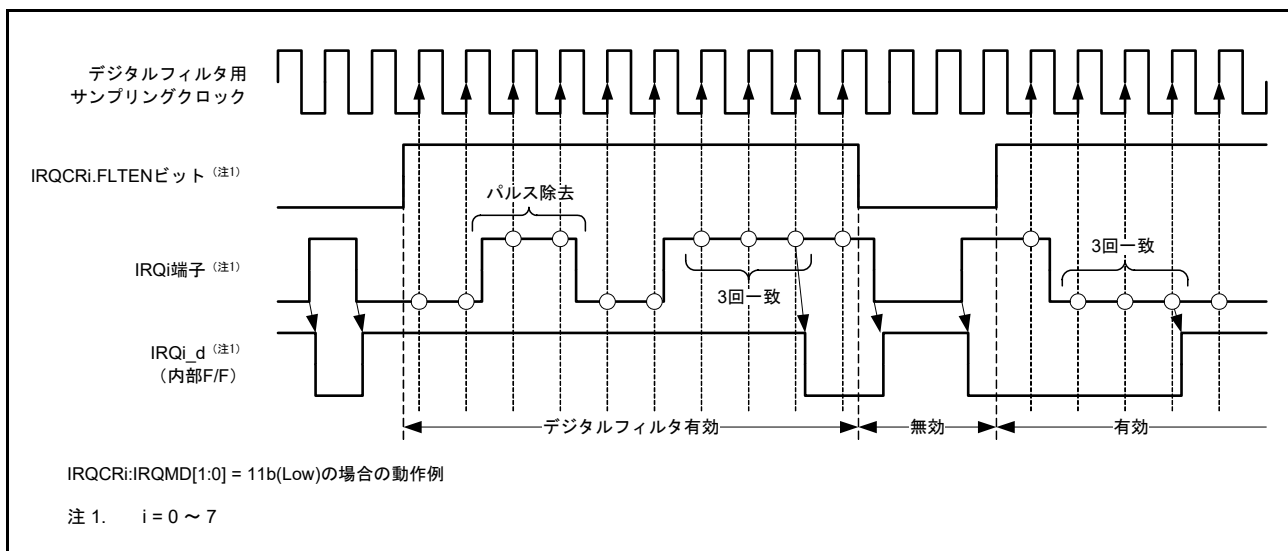


図 13.3 デジタルフィルタの動作例

ソフトウェアスタンバイモードへ遷移する前に、IRQCRi.FLTEN ビットと NMICR.NFLTEN ビットをクリアしてデジタルフィルタを無効にしてください。ICU のクロックはソフトウェアスタンバイモードでは停止します。ソフトウェアスタンバイモードが終了したとき、デジタルフィルタを再度有効にできます。

回路は、スタンバイ前の状態をスタンバイ解除後の状態と比較することでエッジを検出します。ソフトウェアスタンバイモード中に入力に変化すると、誤ったエッジが検出される可能性があります。

13.4.4 外部端子割り込み

外部端子割り込みの使用法：

1. IRQCRi.FLTEN ビット (i=0 ~ 7) を 0 (デジタルフィルタ無効) にする。
2. I/O ポートの設定を行うかまたは確認する。
3. IRQCRi レジスタの IRQMD[1:0] ビット、FCLKSEL[1:0] ビット、および FLTEN ビットを設定する。
4. IRQ 端子を以下のように選択する。
 - IRQ 端子を CPU 割り込み要求に使用する場合、IELSRn.IELS[7:0] ビットを設定し、IELSRn.DTCE ビットを 0 にする
 - IRQ 端子を DTC 起動に使用する場合、IELSRn.IELS[7:0] ビットを設定し、IELSRn.DTCE ビットを 1 にする

13.5 ノンマスカブル割り込みの動作

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- SRAM ECC エラー割り込み
- MPU バスマスタエラー割り込み
- MPU バススレーブエラー割り込み
- CPU スタックポインタモニタ割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みはデフォルトで無効になっています。ノンマスカブル割り込みを使用する場合は、以下の手順で設定してください。

NMI 端子を使用する場合には、手順 1 ~ 3 を行ってください。

1. NMICR.NFLTEN ビットをクリア (デジタルフィルタ無効) する。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定する。
3. NMICLR.NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグを 0 にクリアする。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の対応するビットを 1 にしてノンマスカブル割り込みを許可にする。

NMIER レジスタに 1 を書いた後は、NMIER レジスタの NMIEEN ビットに対する後続のライトアクセスは無視されます。NMI 割り込みは、リセットの場合を除いて、許可されたものを禁止することはできません。

13.6 低消費電力モードからの復帰

スリープモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因は、表 13.4 イベントテーブルに示されています。詳細は、「11. 低消費電力モード」を参照してください。13.6.1 ~ 13.6.3 には、割り込みを使用してスリープモード、ソフトウェアスタンバイモード、およびスヌーズモードから復帰する方法が示されています。

13.6.1 スリープモードからの復帰

割り込みによってスリープモードから復帰する方法：

1. 割り込み要求先として CPU を選択する。
2. NVIC で割り込みを許可にする。

ノンマスカブル割り込みによってスリープモードから復帰するには、NMIER レジスタにおいて必要な割り込み要求を許可します。

13.6.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスカブル割り込みを用いるか、または WUPEN レジスタで選択された割り込みを用いて、ソフトウェアスタンバイモードからの復帰を可能にします。13.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードからの復帰を許可する割り込み要因を選択する。
 - ノンマスカブル割り込みの場合、NMIER レジスタを使用して必要な割り込み要求を許可する
 - マスカブル割り込みの場合、WUPEN レジスタを使用して必要な割り込み要求を許可する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

これらの条件を満たさない IRQn 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

13.6.3 スヌーズモードからの復帰

ICU は、スヌーズモード用の割り込みを用いて、スヌーズモードから通常モードへの復帰を可能にします。

スヌーズモードから通常モードへ復帰する方法：

1. 以下の方法のうちいずれかを使用して、スヌーズモードから通常モードへの復帰をトリガしたいイベントを選択する。
 - a. スヌーズモードから通常モードへの復帰をトリガしたいイベントを SELSR0.SELS[7:0] に設定し、IELSRn.IELS[7:0] に値 0Bh (ICU_SNZCANCEL) を設定する。
 - b. スヌーズモードから通常モードへの復帰をトリガしたいイベントを IELSRn.IELS[7:0] に設定する。
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

注． スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。

13.7 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

13.8 参考資料

1) *ARM® Cortex®-M23 Processor Technical Reference Manual* (ARM DDI 0550C).

14. バス

14.1 概要

表 14.1 にバスの仕様を、図 14.1 にバスの構成図を、表 14.2 にバス種類別アドレス対応表を示します。

表 14.1 バスの仕様

バスの種類		内容
メインバス	システムバス (CPU)	• CPU を接続 • 内蔵メモリと内部周辺バスを接続
	DMAバス	• DTC を接続 • 内蔵メモリと内部周辺バスを接続
スレーブ インタフェース	メモリバス1	• コードフラッシュメモリを接続
	メモリバス3	• DMAバスを介してコードフラッシュメモリを接続
	メモリバス4	• SRAM0 を接続
	内部周辺バス1	• 周辺モジュール関連のシステムコントロールを接続
	内部周辺バス3	• 周辺モジュール (CAC, ELC, I/Oポート, POEG, RTC, WDT, IWDT, IIC, CAN, ADC16, DAC12, DOC, GPT, SCI, SPI, CRC) を接続
	内部周辺バス5	• 周辺モジュール (KINT, AGT, USBFS, DAC8, OPAMP, ACMPHS, ACMPLP, SDADC24, CTSU) を接続
	内部周辺バス7	• セキュアIPを接続
	内部周辺バス9	• フラッシュメモリ (P/E時) とデータフラッシュメモリを接続

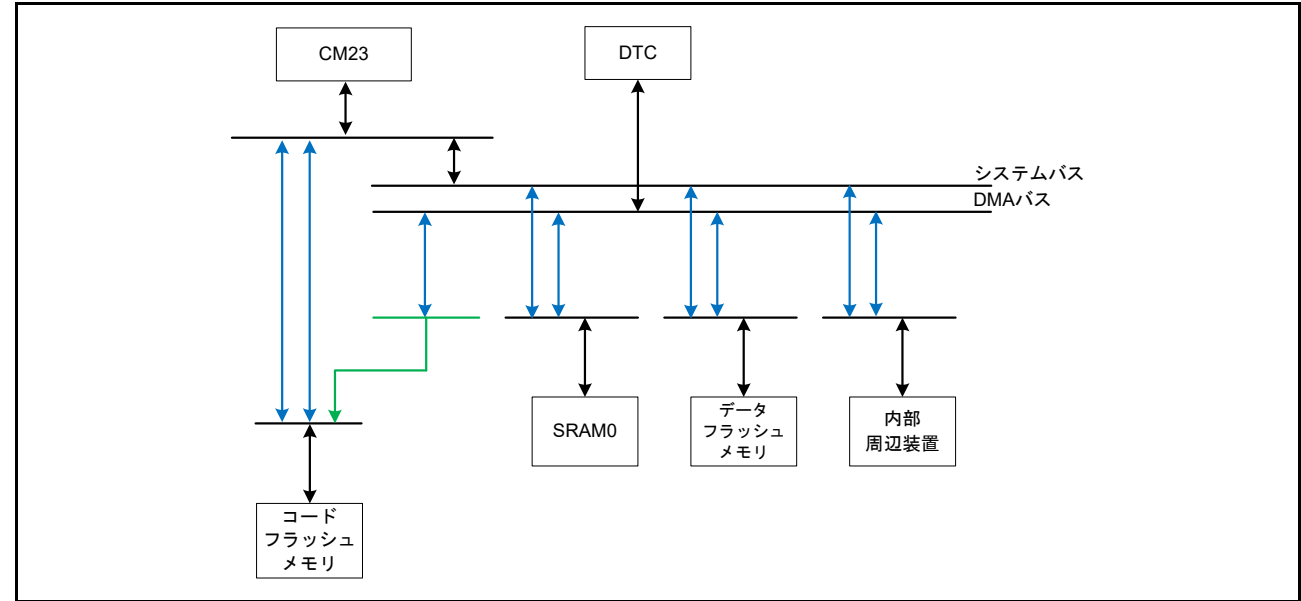


図 14.1 バスの構成図

表 14.2 バス種類別アドレス対応表

アドレス	バス	領域
0000 0000h～01FF FFFFh	メモリバス 1, 3	コードフラッシュメモリ
2000 0000h～2000 7FFFh	メモリバス 4	SRAM0
4000 0000h～4001 8FFFh	内部周辺バス 1	周辺 I/O レジスタ
4001 9000h～4001 9FFFh	メモリバス 4	MTB I/O レジスタ
4001 A000h～4001 FFFFh	内部周辺バス 1	周辺 I/O レジスタ
4004 0000h～4007 FFFFh	内部周辺バス 3	
4008 0000h～400B FFFFh	内部周辺バス 5	
400C 0000h～400D FFFFh	内部周辺バス 7	セキュア IP
4010 0000h～407F FFFFh	内部周辺バス 9	フラッシュメモリ（P/E 時 ^(注1) ）とデータフラッシュメモリ

注 1. P/E = プログラム/イレース

14.2 バスの説明

14.2.1 メインバス

CPU 用のメインバスは、システムバスと DMA バスで構成されます。システムバスと DMA バスには以下が接続されます。

- コードフラッシュメモリ
- SRAM0
- データフラッシュメモリ
- 内部周辺バス

システムバスは、CPU への命令コードおよびデータコードのアクセスに用いられます。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。また、DTC の転送制御情報を読み出している間は、DTC 以外のマスタからのバスアクセス要求は受け付けません。

14.2.2 スレーブインタフェース

メインバスからスレーブインタフェースへの接続については、[表 14.1 バスの仕様](#)に記載のスレーブインタフェースを参照してください。

システムバスと DMA バスからのバスアクセスが調停されます。調停法には、優先順位固定またはラウンドロビンのいずれかを選択できます。詳細は、[14.3.2](#)を参照してください。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

14.2.3 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。並列動作の例を[図 14.2](#)に示します。この例では、CPU は命令バスとオペランドバスを使用して、それぞれフラッシュと SRAM に同時にアクセスしています。また、CPU がフラッシュと SRAM にアクセスする間、DTC は DMA バスを同時に使用して、周辺バスにアクセスしています。

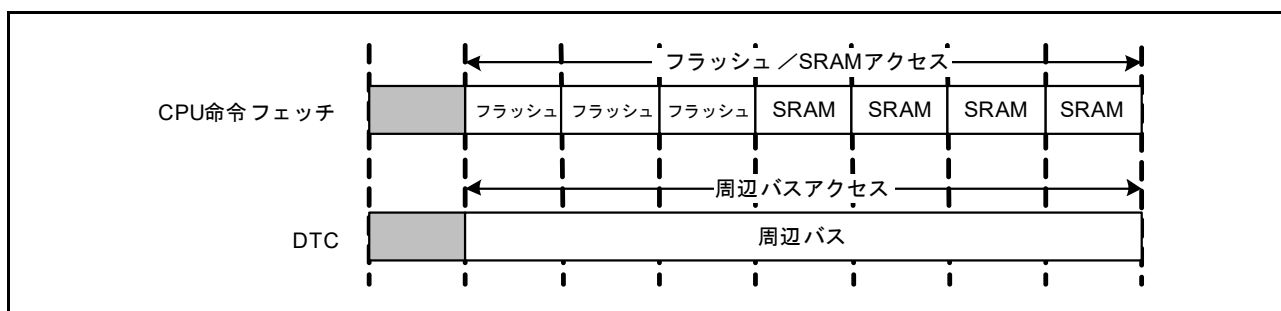


図 14.2 並列動作の例

14.2.4 エンディアン形式に関する制約事項

Cortex®-M23 コアでコードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

14.3 レジスタの説明

14.3.1 マスタバスコントロールレジスタ (BUSMCNT<master>)

アドレス [BUS.BUSMCNTSYS 4000 4008h](#), [BUS.BUSMCNTDMA 4000 400Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IERES	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	IERES	エラー応答無視	0 : バスエラーを通知する 1 : バスエラーを通知しない	R/W

注. 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

IERES ビット (エラー応答無視)

AHB-Lite プロトコルエラー応答を有効または無効にします。

[表 14.3](#) に、バスの種類とレジスタの対応を示します。

表 14.3 バスの種類とレジスタの対応

バスの種類	マスタバスコントロールレジスタ	スレーブバスコントロールレジスタ	バスエラーアドレスレジスタ	バスエラーステータスレジスタ
システムバス (CPU)	BUSMCNTSYS	—	BUS3ERRADD	BUS3ERRSTAT
DMAバス	BUSMCNTDMA	—	BUS4ERRADD	BUS4ERRSTAT
メモリバス1	—	BUSSCNTFLI	—	—
メモリバス4	—	BUSSCNTRAM0	—	—
内部周辺バス1, 3, 5, 7	—	BUSSCNTpNB [n = 0, 2, 4, 6]	—	—
内部周辺バス9	—	BUSSCNTFBU	—	—

14.3.2 スレーブバスコントロールレジスタ (BUSSCNT<slave>)

アドレス [BUS.BUSSCNTFLI 4000 4100h](#), [BUS.BUSSCNTRAM0 4000 410Ch](#), [BUS.BUSSCNTp0B 4000 4114h](#), [BUS.BUSSCNTp2B 4000 4118h](#),
[BUS.BUSSCNTp4B 4000 4120h](#), [BUS.BUSSCNTp6B 4000 4128h](#), [BUS.BUSSCNTFBU 4000 4130h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ARBMET[1:0]	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	ARBMET[1:0]	調停法	グループ優先順位を指定します。 b5 b4 0 0: 優先順位固定 0 1: ラウンドロビン 1 0: 設定禁止 1 1: 設定禁止	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

ARBMET[1:0] ビット (調停法)

調停法を、すべてのバスマスタに定義される優先順位で指定します。優先順位固定については、[表 14.4](#)を参照してください。ラウンドロビンについては、[表 14.5](#)を参照してください。バスの種類とレジスタの対応については、[表 14.3](#)を参照してください。

表 14.4 優先順位固定 (ARBMET[1:0] = 00b)

スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位
BUSSCNTFLI	メモリバス 1	DMAバス > システムバス (CPU)
BUSSCNTRAM0	メモリバス 4	DMAバス > システムバス (CPU)
BUSSCNTpNB [n = 0, 2, 4, 6]	内部周辺バス 1, 3, 5, 7	DMAバス > システムバス (CPU)
BUSSCNTFBU	内部周辺バス 9	DMAバス > システムバス (CPU)

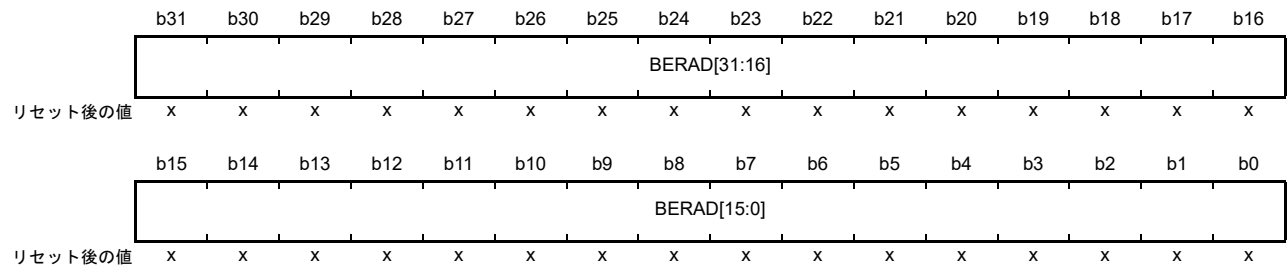
表 14.5 ラウンドロビン (ARBMET[1:0] = 01b)

スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位 (注1)
BUSSCNTFLI	メモリバス 1	DMAバス ↔ システムバス (CPU)
BUSSCNTRAM0	メモリバス 4	DMAバス ↔ システムバス (CPU)
BUSSCNTpNB [n = 0, 2, 4, 6]	内部周辺バス 1, 3, 5, 7	DMAバス ↔ システムバス (CPU)
BUSSCNTFBU	内部周辺バス 9	DMAバス ↔ システムバス (CPU)

注 1. ラウンドロビンであることは“↔”で示されます。

14.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 3, 4)

アドレス [BUS.BUS3ERRADD 4000 4820h](#), [BUS.BUS4ERRADD, 4000 4830h](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	BERAD[31:0]	バスエラーアドレス	バスエラーが発生した場合、そのエラーアドレスを格納します。	R

注. 本レジスタは、MPU 関連リセット以外のリセットによってのみクリアされます。詳細については、「[6. リセット](#)」および「[15. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

[表 14.3](#) に、バスの種類とレジスタの対応を示します。

BERAD[31:0] ビット (バスエラーアドレス)

本ビットは、バスエラーが発生した場合、そのアクセスアドレスを格納します。詳細は、BUSnERRSTAT.ERRSTAT ビットおよび [14.4 バスエラー監視部](#)の説明を参照してください。

BUSnERRADD.BERAD[31:0] ビット (n = 3, 4) の値は、BUSnERRSTAT.ERRSTAT ビット (n = 3, 4) が 1 の場合にのみ有効です。

14.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 3, 4)

アドレス [BUS.BUS3ERRSTAT 4000 4824h](#), [BUS.BUS4ERRSTAT 4000 4834h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ERRSTAT	—	—	—	—	—	—	ACCSTAT
リセット後の値	0	0	0	0	0	0	0	x

ビット	シンボル	ビット名	機能	R/W
b0	ACCSTAT	エラーアクセス状態	エラー発生時のアクセス状態 1: ライトアクセス 0: リードアクセス	R
b6-b1	—	予約ビット	読むと0が読めます。	R
b7	ERRSTAT	バスエラー状態	0: バスエラー発生なし 1: バスエラー発生あり	R

注. 本レジスタは、MPU 関連リセット以外のリセットによってのみクリアされます。詳細については、「[6. リセット](#)」および「[15. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

表 14.3 に、バスの種類とレジスタの対応を示します。

ACCSTAT ビット (エラーアクセス状態)

バスにエラーが発生した場合、そのアクセス状態 (ライトアクセスまたはリードアクセス) を示します。詳細は、BUSnERRSTAT.ERRSTAT ビットおよび [14.4 バスエラー監視部](#)の説明を参照してください。

本ビットの値は、BUSnERRSTAT.ERRSTAT ビット (n=3,4) が 1 の場合にのみ有効です。

ERRSTAT ビット (バスエラーアドレス)

バスエラーの発生の有無を示します。バスエラーが発生した場合、そのアクセスアドレスとアクセス状態 (ライトアクセスまたはリードアクセス) が格納されます。BUSnERRSTAT.ERRSTAT ビット (n=3,4) は 1 になります。

それぞれのバスでは、次の 4 種類のエラーが発生する可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

バスマスタ MPU エラーまたはバススレーブ MPU エラーを検出時に、OAD ビットがリセットを選択している場合、MPU エラーの原因となったバスアクセスが内部リセット信号が生成されるよりも後に完了すると (ウェイトの設定による)、BUSnERRSTAT.ERRSTAT (n=3,4) が 1 になりません。

バスマスタ MPU エラーまたはバススレーブ MPU エラーを検出時に、OAD ビットで NMI を選択している場合、MPU エラーの原因となったバスアクセスが完了すると、BUSnERRSTAT.ERRSTAT (n=3,4) は 1 になります。

バスエラーの詳細は、[14.4 バスエラー監視部](#)および「[15. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

14.4 バスエラー監視部

この監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタ IP に返します。

14.4.1 バスに生じるエラーの種類

それぞれのバスでは、次の 4 種類のエラーが発生する可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

表 14.6 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。

バスマスタ MPU とバススレーブ MPU については、「15. メモリプロテクションユニット (MPU)」を参照してください。

14.4.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。各マスタで発生したバスエラー情報は、BUSnERRADD レジスタと BUSnERRSTAT レジスタに格納されます。これらのレジスタは必ずリセットでクリアする必要があります。詳細については、14.3.3 および 14.3.4 を参照してください。

注 . DTC はバスエラーを受信しません。DTC がバスにアクセスした場合、転送は継続されます。

14.4.3 不正アドレスアクセスエラーを引き起こす条件

表 14.6 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 14.6 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	マスタバス	
		CPU	DMA
		システム	
0000 0000h ~ 01FF FFFFh	メモリバス 1, 3	—	—
0200 0000h ~ 1FFF FFFFh	予約領域	E	E
2000 0000h ~ 2000 7FFFh	メモリバス 4	—	—
2000 8000h ~ 3FFF FFFFh	予約領域	E	E
4000 0000h ~ 4001 FFFFh	周辺バス 1	—	—
4002 0000h ~ 4003 FFFFh	予約領域	E	E
4004 0000h ~ 4007 FFFFh	周辺バス 3	—	—
4008 0000h ~ 400B FFFFh	周辺バス 5	—	—
400C 0000h ~ 400D FFFFh	周辺バス 7	—	—
400E 0000h ~ 400F FFFFh	予約領域	E	E
4010 0000h ~ 407F FFFFh	周辺バス 9	—	—
4080 0000h ~ DFFF FFFFh	予約領域	E	E
E000_0000h ~ FFFF_FFFFh	Cortex-M23用システム	—	E

E は、不正アドレスアクセスエラーが生じる経路を示します。

— は、不正アドレスアクセスエラーが生じない経路を示します。

- 注 . バスモジュールは、スレーブに対して何も領域が割り当てられていない場合など、予約領域へのアクセスに起因したアクセスエラーを検出します。
 0200 0000h ~ 1FFF FFFFh : アクセスエラーを検出
 0000 0000h ~ 01FF FFFFh : メモリバス 1 のアクセスエラー検出なし
- 注 . MMF（メモリミラー機能）が有効な場合、マッピングされた領域（0200 0000h ~ 027F FFFFh）へのアクセスは、ユーザ固有の領域に切り替わります（MMF 出力アドレス = CPU 出力アドレス + オフセット）。
 バスモジュールは、MMF がアドレスを切り替えたか否かの検出を行いません。そのため、MMF が有効な状態で CPU が 0200 0000h にアクセスしても、エラーは発生しません（切り替えられたアドレスに依存します）。MMF が無効な状態で CPU が 0200 0000h にアクセスすると、バスモジュールがエラーを検出します。

14.4.4 タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。タイムアウトエラーは、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP に返されます。

14.5 フラッシュキャッシュ使用時の注意事項

CPU からのアクセスでフラッシュキャッシュを使用する場合、Arm®MPU もキャッシュابلに設定する必要があります。詳細については、参考資料の 1. および 2. を参照してください。

14.6 参考資料

1. ARM®v8-M Architecture Reference Manual (ARM DDI 0553B.a)
2. ARM®Cortex®-M23 Processor User Guide (ARM DUI 0963B)
3. ARM®AMBA® 5 AHB-Lite Protocol Specification (ARM IHI 0033B.b).

15. メモリプロテクションユニット (MPU)

15.1 概要

本 MCU は、4つのメモリプロテクションユニット (MPU) と、CPU スタックポインタモニタ機能を備えています。表 15.1 にサポート対象の MPU の仕様を、表 15.2 に各 MPU エラー検出時の動作を示します。

表 15.1 MPUの仕様

項目	モジュール/機能	内容
不正メモリアクセス	Arm® Cortex®-M23 CPU	- Arm CPUはデフォルトのメモリマップを内蔵。CPUが不正アクセスを行うと、例外割り込みが発生 - デフォルトのメモリマップはMPUで変更可能
	CPUスタックポインタモニタ	2領域 - メインスタックポインタ (MSP) - プロセススタックポインタ (PSP)
メモリプロテクション	Arm MPU	CPU用のメモリプロテクション機能 8 MPU 領域 (サブ領域とバックグラウンド領域を含む)
	バスマスタ MPU	CPUを除く各バスマスタ用のメモリプロテクション機能 バスマスタ MPUグループA : 4領域
	バスマスレーブ MPU	各バスマスレーブ用のメモリプロテクション機能
セキュリティ	セキュリティ MPU	非セキュアプログラムから下記セキュリティ領域へのアクセスを保護 2領域 (PC) 4領域 (コードフラッシュ、SRAM、2つのセキュリティ機能)

表 15.2 MPUエラー検出時の動作

MPUの種類	通知法	エラー検出時のバスアクセス	エラーアクセス情報の保持
CPUスタックポインタモニタ	リセットまたはノンマスカブル割り込み	Don't care	保持しない
Arm MPU	ハード障害	- 正しくライトアクセスできない - 正しくリードアクセスできない	保持しない
バスマスタ MPU	リセットまたはノンマスカブル割り込み	- 保護領域にライトアクセス - 保護領域にリードアクセス	保持
バスマスレーブ MPU	- リセットまたはノンマスカブル割り込み - ハード障害	- ライトアクセスは無視 - リードアクセスは0が読める	保持
セキュリティ MPU	通知なし	- 正しくライトアクセスできない - 正しくリードアクセスできない	保持しない

Arm MPU に対するエラーアクセスについては、15.7 を参照してください。他の MPU に対するエラーアクセスについては、「14. バス」の 14.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 3, 4) および 14.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 3, 4) を参照してください。

15.2 CPU スタックポインタモニタ

CPU スタックポインタモニタは、スタックポインタのアンダーフローとオーバーフローを検出します。Arm CPU には、メインスタックポインタ (MSP) とプロセススタックポインタ (PSP) の2つのスタックポインタがあるため、2つのCPU スタックポインタモニタをサポートしています。スタックポインタのアンダーフローやオーバーフローを検出すると、CPU スタックポインタモニタはリセットまたはノンマスカブル割り込みを発生させます。

CPU スタックポインタモニタを有効にするには、スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL、PSPMPUCTL) のスタックポインタモニタ有効ビットを1にします。

表 15.3 に、CPU スタックポインタモニタの仕様を示します。図 15.1 にブロック図を、図 15.2 にレジスタの設定フローを示します。

表 15.3 CPUスタックポインタモニタの仕様

項目	内容
SRAM領域	メモリプロテクション対象領域
領域数	2領域： • メインスタックポインタ (MSP) • プロセススタックポインタ (PSP)
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のスタックポインタモニタ設定の有効/無効	各領域のスタックポインタモニタは、有効または無効にすることが可能
エラー検出時の動作	リセットまたはノンマスカブル割り込みの発生が可能
レジスタの保護	レジスタに対する不正書き込みの防止が可能

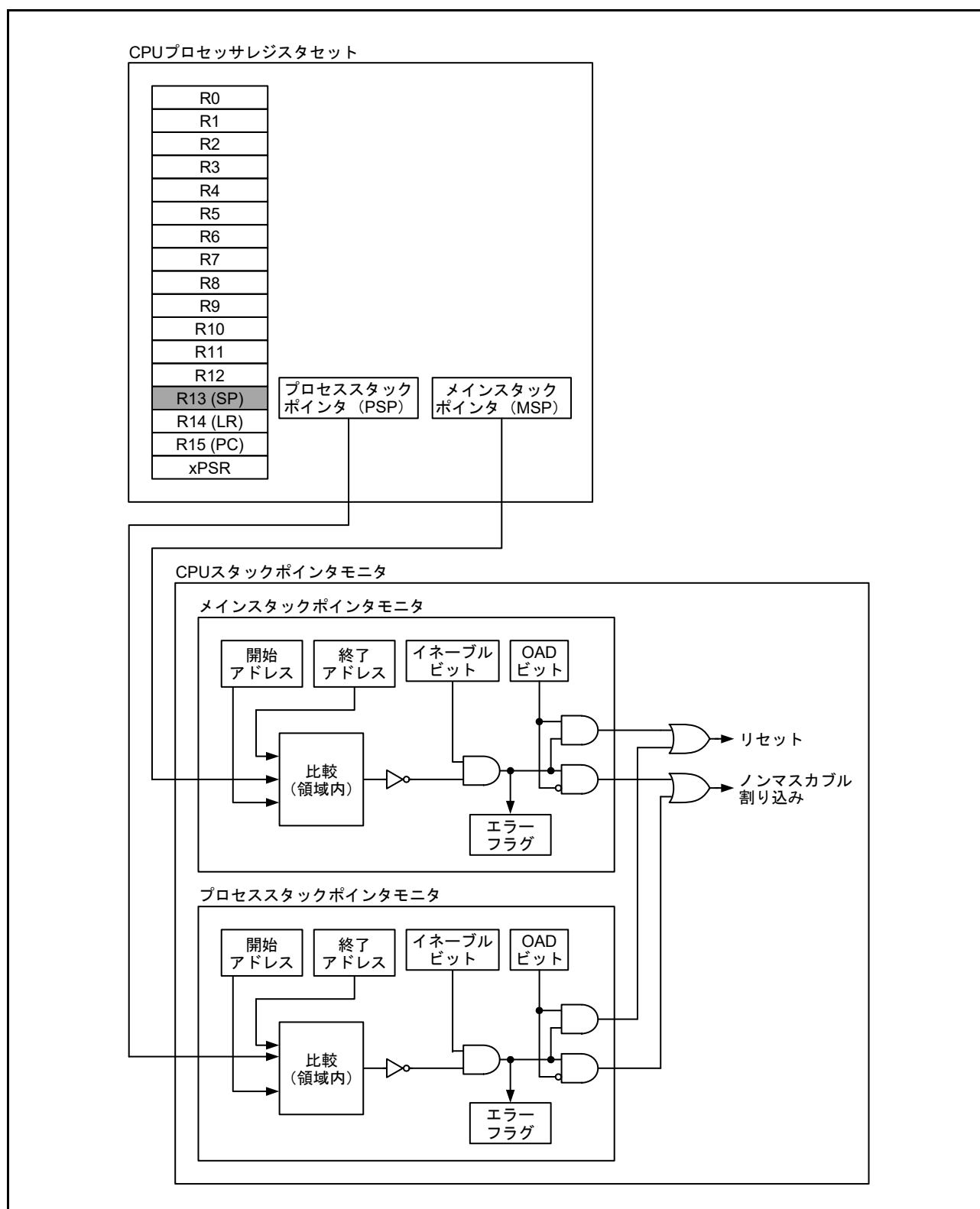


図 15.1 CPU スタックポインタモニタのブロック図

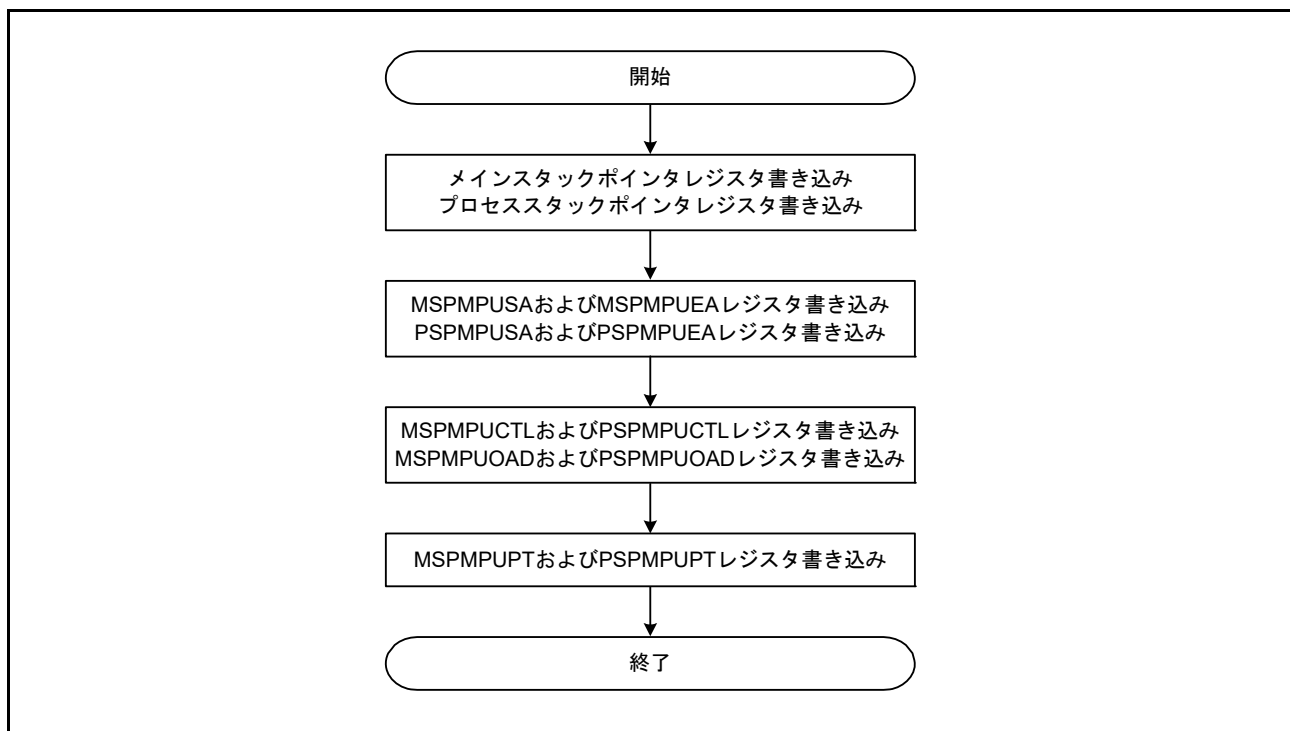


図 15.2 レジスタの設定フロー

15.2.1 レジスタの保護

CPU スタックポインタモニタ関連のレジスタは、PROTECT ビットで保護することが可能です。

15.2.2 オーバーフローエラーとアンダーフローエラー

オーバーフローやアンダーフローが検出されると、CPU スタックポインタモニタはオーバーフローエラーまたはアンダーフローエラーを発生させます。メモリプロテクションエラーは、ノンマスカブル割り込みまたはリセットのいずれかを OAD ビット設定で選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.SPEST フラグに示されます。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.SPERF フラグに示されます。詳細は、「[6. リセット](#)」を参照してください。

ICU.NMISR.SPEST フラグが CPU スタックポインタモニタ割り込みの発生を示した場合、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR ビットを確認して、それがメインスタックポインタモニタエラーなのか、プロセススタックポインタモニタエラーなのかを判定してください。

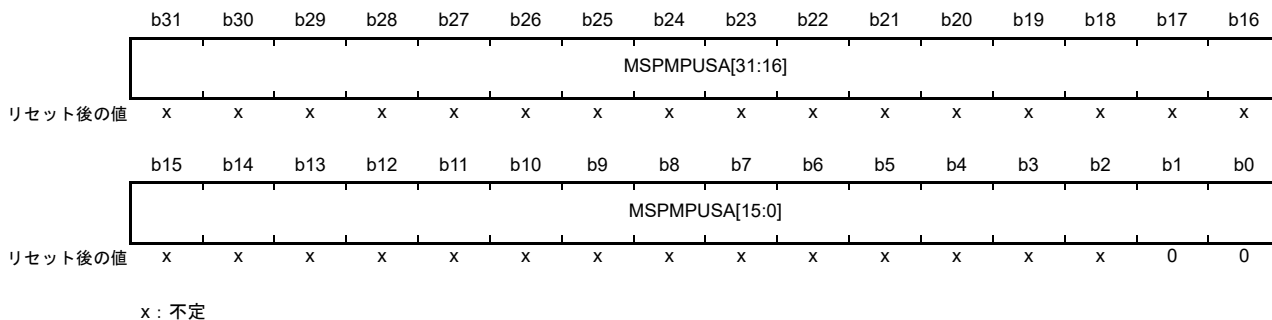
スタックポインタのオーバーフローまたはアンダーフロー中は、ノンマスカブル割り込みが連続して発生します。ノンマスカブル割り込みフラグをクリアするには、指定領域内にスタックポインタを設定してから、ICU.NMICLR.SPECLR ビットを 1 にすることでノンマスカブル割り込みフラグをクリアしてください。次に、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR ビットに 0 を書き込んでください。

15.2.3 レジスタの説明

注. MPUレジスタに書き込みを行う前に、バスアクセスを停止する必要があります。

15.2.3.1 メインスタックポインタ (MSP) モニタ開始アドレスレジスタ (MSPMPUSA)

アドレス `SPMON.MSPMPUSA 4000 0D08h`

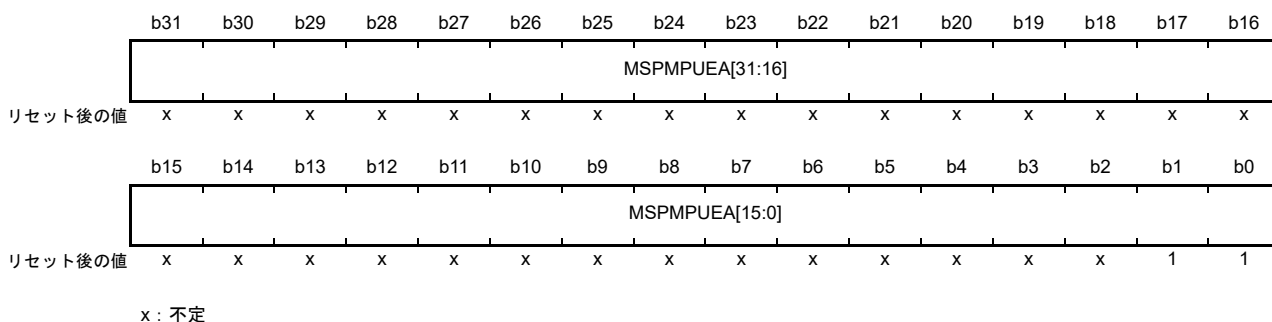


ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUSA[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは0にしてください。値の範囲は、予約領域を除く 1FF0 0000h～200F FFFChです。	R/W

MSPMPUSA レジスタと **MSPMPUEA** レジスタでは、SRAM の CPU スタック領域 (1FF0 0000h～200F FFFFh) のうち、予約領域を除く領域) を指定します。カバーされる SRAM 領域については、[図 4.1](#) のメモリマップを参照してください。

15.2.3.2 メインスタックポインタ (MSP) モニタ終了アドレスレジスタ (MSPMPUEA)

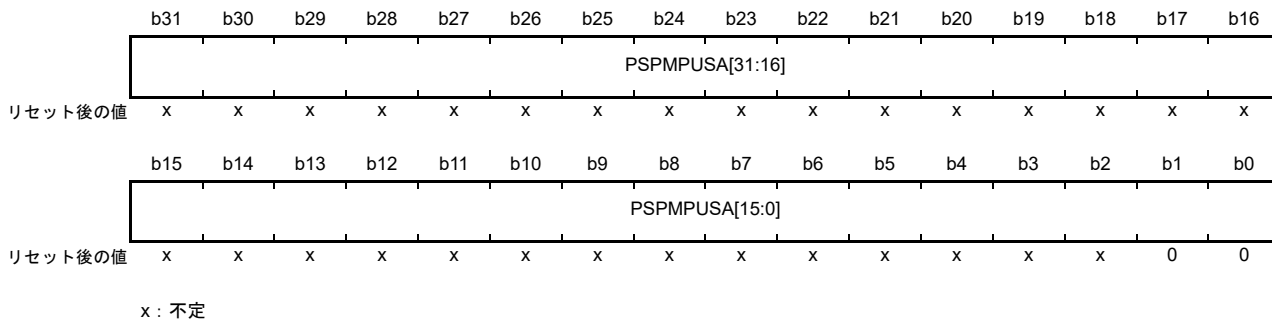
アドレス `SPMON.MSPMPUEA 4000 0D0Ch`



ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUEA[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは1にしてください。値の範囲は、予約領域を除く 1FF0 0003h～200F FFFFhです。	R/W

15.2.3.3 プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ (PSPMPUSA)

アドレス [SPMON.PSPMPUSA 4000 0D18h](#)

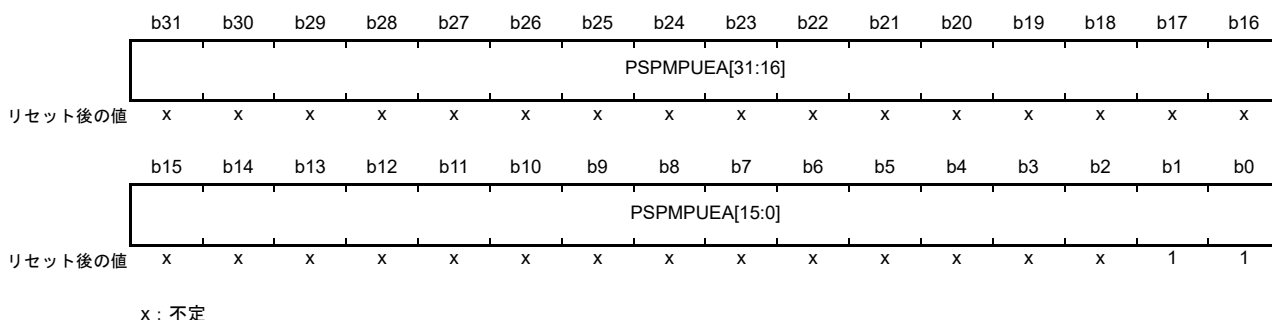


ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUSA[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは0にしてください。値の範囲は、予約領域を除く 1FF0 0000h～200F FFFChです。	R/W

PSPMPUSA レジスタと **PSPMPUEA** レジスタでは、SRAM の CPU スタック領域 (1FF0 0000h ~ 200F FFFh のうち、予約領域を除く領域) を指定します。カバーされる SRAM 領域については、[図 4.1](#) のメモリマップを参照してください。

15.2.3.4 プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ (PSPMPUEA)

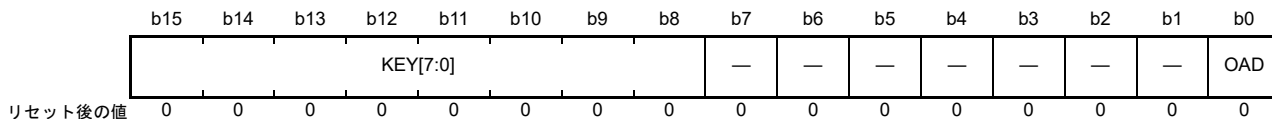
アドレス [SPMON.PSPMPUEA 4000 0D1Ch](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUEA[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは1にしてください。値の範囲は、予約領域を除く 1FF0 0003h～200F FFFhです。	R/W

15.2.3.5 スタックポインタモニタ検出後動作レジスタ (MSPMPUOAD, PSPMPUOAD)

アドレス SPMON.MSPMPUOAD 4000 0D00h, SPMON.PSPMPUOAD 4000 0D10h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OAD ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

OAD ビット (検出後の動作)

CPU スタックポインタモニタによってスタックポインタのアンダーフローまたはオーバーフローが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。

メインスタックポインタモニタとプロセススタックポインタモニタは、それぞれ OAD ビットを使用して、スタックポインタのアンダーフローまたはオーバーフロー検出時に発生させる信号を決定します。OAD ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

15.2.3.6 スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL, PSPMPUCTL)

アドレス SPMON.MSPMPUCTL 4000 0D04h, SPMON.PSPMPUCTL 4000 0D14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ERROR	—	—	—	—	—	—	—	ENABLE
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	スタックポインタモニタ有効	0: スタックポインタモニタ無効 1: スタックポインタモニタ有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ERROR	スタックポインタモニタエラーフラグ	0: スタックポインタにオーバーフロー／アンダーフローなし 1: スタックポインタにオーバーフロー／アンダーフローあり	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 初期値はリセット発生要因によって異なります。

ENABLE ビット (スタックポインタモニタ有効)

スタックポインタモニタ機能を有効または無効にします。メインスタックポインタモニタとプロセススタックポインタモニタを個別に設定できます。

MSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- MSPMPUSA
- MSPMPUEA
- MSPMPUOAD

PSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- PSPMPUSA
- PSPMPUEA
- PSPMPUOAD

ERROR ビット (スタックポインタモニタエラーフラグ)

スタックポインタモニタの状態を示します。各スタックポインタモニタは独立した ERROR ビットを持っています。

[1 になる条件]

- スタックポインタがオーバーフローまたはアンダーフローしたとき

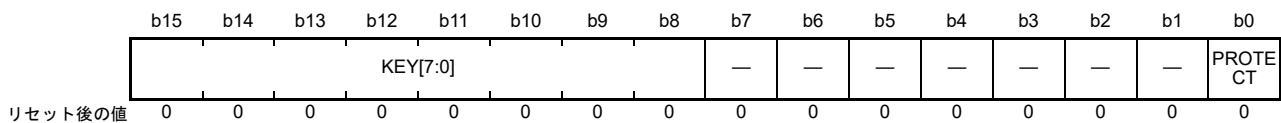
[0 になる条件]

- 本ビットに 0 を書いたとき
- バスマスタ MPU エラーリセット、バスマスレーブ MPU エラーリセット、およびスタックポインタエラーリセット以外のリセット時

注. 本ビットには 0 のみ書けます。

15.2.3.7 スタックポインタモニタ保護レジスタ (MSPMPUPT, PSPMPUPT)

アドレス SPMON.MSPMPUPT 4000 0D06h, SPMON.PSPMPUPT 4000 0D16h



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0 : スタックポインタモニタ関連レジスタへの書き込みを許可 1 : スタックポインタモニタ関連レジスタへの書き込みから保護 (読み出しは可能)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECT ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

PROTECT ビット (レジスタの保護)

保護する関連レジスタへの書き込みを許可または禁止します。メインスタックポインタモニタとプロセススタックポインタモニタをそれぞれ個別に設定できます。

MSPMPUPT.PROTECT ビットは、下記のメインスタックポインタ保護レジスタを制御します。

- MSPMPUCTL
- MSPMPUSA
- MSPMPUEA

PSPMPUPT.PROTECT ビットは、下記のプロセススタックポインタ保護レジスタを制御します。

- PSPMPUCTL
- PSPMPUSA
- PSPMPUEA

PROTECT ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 0 が読み出されます。

15.3 Arm MPU

Arm MPU は、下記の項目を全面的にサポートしています。

- 8つのメモリ保護領域
- アクセス許可
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致および許可違反によって、優先順位のプログラム可能な **MemManage** フォルト（ハード障害）ハンドラが呼び出されます。詳細は、[15.7 参考資料の 2.](#)を参照してください。

15.4 バスマスタ MPU

バスマスタ MPU は、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象にバスマスタがアクセスするアドレスを監視しています。アクセス制御情報は、読み出し許可と書き込み許可からなり、最大 4 の領域に対して個別に設定が可能です。バスマスタ MPU は、これらの設定に基づいて各領域へのアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU は内部リセットまたはノンマスカブル割り込みを発生させます。エラーアクセスの詳細については、「14. バス」の 14.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 3, 4) および 14.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 3, 4) を参照してください。

表 15.4 にバスマスタ MPU の仕様を、図 15.3 にブロック図を示します。

表 15.4 バスマスタ MPU の仕様

項目	内容
保護されるマスタグループ	バスマスタ MPU グループ A : DMA バス
保護領域	0000 0000h ~ FFFF FFFFh
領域数	バスマスタ MPU グループ A : 4 領域
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のメモリプロテクション有効/無効設定	関連する領域の設定の有効/無効
各領域のアクセス制御設定	読み出し許可と書き込み許可
エラー検出時の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	レジスタに対する不正書き込みの防止が可能

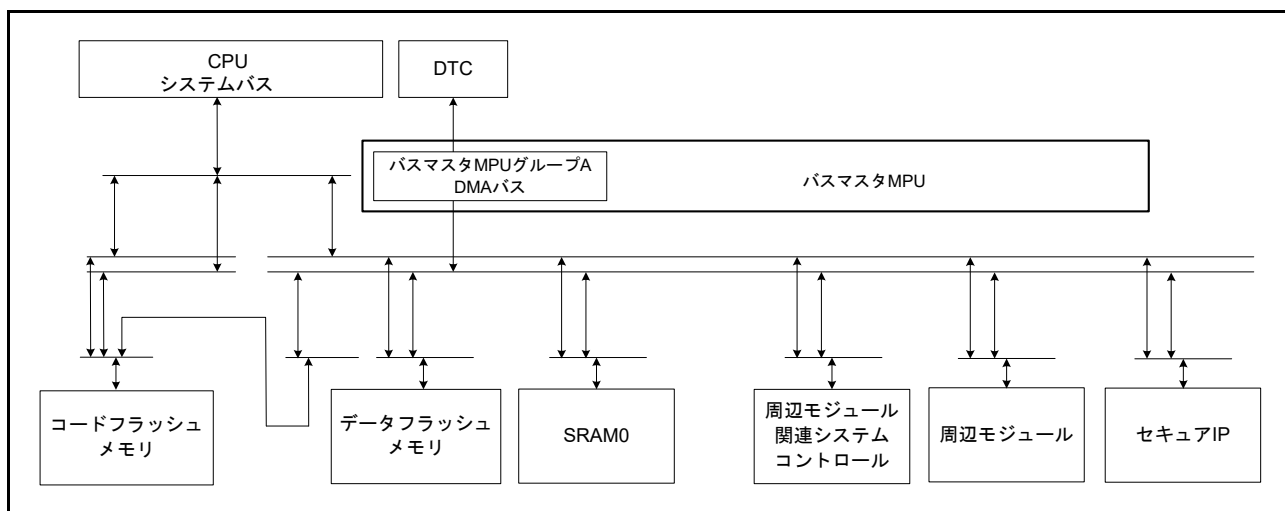


図 15.3 バスマスタ MPU のブロック図

図 15.4 に、バスマスタ MPU グループ A の構成を示します。

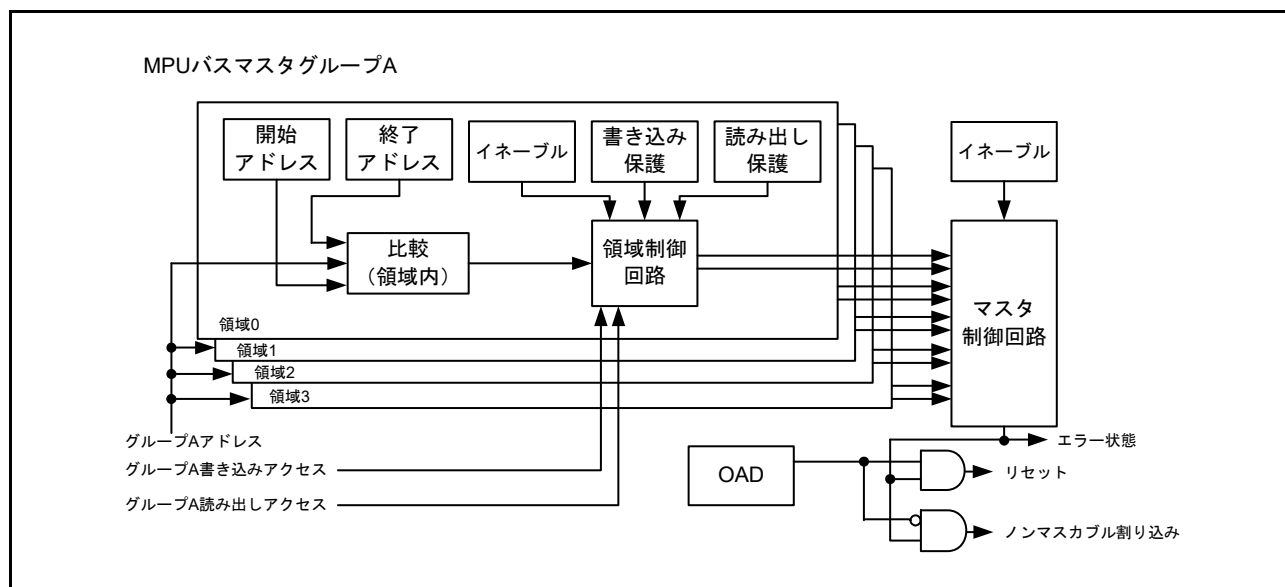


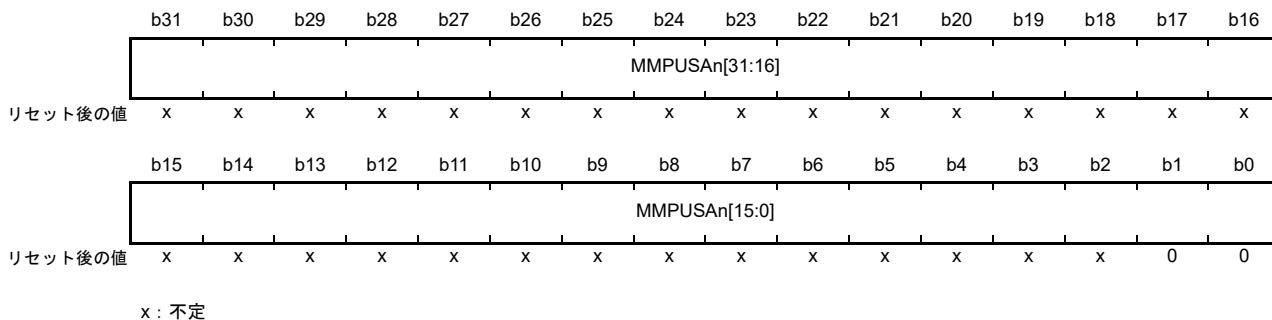
図 15.4 バスマスタ MPU グループ A の構成

15.4.1 レジスタの説明

注. MPUレジスタに書き込みを行う前に、バスアクセスを停止する必要があります。

15.4.1.1 グループ A 領域 n 開始アドレスレジスタ (MMPUSAn) (n = 0 ~ 3)

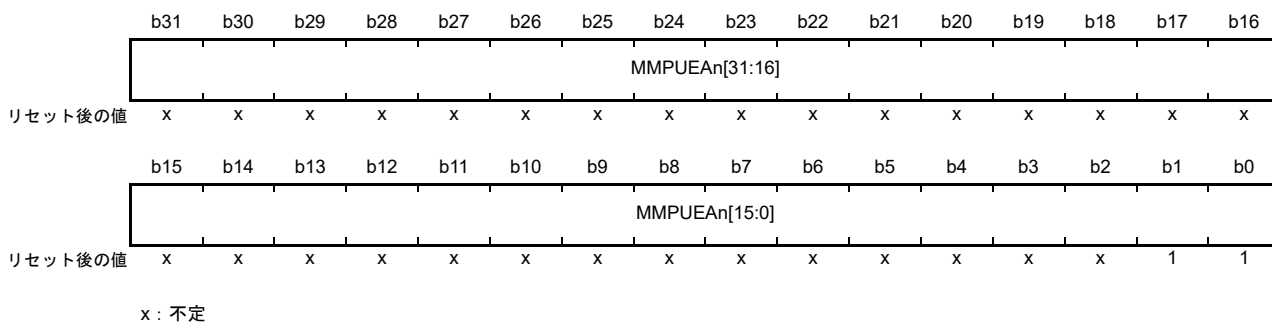
アドレス [MMPU.MMPUSA0 4000 0204h](#), [MMPU.MMPUSA1 4000 0214h](#), [MMPU.MMPUSA2 4000 0224h](#), [MMPU.MMPUSA3 4000 0234h](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUSAn[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。下位2ビットは0にしてください。	R/W

15.4.1.2 グループ A 領域 n 終了アドレスレジスタ (MMPUEAn) (n = 0 ~ 3)

アドレス [MMPU.MMPUEA0 4000 0208h](#), [MMPU.MMPUEA1 4000 0218h](#), [MMPU.MMPUEA2 4000 0228h](#), [MMPU.MMPUEA3 4000 0238h](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUEAn[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。下位2ビットは1にしてください。	R/W

15.4.1.3 グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 3)

アドレス MMPU.MMPUACA0 4000 0200h, MMPU.MMPUACA1 4000 0210h, MMPU.MMPUACA2 4000 0220h, MMPU.MMPUACA3 4000 0230h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	領域有効	0 : グループ A 領域 n ユニットの無効 1 : グループ A 領域 n ユニットの有効	R/W
b1	RP	読み出し保護	0 : 読み出しアクセスを許可 1 : 読み出しアクセスを保護	R/W
b2	WP	書き込み保護	0 : 書き込みアクセスを許可 1 : 書き込みアクセスを保護	R/W
b15-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

ENABLE ビット、RP ビット、および WP ビットは、グループ A 領域 n ユニットの個別に設定が可能です。

ENABLE ビット (領域有効)

グループ A 領域 n ユニットの有効または無効にします。ENABLE ビットを 1 にした場合、RP ビットと WP ビットによって、MMPUSAn レジスタと MMPUEAn レジスタに設定した領域へのアクセスを許可または保護することが可能です。ENABLE ビットを 0 にした場合、グループ A 領域 n のアクセスに対して領域は指定されません。

RP ビット (読み出し保護)

グループ A 領域 n の読み出し保護を有効または無効にします。ENABLE ビットを 1 にした場合に RP ビットを使用できます。

WP ビット (書き込み保護)

グループ A 領域 n の書き込み保護を有効または無効にします。ENABLE ビットを 1 にした場合に WP ビットを使用できます。

MMPUACAn レジスタで設定した領域にアクセスした際に、グループ A 領域 n ユニットから出力される情報の対応を表 15.5 に示します。

表 15.5 領域制御回路の機能

MMPUACAn. ENABLE	MMPUACAn. RP	MMPUACAn. WP	アクセス	領域	グループA領域 nユニットの出力
0	—	—	読み出し	—	領域外
			書き込み		領域外
1	0	0	読み出し	内部	許可領域
				外部	領域外
			書き込み	内部	許可領域
				外部	領域外
	0	1	読み出し	内部	許可領域
				外部	領域外
			書き込み	内部	保護領域
				外部	領域外
	1	0	読み出し	内部	保護領域
				外部	領域外
			書き込み	内部	許可領域
				外部	領域外
	1	1	読み出し	内部	保護領域
				外部	領域外
			書き込み	内部	保護領域
				外部	領域外

n = 0 ~ 3

表 15.6 マスタ制御回路の機能

MMPUCTLA. ENABLE	グループA領域 0ユニットの出力	グループA領域 1ユニットの出力	グループA領域 2~3ユニットの出力	グループAの機能
1	保護領域	Don't care	Don't care	エラー発生
1	Don't care	保護領域	Don't care	エラー発生
1	Don't care	Don't care	保護領域	エラー発生
1	領域外	領域外	領域外	エラー発生
その他の場合				エラーなし

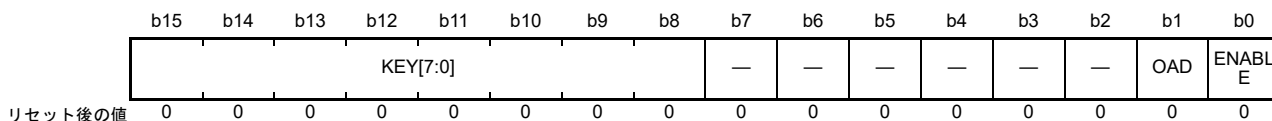
マスタ MPU エラーは下記の条件で発生します。

- MMPUCTLA.ENABLE = 1 で、かつ 1 つ以上の領域 n ユニットの出力が保護領域の場合
- MMPUCTLA.ENABLE = 1 で、かつすべての領域 n ユニットの出力が領域外の場合

その他の場合は許可領域として処理される

15.4.1.4 バスマスタ MPU コントロールレジスタ (MMPUCTLA)

アドレス MMPU.MMPUCTLA 4000 0000h



ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	マスタグループ有効	0 : マスタグループAは無効 1 : マスタグループAは有効	R/W
b1	OAD	検出後の動作	0 : ノンマスカブル割り込み 1 : リセット	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとENABLEビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

ENABLE ビット (マスタグループ有効)

マスタグループ A のバスマスタ MPU 機能を有効または無効にします。

本ビットを 1 にすると、MMPUACAn レジスタが使用可能になります。本ビットを 1 にすると、MMPUACAn レジスタが使用可能になります。本ビットを 0 にすると、すべての領域の許可領域を含めて、MMPUACAn レジスタが使用できなくなります。ENABLE ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

OAD ビット (検出後の動作)

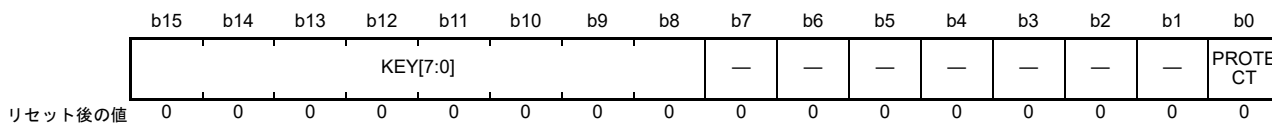
バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。OAD ビットを設定する際は、同時にハーフワードアクセスを使って KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

ENABLE ビットと OAD ビットへの書き込みを許可または禁止します。ENABLE ビットと OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、ENABLE ビットと OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

15.4.1.5 グループ A レジスタ保護 (MMPUPTA)

アドレス MMPU.MMPUPTA 4000 0102h



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0 : 全バスマスタ MPU グループ A レジスタの書き込みを許可 1 : 全バスマスタ MPU グループ A レジスタの書き込みを保護。 読み出しは可能	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECT ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。

MMPUPTA.PROTECT ビットは、バスマスタ MPU グループ A 関連レジスタへの書き込み保護を制御します。下記のレジスタが MMPUPTA.PROTECT ビットで保護されます。

- MMPUSAn
- MMPUEAn
- MMPUACAn
- MMPUCTLA

PROTECT ビットを設定する際は、同時にハーフワードアクセスを使って KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

15.4.2 動作説明

15.4.2.1 メモリプロテクション

バスマスタ MPU は、アクセス制御領域に対して個別に設定された制御情報を用いてメモリアccessを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は、最大 4 つの保護領域に対して設定することが可能です。保護領域には、許可領域と保護領域のオーバーラップした領域と、2 つの許可領域のオーバーラップした領域が含まれます。

バスマスタ MPU にはグループ A があります。メモリプロテクション機能は、統合されたマスタグループに対してバスのアドレスをチェックし、マスタグループの全アクセスが保護されます。バスマスタ MPU は、リセット後、すべての領域を許可に設定します。MMPUCTLA.ENABLE ビットを 1 にすることで、全領域が保護されます。各領域は、保護領域上に許可領域を設定します。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 15.5 に、バスマスタ MPU の使用例を示します。

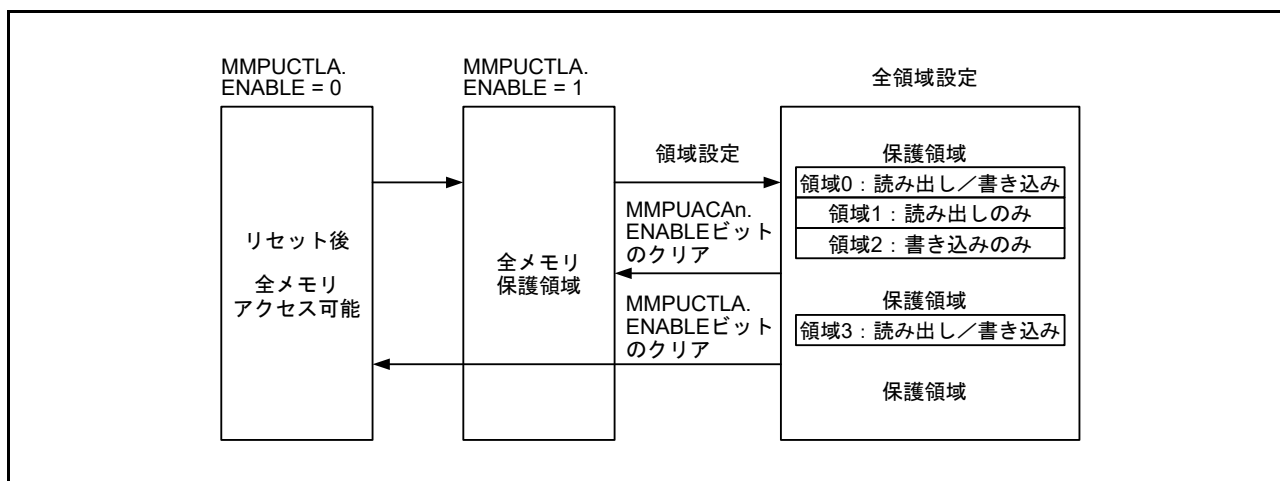


図 15.5 バスマスタ MPU の使用例

図 15.6 に、バスマスタ MPU のオーバーラップ領域に対するアクセスの許可または保護について示します。

オーバーラップ領域に対するアクセス制御は以下のとおりです。

1. 1 つ以上の領域ユニットの出力が保護領域の場合、領域は保護領域として処理される
2. すべての領域ユニットの出力が領域外の場合、領域は保護領域として処理される
3. その他の場合は許可領域として処理される

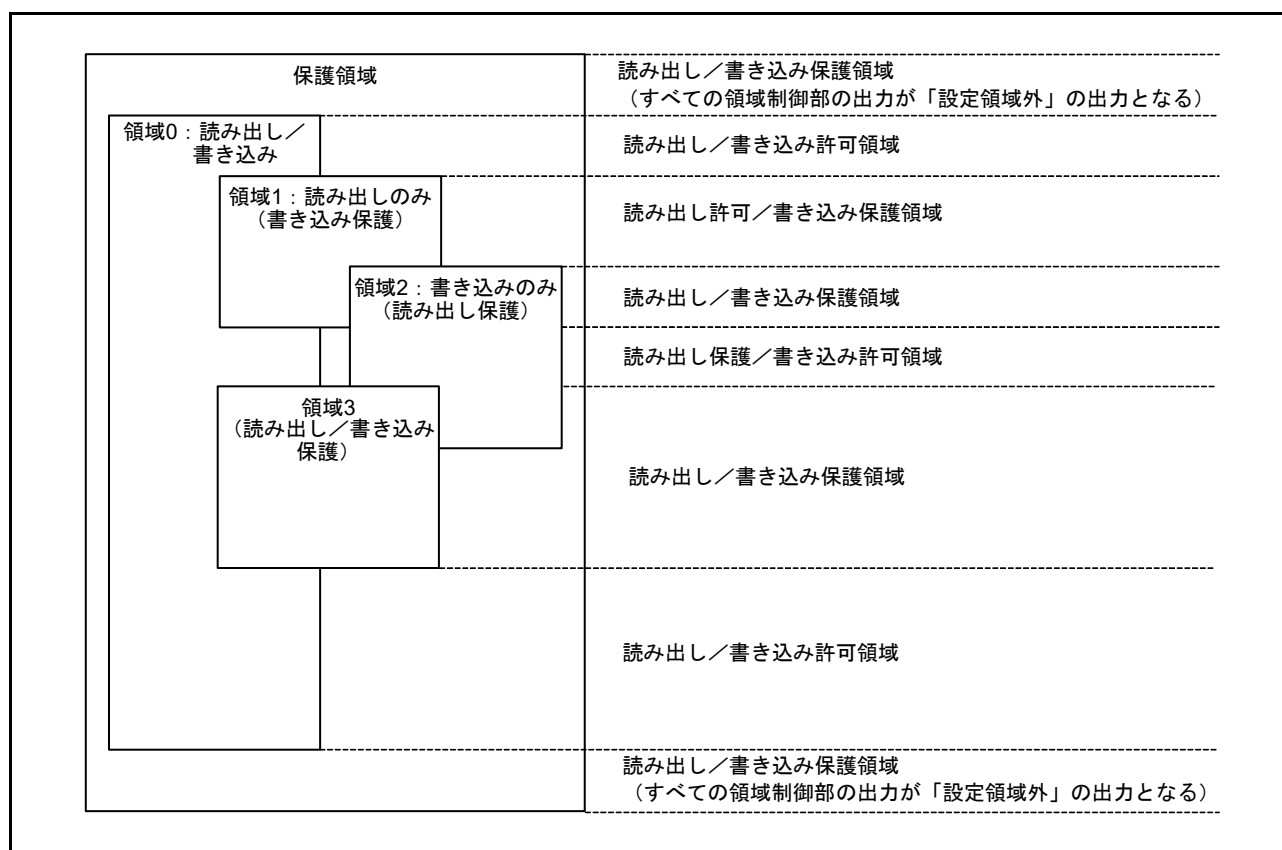


図 15.6 バスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護

図 15.7 に、リセット後のレジスタ設定フローを示します。本レジスタ設定中は、CPU を除くバスマスタを停止してください。

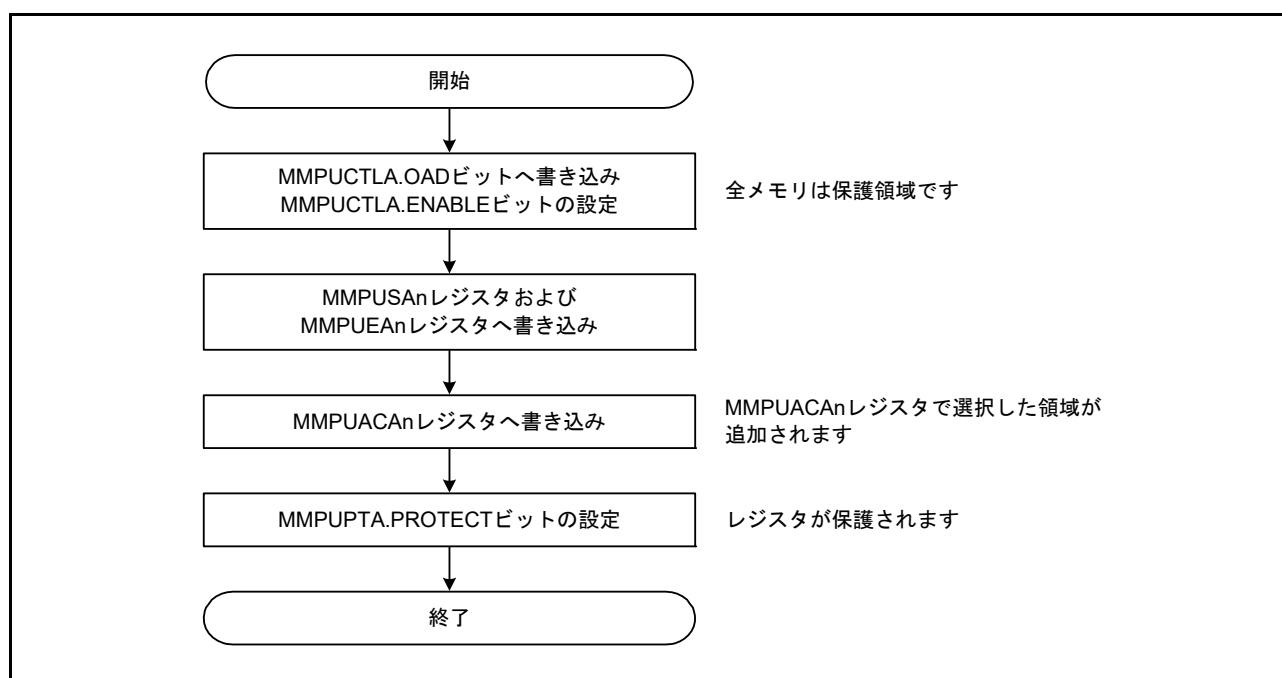


図 15.7 リセット後のレジスタ設定フロー

図 15.8 に、領域を追加するためのレジスタ設定フローを示します。本レジスタ設定中は、CPU を除く全マスタを停止してください。



図 15.8 領域追加のレジスタ設定フロー

15.4.2.2 レジスタの保護

バスマスタ MPU 関連のレジスタを保護するには、MMPUPTA レジスタの PROTECT ビットを設定します。

15.4.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。ノンマスカブル割り込み状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「[13. 割り込みコントロールユニット \(ICU\)](#)」を参照してください。リセット状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「[6. リセット](#)」を参照してください。

15.5 バススレーブ MPU

バススレーブ MPU は、フラッシュや SRAM などのバススレーブ機能に対するアクセスを監視します。バススレーブ機能は、2 つのバスマスタ、CPU、およびバスマスタ MPU グループ A からアクセスできます。バススレーブ MPU は、2 つのバスマスタごとに独立したプロテクトレジスタを備えており、それぞれ個別にアクセス保護が可能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はリセットまたはノンマスカブル割り込みを発生させ、バスエラー状態、エラーアクセス状態、およびバスエラーアドレスを I/O レジスタに格納できます。詳細は「14. バス」の 14.3.3 バスエラーアドレスレジスタ (BUSnERRADD) ($n = 3, 4$) および 14.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) ($n = 3, 4$) を参照してください。各領域のアクセス制御情報は、読み出し許可と書き込み許可で構成されます。

表 15.7 にバススレーブ MPU の仕様を、図 15.9 にブロック図を示します。

表 15.7 バススレーブ MPU の仕様

項目	内容
バスマスタの保護	バスマスタ MPU グループ A : DMA バス
スレーブ機能の保護	メモリバス 1 : コードフラッシュメモリ メモリバス 4 : SRAM0 内部周辺バス 1 : システムコントロール関連の周辺モジュールに接続 内部周辺バス 3 : 周辺モジュール (CAC, ELC, I/O ポート, POEG, RTC, WDT, IWD, IIC, CAN, ADC16, SDADC24, DOC, GPT, SCI, SPI, CRC) に接続 内部周辺バス 5 : 周辺モジュール (KINT, AGT, USBFS, DAC12, DAC8, OPAMP, ACMPLP, CTSU) に接続 内部周辺バス 7 : セキュア IP (AES および TRNG) に接続 内部周辺バス 9 : フラッシュメモリ (P/E 時) とデータフラッシュメモリ
各領域のアクセス制御設定	読み出し許可、書き込み許可
検出後の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	レジスタに対する不正書き込みの防止が可能

バススレーブ MPU はそれぞれのバススレーブ側に配置され、各バスマスタから各バススレーブへのアクセスを許可または保護します。

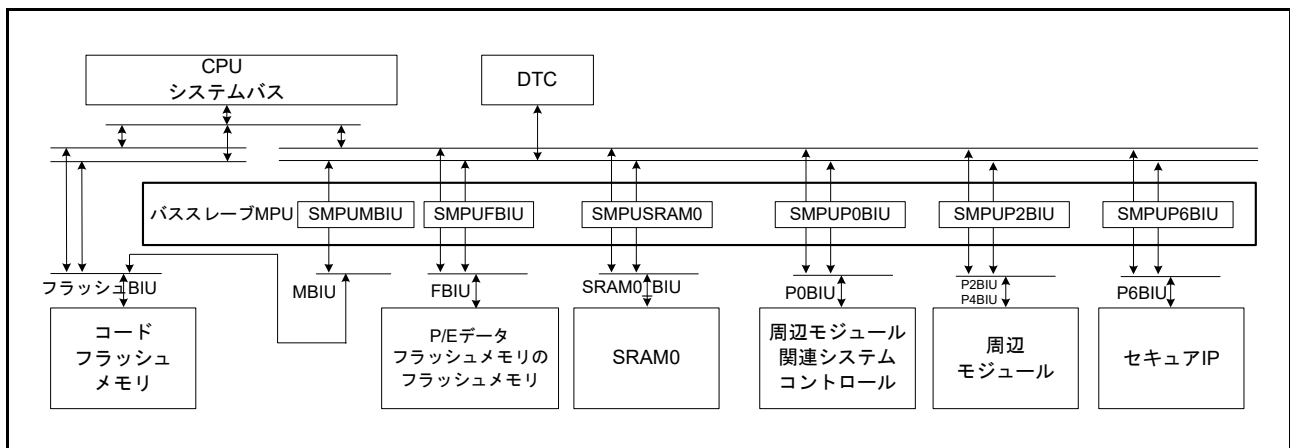


図 15.9 バススレーブ MPU のブロック図

15.5.1 レジスタの説明

注. MPUレジスタに書き込みを行う前に、バスアクセスを停止する必要があります。

15.5.1.1 メモリバス 1 アクセスコントロールレジスタ (SMPUMBIU)

アドレス [SMPU.SMPUMBIU 4000 0C10h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	RPGRPA	マスタ MPU グループ A 読み出し保護	0: マスタ MPU グループ A の読み出しに対するメモリプロテクションは無効 1: マスタ MPU グループ A の読み出しに対するメモリプロテクションは有効	R/W
b3	WPGRPA	マスタ MPU グループ A 書き込み保護	0: マスタ MPU グループ A の書き込みに対するメモリプロテクションは無効 1: マスタ MPU グループ A の書き込みに対するメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

[RPGRPA](#) ビット (マスタ MPU グループ A 読み出し保護)

メモリバス 1 でのマスタ MPU グループ A による読み出しに対してメモリプロテクションを有効または無効にします。

[WPGRPA](#) ビット (マスタ MPU グループ A 書き込み保護)

メモリバス 1 でのマスタ MPU グループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.2 内部周辺バス 9 アクセスコントロールレジスタ (SMPUFBIU)

アドレス SMPU.SMPUFBIU 4000 0C14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタ MPUグループA読み出し保護	0: マスタ MPUグループA読み出しに対するメモリプロテクションは無効 1: マスタ MPUグループA読み出しに対するメモリプロテクションは有効	R/W
b3	WPGRPA	マスタ MPUグループA書き込み保護	0: マスタ MPUグループA書き込みに対するメモリプロテクションは無効 1: マスタ MPUグループA書き込みに対するメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 9 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 9 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタ MPU グループ A 読み出し保護)

内部周辺バス 9 でのマスタ MPU グループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタ MPU グループ A 書き込み保護)

内部周辺バス 9 でのマスタ MPU グループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.3 メモリバス 4 アクセスコントロールレジスタ (SMPUSRAM0)

アドレス SMPU.SMPUSRAM0 4000 0C18h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタ MPU グループ A 読み出し保護	0: マスタ MPU グループ A 読み出しに対するメモリプロテクションは無効 1: マスタ MPU グループ A 読み出しに対するメモリプロテクションは有効	R/W
b3	WPGRPA	マスタ MPU グループ A 書き込み保護	0: マスタ MPU グループ A 書き込みに対するメモリプロテクションは無効 1: マスタ MPU グループ A 書き込みに対するメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

メモリバス 4 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

メモリバス 4 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタ MPU グループ A 読み出し保護)

メモリバス 4 でのマスタ MPU グループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタ MPU グループ A 書き込み保護)

メモリバス 4 でのマスタ MPU グループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.4 内部周辺バス 1 アクセスコントロールレジスタ (SMPUP0BIU)

アドレス SMPU.SMPUP0BIU 4000 0C20h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタ MPU グループ A 読み出し保護	0: マスタ MPU グループ A 読み出しに対するメモリプロテクションは無効 1: マスタ MPU グループ A 読み出しに対するメモリプロテクションは有効	R/W
b3	WPGRPA	マスタ MPU グループ A 書き込み保護	0: マスタ MPU グループ A 書き込みに対するメモリプロテクションは無効 1: マスタ MPU グループ A 書き込みに対するメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 1 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 1 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタ MPU グループ A 読み出し保護)

内部周辺バス 1 でのマスタ MPU グループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタ MPU グループ A 書き込み保護)

内部周辺バス 1 でのマスタ MPU グループ A による書き込みに対してメモリプロテクションを有効または無効にします。

注. SMPUP0BIU レジスタによる読み出し／書き込みプロテクションは、MTB I/O レジスタ領域 (4001 9000h ~ 4001 9FFFh) では制御されません。

15.5.1.5 内部周辺バス 3 アクセスコントロールレジスタ (SMPUP2BIU)

アドレス SMPU.SMPUP2BIU 4000 0C24h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGR PA	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタ MPU グループ A 読み出し保護	0: マスタ MPU グループ A 読み出しに対するメモリプロテクションは無効 1: マスタ MPU グループ A 読み出しに対するメモリプロテクションは有効	R/W
b3	WPGRPA	マスタ MPU グループ A 書き込み保護	0: マスタ MPU グループ A 書き込みに対するメモリプロテクションは無効 1: マスタ MPU グループ A 書き込みに対するメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 3 および内部周辺バス 5 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 3 および内部周辺バス 5 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタ MPU グループ A 読み出し保護)

内部周辺バス 3 および内部周辺バス 5 でのマスタ MPU グループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタ MPU グループ A 書き込み保護)

内部周辺バス 3 および内部周辺バス 5 でのマスタ MPU グループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.6 内部周辺バス 7 アクセスコントロールレジスタ (SMPUP6BIU)

アドレス SMPU.SMPUP6BIU 4000 0C28h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタ MPU グループ A 読み出し保護	0: マスタ MPU グループ A 読み出しに対するメモリプロテクションは無効 1: マスタ MPU グループ A 読み出しに対するメモリプロテクションは有効	R/W
b3	WPGRPA	マスタ MPU グループ A 書き込み保護	0: マスタ MPU グループ A 書き込みに対するメモリプロテクションは無効 1: マスタ MPU グループ A 書き込みに対するメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 7 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 7 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタ MPU グループ A 読み出し保護)

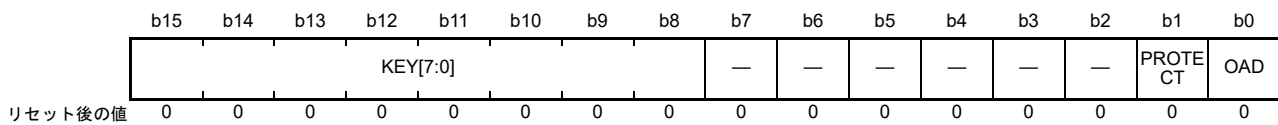
内部周辺バス 7 でのマスタ MPU グループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタ MPU グループ A 書き込み保護)

内部周辺バス 7 でのマスタ MPU グループ A による書き込みに対してメモリプロテクションを有効または無効にします。

15.5.1.7 スレーブ MPU コントロールレジスタ (SMPUCTL)

アドレス SMPU.SMPUCTL 4000 0C00h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0 : ノンマスカブル割り込み 1 : リセット	R/W
b1	PROTECT	レジスタの保護	0 : 全バスのスレーブ MPU レジスタの書き込みを許可 1 : 全バスのスレーブ MPU レジスタの書き込みを保護 (読み出しは許可)	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

OAD ビット (検出後の動作)

バススレーブ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。PROTECT ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。SMPUCTL.PROTECT ビットは下記のレジスタを制御します。

- SMPUMBIU
- SMPUFBIU
- SMPUSRAM0
- SMPUP0BIU
- SMPUP2BIU
- SMPUP6BIU

PROTECT ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。OAD ビットと PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、OAD ビットと PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

15.5.2 動作説明

15.5.2.1 メモリプロテクション

バススレーブ MPU による監視は、各アクセスコントロールレジスタに設定されたアクセス制御情報を使用します。保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。

バススレーブ MPU は、各アクセスコントロールレジスタ (SMPUMBIU, SMPUFBIU, SMPUSRAM0, SMPUP0BIU, SMPUP2BIU, SMPUP6BIU) の書き込み保護 (WPCPU または WPGRPA) ビットまたは読み出し保護 (RPCPU または RPGRPA) ビットを 1 にすることで有効になります。

15.5.2.2 レジスタの保護

バススレーブ MPU 関連のレジスタは、SMPUCTL レジスタの PROTECT ビットで保護することが可能です。

15.5.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSSST フラグに示されます。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSSRF フラグに示されます。詳細は、「[6. リセット](#)」を参照してください。

15.6 セキュリティ MPU

本 MCU には 4 つのセキュリティ領域を持つセキュリティ MPU が内蔵されており、セキュリティ領域にはコードフラッシュ、SRAM、および 2 つのセキュリティ機能が含まれます。セキュリティ領域を、非セキュアプログラムのアクセスから保護することが可能です。非セキュアプログラムは保護領域にアクセスできません。

表 15.8 に、セキュリティ MPU の仕様を、図 15.10 にブロック図を示します。

表 15.8 セキュリティ MPU の仕様

項目	内容
セキュリティ領域	コードフラッシュ、SRAM、2つのセキュリティ機能
保護領域	0000 0000h ~ FFFF FFFFh
領域数	プログラムカウンタ : 2領域 データアクセス : 4領域
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のメモリプロテクション有効/無効設定	対応する領域に対し、有効/無効を設定

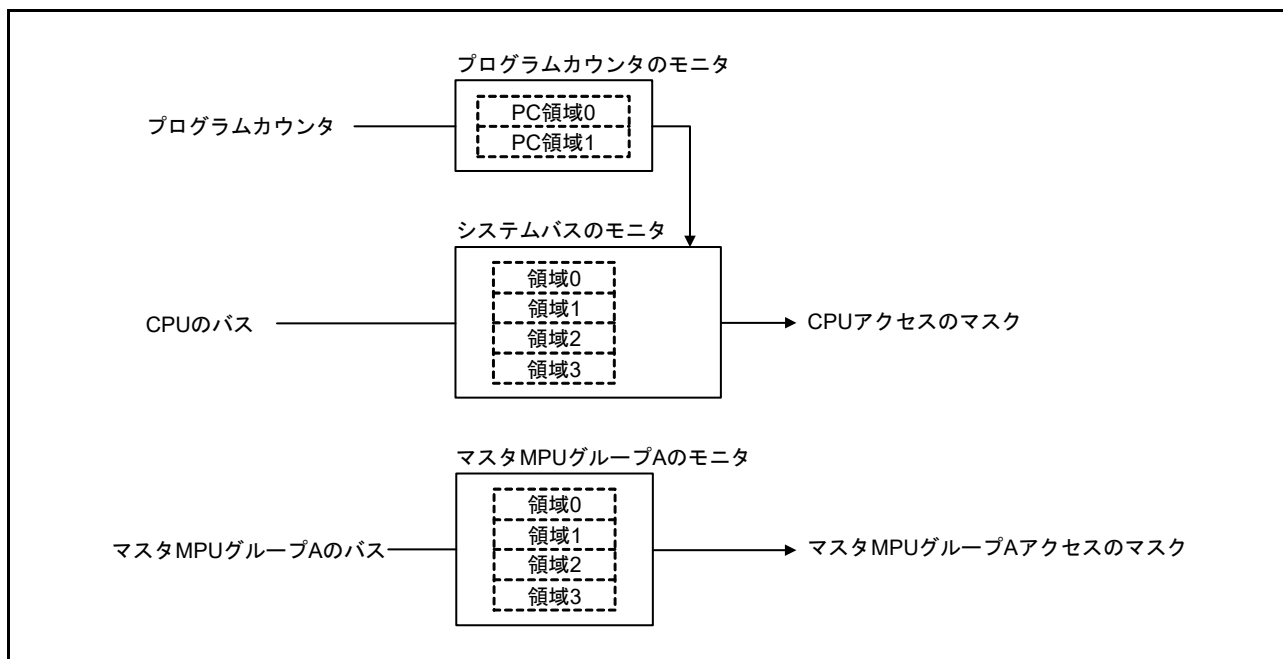


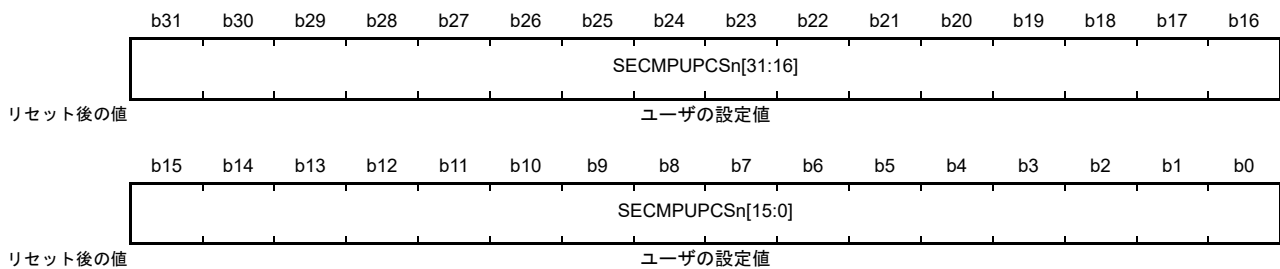
図 15.10 セキュリティ MPU のブロック図

15.6.1 レジスタの説明 (オプション設定メモリ)

セキュリティ MPU のすべてのレジスタは、オプション設定メモリです。オプション設定メモリとは、リセット後のマイコンの状態を選択するために利用可能な一連のレジスタを指します。オプション設定メモリはコードフラッシュに配置されます。

15.6.1.1 セキュリティ MPU プログラムカウンタ開始アドレスレジスタ n (SECMUPCSn) (n = 0, 1)

アドレス [SECMUPCS0 0000 0408h/0000 2408h](#) (注1) , [SECMUPCS1 0000 0410h/0000 2410h](#) (注1)



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

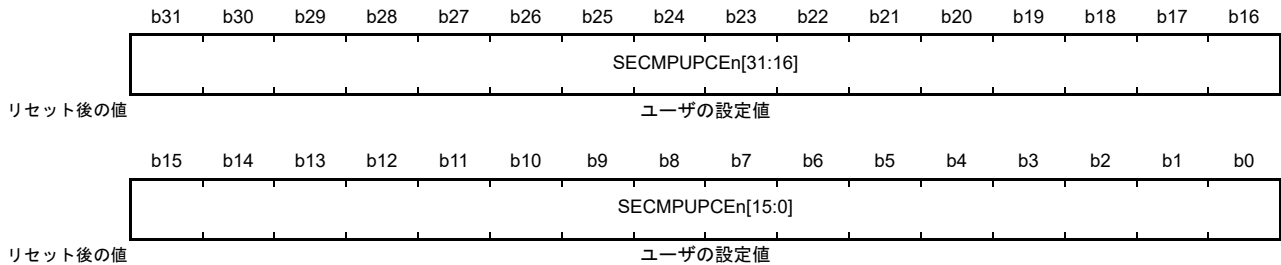
ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMUPCSn[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。書く場合、0としてください。値の範囲は、予約領域を除く 0000 0000h ~ 000F FFFChまたは 1FF0 0000h ~ 200F FFFChです。	R

SECMUPCSn レジスタと SECMUPCEn レジスタには、コードフラッシュ（予約領域を除く 0000 0000h ~ 000F FFFFh）または SRAM（予約領域を除く 1FF0 0000h ~ 200F FFFFh）のセキュリティフェッチ領域を指定してください。セキュアプログラムは、SECMUPCSn レジスタおよび SECMUPCEn レジスタで定義されたメモリ空間で実行され、SECMUPSm レジスタおよび SECMPUEm レジスタ（m = 0 ~ 3）で指定されたセキュアデータにアクセスできます。

SECMUPCSn レジスタは、領域開始位置のアドレスを指定します。MMF のメモリミラー空間 (0200 0000h ~ 027F FFFFh) に設定することは禁止です。

15.6.1.2 セキュリティ MPU プログラムカウンタ終了アドレスレジスタ n (SECMUPCEn) (n = 0, 1)

アドレス [SECMUPCE0 0000 040Ch/0000 240Ch](#) (注1) , [SECMUPCE1 0000 0414h/0000 2414h](#) (注1)



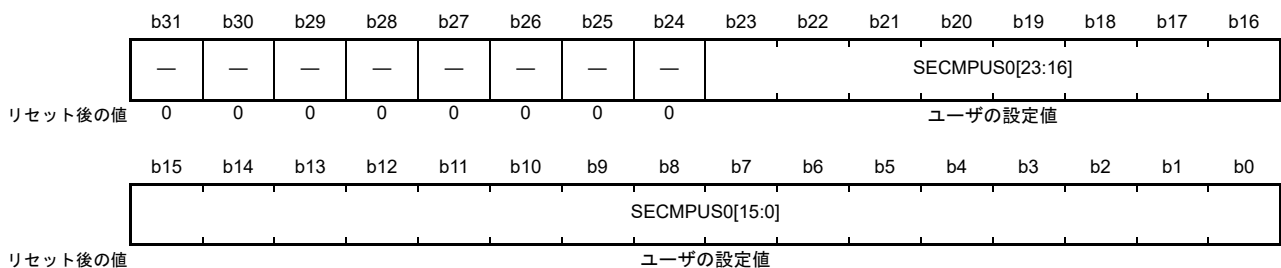
注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMUPCEn[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュに書き込む場合、1としてください。値の範囲は、予約領域を除く 0000 0003h ~ 000F FFFFh または 1FF0 0003h ~ 200F FFFFh です。	R

SECMUPCEn レジスタは、領域終了位置のアドレスを指定します。

15.6.1.3 セキュリティ MPU 領域 0 開始アドレスレジスタ (SECMUPS0)

アドレス [SECMUPS0 0000 0418h/0000 2418h](#) (注1)



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

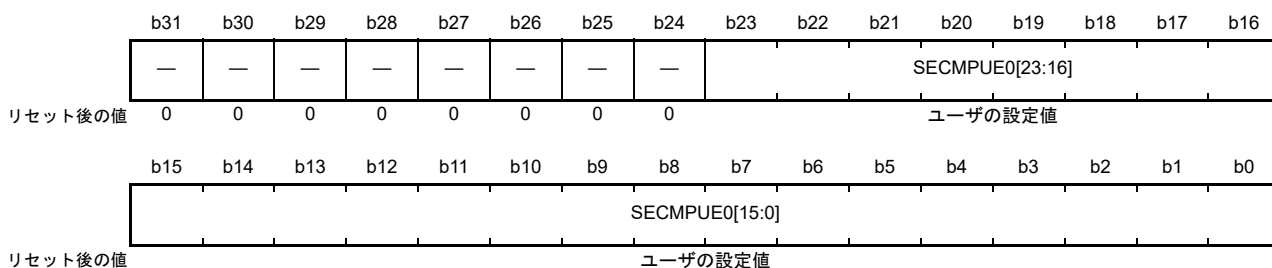
ビット	シンボル	ビット名	機能	R/W
b23-b0	SECMUPS0[23:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。コードフラッシュに書き込む場合、0としてください。値の範囲は、予約領域を除く 0000 0000h ~ 000F FFFCh です。	R
b31-b24	—	予約ビット	読むと0が読めます。コードフラッシュに書き込む場合、0としてください。	R

SECMUPS0 レジスタと SECMUPUE0 レジスタには、コードフラッシュのセキュア領域（予約領域を除く 0000 0000h ~ 000F FFFFh）を設定してください。SECMUPS0 レジスタおよび SECMUPUE0 レジスタで定義されたメモリ空間は、SECMUPPCSn レジスタおよび SECMUPPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMUPS0 レジスタは、領域開始位置のアドレスを指定します。ベクタテーブル領域の設定は禁止されています。

15.6.1.4 セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMPEUE0)

アドレス SECMPEUE0 0000 041Ch/0000 241Ch (注1)



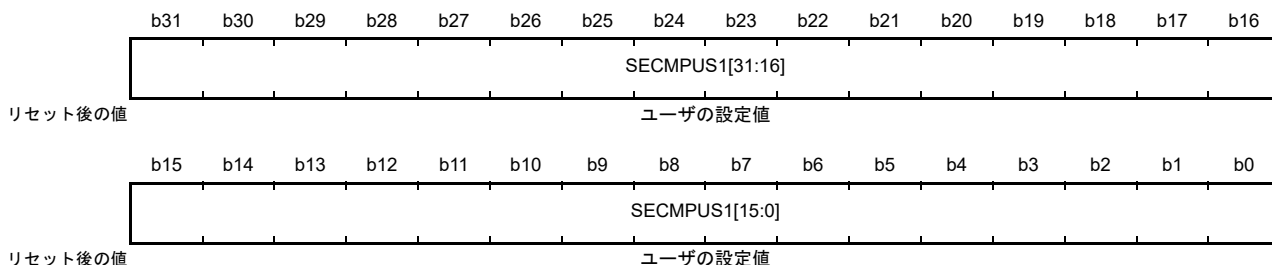
注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b23-b0	SECMPEUE0[23:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュに書き込む場合、1としてください。値の範囲は、予約領域を除く 0000 0003h～000F FFFFhです。	R
b31-b24	—	予約ビット	読むと0が読めます。コードフラッシュに書き込む場合、0としてください。	R

SECMPEUE0 レジスタは、領域終了位置のアドレスを指定します。

15.6.1.5 セキュリティ MPU 領域 1 開始アドレスレジスタ (SECMPEUS1)

アドレス SECMPEUS1 0000 0420h/0000 2420h (注1)



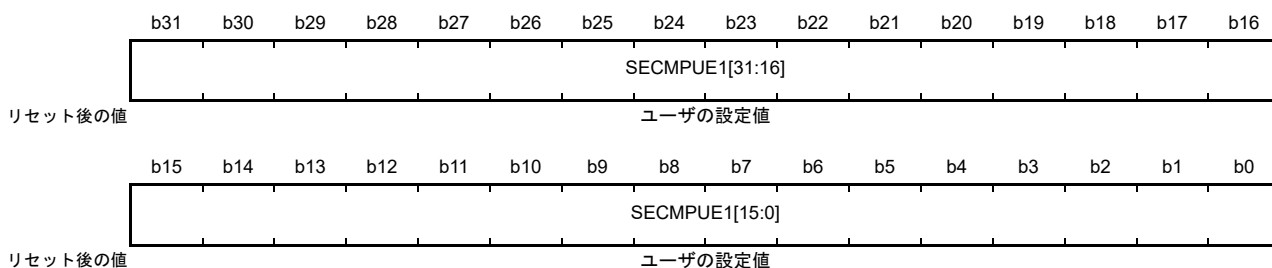
注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPEUS1[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。コードフラッシュに書き込む場合、0としてください。値の範囲は、予約領域を除く 1FF0 0000h～200F FFFFhです。	R

SECMPEUS1 レジスタと SECMPEUE1 レジスタには、SRAM のセキュアデータ（予約領域を除く 1FF0 0000h～200F FFFFh）を設定してください。SECMPEUS1 レジスタおよび SECMPEUE1 レジスタで定義されたメモリ空間は、SECMPEUPCSn レジスタおよび SECMPEUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMPEUS1 レジスタは、領域開始位置のアドレスを指定します。スタック領域およびベクタテーブルの設定は禁止されています。

15.6.1.6 セキュリティ MPU 領域 1 終了アドレスレジスタ (SECMPIUE1)

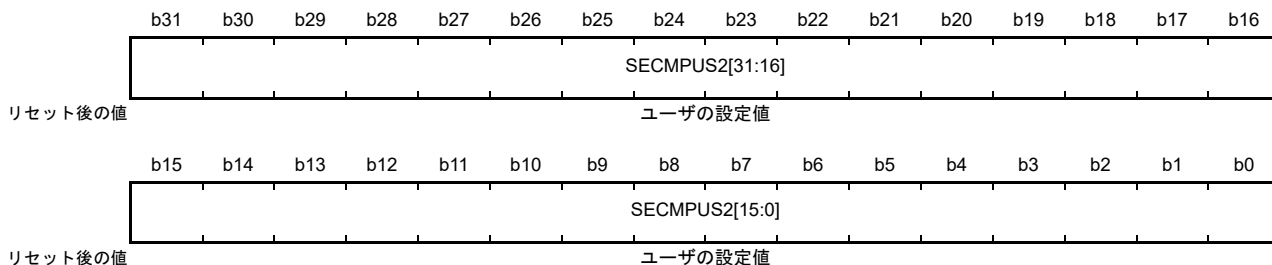
アドレス [SECMPIUE1 0000 0424h/0000 2424h](#) (注1)

注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPIUE1[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュに書き込む場合、1としてください。値の範囲は、予約領域を除く 1FF0 0003h～200F FFFChです。	R

SECMPIUE1 レジスタは、領域終了位置のアドレスを指定します。

15.6.1.7 セキュリティ MPU 領域 2 開始アドレスレジスタ (SECMPIUS2)

アドレス [SECMPIUS2 0000 0428h/0000 2428h](#) (注1)

注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

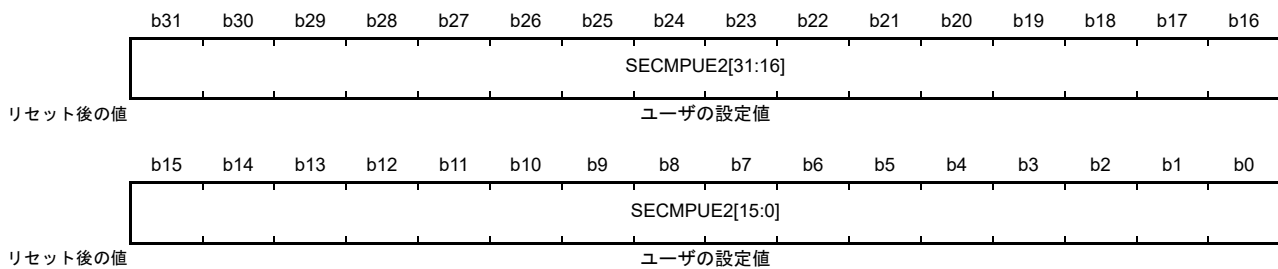
ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPIUS2[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。コードフラッシュに書き込む場合、0としてください。値の範囲は、400C 0000h～400D FFFChおよび4010 0000h～407F FFFChです。	R

SECMPIUS2 および SECMPIUE2 レジスタには、セキュリティ機能のセキュアデータ (400C 0000h～400D FFFFh および 4010 0000h～407F FFFFh) を指定します。SECMPIUS2 レジスタおよび SECMPIUE2 レジスタで定義されたメモリ空間は、SECMPIUPCSn レジスタおよび SECMPIUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMPIUS2 レジスタは、領域開始位置のアドレスを指定します。

15.6.1.8 セキュリティ MPU 領域 2 終了アドレスレジスタ (SECMPUE2)

アドレス SECMPUE2 0000 042Ch/0000 242Ch (注1)



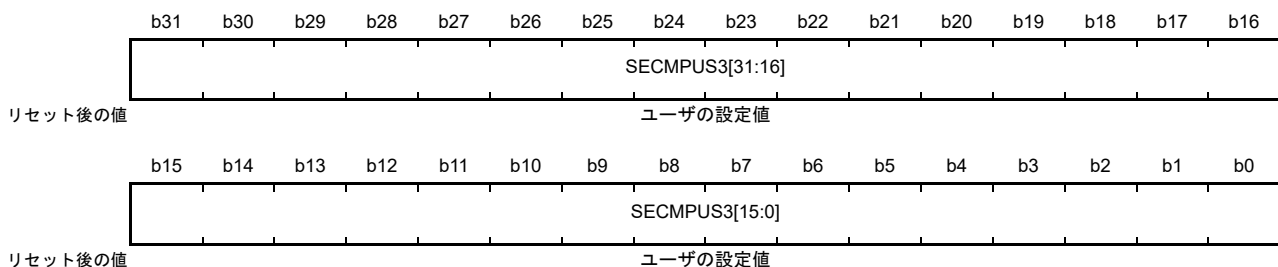
注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUE2[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュに書き込む場合、1としてください。値の範囲は、400C 0003h～400D FFFFhおよび4010 0003h～407F FFFFhです。	R

SECMPUE2 レジスタは、領域終了位置のアドレスを指定します。

15.6.1.9 セキュリティ MPU 領域 3 開始アドレスレジスタ (SECMPUS3)

アドレス SECMPUS3 0000 0430h/0000 2430h (注1)



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

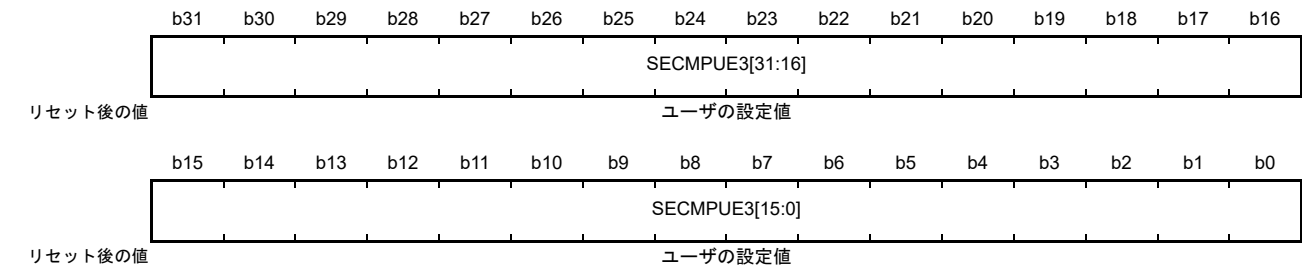
ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUS3[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。コードフラッシュに書き込む場合、0としてください。値の範囲は、400C 0000h～400D FFFChおよび4010 0000h～407F FFFChです。	R

SECMPUS3 および SECMPUE3 レジスタには、セキュリティ機能のセキュアデータ (400C 0000h～400D FFFFh および 4010 0000h～407F FFFFh) を指定します。SECMPUS3 レジスタおよび SECMPUE3 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMPUS3 レジスタは、領域開始位置のアドレスを指定します。

15.6.1.10 セキュリティ MPU 領域 3 終了アドレスレジスタ (SECMPUE3)

アドレス SECMPUE3 0000 0434h/0000 2434h (注1)



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUE3[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュ に書き込む場合、1としてください。値の範囲は、400C 0003h～400D FFFFhおよび4010 0003h～407F FFFFh です。	R

SECMPUE3 レジスタは、領域終了位置のアドレスを指定します。

15.6.1.11 セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC)

アドレス SECMPUAC 0000 0438h/0000 2438h (注1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DISPC 1	DISPC 0	—	—	—	—	DIS3	DIS2	DIS1	DIS0
リセット後の値	1	1	1	1	1	1	ユーザの設定値	1	1	1	1	1	ユーザの設定値	1	1	1

注1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	ビット名	機能	R/W
b0	DIS0	領域0無効	0: セキュリティ MPUの領域0は有効 1: セキュリティ MPUの領域0は無効	R
b1	DIS1	領域1無効	0: セキュリティ MPUの領域1は有効 1: セキュリティ MPUの領域1は無効	R
b2	DIS2	領域2無効	0: セキュリティ MPUの領域2は有効 1: セキュリティ MPUの領域2は無効	R
b3	DIS3	領域3無効	0: セキュリティ MPUの領域3は有効 1: セキュリティ MPUの領域3は無効	R
b7-b4	—	予約ビット	読むと1が読めます。コードフラッシュに書き込む場合、1としてください。	R
b8	DISPC0	PC 領域0無効	0: セキュリティ MPUのPC 領域0は有効 1: セキュリティ MPUのPC 領域0は無効	R
b9	DISPC1	PC 領域1無効	0: セキュリティ MPUのPC 領域1は有効 1: セキュリティ MPUのPC 領域1は無効	R
b15-b10	—	予約ビット	読むと1が読めます。コードフラッシュに書き込む場合、1としてください。	R

注. フラッシュメモリが消去されると、セキュリティ MPU は無効になります。

注. セキュリティ MPU を有効または無効にするには、15.6.2 メモリプロテクションを参照してください。

DIS0 ビット (領域 0 無効)

セキュリティ MPU の領域 0 を有効または無効にします。セキュリティ MPU の領域 0 を有効にすると、SECMPUS0 レジスタと SECMPUE0 レジスタで設定した範囲内のコードフラッシュ領域がセキュアデータとなります。

DIS1 ビット (領域 1 無効)

セキュリティ MPU の領域 1 を有効または無効にします。セキュリティ MPU の領域 1 を有効にすると、SECMPUS1 レジスタと SECMPUE1 レジスタで設定した範囲内の SRAM 領域がセキュアデータとなります。

DIS2 ビット (領域 2 無効)

セキュリティ MPU の領域 2 を有効または無効にします。セキュリティ MPU の領域 2 を有効にすると、SECMPUS2 レジスタと SECMPUE2 レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

DIS3 ビット (領域 3 無効)

セキュリティ MPU の領域 3 を有効または無効にします。セキュリティ MPU の領域 3 を有効にすると、SECMPUS3 レジスタと SECMPUE3 レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

DISPC0 ビット (PC 領域 0 無効)

セキュリティ MPU の PC 領域 0 を有効または無効にします。セキュリティ MPU の PC 領域 0 を有効にすると、SECMPUPCS0 レジスタと SECMPUPCE0 レジスタで設定した範囲内のコードフラッシュ領域または SRAM 領域がセキュアプログラムとなります。

DISPC1 ビット (PC 領域 1 無効)

セキュリティ MPU の PC 領域 1 を有効または無効にします。セキュリティ MPU の PC 領域 1 を有効にすると、SECMPUPCS1 レジスタと SECMPUPCE1 レジスタで設定した範囲内のコードフラッシュ領域または SRAM 領域がセキュアプログラムとなります。

15.6.2 メモリプロテクション

セキュリティ MPU は、非セキュアプログラムからアクセスできないように領域（コードフラッシュ、SRAM、セキュリティ機能）を保護します。保護領域に対するアクセスが検出されると、そのアクセスは無効になります。

セキュリティ MPU を有効にする場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0 ビットまたは DISPC1 ビットを 0 にする必要があります。さらに、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DIS0、DIS1、DIS2、または DIS3 ビットを 0 にする必要があります。

セキュリティ MPU を無効にする場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0、DISPC1、DIS0、DIS1、DIS2 および DIS3 ビットをすべて 1 にする必要があります。セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の上記以外の設定は禁止です。

セキュリティ MPU は、以下の条件下でアクセス保護を行います。

- セキュアデータが非セキュアプログラムからアクセスされる時
- セキュアデータが CPU 以外 (DTC) からアクセスされる時
- セキュアデータがデバッガからアクセスされる時

セキュアデータがセキュアプログラムからアクセスされる時

注. セキュアプログラム: SECMPUPCS0 と SECMPUPCE0 で設定された範囲内にあるコードフラッシュまたは SRAM の領域
SECMPUPCS1 と SECMPUPCE1 で設定された範囲内にあるコードフラッシュまたは SRAM の領域

非セキュアプログラム: セキュアプログラム領域外の全領域

セキュアデータ: - SECMPUS0 と SECMPUE0 で設定された範囲内にあるコードフラッシュ領域
- SECMPUS1 と SECMPUE1 で設定された範囲内にある SRAM 領域
- SECMPUS2 と SECMPUE2 で設定された範囲内にあるセキュリティ機能領域
- SECMPUS3 と SECMPUE3 で設定された範囲内にあるセキュリティ機能領域

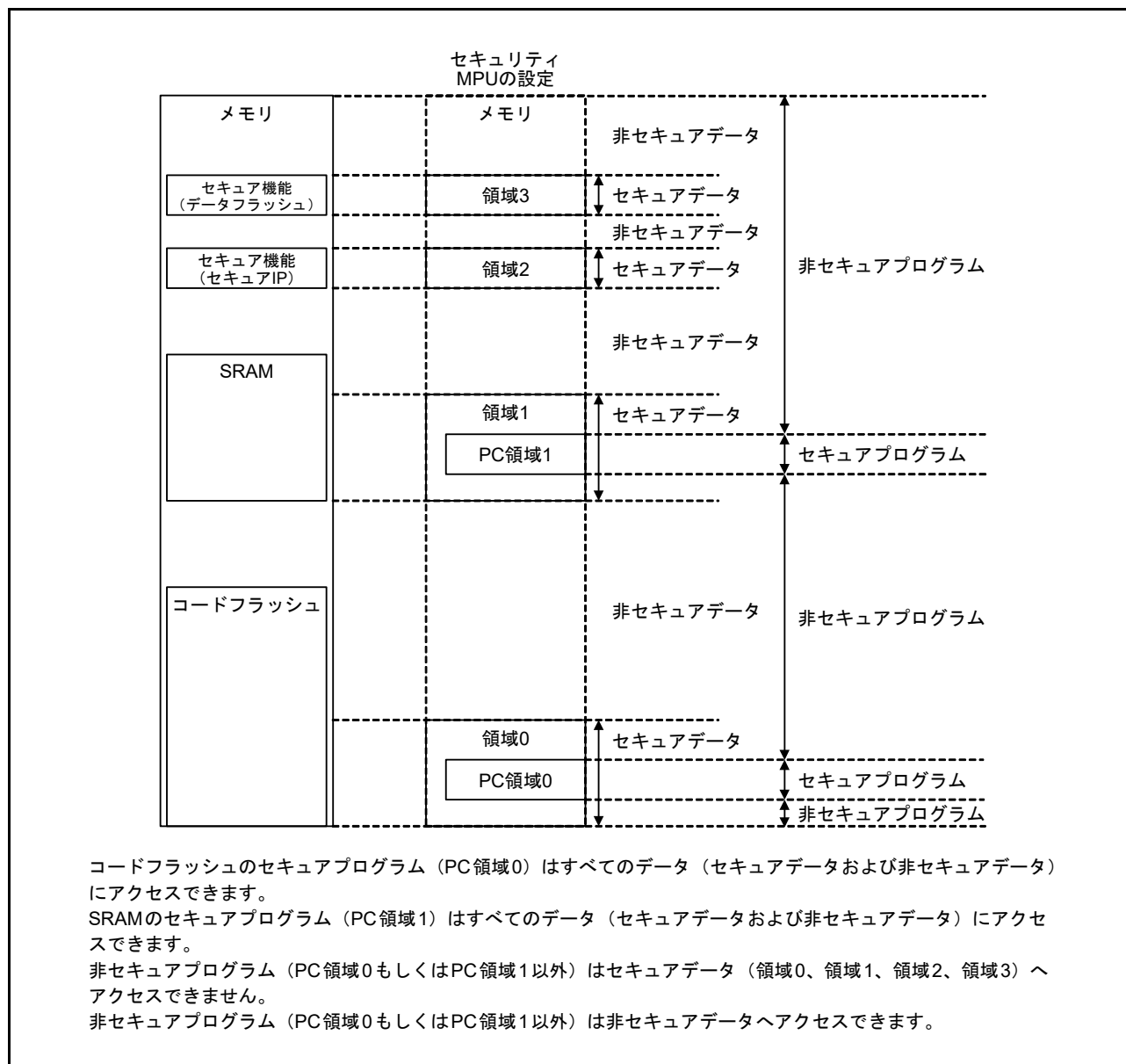


図 15.11 セキュリティ MPU の使用例

15.6.3 使用上の注意事項

セキュリティ MPU を有効にすると、保護されたメモリをデバッグできません。セキュアプログラムをデバッグするには、セキュリティ MPU を無効にしてください。

15.7 参考資料

1. *ARM®v8-M Architecture Reference Manual* (ARM DDI 0553B.a)
2. *ARM® Cortex®-M23 Processor Technical Reference Manual* (ARM DDI 0550C)
3. *ARM® Cortex®-M23 Processor User Guide* (ARM DUI 0963B).

16. データトランスファコントローラ (DTC)

16.1 概要

本 MCU はデータトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動するとデータ転送を行います。表 16.1 に DTC の仕様を、図 16.1 にブロック図を示します。

表 16.1 DTC の仕様

項目	内容
転送モード	- ノーマル転送モード 1回の起動で1データを転送 - リピート転送モード 1回の起動で1データを転送 リピートサイズ分データを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256×32ビット (1024バイト) 転送可能 - ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256×32ビット = 1024バイト設定可能
転送チャンネル	- 割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送) 1つの起動要因に対して複数データの転送が可能 (チェーン転送) - チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	0000 0000h ~ FFFF FFFFhのうち予約領域を除く4Gバイトの領域
データ転送単位	1データ: 1バイト (8ビット)、1ハーフワード (16ビット)、1ワード (32ビット) 1ブロックサイズ: 1~256データ
CPU割り込み要因	- DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送後にCPUへの割り込み要求を発生可能 - 指定したデータ数のデータ転送後にCPUへの割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後 (ブロックの場合は1ブロック転送後) にイベントリンク要求を発生
リードスキップ	転送情報の読み出しをスキップ可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、転送情報のライトバックをスキップ可能
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

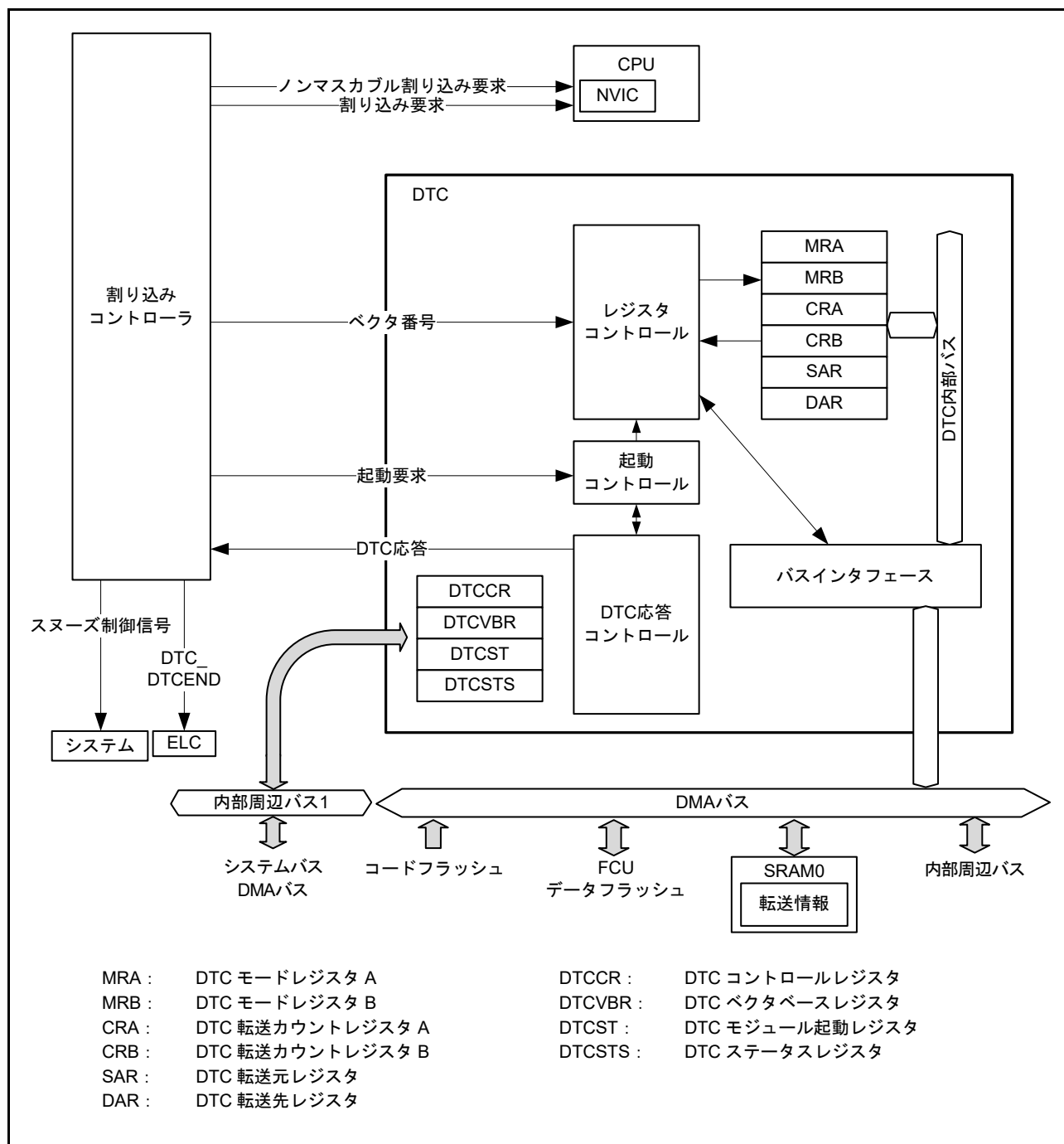


図 16.1 DTC のブロック図

DTC と NVIC (CPU 内) の接続関係については、「[13. 割り込みコントローラユニット \(ICU\)](#)」の概要を参照してください。

16.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

16.2.1 DTC モードレジスタ A (MRA)

アドレス (CPU から直接アクセス不可。16.3.1 を参照してください)

b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		SZ[1:0]		SM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモード	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 0 1 : SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 1 0 : 転送後SARレジスタをインクリメント SZ[1:0] = 00bのとき+1 SZ[1:0] = 01bのとき+2 SZ[1:0] = 10bのとき+4 1 1 : 転送後SARレジスタをデクリメント SZ[1:0] = 00bのとき-1 SZ[1:0] = 01bのとき-2 SZ[1:0] = 10bのとき-4	—
b5-b4	SZ[1:0]	DTC データトランスファサイズ	b5 b4 0 0 : バイト (8ビット) 転送 0 1 : ハーフワード (16ビット) 転送 1 0 : ワード (32ビット) 転送 1 1 : 設定禁止	—
b7-b6	MD[1:0]	DTC 転送モード選択	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 03h) にアクセス可能なので、DTC によって MRA レジスタから (および MRA レジスタへ) 自動的に転送されます。16.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

16.2.2 DTC モードレジスタ B (MRB)

アドレス (CPU から直接アクセス不可。16.3.1 を参照してください)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモード	b3 b2 0 0: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 0 1: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 1 0: 転送後 DAR レジスタをインクリメント MRA.SZ[1:0] = 00b のとき +1 SZ[1:0] = 01b のとき +2 SZ[1:0] = 10b のとき +4 1 1: 転送後 DAR レジスタをデクリメント MRA.SZ[1:0] = 00b のとき -1 SZ[1:0] = 01b のとき -2 SZ[1:0] = 10b のとき -4	—
b4	DTS	DTC 転送モード選択	0: 転送先がリピート領域またはブロック領域 1: 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択	0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
b6	CHNS	DTC チェーン転送選択	0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったとき、チェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可	0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 02h) にアクセス可能なので、DTC によって MRB レジスタから (および MRB レジスタへ) 自動的に転送されます。16.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

DTS ビット (DTC 転送モード選択)

リピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

CHNS ビット (DTC チェーン転送選択)

チェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、表 16.3 チェーン転送の条件を参照してください。

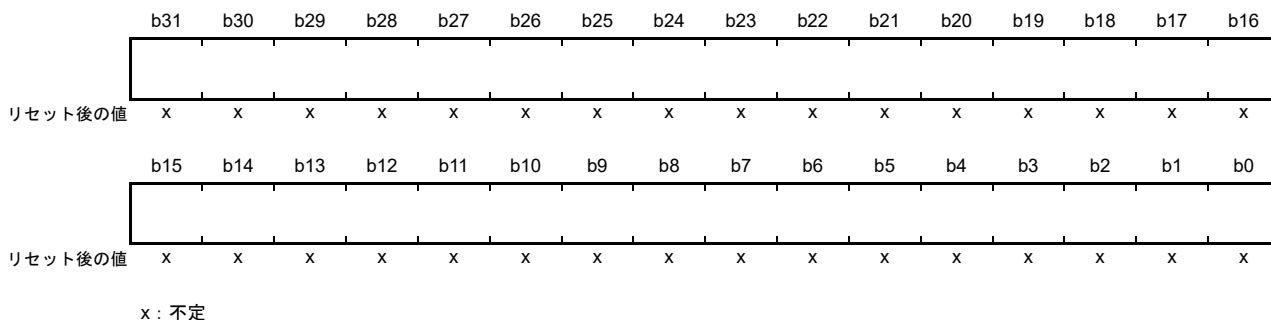
次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可)

チェーン転送を許可します。チェーン転送条件の選択は、CHNS ビットで行います。チェーン転送の詳細については、16.4.6 チェーン転送を参照してください。

16.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可。16.3.1を参照してください)

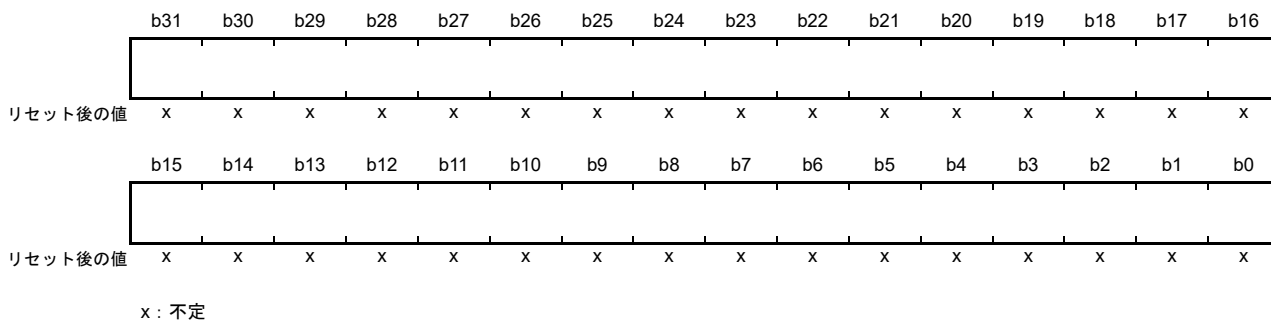


SAR レジスタは転送元の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 04h) にアクセス可能なので、DTC によって SAR レジスタから (および SAR レジスタへ) 自動的に転送されます。16.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

注. DTC 転送では、アドレスの不整合は禁止です。

16.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可。16.3.1を参照してください)



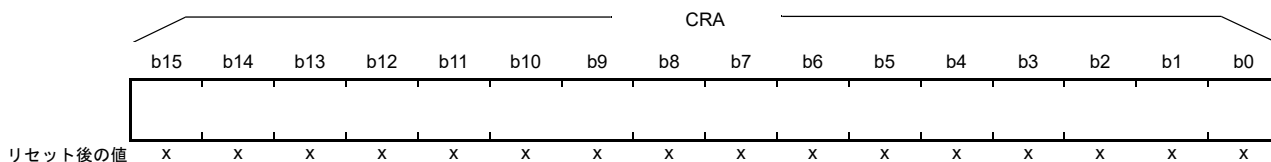
DAR レジスタは転送先の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 08h) にアクセス可能なので、DTC によって DAR レジスタから (および DAR レジスタへ) 自動的に転送されます。16.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。DTC 転送では、アドレスの不整合は禁止されます。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 であり、MRA.SZ[1:0] = 10b の場合、ビット [1] またはビット [0] は 0 でなければなりません。

注. DTC 転送では、アドレスの不整合は禁止です。

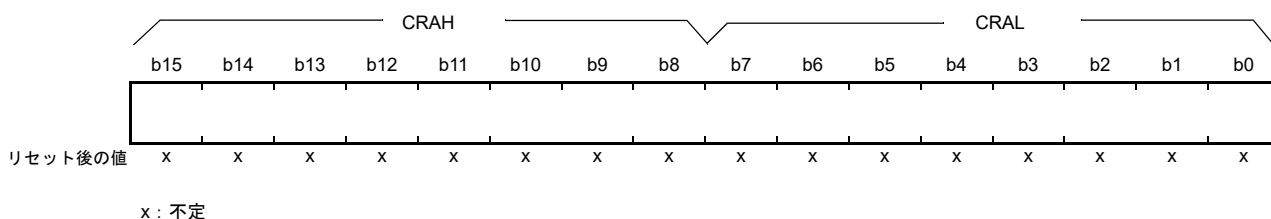
16.2.5 DTC 転送カウンタレジスタ A (CRA)

アドレス (CPUから直接アクセス不可。16.3.1を参照してください)

- ノーマル転送モード



- リピータ転送モード／ブロック転送モード



シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタ A 下位レジスタ	転送回数を設定	—
CRAH	転送カウンタ A 上位レジスタ		—

注. 転送モードによって機能が異なります。

注. リピータ転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0Eh) にアクセス可能なので、DTC によって CRA レジスタから (および CRA レジスタへ) 自動的に転送されます。16.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピータ転送モードの場合 (MRA.MD[1:0] ビット = 01b)

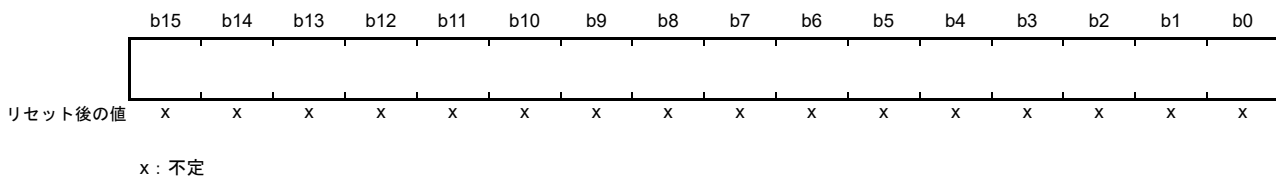
リピータ転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

16.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可。16.3.1を参照してください)

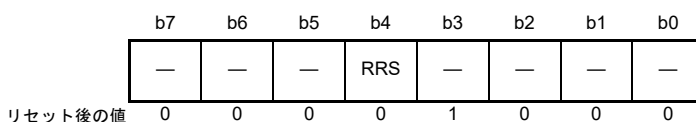


CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、CRB レジスタは使用されず、設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0Ch) にアクセス可能なので、DTC によって CRB レジスタから (および CRB レジスタへ) 自動的に転送されます。16.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

16.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 4000 5400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b4	RRS	DTC転送情報リードスキップ許可	0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

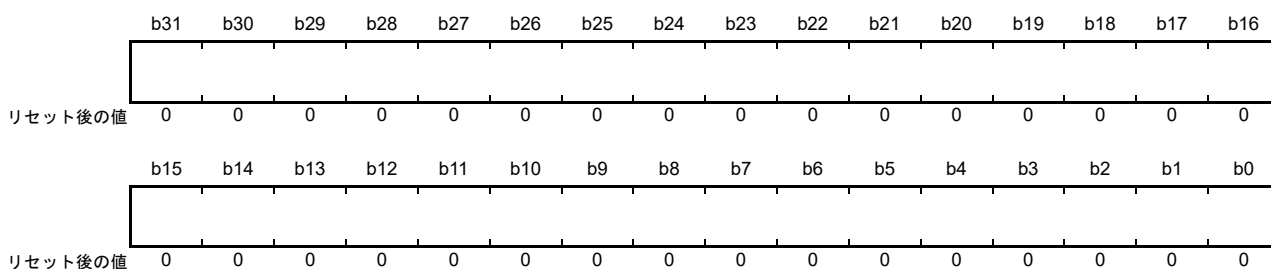
RRS ビット (DTC 転送情報リードスキップ許可)

ベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致して RRS ビットが 1 になっているときは、転送情報の読み出しを行わずに DTC のデータ転送を行います。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

16.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス [DTC.DTCVBR 4000 5404h](#)

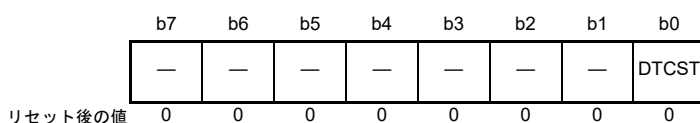


ビット	ビット名	機能	R/W
b31-b0	DTCベクタベースアドレス	DTCベクタベースアドレスを設定（下位10ビットは0にしてください）	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0000 0000h ~ FFFF FFFFh (4G バイト) の範囲内で 1K バイト単位の設定が可能です。

16.2.9 DTC モジュール起動レジスタ (DTCST)

アドレス [DTC.DTCST 4000 540Ch](#)



ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DTCST ビット (DTC モジュール起動)

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

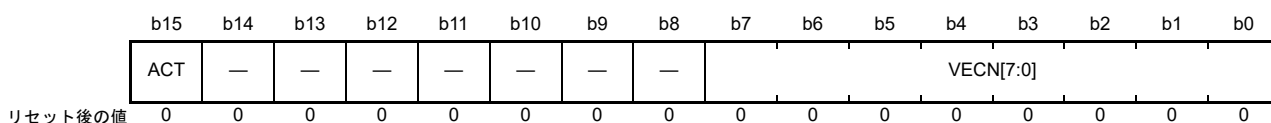
下記のいずれかの状態またはモードへ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- スリープモードへの遷移を伴わないソフトウェアスタンバイモード

これらの遷移については、[16.10 モジュールストップ機能](#)と「[11. 低消費電力モード](#)」を参照してください。

16.2.10 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 4000 540Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号 モニタ	DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中 (ACT フラグが 1 の場合) にのみ有効 です。	R
b14-b8	—	予約ビット	読むと 0 が読めます。	R
b15	ACT	DTC アクティブフラグ	0 : DTC 転送動作なし 1 : DTC 転送動作中	R

VECN[7:0] ビット (DTC アクティブベクタ番号モニタ)

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0] の値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0] の値は無効です。

ACT フラグ (DTC アクティブフラグ)

DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

16.3 起動要因

DTC は割り込み要求によって起動します。ICU の ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSRn に設定されたセクタ出力番号 n ($n=0 \sim 31$) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 n に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[7:0] ($n=0 \sim 31$) によって選択されます（「[13. 割り込みコントローラユニット \(ICU\)](#)」の表 13.4 イベントテーブルを参照）。ソフトウェアによる起動については、[17.2.2 イベントリンクソフトウェアイベント発生レジスタ \$n\$ \(ELSEGRn\) \(\$n=0, 1\$ \)](#) を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けられません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後のこのビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時（チェーン転送の場合、連続した最後の転送時）、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が送信される
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR ビットはデータ転送開始時に 0 になる

16.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 n を持つ転送情報 n の開始アドレスは、ベクタテーブルのベースアドレス $+4n$ 番地でなければいけません。

DTC ベクタテーブルと転送情報の対応を [図 16.2](#) に示します。SRAM 領域上の転送情報の配置を [図 16.3](#) に示します。

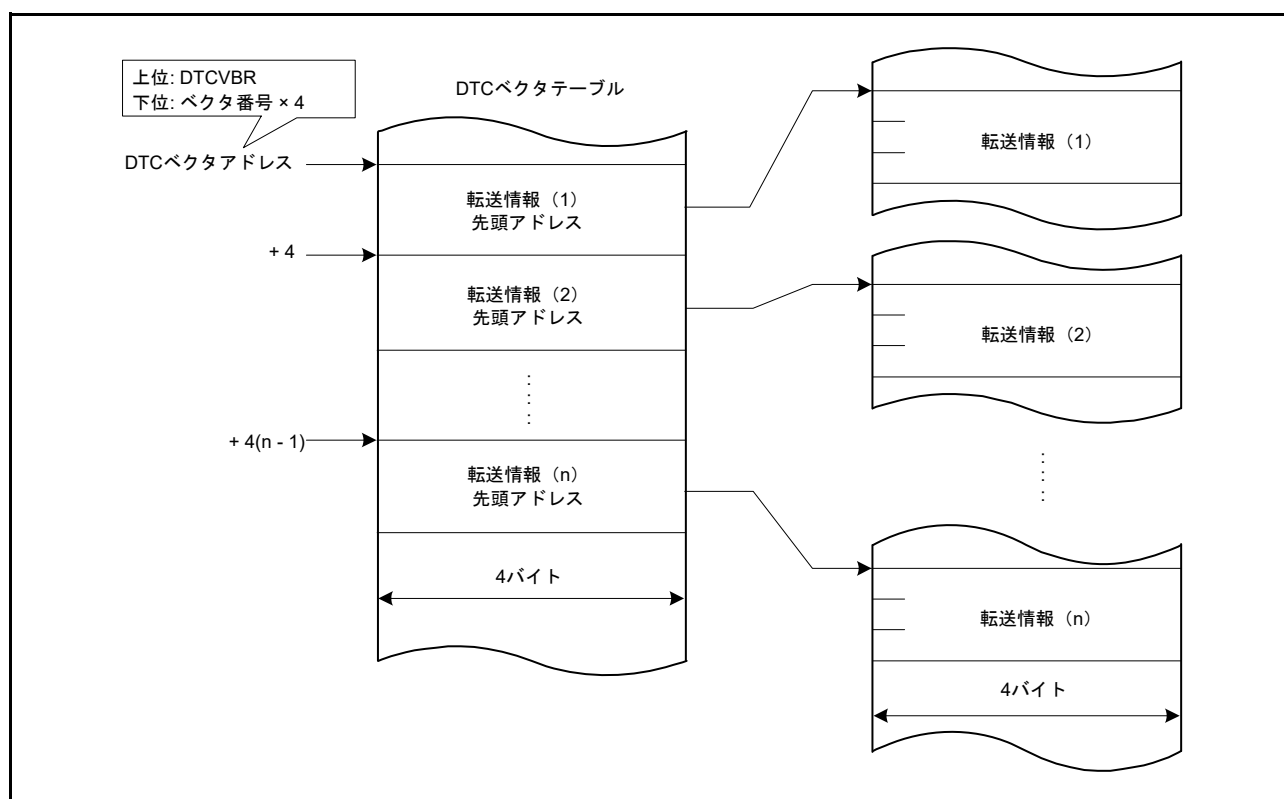


図 16.2 DTC ベクタテーブルと転送情報の対応

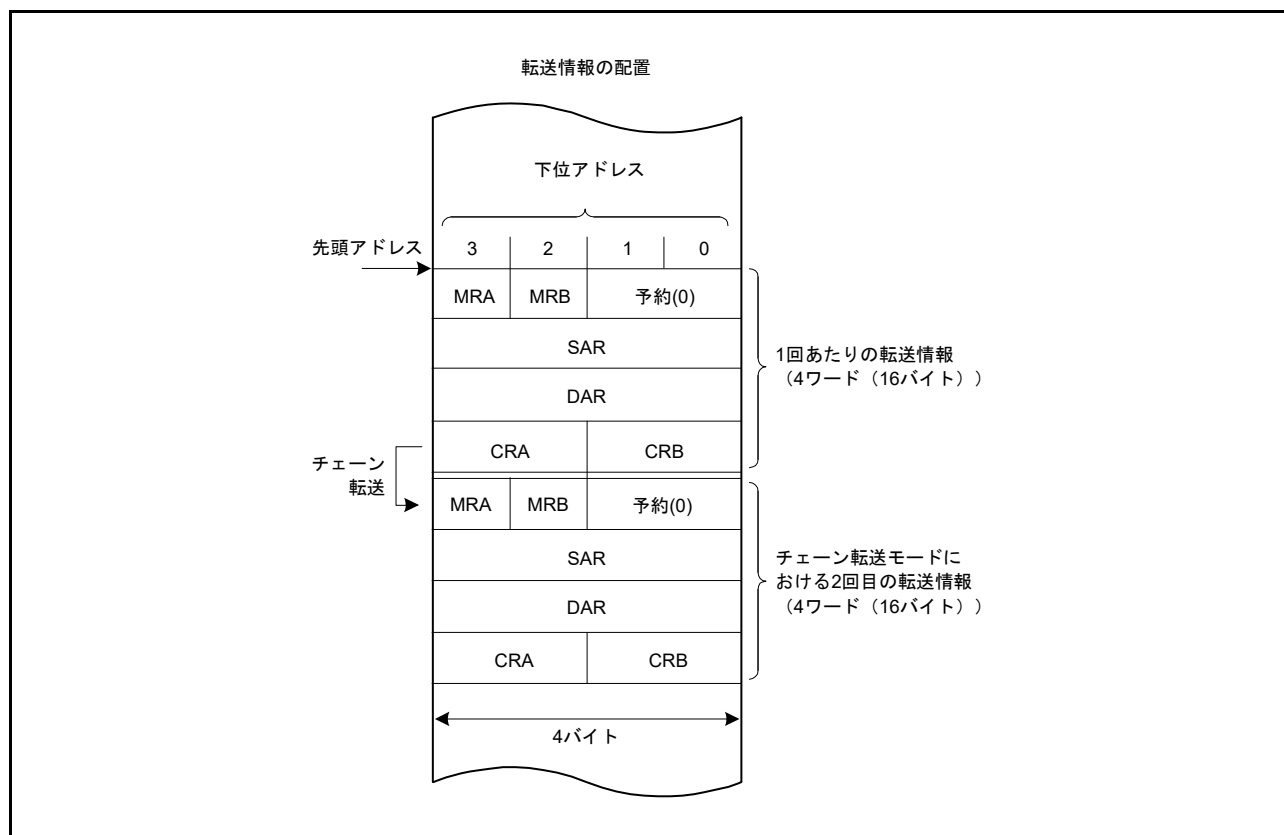


図 16.3 SRAM 領域上の転送情報の配置

16.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。DTC は、DTC ベクタで参照される転送情報格納アドレスから転送情報を読み出した後、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

DTC の転送モードを表 16.2 に示します。

表 16.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト / 1～256ハーフワード (2～512バイト) / 1～256ワード (4～1024バイト))	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536回

注 1. 転送元または転送先のいずれかをリピート領域に設定します。

注 2. 転送元または転送先のいずれかをブロック領域に設定します。

注 3. 指定回数の転送終了後は、初期状態を回復し動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC の動作フローチャートを図 16.4 に示します。チェーン転送の条件を表 16.3 に示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。

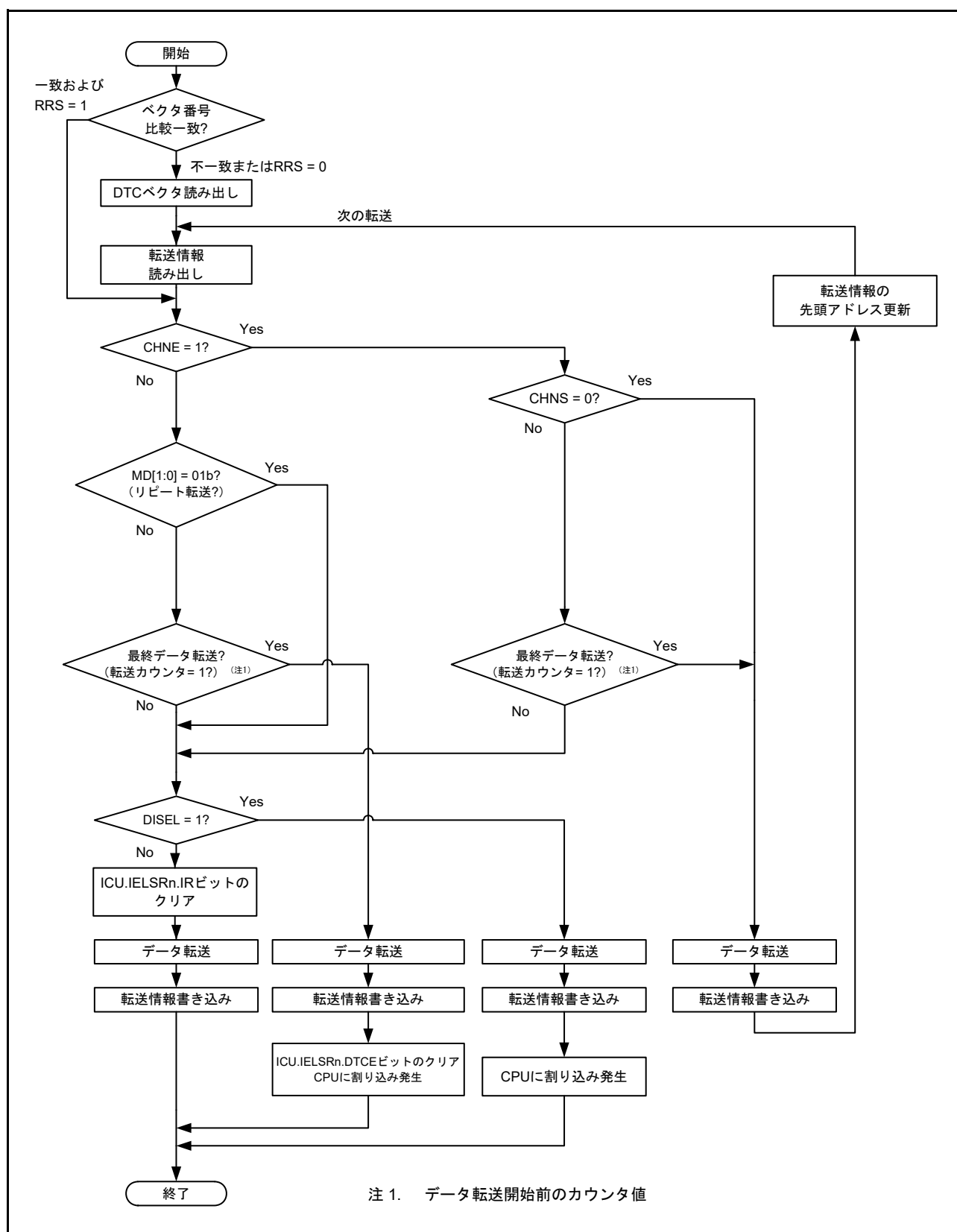


図 16.4 DTC 動作フローチャート

表 16.3 チェーン転送の条件

第1転送				第2転送 (注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1), (注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1), (注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了しCPU へ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了しCPU へ割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。

ノーマル転送モード：CRA レジスタ

リピータ転送モード：CRAL レジスタ

ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下のとおりです。

ノーマル転送モード、ブロック転送モードでは (1→0)

リピータ転送モードでは (1→CRAH)

表中の (1→*) は、モードに応じて、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略されています。

16.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が 0 になっている場合、またはブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報が読み出されます。転送情報のリードスキップの動作例を図 16.12 に示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

16.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0] ビットまたは MRB.DM[1:0] ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。転送情報のライトバックスキップ条件と対応するレジスタを表 16.4 に示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 16.4 転送情報のライトバックスキップ条件と対応するレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

16.4.3 ノーマル転送モード

このモードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、1ワード（32ビット）のデータ転送が可能です。転送回数は1～65536回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 16.5 に、ノーマル転送モードのメモリマップを図 16.5 に示します。

表 16.5 ノーマル転送モードのレジスタ機能

レジスタ名	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定（注1）
DAR	転送先アドレス	インクリメント／デクリメント／固定（注1）
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

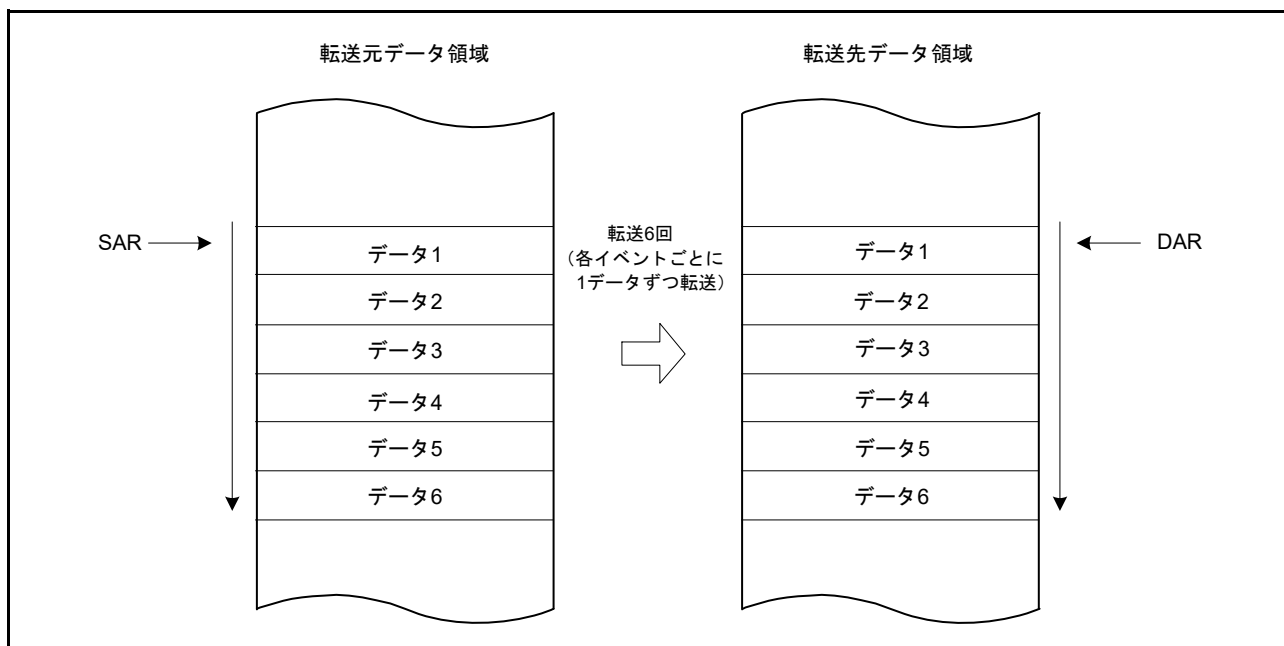


図 16.5 ノーマル転送モードのメモリマップ（MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0006h）

16.4.4 リピート転送モード

このモードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、または1ワード（32ビット）のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は1～256回まで設定できます。指定回数の転送が終了すると、リピート領域に指定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRAL レジスタ）が 00h になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 00h にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は禁止されます。指定されたデータ転送が終了したとき、CPU への割り込み要求が発生します。

リピート転送モードのレジスタ機能を表 16.6 に、リピート転送モードのメモリマップを図 16.6 に示します。

表 16.6 リピート転送モードのレジスタ機能

レジスタ名	機能	転送情報のライトバックによって書き戻される値	
		CRAL が1以外のとき	CRAL が1のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定（注1）	- MRB.DTS ビット=0のとき インクリメント／デクリメント／固定（注1） - MRB.DTS ビット=1のとき SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定（注1）	- MRB.DTS ビット=0のとき DAR レジスタの初期値 - MRB.DTS ビット=1のとき インクリメント／デクリメント／固定（注1）
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

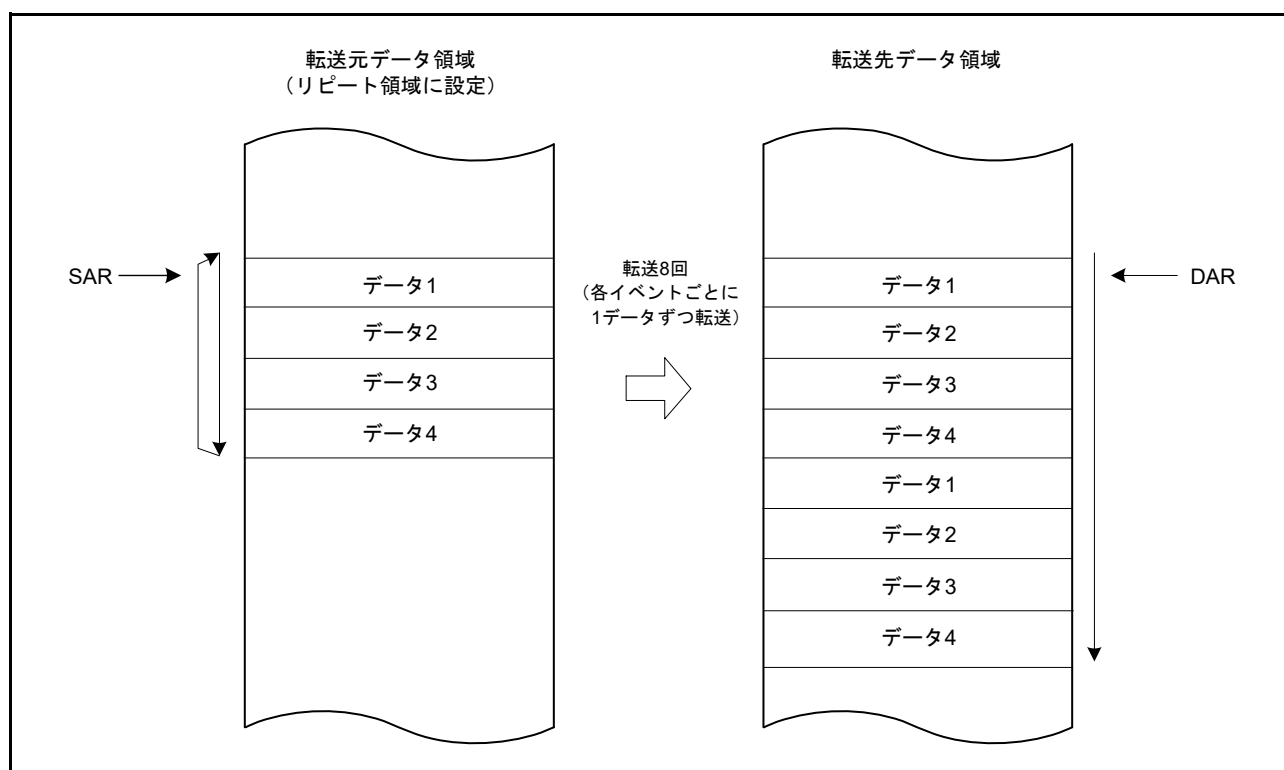


図 16.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 04h)

16.4.5 ブロック転送モード

このモードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード (2～512 バイト)、または1～256 ワード (4～1024 バイト) に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL レジスタ) と、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが1のとき SAR レジスタ、DTS ビットが0のとき DAR レジスタ) は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数 (ブロック数) は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表 16.7 に、ブロック転送モードのメモリマップを図 16.7 に示します。

表 16.7 ブロック転送モードのレジスタ機能

レジスタ名	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	- MRB.DTS ビット=0のとき インクリメント/デクリメント/固定 (注1) - MRB.DTS ビット=1のとき SAR レジスタの初期値
DAR	転送先アドレス	- MRB.DTS ビット=0のとき DAR レジスタの初期値 - MRB.DTS ビット=1のとき インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注1. アドレス固定のとき、ライトバックはスキップされます。

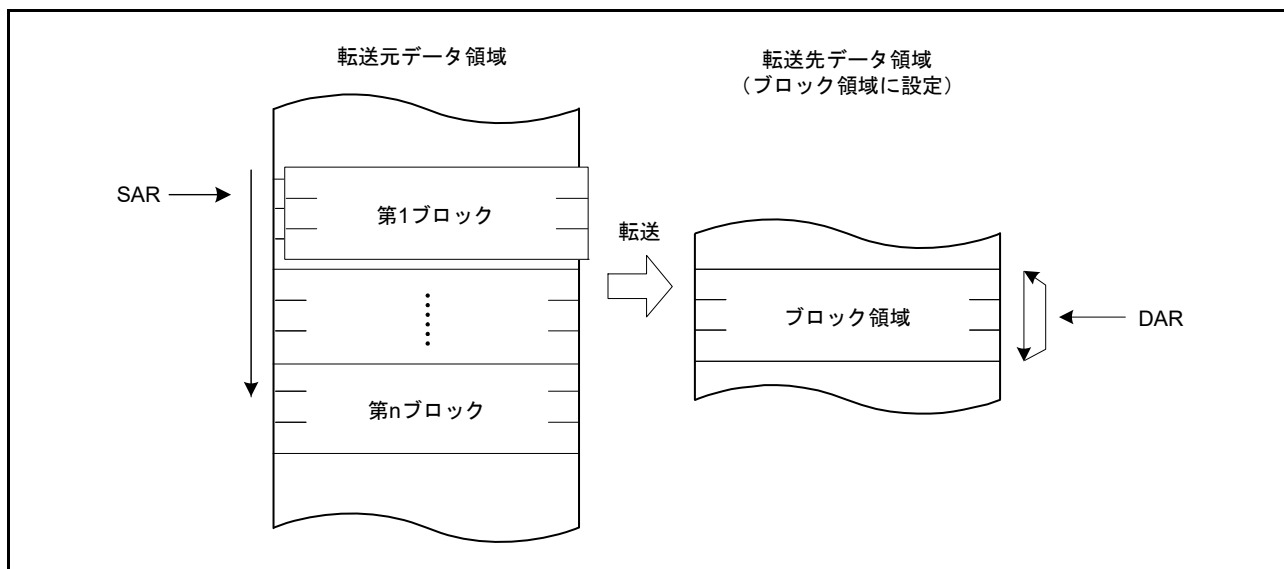


図 16.7 ブロック転送モードのメモリマップ

16.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL ビット = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR ビットに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 16.8 にチェーン転送の動作を示します。

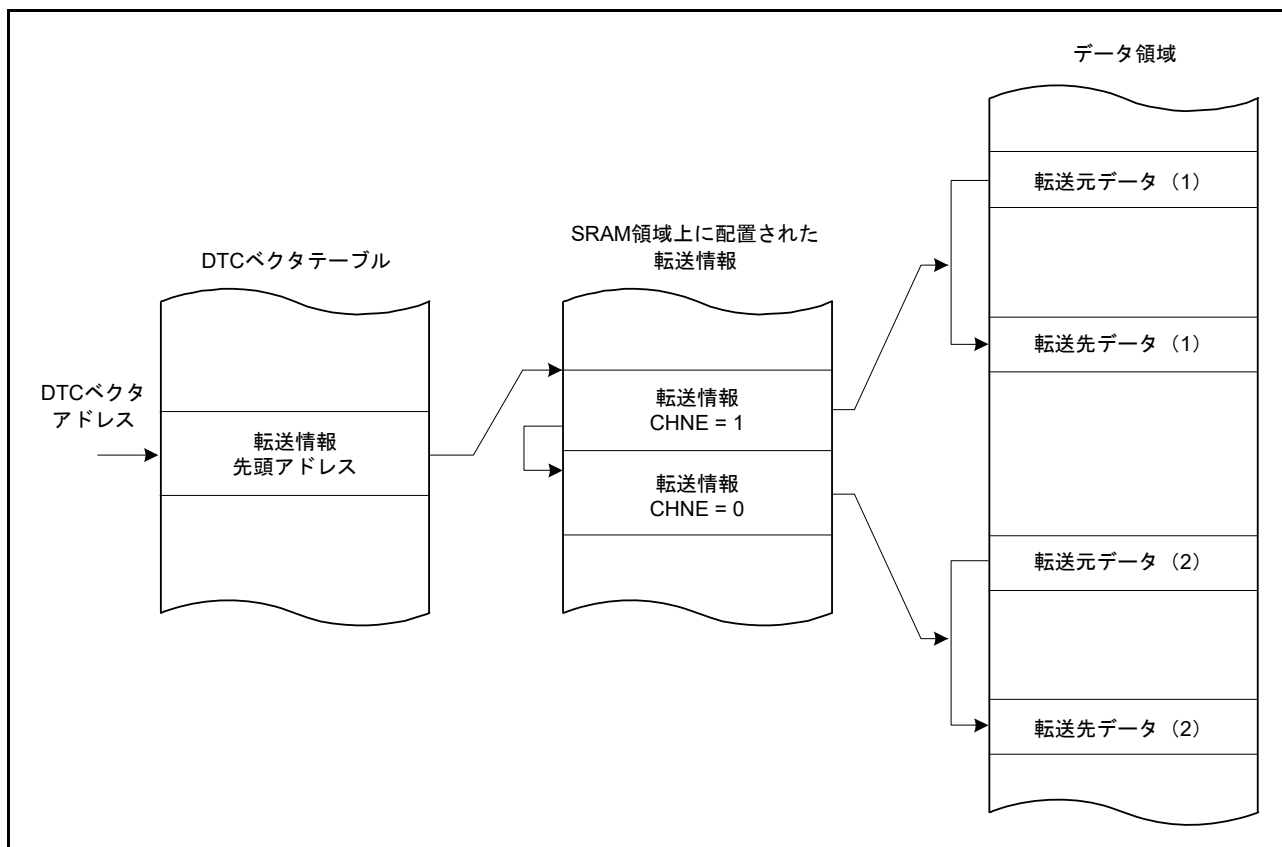


図 16.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 16.3 チェーン転送の条件を参照してください。

16.4.7 動作タイミング

図 16.9 ~ 図 16.12 に示すタイミング図は、最小実行サイクル数を示しています。

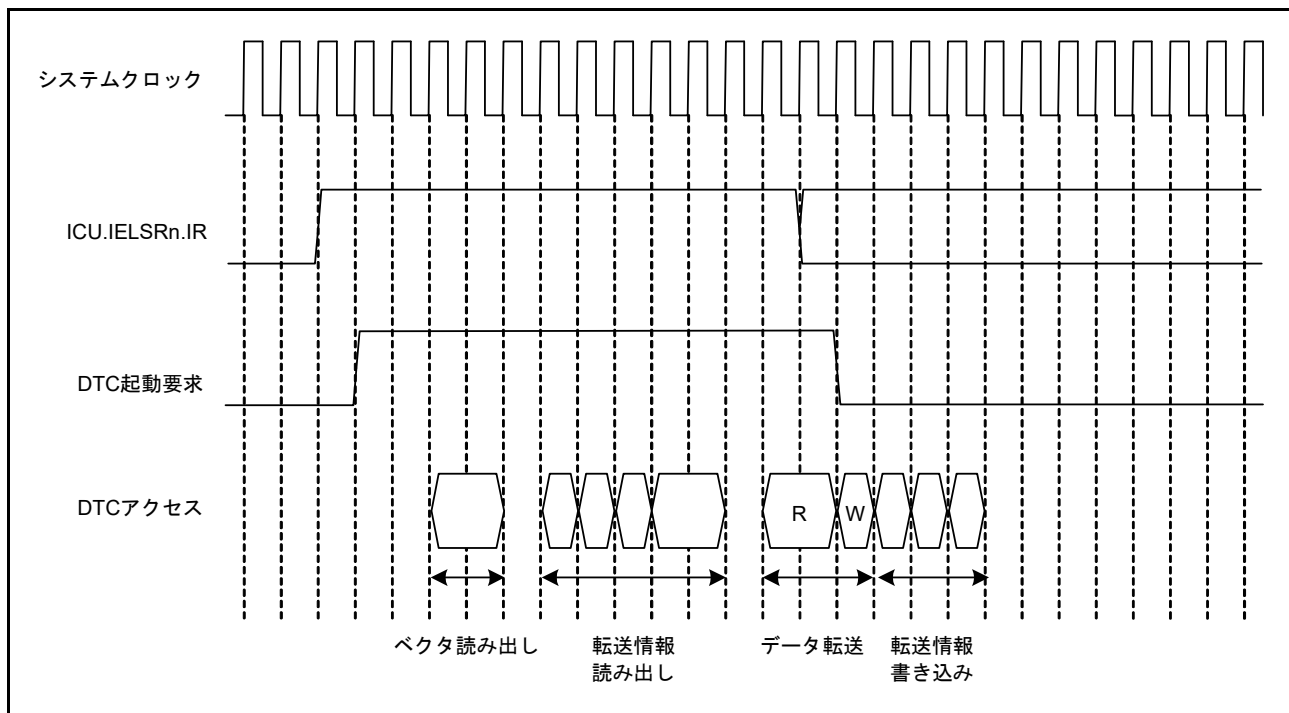


図 16.9 DTC 動作タイミング例 (1) (ノーマル転送モード、リピート転送モードの場合)

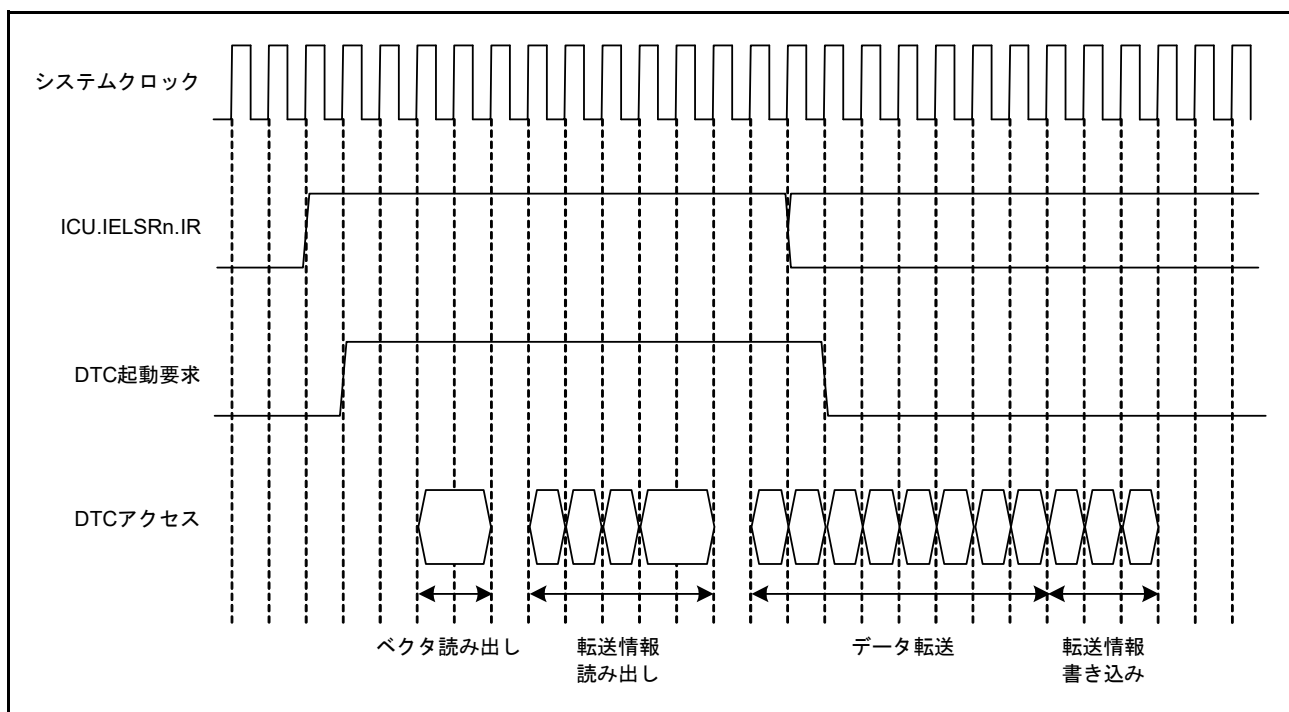


図 16.10 DTC 動作タイミング例 (2) (ブロック転送モード、ブロックサイズ = 4 の場合)

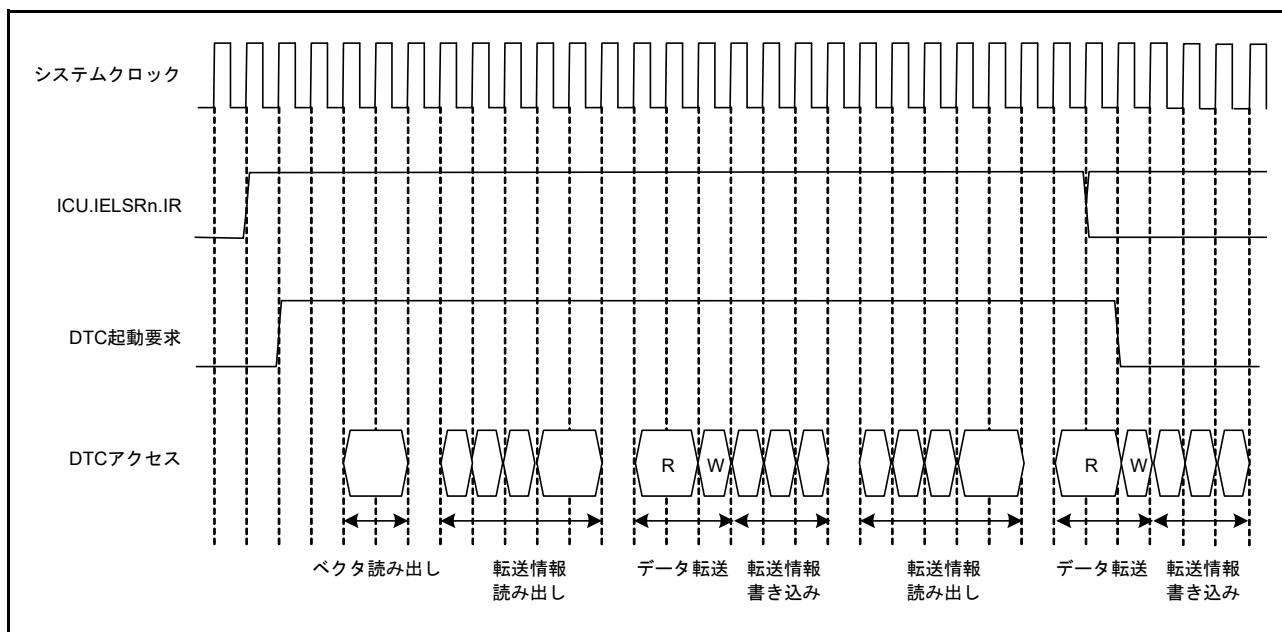


図 16.11 DTC 動作タイミング例 (3) (チェーン転送の場合)

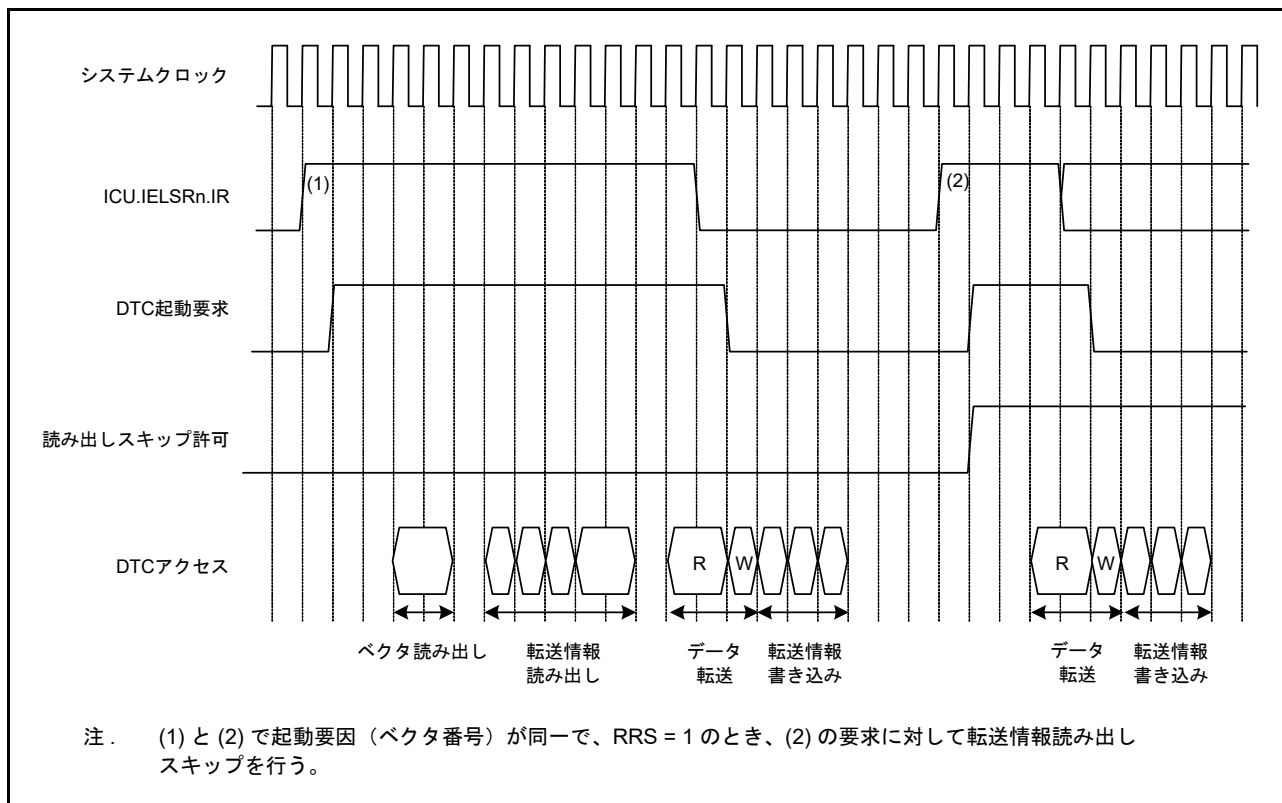


図 16.12 転送情報リードスキップ実行時の動作例 (ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合)

16.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 16.8 に示します。各実行状態の順序については、[16.4.7 動作タイミング](#)を参照してください。

表 16.8 DTC の実行サイクル

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	Cv+1	0 (注1)	4×Ci+1	0 (注1)	3×Ci+1 (注2)	2×Ci+1 (注3)	Ci (注4)	Cr+1	Cw+1	2	0 (注1)
リピート								Cr+1	Cw+1		
ブロック (注5)								P×Cr	P×Cw		

注 1. 転送情報がリードスキップされる場合

注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合

注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合

注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合

注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH および CRAL レジスタの初期設定値)

Cv : ベクタ転送情報格納先へのアクセスサイクル

Ci : 転送情報格納先アドレスへのアクセスサイクル

Cr : データリード先へのアクセスサイクル

Cw : データライト先へのアクセスサイクル

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の +1 の単位と、内部動作の列に記載の 2 の単位は、いずれもシステムクロック (ICLK) です。

Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「[42. SRAM](#)」および「[43. フラッシュメモリ](#)」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。

[表 16.8](#) には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

16.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「[14. バス](#)」を参照してください。

16.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。図 16.13 に、DTC の設定手順を示します。

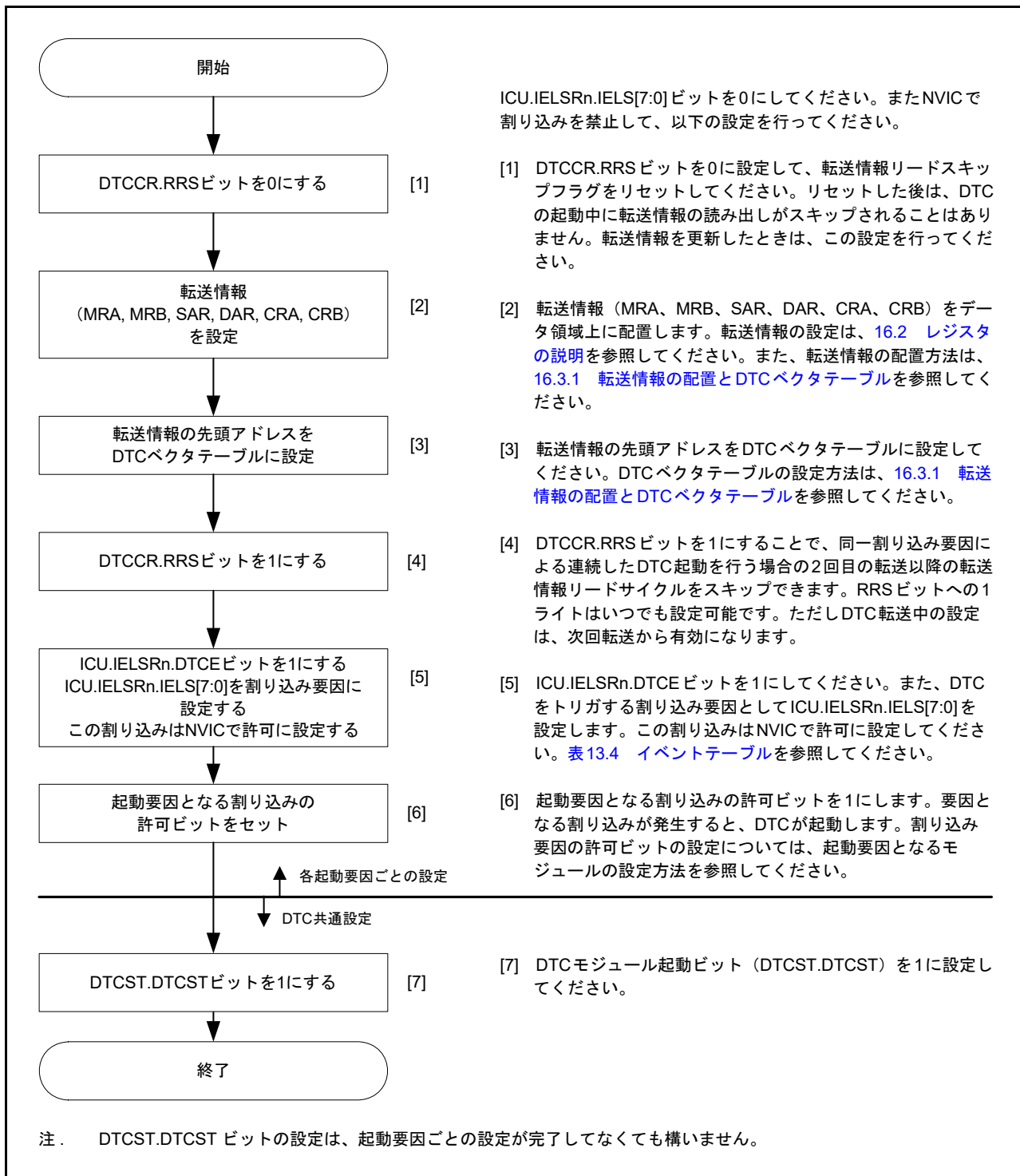


図 16.13 DTC の設定手順

16.6 DTC の使用例

16.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = 00b)、ノーマル転送モード (MRA.MD[1:0] ビット = 00b)、およびバイト転送 (MRA.SZ[1:0] ビット = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] ビット = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0080h) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SCI の設定

SCI の SCR.RIE ビットを 1 にして RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

(5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

16.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することが可能です。

チェーン転送の最初の転送には、GPTm.GTCCRC レジスタ ($m = 320, 16H1 \sim 16H3, 164 \sim 166$) への転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE ビット = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT320.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

(1) 第 1 転送情報の設定

GPT320.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第 2 転送情報の設定

GPT320.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 第 3 転送情報の設定

GPT320.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTPBR レジスタのアドレスを設定します。

6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4) 転送情報の配置

GPT320.GTPBR レジスタへの転送で使用する転送情報は、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. GPT320 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[7:0] ビットを 74 (4Ah) にして、GPT320 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT320.GTIOR レジスタを設定します。
2. GPT320.GTCCRA レジスタと GPT320.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT320.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT320.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR の出力ビットを 1 にして、PmnPFS.PSEL[4:0] の周辺選択ビットを 00011b にします。

(8) GPT の起動

GPT320.GTSTR.CSTRT ビットを 1 にして、GPT320.GTCNT カウンタのカウント動作を開始します。

(9) DTC 転送

GPT320.GTPR レジスタで GPT320 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT320.GTPBR レジスタへ転送されます。

(10) 割り込み処理

指定した回数の転送終了後（たとえば、GPT 転送用 CRA レジスタの値が 0 になると）、CPU に対して GPT320 カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

16.6.3 カウンタ = 0 のときのチェーン転送

第2転送は第1データ転送の転送カウンタが0になったときにだけ実行されます。第1データ転送情報は第2転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256回以上のリピート転送が可能になります。

以下に、128K バイトの入力バッファを構成する例を示します。入力バッファは下位アドレスが 0000h から始まるように設定されています。カウンタ=0 のときのチェーン転送を図 16.14 に示します。

1. 第1データ転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
 - a. 転送元アドレス = 固定
 - b. CRA レジスタ = 0000h (65536回)
 - c. MRB.CHNE ビット = 1 (チェーン転送許可) を設定
 - d. MRB.CHNS ビット = 1 (転送カウンタが0 の場合のみチェーン転送を行う) を設定
 - e. MRB.DISEL ビット = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生) を設定
2. 第1転送の転送先アドレスの 65536 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域（フラッシュなど）に用意してください。たとえば、入力バッファを 20 0000h ~ 21 FFFFh にする場合は、21h と 20h を用意します。
3. 第2データ転送は以下のように設定してください。
 - a. 第1データ転送の転送先アドレスをリセットするため、リピート転送モード（転送元をリピート領域）に設定
 - b. 転送先として、第1転送情報領域の DAR レジスタの上位 8 ビットを指定
 - c. MRB.CHNE ビット = 0 (チェーン転送禁止) を設定
 - d. MRB.DISEL ビット = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生) を設定
 - e. 入力バッファを 20 0000h ~ 21 FFFFh にした場合は、転送カウンタ = 2
4. 1 回の割り込みで、第1データ転送が 65536 回実行されます。第1データ転送の転送カウンタが 0 になると、第2データ転送がスタートします。第1データ転送の転送先アドレスの上位 8 ビットを 21h にしてください。転送先アドレスの下位 16 ビットと、第1データ転送の転送カウンタは 0000h になります。
5. 引き続き 1 回の割り込みで、第1データ転送用に指定された 65536 回だけ、第1データ転送が実行されます。第1データ転送の転送カウンタが 0 になると、第2データ転送がスタートします。第1データ転送の転送先アドレスの上位 8 ビットを 20h にしてください。転送先アドレスの下位 16 ビットと、第1データ転送の転送カウンタは 0000h になります。
6. 手順 4 と 5 が無限に繰り返されます。第2データ転送はリピート転送モードのため、CPU への割り込み要求は発生しません。

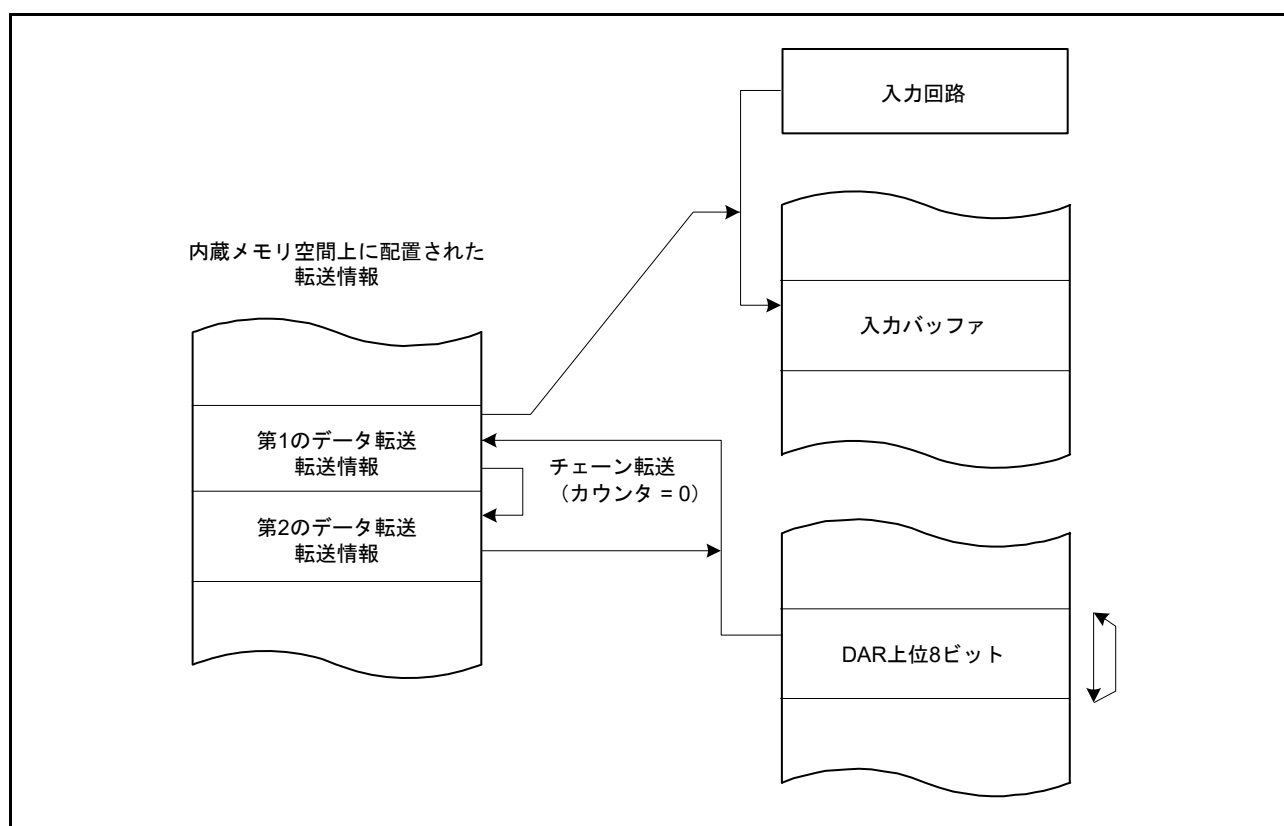


図 16.14 カウンタ = 0 のときのチェーン転送

16.7 割り込み要因

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[7:0] ビットの設定に従って制御されます。「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。DTC 起動要因の優先順位については、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

16.8 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力することが可能です。

16.9 スヌーズ制御インタフェース

DTC によってスヌーズモードからソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED ビットを 1 にしてください。[11.8.3 ソフトウェアスタンバイモードへの復帰](#)を参照してください。

SYSTEM.SNZEDCR.DTCZRED は、最後の DTC 送信完了 (CRA と CRB が 0 であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

SYSTEM.SNZEDCR.DTCNZRED は、最後以外の DTC 送信完了 (CRA と CRB が 0 以外であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

16.10 モジュールストップ機能

モジュールストップ状態へ遷移、またはスヌーズモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「[11. 低消費電力モード](#)」を参照してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたときに DTC 転送が動作中の場合、DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモード

[11.7.1 ソフトウェアスタンバイモードへの遷移](#)の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。[11.8.1 スヌーズモードへの遷移](#)を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。[11.8.3 ソフトウェアスタンバイモードへの復帰](#)を参照してください。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

(3) モジュールストップ機能の注意事項

WFI 命令とレジスタの設定手順については、「[11. 低消費電力モード](#)」を参照してください。

スリープモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、[13.4.2 割り込み要求先の選択](#)に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スリープモード時に DTC 動作を許可にする場合、DTC のモジュールストップ機能を使用しないでください。

16.11 使用上の注意事項

16.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

17. イベントリンクコントローラ（ELC）

17.1 概要

イベントリンクコントローラ（ELC）は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 17.1 に ELC の仕様を、図 17.1 に ELC のブロック図を示します。

表 17.1 ELCの仕様

項目	内容
イベントリンク機能	111種類のイベント信号を、直接モジュールに接続可能。ELCイベント信号と、DTC起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態の設定が可能

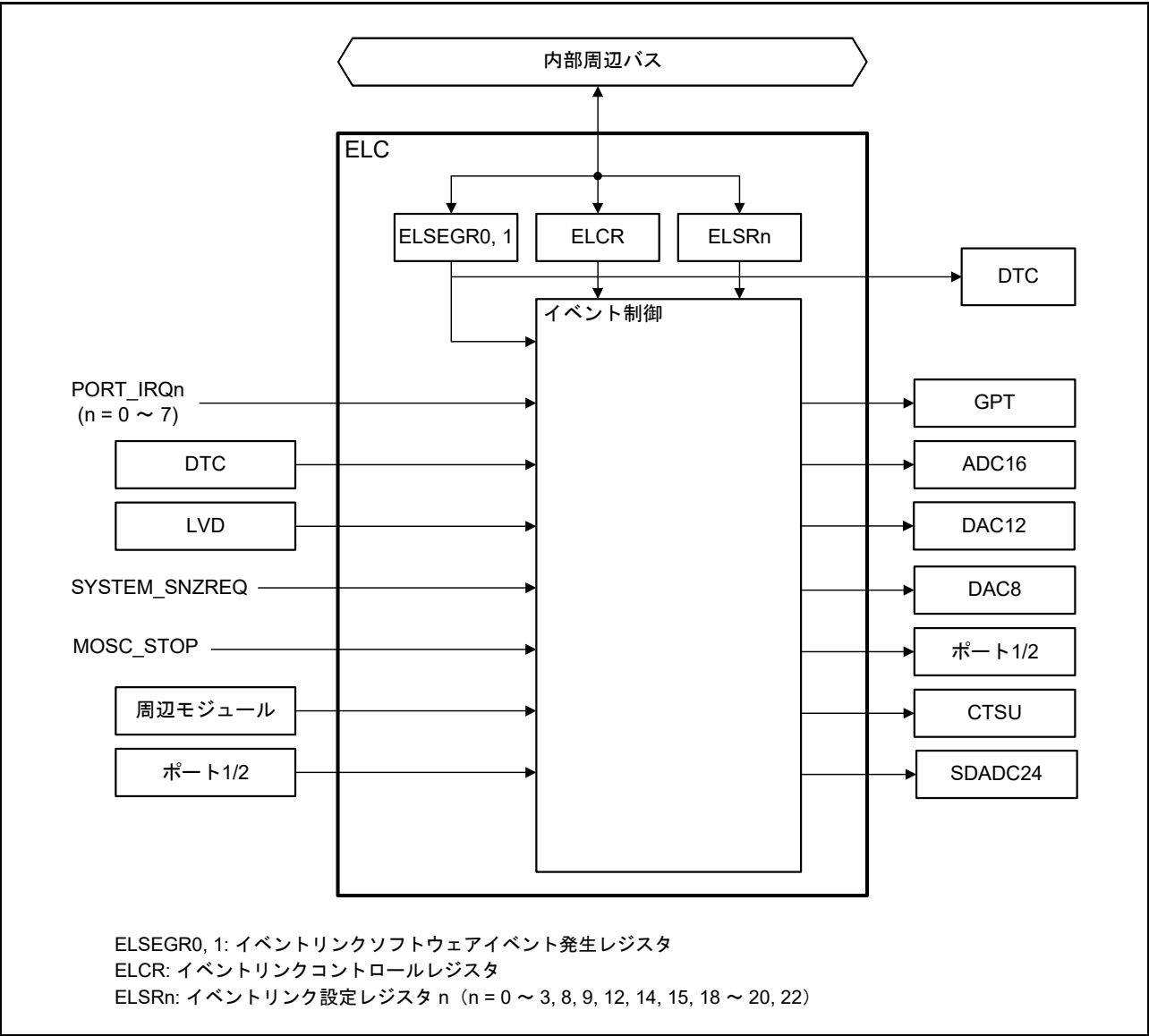


図 17.1 ELC のブロック図

17.2 レジスタの説明

17.2.1 イベントリンクコントローラレジスタ（ELCR）

アドレス ELC.ELCR 4004 1000h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ELCON	全イベントリンク許可	0：ELC機能は無効 1：ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

17.2.2 イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1)

アドレス ELC.ELSEGR0 4004 1002h, ELC.ELSEGR1 4004 1004h

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生	0 : 通常動作 1 : ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	WE	SEG ビット書き込み許可	0 : SEG ビットへの書き込み禁止 1 : SEG ビットへの書き込み許可	R/W
b7	WI	ELSEGR レジスタ書き込み禁止	0 : ELSEGR レジスタへの書き込み許可 1 : ELSEGR レジスタへの書き込み禁止	W

SEG ビット (ソフトウェアイベント発生)

WE ビットが 1 の状態で、このビットに 1 を書くとソフトウェアイベントが発生します。読むと 0 が読めます。1 を書いてもデータは格納されません。WE ビットを 1 にしてから、このビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることが可能です。

WE ビット (SEG ビット書き込み許可)

WE ビットが 1 のときのみ、SEG ビットに対する書き込みが可能になります。本ビットへの書き込みを行う前に、WI ビットを 0 にクリアしてください。

[1 になる条件]

- WI ビットが 0 の状態で、1 を書いたとき

[0 になる条件]

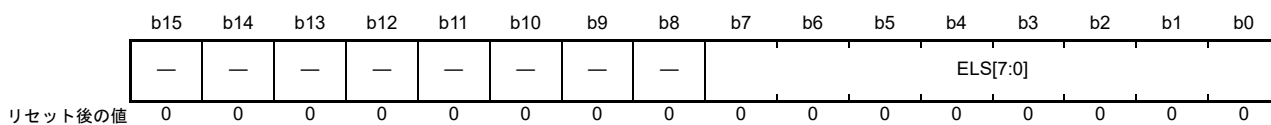
- WI ビットが 0 の状態で、0 を書いたとき

WI ビット (ELSEGR レジスタ書き込み禁止)

WI ビットが 0 のときのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと 1 が読めます。WI ビットを 0 にしてから、WE または SEG ビットを設定する必要があります。

17.2.3 イベントリンク設定レジスタ n (ELSRn) (n = 0 ~ 3, 8, 9, 12, 14, 15, 18 ~ 20, 22)

アドレス [ELC.ELSR0 4004 1010h](#), [ELC.ELSR1 4004 1014h](#), [ELC.ELSR2 4004 1018h](#), [ELC.ELSR3 4004 101Ch](#), [ELC.ELSR8 4004 1030h](#), [ELC.ELSR9 4004 1034h](#), [ELC.ELSR12 4004 1040h](#), [ELC.ELSR14 4004 1048h](#), [ELC.ELSR15 4004 104Ch](#), [ELC.ELSR18 4004 1058h](#), [ELC.ELSR19 4004 105Ch](#), [ELC.ELSR20 4004 1060h](#), [ELC.ELSR22 4004 1068h](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択	b7 b0 00000000 : 対応する周辺モジュールへのイベント出力は禁止 00000001 ~ 10001010 : リンクするイベント信号の番号を指定 上記以外は設定しないでください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を[表 17.2](#)に示します。また、ELSRn レジスタに設定するイベント信号名と信号番号の対応を[表 17.3](#)に示します。

表 17.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR8	ADC16A	ELC_AD00
ELSR9	ADC16B	ELC_AD01
ELSR12	DAC12	ELC_DAC12
ELSR14	PORT 1	ELC_PORT1
ELSR15	PORT 2	ELC_PORT2
ELSR18	CTSU	ELC_CTSU
ELSR19	DA80	ELC_DA80
ELSR20	DA81	ELC_DA81
ELSR22	SDADC24	ELC_SDADC

表 17.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (1/3)

イベント番号	割り込み要求の発生元	名称	内容
01h	ポート	PORT_IRQ0 (注1)	外部端子割り込み0
02h		PORT_IRQ1 (注1)	外部端子割り込み1
03h		PORT_IRQ2 (注1)	外部端子割り込み2
04h		PORT_IRQ3 (注1)	外部端子割り込み3
05h		PORT_IRQ4 (注1)	外部端子割り込み4
06h		PORT_IRQ5 (注1)	外部端子割り込み5
07h		PORT_IRQ6 (注1)	外部端子割り込み6
08h		PORT_IRQ7 (注1)	外部端子割り込み7
0Ah	DTC	DTC_DTCEND (注3)	DTC 転送終了
0Dh	LVD	LVD_LVD1	電圧監視1割り込み
0Eh		LVD_LVD2	電圧監視2割り込み
0Fh	MOSC	MOSC_STOP	メインクロック発振停止
10h	低消費電力モード	SYSTEM_SNZREQ (注2) (注3)	スヌーズエントリ
11h	AGT0	AGT0_AGTI	AGT 割り込み
12h		AGT0_AGTCMAI	コンペアマッチA
13h		AGT0_AGTCMBI	コンペアマッチB
14h	AGT1	AGT1_AGTI	AGT 割り込み
15h		AGT1_AGTCMAI	コンペアマッチA
16h		AGT1_AGTCMBI	コンペアマッチB
17h	IWDT	IWDT_NMIUNDF	IWDT アンダーフロー
18h	WDT	WDT_NMIUNDF	WDT アンダーフロー
1Ah	RTC	RTC_PRD	周期割り込み
1Ch	ADC16	ADC160_ADI	A/D スキャン変換終了割り込み
20h		ADC160_WCMPPM (注3)	コンペアマッチ
21h		ADC160_WCMPUM (注3)	コンペア不一致
22h	ACMPHS	ACMP_HS0 (注1)	高速アナログコンパレータ割り込み0
23h	ACMPLP	ACMP_LP0 (注1)	低消費電力アナログコンパレータ割り込み0
24h		ACMP_LP1 (注1)	低消費電力アナログコンパレータ割り込み1
27h	IIC0	IIC0_RXI	受信データフル
28h		IIC0_TXI	送信データエンプティ
29h		IIC0_TEI	送信終了
2Ah		IIC0_EEI	通信エラー
2Ch	IIC1	IIC1_RXI	受信データフル
2Dh		IIC1_TXI	送信データエンプティ
2Eh		IIC1_TEI	送信終了
2Fh		IIC1_EEI	通信エラー
34h	DOC	DOC_DOPCI (注3)	データ演算回路割り込み
3Dh	I/O ポート	IOPORT_GROUP1	ポート1イベント
3Eh		IOPORT_GROUP2	ポート2イベント
3Fh	ELC	ELC_SWEVT0	ソフトウェアイベント0
40h		ELC_SWEVT1	ソフトウェアイベント1
43h	SDADC24	SDADC_ADI	A/D 変換終了割り込み
44h		SDADC_SCANEND	A/D 自動スキャン終了割り込み

表 17.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (2/3)

イベント番号	割り込み要求の発生元	名称	内容
46h	GPT320	GPT0_CCMPA	コンペアマッチ A
47h		GPT0_CCMPB	コンペアマッチ B
48h		GPT0_CMPC	コンペアマッチ C
49h		GPT0_CMPD	コンペアマッチ D
4Ah		GPT0_OVF	オーバーフロー
4Bh		GPT0_UDF	アンダーフロー
4Ch	GPT161	GPT1_CCMPA	コンペアマッチ A
4Dh		GPT1_CCMPB	コンペアマッチ B
4Eh		GPT1_CMPC	コンペアマッチ C
4Fh		GPT1_CMPD	コンペアマッチ D
50h		GPT1_OVF	オーバーフロー
51h		GPT1_UDF	アンダーフロー
52h	GPT162	GPT2_CCMPA	コンペアマッチ A
53h		GPT2_CCMPB	コンペアマッチ B
54h		GPT2_CMPC	コンペアマッチ C
55h		GPT2_CMPD	コンペアマッチ D
56h		GPT2_OVF	オーバーフロー
57h		GPT2_UDF	アンダーフロー
58h	GPT163	GPT3_CCMPA	コンペアマッチ A
59h		GPT3_CCMPB	コンペアマッチ B
5Ah		GPT3_CMPC	コンペアマッチ C
5Bh		GPT3_CMPD	コンペアマッチ D
5Ch		GPT3_OVF	オーバーフロー
5Dh		GPT3_UDF	アンダーフロー
5Eh	GPT164	GPT4_CCMPA	コンペアマッチ A
5Fh		GPT4_CCMPB	コンペアマッチ B
60h		GPT4_CMPC	コンペアマッチ C
61h		GPT4_CMPD	コンペアマッチ D
62h		GPT4_OVF	オーバーフロー
63h		GPT4_UDF	アンダーフロー
64h	GPT165	GPT5_CCMPA	コンペアマッチ A
65h		GPT5_CCMPB	コンペアマッチ B
66h		GPT5_CMPC	コンペアマッチ C
67h		GPT5_CMPD	コンペアマッチ D
68h		GPT5_OVF	オーバーフロー
69h		GPT5_UDF	アンダーフロー
6Ah	GPT166	GPT6_CCMPA	コンペアマッチ A
6Bh		GPT6_CCMPB	コンペアマッチ B
6Ch		GPT6_CMPC	コンペアマッチ C
6Dh		GPT6_CMPD	コンペアマッチ D
6Eh		GPT6_OVF	オーバーフロー
6Fh		GPT6_UDF	アンダーフロー
70h	GPT	GPT_UVWEDGE	UVWのエッジイベント

表 17.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (3/3)

イベント番号	割り込み要求の発生元	名称	内容
71h	SCI0	SCI0_RXI (注4)	受信データフル
72h		SCI0_TXI (注4)	送信データエンプティ
73h		SCI0_TEI	送信終了
74h		SCI0_ERI (注4)	受信エラー
75h		SCI0_AM	アドレス一致イベント
77h	SCI1	SCI1_RXI	受信データフル
78h		SCI1_TXI	送信データエンプティ
79h		SCI1_TEI	送信終了
7Ah		SCI1_ERI	受信エラー
7Bh		SCI1_AM	アドレス一致イベント
7Ch	SCI9	SCI9_RXI	受信データフル
7Dh		SCI9_TXI	送信データエンプティ
7Eh		SCI9_TEI	送信終了
7Fh		SCI9_ERI	受信エラー
80h		SCI9_AM	アドレス一致イベント
81h	SPI0	SPI0_SPRI	受信バッファフル
82h		SPI0_SPTI	送信バッファエンプティ
83h		SPI0_SPII	アイドル
84h		SPI0_SPEI	エラー
85h		SPI0_SPTEND	送信完了イベント
86h	SPI1	SPI1_SPRI	受信バッファフル
87h		SPI1_SPTI	送信バッファエンプティ
88h		SPI1_SPII	アイドル
89h		SPI1_SPEI	エラー
8Ah		SPI1_SPTEND	送信完了イベント

- 注 1. パルス（エッジ検出）のみがサポートされています。
- 注 2. ELSR8、ELSR9、ELSR14、ELSR15、および ELSR18 が、本イベントを選択できます。
- 注 3. このイベントはスヌーズモードでも発生可能です。
- 注 4. このイベントは FIFO モードではサポートされていません。

17.3 動作説明

17.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

17.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 17.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 17.4 イベント発生時のモジュールの動作

モジュール	イベント発生時の動作
GPT	• カウント開始 • カウント停止 • カウントクリア • アップカウント • ダウンカウント • インプットキャプチャ
ADC16	A/D 変換開始
DAC12	D/A 変換開始
DAC8	D/A 変換開始
I/O ポート	• EORR (リセット) または EOSR (セット) に基づく端子出力の変化 • 端子状態を EIDR にラッチ • ELC で使用可能なポート : PORT 1 PORT 2
CTSU	測定動作開始
SDADC24	A/D 変換開始
DTC	DTC データ転送開始

17.3.3 イベントリンクの動作設定手順例

イベントのリンク方法は以下のとおりです。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールに対して、ELSRn レジスタを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にします。
4. イベント出力元モジュールの設定を行い、起動させます。これによって、2 つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[7:0] ビットを 00000000b にします。また、ELCR.ELCON ビットを 0 にすることにより、すべてのイベントリンクを停止します。

RTC のイベントリンク出力機能を使用する場合は、RTC の設定 (初期化、時刻設定など) を行った後、ELC を設定してください。ELC の設定後に RTC の設定を行うと、意図しないイベント出力が発生する可能性があります。

17.4 使用上の注意事項

17.4.1 DTC 転送終了のイベントリンクを使用する場合

DTC 転送終了のイベントリンクを使用する場合、DTC 転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると周辺モジュールへの DTC 転送が完了する前に、周辺モジュールが起動する可能性があります。

17.4.2 クロックの設定について

イベントリンクを使用するには、ELC と対象モジュールが動作可能な状態でなければいけません。対象モジュールがモジュールストップ状態の場合、または、対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモードなど）の場合、そのモジュールは動作できません。モジュールによっては、スヌーズモードで動作するものもあります。詳細については、表 17.3 と「11. 低消費電力モード」を参照してください。

17.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC 動作を禁止または許可することが可能です。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細については、表 17.3 と「11. 低消費電力モード」を参照してください。

17.4.4 ELC 遅延時間

図 17.2 では、モジュール A は ELC 経由でモジュール B にアクセスします。モジュール A とモジュール B の間では、ELC での遅延時間が存在します。表 17.5 に ELC 遅延時間を示します。

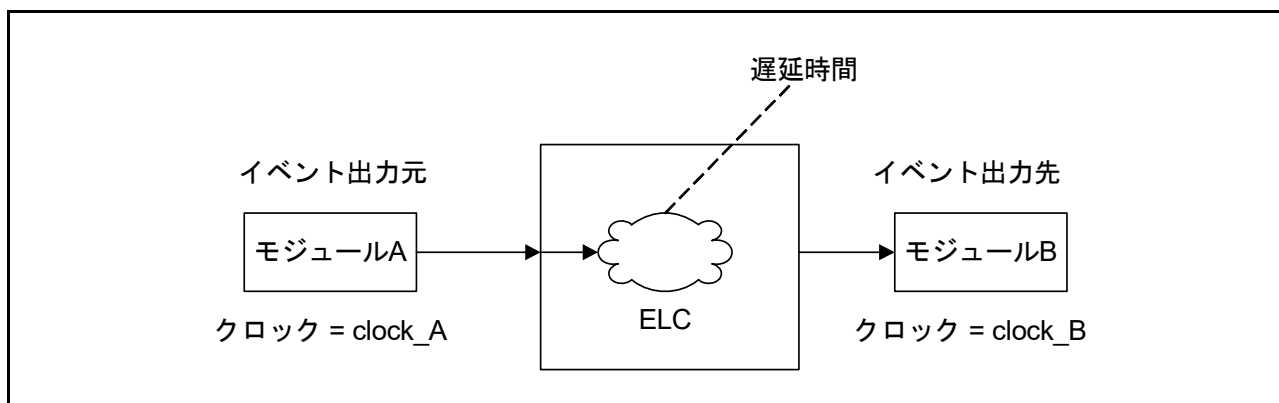


図 17.2 ELC 遅延時間

表 17.5 ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1 ~ 2 サイクル
	clock_A > clock_B	B の 1 ~ 2 サイクル
	clock_A < clock_B	A の 1 ~ 2 サイクル

18. I/Oポート

18.1 概要

I/Oポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、または ELC のポートグループ機能として動作します。すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、対応するレジスタで設定します。

図 18.1 に、I/O ポートレジスタの接続図を示します。パッケージによって I/O ポートの構成は異なります。表 18.1 にパッケージ別の I/O ポートの仕様を、表 18.2 に I/O ポートの機能を示します。

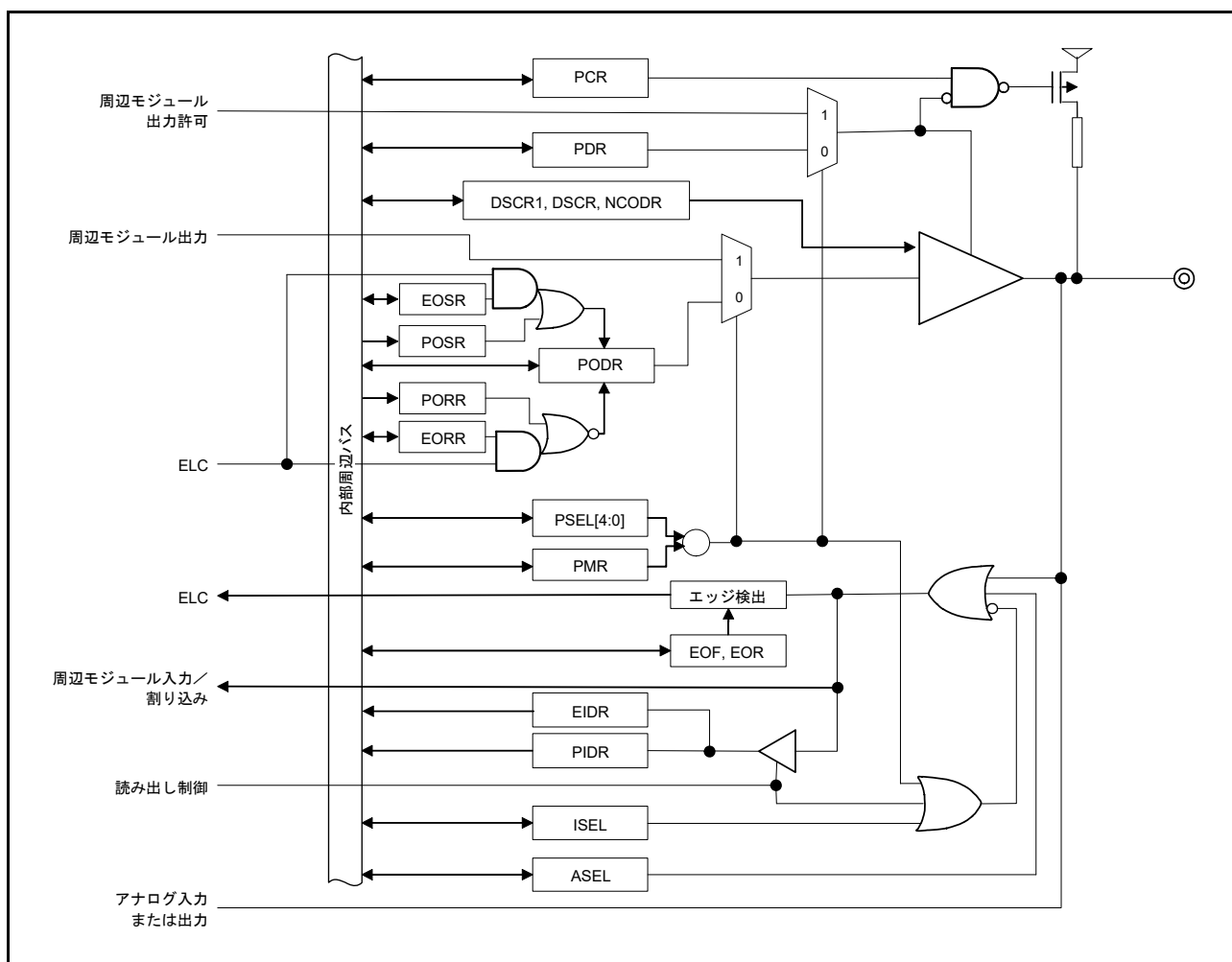


図 18.1 I/O ポートレジスタの接続図

注 . 図 18.1 にポートの基本構成を示します。ポートによって構成は異なります。

表 18.1 I/Oポートの仕様

ポート	パッケージ		パッケージ		パッケージ		パッケージ		パッケージ	
	64ピン	本数	48ピン	本数	40ピン	本数	36ピン	本数	32ピン	本数
ポート0	P000～P003, P012～P015	8	P000, P013～P015	4	P000, P013	2	P000	1	なし	0
ポート1	P100～P112	13	P100～P105, P108～P110	9	P100～P103, P108～P110	7	P100, P101, P108～P110	5	P100, P101, P108～P110	5
ポート2	P200, P201, P204～P206, P212～P215	9	P200, P201, P206, P212～P215	7	P200, P201, P212～P215	6	P200, P201, P212～P215	6	P200, P201, P204～P206, P212, P213	7
ポート3	P300～P304	5	P300～P302	3	P300, P301	2	P300, P301	2	P300, P301	2
ポート4	P400～P403, P407～P411	9	P400, P401, P407～P409	5	P400, P407, P408	3	P400, P407, P408	3	P400, P407, P408	3
ポート5	P500～P502	3	P500～P502	3	P500～P502	3	P500～P502	3	P500～P502	3
ポート9	P914, P915	2	P914, P915	2	P914, P915	2	P914, P915	2	×	0
	合計本数	49	合計本数	33	合計本数	25	合計本数	22	合計本数	20

表 18.2 I/Oポートの機能

ポート	ポート名	入力プルアップ	入力モード 切り替え	オープン ドレイン出力	駆動能力切り替え	5Vトレラント
ポート0	P000	○	CMOS/TTL	○	低／中	○
	P001～P003, P012～P015	○	—	—	低／中	—
ポート1	P100, P101	○	—	○	低／中	—
	P102～P108	○	—	—	低／中	—
	P109, P110	○	CMOS/TTL	○	低／中	—
	P111, P112	○	CMOS/TTL	○	低／中	○
ポート2	P200, P214, P215	—	—	—	—	—
	P201	○	—	—	低／中	—
	P204	○	—	○	低／中	—
	P205, P206	○	CMOS/TTL	○	低／中	○
	P212, P213	○	—	○	—	—
ポート3	P300, P303	○	—	—	低／中	—
	P301	○	CMOS/TTL	○	低／中	○
	P302, P304	○	—	○	低／中	—
ポート4	P400	○	CMOS/TTL	○	低／中	—
	P401	○	CMOS/TTL	○	低／中	○
	P402, P403	○	—	—	低／中	—
	P410, P411	○	—	○	低／中	—
	P407, P409	○	CMOS/TTL	○	低／中／中 (IIC, SPI)	○
	P408	○	CMOS/TTL	○	低／中／中 (IIC, SPI)	—
ポート5	P500, P501	○	—	○	低／中	—
	P502	○	—	—	低／中	—
ポート9	P914, P915	—	—	—	—	—

○：使用可能

—：設定禁止

18.2 レジスタの説明

18.2.1 ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR)

アドレス PORT0.PCNTR1 4004 0000h, PORT1.PCNTR1 4004 0020h, PORT2.PCNTR1 4004 0040h, PORT3.PCNTR1 4004 0060h, PORT4.PCNTR1 4004 0080h, PORT5.PCNTR1 4004 00A0h, PORT9.PCNTR1 4004 0120h

PORT0.PODR 4004 0000h, PORT1.PODR 4004 0020h, PORT2.PODR 4004 0040h, PORT3.PODR 4004 0060h, PORT4.PODR 4004 0080h, PORT5.PODR 4004 00A0h, PORT9.PODR 4004 0120h

PORT0.PDR 4004 0002h, PORT1.PDR 4004 0022h, PORT2.PDR 4004 0042h, PORT3.PDR 4004 0062h, PORT4.PDR 4004 0082h, PORT5.PDR 4004 00A2h, PORT9.PDR 4004 0122h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PDRn	Pmn 方向	0 : 入力 (入力端子として機能) 1 : 出力 (出力端子として機能)	R/W
b31-b16	PODRn	Pmn 出力データ	0 : Low 出力 1 : High 出力	R/W

m = 0 ~ 5, 9

n = 00 ~ 15

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットおよび 16 ビットの読み出し／書き込みレジスタで、ポート方向およびポート出力データを制御します。

PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn (PCNTR1 のビット [15:0]) および PODRn (PCNTR1 のビット [31:16]) はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビット (Pmn 方向)

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

P200、P214、P215 は入力専用なので、PORT2.PCNTR1.PDR00、PDR14、PDR15 ビットは予約ビットです。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能を果たします。

PODRn ビット (Pmn 出力データ)

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。これらのビットには 0 を書いてください。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。P200、P214、P215 は入力専用なので、PORT2.PCNTR1.PODR00、PODR14、PODR15 ビットは予約ビットです。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能を果たします。

18.2.2 ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR)

アドレス PORT0.PCNTR2 4004 0004h, PORT1.PCNTR2 4004 0024h, PORT2.PCNTR2 4004 0044h, PORT3.PCNTR2 4004 0064h, PORT4.PCNTR2 4004 0084h, PORT5.PCNTR2 4004 00A4h, PORT9.PCNTR2 4004 0124h

PORT1.EIDR 4004 0024h, PORT2.EIDR 4004 0044h

PORT0.PIDR 4004 0006h, PORT1.PIDR 4004 0026h, PORT2.PIDR 4004 0046h, PORT3.PIDR 4004 0066h, PORT4.PIDR 4004 0086h, PORT5.PIDR 4004 00A6h, PORT9.PIDR 4004 0126h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	PIDRn	Pmn 状態	0 : Low レベル 1 : High レベル	R
b31-b16	EIDRn	ポートイベント入力データ (注1)	ELC_PORTx の発生時 0 : Low 入力 1 : High 入力	R

m = 0 ~ 5, 9

n = 00 ~ 15

x = 1, 2

注 1. ポート 1 とポート 2 に対応しています。

ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) は、32 ビットまたは 16 ビット単位での、Pmn 状態およびポートイベント入力データへのリードアクセスを可能にします。

PCNTR2 は Pmn 状態とポートイベント入力データを示し、32 ビット単位でアクセスされます。PIDRn (PCNTR2 のビット [15:0]) および PIDREIDRn (PCNTR2 のビット [31:16]) はそれぞれ 16 ビット単位でアクセスされます。存在しない端子に対応するビットは予約ビットです。予約ビットを読むと、不定値が読めます。

PIDRn ビット (Pmn 状態)

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、ポートの個々の端子状態を反映します。PORTm.PCNTR 2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能を果たします。

次のいずれかの機能が有効な場合、端子状態は PIDRn に反映できません。

- メインクロック発振器 (MOSC)
- サブクロック発振器 (SOSC)
- アナログ機能 (ASEL = 1)
- 静電容量式タッチセンシングユニット (CTSU)
- USB2.0 フルスピードモジュール (USBFS)

EIDRn ビット (ポートイベント入力データ)

EIDRn ビットは、ELC_PORTx 信号の発生時に端子状態をラッチします。PmnPFS.PMR と PORTm.PCNTR1.PDRn が 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットを 1 にすると、対応する端子状態は反映されません。

18.2.3 ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR)

アドレス PORT0.PCNTR3 4004 0008h, PORT1.PCNTR3 4004 0028h, PORT2.PCNTR3 4004 0048h, PORT3.PCNTR3 4004 0068h, PORT4.PCNTR3 4004 0088h, PORT5.PCNTR3 4004 00A8h, PORT9.PCNTR3 4004 0128h

PORT0.PORR 4004 0008h, PORT1.PORR 4004 0028h, PORT2.PORR 4004 0048h, PORT3.PORR 4004 0068h, PORT4.PORR 4004 0088h, PORT5.PORR 4004 00A8h, PORT9.PORR 4004 0128h

PORT0.POSR 4004 000Ah, PORT1.POSR 4004 002Ah, PORT2.POSR 4004 004Ah, PORT3.POSR 4004 006Ah, PORT4.POSR 4004 008Ah, PORT5.POSR 4004 00AAh, PORT9.POSR 4004 012Ah

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	POSRn	Pmn出力設定	0 : 出力に影響なし 1 : High出力	W
b31-b16	PORRn	Pmn出力リセット	0 : 出力に影響なし 1 : Low出力	W

m = 0 ~ 5, 9

n = 00 ~ 15

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットおよび 16 ビットの書き込みレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。POSRn (PCNTR3 のビット [15:0]) および PORRn (PCNTR3 のビット [31:16]) はそれぞれ 16 ビット単位でアクセスされます。

POSRn ビット (Pmn 出力設定)

POSR ビットがソフトウェア書き込みによって設定されると、PODR ビットが変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 が 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用なので、PORT2.PCNTR3.POSR00、POSR14、および POSR15 ビットは予約ビットです。

PORRn ビット (Pmn 出力リセット)

PORR ビットがソフトウェア書き込みによってリセットされると、PODR ビットが変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.PORR00 が 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用なので、PORT2.PCNTR3.PORR00、PORR14、および PORR15 ビットは予約ビットです。

注． EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注． PORRn ビットと POSRn ビットは、どちらか一方のみ設定してください。

18.2.4 ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR)

アドレス PORT1.PCNTR4 4004 002Ch, PORT2.PCNTR4 4004 004Ch

PORT1.EORR 4004 002Ch, PORT2.EORR 4004 004Ch

PORT1.EOSR 4004 002Eh, PORT2.EOSR 4004 004Eh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	EOSRn	Pmn イベント出力設定	ELC_PORTx の発生時 0 : 出力に影響なし 1 : High 出力	R/W
b31-b16	EORRn	Pmn イベント出力リセット	ELC_PORTx の発生時 0 : 出力に影響なし 1 : Low 出力	R/W

m = 1, 2

n = 00 ~ 15

x = 1, 2

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットおよび 16 ビットの読み出し／書き込み可能なレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。EOSRn (PCNTR4 のビット [15:0]) および EORRn (PCNTR4 のビット [31:16]) はそれぞれ 16 ビット単位でアクセスされます。

EOSRn ビット (Pmn イベント出力設定)

EOSR ビットが ELC_PORTx 信号の発生によって設定されると、PODR ビットが変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EOSR00 が 1 になると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用なので、PORT2.PCNTR4.EOSR00、EOSR14、EOSR15 ビットは予約ビットです。

EORRn ビット (Pmn イベント出力リセット)

EORR ビットが ELC_PORTx 信号の発生によってリセットされると、PODR ビットが変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EORR00 が 1 になると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用なので、PORT2.PCNTR4.EORR00、EORR14、EORR15 ビットは予約ビットです。

注． EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注． EORRn ビットと EOSRn ビットは、どちらか一方のみ設定してください

18.2.5 ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) (m = 0 ~ 5, 9; n = 00 ~ 15)

アドレス PFS.P000PFS 4004 0800h ~ PFS.P003PFS 4004 080Ch, PFS.P012PFS 4004 0830h ~ PFS.P015PFS 4004 083Ch,
PFS.P100PFS 4004 0840h ~ PFS.P112PFS 4004 0870h,
PFS.P200PFS 4004 0880h ~ PFS.P201PFS 4004 0884h, PFS.P204PFS 4004 0890h ~ PFS.P206PFS 4004 0898h,
PFS.P212PFS 4004 08B0h ~ PFS.P215PFS 4004 08BCh,
PFS.P300PFS 4004 08C0h ~ PFS.P304PFS 4004 08D0h,
PFS.P400PFS 4004 0900h ~ PFS.P403PFS 4004 090Ch, PFS.P407PFS 4004 091Ch ~ PFS.P411PFS 4004 092Ch,
PFS.P500PFS 4004 0940h ~ PFS.P502PFS 4004 0948h,
PFS.P914PFS 4004 0A78h ~ PFS.P915PFS 4004 0A7Ch,

PFS.P000PFS_HA 4004 0802h ~ PFS.P003PFS_HA 4004 080Eh, PFS.P012PFS_HA 4004 0832h ~ PFS.P015PFS_HA 4004 083Eh,
PFS.P100PFS_HA 4004 0842h ~ PFS.P112PFS_HA 4004 0872h, PFS.P200PFS_HA 4004 0882h ~ PFS.P201PFS_HA 4004 0886h,
PFS.P204PFS_HA 4004 0892h ~ PFS.P206PFS_HA 4004 0896h, PFS.P212PFS_HA 4004 08B2h ~ PFS.P215PFS_HA 4004 08BEh,
PFS.P300PFS_HA 4004 08C2h ~ PFS.P304PFS_HA 4004 08D2h, PFS.P400PFS_HA 4004 0902h ~ PFS.P403PFS_HA 4004 090Eh,
PFS.P407PFS_HA 4004 091Eh ~ PFS.P411PFS_HA 4004 092Eh, PFS.P500PFS_HA 4004 0942h ~ PFS.P502PFS_HA 4004 094Ah,
PFS.P914PFS_HA 4004 0A7Ah ~ PFS.P915PFS_HA 4004 0A7Eh,

PFS.P000PFS_BY 4004 0803h ~ PFS.P003PFS_BY 4004 080Fh, PFS.P012PFS_BY 4004 0833h ~ PFS.P015PFS_BY 4004 083Fh,
PFS.P100PFS_BY 4004 0843h ~ PFS.P112PFS_BY 4004 0873h, PFS.P200PFS_BY 4004 0883h ~ PFS.P201PFS_BY 4004 0887h,
PFS.P204PFS_BY 4004 0893h ~ PFS.P206PFS_BY 4004 0897h, PFS.P212PFS_BY 4004 08B3h ~ PFS.P215PFS_BY 4004 08BFh,
PFS.P300PFS_BY 4004 08C3h ~ PFS.P304PFS_BY 4004 08D3h, PFS.P400PFS_BY 4004 0903h ~ PFS.P403PFS_BY 4004 090Fh,
PFS.P407PFS_BY 4004 091Fh ~ PFS.P411PFS_BY 4004 092Fh, PFS.P500PFS_BY 4004 0943h ~ PFS.P502PFS_BY 4004 094Bh,
PFS.P914PFS_BY 4004 0A7Bh ~ PFS.P915PFS_BY 4004 0A7Fh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	PSEL[4:0]				—	—	—	—	—	—	—	—	PMR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 (注2)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	EOF	EOR	DSCR1 (注3)	DSCR	—	—	—	NCOD R	—	PCR	—	PDR	PIDR	PODR
リセット後の値	0	0	0	0	0	0 (注2)	0	0	0	0	0	0 (注2)	0	0	x	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	PODR	ポート出力データ	0 : Low出力 1 : High出力	R/W
b1	PIDR	Pmn 状態	0 : Low入力 1 : High入力	R
b2	PDR	ポート方向	0 : 入力 (入力端子として機能) 1 : 出力 (出力端子として機能)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PCR	プルアップ制御	0 : 入力プルアップ無効 1 : 入力プルアップ有効	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	NCODR	Nチャネルオープンドレイン制御	0 : CMOS出力 1 : NMOSオープンドレイン出力	R/W
b9-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b10	DSCR1/ DSCR	ポート駆動能力	P407 ~ P409 b11 b10 0 0: 低駆動 0 1: 中駆動 1 0: 中駆動 (IICファストモードとSPI) 1 1: 設定禁止 P407 ~ P409以外 b10 0 : 低駆動 1 : 中駆動 b11を読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b13-b12	EOF/EOR	立ち下がり時イベント／立ち上がり時イベント (注1)	b13 b12 0 0 : Don't care 0 1 : 立ち上がりエッジ検出 1 0 : 立ち下がりエッジ検出 1 1 : 両エッジ検出	R/W
b14	ISEL	IRQ 入力許可	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b15	ASEL	アナログ入力許可	0 : アナログ端子として使用しない 1 : アナログ端子として使用する	R/W
b16	PMR	ポートモード制御	0 : 汎用入出力端子として使用する 1 : 周辺機能用の入出力ポートとして使用する	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28-b24	PSEL[4:0]	周辺機能選択	周辺機能を選択します。個々の端子機能については、この章の関連する表を参照してください。	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ポート 1 とポート 2 に対応しています。

注 2. P108、P201、P300、P914、P915 の初期値は 0000 0000h 以外になります。

P108 の初期値は 0001_0010h、P201 の初期値は 0000_0010h、P300 の初期値は 0001_0010h、P914 および P915 の初期値は 0001_0000h になります。

注 3. P407 ～ P409 にのみ、本ビットがあります。その他のポートの場合、本ビットは予約ビットです。

ポート mn 端子機能選択レジスタ (PmnPFS、PmnPFS_HA、PmnPFS_BY) は、ポート mn 端子機能を選択する 32 ビット、16 ビット、および 8 ビットの読み出し／書き込みコントロールレジスタです。PmnPFS は 32 ビット単位でアクセスされます。PmnPFS_HA (PmnPFS のビット [15:0]) は 16 ビット単位でアクセスされます。PmnPFS_BY (ビット [7:0]) は 8 ビット単位でアクセスされます。

PODR ビット (ポート出力データ)、PIDR ビット (Pmn 状態)、PDR ビット (ポート方向)

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR 値が読めます。

PCR ビット (プルアップ制御)

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効／無効にする場合に設定します。端子が入力状態にあって、PmnPFS.PCR の関連するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子のビットは予約ビットです。書く場合、0 としてください。

NCODR ビット (N チャネルオープンドレイン制御)

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

DSCR1/DSCR ビット (ポート駆動能力)

DSCR1 および DSCR ビットは、ポートの駆動能力を切り替えます。端子の駆動能力が固定されている場合、対応するビットは読み出し／書き込み可能ですが、駆動能力は変更できません。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

EOF/EOR ビット (立ち下がり時イベント／立ち上がり時イベント)

EOR/EOF ビットは、ポートグループ入力信号のエッジ検出方法を選択する場合に設定します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOR/EOF ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子のビットは予約ビットです。予約ビットは、書く場合、0 としてください。

ISEL ビット (IRQ 入力許可)

ISEL ビットは、IRQ 入力端子を設定します。周辺機能と組み合わせて使用することも可能です。ただし、

同じ番号の IRQn（外部端子割り込み）は 1 つの端子にのみ許可できます。

ASEL ビット（アナログ入力許可）

ASEL ビットは、アナログ端子を設定します。本ビットで、端子をアナログ端子として設定する場合、以下のよう指定します。

1. ポートモードレジスタ（PmnPFS.PMR）で、汎用入出力ポートを選択します。（注 1）
2. プルアップ制御ビット（PmnPFS.PCR）で、プルアップ抵抗を無効にします。
3. ポート方向レジスタ（PmnPFS.PDR）で、入力に設定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ（PWPR）によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

注 1. D/A コンバータ出力レベルがポートに出力される場合、ポートモード制御ビットを使って周辺機能用の入出力ポートを選択して、PmnPFS.PSEL ビットで D/A 出力を設定します。

未指定の IRQn に対する ISEL ビットは予約ビットです。未指定のアナログ入出力に対する ASEL ビットは予約ビットです。

PMR ビット（ポートモード制御）

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

PSEL[4:0] ビット（周辺機能選択）

PSEL[4:0] ビットは、周辺機能を割り当てます。

製品ごとの周辺選択設定に関する詳細は [18.6 製品ごとの周辺選択設定](#) を参照してください。

18.2.6 書き込みプロテクトレジスタ（PWPR）

アドレス [PMISC.PWPR 4004 0D03h](#)

b7	b6	b5	b4	b3	b2	b1	b0
B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b6	PFSWE	PmnPFS レジスタ書き込み許可	0 : PmnPFS レジスタへの書き込みを禁止 1 : PmnPFS レジスタへの書き込みを許可	R/W
b7	B0WI	PFSWE ビット書き込み禁止	0 : PFSWE ビットへの書き込みを許可 1 : PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

18.3 動作説明

18.3.1 汎用入出力ポート

P108 と P300 以外のすべての端子は、リセット後は汎用入出力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn; n = 1 ~ 4) によるポート単位のアクセス、またはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は [18.2 レジスタの説明](#)を参照してください。

各ポートには以下のビットがあります。

- ポート方向ビット (PDRn) : 入力／出力の方向を選択する
- ポート出力データビット (PODRn) : 出力用データを格納する
- ポート入力データビット (PIDRn) : 端子状態を示す
- イベント入力データビット (EIDRn) : ELC_PORT1 または ELC_PORT2 信号発生時の端子状態を示す
- ポート出力設定ビット (POSrN) : ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORRn) : ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSrN) : ELC_PORT1 または ELC_PORT2 信号発生時の出力値を示す
- イベント出力リセットビット (EORRn) : ELC_PORT1 または ELC_PORT2 信号発生時の出力値を示す

18.3.2 ポート機能選択

下記のポート機能を使用して、各端子の設定が可能です。

- 入出力設定 : CMOS 出力または NMOS オープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート : ポート方向、出力データ設定、および読み出し入力データ
- 代替機能 : 端子への設定機能の割り当て

各端子はそれぞれポート mn 端子機能選択レジスタ (PmnPFS) に対応しており、対応する PODR ビット、PIDR ビット、および PDR ビットを持ちます。さらに、PmnPFS レジスタは以下のビットを持ちます。

- PCR : 入力プルアップ MOS のオン／オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR : 各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- DSCR1, DSCR : 駆動能力を選択するための駆動能力制御ビット
- EOR : ポート入力の立ち上がりエッジ検出に使用する立ち上がり時イベントビット
- EOF : ポート入力の立ち下がりエッジ検出に使用する立ち下がり時イベントビット
- ISEL : IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL : アナログ端子を設定するためのアナログ入力許可ビット
- PMR : 各ポートの端子機能を設定するためのポートモード制御ビット
- PSEL[4:0] : 対応する周辺機能を選択するためのポート機能選択ビット

これらの設定を実行するには、ポート mn 端子機能選択 (PmnPFS) レジスタに対して単一レジスタアクセスを行います。詳細は、[18.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS/PmnPFS_HA/PmnPFS_BY\)](#) (m = 0 ~ 5, 9; n = 00 ~ 15) を参照してください。

18.3.3 ELC のポートグループ機能

本 MCU では、ポート 1 とポート 2 がポートグループ機能に割り当てられています。

18.3.3.1 ELC から ELC_PORT1 または ELC_PORT2 が入力された場合の動作

本 MCU は、ELC から ELC_PORT1 または ELC_PORT2 が入力されたとき、以下の 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能 (PmnPFS レジスタで $PDR = 0$ および $PMR = 0$) では、ELC から ELC_PORT1 または ELC_PORT2 が入力されると、入出力セルの入力許可がアサートされ、外部端子のデータが EIDR ビットに読み出されます。図 18.2 を参照してください。

GPO 機能 ($PDR = 1$) または周辺モード ($PMR = 1$) では、外部端子から EIDR ビットに 0 が入力されます。

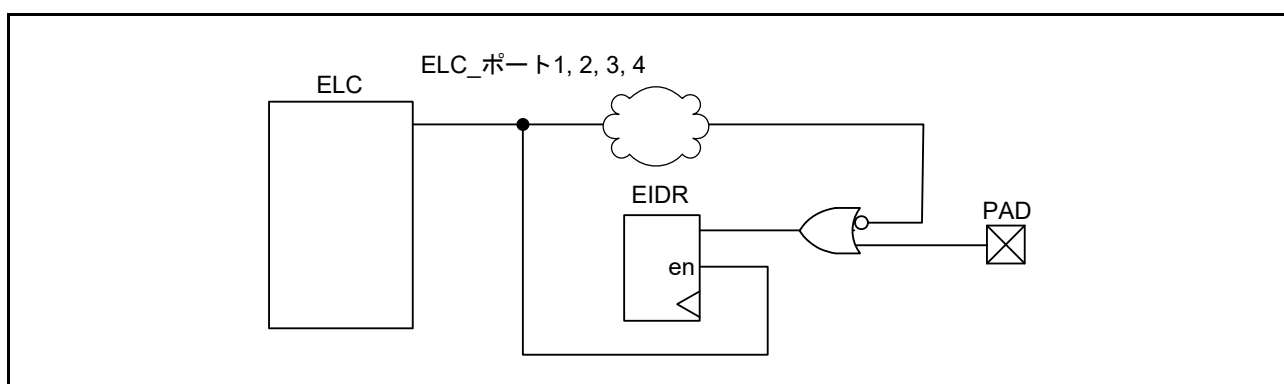


図 18.2 ポート入力データ

(2) EOSR/EORR による PODR からの出力

ELC からの ELC_PORT1 または ELC_PORT2 発生時に、EOSR/EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。図 18.3 を参照してください。

- EOSR レジスタを 1 にすると、ELC_PORT1 または ELC_PORT2 発生時に、PODR レジスタは外部端子へ 1 を出力
EOSR = 0 の場合、PODR の値はそのまま
- EORR レジスタを 1 にすると、ELC_PORT1 または ELC_PORT2 発生時に PODR レジスタは外部端子へ 0 を出力
EORR = 0 の場合、PODR の値はそのまま

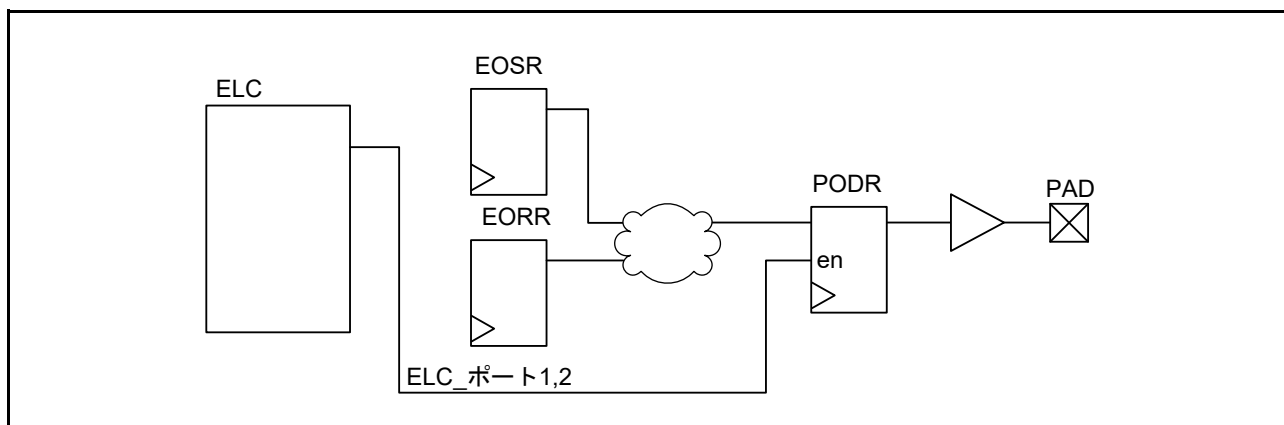


図 18.3 ポート出力データ

18.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC へイベントパルスを出力するには、PmnPFS.EOR/EOF ビットを設定します。詳細は、[18.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS/PmnPFS_HA/PmnPFS_BY\) \(m = 0 ~ 5, 9; n = 00 ~ 15\)](#) を参照してください。EOR/EOF ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子のデータが入力となります。たとえばポート 1 に対して、P100 から P113 へデータが入力されると、これら 14 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 の動作もポート 1 と同様です。[図 18.4](#) を参照してください。

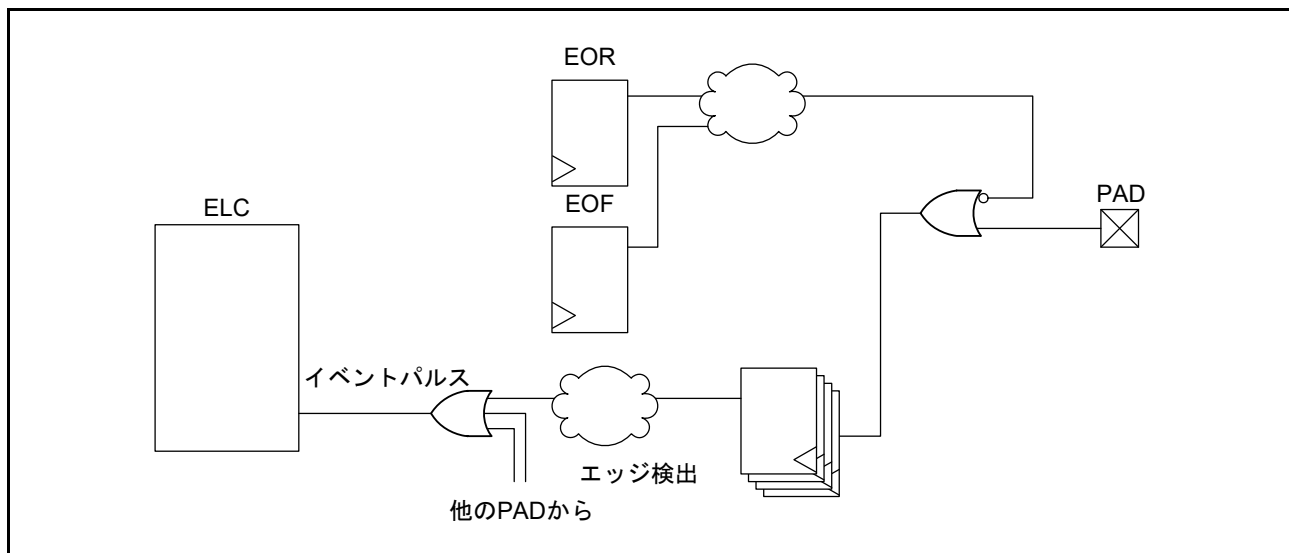


図 18.4 イベントパルスの発生

18.4 未使用端子の処理

表 18.3 に未使用端子の処理内容を示します。

表 18.3 未使用端子の処理

端子名	内容
P201/MD	モード端子として使用
RES	抵抗を介してVCCに接続（プルアップ）
USB_DP, USB_DM	P914PFS.PMR ビットと P915PFS.PMR ビットが両方とも 1 の場合、端子を開放
P200/NMI	抵抗を介してVCCに接続（プルアップ）
P212/EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P212）に設定。この端子をポート P212 として使用しない場合、P1x～P5x, P9x と同じ処理をしてください
P213/XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P213）に設定。この端子をポート P213 として使用しない場合、P1x～P5x, P9x と同じ処理をしてください。外部クロックが EXTAL 端子に入力される場合、この端子は開放したまま
P215/XCIN	サブクロック発振器を使用しない場合、SOSCCR.SOSTP ビットを 1（汎用ポート P215）に設定。この端子をポート P215 として使用しない場合、P1x～P5x, P9x と同じ処理をしてください
P214/XCOUT	サブクロック発振器を使用しない場合、SOSCCR.SOSTP ビットを 1（汎用ポート P214）に設定。この端子をポート P214 として使用しない場合、P1x～P5x, P9x と同じ処理をしてください
P000, P001, P108～P112	- 入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子を抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）（注1） - 出力（PCNTR1.PDRn = 1）に設定した場合、端子を解放（注1）（注2）
P002, P003, P012～P015, P500～P502	入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子を抵抗を介してAVCC0に接続（プルアップ）、または抵抗を介してAVSS0に接続（プルダウン）（注1）
P100～P107	入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子は抵抗を介してAVCC1に接続（プルアップ）、または抵抗を介してAVSS1に接続（プルダウン）（注1）
P2x～P4x, P9x	- 入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子は抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）（注1） - 出力（PCNTR1.PDRn = 1）に設定した場合、端子を開放（注1）（注2）
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
ADREG	開放したまま
SBIAS/VREFI	開放したまま

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。

注 2. P108 および P300 は初期値（PmnPFS.PCR = 1）から有効にされた入力プルアップなので、抵抗を介したプルアップ VCC に推奨されます。

18.5 使用上の注意事項

18.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.B0WI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子の PMR のポートモード制御をクリアして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0] ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR を 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.B0WI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

18.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート 1 およびポート 2）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[7:0] ビットを 0000 0000b にして、意図しないパルスが無視します。詳細は、「[17. イベントリンクコントローラ \(ELC\)](#)」を参照してください。
2. PmnPFS.EOF/EOR ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、または少しの間（たとえば 100ns）待ちます。意図しないパルスが無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[7:0] ビットを設定して、イベント信号を許可します。

18.5.3 ポート出力データレジスタ（PODR）の概要

このレジスタは下記のようにデータを出力します。

1. ELC_PORT1 または ELC_POR2 信号の発生時に PCNTR4.EORRn が 1 の場合、0 を出力する。
2. ELC_PORT1 または ELC_POR2 信号の発生時に PCNTR4.EOSRn が 1 の場合、1 を出力する。
3. PCNTR3.PORR ビットが 1 の場合、0 を出力する。
4. PCNTR3.POSR ビットが 1 の場合、1 を出力する。
5. PCNTR1.PODR ビットを設定することで、0 または 1 を出力する。
6. PmnPFS.PODR ビットを設定することで、0 または 1 を出力する。

上記の番号は、PODR への書き込み優先順位に相当しています。たとえば、上記の 1. と 3. が同時に発生した場合、優先順位の高い 1. が実行されます。

18.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモードコントロールレジスタ（PMR）とポート方向レジスタ（PDR）に関連するビットを両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、Pmn 端子機能コントロールレジスタ（PmnPFS.ASEL）のアナログ入力許可ビット（ASEL）を 1 にしてください。

18.5.5 USB_DP 端子および USB_DM 端子の選択

USB_DP 端子は P914 端子との兼用です。USB_DM 端子は P915 端子との兼用です。USB_DP 端子と P914 端子は PFS.P914PFS.PMR ビットで設定します。USB_DM 端子と P915 端子は PFS.P915PFS.PMR ビットで設定します。表 18.4 に、各端子を選択するときの PFS.P914PFS.PMR ビットと PFS.P915PFS.PMR ビットの設定値を示します。

表 18.4 USB/PORT 端子の選択

PMR ビットの設定		選択する端子	
P914PFS.PMR ビット	P915PFS.PMR ビット	P914/USB_DP 端子	P915/USB_DM 端子
0	0	P914	P915
0	1	P914	P915
1	0	P914	P915
1	1	USB_DP	USB_DM

- 注 . P914/USB_DP および P915/USB_DM を GPIO 端子（P914 および P915）として使用する場合、USB レジスタは初期値で使用してください。
- 注 . P914/USB_DP および P915/USB_DM を USB 端子（USB_DP および USB_DM）として使用する場合、P914 と P915 の GPIO レジスタは初期値で使用してください。
- 注 . P914/USB_DP および P915/USB_DM を GPIO 端子または USB 端子として使用する場合、これらの端子はリセット後に 1 回だけ設定してください。

18.6 製品ごとの周辺選択設定

本節では、PmnPFS レジスタによる端子機能選択設定について詳しく説明します。いくつかの端子名には、A、B、C、D、E、または F という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることは禁止されています。

表 18.5 入出力端子機能のレジスタ設定（ポート0）

PSEL[4:0] 設定値	機能	端子							
		P000	P001	P002	P003	P012	P013	P014	P015
00000b（初期値）	Hi-Z/SWD	Hi-Z							
00001b	AGT	AGTIO1_A	—	—	—	—	—	—	—
00011b	GPT	GTIOC4B_B	—	—	—	—	GTIOC6B_C	GTIOC6A_C	—
00101b	SCI	RXD9_A/ SCL9_A/ MISO9_A	CTS9_RTS9_A/ SS9_A	—	—	—	—	—	—
00110b	SPI	MISOB_A	RSPCKB_D	—	—	—	—	—	—
00111b	IIC	SCL0_C	—	—	—	—	—	—	—
01000b	KINT	KR00	—	—	—	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	RTCOUT_D	—	—	—	—	—	—
01010b	CAC/ADC16/ SDADC24/ DAC12/DAC8	—	—	DA8_1	—	—	DA8_0	—	—
01100b	CTSU	TS16	TS15	—	—	—	—	—	—
ASEL ビット		—	—	AN007/ DA8_1/ AMP2+	AN006/ AMP2-	AN008/ AMP2O	AN005/ DA8_0/ AMP1+/ IVCMP1/ VREFH	AN004/ AMP1-/ IVREF1/ VREFL	AN003/ AMP1O
ISEL ビット		IRQ4_A	IRQ0_B	—	—	—	—	—	—
DSCR ビット		低／中	低／中	低／中	低／中	低／中	低／中	低／中	低／中
NCODR ビット		○	—	—	—	—	—	—	—
PCR ビット		○	○	○	○	○	○	○	○
64 ピン製品		○	○	○	○	○	○	○	○
48 ピン製品		○	—	—（注1）	—	—	○	○	○
40 ピン製品		○	—	—（注1）	—	—	○	—	—
36 ピン製品		○	—	—（注1）	—	—	—	—（注1）	—
32 ピン製品		—	—	—（注1）	—	—	—	—（注1）	—

○：使用可能

—：設定禁止

低／中：低駆動／中駆動

注 1. DAC8 のチャンネル n (n = 0, 1) 出力は直接端子から出力させることはできませんが、OPAMP を介して端子出力させるためのレジスタ設定は可能です。

表 18.6 入出力端子機能のレジスタ設定（ポート1）（1）

PSEL[4:0] 設定値	機能	端子							
		P100	P101	P102	P103	P104	P105	P106	P107
00000b（初期値）	Hi-Z/SWD	Hi-Z							
00001b	AGT	—	—	—	—	—	—	—	—
00010b	GPT	—	—	—	—	—	—	—	—
00011b	GPT	GTIOC5B_B	GTIOC5A_B	GTIOC6B_B	GTIOC6A_B	—	—	—	—
00100b	SCI	—	—	—	—	—	—	—	—
00101b	SCI	TXD9_D/ SDA9_D/ MOSI9_D	RXD9_C/ SCL9_C/ MISO9_C	CTS9_RTS9_D/ SS9_D	—	—	—	—	—
00110b	SPI	—	—	SSLB0_C	RSPCKB_C	MISOB_C	MOSIB_C	—	—
00111b	IIC	—	—	—	—	—	—	—	—
01000b	KINT	—	—	—	—	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	—	—	—	—	—
01010b	CAC/ADC16/ SDADC24/ DAC12/DAC8	—	—	—	—	—	—	—	—
01100b	CTSU	TS23	TS22	TS21	TS20	TS19	TS18	—	—
10000b	CAN	—	—	—	—	—	—	—	—
ASEL ビット		AN016/ ANSD0P/ IVCMP2	AN017/ ANSD0N/ IVREF2	AN018/ ANSD1P	AN019/ ANSD1N	AN020/ ANSD2P	AN021/ ANSD2N	AN022/ ANSD3P	AN023/ ANSD3N
ISEL ビット		IRQ4_C	IRQ5_C	—	—	IRQ6_C	IRQ7_C	—	—
DSCR ビット		低／中	低／中	低／中	低／中	低／中	低／中	低／中	低／中
NCODR ビット		○	○	—	—	—	—	—	—
PCR ビット		○	○	○	○	○	○	○	○
64 ピン製品		○	○	○	○	○	○	○	○
48 ピン製品		○	○	○	○	○	○	—	—
40 ピン製品		○	○	○	○	—	—	—	—
36 ピン製品		○	○	—	—	—	—	—	—
32 ピン製品		○	○	—	—	—	—	—	—

○：使用可能

—：設定禁止

低／中：低駆動／中駆動

表 18.7 入出力端子機能のレジスタ設定（ポート1）（2）

PSEL[4:0] 設定値	機能	端子				
		P108	P109	P110	P111	P112
00000b（初期値）	Hi-Z/SWD	SWDIO	Hi-Z			
00001b	AGT	—	AGTOA0_A	AGTOB0_A	—	—
00010b	GPT	—	GTETRGB_A	GTOWLO_A	—	—
00011b	GPT	—	GTIOC1B_B	GTIOC2B_B	—	—
00100b	SCI	—	SCK0_C	TXD0_D/ SDA0_D/ MOSI0_D	—	—
00101b	SCI	—	TXD9_B/ SDA9_B/ MOSI9_B	RXD9_B/ SCL9_B/ MOSI9_B	—	—
00110b	SPI	—	MISOA_A	RSPCKA_A	RSPCKA_B	SSLA0_B
00111b	IIC	—	SCL1_A	SDA1_D	SCL1_C	SDA1_C
01000b	KINT	—	KR01	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	VCOUT_A	CLKOUT_A	RTCOUT_B	CLKOUT_B
01010b	CAC/ADC16/ SDADC24/ DAC12/DAC8	—	ADTRG0_B	ADTRG0_A	—	—
01100b	CTSU	—	TS17	TSCAP_A	TS14	TSCAP_B
10000b	CAN	—	—	CTX0_C	—	—
ASEL ビット		—	CMPREF0	CMPREF1	—	—
ISEL ビット		—	IRQ3_A	IRQ2_A	IRQ6_B	IRQ7_B
DSCR ビット		低／中	低／中	低／中	低／中	低／中
NCODR ビット		—	○	○	○	○
PCR ビット		○	○	○	○	○
64 ピン製品		○	○	○	○	○
48 ピン製品		○	○	○	—	—
40 ピン製品		○	○	○	—	—
36 ピン製品		○	○	○	—	—
32 ピン製品		○	○	○	—	—

○：使用可能

—：設定禁止

低／中：低駆動／中駆動

表 18.8 入出力端子機能のレジスタ設定（ポート2）

PSEL[4:0] 設定値	機能	端子								
		P200（注1）	P201	P204	P205	P206	P212	P213	P214	P215
00000b（初期値）	Hi-Z/SWD	Hi-Z								
00001b	AGT	—	—	—	—	AGTIO0_B	AGTIO0_A	AGTEE1_B	—	—
00010b	GPT	—	—	—	GTOVLO_A	GTOVUP_A	GTETRGB_B	GTETRGA_B	—	—
00011b	GPT	—	—	—	GTIOC3B_A	GTIOC3A_A	GTIOC0B_B	GTIOC0A_B	—	—
00100b	SCI	—	—	RXD0_C/ SCL0_C/ MISO0_C	TXD0_C/ SDA0_C/ MOSI0_C	CTS0_RTS0_C/ SS0_C	—	—	—	—
00101b	SCI	—	—	SCK9_B	CTS1_RTS1_A/ SS1_A	TXD1_A/ SDA1_A/ MOSI1_A	TXD1_D/ SDA1_D/ MOSI1_D	RXD1_D/ SCL1_D/ MISO1_D	—	—
00110b	SPI	—	—	MOSIB_B	MISOB_B	SSLB0_A	—	—	—	—
00111b	IIC	—	—	—	SDA1_B	SCL1_B	—	—	—	—
01000b	KINT	—	—	—	—	—	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	—	—	—	—	—	—
01010b	CAC/ADC16/ SDADC24/ DAC12/DAC8	—	—	—	—	—	—	—	—	—
01100b	CTSU	—	—	TS09	TS08	TS07	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—
ISEL ビット		—	—	—	IRQ0_C	IRQ6_A	IRQ3_B	IRQ2_B	—	—
DSCR ビット		—	低／中	低／中	低／中	低／中	—	—	—	—
NCODR ビット		—	—	○	○	○	○	○	—	—
PCR ビット		—	○	○	○	○	○	○	—	—
64 ピン製品		○	○	○	○	○	○	○	○	○
48 ピン製品		○	○	—	—	○	○	○	○	○
40 ピン製品		○	○	—	—	—	○	○	○	○
36 ピン製品		○	○	—	—	—	○	○	○	○
32 ピン製品		○	○	○	○	○	○	○	—	—

○：使用可能

—：設定禁止

低／中：低駆動／中駆動

注 1. NMI ピン割り込みを使用する場合、ポート関連のレジスタ設定は必要ありません。

表 18.9 入出力端子機能のレジスタ設定（ポート3）

PSEL[4:0] 設定値	機能	端子				
		P300	P301	P302	P303	P304
00000b（初期値）	Hi-Z/SWD	SWCLK	Hi-Z			
00001b	AGT	—	AGTOB1_A	AGTOA1_A	—	—
00010b	GPT	—	GTOWUP_A	GTOVLO_B	—	—
00011b	GPT	—	GTIOC2A_B	GTIOC3B_B	GTIOC6B_A	GTIOC6A_A
00100b	SCI	—	RXD0_B/ SCL0_B/ MISO0_B	TXD0_B/ SDA0_B/ MOSI0_B	CTS0_RTS0_B/ SS0_B	SCK0_B
00101b	SCI	—	CTS9_RTS9_B/ SS9_B	RXD1_A/ SCL1_A/ MISO1_A	SCK1_A	TXD9_C/ SDA9_C/ MOSI9_C
00110b	SPI	—	MOSIB_A	RSPCKB_A	MOSIA_B	MISOA_B
00111b	IIC	—	SDA0_A	—	—	—
01000b	KINT	—	KR04	KR05	KR06	KR07
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	RTCOUT_A	—	—	—
01010b	CAC/ADC16/ SDADC24/ DAC12/DAC8	—	—	CACREF_A	—	—
01100b	CTSU	—	TS13	TS12	TS11	TS10
10000b	CAN	—	—	—	CRX0_A	CTX0_A
ASEL ビット		—	—	—	—	—
ISEL ビット		—	IRQ5_A	IRQ4_B	—	—
DSCR ビット		低／中	低／中	低／中	低／中	低／中
NCODR ビット		—	○	○	—	○
PCR ビット		○	○	○	○	○
64 ピン製品		○	○	○	○	○
48 ピン製品		○	○	○	—	—
40 ピン製品		○	○	—	—	—
36 ピン製品		○	○	—	—	—
32 ピン製品		○	○	—	—	—

○：使用可能

—：設定禁止

低／中：低駆動／中駆動

表 18.10 入出力端子機能のレジスタ設定（ポート4）

PSEL[4:0] 設定値	機能	端子								
		P400	P401	P402	P403	P407	P408	P409	P410	P411
00000b（初期値）	Hi-Z/SWD	Hi-Z								
00001b	AGT	AGTEE0_A	AGTEE1_A	—	—	AGTIO0_C	AGTO0_A	AGTO1_A	—	—
00010b	GPT	GTETRG_A	GTIU_A	GTIV_A	GTIW_A	GTOULO_A	GTOUUP_A	—	—	—
00011b	GPT	GTIOC1A_A	GTIOC4A_A	GTIOC0A_D	GTIOC0B_C	GTIOC0B_A	GTIOC0A_A	GTIOC0A_C	GTIOC5B_A	GTIOC5A_A
00100b	SCI	CTS0_RTS0_D/SS0_D	SCK0_D	—	—	TXD0_A/ SDA0_A/ MOSI0_A	RXD0_A/ SCL0_A/ MISO0_A	SCK0_A	CTS0_RTS0_A/SS0_A	TXD0_F/ SDA0_F/ MOSI0_F
00101b	SCI	RXD1_C/ SCL1_C/ MISO1_C	SCK9_A	CTS9_RTS9_C/SS9_C	SCK1_B	TXD9_A/ SDA9_A/ MOSI9_A	TXD1_C/ SDA1_C/ MOSI1_C	CTS1_RTS1_B/SS1_B	TXD1_B/ SDA1_B/ MOSI1_B	RXD1_B/ SCL1_B/ MISO1_B
00110b	SPI	MOSIA_A	SSLB1_A	SSLB2_A	SSLB3_A	RSPCKB_B	SSLA0_A	SSLA1_A	SSLA2_A	SSLA3_A
00111b	IIC	SDA1_A	SDA0_C	—	—	SCL0_A	SDA0_B	SCL0_B	—	—
01000b	KINT	KR02	KR03	—	—	—	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	RTCOUT_C	VCOUT_B	—	—	—	—	—	—	—
01010b	CAC/ADC16/ SDADC24/ DAC12/DAC8	—	—	—	—	CACREF_B	—	—	—	—
01100b	CTSU	TS00	TS01	TS02	TS03	TSCAP_D	TS06	TSCAP_E	TS05	TS04
10000b	CAN	—	—	—	—	CTX0_D	CRX0_B	CTX0_B	—	—
10011b	USBFS	—	—	—	—	USB_VBUS	—	—	—	—
ASEL ビット		CMPIN0	—	—	—	—	CMPIN1	—	—	—
ISEL ビット		IRQ0_A	IRQ5_B	—	—	IRQ1_B	IRQ1_A	IRQ7_A	—	—
DSCR1、DSCR ビット		低／中	低／中	低／中	低／中	低／中／ 中（IIC、SPI）	低／中／ 中（IIC、SPI）	低／中／ 中（IIC、SPI）	低／中	低／中
NCODR ビット		○	○	—	—	○	○	○	○	○
PCR ビット		○	○	○	○	○	○	○	○	○
64 ピン製品		○	○	○	○	○	○	○	○	○
48 ピン製品		○	○	—	—	○	○	○	—	—
40 ピン製品		○	—	—	—	○	○	—	—	—
36 ピン製品		○	—	—	—	○	○	—	—	—
32 ピン製品		○	—	—	—	○	○	—	—	—

○：使用可能

—：設定禁止

低／中：低駆動／中駆動

低／中：低駆動／中駆動／中駆動（IIC ファストモード）

表 18.11 入出力端子機能のレジスタ設定（ポート5）

PSEL[4:0] 設定値	機能	端子		
		P500	P501	P502
00000b（初期値）	Hi-Z/SWD	Hi-Z		
00011b	GPT	GTIOC5A_C	GTIOC5B_C	—
00100b	SCI	RXD0_D/ SCL0_D/ MISO0_D	TXD0_E/ SDA0_E/ MOSI0_E	CTS0_RTS0_E/ SS0_E
01010b	CAC/ADC16/ SDADC24/ DAC12/DAC8	DA12_0	—	—
01100b	CTSU	TS24	TS25	—
ASEL ビット		AN000/ DA12_0/ AMP0+/ IVCMP0	AN001/ AMP0-/ IVREF0	AN002/ AMP00
ISEL ビット		IRQ3_C	IRQ2_C	IRQ1_C
DSCR ビット		低／中	低／中	低／中
NCODR ビット		○	○	—
PCR ビット		○	○	○
64 ピン製品		○	○	○
48 ピン製品		○	○	○
40 ピン製品		○	○	○
36 ピン製品		○	○	○
32 ピン製品		○	○	○

○：使用可能

—：設定禁止

低／中：低駆動／中駆動

表 18.12 入出力端子機能のレジスタ設定（ポート9）

PSEL[4:0] 設定値	機能	端子	
		P914	P915
00000b（初期値）	Hi-Z/SWD	Hi-Z	
ASEL ビット		—	—
ISEL ビット		—	—
DSCR ビット		—	—
NCODR ビット		—	—
PCR ビット		—	—
64 ピン製品		○	○
48 ピン製品		○	○
40 ピン製品		○	○
36 ピン製品		○	○
32 ピン製品		—	—

○：使用可能

—：設定禁止

19. キー割り込み機能 (KINT)

19.1 概要

キー割り込み (KEY_INTKR) は、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子 KR00 ~ KR07 に立ち上がりエッジ/立ち下がりエッジを入力することで発生させることができます。

表 19.1 にキー割り込み検出端子の配置、表 19.2 にこの機能の構成、そして図 19.1 にブロック図を示します。

表 19.1 キー割り込み検出端子の配置

キー割り込みモード制御 n (n = 0 ~ 7)	内容
KRM0	1ビット単位でKR00信号を制御
KRM1	1ビット単位でKR01信号を制御
KRM2	1ビット単位でKR02信号を制御
KRM3	1ビット単位でKR03信号を制御
KRM4	1ビット単位でKR04信号を制御
KRM5	1ビット単位でKR05信号を制御
KRM6	1ビット単位でKR06信号を制御
KRM7	1ビット単位でKR07信号を制御

表 19.2 キー割り込み機能の構成

項目	構成
入力	KR00 ~ KR07
コントロールレジスタ	キーリターンコントロールレジスタ (KRCTL) キーリターンモードレジスタ (KRM) キーリターンフラグレジスタ (KRF)

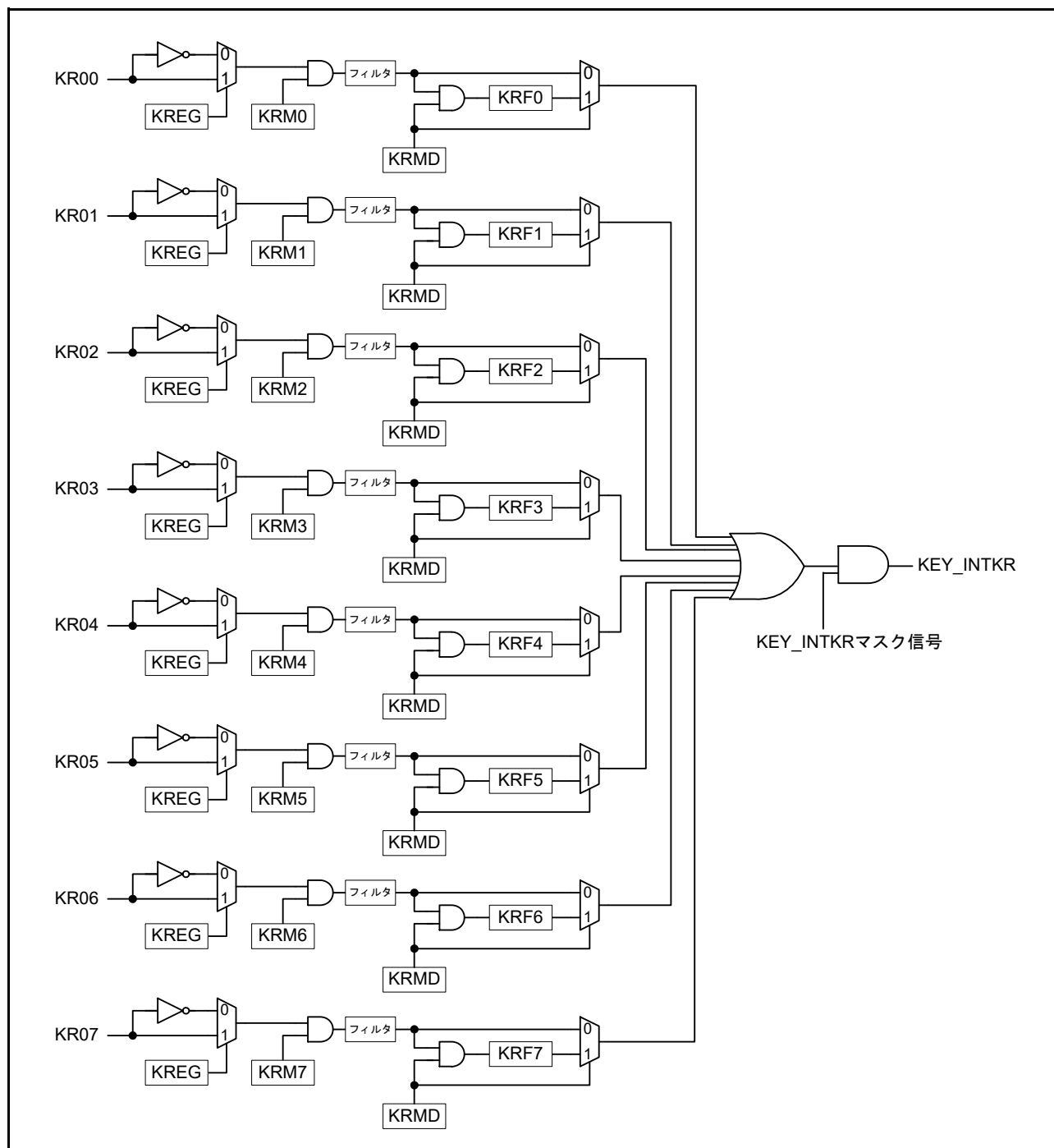


図 19.1 キー割り込み機能のブロック図

図 19.1 において、すべてのキーリターン要因が OR ゲートでマージされ、マージされたキーリターン要因が AND ゲートで KEY_INTKR マスク信号によってマスクされ、AND ゲートの出力がキー割り込み (KEY_INTKR) になります。KRFn (KRMD = 1) を使用する場合、KEY_INTKR マスク信号は、KRFn をクリアすることでアサートされる出力マスクとして使用されます。

19.2 レジスタの説明

19.2.1 キーリターンコントロールレジスタ (KRCTL)

アドレス [KINT.KRCTL 4008 0000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KRMD	—	—	—	—	—	—	KREG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KREG	検出エッジ選択 (KR00～KR07)	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	KRMD	キー割り込みフラグ使用状態 (KRF0～KRF7)	0：キー割り込みフラグを使用しない 1：キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ (KRF0～KRF7) の使用状態を制御し、検出エッジを設定するためのレジスタです。

19.2.2 キーリターンフラグレジスタ (KRF)

アドレス [KINT.KRF 4008 0004h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	KRFn	キー割り込みフラグn	0：キー割り込みの検出なし 1：キー割り込みの検出あり	R/W

n = 0～7

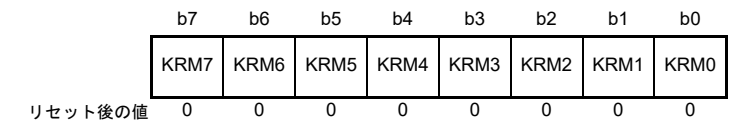
注． KRMD = 0 の場合、KRFn ビットを 1 にすることは禁止されます。

KRFn ビットを 1 に設定しても KRFn の値は変化しません。KRFn ビットをクリアする場合は、0 を書き込む前に該当ビットが 1 であることを確認し、その後でその他のビットには 1 を書き込んでください。

KRF レジスタは、キー割り込みフラグ (KRF0～KRF7) を制御するレジスタです。

19.2.3 キーリターンモードレジスタ (KRM)

アドレス [KINT.KRM 4008 0008h](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	KRMn	キー割り込みモード制御n	0 : キー割り込み信号を検出なし 1 : キー割り込み信号を検出あり	R/W

n = 0 ~ 7

注 . 対応するキー割り込み入力端子をプルアップ機能に設定することで、内蔵プルアップ抵抗の適用が可能です。
詳細は、「[18. I/O ポート](#)」を参照してください。
キー割り込みは PmnPFS.PSEL[4:0] ビットで割り当てることができます。詳細は、「[18. I/O ポート](#)」を参照してください。
キー割り込み入力端子へ入力される信号が Low レベル (KREG が 0 または 1) のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KRM レジスタは、キー割り込みモードの設定を行うレジスタです。

19.3 動作説明

19.3.1 キー割り込みフラグを使用しない場合の動作 (KRMD = 0)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY_INTKR) が発生します。有効エッジが入力されたチャンネルを識別するには、キー割り込み (KEY_INTKR) の発生後にポートレジスタを読み出して、ポートのレベルをチェックしてください。

KEY_INTKR 信号は、キー割り込み入力端子 (KR00 ~ KR07) の入力レベルに応じて変化します。

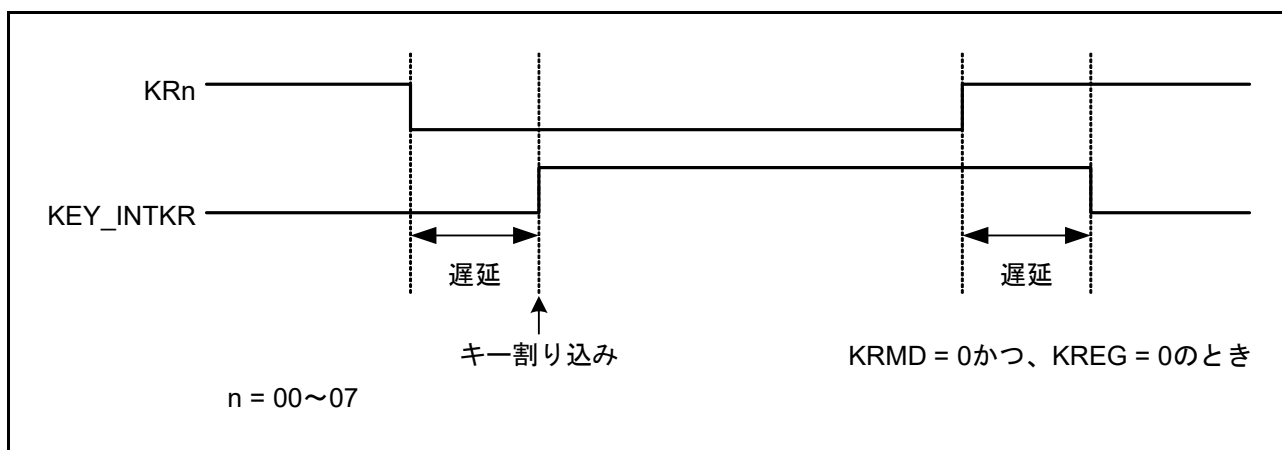


図 19.2 キー割り込みが1つのチャンネルに入力された場合の KEY_INTKR 信号の動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 19.3 に示します。一方の端子に Low レベルが入力中であると、KEY_INTKR 信号がセットされます (KREG が 0 の場合)。そのため、この期間中に他方の端子に立ち上がりエッジが入力されても、再度キー割り込み (KEY_INTKR) は発生しません。図 19.3 の [1] を参照してください。

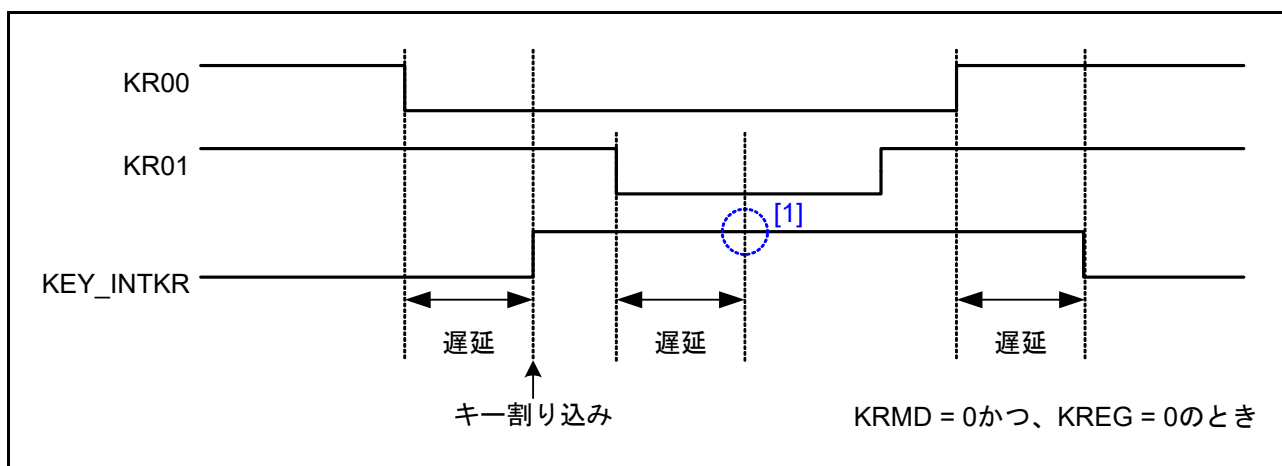


図 19.3 キー割り込みが複数のチャンネルに入力された場合の KEY_INTKR 信号の動作

19.3.2 キー割り込みフラグを使用する場合 (KRMD = 1)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY_INTKR) が発生します。有効エッジが入力されたチャンネルを識別するには、キー割り込み (KEY_INTKR) の発生後にキーリターンフラグレジスタ (KRF) を読み出してください。KRMD ビットが 1 になっている場合、KRF レジスタの対応するビットをクリアして、KEY_INTKR 信号をクリアしてください。

図 19.4 に示すように、KREG ビットが 0 の場合、1 つのチャンネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します。立ち上がりエッジが入力される前や後に KRFn ビットがクリアされても、それ以上割り込みは発生しません。

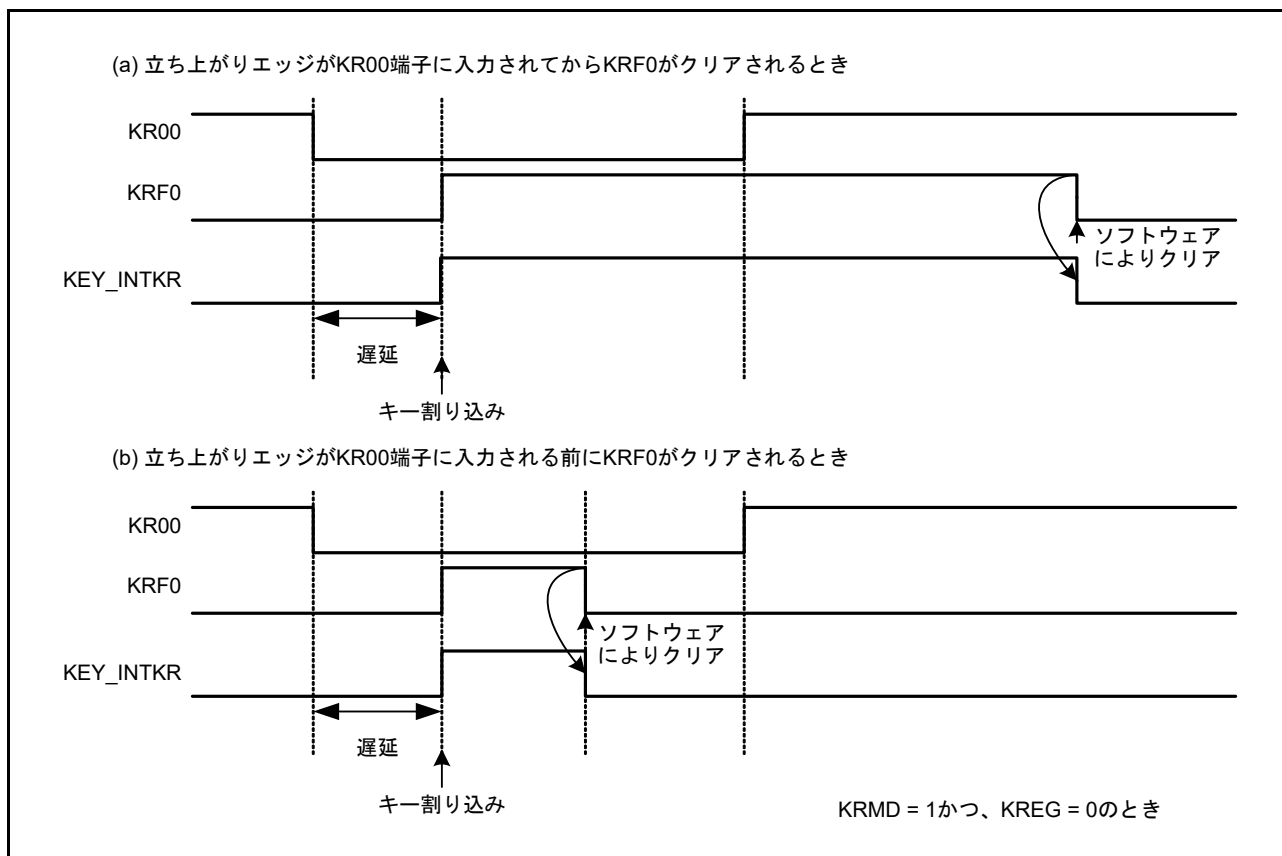


図 19.4 キー割り込みフラグを使用する場合の KEY_INTKR 信号の基本動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 19.5 に示します。KR00 端子に立ち下がりエッジが入力された後に、KR01 端子と KR05 端子にも立ち下がりエッジが入力されます (KREG = 0 の場合)。KRF0 ビットがクリアされたとき、KRF1 ビットはセット状態になっています。そのため、KRF0 ビットがクリアされると、KEY_INTKR 信号は 1 クロック (PCLKB) サイクルネグートされます。図 19.5 の [1] を参照してください。また、KR05 端子に立ち下がりエッジが入力された後に、KRF5 ビットがセットされます。KRF1 ビットは図における [2] のタイミングでクリアされます。そのため、KRF1 ビットがクリアされると、KEY_INTKR 信号は 1 クロック (PCLKB) サイクルネグートされます。図中の [3] を参照してください。したがって、複数チャンネルに有効エッジが入力されたとき、それぞれキー割り込みを発生させることが可能です。

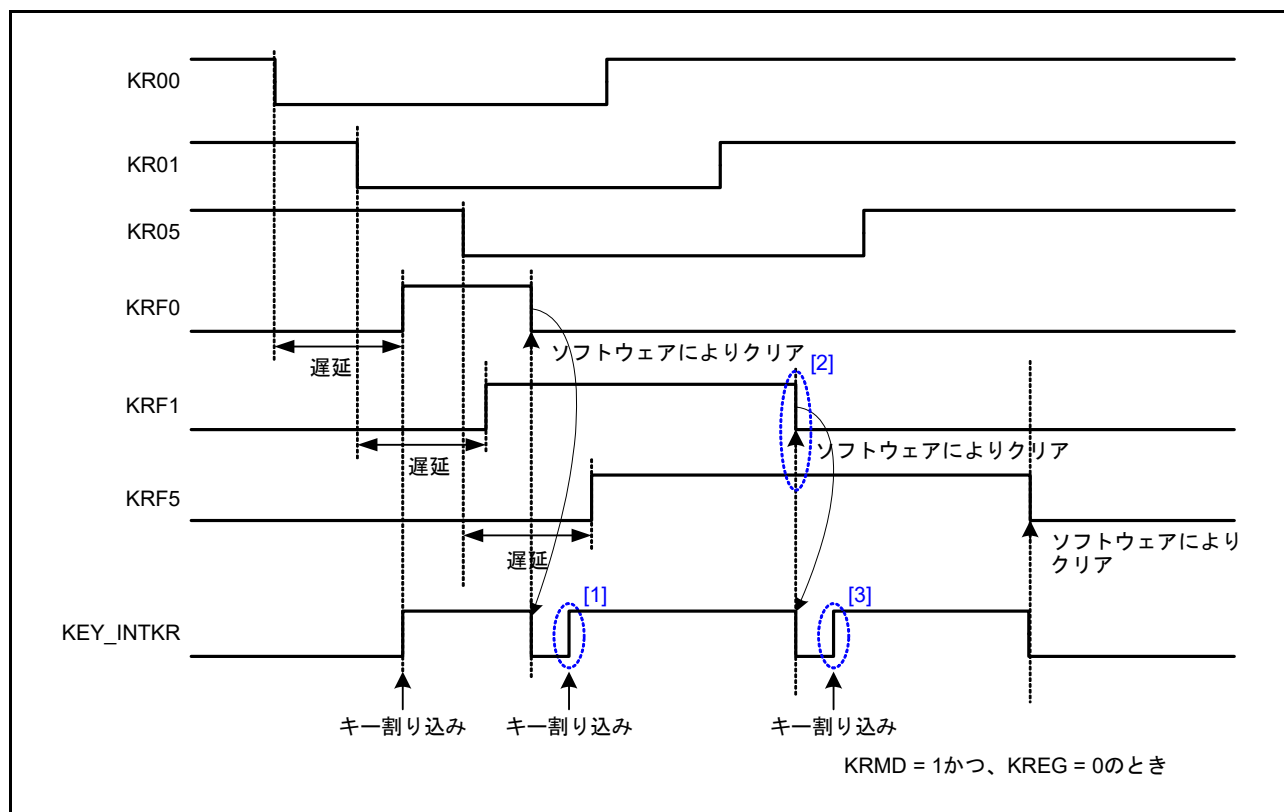


図 19.5 キー割り込みが複数のチャンネルに入力された場合の KEY_INTKR 信号の動作

19.4 使用上の注意事項

- KEY_INTKR をスヌーズ要求として用いる場合は、KRMD を 0 にすること
- KEY_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRMD を 1 にすること
- キー割り込み機能が端子に割り当てられる場合、この端子入力ソフトウェアスタンバイモード時に常に許可される。また、この端子レベルが変化すると、対応する KRF_n がセットされる可能性がある。そのため、ソフトウェアスタンバイモードの解除時に、キー割り込みが発生する場合がある

ソフトウェアスタンバイモード時のキー割り込み端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM ビットがセットされる前に、KRF_n をクリアしてください

20. GPT 用ポートアウトプットイネーブル (POEG)

20.1 概要

GPT 用ポートアウトプットイネーブル (POEG) 機能は、以下の方法の 1 つを使って汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にできます。

- GTETR_{Gn} 端子 (n = A, B) の入力レベル検出
- GPT からの出力禁止要求
- コンパレータ割り込み要求検出
- クロック発生回路の発振停止検出
- レジスタ設定

GTETR_{Gn} 端子 (n = A, B) は、GPT への外部トリガ入力端子としても利用可能です。

表 20.1 に POEG の仕様を、図 20.1 に POEG のブロック図を、表 20.2 に POEG の入力端子を示します。

表 20.1 POEGの仕様

項目	内容
入力レベル検出による出力禁止制御	極性とフィルタの選択後、GTETR _{GA} またはGTETR _{GB} 端子の立ち上がりエッジまたは Highレベルをサンプリングした場合、GPT出力端子を出力禁止に設定可能
GPTからの出力禁止要求	GTIOCAおよびGTIOCB端子が同時にアクティブレベルとなる場合、GPTはPOEGに対して出力禁止要求を発生させる。POEGは、この出力禁止要求を受信して、GTIOCAおよびGTIOCB端子を出力禁止状態にするか否かの制御が可能
コンパレータ (ACMPHS) 割り込み要求検出による出力禁止制御	割り込み要求がどのコンパレータ出力結果の変化によって発生した場合でも、GPT出力端子を出力禁止に設定可能
発振停止検出による出力禁止制御	クロック発生回路による発振が停止した場合に、GPT出力端子を出力禁止に設定可能
ソフトウェア (レジスタ) による出力禁止制御	レジスタの設定値を書き換えることにより、GPT出力端子を出力禁止に設定可能
割り込み	• 入力レベル検出による出力禁止制御が可能 • GPTまたはACMPHSからの出力禁止要求が可能
GPTに対する外部トリガ出力機能 (カウント開始/カウント停止/カウントクリア/アップカウント/ダウンカウント/インプットキャプチャ機能)	極性とフィルタの選択後、GTETR _{GA} およびGTETR _{GB} 信号をGPTへ出力可能
ノイズフィルタリング	• 各入力端子 (GTETR_{GA}およびGTETR_{GB}) に対して、PCLKB/1、PCLKB/8、PCLKB/32、またはPCLKB/128クロックごとに3回のサンプリングを設定可能 • 各入力端子 (GTETR_{GA}およびGTETR_{GB}) に対して、正または負の極性を選択可能 • 極性およびフィルタ選択後の信号状態のモニタが可能

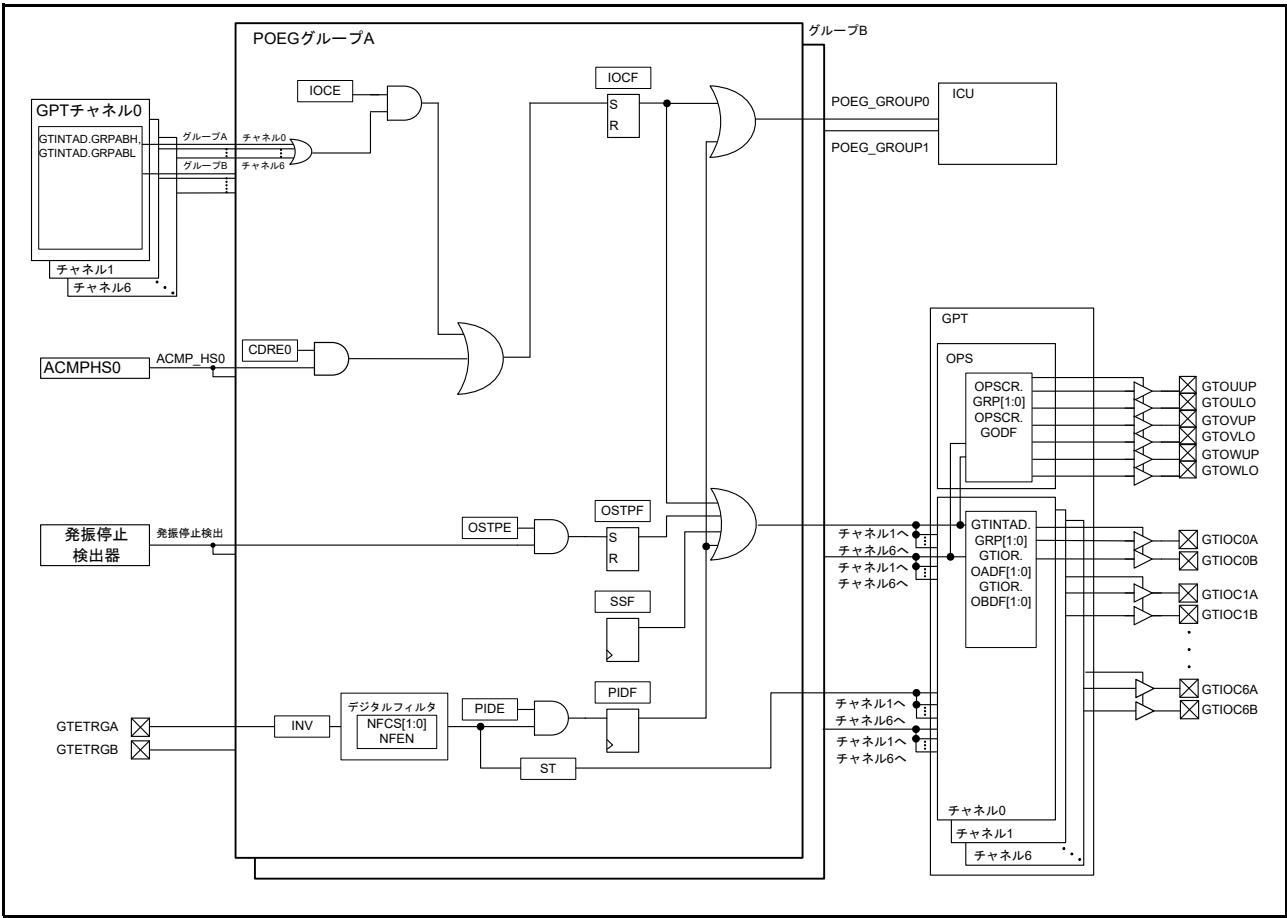


図 20.1 POEG のブロック図

表 20.2 POEGの入力端子

端子名	入出力	機能
GTETRGA	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子A
GTETRQB	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子B

20.2 レジスタの説明

20.2.1 POEG グループ n 設定レジスタ (POEGGn) (n = A, B)

アドレス POEG.POEGGA 4004 2000h, POEG.POEGGB 4004 2100h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0 : GTETRn端子からの出力禁止要求なし 1 : GTETRn端子からの出力禁止要求あり	R/W (注1)
b1	IOCF	GPTまたはACMPHSからの出力禁止要求検出フラグ	0 : GPTまたはACMPHSからの出力禁止要求なし 1 : GPTまたはACMPHSからの出力禁止要求あり	R/W (注1)
b2	OSTPF	発振停止検出フラグ	0 : 発振停止検出による出力禁止要求なし 1 : 発振停止検出による出力禁止要求あり	R/W (注1)
b3	SSF	ソフトウェア停止フラグ	0 : ソフトウェアによる出力禁止要求なし 1 : ソフトウェアによる出力禁止要求あり	R/W
b4	PIDE	ポート入力検出許可	0 : GTETRn端子からの出力禁止要求を禁止 1 : GTETRn端子からの出力禁止要求を許可	R/W (注2)
b5	IOCE	GPTからの出力禁止要求許可	0 : GPTからの出力禁止要求の割り込みを禁止 1 : GPTからの出力禁止要求の割り込みを許可	R/W (注2)
b6	OSTPE	発振停止検出許可	0 : 発振停止検出による出力禁止要求を禁止 1 : 発振停止検出による出力禁止要求を許可	R/W (注2)
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CDRE0	ACMP_HS0許可	0 : コンパレータ0からの出力禁止要求を禁止 1 : コンパレータ0からの出力禁止要求を許可	R/W (注2)
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ST	GTETRn入力ステータスフラグ	0 : フィルタリング後のGTETRn入力は0 1 : フィルタリング後のGTETRn入力は1	R
b27-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	INV	GTETRn入力反転	0 : GTETRn入力 1 : GTETRn入力反転	R/W
b29	NFEN	ノイズフィルタ有効	0 : ノイズフィルタは無効 1 : ノイズフィルタは有効	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択	b1 b0 0 0 : GTETRn端子の入力レベルをPCLKB/1クロックごとに3回サンプリング 0 1 : GTETRn端子の入力レベルをPCLKB/8クロックごとに3回サンプリング 1 0 : GTETRn端子の入力レベルをPCLKB/32クロックごとに3回サンプリング 1 1 : GTETRn端子の入力レベルをPCLKB/128クロックごとに3回サンプリング	R/W

注1. フラグをクリアするための0の書き込みのみ可能です。

注2. リセット後、1回のみ書き込み可能です。

POEGGA および POEGGB レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。以下の説明で POEGGn とは、POEGGA および POEGGB レジスタを表しています。

20.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、および BLDC モータ制御用 3 相出力端子を出力禁止に設定できます。

- GTETR Gn 端子の入力レベルまたはエッジ検出
POEG Gn.PIDE ビットが 1 の場合、POEG Gn.PIDF フラグが 1 になります
- GPT からの出力禁止要求
POEG Gn.IOCE ビットが 1 の場合、GTINTAD レジスタで禁止要求が許可されていると、POEG Gn.IOCF フラグが 1 になります。GTINTAD.GRPABH ビットまたは GTINTAD.GRPABL ビットの設定が、GPT レジスタの GTINTAD.GRP[1:0] ビットと OPSCR.GRP[1:0] ビットで選択されたグループに適用されます
- コンパレータ (ACMPHS) 割り込み要求検出
コンパレータ割り込みの検出は、POEG Gn.CDREi (i = 0, 4, 5) レジスタのいずれかが 1 の場合にアクティブになります。対応するコンパレータ割り込みが発生すると、GPT 出力端子は出力禁止状態になります。POEG Gn.IOCF フラグが検出状態を示します
- クロック発生回路の発振停止検出
POEG Gn.OSTPE ビットが 1 の場合、POEG Gn.OSTPF フラグが 1 になります
- SSF ビットの設定
POEG Gn.SSF ビットが 1 の場合、GPT と PWM が出力禁止状態になります

出力禁止状態は GPT で制御されます。GTIOCxA および GTIOCxB 端子の出力禁止は、GPT の GTINTAD.GRP[1:0] ビット、GTIOR.OADF[1:0] ビット、および GTIOR.OBDF[1:0] ビットで設定されます。BLDC モータ制御用 3 相 PWM 出力の出力禁止は、GPT OPS の OPSCR.GRP[1:0] ビットおよび OPSCR.GODF ビットで設定されます。

20.3.1 端子入力レベル検出時の動作

POEG Gn.PIDE ビット、POEG Gn.NFCS[1:0] ビット、POEG Gn.NFEN ビット、および POEG Gn.INV ビットで設定した入力条件が、GTETR Gn 端子で発生した場合、GPT 出力端子は出力禁止状態になります。

20.3.1.1 デジタルフィルタ

図 20.2 に、デジタルフィルタによる High 検出時の動作を示します。POEG Gn.INV ビットで設定した極性に対応した High 状態が、POEG Gn.NFCS[1:0] ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETR Gn 端子のレベル変化が無視されます。

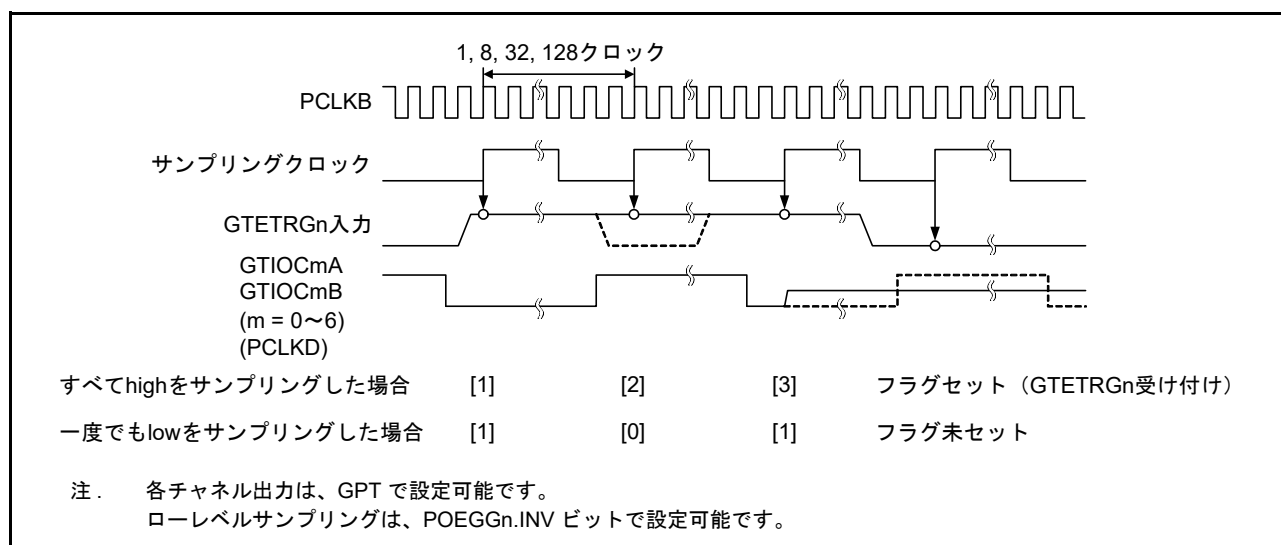


図 20.2 デジタルフィルタの動作例

20.3.2 GPT からの出力禁止要求

この動作の詳細については、「[21. 汎用 PWM タイマ \(GPT\)](#)」に記載の GTIOC 端子の出力禁止制御を参照してください。

20.3.3 コンパレータ割り込みの検出

POEGGn.CDREi (i = 0, 4, 5) が 1 の場合、コンパレータ割り込み要求が発生すると、GPT 出力端子はグループごとに出力禁止状態になります。ステータスフラグは POEGGn.IOCF であり、これは GPT の出力禁止検出と共通です。

20.3.4 発振停止検出による出力禁止制御

POEGGn.OSTPE ビットが 1 の状態で、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止状態になります。

20.3.5 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGGn.SSF) に書き込むことで直接制御が可能です。

20.3.6 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子は、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアすることで出力禁止状態を解除できます。

- POEGGn.PIDF フラグ
- POEGGn.IOCF フラグ
- POEGGn.OSTPF フラグ
- POEGGn.SSF フラグ

外部入力端子 GTETR_{Gn} が無効ではなく、かつ POEGGn.ST ビットが 0 になっていなければ、POEGGn.PIDF フラグに 0 を書いても無視されます (フラグはクリアされません)。

GPT の GTST.OABHF フラグおよび GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGGn.IOCF フラグに 0 を書くこと (フラグをクリアすること) ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGGn.OSTPF フラグに 0 を書いても無視されます (フラグはクリアされません)。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

 **図 20.3** に、出力禁止状態からの解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

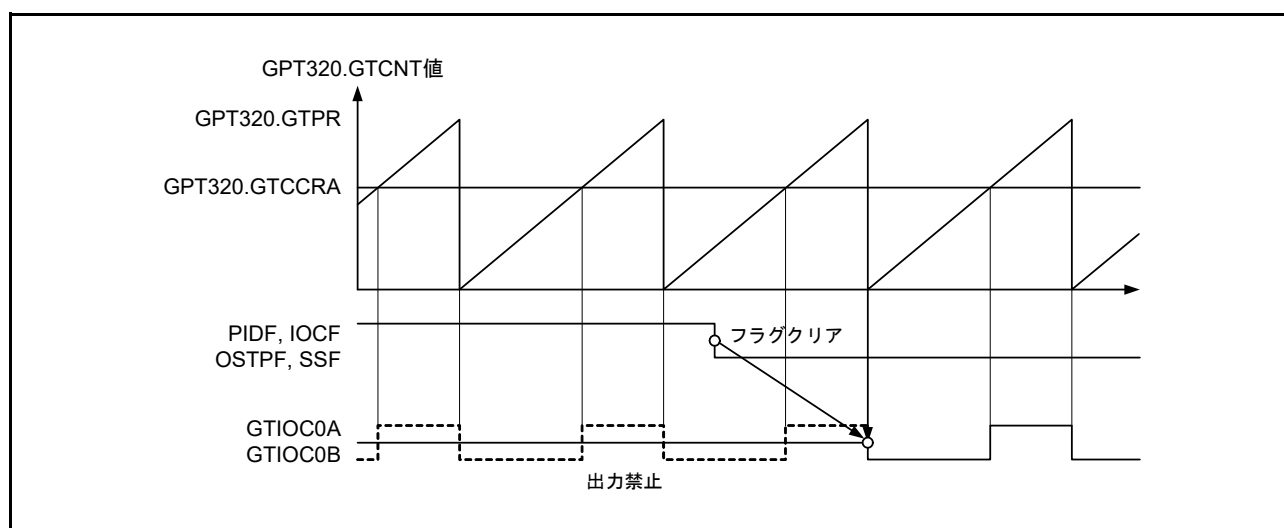


図 20.3 GPT 端子出力の出力禁止状態からの解除タイミング

20.4 割り込み要因

POEG は以下の要因によって割り込み要求を発行します。

- 入力レベル検出による出力禁止制御
- GPT からの出力禁止要求
- コンパレータ割り込み要求検出による出力禁止制御

表 20.3 に、割り込み要求の条件を示します。

表 20.3 割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	条件
POEG グループ A 割り込み	POEG_GROUP0	POEGGA.IOCF	GPT からの出力禁止要求が発生
			コンパレータ割り込みからの出力禁止要求が発生
		POEGGA.PIDF	GTETRGA 端子からの出力禁止要求が発生
POEG グループ B 割り込み	POEG_GROUP1	POEGGB.IOCF	GPT からの出力禁止要求が発生
			コンパレータ割り込みからの出力禁止要求が発生
		POEGGB.PIDF	GTETRGB 端子からの出力禁止要求が発生

20.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETR_{Gn} 信号を出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インพุットキャプチャ

POEG_{Gn}.INV ビットで設定した極性信号に対し、POEG_{Gn}.NFCS[1:0] ビットで選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。コントロールレジスタは「[20.3.1 端子入力レベル検出時の動作](#)」で記載したビットを設定してください。フィルタリング後の状態は POEG_{Gn}.ST フラグでモニタできます。

図 20.4 に、GPT に対する外部トリガ出力のタイミングを示します。

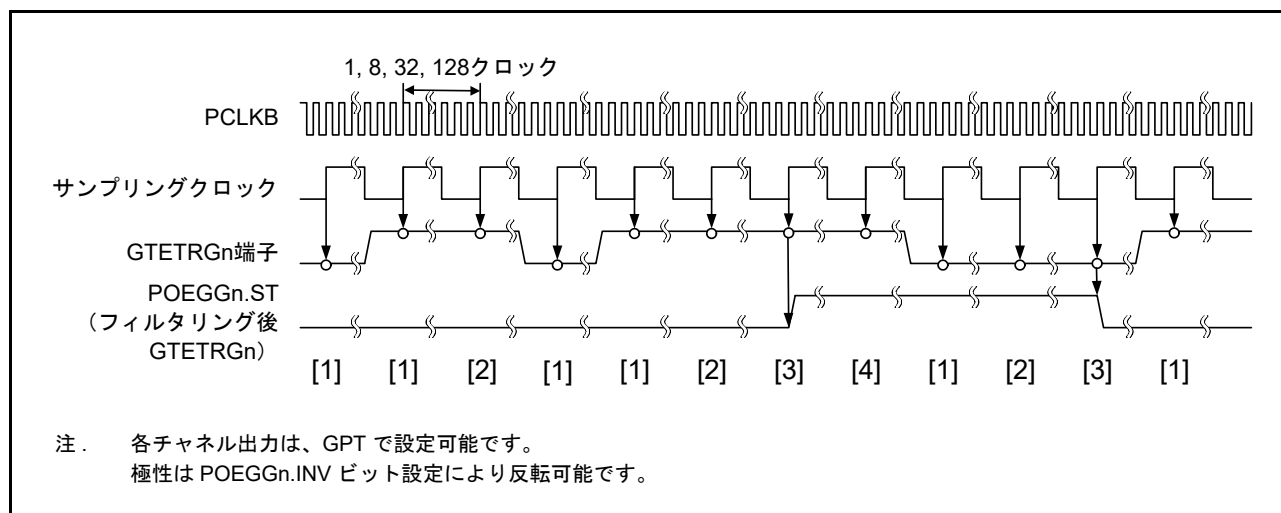


図 20.4 GPT に対する外部トリガ出力のタイミング

20.6 使用上の注意事項

20.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

20.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR および PmnPFS.PSEL[4:0] ビットの設定によって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

21. 汎用 PWM タイマ (GPT)

21.1 概要

汎用 PWM タイマ (GPT) は、1 チャンネルの 32 ビットタイマ (GPT32) と、6 チャンネルの 16 ビットタイマ (GPT16) で構成されます。PWM 波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレス DC モータ制御用の PWM 波形を発生させることもできます。GPT は汎用タイマとしても使用可能です。

表 21.1 に GPT の仕様を、表 21.2 に GPT の機能一覧を、図 21.1 にブロック図を示します。

表 21.1 GPTの仕様

項目	内容
機能	• 32ビット×1チャンネル • 16ビット×6チャンネル • 各カウンタは、アップカウンタもしくはダウンカウンタ (のこぎり波)、またはアップダウンカウンタ (三角波) • チャンネルごとに独立したクロックソースを選択可能 • チャンネルごとに2本の入出力端子 • チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャンネルごとにフレーム周期設定用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能) • PWM動作の際にデットタイム生成が可能 • 任意チャンネルのカウンタの同期スタート/ストップ/クリア • 最大4個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン • 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウン • 最大2個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン • 出力端子間の短絡検出による出力端子無効機能 • ブラシレスDCモータ制御用のPWM波形生成が可能 • コンペアマッチA~Dイベント、オーバーフローイベント/アンダーフローイベント、および入力UVWエッジイベントをELCに出力可能 • インプットキャプチャおよび入力UVWに対しノイズフィルタを使用可能

表 21.2 GPTの機能一覧

項目		GPT32, GPT16
カウントクロック		PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024
アウトプットコンペア/インプットキャプチャレジスタ (GTCCR)		GTCCRA GTCCRB
コンペア/バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ		GTPR
周期設定バッファレジスタ		GTPBR
入出力端子		GTIOCnA GTIOCnB (n = 0 ~ 6)
外部トリガ入力端子 (注1)		GTETRGA GTETRGB
カウンタクリア要因		GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、ELCイベント入力、およびGTETR Gn (n = A, B) 端子入力
コンペアマッチ出力	Low出力	可能
	High出力	可能
	トグル出力	可能
インプットキャプチャ機能		可能
デッドタイム自動付加機能		可能 (デッドタイムバッファなし)
PWMモード		可能
位相計数機能		可能
バッファ動作		ダブルバッファ
ワンショット動作		可能
DTCの起動		すべての割り込み要因
ブラシレスDCモータ制御機能		可能
割り込み要因		6要因 - GTCCRAのコンペアマッチ/インプットキャプチャ (GPTn_CCMPA) - GTCCRBのコンペアマッチ/インプットキャプチャ (GPTn_CCMPB) - GTCCRCのコンペアマッチ (GPTn_CMPC) - GTCCRDのコンペアマッチ (GPTn_CMPD) - GT CNTのオーバーフロー (GTPRのコンペアマッチ) (GPTn_OVF) - GT CNTのアンダーフロー (GPTn_UDF) 注. n = 0 ~ 6
イベントリンク (ELC) 機能		可能
ノイズフィルタ機能		可能

注 1. GTETR Gn は、POEG モジュールに接続してから GPT に接続します。このため、GPT の機能を使用するには、MSTPD のビット [14] をクリアすることでクロックを POEG に供給してください。

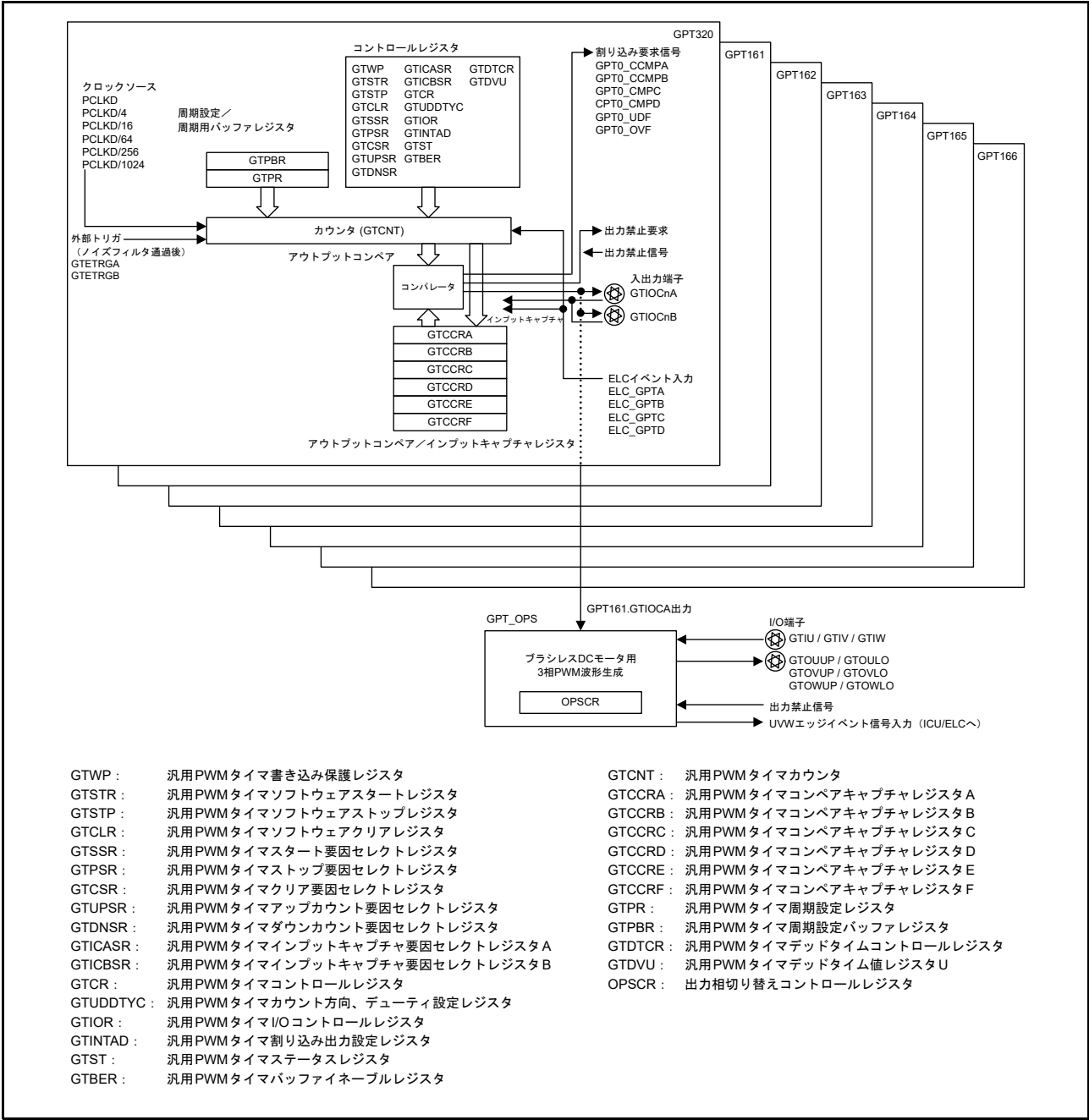


図 21.1 GPT のブロック図

図 21.2 に GPT の各チャネルとモジュール名との対応を示します。

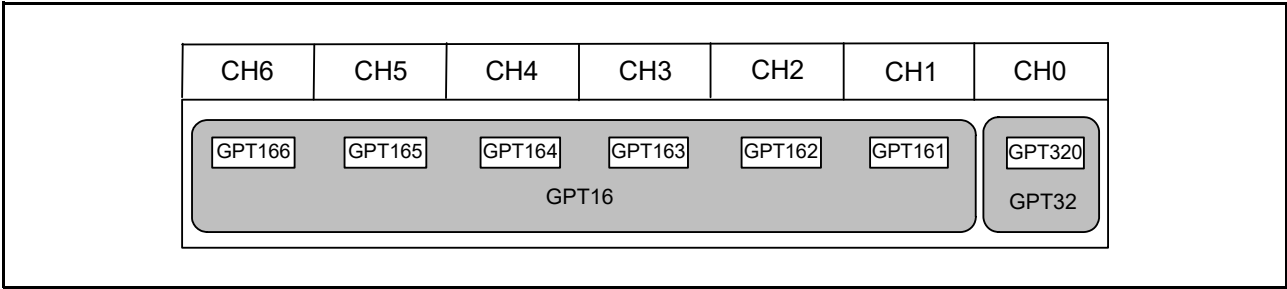


図 21.2 GPT の各チャネルとモジュール名との対応

表 21.3 に GPT で使用する入出力端子の一覧を示します。

表 21.3 GPTの入出力端子

チャンネル	端子名	入出力	機能
共通	GTETRG A	入力	外部トリガ入力端子A (ノイズフィルタリング後)
	GTETRG B	入力	外部トリガ入力端子B (ノイズフィルタリング後)
GPT320	GTIOC0A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT161	GTIOC1A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT162	GTIOC2A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT163	GTIOC3A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT164	GTIOC4A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC4B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT165	GTIOC5A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC5B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT166	GTIOC6A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC6B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT OPS	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDC モータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDC モータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDC モータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDC モータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDC モータ制御用3相PWM出力 (正相W相)
	GTOWLO	出力	BLDC モータ制御用3相PWM出力 (逆相W相)

21.2 レジスタの説明

表 21.4 に GPT のレジスタ一覧を示します。

表 21.4 GPT のレジスタ

モジュール シンボル	レジスタ名	レジスタ シンボル	リセット値	アドレス	アクセス サイズ
GPT320, GPT16m	汎用PWMタイマ書き込み保護レジスタ	GTWP	0000 0000h	4007 8000h + 0100h × m	32
	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	0000 0000h	4007 8004h + 0100h × m	32
	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	FFFF FFFFh	4007 8008h + 0100h × m	32
	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	0000 0000h	4007 800Ch + 0100h × m	32
	汎用PWMタイマスタート要因選択レジスタ	GTSSR	0000 0000h	4007 8010h + 0100h × m	32
	汎用PWMタイマストップ要因選択レジスタ	GTPSR	0000 0000h	4007 8014h + 0100h × m	32
	汎用PWMタイマクリア要因選択レジスタ	GTCSR	0000 0000h	4007 8018h + 0100h × m	32
	汎用PWMタイマアップカウント要因選択レジスタ	GTUPSR	0000 0000h	4007 801Ch + 0100h × m	32
	汎用PWMタイマダウンカウント要因選択レジスタ	GTDNSR	0000 0000h	4007 8020h + 0100h × m	32
	汎用PWMタイマインプットキャプチャ要因選択レジスタ A	GTICASR	0000 0000h	4007 8024h + 0100h × m	32
	汎用PWMタイマインプットキャプチャ要因選択レジスタ B	GTICBSR	0000 0000h	4007 8028h + 0100h × m	32
	汎用PWMタイマコントロールレジスタ	GTCR	0000 0000h	4007 802Ch + 0100h × m	32
	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	0000 0001h	4007 8030h + 0100h × m	32
	汎用PWMタイマ I/O コントロールレジスタ	GTIOR	0000 0000h	4007 8034h + 0100h × m	32
	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	0000 0000h	4007 8038h + 0100h × m	32
	汎用PWMタイマステータスレジスタ	GTST	0000 8000h	4007 803Ch + 0100h × m	32
	汎用PWMタイマバッファファイナールレジスタ	GTBER	0000 0000h	4007 8040h + 0100h × m	32
	汎用PWMタイマカウンタ	GTCNT	0000 0000h	4007 8048h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ A	GTCCRA	FFFF FFFFh (注1)	4007 804Ch + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ B	GTCCRB	FFFF FFFFh (注1)	4007 8050h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ C	GTCCRC	FFFF FFFFh (注1)	4007 8054h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ E	GTCCRE	FFFF FFFFh (注1)	4007 8058h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ D	GTCCRD	FFFF FFFFh (注1)	4007 805Ch + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ F	GTCCRF	FFFF FFFFh (注1)	4007 8060h + 0100h × m	32
	汎用PWMタイマ周期設定レジスタ	GTPR	FFFF FFFFh (注1)	4007 8064h + 0100h × m	32
	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	FFFF FFFFh (注1)	4007 8068h + 0100h × m	32
	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	0000 0000h	4007 8088h + 0100h × m	32
	汎用PWMタイマデッドタイム値レジスタ U	GTDVU	FFFF FFFFh (注1)	4007 808Ch + 0100h × m	32
GPT_OPS	出力相切り替えコントロールレジスタ	OPSCR	0000 0000h	4007 8FF0h	32

m = 0 ~ 6; n = 1 ~ 6

注 1. GPT16m のリセット値は 0000 FFFFh です。

21.2.1 汎用 PWM タイマ書き込み保護レジスタ（GTWP）

アドレス GPT320.GTWP 4007 8000h
 GPT16m.GTWP 4007 8000h + 0100h × m (m = 1～6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]							—	—	—	—	—	—	—	—	WP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止	0 : レジスタへの書き込みを許可 1 : レジスタへの書き込みを禁止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	GTWP キーコード	これらのビットにA5hを書き込むと、WPビットへの書き込みが許可されます。読むと0が読めます。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可／禁止するレジスタです。書き込みが許可／禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

21.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPT320.GTSTR 4007 8004h
GPT16m.GTSTR 4007 8004h + 0100h × m (m = 1 ~ 6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	CSTRT 6	CSTRT 5	CSTRT 4	CSTRT 3	CSTRT 2	CSTRT 1	CSTRT 0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTSTR レジスタは、各チャネル n ($n = 0 \sim 6$) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが開始されます。0 を書き込んでも、GTCNT カウンタの状態および GTSTR レジスタの値には影響しません。

GTSTR のビット番号とチャネル番号の対応関係については、[図 21.2](#) を参照してください。

CSTRT[6:0] ビット (チャネル n GTCNT カウントスタート) ($n = 0 \sim 6$)

チャネル n の GTCNT カウンタ動作を開始します。GPTm.GTSSR.CSTRT ビットを 1 にしないかぎり、GTSTR.CSTRT n ビット ($n = 0 \sim 6$) への書き込みは無効です ($m = 320, 161 \sim 166$)。

リードデータは各チャネルのカウンタ状態 (GTCR.CST ビット値) を示します。0 はカウンタストップを、1 はカウンタ動作を意味します。

21.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)

アドレス GPT320.GTSTP 4007 8008h
GPT16m.GTSTP 4007 8008h + 0100h × m (m = 1 ~ 6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	CSTOP 6	CSTOP 5	CSTOP 4	CSTOP 3	CSTOP 2	CSTOP 1	CSTOP 0
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTSTP レジスタは、各チャネル n ($n = 0 \sim 6$) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャネル番号に相当します。GTSTP レジスタは各チャネル共通です。1 が書き込まれた GTSTP レジスタのビット番号に対応するチャネルの GTCNT カウンタが停止されます。0 を書き込んでも、GTCNT カウンタの状態および GTSTP レジスタの値には影響しません。

GTSTP のビット番号とチャネル番号の対応関係については、[図 21.2](#) を参照してください。

CSTOP[6:0] ビット (チャネル n GTCNT カウントストップ) ($n = 0 \sim 6$)

チャネル n の GTCNT カウンタ動作を停止します。GPTm.GTPSR.CSTOP n ビットを 1 にしないかぎり、GTSTP.CSTOP n ビット ($n = 0 \sim 6$) への書き込みは無効です ($m = 320, 161 \sim 166$)。リードデータは各チャネルのカウンタ状態 (GTCR.CST ビットの反転値) を示します。0 はカウンタ動作を、1 はカウンタストップを意味します。

21.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス GPT320.GTCLR 4007 800Ch
 GPT16m.GTCLR 4007 800Ch + 0100h × m (m = 1 ~ 6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CCLR 6	CCLR 5	CCLR 4	CCLR 3	CCLR 2	CCLR 1	CCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCLR レジスタは書き込み専用レジスタで、各チャンネル n ($n = 0 \sim 6$) の GTCNT カウンタ動作をクリアします。

GTCLR レジスタのビット番号はチャンネル番号に相当します。GTCLR レジスタの各チャンネルはすべてのチャンネルに共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャンネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタの状態には影響しません。

GTCLR のビット番号とチャンネル番号の対応関係については、[図 21.2](#) を参照してください。

CCLR[6:0] ビット (チャンネル n GTCNT カウントクリア) ($n = 0 \sim 6$)

本ビットに 1 を書き込むと、チャンネル n の GTCNT カウンタ値がクリアされます。読むと 0 が読めます。

21.2.5 汎用 PWM タイマスタート要因選択レジスタ (GTSSR)

アドレス GPT320.GTSSR 4007 8010h
 GPT16m.GTSSR 4007 8010h + 0100h × m (m = 1 ~ 6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CSTRT	—	—	—	—	—	—	—	—	—	—	—	SSELC D	SSELC C	SSELC B	SSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SSCBF AH	SSCBF AL	SSCBR AH	SSCBR AL	SSCAF BH	SSCAF BL	SSCAR BH	SSCAR BL	—	—	—	—	SSGTR GBF	SSGTR GBR	SSGTR GAF	SSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA 端子立ち上がり入力要因カウンタスタート許可	0 : GTETRGA 入力の立ち上がりエッジでのカウンタスタートを禁止 1 : GTETRGA 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b1	SSGTRGAF	GTETRGA 端子立ち下がり入力要因カウンタスタート許可	0 : GTETRGA 入力の立ち下がりエッジでのカウンタスタートを禁止 1 : GTETRGA 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b2	SSGTRGBR	GTETRGB 端子立ち上がり入力要因カウンタスタート許可	0 : GTETRGB 入力の立ち上がりエッジでのカウンタスタートを禁止 1 : GTETRGB 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b3	SSGTRGBF	GTETRGB 端子立ち下がり入力要因カウンタスタート許可	0 : GTETRGB 入力の立ち下がりエッジでのカウンタスタートを禁止 1 : GTETRGB 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	SSCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタスタートを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b9	SSCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタスタートを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b10	SSCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b11	SSCAFBL	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b12	SSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可	0 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを禁止 1 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b13	SSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可	0 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを禁止 1 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	SSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタスタートを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b15	SSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタスタートを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b16	SSELCA	ELC_GPTA イベント要因カウンタスタート許可	0 : ELC_GPTA イベント入力でのカウンタスタートを禁止 1 : ELC_GPTA イベント入力でのカウンタスタートを許可	R/W
b17	SSELCB	ELC_GPTB イベント要因カウンタスタート許可	0 : ELC_GPTB イベント入力でのカウンタスタートを禁止 1 : ELC_GPTB イベント入力でのカウンタスタートを許可	R/W
b18	SSELCC	ELC_GPTC イベント要因カウンタスタート許可	0 : ELC_GPTC イベント入力でのカウンタスタートを禁止 1 : ELC_GPTC イベント入力でのカウンタスタートを許可	R/W
b19	SSELCD	ELC_GPTD イベント要因カウンタスタート許可	0 : ELC_GPTD イベント入力でのカウンタスタートを禁止 1 : ELC_GPTD イベント入力でのカウンタスタートを許可	R/W
b30-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b31	CSTRT	ソフトウェア要因カウンタスタート許可	0 : GTSTR レジスタによるカウンタスタートを禁止 1 : GTSTR レジスタによるカウンタスタートを許可	R/W

GTSSR レジスタは GTCNT カウンタの開始要因を設定するレジスタです。

SSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタスタート許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタスタート許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタスタート許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタスタート許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCAFBLH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSELCm ビット (ELC_GPTm イベント要因カウンタスタート許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタスタートを許可／禁止します。

CSTRT ビット (ソフトウェア要因カウンタスタート許可)

GTSTR レジスタによる GTCNT カウンタスタートを許可／禁止します。

21.2.6 汎用 PWM タイマストップ要因選択レジスタ (GTPSR)

アドレス GPT320.GTPSR 4007 8014h
GPT16m.GTPSR 4007 8014h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CSTOP	—	—	—	—	—	—	—	—	—	—	—	PSELC D	PSELC C	PSELC B	PSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PSCBF AH	PSCBF AL	PSCBR AH	PSCBR AL	PSCAF BH	PSCAF BL	PSCAR BH	PSCAR BL	—	—	—	—	PSGTR GBF	PSGTR GBR	PSGTR GAF	PSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタストップ許可	0 : GTETRGA入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTETRGA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b1	PSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタストップ許可	0 : GTETRGA入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTETRGA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b2	PSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタストップ許可	0 : GTETRGB入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTETRGB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b3	PSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタストップ許可	0 : GTETRGB入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTETRGB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	PSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b9	PSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b10	PSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0 : GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b11	PSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0 : GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b12	PSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b13	PSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	PSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b15	PSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b16	PSELCA	ELC_GPTA イベント要因カウンタストップ許可	0 : ELC_GPTA イベント入力でのカウンタストップを禁止 1 : ELC_GPTA イベント入力でのカウンタストップを許可	R/W
b17	PSELCB	ELC_GPTB イベント要因カウンタストップ許可	0 : ELC_GPTB イベント入力でのカウンタストップを禁止 1 : ELC_GPTB イベント入力でのカウンタストップを許可	R/W
b18	PSELCC	ELC_GPTC イベント要因カウンタストップ許可	0 : ELC_GPTC イベント入力でのカウンタストップを禁止 1 : ELC_GPTC イベント入力でのカウンタストップを許可	R/W
b19	PSELCD	ELC_GPTD イベント要因カウンタストップ許可	0 : ELC_GPTD イベント入力でのカウンタストップを禁止 1 : ELC_GPTD イベント入力でのカウンタストップを許可	R/W
b30-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b31	CSTOP	ソフトウェア要因カウンタストップ許可	0 : GTSTP レジスタによるカウンタストップを禁止 1 : GTSTP レジスタによるカウンタストップを許可	R/W

GTCSR レジスタは GTCNT カウンタの停止要因を設定するレジスタです。

PSGTRGAR ビット (GTETRG A 端子立ち上がり入力要因カウンタストップ許可)

GTETRG A 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSGTRGAF ビット (GTETRG A 端子立ち下がり入力要因カウンタストップ許可)

GTETRG A 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSGTRGBR ビット (GTETRG B 端子立ち上がり入力要因カウンタストップ許可)

GTETRG B 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSGTRGBF ビット (GTETRG B 端子立ち下がり入力要因カウンタストップ許可)

GTETRG B 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSELCm ビット (ELC_GPTm イベント要因カウンタストップ許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタストップを許可／禁止します。

CSTOP ビット (ソフトウェア要因カウンタストップ許可)

GTSTP レジスタによる GTCNT カウンタストップを許可／禁止します。

21.2.7 汎用 PWM タイマクリア要因選択レジスタ (GTCSR)

アドレス GPT320.GTCSR 4007 8018h
GPT16m.GTCSR 4007 8018h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CCLR	—	—	—	—	—	—	—	—	—	—	—	CSELC D	CSELC C	CSELC B	CSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CSCBF AH	CSCBF AL	CSCBR AH	CSCBR AL	CSCAF BH	CSCAF BL	CSCAR BH	CSCAR BL	—	—	—	—	CSGTR GBF	CSGTR GBR	CSGTR GAF	CSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA 端子立ち上がり入力要因カウンタクリア許可	0 : GTETRGA 入力の立ち上がりエッジでのカウンタクリアを禁止 1 : GTETRGA 入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b1	CSGTRGAF	GTETRGA 端子立ち下がり入力要因カウンタクリア許可	0 : GTETRGA 入力の立ち下がりエッジでのカウンタクリアを禁止 1 : GTETRGA 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b2	CSGTRGBR	GTETRGB 端子立ち上がり入力要因カウンタクリア許可	0 : GTETRGB 入力の立ち上がりエッジでのカウンタクリアを禁止 1 : GTETRGB 入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b3	CSGTRGBF	GTETRGB 端子立ち下がり入力要因カウンタクリア許可	0 : GTETRGB 入力の立ち下がりエッジでのカウンタクリアを禁止 1 : GTETRGB 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CSCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタクリア許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタクリアを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b9	CSCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタクリア許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタクリアを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b10	CSCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタクリア許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタクリアを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b11	CSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタクリアを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b12	CSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可	0 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタクリアを禁止 1 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b13	CSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可	0 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタクリアを禁止 1 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタクリアを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	CSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b15	CSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b16	CSELCA	ELC_GPTA イベント要因カウンタクリア許可	0 : ELC_GPTA イベント入力でのカウンタクリアを禁止 1 : ELC_GPTA イベント入力でのカウンタクリアを許可	R/W
b17	CSELCB	ELC_GPTB イベント要因カウンタクリア許可	0 : ELC_GPTB イベント入力でのカウンタクリアを禁止 1 : ELC_GPTB イベント入力でのカウンタクリアを許可	R/W
b18	CSELCC	ELC_GPTC イベント要因カウンタクリア許可	0 : ELC_GPTC イベント入力でのカウンタクリアを禁止 1 : ELC_GPTC イベント入力でのカウンタクリアを許可	R/W
b19	CSELCD	ELC_GPTD イベント要因カウンタクリア許可	0 : ELC_GPTD イベント入力でのカウンタクリアを禁止 1 : ELC_GPTD イベント入力でのカウンタクリアを許可	R/W
b30-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可	0 : GTCLR レジスタによるカウンタクリアを禁止 1 : GTCLR レジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは GTCNT カウンタのクリア要因を設定するレジスタです。

CSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタクリア許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタクリア許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタクリア許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタクリア許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可／禁止します。

CSELCm ビット (ELC_GPTm イベント要因カウンタクリア許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタクリアを許可／禁止します。

CCLR ビット (ソフトウェア要因カウンタクリア許可)

GTCLR レジスタによる GTCNT カウンタクリアを許可／禁止します。

21.2.8 汎用 PWM タイマアップカウント要因選択レジスタ (GTUPSR)

アドレス GPT320.GTUPSR 4007 801Ch
GPT16m.GTUPSR 4007 801Ch + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	USELC D	USELC C	USELC B	USELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
USCBF AH	USCBF AL	USCBR AH	USCBR AL	USCAF BH	USCAF BL	USCAR BH	USCAR BL	—	—	—	—	USGTR GBF	USGTR GBR	USGTR GAF	USGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b1	USGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b2	USGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b3	USGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	USCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b9	USCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b10	USCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b11	USCAFBL	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b12	USCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b13	USCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	USCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b15	USCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b16	USELCA	ELC_GPTA イベント要因カウンタカウントアップ許可	0 : ELC_GPTA イベント入力でのカウンタカウントアップを禁止 1 : ELC_GPTA イベント入力でのカウンタカウントアップを許可	R/W
b17	USELCB	ELC_GPTB イベント要因カウンタカウントアップ許可	0 : ELC_GPTB イベント入力でのカウンタカウントアップを禁止 1 : ELC_GPTB イベント入力でのカウンタカウントアップを許可	R/W
b18	USELCC	ELC_GPTC イベント要因カウンタカウントアップ許可	0 : ELC_GPTC イベント入力でのカウンタカウントアップを禁止 1 : ELC_GPTC イベント入力でのカウンタカウントアップを許可	R/W
b19	USELCD	ELC_GPTD イベント要因カウンタカウントアップ許可	0 : ELC_GPTD イベント入力でのカウンタカウントアップを禁止 1 : ELC_GPTD イベント入力でのカウンタカウントアップを許可	R/W
b31-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTUPSR レジスタは GTCNT カウンタのカウントアップ要因を設定するレジスタです。

GTUPSR レジスタの少なくとも 1 つのビットを 1 にすると、そのビットに対応する要因によって GTCNT カウンタがカウントアップされます。この場合、GTCR.TPCS の設定は無効です。

USGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USCAFBLH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可／禁止します。

USELCm ビット (ELC_GPTm イベント要因カウンタカウントアップ許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタカウントアップを許可／禁止します。

21.2.9 汎用 PWM タイマダウンカウント要因選択レジスタ (GTDNSR)

アドレス GPT320.GTDNSR 4007 8020h
GPT16m.GTDNSR 4007 8020h + 0100h × m (m = 1 ~ 6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	DSELC D	DSELC C	DSELC B	DSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DSCBF AH	DSCBF AL	DSCBR AH	DSCBR AL	DSCAF BH	DSCAF BL	DSCAR BH	DSCAR BL	—	—	—	—	DSGTR GBF	DSGTR GBR	DSGTR GAF	DSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTETRGA 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTETRGA 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b1	DSGTRGAF	GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTETRGA 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTETRGA 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b2	DSGTRGBR	GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTETRGB 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTETRGB 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b3	DSGTRGBF	GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTETRGB 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTETRGB 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b7-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b8	DSCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b9	DSCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b10	DSCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b11	DSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b12	DSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b13	DSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	DSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b15	DSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b16	DSELCA	ELC_GPTA イベント要因カウンタカウントダウン許可	0 : ELC_GPTA イベント入力でのカウンタカウントダウンを禁止 1 : ELC_GPTA イベント入力でのカウンタカウントダウンを許可	R/W
b17	DSELCB	ELC_GPTB イベント要因カウンタカウントダウン許可	0 : ELC_GPTB イベント入力でのカウンタカウントダウンを禁止 1 : ELC_GPTB イベント入力でのカウンタカウントダウンを許可	R/W
b18	DSELCC	ELC_GPTC イベント要因カウンタカウントダウン許可	0 : ELC_GPTC イベント入力でのカウンタカウントダウンを禁止 1 : ELC_GPTC イベント入力でのカウンタカウントダウンを許可	R/W
b19	DSELCD	ELC_GPTD イベント要因カウンタカウントダウン許可	0 : ELC_GPTD イベント入力でのカウンタカウントダウンを禁止 1 : ELC_GPTD イベント入力でのカウンタカウントダウンを許可	R/W
b31-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDNSR レジスタは GTCNT カウンタのカウントダウン要因を設定するレジスタです。

GTDNSR レジスタの少なくとも 1 つのビットを 1 にすると、そのビットに対応する要因によって GTCNT カウンタがカウントダウンされます。この場合、GTCR.TPCS の設定は無効です。

DSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可／禁止します。

DSELCm ビット (ELC_GPTm イベント要因カウンタカウントダウン許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタカウントダウンを許可／禁止します。

21.2.10 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR)

アドレス GPT320.GTICASR 4007 8024h
GPT16m.GTICASR 4007 8024h + 0100h × m (m = 1 ~ 6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	ASELC D	ASELC C	ASELC B	ASELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ASCBF AH	ASCBF AL	ASCBR AH	ASCBR AL	ASCAF BH	ASCAF BL	ASCAR BH	ASCAR BL	—	—	—	—	ASGTR GBF	ASGTR GBR	ASGTR GAF	ASGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTETRGA 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTETRGA 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b1	ASGTRGAF	GTETRGA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTETRGA 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTETRGA 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b2	ASGTRGBR	GTETRGB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTETRGB 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTETRGB 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b3	ASGTRGBF	GTETRGB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTETRGB 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTETRGB 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b7-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b8	ASCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b9	ASCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b10	ASCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b11	ASCAFBL	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b12	ASCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可	R/W
b13	ASCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	ASCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可	R/W
b15	ASCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可	R/W
b16	ASELCA	ELC_GPTA イベント要因 GTCCRA インพุットキャプチャ許可	0 : ELC_GPTA イベント入力での GTCCRA インพุットキャプチャを禁止 1 : ELC_GPTA イベント入力での GTCCRA インพุットキャプチャを許可	R/W
b17	ASELCB	ELC_GPTB イベント要因 GTCCRA インพุットキャプチャ許可	0 : ELC_GPTB イベント入力での GTCCRA インพุットキャプチャを禁止 1 : ELC_GPTB イベント入力での GTCCRA インพุットキャプチャを許可	R/W
b18	ASELCC	ELC_GPTC イベント要因 GTCCRA インพุットキャプチャ許可	0 : ELC_GPTC イベント入力での GTCCRA インพุットキャプチャを禁止 1 : ELC_GPTC イベント入力での GTCCRA インพุットキャプチャを許可	R/W
b19	ASELCD	ELC_GPTD イベント要因 GTCCRA インพุットキャプチャ許可	0 : ELC_GPTD イベント入力での GTCCRA インพุットキャプチャを禁止 1 : ELC_GPTD イベント入力での GTCCRA インพุットキャプチャを許可	R/W
b31-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTICASR レジスタは GTCCRA のインพุットキャプチャ要因を設定するレジスタです。

ASGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可／禁止します。

ASELCm ビット (ELC_GPTm イベント要因カウンタ GTCCRA インพุットキャプチャ許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCCRA インพุットキャプチャを許可／禁止します。

21.2.11 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR)

アドレス GPT320.GTICBSR 4007 8028h
GPT16m.GTICBSR 4007 8028h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	BSELC D	BSELC C	BSELC B	BSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSCBF AH	BSCBF AL	BSCBR AH	BSCBR AL	BSCAF BH	BSCAF BL	BSCAR BH	BSCAR BL	—	—	—	—	BSGTR GBF	BSGTR GBR	BSGTR GAF	BSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTETRGA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTETRGA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b1	BSGTRGAF	GTETRGA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTETRGA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTETRGA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b2	BSGTRGBR	GTETRGB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTETRGB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTETRGB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b3	BSGTRGBF	GTETRGB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTETRGB 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTETRGB 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BSCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b9	BSCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b10	BSCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b11	BSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b12	BSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W
b13	BSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可	0 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを禁止 1 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	BSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可	R/W
b15	BSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可	R/W
b16	BSELCA	ELC_GPTA イベント要因 GTCCRB インพุットキャプチャ許可	0 : ELC_GPTA イベント入力での GTCCRB インพุットキャプチャを禁止 1 : ELC_GPTA イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b17	BSELCB	ELC_GPTB イベント要因 GTCCRB インพุットキャプチャ許可	0 : ELC_GPTB イベント入力での GTCCRB インพุットキャプチャを禁止 1 : ELC_GPTB イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b18	BSELCC	ELC_GPTC イベント要因 GTCCRB インพุットキャプチャ許可	0 : ELC_GPTC イベント入力での GTCCRB インพุットキャプチャを禁止 1 : ELC_GPTC イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b19	BSELCD	ELC_GPTD イベント要因 GTCCRB インพุットキャプチャ許可	0 : ELC_GPTD イベント入力での GTCCRB インพุットキャプチャを禁止 1 : ELC_GPTD イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b31-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTICBSR レジスタは GTCCRB のインพุットキャプチャ要因を設定するレジスタです。

BSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSELCm ビット (ELC_GPTm イベント要因カウンタ GTCCRB インพุットキャプチャ許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCCRB インพุットキャプチャを許可／禁止します。

21.2.12 汎用 PWM タイマコントロールレジスタ (GTCR)

アドレス GPT320.GTCR 4007 802Ch
GPT16m.GTCR 4007 802Ch + 0100h × m (m = 1~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	TPCS[2:0]			—	—	—	—	—	MD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタート	0 : カウント動作を停止 1 : カウント動作を実行	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	MD[2:0]	モード選択	b18 b16 0 0 0 : のこぎり波PWMモード (シングル/ダブルバッファ可) 0 0 1 : のこぎり波ワンショットパルスモード (バッファ動作固定) 0 1 0 : 設定禁止 0 1 1 : 設定禁止 1 0 0 : 三角波PWMモード1 (谷32ビット転送) (シングル/ダブルバッファ可) 1 0 1 : 三角波PWMモード2 (山/谷32ビット転送) (シングル/ダブルバッファ可) 1 1 0 : 三角波PWMモード3 (谷64ビット転送) (バッファ動作固定) 1 1 1 : 設定禁止	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	TPCS[2:0]	タイマプリスケラ選択	b26 b24 0 0 0 : PCLKD/1 0 0 1 : PCLKD/4 0 1 0 : PCLKD/16 0 1 1 : PCLKD/64 1 0 0 : PCLKD/256 1 0 1 : PCLKD/1024	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット (カウントスタート)

GTCNT カウンタのスタート/ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき
- ELC イベント入力、またはカウンタスタート要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/GTETR_{Gn} ポート入力が発生したとき
- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき
- ELC イベント入力、またはカウンタストップ要因により GTPSR レジスタで許可した GTIOCA/GTIOCB/

GTETR_{Gn} ポート入力が発生したとき

- ソフトウェアで直接 0 を書き込んだとき

MD[2:0] ビット（モード選択）

GPT の動作モードを選択します。MD[2:0] ビットの設定は、GTCNT 動作が停止しているときに行ってください。

TPCS[2:0] ビット（タイマプリスケラ選択）

GTCNT カウンタのクロックを選択します。チャンネルごとに個別にクロックプリスケラの選択が可能です。TPCS[2:0] ビットの設定は、GTCNT 動作が停止しているときに行ってください。

21.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)

アドレス GPT320.GTUDDTYC 4007 8030h
GPT16m.GTUDDTYC 4007 8030h + 0100h × m (m = 1~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	OBDTY R	OBDTY F	OBDTY[1:0]	—	—	—	—	—	OADTY R	OADTY F	OADTY[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定	0 : GTCNT カウンタはダウンカウント 1 : GTCNT カウンタはアップカウント	R/W
b1	UDF	カウント方向強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	OADTY[1:0]	GTIOCA 出力デューティ設定	b17 b16 0 x : GTIOCA 端子のデューティはコンペアマッチに依存 1 0 : GTIOCA 端子のデューティは0% 1 1 : GTIOCA 端子のデューティは100%	R/W
b18	OADTYF	GTIOCA 出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b19	OADTYR	0%/100% デューティ設定解除後の GTIOCA 出力値選択	0 : 0%/100% デューティ設定解除後に、0%/100% デューティに設定された出力値を GTIOA[3:2] 機能に適用 1 : 0%/100% デューティ設定解除後に、マスクされたコンペアマッチ出力値を GTIOA[3:2] 機能に適用	R/W
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	OBDTY[1:0]	GTIOCB 出力デューティ設定	b25 b24 0 x : GTIOCB 端子のデューティはコンペアマッチに依存 1 0 : GTIOCB 端子のデューティは0% 1 1 : GTIOCB 端子のデューティは100%	R/W
b26	OBDTYF	GTIOCB 出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b27	OBDTYR	0%/100% デューティ設定解除後の GTIOCB 出力値選択	0 : 0%/100% デューティ設定解除後に、0%/100% デューティに設定された出力値を GTIOB[3:2] 機能に適用 1 : 0%/100% デューティ設定解除後に、マスクされたコンペアマッチ出力値を GTIOB[3:2] 機能に適用	R/W
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x : Don't care

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）および GTIOCA/GTIOCB 端子出力のデューティを設定するレジスタです。

【カウント方向】

- のこぎり波モードの場合

アップカウント中に UD 値を 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。

カウントストップ中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に (GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。カウントストップ中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に (GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。

カウントストップ中に UDF ビットを 1 にすると、そのときの UD ビット値がカウントスタート時のカウント方向に反映されます。

- 三角波モードの場合

カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。

カウントストップ中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

UD ビット (カウント方向設定)

GTCNT カウンタのカウント方向 (アップ/ダウン) を設定します。

UDF ビット (カウント方向強制設定)

GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、本ビットに 0 以外を書き込まないでください。カウントストップ中にこのビットに 1 を書いた場合、カウントがスタートする前にこのビットを 0 に戻す必要があります。

【出力デューティ】

- のこぎり波モードの場合

アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更しても、カウンタスタート時に出力デューティは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更しても、カウンタスタート時に出力デューティが反映されます。

- 三角波モードの場合

カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更しても、カウンタスタート時に出力デューティは反映されません。アンダーフロー時に出力デューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更しても、カウンタスタート時に出力デューティが反映されます。

OmDTY[1:0] ビット (GTIOCm 出力デューティ設定) (m = A、B)

これらのビットは、GTIOCm 端子の出力デューティ (0%、100%、またはコンペアマッチ制御) を設定します。

OmDTYF ビット (GTIOCm 出力デューティ強制設定) (m = A、B)

本ビットは、出力デューティサイクルを OmDTY の設定値に強制的に設定します。カウンタの動作中は、このビットを 0 にする必要があります。カウントストップ中にこのビットを 1 にした場合、カウンタの動作開始後、最初の周期が終わるまでにこのビットを 0 に戻す必要があります。

OmDTYR ビット (0%/100% デューティ設定解除後の GTIOCm 出力値選択) (m = A、B)

制御が 0% または 100% デューティ設定から GTIOCm 端子および GTIOR レジスタのコンペアマッチに変更された場合、周期の終わりで出力保持／トグル出力の対象となる値を選択します。GTIOm[3:2] ビットが 00b (周期の終わりで出力保持) に、または GTIOR.GTIOm[3:2] ビットが 11b (周期の終わりでトグル出力) に設定されます。

0%/100% デューティ動作実行中、GPT32 は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、GTIOCm 端子は、コンペアマッチ動作の周期の終わりで GTIOR.GTIOm[3:2] ビット で選択された出力状態になります。

21.2.14 汎用 PWM タイマ I/O コントロールレジスタ (GTIOR)

アドレス GPT320.GTIOR 4007 8034h
GPT16m.GTIOR 4007 8034h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCBSB[1:0]	NFBEN	—	—	OBDF[1:0]	OBE	OBHLD	OBDFLT	—	GTIOB[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
NFCSA[1:0]	NFAEN	—	—	OADF[1:0]	OAE	OAHL	OADFLT	—	GTIOA[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCA 端子機能選択	表 21.5 を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OADFLT	カウントストップ時の GTIOCA 端子出力値設定	0: カウントストップ時に GTIOCA 端子は Low を出力 1: カウントストップ時に GTIOCA 端子は High を出力	R/W
b7	OAHL	カウントスタート/ストップ時の GTIOCA 端子出力設定	0: カウントスタート/ストップ時の GTIOCA 端子出力レベルはレジスタ設定値に従う 1: カウントスタート/ストップ時の GTIOCA 端子出力レベルは保持する	R/W
b8	OAE	GTIOCA 端子出力許可	0: 出力を許可しない 1: 出力を許可	R/W
b10-b9	OADF[1:0]	GTIOCA 端子禁止値設定	b10 b9 0 0: 下記要因を設定しない 0 1: 出力ネゲート制御時に GTIOCA 端子を Hi-Z にする 1 0: 出力ネゲート制御時に GTIOCA 端子を 0 にする 1 1: 出力ネゲート制御時に GTIOCA 端子を 1 にする	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	NFAEN	ノイズフィルタ A 有効	0: GTIOCA 端子のノイズフィルタは無効 1: GTIOCA 端子のノイズフィルタは有効	R/W
b15-b14	NFCSA[1:0]	ノイズフィルタ A サンプリン グクロック選択	b15 b14 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W
b20-b16	GTIOB[4:0]	GTIOCB 端子機能選択	表 21.5 を参照してください。	R/W
b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	OBDFLT	カウントストップ時の GTIOCB 端子出力値設定	0: カウントストップ時に GTIOCB 端子は Low を出力 1: カウントストップ時に GTIOCB 端子は High を出力	R/W
b23	OBHL	カウントスタート/ストップ時の GTIOCB 端子出力設定	0: カウントスタート/ストップ時の GTIOCB 端子出力レベルはレジスタ設定値に従う 1: カウントスタート/ストップ時の GTIOCB 端子出力レベルを保持する	R/W
b24	OBE	GTIOCB 端子出力許可	0: 出力を禁止 1: 出力を許可	R/W
b26-b25	OBDF[1:0]	GTIOCB 端子禁止値設定	b26 b25 0 0: 下記要因を設定しない 0 1: 出力ネゲート制御時に GTIOCB 端子を Hi-Z にする 1 0: 出力ネゲート制御時に GTIOCB 端子を 0 にする 1 1: 出力ネゲート制御時に GTIOCB 端子を 1 にする	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFBEN	ノイズフィルタ B 有効	0: GTIOCB 端子のノイズフィルタは無効 1: GTIOCB 端子のノイズフィルタは有効	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCSB[1:0]	ノイズフィルタBサンプリングクロック選択	b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W

GTIOR レジスタは、GTIOCA 端子および GTIOCB 端子の機能を設定するレジスタです。

GTIOA[4:0] ビット (GTIOCA 端子機能選択)

GTIOCA 端子の機能を選択します。詳細は、表 21.5 を参照してください。

OADFLT ビット (カウントストップ時の GTIOCA 端子出力値設定)

カウントストップ時に、GTIOCA 端子が High または Low のいずれを出力するかを設定します。

OAHLDB ビット (カウントスタート/ストップ時の GTIOCA 端子出力設定)

カウントスタート/ストップ時に、GTIOCA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

OAHLDB ビットを 0 にした場合：

- ・ カウントスタート時に、GTIOA[4:0] ビットのビット [4] で指定した値を出力
- ・ カウントストップ時に、OADFLT ビットで指定した値を出力
- ・ カウントストップ中に OADFLT ビットを書き換えた場合、ただちに出力に反映される

OAHLDB ビットを 1 にした場合：

- ・ カウントスタート/ストップ時に出力が保持される

OAE ビット (GTIOCA 端子出力許可)

GTIOCA 端子出力を許可/禁止します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合)、OAE ビット値とは関係なく GTIOCA 端子からの出力はありません。

OADF[1:0] ビット (GTIOCA 端子禁止値設定)

POEG からの出力停止要求によって GTIOCA 端子から出力する値を選択します。

NFAEN ビット (ノイズフィルタ A 有効)

GTIOCA 端子からの入力に対してノイズフィルタを有効/無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSA[1:0] ビット (ノイズフィルタ A サンプリングクロック選択)

GTIOCA 端子のノイズフィルタのサンプリング周期を設定します。許可しないを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

GTIOB[4:0] ビット (GTIOCB 端子機能選択)

GTIOCB 端子機能を選択します。詳細は、表 21.5 を参照してください。

OBDFLT ビット (カウントストップ時の GTIOCB 端子出力値設定)

カウントストップ時に、GTIOCB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット (カウントスタート/ストップ時の GTIOCB 端子出力設定)

カウントスタート/ストップ時に、GTIOCB 端子の出力レベルを保持するか、レジスタ設定値に従うかを指定します。

OBHLD ビットを 0 にした場合

- カウントスタート時に、GTIOB[4:0] ビットのビット [4] で指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に OBDFLT ビットを書き換えた場合、ただちに出力に反映される

OBHLD ビットを 1 にした場合

- カウントスタート/ストップ時に出力が保持される

OBE ビット (GTIOCB 端子出力許可)

GTIOCB 端子出力を許可/禁止します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICBSR レジスタの少なくとも 1 つのビットを 1 にした場合)、OBE ビット値にかかわらず GTIOCB 端子からの出力はありません。

OBDF[1:0] ビット (GTIOCB 端子禁止値設定)

POEG からの出力停止要求によって GTIOCB 端子から出力する値を選択します。

NFBEN ビット (ノイズフィルタ B 有効)

GTIOCB 端子からの入力に対してノイズフィルタを有効/無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCBSB[1:0] ビット (ノイズフィルタ B サンプリングクロック選択)

GTIOCB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 21.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値 (1/2)

GTIOA/GTIOB[4:0] ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2 (注1) (注2) (注3)	b1-b0 (注2)
0	0	0	0	0	初期出力はLow	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

表 21.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値 (2/2)

GTIOA/GTIOB[4:0] ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2 (注1) (注2) (注3)	b1-b0 (注2)
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

- 注 1. 周期の終わりとは、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）、またはアンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）を意味します。これは、のこぎり波では GTCNT がクリアされたタイミング、三角波では谷になったタイミングです。
- 注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB レジスタのコンペアマッチのタイミングが一致した場合、のこぎり波 PWM モードでは b3-b2 の設定値が優先され、それ以外のモードでは b1-b0 の設定値が優先されます。
- 注 3. GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 の場合のイベントカウント動作では、b3-b2 の設定値は無視されます。

21.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPT320.GTINTAD 4007 8038h
GPT16m.GTINTAD 4007 8038h + 0100h × m (m = 1~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPABH	—	—	—	GRP[1:0]	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0 : グループA出力禁止要求を選択 0 1 : グループB出力禁止要求を選択 1 x : 設定禁止	R/W
b28-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	GRPABH	同時出力レベルHigh禁止要求許可	0 : 同時出力レベルHigh禁止要求を禁止 1 : 同時出力レベルHigh禁止要求を許可	R/W
b30	GRPABL	同時出力レベルLow禁止要求許可	0 : 同時出力レベルLow禁止要求を禁止 1 : 同時出力レベルLow禁止要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTINTAD レジスタは、割り込み要求と出力禁止要求を許可／禁止するレジスタです。

GRP[1:0] ビット (出力禁止要因選択)

GTIOCA 端子または GTIOCB 端子の出力禁止要因を選択します。

同時出力レベル High または同時出力レベル Low が出力禁止要求許可ビットに従って発生すると、POEG に対する出力禁止要求が GRP[1:0] ビットで選択されたグループに出力されます。

GTST.ODF は、GRP[1:0] ビットで選択する出力禁止要因グループの要求を示します。GRP[1:0] ビットは、GTIOR.OAE と GTIOR.OBE の両方が 0 の場合に設定してください。

GRPABH ビット (同時出力レベル High 禁止要求許可)

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力する場合に、出力禁止要求を許可／禁止します。

GRPABL ビット (同時出力レベル Low 禁止要求許可)

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力する場合に、出力禁止要求を許可／禁止します。

21.2.16 汎用 PWM タイマステータスレジスタ (GTST)

アドレス GPT320.GTST 4007 803Ch
GPT16m.GTST 4007 803Ch + 0100h × m (m = 1 ~ 6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	—	—	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インプットキャプチャ/コンペアマッチフラグA	0: GTCCRAのインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRAのインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b1	TCFB	インプットキャプチャ/コンペアマッチフラグB	0: GTCCRBのインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRBのインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b2	TCFC	インプットコンペアマッチフラグC	0: GTCCRCのコンペアマッチの発生なし 1: GTCCRCのコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	インプットコンペアマッチフラグD	0: GTCCRDのコンペアマッチの発生なし 1: GTCCRDのコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	インプットコンペアマッチフラグE	0: GTCCREのコンペアマッチの発生なし 1: GTCCREのコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	インプットコンペアマッチフラグF	0: GTCCRFのコンペアマッチの発生なし 1: GTCCRFのコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバーフローフラグ	0: オーバーフロー (山) の発生なし 1: オーバーフロー (山) の発生あり	R/(W) (注1)
b7	TCFPU	アンダーフローフラグ	0: アンダーフロー (谷) の発生なし 1: アンダーフロー (谷) の発生あり	R/(W) (注1)
b14-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	TUCF	カウント方向フラグ	0: GTCNTカウンタはダウンカウント 1: GTCNTカウンタはアップカウント	R
b23-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	ODF	出力禁止フラグ	0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
b28-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	OABHF	同時出力レベルHighフラグ	0: GTIOCA端子とGTIOCB端子は同時に1を出力していない 1: GTIOCA端子とGTIOCB端子は同時に1を出力した	R
b30	OABLF	同時出力レベルLowフラグ	0: GTIOCA端子とGTIOCB端子は同時に0を出力していない 1: GTIOCA端子とGTIOCB端子は同時に0を出力した	R
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. このビットには0のみ書けます。1を書き込まないでください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ (インプットキャプチャ/コンペアマッチフラグ A)

GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA 値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB 値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TCFC フラグ (インプットコンペアマッチフラグ C)

GTCCRC のコンペアマッチのステータスを示します。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

TCFD フラグ (インプットコンペアマッチフラグ D)

GTCCRD のコンペアマッチのステータスを示します。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

TCFE フラグ (インプットコンペアマッチフラグ E)

GTCCRE のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRE 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

TCFF フラグ (インプットコンペアマッチフラグ F)

GTCCRF のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 10b、11b (GTCCRF レジスタがバッファ動作)

TCFPO フラグ (オーバーフローフラグ)

オーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが GTPR 値から GTPR 値 -1 に変化) が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TCFPU フラグ (アンダーフローフラグ)

アンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが 0 から 1 に変化) が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示します。イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ODF フラグ (出力禁止フラグ)

GRP[1:0] ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる同じ 1 周期の間、出力禁止制御は解除されません。次の周期に解除されます。

OABHF フラグ (同時出力レベル High フラグ)

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。

OABHF フラグによる割り込みが許可されている (GTINTAD.GRPABH ビット = 1) 場合、OABHF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットの少なくとも一方が 0 になったとき

OABLF フラグ (同時出力レベル Low フラグ)

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。

OABLF フラグによる割り込みが許可されている (GTINTAD.GRPABL ビット = 1) 場合、OABLF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットの少なくとも一方が 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力 (PWM 出力) 信号です。出力禁止状態が実行される場合、コンペアマッチも GPT 内部で継続して実行され、OABHF/OABLF フラグはコンペア値の結果に応じて更新されます。

21.2.17 汎用 PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス GPT320.GTBER 4007 8040h
GPT16m.GTBER 4007 8040h + 0100h × m (m = 1 ~ 6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	CCRS WT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRバッファ動作禁止	0 : バッファ動作を許可 1 : バッファ動作を禁止	R/W
b1	BD[1]	GTPRバッファ動作禁止		R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	CCRA[1:0]	GTCCRAバッファ動作	b17 b16 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRA ⇄ GTCCRC) 1 x : ダブルバッファとして動作する (GTCCRA ⇄ GTCCRC ⇄ GTCCRD)	R/W
b19-b18	CCRB[1:0]	GTCCRBバッファ動作	b19 b18 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRB ⇄ GTCCRE) 1 x : ダブルバッファとして動作する (GTCCRB ⇄ GTCCRE ⇄ GTCCRF)	R/W
b21-b20	PR[1:0]	GTPRバッファ動作	b21 b20 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTPBR レジスタ ⇄ GTPR レジスタ) 1 x : 設定禁止	R/W
b22	CCRSWT	GTCCRA・GTCCRB強制バッファ動作	1を書くとGTCCRAおよびGTCCRBレジスタのバッファ転送を強制的に行います。このビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。	R/W
b31-b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTBER レジスタは、バッファ動作を設定するレジスタです。GTCNT カウンタが停止しているときに設定する必要があります。

BD[0] ビット (GTCCR バッファ動作禁止)

GPT の GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCCR.TDE ビットが1のとき、BD[0] ビットを0にしても、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

BD[1] ビット (GTPR バッファ動作禁止)

GPT の GTPR レジスタと GTPBR レジスタを組み合わせたバッファ動作を禁止します。

CCRA[1:0] ビット (GTCCRA バッファ動作)

GPT の GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。(注1)

CCRB[1:0] ビット (GTCCRB バッファ動作)

GPT の GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCCR レジスタの設定が優先されます。(注 1)

PR[1:0] ビット (GTPR バッファ動作)

GPT の GTPR レジスタと GTPBR レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット (GTCCRA・GTCCRB 強制バッファ動作)

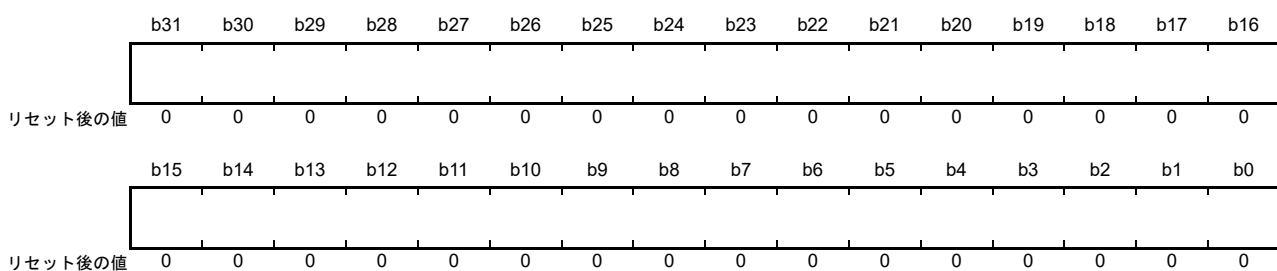
本ビットに 1 を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。

本ビットは、カウントストップ時にコンペアマッチ動作が指定されている場合にのみ有効です。

注 1. のこぎり波ワンショットパルスモード、または三角波 PWM モード 3 (谷 64 ビット転送) では、バッファ動作モードは固定されます。

21.2.18 汎用 PWM タイマカウンタ (GTCNT)

アドレス GPT320.GTCNT 4007 8048h
GPT16m.GTCNT 4007 8048h + 0100h × m (m = 1 ~ 6)



GTCNT は、GPT320 用の 32 ビットの読み出し／書き込み可能なカウンタです。GPT16m (m = 1 ~ 6) の場合、GTCNT は 16 ビットレジスタになります。GTCNT への書き込みは、カウントストップ後にのみ可能です。32 ビット単位でアクセスしてください。8 ビット単位／16 ビット単位でのアクセスはしないでください。

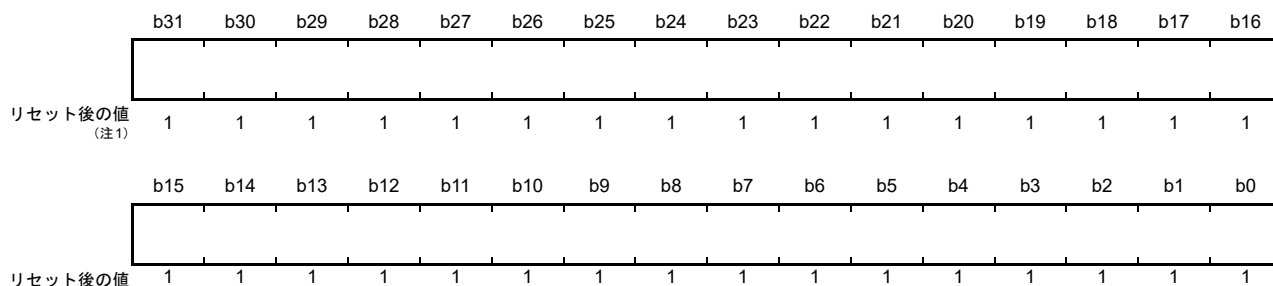
GPT16m (m = 1 ~ 6) の場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

GTCNT レジスタは、 $0 \leq \text{GTCNT} \leq \text{GTPR}$ の範囲に収まるように設定する必要があります。

21.2.19 汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)

アドレス GPT320.GTCCRA 4007 804Ch
 GPT320.GTCCRB 4007 8050h
 GPT320.GTCCRC 4007 8054h
 GPT320.GTCCRD 4007 805Ch
 GPT320.GTCCRE 4007 8058h
 GPT320.GTCCRF 4007 8060h

GPT16m.GTCCRA 4007 804Ch + 0100h × m (m = 1 ~ 6)
 GPT16m.GTCCRB 4007 8050h + 0100h × m (m = 1 ~ 6)
 GPT16m.GTCCRC 4007 8054h + 0100h × m (m = 1 ~ 6)
 GPT16m.GTCCRD 4007 805Ch + 0100h × m (m = 1 ~ 6)
 GPT16m.GTCCRE 4007 8058h + 0100h × m (m = 1 ~ 6)
 GPT16m.GTCCRF 4007 8060h + 0100h × m (m = 1 ~ 6)



注 1. GPT16m (m = 1 ~ 6) の場合、リセット後の上位 16 ビットの値は 0000h です。

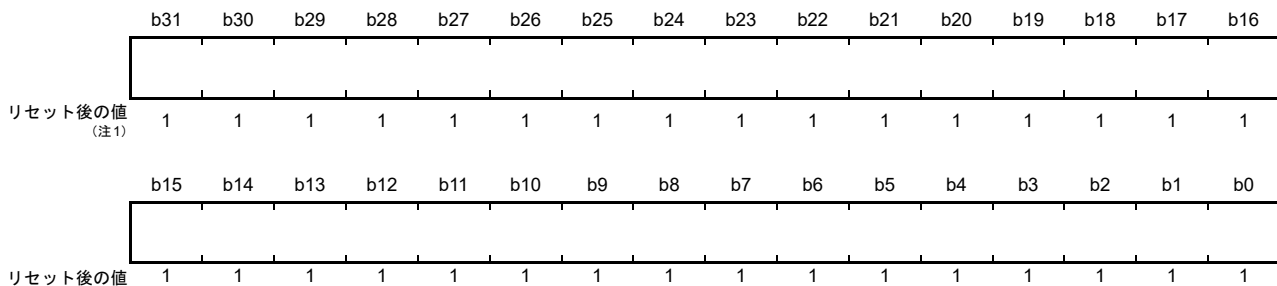
GTCCRn レジスタは読み出し／書き込み可能なレジスタです。GTCCRn レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTCCRn レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア／インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタは、コンペアマッチレジスタですが、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。

GTCCRD レジスタと GTCCRF レジスタは、コンペアマッチレジスタですが、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ (GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ) としても機能します。

21.2.20 汎用 PWM タイマ周期設定レジスタ（GTPR）

アドレス GPT320.GTPR 4007 8064h
 GPT16m.GTPR 4007 8064h + 0100h × m (m = 1～6)



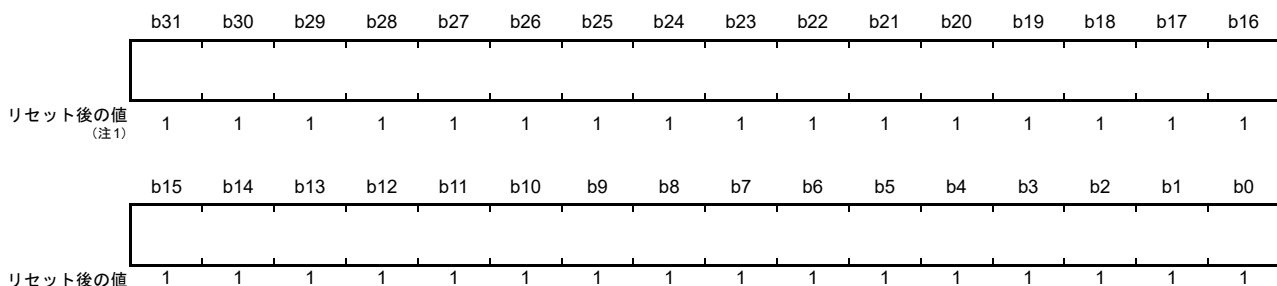
注 1. GPT16m (m = 1～6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTPR レジスタは、読み出し／書き込み可能な、GTCNT カウンタの最大カウント値を設定するレジスタです。GTPR レジスタの有効サイズは、GTCNT レジスタ（16 ビットまたは 32 ビット）と同一です。GTPR レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

のこぎり波の場合、GTPR 値 +1 がカウント周期になります。三角波の場合、GTPR 値 ×2 がカウント周期になります。

21.2.21 汎用 PWM タイマ周期設定バッファレジスタ（GTPBR）

アドレス GPT320.GTPBR 4007 8068h
 GPT16m.GTPBR 4007 8068h + 0100h × m (m = 1～6)



注 1. GPT16m (m = 1～6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTPBR レジスタは、読み出し／書き込み可能な、GTPR レジスタ用のバッファレジスタとして機能するレジスタです。GTPBR レジスタの有効サイズは、GTCNT レジスタ（16 ビットまたは 32 ビット）と同一です。GTPBR レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

21.2.22 汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCR)

アドレス GPT320.GTDTCR 4007 8088h
 GPT16m.GTDTCR 4007 8088h + 0100h × m (m = 1~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定	0 : GTDVUレジスタを使用しないで、GTCCRBレジスタを設定する 1 : GTDVUレジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可するレジスタです。GPT にはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタを使用します。

TDE ビット (逆相波形設定)

GTDVU レジスタを使用するか否かを指定します。GTDVU レジスタを使用する場合、正相波形のコンペアマッチ値 (GTCCRA 値) とデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

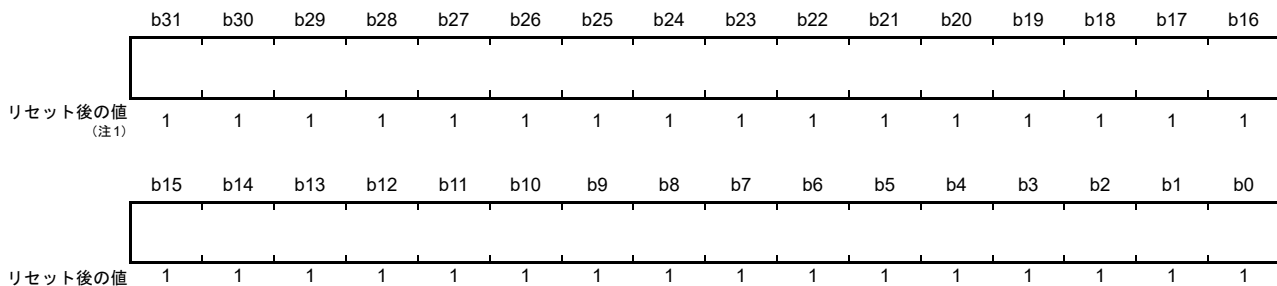
TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、自動設定は行われません。

GTCCRB 値が自動設定されるとき、下記のような上限/下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタにはこの制限値が設定されます。

- 三角波の場合
 上限値 : GTPR 値 - 1
 下限値 : アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合
 上限値 : GTPR 値
 下限値 : 0

21.2.23 汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)

アドレス GPT320.GTDVU 4007 808Ch
 GPT16m.GTDVU 4007 808Ch + 0100h × m (m = 1 ~ 6)



注 1. GPT16Hm (m = 1 ~ 3) および GPT16m (m = 4 ~ 6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTDVU レジスタは、読み出し／書き込み可能な、デッドタイム付き PWM 波形を生成するためのデッドタイム値を設定するレジスタです。GTDVU レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTDVU レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

周期を超えるデッドタイム値の設定はしないでください。GTCCRB レジスタを読み出すことによって、設定された値の確認が可能です。GTDVU レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすれば、デッドタイムなしの波形が出力されます。

GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU レジスタを新しい値に変更する場合、GTCR レジスタの CST ビットによって GPT を停止させてください。GTDVU レジスタは 32 ビット単位でアクセスする必要があります。8 ビット単位／16 ビット単位でのアクセスはしないでください。

21.2.24 出力相切り替えコントロールレジスタ (OPSCR)

アドレス GPT_OPS.OPSCR 4007 8FF0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	—	—	GODF	—	GRP	—	—	ALIGN	—	INV	N	P	FB	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	入力相ソフト設定	ソフトウェア設定により入力相を設定します。OPSCR.FB ビットが1のとき、これらのビットの設定が有効になります。	R/W
b1	VF			R/W
b2	WF			R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	U	入力U相監視	入力相の状態を監視します。 OPSCR.FB = 0 : これらのビットでPCLKDと同期した外部入力を監視 OPSCR.FB = 1 : OPSCR.U、OPSCR.V、およびOPSCR.W ビットでOPSCR.UF、OPSCR.VF、およびOPSCR.WF ビットの読み出しが可能	R
b5	V	入力V相監視		R
b6	W	入力W相監視		R
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EN	イネーブル相出力制御	0 : 出力しない (Hi-Z外部端子) 1 : 出力する (注1)	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	FB	外部フィードバック信号許可	ソフトウェア設定と外部入力から入力相を選択します。 0 : 外部入力を選択 1 : ソフトウェア設定 (OPSCR.UF/VF/WF ビット) を選択	R/W
b17	P	正相出力 (P) 制御	0 : レベル信号出力 1 : PWM信号出力 (GPT161のPWM)	R/W
b18	N	逆相出力 (N) 制御	0 : レベル信号出力 1 : PWM信号出力 (GPT161のPWM)	R/W
b19	INV	反転相出力制御	0 : 正論理 (アクティブHigh) を出力 1 : 負論理 (アクティブLow) を出力	R/W
b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b21	ALIGN	入力相アライメント	0 : 入力相をPCLKDに調整 1 : 入力相をPWMに調整	R/W
b23-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	GRP	出力禁止要因選択	0 : グループA出力禁止要因を選択 1 : グループB出力禁止要因を選択	R/W
b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26	GODF	グループ出力禁止機能	0 : このビット機能を見捨てる 1 : グループ禁止でOPSCR.ENビットをクリア (注1)	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFEN	外部入力ノイズフィルタ有効	0 : 外部入力にノイズフィルタを使用しない 1 : 外部入力にノイズフィルタを使用する	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	外部入力ノイズフィルタクロック 選択	外部入力のノイズフィルタサンプリングクロック設定 b31 b30 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W

注 1. OPSCR.GODF ビット = 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 にクリアされます。

OPSCR レジスタは、ブラシレス DC モータ制御に必要な信号波形の出力を設定するレジスタです。

UF、VF、WF ビット (入力相ソフト設定)

これらのビットは、ソフトウェア設定からの入力相を設定します。OPSCR.FB ビットが 1 のとき、これらのビットが有効になります。UF/VF/WF ビットの設定値が U/V/W 外部入力に取って代わります。

U、V、W ビット (入力相監視)

OPSCR.FB ビットが 0 の場合、PCLKD と同期した外部入力をこれらのビットで監視します。OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF、OPSCR.VF、OPSCR.WF ビットを読み出せます。

EN ビット (イネーブル相出力制御)

出力許可信号出力相 (正相/逆相) を制御します。

OPSCR.EN ビットが 1 の場合、信号波形が出力されます。

OPSCR.EN ビットが 0 の場合は、最初に OPSCR.FB、OPSCR.UF/VF/WF (ソフトウェア設定を選択)、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS ビットを設定してください。その後、このビットを 1 にしてください。また、OPSCR.GODF ビットが 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 にクリアされます。

FB ビット (外部フィードバック信号許可)

ソフトウェア設定 (OPSCR.UF、VF、WF ビット) およびホール素子などの外部入力からの入力相を選択します。

P ビット (正相出力 (P) 制御)

PWM 信号出力または正相出力の PWM 信号出力 (GTOUUP 端子、GTOVUP 端子、GTOWUP 端子) のどちらかを選択します。

N ビット (逆相出力 (N) 制御)

レベル信号出力または逆相出力の PWM 信号出力 (GTOULO 端子、GTOVLO 端子、GTOWLO 端子) のどちらかを選択します。

INV ビット (反転相出力制御)

出力相として正論理 (アクティブ High) 出力または負論理 (アクティブ Low) 出力のどちらかを選択します。

ALIGN ビット (入力相アライメント)

入力相のサンプリングとして PCLKD または PWM を選択します (入力相は OPSCR.FB ビットで指定)。OPSCR.ALIGN ビットが 0 のとき、入力相は PCLKD に調整されます。

注. PWM 出力 (OPSCR.P/N ビット = 1) を選択した場合、PCLKD 入力相を調整すると、PWM パルスは短パルスになる場合があります。

注. OPSCR.ALIGN ビットが 1 のとき、入力相は PWM 出力に調整されます。

GRP ビット (出力禁止要因選択)

出力禁止要因 A または B を選択します。

GODF ビット (グループ出力禁止機能)

OPSCR.GODF ビットが 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 にクリアされます。OPSCR.GODF ビットが 0 の場合、このビットは無視されます。

NFEN ビット (外部入力ノイズフィルタ有効)

外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビットが 0 の場合、外部入力にノイズフィルタは使用されません。

注. 意図しない内部エッジにより本ビットが切り替わった場合、OPSCR.EN ビットを 0 にしてください。

NFCS[1:0] ビット (外部入力ノイズフィルタクロック選択)

外部入力ノイズフィルタのクロックを選択します。OPSCR.NFEN ビットが 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS を設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

21.3 動作説明

21.3.1 基本動作

各チャンネルには 32 ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタがカウント周期を制御します。

GTCNT カウンタ値が GTCCRA または GTCCRB レジスタの値に一致すると、対応する GTIOCA 端子または GTIOCB 端子からの出力を変更できます。GTCCRA または GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRC および GTCCRD レジスタは、GTCCRA レジスタ用のバッファレジスタとしても機能します。また、GTCCRE および GTCCRF レジスタは、GTCCRB レジスタ用のバッファレジスタとしても機能します。

21.3.1.1 カウンタ動作

(1) カウンタスタート/ストップ

各チャンネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始します。GTCR.CST ビット値は以下の要因によって変化します。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 になっている場合、GTSTR レジスタの GPT チャンネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 になっている場合、GTSTP レジスタの GPT チャンネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0000 0000h にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバーフロー）すると、GTST.TCFPO フラグが 1 になります。GTCNT カウンタはオーバーフロー後、0000 0000h からアップカウントを継続します。

アップカウント時の周期カウント動作例を [図 21.3](#) に示します。

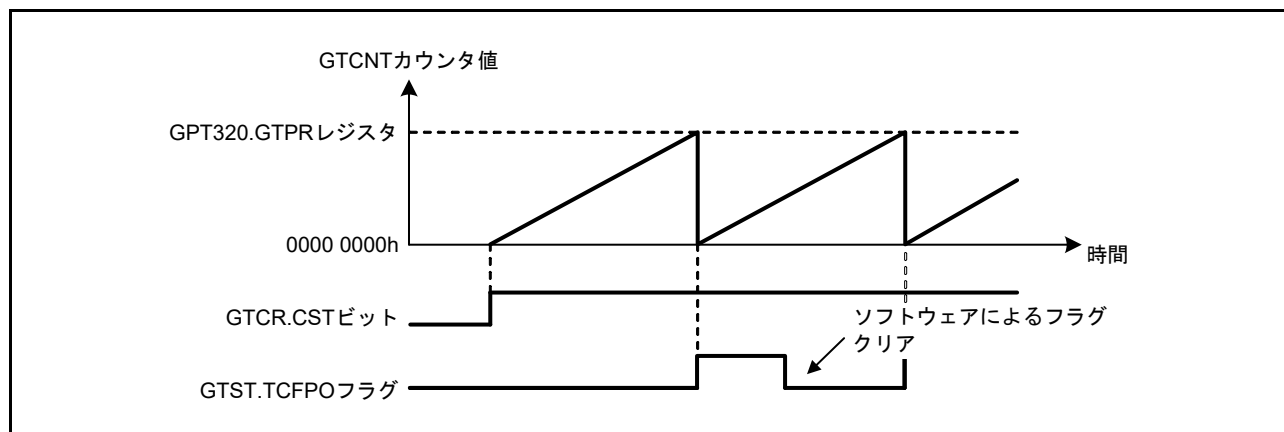


図 21.3 カウントクロックによるアップカウント時の周期カウント動作例

アップカウント時の周期カウント動作の設定例を [図 21.4](#) に示します。

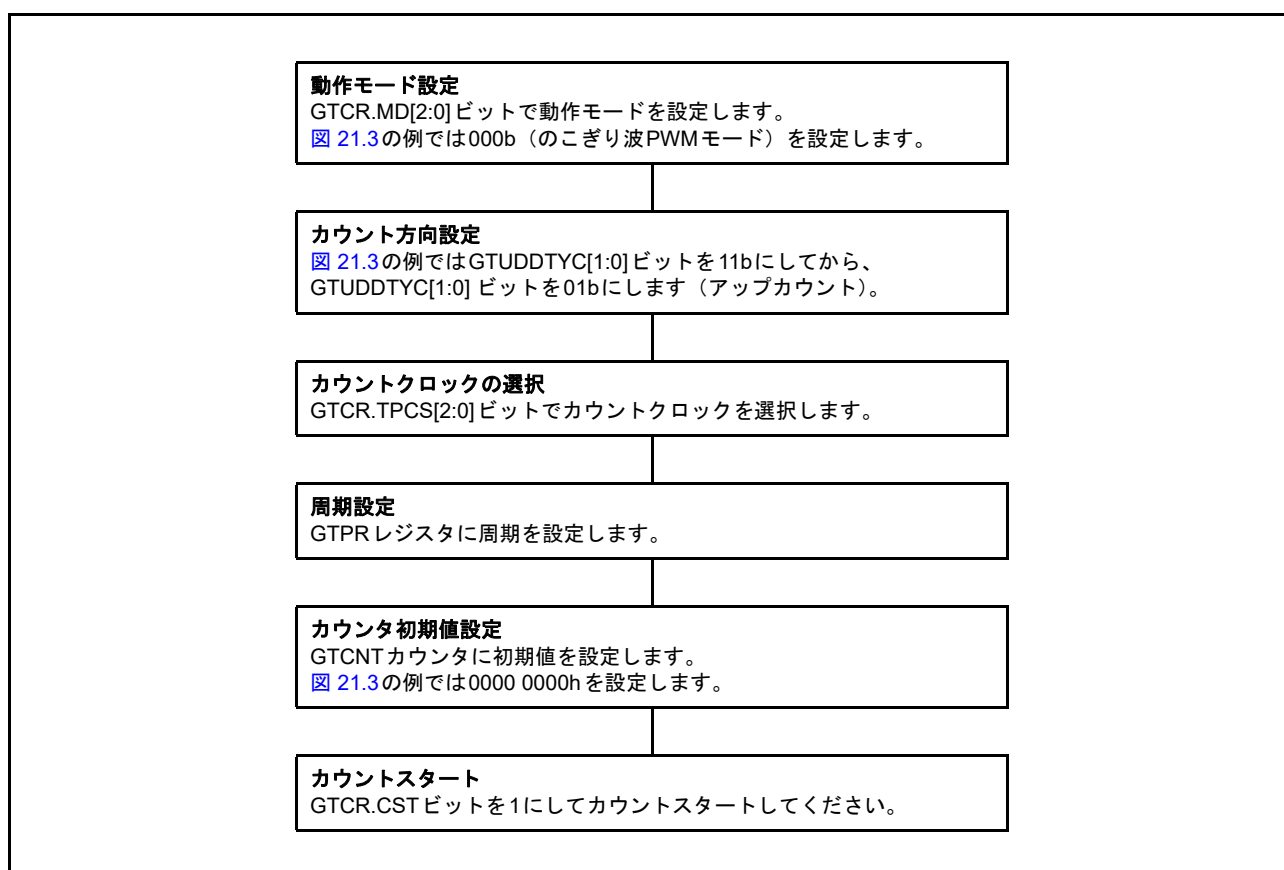


図 21.4 カウントクロックによるアップカウント時の周期カウント動作の設定例

(3) カウントクロックによるダウンカウント時の周期カウント動作

各チャネルのGTCNTカウンタは、GTUPSRおよびGTDNSRレジスタを0000 0000hにした状態で、GTUDDTYC.UDビットを設定することにより、ダウンカウントを実行できます。GTCNTカウンタ値が0からGTPR値に変化（アンダーフロー）すると、GTST.TCFPUビットが1になります。GTCNTカウンタはアンダーフロー後、GTPR値からダウンカウントを再開します。

カウントクロックによるダウンカウント時の周期カウント動作例を図21.5に示します。

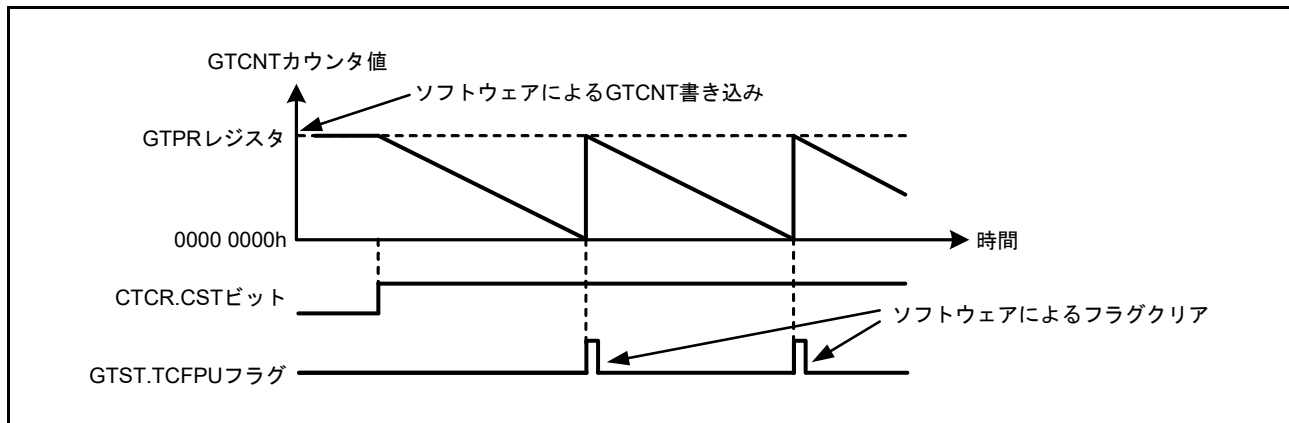


図 21.5 カウントクロックによるダウンカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を図21.6に示します。

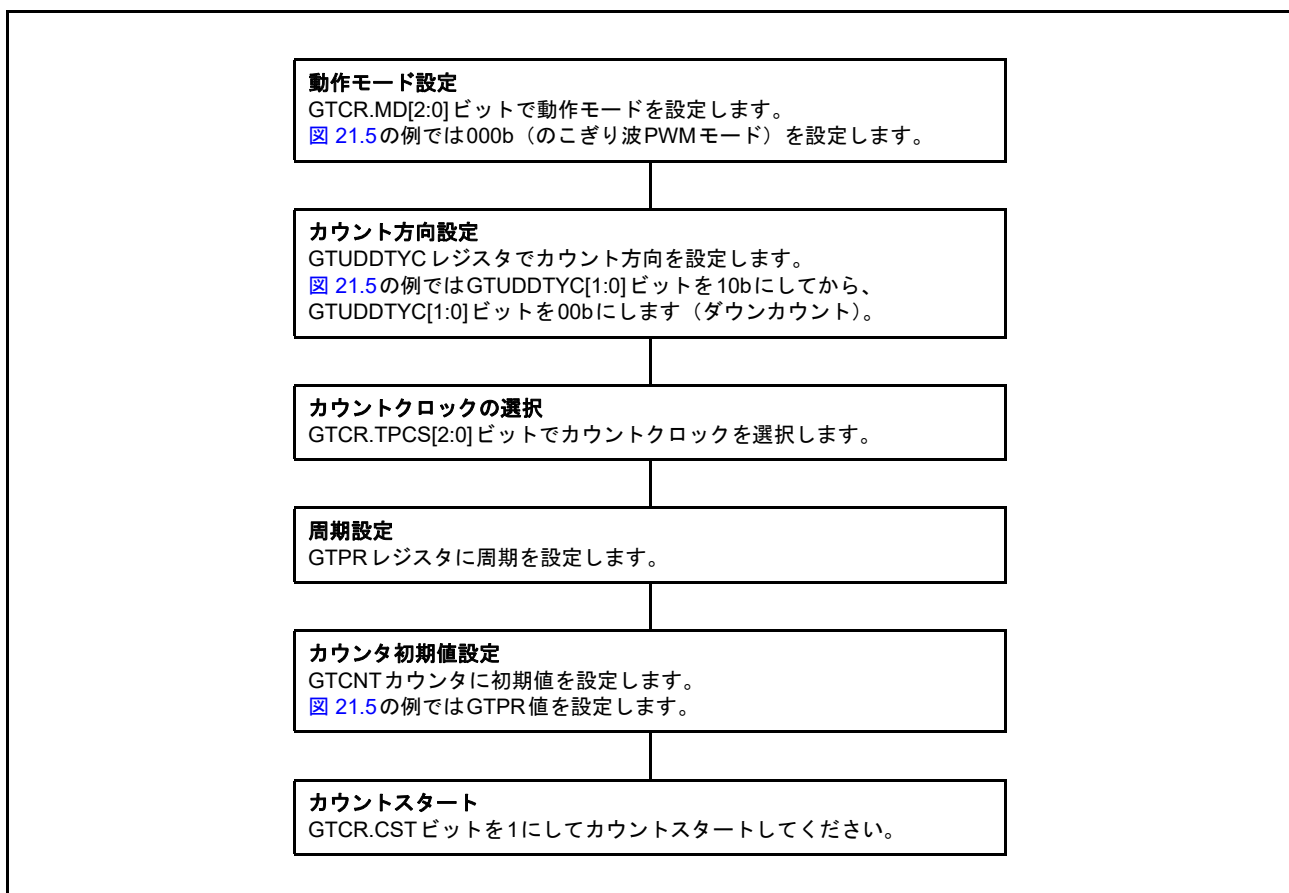


図 21.6 カウントクロックによるダウンカウント時の周期カウント動作の設定例

(4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因によるアップカウントを実行できます。

GTUPSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント時のオーバーフロー動作と同じです。

ハードウェア要因によるカウントアップを行うために、GTCR.CST ビットを 1 にしてカウント動作を有効にしてください。GTCR.CST ビットを 1 にした後も、カウント動作は GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0] ビットで指定された 1 クロックサイクルの間、カウンタはカウントアップを行えません。PCLKD1 クロック遅れでカウントアップを行う場合、GTCR.TPCS[2:0] ビットを 000b にしてください。

ハードウェア要因 (GTETRGA 端子の立ち上がりエッジ) によるアップカウント時の周期カウント動作例を図 21.7 に示します。

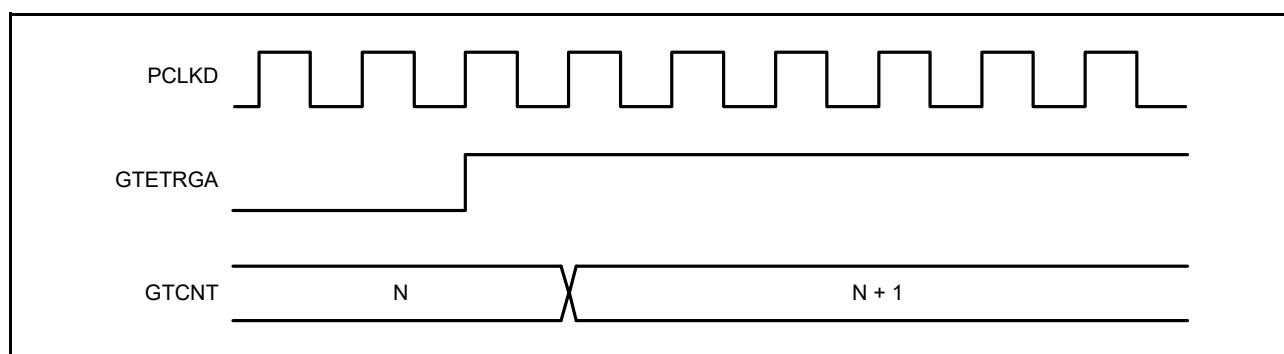


図 21.7 ハードウェア要因によるアップカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を図 21.8 に示します。

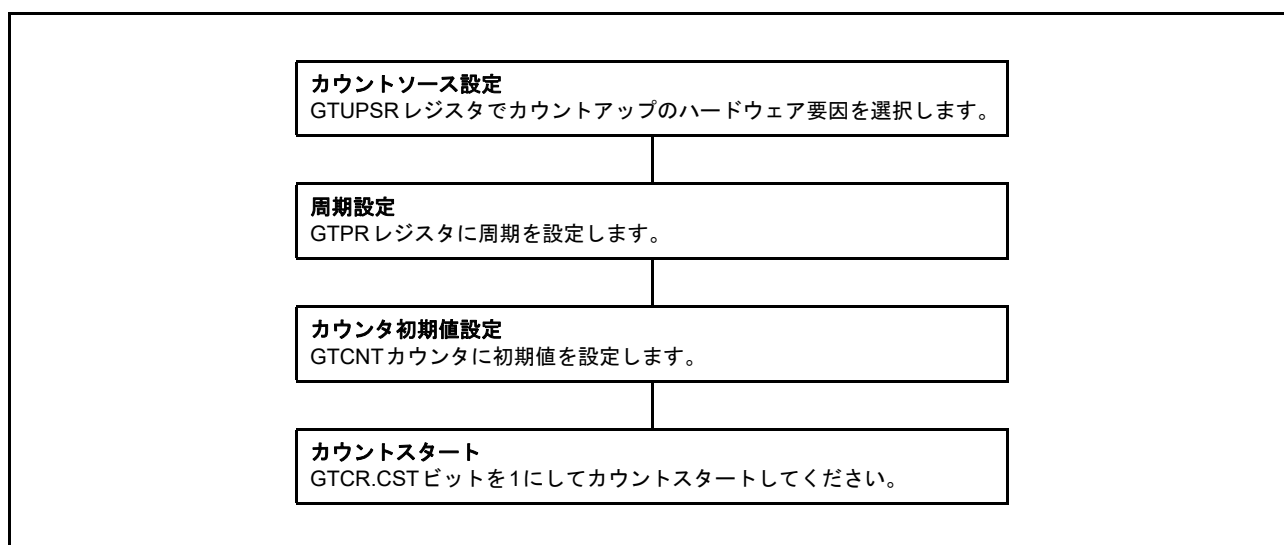


図 21.8 ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

(5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因によるダウンカウントを実行できます。

GTDNSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるカウントダウンを行う場合、カウント動作が有効になります。GTCR.CST ビットを 1 にすると、GTCR.TPCS[2:0] ビットで指定した 1 クロック周期の間カウンタはカウントダウンされません。これは、カウント動作は、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するためです。PCLKD1 クロック遅れでカウントダウンを行う場合、GTCR.TPCS[2:0] ビットを 000b にしてください。

ハードウェア要因 (GTETRGA 端子の立ち下がリエッジ) によるダウンカウント時の周期カウント動作例を図 21.9 に示します。

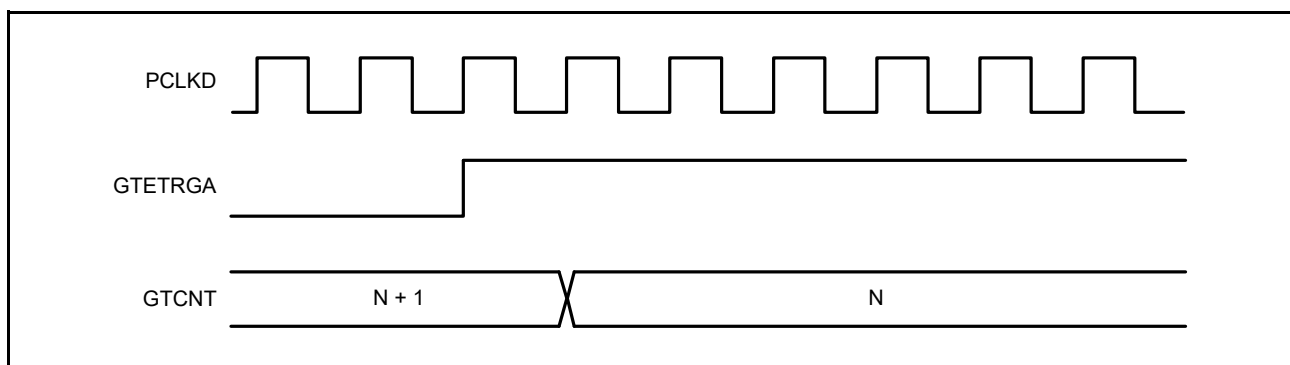


図 21.9 イベントカウント動作例 (ハードウェア要因によるダウンカウント時)

ハードウェア要因によるダウンカウント時の周期カウント動作の設定例を図 21.10 に示します。

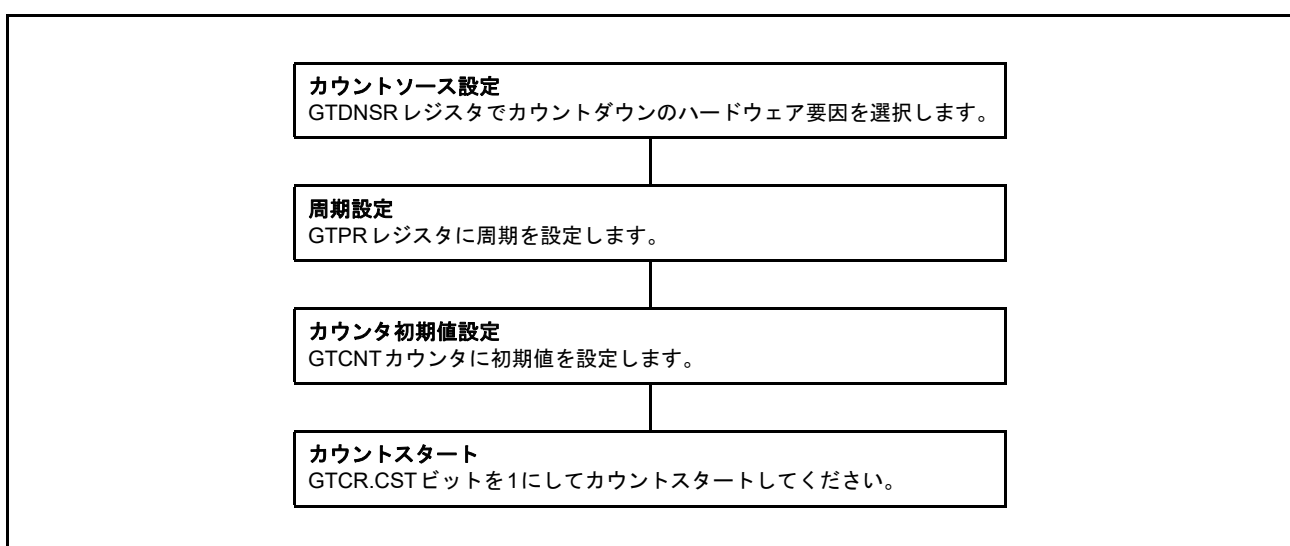


図 21.10 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアされます。

- GTCNT レジスタへの 0 の書き込み
- GTCR.CCLR ビットが 1 になっている場合、GTCLR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTCR レジスタで選択したハードウェア要因

カウント動作時は、GTCNT レジスタへの書き込みはしないでください。GTCNT カウンタは、カウント中でも (GTCR.CST ビットが 1)、カウント中でなくても (GTCR.CST ビットが 0)、GTCLR レジスタへの 1 の書き込みとハードウェア要因のクリア要求の両方の方法でクリアできます。

GTCR.MD[2:0] ビットの設定によってのこぎり波が選択され、カウント方向フラグがダウンカウント (GTST.TUCF ビットが 0) を示している場合、GTCLR レジスタへの 1 の書き込みまたは、ハードウェア要因によるクリアの実行時に、GTCNT レジスタに対して GTPR レジスタ値が設定されます。

のこぎり波モードでもダウンカウントでもない場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 つのビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方がただちに実行され、PCLKD と同期が取られます。その他の設定を使用すると、GTCR.TPCS[2:0] ビットで選択したカウンタクロックと同期してクリアが実行されます。

21.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCA または GTIOCB 出力端子から Low 出力／High 出力／トグル出力を行うことができます。また、GTPR レジスタで決定される“周期の終わり”においても、GTIOCA または GTIOCB 端子出力を Low 出力／High 出力／トグル出力とすることが可能です。

“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力／High 出力

GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力／High 出力の動作例を図 21.11 に示します。

この例では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子から High が出力され、GPT320.GTCCRB レジスタのコンペアマッチによって GTIOC0B 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。

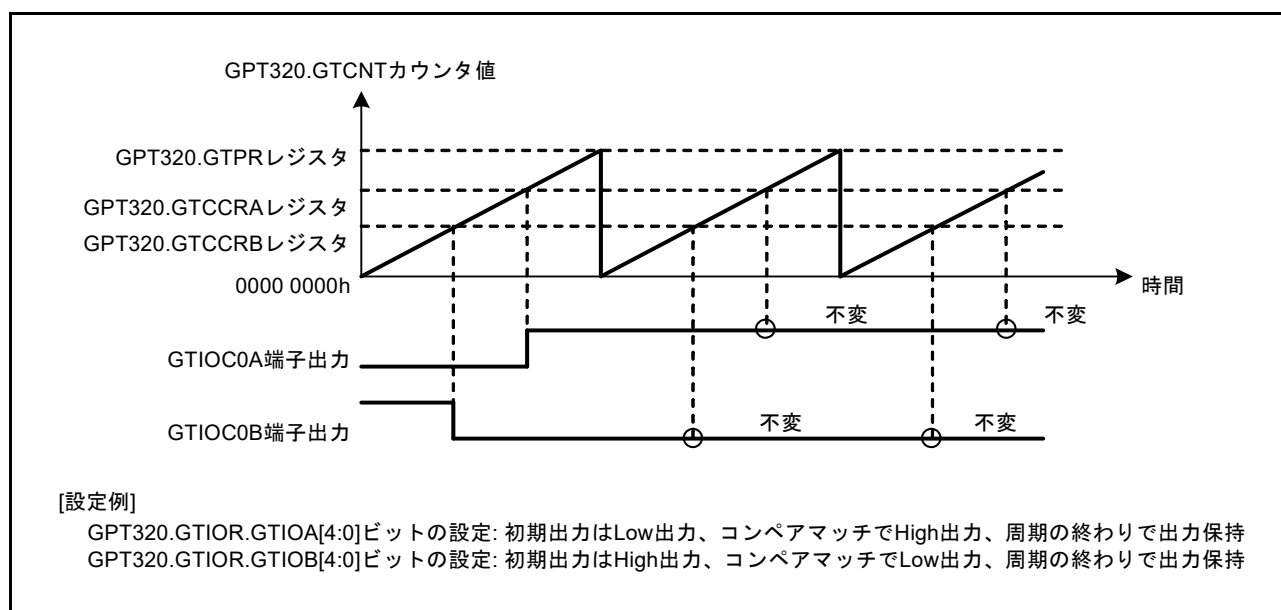


図 21.11 Low 出力／High 出力動作例

Low 出力／High 出力動作の設定例を図 21.12 に示します。

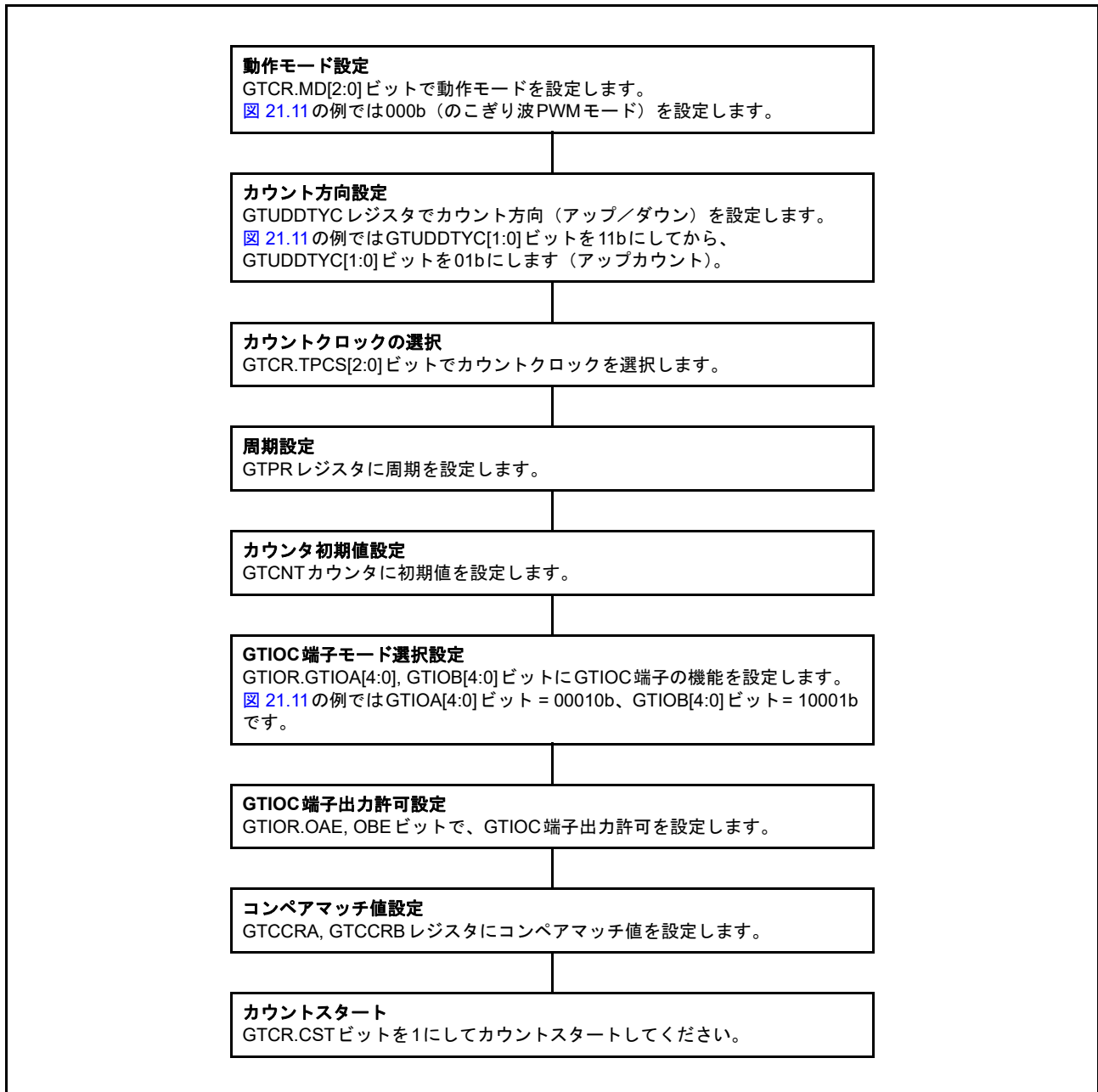


図 21.12 Low 出力／High 出力動作の設定例

(2) トグル出力

GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を、図 21.13 および図 21.14 に示します。図 21.13 では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチと、GPT320.GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOC0A 端子と GTIOC0B 端子がトグル出力となるように設定しています。

図 21.14 では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子がトグル出力となり、周期の終わりで GTIOC0B 端子がトグル出力となるように設定しています。

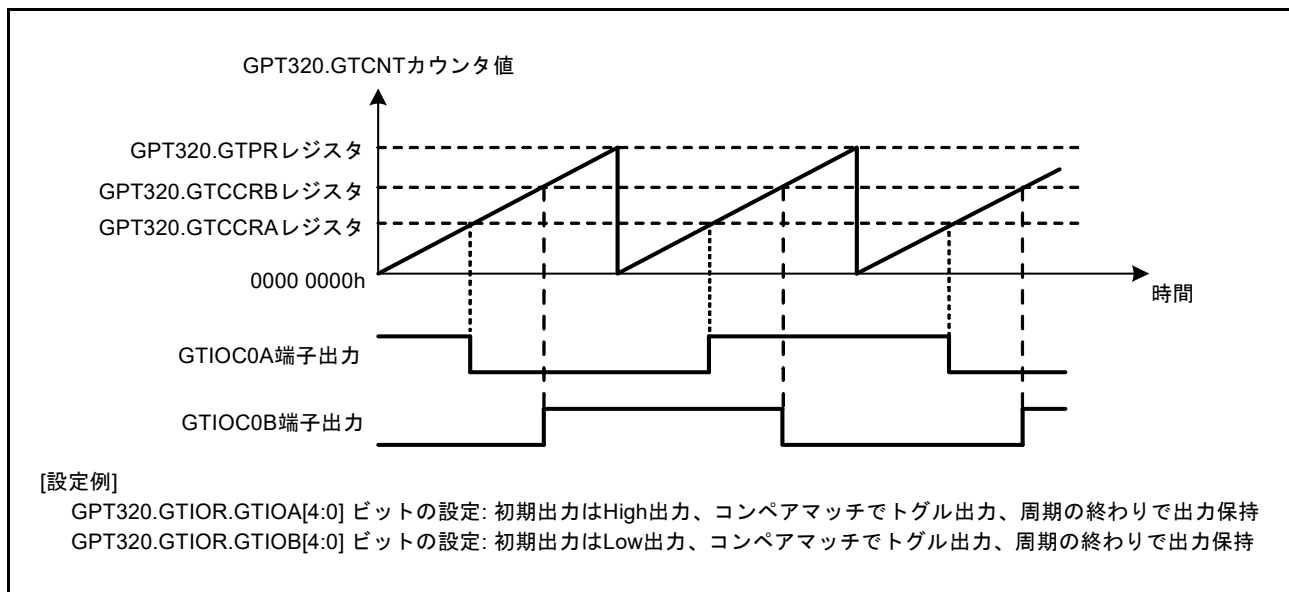


図 21.13 トグル出力動作例 (1)

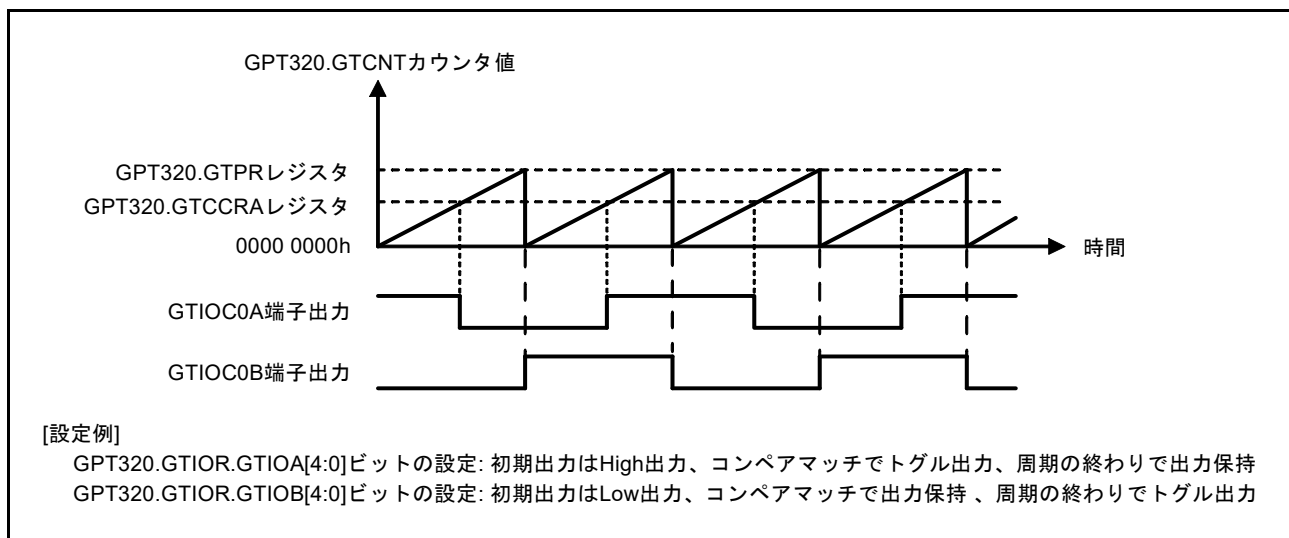


図 21.14 トグル出力動作例 (2)

トグル出力動作の設定例を図 21.15 に示します。

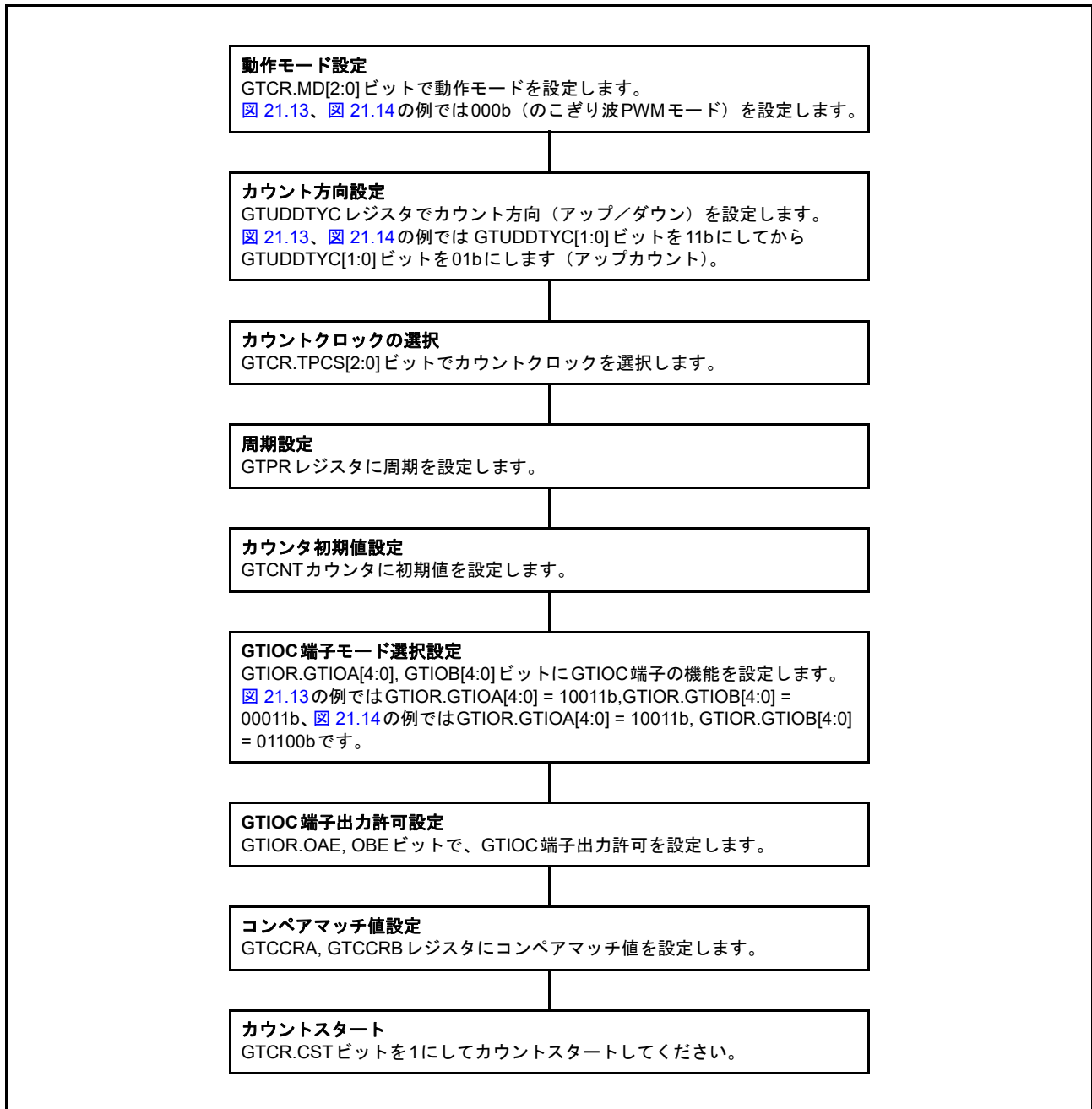


図 21.15 トグル出力動作の設定例

21.3.1.3 インพุットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インพุットキャプチャ機能の動作例を図 21.16 に示します。

この例では、カウントクロックで GPT320.GTCNT カウンタがアップカウント動作を行い、GTIOC0A 入力端子の両エッジで GTCCRA レジスタにインพุットキャプチャを実行し、GTIOC0B 入力端子の立ち上がりエッジで GTCCRB レジスタにインพุットキャプチャを実行するように設定しています。

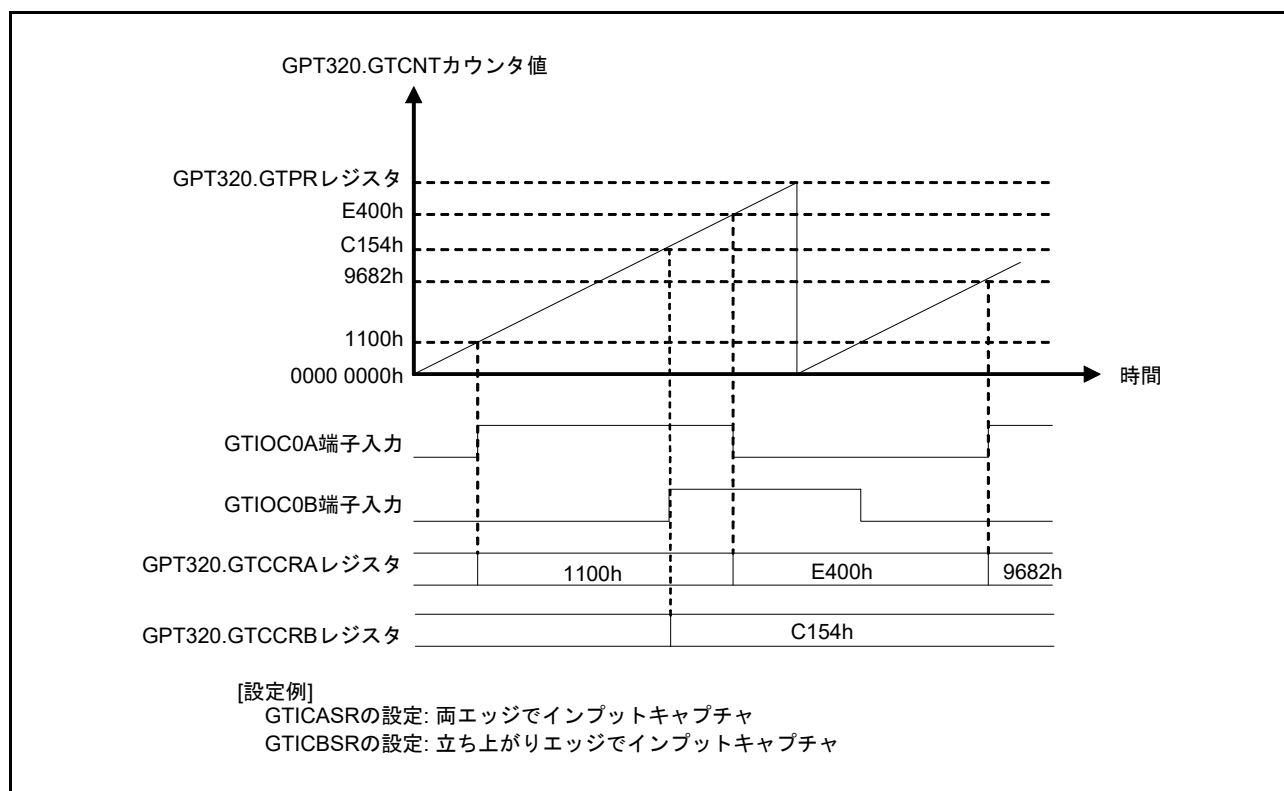


図 21.16 インพุットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を図 21.17 に示します。

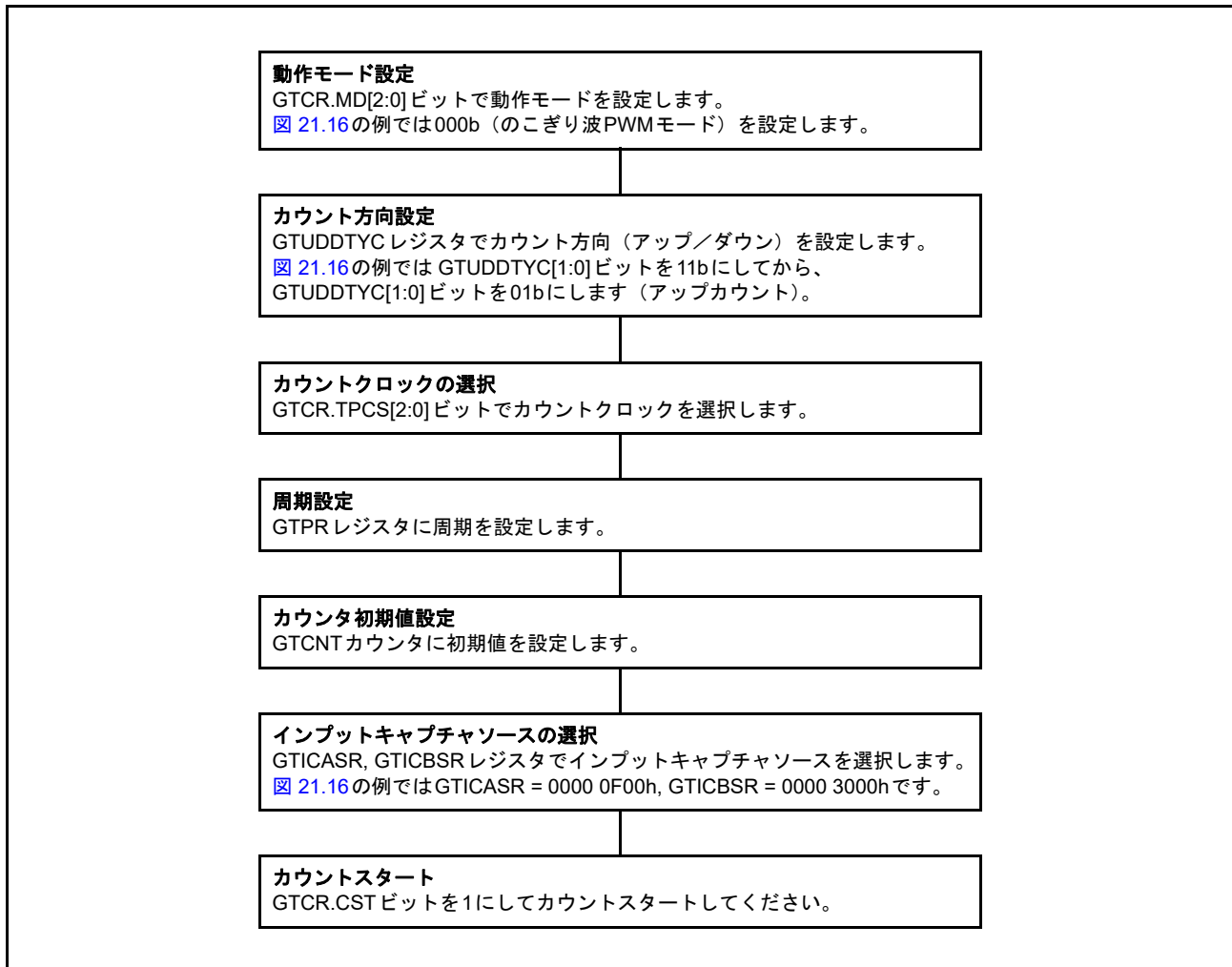


図 21.17 インプットキャプチャ動作の設定例

21.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR レジスタと GTPBR レジスタ
- GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタ
- GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタ

21.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。バッファ転送は、のこぎり波モードまたはイベントカウントにおいてはオーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードにおいては谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR[23:0] ビットで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR[n] ビットが 1、n = チャネル番号）

GTPR レジスタのバッファ動作例を図 21.18 ～ 図 21.20 に、GTPR レジスタのバッファ動作の設定例を図 21.21 に示します。

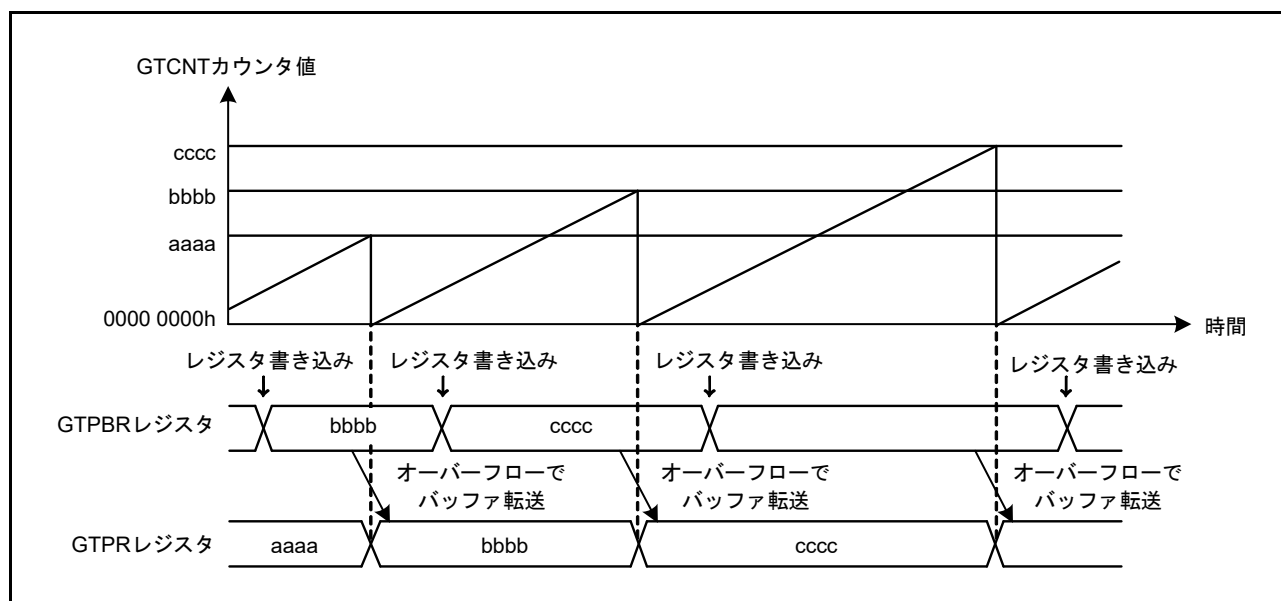


図 21.18 GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

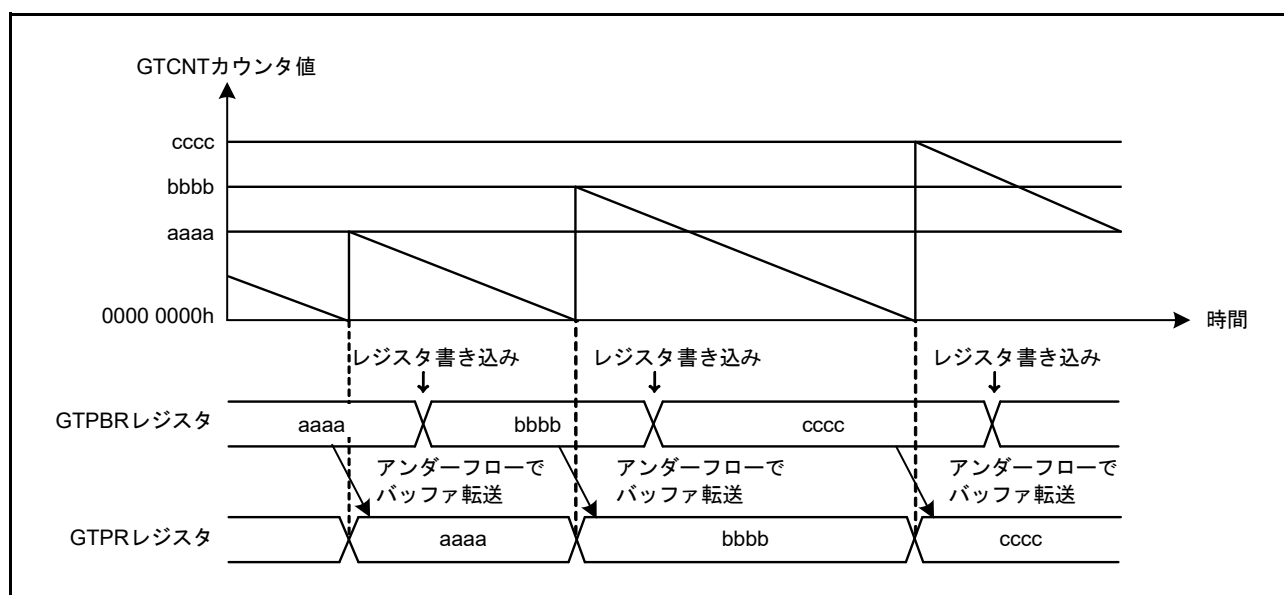


図 21.19 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

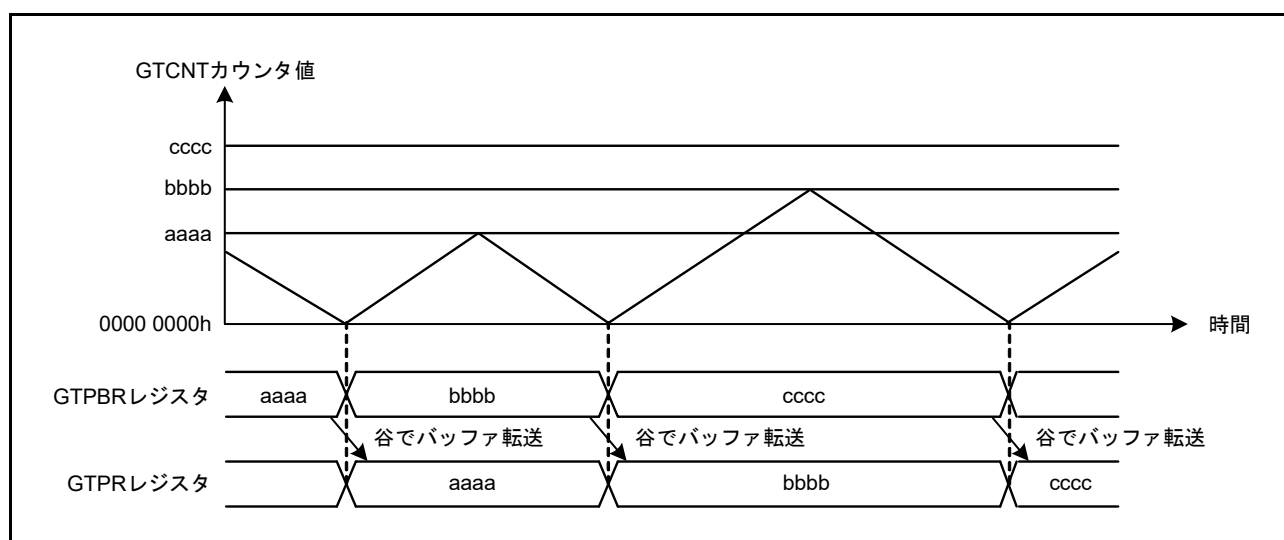


図 21.20 GTPR レジスタのバッファ動作例 (三角波の場合)

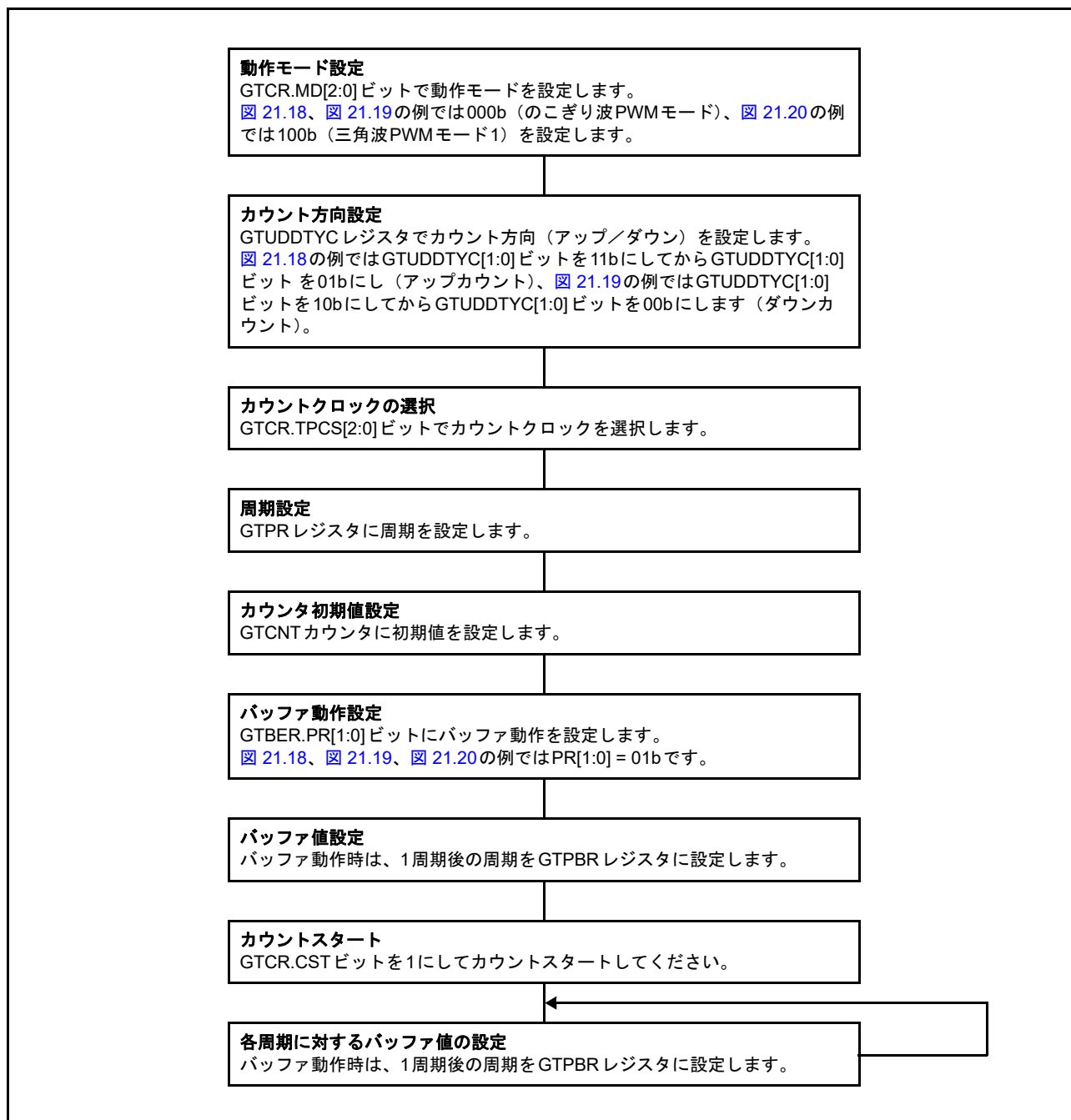


図 21.21 GTPR レジスタのバッファ動作設定例

21.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ（すなわち、GTCCRA レジスタ用のダブルバッファレジスタ）として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ（すなわち、GTCCRB レジスタ用のダブルバッファレジスタ）として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

(1) GTCCRA、GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送は次の場合に実行されます。

- オーバーフロー／アンダーフローによるバッファ転送
のこぎり波モードまたはイベントカウント動作では、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に、バッファ転送が実行されます。三角波モードでは、谷（三角波 PWM モード 1）または山および谷（三角波 PWM モード 2）で、バッファ転送が実行されます
- カウンタクリアによるバッファ転送
のこぎり波モードまたはイベントカウント動作では、カウント中に [21.3.2.1 GTPR レジスタのバッファ動作](#) の場合と同じカウンタクリア要因によって、バッファ転送が（同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に）実行されます。三角波モードでは、カウンタクリアによるバッファ転送は実行されません
- バッファ強制転送
カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、のこぎり波モード、イベントカウント動作、および三角波モードでは、GTCCRA および GTCCRB レジスタのバッファ転送が強制的に実行されます。さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタから一時レジスタ A へのバッファ転送、および GTCCRF レジスタから一時レジスタ B へのバッファ転送が実行されます

GTCCRA および GTCCRB レジスタのバッファ動作例を [図 21.22](#) ～ [図 21.24](#) に、GTCCRA および GTCCRB レジスタのバッファ動作の設定例を [図 21.25](#) に示します。

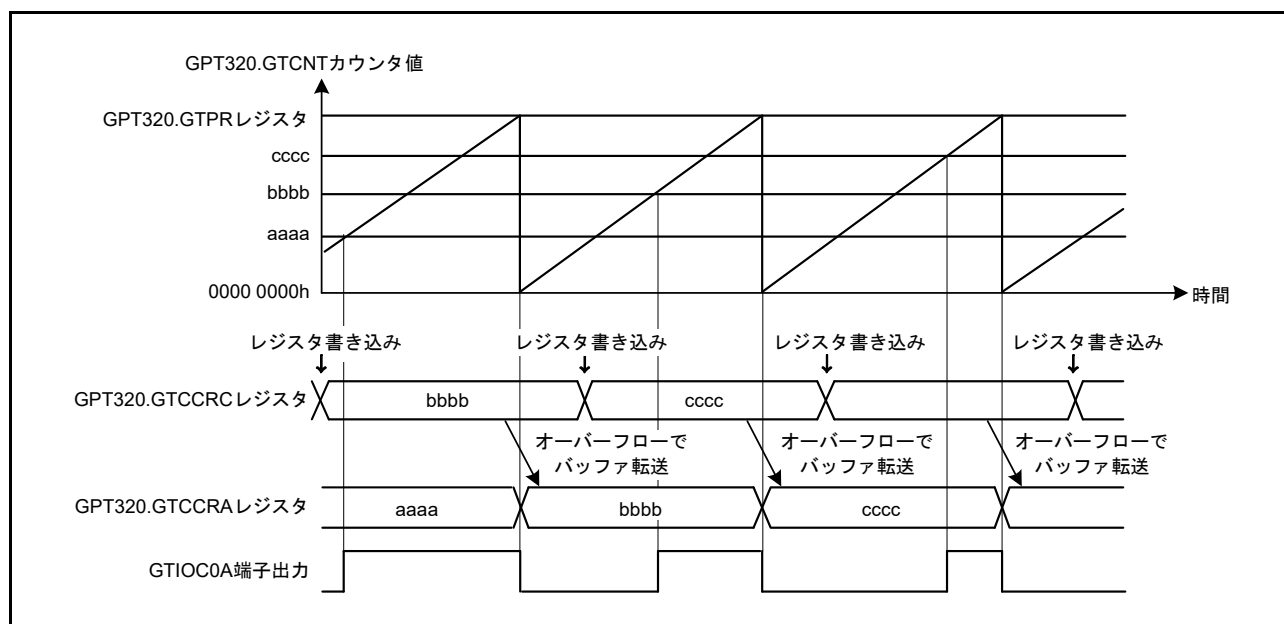


図 21.22 GTCCRA、GTCCRB レジスタのバッファ動作例（アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

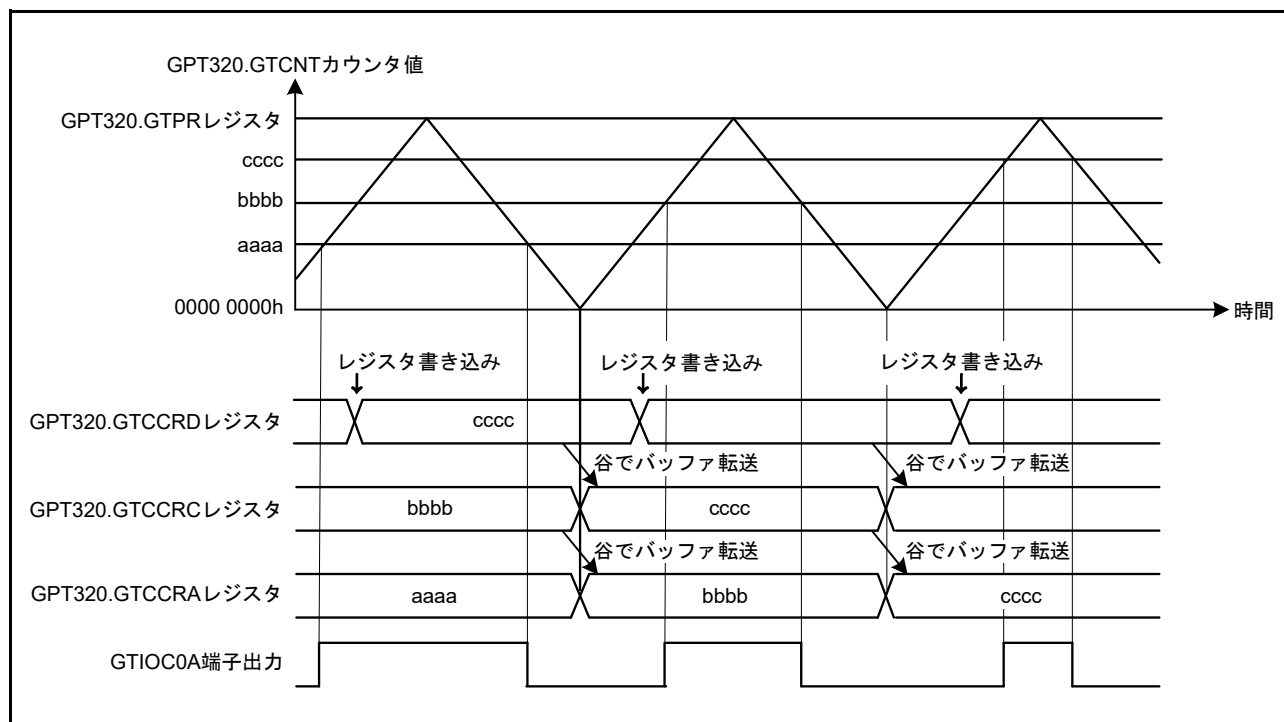


図 21.23 GTCCRA、GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

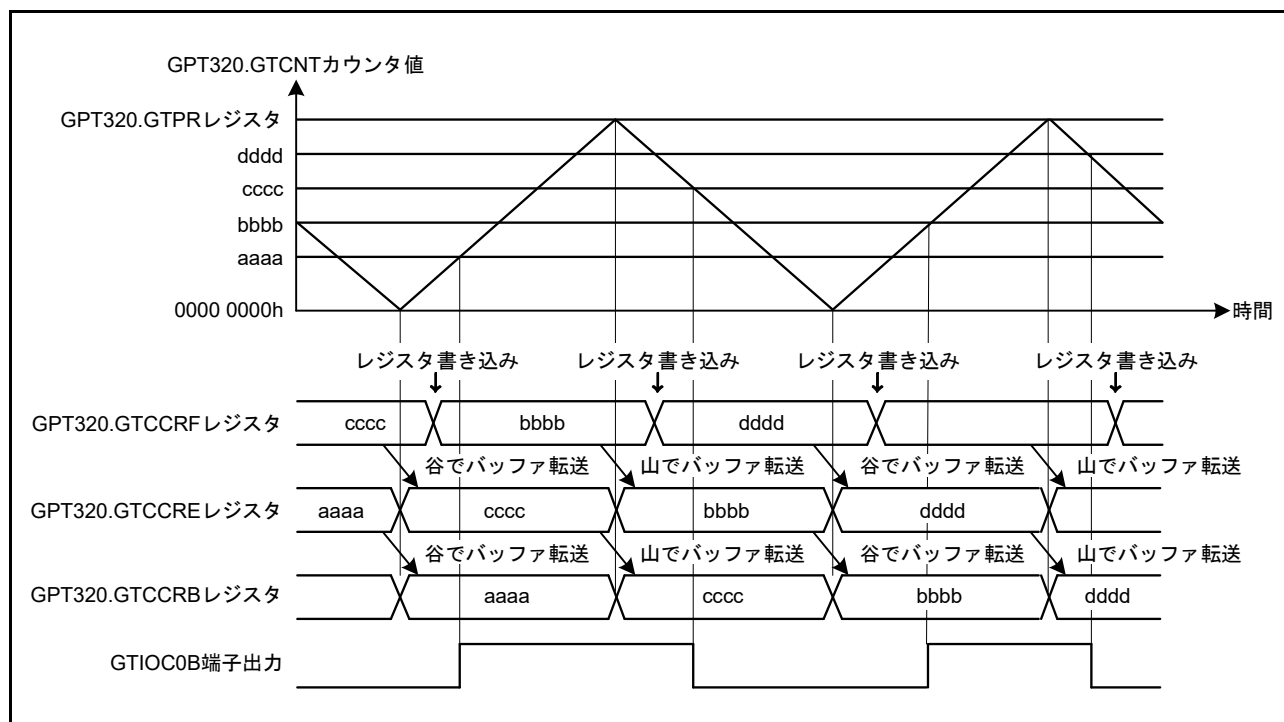


図 21.24 GTCCRA、GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）



図 21.25 GTCRA、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA、GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

GTCCRA および GTCCRB レジスタのバッファ動作例を、図 21.26 と図 21.27 に、GTCCRA および GTCCRB レジスタのバッファ動作の設定例を図 21.28 に示します。

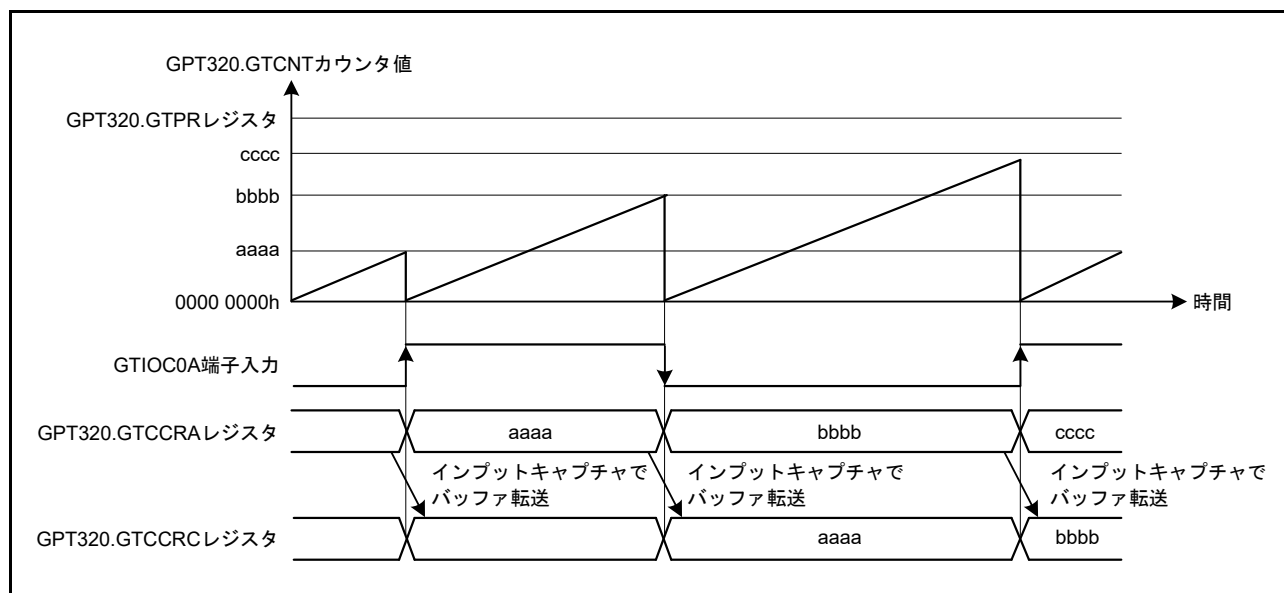


図 21.26 GTCCRA、GTCCRB レジスタのバッファ動作例 (GTIOC0A 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0A 端子入力の両エッジで GTCNT カウンタクリアの場合)

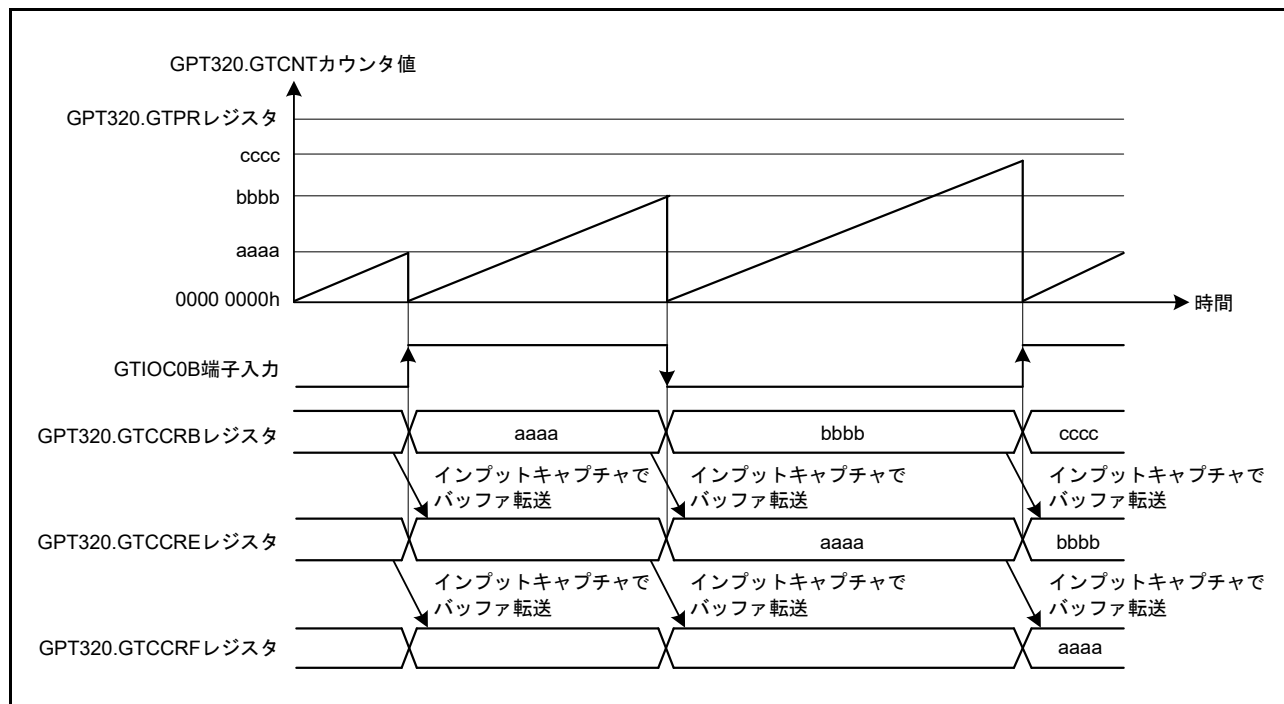


図 21.27 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (GTIOC0B 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0B 端子入力の両エッジで GTCNT カウンタクリアの場合)

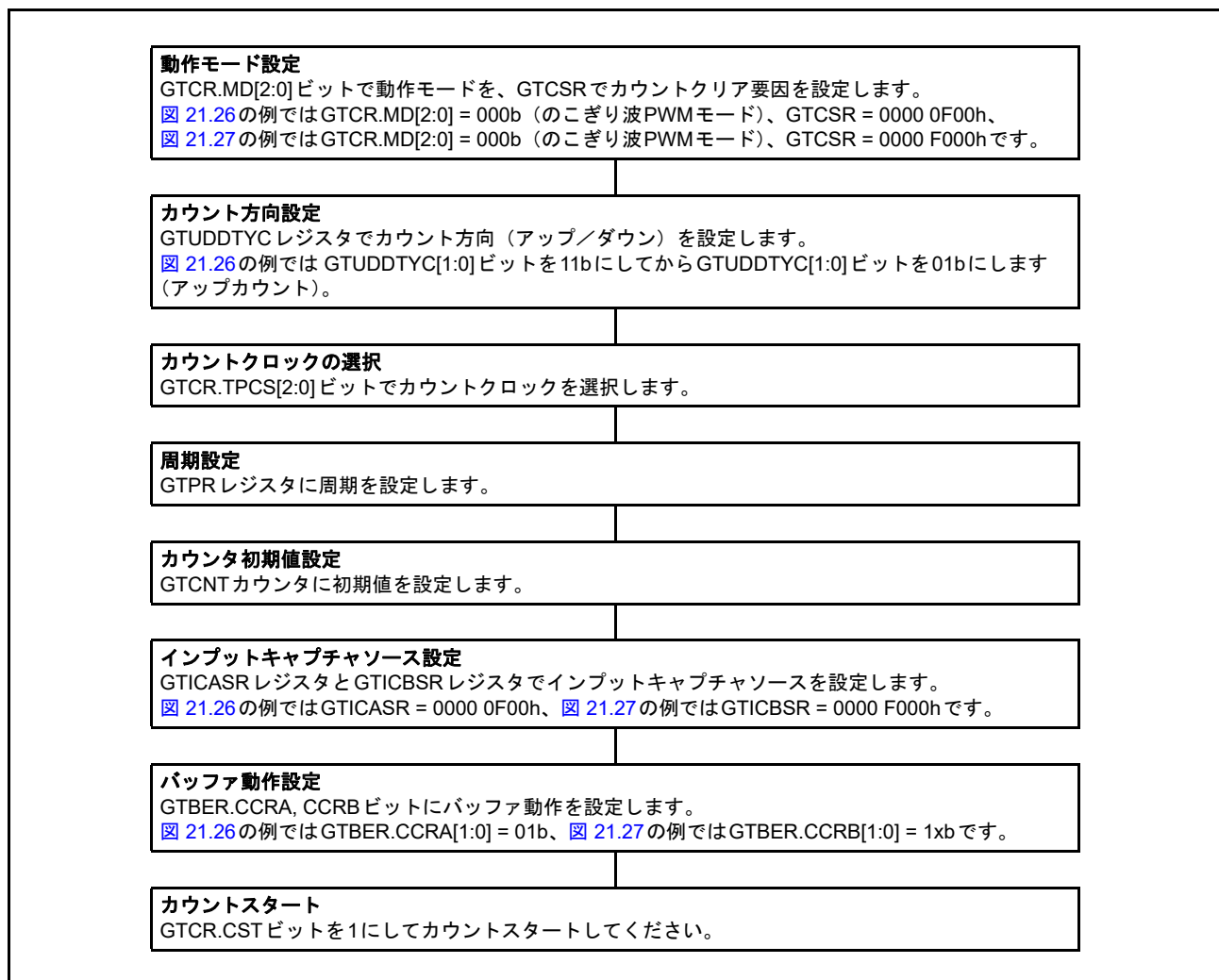


図 21.28 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

21.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCA 端子または GTIOCB 端子へ PWM 波形を出力することが可能です。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

21.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードでは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に、GTIOCA または GTIOCB 端子に PWM 波形を出力させます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力／High 出力／トグル出力から選択できます。

図 21.29 にのこぎり波 PWM モードの動作例を、図 21.30 にのこぎり波 PWM モードの設定例を示します。

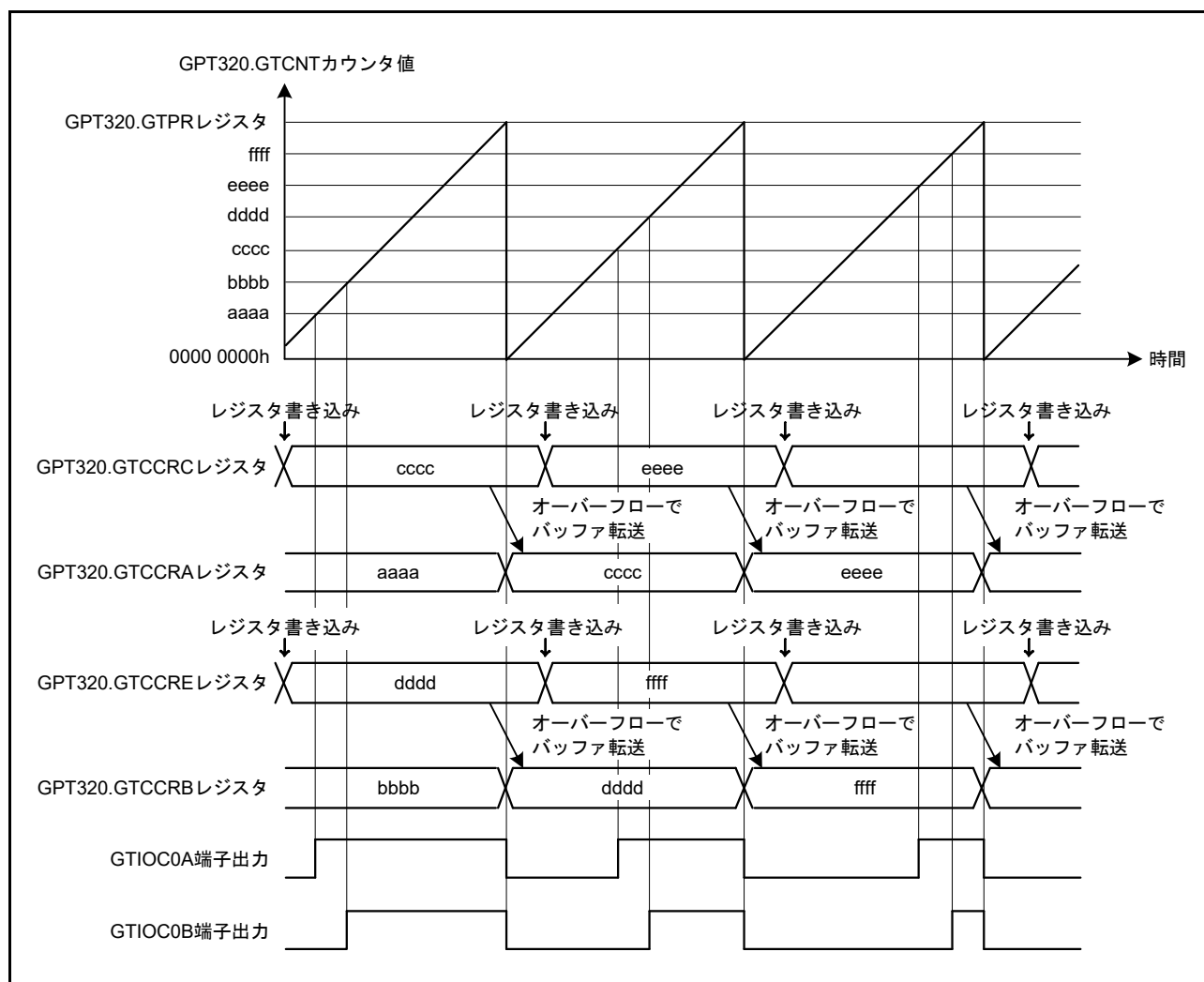


図 21.29 のこぎり波 PWM モード動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

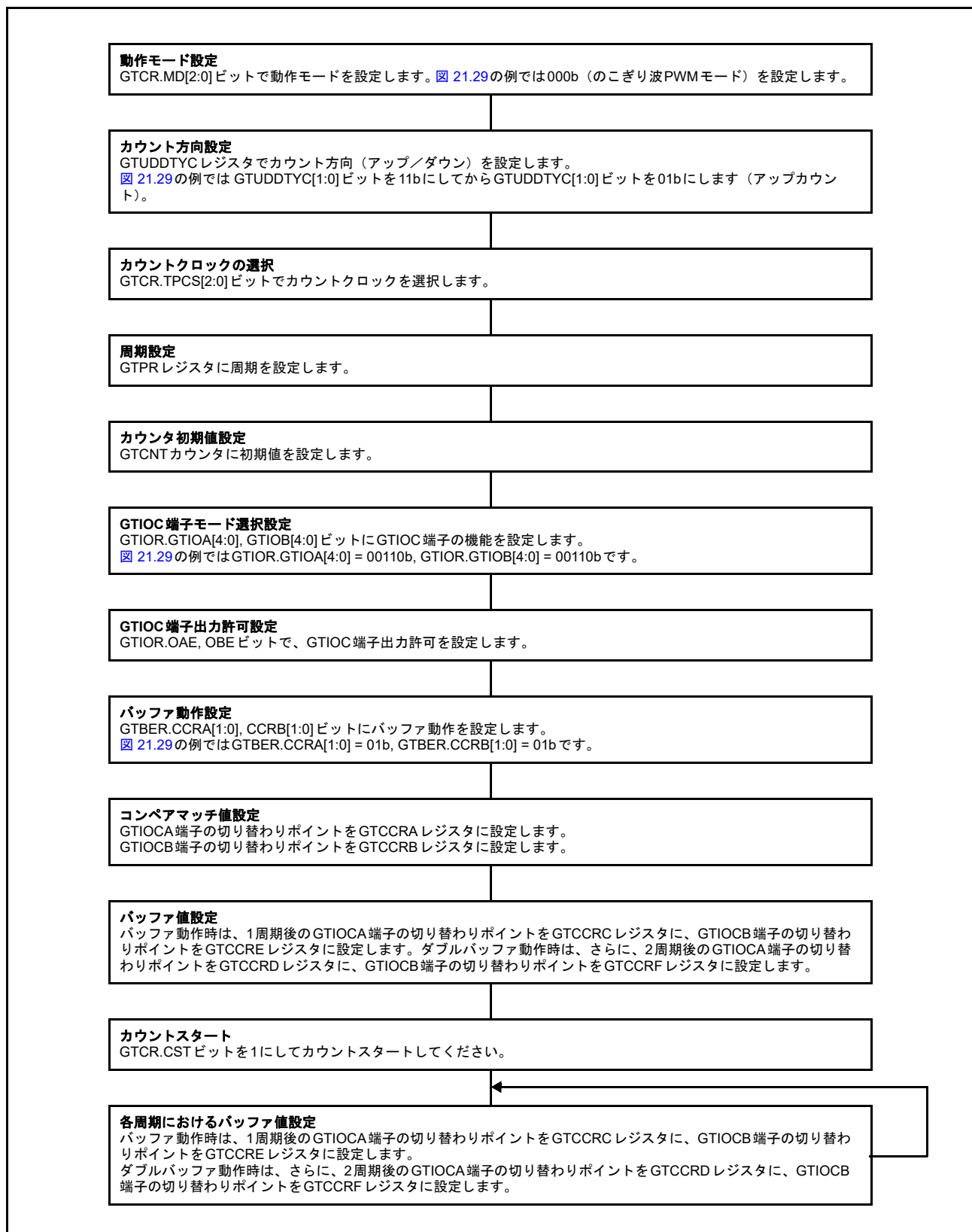


図 21.30 のこぎり波 PWM モード設定例

21.3.3.2 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定するモードです。GTCNT カウンタにのこぎり波（半波）動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させるモードです。

のこぎり波ワンショットパルスモードでのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 周期の終わりに GTCCRC レジスタから GTCCRA レジスタへ
- 周期の終わりに GTCCRE レジスタから GTCCRB レジスタへ
- 周期の終わりに GTCCRD レジスタから一時レジスタ A へ
- 周期の終わりに GTCCRF レジスタから一時レジスタ B へ
- GTCCRA レジスタのコンペアマッチ時に、一時レジスタ A から GTCCRA レジスタへ
- GTCCRB レジスタのコンペアマッチ時に、一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力／High 出力／トグル出力から選択できます。GTBER.CCRSWT ビットを 1 にしてカウント動作を停止させると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.31 に、のこぎり波ワンショットパルスモードの動作例を、図 21.32 に、のこぎり波ワンショットパルスモードの設定例を示します。

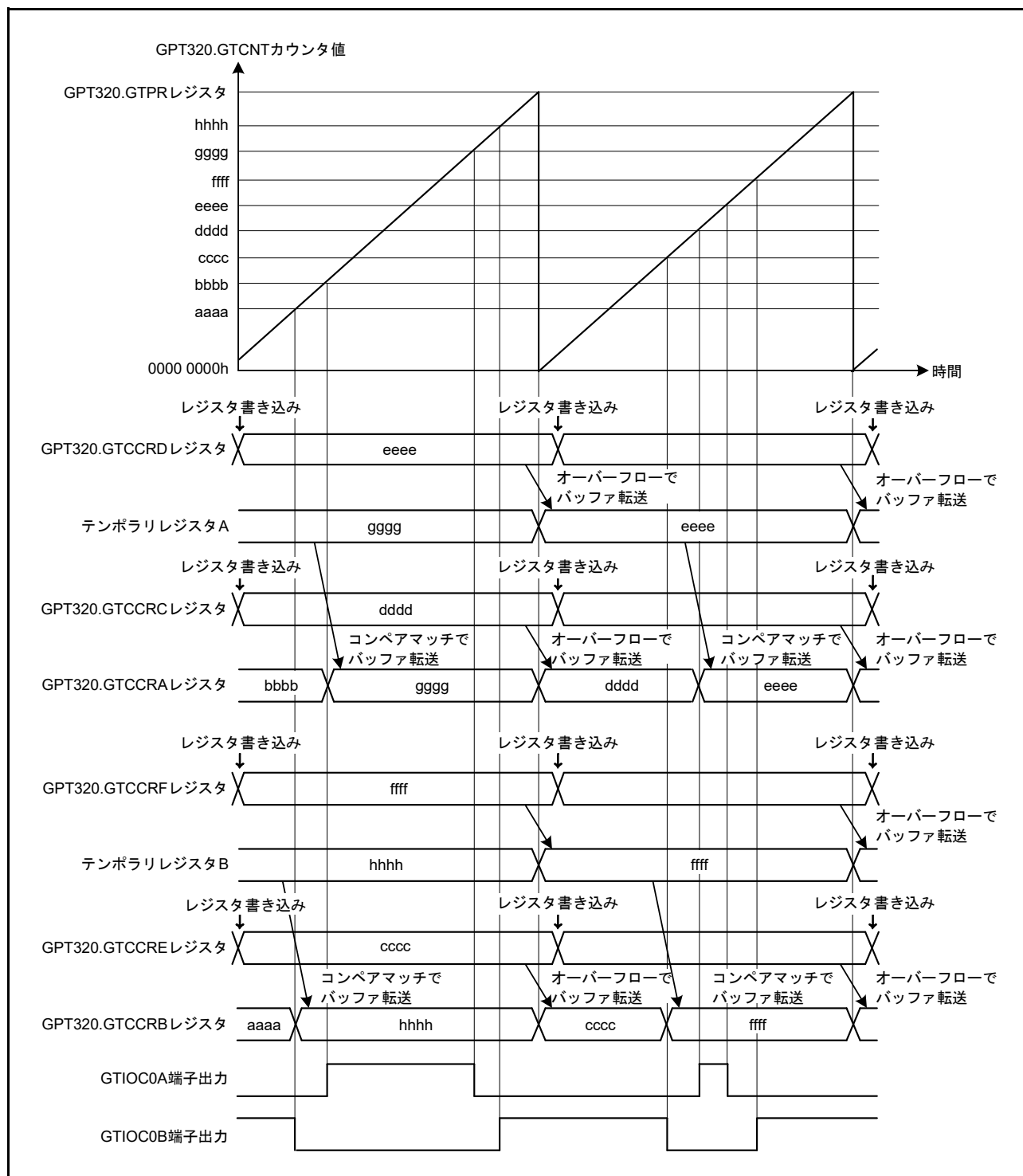


図 21.31 のこぎり波ワンショットパルスモード動作例（アップカウント、カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

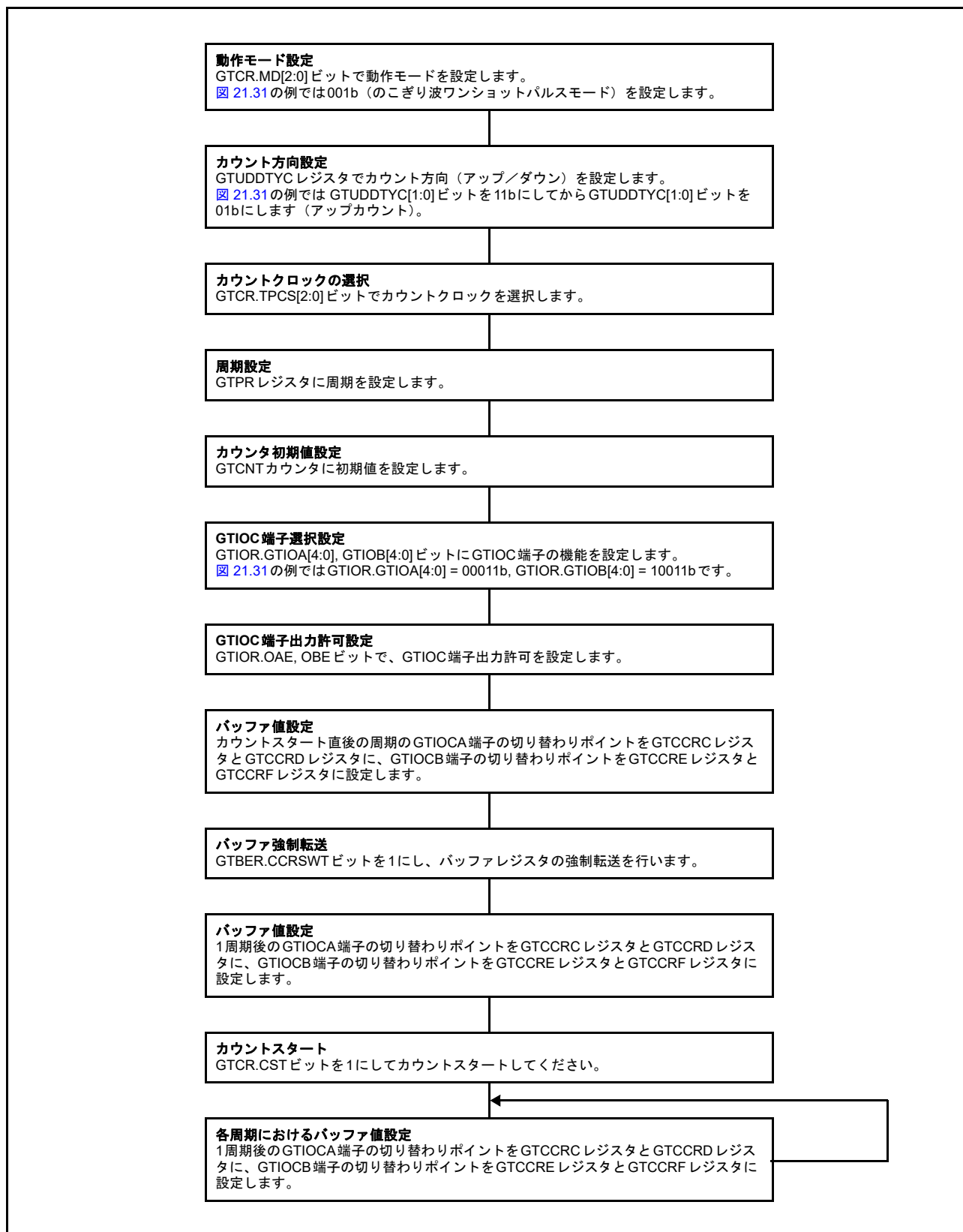


図 21.32 のこぎり波ワンショットパルスモード設定例

21.3.3.3 三角波 PWM モード 1 (谷 32 ビット転送)

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.33 に三角波 PWM モード 1 の動作例を、図 21.34 に三角波 PWM モード 1 の設定例を示します。

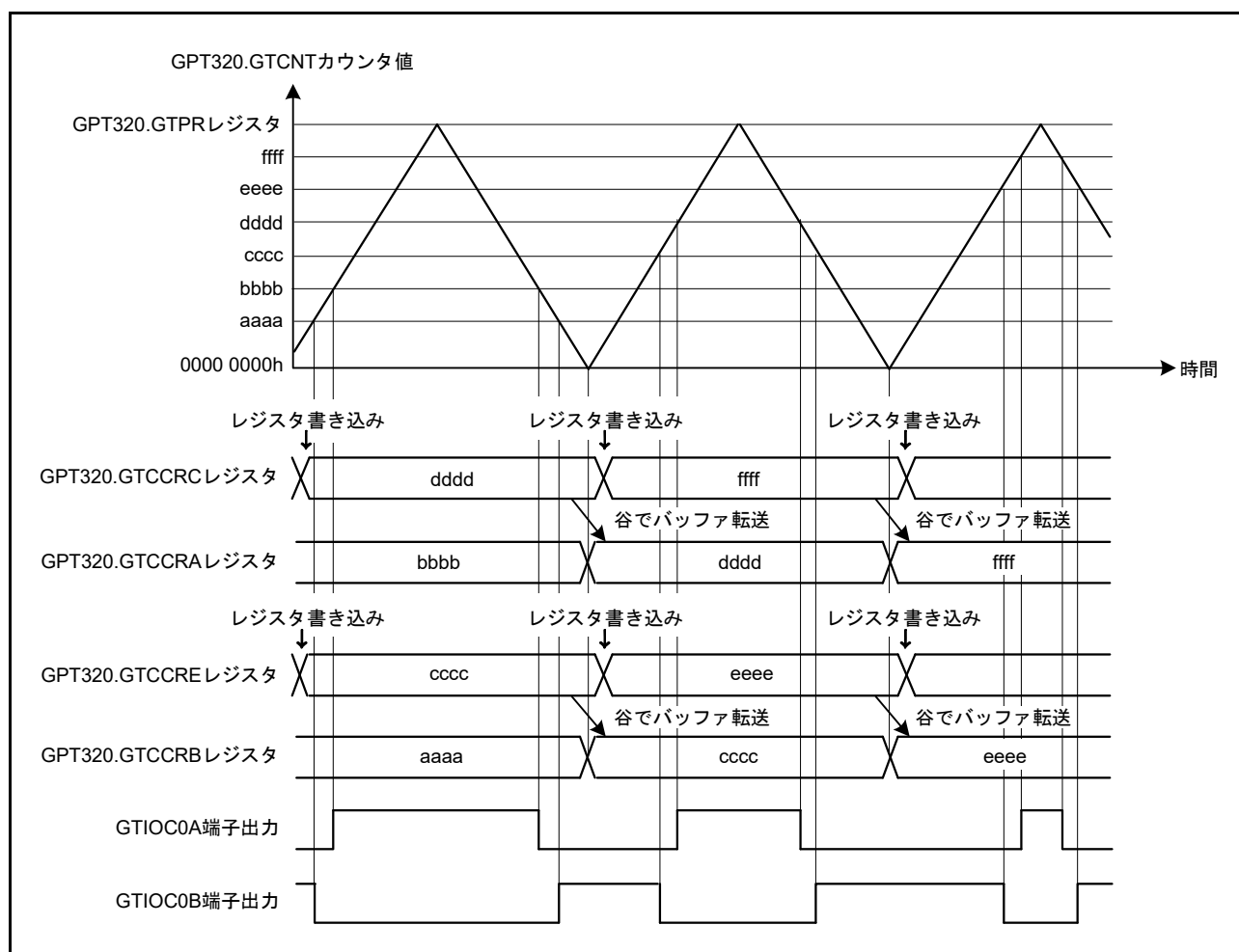


図 21.33 三角波 PWM モード 1 動作例 (バッファ動作、カウントスタート時に GTIOCA 端子 = Low 出力 / GTIOCB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

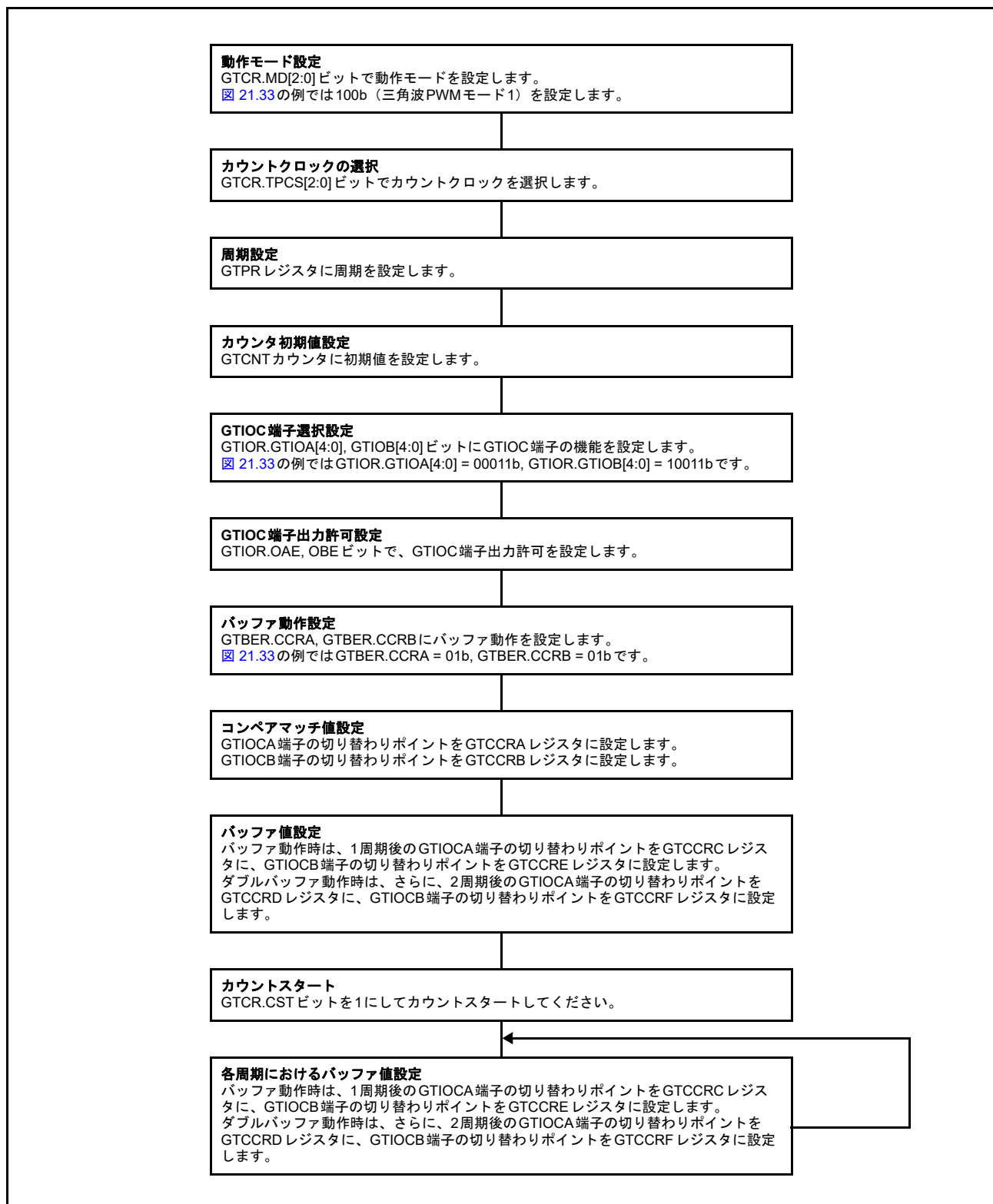


図 21.34 三角波 PWM モード 1 設定例

21.3.3.4 三角波 PWM モード 2 (山／谷 32 ビット転送)

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力／High 出力／トグル出力から選択できます。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.35 に三角波 PWM モード 2 の動作例を、図 21.36 に三角波 PWM モード 2 の設定例を示します。

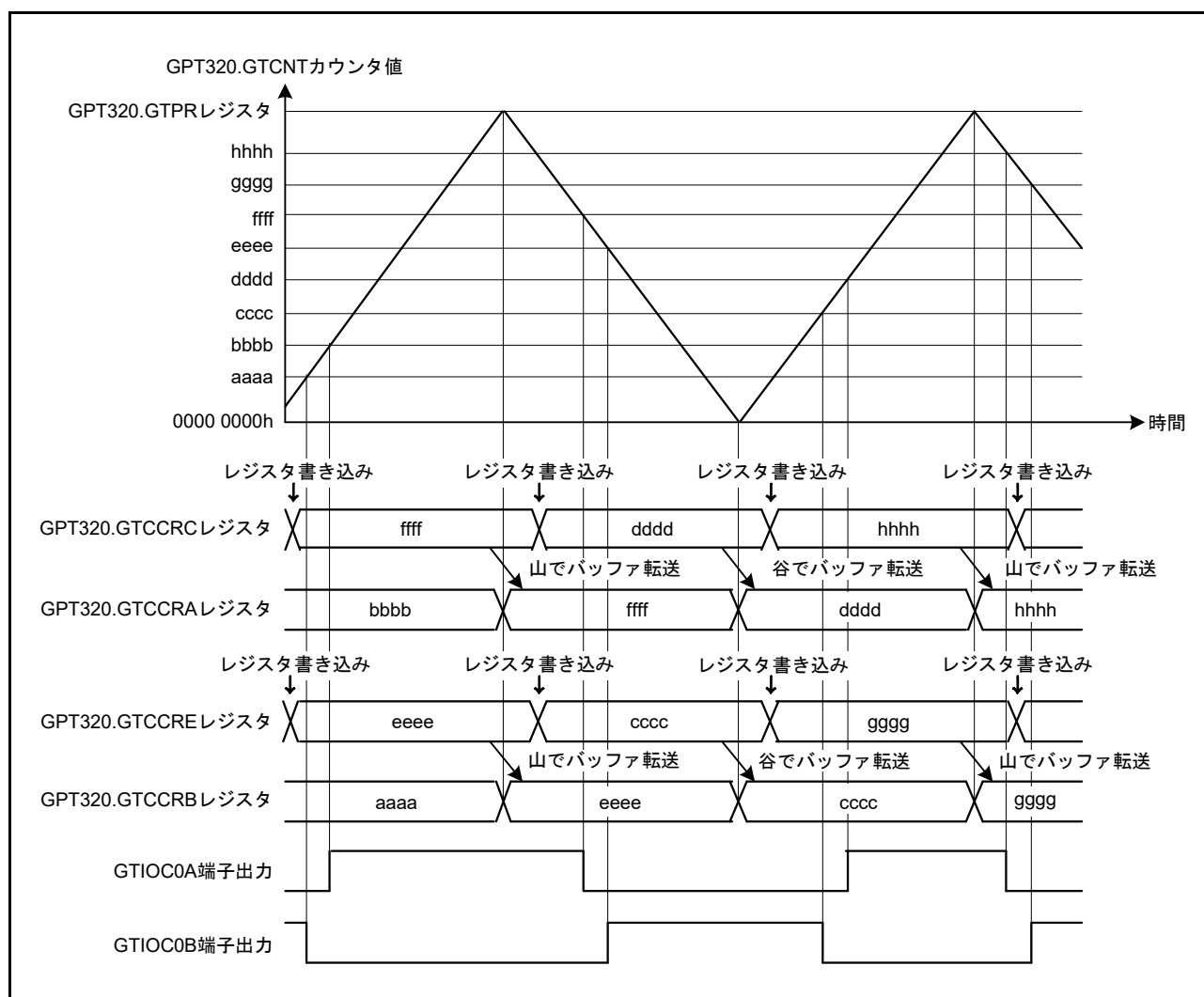


図 21.35 三角波 PWM モード 2 動作例（バッファ動作、カウントスタート時に GTIOCA 端子 = Low 出力／GTIOCB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）



図 21.36 三角波 PWM モード 2 設定例

21.3.3.5 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。三角波 PWM モード 3 でのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 谷で GTCCRC レジスタから GTCCRA レジスタへ
- 谷で GTCCRE レジスタから GTCCRB レジスタへ
- 谷で GTCCRD レジスタから一時レジスタ A へ
- 谷で GTCCRF レジスタから一時レジスタ B へ
- 山で一時レジスタ A から GTCCRA レジスタへ
- 山で一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.37 に三角波 PWM モード 3 の動作例を、図 21.38 に三角波 PWM モード 3 の設定例を示します。

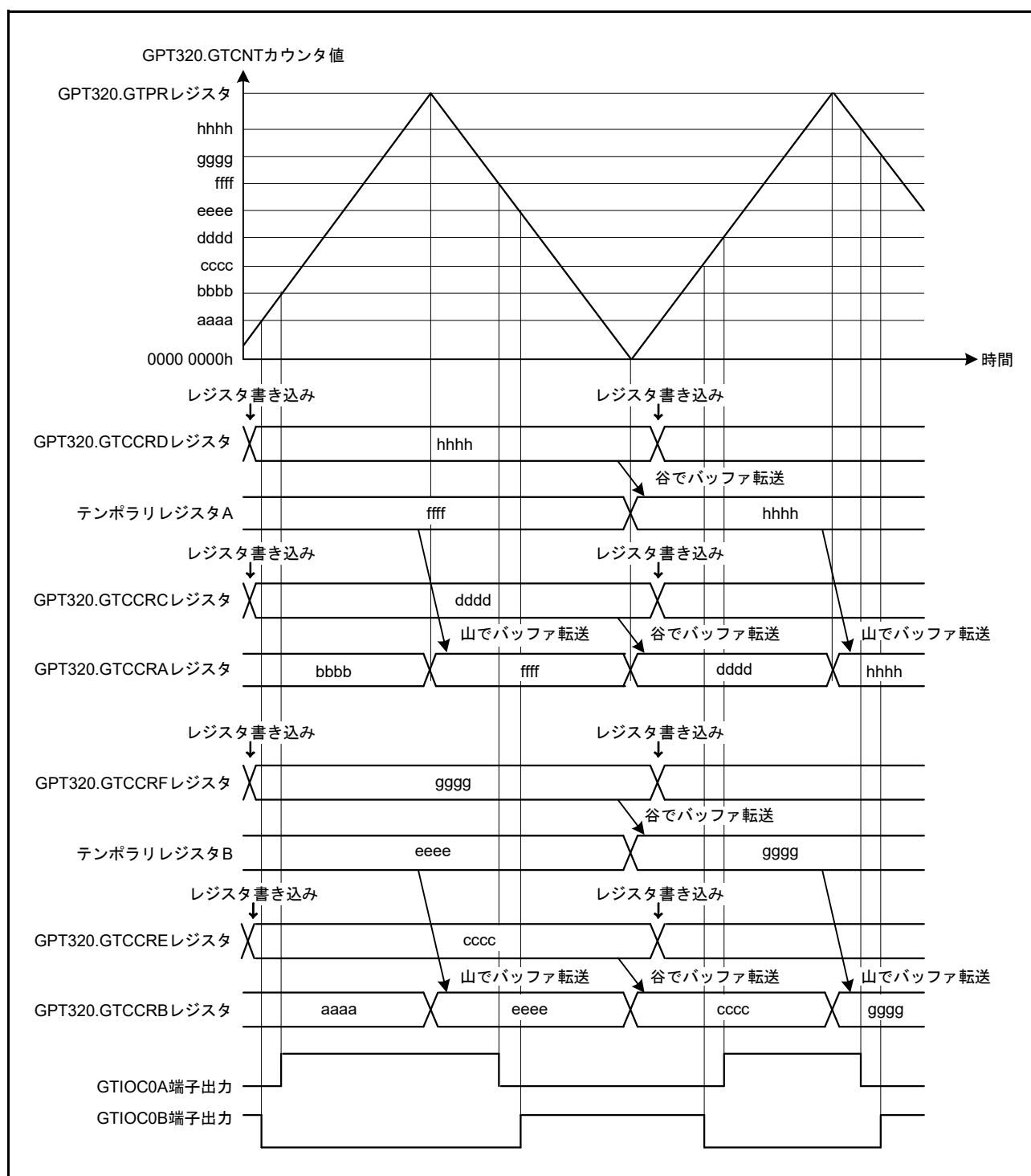


図 21.37 三角波 PWM モード 3 動作例 (カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

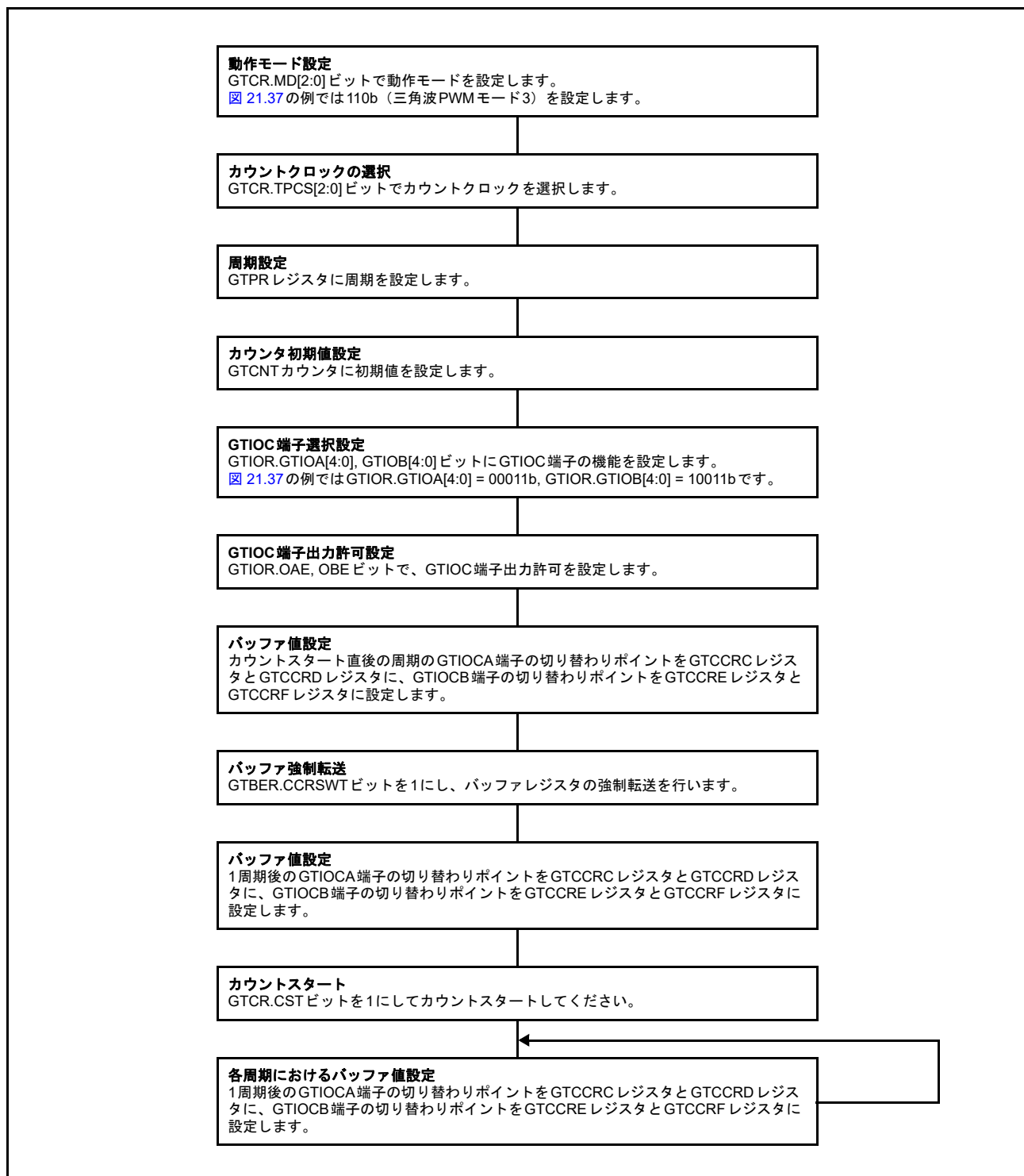


図 21.38 三角波 PWM モード 3 設定例

21.3.4 デッドタイム自動設定機能

GTDTCCR レジスタを設定することにより、正相波形のコンペアマッチ値 (GTCCRA 値) と指定したデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。このデッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

なお、デッドタイム自動設定機能を使用する場合、GTCCRB レジスタへの書き込みはしないでください。また、周期を超えるデッドタイムの設定もしないでください。デッドタイム自動設定値は、GTCCRB レジスタ値を読むことで確認できます。GTCCRB レジスタにデッドタイム値が自動設定されるのは、次のカウントクロック周期で、デッドタイム自動設定値の計算用レジスタが更新されるときです。

デッドタイム自動設定機能の動作例を図 21.39 ～ 図 21.42 に示します。設定例を図 21.43 および図 21.44 に示します。

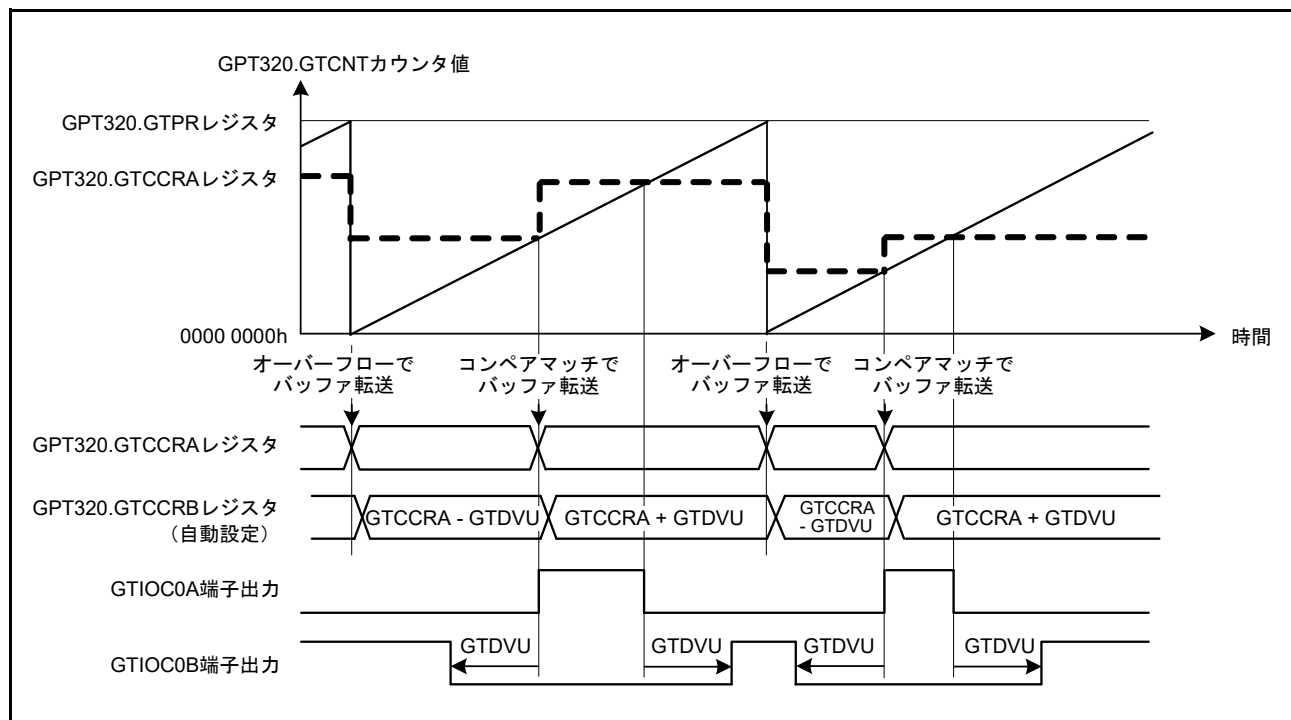


図 21.39 デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、アップカウント、アクティブ High の場合）

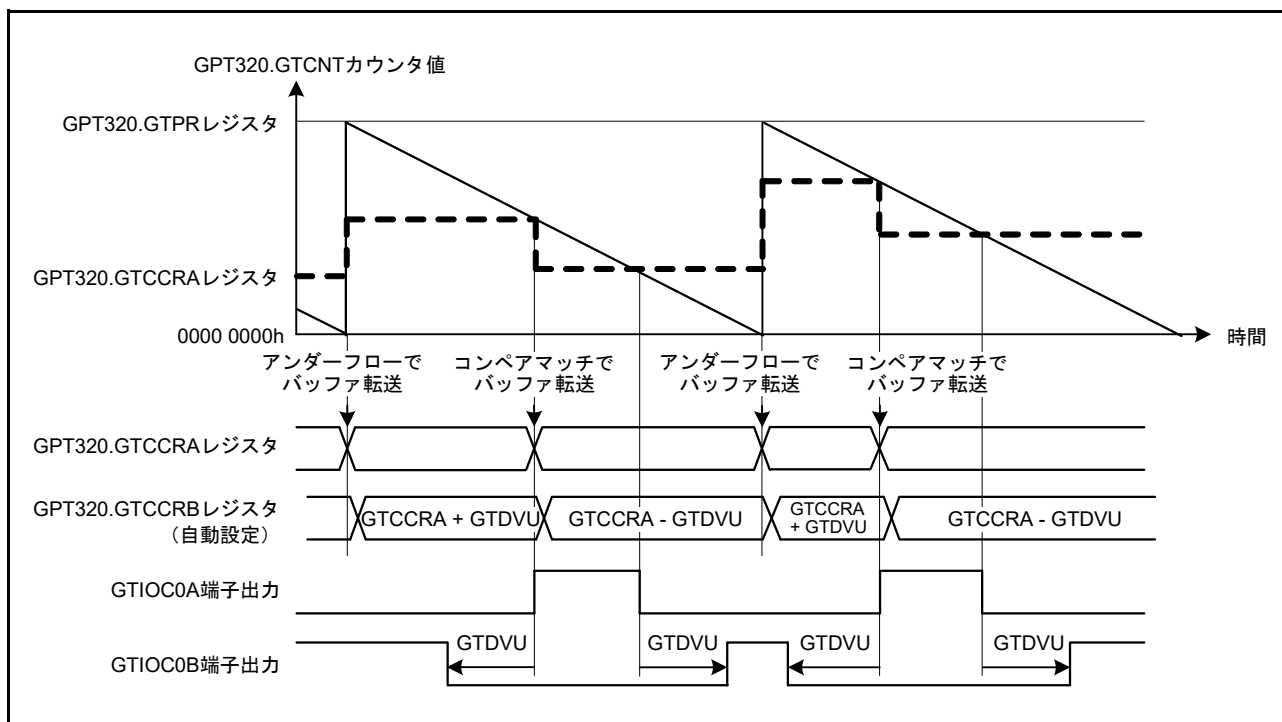


図 21.40 デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、ダウンカウント、アクティブ High の場合）

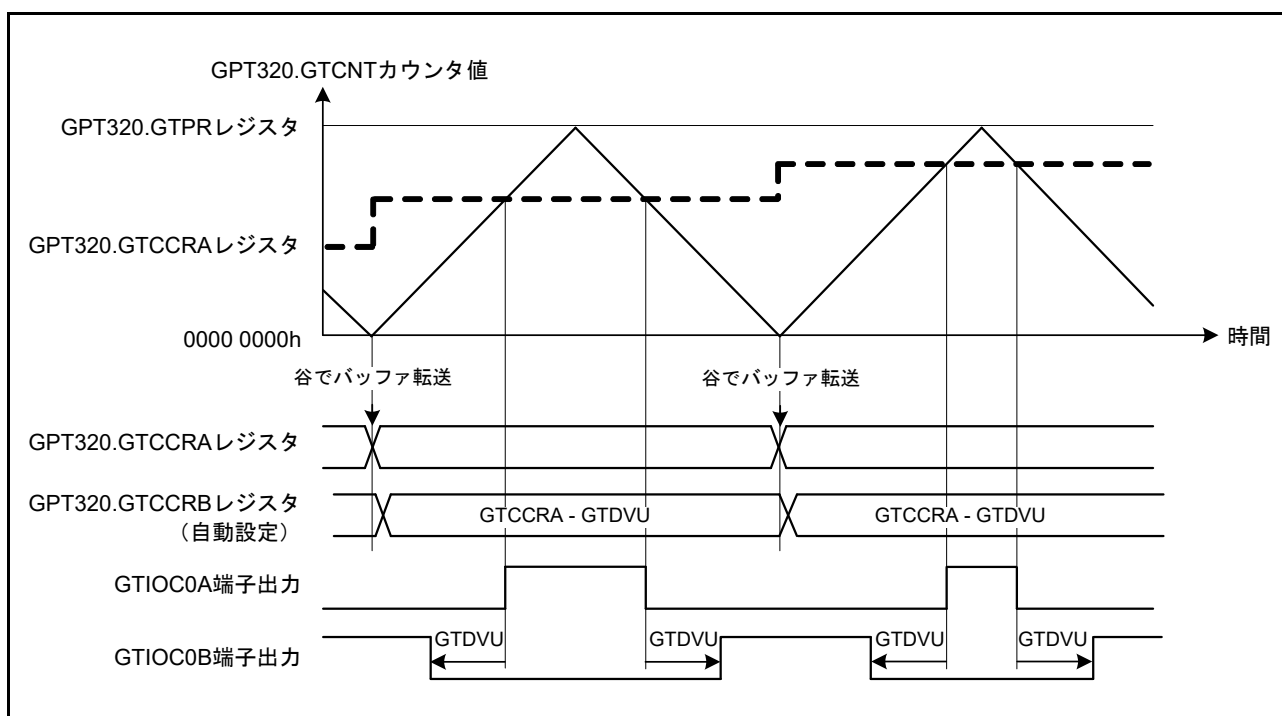


図 21.41 デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、アクティブ High の場合）

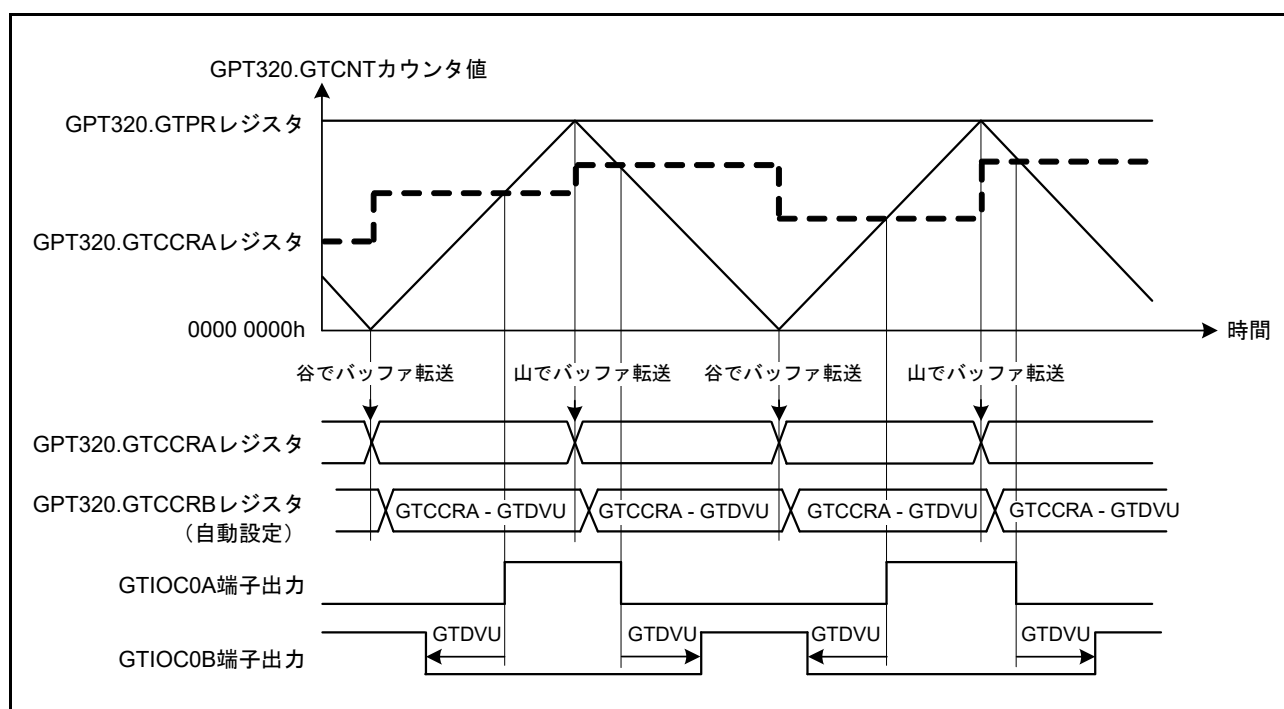


図 21.42 デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、アクティブ High の場合）

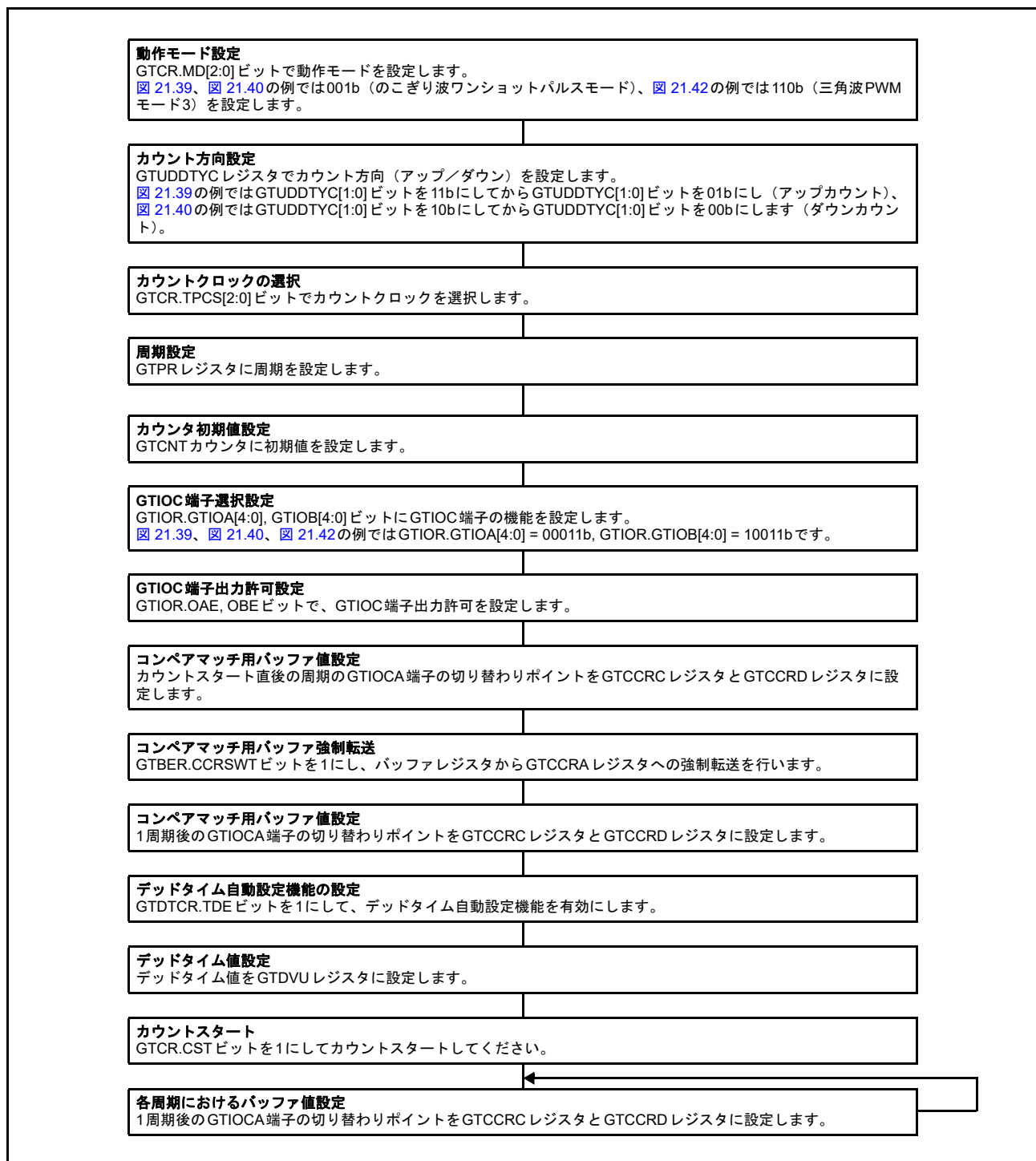


図 21.43 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合)

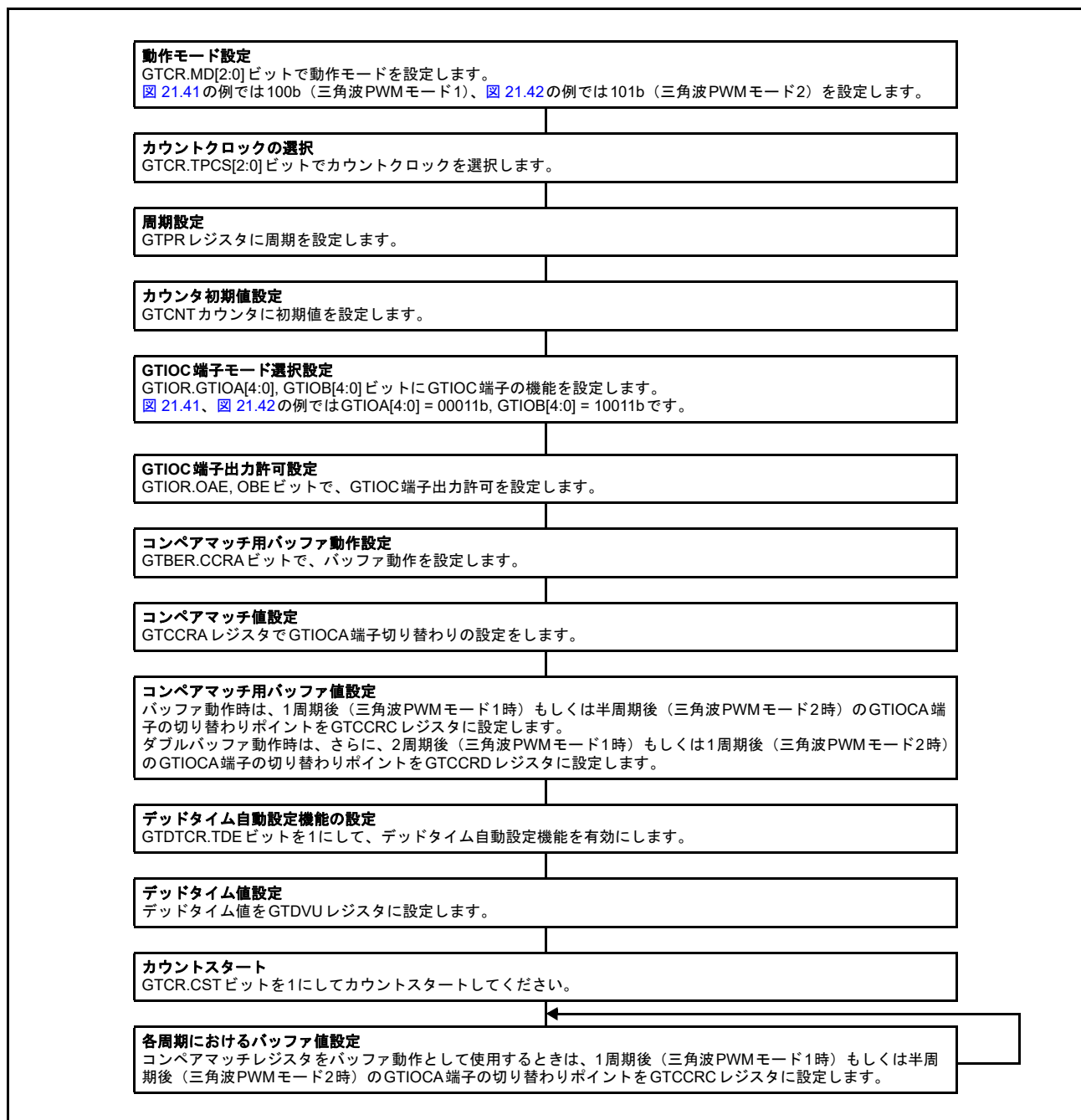


図 21.44 デッドタイム自動設定機能の設定例 (三角波 PWM モード 1 または 2 の場合)

21.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート前の GTPR 値が反映されます。

図 21.45 にカウント方向切り替え機能の動作例を示します。

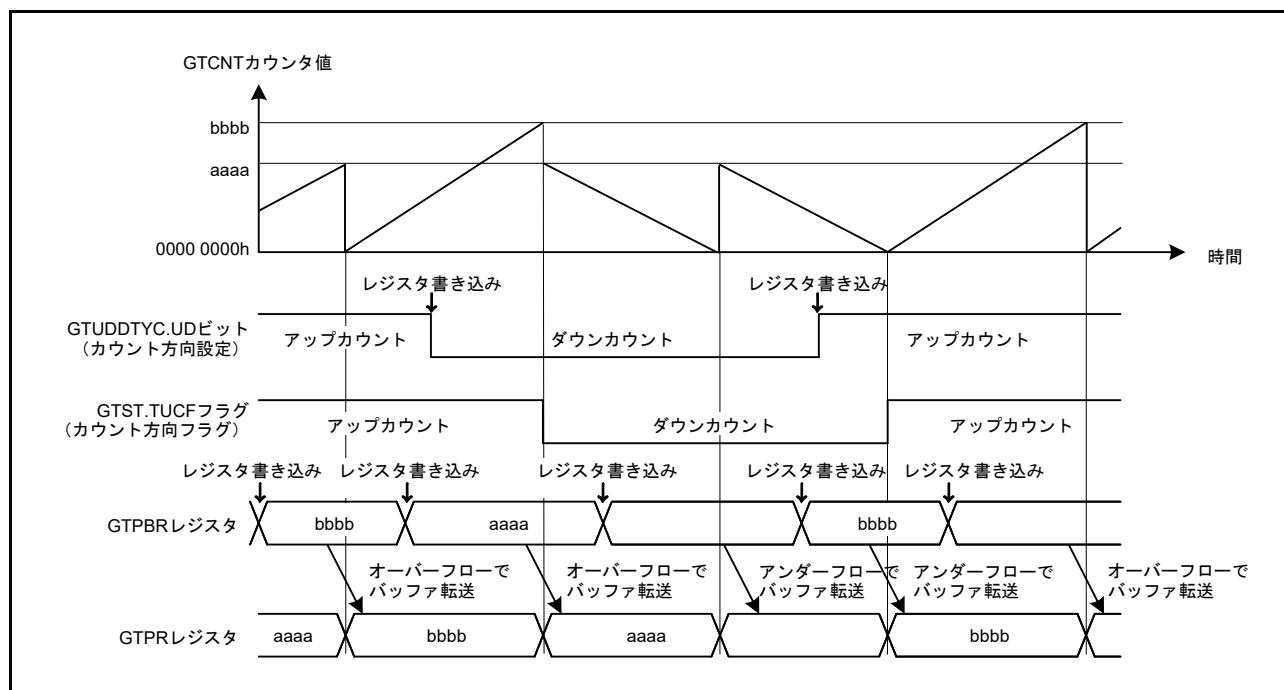


図 21.45 カウント方向切り替え機能の動作例（バッファ動作時）

21.3.6 出力デューティ 0% および出力デューティ 100% 機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCA 端子と GTIOCB 端子の出力デューティが 0% または 100% に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットを 1 にすると、そのときの GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0% または 100% デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0% または 100% デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCA 端子の出力値は、GTIOR.GTIOA[3:2] ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCB 端子の出力値は、GTIOR.GTIOB[3:2] ビットと GTUDDTYC.OBDTYR ビットで決定されます。

GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2] ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。周期の終わりで GTIOCA/GTIOCB 端子の出力値を表 21.6 に示します。

表 21.6 0%または100%デューティ設定解除後の出力値 (m = A、B)

GTIOR.GTIOm[3:2]	0%/100%デューティ設定で マスクされた周期の終わりでの コンペアマッチ値	GTUDDTYC.OmDTYR (デューティ 0% 設定時)		GTUDDTYC.OmDTYR (デューティ 100% 設定時)	
		0	1	0	1
00 (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01 (周期の終わりでLow出力)	—	0	0	0	0
10 (周期の終わりでHigh出力)	—	1	1	1	1
11 (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

図 21.46 に出力デューティ 0%、100% 機能の動作例を示します。

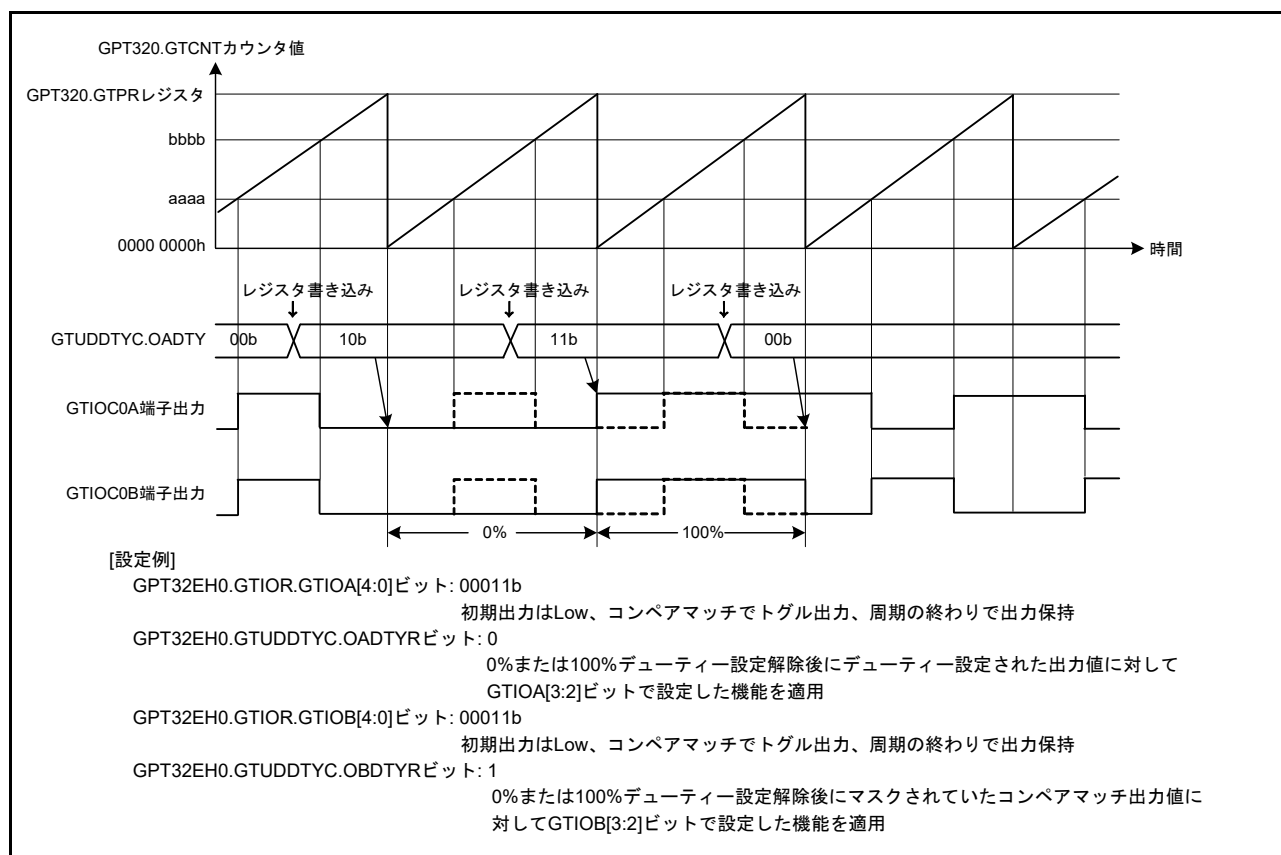


図 21.46 出力デューティ 0%、100% 機能動作例

21.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNTカウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

21.3.7.1 ハードウェアスタート動作

GTSSRレジスタでハードウェア要因を選択することにより、GTCNTカウンタのカウントスタートが可能です。

図 21.47 にハードウェア要因によるカウントスタートの動作例を示します。図 21.48 に設定例を示します。

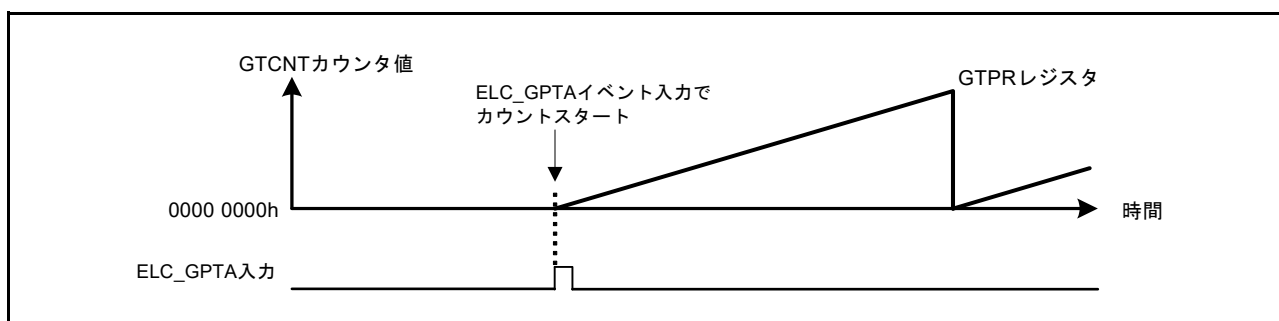


図 21.47 ハードウェア要因によるカウントスタート動作例（ELC_GPTA からの信号入力時のスタート）



図 21.48 ハードウェア要因によるカウントスタート動作設定例

21.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 21.49 にハードウェア要因によるカウントストップの動作例を示します。図 21.50 に設定例を示します。この例では、カウント動作が ELC_GPTA イベント入力のエッジでストップし、ELC_GPTB イベント入力のエッジで再スタートしています。

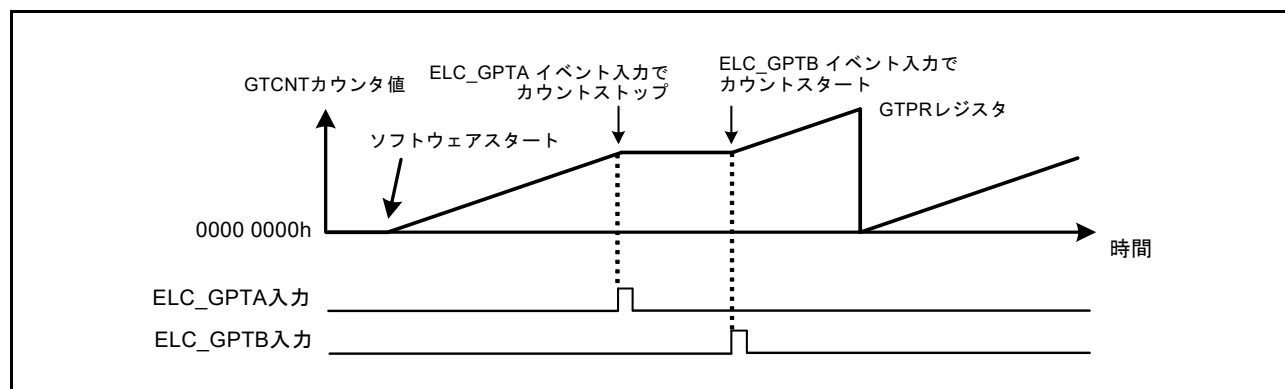


図 21.49 ハードウェア要因によるカウントストップ動作例
(ソフトウェアによるスタート、ELC_GPTA 入力でのストップ、ELC_GPTB 入力での再スタートの場合)

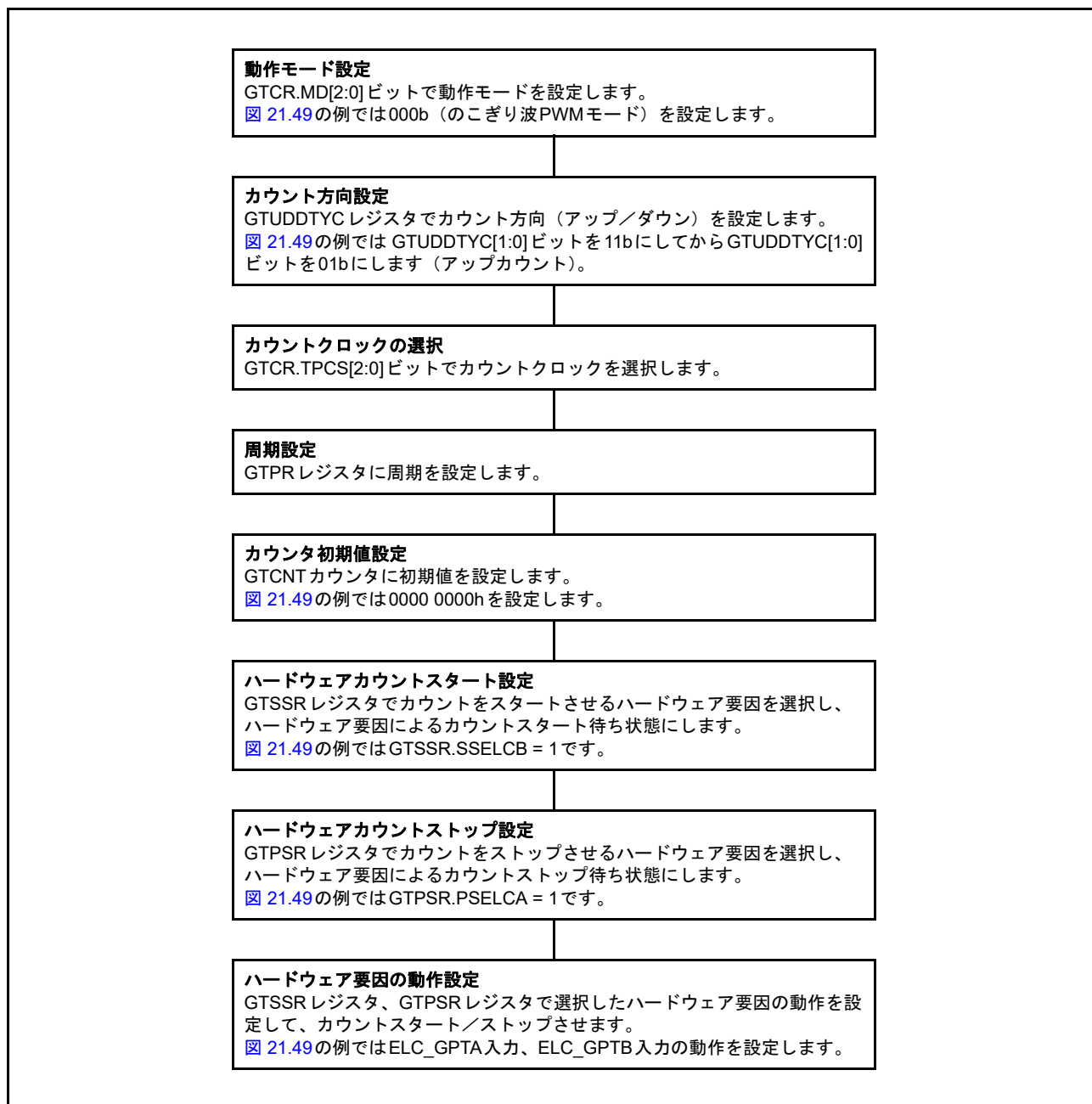


図 21.50 ハードウェア要因によるカウントストップ動作設定例

図 21.51 にハードウェア要因によるカウントスタート/ストップ動作例を示します。図 21.52 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

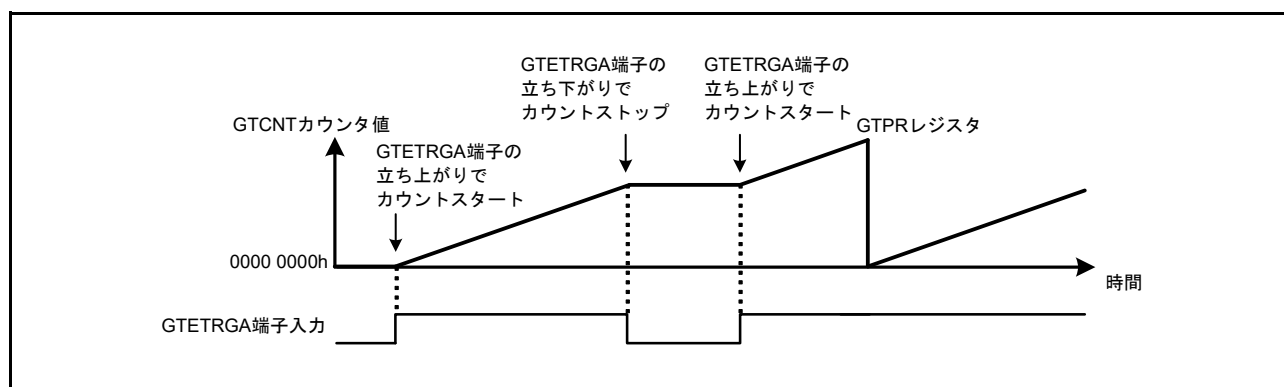


図 21.51 ハードウェア要因によるカウントスタート/ストップ動作例 (GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合)

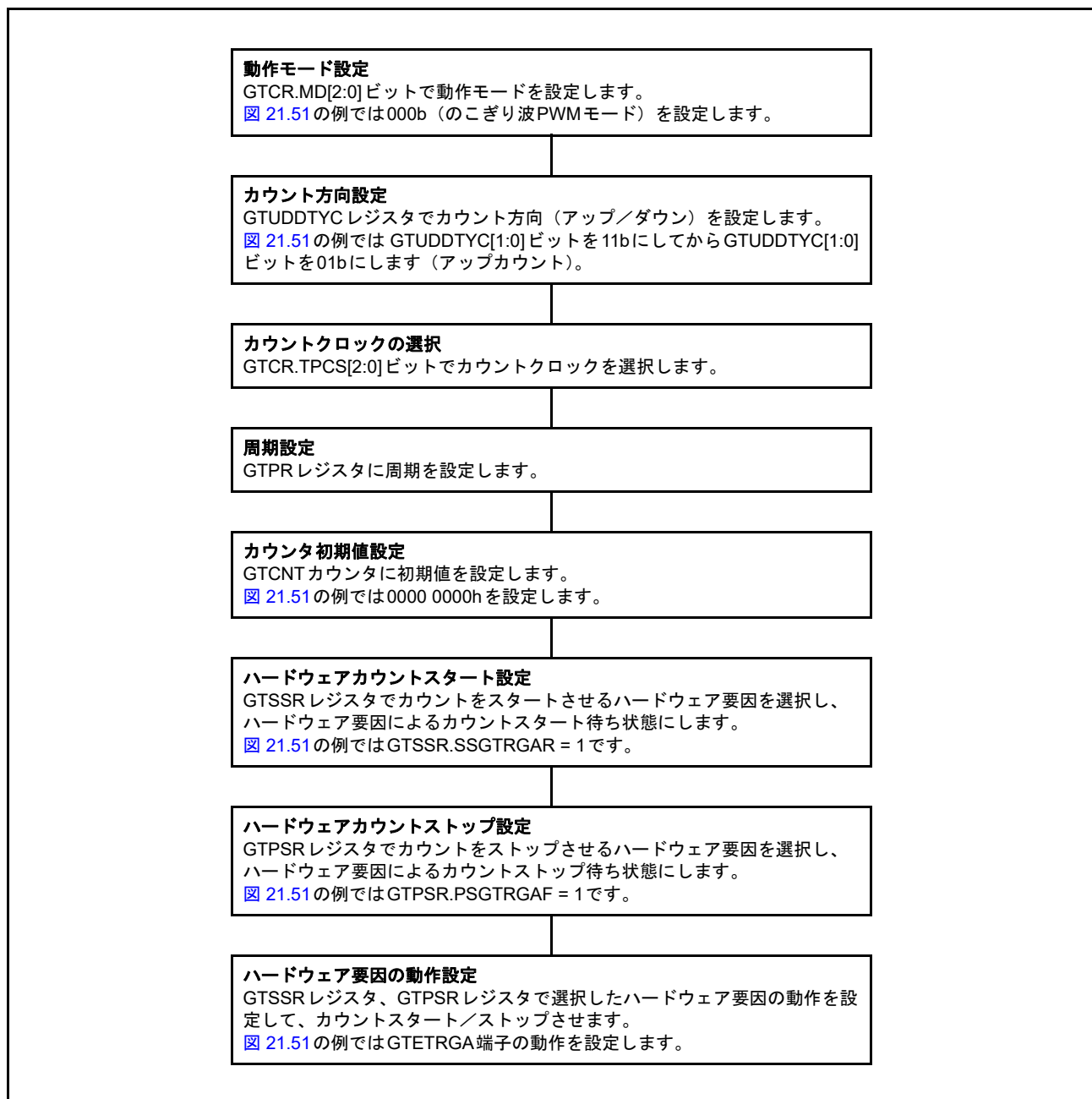


図 21.52 ハードウェア要因によるカウントスタート/ストップ動作設定例

21.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウンタクリアが可能です。ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/ GPTn_UDF (n=0~6) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 21.53 および図 21.54 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。図 21.55 に設定例を示します。この例では、GTCNT カウンタは ELC_GPTA イベント入力のエッジでスタートし、ELC_GPTB イベント入力のエッジでストップ/クリアされています。

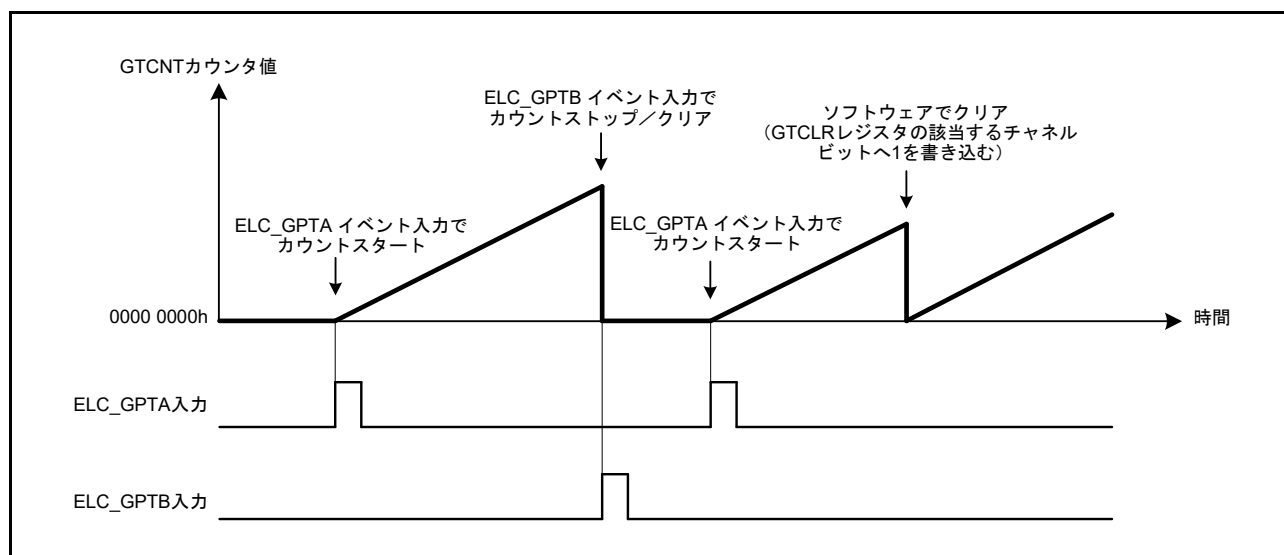


図 21.53 ハードウェア要因によるカウンタクリア動作例 (のこぎり波アップカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ/クリアの場合)

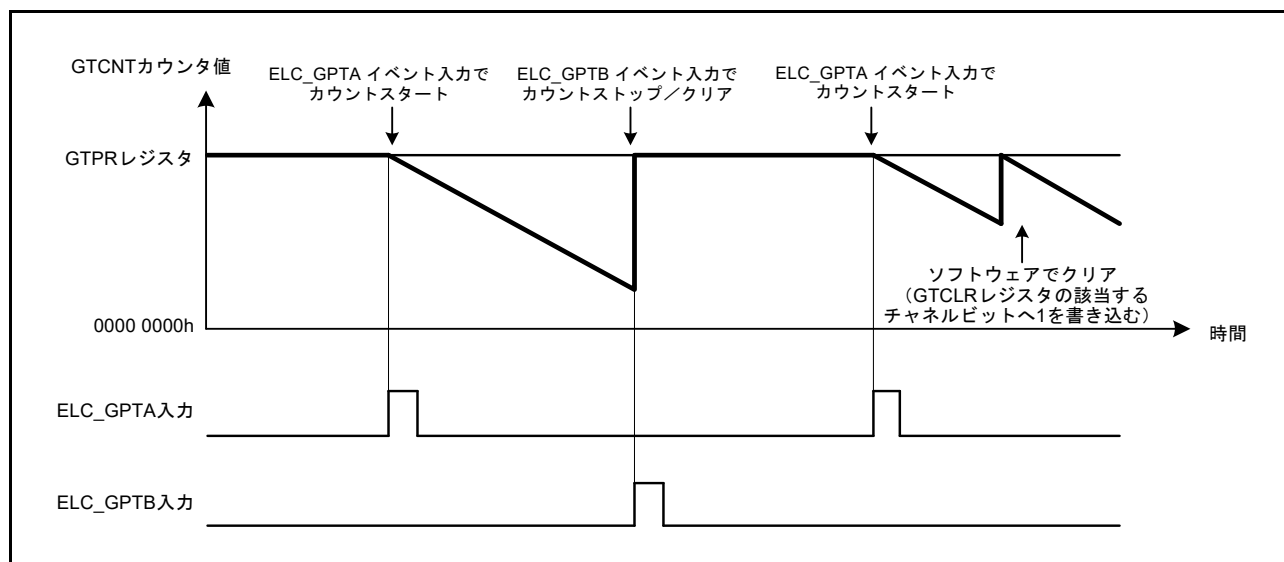


図 21.54 ハードウェア要因によるカウンタクリア動作例 (のこぎり波ダウンカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ/クリアの場合)

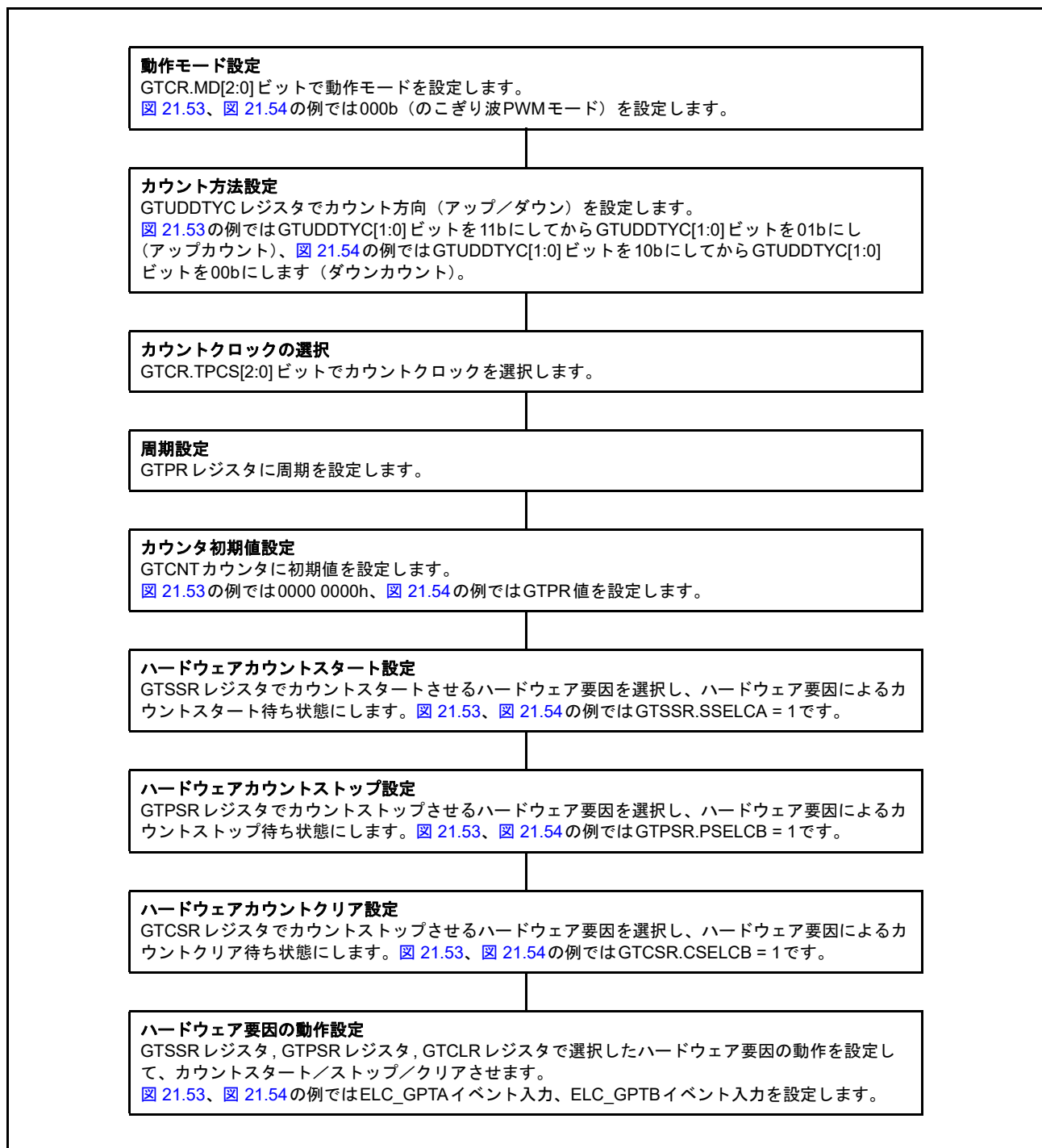


図 21.55 ハードウェア要因によるカウンタクリア動作設定例

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0 ~ 6) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 21.56 にハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0 ~ 6) 割り込みの関係を示します。

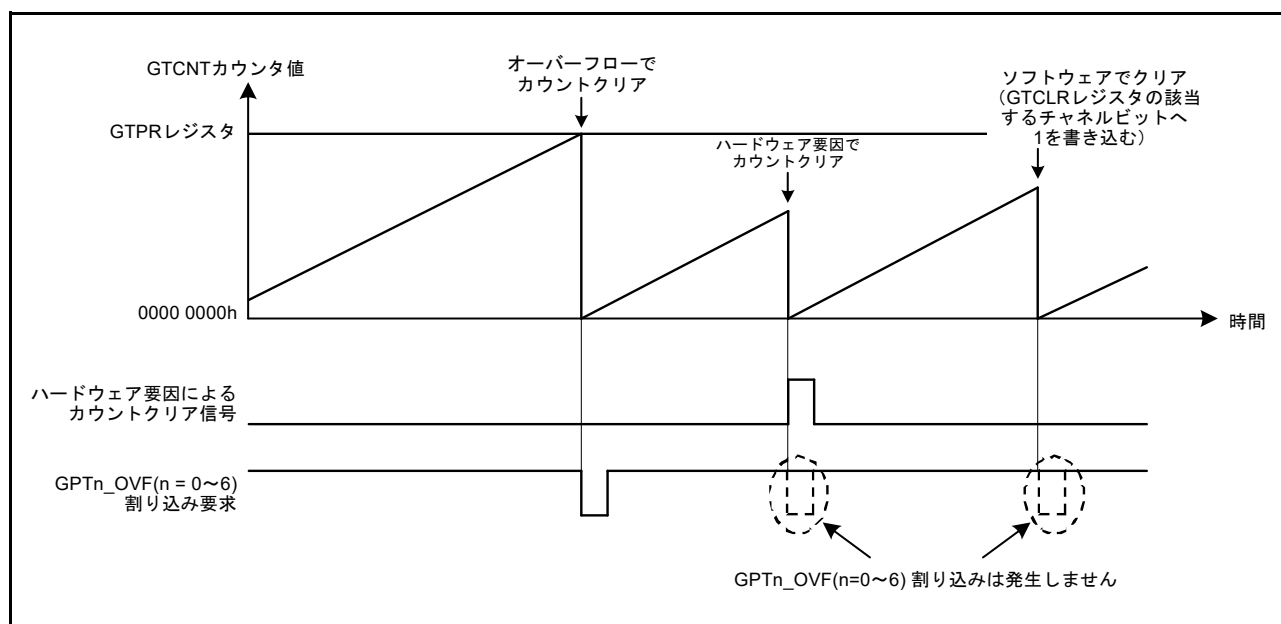


図 21.56 ハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0 ~ 6) 割り込みの関係

21.3.8 同期動作

同期スタート/ストップ/クリア動作など、チャンネル間の同期動作を実行できます。

21.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャンネル上でスタート/ストップ/クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

図 21.57 に、ソフトウェアによる同時スタート/ストップ/クリアの動作例を示します。図 21.58 に、ソフトウェアによる位相スタートの動作例を示します。

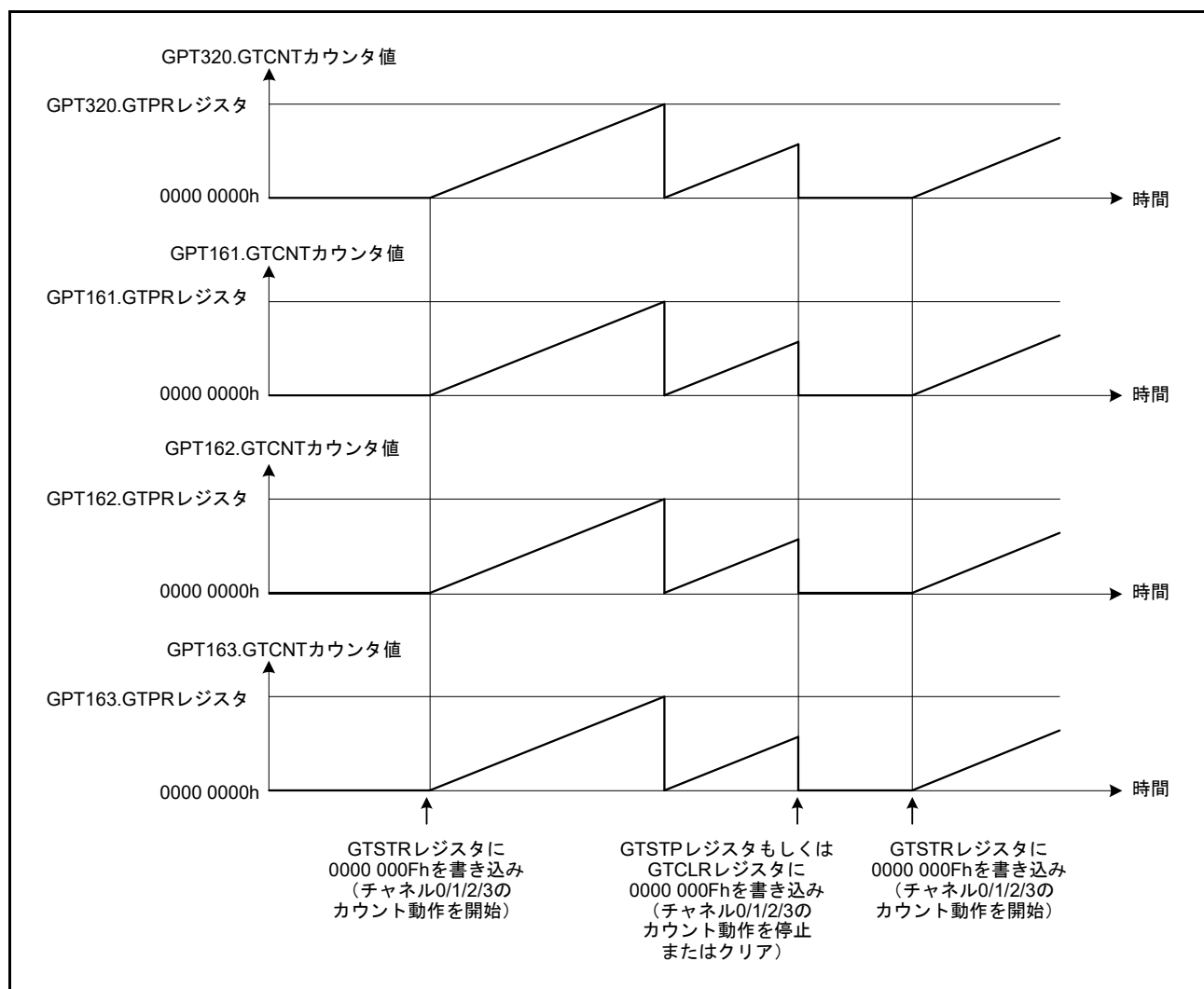


図 21.57 ソフトウェアによる同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

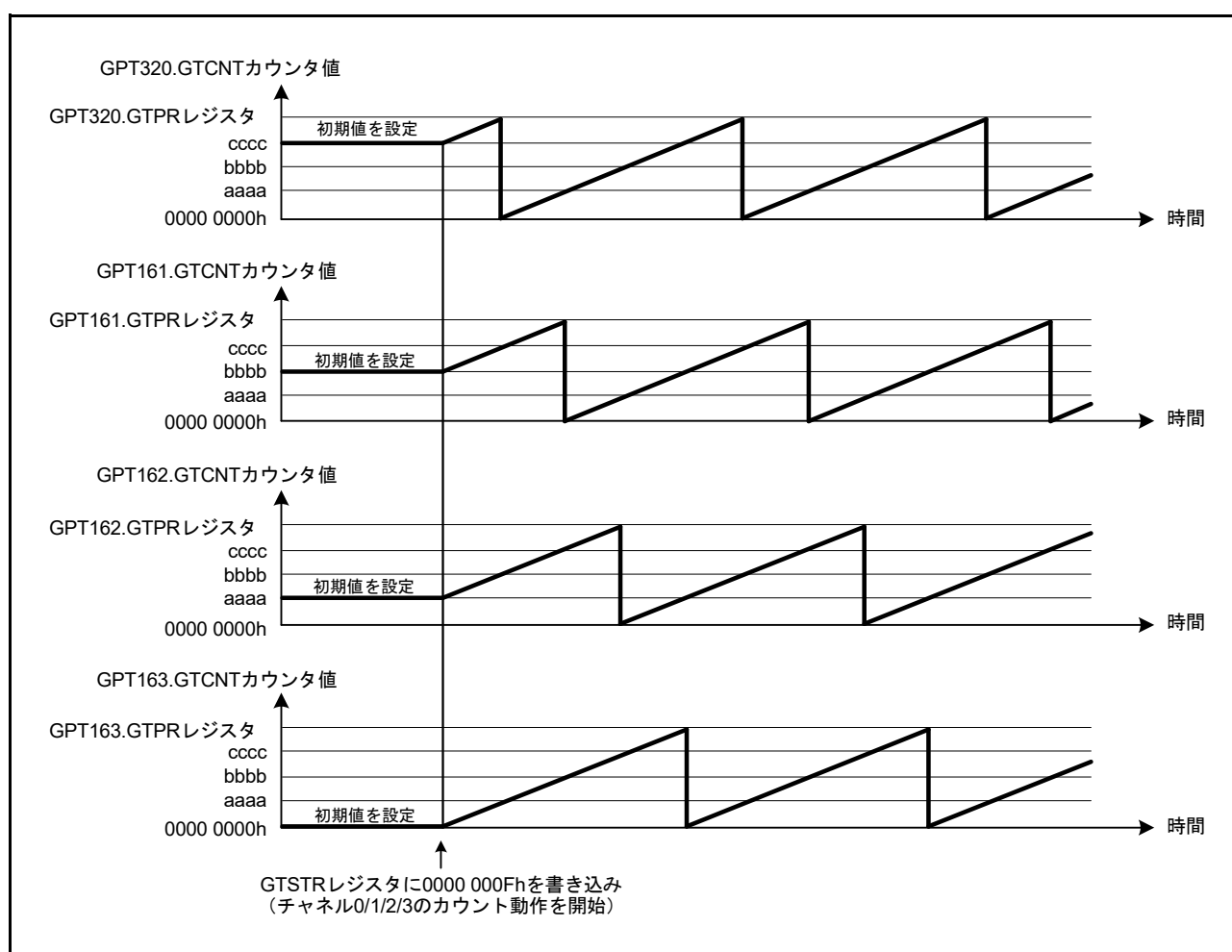


図 21.58 ソフトウェアによる位相スタート動作例（カウント周期（GTPR レジスタ値）が同一のとき）

21.3.8.2 ハードウェアによる同期動作

下記のハードウェア要因によって、GTCNT カウンタを同時にスタートさせることができます。

- 外部トリガ入力
- ELC イベント入力

図 21.59 にハードウェア要因による同時スタート/ストップ/クリアの動作例を示します。図 21.60 に設定例を示します。

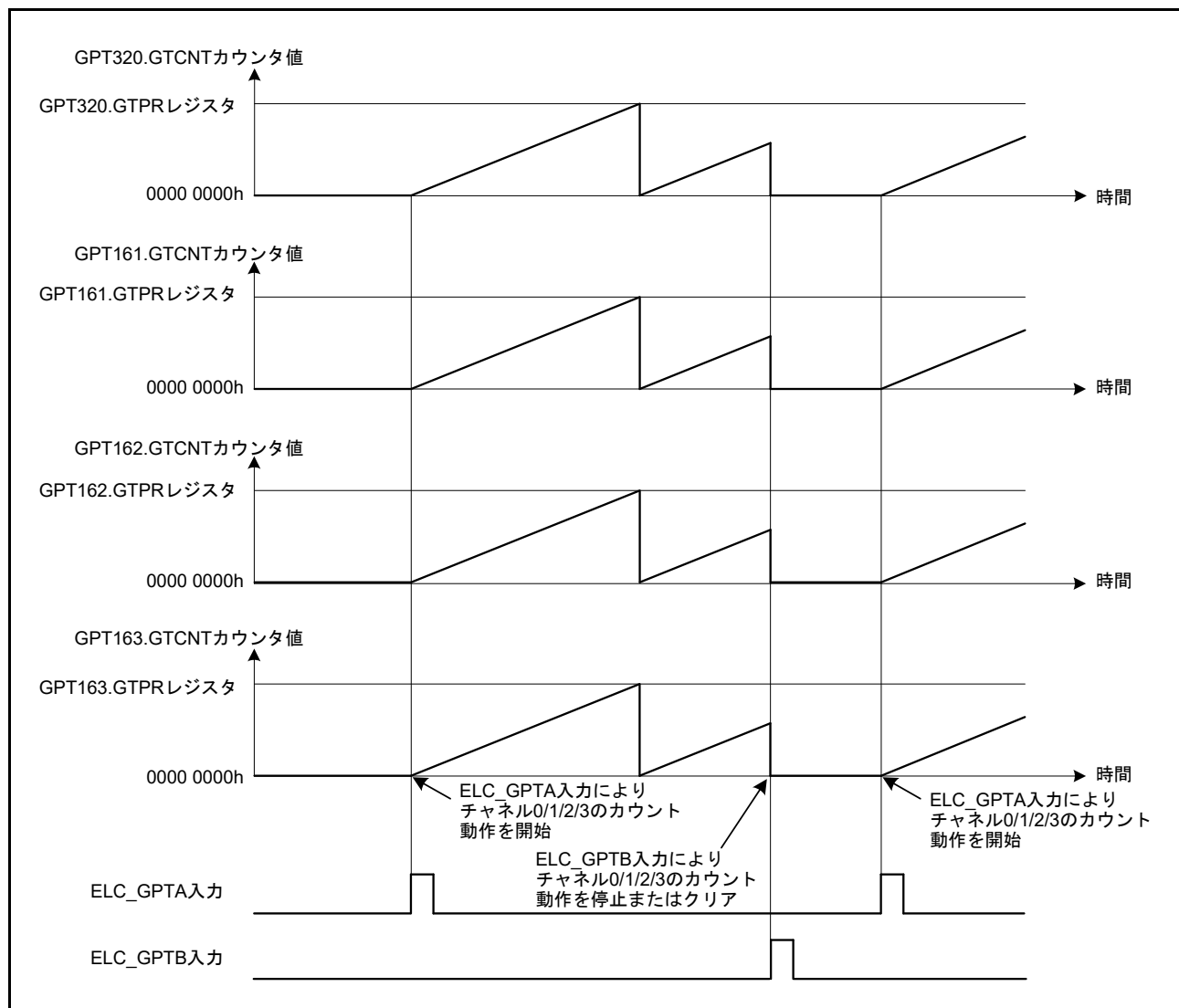


図 21.59 ハードウェア要因による同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

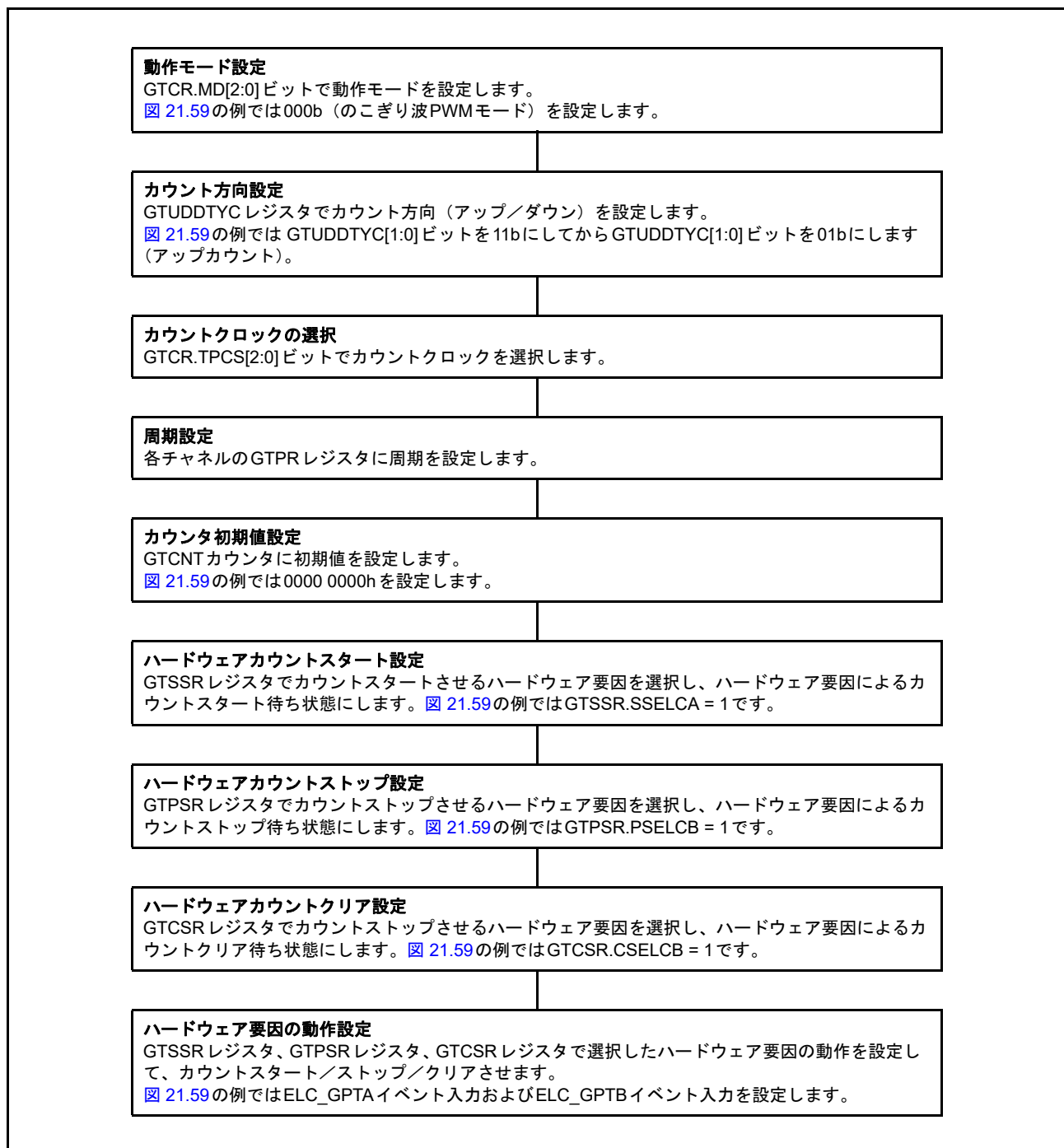


図 21.60 ハードウェア要因による同時スタート設定例

21.3.9 PWM 出力動作例

(1) 同期 PWM 出力

複数の GPT を使用することで、最大 7 チャンネル 14 相の連動した PWM 波形を出力します。

図 21.61 に、4 チャンネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

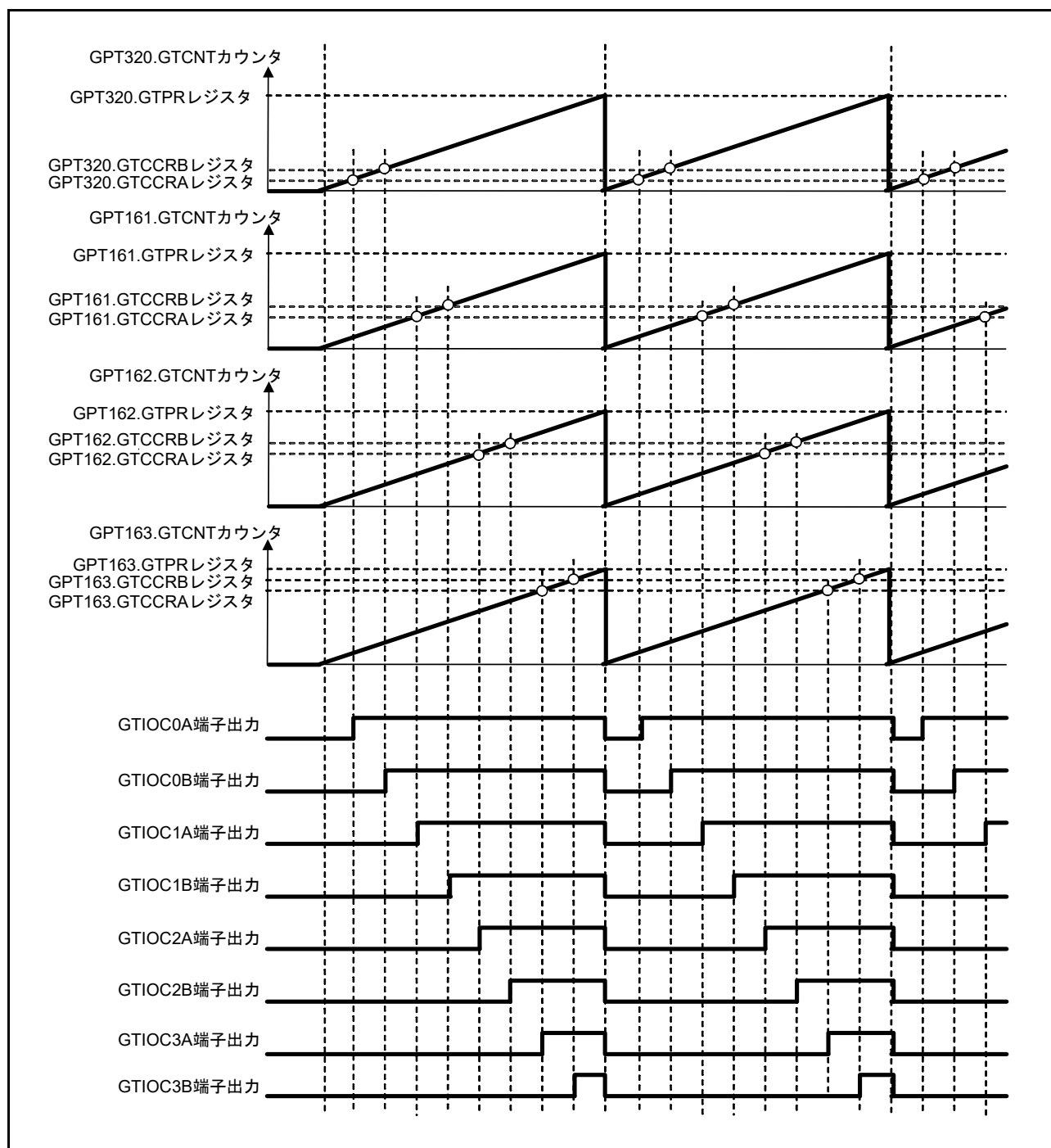


図 21.61 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 21.62 に、3 チャネルをのこぎり波 PWM モードで同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

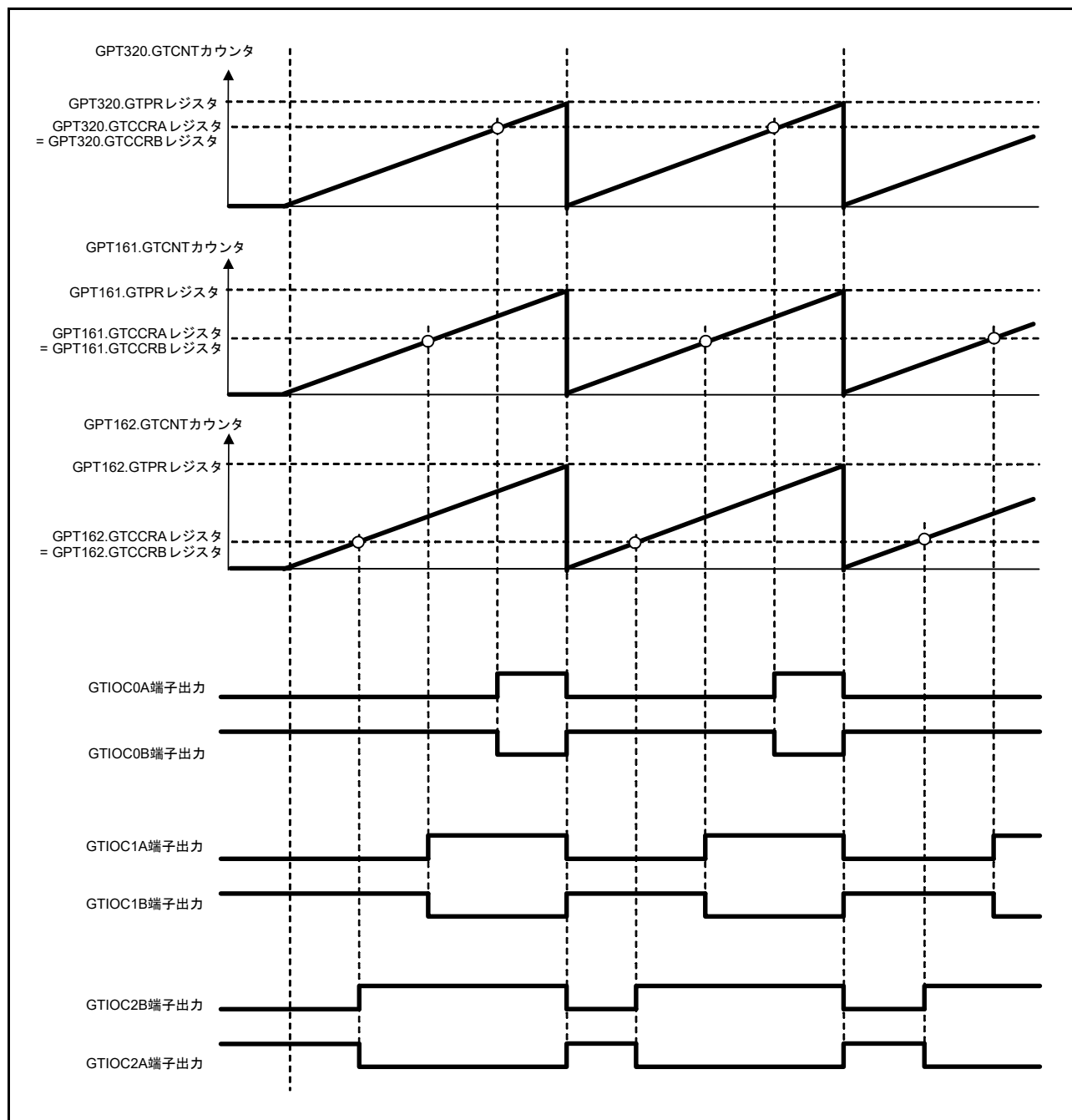


図 21.62 のこぎり波 3 相相補 PWM 出力例

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 21.63 に、デッドタイム自動設定機能を使用して、3 チャンネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

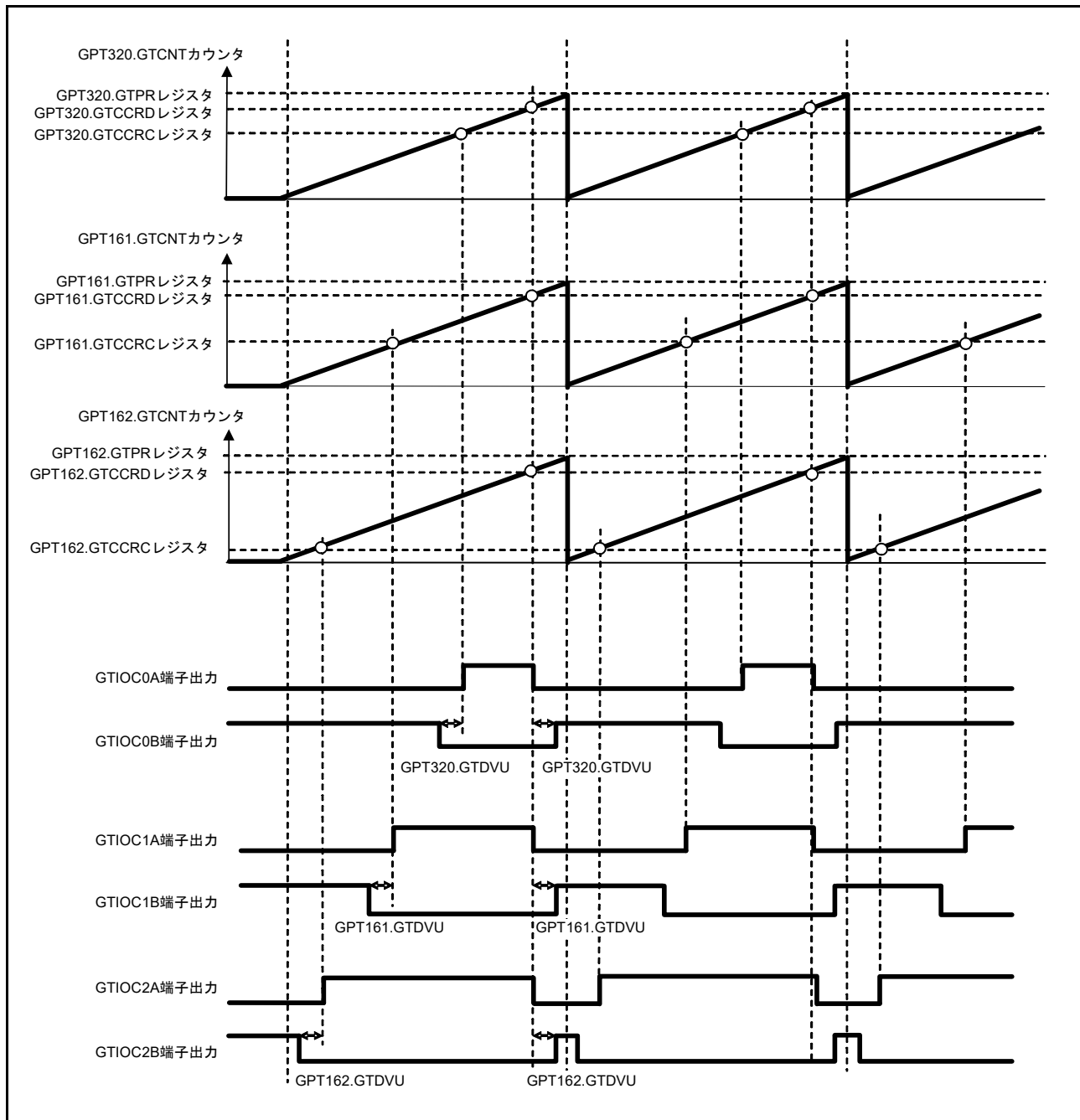


図 21.63 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 21.64 に、3 チャンネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

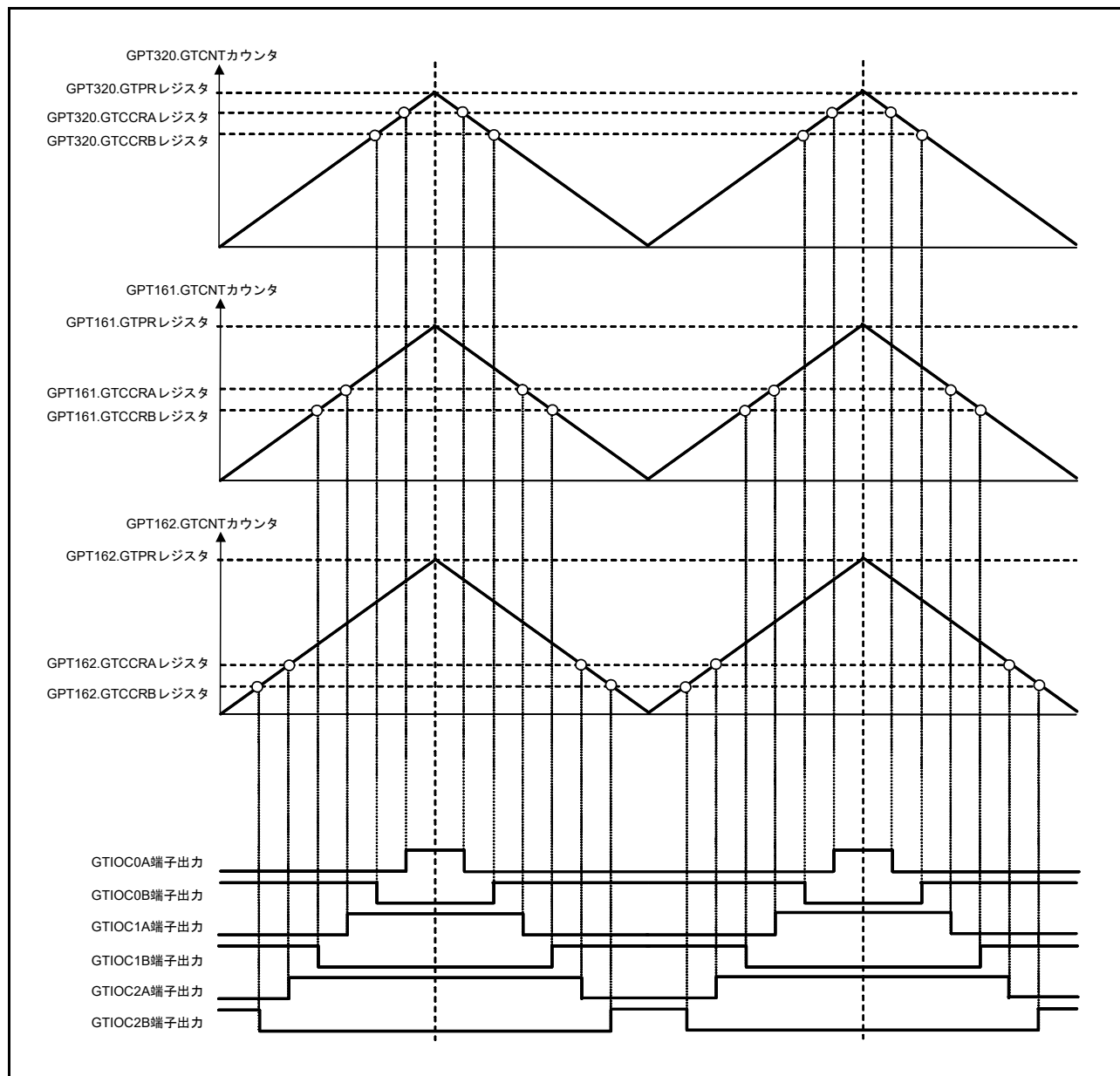


図 21.64 三角波 3 相相補 PWM 出力例

(5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 21.65 に、デッドタイム自動設定機能を使用して、3 チャンネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

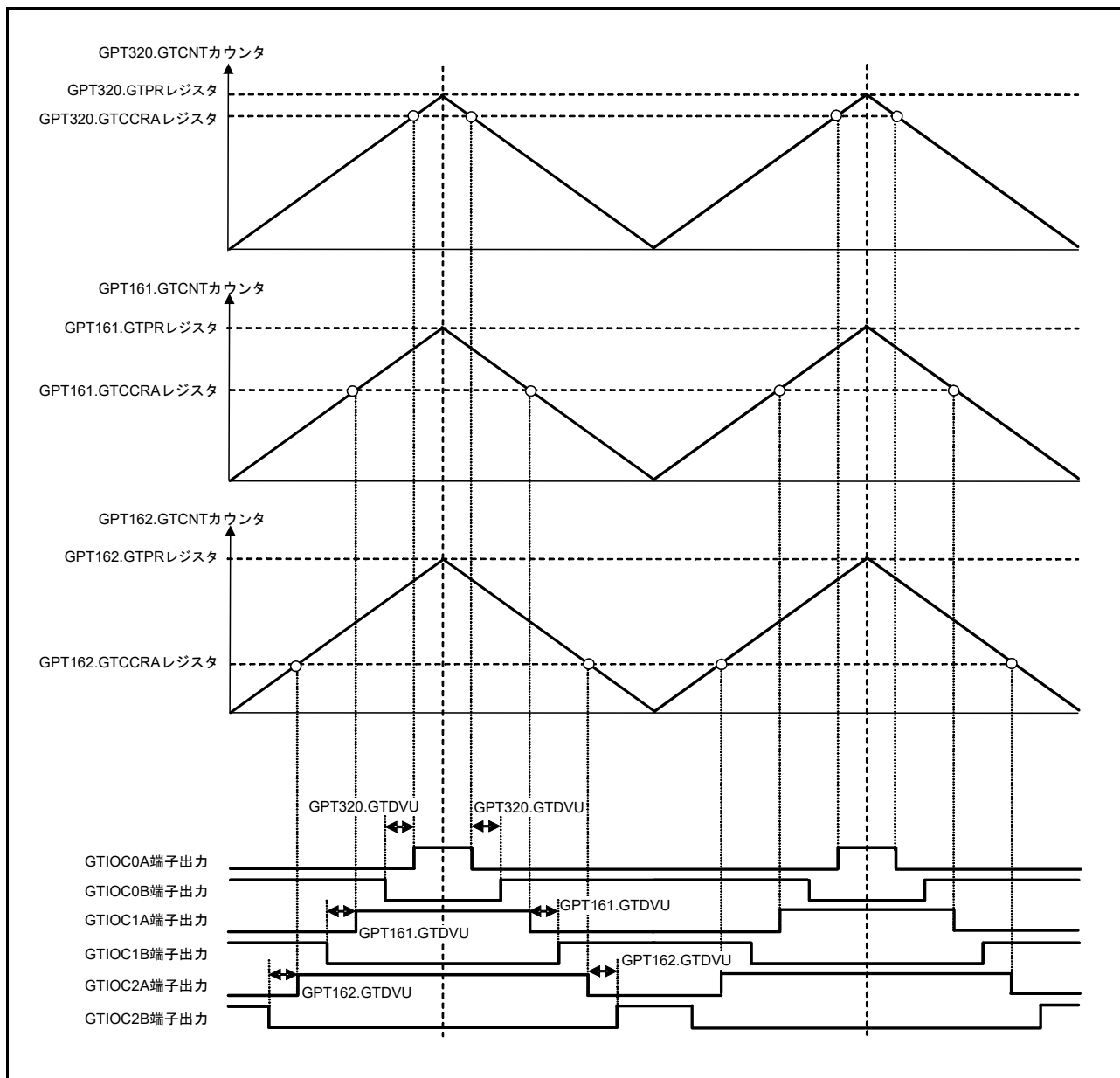


図 21.65 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 21.66 に、デッドタイム自動設定機能を使用して、3 チャンネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

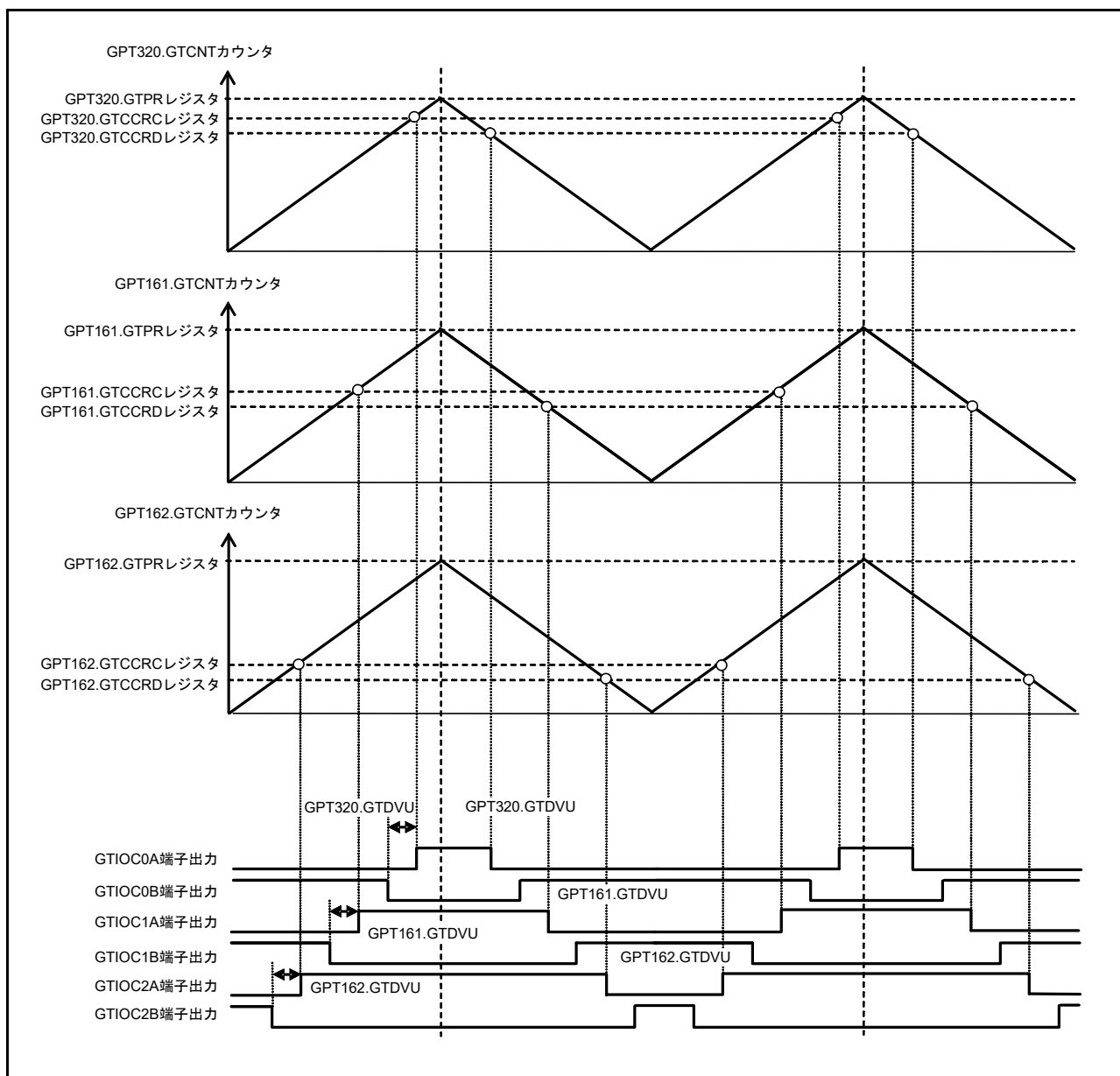


図 21.66 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

21.3.10 位相計数機能

GTIOCA 端子入力と GTIOCB 端子入力の間で位相差が検出されると、対応する GTCNT カウンタがカウントアップまたはカウントダウンを実行します。GTUPSR および GTDNSR レジスタに設定されている GTIOCA 端子入力と GTIOCB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、21.3.1.1 カウンタ動作を参照してください。

図 21.67 ～ 図 21.76 に、位相計数モード 1 ～ 5 を示します。表 21.7 ～ 表 21.16 に、アップカウント／ダウンカウントの条件と、GTUPSR および GTDNSR レジスタの設定値を示します。

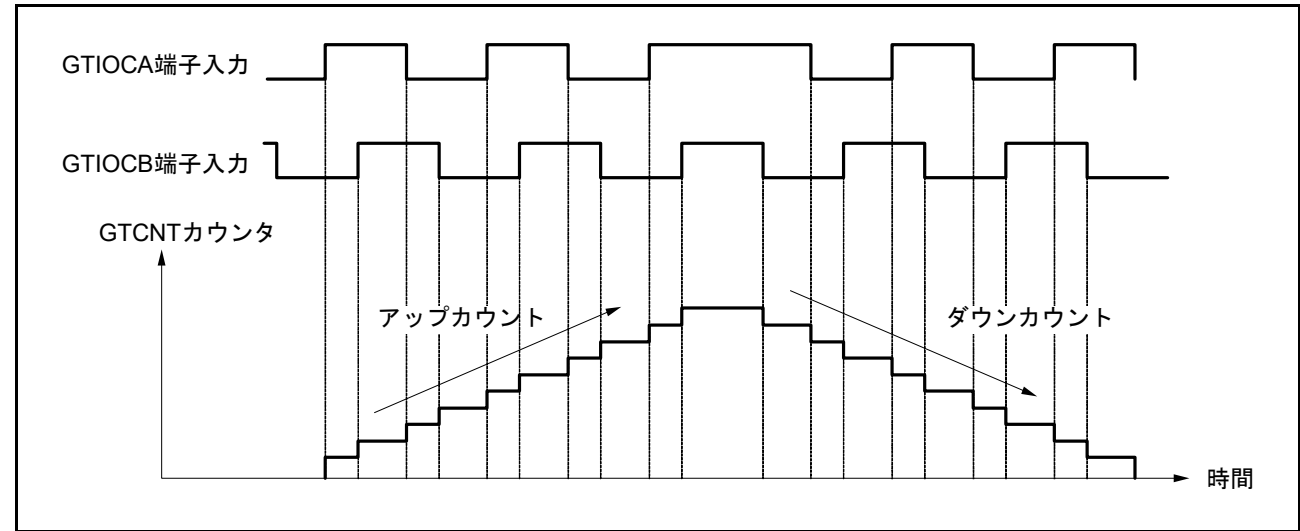


図 21.67 位相計数モード 1 の動作例

表 21.7 位相計数モード1でのアップカウント／ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR レジスタ = 0000 6900h GTDNSR レジスタ = 0000 9600h
Low			
	Low		
	High		
High		ダウンカウント	
Low			
	High		
	Low		

: 立ち上がりエッジ
 : 立ち下がりエッジ

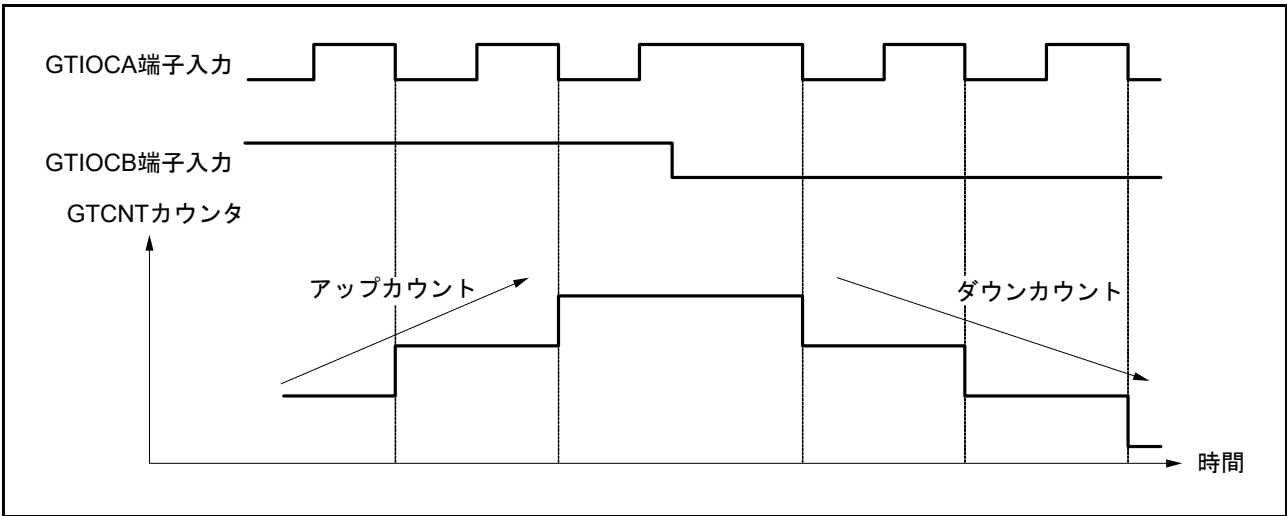


図 21.68 位相計数モード2の動作例 (A)

表 21.8 位相計数モード2でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 0000 0800h GTDNSR レジスタ = 0000 0400h
Low			
	Low		
	High	アップカウント	
High		Don't care	
Low			
	High		
	Low	ダウンカウント	

: 立ち上がりエッジ
 : 立ち下がりエッジ

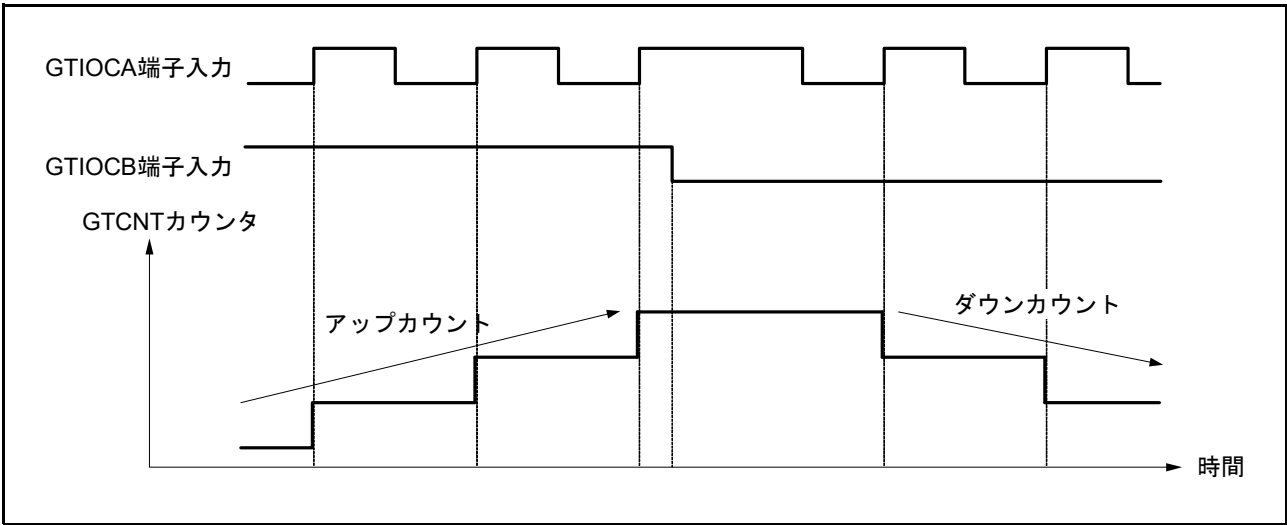


図 21.69 位相計数モード2の動作例（B）

表 21.9 位相計数モード2でのアップカウント／ダウンカウントの条件（B）

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 0000 0200h GTDNSR レジスタ = 0000 0100h
Low			
	Low	ダウンカウント	
	High	Don't care	
High			
Low			
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ
 : 立ち下がりエッジ

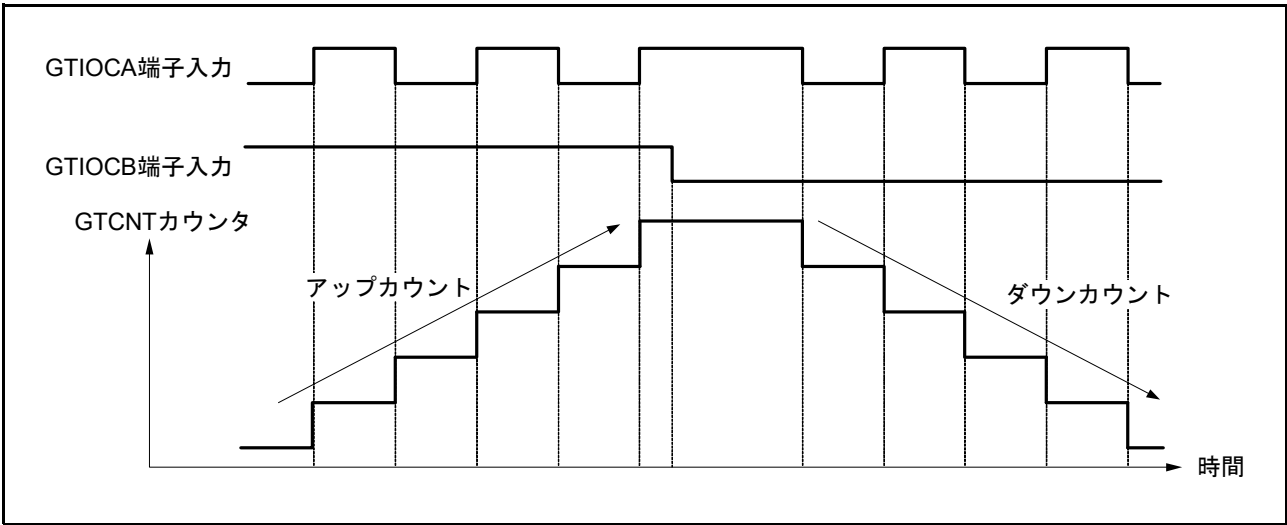


図 21.70 位相計数モード2の動作例 (C)

表 21.10 位相計数モード2でのアップカウント/ダウンカウントの条件 (C)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 0000 0A00h GTDNSR レジスタ = 0000 0500h
Low			
	Low	ダウンカウント	
	High	アップカウント	
High		Don't care	
Low			
	High	アップカウント	
	Low	ダウンカウント	

: 立ち上がりエッジ
 : 立ち下がりエッジ

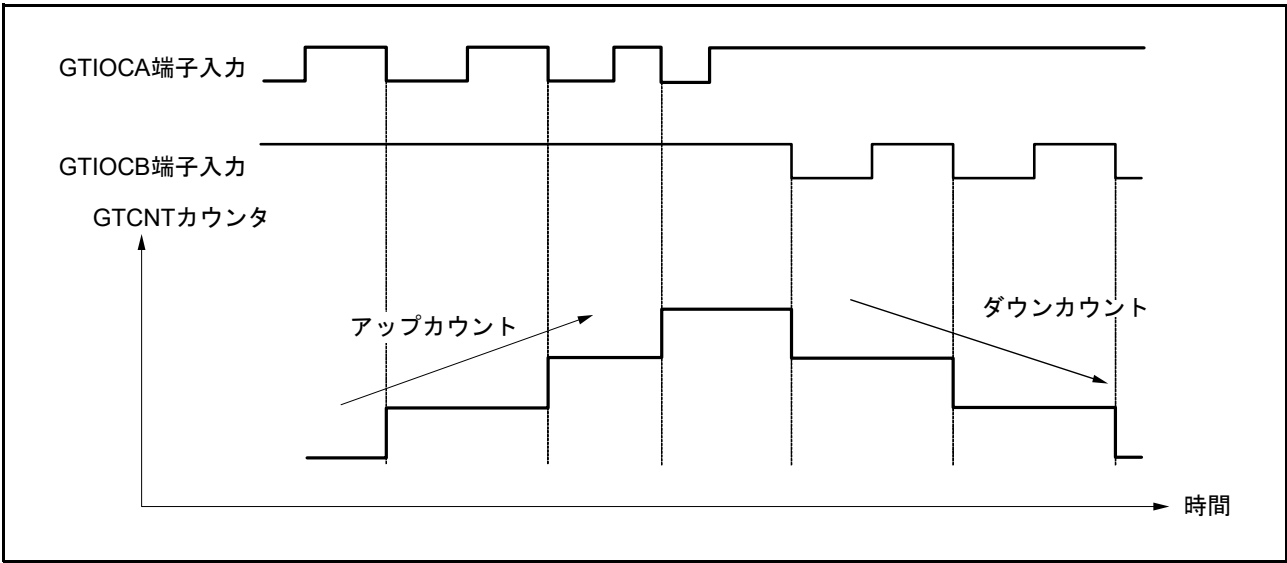


図 21.71 位相計数モード3の動作例 (A)

表 21.11 位相計数モード3でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 0000 0800h GTDNSR レジスタ = 0000 8000h
Low			
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		Don't care	
	High		
	Low		

↑ : 立ち上がりエッジ
↓ : 立ち下がりエッジ

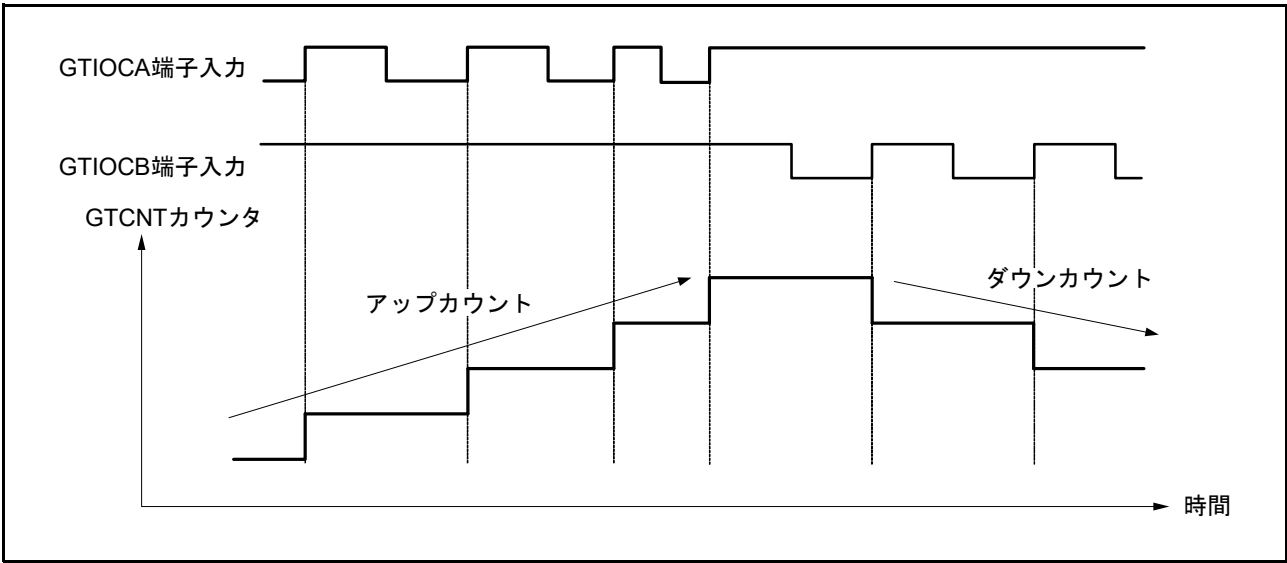


図 21.72 位相計数モード3の動作例 (B)

表 21.12 位相計数モード3でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR レジスタ = 0000 0200h GTDNSR レジスタ = 0000 2000h
Low		Don't care	
	Low		
	High		
High			
Low			
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ
 : 立ち下がりエッジ

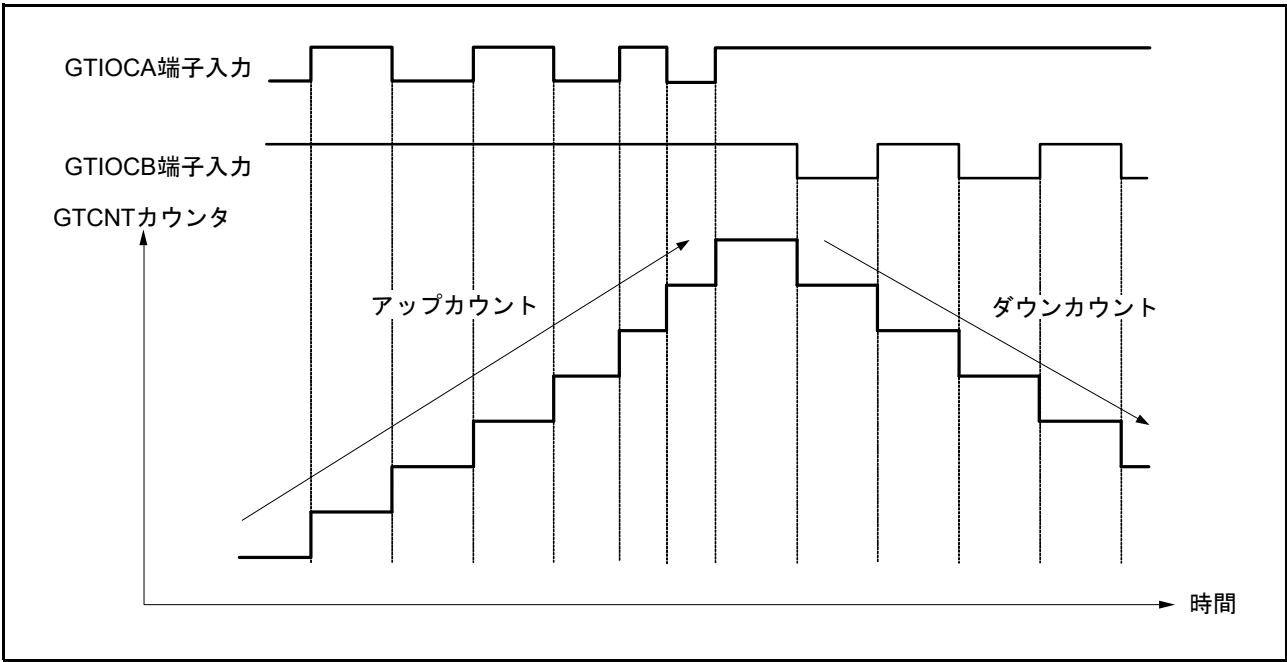


図 21.73 位相計数モード3の動作例 (C)

表 21.13 位相計数モード3でのアップカウント/ダウンカウントの条件 (C)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR レジスタ = 0000 0A00h GTDNSR レジスタ = 0000 A000h
Low		Don't care	
	Low	アップカウント	
	High		
High		ダウンカウント	
Low		Don't care	
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

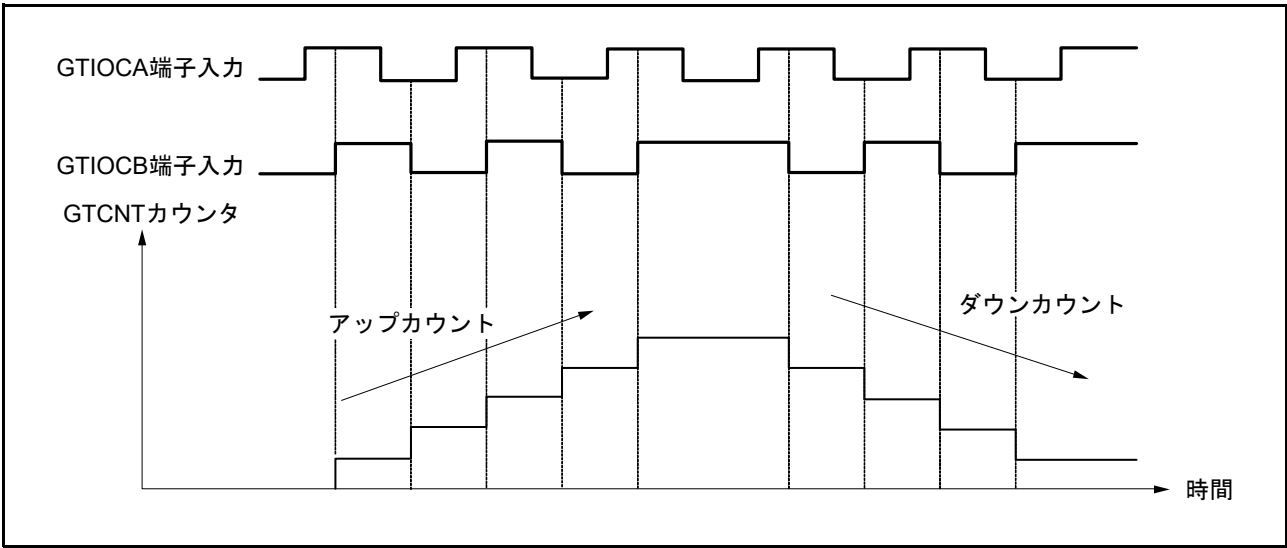


図 21.74 位相計数モード4の動作例

表 21.14 位相計数モード4でのアップカウント／ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR レジスタ = 0000 6000h GTDNSR レジスタ = 0000 9000h
Low			
	Low	Don't care	
	High		
High		ダウンカウント	
Low			
	High	Don't care	
	Low		

: 立ち上がりエッジ
 : 立ち下がりエッジ

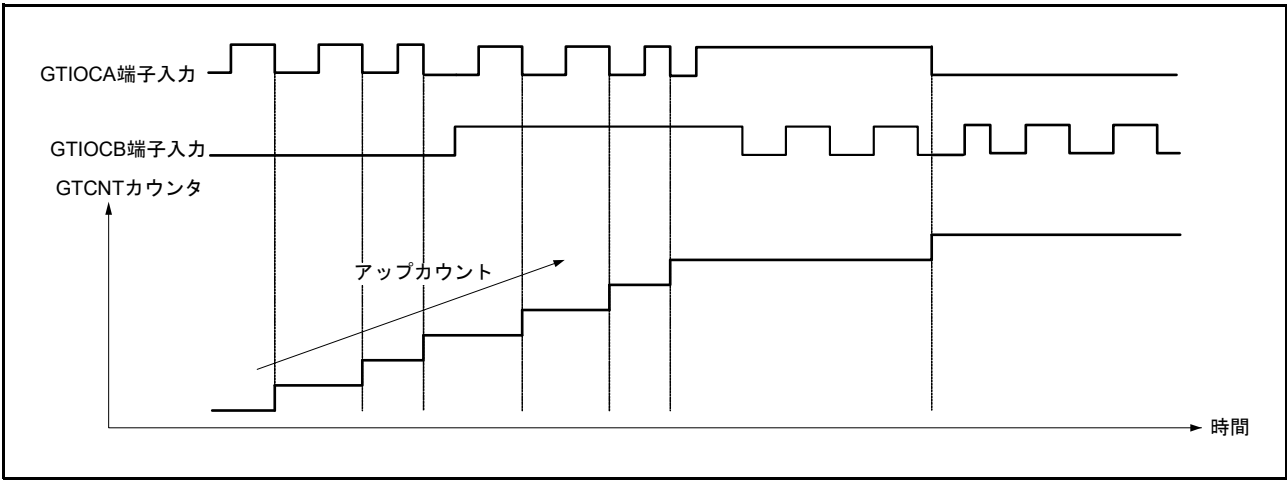


図 21.75 位相計数モード5の動作例（A）

表 21.15 位相計数モード5でのアップカウント／ダウンカウントの条件（A）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 0000 0C00h GTDNSR レジスタ = 0000 0000h
Low	↓	Don't care	
↑	Low	アップカウント	
↓	High	Don't care	
High	↓	Don't care	
Low	↑	Don't care	
↑	High	アップカウント	
↓	Low	アップカウント	

↑ : 立ち上がりエッジ
↓ : 立ち下がりエッジ

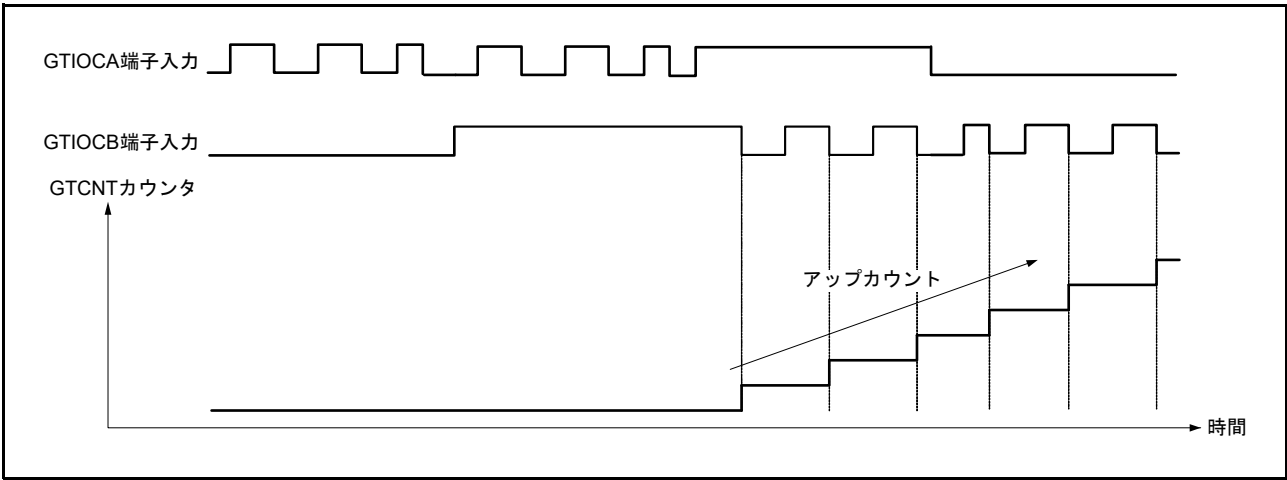


図 21.76 位相計数モード5の動作例（B）

表 21.16 位相計数モード5でのアップカウント／ダウンカウントの条件（B）

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR = 0000 C000h GTDNSR = 0000 0000h
Low		アップカウント	
	Low	Don't care	
	High	アップカウント	
High		アップカウント	
Low		Don't care	
	High	Don't care	
	Low	Don't care	

: 立ち上がりエッジ
 : 立ち下がりエッジ

21.3.11 出力相切り替え (GPT_OPS)

GPT_OPS は、出力相切り替えコントロールレジスタ (OPSCR) によるブラシレス DC モータ動作の簡易制御機能を提供します。

GPT_OPS は、6 相モータ制御の各相 (U 正相／逆相、V 正相／逆相、W 正相／逆相) のレベル信号またはチョップ制御に使用する PWM 信号を出力します。この機能では、ソフトウェアで設定したソフト設定値 (OPSCR.UF、VF、WF ビット)、ホール素子により検知した外部信号、GPT161.GTIOCA 端子の PWM 波形などを使用します。

図 21.77 に GPT_OPS 制御フローの概念図を示します。

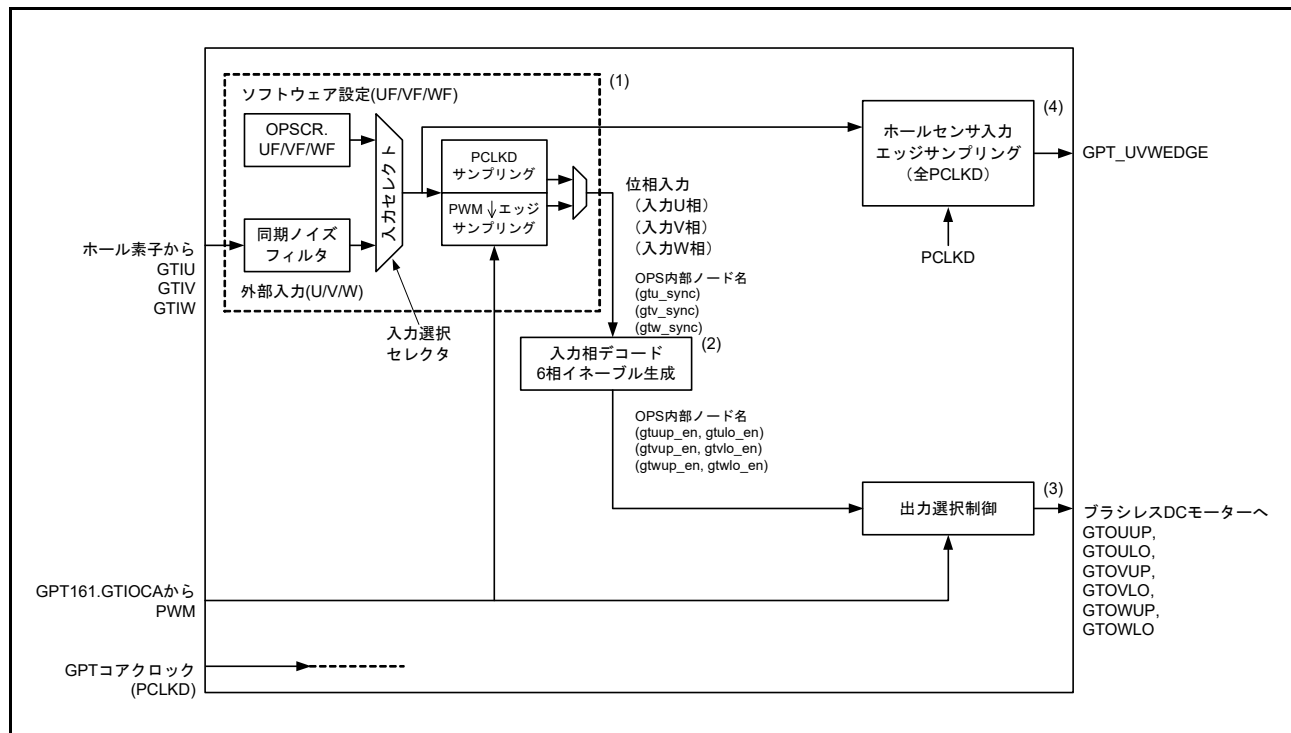


図 21.77 GPT_OPS 制御フロー概念図

図 21.78 に GPT_OPS 動作の 6 相レベル信号出力例を示します。

図 21.78 の GPT_UVWEDGE 信号は、ELC へ出力するホールセンサ入力エッジです。

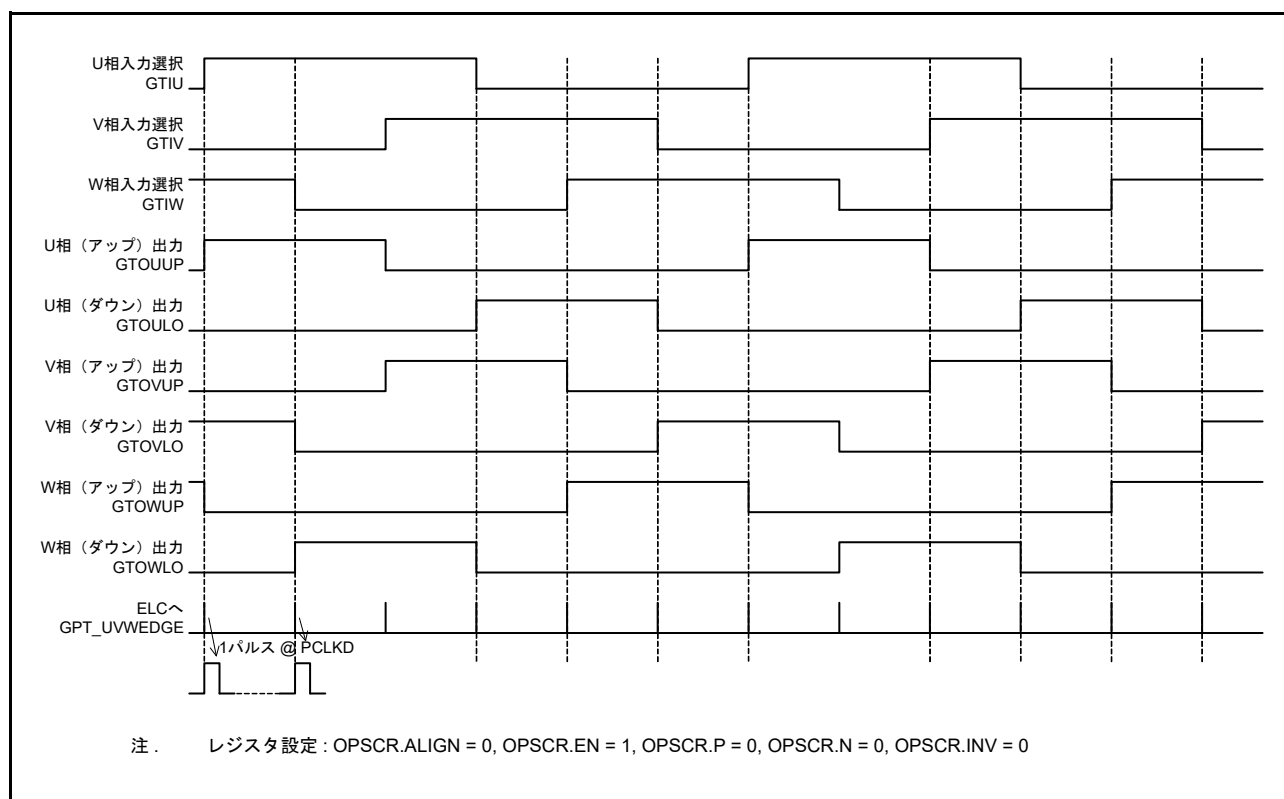


図 21.78 6 相レベル出力動作例

図 21.79 に GPT_OPS 動作 (チョップ制御あり) の 6 相 PWM 出力例を示します。

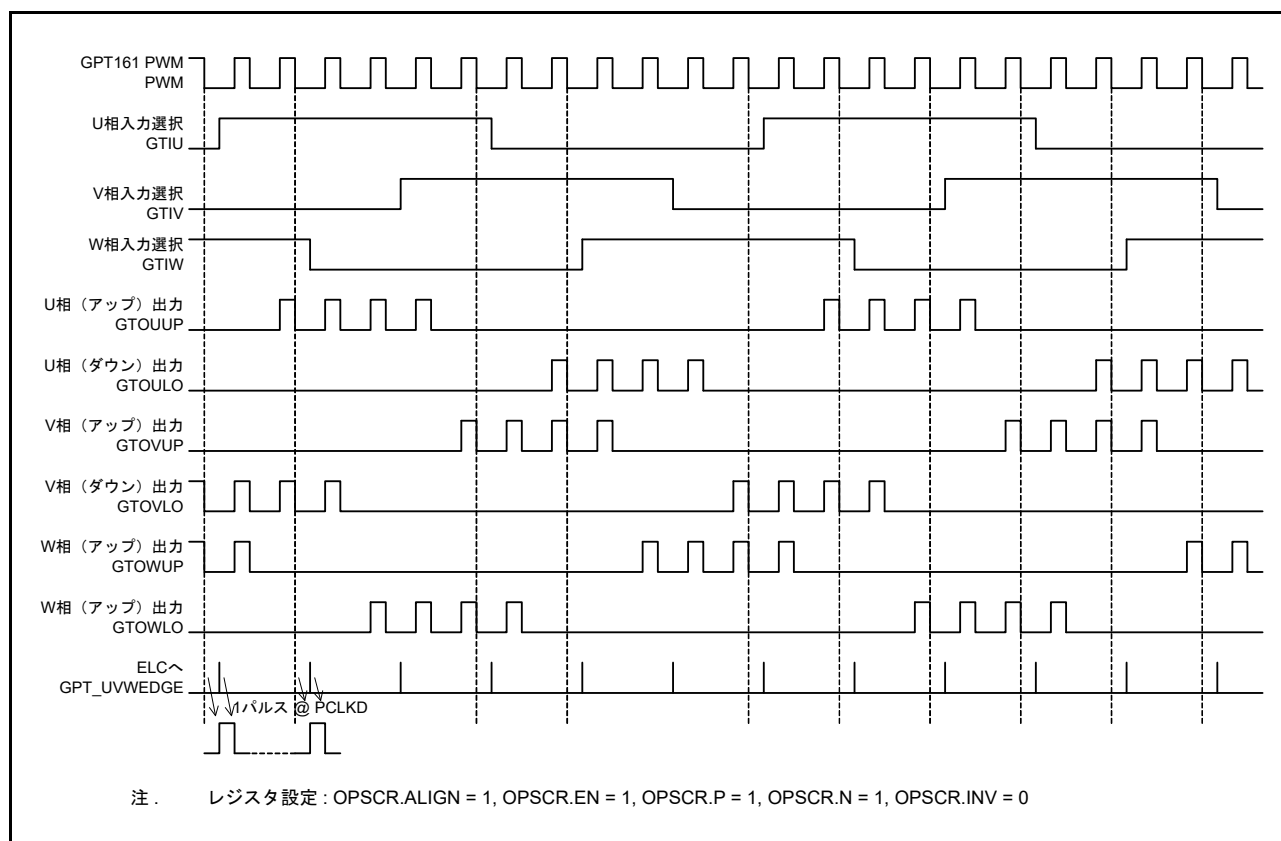


図 21.79 6 相 PWM 出力動作例 (チョップ制御)

図 21.80 に出力禁止制御の例 (6 相 PWM 出力動作) を示します。

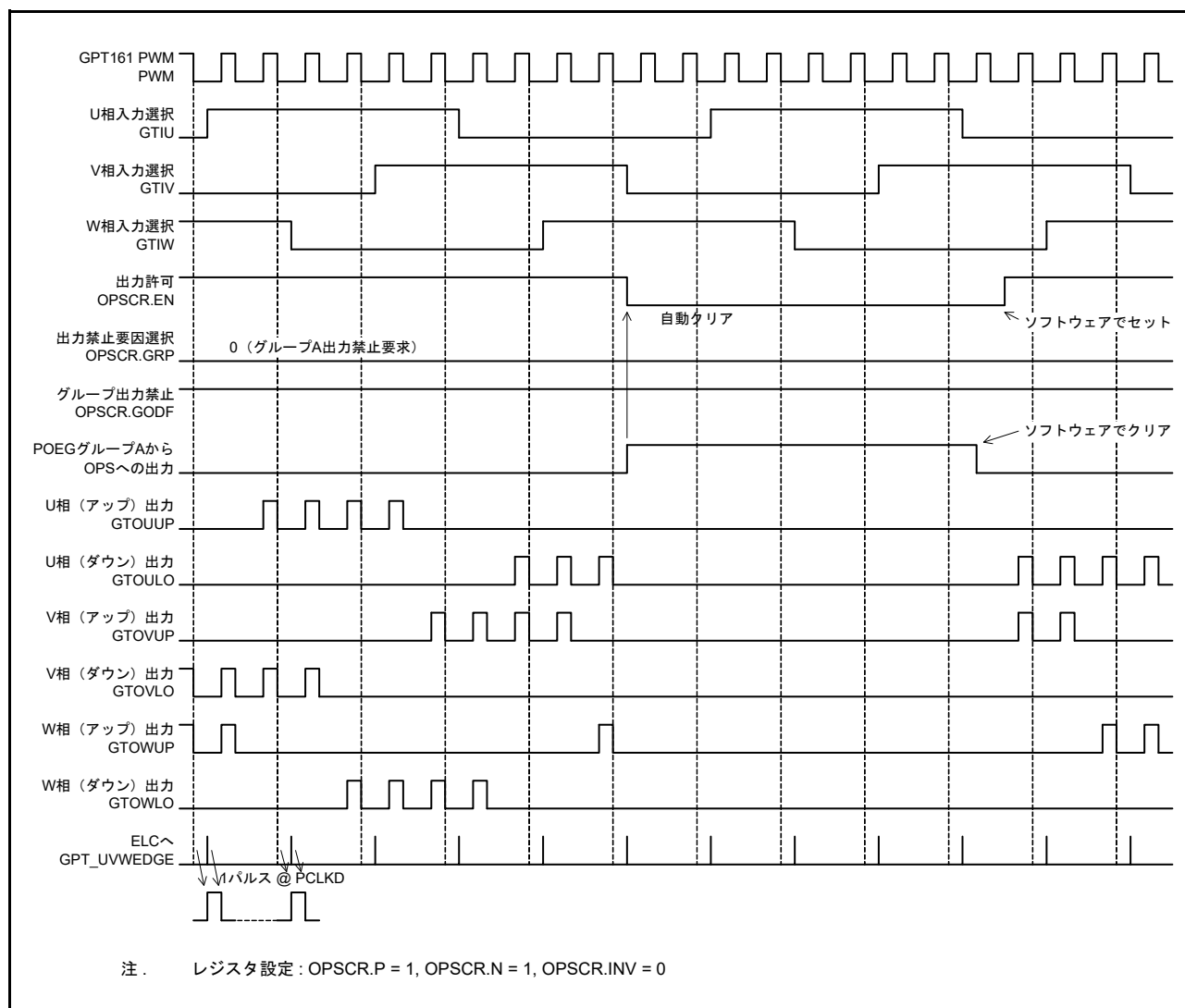


図 21.80 グループ出力禁止制御動作例

21.3.11.1 外部入力信号の同期および入力選択

図 21.77 に示す GPT_OPS 制御フロー概念図の (1) の部分では、OPSCR.FB ビットによって“ソフトウェア設定”と“外部入力”から入力相の選択をします。

OPSCR.FB ビットが 0 の場合、外部入力を選択します。GPT クロック (PCLKD) で同期してから入力信号を許可してください。ノイズフィルタ (オプション) 処理を実施後、OPSCR.ALIGN ビットを 1 にセットすると PWM (GPT161.GTIOCA 端子の PWM) の立ち下がりエッジサンプリングで外部入力が入力相となります。

OPSCR.FB ビットが 1 の場合、ソフトウェア設定 (OPSCR.UF、VF、WF) を選択します。OPSCR.ALIGN ビットを 1 にセットすると PWM (GPT161.GTIOCA 端子の PWM) の立ち下がりエッジサンプリングでソフトウェア設定が入力相となります。

OPSCR.ALIGN ビットが 0 の場合、GPT_OPS は OPSCR.FB ビットが 0 または 1 で設定された PCLKD 同期の入力相で動作します。ただし、切り替えタイミング (直前または直後) の出力 U/V/W 相 (PWM 出力モード) の PWM パルス幅が短くなる場合があります。

表 21.17 に、入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 21.17 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択 (U/V/W 相)	同期入出力選択処理 (GPT_OPS 内部ノード名)
FB ビット	ALIGN ビット		
0	1	PWM 立ち下がりエッジサンプリングでの外部入力 (PCLKD 同期 + 立ち下がりエッジサンプル)	入力相 入力 U 相 (gtu_sync) 入力 V 相 (gtv_sync) 入力 W 相 (gtw_sync)
	0	PCLKD 同期出力での外部入力 (PCLKD 同期 + スルーモード)	
1	1	PWM 立ち下がりエッジサンプリングでのソフトウェア設定 (立ち下がりエッジサンプルの OPSCR.UF、VF、WF ビット)	
	0	ソフトウェア設定値選択 (= OPSCR.UF/VF/WF ビット値) (= PCLKD 同期)	

21.3.11.2 入力サンプリング

OPSCR.U、V、W ビットは、OPSCR.FB ビットで選択した入力の PCLKD サンプリング結果を示すビットです。

OPSCR.FB ビットが 0 の場合、GPT クロック (PCLKD) との同期およびノイズフィルタリング (オプション) 後に、OPSCR.U、V、W ビットは外部入力のサンプリング結果を保持します。OPSCR.FB ビットが 1 の場合、OPSCR.U、V、W レジスタはソフト設定値 (OPSCR.UF、VF、WF ビット) です。

21.3.11.3 入力相デコード

図 21.77 に示す GPT_OPS 制御フロー概念図の (2) の部分では、OPSCR.FB ビットで選択した入力相をデコードすることにより、6 相信号を有効にします。6 相許可信号は、GPT_OPS の内部処理に使用されます。

表 21.18 に入力相のデコード表を示します。

表 21.18 入力相デコード表

入力相 (U/V/W) (GPT_OPS 内部ノード名)			入力相のデコードによる 6 相許可 [U/V/W (Up/Lo)] (GPT_OPS 内部ノード名)					
入力 U 相 (gtu_sync)	入力 V 相 (gtv_sync)	入力 W 相 (gtw_sync)	U 相 (Up) (gtuup_en)	U 相 (Lo) (gtulo_en)	V 相 (Up) (gtvup_en)	V 相 (Lo) (gtvlo_en)	W 相 (Up) (gtwup_en)	W 相 (Lo) (gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

21.3.11.4 出力選択制御

図 21.77 に示す GPT_OPS 制御フロー概念図の (3) の部分では、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット : 6 相出力の出力/停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット : 出力相に対してレベル信号/ PWM 信号 (チョップ出力) を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理/負論理に設定可能

表 21.19 および表 21.20 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 21.19 出力選択制御方法 (正相)

イネーブル相出力制御	正相出力 (P) 制御	反転相出力制御	出力ポート名 (正相 = Up) (出力選択内部ノード割り当て)	
OPSCR.EN	OPSCR.P	OPSCR.INV	GTOUUP GTOVUP GTOWUP	モード
0	x	x	0	出力停止 (外部端子 : Hi-Z) GPT_OPS → 0 出力
1	0	0	レベル信号 (gtuup_en) (gtvup_en) (gtwup_en)	レベル出力モード (正相) (正論理)
1	0	1	レベル信号 (~gtuup_en) (~gtvup_en) (~gtwup_en)	レベル出力モード (正相) (負論理)
1	1	0	PWM 信号 (PWM & gtuup_en) (PWM & gtvup_en) (PWM & gtwup_en)	PWM 出力モード (正相) (正論理)
1	1	1	PWM 信号 (~ (PWM & gtuup_en)) (~ (PWM & gtvup_en)) (~ (PWM & gtwup_en))	PWM 出力モード (正相) (負論理)

表 21.20 出力選択制御方法 (逆相)

イネーブル相出力制御	正相出力 (N) 制御	反転相出力制御	出力ポート名 (逆相 = Lo) (出力選択内部ノード割り当て)	
OPSCR.EN	OPSCR.N	OPSCR.INV	GTOULO GTOVLO GTOWLO	モード
0	x	x	0	出力停止 (外部端子 : Hi-Z) GPT_OPS → 0出力
1	0	0	レベル信号 (gtulo_en) (gtvlo_en) (gtwlo_en)	レベル出力モード (逆相) (正論理)
1	0	1	レベル信号 (~gtulo_en) (~gtvlo_en) (~gtwlo_en)	レベル出力モード (逆相) (負論理)
1	1	0	PWM信号 (PWM & gtulo_en) (PWM & gtvlo_en) (PWM & gtwlo_en)	PWM出力モード (逆相) (正論理)
1	1	1	PWM信号 (~ (PWM & gtulo_en)) (~ (PWM & gtvlo_en)) (~ (PWM & gtwlo_en))	PWM出力モード (逆相) (負論理)

21.3.11.5 出力選択制御 (グループ出力禁止機能)

OPSCR.GODF ビットが 1、かつ OPSCR.GRP ビットで選択した信号値が High (出力禁止要求) の場合、GPT_OPS 出力端子は非同期に Hi-Z に変化し、PCLKD と同期した出力禁止要求信号によって OPSCR.EN ビットは 0 になります。復帰するには、ソフトウェアで出力禁止要求をクリアした後、OPSCR.EN ビットを 1 にしてください。

OPSCR.EN ビットが 0 にクリアされるタイミングは、出力禁止要求が発生してから PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 サイクル分待つ必要があります。グループ出力禁止制御の動作例については、[図 21.80](#) を参照してください。

21.3.11.6 イベントリンクコントローラ (ELC) 出力

[図 21.77](#) に示す GPT_OPS 制御フロー概念図の (4) の部分では、ホールセンサ入力信号エッジをイベントリンクコントローラに出力します。

ホールセンサ入力エッジ信号は、PCLKD でサンプリングされた U 相 / V 相 / W 相入力のそれぞれの立ち上がり / 立ち下がりエッジとの論理和となります。すなわち、入力相の U 相 / V 相 / W 相それぞれの High レベル持続期間が短いと、その時点でホールセンサエッジ入力信号は出力されません。

OPSCR.FB ビットが 0 の場合、ホールセンサ入力エッジ信号は、PCLKD でサンプリングされた外部入力相のエッジ信号の論理和となります。

OPSCR.FB ビットが 1 の場合、ホールセンサ入力エッジ信号は、PCLKD でサンプリングされたソフトウェア設定 (OPSCR.UF、VF、WF ビット) のエッジ信号の論理和となります。

ELC への出力信号の例については、[図 21.78](#) ~ [図 21.80](#) を参照してください。

21.3.11.7 GPT_OPS スタート動作設定フロー

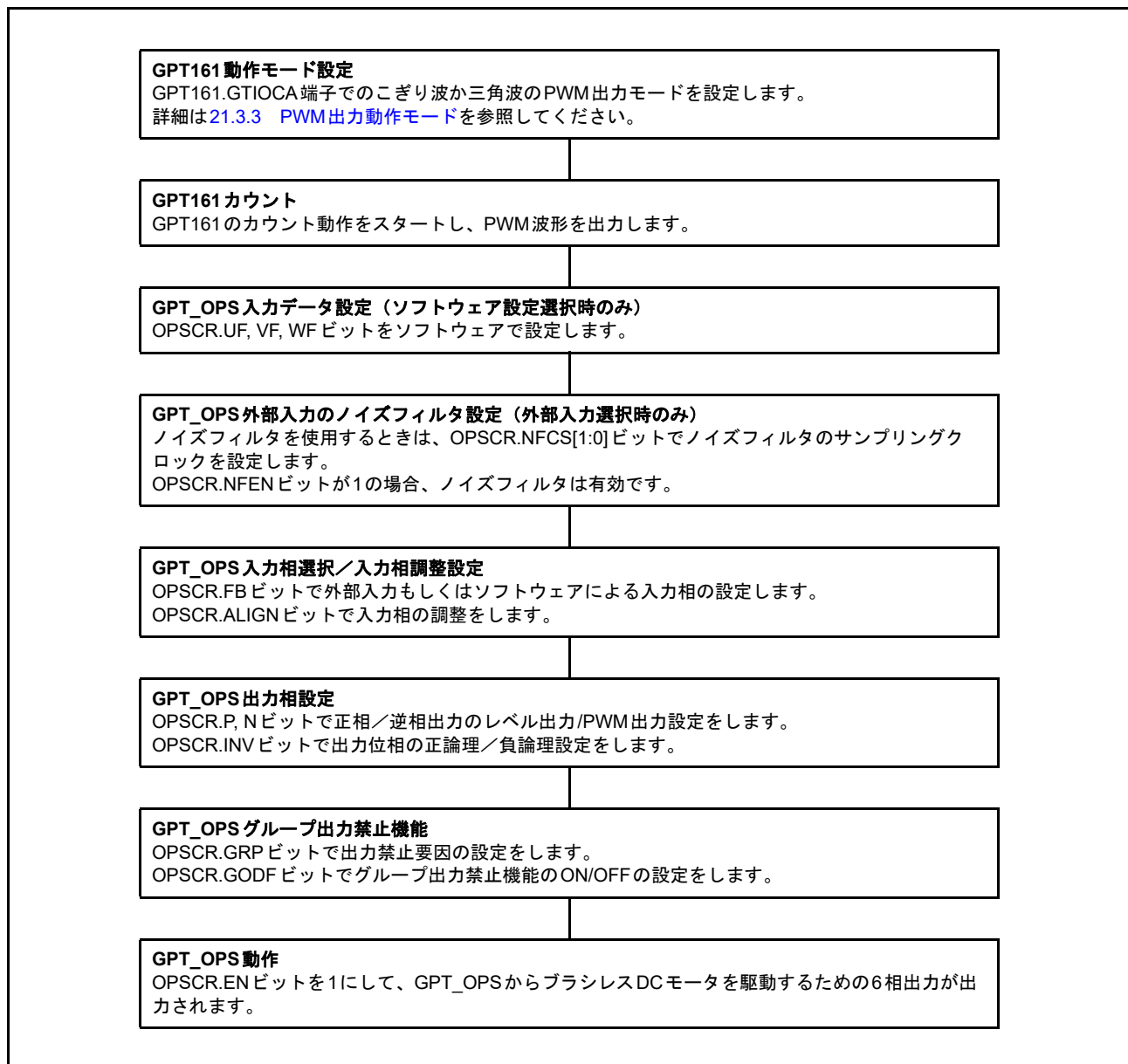


図 21.81 GPT_OPS スタート動作設定例

21.4 割り込み要因

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ／コンペアマッチ
- GTCNT カウンタのオーバーフロー (GTPR のコンペアマッチ) ／アンダーフロー

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。

表 21.21 は、GPT の割り込み要因の一覧です。

表 21.21 割り込み要因 (1/2)

チャネル	名称	割り込み要因	割り込みフラグ	DTCの起動
0	GPT0_CCMPA	GPT320.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT0_CCMPB	GPT320.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT0_CMPC	GPT320.GTCCRCコンペアマッチ	TCFC	可能
	GPT0_CMPD	GPT320.GTCCRDコンペアマッチ	TCFD	可能
	GPT0_OVF	GPT320.GTCNTオーバーフロー (GPT320.GTPRコンペアマッチ)	TCFPO	可能
	GPT0_UDF	GPT320.GTCNTアンダーフロー	TCFPU	可能
1	GPT1_CCMPA	GPT161.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT1_CCMPB	GPT161.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT1_CMPC	GPT161.GTCCRCコンペアマッチ	TCFC	可能
	GPT1_CMPD	GPT161.GTCCRDコンペアマッチ	TCFD	可能
	GPT1_OVF	GPT161.GTCNTオーバーフロー (GPT161.GTPRコンペアマッチ)	TCFPO	可能
	GPT1_UDF	GPT161.GTCNTアンダーフロー	TCFPU	可能
2	GPT2_CCMPA	GPT162.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT2_CCMPB	GPT162.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT2_CMPC	GPT162.GTCCRCコンペアマッチ	TCFC	可能
	GPT2_CMPD	GPT162.GTCCRDコンペアマッチ	TCFD	可能
	GPT2_OVF	GPT162.GTCNTオーバーフロー (GPT162.GTPRコンペアマッチ)	TCFPO	可能
	GPT2_UDF	GPT162.GTCNTアンダーフロー	TCFPU	可能
3	GPT3_CCMPA	GPT163.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT3_CCMPB	GPT163.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT3_CMPC	GPT163.GTCCRCコンペアマッチ	TCFC	可能
	GPT3_CMPD	GPT163.GTCCRDコンペアマッチ	TCFD	可能
	GPT3_OVF	GPT163.GTCNTオーバーフロー (GPT163.GTPRコンペアマッチ)	TCFPO	可能
	GPT3_UDF	GPT163.GTCNTアンダーフロー	TCFPU	可能
4	GPT4_CCMPA	GPT164.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT4_CCMPB	GPT164.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT4_CMPC	GPT164.GTCCRCコンペアマッチ	TCFC	可能
	GPT4_CMPD	GPT164.GTCCRDコンペアマッチ	TCFD	可能
	GPT4_OVF	GPT164.GTCNTオーバーフロー (GPT164.GTPRコンペアマッチ)	TCFPO	可能
	GPT4_UDF	GPT164.GTCNTアンダーフロー	TCFPU	可能

表 21.21 割り込み要因 (2/2)

チャネル	名称	割り込み要因	割り込みフラグ	DTCの起動
5	GPT5_CCMPA	GPT165.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT5_CCMPB	GPT165.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT5_CMPC	GPT165.GTCCRCコンペアマッチ	TCFC	可能
	GPT5_CMPD	GPT165.GTCCRDコンペアマッチ	TCFD	可能
	GPT5_OVF	GPT165.GTCNTオーバーフロー (GPT165.GTPRコンペアマッチ)	TCFPO	可能
	GPT5_UDF	GPT165.GTCNTアンダーフロー	TCFPU	可能
6	GPT6_CCMPA	GPT166.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT6_CCMPB	GPT166.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT6_CMPC	GPT166.GTCCRCコンペアマッチ	TCFC	可能
	GPT6_CMPD	GPT166.GTCCRDコンペアマッチ	TCFD	可能
	GPT6_OVF	GPT166.GTCNTオーバーフロー (GPT166.GTPRコンペアマッチ)	TCFPO	可能
	GPT6_UDF	GPT166.GTCNTアンダーフロー	TCFPU	可能

(1) GPTn_CCMPA 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

(2) GPTn_CCMPB 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

(3) GPTn_CMPC 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

(4) GPTn_CMPD 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

(5) GPTn_OVF 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) によって割り込み要求が許可されたとき
- 三角波モードの場合、山 (GTCNT カウンタ値が GTPR 値から GTPR 値 -1 に変化) によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき

(6) GPTn_UDF 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、アンダーフロー (ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化) によって割り込み要求が許可されたとき
- 三角波モードの場合、谷 (GTCNT カウンタ値が 0 から 1 に変化) によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化) が発生したとき

表 21.22 割り込み信号と割り込みステータスフラグ

割り込み信号	割り込みステータスフラグ
GPTn_UDF	GTST[7] (TCFPU)
GPTn_OVF	GTST[6] (TCFPO)
GPTn_CMPD	GTST[3] (TCFD)
GPTn_CMPC	GTST[2] (TCFC)
GPTn_CCMPB	GTST[1] (TCFB)
GPTn_CCMFA	GTST[0] (TCFA)

n = 0 ~ 6

21.4.1 DTC の起動

各チャネルの割り込みによって、DTC を起動することが可能です。詳細は、「[13. 割り込みコントローラ ユニット \(ICU\)](#)」と「[16. データトランスファコントローラ \(DTC\)](#)」を参照してください。

21.5 ELC によるリンク動作

21.5.1 ELC へのイベント信号出力

GPT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn_CMPD)
- オーバーフロー割り込み発生 (GPTn_OVF)
- アンダーフロー割り込み発生 (GPTn_UDF)

注. n = 0 ~ 6

21.5.2 ELC からのイベント信号入力

GPT は、イベントリンクコントローラ (ELC) からの最大 4 個のイベントに対して、以下の動作の実行が可能です。

- カウントスタート/ストップ/クリア
- アップカウント/ダウンカウント
- インプットキャプチャ

ハードウェア要因についての詳細は、[21.3 動作説明](#)を参照してください。

21.6 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効／無効にすることや、チャンネルごとにサンプリングクロックを設定することが可能です。

図 21.82 にノイズフィルタのタイミングを示します。

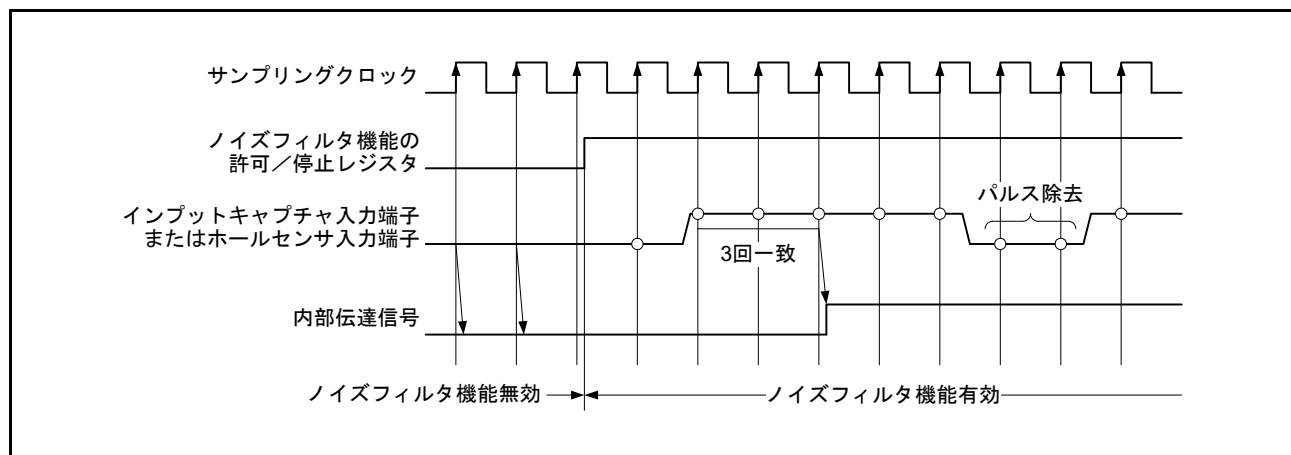


図 21.82 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、「サンプリング周期 × 3 + PCLKD」の遅延の後、ノイズフィルタ対象信号の両エッジでインプットキャプチャ動作またはホールセンサ入力動作が実行されます。この遅延は、インプットキャプチャ入力またはホールセンサ入力に対するノイズフィルタリングに起因するものです。

21.7 保護機能

21.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャンネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

21.7.2 バッファ動作の禁止

バッファレジスタへの書き込みタイミングが、バッファの転送タイミングに対して遅延した場合、GTBER.BD[1] および BD[0] ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することができます。そのためには、バッファレジスタの書き込み前に対応する GTBER.BD[n] ビットを 1 (バッファ動作禁止) にしておき、すべてのバッファレジスタへの書き込み終了後に 0 (バッファ動作許可) に戻します。

図 21.83 にバッファ動作を禁止するための動作例を示します。

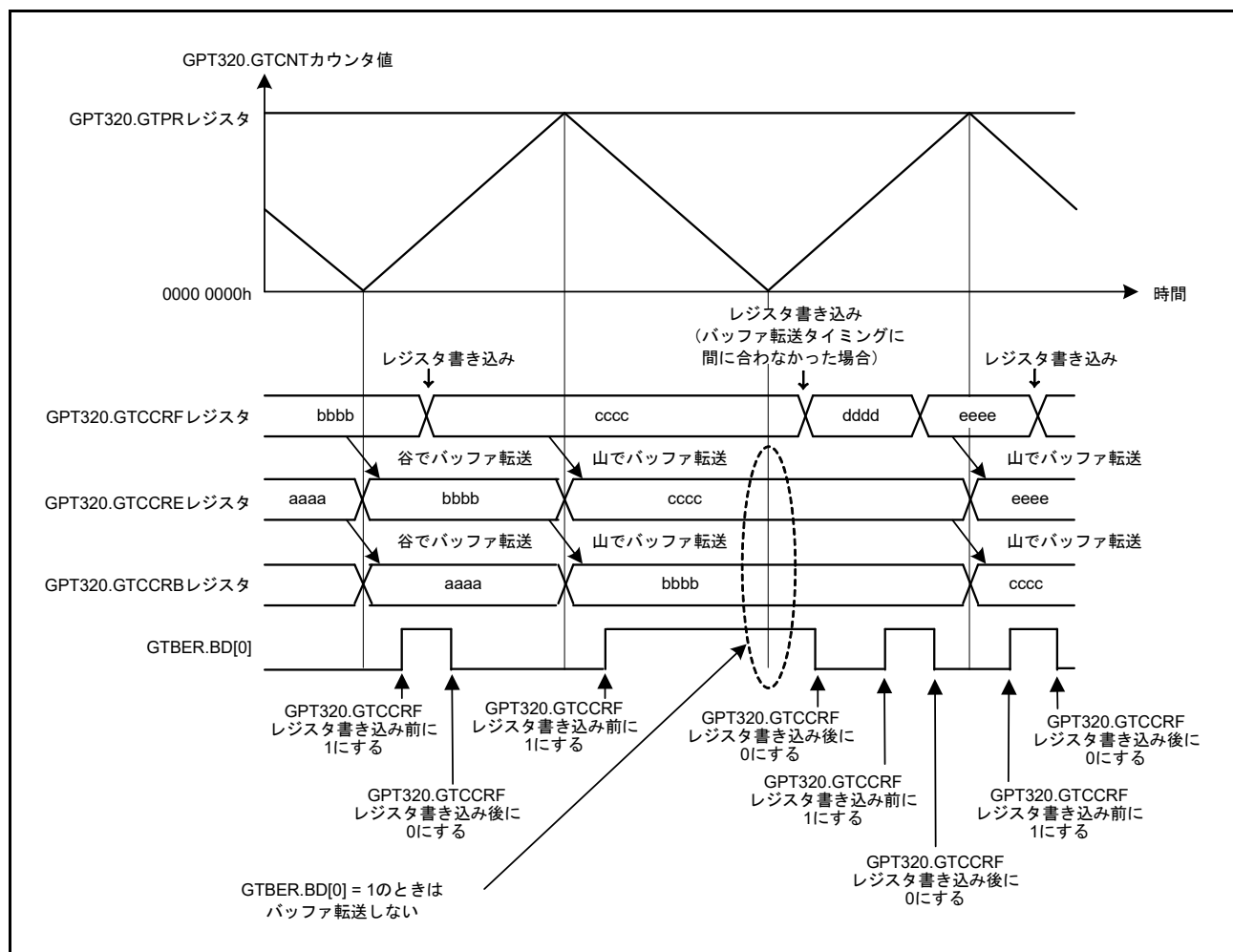


図 21.83 バッファ動作禁止の動作例 (三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合)

21.7.3 GTIOC 端子出力のネゲート制御

システム障害から保護するために、POEG からの出力禁止要求によって、GTIOC 端子の出力値を強制的に変更する出力禁止制御が備えられています。GTIOCA 端子の出力値が GTIOCB 端子の出力値と同じ場合には、出力保護が必要です。GPT はこのような条件を検出すると、GTINAD.GRPABH ビットや GTINTAD.GRPABL ビットなどの出力禁止要求許可ビットの設定に応じて、POEG に対して出力禁止要求を生成します。POEG は、各チャネルから出力禁止要求を受信すると、OR 演算を用いて外部入力を計算し、GPT に対して出力禁止要求を発生させます。

POEG が生成した 2 つの出力禁止要求のうちの 1 つの出力要求信号 (GTIOCA 端子および GTIOCB 端子の共通出力禁止要求信号) を GTINTAD.GRP[1:0] ビットの設定で選択します。選択した禁止出力要求の状態は、GTST.ODF ビットを読むことでモニタできます。出力禁止中の出力レベルは、GTIOCA 端子については GTIOR.OADF[1:0] ビットの設定、GTIOCB 端子については GTIOR.OBDF[1:0] ビットの設定に依存します。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止状態の解除タイミングは、出力禁止要求の停止から、早くとも PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 周期分待つ必要があります。

イベントカウント実行時、または出力禁止状態を周期の終わりを待たずにただちに解除する必要がある場合は、GTIOR.OADF[1:0] ビットを 00b (GTIOCA 端子の場合) にするか、GTIOR.OBDF[1:0] ビットを 00b (GTIOCB 端子の場合) にする必要があります。

図 21.84 に GTIOC 端子出力禁止制御の動作例を示します。

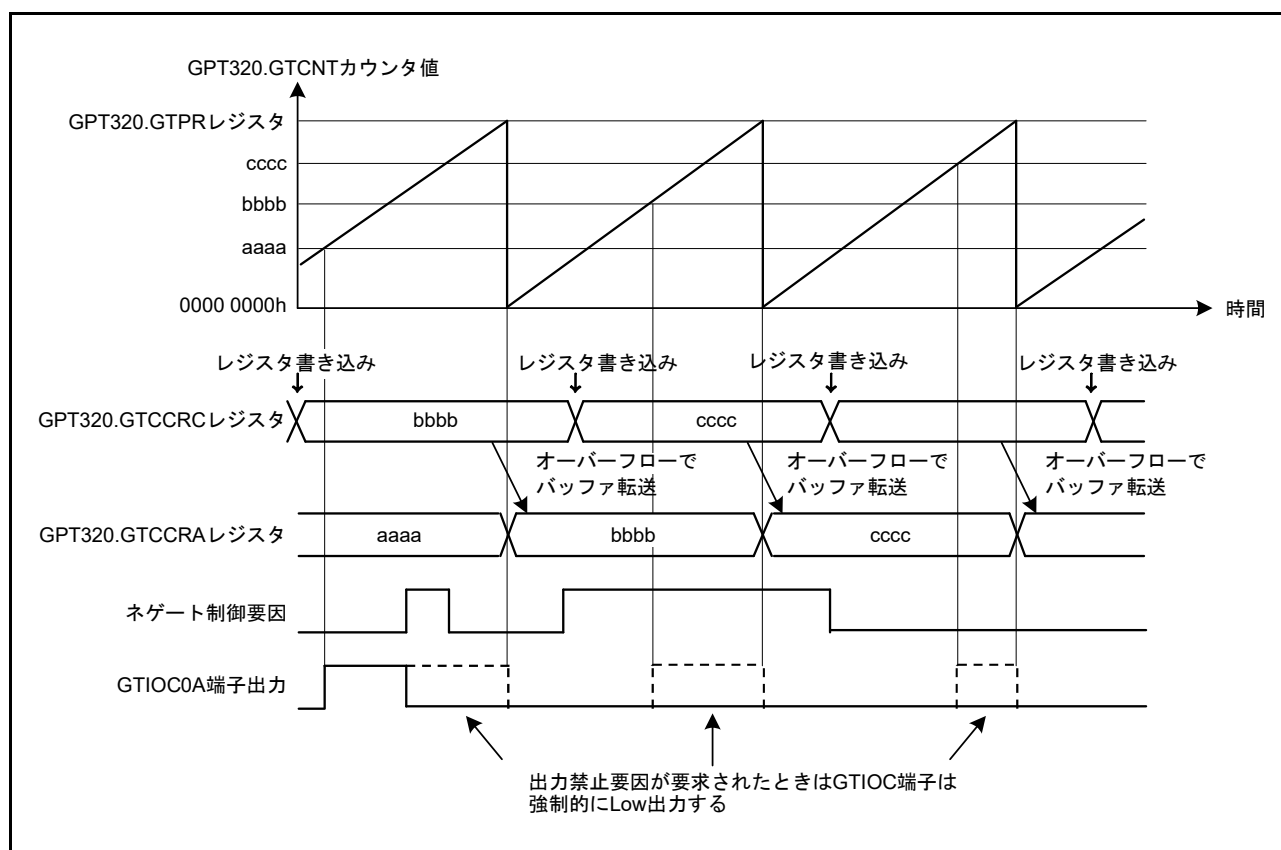


図 21.84 GTIOC 端子出力禁止制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合)

21.8 出力端子の初期化方法

21.8.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。PmnPFS レジスタでポート端子機能を選択し、GTIOR.OAE および GTIOR.OBE ビットを設定し、GPT 機能を外部端子に出力してから、カウントを開始してください。

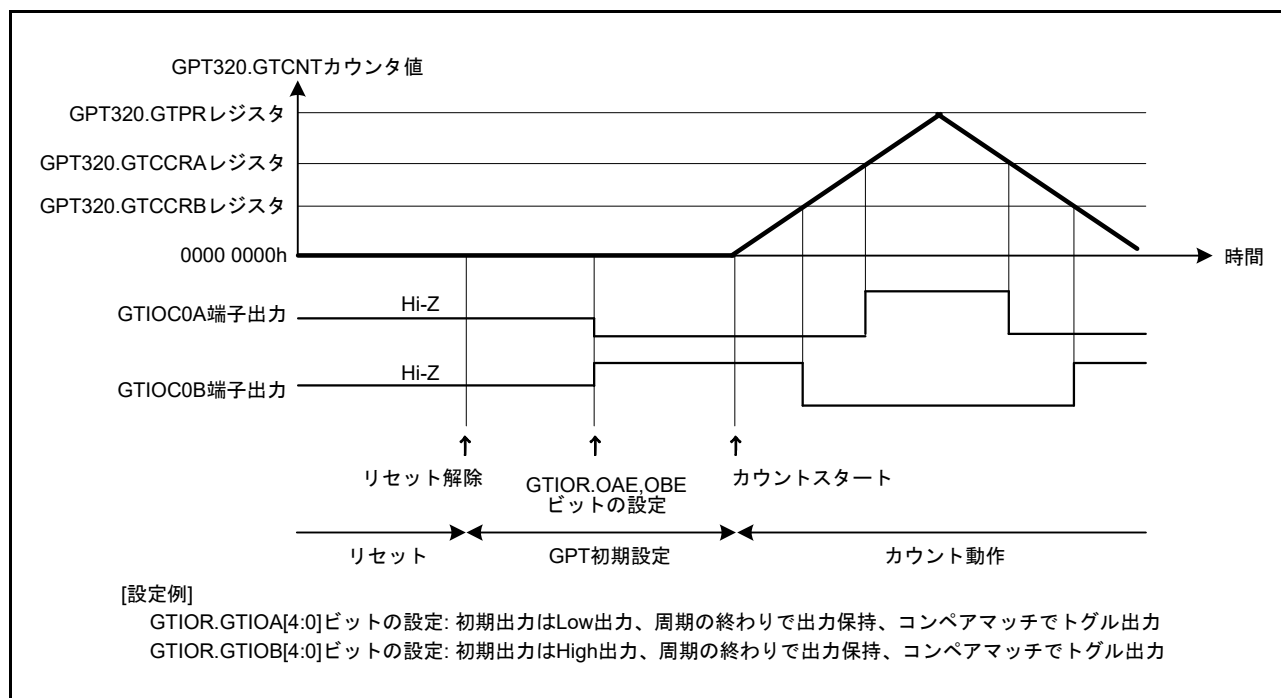


図 21.85 リセット後の端子設定例

21.8.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子処理を実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR レジスタ、および PmnPFS.PMR ビットを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PmnPFS.PMR レジスタの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行った後は、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを再開してください。

21.9 使用上の注意事項

21.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、GPT の動作を許可または禁止できます。リセット後、GPT の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

21.9.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次の両方の条件を満たす必要があります。

- $GTDVU < GTCCRA$
- $0 < GTCCRA < GTPR$

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$ の範囲に収まるように設定する必要があります。GTCCRA = 0 または GTCCRA = GTPR に設定しても、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に GTCCRB レジスタも、 $0 < GTCCRB < GTPR$ の範囲に収まるように設定する必要があります。GTCCRB = 0 または GTCCRB = GTPR に設定しても、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時: $GTCCRC < GTCCRD$ 、 $GTCCRC > GTDVU$ 、 $GTCCRD < (GTPR - GTDVU)$
- ダウンカウント時: $GTCCRC > GTCCRD$ 、 $GTCCRC < (GTPR - GTDVU)$ 、 $GTCCRD > GTDVU$

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時: $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時: $GTPR > GTCCRC > GTCCRD > 0$

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時: $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時: $GTPR > GTCCRE > GTCCRF > 0$

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、 $0 < \text{GTCCRA} < \text{GTPR}$ の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定しても、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < \text{GTCCRB} < \text{GTPR}$ の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定しても、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

21.9.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、 $0 \leq \text{GTCNT} \leq \text{GTPR}$ の範囲に収まるように設定してください。

21.9.4 GTCNT カウンタのスタート/ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート/ストップ制御タイミングは、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート/ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視されます。一方、GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割込みが発生する場合があります。

21.9.5 イベントごとの優先順位

(1) GTCNT レジスタ

表 21.23 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 21.23 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み (GTCNT/GTCLR レジスタへの書き込み)	高 ↑ 低
GTCSR レジスタで設定したハードウェア要因によるクリア	
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるカウントアップ/ダウン	
カウント動作	

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート/ストップと CPU による書き込み (GTCR/GTSTR/GTSTP レジスタへの書き込み) の間で競合があると、CPU による書き込みが優先されます。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(3) GTCCRn レジスタ (n = A ~ F)

インプットキャプチャ/バッファ転送動作と GTCCRn レジスタへの書き込みの間で競合があると、GTCCRn レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みまたはハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRn レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

22. 低消費電力非同期汎用タイマ (AGT)

22.1 概要

低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅および周期の測定、および外部イベントのカウンタに利用可能な 16 ビットのタイマです。

この 16 ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同じアドレスに配置され、AGT レジスタでアクセスが可能です。

表 22.1 に AGT の仕様を、図 22.1 にブロック図を、表 22.2 に入出力端子を示します。

表 22.1 AGT の仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	タイマがアンダーフローするごとにカウントソースをカウントし、出力を反転
	イベントカウンタモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
カウントソース (動作クロック) (注2)		PCLKB、PCLKB/2、PCLKB/8、AGTCLK/d、AGTSCLK/d、または AGT0 (注1) のアンダーフロー信号を選択可能 (d = 1、2、4、8、16、32、64、または 128)
割り込み/イベントリンク機能 (出力)		- アンダーフローイベント信号または測定完了イベント信号 - カウンタのアンダーフロー時 - パルス幅測定モードで、外部入力 (AGTIO_n) のアクティブ幅の測定が終了したとき - パルス周期測定モードで、外部入力 (AGTIO_n) の設定エッジが入力されたとき - コンペアマッチ A イベント信号 - AGT と AGTCMA の値が一致したとき (コンペアマッチ A 機能が有効) - コンペアマッチ B イベント信号 - AGT と AGTCMB の値が一致したとき (コンペアマッチ B 機能が有効) - AGT1_AGTI、AGT1_AGTCMAI、または AGT1_AGTCMBI による、ソフトウェアスタンバイモードからの復帰が可能
選択可能な機能		- コンペアマッチ機能 - コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能

注 1. AGT0 は AGT0 のアンダーフロー信号を使用できません。AGT1 が、AGT0 タイマからのアンダーフローイベント信号に直接接続します。

注 2. 周辺モジュールクロック (PCLKB) 周波数 $\geq$ カウントソースクロック周波数となるように設定してください。

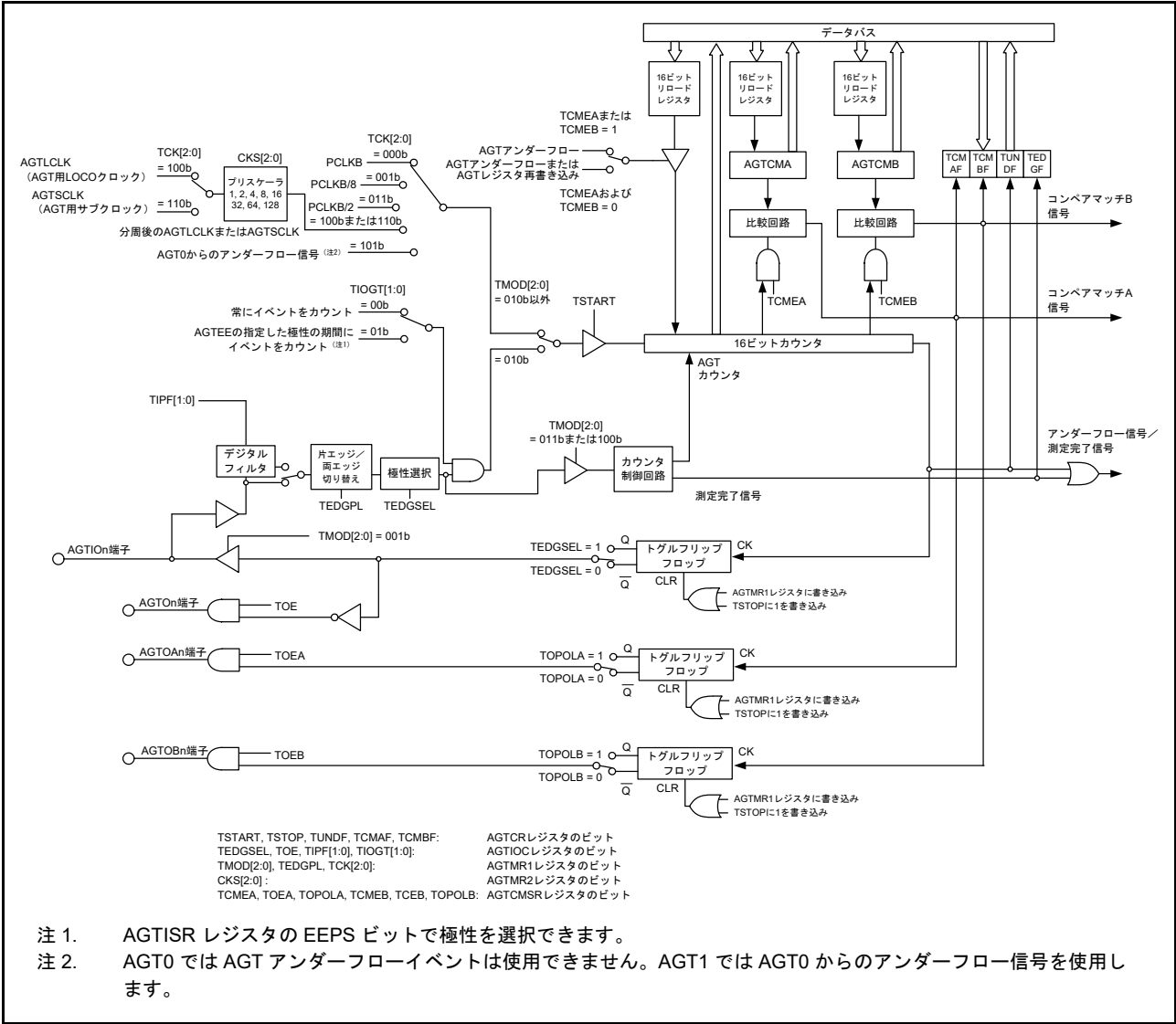


図 22.1 AGT のブロック図

表 22.2 AGTの入出力端子

端子名	入出力	機能
AGTEEn	入力	AGT の外部イベント入力
AGTIOOn	入出力	AGT の外部イベント入力およびパルス出力
AGTOOn	出力	AGT のパルス出力
AGTOAn	出力	AGT の出力コンペアマッチA出力
AGTOBn	出力	AGT の出力コンペアマッチB出力

注 . チャネル番号 (n = 0, 1)

22.2 レジスタの説明

22.2.1 AGT カウンタレジスタ (AGT)

アドレス [AGT0.AGT 4008 4000h](#), [AGT1.AGT 4008 4100h](#)



ビット	機能	設定範囲	R/W
b15-b0	16ビットのカウンタおよびリロードレジスタ (注1) (注2)	0000h~FFFFh	R/W

- 注 1. AGTCR レジスタの TSTOP ビットに 1 を書き込むと、この 16 ビットカウンタは強制的に停止して、FFFFh になります。
- 注 2. AGTMR1 レジスタの TCK[2:0] ビットの設定値が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0000h になると、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度だけ発生します。AGTOn および AGTIOh はトグル出力となります。
- AGT レジスタがイベントカウンタモードで 0000h の場合、TCK[2:0] ビットの値にかかわらず、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。
- また、指定したカウント期間以外の期間も AGTOn はトグル出力となります。AGT レジスタが 0001h 以上の場合、AGT がアンダーフローするたびに要求信号が発生します。

AGT は 16 ビットのレジスタです。書く場合リロードレジスタに書き込まれ、読む場合はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は、[22.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。AGT レジスタは、16 ビットのメモリ操作命令によって設定できます。

22.2.2 AGT コンペアマッチ A レジスタ (AGTCMA)

アドレス [AGT0.AGTCMA 4008 4002h](#), [AGT1.AGTCMA 4008 4102h](#)



ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチAデータを格納 (注1)	0000h~FFFFh	R/W

- 注 1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは FFFFh にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[22.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。AGTCMA レジスタは、16 ビットのメモリ操作命令によって設定できます。

22.2.3 AGT コンペアマッチ B レジスタ (AGTCMB)

アドレス AGT0.AGTCMB 4008 4004h, AGT1.AGTCMB 4008 4104h



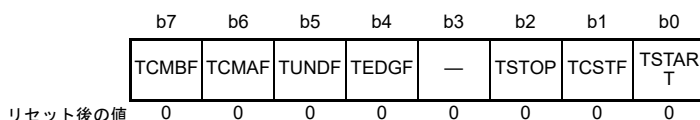
ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチBデータを格納(注1)	0000h~FFFFh	R/W

注 1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは FFFFh にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[22.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。AGTCMB レジスタは、16 ビットのメモリ操作命令によって設定できます。

22.2.4 AGT コントロールレジスタ (AGTCR)

アドレス AGT0.AGTCR 4008 4008h, AGT1.AGTCR 4008 4108h



ビット	シンボル	ビット名	機能	R/W
b0	TSTART	AGT カウント開始(注2)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	AGT カウント状態フラグ(注2)	0: カウント停止 1: カウント実行中	R
b2	TSTOP	AGT カウント強制停止(注1)	0: 書き込みは無効 1: 強制的にカウント停止	W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TEDGF	アクティブエッジ判定フラグ	0: アクティブエッジの未受信 1: アクティブエッジの受信	R/(W) (注3)
b5	TUNDF	アンダーフローフラグ	0: アンダーフローなし 1: アンダーフローあり	R/(W) (注3)
b6	TCMAF	コンペアマッチAフラグ	0: 不一致 1: 一致	R/(W) (注3)
b7	TCMBF	コンペアマッチBフラグ	0: 不一致 1: 一致	R/(W) (注3)

注 1. TSTOP ビットに 1 (カウントの強制停止) を書き込むと、TSTOP、TSTART、および TCSTF ビットが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。

注 2. TSTART および TCSTF ビットの使用については、[22.4.1 カウント動作のスタートおよびストップ制御](#)を参照してください。

注 3. フラグを 0 にするための 0 書き込みのみ可能です。

TSTART ビット (AGT カウント開始)

カウント動作は、TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 (カウント開始) にすると、カウントソースと同期して、TCSTF ビットが 1 (カウント実行中) になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF ビットが 0 (カウント停止) になります。詳細は、[22.4.1 カウント動作のスタートおよびストップ制御](#)を参照してください。

TCSTF フラグ (AGT カウント状態フラグ)

AGT カウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき (カウントソースと同期して、TCSTF ビットが 1 になる)

[0 になる条件]

- TSTART ビットに 0 を書いたとき (カウントソースと同期して、TCSTF ビットが 0 になる)
- TSTOP ビットに 1 を書いたとき

TSTOP ビット (AGT カウント強制停止)

本ビットに 1 を書くと、カウントが強制停止します。読むと 0 が読めます。

TEDGF フラグ (アクティブエッジ判定フラグ)

アクティブエッジが検出されたことを示します。

[1 になる条件]

- 外部入力 (AGTIO_n) のアクティブ幅の測定がパルス幅測定モードで、終了したとき
- 外部入力 (AGTIO_n) の設定エッジがパルス周期測定モードで、入力されたとき

[0 になる条件]

- ソフトウェアによって 0 が書かれた時

TUNDF フラグ (アンダーフローフラグ)

カウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- ソフトウェアによって 0 が書かれた時

TCMAF フラグ (コンペアマッチ A フラグ)

コンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアによって 0 が書かれた時

TCMBF フラグ (コンペアマッチ B フラグ)

コンペアマッチ B が検出されたことを示します。

[1 になる条件]

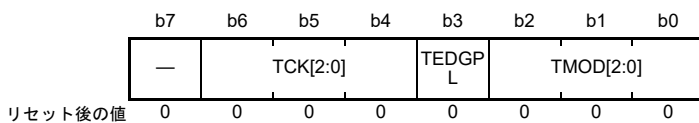
- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアによって 0 が書かれた時

22.2.5 AGT モードレジスタ 1 (AGTMR1)

アドレス AGT0.AGTMR1 4008 4009h, AGT1.AGTMR1 4008 4109h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TMOD[2:0]	動作モード (注3)	b2 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 上記以外は設定しないでください。	R/W
b3	TEDGPL	エッジ極性 (注4)	0: 片エッジ 1: 両エッジ	R/W
b6-b4	TCK[2:0]	カウントソース (注1) (注2) (注5)	b6 b4 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTMR2 レジスタの CKS[2:0] ビットで設定した分周クロック AGTLCLK 1 0 1: AGT0からのアンダーフローイベント信号 (注6) 1 1 0: AGTMR2 レジスタの CKS[2:0] ビットで設定した分周クロック AGTSCLK 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 . AGTMR1 レジスタに書き込みを行うと、AGT の AGTOn、AGTIO_n、AGTOAn、および AGTOB_n 端子 (n = 0, 1) からの出力が初期化されます。初期化時の出力レベルの詳細は、[22.2.7 AGT I/O コントロールレジスタ \(AGTIOC\)](#) の説明を参照してください。
- 注 1. イベントカウンタモードを選択した場合、TCK[2:0] ビットの設定にかかわらず、カウントソースとして外部入力 (AGTIO_n) が選択されます。
- 注 2. カウント動作中は、カウントソースを切り替えしないでください。カウントソースは、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ切り替えてください。
- 注 3. AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
- 注 4. TEDGPL ビットは、イベントカウンタモード時に限り有効です。
- 注 5. AGT をソフトウェアスタンバイモードまたはスリープモードで動作させるには、カウントソースとして AGTLCLK または AGTSCLK (TCK[2:0] = 100b または 110b) を選択してください。
- 注 6. AGT0 では、AGT0 のアンダーフローを使用できません (設定禁止)。AGT1 が、AGT0 のアンダーフローを使用します。

22.2.6 AGT モードレジスタ 2 (AGTMR2)

アドレス AGT0.AGTMR2 4008 400Ah, AGT1.AGTMR2 4008 410Ah

b7	b6	b5	b4	b3	b2	b1	b0
LPM	—	—	—	—	CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	AGTLCLKまたは AGTSCLKカウン ト ソースクロック分周比 (注1) (注2) (注3)	b2 b0 0 0 0 : 1/1 0 0 1 : 1/2 0 1 0 : 1/4 0 1 1 : 1/8 1 0 0 : 1/16 1 0 1 : 1/32 1 1 0 : 1/64 1 1 1 : 1/128	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	LPM	低消費電力モード	0 : 通常モード 1 : 低消費電力モード	R/W

- 注 1. カウント動作中は、CKS[2:0] ビットを書き換えないでください。CKS[2:0] ビットは、AGTCR レジスタの TSTART ビットおよび TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。
- 注 2. カウントソースが AGTLCLK または AGTSCLK の場合に CKS[2:0] の切り替えが有効となります。
- 注 3. CKS[2:0] が 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0] ビットを切り替えないでください。CKS[2:0] を 000b にした後、AGTMR1 レジスタの TCK[2:0] ビットを切り替えて、カウントソースの 1 サイクル待機してください。

LPM ビット (低消費電力モード)

低消費電力モードに設定します。これによって、特定の AGT レジスタへのアクセスに影響が及びます。低消費電力で動作させるには本ビットを 1 にしてください。本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

このビットを 1 から 0 に切り替えた後は、上記のレジスタへの最初のアクセスが以下のように制限されます。

- AGT : レジスタを 2 回読む必要があります。2 回目の読み出しデータのみが有効
- AGT、AGTCMA、AGTCMB、および AGTCR : 上記のレジスタに書き込む場合、少なくともカウントソースクロックの 2 サイクルは必要

22.2.7 AGT I/O コントロールレジスタ（AGTIOC）

アドレス AGT0.AGTIOC 4008 400Ch, AGT1.AGTIOC 4008 410Ch

b7	b6	b5	b4	b3	b2	b1	b0
TIOGT[1:0]	TIPF[1:0]	—	TOE	—	TEDGSEL		
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	I/O 極性切り替え	動作モードによって機能が異なります（表 22.3 および表 22.4 参照）。TEDGSEL ビットは、AGTOn の出力極性、および AGTIOOn の入出力エッジと極性を切り替えます。パルス出力モードでは、AGTOn の出力極性と AGTIOOn の出力極性のみが制御されます。AGTMR1 レジスタに書き込みを行った場合、または AGTCR レジスタの TSTOP ビットに 1 を書いた場合、AGTOn 出力と AGTIOOn 出力が初期化されます。	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	TOE	AGTOn 出力許可	0 : AGTOn 出力を禁止 1 : AGTOn 出力を許可	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5-b4	TIPF[1:0]	入力フィルタ（注3）	b5 b4 0 0 : フィルタなし 0 1 : PCLKB でのフィルタサンプリング 1 0 : PCLKB/8 でのフィルタサンプリング 1 1 : PCLKB/32 でのフィルタサンプリング これらのビットは、AGTIOOn 入力用フィルタのサンプリング周波数を指定します。AGTIOOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。	R/W
b7-b6	TIOGT[1:0]	カウント制御（注1）（注2）	b7 b6 0 0 : 常にイベントがカウントされる 0 1 : AGTEEn に指定された極性の期間に、イベントがカウントされる 上記以外は設定しないでください。	R/W

- 注 1. AGTEEn またはタイマ出力信号を使用する場合、イベントをカウントする極性は AGTISR レジスタの EEPs ビットで選択できます。
- 注 2. TIOGT[1:0] ビットは、イベントカウンタモード時に限り有効です。
- 注 3. ソフトウェアスタンバイモード中にイベントカウンタモード動作が実行される場合、デジタルフィルタ機能は使用できません。

表 22.3 AGTIOOn の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0 : High で出力開始（初期レベル : High） 1 : Low で出力開始（初期レベル : Low）
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Low レベル幅を測定 1 : High レベル幅を測定
パルス周期測定モード	0 : 1 つの立ち上がりエッジから次の立ち上がりエッジまで測定 1 : 1 つの立ち下がりエッジから次の立ち下がりエッジまで測定

表 22.4 AGTOn の出力極性切り替え

動作モード	機能
全モード	0 : Low で出力開始（初期レベル : Low） 1 : High で出力開始（初期レベル : High）

22.2.8 AGT イベント端子選択レジスタ (AGTISR)

アドレス AGT0.AGTISR 4008 400Dh, AGT1.AGTISR 4008 410Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	EEPS	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	EEPS	AGTEEn極性選択	0 : Lowの期間、イベントをカウントする 1 : Highの期間、イベントをカウントする	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

22.2.9 AGT コンペアマッチ機能選択レジスタ (AGTCMSR)

アドレス AGT0.AGTCMSR 4008 400Eh, AGT1.AGTCMSR 4008 410Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	TOPOL B	TOEB	TCMEB	—	TOPOL A	TOEA	TCMEA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCMEA	コンペアマッチAレジスタ許可 (注1) (注2)	0 : コンペアマッチAレジスタ禁止 1 : コンペアマッチAレジスタ許可	R/W
b1	TOEA	AGTOAn出力許可 (注1) (注2)	0 : AGTOAn出力を禁止 1 : AGTOAn出力を許可	R/W
b2	TOPOLA	AGTOAn極性選択 (注1) (注2)	0 : AGTOAn出力をLowで開始 1 : AGTOAn出力をhighで開始	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TCMEB	コンペアマッチBレジスタ許可 (注1) (注2)	0 : コンペアマッチBレジスタ禁止 1 : コンペアマッチBレジスタ許可	R/W
b5	TOEB	AGTOBn出力許可 (注1) (注2)	0 : AGTOBn出力を禁止 1 : AGTOBn出力を許可	R/W
b6	TOPOLB	AGTOBn極性選択 (注1) (注2)	0 : AGTOBn出力をLowで開始 1 : AGTOBn出力をhighで開始	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えしないでください。AGTCR レジスタの TSTART ビットおよび TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ、AGTCMSR レジスタを書き換えてください。

注 2. パルス幅測定モードまたはパルス周期測定モード中は、1 にしないでください。

22.2.10 AGT 端子選択レジスタ（AGTIOSEL）

アドレス AGT0.AGTIOSEL 4008 400Fh, AGT1.AGTIOSEL 4008 410Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TIES	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TIES	AGTIO _n 入力許可	0：ソフトウェアスタンバイモード中、外部イベント入力を禁止 1：ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

AGTIOSEL レジスタは、ソフトウェアスタンバイモード時に AGTIO_n を使用する場合、AGTIO_n 端子を設定するためのレジスタです。AGTIOSEL レジスタは、8 ビットのメモリ操作命令によって設定できます。

TIES ビット（AGTIO_n 入力許可）

外部イベント入力を許可または禁止します。

22.3 動作説明

22.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA/TCMEB ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA および TCMEB ビットが 0 (コンペアマッチ A/B レジスタが無効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA または TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 22.2 および図 22.3 に示します。

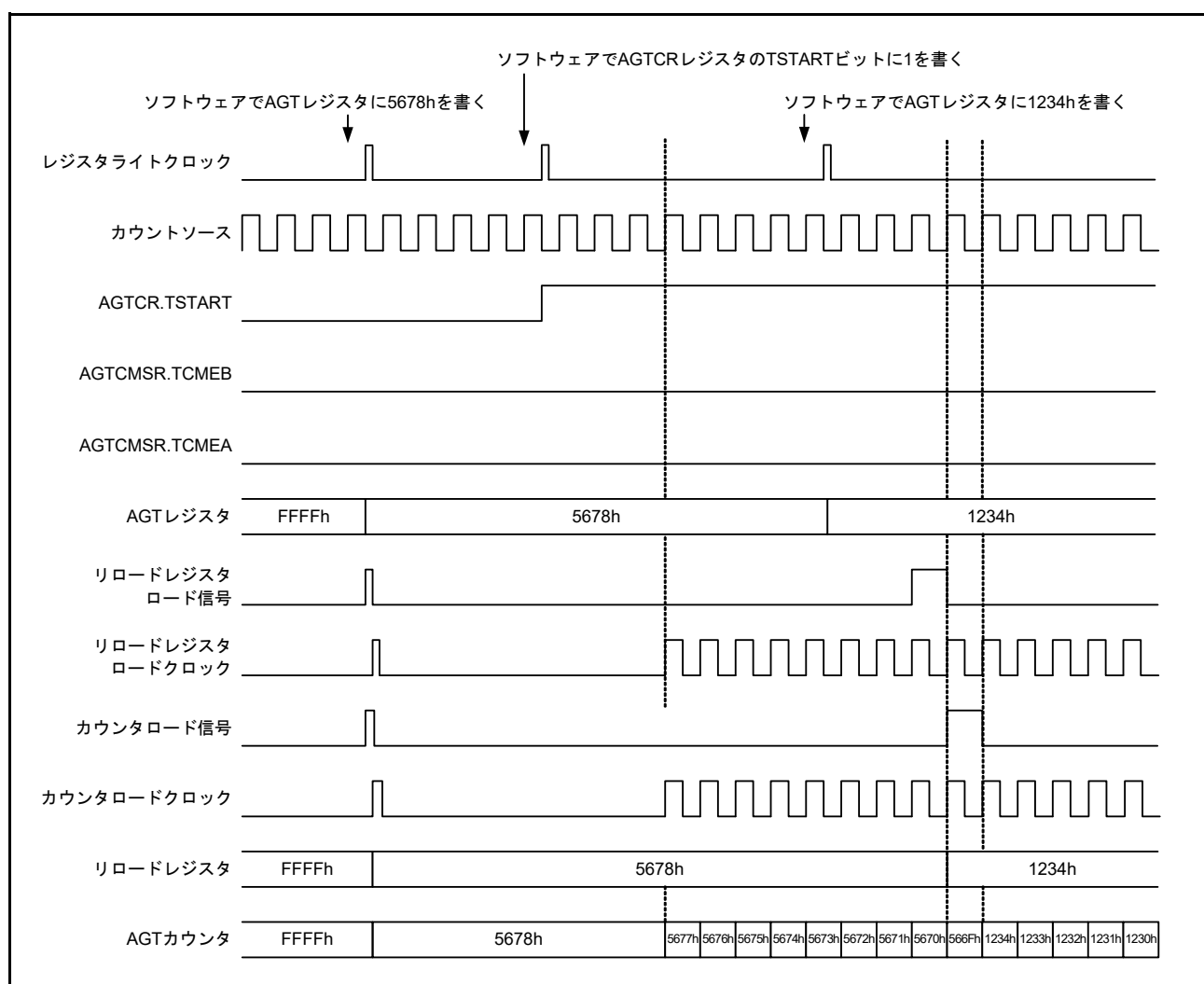


図 22.2 TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミング (コンペアマッチ A レジスタおよびコンペアマッチ B レジスタが無効の場合)

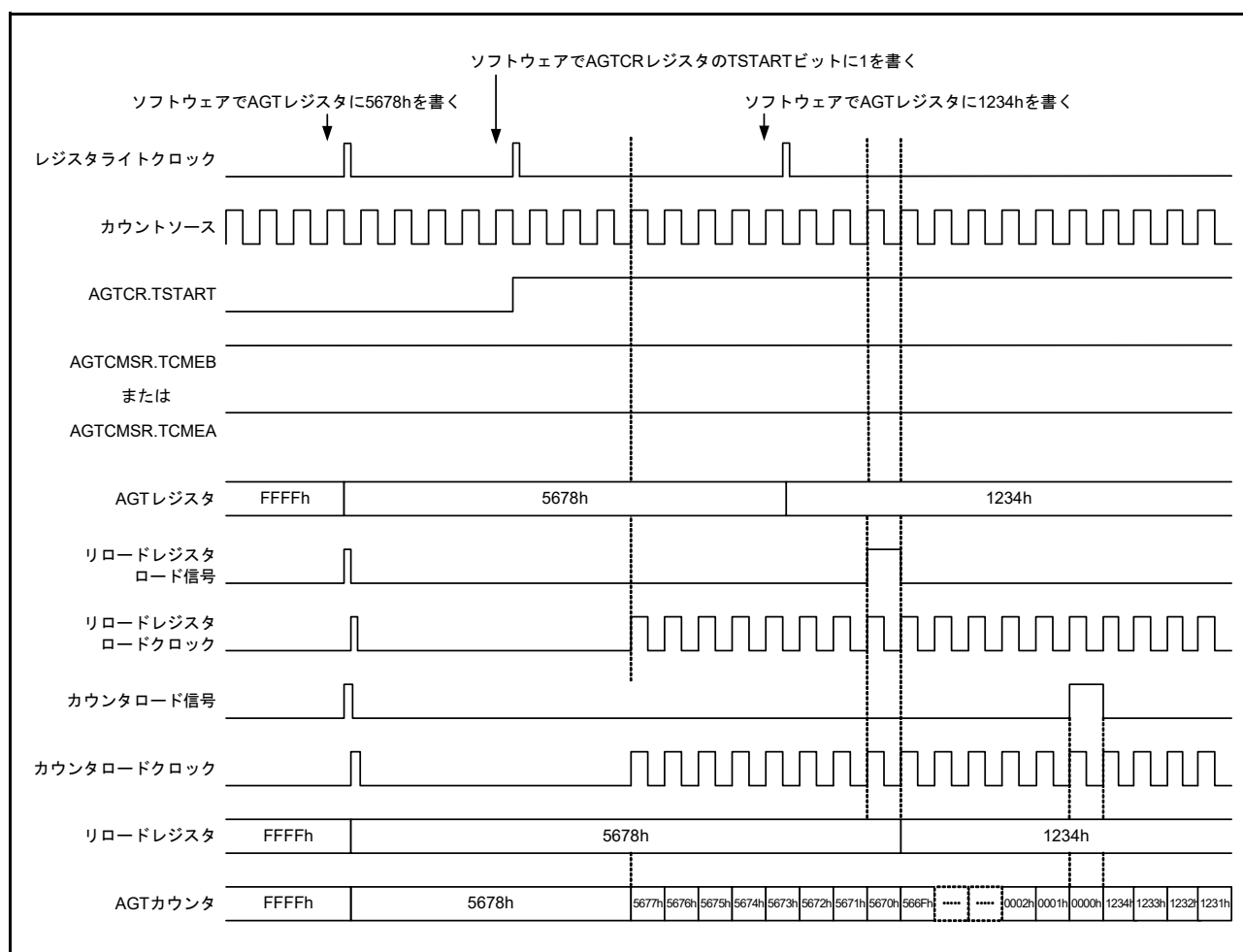


図 22.3 TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミング（コンペアマッチ A レジスタまたはコンペアマッチ B レジスタが有効の場合）

22.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作

動作モードにかかわらず、コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとコンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1 (カウント開始) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

コンペアレジスタ A に対する TSTART ビット値による書き換え動作のタイミングを図 22.4 に示します。コンペアレジスタ B のタイミングもコンペアレジスタ A と同じです。

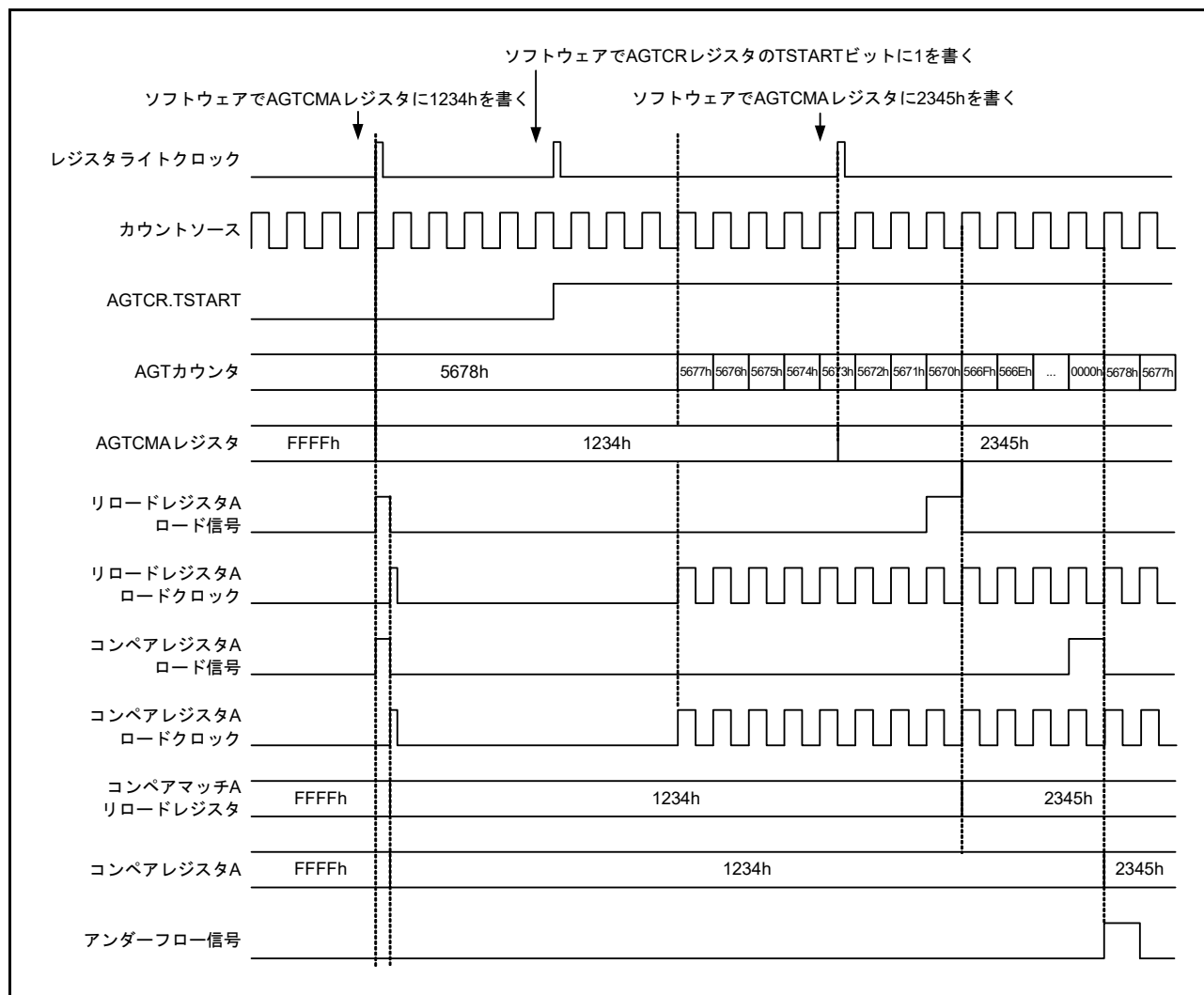


図 22.4 TSTART ビット値による書き換え動作のタイミング (コンペアレジスタ A の場合)

22.3.3 タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0000h に達したときに、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が発生します。

タイマモードでの動作例を図 22.5 に示します。

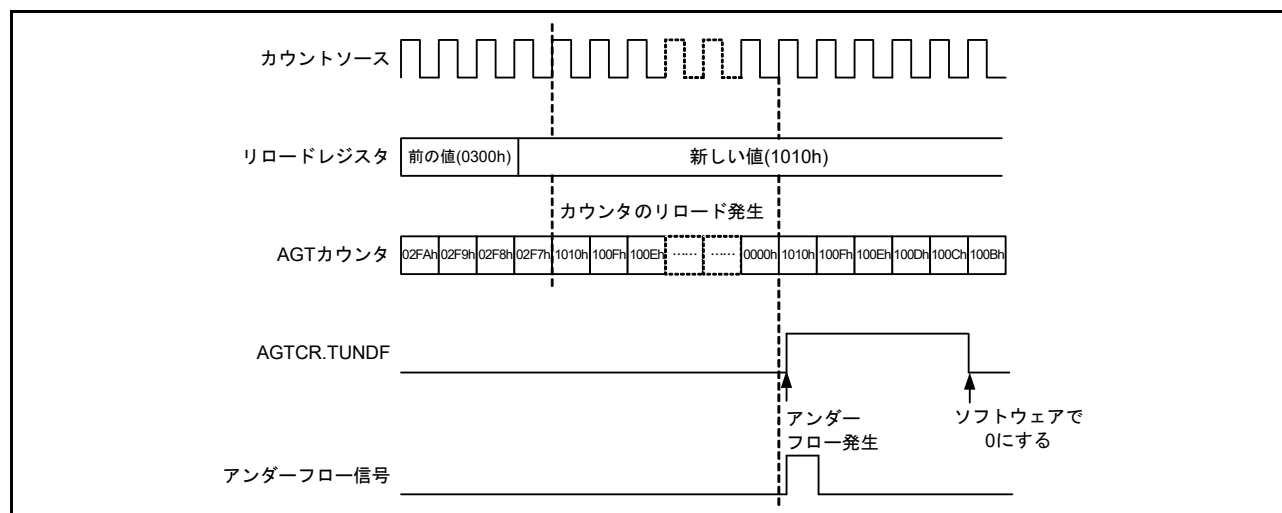


図 22.5 タイマモードでの動作例

22.3.4 パルス出力モード

このモードでは、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するごとに AGTIO_n および AGTO_n 端子の出力レベルが反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0000h に達したときに、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIO_n および AGTO_n 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTO_n 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 22.6 に示します。

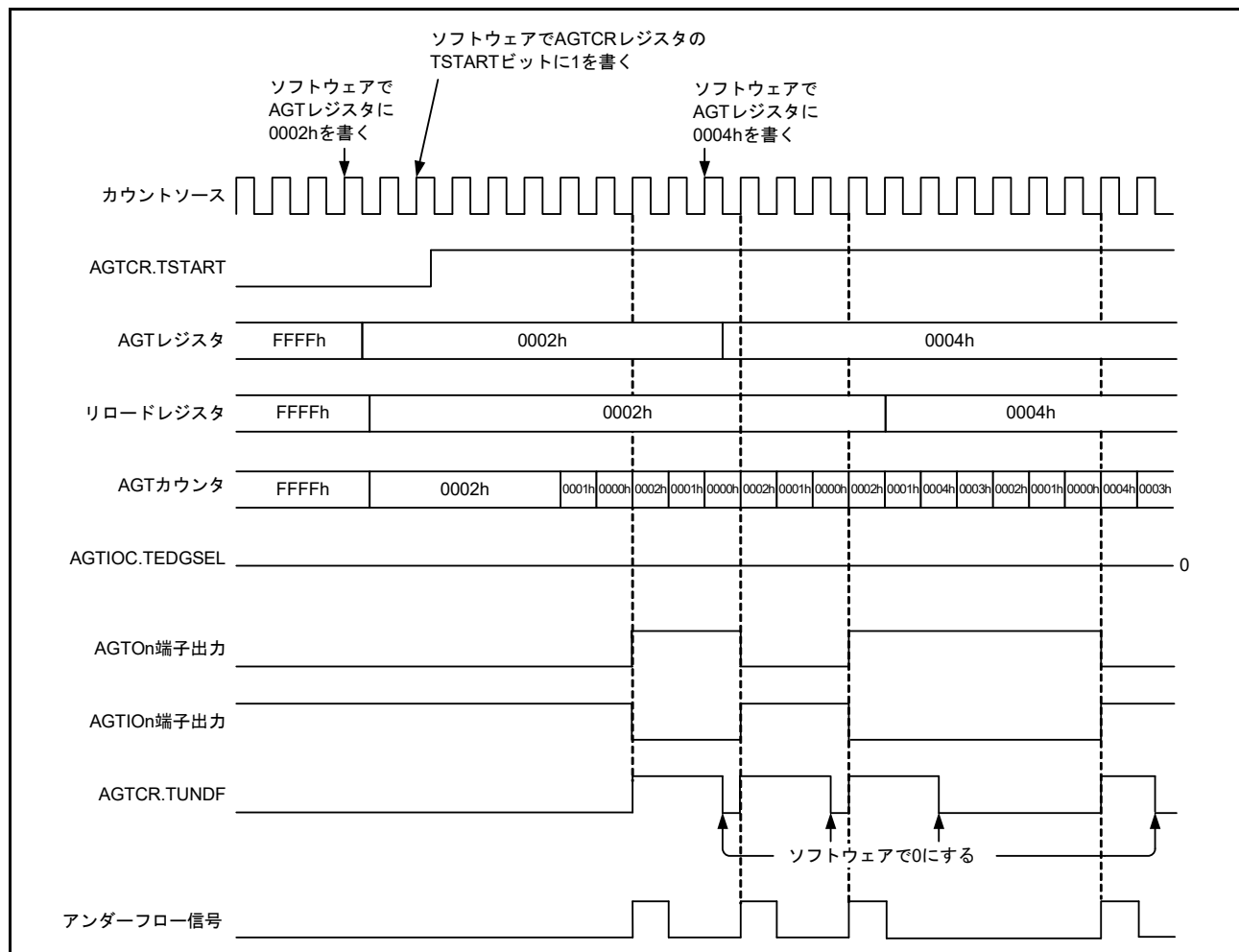


図 22.6 パルス出力モードでの動作例

22.3.5 イベントカウンタモード

このモードでは、カウンタは AGTIO_n 端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0] ビットと AGTISR レジスタによって異なる設定が可能です。さらに、AGTIOC レジスタの TIOF[1:0] ビットによって、AGTIO_n 入力のフィルタ機能を指定できます。また、イベントカウンタモードでも、AGTIO_n 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 22.7 に示します。

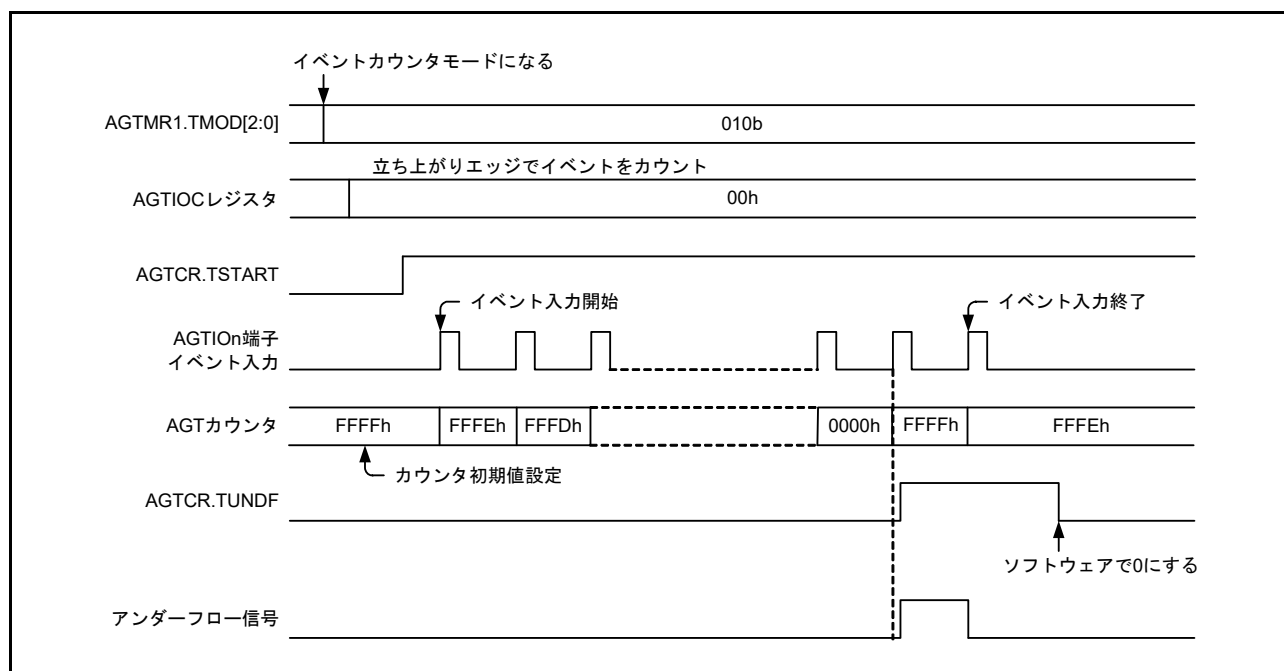


図 22.7 イベントカウンタモードでの動作例 1

イベントカウンタモードにおける、指定された期間 (AGTIOC レジスタの TIOGT[1:0] ビットが 01b) 中のカウント動作例を図 22.8 に示します。

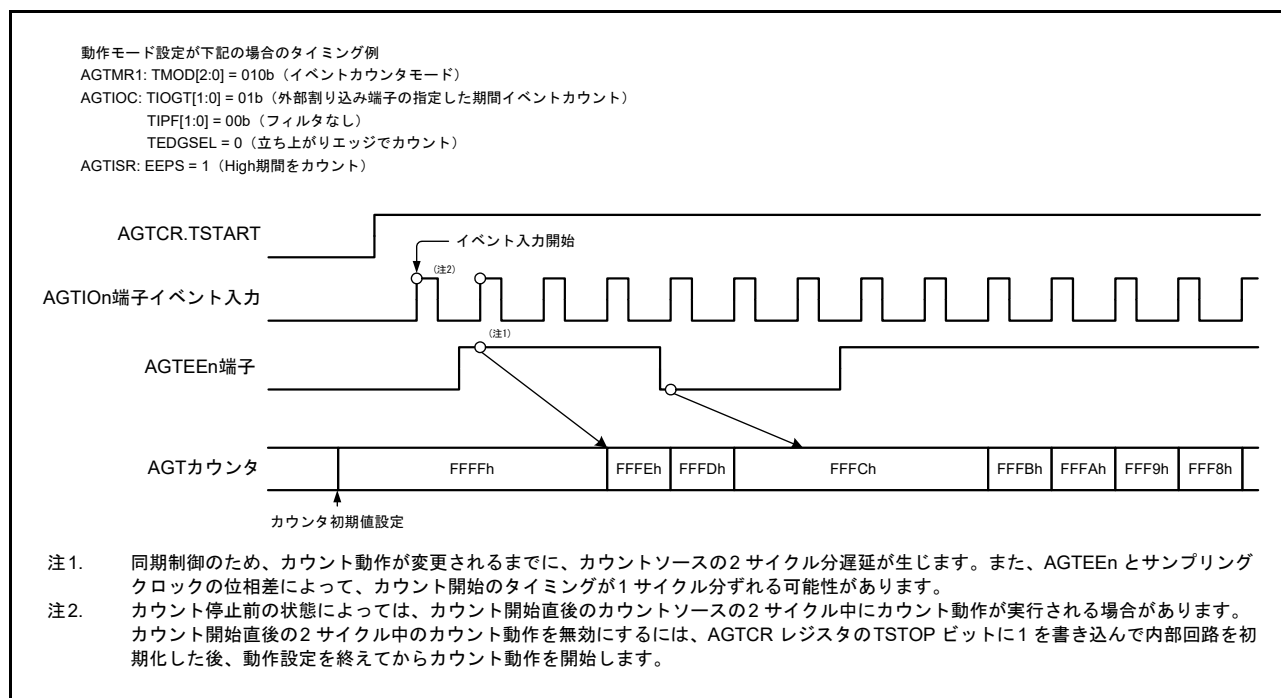


図 22.8 イベントカウンタモードでの動作例 2

22.3.6 パルス幅測定モード

このモードでは、AGTIO_n 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIO_n 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIO_n 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み込むことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 になり、割り込み要求が発生します。

パルス幅測定モードでの動作例を図 22.9 に示します。

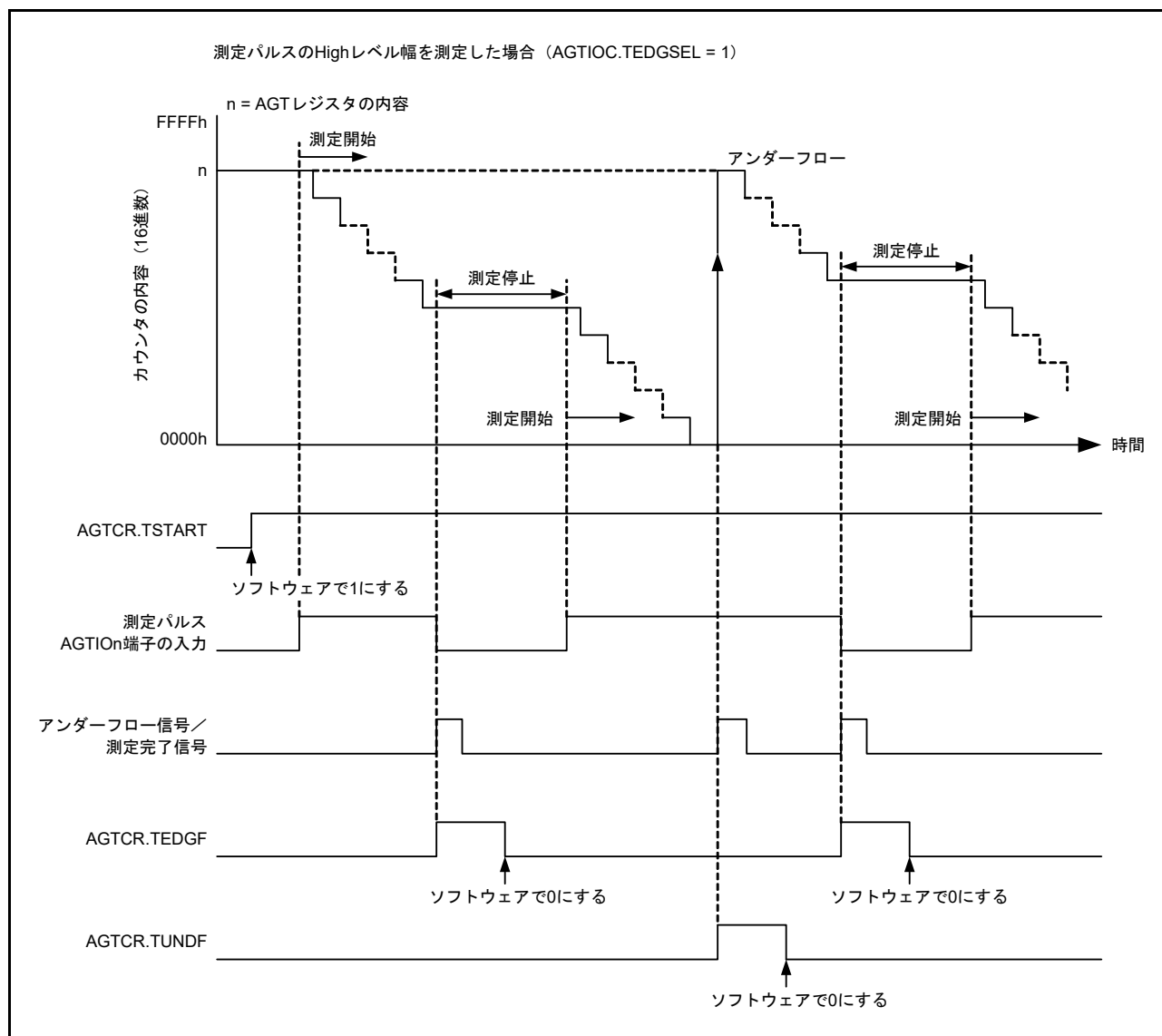


図 22.9 パルス幅測定モードでの動作例

22.3.7 パルス周期測定モード

このモードでは、AGTIO_n 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIO_n 端子に入力されると、カウント値が、カウントソースの立ち上がりエッジで読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。この時点で読み出しバッファ (AGT レジスタ) が読み出され、リロード値 (22.4.5 イベント番号、パルス幅、およびパルス周期の計算方法を参照) との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 (アンダーフロー) になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 22.10 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、カウントソースの周期よりも長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。

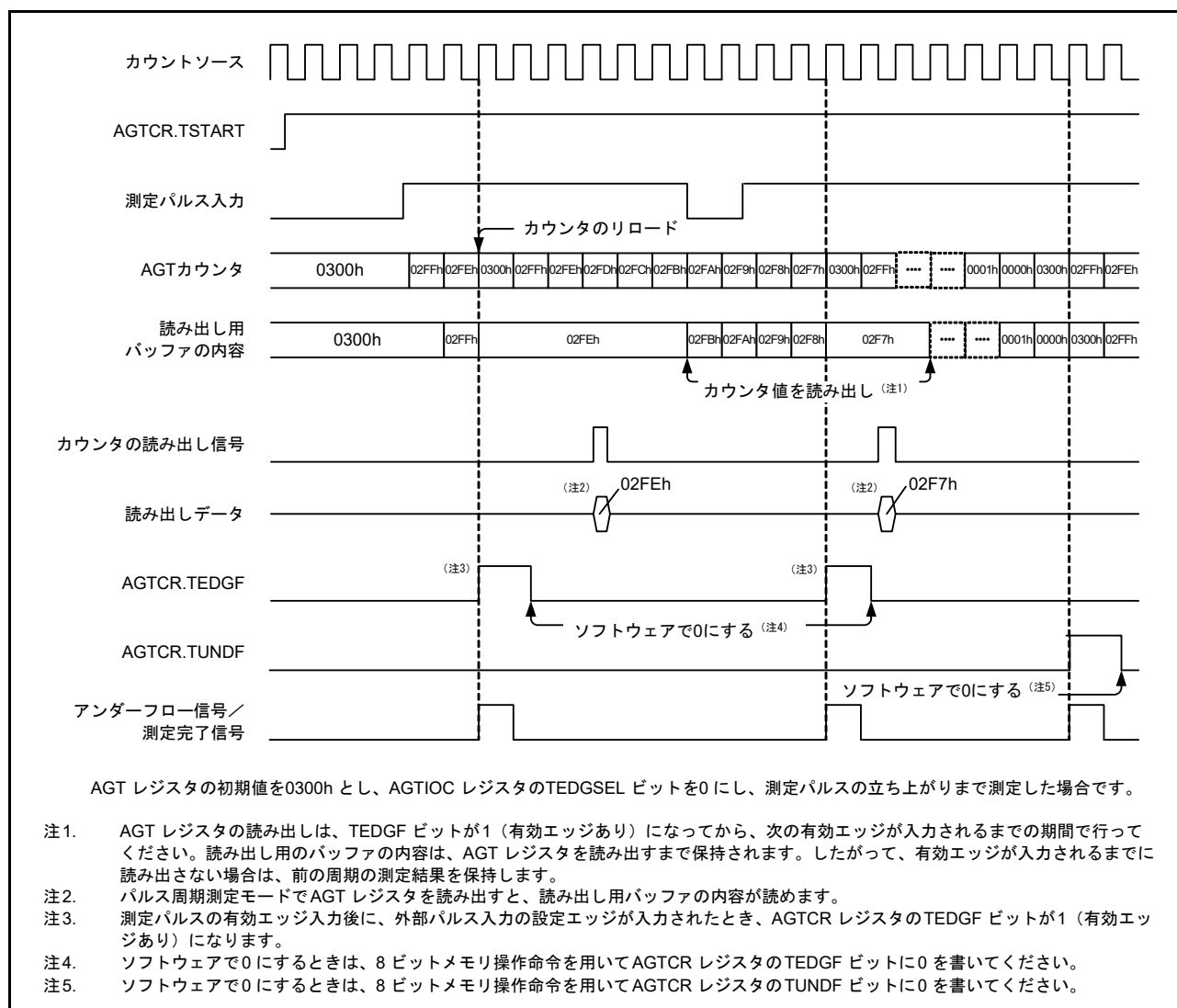


図 22.10 パルス周期測定モードでの動作例

22.3.8 コンペアマッチ機能

この機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致（コンペアマッチ）を検出します。この機能は、AGTCMSR レジスタの TCMEA ビットまたは TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF ビットが 1（一致）になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタへの書き替え動作のタイミングは異なります。詳細は、[22.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。また、AGTOAn および AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA ビットまたは TOPOLB ビットで選択できます。

コンペアマッチモードでの動作例を図 22.11 に示します。

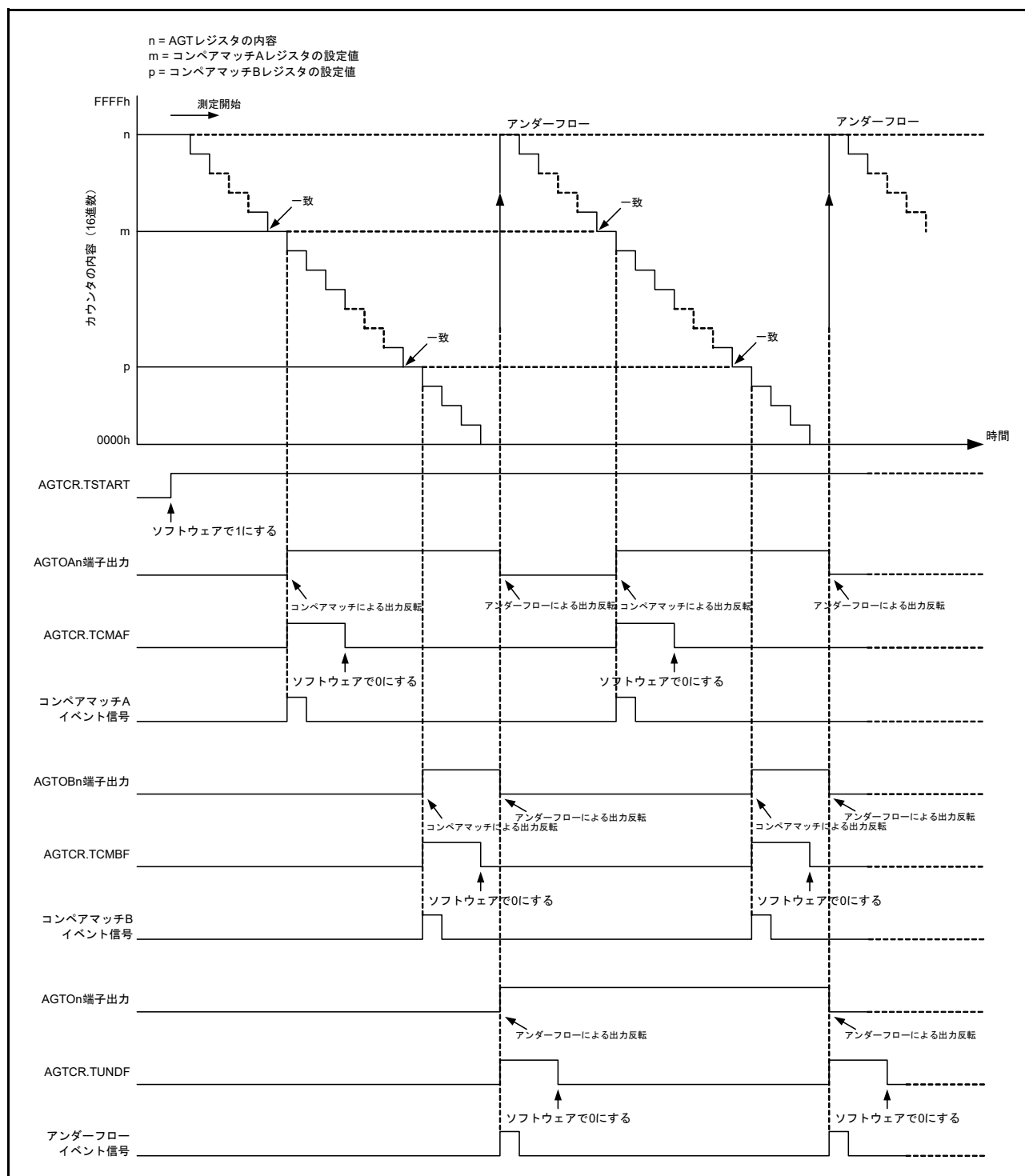


図 22.11 コンペアマッチモードでの動作例 (TOPOLA = 0、TOPOLB = 0 の場合)

22.3.9 各モードの出力設定

各モードでの AGTOn、AGTIOOn、AGTOAn、および AGTOBn 端子の状態を表 22.5 ～表 22.8 に示します。

表 22.5 AGTOn端子の設定

動作モード	AGTIOC レジスタ		AGTOn端子出力
	TOE ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止

表 22.6 AGTIOOn端子の設定

動作モード	AGTIOC レジスタ	AGTIOn 端子入出力
	TEDGSEL ビット	
タイマモード	0 または 1	入力 (使用しない)
パルス出力モード	1	通常出力
	0	反転出力
イベントカウンタモード	0 または 1	入力
パルス幅測定モード		
パルス周期測定モード		

表 22.7 AGTOAn端子の設定

動作モード	AGTCMSR レジスタ		AGTOAn端子出力
	TOEA ビット	TOPOLA ビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 22.8 AGTOBn端子の設定

動作モード	AGTCMSR レジスタ		AGTOBn端子出力
	TOEB ビット	TOPOLB ビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

22.3.10 スタンバイモード

AGT はソフトウェアスタンバイモードでも動作可能です。カウント開始 (TSTART = 1 および TCSTF = 1) 状態でソフトウェアスタンバイモードに設定してください。

ソフトウェアスタンバイモードで使用可能な設定を [表 22.9](#) および [表 22.10](#) に示します。

表 22.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPUの回復要因
タイマモード	100b または 110b	AGTLCLK または AGTSCLK	-
パルス出力モード	100b または 110b	AGTLCLK または AGTSCLK	-
イベントカウンタモード	- (無効)	AGTIO0	-
パルス幅測定モード	100b または 110b	AGTLCLK または AGTSCLK	-
パルス周期測定モード	100b または 110b	AGTLCLK または AGTSCLK	-

表 22.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPUの回復要因
タイマモード	100b、110b、または 101b (注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	- アンダーフロー - コンペアマッチ A/B
パルス出力モード	100b、110b、または 101b (注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	- アンダーフロー - コンペアマッチ A/B
イベントカウンタモード	- (無効)	AGTIO1	- アンダーフロー - コンペアマッチ A/B
パルス幅測定モード	100b、110b、または 101b (注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	- アンダーフロー - アクティブエッジ
パルス周期測定モード	100b、110b、または 101b (注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	- アンダーフロー - アクティブエッジ

注. ソフトウェアスタンバイモードの解除は AGT1 のみです。

注 1. AGT0 が [表 22.9](#) の状態で動作している場合のみ。

22.3.11 割り込み要因

AGT には、表 22.11 に示すように、3 種類の割り込み要因があります。

表 22.11 AGT 割り込み要因

名称	割り込み要因	DTC の起動
AGTn_AGTI	- カウンタのアンダーフロー時 - 外部入力（AGTIO_n）のアクティブ幅の測定がパルス幅測定モードで終了したとき - 外部入力（AGTIO_n）の設定エッジがパルス周期測定モードで入力されたとき	可能
AGTn_AGTCMAI	AGT と AGTCMA の値が一致したとき	可能
AGTn_AGTCMBI	AGT と AGTCMB の値が一致したとき	可能

注 . チャンネル番号（n = 0, 1）

22.3.12 ELC へのイベント信号出力

AGT はイベントリンクコントローラ（ELC）を用いて、割り込み要求信号をイベント信号として使用することにより、指定したモジュールに対するリンク動作の実行が可能です。AGT は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー／測定完了信号をイベント信号として出力します。詳細は、「[17. イベントリンクコントローラ（ELC）](#)」を参照してください。

22.4 使用上の注意事項

22.4.1 カウント動作のスタートおよびストップ制御

- 動作モード (表 22.1 参照) がイベントカウンタモード以外に設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0] = 101b) 以外に設定されている場合
- カウント停止状態にあるとき、AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、カウントソースの 3 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。
- カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、カウントソースの 3 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。
- TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. AGT 関連レジスタ : AGT, AGTCMA, AGTCMB, AGTCR, AGTMR1, AGTMR2, AGTIOC, AGTISR, および AGTCMSR

- 動作モード (表 22.1 参照) がイベントカウンタモードに設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0] = 101b) に設定されている場合
- カウント停止状態にあるとき、AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、PCLKB の 2 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。
- カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、PCLKB の 2 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。
- TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. AGT 関連レジスタ : AGT, AGTCMA, AGTCMB, AGTCR, AGTMR1, AGTMR2, AGTIOC, AGTISR, および AGTCMSR

22.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART および TCSTF ビットがともに 1 (カウント開始) の場合、AGT レジスタへ連続して書き込むときの書き込み間隔には、少なくともカウントソースクロックの 3 サイクル分のゆとりをみてください。

22.4.3 モード変更時

AGT の動作モードに関連するレジスタ (AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR) は、TSTART および TCSTF ビットがともに 0 (カウント停止) になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF ビットの値は不定となります。カウントを開始する前に、以下のビットに 0 を書き込んでください。

- TEDGF (アクティブエッジ未受信)
- TUNDF (アンダーフローなし)
- TCMAF (不一致)
- TCMBF (不一致)

22.4.4 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0] ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル中はタイマ動作を開始しないでください。

22.4.5 イベント番号、パルス幅、およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号を以下のように数学的に表します。
 $\text{イベント番号} = \text{カウンタ [AGT レジスタ] の初期値} - \text{アクティブイベント終了のカウンタ値}$
- パルス幅測定モードでは、パルス幅を以下のように数学的に表します。
 $\text{パルス幅} = \text{測定停止のカウンタ値} - \text{次の測定停止のカウンタ値}$
- パルス周期測定モードでは、入力パルス周期を以下のように数学的に表します。
 $\text{入力パルス周期} = (\text{カウンタ [AGT レジスタ] の初期値} - \text{読み出しバッファの読み出し値}) + 1$

22.4.6 TSTOP ビットによってカウントを強制停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制停止した後は、カウントソースの 1 サイクル間、以下の I/O レジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

22.4.7 カウントソースに AGT0 アンダーフローを選択した場合

カウントソースに AGT のアンダーフロー信号を選択した場合、以下の手順に従って AGT を操作してください。

(1) 動作開始手順

1. AGT0 および AGT1 を設定します。
2. AGT1 のカウント動作を開始します。
3. AGT0 のカウント動作を開始します。

(2) 動作停止手順

1. AGT0 のカウント動作を停止します。
2. AGT1 のカウント動作を停止します。
3. AGT1 のカウントソースクロックを停止します (AGT1.AGTMR1.TCK[2:0] ビットに 000b を書き込みます)。

22.4.8 I/O レジスタのリセット

AGT の I/O レジスタは、異なる種類のリセットで初期化されません。詳細は、「[6. リセット](#)」を参照してください。

22.4.9 カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合

リセット発生後、AGT の動作は保証されません。AGT 関連レジスタを再設定してください。

22.4.10 カウントソースに AGTLCLK または AGTSCLK を選択した場合

MSTPCRD レジスタの MSTPD2 は、AGT1 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPCRD レジスタの MSTPD3 は、AGT0 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPD2 または MSTPD3 が 0 の状態でリセットが発生した場合、AGT1 または AGT0 の動作は保証されません。AGT 関連レジスタを再設定してください。

22.4.11 クロックソースを切り替える場合

SCKSCR.CKSEL[2:0] を変更することによりクロックソースを切り替える場合、セレクタからのクロック出力は、切り替えたクロックで 4 サイクル間停止します。したがって、外部イベント入力として AGTIO_n、AGTE_n、またはこれら両方の入力を使用する場合、クロックソースを切り替えないでください。もし外部イベント入力使用中にクロックソースを切り替える場合は、切り替えたソースクロックサイクルで 4 サイクル分入力パルス幅を拡張してください。

23. リアルタイムクロック (RTC)

23.1 概要

RTC には、カレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタ設定を切り替えることで使用します。カレンダーカウントモードでは、RTC は 2000 年から 2099 年まで 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。

時計カウンタのカウントソースとして、サブクロック発振器または LOCO を選択できます。RTC は、カウントソースをプリスケアラで分周して得られた 128Hz クロックを使用します。年、月、日、曜日、午前／午後 (12 時間モード時)、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 23.1 に RTC の仕様を、図 23.1 にブロック図を、表 23.2 に入出力端子を示します。

表 23.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード／バイナリカウントモード
カウントソース (注1)	サブクロック発振器 (XCIN) または LOCO
時計／カレンダー機能	• カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD 表示 12 時間／24 時間モード切り替え機能 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以上は 1 分に切り上げ) うるう年自動補正機能 • バイナリカウントモード 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 スタート／ストップ機能 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) 時計誤差補正機能 クロック (1Hz/64Hz) 出力
割り込み	• アラーム割り込み (RTC_ALM) アラーム割り込み条件として、比較対照を下記から選択可能 カレンダーカウントモード：年、月、日、曜日、時、分、秒 バイナリカウントモード：32 ビットバイナリカウンタの各ビット • 周期割り込み (RTC_PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択可能 • 桁上げ割り込み (RTC_CUP) 次のいずれかの条件で割り込み発生 • 64Hz カウンタから秒カウンタへ桁上げが生じたとき • 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき • アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能
イベントリンク機能	周期イベント出力 (RTC_PRD)

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≥ カウントソースクロック周波数となるように設定してください。

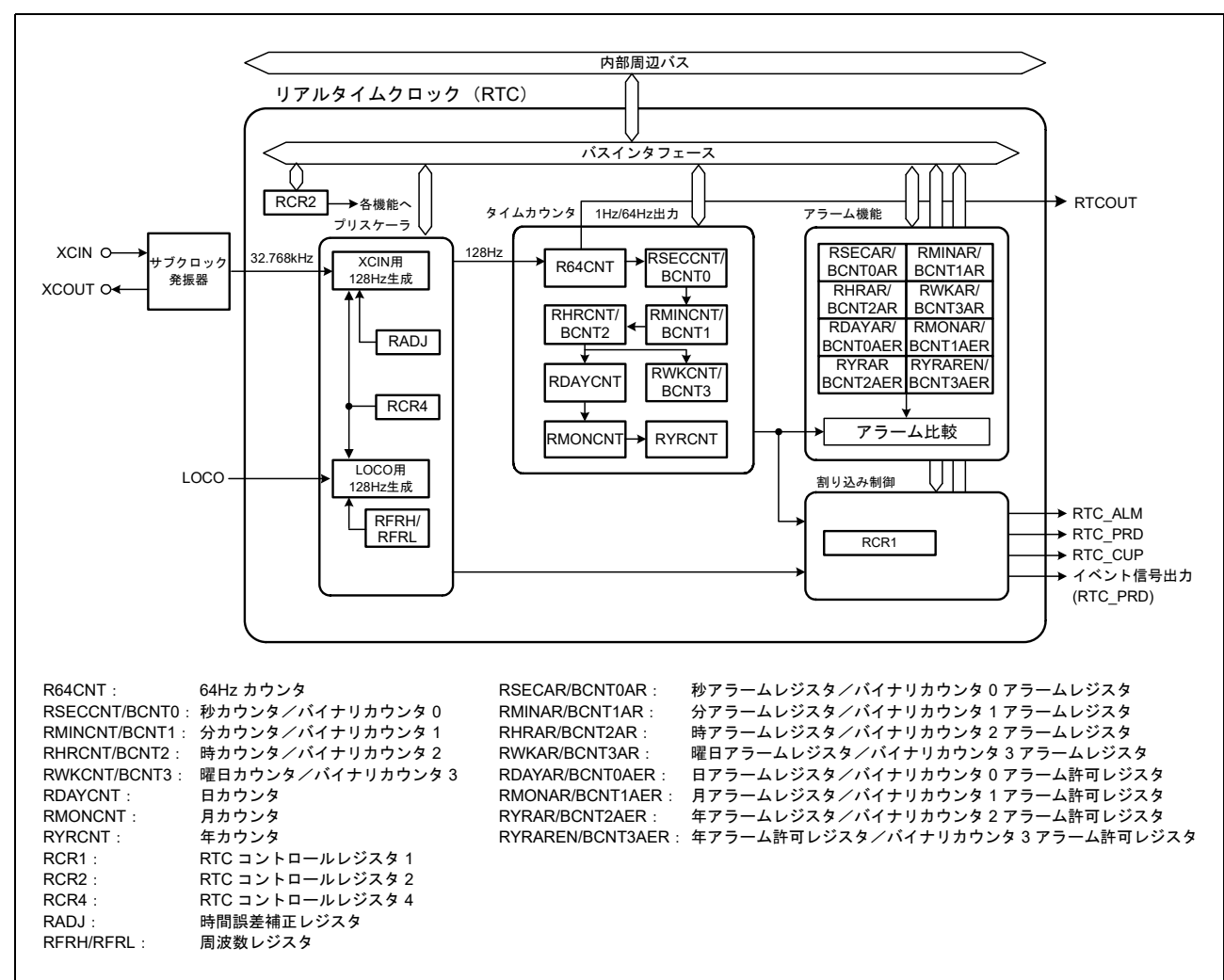


図 23.1 RTC のブロック図

表 23.2 RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768kHzの水晶振動子を接続します。
XCOUNT	出力	
RTCCOUT	出力	1Hz/64Hz波形出力に使用します。

23.2 レジスタの説明

RTC レジスタの書き込み／読み出しは、[23.6.5 レジスタの書き込み／読み出し時の注意事項](#)に従って行ってください。

RTC レジスタのビット一覧で、リセット後の値が x（不定）になっているビットは、リセットで初期化されません。カウント動作時（たとえば RCR2.START ビットが 1 のとき）に、RTC がリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／64Hz カウンタは動作を継続します。

注． レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊される可能性があります。また、どのレジスタに対しても、その設定直後は、ソフトウェアスタンバイモードへ遷移しないでください。詳細は、[23.6.4 レジスタ設定後の低消費電力モード遷移について](#)を参照してください。

23.2.1 64Hz カウンタ（R64CNT）

アドレス [RTC.R64CNT 4004 4000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x：不定

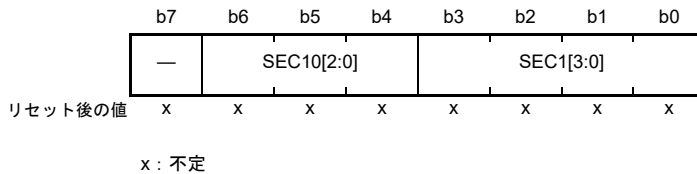
ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz	秒以下の桁の 1Hz～64Hz の状態を示します。	R
b1	F32HZ	32Hz		R
b2	F16HZ	16Hz		R
b3	F8HZ	8Hz		R
b4	F4HZ	4Hz		R
b5	F2HZ	2Hz		R
b6	F1HZ	1Hz		R
b7	—	予約ビット	読むと 0 が読めます。	R

R64CNT カウンタは、カレンダーカウントモード／バイナリカウントモード共通で使用します。64Hz カウンタ（R64CNT）カウンタは、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。このカウンタを読み出すことで、秒以下の領域の状態を確認できます。

このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整により 00h になります。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.2 秒カウンタ (RSECCNT) ／バイナリカウンタ 0 (BCNT0)

(1) カレンダカウントモード時

アドレス [RTC.RSECCNT 4004 4002h](#)

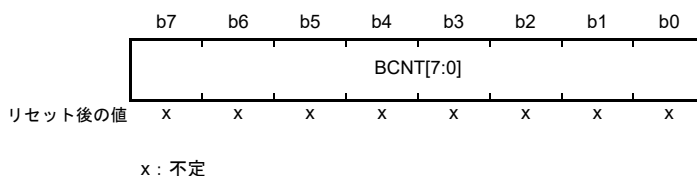
ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウンタ	1秒ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	SEC10[2:0]	10秒カウンタ	0から5までカウントして、60秒カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RSECCNT カウンタは、BCD コード化された秒の値の設定およびカウントに用いられます。64Hz カウンタでの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は10進で00～59です。それ以外の値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。

このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

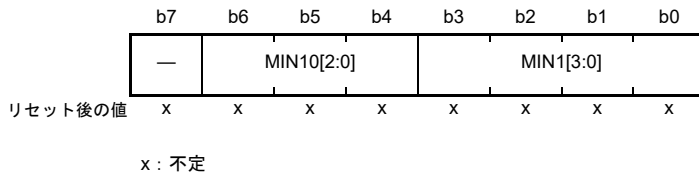
(2) バイナリカウントモード時

アドレス [RTC.BCNT0 4004 4002h](#)

BCNT0 カウンタは、書き込み／読み出し可能な32ビットバイナリカウンタのb7～b0で、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.3 分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)

(1) カレンダカウントモード時

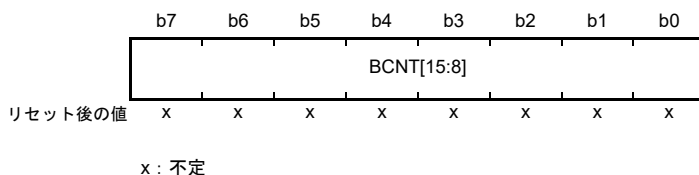
アドレス [RTC.RMINCNT 4004 4004h](#)

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウンタ	1分ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	MIN10[2:0]	10分カウンタ	0から5までカウントして、60分カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RMINCNT カウンタは、BCD コード化された分の値の設定およびカウントに用いられます。秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は10進 (BCD) で00～59です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

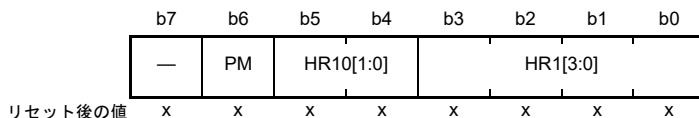
(2) バイナリカウントモード時

アドレス [RTC.BCNT1 4004 4004h](#)

BCNT1 カウンタは、書き込み/読み出し 32 ビットバイナリカウンタの b15～b8 で、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.4 時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)

(1) カレンダカウントモード時

アドレス [RTC.RHRCNT 4004 4006h](#)

x: 不定

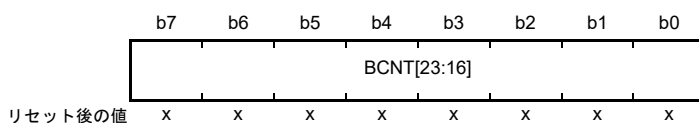
ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウンタ	1時間に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	HR10[1:0]	10時間カウンタ	一の位からの桁上げごとに1回、0から2までカウントします。	R/W
b6	PM	PM	時計カウンタのAM/PM設定 0: AM 1: PM	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RHRCNT カウンタは、BCD コード化された時間の値の設定およびカウントに用いられます。分カウンタの1時間ごとの桁上げによってカウント動作を行います。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。それ以外では、PM ビットの値は無効です。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

(2) バイナリカウントモード時

アドレス [RTC.BCNT2 4004 4006h](#)

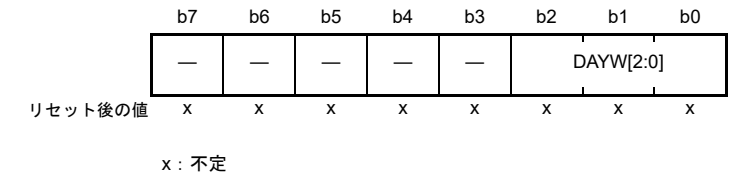
x: 不定

BCNT2 カウンタは、書き込み/読み出し 32 ビットバイナリカウンタの b23 ~ b16 で、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.5 曜日カウンタ (RWKCNT) ／バイナリカウンタ 3 (BCNT3)

(1) カレンダーカウントモード時

アドレス [RTC.RWKCNT 4004 4008h](#)

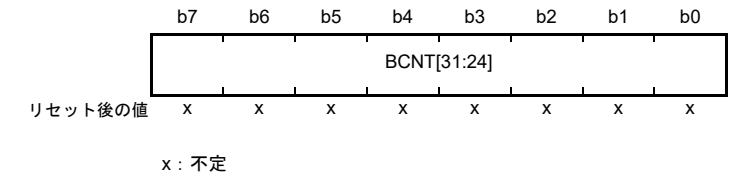


ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウンタ	b2 b0 0 0 0 : 日 0 0 1 : 月 0 1 0 : 火 0 1 1 : 水 1 0 0 : 木 1 0 1 : 金 1 1 0 : 土 1 1 1 : 設定禁止	R/W
b7-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RWKCNT カウンタは、コード化された曜日の値の設定およびカウントに用いられます。時カウンタの 1 日ごとの桁上げによってカウント動作を行います。設定可能範囲は 0 ～ 6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

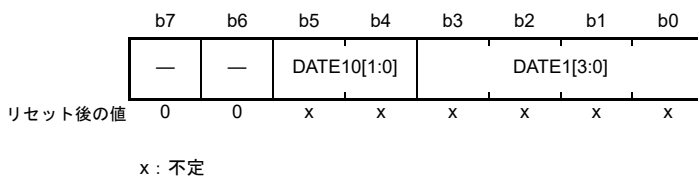
(2) バイナリカウントモード時

アドレス [RTC.BCNT3 4004 4008h](#)



BCNT3 カウンタは、書き込み／読み出し 32 ビットバイナリカウンタの b31 ～ b24 で、64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.6 日カウンタ (RDAYCNT)

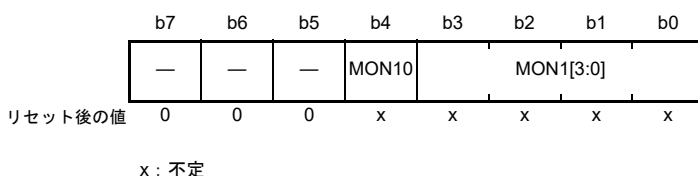
アドレス [RTC.RDAYCNT 4004 400Ah](#)

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウンタ	1日に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	DATE10[1:0]	10日カウンタ	一の位からの桁上げごとに1回、0から3までカウントします。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された日の値を設定およびカウントします。時カウンタの一日ごとの桁上げによってカウント動作を行います。カウント動作は、月によっても、うるう年か否かによっても異なります。うるう年は、年カウンタ (RYRCNT) の値が 400、100、および 4 で割り切れるか否かで判定されます。

設定可能範囲は 10 進 (BCD) で 01 ~ 31 です。この範囲にない値が設定されると、RTC は正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なるので注意してください。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.7 月カウンタ (RMONCNT)

アドレス [RTC.RMONCNT 4004 400Ch](#)

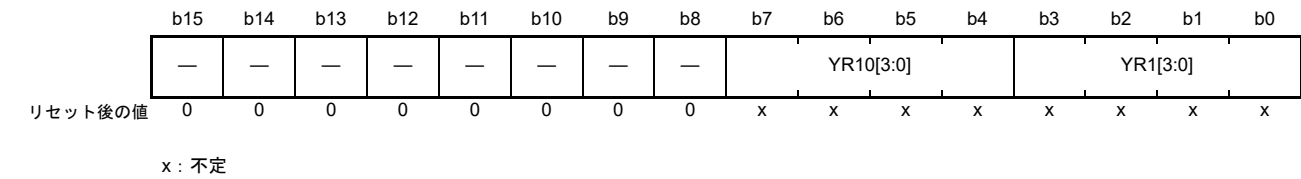
ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウンタ	1月に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b4	MON10	10月カウンタ	一の位からの桁上げごとに1回、0から1までカウントします。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された月の値を設定およびカウントします。日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は 10 進 (BCD) で 01 ~ 12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.8 年カウンタ（RYRCNT）

アドレス [RTC.RYRCNT 4004 400Eh](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウンタ	1年に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b7-b4	YR10[3:0]	10年カウンタ	一の位からの桁上げごとに1回、0から9までカウントします。十の位に桁上げが生じると、百の位が+1されます。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

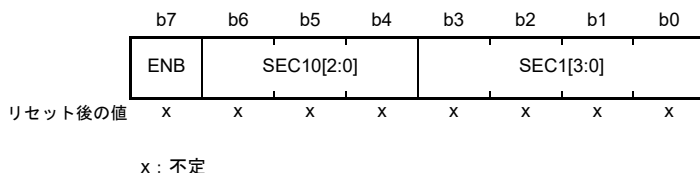
RYRCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された年の値を設定およびカウントします。月カウンタの1年ごとの桁上げによってカウント動作を行います。

設定可能範囲は10進（BCD）で00～99です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット（RCR2.START）でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.9 秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

(1) カレンダカウントモード時

アドレス [RTC.RSECAR 4004 4010h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1 秒	一秒の位の設定値	R/W
b6-b4	SEC10[2:0]	10 秒	十秒の位の設定値	R/W
b7	ENB	ENB	0 : このレジスタ値と RSECCNT カウンタ値との比較を行わない 1 : このレジスタ値と RSECCNT カウンタ値との比較を行う	R/W

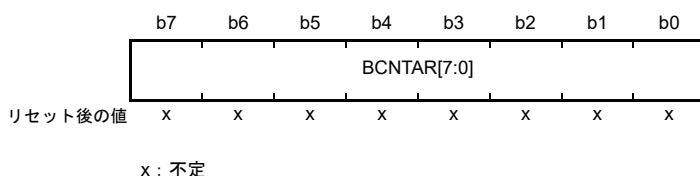
RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RSECAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT0AR 4004 4010h](#)

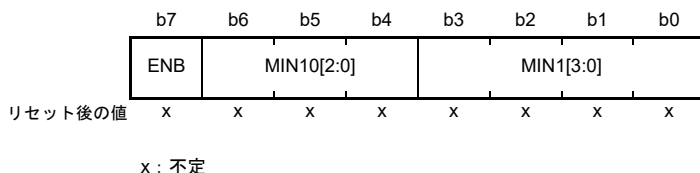


BCNT0AR カウンタは、32 ビットバイナリカウンタの b7 ~ b0 部分に対応する書き込み／読み出しアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.10 分アラームレジスタ (RMINAR) ／バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

(1) カレンダカウントモード時

アドレス [RTC.RMINAR 4004 4012h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1 分	一分の位の設定値	R/W
b6-b4	MIN10[2:0]	10 分	十分の位の設定値	R/W
b7	ENB	ENB	0 : このレジスタ値と RMINCNT カウンタ値との比較を行わない 1 : このレジスタ値と RMINCNT カウンタ値との比較を行う	R/W

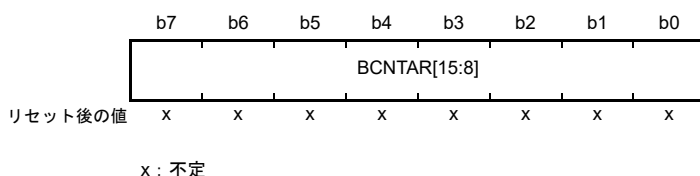
RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に関連するアラームレジスタです。ENB ビットが 1 であれば、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMINAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ～ 59 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT1AR 4004 4012h](#)

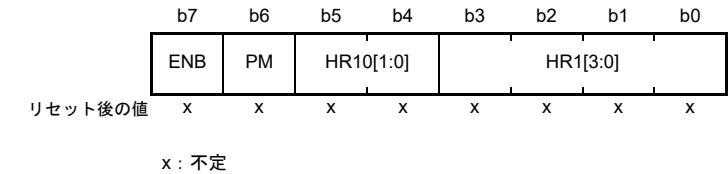


BCNT1AR カウンタは、32 ビットバイナリカウンタの b15 ～ b8 部分に対応する書き込み／読み出しアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.11 時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

(1) カレンダカウントモード時

アドレス [RTC.RHRAR 4004 4014h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間	十時間の位の設定値	R/W
b6	PM	PM	時計アラームの設定 0 : AM 1 : PM	R/W
b7	ENB	ENB	0 : このレジスタ値とRHRCNTカウンタ値との比較を行わない 1 : このレジスタ値とRHRCNTカウンタ値との比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHRCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RHRAR レジスタ値が RHRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

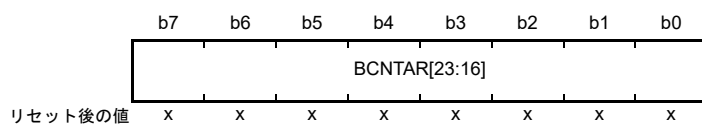
- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

それ以外の値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、必ず PM ビットを設定してください。RCR2.HR24 ビットが 1 の場合、PM ビットの設定は無効です。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT2AR 4004 4014h](#)

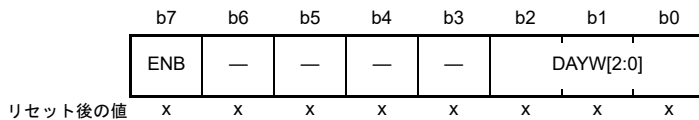
x: 不定

BCNT2AR カウンタは、32 ビットバイナリカウンタの b23 ~ b16 部分に対応する書き込み／読み出しアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.12 曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

(1) カレンダカウントモード時

アドレス [RTC.RWKAR 4004 4016h](#)



x : 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日設定	b2 b0 0 0 0 : 日 0 0 1 : 月 0 1 0 : 火 0 1 1 : 水 1 0 0 : 木 1 0 1 : 金 1 1 0 : 土 1 1 1 : 設定禁止	R/W
b6-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0 : このレジスタ値とRWKCNTカウンタ値との比較を行わない 1 : このレジスタ値とRWKCNTカウンタ値との比較を行う	R/W

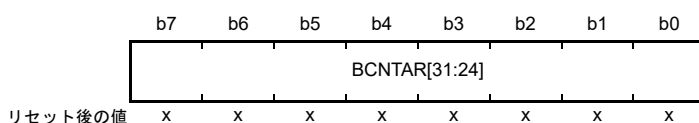
RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RWKAR レジスタ値が RWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RWKAR レジスタの設定可能範囲は、10 進 (BCD) で 0 ~ 6 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT3AR 4004 4016h](#)



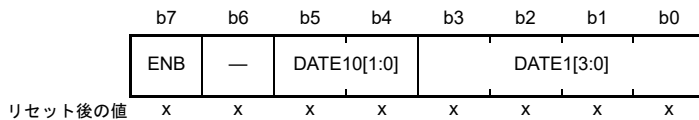
x : 不定

BCNT3AR カウンタは、32 ビットバイナリカウンタの b31 ~ b24 部分に対応する書き込み／読み出しアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.13 日アラームレジスタ (RDAYAR) ／バイナリカウンタ 0 アラームイネーブルレジスタ (BCNT0AER)

(1) カレンダカウントモード時

アドレス [RTC.RDAYAR 4004 4018h](#)



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1 日	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10 日	十日の位の設定値	R/W
b6	—	予約ビット	0 を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0 : このレジスタ値と RDAYCNT カウンタ値との比較を行わない 1 : このレジスタ値と RDAYCNT カウンタ値との比較を行う	R/W

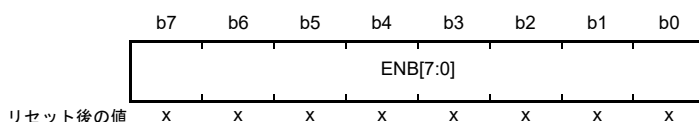
RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RDAYAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 31 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT0AER 4004 4018h](#)



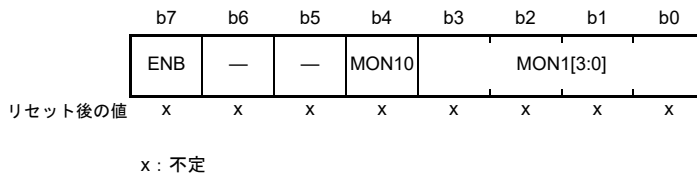
x : 不定

BCNT0AER レジスタは、32 ビットバイナリカウンタの b7 ~ b0 部分に対応するアラーム許可設定用の書き込み／読み出しレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.14 月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブルレジスタ (BCNT1AER)

(1) カレンダカウントモード時

アドレス [RTC.RMONAR 4004 401Ah](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1 月	一月の位の設定値	R/W
b4	MON10	10 月	十月の位の設定値	R/W
b6-b5	—	予約ビット	0 を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0 : このレジスタ値と RMONCNT カウンタ値との比較を行わない 1 : このレジスタ値と RMONCNT カウンタ値との比較を行う	R/W

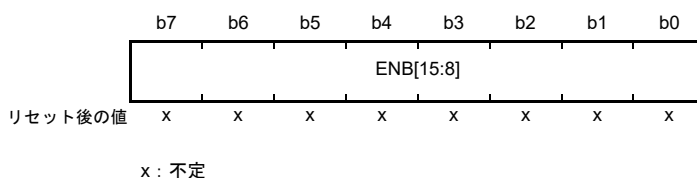
RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMONAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 12 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT1AER 4004 401Ah](#)



BCNT1AER レジスタは、32 ビットバイナリカウンタの b15 ~ b8 部分に対応するアラーム許可設定用の書き込み／読み出しレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.15 年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブルレジスタ (BCNT2AER)

(1) カレンダカウントモード時

アドレス [RTC.RYRAR 4004 401Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1 年	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10 年	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 99 です。それ以上の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 0000h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT2AER 4004 401Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

BCNT2AER レジスタは、32 ビットバイナリカウンタの b23 ~ b16 部分に対応するアラーム許可設定用の書き込み/読み出しレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 0000h になります。

23.2.16 年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラームイネーブルレジスタ (BCNT3AER)

(1) カレンダカウントモード時

アドレス [RTC.RYRAREN 4004 401Eh](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0 : このレジスタ値とRYRCNTカウンタ値との比較を行わない 1 : このレジスタ値とRYRCNTカウンタ値との比較を行う	R/W

RYRAREN レジスタの ENB ビットが 1 であれば、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT3AER 4004 401Eh](#)

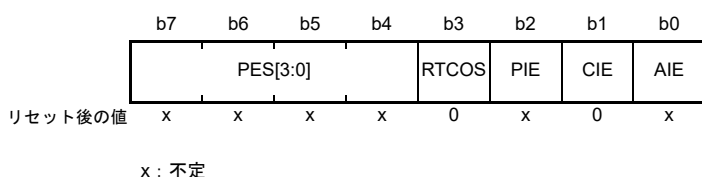
	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

BCNT3AER レジスタは、32 ビットバイナリカウンタの b31 ~ b24 部分に対応するアラーム許可設定用の書き込み/読み出しレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 4004 4022h



ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可	0：アラーム割り込み要求を禁止 1：アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可	0：桁上げ割り込み要求を禁止 1：桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可	0：周期割り込み要求を禁止 1：周期割り込み要求を許可	R/W
b3	RTCOS	RTCOUT出力選択	0：RTCOUTは1Hzを出力 1：RTCOUTは64Hzを出力	R/W
b7-b4	PES[3:0]	周期割り込み選択	b7b4 0 1 1 0：1/256秒ごとに周期割り込みが発生（注1） 0 1 1 1：1/128秒ごとに周期割り込みが発生 1 0 0 0：1/64秒ごとに周期割り込みが発生 1 0 0 1：1/32秒ごとに周期割り込みが発生 1 0 1 0：1/16秒ごとに周期割り込みが発生 1 0 1 1：1/8秒ごとに周期割り込みが発生 1 1 0 0：1/4秒ごとに周期割り込みが発生 1 1 0 1：1/2秒ごとに周期割り込みが発生 1 1 1 0：1秒ごとに周期割り込みが発生 1 1 1 1：2秒ごとに周期割り込みが発生 上記以外の設定：周期割り込みは発生しない	R/W

注 1. PES[3:0] ビット = 0110b のときに LOCO を選択 (RCR4.RCKSEL ビット = 1) すると、割り込み発生周期は 1/128 秒ごとになります。

RCR1 レジスタは、カレンダーカウントモード／バイナリカウントモード共通で使用します。AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換える際は、全ビットが更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可)

アラーム割り込み要求を許可または禁止します。

CIE ビット (桁上げ割り込み許可)

RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64Hz カウンタの読み出し中に 64Hz カウンタ (R64CNT) への桁上げが生じたときの割り込み要求を許可または禁止します。

PIE ビット (周期割り込み許可)

周期割り込み要求を許可または禁止します。

RTCOS ビット (RTCOUT 出力選択)

RTCOUT の出力周期を選択します。RTCOS ビットは、必ず、カウント動作停止中 (RCR2.START ビット = 0)、かつ RTCOUT 出力禁止のときに (RCR2.RTCOE ビット = 0) に書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを有効にしてください。I/O ポートの制御については、[18.5.1 端子機能の設定手順](#)を参照してください。

PES[3:0] ビット (周期割り込み選択)

周期割り込みの周期を設定します。これらのビットで設定した周期に応じて周期割り込みが発生します。

23.2.18 RTC コントロールレジスタ 2 (RCR2)**(1) カレンダカウントモード時**

アドレス [RTC.RCR2 4004 4024h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0: プリスケアラと時計カウンタを停止 1: プリスケアラと時計カウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	- 書き込み時 0: 無効 (0 を書いても何も影響なし) 1: プリスケアラおよび RTC ソフトウェアリセット対象レジスタ (注1) を初期化 - 読み出し時 0: 通常の時計動作中または RTC ソフトウェアリセット完了 1: RTC ソフトウェアリセット処理中	R/W
b2	ADJ30	30 秒調整	- 書き込み時 0: 無効 (0 を書いても何も影響なし) 1: 30 秒調整を実行 - 読み出し時 0: 通常の時計動作中または 30 秒調整が完了 1: 30 秒調整処理中	R/W
b3	RTCOE	RTCOUT 出力許可	0: RTCOUT 出力を禁止 1: RTCOUT 出力を許可	R/W
b4	AADJE	自動補正機能許可 (注2)	0: 自動補正は禁止 1: 自動補正は許可	R/W
b5	AADJP	自動補正周期選択 (注2)	0: 1 分ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0] ビット値を加減算 1: 10 秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0] ビット値を加減算	R/W
b6	HR24	時間モード	0: RTC は 12 時間モードで動作 1: RTC は 24 時間モードで動作	R/W
b7	CNTMD	カウントモード選択	0: カレンダカウントモード 1: バイナリカウントモード	R/W

- 注 1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP
- 注 2. LOCO を選択した場合、本ビットの設定は無効です。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、およびカウント制御に関するレジスタです。

START ビット (スタート)

プリスケアラまたは時計カウンタの停止または動作を再開します。START ビットは、カウントソースの次の周期に同期して更新されます。START ビットを書き換える際は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセット)

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。このビットが 0 になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整)

30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了すると ADJ30 ビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。30 秒調整を実行すると、プリスケアラと R64CNT カウンタもリセットされます。RTC ソフトウェアリセットを実行すると ADJ30 ビットは 0 になります。

RTCOE ビット (RTCCOUT 出力許可)

RTCCOUT からの 1Hz/64Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTCOE ビット値の変更は、同時に行わないでください。

RTCCOUT を外部端子から出力する場合は、RTCOE ビットを許可にするとともに、この端子にポート制御を設定してください。

AADJE ビット (自動補正機能許可)

自動補正機能を制御 (許可 / 禁止) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。

AADJE ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

AADJP ビット (自動補正周期選択)

自動補正周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。

AADJP ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

HR24 ビット (時間モード)

RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、HR24 ビット値の変更は、同時に行わないでください。

CNTMD ビット (カウントモード選択)

RTC をカレンダカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。このビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、[23.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

(2) バイナリカウントモード時

アドレス [RTC.RCR2 4004 4024h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	—	AADJP	AADJE	RTCOE	—	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラを停止 1: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	- 書き込み時 0: 無効 (0を書いても何も影響なし) 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ (注1) を初期化 - 読み出し時 0: 通常の時計動作中またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット処理中	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	RTCOE	RTCCOUT出力許可	0: RTCCOUT出力を禁止 1: RTCCOUT出力を許可	R/W
b4	AADJE	自動補正機能許可 (注2)	0: 自動補正は禁止 1: 自動補正は許可	R/W
b5	AADJP	自動補正周期選択 (注2)	0: 32秒ごとにプリスケアラのカウント値に対して RADJ.ADJ[5:0] ビット値を加減算 1: 8秒ごとにプリスケアラのカウント値に対して RADJ.ADJ[5:0] ビット値を加減算	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b7	CNTMD	カウントモード選択	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注 1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注 2. LOCO を選択した場合、本ビットの設定は無効です。

START ビット (スタート)

プリスケアラまたはカウンタ (時計) の動作を停止または再開します。START ビットは、カウントソースに同期して更新されます。START ビットを書き換える際は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセット)

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。

RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。RESET ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。

RTCOE ビット (RTCOUT 出力許可)

RTCOUT からの 1Hz/64Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTCOE ビット値の変更は、同時に行わないでください。RTCOUT 信号を外部端子から出力する場合は、このビットを許可にするとともに、ポート制御を有効にしてください。

AADJE ビット (自動補正機能許可)

自動補正機能を制御 (許可 / 禁止) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。AADJE ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

AADJP ビット (自動補正周期選択)

自動補正の周期を選択します。

バイナリカウントモードでは、32 秒ごとまたは 8 秒ごとの補正周期を選択できます。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。AADJP ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

CNTMD ビット (カウントモード選択)

RTC をカレンダーカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。このビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、[23.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

23.2.19 RTC コントロールレジスタ 4 (RCR4)

アドレス [RTC.RCR4 4004 4028h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL
リセット後の値	0	0	0	0	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択	0: サブクロック発振器を選択 1: LOCO を選択	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

RCR4 レジスタは、カウントソースを選択するために用いられます。本レジスタは、カレンダーカウントモードとバイナリカウントモードで共通の機能です。

RCKSEL ビットを 0 にすると、サブクロック発振器を使用して時計のカウント動作が行われます。RCKSEL ビットを 1 にすると、LOCO を使用して時計のカウント動作が行われます。

RCKSEL ビット (カウントソース選択)

カウントソースを、サブクロック発振器と LOCO から選択します。

カウントソースの選択は、電源投入後、RTC レジスタの初期設定前に一度だけ行ってください。

23.2.20 周波数レジスタ (RFRH/RFRL)

アドレス [RTC.RFRH 4004 402Ah](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	RFC16	予約ビット	コールドスタート後、RFRL レジスタに書き込む前に0を書いてください。	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス [RTC.RFRL 4004 402Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFC[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	RFC[15:0]	周波数比較値	LOCO 使用時は、このレジスタに00FFh を書いてください。	R/W

RFRL は、LOCO 選択時のプリスケアラを制御するレジスタです。

RTC の時計カウンタは、128Hz クロック信号を基本クロックとして動作します。そのため、LOCO を選択した場合、プリスケアラで LOCO が分周されて 128Hz クロック信号が生成されます。RFC[15:0] ビットには、LOCO 周波数から 128Hz クロックを生成するための周波数比較値を設定します。コールドスタート後、最初に RFC[15:0] へ書き込む前に、RFRH に 0000h を書き込んでください。

周波数比較値の設定可能範囲は、0007h ～ 01FFh です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。周辺モジュールクロックと LOCO の動作周波数は、「周辺モジュールクロック ≥ LOCO」となるようにしてください。

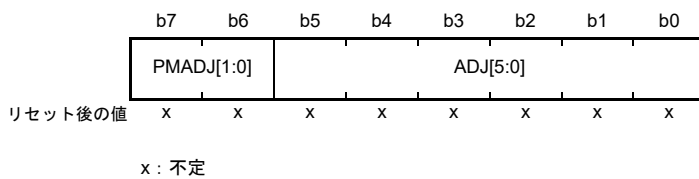
周波数比較値計算方法：

$$\text{RFC}[15:0] = (\text{LOCO クロック周波数}) \div 128 - 1$$

LOCO 周波数が 32.768kHz の場合、RFRL レジスタは 00FFh にする必要があります。

23.2.21 時計誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 4004 402Eh



ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值	プリスケアラに対する補正值を設定します。	R/W
b7-b6	PMADJ[1:0]	プラスマイナス	b7 b6 0 0: 補正しない 0 1: プリスケアラに対して値を加えて補正 1 0: プリスケアラに対して値を減じて補正 1 1: 設定禁止	R/W

プリスケアラに値を加えるかまたは値を減じることによって補正を行います。自動補正機能有効ビット (RCR2.AADJE) が 0 であると、RADJ レジスタへの書き込み時に補正が行われます。RCR2.AADJE ビットが 1 であると、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正が行われます。

ソフトウェア設定による補正 (自動補正しない設定) では、このレジスタの設定後、カウントソースの 320 サイクル中に次の補正值を設定すると、現在の補正值設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待ってから次の補正值を設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換える際は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 00h になります。サブクロック発振器を選択した場合にのみ、このレジスタの設定が有効になります。LOCO を選択した場合、補正は行われません。

ADJ[5:0] ビット (補正值)

プリスケアラに対する補正值 (サブクロックのサイクル数) を設定します。

PMADJ[1:0] ビット (プラスマイナス)

ADJ[5:0] ビットで設定した誤差補正值に従って、時計を進めるか、遅らせるかを選択します。

23.3 動作説明

23.3.1 電源投入後のレジスタ初期設定の概要

電源投入後に、クロック設定、カウントモード設定、時計誤差補正、時刻設定、アラーム、および割り込みコントロールレジスタに対し、それぞれ初期設定を行ってください。

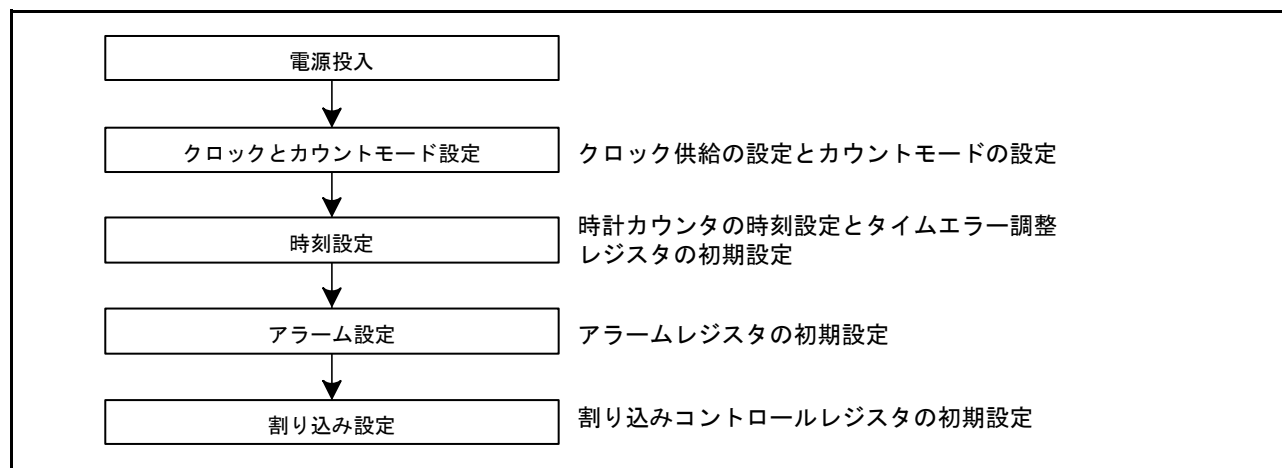


図 23.2 電源投入後の初期設定の概要

23.3.2 クロックおよびカウントモードの設定手順

図 23.3 にクロックおよびカウントモードの設定方法を示します。

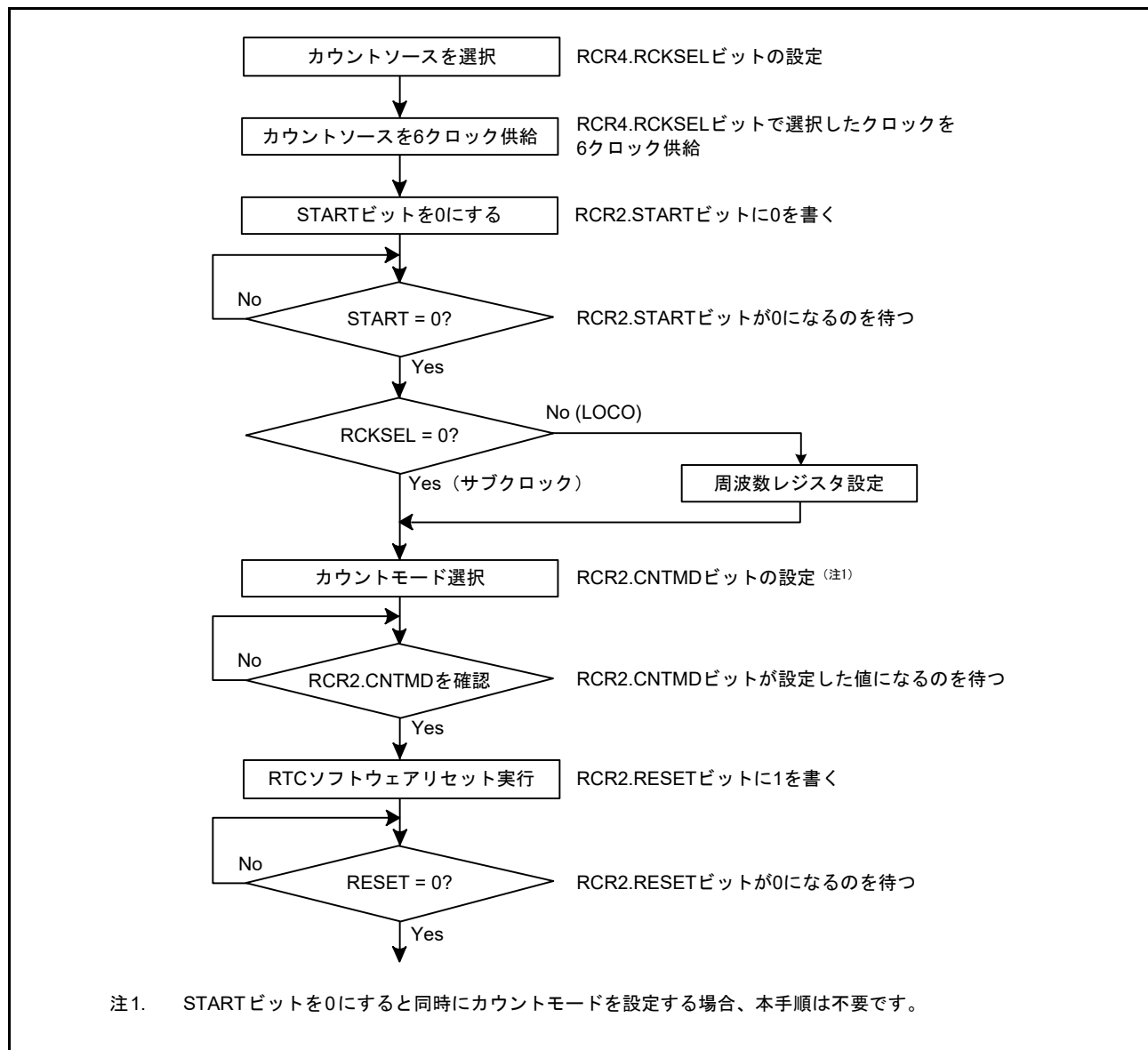


図 23.3 クロックおよびカウントモードの設定手順

23.3.3 時刻の設定

図 23.4 に時刻の設定方法を示します。

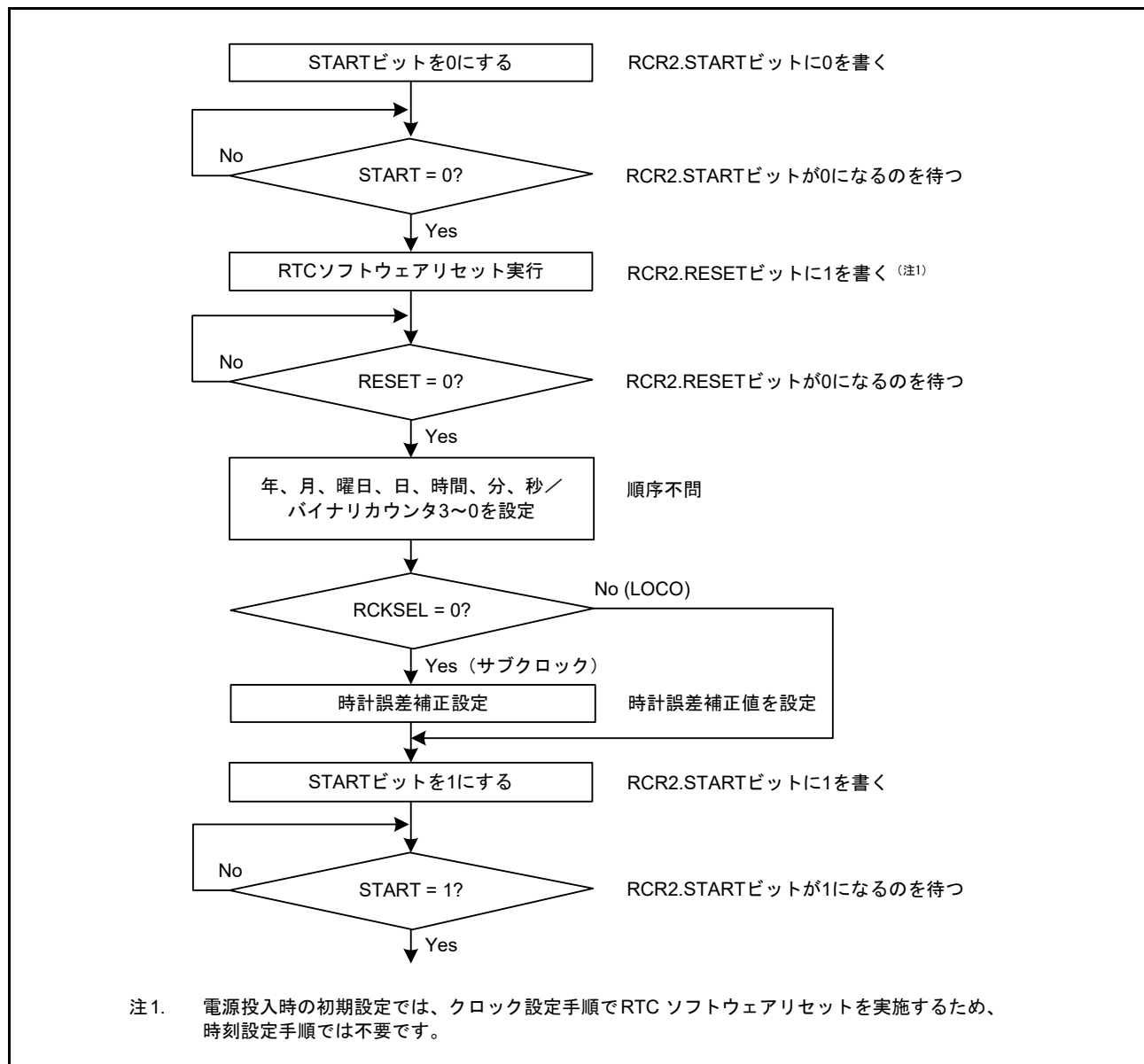


図 23.4 時刻の設定

23.3.4 30 秒調整手順

図 23.5 に 30 秒調整手順を示します。

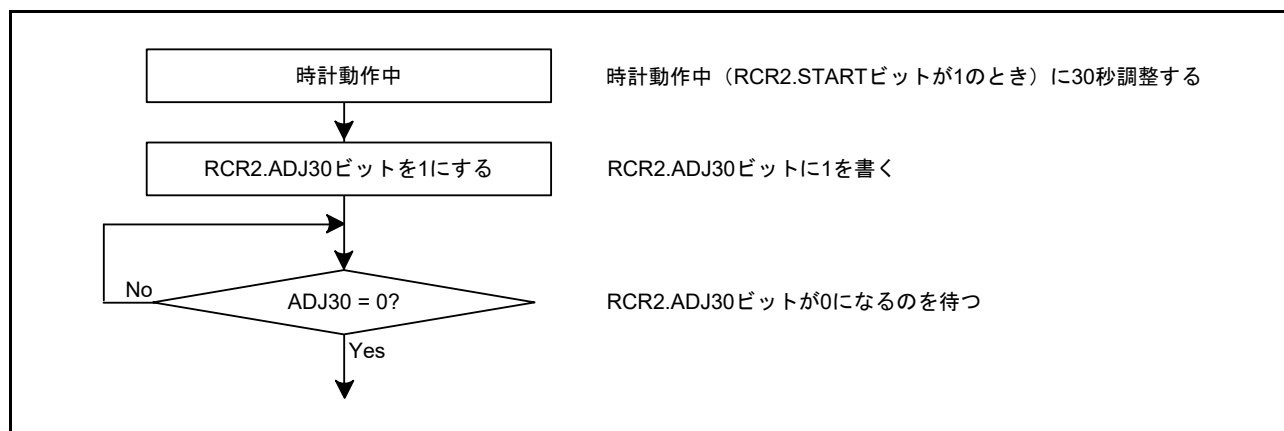


図 23.5 30 秒調整手順

23.3.5 64Hz カウンタと時刻の読み出し

図 23.6 に 64Hz カウンタと時刻の読み出し手順を示します。

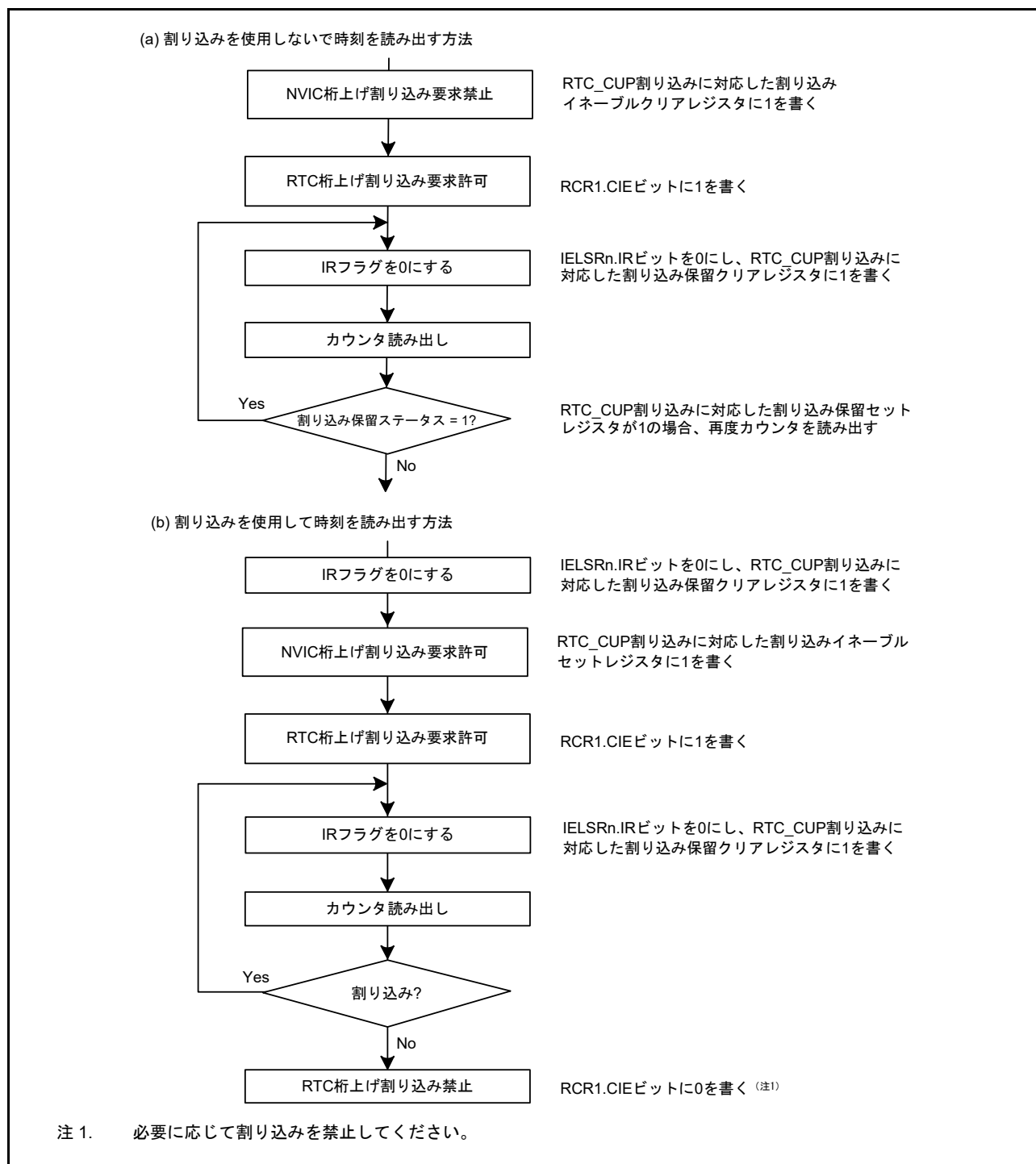


図 23.6 時刻の読み出し手順

64Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 23.6 の (a) に、桁上げ割り込みを使用する場合の手順を (b) に示します。通常は、プログラムを容易にするために、方法 (a) を使用してください。

23.3.6 アラーム機能

図 23.7 にアラーム機能の使用方法を示します。

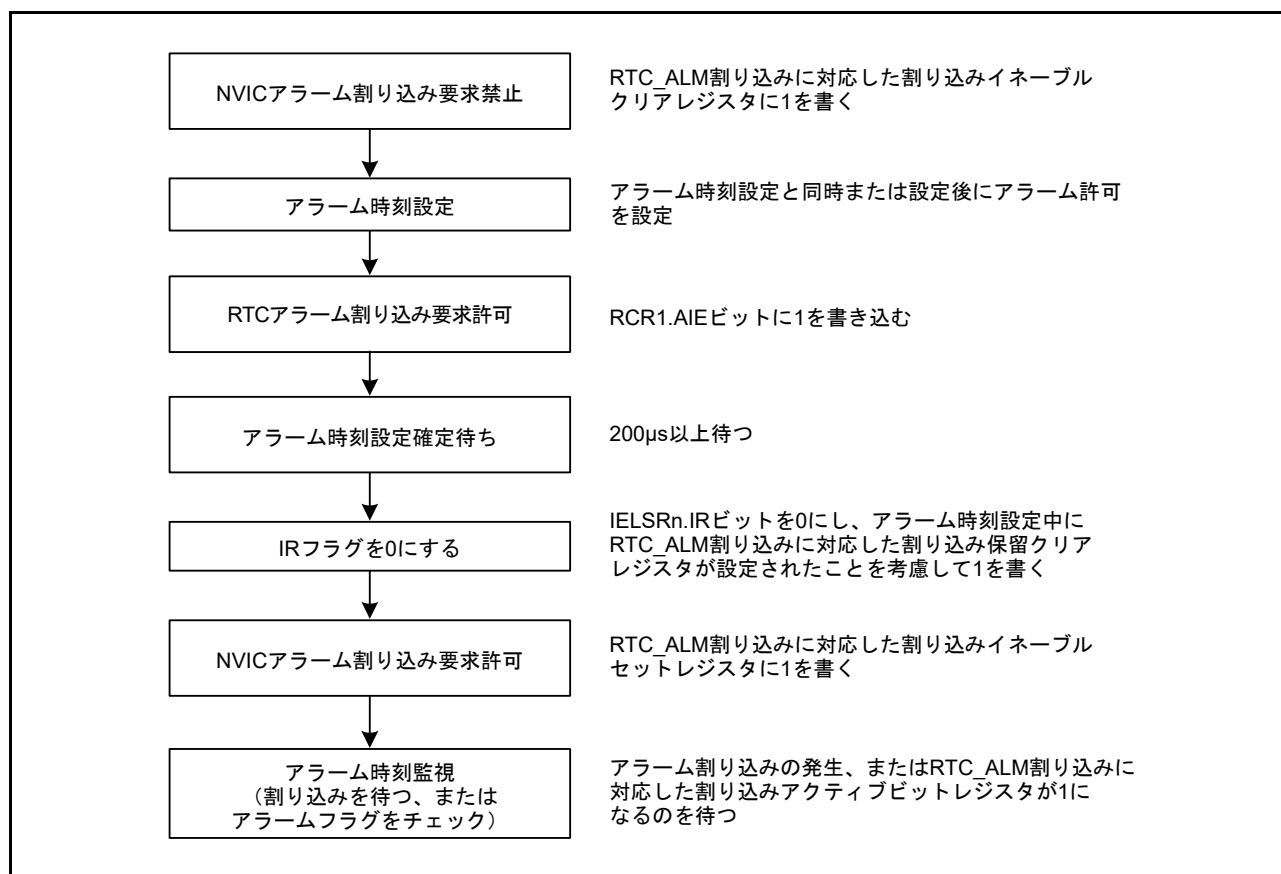


図 23.7 アラーム機能の使用方法

カレンダーカウントモードでは、年、月、日、曜日、時、分、秒のいずれか1つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定を必要とする各アラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタはENBビットに0を書き込みます。

バイナリカウントモードでは、32ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応したアラームイネーブルレジスタのENBビットに1を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタのENBビットに0を書き込みます。

カウンタとアラーム時刻が一致すると、IELSRn.IRビットと、RTC_ALM割り込みに対応した割り込みセット保留/クリア保留レジスタが1になります。アラームの検出は、RTC_ALM割り込みに対応した割り込み設定保留レジスタを読み出すことで確認できますが、通常は割り込みを使用してください。RTC_ALM割り込みに対応した割り込み設定イネーブルレジスタと割り込みアクティブビットレジスタが1になると、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC_ALM割り込みに対応したIELSRn.IRビットは、0を書き込むと0になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC_ALM割り込みに対応した割り込み設定保留/クリア保留レジスタと割り込みアクティブビットレジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC_ALM割り込みに対応した割り込みクリア保留レジスタに1を書いてクリアしてください。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCUは低消費電力状態から復帰します。

23.3.7 アラーム割り込み禁止手順

図 23.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

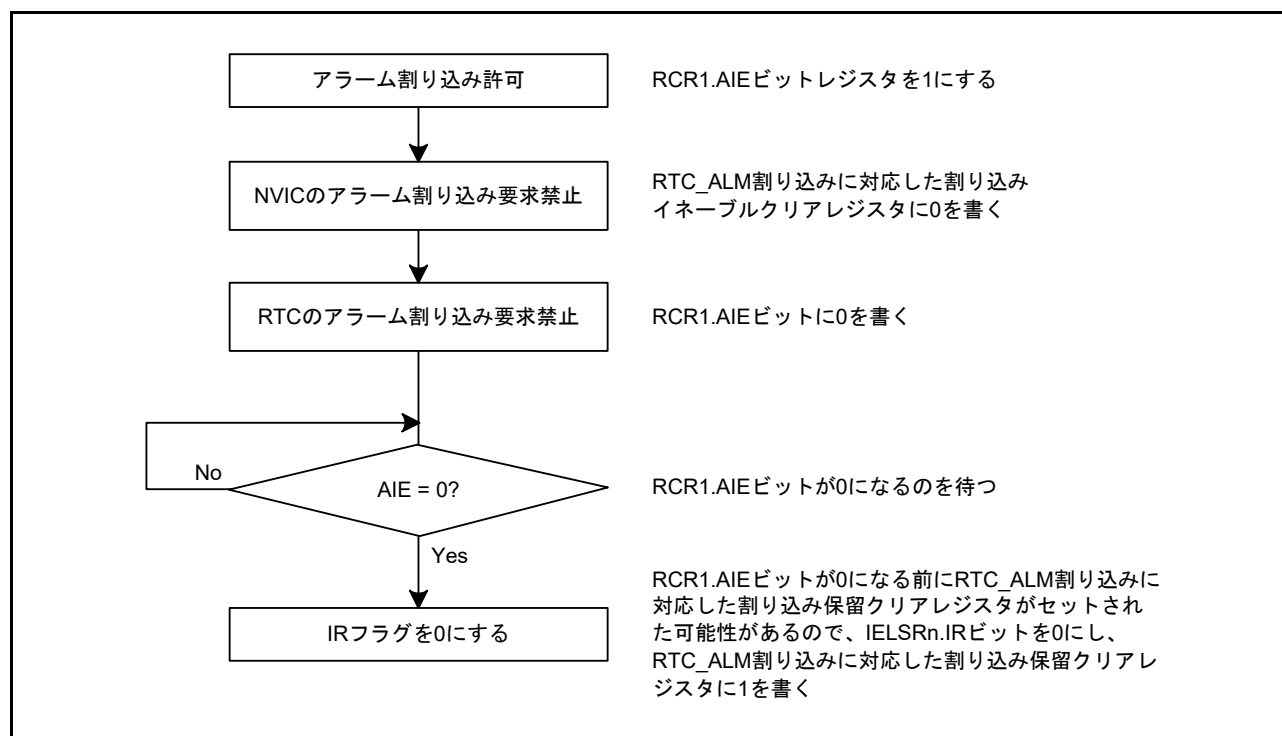


図 23.8 アラーム割り込み要求の禁止手順

23.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロック発振器による発振精度の変動に起因した、時計の誤差（遅れ／進み）を補正するために使用します。サブクロック発振器を選択した場合、サブクロック発振器の 32768 サイクルが 1 秒の動作に相当するため、サブクロック発振器の周波数が高いと時計が進み、低いと時計が遅れます。

時計誤差補正機能には以下の種類があります。

- 自動補正機能
- ソフトウェアによる補正

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

23.3.8.1 自動補正機能

RCR2.AADJE ビットを 1 にすると、自動補正機能が有効になります。自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに、プリスケアラでカウントした値に対して RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.769kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルで動作するように設計されているため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定内容（RCR2.CNTMD = 0 の場合）：

- RCR2.AADJP ビット = 0（1 分ごとに補正）
- RADJ.PMADJ[1:0] ビット = 10b（プリスケアラに対して値を減算して補正）
- RADJ.ADJ[5:0] ビット = 60（3Ch）

(2) 例 2：サブクロック発振器が 32.766kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.766kHz で動作している場合、32766 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルで動作するように設計されているため、1 秒ごとに 2 クロックサイクル分時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定内容（RCR2.CNTMD = 0 の場合）：

- RCR2.AADJP ビット = 1（10 秒ごとに補正）
- RADJ.PMADJ[1:0] ビット = 01b（プリスケアラに対して値を加算して補正）
- RADJ.ADJ[5:0] ビット = 20（14h）

(3) 例 3 : サブクロック発振器が 32.764kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.764kHz で動作している場合、32764 クロックサイクルで 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル遅れるため、8 秒ごとに 32 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定内容 (RCR2.CNTMD = 1 の場合) :

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (プリスケアラに対して値を加算して補正)
- RADJ.ADJ[5:0] ビット = 32 (20h)

23.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケアラでカウントした値に対し RADJ レジスタ値を加算または減算します。

(1) 例 1 : サブクロック発振器が 32.769kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.769kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルで動作するように設計されているため、1 秒ごとに 1 クロックサイクル分、時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分、時計を遅らせる方法で補正が可能です。

(b) レジスタ設定内容

- RADJ.PMADJ[1:0] ビット = 10b (プリスケアラに対して値を減算して補正)
- RADJ.ADJ[5:0] ビット = 1 (01h)
この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます。

23.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを 00b (補正しない) にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b (補正しない) にします。
2. RCR2.AADJE ビットを 1 (自動補正機能許可) にします。
3. RCR2.AADJP ビットで補正周期を選択します。
4. RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b (補正しない) にします。
2. RCR2.AADJE ビットを 0 (ソフトウェアによる補正を有効) にします。
3. 任意のタイミングで、RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定することにより、補正を開始します。以降、RADJ レジスタに値を書き込むごとに時間補正が行われます。

23.3.8.4 補正機能の停止手順

補正機能を停止するには、RADJ.PMADJ[1:0] ビットを 00b (補正しない) にします。

23.4 割り込み要因

RTC には、表 23.3 に示すように、3 種類の割り込み要因があります。

表 23.3 RTCの割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

(1) アラーム割り込み (RTC_ALM)

アラームレジスタと RTC カウンタとの比較結果に基づいて割り込みが発生します。詳細は、23.3.6 アラーム機能を参照してください。

アラームレジスタの設定値が時計カウンタと一致したとき、割り込みフラグが 1 になる可能性があるため、アラームレジスタの値を変更した後は、アラーム時刻の設定が確定されるまで待つて、IELSRn.IR ビットと、RTC_ALM 割り込みに対応する割り込みセット保留レジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは 1 になりません。

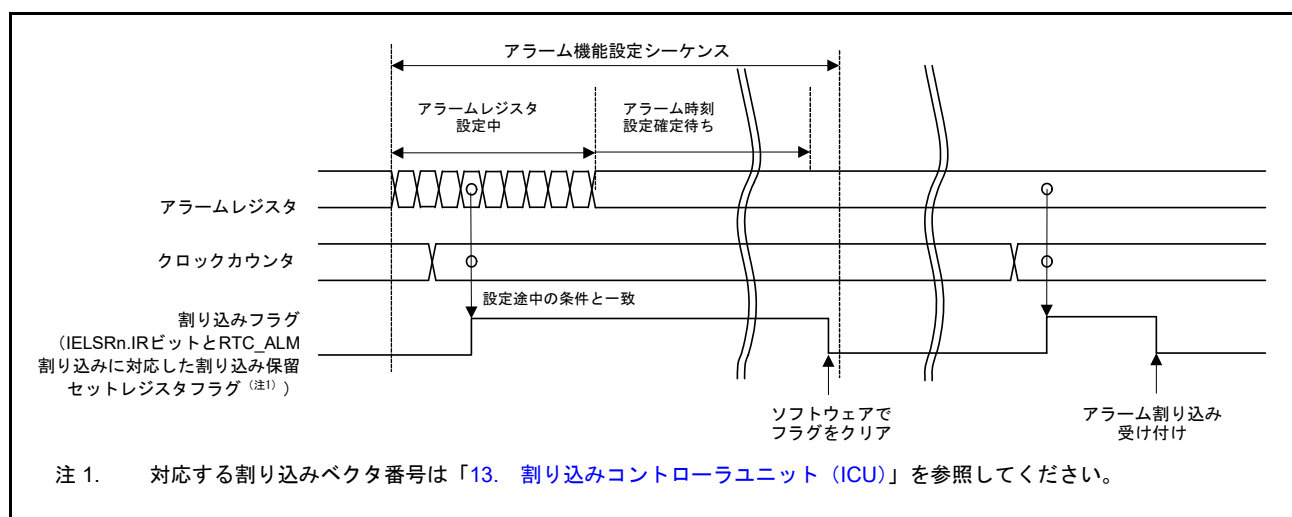


図 23.9 アラーム割り込み (RTC_ALM) のタイミング図

(2) 周期割り込み (RTC_PRD)

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

(3) 桁上げ割り込み (RTC_CUP)

この割り込みは、秒カウンタ／バイナリカウンタ 0 への桁上げが生じたとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが生じたときに発生します。

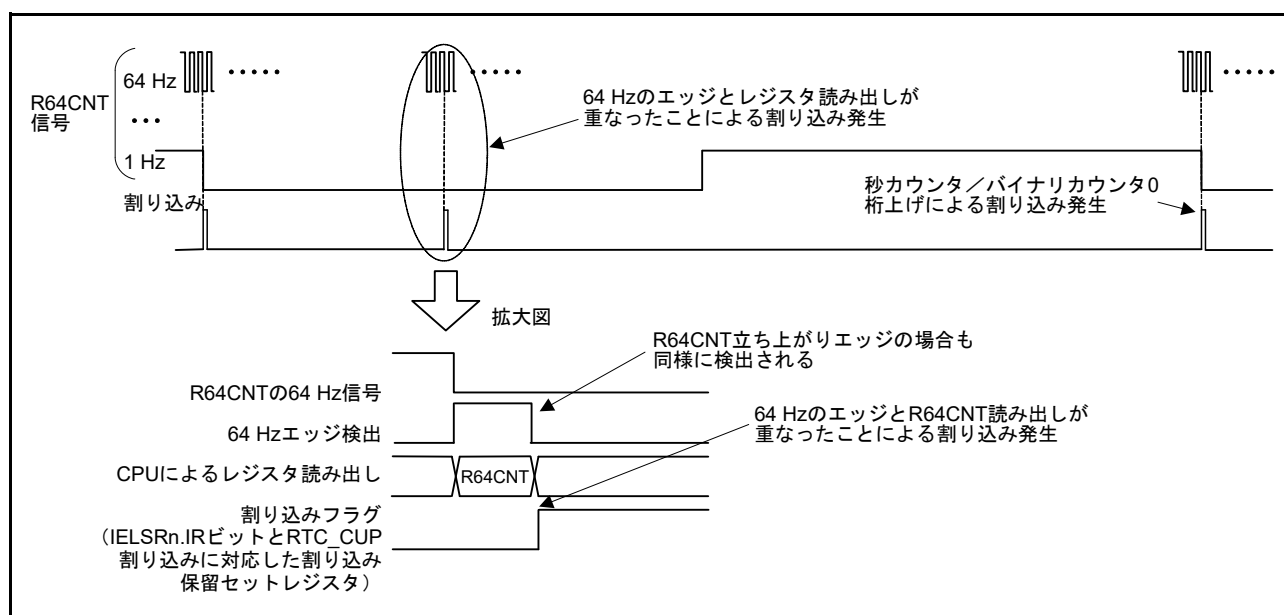


図 23.10 桁上げ割り込み (RTC_CUP) のタイミング図

23.5 イベントリンク出力

RTC は、ELC 用の周期イベント出力 (RTC_PRD) のイベント信号を発生させることで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択された周期でイベントを出力します。

イベント発生を選択した直後のイベント発生周期は保証されません。

注． RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号が出力することがあります。

23.5.1 割り込み処理とイベントリンク機能

RTC には、周期割り込みを許可または禁止する許可ビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として出力します。

注． ソフトウェアスタンバイ中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力しません。

23.6 使用上の注意事項

23.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.START ビットが 1 のとき）は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24
- RFRL

上記のレジスタのいずれかに書き込みを行う場合、前もってカウント動作を停止する必要があります。

23.6.2 周期割り込みの使用について

周期割り込みの使用法を [図 23.11](#) に示します。

周期割り込みの発生とその周期は、RCR1.PES[3:0] ビットの設定で変更できます。ただし、割り込みの生成にはプリスケアラ R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0] ビットの設定直後は、割り込み発生周期が保証されません。さらに、以下のいずれかによって、割り込み発生周期が影響される可能性があります。

- カウンタ動作の停止／動作／リセット
- RTC ソフトウェアによるリセット
- RCR2 値の変更による 30 秒調整

時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值に従って加算または減算されます。

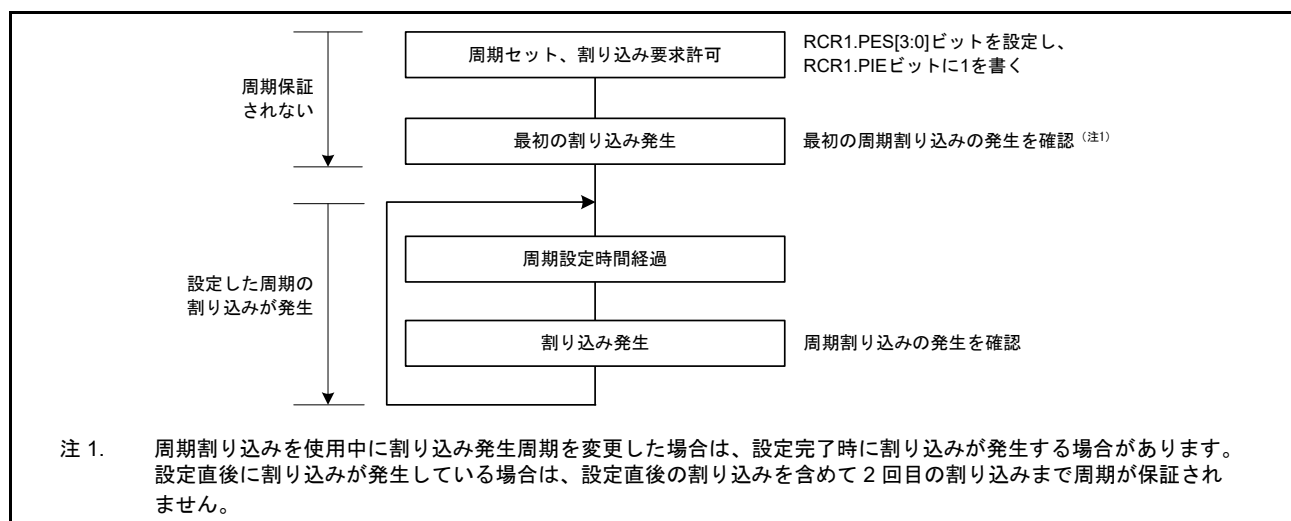


図 23.11 周期割り込み機能の使用法

23.6.3 RTCOUT (1Hz/64Hz) クロック出力について

RCR2 レジスタ値を変更して、カウント動作の停止／動作／リセット、RTC ソフトウェアリセット、および 30 秒調整を行うと、RTCOUT (1Hz/64Hz) 出力周期に影響が及びます。時計誤差補正機能を使用した場合、補正後の RTCOUT (1Hz/64Hz) 出力周期は、補正值に従って加算または減算されます。

23.6.4 レジスタ設定後の低消費電力モード遷移について

RTC レジスタへの書き込み中に低消費電力モードへ遷移すると、レジスタ値が破損する可能性があります。レジスタの設定後は、設定が確定したことを確認してから低消費電力状態へ遷移してください。

23.6.5 レジスタの書き込み／読み出し時の注意事項

- カウンタレジスタ (秒カウンタなど) へ書き込んだ後、そのカウンタレジスタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタ、または周波数レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます
- リセットまたはソフトウェアスタンバイモード状態から復帰した後、タイマカウンタ値を読み出す際は、時計動作中 (RCR2.START ビット = 1) の状態で 1/128 秒待ってください
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください

23.6.6 カウントモードの変更について

カウントモード (カレンダ／バイナリ) を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、[23.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

23.6.7 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによる初期化が行われません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、電力消費が多くなります。

リアルタイムクロックを必要としない製品では、[図 23.12](#) に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロック発振器をシステムクロックにもリアルタイムクロックにも使用しない場合は、RCR4.RCKSEL ビットを 0 (サブクロック発振器を選択) にした後、サブクロック発振器を停止させることでカウンタを停止できます。サブクロック発振器を停止させるには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「[9. クロック発生回路](#)」を参照してください。

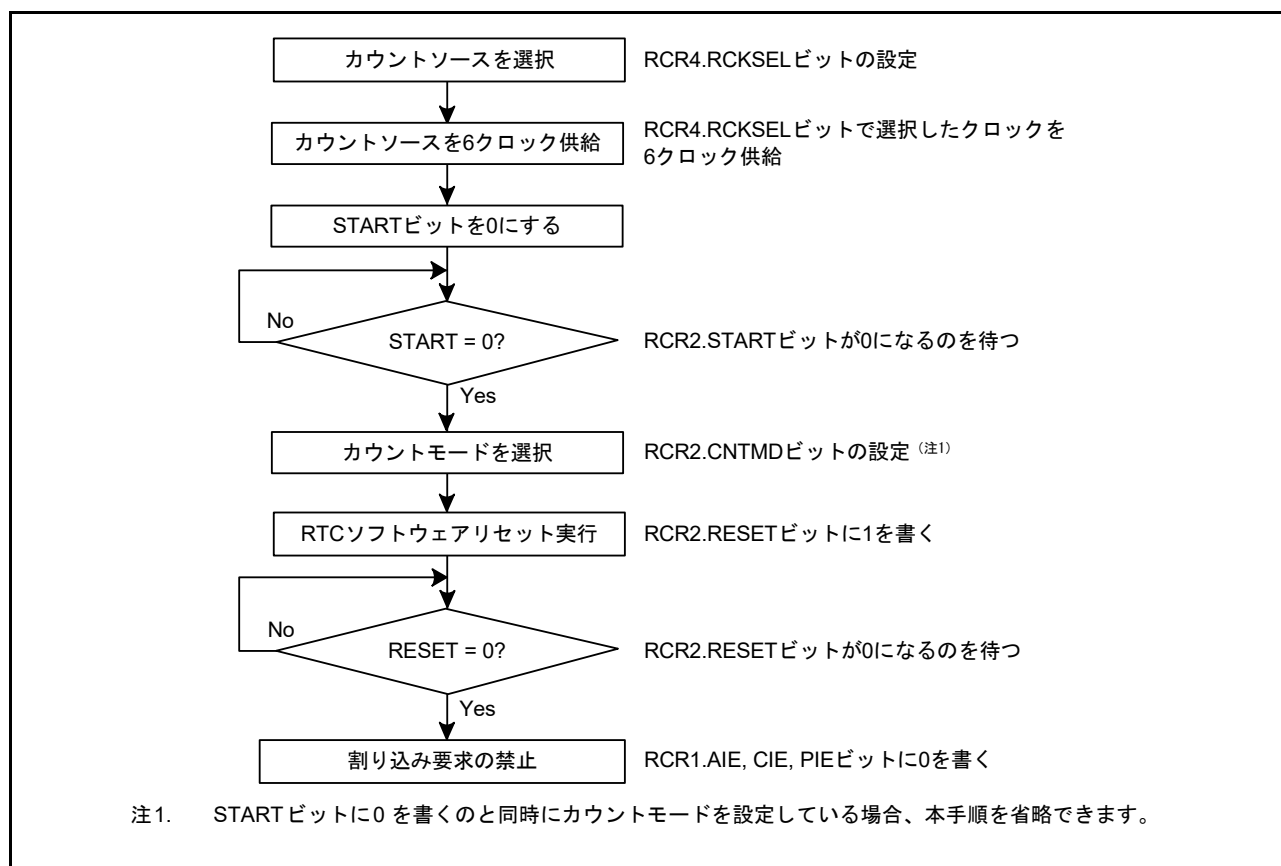


図 23.12 初期化手順

23.6.8 ソースクロック切り替え時

SCKSCR.CKSEL[2:0] を変更することによりクロックソースを切り替える場合、セレクトからのクロック出力は切り替えたクロックの4サイクル間停止します。このとき RTC 定期割り込みまたは RTC 定期イベント出力が発生した場合は、その割り込みまたはイベントは無効です。

24. ウォッチドッグタイマ (WDT)

24.1 概要

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走して WDT をリフレッシュできないためにカウンタがアンダーフローした場合、MCU をリセットするために使用できます。さらに、ノンマスカブル割り込みやアンダーフロー割り込みを発生させるためにも使用できます。リフレッシュ許可期間を設定することで、カウンタのリフレッシュやシステムの暴走検知が可能になります。

表 24.1 に WDT の仕様を、図 24.1 に WDT のブロック図を示します。

表 24.1 WDT の仕様

項目	内容
カウントソース	周辺クロック (PCLKB)
クロック分周比	4分周／64分周／128分周／512分周／2048分周／8192分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	- オートスタートモード：リセット後、またはアンダーフロー／リフレッシュエラー発生後に自動的にカウント開始 - レジスタスタートモード：WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始
カウンタ停止条件	- リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） - カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
ウォッチドッグタイマリセット要因	- ダウンカウンタがアンダーフローしたとき - リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	- ダウンカウンタがアンダーフローしたとき - リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー）
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	- ダウンカウンタアンダーフローイベント出力 - リフレッシュエラーイベント出力
出力信号（内部信号）	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力

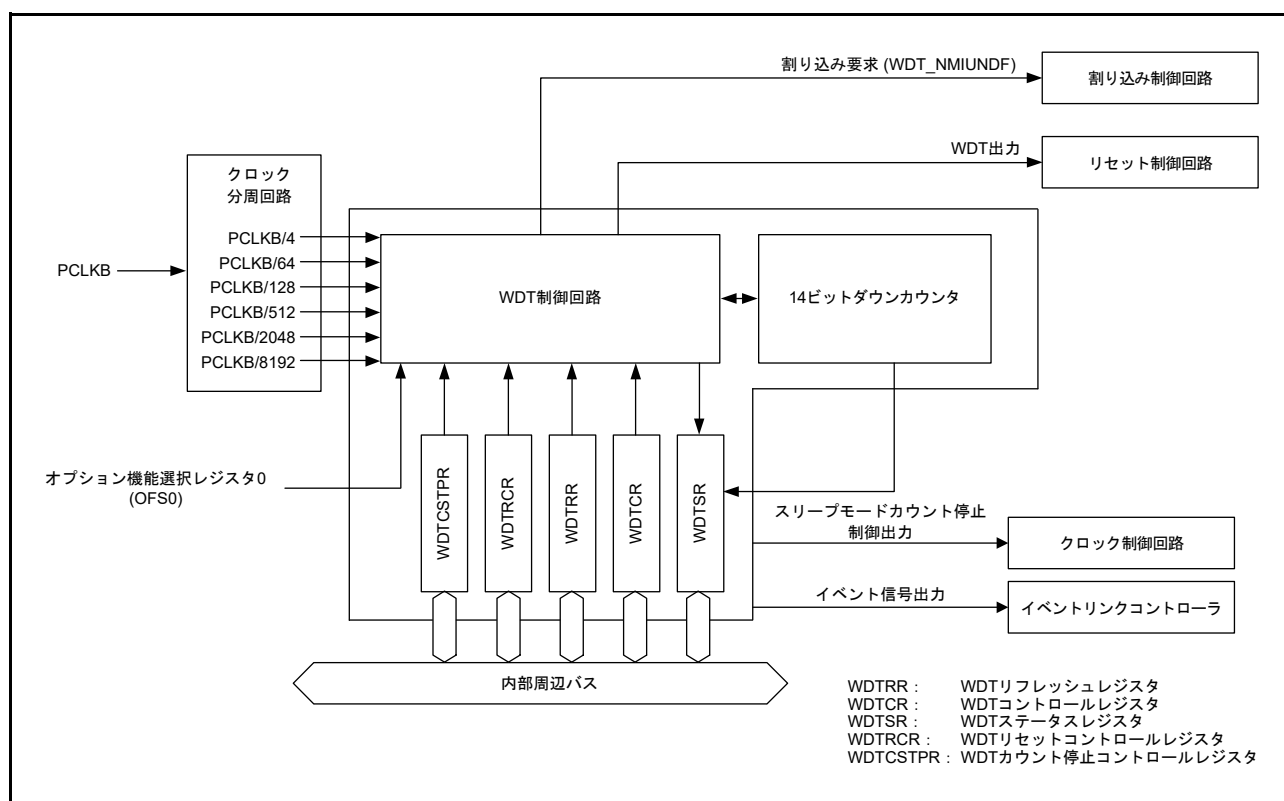


図 24.1 WDT のブロック図

24.2 レジスタの説明

24.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス [WDT.WDTRR 4004 4200h](#)



ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは、ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 の WDT タイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定した値からダウンカウントがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[24.3.3 リフレッシュ動作](#)を参照してください。

24.2.2 WDT コントロールレジスタ (WDTCR)

アドレス WDT.WDTCR 4004 4202h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]				
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択	b1 b0 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b7-b4	CKS[3:0]	クロック分周比選択	b7 b4 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウ終了位置の設定なし)	R/W
b11-b10	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウ開始位置の設定なし)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[24.3.2 WDTCR、WDTRCR、および WDTCSR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTCR レジスタの設定は、OFS0 レジスタでも可能です。詳細は、[24.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (PCLKB サイクル数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせで決定されます。

表 24.2 に、CKS[3:0] および TOPS[1:0] ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 24.2 タイムアウト期間の設定

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLKB クロックサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLKB/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLKB/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLKB/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLKB/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLKB/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLKB/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺クロック (PCLKB) の 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択できます。TOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096 ~ 134217728 サイクルから選択できます。

RPES[1:0] ビット (ウィンドウ終了位置選択)

リフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

RPSS[1:0] ビット (ウィンドウ開始位置選択)

リフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

TOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 24.3 に、RPSS[1:0] および RPES[1:0] で設定されるリフレッシュ許可期間を図 24.2 に示します。

表 24.3 タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

TOPS[1:0] ビット		タイムアウト期間		ウィンドウ開始／終了カウンタ値			
		サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

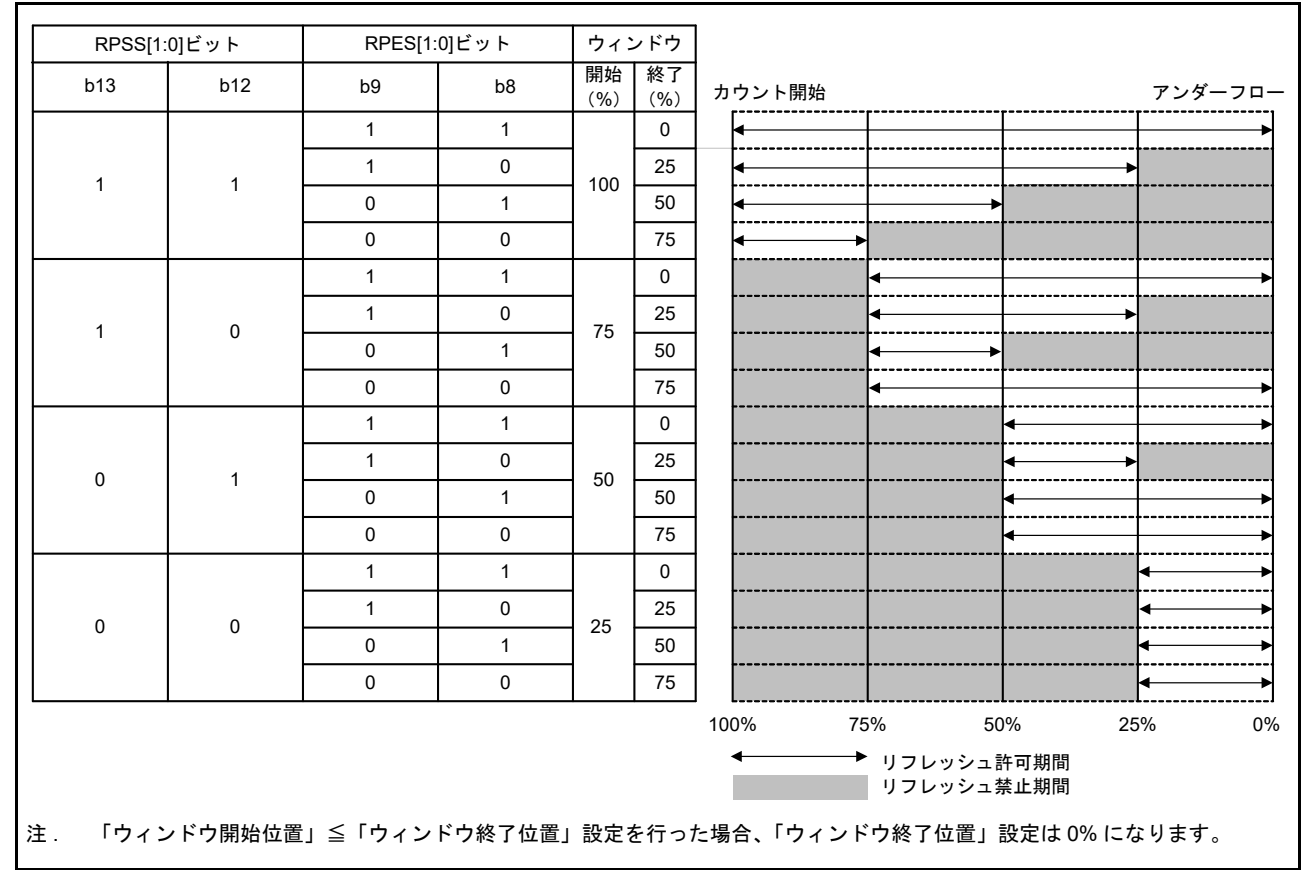
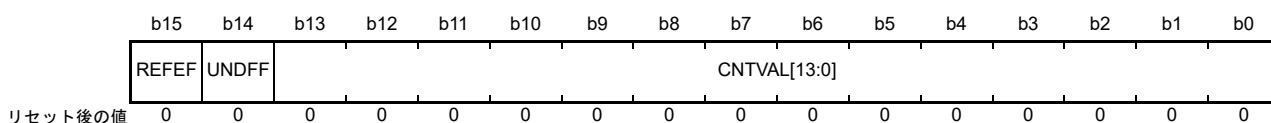


図 24.2 RPSS[1:0] および RPES[1:0] ビットとリフレッシュ許可期間

24.2.3 WDT ステータスレジスタ (WDTSR)

アドレス WDT.WDTSR 4004 4204h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDF	アンダーフローフラグ	0 : アンダーフロー発生なし 1 : アンダーフロー発生あり	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0 : リフレッシュエラー発生なし 1 : リフレッシュエラー発生あり	R/(W) (注1)

注 1. フラグを 0 にするための 0 書き込みのみ可能です。

CNTVAL[13:0] ビット (ダウンカウンタ値)

これらのビットを読み出すことにより、ダウンカウンタのカウンタ値を確認できます。ただし読み出し値は、実際のカウンタ値から 1 カウントずれる場合があります。

UNDF フラグ (アンダーフローフラグ)

このフラグを読み出すことにより、ダウンカウンタにアンダーフローが発生したか否かを確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには、UNDF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDF フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+1) PCLKB サイクル数の間は、このフラグをクリアしても無視されます。N は、次式のように、WDT.CR.CKS[3:0] ビットで指定されます。

- WDT.CR.CKS[3:0] = 0001b のとき、N = 4
- WDT.CR.CKS[3:0] = 0100b のとき、N = 64
- WDT.CR.CKS[3:0] = 1111b のとき、N = 128
- WDT.CR.CKS[3:0] = 0110b のとき、N = 512
- WDT.CR.CKS[3:0] = 0111b のとき、N = 2048
- WDT.CR.CKS[3:0] = 1000b のとき、N = 8192

REFEF フラグ (リフレッシュエラーフラグ)

このフラグを読み出すことにより、リフレッシュエラーが発生したか否かを確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、REFEF フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+1) PCLKB サイクル数の間は、このフラグをクリアしても無視されます。N は、次式のように、WDT.CR.CKS[3:0] ビットで指定されます。

- WDT.CR.CKS[3:0] = 0001b のとき、N = 4
- WDT.CR.CKS[3:0] = 0100b のとき、N = 64
- WDT.CR.CKS[3:0] = 1111b のとき、N = 128
- WDT.CR.CKS[3:0] = 0110b のとき、N = 512
- WDT.CR.CKS[3:0] = 0111b のとき、N = 2048
- WDT.CR.CKS[3:0] = 1000b のとき、N = 8192

24.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス [WDT.WDTRCR 4004 4206h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b7	RSTIRQS	リセット割り込み要求選択	WDT動作の選択 0：割り込み 1：リセット	R/W

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[24.3.2 WDTCR、WDTRCR、および WDTCSPTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTRCR レジスタの各ビットの設定は、OFS0 レジスタでも可能です。詳細は、[24.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

24.2.5 WDT カウント停止コントロールレジスタ (WDTCSPTPR)

アドレス [WDT.WDTCSPTPR 4004 4208h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCST P	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b7	SLCSTP	スリープモードカウント停止制御	0：カウント停止を禁止 1：スリープモード遷移時にカウント停止	R/W

WDTCSPTPR レジスタは、スリープモードにおいて、WDT カウンタを停止させるか否かを制御します。WDTCSPTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、[24.3.2 WDTCR、WDTRCR、および WDTCSPTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCSPTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTCSPTPR レジスタのビットの設定は、OFS0 レジスタでも可能です。詳細は、[24.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

SLCSTP ビット (スリープモードカウント停止制御)

スリープモード遷移時に、カウントを停止させるか否かを選択します。

24.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細については、[24.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

24.3 動作説明

24.3.1 スタートモード別のカウント動作

WDT には、次の 2 つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：レジスタへの書き込みによるリフレッシュ動作でカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュ内のオプション機能選択レジスタ 0 (OFS0) の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してからリフレッシュ（レジスタへの書き込み）を行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) の設定値が有効となります。

24.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 1 の場合、レジスタスタートモードが選択されて、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) が有効となります。

リセット状態の解除後、以下を設定してください。

- WDTCR レジスタにおいて、クロック分周比
- WDTCR レジスタにおいて、ウィンドウ開始／終了位置
- WDTCR レジスタにおいて、タイムアウト期間
- WDTRCR レジスタにおいて、リセット出力または割り込み要求出力
- WDTCSPTPR レジスタにおいて、スリープモード遷移時のカウント停止制御

WDT リフレッシュレジスタ (WDTRR) にて、ダウンカウンタをリフレッシュして下さい。すると、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントが開始されます。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウントが継続する間、WDT はリセット信号、またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできずダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外のリフレッシュによりリフレッシュエラーが発生した場合は、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。

リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で行います。NMI の起動要因となる割り込み許可は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIEP.WDTEN) で行います。

図 24.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力を許可 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

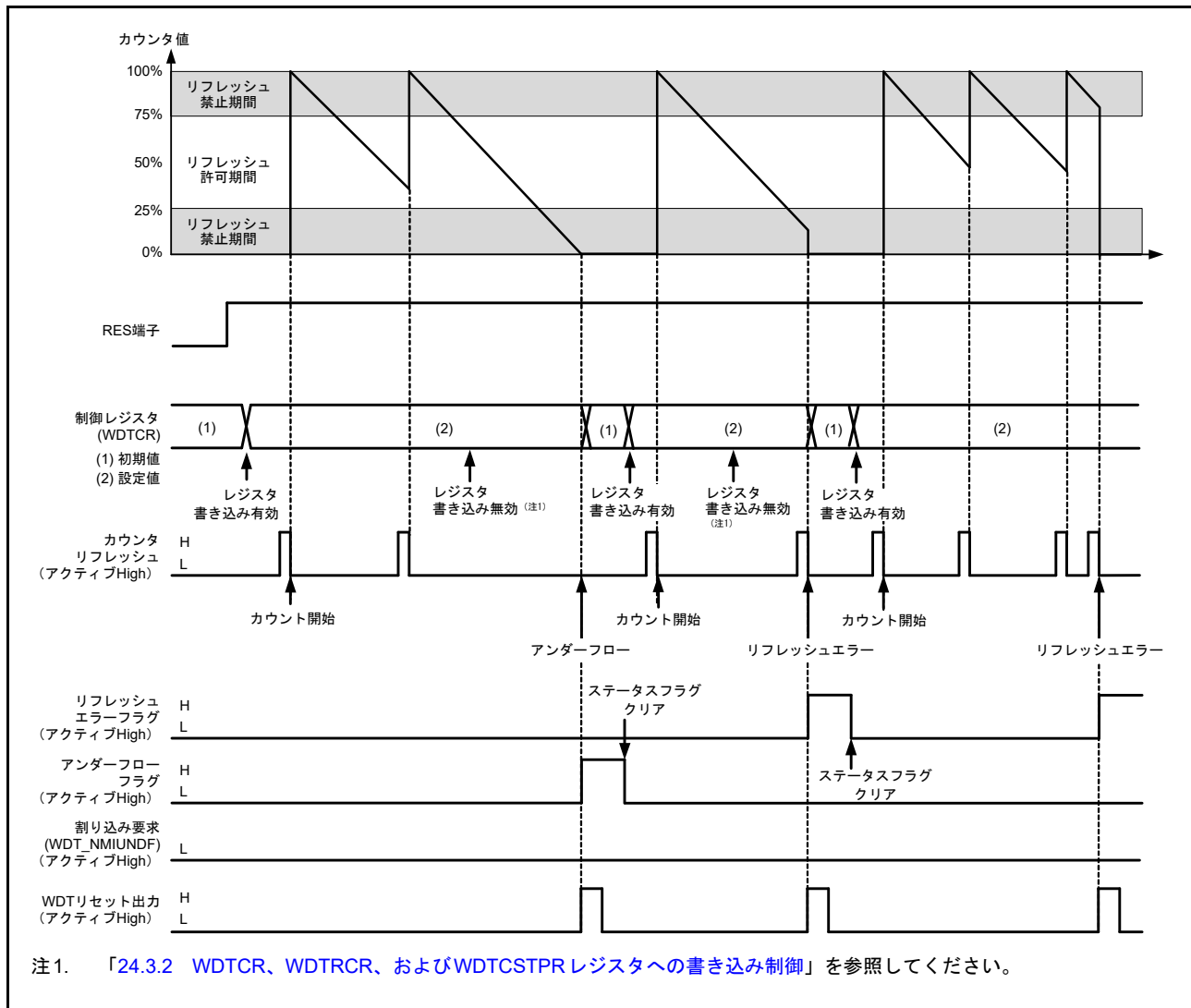


図 24.3 レジスタスタートモードでの動作例

24.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されて、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウント停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウンタが継続する間、WDT はリセット信号、またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできずダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外のリフレッシュによりリフレッシュエラーが発生した場合は、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) で行います。NMI の起動要因となる割り込み許可は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 24.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード（OFS0.WDTSTRT = 0）
- WDT 動作の選択：割り込み（OFS0.WDTRSTIRQS = 0）
- NMI 起動起因の割り込み要求を許可（NMIER.WDTEN = 1）
- ウィンドウ開始位置 75%（OFS0.WDTRPSS[1:0] = 10b）
- ウィンドウ終了位置 25%（OFS0.WDTRPES[1:0] = 10b）

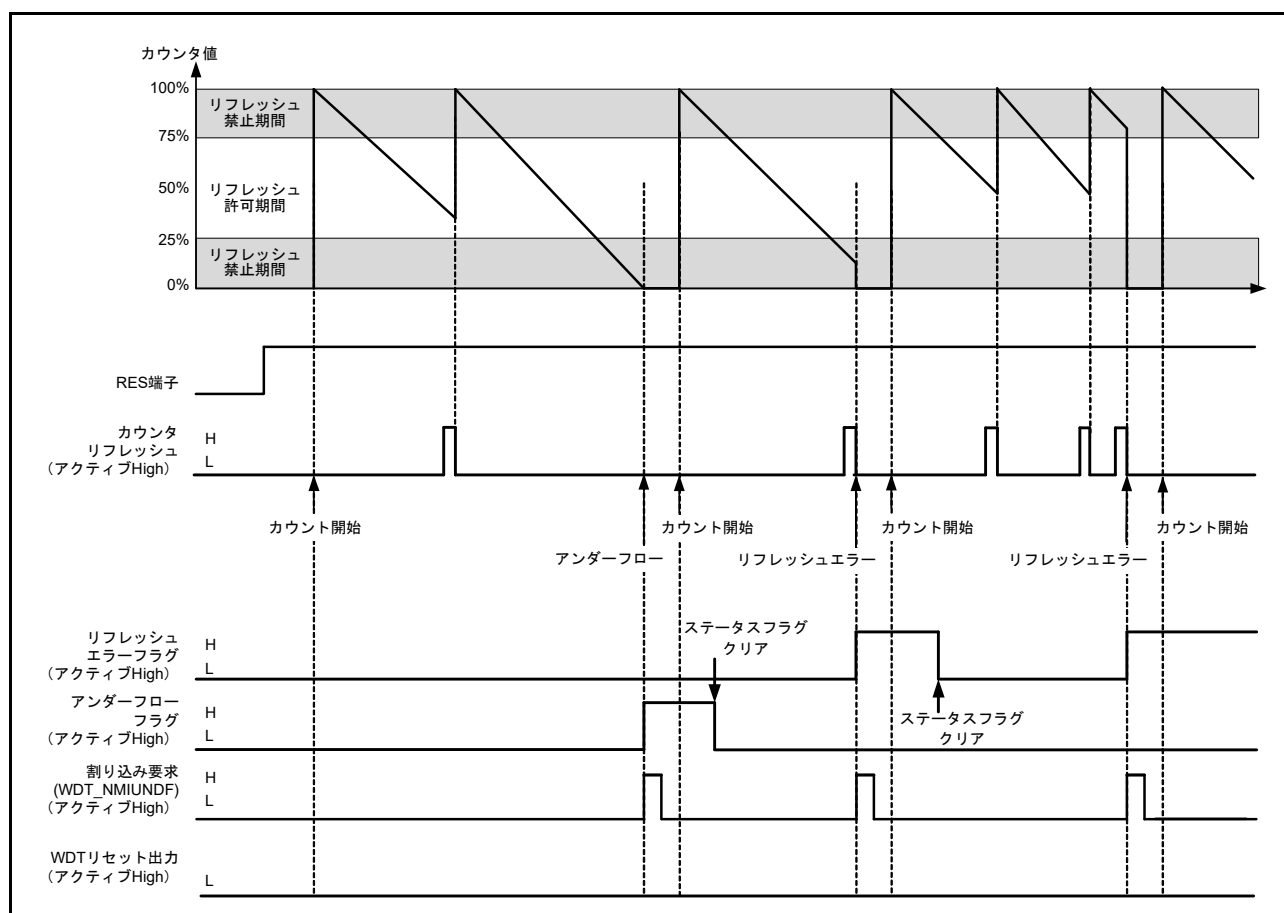


図 24.4 オートスタートモードでの動作例

24.3.2 WDTCR、WDTRCR、および WDTCSPTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間にそれぞれ 1 回可能です。

リフレッシュ動作 (カウントスタート) 後、あるいは WDTCR、WDTRCR、または WDTCSPTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後の書き込みから WDTCR、WDTRCR、および WDTCSPTPR レジスタを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 24.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

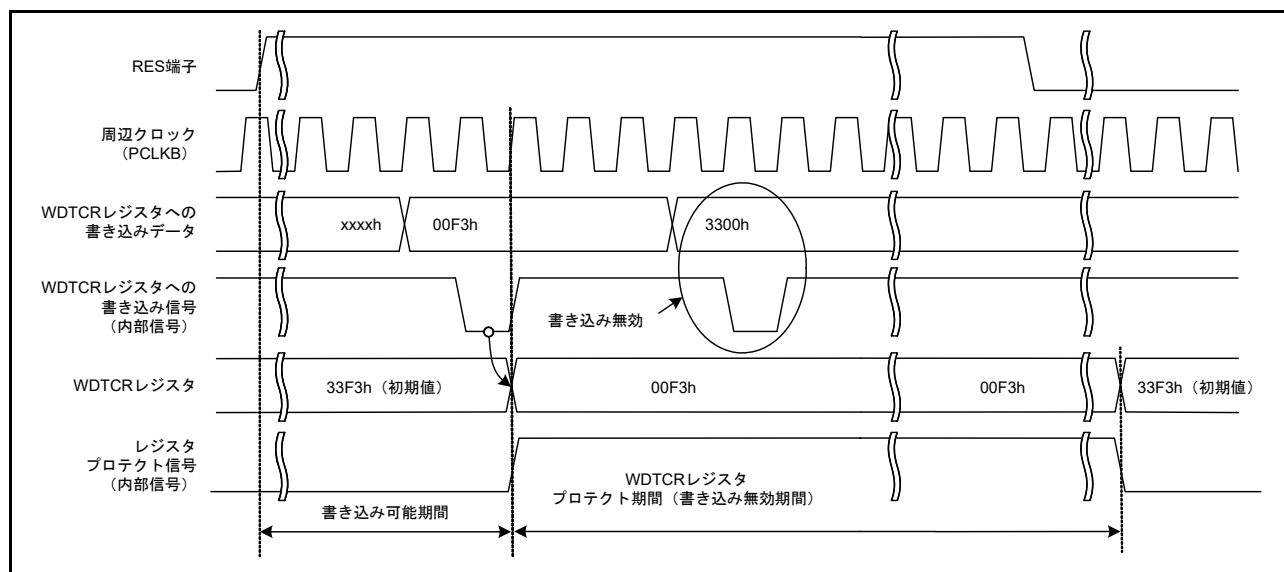


図 24.5 WDTCR レジスタへの書き込みに対して生成される制御波形

24.3.3 リフレッシュ動作

ダウンカウンタは、無効な値を書き込んだ場合は、WDTRR レジスタに 00h の書き込みに続けて FFh を書き込むことにより、リフレッシュが正常に行われます。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタへ 00h の書き込みに続けて FFh を書き込むことにより、正常にリフレッシュが行われます。

また、WDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、WDTRR 以外のレジスタにアクセスするか、または WDTRR レジスタを読み出すと、正常にリフレッシュが行われます。

カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間内に行う必要があります、その判定は FFh の書き込み時に行われます。そのため、00h の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n-1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは WDTRR レジスタの読み出し → FFh

【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に FFh を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタがアンダーフローする 4 カウントサイクル前までに、WDTRR レジスタへの FFh の書き込みを完了する必要があります。

図 24.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

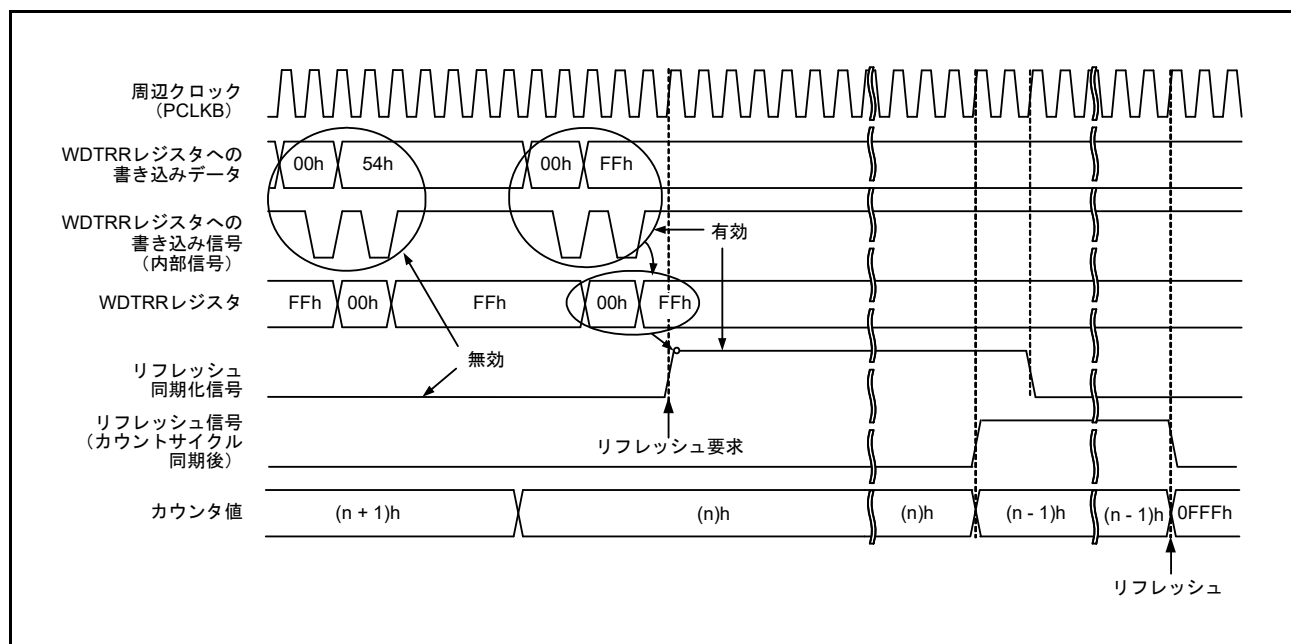


図 24.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

24.3.4 リセット出力

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が 1 カウントサイクル間出力されます。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され (全ビットが 0 になり)、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後、リフレッシュ動作を行うと、カウンタが再設定されダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

24.3.5 割り込み要因

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (WDT_NMIUNDF) が生成されます。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

表 24.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動
WDT_NMIUNDF	- ダウンカウンタアンダーフロー - リフレッシュエラー	不可能

24.3.6 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。

図 24.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

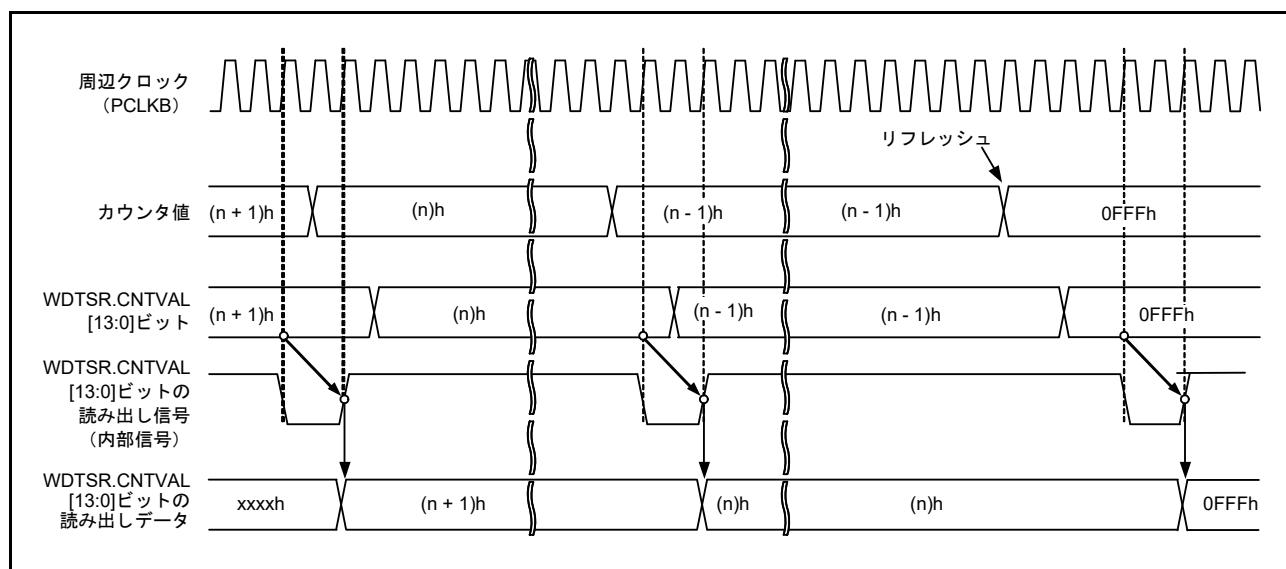


図 24.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

24.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

表 24.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。OFS0 レジスタの設定値は、WDT 動作中は変更しないでください。オプション機能選択レジスタ 0 (OFS0) については、[7.2.1 オプション機能選択レジスタ 0 \(OFS0\)](#) を参照してください。

表 24.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力／割り込み要求出力	リセット割り込み要求選択	OFS0.WDTRSTIRQS	WDTCCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSSTPR.SLCSTP

24.4 ELC によるリンク動作

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は前もって設定しておいたモジュールに対してリンク動作が可能です。イベント信号は、カウンタのアンダーフローおよびリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードでのリセット割り込み要求選択ビット (WDTCCR.RSTIRQS) またはオートスタートモードでの WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) の設定とは無関係に出力されます。リフレッシュエラーフラグ (WDTSR.REFEEF) またはアンダーフローフラグ (WDTSR.UNDFE) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「[17. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

24.5 使用上の注意事項

24.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定

WDT リセット割り込み要求選択をリセット (OFS0.WDTRSTIRQS = 1 または WDTCCR.RSTIRQS = 1) にした場合、またはイベントリンク動作を許可 (ELSRm.ELS[7:0] = 18h) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[7:0]) に 18h を設定することは禁止されています。

25. 独立ウォッチドッグタイマ (IWDT)

25.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットダウンカウンタで構成されます。このカウンタはアンダーフロー防止のため周期的に動作させる必要があります。IWDT には、MCU をリセットする機能や、ノンマスカブル割り込みまたはアンダーフロー割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCU をフェイルセーフメカニズムと呼ばれる状態に戻すことに特に役立ちます。IWDT は、リセット、アンダーフロー、リフレッシュエラー、またはレジスタのカウント値のリフレッシュで自動的に起動します。

IWDT 機能は、WDT と以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用 (PCLKB の影響を受けない)
- IWDT はレジスタスタートモードを非サポート
- 低消費電力モードへ遷移したとき、OFS0.IWDTSTPCTL ビットを使用してカウンタを停止する／しないの選択が可能

表 25.1 に IWDT の仕様を、図 25.1 に IWDT のブロック図を示します。

表 25.1 IWDTの仕様

項目	内容
カウントソース (注1)	IWDT専用クロック (IWDTCLK)
クロック分周比	1分周／16分周／32分周／64分周／128分周／256分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	リセット後、自動的にカウント開始
カウンタ停止条件	• リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) • カウンタのアンダーフローまたはリフレッシュエラー発生 (自動的にカウント再開)
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能 (リフレッシュ許可／禁止期間)
リセット出力要因	• ダウンカウンタがアンダーフローしたとき • リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタがアンダーフローしたとき • リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	IWDTSRレジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号 (内部信号)	• リセット出力 • 割り込み要求出力 • スリープモードカウンタ停止制御出力
オートスタートモード	下記のトリガに設定可能： • リセット後のクロック分周比 (OFS0.IWDTCKS[3:0]ビット) • IWDTのタイムアウト期間 (OFS0.IWDTTOPS[1:0]ビット) • IWDTのウィンドウ開始位置 (OFS0.IWDRPSS[1:0]ビット) • IWDTのウィンドウ終了位置 (OFS0.IWDRPES[1:0]ビット) • リセット出力または割り込み要求出力 (OFS0.IWDRSTIRQSビット) • スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード遷移時のダウンカウンタ停止機能 (OFS0.IWDTSTPCTLビット)

注 1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後周波数) となるように設定してください。

IWDT を使用するには、IWDT 専用クロック (IWDTCLK) を供給する必要があります。バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

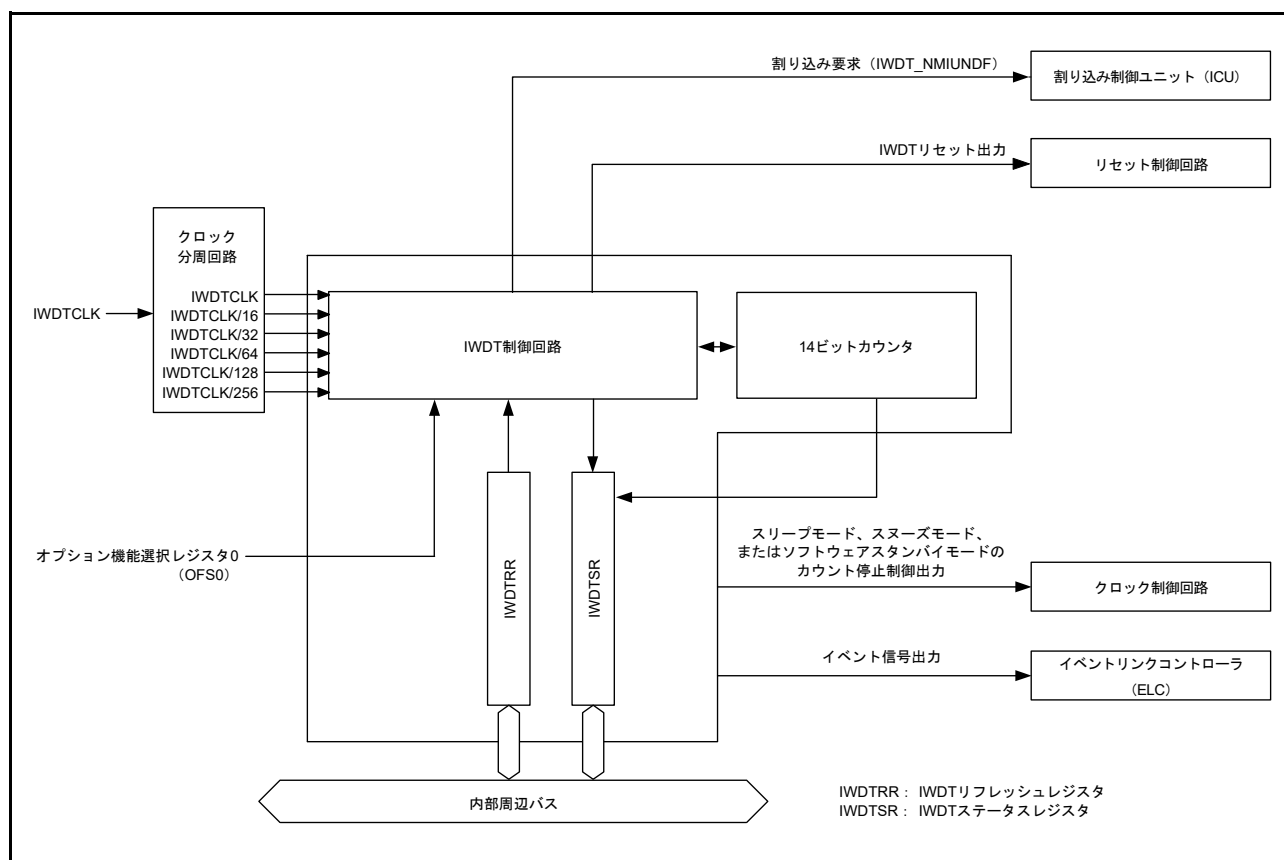


図 25.1 IWDT のブロック図

25.2 レジスタの説明

25.2.1 IWDTR リフレッシュレジスタ (IWDTRR)

アドレス [IWDTRR 4004 4400h](#)



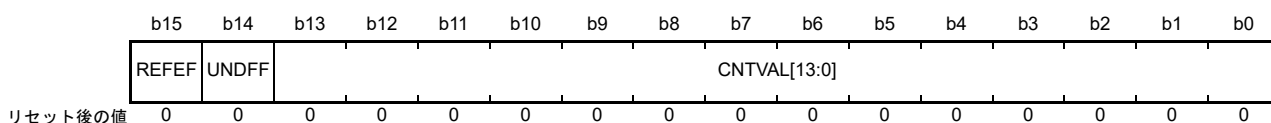
ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDTR のダウンカウンタをリフレッシュするレジスタです。リフレッシュ許可期間内に IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、IWDTR のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDTR タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウンタがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[25.3.2 リフレッシュ動作](#)を参照してください。

25.2.2 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 4004 4404h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDF	アンダーフローフラグ	0: アンダーフローの発生なし 1: アンダーフローの発生あり	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーの発生なし 1: リフレッシュエラーの発生あり	R/(W) (注1)

注 1. フラグを 0 にするための 0 書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値)

これらのビットを読み出すことにより、ダウンカウンタのカウンタ値を確認できます。ただし読み出し値は、実際のカウンタ値から 1 カウントずれる場合があります。

UNDF フラグ (アンダーフローフラグ)

このフラグを読み出すことにより、ダウンカウンタにアンダーフローが発生したか否かを確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには、UNDF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDF フラグのクリアには、(N+2) IWDTCLK サイクルと 2 PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+2) IWDTCLK サイクルの間は、本フラグをクリアしても無視されます。N は、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64
- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256

REFEF フラグ (リフレッシュエラーフラグ)

このフラグを読み出すことにより、リフレッシュエラーが発生したか否かを確認できます。これはリフレッシュ禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、REFEF フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+2) IWDTCLK サイクルと 2 PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+2) IWDTCLK サイクルの間は、本フラグをクリアしても無視されます。N は、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64
- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256

25.2.3 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) の詳細については、[7.2.1 オプション機能選択レジスタ 0 \(OFS0\)](#) を参照してください。

IWDTTOPS[1:0] ビット (IWDТ タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの IWDTCLK サイクル数は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせで決定されます。

[表 25.2](#) に、IWDTCKS[3:0] および IWDTTOPS[1:0] ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 25.2 タイムアウト期間の設定

IWDTCKS[3:0] ビット				IWDTTOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK サイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDТCKS[3:0] ビット (IWDТ 専用クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDТ 専用クロック (IWDТCLK) の 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択できます。IWDТTOPS[1:0] ビットと組み合わせて、IWDТ のカウント期間を IWDТCLK クロックの 128 ~ 524288 サイクルから選択できます。

IWDTRPES[1:0] ビット (IWDТ ウィンドウ終了位置選択)

リフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定します (ウィンドウ開始位置 > ウィンドウ終了位置)。「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

IWDTRPSS[1:0] ビット (IWDТ ウィンドウ開始位置選択)

リフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

IWDТTOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウント値を表 25.3 に、IWDTRPSS[1:0] および IWDTRPES[1:0] で設定されるリフレッシュ許可期間を図 25.2 に示します。

表 25.3 タイムアウト期間とウィンドウ開始／終了カウント値の対応表

IWDТTOPS[1:0] ビット		タイムアウト期間		ウィンドウ開始／終了カウント値			
b1	b0	サイクル数	カウント値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

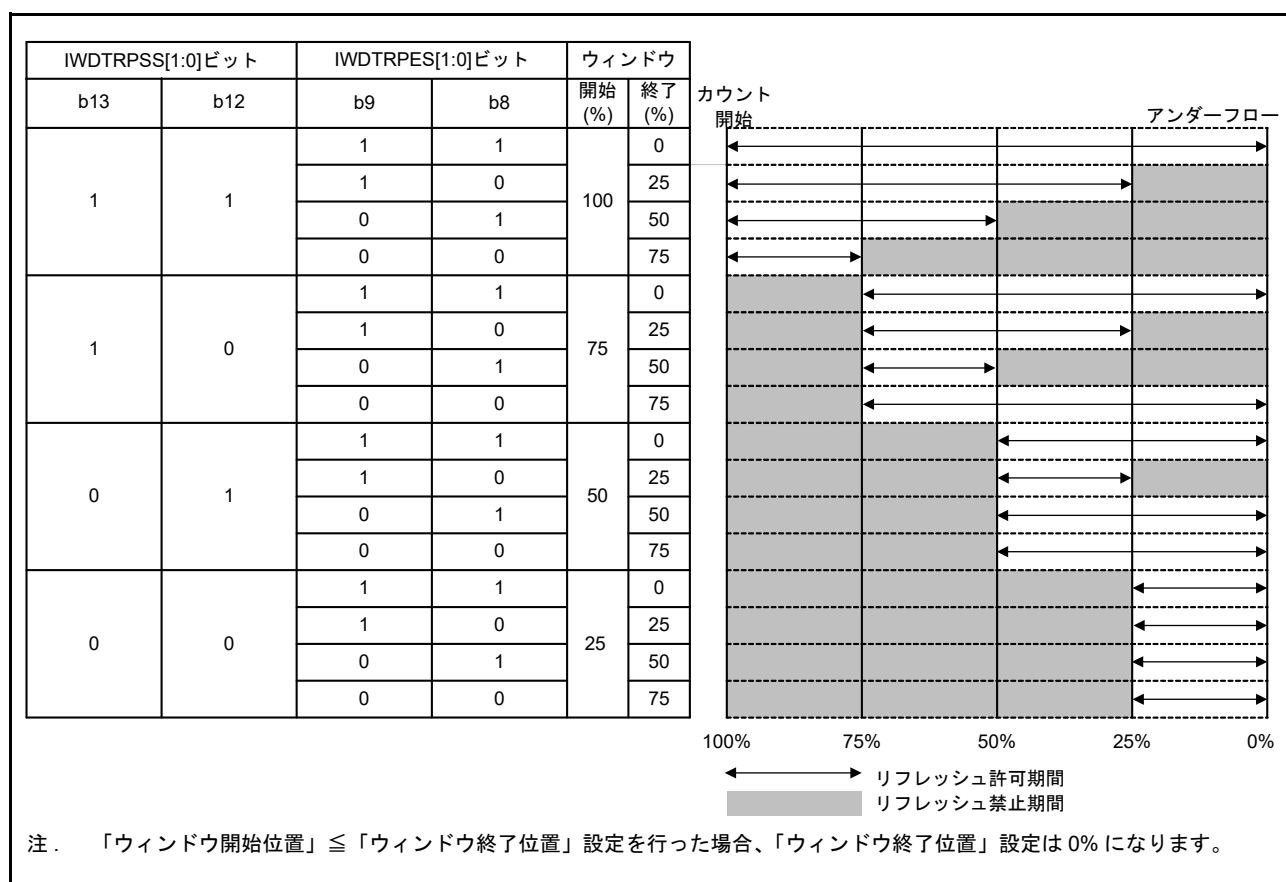


図 25.2 IWDRPSS[1:0] および IWDRPES[1:0] ビットとリフレッシュ許可期間

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択)

アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセットを選択します。0 にすると、割り込みを選択します。

IWDTSTPCTL ビット (IWDT 停止制御)

スリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移した時にカウントを停止させるかどうかを選択します。

25.3 動作説明

25.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。それ以外では IWDT は無効です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- 低消費電力モード遷移時のカウント停止制御

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定された値からカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウンタが継続する間、IWDT はリセット信号、またはノンマスカブル割り込み要求／割り込み要求 (IWDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできずダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外のリフレッシュによりリフレッシュエラーが発生した場合は、IWDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力の選択は、IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で行います。NMI の起動要因となる割り込み許可は、IWDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で行います。

図 25.3 に、下記の条件下での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作の選択：割り込み (OFS0.IWDTRSTIRQS = 0)
- NMI 起動起因の割り込み要求を許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

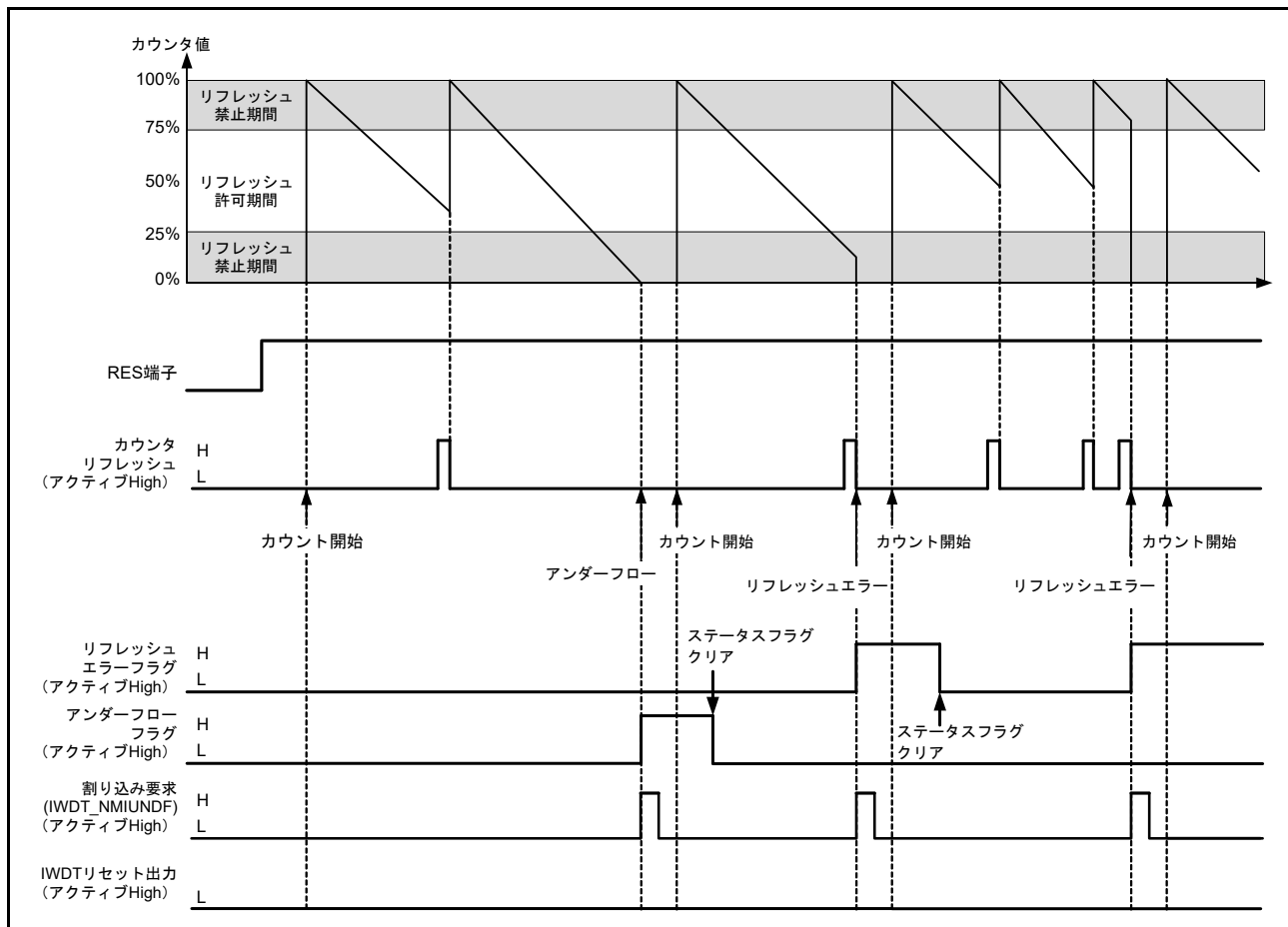


図 25.3 オートスタートモードでの動作例

25.3.2 リフレッシュ動作

ダウンカウンタは、無効な値を書き込んだ場合は、IWDTRR レジスタに 00h の書き込みに続けて FFh を書き込むことにより、リフレッシュが正常に行われます。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR へ 00h の書き込みに続けて FFh を書き込むことにより、正常にリフレッシュが行われます。

00h (1 回目) → 00h (2 回目) の順で書き込みを行った場合でも、その後に FFh を書き込めば、00h → FFh の書き込み順序が成立します。00h (n-1 回目) → 00h (n 回目) → FFh という書き込み順序は有効であり、正常にリフレッシュが行われます。00h より前の書き込み値が 00h 以外であっても、動作に 00h → FFh という書き込み順序が含まれている限り、正常にリフレッシュが行われます。

また、IWDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出すことでも、正常にリフレッシュが行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n-1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → FFh

【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

リフレッシュ許可期間外に IWDTRR レジスタへ 00h を書き込んだ場合でも、リフレッシュ許可期間内に IWDTRR レジスタへ FFh を書き込めば、この書き込み順序は有効であり、リフレッシュ動作が完了します。

カウンタのリフレッシュには、IWDTRR レジスタに FFh を書き込んだ後、カウント信号のサイクル数で最大 4 サイクル必要です。(カウントの 1 サイクルが、IWDT 専用クロック (IWDTCCLK) の何サイクルに相当するかは、IWDT 専用クロック分周比選択ビット (OFS0.IWDTCCKS[3:0]) で決まります)。この要件を満たすには、リフレッシュ許可期間の終了またはカウンタアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの FFh の書き込みを完了してください。カウンタの値は、カウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 01FFh とした場合、IWDTRR レジスタへの 00h の書き込みが 01FFh より前 (たとえば 0202h) であっても、IWDTSR.CNTVAL[13:0] ビット値が 01FFh になってから IWDTRR レジスタへ FFh を書き込めば、リフレッシュを行います
- ウィンドウ終了位置を 01FFh とした場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0203h (01FFh の 4 カウントサイクル前) 以上であれば、リフレッシュが行われます
- リフレッシュ許可期間が 0000h まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0003h (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローが発生することなく、リフレッシュが行われます

図 25.4 に、PCLKB > IWDTCLK のとき、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

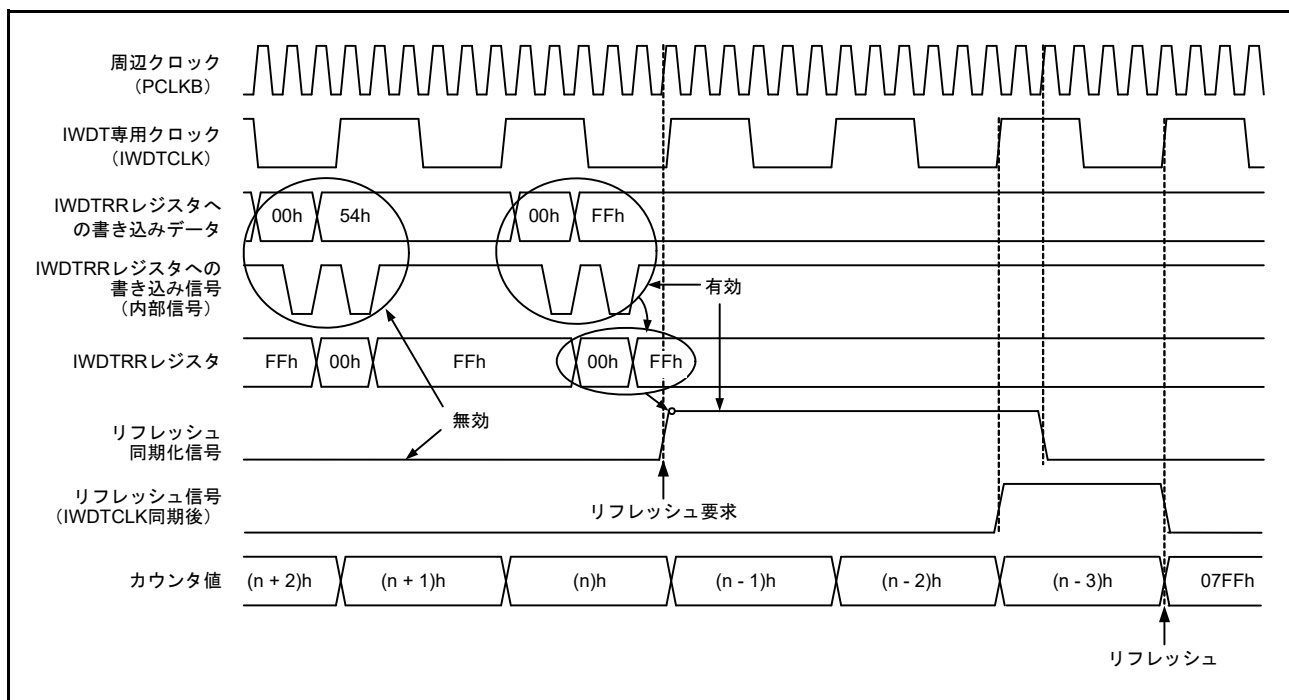


図 25.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

25.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEEF) とアンダーフローフラグ (IWDTSR.UNDFF) は、IWDT からのリセット信号出力の要因、または割り込み要求の要因を保持します。そのため、リセット状態の解除後、または割り込み要求の発生後に、IWDTSR.REFEEF フラグや UNDFF フラグを読み出すことで、リセット要因や割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしても、動作に影響を与えません。フラグがクリアされていなければ、次に IWDT がリセットまたは割り込み要求を出力したとき、古いリセット要因や割り込み要因はクリアされて、新しいリセット要因や割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでに、最大で 3 IWDTCLK サイクルと 2 PCLKB サイクルを要します。

25.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTRIRS) を 1 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が出力されます。リセット出力後、自動でダウンカウントがスタートします。

25.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTSTRIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (IWDT_NMIUNDF) 信号が生成されます。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

表 25.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動
IWDT_NMIUNDF	- ダウンカウンタのアンダーフロー - リフレッシュエラー	不可能

25.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT はカウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。

ただし、カウンタ値の読み出しには PCLKB で数クロックサイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 25.5 に、PCLKB > IWDTCLK のとき、クロック分周比が IWDTCLK である場合の IWDT カウンタ値の読み出し処理を示します。

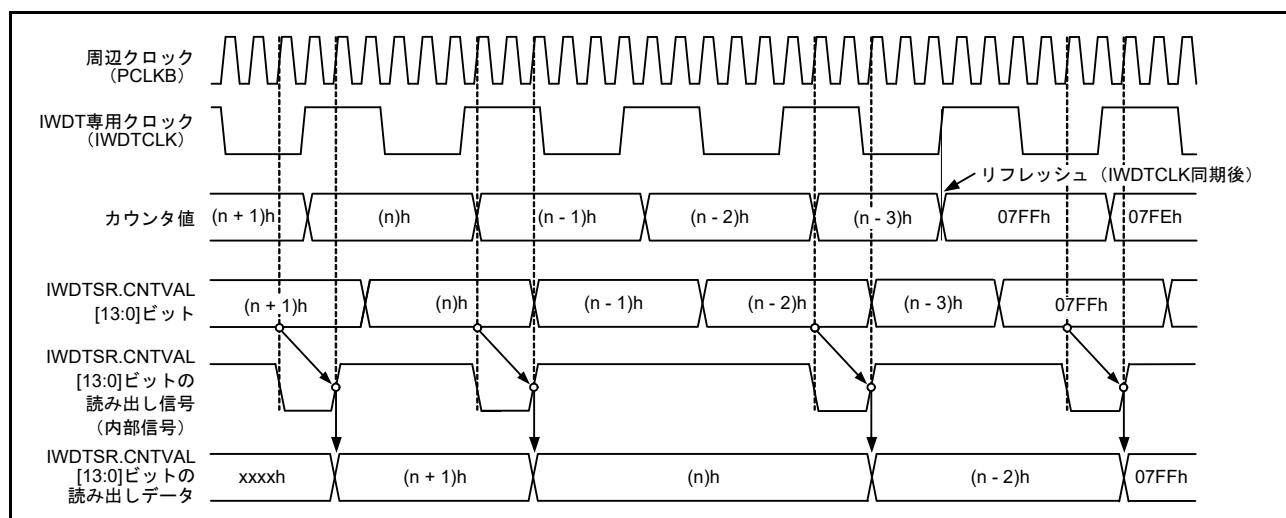


図 25.5 IWDT カウンタ値の読み出し処理
(OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

25.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) が割り込み要求信号をイベント信号として使用する場合、IWDT は設定されたモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ (IWDTSR.UNDF) が 1 の状態で、次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「[17. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

25.5 使用上の注意事項

25.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK の精度における誤差範囲内での変動を考慮してください。その上で、リフレッシュできる値を設定してください。

25.5.2 クロック分周比の設定に関する制限

周辺モジュールクロック (PCLKB) の周波数が下記の要件を満たすように設定してください。

$PCLKB \geq 4 \times (\text{カウントクロックソースの分周後周波数})$

26. USB2.0 フルスピードモジュール (USBFS)

26.1 概要

本 MCU は、USB (Universal Serial Bus) 2.0 規格に準拠したデバイスコントローラとして動作する USB2.0 フルスピードモジュール (USBFS) を内蔵しています。本モジュールはフルスピード転送とロースピード転送に対応しています。また、USBFS は USB トランシーバを内蔵しており、USB 2.0 規格で定義されている全転送タイプに対応しています。

USBFS はデータ転送用に FIFO バッファを備え、最大 5 本のパイプが使用可能です。パイプ 4 ～ 7 に対しては、周辺デバイスやユーザシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

本 MCU は、バッテリーチャージング規格のリビジョン 1.2 に準拠しています。本 MCU は 5V で動作するため、USB LDO レギュレータは内蔵 USB トランシーバの電源に 3.3V を供給します。

表 26.1 に USBFS の仕様を、図 26.1 にブロック図を、表 26.2 に入出力端子を示します。

表 26.1 USBFSの仕様

項目	内容
特徴	• USB デバイスコントローラ (UDC) およびデバイスコントローラ (1チャンネル) 対応USB2.0 トランシーバ • セルフパワーモードまたはバスパワーモードの選択が可能 • バッテリーチャージング規格のリビジョン1.2に準拠 • USB LDO レギュレータによる内蔵USBトランシーバへの電力供給 デバイスコントローラ機能選択時 • フルスピード転送 (12Mbps) およびロースピード転送 (1.5Mbps) • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完機能
通信データ転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送
パイプコンフィグレーション	• USB 通信用の FIFO バッファ • デフォルトコントロールパイプ (DCP) を含む、最大5本のパイプを選択可能 • パイプ4～7に対して任意のエンドポイント番号を割り付け可能 パイプごとに転送条件を設定可能 • パイプ0: 64バイトシングルバッファによるコントロール転送 • パイプ4および5: 64バイトダブルバッファによるバルク転送 • パイプ6および7: 64バイトシングルバッファによるインタラプト転送
その他	• トランザクションカウントによる受信終了機能 • BRDY 割り込みイベント通知タイミング変更機能 (BFRE) • 転送終了による応答PIDのNAK設定機能 (SHTNAK) • USB_DP/USB_DMのプルアップ抵抗、プルダウン抵抗をチップに内蔵 • USBクロックとして使用可能なHOCOクロック
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

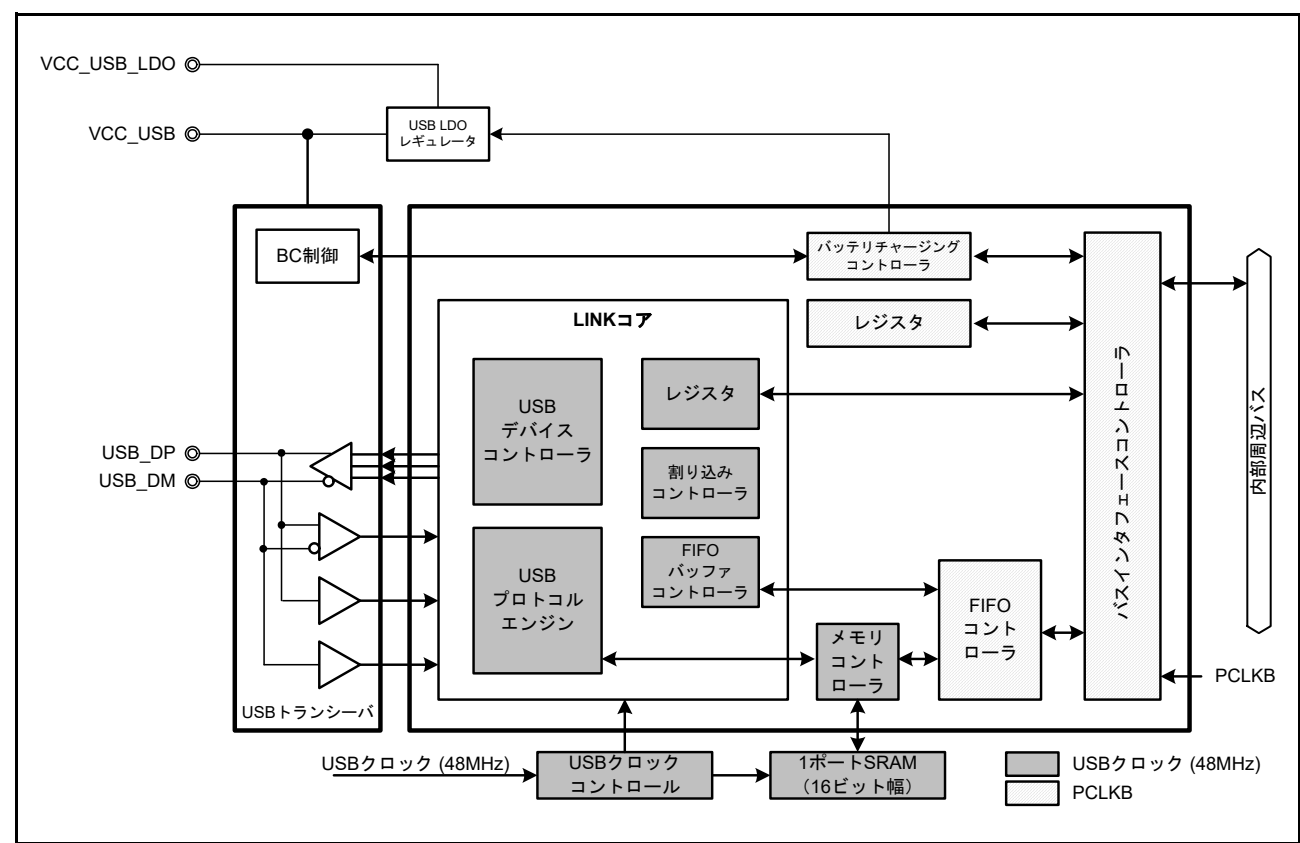


図 26.1 USBFS のブロック図

表 26.2 USBFSの入出力端子

ポート	端子名	入出力	機能
USBFS	USB_DP	入出力	USB内蔵トランシーバ用D+入出力端子 USBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバ用D-入出力端子 USBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子 USBバスのVBUSに接続してください。VBUS端子の状態（アタッチ／デタッチ）を検出することが可能です。（注1）
共通	VCC_USB	入出力	入力：USBトランシーバ用の電源 出力：USB LDOレギュレータ出力端子。外部コンデンサに接続してください。
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VSS_USB	入力	USB用グランド端子

注 1. P407 は 5V トレラントです。

26.2 レジスタの説明

26.2.1 システムコンフィグレーションコントロールレジスタ (SYSCFG)

アドレス [USBFS.SYSCFG 4009 0000h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	CNEN	—	—	—	DPRPU	DMRPU	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USBFS動作許可	0 : 禁止 1 : 許可	R/W
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DMRPU	D-ライン抵抗制御(注1)	0 : ラインのプルアップを禁止 1 : ラインのプルアップを許可	R/W
b4	DPRPU	D+ライン抵抗制御(注1)	0 : ラインのプルアップを禁止 1 : ラインのプルアップを許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CNEN	CNENシングルエンドレシーバ許可	0 : シングルエンドレシーバ動作を禁止 1 : シングルエンドレシーバ動作を許可	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	SCKE	USBクロック許可(注2)	0 : USBFSへのクロック供給を停止 1 : USBFSへのクロック供給を許可	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. DMRPU ビットと DPRPU ビットを同時に許可にしないでください。

注 2. SCKE ビットに 1 を書き込んだ後は、SCKE ビットを読み出して、1 になっていることを確認してください。

USBE ビット (USBFS 動作許可)

USBFS の動作を許可または禁止します。

USBE ビットを 1 から 0 に変更したときに初期化されるビットを表 26.3 に示します。このビットの変更は、SCKE ビットが 1 のときに限り行ってください。

表 26.3 SYSCFG.USBE ビットへの 0 の書き込みにより初期化されるレジスタ

レジスタ	ビット
SYSSTS0	LNST[1:0]
DVSTCTR0	RHST[2:0]
INTSTS0	DVSQ[2:0]
USBREQ	BREQUEST[7:0]、BMREQUESTTYPE[7:0]
USBVAL	WVALUE[15:0]
USBINDX	WINDEX[15:0]
USBLENG	WLENTUH[15:0]

DMRPU ビット (D-ライン抵抗制御)

D-ラインのプルアップを許可または禁止します。

DMRPU ビットを 1 にすると、D-ラインを強制的にプルアップし、USB ホストに対してロースピードデバイスとしてのアタッチを通知します。DMRPU ビットを 1 から 0 に変更すると、プルアップが解除され、結果としてそれがデタッチされたことを USB ホストに通知します。

DPRPU ビット (D+ ライン抵抗制御)

D+ ラインのプルアップを許可または禁止します。

DPRPU ビットを 1 にすると、D+ ラインを強制的にプルアップし、USB ホストに対してアタッチを通知します。DPRPU ビットを 1 から 0 に変更すると、プルアップが解除され、結果としてそれがデタッチされたことを USB ホストに通知します。

CNEN ビット (CNEN シングルエンドレシーバ許可)

CNEN ビットを 1 にすると、シングルエンドレシーバが許可され、D+ ラインおよび D- ラインのステータスをモニタするように LNST ビットが設定されます。

CNEN ビットを使用するのは、USBFS がバッテリーチャージ用ポータブルデバイスとして動作する場合です。

SCKE ビット (USB クロック許可)

USBFS への 48MHz クロック供給を停止または許可します。

このビットが 0 の場合、SYSCFG レジスタのみ読み出し／書き込みが可能となります。他の USBFS 関連レジスタの読み出し／書き込みはしないでください。

26.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

アドレス USBFS.SYSSTS0 4009 0004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USB データラインステータスマニタ	USB データラインのステータスを示します。表 26.4 を参照してください。	R
b15-b2	—	予約ビット	読むと 0 が読めます。	R

LNST[1:0] ビット (USB データラインステータスマニタ)

USB データライン (D+ ライン、D- ライン) のステータスを示します。詳細は、表 26.4 を参照してください。

アタッチ処理 (SYSCFG.DPRPU ビット=1) 後に、LNST[1:0] ビットを読み出してください。

表 26.4 USB データバスライン (D+ ライン、D- ライン) のステータス

LNST[1:0] ビット	フルスピード動作時	ロースピード動作時
00b	SE0	SE0
01b	J-State	K-State
10b	K-State	J-State
11b	SE1	SE1

26.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス USBFS.DVSTCTR0 4009 0008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	WKUP	—	—	—	—	—	RHST[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータス	b2 b0 0 0 0: 通信速度は不確定 0 0 1: USBバスリセット処理中 0 1 0: USBバスリセット処理中またはフルスピード接続時	R
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	WKUP	ウェイクアップ出力	0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RHST[2:0] ビット (USB バスリセットステータス)

USB バスリセットのステータスを示します。

USBFS が USB バスリセットを検出すると、RHST[2:0] ビットは 010b (DPRPU ビットが 1 の場合) または 001b (DMRPU ビットが 1 の場合) になり、DVST 割り込みが発生します。

WKUP ビット (ウェイクアップ出力)

USB バスへのリモートウェイクアップ信号 (レジューム信号) を許可または禁止します。

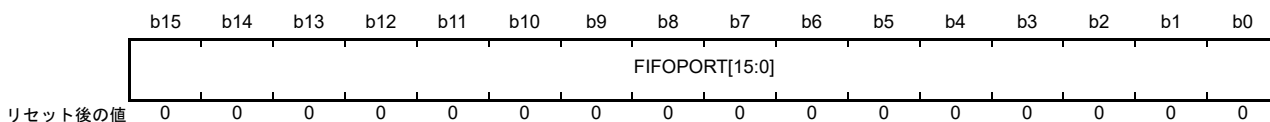
USBFS は、リモートウェイクアップ信号の出力タイミングを管理しています。本ビットを 1 にすると、USBFS は 10ms の K-State を出力した後、本ビットをクリアして 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。そのため、USB が Suspended ステートを検出した直後にこのビットを 1 にすると、2ms 後に K-State が出力されます。

このビットへの 1 の書き込みは、デバイスが Suspended ステート (INTSTS0.DVSQ[2:0] ビット = 1xxb) で、かつ USB ホストがリモートウェイクアップ信号を許可している場合にのみ行ってください。このビットが 1 のときは、Suspended ステートであっても、内部クロックを停止しないでください (SYSCFG.SCKE ビットを 1 にしてください)。

26.2.4 CFIFO ポートレジスタ (CFIFO/CFIFOL)

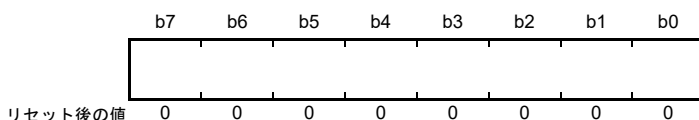
(1) MBW ビットが 1 の場合

アドレス [USBFS.CFIFO 4009 0014h](#)



(2) MBW ビットが 0 の場合

アドレス [USBFS.CFIFOL 4009 0014h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	FIFOPORT[15:0] (注1)	FIFO ポート	これらのビットにアクセスして、FIFOバッファから受信データを読み出すか、またはFIFOバッファへ送信データを書き込みます。	R/W

注 1. 有効ビットは、MBW 設定 (CFIFOSEL.MBW) および BIGEND 設定 (CFIFOSEL.BIGEND) で決まります。[表 26.5](#) と [表 26.6](#) を参照してください。

CFIFO の構成は以下の通りです。

- FIFO バッファからのデータリードと、FIFO バッファへのデータライトを処理するポートレジスタ (CFIFO)
- FIFO ポートに割り当てるパイプを選択するためのポート選択レジスタ (CFIFOSEL)
- ポートコントロールレジスタ (CFIFOCTR)

CFIFO には以下のような制限があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行う
- FIFO バッファの状態には、アクセス権が CPU にある場合と SerialInterfaceEngine (SIE) にある場合の 2 種類がある。SIE にアクセス権がある場合は、CPU から FIFO バッファへのアクセスは不可
- DTC から FIFO バッファへのアクセスは不可

FIFOPORT[15:0] ビット (FIFO ポート)

FIFOPORT[15:0] ビットへのアクセス時に、USBFS は FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。

CFIFO ポートレジスタへのアクセスは、ポートコントロールレジスタ (CFIFOCTR) の FRDY ビットが 1 のときに限り可能です。CFIFO ポートレジスタの有効ビットは、CFIFO ポート選択レジスタ (CFIFOSEL) の MBW ビットおよび BIGEND ビットの設定値で決まります。[表 26.5](#) と [表 26.6](#) を参照してください。

表 26.5 16ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット	ビット15～8	ビット7～0
0	N+1 データ	N+0 データ
1	N+0 データ	N+1 データ

表 26.6 8ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット	ビット15～8	ビット7～0
0	アクセス禁止 (注1)	N+0 データ
1	アクセス禁止 (注1)	N+0 データ

注 1. アクセス禁止領域に対する読み出しと書き込みは行わないでください。

26.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)

アドレス USBFS.CFIFOSEL 4009 0020h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	CFIFO ポートアクセスパイプ指定	b3 b0 0 0 0 0 : DCP (デフォルトコントロールパイプ) 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 上記以外は設定しないでください。	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ISEL	DCP 選択時 CFIFO ポートアクセス方向	0 : バッファメモリからの読み出しを選択 1 : バッファメモリへの書き込みを選択	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BIGEND	CFIFO ポートエンディアン制御	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	MBW	CFIFO ポートアクセスビット幅	0 : 8ビット幅 1 : 16ビット幅	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	REW	バッファポインタリワインド	0 : バッファポインタのリワインドを行わない 1 : バッファポインタのリワインドを行う	R/W (注1)
b15	RCNT	リードカウントモード	0 : CFIFO から全受信データを読み出したときに DTLN[8:0] ビットをクリア ダブルバッファモードの場合、1面のみ全データを 読み出したときに DTLN[8:0] ビット値をクリア 1 : CFIFO から受信データを読み出すごとに DTLN[8:0] ビットをダウンカウント	R/W

注 1. 読むと 0 が読み出されます。

DTC 転送が許可されているときに、パイプ番号を変更しないでください。

CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定)

CFIFO ポート経由のデータの読み出し／書き込みに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFO バッファへのアクセス中は、CURPIPE[3:0] ビットの設定値を変更しようとしても、アクセスが完了するまで現在のアクセスの設定値が維持されます。CURPIPE[3:0] ビットに現在値を書き戻すと、アクセスが継続されます。

ISEL ビット (DCP 選択時 CFIFO ポートアクセス方向)

選択パイプが DCP のときに ISEL ビットへの新しい値の書き込みを行ったときは、その後で ISEL ビットの読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。このビットと CURPIPE[3:0] ビットの設定は同時に行ってください。

MBW ビット (CFIFO ポートアクセスビット幅)

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。これらのビットへの書き込みによって FIFO バッファからのデータの読み出しが開始したら、すべてのデータが読み出されるまで、これらのビットを変更しないでください。FIFO バッファを読み出すときは、MBW に設定されているアクセスサイズで読み出してください。

選択パイプが送信方向の場合、バッファメモリへのデータの書き込み中は、ビット幅を 8 ビット幅から 16 ビット幅へ切り替えることはできません。

16 ビット幅を選択した場合でも、バイトアクセス制御を通じて、奇数バイトの書き込みが可能です。

REW ビット (バッファポインタリワインド)

バッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に REW ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファモードでは、この設定によって、現在読み出している FIFO バッファ面の最初のデータから再読み出しが可能になります。

REW ビットを 1 にする設定と CURPIPE[3:0] ビットの設定変更は、同時に行わないでください。REW ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット (リードカウントモード)

CFIFOCTR.DTLN[8:0] ビットの読み出しモードを指定します。

26.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR)

アドレス USBFS.CFIFOCTR 4009 0022h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長	受信データ長を示します。 これらのビットが示す値は、CFIFOポート選択レジスタのRCNTビットの設定値によって異なります。詳細は、DTLN[8:0]ビットを参照してください。	R
b12-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	FRDY	FIFOポートレディ	0: FIFOポートアクセス不可能 1: FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリア	0: 何もしない 1: CPUのFIFOバッファをクリア	R/W (注1)
b15	BVAL	バッファメモリ有効フラグ	0: 無効 (0の書き込みは無効) 1: 書き込み終了	R/W

注 1. 読むと0が読み出されます。

DTLN[8:0] ビット (受信データ長)

受信データ長を表示します。

FIFO バッファの読み出し中、DTLN[8:0] ビットは、以下のように CFIFOSSEL.RCNT ビットの設定値に応じて異なる値を示します。

- RCNT ビットが0のとき：
CPU が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は受信データ長を DTLN[8:0] ビットに表示します。
PIPECFG.BFRE ビットが1のときは、全データが読み出された後も、BCLR ビットが1になるまで、これらのビットは受信データ長を保持します
- RCNT ビットが1のとき：
FIFO バッファからデータを読み出すごとに、USBFS は DTLN[8:0] ビットの表示値をダウンカウントします。MBW ビットが0のときは-1ずつ、MBW ビットが1のときは-2ずつ値がダウンカウントされます。
1 面分の FIFO バッファ読み出し完了時に、USBFS は DTLN[8:0] ビットを0にします。ただし、ダブルバッファモードでは、FIFO バッファ 1 面分の受信データの読み出しを完了する前に、もう1面分の FIFO バッファにデータを受信した場合、USBFS は、最初の1面分の読み出し完了時に、2番目の1面分の受信データ長を DTLN[8:0] ビットに設定します

FRDY ビット (FIFO ポートレディ)

CPU から FIFO ポートにアクセス可能かどうかを表示します。

以下の場合、USBFS は FRDY ビットを1にしますが、読み出すべきデータがないため FIFO ポートによるデータ読み出しはできません。

- 選択パイプに割り当てられている FIFO バッファが空の状態 Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが1のときに、ショートパケットを受信し、データ読み出しを完了した場合

このような場合は、BCLR ビットを1にして FIFO バッファをクリアし、次のデータ送受信が可能な状態にしてください。

BCLR ビット (CPU バッファクリア)

選択パイプの CPU 側の FIFO バッファをクリアする場合、BCLR ビットを 1 にしてください。

選択パイプに割り当てられた FIFO バッファに、ダブルバッファモードが設定されている場合、FIFO バッファの両面とも読み出し可能な状態であっても、USBFS はその片面のみをクリアします。

選択パイプが DCP の場合は、FIFO バッファへのアクセス権を持つのが CPU 側か SIE 側かにかかわらず、BCLR ビットを 1 にすることによって、USBFS は FIFO バッファのクリアが可能になります。SIE 側にアクセス権があるときに FIFO バッファをクリアする場合、DCPCTR.PID[1:0] ビットを 00b (NAK 応答) にしてから BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、BVAL フラグと BCLR ビットへ同時に 1 を書き込むと、USBFS は書き込み済みのデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、CFIFO ポートコントロールレジスタの FRDY ビットが (USBFS によって) 1 になっている場合にのみ行ってください。

BVAL フラグ (バッファメモリ有効フラグ)

CURPIPE[3:0] ビットで選択したパイプの CPU の FIFO バッファへのデータ書き込みが完了したとき、BVAL フラグを 1 にしてください。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを設定してください。

- ショートパケットを送信するには、データ書き込み後にこのフラグを 1 にする
- Zero-Length パケットを送信するには、FIFO バッファへのデータ書き込み前にこのフラグを 1 にする

USBFS は、この後、FIFO バッファを CPU から SIE に切り替えて、送信可能な状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にして、FIFO バッファを CPU から SIE に切り替え、送信可能な状態にします。

BVAL フラグへの 1 の書き込みは、FRDY ビットが (USBFS によって) 1 になっている場合にのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

26.2.7 割り込みイネーブルレジスタ 0 (INTENB0)

アドレス USBFS.INTENB0 4009 0030h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BRDYE	バッファレディ割り込み許可	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b13	SOFE	フレーム番号更新割り込み許可	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b14	RSME	レジューム割り込み許可	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b15	VBSE	VBUS割り込み許可	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

INTSTS0 レジスタのステータスフラグが1になっているとき、INTENB0 レジスタの対応する割り込み要求許可ビットが1であると、USBFS は USBFS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、関連の条件が成立するようなステート変化が生じると、INTSTS0 レジスタのステータスフラグが1になります。

INTSTS0 レジスタの対応するステータスフラグが1の状態、INTENB0 レジスタの割り込み要求許可ビットが0から1に切り替わると、USBFS 割り込み要求が発行されます。

26.2.8 BRDY 割り込みイネーブルレジスタ (BRDYENB)

アドレス USBFS.BRDYENB 4009 0036h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	—	—	—	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットを 1 にすることを許可または禁止します。

BRDYSTS レジスタのステータスフラグが 1 で、BRDYENB レジスタの関連する PIPE_nBRDYE ビット (n = 0, 4 ~ 7) が 1 の場合、INTSTS0.BRDY フラグは 1 になります。この場合、INTENB0 レジスタの BRDYE ビットが 1 であれば、USBFS は BRDY 割り込み要求を発生させます。

PIPE_nBRDY ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USBFS は BRDY 割り込み要求を発生させます。

26.2.9 NRDY 割り込みイネーブルレジスタ (NRDYENB)

アドレス USBFS.NRDYENB 4009 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PIPE7N RDYE	PIPE6N RDYE	PIPE5N RDYE	PIPE4N RDYE	—	—	—	PIPE0N RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に、INTSTS0.NRDY ビットを 1 にすることを許可または禁止します。

NRDYSTS レジスタのステータスフラグが 1 になっているとき、NRDYENB レジスタの対応する PIPEnNRDYE ビット (n=0, 4～7) が 1 であると、INTSTS0.NRDY フラグが 1 になります。この場合、INTENB0.NRDYE ビットが 1 であれば、USBFS は NRDY 割り込み要求を発生させます。

PIPEnNRDY ビットの少なくとも 1 つが 1 のとき、ソフトウェアで NRDYENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USBFS は NRDY 割り込み要求を発生させます。

26.2.10 BEMP 割り込みイネーブルレジスタ (BEMPENB)

アドレス USBFS.BEMPENB 4009 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PIPE7B EMPE	PIPE6B EMPE	PIPE5B EMPE	PIPE4B EMPE	—	—	—	PIPE0B EMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットを 1 にすることを許可または禁止します。

BEMPSTS レジスタのステータスフラグが 1 になっているとき、BEMPENB レジスタの対応する PIPE_nBEMPE ビット (n = 0, 4 ~ 7) が 1 であると、INTSTS0.BEMP フラグが 1 になります。この場合、INTENB0.BEMPE ビットが 1 であれば、USBFS は BEMP 割り込み要求を発生させます。

BEMPSTS の PIPE_nBEMP ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BEMPENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USBFS は BEMP 割り込み要求を発生させます。

26.2.11 SOF 出力コンフィグレーションレジスタ (SOFCFG)

アドレス USBFS.SOFCFG 4009 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	BRDY M	—	EDGES TS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	EDGESTS	エッジ割り込み出力ステータスマニタ ^(注1)	エッジ割り込み出力信号のエッジ処理中は1になります。	R
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	BRDYM	BRDY 割り込みステータスクリアタイミング	0 : ソフトウェアで BRDY フラグをクリア 1 : FIFOバッファに対するデータ読み出しまたはデータ書き込み動作により、USBFSがBRDYフラグをクリア	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. USBFS へのクロック供給を停止するときは、事前にこのビットが0であることを確認してください。

EDGESTS ビット (エッジ割り込み出力ステータスマニタ)

エッジ割り込み出力信号のエッジ処理中は1を示します。USBFS へのクロック供給を停止するときは、事前にこのビットが0であることを確認してください。

BRDYM ビット (BRDY 割り込みステータスクリアタイミング)

各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。

26.2.12 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USBFS.INTSTS0 4009 0040h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]			
リセット後の値	0	0	0	0/1 (注1)	0	0	0	0	0 (注2)	0 (注3)	0 (注3)	0/1 (注3)	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージ	b2 b0 0 0 0: アイドルまたはセットアップステージ 0 0 1: コントロールリードデータステージ 0 1 0: コントロールリードステータスステージ 0 1 1: コントロールライトデータステージ 1 0 0: コントロールライトステータスステージ 1 0 1: コントロールライト (no-Data) ステータスステージ 1 1 0: コントロール転送シーケンスエラー	R
b3	VALID	USB リクエスト受信	0: Setup パケットの受信なし 1: Setup パケットの受信あり	R/W (注4)
b6-b4	DVSQ[2:0]	デバイスステート	b6 b4 0 0 0: Powered ステート 0 0 1: Default ステート 0 1 0: Address ステート 0 1 1: Configured ステート 1 x x: Suspended ステート	R
b7	VBSTS	VBUS 入力ステータス	0: USB_VBUS 端子が Low 1: USB_VBUS 端子が High	R
b8	BRDY	バッファレディ割り込みステータス	0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータス	0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータス	0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータス	0: コントロール転送ステージ遷移割り込み発生なし 1: コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータス	0: デバイスステート遷移割り込み発生なし 1: デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータス	0: SOF 割り込み発生なし 1: SOF 割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータス (注5)	0: レジューム割り込み発生なし 1: レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS 割り込みステータス (注5)	0: VBUS 割り込み発生なし 1: VBUS 割り込み発生あり	R/W (注4)

x : Don't care

- 注 1. MCU のリセット時は 0、USB バスリセット後は 1 です。
- 注 2. USB_VBUS 端子が High のとき 1、Low のとき 0 です。
- 注 3. MCU のリセット時は 000b、USB バスリセット後は 001b です。
- 注 4. VBINT、RESM、SOFR、DVST、CTRT、または VALID ビットをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。0 を示しているステータスビットには、0 を書き込まないでください。
- 注 5. USBFS は、VBINT ビットおよび RESM ビットが示すステータス変化をクロック停止中 (SYSCFG.SCKE ビットが 0) でも検出し、対応する割り込み要求ビットが 1 であれば、その割り込みを要求します。ソフトウェアによるステータスのクリアは、クロック供給を許可にしてから行ってください。

DVSQ[2:0] ビット (デバイスステート)

USB バスリセットで DVSQ[2:0] ビットは初期化されます。

BRDY ビット (バッファレディ割り込みステータス)

BRDY 割り込みステータスを示します。

USBFS は BRDY 割り込みが許可された (BRDYENB.PIPEnBRDYE が 1) パイプのうち少なくとも 1 つに対して BRDY 割り込みステータス (PIPEnBRDY が 1、n = 0, 4 ~ 7) を検出したときに、BRDY ビットを 1 にします。

PIPEnBRDY ステータスのアサート条件については、[26.3.3.1 BRDY 割り込み](#)を参照してください。

1 になっている PIPEnBRDYE ビットに対応した PIPEnBRDY ビットのすべてに、ソフトウェアで 0 を書くと、USBFS は BRDY ビットを 0 にします。ソフトウェアで BRDY ビットに 0 を書いても、BRDY ビットを 0 にすることはできません。

NRDY ビット (バッファノットレディ割り込みステータス)

NRDY 割り込みステータスを示します。

NRDY 割り込みが許可された (NRDYENB.PIPEnNRDYE = 1) パイプの少なくとも 1 つで、USBFS が NRDY 割り込みステータス (PIPEnNRDY = 1、n = 0, 4 ~ 7) を検出すると、NRDY ビットを 1 にします。

PIPEnNRDY ステータスのアサート条件については、[26.3.3.2 NRDY 割り込み](#)を参照してください。

1 になっている PIPEnNRDYE ビットに対応した PIPEnNRDY ビットのすべてに、ソフトウェアで 0 を書くと、USBFS は NRDY ビットを 0 にします。ソフトウェアで NRDY ビットに 0 を書いても、NRDY ビットを 0 にすることはできません。

BEMP ビット (バッファエンプティ割り込みステータス)

BEMP 割り込みステータスを示します。

BEMP 割り込みが許可された (BEMPENB.PIPEnBEMPE = 1) パイプの少なくとも 1 つで、USBFS が BEMP 割り込みステータス (PIPEnBEMP = 1、n = 0, 4 ~ 7) を検出すると、BEMP ビットを 1 にします。

PIPEnBEMP ステータスのアサート条件については、[26.3.3.3 BEMP 割り込み](#)を参照してください。

1 になっている PIPEnBEMPE ビットに対応した PIPEnBEMP ビットのすべてに、ソフトウェアで 0 を書くと、USBFS は BEMP ビットを 0 にします。ソフトウェアで BEMP ビットに 0 を書いても、BEMP ビットを 0 にすることはできません。

CTRT ビット (コントロール転送ステージ遷移割り込みステータス)

USBFS は、コントロール転送ステージの遷移を検出すると、CTSQ[2:0] ビット値を更新して、CTRT ビットを 1 にします。コントロール転送ステージ遷移割り込みが発生した場合、USBFS が次のコントロール転送ステージ遷移を検出する前に、このステータスをクリアしてください。

DVST ビット (デバイスステート遷移割り込みステータス)

USBFS は、デバイスステートの変化を検出すると、DVSQ[2:0] ビット値を更新して、DVST ビットを 1 にします。デバイスステート遷移割り込みが発生した場合、USBFS が次のデバイスステート遷移を検出する前に、このステータスをクリアしてください。

SOFR ビット (フレーム番号更新割り込みステータス)

USBFS は、フレーム番号の更新時に SOFR ビットを 1 にします。フレーム番号更新割り込みは、1ms ごとに検出されます。

USBFS ホストから受信した SOF パケットが破損していても、USBFS は内部補完機能によって SOFR 割り込みを検出できます。

RESM ビット (レジューム割り込みステータス)

USBFS は、Suspended ステート (DVSQ[2:0] ビット = 1xxb) 時に USB_DP 端子で信号の立ち下がりエッジを検出すると、RESM ビットを 1 にします。

VBINT ビット (VBUS 割り込みステータス)

USBFS は、USB_VBUS 端子入力値のレベル変化 (High から Low または Low から High) を検出すると、VBINT ビットを 1 にします。USBFS は、USB_VBUS 端子の入力値を VBSTS ビットに示します。VBUS 割り込みが発生した場合、ソフトウェアで VBSTS ビットを 3 回以上読み出し、値が一致することを確認してトランジェント除去を行ってください。

26.2.13 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス USBFS.BRDYSTS 4009 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	—	—	—	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SOFCFG.BRDYM ビットが 0 の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

注 2. SOFCFG.BRDYM ビットが 0 の場合、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

26.2.14 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス USBFS.NRDYSTS 4009 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PIPE7N RDY	PIPE6N RDY	PIPE5N RDY	PIPE4N RDY	—	—	—	PIPE0N RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. NRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

26.2.15 BEMP 割り込みステータスレジスタ (BEMPSTS)

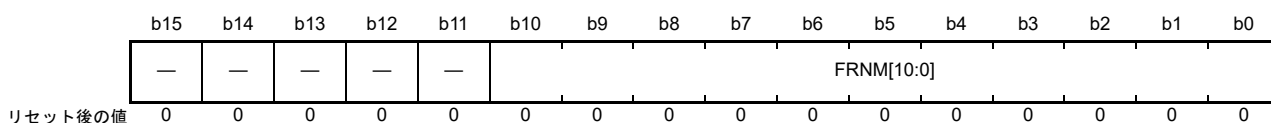
アドレス USBFS.BEMPSTS 4009 004Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	—	—	—	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. BEMPSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

26.2.16 フレームナンバレジスタ (FRMNUM)

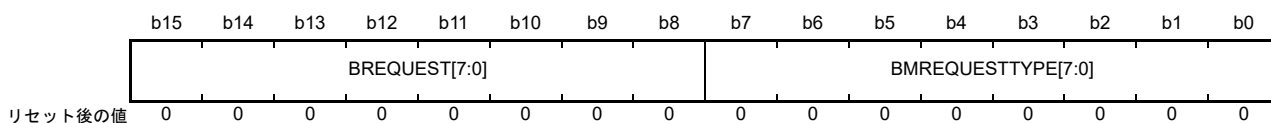
アドレス [USBFS.FRMNUM 4009 004Ch](#)

ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号	最新のフレーム番号	R
b15-b11	—	予約ビット	読むと0が読めます。	R

[FRNM\[10:0\] ビット \(フレーム番号\)](#)

SOF パケットの発行時または受信時に、USBFS は 1ms ごとに更新される最新のフレーム番号を FRNM[10:0] に表示します。

26.2.17 USB リクエストタイプレジスタ (USBREQ)

アドレス [USBFS.USBREQ 4009 0054h](#)

ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプ	USB リクエストの bmRequestType の値を格納	R
b15-b8	BREQUEST[7:0]	リクエスト	USB リクエストの bRequest の値を格納	R

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。受信した bRequest および bmRequestType の値が格納されます。

USBREQ レジスタは、USB バスリセットで初期化されます。

[BMREQUESTTYPE\[7:0\] ビット \(リクエストタイプ\)](#)

USB リクエストの bmRequestType 値を格納します。

これらのビットは、Setup トランザクションで受信した USB リクエストデータ値を示します。書き込みは無効です。

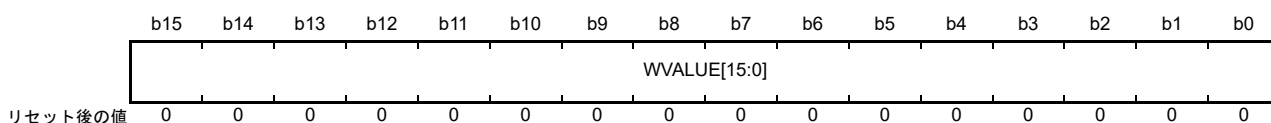
[BREQUEST\[7:0\] ビット \(リクエスト\)](#)

USB リクエストの bRequest 値を格納します。

これらのビットは、Setup トランザクションで受信した USB リクエストデータ値を示します。書き込みは無効です。

26.2.18 USB リクエストバリュeregスタ (USBVAL)

アドレス [USBFS.USBVAL 4009 0056h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE[15:0]	バリュー	USB リクエストの wValue の値を格納	R

受信した wValue の値が、USBVAL レジスタに格納されます。USBVAL レジスタは、USB バスリセットで初期化されます。

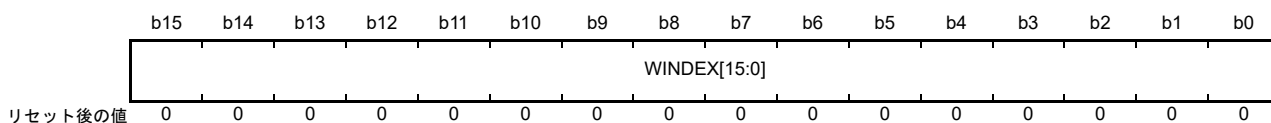
[WVALUE\[15:0\]](#) ビット (バリュー)

USB リクエストの wValue 値を格納します。

これらのビットは、Setup トランザクションで受信した USB リクエストの wValue 値を示します。WVALUE[15:0] ビットへの書き込みは無効です。

26.2.19 USB リクエストインデックスレジスタ (USBINDX)

アドレス [USBFS.USBINDX 4009 0058h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX[15:0]	インデックス	USB リクエストの wIndex の値を格納	R

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。受信した wIndex の値が格納されます。

USBINDX レジスタは、USB バスリセットで初期化されます。

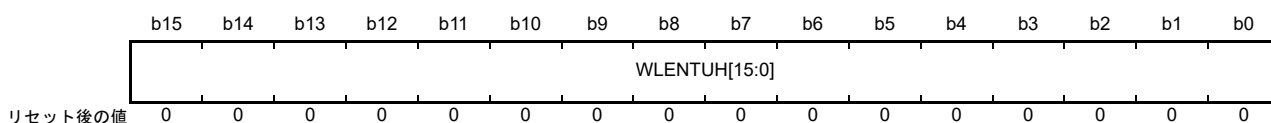
[WINDEX\[15:0\]](#) ビット (インデックス)

USB リクエストの wIndex 値を格納します。

これらのビットは、Setup トランザクションで受信した USB リクエストの wIndex 値を示します。WINDEX[15:0] ビットへの書き込みは無効です。

26.2.20 USB リクエストレングスレジスタ (USBLENG)

アドレス [USBFS.USBLENG 4009 005Ah](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENTUH[15:0]	レングス	USB リクエストの wLength の値を格納	R/W

USBLENG レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。受信した wLength の値が格納されます。

USBLENG レジスタは、USB バスリセットで初期化されます。

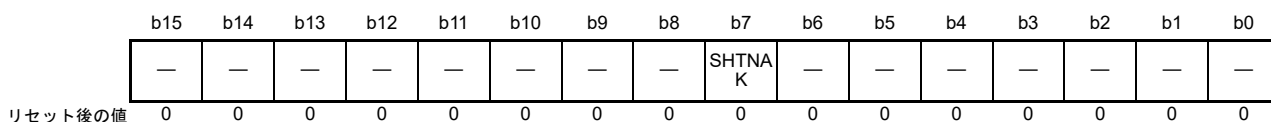
[WLENTUH\[15:0\] ビット \(レングス\)](#)

USB リクエストの wLength フィールドの値を格納します。

これらのビットは、Setup トランザクションで受信した USB リクエストの wLength フィールドの値を示しています。WLENTUH[15:0] ビットへの書き込みは無効です。

26.2.21 DCP コンフィグレーションレジスタ (DCPCFG)

アドレス [USBFS.DCPCFG 4009 005Ch](#)



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 ^(注1)	0 : 転送終了時にパイプがオープンの状態を維持 1 : 転送終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このビットの変更は、PID が NAK であるときに行ってください。このビットを変更するときは、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更し、DCPCTR.PBUSY ビットが 0 であることを確認してから変更してください。ただし、USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

[SHTNAK ビット \(転送終了時のパイプ禁止\)](#)

選択パイプが受信方向の場合、転送終了時に PID を NAK に変更するかどうかを指定します。

SHTNAK ビットは、選択パイプが受信方向の場合にのみ有効です。

SHTNAK ビットを 1 にした場合、USBFS は、転送の終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを NAK に変更します。USBFS は、下記の条件が満たされると転送終了を判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき

26.2.22 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USBFS.DCPMAXP 4009 005Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	MXPS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	最大パケットサイズ(注1)	DCPのペイロード内の最大データ量（最大パケットサイズ）を設定します。 b6	

注 1. MXPS[6:0] ビットの変更は、PID が NAK であるときに行ってください。これらのビットを変更するときは、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更し、DCPCTR.PBUSY ビットが 0 であることを確認してから変更してください。ただし、USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。MXPS[6:0] ビットの変更後は、ポート選択レジスタの CURPIPE[3:0] ビットを DCP に設定した後、ポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリアしてください。

MXPS[6:0] ビット (最大パケットサイズ)

DCP のペイロード内の最大データ量(最大パケットサイズ)を指定します。初期値は 40h (64 バイト) です。MXPS[6:0] ビットの設定値は、USB2.0 規格に従う必要があります。MXPS[6:0] ビットの設定値が 0 のときは、FIFO バッファへの書き込みも、PID = BUF の設定も行わないでください。

26.2.23 DCP コントロールレジスタ (DCPCTR)

アドレス USBFS.DCPCTR 4009 0060h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0: NAK 応答 0 1: BUF 応答 (バッファ状態に従う) 1 0: STALL 応答 1 1: STALL 応答	R/W
b2	CCPL	コントロール転送終了許可	0: コントロール転送終了を禁止 1: コントロール転送終了を許可	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジュー	0: DCPはトランザクションで未使用 1: DCPはトランザクションで使用中	R
b6	SQMON	シーケンスストグルビットモニタ	0: DATA0 1: DATA1	R
b7	SQSET	シーケンスストグルビットセット (注2)	DCP 転送時にシーケンスストグルビットを設定します。 0: 無効 (0の書き込みは無効) 1: 次回トランザクションの期待値をDATA1に設定	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア (注2)	DCP 転送時にシーケンスストグルビットをクリアします。 0: 無効 (0の書き込みは無効) 1: 次回トランザクションの期待値をDATA0にクリア	R/W (注1)
b14-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	BSTS	バッファステータス	0: バッファアクセス不可能 1: バッファアクセス可能	R

注 1. 読むと 0 が読めます。

注 2. PID が NAK のときにだけ、SQSET ビットおよび SQCLR ビットを 1 に設定してください。PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更した後でこれらのビットを設定するときは、PBUSY ビットが 0 であることを確認してから設定してください。ただし、USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

PID[1:0] ビット (応答 PID)

コントロール転送における USB 応答の種類を制御します。

USBFS は、以下のように、PID[1:0] ビットの設定値を変更します。

- USBFS は、Setup パケットの受信時に、PID[1:0] ビットを NAK (00b) に変更する。USBFS は、INTSTS0.VALID ビットを 1 にするため、ソフトウェアで VALID ビットを 0 にするまで、PID[1:0] ビットの設定値は変更できなくなる
- ソフトウェアで PID[1:0] ビットを BUF にした場合、USBFS は、最大パケットサイズを超えるデータを受信すると、PID[1:0] を STALL (11b) にする
- USBFS は、コントロール転送シーケンスエラーを検出すると、PID[1:0] を STALL (1xb) にする
- USBFS は、USB バスリセットを検出すると、PID[1:0] を NAK にする

USBFS は、SET_ADDRESS リクエストの処理中、PID[1:0] ビットの設定値を確認しません。

PID[1:0] ビットは USB バスリセットで初期化されます。

CCPL ビット (コントロール転送終了許可)

CCPL ビットを 1 にすることにより、コントロール転送のステータスステージの終了が許可されます。

対応する PID[1:0] ビットが BUF のときにソフトウェアで CCPL ビットを 1 にすると、USBFS はコントロール転送ステータスステージを終了します。

コントロールリード転送中は、USBFS は、USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送中は、USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値とは無関係に、USBFS はセットアップステージからステータスステージ完了まで、自動応答モードで動作します。

新たな Setup パケットを受信すると、USBFS は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアで CCPL ビットに 1 を書き込むことはできません。CCPL ビットは USB バスリセットで初期化されます。

PBUSY ビット (パイプビジー)

USBFS が PID[1:0] ビットを BUF から NAK に変更したときに、DCP がトランザクションで使用されているかどうかを示します。USBFS は、選択パイプに対する USB トランザクション開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

ソフトウェアで PID を NAK に設定した後、PBUSY ビットを読み出すと、パイプ設定の変更が可能かどうかを確認できます。

詳細は、[26.3.4.1 パイプコントロールレジスタの切り替え手順](#)を参照してください。

SQMON ビット (シーケンストグルビットモニタ)

DCP 転送において、次回トランザクションのシーケンストグルビットの期待値を示します。

トランザクションが正常に終了すると、USBFS は SQMON ビットのトグルを許可します。ただし、受信方向での転送中に DATA-PID 不一致が発生すると、SQMON ビットのトグルは許可されません。

Setup パケットが正常に受信されると、USBFS は SQMON ビットを 1 に (期待値として DATA1 を指定) します。

USBFS は、ステータスステージの IN/OUT トランザクション中は SQMON ビットを参照しません。また正常終了しても SQMON ビットのトグルを許可しません。

SQSET ビット (シーケンストグルビットセット)

DCP 転送において、次回トランザクションのシーケンストグルビットの期待値として DATA1 を指定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SQCLR ビット (シーケンストグルビットクリア)

DCP 転送において、次回トランザクションのシーケンストグルビットの期待値として DATA0 を指定します。読むと 0 が読めます。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

BSTS ビット (バッファステータス)

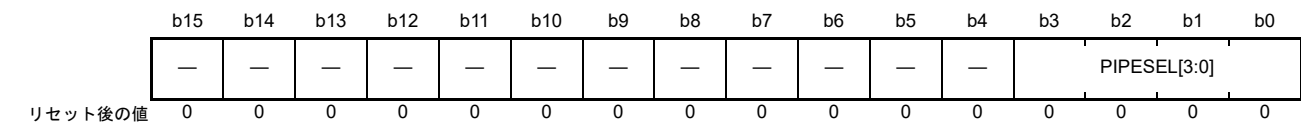
DCP FIFO バッファアクセスが可能かどうかを示します。

BSTS ビットの意味は、以下のように、CFIFOSEL.ISEL ビットの設定値によって異なります。

- ISEL ビットが 0 のとき、バッファから受信データの読み出しが可能かどうかを表示
- ISEL ビットが 1 のとき、バッファへの送信データの書き込みが可能かどうかを表示

26.2.24 パイプウィンドウ選択レジスタ（PIPESEL）

アドレス USBFS.PIPESEL 4009 0064h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択	b3 b0 0 0 0 0 : パイプ選択なし 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 上記以外は設定しないでください。	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

パイプ 4 ～ 7 の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタ（n = 4 ～ 7）で行います。

PIPESEL レジスタでパイプを選択した後、パイプ機能を PIPECFG および PIPEMAXP レジスタで設定してください。PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット（パイプウィンドウ選択）

データの読み出し／書き込みに使用する PIPECFG および PIPEMAXP レジスタに対応したパイプ番号を選択します。PIPESEL[3:0] ビットでパイプ番号を選択することにより、その番号に対応した PIPECFG および PIPEMAXP レジスタの読み出し／書き込みが可能になります。

PIPESEL[3:0] ビット = 0000b の場合、PIPECFG および PIPEMAXP レジスタのすべてのビットから 0 が読み出されます。書き込みは無効です。

26.2.25 パイプコンフィグレーションレジスタ (PIPECFG)

アドレス USBFS.PIPECFG 4009 0068h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TYPE[1:0]	—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号 (注1)	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します。	R/W
b4	DIR	転送方向 (注2) (注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 (注1)	0: 転送終了時にパイプの割り当てを継続 1: 転送終了時にパイプの割り当てを禁止	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	DBLB	ダブルバッファモード (注2) (注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY割り込み動作指定 (注2) (注3)	0: データ送受信時にBRDY割り込み 1: データ読み出し完了時にBRDY割り込み	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	TYPE[1:0]	転送タイプ (注1)	- パイプ4および5 b15 b14 0 0: パイプ不使用 0 1: バルク転送 1 0: 設定禁止 1 1: 設定禁止 - パイプ6および7 b15 b14 0 0: パイプ不使用 0 1: 設定禁止 1 0: インタラプト転送 1 1: 設定禁止	R/W

- 注 1. TYPE[1:0]、SHTNAK、および EPNUM[3:0] ビットの設定は、PID が NAK であるときに行ってください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。
- 注 2. BFRE、DBLB、および DIR ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PIPEnCTR.PBUSY ビットの確認は不要です。
- 注 3. 選択パイプ上の USB 通信が終了した後、BFRE、DBLB、および DIR ビットを変更する場合は、PID および CURPIPE[3:0] ビットが注 2. に示した状態にあるときに、ソフトウェアによって PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込んで、選択パイプに割り当てられた FIFO バッファをクリアしてください。

PIPECFG レジスタは、パイプ 4～7 に対して、転送タイプ、FIFO バッファのアクセス方向、およびエンドポイント番号を指定するレジスタです。また、シングルまたはダブルバッファモードの選択と、転送終了時にパイプ動作を継続するか禁止するかの選択を行います。

EPNUM[3:0] ビット (エンドポイント番号)

選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを示します。これらのビットは、DIR と EPNUM[3:0] の設定値の組み合わせが、他のパイプと重複しないように設定してください。すべてのパイプに対して、EPNUM[3:0] ビットを 0000b にすることは可能です。

DIR ビット (転送方向)

選択パイプの転送方向を指定します。ソフトウェアで DIR ビットを 0 にすると、USBFS は選択パイプを受信方向で使用します。ソフトウェアで DIR ビットを 1 にすると、USBFS は選択パイプを送信方向で使用します。

SHTNAK ビット (転送終了時のパイプ禁止)

選択パイプの転送方向が受信の場合、転送終了時に PIPEnCTR.PID[1:0] ビットを 00b (NAK) に変更するかどうかを指定します。SHTNAK ビットは、受信方向のパイプ 4 および 5 に対して有効です。

受信方向の選択パイプに対して、ソフトウェアで SHTNAK ビットを 1 にすると、USBFS は、転送終了と判定したとき、選択パイプに対応する PIPEnCTR.PID[1:0] ビットを 00b (NAK) に変更します。USBFS は、以下のいずれかの条件が満たされたときに転送終了と判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、カウンタに指定した数のパケットを正常に受信したとき

DBLB ビット (ダブルバッファモード)

選択パイプが使用する FIFO バッファに対して、シングルまたはダブルバッファモードのいずれか一方を選択します。DBLB ビットは、パイプ 4 とパイプ 5 の選択時に有効です。

BFRE ビット (BRDY 割り込み動作指定)

選択パイプに対して、USBFS から CPU への BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にした場合、選択パイプが受信方向であると、USBFS は転送終了を検出し、当該パケットの読み出し後に BRDY 割り込みを発生させます。

この設定で BRDY 割り込みが発生した場合、ソフトウェアで CFIFO ポートコントロールレジスタの BCLR ビットに 1 を書き込んでください。BCLR ビットに 1 を書くまで、選択パイプに割り当てられた FIFO バッファは受信可能な状態になりません。

ソフトウェアで BFRE ビットを 1 にしても、選択パイプが送信方向であると、USBFS は BRDY 割り込みを発生させません。詳細は、[26.3.3.1 BRDY 割り込み](#)を参照してください。

TYPE[1:0] ビット (転送タイプ)

PIPESEL.PIPESEL[3:0] ビットで選択したパイプに対して、転送タイプを選択します。

PID を BUF に設定して選択パイプで USB 通信を開始する前に、TYPE[1:0] ビットを 00b 以外の値にしてください。

26.2.26 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USBFS.PIPEMAXP 4009 006Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MXPS[8:0]								0
リセット後の値	0	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	最大パケットサイズ(注2)	- パイプ4および5 : 8バイト (008h)、16バイト (010h)、 32バイト (020h)、64バイト (040h) ([8:7]ビットと[2:0]ビットはサポートされていません) - パイプ6および7 : 1バイト (001h) ~ 64バイト (040h) ([8:7]ビットはサポートされていません)	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. これらのビットの値は、PIPESEL.PIPESEL[3:0] ビットでパイプを選択していないときは 000h、選択しているときは 040h です。

注 2. MXPS[8:0] ビットの設定は、必ず PID が NAK であるときに、CFIFO ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更した後で各ビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認してから設定してください。ただし、USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

PIPEMAXP レジスタは、パイプ 4 ~ 7 に対して、最大パケットサイズを指定するレジスタです。

MXPS[8:0] ビット (最大パケットサイズ)

選択パイプの最大データペイロード (最大パケットサイズ) を指定します。

これらのビットは、転送タイプごとに USB2.0 規格に従って適切な値を設定してください。MXPS[8:0] ビット = 000h のときは、FIFO バッファへの書き込みも、PID を BUF にする設定も行わないでください。これらの書き込みは無効です。

26.2.27 パイプ n コントロールレジスタ (PIPEnCTR) (n = 4 ~ 7)

PIPEnCTR (n = 4, 5)

アドレス USBFS.PIPE4CTR 4009 0076h, USBFS.PIPE5CTR 4009 0078h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0: NAK 応答 0 1: BUF 応答 (バッファ状態に従う) 1 0: STALL 応答 1 1: STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0: 選択パイプはトランザクションで未使用 1: 選択パイプはトランザクションで使用中	R
b6	SQMON	シーケンスストグルビット確認	0: DATA0 1: DATA1	R
b7	SQSET	シーケンスストグルビットセット (注2)	パイプnにシーケンスストグルビットを設定します。 0: 無効 (0の書き込みは無効) 1: 次回トランザクションの期待値をDATA1に設定	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア (注2)	パイプnのシーケンスストグルビットをクリアします。 0: 無効 (0の書き込みは無効) 1: 次回トランザクションの期待値をDATA0にクリア	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注3)	0: 禁止 1: 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モード (注2)	0: 自動応答を禁止 1: 自動応答を許可	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	INBUFM	送信バッファモニタ	0: FIFO バッファに送信可能データなし 1: FIFO バッファに送信可能データあり	R
b15	BSTS	バッファステータス	0: CPUからのバッファアクセス不可能 1: CPUからのバッファアクセス可能	R

注 1. 読むと0のみが読めます。

注 2. ATREPM ビットの設定と、SQCLR ビットまたは SQSET ビットへの1書き込みは、PID が NAK であるときに行ってください。これらのビットを設定する場合には、PBUSY ビットが0であることを確認し、選択パイプのPID[1:0] ビットをBUF から NAK へ変更してから実施してください。USBFS がPID[1:0] ビットを NAK に変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

注 3. ACLRM ビットの設定は、PID[1:0] = NAK かつポート選択レジスタのCURPIPE[3:0] ビットでパイプを選択する前に行ってください。本ビットを設定する場合には、PBUSY ビットが0であることを確認し、選択パイプのPID[1:0] ビットをBUF から NAK へ変更してから実施してください。USBFS がPID[1:0] ビットを NAK に変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

PIPEnCTR レジスタは、PIPESEL レジスタで選択したどのパイプに対しても設定可能です。

PID[1:0] ビット (応答 PID)

選択パイプの次回トランザクションにおける応答の種類を指定します。PID[1:0] ビットの初期値は NAK です。対応パイプで USBFS 転送を行う場合は、PID[1:0] ビットを BUF に変更してください。表 26.7 に、PID[1:0] ビットの設定値に基づく USBFS の基本動作（通信パケットにエラーがない場合）を示します。

選択パイプの USBFS 通信中に、ソフトウェアで PID[1:0] ビット設定を BUF から NAK に変更したときは、選択パイプの USBFS 転送が実際に NAK 状態に遷移したかどうかを判定するため、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

以下の場合に、USBFS が PIPEnCTR.PID[1:0] ビット設定を変更します。

- 選択パイプが受信方向で、かつソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBFS は、転送終了を認識したときに PID を NAK に設定
- 選択パイプの最大パケットサイズを超えるペイロードのデータパケットを受信したとき、USBFS は PID を STALL (11b) に設定
- USB バスリセットを検出したとき、USBFS は PID を NAK に設定

応答の種類を指定するには、PID[1:0] ビットを以下のように設定してください。

- NAK (00b) から STALL へ遷移させるには、10b を設定
- BUF (01b) から STALL へ遷移させるには、11b を設定
- STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
- STALL から BUF へ遷移させるには、00b (NAK) を設定してから 01b (BUF) を設定

表 26.7 PID[1:0] ビット設定値で決まる USBFS の動作

PID[1:0] ビット	転送タイプ	転送方向 (DIR ビット)	USBFS の動作
00b (NAK)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに対して NAK 応答を行う。
01b (BUF)	バルク	受信方向 (DIR ビット = 0)	USB ホストからの OUT トークンに対して、選択パイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行う。
	インタラプト	受信方向 (DIR ビット = 0)	USB ホストからの OUT トークンに対して、選択パイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行う。
	バルクまたは インタラプト	送信方向 (DIR ビット = 1)	USB ホストからのトークンに対して、対応する FIFO バッファが送信可能な状態であればデータを送信する。送信可能でなければ NAK 応答を行う。
10b (STALL) または 11b (STALL)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに対して STALL 応答を行う。

PBUSY ビット (パイプビジー)

選択パイプが現在のトランザクションで使用中かどうかを示します。

USBFS は、選択パイプに対する USBFS トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定の変更が可能かどうかを確認できます。詳細は、26.3.4.1 [パイプコントロールレジスタの切り替え手順](#)を参照してください。

SQMON ビット (シーケンストグルビット確認)

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。受信方向での転送時に DATA-PID 不一致が発生した場合、USBFS は SQMON ビットのトグルは許可されません。

SQSET ビット (シーケンスストグルビットセット)

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンスストグルビットの期待値として DATA1 を設定することが可能になります。USBFS は SQSET ビットを 0 にします。

SQCLR ビット (シーケンスストグルビットクリア)

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンスストグルビットの期待値として DATA0 を設定することが可能になります。USBFS は、SQCLR ビットを 0 にします。

ACLRM ビット (自動バッファクリアモード)

選択パイプの自動バッファクリアモードを許可または禁止します。

選択パイプに割り当てられた FIFO バッファの情報を完全にクリアするには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 26.8 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされる情報と、情報のクリアが必要となる状況を示します。

表 26.8 ACLRM = 1 設定時に USBFS がクリアする情報

番号	ACLRM ビット操作によってクリアされる情報	クリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファのすべての情報 (ダブルバッファモード選択時は FIFO バッファを 2 面ともクリア)	選択パイプを初期化する場合
2	PIPECFG.BFRE ビットの内部フラグ	PIPECFG.BFRE ビットの設定を変更する場合
3	FIFO バッファトグル制御	PIPECFG.DBLB ビットの設定を変更する場合
4	トランザクションカウントの内部フラグ	トランザクションカウント機能を強制終了する場合

ATREPM ビット (自動応答モード)

選択パイプの自動応答モードの許可または禁止します。

本ビットは、選択パイプがバルク転送用の場合に 1 にすることが可能です。ATREPM ビットを 1 にすると、USBFS は USB ホストからのトークンに対し以下のように応答します。

- 選択パイプの設定がバルク IN 転送 (PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR ビット = 1) のとき：
 - ATREPM ビット = 1 かつ PID = BUF の場合、IN トークンに対して USBFS は Zero-Length パケットを送信します。
 - USBFS は、USB ホストから ACK を受信するごとに、シーケンスストグルビット (DATA-PID) を更新します。1 トランザクションでは、IN トークンの受信、Zero-Length パケットの送信、および ACK の受信が行われます。USBFS は BRDY 割り込みや BEMP 割り込みを発生させません。
- 選択パイプの設定がバルク OUT 転送 (PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0) のとき：
 - ATREPM ビット = 1 かつ PID = BUF の場合、OUT トークンに対して USBFS は NAK 応答を行い、NRDY 割り込みを発生させます。

自動応答モードで USB 通信を行う場合、FIFO バッファが空の状態で ATREPM ビットを 1 にしてください。自動応答モードでの USB 通信中は、FIFO バッファに書き込まないでください。

INBUFM ビット (送信バッファモニタ)

選択パイプが送信方向の場合に、そのパイプの FIFO バッファステータスを示します。

選択パイプが送信方向 (PIPECFG.DIR = 1) の場合、CPU が FIFO バッファに少なくとも 1 面分のデータの書き込みを完了すると、USBFS はこのビットを 1 にします。

書き込みが完了している面の FIFO バッファ上のデータを USBFS がすべて送信完了したときに、USBFS は INBUFM ビットを 0 にします。ダブルバッファモード (PIPECFG.DBLB = 1) では、CPU が FIFO バッファの 1 面分のデータ書き込みを完了する前に、USBFS が FIFO バッファの 2 面分のデータ送信を完了する

と、USBFS は INBUFM ビットを 0 にします。

選択パイプが受信方向（PIPECFG.DIR = 0）の場合、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット（バッファステータス）

選択パイプの FIFO バッファステータスを示します。

BSTS ビットの意味は、表 26.9 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビットの設定値で異なります。

表 26.9 BSTS ビットの動作

DIR ビット	BFRE ビット	BSTS ビットの機能
0	0	FIFO バッファからの受信データの読み出しが可能 FIFO バッファからの受信データの読み出しが完了
	1	FIFO バッファから読み出し可能な受信データは、FIFO バッファからのデータの読み出し完了時に、ソフトウェアによって 1 になる
1	0	FIFO バッファへの送信データの書き込みが可能 FIFO バッファへの送信データの書き込みが完了
	1	設定禁止

PIPEnCTR (n = 6, 7)

アドレス USBFS.PIPE6CTR 4009 007Ah, USBFS.PIPE7CTR 4009 007Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0: NAK 応答 0 1: BUF 応答 (バッファ状態に従う) 1 0: STALL 応答 1 1: STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0: 選択パイプはトランザクションで未使用 1: 選択パイプはトランザクションで使用中	R
b6	SQMON	シーケンスストグルビット確認	0: DATA0 1: DATA1	R
b7	SQSET	シーケンスストグルビットセット (注2)	パイプnにシーケンスストグルビットを設定します。 0: 無効 1: 次回トランザクションの期待値をDATA1に設定	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア (注2)	パイプnのシーケンスストグルビットをクリアします。 0: 無効 1: 次回トランザクションの期待値をDATA0にクリア	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注2) (注3)	0: 自動バッファクリアモードを禁止 1: 自動バッファクリアモードを許可 (全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	BSTS	バッファステータス	0: バッファアクセス不可能 1: バッファアクセス可能	R

注 1. 読むと0が読み出されます。1のみ書けます。

注 2. SQCLR または SQSET ビットへの1書き込みは、PID が NAK のときに行ってください。これらのビットを設定する場合には、PBUSY ビットが0であることを確認し、選択パイプのPID[1:0] ビットをBUF から NAK へ変更してから実施してください。USB がPID[1:0] ビットを NAK に変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

注 3. ACLRM ビットの設定は、PID = NAK かつポート選択レジスタのCURPIPE[3:0] ビットでパイプを選択する前に行ってください。本ビットを設定する場合には、PBUSY ビットが0であることを確認し、選択パイプのPID[1:0] ビットをBUF から NAK へ変更してから実施してください。USB がPID[1:0] ビットを NAK に変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

PID[1:0] ビット (応答PID)

選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値は NAK です。選択パイプで USBFS 転送を行う場合にはPID[1:0] ビットの設定をBUF に変更してください。表 26.7 に、PID[1:0] の設定値に対応したUSBFSの基本動作(送受信パケットにエラーがない場合)を示します。

選択パイプがUSBFS通信中のときに、ソフトウェアでPID[1:0] ビットの設定をBUF から NAK に変更したときは、選択パイプのUSBFS転送が実際に NAK 状態に遷移したかどうかを判定するため、PBUSY ビットが1であることを確認してください。USBFS がPID[1:0] ビットを NAK に変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

以下の場合、USBFS が PIPEnCTR.PID[1:0] ビット設定を変更します。

- 選択パイプが受信方向で、かつソフトウェアで選択パイプのPIPECFG.SHTNAK ビットを1にしている場合、USBFS は転送が終了したときにPIDをNAKに設定

- 選択パイプの最大パッケージサイズを超えるペイロードのデータパッケージを受信した場合、USBFS は PID を STALL (11b) に設定
 - USB バスリセットを検出したとき、USBFS は PID を NAK に設定
- 応答の種類を指定するには、PID[1:0] ビットを以下のように設定してください。
- NAK (00b) から STALL へ遷移させるには、10b を設定
 - BUF (01b) から STALL へ遷移させるには、11b を設定
 - STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
 - STALL から BUF へ遷移させるには、一度 NAK 状態に遷移してから BUF 状態に遷移する

PBUSY ビット (パイプビジー)

選択パイプが現在トランザクションで使用中心かどうかを表示します。

USBFS は、選択パイプに対する USBFS トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定の変更が可能かどうかを確認できます。

SQMON ビット (シーケンストグルビット確認)

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。トランザクションが正常に終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向での転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットのトグルを行いません。

SQSET ビット (シーケンストグルビットセット)

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA1 を設定することが可能になります。USBFS は、SQSET ビットを 0 にします。

SQCLR ビット (シーケンストグルビットクリア)

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA0 を設定することが可能になります。USBFS は、SQCLR ビットを 0 にします。

ACLRM ビット (自動バッファクリアモード)

選択パイプの自動バッファクリアモードを許可または禁止します。選択パイプに割り当てられた FIFO バッファ内のデータを完全にクリアするには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 26.10 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされる情報と、この処理が必要となる状況を示します。

表 26.10 ACLRM ビット = 1 設定時に USB がクリアする情報

番号	ACLRM ビット操作によってクリアされる情報	クリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファの全情報	選択パイプを初期化する場合
2	PIPECFG.BFRE ビットの内部フラグ	PIPECFG.BFRE ビットの設定を変更する場合
3	トランザクションカウントの内部フラグ	トランザクションカウント機能を強制終了する場合

BSTS ビット (バッファステータス)

選択パイプの FIFO バッファステータスを示します。BSTS ビットの意味は、表 26.9 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビットの設定値で異なります。

26.2.28 パイプ n トランザクションカウンタインーブルレジスタ (PIPEnTRE) (n = 4, 5)

アドレス [USBFS.PIPE4TRE 4009 009Ch](#), [USBFS.PIPE5TRE 4009 00A0h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TRCLR	トランザクションカウンタクリア	0：無効 1：現在のカウンタ値をクリア	R/W
b9	TRENB	トランザクションカウンタ有効	0：トランザクションカウンタは無効 1：トランザクションカウンタは有効	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． PIPEnTRE レジスタの各ビットの変更は、PID が NAK のときに行ってください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

[TRCLR](#) ビット (トランザクションカウンタクリア)

TRCLR ビットを 1 にすると、USBFS は選択パイプに対応するトランザクションカウンタの現在の値をクリアし、その後、TRCLR ビットを 0 にします。

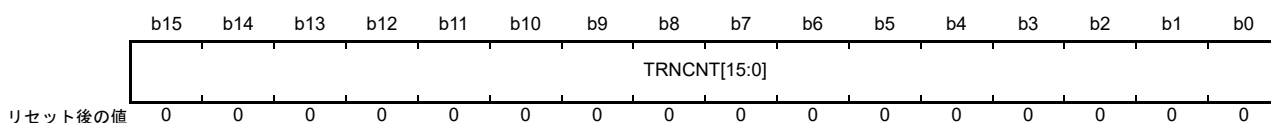
[TRENB](#) ビット (トランザクションカウンタ有効)

トランザクションカウンタを有効または無効にします。

受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0] ビットに総受信パケット数を設定した後、TRENB ビットを 1 にすると、USBFS は TRNCNT[15:0] ビットの設定値と同数のパケットを受信し終えた時点で、以下のようにハードウェアを制御します。

- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し終えた時点で、USBFS は対応するパイプの PIPEnCTR.PID[1:0] ビットを NAK に変更
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し、その最後の受信データを読み出し終えた時点で、USBFS は BRDY 割り込みをアサート

送信パイプに対しては、TRENB ビットを 0 にしてください。トランザクションカウンタを使用しない場合は、TRENB ビットを 0 にしてください。トランザクションカウンタを使用する場合は、TRNCNT[15:0] ビットを設定してから TRENB ビットを 1 にしてください。トランザクションカウンタのカウンタ対象となる最初のパケットを受信する前に、TRENB ビットを 1 にしてください。

26.2.29 パイプ n トランザクションカウンタレジスタ (PIPE_nTRN) (n = 4, 5)アドレス [USBFS.PIPE4TRN 4009 009Eh](#), [USBFS.PIPE5TRN 4009 00A2h](#)

ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT[15:0]	トランザクションカウンタ	書き込み時、本ビットは選択したパイプで受信したパケットの合計数（トランザクション数）を指定します。 読み出し時、PIPE _n TRE.TRENB ビットが0の場合、本ビットは指定されたトランザクション数を示します。 PIPE _n TRE.TRENB ビットが1の場合、本ビットは現在のトランザクション数を示します。	R/W

PIPE_nTRN レジスタは、USB バスリセット時も、現在の設定値を保持します。

[TRNCNT\[15:0\] ビット（トランザクションカウンタ）](#)

USBFS は、パケット受信時に下記の条件がすべて満たされたとき、TRNCNT[15:0] ビット値を 1 インクリメントします。

- PIPE_nTRE.TRENB ビットが 1 である
- パケット受信時に「TRNCNT[15:0] 設定値 ≠ 現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

USBFS は、下記の条件のいずれかが満たされたとき、TRNCNT[15:0] ビット値を 0 にします。

以下の条件がすべて満たされたとき：

- PIPE_nTRE.TRENB ビットが 1 である
- パケット受信時に「TRNCNT[15:0] 設定値 = 現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

以下の条件がすべて満たされたとき：

- PIPE_nTRE.TRENB ビットが 1 である
- USBFS がショートパケットを受信した

以下の条件がすべて満たされたとき：

- PIPE_nTRE.TRENB ビットが 1 である
- PIPE_nTRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプに対しては、TRNCNT[15:0] ビットを 0 にしてください。トランザクションカウンタを使用しない場合、TRNCNT[15:0] ビットを 0 にしてください。

転送するトランザクションの回数を TRNCNT[15:0] ビットに設定することは、PIPE_nTRE.TRENB ビットが 0 の場合にのみ可能です。転送するトランザクションの回数を設定する場合は、PIPE_nTRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 にして、現在のカウンタ値をクリアしてください。

26.2.30 USB モジュールコントロールレジスタ (USBMC)

アドレス USBFS.USBMC 4009 00CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	VDCEN	—	—	—	—	—	—	VDDUS BE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VDDUSBE	USB 基準電源回路 ON/OFF 制御	0 : USB 基準電源回路 OFF 1 : USB 基準電源回路 ON	R/W
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b6-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	VDCEN	USB レギュレータ ON/OFF 制御	0 : USB レギュレータ OFF 1 : USB レギュレータ ON	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VDDUSBE ビット (USB 基準電源回路 ON/OFF 制御)

USB 基準電源回路はバッテリーチャージ用の基準電圧を発生させます。バッテリーチャージ機能使用時は、このビットを1にしてください。

VDCEN ビット (USB レギュレータ ON/OFF 制御)

USB レギュレータ回路を制御します。USB レギュレータ回路の使用時は、このビットを1にしてください。

26.2.31 BC コントロールレジスタ 0 (USBBCCTRL0)

アドレス USBFS.USBBCCTRL0 4009 00B0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PDDETSTS0	CHGDETSTS0	BATCHGE0	—	VDMSRCE0	IDPSINKE0	VDPSRCE0	IDMSINKE0	IDPSRCE0	RPDME0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPDME0	D-端子プルダウン制御	0 : プルダウンOFF 1 : プルダウンON	R/W
b1	IDPSRCE0	D+ 端子IDPSRC出力制御	0 : 停止 1 : 10 μ A出力	R/W
b2	IDMSINKE0	D-端子0.6V入力検出（コンパレータ & シンク）制御	0 : 検出OFF 1 : 検出ON（コンパレータ & シンク電流ON）	R/W
b3	VDPSRCE0	D+ 端子VDPSRC（0.6V）出力制御	0 : 停止 1 : 0.6V出力	R/W
b4	IDPSINKE0	D+ 端子0.6V入力検出（コンパレータ & シンク）制御	0 : 検出OFF 1 : 検出ON（コンパレータ & シンク電流ON）	R/W
b5	VDMSRCE0	D-端子VDMSRC（0.6V）出力制御	0 : 停止 1 : 0.6V出力	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	BATCHGE0	BC（バッテリーチャージャ）機能汎用許可制御	0 : 禁止 1 : 許可	R/W
b8	CHGDETSTS0	D-端子0.6V入力検出ステータス (注1)	0 : 未検出 1 : 検出あり	R
b9	PDDETSTS0	D+ 端子0.6V入力検出ステータス (注2)	0 : 未検出 1 : 検出あり	R
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. IDMSINKE0 = 1 のときに有効

注 2. IDPSINKE0 = 1 のときに有効

RPDME0 ビット（D- 端子プルダウン制御）

バッテリーチャージ機能の使用時は、このビットを 1 にして D- 端子のプルダウン抵抗を制御してください。

IDPSRCE0 ビット（D+ 端子 IDPSRC 出力制御）

このビットを 1 にすると、データ接続端子の検出時に電流出力が許可され、D+ 端子がプルアップします。

IDMSINKE0 ビット（D- 端子 0.6V 入力検出（コンパレータ & シンク）制御）

このビットを 1 にすると、USBFS は、一次検出時にホストから D- に出力される VDMSRC（0.6V）がアタッチされたか否か、または、デバイスから D+ に出力される VDPSRC（0.6V）がデバイスのホストによって D- にアタッチされたか否かを検出します。

VDPSRCE0 ビット（D+ 端子 VDPSRC（0.6V）出力制御）

このビットを 1 にすると、一次検出時に出力が許可されて、D+ に VDPSRC（0.6V）が印加されます。

IDPSINKE0 ビット（D+ 端子 0.6V 入力検出（コンパレータ & シンク）制御）

このビットを 1 にすると、USBFS は、デバイスから D- に出力される VDMSRC（0.6V）が、デバイスのホストによって D+（DCP）にアタッチされたか否かを検出します。

VDMSRCE0 ビット（D- 端子 VDMSRC（0.6V）出力制御）

このビットを 1 にすると、二次検出時に出力が許可されて、D- に VDMSRC（0.6V）が印加されます。

CHGDETSTS0 フラグ（D- 端子 0.6V 入力検出ステータス）

一次検出中にホストから D- に出力される VDMSRC（0.6V）がアタッチされたか否か、または、デバイスから D+ に出力される VDPSRC（0.6V）がデバイスのホストによって D- にアタッチされたか否かを USBFS が検出すると、CHGDETSTS0 フラグが 1 になります。

PDDETSTS0 フラグ（D+ 端子 0.6V 入力検出ステータス）

二次検出中にデバイスから D- に出力される VDMSRC（0.6V）がデバイスのホストによって D+（DCP）にアタッチされたか否かを USBFS が検出すると、PDDETSTS0 フラグが 1 になります。

26.2.32 USB クロック選択レジスタ（UCKSEL）

アドレス `USBFS.UCKSEL 4009 00C4h`

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UCKSEL LC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UCKSELC	USB クロック選択 ^(注1)	0 : USB クロックとして、高速オンチップオシレータ (HOCO) のクロックを選択しない 1 : USB クロックとして、高速オンチップオシレータ (HOCO) のクロックを選択する	R/W
b15-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. UCKSELC ビット = 1 の場合、ユーザトリミング機能は使用できません。ユーザトリミング機能については、「9. クロック発生回路」を参照してください。

26.3 動作説明

26.3.1 システム制御

本項では、USBFS モジュールの初期化および消費電力制御のために必要なレジスタ設定について説明します。

26.3.1.1 USBFS 関連レジスタへのデータ設定

USB ヘクロック供給を開始 (SYSCFG.SCKE ビットを 1 に) した後、SYSCFG.USBE ビットを 1 にすると、USBFS の動作が許可されて、USBFS は動作を開始します。

26.3.1.2 USBFS データバス抵抗制御

USBFS は、D+ ライン用および D- ライン用のプルアップ抵抗とプルダウン抵抗を内蔵しています。SYSCFG.DPRPU ビットと SYSCFG.DMRPU ビットを設定して、これらのラインをプルアップまたはプルダウンしてください。

USB ホストへの接続を確認した後で、SYSCFG.DPRPU ビットを 1 にして、D+ ライン (フルスピード通信時) をプルアップしてください。あるいは、SYSCFG.DMRPU ビットを 1 にして、D- ライン (ロースピード通信時) をプルアップしてください。

PC との通信中に SYSCFG.DPRPU ビットを (フルスピード時に) 0 にするか、または SYSCFG.DMRPU ビットを (ロースピード時に) 0 にすると、USBFS が USB データラインのプルアップ抵抗を無効にするので、USB ホストに対してデタッチを通知することができます。

表 26.11 USBFS データバス抵抗の制御設定

SYSCFG レジスタの設定				
DPRPU ビット	DMRPU ビット	D-	D+	機能
0	0	オープン	オープン	使用しない
1	0	オープン	プルアップ	フルスピード
0	1	プルアップ	オープン	ロースピード
上記以外の設定		—	—	設定禁止

26.3.1.3 USBFS の電源接続例

図 26.2 に、USB レギュレータを使用しない場合の電源接続例を示します。図 26.3 と図 26.4 に、USB レギュレータを使用する場合の電源接続例を示します。

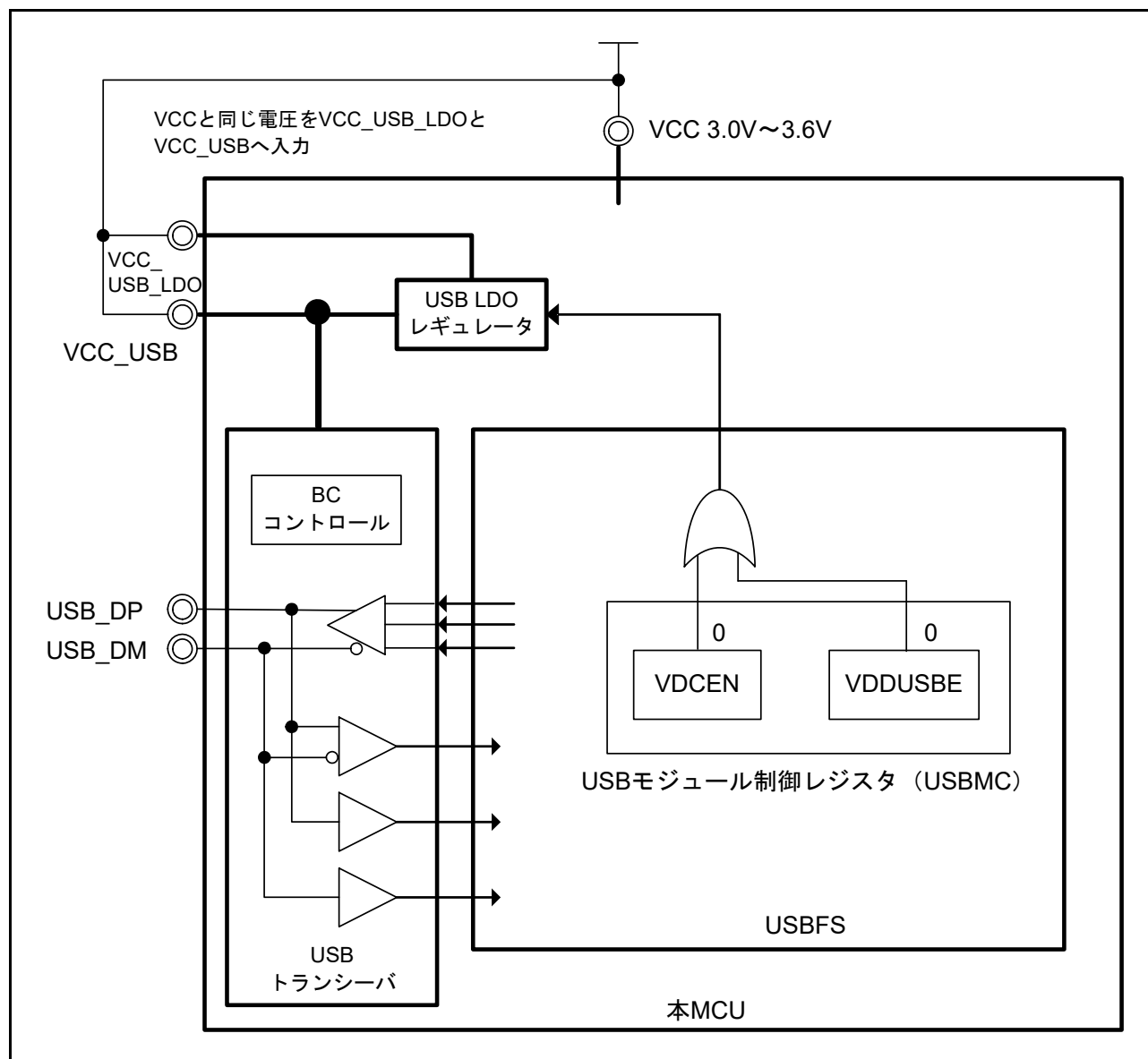


図 26.2 USB LDO レギュレータを使用しない場合の電源接続例

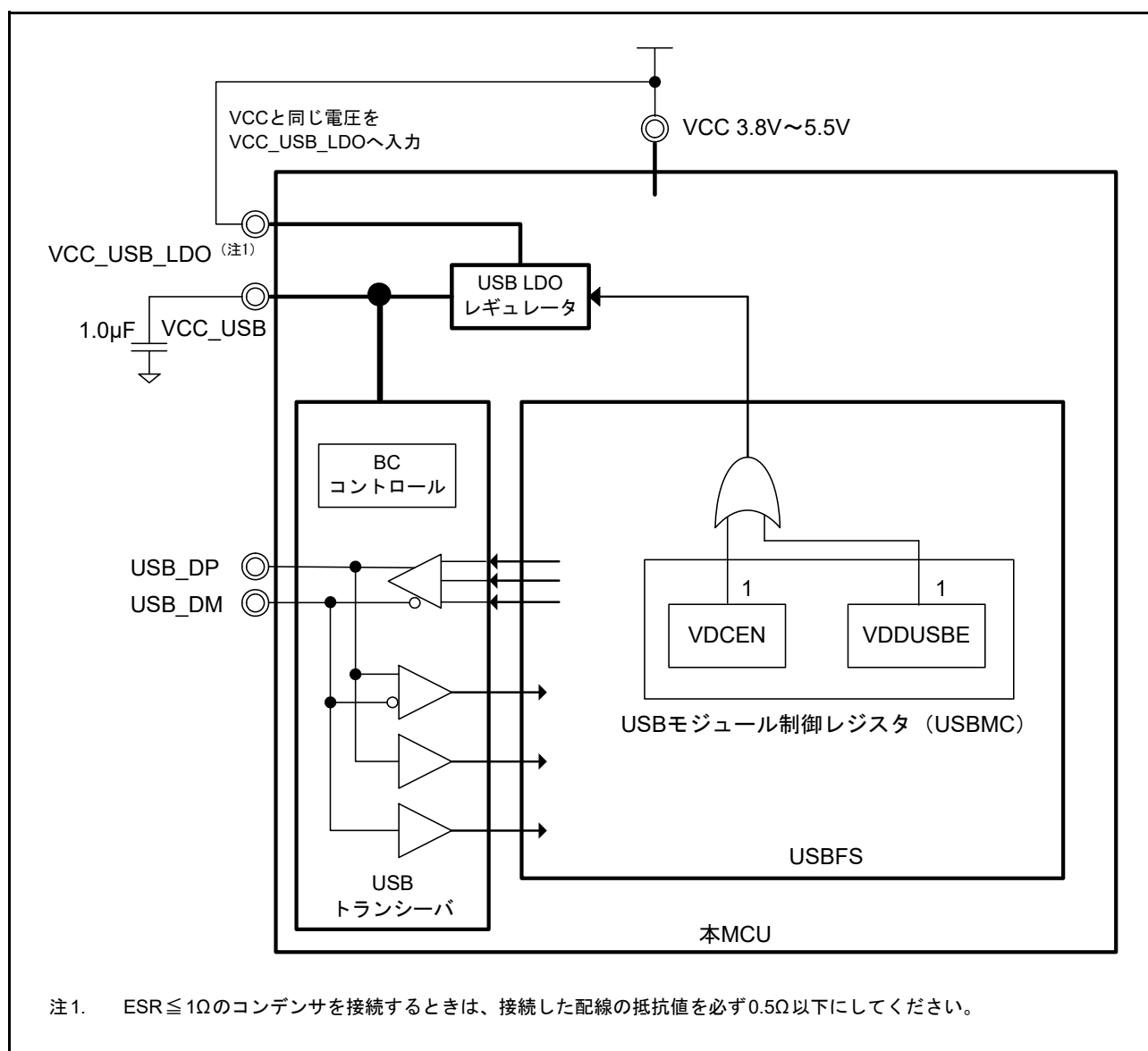


図 26.3 USB LDO レギュレータを使用する場合の電源接続例 (BC 使用)

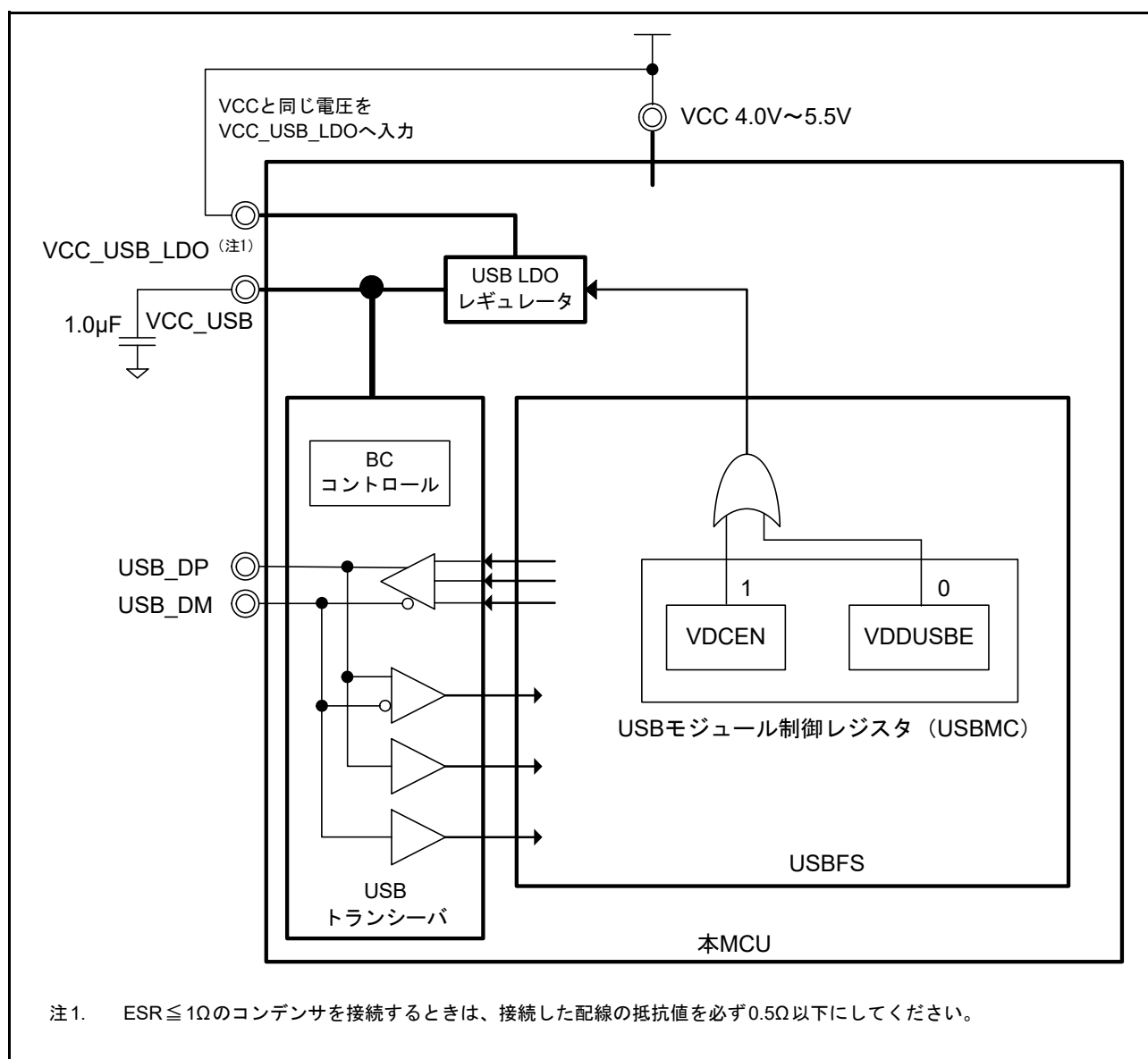


図 26.4 USB LDO レギュレータを使用する場合の電源接続例 (BC 不使用)

26.3.1.4 USB 外部接続回路の例

データラインの1つがプルアップされると、ホストはUSBデバイスを認識します。本MCUでは、このために内蔵プルアップ抵抗を切り替えることができます。また、本MCUはUSBトランシーバに電源を内蔵しているため、バスパワーデバイスでは外部レギュレータを必要としません。図26.6と図26.7に、USB接続用外部回路の例を示します。

図26.5に、セルフパワー状態でのUSBコネクタのファンクション接続例を示します。

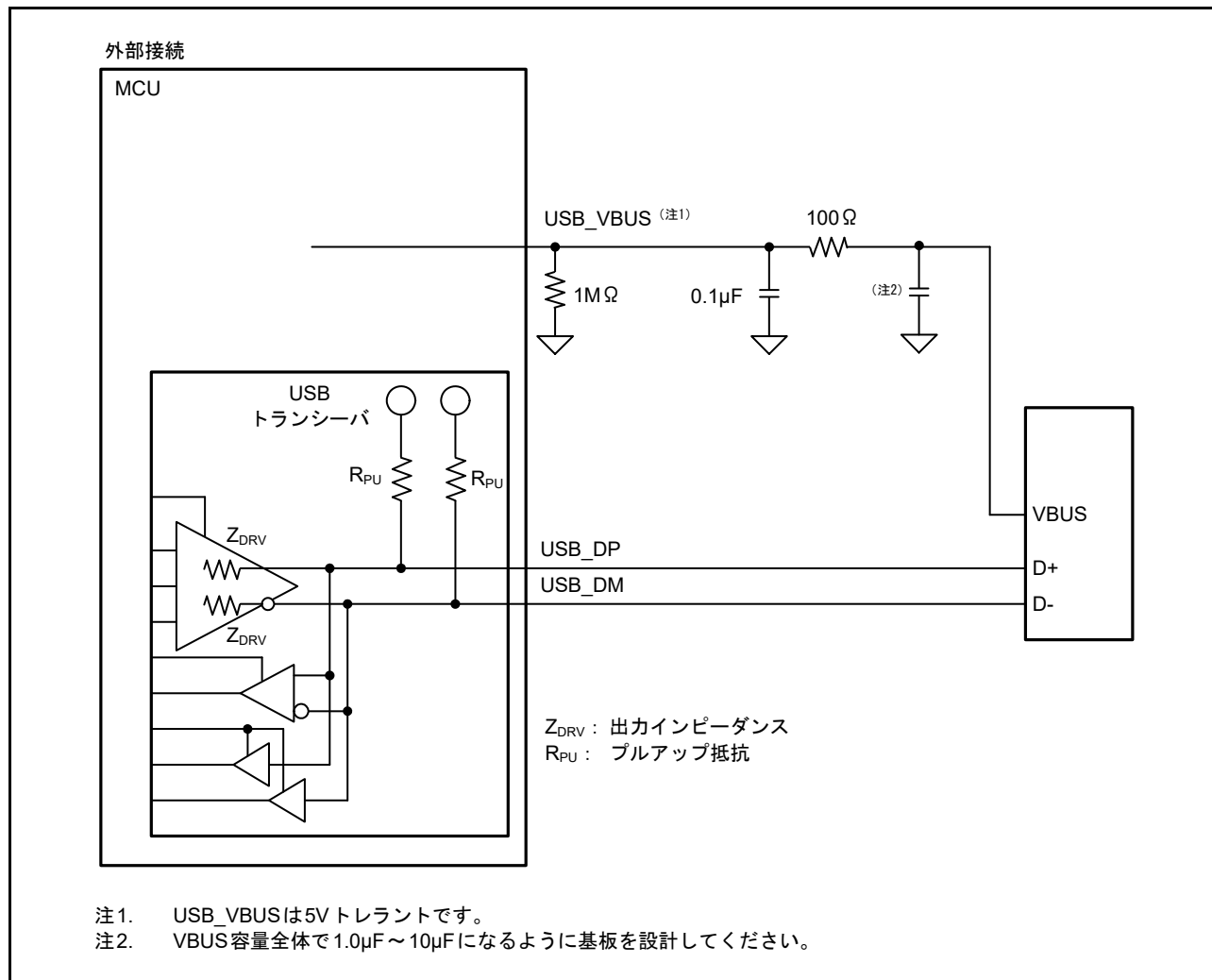


図 26.5 セルフパワー状態でのデバイス接続例

図 26.6 に、バスパワー状態 1 での USB コネクタのファンクション接続例を示します。

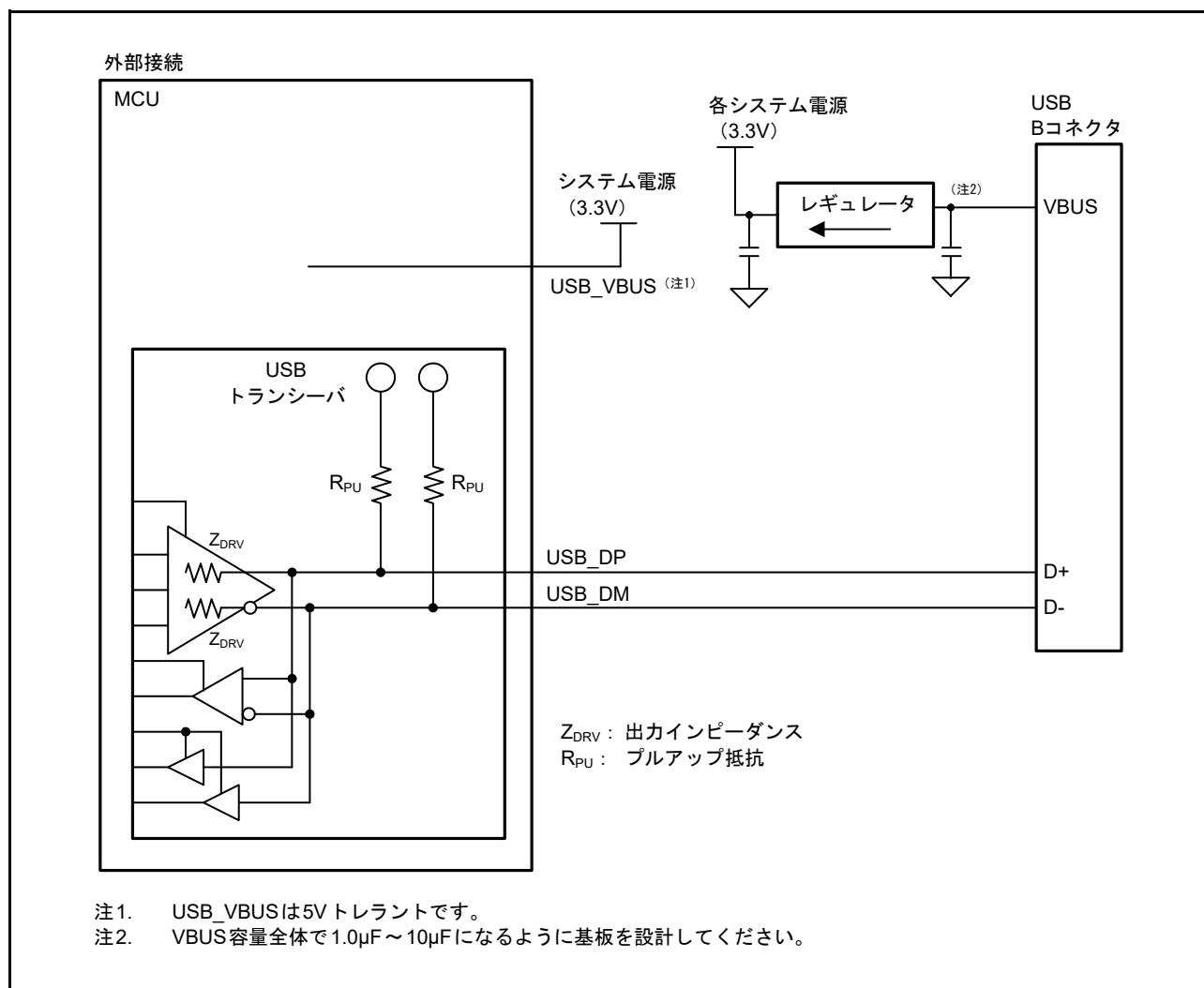


図 26.6 バスパワー状態 1 でのデバイス接続例

図 26.7 に、バスパワー状態 2 での USB コネクタのファンクション接続例を示します。

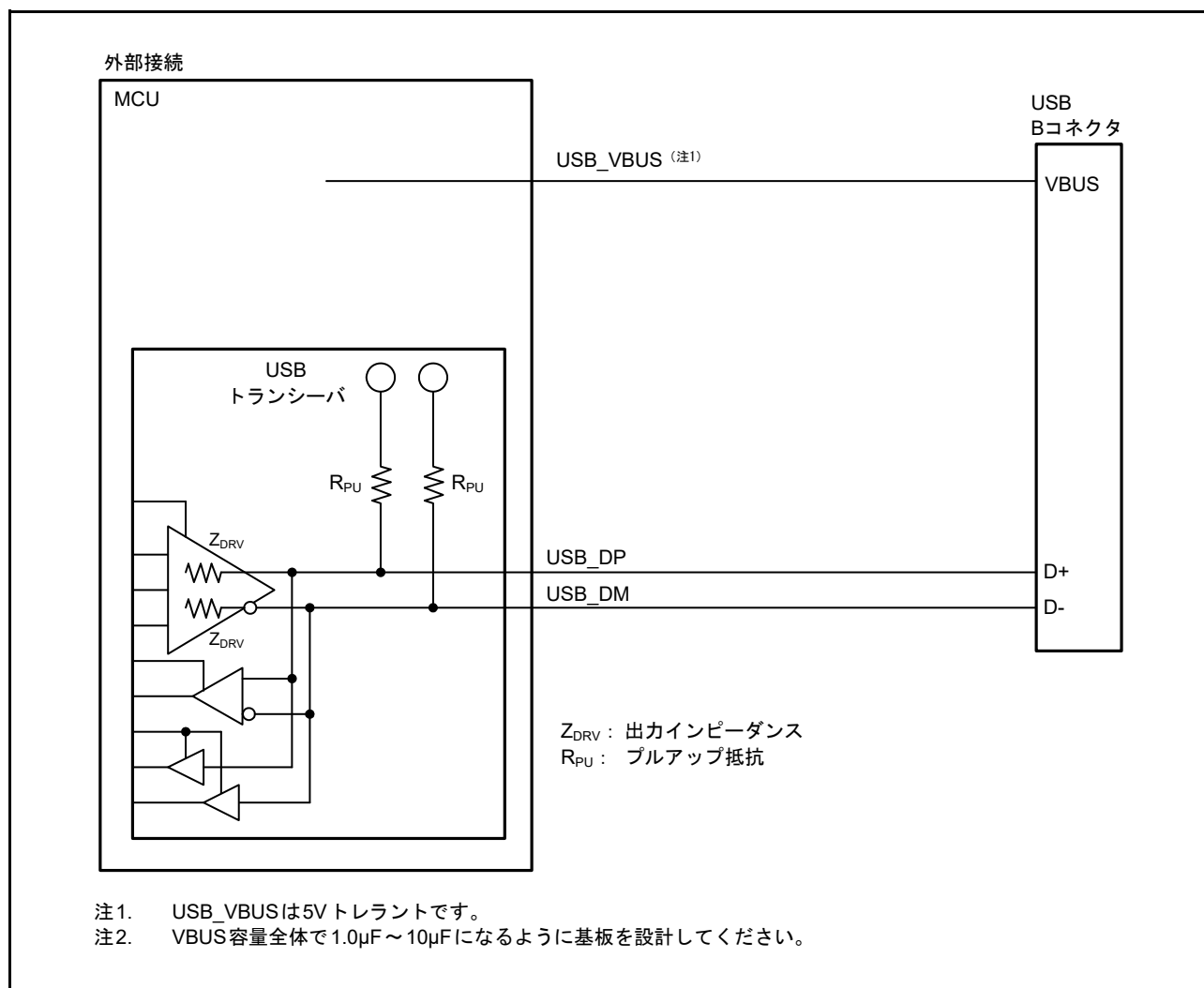


図 26.7 バスパワー状態 2 でのデバイス接続例

この節に記載の外部回路の例は、概略回路であり、すべてのシステムにおいて動作を保証するものではありません。

図 26.8 に、バッテリーチャージング規格 1.2 対応 USB コネクタのファンクション接続例を示します。

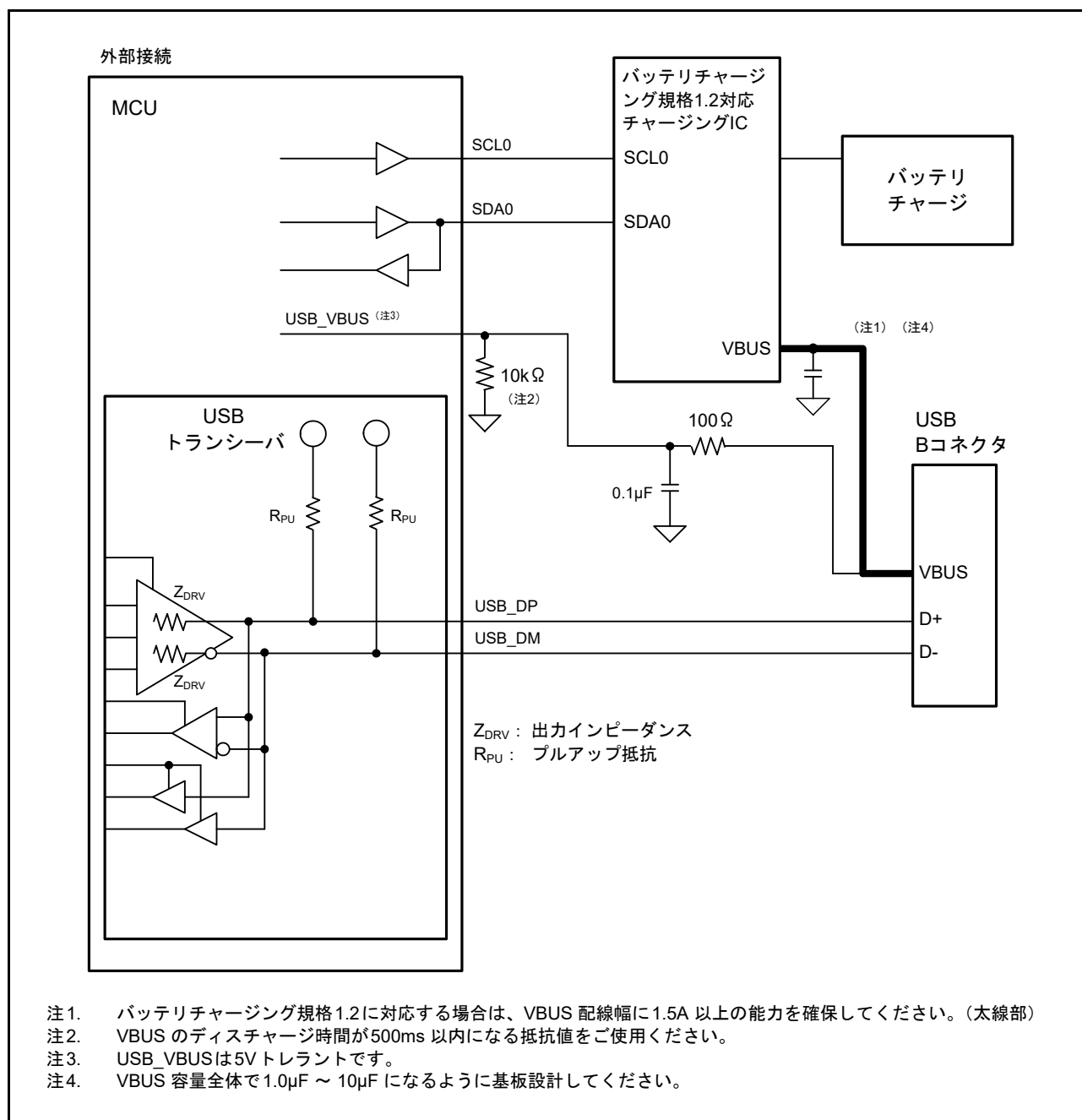


図 26.8 バッテリーチャージング規格 1.2 対応 USB コネクタのファンクション接続例

26.3.2 割り込み要因

表 26.12 に、USBFS の割り込み要因一覧を示します。これらの割り込み発生条件が成立し、関連する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USBFS は割り込みコントローラユニット (ICU) に対して USBFS 割り込み要求を発行し、USBFS 割り込みが発生します。「13. 割り込みコントローラユニット (ICU)」を参照してください。

表 26.12 割り込み要因

1にするビット	名称	割り込み要因	ステータスフラグ
VBINT	VBUS割り込み	• USB_VBUS入力端子の状態変化を検出したとき (Low→HighまたはHigh→Low)	INTSTS0.VBSTS
RESM	レジューム割り込み	• SuspendedステートにおいてUSBバスの状態変化を検出したとき (J-State→K-StateまたはJ-State→SE0)	—
SOFR	フレーム番号更新割り込み	• フレーム番号の異なるSOFパケットを受信したとき	—
DVST	デバイスステート遷移割り込み	• 以下のいずれかの条件下でデバイスステート遷移を検出したとき - USBバスリセットを検出 - Suspendedステートを検出 - SET_ADDRESSリクエストを受信 - SET_CONFIGURATIONリクエストを受信	INTSTS0.DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	• 以下のいずれかの条件下でコントロール転送のステージ遷移を検出したとき - セットアップステージ完了 - コントロールライト転送ステータスステージ遷移 - コントロールリード転送ステータスステージ遷移 - コントロール転送完了 - コントロール転送シーケンスエラー発生	INTSTS0.CTSQ[2:0]
BEMP	バッファEMPTY割り込み	• バッファメモリ中の全データを送信してバッファが空になったとき • 最大パケットサイズを超えたパケットを受信したとき	BEMPSTS.PIPEnBEMP
NRDY	バッファNOTREADY割り込み	• PIDビット=BUFのときに、INトークンまたはOUTトークンに対してNAKを応答したとき	NRDYSTS.PIPEnNRDY
BRDY	バッファREADY割り込み	• バッファがREADY状態 (読み出しまたは書き込み可能) になったとき	BRDYSTS.PIPEnBRDY

図 26.9 に、USBFS の割り込みに関連する回路を示します。

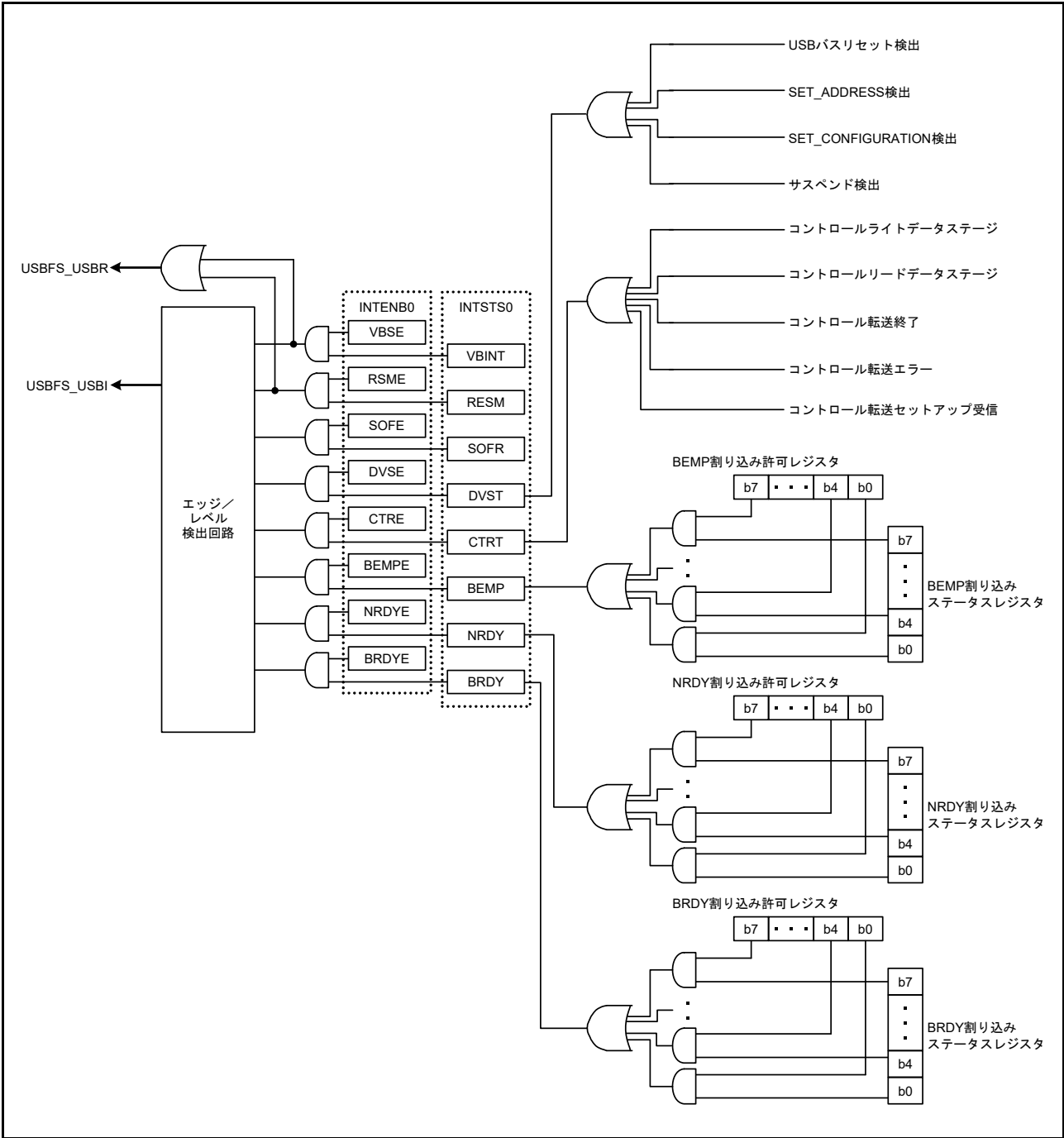


図 26.9 USBFS の割り込みに関連する回路

表 26.13 に、USBFS で発生する割り込みを示します。

表 26.13 USBFSの割り込み

割り込み名	割り込みステータスフラグ	DTCの起動
USBFS_USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み	不可能
USBFS_USBR	VBUS割り込み、レジューム割り込み	不可能

26.3.3 割り込みの説明

26.3.3.1 BRDY 割り込み

ここでは、USBFS が BRDYSTS レジスタの対応するビットを 1 にするときの条件について説明します。この条件下では、ソフトウェアで当該パイプに対応する BRDYENB.PIPEnBRDYE ビットを 1 にして、さらに INTENB0.BRDYE ビットを 1 にしていると、USBFS は BRDY 割り込みを発生させます。

BRDY 割り込みの発生およびクリア条件は、以下の各項に示すように、各パイプの SOFCFG.BRDYM ビットおよび PIPECFG.BFRE ビットの設定値によって異なります。

(1) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートがアクセス可能であることを示します。

下記条件のいずれかに該当する場合、USBFS は内部 BRDY 割り込み要求トリガを発生させ、選択パイプに対応する BRDYSTS.PIPEnBRDY ビットを 1 にします。

(a) 送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- CPU から選択パイプの FIFO バッファへのライトアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、そのパイプを用いたパケット送信が完了したとき
- ダブルバッファモードにおいて、一方の FIFO バッファへの書き込み完了時に、もう一方の FIFO バッファが空であったとき
- 一方の FIFO バッファへの送信が完了しても、現在書き込み中の FIFO バッファへの書き込みが完了するまで、要求トリガは発生しません
- PIPEnCTR.ACLRM ビットに 1 を書くことで、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (コントロール転送でのデータ送信においては)、要求トリガは発生しません。

(b) 受信パイプの場合

- CPU から選択パイプの FIFO バッファへのリードアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、パケット受信が正常に完了したため、FIFO バッファの読み出しが可能になったとき
DATA-PID 不一致が発生したトランザクションに対しては、要求トリガは発生しません
- ダブルバッファモードにおいて、一方の FIFO バッファからの読み出し完了時に、もう一方の FIFO バッファも読み出し可能なとき
一方の FIFO バッファが受信を完了しても、現在読み出し中の FIFO バッファからの読み出しが完了するまで、要求トリガは発生しません

コントロール転送のステータスステージでは、BRDY 割り込みは発生しません。対応する PIPEnBRDY ビットにソフトウェアで 0 を書き込むことにより、選択パイプの BRDY 割り込みステータスを 0 にすることが可能です。この場合、他のパイプの PIPEnBRDY ビットには 1 を書き込んでください。BRDY ステータスのクリアは、FIFO バッファへアクセスする前に行ってください。

(2) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 1 のとき

この設定の場合、受信パイプによって 1 転送分の全データがすべて読み出されたときに、USBFS は BRDY 割り込みを発生させ、BRDYSTS レジスタの選択パイプに対応するビットを 1 にします。

下記条件のいずれかに該当する場合、USBFS は 1 転送分の最後のデータが受信されたと判定します。

- ショートパケット (Zero-Length パケットを含む) を受信したとき
- パイプ n トランザクションカウンタレジスタ (PIPE n TRN) を使用し、PIPE n TRN.TRNCNT[15:0] ビットで設定したパケット数をすべて受信したとき

上記条件のいずれかが満たされた後、当該データの読み出しが完了したときに、USBFS は 1 転送分の全データがすべて読み出されたと判定します。

FIFO バッファが空の状態 Zero-Length パケットを受信した場合、CFIFO ポートコントロールレジスタの FRDY ビットが 1、かつ DTLN[8:0] ビットが 000h の時点で、USBFS は 1 転送分の全データがすべて読み出されたと判定します。この場合、次の転送を開始するには、対応する CFIFO ポートコントロールレジスタの BCLR ビットにソフトウェアで 1 を書いてください。この設定の場合、USBFS は送信パイプに対して BRDY 割り込みを検出しません。

選択パイプの BRDY 割り込みステータスは、ソフトウェアで対応する BRDYSTS.PIPE n BRDY ビットに 0 を書くことにより、0 にすることが可能です。このとき、他の PIPE n BRDY ビットは 1 にしてください。

このモードを使用する場合、1 転送分のすべてのデータの処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。処理が完了する前に PIPECFG.BFRE ビットを変更する必要がある場合は、PIPE n CTR.ACLRM ビットを用いて選択パイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビット = 1 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDYSTS.PIPE n BRDY ビット値は、各パイプの BSTS ビットの設定値に連動します。すなわち、FIFO バッファのステータスに応じて、USBFS が BRDY 割り込みステータスビット (PIPE n BRDY) を 1 または 0 にします。

(a) 送信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファが書き込み可能な状態であれば 1 になり、そうであれば 0 になります。送信方向の DCP が書き込み可能であっても、BRDY 割り込みは発生しません。

(b) 受信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファが読み出し可能な状態であれば 1 になり、全データが読み出されたとき (読み出し不可能な状態で) 0 になります。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアで BCLR = 1 を書くまで、選択のビットは 1 になり、BRDY 割り込みが発生し続けます。この設定の場合、ソフトウェアで PIPE n BRDY ビットを 0 にすることはできません。SOFCFG.BRDYM ビットが 1 のときは、全パイプの PIPECFG.BFRE ビットをすべて 0 にしてください。

図 26.10 に、BRDY 割り込みの発生タイミングを示します。

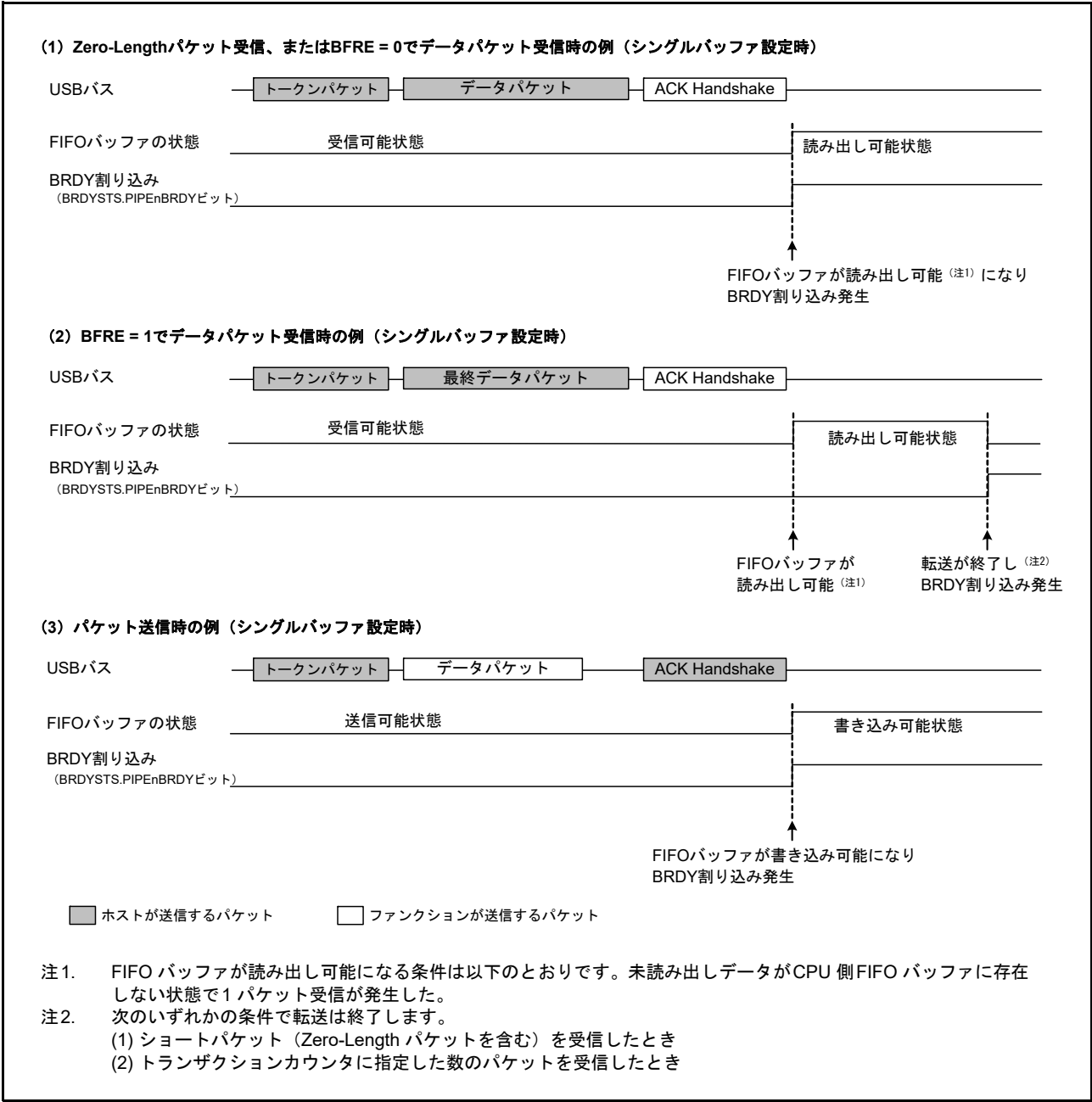


図 26.10 BRDY 割り込み発生タイミング

USBFS が INTSTS0.BRDY ビットをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 26.14 に、BRDY ビットのクリア条件を示します。

表 26.14 BRDY ビットのクリア条件

BRDYM ビット	BRDY ビットのクリア条件
0	ソフトウェアでBRDYSTSレジスタの全ビットを0にしたとき
1	全パイプのBSTSビットが0になったとき

26.3.3.2 NRDY 割り込み

ソフトウェアで PID[1:0] ビットを BUF に設定したパイプに内部 NRDY 割り込み要求が発生すると、USBFS は対応する NRDYSTS.PIPE_nNRDY ビットを 1 にします。ソフトウェアで NRDYENB レジスタの対応するビットを 1 にしておくと、USBFS は INTSTS0.NRDY ビットを 1 にして、USBFS 割り込みを発生させます。

USBFS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。コントロール転送のステータスステージ実行時には、内部 NRDY 割り込み要求は発生しません。

(a) 送信パイプの場合

- FIFO バッファに送信すべきデータがない状態で IN トークンを受信したとき。このとき USBFS は、IN トークン受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPE_nNRDY ビットを 1 にします。

(b) 受信パイプの場合

- OUT トークンを受信したが、FIFO バッファに空きがないとき。割り込みが発生した転送パイプに対して、USBFS は、OUT トークンに続くデータ受信後、NAK ハンドシェイクを送信するときに、NRDY 割り込み要求を発生させ、PIPE_nNRDY ビットを 1 にします。DATA-PID 不一致による再送信時には、NRDY 割り込み要求は発生しません。また、DATA パケットにエラーがある場合も、NRDY 割り込み要求は発生しません。

図 26.11 に、NRDY 割り込みの発生タイミングを示します。

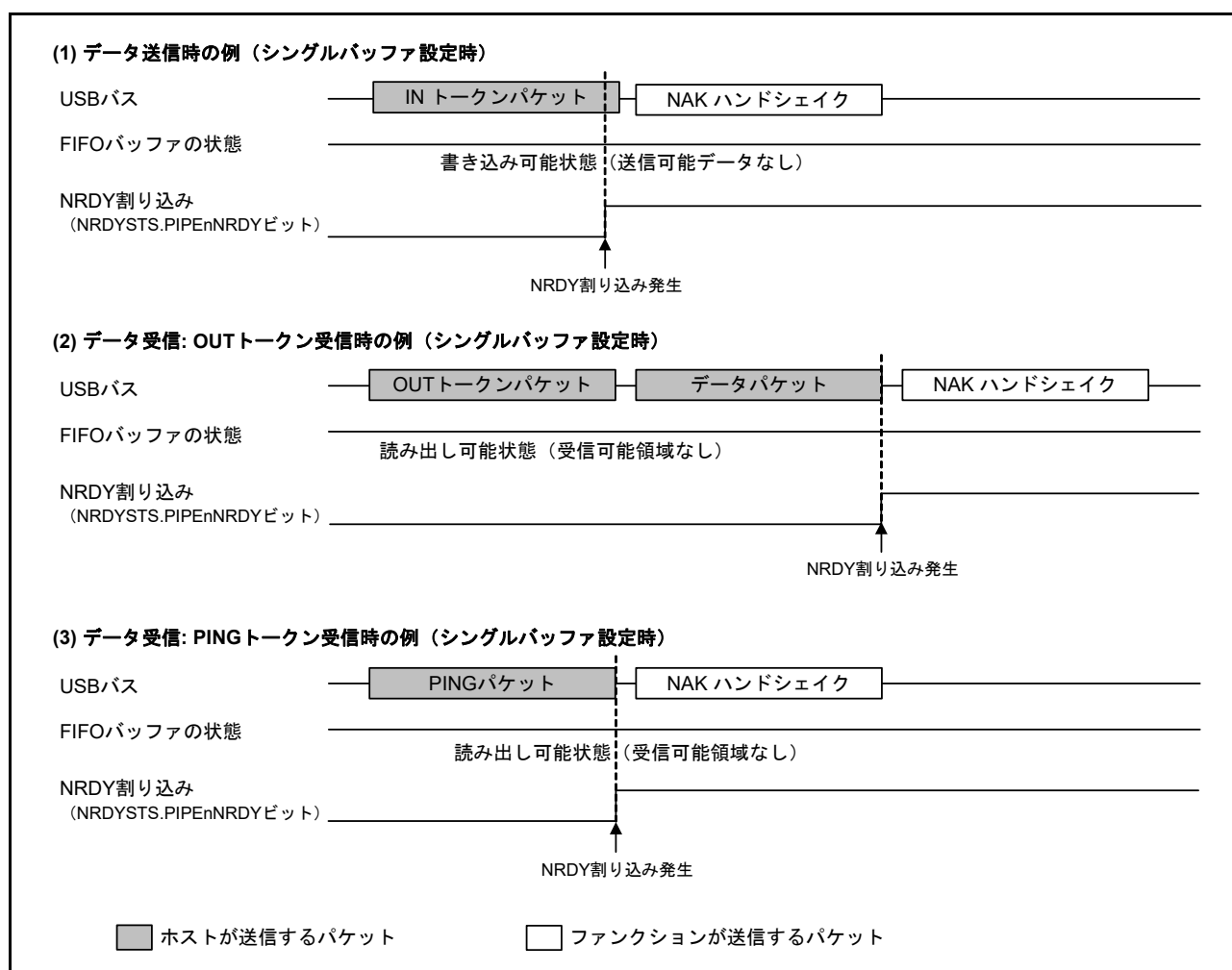


図 26.11 NRDY 割り込みの発生タイミング

26.3.3.3 BEMP 割り込み

ソフトウェアで PID[1:0] ビットを BUF に設定したパイプに、BEMP 割り込みが検出されると、USBFS は対応する BEMPSTS.PIPEnBEMP ビットを 1 にします。ソフトウェアで BEMPENB レジスタの対応するビットを 1 にしている場合、USBFS は INTSTS0.BEMP ビットを 1 にして、USBFS 割り込みを発生させます。ここでは、USBFS が内部 BEMP 割り込み要求を発生させる条件について説明します。

(1) 送信パイプの場合

送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき。

シングルバッファモードでは、DCP 以外のパイプに対して BRDY 割り込みと同時に内部 BEMP 割り込み要求が発生します。

下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。

- ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU が CPU 側の FIFO バッファへのデータ書き込みをすでに開始しているとき
- PIPEnCTR.ACLRM ビットまたは CFIFO ポートコントロールレジスタの BCLR ビットを 1 にして、バッファをクリアした場合
- コントロール転送ステータスステージにおいて、IN 転送 (Zero-Length パケット送信) を実行した場合

(2) 受信パイプの場合

正常に受信したデータの packet サイズが、設定した最大 packet サイズを超えたとき。この場合、USBFS は BEMP 割り込み要求を発生させ、対応する BEMPSTS.PIPEnBEMP ビットを 1 にして、受信データを破棄し、当該パイプに対応する PID[1:0] ビット値を STALL (11b) に変更します。USBFS は STALL 応答を行います。

下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。

- 受信データに CRC エラーまたはビットスタッフィングエラーが検出された場合
- Setup トランザクションが実行された場合
 - BEMPSTS.PIPEnBEMP ビットに 0 を書くと、ステータスがクリアされます
 - BEMPSTS.PIPEnBEMP ビットに 1 を書いても、何の影響もありません

図 26.12 に、BEMP 割り込みの発生タイミングを示します。

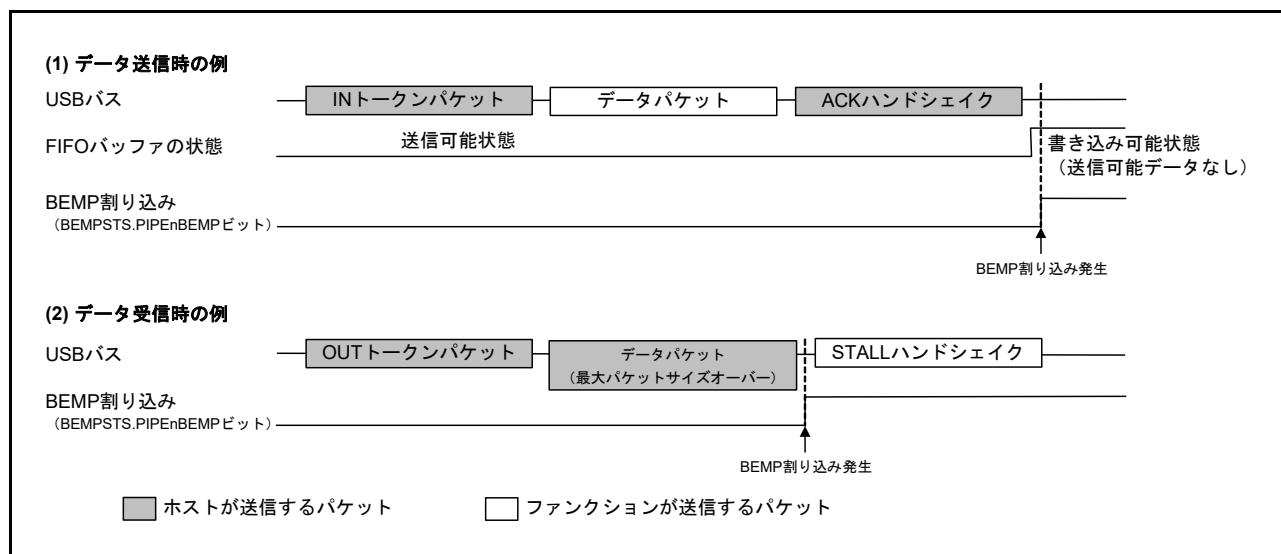


図 26.12 BEMP 割り込みの発生タイミング

26.3.3.4 デバイスステート遷移割り込み

図 26.13 に、USBFS のデバイスステート遷移図を示します。USBFS は、デバイスステートを管理して、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰（レジューム信号検出）は、レジューム割り込みによって検出します。デバイスステート遷移割り込みは、INTENB0 レジスタを用いて個別に許可または禁止できます。遷移した先のデバイスステートは、INTSTS0.DVSQ[2:0] ビットで確認できます。

Default ステートに遷移する場合は、USB バスリセットの検出後に、デバイスステート遷移割り込みが発生します。

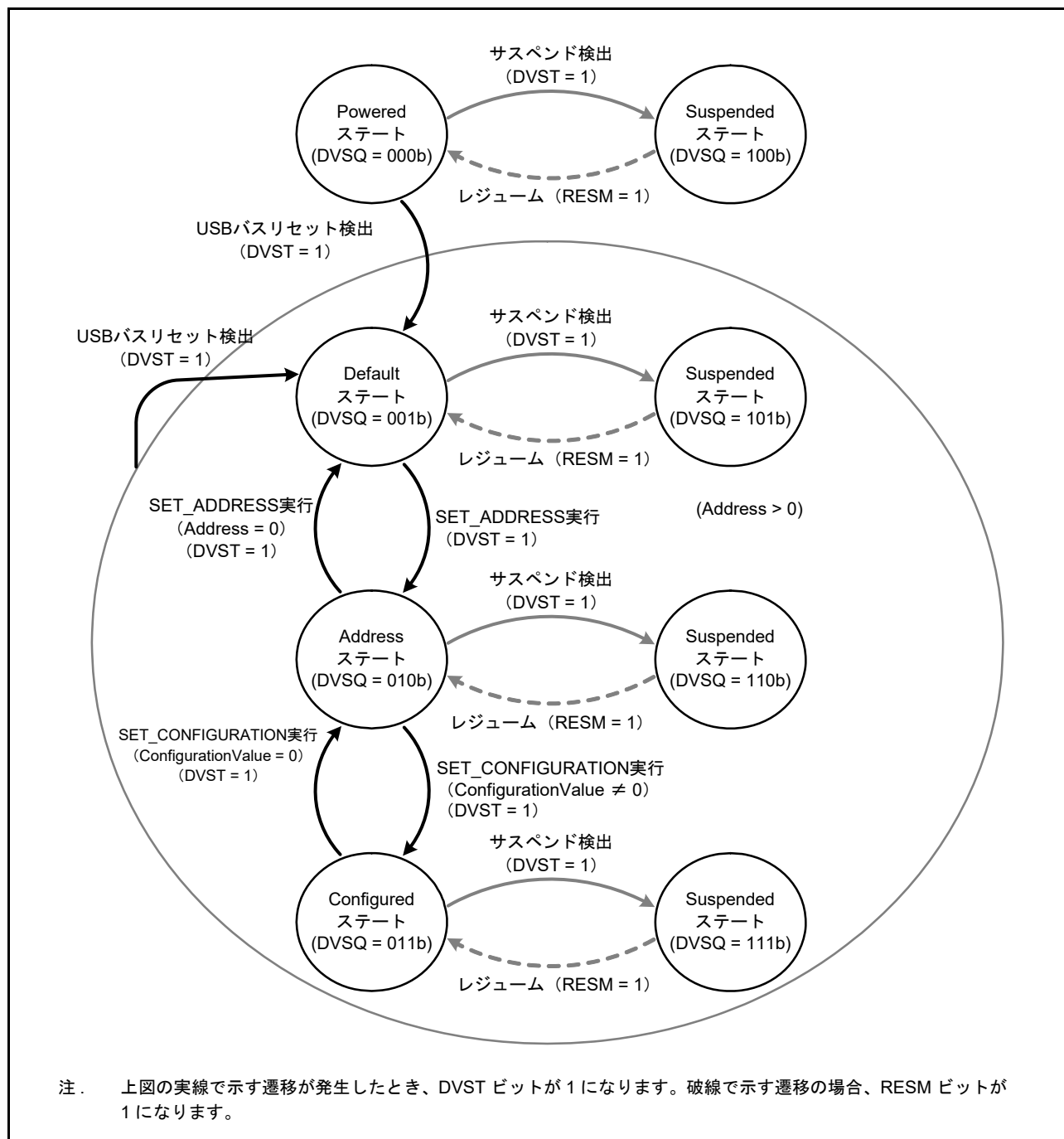


図 26.13 デバイスステートの遷移

26.3.3.5 コントロール転送ステージ遷移割り込み

図 26.14 に、USBFS のコントロール転送ステージ遷移図を示します。USBFS は、コントロール転送のシーケンスを制御して、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタを用いて個別に許可または禁止できます。遷移した先の転送ステージは INTSTS0.CTSQ[2:0] ビットで確認できます。コントロール転送ステージ遷移割り込みが発生します。

本節では、コントロール転送のシーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが 1xb (STALL 応答) になります。

(1) コントロールリード転送エラー

- データステージの IN トークンに対して、一度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

(2) コントロールライト転送エラー

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のパケットを受信
- ステータスステージで OUT トークンを受信

(3) コントロールライトノーデータ転送エラー

- ステータスステージで OUT トークンを受信

コントロールライト転送のデータステージでは、受信データ長が USB リクエストの wLength 値を超えても、コントロール転送シーケンスエラーと認識されません。コントロールリード転送のステータスステージでは、Zero-Length パケット以外のパケットが ACK 応答によって受信され、転送が正常に終了します。

シーケンスエラーに対して CTRT 割り込みが発生した場合 (INTSTS0.CTRT = 1)、CTRT ビットが 0 になって割り込みステータスがクリアされるまで、CTSQ[2:0] = 110b の値が保持されます。CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。USBFS は、セットアップステージ完了のステータスを保存し、ソフトウェアによって割り込みステータスがクリアされた後に CTRT 割り込みを発生させます。

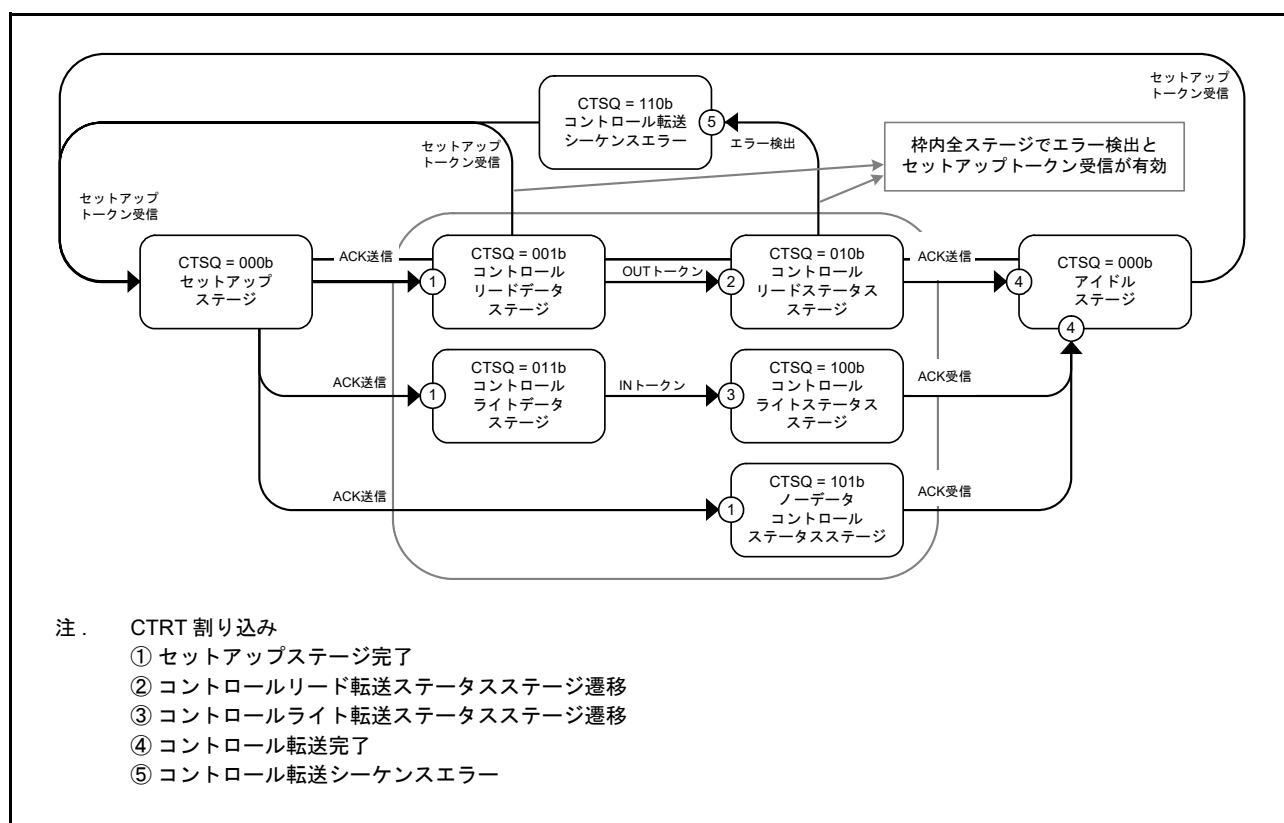


図 26.14 コントロール転送ステージの遷移

26.3.3.6 フレーム番号更新割り込み

USBFS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

26.3.3.7 VBUS 割り込み

USB_VBUS 端子レベルに変化があった場合、VBUS 割り込みが発生します。USB_VBUS 端子のレベルは、INTSTS0.VBSTS ビットで確認できます。VBUS 割り込みによって、ホストコントローラの接続および切断の確認ができます。ホストコントローラが接続された状態でシステムが起動された場合は、USB_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みは発生しません。

26.3.3.8 レジューム割り込み

レジューム割り込みは、デバイスステートが Suspended ステートで、USB バスステートが J-state から K-state へ、または J-state から SE0 へ変化したときに発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

26.3.4 パイプコントロール

表 26.15 に、USBFS のパイプ設定項目一覧を示します。USBFS データ転送は、ソフトウェアがエンドポイントに対応付けたパイプで行われます。USBFS にはデータ転送用に 5 本のパイプがあります。各パイプは、システムの仕様に合わせて適切に設定してください。

表 26.15 パイプ設定項目

レジスタ名	ビット名	設定内容	注意点
DCPCFG PIPECFG	TYPE	転送タイプ	パイプ4～7：設定可能
	BFRE	BRDY 割り込みモード	パイプ4および5：設定可能
	DBLB	ダブルバッファ選択	パイプ4および5：設定可能
	DIR	転送方向選択	IN または OUT 設定可能
	EPNUM	エンドポイント番号	パイプ4～7：設定可能 パイプ使用時は 0000b 以外に設定
	SHTNAK	転送終了時のパイプ禁止選択	パイプ4および5：設定可能
DCPMAXP PIPEMAXP	MXPS	最大パケットサイズ	USB2.0 規格に準拠
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCP は、ISEL ビットで受信／送信バッファ状態を切り替え
	INBUFM	IN バッファモニタ	パイプ4および5：設定可能
	ATREPM	自動応答モード	パイプ4および5：設定可能
	ACLRM	自動バッファクリア	パイプ4～7：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンスモニタ	データトグルビットの監視
	PBUSY	パイプビジーステータス	-
	PID	応答PID	26.3.4.6 応答PID を参照してください
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ4および5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ4および5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ4および5：設定可能

26.3.4.1 パイプコントロールレジスタの切り替え手順

USB 通信が許可 (PID = BUF) されているときは、パイプコントロールレジスタの以下のビットを書き換え変更しないでください。パイプコントロールレジスタのこれらのビットは、USB 通信が禁止 (PID = NAK) されているときのみ書き換え可能です。

- DPCCFG および DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR および SQSET ビット
- PIPECFG および PIPEMAXP レジスタの各ビット
- PIPEnCTR レジスタの ATREPM、ACLRM、SQCLR、および SQSET ビット
- PIPEnTRE および PIPEnTRN レジスタの各ビット

USB 通信が許可 (PID = BUF) されている場合に、上記の各ビットを設定するには、以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. パイプに対応する PID[1:0] ビットを NAK に設定します。
3. 対応する PBUSY ビットが 0 になるまで待ちます。
4. パイプコントロールレジスタのビットを設定します。

パイプコントロールレジスタの下記のビットは、CFIFOSEL レジスタの CURPIPE[3:0] ビットに選択パイプの情報が設定されていない場合のみ書き換え可能です。

- DPCCFG および DCPMAXP レジスタの各ビット
- PIPECFG および PIPEMAXP レジスタの各ビット

パイプ情報を変更する場合は、CFIFO ポート選択レジスタの CURPIPE[3:0] ビットを、変更対象パイプ以外のパイプに設定してください。DCP については、パイプ情報の変更後、CFIFO ポートコントロールレジスタの BCLR ビットを用いてバッファをクリアしてください。

26.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットで、各パイプの転送タイプを以下のように指定します。

- DCP — 設定不要 (コントロール転送固定)
- パイプ 4 および 5 — バルク転送に設定
- パイプ 6 および 7 — インタラプト転送に設定

26.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットで、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP — 設定不要 (エンドポイント 0 固定)
- パイプ 4 ~ 7 — 1 から 15 までのエンドポイント番号を選択して設定してください。ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないようにしてください

26.3.4.4 最大パケットサイズ設定

DCPMAXP.MXPS[6:0] ビットと PIPEMAXP.MXPS[8:0] ビットで、各パイプの最大パケットサイズを指定します。DCP、パイプ 4、およびパイプ 5 は、USB2.0 規格で定義されているすべての最大パケットサイズに設定可能です。パイプ 6 とパイプ 7 では、最大パケットサイズは 64 バイトです。最大パケットサイズは、転送を開始 (PID = BUF) する前に、以下のように設定してください。

- DCP — 8、16、32、または 64 に設定
- パイプ 4 および 5 — バルク転送時は 8、16、32、または 64 に設定

- パイプ 6 および 7 — 1 ~ 64 の値に設定

26.3.4.5 トランザクションカウンタ（受信方向パイプ 4 および 5）

データパケット受信方向で指定回数のトランザクションが完了したとき、USBFS は転送が終了したと認識します。トランザクションカウンタには以下の 2 つがあります。

- 実行するトランザクション回数を指定する PIPEnTRN レジスタ
- 実行されたトランザクション回数を内部でカウントするカレントカウンタ

PIPECFG.SHTNAK ビットが 1 の状態で、カレントカウンタ値がトランザクションの指定回数に一致すると、対応する PIPEnCTR.PID[1:0] ビットが NAK に設定され、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットで、トランザクションカウンタ機能のカレントカウンタを初期化することにより、トランザクションを最初からカウントし直すことができます。PIPEnTRN レジスタから読み出されるデータは、PIPEnTRE.TRENB ビットの設定値に応じて以下のように異なります。

- TRENB ビット = 0 — 指定したトランザクションカウンタ値の読み出しが可能
- TRENB ビット = 1 — 内部でカウントした実行済みトランザクション回数を示すカレントカウンタ値の読み出しが可能

TRCLR ビットの操作には下記の制限があります。

- トランザクション回数がカウントされ、PID = BUF の場合、カレントカウンタはクリアできない
- バッファ内にデータが残っている場合、カレントカウンタはクリアできない

26.3.4.6 応答 PID

DCPCTR および PIPEnCTR レジスタの PID[1:0] ビットで、各パイプの応答 PID を設定します。次の各項で、各応答 PID の設定値に対する USBFS の動作について説明します。

(1) ソフトウェア応答 PID の設定

下記のとおりに応答 PID を選択し、ホストからのトランザクションに応答します。

- NAK 設定 — 発生したトランザクションに対して NAK 応答を返す
- BUF 設定 — FIFO バッファの状態に応じてトランザクションに応答する
- STALL 設定 — 発生したトランザクションに対して STALL 応答を返す

注 . Setup トランザクションに対しては、PID[1:0] の設定にかかわらず ACK 応答を返し、レジスタに USB リクエストを格納します。

以下の項で説明するように、特定のトランザクションの結果に従って USBFS が PID[1:0] ビットに書き込みが可能です。

(2) ハードウェア応答 PID の設定

- NAK 設定 — 以下のトランザクションに対して、PID = NAK となり、NAK 応答を返す
 - SETUP トークンを正常に受信したとき (DCP のみ)
 - バルク転送時で PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定 — USB による BUF 書き込みなし
- STALL 設定 — 以下のトランザクションに対して、PID = STALL となり、STALL 応答を返す
 - 受信したデータの packetsize が、最大 packetsize を超えたとき
 - コントロール転送シーケンスエラーが検出されたとき (DCP のみ)

26.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBFS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットで確認できます。データ送信時は ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットで、データ PID シーケンスビットの変更が可能です。

コントロール転送では、USBFS が自動的にステージ遷移用シーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。

送受信時の ClearFeature リクエストについては、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

26.3.4.8 応答 PID = NAK 機能

USBFS には、トランザクションの最後のデータパケットを受信したとき、パイプ動作を禁止（応答 PID = NAK）にする機能があります。USBFS は、ショートパケット受信またはトランザクションカウンタに基づいて、トランザクションの終了を自動識別します。PIPECFG.SHTNAK ビットを 1 にすると、この機能が有効になります。

この機能を使用することで、バッファメモリをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作を禁止した場合は、ソフトウェアで再度パイプの許可設定（応答 PID = BUF）を行う必要があります。

なお、応答 PID = NAK 機能は、バルク転送でのみ使用可能です。

26.3.4.9 自動応答モード

バルク転送のパイプ 4 およびパイプ 5 において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードで遷移します。OUT 転送時（PIPECFG.DIR ビットが 0）では OUT-NAK モードとなり、IN 転送時（DIR ビットが 1）では Null 自動応答モードとなります。

26.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK が返され、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ遷移させるには、パイプ動作禁止（PID[1:0] = 00b (NAK 応答)）の状態で、OUT-NAK モードを指定してください。その後、パイプ動作を許可（PID[1:0] = 01b (BUF 応答)）にすると、OUT-NAK モードが有効になります。パイプ動作を禁止する直前で OUT トークンを受け付けた場合は、そのトークンのデータが正常に受信されて、ホストへ ACK が返されます。

OUT-NAK モードから通常モードへの遷移を行う場合は、パイプ動作禁止（応答 PID = NAK）の状態で OUT-NAK モードを解除した後に、パイプ動作を許可（BUF）してください。通常モードでは、OUT データ受信が可能となります。

26.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへの遷移を行う場合は、パイプ動作禁止（応答 PID = NAK）の状態で Null 自動応答モードを設定した後に、パイプ動作を許可（応答 PID = BUF）してください。パイプ動作を許可すると、Null 自動応答モードが有効になります。Null 自動応答モードの設定は、バッファが空でなければ不可能なため、事前に PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合は、PIPEnCTR.ACLRM ビットでバッファを空にしてください。また、Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みを行わないでください。

Null 自動応答モードから通常モードへの遷移を行う場合は、パイプ動作禁止（応答 PID = NAK）の状態で Zero-Length パケット送信期間（約 10μs）だけ維持した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからのデータ書き込みが可能となり、パイプ動作を許可（応答 PID = BUF）することで、ホストへのパケット送信が可能となります。

26.3.5 FIFO バッファメモリ

USBFS にはデータ転送用の FIFO バッファメモリがあり、このバッファメモリで各パイプに使用されるメモリ領域を管理しています。FIFO バッファメモリには、アクセス権がシステム (CPU 側) にある場合と、USBFS (SIE 側) にある場合の 2 種類の状態があります。

(1) バッファステータス

表 26.16 および表 26.17 に、USBFS のバッファステータスを示します。FIFO バッファのステータスは、DCPCTR.BSTS および PIPE_nCTR.INBUFM ビットで確認できます。FIFO バッファの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット (DCP 選択時) のいずれかで指定できます。INBUFM ビットは、送信方向のパイプ 4、およびパイプ 5 に対して有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側の FIFO バッファ状態を監視することや、INBUFM ビットを読み出して SIE 側の FIFO バッファ状態を監視することが可能です。CPU または DTC による FIFO ポートへのライトアクセスが遅く、BEMP 割り込みではバッファの空き状態を判別できない場合に、ソフトウェアは INBUFM ビットで送信完了を確認できます。

表 26.16 BSTS ビットが示すバッファステータス

ISEL または DIR	BSTS	FIFO バッファのステータス
0 (受信方向)	0	受信データなし、または受信中。FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信。FIFO ポートからの読み出し可能 注 . Zero-Length パケット受信時は読み出しが不可能のためバッファクリアが必要です。
1 (送信方向)	0	送信未完了。FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了。CPU は書き込み可能

表 26.17 INBUFM ビットが示すバッファステータス

DIR	INBUFM	FIFO バッファのステータス
0 (受信方向)	無効	無効
1 (送信方向)	0	送信完了 送信待ちデータなし
1 (送信方向)	1	データが FIFO ポートからバッファへ書き込まれた。 送信データあり

26.3.6 FIFO バッファクリア

表 26.18 に、USBFS による FIFO バッファメモリのクリア方式を示します。FIFO バッファは、ポートコントロールレジスタの BCLR ビット、または PIPEnCTR.ACLRM ビットでクリアすることが可能です。

パイプ 4 とパイプ 5 に対しては、PIPECFG.DBLB ビットを用いて、構成をシングルバッファとするかダブルバッファとするかを選択できます。

表 26.18 バッファのクリア方式

FIFO バッファクリアモード	CPU の FIFO バッファのクリア	すべての受信パケットを破棄するための自動バッファクリアモード
使用するレジスタ	CFIFOCTR	PIPEnCTR
使用するビット	BCLR	ACLRM
クリア条件	1 書き込みでクリア	1: モード有効 0: モード無効

(1) 自動バッファクリアモード機能

PIPEnCTR.ACLRM ビットを 1 にすると、USBFS は受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、FIFO バッファ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にした後、続けて 0 にすると、アクセス方向に関係なく、選択パイプの FIFO バッファがクリアされます。ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

26.3.7 FIFO ポートの機能

表 26.19 に、USBFS の FIFO ポート機能の設定内容を示します。ライトアクセス時は、最大パケットサイズに達するまで書き込みを行うと、自動的にデータ送信が可能になります。最大パケットサイズに達する前に送信を可能とするには、CFIFO ポートコントロールレジスタの BVAL フラグを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアし、BVAL フラグを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットの受信が可能になります。Zero-Length パケット受信時 (DTLN[8:0] = 000h) は、データは読み出せないため、BCLR ビットでバッファをクリアしてください。受信データ長は、CFIFO ポートコントロールレジスタの DTLN[8:0] ビットで確認できます。

表 26.19 FIFO ポート機能設定

レジスタ名	ビット名	機能
CFIFOSEL	RCNT	DTLN[8:0]読み出しモードを選択
	REW	FIFO バッファをリワインド (再読み出し、再書き込み)
	MBW	FIFO ポートアクセスビット幅
	BIGEND	FIFO ポートエンディアンを選択
	ISEL	FIFO ポートアクセス方向 (DCP 専用)
	CURPIPE	カレントパイプを選択
CFIFOCTR	BVAL	FIFO バッファへの書き込みを終了
	BCLR	CPU の FIFO バッファをクリア
	DTLN	受信データ長の確認

(1) FIFO ポート選択

表 26.20 に、各 FIFO ポートで選択可能なパイプを示します。CFIFO ポート選択レジスタの CURPIPE[3:0] ビットで、アクセスするパイプを選択する必要があります。パイプを選択した後、書き込み値が CURPIPE[3:0] ビットから正しく読み出せたかどうかをソフトウェアで確認してください。前回のパイプ番号が読み出された場合は、USBFS がパイプ変更処理中であることを示します。次に、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認します。

また、CFIFO ポート選択レジスタの MBW ビットでアクセスするバス幅をソフトウェアで指定する必要があります。FIFO バッファのアクセス方向は、PIPECFG.DIR ビットの設定に従います。DCP のみ、ポート選択レジスタの ISEL ビットにより決定します。

表 26.20 パイプ別 FIFO ポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 4~7	CPU アクセス	CFIFO ポートレジスタ

(2) REW ビット

現在アクセス中のパイプへのアクセスを一時的に中断し、別のパイプにアクセスした後、再び最初のパイプ処理を続行することが可能です。このような処理には、CFIFO ポート選択レジスタの REW ビットを使用します。

REW ビットを 1 にした状態で、CFIFO ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択すると、FIFO バッファの読み出しまたは書き込みポインタがリセットされ、先頭バイトからの読み出し／書き込みが実行可能になります。REW ビットを 0 にした状態でパイプを選択すると、ポインタをリセットせずに、前回の選択時の続きから継続してデータの読み出し／書き込みが可能です。FIFO ポートへアクセスするには、パイプの選択後、CFIFO ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

26.3.8 DCP を使用したコントロール転送

コントロール転送のデータステージでは、デフォルトコントロールパイプ (DCP) を使用してデータが転送されます。DCP の FIFO バッファは、コントロールリードとコントロールライトで共通の固定領域を持つ 64 バイトシングルフIFO バッファです。FIFO バッファは、CFIFO ポートでのみアクセス可能です。

26.3.8.1 コントロール転送

(1) セットアップステージ

USBFS は、USBFS に対する正常な Setup パケットには ACK 応答を送信します。セットアップステージでの USBFS 動作は以下のとおりです。

新しい Setup パケットを受信すると、USBFS は以下のビットを設定します。

- INTSTS0.VALID ビットを 1 にする
- DCPCTR.PID[1:0] ビットを NAK にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケット受信すると、USBFS は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。コントロール転送に対する応答処理は、VALID ビットを 0 にしてから実行してください。VALID ビットが 1 の状態では、PID = BUF に設定できず、データステージを終了することができません。

VALID ビットの機能により、USBFS は、コントロール転送中に新しい USB リクエストを受信すると、現在のリクエスト処理を中断できます。その後、USBFS は最新のリクエストに対する応答を送信できます。

また、USBFS は、受信した USB リクエストの方向ビット (bmRequestType のビット [8]) と、リクエストデータ長 (wLength) を自動検出します。さらに、USBFS は、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を自動判別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、その割り込みがソフトウェアに通知されます。USBFS のステージ管理については [図 26.14](#) を参照してください。

(2) データステージ

受信した USB リクエストに対応したデータ転送が DCP を用いて行われます。DCP の FIFO バッファへアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。転送データが DCP の FIFO バッファサイズより大きい場合は、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0] ビットが BUF に設定された状態で、DCPCTR.CCPL ビットを 1 にすることにより、コントロール転送が終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBFS が自動的にステータスステージを実行します。手順を以下に示します。

- コントロールリード転送の場合
USB ホストから Zero-Length パケットが受信され、ACK 応答が送信されます
- コントロールライト転送、ノーデータコントロール転送の場合
Zero-Length パケットが送信され、USB ホストから ACK 応答が受信されます

(4) コントロール転送自動応答機能

USBFS は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーのいずれかが発生した場合は、ソフトウェアによる応答が必要です。

- bmRequestType が 00h でない場合 — コントロールライト転送以外
- wIndex が 00h でない場合 — リクエストエラー
- wLength が 00h でない場合 — ノーデータコントロール転送以外

- wValue が 7Fh より大きい場合 — リクエストエラー
- INTSTS0.DVSQ[2:0] ビットが 011b (Configured ステート) の場合 — デバイスステートエラーのコントロール転送

SET_ADDRESS リクエスト以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

26.3.9 バルク転送 (パイプ 4 および 5)

バルク転送では、FIFO バッファの使用方法 (シングルバッファ/ダブルバッファ設定) の選択が可能です。USBFS は、バルク転送用として下記の機能を備えています。

- BRDY 割り込み機能 (PIPECFG.BFRE ビット : [26.3.3.1 章 \(2\) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 1 のとき](#)を参照)
- トランザクションカウント機能 (PIPEnTRE.TRENB、TRCLR ビット、PIPEnTRN.TRNCNT[15:0] ビット) : [26.3.4.5 トランザクションカウンタ \(受信方向パイプ 4 および 5\)](#) を参照
- 応答 PID = NAK 機能 (PIPECFG.SHTNAK ビット) : [26.3.4.8 応答 PID = NAK 機能](#)を参照
- 自動応答モード (PIPEnCTR.ATREPM ビット) : [26.3.4.9 自動応答モード](#)を参照

26.3.10 インタラプト転送 (パイプ 6 および 7)

USBFS は、ホストコントローラが制御するタイミングに基づいてインタラプト転送を行います。

26.3.11 パイプスケジュール

26.3.11.1 転送スケジュール

USBFS のフレーム内の転送スケジューリング方法について説明します。USBFS が SOF を送信した後に、以下に示す順序で転送が行われます。

1. 周期的転送の実行
パイプ 6 → パイプ 7 の順にパイプを検索し、インタラプト転送のトランザクションを生成可能なパイプがあれば、トランザクションが生成されます。
2. コントロール転送の Setup トランザクション
DCP を確認して、Setup トランザクションが可能であれば送信します。
3. バルク転送、コントロール転送データステージ、およびコントロール転送ステータスステージの実行
DCP → パイプ 4 → パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションを生成可能なパイプがあれば、トランザクションが生成されます。
トランザクションが生成されると、周辺デバイスからの応答が ACK であるか NAK であるかにかかわらず、処理は次のトランザクションパイプに移ります。また、フレーム内に転送を行う時間があれば、このステップを繰り返します。

26.3.12 バッテリチャージング検出処理

バッテリチャージング規格で規定されている、データコンタクト検出 (D+ ラインコンタクトチェック)、一次検出 (チャージャ検出)、および二次検出 (チャージャ検証) の処理を制御することが可能です。以下では、ファンクションデバイスとホストデバイスに求められる動作についてそれぞれ説明します。

26.3.12.1 処理

USBFS モジュールをバッテリチャージ用のポータブルデバイスとして動作させる場合、以下の処理が必要です。

1. データライン (D+/D-) がコンタクトしたタイミングを検出し、一次検出処理を開始します。
2. 一次検出の開始後、マスク処理のため 40ms 待機してから D- の電圧レベルをチェックし、一次検出結果を確認します。
3. 一次検出中にチャージャが検出されると、二次検出を開始します。
4. 二次検出の開始後、マスク処理のため 40ms 待機してから D+ の電圧レベルをチェックし、二次検出結果を確認します。

ステップ 1. では、VBINT ビットと VBSTS ビットで VBUS を検出した後、以下の処理を行う必要があります。

1. 300 ~ 900ms 待機し、その後、USBBCCTRL0 レジスタの VDPSRCE0 ビットと IDMSINKE0 ビットを設定します。
2. IDPSRCE0 ビットの設定も可能です。
3. D+ ラインが High から Low へ変化したことを LNST[1:0] ビットで検出した後、IDPSRCE0 ビットを 0 にクリアし、VDPSRCE0 ビットと IDMSINKE0 ビットを同時に設定します。(注 1)

ステップ 2. では、VDPSRCE0 ビットと IDMSINKE0 ビットを設定して、ソフトウェアで 40ms 待機した後、CHGDETSTS0 ビットで一次検出結果を検証してください。(注 2)

ステップ 3. では、ステップ 2. で CHGDETSTS0 ビットを設定した場合に、チャージャの検出を検証した後、VDPSRCE0 ビットと IDMSINKE0 ビットをクリアし、VDMSRCE0 ビットと IDPSINKE0 ビットを設定してください。

ステップ 4. では、VDMSRCE0 ビットと IDPSINKE0 ビットを設定して、ソフトウェアで 40ms 待機した後、PDDDETSTS0 ビットで二次検出結果を検証してください。

図 26.15 に、この処理フローを示します。

- 注 1. バッテリチャージング規格は、データコンタクト検出 (D+/D- ラインの接続チェック) の処理について 2 つの方法を記述しています。1 つは、D+ ラインに 7 ~ 13μA の電流を印加することで D+ ラインを Logic High に保持し、D+/D- ラインがターゲットと接続したとき、ホストデバイスのプルダウン抵抗により生じる Logic Low への変化を検出する方法です。もう 1 つは、VBUS を検出した後、300 ~ 900ms 待機する方法です。
- 注 2. 一次検出中に、D- ラインの電圧が 0.25 ~ 0.4V 以上かつ 0.8 ~ 2.0V 以下であることが検出されると、ターゲットデバイスが、バッテリチャージ用ホストデバイス (チャージングダウンストリームポート) として認識されます。使用中の USB トランシーバに対して、CHGDETSTS0 ビットで D- ラインの電圧が 0.25 ~ 0.4V 以上であることが判明した場合、必要に応じて、LNST ビットを用いて D- ラインの電圧が 0.8 ~ 2.0V 以下であることをチェックするための処理を追加してください。

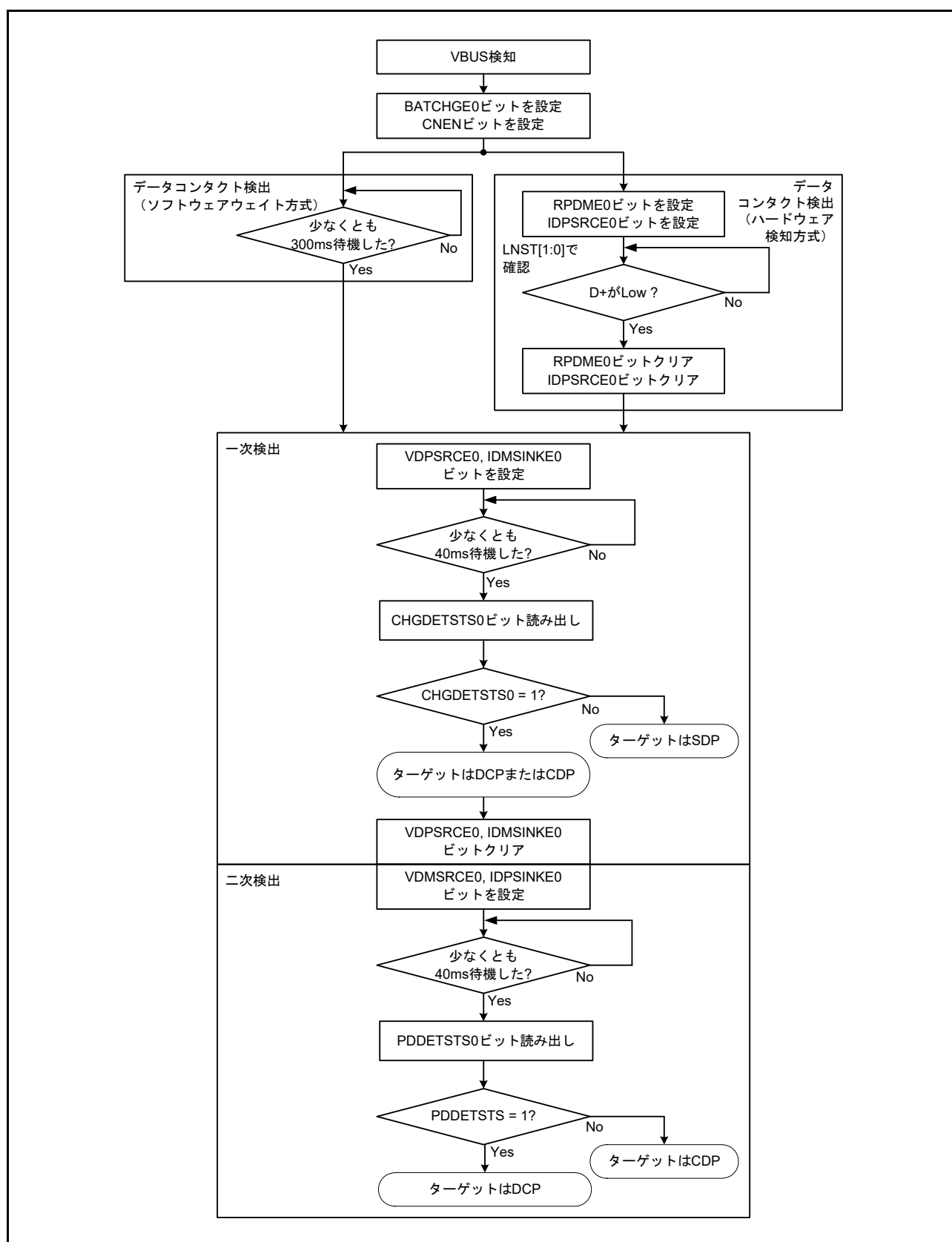


図 26.15 ポータブルデバイスとして動作時の処理フロー

26.4 使用上の注意事項

26.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、USBFS の動作を許可または禁止することが可能です。リセット後の初期状態では、USBFS の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

26.4.2 ソフトウェアスタンバイモード後の割り込みステータスレジスタのクリア

下記の条件が同時に満たされたとき、ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、予期せぬ割り込みが発生する可能性があります。

- 本 MCU が通常モードのときに割り込みを許可する
- 本 MCU がソフトウェアスタンバイモードのときに割り込みを禁止する
- ソフトウェアスタンバイを解除する端子の入力レベルが SSTBY モードで変更されている

これらの条件を満たすと、割り込みステータスレジスタの関連する割り込みフラグが予期せず設定されることがあります。MCU がソフトウェアスタンバイモードを終了した後に、予期せぬ割り込みが割り込みコントローラに送信される場合があります。この問題を避けるために、解除シーケンスで INTSTS0 レジスタを必ずクリアしてください。

26.4.3 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは、PmnPFS.PSEL[4:0] および PmnPFS.PMR でポートを設定する前は無効であるため、内部信号が High または Low に固定されます。ポートの設定後に入力バッファが有効になると、外部端子の状態が MCU に伝播します。このとき、予期せぬ割り込みが発生する場合があります。INTSTS0 レジスタの VBINT ビットが 1 になります。誤作動を避けるために、ポート設定後は INTSTS0 レジスタを必ずクリアしてください。

26.4.4 32 ピン製品の注意事項

32 ピン製品の USBFS 関連レジスタは予約ビットなので、アクセスしないでください。

27. シリアルコミュニケーションインタフェース (SCI)

27.1 概要

シリアルコミュニケーションインタフェース (SCI) は、下記の 5 種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。

- 調歩同期式インタフェース (UART および調歩同期式通信アダプタ (ACIA))
- 8 ビットクロック同期式インタフェース
- 簡易 IIC (マスタのみ)
- 簡易 SPI
- スマートカードインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCI0 は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。

表 27.1 に SCI の仕様を、図 27.1 にブロック図を、表 27.2 にモードごとの SCI の端子構成を示します。

表 27.1 SCIの仕様 (1/2)

項目	内容
シリアル通信方式	• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易 IIC • 簡易 SPI
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信	• 送信部：ダブルバッファによる連続送信が可能 • 受信部：ダブルバッファによる連続受信が可能
入出力端子	表 27.2 を参照してください。
データ転送	LSB ファースト / MSB ファースト 選択可能
割り込み要因	• 送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、およびアドレス一致 • 開始条件 / 再開条件 / 停止条件の生成完了 (簡易 IIC モード用)
モジュールストップ機能	チャンネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求	SCI0 アドレス不一致 (SCI0_DCUF)

表 27.1 SCIの仕様 (2/2)

項目		内容
調歩同期式モード	データ長	7ビット／8ビット／9ビット
	送信ストップビット	1ビット／2ビット
	パリティ機能	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出機能	パリティエラー、オーバーランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn (注1) 端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOのいずれかを選択可能 (SCI0のみFIFOをサポート)
	アドレス一致	受信データとコンペアマッチレジスタの値の一致を検出したとき、割り込み要求／イベント出力の発行が可能
	アドレス不一致 (SCI0のみ) 受信データ	受信データとコンペアマッチレジスタの値の不一致を検出したとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレークの検出	フレーミングエラー発生時、SPTRレジスタを読み出すことでブレークの検出が可能
	クロックソース	内部クロック／外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間のシリアル通信機能
	ノイズ除去	RXDn (注1) 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) を選択可能
	ハードウェアフロー制御	CTSn_RTSn (注1) 端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOのいずれかを選択可能 (SCI0のみFIFOをサポート)
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション／インバースコンベンションをサポート
簡易IICモード	通信フォーマット	I ² Cバスフォーマット (MSBファーストのみ)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大400kbps
	ノイズ除去	SCLn (注1) 端子とSDAn (注1) 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) を選択可能
	SS入力端子機能	SSn (注1) 端子をHighにして、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差の低減が可能
イベントリンク機能		エラー (受信エラー／エラーシグナル検出) イベント出力 (SCIn_ERI (注1))
		受信データフルイベント出力 (SCIn_RXI (注1) (注2))
		送信データエンプティイベント出力 (SCIn_TXI (注1) (注2))
		送信終了イベント出力 (SCIn_TEI (注1) (注2))
		アドレス一致イベント出力 (SCIn_AM (注1))

注 1. チャネル番号 (n = 0, 1, 9)

注 2. このイベントリンク機能は、調歩同期式モードにおいてFIFOが選択された場合、使用禁止となります。

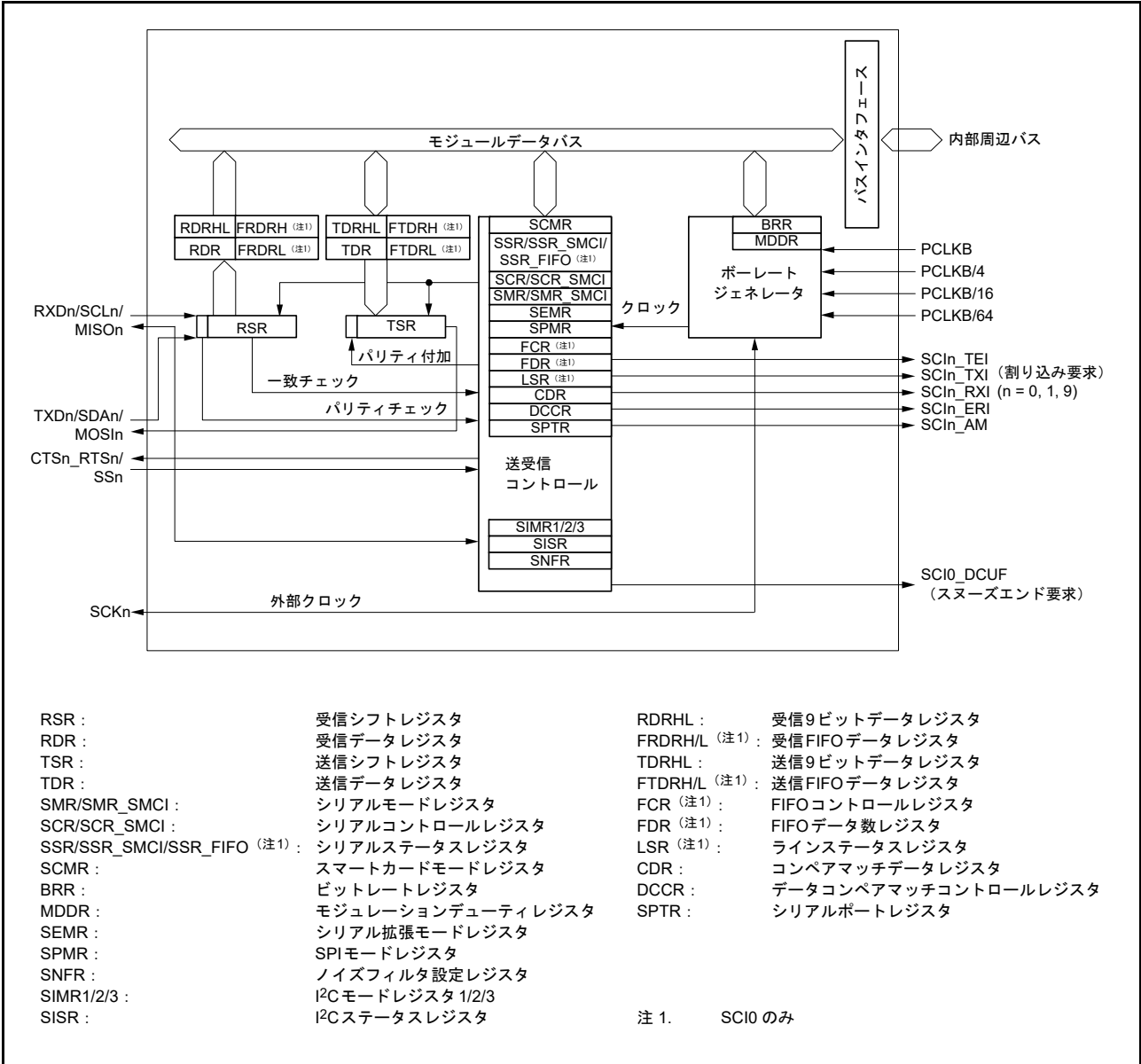


図 27.1 SCI のブロック図

表 27.2 SCIの入出力端子 (1/2)

チャネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0/SCL0/ MISO0	入出力	SCI0の受信データ入力端子 SCI0 I ² Cのクロック入出力端子 SCI0のスレーブ送出データ入出力端子
	TXD0/SDA0/ MOSI0	入出力	SCI0の送信データ出力端子 SCI0 I ² Cのデータ入出力端子 SCI0のマスタ送出データ入出力端子
	SS0/CTS0_RTS0	入出力	SCI0チップセレクト入力端子、アクティブLow SCI0送受信開始制御用入出力端子、アクティブLow

表 27.2 SCIの入出力端子 (2/2)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1/SCL1/ MISO1	入出力	SCI1の受信データ入力端子 SCI1 I ² Cのクロック入出力端子 SCI1のスレーブ送出データ入出力端子
	TXD1/SDA1/ MOSI1	入出力	SCI1の送信データ出力端子 SCI1 I ² Cのデータ入出力端子 SCI1のマスタ送出データ入出力端子
	SS1/CTS1_RTS1	入出力	SCI1チップセレクト入力端子、アクティブLow SCI1送受信開始制御用入出力端子、アクティブLow
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9/SCL9/ MISO9	入出力	SCI9の受信データ入力端子 SCI9 I ² Cのクロック入出力端子 SCI9のスレーブ送出データ入出力端子
	TXD9/SDA9/ MOSI9	入出力	SCI9の送信データ出力端子 SCI9 I ² Cのデータ入出力端子 SCI9のマスタ送出データ入出力端子
	SS9/CTS9_RTS9	入出力	SCI9チップセレクト入力端子、アクティブLow SCI9送受信開始制御用入出力端子、アクティブLow

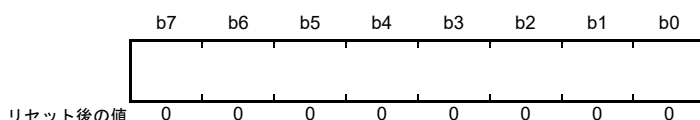
27.2 レジスタの説明

27.2.1 受信シフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、または受信 FIFO へ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

27.2.2 受信データレジスタ (RDR)

アドレス SCI0.RDR 4007 0005h, SCI1.RDR 4007 0025h, SCI9.RDR 4007 0125h



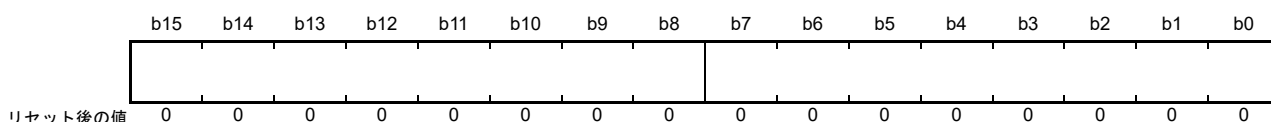
RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み (SCI_{ln}_RXI) 要求が発生したときに 1 回だけ行ってください。

注． 受信データを RDR から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

27.2.3 受信 9 ビットデータレジスタ (RDRHL)

アドレス SCI0.RDRHL 4007 0010h, SCI1.RDRHL 4007 0030h, SCI9.RDRHL 4007 0130h



RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドウレジスタとなっており、たとえば、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへのアクセスはしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタからこれらのレジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み (SCI_{ln}_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。ビット [15:9] は 0 に固定されているため、読むと 0 が読めます。書く場合、0 としてください。

27.2.4 受信 FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL)

受信 FIFO データレジスタ H (FRDRH)

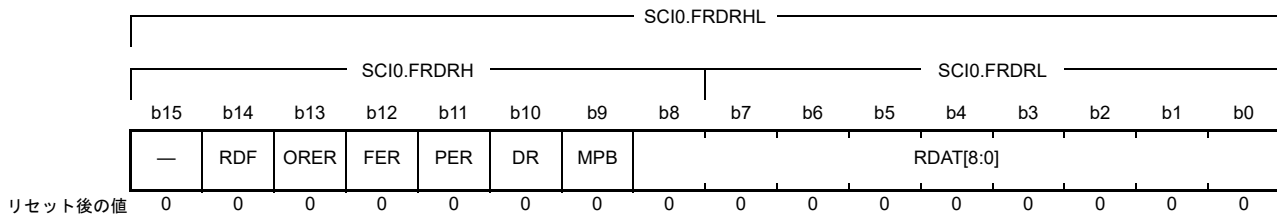
アドレス SCI0.FRDRH 4007 0010h

受信 FIFO データレジスタ L (FRDRL)

アドレス SCI0.FRDRL 4007 0011h

受信 FIFO データレジスタ HL (FRDRHL)

アドレス SCI0.FRDRHL 4007 0010h



ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	シリアル受信データ	受信したシリアルデータ（マルチプロセッサモードを含む調歩同期式モードまたはクロック同期式モードにおいて、FIFO選択時にのみ有効です）	R
b9	MPB	マルチプロセッサビットフラグ	シリアル受信データ（RDAT[8:0]）に対応したマルチプロセッサビット 0：データ送信サイクル 1：ID送信サイクル MPBビットは、調歩同期式モードにおいて、SMR.MP = 1かつFIFO選択時にのみ有効です。	R
b10	DR	受信データレディフラグ	このフラグはSSR_FIFO.DRと同じです。 0：受信中であるか、または正常に受信を完了した後、FRDRHおよびFRDRLに受信データが残っていない 1：正常に受信を完了した後、次の受信データが一定期間来ない	R (注1)
b11	PER	パリティエラーフラグ	0：FRDRHおよびFRDRLの第1データにパリティエラーの発生なし 1：FRDRHおよびFRDRLの第1データにパリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0：FRDRHおよびFRDRLの第1データにフレーミングエラーの発生なし 1：FRDRHおよびFRDRLの第1データにフレーミングエラーの発生あり	R
b13	ORER	オーバーランエラーフラグ	このフラグはSSR_FIFO.ORERと同じです。 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b14	RDF	受信FIFOデータフルフラグ	このフラグはSSR_FIFO.RDFと同じです。 0：FRDRHおよびFRDRLに書き込まれた受信データ数が指定された受信トリガ数より少ない 1：FRDRHおよびFRDRLに書き込まれた受信データ数が指定された受信トリガ数以上である	R (注1)
b15	—	予約ビット	読むと0が読めます。	R

注 1. このフラグを読むと、SSR_FIFO レジスタと同じ値が読み出されます。フラグをクリアするには、SSR_FIFO レジスタに0を書いてください。

FRDRHL レジスタは、8 ビットの FRDRH レジスタと FRDRL レジスタからなる 16 ビットのレジスタです。

FRDRH と FRDRL は、ソフトウェアで読み出し可能なシリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

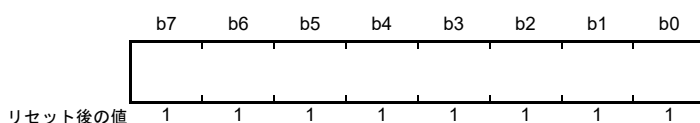
SCI は、受信データを RSR レジスタから FRDRH および FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定値です。FRDRH と FRDRL が受信データでいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH と FRDRL を読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

FRDRH レジスタと FRDRL レジスタの両方を読む場合は、FRDRH から FRDRL の順に読んでください。FRDRHL レジスタは 16 ビット単位でアクセスが可能です。

27.2.5 送信データレジスタ (TDR)

アドレス SCI0.TDR 4007 0003h, SCI1.TDR 4007 0023h, SCI9.TDR 4007 0123h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

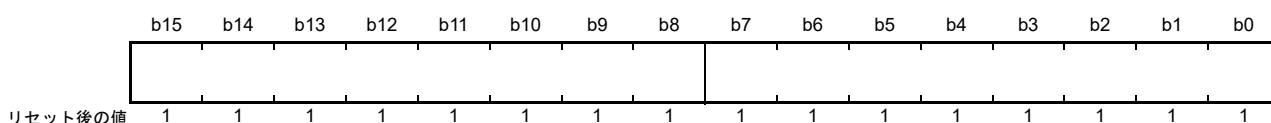
SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し／書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI_{In}_TXI) 要求が発生するごとに 1 回だけ行ってください。

27.2.6 送信 9 ビットデータレジスタ (TDRHL)

アドレス SCI0.TDRHL 4007 000Eh, SCI1.TDRHL 4007 002Eh, SCI9.TDRHL 4007 012Eh



TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドールレジスタであるため、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへのアクセスはしないでください。TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信を開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TDRHL レジスタから TSR レジスタへデータが転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し／書き込みが可能です。TDRHL レジスタのビット [15:9] は 1 に固定されているため、読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI_{In}_TXI) 要求が発生したときに 1 回だけ行ってください。

27.2.7 送信 FIFO データレジスタ H, L, HL (FTDRH, FTDRL, FTDRHL)

送信 FIFO データレジスタ H (FTDRH)

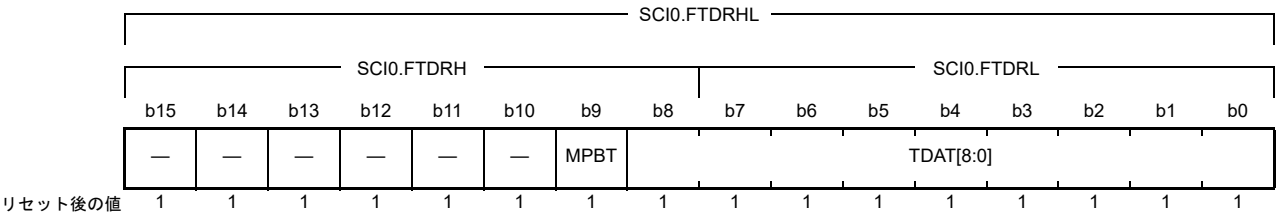
アドレス SCI0.FTDRH 4007 000Eh

送信 FIFO データレジスタ L (FTDRL)

アドレス SCI0.FTDRL 4007 000Fh

送信 FIFO データレジスタ HL (FTDRHL)

アドレス SCI0.FTDRHL 4007 000Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	シリアル送信データ	シリアル送信データ（マルチプロセッサモードを含む調歩同期式モードまたはクロック同期式モードにおいて、FIFO選択時のみ有効）	W
b9	MPBT	マルチプロセッサ通信ビットフラグ	送信フレーム中のマルチプロセッサビットを設定します。 0：データ送信サイクル 1：ID送信サイクル 調歩同期式モードにおいて、SMR.MP = 1かつFIFO選択時のみ有効	W
b15-b10	—	予約ビット	書く場合、1としてください。	W

FTDRHL レジスタは、FTDRH レジスタと FTDRL レジスタからなる 16 ビットのレジスタです。

FTDRH と FTDRL は、シリアル送信データとマルチプロセッサ通信ビットを格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、送信シフトレジスタ（TSR）に空きを検出すると、FTDRH レジスタと FTDRL レジスタに書き込まれたデータを TSR レジスタに送信し、シリアル送信を開始します。FTDRH と FTDRL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDRHL レジスタが送信データでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH レジスタと FTDRL レジスタに書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDRL レジスタの両方に書き込む場合は、FTDRH から FTDRL の順に書いてください。

MPBT フラグ（マルチプロセッサ通信ビットフラグ）

送信フレームのマルチプロセッサビットの値を指定します。FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

27.2.8 送信シフトレジスタ（TSR）

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、TDRHL、または送信 FIFO から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

27.2.9 非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0)

アドレス SCI0.SMR 4007 0000h, SCI1.SMR 4007 0020h, SCI9.SMR 4007 0120h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0: PCLKB クロック (n = 0) (注1) 0 1: PCLKB/4 クロック (n = 1) (注1) 1 0: PCLKB/16 クロック (n = 2) (注1) 1 1: PCLKB/64 クロック (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモード	調歩同期式モードでのみ有効 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W (注4)
b3	STOP	ストップビット長	調歩同期式モードでのみ有効 0: 1ストップビット 1: 2ストップビット	R/W (注4)
b4	PM	パリティモード	PE ビット = 1 の場合にのみ有効 0: 偶数パリティを選択 1: 奇数パリティを選択	R/W (注4)
b5	PE	パリティ許可	調歩同期式モードでのみ有効 • 送信時 0: パリティビットなし 1: パリティビットを付加 • 受信時 0: パリティチェックを行わない 1: パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタ長	調歩同期式モードでのみ有効 (注2) SCMR.CHR1 ビットと組み合わせて選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	通信モード	0: 調歩同期式モード、または簡易 IIC モード 1: クロック同期式モード、または簡易 SPI モード	R/W (注4)

- 注 1. n は BRR の設定値を 10 進表記で示します。27.2.17 ビットレートレジスタ (BRR) を参照してください。
 注 2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は 8 ビット固定です。
 注 3. LSB ファースト固定となり、送信時に TDR レジスタの MSB (ビット 7) は送信されません。
 注 4. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0] ビット (クロック選択)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、27.2.17 ビットレートレジスタ (BRR) を参照してください。

MP ビット (マルチプロセッサモード)

マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

STOP ビット (ストップビット長)

送信データのストップビット長を選択します。

受信時には、このビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットとみなされます。

PM ビット (パリティモード)

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティ許可)

PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

CHR ビット (キャラクタ長)

SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

CM ビット (通信モード)

通信モードを以下から選択します。

- 調歩同期式モード、または簡易 IIC モード
- クロック同期式モード、または簡易 SPI モード

27.2.10 スマートカードインタフェースモード用シリアルモードレジスタ (SMR_SMCI) (SCMR.SMIF = 1)

アドレス [SCI0.SMR_SMCI 4007 0000h](#), [SCI1.SMR_SMCI 4007 0020h](#), [SCI9.SMR_SMCI 4007 0120h](#)

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0 : PCLKB クロック (n = 0) (注1) 0 1 : PCLKB/4 クロック (n = 1) (注1) 1 0 : PCLKB/16 クロック (n = 2) (注1) 1 1 : PCLKB/64 クロック (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルス	SCMR.BCP2 ビットと組み合わせて基本クロックのサイクル数を選択します。 表 27.3 に、SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモード	PE ビット = 1 の場合にのみ有効 0 : 偶数パリティを選択 1 : 奇数パリティを選択	R/W (注2)
b5	PE	パリティ許可	PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、このビットを 1 にしてください。	R/W (注2)
b6	BLK	ブロック転送モード	0 : 通常モードで動作 1 : ブロック転送モードで動作	R/W (注2)
b7	GM	GSM モード	0 : 通常モードで動作 1 : GSM モードで動作	R/W (注2)

注 1. n は BRR の設定値を 10 進表記で示します。[27.2.17 ビットレートレジスタ \(BRR\)](#) を参照してください。

注 2. SCR_SMCI.TE ビットと SCR_SMCI.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR_SMCI レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

[CKS\[1:0\] ビット \(クロック選択\)](#)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、[27.2.17 ビットレートレジスタ \(BRR\)](#) を参照してください。

[BCP\[1:0\] ビット \(基本クロックパルス\)](#)

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロックのサイクル数を選択します。

SCMR.BCP2 ビットと組み合わせて設定します。

詳細は、[27.6.4 受信データのサンプリングタイミングと受信マージン](#)を参照してください。

表 27.3 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット	1 ビット転送期間中の基本クロック数
0	00	93クロック (S = 93) (注1)
0	01	128クロック (S = 128) (注1)
0	10	186クロック (S = 186) (注1)
0	11	512クロック (S = 512) (注1)
1	00	32クロック (S = 32) (注1) (初期値)
1	01	64クロック (S = 64) (注1)
1	10	372クロック (S = 372) (注1)
1	11	256クロック (S = 256) (注1)

注 1. S は BRR レジスタの S の値を表します (27.2.17 ビットレートレジスタ (BRR) を参照してください)。

PM ビット (パリティモード)

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。スマートカードインタフェースモードにおけるこのビットの使用方法については、27.6.2 データフォーマット (ブロック転送モード時を除く) を参照してください。

PE ビット (パリティ許可)

PE ビットは 1 にしてください。送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モード)

BLK ビットを 1 にすると、ブロック転送モードで動作します。詳細は、27.6.3 ブロック転送モードを参照してください。

GM ビット (GSM モード)

GM ビットを 1 にすると、GSM モードで動作します。

GSM モードでは、SSR_SMCI.TEND フラグのセットタイミングが、先頭から 11.0ETU (ETU : Elementary Time Unit = 1 ビット転送時間) に繰り上げられ、クロック出力制御機能が追加されます。詳細は、27.6.6 シリアルデータの送信 (ブロック転送モードを除く) と 27.6.8 クロック出力制御を参照してください。

27.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0)

アドレス SCI0.SCR 4007 0002h, SCI1.SCR 4007 0022h, SCI9.SCR 4007 0122h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	調歩同期式モード b1 b0 0 0: 内蔵ボーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 0 1: 内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します。 1 x: 外部クロック SEMR.ABCSビットが0の場合、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1の場合、8倍の周波数のクロック信号を入力してください クロック同期式モード b1 b0 0 x: 内部クロック SCKn端子はクロック出力端子となります。 1 x: 外部クロック SCKn端子はクロック入力端子となります。	R/W (注1)
b2	TEIE	送信終了割り込み許可	0: SCIn_TEI割り込み要求を禁止 1: SCIn_TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサ割り込み許可	調歩同期式モードで、SMR.MPビット = 1のとき有効 0: 通常の受信動作 1: マルチプロセッサビットが0のデータを受信した場合、そのデータは読み飛ばし、SSRレジスタのRDRF、ORERおよびFERの各ステータスフラグに1を書くことはできない。マルチプロセッサビットが1のデータを受信すると、MPIEビットは自動的に0にクリアされ、通常の受信動作に戻る	R/W (注3)
b4	RE	受信許可	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0: SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1: SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0: SCIn_TXI割り込み要求を禁止 1: SCIn_TXI割り込み要求を許可	R/W

x: Don't care

- 注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。
- 注 2. TE ビットおよび RE ビットが 0、かつ SMR.CM ビットが 1 のときのみ、1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。SMR.CM ビットが 0、かつ SIMR1.IICM ビットが 0 の場合、任意のタイミングで書き込みが可能です。
- 注 3. マルチプロセッサモード (SMR.MP ビット = 1) では、このレジスタの MPIE ビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライト命令によって MPIE ビットが誤って 1 になってしまうのを防ぐため、ストア命令を用いて MPIE ビットに 0 を書いてください。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

CKE[1:0] ビット (クロック許可)

クロックソースおよび SCKn 端子の機能を選択します。

TEIE ビット (送信終了割り込み許可)

SCIn_TEI 割り込み要求を許可または禁止します。TEIE ビットを 0 にすると、SCIn_TEI 割り込み要求が禁止されます。

簡易 IIC モードでは、開始／再開始／停止条件の発行完了時の割り込み (STIn 割り込み) に SCIn_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可または禁止にできます。

MPIE ビット (マルチプロセッサ割り込み許可)

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばされて、SSR/SSR_FIFO レジスタの RDRF、ORER、および FER の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信すると、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。詳細は、[27.4 マルチプロセッサ通信機能](#)を参照してください。

SSR.MPB ビットが 0 のデータを受信した場合、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることができません。

MPB ビットが 1 のデータを受信した場合、MPIE ビットが自動的に 0 にクリアされ、SCIn_RXI および SCIn_ERI 割り込み要求が許可されます (SCR.RIE ビットが 1 の場合)。また、ORER および FER フラグを 1 にすることが可能です。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

RE ビット (受信許可)

シリアル受信動作を許可または禁止します。

このビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することによって、シリアル受信が開始されます。RE ビットを 1 にする前に SMR レジスタの設定を行い、受信フォーマットを設定してください。

非 FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、PER の各フラグは影響を受けず、以前の値が保持されます。

FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR_FIFO レジスタの RDF、ORER、FER、PER、DR の各フラグは影響を受けず、以前の値が保持されます。

TE ビット (送信許可)

シリアル送信動作を許可または禁止します。

本ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信が開始されます。TE ビットを 1 にする前に、SMR レジスタに送信フォーマットを設定してください。

RIE ビット (受信割り込み許可)

SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求は禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR/SSR_FIFO レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

TIE ビット (送信割り込み許可)

SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求は禁止されます。

注. FIFO モードで TIE ビットの値を 0 から 1 に切り替えるには、TIE ビットと TE ビットを同時に 1 にセットするか、TE = 1 のときに TIE ビットを 1 にセットします。
FIFO モードで TE = 0 の場合、TIE ビットを 1 に設定することは禁止されています。

27.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCi) (SCMR.SMIF = 1)

アドレス [SCI0.SCR_SMCi 4007 0002h](#), [SCI1.SCR_SMCi 4007 0022h](#), [SCI9.SCR_SMCi 4007 0122h](#)

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	- SMR_SMCi.GM ビット = 0 の場合 b1 b0 0 0 : 出力を禁止 I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 0 1 : クロック出力 1 x : 設定禁止 - SMR_SMCi.GM ビット = 1 の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定	R/W (注1)
b2	TEIE	送信終了割り込み許可	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b3	MPIE	マルチプロセッサ割り込み許可	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b4	RE	受信許可	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0 : SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1 : SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0 : SCIn_TXI割り込み要求を禁止 1 : SCIn_TXI割り込み要求を許可	R/W

x : Don't care

注1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。

注2. TE ビット = 0 かつ RE ビット = 0 の場合にのみ、1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。

SCR_SMCi レジスタは、送信制御、割り込みの制御、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、[27.10 割り込み要因](#)を参照してください。

[CKE\[1:0\] ビット \(クロック許可\)](#)

SCKn 端子からのクロック出力を制御します。

GSM モードでは、クロック出力を動的に切り替えることが可能です。詳細は、[27.6.8 クロック出力制御](#)を参照してください。

[TEIE ビット \(送信終了割り込み許可\)](#)

スマートカードインタフェースモードでは、TEIE ビットを 0 にしてください。

RE ビット (受信許可)

シリアル受信動作を許可または禁止します。

本ビットを 1 にすると、スタートビットを検出することによって、シリアル受信が開始されます。RE ビットを 1 にする前に、SMR_SMCI レジスタに受信フォーマットを設定してください。

RE ビットを 0 にして受信動作を停止しても、SSR_SMCI レジスタの ORER、FER、PER の各フラグは影響を受けず、以前の値を保持します。

TE ビット (送信許可)

シリアル送信動作を許可または禁止します。

本ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信が開始されます。TE ビットを 1 にする前に、SMR_SMCI レジスタに送信フォーマットを設定してください。

RIE ビット (受信割り込み許可)

SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求は禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR_SMCI レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にしてください。

TIE ビット (送信割り込み許可)

SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求は禁止されます。

27.2.13 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0)

アドレス SCI0.SSR 4007 0004h, SCI1.SSR 4007 0024h, SCI9.SSR 4007 0124h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	送信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサ	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/W (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/W (注1)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/W (注1)

注1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

MPBT ビット (マルチプロセッサビット転送)

送信フレームのマルチプロセッサビットを選択します。

MPB ビット (マルチプロセッサ)

受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

TEND フラグ (送信終了フラグ)

送信が終了したことを示します。

[1 になる条件]

- SCR.TE ビットが 0 (シリアル送信動作を禁止)、かつ FCR.FM ビットが 0 (非 FIFO 選択時) のとき
- SCR.TE ビットが 1 のときは、TEND フラグは影響を受けず、1 の値を保持します
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TDRE から 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき
パリティエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCI_{IN}_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、PER フラグを読んで値が 0 であることを確認してください)

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードでの受信時に、フレーミングエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき
2 ストップビットモードでは、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされません。フレーミングエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCI_{IN}_RXI 割り込み要求は発生しません。さらに、FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、FER フラグを読んで値が 0 であることを確認してください)

SCR.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーとフレーミングエラーのない受信データを読み出す前に次のデータを受信したとき
RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、後から受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。
クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、ORER フラグを読んで値が 0 であることを確認してください)

SCR.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを転送したとき

注. 通信が中断しない限り、SSR レジスタの RDRF ビットにアクセスすることによって RDRF フラグをクリアしないでください。

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.TE ビットが 1 の状態で、TDR レジスタへデータを転送したとき

注. 通信が中断しない限り、SSR レジスタの TDRE ビットにアクセスすることによって TDRE フラグをクリアしないでください。

27.2.14 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ (SSR_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1)

アドレス SCI0.SSR_FIFO 4007 0004h

b7	b6	b5	b4	b3	b2	b1	b0
TDFE	RDF	ORER	FER	PER	TEND	—	DR
リセット後の値	1	0	0	0	0	x	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0 : 受信中であるか、または正常に受信を完了した後、FRDRHLに受信データが残っていない（受信 FIFO が空である） 1 : FIFOに格納されているデータ数が受信トリガ数以下であるとき、正常に受信を完了した後、一定期間内に次の受信データが来ない	R/W (注1)
b1	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b2	TEND	送信終了フラグ	0 : キャラクタを送信中 1 : キャラクタを送信終了	R/W (注1)
b3	PER	パリティエラーフラグ	0 : パリティエラーの発生なし 1 : パリティエラーの発生あり	R/W (注1)
b4	FER	フレーミングエラーフラグ	0 : フレーミングエラーの発生なし 1 : フレーミングエラーの発生あり	R/W (注1)
b5	ORER	オーバーランエラーフラグ	0 : オーバーランエラーの発生なし 1 : オーバーランエラーの発生あり	R/W (注1)
b6	RDF	受信 FIFO データフルフラグ	0 : FRDRHLに書き込まれた受信データ数が指定された受信トリガ数より少ない 1 : FRDRHLに書き込まれた受信データ数が指定された受信トリガ数以上である	R/W (注1)
b7	TDFE	送信 FIFO データエンプティフラグ	0 : FTDRHLに書き込まれた送信データ数が指定された送信トリガ数を超過している 1 : FTDRHLに書き込まれた送信データ数が指定された送信トリガ数以下である	R/W (注1)

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

DR フラグ (受信データレディフラグ)

受信 FIFO データレジスタ (FRDRHL) に格納されたデータ数が指定された受信トリガ数より少ないこと、および、調歩同期式モードにおいて最後のストップビットから 15ETU (Element Time Unit = 基本時間単位) 経過しても後続のデータが受信されていないことを示します。このフラグは、調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 選択時にのみ有効です。

クロック同期式モードでは、このフラグは 1 になりません。

[1 になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15ETU (注 1) 経過しても後続のデータが受信されておらず、かつ SSR_FIFO.FER および SSR_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読んで、次に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

- 注 1. 15ETU は、8 ビットフォーマットで 1 ストップビット (ETU) が選択されている場合の 1.5 フレーム分に相当します。
DR フラグは、調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 選択時にのみ 1 になります。他の動作モードでは 1 になりません。

TEND フラグ (送信終了フラグ)

シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TEND から 1 を読んだ後、TEND に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、受信 FIFO データレジスタ (FRDRHL) から読み出したデータにパリティエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、データ受信時にパリティエラーが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信時にパリティエラーが発生しても、受信データが FRDRHL レジスタに格納されている場合は、受信動作が継続します。

SCR.RE ビットを 0 にクリアしても、PER フラグは影響を受けず、以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、受信 FIFO データレジスタ (FRDRHL) から読み出したデータにフレーミングエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、受信時にストップビットとして 0 がサンプリングされたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信時にフレーミングエラーが発生しても、受信データが FRDRHL レジスタに格納されている場合は、受信動作が継続します。

SCR.RE ビットを 0 にクリアしても、FER フラグは影響を受けず、以前の状態を保持します。

ORER フラグ (オーバーランエラーフラグ)

オーバーランエラーの発生が原因で受信動作が異常終了したことを示します。

[1 になる条件]

- 受信 FIFO が 16 バイトの受信データでいっぱいになった状態で、次のシリアル受信を完了したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、ORER フラグは影響を受けず、以前の状態を保持します。

RDF フラグ (受信 FIFO データフルフラグ)

受信データが受信 FIFO データレジスタ (FRDRHL) へ転送されて、FRDRHL 内のデータ数が指定された受信トリガ数以上となったことを示します。ただし RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。

[1 になる条件]

- 指定された受信トリガ数以上の受信データ数が FRDRHL レジスタ (注 1) に格納され、かつ FIFO が空状態でないとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- FRDRHL レジスタが DTC によって読み出されたとき (ブロック転送が最終送信の場合のみ)
- 1 になる条件と 0 になる条件が同時に発生した場合、RDF フラグは 0 になります。その後、FRDRHL レジスタに格納されたデータ数が RTRG の値以上になると、1PCLKB 後に RDF フラグは 1 になります。

注 . 通信が中断しない限り、受信データを読み出す前に SSR レジスタの RDF ビットにアクセスすることによって RDF フラグをクリアしないでください。

注 1. FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大のデータ数は指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

TD FE フラグ (送信 FIFO データエンptyフラグ)

データが送信 FIFO データレジスタ (FTDRHL) から送信シフトレジスタ (TSR) へ転送されて、FTDRHL 内のデータ数が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ数が指定された送信トリガ数以下であるとき (注 1)

[0 になる条件]

- DTC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- 1 を読んだ後、0 を書いたとき
TE = 0 のときは、1 になる条件が優先されます。1 になる条件と 0 になる条件が同時に発生した場合、TD FE フラグは 0 になります。したがって FTDRHL レジスタに格納されたデータ数が TTRG の値以上になると、1PCLKB 後に TD FE フラグは 1 になります。

注 . 通信が中断しない限り、送信データを書き込む前に SSR レジスタの TD FE ビットにアクセスすることによって TD FE フラグをクリアしないでください。

注 1. FTDRHL レジスタは 16 段の FIFO レジスタであるため、TD FE フラグが 1 のときに書き込み可能な最大のデータ数は "16 - FDR.T[4:0]" で示されます。さらにデータを書き込んでも、そのデータは破棄されます。

27.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SSR_SMCI 4007 0004h, SCI1.SSR_SMCI 4007 0024h, SCI9.SSR_SMCI 4007 0124h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b1	MPB	マルチプロセッサ	スマートカードインタフェースモードでは、このビットを0にしてください。	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLowをサンプリングしない 1: エラーシグナルLowをサンプリングする	R/W (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/W (注1)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/W (注1)

注 1. フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

SSR_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグの設定レジスタです。

TEND フラグ (送信終了フラグ)

受信側からエラー信号がなく、次の送信データが TDR レジスタに転送可能となったとき、このフラグが 1 になります。

[1 になる条件]

- SCR_SMCI.TE ビット = 0 (シリアル送信動作を禁止) のとき SCR_SMCI.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、1 の値を保持します。
- 1 バイトのデータを送信してから指定した期間が経過した後、ERS フラグが 0 で、TDR レジスタが更新されないとき

1 になるタイミングは、レジスタの設定により以下のように異なります。

- SMR_SMCI.GM = 0、SMR_SMCI.BLK = 0 のとき、送信開始から 12.5ETU 経過後
- SMR_SMCI.GM = 0、SMR_SMCI.BLK = 1 のとき、送信開始から 11.5ETU 経過後
- SMR_SMCI.GM = 1、SMR_SMCI.BLK = 0 のとき、送信開始から 11.0ETU 経過後
- SMR_SMCI.GM = 1、SMR_SMCI.BLK = 1 のとき、送信開始から 11.0ETU 経過後

[0 になる条件]

- SCR_SMCI.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR_SMCI.TE ビットが 1 の状態で、TDRE から 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき

パリティエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCI_{IN}_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき。PER フラグに 0 を書いた後は、PER フラグを読んで値が 0 であることを確認してください。

SCR_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき。
オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、オーバーランエラー発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき。ORER フラグに 0 を書いた後は、ORER フラグを読んで値が 0 であることを確認してください。

SCR_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを読んだとき

注 . 通信が中断しない限り、SSR レジスタの RDRF ビットにアクセスすることによって RDRF フラグをクリアしないでください。

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR_SMCI.TE ビットが 1 の状態で、TDR レジスタへデータを書き込んだとき

注. 通信が中断しない限り、SSR レジスタの TDRE ビットにアクセスすることによって TDRE フラグをクリアしないでください。

27.2.16 スマートカードモードレジスタ (SCMR)

アドレス SCI0.SCMR 4007 0006h, SCI1.SCMR 4007 0026h, SCI9.SCMR 4007 0126h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード選択	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易IICモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	SINV	送受信データ反転	0: TDRレジスタの内容をそのまま送信。受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信。受信データを反転してRDRレジスタに格納 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモードを含む) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、このビットを0にしてください。	R/W (注1)
b3	SDIR	送受信データ転送方向	0: LSBファースト転送 1: MSBファースト転送 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモードを含む) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、このビットを1にしてください。	R/W (注1)
b4	CHR1	キャラクタ長1	調歩同期式モードでのみ有効 (注2) SMR.CHRビットと組み合わせて送受信キャラクタ長を選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b6-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b7	BCP2	基本クロックパルス2	SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロック数を選択します。 表 27.4に、SCMR.BCP2ビットとSMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作および受信動作を禁止) の場合にのみ書き込み可能です。

注 2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は 8 ビット固定となります。

注 3. LSB ファースト固定となり、送信では TDR レジスタの MSB ビット [7] の値は送信されません。

SCMR レジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

SMIF ビット (スマートカードインタフェースモード選択)

SMIF ビットを 1 にすると、スマートカードインタフェースモードが選択されます。本ビットを 0 にすると、下記のすべてのモードが選択されます。

- 調歩同期式モード (マルチプロセッサモードを含む)
- クロック同期式モード
- 簡易 SPI モード
- 簡易 IIC モード

SINV ビット (送受信データ反転)

送受信データのロジックレベルを反転します。このビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR_SMCI レジスタの PM ビットを反転してください。

CHR1 ビット (キャラクタ長 1)

SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルス 2)

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。SMR_SMCI.BCP[1:0] ビットと組み合わせて設定します。

表 27.4 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット	1 ビット転送期間中の基本クロック数
0	00	93 クロック (S = 93) (注1)
0	01	128 クロック (S = 128) (注1)
0	10	186 クロック (S = 186) (注1)
0	11	512 クロック (S = 512) (注1)
1	00	32 クロック (S = 32) (注1) (初期値)
1	01	64 クロック (S = 64) (注1)
1	10	372 クロック (S = 372) (注1)
1	11	256 クロック (S = 256) (注1)

注 1. S については、27.2.17 ビットレートレジスタ (BRR) を参照してください。

27.2.17 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 4007 0001h, SCI1.BRR 4007 0021h, SCI9.BRR 4007 0121h



BRR レジスタは、ビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 27.5 に示します。

BRR レジスタの初期値は FFh です。BRR レジスタは、CPU からの読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 27.5 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、 マルチプロセッサ通信	0	0	0	$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 64 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKB \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 32 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLKB \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 16 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKB \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 12 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
クロック同期式、 簡易 SPI				$N = \frac{PCLKB \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLKB \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times S \times 2^{2n+1} \times (N + 1)} - 1 \right\} \times 100$
簡易 IIC (注1)				$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B : ビットレート (bps)

N : 内蔵ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLKB : 動作周波数 (MHz)

n および S : 表 27.7 および表 27.8 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が I²C バス規格を満たすように、ビットレートを調整してください。

表 27.6 SCL High/Low幅算出式

モード	SCL	算出式 (結果は秒単位)
簡易 IIC	High 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLKB \times 10^6}$
	Low 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLKB \times 10^6}$

表 27.7 クロックソースの設定

SMR/SMR_SMCI.CKS[1:0] ビットの設定値	クロックソース	n
CKS[1:0] ビット		
0 0	PCLKB クロック	0
0 1	PCLKB/4 クロック	1
1 0	PCLKB/16 クロック	2
1 1	PCLKB/64 クロック	3

表 27.8 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2 ビットの設定値	SMR_SMCI.BCP[1:0] ビットの設定値	1ビット期間中の基本クロック数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける、BRR レジスタ値 N の設定例を表 27.9 と表 27.10 に示します。各動作周波数において選択可能な最大ビットレートを表 27.11 に示します。また、スマートカードインタフェースモードにおける、BRR レジスタ値 N の設定例を表 27.15 に示します。

簡易 IIC モードにおける BRR レジスタ値 N の設定例を表 27.17 に示します。スマートカードインタフェースモードでは、1 ビット転送期間の基本クロック数 S を選択できます。詳細は、[27.6.4 受信データのサンプリングタイミングと受信マージン](#)を参照してください。また、[表 27.12](#) と [表 27.14](#) に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を 1 にした場合、ビットレートは[表 27.16](#)に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 27.9 各ビットレートに対するBRRの設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLKB (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLKB (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 27.10 各ビットレートに対するBRRの設定例 (調歩同期式モード) (2)

ビットレート (bps)	動作周波数PCLKB (MHz)		
	20		
	n	N	誤差 (%)
110	3	88	-0.25
150	3	64	0.16
300	2	129	0.16
600	2	64	0.16
1200	1	129	0.16
2400	1	64	0.16
4800	0	129	0.16
9600	0	64	0.16
19200	0	32	-1.36
31250	0	19	0.00
38400	0	15	1.73

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 27.11 各動作周波数における最大ビットレート (調歩同期式モード) (1/2)

PCLKB (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)	PCLKB (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	16	0	0	0	0	0	500000
		1	0	0	0	500000			1	0	0	0	1000000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1000000			1	0	0	0	2000000
	Don't care	Don't care	1	0	0	1333333		Don't care	Don't care	1	0	0	2666666
9.8304	0	0	0	0	0	307200	17.2032	0	0	0	0	0	537600
		1	0	0	0	614400			1	0	0	0	1075200
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1228800			1	0	0	0	2150400
	Don't care	Don't care	1	0	0	1638400		Don't care	Don't care	1	0	0	2867200
10	0	0	0	0	0	312500	18	0	0	0	0	0	562500
		1	0	0	0	625000			1	0	0	0	1125000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1250000			1	0	0	0	2250000
	Don't care	Don't care	1	0	0	1666666		Don't care	Don't care	1	0	0	3000000
12	0	0	0	0	0	375000	19.6608	0	0	0	0	0	614400
		1	0	0	0	750000			1	0	0	0	1228800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1500000			1	0	0	0	2457600
	Don't care	Don't care	1	0	0	2000000		Don't care	Don't care	1	0	0	3276800

表 27.11 各動作周波数における最大ビットレート (調歩同期式モード) (2/2)

PCLKB (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)	PCLKB (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
12.288	0	0	0	0	0	384000	20	0	0	0	0	0	625000
		1	0	0	0	768000			1	0	0	0	1250000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1536000			1	0	0	0	2500000
	Don't care	Don't care	1	0	0	2048000		Don't care	Don't care	1	0	0	3333333
14	0	0	0	0	0	437500							
		1	0	0	0	875000							
	1	0	0	0	0								
		1	0	0	0	1750000							
	Don't care	Don't care	1	0	0	2333333							

表 27.12 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLKB (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCS ビット = 0	SEMR.ABCS ビット = 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000

表 27.13 各ビットレートに対するBRRの設定例（クロック同期式モード、簡易SPIモード）

ビットレート (bps)	動作周波数PCLKB (MHz)							
	8		10		16		20	
	n	N	n	N	n	N	n	N
110								
250	3	124	—	—	3	249		
500	2	249	—	—	3	124	—	—
1k	2	124	—	—	2	249	—	—
2.5k	1	199	1	249	2	99	2	124
5k	1	99	1	124	1	199	1	249
10k	0	199	0	249	1	99	1	124
25k	0	79	0	99	0	159	0	199
50k	0	39	0	49	0	79	0	99
100k	0	19	0	24	0	39	0	49
250k	0	7	0	9	0	15	0	19
500k	0	3	0	4	0	7	0	9
1M	0	1			0	3	0	4
2.5M			0	0 (注1)			0	1
5M							0	0 (注1)
7.5M								

空欄：設定禁止

—：設定可能ですが誤差が生じます。

注 1. 連続送受信はできません。1 フレームの送受信後、次のフレームの送受信を開始するまでに 1 ビット期間の間隔が空きます。すなわち、同期クロックの出力が 1 ビット期間停止します。そのため、1 フレーム（8 ビット）のデータ転送に 9 ビット分の時間がかかり、平均転送レートはビットレートの 8/9 倍になります。

表 27.14 外部クロック入力時の最大ビットレート（クロック同期式モード、簡易SPIモード）

PCLKB (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333

表 27.15 各ビットレートに対するBRRの設定例 (スマートカードインタフェースモード、n = 0、S = 372の場合)

ビットレート (bps)	動作周波数PCLKB (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	-30	0	1	-25	0	1	-8.99

ビットレート (bps)	動作周波数PCLKB (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	-15.99	0	2	-6.66

表 27.16 各動作周波数における最大ビットレート (スマートカードインタフェースモード、S = 32の場合)

PCLKB (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0

表 27.17 各ビットレートに対するBRRの設定例 (簡易IICモード)

ビットレート (bps)	動作周波数PCLKB (MHz)								
	8			10			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	1	12	-3.8
25k	0	9	0.0	0	12	-3.8	1	4	0.0
50k	0	4	0.0	0	5	4.2	1	2	-16.7
100k (注1)	0	2	-16.7	0	3	-21.9	0	4	0.0
250k	0	0	0.0	0	0	25.0	0	1	0.0
350k	—	—	—	—	—	—	—	—	—
400k (注1)	—	—	—	—	—	—	—	—	—

ビットレート (bps)	動作周波数PCLKB (MHz)		
	20		
	n	N	誤差 (%)
10k	1	15	-2.3
25k	1	5	4.2
50k	1	2	4.2
100k (注1)	0	6	-10.7
250k	0	2	-16.7
350k	0	1	-10.7
400k (注1)	0	1	-21.9

注 1. 100kbps と 400kbps のビットレートは、設定値の誤差がマイナス側にあることを意味しています。

表 27.18 各ビットレート設定でのSCL High/Low幅最小値 (簡易IICモード)

ビットレート (bps)	動作周波数PCLKB (MHz)								
	8			10			16		
	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	1	12	45.5/52.00
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	1	2	10.50/12.00
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.38/5.00
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00
350k	—	—	—	—	—	—	—	—	—
400k	—	—	—	—	—	—	—	—	—

ビットレート (bps)	動作周波数PCLKB (MHz)		
	20		
	n	N	SCL High/Low幅 最小値 (μs)
10k	1	15	44.80/51.20
25k	1	5	16.80/19.20
50k	1	2	8.40/9.60
100k	0	6	4.90/5.60
250k	0	2	2.10/2.40
350k	0	1	1.40/1.60
400k	0	1	1.40/1.60

27.2.18 モジュレーションデューティレジスタ (MDDR)

アドレス SCI0.MDDR 4007 0012h, SCI1.MDDR 4007 0032h, SCI9.MDDR 4007 0132h



MDDR レジスタは、BRR レジスタにより調整されたビットレートを補正するためのレジスタです。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定に応じて均一に補正されます (M/256)。MDDR レジスタの設定値 M とビットレート B の関係を表 27.19 に示します。

MDDR レジスタの初期値は FFh です。b7 は 1 に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 27.19 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

モード	SEMR レジスタの 設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	0	$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLKB \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKB \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLKB \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLKB \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLKB \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKB \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLKB \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易 SPI (注1)				$N = \frac{PCLKB \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLKB \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLKB \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
簡易 IIC (注2)				$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	

B : ビットレート (bps)

M : MDDR レジスタの設定値 ($128 \leq MDDR \leq 255$)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLKB : 動作周波数 (MHz)

n および S : ビットレートレジスタ (BRR) の表 27.8 と表 27.9 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. クロック同期式モードと、簡易 SPI モードの最高速設定 (SMR.CKS[1:0] ビット = 00b, SCR.CKE[1] ビット = 0、および BRR = 0) では、この機能を使用しないでください。

注 2. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が I²C 規格を満たすように、ビットレートを調整してください。

通常の調歩同期式モードにおける BRR レジスタ値 N と MDDR レジスタ値 M の設定例を表 27.20 と表 27.21 に示します。

表 27.20 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数 PCLKB (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビット レート (bps)	動作周波数 PCLKB (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	0.26	0	0	135	1	0.14

ビット レート (bps)	動作周波数 PCLKB (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

表 27.21 各ビットレートに対するBRRとMDDRの設定例（調歩同期式モード）（2）

ビット レート (bps)	動作周波数PCLKB (MHz)									
	19.6608					20				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01
57600	0	9	240	0	0.00	0	9	236	0	0.03
115200	0	4	240	0	0.00	0	4	236	0	0.03
230400	0	1	192	0	0.00	0	4	236	1	0.03
460800	0	0	192	0	0.00	0	0	189	0	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

27.2.19 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 4007 0007h, SCI1.SEMR 4007 0027h, SCI9.SEMR 4007 0127h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	BRME	ビットレートモジュレーション有効	0: ビットレートモジュレーション機能は無効 1: ビットレートモジュレーション機能は有効	R/W (注1)
b3	ABCSE	調歩同期拡張基本クロック選択	調歩同期式モードにおいて、SCR.CKE[1]=0の場合にのみ有効 0: 1ビット期間のクロック数はSEMRレジスタのBGDMとABCSの組み合わせにより決定 1: ボーレートは1ビット期間に対して基本クロックの6クロック	R/W (注1)
b4	ABCS	調歩同期基本クロック選択	調歩同期式モードでのみ有効 0: 基本クロックの16クロックを1ビット期間として選択 1: 基本クロックの8クロックを1ビット期間として選択	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能有効	調歩同期式モードの場合: 0: RXDn入力信号のノイズ除去機能は無効 1: RXDn入力信号のノイズ除去機能は有効 簡易IICモードの場合: 0: SCLnおよびSDAn入力信号のノイズ除去機能は無効 1: SCLnおよびSDAn入力信号のノイズ除去機能は有効 上記以外のモードでは、NFENビットを0にしてください。	R/W (注1)
b6	BGDM	ボーレートジェネレータ倍速モード選択	調歩同期式モードにおいて、SCR.CKE[1]=0の場合にのみ有効 0: ボーレートジェネレータから通常の周波数のクロックを出力 1: ボーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出選択	調歩同期式モードでのみ有効 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がリエッジでスタートビットを検出	R/W (注1)

注1. SCR/SCR_SMCI レジスタのTEビットとREビットが0（シリアル送信動作および受信動作を禁止）の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期式モード時の1ビット期間のクロックを選択するためのレジスタです。

BRME ビット（ビットレートモジュレーション有効）

ビットレートモジュレーション機能を有効または無効にします。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを均一に補正します。

ABCSE ビット（調歩同期拡張基本クロック選択）

1ビット期間における基本クロックのパルス数は6であり、ボーレートジェネレータから2倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを6にする場合、このビットを使用し、かつSMR.CKS[1:0]=00b、BRR=0に設定してください。本ビットは、調歩同期式モード以外では0にしてください。

ABCS ビット（調歩同期基本クロック選択）

1ビット期間の基本クロック数を選択します。本ビットは、調歩同期式モード以外では0にしてください。

NFEN ビット (デジタルノイズフィルタ機能有効)

デジタルノイズフィルタ機能を有効または無効にします。

デジタルノイズフィルタ機能を有効にした場合：

- 調歩同期式モードでは、RXDn 入力信号のノイズを除去
- 簡易 IIC モードでは、SDAn および SCLn の入力信号のノイズを除去

他のすべてのモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、受信した信号がそのまま内部信号として転送されます。

BGDM ビット (ボーレートジェネレータ倍速モード選択)

ボーレートジェネレータの出力クロックサイクルを 1 倍または 2 倍の周波数から選択します。

このビットは、調歩同期式モード (SMR.CM ビット = 0) において、クロックソースに内蔵ボーレートジェネレータ (SCR.CKE[1] ビット = 0) を選択したとき有効です。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

このビットは、調歩同期式モード以外では 0 にしてください。

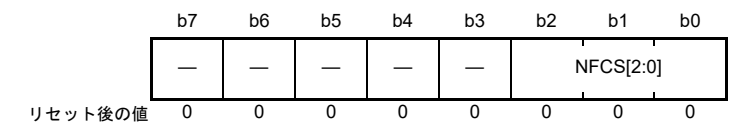
RXDESEL ビット (調歩同期スタートビットエッジ検出選択)

調歩同期式モードにおいて、受信時のスタートビットの検出方法を選択します。ブレーク中に受信を停止する場合、またはブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始する場合、このビットを 1 にしてください。

このビットは、調歩同期式モード以外では 0 にしてください。

27.2.20 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 4007 0008h, SCI1.SNFR 4007 0028h, SCI9.SNFR 4007 0128h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCFS[2:0]	ノイズフィルタクロック 選択	調歩同期式モード時、基本クロックの標準設定は下記のとおりです。 b2 b0 0 0 0 : 1分周のクロック信号をノイズフィルタに使用 簡易IICモード時、SMR.CKS[1:0]ビットで選択した内蔵ポーレート ジェネレータのクロックソースの標準設定は下記のとおりです。 b2 b0 0 0 1 : 1分周のクロック信号をノイズフィルタに使用 0 1 0 : 2分周のクロック信号をノイズフィルタに使用 0 1 1 : 4分周のクロック信号をノイズフィルタに使用 1 0 0 : 8分周のクロック信号をノイズフィルタに使用 上記以外は設定しないでください。	R/W (注1)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

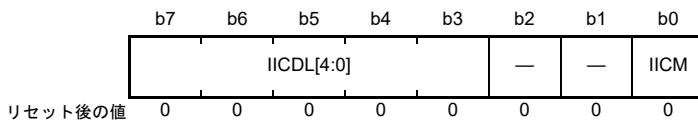
SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

NFCFS[2:0] ビット（ノイズフィルタクロック選択）

デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを 000b にしてください。簡易 IIC モードでは、これらのビットを 001b ～ 100b の範囲で設定してください。

27.2.21 I²C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 4007 0009h, SCI1.SIMR1 4007 0029h, SCI9.SIMR1 4007 0129h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易 IIC モード選択	SMIF IICM 0 0 : 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード 0 1 : 簡易 IIC モード 1 0 : スマートカードインタフェースモード 1 1 : 設定禁止	R/W (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b3	IICDL[4:0]	SDA 遅延出力選択	下記のサイクル数は、内蔵ボーレートジェネレータからのクロック 信号のサイクル数です。 b7 b3 0 0 0 0 0 : 出力遅延なし 0 0 0 0 1 : 0～1サイクル 0 0 0 1 0 : 1～2サイクル 0 0 0 1 1 : 2～3サイクル 0 0 1 0 0 : 3～4サイクル 0 0 1 0 1 : 4～5サイクル 1 1 1 1 0 : 29～30サイクル 1 1 1 1 1 : 30～31サイクル	R/W (注1)

注1. SCR.RE ビットと SCR.TE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 IIC モードと、SDAn 出力の遅延段数を選択するためのレジスタです。

IICM ビット (簡易 IIC モード選択)

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SDA 遅延出力選択)

SCLn 端子出力の立ち下がりに対する SDAn 端子出力の遅延を設定します。

内蔵ボーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。PCLKB を SMR.CKS[1:0] ビットの設定により分周することで得られた信号が、内蔵ボーレートジェネレータのクロック信号として供給されます。簡易 IIC モード以外では、これらのビットを 00000b にしてください。簡易 IIC モードでは、これらのビットを 00001b ～ 11111b の範囲で設定してください。

27.2.22 I²C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 4007 000Ah, SCI1.SIMR2 4007 002Ah, SCI9.SIMR2 4007 012Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	IIC割り込みモード選択	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化	0 : クロック信号と同期しない 1 : クロック信号と同期する	R/W (注1)
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	IICACKT	ACK送信データ	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR.TE ビットと SCR.RE ビットが0（シリアル送信およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードでの送受信の制御方法を選択するためのレジスタです。

IICINTM ビット (IIC 割り込みモード選択)

簡易 IIC モードでの割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化)

たとえば、他のデバイスによりウェイトが挿入されたため SCLn 端子を Low にしたとき、内部で生成する SCLn クロック信号を同期化する場合は、IICCSC ビットを 1 にしてください。

IICCSC ビットを 0 にすると、SCL クロック信号の同期化を行いません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号を生成します。

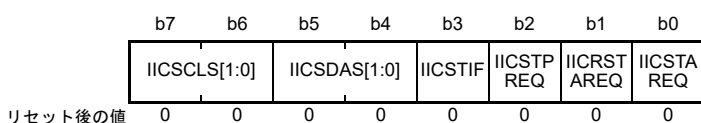
デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット (ACK 送信データ)

ACK ビットを含むデータを送信します。ACK/NACK ビット受信時は、このビットを 1 にしてください。

27.2.23 I²C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 4007 000Bh, SCI1.SIMR3 4007 002Bh, SCI9.SIMR3 4007 012Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成	0 : 開始条件を生成しない 1 : 開始条件を生成する (注1) (注3) (注5) (注6)	R/W
b1	IICRSTAREQ	再開条件生成	0 : 再開条件を生成しない 1 : 再開条件を生成する (注2) (注3) (注5) (注6)	R/W
b2	IICSTPREQ	停止条件生成	0 : 停止条件を生成しない 1 : 停止条件を生成する (注2) (注3) (注5) (注6)	R/W
b3	IICSTIF	開始／再開／停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 開始条件、再開条件、または停止条件の生成が完了 IICSTIF ビットに0を書くと、0にクリアされます (注4)	R/W (注4)
b5-b4	IICSDAS[1:0]	SDA出力選択	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SDA _n 端子はLowを出力 1 1 : SDA _n 端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SCL出力選択	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SCL _n 端子はLowを出力 1 1 : SCL _n 端子はハイインピーダンス状態	R/W

- 注1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。
- 注2. バスの状態を確認し、バスビジー状態のときに再開条件または停止条件を生成してください。
- 注3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2つ以上を1にしないでください。
- 注4. 0のみを書いてください。1を書くと、その値は無視されます。
- 注5. IICSTIF フラグを0にしてから、各条件生成を行ってください。
- 注6. 1の状態にあるとき、0を書かないでください。このビットが1の状態にあるとき0を書くと、条件生成が中断します。

IICSTAREQ ビット (開始条件生成)

開始条件の生成を行うときは、IICSTAREQ ビットを1にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成)

再開条件の生成を行うときは、IICRSTAREQ ビットを1にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成)

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始／再開始／停止条件生成完了フラグ)

各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 割り込みが出力されます。

[1 になる条件]

- 開始条件、再開始条件、または停止条件の生成が完了したとき。1 になる条件が 0 になる条件と競合した場合は、0 になる条件が優先されます。

[0 になる条件]

- 0 を書いたとき (IICSTIF フラグが 0 であることを確認してください)
- 簡易 IIC モード以外の動作モードで SIMR1.IICM ビットに 0 を書いたとき
- SCR.TE ビットに 0 を書いたとき

IICSDAS[1:0] ビット (SDA 出力選択)

SDAn 端子からの出力を制御します。

IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SCL 出力選択)

SCLn 端子からの出力を制御します。

IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

27.2.24 I²C ステータスレジスタ (SISR)

アドレス SCI0.SISR 4007 000Ch, SCI1.SISR 4007 002Ch, SCI9.SISR 4007 012Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0
x : 不定								

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R
b1	—	予約ビット	読むと0が読めます。	R
b2	—	予約ビット	読むと不定値が読めます。	R
b3	—	予約ビット	読むと0が読めます。	R
b5-b4	—	予約ビット	読むと不定値が読めます。	R
b7-b6	—	予約ビット	読むと0が読めます。	R

SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

IICACKR フラグ (ACK 受信データフラグ)

IICACKR フラグから、受信された ACK/NACK ビットを読み出すことができます。本フラグは、ACK/NACK を受信するビットの SCL_n クロックの立ち上がりのタイミングで更新されます。

27.2.25 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 4007 000Dh, SCI1.SPMR 4007 002Dh, SCI9.SPMR 4007 012Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn 端子機能有効	0 : SSn 端子機能は無効 1 : SSn 端子機能は有効	R/W (注1)
b1	CTSE	CTS 有効	0 : CTS 機能は無効 (RTS 出力機能は有効) 1 : CTS 機能は有効	R/W (注1)
b2	MSS	マスタスレーブ選択	0 : TXDn 端子は送信、RXDn 端子は受信 (マスタモード) 1 : TXDn 端子は受信、RXDn 端子は送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CKPOL	クロック極性選択	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相選択	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

注2. フラグをクリアするための0書き込みだけを行ってください。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn 端子機能有効)

簡易 SPI モードで SSn 端子を用いて送受信制御を行うには、SSE ビットを1にしてください。他のすべてのモードでは0にしてください。マスタモード (SCR.CKE[1:0] = 00b かつ MSS = 0) 選択時にシングルマスタ構成が存在する場合は、送受信制御にマスタ側 SSn 端子は必要ありません。そのような場合は、SSE ビットを0にします。SSE ビットと CTSE ビットの両方を1にしないでください (両方を有効にした場合、両ビットを0にしたときと同じ動作になります)。

CTSE ビット (CTS 有効)

SSn 端子を使って、送受信制御用の CTS 制御信号を入力する場合、CTSE ビットを1にしてください。本ビットを0にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、本ビットを0にしてください。CTSE ビットと SSE ビットの両方を有効にしないでください (両方を有効にした場合、両ビットを0にしたときと同じ動作になります)。

MSS ビット (マスタスレーブ選択)

簡易 SPI モード時のマスタ動作またはスレーブ動作を選択します。MSS ビットを1にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。簡易 SPI モード以外では0にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを示します。マルチマスタ構成では、MFF フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード (SSE ビット = 1 かつ MSS ビット = 0) の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CKPOL ビット (クロック極性選択)

SCKn 端子からのクロック信号出力の極性を選択します。詳細は図 27.70 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

CKPH ビット (クロック位相選択)

SCKn 端子からのクロック信号出力の位相を選択します。詳細は図 27.70 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

27.2.26 FIFO コントロールレジスタ (FCR)

アドレス SCI0.FCR 4007 0014h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RSTRG[3:0]				RTRG[3:0]				TTRG[3:0]				DRES	TFRST	RFRST	FM
リセット後の値	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効 0：非FIFOモード 通信にはTDR/RDRまたはTDRHL/RDRHLレジスタが選択されます。 1：FIFOモード 通信にはFTDRHL/FRDRHLレジスタが選択されます。	R/W (注1)
b1	RFRST	受信FIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効 0：FRDRHLレジスタをリセットしない 1：FRDRHLレジスタをリセットする	R/W
b2	TFRST	送信FIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効 0：FTDRHLレジスタをリセットしない 1：FTDRHLレジスタをリセットする	R/W
b3	DRES	受信データレディエラー選択	受信データレディ検出時の割り込み要求を選択 0：受信データフル割り込み（SCIn_RXI） 1：受信エラー割り込み（SCIn_ERI）	R/W
b7-b4	TTRG[3:0]	送信FIFOデータトリガ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効 000：トリガ数0 ： 111：トリガ数15	R/W
b11-b8	RTRG[3:0]	受信FIFOデータトリガ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効 000：トリガ数0 ： 111：トリガ数15	R/W
b15-b12	RSTRG[3:0]	RTS出力アクティブトリガ数選択	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FCR.FM = 1、SPMR.CTSE = 0、およびSPMR.SSE = 0の場合にのみ有効 000：トリガ数0 ： 111：トリガ数15	R/W

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

FCRレジスタは、FIFOモードの選択、FTDRHL/FRDRHLレジスタのリセット、送受信のFIFOデータトリガ数、およびRTS出力アクティブトリガ数を設定するためのレジスタです。

FM ビット (FIFO モード選択)

FMビットを1にすると、通信にはFTDRHLとFRDRHLが選択されます。FMビットを0にすると、通信にはTDRとRDR、またはTDRHLとRDRHLが選択されます。

RFRST ビット (受信 FIFO データレジスタリセット)

RFRSTビットを1にすると、FRDRHLレジスタがリセットされ、受信データ数は0にリセットされます。1を書いた後、1PCLKB経過後、このビットは0になります。

TFRST ビット (送信 FIFO データレジスタリセット)

TFRSTビットを1にすると、FTDRHLレジスタがリセットされ、送信データ数は0にリセットされます。1を書いた後、1PCLKB経過後、このビットは0になります。

DRES ビット (受信データレディエラー選択)

受信データレディエラー検出時、SCIn_RXI 割り込み要求または SCIn_ERI 割り込み要求を選択します。DTC の開始、および FRDRH レジスタと FRDRL レジスタの読み出しを行う場合に DRES ビットを 1 にします。

TTRG[3:0] ビット (送信 FIFO データトリガ数)

FTDRHL レジスタ内の送信データ数が、TTRG[3:0] ビットに指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE = 1 の場合は、SCIn_TXI 割り込み要求が発生します。

RTRG[3:0] ビット (受信 FIFO データトリガ数)

FRDRHL レジスタ内の受信データ数が、RTRG[3:0] ビットに指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE = 1 の場合は、SCIn_RXI 割り込み要求が発生します。

RTRG[3:0] ビットが 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグは 1 にならず、SCIn_RXI 割り込みは発生しません。

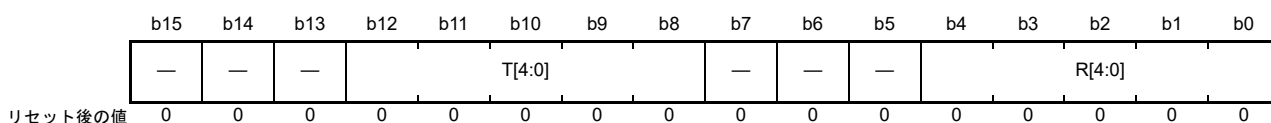
RSTRG[3:0] ビット (RTS 出力アクティブトリガ数選択)

FRDRHL レジスタに格納された受信データ数が、RSTRG[3:0] ビットに指定された受信トリガ数以上の場合、RTSn 信号は High 状態になります。

RSTRG[3:0] ビットが 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RTSn 信号は High 状態になりません。

27.2.27 FIFO データ数レジスタ (FDR)

アドレス SCI0.FDR 4007 0016h



ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	受信 FIFO データ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効 FRDRHL レジスタに格納された受信データ数を示します。	R
b7-b5	—	予約ビット	読むと 0 が読めます。	R
b12-b8	T[4:0]	送信 FIFO データ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効 FTDRHL レジスタに格納された未送信データ数を示します。	R
b15-b13	—	予約ビット	読むと 0 が読めます。	R

このレジスタは、FRDRHL/FTDRHL レジスタに格納されたデータ数を示します。

R[4:0] ビット（受信 FIFO データ数）

FRDRHL レジスタに格納された受信データ数を示します。値 00h は受信データがないことを意味します。また、値 10h は最大数の受信データが FRDRHL レジスタに格納されていることを意味します。

T[4:0] ビット（送信 FIFO データ数）

FTDRHL レジスタに格納された未送信データ数を示します。値 00h は送信データがないことを意味します。また、値 10h は全送信データ（最大数）が FTDRHL レジスタに格納されていることを意味します。

27.2.28 ラインステータスレジスタ (LSR)

アドレス SCI0.LSR 4007 0018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PNUM[4:0]				—	FNUM[4:0]				—	ORER		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバーランエラーフラグ	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO選択時にのみ有効 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b1	—	予約ビット	読むと0が読めます。	R
b6-b2	FNUM[4:0]	フレーミングエラー数	受信FIFOデータレジスタ（FRDRHL）に格納された受信データの中でフレーミングエラーを含むデータ数を示します。	R
b7	—	予約ビット	読むと0が読めます。	R
b12-b8	PNUM[4:0]	パリティエラー数	受信FIFOデータレジスタ（FRDRHL）に格納された受信データの中でパリティエラーを含むデータ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

注1. 本フラグが1の場合は、SSR_FIFO.ORERに0を書き込んでクリアしてください。

LSR レジスタは、受信エラーのステータスを示すためのレジスタです。

ORER フラグ（オーバーランエラーフラグ）

SSR_FIFO.ORER の値を反映します。

FNUM[4:0] ビット（フレーミングエラー数）

FRDRHL レジスタに格納されたフレーミングエラーを含むデータ数を示します。

PNUM[4:0] ビット（パリティエラー数）

FRDRHL レジスタに格納されたパリティエラーを含むデータ数を示します。

27.2.30 データコンペアマッチコントロールレジスタ (DCCR)

アドレス SCI0.DCCR4007 0013h, SCI1.DCCR4007 0033h, SCI9.DCCR 4007 0133h

b7	b6	b5	b4	b3	b2	b1	b0
DCME	IDSEL	—	DFER	DPER	—	—	DCMF
リセット後の値	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データコンペアマッチフラグ	0 : 不一致 1 : 一致	R/W (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DPER	データコンペアマッチパリティエラーフラグ	0 : パリティエラーの発生なし 1 : パリティエラーの発生あり	R/W (注1)
b4	DFER	データコンペアマッチフレーミングエラーフラグ	0 : フレーミングエラーの発生なし 1 : フレーミングエラーの発生あり	R/W (注1)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	IDSEL	ID フレーム選択	調歩同期式モード（マルチプロセッサモードを含む）でのみ有効 0 : MPB ビットの値とは無関係に、常にデータを比較する 1 : MPB ビットが1（ID フレーム）のデータのみを比較する	R/W
b7	DCME	データコンペアマッチ有効	調歩同期式モード（マルチプロセッサモードを含む）でのみ有効 0 : アドレス一致検出機能は無効 1 : アドレス一致検出機能は有効	R/W

注1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

DCCR レジスタは、アドレス一致検出機能の制御を設定するためのレジスタです。

DCMF フラグ（データコンペアマッチフラグ）

SCI が受信データと比較データ（CDR.CMPD）の一致を検出したことを示します。

[1 になる条件]

- DCCR.DCME = 1 の状態で、受信データが比較データ（CDR.CMPD）と一致したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

シリアルコントロールレジスタ（SCR）の RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の状態を保持します。

DPER フラグ（データコンペアマッチパリティエラーフラグ）

アドレス一致検出（受信データの一致検出）時に、パリティエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、DPER フラグは影響を受けず、以前の値を保持します

DFER フラグ (データコンペアマッチフレーミングエラーフラグ)

アドレス一致検出 (受信データの一致検出) 時に、フレーミングエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき
- 2 ストップモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされます (2 ビット目はチェックされません)

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DFER フラグは影響を受けず、以前の値を保持します

IDSEL ビット (ID フレーム選択)

アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または MPB ビット = 1 (ID フレーム) の場合にのみ比較を行うかを選択します。

DCME ビット (データコンペアマッチ有効)

アドレス一致検出機能 (データコンペアマッチ機能) を有効または無効にします。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME は自動的にクリアされ、その後、SCI の動作はデータコンペアマッチ機能なしの受信モードになります。[27.3.6 アドレス一致 \(受信データ一致\) 検出機能](#)を参照してください。

調歩同期式モード以外では、書き込み値は 0 にしてください。

27.2.31 シリアルポートレジスタ (SPTR)

アドレス SCI0.SPTR 4007 001Ch, SCI1.SPTR 4007 003Ch, SCI9.SPTR 4007 013Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SPB2I O	SPB2D T	RXDM ON
リセット後の値	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	シリアル入力データモニタ	RXDn端子の状態を示します。 0 : RXDn端子はLow状態 1 : RXDn端子はHigh状態	R
b1	SPB2DT	シリアルポートブ레이크データ 選択	SCR.TE = 0の場合、TXDn端子の出力レベルを選択します。 0 : TXDn端子はLow出力 1 : TXDn端子はHigh出力	R/W
b2	SPB2IO	シリアルポートブ레이크入出力	TXDn端子へSPB2DTの値を出力するか否かを選択します。 0 : SPB2DTビットの値をTXDn端子に出力しない 1 : SPB2DTビットの値をTXDn端子に出力する	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPTR レジスタは、シリアル受信端子 (RXDn 端子) の状態を確認し、送信端子 (TXDn 端子) の状態を設定するためのレジスタです。

このレジスタは調歩同期式モードでのみ使用可能です。

表 27.22 に示すように、TXDn 端子の状態は、SCR.TE ビット、SPTR.SPB2IO ビット、および SPTR.SPB2DT ビットの各設定値の組み合わせで決定されます。

表 27.22 TXDn端子の状態

SCR.TE ビットの値	SPTR.SPB2IO ビットの値	SPTR.SPB2DT ビットの値	TXDn端子の状態
0	0	x	Hi-Z (初期値)
0	1	0	Lowを出力
0	1	1	Highを出力
1	x	x	シリアル送信データを出力

x : Don't care

注. SPTR レジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

27.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを、図 27.2 に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信していないときの通信回線はマーク状態 (High) に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットとみなしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し／書き込みが可能です。連続送受信が実現されます。

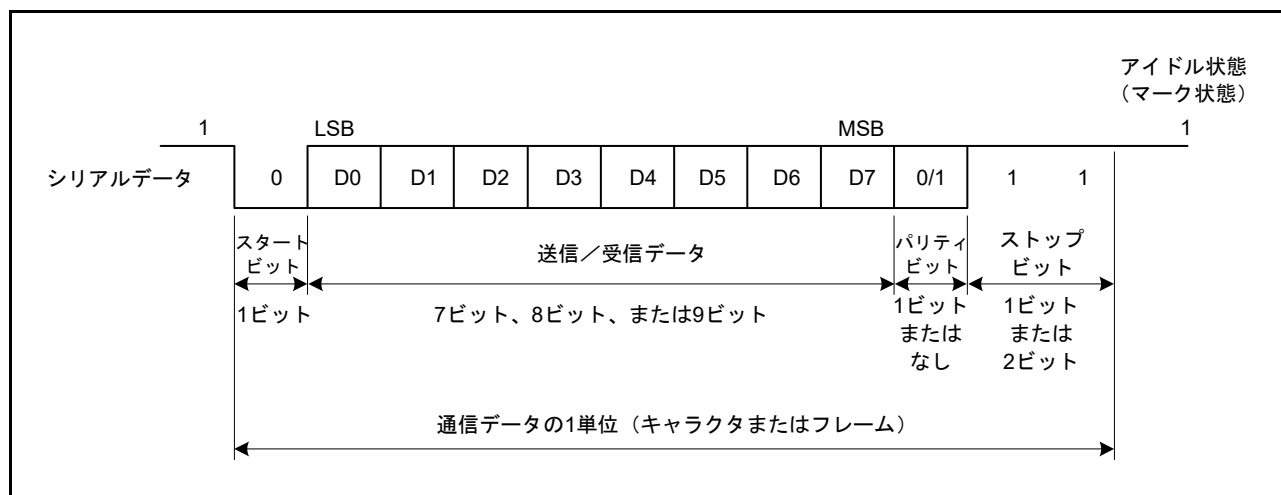


図 27.2 調歩同期式シリアル通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの場合)

27.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル転送フォーマットを表 27.23 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定により選択できます。マルチプロセッサ機能の詳細については 27.4 マルチプロセッサ通信機能を参照してください。

表 27.23 シリアル転送フォーマット (調歩同期式モード) (1/2)

SCMR の設定 値	SMRの設定値				シリアル転送フォーマットとフレーム長													
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	0	0	0	0	S 9ビットデータ STOP												
0	0	0	0	0	1	S 9ビットデータ STOPSTOP												
0	0	1	0	0	0	S 9ビットデータ PSTOP												
0	0	1	0	1	1	S 9ビットデータ PSTOPSTOP												
1	0	0	0	0	0	S 8ビットデータ STOP												
1	0	0	0	1	1	S 8ビットデータ STOPSTOP												
1	0	1	0	0	0	S 8ビットデータ PSTOP												
1	0	1	0	1	1	S 8ビットデータ PSTOPSTOP												
1	1	0	0	0	0	S 7ビットデータ STOP												
1	1	0	0	1	1	S 7ビットデータ STOPSTOP												
1	1	1	0	0	0	S 7ビットデータ PSTOP												

表 27.23 シリアル転送フォーマット (調歩同期式モード) (2/2)

SCMR の設定 値		SMRの設定値			シリアル転送フォーマットとフレーム長												
					1	2	3	4	5	6	7	8	9	10	11	12	13
CHR1	CHR	PE	MP	STOP													
1	1	1	0	1	S 7ビットデータ P STOP STOP												
0	0	—	1	0	S 9ビットデータ MPB STOP												
0	0	—	1	1	S 9ビットデータ MPB STOP STOP												
1	0	—	1	0	S 8ビットデータ MPB STOP												
1	0	—	1	1	S 8ビットデータ MPB STOP STOP												
1	1	—	1	0	S 7ビットデータ MPB STOP												
1	1	—	1	1	S 7ビットデータ MPB STOP STOP												

S : スタートビット
STOP : ストップビット
P : パリティビット
MPB : マルチプロセッサビット

27.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。

また、図 27.3 に示すように、受信データは基本クロックの 8 パルス目 (注 1) の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。したがって、調歩同期式モードでの受信マージンは以下の式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \cdots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比

SEMR.ABCSE ビット = 0 かつ SEMR.ABCS ビット = 0 のとき N = 16

SEMR.ABCS ビット = 1 のとき N = 8、SEMR.ABCSE ビット = 1 のとき N = 6

D : クロックのデューティ (D = 0.5 ~ 1.0)

L : フレーム長 (L = 9 ~ 13)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、受信マージンは下記の式で算出されます。

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875\%$$

これは計算上の値を表しています。ルネサスでは、システム設計の際には 20 ~ 30% の余裕を持たせることを推奨しています。

注 1. この例では、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 です。ABCS ビットが 1 で ABCSE ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。
ABCSE ビットが 1 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。

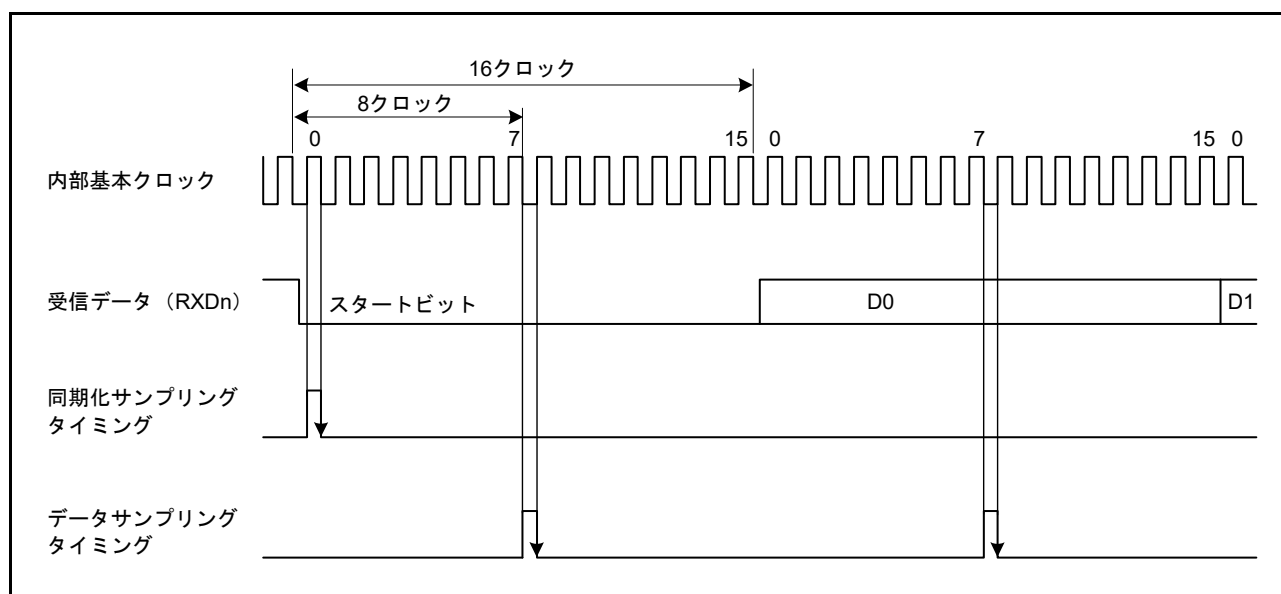


図 27.3 調歩同期式モードでの受信データサンプリングタイミング

27.3.3 クロック

SCI の送受信クロックは、SMR.CM ビットと SMR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍 (SEMR.ABCS ビット=0 のとき)、または 8 倍 (SEMR.ABCS ビット=1 のとき) の周波数のクロックを入力してください。

内部クロックで動作させるときは、SCKn 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 27.4 に示すように、送信データの間でクロックが立ち上がるように設定されます。

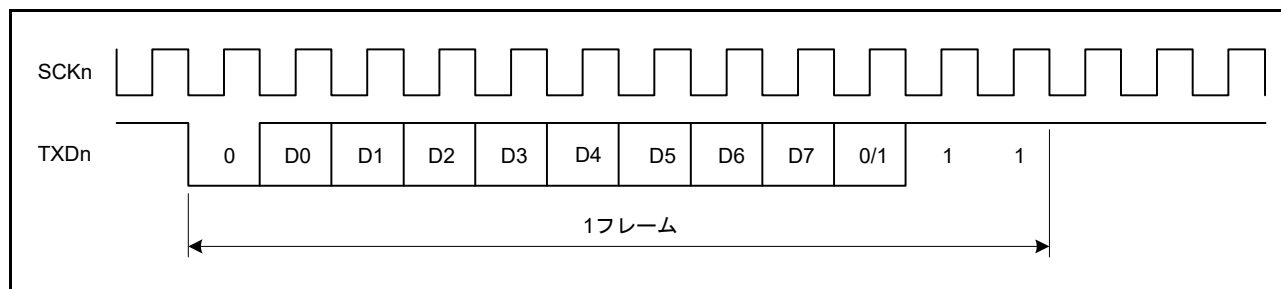


図 27.4 出力クロックと送信データの位相関係 (調歩同期式モード : SCMR.CHR1 = 1、SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

27.3.4 倍速動作とビットレートの 6 倍の周波数

SEMR.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。SEMR.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビットが 0 の場合の 2 倍になります。SCR.CKE[1] ビットを 0 にして、内蔵ボーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。SEMR.ABCSE ビットが 1 になっている場合、基本クロックのパルス数は 1 ビット期間中 6 になり、SEMR.ABCS、SEMR.BGDM、および SMER.ABCSE が 0 になっている場合、SCI は 16/3 倍で動作します。

27.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージンの式 (1) に示すとおり、SEMR.ABCS ビットが 1、または SEMR.ABCSE ビットが 1 の場合、受信マージンは減少します。そのため、ABCS ビットまたは ABCSE ビットが 0 の状態で、目的とするビットレートが達成できるのであれば、ABCS ビットと ABCSE ビットを 0 にして SCI を使用することが推奨されます。

27.3.5 CTS、RTS 機能

CTS 機能は、CTSn_RTSn 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると送信が開始されます。

送信中に CTSn_RTSn 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTSn_RTSn 端子出力を使用して受信要求を行います。受信可能な状態になると Low が出力されます。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

(a) 非 FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットが 1
- 受信動作中でない
- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

(b) FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットが 1
- FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以下
- SSR_FIFO.ORER (FRDRH.ORER) ビットが 0

[High になる条件]

(a) 非 FIFO 選択時

- Low になる条件を満たさない場合
- 受信完了後に RDR レジスタを読み出すことなく、SCR.RE = 0 によって受信を終了させた場合、RTS は High を維持します。このとき、SCR.RE = 0 を書き込んだ後に SCR レジスタをダミーリードしてください。

(b) FIFO 選択時

- Low になる条件を満たさない場合

27.3.6 アドレス一致（受信データ一致）検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME が 1 の場合（注 4）、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ（CDR.CMPD（注 3））の一致が検出された場合、SCI_{IN}_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対照になります。マルチプロセッサモード（SMR.MP ビット = 1）では、DCCR.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対照となります。MPB ビット = 0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、SCI は受信データの MPB ビットの値にかかわらず、アドレス一致検出を実行します。受信データと比較データ（CDR.CMPD（注 3））の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCI はパリティエラーもフレーミングエラーも検出することができません。SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。

DCCR.IDSEL ビットが 1 であれば、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。同時に、SCR.RIE ビットが 1 になっていると、SCI は SCI_{IN}_RXI 割り込み要求を発行します。

一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタ（注 1）に格納されません。また、SSR.RDRF フラグ（注 2）は 0 を保持します。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、現在のレジスタ設定に従って、SCI は次のデータを連続して受信します。

DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を図 27.5 および図 27.6 に示します。

- 注 1. FCR.FM = 1 の場合、これは FRDRHL レジスタになります。
- 注 2. FCR.FM = 1 の場合、これは SSR_FIFO.RDF フラグになります。
- 注 3. 比較対照は、3 種類のビット長（7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、または 9 ビット長の CMPD[8:0]）から 1 つ選択できます。
- 注 4. アドレス一致検出を実行する受信フレームのスタートビットを受信する前に、DCCR.DCME ビットを 1 にしてください。

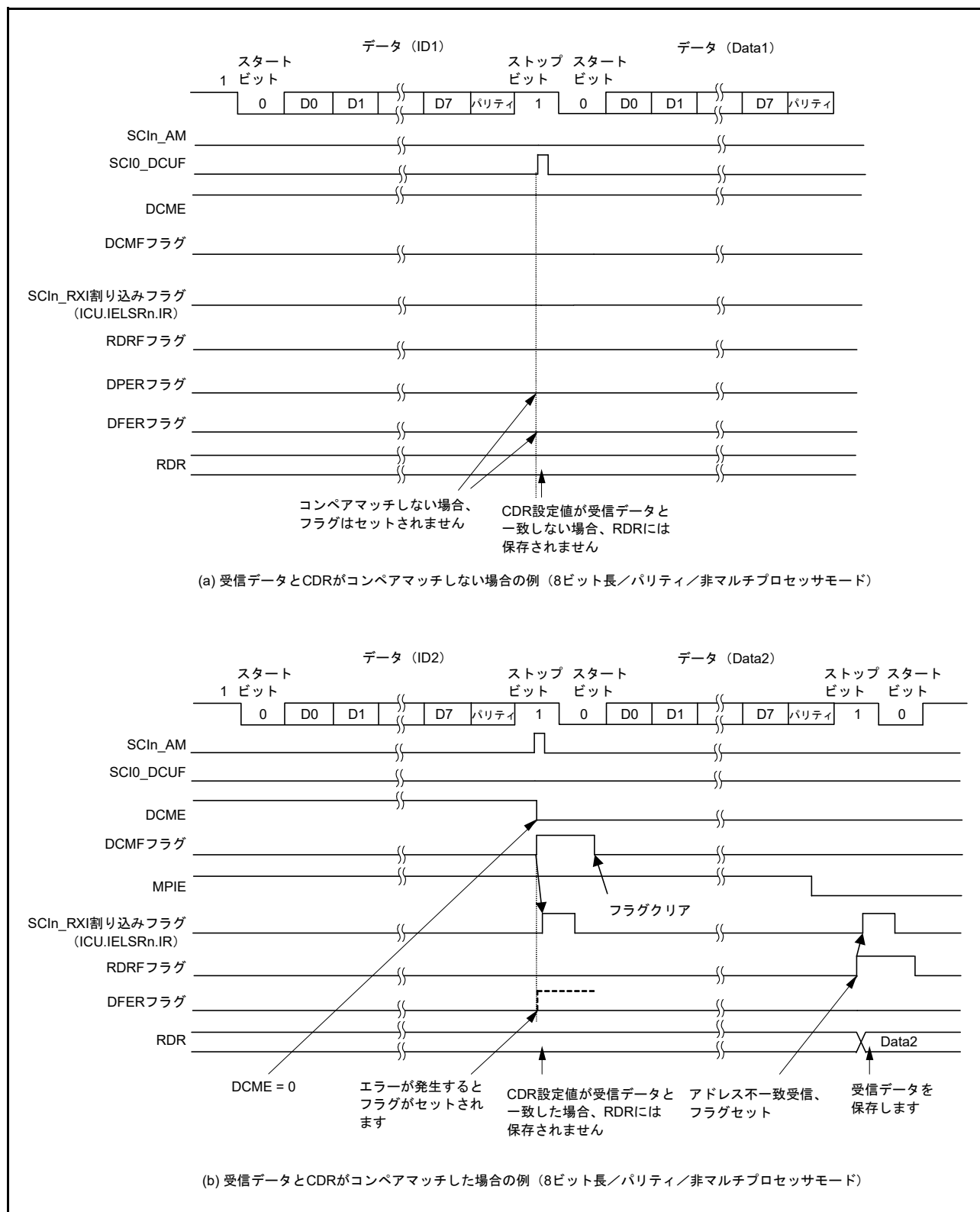


図 27.5 アドレス一致検出の例 (1) (通常モード)

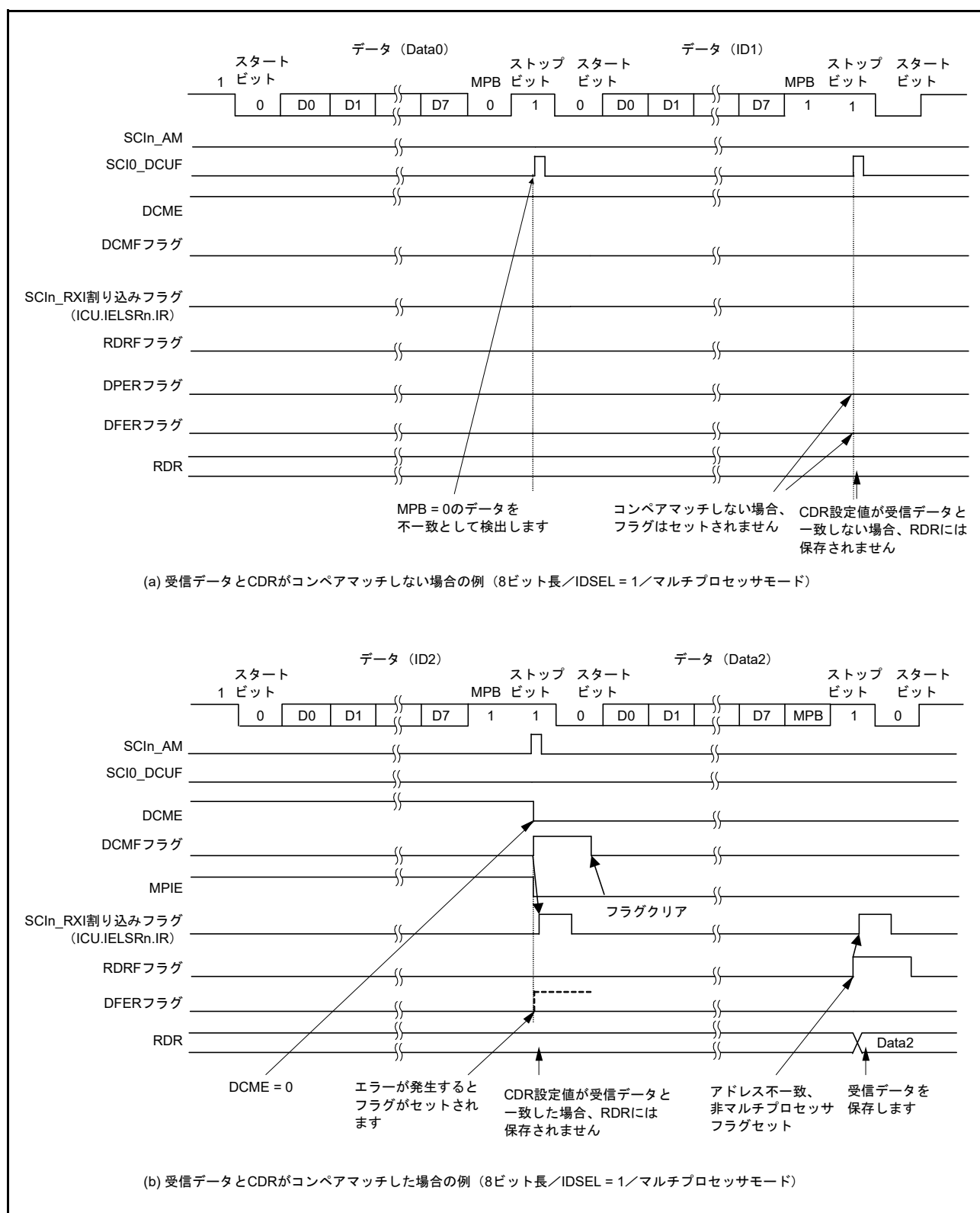


図 27.6 アドレス一致検出の例 (2) (マルチプロセッサモード)

27.3.7 SCI の初期化（調歩同期式モード）

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に図 27.7 および図 27.8 のフローチャートに従って、SCI の設定（非 FIFO 選択時または FIFO 選択時）を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロック信号を供給してください。

- 注． SCR.RE ビットを 0 にすると、SSR レジスタまたは SSR_FIFO レジスタの ORER フラグ、FER フラグ、RDRF フラグ、RDF フラグ、PER フラグ、および DR フラグは初期化されません。また、RDR レジスタと RDRHL レジスタも初期化されません。SCR.TE ビットを 0 にすると、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注． 非 FIFO モードでは、SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI_n_TXI 割り込み要求が発生します。

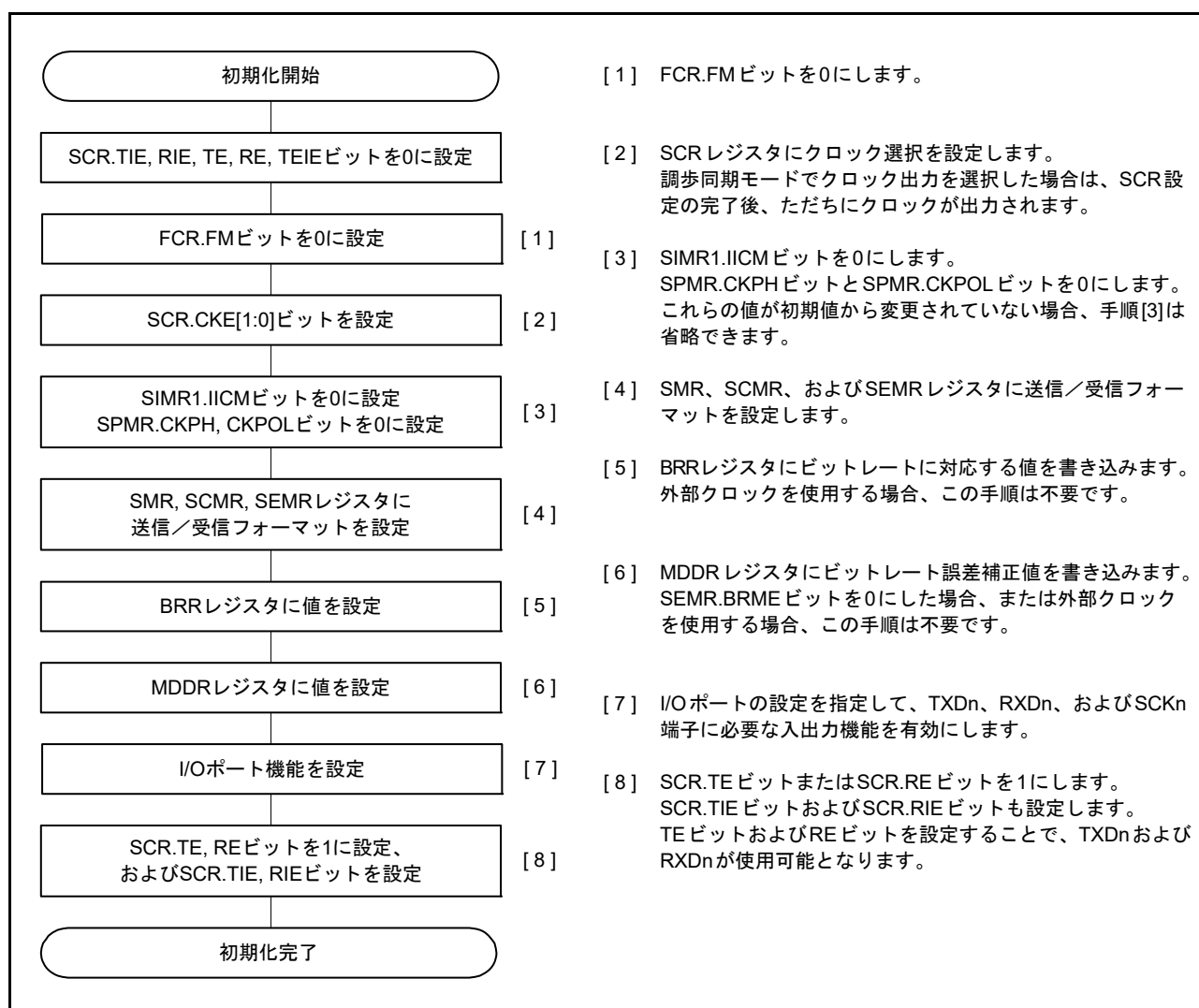


図 27.7 調歩同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）

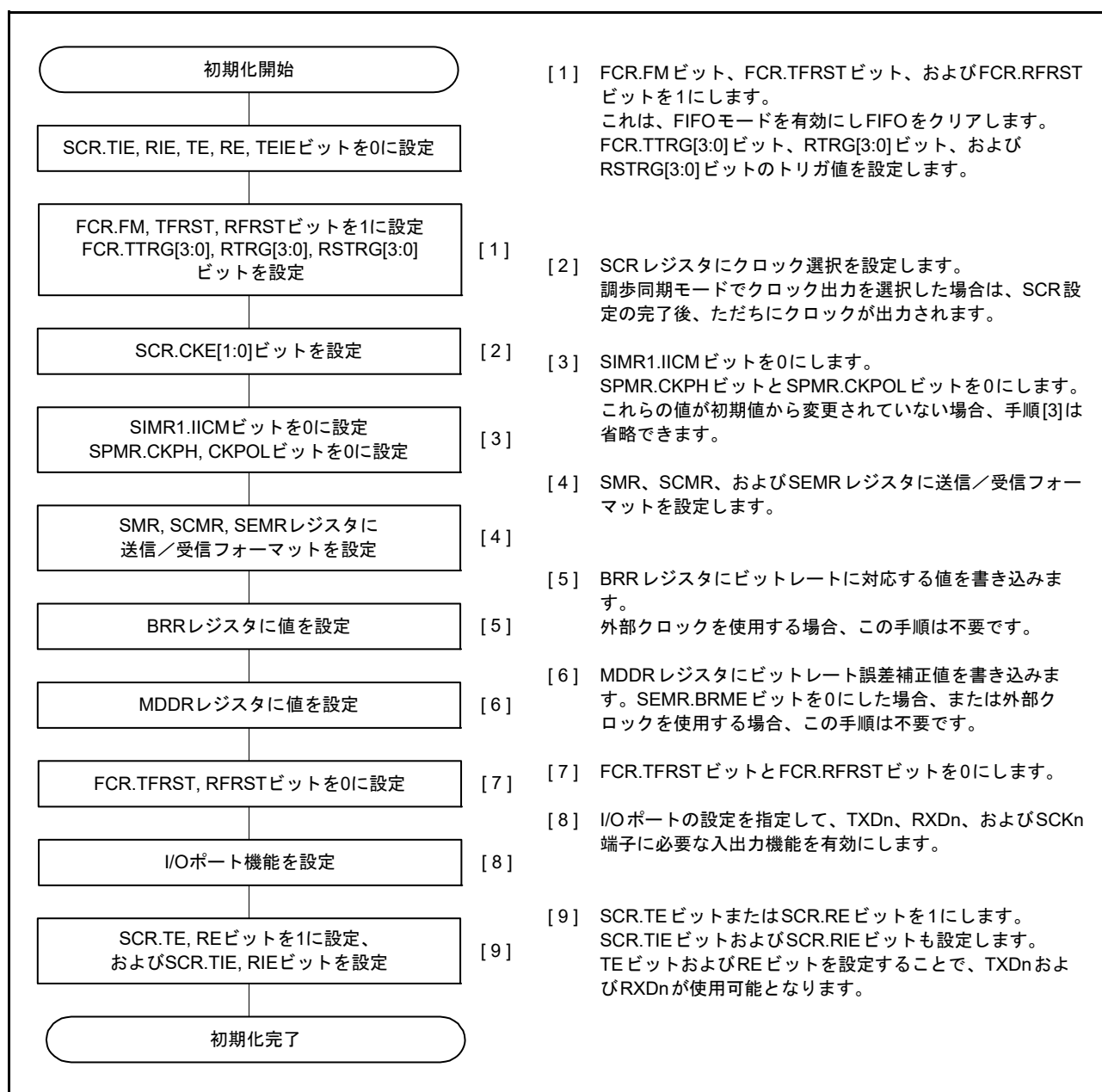


図 27.8 調歩同期式モードにおける SCI の初期化フローチャート例 (FIFO 選択時)

27.3.8 シリアルデータの送信 (調歩同期式モード)

(1) 非 FIFO 選択時

図 27.9、図 27.10、および図 27.11 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本項ではシリアルデータの送信動作について説明します。TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXDn 端子に出力されます。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、SCI は TDR レジスタ (注 1) から TSR レジスタへデータを転送します。
なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTSn_RTSn 端子入力が Low であると、TDR レジスタ (注 1) から TSR レジスタへデータが転送され、送信が開始されます。このとき、SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ (注 1) に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ (注 1) に書き込んだ後、SCR.TIE ビットを 0 (SCIn_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCIn_TEI 割り込み要求を許可) にします。
3. データは、以下の順に TXDn 端子から送り出されます。
 - スタートビット
 - 送信データ
 - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
 - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが 0 (CTS 機能は無効)、または CTSn_RTSn 端子入力が Low で、次の送信データが TDR レジスタ (注 1) から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRHL レジスタになります。

図 27.9、図 27.10、および図 27.11 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

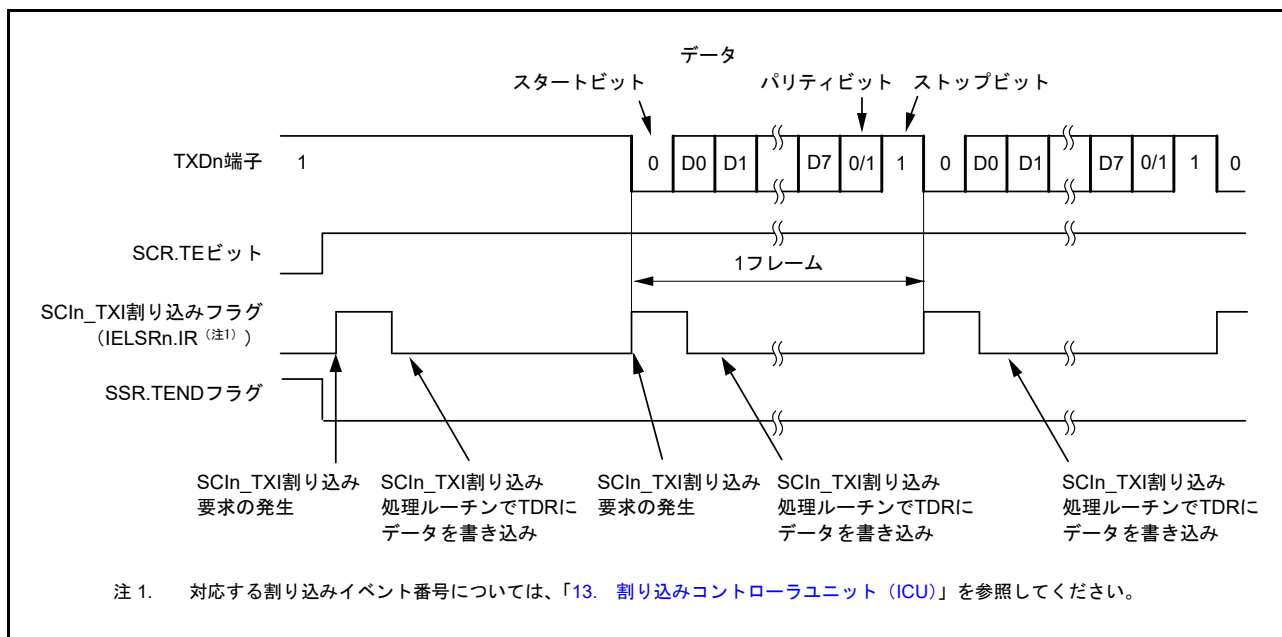


図 27.9 調歩同期式モードのシリアル送信の動作例 (1) (8 ビットデータ/パリティあり/1 ストップビット/CTS 機能不使用/送信開始時)

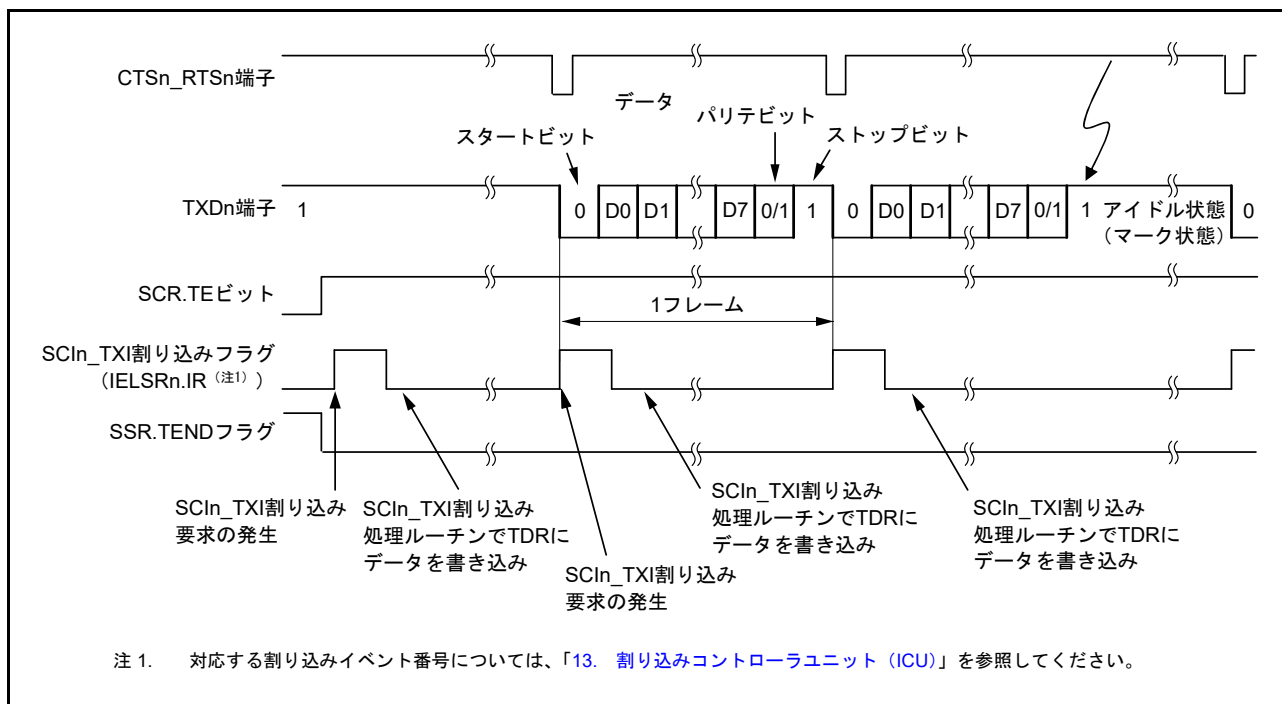


図 27.10 調歩同期式モードのシリアル送信の動作例 (2) (8 ビットデータ/パリティあり/1 ストップビット/CTS 機能使用/送信開始時)

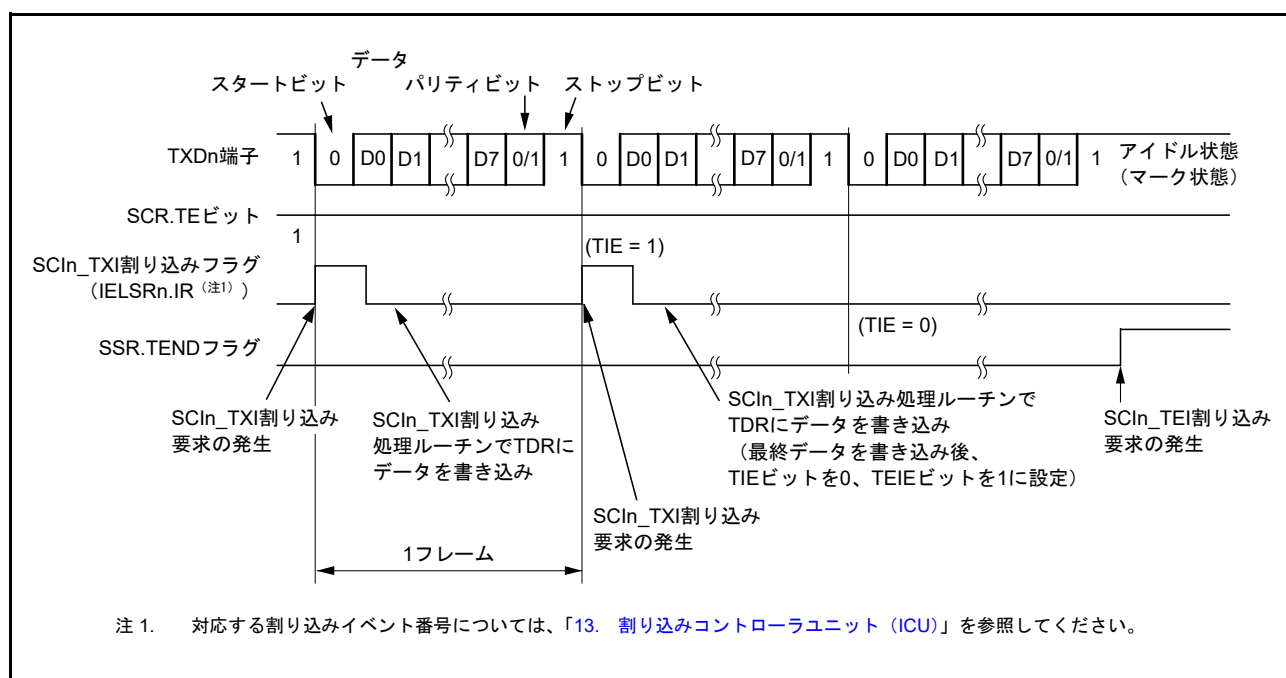


図 27.11 調歩同期式モードのシリアル送信の動作例 (3) (8 ビットデータ/パリティあり/1ストップビット/CTS 機能不使用/送信中～送信終了時)

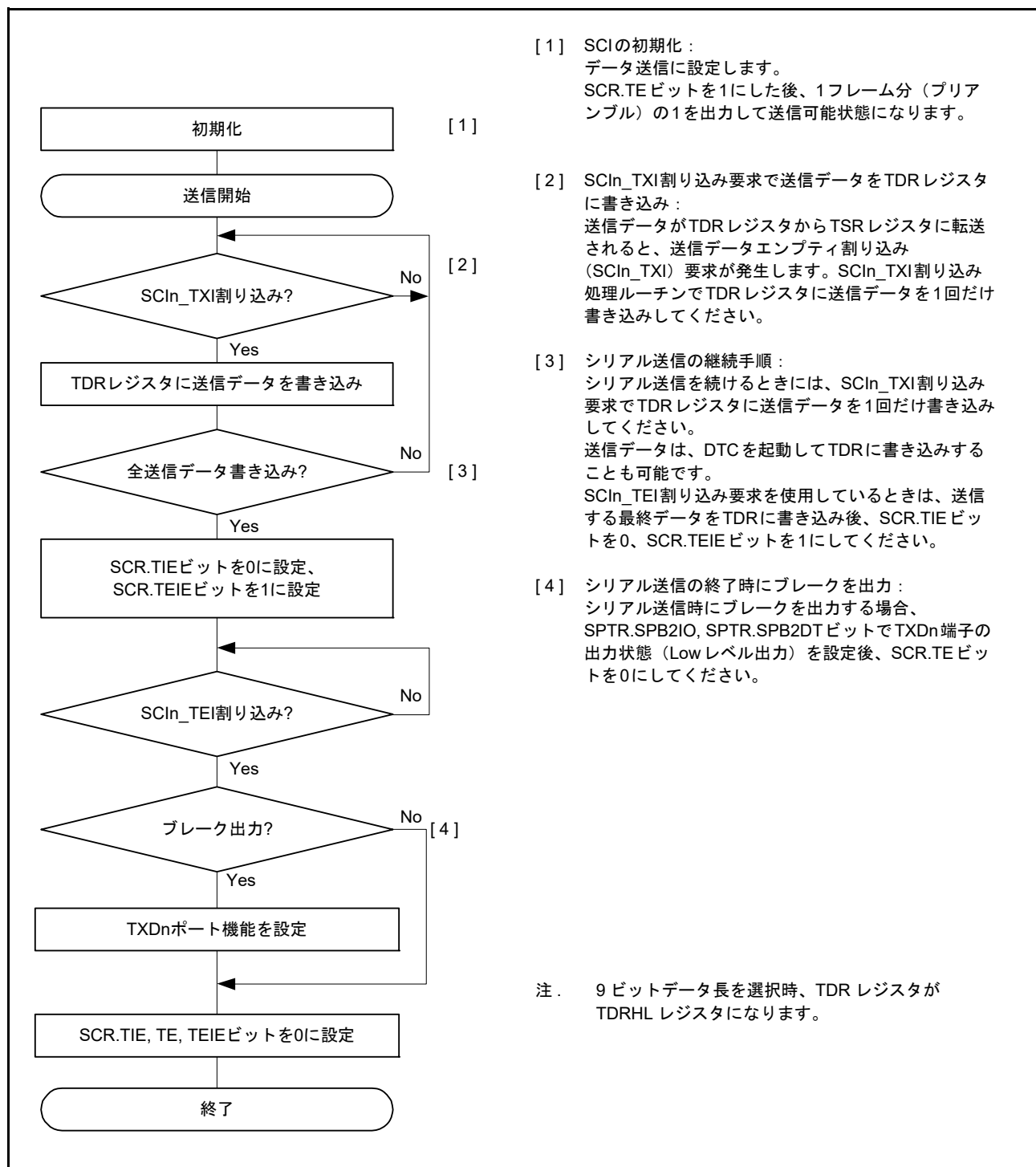


図 27.12 調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 27.13 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH レジスタから FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ															
			FTDRH								FTDRL							
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
8ビット	1	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
9ビット	0	Don't care	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—: 無効ビット。書く場合、0 としてください。

図 27.13 FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマット (FIFO 選択時)

本項ではシリアル送信時の SCI の動作について説明します。TE ビットが 1 の場合、1 フレーム（プリアンブル）分の High レベルが TXDn 端子に出力されます。

- SCI_{IN}_TXI 割り込み処理ルーチンで FTDRL レジスタ（注 1）にデータが書き込まれると、SCI は FTDRL レジスタ（注 1）から TSR レジスタへデータを転送します。
FTDRL レジスタに書き込み可能なデータのバイト数は“16-FDR.T[4:0]”です。なお、送信開始時の SCI_{IN}_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SPMR.CTSE ビットが 0（CTS 機能は無効）であり、かつ CTSn_RTSn 端子入力が Low であると、FTDRL レジスタ（注 1）から TSR レジスタへデータが転送され、送信が開始されます。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。このとき、SCR.TIE ビットが 1 になっていると、SCI_{IN}_TXI 割り込み要求が発生します。この SCI_{IN}_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタ（注 1）に次の送信データを書き込むことで連続送信が可能になります。SCI_{IN}_TEI 割り込み要求を使用する場合は、SCI_{IN}_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ（注 1）（注 2）に書き込んだ後、SCR.TIE ビットを 0（SCI_{IN}_TXI 割り込み要求を禁止）にして、SCR.TEIE ビットを 1（SCI_{IN}_TEI 割り込み要求を許可）にします。
- データは、以下の順に TXDn 端子から送り出されます。
 - スタートビット
 - 送信データ
 - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
 - ストップビット
- ストップビット出力のタイミングで、SCI は FTDRL レジスタ（注 3）に未送信データが残っていないかチェックします。
- FTDRL レジスタ（注 3）にデータがある場合、SPMR.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、次の送信データが FTDRL レジスタ（注 1）から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
- FTDRL レジスタ（注 3）にデータがない場合、SSR_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR_FIFO.TEND フラグが 1 になり、SCI_{IN}_TEI 割り込み要求が発生します。

- 注 1. データ長 9 ビット選択時は、FTDRH および FTDRL レジスタにデータを書き込んでください。
- 注 2. データ長 9 ビット選択時は、FTDRH レジスタ→FTDRL レジスタの順にデータを書き込んでください。
- 注 3. データ長 9 ビット選択時は、FTDRL レジスタ更新のみチェックし、FTDRH レジスタ更新はチェックしません。

図 27.14 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

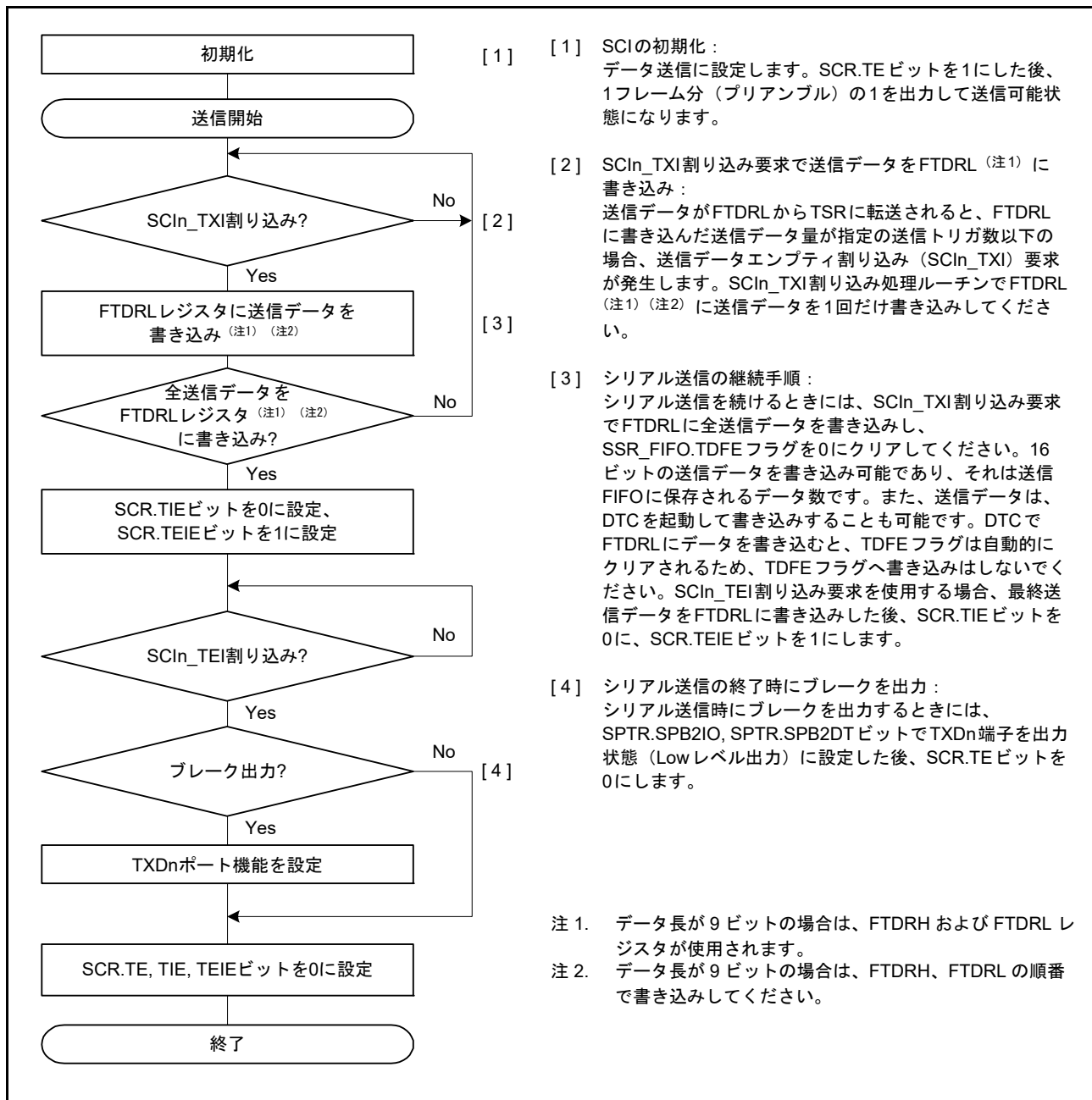


図 27.14 調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

27.3.9 シリアルデータの受信（調歩同期式モード）

(1) 非 FIFO 選択時

図 27.15 と図 27.16 に、調歩同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS_n_RTS_n 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタ（注 1）へ転送されません。
4. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ（注 1）へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ（注 1）へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタ（注 1）へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTS_n_RTS_n 端子出力が Low になります。

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

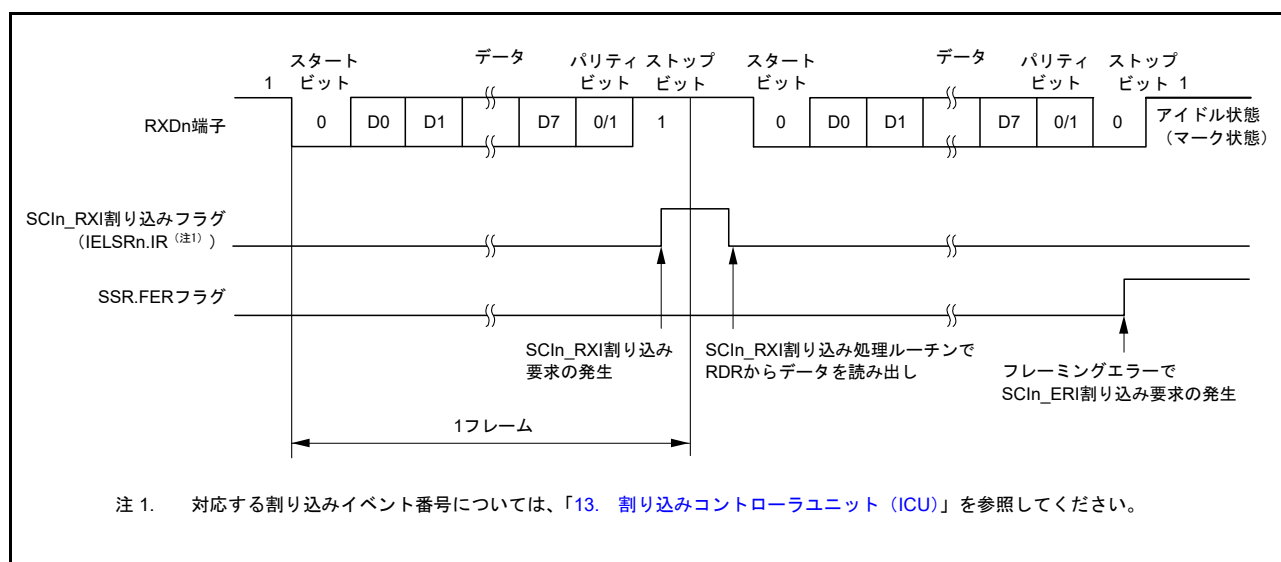


図 27.15 調歩同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合) (8 ビットデータ / パリティあり / 1 ストップビットの場合)

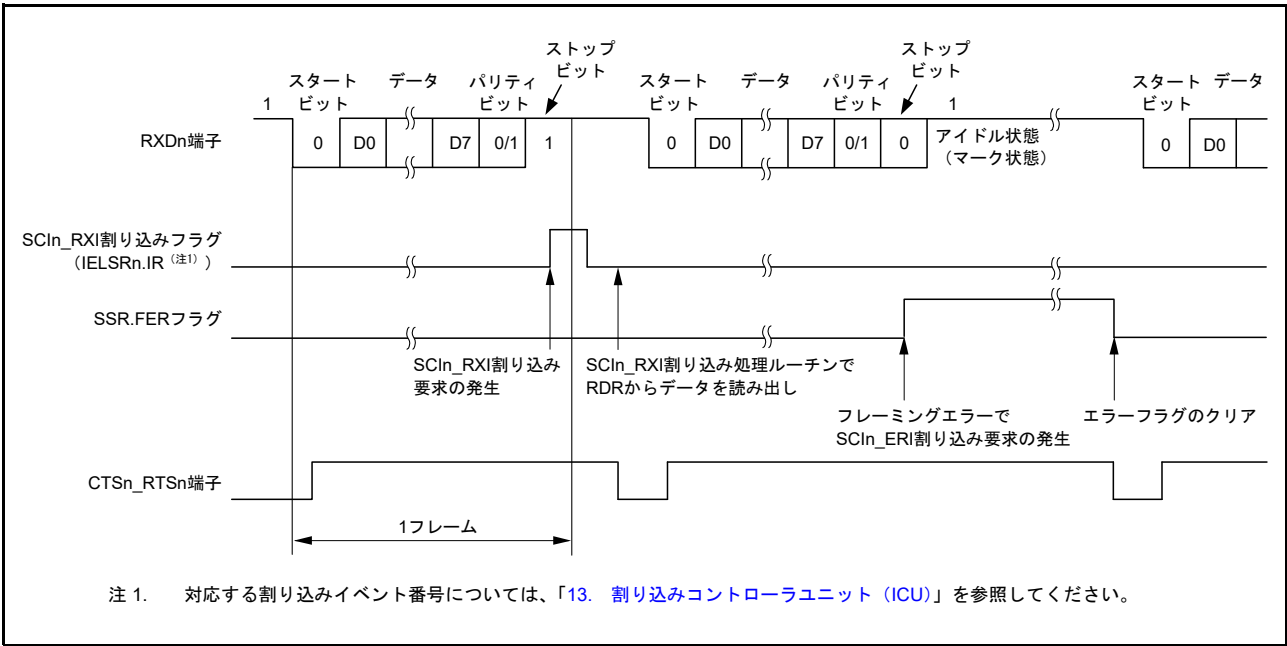


図 27.16 調歩同期式モードにおけるシリアル受信の動作例 (2)
(RTS 機能を使用する場合) (8 ビットデータ/パリティあり/1 ストップビットの場合)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 27.24 に示します。

受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR または RDRHL レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR または RDRHL レジスタに読み出し前の受信データが残っている可能性があるため、RDR または RDRHL レジスタを読み出す必要があります。

図 27.17 と図 27.18 に、シリアル受信のフローチャート例を示します。

表 27.24 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR (注1) へ転送	フレーミングエラー
0	0	1	RDR (注1) へ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDR (注1) へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

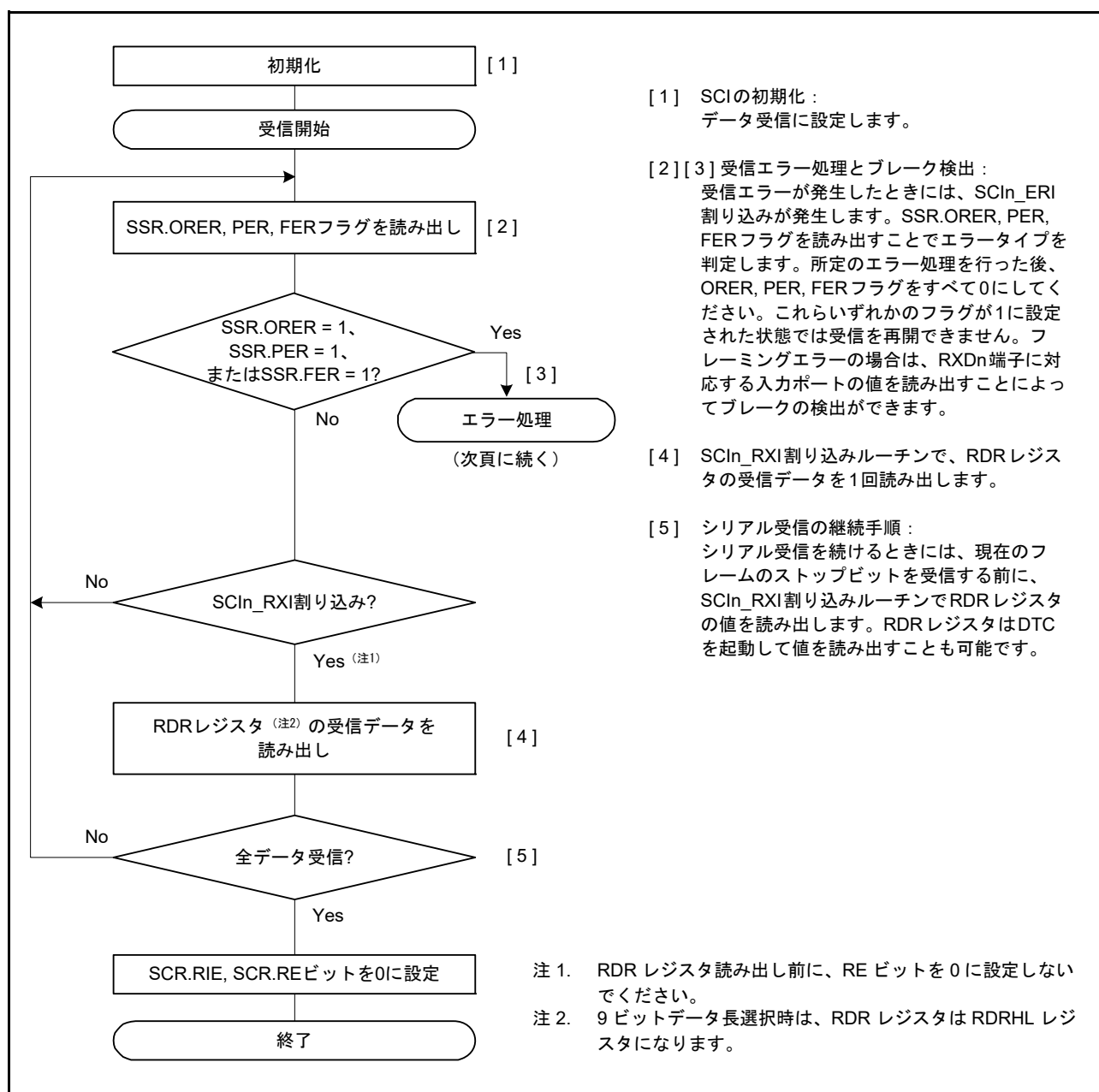


図 27.17 調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）(1)

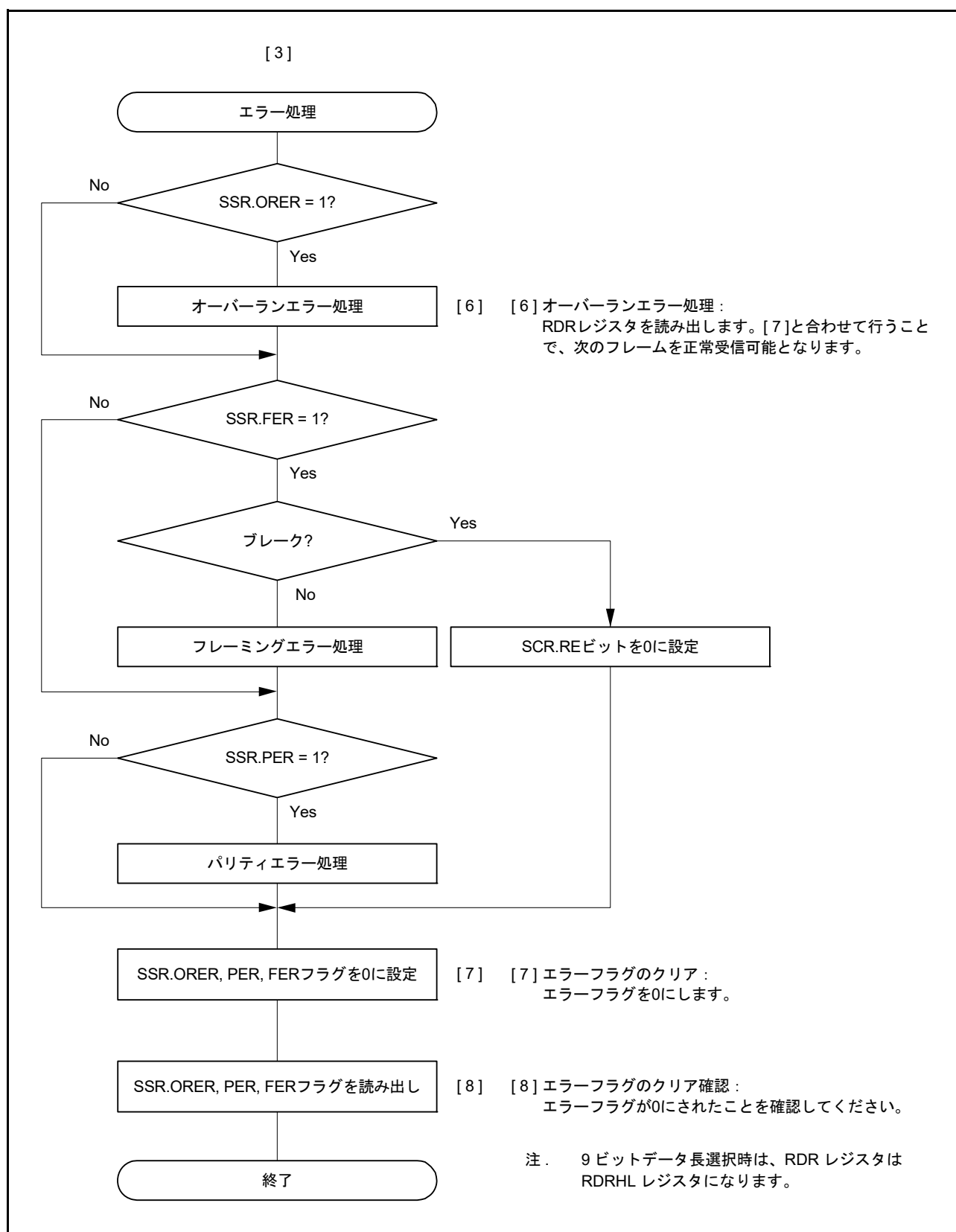


図 27.18 調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）(2)

(2) FIFO 選択時

図 27.19 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB フラグに 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH レジスタ→FRDRL レジスタの順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、PER、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF フラグ、ORER フラグ、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ																	
			FRDRHL																	
			FRDRH								FRDRL									
	SCMR. CHR1	SMR. CHR	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
7ビット	1	1	—	RDF	ORER	FER	PER	DR	0	0	0	7ビット受信データ								
8ビット	1	0	—	RDF	ORER	FER	PER	DR	0	0	8ビット受信データ									
9ビット	0	Don't care	—	RDF	ORER	FER	PER	DR	0	9ビット受信データ										

注 .

MPB フラグからは常に 0 が読み出されます (FRDRHL[9])。

データ長が 7 ビットの時、FRDRHL[8]、FRDRHL[7] からは常に 0 が読み出されます。

データ長が 8 ビットの時、FRDRHL[8] から常に 0 が読み出されます。

FRDRHL[15] ビットの読み出し値は不定です。

図 27.19 FRDRH レジスタと FRDRL レジスタに格納されるデータフォーマット (FIFO 選択時)

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS_n_RTS_n 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{in}_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ (注 1) へ転送されません。
4. パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ (注 1) へ転送されます。このとき、RIE ビットが 1 になっていると、SCI_{in}_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ (注 1) へ転送されます。このとき、RIE ビットが 1 になっていると、SCI_{in}_ERI 割り込み要求が発生します。
6. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分であることが検出された場合、受信動作が停止します。
7. 受信 FIFO データレジスタ (FRDRL) に格納されたデータ数が指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていない場合は、SSR_FIFO.DR ビットが 1 になります。RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCI_{in}_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCI_{in}_ERI 割り込み要求を発生させます。
8. 正常に受信したときは、受信データが FRDRL レジスタ (注 1) へ転送されます。FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以上であると、RDF ビットが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{in}_RXI 割り込み要求が発生します。この SCI_{in}_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ (注 2) へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタ (注 3) へ転送された受信データ数が RTS トリガ数未満であると、CTS_n_RTS_n 端子出力が Low になります。

- 注 1. データ長 9 ビット選択時は、FRDRH レジスタと FRDRL レジスタになります。
- 注 2. データ長 9 ビット選択時は、FRDRH レジスタ→FRDRL レジスタの順にデータを読み出してください。
- 注 3. データ長 9 ビット選択時は、FRDRL レジスタ更新のみチェックし、FRDRH レジスタ更新はチェックしません。

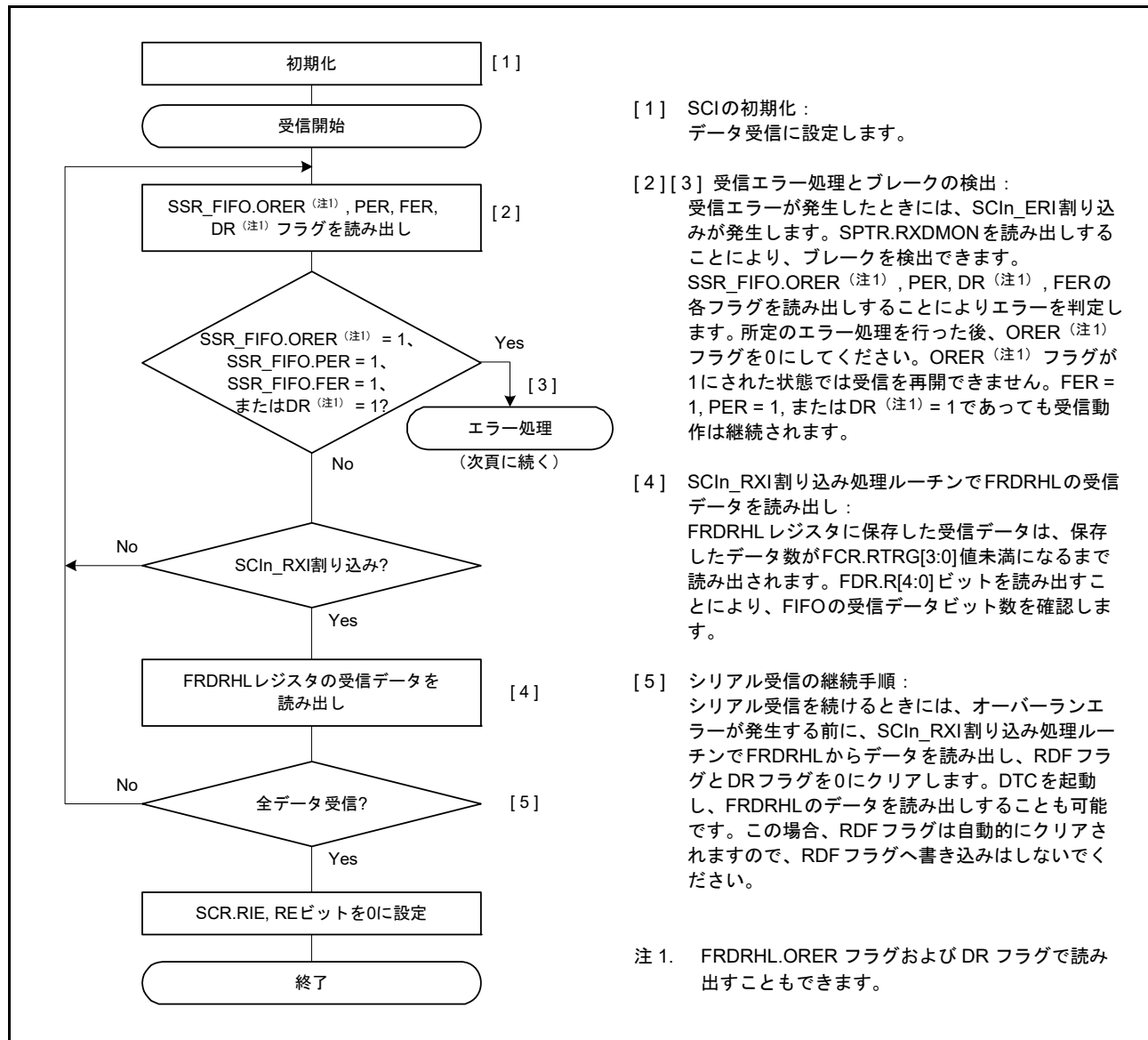


図 27.20 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時) (1)

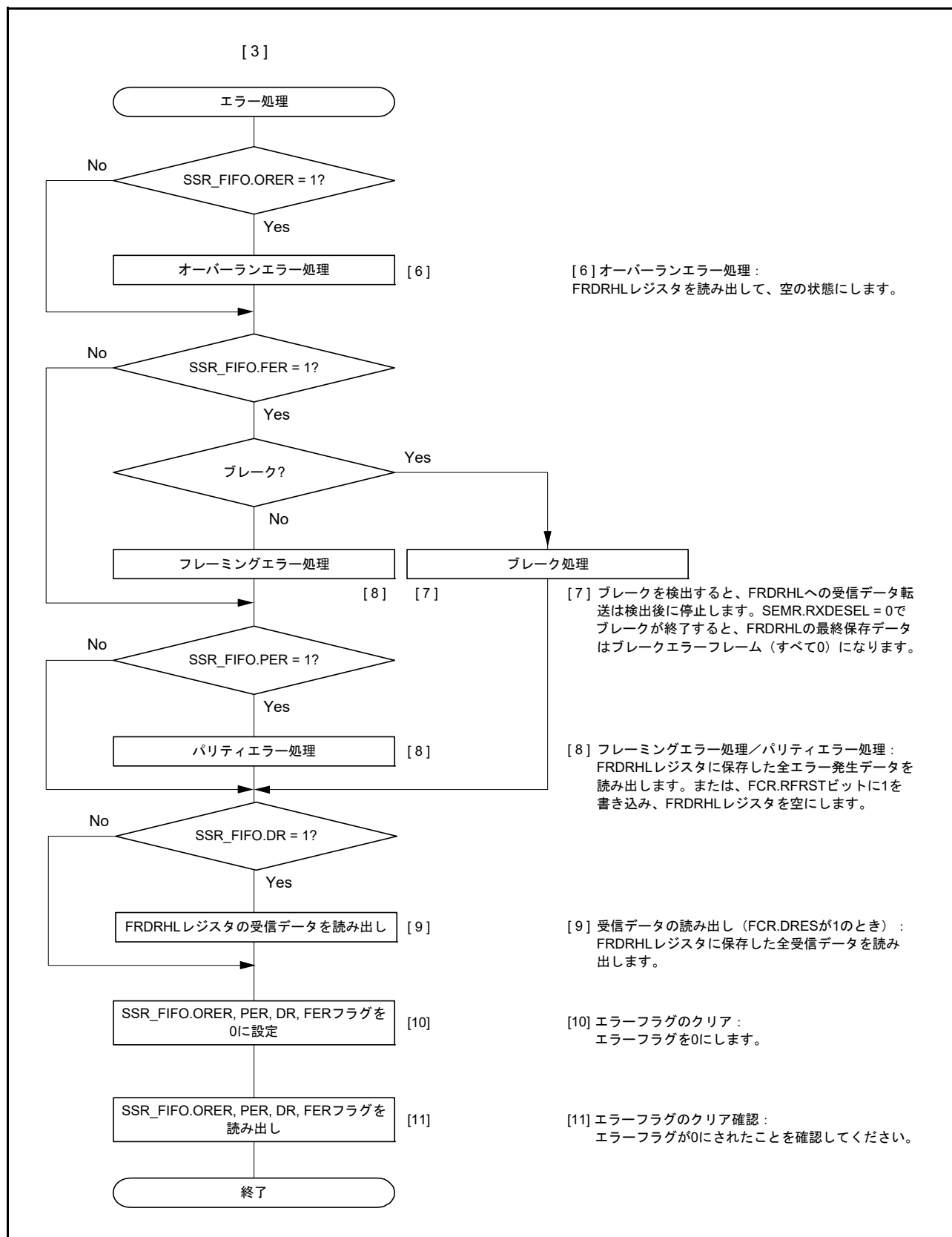


図 27.21 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）（2）

27.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間で通信回線を共有したデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 27.22 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、再びマルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

(1) 非 FIFO 選択時

SCI はこの機能をサポートするため、SCR.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）への受信データの転送
- 受信エラーの検出
- SSR.RDRF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 のキャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SSR.MPIE ビットが自動的にクリアされ、SCI は非マルチプロセッサ受信動作に戻ります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{in}_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、非マルチプロセッサ調歩同期式モードでの動作と変わりません。マルチプロセッサ通信を行うときのクロックも、非マルチプロセッサ調歩同期式モードで使用するクロックと同一です。

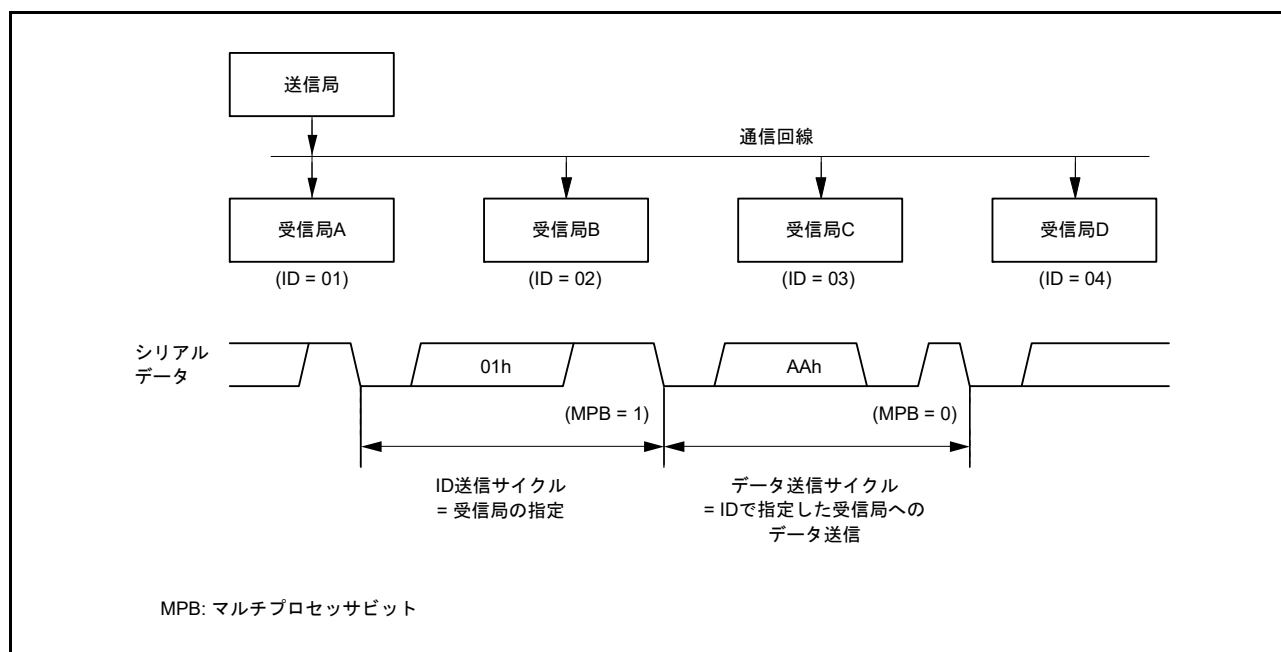


図 27.22 マルチプロセッサフォーマットを使用した通信例（データ AAh を受信局 A に送信する場合）

(2) FIFO 選択時

データ送信では、ソフトウェアにおいて、FTDRHL.TDAT 内の送信データに対応する FTDRHL.MPBT ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが FRDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR_FIFO.RDF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 の 8 ビットキャラクタを受信すると、FRDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT ビットに書き込まれます。SCR.MPIE ビットが自動的にクリアされるので、SCI は非マルチプロセッサ受信動作に戻ります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{In}_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、非マルチプロセッサ調歩同期式モードでの非 FIFO 選択時の動作と変わりません。

27.4.1 マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 27.23 に、マルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は調歩同期式モードの動作と同じです。

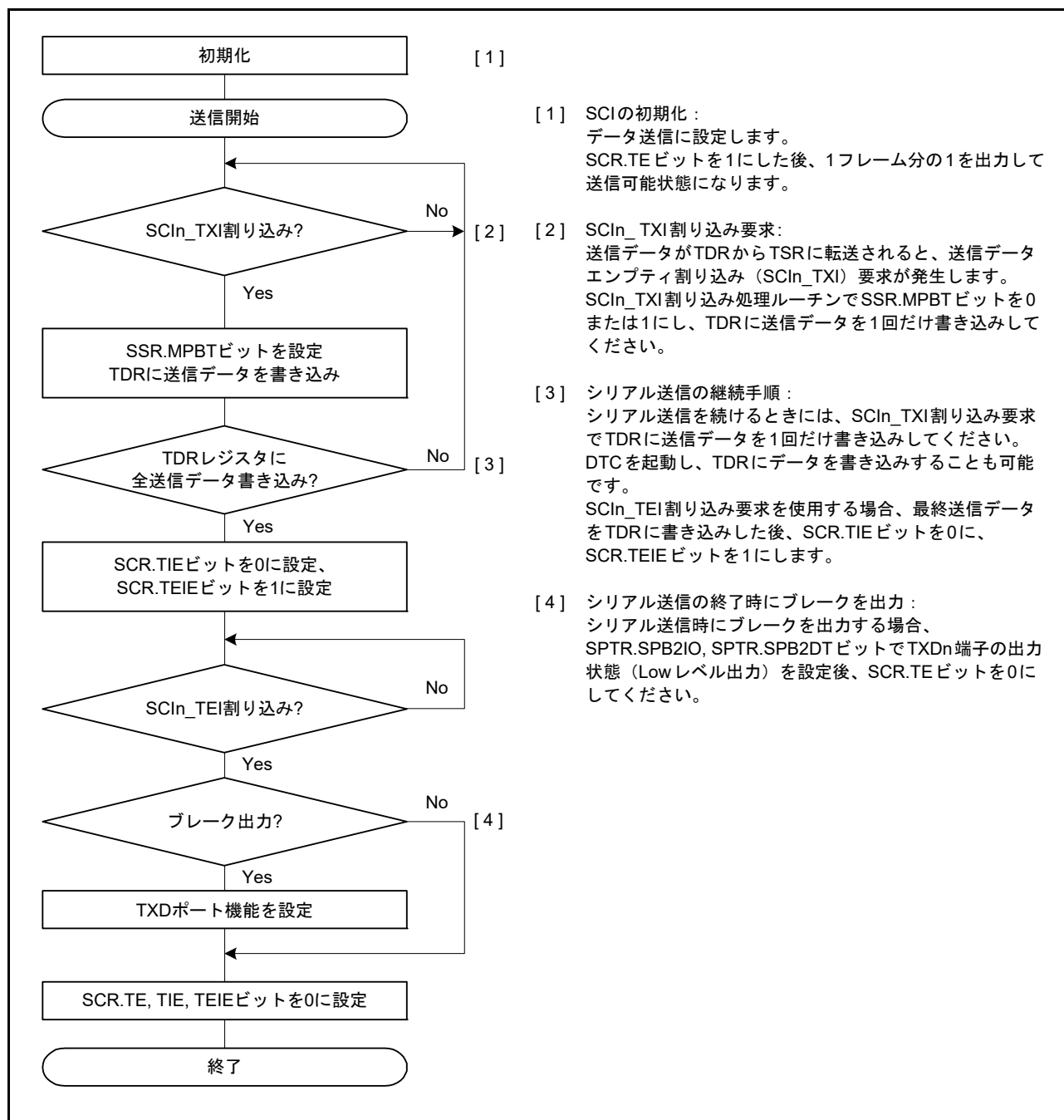


図 27.23 マルチプロセッサシリアル送信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 27.24 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

FTDRH レジスタの MPBT ビットが 1 になります。データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH レジスタ→FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ																	
			FTDRH								FTDRL									
	SCMR. CHR1	SMR. CHR	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
7ビット	1	1	—	—	—	—	—	—	MPBT	—	—	7ビット送信データ								
8ビット	1	0	—	—	—	—	—	—	MPBT	—	8ビット送信データ									
9ビット	0	Don't care	—	—	—	—	—	—	MPBT	9ビット送信データ										

—：無効ビット。書く場合、0 としてください。

図 27.24 マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマット（FIFO 選択時）

図 27.25 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。

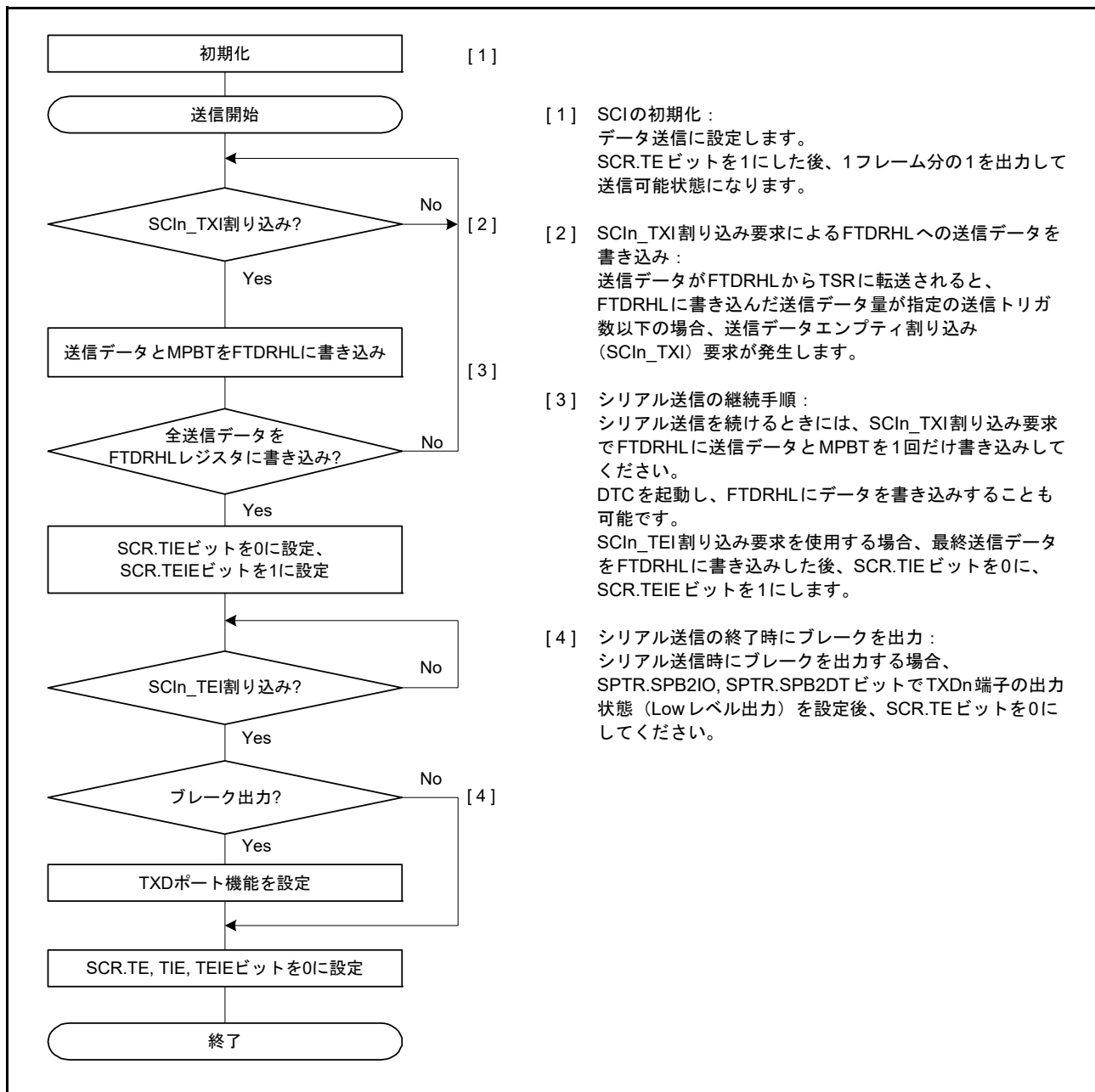


図 27.25 マルチプロセッサモードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

27.4.2 マルチプロセッサシリアルデータ受信

(1) 非 FIFO 選択時

図 27.27 と図 27.28 に、マルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データが読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）へ転送されます。このとき SCIn_RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 27.26 に、データ受信時の動作例を示します。

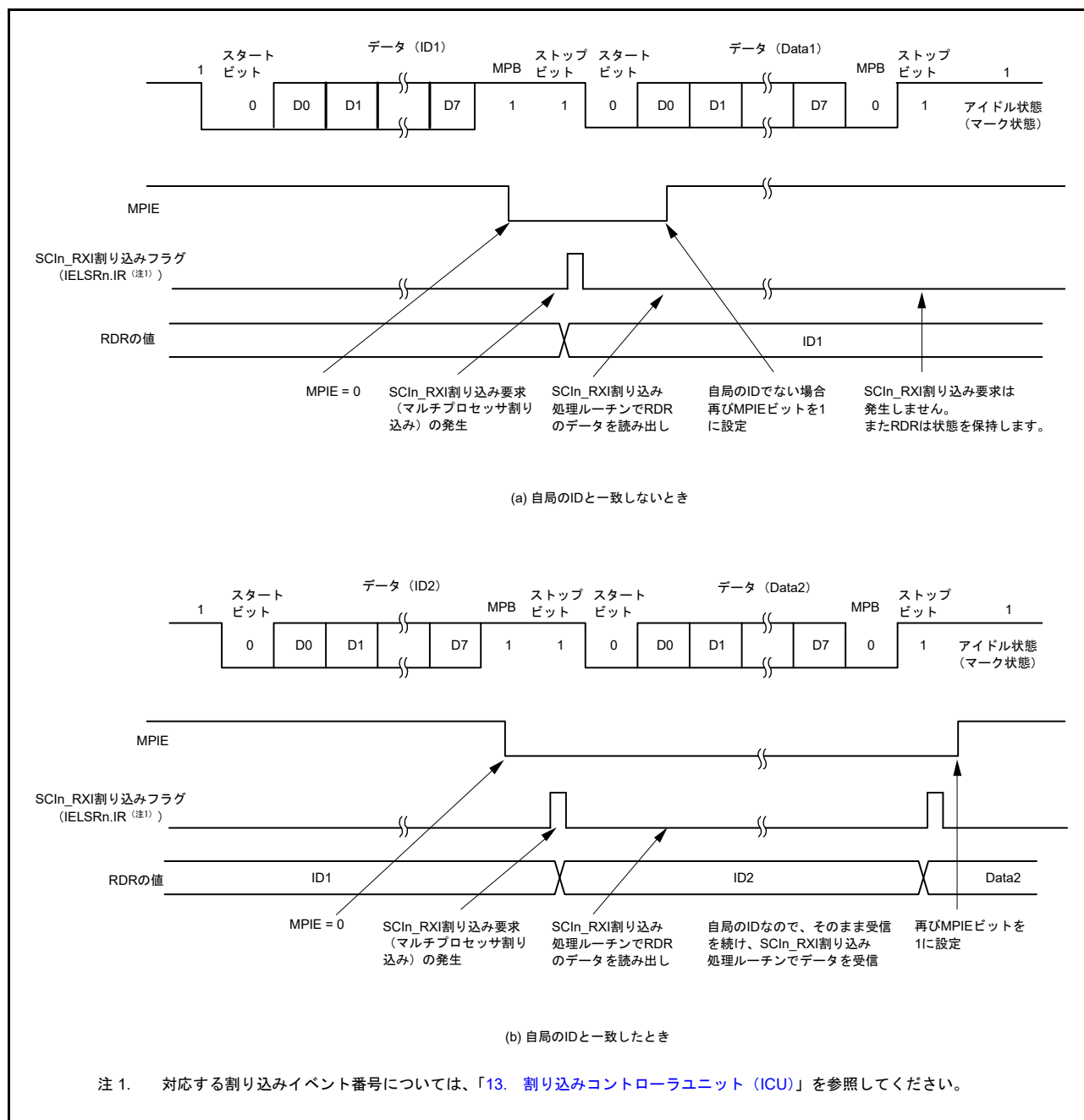


図 27.26 SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの場合）

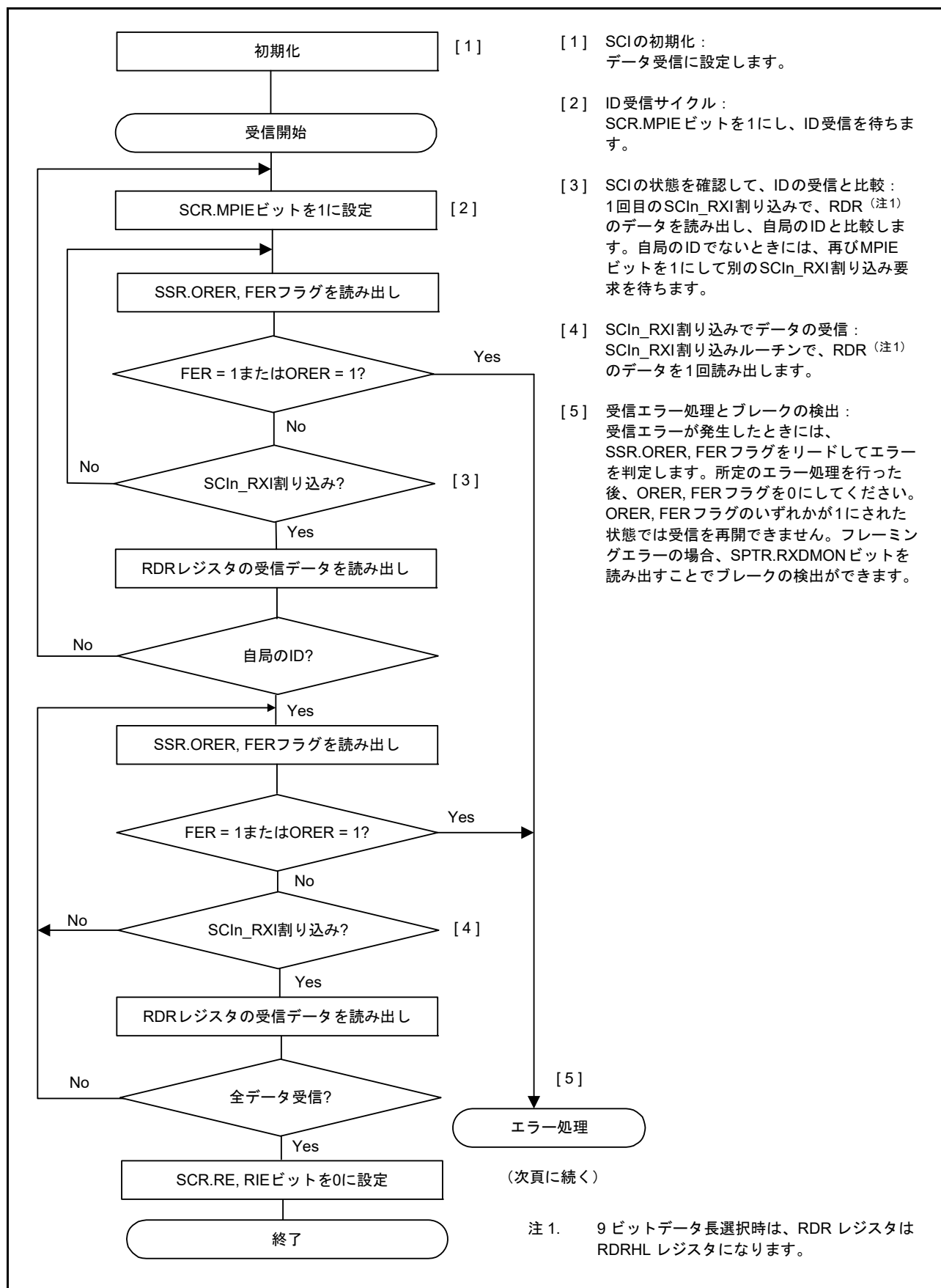


図 27.27 マルチプロセッサシリアル受信のフローチャート例 (非 FIFO 選択時) (1)

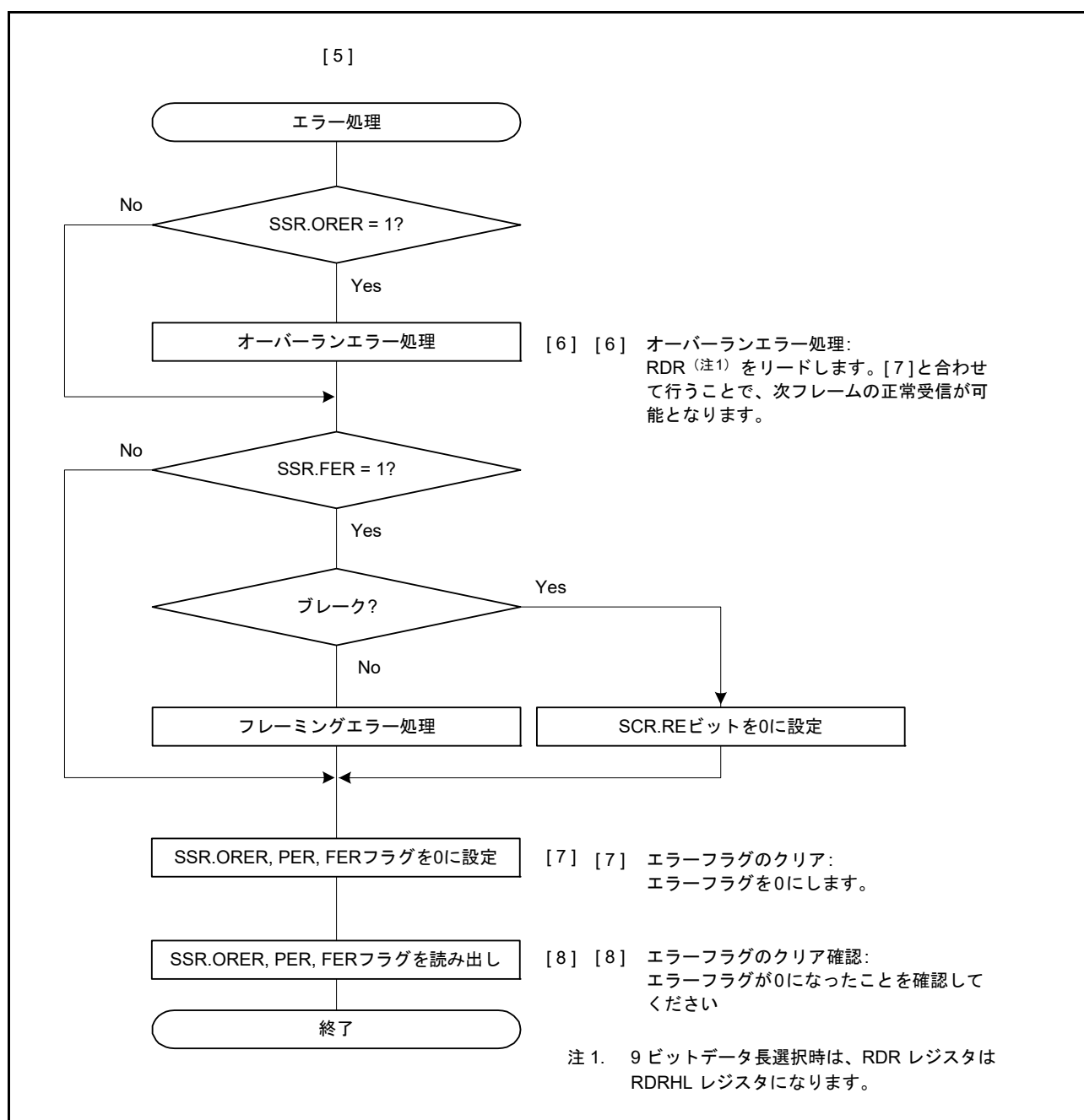


図 27.28 マルチプロセッサシリアル受信のフローチャート例 (非 FIFO 選択時) (2)

(2) FIFO 選択時

図 27.29 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH.MPB フラグ (FRDRHL[9]) に書き込まれます。FRDRH.PER フラグ (FRDRHL[11]) に 0 が書き込まれます。適切なデータ長のデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。

FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、MPB、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF フラグ、ORER フラグ、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ																				
			FRDRHL																				
	SCMR. CHR1	SMR. CHR	FRDRH								FRDRL												
			b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0					
7ビット	1	1	—	RDF	ORER	FER	0	DR	MPB	0	0	7ビット受信データ											
8ビット	1	0	—	RDF	ORER	FER	0	DR	MPB	0	8ビット受信データ												
9ビット	0	Don't care	—	RDF	ORER	FER	0	DR	MPB	9ビット受信データ													

注. データ長が 7 ビットの時、FRDRHL[8]、FRDRHL[7] からは常に 0 が読み出されます。
 データ長が 8 ビットの時、FRDRHL[8] から常に 0 が読み出されます。
 FRDRHL[15] ビットの読み出し値は不定です。

図 27.29 マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに格納されるデータフォーマット (FIFO 選択時)

図 27.30 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。

SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データが読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットが自動的にクリアされ、通常の受信動作が継続します。

フレーミングエラーが発生して SSR_FIFO.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。

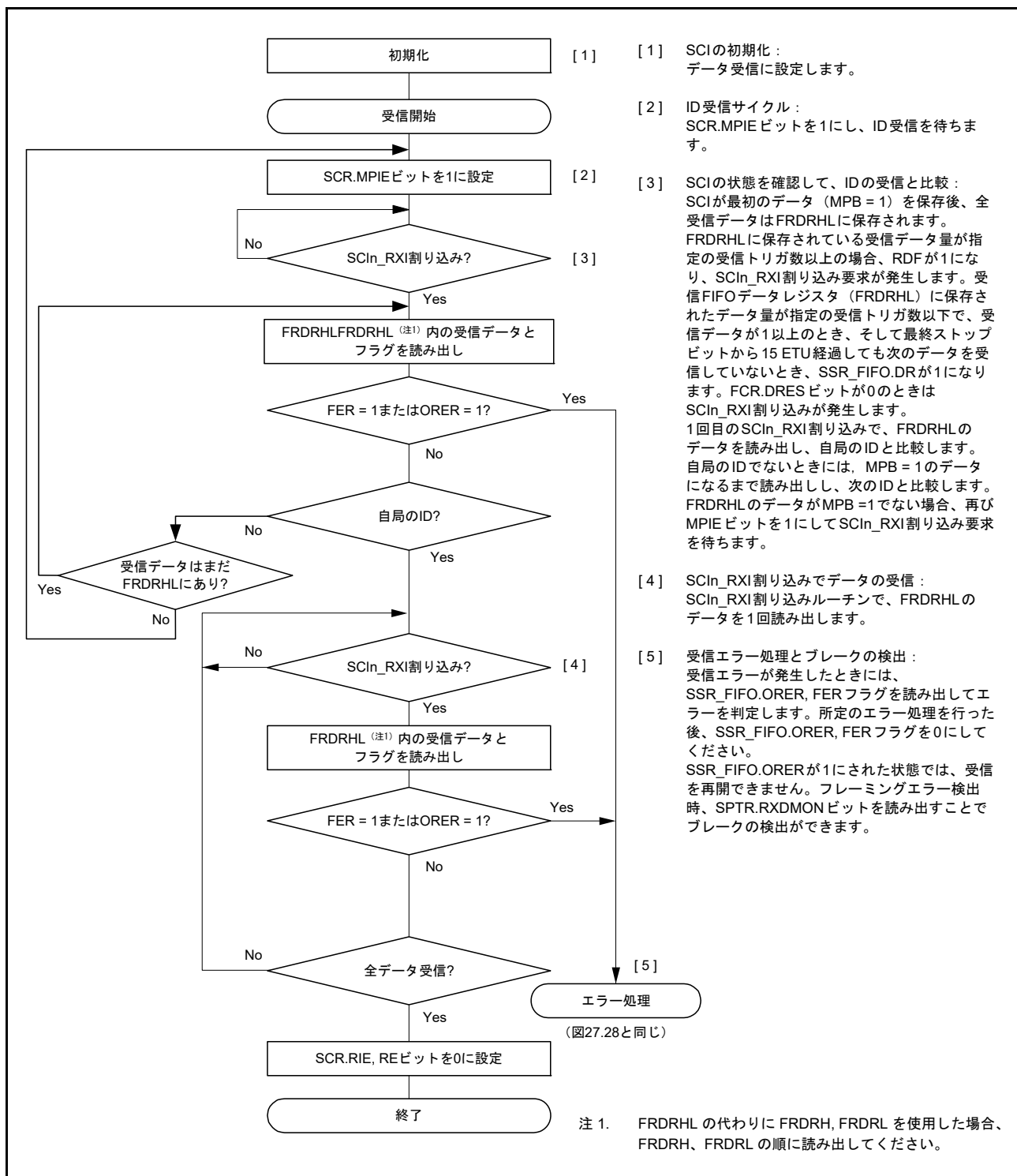


図 27.30 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

27.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 27.31 に示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりから次の立ち上がりまでデータを取り込みます。8 ビット出力後の送信ラインは最終ビット出力状態を保ちます。スレープモードにおいて SPMR.CKPH ビットが 1 の場合、第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続送受信動作が実現されます。

ただし、最高速ビットレートの設定 (BRR = 00h および SMR.CKS[1:0] = 00b) では、連続送受信動作が不可能です。そのため FIFO 選択時は、この設定 (BRR = 00h および SMR.CKS[1:0] = 00b) は利用できません。

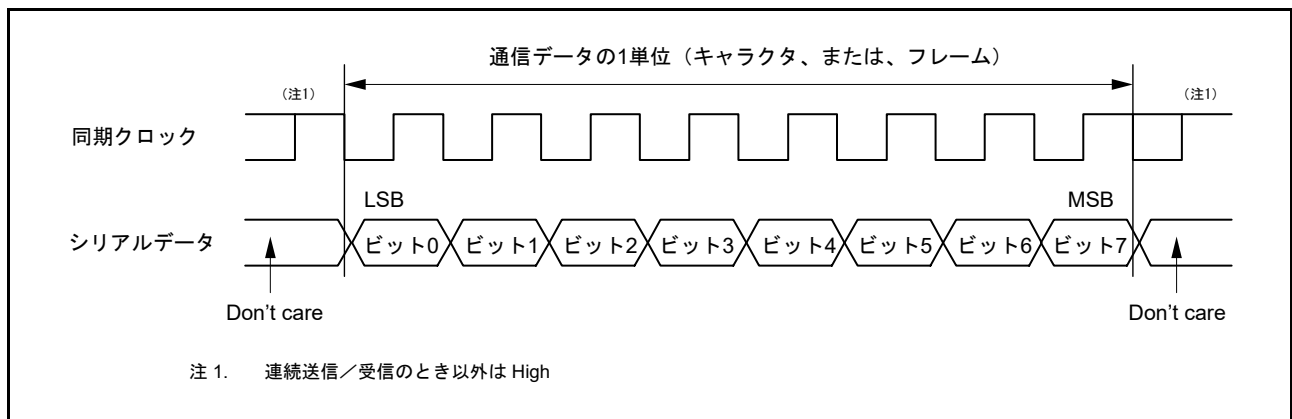


図 27.31 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

27.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると同時に、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル（注 1）で停止します。

受信動作のみが発生し、CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn_RTSn 入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn_RTSn 入力が Low であれば、同期クロックの出力が始まります。フレームの受信が完了した時点で CTSn_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn_RTSn 入力が引き続き Low であれば、同期クロックは、High レベル（注 1）になりオーバーランエラーが発生したとき、または SCR.RE ビットが 0 になったときに停止します。

- 注 1. 「SPMR.CKPH = 0、かつ SPMR.CKPOL = 0」または「SPMR.CKPH = 1、かつ SPMR.CKPOL = 1」の状態にあるとき、信号は High に固定されます。
 「SPMR.CKPH = 0、かつ SPMR.CKPOL = 1」または「SPMR.CKPH = 1、かつ SPMR.CKPOL = 0」の状態にあるとき、信号は Low に固定されます。

27.5.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTS_n RTS_n 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS_n RTS_n 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTS_n RTS_n 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTS_n RTS_n 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTS_n RTS_n 出力が Low になります。CTS_n RTS_n 端子出力が Low および High となる条件は以下のとおりです。

[Low になる条件]

(a) 非 FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- シリアル通信が許可されている
- 読み出し前の受信データがない (SCR.RE ビットが 1 のとき)
- 送信データを書き込み済み (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1、かつ SCR.CKE[1] ビットが 1 の場合)
- SSR.ORER フラグが 0

(b) FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- シリアル通信が許可されている
- FRDRHL に書き込まれた受信データ数が指定された CTS_n RTS_n 出力トリガ数より少ない (SCR.RE = 1 の場合)
- FTDRHL レジスタに未送信データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR_FIFO.ORER フラグが 0

[High になる条件]

(a) 非 FIFO 選択時

- Low になる条件を満たさない場合
- 受信完了後に RDR レジスタを読み出すことなく、SCR.RE = 0 によって受信を終了させた場合、RTS は High を維持します。SCR.RE = 0 を書き込んだ後に SCR レジスタをダミーリードしてください。

(b) FIFO 選択時

- Low になる条件を満たさない場合

27.5.3 SCI の初期化 (クロック同期式モード)

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に 27.5.2 CTS、RTS 機能の非 FIFO 選択時または FIFO 選択時の説明に従って SCI の初期設定を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

- 注. SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、RDRF、RDF、PER、DR の各フラグ、ならびに RDR レジスタと RDRHL レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注. 非 FIFO モードでは、SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI_n_TXI 割り込み要求が発生します。

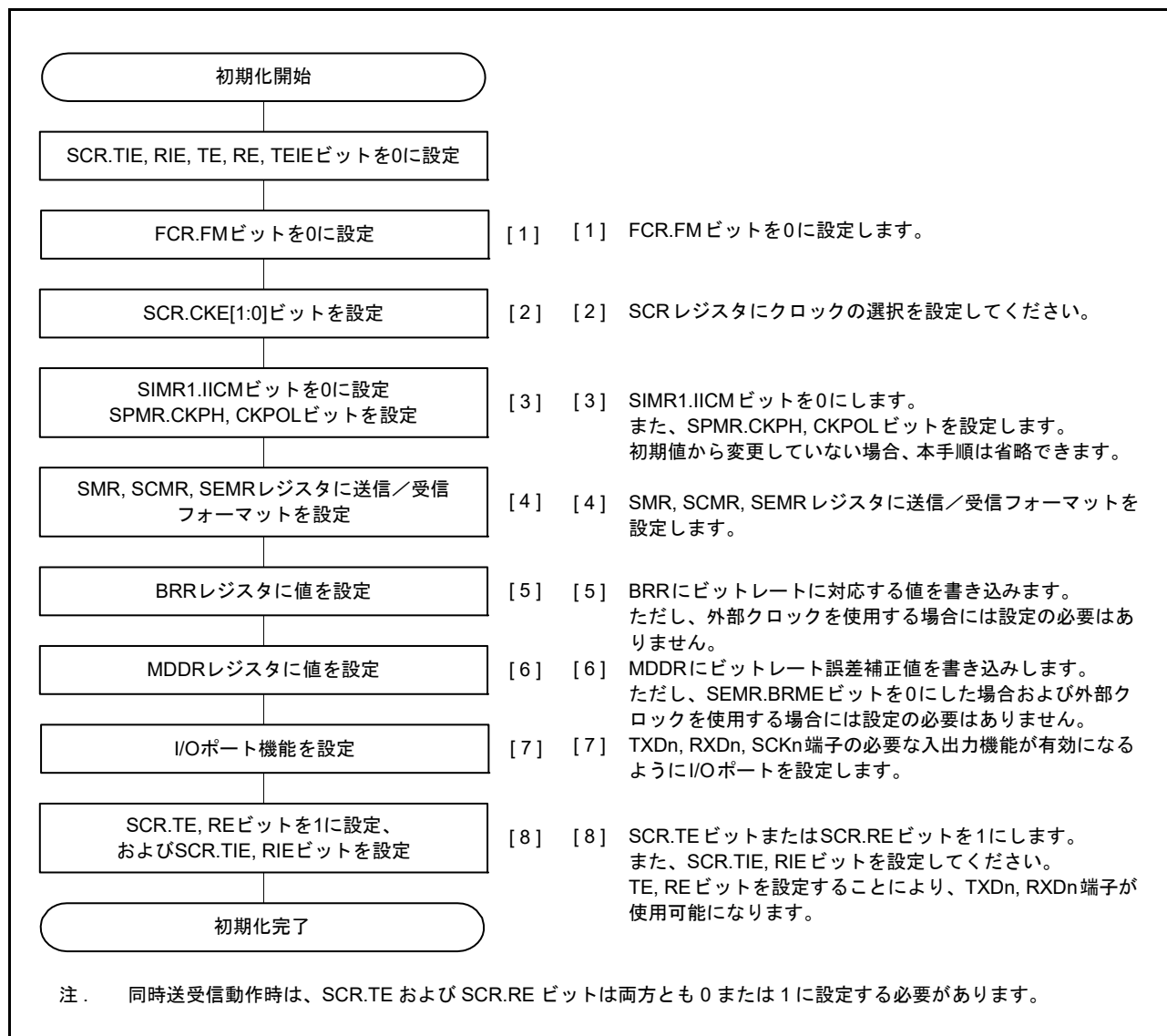


図 27.32 クロック同期式モードにおける SCI の初期化フローチャート例 (非 FIFO 選択時)



図 27.33 クロック同期式モードにおける SCI の初期化フローチャート例 (FIFO 選択時)

27.5.4 シリアルデータの送信 (クロック同期式モード)

(1) 非 FIFO 選択時

図 27.34、図 27.35、および図 27.36 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後、SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。このとき、SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、SCIn_TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力 Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 27.34、図 27.35、および図 27.36 に、シリアル送信のフローチャート例を示します。

受信エラーフラグ (SSR.ORER、FER、または PER) が 1 の状態では、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。

注 . 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。

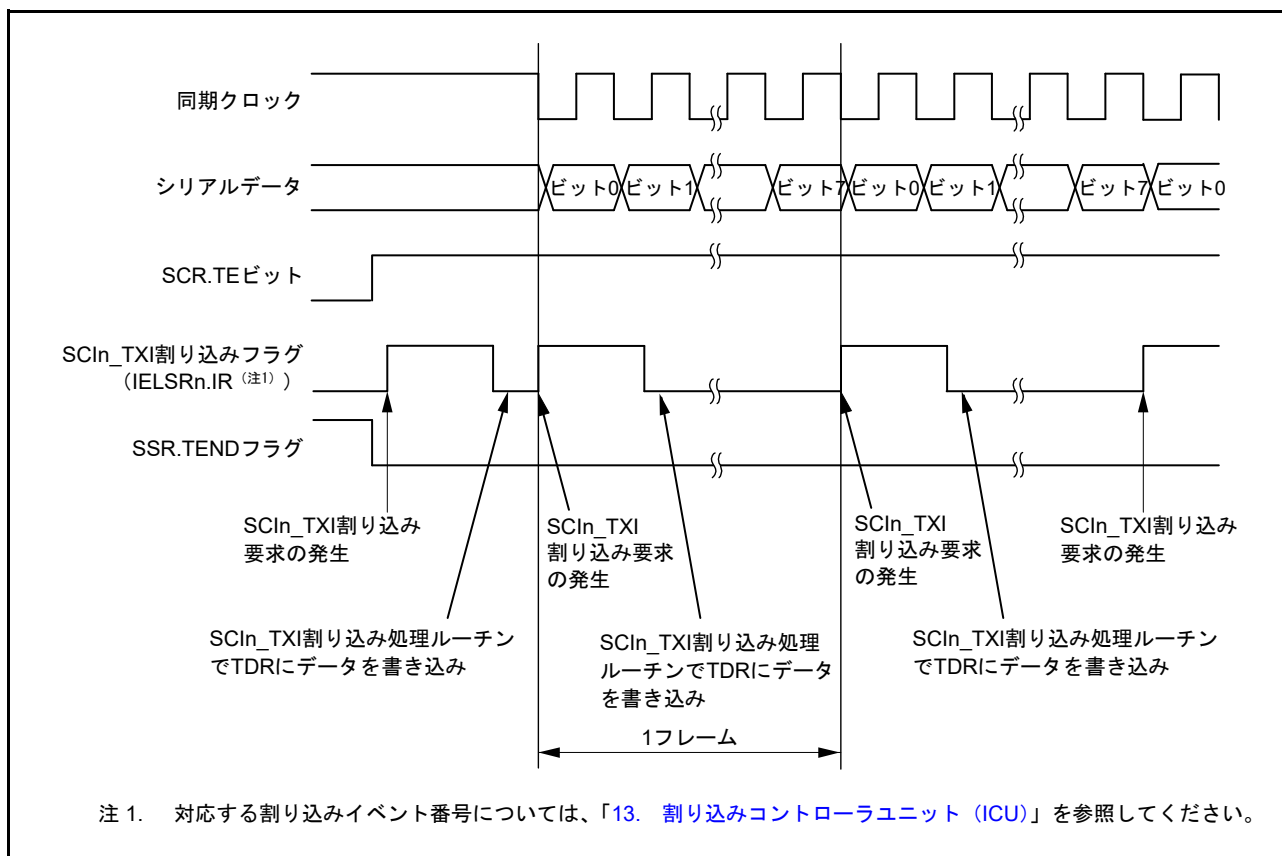


図 27.34 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用しない場合)

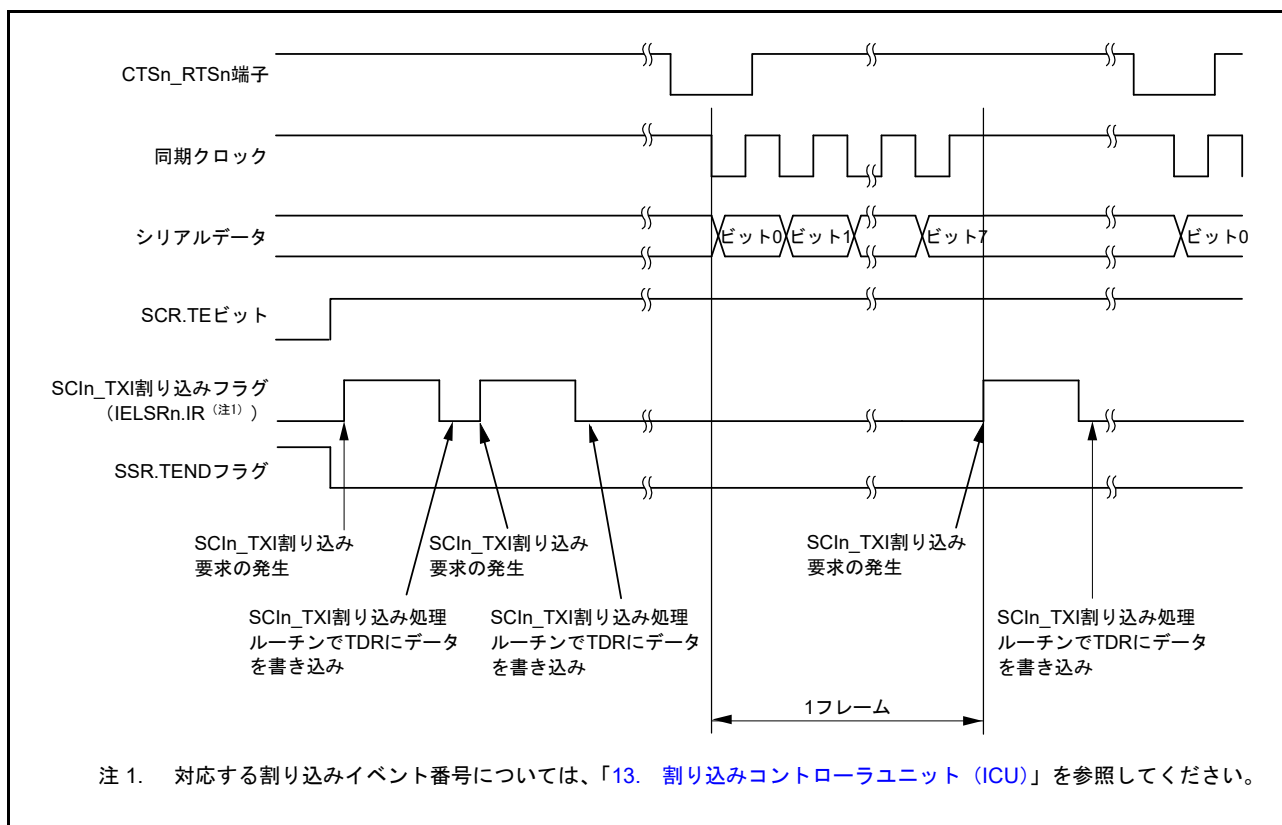


図 27.35 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用する場合)

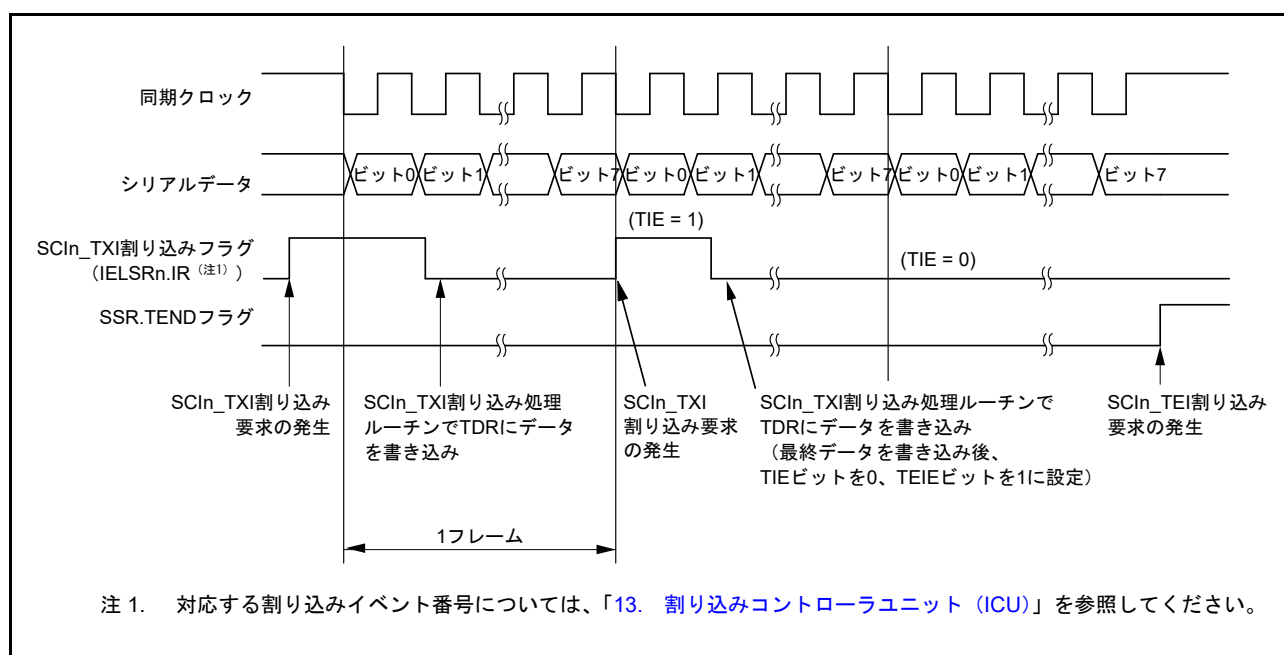


図 27.36 クロック同期式モードにおけるシリアル送信の動作例 (送信中～送信終了時)

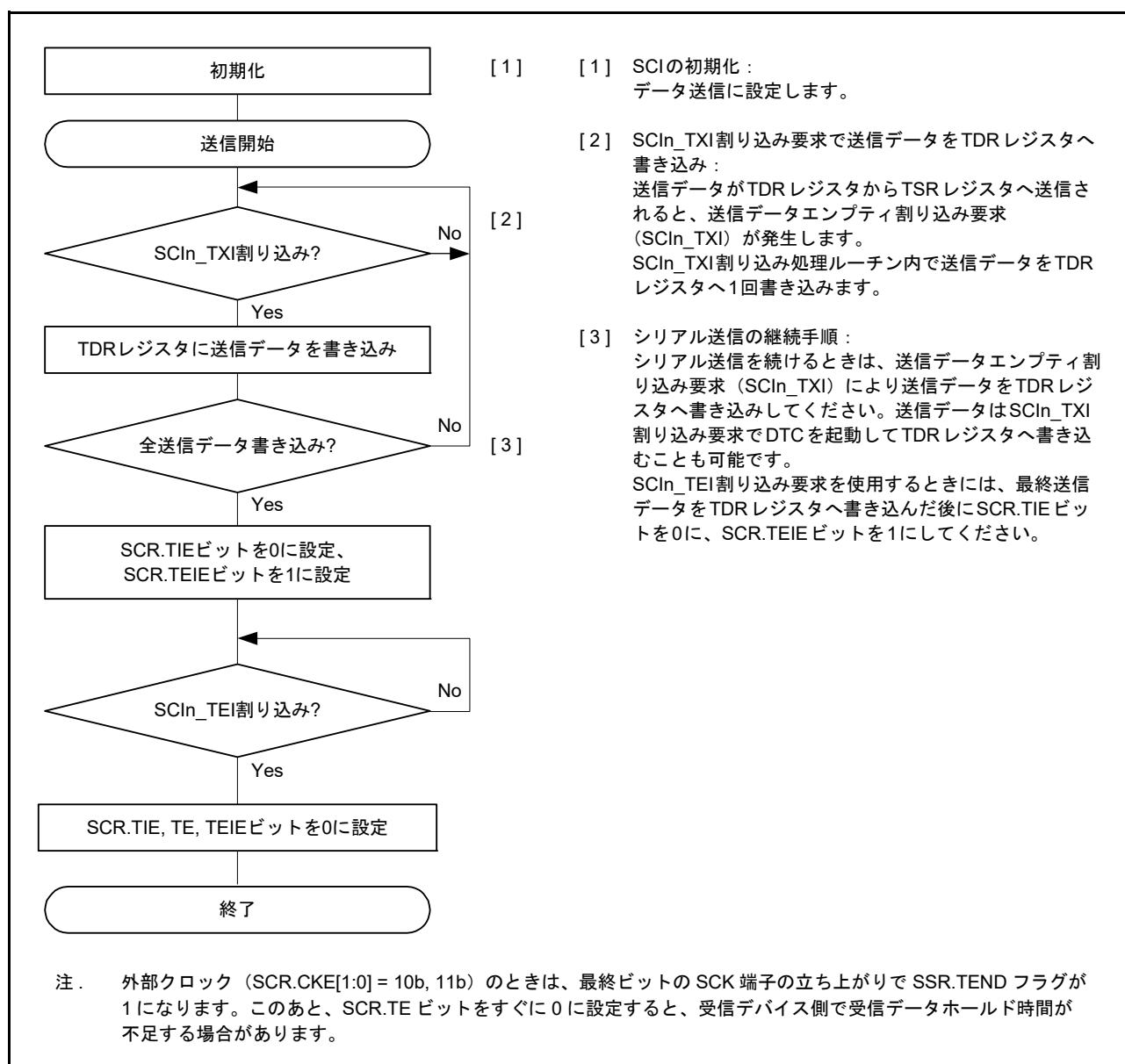


図 27.37 クロック同期式モードにおけるシリアル送信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 27.38 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ (注 1) にデータが書き込まれると、SCI は FTDRL レジスタ (注 1) から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は“16-FDR.T[4:0]”です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを1にした後に SCR.TE ビットを1にするか、これら2つのビットを1命令で同時に1にすることで発生します。
2. SCI は、FTDRL レジスタから TSR レジスタにデータを転送した後、送信を開始します。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが1になります。このとき、SCR.TIE ビットが1になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、SCIn_TXI

割り込み要求処理ルーチン内で最終送信データをFTDRLレジスタに書き込んだ後、SCR.TIEビットを0にして、SCR.TEIEビットを1にします。

3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn端子から8ビットのデータが送信されます。クロック信号出力は、SPMR.CTSEビットが1のとき、CTS信号入力Lowになるまで待機します。
4. ストップビットを送り出すタイミングで、SCIはFTDRLレジスタに未送信データが残っていないかチェックします。
5. FTDRLレジスタが更新されていれば、FTDRLレジスタからTSRレジスタにデータを転送し、次のフレームの送信を開始します。
6. FTDRLレジスタが更新されていなければ、SSR_FIFO.TENDフラグを1にします。TXDn端子は最終ビットの出力状態を保持します。このとき、SCR.TEIEビットが1になっていると、SCIn_TEI割り込み要求が発生し、SCKn端子はHighに固定されます。

注1. クロック同期式モードでは、FTDRHレジスタを使用しません。

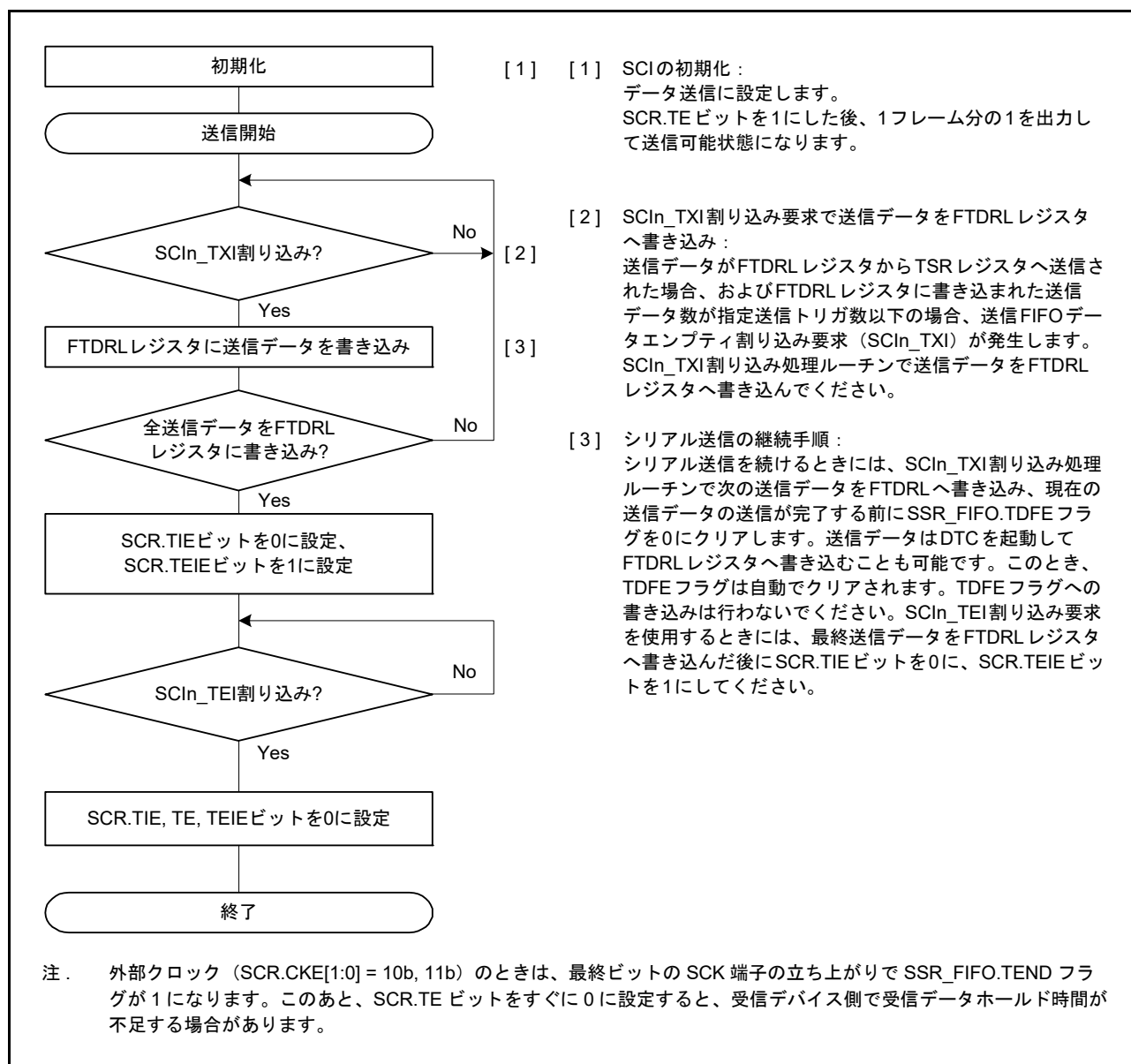


図 27.38 クロック同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

27.5.5 シリアルデータの受信 (クロック同期式モード)

(1) 非 FIFO 選択時

図 27.39 と図 27.40 に、クロック同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS_n_RTS_n 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTS_n_RTS_n 端子出力が Low になります。

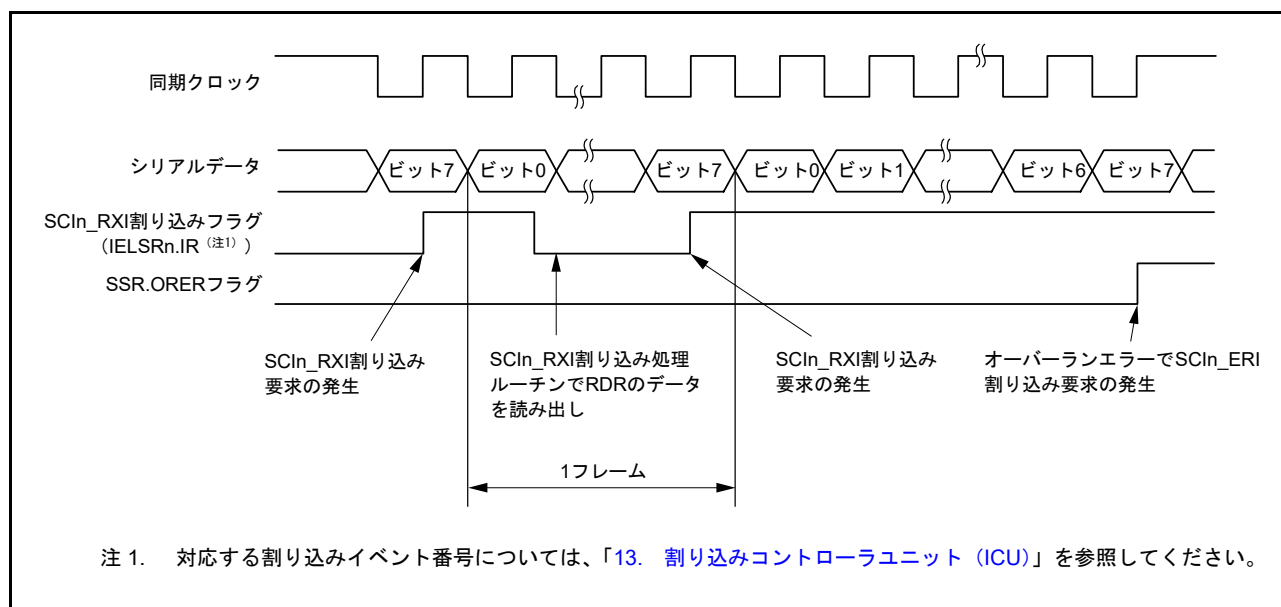


図 27.39 クロック同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合)

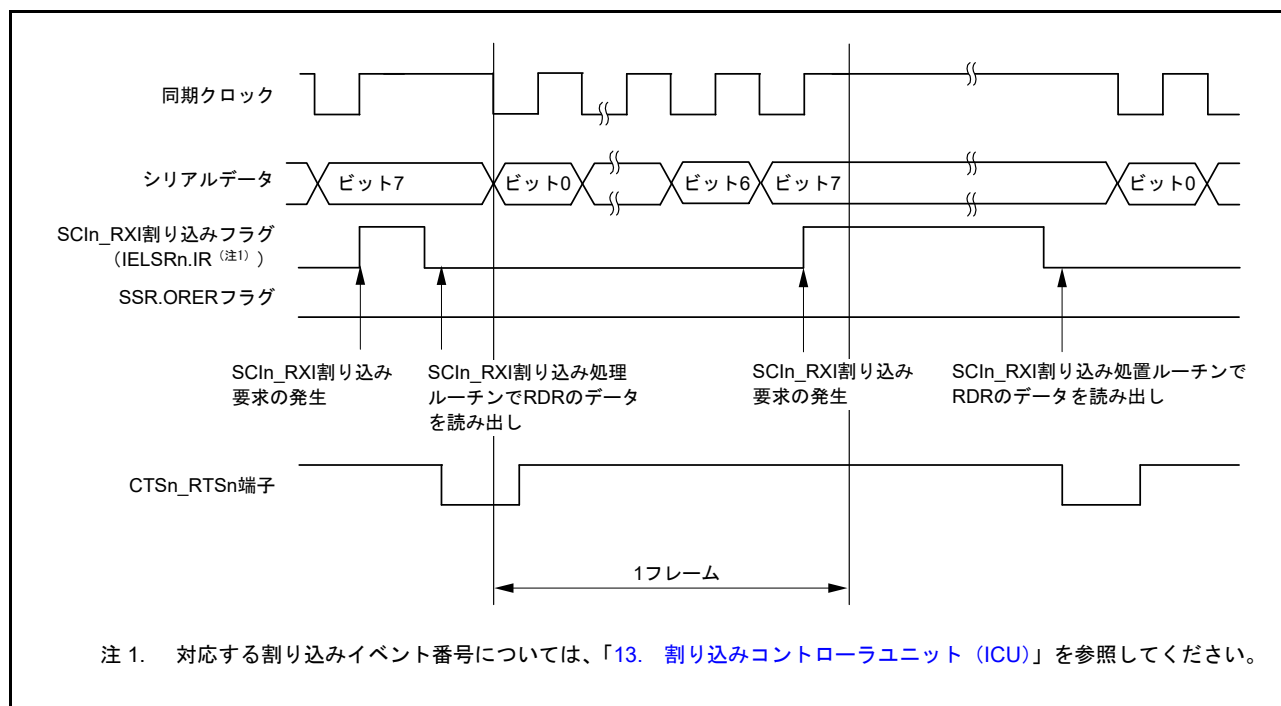


図 27.40 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合)

受信エラーフラグが 1 の状態では送受信動作を再開できません。したがって、SSR.ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 27.41 に、シリアル受信のフローチャート例を示します。

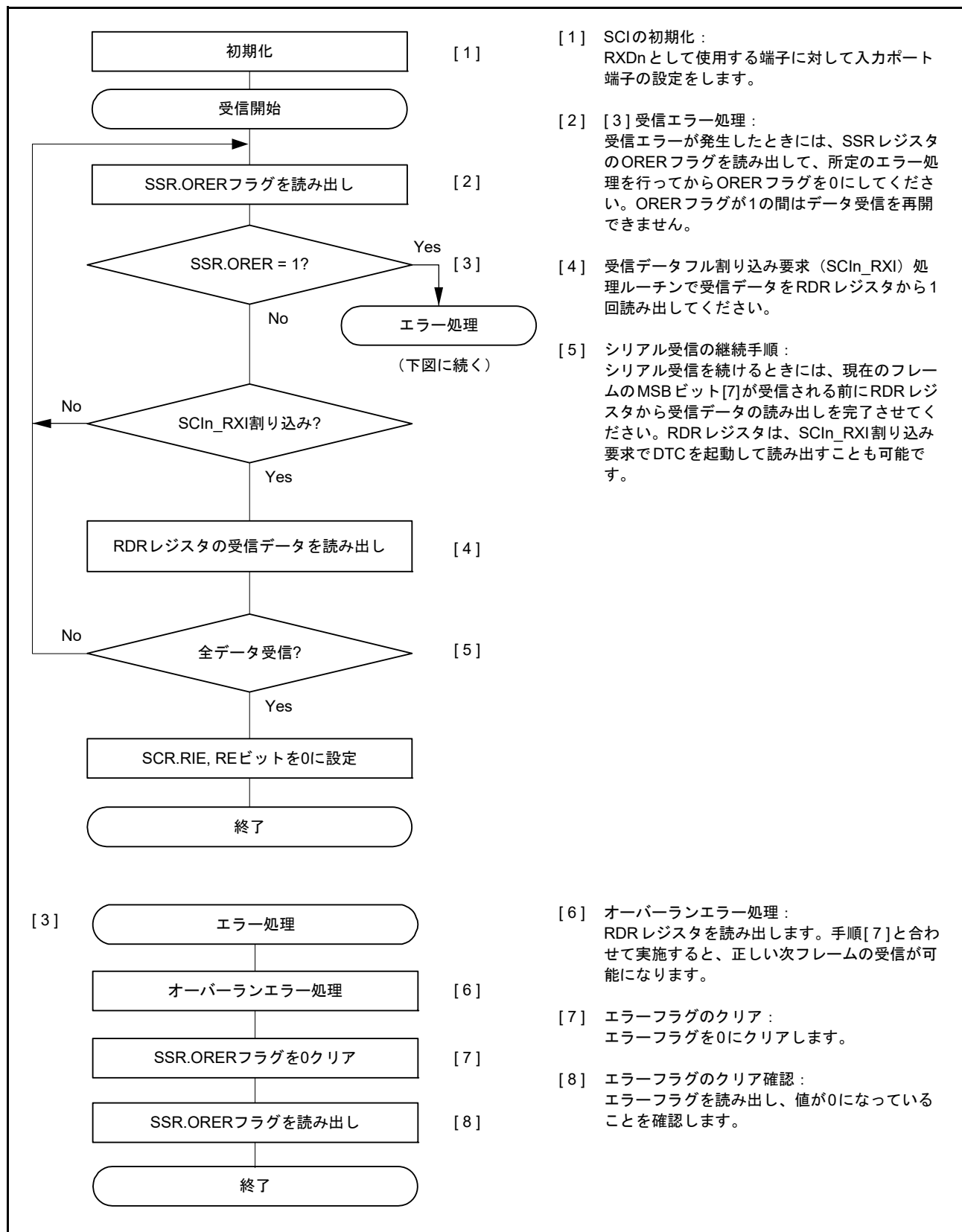


図 27.41 クロック同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 27.42 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS_n_RTS_n 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{in}_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ（注 1）へ転送されません。
4. 正常に受信したときは、受信データが FRDRL レジスタ（注 1）へ転送されます。FRDRHL に格納された受信データ数が指定された受信トリガ数以上であると、RDF ビットが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{in}_RXI 割り込み要求が発生します。SCI_{in}_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ（注 2）へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTS_n_RTS_n 端子出力が Low になります。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

注 2. RDF と ORER フラグを受信データとともに読み出す場合は、FRDRH から FRDRL の順に読み出してください。

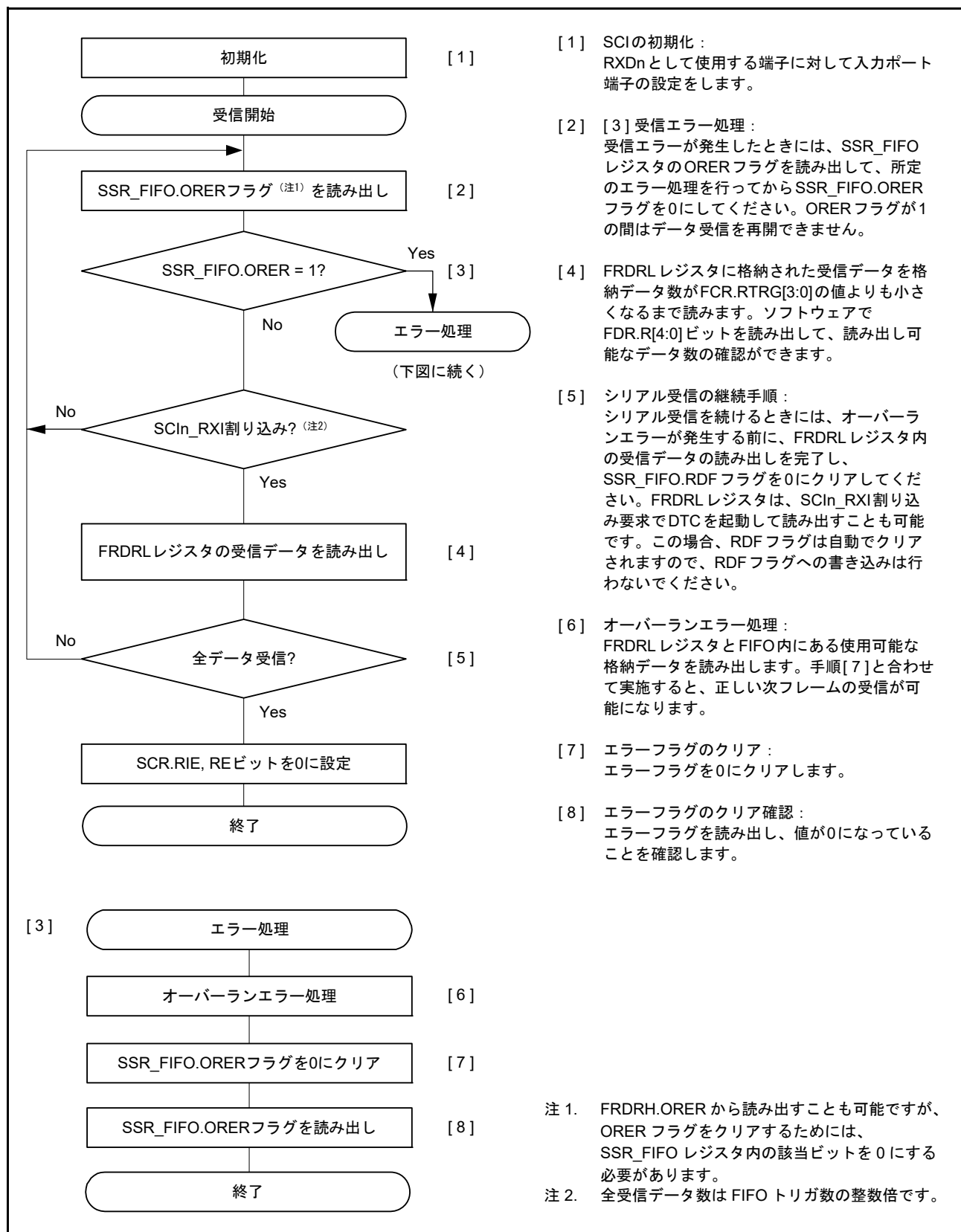


図 27.42 クロック同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

27.5.6 シリアルデータの同時送受信動作（クロック同期式モード）

(1) 非 FIFO 選択時

図 27.43 に、クロック同期式モードにおける非 FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへの切り替えは次の手順で行います。

1. SCI が送信完了状態であることを SSR_FIFO レジスタの TEND フラグが 1 になっていることで確認してください。
2. その後、SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が受信完了状態であることを確認してください。
2. SCR.RIE および SCR.RE を 0 にした後、SSR レジスタの受信エラーフラグ (ORER) が 0 になっていることを確認します。
3. その後、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

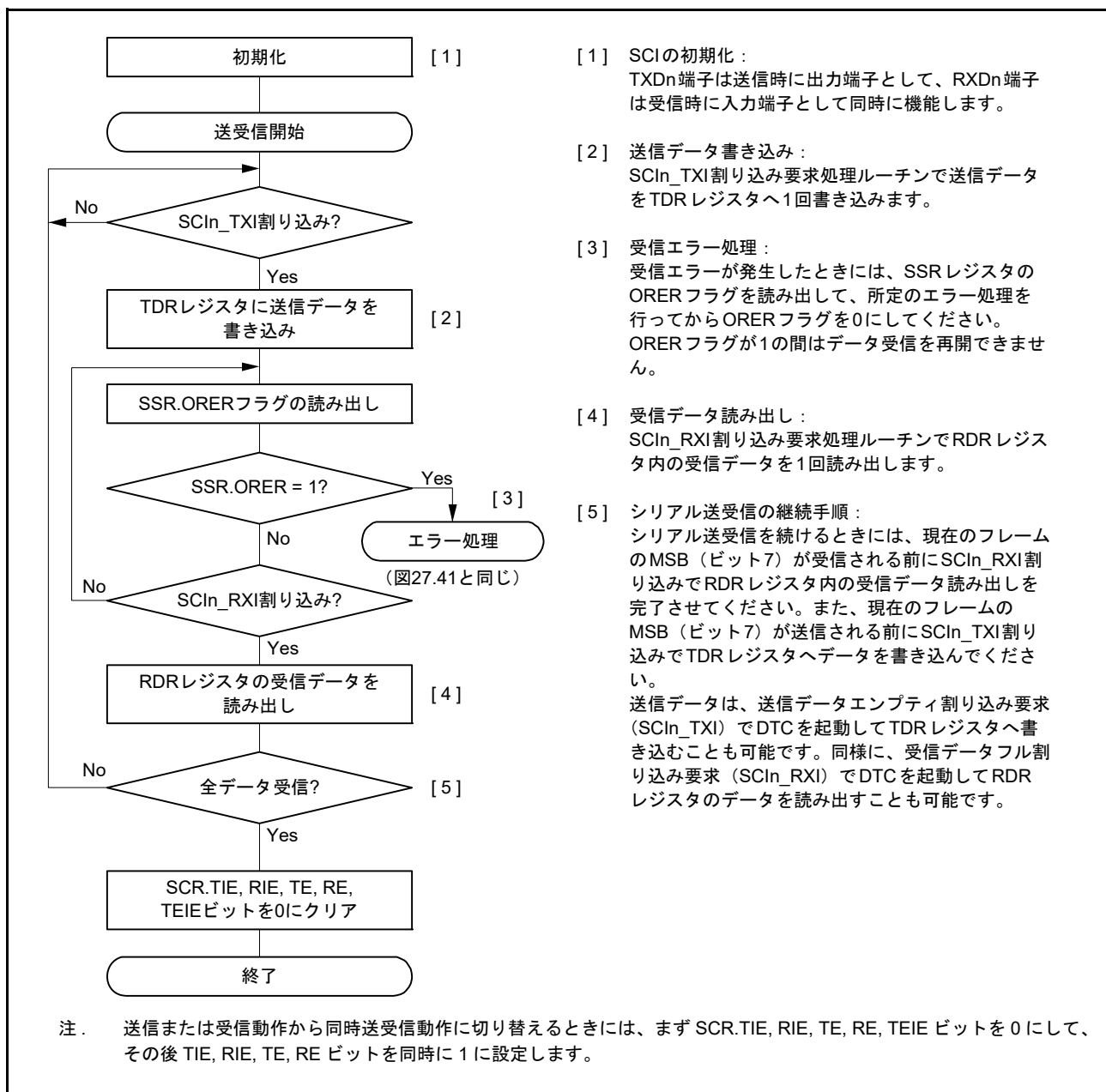


図 27.43 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 27.44 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへの切り替えは次の手順で行います。

1. SCI が送信完了状態であることを SSR_FIFO.TEND フラグが 1 になっていることで確認してください。
2. その後、SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が受信完了状態であることを確認してください。
2. SCR.RIE ビットおよび SCR.RE ビットを 0 にした後、SSR_FIFO レジスタの受信エラーフラグ (ORER) が 0 になっていることを確認します。
3. その後、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

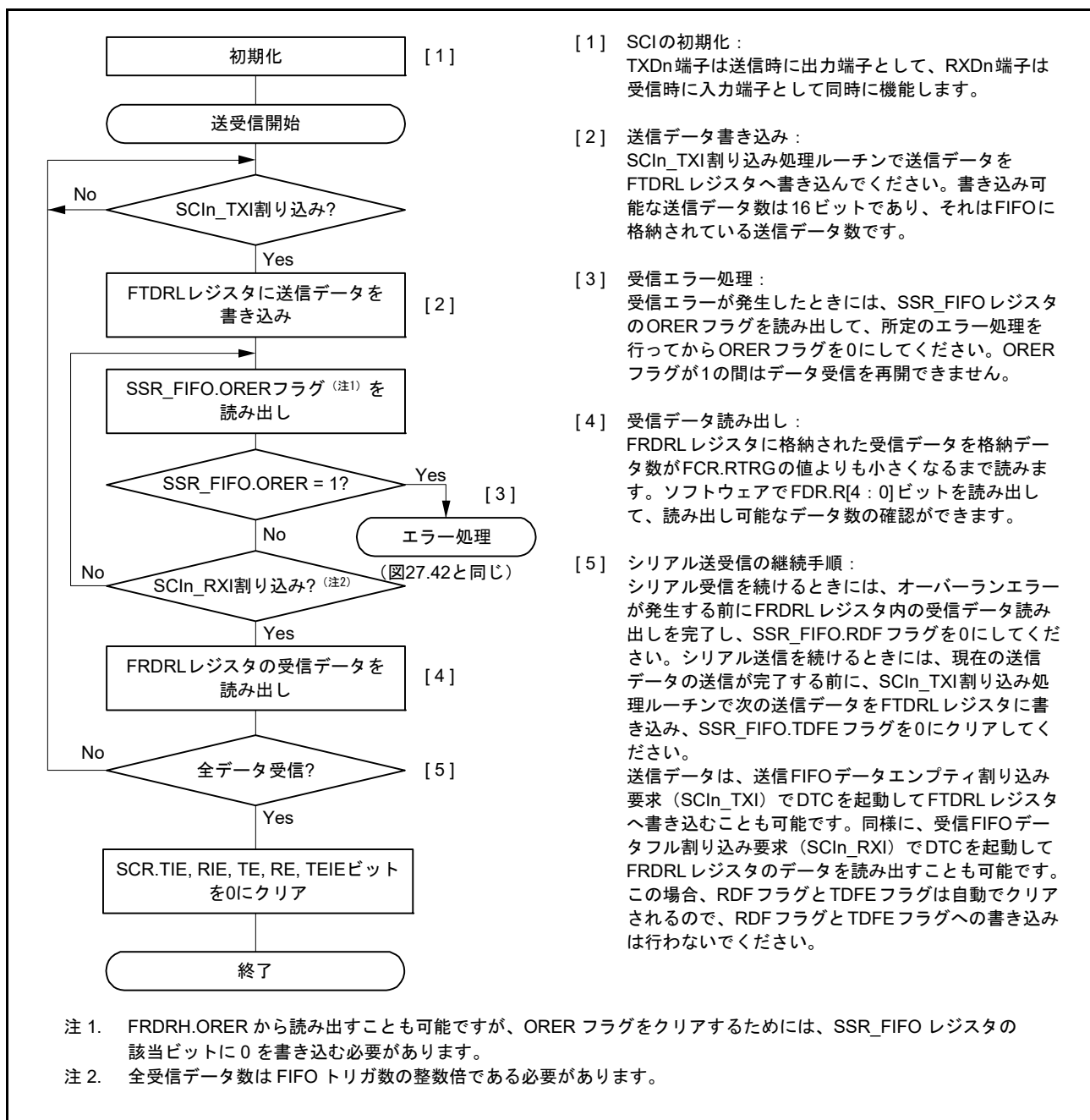


図 27.44 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (FIFO 選択時)

27.6 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3 (Identification Card) 規格に対応したスマートカード (IC カード) インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

27.6.1 接続例

図 27.45 にスマートカード (IC カード) と本 MCU 接続例を示します。

図 27.45 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR_SMC1 レジスタの TE ビットと RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。リセット信号の出力には、本 MCU の出力ポートを使用できます。

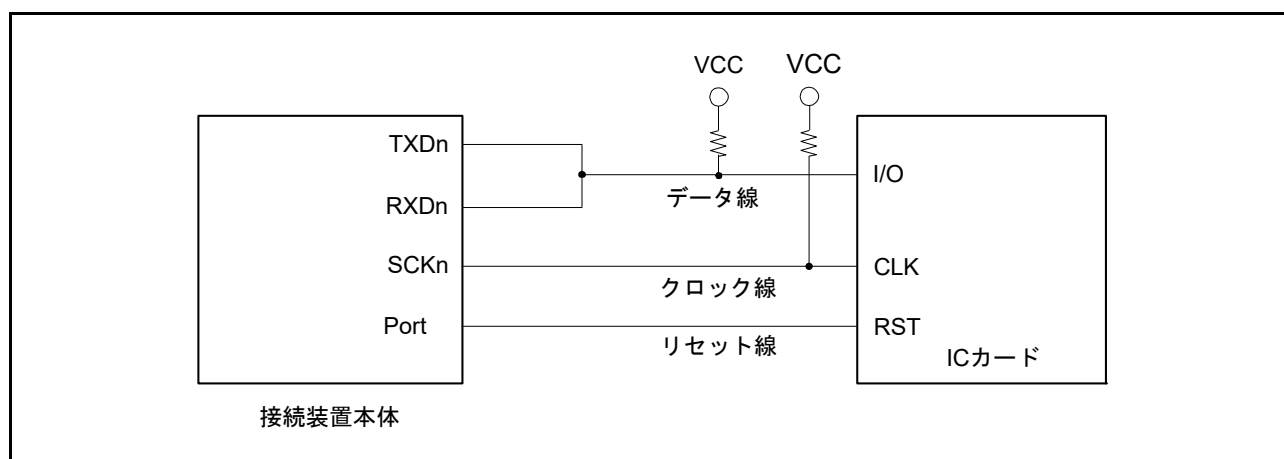


図 27.45 スマートカード (IC カード) との接続例

27.6.2 データフォーマット（ブロック転送モード時を除く）

図 27.46 に、スマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信時は、パリティビットの終了から次のフレーム開始まで、2ETU（Elementary Time Unit : 1 ビット転送時間）以上のガードタイムが必要
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5ETU 経過後、エラーシグナル（Low）を 1ETU 期間出力
- 送信時にエラーシグナルをサンプリングすると、2ETU 以上経過後、自動的に同じデータを再送信

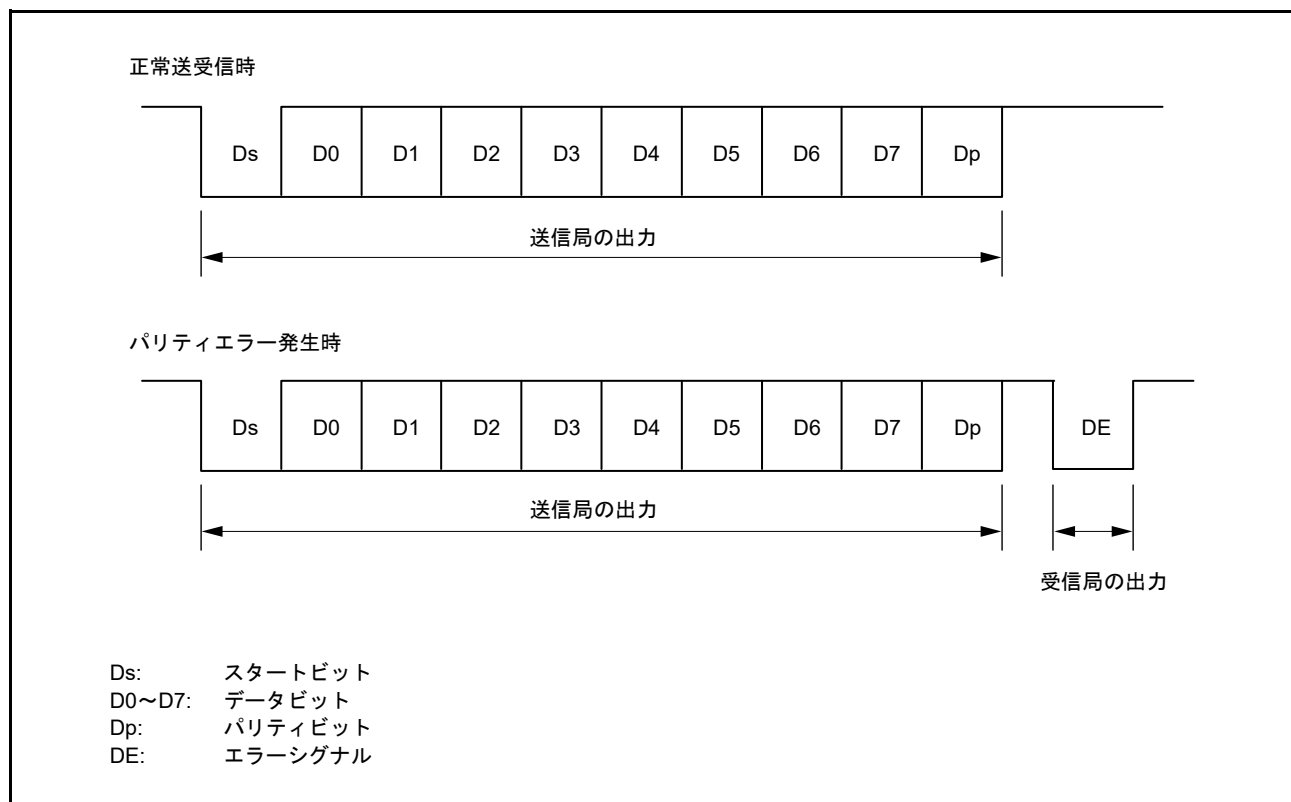


図 27.46 スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードと送受信する場合について説明します。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 27.47 に示すように、ロジックレベル 1 は状態 Z に、ロジックレベル 0 は状態 A にそれぞれ対応し、開始キャラクタとして LSB ファーストでデータが転送されます。したがって、図 27.47 の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 0 にしてください。また、スマートカードの規定により、偶数パリティとなるよう SMR_SMCI.PM ビットは 0 にしてください。

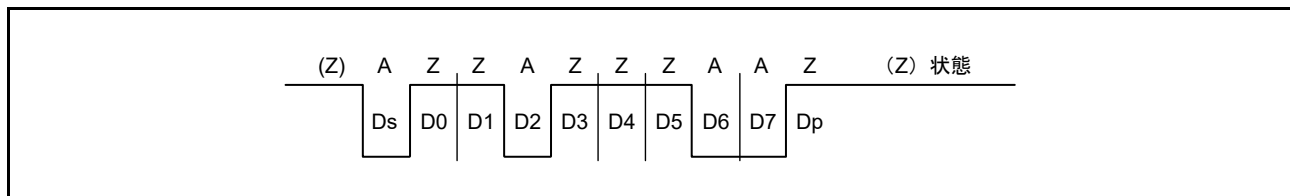


図 27.47 ダイレクトコンベンション (SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR_SMCI.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 27.48 に示すように、ロジックレベル 1 を状態 A に、ロジックレベル 0 を状態 Z にそれぞれ対応付けて、開始キャラクタとして、MSB ファーストでデータの送受信が行われます。したがって、この図の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。スマートカードで規定されている偶数パリティとするため、パリティビットは状態 Z に対応付けられているロジックレベル 0 になります。MCU では、SINV ビットはデータビット D7 ~ D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR_SMCI.PM ビットに 1 を書いてパリティビットを反転させてください。

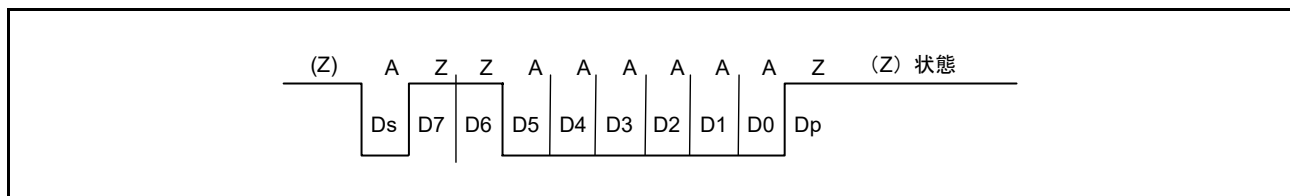


図 27.48 インバースコンベンション (SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR_SMCI.PM ビット = 1)

27.6.3 ブロック転送モード

ブロック転送モードは、スマートカードインタフェースモードの非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行うが、エラーを検出してもエラーシグナルは出力しない。エラー検出時に SSR_SMCI.PER フラグが 1 になるので、次のフレームのパリティビットを受信する前にクリアが必要
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは、1ETU 以上が必要
- 同じデータの再送信を行わないため、送信開始から 11.5ETU 経過後に、SSR_SMCI.TEND フラグがセットされる
- ブロック転送モードでは、SSR_SMCI.ERS フラグは、スマートカードインタフェースモードの非ブロック転送モードと同様に、エラーシグナル状態を示すが、エラーシグナルの送受信を行わないため、読むと 0 が読める

27.6.4 受信データのサンプリングタイミングと受信マージン

スマートカードインタフェースモードで利用できる送受信クロックは、内蔵ボーレートジェネレータが生成するクロックのみです。

スマートカードインタフェースモードでは、SCI は SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、または 512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして同期を行います。

また、[図 27.49](#) に示すように、受信データは基本クロックのそれぞれ 16、32、186、128、46、64、93、256 サイクルの立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。受信マージンは次式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 32, 64, 372, 256)

D : クロックのデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 10)

F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようにになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 [\%] = 49.866\%$$

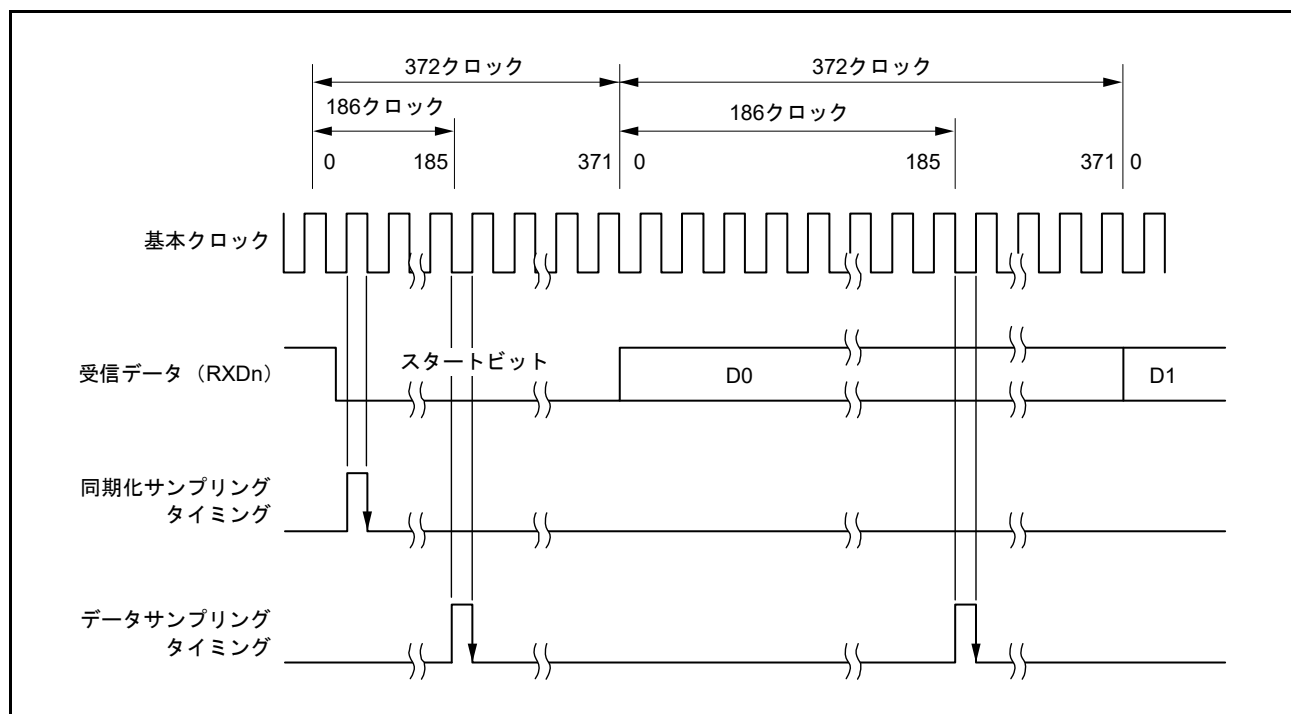


図 27.49 スマートカードインタフェースモード時の受信データサンプリングタイミング (ビットレートの 372 倍のクロック周波数の場合)

27.6.5 SCI の初期化

データの送受信前に、SCR_SMCI レジスタに初期値 00h を書き込み、図 27.50 に示すフローチャート例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、TE ビット = 1、RE ビット = 0 にしてください。受信動作の完了は、SCI_{IN}_RXI 割り込み要求、SSR_SMCI. ORER フラグ、あるいは SSR_SMCI. PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、TE ビット = 0、RE ビット = 1 にしてください。送信動作の完了は SSR_SMCI. TEND フラグで確認できます。

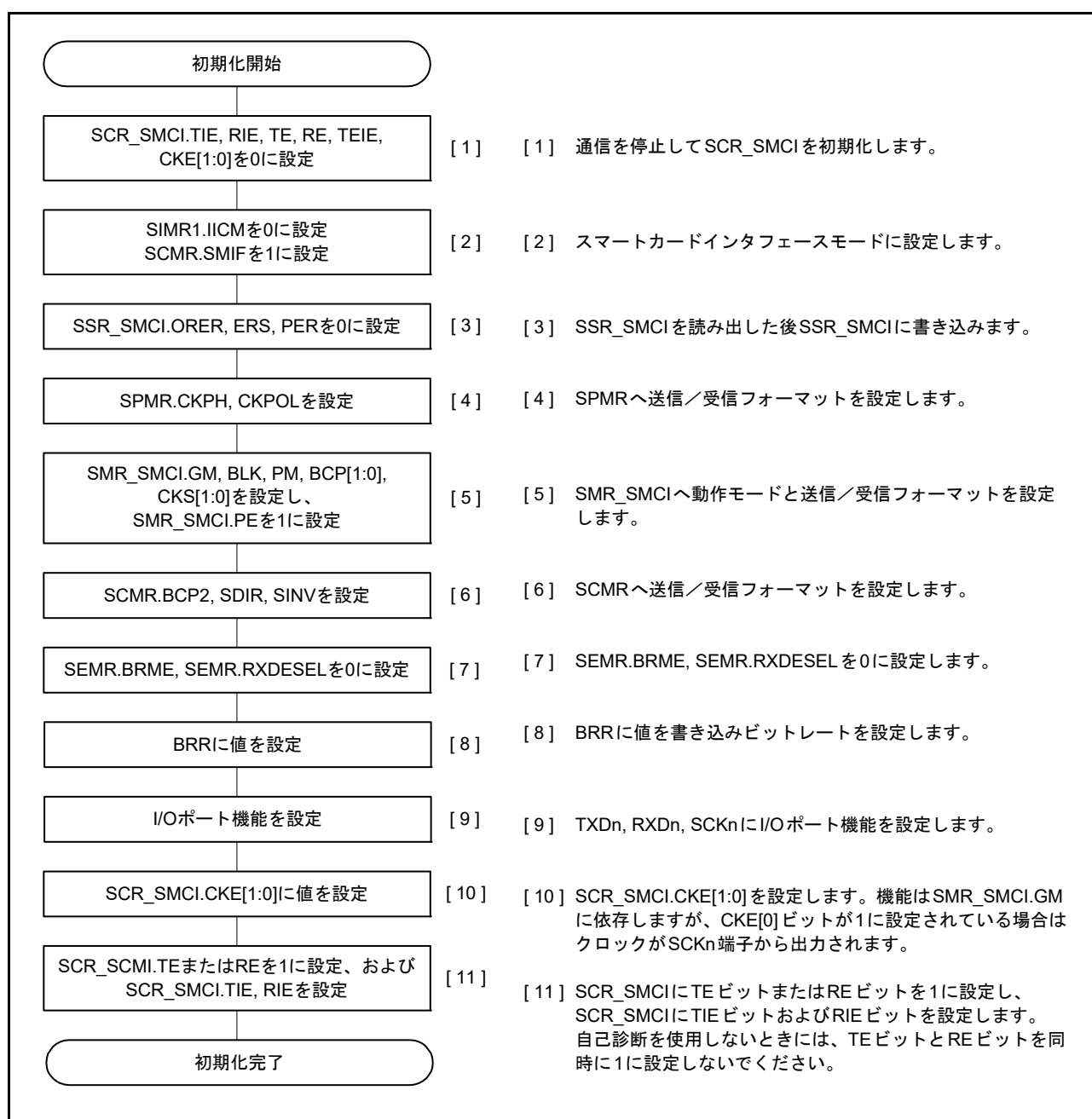


図 27.50 SCI の初期化フローチャート例（スマートカードインタフェースモード）

図 27.50 のフローにしたがってスマートカードインタフェースモードに遷移することでデータ送信が行われるときのタイミング図を図 27.51 に示します。SMR_SMCI.GM ビットを 0 に設定した場合を図 27.51 に示します。図 27.51 のタイミングは、ポートが SCKn 端子および TXDn 端子として接続されている場合、SCR_SMCI レジスタの CKE[0] ビットは 0 になるため、端子は Hi-Z となることを示します。

SCR_SMCI レジスタの CKE[0] ビットを 1 にすることによって SCK 端子へのクロック出力を開始します。そして、SCR_SMCI の TE ビットを 1 にした後、送信データを書き込むことでデータ送信を開始します。SCR_SMCI レジスタの TE ビットを 0 から 1 に変更すると、データ送信の開始前に 1 フレーム分のプリアンブル期間が生じます。スマートカードインタフェースモードでは、プリアンブル期間中、TXDn 端子は Hi-Z となります。MCU 外部で SCKn 端子および TXDn 端子に対するプルアップまたはプルダウンが必要です。

スマートカードインタフェースモードでは、クロック出力設定を使用すると、SCR_SMCI レジスタの TE ビットおよび RE ビットが 0 であっても、クロック出力は継続されます。

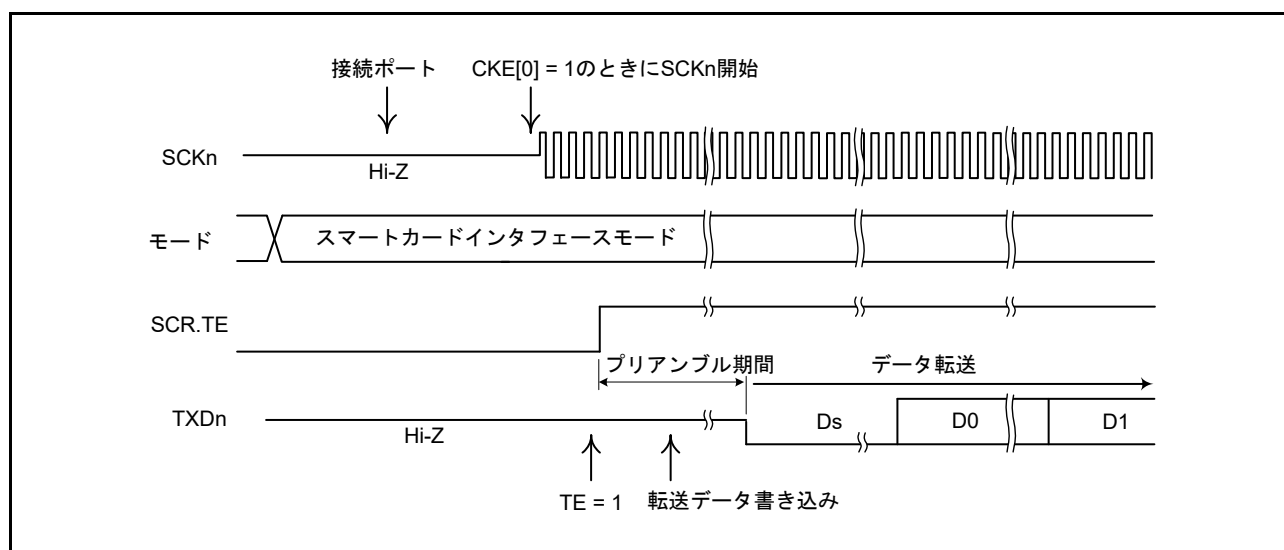


図 27.51 スマートカードインタフェースモードにおけるデータ送信のタイミング例

27.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モードを除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信時の再転送動作を図 27.52 に示します。

- [1] 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR_SMCLERS フラグが 1 になります。このとき、SCR_SMCLRIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
- [2] エラーシグナルを受信したフレームでは、SSR_SMCLTEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
- [3] 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
- [4] この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。このとき、SCR_SMCLTIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャート例を図 27.54 に示します。これら一連の処理は、SCIn_TXI 割り込み要求で DTC を起動することにより、自動的に行うことができます。

送信動作では、SSR_SMCLTEND フラグが 1 になっていると、SCR_SMCLTIE ビットが 1 の場合、SCIn_TXI 割り込み要求が発生します。

あらかじめ DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求により DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn_ERI 割り込み要求が発生させて、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。

DTC の設定については、「16. データトランスファコントローラ (DTC)」を参照してください。

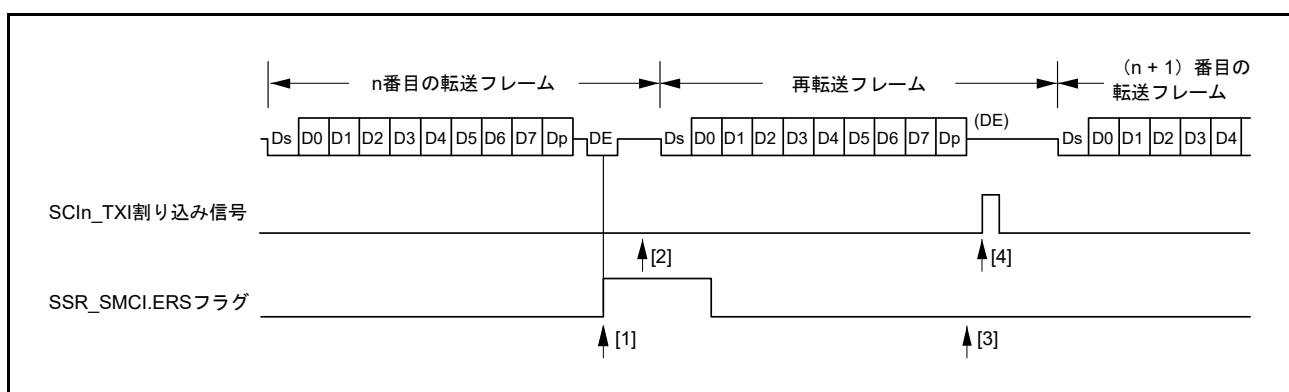


図 27.52 スマートカードインタフェース送信モードでのデータ再転送動作

注 . SMR_SMCLGM ビットの設定によっては、SSR_SMCLTEND フラグのセットタイミングが異なります。

図 27.53 に、TEND フラグの発生タイミングを示します。

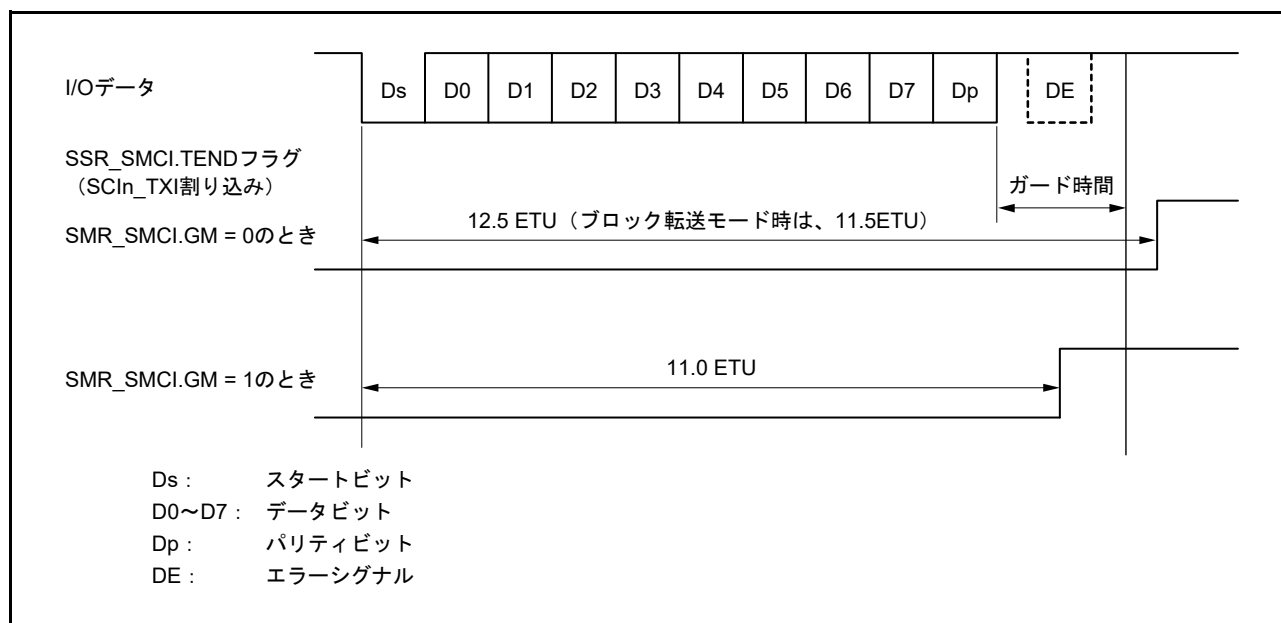


図 27.53 送信時の SSR.TEND フラグの発生タイミング

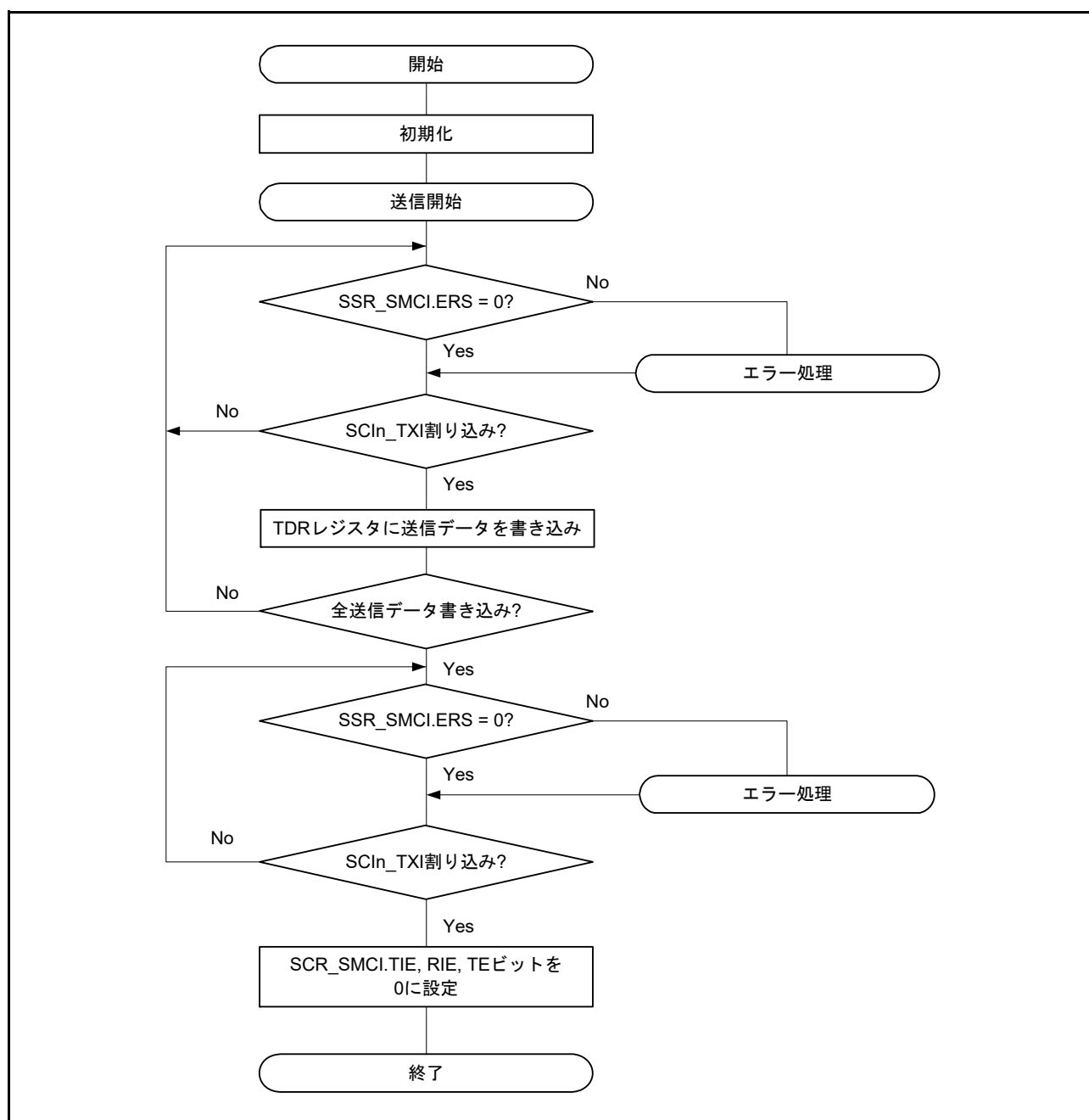


図 27.54 スマートカードインタフェース送信のフローチャート例

27.6.7 シリアルデータの受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 27.55 に示します。

- [1] 受信データにパリティエラーが検出されると、SSR_SMCI.PER フラグが 1 になります。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグをクリアしてください。
- [2] パリティエラーが検出されたフレームに対しては、SCIn_RXI 割り込みは発生しません。
- [3] パリティエラーが検出されない場合、SSR_SMCI.PER フラグは 1 になりません。
- [4] 正常に受信が完了したと判断されます。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。

図 27.56 に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCIn_RXI 割り込み要求で DTC を起動することにより、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくと、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求により DTC が起動されて、受信データの転送が可能になります。

また、受信時にエラーが発生して SSR_SMCI.ORER フラグまたは SSR_SMCI.PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC は起動されず、受信データはスキップされます。そのため、DTC に指定されたバイト数だけ受信データが転送されます。

なお、受信時にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注． ブロック転送モードの場合は、27.3.9 シリアルデータの受信（調歩同期式モード）を参照してください。

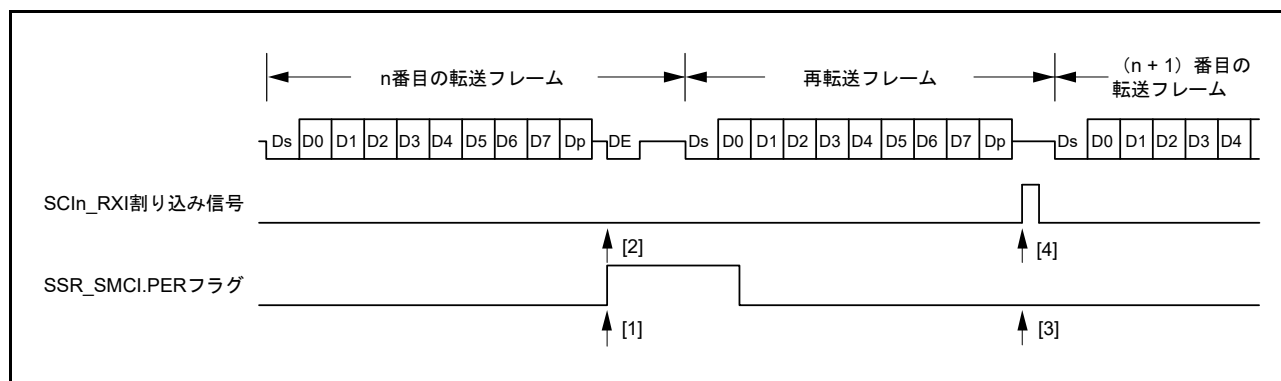


図 27.55 スマートカードインタフェース送信モードでのデータ再転送動作（受信時の再転送動作）

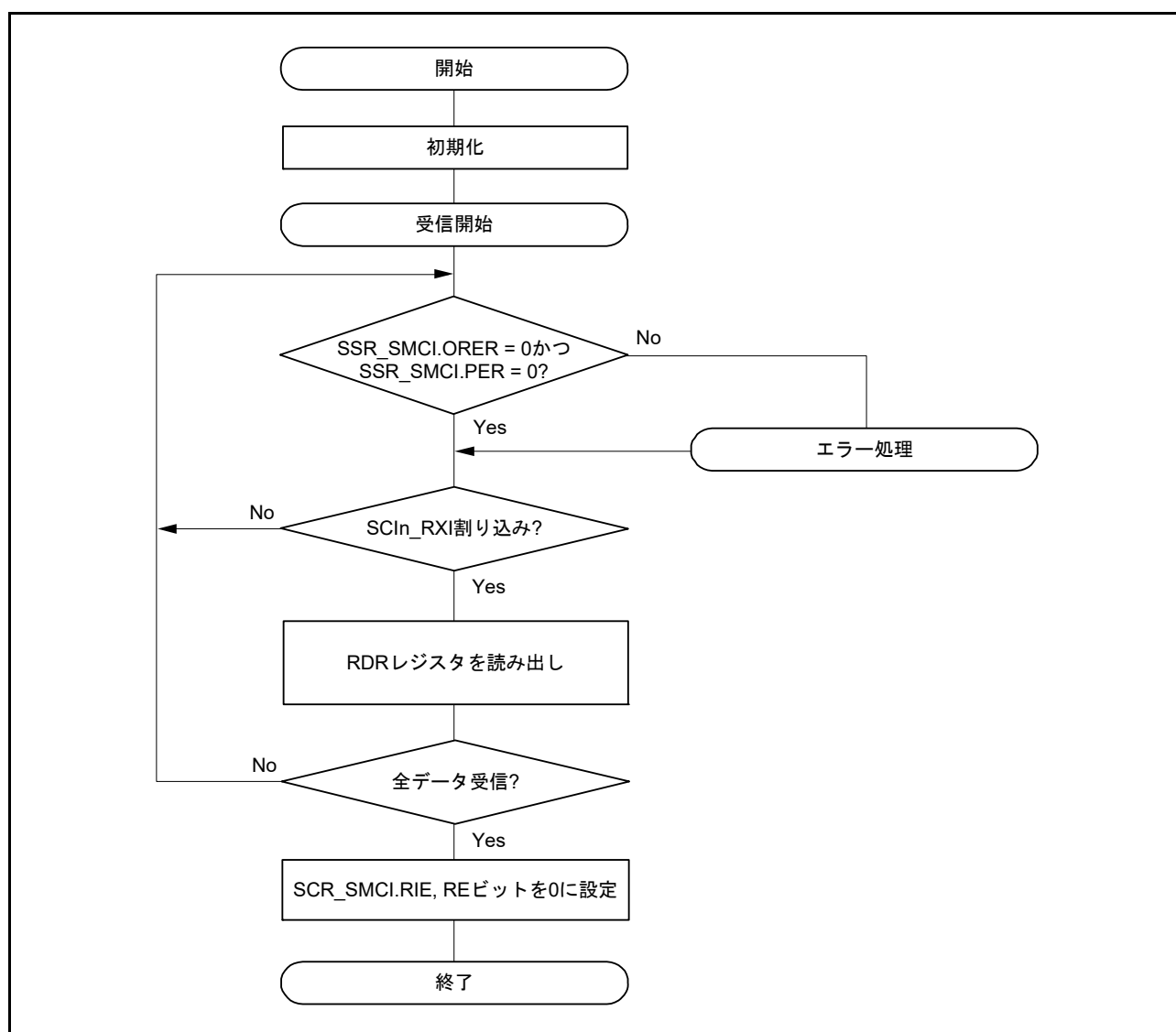


図 27.56 スマートカードインタフェース受信のフローチャート例

27.6.8 クロック出力制御

SMR_SMCI レジスタの GM ビットを 1 にすると、SCR_SMCI.CKE[1:0] ビットでクロック出力の制御が行えます。CKE[1:0] ビットの詳細については、[27.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ \(SCR_SMCI\) \(SCMR.SMIF = 1\)](#) を参照してください。クロック出力を設定すると、[27.6.4 受信データのサンプリングタイミングと受信マージン](#)で説明されている基本クロックが出力されます。

図 27.57 に、SCR_SMCI.CKE[1] ビットを 0 にして SCR_SMCI.CKE[0] ビットを制御する場合のクロック出力制御のタイミング例を示します。

SMR_SMCI.GM ビットを 0 にすると、SCR_SMCI.CKE[0] ビットによる出力制御がただちに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力される可能性があります。

SMR_SMCI.GM ビットを 1 にすると、SCR_SMCI レジスタの CKE[0] ビットが変更されても基本クロックと同じパルス幅のクロックが出力されます。

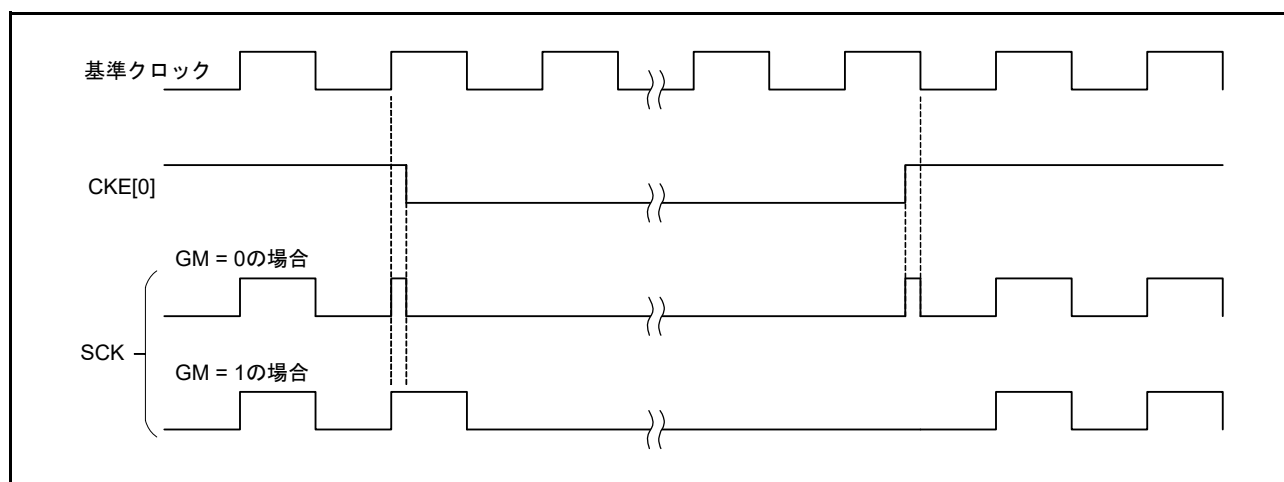


図 27.57 クロック出力制御

27.7 簡易 IIC モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 27.58 に、I²C バスフォーマットを、図 27.59 に、I²C バスタイミングを示します。

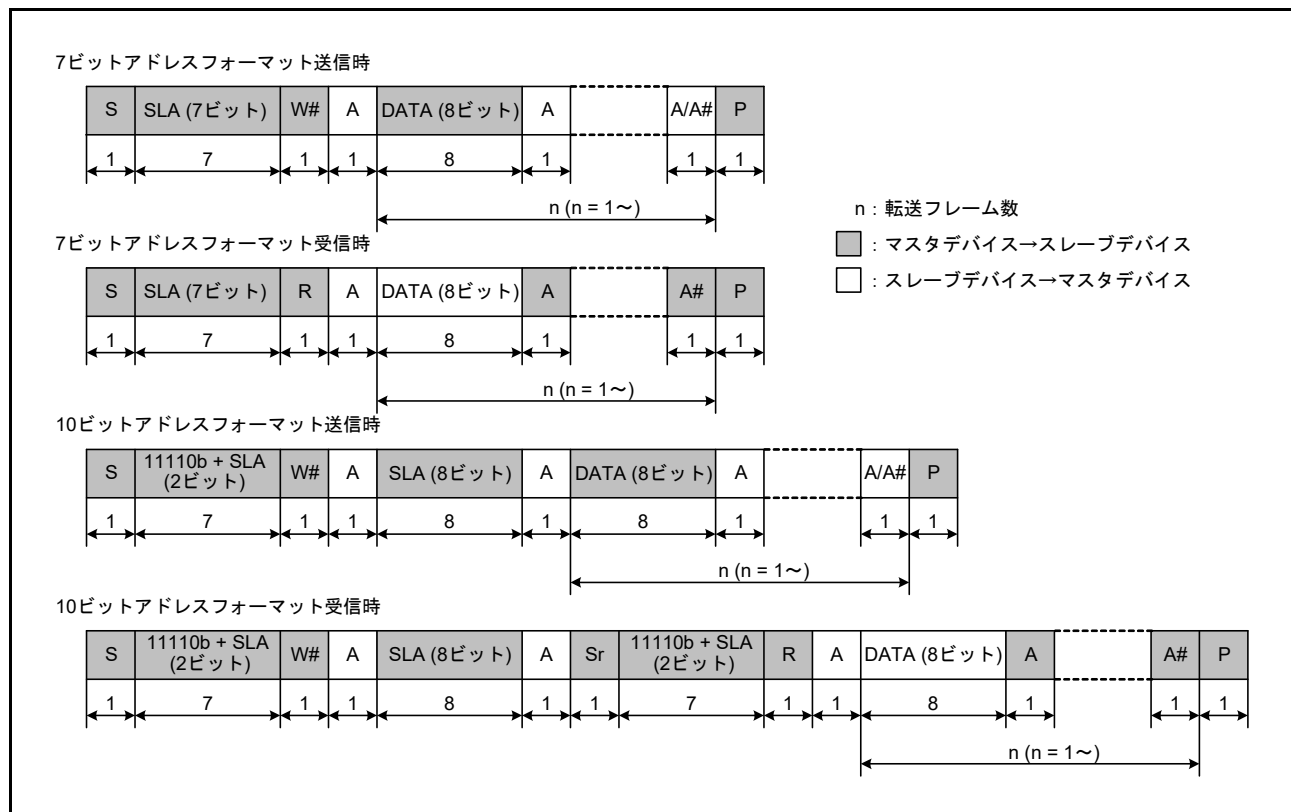


図 27.58 I²C バスフォーマット

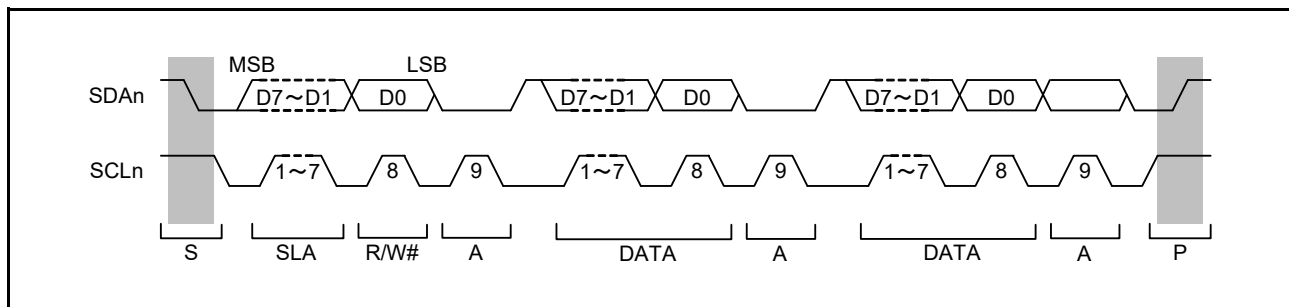


図 27.59 I²C バスタイミング (SLA = 7 ビットの場合)

- S : 開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインを High から Low へ変化させます。
- SLA : スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W# : 転送方向 (送信/受信) を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A# : アクノリッジを示します (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr : 再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDA n ラインを High から Low へ変化させます。
- DATA : 送受信データを示します。
- P : 停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインを Low から High へ変化させます。

27.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDA_n ラインを立ち下げ (High から Low へ変化)、SCL_n ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分の、開始条件のホールド時間に設定
- SCL_n ラインを立ち下げ (High から Low へ変化)、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開条件の生成を行います。再開条件の生成では、以下の動作が行われます。

- SDA_n ラインを開放、SCL_n ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分の、SCL_n ラインの Low 期間に設定
- SCL_n ラインを開放 (Low から High へ変化)
- SCL_n ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分の、再開条件のセットアップ時間に設定
- SDA_n ラインを立ち下げ (High から Low へ変化)
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分の、再開条件のホールド時間に設定
- SCL_n ラインを立ち下げ (High から Low へ変化)、SIMR3.IICRSTAREQ ビットを 0 にして、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDA_n ラインを立ち下げ (High から Low へ変化)、SCL_n ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分の、SCL_n ラインの Low 期間に設定
- SCL_n ラインを開放 (Low から High へ変化)
- SCL_n ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分の、停止条件のセットアップ時間に設定
- SDA_n ラインを開放 (Low から High へ変化)、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 27.60 に、開始条件、再開条件、停止条件生成の動作タイミングを示します。

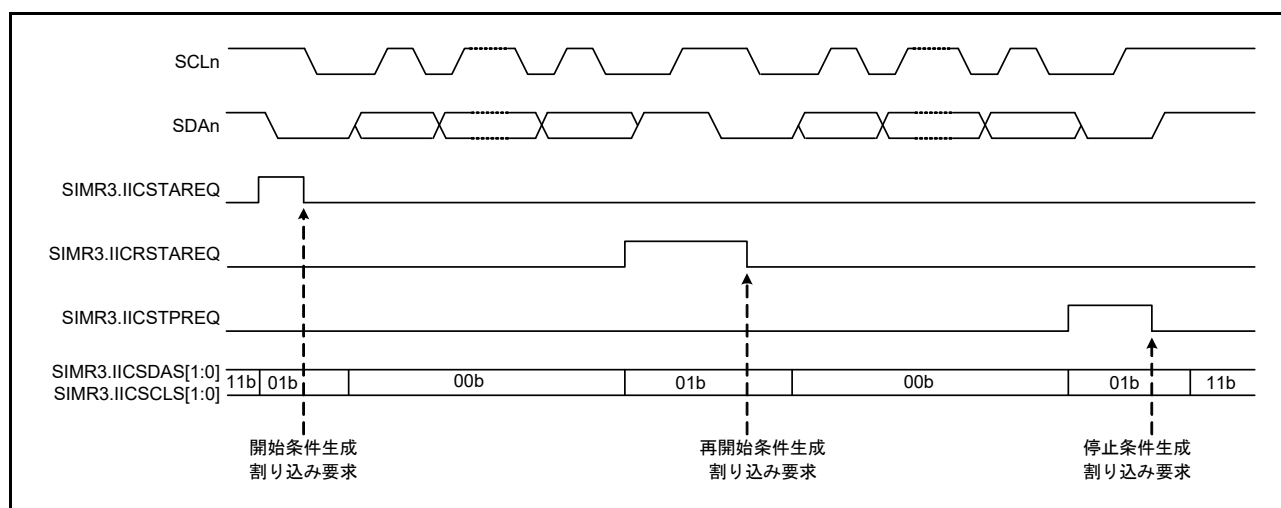


図 27.60 開始条件、再開条件、停止条件生成の動作タイミング

27.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。内部 SCLn クロック信号と SCLn 端子入力のレベルに差異が生じる場合、SIMR2 レジスタの IICCSC ビットを 1 にすることで、クロック同期の制御が可能になります。

SIMR2.IICCSC ビットが 1 の場合、内部 SCLn クロック信号が Low から High へ変化すると、SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ遷移すると、High 期間のカウントが開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子入力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、および内部処理遅延（PCLKB で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開条件、または停止条件の生成要求発行後、内部 SCLn クロック信号が Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 27.61 に、クロック同期化の動作例を示します。

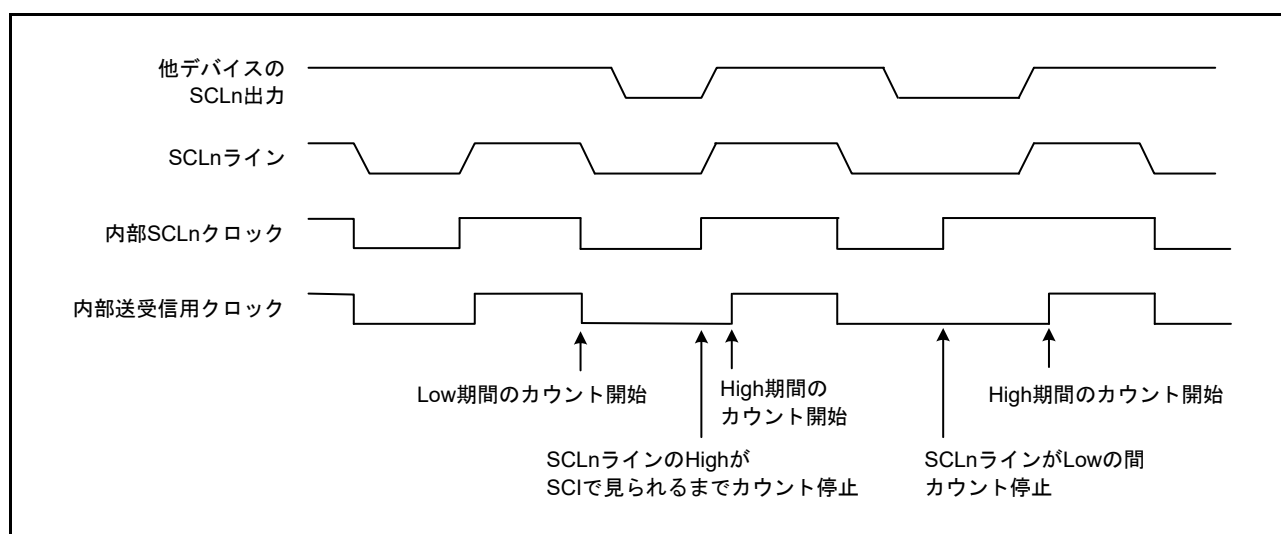


図 27.61 クロック同期化の動作例

27.7.3 SDA_n 出力遅延

SIMR1.IICDL[4:0] ビットを用いて、SCL_n 端子出力の立ち下がりエッジに対し、SDA_n 端子出力を遅延させることが可能です。遅延設定は 0 ～ 31 サイクルの間で選択可能です。遅延設定は、対応する内蔵ポーレートジェネレータからのクロック信号のサイクル数の期間を表します (SMR.CKS[1:0] ビットで選択した分周基本クロック (PCLKB) を基準とします)。SDA_n 端子出力遅延は、開始条件／再開条件／停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDA_n 出力遅延が SCL_n 端子出力の立ち下がりに要する時間より短い場合、SCL_n 端子出力の立ち下がり中に SDA_n 端子出力が変化を開始し、スレーブデバイスが誤動作する可能性があります。SDA_n 端子の出力遅延時間には、SCL_n 端子出力の立ち下がり時間の最大値 (IIC の標準モードとファストモードでは 300ns) より大きい値を設定してください。

図 27.62 に、SDA_n 出力遅延のタイミングを示します。

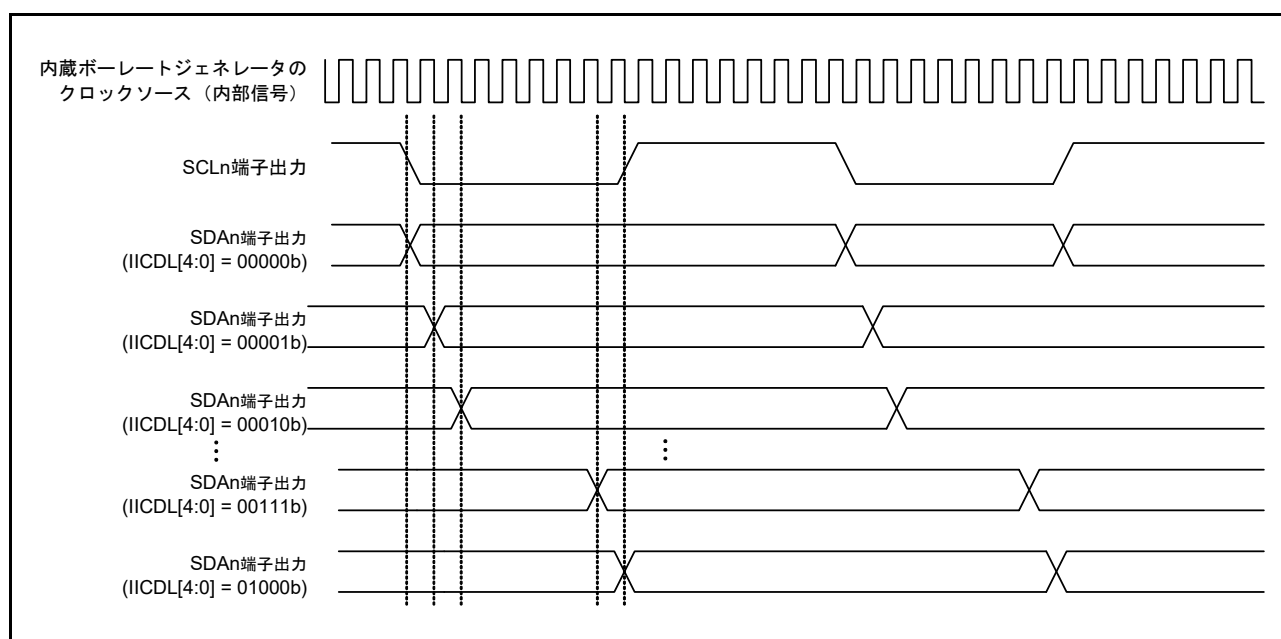


図 27.62 SDA_n 出力遅延のタイミング

27.7.4 SCI の初期化 (簡易 IIC モード)

データの送受信前に、SCR レジスタに初期値 00h を書き込み、図 27.63 のフローチャート例に従って、初期化してください。動作モードや通信フォーマットなどを変更する場合は、必ず事前に SCR レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

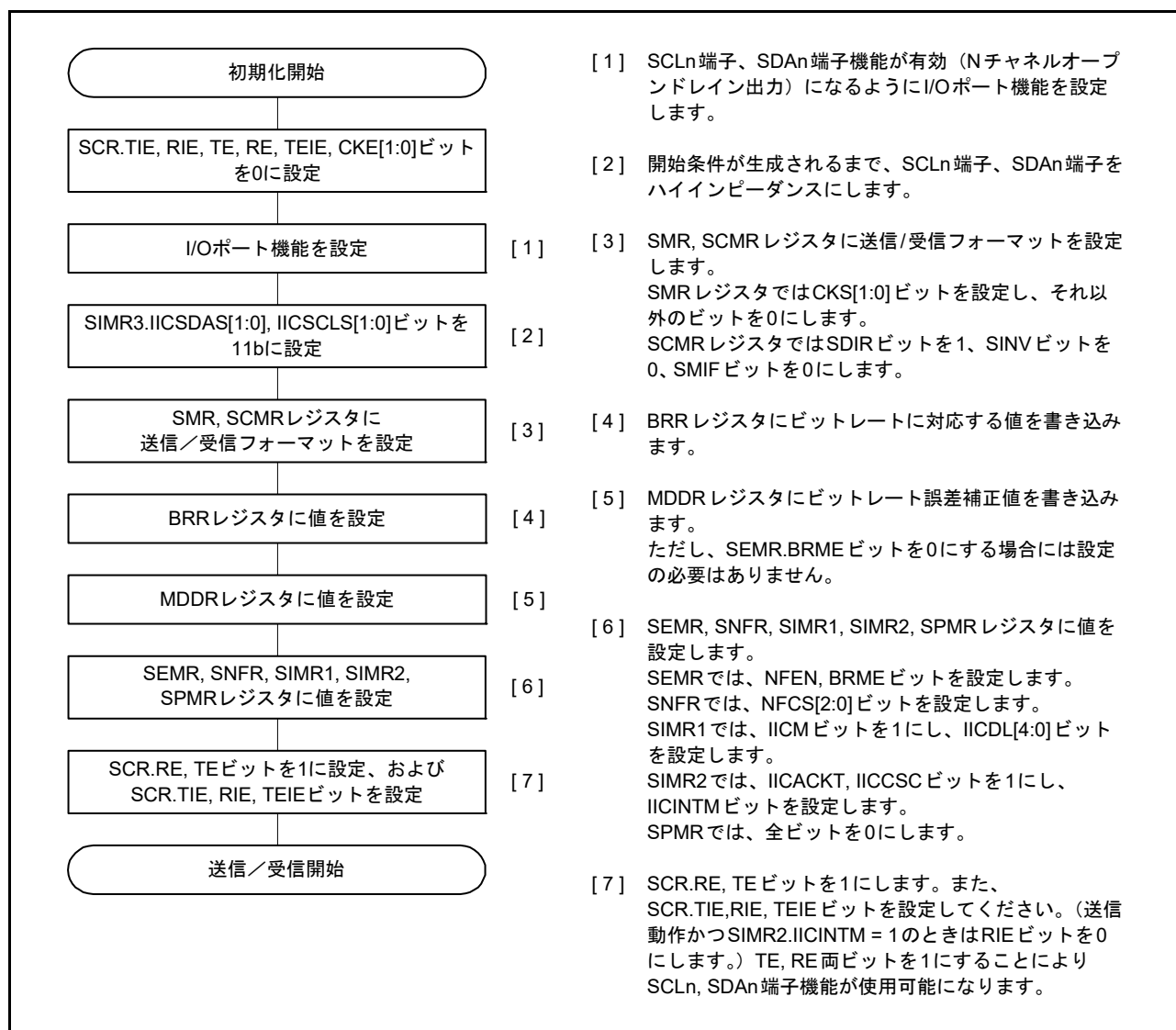


図 27.63 SCI 初期化のフロー例 (簡易 IIC モード)

27.7.5 マスタ送信動作 (簡易 IIC モード)

図 27.64 と図 27.65 に、マスタ送信の動作例を、図 27.66 に、データ送信のフローチャート例を示します。下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) で、かつ SCR.RIE ビットが 0 (SCIn_RXI および SCIn_ERI 割り込み要求を禁止) の場合を想定しています。STI 割り込みについては、表 27.29 を参照してください。

10 ビットスレーブアドレス使用時は、図 27.66 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

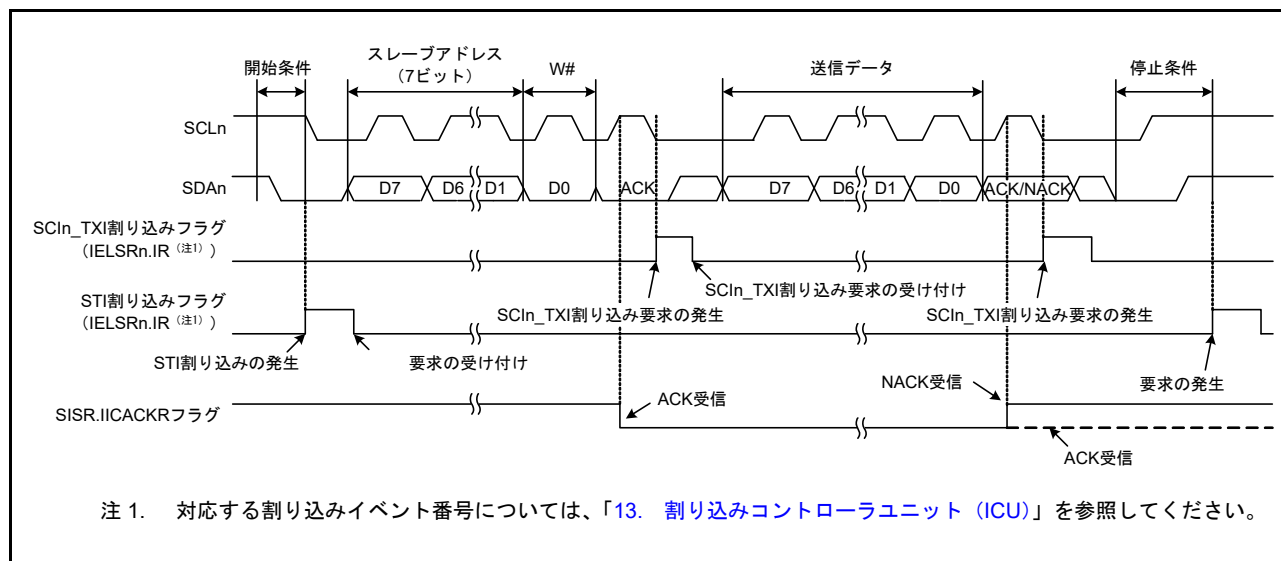


図 27.64 簡易 IIC モードのマスタ送信の動作例 1 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを 0 (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガにして DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

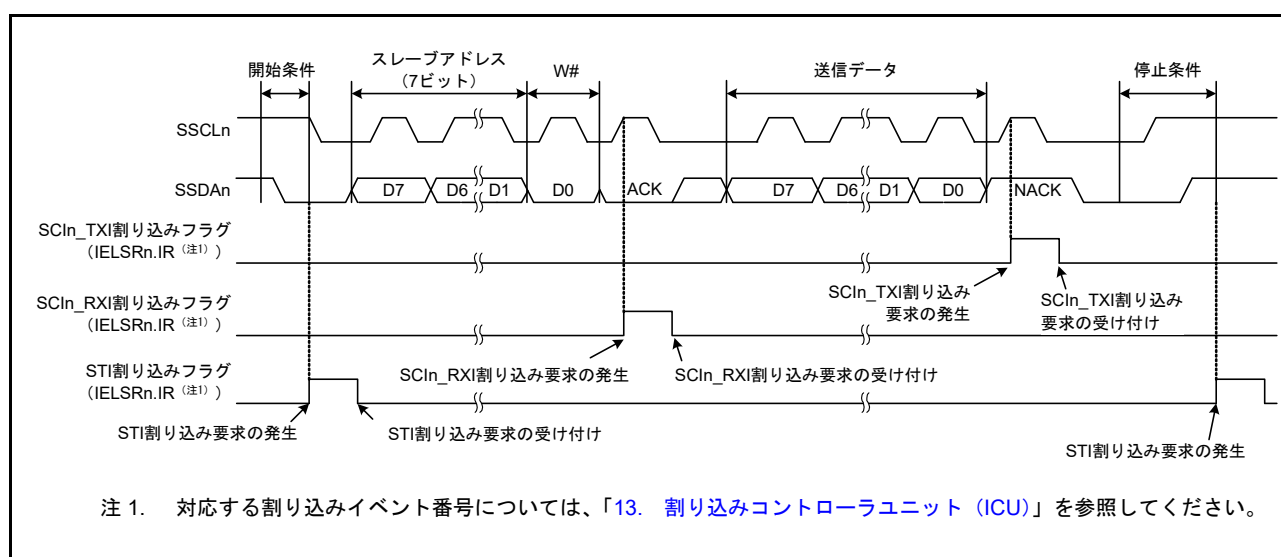


図 27.65 簡易 IIC モードのマスタ送信の動作例 2 (7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

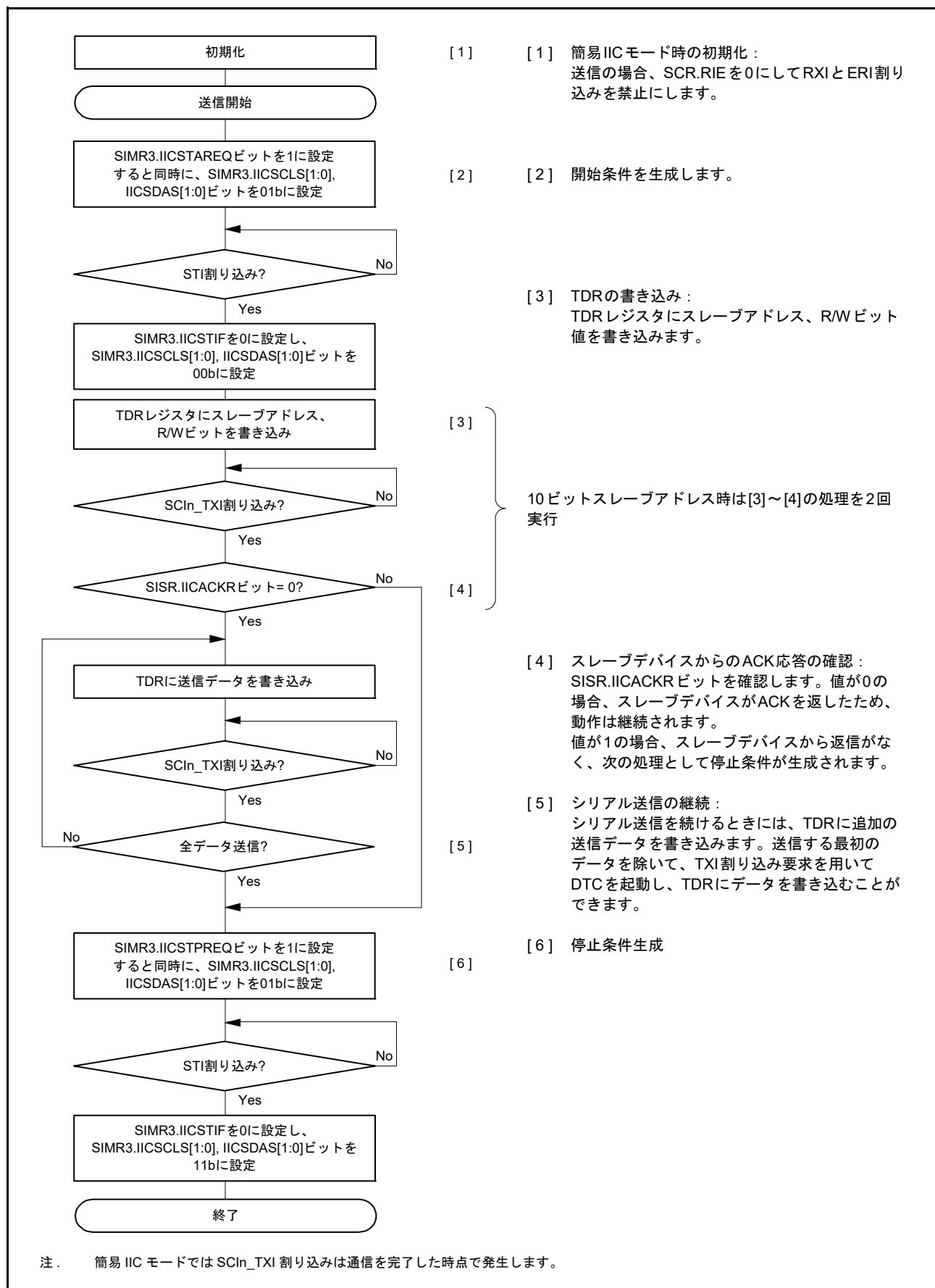


図 27.66 簡易IICモードのマスタ送信の手順例（送信割り込み、受信割り込み使用時）

27.7.6 マスタ受信動作 (簡易 IIC モード)

図 27.67 に簡易 IIC モードにおけるマスタ受信の動作例を、図 27.68 にマスタ受信のフローチャート例を示します。

下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

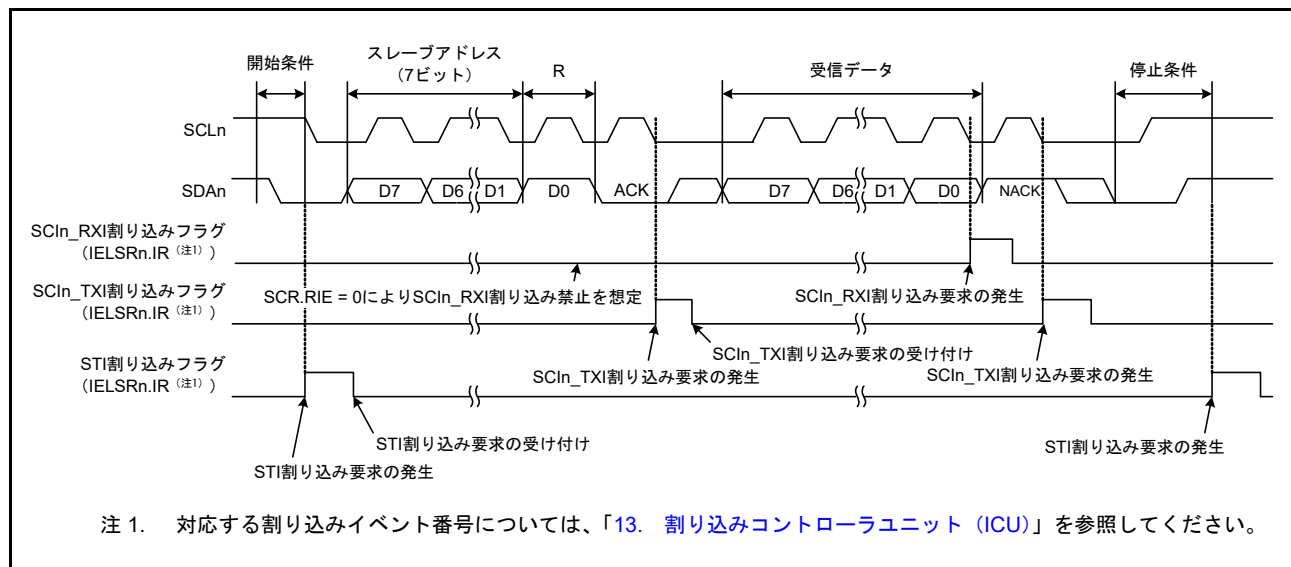


図 27.67 簡易 IIC モードのマスタ受信の動作例 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)



27.8 簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

SCI を簡易 SPI モードにするには、クロック同期式モードの設定 (SCMR.SMIF = 0、SIMR1.IICM = 0、SMR.CM = 1) を使用し、SPMR.SSE ビットを 1 にします。マスタが一つしかない構成では、簡易 SPI モードでマスタとして使用されているデバイスへの接続に、マスタ側の SSn 端子機能は必要ありません。したがって、このような場合は SPMR.SSE ビットは 0 にしてください。

図 27.69 に、簡易 SPI モードの接続例を示します。汎用ポート端子を使用して、マスタからの SSn 出力信号を生成してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み出すことが可能です。これにより、連続転送が可能となります。

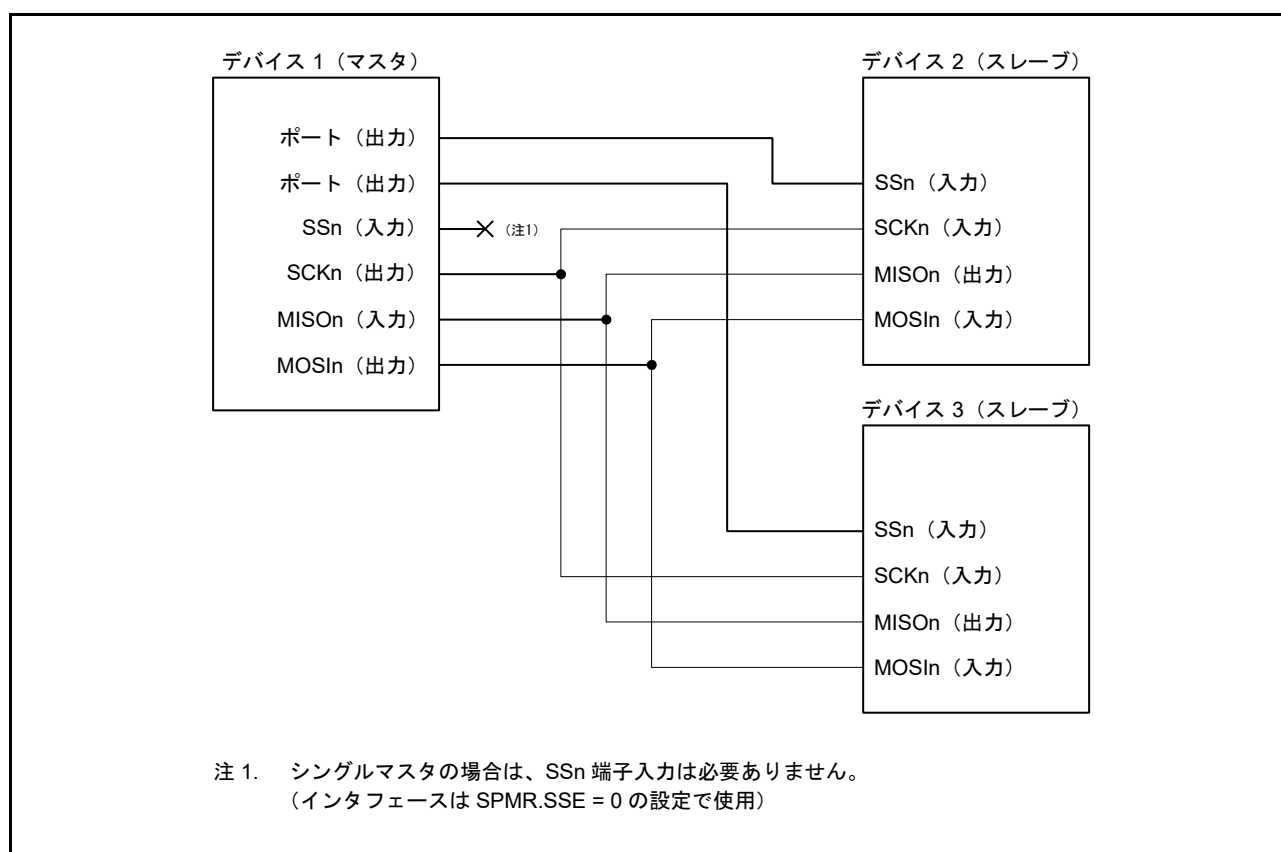


図 27.69 簡易 SPI モードでの接続例 (シングルマスタ時、SPMR.SSE ビット = 0)

27.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] = 00b または 01b、かつ SPMR.MSS = 0) と、スレーブモード (SCR.CKE[1:0] = 10b または 11b、かつ SPMR.MSS = 1) で、各端子の入出力方向が異なります。

表 27.25 に、端子状態、モード、および SSn 端子入力の関係を示します。

表 27.25 モードおよびSSn端子入力と各端子状態の関係

モード	SSn 端子入力	TXDn 端子状態	RXDn 端子状態	SCKn 端子状態
マスタモード (注1)	High レベル (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low レベル (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High レベル (通信可能)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low レベル (通信不可)	受信データ入力	送信データ出力	クロック入力

注 1. シングルマスタ構成 (SPMR.SSE ビット = 0) の場合、SSn 端子の入力レベルにかかわらず、通信可能となります。これは、SSn 端子入力が High のときと等価です。SSn 端子機能は不要であり、別の用途に使用できます。

注 2. シリアル送信禁止 (SCR.TE ビット = 0) の場合、MOSIn 端子出力はハイインピーダンスです。

注 3. マルチマスタ構成 (SPMR.SSE ビット = 1) では、シリアル送受信禁止 (SCR.TE および SCR.RE ビット = 00b) の場合、SCKn 端子出力はハイインピーダンスです。

27.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] ビットを 00b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成 (SPMR.SSE ビット = 0) では、SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは、別のマスタが送受信動作を行っていることを示すため、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。

マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が Low の場合は、別のマスタが存在して、送受信を行っています。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読み出すことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止しませんが、送受信動作完了後の MOSIn 端子出力と SCKn 端子出力はハイインピーダンス状態です。汎用ポート端子を使用して、マスタからの SS 出力信号を生成してください。

27.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] ビットを 10b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOIn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOIn 端子出力をハイインピーダンスにします。なお、内部的な送信または受信処理は、送信中または受信中のキャラクタの処理が完了するまで、SCKn 端子から入力されるクロックレートで続きます。その後、処理が停止すると、割り込み (SCIIn_TXI、SCIIn_RXI、および SCIIn_TEI のいずれか) が発生します。

27.8.4 クロックと送受信データの関係

SPMR.CKPOL ビットと SPMR.CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 27.70 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

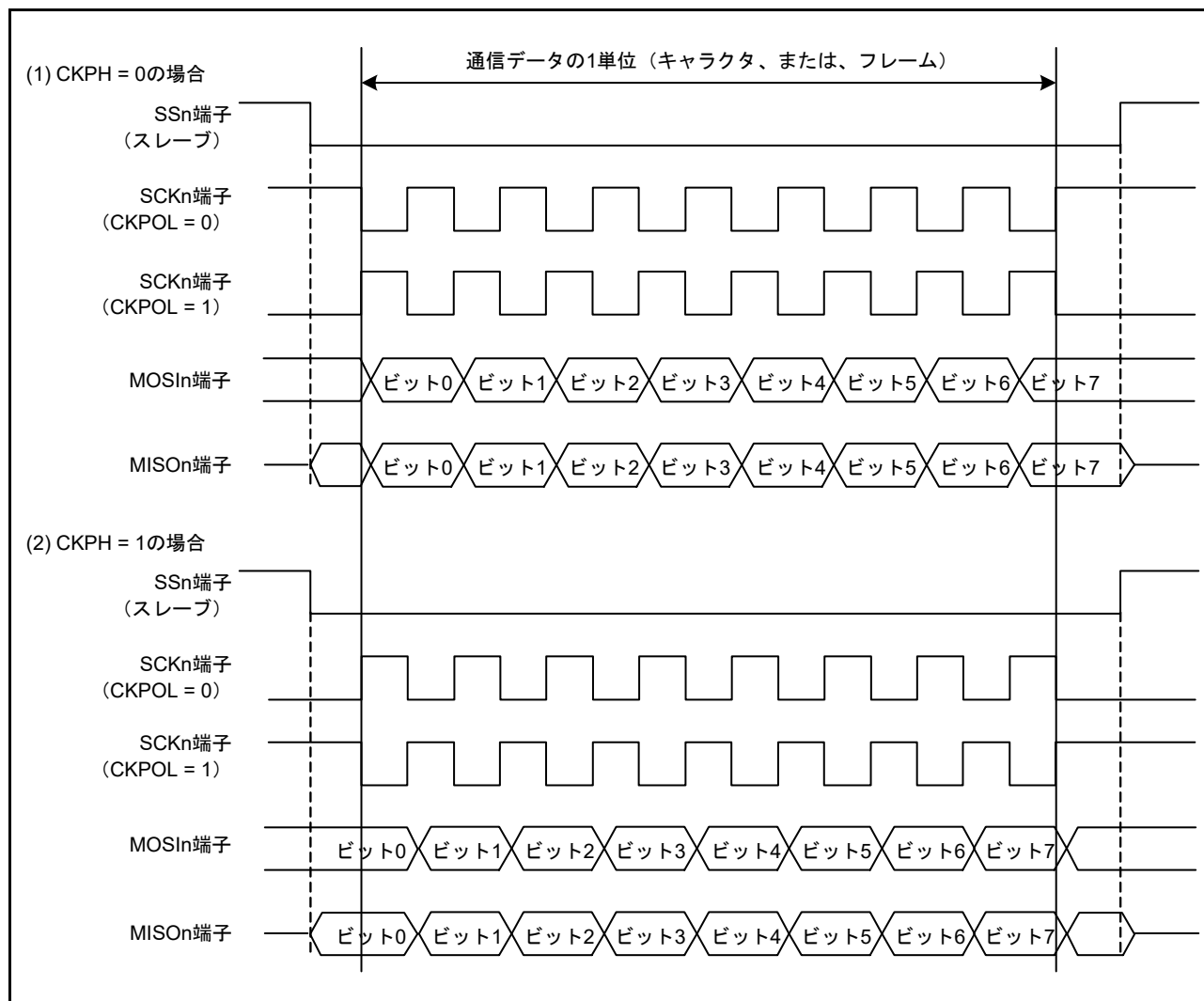


図 27.70 簡易 SPI モードにおけるクロック信号と送受信データの関係

27.8.5 SCI の初期化 (簡易 SPI モード)

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、図 27.32 を参照してください。SPMR レジスタの CKPOL ビットと CKPH ビットは、選択したクロック信号コンフィグレーションがマスタデバイスとスレーブデバイスの両方に適するように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタを初期化してから行ってください。

注 . 0 になるのは RE ビットのみです。SSR.ORER、FER、PER、RDR の各フラグは初期化されません。

SCR レジスタの TIE ビットが 1 のときに、TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCI_n_TXI) が発生します。

27.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

27.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能では、PCLKB が SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択された場合に、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLKB が SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択され、BRR ビットが 0 に、かつ MDDR レジスタが 160 に設定された場合の例を図 27.71 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注． 内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードでの最高速設定 (SMR.CKS[1:0] = 00b、SCR.CKE[1] = 0、および BRR = 0) では、この機能を使用しないでください。

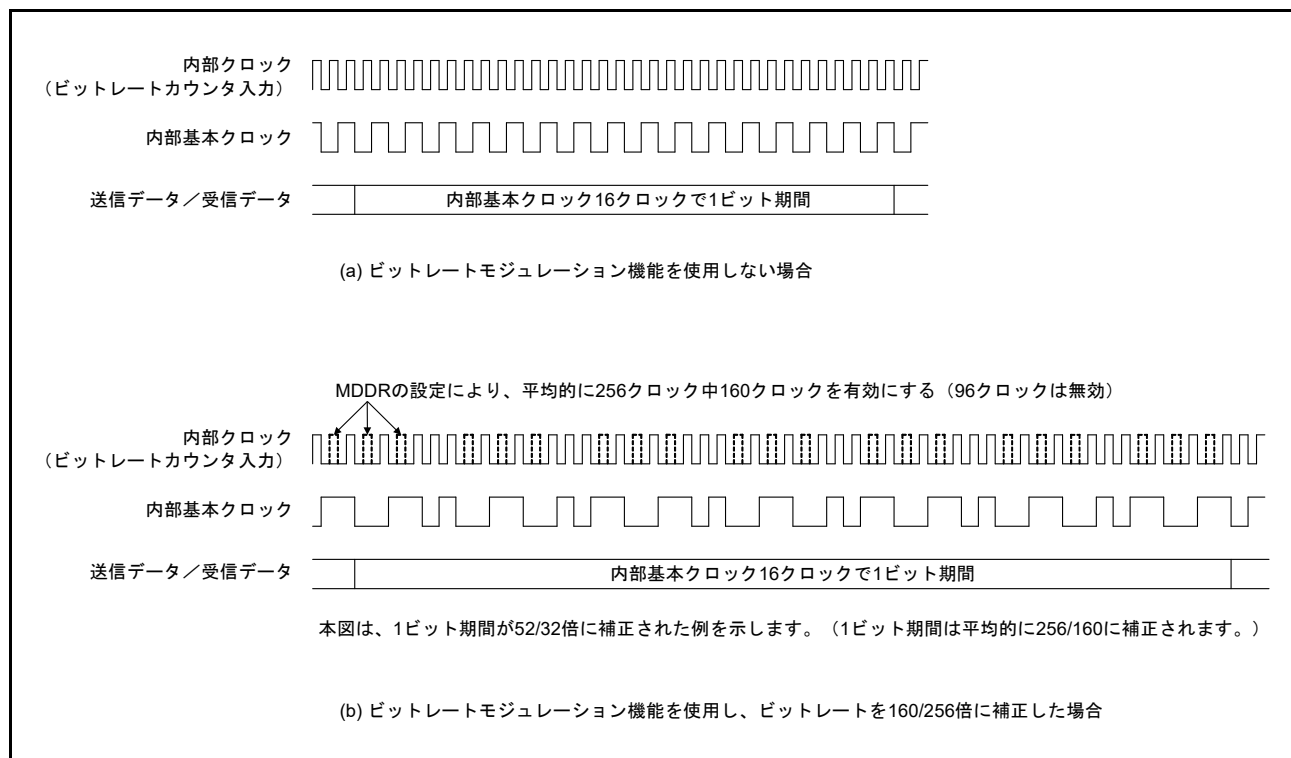


図 27.71 ビットレートモジュレーション機能使用時の内部基本クロックの例

27.10 割り込み要因

27.10.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）

割り込みコントローラユニット (ICU) の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が満たされても、ICU は割り込み要求を出力せず、内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

ICU の割り込みステータスフラグが 0 になると、ICU 内に保持していた割り込み要求を出力します。割り込み要求が出力されると、内部で保持していた割り込みは自動的に破棄されます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SCR/SCR_SMCI レジスタの TIE ビットまたは RIE ビット) をクリアすることでも破棄できます。

27.10.2 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）

SCIn_TXI 割り込みと SCIn_RXI 割り込みは、ICU の割り込みステータスフラグが 1 であっても、ICU に対して割り込み要求を出力しません。割り込みコントローラの割り込みステータスフラグが 0 にクリアされた場合に、SCIn_TXI 割り込みと SCIn_RXI 割り込みの条件が満たされていれば、割り込み要求が発生します。

27.10.3 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 27.26 に、調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には、異なる割り込みベクタの割り当てが可能です。SCR レジスタの許可ビットによって、割り込み要因を個別に許可／禁止することが可能です。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ（注 1）から TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることでも発生します。SCIn_TXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。（注 2）

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、SCR.TE ビットが 1 のとき、TDR レジスタまたは TDRHL レジスタ（注 1）に次の送信データが書き込まれるまで SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ（注 1）にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR.ORER、FER、PER のいずれかのフラグが 1 になると、SCIn_ERI 割り込み要求が発生します。このとき、SCIn_RXI 割り込み要求は発生しません。これら 3 つのフラグ (ORER、FER、PER) のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

(2) FIFO 選択時

表 27.27 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 のとき、FTDRL レジスタに格納されたデータ数が FCR.TTRG[3:0] で指示されたしきい値以下になると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にすることでも発生します。または、SCR.TE ビットが 1 のときに SCR.TIE ビットを 1 にしても発生します。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合には発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが FTDRL レジスタに書き込まれていないと、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

SCR.RIE ビットが 1 のとき、FRDRL レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn_RXI 割り込み要求が発生します。RTRG[3:0] ビットが 0000b の場合は、受信 FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

SCR.RIE ビットが 1 のとき、SSR_FIFO.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが FRDRL レジスタに格納されると、SCIn_ERI 割り込み要求が発生します。このとき、FRDRL レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求が発生します。SSR_FIFO.ORER、FER、および PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

注 1. 調歩同期式モードにおいて、データ長 9 ビットを選択した場合です。

注 2. 最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

表 27.26 SCI 割り込み要因 (非 FIFO 選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_ERI	受信エラー (注1)	ORER, FER, PER, DFER, DPER	RIE	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能
	アドレス一致	DCMF	RIE	可能
SCIn_AM	アドレス一致	DCMF	—	可能
SCIn_TXI	送信データエンプティ	TDRE	TIE	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能

表 27.27 SCI 割り込み要因 (FIFO 選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_ERI	受信エラー (注1)	ORER, FER, PER, DFER, DPER	RIE	不可能
		DR (FCR.DRES = 1 の場合)	RIE	不可能
SCIn_RXI	受信データフル	RDF	RIE	可能
	受信データレディ	DR (FCR.DRES = 0 の場合)	RIE	可能
	アドレス一致	DCMF	RIE	可能
SCIn_AM	アドレス一致	DCMF	—	可能
SCIn_TXI	送信データエンプティ	TDFE	TIE	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能

注 1. 割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードのみです。

27.10.4 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードにおける割り込み要因を表 27.28 に示します。このモードでは、送信終了割り込み (SCIn_TEI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

表 27.28 スマートカードインタフェースモードにおけるSCI割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動
SCIn_ERI	受信エラー、エラーシグナル検出	ORER, FER, ERS	RIE	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能
SCIn_TXI	送信終了	TEND	TIE	可能

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC を使用した送受信が可能です。送信動作では、SSR_SMCI.TEND フラグが 1 になると、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求により DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグは 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR_SMCI.ERS フラグは自動的に 0 にクリアされません。そのため、SCR_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn_ERI 割り込み要求が発生させることで、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。DTC の設定については、「16. データトランスファコントローラ (DTC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求により DTC が起動されて、受信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

27.10.5 簡易 IIC モードにおける割り込み

簡易 IIC モードにおける割り込み要因を表 27.29 に示します。STI 割り込みは、送信終了割り込み (SCIn_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn_ERI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のときは、次の設定を行ってください。

- SCLn 信号の 8 ビット目の立ち下がりで、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。
- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち下がりで、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC が起動され、送信データの転送が可能になります。

SIMR2.IICINTM ビットが 0 のとき。

- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がりで、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求 (ACK 検出) が発生します。
- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がりで、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求 (NACK 検出) が発生します。
- あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。

なお、DTC を使用して送受信を行う場合は、前もって DTC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 27.29 簡易 IIC モードにおける割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_RXI	受信、ACK 検出	—	RIE	可能
SCIn_TXI	送信、NACK 検出	—	TIE	可能
STIn	開始条件、再開条件、停止条件生成終了	IICSTIF	TEIE	不可能

注. SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合にのみ、DTC の起動が可能です。

27.11 イベントリンク機能

SCI は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることができます。

(1) エラーイベント出力 (受信エラーまたはエラーシグナル検出時)

- 調歩同期式モードで、受信時にパリティエラーが発生して異常終了したことを示します
- 調歩同期式モードで、受信時にフレーミングエラーが発生して異常終了したことを示します
- 受信時にオーバーランエラーが発生して異常終了したことを示します
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、SSR_FIFO.FER フラグと SSR_FIFO.PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15ETU 経過したことを示します。

(2) 受信データフルイベント出力

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します
- 簡易 IIC モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください

(a) 非 FIFO 選択時

- 受信データが受信データレジスタ (RDR または RDRHL) に格納されたことを示します

(b) FIFO 選択時

- このイベント出力は使用しないでください

(3) 送信データエンプティイベント出力

- SCR/SCR_SMCI.TE ビットが 0 から 1 に変化したことを示します
- スマートカードインタフェースモードで、送信が完了したことを示します
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します

(a) 非 FIFO 選択時

- 送信データが送信データレジスタ (TDR または TDRHL) から送信シフトレジスタ (TSR) へ転送されたことを示します

(b) FIFO 選択時

- このイベント出力は使用しないでください

(4) 送信終了イベント出力

- 送信が完了したことを示します
- 簡易 IIC モードで、開始条件、再開始条件、停止条件の生成が完了したことを示します

注 . FIFO が選択されている場合、このイベント出力は使用しないでください。

(5) アドレス一致イベント出力

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致したことを示します

27.12 アドレス不一致イベント出力（SCI0_DCUF）

アドレス不一致イベント出力（SCI0_DCUF）は、調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致しないことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能です。

27.13 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 27.72 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、それは有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/16 となります。

SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/8 となります。

SEMR.ABCSE = 1 の場合、周期は 1 ビット転送期間の 1/6 となります。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXD 端子の受信レベルは、調歩同期式モードの基本クロックを使ってノイズフィルタのフリップフロップ回路から取り込まれます。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、ノイズ除去機能を使用できます。ノイズ除去機能のサンプリングクロックは、ボーレートジェネレータソースクロックを 1、2、4、または 8 で分周することによって SNFR.NFCS[2:0] ビットで選択します。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号とみなされます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

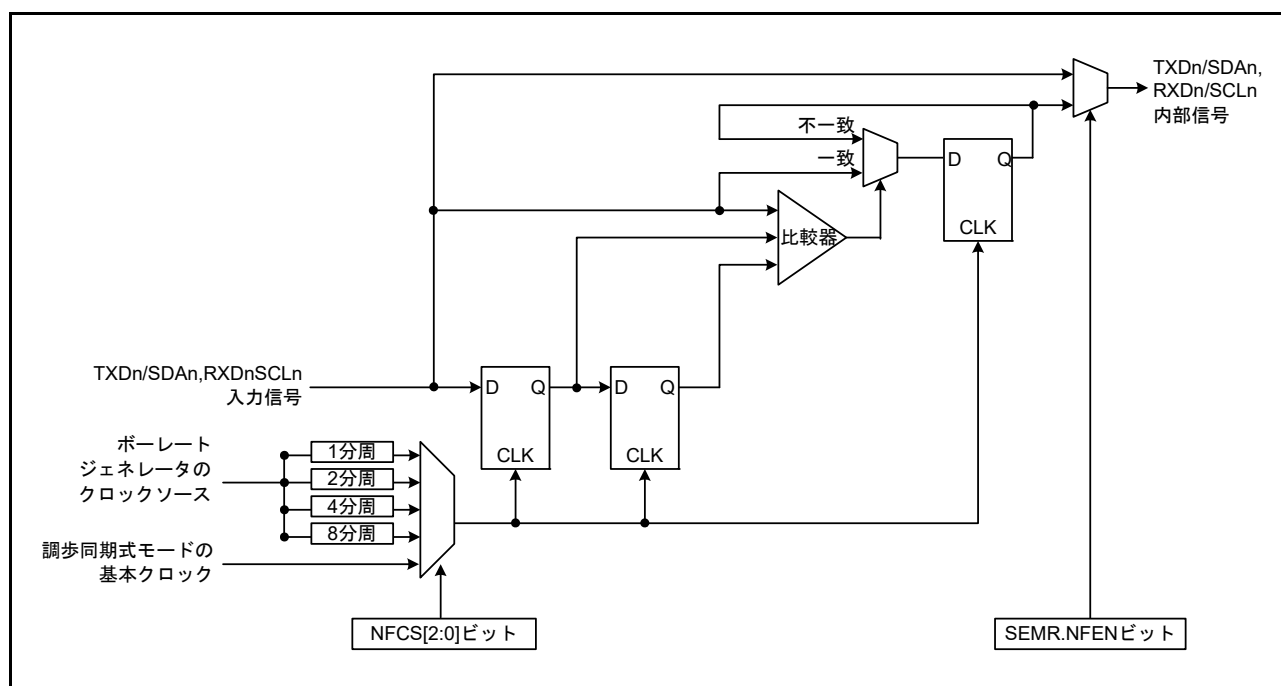


図 27.72 デジタルノイズフィルタ回路のブロック図

27.14 使用上の注意事項

27.14.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、SCI の動作を許可または禁止することが可能です。SCI は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

27.14.2 低消費電力状態での SCI の動作について

(1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止 (SCR/SCR_SMCI レジスタの TIE、TE、TEIE ビットを 0) にしてください。入出力ポートを SCI 接続に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR_SMCI レジスタの TEND ビットは、非 FIFO 選択時には 1 にリセットされます。FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードからの復帰後、出力端子は、ポートの設定と SPTR レジスタの設定に応じて、これらの低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合は、以下の手順を実行します。

1. TE ビットを 1 にします。
2. SSR/SSR_FIFO/SSR_SMCI レジスタを読み出します。
3. 連続して TDR レジスタへの書き込みを行い、データ送信を開始します。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 27.73 に、送信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 27.74 と図 27.75 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、送信動作を停止 (TE ビットを 0) にしてください。低消費電力状態解除後に DTC による送信を開始する場合は、TE ビットを 1 にしてください。SCI_n_TXI 割り込みフラグが 1 になり、DTC による送信が始まります。

(2) 受信

(a) ウェイクアップ条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、受信動作を停止 (SCR/SCR_SMCI.RE ビットを 0) にしてください。受信中に遷移すると、受信中のデータは無効になります。

図 27.76 に、受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

(b) ウェイクアップ条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、以下の手順を実行します。

1. 低消費電力状態解除後の動作を設定します。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にします。
3. 受信動作を許可 (SCR/SCR_SMCI.RE = 1) にします。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定します。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXDn) が Low であれば、SEMR.RXDESEL を 0 にしてください。SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット

(RXDn 端子の立ち下がり) が検出されない可能性があります。

図 27.77 に、アドレス一致を用いて受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

(c) SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制約事項があります。詳細は、「11. 低消費電力モード」を参照してください。

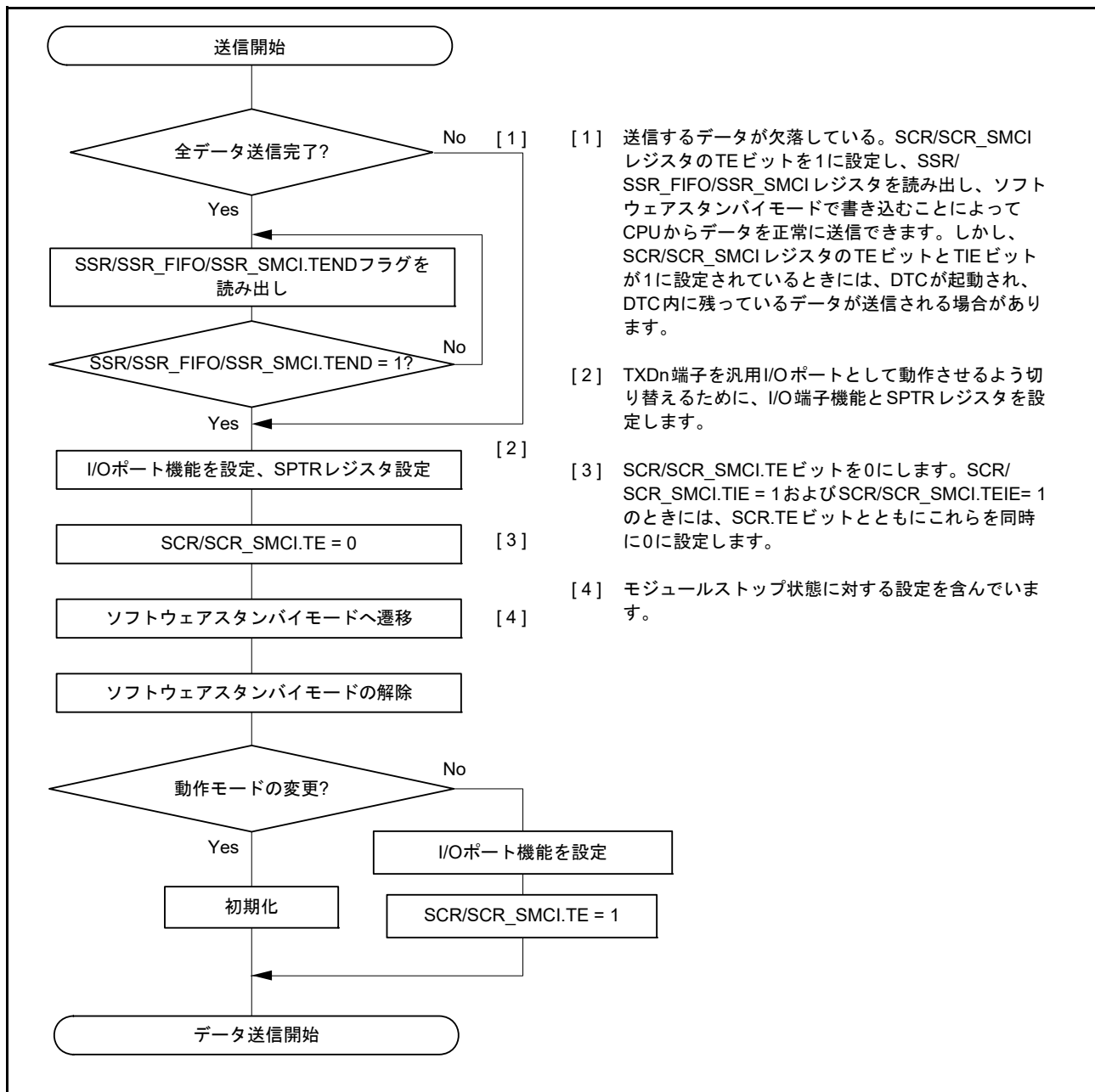


図 27.73 送信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

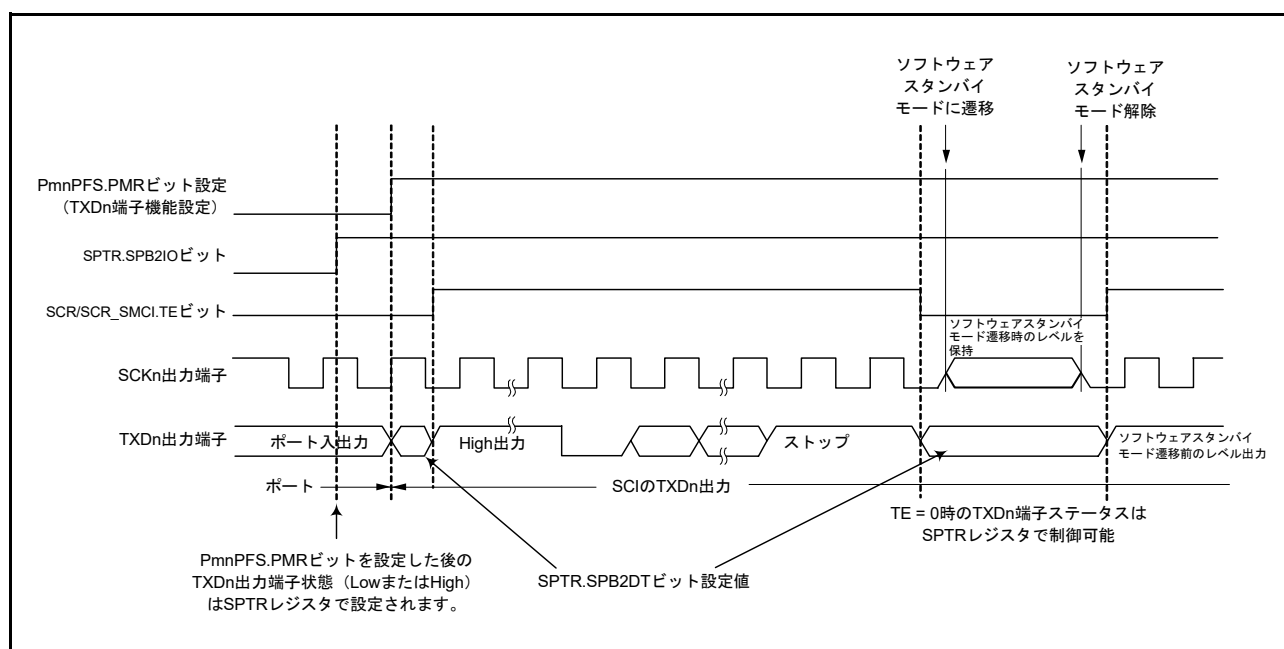


図 27.74 ソフトウェアスタンバイモード移行時のポートの端子状態 (内部クロック、調歩同期送信)

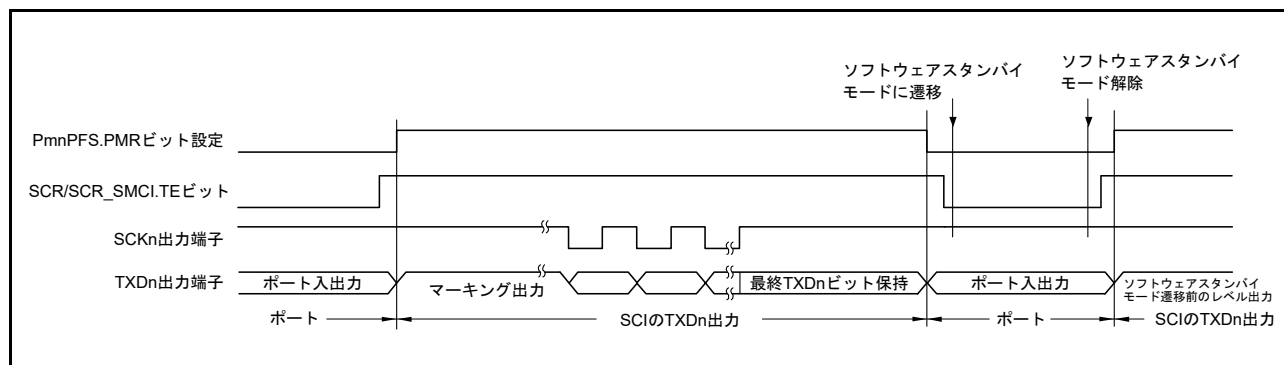


図 27.75 ソフトウェアスタンバイモード移行時のポートの端子状態 (内部クロック、クロック同期送信)

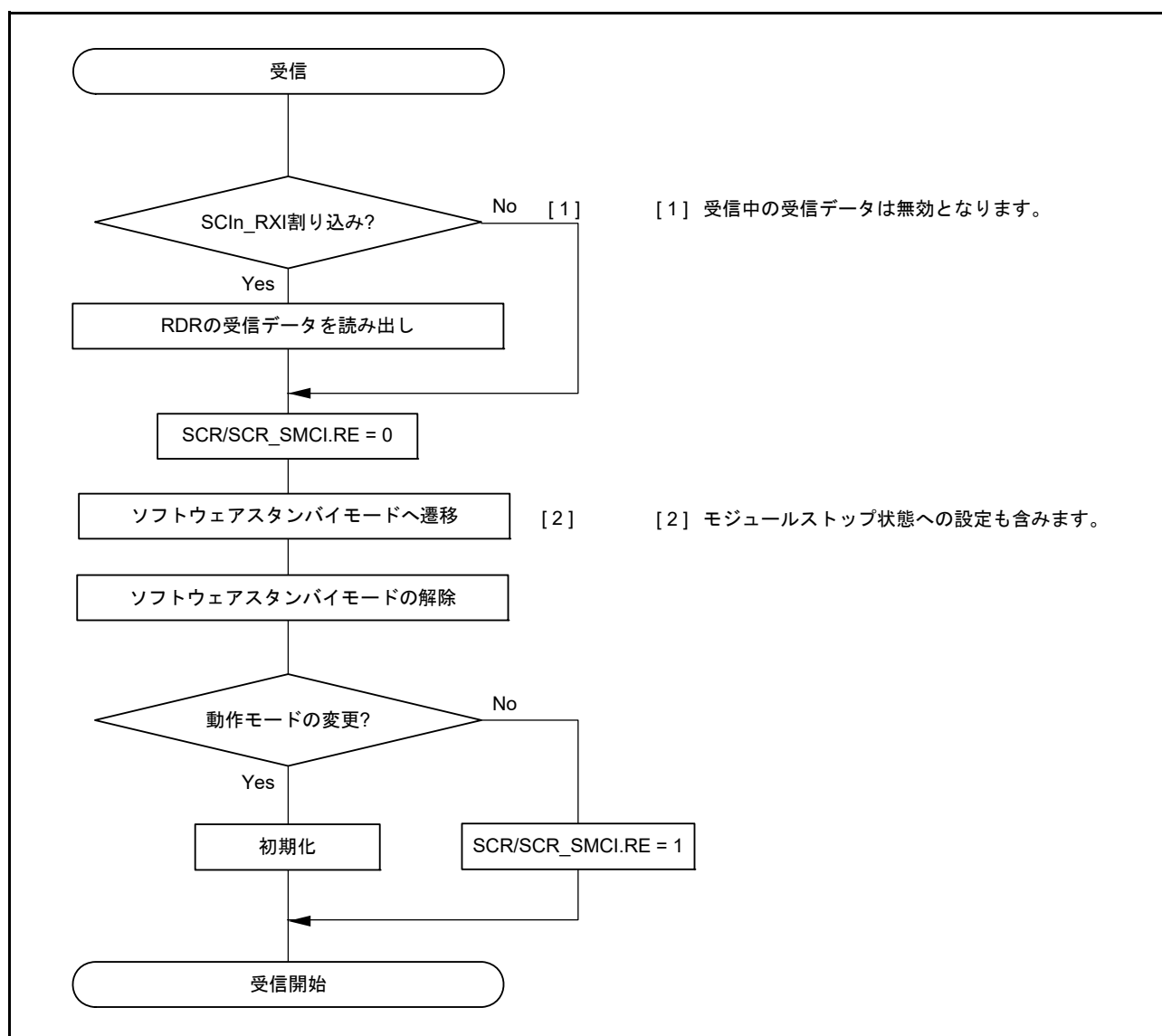


図 27.76 受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

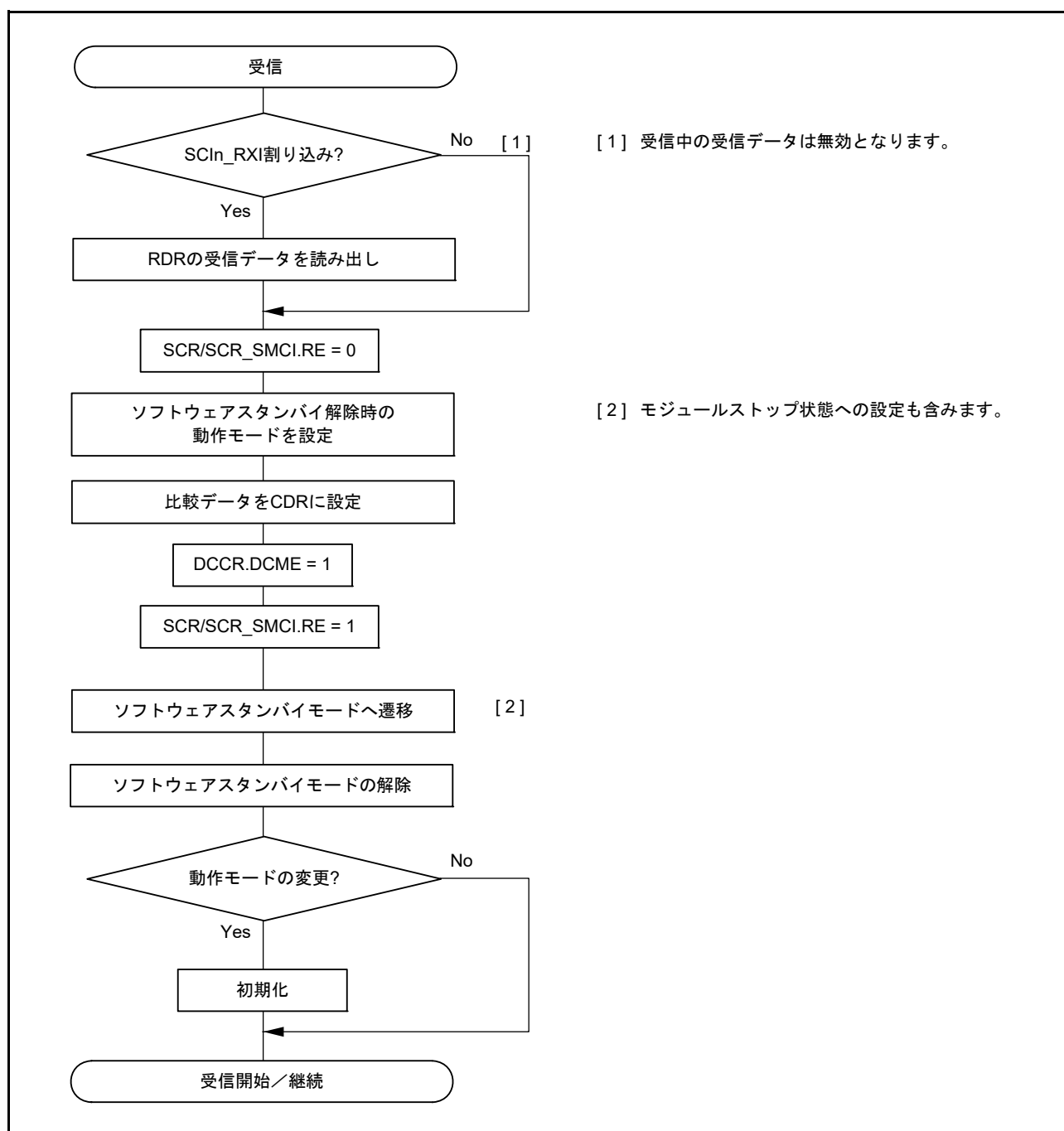


図 27.77 アドレス一致を用いて受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

27.14.3 ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、SSR.FER フラグが 1 (フレーミングエラーの発生あり) になり、さらに SSR.PER フラグも 1 (パリティエラーの発生あり) になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0 (フレーミングエラーの発生なし) にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグを 0 にすれば、ブレーク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりですタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出され、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出されると、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON ビットの値を読み出すことでブレークの検出が可能です。RXDn 信号がマーク状態になってブレークが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

27.14.4 マーク状態とブレークの送出

SCR/SCR_SMCI.TE ビットが 0 (シリアル送信動作を禁止) のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にしてブレークを送出できます。

SCR/SCR_SMCI.TE ビットを 1 (シリアル送信動作を許可) にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態 (1 の状態) に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR_SMCI.TE ビットを 0 にしてください。SCR/SCR_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されます。

27.14.5 受信エラーフラグと送信動作 (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR/SSR_FIFO.ORER) が 1 の状態では、TDR または FTDR (注 1) レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。

注 . SCR/SCR_SMCI レジスタの RE ビットを 0 にしてシリアル受信を禁止すると、受信エラーフラグは 0 になりません。

注 1. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

27.14.6 クロック同期送信に関する制約事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

TDR レジスタへの送信データの書き込みから、外部クロック入力開始まで、下記に示す以上の待機時間を確保してください

$1\text{PCLKB} + \text{スレーブのデータ出力遅延時間 (t}_{\text{DO}}) + \text{マスタのセットアップ時間 (t}_{\text{SU}})$

図 27.78 を参照してください。

(2) 連続送信時

送信クロックの 7 ビット目の立ち下がり以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください。図 27.78 を参照してください。

ビット [7] 送信開始以降に TDR を更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、4PCLKB 以上にしてください。図 27.78 を参照してください。

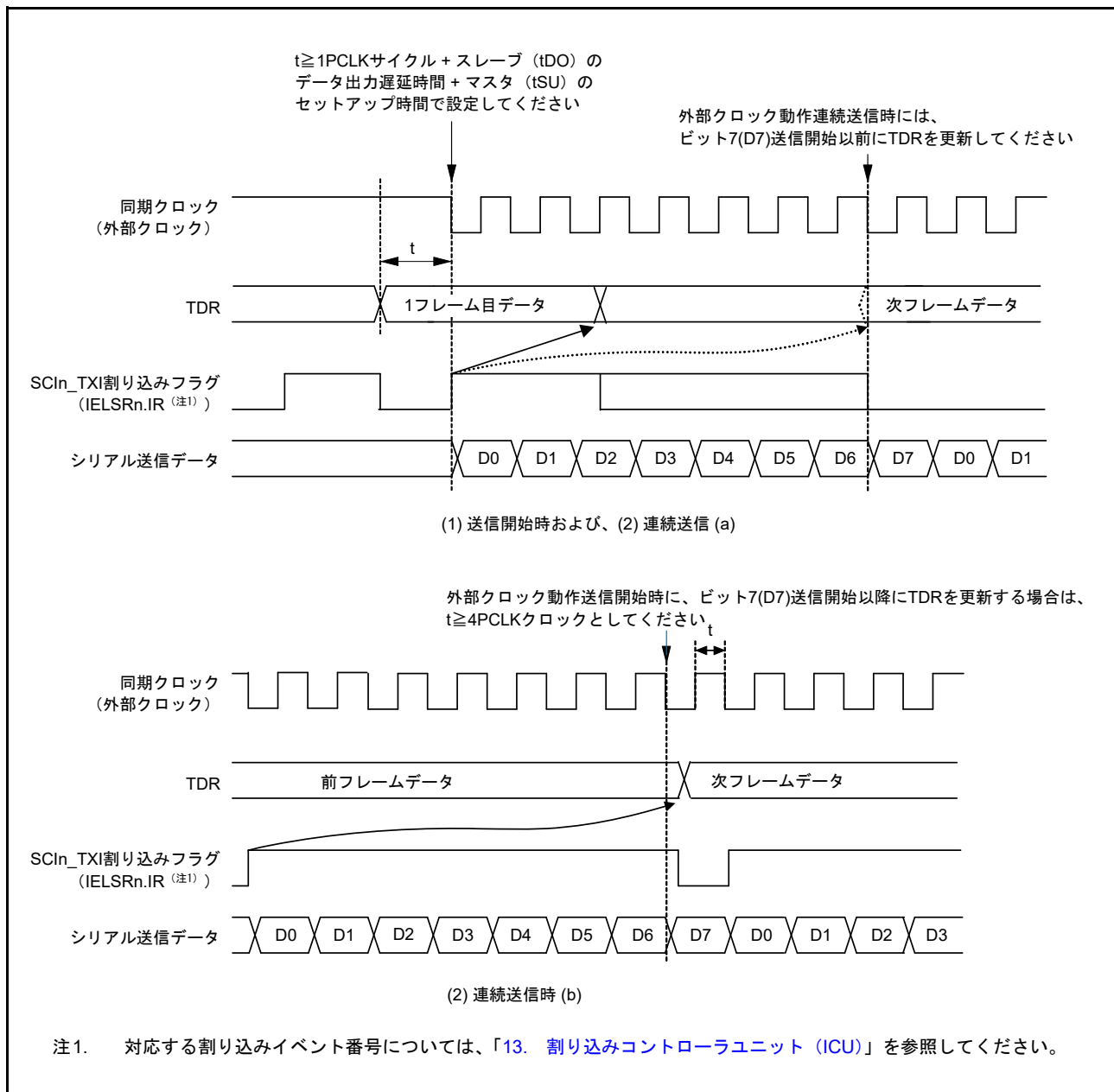


図 27.78 クロック同期送信時の外部クロック使用に関する制約事項

27.14.7 DTC 使用時の制約事項

DTC による送受信動作中は、DTC に転送データを設定しないでください。

(1) TDR (FTDRHL) レジスタへの書き込み

(a) 非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは、TSR レジスタへ転送されず失われます。DTC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCIn_TXI 割り込み要求処理ルーチンで行ってください。

(b) FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

(2) RDR (FRDRHL) レジスタからの読み出し

DTC を用いて RDR および RDRHL レジスタを読み出すときは、必ず、対応する SCI チャンネルの起動要因として受信データフル割り込み (SCIn_RXI) を設定してください。

27.14.8 通信の開始に関する注意事項

ICU の割り込みステータスフラグ (IELSRn.IR) が 1 の状態で転送を開始する場合は、動作を許可する (SCR/SCR_SMCI.TE ビットを 1 にするか、SCR/SCR_SMCI.RE ビットを 1 にする) 前に、本項に示す手順で割り込み要求をクリアしてください。

割り込みステータスフラグの詳細については、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

1. 通信が停止していること (SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットが 0 になっていること) を確認します。
2. 対応する割り込み許可ビット (SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット) を 0 にします。
3. 対応する割り込み許可ビット (SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット) を読み出して、値が 0 になっていることを確認します。
4. ICU の割り込みステータスフラグ (ICU.IELSRn.IR) を 0 にします。

27.14.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

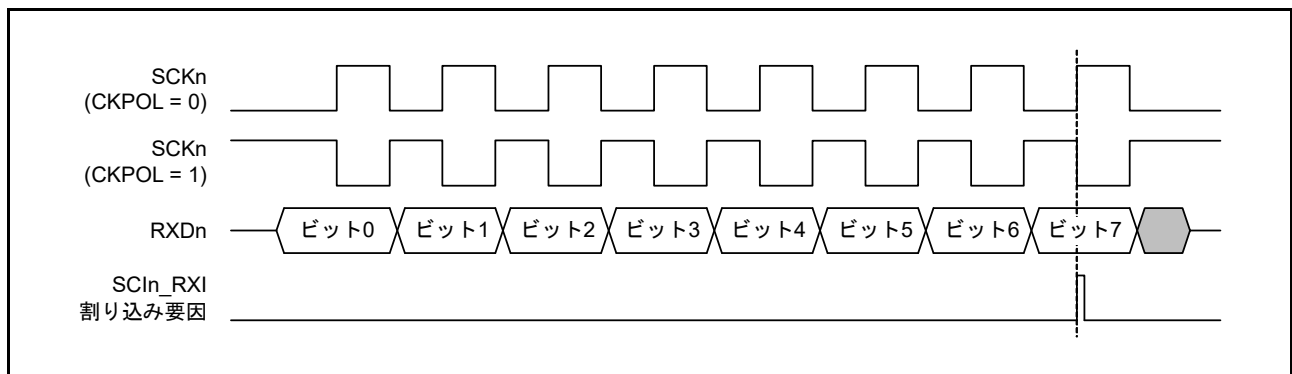
クロック同期式モードと簡易 SPI モードでは、外部クロック (SCKn) 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLKB 以上、周期は 6PCLKB 以上

27.14.10 簡易 SPI モードに関する制約事項

(1) マスタモード

- SPMR.SSE ビットが 1 の場合、SPMR.CKPH ビットと SPMR.CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。これによって、SCR.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- 「クロック遅れあり」の設定 (SPMR.CKPH ビット = 1) では、図 27.79 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCI_n_RXI) が発生します。このとき、SCR.TE ビットと SCR.RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCI_n_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SS_n 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタの転送中にモードフォルトエラーが発生すると、SS_n 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

図 27.79 簡易 SPI モードにおける SCI_n_RXI 割り込みの発生タイミング (クロック遅れあり)

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力開始まで、下記に示す以上の待機時間を確保してください
 $1\text{PCLKB} + \text{スレーブのデータ出力遅延時間 (t}_{\text{DO}}) + \text{マスタのセットアップ時間 (t}_{\text{SU}})$

また、SS_n 端子への Low 入力から、外部クロック入力開始までについても、5PCLKB 以上の待機時間を確保してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください
- SS_n 端子入力は、データ転送開始前と完了後に制御してください
- キャラクタ転送中に SS_n 端子への入力レベルが Low から High に変化した場合は、SCR.TE ビットと SCR.RE ビットを 0 にして、設定回復後に 1 バイト目から転送をやり直してください

27.14.11 送信許可ビット (SCR.TE) に関する注意事項

SCR.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

1. プルアップ抵抗を TXDn ラインに接続する。
2. SCR.TE ビットを 0 にする前に、端子機能を汎用の出力ポートに変更する。その後、SCR.TE ビットを 1 にした後、端子機能を TXDn に変更する。
3. 調歩同期式モードにおいて SCR.TE ビットが 0 の場合に、SPTR レジスタを設定し、TXDn 端子に対して決定されたレベルを設定します。

簡易 SPI モードのスレーブ動作では、MISO_n 端子は上記 TXDn 端子と同様の動作をします。MISO_n 端子は TXDn 端子と同様に、上記の 1. または 2. により、ハイインピーダンスにしないでください。

27.14.12 調歩同期式モードで RTS 機能を使用した時の受信の停止について

調歩同期式モードにおいて、SCR.RE ビットを 0 に設定してから RTS 信号ジェネレータを停止するまでに PCLK の 1 クロックサイクルが必要です。

SCR.RE ビットを 0 に設定した後で RDR (または RDRHL) レジスタから読み出すときは、これら 2 つの処理が続けて実行されることを防ぐために、RDR (または RDRHL) レジスタから読み出す前に SCR.RE ビットが 0 に設定されていることを確認してください。

28. I²C バスインタフェース (IIC)

28.1 概要

本 MCU は、2 チャンネルの I²C バスインタフェース (IIC) を内蔵しています。IIC モジュールは、NXP 社の I²C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。

表 28.1 に IIC の仕様を、図 28.1 にブロック図を、図 28.2 に入出力端子の外部回路接続例を示します。表 28.2 に、IIC の入出力端子を示します。

表 28.1 IIC の仕様 (1/2)

項目	内容
通信フォーマット	• I²C バスフォーマットまたは SMBus フォーマット • マスタ/スレーブモードを選択可能 • 転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (～400kbps)
SCL クロック	マスタ動作時、SCL クロックのデューティ比を 4%～96% の範囲で設定可能
コンディション発行・コンディション検出	• スタートコンディション/リスタートコンディション/ストップコンディションの自動生成 • スタートコンディション (リスタートコンディション含む) /ストップコンディションの検出可能
スレーブアドレス	• 異なるスレーブアドレスを 3 種類まで設定可能 • 7 ビット/10 ビットアドレスフォーマット対応 (混在可能) • ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出が可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノットアクノリッジビット検出時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信値に応じたアクノリッジビット値のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによる下記期間のウェイトが可能 • 8 クロック目と 9 クロック目の間をウェイト • 9 クロック目と次の転送の 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングの遅延が可能
アービトレーション	• マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行がバスで競合した場合、SDAn ライン用の内部信号と SDAn ラインの間に不一致があるかどうかのテストによりアービトレーションロストを検出 - マスタ動作時、SDAn ライン信号と SDAn ラインの内部信号に間に不一致があるかどうかのテストによりアービトレーションロストを検出 • バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能 (スタートコンディションの二重発行防止) • ノットアクノリッジビット転送時、SDAn ライン用内部信号と SDAn ラインのレベルの不一致によりアービトレーションロストを検出 • スレーブ送信時、データの内部レベルとラインレベルの不一致によるアービトレーションロストの検出が可能
タイムアウト検出機能	SCL クロックの長時間停止を内部で検出
ノイズ除去	• SCL 信号と SDA 信号用のデジタルノイズフィルタ • フィルタによるノイズ除去幅をプログラマブルに調整可能
割り込み要因	• 通信エラーまたはイベント発生 (アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、ストップコンディション) • 受信データフル (スレーブアドレス一致時含む) • 送信データエンプティ (スレーブアドレス一致時含む) • 送信終了
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能
IIC の動作モード	• マスタ送信 • マスタ受信 • スレーブ送信 • スレーブ受信

表 28.1 IIC の仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	- 通信エラーまたはイベント発生 (アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、ストップコンディション) - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了
ウェイクアップ機能 (注1)	ウェイクアップイベントを使用したCPUのソフトウェアスタンバイモードまたはスヌーズモードからの復帰が可能

注 1. IIC0 の場合のみサポート。IIC1 はサポートしません。

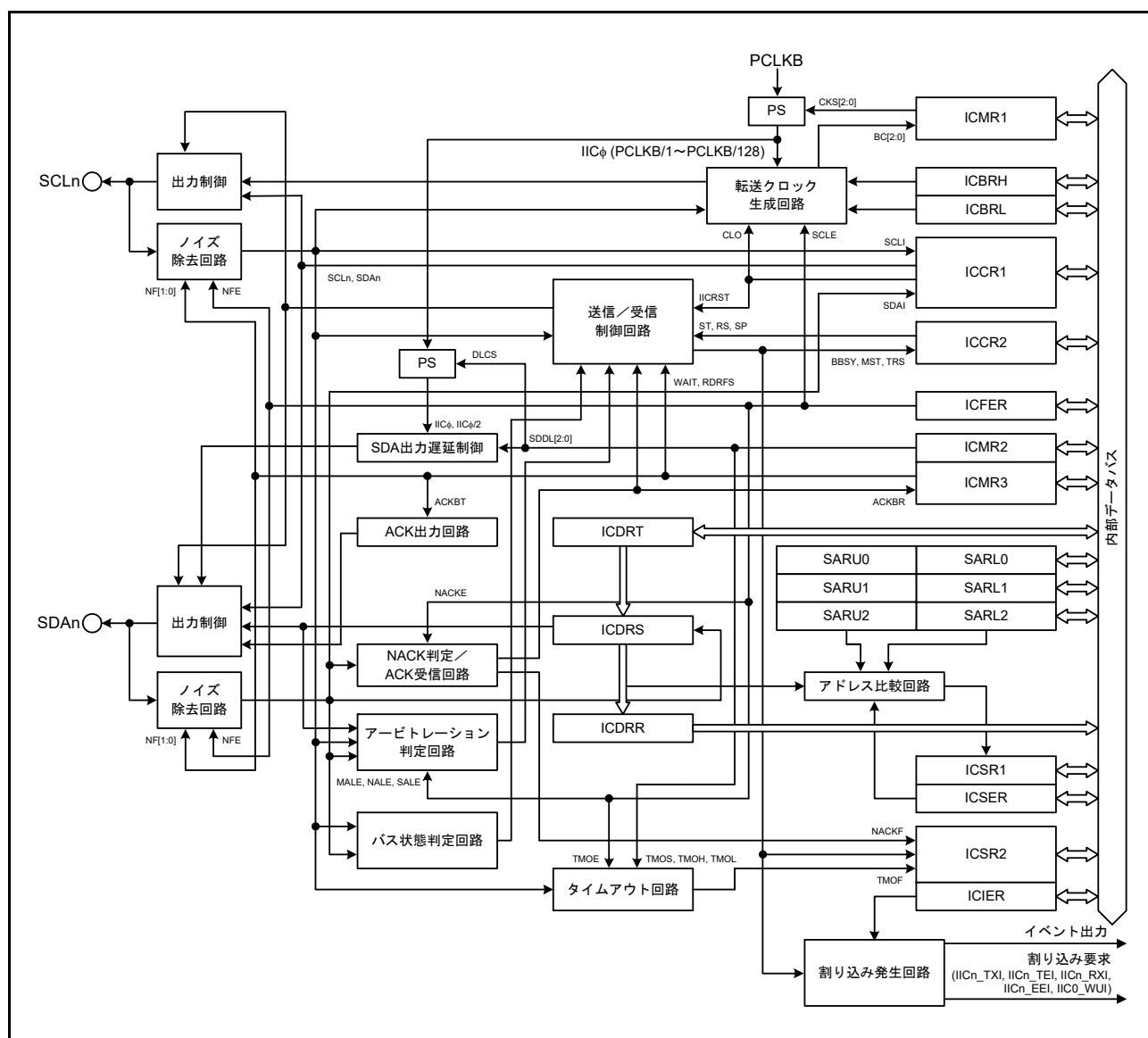


図 28.1 IIC のブロック図

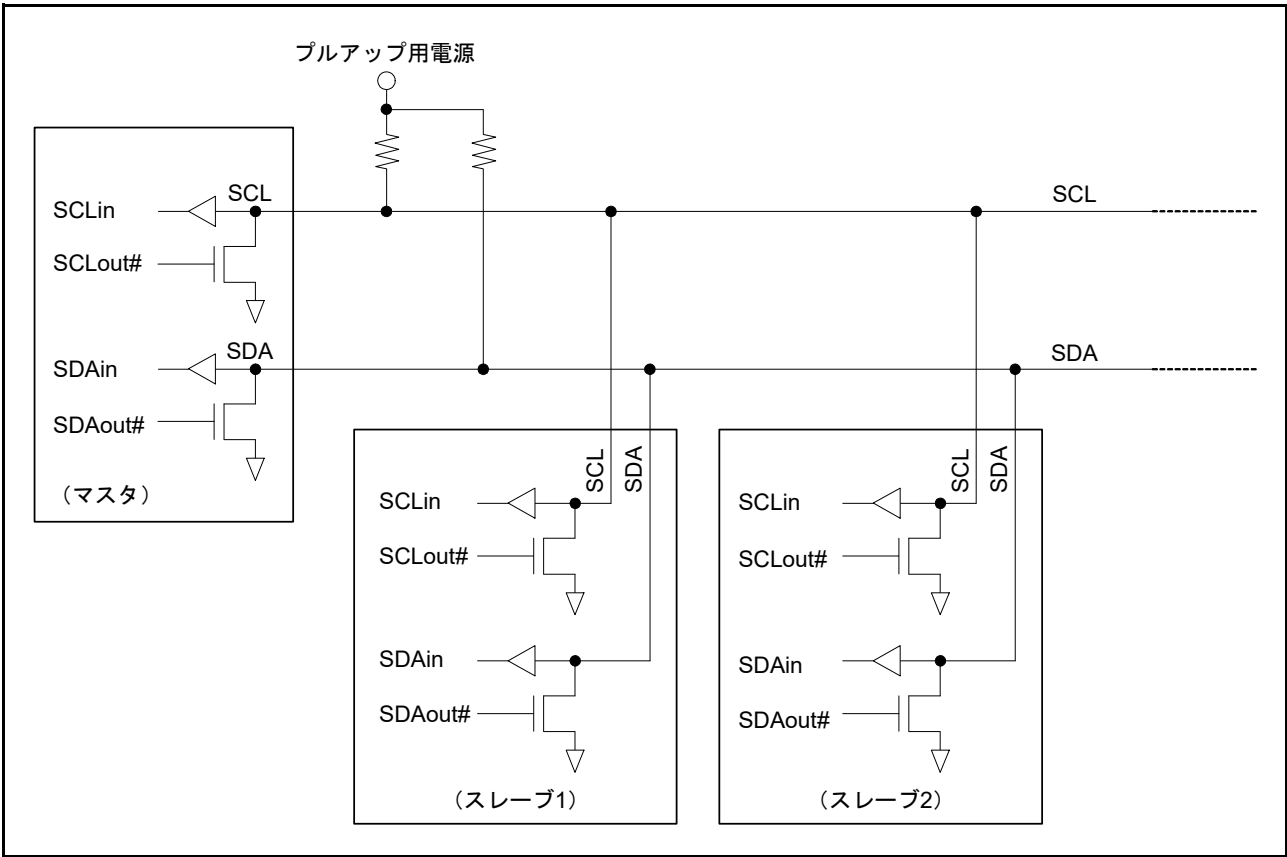


図 28.2 入出力端子の外部回路接続例 (I²C バス構成例)

IIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS = 1) は TTL レベルです。

表 28.2 IIC の端子構成

チャンネル	端子名	入出力	機能
IIC0	SCL0	入出力	IIC0 シリアルクロック入出力端子
	SDA0	入出力	IIC0 シリアルデータ入出力端子
IIC1	SCL1	入出力	IIC1 シリアルクロック入出力端子
	SDA1	入出力	IIC1 シリアルデータ入出力端子

28.2 レジスタの説明

28.2.1 I²C バスコントロールレジスタ 1 (ICCR1)

アドレス IIC0.ICCR1 4005 3000h, IIC1.ICCR1 4005 3100h

b7	b6	b5	b4	b3	b2	b1	b0
ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDA ラインモニタ	0 : SDA _n ラインは Low 1 : SDA _n ラインは High	R
b1	SCLI	SCL ラインモニタ	0 : SCL _n ラインは Low 1 : SCL _n ラインは High	R
b2	SDAO	SDA 出力制御／モニタ	- 読み出し時 0 : IIC は SDA_n 端子を Low にしている 1 : IIC は SDA_n 端子を解放している - 書き込み時 0 : SDA_n 端子を Low にする 1 : SDA_n 端子を解放する	R/W
b3	SCLO	SCL 出力制御／モニタ	- 読み出し時 0 : IIC は SCL_n 端子を Low にしている 1 : IIC は SCL_n 端子を解放している - 書き込み時 0 : SCL_n 端子を Low にする 1 : SCL_n 端子を解放する 外部プルアップ抵抗を使用して信号を High にしてください。	R/W
b4	SOWP	SCLO/SDAO ライトプロテクト	0 : SCLO および SDAO ビットの書き込みを許可 1 : SCLO および SDAO ビットの書き込みを禁止 読むと 1 が読めます。	R/W
b5	CLO	SCL クロック追加出力	0 : SCL クロックを追加で出力しない (デフォルト) 1 : SCL クロックを追加で出力する 1 クロック出力後、自動的に 0 になります。	R/W
b6	IICRST	I ² C バスインタフェース内部リセット	0 : IIC リセットまたは内部リセットを解除する 1 : IIC リセットまたは内部リセットを行う これにより、ビットカウンタをクリアし、SCL _n /SDA _n 出力ラッチを解除します。	R/W
b7	ICE	I ² C バスインタフェース許可	0 : 禁止 (SCL _n および SDA _n 端子は非駆動状態) 1 : 許可 (SCL _n および SDA _n 端子は駆動状態) IICRST ビットとの組み合わせで、IIC リセット、または内部リセットを選択します。	R/W

SDAO ビット (SDA 出力制御／モニタ)、SCLO ビット (SCL 出力制御／モニタ)

IIC から出力される SDA_n 信号と SCL_n 信号を直接操作します。

これらのビットに値を書く場合は、同時に SOWP ビットにも 0 を書いてください。これらのビットを設定すると、入力バッファを介して IIC に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、または送受信中に、これらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのとき IIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力)

SCL クロックを 1 クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。通常は CLO ビットを 0 にしてください。通常の通信状態で本ビットを 1 にすると通信エラーの原因になります。この機能の詳細については、[28.12.2 SCL クロック追加出力機能](#)を参照してください。

IICRST ビット (I²C バスインタフェース内部リセット)

IIC の内部状態をリセットします。本ビットを 1 にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットと内部リセットのどちらが起動するかは、ICE ビットと組み合わせた IICRST ビットの設定によって決定されます。[表 28.3](#) に IIC のリセットの種類を示します。

IIC リセットでは、ICCR1.ICE ビットと ICCR1.IICRST ビットを除くすべてのレジスタと IIC の内部状態が初期化されます。IIC の内部状態の他に、内部リセットでは以下がリセットされます。

- ビットカウンタ (ICMR1.BC[2:0] ビット)
- I²C バスシフトレジスタ (ICDRS)
- I²C バスステータスレジスタ (ICSR1 と ICSR2)
- SDAO と SCLO の出力制御/モニタ (ICCR1.SCLO ビットと ICCR1.SDAO ビット)
- I²C バスコントロールレジスタ 2 (ICCR2.BBSY ビットを除く)

各レジスタのリセット条件については、[28.15 各コンディション発行時のレジスタの状態](#)を参照してください。

動作中に (ICE ビット=1 の状態で) IICRST ビットを 1 にして内部リセットを行うと、ポートの設定と IIC のコントロールレジスタや設定レジスタを初期化することなく、IIC の内部状態がリセットされます。また、IIC が Low を出力したままハングアップした場合、内部状態をリセットすることで、Low 出力状態が解除され、SCLn 端子と SDA_n 端子がハイインピーダンスの状態でバスが解放されます。

注． スレーブモード時に、マスタデバイスとの通信中に生じたバスハングアップに対して IICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になる可能性があります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時に SCLn ラインが Low 出力状態のまま IIC がハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスでのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開されると、双方が非同期で動作することになるため同期ズレの原因になります。

表 28.3 IIC のリセットの種類

IICRST	ICE	状態	内容
1	0	IIC リセット	ICCR1.ICE ビットと ICCR1.IICRST ビットを除くすべてのレジスタと IIC の内部状態がリセットされます。
	1	内部リセット	以下がリセットされます。 • ICMR1.BC[2:0] ビット • ICSR1 レジスタ、ICSR2 レジスタ、ICDRS レジスタ • SDAO と SCLO の出力制御/モニタ (ICCR1.SCLO ビットと ICCR1.SDAO ビット) • I²C バスコントロールレジスタ 2 (ICCR2.BBSY ビットを除く) • IIC の内部状態

ICE ビット (I²C バスインタフェース許可)

SCLn および SDA_n 端子の駆動状態/非駆動状態を選択します。また、IICRST ビットと組み合わせて、実行するリセットを 2 種類から 1 つ選択できます。リセットの種類については、[表 28.3](#) を参照してください。

IIC を使用するときは、本ビットを 1 にしてください。ICE ビットを 1 にすると、SCLn および SDA_n 端子は駆動状態になります。IIC を使用しないときは、本ビットを 0 にしてください。本ビットを 0 にすると、SCLn および SDA_n 端子は非駆動状態になります。端子機能制御を設定するときに、SCLn または SDA_n 端子

を IIC に割り当てないでください。これらの端子が IIC に割り当てられると、スレーブアドレス比較が行われます。

28.2.2 I²C バスコントロールレジスタ 2 (ICCR2)

アドレス IIC0.ICCR2 4005 3001h, IIC1.ICCR2 4005 3101h

b7	b6	b5	b4	b3	b2	b1	b0
BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	ST	スタートコンディション発行要求	0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行	R/W
b2	RS	リスタートコンディション発行要求	0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行	R/W
b3	SP	ストップコンディション発行要求	0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	TRS	送信/受信モード	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモード	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² C バスは解放状態 (バスフリー状態) 1: I ² C バスは占有状態 (バスビジー状態)	R

注1. ICMR1.MTWP ビットが1のとき、MST および TRS ビットへの書き込みが可能です。

ST ビット (スタートコンディション発行要求)

マスタモードへの遷移を要求し、スタートコンディションを発行します。

本ビットを1にすると、BBSY フラグが0 (バスフリー状態) のときにスタートコンディションが発行されます。スタートコンディション発行の詳細については、[28.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- スタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが0 (バスフリー状態) のときにのみ、ST ビットを1 (スタートコンディション要求) にしてください。
BBSY フラグが1 (バスビジー状態) のときに、ST ビットを1にすると、アービトレーションロストが発生する場合があります。

RS ビット (リスタートコンディション発行要求)

マスタモード時にリスタートコンディションの発行を要求します。

本ビットが 1 になるとリスタートコンディションを要求し、BBSY フラグが 1 (バスビジー状態) でかつ MST ビットが 1 (マスタモード) であれば、リスタートコンディションが発行されます。リスタートコンディション発行の詳細については、[28.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが 1 の状態で、1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- リスタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ストップコンディション発行中に RS ビットを 1 にしないでください。

注. スレーブモードで RS ビットを 1 (リスタートコンディション要求) にすると、リスタートコンディションは発行されず、RS ビットは 1 のままになります。本ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

SP ビット (ストップコンディション発行要求)

マスタモード時にストップコンディションの発行を要求します。

本ビットを 1 にすると、BBSY フラグが 1 (バスビジー状態) でかつ MST ビットが 1 (マスタモード) のときにストップコンディションが発行されます。ストップコンディション発行の詳細については、[28.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも 1 の状態で、1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- ストップコンディションが発行されたとき (ストップコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが 0 (バスフリー状態) のとき、SP ビットへの書き込みは不可能です。

注. リスタートコンディション発行中に SP ビットを 1 にしないでください。

TRS ビット (送信/受信モード)

送信/受信モードを示します。

IIC は、TRS ビットが 0 のときは受信モード、1 のときは送信モードになります。本ビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W# ビットの設定時に、本ビット値は自動的に 1 (送信モード) または 0 (受信モード) に変化します。ICMR1.MTWP ビットが 1 のとき、本ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき (RS ビットが 1 の状態で、リスタートコンディションが検出されたとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 0 になったとき
- スレーブモードで受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 1 になったとき
- スレーブモード時、受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ受信した R/W# ビットの値が 0 のとき (ジェネラルコールアドレスを受信した場合を含む)
- スレーブモード時、リスタートコンディションが検出されたとき (ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でリスタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

MST ビット (マスタ/スレーブモード)

マスタモード/スレーブモードを示します。IIC は、本ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。本ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、本ビットの値は自動的に 1 (マスタモード) または 0 (スレーブモード) に変化します。ICMR1.MTWP ビットが 1 のとき、本ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスが占有されているか (バスビジー状態)、解放されているか (バスフリー状態) を示します。

SCLn ラインが High のときに SDA_n ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、本フラグは 1 になります。

SCLn ラインが High の状態で SDA_n ラインが Low から High に変化するとき、バスフリー時間 (ICBRL レジスタの設定) のスタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、本フラグは 0 になります。

[1 になる条件]

- スタートコンディションが検出されたとき

[0 になる条件]

- ストップコンディション検出後、バスフリー時間 (ICBRL レジスタの設定) スタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

28.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス IIC0.ICMR1 4005 3002h, IIC1.ICMR1 4005 3102h

b7	b6	b5	b4	b3	b2	b1	b0
MTWP	CKS[2:0]		BCWP		BC[2:0]		
リセット後の値	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0: 9ビット 0 0 1: 2ビット 0 1 0: 3ビット 0 1 1: 4ビット 1 0 0: 5ビット 1 0 1: 6ビット 1 1 0: 7ビット 1 1 1: 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクト	0: BC[2:0] ビットの書き込み許可 1: BC[2:0] ビットの書き込み禁止 読むと1が読めます。	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択	IICの内部基準クロックソース (IICφ) を選択します。 b6 b4 0 0 0: PCLKB クロック 0 0 1: PCLKB/2 クロック 0 1 0: PCLKB/4 クロック 0 1 1: PCLKB/8 クロック 1 0 0: PCLKB/16 クロック 1 0 1: PCLKB/32 クロック 1 1 0: PCLKB/64 クロック 1 1 1: PCLKB/128 クロック	R/W
b7	MTWP	MST/TRS ライトプロテクト	0: ICCR2 レジスタの MST および TRS ビットの書き込み禁止 1: ICCR2 レジスタの MST および TRS ビットの書き込み許可	R/W

注 1. BC[2:0] ビットを書き換える場合は、同時に BCWP ビットを 0 にしてください。

BC[2:0] ビット (ビットカウンタ)

SCL_n ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

なお、これらのビットへ書き込む場合は、SCL_n ラインが Low の状態で、転送するデータのビット数+1 (追加のアクノリッジビット分) を転送フレーム間で指定してください。

BC[2:0] ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディション/リスタートコンディションの検出時に 000b に戻ります。

28.2.4 I²C バスモードレジスタ 2 (ICMR2)

アドレス IIC0.ICMR2 4005 3003h, IIC1.ICMR2 4005 3103h

	b7	b6	b5	b4	b3	b2	b1	b0
	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択	0：ロングモードを選択 1：ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御	0：SCLnラインがLowのときカウントを禁止 1：SCLnラインがLowのときカウントを許可	R/W
b2	TMOH	タイムアウトHカウント制御	0：SCLnラインがHighのときカウントを禁止 1：SCLnラインがHighのときカウントを許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	- ICMR2.DLCS = 0 (IICφ) のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1サイクル 0 1 0：IICφの2サイクル 0 1 1：IICφの3サイクル 1 0 0：IICφの4サイクル 1 0 1：IICφの5サイクル 1 1 0：IICφの6サイクル 1 1 1：IICφの7サイクル - ICMR2.DLCS = 1 (IICφ/2) のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1または2サイクル 0 1 0：IICφの3または4サイクル 0 1 1：IICφの5または6サイクル 1 0 0：IICφの7または8サイクル 1 0 1：IICφの9または10サイクル 1 1 0：IICφの11または12サイクル 1 1 1：IICφの13または14サイクル	R/W
b7	DLCS	SDA出力遅延クロックソース選択	0：SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1：SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注 1. DLCS = 1 (IICφ/2) の設定は、SCL が Low のときのみ有効です。SCL が High のとき、DLCS = 1 の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択)

タイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) の場合に、タイムアウト検出時間としてロングモードまたはショートモードを選択します。本ビットを 0 にすると、ロングモードが選択されます。本ビットを 1 にすると、ショートモードが選択されます。

ロングモードでは、タイムアウト検出用の内部カウンタが 16 ビットカウンタとして機能します。ショートモードでは、このカウンタが 14 ビットカウンタとして機能します。SCLn ラインが、このカウンタを TMOH ビットと TMOL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、28.12.1 タイムアウト検出機能を参照してください。

TMOL ビット (タイムアウトLカウント制御)

SCLn ラインが Low ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) の場合に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

TMOH ビット (タイムアウト H カウント制御)

SCLn ラインが High ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) の場合に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値を使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。SDDL[2:0] ビットの設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力で使用可能です。

SDA 出力遅延は、データ有効時間/アクノリッジ有効時間 (注 1) に対する I²C バス規格、または SMBus 規格を満たすように、「データホールド時間 (300ns 以上 + SCL クロックの Low 幅) - データセットアップ時間 (250ns)」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示する可能性があります。

この機能の詳細については、[28.5 SDA 出力遅延機能](#)を参照してください。

- 注 1. データ有効時間/アクノリッジ有効時間
3450ns (～ 100kbps) : スタンダードモード (Sm)
900ns (～ 400kbps) : ファストモード (Fm)

28.2.5 I²C バスモードレジスタ 3 (ICMR3)

アドレス IIC0.ICMR3 4005 3004h, IIC1.ICMR3 4005 3104h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択	b1 b0 0 0 : 1IICφサイクル以下のノイズを除去 (フィルタは1段) 0 1 : 2IICφサイクル以下のノイズを除去 (フィルタは2段) 1 0 : 3IICφサイクル以下のノイズを除去 (フィルタは3段) 1 1 : 4IICφサイクル以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジ	0 : アクノリッジビットに0を受信 (ACK受信) 1 : アクノリッジビットに1を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジ	0 : アクノリッジビットに0を送出 (ACK送信) 1 : アクノリッジビットに1を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクト	0 : ACKBTビットの書き込み禁止 1 : ACKBTビットの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセットタイミング選択	0 : SCLクロックの9クロック目の立ち上がりでRDRFフラグをセット 8クロック目の立ち下がりでSCLnラインのLowホールドを行わない 1 : SCLクロックの8クロック目の立ち上がりでRDRFフラグをセット 8クロック目の立ち下がりでSCLnラインのLowホールドを行う LowホールドはACKBTへの書き込みで解除	R/W (注2)
b6	WAIT	WAIT	0 : ウェイトなし 9クロック目と1クロック目の間にLowホールドを行わない 1 : ウェイトあり 9クロック目と1クロック目の間にLowホールドを行う LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択	0 : I ² Cバスを選択 1 : SMBusを選択	R/W

注1. ACKBT ビットに書く場合には、ACKWP ビットが1であるときのみに行ってください。ソフトウェアがACKWP ビットとACKBT ビットに同時に1を書き込んでも、ACKBT ビットは1になりません。

注2. WAIT ビットとRDRFS ビットは、受信モードでのみ有効 (送信モードでは無効) です。

NF[1:0] ビット (ノイズフィルタ段数選択)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、28.6 デジタルノイズフィルタ回路を参照してください。

注. 除去するノイズ幅は、SCLn ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が [SCL クロックの幅 : High 幅または Low 幅のいずれか短い方] — [1.5 内部基準クロック (IICφ) サイクル + アナログノイズフィルタ : 120ns (参考値)] の値以上の場合、SCL クロックはノイズとみなされ、IIC が正常に動作しない可能性があります。

ACKBR ビット (受信アクノリッジ)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

ACKBT ビット (送信アクノリッジ)

受信モード時に送出されるアクノリッジビットを設定します。

[1 になる条件]

- ACKWP ビットが 1 の状態で、ACKBT ビットに 1 を書いたとき

[0 になる条件]

- ACKWP ビットが 1 の状態で、ACKBT ビットに 0 を書いたとき
- ICCR2.SP ビットが 1 の状態で、ストップコンディション要求を検出したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

ACKWP ビット (ACKBT ライトプロテクト)

ACKBT ビットの書き込み許可を制御します。

RDRFS ビット (RDRF フラグセットタイミング選択)

受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がり SCLn ラインの Low ホールドを行うか否かを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がり SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで RDRF フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がり SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK (ACKBT ビットが 0) または NACK (ACKBT ビットが 1) の送出処理が可能となります。

WAIT ビット (WAIT)

受信モードにおいて 1 バイト受信ごとに、受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low ホールドするか否かを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注. WAIT ビットの値を読み出す場合は、必ず最初に ICDRR レジスタを読み出してください。

SMBS ビット (SMBus/I²C バス選択)

本ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

28.2.6 I²C バスファンクションイネーブルレジスタ (ICFER)

アドレス IIC0.ICFER 4005 3005h, IIC1.ICFER 4005 3105h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効	0: タイムアウト検出機能は無効 1: タイムアウト検出機能は有効	R/W
b1	MALE	マスタアービトレーションロスト検出有効	0: マスタアービトレーションロスト検出は無効 アービトレーションロスト発生時は、ICCR2.MST ビットと ICCR2.TRS ビットの自動クリアも禁止する。 1: マスタアービトレーションロスト検出は有効 アービトレーションロスト発生時は、ICCR2.MST ビットと ICCR2.TRS ビットの自動クリアも許可する。	R/W
b2	NALE	NACK 送信アービトレーションロスト検出有効	0: NACK 送信アービトレーションロスト検出は無効 1: NACK 送信アービトレーションロスト検出は有効	R/W
b3	SALE	スレーブアービトレーションロスト検出有効	0: スレーブアービトレーションロスト検出は無効 1: スレーブアービトレーションロスト検出は有効	R/W
b4	NACKE	NACK 受信転送中断許可	0: NACK 受信時、転送を中断しない (転送中断禁止) 1: NACK 受信時、転送を中断する (転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL 同期回路有効	0: SCL 同期回路を使用しない 1: SCL 同期回路を使用する	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TMOE ビット (タイムアウト検出機能有効)

タイムアウト検出機能を有効または無効にします。

タイムアウト検出機能の詳細については、[28.12.1 タイムアウト検出機能](#)を参照してください。

MALE ビット (マスタアービトレーションロスト検出有効)

マスタモード時にアービトレーションロスト検出機能を使用するか否かを指定します。通常の動作では、本ビットを1にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出有効)

受信モード時の NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など) に、アービトレーションロストを発生させるか否かを選択します。

SALE ビット (スレーブアービトレーションロスト検出有効)

スレーブ送信モード時に送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など) に、アービトレーションロストを発生させるか否かを選択します。

NACK ビット (NACK 受信転送中断許可)

送信モード時に NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常は、NACK ビットを 1 にしてください。

NACK ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACK ビットが 0 のとき、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

NACK 受信転送中断機能の詳細については、[28.9.2 NACK 受信転送中断機能](#)を参照してください。

SCLE ビット (SCL 同期回路有効)

SCL クロックを SCL 入力クロックと同期させるか否かを選択します。通常は、SCLE ビットを 1 にしてください。

SCLE ビットを 0 (SCL 同期回路を使用しない) にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCLn クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また、SCL 同期回路を使用しないと、スタートコンディション／リスタートコンディション／ストップコンディションの発行と、追加 SCL クロックサイクルの連続出力にも影響します。

本ビットは、設定した転送速度が出力されているか確認する場合を除き、0 にしないでください。

28.2.7 I²C バスステータスイネーブルレジスタ (ICSER)

アドレス IIC0.ICSER 4005 3006h, IIC1.ICSER 4005 3106h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ 0 有効	0 : SARL0 および SARU0 のスレーブアドレス無効 1 : SARL0 および SARU0 のスレーブアドレス有効	R/W
b1	SAR1E	スレーブアドレスレジスタ 1 有効	0 : SARL1 および SARU1 のスレーブアドレス無効 1 : SARL1 および SARU1 のスレーブアドレス有効	R/W
b2	SAR2E	スレーブアドレスレジスタ 2 有効	0 : SARL2 および SARU2 のスレーブアドレス無効 1 : SARL2 および SARU2 のスレーブアドレス有効	R/W
b3	GCAE	ジェネラルコールアドレス有効	0 : ジェネラルコールアドレス検出無効 1 : ジェネラルコールアドレス検出有効	R/W
b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5	DIDE	デバイス ID アドレス検出有効	0 : デバイス ID アドレス検出無効 1 : デバイス ID アドレス検出有効	R/W
b6	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	HOAE	ホストアドレス有効	0 : ホストアドレス検出無効 1 : ホストアドレス検出有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 有効) (y = 0 ~ 2)

受信したスレーブアドレスと、SARLy および SARUy レジスタで設定したスレーブアドレスを有効または無効にします。

本ビットを 1 にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。本ビットを 0 にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス有効)

ジェネラルコールアドレス (0000 000b + 0[W] : すべて 0) を受信した場合、それを無視するかどうかを選択します。

本ビットが 1 の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は SARLy および SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。本ビットが 0 の場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出有効)

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームでデバイス ID (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

本ビットが 1 のときに、受信した第 1 フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W# ビットが 0[W] の場合、IIC は第 2 フレーム以降をスレーブアドレスとみなして、受信動作を継続します。本ビットが 0 の場合、IIC は受信した第 1 フレームがデバイス ID アドレスと一致してもそれを無視し、第 1 フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出機能の詳細については、[28.7.3 デバイス ID アドレス検出機能](#)を参照してください。

HOAE ビット (ホストアドレス有効)

ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを選択します。

ICMR3.SMBS ビットが 1 で、かつ本ビットが 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLy および SARUy レジスタ ($y = 0 \sim 2$) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは本ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

28.2.8 I²C バス割り込みイネーブルレジスタ (ICIER)

アドレス IIC0.ICIER 4005 3007h, IIC1.ICIER 4005 3107h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可	0: タイムアウト割り込み (TMOIn) 要求を禁止 1: タイムアウト割り込み (TMOIn) 要求を許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可	0: アービトレーションロスト割り込み (ALIn) 要求を禁止 1: アービトレーションロスト割り込み (ALIn) 要求を許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可	0: スタートコンディション検出割り込み (STIn) 要求を禁止 1: スタートコンディション検出割り込み (STIn) 要求を許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可	0: ストップコンディション検出割り込み (SPIn) 要求を禁止 1: ストップコンディション検出割り込み (SPIn) 要求を許可	R/W
b4	NAKIE	NACK 受信割り込み要求許可	0: NACK 受信割り込み (NAKIn) 要求を禁止 1: NACK 受信割り込み (NAKIn) 要求を許可	R/W
b5	RIE	受信データフル割り込み要求許可	0: 受信データフル割り込み (IICn_RXI) 要求を禁止 1: 受信データフル割り込み (IICn_RXI) 要求を許可	R/W
b6	TEIE	送信終了割り込み要求許可	0: 送信終了割り込み (IICn_TEI) 要求を禁止 1: 送信終了割り込み (IICn_TEI) 要求を許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可	0: 送信データエンプティ割り込み (IICn_TXI) 要求を禁止 1: 送信データエンプティ割り込み (IICn_TXI) 要求を許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可)

ICSR2.TMOF フラグが 1 のとき、タイムアウト割り込み (TMOIn) 要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたは本ビットを 0 にします。

ALIE ビット (アービトレーションロスト割り込み要求許可)

ICSR2.AL フラグが 1 のとき、アービトレーションロスト割り込み (ALIn) 要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたは本ビットを 0 にします。

STIE ビット (スタートコンディション検出割り込み要求許可)

ICSR2.START フラグが 1 のとき、スタートコンディション検出割り込み (STIn) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは本ビットを 0 にします。

SPIE ビット (ストップコンディション検出割り込み要求許可)

ICSR2.STOP フラグが 1 のとき、ストップコンディション検出割り込み (SPIn) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは本ビットを 0 にします。

NAKIE ビット (NACK 受信割り込み要求許可)

ICSR2.NACKF フラグが 1 のとき、NACK 受信割り込み (NAKIn) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは本ビットを 0 にします。

RIE ビット (受信データフル割り込み要求許可)

ICSR2.RDRF フラグが 1 のとき、受信データフル割り込み (IICn_RXI) 要求を許可または禁止します。

TEIE ビット (送信終了割り込み要求許可)

ICSR2.TEND フラグが 1 のとき、送信終了割り込み (IICn_TEI) 要求を許可または禁止します。IICn_TEI 割り込み要求を解除するには、TEND フラグまたは本ビットを 0 にします。

TIE ビット (送信データエンプティ割り込み要求許可)

ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み (IICn_TXI) 要求を許可または禁止します。

28.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス IIC0.ICSR1 4005 3008h, IIC1.ICSR1 4005 3108h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0 : デバイスIDコマンド未検出 1 : デバイスIDコマンド検出 スタートコンディション検出直後に受信した第1フレームが、 [デバイスIDアドレス (1111 100b) + 0[W]] の値と一致した 場合、1になります。	R/(W) (注1)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1になります。	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

スレーブアドレス y が検出されたかどうかを示します。

[1 になる条件]

【7 ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSER.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットの値と一致したとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

【10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSER.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と一致したとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

【7 ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSER.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが

SARLy.SVA[6:0] ビットの値と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる

【10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタ値と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる

GCA フラグ (ジェネラルコールアドレス検出フラグ)

ジェネラルコールアドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

DID フラグ (デバイス ID アドレス検出フラグ)

デバイス ID アドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致したとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b)) の値と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致し、続く第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

HOA フラグ (ホストアドレス検出フラグ)

ホストアドレスが検出されたかどうかを示します。

[1 になる条件]

- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションを検出したとき
- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

28.2.10 I²C バスステータスレジスタ 2 (ICSR2)

アドレス IIC0.ICSR2 4005 3009h, IIC1.ICSR2 4005 3109h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0 : タイムアウト未検出 1 : タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0 : アービトレーションロスト未発生 1 : アービトレーションロスト発生	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0 : スタートコンディション未検出 1 : スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0 : ストップコンディション未検出 1 : ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK 検出フラグ	0 : NACK 未検出 1 : NACK 検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0 : ICDRR レジスタに受信データなし 1 : ICDRR レジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0 : データ送信中 1 : データ送信完了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0 : ICDRT レジスタに送信データあり 1 : ICDRT レジスタに送信データなし	R

注1. フラグをクリアするための0の書き込みのみ可能です。

TMOF フラグ (タイムアウト検出フラグ)

SCLn ライン状態が一定期間変化しなかったために、IIC がタイムアウトを検出したとき 1 になります。

[1 になる条件]

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが 1 (タイムアウト検出機能は有効) で、かつ受信したスレーブアドレスが一致した場合、ICMR2.TMOH、TMOL、TMOS ビットで指定した期間 SCLn ライン状態が変化しなかったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストすることを示します。

IIC は、送信中に SDA_n ラインのレベルを監視します。SDA_n ラインのレベルが出力中のビット値と一致していない場合、IIC は AL フラグの値を 1 にして、バスが他のデバイスによって占有されていることを示します。

さらに IIC は、本フラグをセットすることで、NACK 送信中またはデータ送信中に、アービトレーションロストが検出されたことも示します。

[1 になる条件]

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モードでのデータ送信中に、ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上

がりで SDA_n ラインレベルと一致しなかったとき

- ICCR2.ST ビットが 1 (スタートコンディション要求) の状態でスタートコンディションが検出されたとき、または、内部の SDA 出力状態が SDA_n ラインレベルと一致しなかったとき
- ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットが 1 (スタートコンディション要求) のとき
【NACK アービトレーションロスト検出有効時 (ICFER.NALE = 1)】
- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと一致しなかったとき
【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】
- スレーブ送信モードでのデータ送信中に、ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと一致しなかったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

表 28.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST が 1 の場合、スタートコンディション検出時に、内部の SDA 出力状態が SDA _n ラインレベルと一致しなかったとき
					ICCR2.ST を 1 にし、かつ ICCR2.BBSY が 1 のとき
			1	送信データ不一致	マスタ送信モードで、送信データ (スレーブアドレス含む) とバス状態が一致しなかったとき
x	1	x	1	NACK 送信不一致	マスタまたはスレーブ受信モードで、NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで、送信データとバス状態が一致しなかったとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

スタートコンディションまたはリスタートコンディションが検出されたかどうかを示します。

[1 になる条件]

- スタートコンディションまたはリスタートコンディションが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

STOP フラグ (ストップコンディション検出フラグ)

ストップコンディションが検出されたかどうかを示します。

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

NACKF フラグ (NACK 検出フラグ)

NACK が検出されたかどうかを示します。

[1 になる条件]

- ICFER.NACKF ビットが 1 (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった (NACK を受信した) とき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態では、送信モードで ICDRT レジスタへ書き込みを行ったり、受信モードで ICDRR レジスタから読み出しを行っても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

RDRF フラグ (受信データフルフラグ)

IDCRR レジスタに受信データが含まれているかどうかを示します。

[1 になる条件]

- ICDRS レジスタから ICDRR レジスタへ受信データが転送されたとき。RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目 (ICMR3 レジスタの RDRFS ビットで選択) の立ち上がりで 1 になる
- ICCR2.TRS ビットが 0 の状態で、スタートまたはリスタートコンディション検出後、受信したスレーブアドレスが一致したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TEND フラグ (送信終了フラグ)

データ送信がまだ送信中であるか、完了したかを示します。

[1 になる条件]

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TDRE フラグ (送信データエンプティフラグ)

ICDRT レジスタに送信データが含まれているかどうかを示します。

[1 になる条件]

- ICDRT レジスタから ICDRS レジスタへデータが転送され、ICDRT レジスタが空になったとき
- ICCR2 レジスタの TRS ビットが 1 になったとき
- TRS ビットが 1 のときに、受信したスレーブアドレスが一致したとき

[0 になる条件]

- ICDRT レジスタヘデータを書いたとき
- ICCR2 レジスタの TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注 . ICCR1.NACKF ビットが 1 の場合、NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。このとき、TDRE フラグが 0 (次の送信データがすでに書き込まれている状態) であれば、9 クロック目の立ち上がりで ICDRT レジスタヘデータが転送され、ICDRT レジスタが空になりますが、TDRE フラグは 1 になりません。

28.2.11 I²C バスウェイクアップユニットレジスタ (ICWUR)

アドレス IIC0.ICWUR 4005 3016h

b7	b6	b5	b4	b3	b2	b1	b0
WUE	WUIE	WUF	WUACK	—	—	—	WUAFA
リセット後の値	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WUAFA	ウェイクアップアナログフィルタ追加選択	0 : ウェイクアップアナログフィルタを追加しない 1 : ウェイクアップアナログフィルタを追加する	R/W
b3-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	WUACK	ウェイクアップモード用 ACK	ICCR1.IICRST ビットと WUACK ビットとの組み合わせで、4 つの応答モードから選択します。表 28.5 を参照してください。	R/W
b5	WUF	ウェイクアップイベント発生フラグ	0 : ウェイクアップ時にスレーブアドレス不一致 1 : ウェイクアップ時にスレーブアドレス一致	R/W
b6	WUIE	ウェイクアップ割り込み要求許可	0 : ウェイクアップ割り込み要求 (IIC0_WUI) 禁止 1 : ウェイクアップ割り込み要求 (IIC0_WUI) 許可	R/W
b7	WUE	ウェイクアップ機能有効	0 : ウェイクアップ機能は無効 1 : ウェイクアップ機能は有効	R/W

表 28.5 ウェイクアップモード

IICRST	WUACK	動作モード	機能
0	0	ノーマルウェイクアップモード 1	SCL クロックの 9 クロック目で ACK 応答を行い、9 クロック目の後で SCL の Low ホールドを行う。
0	1	ノーマルウェイクアップモード 2	即時 ACK 応答せず、SCL クロックの 8 クロック目と 9 クロック目の間で SCL の Low ホールドを行う。SCL の Low ホールドを解除し、SCL クロックの 9 クロック目で ACK 応答を行う。
1	0	コマンドリカバリモード	SCL クロックの 9 クロック目で ACK 応答を行い、SCL の Low ホールドは行わない。
1	1	EEP 応答モード	SCL クロックの 9 クロック目で NACK 応答を行い、SCL の Low ホールドは行わない。

WUF フラグ (ウェイクアップイベント発生フラグ)

ウェイクアップ時にスレーブアドレスが一致しているかどうかを示します。

[1 になる条件]

- ウェイクアップモード時、SCL クロックの最初から 8 番目の Low で、スレーブアドレスが一致した後、PCLKB が供給されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.ICE ビットが 0 で IICRST ビットが 1 のとき

28.2.12 I²C バスウェイクアップユニットレジスタ 2 (ICWUR2)

アドレス IIC0.ICWUR2 4005 3017h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	WUSY F	WUAS YF	WUSE N
リセット後の値	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	WUSEN	ウェイクアップ機能同期有効	0 : IIC 非同期回路有効 1 : IIC 同期回路有効	R/W
b1	WUASYF	ウェイクアップ機能非同期動作ステータスフラグ	0 : IIC 同期回路許可状態 1 : IIC 非同期回路許可状態	R
b2	WUSYF	ウェイクアップ機能同期動作ステータスフラグ	0 : IIC 非同期回路許可状態 1 : IIC 同期回路許可状態	R
b7-b3	—	予約ビット	読むと 1 が読めます。書く場合、1 としてください。	R/W

WUSEN フラグ (ウェイクアップ機能同期有効)

ウェイクアップ機能が有効 (ICWUR.WUE = 1) のとき、WUSEN ビットは、WUASYF フラグ (または WUSYF フラグ) との組み合わせで、PCLKB の動作 (同期動作 / 非同期動作) の切り替えに使用されます。

PCLKB の動作は、以下の場合に同期動作から非同期動作に切り替わります。

- WUASYF フラグが 0 のときに WUSEN ビットに 0 を書き込んだ場合、ICCR2.BBSY フラグが 0 (バスフリー状態) のとき PCLKB が非同期動作に切り替わった後、ウェイクアップイベントを検出すると、PCLKB の動作状態に関係なく、(PCLKB 停止状態で) 受信が実行される

PCLKB の動作は、以下の場合に非同期動作から同期動作に切り替わります。

- WUASYF フラグが 1 の状態で WUSEN ビットに 1 が書き込まれ、ウェイクアップイベントを検出したとき。1 が書き込まれると、WUASYF フラグはただちに 0 になります。
- ウェイクアップイベントが未検出の状態でストップコンディションを検出したとき

WUASYF フラグ (ウェイクアップ機能非同期動作ステータスフラグ)

ウェイクアップ有効機能が有効 (ICWUR.WUE = 1) のとき、IIC を PCLKB 非同期動作に切り替えることが可能です。

[1 になる条件]

- ICCR2.BBSY フラグが 0 の場合に、ICWUR.WUE ビットが 1 の状態で WUSEN ビットを 0 にしたとき

[0 になる条件]

- ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後、WUSEN ビットに 1 が書き込まれたとき

- WUASYF フラグが 1 で ICWUR.WUE ビットも 1 の状態でウェイクアップイベントを検出する前に、WUSEN ビットが 1 の状態でストップコンディションが検出されたとき
- WUASYF フラグが 1 の状態で WUSEN ビットに 1 が書き込まれ、ICWUR.WUE ビットが 1 の状態でウェイクアップイベントを検出したとき
- ICCR1.ICE が 0 かつ IICRST が 1 (IIC リセット) のとき
- CWUR.WUE が 0 のとき

WUSYF フラグ (ウェイクアップ機能同期動作ステータスフラグ)

ウェイクアップ有効機能が有効 (ICWUR.WUE = 1) のとき、IIC を PCLKB 同期動作に切り替えることが可能です。本フラグを使用すると、WUASYF フラグが予約されます。

[1 になる条件]

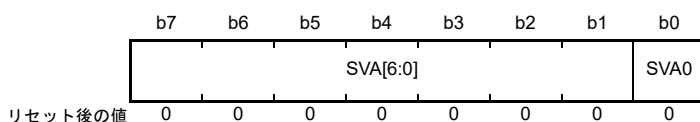
- ICWUR.WUE ビットが 1、かつ WUSYF フラグが 0 の状態でウェイクアップイベント検出後、WUSEN ビットに 1 が書き込まれたとき
- WUSYF フラグが 0、かつ ICWUR.WUE ビットが 1 の状態でウェイクアップイベントを検出する前に、WUSEN ビットが 1 の状態でストップコンディションが検出されたとき
- ICCR1.ICE が 0 かつ IICRST が 1 (IIC リセット) のとき
- ICWUR.WUE が 0 のとき

[0 になる条件]

- WUSEN ビットに 0 を書き込んだ後、ICWUR.WUE ビットが 1 の状態で ICCR2.BBSY フラグが 0 のとき

28.2.13 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス IIC0.SARL0 4005 300Ah, IIC1.SARL0 4005 310Ah,
IIC0.SARL1 4005 300Ch, IIC1.SARL1 4005 310Ch,
IIC0.SARL2 4005 300Eh, IIC1.SARL2 4005 310Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10 ビットアドレス最下位ビット	スレーブアドレス設定	R/W
b7-b1	SVA[6:0]	7 ビットアドレス / 10 ビットアドレス下位ビット	スレーブアドレス設定	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、本ビットは、10 ビットアドレスの最下位ビットとして機能します。また、SVA[6:0] ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

本ビットは、ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタは有効) で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、本ビットの設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、SVA[6:0] ビットは 7 ビットアドレスとして機能します。10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、これらのビットは、SVA0 ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。ICSER.SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

28.2.14 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス IIC0.SARU0 4005 300Bh, IIC1.SARU0 4005 310Bh,
IIC0.SARU1 4005 300Dh, IIC1.SARU1 4005 310Dh,
IIC0.SARU2 4005 300Fh, IIC1.SARU2 4005 310Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SVA[1:0]		FS
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット／10ビットアドレスフォーマット選択	0 : 7ビットアドレスフォーマット選択 1 : 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレス設定	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FS ビット (7 ビット／10 ビットアドレスフォーマット選択)

SARLy および SARUy レジスタのスレーブアドレス y に対して、7 ビットフォーマットまたは 10 ビットフォーマットを選択します。

ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 0 の場合、スレーブアドレス y には 7 ビットアドレスフォーマットが選択されて、SARLy.SVA[6:0] ビットの設定値が有効になり、SARLy.SVA[1:0] ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 1 の場合、スレーブアドレス y には 10 ビットアドレスフォーマットが選択されて、SVA[1:0] ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが 0 (SARLy および SARUy レジスタ無効) の場合、SARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、SVA[1:0] ビットは 10 ビットアドレスの上位 2 ビットとして機能します。

これらのビットは、ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

28.2.15 I²C バスビットレート Low レジスタ (ICBRL)

アドレス IIC0.ICBRL 4005 3010h, IIC1.ICBRL 4005 3110h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレート Low 幅設定	SCL クロックの Low 幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ICBRL レジスタは、SCL クロックの Low 幅を設定する 5 ビットのレジスタです。ICBRL レジスタは、SCL 自動 Low ホールド機能 (28.9 SCL の自動 Low ホールド機能を参照) のデータセットアップ時間も生成します。

BRL[4:0] ビット (ビットレート Low 幅設定)

SCL クロックの Low 幅を設定します。ICBRL レジスタは、ICMR1.CKS[2:0] ビットで指定した内部基準クロックソース (IICφ) で Low 幅をカウントします。IIC をスレーブモードで使用する場合、BRL[4:0] ビットにはデータセットアップ時間 (注 1) 以上の値を設定してください。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、BRL[4:0] ビットには、ノイズフィルタの段数 +1 以上の値を設定してください。この段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

注 1. データセットアップ時間 (t_{SU: DAT})

250ns (～ 100kbps) : スタンダードモード (Sm)

100ns (～ 400kbps) : ファストモード (Fm)

28.2.16 I²C バスビットレート High レジスタ (ICBRH)

アドレス IIC0.ICBRH 4005 3011h, IIC1.ICBRH 4005 3111h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレート High 幅設定	SCL クロックの High 幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

BRH[4:0] ビット (ビットレート High 幅設定)

SCL クロックの High 幅を設定します。IIC をスレーブモードのみで使用する場合は、BRH[4:0] ビットを設定しないでください。

ICBRH レジスタは、ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合は、本ビットには、ノイズフィルタの段数 +1 以上の値を設定してください。この段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

IIC 転送速度と SCL クロックのデューティ比は、次式で計算されます。

- 1) ICFER.SCLE = 0 の場合
 転送速度 = $1 / \{[(BRH+1)+(BRL+1)]/IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH+1)/IIC\phi]\} / \{tr + tf + [(BRH+1)+(BRL+1)]/IIC\phi\}$
- 2) ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] = 000b (IICφ = PCLKB) の場合
 転送速度 = $1 / \{[(BRH+3)+(BRL+3)]/IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH+3)/IIC\phi]\} / \{tr + tf + [(BRH+3)+(BRL+3)]/IIC\phi\}$
- 3) ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] = 000b (IICφ = PCLKB) の場合
 転送速度 = $1 / \{[(BRH+3+nf) + (BRL+3+nf)]/IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH+3+nf)/IIC\phi]\} / \{tr + tf + [(BRH+3+nf)+(BRL+3+nf)]/IIC\phi\}$
- 4) ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] ≠ 000b の場合
 転送速度 = $1 / \{[(BRH+2)+(BRL+2)]/IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH+2)/IIC\phi]\} / \{tr + tf + [(BRH+2)+(BRL+2)]/IIC\phi\}$
- 5) ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] ≠ 000b の場合
 転送速度 = $1 / \{[(BRH+2+nf)+(BRL+2+nf)]/IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH+2+nf)/IIC\phi]\} / \{tr + tf + [(BRH+2+nf)+(BRL+2+nf)]/IIC\phi\}$

注 1. IICφ = PCLKB × 分周比

注 2. SCLn ライン立ち上がり時間 [tr] および SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については、NXP 社の I²C バス規格書を参照してください。

注 3. nf = ICMR3.NF ビットで選択したデジタルノイズフィルタの段数

表 28.6 SCLE = 0 のときの転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011	15(EFh)	18(F2h)	32	—	1)
400	001	9(E9h)	20(F4h)	32	—	1)

注. SCLn ラインの立ち上がり時間 (tr) : 100kbps 以下、Sm : 1000ns、400kbps 以下、Fm : 300ns
SCLn ラインの立ち下がり時間 (tf) : 400kbps 以下、Sm/Fm : 300ns

表 28.7 SCLE = 1 かつ NFE = 0 のときの転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011	14(Eeh)	17(F1h)	32	—	4)
400	001	8(E8h)	19(F3h)	32	—	4)

注. SCLn ラインの立ち上がり時間 (tr) : ≤ 100Kbps、Sm : 1000ns、≤ 400kbps、Fm : 300ns
SCLn ラインの立ち下がり時間 (tf) : ≤ 400kbps、Sm/Fm : 300ns

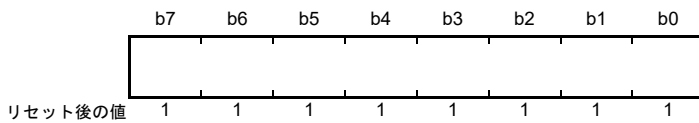
表 28.8 SCLE = 1 かつ NFE = 1 のときの転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011	12(ECh)	15(EFh)	32	01b	5)
400	001	6(E6h)	17(F1h)	32	01b	5)

注. SCLn ラインの立ち上がり時間 (tr) : ≤ 100kbps、Sm : 1000ns、≤ 400kbps、Fm : 300ns
SCLn ラインの立ち下がり時間 (tf) : ≤ 400kbps、Sm/Fm : 300ns

28.2.17 I²C バス送信データレジスタ (ICDRT)

アドレス IIC0.ICDRT 4005 3012h, IIC1.ICDRT 4005 3112h



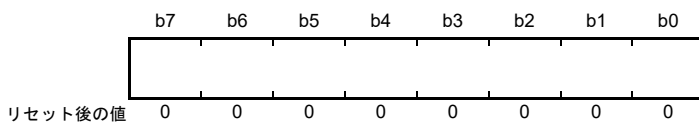
ICDRT レジスタは、I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書き込めば、連続送信動作が可能になります。

ICDRT レジスタは常に読み出し／書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn_TXI) 要求が発生したときに 1 回だけ行ってください。

28.2.18 I²C バス受信データレジスタ (ICDRR)

アドレス IIC0.ICDRR 4005 3013h, IIC1.ICDRR 4005 3113h

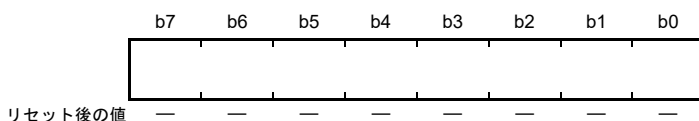


1 バイトのデータを受信すると、受信したデータが I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読み出せば、連続受信動作が可能になります。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからのデータ読み出しは、受信データフル割り込み (IICn_RXI) 要求が発生したときに行ってください。

ICSR2.RDRF フラグが 1 の状態のまま、受信データを ICDRR レジスタから読み出す前に ICDRR レジスタが次の受信データを受け取ると、IIC は RDRF フラグが再び 1 になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

28.2.19 I²C バスシフトレジスタ (ICDRS)



ICDRS レジスタは、データを送受信するための 8 ビットのシフトレジスタです。

送信時は、送信データが ICDRT レジスタから ICDRS レジスタへ転送されて、SDAn 端子からデータが送出されます。受信時は、1 バイトのデータ受信後に、データが ICDRS レジスタから ICDRR レジスタへ転送されます。ICDRS レジスタは、直接アクセスすることはできません。

28.3 動作説明

28.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 28.3 に I²C バスフォーマットを、図 28.4 に I²C バスタイミングを示します。

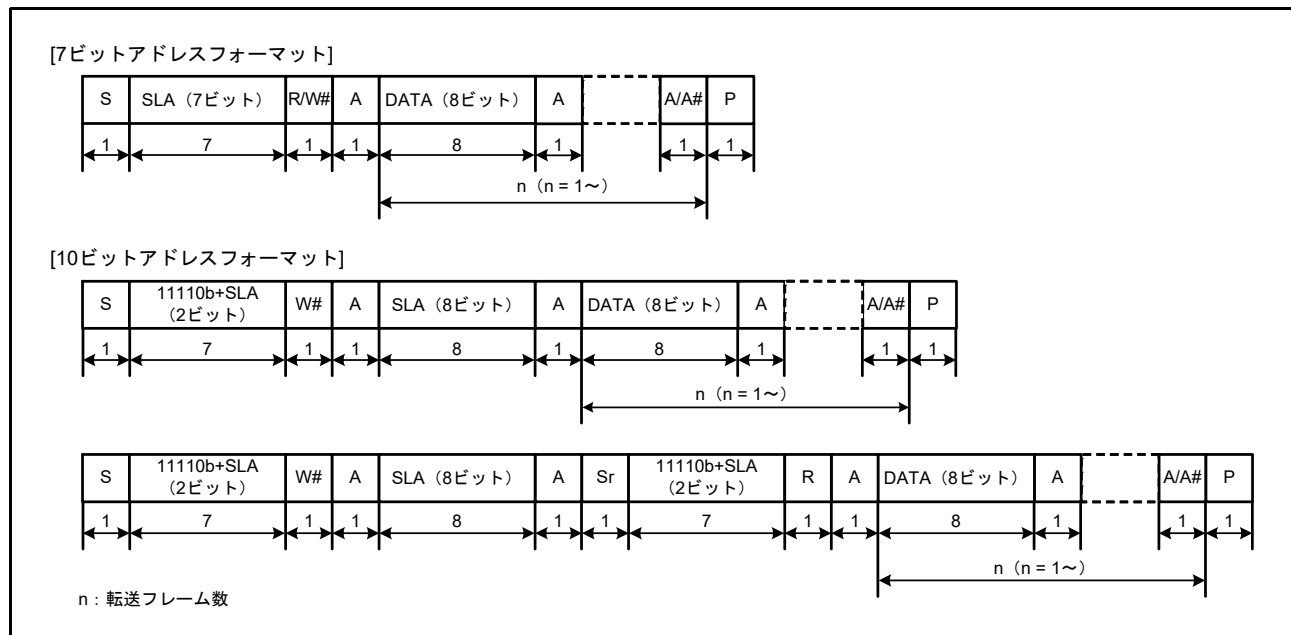


図 28.3 I²C バスフォーマット

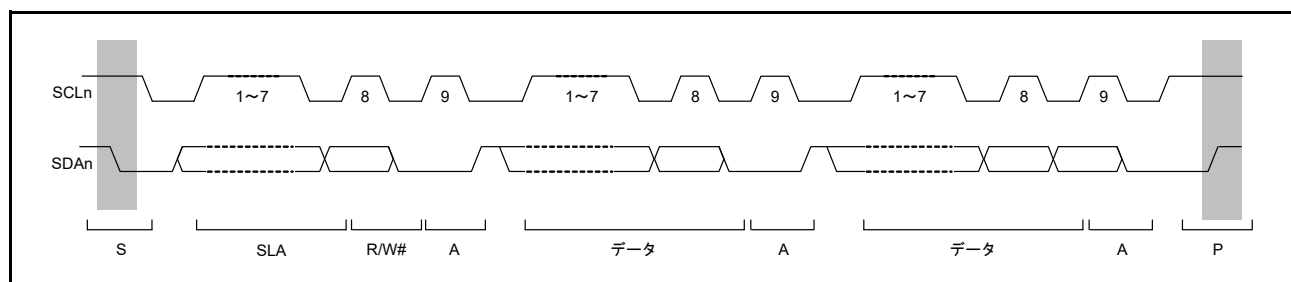


図 28.4 I²C バスタイミング (SLA = 7 ビットの場合)

- S : スタートコンディションを表します。SCLnラインがHighの状態、マスタデバイスがSDAnラインをHighからLowに変化させます。
- SLA : スレーブアドレスを表します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : データ転送の方向を表します。R/W#が1のとき、スレーブデバイスからマスタデバイスの方向、R/W#が0のとき、マスタデバイスからスレーブデバイスの方向になります。
- A : アクノリッジを表します。受信デバイスがSDAnラインをLowにします。(マスタ送信モード時はスレーブデバイスがアクノリッジを返します。マスタ受信モード時はマスタデバイスがアクノリッジを返します。)
- A# : ノットアクノリッジを表します。受信デバイスがSDAnラインをHighにします。
- Sr : リスタートコンディションを表します。SCLnラインがHighの状態、セットアップ時間経過後に、マスタデバイスがSDAnラインをHighからLowに変化させます。
- DATA : 送信または受信されるデータを表します。
- P : ストップコンディションを表します。SCLnラインがHighの場合、マスタデバイスがSDAnラインをLowからHighに変化させます。

28.3.2 初期設定

データの送受信を開始する場合、図 28.5 に示す手順に従って IIC を初期化してください。

1. ICCR1.ICE ビットを 0 にして SCLn 端子と SDA_n 端子を非駆動状態します。
2. ICCR1.IICRST ビットを 1 にして IIC リセットを起動します。
3. ICCR1.ICE ビットを 1 にして内部リセットを起動します。
4. SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL の各レジスタ (y = 0 ~ 2) を設定し、その他のレジスタを必要に応じて設定します。IIC の初期設定については、図 28.5 を参照してください。
5. 必要なレジスタ設定が完了したら、ICCR1.IICRST ビットを 0 にして IIC リセットを解除してください。

注. すでに IIC の初期化が完了している場合、この手順は不要です。

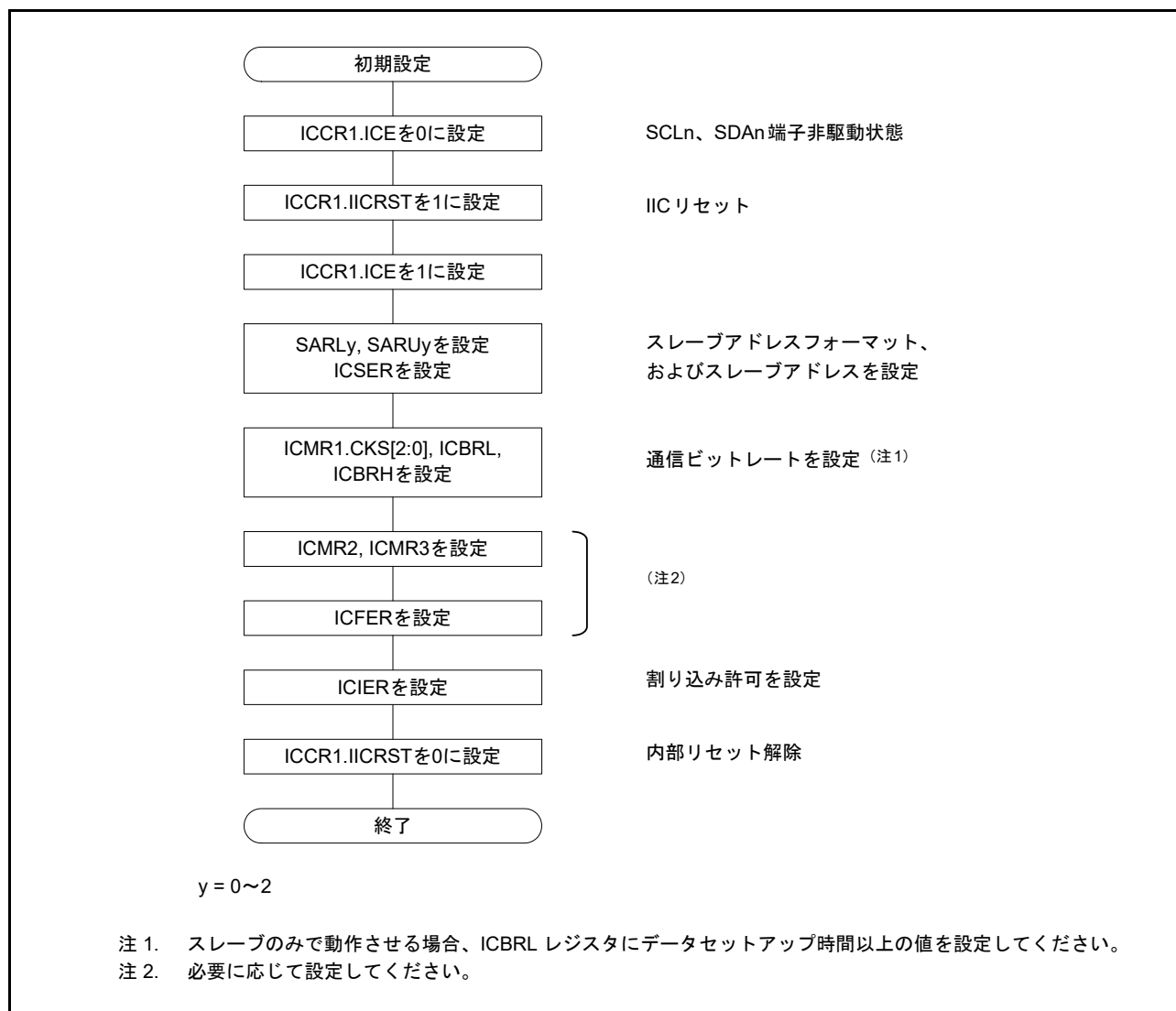


図 28.5 IIC の初期化フローチャート例

28.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 28.6 にマスタ送信の例を、図 28.7 ～ 図 28.9 にマスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. **28.3.2 初期設定** に示す手順で IIC を初期化します。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ICCR2.ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力状態の内部レベルと SDA_n ラインのレベルが一致していれば、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信後、送信された R/W# ビットの値に応じて TRS ビットの値が自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビットおよび W(= 1) ビットを書きます。2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。
なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCL_n ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待ってから、ICCR2.SP ビットを 1 (ストップコンディション要求) にしてください。IIC は、ストップコンディション要求を受け付けると、ストップコンディションを発行します。詳細は **28.11.3 ストップコンディション発行動作** を参照してください。
6. ストップコンディションの検出時に、IIC は ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 00b にして、スレーブ受信モードへ遷移します。さらに IIC は、ICSR2.TDRE フラグと ICSR2.TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の通信動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

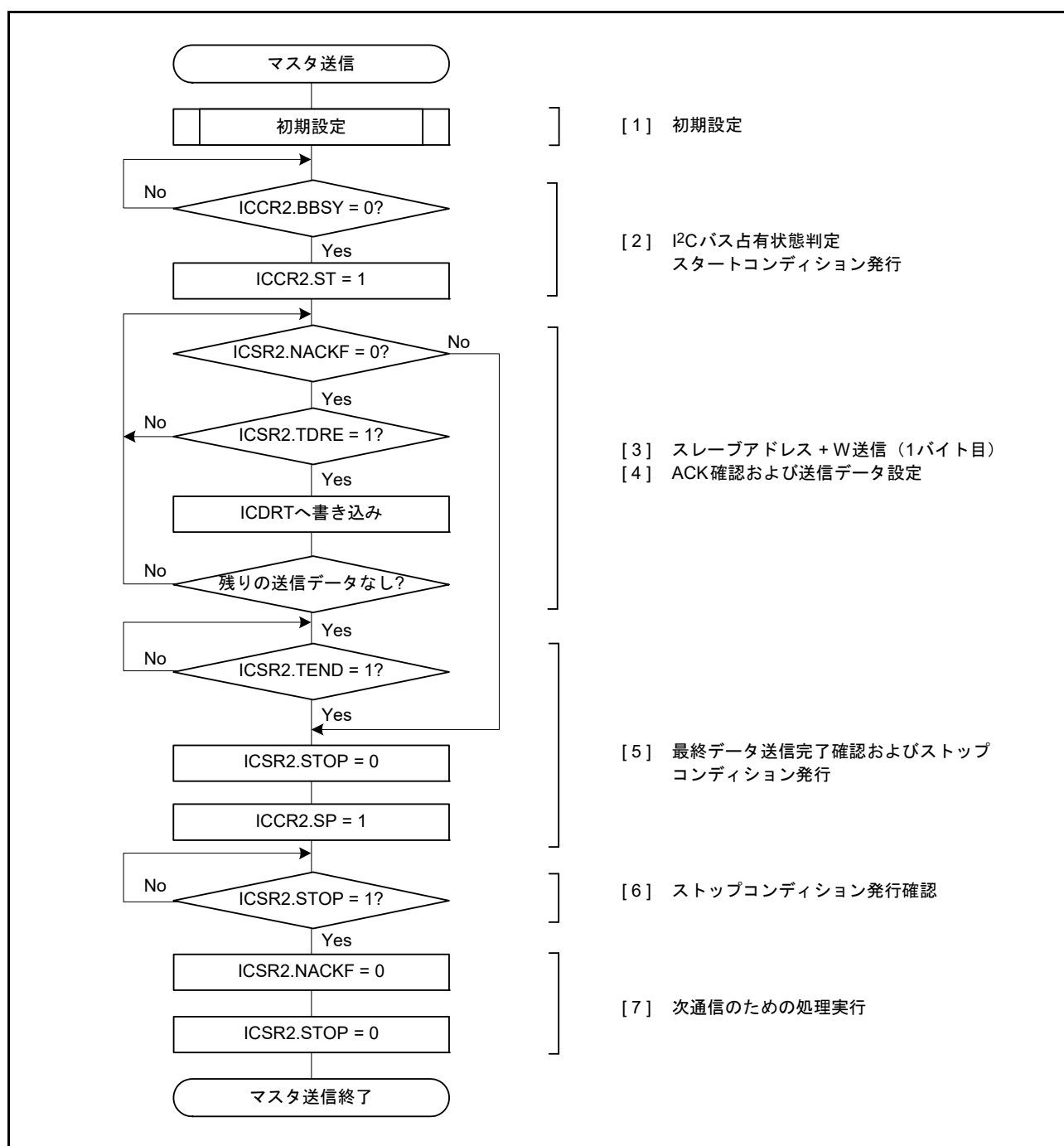


図 28.6 マスタ送信のフロー例

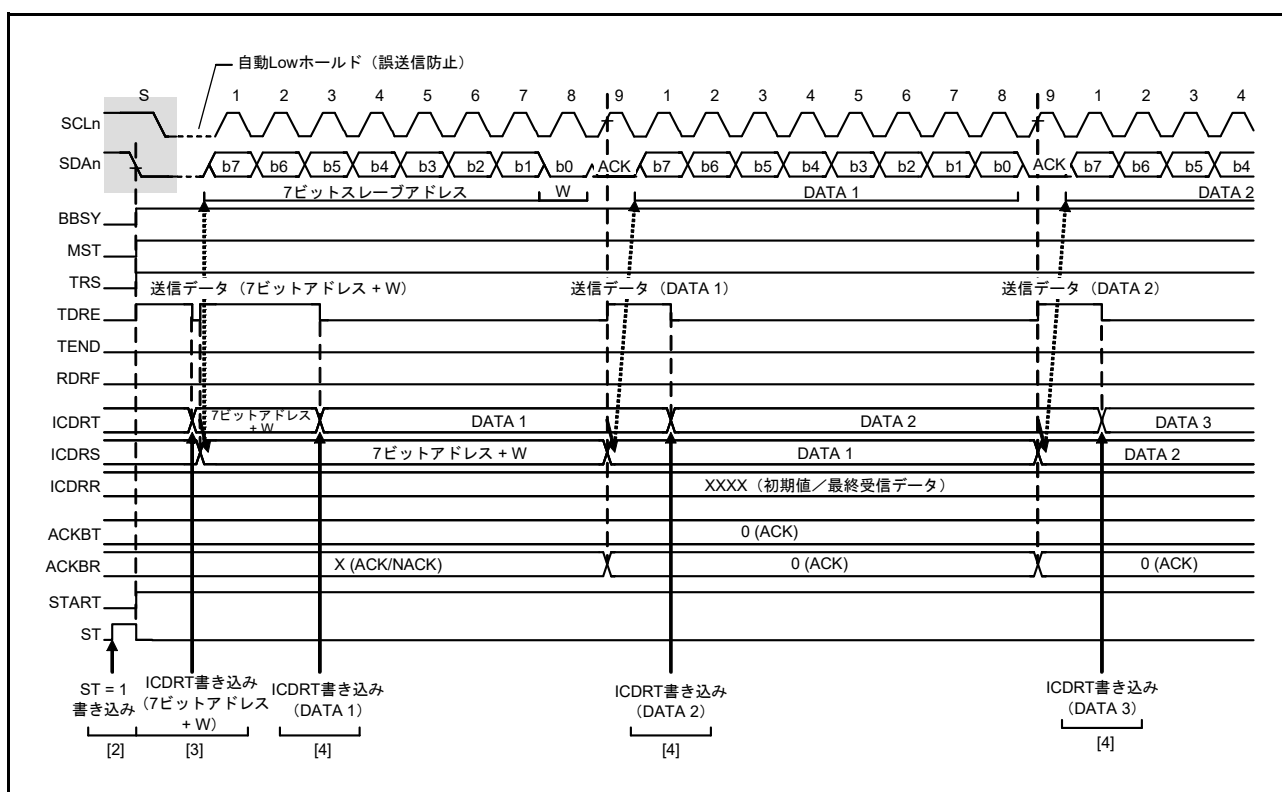


図 28.7 マスタ送信の動作タイミング (1) (7 ビットアドレスフォーマット)

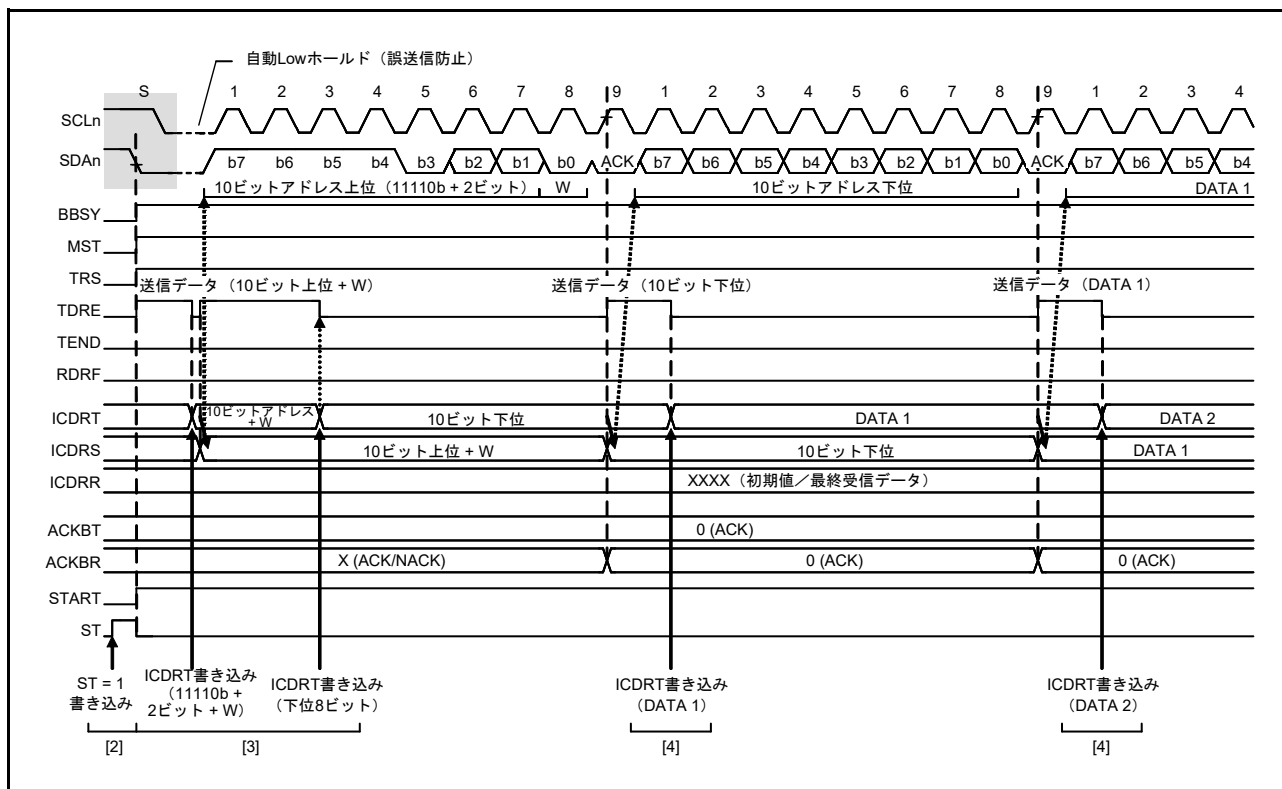


図 28.8 マスタ送信の動作タイミング (2) (10 ビットアドレスフォーマット)

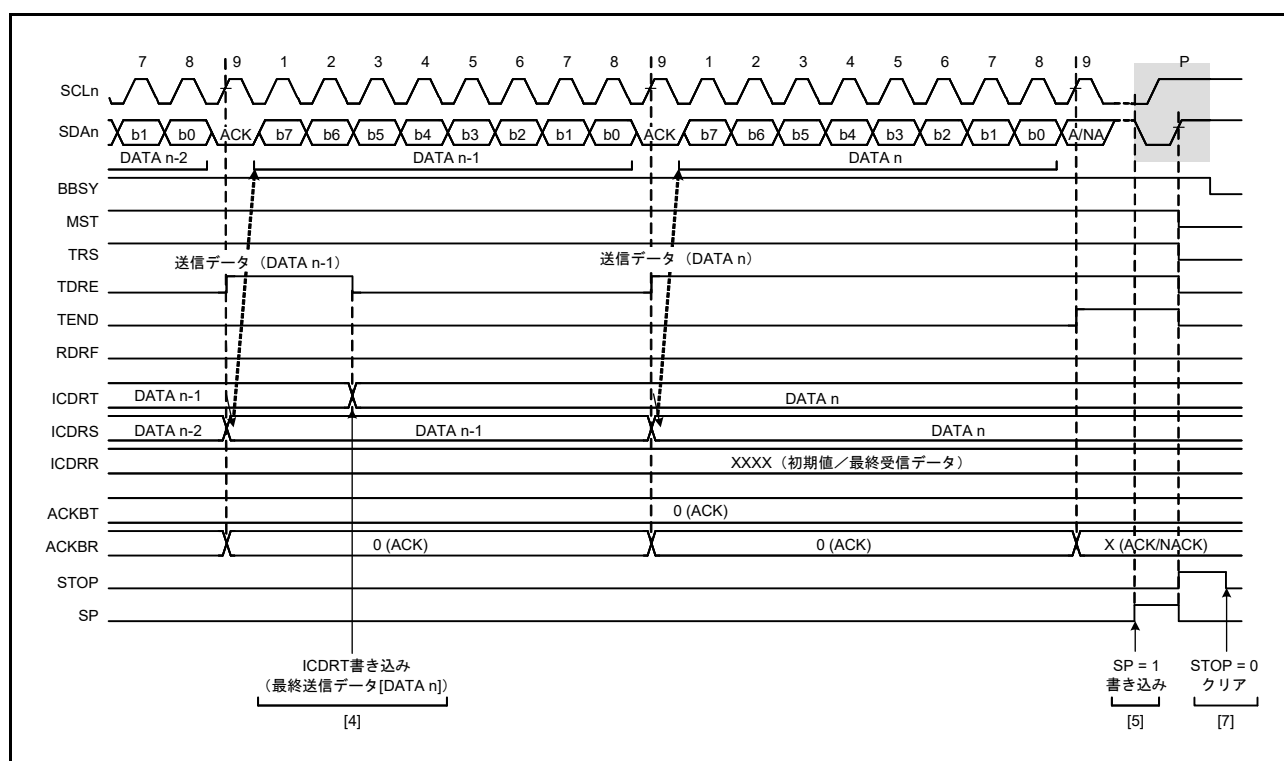


図 28.9 マスタ送信の動作タイミング (3)

28.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のスレーブアドレスフェーズではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 28.10 と図 28.11 にマスタ受信の例（7 ビットアドレスフォーマットの場合）を、図 28.12 ～図 28.14 にマスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

1. 28.3.2 初期設定に示す手順で IIC を初期化します。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ICCR2.ST ビットが自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDA_n ラインのレベルが一致したとき、IIC は ST ビットで要求したスタートコンディションが正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。ICCR2.TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（1 バイト目はスレーブアドレスと R/W# ビットの値を示す）を書いてください。ICDRT レジスタに送信データが書き込まれると、ICSR2.TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び ICSR2.TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトが送信されると、送信された R/W# ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W# ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで ICCR2.TRS ビットが 0 になり、IIC はマスタ受信モードになります。このとき、ICSR2.TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビットおよび R(=1) ビットを送信することで、IIC はマスタ受信モードになります。
4. ICSR2.RDRF フラグが 1 であることを確認した後、ICDRT レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
5. 1 バイトのデータの受信後、SCL クロックの 8 クロック目または 9 クロック目（ICMR3.RDRFS ビットで選択）の立ち上がりで、ICSR2.RDRF フラグが 1 になります。ICDRT レジスタを読むと受信したデータを読むことができ、同時に ICSR2.RDRF フラグは自動的に 0 になります。また、SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、最後から 2 番目のバイトを含む ICDRT レジスタを読む前に、ICMR3.WAIT ビットを 1（WAIT あり）にしてください。これにより、手順（6）の ICMR3.ACKBT ビットを 1（NACK）にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCL_n ラインを Low に固定して、ストップコンディションの発行が可能になります。
6. ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBT ビットを 1（NACK）にしてください。
7. 最後から 2 番目のバイトを ICDRT レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、ICCR2.SP ビットを 1（ストップコンディション要求）にした後、ICDRT レジスタの最終バイトを読み出してください。ICDRT レジスタの読み出し時、IIC はウェイト状態から解除され、9 クロック目の Low 出力終了後または SCL_n ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. ストップコンディションの検出時に、IIC は ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 00b にして、スレーブ受信モードへ遷移します。また、ストップコンディションを検出すると、ICSR2.STOP フラグが 1 になります。

9. ICSR2.STOP フラグが 1 であることを確認した後、次の転送のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

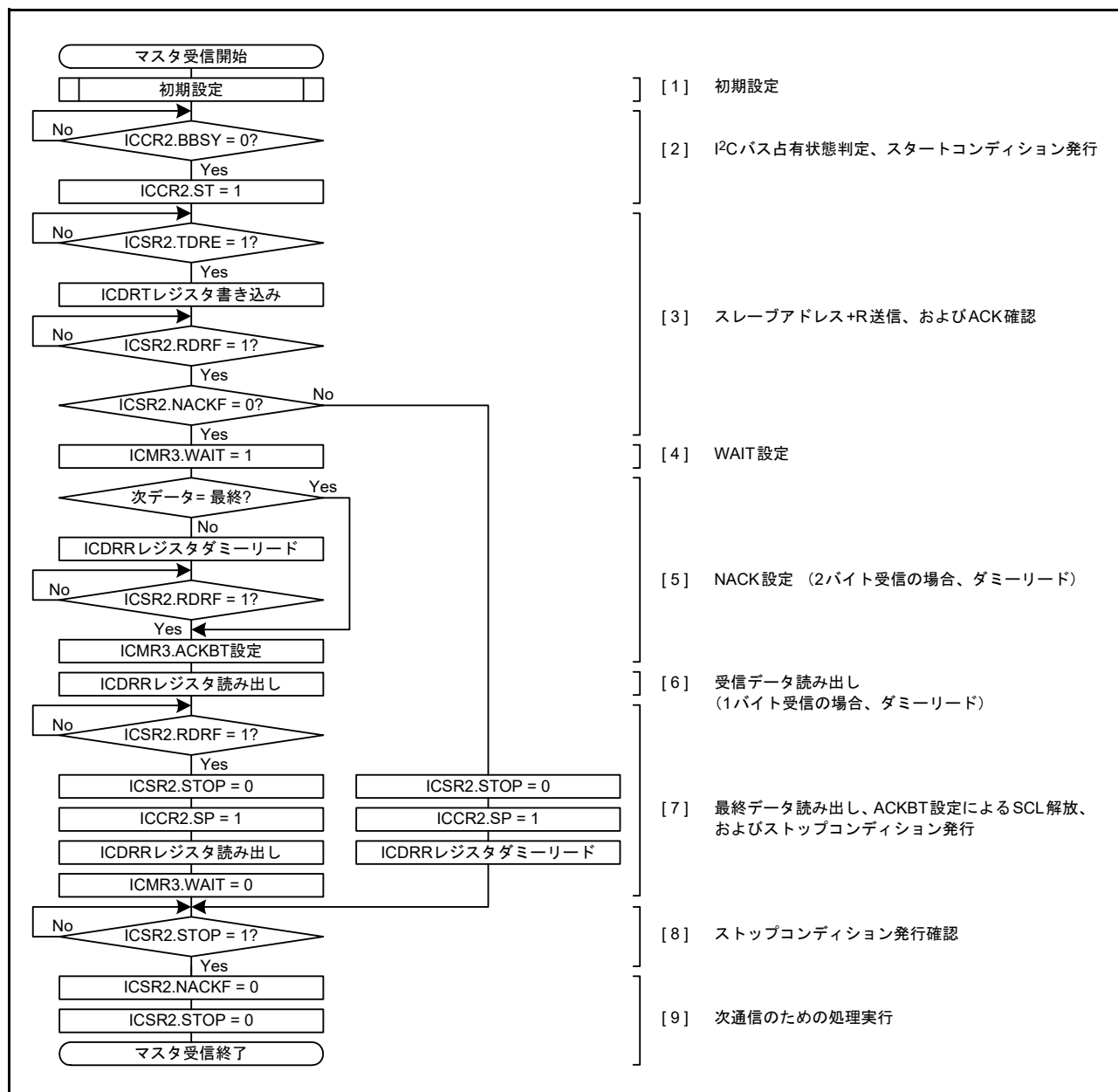


図 28.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットで1または2バイト受信の場合)

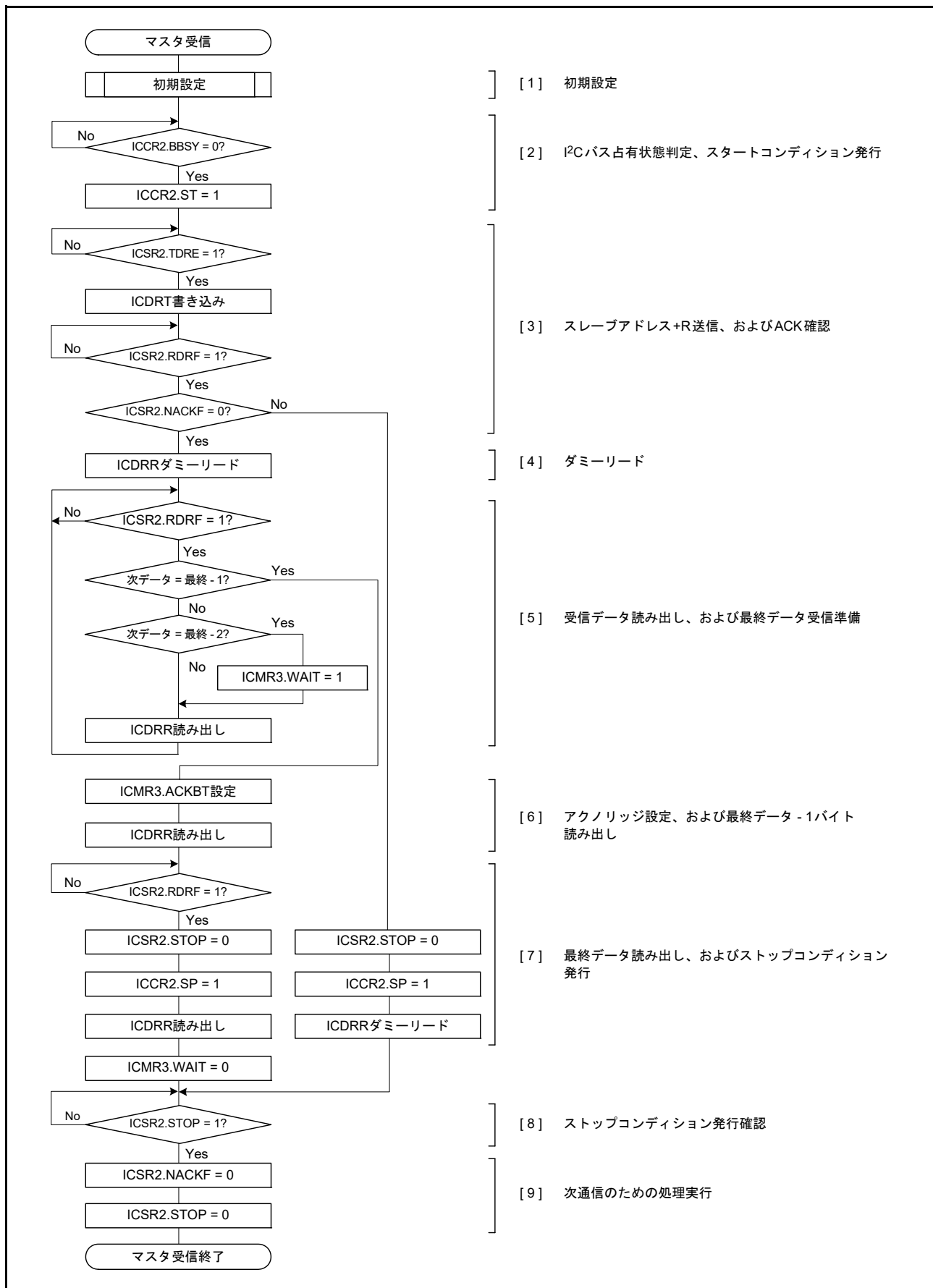


図 28.11 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットで 3 バイト以上受信の場合)

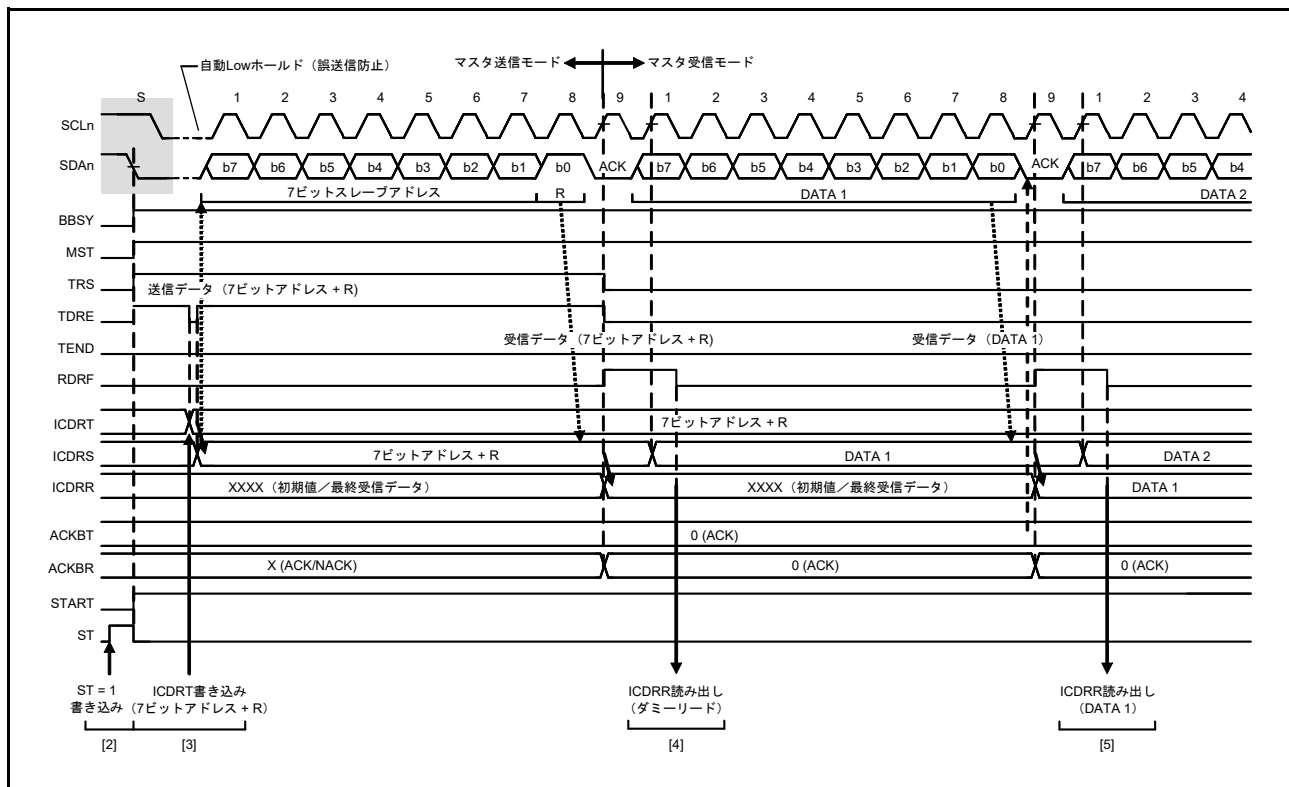


図 28.12 マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマットで RDRFS = 0 の場合)

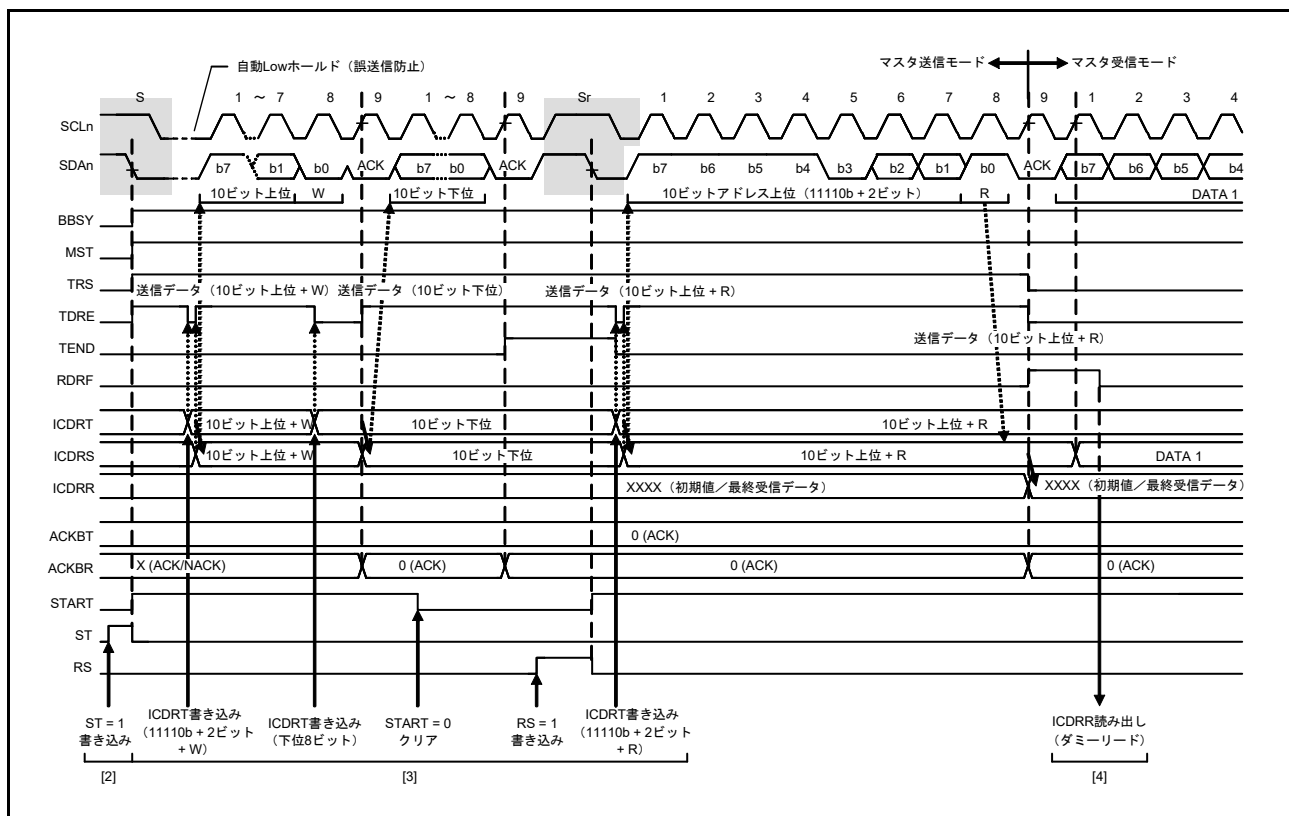


図 28.13 マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマットで RDRFS = 0 の場合)

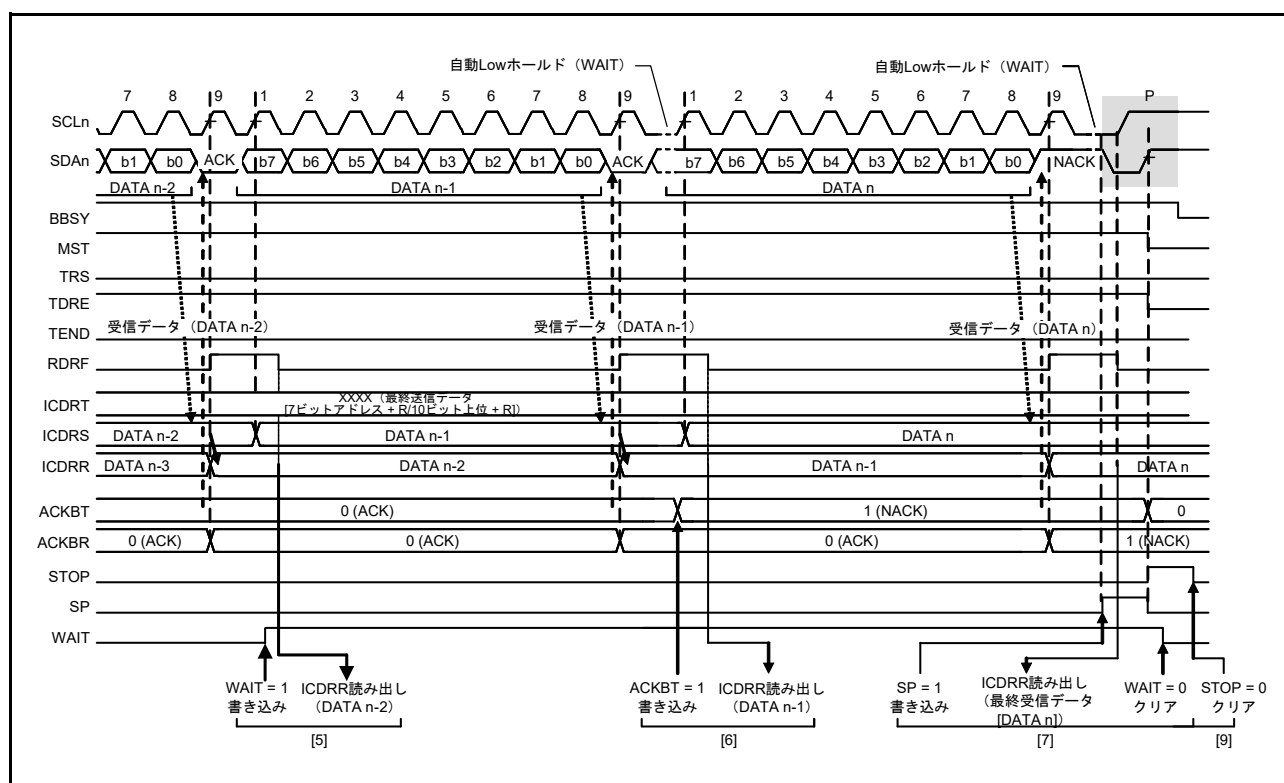


図 28.14 マスタ受信の動作タイミング (3) (RDRFS = 0 の場合)

28.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 28.15 にスレーブ送信の例を、図 28.16 ～図 28.17 にスレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

- 28.3.2 初期設定に示す手順で IIC を初期化します。
初期設定後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
- スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy フラグ (y = 0 ~ 2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。受信した R/W# ビットの値が 1 であれば、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
- ICSR2.TEND フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書き込んでください。このとき、ICFER.NACKF ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった (NACK を受信した) 場合、IIC は次の通信動作を中断します。
- ICSR2.NACKF フラグが 1 になるか、または最終送信データを ICDRT レジスタに書き込んだ後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がり SCLn ラインを Low にします。
- ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCLn ラインが開放されます。
- IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASy ビット (y = 0 ~ 2)、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。

7. ICSR2.STOP フラグが 1 であることを確認した後、次の通信動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

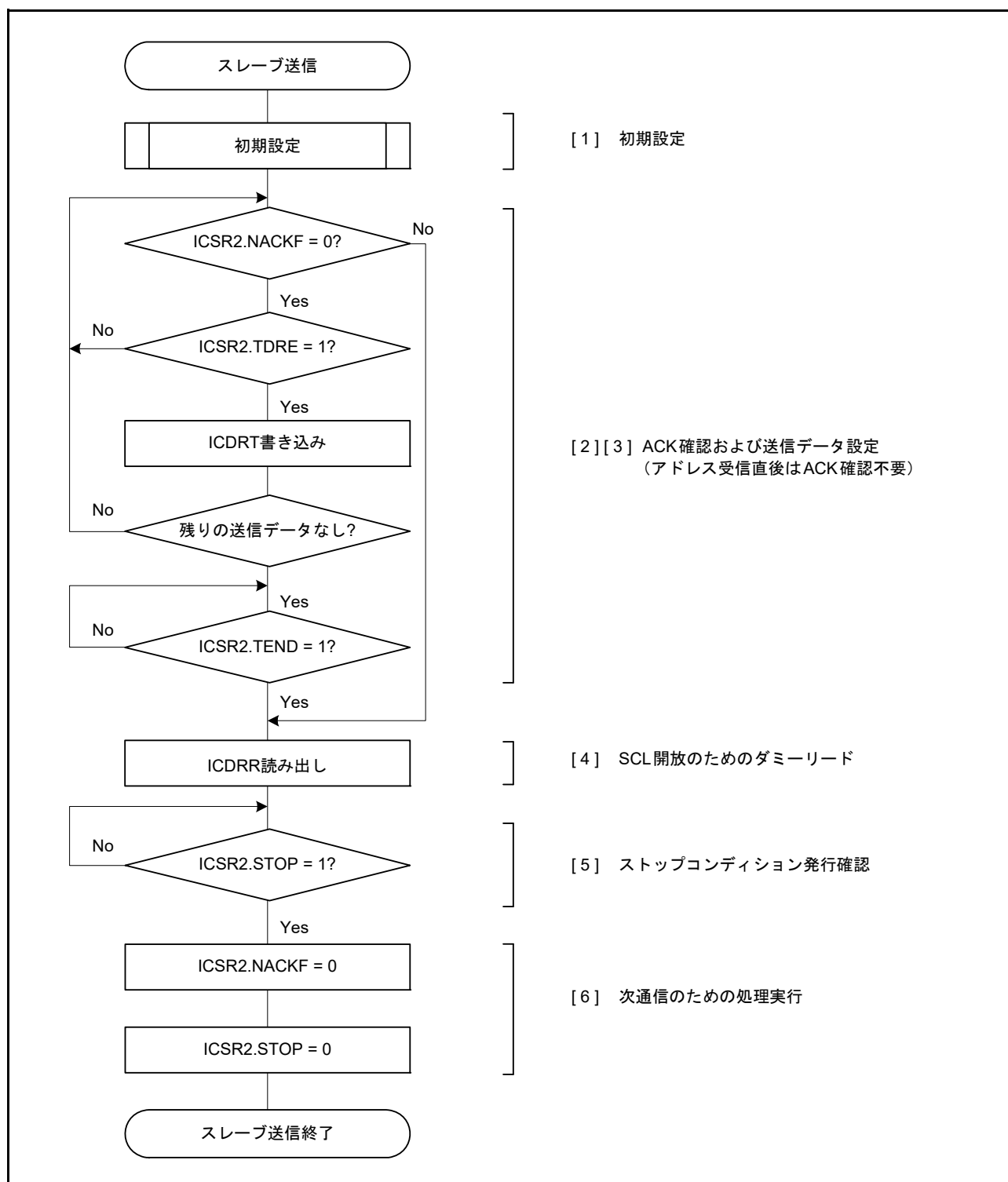


図 28.15 スレーブ送信のフロー例

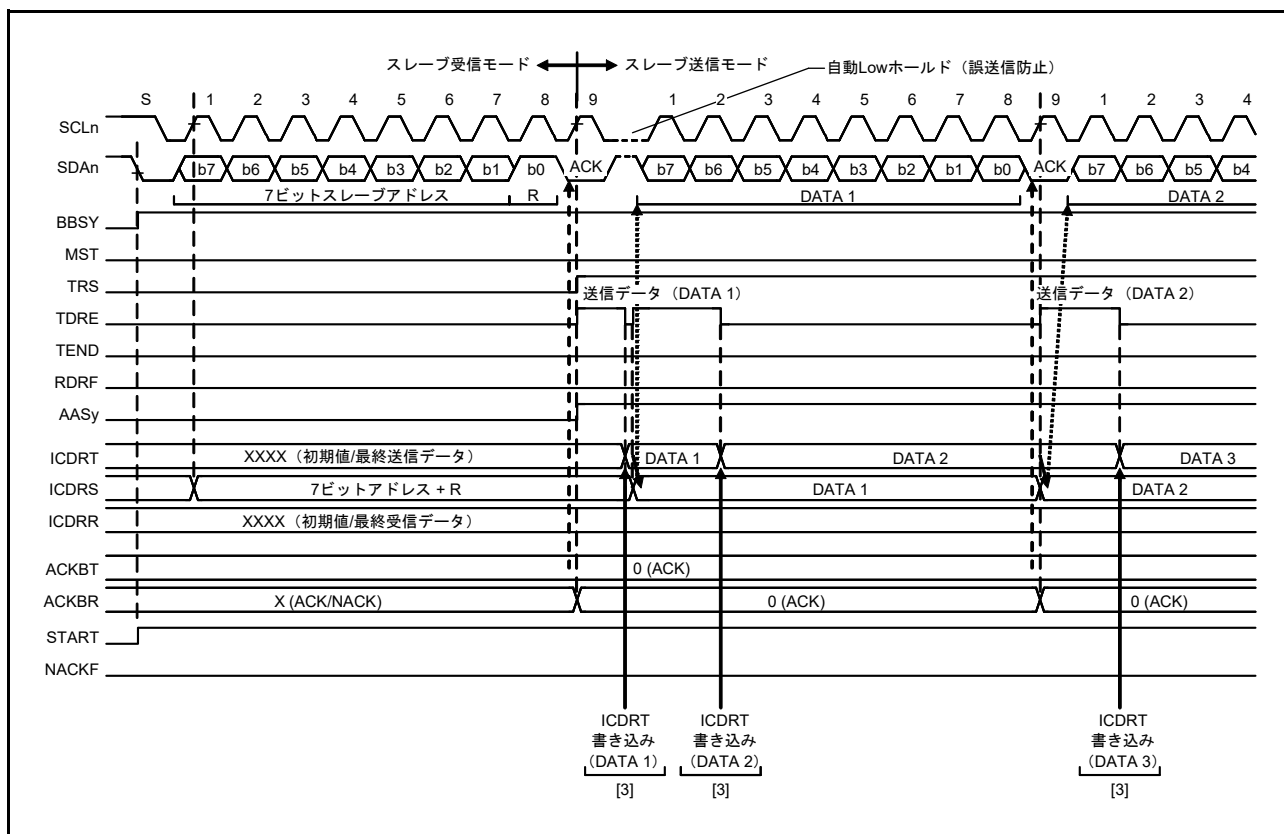


図 28.16 スレーブ送信の動作タイミング (1) (7 ビットアドレスフォーマット)

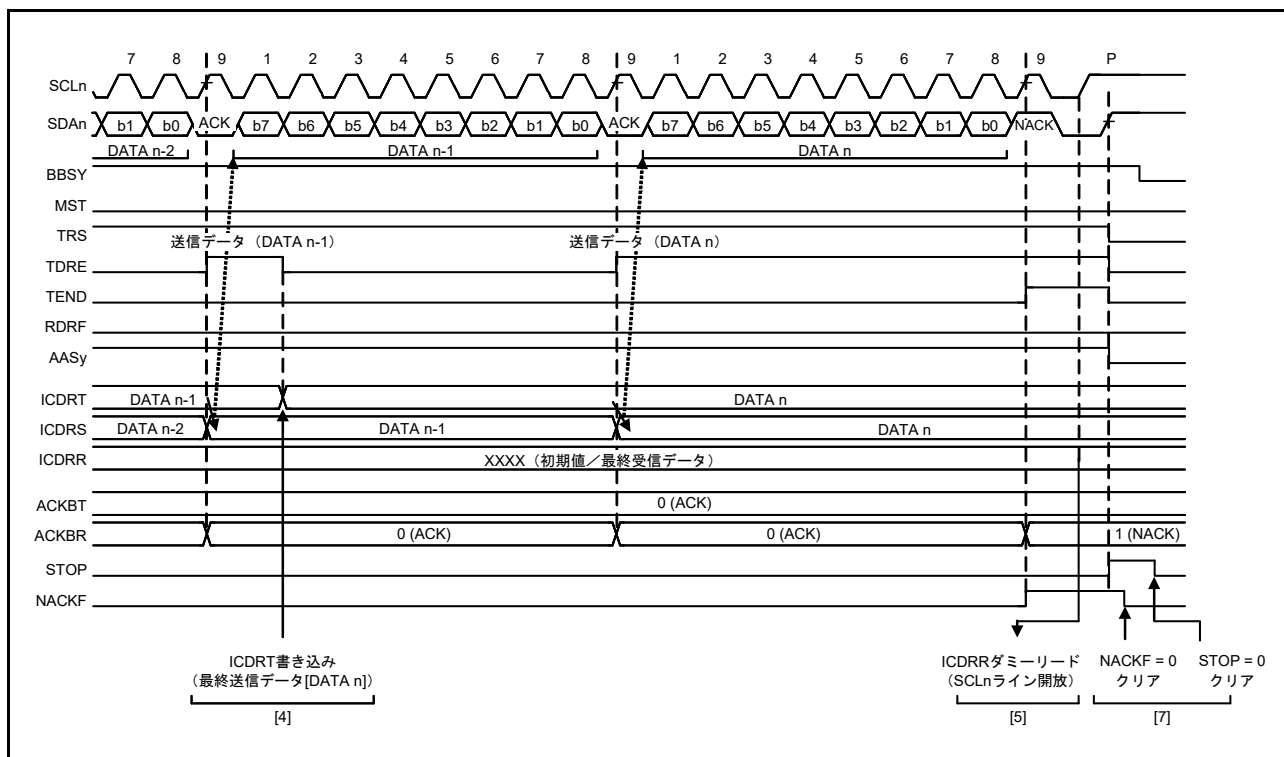


図 28.17 スレーブ送信の動作タイミング (2)

28.3.6 スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 28.18 にスレーブ受信の例を、図 28.19 および図 28.20 にスレーブ受信の動作タイミングを示します。

スレーブ受信の設定および実行は以下の手順で行います。

- 28.3.2 初期設定に示す手順で IIC を初期化します。
初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
- スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy フラグ (y = 0 ~ 2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。受信した R/W# ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
- ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認し、ICDRR レジスタをダミーリードしてください。ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです。
- ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 のまま次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの 1 つ手前の SCL クロックで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、IIC は SCLn ラインを開放します。
ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
- IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASy フラグ (y = 0 ~ 2) を自動的に 0 にします。
- ICSR2.STOP フラグが 1 であることを確認した後、次の転送のために ICSR2.STOP フラグを 0 にしてください。

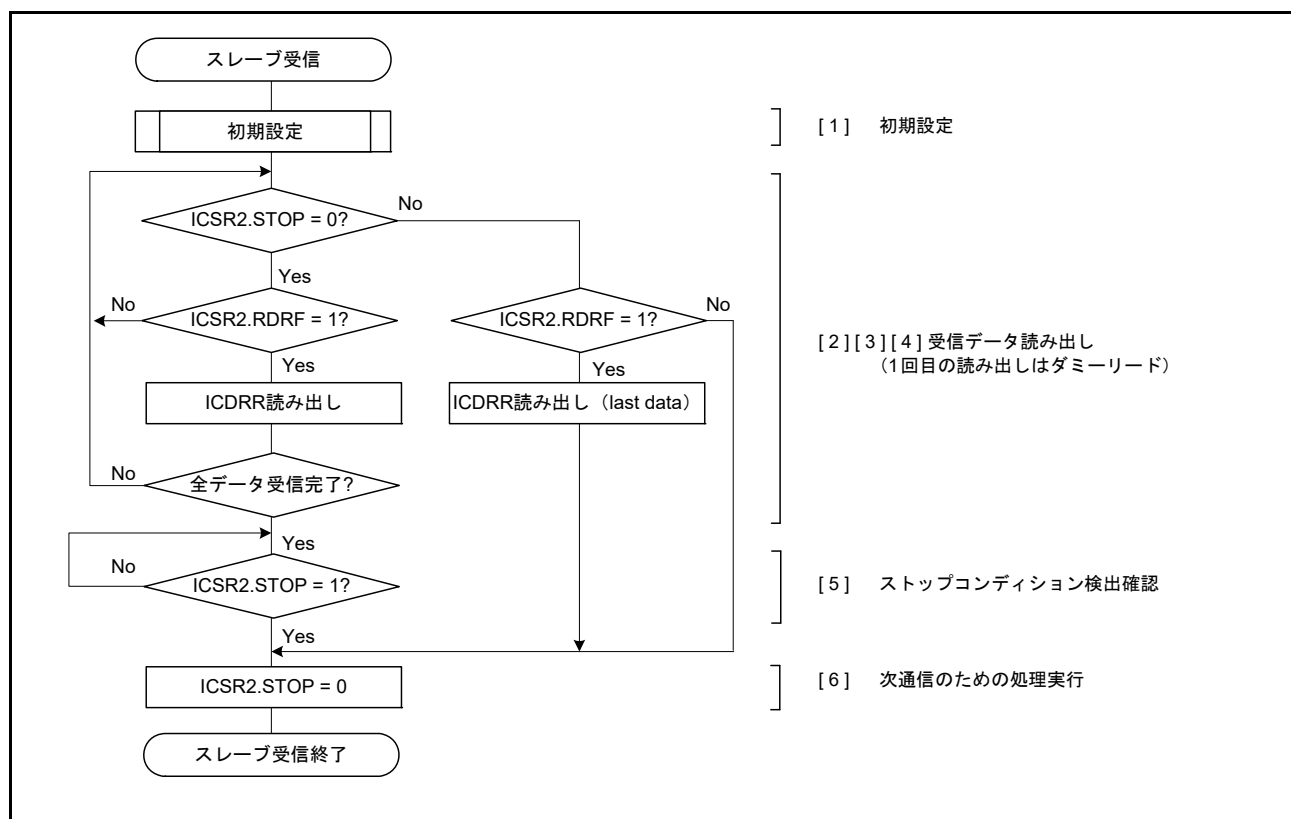


図 28.18 スレーブ受信のフロー例

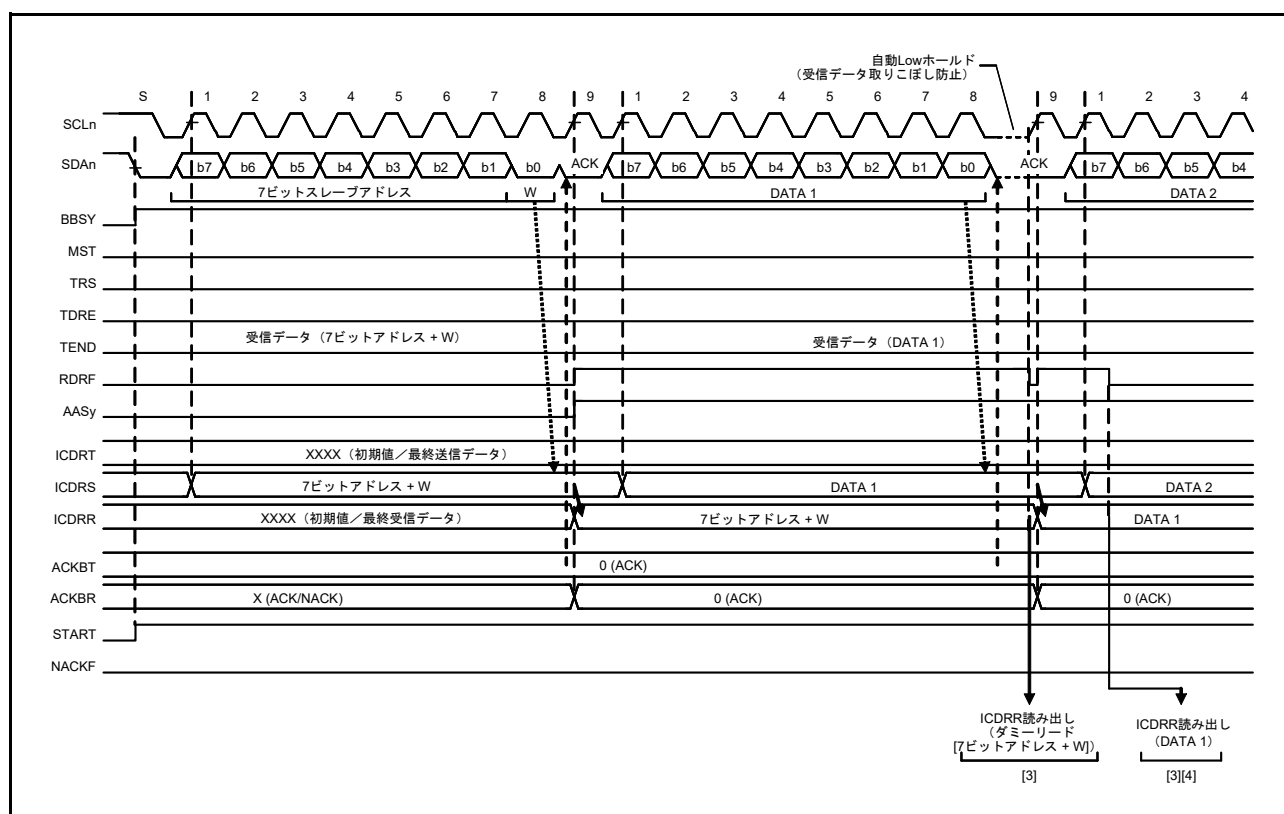


図 28.19 スレーブ受信の動作タイミング (1) (7 ビットアドレスフォーマットで RDRFS = 0 の場合)

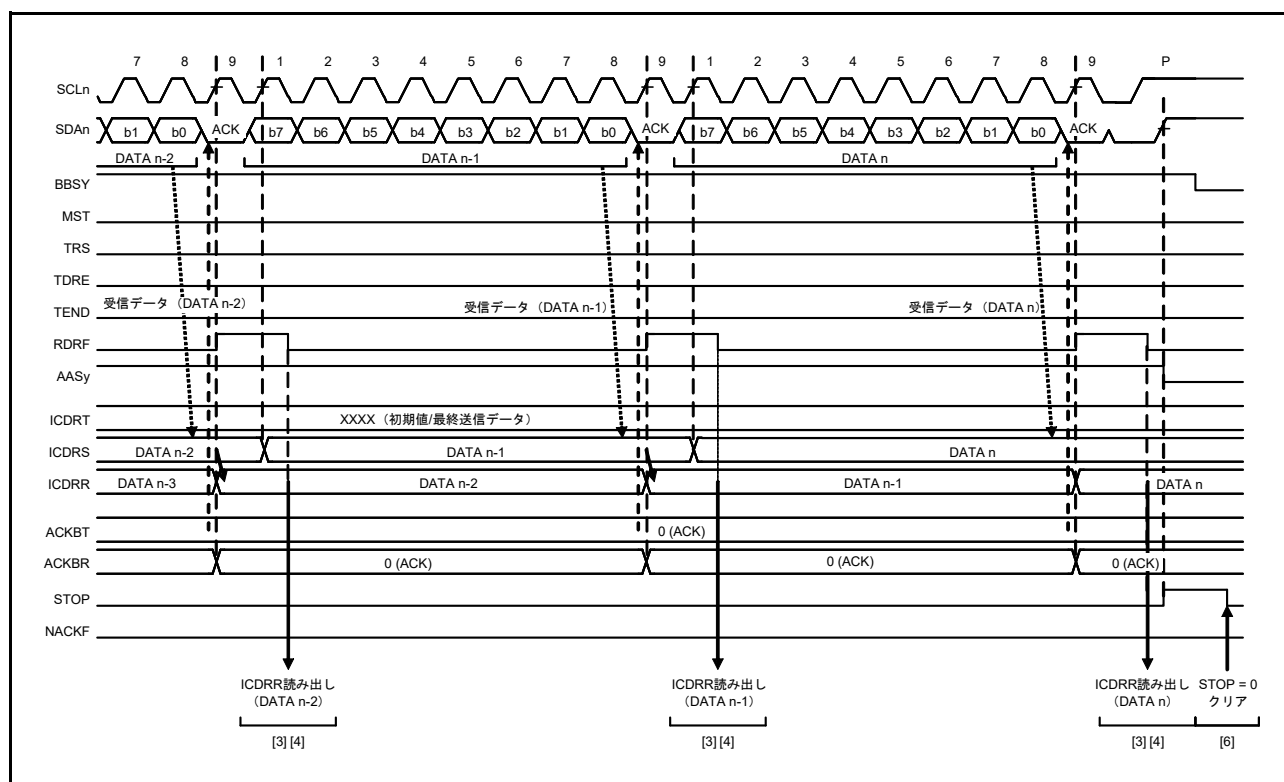


図 28.20 スレーブ受信の動作タイミング (2) (RDRFS = 0 の場合)

28.4 SCL 同期回路

SCL クロックを生成するには、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウントを開始し、カウントが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定した Low 幅のカウントを開始し、カウントが終了すると SCLn ラインを開放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH レジスタで指定した High 幅のカウントを開始し、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low になると、IIC は以下の処理を実行します。

1. 立ち下がりエッジを検出すると、カウントを停止します。
2. SCLn ラインを Low に変化させます。
3. ICBRL レジスタで指定した Low 幅のカウントを開始します。

Low 幅のカウントが終了すると、IIC は SCLn ラインを開放します。他のマスタデバイスからの SCL クロック信号の Low 幅が、IIC 側で設定した Low 幅よりも長いと、SCL 信号の Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの解放によって SCL クロック信号が立ち上がりします。

IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが開放され、SCL クロックが立ち上がりします。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。なお、この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。

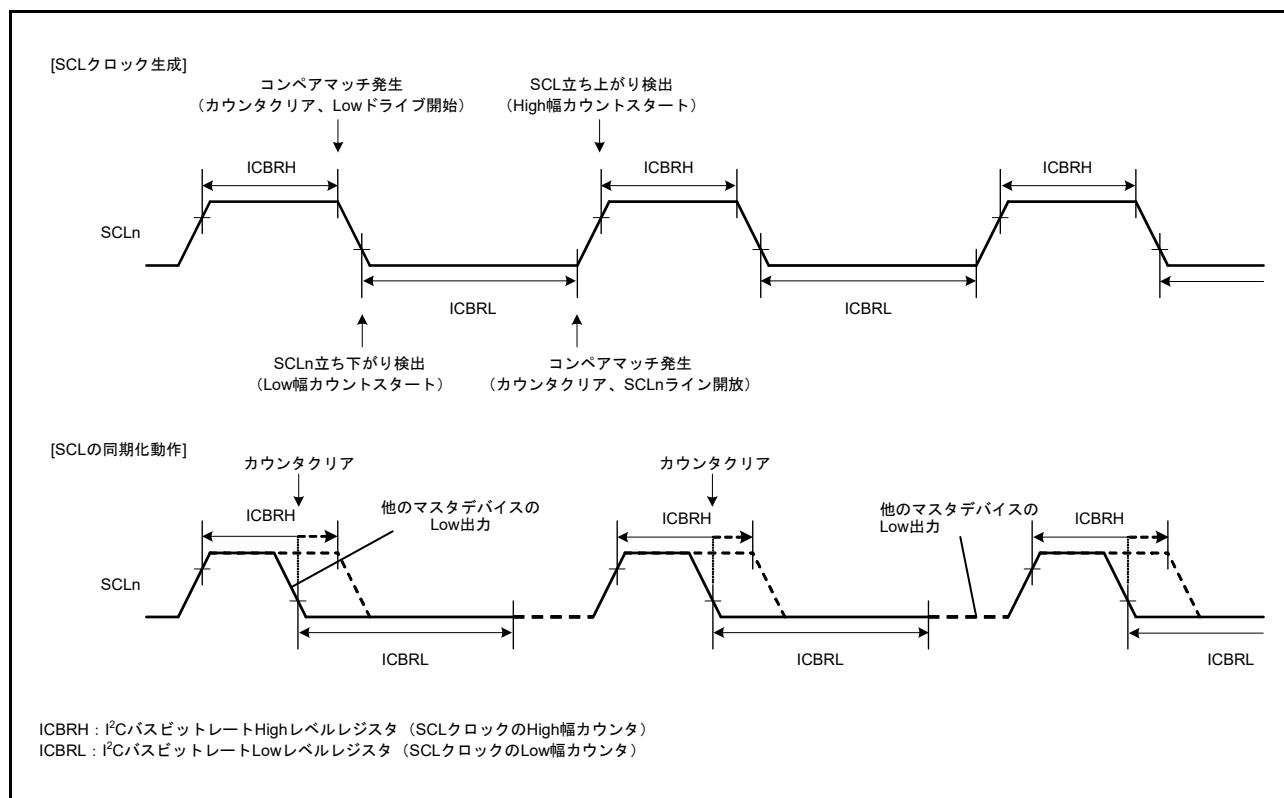


図 28.21 IIC の SCL クロック生成および SCL 同期化動作

28.5 SDA 出力遅延機能

IIC モジュールは SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（スタート/リスタート/ストップコンディションの発行、データ出力、ACK/NACK 出力）を遅延させることができます。

この機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間（300ns）要件を満たし、通信デバイスの誤動作を防止します。この SDA 出力遅延機能は、ICMR2.SDDL[2:0] ビットが 000b 以外のとき有効で、SDDL[2:0] ビットが 000b のとき無効です。

SDA 出力遅延機能が有効のとき、たとえば ICMR2.DLCS ビットは、IIC モジュール用の内部基本クロック（IIC ϕ ）とその 2 分周クロック（IIC ϕ /2）のどちらを SDA 出力遅延カウンタのクロックソースとして使用するかを選択します。カウンタは、ICMR2.SDDL[2:0] ビットに設定されたサイクル数をカウントします。遅延カウントに達すると、IIC モジュールは SDA_n ライン上で必要な出力（スタート/リスタート/ストップコンディション、データ、ACK/NACK 信号）を行います。

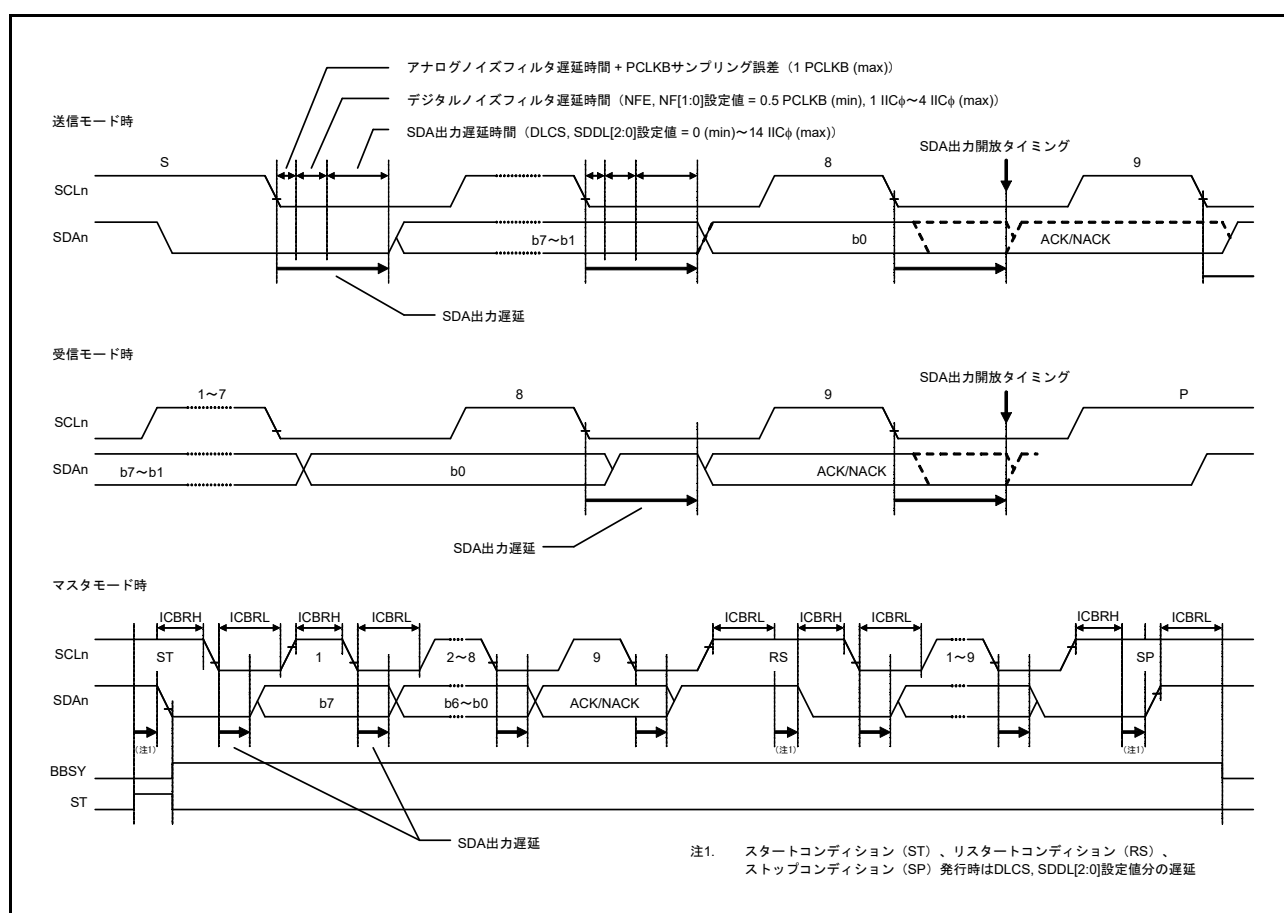


図 28.22 SDA 出力遅延機能

28.6 デジタルノイズフィルタ回路

SCL_n 端子と SDA_n 端子の状態は、内部からはアナログノイズフィルタ回路およびデジタルノイズフィルタ回路を通じて確認できます。図 28.23 に、デジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択します。ノイズ除去能力は選択した有効段数に応じて、1IIC_φ ~ 4IIC_φ サイクル分となります。

SCL_n 端子入力信号（または SDA_n 端子入力信号）は IIC_φ の立ち下がりでサンプリングされます。入力信号レベルが、ICMR3.NF[1:0] ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルを後続の各段で確認できます。一致しない場合は前のレベルを保持します。

なお、たとえば PCLKB = 4MHz 時の 400kbps 通信のように、内部動作クロック (PCLKB) と通信速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。そのような場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することが可能です。

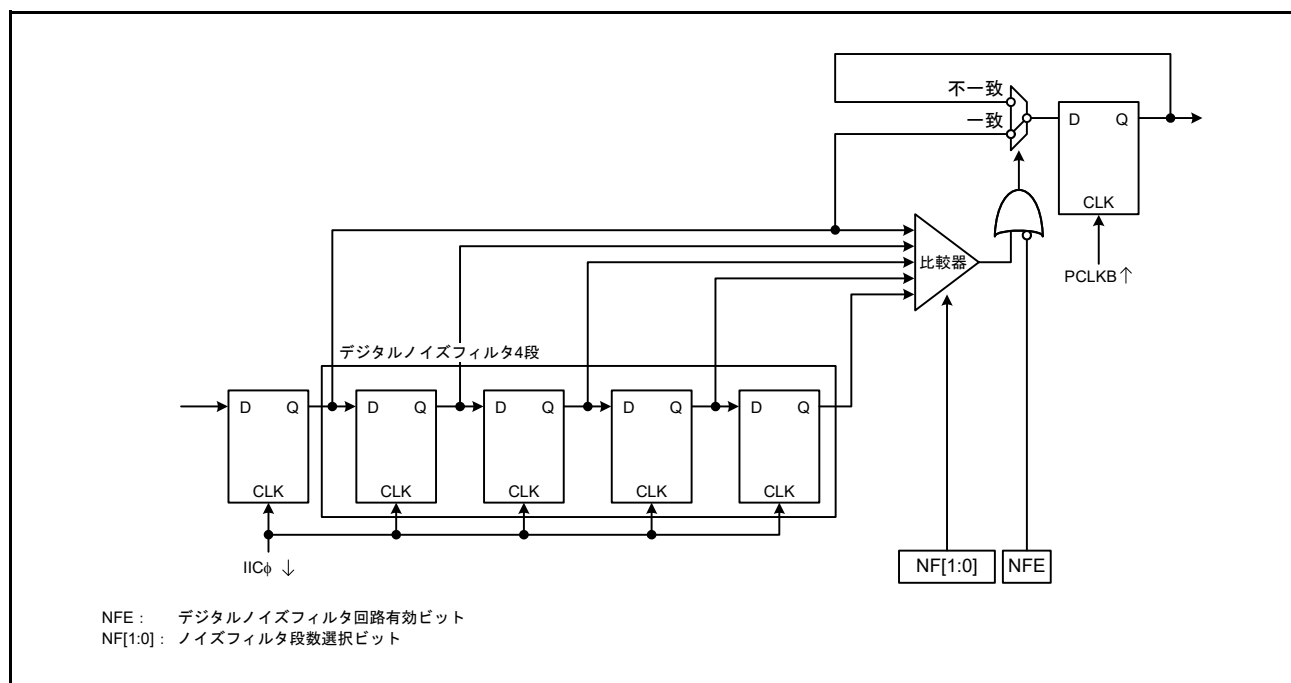


図 28.23 デジタルノイズフィルタ回路のブロック図

28.7 アドレス一致検出機能

IIC は、ジェネラルコールアドレス、ホストアドレスの他に 3 種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

28.7.1 スレーブアドレス一致検出機能

IIC は 3 種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARyE ビット ($y=0 \sim 2$) が 1 のとき、SARUy および SARLy レジスタ ($y=0 \sim 2$) に設定されたスレーブアドレスを検出できます。

IIC が設定されたスレーブアドレス一致を検出すると、対応する ICSR1.AASy フラグ ($y=0 \sim 2$) が SCL クロックの 9 クロック目の立ち上がりで 1 になり、続く R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) または送信データエンプティ割り込み (IICn_TXI) を発生させることができます。どのスレーブアドレスが指定されたかは AASy フラグで識別できます。

図 28.24 ～ 図 28.26 に AASy フラグが 1 になるタイミングを 3 つのケースで示します。

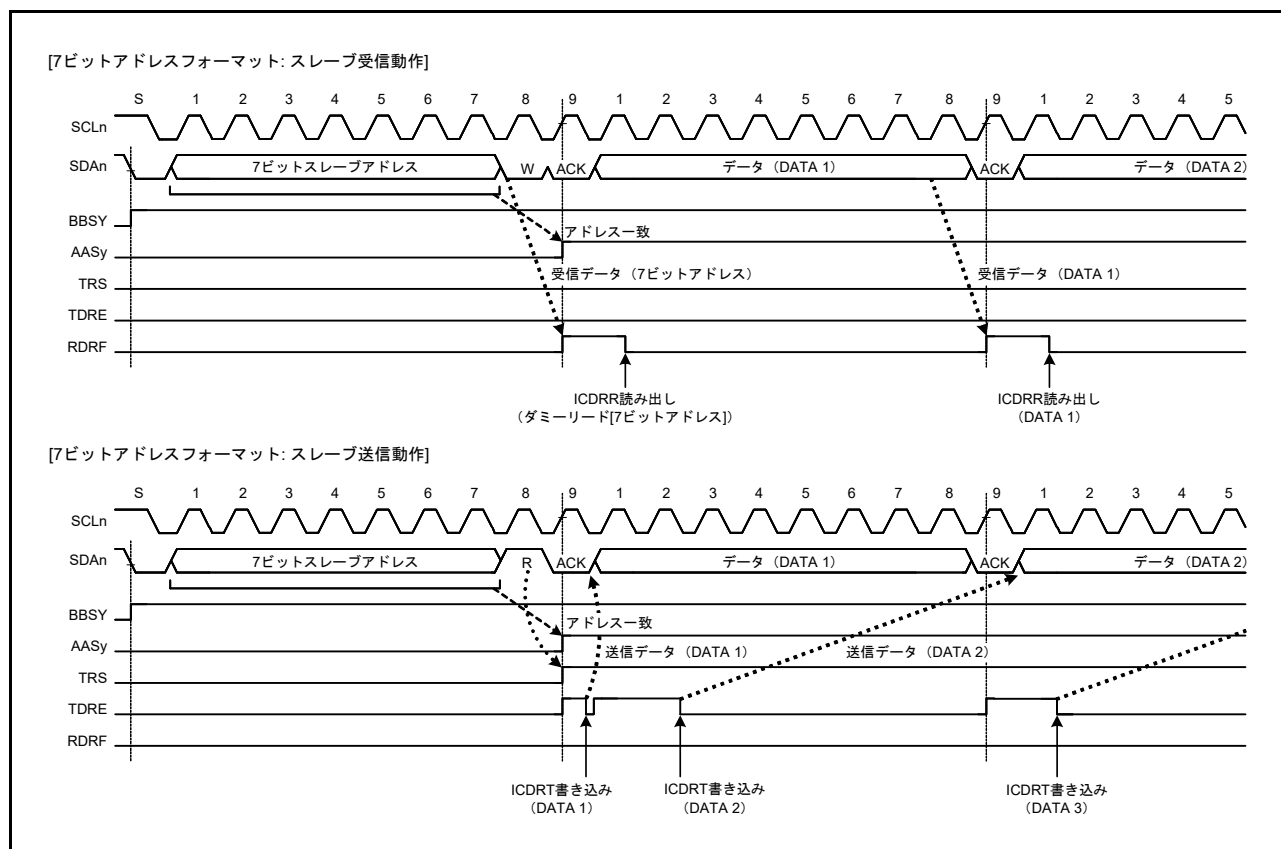


図 28.24 AASy フラグが 1 になるタイミング (7 ビットアドレスフォーマット)

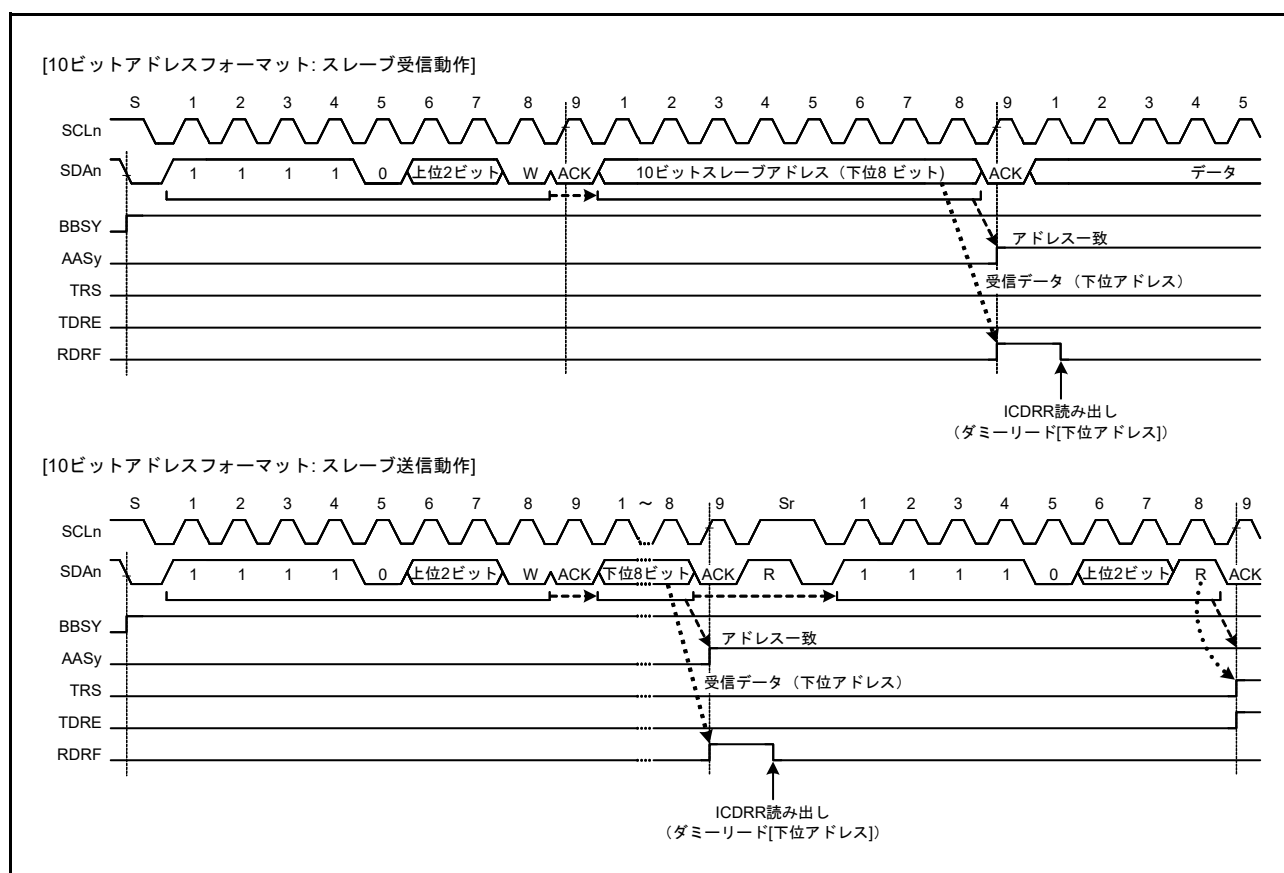


図 28.25 AASy フラグが1になるタイミング (10 ビットアドレスフォーマット)

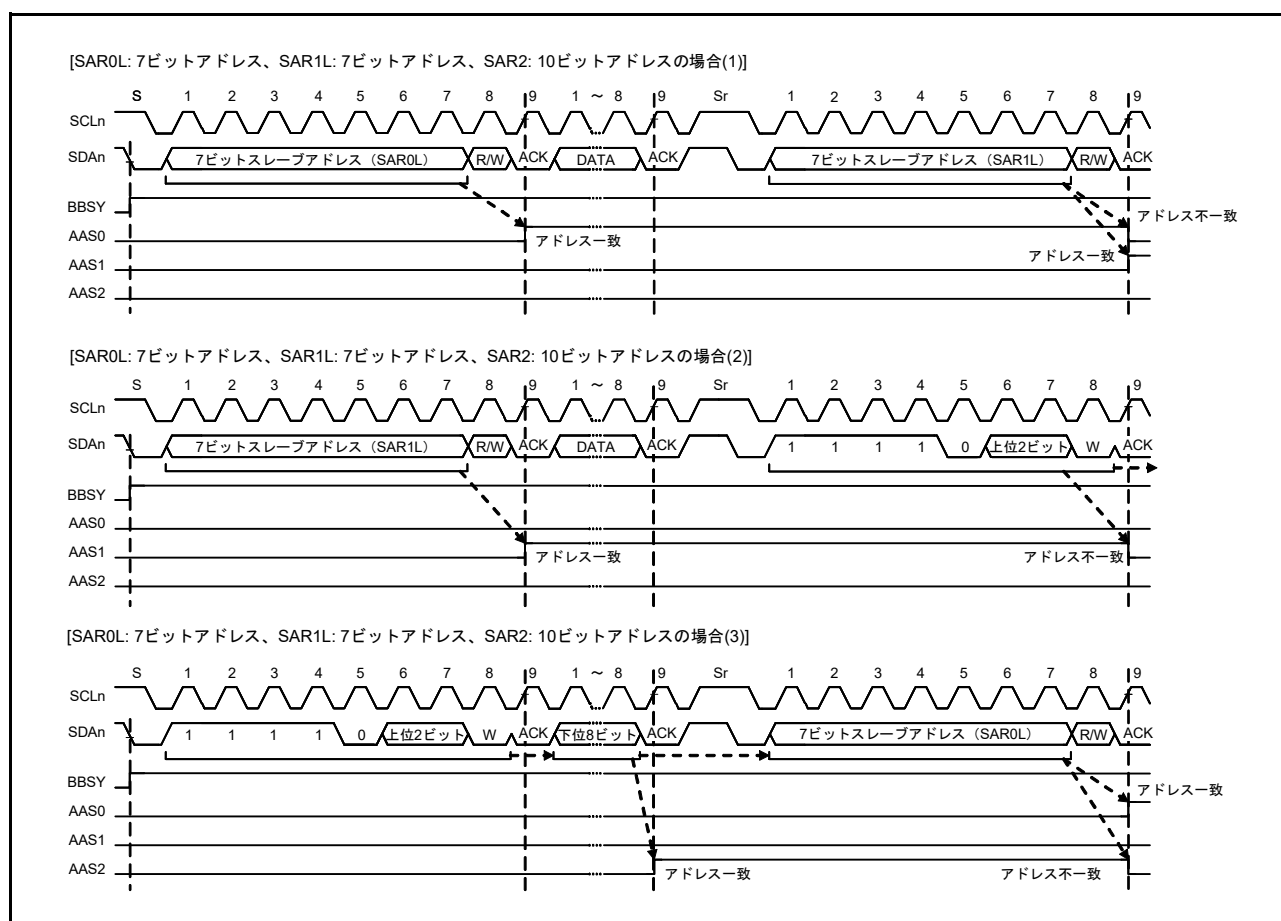


図 28.26 AASy フラグが 1 または 0 になるタイミング (7 ビット / 10 ビットアドレスフォーマット混在)

28.7.2 ジェネラルコールアドレス検出機能

IIC は、ジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。この機能は、ICSER.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b + 1[R] (開始バイト) の場合は、IIC はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスは認識しません。

IIC がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.GCA フラグと ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn RXI) が発生します。GCA フラグを確認することで、ジェネラルコールアドレスが送信されたことを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

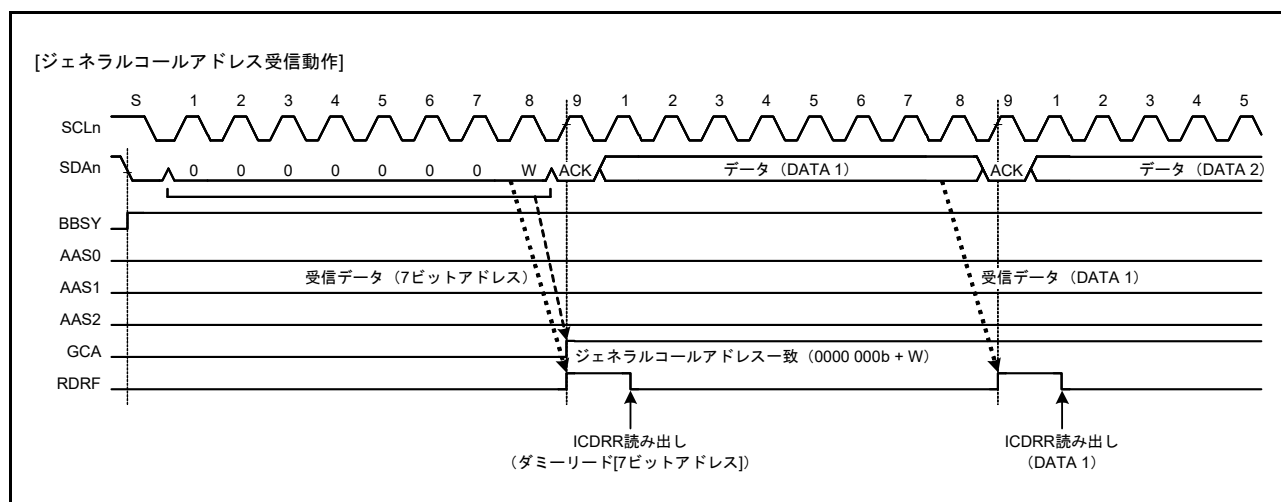


図 28.27 ジェネラルコールアドレス受信時に GCA フラグが 1 になるタイミング

28.7.3 デバイス ID アドレス検出機能

IIC モジュールは、I²C バス仕様 (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを 1 にした状態で、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目に 1111 100b を受信すると、IIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが 0 のとき、SCL クロックの 9 クロック目の立ち上がりで ICSR1.DID フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IIC は対応する ICSR1.AASy フラグ (y = 0 ~ 2) を 1 にします。

その後、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが 1 のとき、IIC は続く 2 バイト目以降はアドレス比較を行わず、ICSR2.TDRE フラグを 1 にします。

デバイス ID アドレス検出機能では、IIC スレーブアドレスと一致しなかった場合、あるいは IIC スレーブアドレスと一致し、リスタートコンディションの検出時にデバイス ID アドレスと一致しなかった場合、IIC は DID フラグを 0 にします。スタートコンディションまたはリスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが 0 の場合は、IIC は DID フラグを 1 にして、続く 2 バイト目以降を IIC のスレーブアドレスと比較します。R/W# ビットが 1 の場合、DID フラグは前値の状態を継続し、IIC は 2 バイト目以降の比較を行いません。したがって、TDRE = 1 の確認後、DID フラグを読むことで、デバイス ID アドレスを受信したことを確認することが可能です。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイトデータ: メーカー情報 [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。

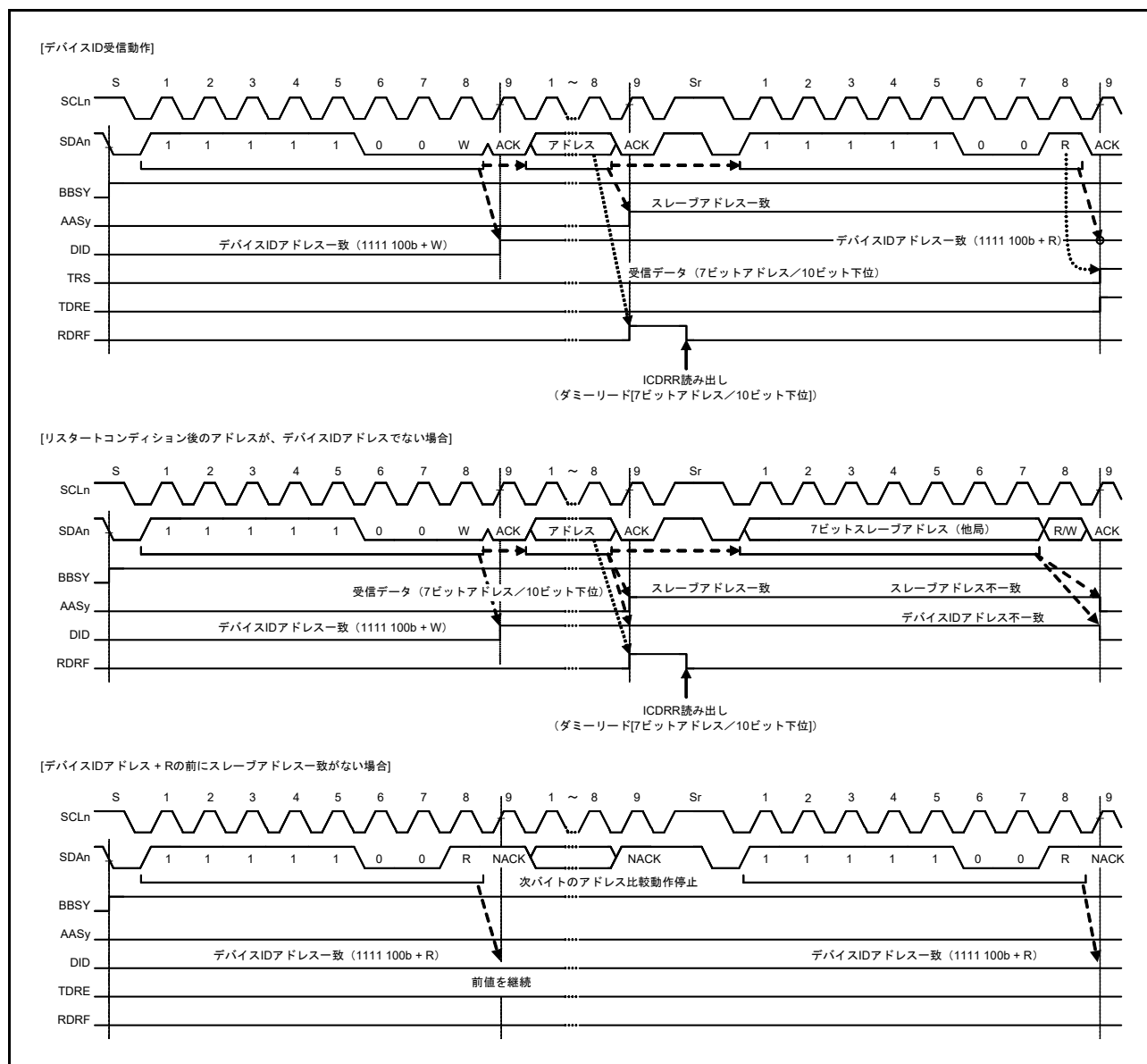


図 28.28 デバイス ID 受信時の AASy および DID フラグのセット/クリアタイミング

28.7.4 ホストアドレス検出機能

IIC は、SMBus 動作時のホストアドレス検出機能を備えています。ICMR3.SMBS ビットが 1 のとき ICSEH.HOAE ビットを 1 にすると、スレーブ受信モード (ICCR2.MST = 0、かつ ICCR2.TRS = 00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IIC がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.HOA フラグが 1 になり、R/W# ビットが 0 (Wr ビット) のとき、ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。HOA フラグは、他のデバイスからホストアドレスが送信されたことを示します。

なお、ホストアドレス (0001 000b) に続くビットが読み出しビット (R/W# ビット = 1) の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

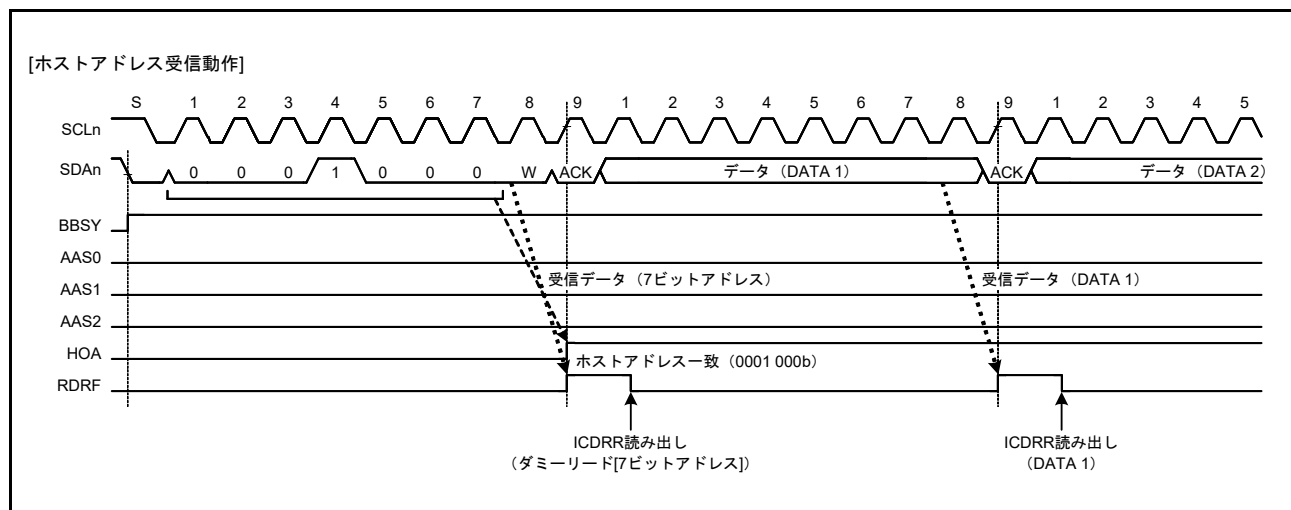


図 28.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

28.8 ウェイクアップ機能

IIC は、MCU をソフトウェアスタンバイモードまたはスヌーズモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、システムクロック (PCLKB) 停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。このウェイクアップ割り込み信号を契機として、通常動作に復帰します。ウェイクアップ割り込み発生後、通信を継続できるように、IIC を PCLKB 同期動作に切り替えてください。

ウェイクアップ機能には、下記の 4 つの動作モードがあります。

- ノーマルウェイクアップモード 1
- ノーマルウェイクアップモード 2
- コマンドリカバリモード
- EEP 応答モード

表 28.9 に各モードの動作を示します。

表 28.9 ウェイクアップ動作モード

動作モード	ACK 応答タイミング	ウェイクアップ前の ACK 応答	ウェイクアップ時の SCL 状態
ノーマルウェイクアップモード 1	PCLKB 同期動作へのウェイクアップ前 (注1)	ACK	Low に固定
ノーマルウェイクアップモード 2	PCLKB 同期動作へのウェイクアップ後 (注2)	ウェイクアップ前：応答なし (NACK レベル保持) ウェイクアップ後：ACK 応答	Low に固定
コマンドリカバリモード	PCLKB 同期動作へのウェイクアップ前 (注1)	ACK	解放
EEP 応答モード	PCLKB 同期動作への復帰前 (注1)	NACK	解放

注 1. PCLKB 非同期動作から PCLKB 同期動作への切り替えタイミングは、SCL の 9 クロック目の立ち下がりです。

注 2. PCLKB 非同期動作から PCLKB 同期動作への切り替えタイミングは、SCL の 8 クロック目の立ち下がりです。

ウェイクアップ割り込み要因として以下が選択できます。

- ホストアドレス検出 (ICSER.HOAE = 1 のときに有効)
- ジェネラルコールアドレス検出 (ICSER.GCAE = 1 のときに有効)
- スレーブアドレス 0 (注1) 検出 (ICSER.SAR0E = 1 のときに有効)
- スレーブアドレス 1 (注1) 検出 (ICSER.SAR1E = 1 のときに有効)
- スレーブアドレス 2 (注1) 検出 (ICSER.SAR2E = 1 のときに有効)

注 1. 7 ビットアドレスのみ設定可能。SAR_y (y = 0 ~ 2) の FS ビットを 0 にします。

ウェイクアップ機能使用時の注意事項

- ICWUR2.WUASYF フラグが 1 のとき (PCLKB 非同期動作中)、ICWUR2.WUSEN ビット以外の、IIC のレジスタの値は変更しないでください
- PCLKB 非同期モードに切り替える前に、ICWUR.WUE と ICWUR.WUIE を 1 に、ICCR2.MST と ICCR2.TRS を 0 (スレーブ受信モード) にしてください
- デバイス ID および 10 ビットのスレーブアドレスは、ウェイクアップ割り込み要因には選択できません。ICSER.DIDE ビットと SAR_y.FS ビット (y = 0 ~ 2) を 0 にしてください
- 非同期動作への切り替え前に、ICIER レジスタの TIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、および TMOIE の各ビットを 0 (割り込み禁止) にしてください
- ウェイクアップ機能が有効 (ICWUR.WUE = 1) の場合は、タイムアウト機能は使用しないでください

- PCLKB 非同期動作 (ICWUR2.WUASYF = 1) 中にウェイクアップ割り込みが発生しても、PCLKB 同期モード (ICWUR2.WUASYF = 0) でスレーブアドレスが一致した場合は、ウェイクアップ割り込みは発生せず、WUF フラグは設定されない
- ICWUR2.WUSEN ビットに 0 を書き込むタイミングとスタートコンディションを検出するタイミングが競合した場合、IIC は次の受信を PCLKB 同期動作モードで開始する場合があります。この場合、データ通信が終了し、ストップコンディションが検出され、ウェイクアップイベントの検出が開始すると、ICWUR2.WUASYF フラグが 1 (PCLKB 非同期モードに切り替え) になります
- ICWUR2.WUSEN ビットに 0 を書き込んだ後は、(ICWUR2.WUASYF フラグが 1 の状態で) モードが PCLKB 同期動作から PCLKB 非同期動作に切り替わるまで、IIC 動作モード設定に関連するレジスタ (ICMR3、ICSER、および SARLy) を変更しないでください。この期間中に、割り込み処理またはその他の要因でレジスタの値が変更した場合、非同期動作に切り替わる前に IIC が誤動作することがあります

28.8.1 ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。

ウェイクアップ前 : IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。

ウェイクアップ中 : SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う。(注 1)

ウェイクアップ後 : 通常動作が継続する。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下がり後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。

図 28.32 に動作例を、図 28.30 に詳細なタイミングを示します。

注 1. ウェイクアップ中の 9 クロック目と 1 クロック目の間では、WAIT = 1 は無効です。

ウェイクアップ割り込み以外の割り込み (IRQn など) で、ソフトウェアスタンバイモードまたはスリープモードからの遷移がトリガされると、WUF フラグは 1 になりません。図 28.31 に動作例を示します。

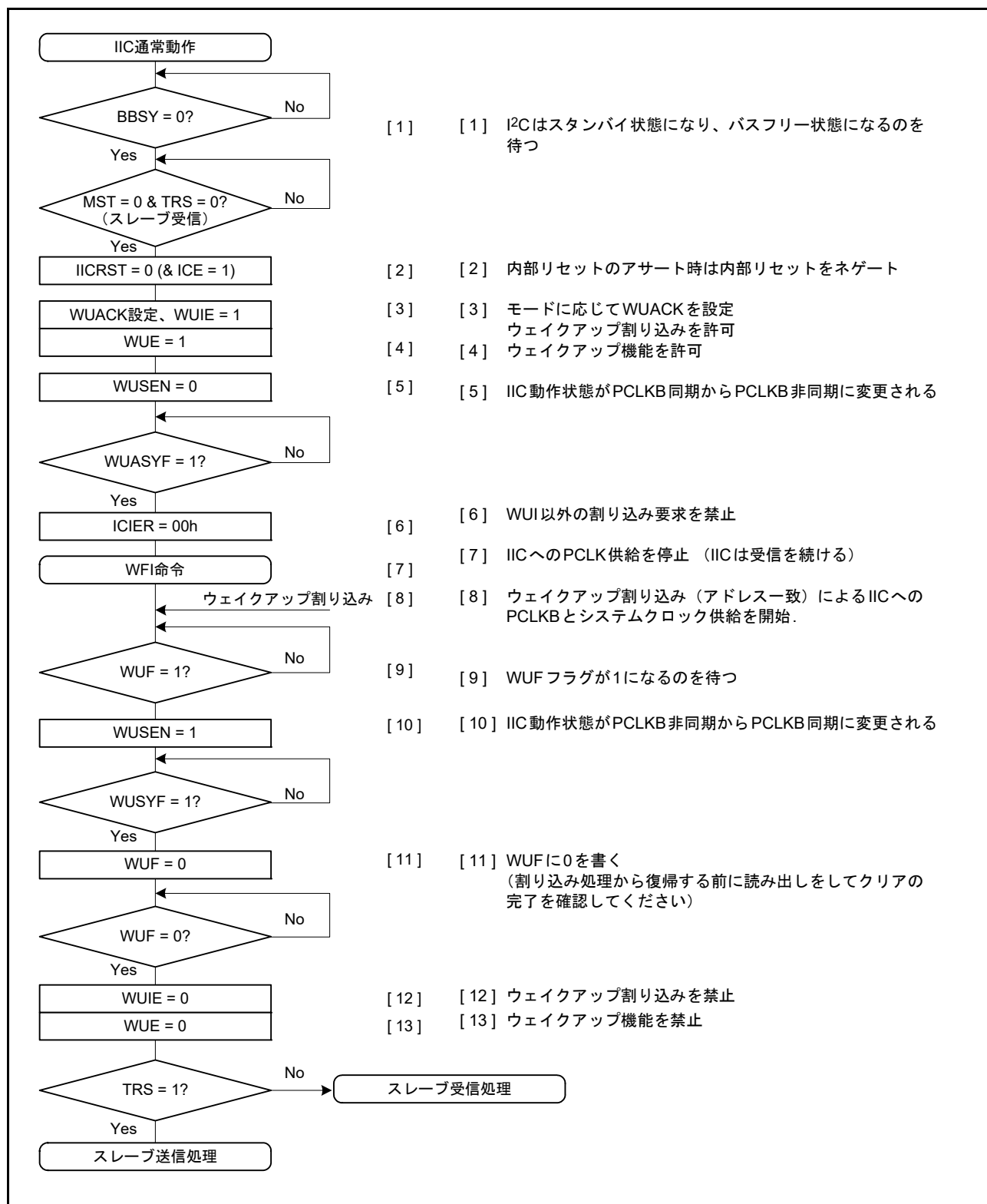


図 28.30 ノーマルウェイクアップモード 1 の動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。

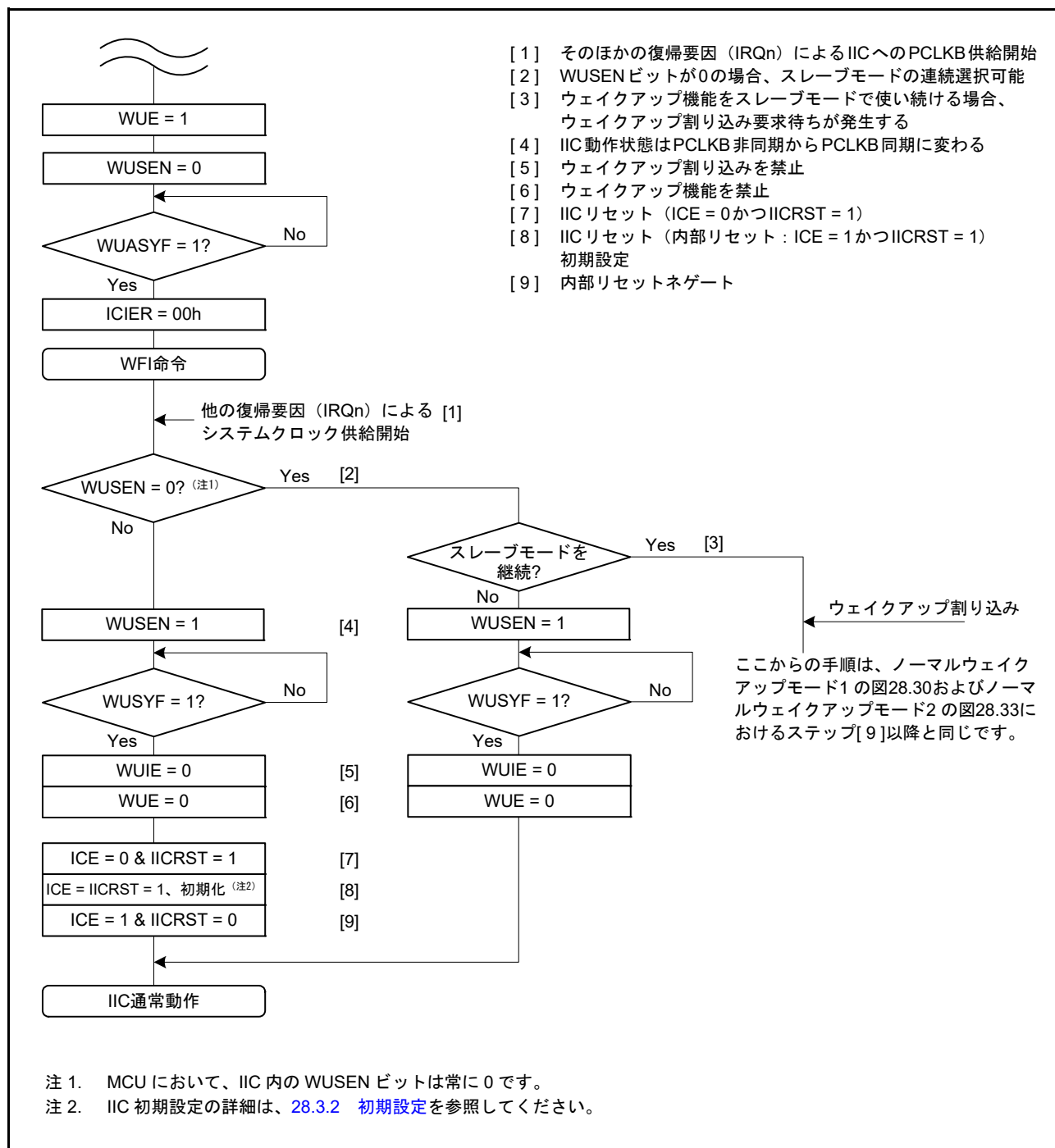


図 28.31 ノーマルウェイクアップモード 1 および 2 の動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注. IIC 初期設定の詳細は、28.3.2 初期設定を参照してください。

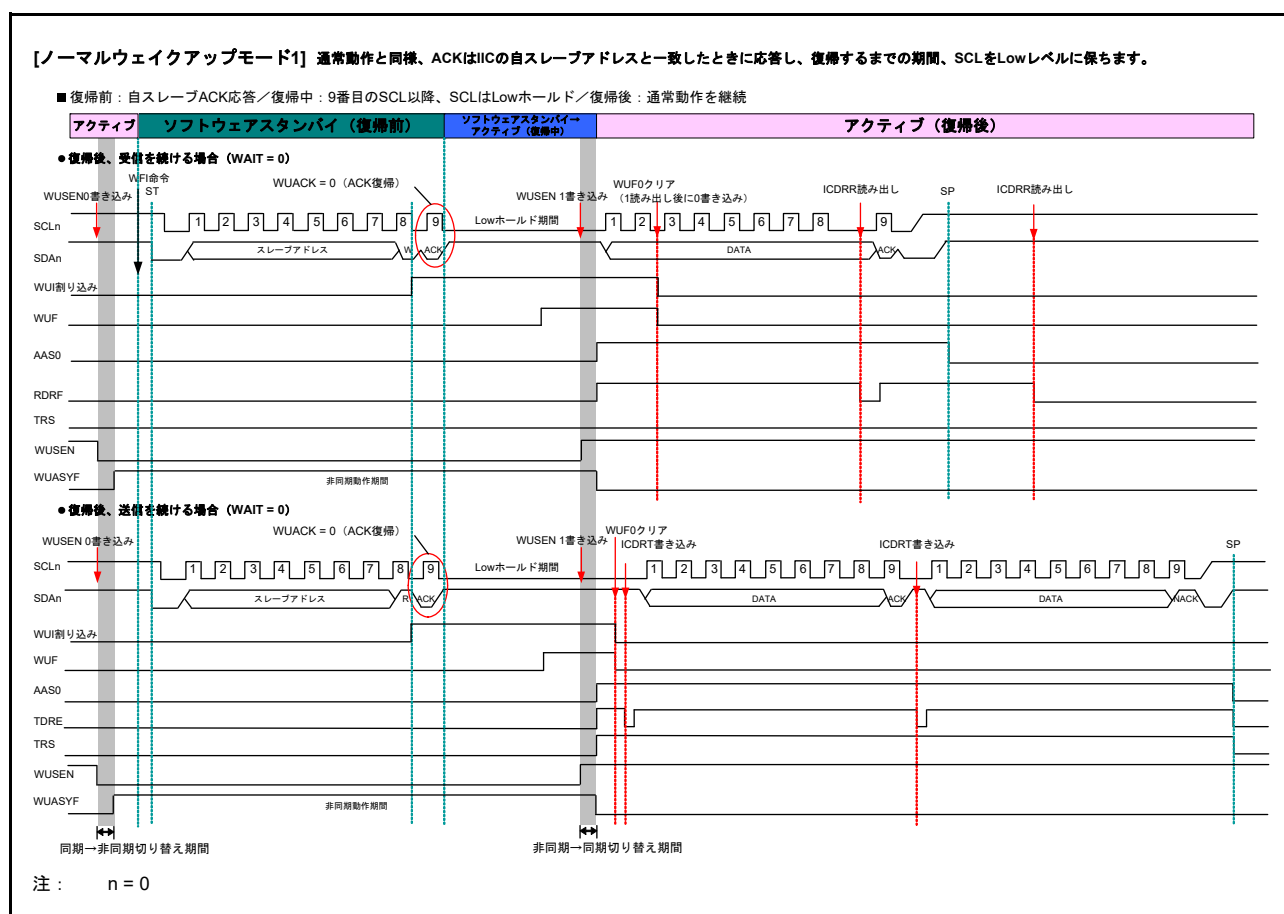


図 28.32 ノーマルウェイクアップモード1のタイミング

28.8.2 ノーマルウェイクアップモード2

以下では、ノーマルウェイクアップモード2の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。

ウェイクアップ前：IICの自スレーブアドレスとともに受信したデータに対してSCLの8クロック目の終わりまで応答しない。

ウェイクアップ中：8クロック目と9クロック目の間でSCLラインのLowホールドを行う。

ウェイクアップ後：SCLの9クロック目でACKを返し、通常動作が継続する。

スレーブアドレスが不一致の場合、SCLの8クロック目の立ち下がり後にSCLラインのLowホールドは行われず、スレーブ動作が継続します。

図 28.33 に動作例を、図 28.34 に詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み (IRQ など) で、ソフトウェアスタンバイモードまたはスヌーズモードからの遷移がトリガされると、WUFは1になりません。図 28.31 に動作例を示します。

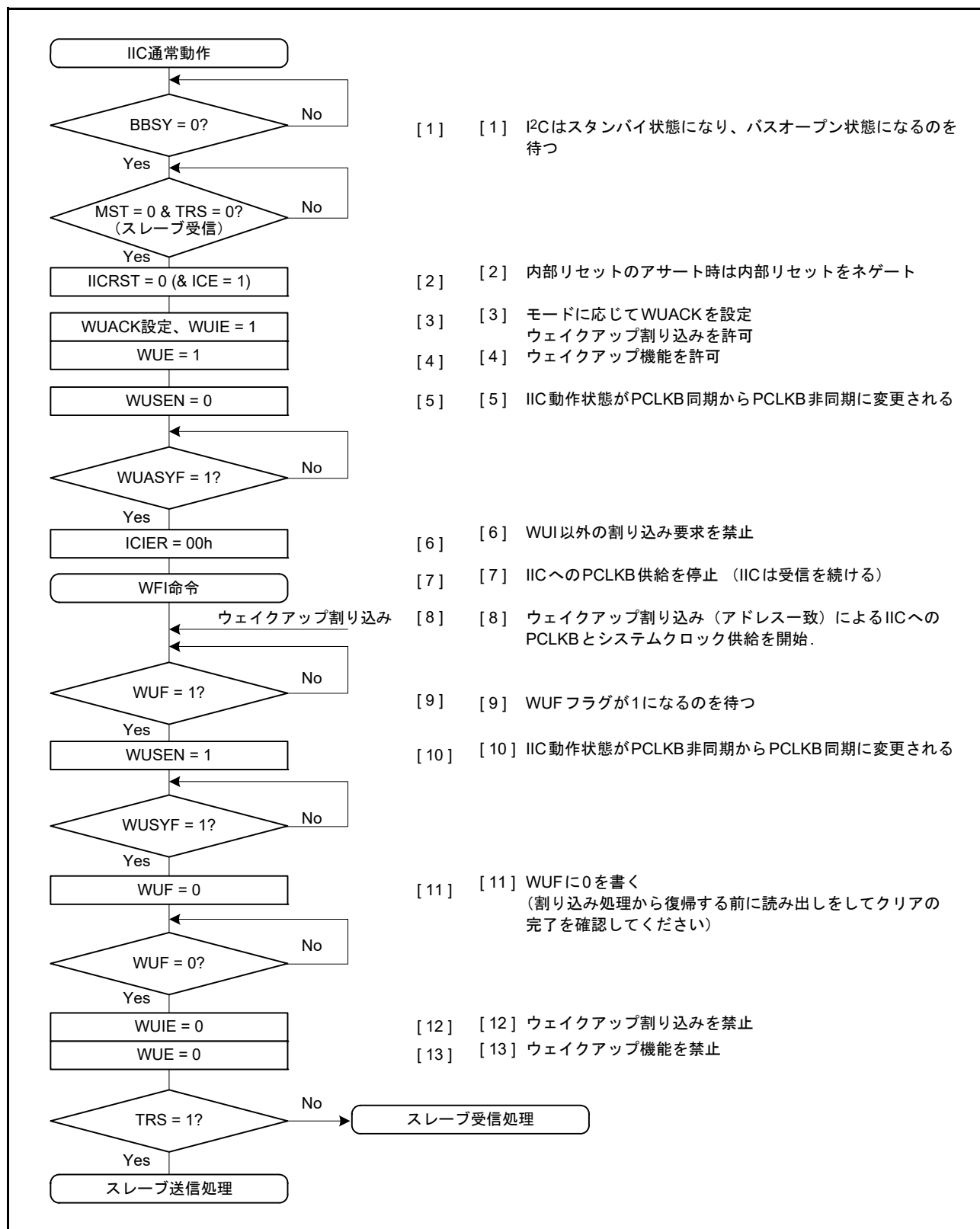


図 28.33 ノーマルウェイクアップモード2の動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。

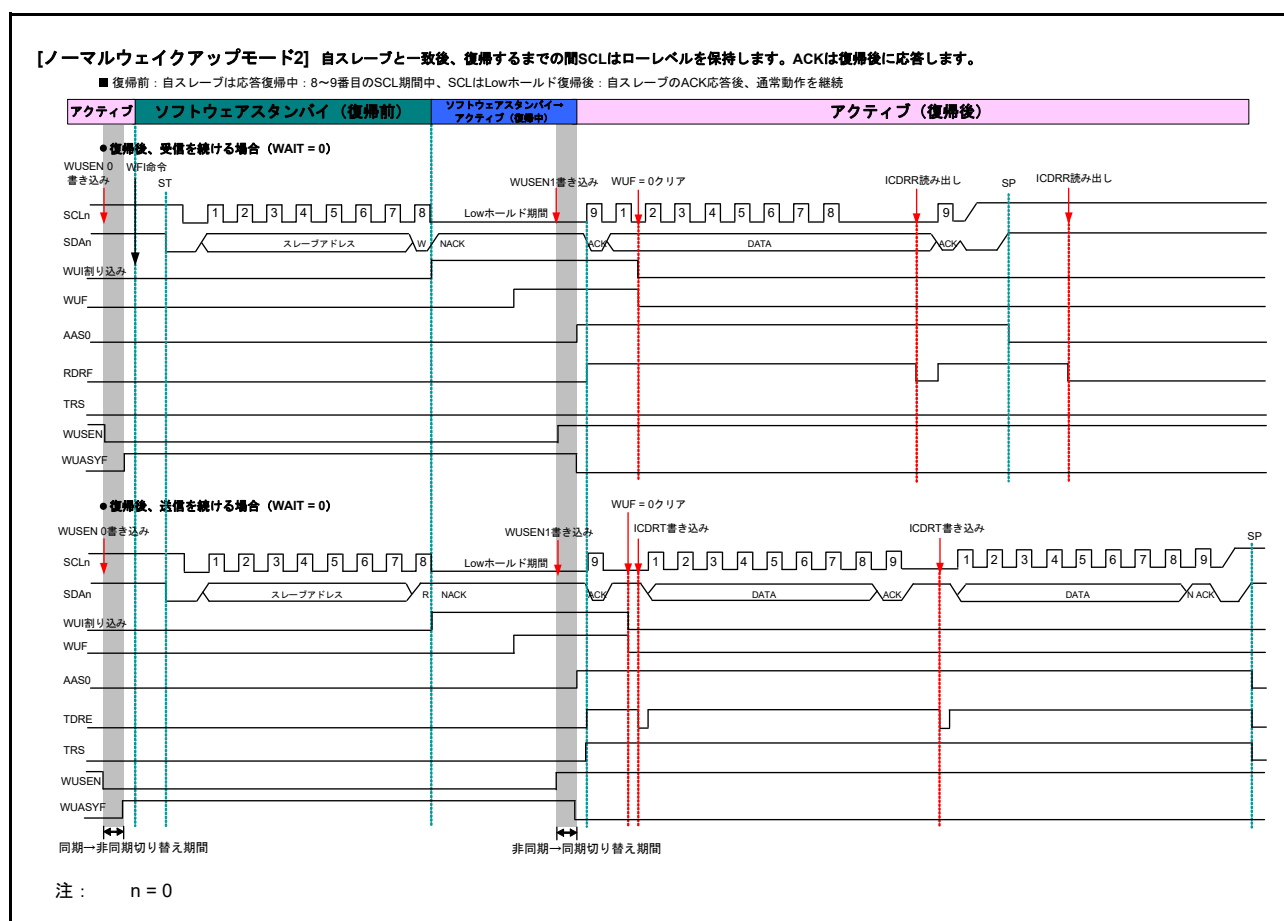


図 28.34 ノーマルウェイクアップモード2のタイミング

28.8.3 コマンドリカバリモードとEEP 応答モード（特殊ウェイクアップモード）

本項では、コマンドリカバリモードとEEP 応答モードの動作、タイミング、および動作例について説明します。

コマンドリカバリモードとEEP 応答モードでは、ウェイクアップ期間中（SCLの9クロック目の立ち上がり後）にSCLnラインのLowホールドは行われません。したがって、他のIICデバイスはこの期間にI²Cバスを利用できます。

スレープアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。

ウェイクアップ前：IICの自スレープアドレスとともに受信したデータに対して、ACK（コマンドリカバリモードの場合）またはNACK（EEP 応答モードの場合）を返す。

ウェイクアップ中：SCLラインのLowホールドを行わない。

ウェイクアップ後：IICの初期設定後、通常動作が継続する。

スレープアドレスが不一致の場合、スレープ動作が継続します。

注．ウェイクアップ中にSCLラインのLowホールドは行われないので、スレープアドレスの後続データは送受信できません。

注．コマンドリカバリモードとEEP 応答モードは、内部リセット状態（ICE = IICRST = 1）です。したがって、スレープアドレスが一致しても、ICSR1レジスタのフラグ（HOA、GCA、AAS0、AAS1、AAS2）は設定されません。

図 28.35 にコマンドリカバリモードとEEP 応答モードの動作例を示します。図 28.37 に、詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み (IRQn など) でソフトウェアスタンバイモードまたはスヌーズモードからの遷移がトリガされると、WUF フラグは1 になりません。図 28.36 に動作例を示します。

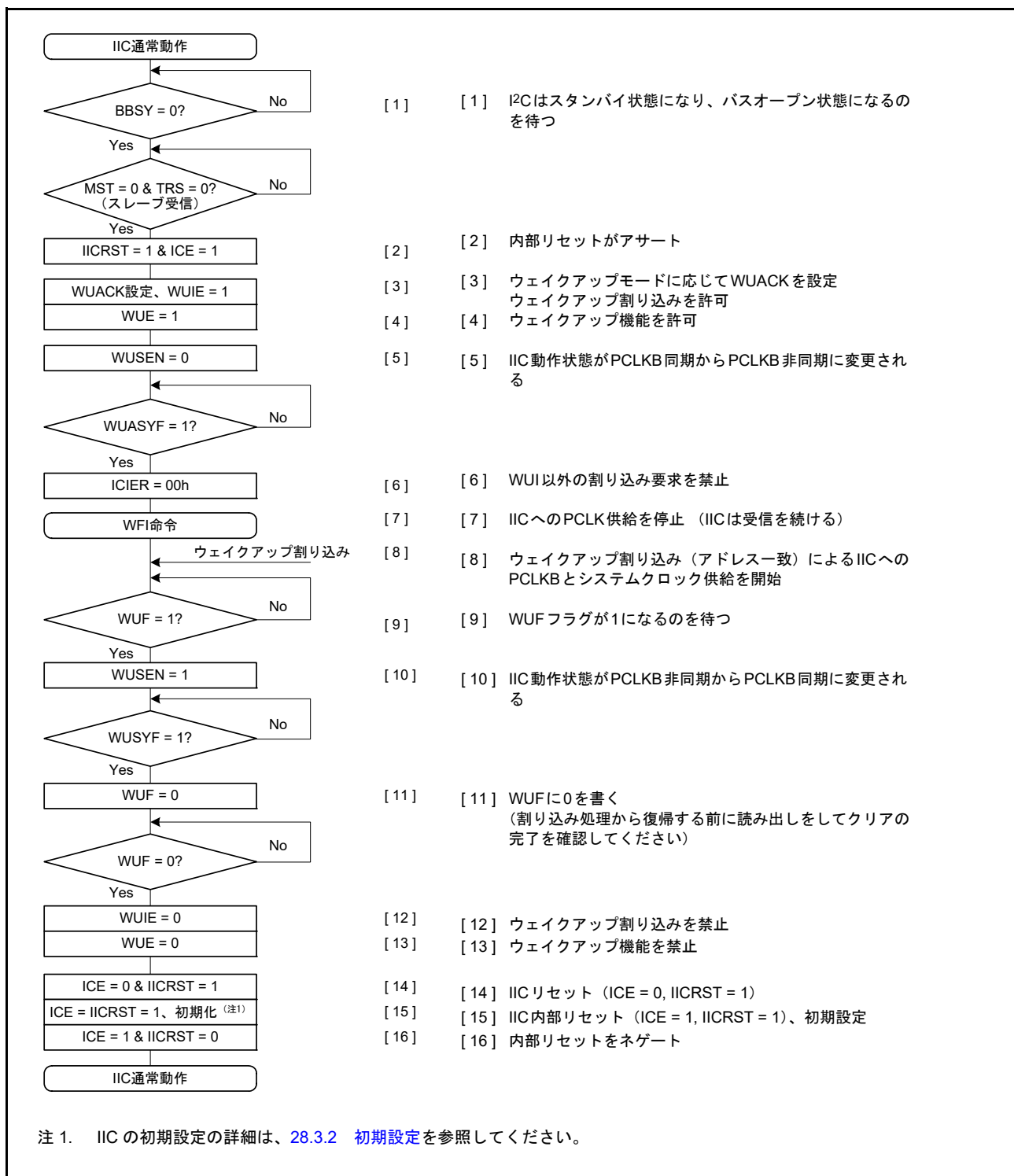


図 28.35 コマンドリカバリモードとEEP 応答モードの動作例 (スレープアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。

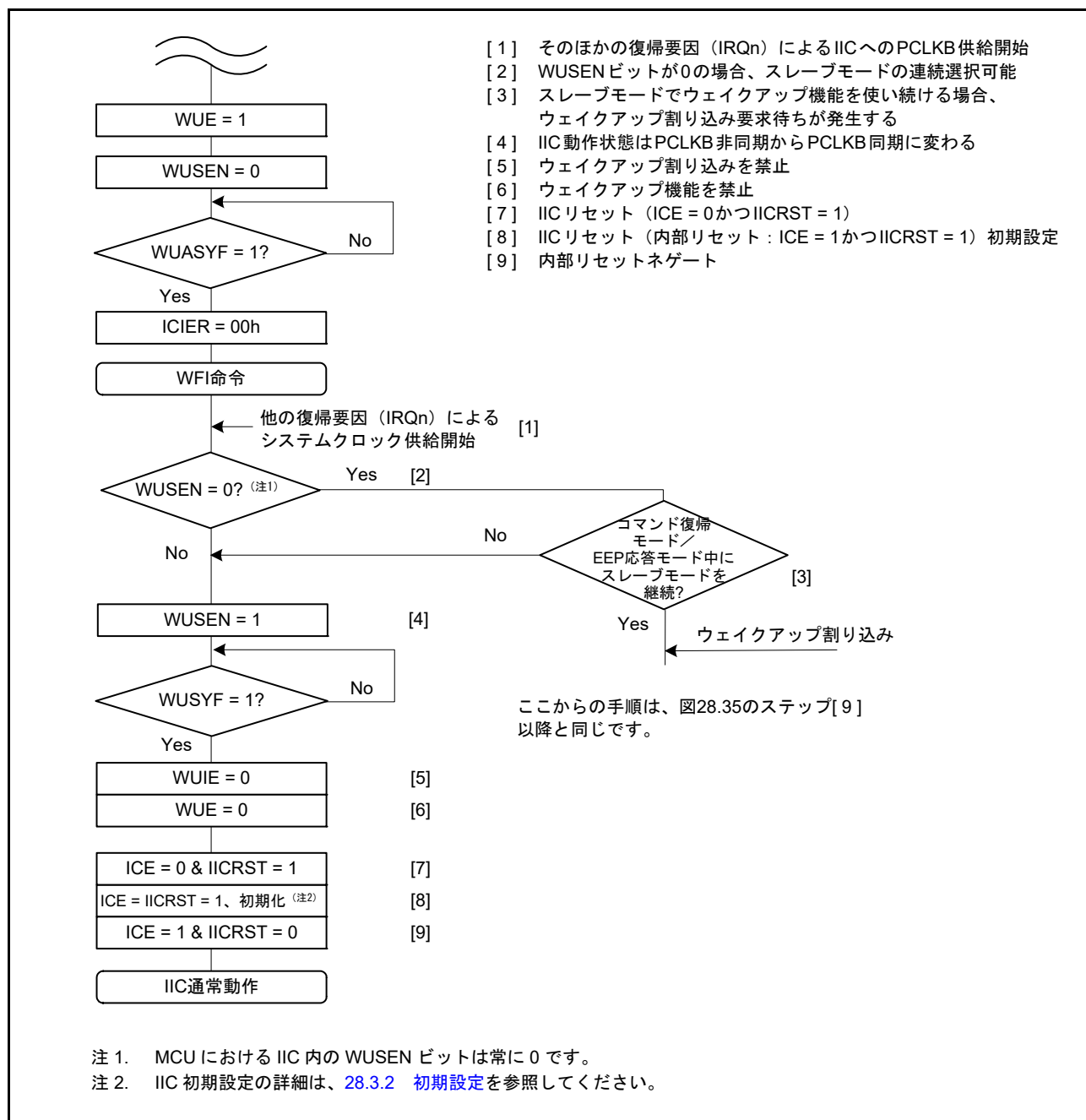


図 28.36 コマンドリカバリモードと EEP 応答モードの動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

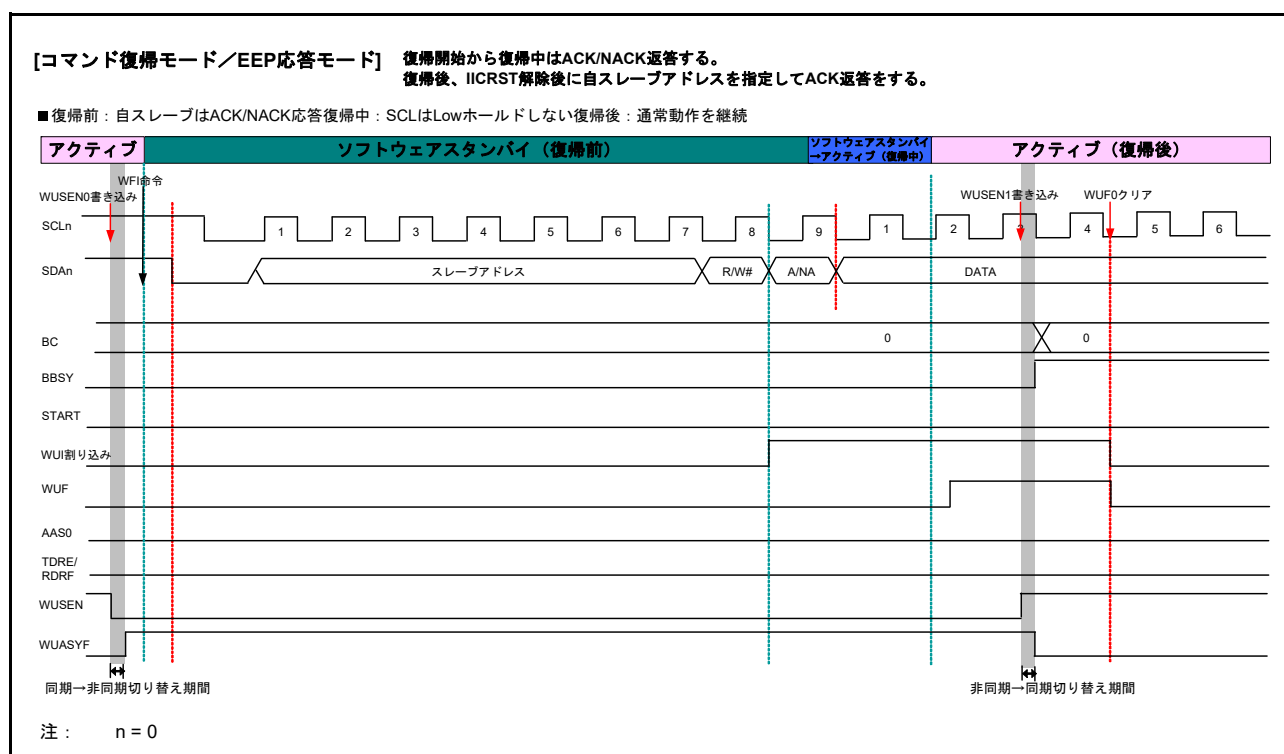


図 28.37 コマンドリカバリモードと EEP 応答モードのタイミング

28.9 SCLの自動Lowホールド機能

28.9.1 送信データ誤送信防止機能

IICが送信モード時 (ICCR2.TRS ビット = 1)、I²C バス送信データレジスタ (ICDRT) にデータが書かれていない場合で、I²C バスシフトレジスタ (ICDRS) が空の場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード：

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

スレーブ送信モード：

- 9クロック目と1クロック目の Low 区間

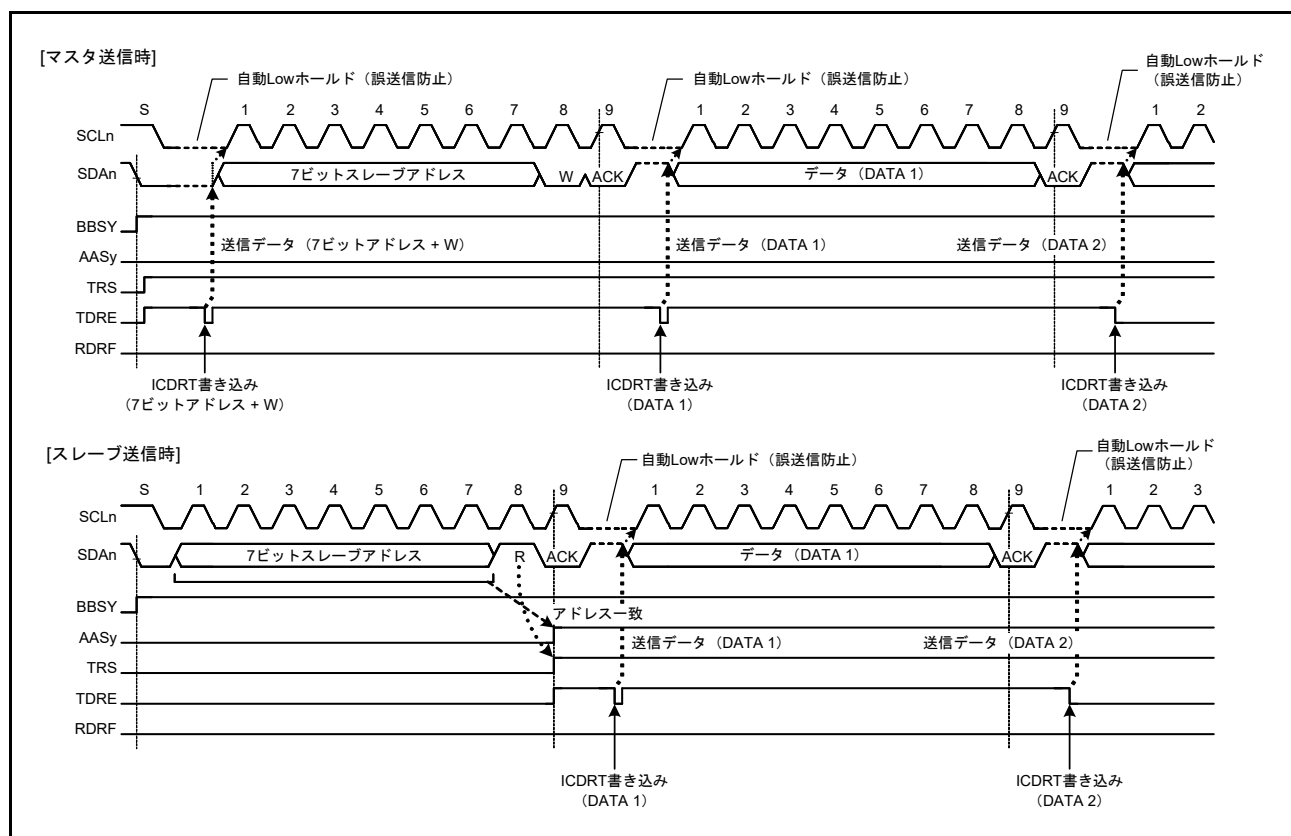


図 28.38 送信モード時の自動 Low ホールド動作

28.9.2 NACK 受信転送中断機能

この機能は、送信モード時 (ICCR2.TRS ビット = 1)、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKE ビットが 1 (転送中断許可) のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0)、SCL クロックの 9 クロック目の立ち下がり、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することが可能です。

この機能によって転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送受信動作は行われません。送受信動作を再開するには、NACKF フラグを 0 にする必要があります。マスタ送信モードでは、リスタートコンディションまたはストップコンディション発行後に、NACKF フラグを 0 にしてから、再度スタートコンディションを発行してください。

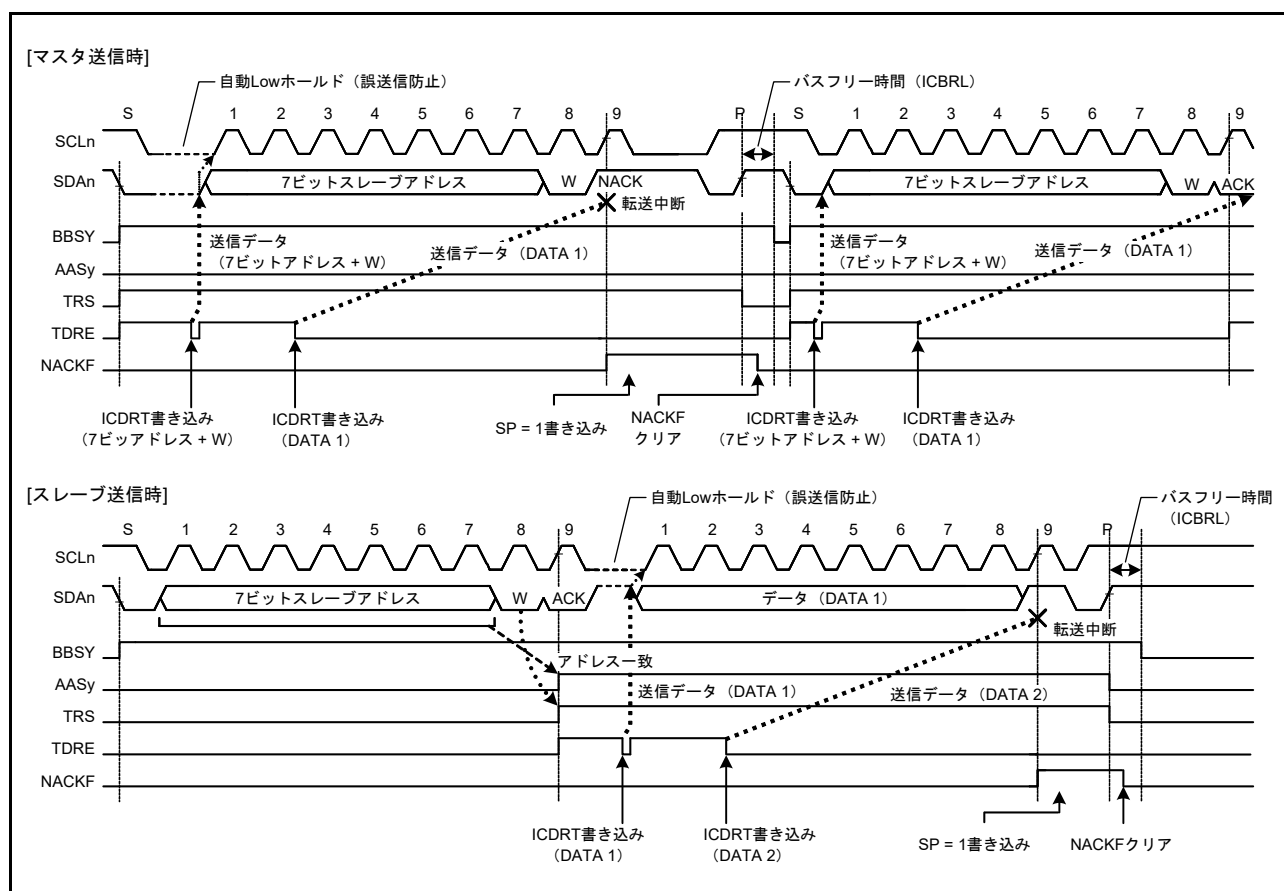


図 28.39 NACK 受信時のデータ転送中断動作 (NACKE = 1 の場合)

28.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS ビット = 0) に、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この機能は、最終受信データの読み出し処理が遅れて、その間、ストップコンディション発行後に IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(1) WAIT ビットによる1バイト受信動作／自動 Low ホールド機能

ICMR3.WAIT ビットを1にすると、IICはWAIT ビット機能を用いた1バイト受信動作を行います。また、ICMR3.RDRFS ビットが0の場合、SCL クロックの8クロック目の立ち下がりから9クロック目の立ち下がりまでの期間、IICはアクノリッジビットに対し自動的にICMR3.ACKBT ビットの内容を送出し、9クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的にSCLn ラインのLow ホールドを行います。このLow ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため1バイトごとの受信動作が可能となります。

なおWAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含むIIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

(2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御)／自動 Low ホールド機能

ICMR3.RDRFS ビットを1にすると、IICはRDRFS ビット機能を用いた1バイト受信動作を行います。RDRFS ビットを1にすると、SCLの8クロック目の立ち上がりでICSR2.RDRF フラグが1 (受信データフル) になり、8クロック目の立ち下がりですべて自動的にSCLn ラインのLow ホールドが行われます。このLow ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため1バイトごとに受信したデータの内容を基にACK/NACKの送信を制御することによって受信動作が可能となります。

なおRDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含むIIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

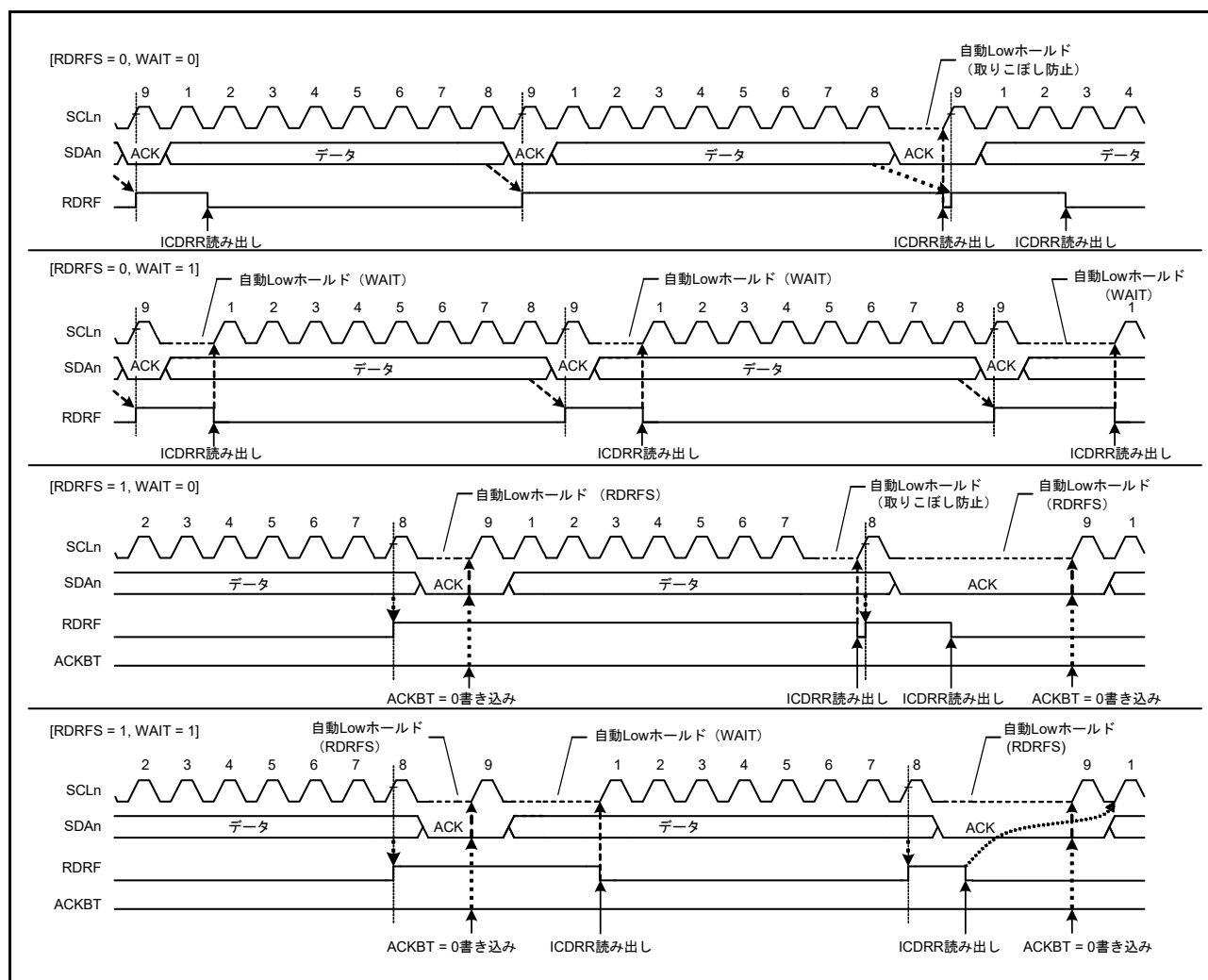


図 28.40 受信モード時の自動 Low ホールド動作 (RDRFS、WAIT ビットを使用)

28.10 アービトレーションロスト検出機能

IIC には I²C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK 送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

28.10.1 マスタアービトレーションロスト検出機能 (MALE ビット)

IIC はスタートコンディション発行の際、SDAn ラインを Low にします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、IIC は自身のスタートコンディションをエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が優先されます。同様に、バスビジー (ICCR2.BBSY フラグ=1) の状態で ICCR2.ST ビットを 1 にすることでスタートコンディション発行を要求すると、IIC はこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中のスタートコンディション発行による転送の失敗を防止します。

スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ (内部の SDA 出力レベル) と SDAn ラインのレベルが不一致 (内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態であれば、SDAn ラインに Low が検出されたとき) の場合、IIC はアービトレーションロストを発生させます。

マスタアービトレーションロストが発生した後、IIC はただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IIC はスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALE ビットが 1 (マスタアービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき検出されます。

[マスタアービトレーションロスト条件]

- ICCR2.BBSY フラグが 0 の状態で ICCR2.ST ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと SDAn ラインのレベルが不一致のとき (スタートコンディション発行エラー)
- ICCR2.BBSY フラグが 1 の状態で ICCR2.ST ビットを 1 にしたとき (スタートコンディション二重発行エラー)
- マスタ送信モード時 (ICCR2.MST = 1 かつ ICCR2.TRS = 1)、アクノリッジを除く送信データ (内部の SDA 出力レベル) と SDAn ラインのレベルが不一致のとき

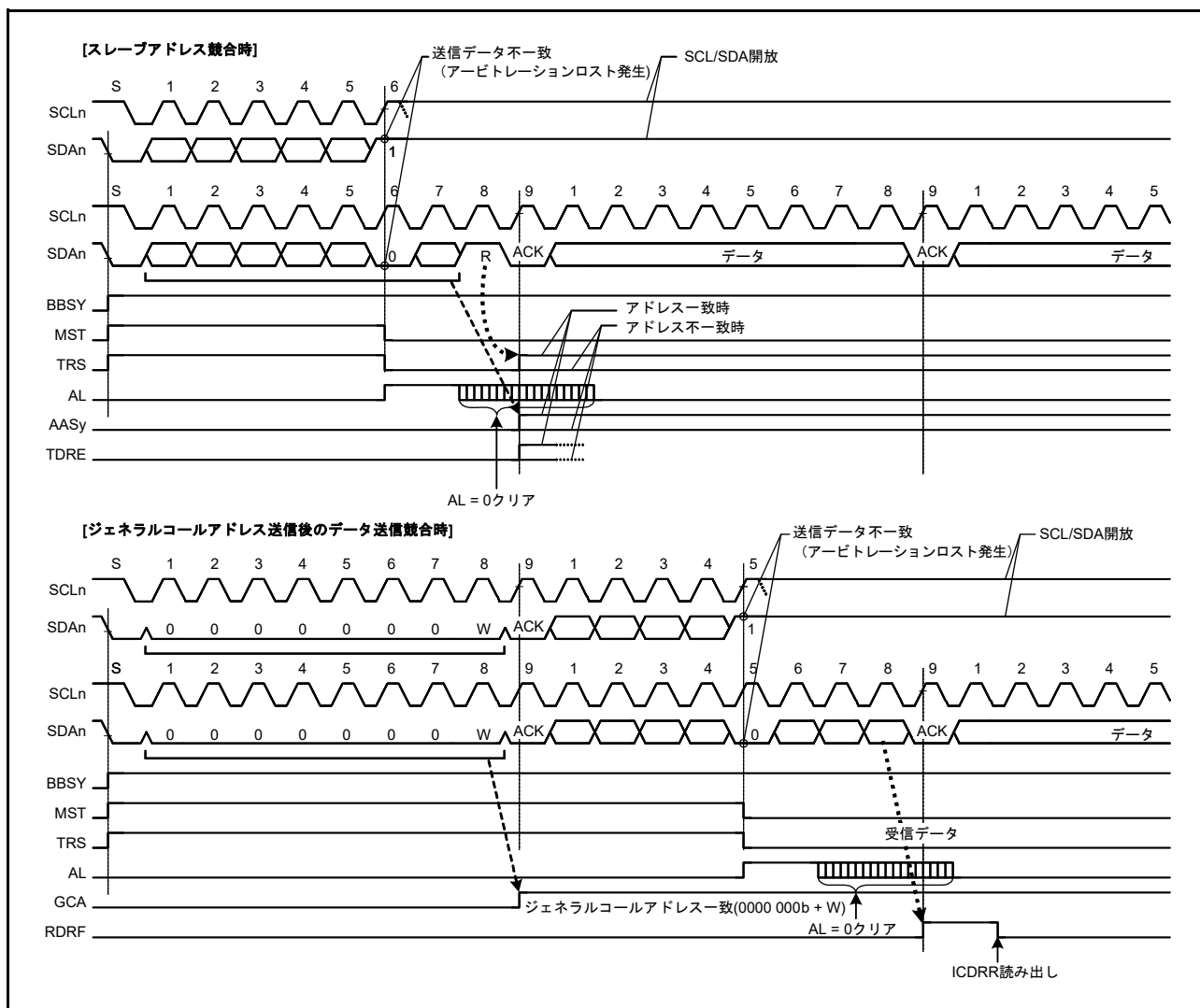


図 28.41 マスタアービトレーションロスト検出動作例 (MALE = 1 の場合)

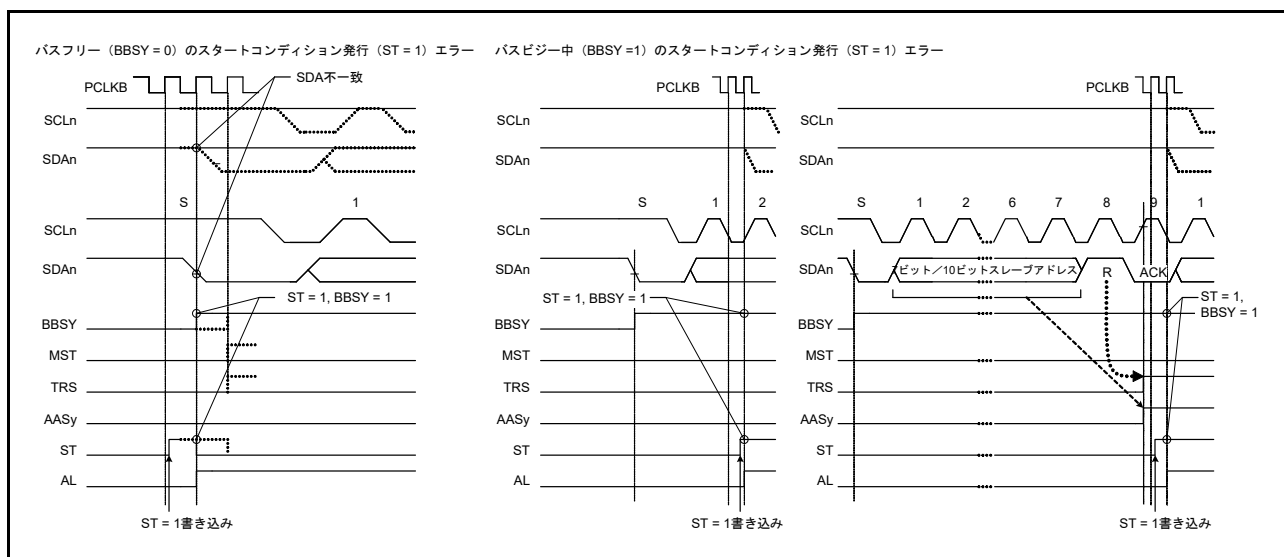


図 28.42 スタートコンディション発行時のアービトレーションロスト (MALE = 1 の場合)

28.10.2 NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)

受信モードでの NACK 送信時に、内部の SDA 出力レベルと SDA_n ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDA_n 端子がハイインピーダンス状態）であれば、SDA_n ラインに LOW が検出されたとき、アービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の間の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報をやり取りする際に生じます。図 28.43 に NACK 送信中のアービトレーションロスト検出動作例を示します。

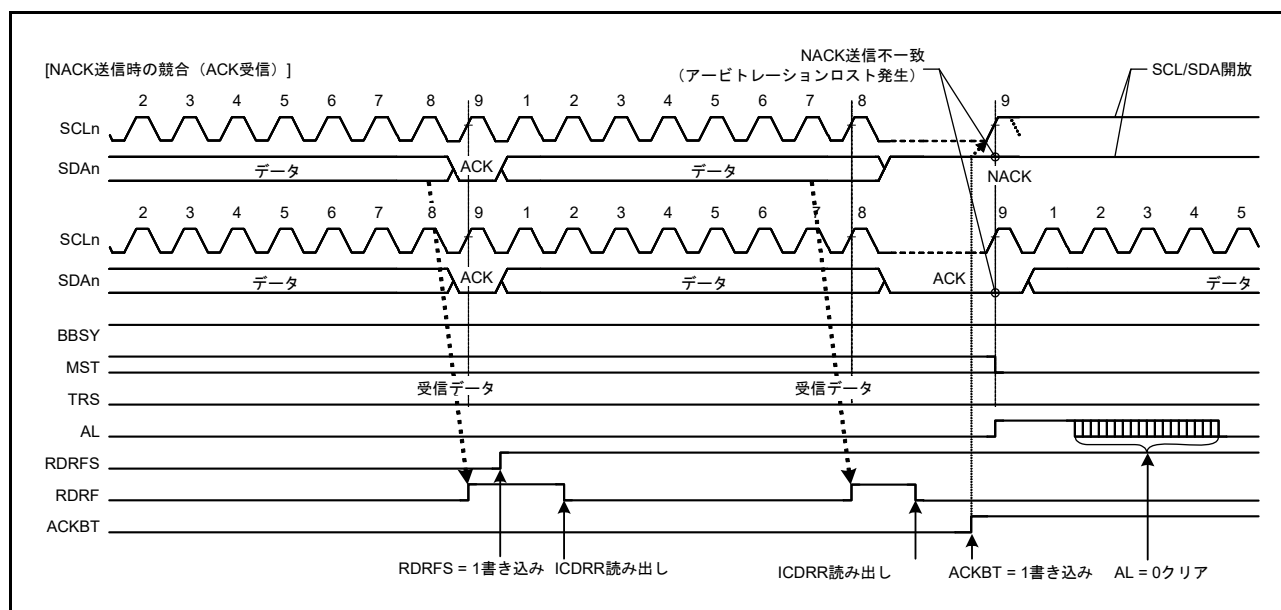


図 28.43 NACK 送信中のアービトレーションロスト検出動作例 (NALE = 1 の場合)

以下の例では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合のアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。マスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、割り付けられたアドレスコマンド後の Get UDID 汎用処理で割り付けられたアドレスの UDID（ユニークデバイス ID）が不一致の場合に、FFh 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1（NACK 送信中アービトレーションロスト検出有効）の状態、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット = 1)、内部の SDA 出力レベルと SDA_n ラインの状態 (ACK 受信) が不一致のとき

28.10.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

スレーブ送信モード時に、送信データ（内部 SDA 出力レベル）と SDA_n ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDA_n 端子がハイインピーダンス状態）であれば、SDA_n ラインに LOW が検出されたとき、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

IIC でスレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な FFh 送信処理を省くことができます。

ICFER.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時（ICCR2.MST = 0 かつ ICCR2.TRS = 1）、アクノリッジを除く送信データ（内部 SDA 出力レベル）と SDA_n ラインが不一致のとき

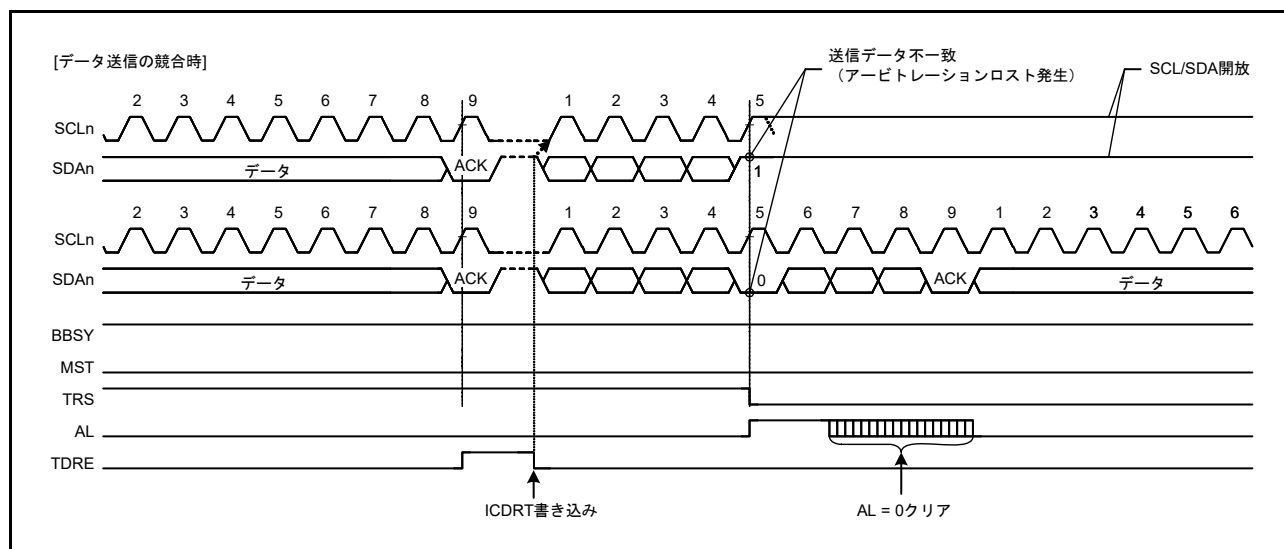


図 28.44 スレーブアービトレーションロスト検出動作例 (SALE = 1 の場合)

28.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

28.11.1 スタートコンディション発行動作

IIC は、ICCR2.ST ビットが 1 のときにスタートコンディションを発行します。

ST ビットを 1 にすると、スタートコンディション要求が行われ、ICCR2.BBSY フラグが 0 (バスフリー状態) の場合、IIC はスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IIC は自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行方法：

1. SDA_n ラインを立ち下げる (High から Low に遷移)。
2. CBRH.BRH[4:0] で設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCL_n ラインを立ち下げる (High から Low に遷移)。
4. SCL_n ラインの Low を検出後、ICBRL.BRL[4:0] で設定した SCL_n ラインの Low 幅が経過したことを確認する。

28.11.2 リスタートコンディション発行動作

IIC は、ICCR2.RS ビットが 1 のときリスタートコンディションを発行します。

RS ビットを 1 にすると、リスタートコンディション要求が行われ、ICCR2.BBSY フラグが 1 (バスビジー状態) で、かつ ICCR2.MST ビットが 1 (マスタモード) の場合、IIC はリスタートコンディションを発行します。

リスタートコンディションの発行方法：

1. SDA_n ラインを開放する。
2. ICBRL.BRL[4:0] で設定した SCL_n ラインの Low 幅が経過したことを確認する。
3. SCL_n ラインを開放する (Low から High に遷移)。
4. SCL_n ラインの High を検出後、ICBRL.BRL[4:0] で設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDA_n ラインを立ち下げる (High から Low に遷移)。
6. ICBRH.BRH[4:0] で設定した時間とリスタートコンディションのホールド時間が経過したことを確認する。
7. SCL_n ラインを立ち下げる (High から Low に遷移)。
8. SCL_n ラインの Low を検出後、ICBRL.BRL[4:0] で設定した SCL_n ラインの Low 幅が経過したことを確認する。

注． リスタートコンディション要求の発行時、ICCR2.RS が 0 であることを確認してから、ICDRT レジスタにスレーブアドレスを書いてください。ICCR2.RS が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

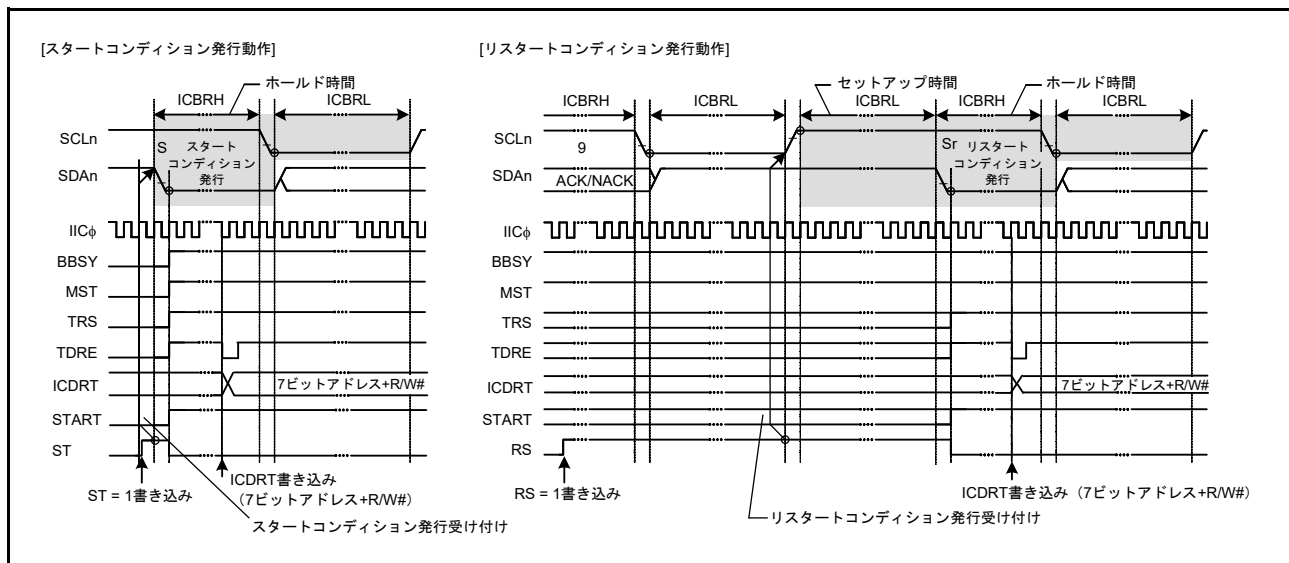


図 28.45 スタートコンディション、リスタートコンディションの発行動作タイミング (ST および RS ビットの使用)

図 28.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後のリスタートコンディション発行動作]

- 28.3.2 初期設定に示す手順で IIC を初期化します。
 - IICR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、内部の SDA 出力レベルと SDA_{An} ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正常に行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。ICCR2.TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
 - ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき NACKF.ICSR2 フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
- なお、データを 10 ビットフォーマットのアドレスで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビットおよび W (= 1) ビットを書きます。2 回目のアドレス送信処理では ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、あるいは、リスタートコンディションまたはストップコンディションが発行されるまでの間、IIC は自動的に SCL_n ラインを Low にホールドします。
 - 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ってから、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
 - ICCR2.RS ビットを 1 (リスタートコンディション要求) にします。IIC はこの要求を受け付けると、リスタートコンディションを発行します。
 - ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。

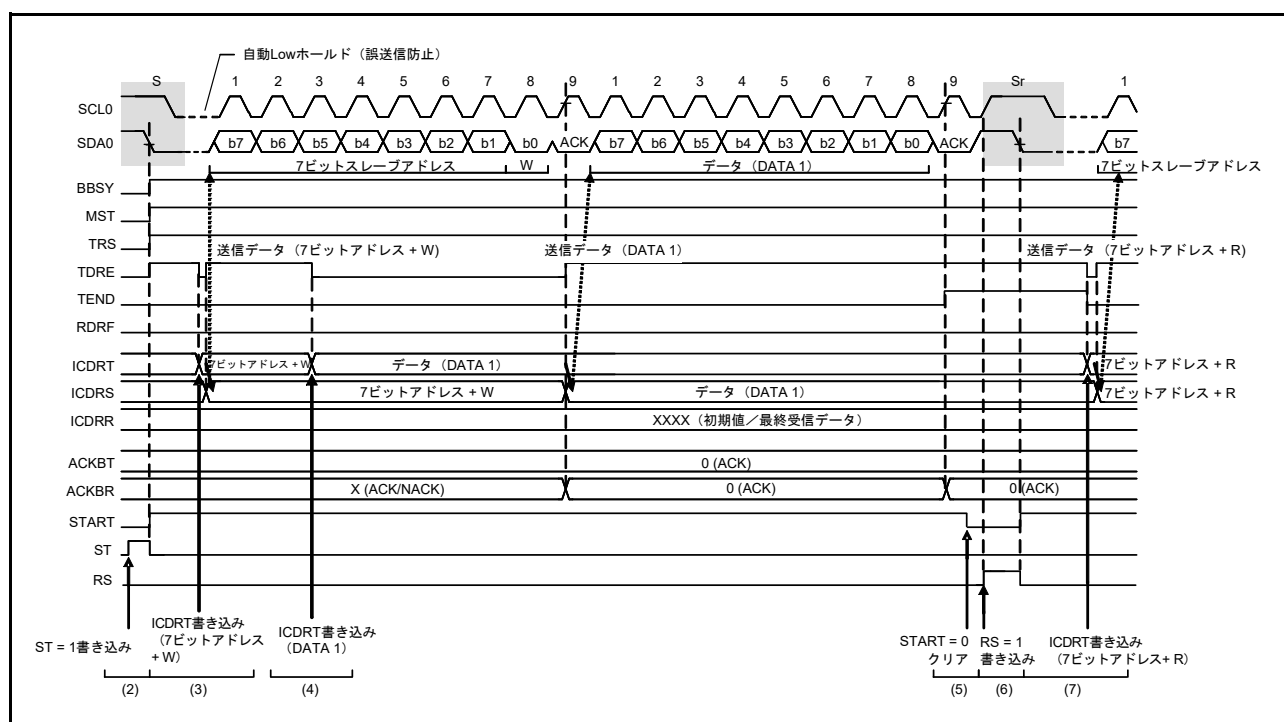


図 28.46 マスタ送信後のリスタートコンディション発行タイミング

28.11.3 ストップコンディション発行動作

IIC は、ICCR2.SP ビットが 1 のときストップコンディションを発行します。

SP ビットを 1 にすると、ストップコンディション要求が行われます。ICCR2.BBSY フラグが 1 (バスビジー状態) で、かつ ICCR2.MST ビットが 1 (マスタモード) の場合、IIC はストップコンディションを発行します。

ストップコンディションの発行方法：

1. SDA_n ラインを立ち下げる (High から Low に遷移)。
2. ICBRL.BRL[4:0] で設定した SCL_n ラインの Low 幅が経過したことを確認する。
3. SCL_n ラインを開放する (Low から High に遷移)。
4. SCL_n ラインの High 検出後、ICBRH.BRL[4:0] で設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDA_n ラインを開放する (Low から High に遷移)。
6. ICBRL.BRL[4:0] で設定した時間とバスフリー時間が経過したことを確認する。
7. BBSY フラグをクリアしてバス権を解放する。

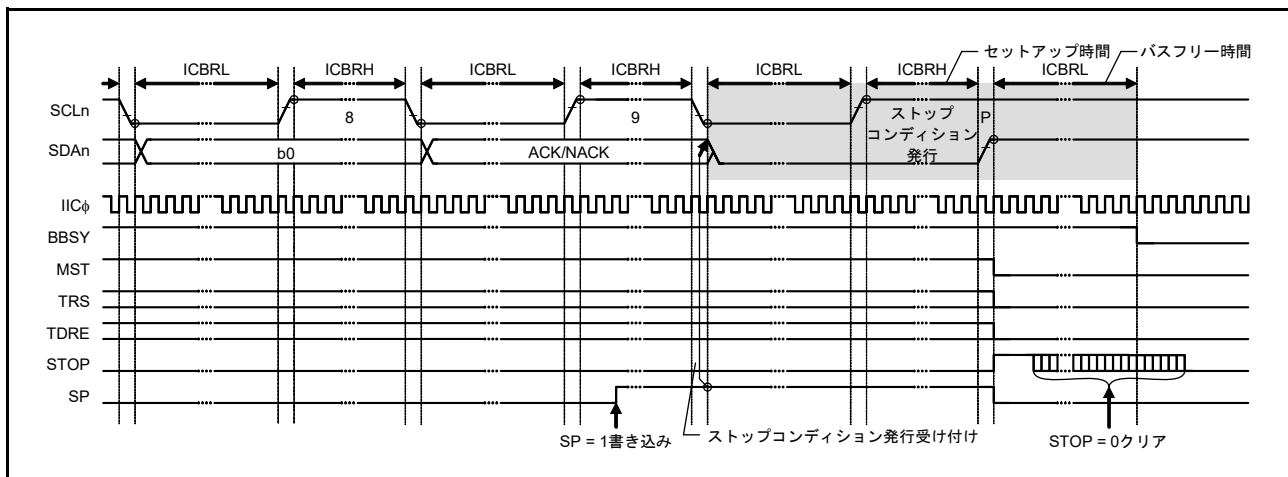


図 28.47 ストップコンディション発行動作タイミング (SP ビットの使用)

28.12 バスハングアップ

I²C バスではノイズなどの影響によりマスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDA_n ライン上のレベルが固定されたままバスハングアップを起こす場合があります。

バスハングアップを管理するため、IIC は以下の機能を備えています。

- SCLn ラインを監視してハングアップを検出するためのタイムアウト検出機能
- クロック信号の同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能
- IIC リセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAI の各ビットをチェックすることで、IIC 自身と通信相手のどちらが SCLn ラインまたは SDA_n ラインを Low にしているのか確認することが可能です。

28.12.1 タイムアウト検出機能

タイムアウト検出機能では、SCLn ラインに一定時間以上変化が見られない状態を検出できます。IIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することが可能です。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCLn ラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないために内部カウンタがオーバーフローすると、IIC はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOE ビットが 1 のときのみ有効です。以下の条件で SCLn ラインが Low 固定または High 固定の場合にバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、IIC スレーブアドレス検出 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック (IICφ) をカウントソースとして使用します。このカウンタは、ロングモード選択時 (ICMR2.TMOS ビット = 0) は 16 ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) は 14 ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCLn ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH、TMOL ビットで選択することが可能です。TMOL ビットと TMOH ビットの両方を 0 にした場合、内部カウンタは無効です。

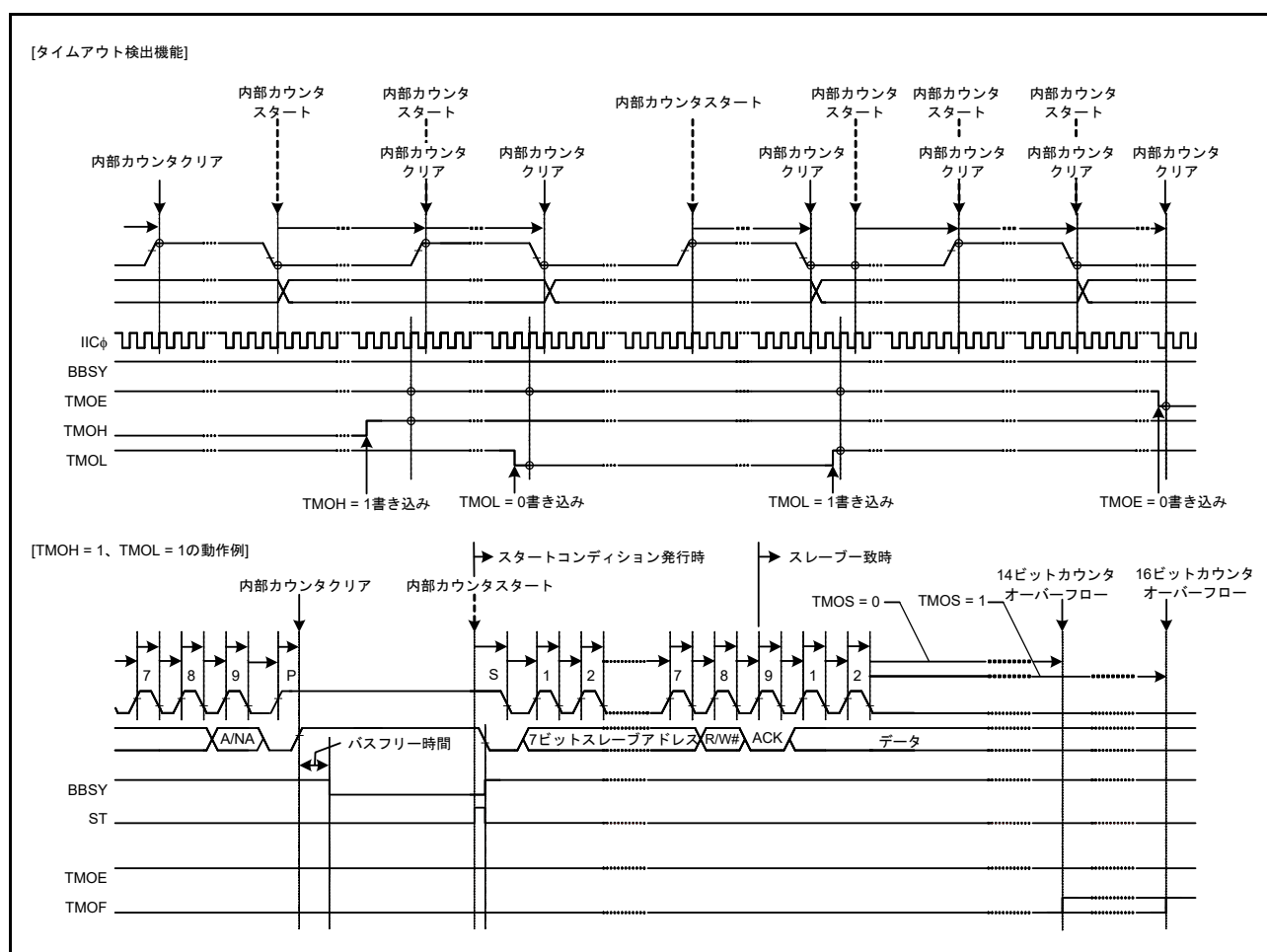


図 28.48 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビットの使用)

28.12.2 SCL クロック追加出力機能

マスタモード時、本機能はSCLクロック追加出力を行い、マスタデバイスとスレーブデバイスとの同期ズレにより生じた、スレーブデバイスによるSDAnラインのLowホールド状態を解放します。

本機能は、スレーブデバイスがSDAnラインをLowホールドしているため、IICがストップコンディションを発行できない状態のバスエラー発生時に、SCLクロックを1クロック単位で使用します。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

マスタモードでICCR1.CLOビットを1にすると、ICMR1.CKS[2:0]ビット、ICBRH.BRH[4:0]ビット、およびICBRL.BRL[4:0]ビットで設定した転送速度で、SCLクロックが1クロック分追加クロックとして出力されます。1クロック分の追加クロック出力が終了すると、CLOビットは自動的に0になります。このとき、ICCR2.BBSY=1の場合、SCL端子はLowを出力し、ICCR2.BBSY=0の場合、SCL端子はHighになります。また、ソフトウェアでCLOビットが0であることを確認した後、CLOビットに1を書くことにより、追加クロックを連続的に出力することができます。

IICモジュールがマスタモード時に、ノイズの影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスがSDAnラインをLowに固定したままだと、ストップコンディションが出力できません。この機能を使用してSCL追加クロックを1クロックずつ出力することで、SDAnラインをスレーブデバイスによるLowホールドから解放し、バスを使用できない状態から回復させることができます。スレーブデバイスによるSDAnラインの解放は、ICCR1.SDAIビットを読み出すことで確認できます。SDAnラインがスレーブデバイスから解放されたことを確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

[ICCR1.CLOビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY フラグ = 0) またはマスタモード (ICCR2.MST ビット = 1、BBSY フラグ = 1) のとき
- 通信デバイスがSCLnラインをLowホールドにしていない状態のとき

図 28.49 に SCL クロック追加出力機能 (CLO ビット) の動作タイミングを示します。

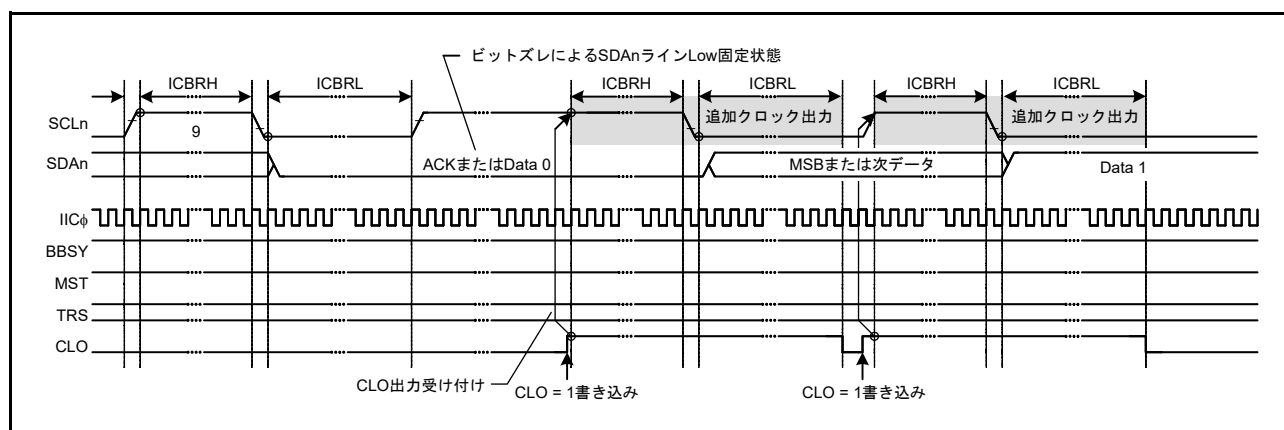


図 28.49 SCL クロック追加出力機能 (CLO ビットの使用)

28.12.3 IIC リセット、内部リセット

IIC モジュールがサポートするリセットには 2 種類あります。

- IIC リセット — ICCR2.BBSY フラグを含めたすべてのレジスタを初期化します。
- 内部リセット — 他の設定を保持したまま IIC をスレーブアドレス一致状態から解放し、内部カウンタを初期化します。

リセット後は ICCR1.IICRST ビットを 0 にしてください。いずれのリセットも、SCLn 端子 / SDA_n 端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態を解除する効果があります。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IIC リセット (ICCR1.ICE = 0 かつ ICCR1.IICRST = 1) 中は、スタートコンディションの有無など、バス状態の監視はできません。

IIC リセットと内部リセットの詳細については、[28.15 各コンディション発行時のレジスタの状態](#)を参照してください。

28.13 SMBus 動作

IIC は、SMBus 仕様 (Ver.2.0) に準拠した通信動作に対応しています。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10kbps ~ 100kbps の範囲に収まるように、ICMR1.CKS[2:0] ビット、ICBRH.BRH[4:0] ビット、および ICBRL.BRL[4:0] ビットを設定してください。また、データホールド時間の規定値 300ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL.BRL[4:0] には 250ns のデータセットアップ時間以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、対応する SARUy.FS ビット (y=0 ~ 2) (7 ビットまたは 10 ビットアドレスフォーマット選択ビット) を 0 (7 ビットアドレスフォーマット) にしてください。

また、UDID (ユニークデバイス ID) 送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

28.13.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間 (タイムアウト間隔: $T_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間 (スレーブデバイス) $T_{\text{LOW:SEXT}}$: 25ms (max) 以内である必要があります。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25ms (min) を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込んで IIC の内部リセットを発行し、バスを解放する必要があります。内部リセットを行うと、IIC は SCLn 端子と SDA_n 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにします。これによって、バス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信では、マスタデバイスは下記に示す区間 (タイムアウト間隔: $T_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、送信終了割り込み (IICn_TEI)、または受信データフル割り込み (IICn_RXI) を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス) $T_{\text{LOW:MEXT}}$: 10ms (max) 以内であり、かつスタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ の合計が $T_{\text{LOW:SEXT}}$: 25ms (max) 以内である必要があります。

ACK 受信タイミング (SCL クロックの 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス) $T_{\text{LOW:MEXT}}$: 10ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作 (ICDRT レジスタへの書き込み) を中止してください。

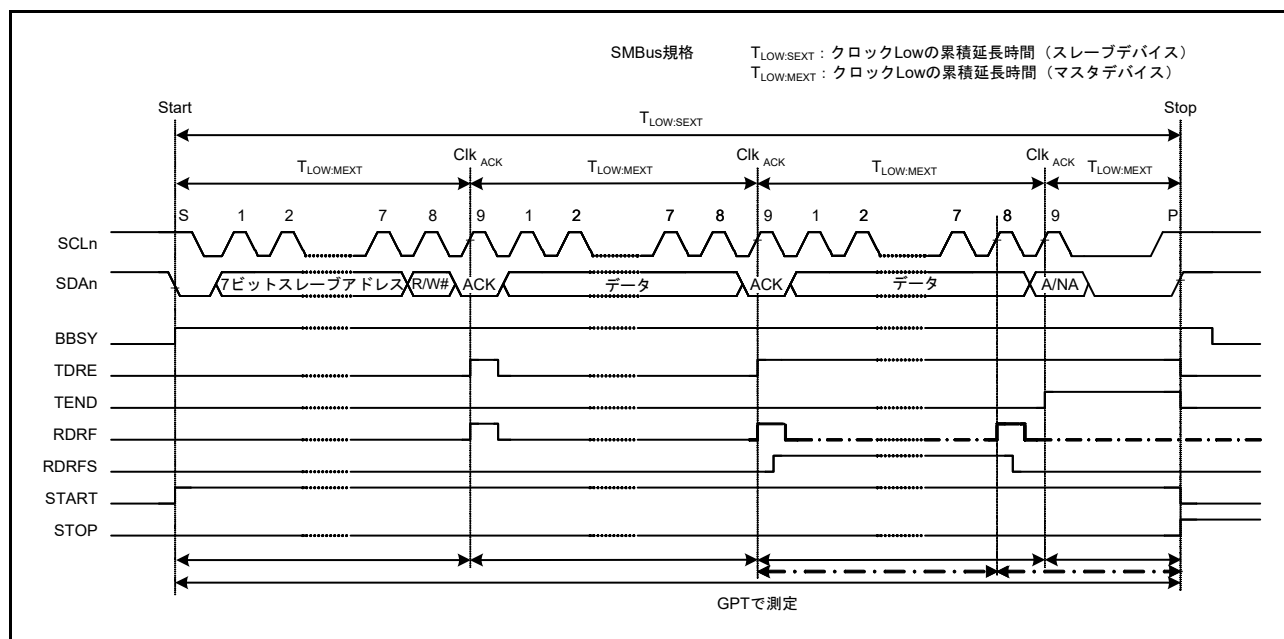


図 28.50 SMBus タイムアウト測定

28.13.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や、IIC の SMBus データ通信時の受信データチェックが可能です。CRC 演算器の生成多項式については、「[31. 巡回冗長検査 \(CRC\) 演算器](#)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として、最終バイト受信時の結果 (一致/不一致) に応じた ACK/NACK 送出を行う場合は、最終バイト受信時の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりまで SCLn ラインを Low にホールドしてください。

28.13.3 SMBus ホスト通知プロトコル (Notify ARP Master コマンド)

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホストまたは ARP マスタに対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホストまたは ARP マスタとして動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出するため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

28.14 割り込み要因

IIC は次の 5 種類の割り込み要求を発生させます。

- 通信エラー／イベント発生（アービトレーションロスト、NACK 検出、タイムアウト検出、スタート／リスタートコンディション検出、およびストップコンディション検出）
- 受信データフル
- 送信データエンプティ
- 送信終了
- ウェイクアップ機能時にスレーブアドレスが一致

表 28.10 に割り込み要求の詳細を示します。受信データフルと送信データエンプティは、どちらも DTC を起動してデータ転送を行うことができます。

表 28.10 割り込み要因

シンボル	割り込み要因	割り込みフラグ	DTC の起動	割り込み条件
IICn_EEI (注5)	通信エラー／イベント発生	AL	不可能	AL = 1 かつ ALIE = 1
		NACKF		NACKF = 1 かつ NAKIE = 1
		TMOF		TMOF = 1 かつ TMOIE = 1
		START		START = 1 かつ STIE = 1
		STOP		STOP = 1 かつ SPIE = 1
IICn_RXI (注2) (注5)	受信データフル	RDRF	可能	RDRF = 1 かつ RIE = 1
IICn_TXI (注1) (注5)	送信データエンプティ	TDRE	可能	TDRE = 1 かつ TIE = 1
IICn_TEI (注3) (注5)	送信終了	TEND	不可能	TEND = 1 かつ TEIE = 1
IIC0_WUI (注4)	ウェイクアップ機能時にスレーブアドレス一致	WUF、WUSYF、WUASYF	不可能	• アドレス一致 • WUASYF = 1 • WUIE = 1 もしくは • WUF = 1 • WUSYF = 1 • WUIE = 1

注． CPU による周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返される可能性があります。

注 1. IICn_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 2. IICn_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。

注 3. IICn_TEI 割り込みを使用する場合、IICn_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 4. ウェイクアップ機能はチャンネル 0 にしかないので、IIC0_WUI はチャンネル 0 の場合しか使用しません。

注 5. チャンネル番号 (n = 0 または 1)

割り込み処理中に、それぞれのフラグをクリアまたはマスクしてください。

28.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作

対応する ICU.IELSRn.IR フラグが 1 のときに、IICn_TXI 割り込みおよび IICn_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます。1 要因あたり 1 要求を内部に保持できます。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されていた割り込み要求が出力されます。通常の使用状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。これらは、対応する周辺モ

ジュール側の割り込み許可ビットを 0 にすることでもクリアが可能です。

28.15 各コンディション発行時のレジスタの状態

IIC は 2 種類の専用リセット機能、すなわち IIC リセットと内部リセットを備えています。表 28.11 に各コンディション発行時のレジスタの状態を示します。

表 28.11 各コンディション発行時のレジスタの状態

レジスタ		リセット	IIC リセット (ICE ビット = 0、 IICRST ビット = 1)	内部リセット (ICE ビット = 1、 IICRST ビット = 1)	スタートコンディション またはリスタート コンディション検出	ストップコンディション 検出
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持
	SCLO, SDAO		リセット	リセット		
	その他			保持		
ICCR2	BBSY	リセット	リセット	保持	セット	リセット
	ST, RS			リセット	リセット	保持
	SP				セットまたは保持	リセット
	TRS					
	MST					
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBIT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TEND	リセット	リセット	リセット	保持	リセット
	TDRE				セットまたは保持	
	START				セット	
	STOP				保持	セット
	その他				保持	保持
ICWUR		リセット	リセット	保持	保持	保持
SARL0, SARL1, SARL2 SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
ICWUR2	WUSEN	リセット	リセット	保持	保持	保持
	その他					設定、リセット、または保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

28.16 イベントリンク出力機能

IIC0 および IIC1 モジュールは、イベントリンクコントローラ (ELC) に対して次の要因によってイベント出力を行います。

(1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(2) 受信データフル

レシーブデータレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データエンプティ

トランスミットデータレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

28.16.1 割り込み処理とイベントリンク機能

IIC の各割り込み (表 28.10 参照) には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットが設定されている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。割り込み要因については、表 28.10 を参照してください。

28.17 使用上の注意事項

28.17.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、IIC の動作禁止/許可を設定できます。IIC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 低消費電力モード」を参照してください。

28.17.2 転送開始に関する注意事項

転送開始 (ICCR1.ICE ビット = 1) 時点で IIC の割り込みに対応した ICU.IELSRn.IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で IR フラグを 1 にして通信を開始すると、通信開始後、割り込み要求が内部で保持されるため、IR フラグが予期しない動作となる可能性があります。

転送動作開始前に割り込みをクリアする方法：

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 対応する割り込み許可ビット (ICIER.TIE など) を 0 にする。
3. 対応する割り込み許可ビット (ICIER.TIE など) を読み出して、0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

29. CAN (Controller Area Network) モジュール

29.1 概要

CAN モジュールは、電磁的ノイズの多いアプリケーションにおいて、メッセージベースのプロトコルを用いて複数のスレーブとマスタの間でデータの送受信を行います。このモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠し、最大 32 個のメールボックスをサポートしています。これらは、通常のメールボックスモードと FIFO モードでの送受信用に設定可能です。標準 (11 ビット) と拡張 (29 ビット) の両方のメッセージフォーマットに対応しています。CAN モジュールには、追加の外部 CAN トランシーバが必要です。

表 29.1 に CAN モジュールの特徴を、図 29.1 に CAN モジュールのブロック図を示します。

表 29.1 CANモジュールの仕様 (1/2)

項目	内容
データ転送レート	ISO11898-1 準拠の標準フレームと拡張フレーム
ビットレート	最大 1Mbps 以下のデータ転送レートをプログラム可能 (fCAN ≥ 8MHz) fCAN : CAN クロックソース
メッセージボックス	32 個のメールボックスに対し、下記の 2 種類のメールボックスモードを選択可能 • 通常モード : 32 個のメールボックスを送信または受信用に個別に設定可能 • FIFO モード : 24 個のメールボックスを送信または受信用に個別に設定可能、残りのメールボックスは受信用 (RX) および送信用 (TX) の 4 段 FIFO で使用
受信	• データフレームとリモートフレームの受信をサポート • 受信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID を選択可能 • ワンショット受信機能をプログラム可能 • オーバーライトモード (未読メッセージ上書き) またはオーバーランモード (未読メッセージ保持) を選択可能 • メールボックスごとに個別に受信完了割り込みを許可または禁止
アクセプタンスフィルタ	• 8 つのアクセプタンスマスク (4 メールボックスごとに 1 つ) • メールボックスごとに個別にマスクを許可または禁止
送信	• データフレームとリモートフレームの送信をサポート • 送信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID に選択可能 • ワンショット送信機能を選択可能 • ブロードキャストメッセージ機能 • メッセージ ID またはメールボックス番号に基づく優先モードを選択可能 • 送信要求アボートをサポート、アボート完了はステータスフラグで確認可能 • メールボックスごとに個別に送信完了割り込みを許可または禁止
バスオフ復帰のモード遷移	バスオフ状態からの復帰のモード遷移を選択可能 : • ISO11898-1 仕様準拠 • バスオフ開始で自動的に CAN halt モードへ遷移 • バスオフ終了で自動的に CAN halt モードへ遷移 • ソフトウェアにより CAN halt モードへ遷移 • ソフトウェアによりエラーアクティブ状態へ遷移
エラー状態の監視	• CAN バスエラー (スタッフエラー、フォームエラー、ACK エラー、15 ビット CRC エラー、ビットエラー、ACK デリミタエラー) の監視 • エラー状態 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) への遷移の検出 • エラーカウンタ読み出しのサポート
タイムスタンプ機能	• 16 ビットカウンタによるタイムスタンプ機能 • 基準クロックは、1、2、4、8 ビットタイム期間から選択可能
割り込み機能	5 種類の割り込み要因をサポート : • 受信終了 • 送信終了 • 受信 FIFO • 送信 FIFO • エラー割り込み
CAN スリープモード 1	CAN クロック停止による消費電力の削減

表 29.1 CANモジュールの仕様 (2/2)

項目	内容
ソフトウェアサポート ユニット	3つのソフトウェアサポートユニット： • アクセプタンスフィルタサポート • メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロ スト検索） • チャンネル検索サポート
CANクロックソース	CANMCLK
テストモード	評価用に3つのテストモードを用意： • リッスンオンリモード • セルフテストモード0（外部ループバック） • セルフテストモード1（内部ループバック）
モジュール停止機能	モジュールストップ状態に設定して消費電力を削減可能

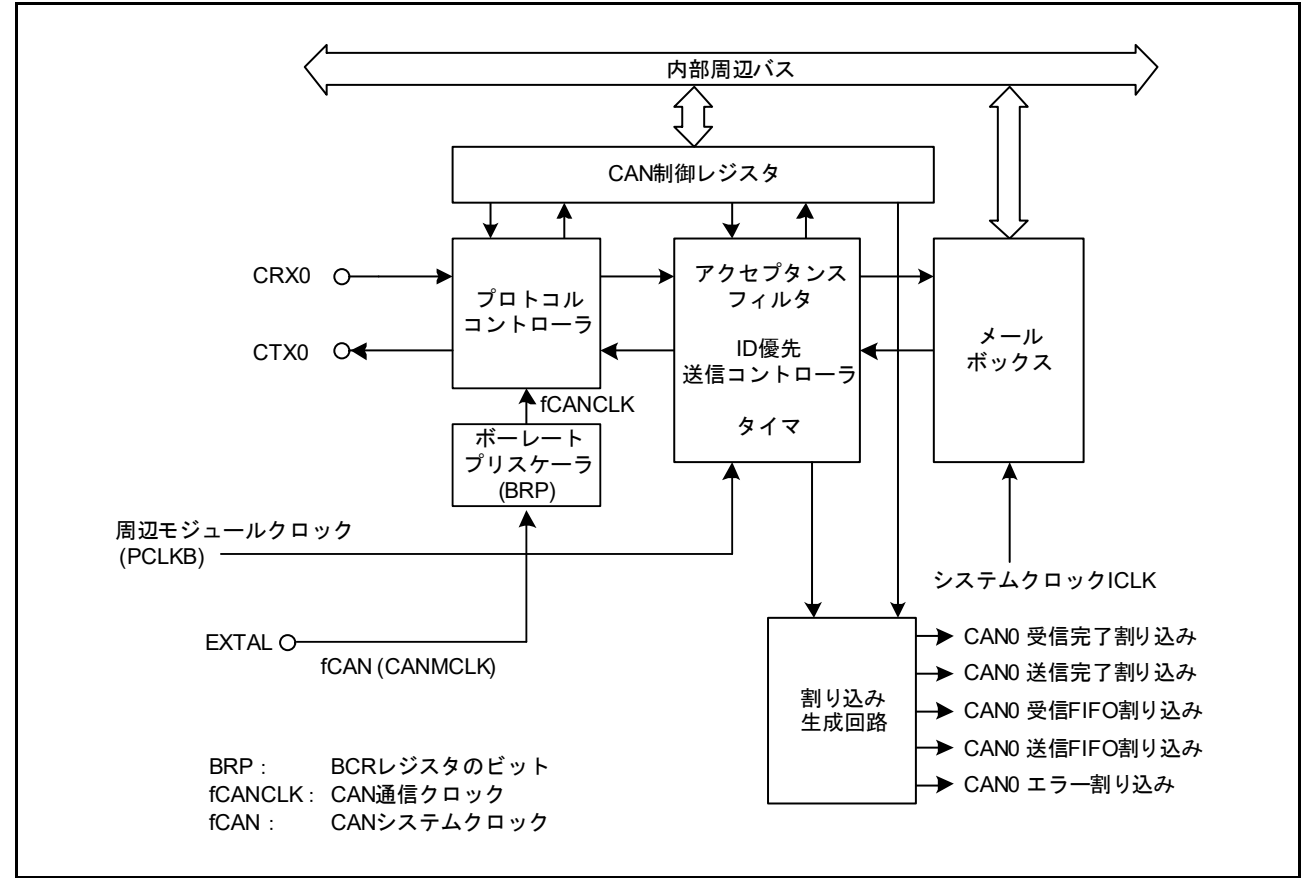


図 29.1 CANモジュールのブロック図

CAN モジュールには、次のブロックが含まれます。

- CAN の入力および出力端子
CRX0 および CTX0
- プロトコルコントローラ
バスアービトラーション、送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行う
- メールボックス
送信または受信のいずれかに設定可能な 32 個のメールボックスで構成される。各メールボックスは、固有の ID、データ長コード (DLC)、データフィールド (8 バイト)、タイムスタンプを持つ
- アクセプタンスフィルタ
フィルタ処理用の MKRk レジスタの設定値を使用して、受信したメッセージのフィルタ処理を行う
- タイマ
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値が、タイムスタンプとして書き込まれる
- 下記の 5 種類の割り込み発生回路：
 - CAN0 受信完了割り込み
 - CAN0 送信完了割り込み
 - CAN0 受信 FIFO 割り込み
 - CAN0 送信 FIFO 割り込み
 - CAN0 エラー割り込み

表 29.2 に CAN モジュール端子を示します。これらは、本 MCU の他の信号との兼用端子です。詳細は、「18. I/O ポート」を参照してください。

表 29.2 CAN モジュールの入出力端子

端子名	入出力	機能
CRX0	入力	データ受信端子
CTX0	出力	データ送信端子

29.2 レジスタの説明

29.2.1 コントロールレジスタ (CTLR)

アドレス CAN0.CTLR 4005 0840h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RBOC	BOM[1:0]	SLPM	CANM[1:0]	TSPS[1:0]	TSRC	TPM	MLM	IDFM[1:0]	MBM				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	CAN メールボックスモード選択 (注1)	0 : 通常メールボックスモード 1 : FIFO メールボックスモード	R/W
b2-b1	IDFM[1:0]	ID フォーマットモード選択 (注1)	b2 b1 0 0 : 標準IDモード FIFO メールボックスを含むすべてのメールボックスは標準IDのみを処理します。 0 1 : 拡張IDモード FIFO メールボックスを含むすべてのメールボックスは拡張IDのみを処理します。 1 0 : ミックスIDモード FIFO メールボックスを含むすべてのメールボックスは標準IDと拡張IDの両方を処理します。通常メールボックスモードでは、対応するIDE ビットを使用して標準IDと拡張IDを識別してください。FIFO メールボックスモードでは、対応するIDE ビットはメールボックス0~23に使用します。FIDCR0およびFIDCR1レジスタのIDE ビットは受信FIFO用に、メールボックス24に対応するIDE ビットは送信FIFO用に使用します。 1 1 : 設定禁止	R/W
b3	MLM	メッセージロストモード選択 (注1)	0 : オーバーライトモード 1 : オーバーランモード	R/W
b4	TPM	送信優先順位モード選択 (注1)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットコマンド (注4)	0 : タイムスタンプカウンタをリセットしない 1 : タイムスタンプカウンタをリセットする (注3)	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケール選択 (注1)	b7 b6 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CAN モード動作選択 (注5)	b9 b8 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN haltモード 1 1 : CANリセットモード (強制遷移)	R/W
b10	SLPM	CANスリープモード (注5) (注6)	0 : スリープモードから復帰 1 : CANスリープモードへ遷移	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード (注1)	b12 b11 0 0 : 通常モード (ISO11898-1準拠) 0 1 : バスオフ状態開始で自動的にCAN haltモードへ遷移 1 0 : バスオフ状態終了で自動的にCAN haltモードへ遷移 1 1 : ソフトウェア要求によりバスオフ復帰期間中にCAN haltモードへ遷移	R/W
b13	RBOC	バスオフからの強制復帰 (注2)	0 : 復帰しない 1 : バスオフ状態から強制復帰 (注3)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、MBM ビットは、CAN リセットモード時に書き込みを行ってください。

注 2. RBOC ビットはバスオフ状態で1にしてください。

- 注 3. このビットは、1 にした後、自動的に 0 になります。読むと 0 が読めます。
- 注 4. TSRC ビットは CAN オペレーションモード時に 1 にしてください。
- 注 5. CANM[1:0] および SLPM ビットを変更した場合は、STR レジスタでモードが切り替わったことを確認してください。モードが切り替わるまで、CANM[1:0] ビットまたは SLPM ビットを変更しないでください。
- 注 6. SLPM ビットは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。SLPM ビットを変更する場合は、SLPM ビットのみに 0 または 1 を書いてください。

MBM ビット (CAN メールボックスモード選択)

MBM ビットが 0 (通常メールボックスモード) の場合、メールボックス 0 ~ 31 は送信または受信メールボックスに設定されます。

MBM ビットが 1 (FIFO メールボックスモード) の場合：

- メールボックス 0 ~ 23 は送信または受信メールボックスに設定される
- メールボックス 24 ~ 27 は送信 FIFO に設定される
- メールボックス 28 ~ 31 は受信 FIFO に設定される

送信データは、メールボックス 24 (送信 FIFO のウィンドウメールボックス) に書き込まれます。受信データは、メールボックス 28 (受信 FIFO のウィンドウメールボックス) から読み出されます。

表 29.3 にメールボックスの構成を示します。

IDFM[1:0] ビット (ID フォーマットモード選択)

ID フォーマットを指定します。

MLM ビット (メッセージロストモード選択)

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。受信 FIFO を含むすべてのメールボックスは、オーバーライトモードかオーバーランモードのどちらかになります。

MLM が 0 の場合、すべてのメールボックスはオーバーライトモードになります。メールボックスの古いメッセージは、新しいメッセージで上書きされます。

MLM が 1 の場合、すべてのメールボックスはオーバーランモードになります。新しいメッセージは、古いメッセージを上書きすることなく、破棄されます。

TPM ビット (送信優先順位モード選択)

メッセージを送信する場合の優先順位を指定します。

ID 優先送信モードまたはメールボックス番号送信モードから選択できます。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信のどちらかになります。

TPM ビットが 0 の場合、ID 優先送信モードが選択され、送信優先順位は ISO11898-1 の CAN 仕様に定められているように調停されます。ID 優先送信モードでは、メールボックス 0 ~ 31 (通常メールボックスモード時)、メールボックス 0 ~ 23 (FIFO メールボックスモード時)、および送信 FIFO が、送信用に設定されたメールボックスの ID と比較されます。2 つ以上のメールボックス ID が同一であると、小さい番号のメールボックスが優先されます。

送信 FIFO から送信される次のメッセージのみが、送信アービトレーションの対象となります。FIFO メッセージを送信中の場合、送信 FIFO 内の次の待機メッセージがアービトレーションの対象となります。

TPM ビットが 1 の場合、メールボックス番号送信モードが選択され、一番小さい番号の送信メールボックスが最優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (0 ~ 23) よりも優先順位が低くなります。

TSRC ビット (タイムスタンプカウンタリセットコマンド)

タイムスタンプカウンタをリセットします。TSRC ビットを 1 にすると、TSR レジスタが 0000h になります。TSRC ビットは、自動的に 0 にクリアされます。

TSPS[1:0] ビット (タイムスタンププリスケアラ選択)

タイムスタンプ用のプリスケアラを選択します。タイムスタンプ用の基準クロックは、1、2、4、または 8 ビットタイム期間から選択できます。

CANM[1:0] ビット (CAN モード動作選択)

下記モードのいずれかを選択します。

- CAN オペレーションモード
- CAN リセットモード
- CAN halt モード

CAN スリープモードは SLPM ビットで設定します。詳細は、[29.3 動作モード](#)を参照してください。CAN モジュールが、BOM[1:0] ビットの設定に基づいて CANhalt モードへ遷移した場合、CANM[1:0] ビットは自動的に 10b になります。

SLPM ビット (CAN スリープモード)

SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移します。SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。詳細は、[29.3 動作モード](#)を参照してください。

BOM[1:0] ビット (バスオフ復帰モード)

CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが 00b の場合、ISO11898-1 仕様に準拠してバスオフから復帰します。CAN モジュールは、11 の連続するレセシブビットを 128 回検出すると、CAN 通信 (エラーアクティブ状態) を復帰させます。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが 01b の場合、CAN モジュールがバスオフ状態に達すると、CANM[1:0] ビットが 10b になり CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタが 00h になります。

BOM[1:0] ビットが 10b の場合、CAN モジュールがバスオフ状態に達すると、ただちに CANM[1:0] ビットが 10b になります。CAN モジュールは、11 の連続するレセシブビットを 128 回検出してバスオフ状態から復帰した後、CAN halt モードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは 00h になります。

BOM[1:0] ビットが 11b の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを 10b にすると、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは 00h になります。ただし、CANM[1:0] ビットを 10b にする前に、11 の連続するレセシブビットを 128 回検出して CAN モジュールがバスオフから復帰した場合は、割り込みが発生します。

CAN モジュールが CAN halt モードへ遷移しようとしたとき (BOM[1:0] ビット = 01b のときはバスオフ開始時、BOM[1:0] ビット = 10b のときはバスオフ終了時)、同時に CPU が CAN リセットモードへの遷移を要求すると、CPU 要求の CAN リセットモードへの遷移が優先されます。

RBOC ビット (バスオフからの強制復帰)

バスオフ状態のとき RBOC ビットを 1 にすると、CAN モジュールは強制的にバスオフを終了させます。RBOC ビットは自動的に 0 になり、エラー状態はバスオフからエラーアクティブに変化します。RBOC ビットを 1 にすると、RECR および TECR レジスタが 00h になり、STR.BOST ビットが 0 になって、バスオフ状態ではないことを示します。他のレジスタは RBOC ビットを 1 にしても変化しません。バスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが 00b (通常モード) の場合にのみ使用してください。

表 29.3 メールボックスの構成

メールボックス	MBM ビット = 0 (通常メールボックスモード)	MBM ビット = 1 (FIFO メールボックスモード) (注1) ~ (注5)
メールボックス 0 ~ 23	通常メールボックス	通常メールボックス
メールボックス 24 ~ 27		送信 FIFO
メールボックス 28 ~ 31		受信 FIFO

- 注 1. 送信 FIFO は TFCR レジスタで制御します。メールボックス 24 ~ 27 に対応する MCTL_TXj レジスタを無効にします。MCTL_TX24 ~ MCTL_TX27 レジスタは送信 FIFO では使用できません。
- 注 2. 受信 FIFO は RFCR レジスタで制御します。メールボックス 28 ~ 31 に対応する MCTL_RXj レジスタを無効にします。MCTL_RX28 ~ MCTL_RX31 レジスタは受信 FIFO では使用できません。
- 注 3. FIFO 割り込みについては、MIER_FIFO レジスタの説明を参照してください。
- 注 4. メールボックス 24 ~ 31 に対応する MKIVLR レジスタのビットは無効です。これらのビットは 0 にしてください。
- 注 5. 送信および受信 FIFO は、データフレームとリモートフレームの両方に使用可能です。

29.2.2 ビットコンフィグレーションレジスタ (BCR)

アドレス CAN0.BCR 4005 0844h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSEG1[3:0]					—	—	BRP[9:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SJW[1:0]		—	TSEG2[2:0]			—	—	—	—	—	—	—	CCLKS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択	0 : 設定禁止 1 : CANMCLK (メインクロックから生成) CANモジュール使用時は、このビットを1にする必要があります。	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御	b10 b8 0 0 0 : 設定禁止 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	SJW[1:0]	同期ジャンプ幅制御	b13 b12 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b16	BRP[9:0]	ボーレートプリスケアラ選択 (注1)	これらのビットはCAN通信クロック (fCANCLK) の周波数を設定します。	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b28	TSEG1[3:0]	タイムセグメント1制御	b31 b28 0 0 0 0 : 設定禁止 0 0 0 1 : 設定禁止 0 0 1 0 : 設定禁止 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W

Tq : Time Quantum

注 1. SCKSCR.CKSEL[2:0] ビットが 011b (メインクロック発振器選択) の場合、1 未満の値を選択しないでください。

ビットタイミングの設定については、[29.4 データ転送レートの設定](#)を参照してください。BCR レジスタは、CAN リセットモードから CAN halt モードまたは CAN オペレーションモードへ遷移する前に設定してください。このレジスタは、いったん設定した後も、CAN リセットモードまたは CAN halt モードで書き込みができます。32 ビットでリード/ライトアクセスする場合、ビット [7:0] を変更しないように行う必要があります。

TSEG2[2:0] ビット (タイムセグメント 2 制御)

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを T_q 値で指定します。2 ~ $8T_q$ の値が設定可能です。TSEG1[3:0] ビット値未満の値を設定してください。

SJW[1:0] ビット (同期ジャンプ幅制御)

同期ジャンプ幅を T_q 値で指定します。1 ~ $4T_q$ の値が設定可能です。TSEG2[2:0] ビット値以下の値を設定してください。

BRP[9:0] ビット (ボーレートプリスケール選択)

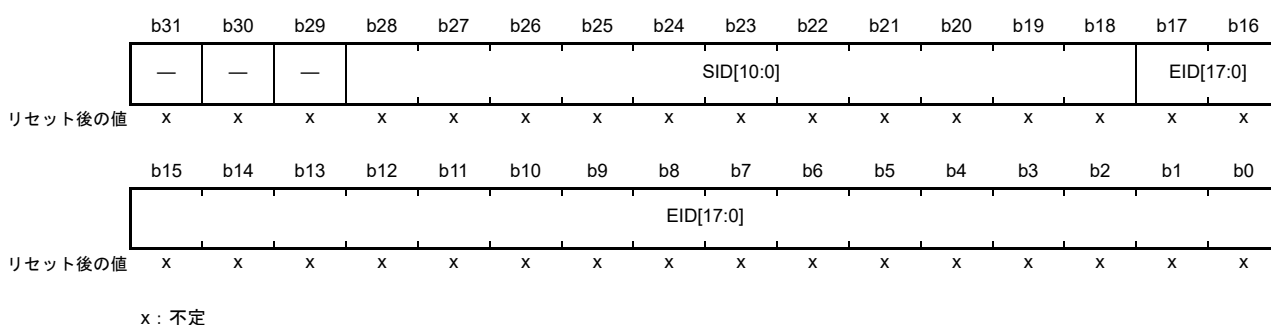
CAN 通信クロック (fCANCLK) の周波数を設定します。fCANCLK の周期が $1T_q$ となります。設定値を P (0 ~ 1023) とすると、ボーレートプリスケールは fCAN を $P+1$ で分周します。

TSEG1[3:0] ビット (タイムセグメント 1 制御)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を T_q 値で指定します。4 ~ $16T_q$ の値が設定可能です。

29.2.3 マスクレジスタ k (MKRk) (k = 0 ~ 7)

アドレス CAN0.MKR0 4005 0400h ~ CAN0.MKR7 4005 041Ch



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	0: 対応するEID[17:0]ビットを比較しない 1: 対応するEID[17:0]ビットを比較する	R/W
b28-b18	SID[10:0]	標準ID	0: 対応するSID[10:0]ビットを比較しない 1: 対応するSID[10:0]ビットを比較する	R/W
b31-b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

FIFO メールボックスモードでのマスク機能については、[29.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

MKR0 ~ MKR7 レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。

EID[17:0] ビット (拡張 ID)

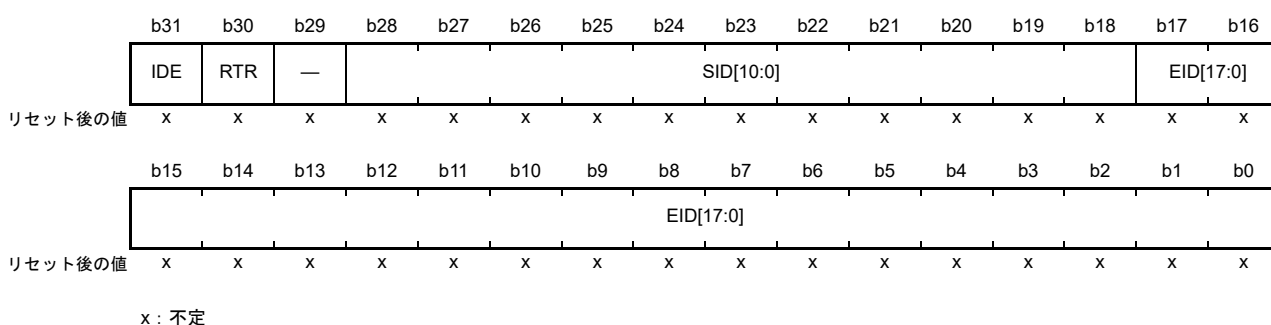
CAN 拡張 ID ビットに対応するフィルタマスクビットです。拡張 ID のメッセージを受信するために使用します。EID[17:0] ビットが 0 の場合、受信した ID は、対応するメールボックスの ID と比較されません。EID[17:0] ビットが 1 の場合、受信した ID は、対応するメールボックスの ID と比較されます。

SID[10:0] ビット (標準 ID)

CAN 標準 ID ビットに対応するフィルタマスクビットです。標準 ID と拡張 ID の両メッセージを受信するために使用します。SID[10:0] ビットが 0 の場合、受信した ID は、対応するメールボックスの ID と比較されません。SID[10:0] ビットが 1 の場合、受信した ID は、対応するメールボックスの ID と比較されます。

29.2.4 FIFO 受信 ID 比較レジスタ 0 および 1 (FIDCR0 および FIDCR1)

アドレス CAN0.FIDCR0 4005 0420h, CAN0.FIDCR1 4005 0424h



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	データフレームとリモートフレームの拡張ID	R/W
b28-b18	SID[10:0]	標準ID	データフレームとリモートフレームの標準ID	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張(注1)	0: 標準ID 1: 拡張ID	R/W

注1. CTLR.IDFM[1:0] ビット値が 10b 以外の場合、IDE ビットには 0 を書いて、読むと 0 が読めるようにしてください。

FIDCR0 および FIDCR1 レジスタは、CTLR.MBM ビットが 1 (FIFO メールボックスモード) の場合に有効です。通常メールボックスモードでは、MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、および IDE ビットは無効です。これらのレジスタは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。FIDCR0 および FIDCR1 レジスタの使用方法については、[29.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

EID[17:0] ビット (拡張 ID)

データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信するために使用します。

SID[10:0] ビット (標準 ID)

データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを受信するために使用します。

RTR ビット (リモート送信要求)

フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 0 の場合、データフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 1 の場合、リモートフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビット同士が異なる値の場合、データフレームとリモートフレームの両方を受信

IDE ビット (ID 拡張)

ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 0 の場合、標準 ID フレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 1 の場合、拡張 ID フレームのみ受信

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビット同士が異なる値の場合、標準 ID フレームと拡張 ID フレームの両方を受信

29.2.5 マスク無効レジスタ (MKIVLR)

アドレス [CAN0.MKIVLR 4005 0428h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	マスク無効	0 : マスク有効 1 : マスク無効	R/W

MKIVLR レジスタの各ビットは、同じ番号のメールボックスに対応しています。MKIVLR レジスタのビット 0 はメールボックス 0 (MB0) に対応し、ビット 31 はメールボックス 31 (MB31) に対応しています。

注 . FIFO メールボックスモード時は MKIVLR[31:24] を 0 にしてください。

MBn ビットを 1 にすると、対応するメールボックスのアクセプタンスマスクレジスタが無効になります。マスク無効ビットを 1 にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合にのみ、対応するメールボックスによってメッセージが受信されます。MKIVLR レジスタは、CAN halt モード時に書き込みを行ってください。

29.2.6 メールボックスレジスタ j (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) (j = 0 ~ 31、m = 0 ~ 7)

表 29.4 に CAN0 メールボックスのメモリ配置を、表 29.5 に CAN データフレームの構成を示します。CAN メールボックスのリセット後の値は不定です。

MBj_ID、MBj_DL、MBj_Dm、MBj_TS は、対応する MCTL_TXj または MCTL_RXj (j = 0 ~ 31) レジスタが 00h で、かつ対応するメールボックスがアボート要求を処理していない場合に限り書き込みを行ってください。レジスタアドレスの詳細については、表 29.4 を参照してください。

表 29.4 CAN0 メールボックスのメモリ配置

CAN0 アドレス	マッピングされるメッセージ内容
4005 0200h + 16 × j + 0	IDE、RTR、SID10 ~ SID6
4005 0200h + 16 × j + 1	SID5 ~ SID0、EID17、EID16
4005 0200h + 16 × j + 2	EID15 ~ EID8
4005 0200h + 16 × j + 3	EID7 ~ EID0
4005 0200h + 16 × j + 4	—
4005 0200h + 16 × j + 5	データ長コード (DLC[3:0])
4005 0200h + 16 × j + 6	データバイト 0
4005 0200h + 16 × j + 7	データバイト 1
4005 0200h + 16 × j + 8	データバイト 2
4005 0200h + 16 × j + 9	データバイト 3
4005 0200h + 16 × j + 10	データバイト 4
4005 0200h + 16 × j + 11	データバイト 5
4005 0200h + 16 × j + 12	データバイト 6
4005 0200h + 16 × j + 13	データバイト 7
4005 0200h + 16 × j + 14	上位バイトタイムスタンプ
4005 0200h + 16 × j + 15	下位バイトタイムスタンプ

表 29.5 CAN データフレームの構成

SID10～SID6	SID5～SID0	EID17～EID16	EID15～EID8	EID7～EID0	DLC3～DLC1	DATA0	DATA1	...	DATA7

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

アドレス [CAN0.MB0_ID4005 0200h](#)～[CAN0.MB31_ID 4005 03F0h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	—	SID[10:0]										EID[17:0]		
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張 ID (注1)	データフレームとリモートフレームの拡張 ID	R/W
b28-b18	SID[10:0]	標準 ID	データフレームとリモートフレームの標準 ID	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0 としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID 拡張 (注2)	0: 標準 ID 1: 拡張 ID	R/W

注 1. メールボックスが標準 ID のメッセージを受信すると、そのメールボックスの EID ビット値は不定になります。

注 2. IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。IDFM[1:0] ビットが 10b 以外の場合、IDE ビットには 0 を書き、読むと 0 が読めるようにします。

アドレス [CAN0.MB0_DL4005 0204h](#)～[CAN0.MB31_DL 4005 03F4h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	DLC[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コード (注1)	b3 b0 0 0 0 0: データ長 = 0 バイト 0 0 0 1: データ長 = 1 バイト 0 0 1 0: データ長 = 2 バイト 0 0 1 1: データ長 = 3 バイト 0 1 0 0: データ長 = 4 バイト 0 1 0 1: データ長 = 5 バイト 0 1 1 0: データ長 = 6 バイト 0 1 1 1: データ長 = 7 バイト 1 x x x: データ長 = 8 バイト	R/W
b15-b4	—	予約ビット	読むと不定値が読めます。書く場合、0 としてください。	R/W

x: Don't care

注 1. メールボックスが n バイト (n は 8 未満) のデータ長 (DLC[3:0] ビットで設定) のメッセージを受信した場合、そのメールボックスの DATA_n ～ DATA7 レジスタ内のデータは不定です。DATA0 ～ DATA7 が、このメールボックスのデータレジスタです。たとえば、データ長が 6 バイト (DLC[3:0] = 6h) であれば、DATA6 レジスタと DATA7 レジスタのデータは不定です。

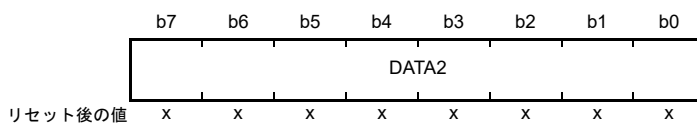
アドレス [CAN0.MB0_D04005 0206h](#)～[CAN0.MB31_D0 4005 03F6h](#)



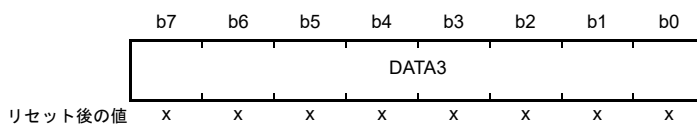
アドレス [CAN0.MB0_D14005 0207h](#)～[CAN0.MB31_D1 4005 03F7h](#)



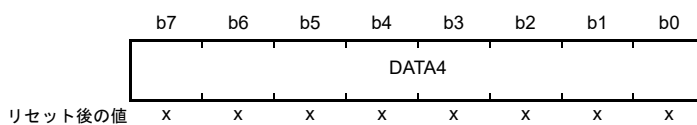
アドレス [CAN0.MB0_D24005 0208h](#)～[CAN0.MB31_D2 4005 03F8h](#)



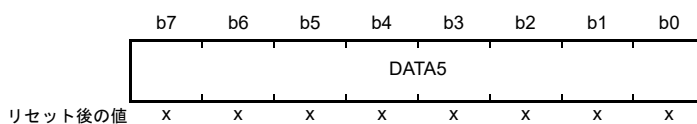
アドレス [CAN0.MB0_D34005 0209h](#)～[CAN0.MB31_D3 4005 03F9h](#)



アドレス [CAN0.MB0_D44005 020Ah](#)～[CAN0.MB31_D4 4005 03FAh](#)



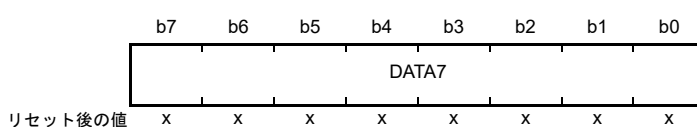
アドレス [CAN0.MB0_D54005 020Bh](#)～[CAN0.MB31_D5 4005 03FBh](#)



アドレス [CAN0.MB0_D64005 020Ch](#)～[CAN0.MB31_D6 4005 03FCh](#)



アドレス [CAN0.MB0_D74005 020Dh](#)～[CAN0.MB31_D7 4005 03FDh](#)

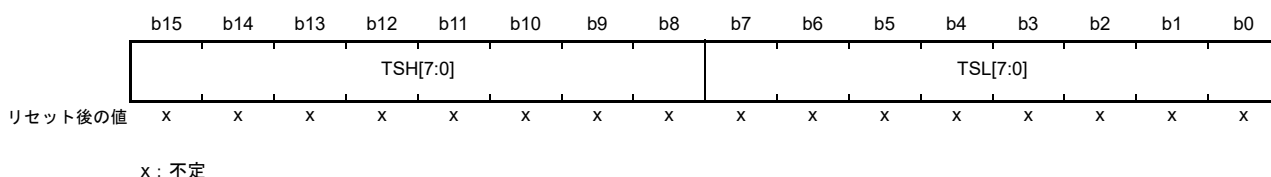


x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0 ~ DATA7	データバイト0~7 (注1) (注2)	DATA0~7は送信または受信したCANメッセージデータを格納します。送受信は、DATA0から開始されます。CANバス上のビットオーダーはMSBファーストであり、ビット7から送受信が開始されます。	R/W

- 注1. メールボックスがnバイト (nは8バイト未満) のメッセージを受信した場合、メールボックスの DATA_n ~ DATA7 の値は不定です。たとえば、受信データ長が6バイトであれば、DATA6とDATA7の値は不定です。
- 注2. メールボックスがリモートフレームを受信した場合、そのメールボックスの DATA0 ~ DATA7 は以前の値を保持します。

アドレス CAN0.MB0_TS4005 020Eh ~ CAN0.MB31_TS 4005 03FEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]ビットとTSL[7:0]ビットは、受信メッセージがメールボックスに取り込まれた時点のタイムスタンプのカウント値を格納します。	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

EID[17:0] ビット (拡張 ID)

データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信するために使用します。

SID[10:0] ビット (標準 ID)

データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを送受信するために使用します。

RTR ビット (リモート送信要求)

フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- 受信メールボックスは、RTR ビットで指定されたフォーマットのフレームのみを受信する
- 送信メールボックスは、RTR ビットで指定されたフォーマットのフレームのみを送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの RTR ビットで指定されたデータフレーム、リモートフレーム、またはその両方を受信する
- 送信 FIFO メールボックスは、送信メッセージ内の RTR ビットで指定されたデータフレームまたはリモートフレームを送信する

IDE ビット (ID 拡張)

ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- 受信メールボックスは、IDE ビットで指定された ID フォーマットのみを受信する
- 送信メールボックスは、IDE ビットで指定された ID フォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの IDE ビットで指定された標準 ID と拡張 ID の設定でメッセージを受信する
- 送信 FIFO メールボックスは、対応する送信メッセージ内の IDE ビットで指定された標準 ID または拡張 ID でメッセージを送信する

DLC[3:0] ビット (データ長コード)

データフレームで送信されるデータ長を指定します。リモートフレームを使用してデータを要求する場合、DLC[3:0] ビットは要求するデータ長を指定します。

データフレームを受信した場合、DLC[3:0] には受信したデータ長が格納されます。リモートフレームを受信した場合、DLC[3:0] ビットは要求したデータ長を格納します。

29.2.7 メールボックス割り込みイネーブルレジスタ (MIER)

アドレス **CAN0.MIER 4005 042Ch**

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	割り込み許可	0 : 割り込み禁止 1 : 割り込み許可 ビット31はメールボックス31 (MB31) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W

MIER レジスタは、メールボックスごとに個別に割り込みを許可できます。このレジスタは、通常メールボックスモードで利用可能です。FIFO メールボックスモードでは、このレジスタにアクセスしないでください。

各ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックス (下記参照) の送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER レジスタのビット 0 はメールボックス 0 (MB0) に対応
- MIER レジスタのビット 31 はメールボックス 31 (MB31) に対応

MIER レジスタは、対応する MCTL_TXj または MCTL_RXj (j = 0 ~ 31) レジスタが 00h で、かつ対応するメールボックスが送受信アポート要求の処理を行っていないときに限り書き込みを行ってください。

29.2.8 FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER_FIFO)

アドレス CAN0.MIER_FIFO 4005 042Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	MB29	MB28	—	—	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23 ~ MB0	割り込み許可	0 : 割り込み禁止 1 : 割り込み許可 ビット23はメールボックス23（MB23）に、ビット0はメールボックス0（MB0）に対応しています。	R/W
b24	MB24	送信FIFO割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御	0 : 送信完了ごとに発生 1 : 送信完了時に送信FIFOが空になると発生	R/W
b27-b26	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b28	MB28	受信FIFO割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御（注1）	0 : 受信完了ごとに発生 1 : 受信完了により受信FIFOがバッファワーニング（注2）になると発生	R/W
b31-b30	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注1. 受信FIFOがフルのためにバッファワーニングになっても、割り込み要求は発生しません。

注2. バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIER_FIFO レジスタは、メールボックスごと、FIFO ごとに個別に割り込みを許可できます。このレジスタは、FIFO メールボックスモードで利用可能です。通常メールボックスモードではアクセスしないでください。

MB0 ~ MB23 ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER_FIFO レジスタのビット0はメールボックス0（MB0）に対応
- MIER_FIFO レジスタのビット23はメールボックス23（MB23）に対応

MB24、MB25、MB28、MB29の各ビットは、送信／受信FIFO割り込みを許可するか、および割り込み要求のタイミングを指定します。

MIER_FIFO レジスタは、対応する MCTL_TXj または MCTL_RXj（j = 0 ~ 31）レジスタが 00h で、かつ対応するメールボックスが送受信アポート要求の処理を行っていないときに限り書き込みを行ってください。また、選択されたFIFOのMIER_FIFOレジスタ内のビットは、以下の条件が満たされている場合にのみ変更してください。

- TFCR.TFE ビットが0で、かつ TFCR.TFEST ビットが1
- RFCR.RFE ビットが0で、かつ RFCR.RFEST フラグが1

29.2.9 送信用メッセージコントロールレジスタ (MCTL_TXj) (j = 0 ~ 31)

- 送信モード (TRMREQ ビットが 1、RECREQ ビットが 0 の場合)

アドレス [CAN0.MCTL_TX0 4005 0820h](#) ~ [CAN0.MCTL_TX31 4005 083Fh](#)

b7	b6	b5	b4	b3	b2	b1	b0
TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ (注1) (注2)	0 : 送信未完了 1 : 送信完了	R/W
b1	TRMACTIVE	送信中ステータスフラグ	0 : 送信待機中または送信要求なし 1 : 送信中	R
b2	TRMABT	送信アボート完了フラグ (注1) (注2)	0 : 送信開始、送信完了により送信アボート失敗、または送信アボート要求なし 1 : 送信アボート完了	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0 : ワンショット送信禁止 1 : ワンショット送信許可	R/W
b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2) (注3) (注4) (注5)	0 : 受信用に設定しない 1 : 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2) (注4)	0 : 送信用に設定しない 1 : 送信用に設定する	R/W

- 注 1. 0 のみ書けます。1 を書いても何の影響もありません。
- 注 2. このレジスタの各ビットに書き込む際は、SENTDATA および TRMABT フラグが書き込み対象でない場合、これらのフラグには 1 を書いてください。
- 注 3. ワンショット送信モードへ遷移するためには、TRMREQ ビットを 1 にすると同時に、ONESHOT ビットに 1 を書いてください。ワンショット送信モードを解除するには、メッセージが送信またはアボートされた後、ONESHOT ビットに 0 を書いてください。
- 注 4. RECREQ ビットと TRMREQ ビットの両方を 1 にしないでください。
- 注 5. RECREQ ビットを 0 にするときは、SENTDATA、TRMACTIVE、および TRMABT フラグを同時に 0 にしてください。

MCTL_TXj レジスタは、メールボックス j を送信モードまたは受信モードに設定します。送信モードの場合、MCTL_TXj レジスタは送信状態の制御と表示も行います。メールボックス j が受信モードの場合は、MCTL_TXj レジスタにアクセスしないでください。MCTL_TXj は、必ず CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。FIFO メールボックスモードでは、MCTL_TX24 ~ MCTL_TX31 レジスタを使用しないでください。

SENTDATA フラグ (送信完了フラグ)

対応するメールボックスからのデータ送信が完了すると 1 になります。SENTDATA フラグは、ソフトウェア書き込みで 0 になります。SENTDATA フラグを 0 にする場合、最初に TRMREQ ビットを 0 にしてください。SENTDATA および TRMREQ ビットを同時に 0 にすることはできません。対応するメールボックスから新しいメッセージを送信する場合、SENTDATA フラグを 0 にしてください。

TRMACTIVE フラグ (送信中ステータスフラグ)

CAN モジュールの対応するメールボックスがメッセージ送信を開始すると 1 になります。TRMACTIVE フラグは、CAN モジュールで CAN バスアービトラジョンロストが発生するか、CAN バスエラーが発生するか、あるいはデータ送信が完了すると 0 になります。

TRMABT フラグ (送信アボート完了フラグ)

TRMABT フラグは、以下の場合に 1 になります。

- 送信アボート要求に続いて、送信開始前に送信アボートが完了したとき
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき
- ワンショット送信モード時 (RECREQ ビット=0、TRMREQ ビット=1、ONESHOT ビット=1) に、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき

本フラグは、データ送信が完了しても 1 にはなりません。ソフトウェア書き込みで SENTDATA フラグは 1 に、TRMABT フラグは 0 になります。

ONESHOT ビット (ワンショット許可)

送信モード (RECREQ ビット=0、TRMREQ ビット=1) で ONESHOT ビットを 1 にすると、CAN モジュールはメッセージを 1 回だけ送信します。CAN バスエラーまたは CAN バスアービトレーションロストエラーが発生しても、CAN モジュールはメッセージを再送信しません。送信が完了したとき、SENTDATA フラグが 1 になります。CAN バスエラーまたは CAN バスアービトレーションロストエラーが原因で送信が完了しないと、TRMABT フラグが 1 になります。ONESHOT ビットは、SENTDATA または TRMABT フラグが 1 になった後に 0 にしてください。

RECREQ ビット (受信メールボックス要求)

RECREQ ビットは、表 29.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスがデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始される時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
 - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります。
 - その他のメールボックスでは、アクセプタンスフィルタ処理後
 - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA フラグと TRMABT フラグを 0 にしてから、受信に変更してください。

注. MCTL_TXj.RECREQ は、MCTL_RXj.REQREQ のミラービットです。

TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットは、表 29.10 に示す送信モードを選択します。

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA フラグと MSGLOST フラグを 0 にしてから、送信に変更してください。

注 . MCTL_TXj.TRMREQ は、MCTL_RXj.TRMREQ のミラービットです。

29.2.10 受信用メッセージコントロールレジスタ (MCTL_RXj) (j = 0 ~ 31)

- 受信モード (TRMREQ ビットが 0、RECREQ ビットが 1 の場合)

アドレス CAN0.MCTL_RX0 4005 0820h ~ CAN0.MCTL_RX31 4005 083Fh

b7	b6	b5	b4	b3	b2	b1	b0
TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEWDATA	受信完了フラグ (注1) (注2)	0: 受信データなし、または本フラグに 0 を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納済み	R/W
b1	INVALIDATA	受信中ステータスフラグ	0: メッセージは有効 1: メッセージを更新中	R
b2	MSGLOST	メッセージロストフラグ (注1) (注2)	0: メッセージのオーバーライトまたはオーバーランなし 1: メッセージのオーバーライトまたはオーバーランあり	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0: ワンショット受信禁止 1: ワンショット受信許可	R/W
b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2) (注3) (注4) (注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2) (注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

- 注 1. 0 のみ書けます。1 の書き込みは無効になります。
- 注 2. このレジスタの各ビットに書き込む際は、NEWDATA および MSGLOST フラグが書き込み対象でない場合、これらのフラグには 1 を書いてください。
- 注 3. ワンショット受信モードへ遷移するためには、RECREQ ビットを 1 にすると同時に、ONESHOT ビットに 1 を書いてください。ワンショット受信モードを解除するときは、RECREQ ビットに 0 を書いた後、RECREQ ビットが 0 であることを確認してから ONESHOT ビットに 0 を書いてください。
- 注 4. RECREQ ビットと TRMREQ ビットの両方を 1 にしないでください。
- 注 5. RECREQ ビットを 0 にする場合、NEWDATA フラグ、MSGLOST フラグ、および RECREQ ビットを同時に 0 にしてください。

MCTL_RXj レジスタは、メールボックス j を送信モードまたは受信モードに設定します。受信モードの場合、MCTL_RXj レジスタは受信状態の制御と表示も行います。

メールボックス j が送信モードの場合は、MCTL_RXj レジスタにアクセスしないでください。MCTL_RXj は、必ず CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。FIFO メールボックスモードでは、MCTL_RX24 ~ MCTL_RX31 レジスタを使用しないでください。

NEWDATA フラグ (受信完了フラグ)

新しいメッセージをメールボックスに格納中または格納済みのときに 1 になります。本フラグは常に INVALIDATA フラグと同時に 1 にしてください。NEWDATA フラグは、ソフトウェア書き込みで 0 になります。対応する INVALIDATA フラグが 1 の場合、NEWDATA フラグをソフトウェア書き込みで 0 にすることはできません。

INVALIDATA フラグ (受信中ステータスフラグ)

メッセージの受信完了後、対応するメールボックスで受信したメッセージが更新中であるとき 1 になります。INVALIDATA フラグは、メッセージが格納された直後に 0 になります。INVALIDATA フラグが 1 のときにメールボックスを読み出すと、そのデータは不定です。

MSGLOST フラグ (メッセージロストフラグ)

MSGLOST フラグは、NEWDATA フラグが 1 のとき、メールボックスが新しい受信メッセージでオーバーライトまたはオーバーランされると 1 になります。MSGLOST フラグは、EOF のビット 6 の終わりで 1 になります。MSGLOST フラグは、ソフトウェア書き込みで 0 になります。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 ビット目の終わりから、周辺モジュールクロック (PCLKB) の 5 サイクルの間は、MSGLOST フラグをソフトウェア書き込みで 0 にすることはできません。

ONESHOT ビット (ワンショット許可)

受信モード (RECREQ = 1、TRMREQ = 0) 時に ONESHOT ビットを 1 にすると、メールボックスはメッセージを 1 回だけ受信します。メールボックスがメッセージを 1 回受信すると、その後、受信メールボックスとして動作しません。NEWDATA フラグと INVALIDDATA フラグの動作は、通常の実受信モードと同じです。ワンショット受信モードでは、MSGLOST フラグは 1 にはなりません。ONESHOT ビットを 0 にする場合、最初に RECREQ ビットに 0 を書いて、RECREQ ビットが 0 であることを確認してから行ってください。

RECREQ ビット (受信メールボックス要求)

RECREQ ビットは、表 29.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスがデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始されるとき (CRC フィールドの始まり)
- ハードウェアプロテクトが解除されるとき
 - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります
 - その他のメールボックスでは、アクセプタンスフィルタ処理後
 - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA フラグと TRMABT フラグを 0 にしてから、受信に変更してください。

注. MCTL_RXj.RECREQ は、MCTL_TXj.RECREQ のミラービットです。

TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットは、表 29.10 に示す送信モードを選択します。

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA フラグと MSGLOST フラグを 0 にしてから、送信に変更してください。

注. MCTL_RXj.TRMREQ は、MCTL_TXj.TRMREQ のミラービットです。

29.2.11 受信 FIFO コントロールレジスタ (RFCR)

アドレス CAN0.RFCR 4005 0848h

b7	b6	b5	b4	b3	b2	b1	b0
RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]		RFE	
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可	0 : 受信 FIFO 禁止 1 : 受信 FIFO 許可	R/W
b3-b1	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータス	b3 b1 0 0 0 : 未読メッセージなし 0 0 1 : 未読メッセージ1件あり 0 1 0 : 未読メッセージ2件あり 0 1 1 : 未読メッセージ3件あり 1 0 0 : 未読メッセージ4件あり 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b4	RFMLF	受信 FIFO メッセージロストフラグ	0 : 受信 FIFO メッセージロスト発生なし 1 : 受信 FIFO メッセージロスト発生あり	R/W
b5	RFFST	受信 FIFO フルステータスフラグ	0 : 受信 FIFO はフルでない 1 : 受信 FIFO はフル (未読メッセージ4件)	R
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0 : 受信 FIFO にバッファワーニングなし 1 : 受信 FIFO にバッファワーニングあり (未読メッセージ3件)	R
b7	RFEST	受信 FIFO 空ステータスフラグ	0 : 受信 FIFO に未読メッセージあり 1 : 受信 FIFO に未読メッセージなし	R

RFCR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

RFE ビット (受信 FIFO 許可)

RFE ビットを 1 にすると、受信 FIFO が許可されます。

RFE ビットを 0 にすると、受信 FIFO は受信禁止になり、空状態 (RFEST ビット = 1) になります。RFMLF フラグの設定と同時に RFE ビットに 0 を書いてください。

通常メールボックスモード (CTRL.MBM = 0) では、RFE ビットを 1 にしないでください。

ハードウェアプロテクトのため、下記の期間中、RFE ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始されるとき (CRC フィールドの始まり)
- ハードウェアプロテクトが解除されるとき
- メッセージの受信用に受信 FIFO が指定されている場合に、受信したデータが受信 FIFO に格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります
- メッセージの受信用に受信 FIFO が指定されていない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] ビット (受信 FIFO 未読メッセージ数ステータス)

受信 FIFO 内の未読メッセージの数を示します。RFE ビットを 0 にすると、RFUST[2:0] ビットの値は 000b に初期化されます。

RFMLF フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF フラグは 1 (受信 FIFO メッセージロスト発生) になります。EOF の 6 ビット目の終わりで 1 になります。

RFMLF フラグは、ソフトウェア書き込みで 0 になります (1 の書き込みは無効です)。オーバーライトモードとオーバーランモードの両方において、受信 FIFO がフルのときにメッセージを受信したことが確認された場合、ハードウェアプロテクトにより、EOF の 6 ビット目の終わりから PCLKB の 5 サイクルの間は、RFMLF フラグをソフトウェア書き込みで 0 (受信 FIFO メッセージロスト発生なし) にすることができません。

RFFST フラグ (受信 FIFO フルステータスフラグ)

受信 FIFO 内の未読メッセージの数が 4 件になると、RFFST フラグは 1 (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージの数が 4 件未満になると、RFFST フラグは 0 (受信 FIFO はフルでない) になります。RFE ビットが 0 の場合、RFFST フラグは 0 になります。

RFWST フラグ (受信 FIFO バッファワーニングステータスフラグ)

受信 FIFO 内の未読メッセージの数が 3 件になると、RFWST フラグが 1 (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージの数が 3 件未満または 4 件になると、RFWST フラグは 0 (受信 FIFO はバッファワーニングでない) になります。RFE ビットが 0 の場合、RFWST フラグは 0 になります。

RFEST フラグ (受信 FIFO 空ステータスフラグ)

受信 FIFO 内に未読メッセージがなくなると、RFEST フラグは 1 (受信 FIFO に未読メッセージなし) になります。RFE ビットが 0 の場合、RFEST フラグは 1 になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST フラグは 0 (受信 FIFO に未読メッセージあり) になります。

図 29.2 に受信 FIFO メールボックスの動作を示します。

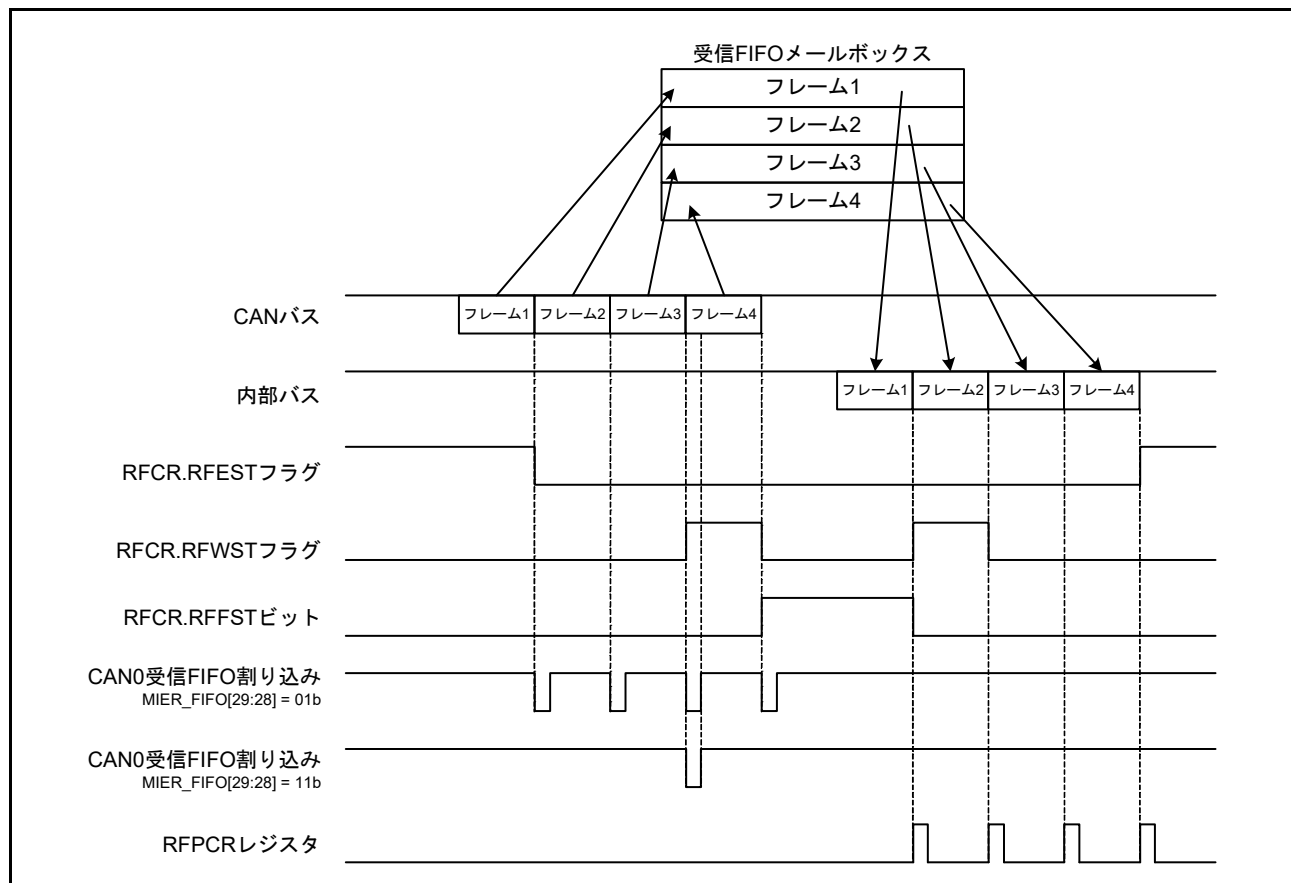
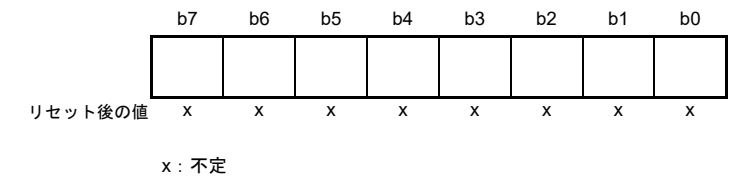


図 29.2 受信 FIFO メールボックスの動作 (MIER_FIFO レジスタのビット 29、28 が 01b または 11b のとき)

29.2.12 受信 FIFO ポインタコントロールレジスタ（RFPCR）

アドレス CAN0.RFPCR 4005 0849h



ビット	機能	R/W
b7-b0	RFPCRにFFhを書き込むと、受信FIFOのCPUポインタが増加	W

受信 FIFO が空状態でないとき、CPU ポインタを増加させて次のメールボックス位置に移動させるには、RFPCR レジスタにソフトウェアで FFh を書いてください。RFCR.RFE ビットが 0（受信 FIFO 禁止）の場合、RFPCR に書き込みを行わないでください。

オーバーライトモードで RFFST フラグが 1（受信 FIFO はフル）のときに新しいメッセージが受信されると、CAN ポインタと CPU ポインタの両方が増加します。この状態で RFMLF フラグが 1 のとき、RFPCR レジスタにソフトウェア書き込みを行っても CPU ポインタは増加しません。

29.2.13 送信 FIFO コントロールレジスタ (TFCR)

アドレス CAN0.TFCR 4005 084Ah

b7	b6	b5	b4	b3	b2	b1	b0
TFEST	TFFST	—	—	TFUST[2:0]		TFE	
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信 FIFO 許可	0 : 送信 FIFO 禁止 1 : 送信 FIFO 許可	R/W
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータス	b3 b1 0 0 0 : 未送信メッセージなし 0 0 1 : 未送信メッセージ1件あり 0 1 0 : 未送信メッセージ2件あり 0 1 1 : 未送信メッセージ3件あり 1 0 0 : 未送信メッセージ4件あり 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	TFFST	送信 FIFO フルスステータス	0 : 送信 FIFO はフルでない 1 : 送信 FIFO はフル (未送信メッセージ4件)	R
b7	TFEST	送信 FIFO 空ステータス	0 : 送信 FIFO に未送信メッセージあり 1 : 送信 FIFO に未送信メッセージなし	R

TFCR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

TFE ビット (送信 FIFO 許可)

TFE ビットを 1 にすると、送信 FIFO が許可されます。

TFE ビットを 0 にすると、送信 FIFO は空状態 (TFEST ビット = 1) になり、下記の様に送信 FIFO から未送信メッセージが失われます。

- 送信 FIFO のメッセージの次の送信予定がなく、また送信中でもないときただちに
- 送信 FIFO のメッセージの次の送信予定があるか、またはすでに送信中の場合、送信完了、CAN バスエラー、CAN バスアービトラクションロスト、または CAN halt モードへの遷移の発生時

TFE ビットを再度 1 にする前に、TFEST ビットが 1 になっていることを確認してください。TFE ビットを 1 にした後、送信データを MB24 に書いてください。

通常メールボックスモード (CTRL.MBM ビット = 0) では、TFE ビットを 1 にしないでください。

TFUST[2:0] ビット (送信 FIFO 未送信メッセージ数ステータス)

送信 FIFO 内の未送信メッセージの数を示します。TFE ビットを 0 にした後、送信アボートまたは送信が完了すると、これらのビットは 000b になります。

TFFST ビット (送信 FIFO フルスステータス)

送信 FIFO 内の未送信メッセージの数が 4 件になると、TFFST ビットは 1 (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が 4 件未満になると、TFFST ビットは 0 (送信 FIFO はフルでない) になります。送信 FIFO の送信がアボートされると、TFFST ビットは 0 になります。

TFEST ビット (送信 FIFO 空ステータス)

送信 FIFO 内に未送信メッセージがなくなると、TFEST ビットは 1 (送信 FIFO にメッセージなし) になります。送信 FIFO の送信がアボートされると、TFEST ビットは 1 になります。送信 FIFO 内の未送信メッセージの数が 1 件以上になると、TFEST ビットは 0 (送信 FIFO にメッセージあり) になります。

図 29.3 に送信 FIFO メールボックスの動作を示します。

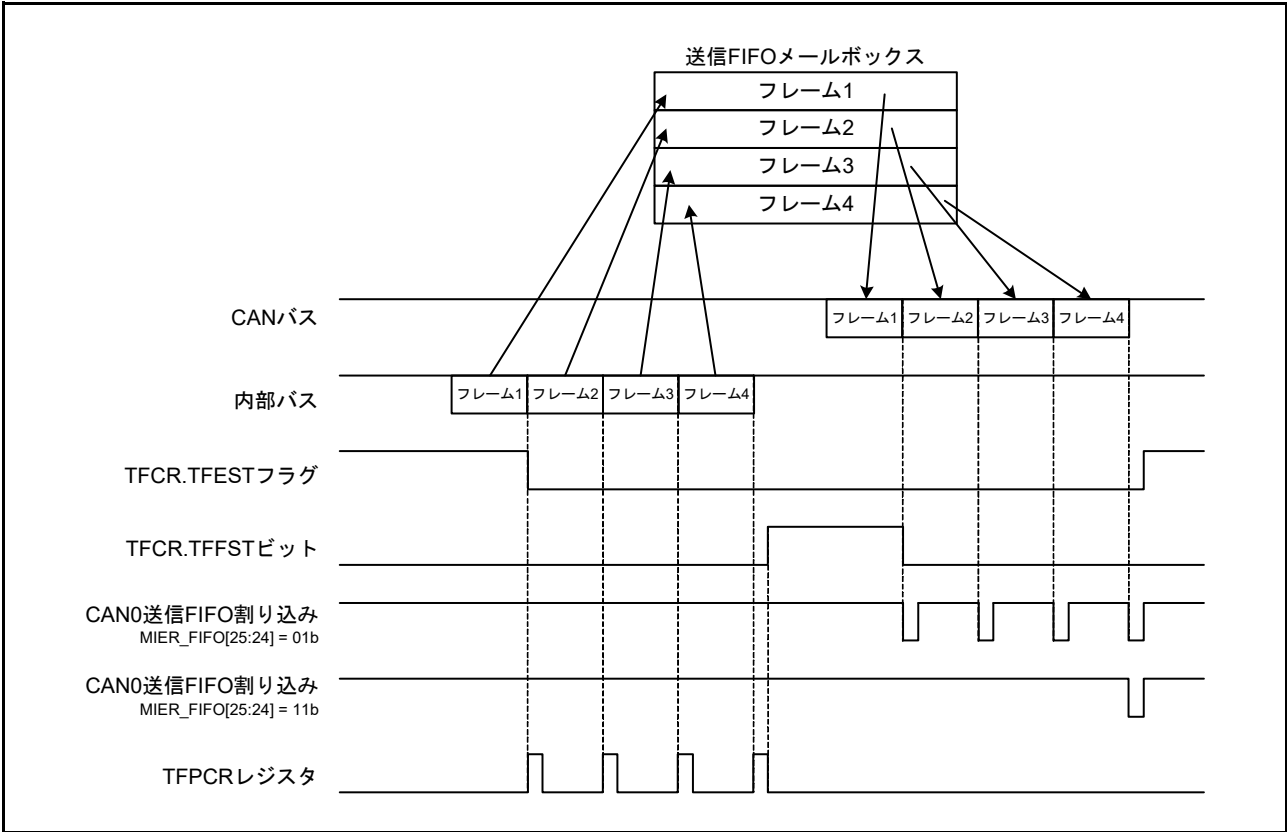
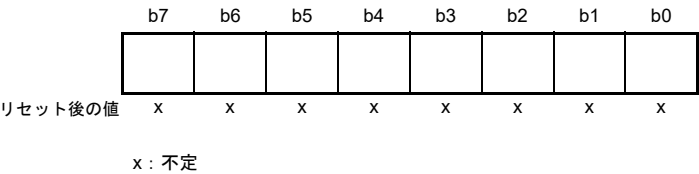


図 29.3 送信 FIFO メールボックスの動作（MIER_FIFO レジスタのビット 25、24 が 01b または 11b のとき）

29.2.14 送信 FIFO ポインタコントロールレジスタ（TFPCR）

アドレス [CAN0.TFPCR 4005 084Bh](#)



ビット	機能	R/W
b7-b0	TFPCRにFFhを書き込むと、送信FIFOのCPUポインタが増加	W

送信 FIFO がフルでないとき、送信 FIFO の CPU ポインタを増加させて次のメールボックス位置に移動させるには、ソフトウェアで TFPCR レジスタに FFh を書いてください。

TFPCR.TFE ビットが 0（送信 FIFO 禁止）の場合、TFPCR レジスタに書き込みを行わないでください。

29.2.15 ステータスレジスタ (STR)

アドレス CAN0.STR 4005 0842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0 : NEWDATA フラグが1のメールボックスなし 1 : NEWDATA フラグが1のメールボックスが1つ以上あり	R
b1	SDST	SENTDATAステータスフラグ	0 : SENTDATA フラグが1のメールボックスなし 1 : SENTDATA フラグが1のメールボックスが1つ以上あり	R
b2	RFST	受信FIFOステータスフラグ	0 : 受信FIFOにメッセージなし 1 : 受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0 : 送信FIFOはフル 1 : 送信FIFOはフルでない	R
b4	NMLST	通常メールボックスメッセージロストステータスフラグ	0 : MSGLOST フラグが1のメールボックスなし 1 : MSGLOST フラグが1のメールボックスが1つ以上あり	R
b5	FMLST	FIFOメールボックスメッセージロストステータスフラグ	0 : RFMLF フラグが0 1 : RFMLF フラグが1	R
b6	TABST	送信アボートステータスフラグ	0 : TRMABT フラグが1のメールボックスなし 1 : TRMABT フラグが1のメールボックスが1つ以上あり	R
b7	EST	エラーステータスフラグ	0 : エラー発生なし 1 : エラー発生あり	R
b8	RSTST	CAN リセットステータスフラグ	0 : CAN リセットモードではない 1 : CAN リセットモード	R
b9	HLTST	CAN haltステータスフラグ	0 : CAN haltモードではない 1 : CAN haltモード	R
b10	SLPST	CAN スリープステータスフラグ	0 : CAN スリープモードではない 1 : CAN スリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0 : エラーパッシブ状態ではない 1 : エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0 : バスオフ状態ではない 1 : バスオフ状態	R
b13	TRMST	送信ステータスフラグ	0 : バスアイドルまたは受信 1 : 送信中またはモジュールがバスオフ状態	R
b14	RECST	受信ステータスフラグ	0 : バスアイドルまたは送信 1 : 受信	R
b15	—	予約ビット	読むと0が読めます。	R

NDST フラグ (NEWDATA ステータスフラグ)

MCTL_RXj.NEWDATA フラグ (j=0 ~ 31) が1つでも1であると、MIER または MIER_FIFO の値にかかわらず、NDST フラグは1になります。NEWDATA フラグがすべて0であると、NDST フラグは0になります。

SDST フラグ (SENTDATA ステータスフラグ)

MCTL_TXj.SENTDATA フラグ (j=0 ~ 31) が1つでも1であると、MIER または MIER_FIFO の値にかかわらず、SDST フラグは1になります。SENTDATA フラグがすべて0であると、SDST フラグは0になります。

RFST フラグ (受信 FIFO ステータスフラグ)

受信 FIFO が空状態でないとき 1 になります。受信 FIFO が空状態か、または通常メールボックスモードが選択されている場合、RFST フラグは 0 になります。

TFST フラグ (送信 FIFO ステータスフラグ)

送信 FIFO がフルでないとき 1 になります。送信 FIFO がフルであるか、または通常メールボックスモードが選択されている場合、TFST フラグは 0 になります。

NMLST フラグ (通常メールボックスメッセージロストステータスフラグ)

MCTL_RXj.MSGLOST フラグ ($j=0 \sim 31$) が 1 つでも 1 であると、MIER または MIER_FIFO の値にかかわらず、NMLST フラグは 1 になります。MSGLOST フラグがすべて 0 であると、NMLST フラグは 0 になります。

FMLST フラグ (FIFO メールボックスメッセージロストステータスフラグ)

RFCR.RFMLF フラグが 1 であると、MIER_FIFO の値にかかわらず、FMLST フラグは 1 になります。RFMLF フラグが 0 の場合、FMLST フラグは 0 になります。

TABST フラグ (送信アボートステータスフラグ)

MCTL_TXj.TRMABT フラグ ($j=0 \sim 31$) が 1 つでも 1 であると、MIER または MIER_FIFO の値にかかわらず、TABST フラグは 1 になります。TRMABT フラグがすべて 0 であると、TABST フラグは 0 になります。

EST フラグ (エラーステータスフラグ)

EIFR レジスタで 1 つでもエラーが検出されると、EIER の値にかかわらず、EST フラグは 1 になります。EIFR レジスタでエラーが検出されないと、EST フラグは 0 になります。

RSTST フラグ (CAN リセットステータスフラグ)

CAN モジュールが CAN リセットモードになると 1 になります。RSTST フラグは、CAN モジュールが CAN リセットモード以外になると 0 になります。CAN モジュールが CAN リセットモードから CAN スリープモードへ遷移しても 1 のままです。

HLTST フラグ (CAN halt ステータスフラグ)

CAN モジュールが CAN halt モードになると 1 になります。HLTST フラグは、CAN モジュールが CAN halt モード以外になると 0 になります。CAN モジュールが CAN halt モードから CAN スリープモードへ遷移しても 1 のままです。

SLPST フラグ (CAN スリープステータスフラグ)

CAN モジュールが CAN スリープモードになると 1 になります。SLPST フラグは、CAN モジュールが CAN スリープモード以外になると 0 になります。

EPST フラグ (エラーパッシブステータスフラグ)

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ($128 \leq \text{TEC} < 256$ または $128 \leq \text{REC} < 256$) になると、EPST フラグは 1 になります。CAN モジュールがエラーパッシブ状態以外になると、EPST フラグは 0 になります。

BOST フラグ (バスオフステータスフラグ)

TECR レジスタの値が 255 を超えて、CAN モジュールがバスオフ状態 ($\text{TEC} \geq 256$) になると、BOST フラグは 1 になります。CAN モジュールがバスオフ状態以外になると、BOST フラグは 0 になります。

TRMST フラグ (送信ステータスフラグ)

CAN モジュールが送信ノードとして動作するか、またはバスオフ状態になると 1 になります。TRMST フラグは、CAN モジュールが受信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

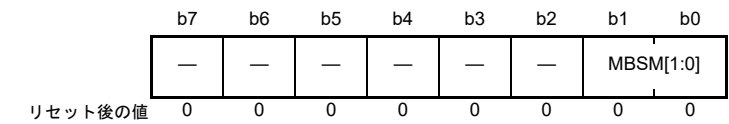
RECST フラグ (受信ステータスフラグ)

CAN モジュールが受信ノードとして動作すると 1 になります。RECST フラグは、CAN モジュールが送信

ノードとして動作するか、またはバスアイドル状態になると 0 になります。

29.2.16 メールボックスサーチモードレジスタ（MSMR）

アドレス [CAN0.MSMR 4005 0853h](#)



ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択	b1 b0 0 0: 受信メールボックス検索モード 0 1: 送信メールボックス検索モード 1 0: メッセージロスト検索モード 1 1: チャンネル検索モード	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MSMR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

[MBSM\[1:0\] ビット（メールボックス検索モード選択）](#)

メールボックス検索機能の検索モードを選択します。

MBSM[1:0] ビットが 00b の場合、受信メールボックス検索モードになります。このモードでの検索対象は、通常メールボックスの場合は MCTL_RXj.NEWDATA（j = 0 ～ 31）フラグ、受信 FIFO の場合は RFCR.RFEST フラグです。

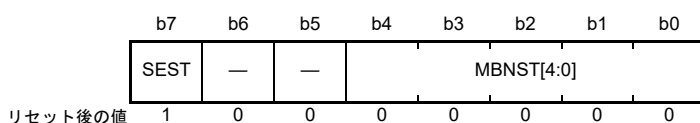
MBSM[1:0] ビットが 01b の場合、送信メールボックス検索モードになります。送信メールボックス検索モードでの検索対象は、MCTL_TXj.SENTDATA（j = 0 ～ 31）です。

MBSM[1:0] ビットが 10b の場合、メッセージロスト検索モードになります。このモードでの検索対象は、通常メールボックスの場合は MCTL_RXj.MSGLOST フラグ、受信 FIFO の場合は RFCR.RFMLF フラグです。

MBSM[1:0] ビットが 11b の場合、チャンネル検索モードになります。このモードでの検索対象は、CSSR レジスタです。[29.2.18 チャンネルサーチサポートレジスタ（CSSR）](#)を参照してください。

29.2.17 メールボックスサーチステータスレジスタ (MSSR)

アドレス CAN0.MSSR 4005 0852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータス	MSSRレジスタの各モードで検索された最小メールボックス番号を出力します。	R
b6-b5	—	予約ビット	読むと0が読めます。	R
b7	SEST	検索結果ステータス	0: 検索結果あり 1: 検索結果なし	R

MBNST[4:0] ビット (検索結果メールボックス番号ステータス)

すべての MSSR モードで検索された最小のメールボックス番号を出力します。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードでは、メールボックスの値 (検索結果出力) が次の条件下で更新されます。

- MBNST[4:0] で出力されたメールボックスについて、それぞれの NEWDATA、SENTDATA、または MSGLOST フラグが 0 の場合
- MBNST[4:0] で出力されたメールボックスよりも小さな番号のメールボックスについて、それぞれの NEWDATA、SENTDATA、または MSGLOST フラグが 1 の場合

MBSM[1:0] ビットが 00b (受信メールボックス検索モード) または 10b (メッセージロスト検索モード) の場合、受信 FIFO (メールボックス 28) が空状態でなく、すべての通常メールボックス (メールボックス 0 ~ 23) に未読の受信メッセージもロストメッセージもないと、受信 FIFO が出力されます。MBSM[1:0] ビットが 01b (送信メールボックス検索モード) の場合、送信 FIFO (メールボックス 24) は出力されません。表 29.6 に FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャンネル検索モードでは、MBNST[4:0] ビットは対応するチャンネル番号を出力します。MSSR レジスタがソフトウェアで読み出されると、次のターゲットチャンネル番号が出力されます。

SEST ビット (検索結果ステータス)

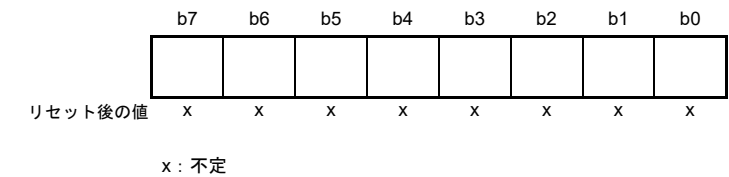
すべてのメールボックスを検索した結果、対応するメールボックスがなかった場合、SEST ビットは 1 (検索結果なし) になります。たとえば、送信メールボックス検索モードにおいて、どのメールボックスの SENTDATA フラグも 1 以外であると、SEST ビットは 1 になります。少なくとも 1 つの SENTDATA フラグが 1 のとき、SEST ビットは 0 になります。SEST ビットが 1 の場合、MBNST[4:0] ビットの値は不定です。

表 29.6 FIFO メールボックスモードでの MBNST[4:0] ビットの動作

MBSM[1:0] ビット	メールボックス 24 (送信 FIFO)	メールボックス 28 (受信 FIFO)
00b	メールボックス 24 は出力されない	通常メールボックスのどの MCTL_RXj.NEWDATA フラグも 1 (新しいメッセージがメールボックスに格納中または格納済み) ではなく、かつ受信 FIFO が空状態でない場合、メールボックス 28 が出力される
01b		メールボックス 28 は出力されない
10b		通常メールボックスのどの MCTL_RXj.MSGLOST フラグも 1 (メッセージのオーバーライトまたはオーバーランあり) ではなく、かつ受信 FIFO の RFCR.RFMLF フラグが 1 (受信 FIFO メッセージロスト発生) になった場合、メールボックス 28 が出力される
11b		メールボックス 28 は出力されない

29.2.18 チャンルサーチサポートレジスタ（CSSR）

アドレス CAN0.CSSR 4005 0851h



ビット	機能	R/W
b7-b0	チャンネル検索の値が入力された場合、チャンネル番号をMSSRレジスタに出力	R/W

CSSRレジスタで1になったビットは、8/3エンコーダ（最小ビット位置がより高い優先順位）によってエンコードされ、MSSR.MBNST[4:0]ビットに出力されます。MSSRレジスタは、MSSRレジスタをソフトウェアで読み出すたびに更新された値を出力します。

CSSRレジスタは、MSMR.MBSM[1:0]ビットが11b（チャンネル検索モード）の場合に限り書き込みを行ってください。CSSRレジスタは、CANオペレーションモードまたはCANhaltモード時に書き込みを行ってください。

図 29.4 に、CSSR および MSSR レジスタに対する書き込みと読み出しについて示します。

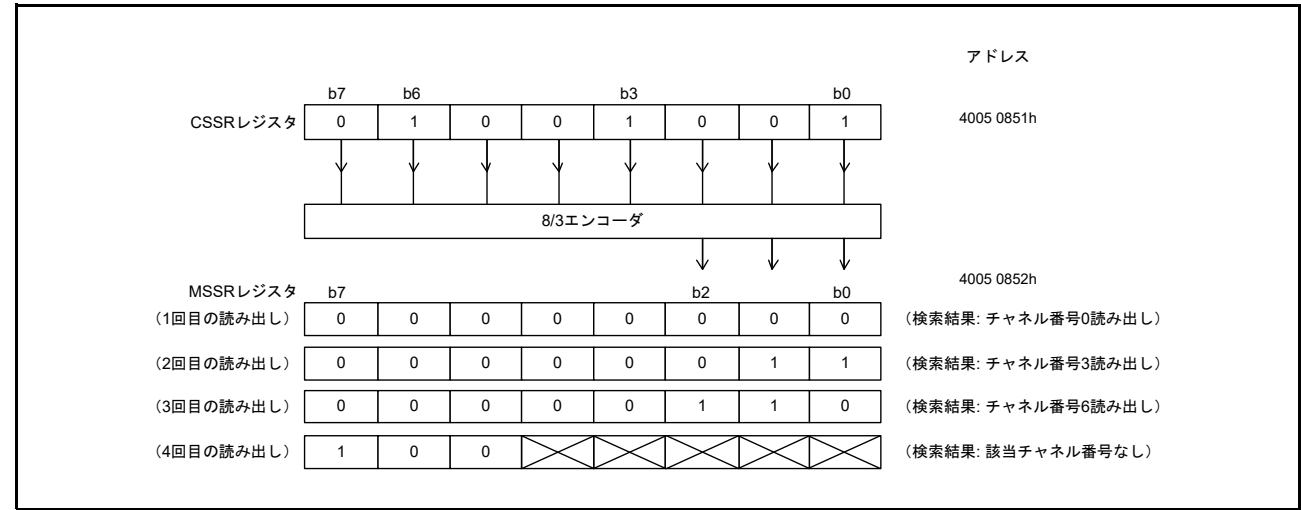
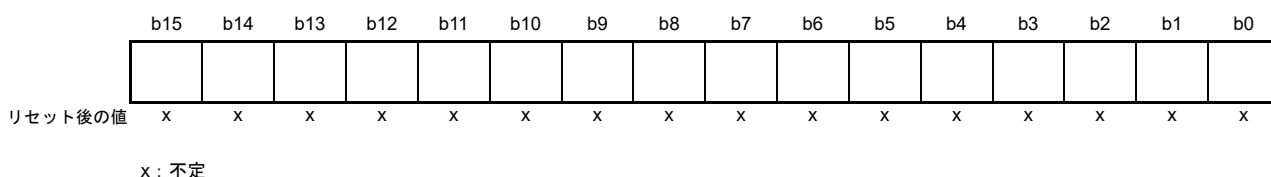


図 29.4 CSSR および MSSR レジスタに対する書き込みと読み出し

CSSR レジスタの値も、MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

29.2.19 アクセプタンスフィルタサポートレジスタ (AFSR)

アドレス CAN0.AFSR 4005 0856h



ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値が読める	R/W

注. AFSR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

アクセプタンスフィルタサポートユニット (ASU) が、データテーブル (8 ビット × 256) の検索に使用可能です。このデータテーブルには、作成したすべての標準 ID の有効/無効が 1 ビット単位で設定されます。受信した標準 ID が格納された MBj_ID.SID[10:0] ビット (j = 0 ~ 31) を含む 16 ビット単位のデータを AFSR に書き込むと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と、列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID にのみ使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合
たとえば、受信する ID が 078h、087h、111h の場合
- 受信する ID が多すぎるため、ソフトウェアによるフィルタリング処理時間を短縮したい場合

注. AFSR レジスタは、CAN リセットモードでは設定できません。

図 29.5 に、AFSR レジスタに対する書き込みと読み出しについて示します。

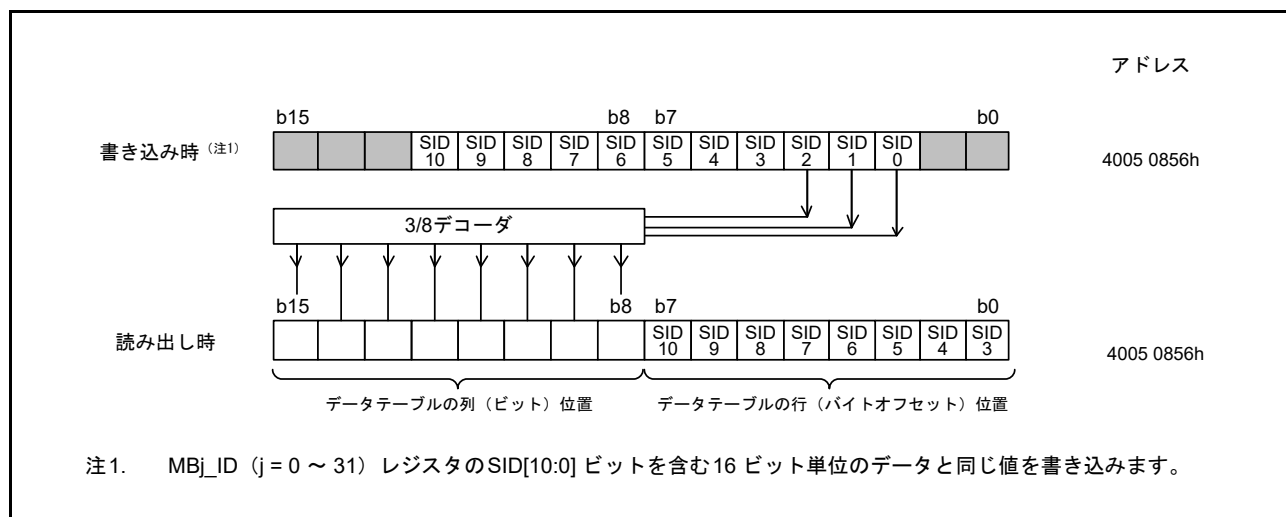


図 29.5 AFSR レジスタに対する書き込みと読み出し

29.2.20 エラー割り込みイネーブルレジスタ (EIER)

アドレス CAN0.EIER 4005 084Ch

b7	b6	b5	b4	b3	b2	b1	b0
BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W
b2	EPIE	エラーパッシブ割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W
b5	ORIE	オーバーラン割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W
b7	BLIE	バスロック割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W

EIER レジスタは、エラー割り込みの許可／禁止を EIFR レジスタのエラー割り込み要因ごとに個別に設定します。EIER レジスタへの書き込みは、CAN リセットモード時に行ってください。

BEIE ビット (バスエラー割り込み許可)

BEIE ビットが 0 の場合、EIFR.BEIF フラグが 1 であっても、エラー割り込み要求は発生しません。BEIE ビットが 1 の場合、EIFR.BEIF フラグが 1 になると、エラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み許可)

EWIE ビットが 0 の場合、EIFR.EWIF フラグが 1 であっても、エラー割り込み要求は発生しません。EWIE ビットが 1 の場合、EIFR.EWIF フラグが 1 になると、エラー割り込み要求が発生します。

EPIE ビット (エラーパッシブ割り込み許可)

EPIE ビットが 0 の場合、EIFR.EPIF フラグが 1 であっても、エラー割り込み要求は発生しません。EPIE ビットが 1 の場合、EIFR.EPIF フラグが 1 になると、エラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可)

BOEIE ビットが 0 の場合、EIFR.BOEIF フラグが 1 であっても、エラー割り込み要求は発生しません。BOEIE ビットが 1 の場合、EIFR.BOEIF フラグが 1 になると、エラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可)

BORIE ビットが 0 の場合、EIFR.BORIF フラグが 1 であっても、エラー割り込み要求は発生しません。BORIE ビットが 1 の場合、EIFR.BORIF フラグが 1 になると、エラー割り込み要求が発生します。

ORIE ビット (オーバーラン割り込み許可)

ORIE ビットが 0 の場合、EIFR.ORIF フラグが 1 であっても、エラー割り込み要求は発生しません。ORIE ビットが 1 の場合、EIFR.ORIF フラグが 1 になると、エラー割り込み要求が発生します。

OLIE ビット (オーバーロードフレーム送信割り込み許可)

OLIE ビットが 0 の場合、EIFR.OLIF フラグが 1 であっても、エラー割り込み要求は発生しません。OLIE ビットが 1 の場合、EIFR.OLIF フラグが 1 になると、エラー割り込み要求が発生します。

BLIE ビット (バスロック割り込み許可)

BLIE ビットが 0 の場合、EIFR.BLIF フラグが 1 であっても、エラー割り込み要求は発生しません。BLIE ビットが 1 の場合、EIFR.BLIF フラグが 1 になると、エラー割り込み要求が発生します。

29.2.21 エラー割り込み要因判定レジスタ (EIFR)

アドレス CAN0.EIFR 4005 084Dh

b7	b6	b5	b4	b3	b2	b1	b0
BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0 : バスエラー未検出 1 : バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0 : エラーワーニング未検出 1 : エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0 : エラーパッシブ未検出 1 : エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0 : バスオフ開始未検出 1 : バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0 : バスオフ復帰未検出 1 : バスオフ復帰検出	R/W
b5	ORIF	受信オーバーラン検出フラグ	0 : 受信オーバーラン未検出 1 : 受信オーバーラン検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0 : オーバーロードフレーム送信未検出 1 : オーバーロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0 : バスロック未検出 1 : バスロック検出	R/W

これらのビットの1つに対応したイベントが発生すると、EIER レジスタの設定にかかわらず EIFR レジスタの対応するビットが1になります。

これらのビットは、ソフトウェア書き込みで0にしてください。ソフトウェアによるクリアと同時にビットが1になると、そのビットは1になります。個々のビットをソフトウェアで0にする場合、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。1を書いても、これらのビットの値は影響されません。

BEIF フラグ (バスエラー検出フラグ)

バスエラーが検出されると、BEIF フラグは1になります。

EWIF フラグ (エラーワーニング検出フラグ)

受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) の値が95を超えると、EWIF フラグは1になります。REC または TEC が最初に95を超えたときのみ1になります。REC または TEC が95を超えたまま、EWIF フラグにソフトウェアで0を書くと、REC または TEC が95未満になった後、再び95を超えるまで、EWIF フラグは1になりません。

EPIF フラグ (エラーパッシブ検出フラグ)

CAN エラーの状態がエラーパッシブになったとき、受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) が127を超えると、EPIF フラグは1になります。EPIF フラグは、REC または TEC が最初に127を超えたときのみ1になります。REC または TEC が127を超えたまま、EPIF フラグにソフトウェアで0を書くと、REC または TEC が127未満になった後、再び127を超えるまで、EPIF フラグは1になりません。

BOEIF フラグ (バスオフ開始検出フラグ)

CAN エラーの状態がバスオフになったとき、送信エラーカウンタ (TEC) の値が255を超えると、BOEIF フラグは1になります。また、CTRL.BOM[1:0] ビットが01b (バスオフ開始で自動的に CAN halt モードへ遷移) のとき、CAN モジュールがバスオフ状態になった場合も、BOEIF ビットは1になります。

BORIF フラグ（バスオフ復帰検出フラグ）

CAN モジュールが、下記の条件下で、バスオフ状態から通常復帰（11 の連続するビットを 128 回検出）した場合、BORIF フラグは 1 になります。

- CTLR.BOM[1:0] ビットが 00b の場合
- CTLR.BOM[1:0] ビットが 10b の場合
- CTLR.BOM[1:0] ビットが 11b の場合

ただし、CAN モジュールが、下記の条件下で、バスオフ状態から復帰した場合、BORIF フラグは 1 になりません。

- CTLR.CANM[1:0] ビットを 01b または 11b（CAN リセットモード）にした場合
- CTLR.RBOC ビットを 1（バスオフからの強制復帰）にした場合
- CTLR.BOM[1:0] ビットを 01b にした場合
- CTLR.BOM[1:0] ビットを 11b にして、通常復帰が発生する前に、CTLR.CANM[1:0] ビットを 10b（CAN halt モード）にした場合

表 29.7 に、CTLR.BOM[1:0] ビットの設定値ごとの BOEIF および BORIF ビットの動作を示します。

表 29.7 CTLR.BOM[1:0]の設定値ごとのBOEIF、BORIFフラグの動作

BOM[1:0]ビット	BOEIF フラグ	BORIF フラグ
00b	バスオフ状態への遷移時に1になる	バスオフ状態からの復帰時に1になる
01b		1にはならない
10b		バスオフ状態からの復帰時に1になる
11b		CANM[1:0] ビットが 10b（CAN halt モード）になる前に、通常のバスオフ復帰が発生した場合に1になる

ORIF フラグ（受信オーバーラン検出フラグ）

受信オーバーランが発生すると 1 になります。オーバーライトモードでは 1 になりません。オーバーライトモードでは、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、ORIF ビットは 1 にはなりません。

通常メールボックスモードのオーバーランモードでは、メールボックス 0 ～ 31 のいずれかでオーバーランが発生すると、ORIF フラグが 1 になります。FIFO メールボックスモードのオーバーランモードでは、メールボックス 0 ～ 23 のいずれかでオーバーランが発生するか FIFO を受信すると、ORIF フラグが 1 になります。

OLIF フラグ（オーバーロードフレーム送信検出フラグ）

CAN モジュールが送信または受信動作中であるとき、オーバーロードフレームの送信条件が検出されると、OLIF フラグは 1 になります。

BLIF フラグ（バスロック検出フラグ）

CAN モジュールが CAN オペレーションモードのとき、CAN バス上に 32 の連続するドミナントビットが検出されると、BLIF フラグは 1 になります。

BLIF フラグが 1 になった後、次のいずれかの条件下では、32 の連続するドミナントビットが再検出されます。

- 本フラグが 1 から 0 に変化した後、レセシブビットが検出された場合
- 本フラグが 1 から 0 に変化した後、CAN モジュールが CAN リセットモードまたは CAN halt モードになり、その後、再び CAN オペレーションモードになった場合

29.2.22 受信エラーカウントレジスタ (RECR)

アドレス CAN0.RECR 4005 084Eh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7-b0	受信エラーカウン機能 受信中のCANモジュールのエラー状態に基づいて、RECRはカウンタ値をインクリメントまたはデクリメント	R

RECR レジスタは、受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様 (ISO11898-1) を参照してください。バスオフ状態では、RECR レジスタの値は不定です。

29.2.23 送信エラーカウントレジスタ (TECR)

アドレス CAN0.TECR 4005 084Fh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7-b0	送信エラーカウン機能 送信中のCANモジュールのエラー状態に基づいて、TECRはカウンタ値をインクリメントまたはデクリメント	R

TECR レジスタは、送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様 (ISO11898-1) を参照してください。バスオフ状態では、TECR レジスタの値は不定です。

29.2.24 エラーコード格納レジスタ (ECSR)

アドレス CAN0.ECSR 4005 0850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ (注1) (注2)	0 : スタッフエラー未検出 1 : スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ (注1) (注2)	0 : フォームエラー未検出 1 : フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ (注1) (注2)	0 : ACKエラー未検出 1 : ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ (注1) (注2)	0 : CRCエラー未検出 1 : CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ (注1) (注2)	0 : ビットエラー (レセシブ) 未検出 1 : ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ (注1) (注2)	0 : ビットエラー (ドミナント) 未検出 1 : ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ (注1) (注2)	0 : ACKデリミタエラー未検出 1 : ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択 (注3) (注4)	0 : 最初に検出されたエラーコードを出力 1 : 蓄積したエラーコードを出力	R/W

- 注 1. 1 を書いても、これらのビットの値は影響されません。
- 注 2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEF ビットに 0 を書く場合は、転送 (MOV) 命令を使用して、必ず指定されたビットのみを 0 にし、その他のビットは 1 にしてください。
- 注 3. EDPM ビットは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。
- 注 4. 同時に 2 つ以上のエラー条件が検出された場合は、関係するすべてのビットが 1 になります。

ECSR レジスタは、CAN バス上のエラー発生の有無を示します。各エラーの発生条件については、CAN 仕様 (ISO11898-1) を参照してください。

ソフトウェアで ECPM 以外のビットを 0 にします。ECSR ビットに対して、ソフトウェアが 0 を書き込むと同時に CAN モジュールが 1 を設定すると、当該ビットは 1 になります。

SEF フラグ (スタッフエラーフラグ)

スタッフエラーが検出されると、SEF フラグは 1 になります。

FEF フラグ (フォームエラーフラグ)

フォームエラーが検出されると、FEF フラグは 1 になります。

AEF フラグ (ACK エラーフラグ)

ACK エラーが検出されると、AEF フラグは 1 になります。

CEF フラグ (CRC エラーフラグ)

CRC エラーが検出されると、CEF フラグは 1 になります。

BE1F フラグ (ビットエラー (レセシブ) フラグ)

レセシブビットエラーが検出されると、BE1F フラグは 1 になります。

BE0F フラグ (ビットエラー (ドミナント) フラグ)

ドミナントビットエラーが検出されると、BE0F フラグは 1 になります。

ADEF フラグ（ACK デリミタエラーフラグ）

送信中に ACK デリミタでフォームエラーが検出されると、ADEF フラグは 1 になります。

EDPM ビット（エラー表示モード選択）

ECSR レジスタの出力モードを選択します。EDPM ビットを 0 にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを 1 にすると、ECSR レジスタは蓄積したエラーコードを出力します。

29.2.25 タイムスタンプレジスタ（TSR）

アドレス CAN0.TSR 4005 0854h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

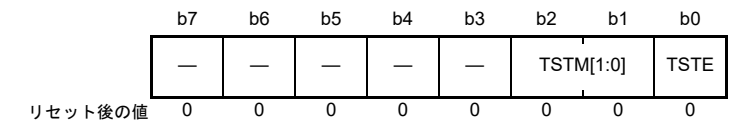
ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値	R

注． TSR レジスタの読み出しは 16 ビット単位で実行してください。

TSR レジスタを読むと、16 ビットフリーランタイムスタンプカウンタの現在値が読み出せます。タイムスタンプカウンタの基準クロックは、CTLR.TSPS[1:0] ビットで設定します。このカウンタは、CAN スリープモードおよび CAN halt モードで停止し、CAN リセットモードで初期化されます。受信メッセージが受信メールボックスに格納されるとき、タイムスタンプカウンタの値は、MBj_TS レジスタの TSL[7:0] ビットと TSH[7:0] ビットに格納されます。

29.2.26 テストコントロールレジスタ（TCR）

アドレス CAN0.TCR 4005 0858h



ビット	シンボル	ビット名	機能	R/W
b0	TSTE	CANテストモード許可	0：CANテストモード禁止 1：CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択	b2 b1 0 0：CANテストモードではない 0 1：リッスンオンリモード 1 0：セルフテストモード0（外部ループバック） 1 1：セルフテストモード1（内部ループバック）	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TCR レジスタは、CAN テストモードを制御します。TCR レジスタは、CAN halt モードでのみ書き込みを行ってください。

(1) リッスンオンリモード

CAN 仕様（ISO11898-1）では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームとリモートフレームを受信できます。ただし、CAN バスにはレセシブビットのみが送信可能であり、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信できません。リッスンオンリモードは、ボーレート検出に使用できます。リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 29.6 にリッスンオンリモード選択時の接続を示します。

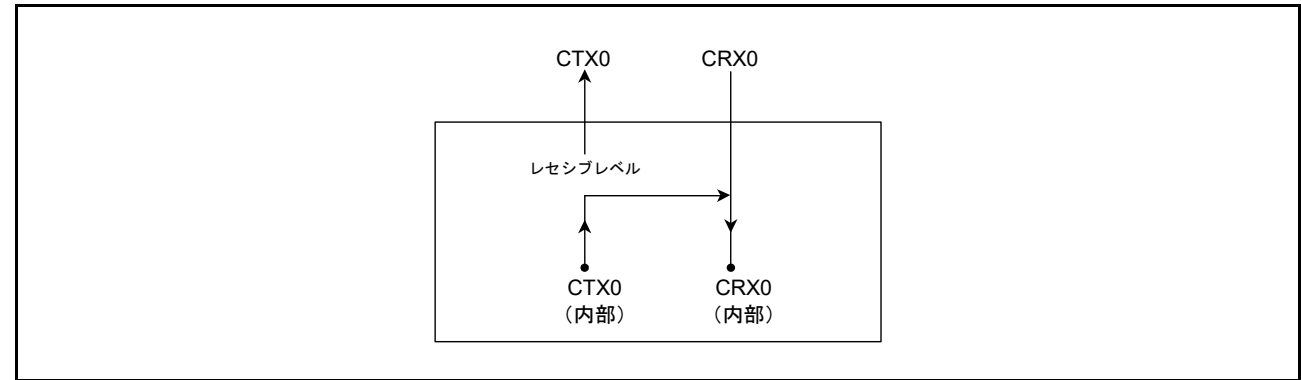


図 29.6 リッスンオンリモード選択時の接続

(2) セルフテストモード 0（外部ループバック）

セルフテストモード 0 は、CAN トランシーバテスト用です。このモードでは、プロトコルモジュールは、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルモジュールは ACK ビットを生成します。CTX0 および CRX0 端子はトランシーバに接続してください。

図 29.7 にセルフテストモード 0 選択時の接続を示します。

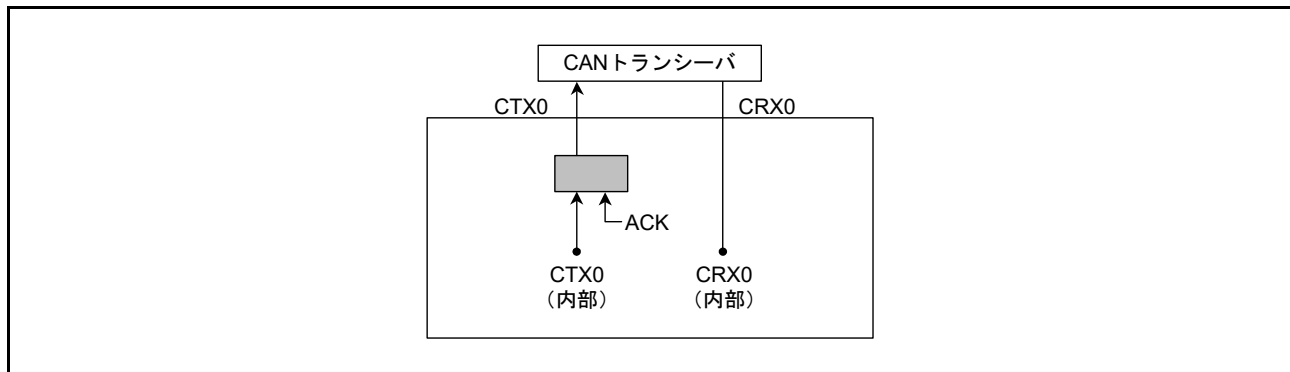


図 29.7 セルフテストモード 0 選択時の接続

(3) セルフテストモード 1（内部ループバック）

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、プロトコルコントローラは送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルコントローラは ACK ビットを生成します。

セルフテストモード 1 では、プロトコルコントローラは内部 CTX0 端子から内部 CRX0 端子への内部ループバックを行います。外部 CRX0 端子の入力値は無視されます。外部 CTX0 端子はレセプビットのみ出力します。CTX0/CRX0 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 29.8 にセルフテストモード 1 選択時の接続を示します。

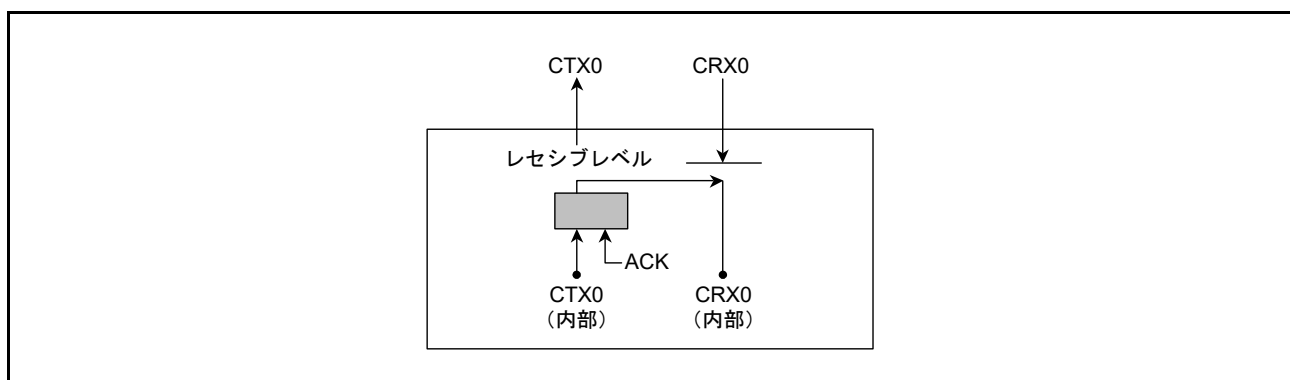


図 29.8 セルフテストモード 1 選択時の接続

29.3 動作モード

CAN モジュールには、以下の動作モードがあります。

- CAN リセットモード
- CAN halt モード
- CAN オペレーションモード
- CAN スリープモード

図 29.9 に、動作モード間の遷移を示します。

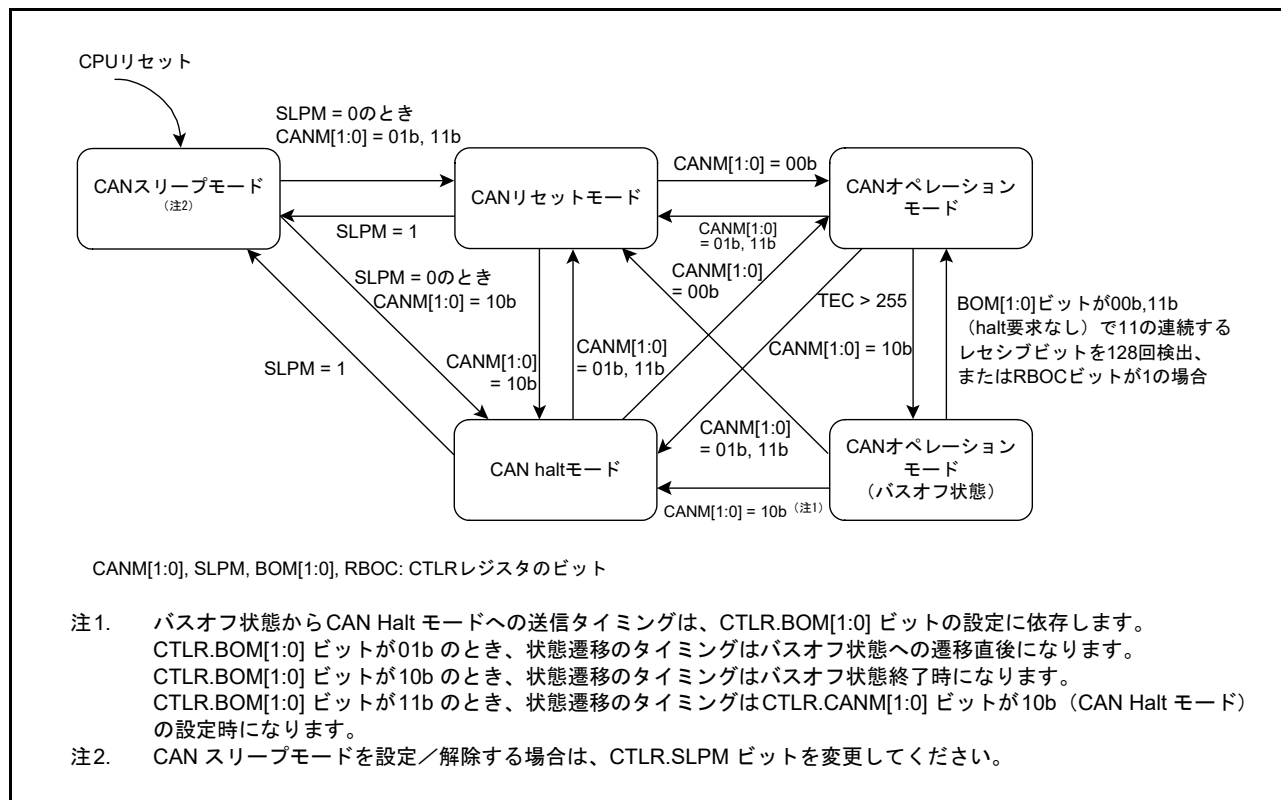


図 29.9 各動作モード間の遷移

29.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するためのモードです。CTRL.CANM[1:0] ビットを 01b または 11b にすると、CAN モジュールは CAN リセットモードになります。そのとき、STR.RSTST フラグが 1 になります。RSTST フラグが 1 になるまで、CTRL.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ遷移する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードへ遷移すると、それぞれのリセット後の値に初期化され、CAN リセットモード中はその初期値を保持します。

- MCTL_TXj および MCTL_RXj
- STR (SLPST ビットと TFST ビットを除く)
- EIFR
- RECR
- TECR
- TSR
- MSSR
- MSMR
- RFCR
- TFCR
- TCR
- ECSR (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードへ遷移後も以前の値を保持します。

- CTRL
- STR (SLPST ビットと TFST ビットのみ)
- MIER および MIER_FIFO
- EIER
- BCR
- CSSR
- ECSR (EDPM ビットのみ)
- MBj_ID、MBj_DL、MBj_Dm、MBj_TS
- MKRk
- FIDCR0 および FIDCR1
- MKIVLR
- AFSR
- RFPCR
- TFPCR

29.3.2 CAN halt モード

CAN halt モードは、メールボックスの設定とテストモードの設定のためのモードです。CTRL.CANM[1:0] ビットを 10b にすると、CAN halt モードになります。そのとき、STR.HLTST ビットが 1 になります。HLTST ビットが 1 になるまで、CTRL.CANM[1:0] ビットを変更しないでください。送信または受信時の状態遷移条件については、表 29.8 を参照してください。

CAN が CAN halt モードへ遷移しても、STR レジスタの RSTST、HLTST、および SLPST フラグ以外、すべてのレジスタは変化しません。CAN halt モードでは、CTRL レジスタ (CANM[1:0] ビットと SLPM ビット以外) と、EIER レジスタを変更しないでください。CAN halt モードでは、自動ボーレート検出のためにリスンオンリモードを選択している場合のみ、BCR レジスタを変更できます。

表 29.8 CAN リセットモードと CAN halt モードでの動作

動作モード	受信	送信	バスオフ
CAN リセットモード (強制遷移) CA79	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN リセットモード CANM[1:0] = 01b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待って CAN リセットモードへ遷移 (注1) (注4)	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN halt モード	CAN モジュールはメッセージ受信の終了を待って CAN halt モードへ遷移 (注2) (注3)	CAN モジュールはメッセージ送信の終了を待って CAN halt モードへ遷移 (注1) (注4)	• BOM[1:0] ビットが 00b のとき： バスオフ復帰後のみ、ソフトウェアからの Halt 要求を受け付ける • BOM[1:0] ビットが 01b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待たずに自動的に CAN halt モードへ遷移 • BOM[1:0] ビットが 10b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待って自動的に CAN halt モードへ遷移 • BOM[1:0] ビットが 11b のとき： CAN モジュールは、バスオフ中にソフトウェアによる Halt 要求があると、バスオフ復帰の終了を待たずに CAN halt モードへ遷移

- 注 1. 複数メッセージの送信要求があると、最初の送信完了後にモード遷移が発生します。送信のサスペンド中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールがレシーバになったときに、モード遷移が発生します。
- 注 2. CAN バスがドミナントレベルでロックされた場合、EIFR レジスタの BLIF ビットをモニタすることで、プログラムはバスロック状態を検出できます。
- 注 3. CAN halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN モジュールは CAN halt モードへ遷移します。
- 注 4. CAN リセットモードまたは CAN halt モードが要求された後、送信中に CAN バスエラーまたはアービトレーションロストが発生すると、CAN モジュールは要求された CAN モードへ遷移します。

29.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することで、消費電力を削減します。MCU の端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTLR.SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移します。そのとき、STR.SLPST ビットが 1 になります。SLPST ビットが 1 になるまで、SLPM ビットの値を変更しないでください。CAN モジュールが CAN スリープモードへ遷移しても、他のレジスタが変化することはありません。

SLPM フラグは、CAN リセットモードおよび CAN halt モード時に書き込みを行ってください。CAN スリープモード時には、どのレジスタも変更しないでください (SLPM ビットは除く)。ただし、読み出し動作は許可されます。

SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。CAN モジュールが CAN スリープモードから復帰しても、他のレジスタが変化することはありません。

29.3.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードは、CAN 通信を行うためのモードです。CTLR.CANM[1:0] ビットを 00b にすると、CAN モジュールは CAN オペレーションモードになります。そのとき、STR.RSTST フラグと STR.HLTST フラグが 0 になります。RSTST フラグと HLTST フラグが 0 になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードへ遷移後、11 の連続するレセシブビットが検出されると、以下の状態になります。

- CAN モジュールは、ネットワーク上でアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタや送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN オペレーションモード時、CAN モジュールは、CAN バスの状態に応じて、次の 3 種類のサブモードの 1 つになることがあります。

- アイドルモード：送受信が発生していない
- 受信モード：他のノードが送信した CAN メッセージを受信中
- 送信モード：CAN メッセージを送信中。セルフテストモード 0 (TCR.TSTM[1:0] = 10b) またはセルフテストモード 1 (TCR.TSTM[1:0] = 11b) を選択した場合、CAN モジュールは同時に自ノードが送信したメッセージを受信する

図 29.10 に CAN オペレーションモードのサブモードを示します。

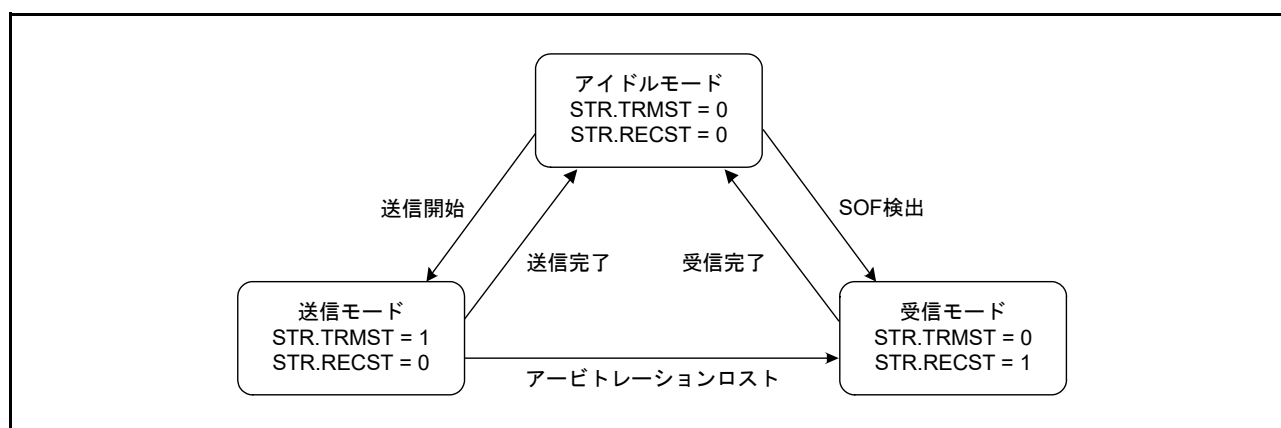


図 29.10 CAN オペレーションモードのサブモード

29.3.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様に定められている通り、送信および受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態へ遷移します。

CAN モジュールがバスオフ状態から復帰するとき、下記のケースがあります。CAN モジュールがバスオフ状態のとき、STR、EIFR、RECR、TECR および TSR を除く CAN 関連レジスタの値は変化しません。

(1) CTLR.BOM[1:0] = 00b (通常モード) の場合

CAN モジュールは、バスオフ状態からの復帰を完了すると、エラーアクティブ状態となり、CAN 通信が可能になります。EIFR.BORIF フラグは 1 (バスオフ復帰検出) になります。

(2) CTLR.RBOC = 1 (バスオフ強制復帰) の場合

CAN モジュールは、バスオフ状態時に RBOC ビットが 1 であると、エラーアクティブ状態になります。11 の連続するレセプビットを検出した後、再び CAN 通信が可能になります。BORIF フラグは 1 になりません。

(3) CTLR.BOM[1:0] = 01b (バスオフ開始で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフ状態に達したとき、CAN halt モードになります。BORIF フラグは 1 になりません。

(4) CTLR.BOM[1:0] = 10b (バスオフ終了で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフからの復帰を完了すると、CAN halt モードになります。BORIF フラグは 1 になります。

(5) バスオフ状態時に CTLR.BOM[1:0] = 11b (ソフトウェアにより自動的に CAN halt モードへ遷移) および CTLR.CANM[1:0] = 10b (CAN halt モード) の場合

CAN モジュールは、バスオフ状態時に CANM[1:0] ビットが 10b (CAN halt モード) になっていると、CAN halt モードになります。BORIF フラグは 1 になりません。

バスオフ時に CANM[1:0] ビットが 10b にされていないと、(1) と同じ動作になります。

29.4 データ転送レートの設定

以下では、データ転送レートの設定法について説明します。

29.4.1 クロックの設定

CAN モジュールは CAN クロック発生回路を内蔵しています。CAN クロックは、BCR レジスタの CCLKS ビットと BRP[9:0] ビットで設定できます。

図 29.11 に CAN クロック発生回路のブロック図を示します。

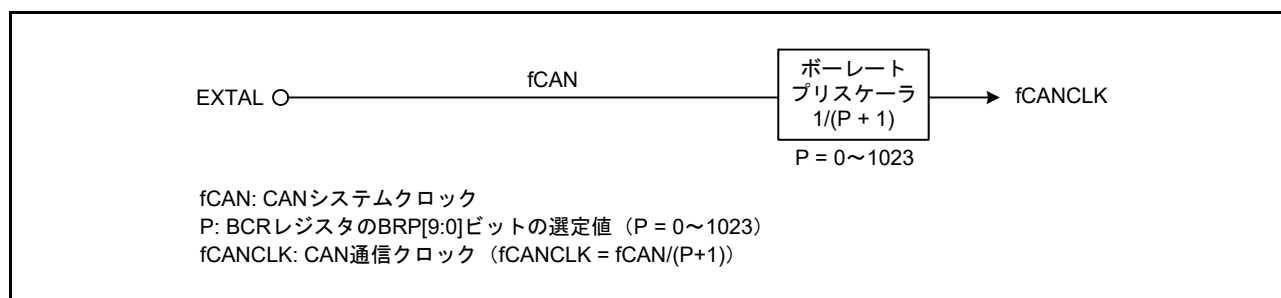


図 29.11 CAN クロック発生回路のブロック図

29.4.2 ビットタイムの設定

ビットタイミングは、図 29.12 に示す 3 つのセグメントで構成されます。

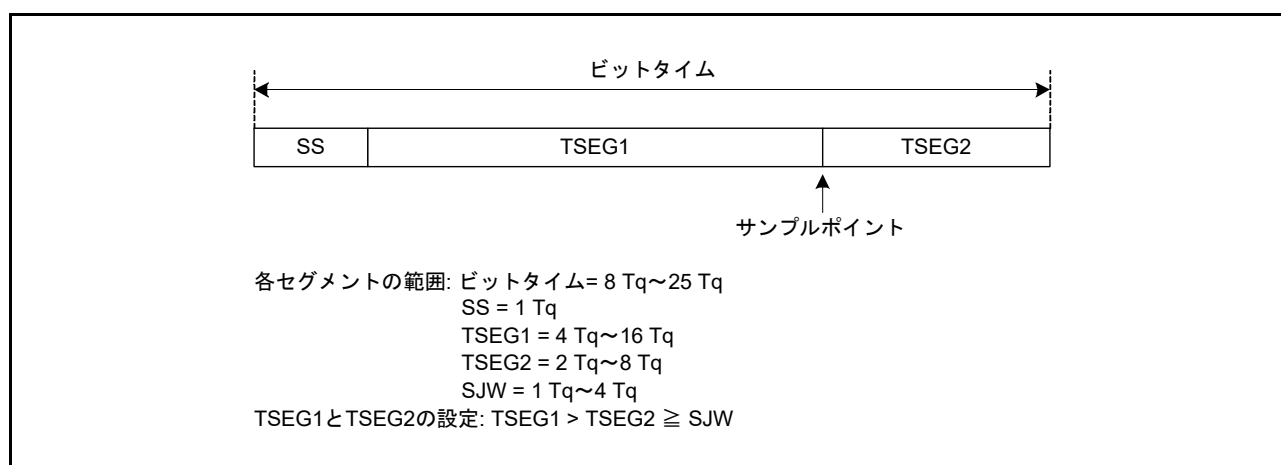


図 29.12 ビットタイミング

29.4.3 データ転送レート

データ転送レートは、fCAN（CAN システムクロック）の分周値、ボーレートプリスケアラ分周値、および1ビットタイムのTq数に依存します。

$$\text{データ転送レート} \left[\frac{\text{bps}}{\text{[bps]}} \right] = \frac{\text{fCAN}}{\text{ボーレートプリスケアラ分周値 (注1) } \times \text{1ビットタイムのTq数}} = \frac{\text{fCANCLK}}{\text{1ビットタイムのTq数}}$$

注 1. ボーレートプリスケアラ分周値 = P + 1（P = 0 ~ 1023）、ここで P は、BCR.BRP[9:0] ビットの設定値

表 29.9 に、データ転送レートの例を示します。

表 29.9 fCAN = 20MHz の場合のデータ転送レート例

データ転送レート	Tq数	P+1
1Mbps	5Tq 10Tq	4 2
500kbps	5Tq 10Tq	8 4
250kbps	5Tq 10Tq	16 8
125kbps	5Tq 10Tq	32 16
83.3kbps	5Tq 10Tq	48 24
33.3kbps	5Tq 8Tq 10Tq	120 75 60

29.5 メールボックスとマスクレジスタの構成

図 29.13 に、32 本のメールボックスレジスタ（MBj_ID、MBj_DL、MBj_Dm、MBj_TS）の構成を示します。

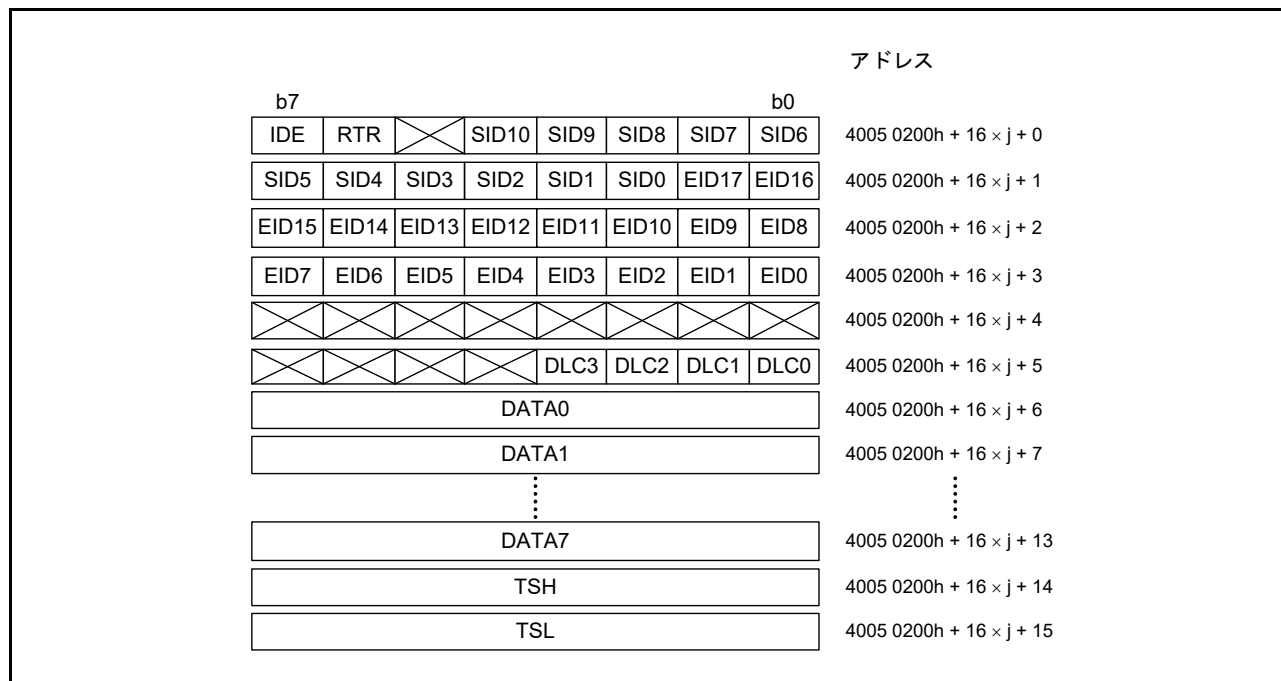


図 29.13 メールボックスレジスタの構成（j = 0 ～ 31）

図 29.14 に、8 本のマスクレジスタ（MKRk）の構成を示します。

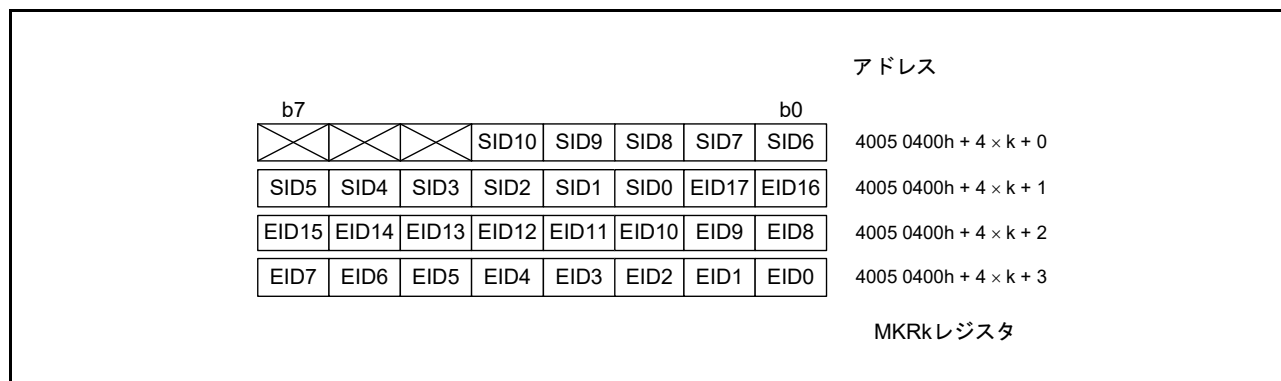


図 29.14 MKRk レジスタの構成（k = 0 ～ 7）

図 29.15 に、2 本の FIFO 受信 ID 比較レジスタ (FIDCR0 および FIDCR1) の構成を示します。

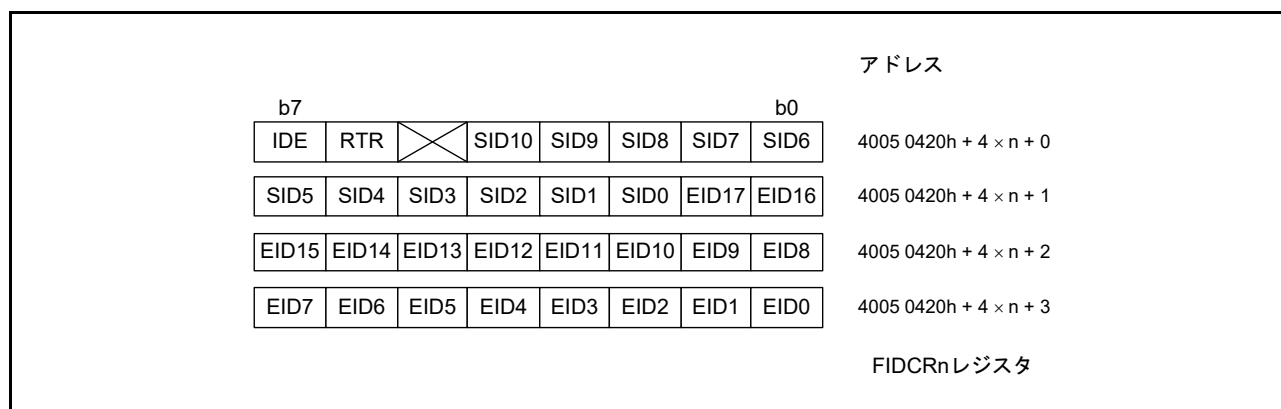


図 29.15 FIDCRn レジスタの構成 (n = 0、1)

29.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能により、指定範囲内にあるメールボックスに対して、複数 ID でメッセージの選択および受信が可能になります。

MKRk レジスタは、以下のとおり 29 ビットの標準 ID と拡張 ID をマスクできます。

- MKR0 は、メールボックス 0 ～ 3 を制御
- MKR1 は、メールボックス 4 ～ 7 を制御
- MKR2 は、メールボックス 8 ～ 11 を制御
- MKR3 は、メールボックス 12 ～ 15 を制御
- MKR4 は、メールボックス 16 ～ 19 を制御
- MKR5 は、メールボックス 20 ～ 23 を制御
- MKR6 は、通常メールボックスモードの場合はメールボックス 24 ～ 27、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ～ 31 を制御
- MKR7 は、通常メールボックスモードの場合はメールボックス 28 ～ 31、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ～ 31 を制御

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) のとき、MBj_ID.IDE ビットが有効です。

MBj_ID.RTR ビットは、データフレームまたはリモートフレームを選択します。

FIFO メールボックスモードの場合、通常メールボックス 0 ～ 23 は、アクセプタンスフィルタ処理に関連レジスタ (MKR0 ～ MKR5) を使用します。受信 FIFO メールボックス (28 ～ 31) は、アクセプタンスフィルタ処理に 2 つのレジスタ (MKR6 および MKR7) を使用します。

受信 FIFO はまた、FIDCR0 および FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28 ～ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO は 2 つの範囲の ID を受信することが可能です。MKIVLR レジスタは、受信 FIFO に対しては無効です。

異なる標準 ID と拡張 ID の値が FIDCR0 および FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。異なるデータフレームとリモートフレームの値が FIDCR0 および FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 29.16 は、マスクレジスタとメールボックスの対応関係を示しています。図 29.17 は、アクセプタンスフィルタ機能を示しています。

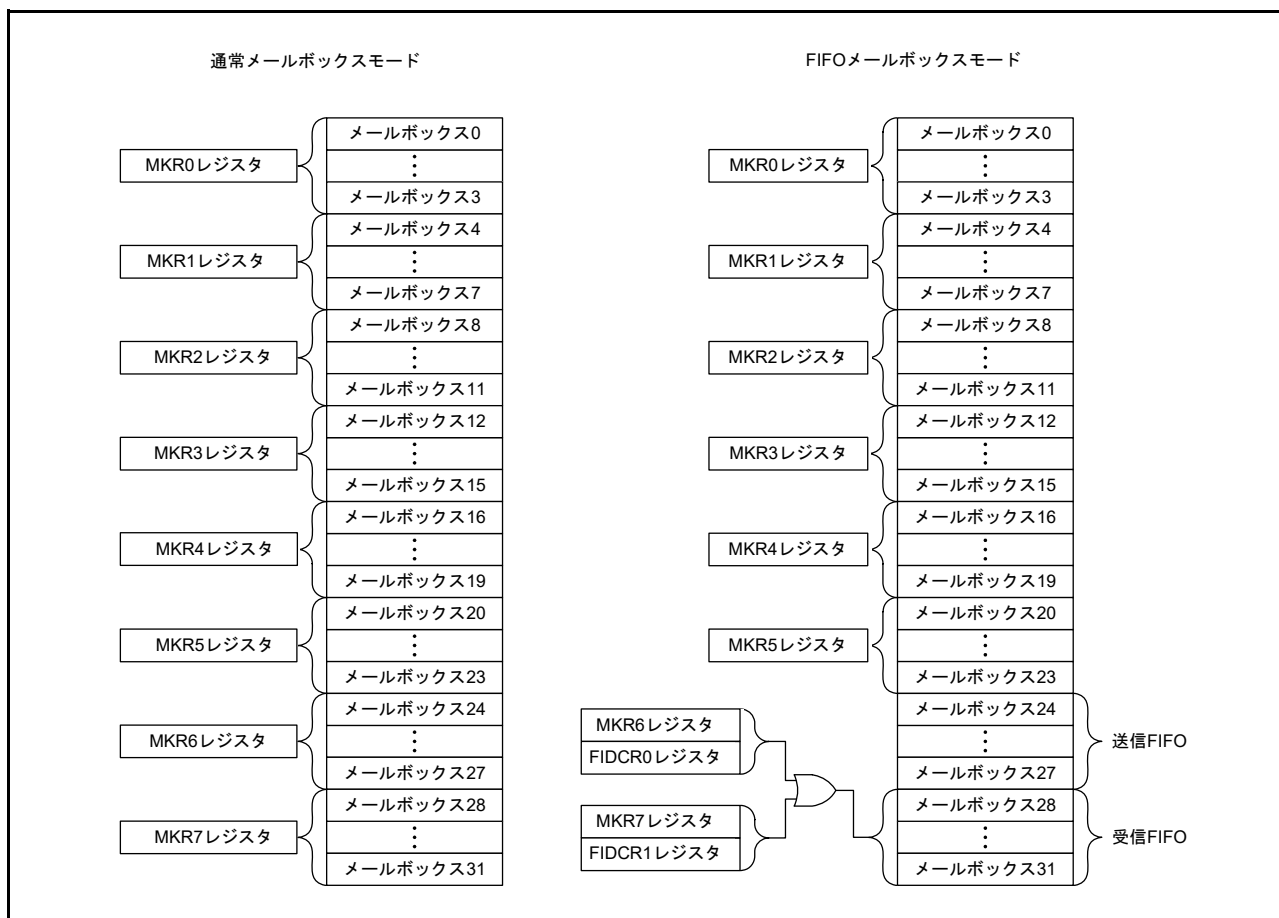


図 29.16 マスクレジスタとメールボックスの対応関係

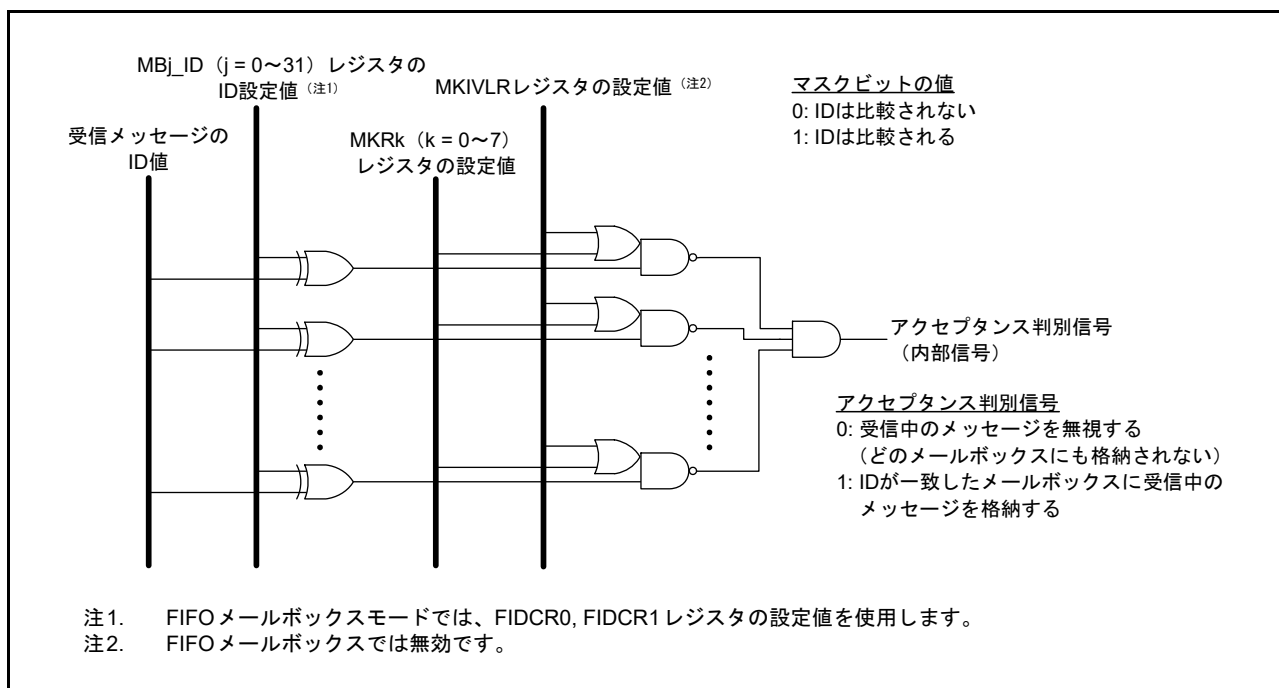


図 29.17 アクセプタンスフィルタ機能

29.7 受信／送信

表 29.10 に、CAN 通信モードの設定方法を示します。

表 29.10 CAN 受信モードと送信モードの設定

MCTL_TXj と MCTL_RXj. TRMREQ	MCTL_TXj と MCTL_RXj. RECREQ	MCTL_TXj と MCTL_RXj. ONESHOT	メールボックス通信モード
0	0	0	メールボックス使用不可、または送信アボート
0	0	1	ワンショットモードでプログラムされたメールボックスからの送受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレーム用の受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレーム用のワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレーム用の送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メールボックスとして設定
1	1	0	設定禁止
1	1	1	設定禁止

j = 0 ~ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

- メールボックスを設定する前に、MCTL_RXj レジスタを 00h にします
- 受信メッセージは、受信モード設定とアクセプタンスフィルタ機能に基づく条件に一致する最初のメールボックスに格納されます。このとき、最も番号の小さいメールボックスを優先して受信メッセージが格納されます
- CAN オペレーションモードでは、ID が一致していても、CAN モジュールは自ら送信したデータを受信しません。ただし、セルフテストモードでは、CAN モジュールは自ら送信したデータを受信し、ACK を返します

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

- メールボックスを設定する前に、MCTL_TXj レジスタが 00h であることと、アボート処理が待機中でないことを確認してください

29.7.1 受信

図 29.18 に、データフレーム受信時の動作例（オーバーライトモードの場合）を示します。

この例は、MCTL_RXj レジスタ ($j = 0 \sim 31$) の受信条件に一致する 2 つの連続した CAN メッセージを受信したときに、CAN モジュールが最初のメッセージを上書きする場合の動作です。

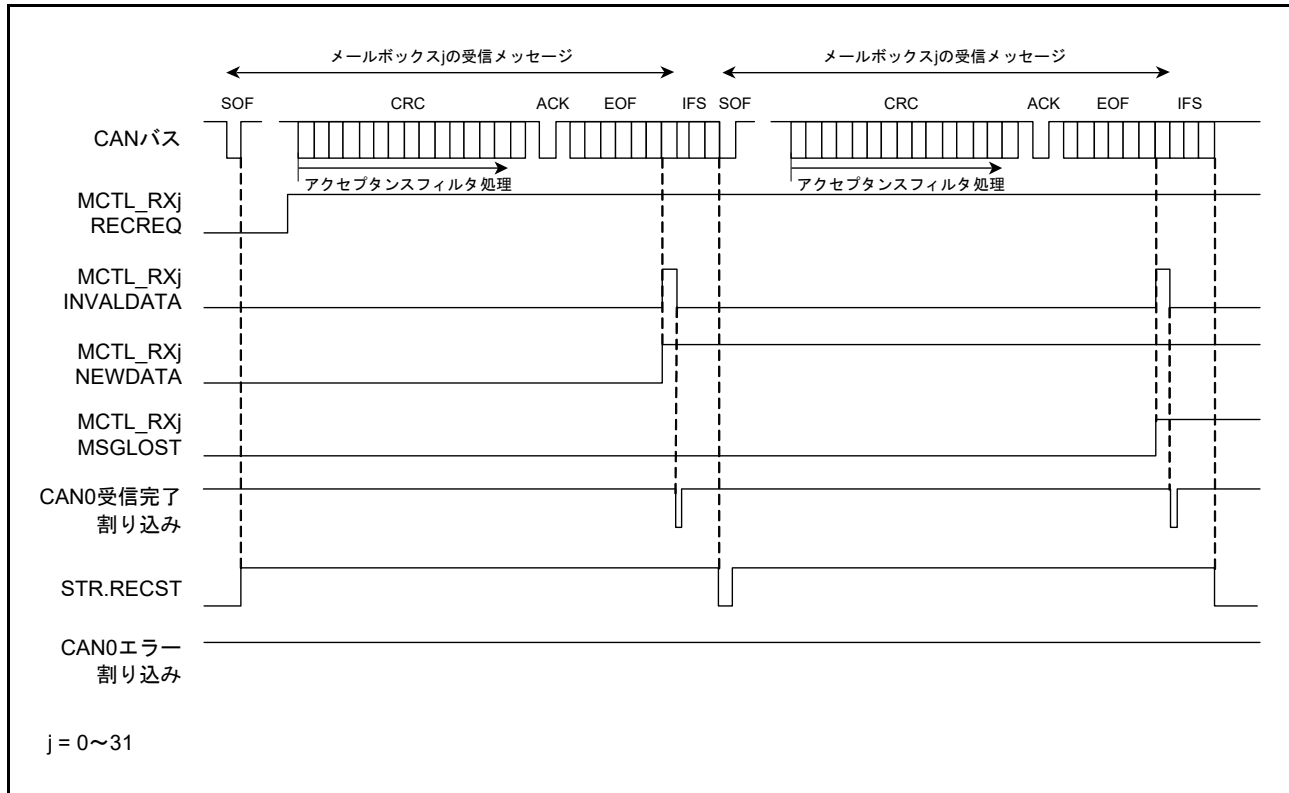


図 29.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットが 1（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTL_RXj.NEWDATA フラグが 1（新しいメッセージを更新中、またはメールボックスに格納された）になります。同時に MCTL_RXj.INVALIDDATA フラグが 1（メッセージを更新中）になります。そのメールボックスにメッセージ全体が転送された後、INVALIDDATA フラグが再度 0（メッセージは有効）になります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが 1（割り込み許可）の場合、INVALIDDATA フラグが 0 になり、CAN0 受信完了割り込み要求が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA フラグをソフトウェアで 0 にする必要があります。
6. オーバーライトモードでは、MCTL_RXj.NEWDATA フラグが 1 の状態で、次の CAN メッセージを受信すると、MCTL_RXj.MSGLOST フラグが 1（メッセージのオーバーライトあり）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求が、手順 4. と同様に発生します。

図 29.19 に、データフレーム受信時の動作例（オーバーランモードの場合）を示します。この例は、MCTL_RXj レジスタ (j = 0 ~ 31) の受信条件に一致する 2 つの連続した CAN メッセージを受信したときに、CAN モジュールが 2 番目のメッセージをオーバーランする場合の動作です。

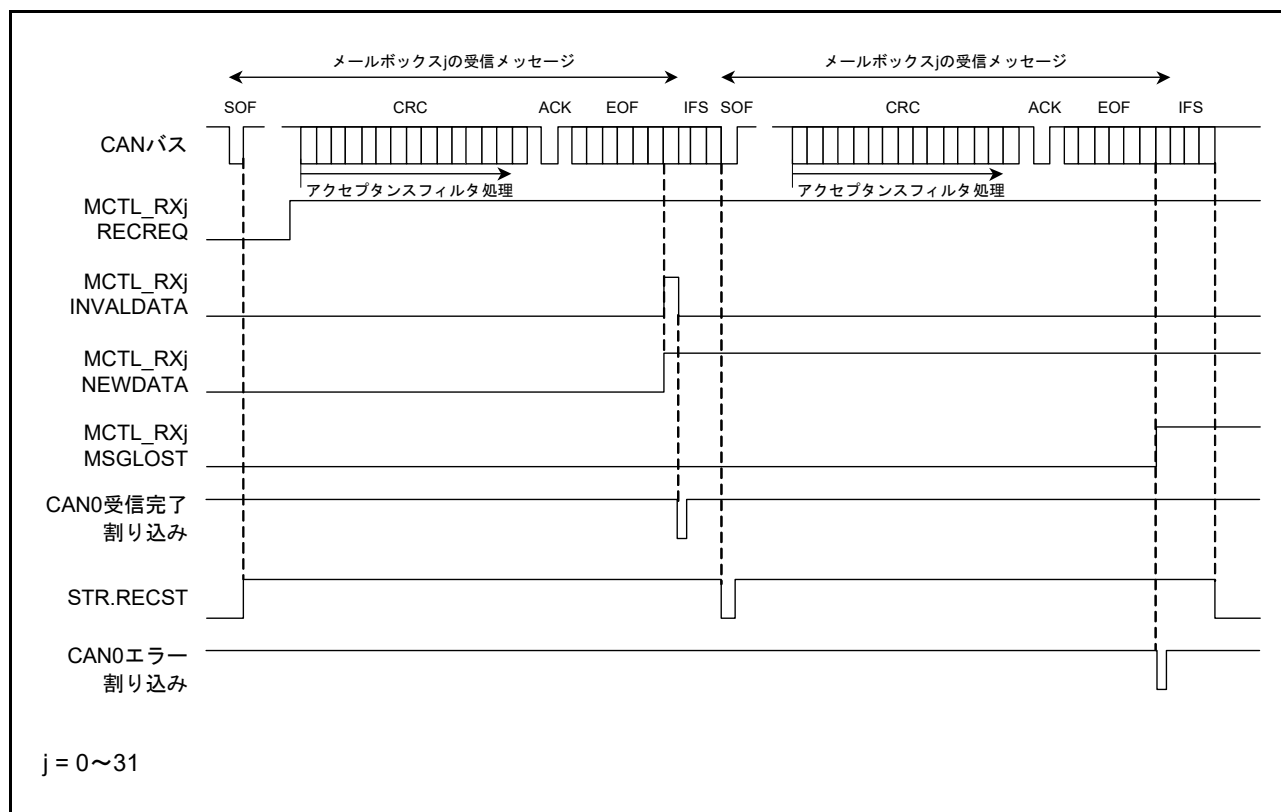


図 29.19 データフレーム受信時の動作例（オーバーランモードの場合）

手順 1. ~ 5. はオーバーライトモードと同じです。

6. オーバーランモードでは、MCTL_RXj.NEWDATA フラグが 0 になる前に、次の CAN メッセージを受信すると、MCTL_RXj.MSGLOST フラグが 1（メッセージのオーバーランあり）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが 1（割り込み許可）の場合、CAN0 エラー割り込み要求が発生します。

29.7.2 送信

図 29.20 にデータフレーム送信時の動作例を示します。

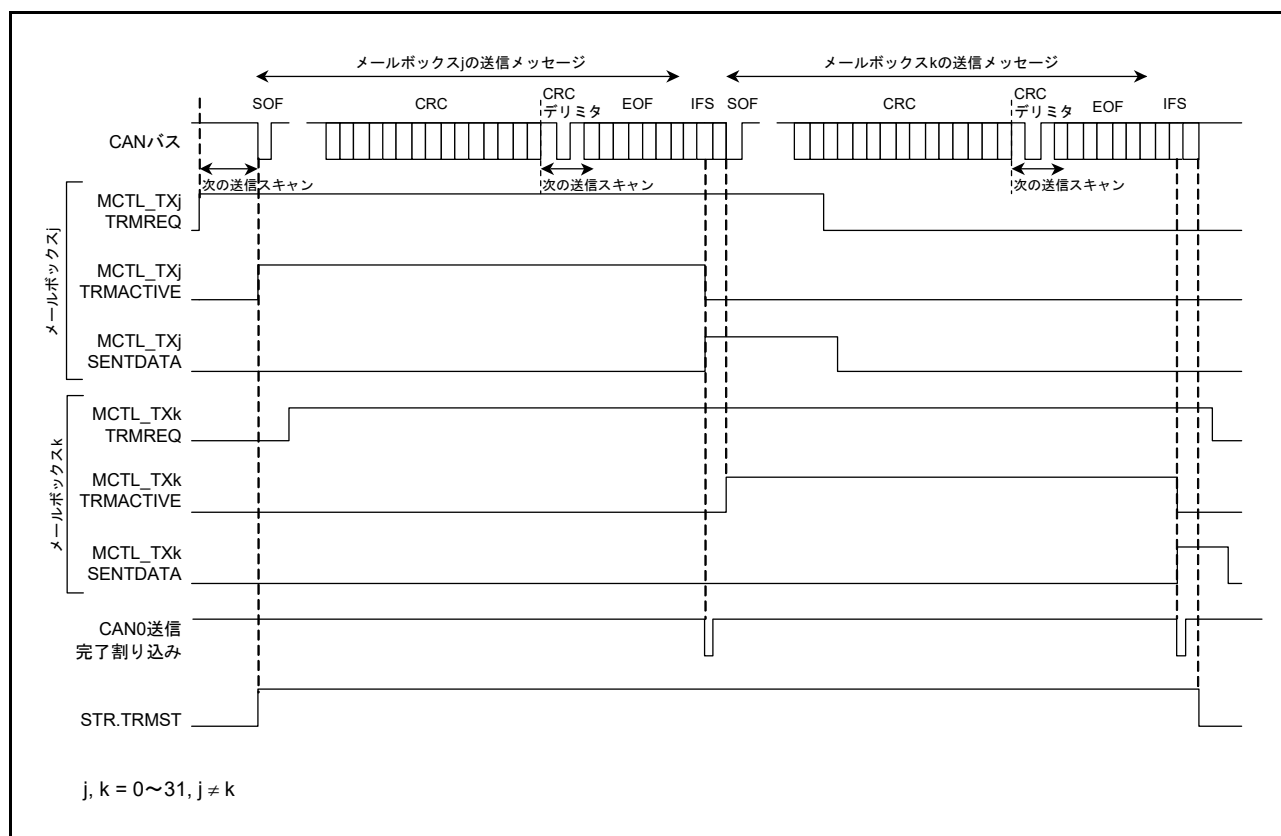


図 29.20 データフレーム送信時の動作例

1. バスアイドル状態で、MCTL_TXj. TRMREQ ビット ($j = 0 \sim 31$) を 1 (送信メールボックス) にすると、最も優先順位の高い送信メールボックスが、メールボックススキャンにより決定されます。送信メールボックスが決定されると、MCTL_TXj. TRMACTIVE フラグが 1 (送信要求の取り込みから、送信完了まで、あるいは、エラー発生またはアービトレーションロスト発生まで) になり、さらに STR.TRMST ビットが 1 (送信中) になって、CAN モジュールは送信を開始します (注 1)。
2. 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャンが開始されます。
3. アービトレーションロストが発生せずに送信が完了すると、MCTL_TXj. SENTDATA フラグが 1 (送信完了) になり、TRMACTIVE フラグが 0 (送信待機中または送信要求なし) になります。そして、MIER レジスタの割り込み許可ビットが 1 (割り込み許可) の場合は、CAN0 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATA フラグおよび TRMREQ ビットを 0 にした後、SENTDATA フラグおよび TRMREQ ビットが 0 になったことを確認してから、TRMREQ ビットを 1 にしてください。

注 1. CAN モジュールが送信を開始した後、アービトレーションロストが発生した場合は、TRMACTIVE フラグは 0 になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、CRC デリミタの始めから、最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。

29.8 割り込み

CAN モジュールには、チャンネルごとに下記の割り込みがあります。

- メールボックス 0 ～ 31 の CAN0 受信完了割り込み (CAN0_RXM)
- メールボックス 0 ～ 31 の CAN0 送信完了割り込み (CAN0_TXM)
- CAN0 受信 FIFO 割り込み (CAN0_RXF)
- CAN0 送信 FIFO 割り込み (CAN0_TXF)
- CAN0 エラー割り込み (CAN0_ERS)

CAN0 のエラー割り込みには、下記の 8 つの割り込み要因が利用可能です。EIFR レジスタを確認して、以下の要因がトリガされているかを調べてください。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバーラン
- オーバーロードフレーム送信
- バスロック

表 29.11 に CAN 割り込みの一覧を示します。

表 29.11 CAN 割り込み

モジュール	割り込み名称	割り込み要因	要因フラグ
CAN0	CAN0_ERS	バスロック検出	EIFR.BLIF
		オーバーロードフレーム送信検出	EIFR.OLIF
		オーバーラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	CAN0_RXF	受信FIFOメッセージ受信 (MIER_FIFO.MB29 = 0)	RFCR.RFUST[2:0]
		受信FIFOバッファワーニング (MIER_FIFO.MB29 = 1)	
	CAN0_TXF	送信FIFOメッセージ送信完了 (MIER_FIFO.MB25 = 0)	TFCR.TFUST[2:0]
		FIFOラストメッセージ送信完了 (MIER_FIFO.MB25 = 1)	
	CAN0_RXM	メールボックス0～31メッセージ受信	MCTL_RX0.NEWDATA～ MCTL_RX31.NEWDATA
	CAN0_TXM	メールボックス0～31メッセージ送信完了	MCTL_TX0.SENTDATA～ MCTL_TX31.SENTDATA

29.9 使用上の注意事項

29.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CAN の動作を許可または禁止することが可能です。リセット後の初期状態では、CAN モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

29.9.2 動作クロックの設定

動作クロックの設定方法を次に示します。

- CAN モジュールでは、以下のクロック制約を満たす必要があります。
 $PCLKB \geq CANMCLK$
- CAN モジュールを使用する場合、ICLK と PCLKB のクロック周波数比は 2:1 でなければいけません。これ以外の設定では、動作は保証されません

30. シリアルペリフェラルインタフェース (SPI)

30.1 概要

本 MCU は、独立した 2 チャンネルのシリアルペリフェラルインタフェース (SPI) を内蔵しています。SPI チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。

表 30.1 に SPI の仕様を、図 30.1 にブロック図を、表 30.2 に SPI の入出力端子を示します。

本章では、 n は A または B を指し、 i は 0 または 1 を指します。端子または信号名に付加された小文字の i は 0 ～ 3 の値を表します。

表 30.1 SPIの仕様 (1/2)

項目	内容
チャンネル数	2チャンネル
SPI転送機能	• MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI動作 (4線式) またはクロック同期式動作 (3線式) によるシリアル通信が可能 • 送信のみ動作が可能 • 通信モードは、全二重/送信のみから選択可能 • RSPCK極性切り替え • RSPCK位相切り替え
データフォーマット	• MSBファースト/LSBファーストを選択可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能 • 送信/受信バッファは32ビット
ビットレート	• マスタモード時、内蔵ボーレートジェネレータでPCLKBを分周してRSPCKを生成 (分周比は2～4096分周) • スレーブモード時、PCLKBの最小6分周のクロックをRSPCKとして入力可能 (RSPCKの最大周波数はPCLKBの6分周) High幅: PCLKBの3サイクル Low幅: PCLKBの3サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは32ビット
エラー検出	• モードフォルトエラー検出 • アンダーランエラー検出 • オーバーランエラー検出 (注1) • パリティエラー検出
SSL制御機能	• 1チャンネルあたり4本のSSL端子 (SSLn0～SSLn3) • シングルマスタモード時: SSLn0～SSLn3端子は出力用 • マルチマスタモード時: SSLn0端子は出力用、SSLn1～SSLn3端子は出力用または不使用 • スレーブモード時: SSLn0端子は入力用、SSLn1～SSLn3端子は不使用 • SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を制御可能 設定範囲: 1～8RSPCK周期 (設定単位: 1RSPCK周期) • RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を制御可能 設定範囲: 1～8RSPCK周期 (設定単位: 1RSPCK周期) • 次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲: 1～8RSPCK周期 (設定単位: 1RSPCK周期) • SSL極性変更機能
マスタ転送時の制御方式	• 以下のコマンドをサポート SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、MSB/LSBファースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへの書き込みによる転送起動 • SSLネゲート時のMOSI信号値を設定可能 • RSPCK自動停止機能
割り込み要因	• 受信バッファフル割り込み • 送信バッファエンプティ割り込み • SPIエラー割り込み (モードフォルト、オーバーラン、パリティエラー) • SPIアイドル割り込み (SPIアイドル) • 送信完了割り込み

表 30.1 SPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	以下のイベントをイベントリンクコントローラ (ELC) へ出力可能 • 受信バッファフル信号 • 送信バッファエンプティ信号 • モードフォルト/アンダーラン/オーバーラン/パリティエラーの信号 • SPIアイドル信号 • 送信完了信号
その他の機能	• SPI初期化機能 • ループバックモード
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。

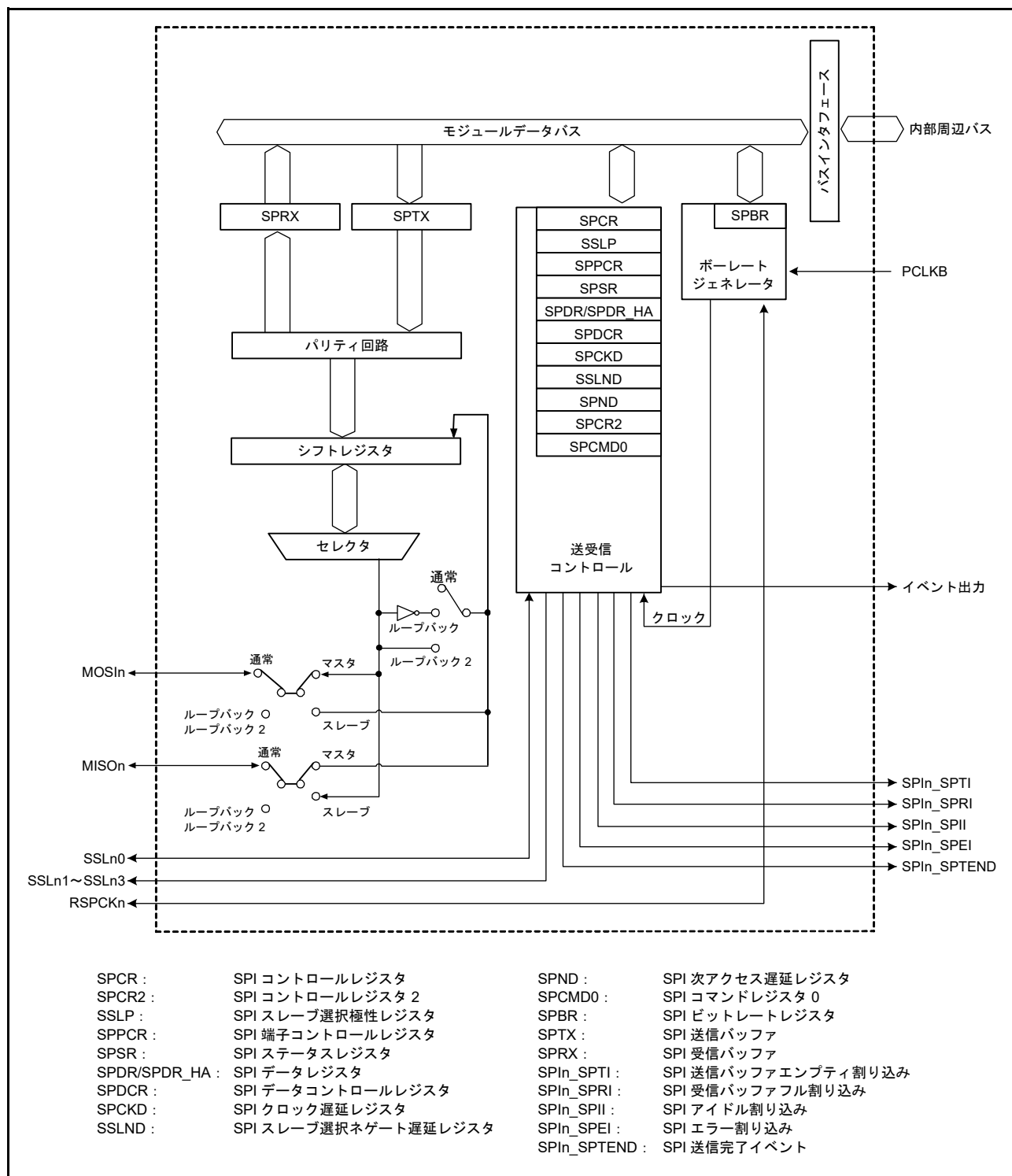


図 30.1 SPI のブロック図

表 30.2 に SPI で使用する入出力端子を示します。SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 は、SPI がシングルマスタの場合は出力状態、マルチマスタとスレーブの場合は入力状態になります。RSPCKn、MOSIn、MISO_n 端子の入出力方向は、マスタ/スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。詳細は、[30.3.2 SPI 端子の制御](#)を参照してください。

表 30.2 SPIの入出力端子

チャネル	端子名	入出力	機能
SPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力
SPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力
	SSLB1	出力	スレーブセレクト出力
	SSLB2	出力	スレーブセレクト出力
	SSLB3	出力	スレーブセレクト出力

30.2 レジスタの説明

30.2.1 SPI コントロールレジスタ (SPCR)

アドレス SPI0.SPCR 4007 2000h, SPI1.SPCR 4007 2100h

b7	b6	b5	b4	b3	b2	b1	b0
SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	SPI モード選択	0 : SPI 動作 (4 線式) を選択 1 : クロック同期式動作 (3 線式) を選択	R/W
b1	TXMD	通信動作モード選択	0 : 全二重同期式シリアル通信を選択 1 : 送信のみのシリアル通信を選択	R/W
b2	MODFEN	モードフォルトエラー検出許可	0 : モードフォルトエラー検出を禁止 1 : モードフォルトエラー検出を許可	R/W
b3	MSTR	SPI マスタ/スレーブモード選択	0 : スレーブモードを選択 1 : マスタモードを選択	R/W
b4	SPEIE	SPI エラー割り込み許可	0 : SPI エラー割り込み要求を禁止 1 : SPI エラー割り込み要求を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可	0 : 送信バッファエンプティ割り込み要求を禁止 1 : 送信バッファエンプティ割り込み要求を許可	R/W
b6	SPE	SPI 機能有効	0 : SPI 機能は無効 1 : SPI 機能は有効	R/W
b7	SPRIE	SPI 受信バッファフル割り込み許可	0 : SPI 受信バッファフル割り込み要求を禁止 1 : SPI 受信バッファフル割り込み要求を許可	R/W

SPCR.SPE ビットが 1 の状態で、SPCR.MSTR ビット、SPCR.MODFEN ビット、または SPCR.TXMD ビットを変更した場合は、以降の動作を行わないでください。

SPMS ビット (SPI モード選択)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択します。

クロック同期式動作では、SSLn0 ~ SSLn3 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISON 端子の 3 端子を用いて通信を行います。また、マスタモード (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMD0.CPHA ビットを 0 または 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合は、CPHA ビットを 1 にしてください。スレーブモードでクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

TXMD ビット (通信動作モード選択)

全二重同期式のシリアル通信または送信のみ動作を選択します。本ビットを 1 にした場合、SPI は送信動作のみを行い、受信動作を行いません (30.3.6 データ転送モードを参照してください)。また、TXMD ビットを 1 にした場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可)

モードフォルトエラーの検出を許可または禁止します (30.3.8 エラー検出を参照)。また、SPI は MODFEN ビットと MSTR ビットとの設定値の組み合わせに従って、SSLn0 ~ SSLn3 端子の入出力方向を決定します (30.3.2 SPI 端子の制御を参照)。

MSTR ビット (SPI マスタ/スレーブモード選択)

SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISON、SSLn0 ~ SSLn3 端子の方向を決定します。

SPEIE ビット (SPI エラー割り込み許可)

以下の場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

詳細は、[30.3.8 エラー検出](#)を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可)

SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。

SPI 機能を無効 (SPE ビットを 0 に変更) にしても、SPTIE ビットが 1 であると、送信バッファ割り込みが発生します。

SPE ビット (SPI 機能有効)

SPI 機能を有効または無効にします。SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にできません。詳細は、[30.3.8 エラー検出](#)を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、[30.3.9 SPI の初期化](#)を参照してください。また、SPE ビットを 0 から 1 へまたは 1 から 0 へ切り替えると、送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (SPI 受信バッファフル割り込み許可)

SPI がシリアル転送完了後の受信バッファフルを検出したときの、割り込み要求の発生を許可または禁止します。

30.2.2 SPI スレーブ選択極性レジスタ (SSLP)

アドレス SPI0.SSLP 4007 2001h, SPI1.SSLP 4007 2101h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0 信号極性設定	0 : SSL0 信号はアクティブ Low 1 : SSL0 信号はアクティブ High	R/W
b1	SSL1P	SSL1 信号極性設定	0 : SSL1 信号はアクティブ Low 1 : SSL1 信号はアクティブ High	R/W
b2	SSL2P	SSL2 信号極性設定	0 : SSL2 信号はアクティブ Low 1 : SSL2 信号はアクティブ High	R/W
b3	SSL3P	SSL3 信号極性設定	0 : SSL3 信号はアクティブ Low 1 : SSL3 信号はアクティブ High	R/W
b7-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SSLP レジスタの内容を書き換えた場合、以降の動作を行わないでください。

30.2.3 SPI 端子コントロールレジスタ (SPPCR)

アドレス SPI0.SPPCR 4007 2002h, SPI1.SPPCR 4007 2102h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	SPI ループバック	0 : 通常モード 1 : ループバックモード (データを反転して送信)	R/W
b1	SPLP2	SPI ループバック 2	0 : 通常モード 1 : ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	MOIFV	MOSI アイドル固定値	0 : MOSI アイドル時の MOSIn 端子の出力レベルを Low に設定 1 : MOSI アイドル時の MOSIn 端子の出力レベルを High に設定	R/W
b5	MOIFE	MOSI アイドル値固定許可	0 : MOSI 出力値は前回転送の最終データ 1 : MOSI 出力値は MOIFV ビットの設定値	R/W
b7-b6	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPPCR レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SPLP ビット (SPI ループバック)

SPI の端子モードを選択します。SPLP ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続および反転し、ループバックモードを確立します。

SPLP2 ビット (SPI ループバック 2)

SPI の端子モードを選択します。SPLP2 ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続し、ループバックモード 2 を確立します。

MOIFV ビット (MOSI アイドル固定値)

マスタモードで MOIFE ビットが 1 の場合、SSL ネゲート期間における MOSIn 端子の出力値を決定します。

MOIFE ビット (MOSI アイドル値固定許可)

SPI がマスタモードかつ SSL ネゲート期間であるとき、MOSIn 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSIn 端子に出力します。

30.2.4 SPI ステータスレジスタ (SPSR)

アドレス SPI0.SPSR 4007 2003h, SPI1.SPSR 4007 2103h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバーランエラーフラグ	0: オーバーランエラーなし 1: オーバーランエラー発生	R/(W) (注1)
b1	IDLNF	SPIアイドルフラグ	0: SPIがアイドル状態 1: SPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーおよびアンダーランエラーなし 1: モードフォルトエラーまたはアンダーランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダーランエラーフラグ	0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1) 本ビットはMODFが0の場合、無効です。	R/W (注1) (注2)
b5	SPTEF	SPI送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/(W) (注3)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SPRF	SPI受信バッファフルフラグ	0: SPDR/SPDR_HAに有効なデータなし 1: SPDR/SPDR_HAに有効なデータあり	R/(W) (注3)

注1. フラグをクリアするため、1を読んだあとに0を書き込むことのみ可能です。

注2. MODF フラグをクリアすると同時に、UDRF フラグをクリアしてください。

注3. 書く場合、1としてください。

OVRF フラグ (オーバーランエラーフラグ)

オーバーランエラーの発生を示します。マスタモード (SPCR.MSTR = 1) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE = 1) の場合、オーバーランエラーは発生せず、このフラグは1になりません。詳細は、[30.3.8.1 オーバーランエラー](#)を参照してください。

[1 になる条件]

- SPCR.TXMD ビットが 0 かつ受信バッファフルの状態で、次のシリアル転送が終了したとき

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

IDLNF フラグ (SPI アイドルフラグ)

SPI の転送状況を示します。

[1 になる条件]

マスタモード:

- このフラグの [0 になる条件] に示した、マスタモード時の条件 1. と条件 2. のいずれも満たさないとき

スレーブモード:

- SPCR.SPE ビットが 1 (SPI 機能が有効) のとき

[0 になる条件]

マスタモード:

- 条件 1. を満たすとき、または条件 2. および条件 3. を満たすとき
- SPCR.SPE ビットが 0 (SPI 初期化)
 - 送信バッファ (SPTX) が空である (次転送データがセットされていない)
 - SPI 内部シーケンサがアイドル状態 (次アクセス遅延までの動作が完了) のとき
- スレーブモード :
- 条件 1. を満たすとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーまたはアンダーランエラーの発生を示します。UDRF フラグを使用して、どちらのエラーが発生したかを識別してください。

[1 になる条件]

マスタモード :

- SPCR.MSTR ビットが 1 (マスタモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出許可) の状態で、SSLni 端子の入力レベルがアクティブレベルに変化し、SPI がモードフォルトエラーを検出したとき

スレーブモード :

- 下記の条件 1. または 2. を満たしているとき
- SPCR.MSTR ビットが 0 (スレーブモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、モードフォルトエラーが発生した場合
 - SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生した場合

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示します。

[1 になる条件]

- SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了し、パリティエラーが発生したとき

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

UDRF フラグ (アンダーランエラーフラグ)

アンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生したとき

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

SPTEF フラグ (SPI 送信バッファエンプティフラグ)

SPI データレジスタ (SPDR/SPDR_HA) の送信バッファの状態を示します。

[1 になる条件]

- 条件 1. または 2. を満たしているとき
1. SPCR.SPE ビットが 0 (SPI 初期化)
 2. 送信データが送信バッファからシフトレジスタへ転送されたとき

[0 になる条件]

- SPDR/SPDR_HA レジスタへデータが書き込まれたとき

SPTEF ビットが 1 の場合のみ、データを SPDR/SPDR_HA レジスタに書き込むことができます。SPTEF ビットが 0 のときに SPDR/SPDR_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

SPRF フラグ (SPI 受信バッファフルフラグ)

SPI データレジスタ (SPDR/SPDR_HA) の受信バッファの状態を示します。

[1 になる条件]

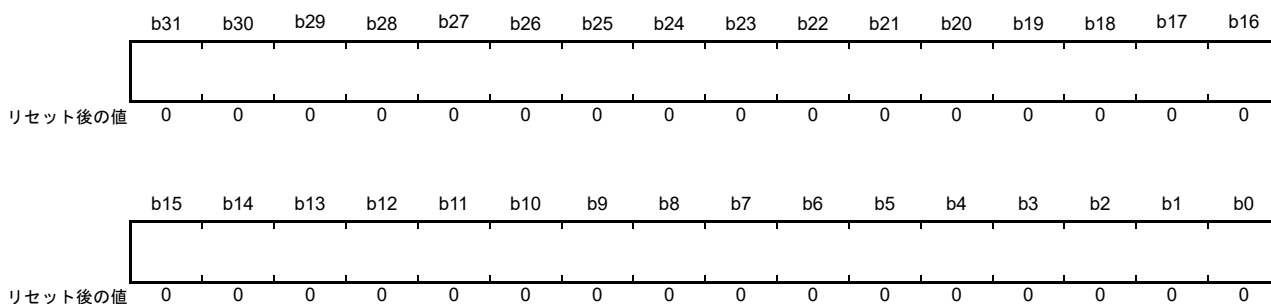
- SPCR.TXMD ビットが 0 で SPRF フラグが 0 のときに、SPI がシフトレジスタから SPDR/SPDR_HA レジスタへ受信データを送信したときただし、OVRF フラグが 1 の場合、本フラグは 0 から 1 に変更されない

[0 になる条件]

- SPDR/SPDR_HA レジスタから受信データが読み出されたとき

30.2.5 SPI データレジスタ (SPDR/SPDR HA)

アドレス SPI0.SPDR 4007 2004h, SPI1.SPDR 4007 2104h



アドレス SPI0.SPDR HA 4007 2004h, SPI1.SPDR HA 4007 2104h



SPDR/SPDR HA レジスタは、SPI 送受信のデータを格納するバッファとのインタフェースです。

ワードアクセス (SPLW ビット=1) のときは、SPDR レジスタにアクセスしてください。ハーフワードアクセス (SPLW ビット=0) のときは、SPDR_HA レジスタにアクセスしてください。

送信バッファ（SPTX）と受信バッファ（SPRX）は独立したバッファですが、SPDR/SPDR_HA レジスタにマッピングされています。図 30.2 に、SPDR/SPDR_HA レジスタの構成図を示します。

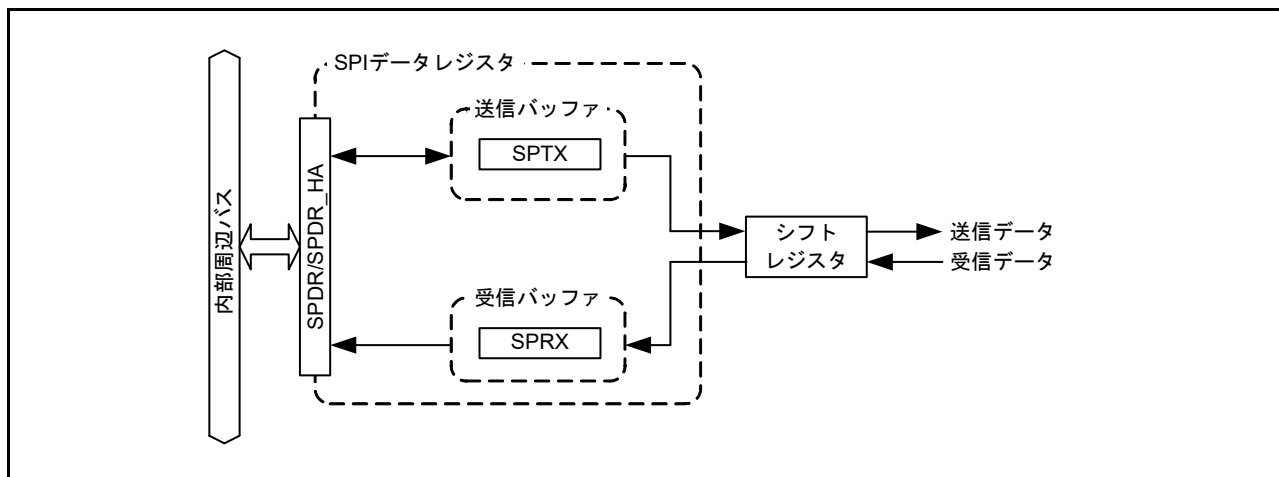


図 30.2 SPDR/SPDR HA レジスタの構成図

送信バッファと受信バッファは、それぞれ 1 ステージあります。SPDR/SPDR_HA レジスタの 1 アドレスに、この合計 2 バッファステージがすべてマッピングされます。

SPDR/SPDR_HA レジスタへ書き込まれたデータは、送信バッファステージ (SPTX) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

データ長が 32 ビット以外の場合、SPRX の関連ビットには、SPTX の非参照ビットが格納されます。たとえば、データ長が 9 ビットのデータを受信した場合、SPRX[8:0] ビットには受信データが格納され、SPRX[31:9] ビットには SPTX[31:9] ビットが格納されます。

(1) バスインタフェース

SPDR/SPDR_HA レジスタは、32 ビットの送信および受信バッファとのインタフェースであり、それぞれのバッファが 1 ステージを持ち、合計 8 バイトになります。これらの 8 バイトを SPDR/SPDR_HA レジスタの 4 バイトのアドレス空間にマッピングしています。SPDR/SPDR_HA レジスタへのアクセスは、SPI データコントロールレジスタの SPI ハーフワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

以下では、SPDR/SPDR_HA レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

(a) 書き込み

SPDR/SPDR_HA レジスタに書き込むことによって、送信バッファ (SPTX) にデータを書くことができます。SPDR/SPDR_HA レジスタの読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。

図 30.3 に、SPDR/SPDR_HA レジスタへの書き込み時の送信バッファのバスインタフェースの構成図を示します。

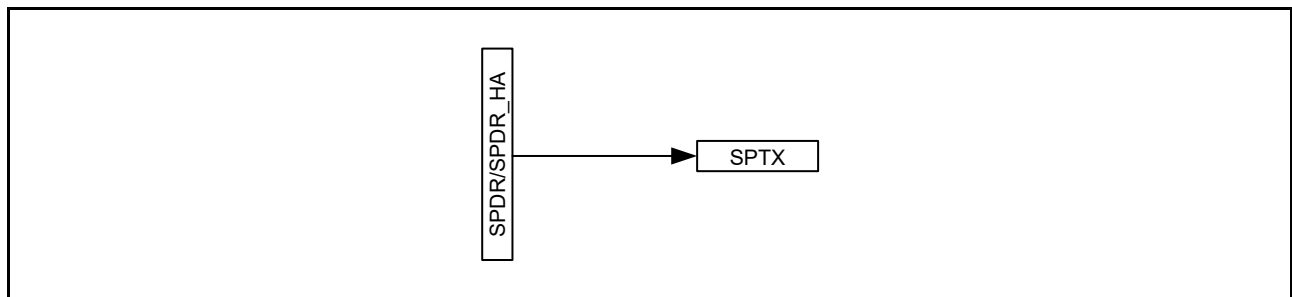


図 30.3 書き込み時の SPDR/SPDR_HA レジスタの構成図

送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1 のとき)、SPTX に転送データを書き込んでください。書き込み完了から次の送信バッファエンプティ割り込み発生 (SPTEF = 0) までの期間は、SPDR/SPDR_HA にデータを書き込んでも、バッファの値は更新されません。

(b) 読み出し

SPDR/SPDR_HA レジスタにアクセスすることによって、受信バッファ (SPRX) または送信バッファ (SPTX) の値を読み出すことができます。SPI データコントロールレジスタの SPI 受信/送信データ選択ビット (SPDCR.SPRDTD) の設定によって、受信バッファと送信バッファのどちらの内容を読み出すか選択できます。

図 30.4 に、SPDR/SPDR_HA レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。

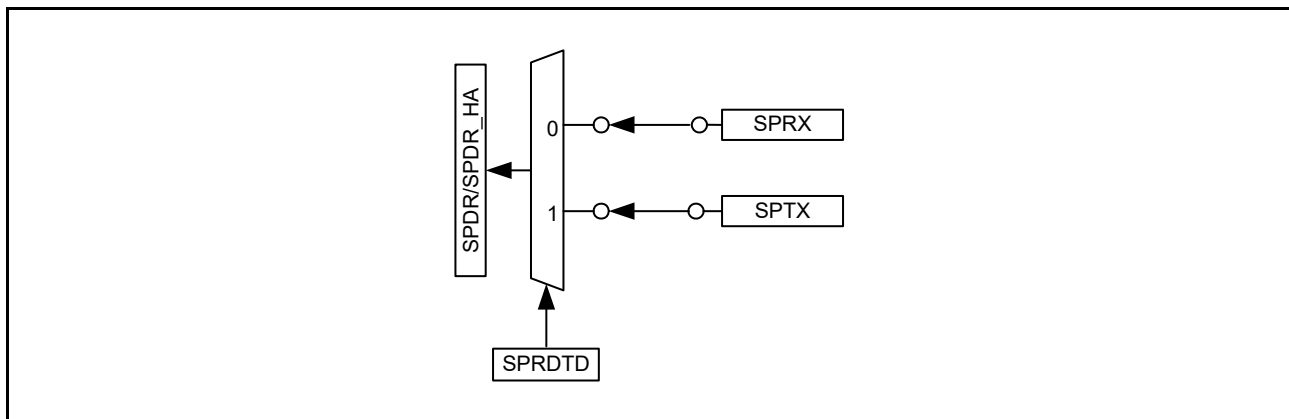


図 30.4 読み出し時の SPDR/SPDR_HA レジスタの構成図

送信バッファエンプティ割り込み発生後、データの書き込み完了から次の送信バッファエンプティ割り込み発生 (SPSR.SPTEF = 0) までの期間は、送信バッファの読み出し値はすべて 0 となります。

30.2.6 SPI ビットレートレジスタ (SPBR)

アドレス SPI0.SPBR 4007 200Ah, SPI1.SPBR 4007 210Ah



SPBR レジスタは、マスタモード時のビットレートを設定するレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPBR レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SPI をスレーブモードで使用する場合、SPBR レジスタと SPCMD0.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、ビットレートは入力クロックのビットレートに依存します。入力クロックには、常にデバイスの電氣的特性を満たすビットレートを使用してください。

ビットレートは、SPBR レジスタの設定値と SPCMD0.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記の通りです。

$$\text{ビットレート} = \frac{f(\text{PCLKB})}{2 \times (n + 1) \times 2^N}$$

この式で、n は SPBR レジスタの設定値（0, 1, 2, ..., 255）、N は BRDV[1:0] ビットの設定値（0, 1, 2, 3）です。

SPBR レジスタの設定値、BRDV[1:0] ビットの設定値、およびビットレートの関係の例を表 30.3 に示します。

表 30.3 SPBR レジスタ設定値、BRDV[1:0] ビット設定値、およびビットレートの関係

SPBR レジスタの設定値 (n)	BRDV[1:0] ビット (N)	分周比	PCLKB = 32MHz のときのビットレート
0	0	2	16.0Mbps
1	0	4	8.00Mbps
2	0	6	5.33Mbps
3	0	8	4.00Mbps
4	0	10	3.20Mbps
5	0	12	2.67Mbps
5	1	24	1.33Mbps
5	2	48	667kbps
5	3	96	333kbps
255	3	4096	7.81kbps

30.2.7 SPI データコントロールレジスタ (SPDCR)

アドレス SPI0.SPDCR 4007 200Bh, SPI1.SPDCR 4007 210Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPBYT	SPLW	SPRDT D	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SPRDTD	SPI受信/送信データ選択	0: SPDR/SPDR_HAの値は受信バッファから読み出す 1: SPDR/SPDR_HAの値は送信バッファから読み出す (送信バッファが空の場合のみ)	R/W
b5	SPLW	SPIワードアクセス/ハーフワードアクセス設定	0: SPDR_HAが有効 (ハーフワードアクセス) 1: SPDRが有効 (ワードアクセス)	R/W
b6	SPBYT	SPIバイトアクセス設定	0: SPDRへのアクセスはハーフワードアクセスまたはワードアクセス (SPLW有効) 1: SPDRへのアクセスはバイトアクセス (SPLW無効)	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPRDTD ビット (SPI 受信/送信データ選択)

SPDR/SPDR_HA レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。送信バッファから読み出す場合、SPDR/SPDR_HA レジスタへ最後に書き込まれた値が読み出されます。送信バッファの読み出しは、送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1) に行ってください。

詳細は、30.2.5 SPI データレジスタ (SPDR/SPDR_HA) を参照してください。

SPLW ビット (SPI ワードアクセス/ハーフワードアクセス設定)

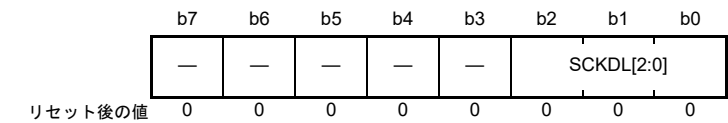
SPDR レジスタへのアクセス幅を設定します。SPLW ビットが0の場合、SPDR_HA レジスタへのハーフワードアクセスが有効となり、SPLW ビットが1の場合、SPDR レジスタへのワードアクセスが有効となります。また、SPLW ビットが0のとき、SPI データ長設定ビット (SPCMD0.SPB[3:0]) の設定は、8 ~ 16 ビットにしてください。データ長を20、24、または32ビットに設定した場合、すべての動作を行わないでください。

SPBYT ビット (SPI バイトアクセス設定)

本ビットは、SPI データレジスタ (SPDR) にアクセスする際のデータ幅を設定するのに使用します。SPBYT = 0 の場合、SPDR へのアクセスにはワードアクセスまたはハーフワードアクセスを使用してください。SPBYT = 1 (この場合 SPLW は無効) の場合、SPDR へのアクセスにはバイトアクセスを使用してください。SPBYT = 1 の場合、SPI コマンドレジスタ0 (SPCMD0) のSPI データ長ビット (SPB[3:0]) を8ビットに設定してください。SPB[3:0] を9 ~ 16、20、24または32ビットに設定した場合、その後の動作は保証されません。

30.2.8 SPI クロック遅延レジスタ（SPCKD）

アドレス SPI0.SPCKD 4007 200Ch, SPI1.SPCKD 4007 210Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK 遅延設定	b2b0 000: 1RSPCK 001: 2RSPCK 010: 3RSPCK 011: 4RSPCK 100: 5RSPCK 101: 6RSPCK 110: 7RSPCK 111: 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

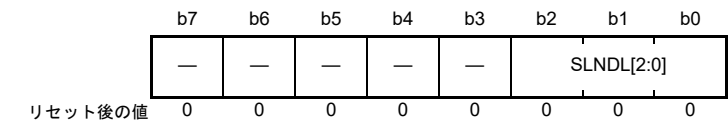
SPCKD レジスタは、SPCMD0.SCKDEN ビットが 1 の場合、SSLni 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPCKD レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SCKDL[2:0] ビット（RSPCK 遅延設定）

SPCMD0.SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0] ビットを 000b にしてください。

30.2.9 SPI スレーブ選択ネゲート遅延レジスタ（SSLND）

アドレス SPI0.SSLND 4007 200Dh, SPI1.SSLND 4007 210Dh



ビット	シンボル	ビット名	機能	R/W																											
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定	<table><tr><td>b2</td><td>b0</td><td></td></tr><tr><td>0</td><td>0</td><td>0: 1RSPCK</td></tr><tr><td>0</td><td>0</td><td>1: 2RSPCK</td></tr><tr><td>0</td><td>1</td><td>0: 3RSPCK</td></tr><tr><td>0</td><td>1</td><td>1: 4RSPCK</td></tr><tr><td>1</td><td>0</td><td>0: 5RSPCK</td></tr><tr><td>1</td><td>0</td><td>1: 6RSPCK</td></tr><tr><td>1</td><td>1</td><td>0: 7RSPCK</td></tr><tr><td>1</td><td>1</td><td>1: 8RSPCK</td></tr></table>	b2	b0		0	0	0: 1RSPCK	0	0	1: 2RSPCK	0	1	0: 3RSPCK	0	1	1: 4RSPCK	1	0	0: 5RSPCK	1	0	1: 6RSPCK	1	1	0: 7RSPCK	1	1	1: 8RSPCK	R/W
b2	b0																														
0	0	0: 1RSPCK																													
0	0	1: 2RSPCK																													
0	1	0: 3RSPCK																													
0	1	1: 4RSPCK																													
1	0	0: 5RSPCK																													
1	0	1: 6RSPCK																													
1	1	0: 7RSPCK																													
1	1	1: 8RSPCK																													
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																											

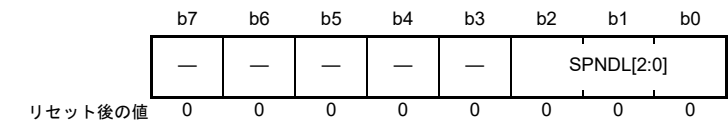
SSLND レジスタは、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSLni 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SSLND レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SLNDL[2:0] ビット（SSL ネゲート遅延設定）

SPI がマスタモードのとき、SSL ネゲート遅延値を設定します。SPI をスレーブモードで使用する場合は、SLNDL[2:0] ビットを 000b にしてください。

30.2.10 SPI 次アクセス遅延レジスタ（SPND）

アドレス SPI0.SPND 4007 200Eh, SPI1.SPND 4007 210Eh



ビット	シンボル	ビット名	機能	R/W																											
b2-b0	SPNDL[2:0]	SPI次アクセス遅延設定	<table><tr><td>b2</td><td>b0</td><td></td></tr><tr><td>0</td><td>0</td><td>0 : 1RSPCK + 2PCLKB</td></tr><tr><td>0</td><td>0</td><td>1 : 2RSPCK + 2PCLKB</td></tr><tr><td>0</td><td>1</td><td>0 : 3RSPCK + 2PCLKB</td></tr><tr><td>0</td><td>1</td><td>1 : 4RSPCK + 2PCLKB</td></tr><tr><td>1</td><td>0</td><td>0 : 5RSPCK + 2PCLKB</td></tr><tr><td>1</td><td>0</td><td>1 : 6RSPCK + 2PCLKB</td></tr><tr><td>1</td><td>1</td><td>0 : 7RSPCK + 2PCLKB</td></tr><tr><td>1</td><td>1</td><td>1 : 8RSPCK + 2PCLKB</td></tr></table>	b2	b0		0	0	0 : 1RSPCK + 2PCLKB	0	0	1 : 2RSPCK + 2PCLKB	0	1	0 : 3RSPCK + 2PCLKB	0	1	1 : 4RSPCK + 2PCLKB	1	0	0 : 5RSPCK + 2PCLKB	1	0	1 : 6RSPCK + 2PCLKB	1	1	0 : 7RSPCK + 2PCLKB	1	1	1 : 8RSPCK + 2PCLKB	R/W
b2	b0																														
0	0	0 : 1RSPCK + 2PCLKB																													
0	0	1 : 2RSPCK + 2PCLKB																													
0	1	0 : 3RSPCK + 2PCLKB																													
0	1	1 : 4RSPCK + 2PCLKB																													
1	0	0 : 5RSPCK + 2PCLKB																													
1	0	1 : 6RSPCK + 2PCLKB																													
1	1	0 : 7RSPCK + 2PCLKB																													
1	1	1 : 8RSPCK + 2PCLKB																													
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																											

SPND レジスタは、SPCMD0.SPNDEN ビットが 1 の場合、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPND レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SPNDL[2:0] ビット（SPI 次アクセス遅延設定）

SPCMD0.SPNDEN ビットが 1 の場合に、次アクセス遅延を設定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0] ビットを 000b にしてください。

30.2.11 SPI コントロールレジスタ 2 (SPCR2)

アドレス SPI0.SPCR2 4007 200Fh, SPI1.SPCR2 4007 210Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可	0 : 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1 : SPCR.TXMD = 0 の場合 : 送信データにパリティビットを付加し、受信データのパリティビットをチェックする SPCR.TXMD = 1 の場合 : 送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
b1	SPOE	パリティモード	0 : 送信用に偶数パリティを選択 1 : 送信用に奇数パリティを選択	R/W
b2	SPIIE	SPI アイドル割り込み許可	0 : アイドル割り込み要求禁止 1 : アイドル割り込み要求許可	R/W
b3	PTE	パリティ自己診断	0 : パリティ回路自己診断機能は無効 1 : パリティ回路自己診断機能は有効	R/W
b4	SCKASE	RSPCK 自動停止機能有効	0 : RSPCK 自動停止機能は無効 1 : RSPCK 自動停止機能は有効	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPCR2 レジスタの SPPE、SPOE、または SCKASE ビットの設定値を変更した場合、以降の動作は行わないでください。

SPPE ビット (パリティ許可)

パリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、本ビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが 1 で、本ビットが 1 のとき、送信データにパリティビットを付加しますが、受信データのパリティチェックは行いません。

SPOE ビット (パリティモード)

偶数パリティまたは奇数パリティを設定します。

偶数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が偶数になるようにパリティビットが付加されます。同様に、奇数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が奇数になるようにパリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 の場合にのみ有効です。

SPIIE ビット (SPI アイドル割り込み許可)

SPI のアイドル状態が検出されて SPSR.IDLNF フラグが 0 になった場合の、SPI アイドル割り込み要求の発生を許可または禁止します。

PTE ビット (パリティ自己診断)

パリティ機能が正常であることを確認するための、パリティ回路の自己診断機能を有効にします。

SCKASE ビット (RSPCK 自動停止機能有効)

RSPCK 自動停止機能を有効または無効にします。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、[30.3.8.1 オーバーランエラー](#)を参照してください。

30.2.12 SPI コマンドレジスタ 0 (SPCMD0)

アドレス SPI0.SPCMD0 4007 2010h, SPI1.SPCMD0 4007 2110h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			—	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA	
0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定	0: 立ち上がりエッジでデータサンプリング、立ち下がりエッジでデータ変化を選択 1: 立ち上がりエッジでデータ変化、立ち下がりエッジでデータサンプリングを選択	R/W
b1	CPOL	RSPCK極性設定	0: アイドル時のRSPCKをLowに設定 1: アイドル時のRSPCKをHighに設定	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定	b3 b2 0 0: ベースのビットレート 0 1: ベースのビットレートの2分周 1 0: ベースのビットレートの4分周 1 1: ベースのビットレートの8分周	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定	b6 b4 0 0 0: SSLn0 0 0 1: SSLn1 0 1 0: SSLn2 0 1 1: SSLn3 1 x x: 設定禁止 x: Don't care	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	SPB[3:0]	SPIデータ長設定	b11 b8 0100~0111: 8ビット 1 0 0 0: 9ビット 1 0 0 1: 10ビット 1 0 1 0: 11ビット 1 0 1 1: 12ビット 1 1 0 0: 13ビット 1 1 0 1: 14ビット 1 1 1 0: 15ビット 1 1 1 1: 16ビット 0 0 0 0: 20ビット 0 0 0 1: 24ビット 0010, 0011: 32ビット	R/W
b12	LSBF	SPI LSB ファースト	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	SPI次アクセス遅延許可	0: 次アクセス遅延は1RSPCK + 2PCLKB 1: 次アクセス遅延はSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可	0: SSLネゲート遅延は1RSPCK 1: SSLネゲート遅延はSPIスレーブ選択ネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMD0 レジスタは、マスタモードの SPI に対して転送フォーマットを設定するレジスタです。

本レジスタの設定は、送信バッファが空の (SPSR.SPTEF = 1 で、次転送のデータがセットされていない) 状態で、かつ本レジスタが参照されたときに送信されるデータの設定前に行ってください。

SPCR.SPE ビットが 1 の状態で、SPCMD0 レジスタの内容を書き換えた場合は、以降の動作は行わないでください。

CPHA ビット (RSPCK 位相設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定)

SPBR レジスタの設定値との組み合わせでビットレートを決定します (30.2.6 SPI ビットレートレジスタ (SPBR) を参照してください)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし / 2 分周 / 4 分周 / 8 分周したビットレートを選択します。BRDV[1:0] ビットに異なる値に設定することで、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定)

マスタモードの SPI がシリアル転送を行う際の、SSLni 信号のアサートを制御します。

SSLni 信号アサート時の信号極性は、関連する SSLP レジスタの設定値で決定されます。マルチマスタモードで SSLA[2:0] ビットを 000b にした場合、SSLn0 端子は入力になるため、全 SSL 信号がネゲート状態でシリアル転送が実行されます。

SPI をスレーブモードで使用する場合は、SSLA[2:0] ビットを 000b にしてください。

SPB[3:0] ビット (SPI データ長設定)

マスタモードまたはスレーブモードの SPI に対して、転送データ長を設定します。

SPLW ビットが 0 の場合、これらのビットは 8 ~ 16 ビットに設定してください。

LSBF ビット (SPI LSB ファースト)

マスタモードまたはスレーブモードの SPI に対して、そのデータフォーマットを MSB ファーストまたは LSB ファーストに設定します。

SPNDEN ビット (SPI 次アクセス遅延許可)

マスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を $1RSPCK + 2PCLKB$ に設定します。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定に従って次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可)

マスタモードの SPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を $1RSPCK$ に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従って SSL ネゲート遅延で SSL 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にしてください。

SCKDEN ビット (RSPCK 遅延設定許可)

マスタモードの SPI が、SSLni 信号をアサートしてから RSPCK の発振を開始するまでの期間 (SPI クロック遅延) を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を $1RSPCK$ にします。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定に従って RSPCK 遅延で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にしてください。

30.3 動作説明

本項では、「シリアル転送期間」という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間という意味で使用します。

30.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード (SPI 動作)
- シングルマスタモード (SPI 動作)
- マルチマスタモード (SPI 動作)
- スレーブモード (クロック同期式動作)
- マスタモード (クロック同期式動作)

SPI のモードは、SPCR.MSTR、SPCR.MODFEN、および SPCR.SPMS ビットで選択できます。表 30.4 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 30.4 SPIのモードと SPCR レジスタ設定値の関係および各モードの概要

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック 同期式動作)	マスタ (クロック 同期式動作)
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 または 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKn 信号	入力	出力	出力 / Hi-Z	入力	出力
MOSIn 信号	入力	出力	出力 / Hi-Z	入力	出力
MISOn 信号	出力 / Hi-Z	入力	入力	出力	入力
SSLn0 信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLn1 ~ SSLn3 信号	Hi-Z (注1)	出力	出力 / Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL 極性変更機能	あり	あり	あり	—	—
転送速度	~ PCLKB/6	~ PCLKB/2	~ PCLKB/2	~ PCLKB/6	~ PCLKB/2
クロックソース	RSPCKn 入力	内蔵ボーレート ジェネレータ	内蔵ボーレート ジェネレータ	RSPCKn 入力	内蔵ボーレート ジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32 ビット				
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブ または RSPCK 発振	送信バッファエンブ ティ割り込み要求で 送信バッファ書き込み (SPTEF = 1)	送信バッファエンブ ティ割り込み要求で 送信バッファ書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンブ ティ割り込み要求で 送信バッファ書き込み (SPTEF = 1)
送信バッファエンブティ検出	あり				
受信バッファフル検出	あり (注2)				
オーバーランエラー検出	あり (注2)	あり (注2) (注4)	あり (注2) (注4)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2) (注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり	なし	なし	あり	なし

注 1. この機能は本モードでは使用しません。

注 2. SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。

注 3. SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。

注 4. SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。

30.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、および SPCR.SPMS ビットの設定に基づき、端子状態を切り替えます。端子状態と各ビットの設定値との関係を表 30.5 に示します。入出力ポートの設定も同じになるよう設定してください。

表 30.5 端子状態とビット設定値の関係

モード	端子	端子状態 (注2)
シングルマスタ (SPI 動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS 出力
	SSLn0 ~ SSLn3	CMOS 出力
	MOSIn	CMOS 出力
	MISOOn	入力
マルチマスタ (SPI 動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn (注3)	CMOS 出力 / Hi-Z
	SSLn0	入力
	SSLn1 ~ SSLn3 (注3)	CMOS 出力 / Hi-Z
	MOSIn (注3)	CMOS 出力 / Hi-Z
スレーブ (SPI 動作) (MSTR = 0, SPMS = 0)	RSPCKn	入力
	SSLn0	入力
	SSLn1 ~ SSLn3 (注5)	Hi-Z (注1)
	MOSIn	入力
マスタ (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS 出力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)
	MOSIn	CMOS 出力
	MISOOn	入力
スレーブ (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKn	入力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)
	MOSIn	入力
	MISOOn	CMOS 出力

注 1. この機能は本モードでは使用しません。

注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。

注 3. SSLn0 がアクティブレベルの場合、端子状態が Hi-Z になります。

注 4. SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子状態が Hi-Z になります。

注 5. これらの端子は入出力ポート端子として使用できます。

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の SPI は、SPPCR.MOIFE、MOIFV ビットの設定に従って、SSL ネゲート期間の MOSI 信号値を表 30.6 のように決定します。

表 30.6 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

30.3.3 SPI システム構成例

30.3.3.1 シングルマスタとシングルスレーブ (MCU はマスタ)

図 30.5 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタとシングルスレーブ構成では、MCU (マスタ) の SSLn0 ~ SSLn3 出力は使用されません。SPI スレーブの SSL 入力 Low に固定され、SPI スレーブの選択状態を維持します。(注 1)

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

注 1. SPCMD0.CPHA ビットが 0 の場合に使用する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。このような場合は、本 MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

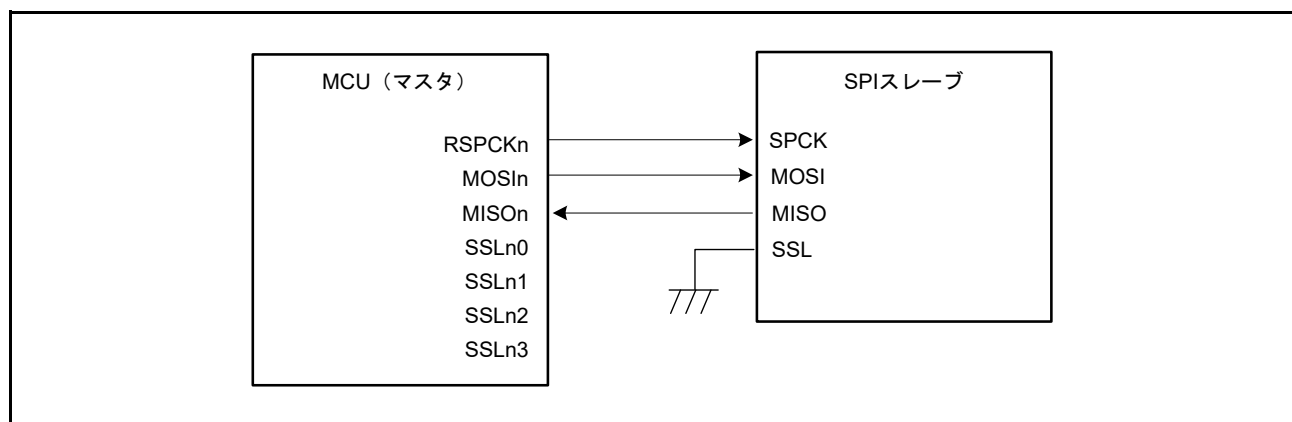


図 30.5 シングルマスタとシングルスレーブの構成例 (MCU はマスタ)

30.3.3.2 シングルマスタとシングルスレーブ (MCU はスレーブ)

図 30.6 に、MCU がスレーブである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。MCU をスレーブとして使用する場合は、SSLn0 端子は SSL 入力として使用されます。SPI マスタは、SPCK および MOSI 信号をドライブします。MCU (スレーブ) は、MISO_n 信号をドライブします。
(注 1)

SPCMD0.CPHA ビットを 1 にしたシングルスレーブ構成の場合には、MCU (スレーブ) の SSLn0 入力は Low に固定され、MCU (スレーブ) の選択状態を維持します。これにより、シリアル転送を実行することも可能です (図 30.7)。

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

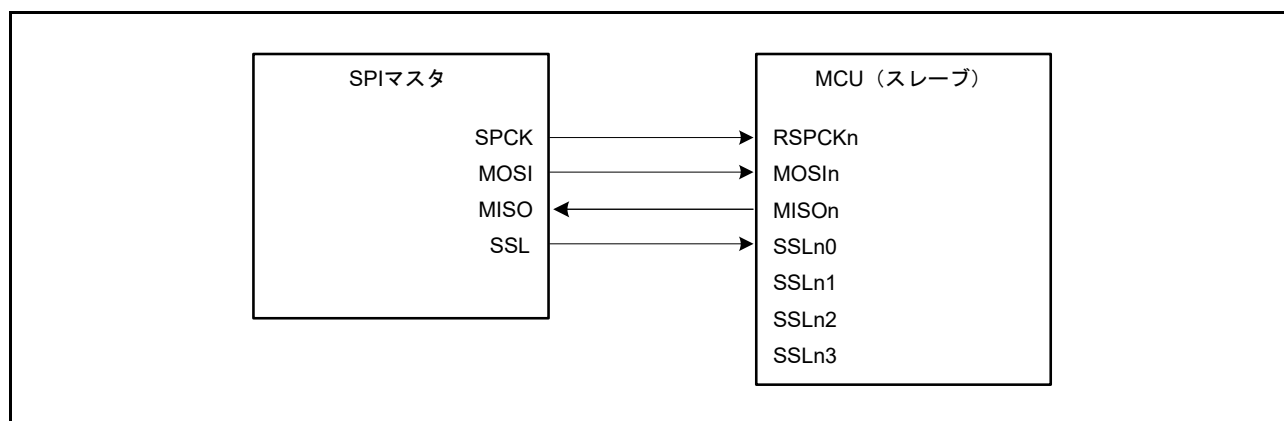


図 30.6 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 0)

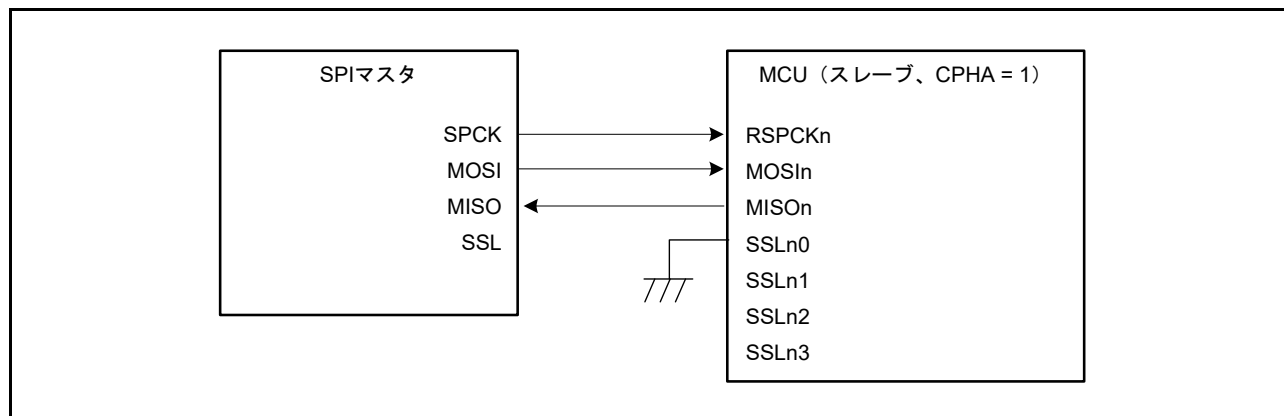


図 30.7 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 1)

30.3.3.3 シングルマスタとマルチスレーブ (MCU はマスタ)

図 30.8 に、MCU がマスタである場合のシングルマスタ/マルチスレーブの SPI システム構成例を示します。この例では、MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から SPI システムを構成しています。

MCU (マスタ) の RSPCK_n 出力と MOSI_n 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて MCU (マスタ) の MISO_n 入力に接続します。MCU (マスタ) の SSL_n0 ~ SSL_n3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

MCU (マスタ) は、RSPCK_n、MOSI_n、SSL_n0 ~ SSL_n3 端子をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

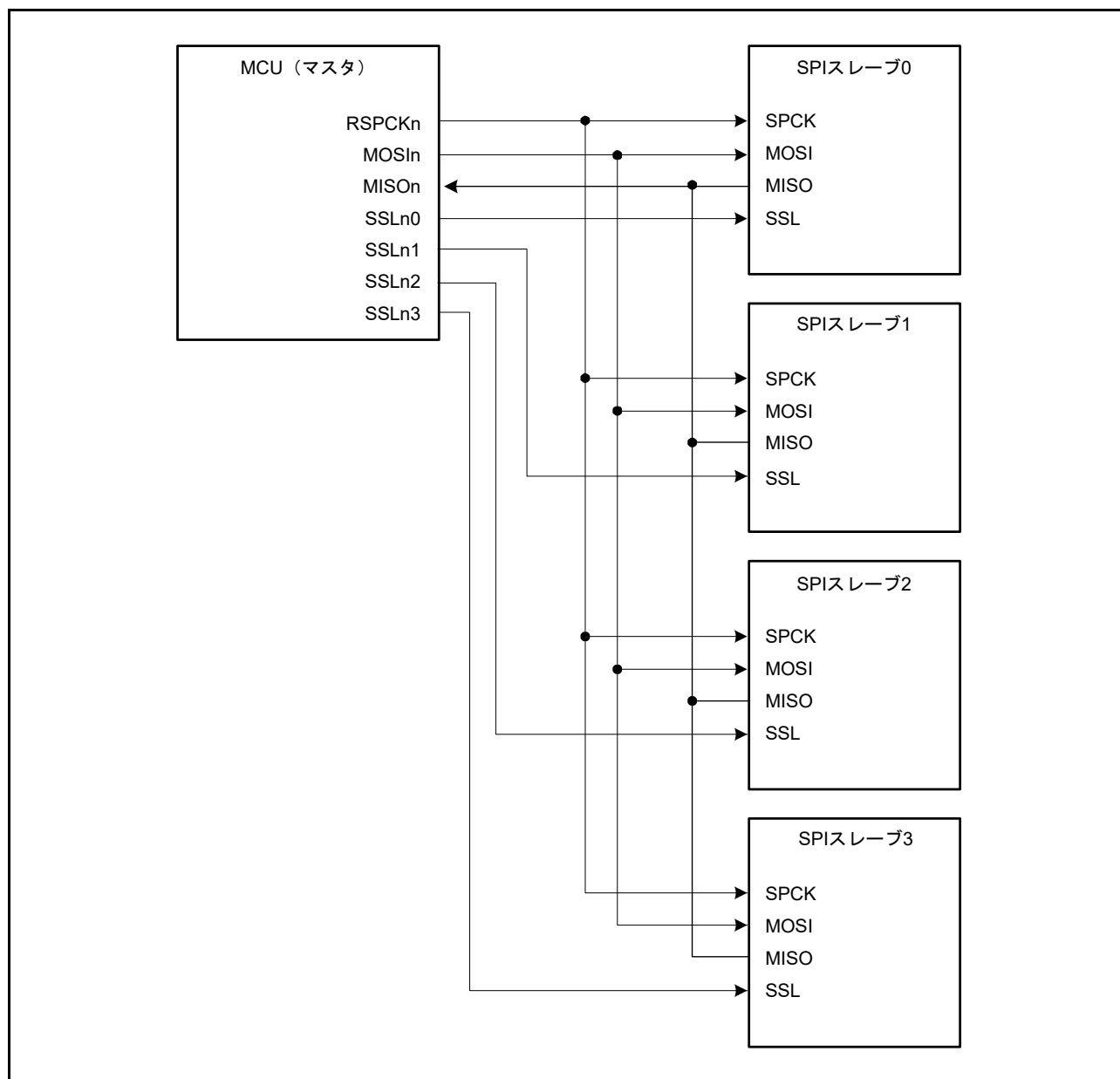


図 30.8 シングルマスタとマルチスレーブの構成例 (MCU はマスタ)

30.3.3.4 シングルマスタとマルチスレーブ (MCU はスレーブ)

図 30.9 に、MCU がスレーブである場合のシングルマスタ／マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU (スレーブ X、スレーブ Y) から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU (スレーブ X、スレーブ Y) の RSPCK_n 入力と MOSI_n 入力に接続します。MCU (スレーブ X、スレーブ Y) の MISO_n 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU (スレーブ X、スレーブ Y) の SSL_n0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU (スレーブ X またはスレーブ Y) のうち、SSL_n0 入力が Low を入力されているスレーブが、MISO_n 信号をドライブします。

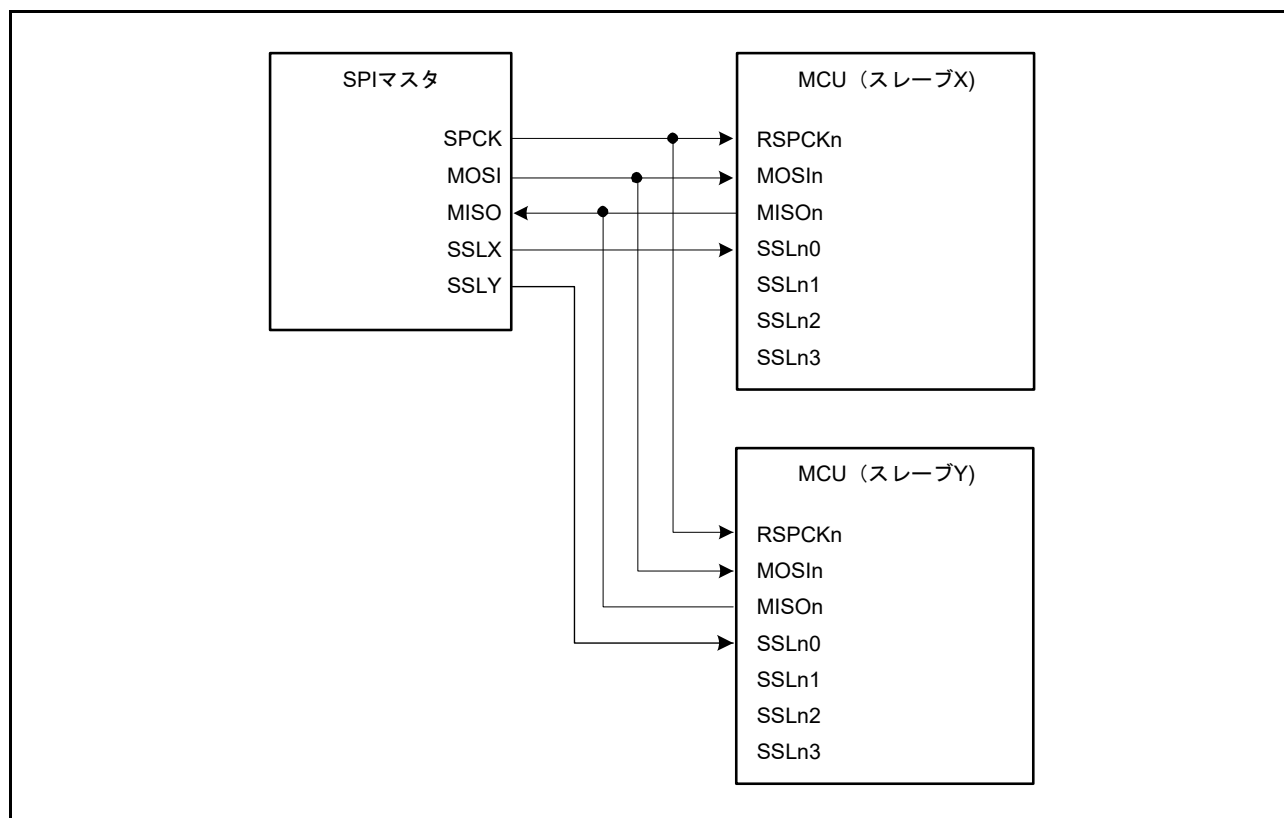


図 30.9 シングルマスタとマルチスレーブの構成例 (MCU はスレーブ)

30.3.3.5 マルチマスタとマルチスレーブ (MCU はマスタ)

図 30.10 に、MCU がマスタである場合のマルチマスタ／マルチスレーブの SPI システム構成例を示します。この例では、2つの MCU (マスタ X、マスタ Y) と 2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から SPI システムを構成しています。

MCU (マスタ X、マスタ Y) の RSPCK_n 出力と MOSI_n 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU (マスタ X、マスタ Y) の MISO_n 入力に接続します。MCU (マスタ X) の任意の汎用ポート Y 出力は、MCU (マスタ Y) の SSL_n0 入力に接続します。MCU (マスタ Y) の任意の汎用ポート X 出力は、MCU (マスタ X) の SSL_n0 入力に接続します。MCU (マスタ X、マスタ Y) の SSL_n1 出力と SSL_n2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL_n0 入力、スレーブ接続用の SSL_n1 出力、SSL_n2 出力のみでシステムを構成できるので、MCU の SSL_n3 出力は必要ではありません。

MCU は、SSL_n0 入力レベルが High の場合には、RSPCK_n、MOSI_n、SSL_n1、SSL_n2 をドライブします。SSL_n0 入力レベルが Low の場合には、MCU はモードフォルトエラーを検出し、RSPCK_n、MOSI_n、SSL_n1、SSL_n2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 または SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

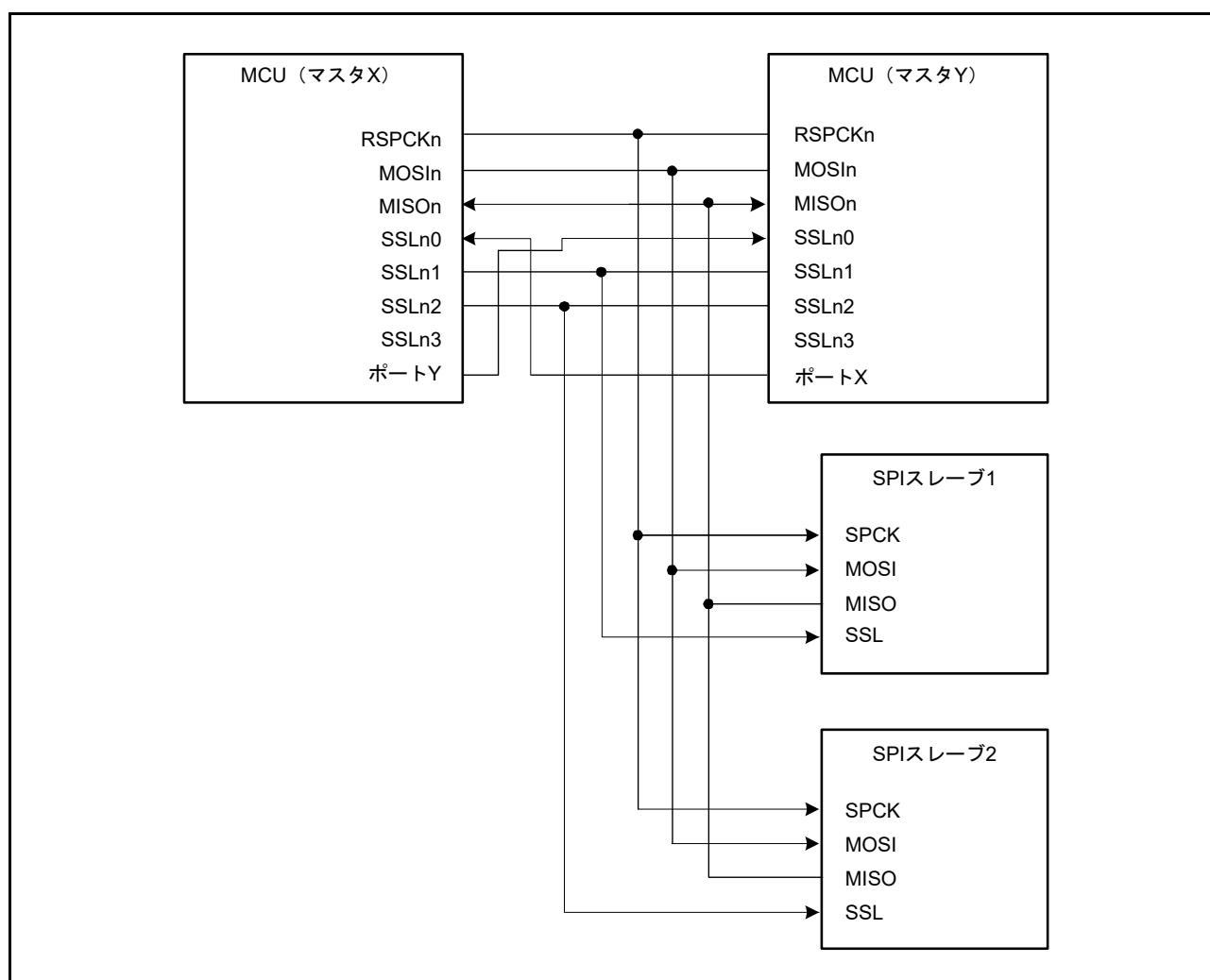


図 30.10 マルチマスタとマルチスレーブの構成例 (MCU はマスタ)

30.3.3.6 クロック同期式モードのマスタとスレーブ (MCU はマスタ)

図 30.11 に、MCU がマスタである場合のクロック同期式モードのマスタとスレーブ構成を示します。クロック同期式モードのマスタとスレーブでは、MCU (マスタ) の SSLn0 ~ SSLn3 は使用しません。

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

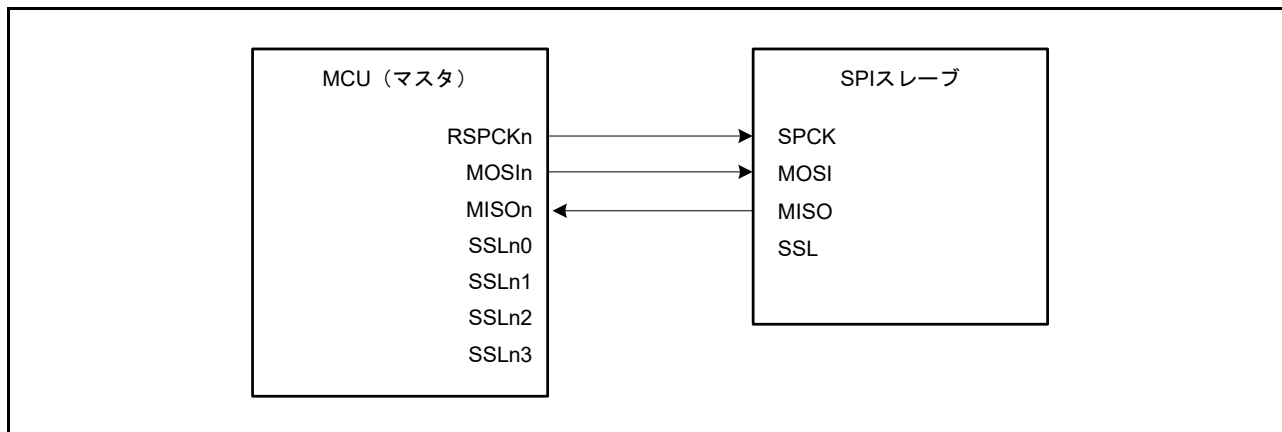


図 30.11 クロック同期式モードのマスタとスレーブの構成例 (MCU はマスタ)

30.3.3.7 クロック同期式モードのマスタとスレーブ (MCU はスレーブ)

図 30.12 に、MCU がスレーブである場合のクロック同期式モードのマスタとスレーブ構成を示します。MCU をクロック同期式モードのスレーブとして使用する場合には、MCU (スレーブ) は MISO n をドライブし、SPI マスタは SPCK と MOSI 信号をドライブします。また、MCU (スレーブ) の SSLn0 ~ SSLn3 は使用しません。

SPCMD0.CPHA が 1 でシングルスレーブ構成の場合のみ、MCU (スレーブ) はシリアル転送を実行できます。

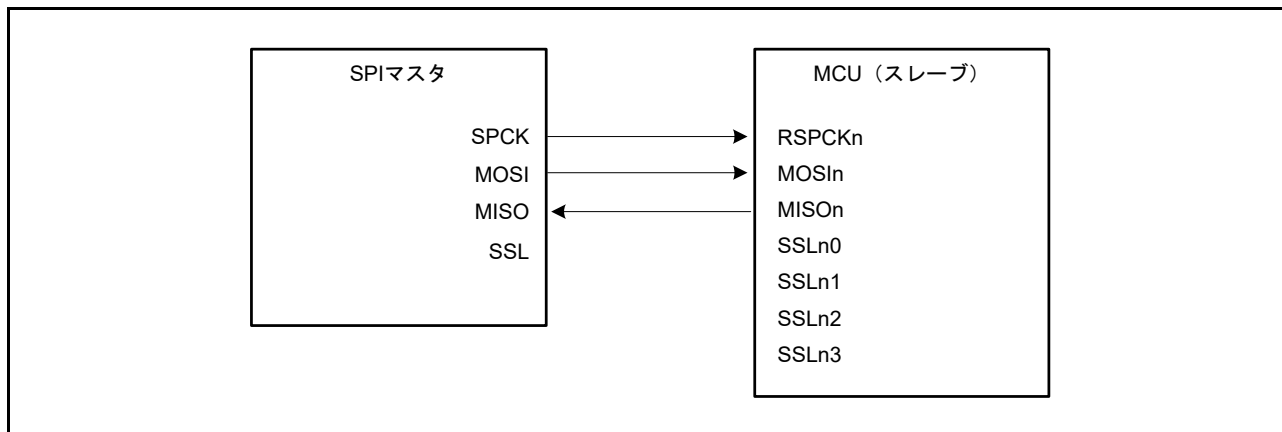


図 30.12 クロック同期式モードのマスタとスレーブの構成例 (MCU はスレーブ、CPHA = 1)

30.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ 0 (SPCMD0) と、SPI コントロールレジスタ 2 のパリティ有効ビット (SPCR2.SPPE) の設定値で決まります。並び順が MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR/SPDR_HA) の LSB ビットから設定データ長に該当するビット分の範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

(a) パリティ機能無効時のデータフォーマット

パリティ機能が無効の場合、SPI コマンドレジスタ 0 の SPI データ長設定ビット (SPCMD0.SPB[3:0]) で選択したビット長でデータの送受信が行われます。

(b) パリティ機能有効時のデータフォーマット

パリティ機能が有効の場合、SPI コマンドレジスタ 0 の SPI データ長設定ビット (SPCMD0.SPB[3:0]) で選択したビット長でデータの送受信が行われます。ただし、最終ビットはパリティビットです。

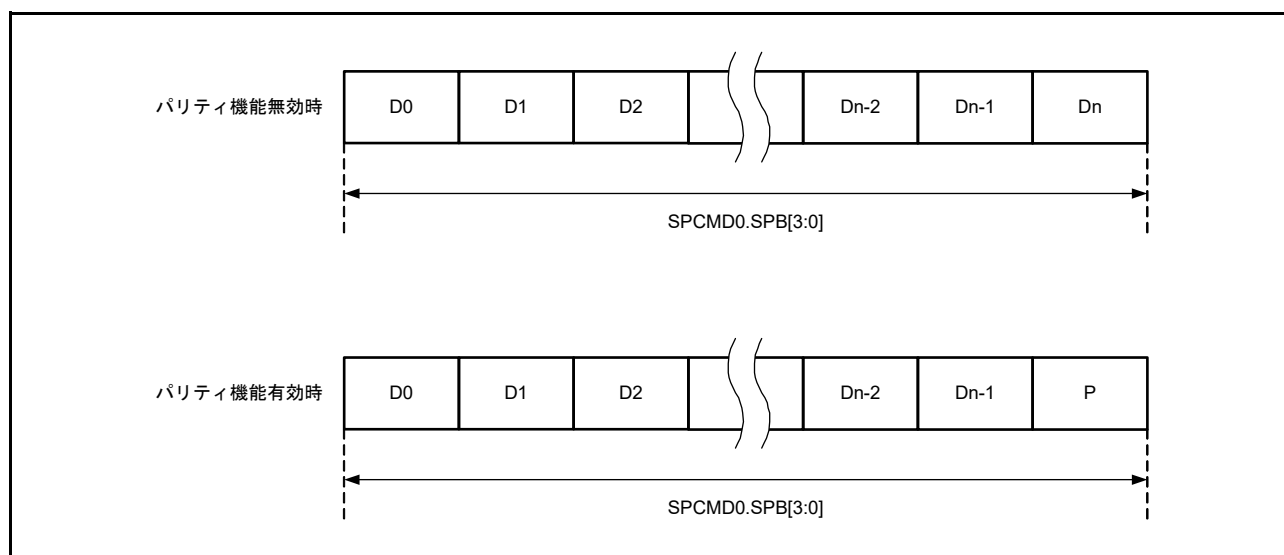


図 30.13 パリティ機能無効時と有効時のデータフォーマット

30.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0) の動作

パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPI データレジスタ (SPDR/SPDR_HA) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) 32 ビットデータの MSB ファースト転送

図 30.14 に、パリティ機能無効時に、SPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → ... T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

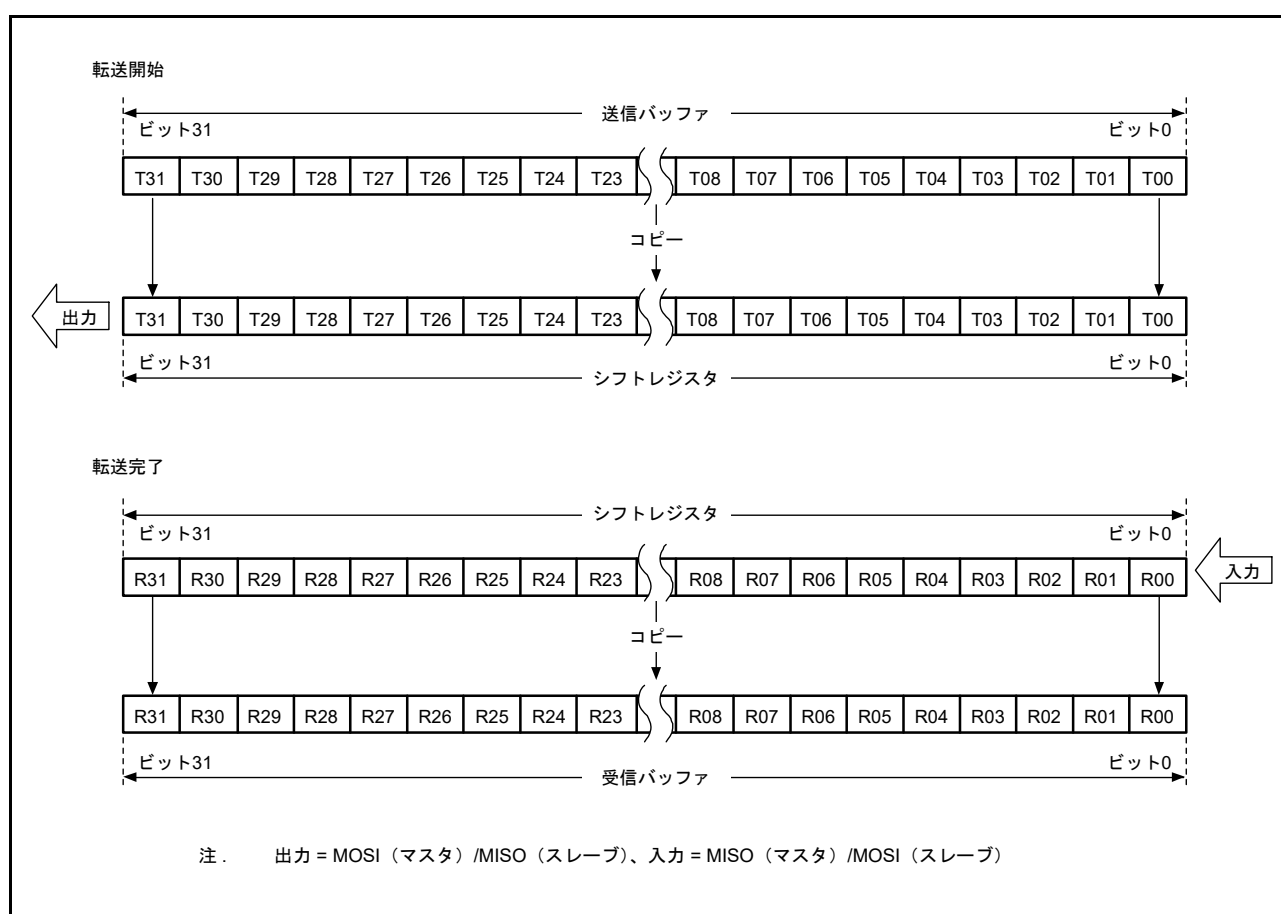


図 30.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) 24 ビットデータの MSB ファースト転送

図 30.15 に、パリティ機能無効時に、SPI が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

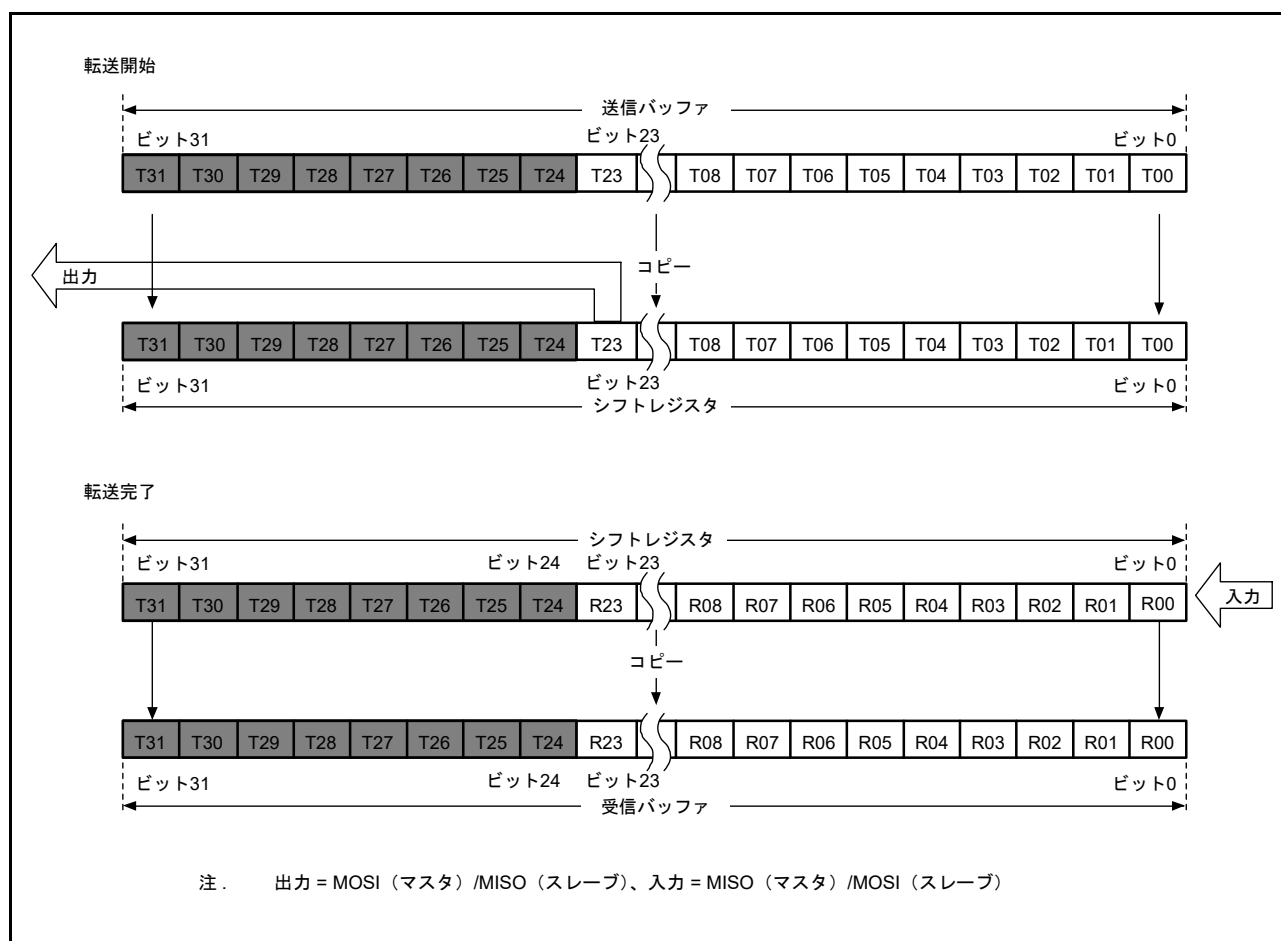


図 30.15 MSB ファースト転送 (24 ビットデータ/パリティ機能無効)

(3) 32 ビットデータの LSB ファースト転送

図 30.16 に、パリティ機能無効時、SPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ～ T00 をビット単位で、T00 ～ T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ～ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

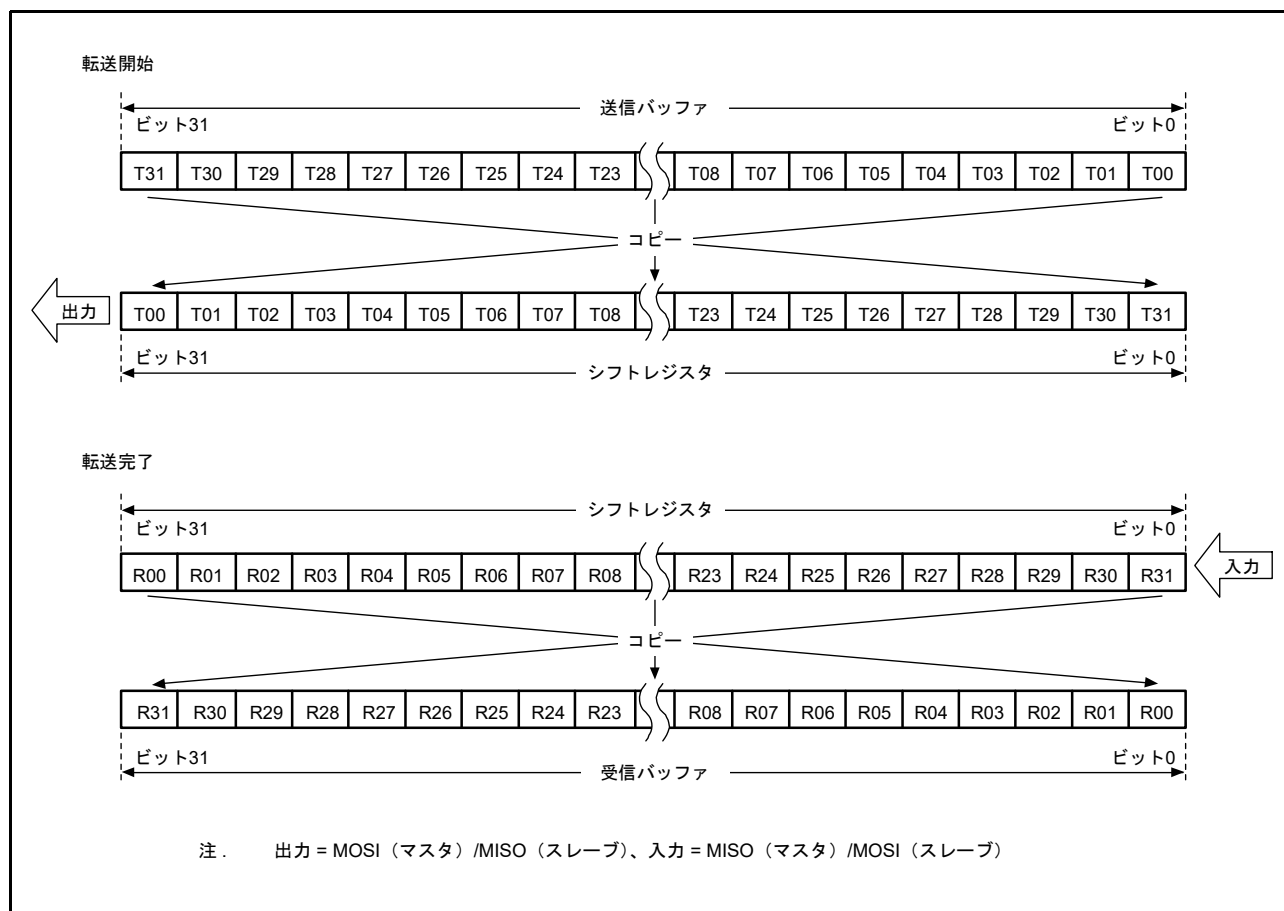


図 30.16 LSB ファースト転送 (32 ビットデータ/パリティ機能無効)

(4) 24 ビットデータの LSB ファースト転送

図 30.17 に、パリティ機能無効時、SPI が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をビット単位で、T00 ~ T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

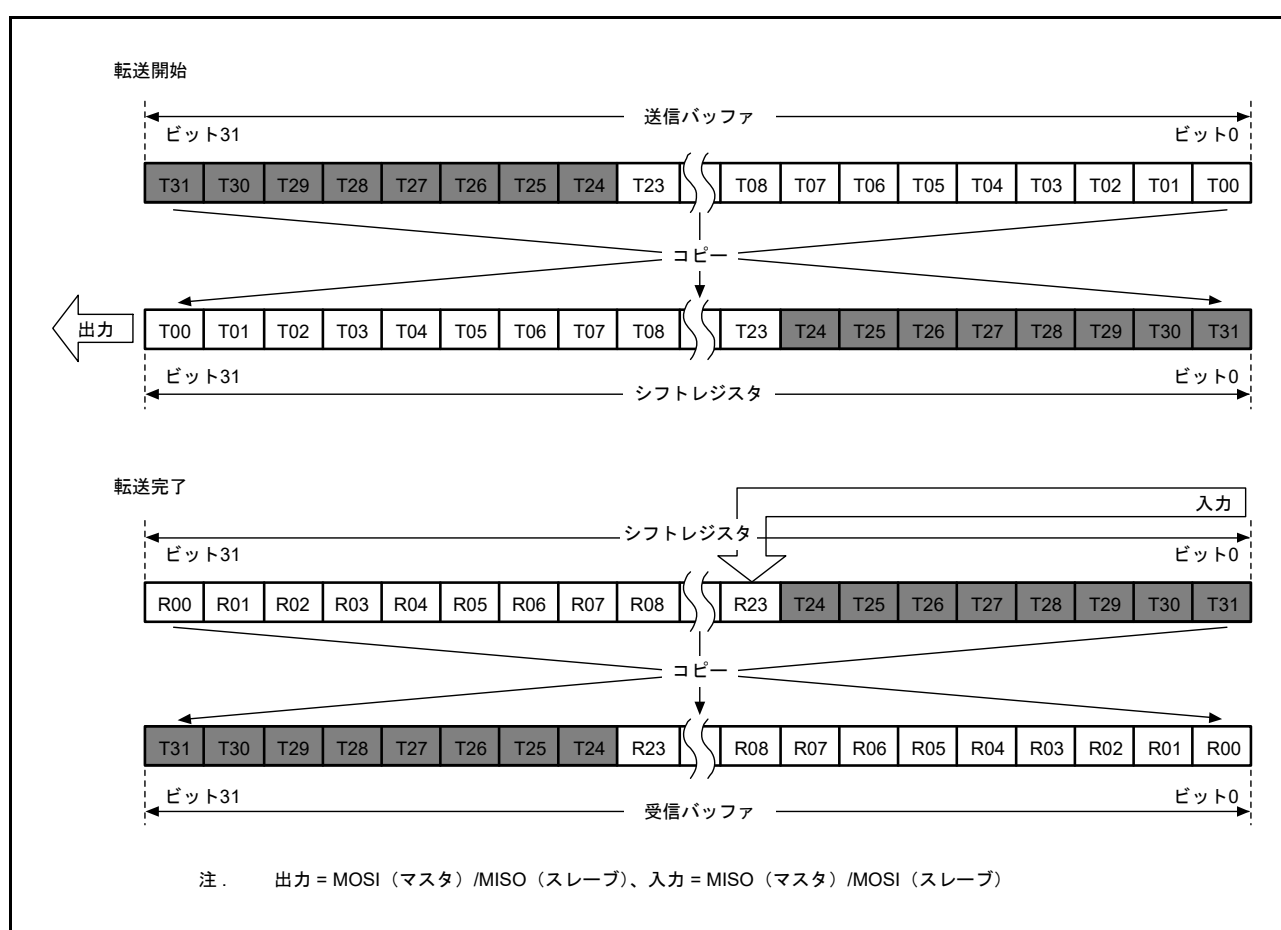


図 30.17 LSB ファースト転送 (24 ビットデータ/パリティ機能無効)

30.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1) の動作

パリティ機能有効時は、送信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアが計算します。

(1) 32 ビットデータの MSB ファースト転送

図 30.18 に、パリティ機能有効時、SPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初にビット T31 ~ T01 のデータ値から、パリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、全体をシフトレジスタにコピーします。データは、T31 → T30 → … T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R31 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31 ~ P のデータをチェックします。

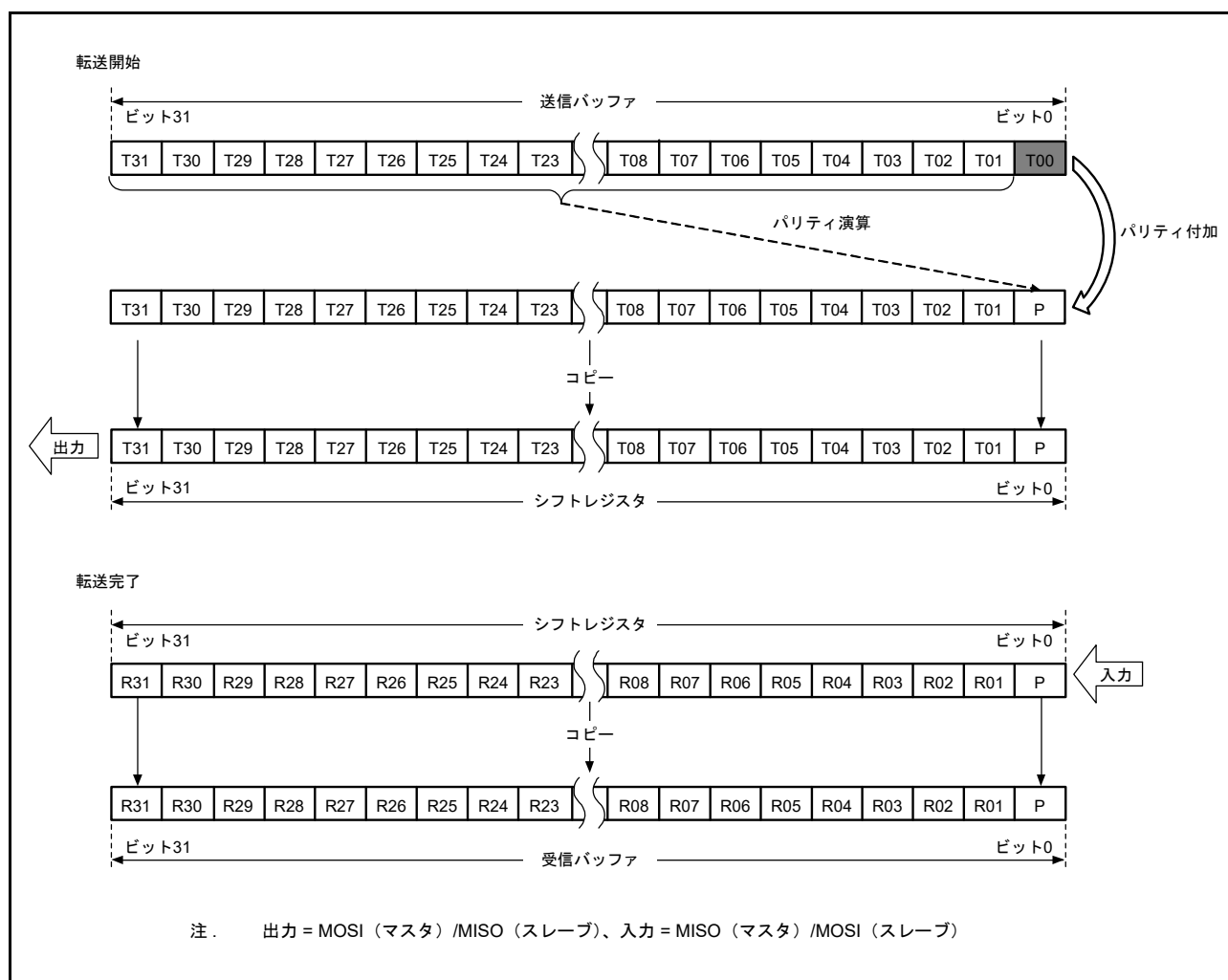


図 30.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) 24 ビットデータの MSB ファースト転送

図 30.19 に、パリティ機能有効時、SPI が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、ビット T23 ~ T01 のデータ値から、パリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、全体をシフトレジスタにコピーします。データは、T23 → T22 → ・ ・ ・ T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R23 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23 ~ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

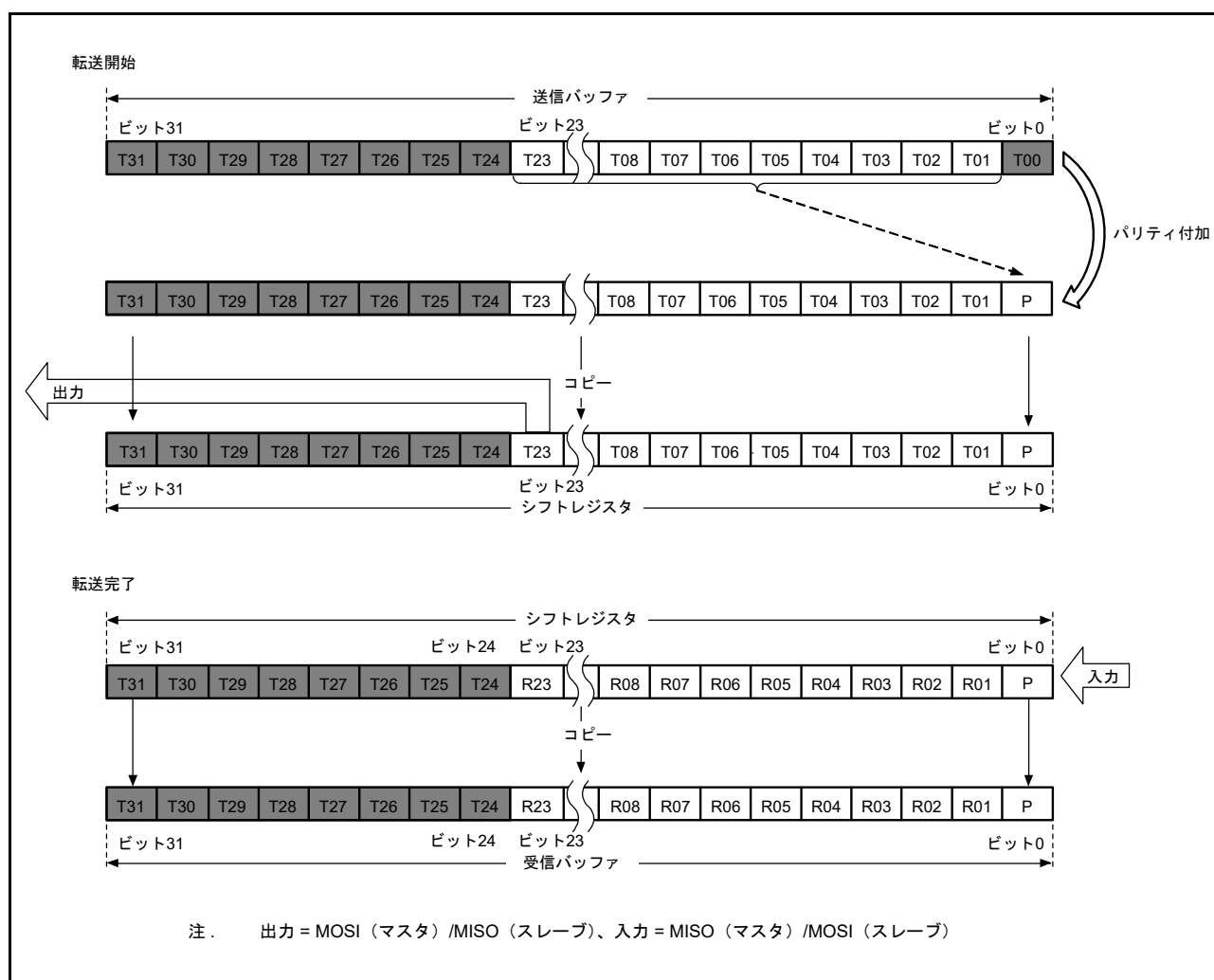


図 30.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) 32 ビットデータの LSB ファースト転送

図 30.20 に、パリティ機能有効時、SPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、ビット T30 ~ T00 のデータ値から、パリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、全体の値をシフトレジスタにコピーします。データは、T00 → T01 → ・ ・ ・ T30 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ~ P のデータをチェックします。

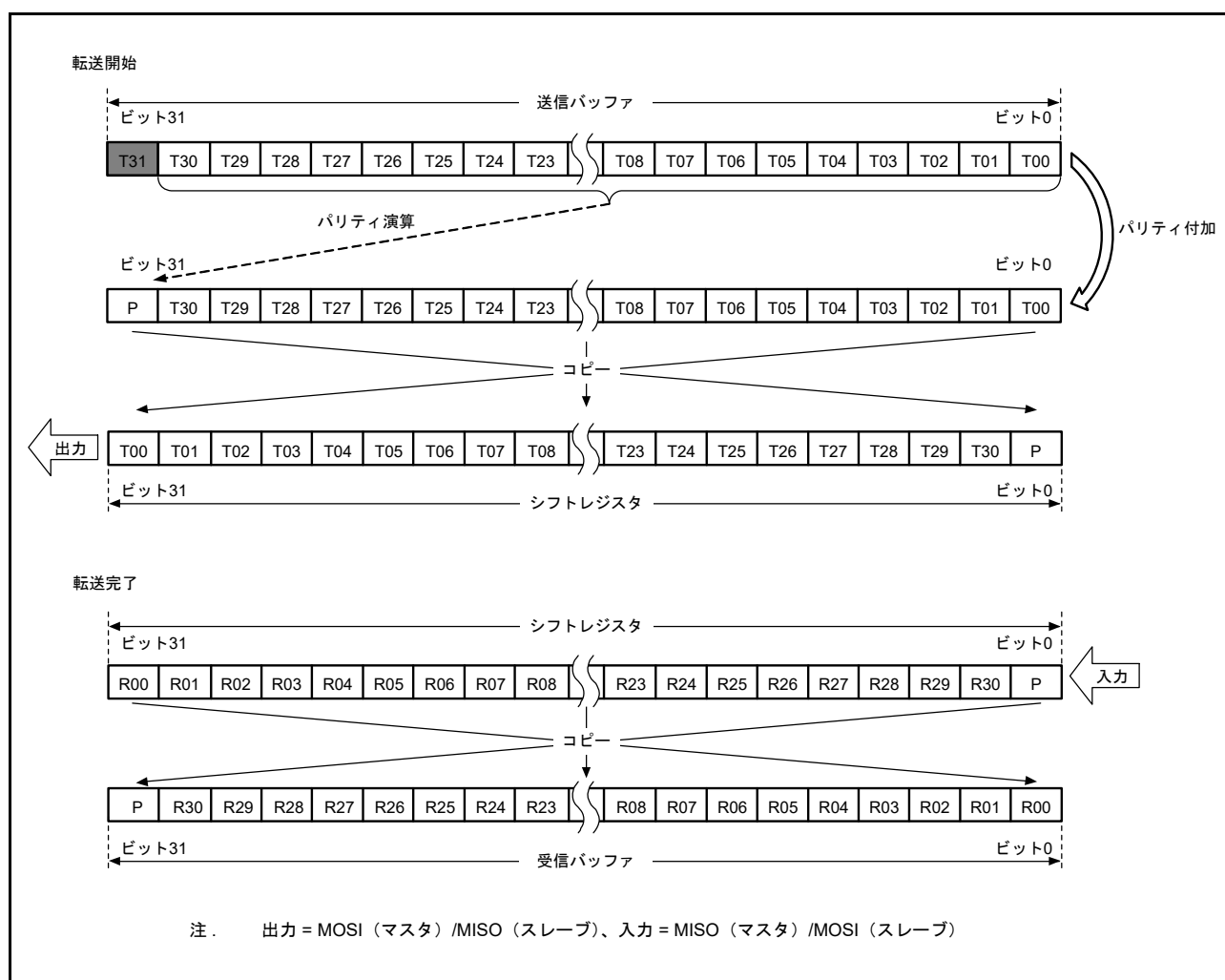


図 30.20 LSB ファースト転送 (32 ビットデータ/パリティ機能有効)

(4) 24 ビットデータの LSB ファースト転送

図 30.21 に、パリティ機能有効時、SPI が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、ビット T22 ～ T00 のデータ値から、パリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、全体の値をシフトレジスタにコピーします。データは、T00 → T01 → ・ ・ ・ T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ～ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ～ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ～ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

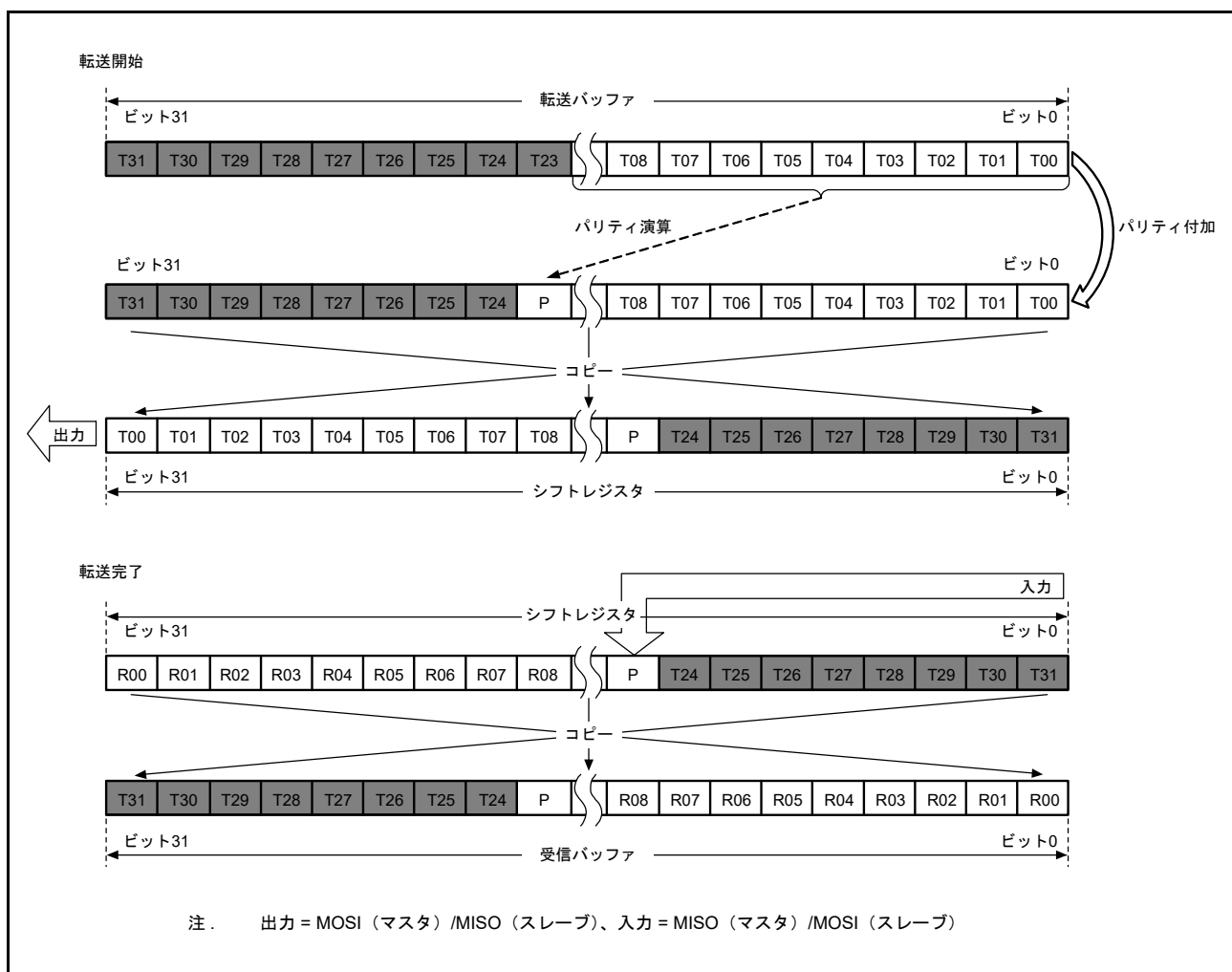


図 30.21 LSB ファースト転送 (24 ビットデータ/パリティ機能有効)

30.3.5 転送フォーマット

30.3.5.1 CPHA ビット = 0 の場合の転送フォーマット

図 30.22 に、SPCMD0.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR=0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS ビット=1) は行わないでください。図 30.22 において、RSPCK_n (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCK_n 信号波形を示し、RSPCK_n (CPOL = 1) は、SPCMD0.CPOL ビットが 1 の場合の RSPCK_n 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依ります。詳細は、30.3.2 SPI 端子の制御を参照してください。

SPCMD0.CPHA ビットが 0 の場合には、SSL_{ni} 信号のアサートタイミングで、MOS_{In} 信号と MISO_{On} 信号への有効データのドライブが開始されます。SSL_{ni} 信号のアサート後に発生する最初の RSPCK_n 信号変化が最初の転送データ取り込みになり、これ以降、1RSPCK 周期ごとにデータがサンプリングされます。MOS_{In} 信号と MISO_{On} 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK_n 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t₁ は、SSL_{ni} 信号のアサートから RSPCK_n 発振までの期間 (RSPCK 遅延) を示します。t₂ は、RSPCK_n 発振停止から SSL_{ni} 信号のネゲートまでの期間 (SSL ネゲート遅延) を示します。t₃ は、シリアル転送終了後に次転送のための SSL_{ni} 信号アサートを抑制する期間 (次アクセス遅延) を示します。t₁、t₂、t₃ は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t₁、t₂、t₃ については、30.3.10.1 マスタモード動作を参照してください。

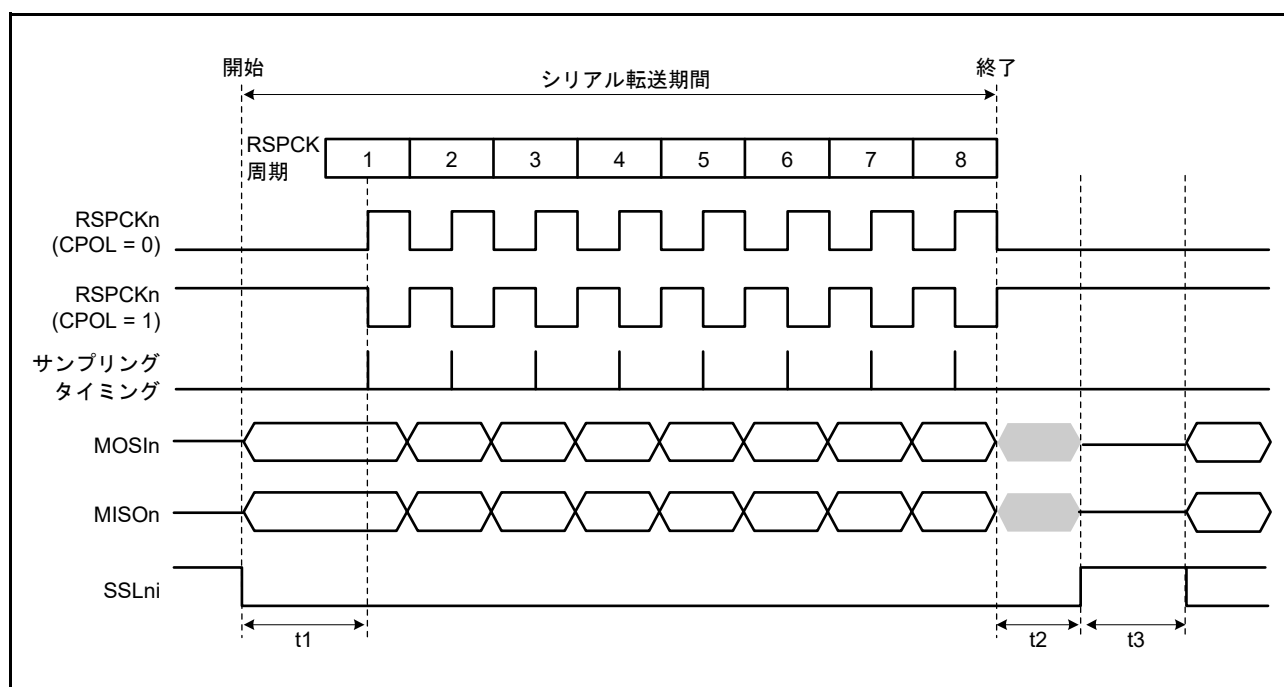


図 30.22 SPI 転送フォーマット (CPHA ビット = 0)

30.3.5.2 CPHA ビット = 1 の場合

図 30.23 に、SPCMD0.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOOn 信号の 3 つの信号のみで通信を行います。図 30.23 において、RSPCK (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示し、RSPCK (CPOL = 1) は、SPCMD0.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI のモード (マスタ/スレーブ) に依存します。詳細は、30.3.2 SPI 端子の制御を参照してください。

SPCMD0.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMD0.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、30.3.10.1 マスタモード動作を参照してください。

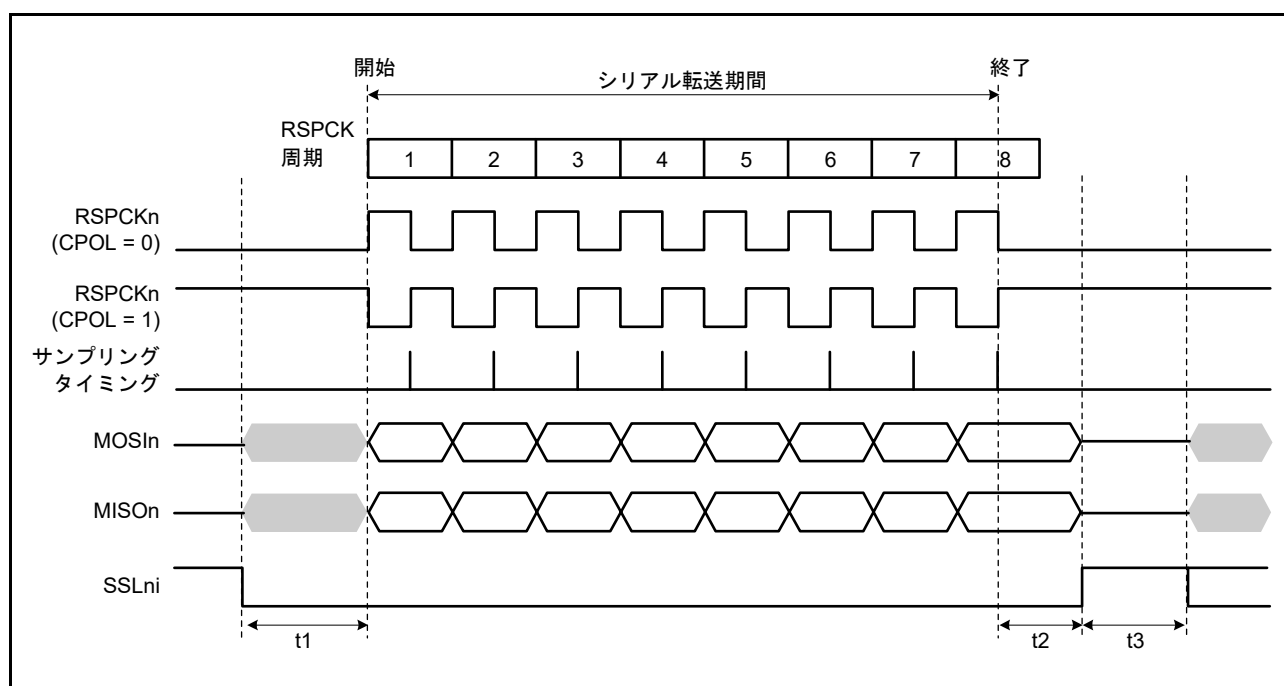


図 30.23 SPI 転送フォーマット (CPHA ビット = 1)

30.3.6 データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作を選択できます。図 30.24、図 30.25 に記載のレジスタアクセスは、SPDR/SPDR_HA レジスタへのアクセス状況を示しています。“W” は書き込みサイクルを示しています。

30.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 30.24 に、通信動作モード選択ビット (SPCR.TXMD) を 0 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載された数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

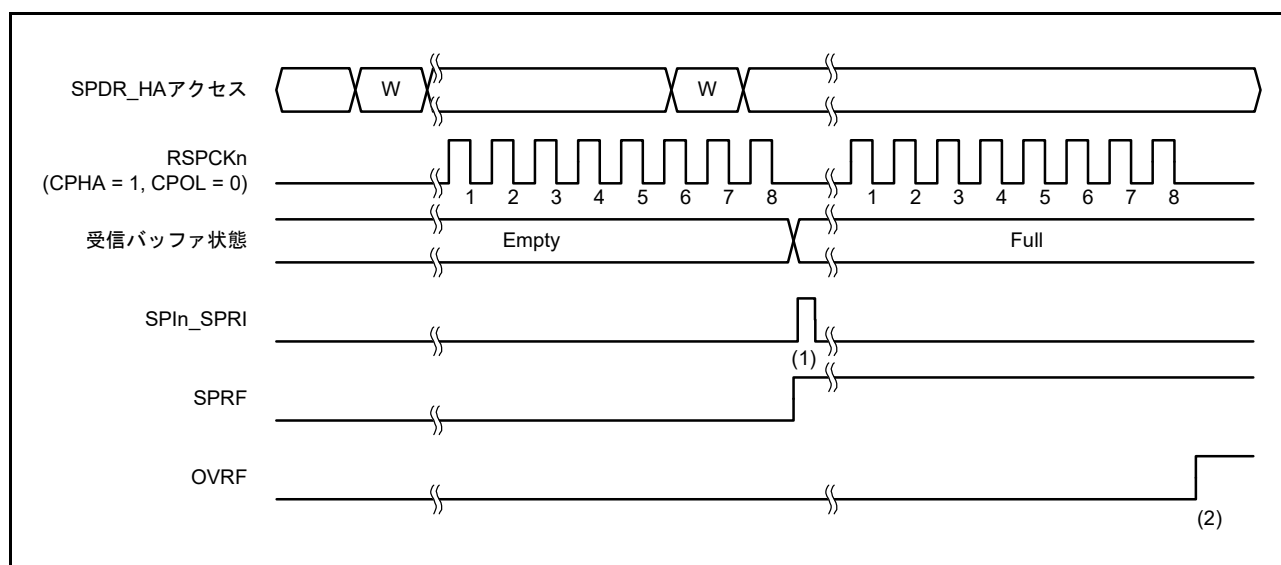


図 30.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) SPDR/SPDR_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIn_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR/SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。

30.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 30.25 に、通信動作モード選択ビット (SPCR.TXMD) を 1 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

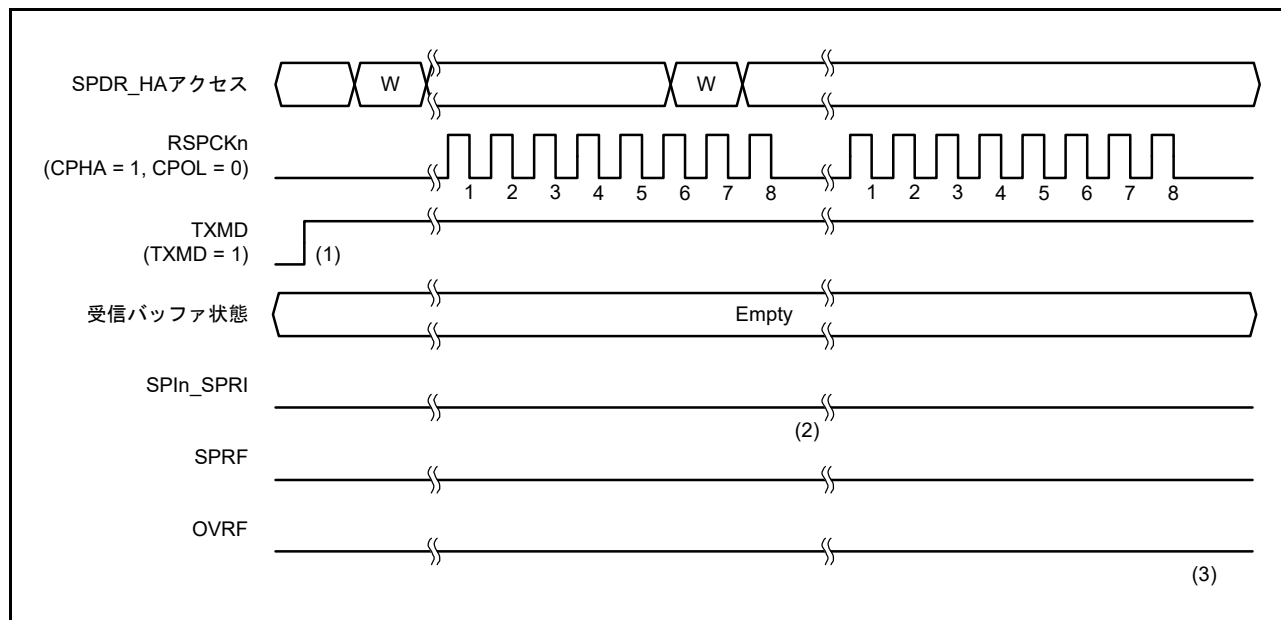


図 30.25 SPCR.TXMD = 1 の動作例

以下に、図 30.25 でのタイミング (1) ~ (3) でのフラグ動作を説明します。

- (1) 送信のみ動作モード (SPCR.TXMD = 1) へ遷移する前に、受信バッファにデータが残っていないこと (SPSR.SPRF フラグ = 0)、および SPSR.OVRF フラグが 0 であることを確認してください。
- (2) SPDR/SPDR_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみモード (SPCR.TXMD = 1) を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR/SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作 (SPCR.TXMD = 1) では、SPI はデータを送信しますが、受信はしません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1) ~ (3) それぞれのタイミングで 0 を保持します。

30.3.7 送信バッファエンプティ／受信バッファフル割り込み

図 30.26 および図 30.27 に、送信バッファエンプティ割り込み (SPIn_SPTI) と受信バッファフル割り込み (SPIn_SPRI) の動作例を示します。図に記載のレジスタアクセスは、SPDR/SPDR_HA レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 30.27 の例では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。

図 30.26 の例では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 0、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCK_n 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

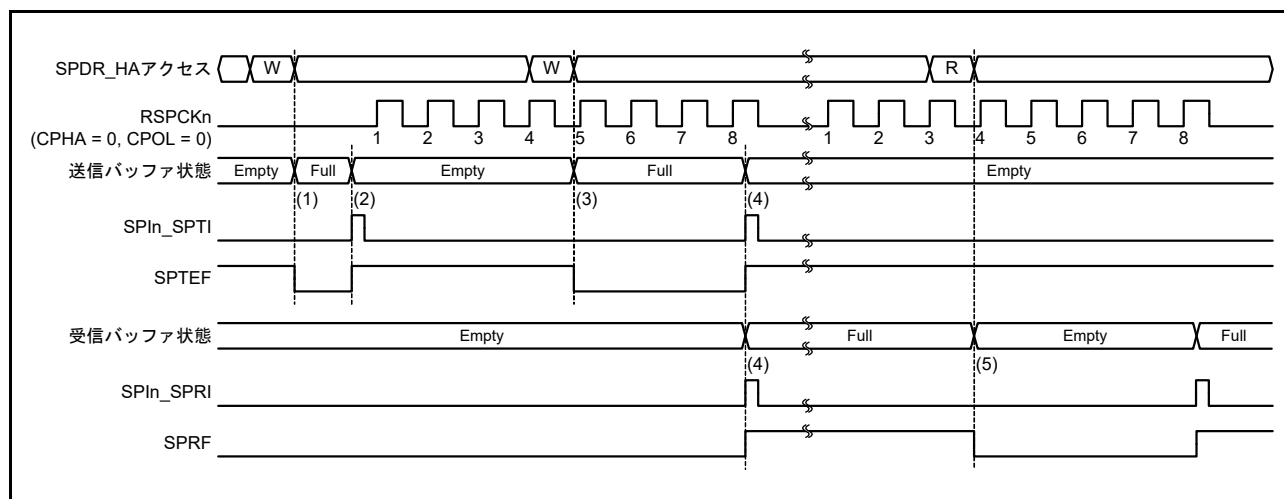


図 30.26 SPIn_SPTI、SPIn_SPRI 割り込みの動作例 (CPHA = 0、CPOL = 0)

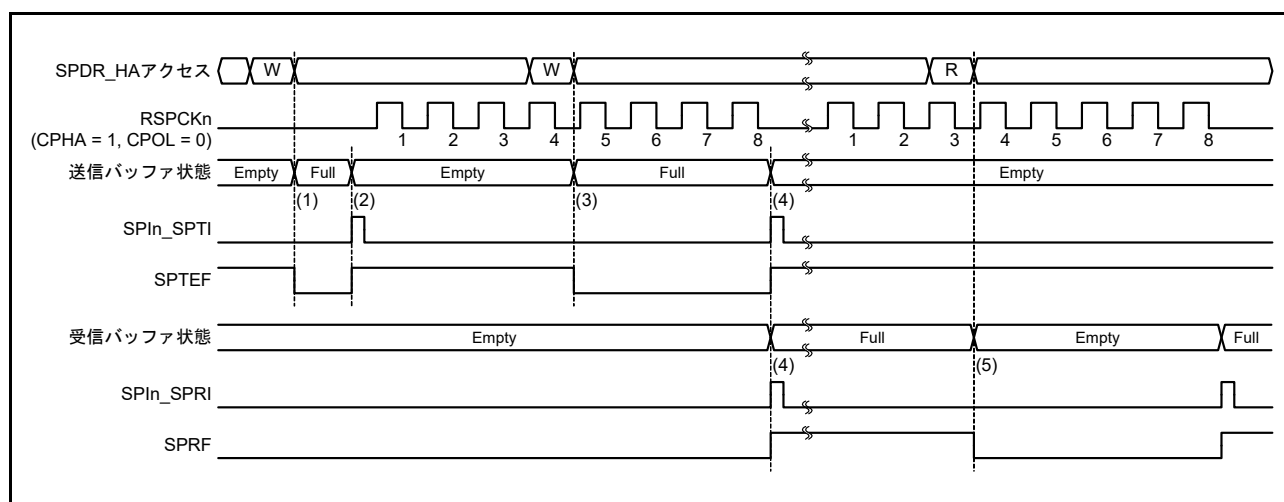


図 30.27 SPIn_SPTI、SPIn_SPRI 割り込みの動作例 (CPHA = 1、CPOL = 0)

以下に、[図 30.27](#) でのタイミング (1) ~ (5) での SPI 動作を説明します。

- (1) SPDR/SPDR_HA レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR/SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
- (2) シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPIIn_SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、[30.3.10 SPI 動作](#)および [30.3.11 クロック同期式動作](#)を参照してください。
- (3) 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティの処理で SPDR/SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR/SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIIn_SPRI) を発生させ、SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (5) 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフルの処理で SPDR/SPDR_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態 (SPTEF フラグ = 0) で、SPDR/SPDR_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR/SPDR_HA レジスタへ書き込む場合は、送信バッファエンプティ割り込み要求を使用するか、または SPTEF フラグによる送信バッファエンプティ割り込みの処理を行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効 (SPCR.SPE ビットが 0) の場合には、SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPRF フラグ = 1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します ([30.3.8 エラー検出](#)を参照)。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信／受信バッファの状態は、送信／受信割り込み、または関連する ICU の IELSRm.IR フラグ (m は割り込みベクタ番号) によって確認することが可能です。同様に、SPTEF および SPRF フラグによっても、送信／受信バッファの状態を確認できます。割り込みベクタ番号については、「[13. 割り込みコントロールユニット \(ICU\)](#)」を参照してください。

30.3.8 エラー検出

通常の SPI のシリアル転送では、SPDR/SPDR_HA レジスタの送信バッファに書き込んだデータが送信され、受信したデータは SPDR/SPDR_HA レジスタの受信バッファから読み出すことができます。SPDR/SPDR_HA レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によって、通常以外の転送となることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 30.7 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 30.7 通常以外の転送動作と SPI のエラー検出機能の関係

	発生条件	SPI 動作	エラー検出
1	送信バッファフルの状態です PDR/SPDR_HA レジスタへ書き込み	- 送信バッファ内容を保持 - 書き込みデータ欠落	なし
2	受信バッファエンプティの状態です PDR/SPDR_HA レジスタを読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	- シリアル転送を中断 - 送受信データ欠落 - MISOA 出力信号のドライブ停止 - SPI 機能は無効	アンダーランエラー
4	受信バッファフルの状態、シリアル転送が終了	- 受信バッファ内容を保持 - 受信データ欠落	オーバーランエラー
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 入力信号アサート	- RSPCKn、MOSIn、SSLn1 ~ SSLn3 出力信号のドライブ停止 - SPI 機能は無効	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 入力信号アサート	- シリアル転送を中断 - 送受信データ欠落 - RSPCKn、MOSIn、SSLn1 ~ SSLn3 出力信号のドライブ停止 - SPI 機能は無効	モードフォルトエラー
8	スレーブモードでシリアル転送中に SSLn0 入力信号ネゲート	- シリアル転送を中断 - 送受信データ欠落 - MISOOn 出力信号のドライブ停止 - SPI 機能は無効	モードフォルトエラー

表 30.7 の 1 に示した動作に対しては、SPI はエラーを検出しません。SPDR/SPDR_HA レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR/SPDR_HA レジスタへの書き込みを実行してください (SPSR.SPTEF = 1 の場合)。2 に示した動作に対しても、SPI はエラーを検出しません。不要なデータを読み出さないようにするためには、SPI 受信バッファフル割り込み要求で SPDR/SPDR_HA レジスタの読み出しを実行するようにしてください (SPSR.SPRF = 1 の場合)。

その他のエラーについては、以下の項を参照してください。

- operation 3 のアンダーランエラーについては、[30.3.8.4 アンダーランエラー](#)を参照してください
- operation 4 のオーバーランエラーについては、[30.3.8.1 オーバーランエラー](#)を参照してください
- operation 5 のパリティエラーについては、[30.3.8.2 パリティエラー](#)を参照してください
- 動作 6 ~ 8 のモードフォルトエラーについては、[30.3.8.3 モードフォルトエラー](#)を参照してください

送信および受信割り込みについては、[30.3.7 送信バッファエンプティ/受信バッファフル割り込み](#)を参照してください。

30.3.8.1 オーバーランエラー

SPDR/SPDR_HA レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 にするには、CPU によって OVRF フラグが 1 の SPSR レジスタが読み出された後、OVRF フラグに 0 を書いてください。

図 30.28 に、OVRF フラグと SPRF フラグの動作例を示します。図 30.28 に記載の SPSR アクセスと SPDR/SPDR_HA アクセスは、それぞれ SPSR、SPDR/SPDR_HA レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCK_n 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

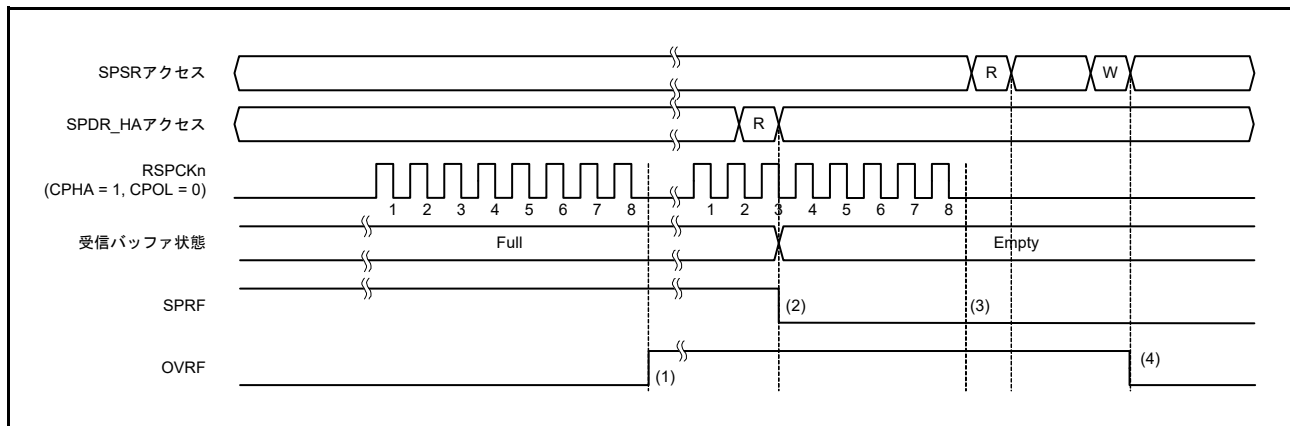


図 30.28 OVRF フラグおよび SPRF フラグの動作例

以下に、図 30.28 の (1) ~ (4) に示したタイミングでのフラグ動作を説明します。

- (1) SPRF フラグが 1 (受信バッファフル) の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。
- (2) SPDR/SPDR_HA レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPRF フラグが 0 になります。受信バッファが空になっても、OVRF フラグは 0 になりません。
- (3) OVRF フラグが 1 (オーバーランエラー発生) の状態でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは 1 になりません)。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると、SPI はシフトレジスタが空であると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (4) OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書くと、OVRF フラグは 0 になります。

オーバーランエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPDR/SPDR_HA レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF が 0 にクリアされるまで正常な受信ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 30.29、図 30.30 に、マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

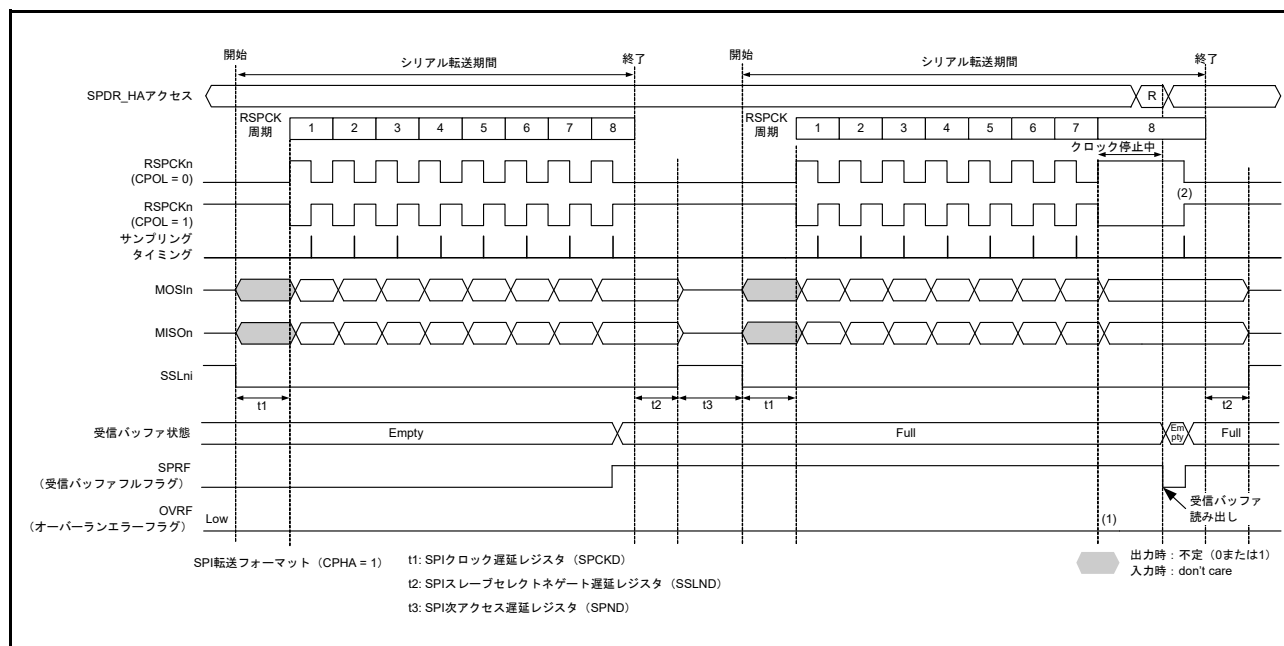


図 30.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

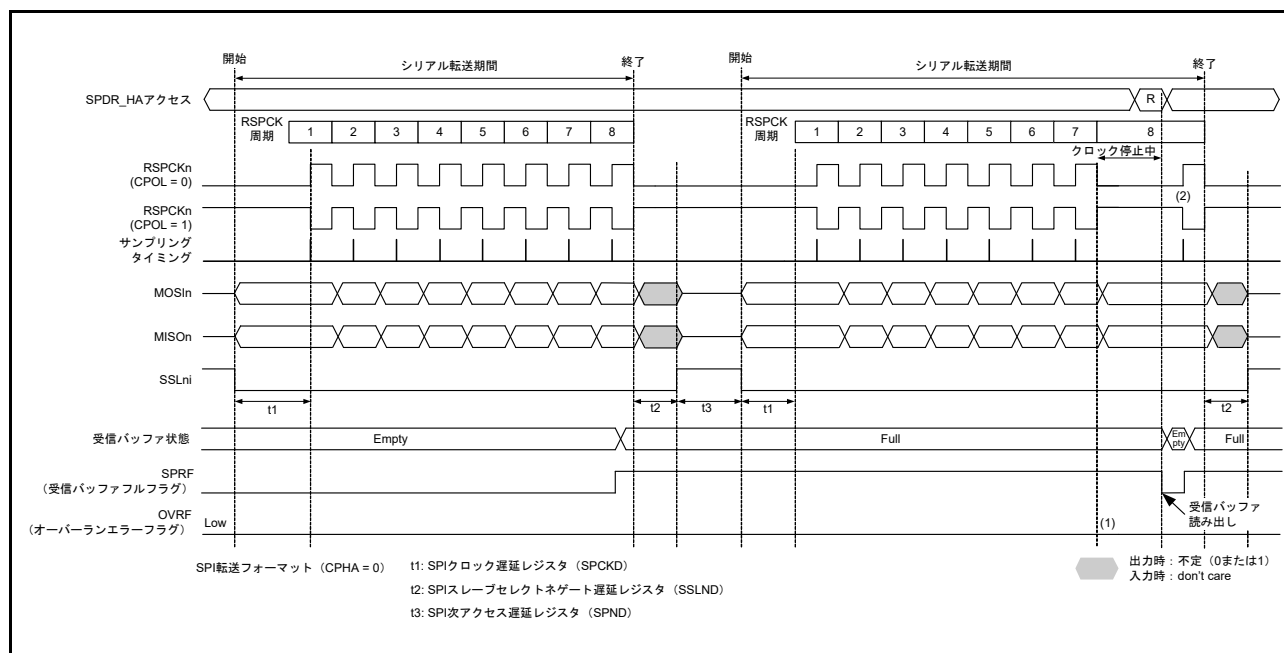


図 30.30 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図 30.29 および図 30.30 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
- (2) クロック停止中に SPDR/SPDR_HA レジスタを読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPSR.SPRF が 0 になった後)、RSPCK クロックが再開します。

30.3.8.2 パリティエラー

SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを 0 にするには、PERF フラグが 1 の状態の SPSR レジスタを読んだ後、PERF フラグに 0 を書く必要があります。

図 30.31 に、OVRF フラグと PERF フラグの動作例を示します。図 30.31 に記載の“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。この例では、SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

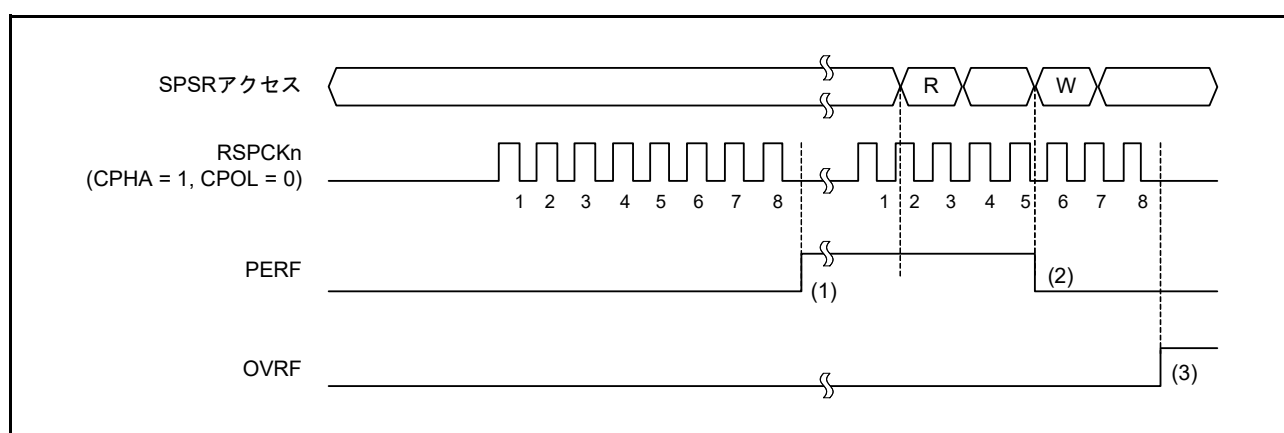


図 30.31 OVRF フラグおよび PERF フラグの動作例

以下に、図 30.31 の (1) ~ (3) に示したタイミングでのフラグ動作を説明します。

- (1) SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると PERF フラグを 1 にします。
- (2) PERF フラグが 1 の状態で SPSR レジスタを読んだ後、PERF フラグに 0 を書くと、PERF フラグが 0 になります。
- (3) SPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、SPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。

30.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。なお、SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 入力信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（[30.3.9 SPI の初期化](#)を参照）。マルチマスタ構成の場合には、モードフォルトエラーの検出によって出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするためには、MODF フラグを 0 にしてください。

30.3.8.4 アンダーランエラー

SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送が開始すると、SPI はアンダーランエラーを検出します。その後、SPI は SPSR.MODF および SPSR.UDRF フラグを 1 にします。SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（[30.3.9 SPI の初期化](#)を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にする必要があります。

30.3.9 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットを 0 にすることによる初期化と、システムリセットによる初期化について説明します。

30.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化 (SPSR.SPTEF フラグを 1 にする)

SPE ビットを 0 にする初期化では、SPI の制御ビットは初期化されません。このため、再度 SPE ビットを 1 にすると、初期化前と同じ転送モードで SPI を起動できます。

SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグは初期化されません。このため、SPI の初期化後も受信バッファのデータを読み出すことで、SPI 転送時のエラー状況を確認できます。

送信バッファは空の状態に初期化されます (SPSR.SPTEF フラグが 1 になる)。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するには、SPE ビットへ 0 を書くと同時に、SPTIE ビットにも 0 を書いてください。

30.3.9.2 システムリセットによる初期化

システムリセットでは、[30.3.9.1 SPE ビットのクリアによる初期化](#)に記載の事項に加え、SPI 制御用の全ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

30.3.10 SPI 動作

30.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の使用のみです ([30.3.8 エラー検出](#)を参照)。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

SPI 送信バッファが空きの状態で SPI データレジスタ (SPDR/SPDR_HA) にデータが書き込まれ、次転送のデータがセットされていない (SPSR.SPTEF フラグ=1) とき、SPI は送信バッファ (SPTX) のデータを更新します。シフトレジスタが空の場合、SPI は送信バッファのデータをシフトレジスタへコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、[30.3.5 転送フォーマット](#)を参照してください。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCK_n エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送終了後に、SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、[30.3.5 転送フォーマット](#)を参照してください。

(3) RSPCK 遅延 (t1)

マスタモードでの RSPCK 遅延は、SPCMD0.SCKDEN ビットの設定値と SPCKD レジスタの設定値で決まります。SPI は、SPCMD0.SCKDEN ビットと SPCKD レジスタを使用して、[表 30.8](#) のようにシリアル転送時の RSPCK 遅延を決定します。なお、RSPCK 遅延の定義については、[30.3.5 転送フォーマット](#)を参照してください。

表 30.8 SCKDEN ビット、SPCKD レジスタ、RSPCK 遅延の関係

SPCMD0.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(4) SSL ネゲート遅延 (t2)

マスタモードでの SSL ネゲート遅延値は、SPCMD0.SLNDEN ビットの設定と SSLND レジスタの設定で決まります。SPI は、SPCMD0.SLNDEN ビットと SSLND レジスタを使用して、表 30.9 のようにシリアル転送時の SSL ネゲート遅延を決定します。なお、SSL ネゲート遅延の定義については、30.3.5 転送フォーマットを参照してください。

表 30.9 SLNDEN ビット、SSLND レジスタ、SSL ネゲート遅延の関係

SPCMD0.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(5) 次アクセス遅延 (t3)

マスタモードでの次アクセス遅延は、SPCMD0.SPNDEN ビットの設定値と SPND レジスタの設定値で決まります。SPI は、SPCMD0.SPNDEN ビットと SPND レジスタを使用して、表 30.10 のようにシリアル転送時の次アクセス遅延を決定します。なお、次アクセス遅延の定義については、30.3.5 転送フォーマットを参照してください。

表 30.10 SPNDEN ビット、SPND レジスタ、次アクセス遅延の関係

SPCMD0.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延
0	000b ~ 111b	1RSPCK + 2PCLKB
1	000b	1RSPCK + 2PCLKB
	001b	2RSPCK + 2PCLKB
	010b	3RSPCK + 2PCLKB
	011b	4RSPCK + 2PCLKB
	100b	5RSPCK + 2PCLKB
	101b	6RSPCK + 2PCLKB
	110b	7RSPCK + 2PCLKB
	111b	8RSPCK + 2PCLKB

(6) 初期化フロー

図 30.32 に、SPI がマスタモードの場合の SPI 初期化フローの例を示します。なお、ICU、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

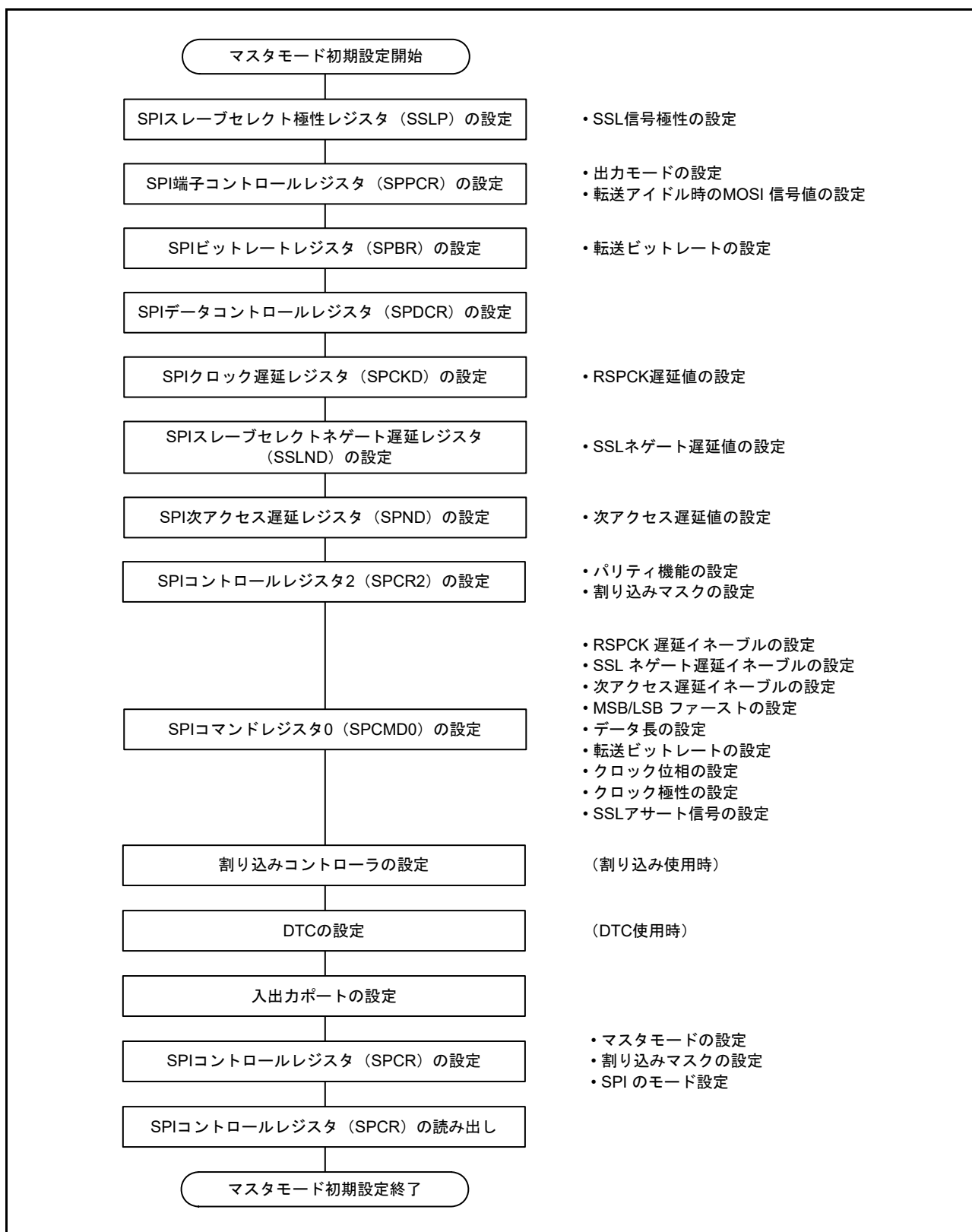


図 30.32 マスタモード時の初期化フロー例 (SPI 動作)

(7) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 30.33 ～ 図 30.35 に示します。

(a) 送信処理フロー

SPIn_SPII 割り込みが有効のときに送信を行う場合、送信データの最終データ書き込み後にデータ送信完了を CPU に通知します。

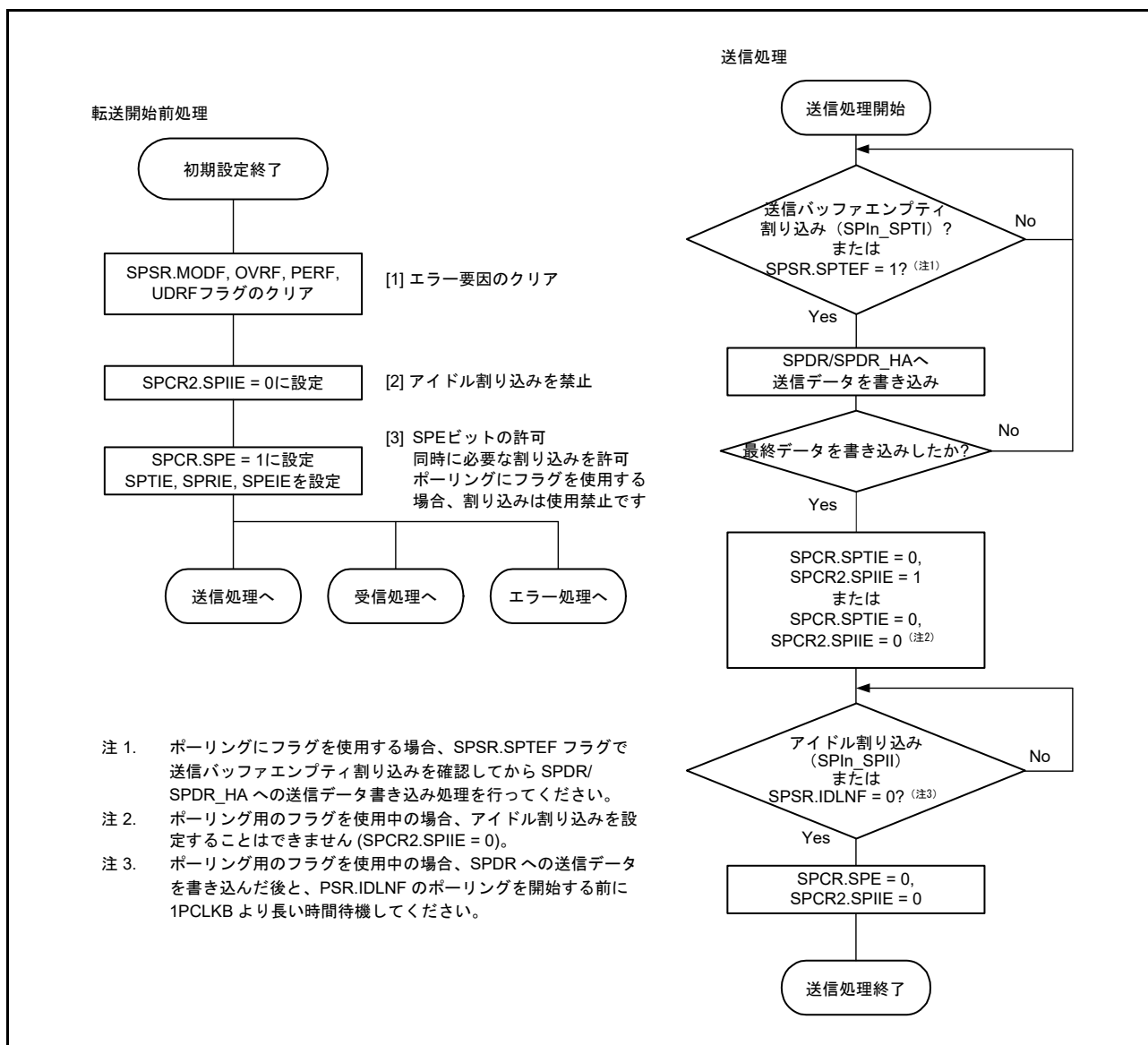


図 30.33 マスタモード時の送信フロー

(b) 受信処理フロー

SPI は受信のみの動作を持たないため、送信を必要とします。

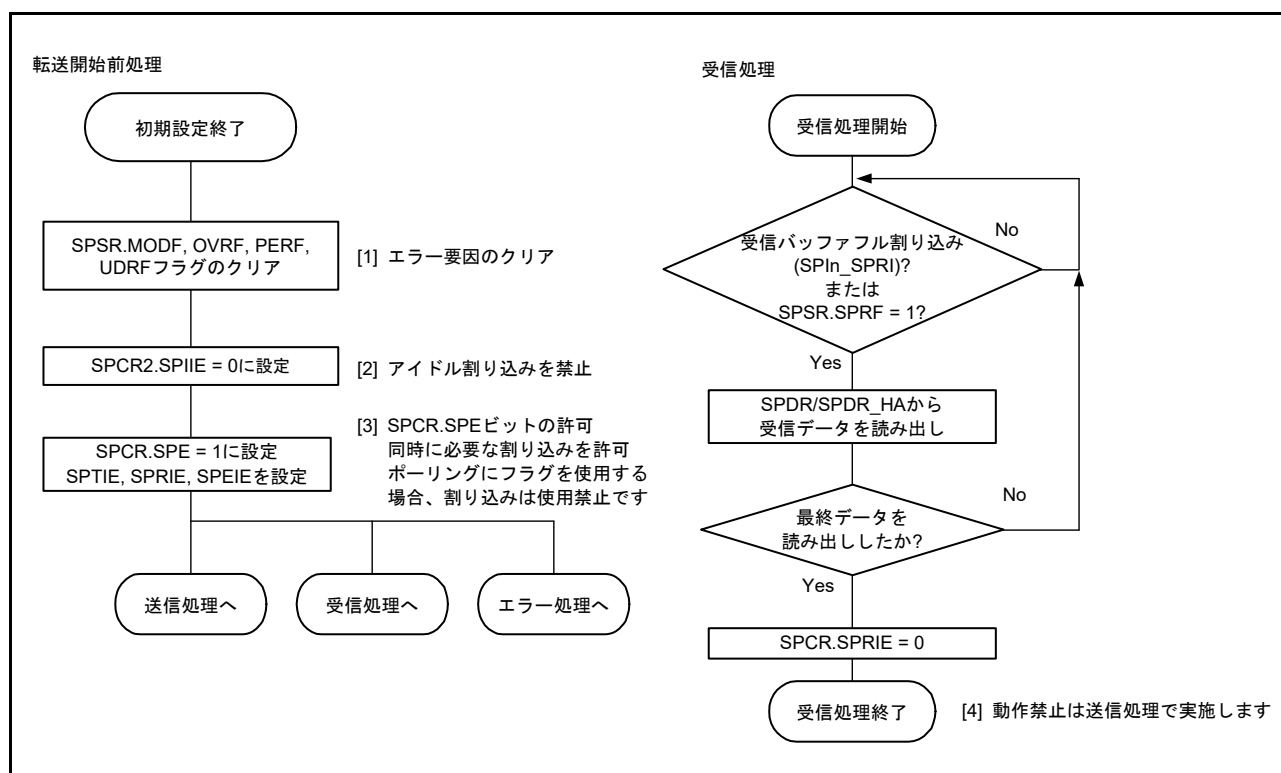


図 30.34 マスタモード時の受信フロー

(c) エラー処理フロー

SPI は以下のエラーを検出します。

- モードフォルト
- アンダーラン
- オーバーラン
- パリティ

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信／受信動作を停止させます。その他のエラー要因では、SPCR.SPE ビットはクリアされず、送信／受信動作は継続します。モードフォルトエラー以外のエラーの場合は、SPCR.SPE ビットをクリアし、動作を停止することが推奨されます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRm.IR フラグをクリアしてください。クリアしないと、ICU.IELSRm.IR フラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

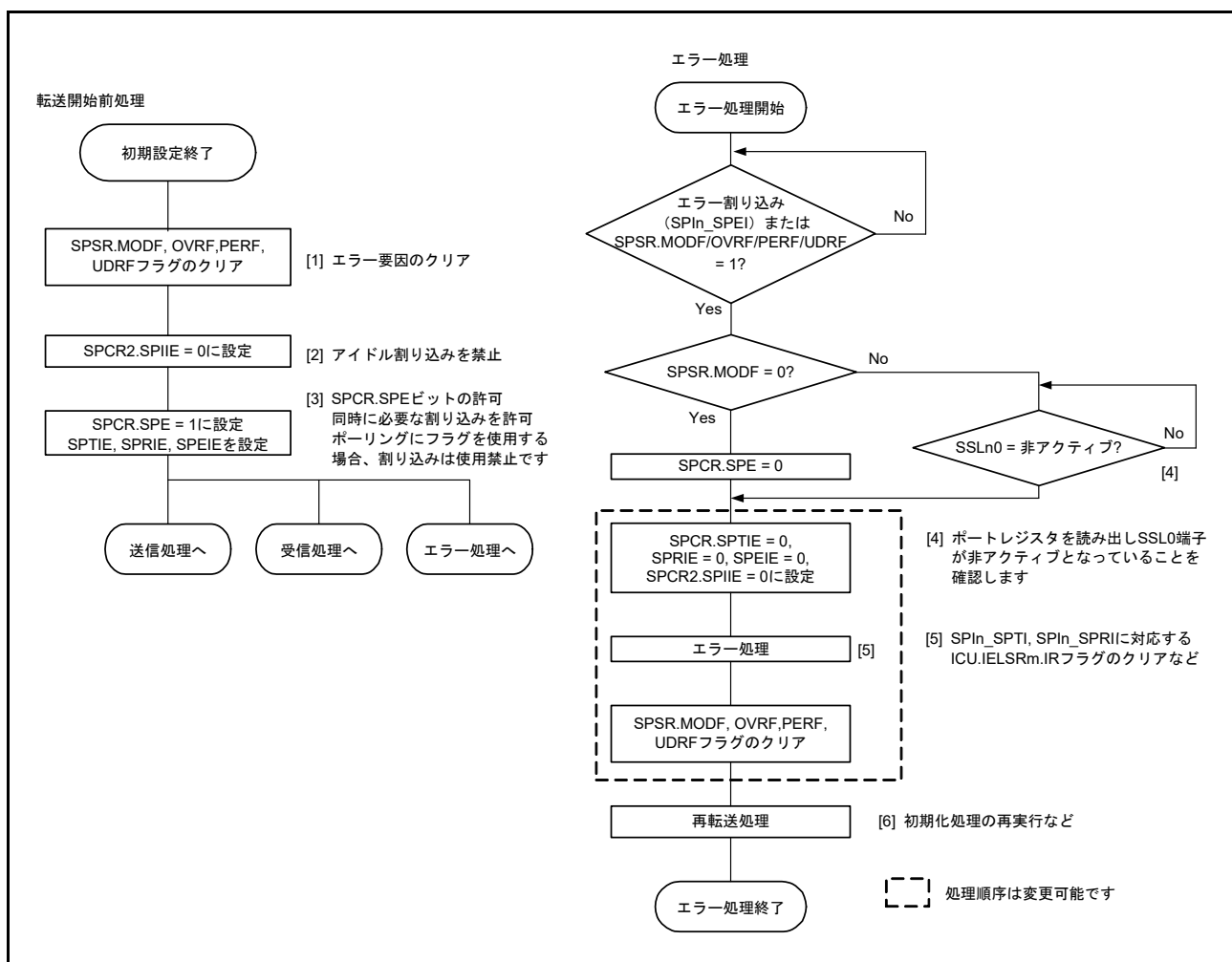


図 30.35 マスタモード時のエラー処理フロー

30.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートを検出すると、MISO_n 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが 0 の場合には、SSLn0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、SPI は SSLn0 入力信号のアサート状態で最初の RSPCK_n エッジを検出すると、MISO_n 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが 1 の場合には、SSLn0 信号アサート状態における最初の RSPCK_n エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定にかかわらず、SPI は SSLn0 信号のアサート時に、MISO_n 出力信号のドライブを開始します。CPHA ビットの設定によって、SPI が出力するデータの有効/無効が異なります。

SSLn0 入力信号の極性は、SSLP.SSL0P ビットの設定値で決まります。SPI の転送フォーマットの詳細については、[30.3.5 転送フォーマット](#)を参照してください。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCK_n エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ = 0) の場合には、シリアル転送の終了後、SPI はシフトレジスタから SPDR/SPDR_{HA} レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了の間に SPI が SSLn0 入力信号のネゲートを検出すると、モードフォルトエラーが発生します ([30.3.8 エラー検出](#)を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決定されます。SSLn0 入力信号の極性は、SSLP.SSL0P ビットの設定値で決まります。SPI の転送フォーマットの詳細については、[30.3.5 転送フォーマット](#)を参照してください。

(3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合には、SPI は SSLn0 入力信号のアサートエッジを検出するとシリアル転送を開始します。[図 30.7](#) の例に示したような構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した SPI ではシリアル転送を正しく開始できません。SSLn0 入力信号をアクティブ状態に固定されているときに、スレーブモードの SPI の送受信を正しく実行するには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合は、SSLn0 入力信号を固定しないでください。

(4) 初期化フロー

図 30.36 に、SPI をスレーブモードで使用する場合の SPI 動作の初期化フローの例を示します。なお、ICU、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

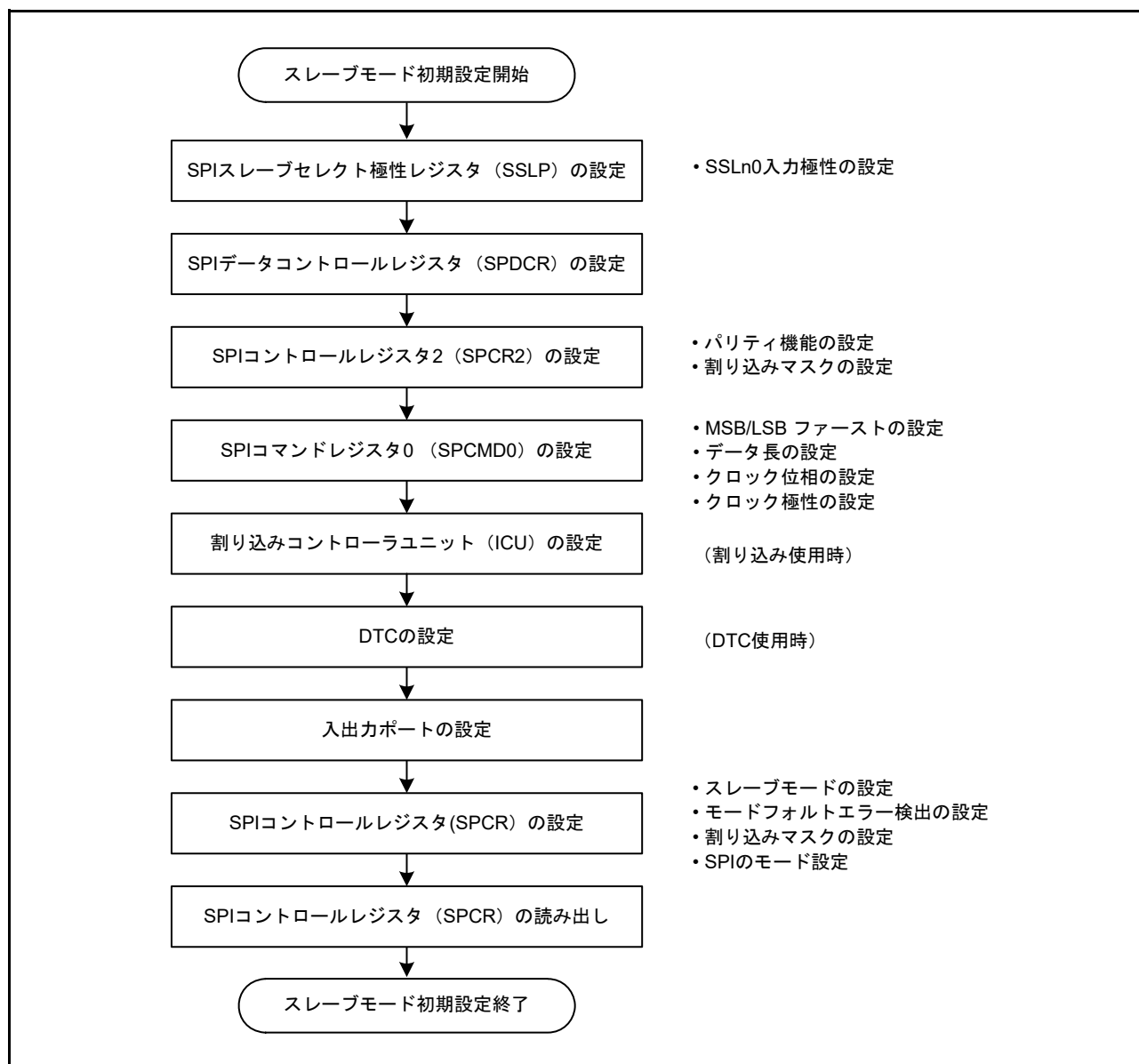


図 30.36 スレーブモード時の SPI 動作の初期化フロー例

(5) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 30.37 ～ 図 30.39 に示します。

(a) 送信処理フロー

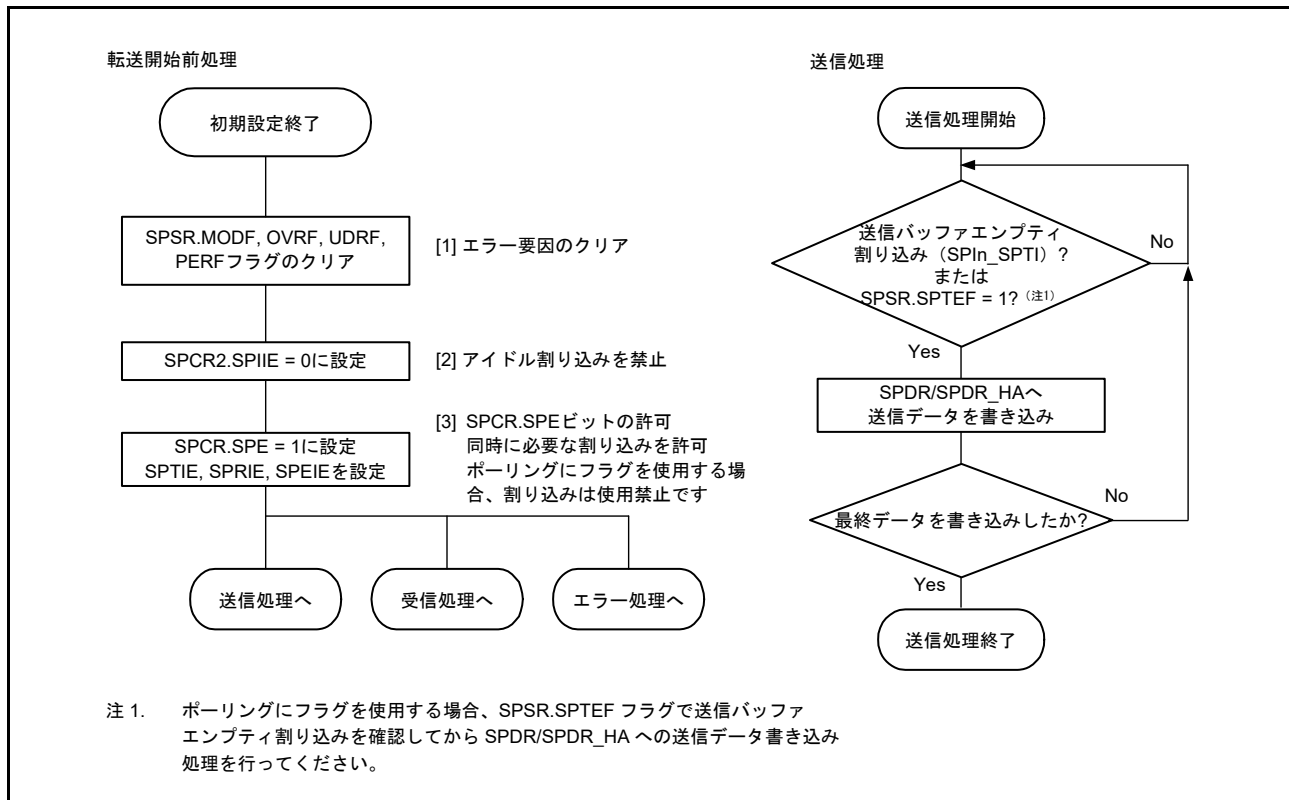


図 30.37 スレープモード時の送信フロー

(b) 受信処理フロー

SPI は受信のみの動作を行わないため、送信を必要とします。

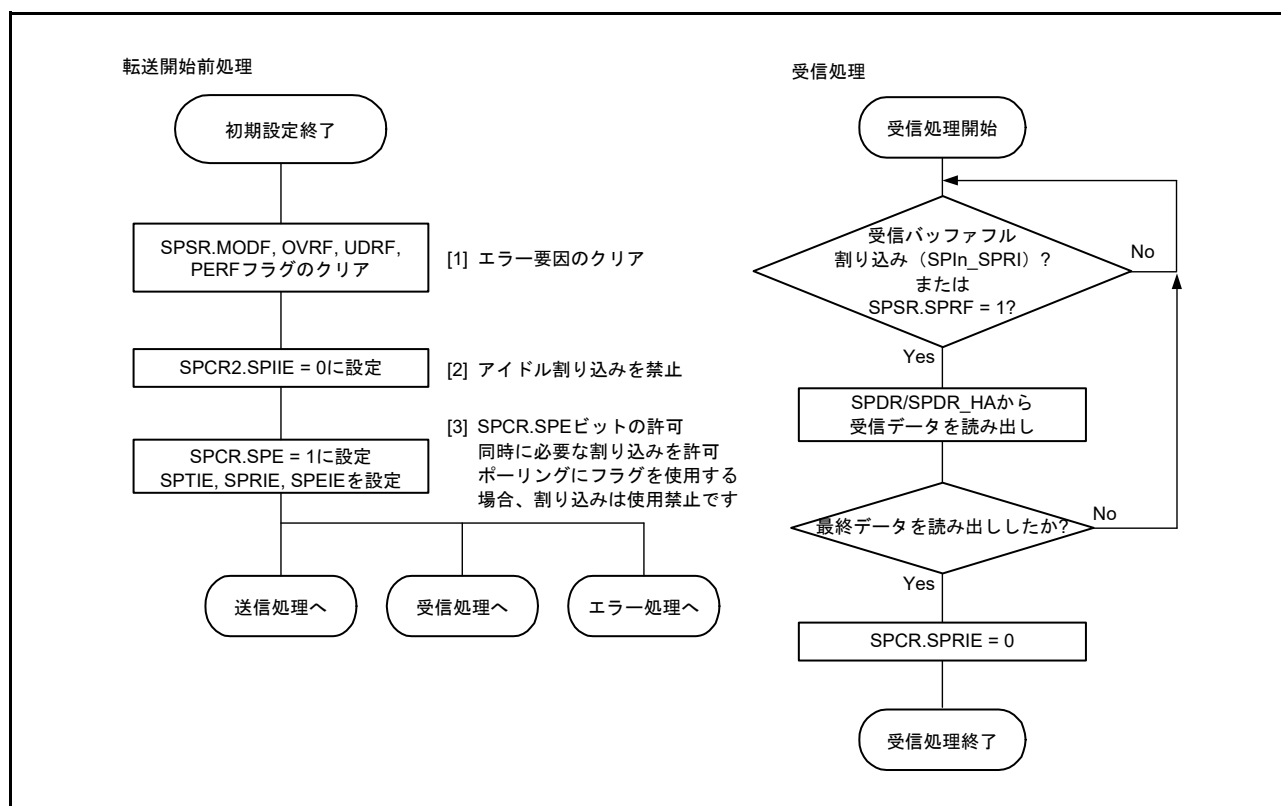


図 30.38 スレーブモード時の受信フロー

(c) エラー処理フロー

スレープ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることが可能です。

割り込みによるエラー検出時は、エラー処理にて ICU.IELSRm.IR フラグをクリアしてください。クリアしないと、ICU.IELSRm.IR フラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。受信バッファフル割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

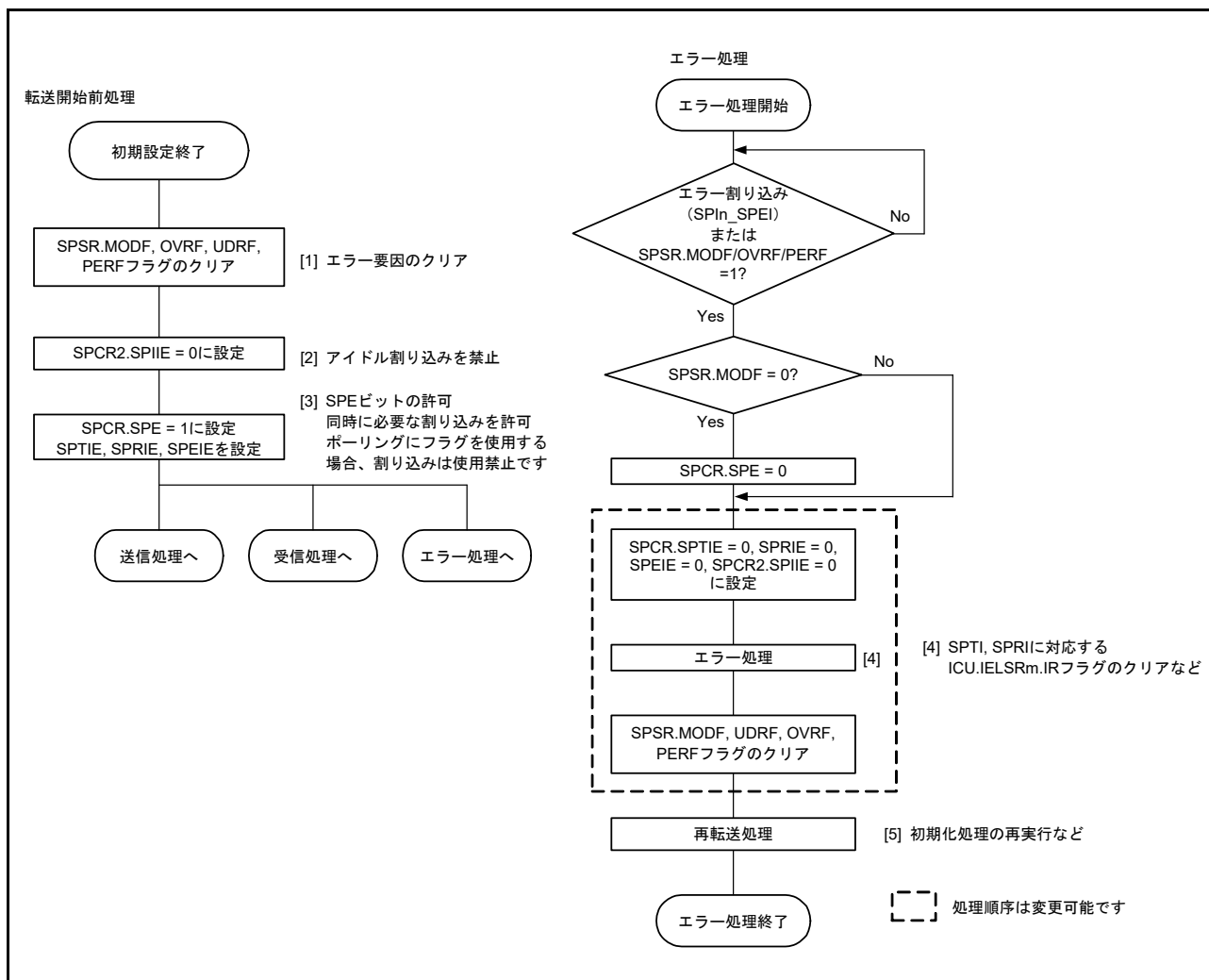


図 30.39 スレープモード時のエラー処理フロー

30.3.11 クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLn_i 端子を使用せず、RSPCK_n 端子、MOSIn 端子、MISO_n 端子を用いて通信を行います。すべての SSLn_i 端子は入出力ポートとして使用することが可能です。

クロック同期式動作は、SSLn_i 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。マスタ動作とスレーブ動作のいずれにおいても、SPI 動作時と同様のフローで通信を行うことができます。ただし、SSLn_i 端子を使用しないため、モードフォルトエラーの検出は行われません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に、SPCMD0.CPHA ビットを 0 にした場合の動作を行わないでください。

30.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空、すなわち次転送のデータがセットされておらず、SPSR.SPTEF フラグ = 1 の状態で、SPDR/SPDR_HA レジスタへデータを書くと、SPI は SPDR/SPDR_HA レジスタの送信バッファ (SPTX) のデータを更新します。SPDR/SPDR_HA レジスタへデータを書き込み後、シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタへコピーして、シリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

クロック同期式動作時は、SSLn₀ 出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、[30.3.5 転送フォーマット](#)を参照してください。

(2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCK_n エッジを送出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ (SPDR/SPDR_HA) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決まります。クロック同期式動作時は、SSLn₀ 出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、[30.3.5 転送フォーマット](#)を参照してください。

(3) 初期化フロー

図 30.40 に、SPI をマスタモードで使用する場合のクロック同期式動作時の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

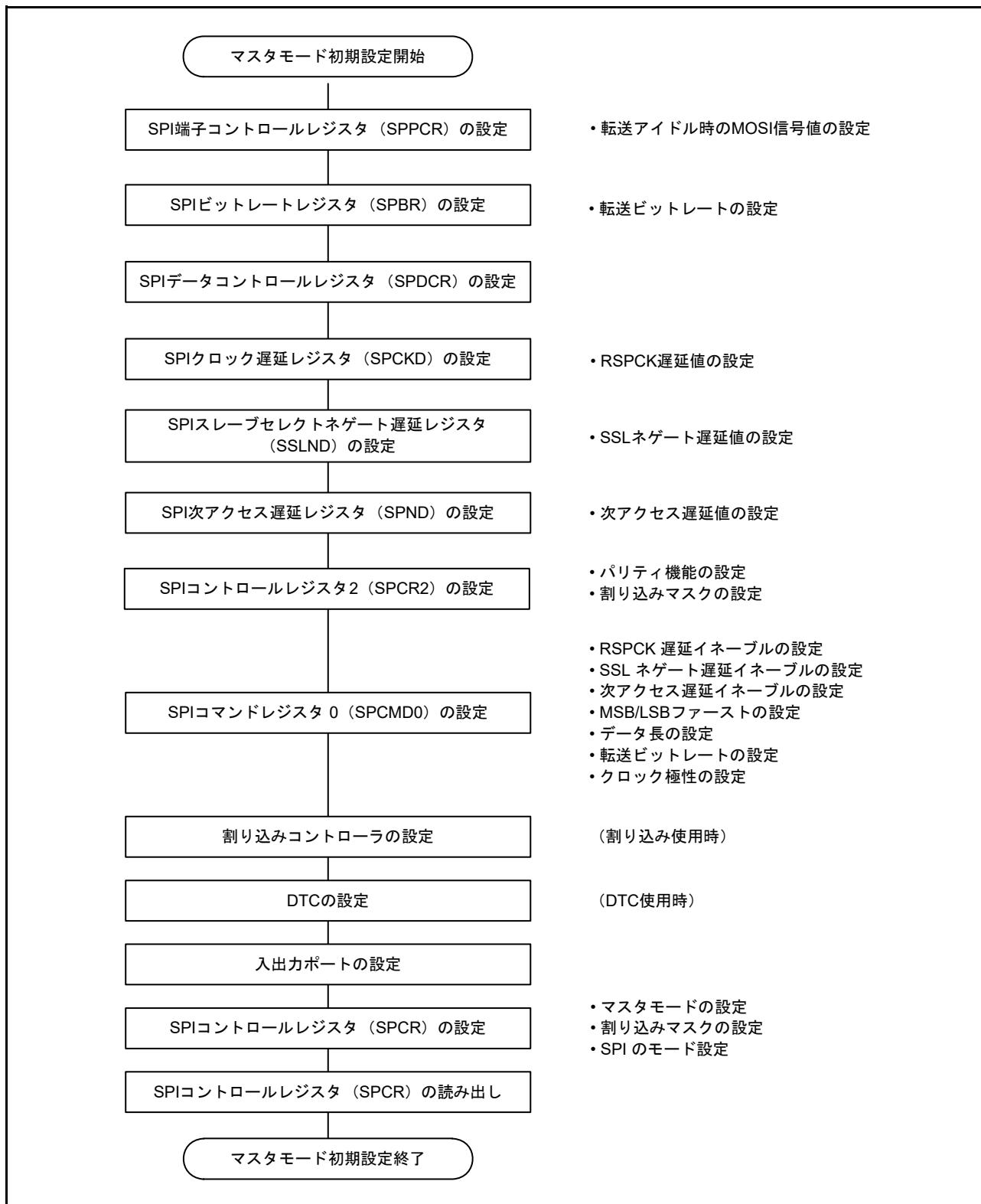


図 30.40 マスタモード時のクロック同期式動作の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、[30.3.10.1 章の \(7\) ソフトウェア処理フロー](#)を参照してください。

注. クロック同期式動作では、モードフォルトエラーは発生しません。

30.3.11.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCK_n エッジが SPI のシリアル転送開始のトリガになり、SPI は MISO_n 出力信号をドライブします。クロック同期式動作時は SSL0 入力信号を使用しません。SPI の転送フォーマットの詳細については、[30.3.5 転送フォーマット](#)を参照してください。

(2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCK_n エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ = 0) の場合には、シリアル転送の終了後、SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決定されます。

SPI の転送フォーマットの詳細については、[30.3.5 転送フォーマット](#)を参照してください。

(3) 初期化フロー

図 30.41 に、SPI をスレーブモードで使用する場合のクロック同期式動作時の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

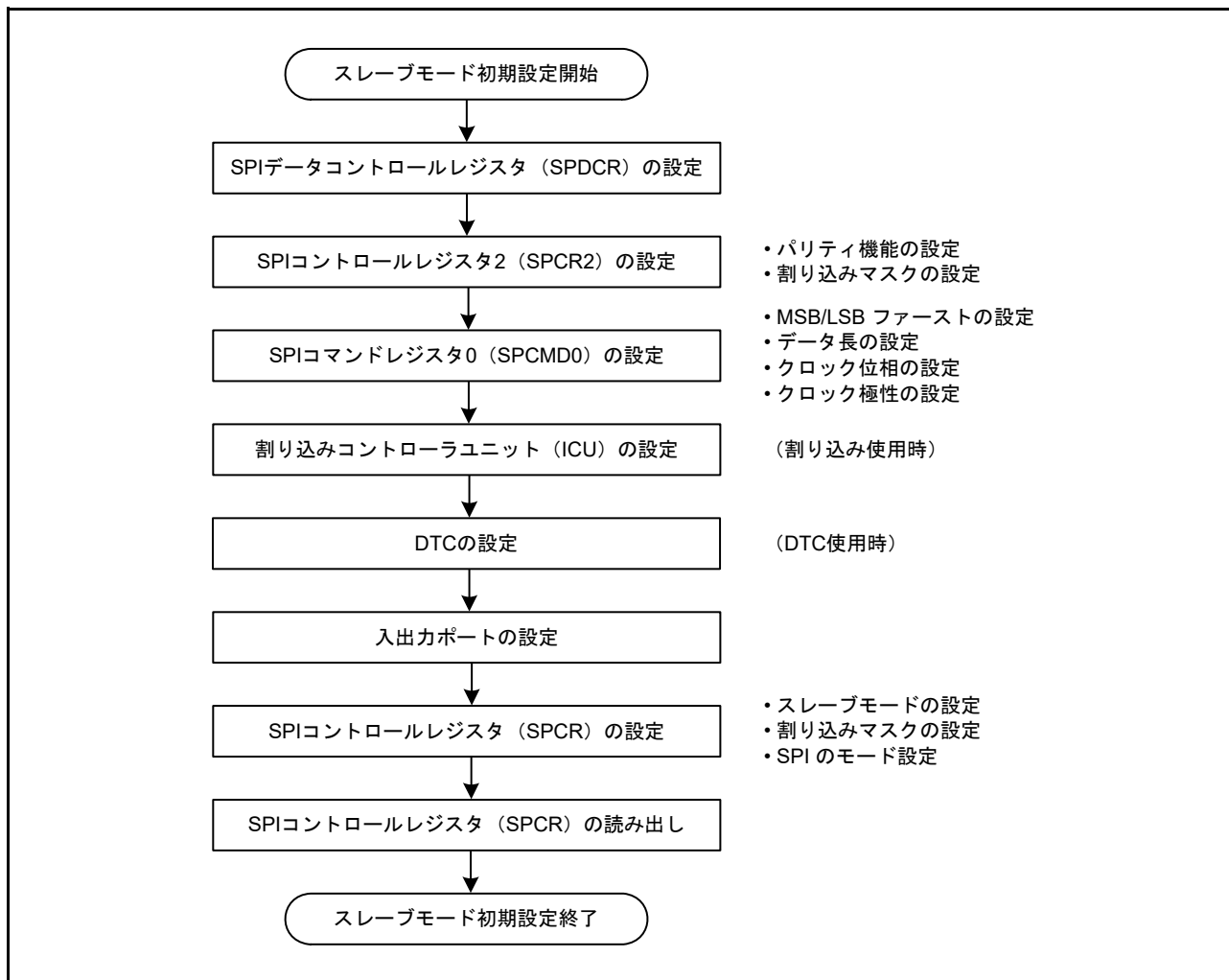


図 30.41 スレーブモード時のクロック同期式動作の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、30.3.10.2 章の (5) ソフトウェア処理フローを参照してください。

注． クロック同期式モードでは、モードフォルトエラーは発生しません。

30.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI_n 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路接続し、ループバックモードを設定します。また、SPCR.MSTR ビットが 1 であれば、SPI は MOSI_n 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISO_n 端子とシフトレジスタ間の経路を遮断しません。ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 30.11 に SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 30.42 に、マスターモードの SPI をループバックモード (SPPCR.SPLP2 = 1、SPPCR.SPLP = 0 または 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 30.11 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSI _n 端子または MISO _n 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

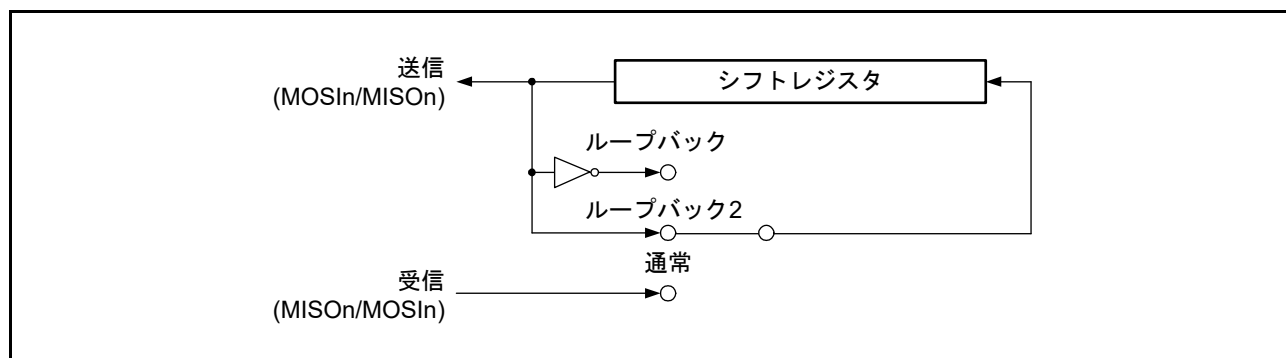


図 30.42 ループバックモード時のシフトレジスタ入出力経路の構成 (マスターモード)

30.3.13 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するために、[図 30.43](#) に示すように、パリティ回路は自己診断を行います。

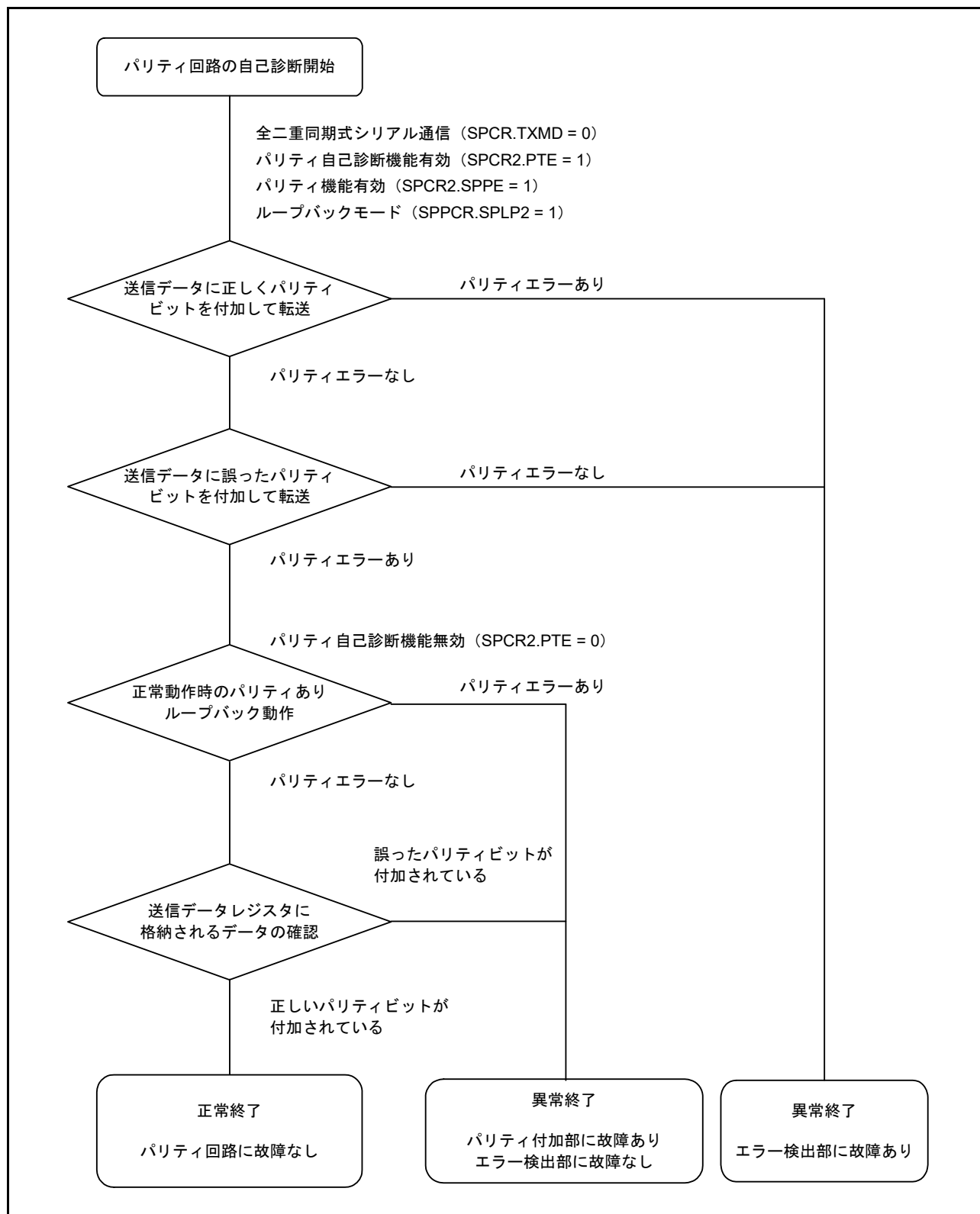


図 30.43 パリティ回路の自己診断フロー

30.3.14 割り込み要因

SPI には、以下の 8 種類の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- 送信終了
- モードフォルト
- アンダーラン
- オーバーラン
- パリティエラー
- SPI アイドル

受信バッファフルまたは送信バッファエンプティ割り込みによって DTC を起動し、データ転送を行うことができます。

SPIn_SPEI のベクタアドレスは、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 30.12 に SPI の割り込み要因に対応するフラグを示します。表 30.12 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DTC を使用してデータの送受信を行う場合、最初に DTC を転送許可状態に設定してから SPI の設定を行ってください。DTC の設定については、「16. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRm.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じてても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRm.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にすることでもクリアできます。

表 30.12 SPIの割り込み要因

割り込み要因	シンボル	割り込み条件	DTCの起動
受信バッファフル	SPIn_SPRI	SPCR.SPRIE ビットが1の状態を受信バッファフル (SPSR.SPRF フラグ = 1) になったとき	可能
送信バッファエンプティ	SPIn_SPTI	SPCR.SPTIE ビットが1の状態を送信バッファエンプティ (SPSR.SPTEF フラグ = 1) になったとき	可能
SPIエラー（モードフォルト、アンダーラン、オーバーラン、パリティエラー）	SPIn_SPEI	SPCR.SPEIE ビットが1の状態でSPSR.MODF、OVRF、PERF、およびUDRF フラグが1になったとき	不可能
SPI アイドル	SPIn_SPII	SPCR2.SPIIE ビットが1の状態でSPSR.IDLNF フラグが0になったとき	不可能
送信終了	SPIn_SPTEND	マスタモード時、IDLNF フラグ（SPI アイドルフラグ）が1から0になると割り込みが発生 スレーブモード時、表 30.14 に示す条件で割り込みが発生	不可能

30.4 イベントリンクコントローライベント出力

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルト／アンダーラン／オーバーラン／パリティイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

30.4.1 受信バッファフルイベント出力

シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR/SPDR_HA レジスタへ転送されたときにイベント信号を出力します。

30.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、および SPE ビットが 0 から 1 に変化したときにイベント信号を出力します。

30.4.3 モードフォルト／アンダーラン／オーバーラン／パリティエラーイベント出力

このイベント信号は、モードフォルト、アンダーラン、オーバーラン、またはパリティエラーが検出されたとき出力されます。このイベント信号を使用する場合は、[30.5.4 モードフォルト／アンダーラン／オーバーラン／パリティエラーイベント出力に関する制約](#)を参照してください。

(1) モードフォルト

[表 30.13](#) にモードフォルトイベントの発生条件を示します。

表 30.13 モードフォルトの発生条件

条件	SPCR.MODFEN ビット	SSLn0端子	備考
SPI動作 (SPMS = 0) スレーブ (SPCR.MSTR = 0)	1	非アクティブ	通信動作中にSSLn0端子が非アクティブになった場合のみイベント出力

(2) アンダーラン

アンダーランイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力します。この条件下では、MODF フラグおよび UDRF フラグが 1 となります。

(3) オーバーラン

オーバーランイベント信号は、SPCR.TXMD ビットが 0、かつ受信バッファに未読み出しのデータがある状態でシリアル転送が終了したときに出力します。この条件下では、OVRF フラグが 1 になります。

(4) パリティエラー

パリティエラーイベント信号は、SPCR.TXMD ビットが 0 かつ SPCR2.SPPE ビットが 1 の状態でシリアル転送が終了したとき、パリティエラーの検出時に出力します。

30.4.4 SPI アイドルイベント出力

(1) マスタモード時

マスタモード時に IDLNF フラグ (SPI アイドルフラグ) が 0 になる条件が成立すると、イベントが出力されます。

(2) スレーブモード時

スレーブモード時に SPCR.SPE ビットが 0 (SPI 初期化) のとき、イベントが出力されます。

30.4.5 送信完了イベント出力

SPI 動作とクロック同期式動作の両方において、マスタモード時に IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 に変化すると、イベントが出力されます。表 30.14 に、スレーブモードでの送信完了イベントの発生条件を示します。

表 30.14 送信完了イベントの発生条件 (スレーブ)

条件	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0)	エンプティ	エンプティ	SSLn0 入力ネゲート
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終 RSPCKn のエッジ検出

動作がマスタモードまたはスレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

30.5 使用上の注意事項

30.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI モジュールストップ状態の遷移または解除が可能です。SPI は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタ B の詳細については、「[11. 低消費電力モード](#)」を参照してください。

30.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

30.5.3 転送の開始に関する制約

ICU.IELSRm.IR フラグが 1 の状態で転送を開始すると、割り込み要求が内部で保持されるため、ICU.IELSRm.IR フラグが予期しない挙動となる可能性があります。

これを避けるには、動作を許可する (SPCR.SPE ビットを 1 にする) 前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること (SPCR.SPE ビットが 0 となっていること) を確認する。
2. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にする。
3. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出して、0 であることを確認する。
4. ICU.IELSRm.IR フラグを 0 にする。

30.5.4 モードフォルト／アンダーラン／オーバーラン／パリティエラーイベント出力に関する制約

SPI がマルチマスタモード (SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、SPCR.MODFEN ビット = 1) の場合は、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーイベントを使用することはできません。

30.5.5 SPRF フラグおよび SPTEF フラグに関する制約

ポーリング用のフラグ (SPRF および SPTEF) を使用している場合、割り込みを使用することはできません。SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください。割り込みまたはフラグのどちらか一方のみ使用可能です。

31.2 レジスタの説明

31.2.1 CRC コントロールレジスタ 0 (CRCCR0)

アドレス [CRC.CRCCR0 4007 4000h](#)

b7	b6	b5	b4	b3	b2	b1	b0
DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC 生成多項式切り替え	b2 b0 0 0 0: 算出しない 0 0 1: 8ビットCRC-8 ($X^8 + X^2 + X + 1$) 0 1 0: 16ビットCRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16ビットCRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32ビットCRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32ビットCRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 上記以外: 算出しない	R/W
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	LMS	CRC 演算切り替え	0: LSB ファースト通信用にCRCを生成 1: MSB ファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア	1: CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタをクリア 読むと0が読めます。	R/W (注1)

注 1. このレジスタに書き込みを行うときは、このビットを必ず 1 にしてください。

[GPS\[2:0\] ビット \(CRC 生成多項式切り替え\)](#)

CRC 生成多項式を選択します。

[LMS ビット \(CRC 演算切り替え\)](#)

生成した CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。CRC コードの送信および受信については、[31.3 動作説明](#)を参照してください。

[DORCLR ビット \(CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア\)](#)

本ビットを 1 にすると、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタが 0000 0000h になります。読むと 0 が読めます。本ビットには 1 のみ書けます。

31.2.2 CRC コントロールレジスタ 1 (CRCCR1)

アドレス [CRC.CRCCR1 4007 4001h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CRCSE N	CRCS WR	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CRCSWR	スヌープオンライト／リード切り替え	0 : スヌープオンリード 1 : スヌープオンライト	R/W
b7	CRCSEN	スヌープ許可	0 : 禁止 1 : 許可	R/W

CRCSWR ビット (スヌープオンライト／リード切り替え)

アドレスモニタ機能でのアクセス方向を選択します。

本ビットを 0 (初期値) にすると、特定のレジスタアドレスの読み出しに対して CRC スヌープ動作が有効になります。同様に、1 にすると、特定のレジスタアドレスの書き込みに対して CRC スヌープ動作が有効になります。

CRCSEN ビット (スヌープ許可)

本ビットを 1 にすると、CRC スヌープ動作が有効になります。0 にすると、CRC スヌープ動作が無効になります。

31.2.3 CRC データ入力レジスタ (CRCDIR/CRCDIR_BY)

アドレス [CRC.CRCDIR/CRCDIR_BY 4007 4004h](#)

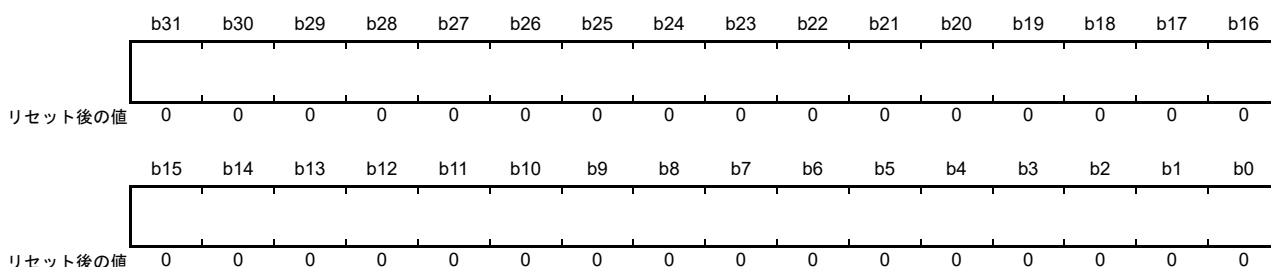
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込むための 32 ビットのリード／ライトレジスタです。CRCDIR_BY レジスタ (CRCDIR[31:24]) は、CRC-8 または CRC-16 または CRC-CCITT 演算用データを書き込むための 8 ビットのリード／ライトレジスタです。

31.2.4 CRC データ出力レジスタ (CRCDOR/CRCDOR_HA/CRCDOR_BY)

アドレス [CRC.CRCDOR/CRCDOR_HA/CRCDOR_BY 4007 4008h](#)



CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットのリード/ライトレジスタです。

CRCDOR_HA (CRCDOR[31:16]) レジスタは、CRC-16 または CRC-CCITT 演算用の 16 ビットのリード/ライトレジスタです。

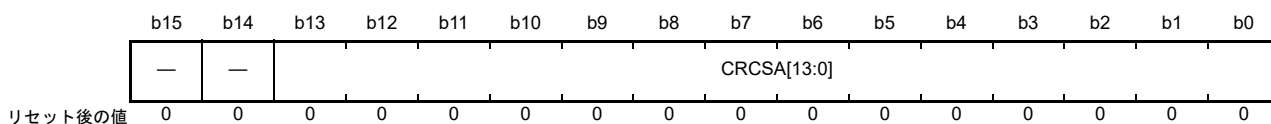
CRCDOR_BY (CRCDOR[31:24]) レジスタは、CRC-8 演算用の 8 ビットのリード/ライトレジスタです。

初期値は 0000 0000h であるため、初期値以外の値を用いて演算する場合は、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタを書き換えてください。

CRCDIR/CRCDIR_BY レジスタに書き込まれたデータは CRC 演算され、結果は CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0000 0000h であると、CRC エラーなしと判断できます。

31.2.5 スヌープアドレスレジスタ (CRCSAR)

アドレス [CRC.CRCSAR 4007 400Ch](#)



ビット	シンボル	ビット名	機能	R/W
b13-b0	CRCSA[13:0]	レジスタスヌープアドレス	SCIモジュールのTDRまたはRDRアドレスをスヌープにします。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

[CRCSA\[13:0\]](#) ビット (レジスタスヌープアドレス)

本ビットには、CRC スヌープ動作でモニタされるレジスタアドレスの下位 14 ビットを設定します。

CRCSA[13:0] ビットで使用できるのは、以下のアドレスのみです。

- 4007 0003h:SCI0.TDR, 4007 0005h:SCI0.RDR
- 4007 0023h:SCI1.TDR, 4007 0025h:SCI1.RDR
- 4007 0123h:SCI9.TDR, 4007 0125h:SCI9.RDR
- 4007 000Fh:SCI0.FTDRL, 4007 0011h:SCI0.FRDL

31.3 動作説明

31.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (F0h) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用している場合は、CRCDOR_BY レジスタに CRC コードの有効ビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに CRC コードの有効ビットが得られます。

図 31.2 に LSB ファーストのデータ送信例を、図 31.3 に MSB ファーストのデータ送信例を示します。図 31.4 に LSB ファーストのデータ受信例を、図 31.5 に MSB ファーストのデータ受信例を示します。

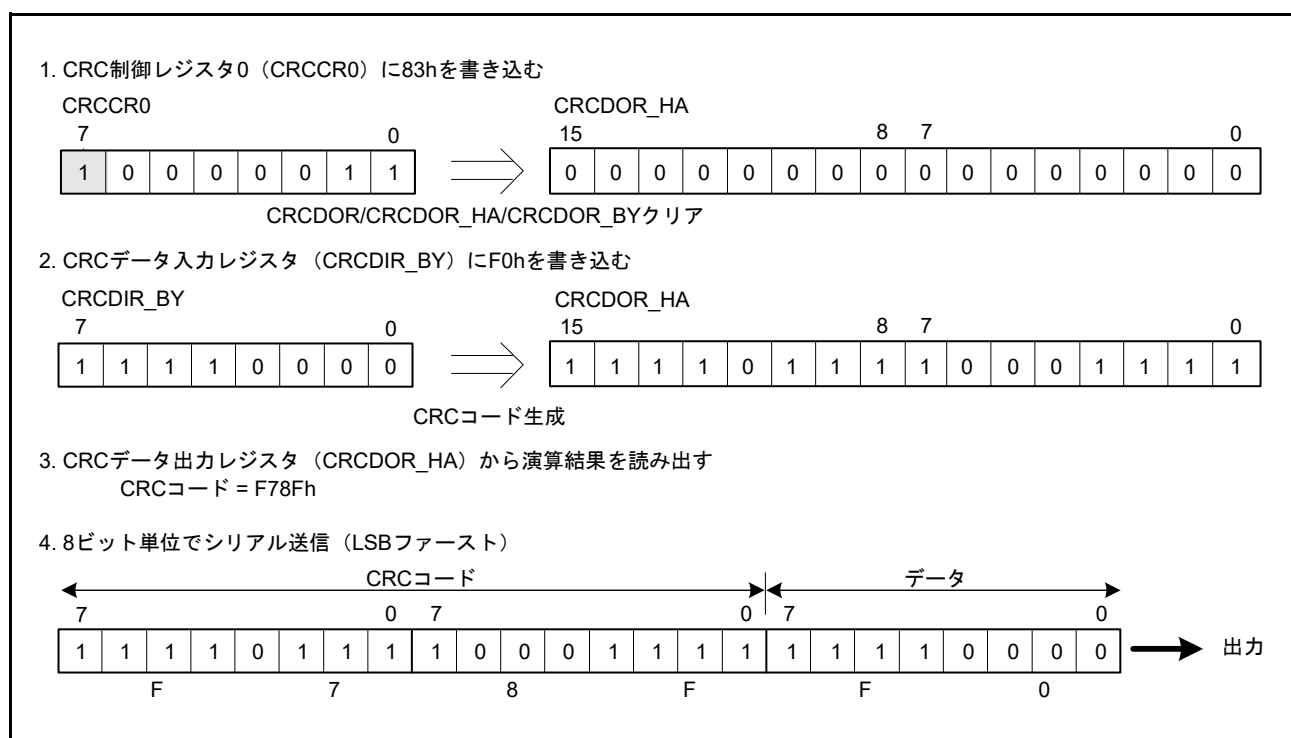


図 31.2 LSB ファーストのデータ送信

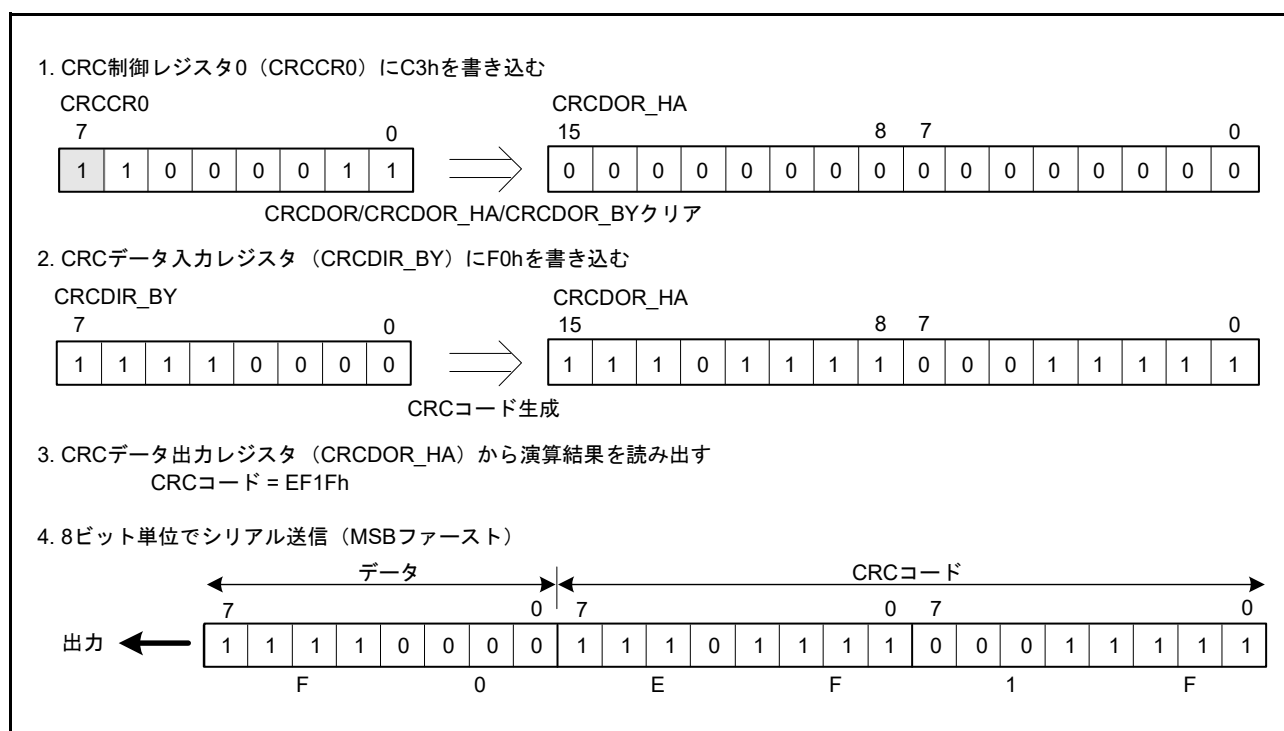


図 31.3 MSB ファーストのデータ送信

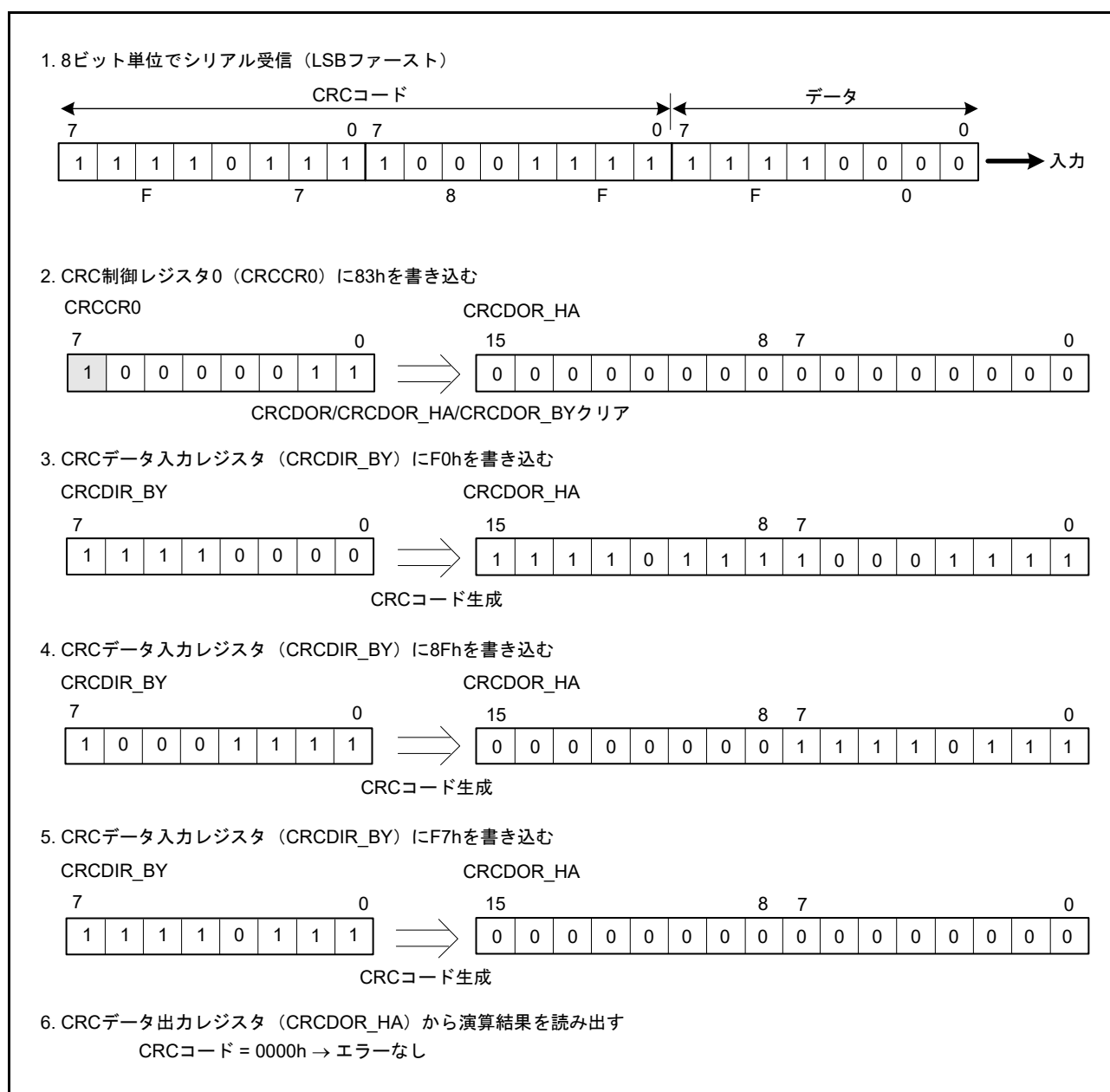


図 31.4 LSB ファーストのデータ受信

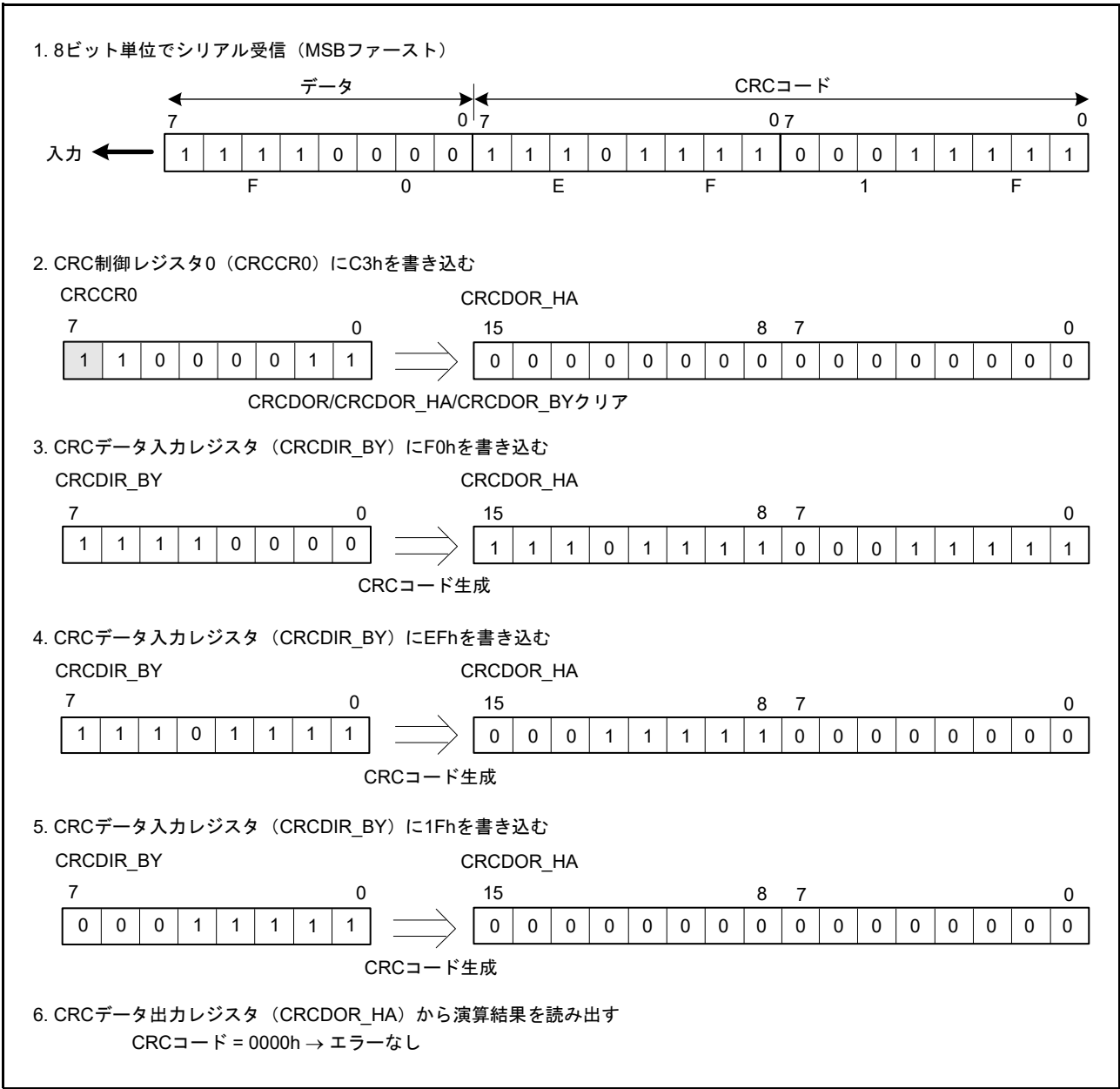


図 31.5 MSB ファーストのデータ受信

31.3.2 CRC スヌープ

CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みをモニタし、その特定のレジスタアドレスに読み出しおよび書き込みを行ったデータを用いて自動的に CRC 演算を実行します。CRC スヌープは、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR_BY レジスタにデータを書き込む必要がありません。スヌープアドレスレジスタ (CRCSAR) で指定したすべての I/O レジスタアドレスが、CRC スヌープの対象となります。CRC スヌープは、シリアル送信バッファへの書き込みおよびシリアル受信バッファからの読み出しをモニタするのに役立ちます。

この機能を使用するには、対象となる I/O レジスタアドレスを CRCSAR レジスタの CRCSA13 ~ CRCSA0 ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象アドレスへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象アドレスからの読み出しに対してスヌープを有効にします。

CRCSEN ビットを 1、CRCSWR ビットを 1 にして、バスマスタモジュール (CPU、DTC など) の対象となる I/O レジスタアドレスにデータを書き込むと、CRC 演算器はそのデータを CRCDIR_BY レジスタに格納して、CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール (CPU、DTC など) の対象となる I/O レジスタアドレスからデータを読み出すと、CRC 演算器はそのデータを CRCDIR_BY レジスタに格納して、CRC 演算を実行します。

一度に 1 バイトの CRC 演算が実行されます。対象となる I/O レジスタアドレスに対してワード (16 ビット) またはロングワード (32 ビット) でアクセスすると、データの下位バイト (1 バイト) に CRC コードが生成されます。

31.4 使用上の注意事項

31.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作を許可または禁止することが可能です。リセット後、CRC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

31.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。

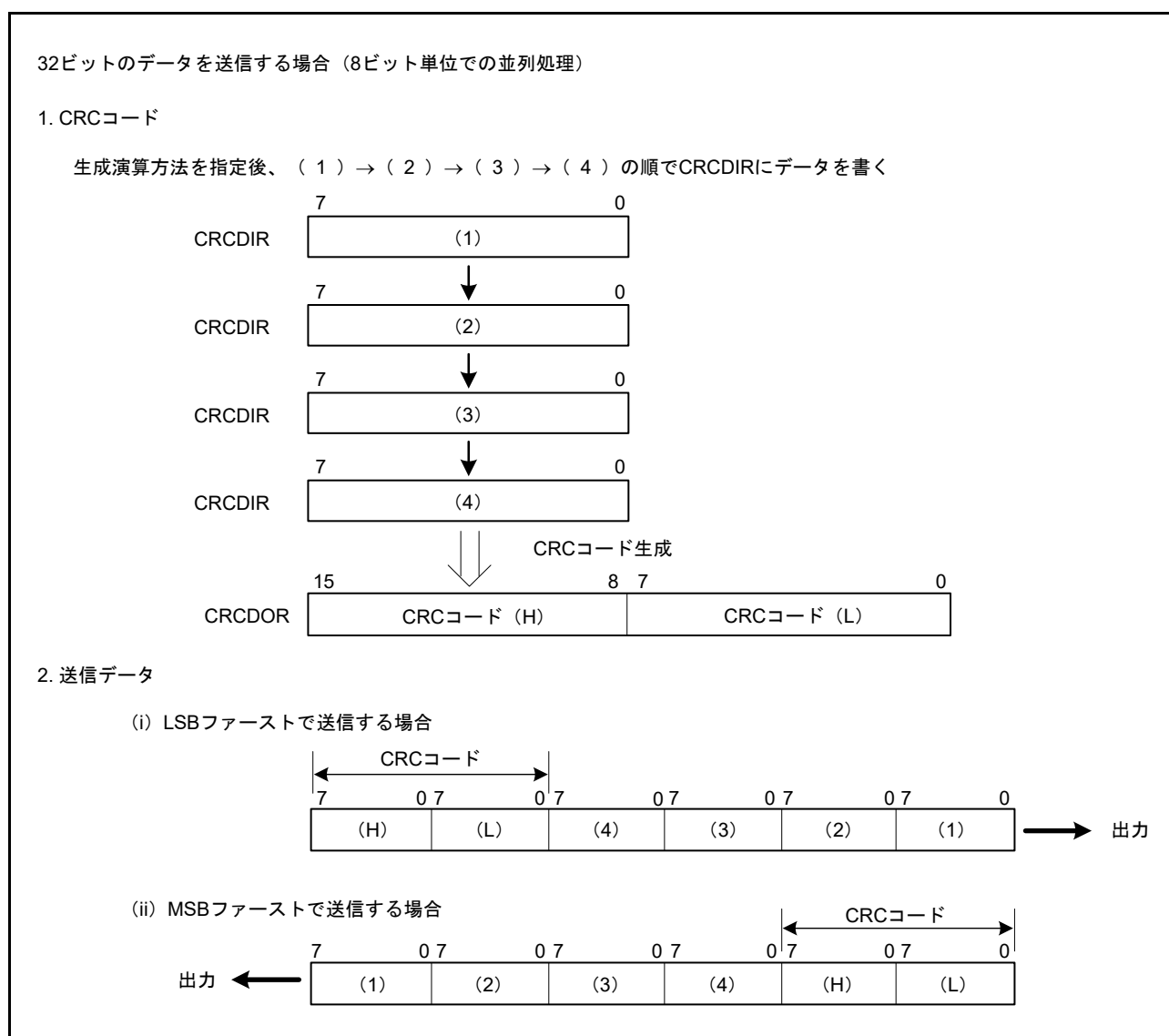


図 31.6 LSB ファーストと MSB ファーストのデータ送信

32. 16 ビット A/D コンバータ (ADC16)

32.1 概要

本 MCU は、逐次比較方式の 16 ビットの A/D コンバータ (ADC16) ユニットを内蔵しています。最大 17 チャンネルのアナログ入力を選択可能です。変換には SDADC24 (注 1) の基準電圧、温度センサ出力および内部基準電圧を選択できます。A/D 変換精度は 16 ビット変換です。

チャンネル AN000 ~ AN007 のアナログ入力は、選択によりシングルエンド入力または差動入力に使用されますが、チャンネル AN008 および AN016 ~ AN023 (注 1) のアナログ入力はシングルエンド入力としてのみ使用されます。最大 17 チャンネルのシングルエンド入力を使用可能です。チャンネル 0 ~ 7 の差動アナログ入力は、最大 4 チャンネルの差動入力として使用可能です。偶数チャンネルと奇数チャンネル (偶数チャンネル+1)、たとえばチャンネル 0 とチャンネル 1 またはチャンネル 2 とチャンネル 3 が、A/D 変換用の差動入力として使用されます。

注 1. SDADC24 の基準電圧は、SBIAS/VREFI です。SDADC24 を使用していないときは、SBIAS/VREFI は A/D 変換できません。SBIAS/VREFI の設定については、「33. 24 ビットシグマデルタ A/D コンバータ (SDADC24)」を参照してください。

ADC16 には次の動作モードがあります。

- 任意に選択したチャンネルのアナログ入力を、チャンネル番号の昇順に変換するシングルスキャンモード
- 任意に選択したチャンネルのアナログ入力を、順次チャンネル番号の昇順に連続して変換する連続スキャンモード
- チャンネルのアナログ入力を任意に 2 つのグループ (グループ A とグループ B) に分け、グループ単位で選択したチャンネルのアナログ入力をチャンネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、グループ A とグループ B のスキャン開始条件を個別に選択することで、グループ A とグループ B は異なるタイミングで A/D 変換を開始することが可能です。さらに、グループ A の優先制御動作を設定すると、ADC16 はグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断します。このようにして、グループ A の A/D 変換を優先的に開始することが可能です。

ダブルトリガモードは、任意に選択した 1 チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード (グループ A) で変換し、1 回目の A/D 変換開始トリガで変換したデータと 2 回目の A/D 変換開始トリガで変換したデータを別々のレジスタに格納 (A/D 変換データの 2 重化) します。

自己診断は、スキャンごとの最初に 1 回実施され、ADC16 内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

変換には温度センサ出力および内部基準電圧を同時に選択できません。温度センサ出力および内部基準電圧の A/D 変換は個別に行われます。

ADC16 は比較機能 (ウィンドウ A およびウィンドウ B) も搭載しています。この比較機能は、ウィンドウ A の上側基準値およびウィンドウ B の下側基準値を指定し、選択したチャンネルの A/D 変換値が比較条件に一致すると割り込みを出力します。

ADC16 用の基準電源端子 (VREFH0) または内部基準電圧 (VREFADC) が高電位基準電圧として選択可能です。低電位基準電圧は、基準電源グランド端子 (VREFL0) です。

キャリブレーションにより高精度の A/D 変換が可能になります。これは、使用条件下でコンデンサアレイ DAC (C-DAC) 直線性誤差補正值およびゲイン (オフセット) 誤差補正值を取得することにより行われます。キャリブレーション中の通常 A/D 変換および通常 A/D 変換中のキャリブレーションを禁止します。

表 32.1 に ADC16 の仕様を、表 32.2 に機能を、図 32.1 にブロック図を示します。

表 32.1 ADC16の仕様 (1/2)

項目	内容
ユニット数	1 ユニット
入力チャンネル	- シングルエンド入力モード：最大 17 チャンネル (AN000 ~ AN008、AN016 ~ AN023) - 差動入力モード：最大 4 チャンネル (AN000 ~ AN007)
拡張入力	温度センサ出力、内部基準電圧、SDADC24 の基準電圧 (注4)
A/D 変換方式	逐次比較方式
分解能	16 ビット
変換時間 (注6)	1 チャンネル当たり 0.82μs (A/D 変換クロック PCLKD (ADCLK) が 32MHz で動作時)
A/D 変換クロック	周辺モジュールクロック PCLKB (注1) と A/D 変換クロック PCLKD (ADCLK) (注1) を以下の分周比で設定可能 PCLKB : PCLKD (ADCLK) 分周比 = 1:1、1:2、1:4
データレジスタ	- アナログ入力用 17 本 - ダブルトリガモードでの A/D 変換データ 2 重化用 1 本 - ダブルトリガモード拡張動作時の A/D 変換データ 2 重化用 2 本 - SDADC24 の基準電圧用 1 本 - 温度センサ出力用 1 本 - 内部基準電圧用 1 本 - 自己診断用 1 本 - A/D 変換結果を A/D データレジスタに格納 - A/D 変換結果の 16 ビット精度出力対応 - ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) - 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに格納、2 回目の A/D 変換データは 2 重化レジスタに格納 - ダブルトリガモード拡張動作 (特定トリガ種別で有効) - 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを関連するトリガに準備した 2 重化レジスタに格納
動作モード	- シングルスキャンモード - 任意に選択したチャンネルのアナログ入力、SDADC24 の基準電圧、温度センサ出力、内部基準電圧を 1 回のみ A/D 変換 - 連続スキャンモード (注5) - 任意に選択したチャンネルのアナログ入力、SDADC24 の基準電圧、温度センサ出力、内部基準電圧を繰り返し A/D 変換 - グループスキャンモード (注5) - 任意にグループ A とグループ B に分けたチャンネルのアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B のスキャン開始条件を個別に選択することで、グループ A とグループ B の A/D 変換をそれぞれ異なるタイミングで開始することが可能 - グループスキャンモード (注5) (グループ A 優先制御選択時) - グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実行 - グループ A の A/D 変換動作終了後にグループ B の A/D 変換動作の再実行 (再スキャン) の設定が可能
A/D 変換開始条件	- ソフトウェアトリガ - イベントリンクコントローラ (ELC) からの同期トリガ - 外部トリガ ADTRG0 端子からの非同期トリガ
機能	- サンプリングステート数可変機能 - A/D コンバータの自己診断機能 - A/D 変換値平均モードが選択可能 - アナログ入力断線検出機能 (ディスチャージ機能およびプリチャージ機能) - ダブルトリガモード (A/D 変換データ 2 重化機能) - A/D データレジスタオートクリア機能 - デジタルコンパア機能 (コンパアレジスタとデータレジスタとの比較、データレジスタ間の比較) - キャリブレーションによるアナログ特性補正 (C-DAC、ゲイン (オフセット) 誤差)

表 32.1 ADC16の仕様 (2/2)

項目	内容
割り込み要因	- シングルスキャンモード（ダブルトリガモード非選択）では、1回のスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC160_ADI（注3））を発生 デジタルコンペア機能の比較条件成立で、コンペア割り込み要求（ADC160_CMPAI/ADC160_CMPBI）を発生 デジタルコンペア機能の比較条件成立で、ウィンドウコンペアELCイベント信号（ADC160_WCMPM）を発生 デジタルコンペア機能の比較条件不成立で、ウィンドウコンペアELCイベント信号（ADC160_WCMPUM）を発生 - シングルスキャンモード（ダブルトリガモード選択）では、2回のスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC160_ADI（注3））を発生 - 連続スキャンモードでは、選択した全チャネルのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC160_ADI（注3））を発生 - グループスキャンモード（ダブルトリガモード非選択）では、グループAのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC160_ADI（注3））を発生。 グループBのスキャン終了でグループBのA/Dスキャン終了割り込み要求（ADC160_GBADI）を発生 - グループスキャンモード（ダブルトリガモード選択）では、グループAの2スキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC160_ADI（注3））を発生。 グループBのスキャン終了でグループBのA/Dスキャン終了割り込み要求（ADC160_GBADI）を発生 - ADC160_ADI（注3）、ADC160_GBADI、ADC160_WCMPM、およびADC160_WCMPUMでデータトランスファコントローラ（DTC）を起動可能 - キャリブレーション終了でキャリブレーション終了割り込み要求（ADC160_ADI（注3））を発生
ELCインタフェース	ELCからのトリガでスキャン開始可能
基準電圧	- 高電位基準電圧にVREFH0またはVREFADCを選択可能 - VREFL0は低電位基準電圧
モジュールストップ機能	モジュールストップ状態への設定が可能（注2）

- 注 1. 周辺モジュールクロック PCLKB は SCKDIVCR.PCKB[2:0] ビットに設定し、A/D 変換クロック ADCLK は SCKDIVCR.PCKD[2:0] ビットに設定します。ADC16 使用時の PCLKB の最大周波数は 32MHz で、PCLKD（ADCLK）の最大周波数は 32MHz です。
- 注 2. 詳細は、「11. 低消費電力モード」を参照してください。
- 注 3. キャリブレーション終了割り込み要求（ADC160_ADI）を使用するときは、A/D 割り込みコントロールレジスタ（ADICR）を 03h にしてください。A/D スキャン終了割り込み要求および ELC イベント信号（ADC160_ADI）を使用するときは、A/D 割り込みコントロールレジスタ（ADICR）を 00h にしてください。
- 注 4. SDADC24 の基準電圧は、SBIAS/VREFI です。SDADC24 を使用していないときは、SBIAS/VREFI は A/D 変換できません。SBIAS/VREFI の設定については、「33. 24 ビットシングマデルタ A/D コンバータ（SDADC24）」を参照してください。
- 注 5. 温度センサ出力または内部基準電圧を選択する場合、連続スキャンモードまたはグループスキャンモードは使用しないでください。
- 注 6. 最速条件下での A/D 変換処理時間

表 32.2 ADC16の機能一覧

項目			ADC160
アナログ入力チャネル			AN000～AN008、AN016～AN023 SDADC24の基準電圧（注3） 内部基準電圧 温度センサ出力
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	許可
	外部トリガ	トリガ入力端子	ADTRG0
	同期トリガ（ELCからのトリガ）	ELCトリガ	ELC_AD00 ELC_AD01
割り込み			ADC160_ADI ADC160_GBADI ADC160_CMPAI ADC160_CMPBI
ELCへの出力			ADC160_ADI ADC160_WCMPM ADC160_WCMPUM

表 32.2 ADC16の機能一覧

項目	ADC160
モジュールストップ機能の設定 (注1) (注2)	MSTPCRD.MSTPD16ビット

- 注 1. 詳細は、「11. 低消費電力モード」を参照してください。
- 注 2. モジュールストップ状態の解除後 A/D 変換を開始する前に状態が安定するまで待機します。安定時間は、「47. 電気的特性」を参照してください。
- 注 3. SDADC24 の基準電圧は、SBIAS/VREFI です。SDADC24 を使用していないときは、SBIAS/VREFI は A/D 変換できません。SBIAS/VREFI の設定については、「33. 24 ビットシグマデルタ A/D コンバータ (SDADC24)」を参照してください。

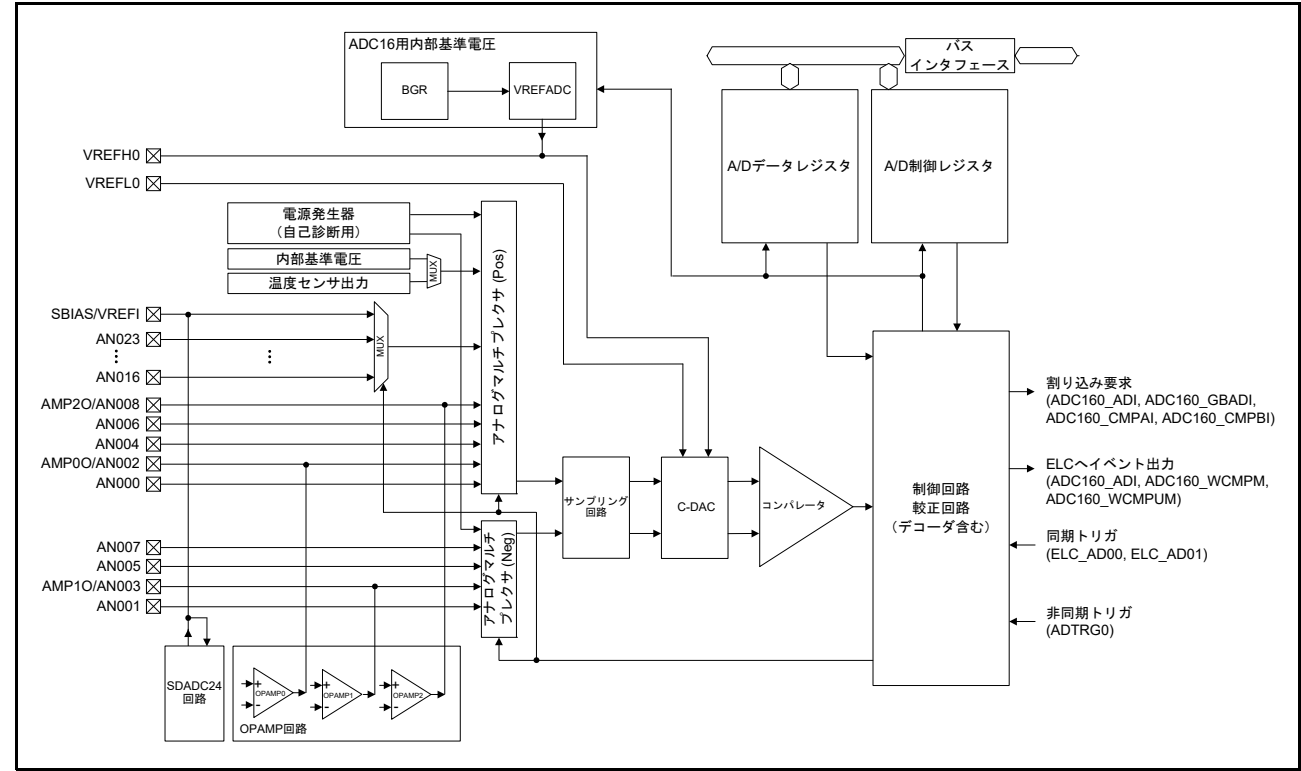


図 32.1 ADC16 のブロック図

表 32.3 に、ADC16 の入出力端子を示します。

表 32.3 ADC16の入出力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部の電源グランド端子
VREFH0	入力 (注1)	基準電源端子
	出力 (注2)	VREFADC 出力電圧
VREFL0	入力	基準電源グランド端子
AN000 ~ AN008, AN016 ~ AN023	入力	アナログ入力端子 00 ~ 08, 16 ~ 23
ADTRG0	入力	A/D 変換開始のための外部トリガ入力端子
SBIAS/VREFI (注3)	入出力	SDADC24 用センサまたは外部 VREF 入力端子用の電源端子

- 注 1. VREFH0 を高電位基準電圧に印加したとき
- 注 2. VREFADC を高電位基準電圧に印加したとき
- 注 3. 詳細は、「33. 24 ビットシグマデルタ A/D コンバータ (SDADC24)」を参照してください。

32.2 レジスタの説明

32.2.1 A/D データレジスタ y (ADDRy)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)

データレジスタには以下の種類があります。

- ADDRy レジスタ (y = 0 ~ 8, 16 ~ 24 (注 1)) : A/D 変換結果を格納する 16 ビットの読み出し専用レジスタ
差動入力選択時 A/D 変換結果は、偶数番号の ADDRy レジスタ (y = 0 ~ 7) に格納されます。奇数番号の ADDRy レジスタ (y = 0 ~ 7) の A/D データレジスタ値は保証されません。
- ADDBLDR レジスタ : ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDRA/ADDBLDRB レジスタ : ダブルトリガモード選択時、拡張動作中のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADTSDR レジスタ : 温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADOCDR レジスタ : 内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ

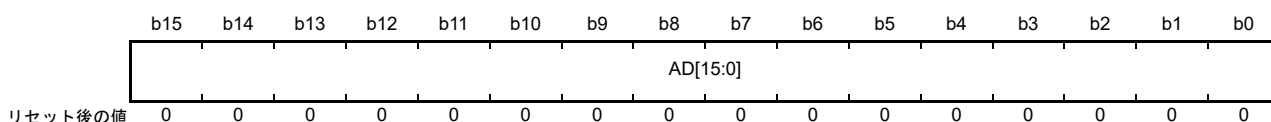
注 1. ADDR24 は、SDADC24 の基準電圧 (SBIAS/VREFI) の変換結果を格納するためのレジスタです。

ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、および ADOCDR の各レジスタは、下記の条件でデータフォーマットが異なります。

- 平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1 回、2 回、3 回、4 回、または 16 回の設定)

(1) A/D 変換値平均モードを非選択とした場合

アドレス [ADC160.ADDR0 4005 C020h](#) ~ [ADC160.ADDR8 4005 C030h](#),
[ADC160.ADDR16 4005 C040h](#) ~ [ADC160.ADDR24 4005 C050h](#),
[ADC160.ADBLDR 4005 C018h](#), [ADC160.ADBLDRA 4005 C084h](#), [ADC160.ADBLDRB 4005 C086h](#),
[ADC160.ADTSDR 4005 C01Ah](#), [ADC160.ADOCDR 4005 C01Ch](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	変換値 15 ~ 0	16 ビット A/D 変換値	R

(2) A/D 変換値平均モードを選択した場合

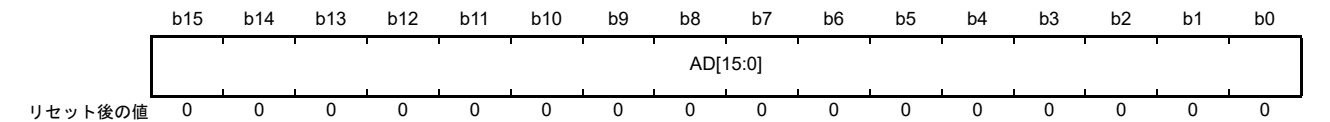
A/D 変換値平均モードで 2 回、4 回、8 回または 16 回を指定した場合、A/D 変換値平均モードを選択できます。本レジスタは特定チャンネルの A/D 変換値の平均値を示します。

32.2.2 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、ADC16 の自己診断により A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。自己診断状態は ADNST.DIAGST[1:0] ビットに格納されます。[32.2.3 A/D 自己診断ステータスレジスタ \(ADRST\)](#) を参照してください。

A/D 自己診断機能には A/D 変換値平均モードを適用することはできません。自己診断の詳細については、[32.2.12 A/D コントロール拡張レジスタ \(ADCER\)](#) を参照してください。

アドレス [ADC160.ADRD 4005 C0F8h](#)

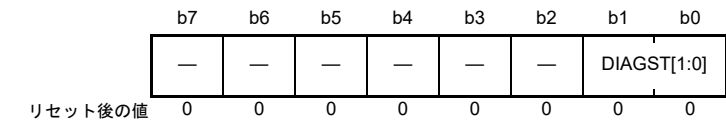


ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	変換値 15～0	16 ビット A/D 変換値	R

32.2.3 A/D 自己診断ステータスレジスタ (ADRST)

ADRST レジスタは、自己診断ステータス情報を格納する 8 ビットの読み出し専用レジスタです。

アドレス [ADC160.ADRST 4005 C0FAh](#)



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0 : パワーオン後に自己診断を実施していないことを示す 0 1 : A/D 変換結果の理想値が 8000h という条件下で自己診断を実行したことを示す 1 0 : A/D 変換結果の理想値が 0000h という条件下で自己診断を実行したことを示す 1 1 : A/D 変換結果の理想値が 7FFFh という条件下で自己診断を実行したことを示す 自己診断の詳細については、32.2.12 A/D コントロール拡張レジスタ (ADCER) を参照してください。	R
b7-b2	—	予約ビット	読むと 0 が読めます。	R

32.2.4 A/D コントロールレジスタ (ADCSR)

アドレス [ADC160.ADCSR 4005 C000h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	—	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード時のみ有効です。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	GBADIE	グループBスキャン終了割り込み許可	0：グループBのスキャン終了後にADC160_GBADI割り込み発生を禁止 1：グループBのスキャン終了後にADC160_GBADI割り込み発生を許可 グループBのスキャンは、グループスキャンモードでのみ実行できます。	R/W
b7	DBLE	ダブルトリガモード選択	0：ダブルトリガモード非選択 1：ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択 (注1)	0：同期トリガ (ELC) により A/D 変換開始 1：非同期トリガ (ADTRG0) により A/D 変換開始	R/W
b9	TRGE	トリガ開始許可	0：同期、非同期トリガによる A/D 変換の開始を禁止 1：同期、非同期トリガによる A/D 変換の開始を許可	R/W
b12-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b13	ADCS[1:0]	スキャンモード選択	b14 b13 0 0：シングルスキャンモード 0 1：グループスキャンモード 1 0：連続スキャンモード 1 1：設定禁止	R/W
b15	ADST	A/D 変換スタート	0：A/D 変換停止 1：A/D 変換開始	R/W

注 1. 外部端子 (非同期トリガ) で A/D 変換を起動する方法：
外部端子 (ADTRG0) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRG0 信号を Low にします。この設定の場合、ADTRG0 の立ち下がりエッジを検出すると、スキャン変換を開始します。このときの Low 入力のパルス幅は、1.5PCLKB クロック以上必要です。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択)

ダブルトリガモードで A/D 変換データを 2 重化する 1 チャンネルを選択します。差動入力用に選択したチャンネルを 2 重化する場合、関連する偶数番号のチャンネルを選択してください。DBLANS[4:0] ビットで指定したアナログ入力チャンネルを 1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。[表 32.4](#) および [表 32.5](#) にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを設定した状態での A/D 変換値平均モードは、ADADS0/1 レジスタの DBLANS[4:0] ビットでチャンネルを選択することで設定可能です。ダブルトリガモードでは、ADANSA0 および ADANSA1 レジスタで選択したチャンネルは無効となり、DBLANS[4:0] ビットで選択したチャンネルが代わりに A/D 変換対象になります。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対してはマルチチャンネルアナログ入力を選択できます。

DBLANS[4:0] ビットの設定は、ADST ビットが 0 のときのみ行ってください。この設定を ADST ビットへの 1 書き込みと同時にに行わないでください。

ダブルトリガモード時に A/D 変換値平均モードに移移するには、ADANSA0 および ADANSA1 レジスタの DBLANS[4:0] ビットでチャンネルを選択してください。

表 32.4 DBLANS ビット設定値とダブルトリガ対象チャンネルの関係 (シングルエンド入力モード)

シングルエンド入力モード			
DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000	AN000	10000	AN016
00001	AN001	10001	AN017
00010	AN002	10010	AN018
00011	AN003	10011	AN019
00100	AN004	10100	AN020
00101	AN005	10101	AN021
00110	AN006	10110	AN022
00111	AN007	10111	AN023
01000	AN008	11000	SBIAS/VREFI (注1)
01001	—	11001	—
01010	—	11010	—
01011	—	11011	—
01100	—	11100	—
01101	—	11101	—
01110	—	11110	—
01111	—	11111	—

注. 自己診断機能、温度センサ出力、および内部基準電圧の A/D 変換データは、ダブルトリガモードで使用できません。

注 1. SDADC24 の基準電圧は、SBIAS/VREFI です。SDADC24 を使用していないときは、SBIAS/VREFI は A/D 変換できません。SBIAS/VREFI の設定については、「33. 24 ビットシグマデルタ A/D コンバータ (SDADC24)」を参照してください。

表 32.5 DBLANS ビット設定値とダブルトリガ対象チャンネルの関係 (差動入力モード)

差動入力モード	
DBLANS[4:0]	2重化チャンネル
00000	AN000, AN001
00001	—
00010	AN002, AN003
00011	—
00100	AN004, AN005
00101	—
00110	AN006, AN007

GBADIE ビット (グループ B スキャン終了割り込み許可)

グループスキャンモードでのグループ B のスキャン終了割り込み (ADC160_GBADI) の発生を許可/禁止します。

DBLE ビット (ダブルトリガモード選択)

ダブルトリガモードの選択/非選択を指定します。ダブルトリガモードは、ADSTRGR.TRSA[5:0] ビットで選択された同期トリガ (ELC) のみで動作できます。

ダブルトリガモードは以下のように動作します。

- 1 回目の変換終了時は ADC160_ADI 割り込みを出力せず、2 回目の変換終了時に出力します。

- 1 回目のトリガで開始した 2 重化チャンネル (DBLANS[4:0] ビットで選択) の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE ビットが設定 (ダブルトリガモードを選択) されている場合、ADANS0 および ADANS1 レジスタで指定したチャンネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE を再度 1 にすると、ダブルトリガモードの動作は最初のトリガによる最初のスキャンと同様になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。ダブルトリガモードでは、ソフトウェアトリガを使用できません。DBLE ビットの設定は、必ず ADST ビットを 0 にしてから行ってください。DBLE ビットの設定を ADST ビットへの 1 書き込みと同時にに行わないでください。

EXTRG ビット (トリガ選択)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGE ビット (トリガ開始許可)

同期トリガ、非同期トリガによる A/D 変換の起動を許可/禁止します。グループスキャンモード時はこのビットを 1 にしてください。

ADCS[1:0] ビット (スキャンモード選択)

スキャンモードを選択します。

シングルスキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したアナログ入力 (AN000 ~ AN008、AN016 ~ AN023、SBIAS/VREF1) の A/D 変換を若いチャンネル番号順に実施します (最大 18 チャンネル)。選択したすべてのチャンネルの A/D 変換が終了するとスキャン変換を停止します。

連続スキャンモードでは、ADCSR.ADST ビットが 1 の間、ADANSA0、ADANSA1 レジスタで選択したアナログ入力の A/D 変換を若いチャンネル番号順に実施します。選択されたすべてのチャンネルの A/D 変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。

グループスキャンモード時:

- グループ A のスキャンは、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) により開始します。ADANSA0、ADANSA1 レジスタで選択した最大チャンネル数までのアナログ入力 (グループ A) の A/D 変換を若いチャンネル番号順に実行します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。
- グループ B のスキャンは、ADSTRGR.TRSB[5:0] ビットで選択した同期トリガ (ELC) により開始します。ADANSB0、ADANSB1 レジスタで選択した最大 21 チャンネルのアナログ入力 (グループ B) の A/D 変換を若いチャンネル番号順に実行します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。

このとき、グループ A 側とグループ B 側の変換が重なった場合、これらの変換は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位を A 側に設定してください。

グループスキャンモードでは、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

温度センサ出力または内部基準電圧を選択する場合、シングルスキャンモードを選択し、ADANSA0、ADANSA1 レジスタを設定してすべてのチャンネルを非選択にしてから、A/D 変換を実施してください。選択した温度センサ出力または内部基準電圧の A/D 変換が終了したら、A/D 変換は停止します。

ADCS[1:0] ビットの設定は、ADST ビットを 0 にしてから行ってください。すなわち、ADCS[1:0] ビットと ADST ビットを同時に 1 にしないでください。

表 32.6 スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループ A 含む)	アナログ入力 (グループ B)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	x	○	○
	DBLE = 1	x	○ (1chのみ)	x	x	x
連続スキャン	DBLE = 0	○	○	x	x	x
	DBLE = 1	x	x	x	x	x
グループスキャン	DBLE = 0	○	○	○	x	x
	DBLE = 1	x	○ (1chのみ)	○	x	x

○：選択可能。x：選択不可能

ADST ビット (A/D 変換スタート)

A/D 変換の開始/停止を制御します。ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- ソフトウェアで 1 を書き込んだとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0] ビットを 000000b にし、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを 1 にして、グループ B の A/D 変換を開始したとき
- ADCALEXE.CALEXE ビットに 1 を書いたとき

[0 になる条件]

- ソフトウェアで 0 を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャネル、温度センサ出力、または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にして、グループ B のスキャンが終了したとき
- キャリブレーションが終了したとき

注． グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1)、ADST ビットを 1 にしないでください。

注． グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1)、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

注． グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1) にシングルスキャン連続機能を使用する場合 (ADGSPCR.GBRP = 1)、ADST ビットは 1 になります。

32.2.5 A/D チャンネル選択レジスタ A0 (ADANSA0)

アドレス [ADC160.ADANSA0 4005 C004h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ANSA0 8	ANSA0 7	ANSA0 6	ANSA0 5	ANSA0 4	ANSA0 3	ANSA0 2	ANSA0 1	ANSA0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b08-b0	ANSA08 ~ ANSA00	A/D 変換チャンネル選択	0 : 関連する入力チャンネルを非選択 1 : 関連する入力チャンネルを選択 ビット 8 (ANSA08) は AN008 に対応し、ビット 0 (ANSA00) は AN000 に対応します。	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

ANSAn ビット (n = 00 ~ 13) (A/D 変換チャンネル選択)

A/D 変換を行うアナログ入力チャンネル AN000 ~ AN008 を選択します。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA00 ビットが AN000 に対応し、ANSA08 ビットが AN008 に対応します。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャンネルを非選択にしてください。

ダブルトリガモード時は、ADCSR.DBLANS[4:0] ビットで指定したチャンネルがグループ A の選択チャンネルとなり、本レジスタで選択したチャンネルは無効になります。

グループスキャンモード時は、A/D チャンネル選択レジスタ B0 (ADANSB0) および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

差動入力を選択するために ADANIM.ANIM[n] ビットが 1 のときは、ANIM[n] に関連する偶数チャンネルを選択してください。

例 : ADANIM.ANIM[0] = 1 のとき、ADANSA0[1:0] ビットを 01b にします。

ADANIM.ANIM[1] = 1 のとき、ADANSA0[3:2] ビットを 01b にします。

ADANIM.ANIM[2] = 1 のとき、ADANSA0[5:4] ビットを 01b にします。

ADANIM.ANIM[3] = 1 のとき、ADANSA0[7:6] ビットを 01b にします。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

32.2.6 A/D チャンネル選択レジスタ A1 (ADANSA1)

アドレス [ADC160.ADANSA1 4005 C006h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ANSA2 4	ANSA2 3	ANSA2 2	ANSA2 1	ANSA2 0	ANSA1 9	ANSA1 8	ANSA1 7	ANSA1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	ANSA24 ~ ANSA16	A/D 変換チャンネル選択	0 : 関連する入力チャンネルを非選択 1 : 関連する入力チャンネルを選択 ビット 8 (ANSA24) は SBIAS/VREFI に対応し、ビット 7 (ANSA23) は AN023 に対応し、ビット 0 (ANSA16) は AN016 に対応します。	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

ANSA_n ビット (n = 16 ~ 24) (A/D 変換チャンネル選択)

A/D 変換を行うアナログ入力チャンネルを AN016 ~ AN023 および SBIAS/VREFI から選択します。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA16 ビットが AN016、ANSA23 ビットが AN023 に、ANSA24 ビットが SBIAS/VREFI に対応します。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャンネルを非選択にしてください。

ダブルトリガモード時は、ADCSR.DBLANS[4:0] ビットで選択したチャンネルがグループ A の選択チャンネルとなり、ADANSA1 レジスタで選択したチャンネルは無効になります。

グループスキャンモード時は、A/D チャンネル選択レジスタ B0 (ADANSB0) および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

32.2.7 A/D チャンネル選択レジスタ B0 (ADANSB0)

アドレス ADC160.ADANSB0 4005 C014h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ANSB0 8	ANSB0 7	ANSB0 6	ANSB0 5	ANSB0 4	ANSB0 3	ANSB0 2	ANSB0 1	ANSB0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	ANSB08 ~ ANSB00	A/D 変換チャンネル選択	0 : 関連する入力チャンネルを非選択 1 : 関連する入力チャンネルを選択 ビット 8 (ANSB08) は AN008 に対応し、ビット 0 (ANSB00) は AN000 に対応します。	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

ANSBn ビット (n = 00 ~ 08) (A/D 変換チャンネル選択)

グループ スキャンモード選択時にグループ B で A/D 変換を行うアナログ入力チャンネル AN000 ~ AN008 を選択します。ADANSB0 レジスタはグループ スキャンモードでのみ使用され、他のモードでは使用しません。

グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタで選択、およびダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャンネル) を選択しないでください。

ANSB00 ビットが AN000、ANSB04 ビットが AN004 に、ANSB08 ビットが AN008 に対応します。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャンネルを非選択にしてください。

差動入力を選択するために ADANIM.ANIM[n] ビットが 1 のときは、ANIM[n] に対応する偶数チャンネルを選択してください。

例 : ADANIM.ANIM[0] = 1 のとき、ADANSB0[1:0] ビットを 01b にします。

ADANIM.ANIM[1] = 1 のとき、ADANSB0[3:2] ビットを 01b にします。

ADANIM.ANIM[2] = 1 のとき、ADANSB0[5:4] ビットを 01b にします。

ADANIM.ANIM[3] = 1 のとき、ADANSB0[7:6] ビットを 01b にします。

ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

32.2.8 A/D チャネル選択レジスタ B1 (ADANSB1)

アドレス [ADC160.ADANSB1 4005 C016h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ANSB2 4	ANSB2 3	ANSB2 2	ANSB2 1	ANSB2 0	ANSB1 9	ANSB1 8	ANSB1 7	ANSB1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	ANSB24 ~ ANSB16	A/D 変換チャネル選択	0 : 関連する入力チャネルを非選択 1 : 関連する入力チャネルを選択 ビット 8 (ANSB24) は SBIAS/VREFI に対応し、ビット 7 (ANSB23) は AN023 に対応し、ビット 0 (ANSB16) は AN016 に対応します。	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

ANSBn ビット (n = 16 ~ 24) (A/D 変換チャネル選択)

グループ スキャンモード選択時にグループ B で A/D 変換を行うアナログ入力チャネルを AN016 ~ AN023 および SBIAS/VREFI から選択します。ADANSB1 レジスタはグループ スキャンモードでのみ使用し、他のモードでは使用しません。

グループ A で指定したチャネル (ADANSA0、ADANSA1 レジスタで選択、およびダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャネル) を選択しないでください。

ANSB16 ビットが AN016、ANSB23 ビットが AN023 に、ANSB24 ビットが SBIAS/VREFI に対応します。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャネルを非選択にしてください。

ADANSB1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

32.2.9 A/D 変換値平均チャネル選択レジスタ 0 (ADADS0)

アドレス [ADC160.ADADS0 4005 C008h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ADS08	ADS07	ADS06	ADS05	ADS04	ADS03	ADS02	ADS01	ADS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	ADS08～ADS00	A/D 変換値平均チャネル選択	0：関連する入力チャネルを非選択 1：関連する入力チャネルを選択 ビット 8 (ADS08) は AN008 に対応し、ビット 0 (ADS00) は AN000 に対応します。	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADS_n ビット (n = 00 ～ 08) ([A/D 変換値平均チャネル選択](#))

A/D 変換値平均の対象となる A/D 変換チャネル AN000 ～ AN008 を決定します。選択した A/D 変換チャネルに対応する ADS_n ビットを 1 にすると、それぞれのチャネルのアナログ入力を、ADADC レジスタの ADC[2:0] ビットで指定した回数 (1 ～ 16 回) 分、連続して A/D 変換します。

平均値は、A/D データレジスタに格納されます。

本ビットは、以下で選択された A/D 変換チャネルのみに適用されます。

- ADANSA0 レジスタの ANSAn ビット (n = 00 ～ 08)、または ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB0 レジスタの ANSBn ビット (n = 00 ～ 08)

平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

差動入力を選択するために ADANIM.ANIM[n] ビットが 1 の場合、ADANIM.ANIM[n] ビットに関連する偶数チャネルの設定に基づく平均モード動作が有効になります。

例：ADANIM.ANIM[0] = 1 のとき、ADADS0[1:0] ビットを 01b にします。

ADANIM.ANIM[1] = 1 のとき、ADADS0[3:2] ビットを 01b にします。

ADANIM.ANIM[2] = 1 のとき、ADADS0[5:4] ビットを 01b にします。

ADANIM.ANIM[3] = 1 のとき、ADADS0[7:6] ビットを 01b にします。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

32.2.10 A/D 変換値平均チャネル選択レジスタ 1 (ADADS1)

アドレス AD160.ADADS1 4005 C00Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ADS24	ADS23	ADS22	ADS21	ADS20	ADS19	ADS18	ADS17	ADS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	ADS24～ADS16	A/D 変換値平均チャネル選択	0 : 関連する入力チャネルを非選択 1 : 関連する入力チャネルを選択 ビット8 (ADS24) はSBIAS/VREFIに対応し、ビット7 (ADS23) はAN023に対応し、ビット0 (ADS16) はAN016に対応します。	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADS_n ビット (n = 16 ~ 24) (A/D 変換値平均チャネル選択)

A/D 変換値平均の対象となる A/D 変換チャネルを AN016 ~ AN023 および SBIAS/VREFI 端子から決定します。選択した A/D 変換チャネルに対応する ADS_n ビットを 1 にすると、選択したチャネルのアナログ入力を、ADADC レジスタの ADC[2:0] ビットで指定した回数 (1 ~ 16 回) 分、連続して A/D 変換します。

平均値は、A/D データレジスタに格納されます。

本ビットは、以下で選択された A/D 変換チャネルのみに適用されます。

- ADANSA1 レジスタの ANSAn ビット (n = 16 ~ 24)、または ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB1 レジスタの ANSBn ビット (n = 16 ~ 24)

平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 32.2 に ADADS0.ADS02 ビットおよび ADADS0.ADS06 ビットを 1 にしたときのスキャン動作シーケンスを示します。この図では以下ようになります。

- 変換回数を 4 に設定 (ADADC.ADC[1:0] = 11b)
- 連続スキャンモード (ADCSR.ADCS[1:0] = 10b) でチャネル AN000 ~ AN007 を選択 (ADANSA0.ANSA0[15:0] = 00FFh)

AN000 から変換を開始します。AN002 の変換は 4 回連続実行し、平均値を A/D データレジスタ 2 (ADDR2) に返します。その後、AN003 の変換を開始し、AN006 の変換は 4 回連続実行し、平均値を A/D データレジスタに返します。

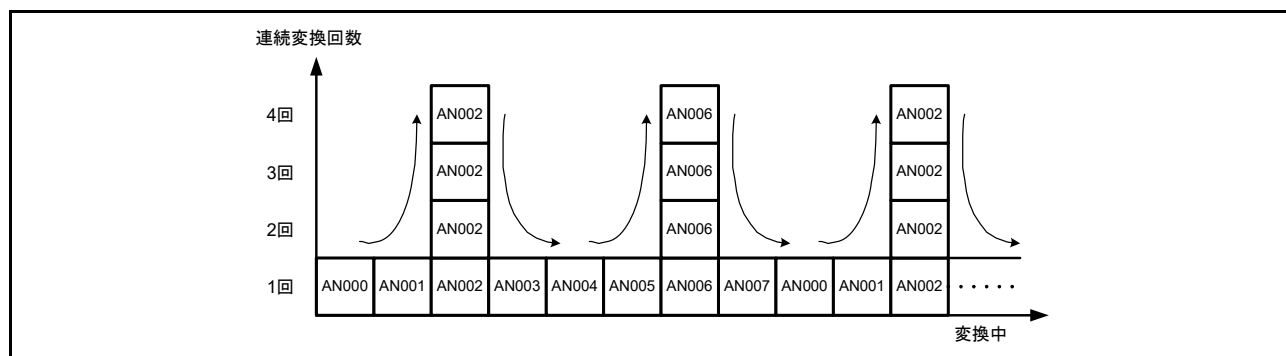
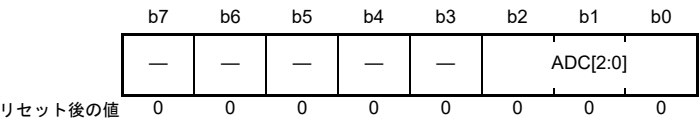


図 32.2 ADADC.ADC[2:0] = 011b、ADADS0.ADS02 = 1、ADADS0.ADS06 = 1 選択時のスキャン変換シーケンス

32.2.11 A/D 変換値平均回数選択レジスタ (ADADC)

アドレス [ADC160.ADADC 4005 C00Ch](#)



ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	回数選択	b2b0 000: 1回変換 (通常変換と同じ) 001: 2回変換 (2回変換の平均を取得) 011: 4回変換 (4回変換の平均を取得) 100: 8回変換 (8回変換の平均を取得) 101: 16回変換 (16回変換の平均を取得) 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

[ADC\[2:0\]](#) ビット (回数選択)

ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および A/D 変換値平均モードが選択されたすべてのチャネルに対して加算回数を設定します。回数は、SDADC24 の基準電圧、温度センサ出力および内部基準電圧の A/D 変換にも適用されます。

ADC[2:0] ビットの設定には以下の制約があります。

- 自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0] を 000b 以外の値にしない

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

32.2.12 A/D コントロール拡張レジスタ (ADCER)

アドレス ADC160.ADCER 4005 C00Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADINV	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブル	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択	b9 b8 0 0 : 自己診断有効時は設定禁止 0 1 : -VREFH0 (A/D 変換結果の理想値は8000h) 1 0 : VREFL0 (A/D 変換結果の理想値は0000h) 1 1 : VREFH0 (A/D 変換結果の理想値は7FFFh)	R/W
b10	DIAGLD	自己診断モード選択	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブル	0 : ADC16の自己診断を実行しない 1 : ADC16の自己診断を実行する	R/W
b13-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	ADINV	シングルエンド入力A/D変換データ反転選択	本ビットは、奇数チャネル入力用シングルエンドモードのA/D変換データのデータ表示範囲を選択します。 0 : データ格納範囲は、-32768～0 1 : データ格納範囲は、0～32767	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ACE ビット (A/D データレジスタ自動クリアイネーブル)

CPU または DTC によって ADDRy、ADRD、ADRST、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、または ADOCDR レジスタのいずれかを読み出した後、これらのレジスタの自動クリア（すべて 0）を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新障害を検出することが可能です。詳細は、32.3.9 A/D データレジスタの自動クリア機能の使用例を参照してください。

DIAGVAL[1:0] ビット (自己診断変換電圧選択)

自己診断電圧固定モードでの電圧値を選択します。詳細は、ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが 00b のときには、ADCER.DIAGLD ビットを 1 にしての自己診断を実行しないでください。

DIAGLD ビット (自己診断モード選択)

自己診断で変換する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。

本ビットを 0 にすると、-VREFH0 → VREFL0 → VREFH0 の順番にローテーションして変換していきます。リセット後、自己診断電圧ローテーションモードを選択した場合は -VREFH0 から自己診断を行います。スキャン変換が終了しても自己診断電圧値は -VREFH0 に戻りません。再びスキャン変換を実行すると、前回に続く電圧値からローテーションを開始します。

DIAGLD ビットを 1 にすることにより固定電圧を選択します。ADCER.DIAGVAL[1:0] ビットで指定した固定電圧が変換されます。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

DIAGM ビット (自己診断イネーブル)

自己診断を実施するかしないかを選択します。

自己診断は、ADC16 の故障を検出するための機能です。自己診断モードでは、3 つの電圧値 (-VREFH0、VREFL0、または VREFH0) のうちの 1 つが変換されます。変換が終了すると、A/D 自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。ソフトウェアで ADRD レジスタを読み出し、変換結果が正常範囲内か異常範囲内かを判断します。

自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。ダブルトリガモード (ADCSR.DBLE = 1) の場合、自己診断は非選択 (DIAGM = 0) になります。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B でそれぞれ別々に自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ADINV ビット (シングルエンド入力 A/D 変換データ反転選択)

奇数 AN000 ~ AN007 アナログ入力の A/D 変換結果を ADDR_y (y = 1, 3, 5, 7) レジスタ、ADDBLDR レジスタ、ADDBLDR_A レジスタ、または ADDBLDR_B レジスタに格納する場合の A/D 変換結果データ表示範囲を「-32768 ~ 0」にするか、または「0 ~ 32767」にするかを選択するのに使用します。偶数 AN000 ~ AN007 アナログ入力、アナログ入力 AN016 ~ AN023、差動入力、SDADC24 の基準電圧 (SBIAS/VREFI)、温度センサ、または基準電圧の A/D 変換は、本ビットの影響を受けません。

ADINV ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

下記に、ADINV ビットの設定によるデータ反転方法を示します。

- A/D 変換結果データ = 0000h のとき、0000h
- A/D 変換結果データ = 8000h のとき、すべてのビットが反転
- A/D 変換結果データ ≠ 8000h、0000h のとき、すべてのビットが反転 +0001h

表 32.7 シングルエンド入力 A/D 変換データ反転の選択

RFMLF = 0		ADINV = 1	
16 進	10 進	16 進	10 進
0000h	0	0000h	0
FFFFh	-1	0001h	1
FFFEh	-2	0002h	2
⋮	⋮	⋮	⋮
8002h	-32766	7FFEh	32766
8001h	-32767	7FFFh	32767
8000h	-32768	7FFFh	32767

32.2.13 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス AD160.ADSTRGR 4005 C010h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	TRSA[5:0]						—	—	TRSB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループ B 用 A/D 変換開始トリガ選択	グループ スキャンモードでグループ B の A/D 変換開始トリガを選択します。	R/W
b7-b6	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b13-b8	TRSA[5:0]	A/D 変換開始トリガ選択	シングルスキャンモードおよび連続スキャンモードでの A/D 変換開始トリガを選択します。グループ スキャンモードではグループ A の A/D 変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

TRSB[5:0] ビット (グループ B 用 A/D 変換開始トリガ選択)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループ スキャンモードでのみ使用し、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガとしてソフトウェアトリガまたは非同期トリガを使用しないでください。グループ スキャンモードでは、TRSB[5:0] ビットを 000000b 以外にし、ADCSR.TRGE ビットを 1 にしてください。

グループ スキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0] ビットを 3Fh にしてください。変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、[32.3.8 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

表 32.8 に TRSB[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 32.8 TRSB[5:0] ビットでの A/D 起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態		1	1	1	1	1	1
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

TRSA[5:0] ビット (A/D 変換開始トリガ選択)

シングルスキャンモードおよび連続スキャンモードでは A/D 変換開始トリガを選択します。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガと非同期トリガは使用しないでください。

- 同期トリガ (ELC) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にする
- 非同期トリガ (ADTRG0) を使用する場合は、ソフトウェアトリガまたは非同期トリガは使用しない
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効

変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。詳細は、[32.3.8 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

表 32.9 に TRSA[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 32.9 TRSA[5:0] ビットでの A/D 起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態		1	1	1	1	1	1
ADTRG0	トリガ入力端子	0	0	0	0	0	0
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

32.2.14 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス ADC160.ADEXICR 4005 C012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力 A/D 変換値平均モード選択	0 : 温度センサ出力 A/D 変換値平均モード非選択 1 : 温度センサ出力 A/D 変換値平均モード選択	R/W
b1	OCSAD	内部基準電圧 A/D 変換値平均モード選択	0 : 内部基準電圧 A/D 変換値平均モード非選択 1 : 内部基準電圧 A/D 変換値平均モード選択	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b8	TSSA	温度センサ出力 A/D 変換選択	0 : 温度センサ出力の A/D 変換禁止 1 : 温度センサ出力の A/D 変換許可	R/W
b9	OCSA	内部基準電圧 A/D 変換選択	0 : 内部基準電圧の A/D 変換禁止 1 : 内部基準電圧の A/D 変換許可	R/W
b15-b10	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

TSSAD ビット (温度センサ出力 A/D 変換値平均モード選択)

TSSAD ビットが 1 の場合、ADADC の ADC[2:0] ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。平均値が ADTSDR レジスタに返されます。

TSSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSAD ビット (内部基準電圧 A/D 変換値平均モード選択)

OCSAD ビットを 1 にした場合、ADADC レジスタの ADC[2:0] ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。平均値が ADOCDR レジスタに返されます。

OCSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

TSSA ビット (温度センサ出力 A/D 変換選択)

温度センサ出力の A/D 変換を選択します。

A/D 変換を実行する場合、

1. ADANSA0/1 レジスタ、ADANSB0/1 レジスタ、ADCSR.DBLE ビットおよび ADESICR.OCSA ビットを 0 にします。
2. シングルスキャンモードで A/D 変換を実行します。

温度センサ出力の A/D 変換を実行すると、ADDISCR レジスタは 0Fh になり、ADC16 はサンプリング前にディスチャージを行います (15ADCLK)。最小サンプリング時間は 5μs です。ADC16 は、温度センサ出力の A/D 変換を行うたびにディスチャージを実行します。

TSSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSA ビット (内部基準電圧 A/D 変換選択)

内部基準電圧の A/D 変換を選択します。

A/D 変換を実行する場合、

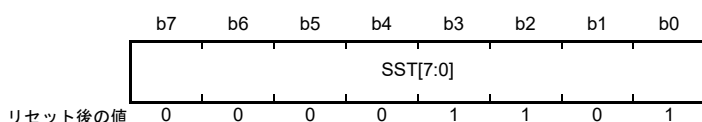
1. ADANSA0/1 レジスタ、ADANSB0/1 レジスタ、ADCSR.DBLE ビットおよび ADESICR.TSSA ビットを 0 にします。
2. シングルスキャンモードで A/D 変換を実行します。

内部基準電圧の A/D 変換を実行すると、ADDISCR レジスタは 0Fh になり、ADC16 はサンプリング前にディスタチャージを行います (15ADCLK)。最小サンプリング時間は 5 μ s です。ADC16 は、内部基準電圧の A/D 変換を行うたびにディスタチャージを実行します。

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

32.2.15 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 00 ~ 08, L, T, O)

アドレス [ADC160.ADSSTR00 4005 C0E0h](#) ~ [ADC160.ADSSTR08 4005 C0E8h](#),
[ADC160.ADSSTR0L 4005 C0DDh](#), [ADC160.ADSSTR0T 4005 C0DEh](#), [ADC160.ADSSTR0O 4005 C0DFh](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定	5 ~ 255 ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力 of サンプリング時間の設定を行います。1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 32MHz の場合、1 ステート = 31.25ns になります。初期値は 13 ステートです。

アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。

差動入力を選択するために ADANIM.ANIM[n] ビットが 1 のときは、ANIM[n] ビットに関連する偶数チャンネルを選択してください。

例：ADANIM.ANIM[0] = 1 のとき、ADSSTR00.SST[7:0] ビットが使用されます。

ADANIM.ANIM[1] = 1 のとき、ADSSTR02.SST[7:0] ビットが使用されます。

ADANIM.ANIM[2] = 1 のとき、ADSSTR04.SST[7:0] ビットが使用されます。

ADANIM.ANIM[3] = 1 のとき、ADSSTR06.SST[7:0] ビットが使用されます。

サンプリング時間の下限値は分周比によって異なります。

- PCLKB : PCLKD (ADCLK) の分周比が 1:1 の場合、サンプリング時間は 5 ステートより長く設定
- PCLKB : PCLKD (ADCLK) の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定

[表 32.10](#) に A/D サンプリングステートレジスタ n と関連チャンネルの関係を示します。詳細は、[32.3.8 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

SST[7:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

表 32.10 A/D サンプリングステートレジスタ n と関連チャンネルの関係

ビット名	関連チャンネル
ADSSTR00.SST[7:0] ビット (注1)	AN000
ADSSTR01.SST[7:0] ビット	AN001
ADSSTR02.SST[7:0] ビット	AN002
ADSSTR03.SST[7:0] ビット	AN003
ADSSTR04.SST[7:0] ビット	AN004
ADSSTR05.SST[7:0] ビット	AN005
ADSSTR06.SST[7:0] ビット	AN006
ADSSTR07.SST[7:0] ビット	AN007

表 32.10 A/D サンプリングステートレジスタ n と関連チャネルの関係

ビット名	関連チャネル
ADSSTR0.SST[7:0] ビット	AN008
ADSSTRL.SST[7:0] ビット	AN016 ~ AN023、SBIAS/VREFI
ADSSTRT.SST[7:0] ビット	温度センサ出力 (注2)
ADSSTRO.SST[7:0] ビット	内部基準電圧 (注2)

注 1. 自己診断機能を選択したときは、ADSSTR0.SST[7:0] で設定したサンプリング時間が適用されます。

注 2. 温度センサ出力または内部基準電圧変換時は、サンプリング時間を 5 μ s より長く設定してください。本ビットの最大値は 255 ステートであるため、ADCLK 周波数は、サンプリング時間が 5 μ s となるよう 32MHz 以下に設定しなければなりません。

32.2.16 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス **ADC160.ADDISCR 4005 C07Ah**

b7	b6	b5	b4	b3	b2	b1	b0
—	—	PCHG[1:0]	ADNDIS[3:0]				—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ADNDIS[3:0]	プリチャージ/ディスチャージ期間	b3 b0 0 0 0 0 : 断線検出アシスト機能無効 0 0 0 1 : 設定禁止 その他 : プリチャージ/ディスチャージ期間のステート数	R/W
b5-b4	PCHG[1:0]	プリチャージ/ディスチャージ選択	b5 PCHG[1] : プリチャージ/ディスチャージ選択 0 : アナログ入力経路1 (注1) 電圧をディスチャージ 1 : アナログ入力経路1 (注1) 電圧をプリチャージ b4 PCHG[0] : プリチャージ/ディスチャージ選択 0 : アナログ入力経路2 (注2) 電圧をディスチャージ 1 : アナログ入力経路2 (注2) 電圧をプリチャージ	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 偶数アナログ入力チャネル AN000 ~ AN008 または AN016 ~ AN023

注 2. 奇数アナログ入力チャネル AN000 ~ AN007

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定および期間を設定します。ADDISCR レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

温度センサ出力または内部基準電圧変換時、A/D コンバータは自動的にディスチャージを行います。この動作は、ADEXICR.OCSA または TSSA ビットが 1 のときに、ADDISCR レジスタを 0Fh (15ADCLK) にすることで可能となります。ディスチャージ実行後、A/D コンバータはサンプリングを行います。必要なサンプリング時間は 5 μ s 以上です。

以下の機能のいずれかを使用する場合、断線検出アシスト機能は無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断
- SDADC24 の基準電圧 (SBIAS/VREFI)
- 差動入力モード

ADNDIS[3:0] ビット (プリチャージ/ディスチャージ期間)

ADNDIS[3:0] ビットは、プリチャージ/ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[3:0]

ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

PCHG[1:0] ビット (プリチャージ/ディスチャージ選択)

PCHG[1] ビット = 1 でプリチャージ、PCHG[1] ビット = 0 でディスチャージが選択されます。PCHG[0] ビット = 1 でプリチャージ、PCHG[0] ビット = 0 でディスチャージが選択されます。表 32.11 に断線検出アシスト機能の動作を示します。

断線検出アシスト機能のプリチャージまたはディスチャージの実行は、PCHG[1:0] の設定およびアナログ入力チャネル (シングルエンドモードでの奇数アナログ入力チャネル AN000 ~ AN007、シングルエンドモードでの偶数アナログ入力チャネル AN000 ~ AN008、またはアナログ入力チャネル AN016 ~ AN023) により自動的に制御されます。

表 32.11 断線検出アシスト機能の動作

PCHG[1:0]	ADNDIS[3:0]	アナログチャネル入力モード	次の A/D 変換	アナログ入力経路 1	アナログ入力経路 2
—	0000b	—	—	接続なし	接続なし
—	0001b	機能保証なし			
11b	1111b ~ 0010b	シングルエンド	偶数アナログ入力チャネル AN000 ~ AN008、アナログ入力チャネル AN016 ~ AN023、温度センサまたは内部基準電圧	プリチャージ	接続なし
01b				ディスチャージ	
10b				プリチャージ	
00b				ディスチャージ	
11b		奇数アナログ入力チャネル AN000 ~ AN008		接続なし	プリチャージ
01b					プリチャージ
10b					ディスチャージ
00b					ディスチャージ

32.2.17 A/D 割り込みコントロールレジスタ (ADICR)

アドレス [ADC160.ADICR 4005 C07Dh](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	ADIC[1:0]	
0	0	0	0	0	0	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADIC[1:0]	A/D 割り込みコントロール	b1 b0 0 0 : A/D スキャン終了時 ADC160_ADI 発生 1 1 : キャリブレーション終了時 ADC160_ADI 発生 上記以外は設定しないでください。	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

32.2.18 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス [ADC160.ADGSPCR 4005 C080h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループ A 優先制御設定 (注1)	0 : グループ A の優先制御動作を行わない 1 : グループ A の優先制御動作を行う	R/W
b1	GBRSCN	グループ B 再起動設定	PGS = 1 のときのみ有効。PGS = 0 のときは無視 0 : グループ A の優先制御でグループ B を中断した後に再起動しない 1 : グループ A の優先制御でグループ B を中断した後に再起動する	R/W
b14-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15	GBRP	グループ B 用シングルスキャン連続起動設定 (注2)	PGS = 1 のときのみ有効。PGS = 0 のときは無視 0 : グループ B のシングルスキャン連続動作を行わない 1 : グループ B のシングルスキャン連続動作を行う	R/W

注 1. ADCSR.ADCS[1:0] ビットは、PGS ビットを 1 にする前に 01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。

注 2. GBRP ビットを 1 にした場合は、GBRSCN ビットにかかわらず、グループ B のシングルスキャン連続動作を実行します。

[PGS ビット \(グループ A 優先制御設定\)](#)

PGS ビットを 1 にすると、グループ A の優先動作が行われます。PGS ビットを 1 にする場合は、事前に ADCSR.ADCS[1:0] ビットを 01b (グループスキャンモード) にしてください。それ以外の設定をした場合、動作は保証されません。

PGS ビットを 0 にした場合は、[32.7.2 A/D 変換停止時の注意事項](#)に従い、ソフトウェアでのクリアを行ってください。PGS ビットを 1 にした場合は、[32.3.6.3 グループ A 優先制御動作](#)の手順に従い設定を行ってください。

[GBRSCN ビット \(グループ B 再起動設定\)](#)

グループ A 優先制御時の、グループ B の再スキャン動作を制御します。

GBRSCN ビットを 1 にすると、グループ A のトリガ入力によるグループ B のスキャン動作中断後、グループ A の変換終了を待ってグループ B の再スキャン動作を実行します。また、グループ A の A/D 変換動作中にグループ B のトリガ入力があった場合、グループ A の変換終了を待ってグループ B の再スキャン動作を行います。

GBRSCN ビットを 0 にした場合は、A/D 変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが 1 のときに有効となります。

[GBRP ビット \(グループ B 用シングルスキャン連続起動設定\)](#)

グループ B をシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを 1 にすると、グループ B のシングルスキャンが起動します。スキャン終了後、自動的にグループ B のシングルスキャンを再開します。グループ A の動作によってグループ B の変換が中断した場合、グループ A の動作が優先され、グループ A の変換終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを 1 にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを 1 にした場合、GBRSCN ビットの設定は無効となります。GBRP ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。

GBRP ビットの設定は、PGS ビットが 1 のときに有効となります。

32.2.19 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス ADC160.ADCMPCR 4005 C090h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPAIE	WCMPPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	—	CMPAB[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウ A/B 複合条件設定	b1 b0 0 0: ウィンドウ A 比較条件に一致 OR ウィンドウ B 比較条件に一致の場合、ADC160_WCMPPM を出力。その他の場合は ADC160_WCMPUM を出力 0 1: ウィンドウ A 比較条件に一致 EXOR ウィンドウ B 比較条件に一致の場合、ADC160_WCMPPM を出力。その他の場合は ADC160_WCMPUM を出力 1 0: ウィンドウ A 比較条件に一致 AND ウィンドウ B 比較条件に一致の場合、ADC160_WCMPPM を出力。その他の場合は ADC160_WCMPUM を出力 1 1: 設定禁止 これらのビットは、ウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。	R/W
b8-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b9	CMPBE	コンペアウィンドウ B 動作許可	0: コンペアウィンドウ B 動作禁止 ADC160_WCMPPM および ADC160_WCMPUM の出力不可 1: コンペアウィンドウ B 動作許可	R/W
b10	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b11	CMPAE	コンペアウィンドウ A 動作許可	0: コンペアウィンドウ A 動作禁止 ADC160_WCMPPM および ADC160_WCMPUM の出力不可 1: コンペアウィンドウ A 動作許可	R/W
b12	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b13	CMPBIE	コンペア B 割り込み許可	0: 比較条件 (ウィンドウ B) 一致による ADC160_CMPBIE 割り込み禁止 1: 比較条件 (ウィンドウ B) 一致による ADC160_CMPBIE 割り込み許可	R/W
b14	WCMPPE	ウィンドウ機能設定	0: ウィンドウ機能無効 ウィンドウ A および B はコンパレータとして動作し、下位の 1 つの値を A/D 変換結果と比較 1: ウィンドウ機能有効 ウィンドウ A および B はコンパレータとして動作し、上位および下位の 2 つの値を A/D 変換結果と比較	R/W
b15	CMPAIE	コンペア A 割り込み許可	0: 比較条件 (ウィンドウ A) 一致による ADC160_CMPAIE 割り込み禁止 1: 比較条件 (ウィンドウ A) 一致による ADC160_CMPAIE 割り込み許可	R/W

CMPAB[1:0] ビット (ウィンドウ A/B 複合条件設定)

シングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。CMPAB[1:0] ビットにより、ADWINMON.MONCONB のコンペア機能一致 / 不一致イベント出力条件および監視条件を指定します。CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

CMPBE ビット (コンペアウィンドウ B 動作許可)

コンペアウィンドウ B の動作を許可／禁止します。本ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

本ビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA または TSSA ビット
- A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0] ビット

CMPAE ビット (コンペアウィンドウ A 動作許可)

コンペアウィンドウ A の動作を許可／禁止します。本ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

本ビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA または TSSA ビット
- A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0/1 (ADCMPANSR0、ADCMPANSR1)
- A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット (コンペア B 割り込み許可)

比較条件 (ウィンドウ B) の一致による ADC160_CMPBI 割り込み出力を許可／禁止します。

WCMPE ビット (ウィンドウ機能設定)

ウィンドウ機能の有効／無効を選択します。WCMPE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPAIE ビット (コンペア A 割り込み許可)

比較条件 (ウィンドウ A) の一致による ADC160_CMPAI 割り込み出力を許可／禁止します。

32.2.20 A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)

アドレス [ADC160.ADCMPANSR0 4005 C094h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPC HA08	CMPC HA07	CMPC HA06	CMPC HA05	CMPC HA04	CMPC HA03	CMPC HA02	CMPC HA01	CMPC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPCHA08 ~ CMPCHA00	コンペアウィンドウ A チャンネル 選択	0 : 関連する入力チャンネルに対するコンペア機能を禁止 1 : 関連する入力チャンネルに対するコンペア機能を許可 ビット 8 (CMPCHA08) は AN008 に対応し、ビット 0 (CMPCHA00) は AN000 に対応します。	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPCHANn ビット (n = 00 ~ 08) (コンペアウィンドウ A チャンネル選択)

ADANSA0.ANSAn ビット (n = 00 ~ 08) および ADANSB0.ANSBn ビット (n = 00 ~ 08) で選択した A/D 変換チャンネルと同一番号の CMPCHANn ビットを 1 にすると、コンペア機能が有効になります。

差動入力を選択するために ADANIM.ANIM[n] ビットが 1 のときは、ANIM[n] ビットに関連する偶数チャンネルを選択してください。

例 : ADANIM.ANIM[0] = 1 のとき、ADCMPANSR0[1:0] ビットを 01b にします。

ADANIM.ANIM[1] = 1 のとき、ADCMPANSR0[3:2] ビットを 01b にします。

ADANIM.ANIM[2] = 1 のとき、ADCMPANSR0[5:4] ビットを 01b にします。

ADANIM.ANIM[3] = 1 のとき、ADCMPANSR0[7:6] ビットを 01b にします。

CMPCHANn ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

32.2.21 A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCMPANSR1)

アドレス [ADC160.ADCMPANSR1 4005 C096h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPC HA24	CMPC HA23	CMPC HA22	CMPC HA21	CMPC HA20	CMPC HA19	CMPC HA18	CMPC HA17	CMPC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPCHA24 ~ CMPCHA16	コンペアウィンドウ A チャンネル 選択	0 : 関連する入力チャンネルに対するコンペア機能を禁止 1 : 関連する入力チャンネルに対するコンペア機能を許可 ビット 8 (CMPCHA24) は SBIAS/VREFI に対応し、 ビット 7 (CMPCHA23) は AN023 に対応し、ビット 0 (CMPCHA16) は AN016 に対応します。	R/W
b15-b7	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPCHANn ビット (n = 16 ~ 24) (コンペアウィンドウ A チャンネル選択)

ADANSA1.ANSAn ビット (n = 16 ~ 24) および ADANSB1.ANSBn ビット (n = 16 ~ 24) で選択した A/D 変換チャンネルと同一番号の CMPCHANn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHANn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

32.2.22 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

アドレス ADC160.ADCMPANSER 4005 C092h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPO CA	CMPTS A
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPTSA	温度センサ出力コンペア選択	0 : 温度センサ出力をコンペアウィンドウ A 対象から外す 1 : 温度センサ出力をコンペアウィンドウ A 対象とする	R/W
b1	CMPOCA	内部基準電圧コンペア選択	0 : 内部基準電圧をコンペアウィンドウ A 対象から外す 1 : 内部基準電圧をコンペアウィンドウ A 対象とする	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPTSA ビット (温度センサ出力コンペア選択)

ADEXICR.TSSA ビットが 1 のときに CMPTSA ビットを 1 にすると、コンペアウィンドウ A 機能が有効になります。CMPTSA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPOCA ビット (内部基準電圧コンペア選択)

ADEXICR.OCSCA ビットが 1 のときに CMPOCA ビットを 1 にすると、コンペアウィンドウ A 機能が有効になります。CMPOCA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

32.2.23 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)

アドレス ADC160.ADCMPLR0 4005 C098h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CMPLC HA08	CMPLC HA07	CMPLC HA06	CMPLC HA05	CMPLC HA04	CMPLC HA03	CMPLC HA02	CMPLC HA01	CMPLC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPLCHA08 ~ CMPLCHA00	コンペアウィンドウ A 比較条件選択	ウィンドウ A 比較条件を適用するチャネル AN000 ~ AN008 の比較条件を設定します。比較条件を図 32.3 に示します。 - ウィンドウ機能無効時 (ADCMPCR.WCMPE ビット = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 - ウィンドウ機能有効時 (ADCMPCR.WCMPE ビット = 1) 0 : A/D 変換値 < ADCMPDR0 値または ADCMPDR1 値 < A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPLCHAN ビット (n = 00 ~ 08) (コンペアウィンドウ A 比較条件選択)

ウィンドウ A 比較条件を適用するチャネル AN000 ~ AN008 の比較条件を指定します。CMPLCHAN ビットはコンペア対象のアナログ入力ごとに設定可能です。CMPLCHA00、CMPLCHA04、CMPLCHA08 はそれぞれ AN000、AN004、AN008 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR0.CMPSTCHAN ビットは 1 になり、コンペア割り込み (ADC160_CMPAI) が発生します。

差動入力を選択するために ADANIM.ANIM[n] ビットが 1 のときは、ANIM[n] ビットに関連する偶数チャネルを選択してください。

例：ADANIM.ANIM[0] = 1 のとき、ADCMPLR0[1:0] ビットを 01b にします。

ADANIM.ANIM[1] = 1 のとき、ADCMPLR0[3:2] ビットを 01b にします。

ADANIM.ANIM[2] = 1 のとき、ADCMPLR0[5:4] ビットを 01b にします。

ADANIM.ANIM[3] = 1 のとき、ADCMPLR0[7:6] ビットを 01b にします。

ウィンドウ機能が無効のときの比較条件

CMPLCHAN = 0

ADCMPLR0値 ≤ A/D変換値	不一致
ADCMPLR0値 > A/D変換値	一致

CMPLCHAN = 1

ADCMPLR0値 < A/D変換値	一致
ADCMPLR0値 ≥ A/D変換値	不一致

ウィンドウ機能が有効のときの比較条件

CMPLCHAN = 0

ADCMPLR1値 < A/D変換値	一致
ADCMPLR0値 ≤ A/D変換値 ≤ ADCMPDR1値	不一致
A/D変換値 < ADCMPDR0値	一致

CMPLCHAN = 1

ADCMPLR1値 ≤ A/D変換値	不一致
ADCMPLR0値 < A/D変換値 < ADCMPDR1値	一致
A/D変換値 ≤ ADCMPDR0値	不一致

図 32.3 コンペア機能ウィンドウ A 比較条件の説明

32.2.24 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)

アドレス ADC160.ADCMPLR1 4005 C09Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPLC HA24	CMPLC HA23	CMPLC HA22	CMPLC HA21	CMPLC HA20	CMPLC HA19	CMPLC HA18	CMPLC HA17	CMPLC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPLCHA24 ~ CMPLCHA16	コンペアウィンドウ A 比較条件選択	ウィンドウ A 比較条件を適用するチャネル AN016 ~ AN023 および SBIAS/VREFI の比較条件を設定します。比較条件を図 32.3 に示します。 - ウィンドウ機能無効時 (ADCMPCR.WCMPE ビット = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 - ウィンドウ機能有効時 (ADCMPCR.WCMPE ビット = 1) 0 : A/D 変換値 < ADCMPDR0 値または ADCMPDR1 値 < A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPLCHAN ビット (n = 16 ~ 24) (コンペアウィンドウ A 比較条件選択)

ウィンドウ A 比較条件を適用するチャネル AN016 ~ AN023 および SBIAS/VREFI の比較条件を指定します。CMPLCHAN ビットはコンペア対象のアナログ入力ごとに設定可能です。CMPLCHA16、CMPLCHA23、CMPLCHA24 はそれぞれ AN016、AN023、SBIAS/VREFI に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR1.CMPSTCHAN ビットは 1 になり、コンペア割り込み (ADC160_CMPAI) が発生します。

32.2.25 A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス ADC160.ADCMPLER 4005 C093h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPLO CA	CMPLT SA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTSA	コンペアウィンドウ A 温度センサ出力比較条件選択	比較条件を図 32.3 に示します。 - ウィンドウ A 機能無効時 (ADCMPCR.WCMPE ビット = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 - ウィンドウ A 機能有効時 (ADCMPCR.WCMPE ビット = 1) 0 : A/D 変換値 < ADCMPDR0 値または A/D 変換値 > ADCMPDR1 値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b1	CMPLOCA	コンペアウィンドウ A 内部基準電圧比較条件選択	比較条件を図 32.3 に示します。 - ウィンドウ A 機能無効時 (ADCMPCR.WCMPE ビット = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 - ウィンドウ A 機能有効時 (ADCMPCR.WCMPE ビット = 1) 0 : A/D 変換値 < ADCMPDR0 値または A/D 変換値 > ADCMPDR1 値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPLTSA ビット (コンペアウィンドウ A 温度センサ出力比較条件選択)

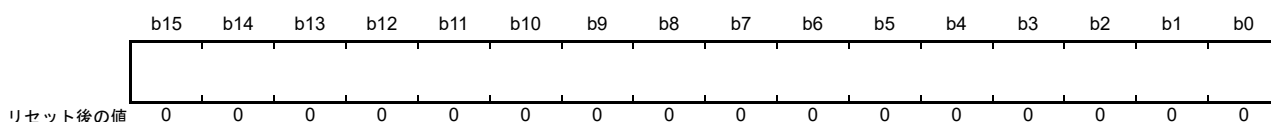
温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA フラグは 1 になり、コンペア割り込み (ADC160_CMPAI) が発生します。

CMPLOCA ビット (コンペアウィンドウ A 内部基準電圧比較条件選択)

内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA フラグは 1 になり、コンペア割り込み (ADC160_CMPAI) が発生します。

32.2.26 A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ (ADCMPDR0)、 A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ (ADCMPDR1)、 A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ (ADWINLLB)、 A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ (ADWINULB)

アドレス [ADC160.ADCMPDR0 4005 C09Ch](#), [ADC160.ADCMPDR1 4005 C09Eh](#),
[ADC160.ADWINLLB 4005 C0A8h](#), [ADC160.ADWINULB 4005 C0AAh](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	基準値	R/W

ADCMPDR0/1 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 レジスタはウィンドウ A の下側基準を設定し、ADCMPDR1 レジスタは上側基準を設定します。

ADWINULB および ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB レジスタはウィンドウ B の下側基準を設定し、ADWINULB レジスタは上側基準を設定します。

ADCMPDR0/1、ADWINULB、および ADWINLLB は読み出し／書き込みレジスタです。

ADCMPDR0/1、ADWINULB、および ADWINLLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注 1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください ($\text{ADCMPDR1} \geq \text{ADCMPDR0}$ 、 $\text{ADWINULB} \geq \text{ADWINLLB}$)。ADCMPDR1 および ADWINULB はウィンドウ機能無効時は使用しません。

注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれるときに変更されます。たとえば上側基準値と下側基準値が変更された場合、本 MCU は上側基準値(変更後)と下側基準値(変更前)を A/D 変換結果と比較します。[図 32.4](#) を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および該当のコンペアウィンドウ動作許可ビット (ADCMPCR.CMPAE または ADCMPCR.CMPBE) が 0 の時に、それらの基準値を書き換えてください。

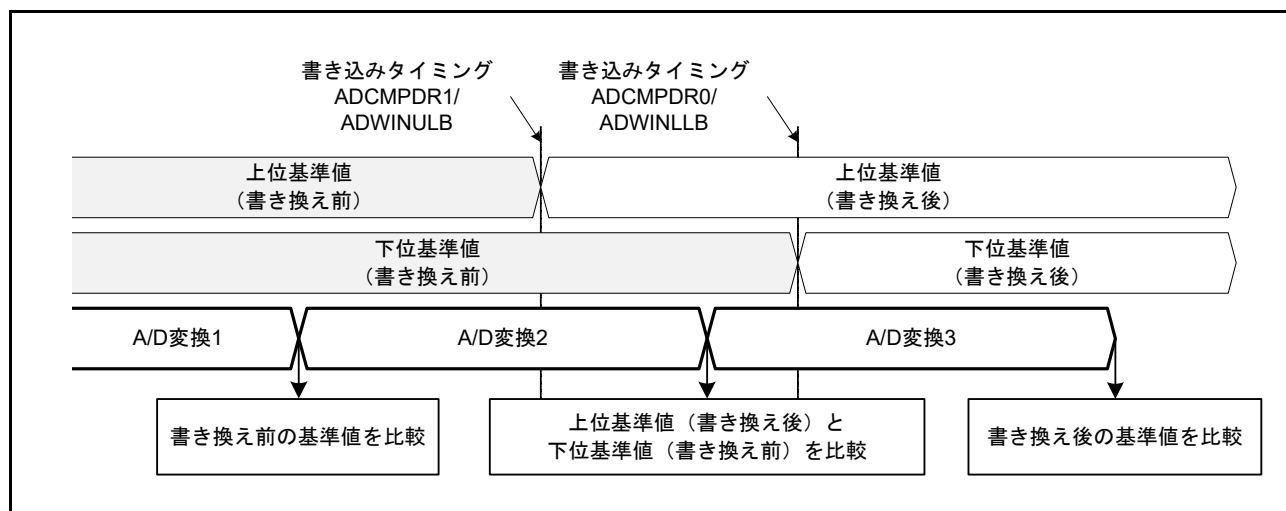


図 32.4 書き換え前後の上側基準値と下側基準値の比較

ADCMPCR0/1、ADWINLLB、および ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D 変換値平均チャネル選択ビットの設定値 (A/D 変換値平均モード選択、または非選択)
- ADCMPDR0、ADCMPCR1、ADWINLLB、および ADWINULB を 2 の補数形式で設定してください。
8000h ~ 7FFFh (-32768 ~ 32767) の範囲内の値が設定可能です。ただし、データ出力範囲は A/D 変換対象のアナログ入力によって変わります。したがって、[表 32.13](#) に示す出力範囲に従ってレジスタを設定してください。

32.2.27 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0)

アドレス ADC160.ADCMPSR0 4005 C0A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST CHA08	CMPST CHA07	CMPST CHA06	CMPST CHA05	CMPST CHA04	CMPST CHA03	CMPST CHA02	CMPST CHA01	CMPST CHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPSTCHA08 ~ CMPSTCHA00	コンペアウィンドウ A フラグ	ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、 ウィンドウ A 比較条件を適用するチャネル AN000 ~ AN008 の 比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPSTCHAN (n = 00 ~ 13) (コンペアウィンドウ A フラグ)

ウィンドウ A 比較条件を適用するチャネル AN000 ~ AN008 の比較結果ステータスフラグです。
ADCMPLR0.CMPLCHAN で設定した比較条件が A/D 変換終了時に成立すると、対応するフラグが 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、本ビットが 1 になると比較割り込み (ADC160_CMPAI) 要求が発生します。CMPSTCHA00、CMPSTCHA04、および CMPSTCHA08 はそれぞれ AN000、AN004、AN008 に対応します。

CMPSTCHAN フラグに 1 を書き込むことはできません。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR0.CMPLCHAN で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

差動入力を選択するために ADANIM.ANIM[n] ビットが 1 のときは、ANIM[n] ビットに関連する偶数チャネルを選択してください。

例：ADANIM.ANIM[0] = 1 のとき、ADCMPSR0[1:0] ビットを 01b にします。

ADANIM.ANIM[1] = 1 のとき、ADCMPSR0[3:2] ビットを 01b にします。

ADANIM.ANIM[2] = 1 のとき、ADCMPSR0[5:4] ビットを 01b にします。

ADANIM.ANIM[3] = 1 のとき、ADCMPSR0[7:6] ビットを 01b にします。

32.2.28 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSTR1)

アドレス [ADC160.ADCMPSTR1 4005 C0A2h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST CHA24	CMPST CHA23	CMPST CHA22	CMPST CHA21	CMPST CHA20	CMPST CHA19	CMPST CHA18	CMPST CHA17	CMPST CHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPSTCHA24 ~ CMPSTCHA16	コンペアウィンドウ A フラグ	ウィンドウ A 動作が有効 (ADCMPPCR.CMPAE = 1) な場合、ウィンドウ A 比較条件を適用するチャネル AN016 ~ AN023 および SBIAS/VREFI の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPSTCHAn フラグ (n = 16 ~ 24) (コンペアウィンドウ A フラグ)

ウィンドウ A 比較条件を適用するチャネル AN016 ~ AN023 および SBIAS/VREFI の比較結果ステータスフラグです。ADCMPPLR1.CMPLCHAn で設定した比較条件が A/D 変換終了時に成立すると、関連するフラグが 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、CMPSTCHAn ビットが 1 になると比較割り込み (ADC160_CMPAI) 要求が発生します。CMPSTCHA16、CMPSTCHA23、および CMPSTCHA24 はそれぞれ AN016、AN023、SBIAS/VREFI に対応します。

CMPSTCHAn フラグに 1 を書き込むことはできません。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLR1.CMPLCHAn で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

32.2.29 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス **ADC160.ADCMPSER 4005 C0A4h**

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPST OCA	CMPST TSA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTTSA	コンペアウィンドウ A 温度センサ出力コンペアフラグ	ウィンドウ A 動作が有効 (ADCMPPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b1	CMPSTOCA	コンペアウィンドウ A 内部基準電圧コンペアフラグ	ウィンドウ A 動作が有効 (ADCMPPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPSTTSA フラグ (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。ADCMPPLER.CMPLTSA フラグで設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE フラグが 1 の場合、このフラグが 1 になると比較割り込み (ADC160_CMPAI) 要求が発生します。

CMPSTTSA ビットに 1 を書き込むことはできません。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CMPSTOCA フラグ (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。ADCMPPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE フラグが 1 の場合、このフラグが 1 になると比較割り込み (ADC160_CMPAI) 要求が発生します。

CMPSTOCA フラグに 1 を書き込むことはできません。

[1 になる条件]

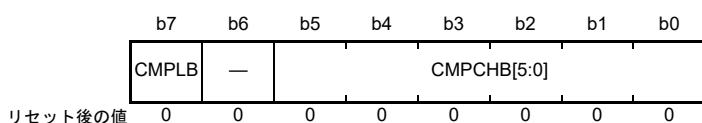
- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLOCA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

32.2.30 A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)

アドレス ADC160.ADCMPBNSR 4005 C0A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウBチャンネル選択	コンペアウィンドウB条件と比較するチャンネルを選択します。最大チャンネルはAN023です。 b5 b0 0 0 0 0 0 0: AN000 0 0 0 0 0 1: AN001 0 0 0 0 1 0: AN002 : 0 0 1 0 0 0: AN008 0 1 0 0 0 0: AN016 : : 0 1 0 1 0 1: AN021 0 1 0 1 1 0: AN022 0 1 0 1 1 1: AN023 0 1 1 0 0 0: SDADC24の基準電圧（SBIAS/VREFI） 1 0 0 0 0 0: 温度センサ 1 0 0 0 0 1: 内部基準電圧 1 1 1 1 1 1: 選択なし 上記以外は設定しないでください。	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	CMPLB	コンペアウィンドウB比較条件設定	ウィンドウBのチャンネル比較条件を設定します。比較条件を図32.5に示します。 • ウィンドウ機能無効時（ADCMPCR.WCMPEビット＝0） 0：ADWINLLB値＞A/D変換値 1：ADWINLLB値＜A/D変換値 • ウィンドウ機能有効時（ADCMPCR.WCMPEビット＝1） 0：A/D変換値＜ADWINLLB値またはADWINULB値＜A/D変換値 1：ADWINLLB値＜A/D変換値＜ADWINULB値	R/W

CMPCHB[5:0] ビット (コンペアウィンドウ B チャンネル選択)

コンペアウィンドウ B 条件と比較するチャンネルを AN000 ~ AN008、AN016 ~ AN023、SDADC24 の基準電圧 (SBIAS/VREFI)、温度センサ、および基準電圧から選択します。コンペアウィンドウ B 機能は、以下のビットで選択した A/D 変換チャンネルの 16 進数を指定することで有効になります。

- ADANSA0.ANSAn ビット (n = 00 ~ 08)
- ADANSA1.ANSAn ビット (n = 16 ~ 24)
- ADANSB0.ANSBn ビット (n = 00 ~ 08)
- ADANSB1.ANSBn ビット (n = 16 ~ 24)

差動入力を選択するために ADANIM.ANIM[n] ビットが 1 のときは、ANIM[n] ビットに関連する偶数チャンネルを選択してください。

例 : ADANIM.ANIM[0] = 1 のとき、ADCMPBNSR.CMPCHB[5:0] ビットを 000000b にします。

ADANIM.ANIM[1] = 1 のとき、ADCMPBNSR.CMPCHB[5:0] ビットを 000010b にします。

ADANIM.ANIM[2] = 1 のとき、ADCMPBNSR.CMPCHB[5:0] ビットを 000100b にします。

ADANIM.ANIM[3] = 1 のとき、ADCMPBNSR.CMPCHB[5:0] ビットを 000110b にします。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPLB ビット (コンペアウィンドウ B 比較条件設定)

ウィンドウ B のチャンネルの比較条件を設定します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPBSR.CMPSTB ビットは 1 になり、コンペア割り込み要求 (ADC160_CMPBI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLB = 0		CMPLB = 1	
ADWINLLB値 ≤ A/D変換値	不一致	ADWINLLB値 < A/D変換値	一致
ADWINLLB値 > A/D変換値	一致	ADWINLLB値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLB = 0			
A/D変換値 > ADWINULB値	一致		
ADWINLLB値 ≤ A/D変換値 ≤ ADWINULB値	不一致		
A/D変換値 < ADWINLLB値	一致		
CMPLB = 1			
A/D変換値 ≥ ADWINULB値	不一致		
ADWINLLB値 < A/D変換値 < ADWINULB値	一致		
A/D変換値 ≤ ADWINLLB値	不一致		

図 32.5 コンペア機能ウィンドウ B 比較条件

32.2.31 A/D コンペア機能ウィンドウ B ステータスレジスタ (ADCMPBSR)

アドレス ADC160.ADCMPBSR 4005 C0ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウ B フラグ	ウィンドウ B 動作が有効 (ADCMPCR.CMPBE = 1) な場合、ウィンドウ B 比較条件を適用するチャネル AN000 ~ AN008、AN016 ~ AN023、SDADC24 の基準電圧 (SBIAS/VREFI)、温度センサ出力、および内部基準電圧の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件を適用するチャネル AN000 ~ AN008、AN016 ~ AN023、SDADC24 の基準電圧 (SBIAS/VREFI)、温度センサ出力、および内部基準電圧の比較結果を示します。ADCMPBNSR.CMPLB で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPBIE が 1 の場合、本フラグが 1 になると比較割り込み ADC160_CMPBI 要求が発生します。

CMPSTB ビットに 1 を書き込むことはできません。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、ADCMPBNSR.CMPLB で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

32.2.32 A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)

アドレス AD160.ADWINMON 4005 C08Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果監視	組み合わせ結果を示します。このビットは、ウィンドウAおよびウィンドウBの動作が有効な場合に有効となります。 0：ウィンドウA／ウィンドウBの複合条件が不成立 1：ウィンドウA／ウィンドウBの複合条件が成立	R
b3-b1	—	予約ビット	読むと0が読めます。	R
b4	MONCMPA	比較結果監視A	0：ウィンドウA比較条件が不成立 1：ウィンドウA比較条件が成立	R
b5	MONCMPB	比較結果監視B	0：ウィンドウB比較条件が不成立 1：ウィンドウB比較条件が成立	R
b7-b6	—	予約ビット	読むと0が読めます。	R

MONCOMB ビット (組み合わせ結果監視)

ADCMPCR.CMPAB[1:0] ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

MONCMPA ビット (比較結果監視 A)

ウィンドウ A の対象チャネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAEが1のときに、A/D変換値がADCMPLR0/ADCMPLR1およびADCMPLERレジスタで設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAEが1のときに、A/D変換値がADCMPLR0/ADCMPLR1およびADCMPLERレジスタで設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき (ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる)

MONCMPB ビット (比較結果監視 B)

ウィンドウ B の対象チャネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE が 0 のとき (ADCMPCR.CMPBE の値が 1 から 0 に変化すると自動的に 0 になる)

32.2.33 A/D 専用基準電圧回路コントロールレジスタ (VREFAMPCNT)

アドレス [ADC160.VREFAMPCNT 4005 C0F4h](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	BGREN	VREFADCEN	VREFADCG[1:0]	OLDETEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLDETEN	OLDET イネーブル	0 : 過電流検出を禁止 1 : 過電流検出を許可	R/W
b2-b1	VREFADCG[1:0]	VREFADC 出力電圧制御	A/D コンバータの内部基準電圧選択用ビット b2 b1 0 x : 1.5V 1 0 : 2.0V 1 1 : 2.5V	R/W
b3	VREFADCEN	VREFADC イネーブル	0 : VREFADC 出力を禁止かつ高電位基準電圧に VREFH0 を選択 1 : VREFADC 出力を許可かつ高電位基準電圧に VREFADC を選択	R/W
b4	BGREN	BGR イネーブル	0 : BGR 電源 OFF 1 : BGR 電源 ON	R/W
b7-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

x : Don't care

VREFADC 出力電圧が VREFH0 端子に出力されます。VREFADC 使用時 VREFH0 に電圧を入力しないでください。VREFADC 出力電圧を安定させるためには、コンデンサ (1μF) を経由して VREFH0 端子を VREFL0 端子に接続します。

OLDETEN ビット (OLDET イネーブル)

過電流検出機能を許可または禁止します。

表 32.12 に示すように、VREFADC 出力は、VREFADCG[1:0] ビット、VREFADCEN ビット、および BGREN ビットの組み合わせで制御されます。

表 32.12 VREFADC 出力電圧制御一覧

モード	BGREN	VREFADCEN	VREFADCG[1]	VREFADCG[0]	OLDETEN	VREFADC 出力電圧
リセット後	0	0	0	0	0	Hi-Z
BGR のみ	1	0	x	x	x	Hi-Z
VREFADC 1.5V 出力	1	1	0	x	0 または 1	1.5V
VREFADC 2.0V 出力	1	1	1	0	0 または 1	2.0V
VREFADC 2.5V 出力	1	1	1	1	0 または 1	2.5V

x : Don't care

32.2.34 A/D チャネル入力モード選択レジスタ (ADANIM)

アドレス ADC160.ADANIM 4005 C0F0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	ANIM[3:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ANIM[3:0]	アナログチャネル入力モード選択	アナログ入力A/D変換モード選択用ビット 0: シングルエンドモード 1: 差動モード	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANIM[3:0] ビット (アナログチャネル入力モード選択)

AN000 ～ AN007 の A/D 変換用にシングルエンドモードまたは差動モードを選択します。

ANIM[0] ビットは AN000 ～ AN001 に、ANIM[1] ビットは AN002 と AN003 に、そして ANIM[3] ビットは AN006 と AN007 に対応します。

差動モード使用時は下記の組み合わせのアナログチャネルのみ使用可能です。

AN000 と AN001、AN002 と AN003、AN004 と AN005、AN006 と AN007

A/D 変換を差動モードで実行後 A/D 変換結果は、偶数番号の A/D データレジスタ ADDR_y (y=0 ～ 7) に格納されます。

例: ANIM[0] = 1 で A/D 変換を行った場合、A/D 変換結果は ADDR0 レジスタに格納されます。

ANIM[1] = 1 で A/D 変換を行った場合、A/D 変換結果は ADDR2 レジスタに格納されます。

ANIM[2] = 1 で A/D 変換を行った場合、A/D 変換結果は ADDR4 レジスタに格納されます。

ANIM[3] = 1 で A/D 変換を行った場合、A/D 変換結果は ADDR6 レジスタに格納されます。

ANIM[3:0] ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

32.2.35 A/D キャリブレーション実行レジスタ (ADCALEXE)

アドレス ADC160.ADCALEXE 4005 C0F2h

b7	b6	b5	b4	b3	b2	b1	b0
CALEX E	CALMO N	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CALMON	キャリブレーションステータスフラグ	0: キャリブレーション非進行中 1: キャリブレーション進行中	R
b7	CALEXE	キャリブレーション開始	0: キャリブレーション開始されていない 1: キャリブレーション開始されている	R/W

CALMON フラグ (キャリブレーションステータスフラグ)

CALEXE が 1 でキャリブレーションが開始すると本フラグは 1 になります。キャリブレーションが終了 (正常終了または ADCSR.ADST ビットへの 0 の書き込み) すると、本フラグは 0 になります。

本フラグはキャリブレーションの実行状態を示します。

[1 になる条件]

- キャリブレーション開始時

[0 になる条件]

- キャリブレーション終了時

CALEXE ビット (キャリブレーション開始)

CALEXE ビットに 1 が書き込まれるとキャリブレーションを開始します。キャリブレーション開始時、下記の条件が満たされなければいけません。

- すべてのトリガ入力が無効 (ADCSR.TRGE = 0)
- すべてのスキャングループが停止 (ADCSR.ADST = 0)

キャリブレーション中 ADCSR.ADST ビットおよび ADCALEXE.CALMON ビットは 1 です。

A/D 変換進行中に CALEXE ビットに 1 が書き込まれるとキャリブレーション開始は無効になります。

ADICR.ADIC[1:0] ビットが 11b に設定されている場合は、キャリブレーションが終了すると ADC160_ADI 割り込み要求が発生します。

キャリブレーションの終了は下記の方法のいずれかで確認できます。

- ADCSR.ADST ビットを読み出しキャリブレーション終了を確認します。読み出した値が 0 のとき、キャリブレーションが終了した状態です
- ADCALEXE.CALMON ビットを読み出しキャリブレーション終了を確認します。読み出した値が 0 のとき、キャリブレーションが終了した状態です
- ADC160_ADI 割り込み要求が発生したことを確認します。

32.3 動作説明

32.3.1 アナログ入力チャネルの選択

シングルエンド入力または差動入力を選択するのにアナログ入力チャネル 0 (AN000) ～ 7 (AN007) が使用されます。アナログ入力チャネル 8 (AN008) およびアナログ入力チャネル 16 (AN016) ～ 23 (AN023) はシングルエンド入力のみで使用されます。

最大 17 チャネルがシングルエンド入力に使用可能で、最大 4 チャネルのアナログ入力チャネル 0 ～ 7 が差動入力に使用可能です。

シングルエンド入力または差動入力の選択は、A/D チャネル入力モード選択レジスタ (ADANIM) の設定によります。

シングルエンド入力の A/D 変換には、A/D チャネル入力モード選択レジスタ (ADANIM) の ANIM[n] (n = 0 ～ 3) ビットを 0 にしてください。

差動入力の A/D 変換には、A/D チャネル入力モード選択レジスタ (ADANIM) の ANIM[n] (n = 0 ～ 3) ビットを 1 にして、ANIM[n] に関連する偶数チャネル選択用のビットを 1 にしてください。

例 : ADANIM.ANIM[0] = 1 のとき、ADANSA0[1:0] ビットを 01b にします。

ADANIM.ANIM[1] = 1 のとき、ADANSA0[3:2] ビットを 01b にします。

ADANIM.ANIM[2] = 1 のとき、ADANSA0[5:4] ビットを 01b にします。

ADANIM.ANIM[3] = 1 のとき、ADANSA0[7:6] ビットを 01b にします。

32.3.2 A/D 変換結果

A/D 変換結果は、2 の補数形式で出力されます。A/D 変換結果出力範囲は、A/D 変換されたアナログ入力により変わります。

表 32.13 に各 A/D 変換の A/D 変換結果出力範囲を示します。

表 32.13 に示す出力範囲に応じてコンペアウィンドウ設定レジスタ (ADCMPDR0、ADCMPDR1、ADWINULB、および ADWINLLB) を設定してください。

表 32.13 各 A/D 変換の A/D 変換結果出力範囲

A/D 変換	入力モード	ADCER.ADINV (データ反転)	出力範囲 (16 進)	出力範囲 (10 進)
温度センサ	シングルエンド	x	0000h ～ 7FFFh	0 ～ 32767
内部基準電圧	シングルエンド	x	0000h ～ 7FFFh	0 ～ 32767
自己診断	-	x	8000h ～ 7FFFh	-32768 ～ 32767
AN000, AN002, AN004, AN006	シングルエンド	x	0000h (注1) ～ 7FFFh	0 (注1) ～ 32767
	差動	x	8000h ～ 7FFFh	-32768 ～ 32767
AN001, AN003, AN005, AN007	シングルエンド	1	0000h (注1) ～ 7FFFh	0 (注1) ～ 32767
		0	8000h ～ 0000h (注2)	-32768 ～ 0 (注2)
	差動	x	8000h ～ 7FFFh	-32768 ～ 32767
AN008, AN016 ～ AN023, SBIAS/VREFI	シングルエンド	x	0000h ～ 7FFFh	0 ～ 32767

x : Don't care

注 . シングルエンドモード時、奇数チャネル AN000 ～ AN007 の A/D 変換結果は、ADCER.ADINV ビットの設定値により反転可能です。したがって、A/D 変換結果は、偶数チャネル AN000 ～ AN008 または AN016 ～ AN023 と同じ出力範囲で A/D データレジスタに格納できます。

注 1. 入力電圧の変動によりアナログ入力電圧が VREFL0 を下回る場合、ADC からのデータ出力は負の値になります。

注 2. 入力電圧の変動によりアナログ入力電圧が VREFL0 を下回る場合、ADC からのデータ出力は正の値になります。

図 32.6 ～図 32.8 に、A/D 変換結果範囲とコンペアウィンドウ設定範囲の関係をアナログ入力とともに示します。

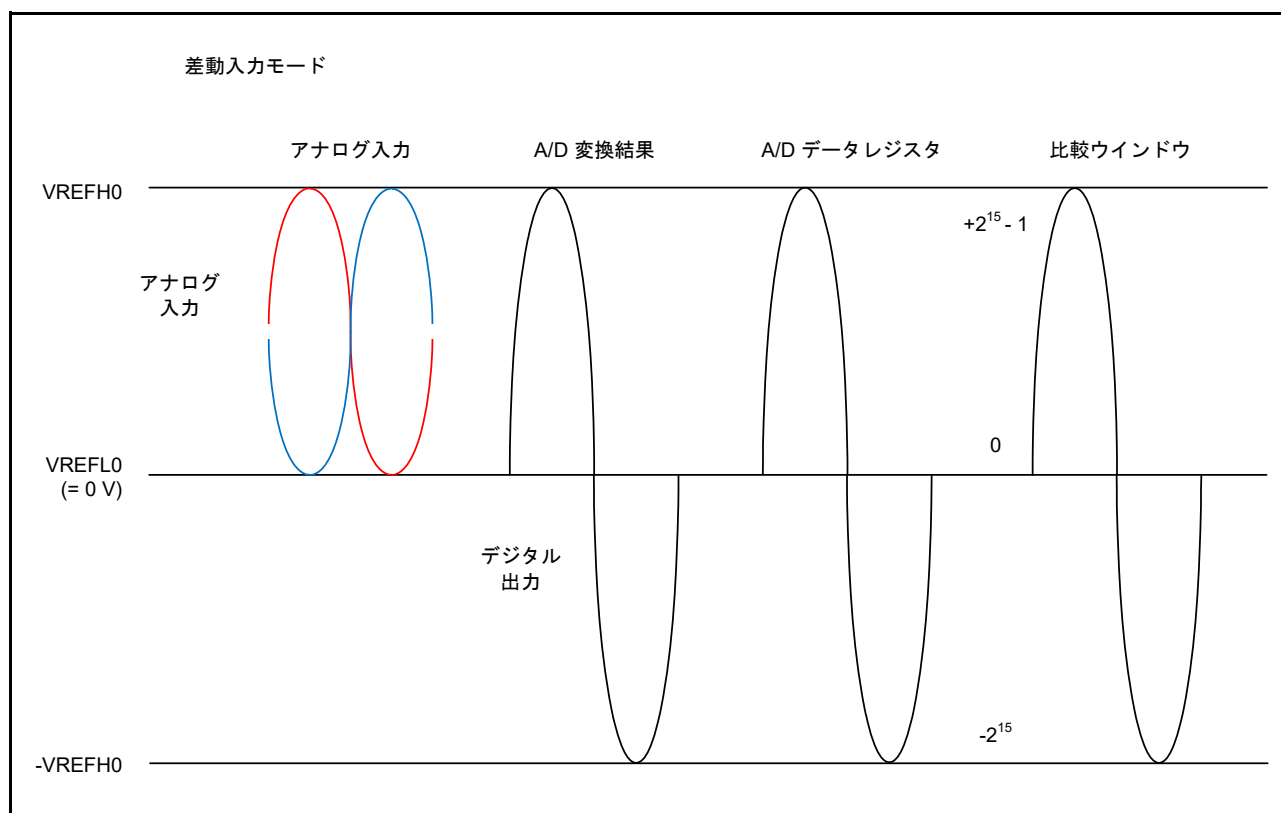


図 32.6 差動入力モード時の A/D 出力範囲とコンペアウィンドウ設定範囲の関係

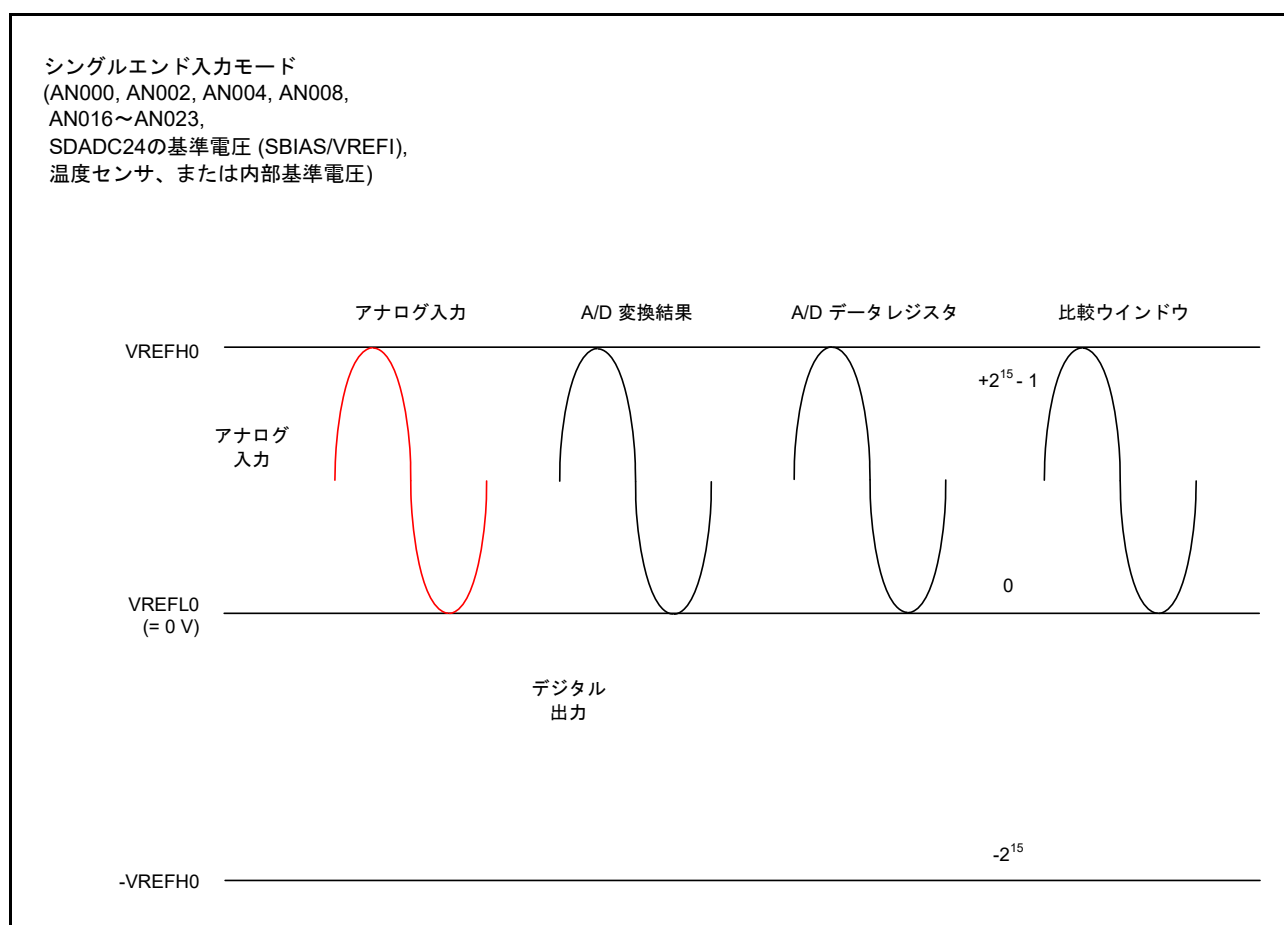
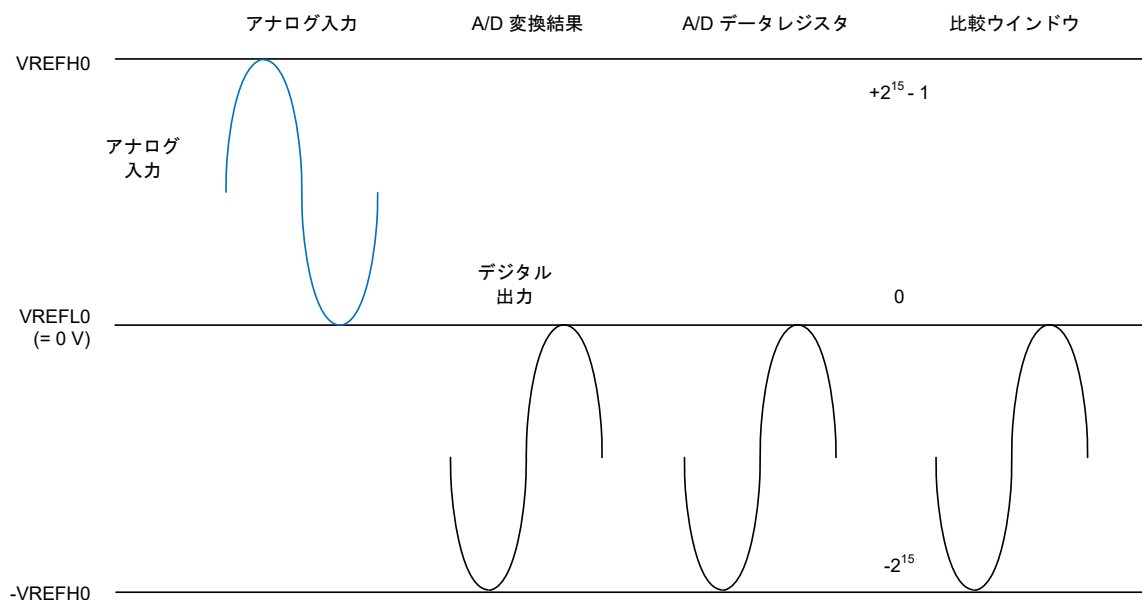


図 32.7 シングルエンド入力モード時の A/D 出力範囲とコンペアウィンドウ設定範囲の関係 (AN001、AN003、AN005、および AN007 を除く)

シングルエンド入力モード
変換結果を反転しない
(AN001, AN003, AN005, AN007)



シングルエンド入力モード
変換結果を反転する
(AN001, AN003, AN005, AN007)

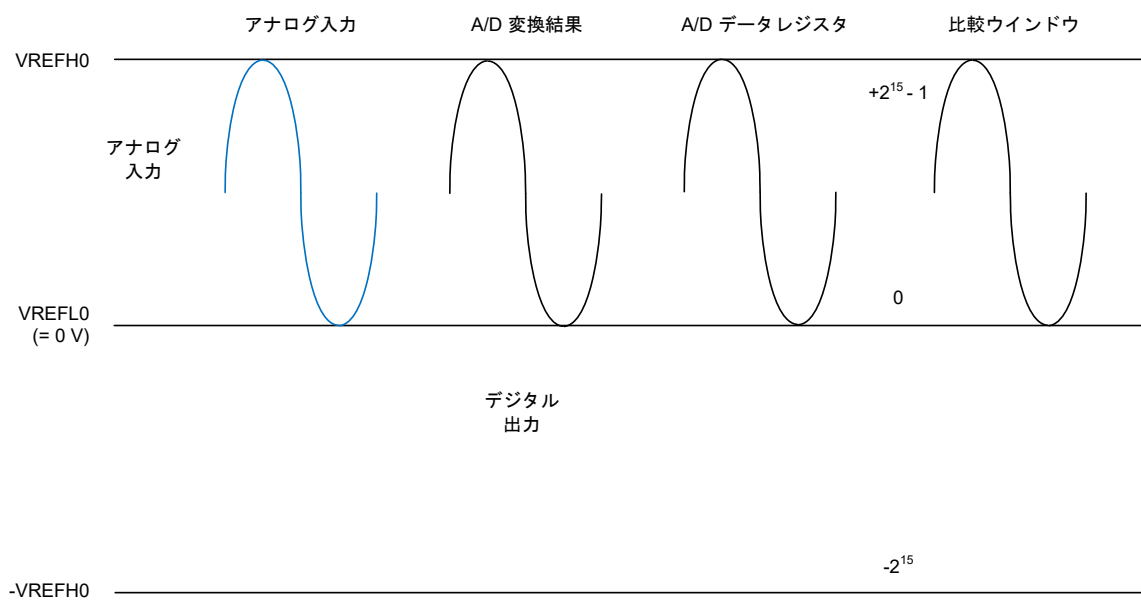


図 32.8 シングルエンド入力モード時の A/D 出力範囲とコンペアウィンドウ設定範囲の関係 (AN001、AN003、AN005、および AN007)

32.3.3 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作を指します。

スキャン変換には、以下の 3 つの動作モードがあります。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード

シングルスキャンモードは、指定した 1 チャンネル以上のスキャンを 1 回実行して終了するモードです。連続スキャンモードは、ソフトウェアが ADCSR レジスタの ADST ビットを 0 にするまで、指定した 1 チャンネル以上のスキャンを繰り返し実行するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガ (ELC) で開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ 1 回ずつ実行して終了するモードです。

シングルスキャンモードおよび連続スキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を行います。グループスキャンモードでは、まず、ADANSA0、ADANSA1 レジスタでそれぞれ選択したグループ A のチャンネル AN_n の n が小さい番号順に A/D 変換を行い、ADANSB0、ADANSB1 レジスタで選択したグループ B のチャンネル AN_n の n が小さい番号順に A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に 1 回実行され、3 つの基準電圧のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧を同時に選択しないでください。内部基準電圧を高電位側の基準電圧に選択する場合、温度センサまたは内部基準電圧の A/D 変換も実行できません。A/D 変換に温度センサ出力または内部基準電圧を選択した場合、シングルスキャンモードを使用してください。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可 (ADCSR.DBLE=1) すると、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) でのスキャン変換起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガコンビネーションから A/D 変換動作が発生します。通常のダブルトリガモード動作に加え、奇数トリガ (ELC_AD00) による A/D 変換データは A/D データ 2 重化レジスタ A (ADDBLDRA) に格納され、偶数トリガ (ELC_AD01) による A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。ダブルトリガモードの拡張動作では、トリガコンビネーションの 1 つが同時発生すると、指定したトリガのデータ 2 重化レジスタ設定が実行されず、A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。他の同期トリガによって開始された A/D 変換中に発生した同期トリガは無視されます。

キャリブレーションにより高精度の A/D 変換が可能になります。これは、使用条件下で C-DAC 直線性誤差補正值およびゲイン (オフセット) 誤差補正值を取得することにより行われます。キャリブレーションを開始する前にすべてのスキャンは停止している必要があります。キャリブレーション中 (ADCSR.TRGE=0)、A/D 変換開始トリガを入力しないでください。また、A/D 変換中はキャリブレーションを開始しないでください。キャリブレーション終了時またはソフトウェアにより ADCSR.ADST ビットが (1 から) 0 にクリアされるとキャリブレーションが停止します。

32.3.4 シングルスキャンモード

32.3.4.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル AN_n の **n** が小さい番号順に A/D 変換を開始します。
2. シングルエンドモードで A/D 変換およびゲイン補正が終了するたびに、A/D 変換結果は関連する A/D データレジスタ y (ADDR_y) に格納されます。
差動入力モードで A/D 変換およびゲイン補正が終了するたびに、A/D 変換結果は関連する偶数 A/D データレジスタ y (ADDR_y) に格納されます。連続スキャンモードでもグループスキャンモードでも同じ格納動作が実行されます。
3. 選択したすべてのチャンネルの A/D 変換およびゲイン補正終了後、ADC160_ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換およびゲイン補正が終了すると自動的に 0 にされ、ADC16 は待機状態になります。

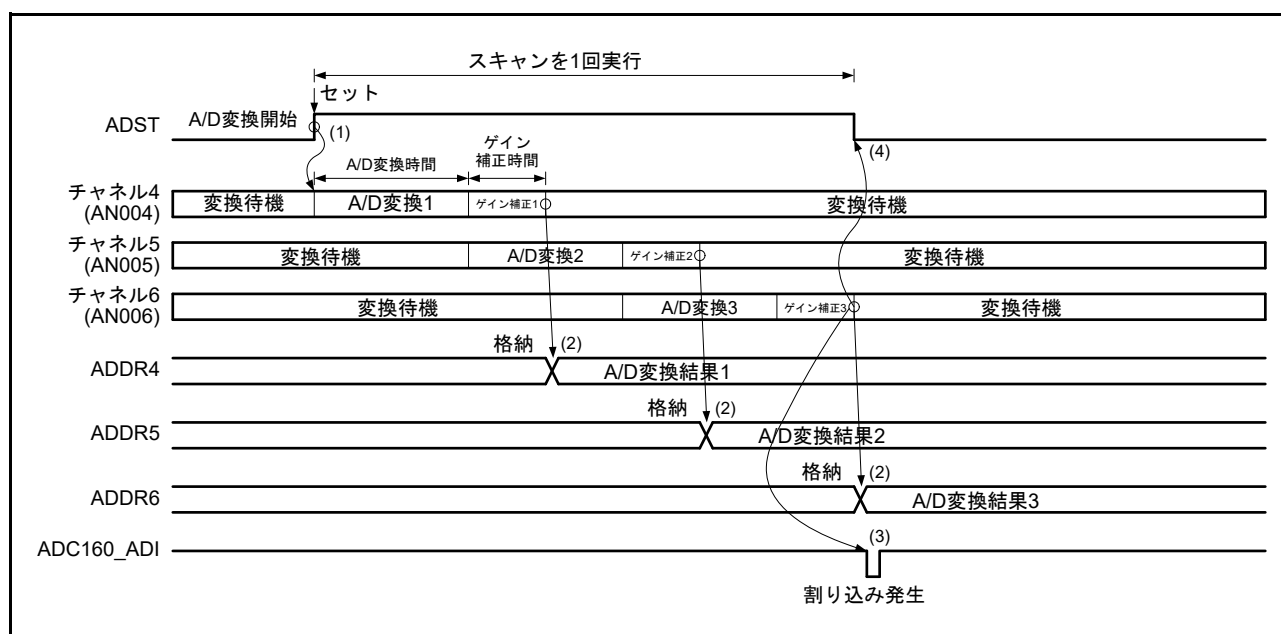


図 32.9 AN004 ~ AN006 選択時のシングルスキャンモードの動作例 (AN004 ~ AN006 : シングルエンドモード)

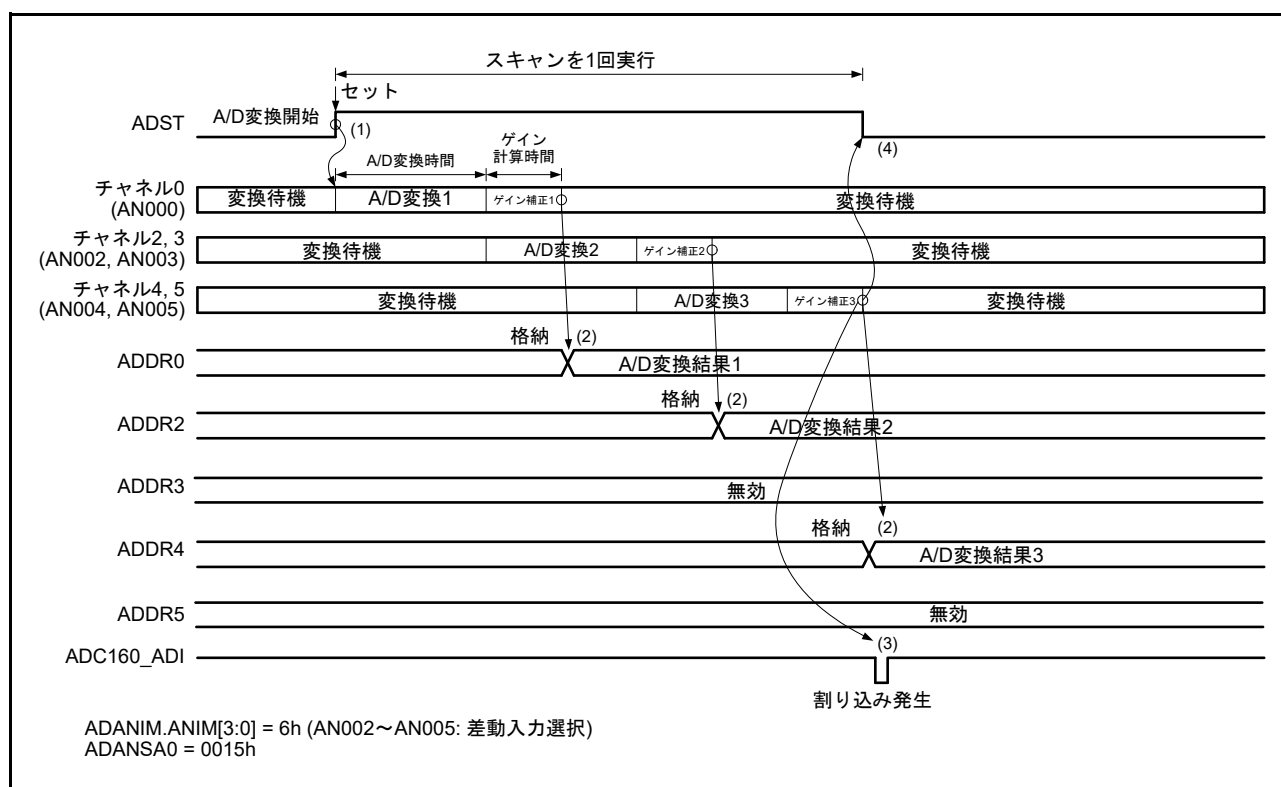


図 32.10 AN004 ~ AN006 選択時のシングルスキャンモードの動作例 (AN000: シングルエンドモード、AN002 ~ AN005 選択時のシングルスキャンモードの動作例 (AN000: シングルエンドモード、AN002 ~ AN005: 差動入力モード) 4 ~ AN006: シングルエンドモード)

32.3.4.2 チャネル選択と自己診断

チャネル選択とともに自己診断を選択すると、まず ADC16 に供給される基準電圧 (-VREFH0、VREFL0、または VREFH0) の A/D 変換を行います。その後、以下のように、選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換およびゲイン補正が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル AN_n の n が小さい番号順に A/D 変換を開始します。
3. 1 つのチャネルの A/D 変換およびゲイン補正が終了するたびに、A/D 変換結果は関連する A/D データレジスタ y (ADDR_y) に格納されます。
4. 選択したすべてのチャネルの A/D 変換およびゲイン補正終了後、ADC160_ADI 割り込み要求が発生します。
5. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換およびゲイン補正が終了すると自動的に 0 にされ、ADC16 は待機状態になります。

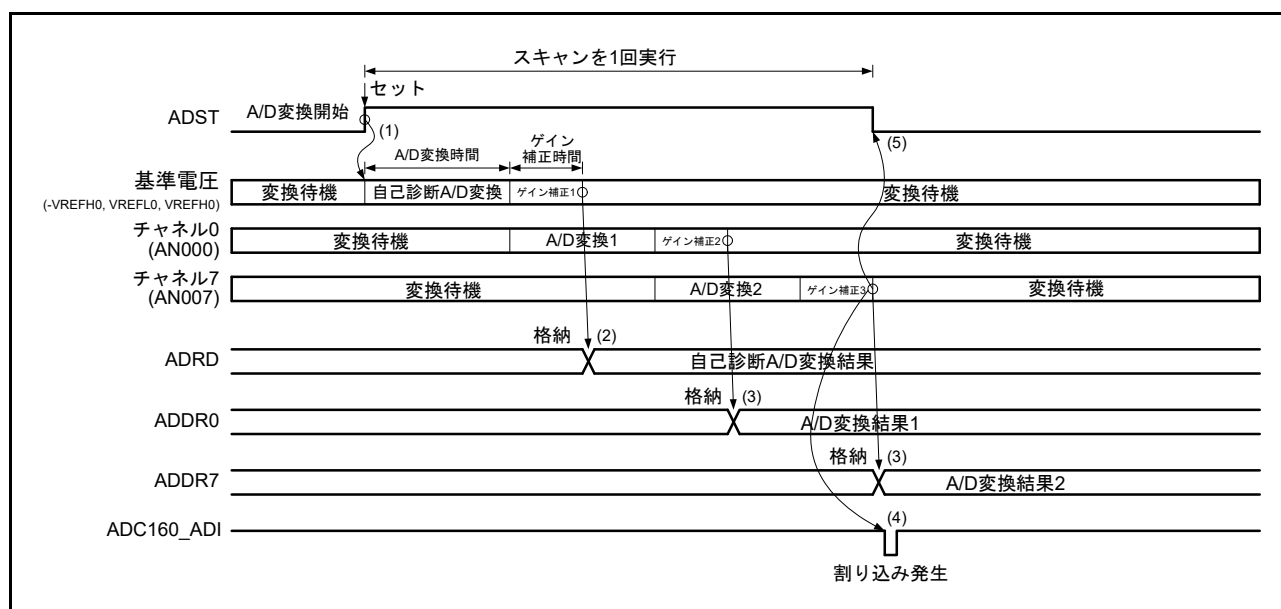


図 32.11 シングルスキャンモードの基本動作例 (AN000、AN007 選択+自己診断)

32.3.4.3 温度センサ出力／内部基準電圧選択時の A/D 変換動作

シングルスキャンモードで温度センサ出力または内部基準電圧の A/D 変換を行います。

温度センサ出力または内部基準電圧の A/D 変換を選択した場合、すべてのアナログ入力チャネルを非選択にしてください (ADANSA0 および ADANSA1 レジスタをすべて 0 にし、ADCSR.DBLE ビットを 0 にする)。

温度センサ出力の A/D 変換を選択した場合、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を 0 (非選択) にしてください。内部基準電圧の A/D 変換を選択した場合、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) を 0 (非選択) にしてください。

動作は以下のとおりです。

1. サンプル時間を $5\mu\text{s}$ 以上に設定します。A/D サンプルングステートレジスタ T と A/D サンプルングステートレジスタ O (ADSSTRT および ADSSTRO) の設定、および ADCLK 周波数に注意してください。
2. 内部基準電圧または温度センサ出力の A/D 変換に切り替えた後は、ADST ビットを 1 にして変換を開始してください。
3. A/D 変換およびゲイン補正が終了すると、A/D 変換結果は関連する温度センサ出力データレジスタ (ADTSDR) または A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC160_ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、A/D 変換およびゲイン補正が終了すると自動的に 0 になり、ADC16 は待機状態になります。

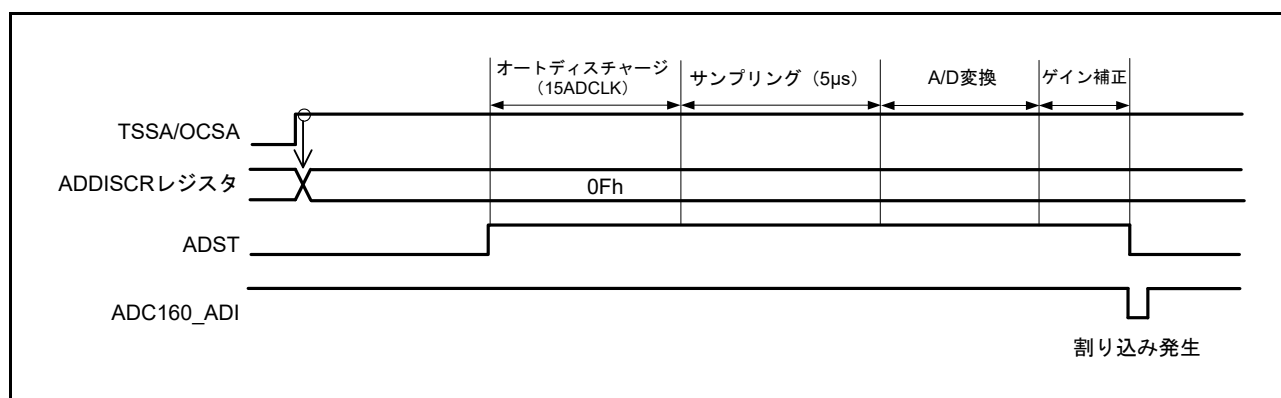


図 32.12 シングルスキャンモードの基本動作例 (温度センサ出力または内部基準電圧選択)

32.3.4.4 ダブルトリガモード選択時の A/D 変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (ELC) で開始するシングルスキャンモードの実行 2 回分を一連の動作として実行します。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) はともに 0 にしてください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。

ダブルトリガモードでは、ADSTRGR.TRSA[5:0] ビットで同期トリガ (ELC) を選択してください。さらに、ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
2. 1 チャンネルの A/D 変換およびゲイン補正が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. ADST ビットは自動的に 0 になり、ADC16 は待機状態になりますが、ADC160_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
5. A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
6. ADC160_ADI 割り込み要求が発生します。
7. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換およびゲイン補正が終了すると自動的に 0 になり、ADC16 は待機状態になります。

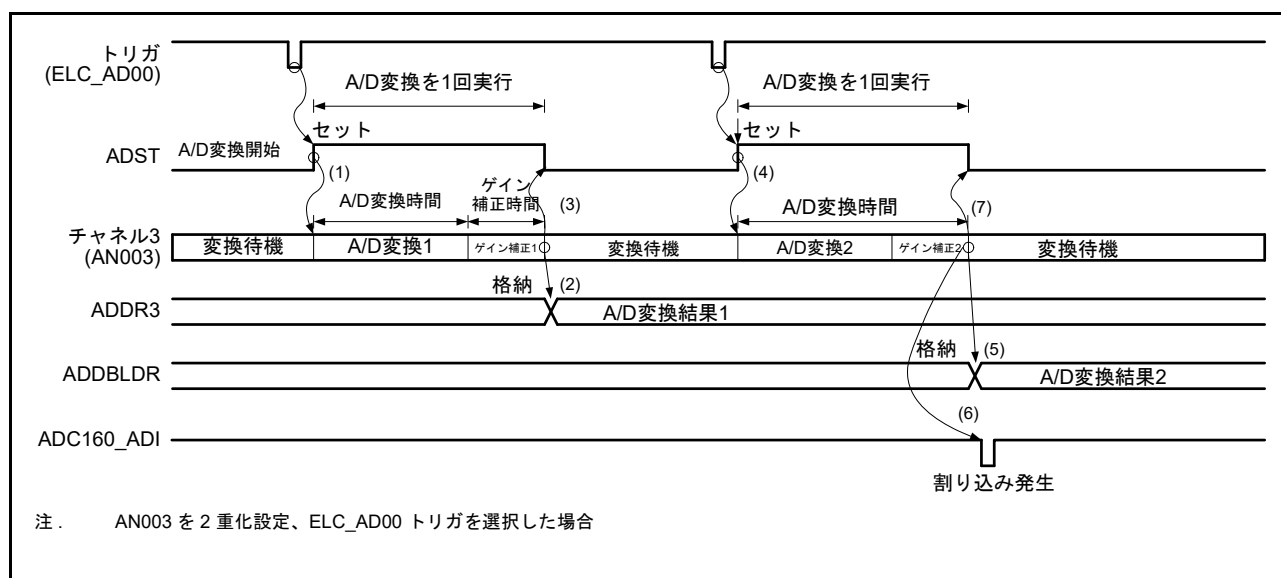


図 32.13 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を 2 重化)

32.3.4.5 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択した場合で、A/D 変換開始トリガとして同期トリガ ELC_AD00/ELC_AD01 を選択した場合、シングルスキャンモードの実行 2 回分を行います。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) はともに 0 にしてください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。

ダブルトリガ拡張モード時は、ADSTRGR.TRSA[5:0] ビットを 0Bh にして同期トリガ ELC_AD00/ELC_AD01 を選択し、ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
2. A/D 変換およびゲイン補正が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy)、および ELC_AD00/ELC_AD01 のトリガ入力時 A/D データ 2 重化レジスタ A (ADDBLDRA) または A/D データ 2 重化レジスタ B (ADDBLDRB) へそれぞれ格納されます。
3. ADCSR.ADST ビットは自動的に 0 になり、ADC16 は待機状態になります。ADC160_ADI 割り込みは発生しません。
4. 2 回目のトリガ入力 (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
5. A/D 変換およびゲイン補正が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ (ADDBLDR)、および ELC_AD00/ELC_AD01 のトリガ入力時 A/D データ 2 重化レジスタ A (ADDBLDRA) または A/D データ 2 重化レジスタ B (ADDBLDRB) へそれぞれ格納されます。
6. ADC160_ADI 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換およびゲイン補正が終了すると自動的に 0 になり、ADC16 は待機状態になります。

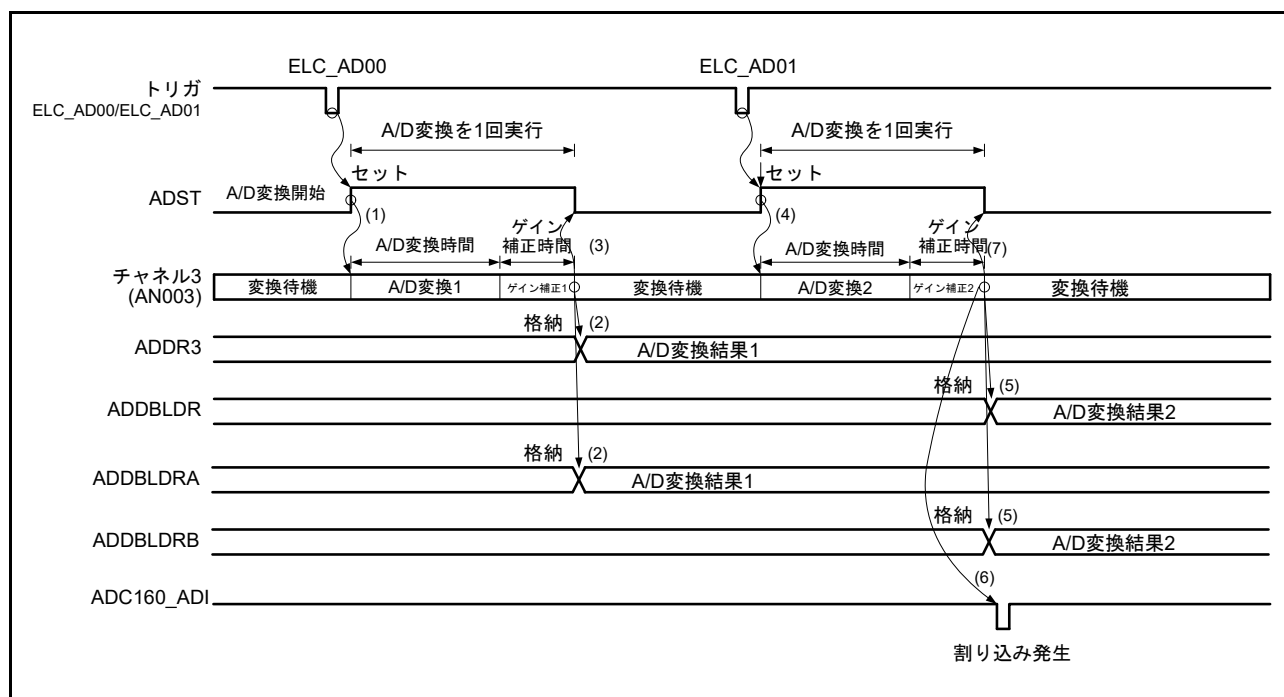


図 32.14 ダブルトリガモードの拡張動作例 (1) (AN003 および ELC_AD00/ELC_AD01 の 2 重化を選択)

32.3.5 連続スキャンモード

32.3.5.1 基本動作

連続スキャンモードでは、以下のように選択されたチャンネルのアナログ入力を以下のように繰り返し A/D 変換します。

本モードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC)、または非同期トリガ入力によって ADCSR レジスタの ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 つのチャンネルの A/D 変換およびゲイン補正が終了するたびに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. 選択したすべてのチャンネルの A/D 変換およびゲイン補正終了後、ADC160 ADI 割り込み要求を発生します。また ADC16 は、継続して ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. ADCSR レジスタの ADST ビットは自動的にクリアされず、1 (A/D 変換開始) になっている間は 2. ～ 3. を繰り返します。ADCSR.ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換およびゲイン補正は停止し、ADC16 は待機状態になります。
5. その後、ADCSR.ADST ビットを 1 (A/D 変換開始) にすると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に再び A/D 変換を開始します。

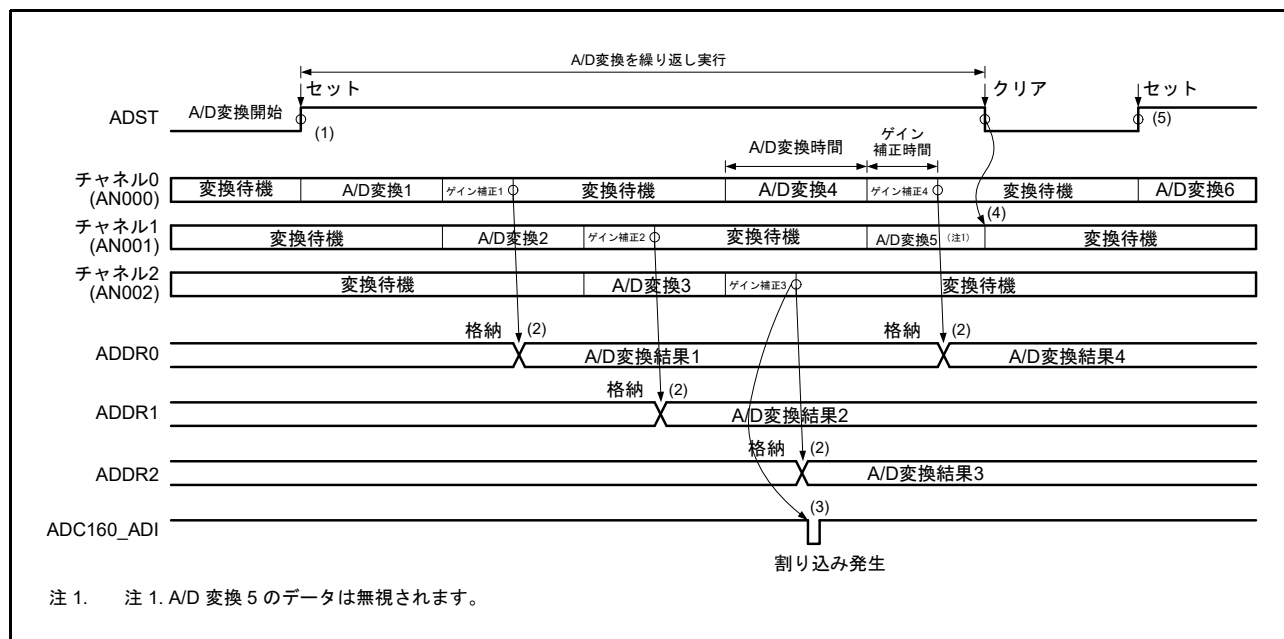


図 32.15 連続スキャンモードの基本動作例 (AN000 ~ AN002 選択)

32.3.5.2 チャネル選択と自己診断

自己診断とともにチャネルを選択すると、まず ADC16 に供給される基準電圧 (-VREFH0、VREFL0、または VREFH0) の A/D 変換を行い、その後、選択したチャネルのアナログ入力を A/D 変換するという流れを繰り返します。

連続スキャンモードを使用する場合、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換およびゲイン補正が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 つのチャネルの A/D 変換およびゲイン補正が終了するたびに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
4. 選択したすべてのチャネルの A/D 変換およびゲイン補正終了後、ADC160_ADI 割り込み要求が発生します。同時に、ADC16 は自己診断での A/D 変換を開始し、その後 ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
5. ADST ビットは自動的にクリアされず、1 になっている間は 2. ~ 4. を繰り返します。ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換およびゲイン補正は停止し、ADC16 は待機状態になります。
6. その後、ADST ビットが 1 (A/D 変換開始) に設定されると、再び自己診断での A/D 変換から開始します。

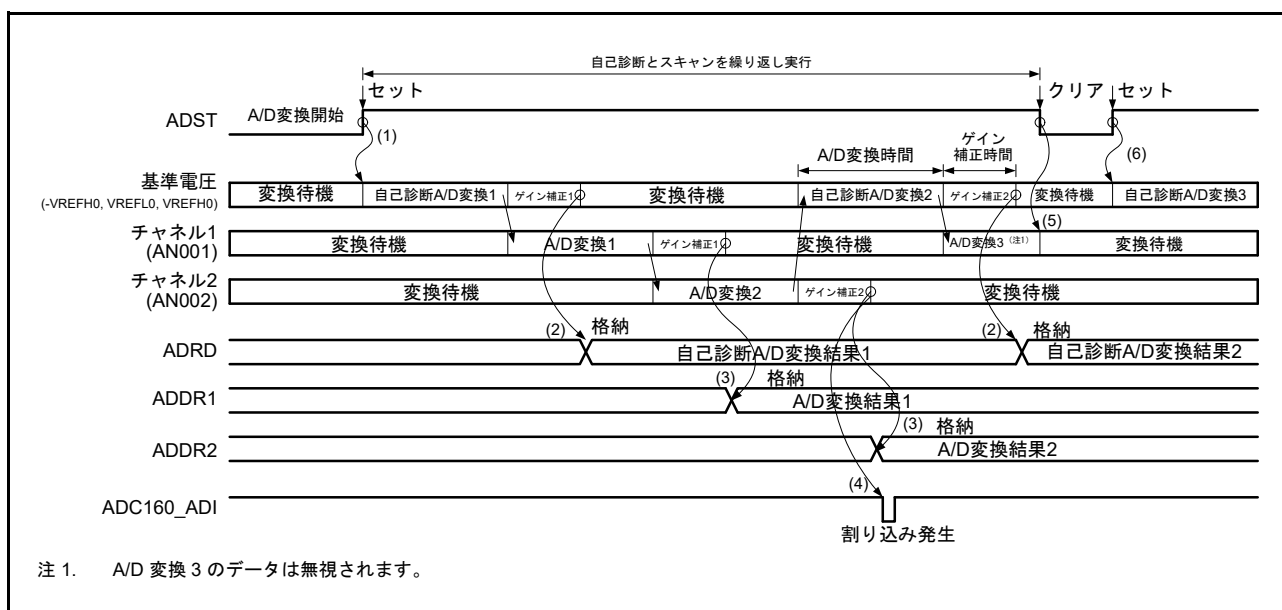


図 32.16 連続スキャンモードの基本動作例 (AN001 および AN002 選択 + 自己診断)

32.3.6 グループスキャンモード

32.3.6.1 基本動作

グループスキャンモードでは、同期トリガ (ELC) をスキャン開始条件とし、グループ A またはグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループ A とグループ B の同期トリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガ、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に ELC からの同期トリガによるグループスキャンモードの動作例を示します。以下の例では、ELC からの ELC_AD00 トリガでグループ A の変換が開始され、ELC からの ELC_AD01 トリガでグループ B の変換が開始されています。また、ELC_AD00 および ELC_AD01 は、対応する ELC.ELSRn レジスタで GPT イベントに選択されます。

動作は以下のとおりです。

1. ELC_AD00 トリガでグループ A のスキャンを開始します。
2. グループ A のスキャンおよびゲイン補正終了後、ADC160_ADI 割り込みを発生します。
3. ELC_AD01 トリガでグループ B のスキャンを開始します。
4. グループ B のスキャンおよびゲイン補正終了時に ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了割り込み許可) に設定されていると、ADC160_GBADI 割り込みを発生します。

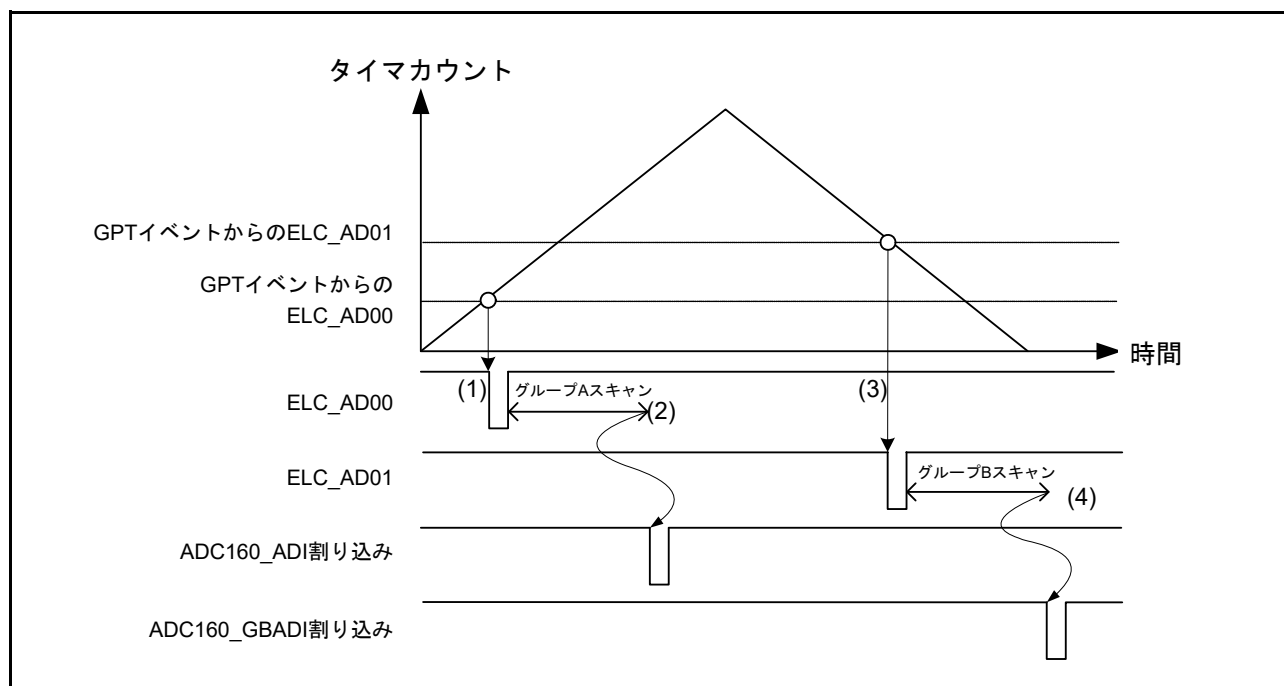


図 32.17 グループスキャンモードの基本動作例 (ELC からの同期トリガ使用)

32.3.6.2 ダブルトリガモード選択時の A/D 変換動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガ (ELC) で開始するシングルスキャンモードの実行 2 回分を一連の動作として実行します。グループ B は同期トリガ (ELC) で開始するシングルスキャンモードの動作を 1 回実行します。

グループスキャンモードでは、グループ A とグループ B の同期トリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガ、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。ソフトウェアトリガ、非同期トリガ (ADTRG0) は使用しないでください。

ADSTRGR.TRSA[5:0] ビットを 0Bh にすることによってグループ A の同期トリガに ELC_AD00/ELC_AD01 を選択した場合は、ダブルトリガ拡張モードで動作します。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネル、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。

以下に ELC からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。以下の例では、ELC_AD00 トリガでグループ A の変換が開始され、ELC_AD01 トリガでグループ B の変換が開始されています。また、ELC_AD00 および ELC_AD01 は、対応する ELC.ELSRn レジスタで GPT イベントに選択されます。

動作は以下のとおりです。

1. ELC からの ELC_AD00 トリガでグループ B のスキャンを開始します。
2. グループ B のスキャンおよびゲイン補正終了時に ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了割り込み許可) に設定されていると、ADC160_GBADI 割り込みが発生します。
3. 1 回目の ELC_AD01 トリガでグループ A の 1 回目のスキャンを開始します。
4. グループ A の 1 回目のスキャンおよびゲイン補正が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。ADC160_ADI 割り込み要求は発生しません。
5. 2 回目の ELC_AD01 トリガでグループ A の 2 回目のスキャンを開始します。
6. グループ A の 2 回目のスキャンおよびゲイン補正終了時、A/D 変換結果を ADDBLDR に格納します。ADC160_ADI 割り込みが発生します。

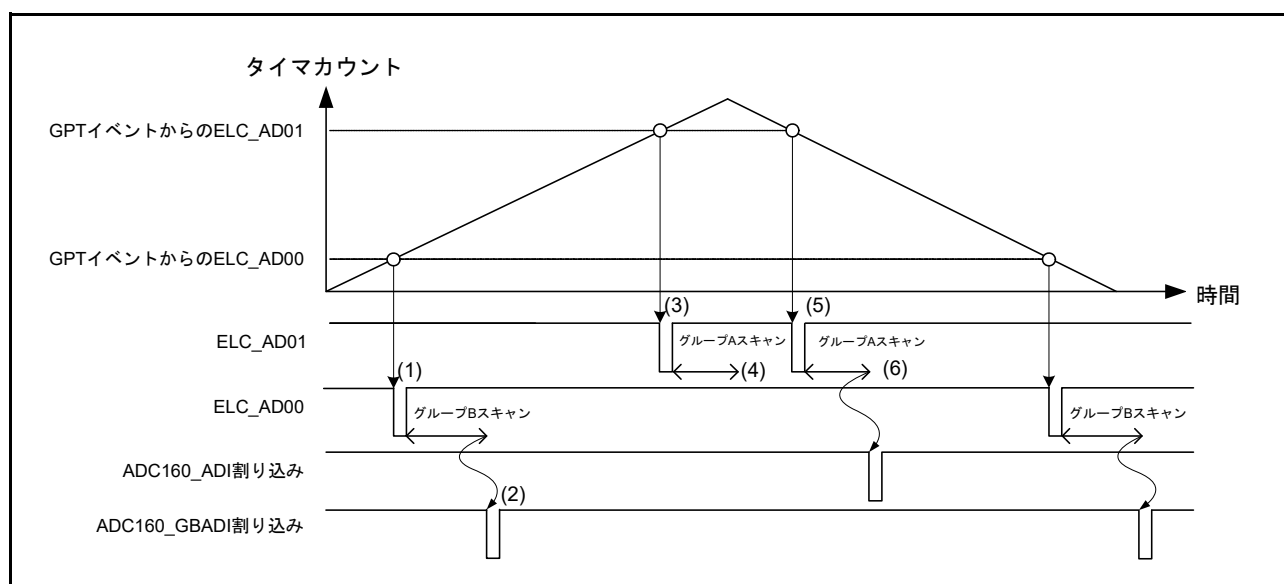


図 32.18 グループスキャンモードかつダブルトリガモード設定時の動作 (ELC からの同期トリガ)

32.3.6.3 グループ A 優先制御動作

グループスキャンモードで ADGSPCR.PGS ビットを 1 にすると、グループ A 優先制御動作を行います。ADGSPCR レジスタの PGS ビットを 1 にする際は、図 32.19 に記載された手順に従って設定を実行してください。フロー以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、もしくはグループ B の A/D 変換動作中に他方の A/D 変換のトリガ入力があっても無視されます。グループ A 優先制御動作では、グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を行います。ADGSPCR.GBRSCN ビットが 0 のときは、ADC16 はグループ A の A/D 変換動作終了時に待機状態となります。ADGSPCR.GBRSCN ビットが 1 のときは、グループ A の A/D 変換動作終了後、自動的にグループ B の A/D 変換動作をスキャン先頭から自動で再開します。ADGSPCR.GBRSCN ビットの設定と A/D 変換動作中のトリガ入力時の動作を表 32.14 に示します。

グループ A とグループ B のスキャン動作は、シングルスキャンモードと同じ動作になります。また、グループ B のスキャン動作中に ADGSPCR.GBRP ビットを 1 にすると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択してください。ADGSPCR.GBRP ビットを 1 にする場合は、ADSTRGR.TRSB[5:0] ビットを 3Fh にしてください。

また、A/D 変換対象とするチャンネルは、グループ A については ADANSA0、ADANSA1 レジスタを使用してください。グループ B については、ADANSB0、ADANSB1 レジスタでグループ A とは異なるチャンネルを選択してください。

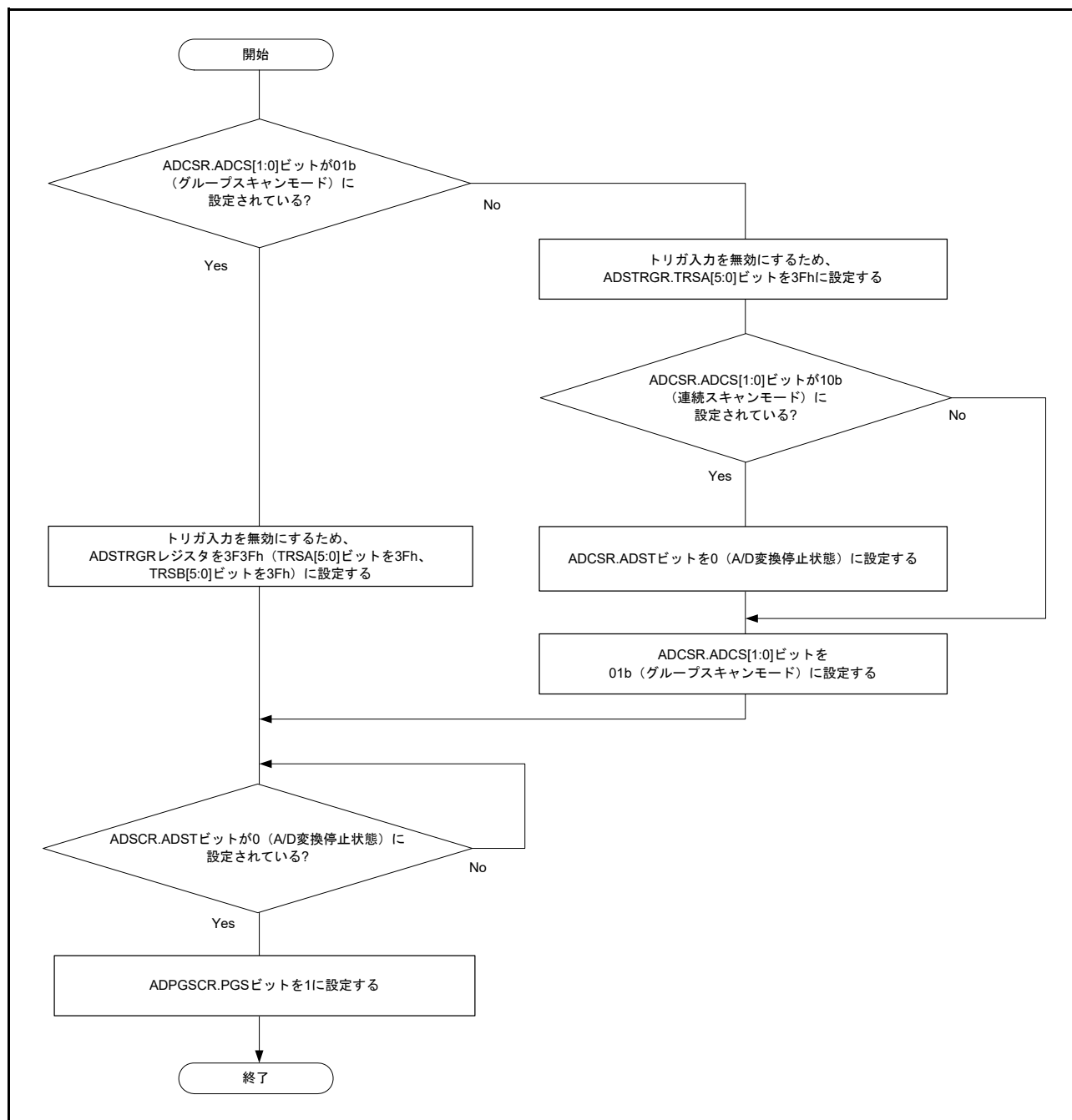


図 32.19 ADGSPCR.PGS ビット設定時のフロー

表 32.14 ADGSPCR.GBRSCN ビットの設定による A/D 変換動作制御

A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ A の A/D 変換動作中	グループ A トリガ入力	トリガ入力無効	トリガ入力無効
	グループ B トリガ入力	トリガ入力無効	グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を行います。
グループ B の A/D 変換動作中	グループ A トリガ入力	グループ B の A/D 変換中断し、グループ A の A/D 変換動作開始	- グループ B の A/D 変換中断し、グループ A の A/D 変換動作開始 - グループ A の A/D 変換終了後、グループ B の A/D 変換動作開始
	グループ B トリガ入力	トリガ入力無効	トリガ入力無効

以下に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ～ 3 を選択したグループスキャンモードグループ A 優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDR_y) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、グループ B の A/D 変換を中断し、ADANSA0、ADANSA1 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
グループ B の変換中に割り込みが発生したときに A/D 変換およびゲイン補正が完了していない場合は、A/D 変換結果は A/D データレジスタ (ADDR_y) に格納されません。
4. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDR_y) に格納されます。
5. ADC160_ADI 割り込み要求が発生します。
6. ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル AN_n の n が小さい番号順に A/D 変換を再度開始しますが、このとき ADCSR.ADST ビットは 1 のままです。
7. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDR_y) に格納されます。
8. ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了割り込み許可) になっていると、ADC160_GBADI 割り込み要求が発生します。
9. A/D 変換およびゲイン補正が完了すると ADCSR.ADST ビットは自動的にクリアされ 16 ビット A/D コンバータは待機状態に遷移します。

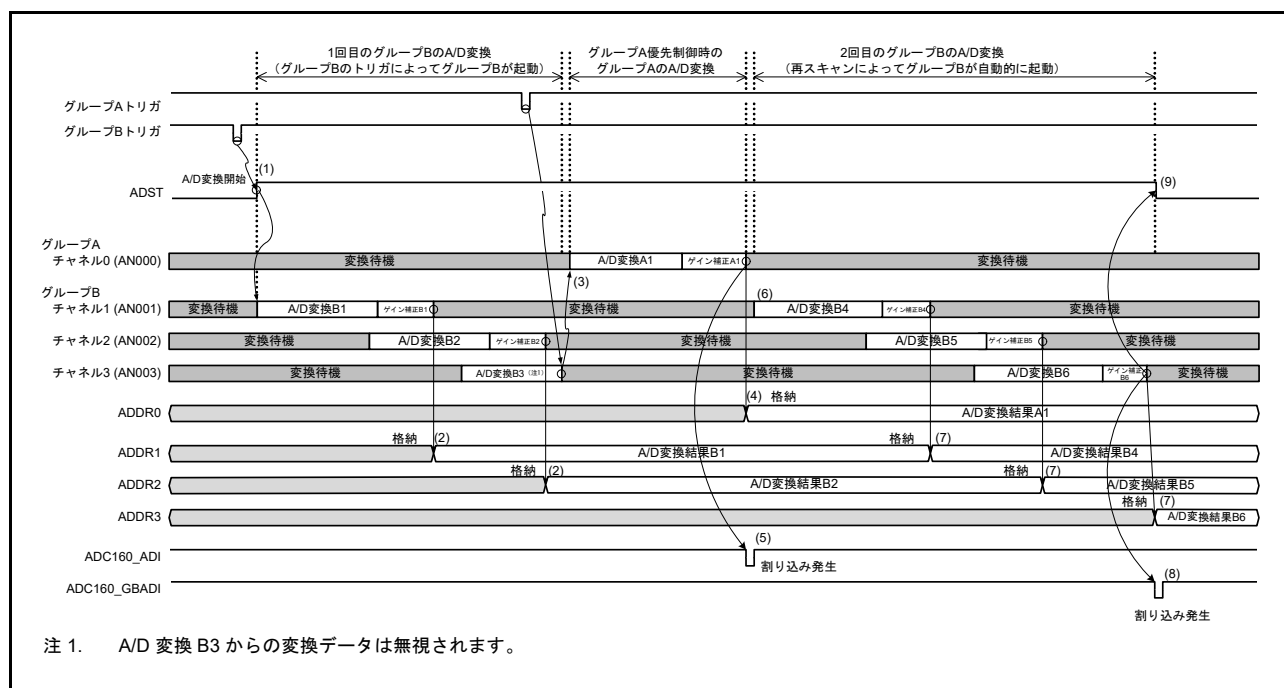


図 32.20 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択した場合の例を示します。

1. グループ B のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、グループ B の A/D 変換を中断します。グループ B の変換中に割り込みが発生したときに A/D 変換およびゲイン補正が完了していない場合は、A/D 変換結果は A/D データレジスタ (ADDRy) に格納されません。
4. ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、A/D 変換を開始します。
5. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
6. ADC160_ADI 割り込み要求が発生します。
7. ADGSPCR.GBRSCN ビットが 1 の場合は、グループ A の A/D 変換およびゲイン補正が終了すると、ADCSR.ADST ビットは 1 のままでグループ B が再びスキャンされます。ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
8. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
9. グループ B の A/D 変換の再スキャン中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、グループ B の A/D 変換を中断します。
10. ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、A/D 変換を開始します。
11. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
12. ADC160_ADI 割り込み要求が発生します。
13. グループ A の A/D 変換およびゲイン補正が終了時 ADGSPCR.GBRSCN ビットが 1 の場合は、ADCSR.ADST ビットは 1 のままでグループ B が再びスキャンされます。ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
14. 再スキャン起動によるグループ B の A/D 変換中にグループ A のトリガ入力があると、9. ~ 13. を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換のゲイン補正が終了すると ADCSR.ADST ビットが自動的にクリアされ、ADC16 は待機状態になります。

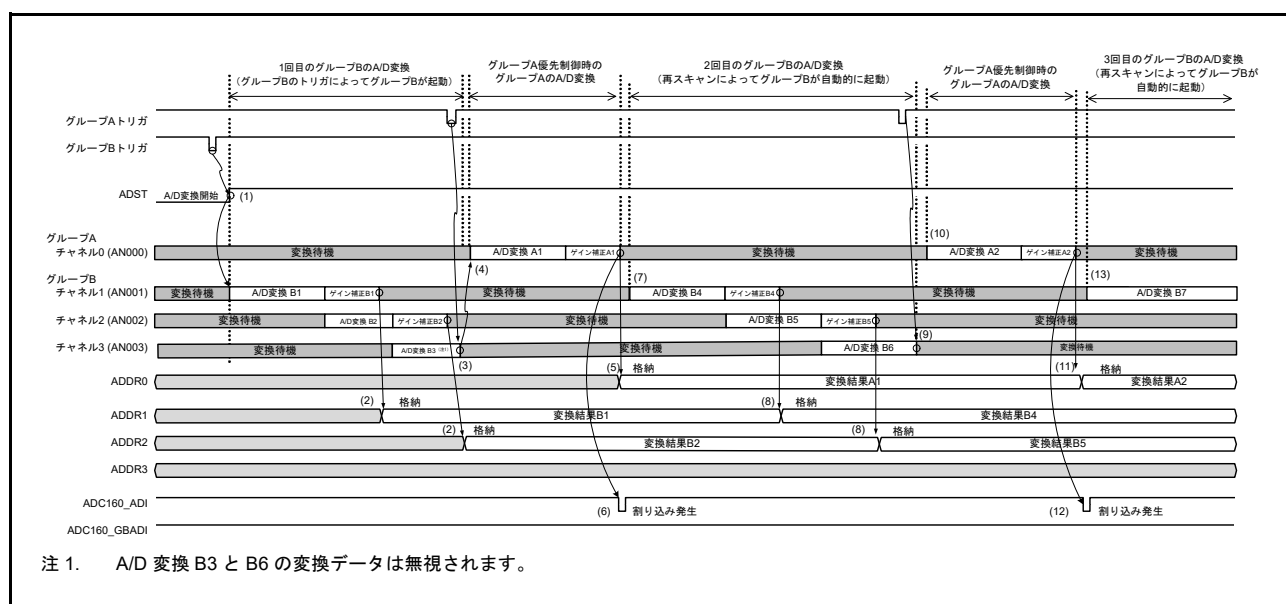


図 32.21 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

次に、グループ A の A/D 変換動作中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 1 ~ 3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

1. グループ A のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した、チャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換およびゲイン補正終了後に、グループ B の A/D 変換を実行できる状態となります。ただし、グループ A のトリガが連続で入力された場合、グループ B のスキャン動作は、グループ A に取り消され、実施されません。
4. グループ A の A/D 変換およびゲイン補正終了後、レジスタ設定なしで ADC160_ADI 割り込み要求が発生します。
5. グループ A の変換およびゲイン補正が終了すると、ADCSR.ADST ビットは 1 のままでグループ B が再びスキャンされます。ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を開始します。
6. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
7. グループ B の再スキャンおよびゲイン補正終了時、ADCSR.GBADIE ビットが 1 (グループ B スキャン終了割り込み許可) になっていると、ADC160_GBADI 割り込み要求が発生します。
8. A/D 変換およびゲイン補正が完了すると ADCSR.ADST ビットは自動的にクリアされ 16 ビット A/D コンバータは待機状態に移移します。

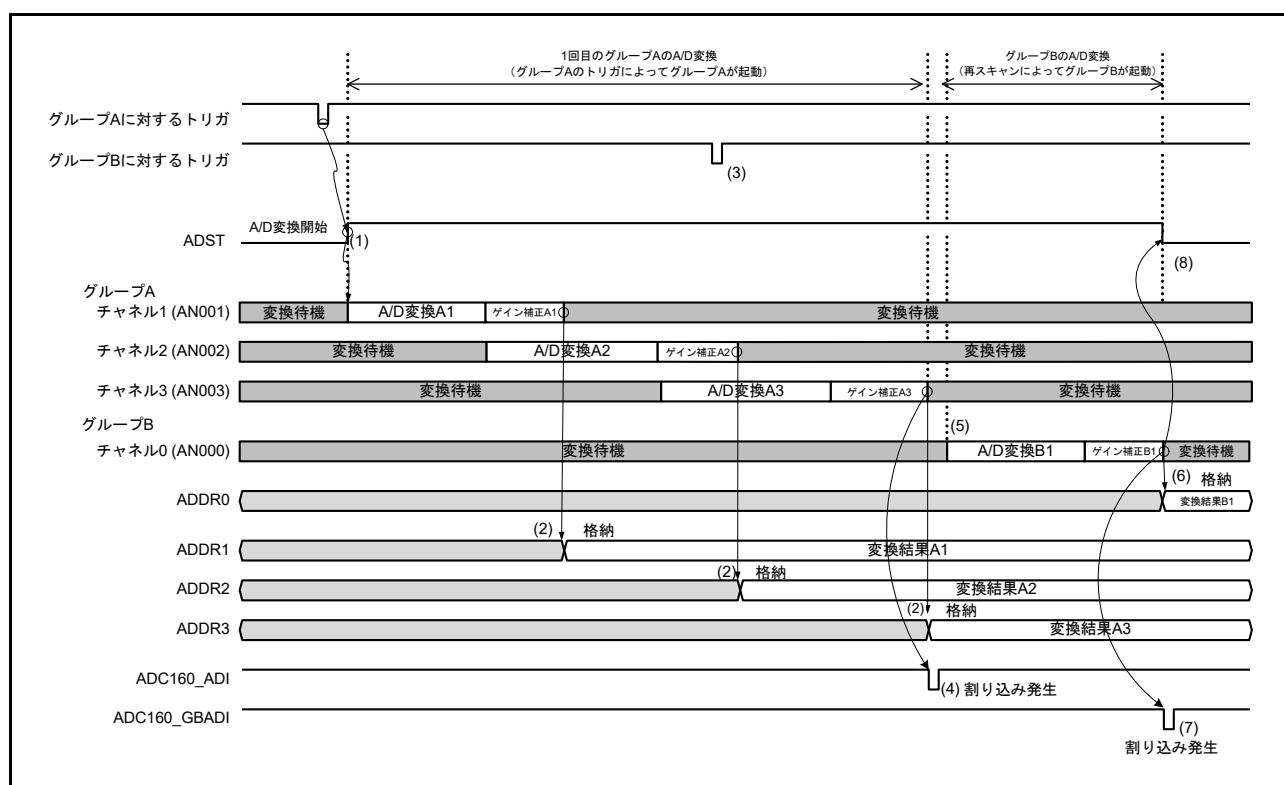


図 32.22 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDR_y) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、グループ B の A/D 変換を中断します。その後、ADANSA0、ADANSA1 レジスタで選択した、チャンネル AN_n の n が小さい番号順に、A/D 変換を開始します。
4. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDR_y) に格納されます。
5. ADC160_ADI 割り込み要求が発生します。
6. A/D 変換およびゲイン補正が完了すると ADCSR.ADST ビットは自動的にクリアされ 16 ビット A/D コンバータは待機状態に移移します。

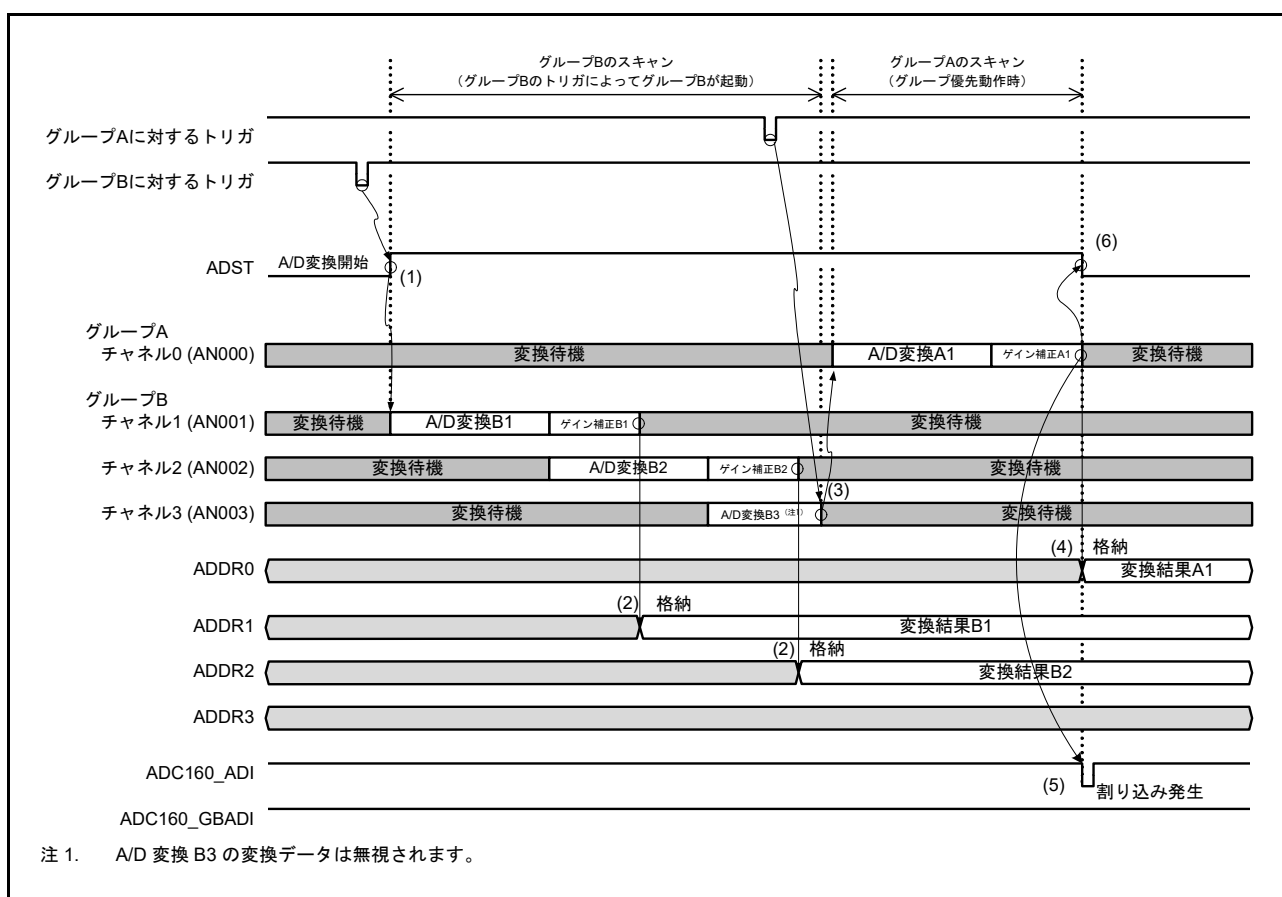


図 32.23 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときの、グループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

1. ADGSPCR.GBRP を 1 にすると、ADCSR.ADST ビットが 1 (A/D 変換開始) になり、ADANSB0、ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は対応する A/D データレジスタ y (ADDR_y) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、グループ B の A/D 変換を中断します。その後、ADANSA0、ADANSA1 レジスタで選択した、チャンネル AN_n の n が小さい番号順に、A/D 変換を開始します。
4. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDR_y) に格納されます。
5. ADC160_ADI 割り込み要求が発生します。
6. ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル AN_n の n が小さい番号順に A/D 変換を再度開始し、ADCSR.ADST ビットは 1 のままです。
7. 1 チャンネルの A/D 変換およびゲイン補正が終了すると、結果は関連する A/D データレジスタ y (ADDR_y) に格納されます。
8. ADCSR.GBADIE ビットが 1 になっていると、ADC160_GBADI 割り込み要求が発生します。
9. ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル AN_n の n が小さい番号順に A/D 変換を再度開始し、ADCSR.ADST ビットは 1 のままです。ADGSPCR.GBRP ビットが 1 に設定されている間は、6. ～ 9. の動作を繰り返します。ADGSPCR.GBRP ビットが 1 の状態の間は、ADCSR.ADST ビットを 0 にしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了する方法については、[図 32.38](#) の手順に従ってください。

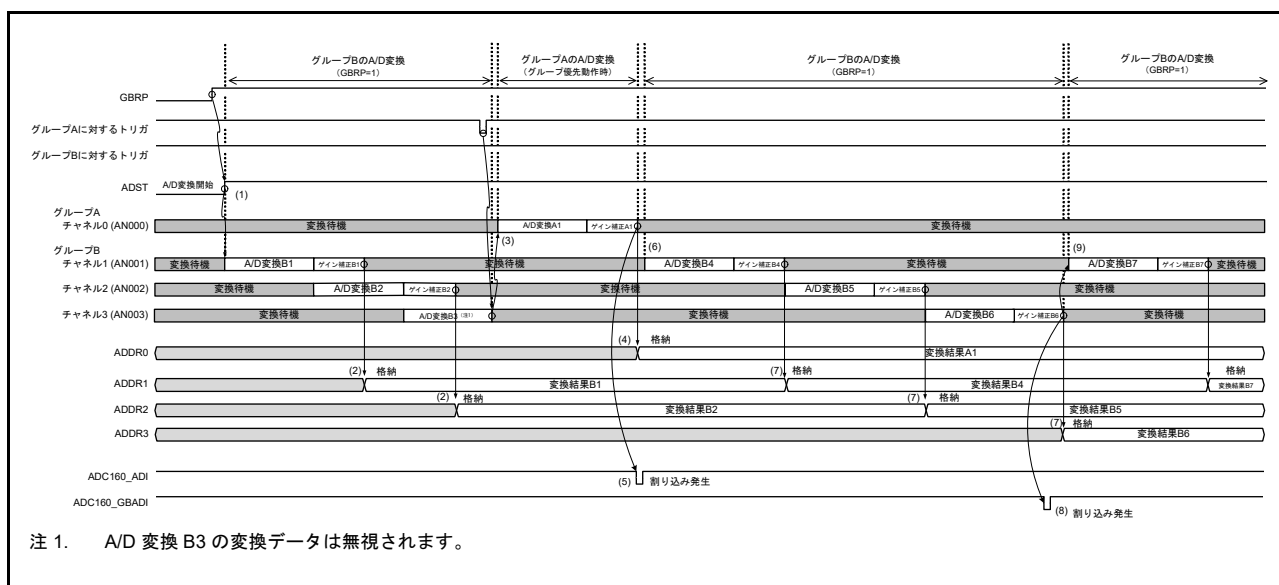


図 32.24 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 の場合)

32.3.7 コンペア機能 (ウィンドウ A、ウィンドウ B)

32.3.7.1 コンペア機能

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することが可能です。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の主な違いとしては、割り込み出力信号の違いと、ウィンドウ B は 1 つのチャンネルしか選択できないという制限があります。

連続スキャンモードとコンペア機能を組み合わせた動作シーケンスを以下に示します。

1. ソフトウェア、同期トリガ (ELC)、または非同期トリガで ADCSR.ADST ビットを 1 (A/D 変換開始) にした場合、選択したチャンネルの順番で A/D 変換を開始します。温度センサおよび内部基準電圧は同時選択できません。また、内部基準電圧を高電位基準電圧に選択した場合、温度センサまたは内部基準電圧の A/D 変換は実行できません。
2. A/D 変換およびゲイン補正が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy、ADTSDR、または ADOCDR) に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSRy または ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を、ADWINULB/ADWINLLB レジスタの設定値と比較します。
3. 比較した結果、ウィンドウ A が ADCMPLR0/1 または ADCMPLER に設定された条件と一致すると、コンペアウィンドウ A フラグ (ADCMPSR0.CMPSTCHAn、ADCMPSR1.CMPSTCHAn、ADCMPSER.CMPSTTSA、または ADCMPSER.CMPSTOCA) のビットが 1 になります。ADCMPCR.CMPAIE ビットが 1 であれば、ADC160_CMPAI 割り込み要求 (レベル) が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定された条件と一致すると、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が 1 になります。ADCMPCR.CMPBIE ビットが 1 であれば、ADC160_CMPBI 割り込み要求 (レベル) が発生します。
4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC160_CMPAI および ADC160_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットは 0 (A/D 変換停止) になり、コンペアフラグが 1 であるチャンネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC160_CMPAI 割り込み要求は取り消されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC160_CMPBI 割り込み要求はリセットされます。再度比較を実行するには、A/D 変換を再開してください。

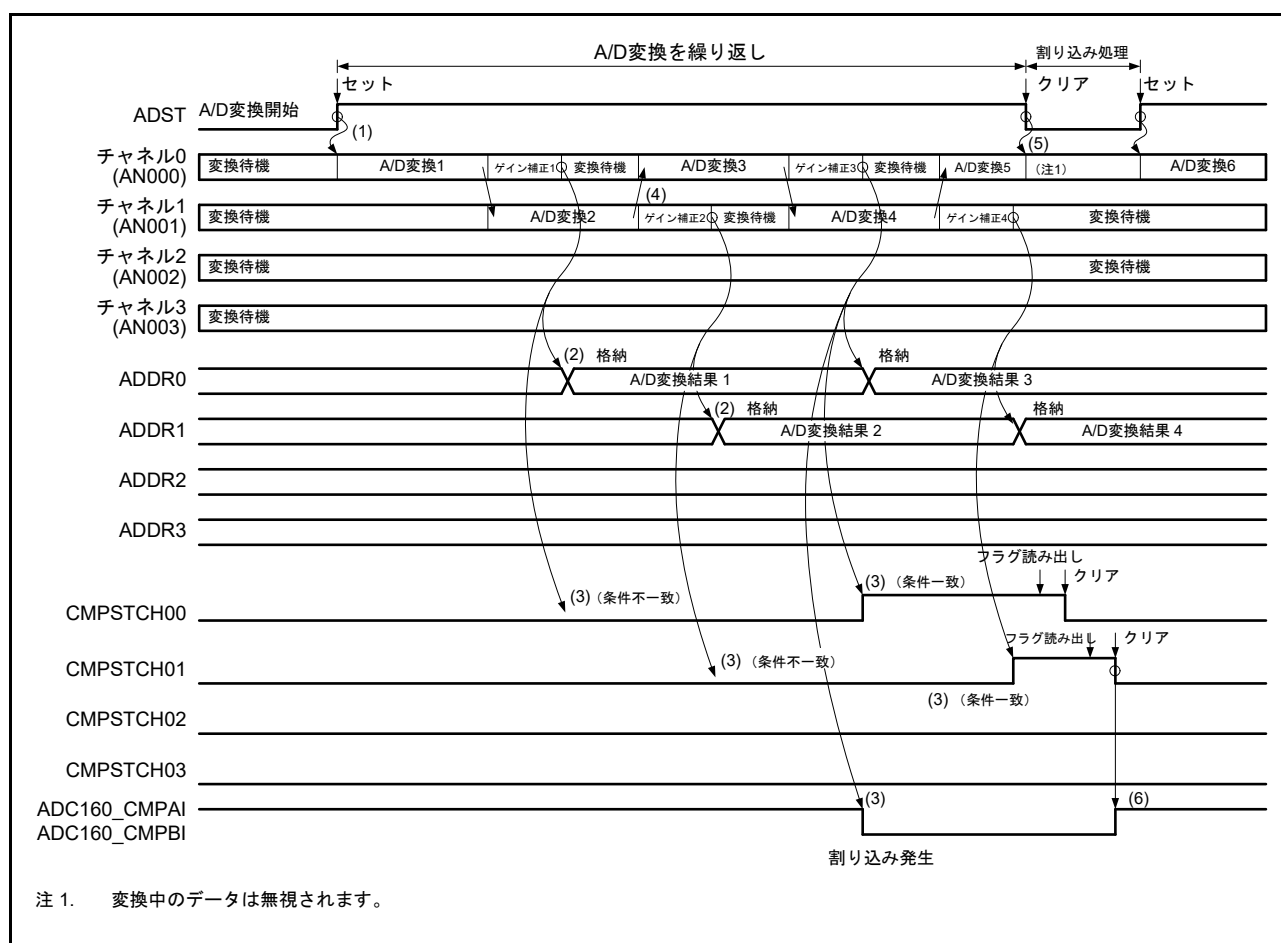


図 32.25 コンペア機能の動作例 (AN000 ~ AN003 を比較)

32.3.7.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値と下側基準電圧値をそれぞれウィンドウ A とウィンドウ B に設定し、選択したチャンネルの A/D 変換値を上側／下側基準電圧値と比較し、イベント条件 (A OR B、A AND B、A XOR B) とウィンドウ A およびウィンドウ B の比較結果に従って、ADC160_WCMPPM/ADC160_WCMPUM イベントを出力します。

ウィンドウ A で複数のチャンネルを選択し、チャンネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。

ウィンドウ A の場合、AN000 ～ AN008、AN016 ～ AN023 のチャンネルのどれか、SDADC24 の基準電圧、内部基準電圧、および温度センサ出力を選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャンネルを選択することはできません。また、ADC16 の高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧または温度センサ出力を A/D 変換することはできません。

ウィンドウ B の場合、AN000 ～ AN008、AN016 ～ AN023 のチャンネルのどれか 1 つ、SDADC24 の基準電圧、内部基準電圧、および温度センサ出力を選択できます。また、高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧または温度センサ出力を A/D 変換することはできません。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS[1:0] ビットの値が 00b (シングルスキャンモード) であることを確認してください。
2. ADCMPANSR0/1 および ADCMPANSER レジスタでウィンドウ A のチャンネルを選択します。
ADCMPPLR0/1 および ADCMPPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定してください。
3. ADCMPBNSR レジスタでウィンドウ B のチャンネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR レジスタに設定してください。

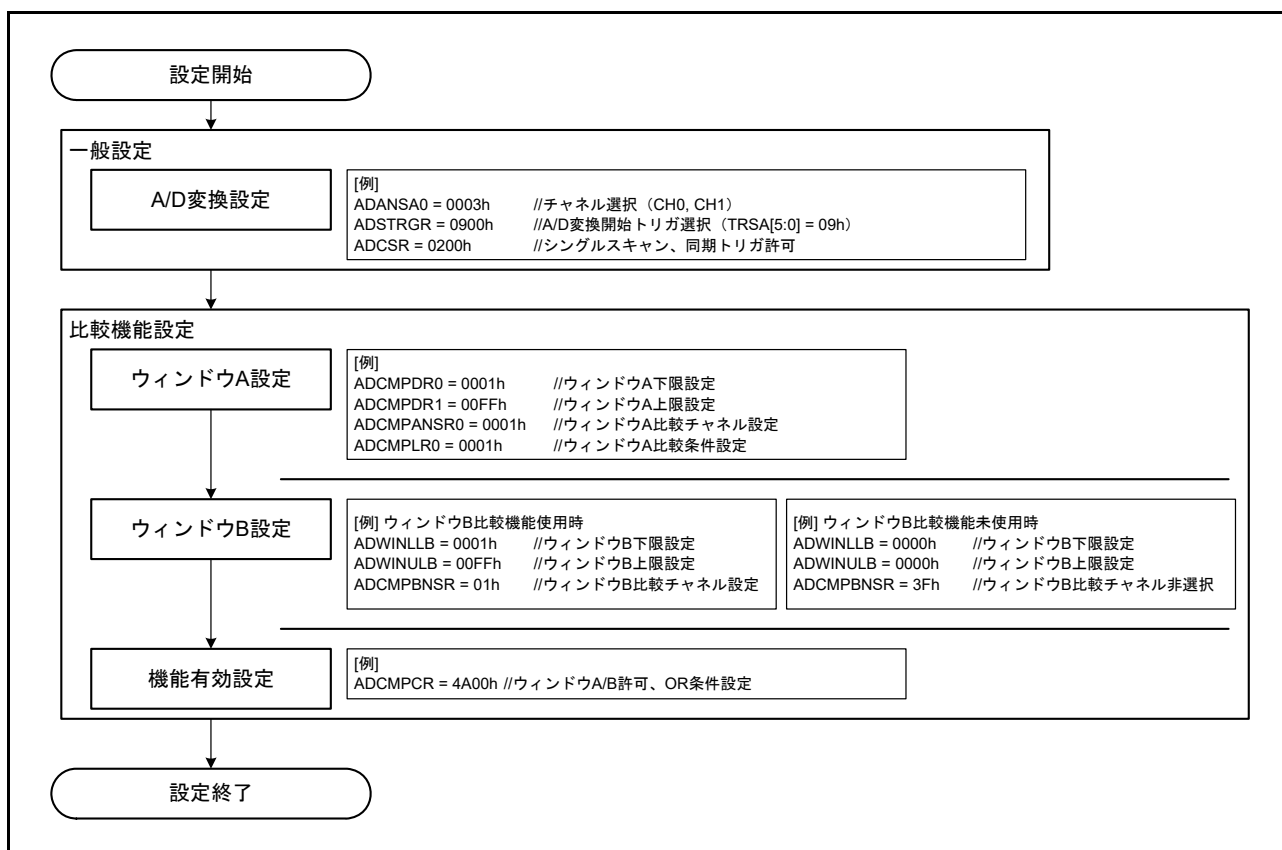


図 32.26 コンペア機能のイベント出力使用時の設定例

コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A および B をどちらも有効 (ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1) にすること
- ウィンドウ A および B の複合条件を「OR 条件」にすること (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャネルを「非選択」にすること (ADCMPBNSR.CMPCHB[5:0] = 111111b)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定すること (ADCMPCR.WCMPE = 1、ADWINLLB.CMPLLB[15:0] = ADWINULB.CMPULB[15:0] = 0000h、および ADCMPBNSR.CMPLB = 1)

コンペア機能のイベント出力動作例を図 32.27 に示します。

シングルスキャンおよびゲイン補正が終了すると同時に、スキャン終了イベント (ADC160_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0] の設定に従い、1PCLKB クロックサイクル遅れて一致または不一致イベント (ADC160_WCMPPM/ADC160_WCMPUM) を出力します。

注 一致イベントと不一致イベントは排他的であるため、2つのイベントを同時に出力することはありません。

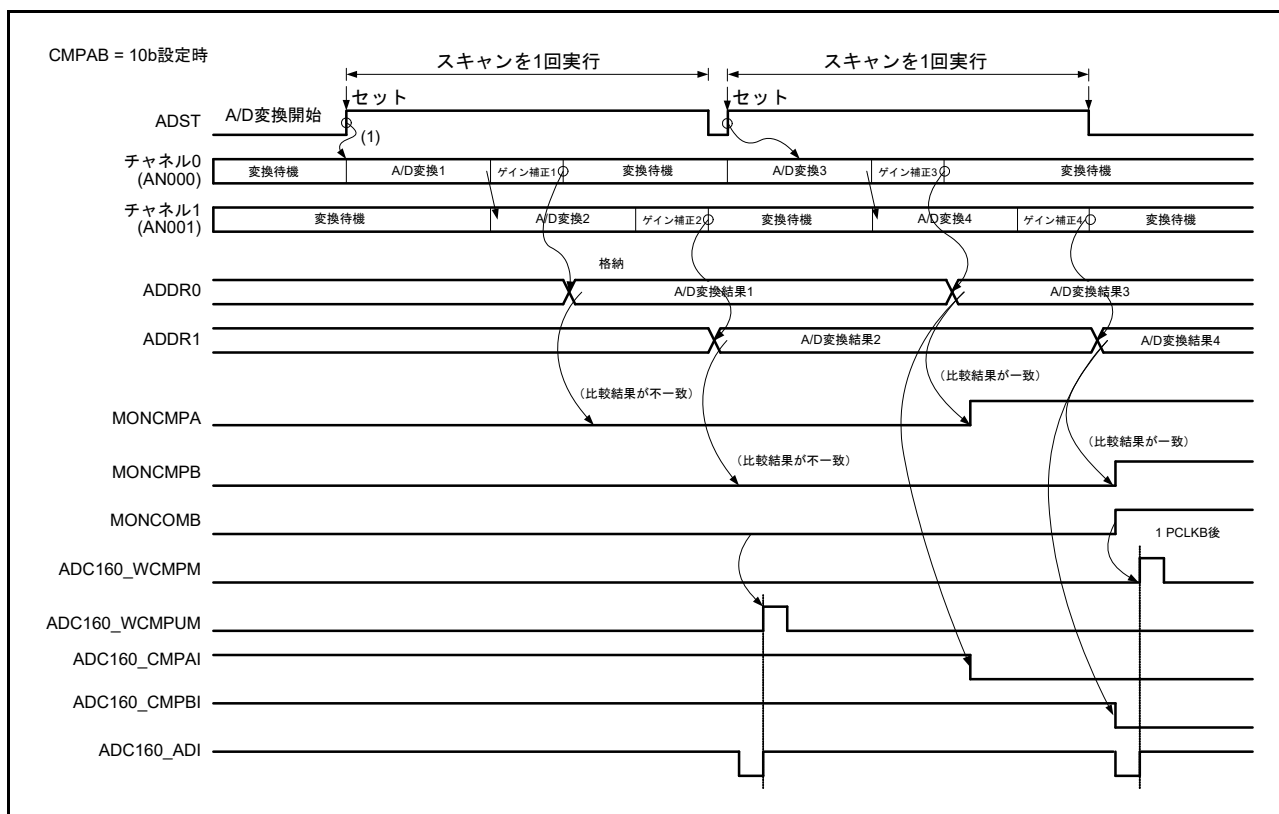


図 32.27 コンペア機能のイベント出力動作例 (AN000 ~ AN001 を比較)

注 コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0] の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致／不一致を出力します。

注 ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPBNSR.CMPCHB を 0 にしてください。

32.3.7.3 コンペア機能の制約事項

コンペア機能には以下の制約事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒に使用できない (ADRD、ADDBLDR、ADDBLDRA、および ADDBLDRB ではコンペア機能は使用できない)
- 一致/不一致イベント出力を使用する場合はシングルスキャンモードにすること
- ウィンドウ A に温度センサまたは内部基準電圧を選択した場合、ウィンドウ B 動作は無効
- ウィンドウ B に温度センサまたは内部基準電圧を選択した場合、ウィンドウ A 動作は無効
- ウィンドウ A とウィンドウ B に同じチャンネルを設定することはできない
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上になるようにすること

32.3.8 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアトリガ、同期トリガ (ELC) による起動または非同期トリガ (ADTRG0) による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、断線検出アシスト処理、自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 32.28 に、ソフトウェアトリガまたは同期トリガ (ELC) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 32.29 に、非同期トリガ (ADTRG0) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS}) (注 1)、自己診断変換時間 (t_{DIAG}) (注 2)、A/D 変換処理時間 (t_{CONV})、ゲイン補正時間 (t_{GAIN}) およびスキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、入力サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) およびゲイン補正時間 (t_{GAIN}) を合わせた時間となります。ただし、ゲイン補正はサンプリングと同時に起こるので、ゲイン補正時間は、シングルスキャン、連続スキャン、およびグループスキャンの第 1 サイクルにおいてのみ、A/D 変換処理時間に影響します。ゲイン補正時間 (t_{GAIN}) は第 2 サイクル以降のサイクルには影響しません。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は 18 ステート (ADCLK) です。スキャン変換時間を表 32.15 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \text{ (注 3)} \times n) + t_{GAIN} + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。連続スキャンの 2 サイクル目以降は、($t_{DIS} \times n$) + t_{DIAG} + (t_{CONV} (注 3) $\times n$) 固定となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。

温度センサまたは内部基準電圧を A/D 変換する場合のみ、15ADCLK ステートの自動ディスチャージ期間が入ります。

注 2. 自己診断機能を使用しない場合は、 $t_{DIAG} = 0$ となります。

注 3. 選択したすべてのチャンネルの入力サンプリング時間 (t_{SPL}) が同じの場合、この要素は $t_{CONV} \times n$ になります。チャンネルごとに異なるサンプリング時間の場合、この要素は選択したチャンネルごとに設定した t_{SPL} と t_{SAM} の和となります。

スキャン変換時間を表 32.15 に示します。

表 32.15 スキャン変換時間 (ADCLKとPCLKBのサイクル数)

項目			シンボル	種別／条件			単位
				同期トリガ	非同期トリガ	ソフトウェアトリガ	
スキャン開始 処理時間 (注1) (注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり（グループAのA/D変換要因によってグループBを停止させた後、グループAを起動）	t_D	3PCLKB + 6ADCLK、5PCLKB + 3ADCLK（注6）	—	—	サイクル
		グループB中断なし（グループAのA/D変換要因によって起動）		2PCLKB + 4ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時		2PCLKB + 6ADCLK	4PCLKB + 6ADCLK	6ADCLK	
	上記以外			2PCLKB + 4ADCLK	2PCLKB + 4ADCLK	4ADCLK	
断線検出アシスト処理時間（注7）			t_{DIS}	ADNDIS[3:0]設定値（初期値 00h）× ADCLK（注3）			
自己診断変換 処理時間 (注1)	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR00（注4）設定値（初期値 = 0Dh）× ADCLK		
	逐次変換時間			t_{SAM}	18ADCLK		
A/D変換処理 時間（注1）	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn（注4）（n = 00～08, L, T, O）設定値（初期値 = 0Dh）× ADCLK		
	逐次変換時間			t_{SAM}	18ADCLK		
スキャン終了処理時間（注1）			t_{ED}	1PCLKB + 3ADCLK、2PCLKB + 2ADCLK（注6）			
ゲイン補正時間（注1）			t_{GAIN}	10ADCLK			

- 注 1. t_D 、 t_{DIAG} 、 t_{CONV} 、 t_{GAIN} 、 t_{ED} 各タイミング例については、図 32.28 および図 32.29 を参照してください。 t_D および t_{ED} は最大時間です。
- 注 2. ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までの最大時間です。
- 注 3. 温度センサ出力または内部基準電圧を A/D 変換する場合、値は 0Fh (15ADCLK) 固定です。
- 注 4. 必要なサンプリング時間 (ns) は、電圧条件によって指定されます。サンプリング時間は、電気的特性を満たすように設定してください。
- 注 5. タイマ出力からトリガ入力までの経路で使われる時間は含みません。
- 注 6. ADCLK が PCLKB (PCLKB/ADCLK の分周率 = 1 : 2 または 1 : 4) より速い場合。
- 注 7. t_{DIS} 時間の例については、図 32.30 を参照してください。

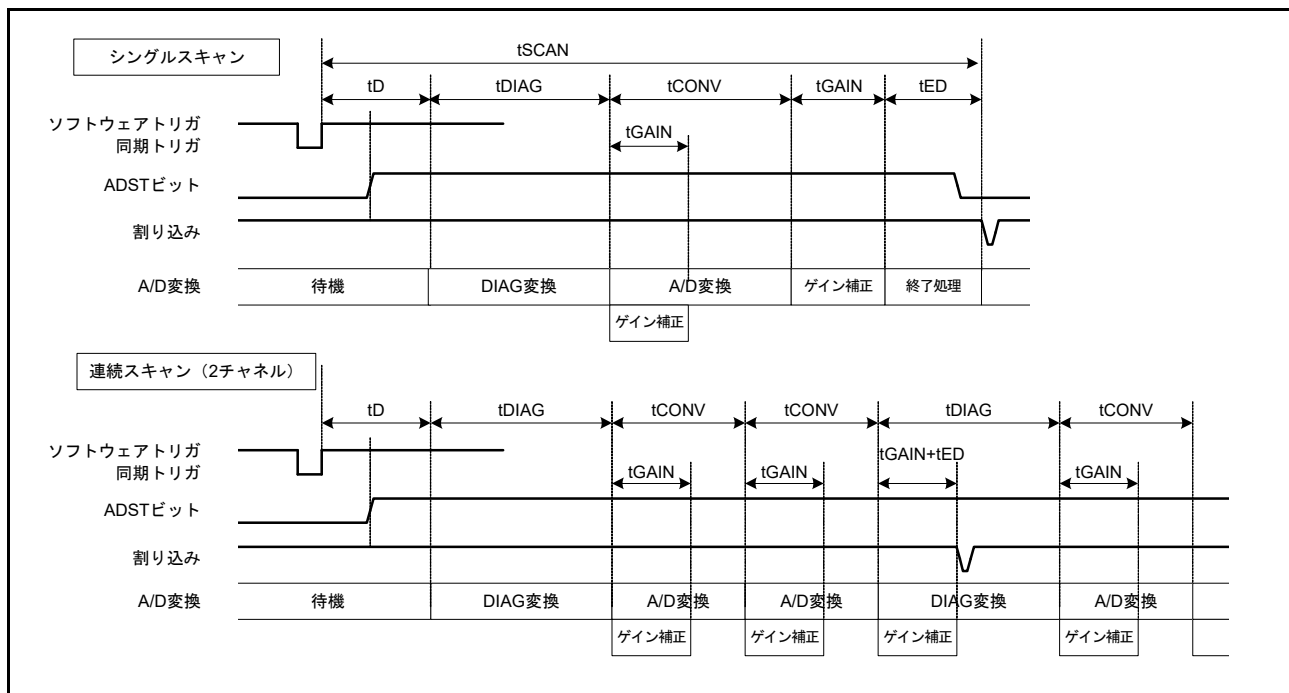


図 32.28 スキャン変換のタイミング (ソフトウェア起動、同期トリガ入力 (ELC) 起動の場合)

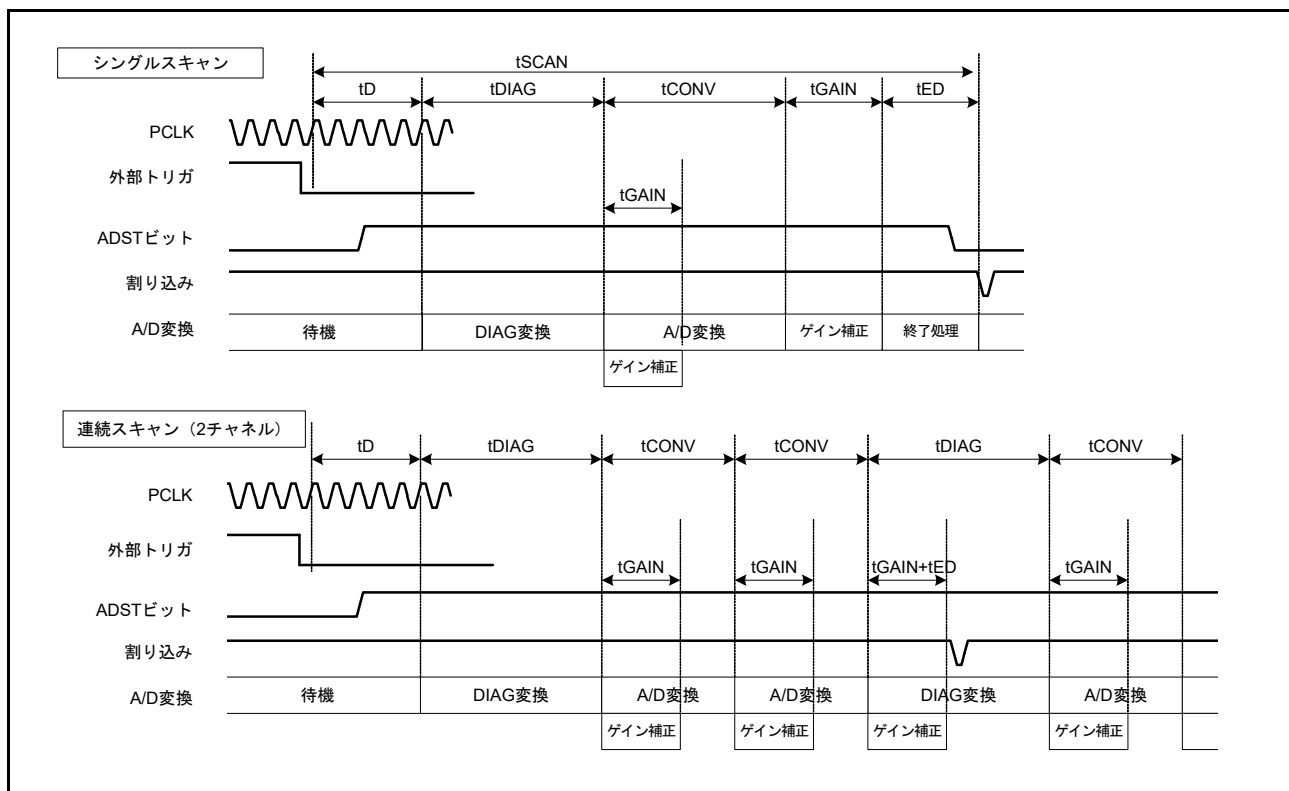


図 32.29 スキャン変換のタイミング (非同期トリガ入力 (ADTRG0) 起動の場合)

32.3.9 A/D データレジスタの自動クリア機能の使用例

ADCER レジスタの ACE ビットを 1 にすることにより、CPU または DTC によって A/D データレジスタ (ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR) を読み出す際、自動的にこれらの A/D データレジスタを 0000h にクリアできます。

この機能を使うことにより、A/D データレジスタ (ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR) の未更新故障を検出することができます。以下に、ADDRy レジスタの自動クリア機能が無効時と有効時の例をそれぞれ示します。

- ADCER レジスタの ACE ビットが 0 (自動クリア禁止) の場合に、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0111h) を保持します。さらに A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) を汎用レジスタに保持できます。ただし、未更新のチェックを行う場合、古いデータを SRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。
- ADCER レジスタの ACE ビットが 1 (自動クリア許可) の場合には、ADDRy = 0111h を CPU および DTC により読み出す際、ADDRy レジスタは自動的に 0000h になります。A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0000h が汎用レジスタに保持されます。読み出されたデータ値が 0000h であることをチェックすることで、ADDRy レジスタの未更新障害があったことを判断できます。

32.3.10 A/D 変換値平均モード

A/D 変換値平均モードは、選択チャネルのアナログ入力のア/D 変換、SDADC24 の基準電圧のア/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

A/D 変換値平均モードは、同じチャネルを 2、4、8 または 16 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が向上します。ただし、A/D 変換精度が必ず向上することを保証する機能ではありません。

32.3.11 断線検出アシスト機能

ADC16 は、A/D 変換開始前に、サンプリング容量の電荷を所定の状態 VREFH0 または VREFL0 に固定する断線検出アシスト機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

以下の機能のいずれかを使用する場合、断線検出アシスト機能は無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断
- SDADC24 の基準電圧 (SBIAS/VREFI)
- 差動入力モード

図 32.30 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 32.31 にプリチャージを選択した場合の断線検出例を示します。図 32.32 にディスチャージを選択した場合の断線検出例を示します。

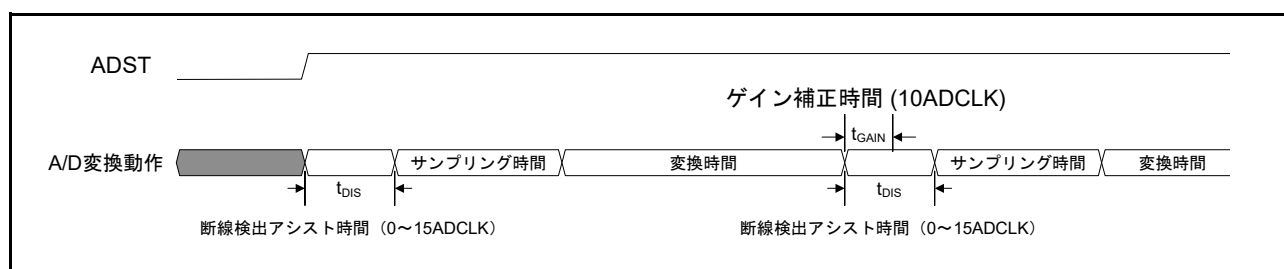
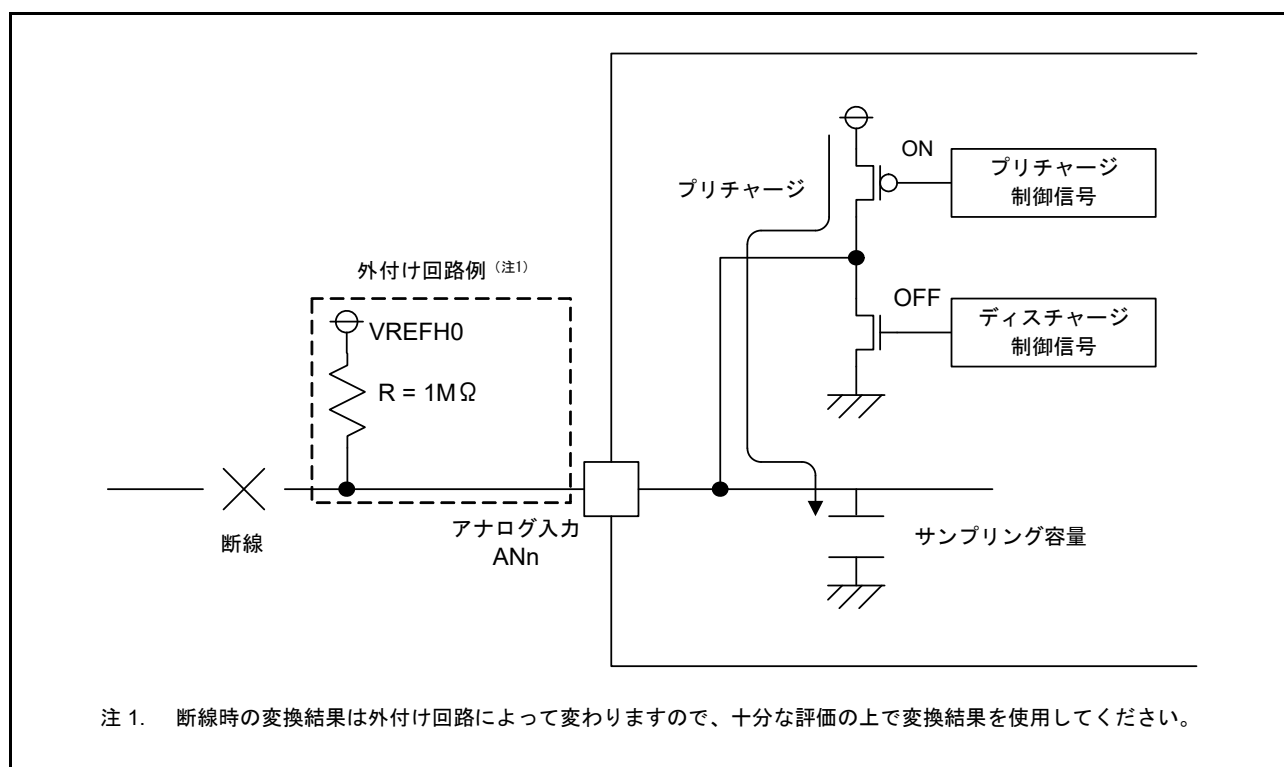


図 32.30 断線検出アシスト機能を使用した場合の A/D 変換動作図



注 1. 断線時の変換結果は外付け回路によって変わりますので、十分な評価の上で変換結果を使用してください。

図 32.31 プリチャージを選択した場合の断線検出例

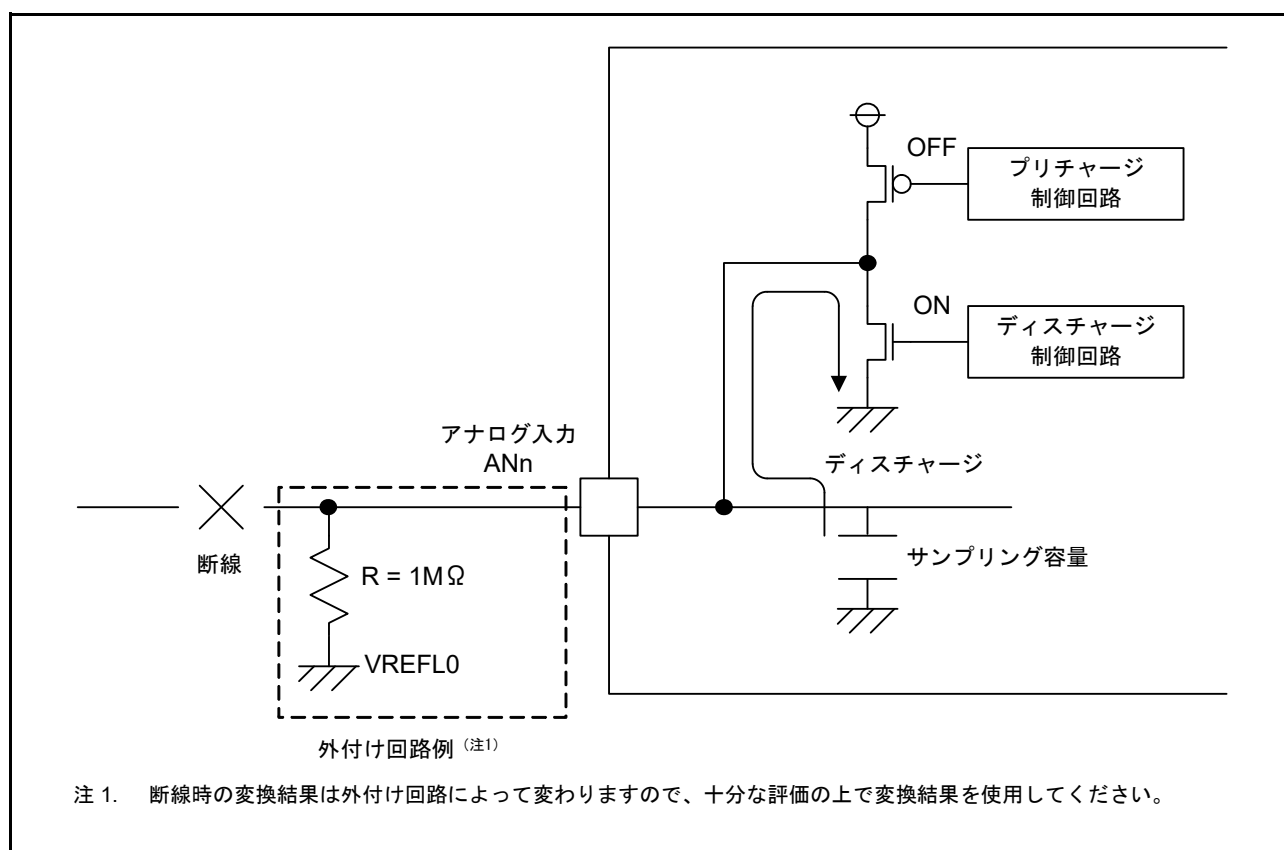


図 32.32 デイスチャージを選択した場合の断線検出例

32.3.12 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することが可能です。非同期トリガで A/D 変換を開始する方法を以下に示します。

1. PmnPFS レジスタの端子機能を設定します。
2. A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[5:0]) を 000000b にします。
3. 非同期トリガ (ADTRG0 端子) に High を入力します。
4. ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にしてください。

図 32.33 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[5:0]) では選択できません。端子機能の設定については、「18. I/O ポート」を参照してください。

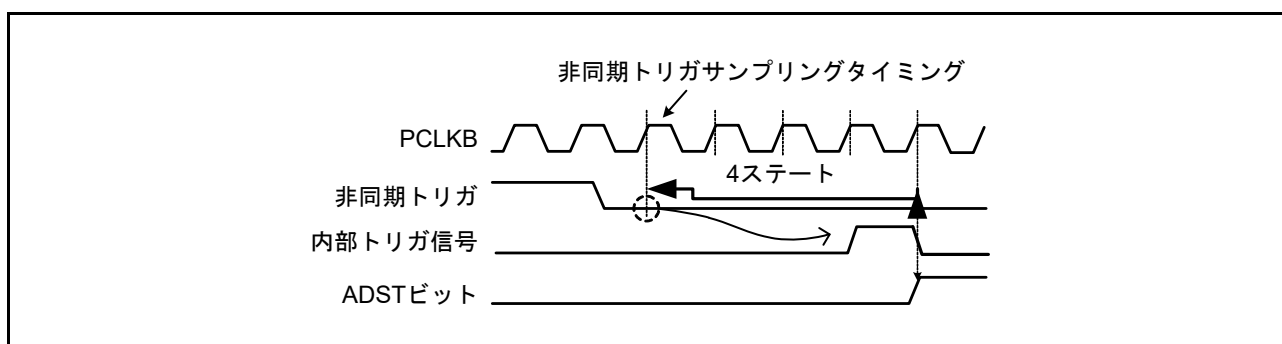


図 32.33 非同期トリガ入力タイミング

32.3.13 周辺モジュールからの同期トリガによる A/D 変換の開始

A/D 変換は同期トリガ (ELC) によって開始できます。同期トリガで A/D 変換を開始する方法を以下に示します。

1. ADCSR.TRGE ビットを 1 にします。
2. ADCSR.EXTRG ビットを 0 にします。
3. ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

32.3.14 キャリブレーション機能

キャリブレーションにより高精度の A/D 変換が可能になります。これは、使用条件下で、内部で生成するアナログ入力から C-DAC 直線性誤差補正值およびゲイン (オフセット) 誤差補正值を取得することにより行われます。ADCALEXE.CALEXE ビットに 1 を書いたときキャリブレーションが開始します。

ADCSR.ADST ビットが (1 から) 0 にクリアされるか、すべての誤差の計算が完了するまで進行中のキャリブレーションは終了しません。ADICR.ADIC[1:0] ビットが 11b に設定されている場合、キャリブレーションが終了すると ADCSR.ADST ビットが 0 にクリアされ、割り込み (ADC16_ADI) が出力されます。キャリブレーション終了時すべてのスキャンは非アクティブとなりますので、シングルスキャン、連続スキャン、またはグループスキャンを開始するには、必要なスキャン手順を実行してください。

キャリブレーション終了前に ADCSR.ADST ビットを 0 にすることによりキャリブレーションが停止すると、補正值は保証されません。この場合、補正值を更新するにはキャリブレーションを再実行する必要があります。リセット後の補正值は、出荷時に計算された補正值です。

1. ソフトウェアにより ADCALEXE.CALEXE ビットに 1 を書き込むことにより ADCSR.ADST ビットが 1 になる (A/D 変換開始) と、C-DAC 直線性誤差およびゲイン誤差の補正值が計算されます。
2. 全補正值の計算が完了し、ADICR.ADIC[1:0] ビットが 11b (キャリブレーション終了時 ADC16_ADI 割り込み許可) になると、ADC160_ADI 割り込み要求が発生します。
3. ADCSR.ADST ビットはキャリブレーション中は 1 (A/D 変換開始) を保持し、すべての補正值の計算が終了すると自動的に 0 にクリアされ、A/D コンバータはスタンバイ状態になります。

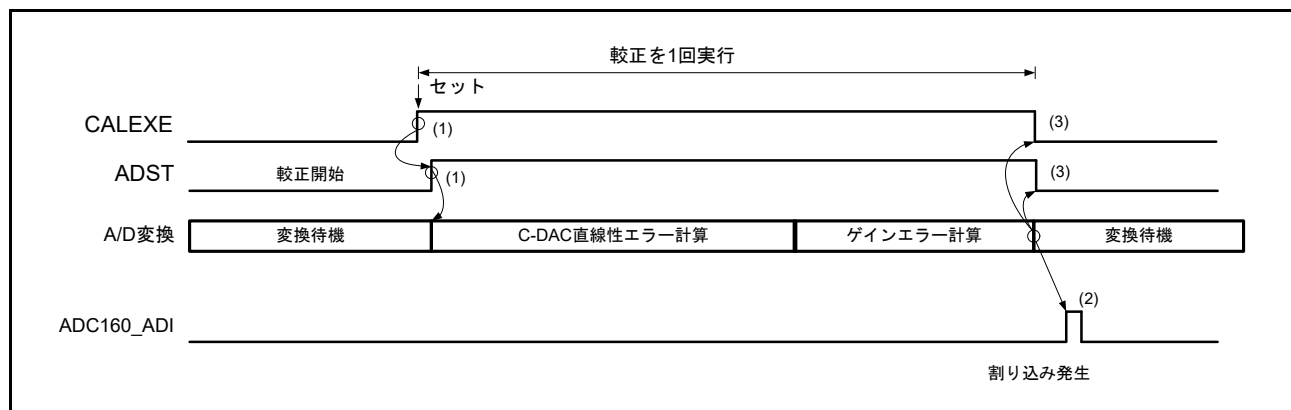


図 32.34 キャリブレーション動作例 (C-DAC 直線性誤差計算およびゲイン誤差計算)

図 32.35 にソフトウェアフローおよび動作例を示します。

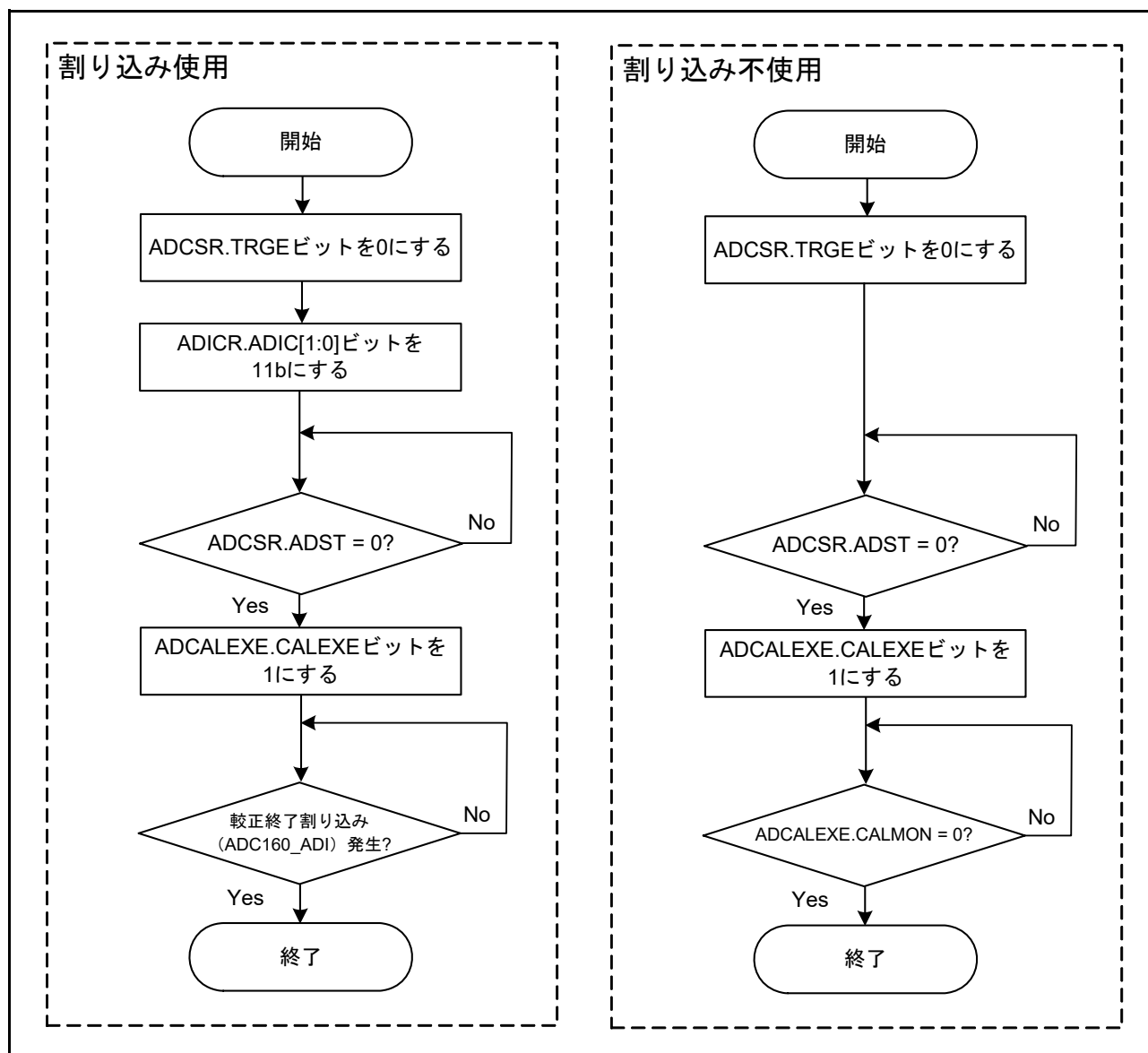


図 32.35 キャリブレーション動作のソフトウェアフローおよび動作例

32.3.15 キャリブレーション時間

キャリブレーション動作では、キャリブレーション開始遅延時間 (t_{SDCAL}) 後、C-DAC 直線性誤差計算 (t_{CDAC}) およびゲイン誤差計算 (t_{GAIN}) が実行されます。ゲイン誤差計算後 ADICR.ADIC[1:0] ビットが 11b になると、割り込みが出力され (t_{EDCAL})、キャリブレーションが完了します。

キャリブレーション時間 (t_{CAL}) とは、キャリブレーション開始遅延時間、C-DAC 直線性誤差計算時間、ゲイン誤差計算時間、およびキャリブレーション終了遅延時間の合計で、下記の式で表されます。

$$t_{CAL} = t_{SDCAL} + t_{CDAC} + t_{GAIN} + t_{EDCAL}$$

表 32.16 必要なキャリブレーション時間 (ADCLKサイクル数およびPCLKBサイクル数)

項目	シンボル	ソフトウェアトリガ	単位
キャリブレーション開始遅延時間	t_{SDCAL}	9PCLKB + 3ADCLK (注1)	サイクル
C-DAC直線性誤差計算時間	t_{CDAC}	770048ADCLK	
ゲイン誤差補正計算時間	t_{GAIN}	4864ADCLK	
キャリブレーション終了遅延時間	t_{EDCAL}	3PCLKB + 15ADCLK (注2)	
キャリブレーション時間	t_{CAL}	約 24.22 (注3)	ms

注 1. ソフトウェア書き込みから A/D 変換開始までの最大時間

注 2. キャリブレーション終了から割り込み出力までの最大時間

注 3. ADCLK = PCLKB = 32MHz 時

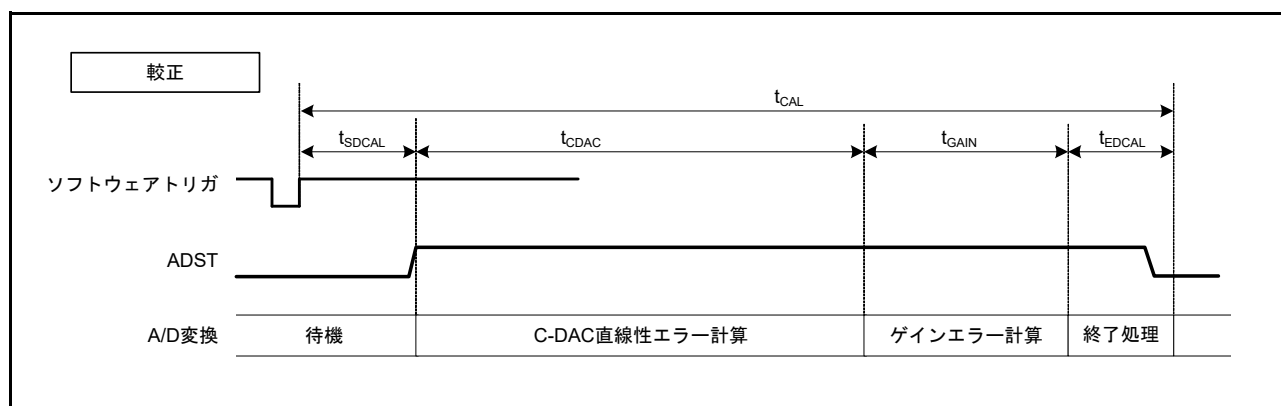


図 32.36 キャリブレーションタイミング

32.4 割り込み要因と DTC 転送要求

32.4.1 割り込み要求

ADC16 は、スキャン終了割り込み要求 (ADC160_ADI および ADC160_GBADI)、コンペア割り込み要求 (ADC160_CMPAI および ADC160_CMPBI)、およびキャリブレーション終了割り込み要求 (ADC160_ADI) を CPU へ送信することが可能です。

ADC160_ADI 割り込みは常時発生し、ADC160_GBADI 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC160_CMPAI および ADC160_CMPBI 割り込みは ADCMPCR.CMPAIE ビットおよび ADCMPCR.CMPBIE ビットを 1 にすることで発生させることができます。

キャリブレーション終了割り込み要求 (ADC160_ADI) を使用するときは、A/D 割り込みコントロールビット (ADICR.ADIC[1:0]) を 11b にしてください。A/D スキャン終了割り込み要求および ELC イベント信号 (ADC160_ADI) を使用するときは、A/D 割り込みコントロールビット (ADICR.ADIC[1:0]) を 00b にしてください。

また、ADC160_ADI または ADC160_GBADI 割り込み発生時に DTC を起動できます。ADC160_ADI または ADC160_GBADI 割り込みで変換されたデータの読み出しを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 32.17 割り込み要因およびADC16のELCイベント

○ : 使用可能 x : 使用不可

動作			割り込み要求または ELC イベント	各割り込み要因	DTC の起動	ELC イベント	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウ A/B					
シングルスキャンモード	非選択	非選択	ADC160_ADI (注1)	○	○	○	シングルスキャンの最後にADC160_ADI発生
			ADC160_ADI (注1)	○	○	○	シングルスキャンの最後にADC160_ADI発生
			ADC160_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC160_CMPAI発生
			ADC160_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC160_CMPBI発生
			ADC160_WCMPPM	x	○	○	ウィンドウA/Bコンペア機能の条件一致でADC160_WCMPPM発生
			ADC160_WCMPUM	x	○	○	ウィンドウA/Bコンペア機能の条件不一致でADC160_WCMPUM発生
連続スキャンモード	非選択	非選択	ADC160_ADI (注1)	○	○	○	偶数回数のスキャン終了時にADC160_ADI発生
		選択	ADC160_ADI (注1)	○	○	○	選択したすべてのチャンネルのスキャン終了時にADC160_ADI発生
			ADC160_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC160_CMPAI発生
	選択	選択	ADC160_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC160_CMPBI発生
			ADC160_ADI (注1)	○	○	○	グループAのスキャン終了時にADC160_ADI発生
グループスキャンモード	非選択	非選択	ADC160_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC160_GBADI発生
			ADC160_ADI (注1)	○	○	○	グループAのスキャン終了時にADC160_ADI発生
		選択	ADC160_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC160_GBADI発生
			ADC160_ADI (注1)	○	○	○	グループAのスキャン終了時にADC160_ADI発生
			ADC160_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC160_CMPAI発生
			ADC160_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC160_CMPBI発生
	選択	非選択	ADC160_ADI (注1)	○	○	○	偶数回数のグループAのスキャン終了時にADC160_ADI発生
			ADC160_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC160_GBADI発生
キャリブレーションモード	非選択	非選択	ADC160_ADI (注2)	○	○	○	キャリブレーション終了時ADC160_ADI発生

注 1. A/D 割り込みコントロールビット (ADICR.ADIC[1:0]) を 00b にしてください。

注 2. A/D 割り込みコントロールビット (ADICR.ADIC[1:0]) を 11b にしてください。

DTC の設定値詳細は、「16. データトランスファコントローラ (DTC)」を参照してください。

32.5 イベントリンク機能

32.5.1 ELC へのイベント出力

ELC は、ADC160_ADI 割り込み要求信号をイベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ADC160_GBADI 割り込みおよび ADC160_CMPAI/ADC160_CMPBI 割り込みをイベント信号として使用することはできません。詳細は、[表 32.17](#) を参照してください。

32.5.2 ELC からのイベントによる ADC16 の動作

ADC16 は、以下のように、ELC の ELSRn 設定で指定した事前設定イベント信号によって A/D 変換を開始できます。

- ELC.ELSR8 レジスタで ELC_AD00 信号を選択
- ELC.ELSR9 レジスタで ELC_AD01 信号を選択

A/D 変換中に ELC_AD00/ELC_AD01 のイベントが発生した場合、そのイベントは無視されます。

32.6 基準電圧の選択

ADC16 は高電位基準電圧に VREFH0 または VREFADC を、低電位基準電圧に VREFL0 を選択できます。これらの設定は A/D 変換開始前に行ってください。基準電圧設定の詳細は、[32.2.33 A/D 専用基準電圧回路コントロールレジスタ \(VREFAMPCNT\)](#) を参照してください。[図 32.37](#) に、VREFADC の起動フローを示します。

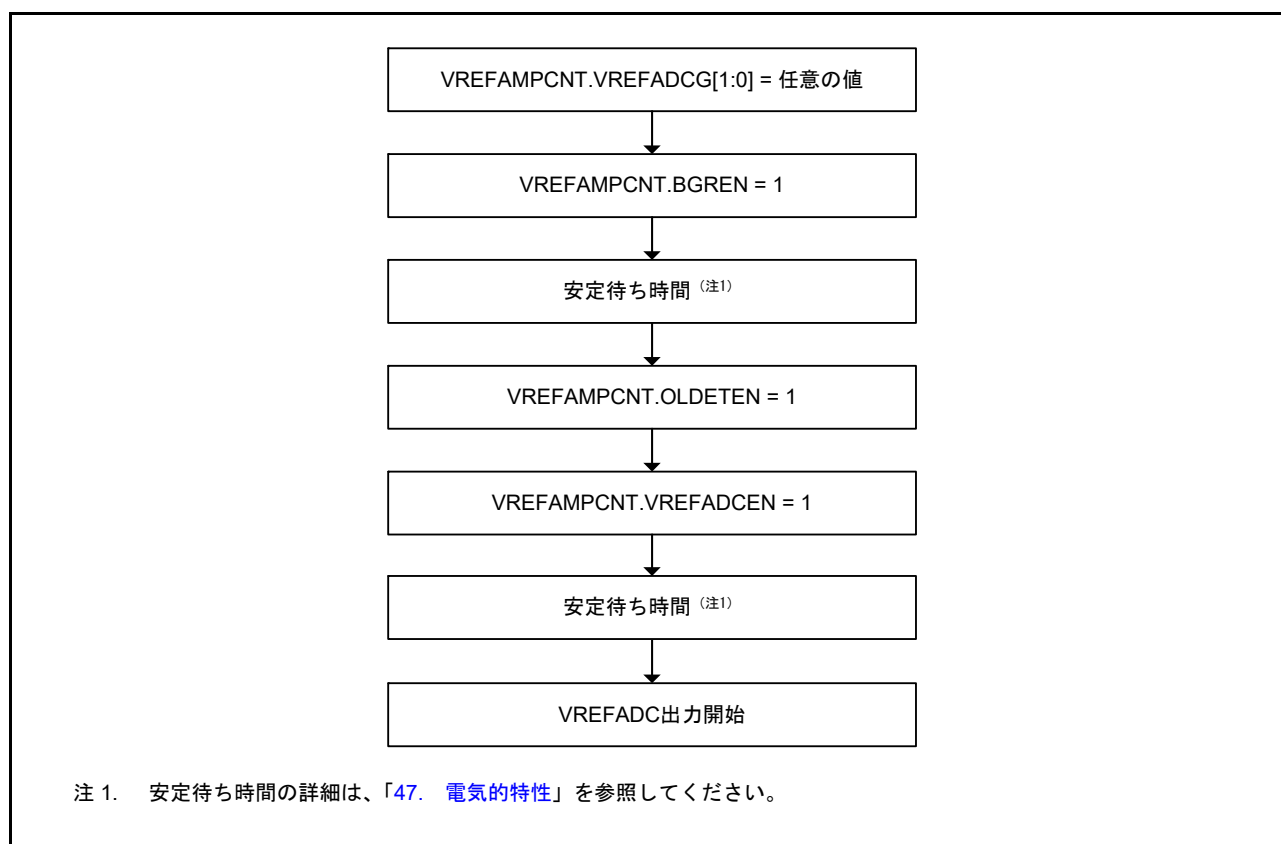


図 32.37 VREFADC 起動フロー

32.7 使用上の注意事項

32.7.1 データレジスタの読み出し注意事項

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイト／下位バイトの 2 回に分けてレジスタを読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

32.7.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、[図 32.38](#) のフローチャートの手順に従ってください。

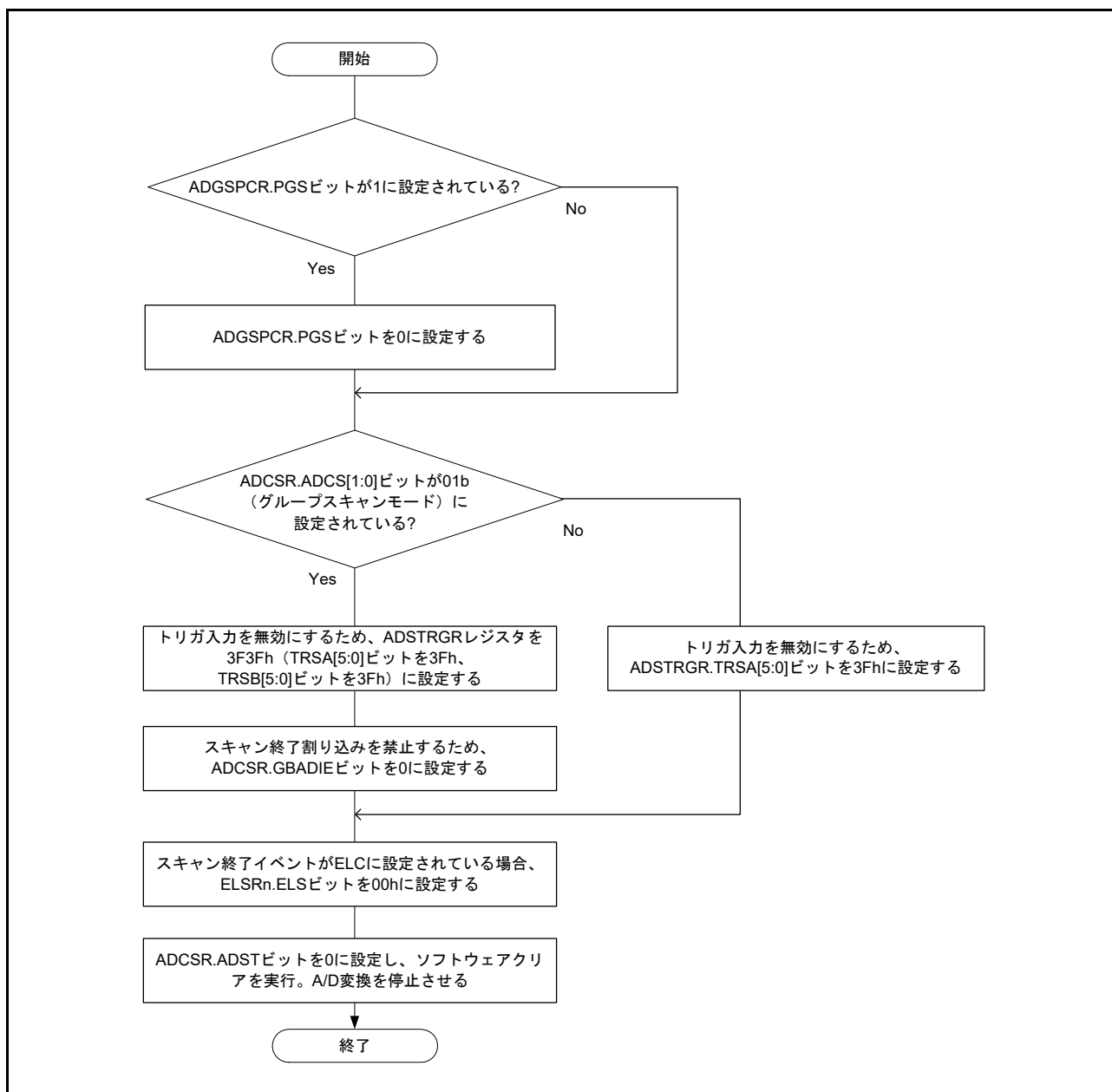


図 32.38 ソフトウェアによる ADCSR.ADST ビットのクリア手順

32.7.3 A/D 変換強制停止と再開時の動作タイミング

ADC16 の停止状態のアナログ部を ADCSR.ADST ビットへの 1 書き込み時に再開するには、ADCLK で最大 6 クロックの時間を必要とします。ADC16 の動作中のアナログ部を ADCSR.ADST ビットへの 0 書き込み時に強制終了するには、ADCLK で最大 3 クロックの時間を必要とします。

32.7.4 スキャン終了割り込み処理の制約事項

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。この現象は、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていない場合に発生します。

32.7.5 モジュールストップ状態の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、ADC16 の動作を禁止／許可することが可能です。ADC16 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、A/D 変換を開始する前に状態が安定するまで待機します。安定時間は、「[47. 電气的特性](#)」を参照してください。詳細は、「[11. 低消費電力モード](#)」を参照してください。

32.7.6 低消費電力状態への遷移時の制約

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。ADCSR.ADST ビットを 0 にし、ADC16 のアナログ部が停止するまでの時間を確保する必要があります。ソフトウェアで ADCSR.ADST ビットをクリアするには、[図 32.38](#) に示す手順に従ってください。その後、ADCLK の 3 クロック期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

32.7.7 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシストを使用する場合、ADC16 の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ／プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力されるために生じます。

断線検出アシスト機能は、十分な評価の上で使用してください。

32.7.8 動作モードおよびステータスビット

自己診断の電圧値、ダブルトリガモードでの 1 回目または 2 回目のスキャンの値、データバッファポインタ、コンペア機能のステータスマニタについては、それぞれ必要に応じて初期化または再設定を行ってください。

- 自己診断の電圧値 ADCER.DIAGVAL[1:0] は、ADCER.DIAGLD を 1 に設定してから選択すること
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキャンとして動作する
- コンペア機能のステータスマニタビット (MONCMPA、MONCMPB、および MONCOMB) は、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にした後、初期化される

32.7.9 ボード設計に関する注意事項

デジタル回路とアナログ回路の間ができるだけ離れるように、ボードを設計してください。また、デジタル信号線とアナログ信号線は、交差させたり互いに近づけたりしないでください。これらの規則に従わないと、アナログ信号にノイズが発生し、A/D 変換精度に影響を及ぼします。アナログ入力端子 (AN000 ~ AN008、AN016 ~ AN023)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、およびアナログ電源 (AVCC0) は、アナロググランド (AVSS0) を使用したデジタル回路と距離を離すようにしてください。アナロググランド端子 (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に接続してください (単一グランドプレーン接続)。

32.7.10 ノイズ軽減

過剰電圧などの異常電圧によってアナログ入力端子 (AN000 ~ AN008、AN016 ~ AN023) が破壊されないように、AVCC0 および AVSS0 間、ならびに VREFH0 および VREFL0 間にコンデンサを設置する必要があります。また、アナログ入力端子 (AN000 ~ AN008、AN016 ~ AN023) を保護するために保護回路を接続してください。図 32.39 に、VREFH0 が ADC16 の高電位基準電圧として選択されている場合のアナログ入力保護回路例を示します。

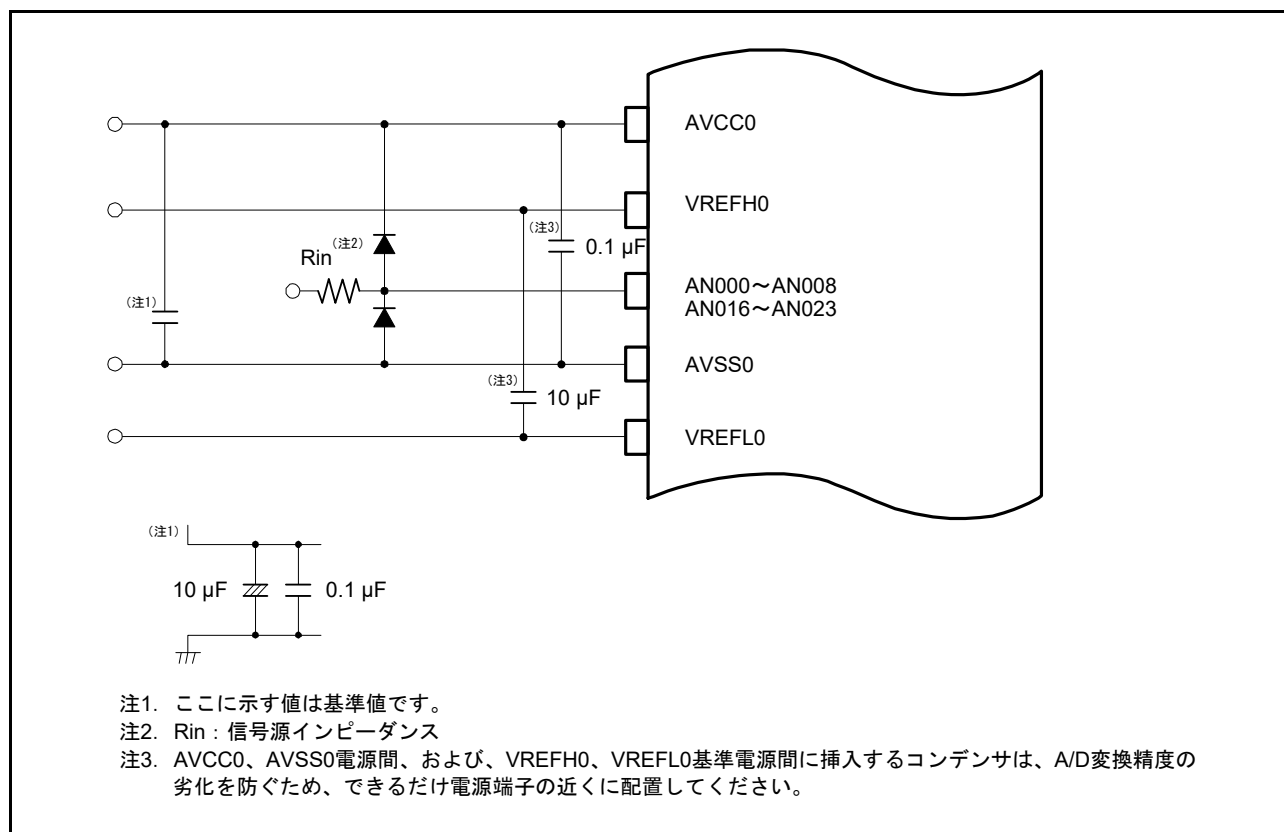


図 32.39 VREFH0 が ADC16 の高電位基準電圧として選択されている場合のアナログ入力保護回路例

図 32.40 に、VREFADC が ADC16 の高電位基準電圧として選択されている場合のアナログ入力保護回路例を示します。

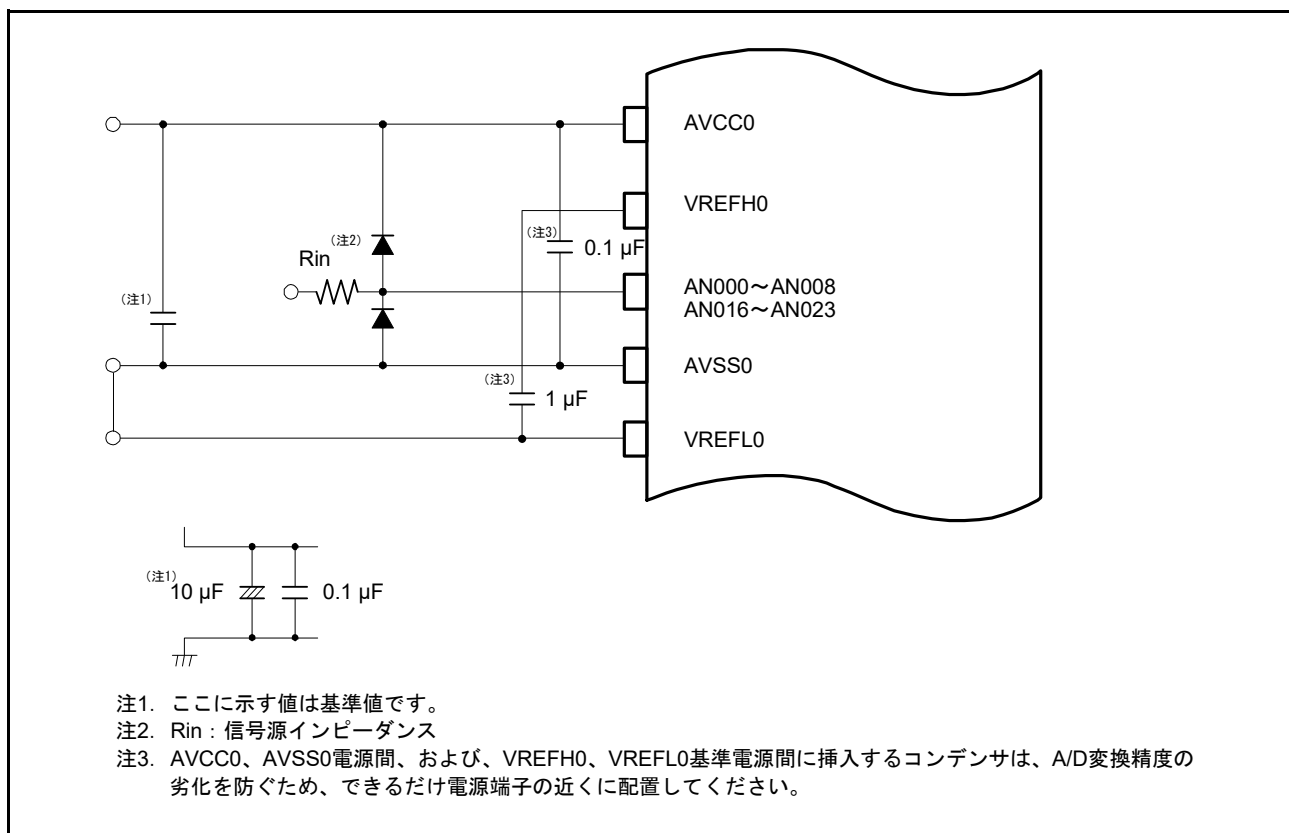


図 32.40 VREFADC が ADC16 の高電位基準電圧として選択されている場合のアナログ入力保護回路例

32.7.11 16 ビット A/D コンバータ入力使用時のポート設定

16 ビット A/D コンバータを使用する場合は、PORT0 と PORT5 を汎用入出力、周辺機能入出力、および IRQn 入力として使用しないでください。また、通常精度チャネルを使用する場合は、P100 ~ P107 を汎用入出力、周辺機能入出力、および IRQn 入力として使用しないでください。

32.7.12 ADC16、OPAMP、ACMPHS、SDADC24 の関係

表 32.18 に示す A/D 変換対象は、A/D 変換中の OPAMP、ACMPHS、および SDADC24 入力に選択できません。

表 32.18 A/D 変換中に選択すべきでない OPAMP、ACMPHS、および SDADC24 端子

16 ビット A/D 変換対象	OPAMP	ACMPHS	SDADC24
AN000	AMP0+	IVCMP0	—
AN001	AMP0-	IVREF0	—
AN004	AMP1-	IVREF1	—
AN005	AMP1+	IVCMP1	—
AN006	AMP2-	—	—
AN007	AMP2+	—	—
AN016	—	IVCMP2	ANS00P
AN017	—	IVREF2	ANS00N
AN018	—	—	ANS01P
AN019	—	—	ANS01N
AN020	—	—	ANS02P
AN021	—	—	ANS02N
AN022	—	—	ANS03P
AN023	—	—	ANS03N

32.7.13 ソフトウェアスタンバイモードの解除についての注意事項

ソフトウェアスタンバイモードから通常モードへの遷移後は、A/D 変換を開始する前に状態が安定するまで待機します。安定時間は、「47. 電氣的特性」を参照してください。

32.7.14 キャリブレーション機能に関する注意事項

ADC16 は出荷時にキャリブレーションを行っています。

キャリブレーション機能を使用する場合は、アナログ部の電源、基準電源、および ADCLK が安定している環境であることを必ず確認するようにしてください。不安定な環境でキャリブレーションを実行すると、A/D 変換精度は、出荷時よりも劣化する可能性があります。

33. 24 ビットシグマデルタ A/D コンバータ (SDADC24)

33.1 概要

表 33.1 に 24 ビットシグマデルタ A/D コンバータ (SDADC24) の仕様を、図 33.1 にブロック図を示します。

表 33.1 SDADC24 の仕様 (1/2)

項目	内容
入力チャネル	シングルエンド入力モード：最大 10 チャネル (注1) (外部入力：8 チャネル、内部 OPAMP からの入力：2 チャネル) 差動入力モード：最大 5 チャネル (外部入力：4 チャネル、内部 OPAMP からの入力：1 チャネル)
A/D 変換方式	シグマデルタ変換方式
分解能	24 ビット
アナログ入力	- シングルエンド入力 - 正チャネルと負チャネルの両方のシングルエンド入力で変換可能 - 差動入力
オーバーサンプリング周波数	- 通常の A/D 変換モード：1MHz - 低消費電力 A/D 変換モード：0.125MHz
電力制御	- VBIAS、PGA、およびシグマデルタ A/D コンバータ電源に対して電源 ON/OFF の選択可能 - ADBGR、SBIAS、および ADREG 電源に対して電源 ON/OFF の選択可能 - VREF 基準電圧 (SBIAS/VREFI) 設定可能 (単位：0.2V、範囲：0.8～2.4V) - 注：2.4V は外部 VREF (VREFI) モードでのみ設定可能 - センサ基準電圧 (SBIAS) は個別に起動可能
プログラマブルゲイン計装アンプ (PGA)	- 計装アンプのゲインはチャネルごとに設定可能 (GSET1 と GSET2 の組み合わせで $\times 1 \sim \times 32$ が設定可能) - 前段アンプの GSET1 範囲：1, 2, 3, 4, 8 - 次段アンプの GSET2 範囲：1, 2, 4, 8 - オフセット電圧は、次段アンプに接続された D/A コンバータを使用することによりチャネルごとに調整可能 - オフセット電圧調整 (-164～+164mV、31 レベル：5 ビット) - PGA オフセットは、自己診断として測定可能 - 断線検出アシスト：シングルエンド入力モード時正側と負側の両方で可能
データレジスタ	- A/D 変換結果レジスタ 1 本および A/D 変換平均値レジスタ 1 本： - A/D 変換結果に対応するチャネル番号は特殊レジスタで確認可能 - A/D 変換結果用にオーバーフローフラグあり - 差動入力モード：コードは 2 の補数 - シングルエンド入力モード：ストレートバイナリ - シングルエンド負チャネルの変換結果には反転出力を選択可能
動作クロック	24 ビットシグマデルタ A/D コンバータ基準クロックは、SDADC24 動作モードに従って、クロック生成回路が出力する周辺クロックから生成されます。1/1、1/2、1/3、1/4、1/5、1/6、1/8、1/12、または 1/16 を選択可能 - SDADC24 基準クロック/オーバーサンプリングクロックは以下のようにモードにより変わります。 - 通常の A/D 変換モード：4MHz/1MHz - 低消費電力 A/D 変換モード：500kHz/125kHz - 注：A/D コンバータが低消費電力 A/D 変換モードの場合、SDADC24 基準クロックの指定周波数は、内部分周器により 8 分周されます。
変換開始条件	- ソフトウェアトリガ - ハードウェアトリガ (ELC_SDADC24)
動作モード	- 連続スキャンモード - シングルスキャンモード - ワンショット動作
オーバーサンプリング率	64、128、256、512、1024、または 2048 を選択可能 - チャネルごとに設定可能

表 33.1 SDADC24の仕様 (2/2)

項目	内容
A/D 変換回数	- オートのキャンの1サイクルについて、A/D 変換回数を設定し、A/D 変換回数指定モードを選択できます。 1. レジスタ設定値には、1～8032 (N) を指定してください。 $N = 32 \times (2^n - 1) + m \times 2^n$ (mおよびnは、PGAC0～PGAC4 レジスタに設定されている値に対応します。 m : b16～b20、n : b21～b23 N = 00h の場合、1つのA/D 変換が終了したとき停止するワンショット動作が設定されます。) 2. レジスタ設定値には、1～255 (N) をリニアに指定してください。 (NはPGAC0～PGAC4 レジスタに設定された値に対応します。N : b16～b23 N = 00h の場合、A/D 変換が終了するたびに停止するワンショット動作が設定されます。) A/D 変換回数は、チャンネルごとに設定可能です。
A/D 変換結果の平均処理	- 平均動作を選択可能 1. 平均動作を行わない 2. 平均動作を実行し、A/D 変換が起きるたびにSDADC24変換終了割り込みをトリガ 3. 平均動作を実行し、平均値が更新されるたびにSDADC24変換終了割り込みをトリガ - 平均対象のデータ項目数は、8、16、32、または64を選択可能 - 注：平均対象のデータ項目数はチャンネルごとに設定可能
割り込み要因	- A/D 変換終了割り込み (SDADC_ADI) - A/D 自動スキャン完了割り込み (SDADC_SCANEND) - キャリブレーション完了割り込み (SDADC_CALIEND)
SDADC24の動作	- 各チャンネルのA/D 変換はラウンドロビン方式で実行 - 特定チャンネルのA/D 変換は、各チャンネルの許可/停止レジスタにより停止可能
デジタルフィルタ	SINC3 デジタルフィルタを使って A/D 変換結果のダウンサンプリングを実行
SDADC24 キャリブレーション	キャリブレーションによりアナログ特性を補正可能 (ゲイン誤差およびオフセット誤差)

注 1. A/D 変換を同時に実行できるチャンネル数は、最大 5 チャンネルです。

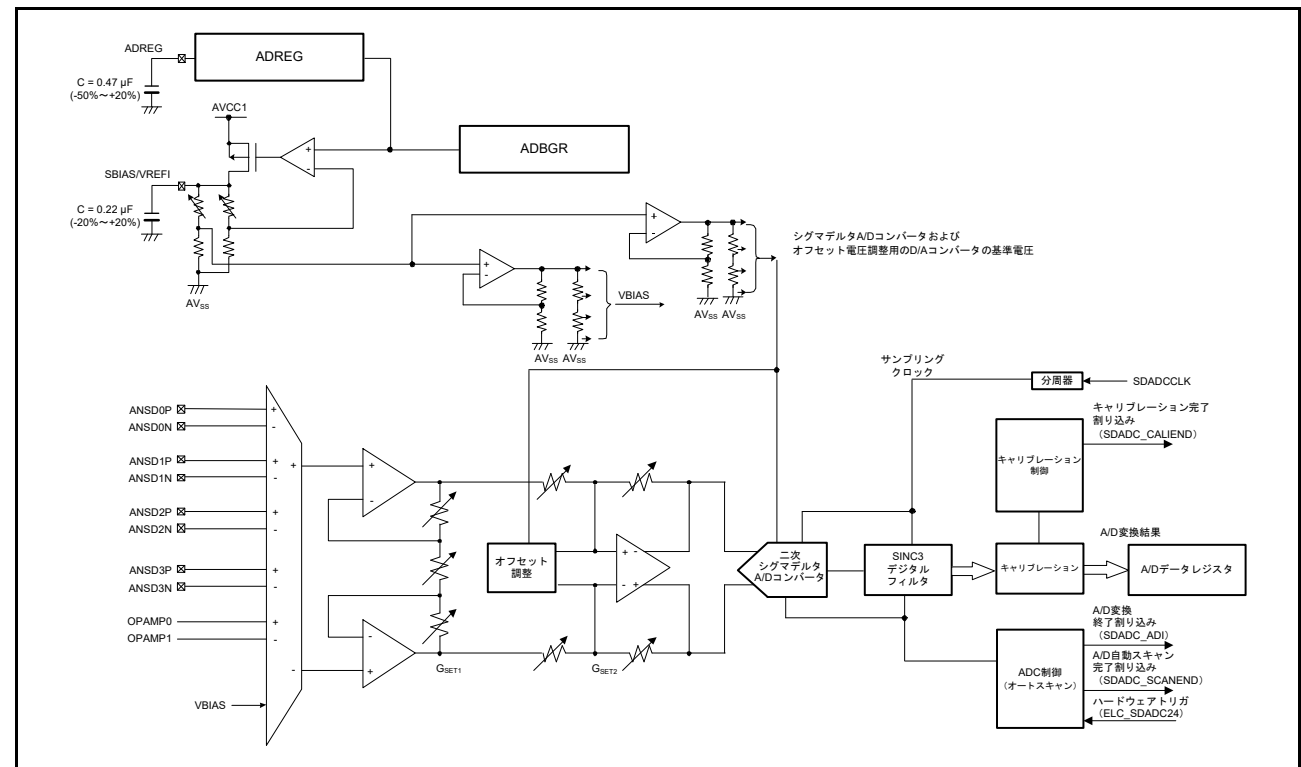


図 33.1 SDADC24 のブロック図

SDADC24 の端子構成を表 33.2 に示します。

表 33.2 SDADC24 の入出力端子

端子名	入出力	機能
AVCC1	入力	アナログ部の電源端子
AVSS1	入力	アナログ部の電源グランド端子
ADREG	入出力	PGAおよびシグマデルタ A/D コンバータ用の電源端子
SBIAS/VREFI	入力	外部基準電圧入力端子 (VREFI)
	出力	センサ電源端子 (SBIAS)
ANSD0P ~ ANSD3P、ANSD0N ~ ANSD3N	入力	アナログ入力端子

33.2 レジスタの説明

33.2.1 起動コントロールレジスタ 1 (STC1)

アドレス SDADC24.STC1 4009 C000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VREFSEL	—	—	—	VSBIAS[3:0]			SDADLPM	—	—	—	CLKDIV[3:0]				
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CLKDIV[3:0] (注1)	SDADC24 基準クロック 分周選択	b3 b2 b1 b0 0 0 0 0 : SDADCCLK (分周なし) 0 0 0 1 : SDADCCLK/2 (1/2) 0 0 1 0 : SDADCCLK/3 (1/3) 0 0 1 1 : SDADCCLK/4 (1/4) 0 1 0 0 : SDADCCLK/5 (1/5) 0 1 0 1 : SDADCCLK/6 (1/6) 0 1 1 0 : SDADCCLK/8 (1/8) 0 1 1 1 : SDADCCLK/12 (1/12) 1 0 0 0 : SDADCCLK/16 (1/16) 上記以外は設定しないでください。	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SDADLPM (注1)	A/D 変換動作モード選択	0 : 通常 A/D 変換モード SDADC24 基準クロック : 4MHz オーバーサンプリングクロック : 1MHz 1 : 低消費電力 A/D 変換モード SDADC24 基準クロック : 500kHz オーバーサンプリングクロック : 125kHz (通常 A/D 変換モードではクロックの 1/8)	R/W
b11-b8	VSBIAS[3:0]	基準電圧選択	b11 b10 b9 b8 0 0 0 0 : 0.8V 0 0 0 1 : 1.0V 0 0 1 0 : 1.2V 0 0 1 1 : 1.4V 0 1 0 0 : 1.6V 0 1 0 1 : 1.8V 0 1 1 0 : 2.0V 0 1 1 1 : 2.2V 1 1 1 1 : 2.4V (本電圧は VREFSEL = 1 の場合のみ設定可能) 上記以外は設定しないでください。	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	VREFSEL	VREF モード選択	0 : 内部 VREF モード 1 : 外部 VREF モード	R/W

注. ADC1.SDADTMD、ADC2.SDADST、および CLBSSR.CLBSS ビットが 0 の場合のみ STC1 レジスタを設定してください。

注 1. これらのビットは、SDADCCLK クロック停止時 (SYSTEM.SDADCCCKR.SDADCCKEN = 0) かつ ADBGR 電源オフ時 (STC2.BGRPON = 0) に設定してください。

CLKDIV[3:0] ビット (SDADC24 基準クロック分周選択)

SDADC24 基準クロックは、CLKDIV[3:0] ビットに従って、SDADC24 クロック (SDADCCLK) を分周することにより生成されます。CLKDIV[3:0] ビットは、SDADCCLK の分周比を選択します。分周なし、1/2、1/3、1/4、1/5、1/6、1/8、1/12、または 1/16 を選択可能です。

SDADC24 基準クロックが 4MHz で出力されるように、CLKDIV[3:0] ビットを設定してください。A/D コンバータが低消費電力 A/D 変換モードの場合、SDADC24 基準クロックの指定周波数は、内部分周器により自動的に 8 分周 (500kHz) されます。

SDADLPM ビット (A/D 変換動作モード選択)

通常の A/D 変換モードか低消費電力モードかを選択します。

VSBIAS[3:0] ビット (基準電圧選択)

内部 VREF モード (VREFSEL = 0) の場合、センサ基準電圧の出力電圧値を選択してください。

外部 VREF モード (VREFSEL = 1) の場合、外部から入力される基準電圧入力値を選択してください。

注. 2.4V は、外部 VREF モード (VREFSEL = 1) でのみ選択可能です。

VREFSEL ビット (VREF モード選択)

センサ用基準電圧の VREF モードを制御します。

33.2.2 起動コントロールレジスタ 2 (STC2)

アドレス SDADC24.STC2 4009 C004h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	ADFP WDS	ADCPON	BGRPON
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BGRPON	BGR 部電力制御	0 : ADBGR、SBIAS、および ADREG の電源を OFF にする 1 : ADBGR、SBIAS、および ADREG の電源を ON にする	R/W
b1	ADCPON	ADC 基準供給部電力制御	0 : VBIAS、PGA および シグマデルタ A/D コンバータの電源を OFF にする 1 : VBIAS、PGA および シグマデルタ A/D コンバータの電源を ON にする	R/W
b2	ADFPWDS	ADREG 強制パワーダウンモード	0 : ADREG 電源は BGRPON 設定により制御 1 : ADREG 電源のみ BGRPON 設定と関係なく OFF	R/W
b7-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ADC1.SDADTMD、ADC2.SDADST、および CLBSSR.CLBSS ビットが 0 の場合のみ STC2 レジスタを設定してください。

BGRPON ビット (BGR 部電力制御)

ADBGR、SBIAS、および ADREG の電源の ON/OFF を制御します。

ADCPON ビット (ADC 基準供給部電力制御)

VBIAS、PGA および シグマデルタ A/D コンバータの電源の ON/OFF を制御します。

ADFPWDS ビット (ADREG 強制パワーダウンモード)

ADFPWDS ビットが 1 になると、ADREG の電源が OFF になります。ADFPWDS ビットと ADCPON ビットを同時に 1 にすることは禁止です。ADFPWDS ビットおよび BGRPON ビットの詳細設定および電源状態については、[33.3.3.2 SBIAS の独立動作](#)を参照してください。

33.2.3 入力マルチプレクサ n 設定レジスタ (PGACn) (n = 0 ~ 4)

アドレス SDADC24.PGAC0 4009 C008h, SDADC24.PGAC1 4009 C00Ch, SDADC24.PGAC2 4009 C010h, SDADC24.PGAC3 4009 C014h
SDADC24.PGAC4 4009 C018h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
PGAAS N	PGACV E	—	PGARE V	PGAAVE[1:0]	PGAASN[1:0]	PGACTN[2:0]	PGACTM[4:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PGASE L	PGAPO L	—	PGAOS[4:0]				PGAOSR[2:0]	PGAGC[4:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PGAGC[4:0]	プログラマブルゲイン計装 アンプゲイン選択	b4 b3 b2 b1 b0 : (G _{SET1} , G _{SET2} , G _{TOTAL}) 0 0 0 0 0 : (1, 1, 1) (注1) 0 0 1 0 0 : (2, 1, 2) 0 1 0 0 0 : (3, 1, 3) 0 1 1 0 0 : (4, 1, 4) 1 0 0 0 0 : (8, 1, 8) 0 0 0 0 1 : (1, 2, 2) 0 0 1 0 1 : (2, 2, 4) 0 1 0 0 1 : (3, 2, 6) 0 1 1 0 1 : (4, 2, 8) 1 0 0 0 1 : (8, 2, 16) 0 0 0 1 0 : (1, 4, 4) 0 0 1 1 0 : (2, 4, 8) 0 1 0 1 0 : (3, 4, 12) 0 1 1 1 0 : (4, 4, 16) 1 0 0 1 0 : (8, 4, 32) 0 0 0 1 1 : (1, 8, 8) 0 0 1 1 1 : (2, 8, 16) 0 1 0 1 1 : (3, 8, 24) 0 1 1 1 1 : (4, 8, 32) 上記以外は設定しないでください。	R/W
b7-b5	PGAOSR[2:0]	オーバーサンプリング率選 択	b7 b6 b5 0 0 0 : 64 0 0 1 : 128 0 1 0 : 256 (注1) 0 1 1 : 512 1 0 0 : 1024 1 0 1 : 2048 上記以外は設定しないでください。	R/W
b12-b8	PGAOS[4:0]	オフセット電圧選択	b12 b11 b10 b9 b8 1 0 0 0 1 : -164.06 / G _{SET1} 1 0 0 1 0 : -153.13 / G _{SET1} : 0 0 0 0 0 : 0 (注1) : 0 1 1 0 1 : +142.19 / G _{SET1} 0 1 1 1 0 : +153.13 / G _{SET1} 0 1 1 1 1 : +164.06 / G _{SET1}	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	PGAPOL	極性選択	0 : 正側シングルエンド入力 1 : 負側シングルエンド入力	R/W
b15	PGASEL	アナログチャネル入力モー ド選択	0 : 差動入力モード 1 : シングルエンド入力モード (注1)	R/W

ビット	シンボル	ビット名	機能	R/W
b20-b16	PGACTM[4:0]	オートスキャン時 A/D 変換回数 (N) 係数 (m) 選択	オートスキャンでの A/D 変換回数 (N) の係数 (m) 設定ビット b20 b19 b18 b17 b16 0 0 0 0 0 : 0 0 0 0 0 1 : 1 0 0 0 1 0 : 2 : 1 0 0 0 0 : 16 : 1 1 1 0 1 : 29 1 1 1 1 0 : 30 1 1 1 1 1 : 31	R/W
b23-b21	PGACTN[2:0]	オートスキャン時 A/D 変換回数 (N) 係数 (n) 選択	オートスキャンでの A/D 変換回数 (N) の係数 (n) 設定ビット b23 b22 b21 0 0 0 : 0 0 0 1 : 1 0 1 0 : 2 0 1 1 : 3 1 0 0 : 4 1 0 1 : 5 1 1 0 : 6 1 1 1 : 7	R/W
b25-b24	PGAAVN[1:0]	平均対象データ数選択	b25 b24 0 0 : 8 0 1 : 16 1 0 : 32 1 1 : 64	R/W
b27-b26	PGAAVE[1:0]	平均処理選択	b27 b26 0 0 : A/D 変換結果を平均しない 0 1 : A/D 変換結果を平均しない 1 0 : A/D 変換結果を平均し、A/D 変換が起きるたびに SDADC_ADI を発生 1 1 : 平均処理を実行し、平均値が出力されるたびに SDADC_ADI を発生 (A/D 変換は N 回実行)	R/W
b28	PGAREV	シングルエンド入力 A/D 変換データ反転選択	本ビットは、シングルエンド入力負側の A/D 変換データのデータ表示を選択します。 0 : 変換結果データを反転しない 1 : 変換結果データを反転する	R/W
b29	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b30	PGACVE	キャリブレーションイネーブル	0 : キャリブレーション補正係数を計算しない 1 : キャリブレーション補正係数を計算する	R/W
b31	PGAASN	ADSCAN 時 A/D 変換回数指定モード選択	0 : PGACTN[2:0] および PGACTM[4:0] ビットに設定された値を使って 1~8032 回を指定 1 : PGACTN[2:0] および PGACTM[4:0] ビットに設定された値を使って 1~255 回をリニアに指定	R/W

注 . ADC1.SDADTMD、ADC2.SDADST、および CLBSSR.CLBSS ビットが 0 の場合のみ PGACn レジスタを設定してください。

注 1. シングルエンド入力使用時、 $d_{OFR} = 0\text{mV}$ 、 $G_{SET1} = 1$ 、 $G_{SET2} = 1$ かつ $OSR = 256$ をサポート

PGAGC[4:0] ビット (プログラマブルゲイン計装アンプゲイン選択)

プログラマブルゲイン計装アンプのゲインを設定します。

G_{SET1} 、 G_{SET2} 、および G_{TOTAL} と PGA の内部振幅の詳細関係については、33.3.6 プログラマブルゲイン計装アンプ (PGA) を参照してください。

PGAOSR[2:0] ビット (オーバーサンプリング率選択)

データ速度 (A/D 変換結果の出力周波数) を 64、128、256、512、1024、または 2048 として設定します。

PGAOFSS[4:0] ビット (オフセット電圧選択)

オフセット電圧を設定します。

表 33.3 に、オフセット電圧 d_{OFR} (オフセット電圧調整用の D/A コンバータの出力電圧を入力に変換して計算された値) を示します。

表 33.3 PGAOFS[4:0] ビットによる d_{OFR} 設定

PGAOF5[4:0]					$d_{OFR}[mV]$	備考
[4]	[3]	[2]	[1]	[0]		
1	0	0	0	0	-	設定禁止
1	0	0	0	1	$-164.06 / G_{SET1}$	-
1	0	0	1	0	$-153.13 / G_{SET1}$	-
1	0	0	1	1	$-142.19 / G_{SET1}$	-
1	0	1	0	0	$-131.25 / G_{SET1}$	-
1	0	1	0	1	$-120.31 / G_{SET1}$	-
1	0	1	1	0	$-109.38 / G_{SET1}$	-
1	0	1	1	1	$-98.44 / G_{SET1}$	-
1	1	0	0	0	$-87.50 / G_{SET1}$	-
1	1	0	0	1	$-76.56 / G_{SET1}$	-
1	1	0	1	0	$-65.63 / G_{SET1}$	-
1	1	0	1	1	$-54.69 / G_{SET1}$	-
1	1	1	0	0	$-43.75 / G_{SET1}$	-
1	1	1	0	1	$-32.81 / G_{SET1}$	-
1	1	1	1	0	$-21.88 / G_{SET1}$	-
1	1	1	1	1	$-10.94 / G_{SET1}$	-
0	0	0	0	0	$0.00 / G_{SET1}$	デフォルト
0	0	0	0	1	$10.94 / G_{SET1}$	-
0	0	0	1	0	$21.88 / G_{SET1}$	-
0	0	0	1	1	$32.81 / G_{SET1}$	-
0	0	1	0	0	$43.75 / G_{SET1}$	-
0	0	1	0	1	$54.69 / G_{SET1}$	-
0	0	1	1	0	$65.63 / G_{SET1}$	-
0	0	1	1	1	$76.56 / G_{SET1}$	-
0	1	0	0	0	$87.50 / G_{SET1}$	-
0	1	0	0	1	$98.44 / G_{SET1}$	-
0	1	0	1	0	$109.38 / G_{SET1}$	-
0	1	0	1	1	$120.31 / G_{SET1}$	-
0	1	1	0	0	$131.25 / G_{SET1}$	-
0	1	1	0	1	$142.19 / G_{SET1}$	-
0	1	1	1	0	$153.13 / G_{SET1}$	-
0	1	1	1	1	$164.06 / G_{SET1}$	-

PGAPOL ビット (極性選択)

シングルエンドモード時信号を正側チャネルから入力するか、あるいは負側チャネルから入力するかを設定します。

PGASEL ビット (アナログチャネル入力モード選択)

差動入力モードを使用するか、あるいはシングルエンド入力モードを使用するかを設定します。

PGACTM[4:0] および PGACTN[2:0] ビット (オートスキャンでの A/D 変換回数 (N) の係数 (m、n) 選択)

PGACTM[4:0] ビットは、オートスキャンの 1 サイクル中の A/D 変換回数 (N) を決定する係数 (m) を設定するのに使用されます。0、1、2 ～ 29、30、または 31 を選択可能です。

PGACTN[2:0] ビットは、オートスキャンの 1 サイクル中の A/D 変換回数 (N) を決定する係数 (n) を設定するのに使用されます。0、1、2、3、4、5、6、または 7 を選択可能です。

PGACTN[2:0] = 0 で PGACTM[4:0] = 0 のとき、ワンショット動作が実行されます。

下記の式は N、m、および n の関係を示します。

PGAASN = 0 の場合

$$N = 32 \times (2^n - 1) + m \times 2^n$$

(m および n は、本レジスタに設定された値に対応します。)

m と n の組み合わせにより、256 レベルの A/D 変換回数を選択可能です。下記に、レベル数と A/D 変換回数の相関関係を示します。

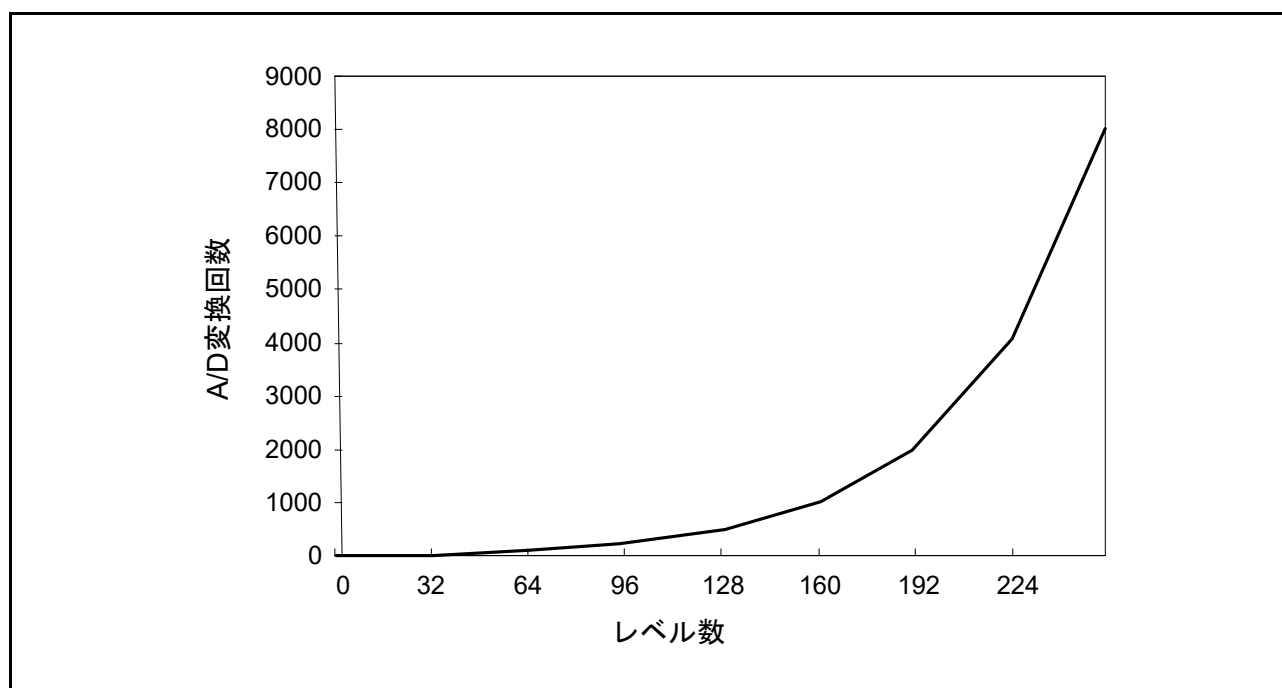


図 33.2 レベル数と A/D 変換回数の相関関係

PGAASN = 1 の場合

$$N = (32 \times n) + m$$

(m および n は、本レジスタに設定された値に対応します。)

PGAASN[1:0] ビット (平均対象データ数選択)

平均対象のデータ項目数を選択します。8、16、32、または 64 を選択可能です。

平均処理実行時、A/D 変換の総数は以下のように計算されます。

A/D 変換回数は、(PGACTN[2:0] および PGACTM[4:0] ビットに設定されている回数) × (PGAASN[1:0] ビットに設定されている回数) により決まります。

PGAASV[1:0] ビット (平均処理選択)

A/D 変換結果の平均処理を選択します。各 A/D 変換ごとに割り込みを発生するか、または各平均値出力ごとに割り込みを生成するかを選択可能です。

PGAREV ビット (シングルエンド入力 A/D 変換データ反転選択)

シングルエンド入力 (負側) の A/D 変換結果を反転するかどうかを選択します。負側シングルエンド入力モード以外のチャンネルについては、本ビットの設定は無視されます。

PGACVE ビット (キャリブレーションイネーブル)

キャリブレーション中各入力チャンネルについてキャリブレーション補正係数を計算するかどうかを設定します。キャリブレーション補正係数が計算されないチャンネルについては、キャリブレーションは開始されず、オフセット誤差補正係数レジスタおよびゲイン誤差補正係数レジスタの値は更新されません。また、本ビットに設定された値に関係なく、シングルエンド入力モードに設定されているチャンネルについては補正係数は計算されません。

各レジスタとキャリブレーション補正係数計算との関係については、表 33.10 を参照してください。

PGAASN ビット (ADSCAN 時 A/D 変換回数指定モード選択)

オートスキャンの 1 サイクル中の A/D 変換回数 (1 ~ 8032、またはリニアで 1 ~ 255) を選択します。

33.2.4 シグマデルタ A/D コンバータコントロールレジスタ 1 (ADC1)

アドレス SDADC24.ADC1 4009 C01Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	PGASL FT	—	—	PGADI SC	PGADI SA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SDADBMP[4:0]				—	—	—	—	SDADT MD	—	—	—	SDADS CM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDADSCM	オートスキャンモード選択	0 : 連続スキャンモード 1 : シングルスキャンモード	R/W
b3-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	SDADTMD	A/D 変換トリガ信号選択	0 : ソフトウェアトリガ (SFR への書き込み時変換開始) 1 : ハードウェアトリガ (ELC_SDADC24 により選択されたイベント信号と同期して変換開始)	R/W
b7-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b12-b8	SDADBMP[4:0]	入力マルチプレクサ出力信号 A/D 変換制御	0 : A/D 変換許可 1 : A/D 変換停止 SDADBMP[0] = PGAC0 SDADBMP[1] = PGAC1 SDADBMP[2] = PGAC2 SDADBMP[3] = PGAC3 SDADBMP[4] = PGAC4	R/W
b15-b13	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b16	PGADISA	断線検出制御	0 : 通常動作 1 : 断線検出状態	R/W
b17	PGADISC	断線検出アシスト設定	0 : ディスチャージ 1 : プリチャージ	R/W
b19-b18	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b20	PGASLFT	PGA オフセット自己診断イネーブル	0 : PGA オフセット自己診断を禁止 1 : PGA オフセット自己診断を許可	R/W
b31-b21	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 . ADC1.SDADTMD、ADC2.SDADST、および CLBSSR.CLBSS ビットが 0 の場合のみ ADC1 レジスタを設定してください (SDADTMD ビットを除く)。ADC2.SDADST および CLBSSR.CLBSS ビットが 0 の場合のみ SDADTMD ビットを設定してください。

SDADSCM ビット (オートスキャンモード選択)

自動スキャン変換モードを選択します。連続スキャンモードまたはシングルスキャンモードを選択可能です。PGACn.PGACTN[2:0] = 000b かつ PGACn.PGACTM[4:0] = 00000b の場合は、ワンショットモードが優先されます (n = 0 ~ 4)。

SDADTMD ビット (A/D 変換トリガ信号選択)

A/D 変換開始信号を選択します。ソフトウェアトリガまたはハードウェアトリガが選択可能です。ハードウェアトリガ選択時、本製品は常にシングルスキャンモードで動作します。ハードウェアトリガによる A/D 変換中に SDADTMD ビットが 1 から 0 になると、A/D 変換は停止します (変換結果が保証されないため)。

A/D 変換期間 :

- ソフトウェアトリガ入力時
 - ADC2.SDADST = 1 設定から A/D 変換終了割り込み出力まで
 - ADC2.SDADST = 1 設定から A/D 変換停止まで (ADC2.SDADST = 0 の状態)
- ハードウェアトリガ入力時
 - ハードウェアトリガ入力から A/D 変換終了割り込み出力まで

SDADBMP[4:0] ビット (入力マルチプレクサ出力信号 A/D 変換制御)

入力マルチプレクサから来る信号の A/D 変換をビットごとに許可または停止します。

表 33.4 に各入力チャンネルに関連する SDADBMP[n] ビットと PGACn レジスタを示します。

表 33.4 各入力チャンネルに関連する SDADBMP[n] ビットと PGACn レジスタ

アナログ入力端子		入力マルチプレクサから来る信号 の A/D 変換制御	入力マルチプレクサ n の設定レ ジスタ
正側	負側		
ANSD0P	ANSD0N	SDADBMP[0]	PGAC0
ANSD1P	ANSD1N	SDADBMP[1]	PGAC1
ANSD2P	ANSD2N	SDADBMP[2]	PGAC2
ANSD3P	ANSD3N	SDADBMP[3]	PGAC3
内部 OPAMP 0 (AMP0O)	内部 OPAMP 1 (AMP1O)	SDADBMP[4]	PGAC4

PGADISA ビット (断線検出制御)

断線検出アシストモードを許可するか否かを選択します。

注 . 入力マルチプレクサ 4 (内部 OPAMP) の断線検出は実行できません。SDADBMP[4] = 1 設定時は PGADISA = 0 としてください。

PGADISC ビット (断線検出アシスト設定)

断線検出チャージモード (プリチャージ/ディスチャージ) を選択します。

PGASLFT ビット (PGA オフセット自己診断イネーブル)

入力チャンネルの PGA オフセット自己診断モードを設定します。詳細は、図 33.26 を参照してください。

33.2.5 シグマデルタ A/D コンバータコントロールレジスタ 2 (ADC2)

アドレス SDADC24.ADC2 4009 C020h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	SDADST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDADST	A/D 変換制御	0 : A/D 変換停止 1 : A/D 変換開始	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . ADC1.SDADTMD および CLBSSR.CLBSS ビットが0 の場合のみ ADC2 レジスタを設定してください。

SDADST ビット (A/D 変換制御)

ADC1.SDADTMD = 0 (ソフトウェアトリガ) の場合 A/D 変換 (オートスキャン) を開始するかまたは停止するかを制御します。

ADC1.SDADTMD = 1 (ハードウェアトリガ) の場合は A/D 変換の制御は行いません。

注 . SDADST ビットに書き込みした後 SDADC24 関連レジスタにアクセスする場合、SDADC24 基準クロックで少なくとも 2 サイクル待った後レジスタにアクセスしてください。通常の A/D 変換モードは 4MHz で、低消費電力 A/D 変換モードは 500kHz です。

33.2.6 シグマデルタ A/D コンバータ変換結果レジスタ (ADCR)

アドレス SDADC24.ADCR 4009 C024h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	SDADCRC[2:0]			SDADCRS	SDADCRD[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SDADCRD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	SDADCRD[23:0]	A/D コンバータ変換結果	24 ビット A/D 変換結果を表示	R
b24	SDADCRS	A/D 変換結果ステータス	0 : 正常状態 (範囲内) 1 : オーバーフロー発生あり (注1)	R
b27-b25	SDADCRC[2:0]	A/D 変換結果チャンネル番号	0 0 0 : リセット値 (変換結果無効) 0 0 1 : 入力マルチプレクサ0 (ANSD0P/ANSD0N) 0 1 0 : 入力マルチプレクサ1 (ANSD1P/ANSD1N) 0 1 1 : 入力マルチプレクサ2 (ANSD2P/ANSD2N) 1 0 0 : 入力マルチプレクサ3 (ANSD3P/ANSD3N) 1 0 1 : 入力マルチプレクサ4 (AMP0O/AMP1O)	R
b31-b28	—	予約ビット	読むと0が読めます。	R

注 1. レジスタの最大値または最小値が変換結果になります。

SDADCRD[23:0] ビット (A/D コンバータ変換結果)

A/D 変換結果の値を表示します。

SDADCRS ビット (A/D 変換結果ステータス)

A/D 変換の結果オーバーフローが発生したかどうかを表示します。レジスタの最大値または最小値が変換結果になります。

SDADCRC[2:0] ビット (A/D 変換結果チャンネル番号)

A/D 変換結果について入力マルチプレクサのチャンネル番号を表示します。

注 . A/D 変換結果のチャンネル番号ビット (SDADCRC[2:0])、A/D 変換結果のステータスビット (SDADCRS)、および A/D コンバータ変換結果ビット (SDADCRD[23:0]) は、内部キャリブレーションおよび外部キャリブレーション中更新されません。詳細は、[33.3.10 キャリブレーション機能](#)を参照してください。

33.2.7 シグマデルタ A/D コンバータ平均値レジスタ (ADAR)

アドレス [SDADC24.ADAR 4009 C028h](#)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	SDADMVC[2:0]			SDADMVS	SDADMVD[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SDADMVD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	SDADMVD[23:0]	A/D コンバータ変換結果	24 ビット A/D 平均値を表示 (注1)	R
b24	SDADMVS	A/D 変換結果ステータス	0 : 正常状態 (範囲内) 1 : オーバーフロー発生あり (注2)	R
b27-b25	SDADMVC[2:0]	A/D 変換結果チャンネル番号	0 0 0 : リセット値 (変換結果無効) 0 0 1 : 入力マルチプレクサ0 (ANSD0P/ANSD0N) 0 1 0 : 入力マルチプレクサ1 (ANSD1P/ANSD1N) 0 1 1 : 入力マルチプレクサ2 (ANSD2P/ANSD2N) 1 0 0 : 入力マルチプレクサ3 (ANSD3P/ANSD3N) 1 0 1 : 入力マルチプレクサ4 (AMP0O/AMP1O)	R
b31-b28	—	予約ビット	読むと0が読めます。	R

注 1. 平均機能を使用しない場合、SDADMVD[23:0] = 000000h となります。

注 2. レジスタの最大値または最小値が変換結果になります。

SDADMVD[23:0] ビット (A/D コンバータ変換結果)

24 ビット平均値を表示します。

SDADMVS ビット (A/D 変換結果ステータス)

A/D 変換の結果オーバーフローが発生したかどうかを表示します。レジスタの最大値または最小値が変換結果になります。

SDADMVC[2:0] ビット (A/D 変換結果チャンネル番号)

A/D 変換結果について入力マルチプレクサのチャンネル番号を表示します。

33.2.8 キャリブレーションコントロールレジスタ (CLBC)

アドレス SDADC24.CLBC 4009 C030h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CLBMD[1:0]	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CLBMD[1:0]	キャリブレーションモード	b1 b0 0 0 : 内部キャリブレーションモード 0 1 : 外部オフセットキャリブレーションモード 1 0 : 外部ゲインキャリブレーションモード 上記以外は設定しないでください。	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . CLBC レジスタの設定は、CLBSSR.CLBSS ビットが0のときのみ行ってください。

CLBMD[1:0] ビット (キャリブレーションモード)

内部キャリブレーションモードとは、まず内部オフセットキャリブレーションが実行され、次に内部ゲインキャリブレーションが実行されるモードです。内部ゲインキャリブレーションが完了すると、キャリブレーション完了割り込みが出力されます。

PGACn.PGACVE ビット (n=0 ~ 4) を使って複数のチャネルのキャリブレーション補正係数を計算するために、指定されたすべてのチャネルについて内部キャリブレーションを実行後、キャリブレーション完了割り込みが出力されます。

[キャリブレーション完了条件]

CLBSTR.CLBST ビットに1が書き込まれた後、PGACn.PGACVE ビット (n=0 ~ 4) で指定されたすべてのチャネル (シングルエンド入力チャネルを除く) について内部オフセットキャリブレーションおよび内部ゲインキャリブレーションが両方とも完了するとキャリブレーション完了となります。

外部オフセットキャリブレーションモードとは、外部オフセットキャリブレーションが実行されるモードです。外部オフセットキャリブレーションが完了すると、キャリブレーション完了割り込みが出力されます。

[キャリブレーション完了条件]

CLBSTR.CLBST ビットに1が書き込まれた後、外部オフセットキャリブレーションが完了するとキャリブレーション完了となります。

外部ゲインキャリブレーションモードとは、外部ゲインキャリブレーションが実行されるモードです。外部ゲインキャリブレーションが完了するとキャリブレーション完了割り込みが出力されます。

[キャリブレーション完了条件]

CLBSTR.CLBST ビットに1が書き込まれた後、外部ゲインキャリブレーションが完了するとキャリブレーション完了となります。

33.2.9 キャリブレーション開始コントロールレジスタ (CLBSTR)

アドレス SDADC24.CLBSTR 4009 C034h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CLBST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLBST	キャリブレーション開始制御	0 : 書き込み禁止 1 : キャリブレーション開始	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． ADC1.SDADTMD、ADC2.SDADST、および CLBSSR.CLBSS ビットが0の場合のみ CLBSTR レジスタを設定してください。

CLBST ビット (キャリブレーション開始制御)

キャリブレーションおよび A/D 変換が実行されていないときに、CLBST ビットに 1 が書き込まれるとキャリブレーションが開始します。本ビットからは常に 0 が読み出されます。

注． PGACn.PGACVE ビット (n = 0 ~ 4) の全ビットが 0 の場合、CLBST ビットを 1 にしないでください。この場合、キャリブレーションは開始せず、CLBSSR.CLBSS ビットは 0 のままです。さらに、キャリブレーション完了割り込みは出力されません。ゲイン誤差補正值およびオフセット誤差補正值については、前の値が保持されます。

キャリブレーション実行中 (CLBSSR.CLBSS = 1) に、ソフトウェアトリガ (ADC2.SDADST = 1) またはハードウェアトリガ (CLBSSR.CLBSS = 1) により A/D 変換要求が行われると、キャリブレーションが優先され、A/D 変換は開始しません。キャリブレーション中は A/D 変換要求は保持されず、A/D 変換中はキャリブレーションは開始しません。

33.2.10 キャリブレーションステータスレジスタ (CLBSSR)

アドレス SDADC24.CLBSSR 4009 C03Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CLBSS
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLBSS	キャリブレーションステータス	0 : キャリブレーション非実行中 1 : キャリブレーション実行中	R
b7-b1	—	予約ビット	読むと0が読めます。	R

CLBSS ビット (キャリブレーションステータス)

キャリブレーションの実行状態を示します。本ビットが 1 のときキャリブレーションが実行中で、本ビットが 0 のときキャリブレーションは完了しています。

33.2.11 キャリブレーションコントロール保護解除レジスタ (CLBPR)

アドレス SDADC24.CLBPR 4009 C040h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CLBB0WI	CLBPRO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLBPRO	キャリブレーションコントロール保護	0 : GCVLRn および OCVLRn (n = 0 ~ 4) レジスタに対する読み出しおよび書き込みを禁止 1 : GCVLRn および OCVLRn (n = 0 ~ 4) レジスタに対する読み出しおよび書き込みを許可	R/W
b1	CLBB0WI	キャリブレーションビット書き込み禁止	0 : CLBPRO ビットへの書き込みを禁止 1 : CLBPRO ビットへの書き込みを許可 読むと 0 が読めます。	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CLBPRO ビット (キャリブレーションコントロール保護)

GCVLRn および OCVLRn (n = 0 ~ 4) レジスタに対する読み出しおよび書き込みを許可または禁止します。最初に CLBB0WI ビットに 1 を書いてから、CLBPRO ビットを 1 にする必要があります。

CLBB0WI ビット (キャリブレーションビット書き込み禁止)

CLBPRO ビットへの書き込みを許可または禁止します。

33.2.12 ゲイン誤差補正係数レジスタ n (GCVLRn) (n = 0 ~ 4)

アドレス SDADC24.GCVLR0 4009 C048h, SDADC24.GCVLR1 4009 C04Ch, SDADC24.GCVLR2 4009 C050h, SDADC24.GCVLR3 4009 C054h, SDADC24.GCVLR4 4009 C058h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GCVL[15:0]															
リセット後の値	0	1	0	0	0	1	0	0	1	0	0	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	GCVL[15:0]	ゲイン誤差補正係数	ゲイン誤差補正係数を格納	R/W

注. チャネル番号 (n = 0 ~ 4)

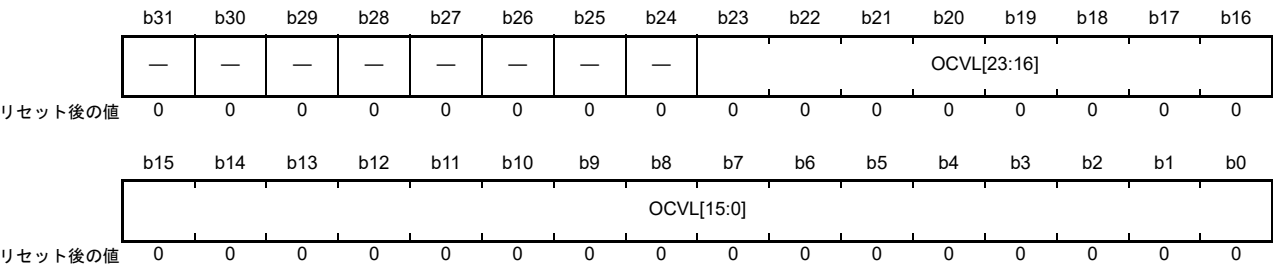
GCVL[15:0] ビット (ゲイン誤差補正係数)

ゲイン誤差補正係数を格納します。本レジスタへの読み出しおよび書き込み動作は、CLBPRO ビットが 1 の場合のみ許可されます。

各チャネルのキャリブレーションが完了すると、そのチャネルに関連するレジスタが自動的に更新されます。

33.2.13 オフセット誤差補正係数レジスタ n (OCVLRn) (n = 0 ~ 4)

アドレス SDADC24.OCVLR0 4009 C05Ch, SDADC24.OCVLR1 4009 C060h, SDADC24.OCVLR2 4009 C064h, SDADC24.OCVLR3 4009 C068h
SDADC24.OCVLR4 4009 C06Ch



ビット	シンボル	ビット名	機能	R/W
b23-b0	OCVL[23:0]	オフセット誤差補正係数	オフセット誤差補正係数を格納	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . チャンネル番号 (n = 0 ~ 4)

OCVL[23:0] ビット (オフセット誤差補正係数)

オフセット誤差補正係数を格納します。本レジスタへの読み出しおよび書き込み動作は、CLBPRO ビットが 1 の場合のみ許可されます。

各チャンネルのキャリブレーションが完了すると、そのチャンネルに関連するレジスタが自動的に更新されます。

33.3 動作説明

SDADC24 には、プログラマブルゲイン計装アンプ付きのシグマデルタ A/D コンバータが搭載されています。入力マルチプレクサ (5 チャンネル) から来る信号は、プログラマブルゲイン計装アンプ (PGA) を通過し、シグマデルタ A/D コンバータに入ります。A/D 変換結果は、SINC3 デジタルフィルタによりフィルタリングされた後、出力レジスタに格納されます。A/D 変換は、SDADCCLK により生成された SDADC24 基準クロックにより実行されます。

SDADC24 基準クロックが 4MHz で出力されるように、STC1.CLKDIV[3:0] ビットを設定してください。通常の A/D 変換モードでは、オーバーサンプリング周波数は 1MHz です。低消費電力 A/D 変換モードでは、オーバーサンプリング周波数は 0.125MHz です。

A/D 変換は、オートスキャン内蔵シーケンサに基づき実行されます。各チャネル対応でデータ速度（A/D 変換結果の出力周波数）も設定可能です。処理フローの詳細については、**33.4 制御フロー**を参照してください。**図 33.3**に SPADC24 のブロック図を示します。

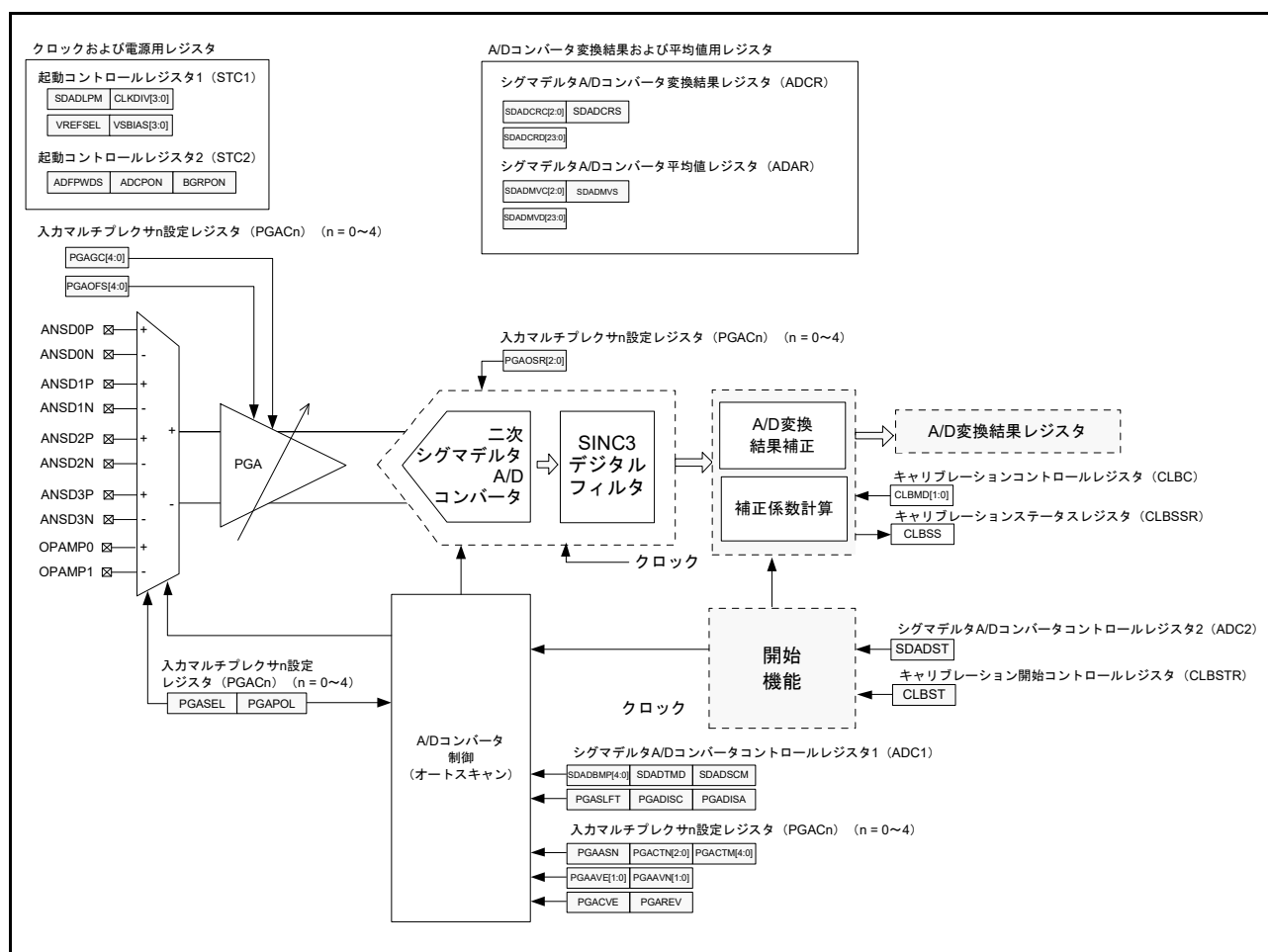


図 33.3 SDADC24 のブロック図

33.3.1 ADBGR

ADBGR は、ADREG および SBIAS の各回路に VREF 基準電圧を供給します。供給された VREF 基準電圧は次に、シグマデルタ A/D コンバータの基準電圧、PGA 内のオフセット調整 D/A コンバータの基準電圧、および入力マルチプレクサに接続される内部バイアス電圧 (VBIAS) として使用されます。

33.3.2 ADREG

ADREG は、ADBGR の出力電圧を基準として、PGA およびシグマデルタ A/D コンバータに電源を供給します。出力電圧は 2.1V (標準) です。ADREG の出力端子には 0.47 μ F (推奨値) の外部コンデンサが必要です。

33.3.3 SBIAS と VREFI

33.3.3.1 SBIAS と VREFI 機能の説明

SBIAS はセンサ用の電源です。STC1.VREFSEL ビットが 0 のとき、ADBGR からの VREF 基準電圧出力は SBIAS に入力されます。出力電圧範囲は 0.8V ~ 2.2V で、0.2V 単位で設定可能です。出力電流は、10mA (最大) です。SBIAS には、過電流 (最大値を超過した電流) 保護回路が備わっています。過電流状態が起ると、保護回路は内部回路を保護します。

VREFI は、外部基準電圧入力です。STC1.VREFSEL が 1 のとき、基準電圧は外部より入力されます。入力電圧範囲は 0.8V ~ 2.4V で、0.2V 単位で設定可能です。SBIAS/VREFI 端子には 0.22 μ F (推奨値) の外部コンデンサが必要です。

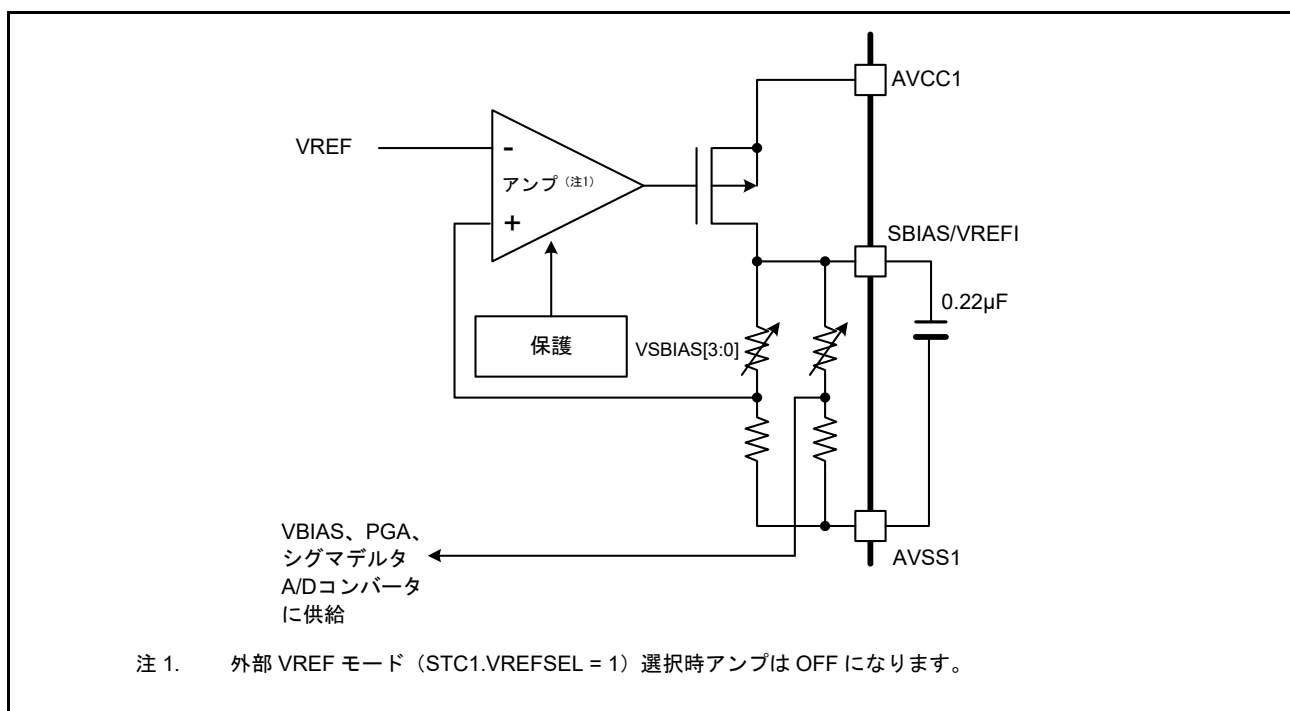


図 33.4 センサ用電源回路 (SBIAS) のブロック図

33.3.3.2 SBIAS の独立動作

SBIAS は、シグマデルタ A/D コンバータを使わないで、独立して使用可能です。SBIAS を独立して使用するには、起動コントロールレジスタ 2 (STC2) の ADFPWDS ビットを 1 にして、PGA およびシグマデルタ A/D コンバータに電源を供給する ADREG を OFF にします。

SBIAS を独立して使用している場合、SBIAS が ON のとき、センサ用基準電圧 (VSBIAS) の設定は 0.2V 単位 (0.2V = 1 ステップ) で変更可能です。詳細は、[図 33.33](#) を参照してください。

- 注． SBIAS が独立して使用される場合を除いて、SBIAS が ON のときは、センサ用基準電圧 (VSBIAS) の設定は変更しないでください。
- 注． センサ用基準電圧 (VSBIAS) は一度に 1 ステップ以上変更しないでください。
- 注． センサ用基準電圧 (CSBIAS) を一度に 1 ステップ以上変更する場合、基準電圧を各ステップで変更できるようになるまで ST_{TS} 間待機してください。
- 注． MCU 通常動作時 SBIAS は ON にしてください。SBIAS を ON にした後安定するまでの待機中 SDADCCLK を供給してください。安定後ソフトウェアスタンバイモードおよびスリープモードに変更可能です。
- 注． SBIAS が独立して使用された後に A/D 変換が起動される場合、SBIAS 動作を停止し、SDADC24 電源は最初から再起動する必要があります。

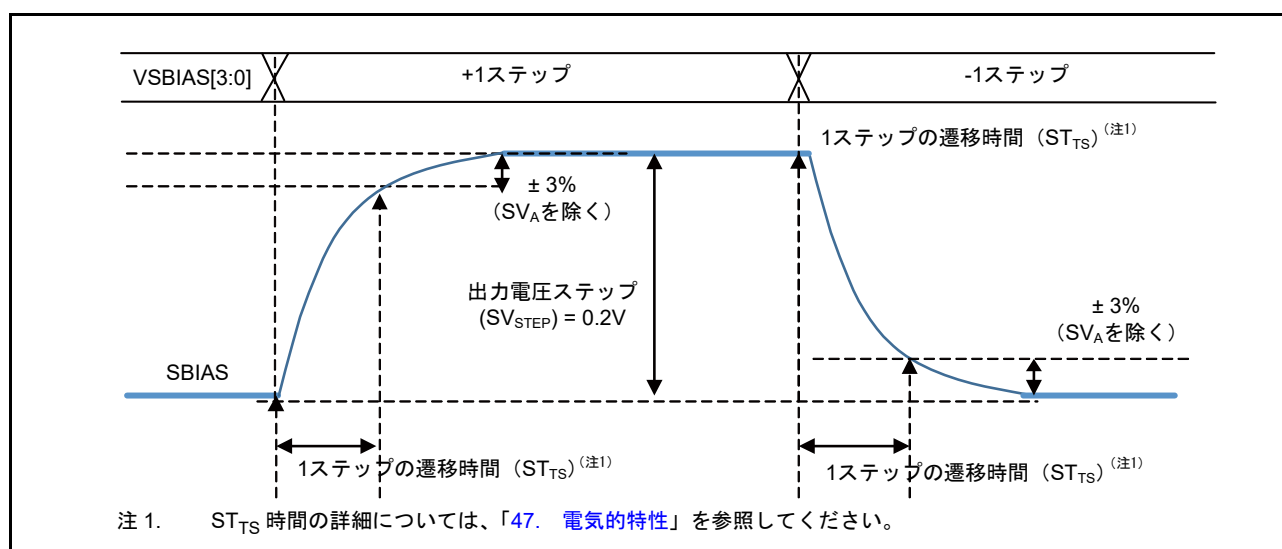


図 33.5 SBIAS ON 時のセンサ用電圧設定 (VSBIAS) の変更 (1 ステップ = 0.2V 単位)

表 33.5 STC2 レジスタ設定および電源状態

BGRPON	ADFPWDS	状態
0	0	ADBGR, SBIAS, ADREG : 電源 OFF
0	1	
1	0	ADBGR, SBIAS, ADREG : 電源 ON
1	1	ADBGR, SBIAS : 電源 ON ADREG : 電源 OFF

33.3.4 VBIAS

VBIAS は、入力マルチプレクサに内部バイアス電圧 (VBIAS = 1.0V (標準)) を供給します。内部バイアス電圧 (VBIAS) は、シングルエンド入力モード時基準電圧として使用されます。詳細は、[33.3.6.3 シングルエンド入力モード時の入力電圧範囲](#)を参照してください。

33.3.5 入力マルチプレクサ

入力マルチプレクサは、アナログ入力チャネルを 5 本内蔵しています。そのうち 4 本（入力マルチプレクサ 0～3）は外部信号入力を受信し、残りの 1 本（入力マルチプレクサ 4）は内部 OPAMP からの入力を受信します。各チャネルについて入力モード（差動入力またはシングルエンド入力）を選択可能です。正側シングルエンド入力モードが設定されている場合、内部バイアス電圧（VBIAS）はマイナス（-）側に接続されています。負側シングルエンド入力モードが設定されている場合、内部バイアス電圧（VBIAS）はプラス（+）側に接続されています。

入力マルチプレクサのブロック図を図 33.6 に示します。

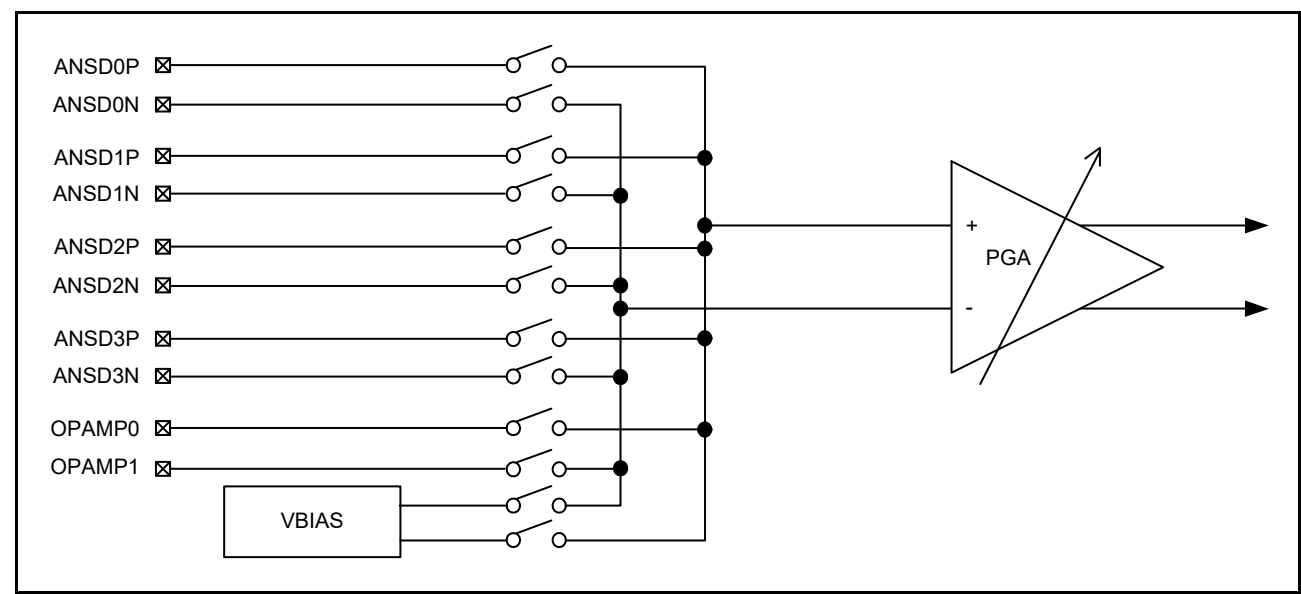


図 33.6 入力マルチプレクサのブロック図

33.3.5.1 入力マルチプレクサコントロールレジスタ

入力マルチプレクサは PGACn（n = 0～4）を使って設定します。表 33.6 に入力マルチプレクサの設定を示します。表 33.6 に示した設定以外の設定は禁止です。

表 33.6 PGACn（n = 0～4）を使った入力マルチプレクサ設定

入力モード	PGASEL	PGAPOL	PGAREV	入力マルチプレクサ設定
差動	0	0	0	差動
シングルエンド	1	0	0	正側シングル A/D 変換
	1	1	0	負側シングル A/D 変換
	1	1	1	負側シングル出力反転 A/D 変換

33.3.6 プログラマブルゲイン計装アンプ (PGA)

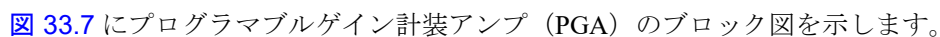
プログラマブルゲイン計装アンプ (PGA) は、低オフセット電圧、低ノイズ、および高入力インピーダンスという特長を持つアンプです。PGA は、入力マルチプレクサを設定することにより、差動入力モードまたはシングルエンド入力モードに設定可能です。

差動入力モードでは、ゲインの通倍率 (G_{TOTAL}) を前段アンプのゲイン (G_{SET1}) と次段アンプのゲイン (G_{SET2}) の組み合わせで $\times 1 \sim \times 32$ に変更可能です。シングルエンド入力モード時はゲインの通倍率は $\times 1$ のみ設定可能です。

注 . 次段アンプには、オフセット電圧調整用の D/A コンバータが接続されています。差動入力モードでは、D/A コンバータは、各チャネルのオフセット電圧 ($-164 \sim +164\text{mV}$ 、31 レベル : 5 ビット) を調整するのに使用可能です。シングルエンド入力モード時は、オフセット電圧を 0mV に設定してください。

シングルエンド入力は、正側または負側チャネルのシングルエンド入力に変換可能です。

PGA 入力の断線検出アシスト機能として、電流源負荷を PGA 入力に内部接続可能です。シングルエンド入力モード時、断線検出アシスト機能を正側および負側の入力端子に使用可能です。

 図 33.7 にプログラマブルゲイン計装アンプ (PGA) のブロック図を示します。

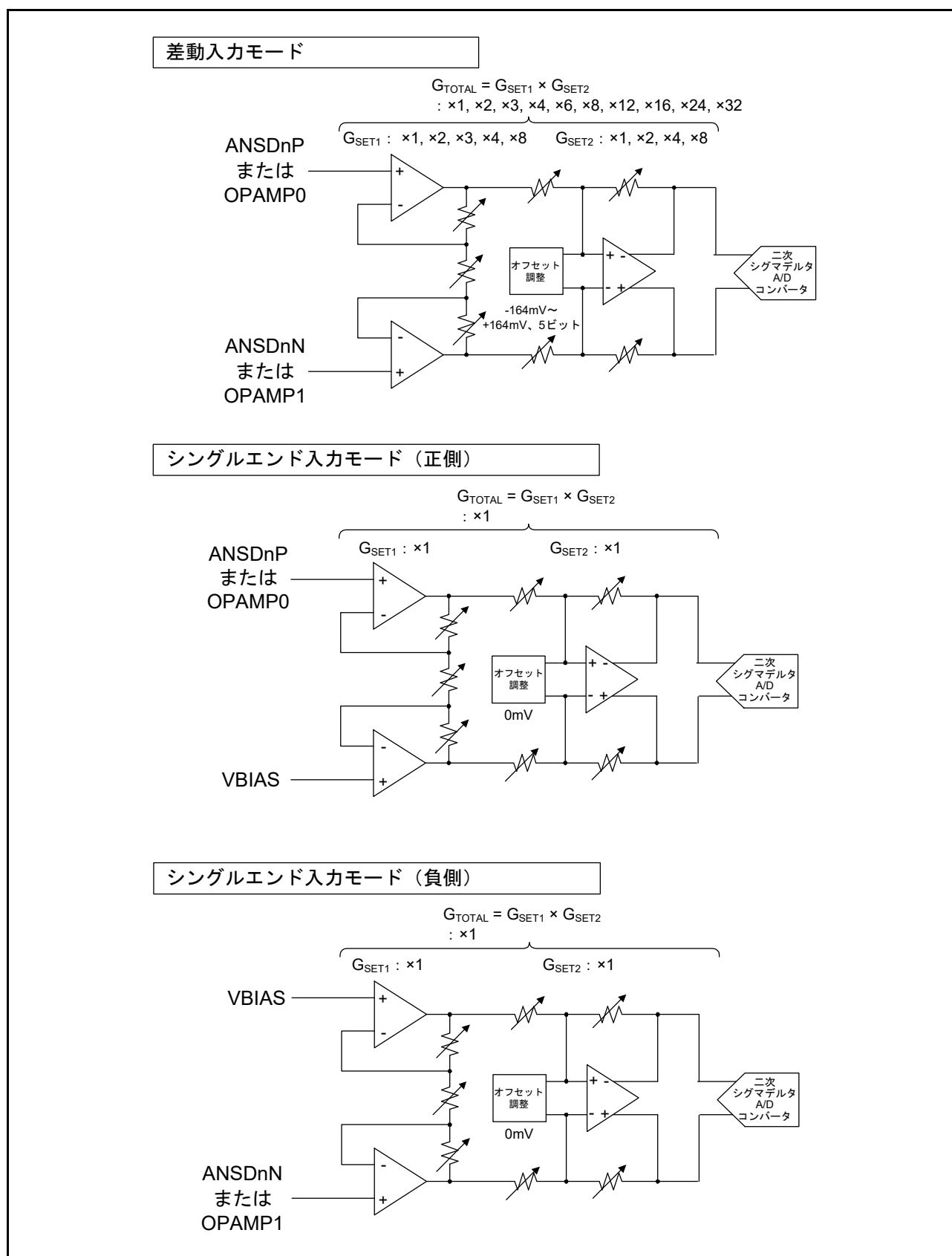


図 33.7 プログラマブルゲイン計装アンプ (PGA)

33.3.6.1 入力電圧範囲

本項では、プログラマブルゲイン計装アンプ (PGA) の入力電圧範囲について説明します。

図 33.8 および図 33.10 に、差動入力モードおよびシングルエンド入力モード時の入力電圧範囲を示します。

33.3.6.2 差動入力モード時の入力電圧範囲

下記の式で、 V_{SIG} は差動電圧振幅、 V_{COM} は同相入力電圧、そして d_{OFR} はオフセット電圧調整用の D/A コンバータの出力電圧を入力電圧に変換して計算された値です。1 つのアンプ段の入力電圧範囲は、0.2V ~ 1.8V です。したがって、計装アンプの前段アンプを通り次段アンプに入る信号は、式 1 に示す条件を満たす必要があります。

したがって、計装アンプの前段アンプを通り次段アンプから出る信号は、式 2 に示す条件を満たす必要があります。

式 1 :

$$0.2V + \frac{|V_{SIG}| \times G_{SET1}}{2} \leq V_{COM} \leq 1.8V - \frac{|V_{SIG}| \times G_{SET1}}{2}$$

式 2 :

$$-0.8V \leq (V_{SIG} + d_{OFR}) \times G_{TOTAL} \leq 0.8V$$

$d_{OFR} = 0mV$ のとき、入力信号はフルスケールの差動入力電圧となります。 $V_{SIG} = V_{ID}$ (フルスケール差動入力電圧) のとき、 V_{COM} は式 3 で表すことが可能です。

式 3 :

$$0.2V + \frac{|V_{ID}| \times G_{SET1}}{2} \leq V_{COM} \leq 1.8V - \frac{|V_{ID}| \times G_{SET1}}{2}$$

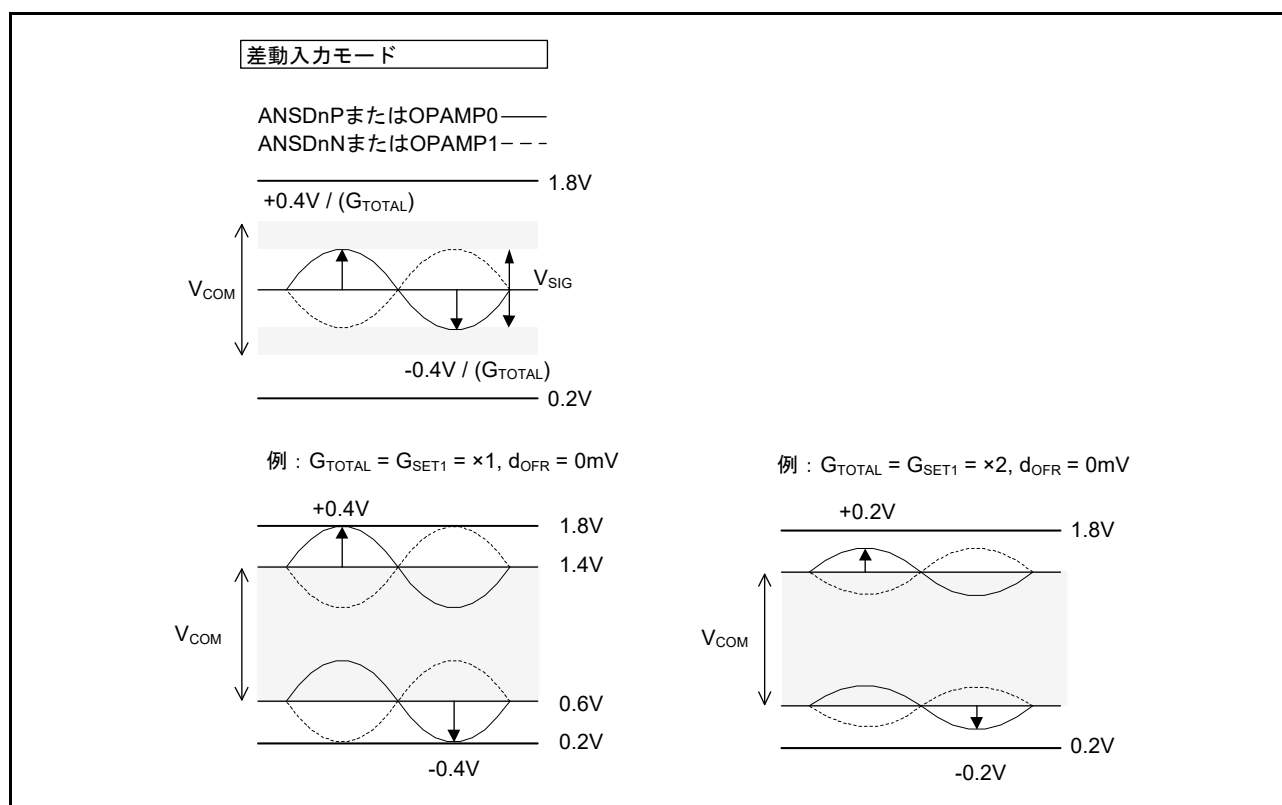


図 33.8 差動入力モード時の入力電圧範囲

図 33.9 に、プログラマブルゲイン計装アンプ (PGA) の各チャネルについて差動入力電圧の振幅遷移を示します。

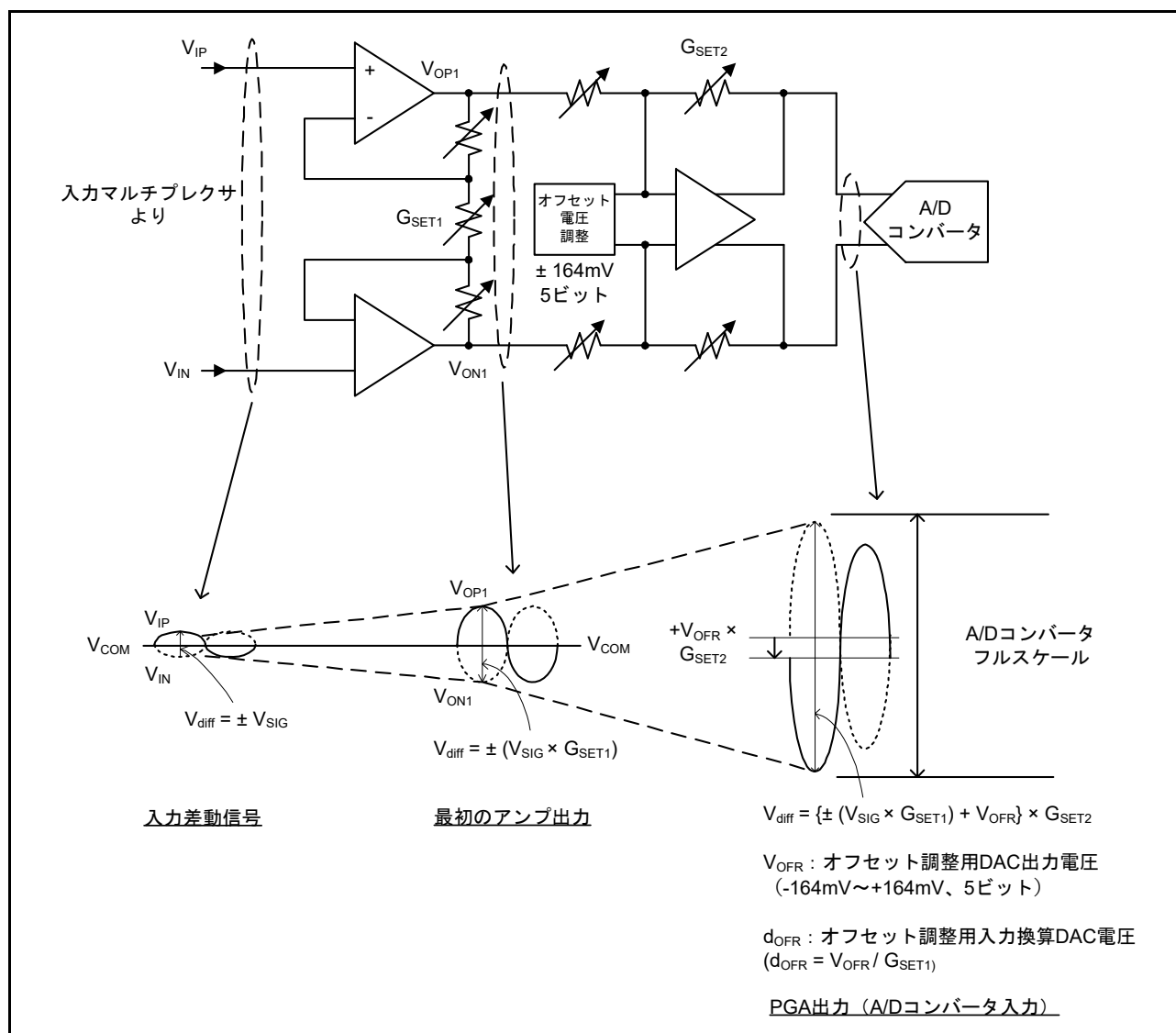


図 33.9 PGA のチャネルごとの差動入力電圧の遷移

33.3.6.3 シングルエンド入力モード時の入力電圧範囲

正側シングルエンド入力モード時、入力マルチプレクサ n ($n=0 \sim 4$) からの信号は、PGA の非反転入力に接続されます。本信号は、内部バイアス電圧 ($V_{\text{BIAS}}=1.0\text{V}$ (標準)) を基準電圧として使用する PGA の反転入力にも接続されます。負側シングルエンド入力モード時、入力マルチプレクサ n ($n=0 \sim 4$) からの信号は PGA の反転入力に接続され、内部バイアス電圧は PGA の非反転入力に接続されます。差動信号は、基準電圧に対して $0.2\text{V} \sim 1.8\text{V}$ の範囲で出力されます。

入力電圧 (V_I) の範囲は、下記の式を満たす必要があります。

$$\text{式 1 : } 0.2\text{V} \leq V_I \leq 1.8\text{V}$$

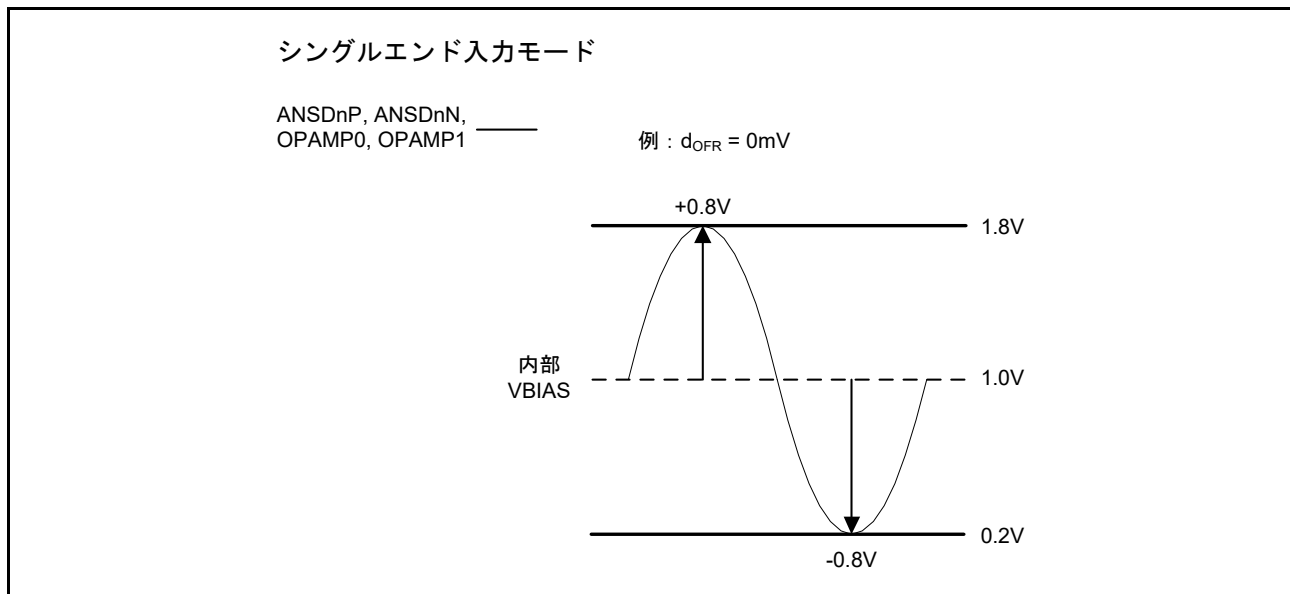


図 33.10 シングルエンド入力モード時の入力電圧範囲

33.3.6.4 PGA 制御用レジスタ

PGA は下記のレジスタを使用します。

- 入力マルチプレクサ n 設定レジスタ (PGAC n) ($n=0 \sim 4$)
- シグマデルタ A/D コンバータコントロールレジスタ 1 (ADC1)

設定値についての詳細は、[図 33.30](#) を参照してください。

33.3.7 SDADC24 用入力電圧および A/D 変換結果

本項では、SDADC24 用入力電圧および A/D 変換結果について説明します。図 33.11 に、A/D コンバータの入力電圧範囲がフルスケールの場合の A/D 変換結果を示します。

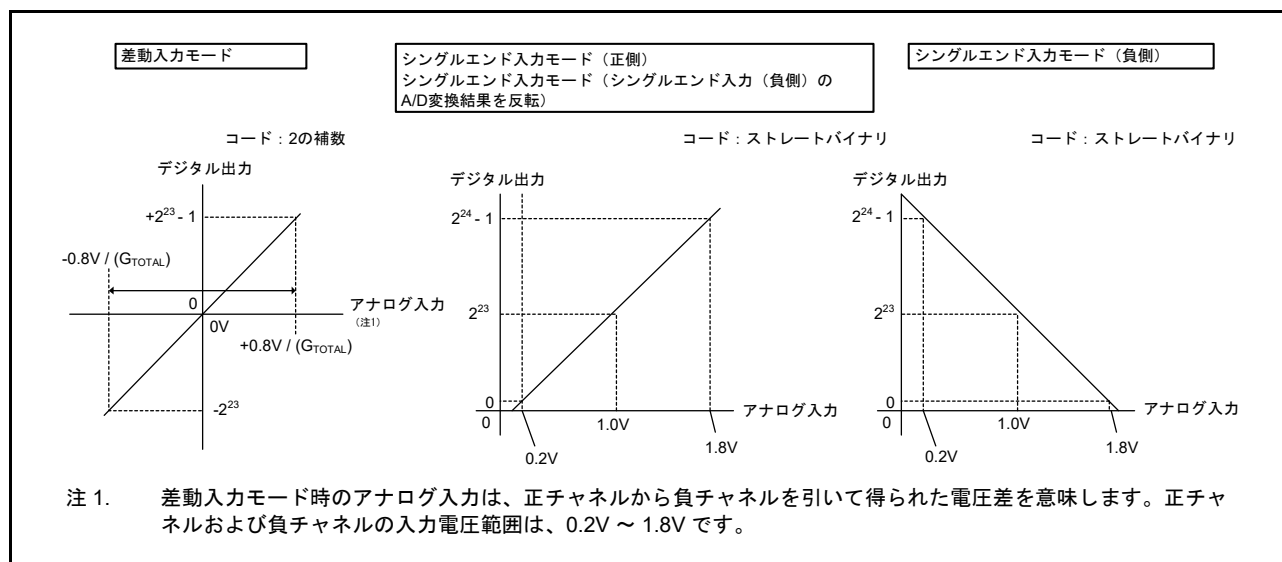


図 33.11 SDADC24 用入力電圧および A/D 変換結果

表 33.7 SDADC24 用入力電圧および A/D 変換結果

差動入力モード		シングルエンド入力モード (正側) シングルエンド入力モード (シングルエンド入力 (負側) の A/D 変換結果を反転)		シングルエンド入力モード (負側)	
SDADC24 用入力電圧 (注1)	A/D 変換結果 (2の補数)	SDADC24 用入力電圧	A/D 変換結果 (ストレートバイナリ)	SDADC24 用入力電圧	A/D 変換結果 (ストレートバイナリ)
+0.8V / (G _{TOTAL})	2 ²³ - 1	+0.8V + 1.0V	2 ²⁴ - 1	+0.8V + 1.0V	0
0V	0	1.0V	2 ²³	1.0V	2 ²³
-0.8V / (G _{TOTAL})	-2 ²³	-0.8V + 1.0V	0	-0.8V + 1.0V	2 ²⁴ - 1

注. 表 33.7 に示す結果は、下記の式を使って計算可能です。

- 差動入力モード

- SDADC24 用入力電圧 = (1.6V / G_{TOTAL}) × (ADCDATA1 / 2²⁴)

- ADCDATA1 : 24 ビット A/D 変換結果 (ADCR.SDADCRD[23:0]) に対する 2 の補数

- シングルエンド入力モード

- SDADC24 用入力電圧 (正側またはシングルエンド入力 (負側) の A/D 変換結果を反転) = 1.6V × (ADCDATA2 / 2²⁴) + 0.2V

- SDADC24 用入力電圧 (負側) = 1.6V × (1 - ADCDATA2 / 2²⁴) + 0.2V

- ADCDATA2 : 24 ビット A/D 変換結果 (ADCR.SDADCRD[23:0]) に対するストレートバイナリ値

注 1. 差動入力モード時の SDADC24 用入力電圧は、正チャネルから負チャネルを引いて得られた電圧差を意味します。正チャネルおよび負チャネルの入力電圧範囲は、0.2V ~ 1.8V です。

33.3.8 シグマデルタ AD コンバータの制御（オートスキャン）

A/D 変換は、オートスキャンと呼ばれる内蔵シーケンサで制御されています。ADC2.SDADST ビットに 1 が書き込まれオートスキャン動作が有効になると、各入力チャネルの A/D 変換がラウンドロビン方式で開始します。特定チャネルの A/D 変換は、ADC1.SDADBMP[4:0] ビットの設定でスキップ可能です。コントロールレジスタ設定とオートスキャン動作モードの関係を表 33.8 に示します。

PGACn.PGACTN[2:0] ビット（係数 (n)=0～7）と PGACn.PGACTM[4:0] ビット（係数 (m)=0～31）は、各変換対象チャネルで実行する A/D 変換回数を示します。PGACn.PGACTN[2:0] ビットおよび PGACn.PGACTM[4:0] ビットが両方とも 0 の場合、ワンショット動作（A/D 変換は 1 回だけ実行）が設定されます。PGA ゲインやオーバーサンプリング率のような他の A/D 変換設定もチャネルごとに指定可能です。平均処理実行時、A/D 変換の総数は以下のように計算されます。

A/D 変換回数は、(PGACn.PGACTN[2:0] および PGACn.PGACTM[4:0] ビットに設定されている回数) × (PGACn.PGA AVN[1:0] ビットに設定されている回数) により決まります。

A/D 変換結果は、ADCR レジスタに格納されます。

A/D 変換が完了するたびに割り込み要求 (SDADC_ADI) が発生します。PGACn レジスタの設定により A/D 変換結果の平均処理が有効になっている場合、割り込み要求 (SDADC_ADI) の発生タイミング（たとえば、A/D 変換を実行するたびに要求が発生するか、または平均値が更新されるたびに要求が発生するか）を選択できます。割り込み要求 (SDADC_SCANEND) は、チャネル 0～4 の各オートスキャンサイクル完了時に発生します。

表 33.8 コントロールレジスタ設定とオートスキャン動作モードの関係 (1/2)

ADC1.SDADTMD	ADC1.SDADSCM	PGACn.PGACTN[2:0]	PGACn.PGACTM[4:0]		
A/D 変換トリガ信号選択	オートスキャンモードの選択	A/D 変換回数設定ビット n	A/D 変換回数設定ビット m	トリガ	動作モード
0	0	≠ 0	≠ 0	ソフトウェア	連続スキャン
0	0	≠ 0	0	ソフトウェア	連続スキャン
0	0	0	≠ 0	ソフトウェア	連続スキャン
0	0	0	0	ソフトウェア	連続スキャン（ワンショット終了時スキャン停止）(注1)
0	1	≠ 0	≠ 0	ソフトウェア	シングルスキャン
0	1	≠ 0	0	ソフトウェア	シングルスキャン
0	1	0	≠ 0	ソフトウェア	シングルスキャン
0	1	0	0	ソフトウェア	シングルスキャン（ワンショット終了時スキャン停止）(注1)
1	0	≠ 0	≠ 0	ハードウェア	シングルスキャン (注2)
1	0	≠ 0	0	ハードウェア	シングルスキャン (注2)
1	0	0	≠ 0	ハードウェア	シングルスキャン (注2)
1	0	0	0	ハードウェア	シングルスキャン（ワンショット終了時スキャン停止）(注1)
1	1	≠ 0	≠ 0	ハードウェア	シングルスキャン

表 33.8 コントロールレジスタ設定とオートスキャン動作モードの関係 (2/2)

ADC1.SDADTMD	ADC1.SDADSCM	PGACn.PGACTN[2:0]	PGACn.PGACTM[4:0]	トリガ	動作モード
A/D 変換トリガ信号 選択	オートスキャンモード の選択	A/D 変換回数設定ビット n	A/D 変換回数設定ビット m		
1	1	≠ 0	0	ハードウェア	シングルスキャン
1	1	0	≠ 0	ハードウェア	シングルスキャン
1	1	0	0	ハードウェア	シングルスキャン (ワンショット終了 時スキャン停止) (注 1)

注 1. PGACn.PGACTN[2:0] ビットが 000b で、PGACn.PGACTM[4:0] ビットが 00000b の場合、ワンショット動作が優先されます。

注 2. ハードウェアトリガが選択されている場合はシングルスキャンモードのみ使用されます。

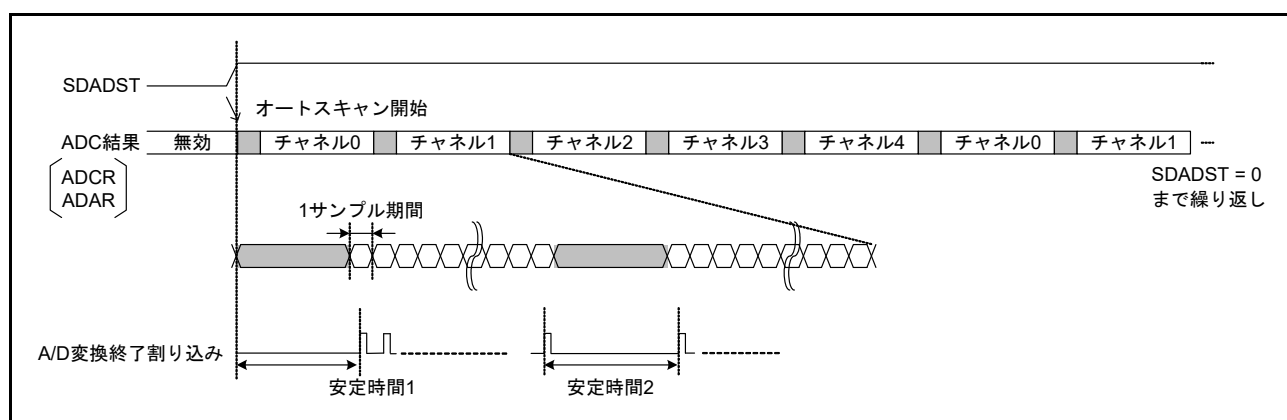


図 33.12 オートスキャンシーケンス

安定時間の詳細は、[33.3.9.2](#) を参照してください。

(1) 変換チャンネルのスキップ例

- ADC1.SDADBMP[4:0] = 01010b
- PGAC0、PGAC2、および PGAC4 レジスタの PGACTN[2:0] > 000b かつ PGAC0、PGAC2、および PGAC4 レジスタの PGACTM[4:0] > 00000b
- ADC1.SDADSCM = 0

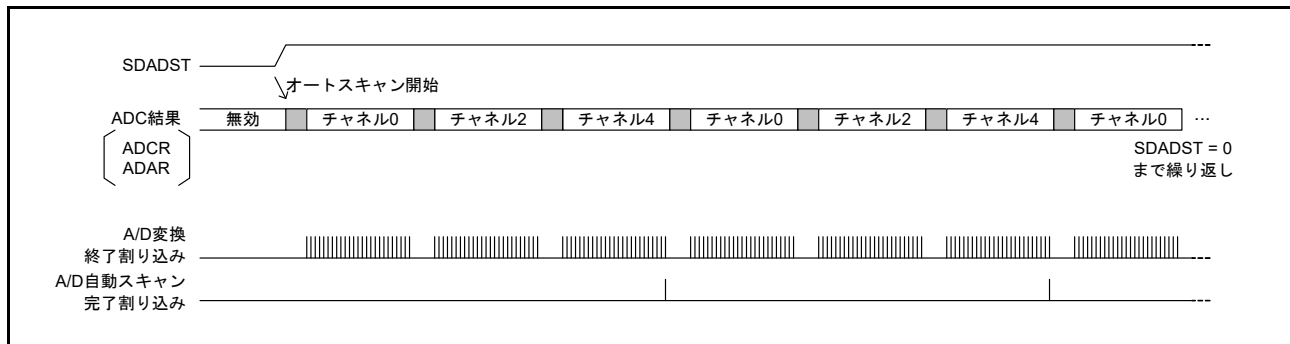


図 33.13 変換チャンネルのスキップ例

(2) ワンショット動作例

- ADC1.SDADBMP[4:0] = 11000b
- PGAC0およびPGAC1レジスタのPGACTN[2:0] > 000bかつPGAC0およびPGAC1レジスタのPGACTM[4:0] > 00000b
- PGAC2.PGACTN[2:0] = 000b かつ PGAC2.PGACTM[4:0] = 00000b
- ADC1.SDADSCM = 0

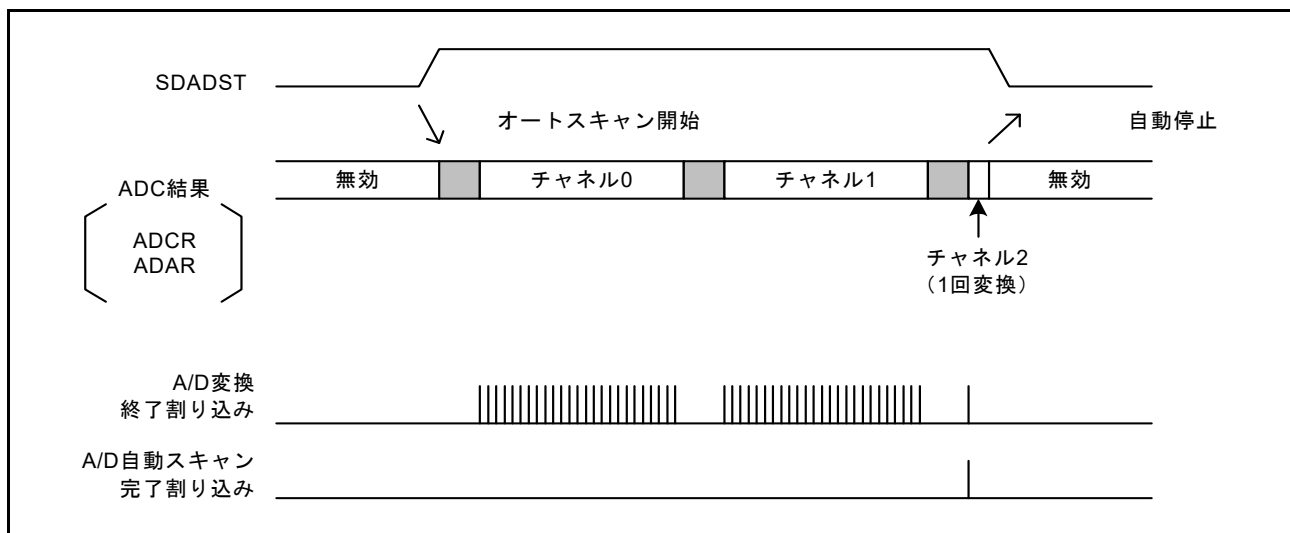


図 33.14 ワンショット動作例

(3) 同一チャンネルを使った連続変換例

- ADC1.SDADBMP[4:0] = 11101b
- PGAC1.PGACTN[2:0] > 000b かつ PGAC1.PGACTM[4:0] > 00000b
- ADC1.SDADSCM = 0

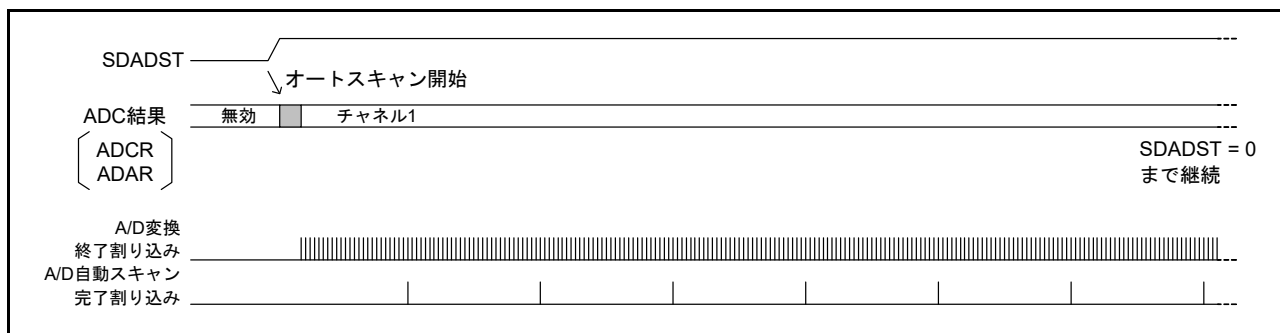


図 33.15 同一チャネルを使った連続変換例

(4) シングルスキャン動作例

- ADC1.SDADBMP[4:0] = 00000b
- ADC1.SDADSCM = 1

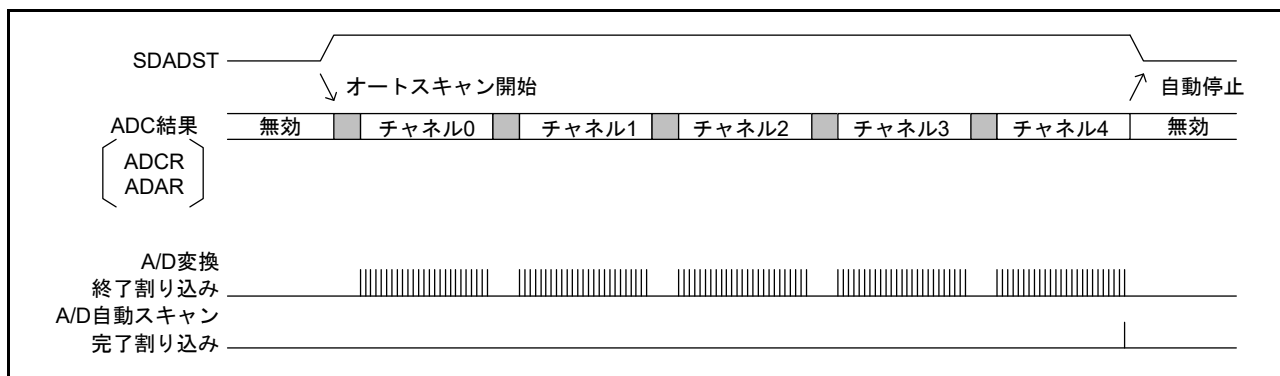


図 33.16 シングルスキャン動作例

注 . 連続変換中でも PGACn レジスタに設定された A/D 変換回数に達すると割り込み要求 (SDADC_ADI) が発生します。

33.3.9 デジタルフィルタ

33.3.9.1 デジタルフィルタの動作

SINC3 デジタルフィルタを使って A/D 変換結果のダウンサンプリングを実行します。デジタルフィルタの伝達関数は、下記の式で表されます。伝達関数に含まれる M 値は、デジタルフィルタの間引き率で、PGACn.PGAOSR[2:0] ビット (n = 0 ~ 4) で設定された OSR (オーバーサンプリング率) で決定されます。

$$H(z) = \left[\frac{1}{M} \times \frac{1 - z^{-M}}{1 - z^{-1}} \right]^3$$

33.3.9.2 デジタルフィルタの構成

デジタルフィルタのブロック図を図 33.17 に示します。3 つのアキュムレータと 3 つの微分器がカスケード (直列) 接続されています。A/D コンバータが安定するまで、必要な安定時間をとる必要があります。表 33.9 に安定時間 1 および安定時間 2 を示します。定義は以下のとおりです。

- 安定時間 1 — ADC2.SDADST ビットの立ち上がりから A/D 変換終了割り込みまでの時間。図 33.12 の安定時間 1 を参照してください。
- 安定時間 2 — チャンネル切り替え前の最後の A/D 変換終了割り込みからチャンネル切り替え後の最初の A/D 変換終了割り込みまでの時間。図 33.12 の安定時間 2 を参照してください。

表 33.9 各動作モードの安定時間

		通常 A/D 変換モード	低電力速 A/D 変換モード
安定時間 1	min	3T + 129μs + 2PCLKB + 9 SDADC24 基準クロック (注1)	3T + 1032μs + 2PCLKB + 9 SDADC24 基準クロック (注1)
	max	3T + 129μs + 3PCLKB + 10 SDADC24 基準クロック (注1)	3T + 1032μs + 3PCLKB + 10 SDADC24 基準クロック (注1)
安定時間 2	min	3T + 129μs - 1PCLKB	3T + 1032μs - 1PCLKB
	max	3T + 129μs + 1PCLKB	3T + 1032μs + 1PCLKB

注 . 安定時間はオートスキャン内蔵シーケンサが自動生成します。

注 . 3T とは、サンプリング時間の 3 倍の時間 (3 × 1 / fout) です。

注 1. 通常の A/D 変換モード : 4MHz、低消費電力 A/D 変換モード : 500kHz

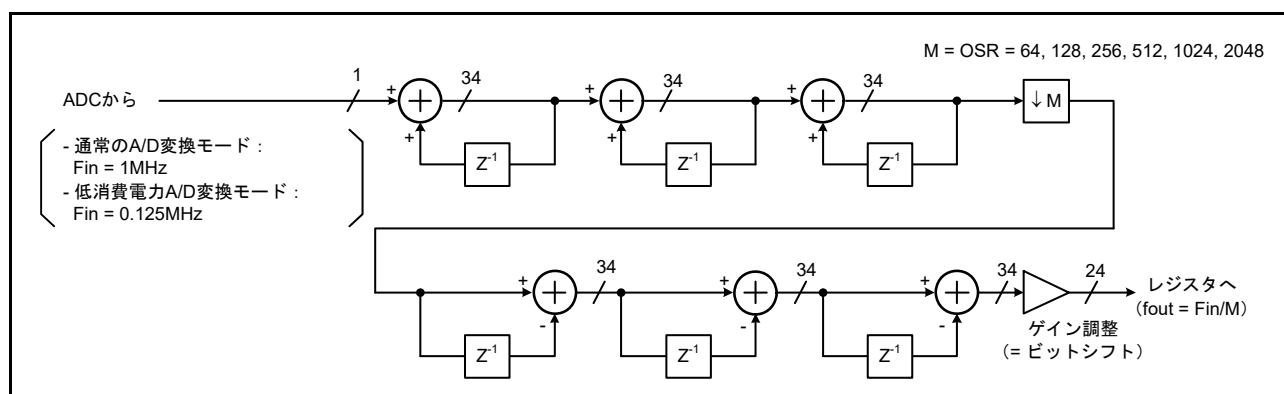


図 33.17 デジタルフィルタのブロック図

図 33.18 に SINC3 フィルタの周波数応答を示します。

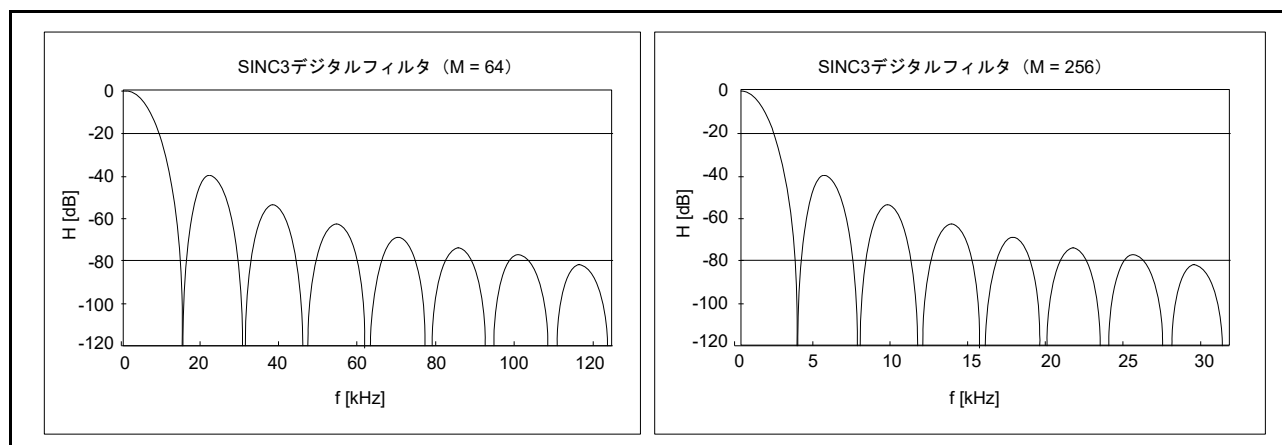


図 33.18 SINC3 フィルタの周波数応答

33.3.10 キャリブレーション機能

キャリブレーションにより高精度の A/D 変換が可能になります。これは、使用条件下でオフセット誤差補正値およびゲイン誤差補正値を計算することにより行われます。キャリブレーション機能は、内部またはユーザ指定の基準電圧を A/D 変換し、変換結果に含まれている誤差から適切な補正値を決定します。CLBSTR.CLBST ビットに 1 を書いたときキャリブレーションが開始します。補正係数を計算するために A/D 変換を何度か実行します。ただし、各 A/D 変換の割り込み要求はマスクされています。表 33.10 に、キャリブレーション動作の設定を示します。

表 33.10 キャリブレーション動作の設定

コントロールレジスタのビット			キャリブレーション用補正係数の計算
PGACn.PGASEL	CLBC.CLBMD[1:0]	PGACn.PGACVE	
0 (差動入力モード)	Don't care	0	禁止
	00	1	内部キャリブレーション動作
	01	1	外部オフセットキャリブレーション動作
	10	1	外部ゲインキャリブレーション動作

注． シングルエンド入力モードに設定されているチャンネルについては補正係数は計算されません。

以下の場合にキャリブレーションを実行してください。

- 差動入力モードがリセット後、初めて使用される場合 (注 1)
- 差動入力モードで、STC1.VREFSEL ビットにより、外部 VREF モードと内部 VREF モードを切り替えたとき
- 差動入力モードで、STC1.VSBIA[3:0] ビットにより、SBIAS 出力電圧と VREFI 入力電圧を切り替えたとき
- モードが、差動入力モード中、通常 A/D 変換モードから低消費電力 A/D 変換モードに切り替わるとき、またはその逆
- 差動入力モードで、同じチャンネルのゲインを変更したとき

注． A/D 変換結果のチャンネル番号ビット (ADCR.SDADCRC[2:0])、A/D 変換結果の状態を示すビット

(ADCR.SDADCRS)、および A/D コンバータ変換結果ビット (ADCR.SDADCRD[23:0]) は、内部キャリブレーションおよび外部キャリブレーション中更新されません。

注． 内部または外部キャリブレーション実行時、シグマデルタ A/D コンバータコントロールレジスタ 1 (ADC1) のオートスキャンモード選択ビットをシングルスキャンモード用の 1 に設定してください。詳細は、33.4.5 内部キャリブレーションフロー、および 33.4.6 外部キャリブレーションフローを参照してください。

- 注 . キャリブレーション動作中、 d_{OFR} 電圧は 0mV (PGACn.PGAOFS[4:0] = 00000b (n = 0 ~ 4)) 以外の値には設定できません。
- 注 . 外部キャリブレーション動作については、複数のチャネルを同時に PGACn.PGACVE = 1 (n = 0 ~ 4) に設定できません。
- 注 1. STC1.SDADLPM、STC1.VSBIAS[3:0]、STC1.VREFSEL および PGACn.PGAGC[4:0] ビットの設定がキャリブレーション実行時と同じ設定で差力入力モードを使用する場合、キャリブレーション後の GCVLRn レジスタおよび OCVLRn レジスタの値をデータフラッシュに保存してください。次にキャリブレーション動作を行う際、GCVLRn レジスタおよび OCVLRn レジスタに保存した値をコピーすることで、リキャリブレーションが省略できます。詳細は、[33.4.9 リキャリブレーション省略フロー](#)を参照してください。大きな温度変化またはユーザ環境や使用条件の変更があった場合は、リキャリブレーションを行う必要があります。

33.3.10.1 内部キャリブレーション動作モード

内部キャリブレーション動作モード中は内部基準電圧に基づいてキャリブレーションが実行されます。複数の入力チャネルの補正值が、1 回のキャリブレーション動作で計算可能です。CLBSTR.CLBST ビットによりキャリブレーション開始後、キャリブレーション対象に設定されたすべての入力チャネルについてオフセット誤差補正值とゲイン誤差補正值が計算されます。キャリブレーション完了割り込み (SDADC_CALIEND) 発生後、キャリブレーションは終了します。詳細は、[図 33.28](#)を参照してください。

33.3.10.2 外部キャリブレーション動作モード

外部キャリブレーション動作モード中はユーザ指定の基準電圧に基づいてキャリブレーションが実行されます。オフセットキャリブレーションでは、0 に補正すべきオフセットキャリブレーション時の差動アナログ入力 (VIDOCAL) に対応する A/D 変換結果の補正值が計算されます。ゲインキャリブレーションでは、 $2^{23} - 1$ に補正すべきゲインキャリブレーション時の差動アナログ入力 (VIDGCAL) からオフセットキャリブレーション時の差動アナログ入力 (VIDOCAL) を引くことにより計算される値 (VIDGCAL - VIDOCAL) に対応する A/D 変換結果の補正值が計算されます。1 つのチャネルの補正值が、1 回のキャリブレーション動作で計算されます。オフセット誤差補正值とゲイン誤差補正值を計算するには、キャリブレーション動作を 2 回行う必要があります。各キャリブレーション完了後、キャリブレーション完了割り込み (SDADC_CALIEND) が発生します。各キャリブレーション動作を実行する前に (CLBSTR.CLBST ビットを 1 にする前に) 入力チャネルの基準電圧を設定してください。[表 33.11](#) に外部キャリブレーション動作モード時のユーザ指定基準電圧を示します。設定の詳細は、[図 33.29](#)を参照してください。

表 33.11 外部キャリブレーション動作モード時のユーザ指定基準電圧

ユーザ指定基準電圧		Min	Typ	Max	単位
外部オフセットキャリブレーション時の差動アナログ入力 (VIDOCAL)	ANSDnP - ANSDnN (n = 0 ~ 3) または OPAMP0 - OPAMP1	(注 1)	0	(注 1)	V
外部ゲインキャリブレーション時の差動アナログ入力 (VIDGCAL)		$0.4 / G_{TOTAL}$ (注 1)		$0.8 / G_{TOTAL}$ (注 1)	V
VIDGCAL - VIDOCAL (注 1)		$0.4 / G_{TOTAL}$		$0.8 / G_{TOTAL}$	V

注 1. VIDOCAL および VIDGCAL は、VIDGCAL - VIDOCAL の最小値と最大値を満足する範囲にある必要があります。

33.3.10.3 キャリブレーション時間

各キャリブレーション時間 (t_{CAL}) は、[表 33.12](#) に定義の t_{SDCAL} 、 t_{OFCAL} 、 t_{GCAL} および t_{EDCAL} により下記の式であらわされる。

- 内部キャリブレーション時間: $t_{CAL} = t_{SDCAL} + (t_{OFCAL} + t_{GCAL}) \times CH$ (注 1) + t_{EDCAL}
- 外部オフセットキャリブレーション時間: $t_{CAL} = t_{SDCAL} + t_{OFCAL} + t_{EDCAL}$
- 外部ゲインキャリブレーション時間: $t_{CAL} = t_{SDCAL} + t_{GCAL} + t_{EDCAL}$

注 1. CH: キャリブレーションチャネル数

表 33.12 SDADC24 基準クロックおよび PCLKB サイクル数で示した必要キャリブレーション時間

パラメータ	シンボル	内部キャリブレーション時間 [サイクル]	外部オフセットキャリブレーション時間[サイクル]	外部ゲインキャリブレーション時間[サイクル]
キャリブレーション開始 遅延時間	t_{SDCAL}	$1 \text{ PCLKB} + 4 t_{SDADC24}$ (注1)	$1 \text{ PCLKB} + 4 t_{SDADC24}$ (注1)	$1 \text{ PCLKB} + 4 t_{SDADC24}$ (注1)
オフセットエラー補正 係数計算時間	t_{OFCAL}	$6658 t_{SDADC24}$	$6658 t_{SDADC24}$	—
ゲインエラー補正係数 計算時間	t_{GCAL}	$6662 t_{SDADC24}$	—	$6676 t_{SDADC24}$
キャリブレーション終了 遅延時間	t_{EDCAL}	$6 \text{ PCLKB} + 21 t_{SDADC24}$ (注2)	$6 \text{ PCLKB} + 5 t_{SDADC24}$ (注2)	$6 \text{ PCLKB} + 5 t_{SDADC24}$ (注2)
キャリブレーション時間	t_{CAL}	$7 \text{ PCLKB} + 25 t_{SDADC24} + (13320 t_{SDADC24}) \times \text{CH}$ (注3)	$7 \text{ PCLKB} + 6667 t_{SDADC24}$ (注3)	$7 \text{ PCLKB} + 6685 t_{SDADC24}$ (注3)

注. $t_{SDADC24}$: SDADC24 基準クロック (通常の A/D 変換モード: 4MHz、低消費電力 A/D 変換モード: 500kHz)

注. CH: キャリブレーションチャンネル数

注 1. ソフトウェア書き込みから A/D 変換開始までの最大時間

注 2. キャリブレーション終了から割り込み出力までの最大時間

注 3. 最大キャリブレーション時間

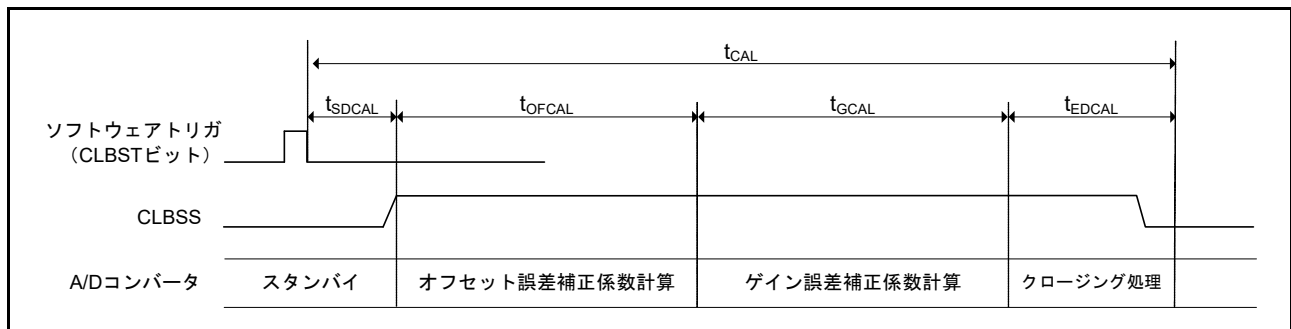


図 33.19 キャリブレーションのタイミング

33.3.11 断線検出アシスト機能

断線検出アシスト機能は、シングルエンド入力の断線を検出します。ADC1.PGADISA ビットが 1 になると、電流 DAC (0.8μA (標準)) が PGA の入力に接続され、断線検出アシスト機能が有効になります。ADC1.PGADISC ビットが 0 になると、ディスチャージが選択されます。ADC1.PGADISC ビットが 1 になると、プリチャージが選択されます。切断が発生または入力の電流供給が 0.8μA (標準) 以下になると、A/D 変換結果は A/D 変換を繰り返すことにより、およそ 0 か $2^{24} - 1$ に収束します (表 33.13 参照)。SDADC24 の断線検出アシスト機能は、通常の A/D 変換と同時に使用できません。SDADC24 の断線検出アシスト機能は、通常の A/D 変換を行っていないとき、たとえば通常の A/D 変換開始前に使用してください。図 33.20 にプリチャージを選択した場合の断線検出例を示します。図 33.21 にディスチャージを選択した場合の断線検出例を示します。設定の詳細は、図 33.27 を参照してください。

表 33.13 切断が発生または入力の電流供給が 0.8μA (標準) 以下になった場合の A/D 変換結果

	A/D 変換結果	
	プリチャージ	ディスチャージ
シングルエンド入力モード (正側) シングルエンド入力モード (シングルエンド入力 (負側) の A/D 変換結果を反転)	約 $2^{24} - 1$	約 0
シングルエンド入力モード (負側)	約 0	約 $2^{24} - 1$

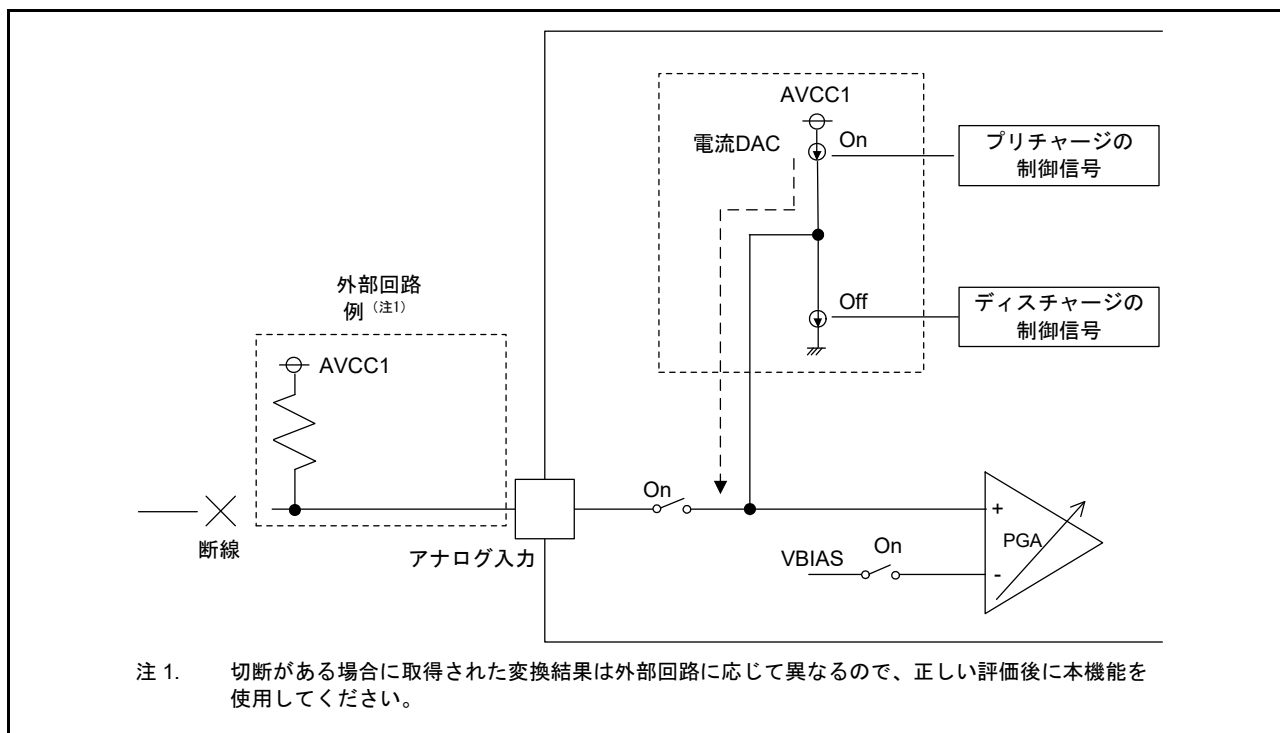


図 33.20 シングルエンド入力モード（正側）でプリチャージ選択時の切断検出例

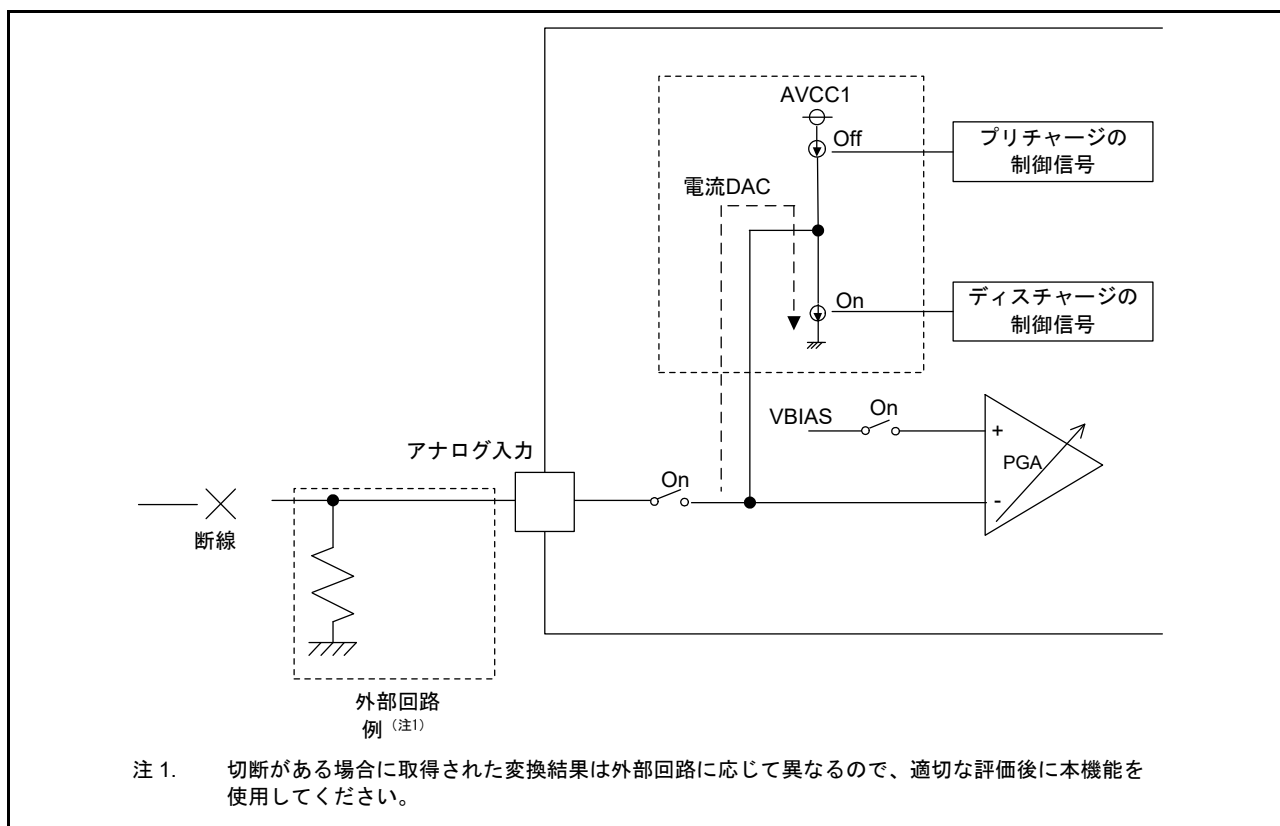


図 33.21 シングルエンド入力モード（負側）でディスチャージ選択時の切断検出例

注 . 断線検出アシスト機能はシングルエンド入力モード (PGACn.PGASEL = 1) で使用してください。詳細は、[33.4.4 断線検出アシストフロー](#)を参照してください。断線検出アシストでは、 d_{OFR} の値を 0mV (PGACn.PGAOFS[4:0] = 00000b (n = 0 ~ 4)) 以外の値に設定しないでください。

33.3.12 PGA オフセットの自己診断機能

ADC1.PGASLFT ビットを 1 にすることにより A/D 変換を実行している場合、PGA オフセットの自己診断が可能です。自己診断の結果（オフセット測定結果）は、A/D 変換結果レジスタに格納されます。設定の詳細は、図 33.26 を参照してください。

図 33.22 に、PGA オフセットの自己診断機能構成を示します。

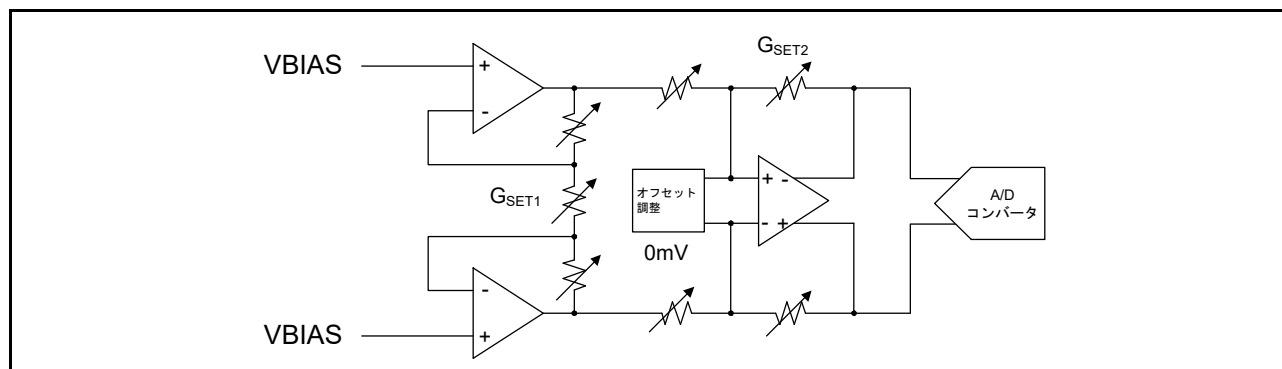


図 33.22 PGA オフセットの自己診断機能構成

注 . PGA オフセットの自己診断では、 d_{OFR} の値を 0mV (PGACn.PGAOFS[4:0] = 00000b (n = 0 ~ 4)) 以外の値に設定しないでください。

33.4 制御フロー

図 33.24 ~ 図 33.33 に SDADC24 の起動、A/D 変換、および停止フローを示します。SBIAS 独立動作フローを図 33.33 に示します。

A/D 変換結果は、シグマデルタ A/D コンバータ変換結果レジスタ (ADCR) およびシグマデルタ A/D コンバータ平均値レジスタ (ADAR) を使って検証可能です。

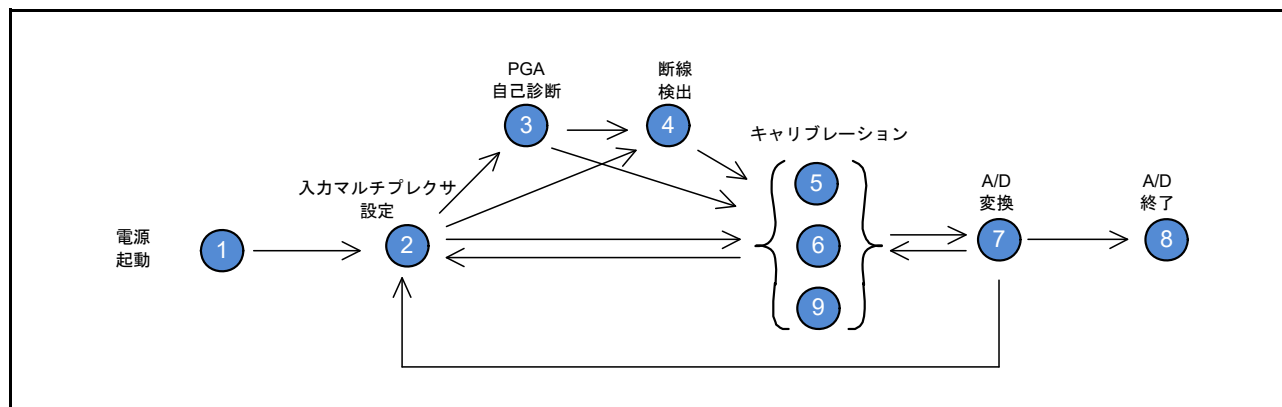


図 33.23 フロー概要

33.4.1 アナログ電源起動フロー

図 33.24 に、アナログ電源の起動フローを示します。

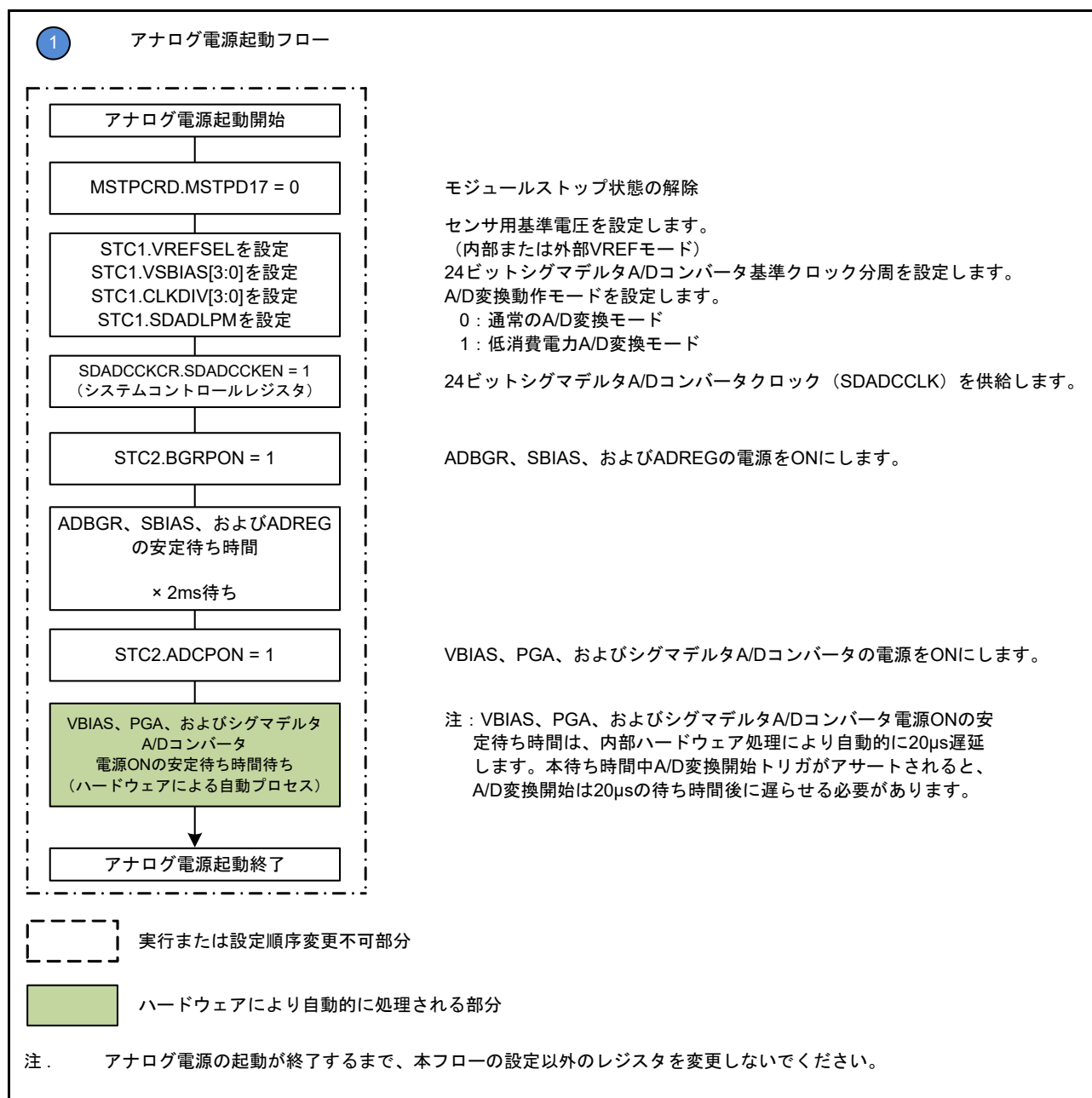


図 33.24 アナログ電源起動フロー

33.4.2 入力マルチプレクサ設定フロー

図 33.25 に、入力マルチプレクサの設定フローを示します。



図 33.25 入力マルチプレクサ設定フロー

33.4.3 PGA オフセットの自己診断フロー

図 33.26 に、PGA オフセットの自己診断フローを示します。

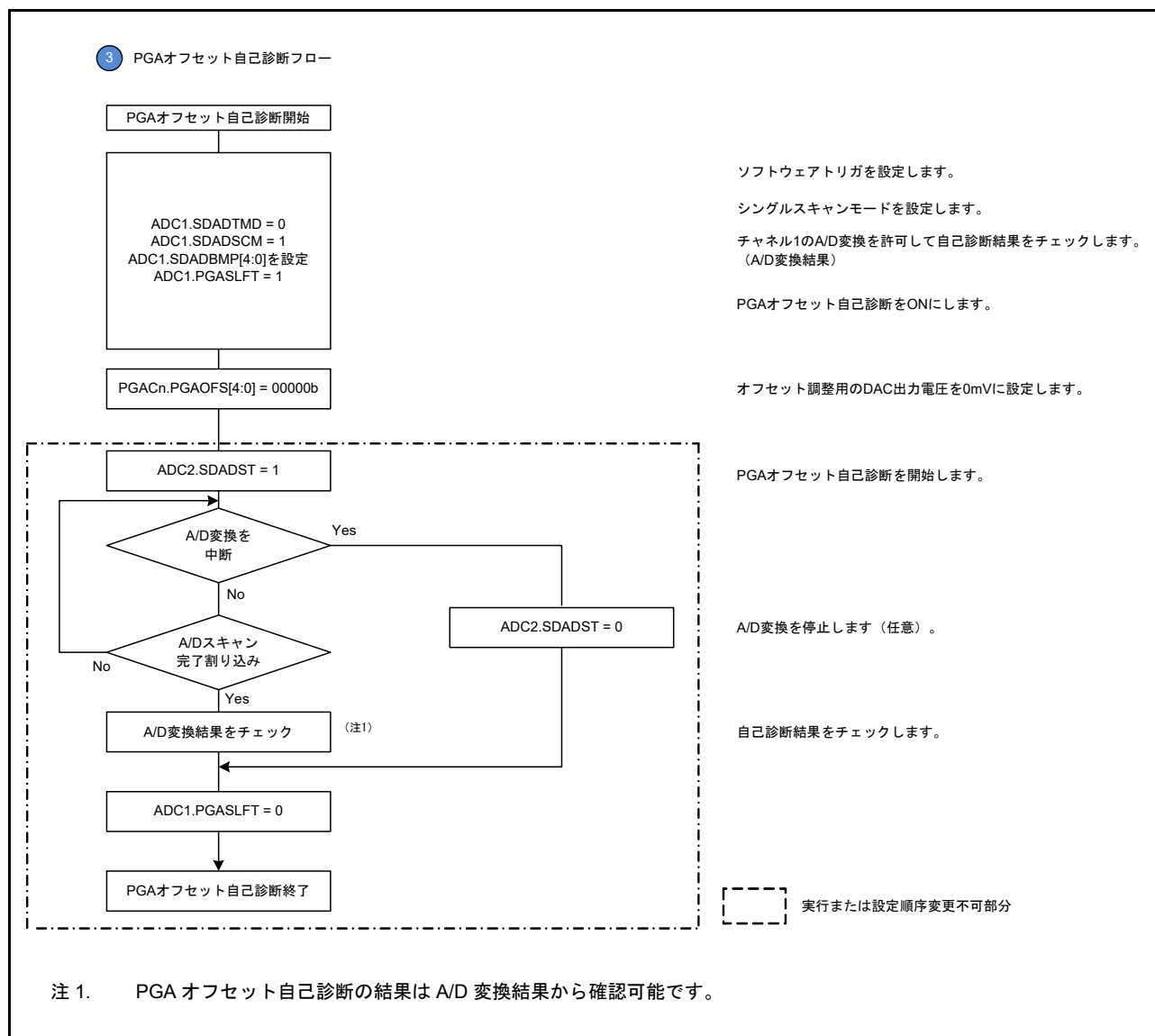


図 33.26 PGA オフセットの自己診断フロー

33.4.4 断線検出アシストフロー

図 33.27 に、断線検出アシストフローを示します。

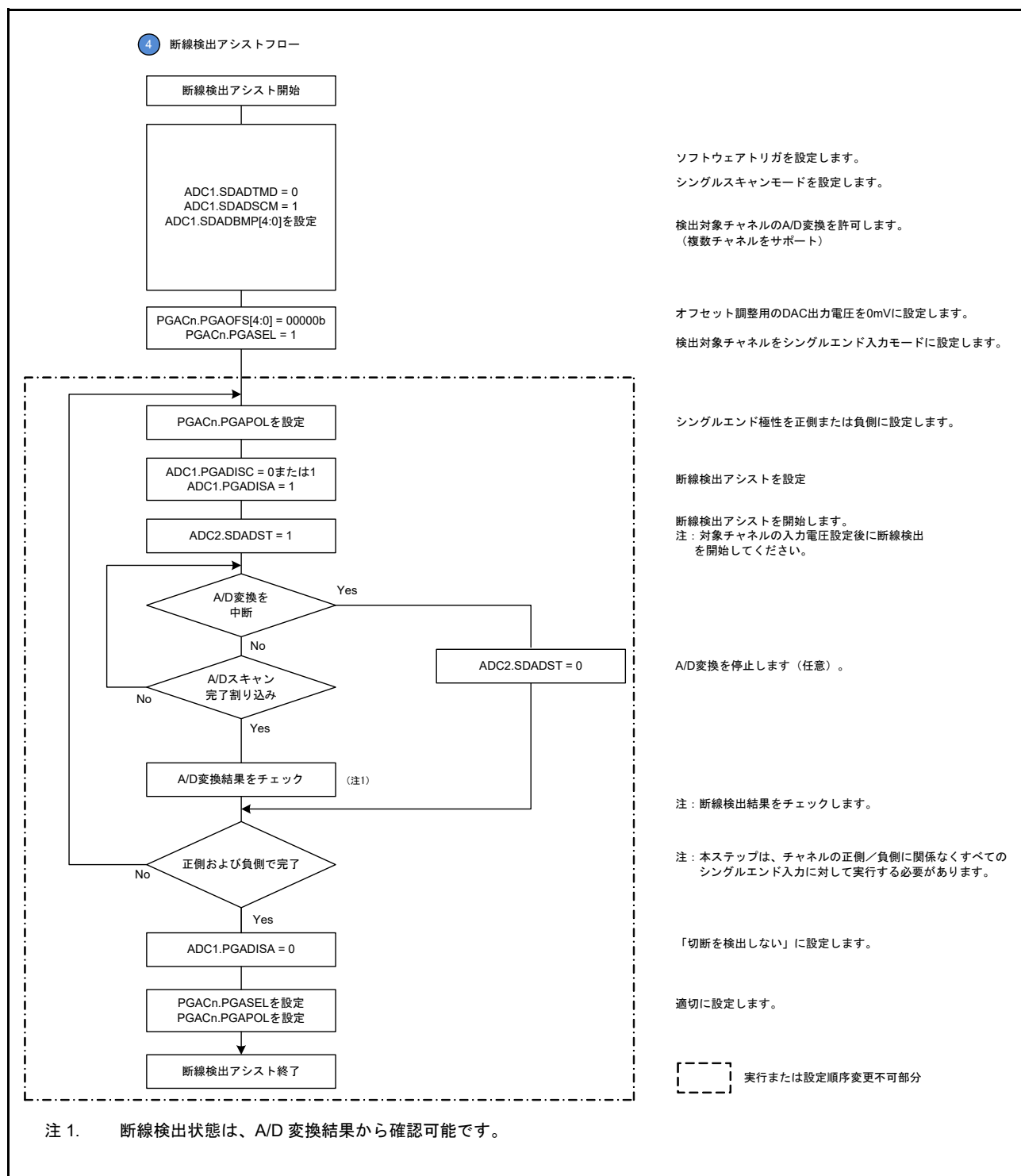


図 33.27 断線検出アシストフロー

33.4.5 内部キャリブレーションフロー

図 33.28 に内部キャリブレーションフローを示します。

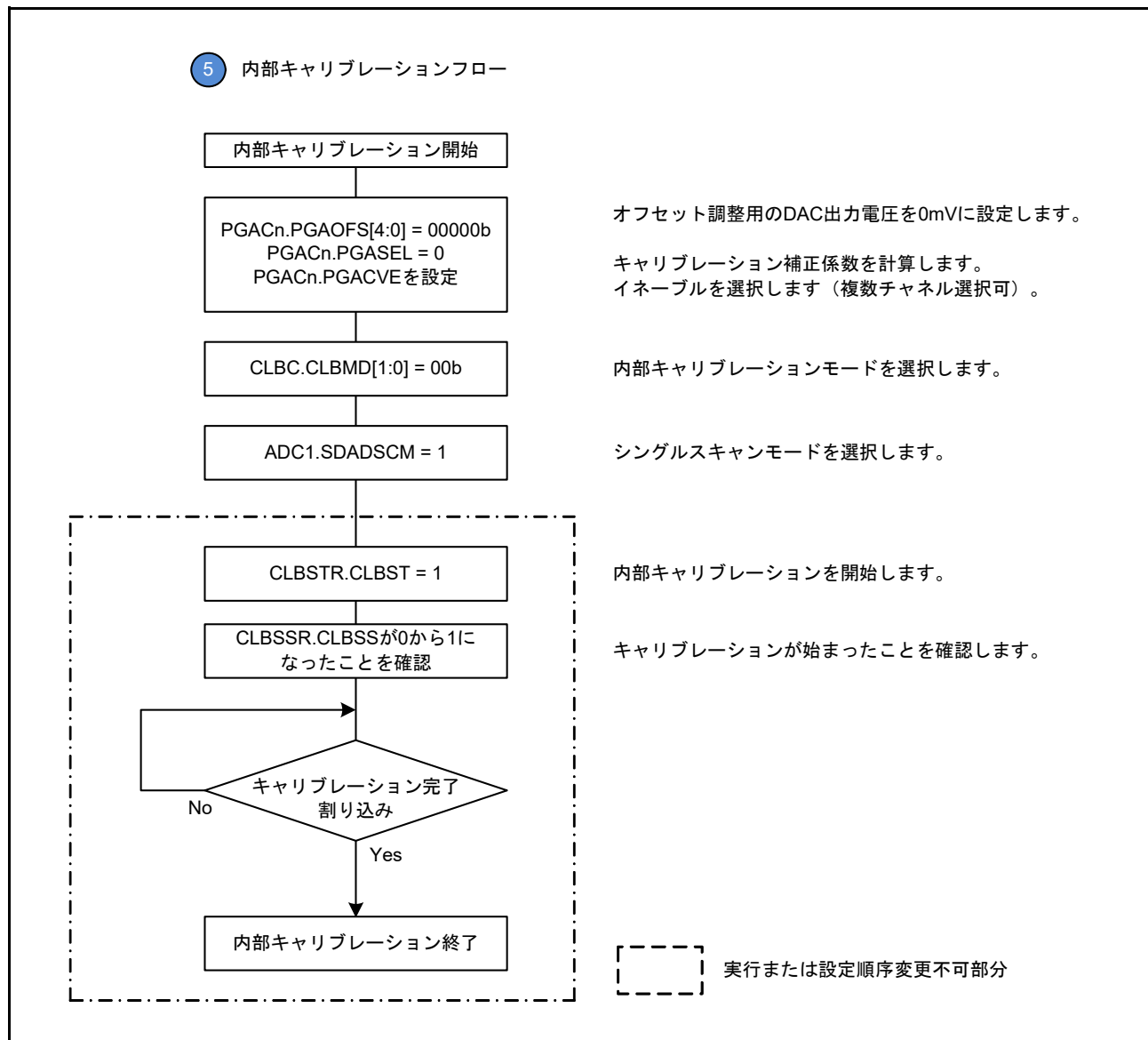


図 33.28 内部キャリブレーションフロー

33.4.6 外部キャリブレーションフロー

図 33.29 に外部キャリブレーションフローを示します。

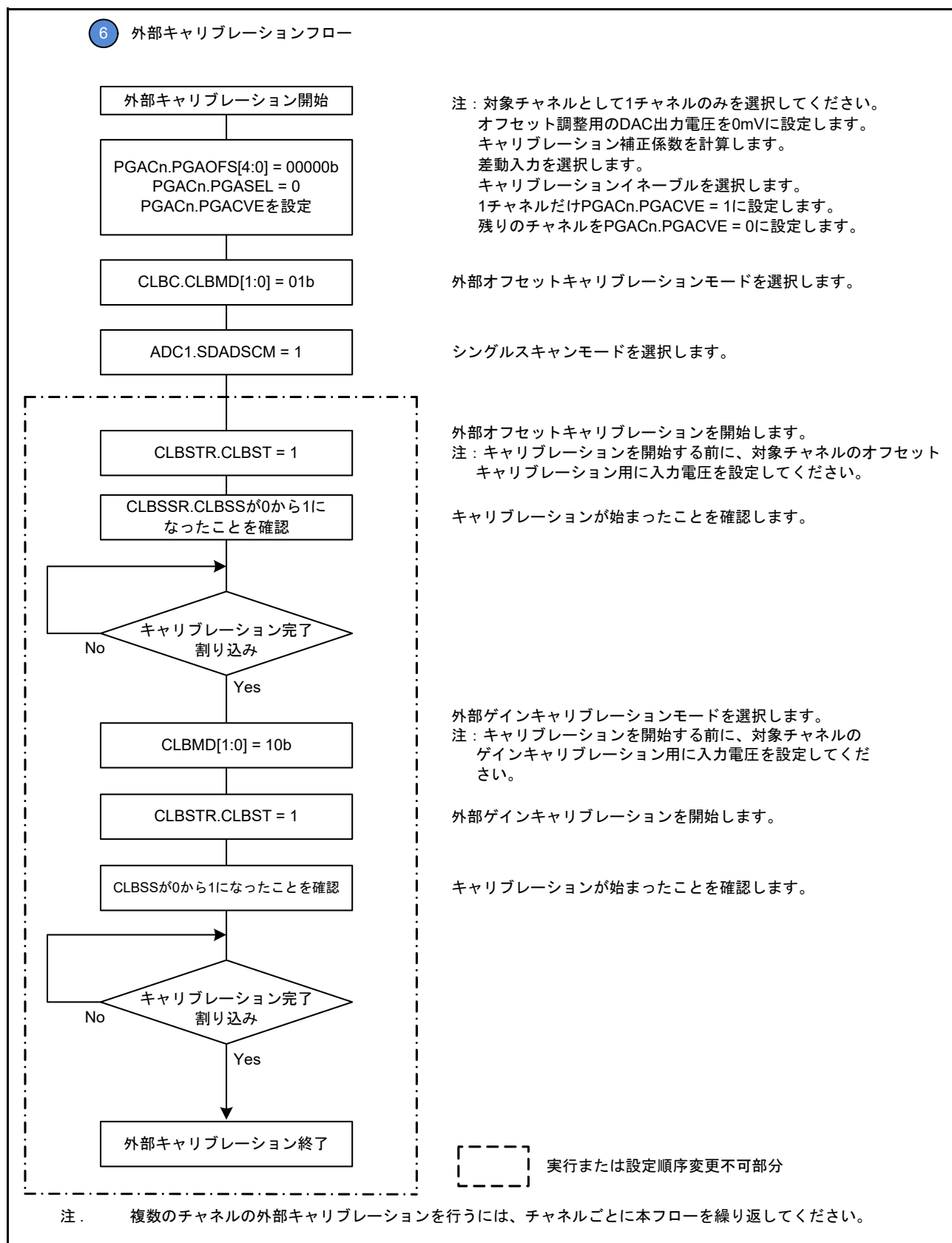


図 33.29 外部キャリブレーションフロー

33.4.7 SDADC24 変換フロー

図 33.30 に SDADC24 変換フローを示します。

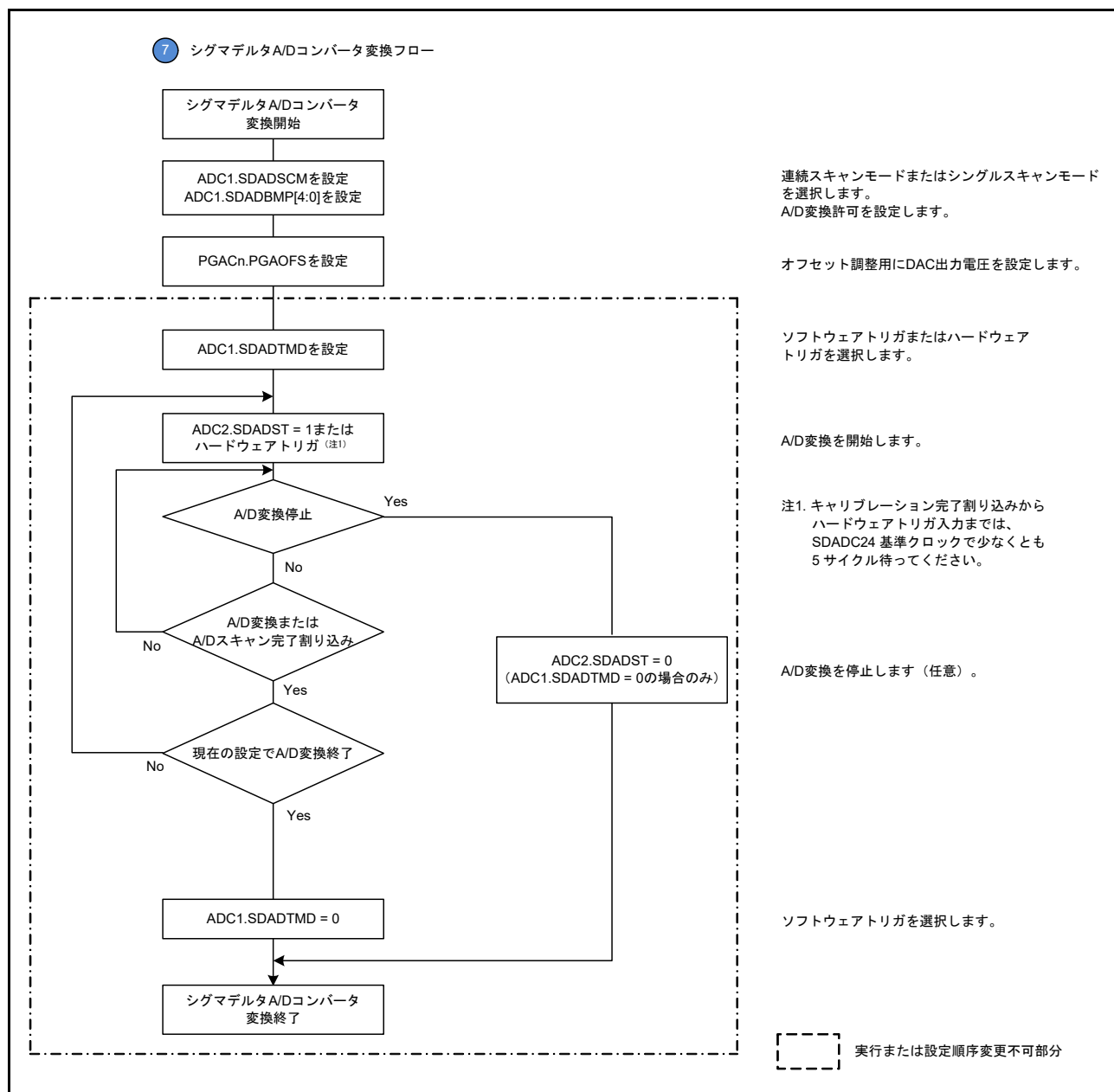


図 33.30 SDADC24 変換フロー

33.4.8 SDADC24 停止設定フロー

図 33.31 に、SDADC24 の停止設定フローを示します。

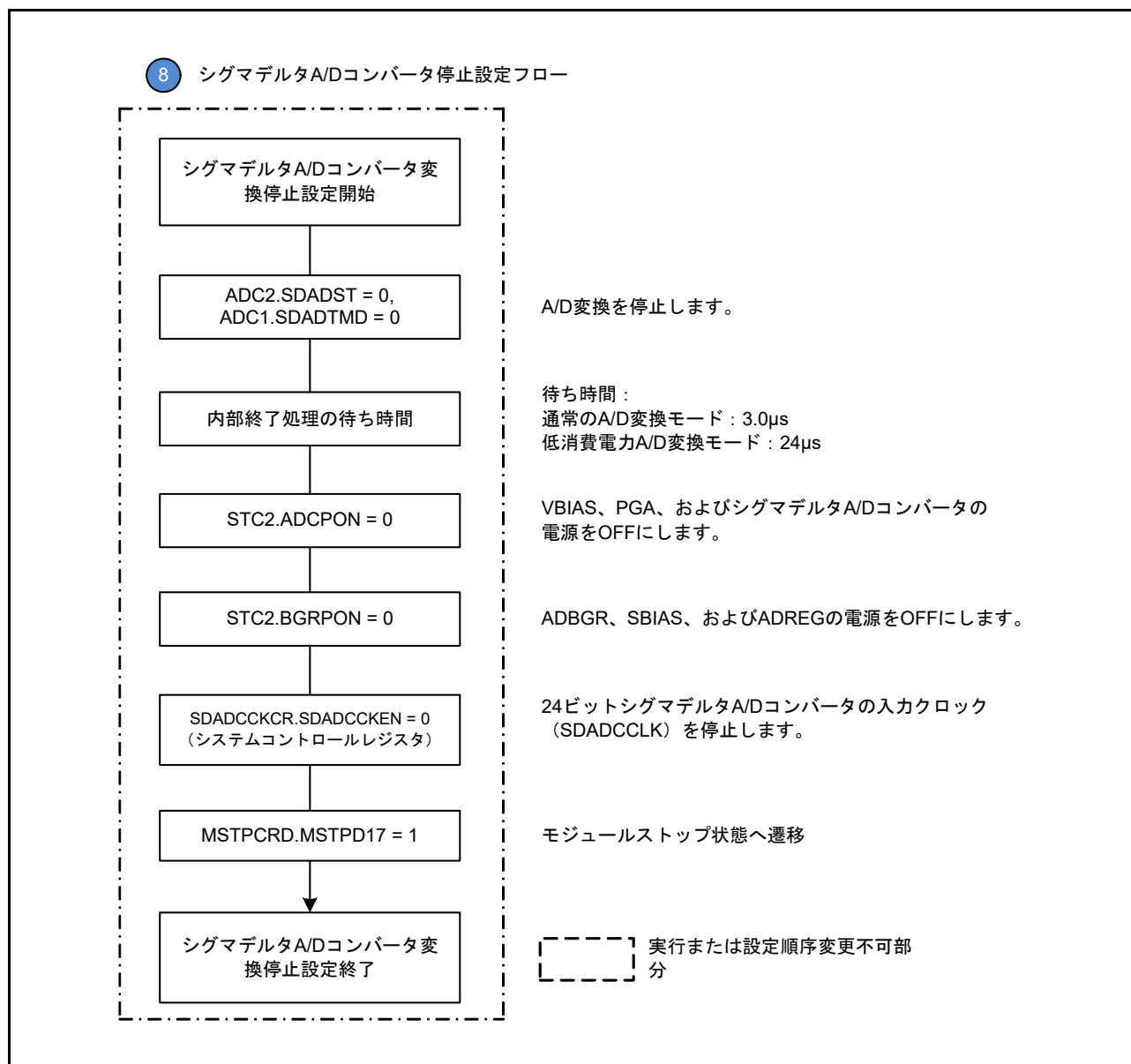


図 33.31 SDADC24 停止設定フロー

33.4.9 リキャリブレーション省略フロー

図 33.32 にリキャリブレーション省略フローを示します。ただし、大きな温度変化またはユーザ環境や使用条件の変更があった場合は、リキャリブレーションを行う必要があります。

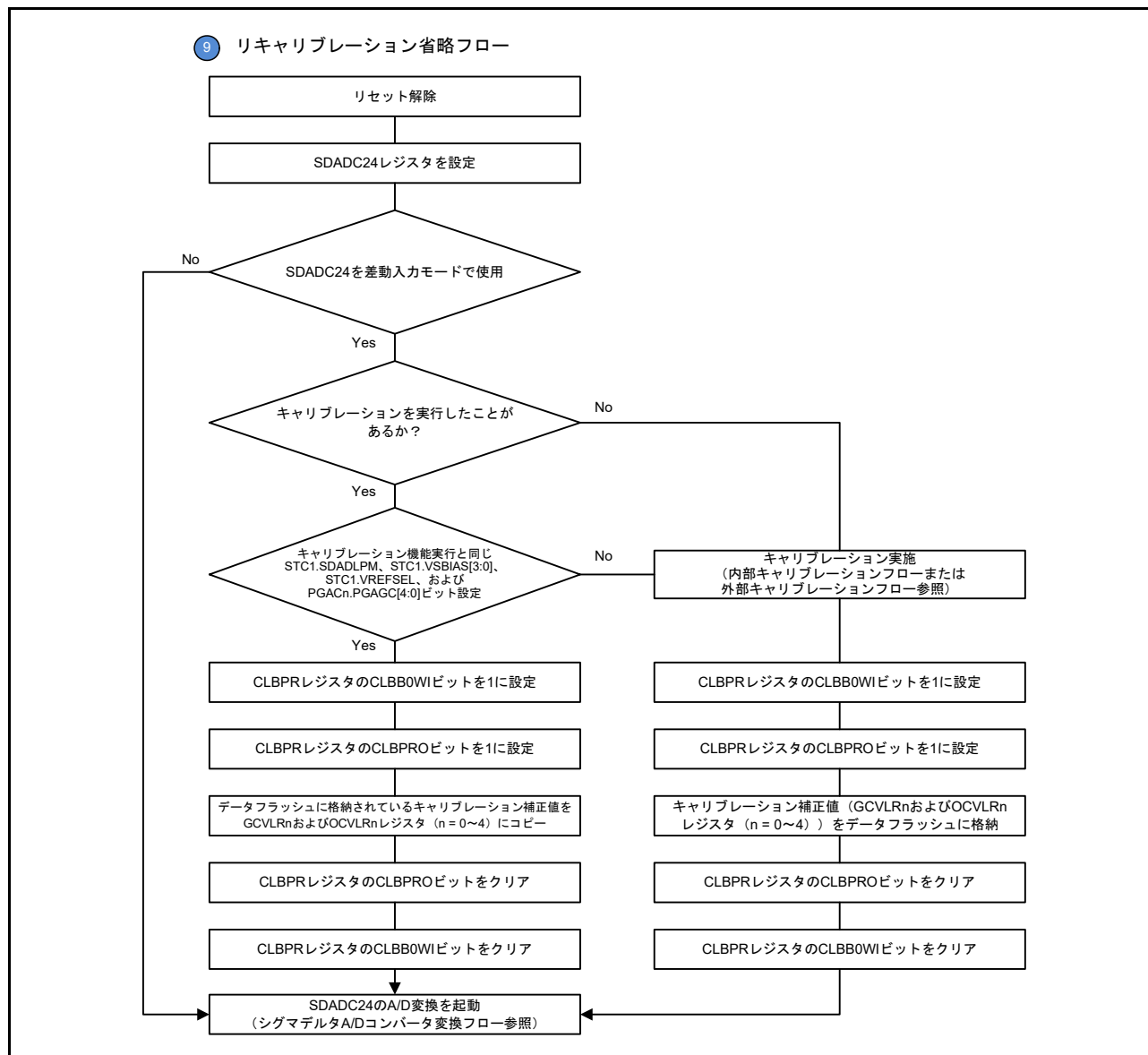


図 33.32 リキャリブレーション省略フロー

33.4.10 センサ基準電圧の独立起動および切り替え/停止フロー

図 33.33 に、センサ基準電圧の独立起動および切り替え/停止フローを示します。

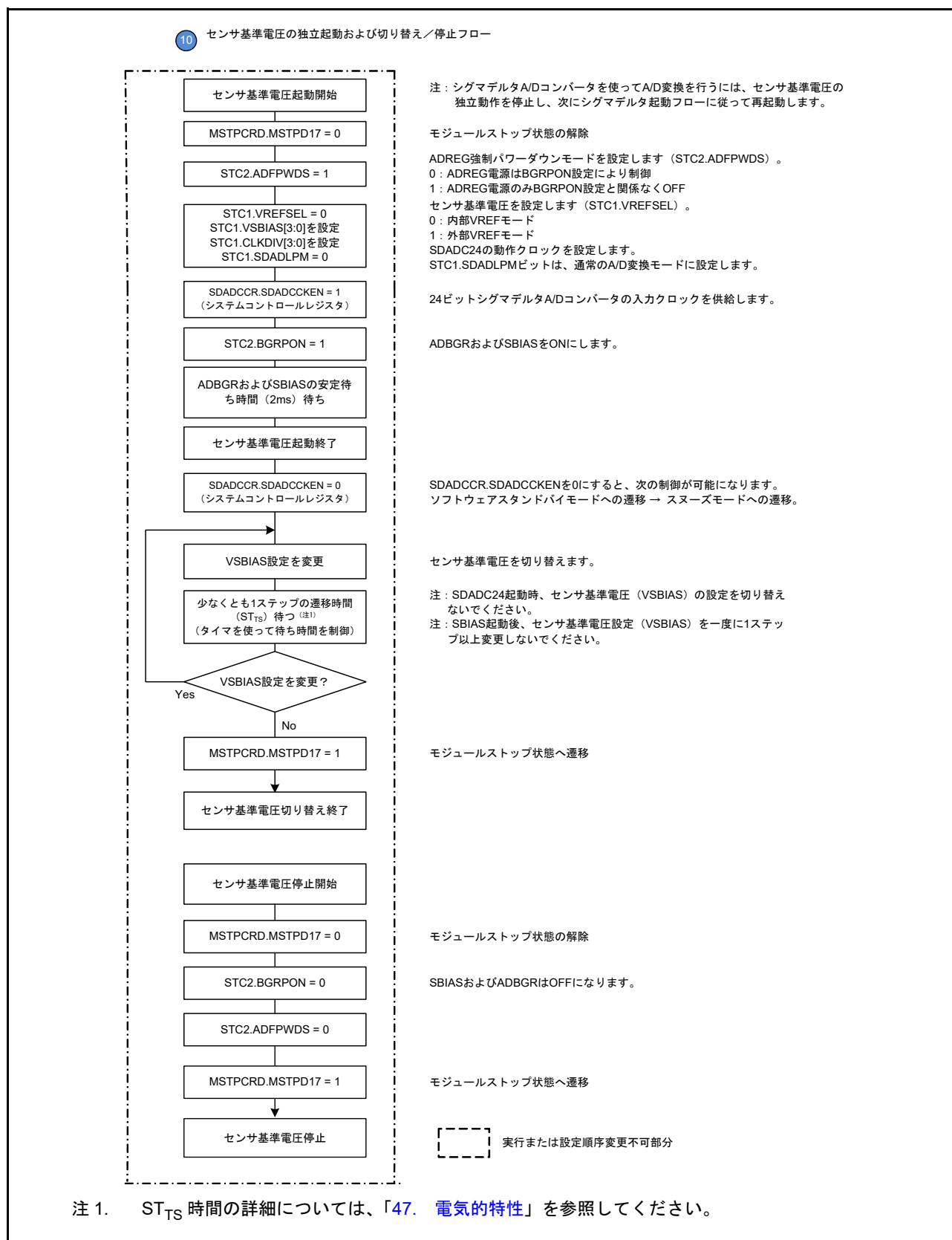


図 33.33 センサ基準電圧の独立起動および切り替え/停止フロー

33.5 使用上の注意事項

33.5.1 データレジスタの読み出し注意事項

以下のレジスタの読み出しは、ワード単位で行ってください。

- シグマデルタ A/D コンバータ変換結果レジスタ (ADCR)
- シグマデルタ A/D コンバータ平均値レジスタ (ADAR)

レジスタをバイト単位またはハーフワード単位で複数回読み出すと、1 回目に読み出した A/D 変換値と 2 回目以降に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位またはハーフワード単位のデータレジスタの読み出しは行わないでください。

33.5.2 モジュールストップ状態の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、SDADC24 の動作を許可または禁止することが可能です。SDADC24 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

33.5.3 低消費電力状態への遷移時の制限

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換および SDADC24 クロック (SDADCCLK) を停止させてください。

33.5.4 A/D 変換動作モードおよび SDADC24 基準クロック分周設定

ADBGR の電源を ON にする (STC2.BGRPON = 0) 前に、A/D 変換動作モード設定 (STC1.SDADLPM ビット設定) および SDADC24 基準クロック分周設定 (STC1.CLKDIV[3:0] ビット設定) を変更する必要があります。

さらに、SDADC24 基準クロックが 4MHz で出力されるように、STC1.CLKDIV[3:0] ビットを設定してください。クロックが 4MHz で出力されないと A/D 変換は正常に実行できません。

33.5.5 SBIAS 動作に関する制限

センサ用基準電圧 (VSBIAS) は一度に 1 ステップ以上変更しないでください。センサ用基準電圧 (STC1.VSBIAS) が一度に 1 ステップ以上変更された場合、基準電圧が各ステップ対応に変化するまで ST_{TS} (注 1) 間待機してください。

MCU の通常モード時、SBIAS を ON にし、安定化時間を待って、SDADCCLK を供給してください。安定後ソフトウェアスタンバイモードおよびスヌーズモードに変更可能です。A/D 変換が SBIAS 独立動作後に起動された場合、SBIAS を停止してから SDADC24 電源を最初から再起動してください。

注 1. ST_{TS} 時間の詳細については、「[47. 電気的特性](#)」を参照してください。

33.5.6 オーバーサンプリング率、PGA ゲイン、およびオフセット電圧 (d_{OFF}) の設定

シングルエンド入力モード時は以下の設定としてください。

d_{OFF} = 0mV、G_{TOTAL} = 1、オーバーサンプリング率 = 256

さらに、以下の動作用に d_{OFF} = 0mV としてください。

- 断線検出アシスト
- PGA オフセットの自己診断
- キャリブレーション

33.5.7 マルチプレクサ 4（内部 OPAMP）に関する制限

- 入力マルチプレクサ4からのA/D変換が許可されている場合、OPAMP0およびOPAMP1は動作している必要があります。
- AMP00 および AMP10 端子に外部から入力されたアナログ信号は、SDADC24 で A/D 変換できません。
- SDADC24 使用中は、P015 および P502 端子を汎用入出力端子、IRQ1 入力、または CTS0 機能に使用できません。

33.5.8 SDADC24、ADC16、および ACPHPS の関係

表 33.14 に示す SDADC24 変換対象は、SDADC24 変換中 ADC16 入力および ACPHPS 入力に選択しないでください。

表 33.14 SDADC24 変換中に選択すべきでないADC16端子とACPHPS端子

SDADC24変換対象	ADC16	ACPHPS
ANSD0P	AN016	IVCMP2
ANSD0N	AN017	IVREF2
ANSD1P	AN018	-
ANSD1N	AN019	-
ANSD2P	AN020	-
ANSD2N	AN021	-
ANSD3P	AN022	-
ANSD3N	AN023	-

34. 12ビットD/Aコンバータ (DAC12)

34.1 概要

本MCUは、12ビットD/Aコンバータ (DAC12) を内蔵しています。

表 34.1 に DAC12 の仕様を、図 34.1 にブロック図を、表 34.2 に入出力端子を示します。

表 34.1 DAC12の仕様

項目	内容
分解能	12ビット
出力チャンネル	1チャンネル
アナログモジュール間の干渉低減	D/A変換回路とA/D変換回路の干渉を低減 D/A変換データ更新タイミングは、ADC16からの同期D/A変換許可入力信号により制御され、これにより、DAC12ラッシュカレントのA/D変換精度に及ぼす影響を低減
モジュールストップ機能	モジュールストップ状態を設定して消費電力を低減
イベントリンク機能 (入力)	イベント信号の入力により、D/A変換の開始が可能

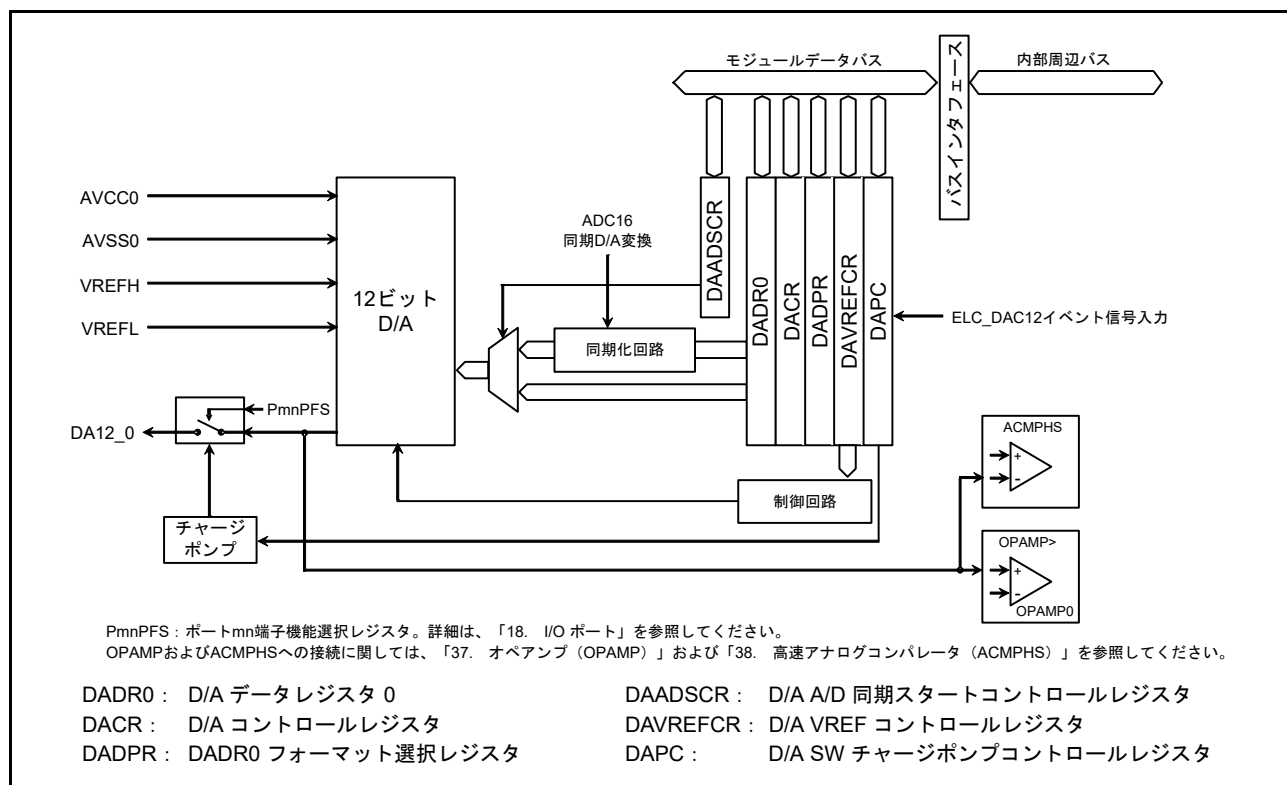


図 34.1 DAC12のブロック図

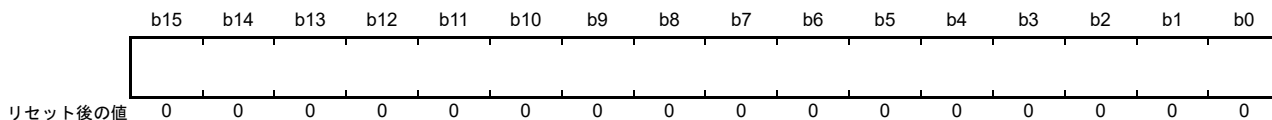
表 34.2 DAC12の端子構成

端子名	入出力	機能
AVCC0	入力	ADC16、DAC12、DAC8、ACMPHS、およびOPAMP用のアナログ電源端子 これらのモジュールを使用しない場合は、VCCに接続してください。
AVSS0	入力	ADC16、DAC12、DAC8、ACMPHS、およびOPAMP用のアナロググランド端子 これらのモジュールを使用しない場合は、VSSに接続してください。
VREFH	入力	DAC12のアナログ基準電圧端子
VREFL	入力	DAC12のアナログ基準グランド端子
DA12_0	出力	アナログ出力端子

34.2 レジスタの説明

34.2.1 D/A データレジスタ 0 (DADR0)

アドレス [DAC12.DADR0 4005 E000h](#)

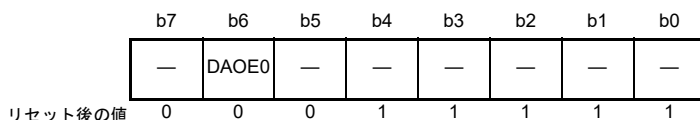


DADR0 レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し／書き込みレジスタです。アナログ出力を許可すると、DADR0 レジスタの値が変換され、アナログ出力端子に出力されます。

12 ビットデータを左詰めにするか右詰めにするかは、DADPR.DPSEL ビットで設定できます。右詰め形式 (DADPR.DPSEL = 0) では、下位 12 ビット ([11:0]) が有効です。左詰め形式 (DADPR.DPSEL = 1) では、上位 12 ビット ([15:4]) が有効です。

34.2.2 D/A コントロールレジスタ (DACR)

アドレス [DAC12.DACR 4005 E004h](#)



ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	DAOE0	D/A出力許可0	0 : D/A変換およびアナログ出力 (DA12_0) を禁止 1 : D/A変換およびアナログ出力 (DA12_0) を許可	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DACR レジスタは、DAADSCR.DAADST ビットが 1 (D/A 変換と A/D 変換の干渉低減が有効) の状態で、ADC16 が停止中の場合のみ設定してください。DACR は、ADCSR.ADST ビットが 0、かつ ADC16 トリガとしてソフトウェアトリガを選択した状態でのみ設定してください。

DAOE0 ビット (D/A 出力許可 0)

D/A 変換とアナログ出力を制御します。

D/A 変換と A/D 変換の干渉低減が有効のとき (DAADSCR.DAADST = 1)、DAOE0 ビットは、ADC16 が停止中 (ADCSR.ADST = 0) かつ ADC16 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。

イベントリンク機能を使用して、DAOE0 ビットを 1 にできます。ELC_DAC12 の ELSR12 レジスタで指定されたイベントが発生すると、DAOE0 ビットが 1 になり、D/A 変換結果の出力を開始します。

34.2.3 DADR0 フォーマット選択レジスタ (DADPR)

アドレス DAC12.DADPR 4005 E005h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DPSEL	DADR0 フォーマット選択	0 : 右詰め 1 : 左詰め	R/W

34.2.4 D/A A/D 同期スタートコントロールレジスタ (DAADSCR)

アドレス DAC12.DAADSCR 4005 E006h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DAADST	D/A A/D同期変換	0 : DAC12の動作はADC16の動作と同期しない (D/A変換とA/D変換の干渉低減が無効) 1 : DAC12の動作はADC16の動作と同期する (D/A変換とA/D変換の干渉低減が有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉を低減するために、D/A 変換開始を ADC16 トリガからの同期 D/A 変換許可入力信号に同期させるか、させないかを選択します。

本レジスタは、ADC16 が停止中 (ADCSR.ADST = 0) かつ ADC16 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。

DAADST ビット (D/A A/D 同期変換)

DAADST ビットを 0 にすると、DADR0 レジスタの値を随時 D/A 変換します。DAADST ビットを 1 にすると、ADC16 からの同期 D/A 変換許可入力信号に同期して D/A 変換が行われます。DADR0 レジスタの値を書き換えても、ADC16 の A/D 変換が終了するまで D/A 変換は行われません。

本ビットは、ADC16 が停止中 (ADCSR.ADST = 0) かつ ADC16 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。なお、DAADST ビットを 1 にした場合は、イベントリンク機能は使用できません。ELC の ELSR12 レジスタでイベントリンク機能を停止に設定してください。

34.2.5 D/A VREF コントロールレジスタ (DAVREFCR)

アドレス [DAC12.DAVREFCR 4005 E007h](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	REF[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	REF[2:0]	D/A 基準電圧選択	b2 b0 0 0 0: 基準電圧を選択しない 0 0 1: AVCC0/AVSS0を選択 1 1 0: VREFH/VREFLを選択 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

D/A VREF コントロールレジスタ (DAVREFCR) は、DAC12 の基準電圧を選択するためのレジスタです。

[REF\[2:0\] ビット \(D/A 基準電圧選択\)](#)

DAC12 の基準電圧を選択するビットです。ビット値を変更する場合はこれらのビットに 000b を書いてから変更してください。変更後に REF[2:0] ビットを読み出して、値が変更されたことを確認してください。また、ADC16 が A/D 変換中は本レジスタを書き換えしないでください。書き換えた場合、A/D 変換の精度は保証されません。

34.2.6 D/A スイッチチャージポンプコントロールレジスタ (DAPC)

アドレス [DAC12.DAPC 4005 E009h](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	PUMPEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUMPEN	チャージポンプ有効	0: チャージポンプ無効 1: チャージポンプ有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

[PUMPEN ビット \(チャージポンプ有効\)](#)

チャージポンプの有効または無効を選択するビットです。AVCC0 < 2.7V かつ、DAC12 の出力レベルを端子に出力する場合は、MOCOCCR.MCSTP ビットを 0 にしてから DAPC.PUMPEN ビットを 1 にしてください。DAC12 出力を ACOMP または OPAMP 入力として使用する場合は、DAPC.PUMPEN ビットを 0 にしてください。MOCOCCR.MCSTP ビットの設定は任意です。

注 . DAPC レジスタは、ポート mn 端子機能選択レジスタの周辺選択ビット (PSEL[4:0] ビット) で D/A 出力が選択されてない状態で設定してください。PSEL[4:0] ビットの詳細については、「[18. I/O ポート](#)」を参照してください。

34.3 動作説明

DAC12 は、D/A 変換回路を備えています。DACR レジスタの DAOE0 ビットを 1 にすると、DAC12 が有効になり、変換結果が出力されます。

以下に D/A 変換例を示します。このときの動作タイミングを図 34.2 に示します。

1. MOCOCR.MCSTP ビットを 0 (MOCO 動作) にします。
2. DAPC.PUMPEN ビットを 1 (チャージポンプ有効) にします。Subosc-speed モードで動作している場合は、以下も追加で行う必要があります。
 - a. MOCOCR.MCSTP ビットを 1 にします。
 - b. 電力制御モードが Subosc-speed モードに遷移します。
3. チャージポンプ安定時間 (注 1) の間、待ちます。
4. D/A 出力端子 (PmnPFS.ASEL ビット設定により制御) をアナログモードにします。
5. D/A 出力端子 (PmnPFS.PMR ビットと PmnPFS.PSEL[4:0] ビットの設定で制御) を選択します。
6. チャージポンプが有効になった後、切り替え安定時間 (注 1) の間、待ちます。
7. DADR0 レジスタに D/A 変換を行うためのデータ、DADPR.DPSEL ビットにデータフォーマットを設定します。
8. DACR.DAOE0 ビットを 1 にすると、D/A 変換を開始します。変換時間 t_{DCONV} 経過後、変換結果をアナログ出力端子 DA12_0 より出力します。DADR0 レジスタを書き換えるか、DAOE0 ビットを 0 にするまで、この変換結果が出力され続けます。出力値は以下の式で計算します。

$$\frac{\text{DADR0 の設定値}}{4096} \times \text{基準電圧}$$

9. 別の変換を開始するには、別の値を DADR0 へ書き込みます。変換時間 t_{DCONV} 経過後、変換結果が出力されます。

DAADSCR.DAADST ビットが 1 (D/A 変換と A/D 変換の干渉低減が有効) の場合、D/A 変換開始まで最大で A/D 変換 1 回分の時間が必要です。ADCLK が周辺クロックよりも速い場合は、さらに時間が必要となる場合があります。

10. アナログ出力を禁止する場合は、DAOE0 ビットを 0 にしてください。

注 . 1. ~ 6. は、AVCC0 < 2.7V かつ DAC12 の出力レベルが端子に出力される場合に実施します。AVCC0 ≥ 2.7V かつ DAC12 の出力レベルが端子に出力される場合、1.、2.、3.、および 6. は必要ありません。DAC12 出力を ACMPHS または OPAMP 入力として使用する場合は、1. ~ 6. は実行しないでください。MOCOCR.MCSTP ビットの設定は任意です。

注 1. チャージポンプ安定時間および切り替え安定時間の詳細については、「47. 電氣的特性」を参照してください。

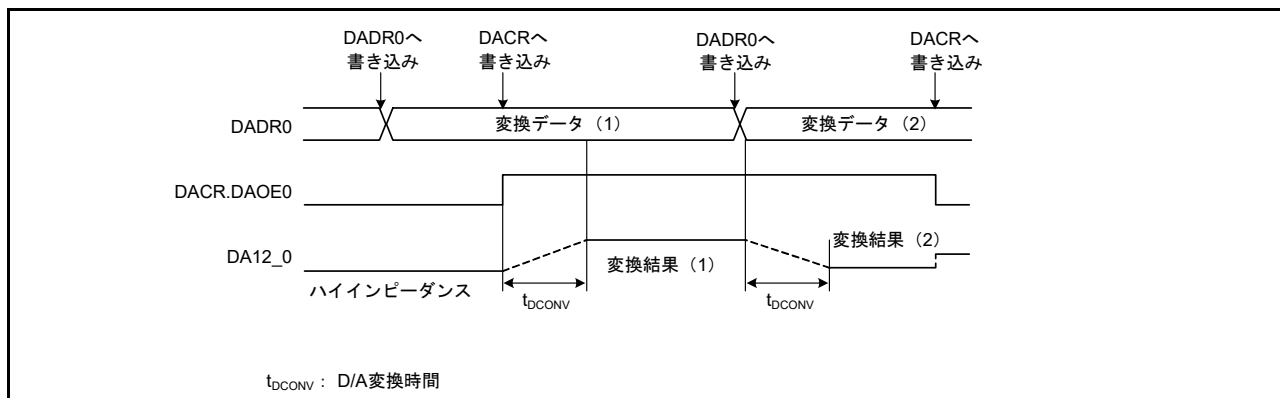


図 34.2 DAC12 の動作例

34.3.1 D/A 変換禁止後の MOCO 停止手順

以下に、AVCC0 < 2.7V かつ DAC12 の出力レベルが端子に出力される場合の D/A 変換禁止 (DACR.DAOE0 = 0) 後の MOCO 停止手順を示します。

1. D/A 出力端子をポート機能またはその他の機能の端子設定に設定します。Subosc-speed モードで動作している場合は、以下も追加で行う必要があります。
 - a. 電力制御モードを Subosc-speed モードから別モードに変更します。
 - b. MOCOCR.MCSTP ビットを 0 にします。
2. DAPC.PUMPEN ビットを 0 (チャージポンプ無効) にします。
3. MOCOCR.MCSTP ビットを 1 (MOCO 停止) にします。

注 . DAC8.DACPC.DAPC = 1 または OPAMP.AMPCPC.PUMPnEN = 1 (n = 0、1、2) の場合は MOCO を停止してはいけません。

34.3.2 D/A 変換と A/D 変換の干渉低減

D/A 変換が始まると DAC12 はラッシュカレントを発生させます。DAC12 と ADC16 のアナログ電源が共通のため、発生したラッシュカレントが ADC16 の動作に干渉することがあります。

DAADSCR.DAADST ビットが 1 の場合、DADR0 レジスタのデータが変更されても、D/A 変換はすぐには実施されません。その代わり、

- ADC16 が停止中に DADR0 レジスタのデータが変更されると、1PCLKB サイクル後に D/A 変換が開始されます
- ADC16 が実行中 (ADCSR.ADST = 1) に DADR0 レジスタが変更された場合、A/D 変換完了時に D/A 変換が開始されます。したがって、DADR0 レジスタデータの更新が D/A 変換回路の出力に反映されるまで、最大で A/D 変換 1 回分の時間が必要です。D/A 変換が完了するまでの間、DADR0 レジスタ値とアナログ出力値は一致しません

DAADSCR.DAADST ビットが 1 のときに、DADR0 レジスタの値が D/A 変換されたかどうかをソフトウェアで確認する手段はありません。

以下に DAC12 を ADC16 に同期して動作させる場合の D/A 変換例を示します。このときの動作タイミングを図 34.3 に示します。

ADC に同期して D/A 変換を実行する場合：

1. ADC16 が停止中であることを確認し、DAADSCR.DAADST ビットを 1 にする。
2. ADC16 が停止中であることを確認し、DACR.DAOE0 ビットを 1 にする。
3. DADR0 レジスタを設定する。ADCLK が周辺クロックよりも速い場合は、D/A 変換は A/D 変換 1 回分以上待たされる場合があります。
 - DADR0 レジスタを書き換えたとき、ADC16 が停止していた場合 (ADCSR.ADST = 0)、1PCLKB サイクル後に D/A 変換が開始されます
 - DADR0 レジスタを書き換えたとき、ADC16 が実行中の場合 (ADCSR.ADST = 1)、A/D 変換終了時に D/A 変換が開始されます。A/D 変換中に DADR0 レジスタを 2 回書き換えた場合、1 回目の更新は D/A 変換されないことがあります

注 . A/D サンプルング時間は PCLKB で 3 サイクル以上必要です。A/D サンプルング時間の詳細は、「32. 16 ビット A/D コンバータ (ADC16)」を参照してください。

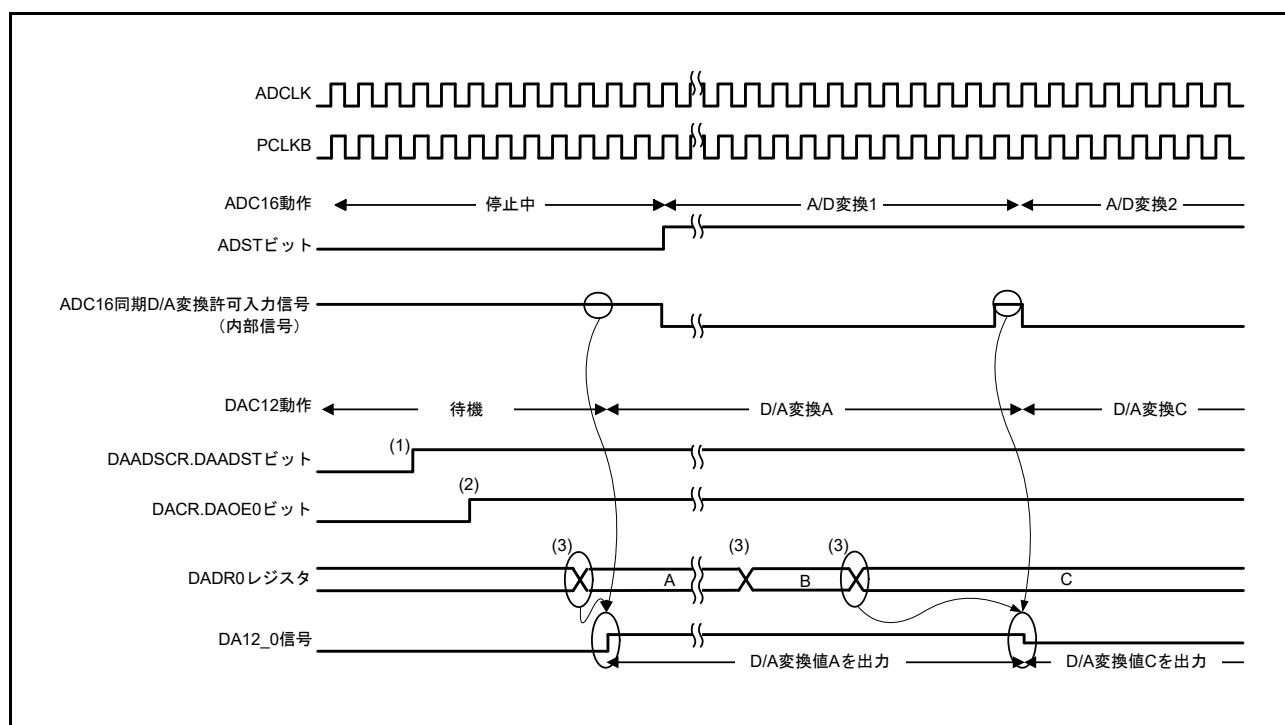


図 34.3 DAC12 を ADC16 に同期して変換する例

34.4 イベントリンクの動作設定手順

イベントリンクの動作を設定する場合：

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DAC12 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、D/A 変換が開始されます。
5. DAC12 のイベントリンク動作を停止するには、ELSR12.ELS[7:0] ビットを 00h にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

34.5 イベントリンク動作における注意事項

- DACR.DAOE0 ビットへの書き込み実行中に ELC_DAC12 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります
- D/A 変換と A/D 変換の干渉低減のために DAADSCR.DAADST ビットを 1 にしている場合、イベントリンク機能は使用しないでください

34.6 使用上の注意事項

34.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、DAC12 の動作を許可/禁止することが可能です。DAC12 は、リセット後は動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

34.6.2 モジュールストップ状態での DAC12 の動作

D/A 変換を許可した状態で MCU がモジュールストップ状態になったとき、D/A 出力は保持されるため、アナログ電源電流は D/A 変換中と同様になります。モジュールストップ時にアナログ電源電流を低減するには、DACR.DAOE0 ビットと DAPC.PUMPEN ビットを 0 にして D/A 変換を禁止してください。

34.6.3 ソフトウェアスタンバイモード時の DAC12 の動作

D/A 変換を許可した状態で MCU がソフトウェアスタンバイモードになったとき、D/A 出力は保持されるため、アナログ電源電流は D/A 変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流を低減するには、DACR.DAOE0 ビットと DAPC.PUMPEN ビットを 0 にして D/A 変換を禁止してください。

34.6.4 D/A 変換と A/D 変換の干渉低減有効時の制限事項

DAADSCR.DAADST ビットが 1 (D/A 変換と A/D 変換の干渉低減が有効) の場合、ADC16 をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換も停止する可能性があります。

34.6.5 D/A コンバータ出力

D/A コンバータの出力インピーダンスが高いため、DA12_0 端子の電流は取得できません。負荷入力インピーダンスが低い場合は、負荷と DA12_0 端子の間にフォロワーアンプを挿入するか、内蔵 OPAMP を使って電流を得てください。また、(出力インピーダンスが高いため) フォロワーアンプと負荷間の配線はできる限り短くしてください。配線が長くなる場合は、たとえば、グラントレースで配線をシールドするなど、設計を再検討してください。

34.6.6 チャージポンプ有効時の DAC12 出力端子

チャージポンプ有効で D/A 変換結果が DA12_0 端子に出力されるとき、下記の設定のいずれかが変更された場合、DA12_0 端子出力に対する切り替え安定時間の間待つ必要があります。切り替え安定時間の詳細は、「[47. 電気的特性](#)」を参照してください。

- OPAMP の AMP2MS レジスタの設定変更時
- OPAMP の AMP2PS レジスタの設定変更時
- DAC8 の端子出力設定の変更時

34.6.7 D/A コンバータ出力との接続

DAC12 出力は、ACMPHS 入力、OPAMP 入力および端子出力に接続可能ですが、同時に 2 つ以上には接続できません。

35. 8 ビット D/A コンバータ (DAC8)

35.1 概要

本 MCU は、8 ビット D/A コンバータ (DAC8) を内蔵しています。

表 35.1 に DAC8 の仕様を、図 35.1 にブロック図を示します。

表 35.1 8ビットD/Aコンバータの仕様

項目	内容
分解能	8ビット
出力チャンネル	2チャンネル
アナログモジュール間の干渉低減	D/A変換回路とA/D変換回路の干渉を低減 D/A変換データ更新タイミングは、ADC16からの同期D/A変換許可入力信号により制御され、これにより、DAC8の突入電流のA/D変換精度に及ぼす影響を低減する
モジュールストップ機能	モジュールストップ状態を設定して消費電力を低減することが可能
イベントリンク機能（入力）	イベント信号の入力により、D/A変換を開始し消費電力を低減可能

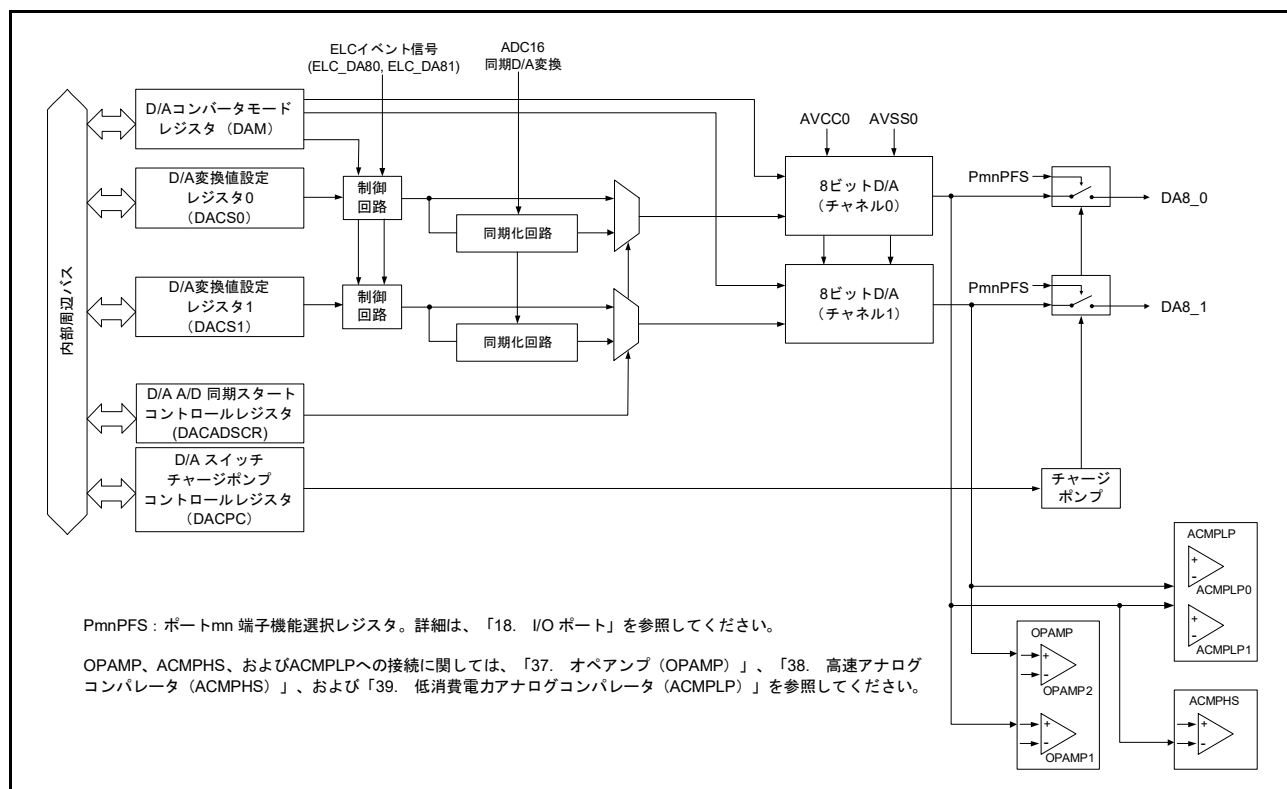


図 35.1 8 ビット D/A コンバータのブロック図

表 35.2 に 8 ビット D/A コンバータで使用する入出力端子を示します。

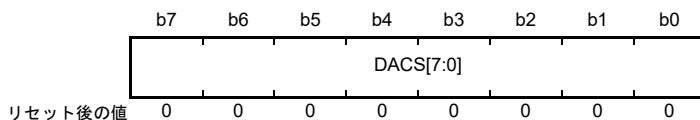
表 35.2 8ビットD/Aコンバータの入出力端子

端子名	入出力	機能
AVCC0	入力	• ADC16、DAC12、DAC8、およびACMPHS用のアナログ電源およびアナログ基準電圧端子 • これらのモジュールを使用しない場合は、VCCに接続してください
AVSS0	入力	• ADC16、DAC12、DAC8、およびACMPHS用のアナロググランド端子およびアナログ基準グランド端子 • これらのモジュールを使用しない場合は、VSSに接続してください
DA8_0	出力	チャンネル0のアナログ出力端子
DA8_1	出力	チャンネル1のアナログ出力端子

35.2 レジスタの説明

35.2.1 D/A 変換値設定レジスタ n (DACS_n) (n = 0, 1)

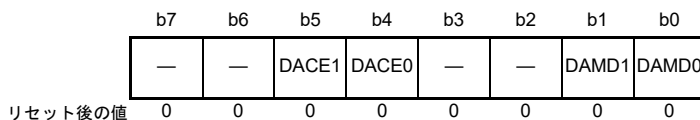
アドレス [DAC8.DACS0 4009 E000h](#), [DAC8.DACS1 4009 E001h](#)



DACS_n レジスタは、D/A 変換を行うデータを格納するための 8 ビットの読み出し／書き込みレジスタです。D/A 変換が許可されている場合、DACS_n レジスタの値が変換され、アナログ出力端子に出力されます。

35.2.2 D/A 変換モードレジスタ (DAM)

アドレス [DAC8.DAM 4009 E003h](#)



ビット	シンボル	ビット名	機能	R/W
b0	DAMD0	D/A 動作モード選択 0	0 : チャネル 0 は通常動作モード 1 : チャネル 0 はリアルタイム出力モード (イベントリンク)	R/W
b1	DAMD1	D/A 動作モード選択 1	0 : チャネル 1 は通常動作モード 1 : チャネル 1 はリアルタイム出力モード (イベントリンク)	R/W
b3-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	DACE0	D/A 動作許可 0	0 : チャネル 0 の D/A 変換を禁止 1 : チャネル 0 の D/A 変換を許可	R/W
b5	DACE1	D/A 動作許可 1	0 : チャネル 1 の D/A 変換を禁止 1 : チャネル 1 の D/A 変換を許可	R/W
b7-b6	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

DAMD_n ビット (D/A 動作モード選択 n) (n = 0, 1)

D/A 変換の動作モードを選択します。

DACE_n ビット (D/A 動作許可 n) (n = 0, 1)

D/A 変換を許可または禁止します。

D/A 変換と A/D 変換の干渉低減が有効のとき (DACADSCR.DACADST = 1)、DACE_n ビットは、ADC16 が停止中 (ADCSR.ADST = 0) かつ ADC16 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。

35.2.3 D/A A/D 同期スタートコントロールレジスタ (DACADSCR)

アドレス DAC8.DACADSCR 4009 E006h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DACADST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DACADST	D/A A/D 同期変換	0 : DAC8の動作はADC16の動作と同期しない (D/A変換とA/D変換の干渉低減が無効) 1 : DAC8の動作はADC16の動作と同期する (D/A変換とA/D変換の干渉低減が有効)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DACADSCR レジスタは、D/A 変換と A/D 変換の干渉を低減するために、D/A 変換開始を ADC16 トリガからの同期 D/A 変換許可入力信号に同期させるかさせないかを選択します。

本レジスタは、ADC16 が停止中 (ADCSR.ADST = 0) かつ ADC16 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。

DACADST ビット (D/A A/D 同期変換)

DACADST ビットを 0 にすると、DACSn レジスタの値を随時 D/A 変換します。DACADST ビットを 1 にすると、ADC16 からの同期 D/A 変換許可入力信号に同期して D/A 変換が行われます。したがって、DACSn レジスタの値を書き換えても、ADC16 の A/D 変換が終了するまで D/A 変換は行われません。

本ビットは、ADC16 が停止中 (ADCSR.ADST = 0) かつ ADC16 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。なお、DACADST ビットを 1 にした場合は、イベントリンク機能は使用できません。DAM.DAMDn ビットでイベントリンク機能を停止に設定してください。

DACADST ビットの設定は、DAC8 のチャンネル 0 およびチャンネル 1 に共通です。

35.2.4 D/A スイッチチャージポンプコントロールレジスタ (DACPC)

アドレス DAC8.DACPC 4009 E007h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	PUMPEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUMPEN	チャージポンプ有効	0 : チャージポンプ無効 1 : チャージポンプ有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PUMPEN ビット (チャージポンプ有効)

チャージポンプの有効または無効を選択するビットです。AVCC0 < 2.7V かつ DAC8 の出力レベルを端子に出力する場合は、MOCOCR.MCSTP ビットを 0 にしてから DACPC.PUMPEN ビットを 1 にしてください。DAC8 出力を ACMPLP、ACMPLP、または OPAMP 入力として使用する場合は、DACPC.PUMPEN ビットを 0 にしてください。MOCOCR.MCSTP ビットの設定は任意です。

注. DACPC レジスタは、ポート mn 端子機能選択レジスタの周辺選択ビット (PSEL[4:0] ビット) で D/A 出力が選択されていない状態で設定してください。PSEL[4:0] ビットの詳細については、「18. I/O ポート」を参照してください。

35.3 動作説明

35.3.1 通常モード

DACSn (n = 0, 1) レジスタへの書き込みをトリガとして、D/A 変換を行います。

以下にチャンネル 0 の D/A 変換動作例を示します。

1. MOCOCR.MCSTP ビットを 0 (MOCO 動作中) にします。
2. DACPC.PUMPEN ビットを 1 (チャージポンプ有効) にします。Subosc-speed モードで動作している場合は、以下も追加で行う必要があります。
 - a. MOCOCR.MCSTP ビットを 1 にします。
 - b. 電力制御モードを Subosc-speed モードに変更します。
3. チャージポンプ安定時間 (注 1) の間、待ちます。
4. D/A 出力端子 (PmnPFS.ASEL ビット設定により制御) をアナログモードにします。
5. D/A 出力端子 (PmnPFS.PMR ビットと PmnPFS.PSEL[4:0] ビットの設定で制御) を選択します。
6. チャージポンプが有効になった後、切り替え安定時間 (注 1) の間、待ちます。
7. DAM.DAMD0 ビットを 0 (通常動作モード) にします。
8. DACS0 レジスタに D/A 変換を行うためのデータを設定します。
9. DAM.DACE0 ビットを 1 にすると、D/A 変換を開始します。変換時間経過後、変換結果をアナログ出力端子 (DA8_0) より出力します。DACS0 レジスタを書き換えるか、DAM.DACE0 ビットを 0 にするまで、この変換結果が出力され続けます。
出力値は以下の式で計算します。

$$\frac{\text{DACS0 の設定値}}{256} \times \text{基準電圧}$$

10. 別の変換を開始するには、別の値を DACS0 レジスタへ書き込みます。変換時間経過後、変換結果が出力されます。
DACADSCR.DACADST ビットが 1 (D/A 変換と A/D 変換の干渉低減が有効) の場合、D/A 変換開始まで最大で A/D 変換 1 回分の時間が必要です。ADCLK が周辺クロックよりも速い場合は、さらに時間が必要となる場合があります。
11. アナログ出力を禁止する場合は、DAM.DACE0 ビットを 0 にしてください。

- 注 . DAM.DACE0 ビットを 1、0、1 の順に設定すると、最後の 1 を設定してから変換時間の経過後、アナログ電圧が DA8_0 端子に出力されます。
- 注 . 変換時間中に DACS0 レジスタが書き換えられた場合、現在の D/A 変換は中止され、書き換えられた値で変換が再開されます。
- 注 . 1. ~ 6. は、AVCC0 < 2.7V かつ DAC8 出力レベルが端子に出力される場合に実施します。AVCC0 ≥ 2.7V かつ DAC8 出力レベルが端子に出力される場合、1.、2.、3.、および 6. は必要ありません。DAC8 出力を ACMPHS、ACMPLP、または OPAMP 入力として使用する場合は、1. ~ 6. は実行しないでください。
- 注 1. チャージポンプ安定時間および切り替え安定時間の詳細については、「47. 電気的特性」を参照してください。

35.3.2 リアルタイム出力モード (イベントリンク)

ELC からのイベント信号をトリガとして、各チャンネルで D/A 変換を行います。

以下にチャンネル 0 の D/A 変換動作例を示します。

1. MOCOCR.MCSTP ビットを 0 (MOCO 動作) にします。
2. DACPC.PUMPEN ビットを 1 (チャージポンプ有効) にします。Subosc-speed モードで動作している場合は、以下も追加で行う必要があります。
 - a. MOCOCR.MCSTP ビットを 1 にします。
 - b. 電力制御モードを Subosc-speed モードに変更します。
3. チャージポンプ安定時間 (注 1) の間、待ちます。
4. PmnPFS.ASEL のアナログ入力許可ビットを 1 にしてください (DAC8 をアナログ入力モードにしてください)。
5. D/A 出力端子 (PmnPFS.PMR ビットと PmnPFS.PSEL[4:0] ビットの設定で制御) を選択します。
6. チャージポンプが有効になった後、切り替え安定時間 (注 1) の間、待ちます。
7. DAM.DAMD0 ビットを 0 (通常動作モード) にします。
8. DACS0 レジスタに D/A 変換を行うためのデータを設定します。
9. DAM.DACE0 ビットを 1 にすると、D/A 変換を開始します。変換時間経過後、変換結果をアナログ出力端子 (DA8_0) より出力します。
10. リアルタイム出力モードのトリガ信号を、ELC の ELSR19 レジスタで指定します。
11. DAM.DAMD0 ビットを 1 (リアルタイム出力モード) にします。
12. イベント要因動作を開始します。1. ~ 12. は初期設定として実施します。
13. リアルタイム出力モードのトリガ信号が発生すると、D/A 変換が開始し、変換時間経過後に、アナログ電圧が DA8_0 端子に出力されます。D/A 変換を行うためのデータは、次の D/A 変換が開始する前 (リアルタイム出力モードのトリガ信号の発生前) に DACS0 レジスタに設定する必要があります。アナログ出力を禁止する場合は、DAM.DACE0 ビットを 0 にしてください。

- 注 . D/A 変換と A/D 変換の干渉低減のため DACADSCR.DACADST ビットを 1 にしている場合、イベントリンク機能は使用禁止です。
- 注 . DAM.DACE0 ビットを 1、0、1 の順に設定すると、最後の 1 を設定してから変換時間の経過後、アナログ電圧が DA8_0 端子に出力されます。
- 注 . リアルタイム出力モードのトリガ信号発生間隔を同じチャンネルで設定する場合、変換時間よりも長い値に間隔を設定してください。変換時間中にトリガ信号が発生した場合、現在の D/A 変換が中止されてから、D/A 変換が再開されます。
- 注 . 1. ~ 6. は、AVCC0 < 2.7V かつ DAC8 出力レベルが端子に出力される場合に実施します。AVCC0 ≥ 2.7V かつ DAC8 出力レベルが端子に出力される場合、1.、2.、3.、および 6. は必要ありません。DAC8 出力を ACMPHS、ACMPLP、または OPAMP 入力として使用する場合は、1. ~ 6. は実行しないでください。MOCOCR.MCSTP ビットの設定は任意です。
- 注 1. チャージポンプ安定時間および切り替え安定時間の詳細については、「47. 電気的特性」を参照してください。

35.3.3 D/A 変換禁止後の MOCO 停止手順

以下に、AVCC0 < 2.7V かつ DAC8 出力レベルが端子に出力される場合の D/A 変換禁止 (DAM.DACE0 = 0) 後の MOCO 停止手順を示します。

1. D/A 出力端子をポート機能またはその他の機能に設定します。Subosc-speed モードで動作している場合は、以下も追加で行う必要があります。

- a. 電力制御モードをSubosc-speedモードから別モードに変更します。
 - b. MOCOCR.MCSTP ビットを0にします。
2. DACPC.PUMPEN ビットを 0 (チャージポンプ無効) にします。
 3. MOCOCR.MCSTP ビットを 1 (MOCO 停止) にします。
- 注. DAC12.DAPC.DAPC = 1 または OPAMP.AMPCPC.PUMPnEN = 1 (n = 0, 1, 2) の場合は MOCO を停止してはいけません。

35.3.4 D/A 変換値の出力開始タイミング

図 35.2 に、D/A 変換値の出力開始タイミングを示します。

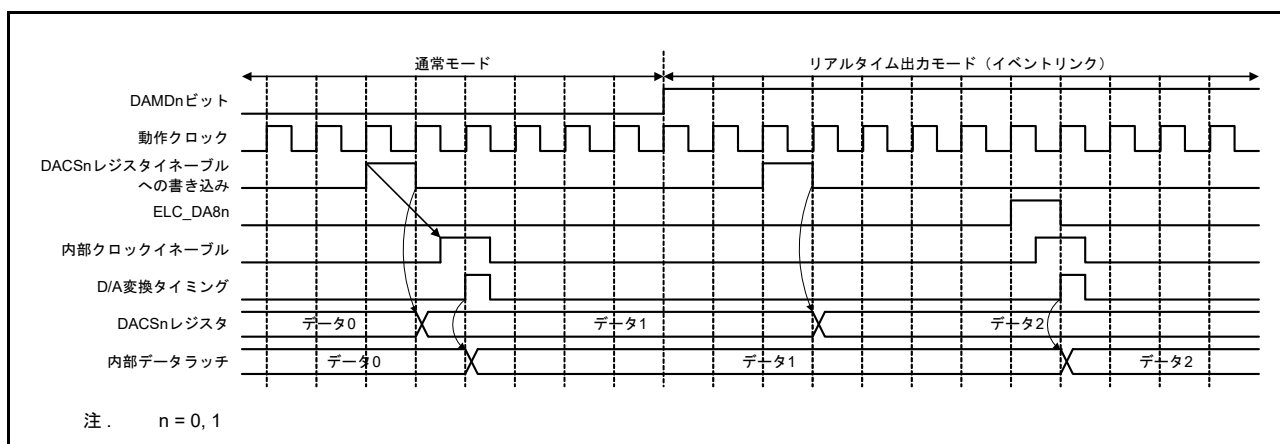


図 35.2 D/A 変換値の出力開始タイミング

通常モード時の出力開始タイミング

- DACSn レジスタが書き込まれてから動作クロック 1 サイクル後に内部データラッチが設定されます (注 1)。変換時間経過後、アナログ電圧が DA8_n 端子出力されます

注 1. DACADSCR.DACADST ビットが 1 なることにより A/D 変換が停止している間に DACSn に書き込みが行われると、内部データは、動作クロックで 2 サイクル後に設定されます。

リアルタイム出力モード時の出力開始タイミング

- ELC からイベント信号 (ELC_DA8n) を受信してから動作クロック 1 サイクル後に内部データラッチが設定されます。変換時間経過後、アナログ電圧が DA8_n 端子に出力されます

35.3.5 D/A 変換と A/D 変換の干渉の最小化

D/A 変換が始まると DAC8 はラッシュカレントを発生させます。DAC8 と ADC16 のアナログ電源が共通のため、発生したラッシュカレントが 16 ビット A/D 変換に干渉することがあります。

DACADSCR.DACADST ビットが 1 の場合、DACSn レジスタのデータが変更されても、D/A 変換はすぐには実施されません。

その代わりに、

- ADC16 が停止中に DACSn レジスタのデータが変更されると、2PCLKB サイクル後に D/A 変換が開始されます
- ADC16 が実行中 (ADCSR.ADST = 1) に DACSn レジスタのデータが変更された場合、A/D 変換完了時に D/A 変換が開始されます。したがって、DACSn レジスタデータの更新が D/A 変換回路の出力に反映されるまで、最大で A/D 変換 1 回分の時間が必要です。D/A 変換が完了するまでの間、DACSn レジスタ値とアナログ出力値は一致しません

DACADSCR.DACADST ビットが 1 のときに、DACSn レジスタの値が D/A 変換されたかどうかをソフト

ウェアで確認する手段はありません。

以下に DAC8 を ADC16 に同期して動作させる場合の D/A 変換例を示します。

1. ADC16 が停止中であることを確認し、DACADSCR.DACADST ビットを 1 にする。
2. ADC16 が停止中であることを確認し、DAM.DACEn ビットを 1 にする。
3. DACSn レジスタを設定する。ADCLK が周辺クロックよりも速い場合は、D/A 変換は、A/D 変換 1 回分以上待たされる場合があります。
 - DACSn レジスタを書き換えたとき、ADC16 が停止していた場合 (ADCSR.ADST = 0)、2PCLKB サイクル後に D/A 変換が開始されます
 - DACSn レジスタを書き換えたとき、ADC16 が実行中の場合 (ADCSR.ADST = 1)、A/D 変換完了時に D/A 変換が開始されます。A/D 変換中に DACSn レジスタを 2 回書き換えた場合、1 回目の更新は、D/A 変換されないことがあります

注 . A/D サンプリング時間は PCLKB で 3 サイクル以上必要です。A/D サンプリング時間の詳細は、「[32. 16 ビット A/D コンバータ \(ADC16\)](#)」を参照してください。

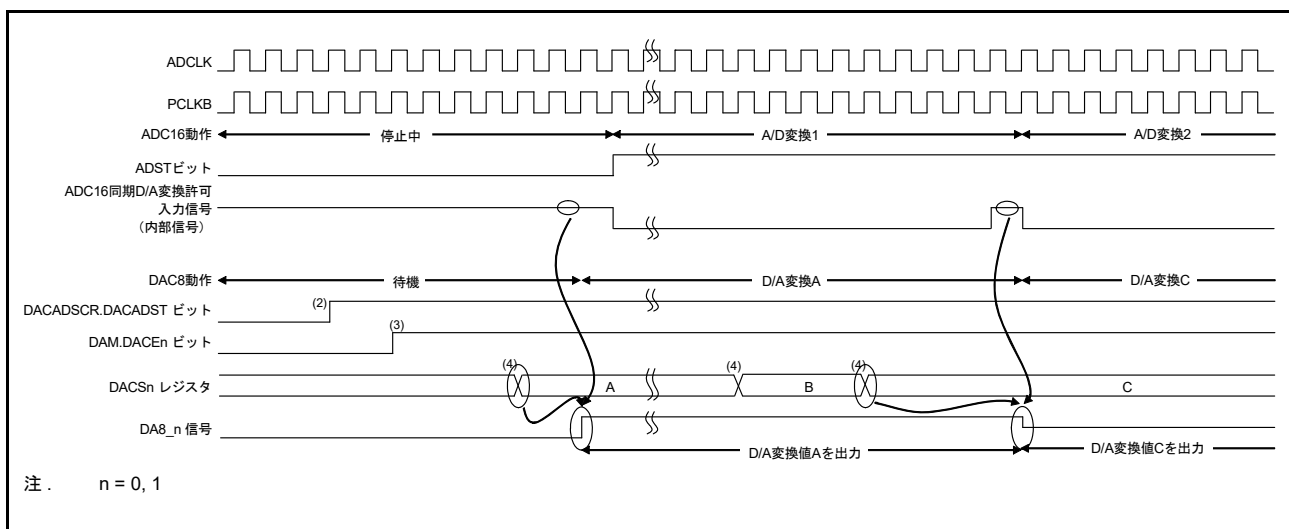


図 35.3 DAC8 を ADC16 に同期して変換する例

35.4 使用上の注意事項

35.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、8 ビット D/A コンバータの動作を許可または禁止することが可能です。8 ビット D/A コンバータは、リセット後は動作が停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

35.4.2 モジュールストップ状態での 8 ビット DAC の動作

D/A 変換を許可した状態で MCU がモジュールストップ状態になると、D/A 出力は保存され、アナログ電源電流は D/A 変換中と同様になります。モジュールストップ状態のときにアナログ電源電流の低減が必要な場合は、DAM.DACEn ビットと DACPC.PUMPEN ビットを 0 にして D/A 変換を禁止してください。

35.4.3 ソフトウェアスタンバイモード時の 8 ビット DAC の動作

D/A 変換を許可した状態で MCU がソフトウェアスタンバイモードになると、D/A 出力は保存され、アナログ電源電流は D/A 変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流の低減が必要な場合は、DAM.DACEn ビットと DACPC.PUMPEN ビットを 0 にして D/A 変換を禁止してください。

35.4.4 D/A コンバータのリアルタイム出力

リアルタイム出力モード時

- リアルタイム出力モードのトリガ信号が発生する前に、DACSn レジスタに値を設定してください。トリガ信号の出力中は、DACSn レジスタの設定値は変更しないでください

リアルタイム出力モード時に MCU がソフトウェアスタンバイモードに移移する場合

- ソフトウェアスタンバイモードに移移する前に ELC_DA8n を無効にしてください。詳細は、「[17. イベントリンクコントローラ \(ELC\)](#)」を参照してください

35.4.5 D/A コンバータ出力

D/A コンバータの出力インピーダンスが高いため、DA8_0 および DA8_1 端子の電流は取得できません。負荷入力インピーダンスが低い場合は、負荷と DA8_0 および DA8_1 端子の間にフォロワーアンプを挿入するか、内蔵 OPAMP を使って電流を得てください。また、出力インピーダンスが高いため、フォロワーアンプと負荷間の配線はできる限り短くしてください。配線が長くなる場合は、グラントレースによる配線のシールドを検討してください。

35.4.6 D/A コンバータを使用しないとき

D/A コンバータを使用しないときは、DAM.DACEn ビットを 0 (出力禁止)、DACSn レジスタを 00h、かつ DACPC.PUMPEN ビットを 0 にして、電流が流れず電流消費が低減されるようにしてください。

35.4.7 チャージポンプ有効時の DAC8 出力端子

チャージポンプ有効で D/A 変換結果が DA8_0 および DA8_1 端子に出力されるとき、下記の設定のいずれかが変更された場合、DA8_0 および DA8_1 端子出力に対する切り替え安定時間の間待つ必要があります。切り替え安定時間の詳細は、「[47. 電気的特性](#)」を参照してください。

- OPAMP の AMP2MS レジスタの設定変更時
- OPAMP の AMP2PS レジスタの設定変更時
- 12 ビット D/A 変換の端子出力設定の変更時
- その他のチャネルの 8 ビット D/A 変換の端子出力設定変更時

35.4.8 D/A コンバータ出力との接続

DAC8 のチャネル n ($n=0, 1$) 出力は、ACMPHS 入力、ACMPLP 入力、OPAMP 入力および端子出力に接続可能ですが、同時に 2 つ以上への接続は禁止されています。

OPAMP 入力への接続は、OPAMP の外部端子がない製品でも可能です。

詳細は、「[18.6 製品ごとの周辺選択設定](#)」を参照してください。

36. 温度センサ（TSN）

36.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサでチップの温度を決定し、監視します。このセンサはチップの温度に正比例した電圧を出力するため、チップ温度と出力電圧はリニアの関係にあります。出力された電圧はADC16で変換されてから、末端の応用機器で使用できます。

表 36.1 に温度センサの仕様を、図 36.1 に温度センサのブロック図をそれぞれ示します。

表 36.1 温度センサの仕様

項目	内容
温度センサ電圧出力	ADC16に電圧を出力

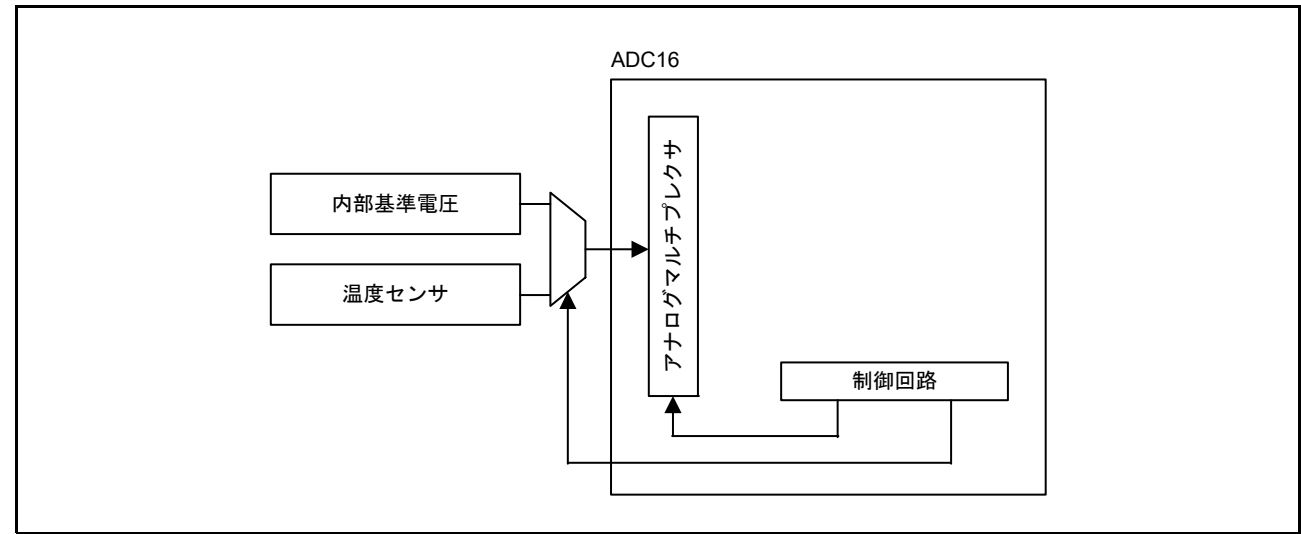


図 36.1 温度センサのブロック図

36.2 レジスタの説明

36.2.1 温度センサ補正データレジスタ H (TSCDRH)

アドレス TSN.TSCDRH 407E C229h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRH[7:0]	温度センサ補正データ	変換後の値の上位8ビットを格納します。	R

TSCDRH レジスタには、工場出荷時に各 MCU 用に測定された温度センサ補正データが格納されています。

温度センサ補正データは、 $T_a = T_j = 125\text{ }^{\circ}\text{C}$ および $AVCC0 = 3.3\text{V}$ の条件で、温度センサが出力した電圧を、FFh を書き込む ADC16 によって変換したデジタル値です。TSCDRH レジスタには変換値の上位 8 ビットが格納されます。

36.2.2 温度センサ補正データレジスタ L (TSCDRL)

アドレス TSN.TSCDRL 407E C228h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRL[7:0]	温度センサ補正データ	変換後の値の下位8ビットを格納します。	R

TSCDRL レジスタには、工場出荷時に各 MCU 用に測定された温度センサ補正データが格納されています。

温度センサ補正データは、 $T_a = T_j = 125\text{ }^{\circ}\text{C}$ および $AVCC0 = 3.3\text{V}$ の条件で、温度センサが出力した電圧を、FFh を書き込む ADC16 によって変換したデジタル値です。TSCDRL レジスタには変換値の下位 8 ビットが格納されます。

36.3 温度センサの使用手法

温度センサが出力する電圧は、温度により変化します。この電圧は ADC16 でデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

36.3.1 使用前の準備

温度 (T) はセンサの電圧出力 (Vs) と比例関係にあるため、以下の式で温度を求められます。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

Vs : 温度測定時の温度センサの出力電圧 (V)

T1 : 1 点目の試行測定時の温度 (°C)

V1 : T1 測定時の温度センサの出力電圧 (V)

T2 : 2 点目の試行測定時の温度 (°C)

V2 : T2 測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C) $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

温度特性はセンサによってばらつきがあります。そのため、以下のような 2 つの異なるサンプル温度の測定を推奨します。

1. ADC16 を使用して、温度 T1 のときの温度センサの出力電圧 V1 を測定します。
2. ADC16 を再度使用して、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を測定します。両者の測定結果から、温度傾斜 ($\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$) を求めます。
3. この Slope の値を温度特性の式 ($T = (V_s - V_1) / \text{Slope} + T_1$) に代入し、温度を求めます。

「47. 電気的特性」の表 47.56 に記載の温度傾斜を用いる場合、温度 T1 のときの温度センサの出力電圧 V1 を ADC16 で測定し、以下の式により温度特性を算出します。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

Vs : 温度測定時の温度センサの出力電圧 (V)

T1 : 1 点目のサンプル温度測定 (°C)

V1 : T1 測定時の温度センサの出力電圧 (V)

なお、この測定方法の精度は 2 点測定方法よりも劣ります。

本 MCU の TSCDRH レジスタおよび TSCDRL レジスタには、 $T_a = T_j = 125^\circ\text{C}$ および $AVCC0 = 3.3\text{V}$ の条件下で測定された温度センサの温度値 (CAL125) が格納されています。この温度値を 1 点目のサンプル測定結果として使用することにより、温度センサ使用前の本準備を省略することが可能です。

本測定値 CAL125 は以下により算出可能です。

$$\text{CAL125} = (\text{TSCDRH レジスタ値} \ll 8) + \text{TSCDRL レジスタ値}$$

V1 は下記のように CAL125 から算出されます。

$$V_1 = 3.3 \times \text{CAL125} / 32768 \text{ [V]}$$

この値を用いて、以下の式により測定温度が算出できます。

$$T = (V_s - V_1) / \text{Slope} + 125 \text{ [}^\circ\text{C]}$$

T : 測定温度 (°C)

Vs : 温度測定時の温度センサの出力電圧 (V)

V1 : $T_a = T_j = 125^\circ\text{C}$ および $AVCC0 = 3.3\text{V}$ のときの温度センサの出力電圧 (V)

Slope : 表 47.56 で求められる温度傾斜 $\div 1000$ (V/°C)

図 36.2 に測定温度の誤差を示します。標準偏差は 3σ です。

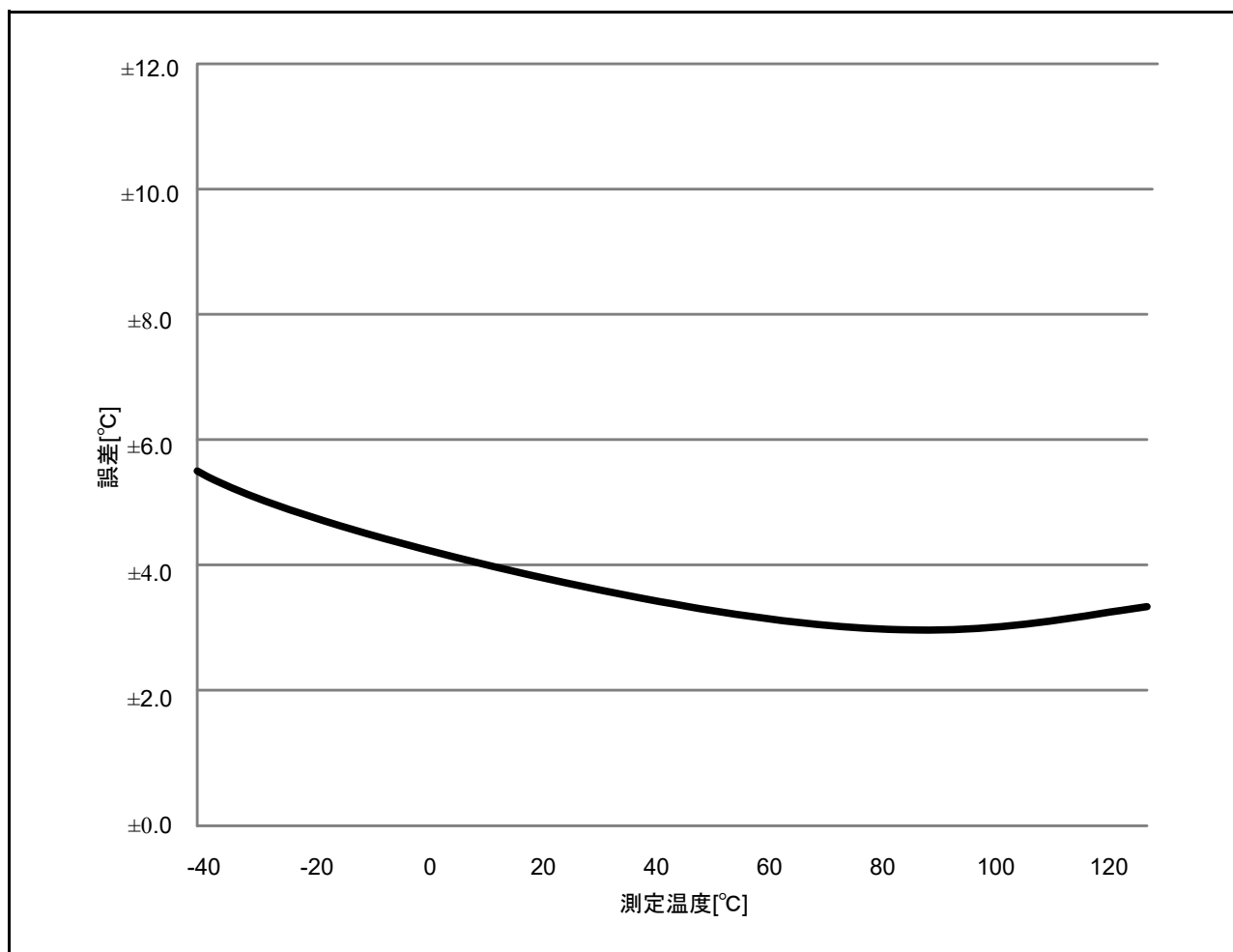


図 36.2 測定温度の誤差 (設計値)

36.3.2 温度センサの使用手順

詳細は、「[32. 16 ビット A/D コンバータ \(ADC16\)](#)」を参照してください。

37. オペアンプ (OPAMP)

37.1 概要

オペアンプを使用して、小さいアナログ入力電圧を増幅して出力することができます。本 MCU では、入力端子 2 つと出力端子 1 つを備えた差動オペアンプユニットを合計で 3 つ搭載しています。

オペアンプには次の機能があります。

- 3 つのユニットのオペアンプ 0 およびオペアンプ 1 を使用して、低消費電力アナログコンパレータ (ACMPLP) および 24 ビットシグマデルタ A/D コンバータ (SDADC24) に信号を入力可能
- High-speed モード (高消費電流)、Middle-speed モード (中消費電流)、および低消費電力モード (低速応答) をサポートしており、応答速度と電流消費とのバランスに応じていずれのモードでも選択可能
- 低消費電力非同期汎用タイマ (AGT) からのトリガによって動作を開始することができる
- 16 ビット A/D 変換終了トリガによって動作を停止できる
- すべてのユニットには、入力信号を選択できるスイッチがあります。さらに、オペアンプ 0 には、出力端子を選択するためのスイッチがある
- オペアンプの出力は、スイッチを通過せずに、AMP0O ~ AMP2O 端子から出力可能
- すべてのオペアンプユニットからの入出力信号は、ADC16 への入力信号に使用できる
- DAC8 および DAC12 から出力される信号は、各オペアンプの正入力信号として使用可能
- 電圧フォロワー回路の構成は、自オペアンプ出力信号をオペアンプの負入力信号としてフィードバック可能

オペアンプの入力／出力端子数は製品によって異なります。表 37.1 にオペアンプの入出力端子を、[図 37.1](#) にオペアンプのブロック図を示します。

表 37.1 オペアンプの入出力端子

入出力端子	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部の電源グランド端子
AMP0+, AMP0-	入力	OPAMP0 (+、-) の入力端子 (注1)
AMP0O	出力	OPAMP0の出力端子
AMP1+, AMP1-	入力	OPAMP1 (+、-) の入力端子 (注1)
AMP1O	出力	OPAMP1の出力端子
AMP2+, AMP2-	入力	OPAMP2 (+、-) の入力端子 (注1)
AMP2O	出力	OPAMP2の出力端子

注 1. スイッチを使って入出力端子に接続してください。

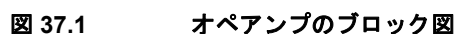


図 37.2 ～図 37.4 に、オペアンプ 0 ～ オペアンプ 2 のブロック図を示します。

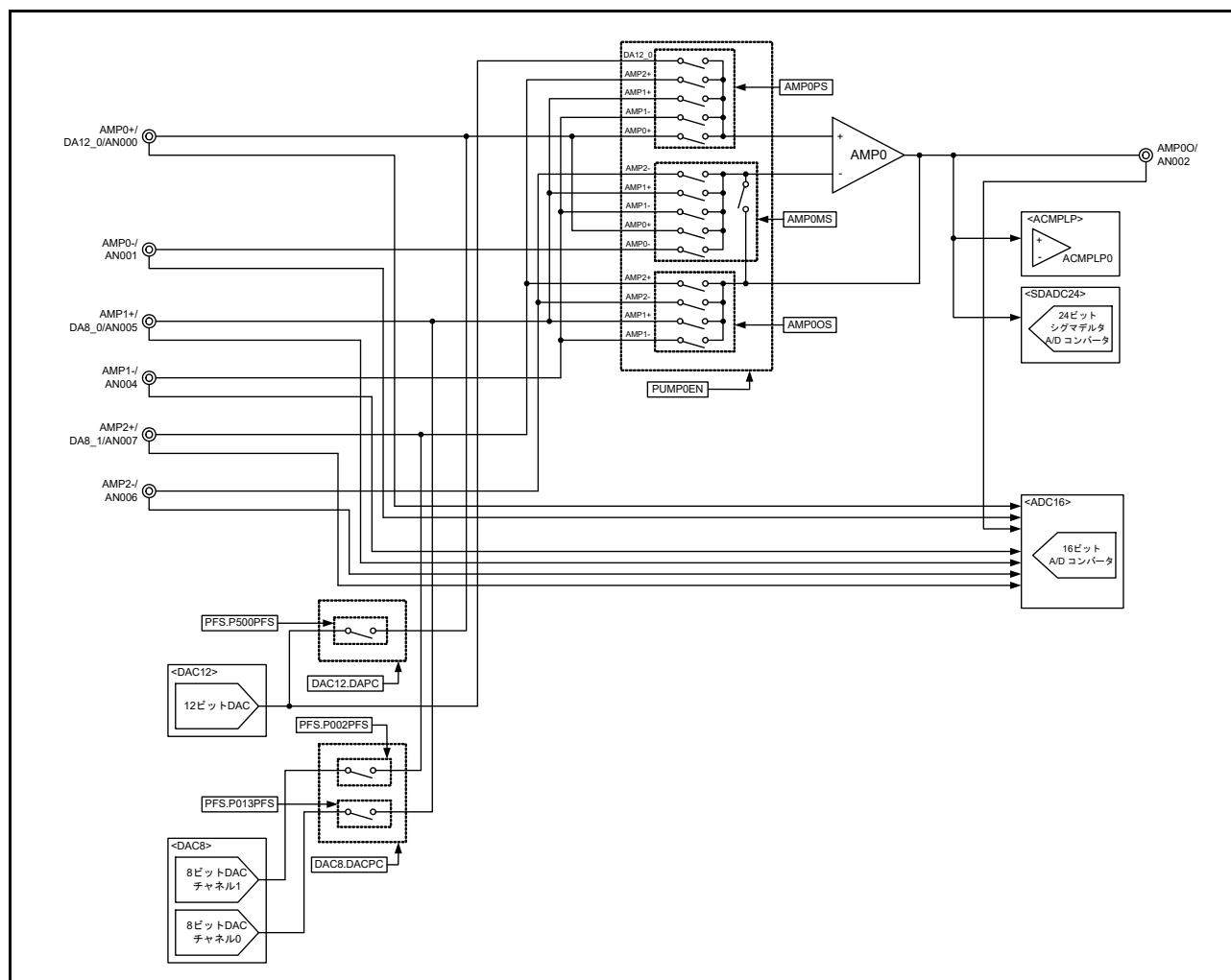


図 37.2 オペアンプ 0 のブロック図

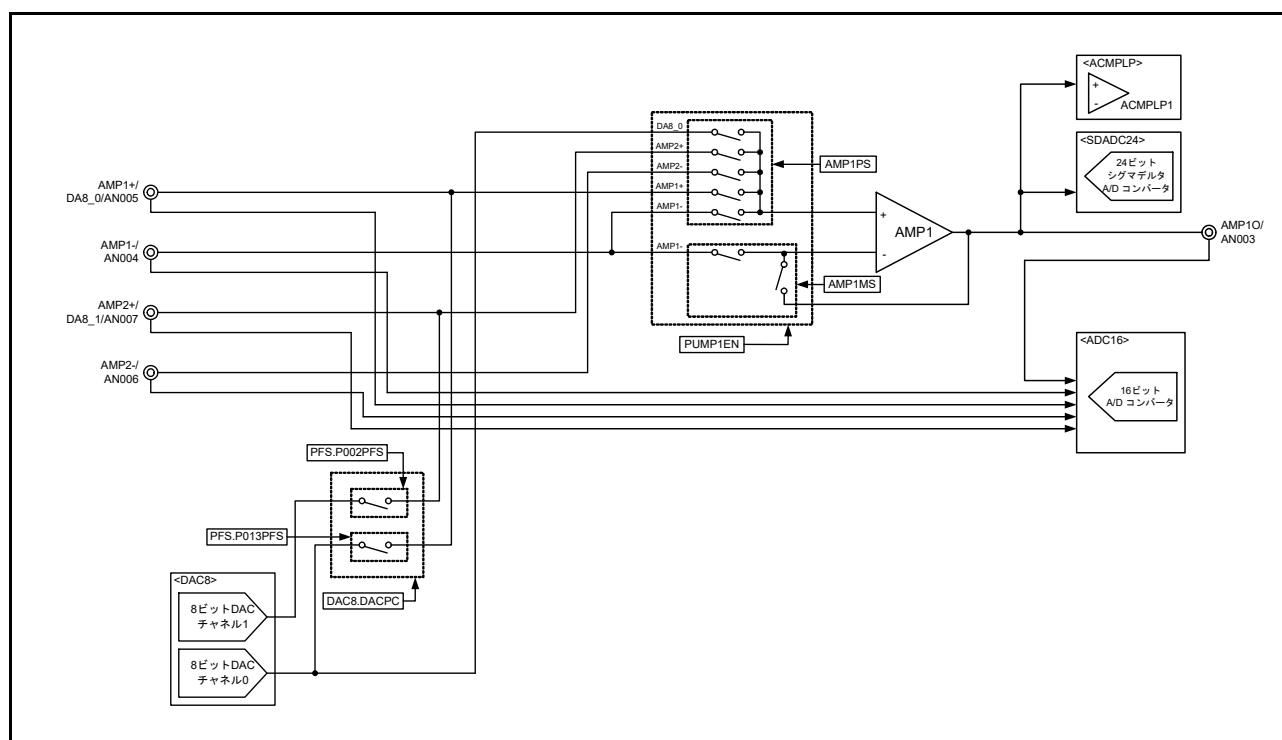


図 37.3 オペアンプ1のブロック図

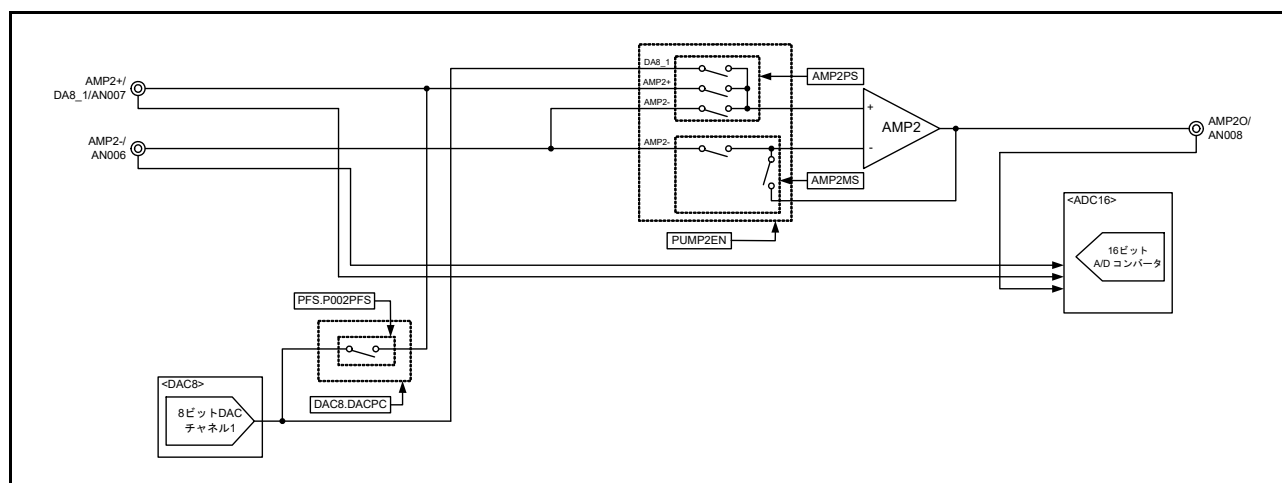


図 37.4 オペアンプ2のブロック図

37.2 レジスタの説明

37.2.1 オペアンプモードコントロールレジスタ（AMPMPMC）

アドレス OPAMP.AMPMPMC 4008 6800h

b7	b6	b5	b4	b3	b2	b1	b0
AMPSP[1:0]	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	AMPSP[1:0]	オペアンプ動作モード選択	b7 b6 x 0: 低消費電力モード（低速） 0 1: Middle-speedモード 1 1: High-speedモード	R/W

- 注． AMPC レジスタが 00h（オペアンプおよび基準電流生成回路が停止中）のときに、AMPSP[1:0] ビットを設定してください。
- 注． 低消費電力モードではユーザオフセットトリミングは使用できません。AMPSP[1:0] = x0b のとき AMPUTOTE レジスタを 00h に設定してください。

37.2.2 オペアンプトリガモードコントロールレジスタ（AMPTRM）

アドレス OPAMP.AMPTRM 4008 6801h

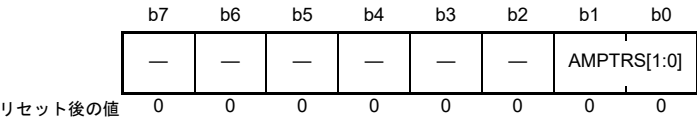
b7	b6	b5	b4	b3	b2	b1	b0
—	—	AMPTRM2[1:0]	AMPTRM1[1:0]	AMPTRM0[1:0]			
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	AMPTRM0[1:0]	オペアンプ機能起動／ 停止トリガ制御 ⁿ （注2）	AMPTRMn[1] AMPTRMn[0] (n = 0~2) 0 0: ソフトウェアトリガモード： ●AMPSPレジスタの設定によるオペアンプ ⁿ の起動／停止が可能 ●起動トリガによるオペアンプ ⁿ の起動は不可 ●16ビットA/D変換終了トリガによるオペアンプ ⁿ の制御は不可 0 1: 起動トリガモード： ●AMPSPレジスタの設定により、オペアンプ ⁿ を起動トリガを待つよう設定する、または停止することが可能 ●起動トリガによるオペアンプ ⁿ の起動が可能（注1） ●16ビットA/D変換終了トリガによるオペアンプ ⁿ の制御は不可 1 0: 設定禁止 1 1: 起動およびA/Dトリガモード： ●AMPSPレジスタの設定により、オペアンプ ⁿ を起動トリガを待つよう設定する、または停止することが可能 ●起動トリガによるオペアンプ ⁿ の起動が可能（注1） ●16ビットA/D変換終了トリガによるオペアンプ ⁿ の停止が可能。16ビットA/D変換終了トリガは常にA/D変換終了時に発生します。	R/W
b3-b2	AMPTRM1[1:0]			
b5-b4	AMPTRM2[1:0]			
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. 16ビットA/D変換終了トリガは常にA/D変換終了時に発生します。
- 注1. 起動トリガによってオペアンプを起動する場合、まずAGTに関連する設定を行い、AMPTRSレジスタを設定した後、AMPCレジスタによって起動するオペアンプの動作制御ビットを1（オペアンプ待機状態が有効）にしてください。
- 注2. AMPTRMn[1:0]の設定値を変更する場合、AMPC.AMPE[n]ビットを0（オペアンプn停止）にしてください。

37.2.3 オペアンプ起動トリガ選択レジスタ（AMPTRS）

アドレス OPAMP.AMPTRS 4008 6802h



ビット	シンボル	ビット名	機能	R/W
b1-b0	AMPTRS[1:0]	起動トリガ選択 (注1)	b1 b0 0 0: オペアンプn: オペアンプ起動トリガn (n=0~2) 0 1: オペアンプn: オペアンプ起動トリガ0 (n=0, 1) オペアンプ2: オペアンプ起動トリガ1 1 0: 設定禁止 1 1: オペアンプn: オペアンプ起動トリガ0 (n=0~2)	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. AMPTRMレジスタを設定した後、AMPTRSレジスタの値を書き換えないでください。

各イベントに関連するオペアンプ起動トリガを表 37.2 に示します。

表 37.2 イベントに関連するオペアンプ起動トリガ

トリガ	イベント
オペアンプ起動トリガ0	AGT1コンペアマッチA
オペアンプ起動トリガ1	AGT0コンペアマッチA
オペアンプ起動トリガ2	AGT1コンペアマッチA

37.2.4 オペアンプコントロールレジスタ (AMPC)

アドレス OPAMP.AMPC 4008 6803h

b7	b6	b5	b4	b3	b2	b1	b0
IREFE	—	—	—	—	AMPE[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	AMPE[2:0]	オペアンプ動作制御	0: オペアンプ n 停止 1: オペアンプ n の動作許可 (注1) 起動トリガモード、または起動およびA/Dトリガモード: AGTが有効になるまで待機 ($n = 0 \sim 2$)	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	IREFE	基準電流回路動作制御	0: 基準電流回路停止 1: 基準電流回路の動作許可	R/W

注 1. IREFE ビットの設定にかかわらず、基準電流回路の動作も許可されます。使用しないユニットのビットは0にしてください。これらのビットを1にする前に、AMP n MS、AMP n PS、およびAMP0OS レジスタのスイッチを設定してください。AVCC0 < 2.7V の場合、スイッチ設定後、チャージポンプ安定時間の間待ってからこれらのビットを1にしてください。安定待ち時間の詳細は、「47. 電気的特性」を参照してください。

37.2.5 オペアンプモニタレジスタ (AMPMON)

アドレス OPAMP.AMPMON 4008 6804h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	AMPMON[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	AMPMON[2:0]	オペアンプ n の状態 ($n = 0 \sim 2$)	0: オペアンプ n 停止中 1: オペアンプ n 動作中	R
b7-b3	—	予約ビット	読むと0が読めます。	R

注. 本レジスタを使用して、各オペアンプ n が動作中か停止中かを非同期に反映します。オペアンプの状態を判断するには、継続的に本レジスタを読み出し、ビット状態の変化を確認してください。その後、再度本レジスタを読み出し、オペアンプの状態が変更していないか確認してください。起動トリガ、クロックと同期した16ビットA/D変換終了トリガ、または他の割り込みルーチンでのソフトウェアトリガを使用してオペアンプを制御する場合、オペアンプの動作または停止のタイミングは、通常動作を確認するなどの目的のために予測することが可能です。この場合、関連するトリガまたはオペアンプの状態に影響する割り込みが発生したら、CPU/周辺クロックの1サイクル後に本レジスタを読み出してください。

37.2.6 オペアンプ0出力選択レジスタ（AMP0OS）

アドレス OPAMP.AMP0OS 4008 6806h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	AMPO S3	AMPO S2	AMPO S1	AMPO S0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AMPOS0	AMP1-端子選択	0 : AMP1-端子はオペアンプ0出力に非接続 1 : AMP1-端子はオペアンプ0出力に接続	R/W
b1	AMPOS1	AMP1+端子選択	0 : AMP1+端子はオペアンプ0出力に非接続 1 : AMP1+端子はオペアンプ0出力に接続（注1）	R/W
b2	AMPOS2	AMP2-端子選択	0 : AMP2-端子はオペアンプ0出力に非接続 1 : AMP2-端子はオペアンプ0出力に接続	R/W
b3	AMPOS3	AMP2+端子選択	0 : AMP2+端子はオペアンプ0出力に非接続 1 : AMP2+端子はオペアンプ0出力に接続（注2）	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． AVCC0 < 2.7V の場合、これらのビットを設定する前に AMPCPC レジスタの PUMP0EN ビットを 1（AMP0 のチャージポンプ有効）にして、安定時間の間待ってください。安定時間の詳細は、「47. 電気的特性」を参照してください。

注． AMPCPC.PUMP0EN = 1 のとき、AMP0OS、AMP0PS、および AMP0MS レジスタで合計 5 ビット以上を 1 にしないでください。

注 1. AMP1+ 端子に接続時、DAC8 チャンネル 0 出力レベルを端子に出力しないでください。

注 2. AMP2+ 端子に接続時、DAC8 チャンネル 1 出力レベルを端子に出力しないでください。

37.2.7 オペアンプ0マイナス入力選択レジスタ（AMP0MS）

アドレス OPAMP.AMP0MS 4008 6807h

b7	b6	b5	b4	b3	b2	b1	b0
AMPM S7	—	—	AMPM S4	AMPM S3	AMPM S2	AMPM S1	AMPM S0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AMPMS0	AMP0-端子選択	0 : AMP0-端子はAMP0マイナス入力に非接続 1 : AMP0-端子はAMP0マイナス入力に接続	R/W
b1	AMPMS1	AMP0+端子選択	0 : AMP0+端子はAMP0マイナス入力に非接続 1 : AMP0+端子はAMP0マイナス入力に接続	R/W
b2	AMPMS2	AMP1-端子選択	0 : AMP1-端子はAMP0マイナス入力に非接続 1 : AMP1-端子はAMP0マイナス入力に接続	R/W
b3	AMPMS3	AMP1+端子選択	0 : AMP1+端子はAMP0マイナス入力に非接続 1 : AMP1+端子はAMP0マイナス入力に接続	R/W
b4	AMPMS4	AMP2-端子選択	0 : AMP2-端子はAMP0マイナス入力に非接続 1 : AMP2-端子はAMP0マイナス入力に接続	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AMPMS7	オペアンプ0出力選択	0 : オペアンプ0出力はAMP0マイナス入力に非接続 1 : オペアンプ0出力はAMP0マイナス入力に接続（注1）	R/W

注． AVCC0 < 2.7V の場合、これらのビットを設定する前に AMPCPC レジスタの PUMP0EN ビットを 1（AMP0 のチャージポンプ有効）にして、安定時間の間待ってください。安定時間の詳細は、「47. 電気的特性」を参照してください。

注． AMPCPC.PUMP0EN = 1 のとき、AMP0OS、AMP0PS、および AMP0MS レジスタで合計 5 ビット以上を 1 にしないでください。

- 注 1. AMPMS7 ビットと AMPMS0 ~ AMPMS4 ビットは、同時に 1 にしないでください。電圧フォロワー設定時本レジスタに 80h を書き込んでください。AMPMS7 ビットのみ 1 にしてください。
 オペアンプ入力端子が AMP0 マイナス入力に接続されているとき、AMPMS7 = 1 であれば、オペアンプ 0 出力は AMP0 マイナス入力に接続されません。

37.2.8 オペアンプ 0 プラス入力選択レジスタ (AMP0PS)

アドレス [OPAMP.AMP0PS 4008 6808h](#)

b7	b6	b5	b4	b3	b2	b1	b0
AMPPS7	—	—	—	AMPPS3	AMPPS2	AMPPS1	AMPPS0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AMPPS0	AMP0+ 端子選択	0 : AMP0+ 端子はAMP0 プラス入力に非接続 1 : AMP0+ 端子はAMP0 プラス入力に接続	R/W
b1	AMPPS1	AMP1- 端子選択	0 : AMP0- 端子はAMP0 プラス入力に非接続 1 : AMP0- 端子はAMP0 プラス入力に接続	R/W
b2	AMPPS2	AMP1+ 端子選択	0 : AMP1+ 端子はAMP0 プラス入力に非接続 1 : AMP1+ 端子はAMP0 プラス入力に接続	R/W
b3	AMPPS3	AMP2+ 端子選択	0 : AMP2+ 端子はAMP0 プラス入力に非接続 1 : AMP2+ 端子はAMP0 プラス入力に接続	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AMPPS7	DAC12出力選択	0 : DAC12出力はAMP0 プラス入力に非接続 1 : DAC12出力はAMP0 プラス入力に接続 (注1)	R/W

- 注 . AVCC0 < 2.7V の場合、これらのビットを設定する前に AMPCPC レジスタの PUMP0EN ビットを 1 (AMP0 のチャージポンプ有効) にして、安定時間の間待ってください。安定時間の詳細は、「[47. 電気的特性](#)」を参照してください。
- 注 . AMPCPC.PUMP0EN = 1 のとき、AMP0OS、AMP0PS、および AMP0MS レジスタで合計 5 ビット以上を 1 にしないでください。
- 注 1. DAC12 をオペアンプの入力端子に接続するには、DACR レジスタの DAOE0 ビットを 1 にしてください。
 オペアンプ入力端子が AMP0 プラス入力に接続されているとき、AMPPS7 = 1 であれば、DAC12 出力は AMP0 プラス入力に接続されません。

37.2.9 オペアンプ 1 マイナス入力選択レジスタ (AMP1MS)

アドレス [OPAMP.AMP1MS 4008 680Ah](#)

b7	b6	b5	b4	b3	b2	b1	b0
AMPM S7	—	—	—	—	—	—	AMPM S0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AMPMS0	AMP1- 端子選択	0 : AMP1- 端子はAMP1 マイナス入力に非接続 1 : AMP1- 端子はAMP1 マイナス入力に接続	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AMPMS7	オペアンプ1出力選択	0 : オペアンプ1出力はAMP1 マイナス入力に非接続 1 : オペアンプ1出力はAMP1 マイナス入力に接続 (注1)	R/W

- 注 . AVCC0 < 2.7V の場合、これらのビットを設定する前に AMPCPC レジスタの PUMP1EN ビットを 1 (AMP1 のチャージポンプ有効) にして、安定時間の間待ってください。安定時間の詳細は、「[47. 電気的特性](#)」を参照してください。
- 注 . AMPCPC.PUMP1EN = 1 のとき、AMP1PS および AMP1MS レジスタで合計 5 ビット以上を 1 にしないでください。
- 注 1. AMPMS7 ビットと AMPMS0 ビットは、どちらか一方のみ 1 にしてください。電圧フォロワー設定時本レジスタに 80h を書き込んでください。AMPMS7 ビットのみ 1 にしてください。

オペアンプ入力端子が AMP1 マイナス入力に接続されているとき、AMPMS7 = 1 であれば、オペアンプ 1 出力は AMP1 マイナス入力に接続されません。

37.2.10 オペアンプ 1 プラス入力選択レジスタ (AMP1PS)

アドレス [OPAMP.AMP1PS 4008 680Bh](#)

b7	b6	b5	b4	b3	b2	b1	b0
AMPPS7	—	—	—	AMPPS3	AMPPS2	AMPPS1	AMPPS0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AMPPS0	AMP1-端子選択	0 : AMP1-端子はAMP1 プラス入力に非接続 1 : AMP1-端子はAMP1 プラス入力に接続	R/W
b1	AMPPS1	AMP1+ 端子選択	0 : AMP1+ 端子はAMP1 プラス入力に非接続 1 : AMP1+ 端子はAMP1 プラス入力に接続	R/W
b2	AMPPS2	AMP2-端子選択	0 : AMP2- 端子はAMP1 プラス入力に非接続 1 : AMP2- 端子はAMP1 プラス入力に接続	R/W
b3	AMPPS3	AMP2+ 端子選択	0 : AMP2+ 端子はAMP1 プラス入力に非接続 1 : AMP2+ 端子はAMP1 プラス入力に接続	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AMPPS7	DAC8 チャンネル0 出力選択	0 : DAC8 チャンネル0 出力はAMP1 プラス入力に非接続 1 : DAC8 チャンネル0 出力はAMP1 プラス入力に接続 (注1)	R/W

- 注 . AVCC0 < 2.7V の場合、これらのビットを設定する前に AMPCPC レジスタの PUMP1EN ビットを 1 (AMP1 のチャージポンプ有効) にして、安定時間の間待ってください。安定時間の詳細は、「[47. 電気的特性](#)」を参照してください。
- 注 . AMPCPC.PUMP1EN = 1 のとき、AMP1PS および AMP1MS レジスタで合計 5 ビット以上を 1 にしないでください。
- 注 1. DAC8 チャンネル 0 を AMP1 の入力端子に接続するには、DAM レジスタの DACE0 ビットを 1 にしてください。
オペアンプ入力端子が AMP1 プラス入力に接続されているとき、AMPPS7 = 1 であれば、DAC8 チャンネル 0 出力は AMP1 プラス入力に接続されません。

37.2.11 オペアンプ 2 マイナス入力選択レジスタ (AMP2MS)

アドレス [OPAMP.AMP2MS 4008 680Dh](#)

b7	b6	b5	b4	b3	b2	b1	b0
AMPM S7	—	—	—	—	—	—	AMPM S0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AMPMS0	AMP2-端子選択	0 : AMP2- 端子はAMP2 マイナス入力に非接続 1 : AMP2- 端子はAMP2 マイナス入力に接続	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AMPMS7	オペアンプ2出力選択	0 : オペアンプ2出力はAMP2 マイナス入力に非接続 1 : オペアンプ2出力はAMP2 マイナス入力に接続 (注1)	R/W

- 注 . AVCC0 < 2.7V の場合、これらのビットを設定する前に AMPCPC レジスタの PUMP2EN ビットを 1 (AMP2 のチャージポンプ有効) にして、安定時間の間待ってください。安定時間の詳細は、「[47. 電気的特性](#)」を参照してください。
- 注 . AMPCPC.PUMP2EN = 1 のとき、AMP2PS および AMP2MS レジスタで合計 2 ビット以上を 1 にしないでください。
- 注 1. AMPMS7 ビットと AMPMS0 ビットは、どちらか一方のみ 1 にしてください。電圧フォロワー設定時本レジスタに 80h を書き込んでください。AMPMS7 ビットのみ 1 にしてください。
オペアンプ入力端子が AMP2 マイナス入力に接続されているとき、AMPMS7 = 1 であれば、オペアンプ 2 出力は AMP2 マイナス入力に接続されません。

37.2.12 オペアンプ 2 プラス入力選択レジスタ (AMP2PS)

アドレス OPAMP.AMP2PS 4008 680Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	AMPPS7	—	—	—	—	—	AMPPS1	AMPPS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AMPPS0	AMP2-端子選択	0 : AMP2-端子はAMP2 プラス入力に非接続 1 : AMP2-端子はAMP2 プラス入力に接続	R/W
b1	AMPPS1	AMP2+端子選択	0 : AMP2+端子はAMP2 プラス入力に非接続 1 : AMP2+端子はAMP2 プラス入力に接続	R/W
b6-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AMPPS7	DAC8チャンネル1出力選択	0 : DAC8チャンネル1出力はAMP2 プラス入力に非接続 1 : DAC8チャンネル1出力はAMP2 プラス入力に接続 (注1)	R/W

- 注. AVCC0 < 2.7V の場合、これらのビットを設定する前に AMPCPC レジスタの PUMP2EN ビットを 1 (AMP2 のチャージポンプ有効) にして、安定時間の間待ってください。安定時間の詳細は、「47. 電気的特性」を参照してください。
- 注. AMPCPC.PUMP2EN = 1 のとき、AMP2PS および AMP2MS レジスタで合計 2 ビット以上を 1 にしないでください。
- 注 1. DAC8 チャンネル 1 を AMP2 の入力端子に接続するには、DAM レジスタの DACE1 ビットを 1 にしてください。
オペアンプ入力端子が AMP2 プラス入力に接続されているとき、AMPPS7 = 1 であれば、DAC8 チャンネル 1 出力は AMP2 プラス入力に接続されません。

37.2.13 オペアンプスイッチチャージポンプコントロールレジスタ (AMPCPC)

アドレス OPAMP.AMPCPC 4008 6812h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PUMP2EN	PUMP1EN	PUMP0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUMP0EN	AMP0チャージポンプ有効	0 : AMP0用チャージポンプ有効 1 : AMP0用チャージポンプ無効	R/W
b1	PUMP1EN	AMP1チャージポンプ有効	0 : AMP1用チャージポンプ有効 1 : AMP1用チャージポンプ無効	R/W
b2	PUMP2EN	AMP2チャージポンプ有効	0 : AMP2用チャージポンプ有効 1 : AMP2用チャージポンプ無効 (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. AVCC0 < 2.7V のとき、下記を実行してください。
- MOCOCR.MCSTP ビットを 0 にした後、PUMPnEN ビットを 1 にしてください。
 - AMPnMS および AMPnPS レジスタが 00h (非接続) のときに PUMPnEN ビットを設定してください。
さらに、AMP0OS レジスタが 00h (非接続) のときに PUMP0EN ビットを設定してください。
- 注 1. AMP20 の 16 ビット A/D 変換中、D/A コンバータ出力レベルの DA8_0、DA8_1、および DA12_0 端子への出力は禁止されています。

37.2.14 オペアンプユーザオフセットトリミングイネーブルレジスタ (AMPUOTE)

アドレス OPAMP.AMPUOTE 4008 6817h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	AMP2TE	AMP1TE	AMP0TE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AMP0TE	AMP0OT 書き込み許可	0 : AMP0OTP および AMP0OTN レジスタへの書き込み不可 1 : AMP0OTP および AMP0OTN レジスタへの書き込み可	R/W
b1	AMP1TE	AMP1OT 書き込み許可	0 : AMP1OTP および AMP1OTN レジスタへの書き込み不可 1 : AMP1OTP および AMP1OTN レジスタへの書き込み可	R/W
b2	AMP2TE	AMP2OT 書き込み許可	0 : AMP2OTP および AMP2OTN レジスタへの書き込み不可 1 : AMP2OTP および AMP2OTN レジスタへの書き込み可	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. ユーザオフセットトリミング手順については、37.9 ユーザオフセットトリミングを参照してください。

注. 低消費電力モードではユーザオフセットトリミングは使用できません。AMPMC.AMPSP[1:0] = x0b のとき AMPUTE レジスタを 00h に設定してください。

37.2.15 オペアンプ n オフセットトリミング Pch レジスタ (AMPnOTP) (n = 0 ~ 2)

アドレス OPAMP.AMP0OTP 4008 6818h, OPAMP.AMP1OTP 4008 681Ah, OPAMP.AMP2OTP 4008 681Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TRMP[4:0]				—
リセット後の値	0	0	0	x	x	x	x

ビット	シンボル	ビット名	機能	R/W
b4-b0	TRMP[4:0]	AMPn入力オフセットトリミング Pch 側	AMPn入力オフセットトリミング Pch 側値 b4 b3 b2 b1 b0 0 0 0 0 0 : -16 0 0 0 0 1 : -15 0 0 0 1 0 : -14 . . 0 1 1 1 1 : -1 1 0 0 0 0 : センターコード 1 0 0 0 1 : +1 . . 1 1 1 0 1 : +13 1 1 1 1 0 : +14 1 1 1 1 1 : +15	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. n = 0 ~ 2 の場合の TRMP[4:0] ビットの書き換えタイミングは以下のとおりです。

(A) 工場出荷時の初期設定値の書き込み

- リセット解除後最初の MSTP (モジュールストップ状態) が解除されたとき
- AMPnTE = 0 の場合に AMPMC レジスタの AMPSP[1:0] ビットへ書き込みが行われたとき
- AMPnTPE ビットが 1 から 0 に切り替わったとき

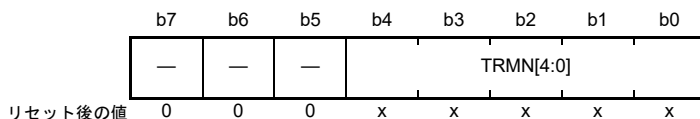
(B) ユーザ設定値の書き込み

- AMPnTE = 1 の場合に TRMP[4:0] に書き込みが行われたとき

- 注. 各オペアンプの各動作モードに対して工場出荷時に設定された初期値があります。したがって、ユーザオフセットトリミング後にモードを変更する (AMPMC レジスタの AMPSP[1:0] ビットを変更する) 場合は、そのモードで再度ユーザオフセットトリミングを実行する必要があります。
- 注. 低消費電力モード (AMPMC.AMPSP[1:0] = x0b) ではユーザオフセットトリミングは使用できません。

37.2.16 オペアンプ n オフセットトリミング Nch レジスタ (AMPnOTN) (n = 0 ~ 2)

アドレス [OPAMP.AMP0OTN 4008 6819h](#), [OPAMP.AMP1OTN 4008 681Bh](#), [OPAMP.AMP2OTN 4008 681Dh](#)



ビット	シンボル	ビット名	機能	R/W
b4-b0	TRMN[4:0]	AMPn入力オフセットトリミング Nch側	AMPn入力オフセットトリミングNch側値 b4 b3 b2 b1 b0 0 0 0 0 : -16 0 0 0 1 : -15 0 0 1 0 : -14 . . 0 1 1 1 : -1 1 0 0 0 : センターコード . . 1 0 0 1 : +1 . . 1 1 1 0 : +13 1 1 1 1 : +14 1 1 1 1 : +15	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. n = 0 ~ 2 の場合の TRMN[4:0] ビットの書き換えタイミングは以下のとおりです。
- (A) 工場出荷時の初期設定値の書き込み
- リセット解除後最初の MSTP (モジュールストップ状態) が解除されたとき
 - AMPnTE = 0 の場合に AMPMC レジスタの AMPSP[1:0] ビットへ書き込みが行われたとき
 - AMPnTE ビットが 1 から 0 に切り替わったとき
- (B) ユーザ設定値の書き込み
- AMPnTE = 1 の場合に TRMN[4:0] に書き込みが行われたとき
- 注. 各オペアンプの各動作モードに対して工場出荷時に設定された初期値があります。したがって、ユーザオフセットトリミング後にモードを変更する (AMPMC レジスタの AMPSP[1:0] ビットを変更する) 場合は、そのモードで再度ユーザオフセットトリミングを実行する必要があります。
- 注. 低消費電力モード (AMPMC.AMPSP[1:0] = x0b) ではユーザオフセットトリミングは使用できません。

37.3 動作

37.3.1 状態遷移

オペアンプおよび基準電流回路がオペアンプ制御回路によって起動または停止するときの状態遷移を図 37.5 に示します。

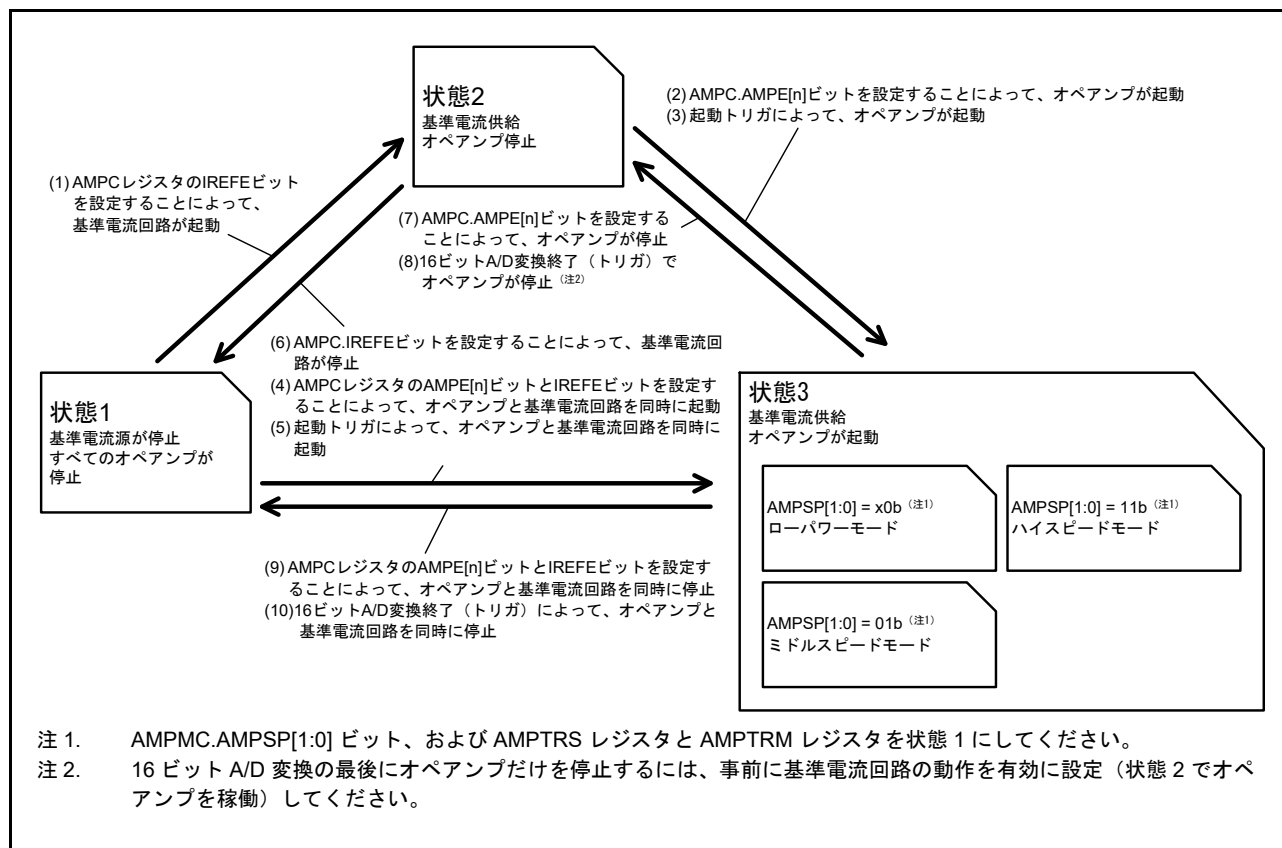


図 37.5 オペアンプの状態遷移

基準電流の供給後は安定待ち時間が必要となり、オペアンプの動作は各動作が実際に開始する前に設定されます。安定待ち時間の詳細は、「47. 電気的特性」を参照してください。

ステップ (2) → (8)、(2) → (10)、(3) → (10)、(4) → (10) では、オペアンプを継続的に起動/停止することはできません。

起動トリガおよび 16 ビット A/D 変換の終了によって、AMPTRM レジスタで、使用することがあらかじめ設定されたオペアンプのみを起動/停止します。

37.3.2 オペアンプ制御動作

オペアンプの制御動作を図 37.6 ～図 37.9 に示します。

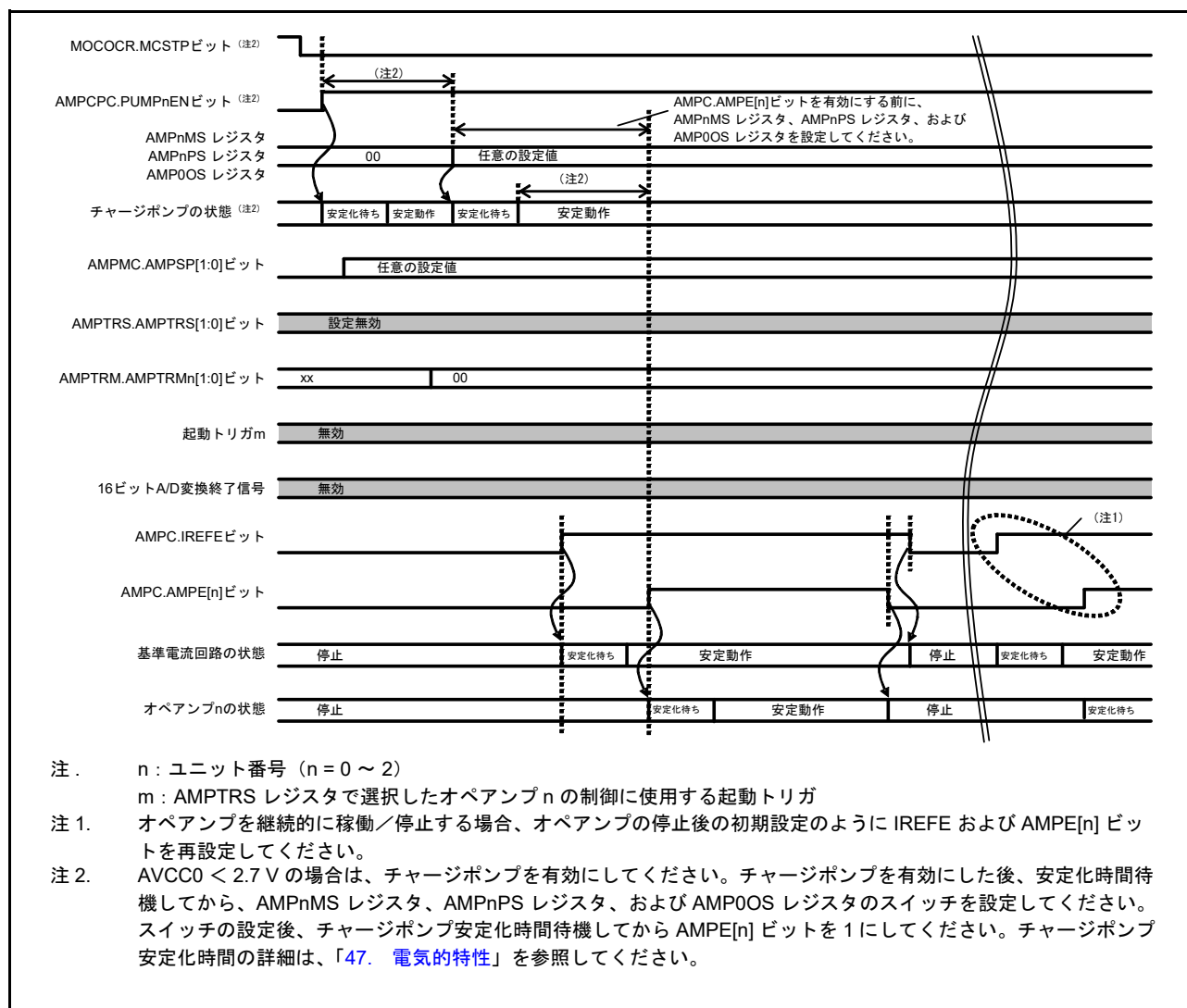


図 37.6 オペアンプの制御動作 (ソフトウェアトリガモードによる制御)
(ソフトウェアトリガモードによって基準電流回路およびオペアンプを起動/停止する場合)

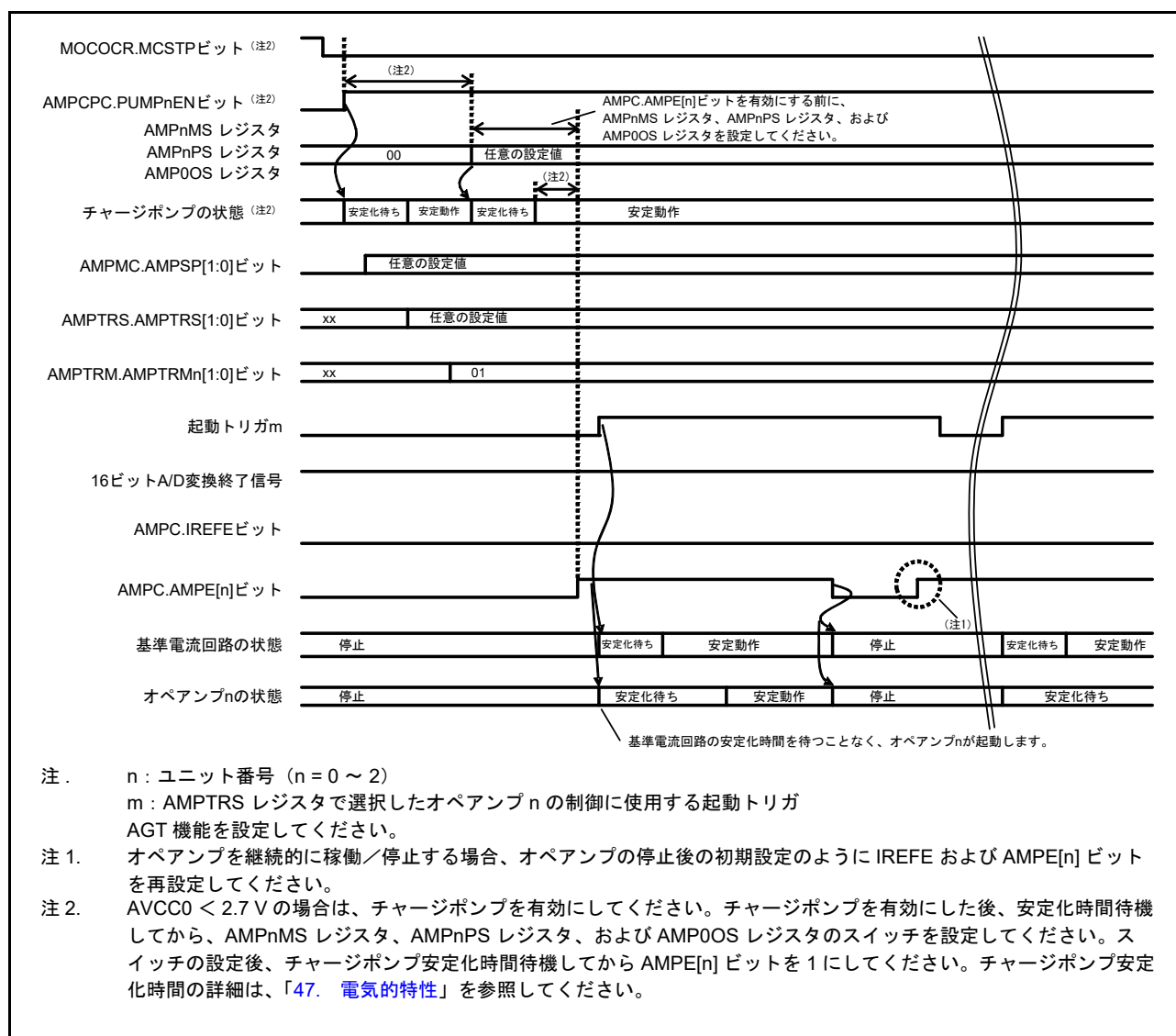


図 37.7 オペアンプの制御動作 (起動トリガモードによる起動)
(基準電流回路およびオペアンプを起動トリガによって起動し、AMPC レジスタ設定によって停止する場合)

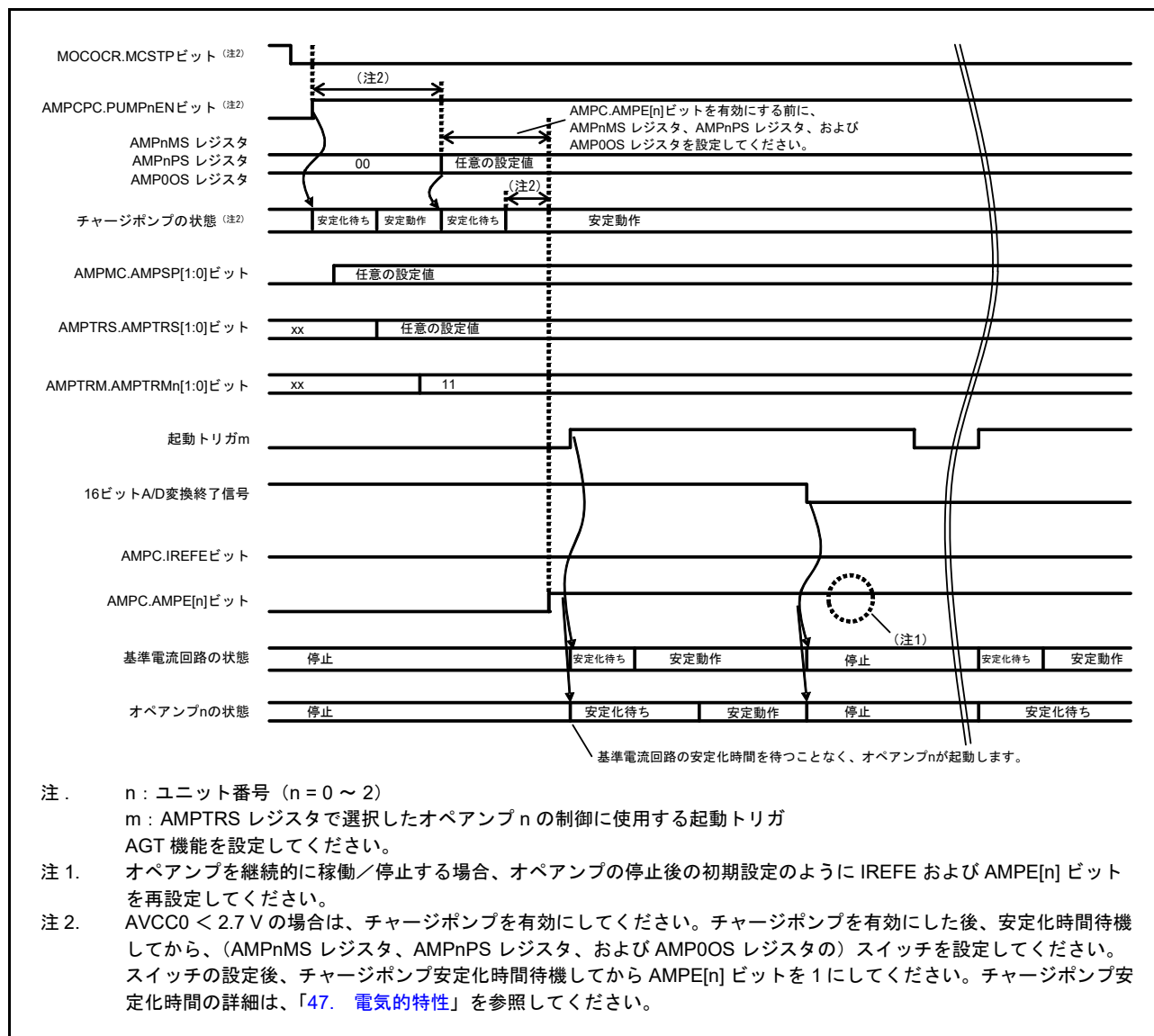


図 37.8 オペアンプの制御動作 (起動および A/D トリガモード (1))
(基準電流回路およびオペアンプを起動トリガによって起動し、A/D 変換終了 (トリガ) によって停止する場合)

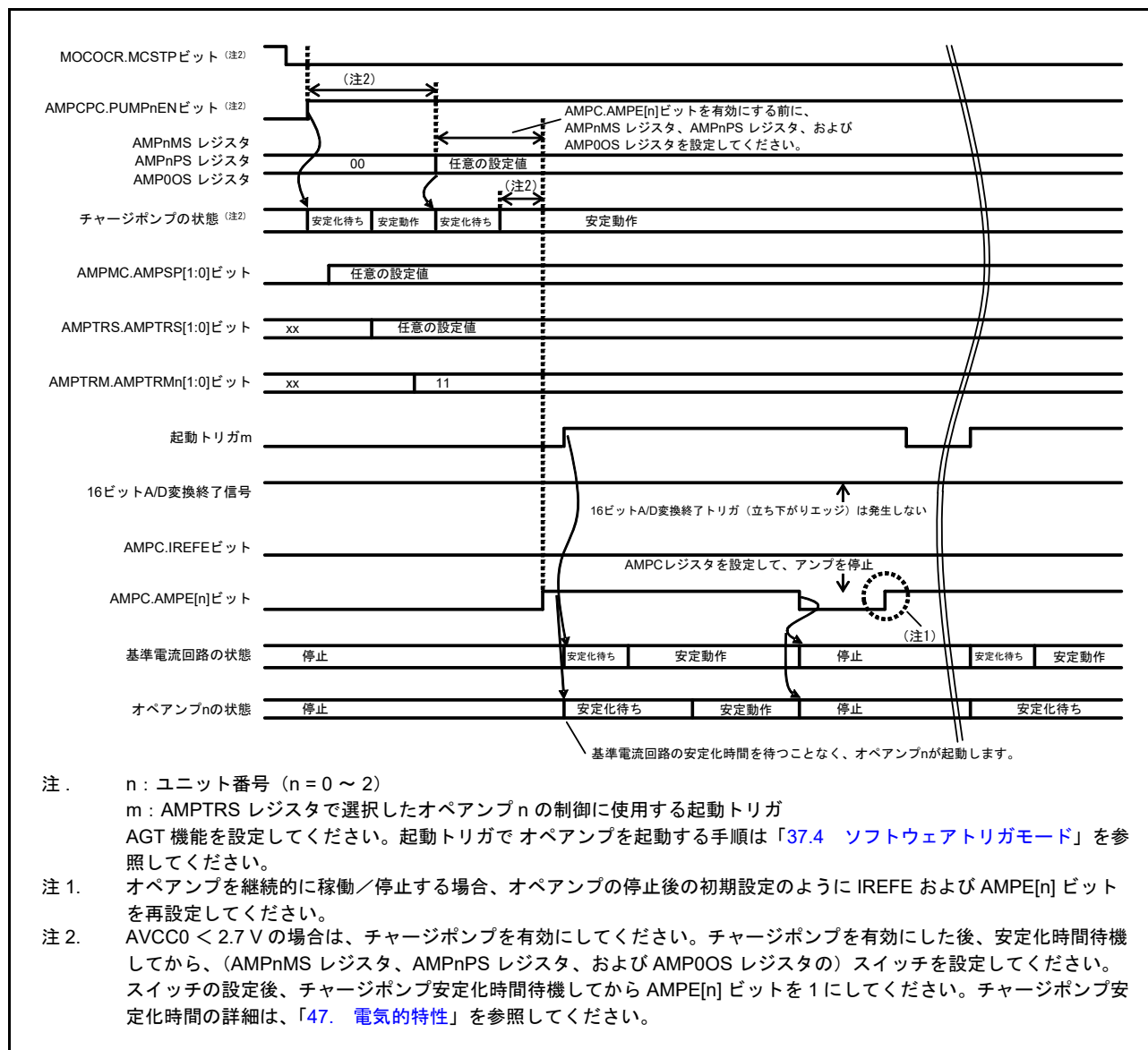


図 37.9 オペアンプの制御動作 (起動および A/D トリガモード (2))
(基準電流回路とオペアンプを起動トリガで起動し、A/D 変換終了 (トリガ) で停止させる設定のときに、AMPC レジスタの設定によって基準電流回路およびオペアンプ停止する場合)

37.4 ソフトウェアトリガモード

ここでは、ソフトウェアトリガによってオペアンプを起動および停止する手順について説明します。図 37.10 に各レジスタの設定例を示します。

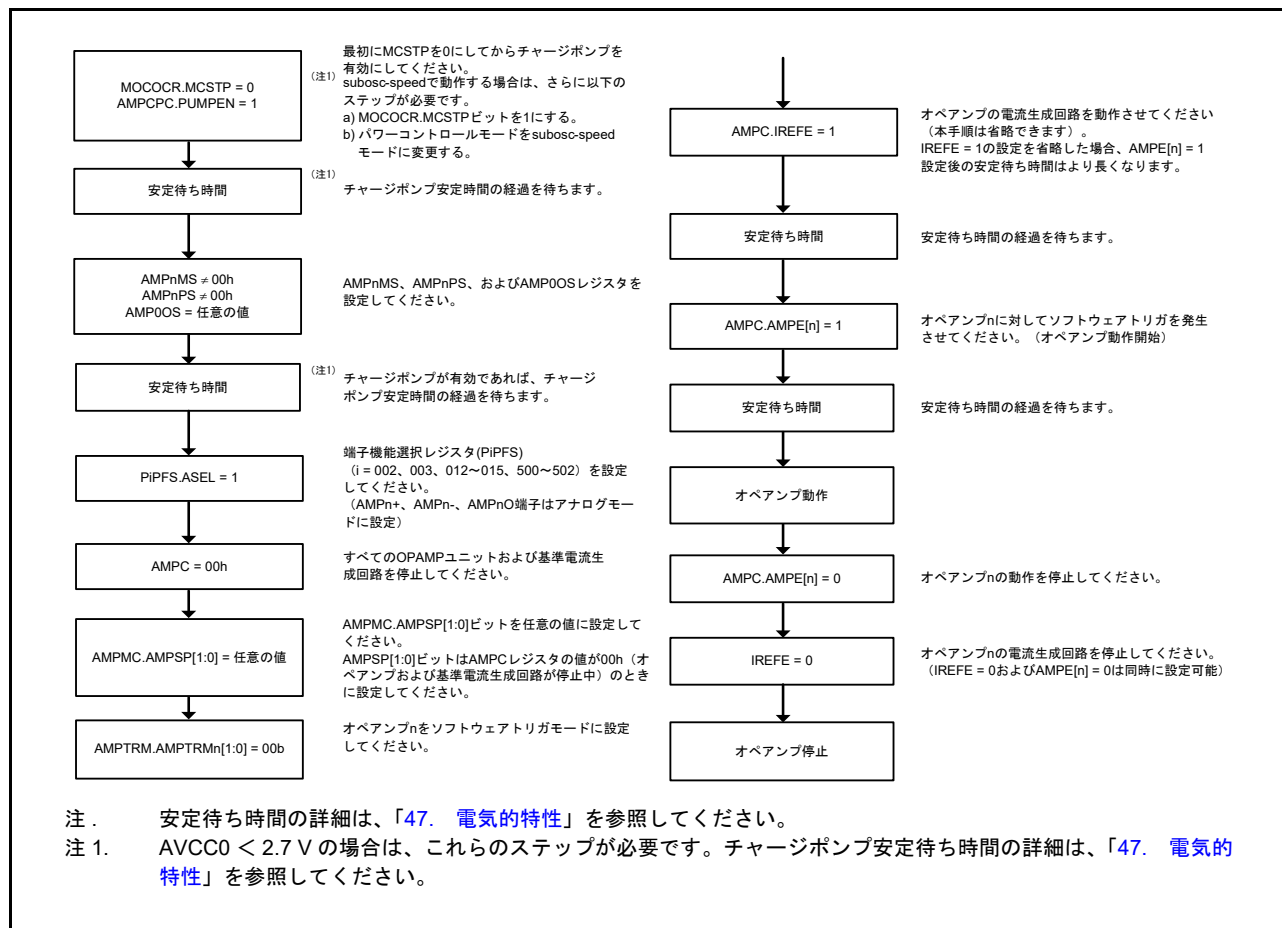


図 37.10 ソフトウェアトリガモードでのオペアンプ起動および停止手順

37.5 起動トリガモード

ここでは、起動トリガによってオペアンプを起動し、ソフトウェアによって停止する手順について説明します。図 37.11 に各レジスタの設定例を示します。

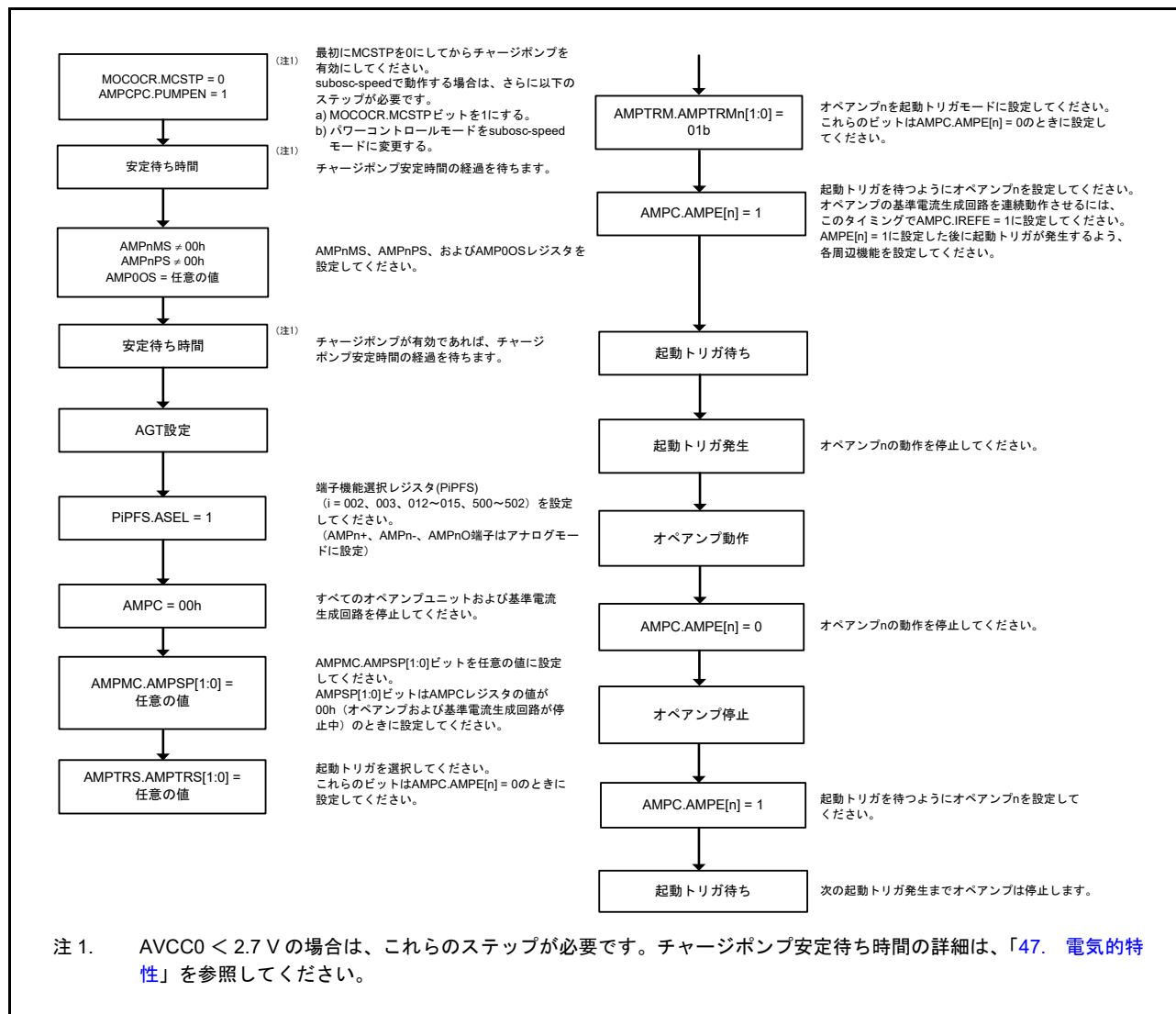


図 37.11 起動トリガモードでのオペアンプ起動および停止手順

37.6 起動および A/D トリガモード

ここでは、起動トリガによってオペアンプを起動し、16 ビット A/D 変換終了トリガによって停止する手順について説明します。図 37.12 に各レジスタの設定例を示します。

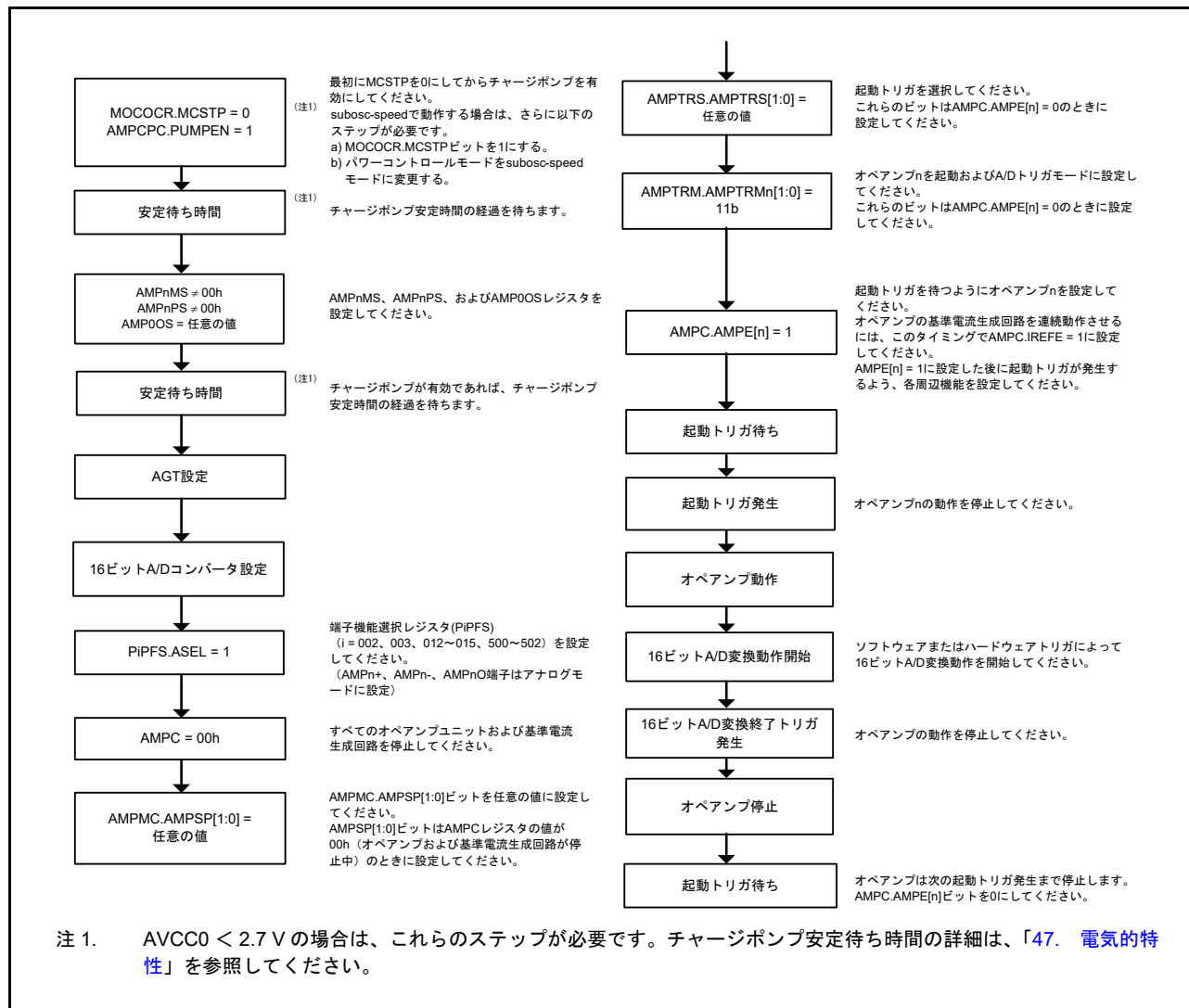


図 37.12 起動トリガによるオペアンプ起動と 16 ビット A/D 変換終了トリガによるオペアンプ停止手順

37.7 オペアンプ停止後の MOCO 停止手順

下記に、AVCC0 < 2.7V の場合にオペアンプ停止 (AMPC.AMPE[2:0] = 000b) 後に MOCO を停止する手順について説明します。

- 基準電流生成回路を含めてすべてのオペアンプユニットを停止します。Subosc-speed モードで動作している場合は、以下も追加で行う必要があります。
 - 電力制御モードを Subosc-speed モードから別モードに変更します。
 - MOCOCR.MCSTP ビットを 0 にします。
- AMPCPC レジスタを 0 (チャージポンプ無効) にします。
- MOCOCR.MCSTP ビットを 1 (MOCO 停止) にします。

注 . DAC12.DAPC.DAPC = 1 または DAC8.DACPC.DAPC = 1 の場合は MOCO を停止してはいけません。

37.8 オペアンプスイッチ設定の変更

本項では、オペアンプを停止することなく AMPnMS、AMPnPS、および AMP0OS レジスタのオペアンプスイッチ設定を変更する手順について説明します。図 37.13 に例を示します。オペアンプ動作中（AMPE[n] = 1）もスイッチ設定を変更可能ですが、動作中のスイッチ設定変更によりユーザが準備した周辺コンポーネントが影響を受けないように慎重に影響を判断してください。

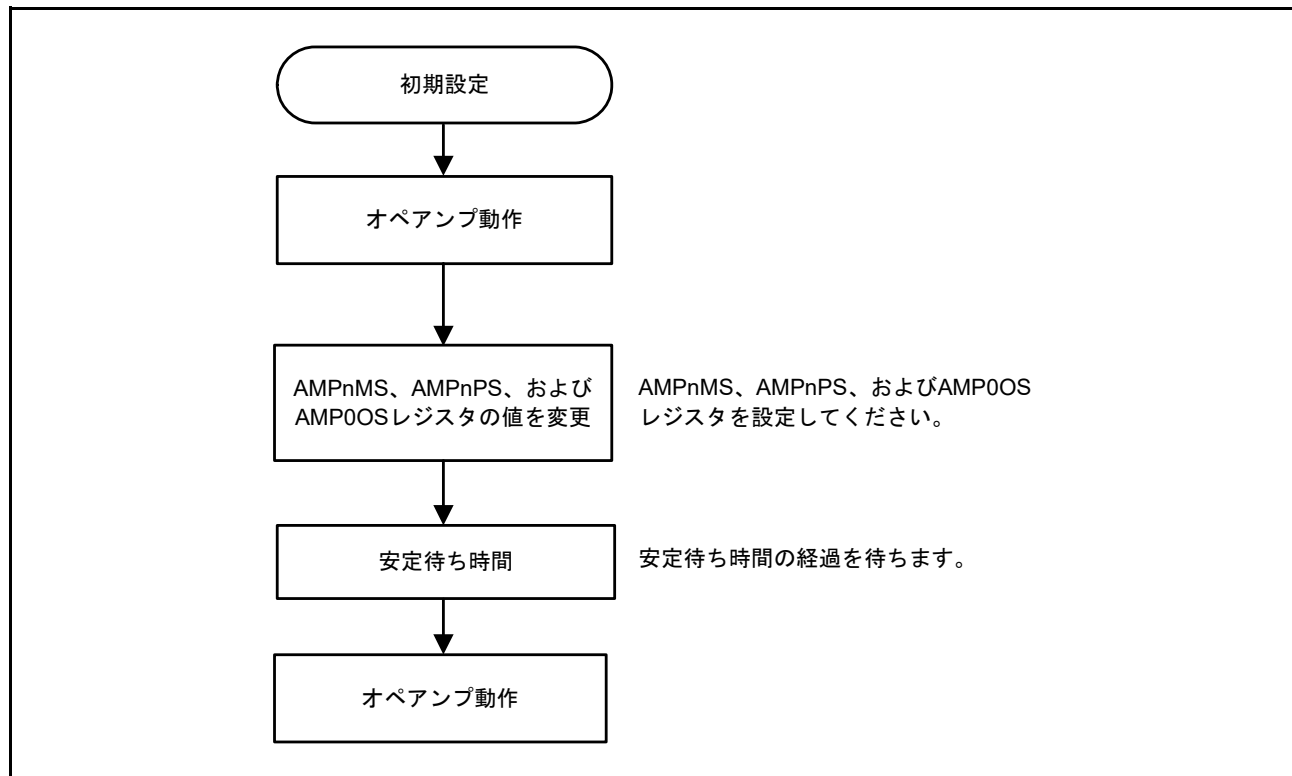


図 37.13 オペアンプ動作中の AMPnMS、AMPnPS および AMP0OS レジスタのオペアンプスイッチ変更手順

37.9 ユーザオフセットトリミング

本項では、ユーザオフセットトリミングの実行手順について説明します。図 37.14 および図 37.15 に接続図と例を示します。各動作モードのオフセットトリミング値は、工場出荷時に設定されています。ただし、オフセットトリミング値は製品の使用環境に合うように設定可能です。

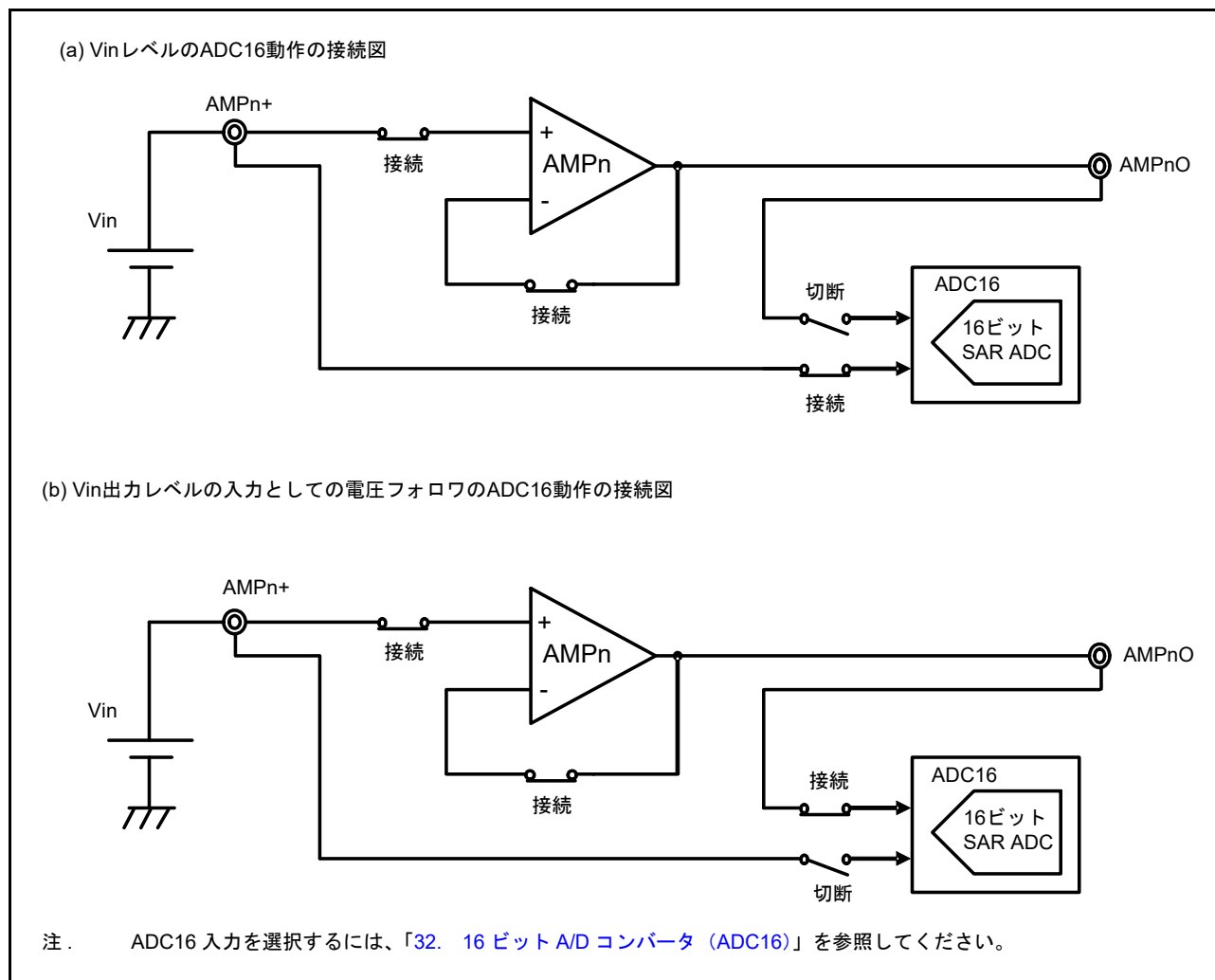


図 37.14 ユーザオフセットトリミング実行用接続図

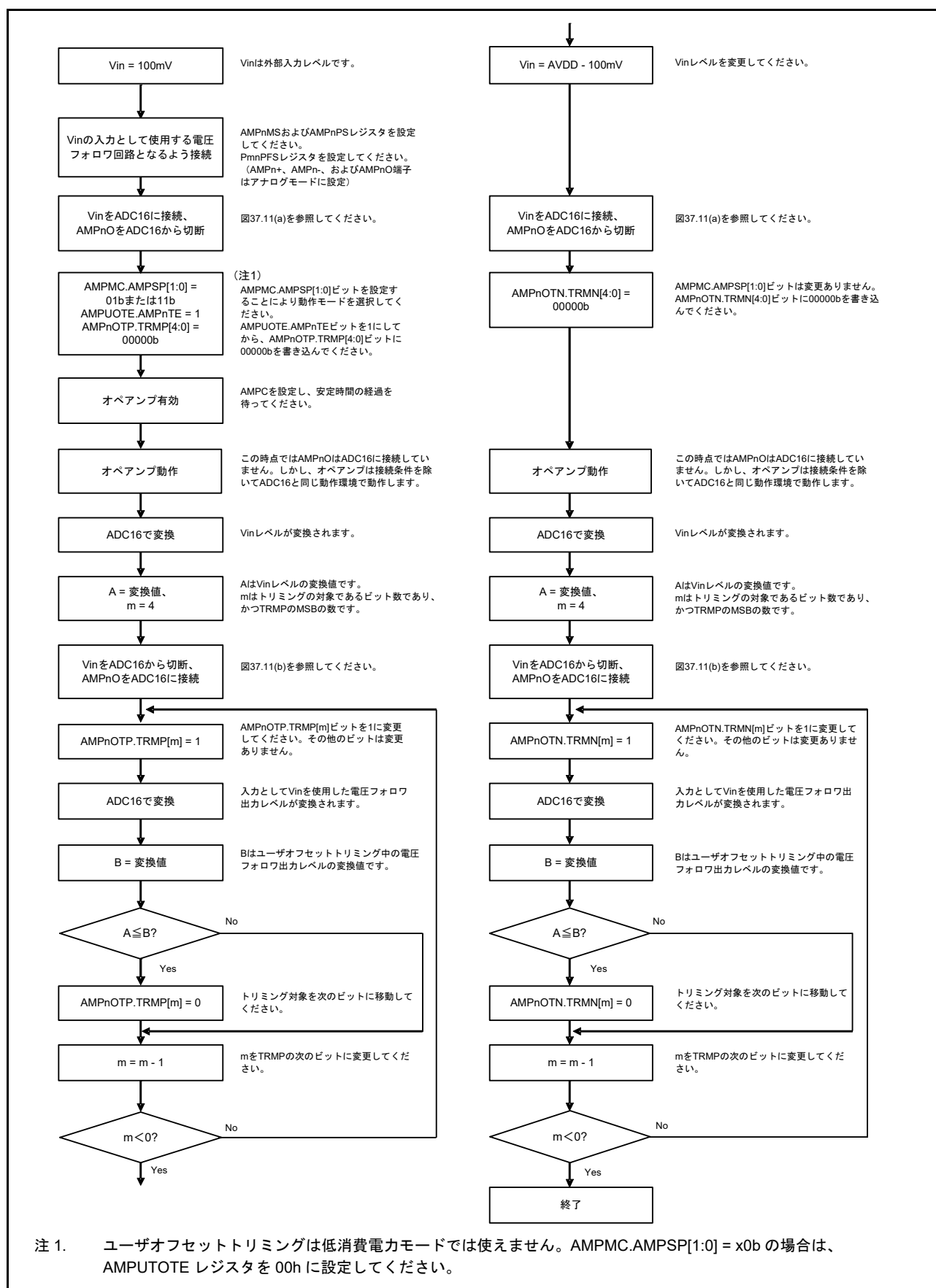


図 37.15 ユーザオフセットトリミング実行手順

37.10 OPAMP をコンフィギュラブルアンプとして使用

コンフィギュラブルアンプは、外部抵抗およびコンデンサとともにコンフィギュラブルスイッチを制御することにより各種オペアンプとして使用可能です。図 37.16 ～ 図 37.19 に典型的な例を示します。

37.10.1 電圧フォロワー

一般的なオペアンプは、自身の出力信号を自身の負入力信号としてフィードバックすることにより電圧フォロワーを構成可能です。フィードバック回路を構成するには、オペアンプ n マイナス入力選択レジスタ (AMPnMS) のビット [7] (AMPMS7) を 1 にします。

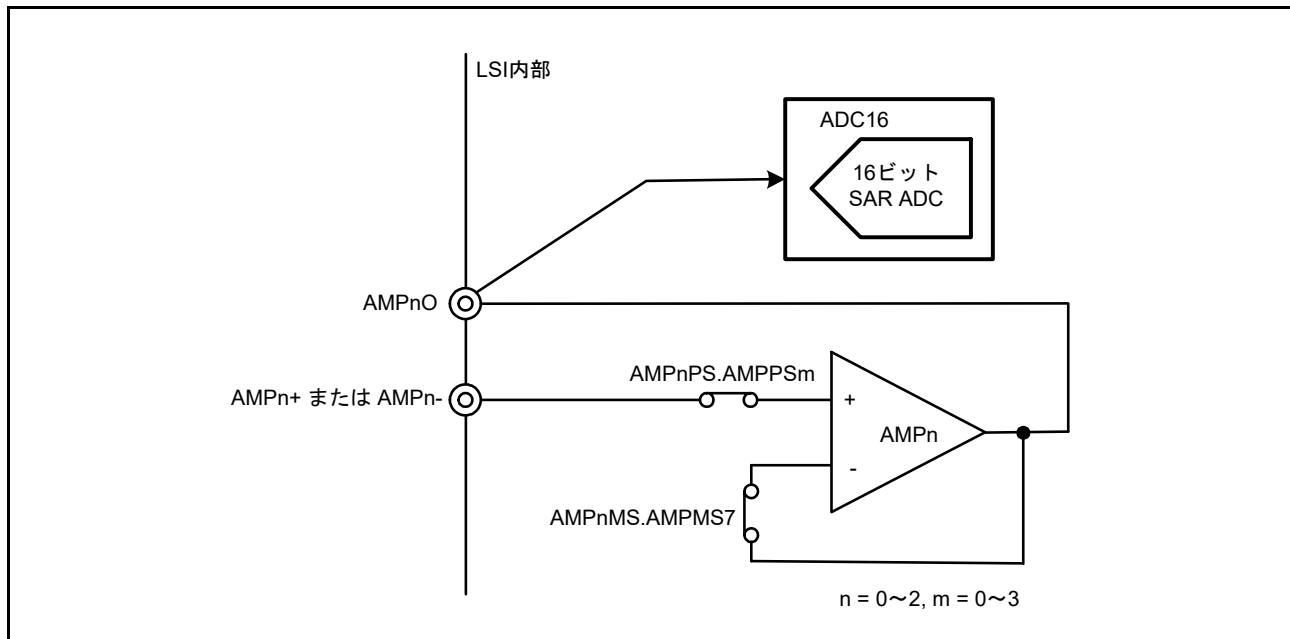


図 37.16 コンフィギュラブルアンプを電圧フォロワーとして使用する例

汎用アナログポート n (AMP1+, AMP1-, AMP2+ または AMP2-) を使ってプリアンプ出力信号をポストアンプに入力してください。オペアンプ 0 の電圧フォロワーからの信号出力をオペアンプ 1 の正入力に接続するには、たとえば、オペアンプ 0 の出力選択レジスタ (AMP0OS) のビット [1] (AMP0OS1) を 1 にします。その後オペアンプ 0 出力は汎用アナログ入出力ポート AMP1+ に接続されます。次に、オペアンプ 1 プラス入力選択レジスタ (AMP1PS) のビット [1] (AMP1PPS) を 1 にすることにより AMP1+ をポストアンプ 1 の正入力信号に接続してください。

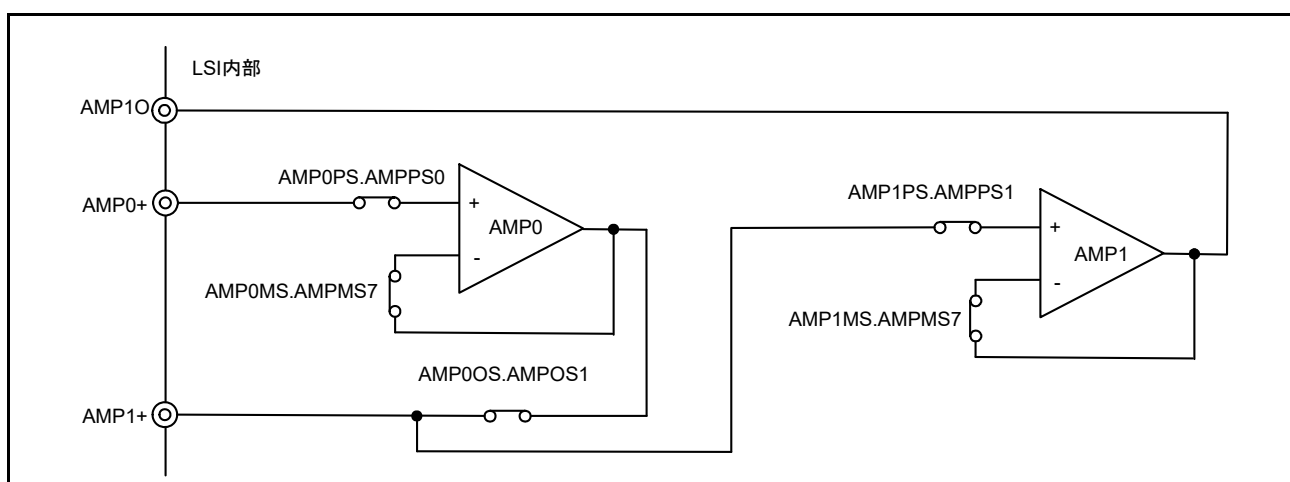


図 37.17 コンフィギュラブルアンプをカスケード接続電圧フォロワーとして使用する例

37.10.2 プログラマブル非反転アンプ

汎用アナログポートに接続したコンフィギュラブルスイッチと外部抵抗の組み合わせを使ってプログラマブル非反転アンプを構成可能です。図 37.18 に非反転アンプの例を示します。

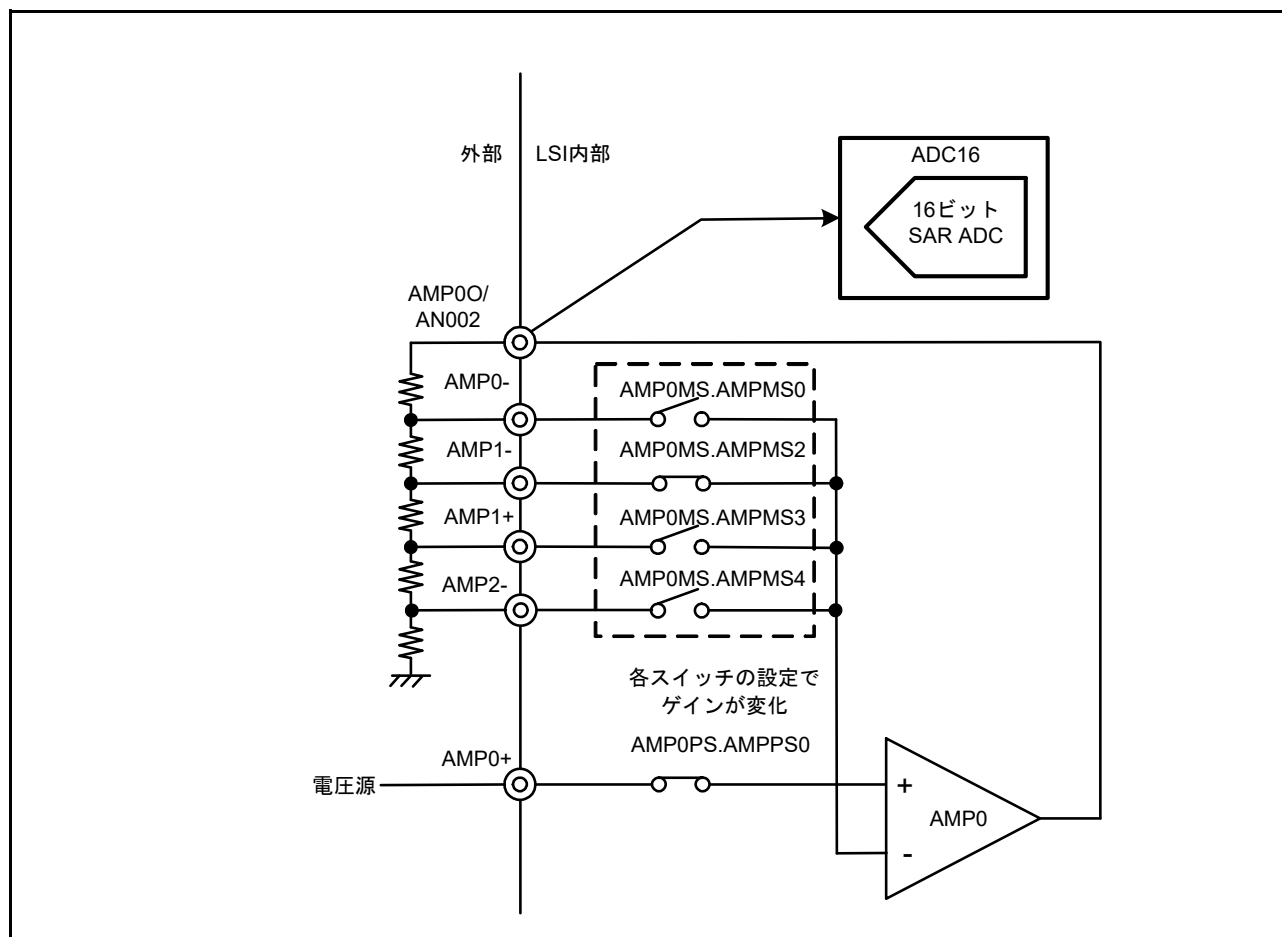


図 37.18 コンフィギュラブルアンプをプログラマブル非反転アンプとして使用する例

37.10.3 プログラマブルトランスインピーダンスアンプ

図 37.19 に、ゲインがソフトウェアで切り替え可能なトランスインピーダンスアンプの例を示します。

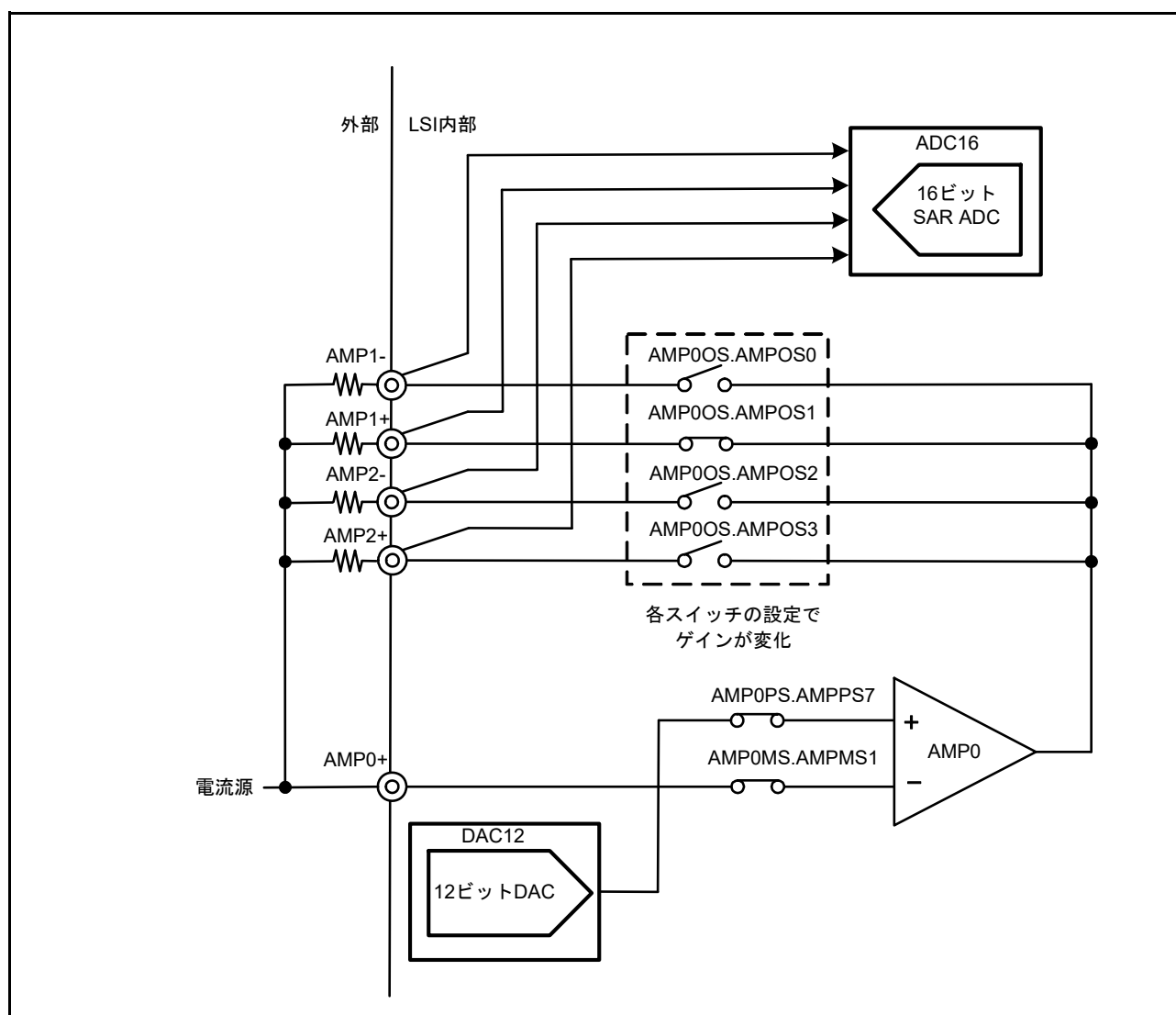


図 37.19 コンフィギュラブルアンプをプログラマブルトランスインピーダンスアンプとして使用する例

37.10.4 コンフィギュラブルアンプを D/A コンバータ出力アンプとして使用

コンフィギュラブルアンプを使って D/A コンバータ出力を MCU 外部に出力可能です。D/A コンバータからの出力をオペアンプ n のプラス入力端子に入力するには、オペアンプ n プラス入力選択レジスタ (AMPnPS) のビット [7] (AMPPS7) を 1 にするか、またはポート mn 端子機能選択レジスタ (PmnPFS) により D/A 変換を端子に出力し、D/A コンバータ出力端子と AMP+ 入力端子が共有しているオペアンプ n プラス入力選択レジスタのビットを 1 にします。D/A コンバータ出力を AMPnO 端子から出力するには、オペアンプ n マイナス入力選択レジスタ (AMPnMS) のビット [7] (AMPMS7) を 1 にして電圧フォロワーを構成します。

D/A コンバータとの接続は、OPAMP の外部端子がない製品でも可能です。

詳細は、「[18.6 製品ごとの周辺選択設定](#)」を参照してください。

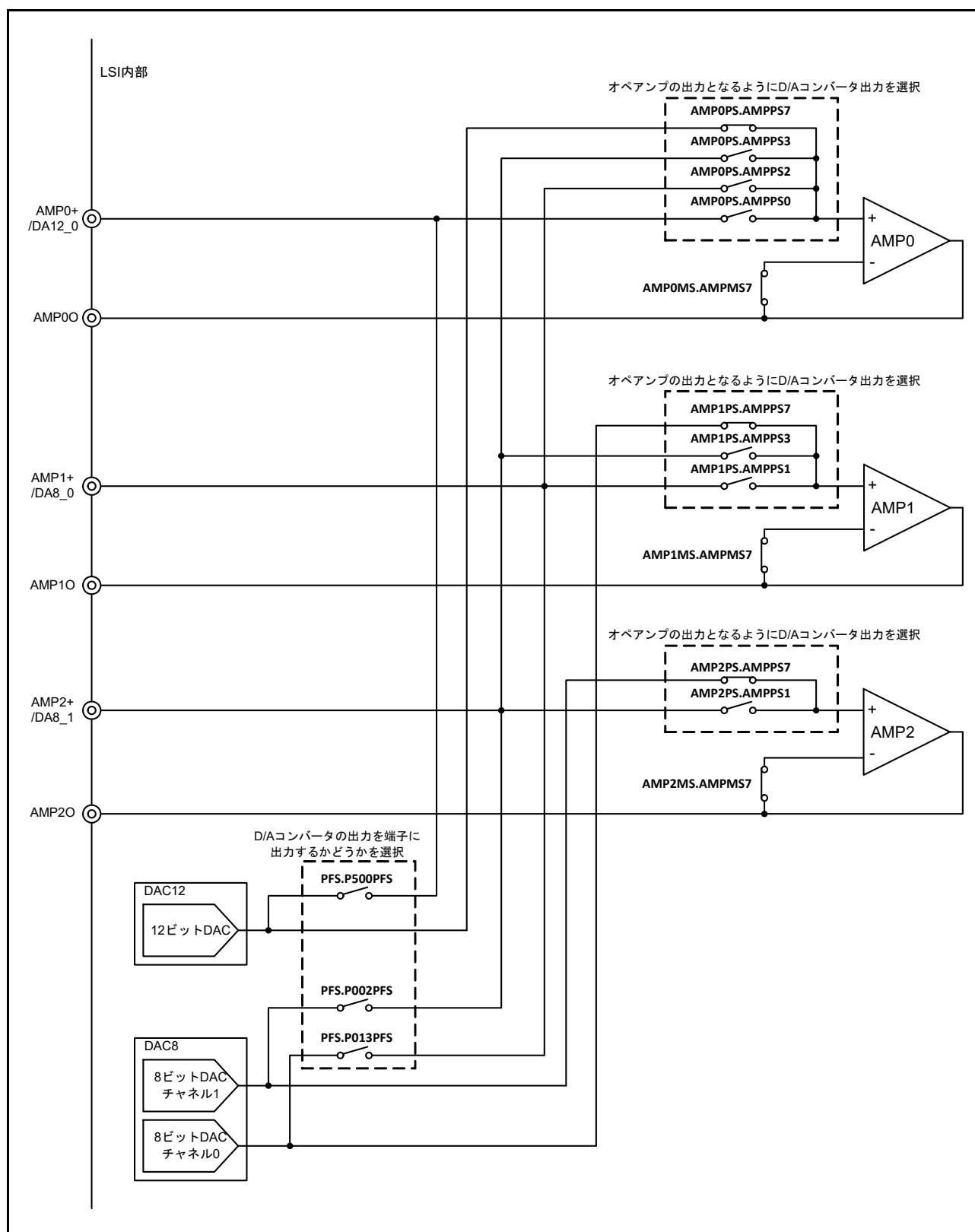


図 37.20 コンフィギュラブルアンプを D/A コンバータ出力アンプとして使用

37.11 使用上の注意事項

- AMPC レジスタの設定に加え、オペアンプ機能は起動トリガによって起動でき、16 ビット A/D 変換終了で停止することができます。

基準電流回路は 16 ビット A/D 変換終了時に停止できます。

回路やプログラムなどのアプリケーション設計は、それぞれの非同期トリガが起動停止の制御の衝突の原因とならないよう、動作フローに従う必要があります。

- バイパスコンデンサをオペアンプの電源端子である AVCC0/AVSS0 に接続する場合は、コンデンサをできるだけチップ近くに配置してください。すなわち配線をできるだけ短くしてください。これは、コンデンサとデバイス、ボード、または周辺コンポーネント間でのノイズの伝達を最小限に抑えるためです。
- オペアンプ入力オープンのまま放置されるのを防止するために、すべての入力スイッチが OFF の場合は、オペアンプ動作は強制停止します。
- デジタル入出力ポート端子としても機能する端子をオペアンプポートとして使用する場合、機能をデジタル入出力ポートに切り替えないでください。
- チャージポンプが有効でオペアンプ 2 が動作中の場合、下記の設定のいずれかが変更された場合、オペアンプ 2 への安定時間の間待つ必要があります。
 - DAC12 の端子出力設定の変更時
 - DAC8 の端子出力設定の変更時

安定時間の詳細については、「[47. 電气的特性](#)」を参照してください。

- オペアンプのプラスおよびマイナス入力に使用する端子では A/D 変換を行わないでください。これらの端子は、A/D コンバータ用のアナログ入力にマルチプレクスされています。

38. 高速アナログコンパレータ（ACMPHS）

38.1 概要

高速アナログコンパレータ（ACMPHS）は、アナログ入力電圧を基準電圧と比較します。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準電圧としては、IVREFi（i = 0 ～ 2）端子への入力、内部 D/A コンバータからの出力、または本 MCU で内部生成された内部基準電圧（Vref）から選択できます。こうした柔軟性は、A/D 変換を必要としないアナログ信号に対して実行／中止の比較を行わなければならないアプリケーションに有効です。

表 38.1 に ACMPHS の仕様を、図 38.1 にブロック図を、表 38.2 に入力電源構成を示します。

表 38.1 ACMPHSの仕様

項目	内容
チャンネル数	1（ACMPHS0）
アナログ入力電圧	内部ADC16入力端子から入力
基準電圧	- 内部DAC12から出力 - 内部DAC8から出力（チャンネル0） - 内部基準電圧（Vref） - 内部ADC16入力端子から入力
ACMPHS出力	- 比較結果 - ELCイベント出力の発生 - レジスタからの出力監視
割り込み要求信号	- 比較結果からの有効エッジ検出時に生成された割り込み要求 - 立ち上がりエッジ／立ち下がりエッジ／両エッジから選択可能
デジタルフィルタ機能	3つのサンプリング周波数から1つを選択可能 - フィルタ機能不使用の選択可能

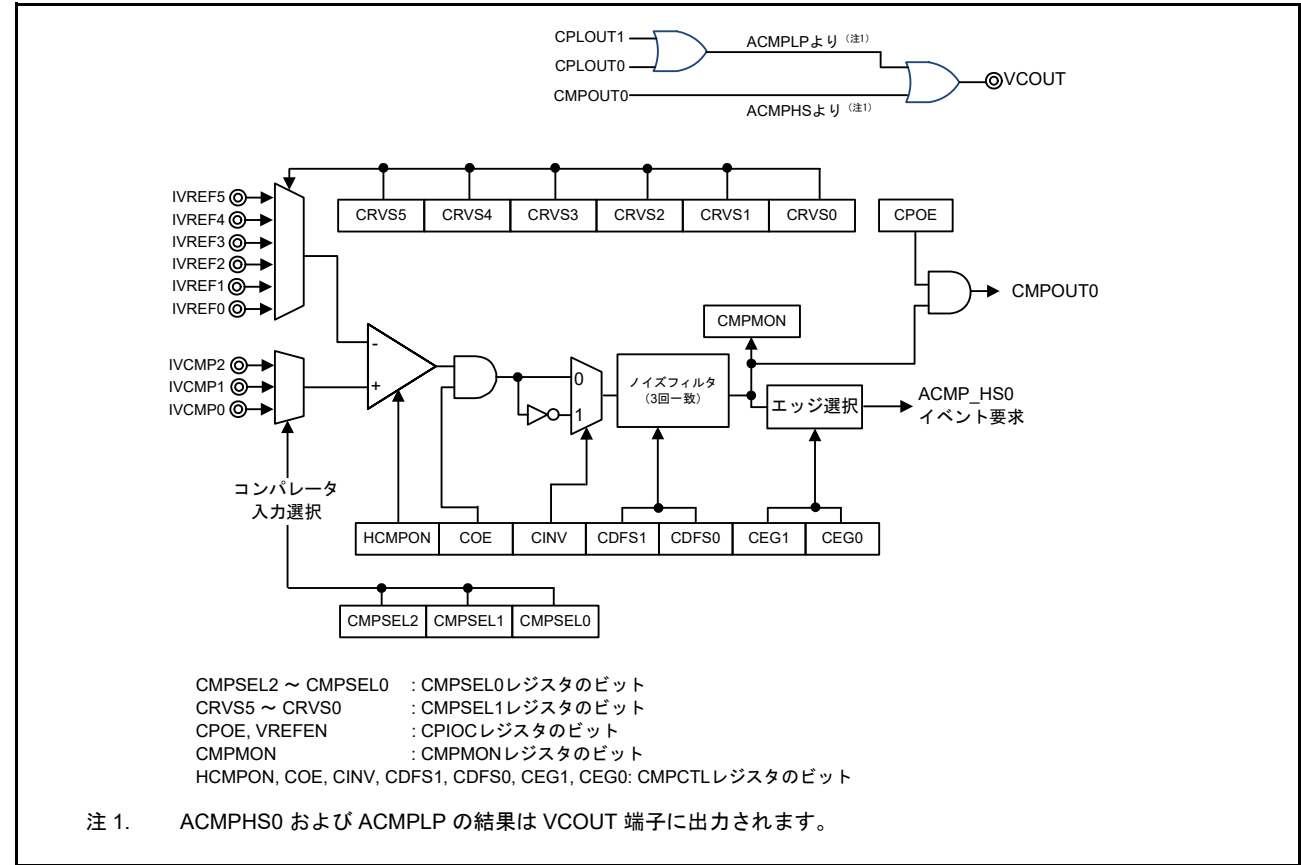


表 38.2 ACMPHS の入力電源構成

コンパレータ	基準電圧入力電源						アナログ電圧入力電源			出力端子
	IVREF5	IVREF4	IVREF3	IVREF2	IVREF1	IVREF0	IVCMP2	IVCMP1	IVCMP0	
ACMPHS0	Vref (注3)	DAC12 出力	DAC8 チャネル0 出力	AN017 (注4)	AN004 (注4) (注5)	AN001 (注4)	AN016 (注4)	AN005 (注1) (注4) (注4)	AN000 (注2) (注4)	VCOUT

- 注 1. DAC8 チャネル 0 の出力レベルが端子 (DA8_0) に出力されない場合、AN005 アナログ入力として使用できます。
- 注 2. DAC12 の出力レベルが端子 (DA12_0) に出力されない場合、AN000 アナログ入力として使用できます。
- 注 3. 内部基準電圧
- 注 4. ACMPHS 入力に使用する場合、A/D 変換対象に選択できません。
- 注 5. ACMPHS 入力に使用する場合、DAC12 のアナログ基準電圧源端子に選択できません。

38.2 レジスタの説明

38.2.1 コンパレータコントロールレジスタ (CMPCTL)

アドレス ACMPHS0.CMPCTL 4008 5000h

b7	b6	b5	b4	b3	b2	b1	b0
HCMP ON	CDFS[1:0]	CEG[1:0]	—	COE	CINV		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性選択 (注1) (注2)	0: コンパレータ出力を反転しない 1: コンパレータ出力を反転する	R/W
b1	COE	コンパレータ出力許可	0: コンパレータ出力禁止 (出力信号はLow) 1: コンパレータ出力許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4-b3	CEG[1:0]	有効エッジ選択 (エッジセクタ)	b4 b3 0 0: エッジ選択なし 0 1: 立ち上がりエッジ選択 1 0: 立ち下がりエッジ選択 1 1: 両エッジ選択	R/W
b6-b5	CDFS[1:0]	ノイズフィルタ選択 (注1) (注2) (注3)	b6 b5 0 0: ノイズフィルタ不使用 0 1: ノイズフィルタサンプリング周波数がPCLKB/8 1 0: ノイズフィルタサンプリング周波数がPCLKB/16 1 1: ノイズフィルタサンプリング周波数がPCLKB/32	R/W
b7	HCMPON	コンパレータ動作制御 (注4)	0: 動作停止 (コンパレータがLowの信号を出力) 1: 動作許可 (コンパレータ端子への入力許可)	R/W

- 注 1. ACMPHS 出力を禁止 (COE = 0) にした後にだけ、CDFS[1:0] および CINV ビットを変更してください。
- 注 2. CDFS[1:0] および CINV ビットが変更されると、ACMPHS 割り込み要求および ELC イベントが発生する可能性があります。これらのビットを変更する前に、ELC.ELSRn レジスタを 0000h (ACMPHS 出力がリンクしていない) にしてください。ビット変更後、ICU.IELSRn レジスタの IR フラグを 0 にして割り込みステータスをクリアしてください。
- 注 3. CDFS[1:0] ビットを 00b (ノイズフィルタ不使用) から 00b 以外の値 (ノイズフィルタ使用) に変更する場合、サンプリングを 4 回行い、フィルタ出力を更新した後、ACMPHS 割り込み要求または ELC イベントを使用してください。
- 注 4. ACMPHS 動作を有効 (HCMPON = 1) にした後は、ACMPHS 動作を許可するために動作安定待機時間が必要です。ACMPHS0 の動作安定待機時間は 1μs です。

本レジスタは以下の動作を行います。

- ACMPHS 動作の制御
- ACMPHS 出力の許可／禁止
- ノイズフィルタの選択
- 割り込み信号の有効エッジの選択
- 割り込みの選択

リセットは本レジスタを 00h にクリアします。

38.2.2 コンパレータ入力選択レジスタ（CMPSEL0）

アドレス ACMPHS0.CMPSEL0 4008 5004h

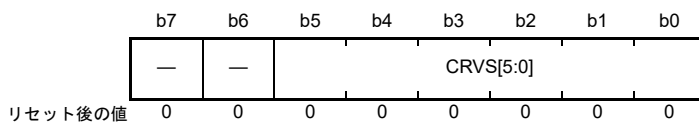


ビット	シンボル	ビット名	機能	R/W
b2-b0	CMPSEL[2:0]	コンパレータ入力選択（注1）	b2b0 000: 入力なし 001: IVCMP0 選択（注2） 010: IVCMP1 選択（注2） 100: IVCMP2 選択（注2） 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. CMPSEL[2:0] ビットは下記の手順で変更してください。CMPSEL0 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
CMPSEL[2:0] ビットを変更するには、以下を実行します。
1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL0 レジスタを 0000 0000b にする。
3. CMPSEL[2:0] ビットに新しい値を設定する。この時、いずれか 1 つのビットのみを 1 にする。
4. 200ns の入力切り替え安定待機時間の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. ICU.IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。
- 注 2. 詳細は、表 38.2 ACMPHS の入力電源構成を参照してください。

38.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス ACMPHS0.CMPSEL1 4008 5008h

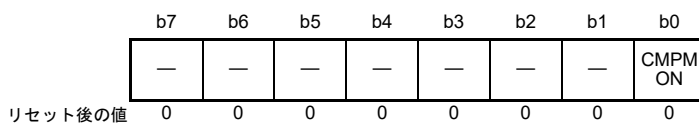


ビット	シンボル	ビット名	機能	R/W
b5-b0	CRVS[5:0]	基準電圧選択 (注1)	b5 b0 0 0 0 0 0 0: 基準電圧なし 0 0 0 0 0 1: IVREF0選択 (注2) 0 0 0 0 1 0: IVREF1選択 (注2) 0 0 0 1 0 0: IVREF2選択 (注2) 0 0 1 0 0 0: IVREF3選択 (注2) 0 1 0 0 0 0: IVREF4選択 (注2) 1 0 0 0 0 0: IVREF5選択 (注2) 上記以外は設定しないでください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. CRVS[5:0] ビットは下記の手順で変更してください。CMPSEL1 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。CRVS[5:0] ビットを変更するには、以下を実行します。
- 1.CMPCTL.COE ビットを 0 にする。
 - 2.CMPSEL1 レジスタを 0000 0000b にする。
 - 3.CRVS[5:0] ビットに新しい値を設定する。この時、いずれか 1 つのビットのみを 1 にする。
 - 4.200ns の入力切り替え安定待機時間の経過を待つ。
 - 5.CMPCTL.COE ビットを 1 にする。
 - 6.ICU.IELSRn レジスタの IR フラグを設定し、割り込みステータスをクリアする。
- 注 2. 詳細は、表 38.2 ACMPHS の入力電源構成を参照してください。

38.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス ACMPHS0.CMPMON 4008 500Ch



ビット	シンボル	ビット名	機能	R/W
b0	CMPMON	コンパレータ出力監視 (注1)	0 : コンパレータ出力はLow 1 : コンパレータ出力はHigh	R
b7-b1	—	予約ビット	読むと0が読めます。	R

- 注 1. ACMPHS の動作が有効 (HCMPON = 1 および COE = 1) であるが、ノイズフィルタを使用していない (CDFS[1:0] = 00b) 場合、必ず CMPMON ビットを 2 度読み出し、2 つの連続した値が一致した後でのみ値を使用してください。

38.2.5 コンパレータ出力コントロールレジスタ（CPIOC）

アドレス ACMPHS0.CPIOC 4008 5010h

	b7	b6	b5	b4	b3	b2	b1	b0
	VREFEN	—	—	—	—	—	—	CPOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	コンパレータ出力選択	0：コンパレータのVCOUT端子出力を禁止（出力信号はLow） 1：コンパレータのVCOUT端子出力を許可	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	VREFEN	内部基準電圧許可	0：内部基準電圧（Vref）禁止 1：内部基準電圧（Vref）許可	R/W

38.3 動作説明

高速アナログコンパレータ (ACMPHS) は、基準電圧とアナログ入力電圧を比較します。ACMPHS の動作中にレジスタの値を変更した場合、動作は保証されません。表 38.3 に ACMPHS に関連するレジスタの設定手順を示します。

表 38.3 ACMPHS 関連レジスタの設定手順

手順	レジスタ	ビット	設定
1	関連 MSTPCRD レジスタ	MSTPD28	0 : 入力クロック供給
2	関連するポート mn 端子機能選択レジスタ (PmnPFS)	ASEL	1 : IVREF および IVCMP 端子の機能を選択
3	ACMPHS0.CPIOC	VREFEN	1 : 内部基準電圧 (Vref) 使用時
4	関連する DAC12 および DAC8		DAC12 および DAC8 を使用する場合、レジスタに設定
5	ACMPHS0.CMPSEL0 ACMPHS0.CMPSEL1	CMPSEL[2:0] CRVS[5:0]	ACMPHS0 入力を選択。この時、いずれか 1 つのビットのみを 1 にします。
6	CMPCTL	CDFS[1:0]、CEG1、CEG0、CINV HCMPON	ACMPHS0 制御を設定 1 : ACMPHS0 動作を許可
7	ACMPHS 安定時間 (最小 1 μ s) 待機		
8	CMPCTL	COE	1 : ACMPHS0 出力を許可
9	CPIOC	CPOE	1 : VCOOUT 出力を設定
	関連するポート mn 端子機能選択レジスタ (PmnPFS)	PSEL、PMR	VCOOUT ポート機能を選択
10	IELSRn	IR、IELS[7:0]	割り込みを使用する場合は割り込みステータスフラグおよび ICU イベントリンクを選択 (注1)
11	ELSRn	ELS[7:0]	ELC を使用する場合はイベントリンクを選択 (注2)
12	POEGGn	CDRE0	POEG を使用する場合は ACMPHS からの要求を許可
13	動作開始		
14	CMPCTL	COE	0 : IVREF または IVCMP を変更する場合は ACMPHS0 出力を禁止
15	ACMPHS0.CMPSEL1	CRVS[5:0]	以下の手順で CRVS[5:0] ビットを変更してください。 1. CMPSEL1 レジスタを 0000 0000b にする。 2. CRVS[5:0] ビットに新しい値を設定する。この時、いずれか 1 つのビットのみを 1 にする。
16	ACMPHS0.CMPSEL0	CMPSEL[2:0]	以下の手順で CMPSEL[n] ビットを変更してください。 1. CMPSEL0 レジスタを 0000 0000b にする。 2. 新しい値を CMPSEL[n] ビットに設定する。このとき、いずれか 1 つのビットのみを 1 にする。
17	ACMPHS0 切り替え安定時間 (最小 200ns) 待機		
18	CMPCTL	COE	1 : ACMPHS0 出力を許可
19	動作再開		

注 1. ACMPHS0 を設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、割り込みフラグを初期化してください。

注 2. ACMPHS0 を設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、イベントリンク選択を初期化してください。

ACMPHS の動作例を図 38.2 に示します。アナログ入力電圧が基準入力電圧より高くなると VCOUT 出力は 1 になり、低くなると 0 になります。ACMPHS 出力が変わると、割り込み要求および ELC イベントが出力されます。

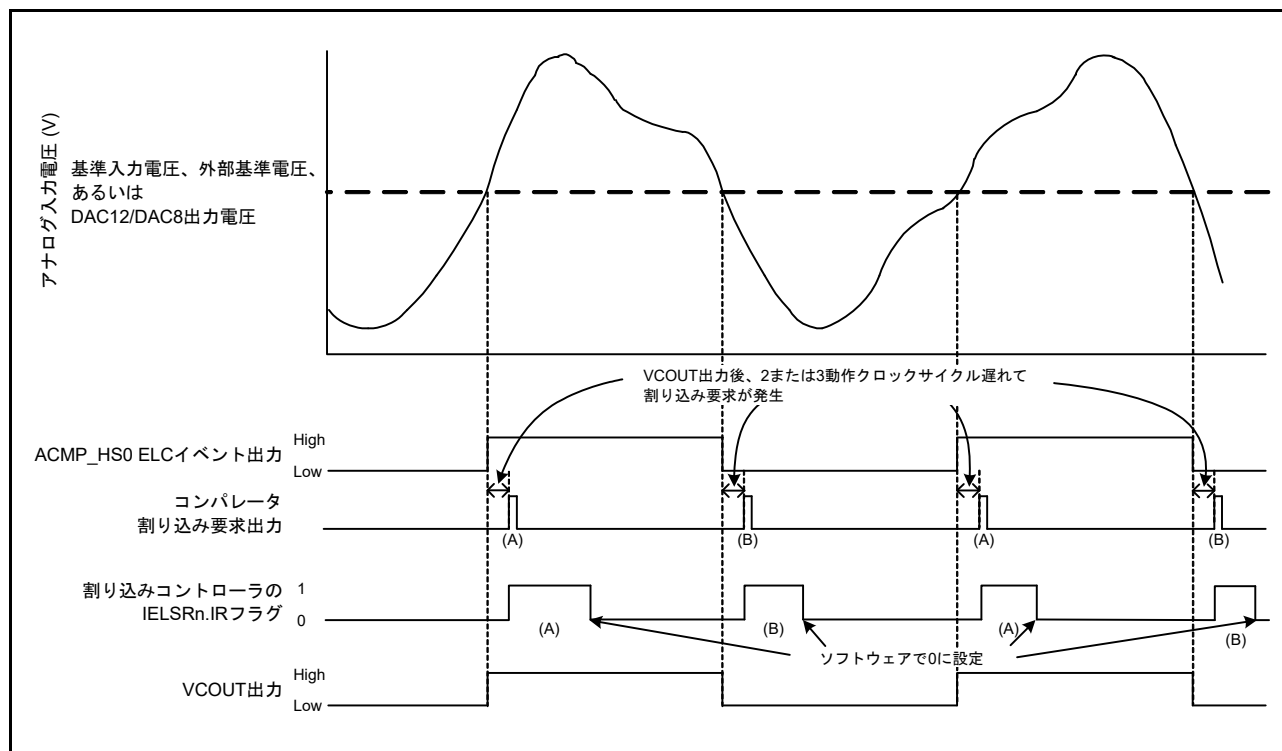


図 38.2 ACMPHS の動作例

図 38.2 は CPOE = 1 (端子出力許可)、CDFS[1:0] = 00b (フィルタ不使用)、CEG1 = CEG0 = 1 (両エッジを選択) の場合に適用されます。CINV = 0、CEG0 = 1、CEG1 = 0 (ACMPHS からの非反転出力信号の立ち上がりエッジを選択) の場合、ICU.IELSRn.IR フラグは (A) で示されるように変化します。CINV = 0、CEG0 = 0、CEG1 = 1 (ACMPHS からの非反転出力信号の立ち下がりエッジを選択) の場合、IR フラグは (B) で示されるように変化します。CPOE = 1 の場合、VCOUT は ELC イベント出力を直接出力します。

38.4 ノイズフィルタ

ACMPHS はノイズフィルタを搭載しています。サンプリングクロックは CMPCTL.CDFS[1:0] ビットで選択します。ACMPHS 信号は、サンプリングクロックごとにサンプリングされます。同じ値が 3 回サンプリングされた場合、次のサンプリングクロック周期のノイズフィルタ出力が ACMPHS 出力として使用されます。

ノイズフィルタとエッジ検出器の構成を図 38.3 に、ノイズフィルタと割り込み動作の例を図 38.4 に示します。ソフトウェアスタンバイモードで割り込みおよび ELC を使用する場合、CMPCTL.CDFS[1:0] ビットを 00b (ノイズフィルタ未使用) にします。

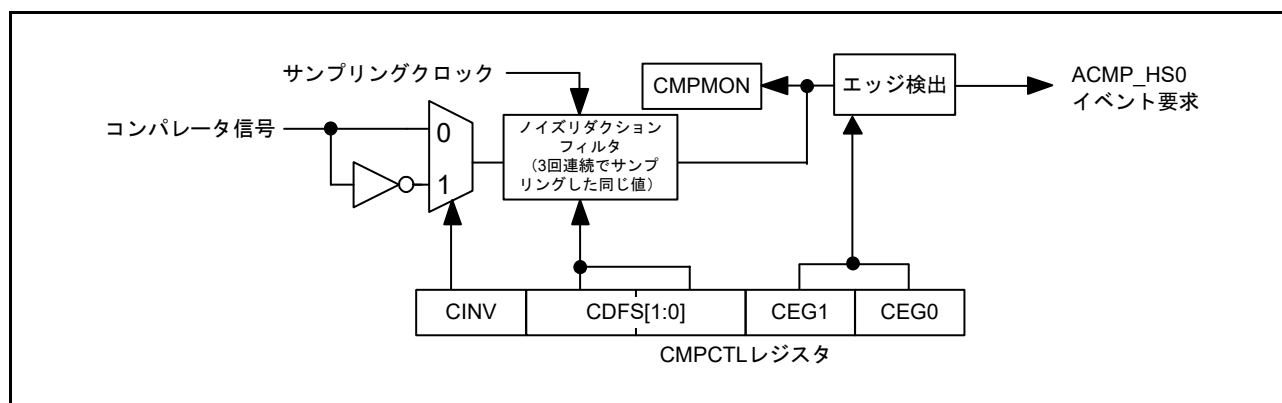


図 38.3 ノイズフィルタおよびエッジ検出の構成

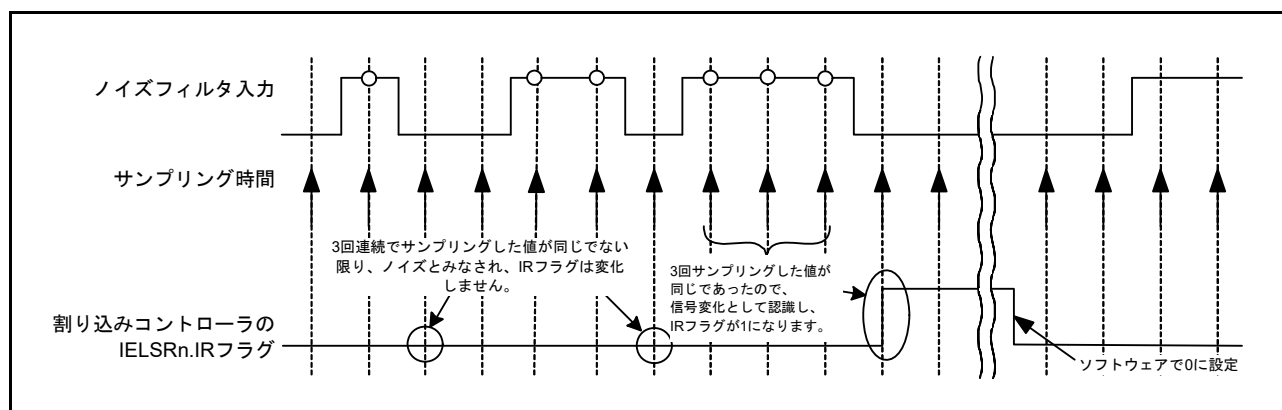


図 38.4 ノイズフィルタおよび割り込み動作例

図 38.4 の動作例は CMPCTL.CDFS[1:0] ビットが 01b、10b、または 11b (ノイズフィルタ使用) の場合に適用されます。

38.5 ACMPHS 割り込み

ACMPHS は、ACMPHS0 から 1 つの割り込み要求を生成します。ACMPHS 割り込みを使用するには、使用する割り込みを割り込みコントローラユニット (ICU) の IELSRn レジスタで選択します。CMPCTL.CEG0 ビットまたは CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1 (00b (エッジ選択なし) 以外の値) にしてください。

ACMPHS 割り込み要求に関連するレジスタ設定については、[38.2.1 コンパレータコントロールレジスタ \(CMPCTL\)](#) を参照してください。

38.6 イベントリンクコントローラ (ELC) への ACMPHS 出力

ELC は、ACMPHS 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPHS ELC イベントを使用するには、使用するイベントを ELC の ELSRn レジスタで選択します。ELC イベント要求を使用する場合、CMPCTL.CEG0 ビットまたは CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1 (00b (エッジ選択なし) 以外の値) にしてください。

38.7 ACMPHS 端子出力

ACMPHS からの比較結果は外部端子に出力できます。CMPCTL.CINV および CPIOC.CPOE ビットを使用して、出力極性 (非反転出力または反転出力) および出力許可/禁止を設定することが可能です。ACMPHS 比較結果を VCOUNT 出力端子に出力するには、I/O レジスタの関連ポート mn 端子機能選択レジスタ (PmnPFS) を設定してください。

38.8 使用上の注意事項

38.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、ACMPHS 動作を許可/禁止できます。ACMPHS は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

38.8.2 A/D コンバータとの関係

ACMPHS アナログ入力と A/D コンバータアナログ入力を同時に使用する場合は制限がかかります。詳細は、「[32.7.12 ADC16、OPAMP、ACMPHS、SDADC24 の関係](#)」と「[33.5.8 SDADC24、ADC16、および ACMPHS の関係](#)」を参照してください。

39. 低消費電力アナログコンパレータ (ACMPLP)

39.1 概要

低消費電力アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧を比較します。コンパレータチャンネル ACMPLP0 と ACMPLP1 は、それぞれ独立しています。

基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREFi (i = 0、1) 端子への入力、内部 DAC8 からの出力、および MCU の内部に生成された内部基準電圧 (Vref) から選択できます。

ACMPLP の応答速度は、動作開始前に設定可能です。High-speed モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。Low-speed モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。

ACMPLP の仕様を表 39.1 に、ウィンドウ機能が無効の時の ACMPLP のブロック図を図 39.1 に、ウィンドウ機能が有効の時の ACMPLP のブロック図を図 39.2 に示します。表 39.2 に ACMPLP の入出力端子を示します。

表 39.1 ACMPLP の仕様

項目	内容
チャンネル数	2チャンネル (ACMPLP0 と ACMPLP1)
アナログ入力電圧	• CMPINi (i = 0、1) 端子からの入力 • 内部オペアンプ (AMP0O、AMP1O) からの出力
基準電圧	• 標準モード 以下の1つから選択可能 - 内部基準電圧 (Vref) - CMPREFi (i = 0、1) 端子からの入力 - 内部 DAC8 からの出力 • ウィンドウモード 以下の1つから選択可能 - CMPREFi (i = 0、1) 端子からの入力 (CMPREF0 : 低基準電圧、CMPREF1 : 高基準電圧) - 内部 DAC8 からの出力
コンパレータ出力	• 比較結果 • ELC イベント出力の発生 • レジスタからの出力監視
割り込み要求信号	• 比較結果の有効エッジ検出時に割り込み要求発生 • 立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能
選択可能な機能	• ノイズフィルタ機能 - 3つのサンプリング周波数から1つ選択可能 - フィルタ機能不使用を選択可能 • ウィンドウ機能 - ウィンドウ機能使用または不使用を選択可能 • 低消費電力アナログコンパレータの応答速度 - High-speed モードまたは Low-speed モードを選択可能

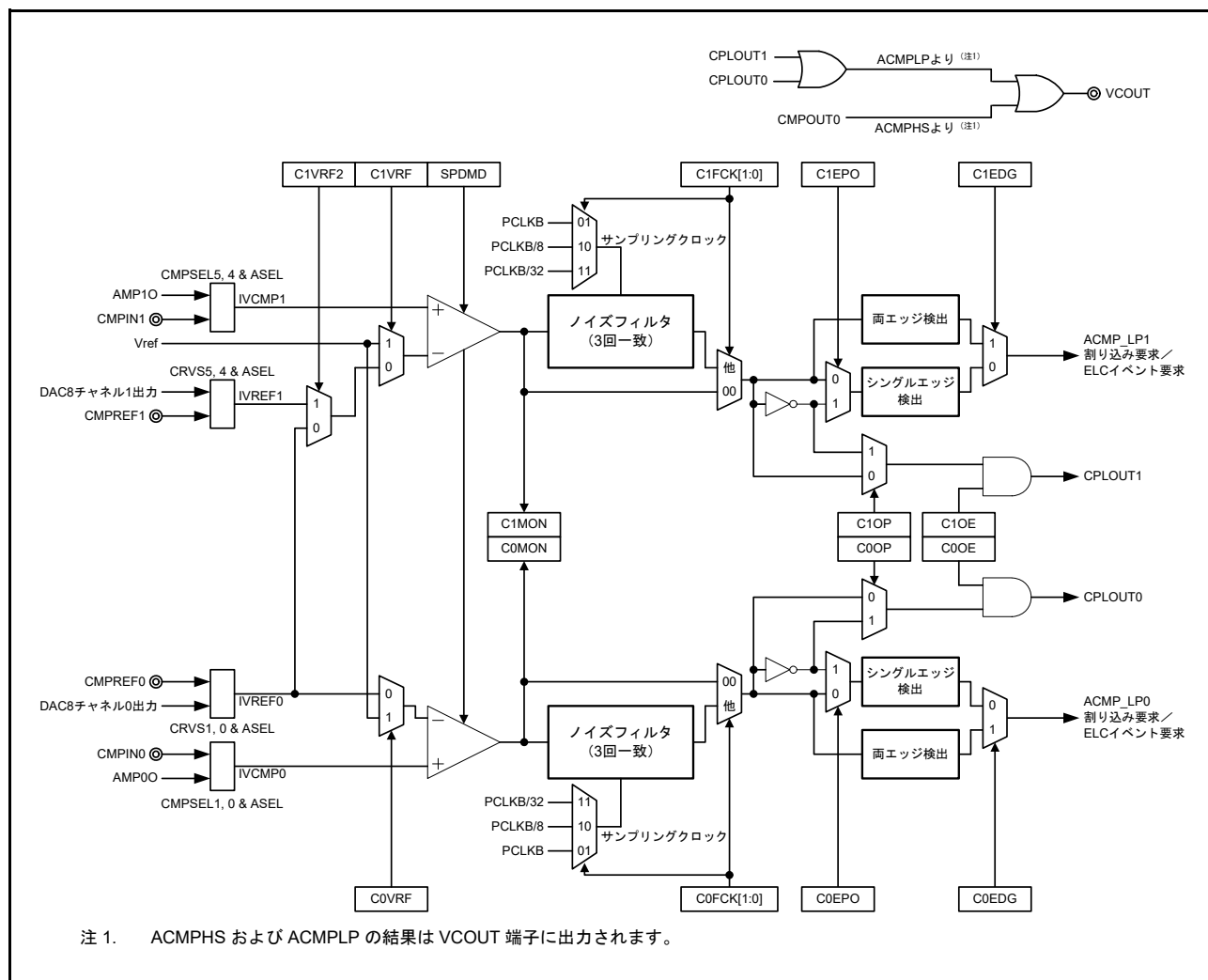


図 39.1 標準モードでウィンドウ機能無効時の ACMPLP ブロック図

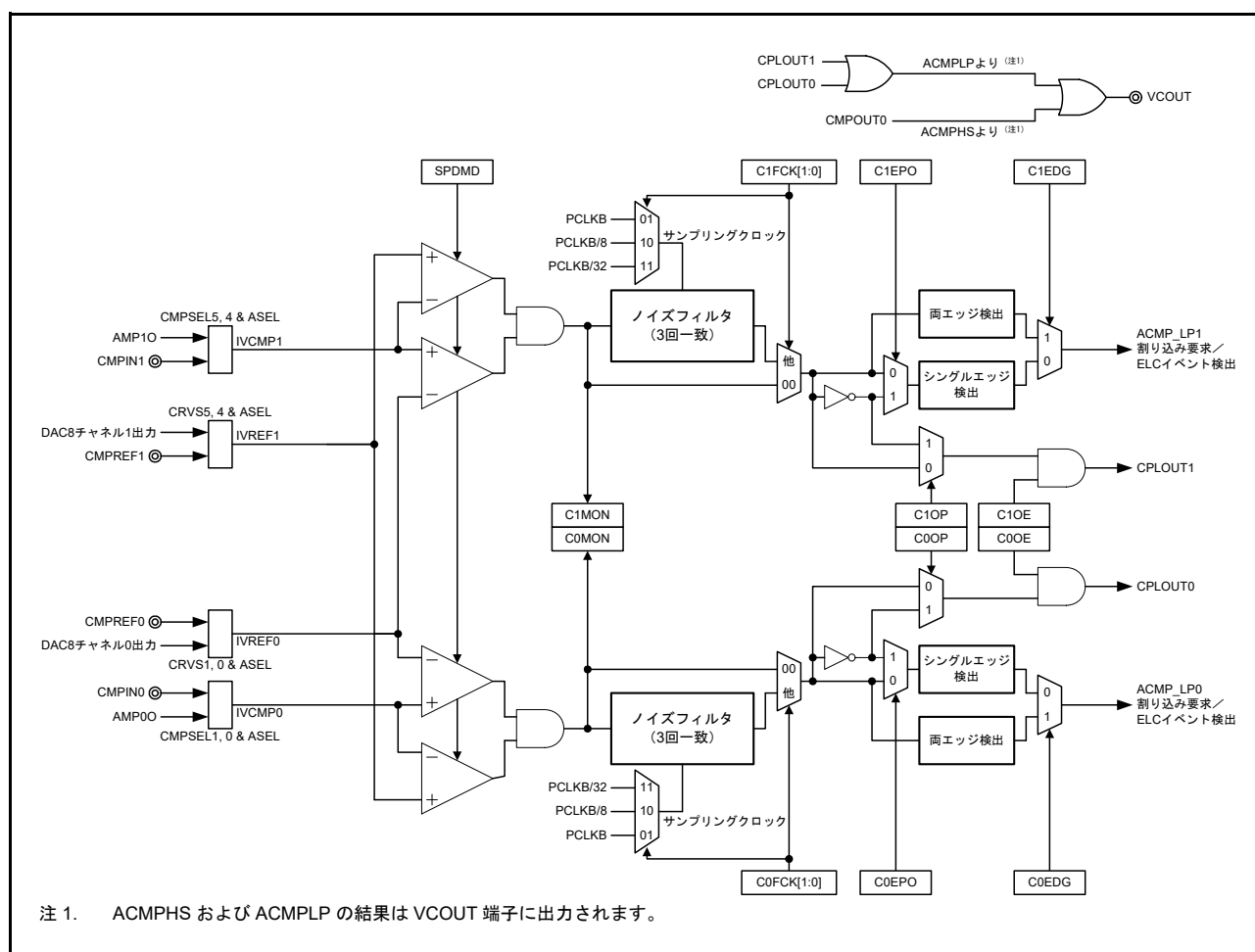


図 39.2 ウィンドウ機能モードでウィンドウ機能有効時の ACMPLP ブロック図

表 39.2 コンパレータ端子の構成

コンパレータ	基準電圧入力端子		アナログ電圧入力端子		出力端子
	標準モード	ウィンドウ機能モード	標準モード	ウィンドウ機能モード	
ACMPLP0	• IVREF0 (CMPREF0/DAC8チャンネル0出力) • Vref (選択可能)	低基準電圧 : • IVREF0 (CMPREF0/DAC8チャンネル0出力)	• IVCMP0 (CMPIN0/AMP00)		VCOUT (注1)
ACMPLP1	• IVREF0 (CMPREF0/DAC8チャンネル0出力) • IVREF1 (CMPREF1/DAC8チャンネル1出力) • Vref (選択可能)	高基準電圧 : • IVREF1 (CMPREF1/DAC8チャンネル1出力)	• IVCMP1 (CMPIN1/AMP10)		

注 1. ACMPHS0 および ACMPLPn (n = 0、1) の結果は VCO_{UT} 端子に出力されます。

39.2 レジスタの説明

39.2.1 ACMPLP モード設定レジスタ (COMPMDR)

アドレス ACMPLP.COMPMDR 4008 5E00h

b7	b6	b5	b4	b3	b2	b1	b0
C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0ENB	ACMPLP0 動作許可	0 : 禁止 1 : 許可	R/W
b1	C0WDE	ACMPLP0 ウィンドウ機能モード許可 (注1) (注2)	0 : 禁止 1 : 許可	R/W
b2	C0VRF	ACMPLP0 基準電圧選択	0 : IVREF0 入力 1 : 内部基準電圧 (Vref) (注4)	R/W
b3	C0MON	ACMPLP0 モニタフラグ (注3)	ウィンドウ機能無効時 0 : IVCMP0 < ACMPLP0 基準電圧 1 : IVCMP0 > ACMPLP0 基準電圧 ウィンドウ機能有効時 0 : IVCMP0 < IVREF0 または IVCMP0 > IVREF1 1 : IVREF0 < IVCMP0 < IVREF1	R
b4	C1ENB	ACMPLP1 動作許可	0 : 禁止 1 : 許可	R/W
b5	C1WDE	ACMPLP1 ウィンドウ機能モード許可 (注1) (注2)	0 : 禁止 1 : 許可	R/W
b6	C1VRF	ACMPLP1 基準電圧選択	0 : IVREF0 または IVREF1 1 : 内部基準電圧 (Vref) (注4)	R/W
b7	C1MON	ACMPLP1 モニタフラグ (注3)	ウィンドウ機能無効時 0 : IVCMP1 < ACMPLP1 基準電圧 1 : IVCMP1 > ACMPLP1 基準電圧 ウィンドウ機能有効時 0 : IVCMP1 < IVREF0 または IVCMP1 > IVREF1 1 : IVREF0 < IVCMP1 < IVREF1	R

- 注 1. Low-speed モードが選択されている (COMPOCR レジスタの SPDMD ビットが 0) 場合は、ウィンドウ機能モードは設定できません。
- 注 2. ウィンドウ機能モードでは、本ビットの設定にかかわらずコンパレータの基準電圧が選択されます。
- 注 3. リセットが解除された直後は、初期値が 0 です。しかし、コンパレータの動作がいったん許可された後に C0ENB および C1ENB が 0 に設定された場合、値は不定となります。
基準レベルが入力レベルに等しいときは、ビットの値は不定です。
- 注 4. 本設定は標準モードでのみ有効です。ウィンドウ機能モードでは、本ビットの設定にかかわらず IVREF0 または IVREF1 が選択されます。

39.2.2 ACMPLP フィルタコントロールレジスタ (COMPFIR)

アドレス ACMPLP.COMPFIR 4008 5E01h

b7	b6	b5	b4	b3	b2	b1	b0
C1EDG	C1EPO	C1FCK[1:0]	C0EDG	C0EPO	C0FCK[1:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	C0FCK[1:0]	ACMPLP0 フィルタ機能選択 (注1)	b1 b0 0 0: サンプルングなし (バイパス) 0 1: PCLKB でサンプルング 1 0: PCLKB/8 でサンプルング 1 1: PCLKB/32 でサンプルング	R/W
b2	C0EPO	ACMPLP0 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよびELCイベント要求 1: 立ち下がりエッジでの割り込みおよびELCイベント要求	R/W
b3	C0EDG	ACMPLP0 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよびELCイベント要求 1: 両エッジ検出による割り込みおよびELCイベント要求	R/W
b5-b4	C1FCK[1:0]	ACMPLP1 フィルタ機能選択 (注1)	b5 b4 0 0: サンプルングなし (バイパス) 0 1: PCLKB でサンプルング 1 0: PCLKB/8 でサンプルング 1 1: PCLKB/32 でサンプルング	R/W
b6	C1EPO	ACMPLP1 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよびELCイベント要求 1: 立ち下がりエッジでの割り込みおよびELCイベント要求	R/W
b7	C1EDG	ACMPLP1 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよびELCイベント要求 1: 両エッジ検出による割り込みおよびELCイベント要求	R/W

注 1. CiFCK[1:0]、CiEPO、および CiEDG (i = 0, 1) ビットが変更されると、ACMPLP 割り込み要求および ELC イベント要求が発生する可能性があります。これらのビットは、イベントリンクを非選択にした後にのみ変更してください。また、関連する割り込み要求フラグをクリアしてください。

39.2.3 ACMPLP 出力コントロールレジスタ (COMPOCR)

アドレス ACMPLP.COMPOCR 4008 5E02h

b7	b6	b5	b4	b3	b2	b1	b0
SPDMD	C1OP	C1OE	—	—	C0OP	C0OE	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	C0OE	ACMPLP0 VCOOUT 端子出力許可 (注1)	0: 禁止 1: 許可	R/W
b2	C0OP	ACMPLP0 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	C1OE	ACMPLP1 VCOOUT 端子出力許可 (注1)	0: 禁止 1: 許可	R/W
b6	C1OP	ACMPLP1 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b7	SPDMD	ACMPLP0/ACMPLP1速度選択 (注2)	0: コンパレータ Low-speed モード選択 1: コンパレータ High-speed モード選択	R/W

注 1. ACMPLP0 および ACMPLPn (n = 0, 1) の結果は VCOOUT 端子に出力されます。

注 2. SPDMD ビットを書き換える場合は、事前に COMPMDR レジスタの CiENB ビット (i = 0, 1) を 0 にしてください。

39.2.4 コンパレータ入力選択レジスタ (COMPSEL0)

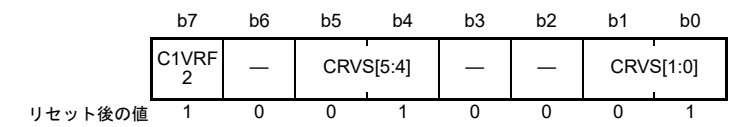
アドレス ACMPLP.COMPSEL0 4008 5E04h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CMPSEL[5:4]	—	—	—	CMPSEL[1:0]	—
リセット後の値	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPSEL[1:0]	ACMPLP0入力 (IVCMP0) 選択	b1 b0 0 0: 入力なし 0 1: CMPIN0入力選択 1 0: AMP0O出力選択 上記以外は設定しないでください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CMPSEL[5:4]	ACMPLP1入力 (IVCMP1) 選択	b5 b4 0 0: 入力なし 0 1: CMPIN1入力選択 1 0: AMP1O出力選択 上記以外は設定しないでください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.5 コンパレータ基準電圧選択レジスタ（COMPSEL1）

アドレス ACMPLP.COMPSEL1 4008 5E05h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CRVS[1:0]	ACMPLP0 基準電圧（IVREF0）選択	b1 b0 0 0：基準電圧なし 0 1：CMPREF0 選択 1 0：DAC8 チャンネル0 出力選択 上記以外は設定しないでください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CRVS[5:4]	ACMPLP1 基準電圧（IVREF1）選択	b5 b4 0 0：基準電圧なし 0 1：CMPREF1 選択 1 0：DAC8 チャンネル1 出力選択 上記以外は設定しないでください。	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	C1VRF2	ACMPLP1 基準電圧選択2	0：IVREF0 選択 1：IVREF1 選択	R/W

39.3 動作説明

ACMPLP0 および ACMPLP1 は独立していますが、動作は同じです。コンパレータの動作中に関連するレジスタの値を変更した場合、動作は保証されません。表 39.3 に ACMPLP に関連するレジスタの設定手順を示します。

表 39.3 ACMPLPi (i = 0, 1) 関連レジスタの設定手順

手順	レジスタ	ビット	設定内容	
1	MSTPCRD	MSTPD29	0 : 入力クロック供給	
2	該当のポートmn端子機能 選択レジスタ (PmnPFS)	ASEL	アナログ入力を選択	
	COMPSEL0	CMPSEL[1:0]、 CMPSEL[5:4]		
3	COMPOCR	SPDMD	コンパレータの応答速度の選択 0 : Low-speed モード 1 : High-speed モード (注1)	
4	COMPMDR	CiWDE	0 : ウィンドウ機能モード無効	1 : ウィンドウ機能モード有効 (注2) ウィンドウコンパレータ動作 (基準 = IVREF0 およびIVREF1 (注3))
		CiVRF	基準電圧の選択	
	COMPSEL1	CRVS[1:0]、 CRVS[5:4]、 C1VRF2		
	COMPMDR	CiENB	1 : 動作許可	
5	コンパレータ安定時間T _{cmp} (最小100μs) 待機			
6	COMPFIR	CiFCK[1:0]	デジタルフィルタを使用するかどうか、およびサンプリングクロックの 選択	
		CiEPO、CiEDG	割り込み要求のエッジ検出条件の選択 (立ち上がりエッジ、立ち下がり エッジ、両エッジ)	
7	COMPOCR	CiOP、CiOE	VCOUT出力の設定 (極性の選択および出力許可／禁止の設定)	
	該当のポートmn端子機能 選択レジスタ (PmnPFS)	PSEL[4:0]、PMR	VCOUTポート機能を選択	
8	IELSRn	IR、IELS[7:0]	割り込み使用時：割り込みステータスフラグ、ICUイベントリンクの選択 (注3)	
9	ELSRn	ELS[7:0]	ELC使用時：イベントリンクの選択 (注4)	
10	動作開始			

注 1. ACMPLP0 および ACMPLP1 は、個別に設定できません。

注 2. High-speed モードでのみ設定できます (SPDMD = 1)。

注 3. コンパレータを設定した後、動作が安定するまで不要な割り込みが発生する場合がありますため、割り込みフラグを初期化してください。

注 4. コンパレータを設定した後、動作が安定するまで不要な割り込みが発生する場合がありますため、イベントリンク選択を初期化してください。

ウィンドウ機能が無効の場合の ACMPLPi ($i = 0, 1$) の動作例を図 39.3 に示します。以下に示すように、基準入力電圧 (IVREFi) または内部基準電圧 (Vref) とアナログ入力電圧 (IVCMPi) が比較されます。

- アナログ入力電圧が基準電圧より高い場合、COMPMDR.CiMON ビットが 1 になります。
- アナログ入力電圧が基準電圧より低い場合、CiMON ビットが 0 になります。

ACMPLPi は割り込みを ICU に出力します。割り込みの詳細は、39.5 ACMPLP 割り込みを参照してください。ACMPLPi は、他のモジュールを起動するためのイベント信号を ELC に出力します。ELC の詳細は、39.6 ELC イベント出力を参照してください。比較中、レジスタの値を変更しないでください。

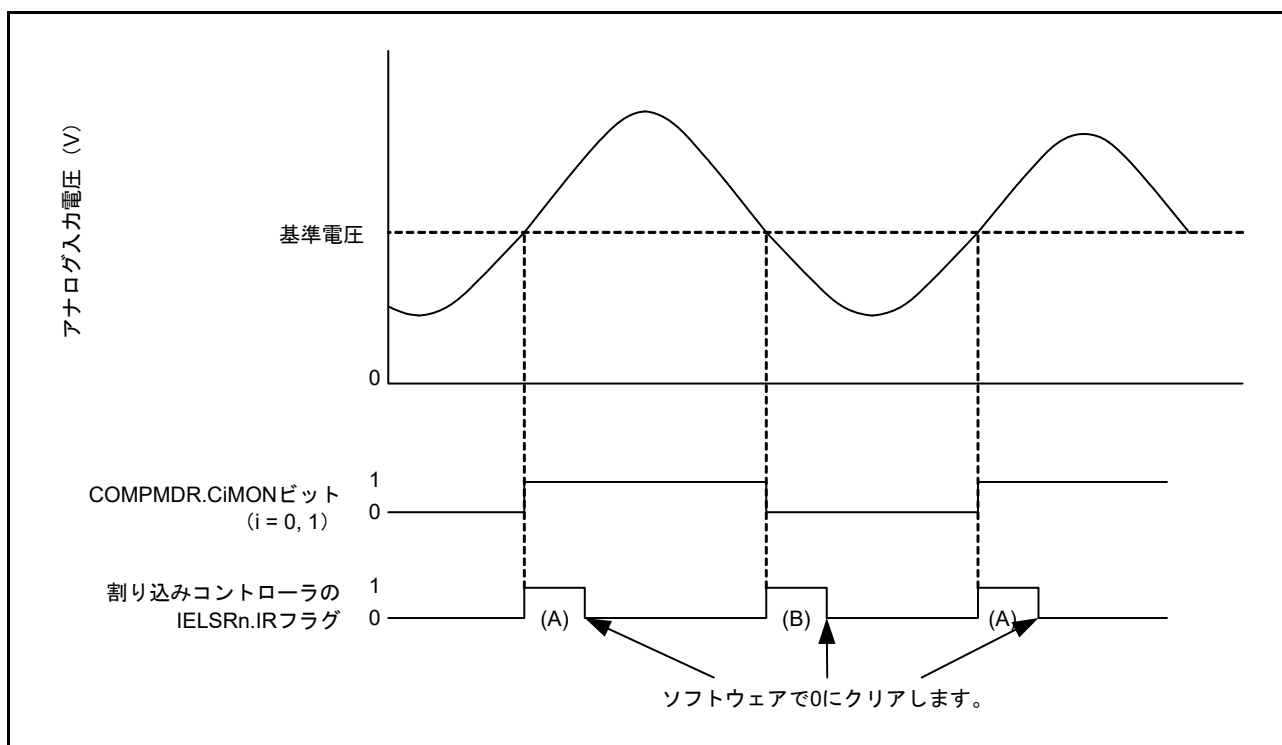


図 39.3 ウィンドウ機能無効時の ACMPLPi ($i = 0, 1$) の動作例

以下の条件が成立したとき図 39.3 の内容が適用されます。

- CiFCK[1:0] = 00b (サンプリングなし) および CiEDG = 1 (両エッジ) のとき
- CiEDG = 0、CiEPO = 0 (立ち上がりエッジ) の場合、ICU.IELSRn.IR は (A) で示されるように変化する
- CiEDG = 0、CiEPO = 1 (立ち下がりエッジ) の場合、ICU.IELSRn.IR は (B) で示されるように変化する

ウィンドウ機能が有効の場合の ACMPLPi ($i = 0, 1$) の動作例を図 39.4 に示します。

基準電圧 (IVREF0/IVREF1) およびアナログ入力電圧が比較されます。CiMON ビットは下記のとおり設定されます。

- $IVREF0 < \text{アナログ入力電圧} < IVREF1$ のときは 1
- アナログ入力電圧 $< IVREF0$ 、または $IVREF1 < \text{アナログ入力電圧}$ のときは 0

ACMPLPi は割り込みを ICU に出力します。割り込みの詳細は、39.5 ACMPLP 割り込みを参照してください。ACMPLPi は、他のモジュールを起動するためのイベント信号を ELC に出力します。ELC の詳細は、39.6 ELC イベント出力を参照してください。比較中、レジスタの値を変更しないでください。

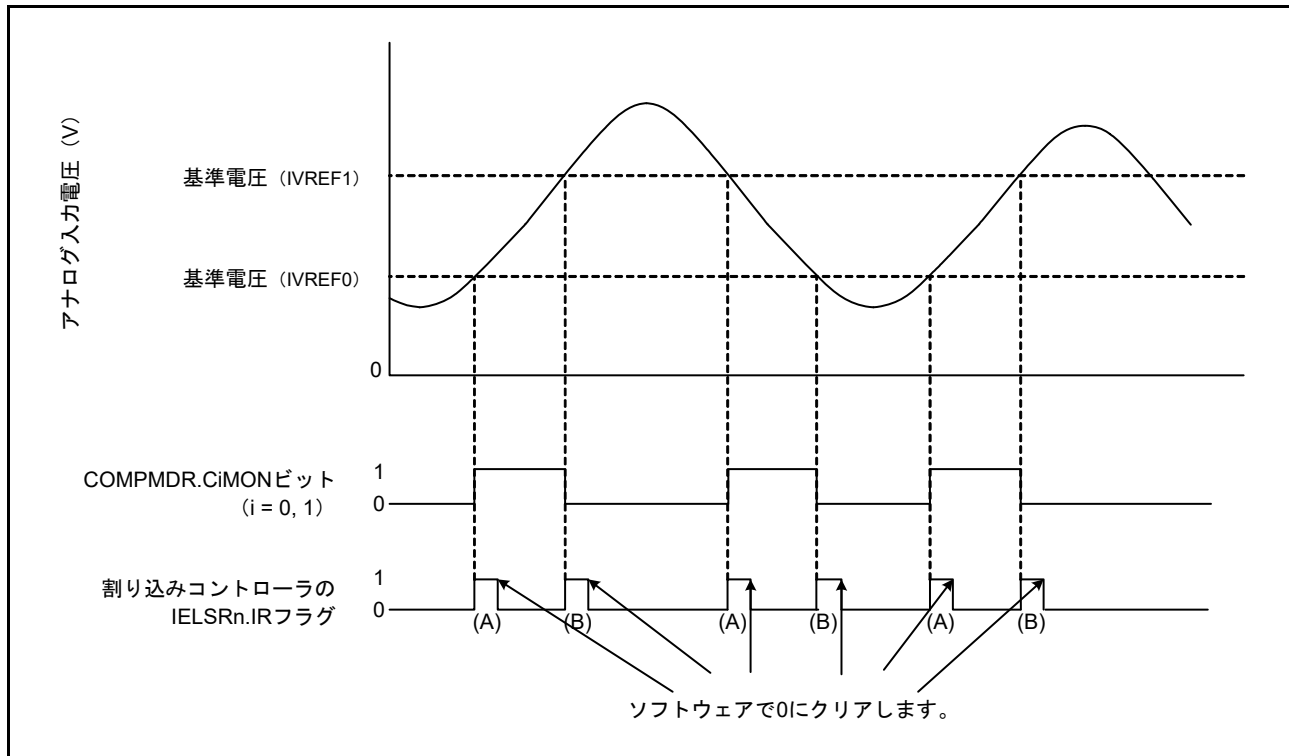


図 39.4 ウィンドウ機能有効時の ACMPLPi ($i = 0, 1$) の動作例

以下の条件が成立したとき図 39.4 の内容が適用されます。

CiFCK[1:0] = 00b (サンプリングなし) および CiEDG = 1 (両エッジ)

CiEDG = 0、CiEPO = 0 (立ち上がりエッジ) の場合、IELSRn.IR は (A) で示されるように変化します。

CiEDG = 0、CiEPO = 1 (立ち下がりエッジ) の場合、IELSRn.IR は (B) で示されるように変化します。

39.4 ノイズフィルタ

ACMPLPi ノイズフィルタおよびエッジ検出の構成を図 39.5 に、ACMPLPi ノイズフィルタの動作例を図 39.6 に示します。

COMPFIR.CiFCK[1:0] ビットによってサンプリングクロックの選択が可能です。ACMPLPi からの信号 (内部信号) 出力は、サンプリングクロック周期ごとにサンプリングされます。レベルが 3 回一致すると、該当の IELSRn.IR ビットが 1 (割り込み要求) になり、ELC イベントが出力されます。

ソフトウェアスタンバイモードで割り込みおよび ELC を使用する場合、COMPFIR.CiFCK[1:0] ビットを 00b (バイパス) にします。

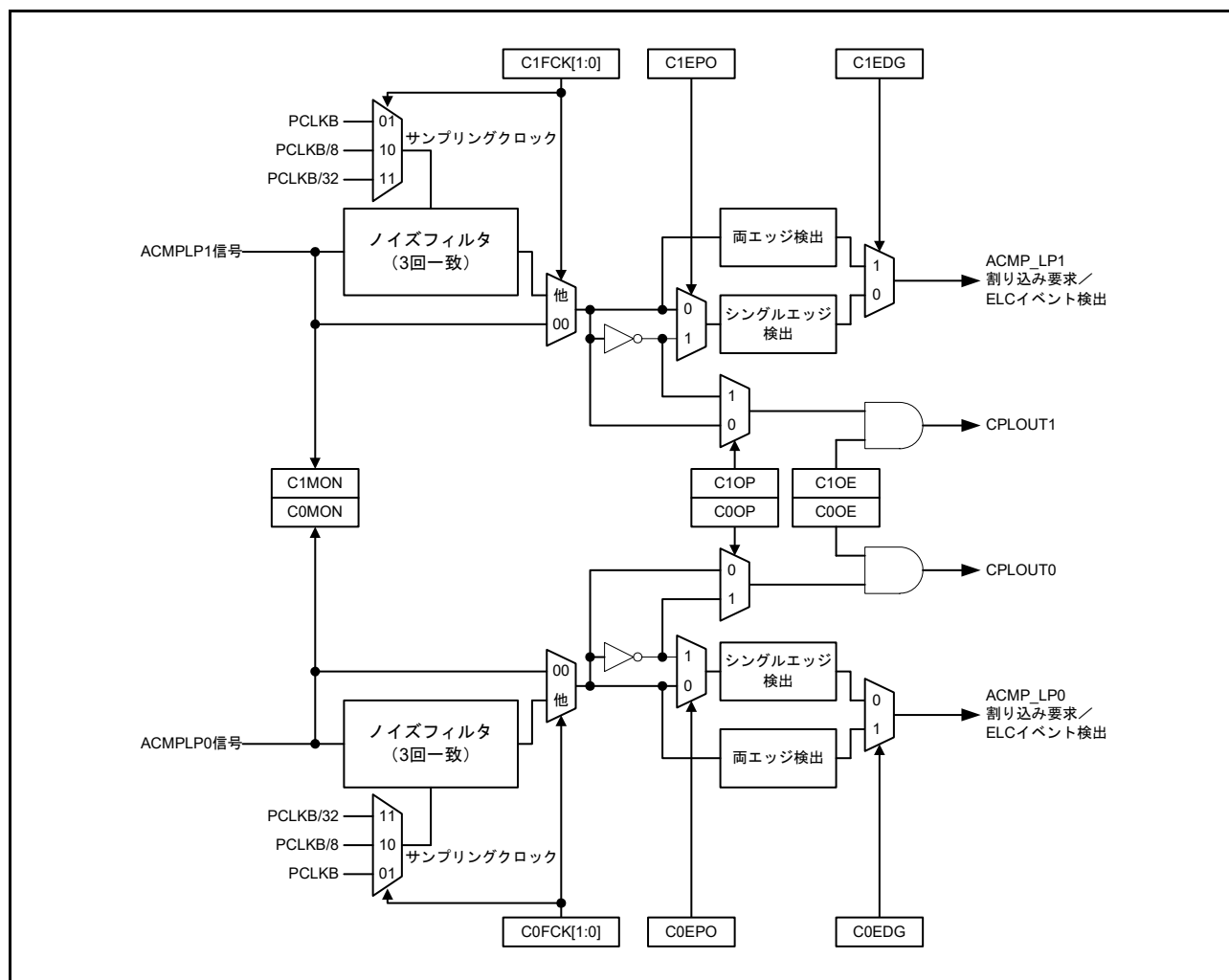


図 39.5 ノイズフィルタおよびエッジ検出の構成

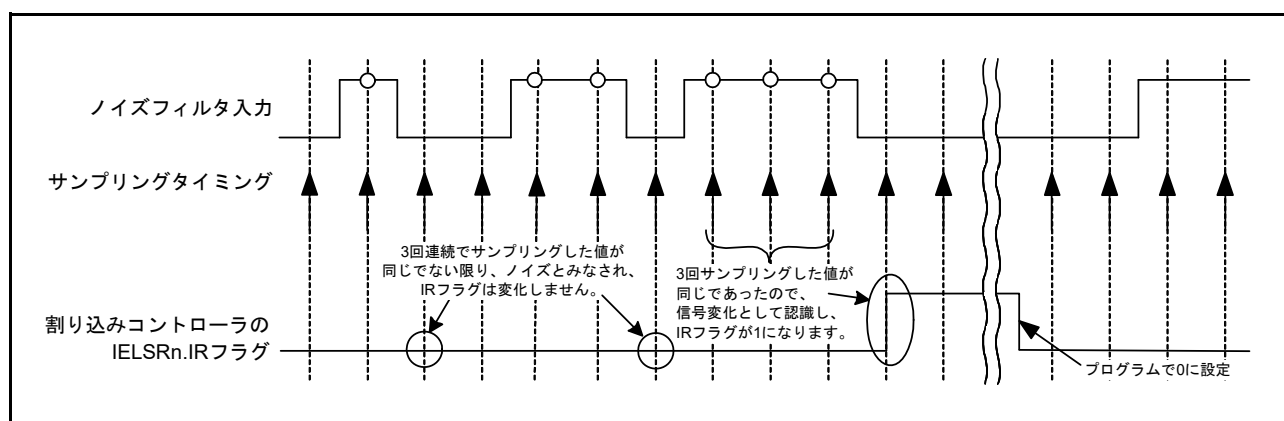


図 39.6 ノイズフィルタおよび割り込み動作例

39.5 ACMPLP 割り込み

ACMPLP は、ACMPLP0 および ACMPLP1 の割り込み要因から、2 つの割り込み要求を生成します。ACMPLPi (i=0, 1) 割り込みは、ICU の IELSRn レジスタで該当のビットを選択することで使用できます。

ACMPLPi 割り込みを使用するには、COMPFI.R.CiEDG ビットによって片エッジ検出または両エッジ検出のいずれかを選択してください。片エッジ検出を選択するときは、CiEPO ビットによって極性を選択してください。割り込み出力は、4 つの異なるサンプリングクロックのノイズフィルタを通過させることもできます。各サンプリングクロックを選択するには、COMPFI.R.CiFCK[1:0] ビットを、01b、10b または 11b にします。ACMPLP0 割り込み要求を使用してソフトウェアスタンバイモードおよびスヌーズモードを解除するには、COMPFI.R.CiFCK[1:0] を 00b にし、ACMPLP0 ノイズフィルタをバイパスします。ACMPLP1 割り込み要求は、ソフトウェアスタンバイモードまたはスヌーズモードの解除には使用できません。

39.6 ELC イベント出力

ELC は、ACMPLP 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPLP の ELC イベントは、ELC の ELSRn レジスタで選択することにより使用可能です。ELC イベント要求を使用する場合、COMPFI.R.CiFCK[1:0] ビットを 01b、10b、または 11b（もしくはサンプリングなし）にします。

39.7 割り込み処理と ELC リンクの関係

ACMPLPi は ELC イベント信号を出力し、あらかじめ設定していたモジュールの動作を開始することが可能です。割り込み要因の場合と同様に、ACMPLPi から ELC へのイベント信号出力発生の条件は、COMPFI.R.CiEDG ビットを設定することで片エッジ検出または両エッジ検出として選択できます。片エッジ検出を選択するときは、CiEPO ビットで極性を選択できます。

39.8 コンパレータ端子出力

ACMPLPi からの比較結果は外部端子に出力できます。COMPOCR.CiOP および CiOE ビットによって、出力極性（非反転出力または反転出力）および比較出力許可/禁止を設定することが可能です。レジスタ設定および関連するコンパレータ出力については、[39.2.3 ACMPLP 出力コントロールレジスタ \(COMPOCR\)](#) を参照してください。

ACMPLP 比較結果を CPOUTi によって VCOUT 出力端子に出力するには、I/O レジスタの該当の Pmn 端子機能選択レジスタ (PmnPFS) を設定してください。

39.9 使用上の注意事項

39.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、ACMPLP の動作を許可または禁止することが可能です。ACMPLP は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

40. 静電容量式タッチセンシングユニット (CTSUS)

40.1 概要

静電容量式タッチセンシングユニット (CTSUS) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は電気絶縁体で覆われており、指が電極に直接接触することはありません。

図 40.1 に示すように、電極と周囲の導電体との間には静電容量 (寄生容量) が存在します。人体も導電体ですので、電極に指が近づくと静電容量が増加します。

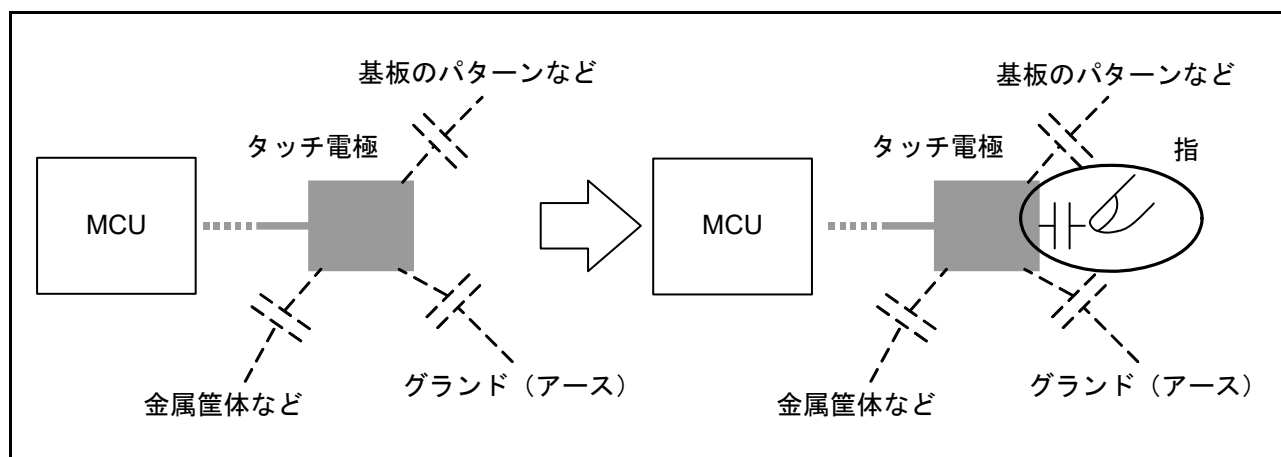


図 40.1 指による静電容量の増加

静電容量の検出方式には、自己容量方式と相互容量方式があります。自己容量方式では、指と 1 つの電極との間に生じる静電容量を検出します。一方、相互容量方式は、2 つの電極の片方を送信電極、もう片方を受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

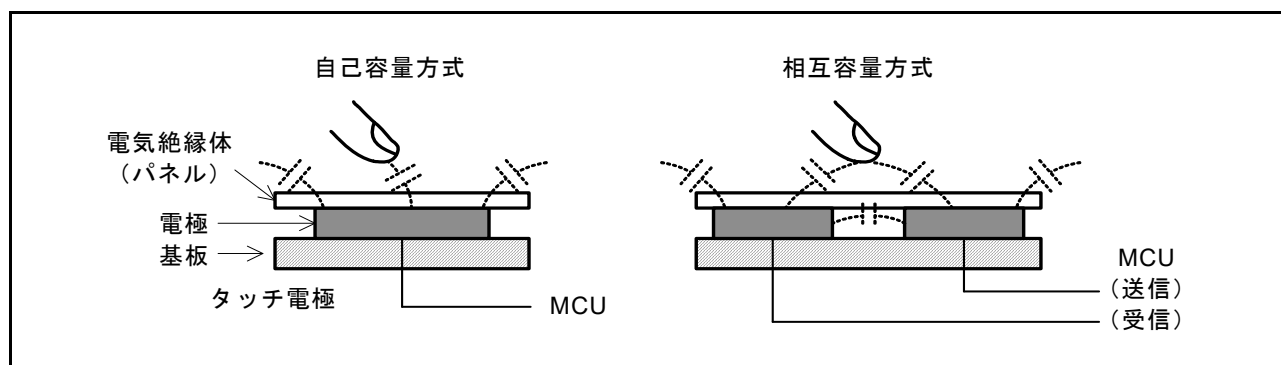


図 40.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。CTSUS の計測原理の詳細については、[40.3.1 計測動作原理](#) を参照してください。

表 40.1 に CTSU の仕様を、図 40.3 にブロック図を示します。

表 40.1 **CTSUの仕様**

項目		内容
動作クロック		PCLKB、PCLKB/2、またはPCLKB/4
端子	静電容量計測	26チャンネル（TS00～TS25）
	TSCAP	LPF（Low Pass Filter）接続端子
計測モード	自己容量シングルスキャンモード	自己容量方式で1チャンネルの静電容量を計測
	自己容量マルチスキャンモード	自己容量方式で複数チャンネルの静電容量を連続して計測
	相互容量フルスキャンモード	相互容量方式で複数チャンネルの静電容量を連続して計測
ノイズ対策		同期系ノイズ対策、高域ノイズ対策
計測開始条件		- ソフトウェアトリガ - 外部トリガ（イベントリンクコントローラ（ELC）からのELC_CTSU）

図 40.3 に示すように、CTSU は以下のコンポーネントで構成されます。

- ステータス制御部
- トリガ制御部
- クロック制御部
- チャネル制御部
- ポート制御部
- センサドライブレバース生成部
- 計測部
- 割り込み部
- I/O レジスタ

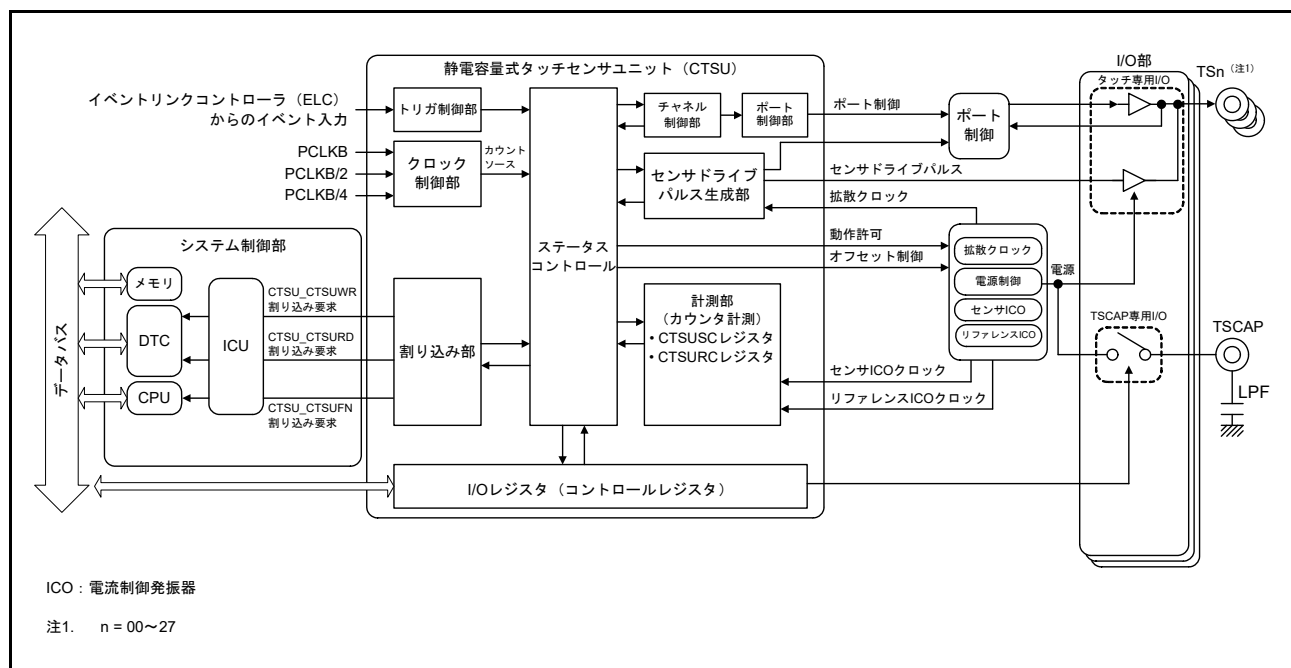


図 40.3 CTSU のブロック図

表 40.2 CTSU 端子の構成

端子名	入出力	機能
TS00 ~ TS25	入力	静電容量計測端子 (タッチ端子)
TSCAP	—	LPF 接続端子

40.2 レジスタの説明

40.2.1 CTSU コントロールレジスタ 0 (CTSUCR0)

アドレス CTSU.CTSUCR0 4008 1000h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CTSUI NIT	—	CTSUS NZ	CTSUC AP	CTSUS TRT
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUSTRT	CTSUS 計測動作開始	0 : 計測動作停止 (注1) 1 : 計測動作開始	R/W
b1	CTSUCAP	CTSUS 計測動作開始トリガ選択	0 : ソフトウェアトリガ 1 : 外部トリガ	R/W
b2	CTSUSNZ	CTSUS 待機時省電力有効	0 : 待機時省電力機能無効 1 : 待機時省電力機能有効	R/W
b3	—	予約ビット	読むと0が読み出されます。書く場合、0としてください。	R/W
b4	CTSUINIT	CTSUS 制御部初期化	1を書くと、CTSUS 制御部と、CTSUSC、CTSUSRC、CTSUSMCH0、CTSUSMCH1、CTSUST の各レジスタが初期化されます。読むと0が読めます。	W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CTSUS を使用しない場合、このビットは0にしてください。

CTSUCAP ビットと CTSUSNZ ビットの設定は、CTSUSTRT ビットが0のときのみ行ってください。計測動作開始時に同時に設定可能です。

CTSUSTRT ビット (CTSUS 計測動作開始)

計測動作開始/停止を指定します。

CTSUCAP ビットが0のとき、ソフトウェアで CTSUSTRT ビットに1を書く (ソフトウェアトリガ) と計測が開始し、ハードウェアが CTSUSTRT ビットを0にクリアすると停止します。CTSUCAP ビットが1のとき、CTSUSTRT ビットに1を書き込むことにより外部トリガの待機状態となり、外部トリガの立ち上がりで計測を開始します。計測が終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSUS の状態を、表 40.3 に示します。

表 40.3 CTSUS の状態

CTSUSTRT ビット	CTSUCAP ビット	CTSUS の状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中および外部トリガ待ち (注1)

注 1. CTSUST.CTSUSTC[2:0] フラグで以下のとおり状態を判断できます。

- ・計測中 : CTSUST.CTSUSTC[2:0] フラグ ≠ 000b
- ・外部トリガ待ち : CTSUST.CTSUSTC[2:0] フラグ = 000b

CTSUSTRT ビットがすでに1になっている場合、ソフトウェアで本ビットを1にしても、その書き込みは無視され動作が継続します。CTSUSTRT ビットが1のとき、ソフトウェアにより動作を強制的に終了する場合は、同時に CTSUSTRT ビットを0と CTSUINIT ビットを1にしてください。

CTSUCAP ビット (CTSU 計測動作開始トリガ選択)

計測開始条件を指定します。詳細は、**CTSUSTRT ビット (CTSU 計測動作開始)** を参照してください。

CTSUSNZ ビット (CTSU 待機時省電力有効)

待機時省電力動作の有効／無効を選択します。また、本ビットにより CTSU 電源はサスペンド状態になり、待機状態の低消費電力化が可能になります。サスペンド状態では、CTSU 電源は OFF になりますが外部 TSCAP は引き続き充電されます。

CTSU 電源の状態制御を表 40.4 に示します。

表 40.4 CTSU 電源の状態制御

CTSUCR1.CTSUPON ビット	CTSUSNZ ビット	CTSUCAP ビット	CTSUSTRT ビット	CTSU 電源の状態
0	0	0	0	停止
1	0	—	—	動作
1	1	0	0	サスペンド状態

注. 上記以外の設定は禁止です。

サスペンド状態から計測を開始する場合は、CTSUSNZ ビットを 0 にしてから CTSUSTRT ビットを 1 にしてください。計測終了後、モジュールをサスペンド状態にするには、CTSUSNZ ビットを 1 にしてください。

CTSUINIT ビット (CTSU 制御部初期化)

1 を書き込むと、内部コントロールレジスタを初期化します。動作中に強制終了させる場合は、同時に CTSUSTRT ビットを 0 と CTSUINIT ビットを 1 にしてください。この場合は動作が停止し、内部コントロールレジスタが初期化されます。

CTSUSTRT ビットが 1 のとき、CTSUINIT ビットに 1 を書き込まないでください。

40.2.2 CTSU コントロールレジスタ 1 (CTSUCR1)

アドレス CTSU.CTSUCR1 4008 1001h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUMD[1:0]	CTSUCLK[1:0]	CTSUA TUNE1	CTSUA TUNE0	CTSUC SW	CTSUC ON		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUPON	CTSUS 電源供給許可	CTSUS 電源供給を制御します。 0 : CTSUS 電源 OFF 1 : CTSUS 電源 ON	R/W
b1	CTSUCSW	CTSUS LPF 容量充電制御	TSCAP 端子に接続される LPF 容量の充電を制御します。 0 : 容量スイッチ OFF 1 : 容量スイッチ ON	R/W
b2	CTSUA TUNE0	CTSUS 電源動作モード設定	VCC ≥ 2.4V 0 : 通常動作モード 1 : 低電圧動作モード VCC < 2.4V 0 : 設定禁止 1 : 低電圧動作モード	R/W
b3	CTSUA TUNE1	CTSUS 電源能力調整	0 : 通常出力 1 : 高出力	R/W
b5-b4	CTSUCLK[1:0]	CTSUS 動作クロック選択	CTSUS の動作クロックを選択します。 b5 b4 0 0 : PCLKB 0 1 : PCLKB/2 (PCLKB を 2 分周したクロック) 1 0 : PCLKB/4 (PCLKB を 4 分周したクロック) 1 1 : 設定禁止	R/W
b7-b6	CTSUMD[1:0]	CTSUS 計測モード選択	CTSUS の計測モードを選択します。 b7 b6 0 0 : 自己容量シングルスキャンモード 0 1 : 自己容量マルチスキャンモード 1 0 : 設定禁止 1 1 : 相互容量フルスキャンモード	R/W

CTSUCR1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUPON ビット (CTSUS 電源供給許可)

CTSUS の電源制御を行います。CTSUPON ビットと CTSUCSW ビットには同じ値を設定してください。

CTSUCSW ビット (CTSUS LPF 容量充電制御)

容量スイッチの ON/OFF により、TSCAP 端子に接続される LPF 容量の充電制御を行います。容量スイッチを ON にしてから TSCAP 端子に接続している容量が充電されるまで、一定時間待った後、CTSUCR0.CTSUSTRT を 1 にして計測を開始してください。計測に先立って、I/O ポートで TSCAP 端子に Low を出力し、すでに充電されている LPF 容量を放電してください。CTSUPON ビットと CTSUCSW ビットには同じ値を設定してください。

CTSUA TUNE0 ビット (CTSUS 電源動作モード設定)

CTSUS の電源動作モードを設定します。CTSUS を動作させる VCC の下限に応じて本ビットを設定してください。たとえば、バッテリー動作に応じて VCC が変動するシステムでタッチ計測を行う場合、初期の VCC 電圧にかかわらず本ビットを 1 にします。VCC 電圧範囲は 2 ~ 3V です。

CTSUA TUNE1 ビット (CTSUS 電源能力調整)

CTSUS の電源能力を設定します。通常は 0 にしてください。

CTSUCLK[1:0] ビット (CTSU 動作クロック選択)

動作クロックを選択します。

CTSUMD[1:0] ビット (CTSU 計測モード選択)

計測モードを設定します。詳細は、[40.3.2 計測モード](#)を参照してください。

40.2.3 CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS)

アドレス CTSU.CTSUSDPRS 4008 1002h

b7	b6	b5	b4	b3	b2	b1	b0
—	CTSUS OFF	CTSUPRMODE[1:0]	CTSUPRRATIO[3:0]				
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUPRRATIO[3:0]	CTSU計測時間、計測パルス数調整	計測時間、計測パルス数を設定します。 推奨設定値：3 (0011b)	R/W
b5-b4	CTSUPRMODE[1:0]	CTSU基本周期、基本パルス数設定	基本パルス数を設定します。 b5 b4 0 0：510パルス 0 1：126パルス 1 0：62パルス（推奨設定） 1 1：設定禁止	R/W
b6	CTSUSOFF	CTSU高域ノイズ低減機能OFF設定	高域ノイズを低減するためのスペクトラム拡散機能を制御します。 0：スペクトラム拡散をONに設定 1：スペクトラム拡散をOFFに設定	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUSDPRS レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUPRRATIO[3:0] ビット (CTSU 計測時間、計測パルス数調整)

以下の式を使用して計測時間と計測パルス数を設定します。基本パルス数は CTSUPRMODE[1:0] ビットの設定により決定されます。

$$\text{計測パルス数} = \text{基本パルス数} \times (\text{CTSUPRRATIO}[3:0] \text{ ビット} + 1)$$

$$\text{計測時間} = (\text{基本パルス数} \times (\text{CTSUPRRATIO}[3:0] \text{ ビット} + 1) + \text{基本パルス数} - 2) \times 0.25 \times \text{ベースクロック周期}$$

注． ベースクロック周期の詳細は、[40.2.19 CTSU センサオフセットレジスタ 1 \(CTSUSO1\)](#) を参照してください。

CTSUPRMODE[1:0] ビット (CTSU 基本周期、基本パルス数設定)

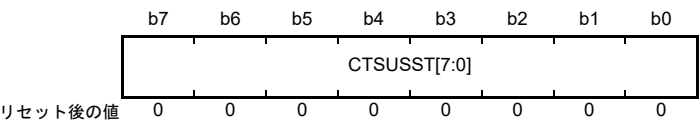
計測で発生する基本パルス数を選択します。

CTSUSOFF ビット (CTSU 高域ノイズ低減機能 OFF 設定)

高域ノイズを低減する機能の ON/OFF を設定します。1 にすると OFF になります。

40.2.4 CTSU センサ安定待ち時間コントロールレジスタ (CTSUSST)

アドレス CTSU.CTSUSST 4008 1003h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUSST[7:0]	CTSUSST センサ安定待ち時間制御	00010000bにしてください。	R/W

CTSUSST レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUSST[7:0] ビット (CTSUSST センサ安定待ち時間制御)

TSCAP 端子の電圧の安定待ち時間を設定します。常に 00010000b にしてください。本ビットが設定されない場合、計測開始時の TSCAP 電圧が不安定となり、正しいタッチ計測結果が得られません。

40.2.5 CTSU 計測チャネルレジスタ 0 (CTSUMCH0)

アドレス CTSU.CTSMCH0 4008 1004h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUMCH0[5:0]	CTSU計測チャネル0	自己容量シングルスキャンモードでは、計測するCTSUのチャネルを設定します。 b5b0 000000: TS00 000001: TS01 000010: TS02 000011: TS03 000100: TS04 000101: TS05 000110: TS06 000111: TS07 001000: TS08 001001: TS09 001010: TS10 001011: TS11 001100: TS12 001101: TS13 001110: TS14 001111: TS15 010000: TS16 010001: TS17 010010: TS18 010011: TS19 010100: TS20 010101: TS21 010110: TS22 010111: TS23 011000: TS24 011001: TS25 上記設定以外、上記ビット設定後にCTSUCR0.CTSUSTRTビットを1にして計測を開始することは禁止されています。	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUMCH0[5:0]	CTSU 計測チャネル0	他の計測モードでは、現在計測中のチャネルを示します。 b5 b0 0 0 0 0 0 0 : TS00 0 0 0 0 0 1 : TS01 0 0 0 0 1 0 : TS02 0 0 0 0 1 1 : TS03 0 0 0 1 0 0 : TS04 0 0 0 1 0 1 : TS05 0 0 0 1 1 0 : TS06 0 0 0 1 1 1 : TS07 0 0 1 0 0 0 : TS08 0 0 1 0 0 1 : TS09 0 0 1 0 1 0 : TS10 0 0 1 0 1 1 : TS11 0 0 1 1 0 0 : TS12 0 0 1 1 0 1 : TS13 0 0 1 1 1 0 : TS14 0 0 1 1 1 1 : TS15 0 1 0 0 0 0 : TS16 0 1 0 0 0 1 : TS17 0 1 0 0 1 0 : TS18 0 1 0 0 1 1 : TS19 0 1 0 1 0 0 : TS20 0 1 0 1 0 1 : TS21 0 1 0 1 1 0 : TS22 0 1 0 1 1 1 : TS23 0 1 1 0 0 0 : TS24 0 1 1 0 0 1 : TS25 1 1 1 1 1 1 : 計測停止中	R/W (注1)
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 自己容量シングルスキャンモード (CTSUCR1.CTSUMD[1:0] ビット = 00b) 時のみ、書き込み可能です。

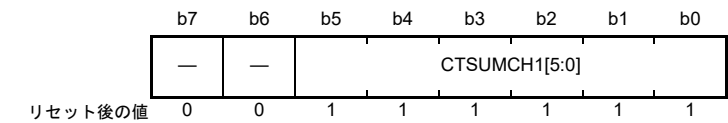
CTSUMCH0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUMCH0[5:0] ビット (CTSU 計測チャネル 0)

自己容量シングルスキャンモードでは、CTSHMCH0[5:0] ビットで計測するチャネルを設定します。このモードでは、有効なチャネル (000000b ~ 011011b) のみ指定します。それ以外のモードでは計測中の受信チャネルを示し、書き込みは無効になります。

40.2.6 CTSU 計測チャネルレジスタ 1 (CTSUMCH1)

アドレス CTSU.CTSMCH1 4008 1005h



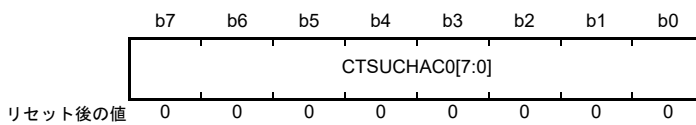
ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUMCH1[5:0]	CTSU計測チャネル1	b5b0 000000:TS00 000001:TS01 000010:TS02 000011:TS03 000100:TS04 000101:TS05 000110:TS06 000111:TS07 001000:TS08 001001:TS09 001010:TS10 001011:TS11 001100:TS12 001101:TS13 001110:TS14 001111:TS15 010000:TS16 010001:TS17 010010:TS18 010011:TS19 010100:TS20 010101:TS21 010110:TS22 010111:TS23 011000:TS24 011001:TS25 111111:計測停止中	R
b7-b6	—	予約ビット	読むと0が読めます。	R

CTSUMCH1[5:0] ビット (CTSU 計測チャネル1)

フルスキャンモード時、計測中の送信チャネルを示します。計測停止中、または自己容量シングルスキャンモード／自己容量マルチスキャンモードでは、111111b になります。

40.2.7 CTSU チャネルイネーブルコントロールレジスタ 0 (CTSUCHAC0)

アドレス CTSU.CTSUCHAC0 4008 1006h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC0[7:0]	CTSU チャネル有効制御0	対応するTSn端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットはTS00～TS07端子の設定を行います。	R/W

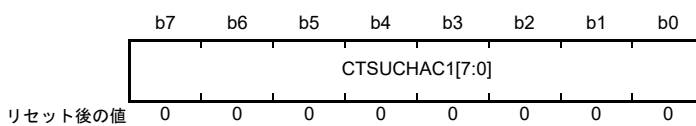
CTSUCHAC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHAC0[7:0] ビット (CTSU チャネル有効制御 0)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC0[0] は TS00 に、CTSUCHAC0[7] は TS07 に対応します。

40.2.8 CTSU チャネルイネーブルコントロールレジスタ 1 (CTSUCHAC1)

アドレス CTSU.CTSUCHAC1 4008 1007h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC1[7:0]	CTSU チャネル有効制御 1	対応する TSn 端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットは TS08～TS15 端子の設定を行います。	R/W

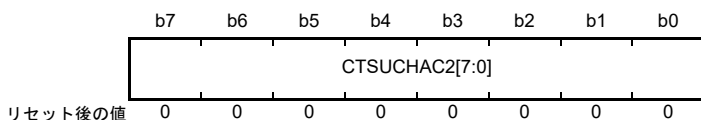
CTSUCHAC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHAC1[7:0] ビット (CTSU チャネル有効制御 1)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC1[0] は TS08 に、CTSUCHAC1[7] は TS15 に対応します。

40.2.9 CTSU チャネルイネーブルコントロールレジスタ 2 (CTSUCHAC2)

アドレス CTSU.CTSUCHAC2 4008 1008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC2[7:0]	CTSU チャネル有効制御 2	対応する TSn 端子を計測するかどうかを選択します。 0 : 計測しない 1 : 計測する 本ビットは TS16 ~ TS23 端子の設定を行います。	R/W

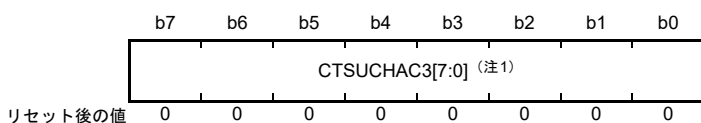
CTSUCHAC2 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHAC2[7:0] ビット (CTSU チャネル有効制御 2)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC2[0] は TS16 に、CTSUCHAC2[7] は TS23 に対応します。

40.2.10 CTSU チャネルイネーブルコントロールレジスタ 3 (CTSUCHAC3)

アドレス CTSU.CTSUCHAC3 4008 1009h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC3[7:0] (注1)	CTSU チャネル有効制御 3	対応する TSn 端子を計測するかどうかを選択します。 0 : 計測しない 1 : 計測する 本ビットは TS24 ~ TS25 端子の設定を行います。	R/W

注 1. 本 MCU は TS26 端子 ~ TS31 端子には対応していません。そのため、CTSUCHAC3[2] ~ CTSUCHAC3[7] を読むと 0 が読めます。書く場合、0 としてください。

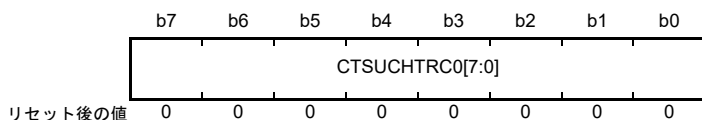
CTSUCHAC3 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHAC3[7:0] (注1) ビット (CTSU チャネル有効制御 3)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC3[0] は TS24 に、CTSUCHAC3[1] は TS25 に対応します。

40.2.11 CTSU チャネル送受信コントロールレジスタ 0 (CTSUCHTRC0)

アドレス CTSU.CTSUCHTRC0 4008 100Bh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC0[7:0]	CTSUSチャネル送受信制御0	0: 受信 1: 送信 本ビットはTS00～TS07端子の設定を行います。	R/W

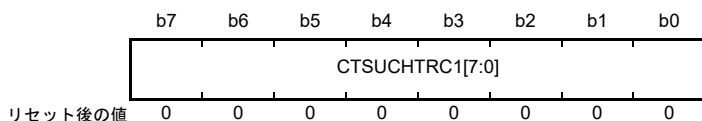
CTSUCHTRC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUCHTRC0[7:0] ビット (CTSUSチャネル送受信制御0)

フルスキャンモード時、関連する TS_n 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC0[0] は TS00 に、CTSUCHTRC0[7] は TS07 に対応します。

40.2.12 CTSU チャネル送受信コントロールレジスタ 1 (CTSUCHTRC1)

アドレス CTSU.CTSUCHTRC1 4008 100Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC1[7:0]	CTSUSチャネル送受信制御1	0: 受信 1: 送信 本ビットはTS08～TS15端子の設定を行います。	R/W

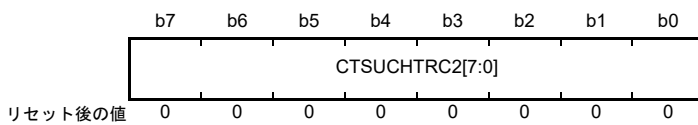
CTSUCHTRC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUCHTRC1[7:0] ビット (CTSUSチャネル送受信制御1)

フルスキャンモード時、関連する TS_n 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC1[0] は TS08 に、CTSUCHTRC1[7] は TS15 に対応します。

40.2.13 CTSU チャネル送受信コントロールレジスタ 2 (CTSUCHTRC2)

アドレス CTSU.CTSUCHTRC2 4008 100Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC2[7:0]	CTSU チャネル送受信制御2	0：受信 1：送信 本ビットはTS16～TS23端子の設定を行います。	R/W

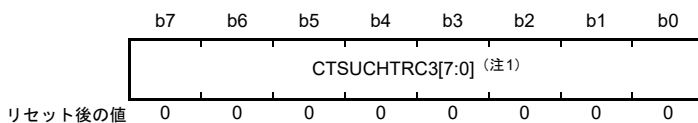
CTSUCHTRC2 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHTRC2[7:0] ビット (CTSU チャネル送受信制御 2)

フルスキャンモード時、関連する TS_n 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC2[0] は TS16 に、CTSUCHTRC2[7] は TS23 に対応します。

40.2.14 CTSU チャネル送受信コントロールレジスタ 3 (CTSUCHTRC3)

アドレス CTSU.CTSUCHTRC3 4008 100Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC3[7:0] (注1)	CTSU チャネル送受信制御3	0：受信 1：送信 本ビットはTS24～TS25端子の設定を行います。	R/W

注 1. 本 MCU は TS26 端子～TS31 端子には対応していません。そのため、CTSUCHTRC3[2]～CTSUCHTRC3[7]を読むと 0 が読めます。書く場合、0 としてください。

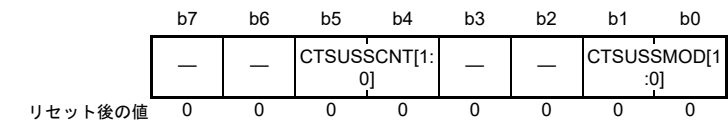
CTSUCHTRC3 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHTRC3[7:0] (注1) ビット (CTSU チャネル送受信制御 3)

フルスキャンモード時、関連する TS_n 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC3[0] は TS24 に、CTSUCHTRC3[1] は TS25 に対応します。

40.2.15 CTSU 高域ノイズ低減コントロールレジスタ (CTSUDCLKC)

アドレス CTSU.CTSUDCLKC 4008 1010h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSSMOD[1:0]	CTSU 拡散クロックモード選択	00bにしてください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CTSUSSCNT[1:0]	CTSU 拡散クロックモード制御	11bにしてください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUDCLKC レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUSSMOD[1:0] ビット (CTSU 拡散クロックモード選択)

高域ノイズ低減に関わるスペクトラム拡散クロックのモードを設定します。高域ノイズ低減機能を使用する場合は必ず 00b にしてください。本ビットが設定されていない場合、CTSU は効果的に高域ノイズを低減できません。

CTSUSSCNT[1:0] ビット (CTSU 拡散クロックモード制御)

高域ノイズ低減のためのスペクトラム拡散量を調整します。高域ノイズ低減機能を使用する場合は必ず 11b にしてください。本ビットが設定されていない場合、タッチ計測が正しく行われない可能性があります。

40.2.16 CTSU ステータスレジスタ (CTSUST)

アドレス CTSU.CTSUST 4008 1011h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUS S	CTSUR OVF	CTSUS OVF	CTSDT TSR	—	CTSUSTC[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSUSTC[2:0]	CTSU 計測ステータスカウンタ	現在の計測ステータスを示します。 b2 b0 0 0 0 : Status0 0 0 1 : Status1 0 1 0 : Status2 0 1 1 : Status3 1 0 0 : Status4 1 0 1 : Status5	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CTSDTTSR	CTSU データ転送ステータスフラグ	センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。 0 : 読み出しあり 1 : 読み出しなし	R
b5	CTSUSOVF	CTSU センサカウンタオーバーフローフラグ	センサカウンタのオーバーフローを示します。 0 : オーバーフロー発生なし 1 : オーバーフロー発生	R/W
b6	CTSUROVF	CTSU リファレンスカウンタオーバーフローフラグ	リファレンスカウンタのオーバーフローを示します。 0 : オーバーフロー発生なし 1 : オーバーフロー発生	R/W
b7	CTSUPS	CTSU 相互容量計測ステータスフラグ	相互容量フルスキャンモードでの計測ステータスを示します。 0 : 1回目の計測 1 : 2回目の計測	R

CTSUCR0.CTSUINIT ビットでオーバーフローフラグをクリアする場合は、必ず CTSUCR0.CTSUSTRT ビットが 0 であるときに行ってください。

CTSUSTC[2:0] フラグ (CTSU 計測ステータスカウンタ)

現在の計測ステータスを示すカウンタです。各ステータスの詳細は、[40.3.2.2 ステータスカウンタ](#)を参照してください。

CTSDTTSR フラグ (CTSU データ転送ステータスフラグ)

センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に 1 になり、ソフトウェアまたは DTC でリファレンスカウンタを読み出すと 0 となります。本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUSOVF フラグ (CTSU センサカウンタオーバーフローフラグ)

センサカウンタ (CTSUSC) でオーバーフローが発生すると 1 になります。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUROVF フラグ (CTSU リファレンスカウンタオーバーフローフラグ)

リファレンスカウンタ (CTSUSC) でオーバーフローが発生すると 1 になります。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUPS フラグ (CTSU 相互容量計測ステータスフラグ)

相互容量フルスキャンモード (CTSUCR1.CTSUMD[1:0] = 11b) のとき、1 チャネルあたり 2 回の計測において計測が 1 回目なのか 2 回目なのかを示します。計測停止時、またはその他の計測モードの場合は 0 になります。

40.2.17 CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC)

アドレス CTSU.CTSUSSC 4008 1012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CTSUSSDIV[3:0]				—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	CTSUSSDIV[3:0]	CTSU スペクトラム拡散分周設定	ベースクロックの分周設定に基づき、スペクトラム拡散分周設定値を設定します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUSSDIV[3:0] ビット (CTSU スペクトラム拡散分周設定)

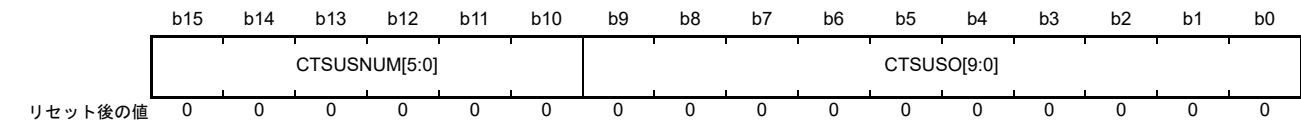
ベースクロックの分周設定に基づいて、スペクトラム拡散分周設定値を設定します。CTSUSSDIV[3:0] の正しい設定値を決めるには、表 40.5 でベースクロック周波数と設定値の関係を参照してください。

表 40.5 ベースクロック周波数と CTSUSSDIV[3:0] ビットの設定値の関係

ベースクロック周波数 fb (MHz)	CTSUSSDIV[3:0] ビットの設定値
$4.00 \leq fb$	0000b
$2.00 \leq fb < 4.00$	0001b
$1.33 \leq fb < 2.00$	0010b
$1.00 \leq fb < 1.33$	0011b
$0.80 \leq fb < 1.00$	0100b
$0.67 \leq fb < 0.80$	0101b
$0.57 \leq fb < 0.67$	0110b
$0.50 \leq fb < 0.57$	0111b
$0.44 \leq fb < 0.50$	1000b
$0.40 \leq fb < 0.44$	1001b
$0.36 \leq fb < 0.40$	1010b
$0.33 \leq fb < 0.36$	1011b
$0.31 \leq fb < 0.33$	1100b
$0.29 \leq fb < 0.31$	1101b
$0.27 \leq fb < 0.29$	1110b
$fb < 0.27$	1111b

40.2.18 CTSU センサオフセットレジスタ 0 (CTSUSO0)

アドレス CTSU.CTSUSO0 4008 1014h



ビット	シンボル	ビット名	機能	R/W
b9-b0	CTSUSO[9:0]	CTSUSO センサオフセット調整	電極が非タッチ状態のときの静電容量を調整します。 b9b0 0 0 0 0 0 0 0 0 0 0 : 電流オフセット量0 0 0 0 0 0 0 0 0 0 1 : 電流オフセット量1 0 0 0 0 0 0 0 0 1 0 : 電流オフセット量2 : 1 1 1 1 1 1 1 1 1 0 : 電流オフセット量1022 1 1 1 1 1 1 1 1 1 1 : 電流オフセット量最大	R/W
b15-b10	CTSUSNUM[5:0]	CTSUSNUM 計測回数設定	CTSUSNUM の計測回数を設定します。	R/W

CTSUSO[9:0] ビット (CTSUSO センサオフセット調整)

タッチ計測時に電極が非タッチ状態のときの静電容量により発生するセンサ ICO 入力電流をオフセットします。これは、CTSUSO センサカウンタのオーバーフローを防止します。

次に計測する TSn 端子の設定は、CTSUSO_CTSUWR 割り込みの発生後に行ってください。

CTSUSNUM[5:0] ビット (CTSUSNUM 計測回数設定)

CTSUSNUM.CTSUSNUMPRATIO[3:0] ビットおよび CTSUSNUM.CTSUSNUMMODE[1:0] ビットで指定される計測パルス数を計測時間内に何回繰り返すかを設定します。繰り返し回数は (CTSUSNUM[5:0] ビット + 1) となります。

次に計測する TSn 端子の設定は、CTSUSNUM_CTSUWR 割り込みの発生後に行ってください。

40.2.19 CTSU センサオフセットレジスタ 1 (CTSUSO1)

アドレス CTSU.CTSUSO1 4008 1016h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	CTSUICOG[1:0]		CTSUSDPA[4:0]					CTSURICOA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSURICOA[7:0]	CTSU リファレンス ICO 電流調整	リファレンス ICO の入力電流を調整します。 b7 b0 0 0 0 0 0 0 0 0 : 電流オフセット量 0 0 0 0 0 0 0 0 1 : 電流オフセット量 1 0 0 0 0 0 0 1 0 : 電流オフセット量 2 : 1 1 1 1 1 1 1 0 : 電流オフセット量 254 1 1 1 1 1 1 1 1 : 電流オフセット量 最大	R/W
b12-b8	CTSUSDPA[4:0]	CTSU ベースクロック設定	CTSU のベースクロックを生成します。 b12 b8 0 0 0 0 0 : 動作クロックの 2 分周 (注 1) 0 0 0 0 1 : 動作クロックの 4 分周 0 0 0 1 0 : 動作クロックの 6 分周 0 0 0 1 1 : 動作クロックの 8 分周 0 0 1 0 0 : 動作クロックの 10 分周 0 0 1 0 1 : 動作クロックの 12 分周 0 0 1 1 0 : 動作クロックの 14 分周 0 0 1 1 1 : 動作クロックの 16 分周 0 1 0 0 0 : 動作クロックの 18 分周 0 1 0 0 1 : 動作クロックの 20 分周 0 1 0 1 0 : 動作クロックの 22 分周 0 1 0 1 1 : 動作クロックの 24 分周 0 1 1 0 0 : 動作クロックの 26 分周 0 1 1 0 1 : 動作クロックの 28 分周 0 1 1 1 0 : 動作クロックの 30 分周 0 1 1 1 1 : 動作クロックの 32 分周 1 0 0 0 0 : 動作クロックの 34 分周 1 0 0 0 1 : 動作クロックの 36 分周 1 0 0 1 0 : 動作クロックの 38 分周 1 0 0 1 1 : 動作クロックの 40 分周 1 0 1 0 0 : 動作クロックの 42 分周 1 0 1 0 1 : 動作クロックの 44 分周 1 0 1 1 0 : 動作クロックの 46 分周 1 0 1 1 1 : 動作クロックの 48 分周 1 1 0 0 0 : 動作クロックの 50 分周 1 1 0 0 1 : 動作クロックの 52 分周 1 1 0 1 0 : 動作クロックの 54 分周 1 1 0 1 1 : 動作クロックの 56 分周 1 1 1 0 0 : 動作クロックの 58 分周 1 1 1 0 1 : 動作クロックの 60 分周 1 1 1 1 0 : 動作クロックの 62 分周 1 1 1 1 1 : 動作クロックの 64 分周	R/W
b14-b13	CTSUICOG[1:0]	CTSU ICO ゲイン調整	センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。 b14 b13 0 0 : ゲイン 100% 0 1 : ゲイン 66% 1 0 : ゲイン 50% 1 1 : ゲイン 40%	R/W
b15	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 相互容量フルスキャンモード時 (CTSUOCR1.CTSUMD[1:0] = 11b) の高域ノイズ低減機能 OFF 状態 (CTSUSDPRS.CTSUSOFF = 1) では、CTSUSDPA[4:0] ビットを 00000b にしないでください。

CTSU_CTSUWR 割り込み発生後に、CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタの順に書き込んでください。CTSUSO1 レジスタへの書き込みにより Status3 へ遷移します。CTSUSO1 レジスタに書き込む場合は、一度の動作で全ビットに書き込むようにしてください。

CTSURICOA[7:0] ビット (CTSU リファレンス ICO 電流調整)

リファレンス ICO の入力電流により、発振周波数を調整します。

CTSUSDPA[4:0] ビット (CTSU ベースクロック設定)

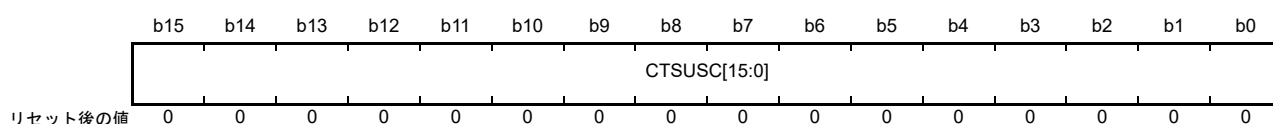
動作クロックを分周して、センサドライブパルスの元となるベースクロックを選択します。設定手順の詳細は、40.3.2.1 初期設定フローを参照してください。

CTSUICOG[1:0] ビット (CTSU ICO ゲイン調整)

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。通常は最大ゲインの 00b にします。電極タッチ時と非タッチ時の間の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、本設定で適切なゲインに調整してください。

40.2.20 CTSU センサカウンタ (CTSUSC)

アドレス CTSU.CTSUSC 4008 1018h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSUSC[15:0]	CTSUセンサカウンタ	センサICOの計測結果を示します。オーバーフロー発生時は FFFFhが読み出されます。	R

CTSU_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。

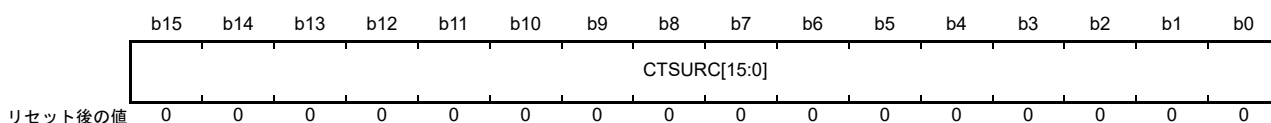
CTSUSC[15:0] ビット (CTSU センサカウンタ)

センサ ICO 用のインクリメントカウンタです。

CTSU_CTSURD 割り込み発生後に読み出してください。本ビットは CTSURC カウンタ読み出し後、次の計測で CTSU 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

40.2.21 CTSU リファレンスカウンタ (CTSURC)

アドレス CTSU.CTSURC 4008 101Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSURC[15:0]	CTSU リファレンスカウンタ	リファレンス ICO の計測結果を示します。オーバーフロー発生時は FFFFh が読み出されます。	R

CTSU_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。Status3 に指定した安定時間を経過しても、CTSURC カウンタが読み出されるまで Status3 が継続します。

CTSURC[15:0] ビット (CTSU リファレンスカウンタ)

リファレンス ICO クロック用のインクリメントカウンタです。

リファレンス ICO はセンサ ICO によるタッチ計測を最適化します。CTSU に内蔵されたセンサ ICO とリファレンス ICO は個体により若干の偏差はありますが、ダイナミックレンジや電流一周波数の特性などはほぼ同様の特性を持っています。リファレンス ICO 電流調整ビットで設定できる電流の範囲がほぼ、両 ICO のダイナミックレンジになるため、センサ ICO に入力する電流もこのダイナミックレンジに収める必要があります。そのためには、ICO の個体差を確認するためにリファレンス ICO を使い、電流－発振周波数の特性を計測します。リファレンス ICO 発振周波数はリファレンス ICO カウンタで取得でき、リファレンス ICO 電流調整ビットに値を設定してリファレンス ICO カウンタを計測することで、入力電流に対する ICO 発振周波数（カウンタ値／計測時間）を計測できます。また、リファレンス ICO 電流調整ビットの最大値で計測されるリファレンス ICO カウンタの値が、ICO のダイナミックレンジの最大値となります。センサ ICO カウンタの値がこの値を超えないように、オフセット調整ビットでセンサ ICO の電流をオフセットする必要があります。

CTSURC[15:0] ビットは、CTSU_CTSURD 割り込み発生後に読み出してください。本ビットは読み出し後に、次の計測で CTSU 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSU_CR0.CTSU_INIT ビットでもクリアされます。

40.2.22 CTSU エラーステータスレジスタ (CTSUERRS)

アドレス CTSU.CTSUERRS 4008 101Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUI COMP	—	—	—	—	—	—	—	CTSUT SOC	CTSUC LKSEL1	—	—	CTSUD RV	CTSUT SOD	CTSUSPMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSPMD[1:0]	キャリブレーションモード	キャリブレーションモード b1 b0 0 0: 静電容量測定モード 1 0: キャリブレーションモード その他: 設定禁止	R/W
b2	CTSUTSOD	TS 端子固定出力	TS 端子の固定出力 0: 静電容量測定モード 1: TS 端子は High または Low に強制される	R/W
b3	CTSUDRV	キャリブレーション設定 1	キャリブレーション設定 1 0: 静電容量測定モード 1: キャリブレーション設定 1	R/W
b5-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b6	CTSUCLKSEL1	キャリブレーション設定 3	キャリブレーション設定 3 0: 静電容量測定モード 1: キャリブレーション設定 3	R/W
b7	CTSUTSOC	キャリブレーション設定 2	キャリブレーション設定 2 0: 静電容量測定モード 1: キャリブレーション設定 2	R/W
b14-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15	CTSUICOMP	TSCAP 電圧異常監視	TSCAP 電圧の異常なステータスを監視します。 0: TSCAP 電圧正常 1: TSCAP 電圧異常 (注1)	R

注 1. CTSUCR1.CTSUPON ビットが 0 のとき、本ビットは 1 になります。

CTSUSPMD[1:0] ビット (キャリブレーションモード)

CTSUSPMD[1:0] ビットは CTSU のキャリブレーションに使用されます。容量を計測するときは、これらのビットを 00b にしてください。

CTSUTSOD ビット (TS 端子固定出力)

CTSUTSOD ビットは CTSU のキャリブレーションに使用されます。このビットを 1 にすると、TS 端子は CTSUCR0.CTSUIOC ビットで指定されたロジックレベルに強制されます。容量を計測するときは、このビットを 0 にしてください。

CTSUDRV ビット (キャリブレーション設定 1)

CTSUDRV ビットは CTSU のキャリブレーションに使用されます。容量を計測するときは、このビットを 0 にしてください。

CTSUCLKSEL1 ビット (キャリブレーション設定 3)

CTSUCLKSEL1 ビットは CTSU のキャリブレーションに使用されます。容量を計測するときは、このビットを 0 にしてください。

CTSUTSOC ビット (キャリブレーション設定 2)

CTSUTSOC ビットは CTSU のキャリブレーションに使用されます。容量を計測するときは、このビットを 0 にしてください。

CTSUICOMP ビット (TSCAP 電圧異常監視)

TSCAP 電圧を監視し、電圧異常となった場合は 1 になります。

CTSUSO0 レジスタで設定したオフセット電流量が、タッチ計測時のセンサ ICO 入力電流を上回った場合、TSCAP 電圧が異常となりタッチ計測が正しく行われません。

TSCAP 電圧が異常となった場合、センサ ICO カウンタの値は不定になりますが、タッチ計測は正常に終了するので、センサ ICO カウンタの値から異常を検知することは困難です。CTSUSO1 レジスタの CTSU リファレンス ICO 電流調整ビット (CTSURICOA[7:0]) を 0 以外の値にしてある場合は、必ずタッチ計測終了時に本ビットを確認してください。

本ビットは、CTSUCR1.CTSUPON ビットに 0 を書き込み、電源 OFF とすることでクリアされます。

40.3 動作説明

40.3.1 計測動作原理

図 40.4 に計測部回路を示します。

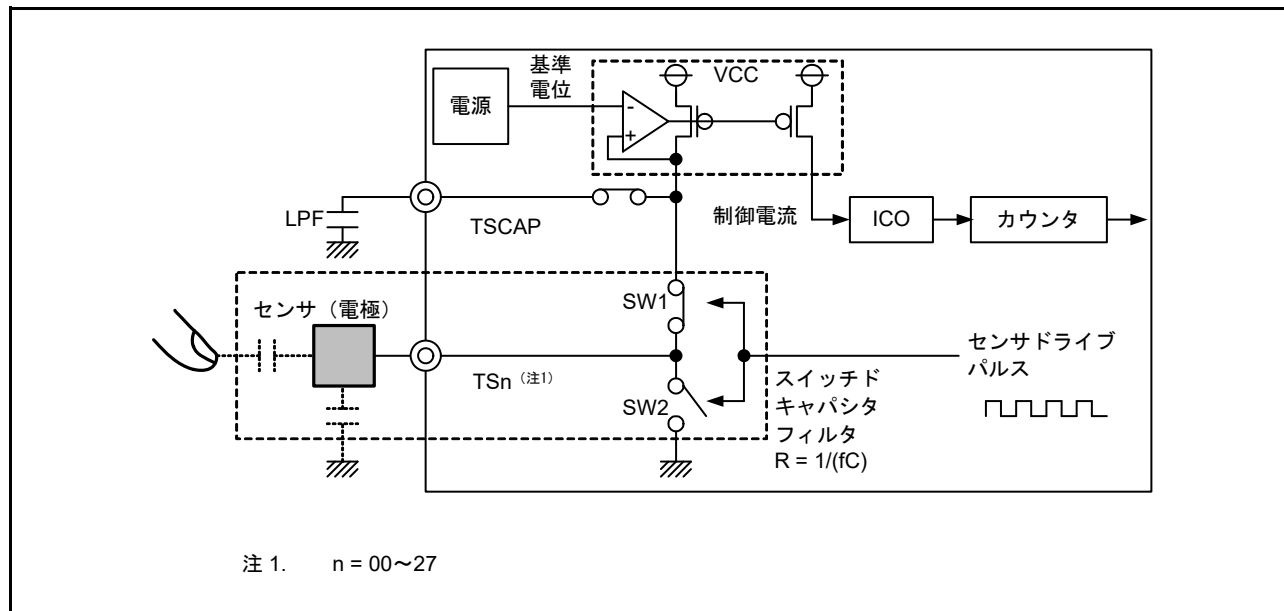


図 40.4 計測部回路

図 40.5 ~ 図 40.7 に CTSU の電流周波数変換の静電容量計測動作原理を示します。動作は以下のとおりです。

1. SW1 : ON、SW2 : OFF にすることで、電極の静電容量に充電されます。図 40.5 を参照してください。
2. SW1 : OFF、SW2 : ON にすることで、充電された容量は放電されます。図 40.6 を参照してください。
3. 手順 1. および 2. に示す電極の充放電の切り替えを繰り返すことにより、スイッチドキャパシタフィルタに電流が流れます。この時点で指が接近していれば、容量および流れる電流が変化します。TSCAP 電源を生成する回路からスイッチドキャパシタフィルタに流れる電流に比例した制御電流を ICO に供給することで、クロックを生成します。カウンタは、指が接近しているかどうかにより変化するクロック周波数を計測します。ソフトウェアは、カウンタから読み出した値に基づき指の接触を判断します。図 40.7 を参照してください。

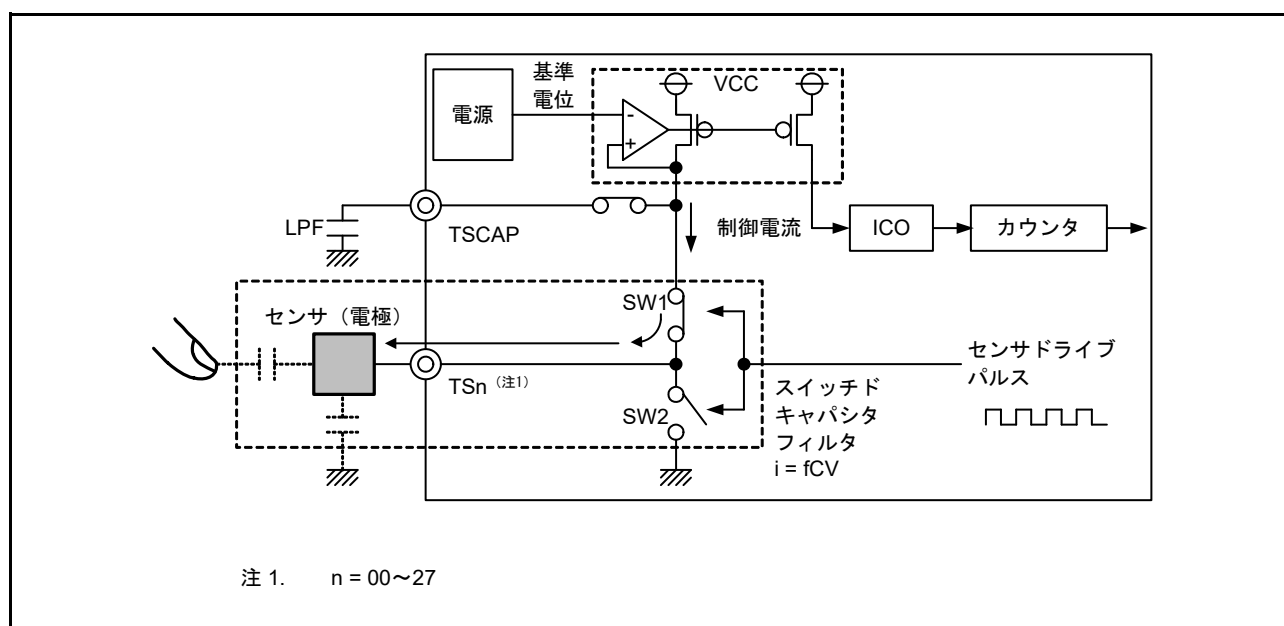


図 40.5 **充電動作**

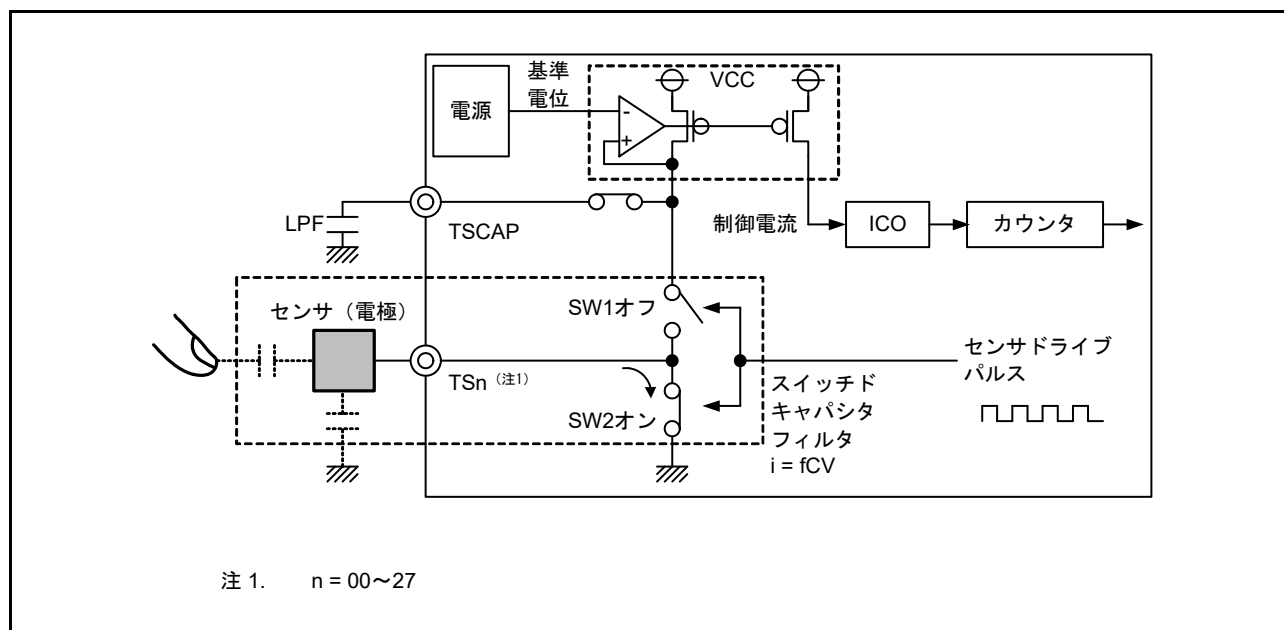


図 40.6 **放電動作**

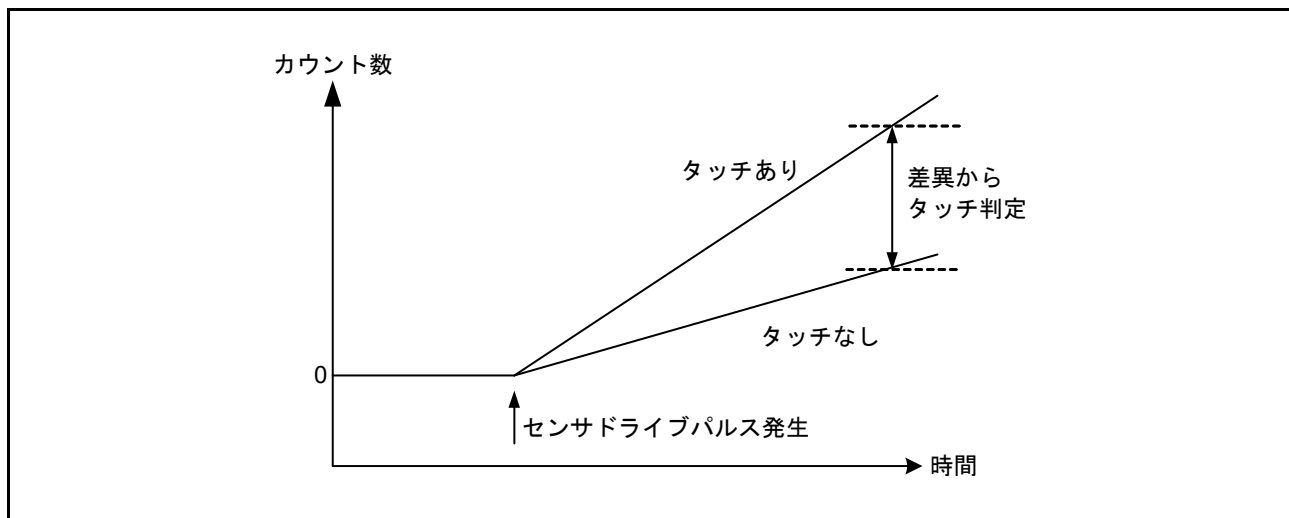


図 40.7 接触／非接触による計測値の変化

40.3.2 計測モード

CTSU は、自己容量方式と相互容量方式に対応しています。図 40.8 に両方式の概要を示します。

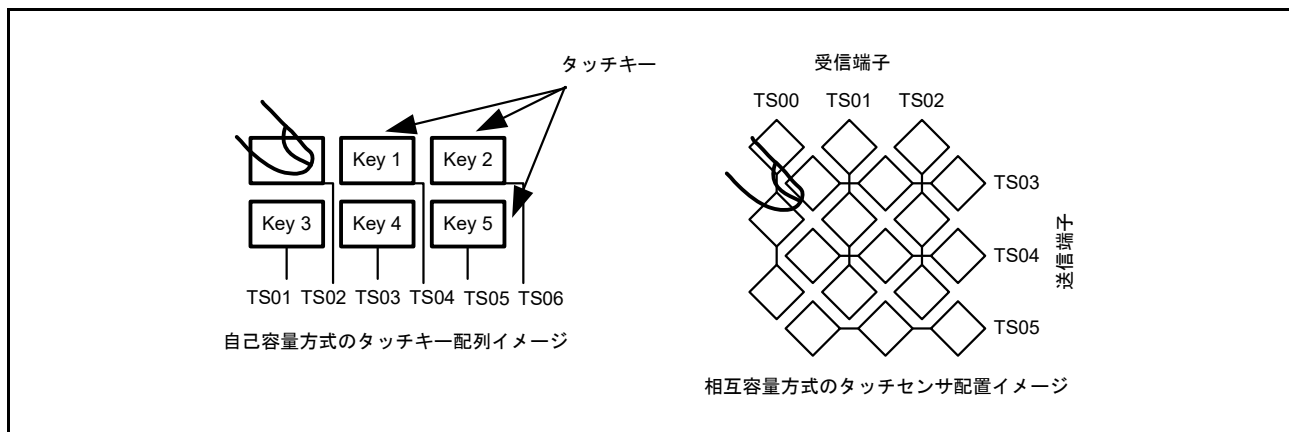


図 40.8 自己容量方式と相互容量方式の概要

自己容量方式では、1つのタッチキーに1つのタッチ端子を割り当て、それぞれにおける指の接近時の静電容量を計測します。この方法では、シングルスキャンモードとマルチスキャンモードの両方で容量を計測できます。相互容量方式では、対向する2つの電極（送信端子と受信端子）間の容量を計測します。

40.3.2.1 初期設定フロー

図 40.9 に、CTSU の初期設定フローを示します。

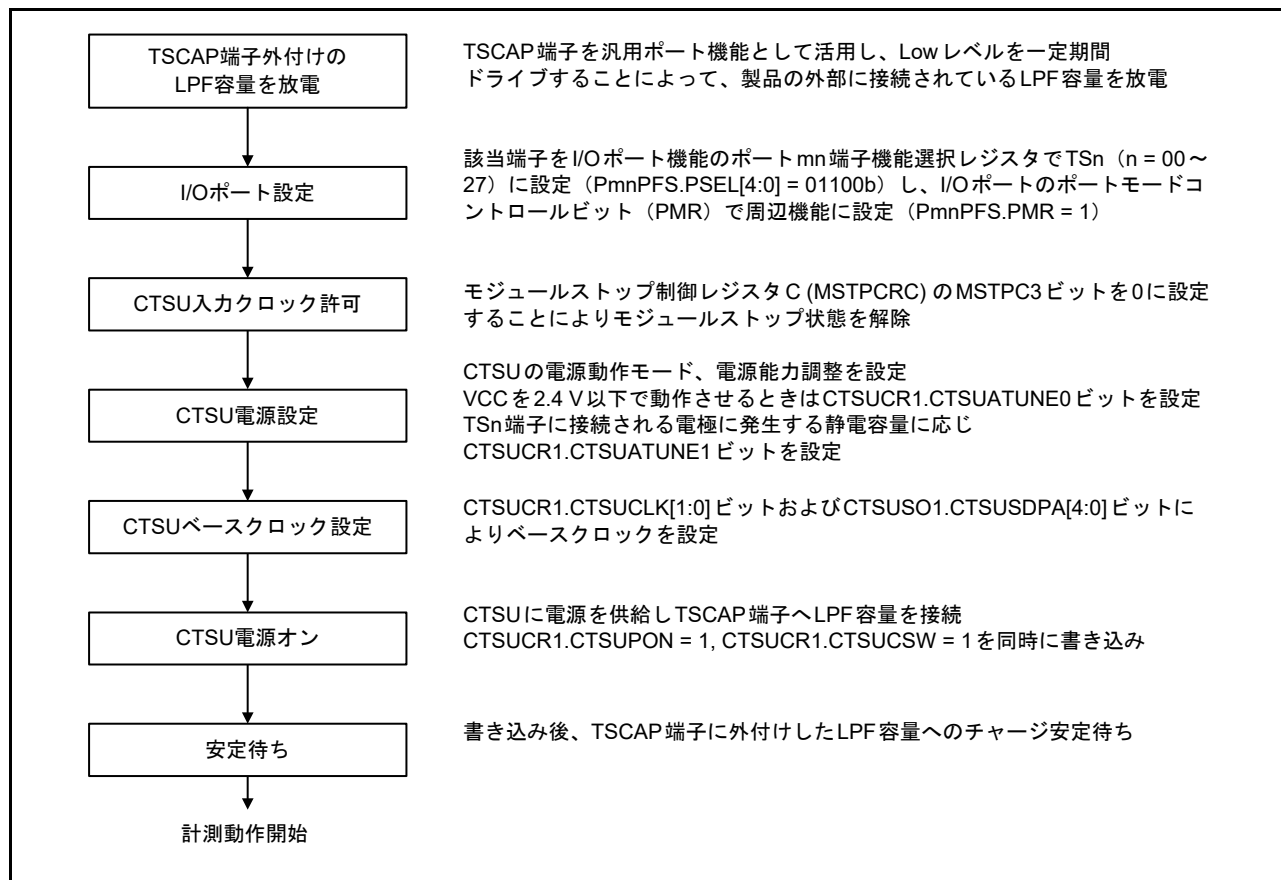


図 40.9 CTSU 初期設定フロー

図 40.10 に、CTSU の動作を停止させスタンバイ状態にするフローを示します。

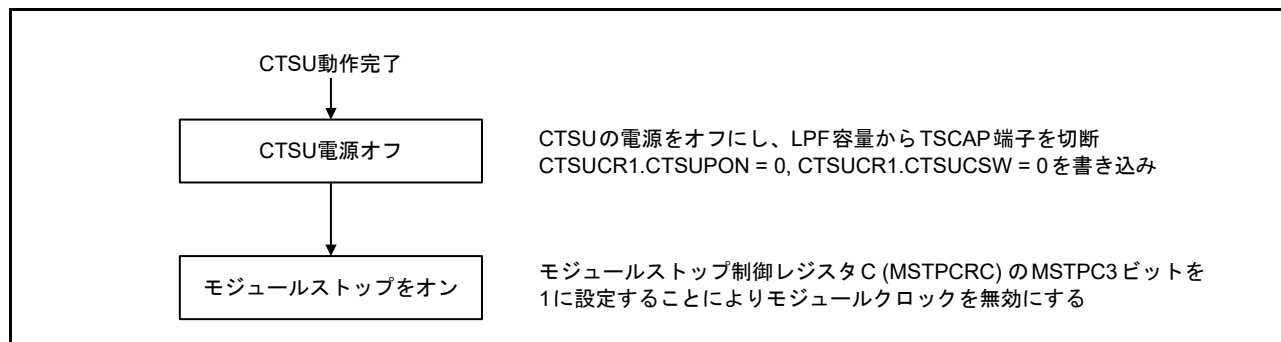


図 40.10 CTSU 停止フロー

動作を再開する場合は、図 40.9 の初期設定フローに従ってください。

40.3.2.2 ステータスカウンタ

CTSU ステータスレジスタ (CTSUST) は、3 つのモードすべてに適用する電流計測ステータスを示します。図 40.11 にステータス動作遷移図を示します。

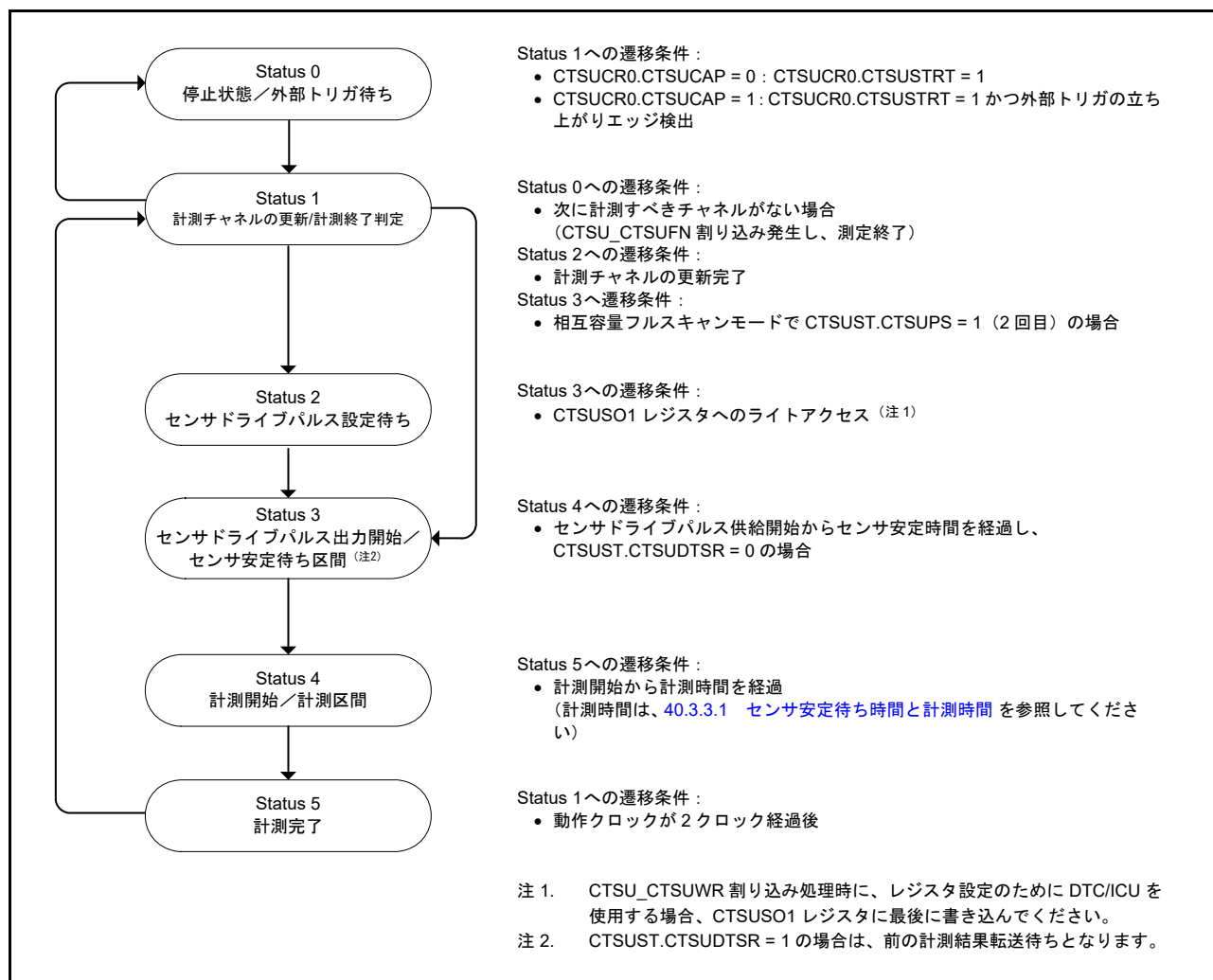


図 40.11 ステータス動作遷移図

ステータスカウンタは、指定したすべての計測チャンネルの計測が終了すると Status0 に遷移します。

CTSUCR0.CTSUSTRT ビットは、ソフトウェアトリガではハードウェアにより 0 にクリアされます。また外部トリガでは 1 が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態で強制終了する (CTSUCR0.CTSUSTRT ビットに 0 を、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込む) ことにより、Status0 に遷移して計測は停止します。

計測対象チャンネルがないケースは以下のとおりです。

- CTSUCHAC0 ～ CTSUCHAC3 レジスタに計測対象チャンネルが指定されていない場合
- 自己容量シングルスキャンモードで、CTSUMCH0 レジスタで指定したチャンネルが CTSUCHAC0 ～ CTSUCHAC3 レジスタで計測対象外となっている場合
- フルスキャンモードで、CTSUCHAC0 ～ CTSUCHAC3 レジスタ、CTSUCHTRC0 ～ CTSUCHTRC3 レジスタの組み合わせで計測する送信チャンネルまたは受信チャンネルがない場合

これらの設定に基づき計測するチャンネルがない場合、Status1 への遷移後すぐに CTSU_CTSUFN 割り込みが発生し、カウンタは Status0 になります。

40.3.2.3 自己容量シングルスキャンモード動作

自己容量シングルスキャンモードでは、任意の 1 チャネルの静電容量を計測します。図 40.12 にソフトウェアフローと動作例を、図 40.13 にタイミングを示します。

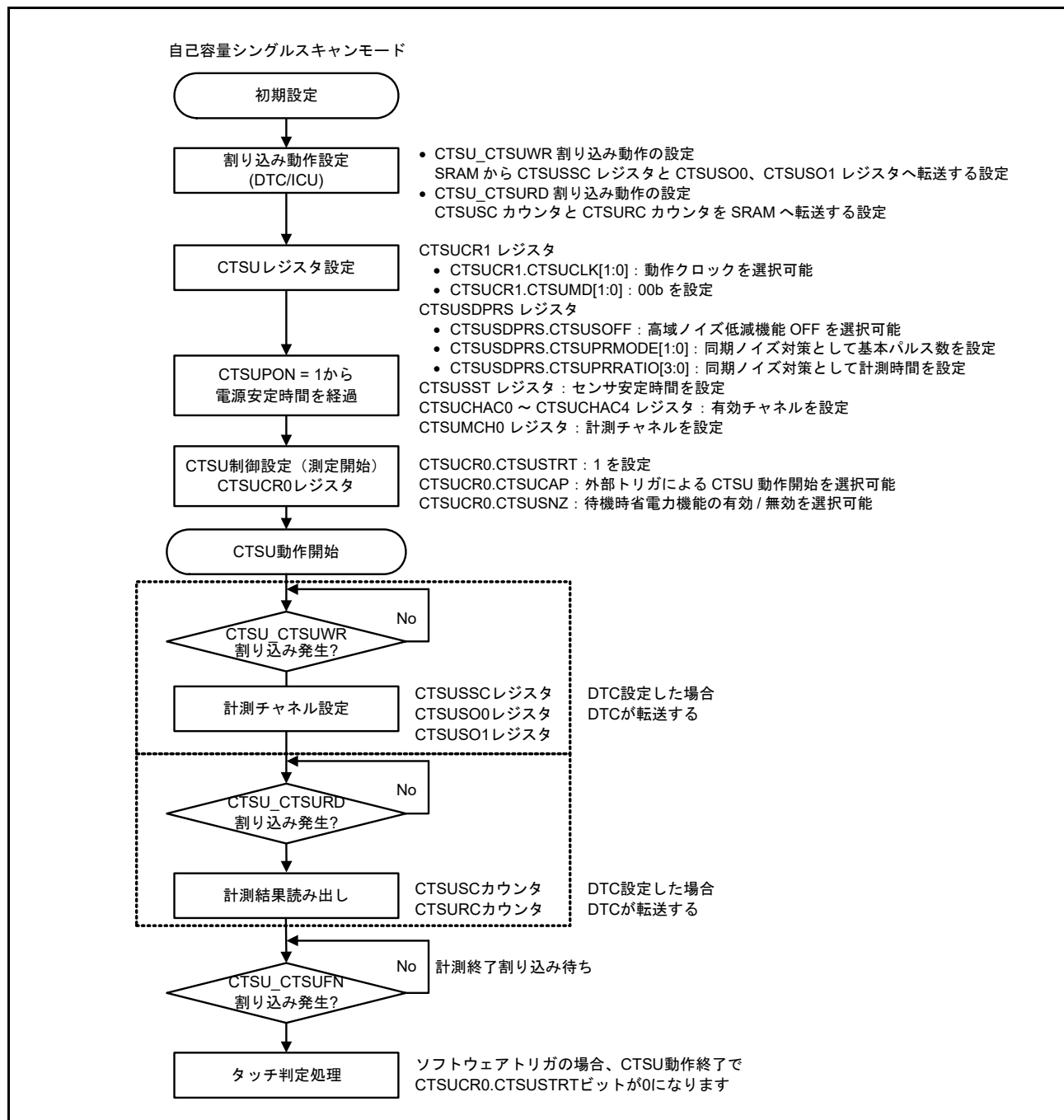


図 40.12 自己容量シングルスキャンモードのソフトウェアフローと動作例

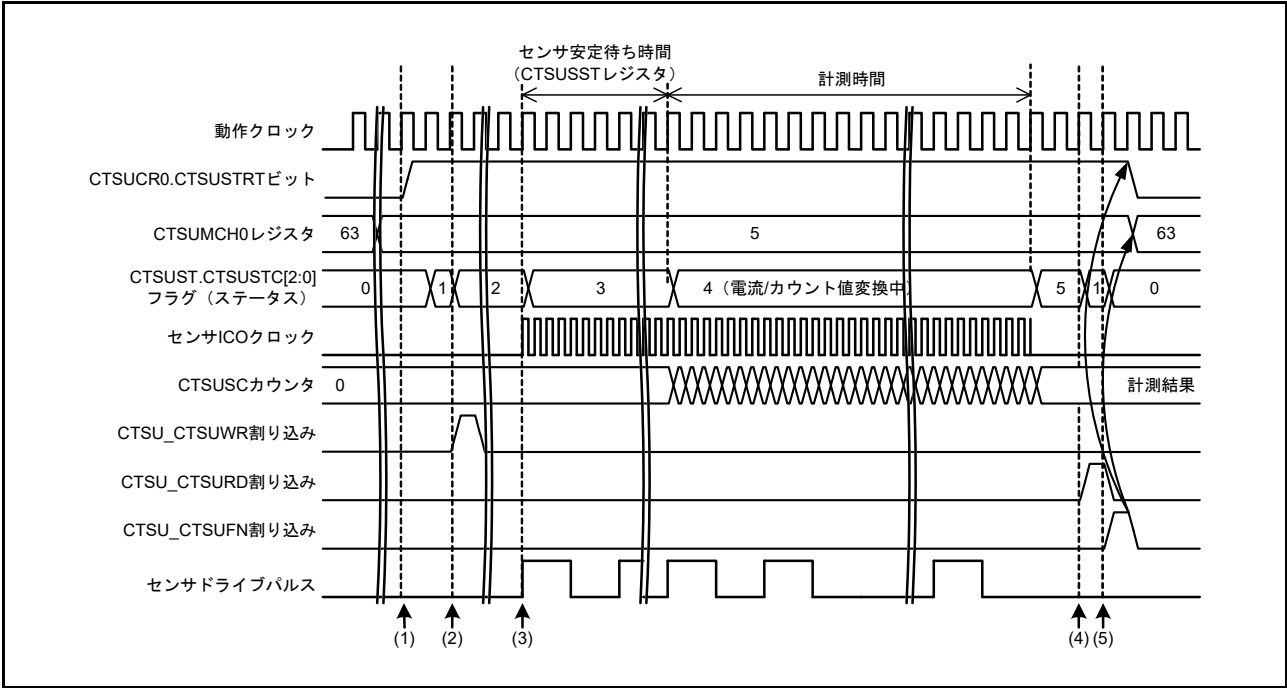


図 40.13 自己容量シングルスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 40.13 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャネルが決定された後に、関連するチャネルの設定要求 (CTSU_CTSUWR) を出力します。
3. 計測チャネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSU_CTSURD) を出力します。
5. 計測終了割り込み (CTSU_CTSUFN) を出力して計測終了 (Status0 へ遷移) します。

表 40.6 に自己容量シングルスキャンモードのタッチ端子状態を示します。

表 40.6 自己容量シングルスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャネル	非計測チャネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

40.3.2.4 自己容量マルチスキャンモードの動作

自己容量マルチスキャンモードは、CTSUCHAC0 ~ CTSUCHAC3 レジスタで計測対象に指定したすべてのチャンネルに対して、静電容量を昇順で順次計測します。図 40.14 にソフトウェアフローと動作例を、図 40.15 にタイミングを示します。

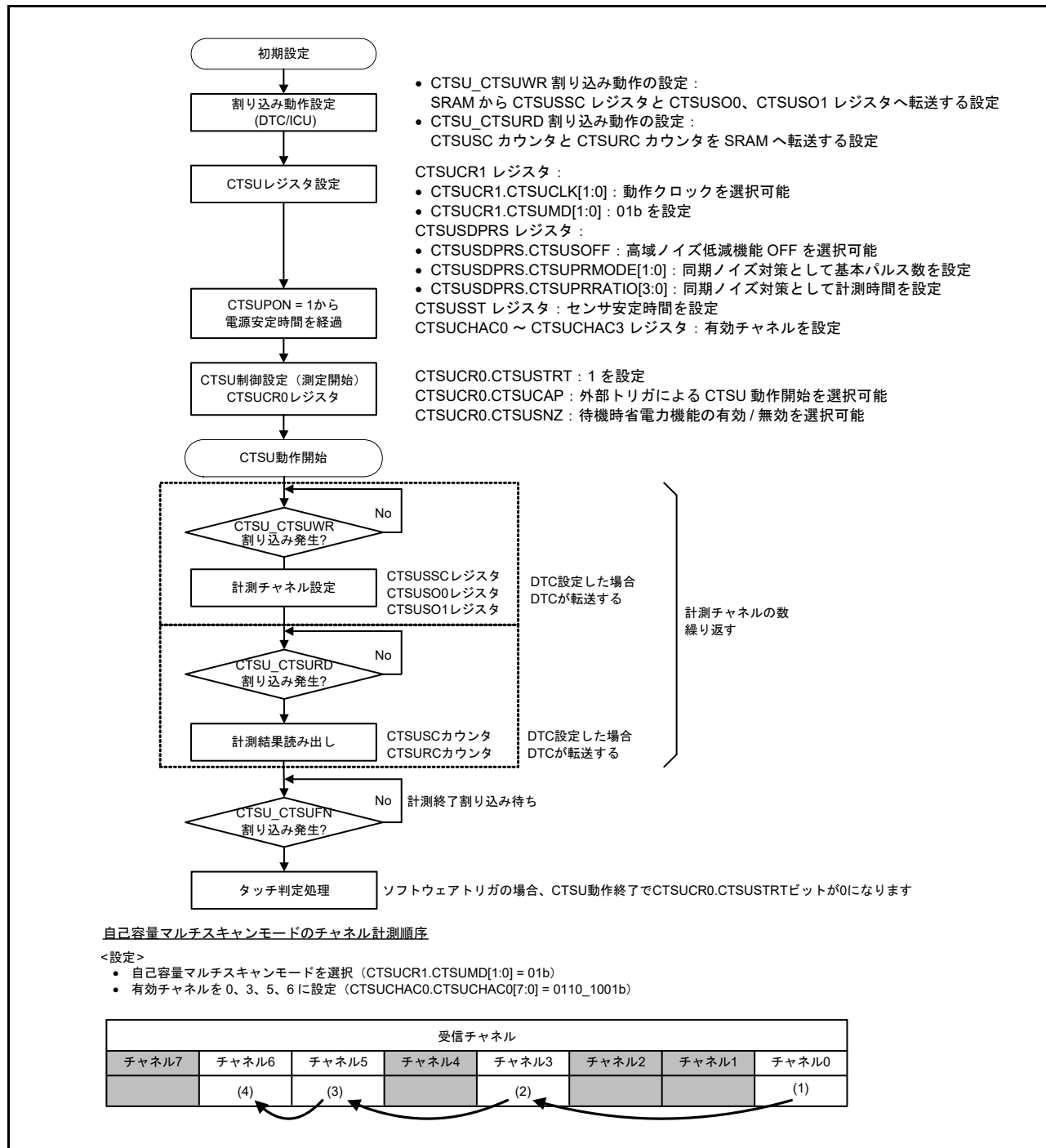


図 40.14 自己容量マルチスキャンモードのソフトウェアフローと動作例

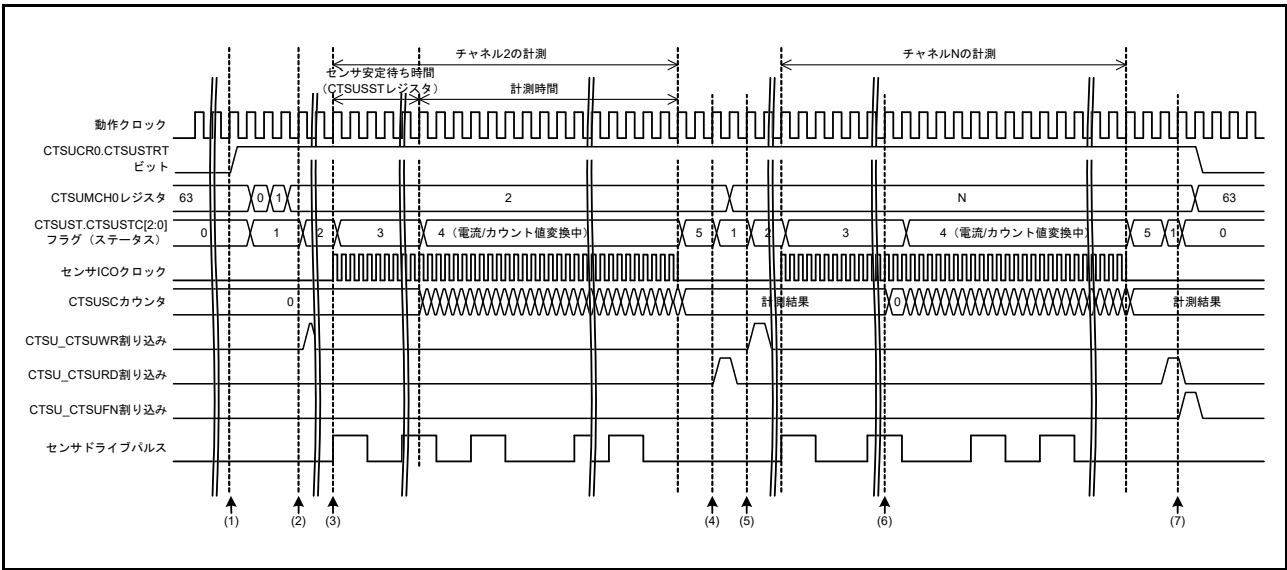


図 40.15 自己容量マルチスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 40.15 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、関連するチャンネルの設定要求 (CTSUSC_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSC, CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSUSC_CTSURD) を出力します。
5. 次に計測するチャンネルが決定した後、関連するチャンネルの設定要求 (CTSUSC_CTSUWR) を出力します。
6. 安定待ち時間の経過、および前回の計測結果の読み出しによって、前回の計測結果をクリアし、計測を開始します。
7. すべてのチャンネル計測が完了したら、計測終了割り込み (CTSUSC_CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

表 40.7 に自己容量マルチスキャンモードのタッチ端子状態を示します。

表 40.7 自己容量マルチスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

40.3.2.5 相互容量フルスキャンモード動作

相互容量フルスキャンモードは、受信チャンネルのセンサドライブパルスの High 期間に対して、計測対象の送信チャンネルにエッジを印加して計測を行います。1 計測対象に対して立ち上がりエッジと立ち下がりエッジの 2 回の計測を実施します。この 2 回の計測データの差分からタッチ判定を行い、より高いタッチ感度を実現します。

CTSUCHTRC0 ~ CTSUCHTRC3 レジスタで送信用または受信用に設定され、CTSUCHAC0 ~ CTSUCHAC3 レジスタで計測対象に設定されたチャンネルに対して、静電容量を順次計測します。容量は、これらの信号を組み合わせることで計測されます。図 40.16 にソフトウェアフローと動作例を、図 40.17 にタイミングを示します。

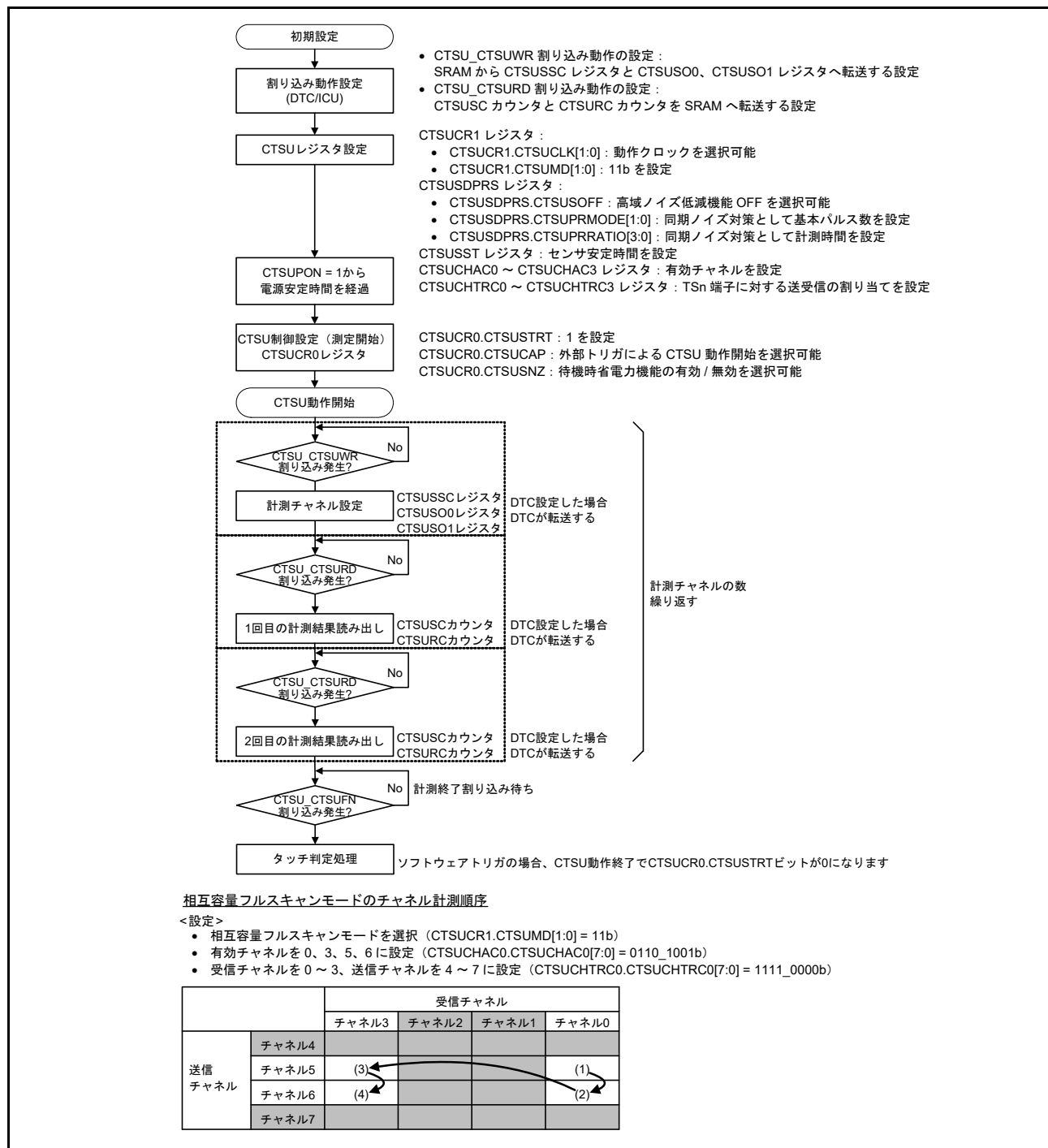


図 40.16 相互容量フルスキャンモードのソフトウェアフローと動作例

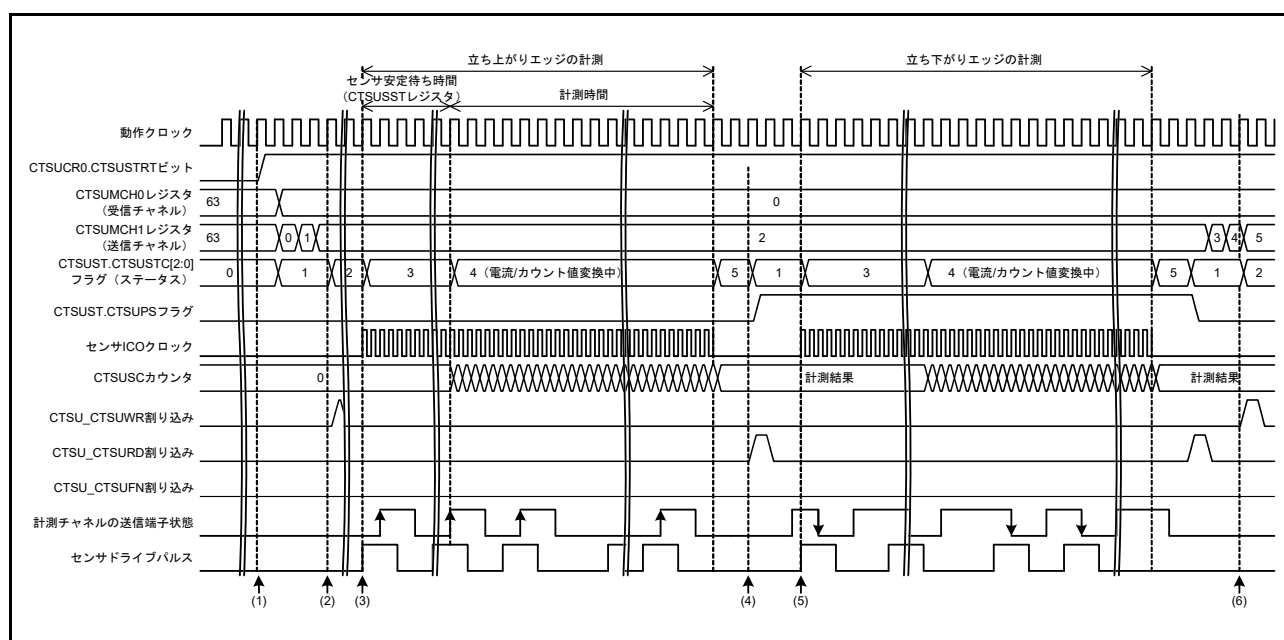


図 40.17 相互容量フルスキャンモードのタイミング（計測開始条件がソフトウェアトリガの場合）

図 40.17 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、関連するチャンネルの設定要求 (CTSUS_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ I/O クロックとリファレンス I/O クロックが動作します。同時に計測チャンネルの送信端子にセンサドライブパルスの High 期間に対して、立ち上がりエッジとなるパルスが出力します。
4. センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSUS_CTSURD) を出力します。
5. 同一チャンネルに対して、センサドライブパルスの High 期間に対して、立ち下がりエッジとなるパルスが出力した計測を行います。
6. 同一チャンネルに対して 2 回の計測を行った後、次に計測するチャンネルを決定し、同様の計測を行います。
7. すべてのチャンネル計測が完了したら、計測終了割り込み (CTSUS_CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

なお、CTSUS 相互容量計測ステータスフラグ (CTSUST.CTSUPS ビット) は、Status5 から Status1 へ遷移するタイミングで変化します。

表 40.8 に相互容量フルスキャンモードのタッチ端子状態を示します。

表 40.8 相互容量フルスキャンモードのタッチ端子状態

Status	受信チャネルのタッチ端子		送信チャネルのタッチ端子		備考
	計測 チャネル	非計測 チャネル	計測 チャネル	非計測 チャネル	
0	Low	Low	Low	Low	-
1	Low	Low	Low/high	Low	-
2	Low	Low	Low	Low	-
3	パルス	Low	パルス	Low	送信パルス位相は、1回目の計測では受信チャネルと同相になり、2回目の計測では逆相になります。
4	パルス	Low	パルス	Low	-
5	Low	Low	Low	Low	-

40.3.3 複数モードに関わる共通機能

40.3.3.1 センサ安定待ち時間と計測時間

図 40.18 にセンサ安定待ちと計測のタイミングを示します。

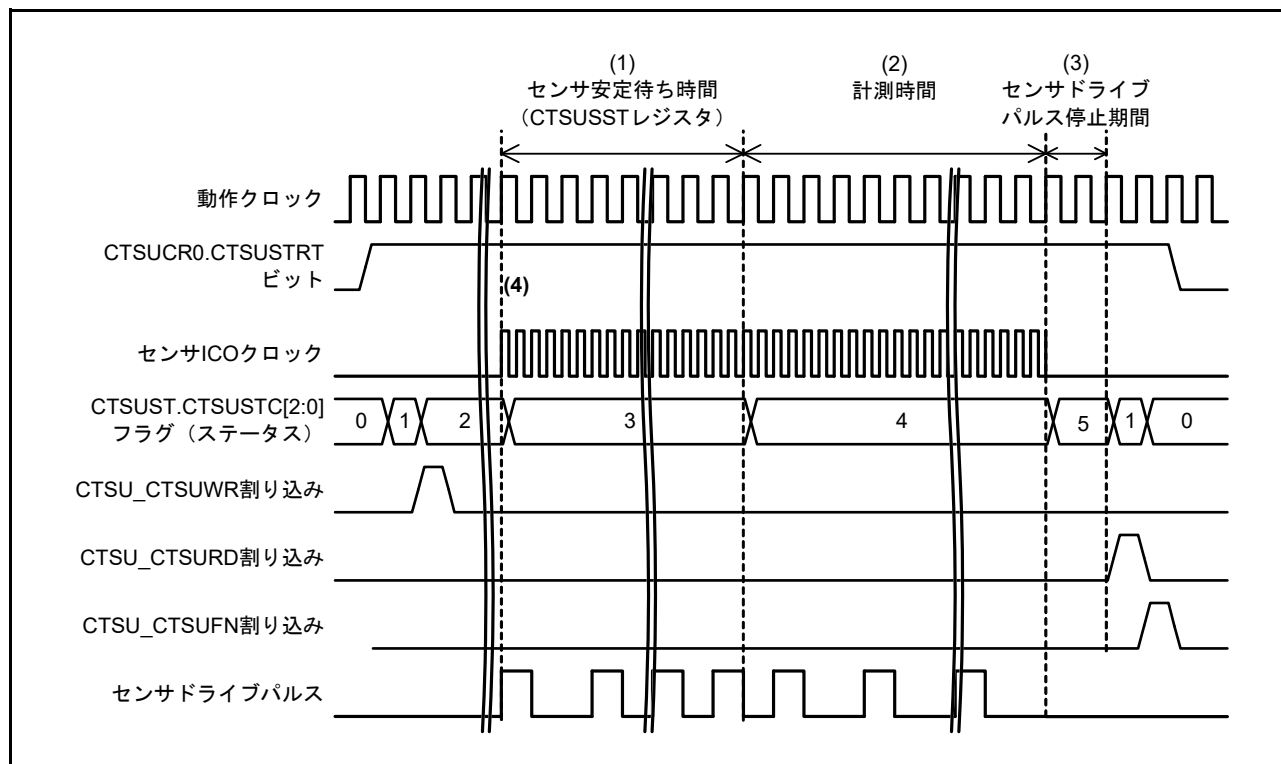


図 40.18 センサ安定待ちと計測のタイミング

図 40.18 に示した動作を以下で説明します。

1. CTSU_CTSUWR 割り込み要求に対して、CTSUSO1 レジスタへライトアクセスすることでセンサドライブパルスの出力を開始し、CTSUSST レジスタで設定した安定時間を待ちます。
2. センサ安定時間が経過し、かつ CTSUST.CTSUDTSR フラグが 0 にクリアされ、Status4 に遷移することによって計測を開始します。計測時間は、ベースクロックの周期と CTSUSDPRS.CTSUPRMODE[1:0] ビット、CTSUPRRATIO[3:0] ビット、CTSUSO0.CTSUSNUM[5:0] ビットの設定で決定します。計測時間が経過すると関連するチャンネルの計測を終了します。
3. 計測時間経過後、動作クロック 2 サイクルで Status1 に遷移し、CTSUSURD 割り込みが発生します。CTSUSC カウンタと CTSURC カウンタからデータを読み出してください。このとき、センサドライブパルスは Low 出力になります。設定した全チャンネルの計測が完了すると、CTSUCR0.CTSUSTRT ビットは 0 になります。
4. センサ ICO クロックは、CTSUST.CTSUSTC[2:0] フラグ = 011b (Status3) または 100b (Status4) の期間に発振します。

40.3.3.2 割り込み

CTSU は下記の割り込みに対応しています。

- チャンネルごとの設定レジスタ書き込み要求割り込み (CTSU_CTSUWR)
- 測定データ転送要求割り込み (CTSU_CTSURD)
- 測定終了割り込み (CTSU_CTSUFN)

(1) チャンネル毎の設定レジスタ書き込み要求割り込み (CTSU_CTSUWR)

計測チャンネルごとの設定データを SRAM 上に用意しておき、あらかじめ CTSU_CTSUWR 割り込みに対応した DTC/ICU の転送設定を行います。CTSU_CTSUWR 割り込みは Status1 から Status2 へ遷移したタイミングで出力します。選択したチャンネルの設定データを SRAM から CTSUSSC、CTSUSO0、および CTSUSO1 の各レジスタに書き込んでください (図 40.19)。CTSUSO1 レジスタへのライトアクセスにより次の Status への遷移が制御されるため、CTSUSO1 レジスタを必ず最後に設定してください。

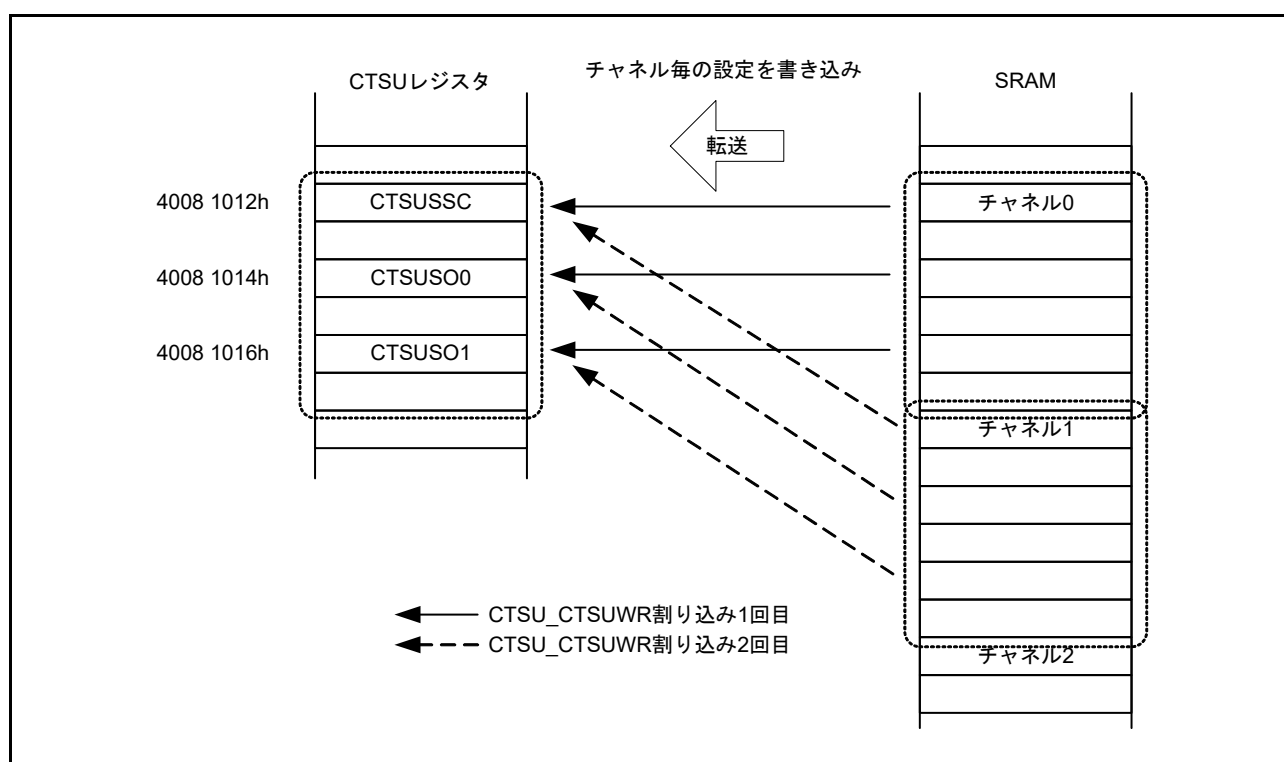


図 40.19 CTSU_CTSUWR 割り込みを用いた DTC 転送動作例

設定するレジスタ (CTSUSSC、CTSUSO0、CTSUSO1 の各レジスタ) は、連続したアドレスに配置しています。CTSU_CTSUWR 割り込み発生では、以下のように動作を設定してください。

- 転送先アドレス : CTSUSSC レジスタのアドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは固定
- 転送元アドレス : SRAM 上に用意した設定の番号が最小のチャンネルの CTSUSSC レジスタデータ格納アドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは前回の割り込み処理から継続
- 転送回数 : 3 回転送

(2) 測定データ転送要求割り込み (CTSUS_CTSURD)

あらかじめ、CTSUS_CTSURD 割り込みに対応した DTC/ICU の転送設定を行います。CTSUS_CTSURD 割り込みは、Status5 から Status1 へ遷移するタイミングで出力します。計測結果を CTSUSC カウンタと CTSURC カウンタから読み出してください (図 40.20)。

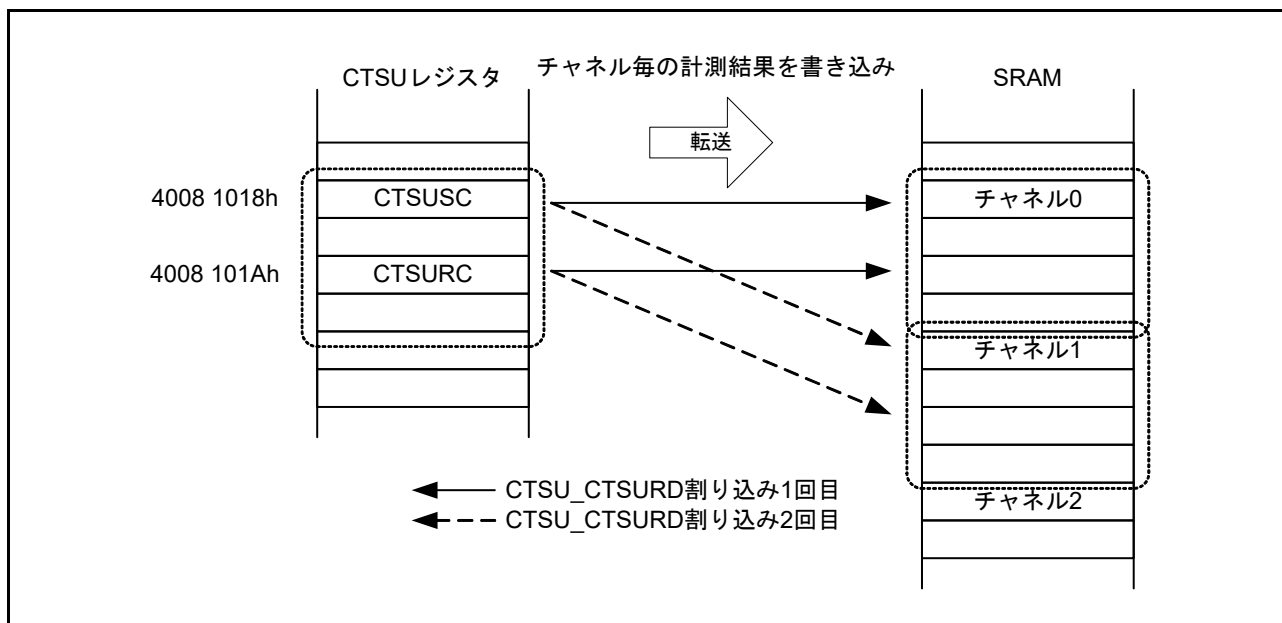


図 40.20 CTSUS_CTSURD 割り込みを用いた DTC 転送動作例

転送元である計測結果レジスタ (CTSUSC カウンタと CTSURC カウンタ) は、連続したアドレスに配置してあります。CTSUS_CTSURD 割り込み発生では、以下のように動作を設定してください。

- 転送元アドレス : CTSUSC カウンタのアドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは固定
- 転送先アドレス : SRAM 上に用意した設定の番号が最小のチャンネルの CTSUSC カウンタデータ格納アドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは前回の割り込み処理から継続
- 転送回数 : 2 回転送

(3) 測定終了割り込み (CTSUS_CTSUFN)

すべてのチャンネル計測が終了すると、Status1 から Status0 に遷移するタイミングで割り込みが発生します。ソフトウェアで、オーバーフローフラグ (CTSUST.CTSUSOVF と CTSUROVF) の確認を行い、計測結果を読み出して電極とのタッチの有無を判定します。割り込み要求の受付、禁止は割り込み制御部で行います。

40.4 使用上の注意事項

40.4.1 計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)

計測中のリードアクセスは禁止です。アクセスした場合は、非同期のため正しくない値を読み出す場合があります。

40.4.2 ソフトウェアトリガに対する注意事項

CTSUCR1.CTSUCLK[1:0] ビットで 10b (PCLKB/4) を選択した場合、計測完了後に CTSUCR0.CTSUSTRT ビットへ 1 を書き込み計測を再開させるときは、割り込み発生から 3 サイクル以上待ってから書き込むようにしてください。

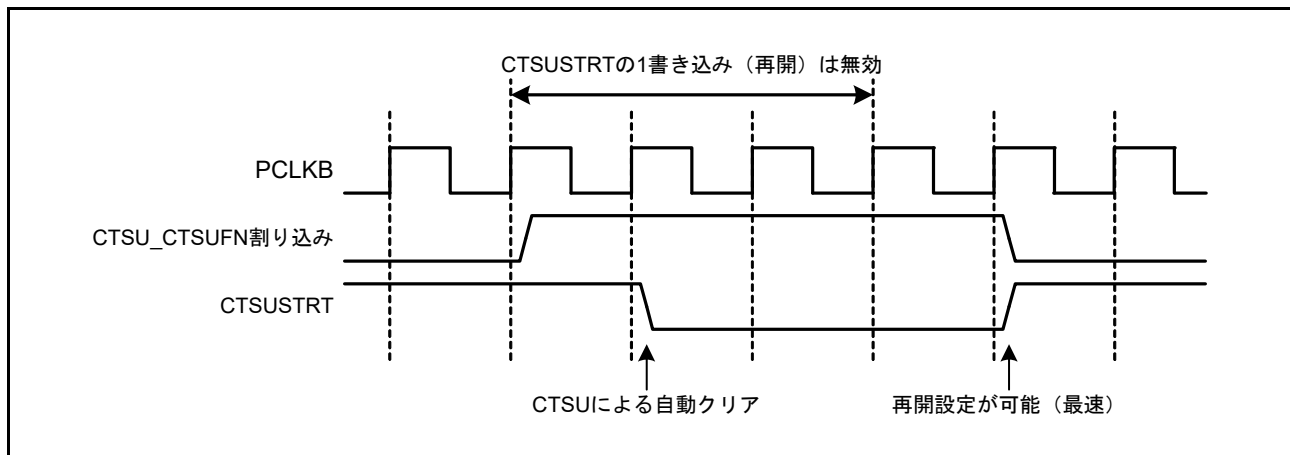


図 40.21 再開時の注意事項

40.4.3 外部トリガに対する注意事項

- 計測時間中に外部トリガが入力された場合、計測は開始されない。次の外部イベントは、CTSUSU_CTSUFN 割り込みが発生した動作クロックの 1 サイクル後から有効
- 外部トリガモードを終了する場合は、CTSUCR0.CTSUSTRT ビットの 0 と CTSUCR0.CTSUINIT ビットの 0 の同時書き込み（強制停止）で停止

40.4.4 強制終了に関する注意事項

動作中に強制停止させる場合は、CTSUCR0.CTSUSTRT ビットに 0、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込んでください。動作が停止し、内部コントロールレジスタが初期化されます。

CTSUCR0.CTSUINIT ビットによる初期化では、内部計測状態の初期化に加え、以下のレジスタが初期化されます。

- CTSUMCH0 レジスタ
- CTSUMCH1 レジスタ
- CTSUST レジスタ
- CTSUSC カウンタ
- CTSURC カウンタ

強制停止した場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC/ICU の停止／無効処理も行ってください。搭載するシステムが何らかの要因で DTC 転送を停止する場合は、

CTSU に対しても強制終了および初期化処理を行ってください。

40.4.5 TSCAP 端子

TSCAP 端子は、CTSU 内部電圧を一定に保つために、外部デカップリングキャパシタを必要とします。TSCAP 端子と外部デカップリングキャパシタ間、および外部デカップリングキャパシタとグランド間の配線は、物理的に可能な限り短く幅広くしてください。

TSCAP 端子に接続されているコンデンサは、接続確立のためスイッチを ON (CTSUCR1.CTSUCSW ビット = 1) にする前に、I/O ポート制御により Low を出力させ、十分放電させてください。

40.4.6 計測動作時 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項

計測中 (CTSUCR0.CTSUSTRT ビット = 1) には、システムの上位レイヤから「周辺クロックの停止」や「タッチ端子 (TSn 端子、TSCAP 端子) に関わるポート設定の変更」を行わないでください。

これらの制限に違反する制御を設定し、動作が強制停止 (CTSUCR0.CTSUSTRT = 0 および CTSUCR0.CTSUINIT = 1) された場合は、CTSUCR1.CTSUPON ビットと CTSUCR1.CTSUCSW ビットに 0 を同時に書き込み、CTSUCR0.CTSUSNZ ビットを 0 にしてください。次に、[図 40.9](#) の初期設定フローから再開してください。

41. データ演算回路 (DOC)

41.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に該当する場合、割り込みが発生します。

表 41.1 に DOC の仕様を、図 41.1 にブロック図を示します。

表 41.1 DOCの仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
モジュール停止機能	モジュール停止状態に設定して消費電力を削減
割り込みとイベントリンク機能 (DOC_DOPCI)	割り込みの発生条件 - データ比較の結果が一致または不一致のとき - データ加算の結果がFFFFhより大きくなったとき - データ減算の結果が0000hより小さくなったとき

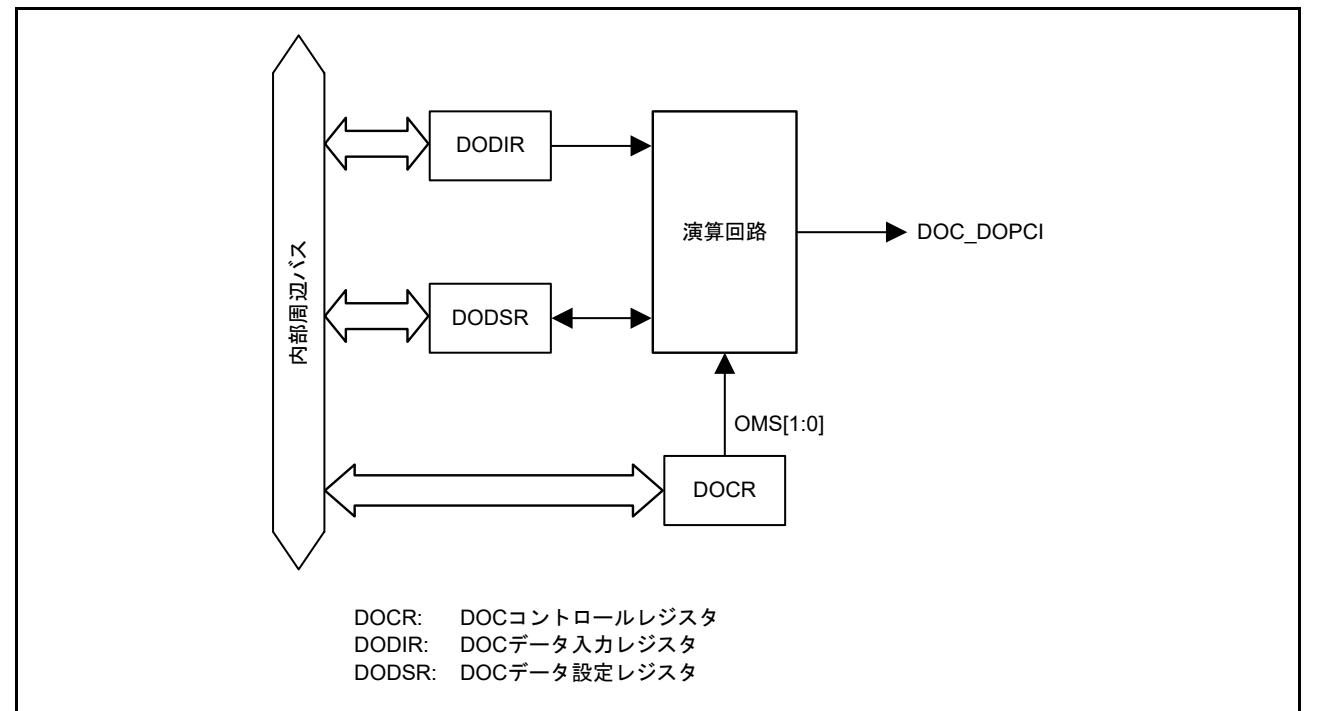


図 41.1 DOC ブロック図

41.2 レジスタの説明

41.2.1 DOC コントロールレジスタ (DOCR)

アドレス [DOC.DOCR 4005 4100h](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	DOPCF CL	DOPCF	—	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定禁止	R/W
b2	DCSEL (注1)	検出条件選択	0 : データの不一致検出時に DOPCF を設定 1 : データの一致検出時に DOPCF を設定	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します。	R
b6	DOPCFCL	DOPCF クリア	0 : DOPCF フラグ状態を保存 1 : DOPCF フラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. データ比較モード選択時のみ有効

[OMS\[1:0\]](#) ビット (動作モード選択)

DOC の動作モードを選択します。

[DCSEL](#) ビット (検出条件選択)

データ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

[DOPCF](#) フラグ (データ演算回路フラグ)

[1 になる条件]

- [DCSEL](#) ビットで選択した条件になったとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

[0 になる条件]

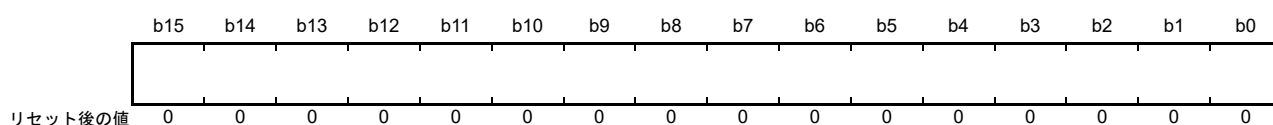
- [DOPCFCL](#) ビットに 1 を書き込んだとき

[DOPCFCL](#) ビット (DOPCF クリア)

本ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

41.2.2 DOC データインプットレジスタ (DODIR)

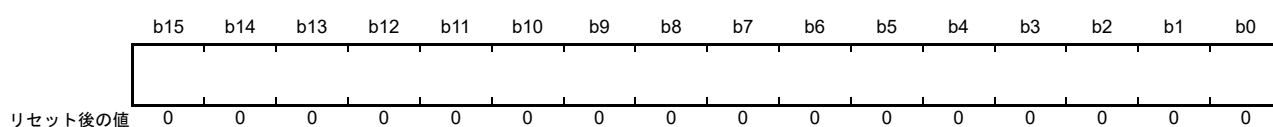
アドレス [DOC.DODIR 4005 4102h](#)



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し／書き込みレジスタです。

41.2.3 DOC データ設定レジスタ (DODSR)

アドレス [DOC.DODSR 4005 4104h](#)



DODSR は、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットの読み出し／書き込みレジスタです。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

41.3 動作説明

41.3.1 データ比較モード

図 41.2 にデータ比較モードの DOC 動作例を示します。以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

1. DOCR.OMS[1:0] ビットに 00b を書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを設定します。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DOCR.DCSEL = 0 のとき、DODIR レジスタに書き込まれたデータが DODSR レジスタ内のデータと一致しなかったとき、DOCR.DOPCF フラグが 1 になります。

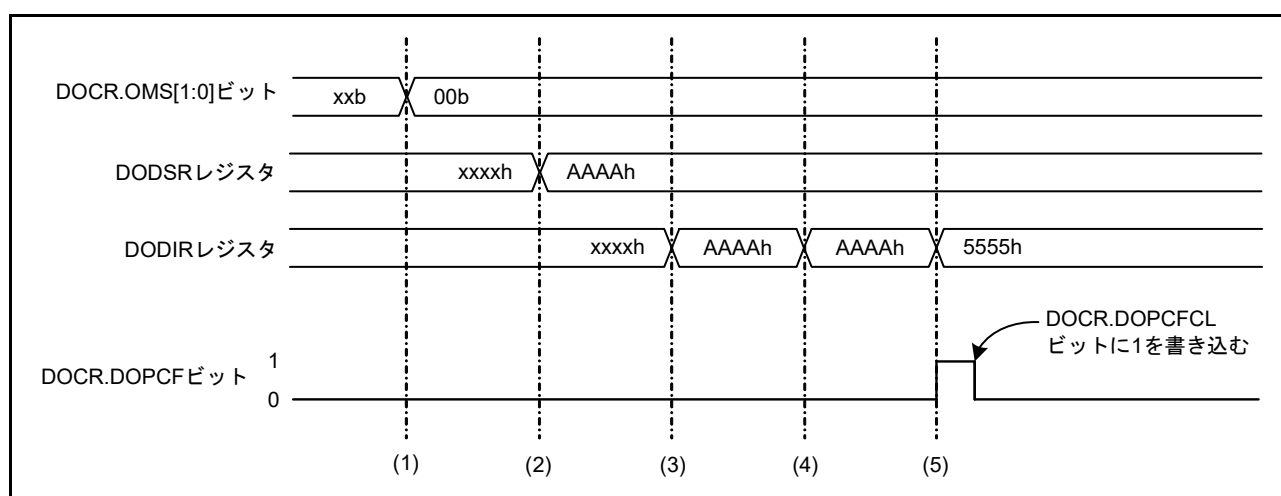


図 41.2 データ比較モードの動作例

41.3.2 データ加算モード

図 41.3 にデータ加算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が FFFFh よりも大きくなったとき DOCR.DOPCF フラグが 1 になります。

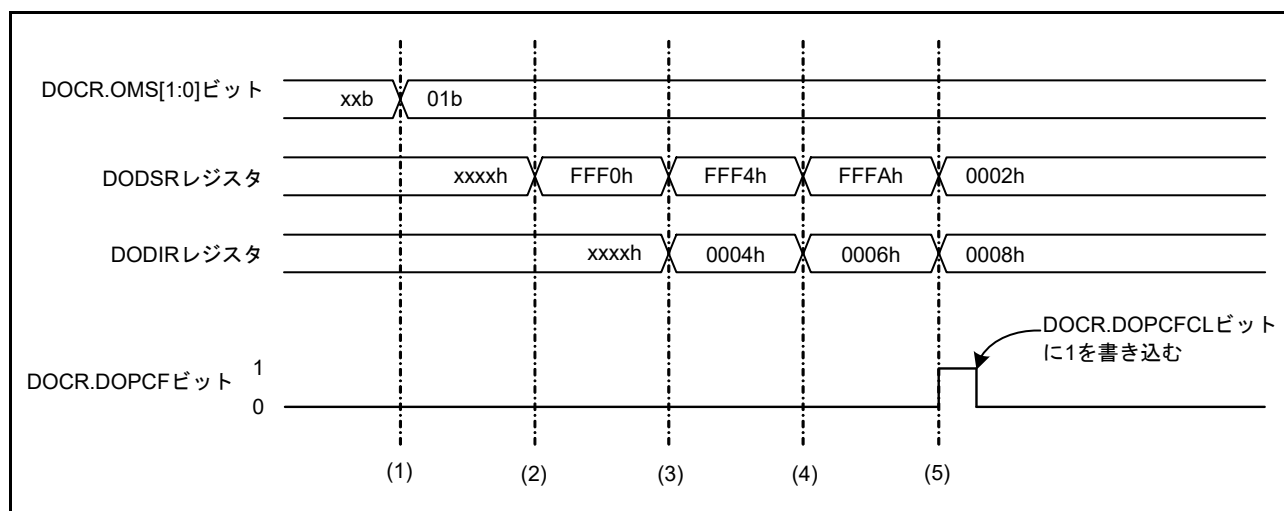


図 41.3 データ加算モードの動作例

41.3.3 データ減算モード

図 41.4 にデータ減算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 減算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

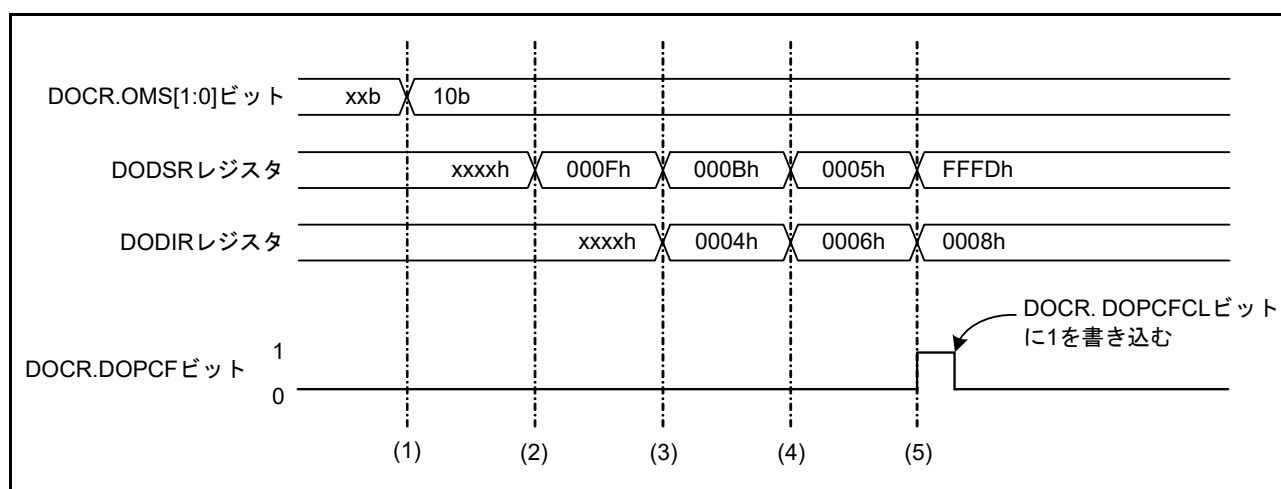


図 41.4 データ減算モードの動作例

41.4 割り込み要求とイベントリンクコントローラ (ELC) 出力

DOC は以下の条件で ELC にイベント信号を出力します。

- データ比較の結果が一致または不一致のとき
- データの加算結果が FFFFh より大きいとき
- データの減算結果が 0000h より小さいとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、データ演算回路フラグ (DOCR.DOPCF) が 1 になります。

41.5 使用上の注意事項

41.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作許可/禁止を設定できます。DOC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

42. SRAM

42.1 概要

本 MCU は、パリティビットチェック機能または誤り訂正コード（ECC）を備えたオンチップ高速 SRAM モジュールを搭載しています。ECC の対象は SRAM0 の最初の 16KB 領域です。パリティチェックは、その他の領域で実行されます。

SRAM の仕様を [表 42.1](#) に示します。

表 42.1 SRAM の仕様

項目	内容（ECC なしの場合）	内容（ECC ありの場合）
SRAM 容量	SRAM0 : 16KB	SRAM0（ECC 領域） : 16KB
SRAM アドレス	SRAM0 : 2000 4000h ~ 2000 7FFFh	SRAM0（ECC 領域） : 2000 0000h ~ 2000 3FFFh
アクセス（注1）	0 ウェイト	
モジュールストップ機能	なし	
パリティ	8 ビットデータと 1 ビットパリティの偶数パリティ	パリティなし
エラーチェック機能	偶数パリティエラーチェック	1 ビット誤り訂正、最大 2 ビットの誤り検出

注 . SRAM0（ECC なし）と Trace_RAM は共有されます。Trace_RAM の仕様については、ARM® CoreSight™ MTB-M23 *Technical Reference Manual* (ARM DDI 0564C) を参照してください。

注 1. 詳細は、[42.3.6 アクセスサイクル](#)を参照してください。

42.2 レジスタの説明

42.2.1 SRAM パリティエラー検出後動作レジスタ (PARIOAD)

アドレス [SRAM.PARIOAD 4000 2000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OAD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1: リセット 0: ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このビットに書き込む前に、必ず SRAMPRCR の SRAMPRCR ビットを設定してください。SRAM アクセス中は PARIOAD レジスタへの書き込みは行わないでください。

[OAD ビット \(検出後の動作\)](#)

パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。OAD ビットは、SRAM0 (ECC なし) で使用されます。

42.2.2 SRAM プロテクトレジスタ (SRAMPRCR)

アドレス [SRAM.SRAMPRCR 4000 2004h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KW[6:0]							SRAMP RCR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SRAMPRCR	レジスタ書き込み制御	0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	SRAMPRCR ビットへの書き込みを許可または禁止します。	R/W

[SRAMPRCR ビット \(レジスタ書き込み制御\)](#)

SRAMPRCR ビットは、PARIOAD レジスタのライトモードを制御します。1 にすると PARIOAD レジスタへの書き込みが許可されます。このビットに書き込む場合、同時に KW[6:0] を 78h にしてください。

[KW\[6:0\] ビット \(書き込みキーコード\)](#)

SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、同時に KW[6:0] ビットを 78h にしてください。それ以外の値を KW[6:0] に書き込むと、SRAMPRCR ビットは更新されません。KW[6:0] は読むと常に 00h が読み出されます。

42.2.3 ECC 動作モードコントロールレジスタ (ECCMODE)

アドレス **SRAM.ECCMODE 4000 20C0h**

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	ECCMOD[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ECCMOD[1:0]	ECC 動作モード選択	b1 b0 0 0 : ECC機能は無効 0 1 : 設定禁止 1 0 : ECC機能は有効／エラーチェックなし 1 1 : ECC機能は有効／エラーチェックあり	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ECCMODE レジスタは ECC の動作モードを設定するレジスタです。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。本レジスタへ書き込む前に、ECCPRCR レジスタの ECCPRCR ビットを 1 (ライトプロテクション機能が無効) にしてください。SRAM アクセス中は ECCMODE レジスタへの書き込みは行わないでください。

ECCMOD[1:0] ビット (ECC 動作モード選択)

SRAM0 の ECC 領域へのアクセスモードを設定します。

42.2.4 ECC 2 ビットエラーステータスレジスタ (ECC2STS)

アドレス **SRAM.ECC2STS 4000 20C1h**

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ECC2ERR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC2ERR	ECC 2ビットエラーステータス	0 : ECC 2ビットエラー発生なし 1 : ECC 2ビットエラー発生あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC2ERR ビット (ECC 2 ビットエラーステータス)

SRAM0 の ECC 領域で ECC 2 ビットエラーが発生したかどうかを示します。ECC 動作が有効でエラーチェックありの場合、2 ビットエラーが検出されると ECC2ERR ビットが 1 になります。SRAM エラー信号も同時にアサートされます。ECC2ERR ビットに 0 を書き込むことで、ECC 2 ビットエラーをクリアできます。SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 の ECC 領域にはアクセスしないでください。

42.2.5 ECC 1 ビットエラー情報更新イネーブルレジスタ (ECC1STSEN)

アドレス **SRAM.ECC1STSEN 4000 20C2h**

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	E1STS EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	E1STSEN	ECC 1 ビットエラー情報更新許可	0 : ECC 1 ビットエラー情報の更新禁止 1 : ECC 1 ビットエラー情報の更新許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ECC1STSEN レジスタは、SRAM0 (ECC 領域) の ECC 1 ビットエラー発生時に、ECC 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可または禁止します。

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。本ビットへ書き込む前に、ECCPRCR レジスタの ECCPRCR ビットを 1 (ライトプロテクション機能が無効) にしてください。

E1STSEN ビット (ECC 1 ビットエラー情報更新許可)

SRAM0 の ECC 領域における 1 ビットエラー発生時に、SRAM (ECC 領域) 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可または禁止します。本レジスタは、割り込みまたはリセットマスクとしても機能します。

42.2.6 ECC 1 ビットエラーステータスレジスタ (ECC1STS)

アドレス **SRAM.ECC1STS 4000 20C3h**

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECC1E RR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC1ERR	ECC 1 ビットエラーステータス	0 : ECC 1 ビットエラー発生なし 1 : ECC 1 ビットエラー発生あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ビットをクリアするための0の書き込みのみ可能です。

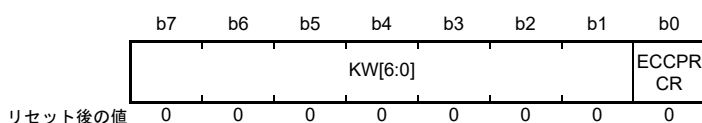
ECC1ERR ビット (ECC 1 ビットエラーステータス)

SRAM0 の ECC 領域で ECC 1 ビットエラーが発生したかどうかを示します。ECC 動作が有効で、誤り訂正が選択されており、1 ビットエラー情報の更新が許可されている場合、1 ビットエラーが検出されると ECC1ERR ビットが 1 になり、SRAM エラー信号も同時にアサートされます。ECC1ERR ビットに 0 を書き込むことで、ECC 1 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 の ECC 領域にはアクセスしないでください。

42.2.7 ECC プロテクトレジスタ (ECCPRCR)

アドレス [SRAM.ECCPRCR 4000 20C4h](#)



ビット	シンボル	ビット名	機能	R/W
b0	ECCPRCR	レジスタ書き込み制御	0 : 保護対象のレジスタへの書き込みを禁止 1 : 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	ECCPRCR ビットへの書き込みを許可または禁止します。	R/W

ECCPRCR ビット (レジスタ書き込み制御)

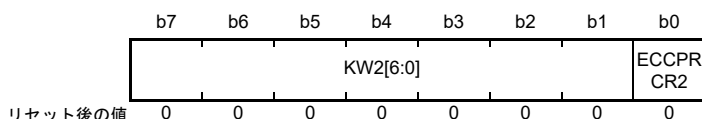
ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタのライトモードを制御します。本ビットが 1 のとき、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタへの書き込みが許可されます。本ビットに書き込むとき、同時に KW[6:0] ビットに 78h を書き込んでください。

KW[6:0] ビット (書き込みキーコード)

ECCPRCR ビットへの書き込みを許可または禁止します。ECCPRCR ビットに書き込むとき、同時に KW[6:0] ビットに 78h を書き込んでください。それ以外の値を KW[6:0] ビットに書き込むと、ECCPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 00h が読み出されます。

42.2.8 ECC プロテクトレジスタ 2 (ECCPRCR2)

アドレス [SRAM.ECCPRCR2 4000 20D0h](#)



ビット	シンボル	ビット名	機能	R/W
b0	ECCPRCR2	レジスタ書き込み制御	0 : 保護対象のレジスタへの書き込みを禁止 1 : 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW2[6:0]	書き込みキーコード	ECCPRCR2 ビットへの書き込みを許可または禁止します。	R/W

ECCPRCR2 ビット (レジスタ書き込み制御)

ECCETST レジスタのライトモードを制御します。本ビットが 1 のとき、ECCETST レジスタへの書き込みが許可されます。本ビットに書き込むとき、同時に KW2[6:0] ビットに 78h を書き込んでください。

KW2[6:0] ビット (書き込みキーコード)

ECCPRCR2 ビットへの書き込みを許可または禁止します。ECCPRCR2 ビットに書き込むとき、同時に KW2[6:0] ビットに 78h を書き込んでください。それ以外の値を KW2[6:0] ビットに書き込むと、ECCPRCR2 ビットは更新されません。KW2[6:0] ビットは読むと常に 00h が読み出されます。

42.2.9 ECC テストコントロールレジスタ (ECCETST)

アドレス [SRAM.ECCETST 4000 20D4h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TSTBY P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTBYP	ECC バイパス選択	0 : ECC バイパスは無効 1 : ECC バイパスは有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

本レジスタへの書き込みは ECC プロテクトレジスタ 2 (ECCPRCR2) によって保護されています。本ビットへ書き込むときは、ECCPRCR2 レジスタの ECCPRCR2 ビットを 1 (ライトプロテクション機能が無効) にしてください。本レジスタの書き込み中は SRAM にアクセスしないでください。

TSTBYP ビット (ECC バイパス選択)

ECC 機能をバイパスして、ECC コードへの直接アクセスを許可します。ECC バイパス機能を使用するときは、ECCMODE.ECCMOD[1:0] ビットを 00b にします。ECC は、32 ビットデータと同じアドレスを使用して、32 ビット単位でアクセスする必要があります。ECC コードは 32 ビットデータの下位 7 ビットに割り当てられています。ECC コードを書き込むときは、上位 25 ビットは無視されます。ECC コードを読み出すときは、上位 25 ビットは不定です。

注． ECC テストの詳細については、[42.3.3 ECC デコーダのテスト方法](#)を参照してください。

42.2.10 SRAM ECC エラー検出後動作レジスタ (ECCOAD)

アドレス [SRAM.ECCOAD 4000 20D8h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OAD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1 : リセット 0 : ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。本ビットへ書き込む前に、ECCPRCR レジスタの ECCPRCR ビットを 1 (ライトプロテクション機能が無効) にしてください。SRAM アクセス中は本レジスタへの書き込みは行わないでください。

OAD ビット (検出後の動作)

ECC エラーが検出された場合にリセットとノンマスカブル割り込みのどちらを発生させるか選択します。ECCOAD.OAD ビットは、SRAM0 (ECC 領域) で使用されます。

42.2.11 トレースコントロール (MTB 用)

マイクロトレースバッファ (MTB) には、トレース機能の動作を制御するプログラマブルレジスタ、POSITION レジスタ、MASTER レジスタ、FLOW レジスタ、BASE レジスタがあります。以下に、ベースアドレスのオフセット順にレジスタを提示します。

ベースアドレス : 4001 9000h

ベースアドレス + 000h: リセット時の MTB_POSITION 値 : ビット [31:0] = UNKNOWN

ベースアドレス + 004h: リセット時の MTB_MASTER 値 : ビット [31] = 0, ビット [30:10] = UNKNOWN,
ビット [9:8] = 0, ビット [7] = 1, ビット [6:5] = 0,
ビット [4:0] = UNKNOWN

ベースアドレス + 008h: リセット後の MTB_FLOW 値 : ビット [31:2] = UNKNOWN, ビット [1:0] = 0

ベースアドレス + 00Ch: リセット後の MTB_BASE 値 : ビット [31:0] = 2000 4000h

上記レジスタについて、詳しくは、*ARM® CoreSight™ MTB-M23 Technical Reference Manual* (ARM DDI 0564C) を参照してください。

注 . 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。予期せぬ動作が発生する可能性があります。

トレース用の MTB は 2000 4000h ~ 2000 7FFFh の範囲に制限されています。

42.2.12 CoreSight™ (MTB 用)

レジスタおよびアクセスタイプについて、詳しくは、*ARM® CoreSight™ Architecture Specification* を参照してください。以下にベースアドレスのオフセット順にレジスタを提示しています。

ベースアドレス : 4001 9000h

ベースアドレス + FF0h ~ FFCh : コンポーネント ID

ベースアドレス + FE0h ~ FDCh : 周辺 ID

ベースアドレス + FCCCh : デバイス種別 ID

ベースアドレス + FC8h : デバイス構成

ベースアドレス + FBCh : デバイスアーキテクチャ

ベースアドレス + FB8h : 認証状態

ベースアドレス + FB4h : ロック状態

ベースアドレス + FB0h : ロックアクセス

上記レジスタについて、詳しくは、*ARM® CoreSight™ MTB-M23 Technical Reference Manual* (ARM DDI 0564C) を参照してください。

注 . 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。予期せぬ動作が発生する可能性があります。

42.3 動作説明

42.3.1 ECC 機能

ECC 機能は、ECCMODE レジスタの設定によって、有効または無効に設定可能です。デフォルトでは、ECC 機能は無効で、ECC チェックのタイプは SEC-DED (Single-Error-Correction/Double-Error-Detection : 単一誤り訂正 / 二重誤り検出) です。

ECC 機能が有効な場合、書き込み時は、32 ビットのデータに 7 ビットのチェックビットが付与されます。読み出し時は、SRAM (ECC 領域) から 39 ビットデータ (32 ビットのデータと 7 ビットのチェックビット) が読み出されます。

ECC 機能とエラーチェックの両方が有効の場合、1 ビットエラーが発生すると誤り訂正が実行され、ECC1STSEN.E1STSEN ビットが 1 のときは ECC1STS.ECC1ERR ビットが 1 になります。2 ビットエラーが発生すると、誤りが検出され (誤り訂正なし)、ECC2STS.ECC2ERR ビットが 1 になります。

「ECC 有効 / エラーチェックなし」の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、ECC1STSEN.E1STSEN ビットが 1 でも ECC1STS.ECC1ERR ビットは更新されません。2 ビットエラーが発生すると、誤りが検出されますが ECC2STS.ECC2ERR ビットは更新されず、誤り訂正も実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。そのため、ECC1ERR ビットまたは ECC2ERR ビットの更新は行われません。

エラーを検出した場所は確認できません。そのため、エラー発生後は SRAM に 32 ビットデータを書き込んで、すべてのデータを更新してください。

電源投入後は SRAM データは不定であるため、ECC 機能とエラーチェックの両方が有効の場合、SRAM にアクセスを行うと ECC エラーが発生します。この問題を避けるには、ECC 機能を使用する前に、SRAM で使用する領域に 32 ビットデータを書き込んでください。

ライトアクセスの後にリードアクセスが続いて発生すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

42.3.2 ECC エラー発生

SRAM0 (ECC 領域) が「ECC 有効 / エラーチェックあり」のとき、ECC 2 ビットエラーを示す ECC2STS.ECC2ERR ビット、または ECC 1 ビットエラーを示す ECC1STS.ECC1ERR ビットのいずれかが 1 になると、ECC エラーが発生します。

ECC 1 ビットエラーをマスクする場合は、ECC1STSEN.E1STSEN ビットを 0 にして、ECC1ERR ビットの更新を禁止してください。ECC 無効時、または「ECC 有効 / エラーチェックなし」の場合、ECC エラーは発生しません。

ECC エラーは、ECCOAD レジスタでの指定に基づきノンマスカブル割り込みまたはリセットのいずれかを発生させます。ECCOAD.OAD ビットが 1 のとき、ECC エラーはリセット機能に出力されます。ECCOAD.OAD ビットが 0 のとき、ECC エラーはノンマスカブル割り込みとして ICU に出力されます。

42.3.3 ECC デコーダのテスト方法

図 42.1 に ECC デコーダのテスト方法を示します。

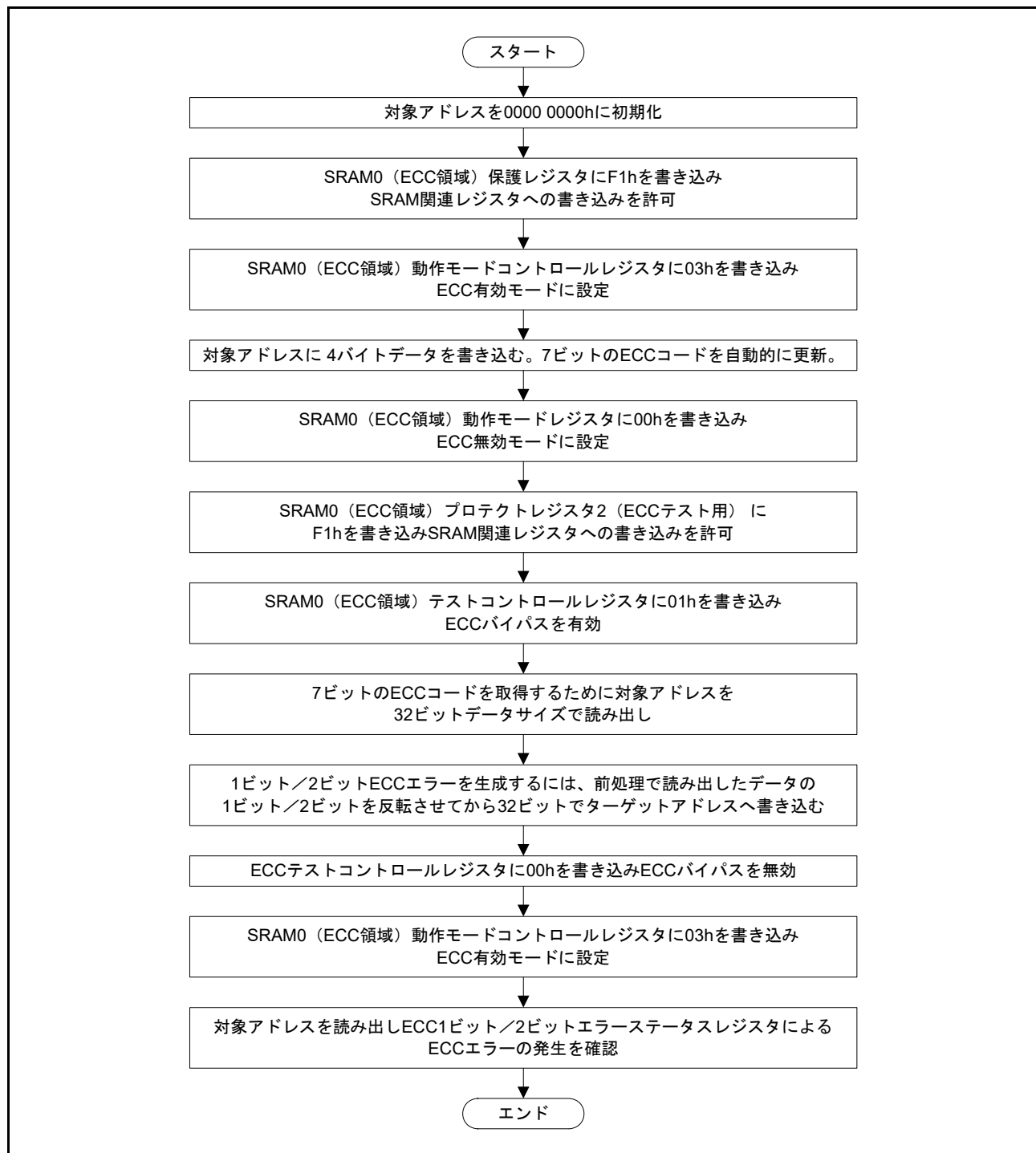


図 42.1 ECC デコーダのテスト方法

42.3.4 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に 32 ビットデータ幅の SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。SRAM0 の仕様は、ECC なしの場合、偶数パリティです。

パリティエラー通知には、PARIOAD.OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかを指定できます。OAD が 1 のとき、パリティエラーはリセット機能に出力されます。OAD が 0 のとき、パリティエラーはノンマスブル割り込みとして ICU に出力されます。

パリティエラーはしばしばノイズにより発生します。パリティエラーの原因がノイズか破損かを確認するには、[図 42.2](#) および [図 42.3](#) に示されたパリティチェックフローに従ってください。

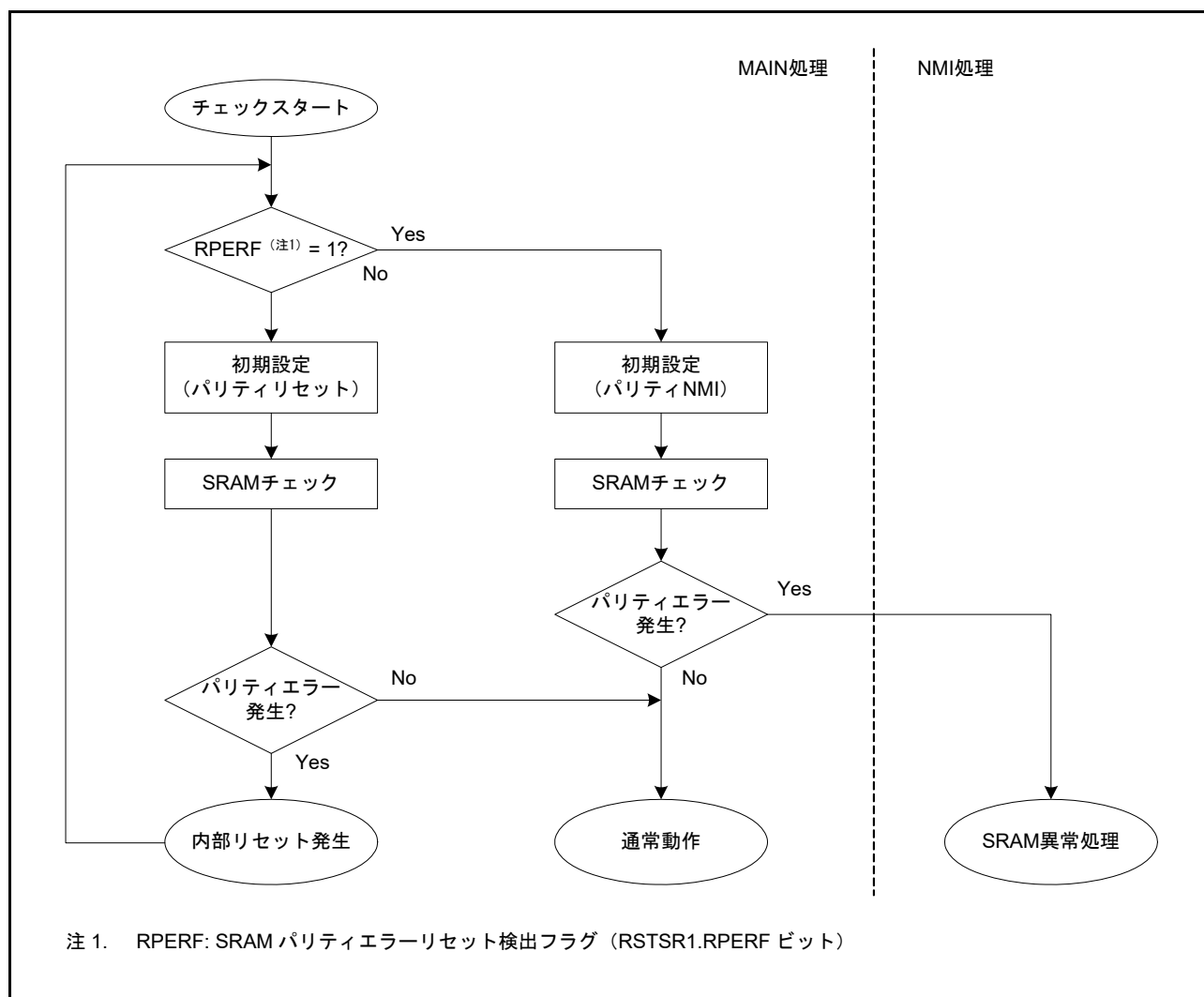


図 42.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー

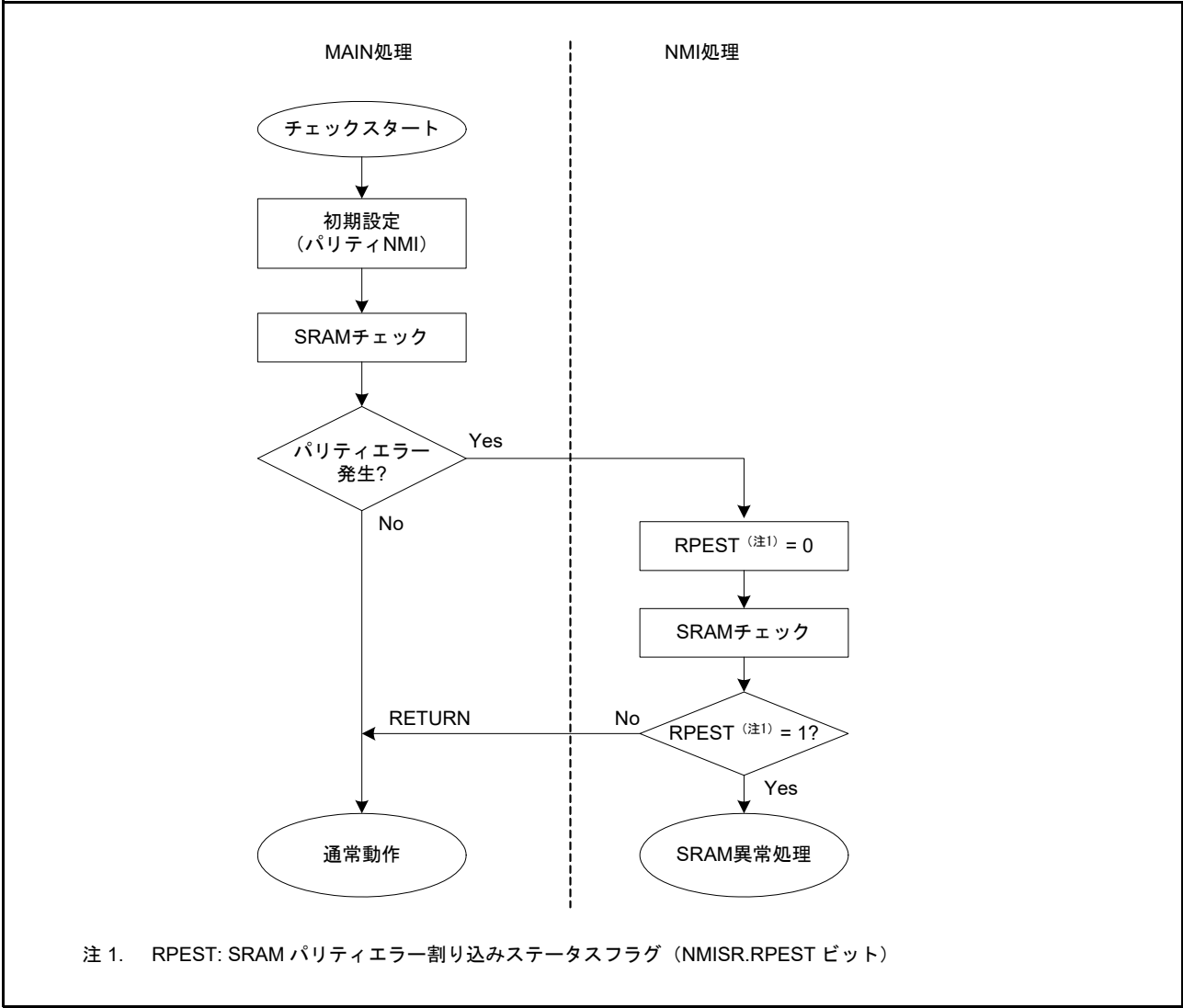


図 42.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

42.3.5 SRAM エラー要因

SRAM エラーの原因は、ECC エラーまたはパリティエラーのいずれかです。ECC エラーまたはパリティエラーは、PARIOAD.OAD ビットの選択に基づき、ノンマスカブル割り込みまたはリセットのいずれかを発生させることが可能です。SRAM パリティエラーでは、TDC の起動はサポートされていません。

表 42.2 SRAM エラー要因

SRAM エラー要因	DTC の起動
ECC エラー (ECC ありの SRAM0 領域)	不可能
パリティエラー (ECC なしの SRAM0 領域)	不可能

42.3.6 アクセスサイクル

表 42.3 SRAM0 (ECC 領域 2000 0000h ~ 2000 3FFFh)

	リード (サイクル)		ライト (サイクル)	
	ワードアクセス	ハーフワード/ バイトアクセス	ワードアクセス	ハーフワード/ バイトアクセス
ECC オフ ECCMOD[1] = 0	2		2	
ECC オン ECCMOD[1] = 1	2		2	4

表 42.4 SRAM0 (パリティ領域 2000 4000h ~ 2000 7FFFh)

リード (サイクル)		ライト (サイクル)	
ワードアクセス	ハーフワード/バイトアクセス	ワードアクセス	ハーフワード/バイトアクセス
2		2	

42.4 使用上の注意事項

42.4.1 SRAM 領域からの命令フェッチ

SRAM0 を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない SRAM 領域から CPU がデータをプリフェッチすると、ECC エラーまたはパリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 2 バイト領域を初期化してください。これらの領域の初期化には、NOP 命令の使用を推奨します。

42.4.2 SRAM のストアバッファ

SRAM と CPU 間的高速アクセスには、ストアバッファが使用されます。SRAM へのストア命令の後に同じアドレスからロード命令が実行されると、そのロード命令は SRAM のデータではなくバッファからデータを読み出す場合があります。SRAM のデータを正確に読み出すには、以下の手順のうちいずれかを使用します。

- SRAM (アドレス = A) に書き込んだ後、NOP 命令を使用し、SRAM (アドレス = A) を読み出します。
- SRAM (アドレス = A) に書き込んだ後、SRAM (アドレス = A) 以外の領域からデータを読み出し、SRAM (アドレス = A) を読み出します。

43. フラッシュメモリ

43.1 概要

本 MCU は、256KB のコードフラッシュメモリと 8KB のデータフラッシュメモリを内蔵しています。フラッシュコントロールブロック (FCB) は、プログラムコマンドを制御します。

表 43.1 に、コードフラッシュメモリとデータフラッシュメモリの仕様を、図 43.1 に関連モジュールのブロック図を示します。図 43.2 にコードフラッシュメモリの構成を、図 43.3 にデータフラッシュメモリの構成を示します。

表 43.1 コードフラッシュメモリとデータフラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	ユーザ領域：256KB	データ領域：8KB
リードサイクル	32MHz < ICLK 周波数 ≤ 48MHz キャッシュヒット：1サイクル キャッシュミス：2～3サイクル - ICLK 周波数 ≤ 32MHz キャッシュヒット：1サイクル キャッシュミス：1サイクル	バイトアクセス時には FCLK 6 サイクルでのリード (FCLK 周波数 ≤ 32MHz)
イレース後の値	FFh	FFh
プログラム／イレース方式	- レジスタに設定した FCB コマンドを使用してコードフラッシュメモリおよびデータフラッシュメモリをプログラム／イレース - 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム (シリアルプログラミング) - ユーザプログラムによるフラッシュメモリのプログラム (セルフプログラミング)	
セキュリティ機能	フラッシュメモリの不正改ざん／不正リードを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
BGO (バックグラウンドオペレーション) 機能	データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム／イレース単位	- ユーザ領域へのプログラム：64ビット単位 - ユーザ領域のイレース：2KB 単位	- データ領域へのプログラム：8ビット単位 - データ領域のイレース：1KB 単位
その他の機能	セルフプログラミング中の割り込み受け付け	
	本 MCU の初期設定でフラッシュメモリ拡張領域 (オプションバイト) の設定可能	
オンボードプログラミング	シリアルプログラミングモード (SCI ブートモード) でのプログラム - 調歩同期式シリアルインタフェース (SCI9) を使用 - 転送速度は自動調整 シリアルプログラミングモード (USB ブートモード (注1)) でのプログラム - USBFS を使用 - 専用ハードウェアが不要で、PC と直結可能 オンチップデバッグモードでのプログラム - SWD インタフェースを使用 - 専用ハードウェアは必要なし ユーザプログラム中のコードフラッシュメモリ／データフラッシュメモリ書き換えルーチンによるプログラム - システムをリセットすることなくコードフラッシュメモリ／データフラッシュメモリのプログラムが可能	

注 1. 32 ピン製品では USB ブートモードは存在しません。

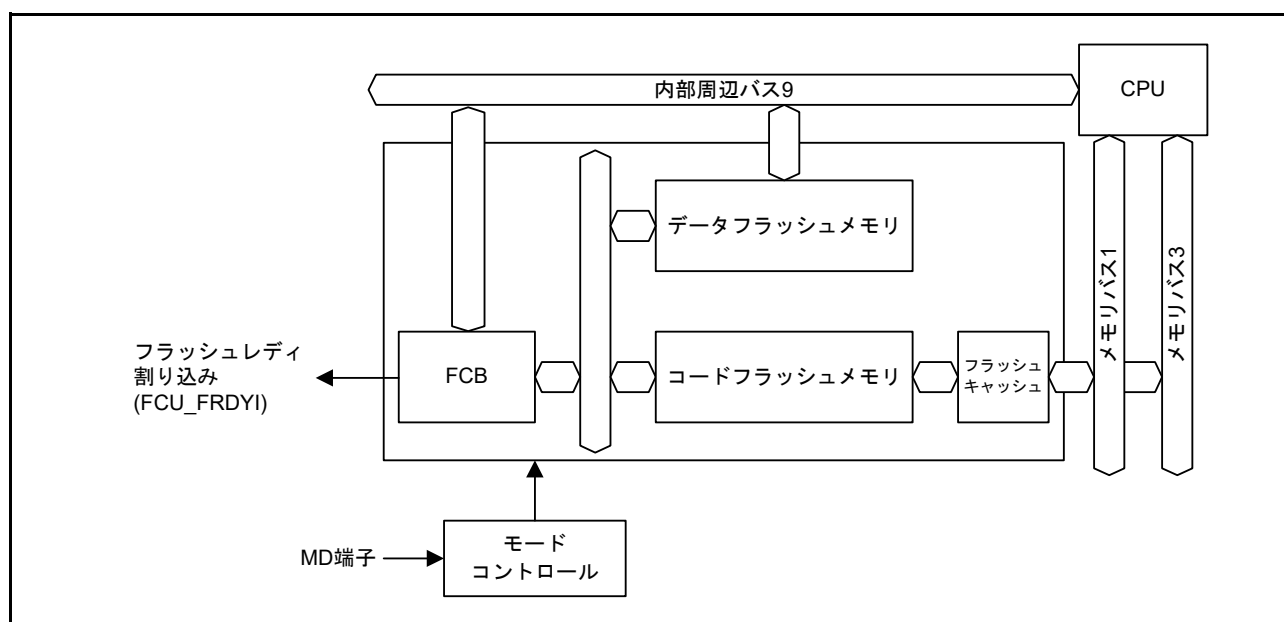


図 43.1 フラッシュメモリ関連モジュールのブロック図

43.2 メモリ構造

図 43.2 にコードフラッシュメモリのマッピングを、表 43.5 にコードフラッシュメモリのリードアドレスとプログラム/イレースアドレスを示します。コードフラッシュメモリのユーザ領域は 2KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザ領域は、ユーザプログラムの格納に使用できます。

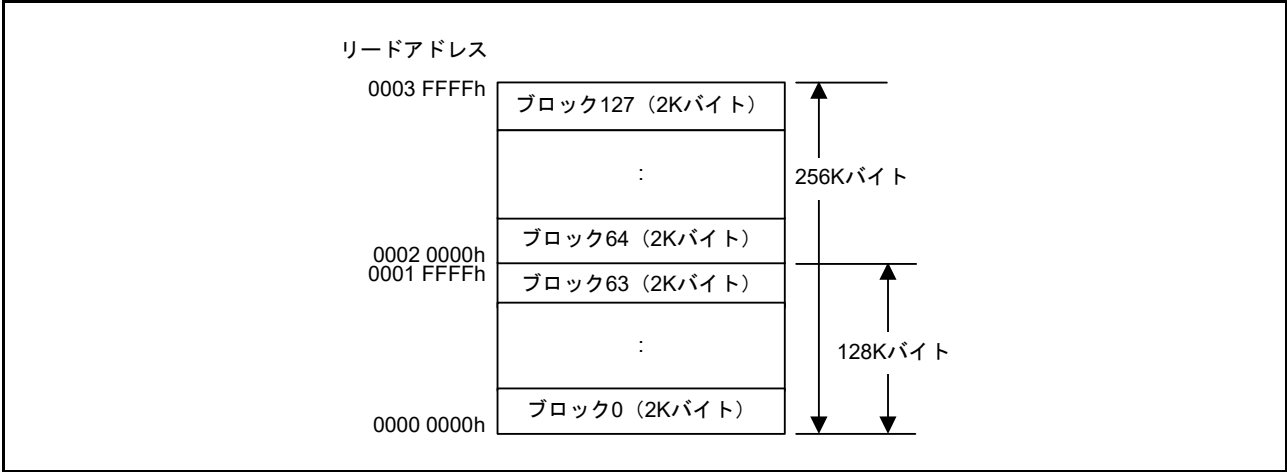


図 43.2 コードフラッシュメモリマッピング

表 43.2 コードフラッシュメモリのリードアドレスとP/Eアドレス

コードフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック数
256KB	0000 0000h～0003 FFFFh	0000 0000h～0003 FFFFh	0～127

データフラッシュメモリのデータ領域は 1KB のブロックに分割されており、各ブロック単位でイレース可能です。図 43.3 にデータフラッシュメモリのマッピングを、表 43.5 にデータフラッシュメモリのリードアドレスとプログラム/イレースアドレスを示します。

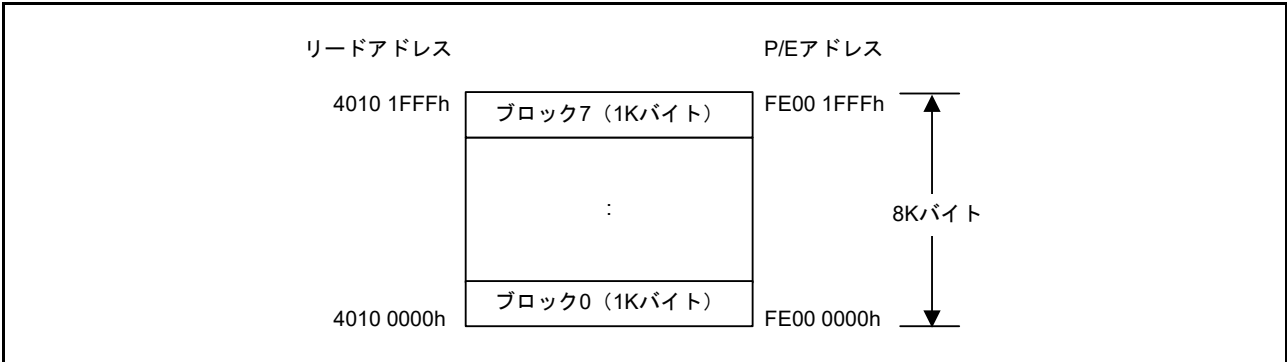


図 43.3 データフラッシュメモリマッピング

表 43.3 データフラッシュメモリのリードアドレスとP/Eアドレス

データフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック数
8KB	4010 0000h～4010 1FFFh	FE00 0000h～FE00 1FFFh	0～7

43.3 フラッシュキャッシュ

43.3.1 概要

フラッシュキャッシュ (FCACHE) は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DTC で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 43.4 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h ~ 007F FFFFh	0000 0000h ~ 007F FFFFh	0000 0000h ~ 007F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPU オペランドアクセスおよび CPU 以外からのアクセス	FLPF
容量	128 バイト	8 バイト	16 バイト
アソシアティブ方式	2 ウェイセットアソシアティブ • 64 ビット/エントリ (64 ビット 整列データ) • 8 エントリ/ウェイ	フルアソシアティブ • 64 ビット/エントリ (64 ビット 整列データ) • 1 エントリ	- • 64 ビット/エントリ (64 ビット 整列データ) • 2 エントリ • 前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット: 0 ウェイト キャッシュミス: SYSTEM.MEMWAIT レジスタ設定に従う: MEMWAIT = 0: 0 ウェイト MEMWAIT = 1: 1 ~ 2 ウェイト	キャッシュヒット: 0 ウェイト キャッシュミス: SYSTEM.MEMWAIT レジスタ設定に従う: MEMWAIT = 0: 0 ウェイト MEMWAIT = 1: 1 ~ 2 ウェイト	キャッシュヒット: 0 ウェイト キャッシュミス: SYSTEM.MEMWAIT レジスタ設定に従う: MEMWAIT = 0: 0 ウェイト MEMWAIT = 1: 1 ~ 2 ウェイト

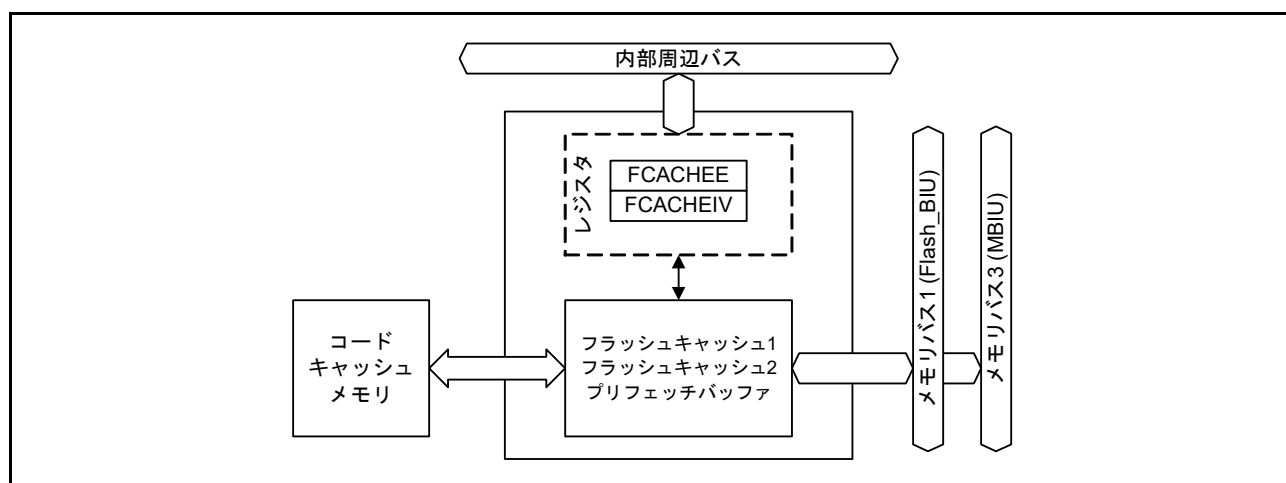


図 43.4 FCACHE のブロック図

43.4 レジスタの説明

43.4.1 フラッシュキャッシュイネーブルレジスタ (FCACHEE)

アドレス FCACHE.FCACHEE 4001 C100h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEE	FCACHE 許可	0 : FCACHE 禁止 1 : FCACHE 許可	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FCACHE1、FCACHE2、および FLPF のフラッシュキャッシュ機能を許可または禁止します。FCACHEIV.FCACHEIV には影響しません。FCACHE が許可されている場合、HPROT[3] ビット設定はそれがキャッシュابلなのかノンキャッシュابلなのかを決定します。HPROT[3] の詳細は、「[14.5 フラッシュキャッシュ使用時の注意事項](#)」を参照してください。

43.4.2 フラッシュキャッシュインバリデートレジスタ (FCACHEIV)

アドレス FCACHE.FCACHEIV 4001 C104h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEIV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEIV	フラッシュキャッシュインバリデート	- 読み出し : 0 : インバリデートしない 1 : インバリデートする - 書き込み : 1 を書くと FCACHE をインバリデートします。0 を書くと無視されます。	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FCACHEIV.FCACHEIV ビットに 1 を書くと、FCACHE1、FCACHE2、および FLPF のフラッシュキャッシュデータがインバリデートされます。

43.4.3 データフラッシュコントロールレジスタ (DFLCTL)

アドレス FLCN.DFLCTL 407E C090h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DFLEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	データフラッシュアクセス有効	0: データフラッシュアクセス無効 1: データフラッシュアクセス有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DFLCTL レジスタはデータフラッシュへのアクセス（読み出し、書き込み、消去）を許可、あるいは禁止します。DFLCTL.DFLEN ビットを設定した後、データフラッシュからの読み出しや、プログラミング/イレースモードに入る前に、データフラッシュ STOP 復帰時間（ t_{DSTOP} ）が必要です。

データフラッシュ STOP 復帰時間は動作モードによって異なります。

<動作モードごとの設定時間>

- High-speed 動作モード：5 μ s
- Middle-speed 動作モード：720ns
- Low-speed 動作モード：720ns
- Low-voltage 動作モード：10 μ s

43.4.4 ファクトリ MCU インフォメーションフラッシュルートテーブル (FMIFRT)

アドレス 407F B19Ch

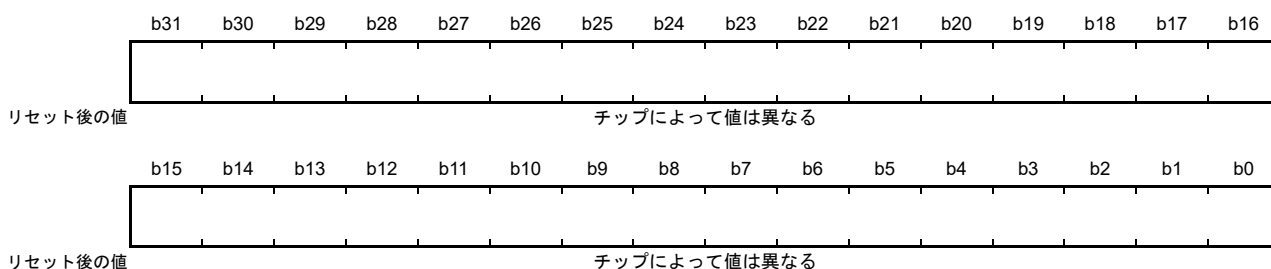
b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
製品によって値は異なる															
製品によって値は異なる															

ビット	機能	R/W
b31-b0	ユニークIDのベースアドレス	R

FMIFRT レジスタは読み出し専用のレジスタで、ユニーク ID レジスタ、型名レジスタ、MCU バージョンレジスタのベースアドレスを格納しています。FMIFRT は 32 ビット単位で読み出してください。RA2A1 MCU のベースアドレスは 0x0100_3C00 です。

43.4.5 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)

アドレス UIDR0 FMIFRT+14h, UIDR1 FMIFRT+18h, UIDR2 FMIFRT+1Ch, UIDR3 FMIFRT+20h



ビット	機能	R/W
b31-b0	ユニーク ID	R

UIDRn レジスタは読み出し専用のレジスタで、チップ固有の 16 バイトの ID (ユニーク ID) を格納しています。UIDRn は 32 ビット単位で読み出してください。

43.4.6 型名レジスタ n (PNRn) (n = 0 ~ 3)

アドレス PNR0 FMIFRT+24h, PNR1 FMIFRT+28h, PNR2 FMIFRT+2Ch, PNR3 FMIFRT+30h



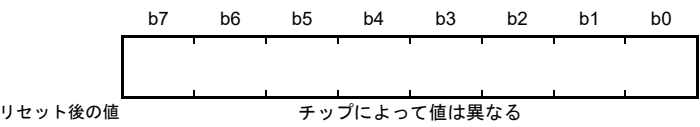
ビット	機能	R/W
b31-b0	製品の型名	R

PNRn レジスタは読み出し専用のレジスタで、16 バイトの型名を格納しています。PNRn レジスタは 32 ビット単位で読み出してください。各バイトは、表 1.13 製品リストの型名の ASCII コード表現に対応しています。型名の最初の文字 (“R”、ASCII コードでは 0x52) は、アドレスが最小のバイト (FMIFRT + 24h) に格納されています。

型名の例 : R7FA2A1AB3CFM

43.4.7 MCU バージョンレジスタ (MCUVER)

アドレス FMIFRT+44h



ビット	機能	R/W
b7-b0	MCUバージョン	R

MCUVER レジスタは読み出し専用のレジスタで、MCU バージョンを格納しています。MCUVER レジスタは 8 ビット単位で読み出してください。この値が大きいほど、MCU バージョンは新しいです。

43.5 動作説明

フラッシュ動作を設定して有効にするには FCACHEE レジスタを使用します。フラッシュキャッシュを設定してフラッシュメモリの書き換えの準備を行うには、以下を実行します。

1. FCACHEE.FCACHEEN をリセットしてフラッシュキャッシュを禁止します。(注 1)
2. ICLK 周波数に対して必要に応じて MEMWAIT.MEMWAIT ビットを設定し、OPCCR レジスタと SOPCCR レジスタで電力制御モードを設定します。
3. FCACHEIV.FCACHEIV を設定してフラッシュキャッシュをインバリデートします。
4. FCACHEIV.FCACHEIV が 0 であることを確認します。
5. FCACHEE.FCACHEEN を設定してフラッシュキャッシュを許可します。

注 . フラッシュキャッシュ有効時、動作モード（読み出しモード、ウェイトモード）を変更しないでください。

注 1. リセット後の最初の設定でフラッシュキャッシュを禁止にする必要はありません。

43.5.1 フラッシュキャッシュ使用における注意

CPU からのアクセスでフラッシュキャッシュを使用する場合、Arm®MPU もキャッシュابلに設定する必要があります。

ARM®v8-M Architecture Reference Manual および ARM®Cortex®-M23 Processor User Guide を参照してください。

43.6 フラッシュメモリ関連の動作モード

図 43.5 にフラッシュメモリに関するモード遷移図を示します。モードの設定方法については、「3. 動作モード」を参照してください。

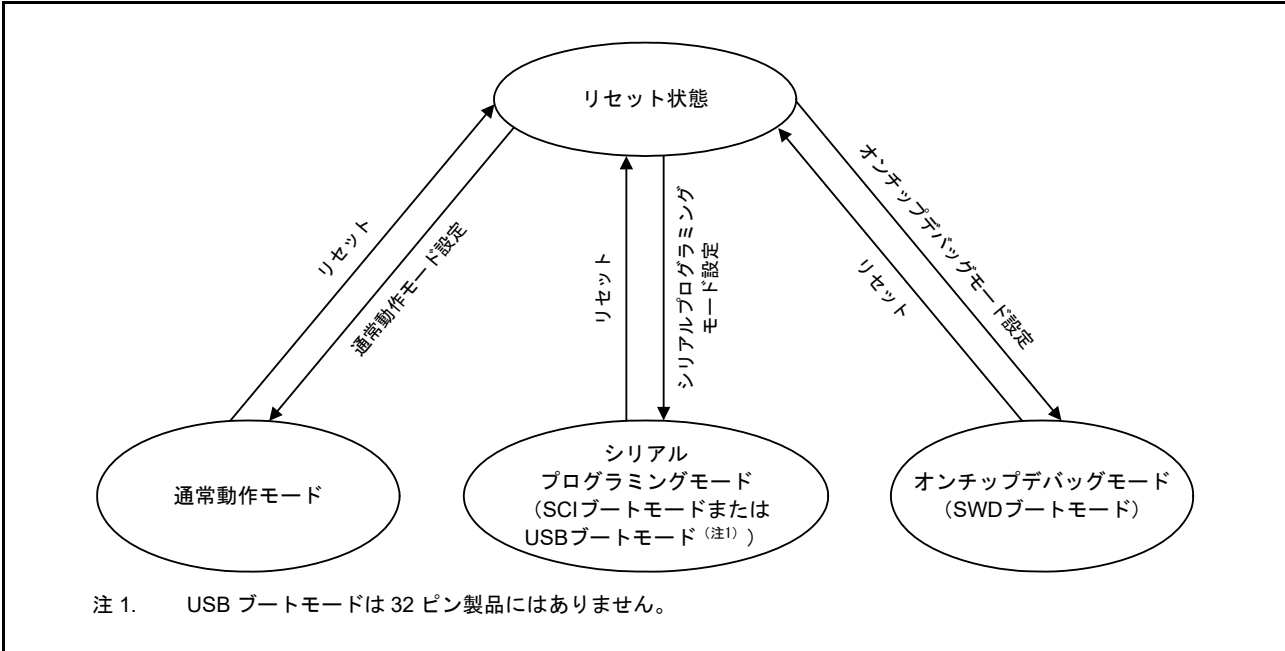


図 43.5 フラッシュメモリに関するモード遷移図

プログラム／イレースが可能なフラッシュメモリの領域、およびリセット時ブートプログラムを実行するフラッシュメモリの領域は各モードで異なります。表 43.5 に各モードの相違点を示します。

表 43.5 各モードの相違点

項目	通常動作モード	シリアルプログラムモード (SCI/USB ブートモード (注1))	オンチップデバッグモード (SWD ブートモード)
プログラム／イレースが可能な領域	• コードフラッシュメモリ • データフラッシュメモリ	• コードフラッシュメモリ • データフラッシュメモリ	• コードフラッシュメモリ • データフラッシュメモリ
ブロック単位イレース	可能	可能	可能
リセット時のブートプログラム	ユーザ領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

注 1. 32 ピン製品では USB ブートモードは存在しません。

43.6.1 ID コードプロテクト機能

この機能は、プログラミングとオンチップデバッグを禁止します。ID コードプロテクト機能が有効な場合、デバイスはホストが送信した ID コードをフラッシュメモリに格納されている ID コードと比較し、有効または無効にします。プログラミングとオンチップデバッグは、この 2 つが一致する場合に限り許可されます。

フラッシュメモリの ID コードは、32 ビットワード 4 つで構成されます。ID コードのビット 127 とビット 126 は、ID コードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。

ID コードがどのように認証方法を決定するかについて、[表 43.6](#) に示します。

表 43.6 IDコードプロテクト機能の仕様

ブートアップ時の動作モード	IDコード	プロテクト状態	プログラマまたはオンチップデバッガ接続時の動作
シリアルプログラミングモード (SCI/USB ブートモード (注1))	FFh, ..., FFh (全バイトがFFh)	プロテクト無効	ID コードは検証されません。ID コードは常に一致して、プログラマまたはオンチップデバッガへの接続が許可されます。
オンチップデバッグモード (SWD ブートモード)	ビット 127 = 1、ビット 126 = 1、かつ 16 バイトのうち少なくとも 1 つが FFh 以外	プロテクト有効	ID コード一致：認証が完了し、プログラマまたはオンチップデバッガへの接続を許可 ID コード不一致：ID コードプロテクト待機状態へ遷移 プログラマまたはオンチップデバッガから送られてきた ID コードが ASCII コードの ALeRASE (414C_6552_4153_45FF_FFFF_FFFF_FFFF_FF FFh) の場合、ユーザフラッシュ（コードフラッシュおよびデータフラッシュ）領域および構成領域の内容は消去されます。 ただし、FSPR ビットが 0 であれば、強制消去は実行されません。
	ビット 127 = 1、ビット 126 = 0	プロテクト有効	ID コード一致：認証が完了し、プログラマまたはオンチップデバッガへの接続を許可 ID コード不一致：ID コードプロテクト待機状態へ遷移
	ビット 127 = 0	プロテクト有効	ID コードは検証されません。ID コードは常に一致せず、プログラマまたはオンチップデバッガへの接続は禁止されていますが、ALeRASE コマンドは受け入れられます。ALeRASE コマンドの禁止については、 2.8.3.4 接続順序と SWD 認証の (1) OSIS の MSB が 0 (ビット[127] = 0) のとき を参照してください。ルネサスはテストモードへの遷移は保護されています。

注 1. 32 ピン製品では USB ブートモードは存在しません。

43.7 機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、または SWD インタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用して内蔵フラッシュメモリを書き換えることにより、ターゲットシステムへの実装前もしくは実装後にかかわらずデバイスのプログラムが可能です。また、ユーザプログラムの書き換えを禁止するセキュリティ機能により、第三者によるプログラムの改ざんを防止できます。

ユーザプログラムによるプログラミング（セルフプログラミング）は、システムの製造／出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 43.7 は、プログラミング方法と対応する動作モードを示しています。

表 43.7 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCIまたはUSBFSインタフェース経由で接続されている専用フラッシュメモリプログラムを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	SCIまたはUSBFSインタフェースおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラムを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	メモリにユーザプログラムを書き込んでから、シリアルプログラミングを実行することでも、フラッシュメモリの書き換えが可能です。セルフプログラミングによるデータフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行してデータフラッシュメモリを書き換えることができます。	通常動作モード
SWDプログラミング	SWD経由で接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	オンチップデバッグモード
	SWD経由で接続されている専用フラッシュメモリプログラマまたはオンチップデバッガ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	

内蔵フラッシュメモリの機能一覧を表 43.8 に示します。

シリアルプログラミングではシリアルプログラマコマンドを使用してください。セルフプログラミングでは、プログラミングコマンドを使用して内蔵フラッシュメモリの読み出しまたはユーザプログラムの実行を行ってください。

表 43.8 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	x	○
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	○	○
プログラム	指定したアドレスに書き込みを行います。	○	○
リード	フラッシュメモリにプログラムしたデータの読み出しを行います。	○	x (ユーザプログラムによる読み出しは可能)
IDコードチェック	ホストが送信したIDコードとROMに格納されているコードとを比較し、これら二つが一致する場合、FCBは待機状態に遷移してホストからのプログラミングとイレースコマンドを待ちます。	○	x (ID認証は行わない)
セキュリティ設定	シリアルプログラミング用のセキュリティ機能を設定します。	△ (有効から無効への設定切り替えのみ許可)	△ (有効から無効への設定切り替えのみ許可)
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	○	○

内蔵フラッシュメモリはIDコードセキュリティ機能をサポートしています。IDコード認証は、シリアルプログラミングとSWDプログラミングで使用できるセキュリティ機能です。内蔵フラッシュメモリでサポートされるセキュリティ機能を表 43.9 に、セキュリティ設定時の動作を表 43.10 に示します。

表 43.9 セキュリティ機能

機能	内容
ID認証	シリアルプログラミング時のシリアルプログラマ接続をID認証結果で制御可能です。

表 43.10 セキュリティ設定時の動作

機能	各セキュリティ設定時のイレース/プログラミング/読み出し動作		セキュリティ設定に関する制限事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	セルフプログラミングモード
ID認証	IDが不一致の場合 ・ブロックイレースコマンド：x ・プログラミングコマンド：x ・リードコマンド：x ・セキュリティ設定コマンド：x ・プロテクション設定コマンド：x IDが一致した場合 ・ブロックイレースコマンド：○ ・プログラミングコマンド：○ ・リードコマンド：○ ・セキュリティ設定コマンド：○ ・プロテクション設定コマンド：○	ID認証は行わない ・ブランクチェック：○ ・ブロックイレース：○ ・プログラミング：○ ・セキュリティ設定：○ ・プロテクション設定：○	ID認証は行わない

○：サポートあり、x：サポートなし

43.7.1 構成領域ビットマップ

図 43.6 に、ID 認証、スタートアップ領域の選択、アクセスウィンドウプロテクション、セキュリティ設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

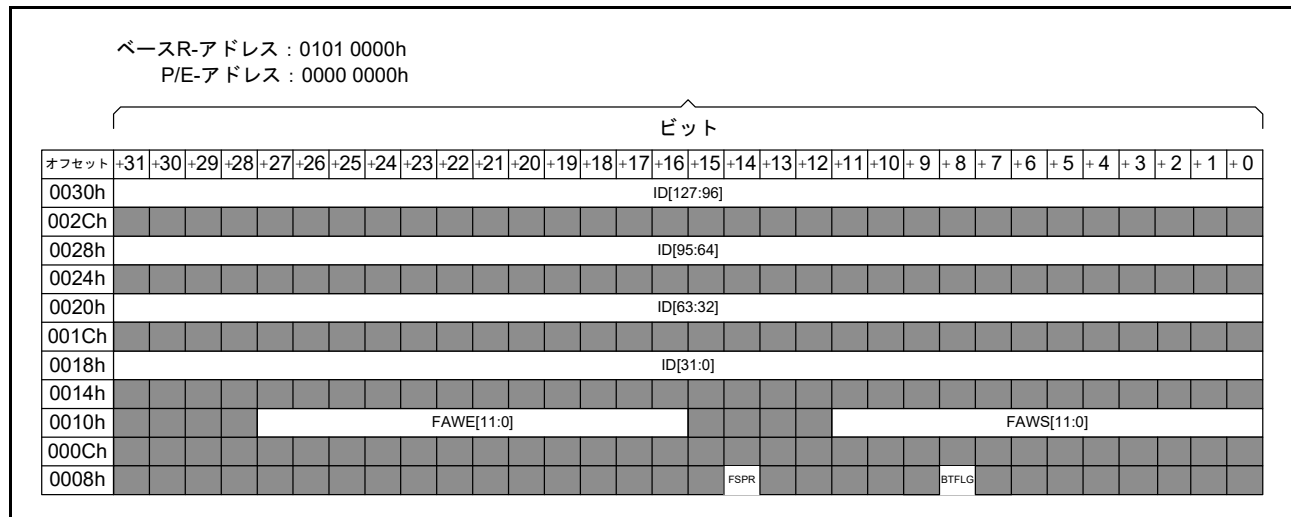


図 43.6 構成領域ビットマップ

43.7.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域は、ユーザ領域に配置された 8KB のスペースです。FCB は、構成領域または AWSC レジスタのスタートアップ領域選択フラグ (BTFLG) に基づきスタートアップ領域のアドレスを制御します。スタートアップ領域は FSPR ビットでロックすることが可能です。

図 43.7 に、スタートアッププログラムのプロテクションの概要を示します。

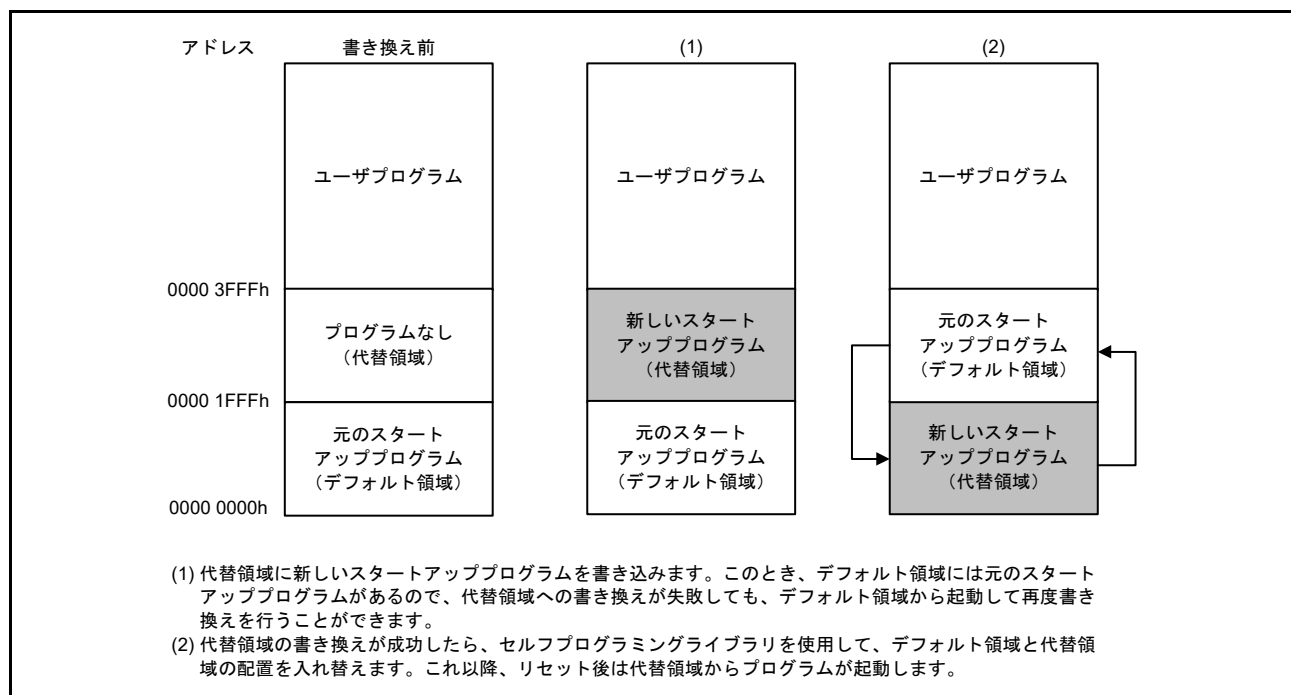


図 43.7 スタートアッププログラムプロテクションの概要

43.7.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザ領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。図 43.8 に、フラッシュ領域プロテクションの概要を示します。

アクセスウィンドウは、FAWS[11:0] ビットおよびFAWE[11:0] ビットの両方で指定されています（注1）。

以下に、各種条件でのFAWE[11:0] ビットおよびFAWS[11:0] ビットの設定を説明します。

- FAWE[11:0] = FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できる
- FAWE[11:0] > FAWS[11:0] : P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE[11:0] ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウにおいてのみ実行できる
- FAWE[11:0] < FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できない

注 1. AWS.FAWS[11:0] ビットおよびAWS.FAWE[11:0] ビットについては「7.2.5 アクセスウィンドウ設定レジスタ (AWS)」を参照してください。

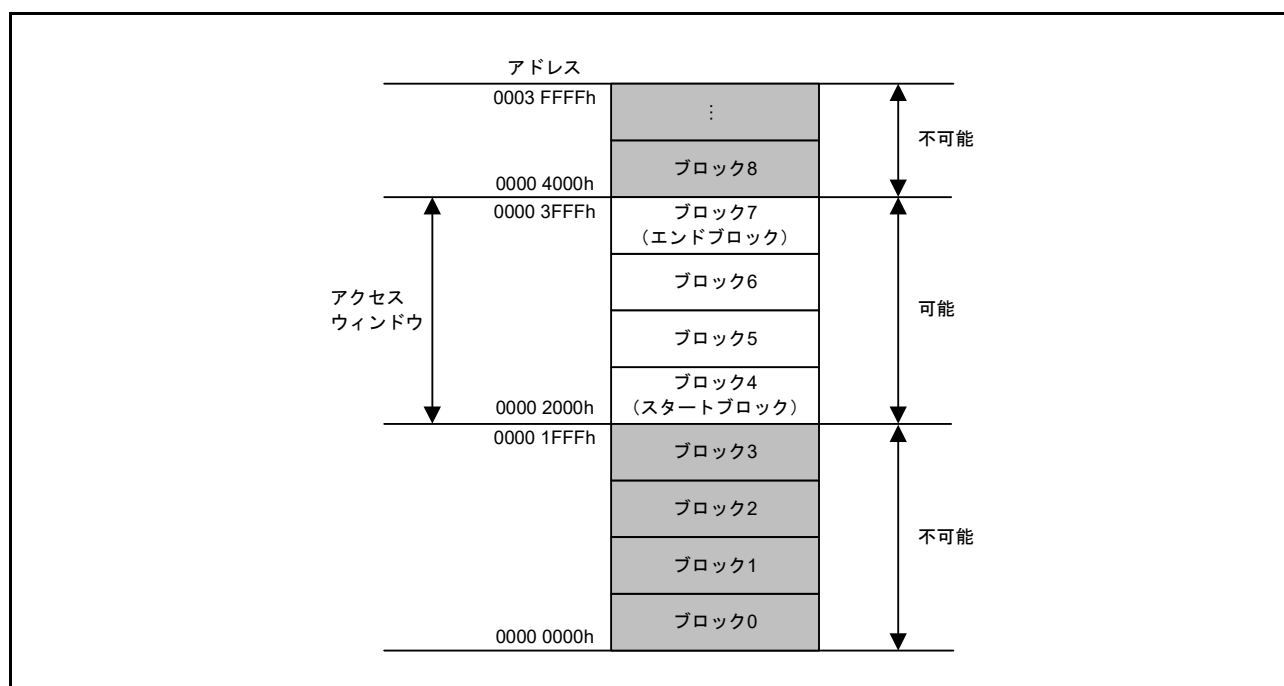


図 43.8 フラッシュ領域プロテクションの概要

43.8 プログラムコマンド

FCB は、プログラムコマンドを制御します。

43.9 サスペンド動作

強制停止コマンドは、ブランクチェックコマンドまたはブロックイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。これらのアドレス値をコピーすることにより、コマンド実行用レジスタをリセットした後、停止アドレスからコマンドを再開できます。

43.10 プロテクション機能

以下の種類のプロテクションが提供されています。

- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション

43.11 シリアルプログラミングモード

シリアルプログラミングモードには以下が含まれます。

- SCI9 を使用するブートモード
- USBFS を使用する USB ブートモード

表 43.11 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 43.11 フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	適用モード	機能
MD	入力	SCI ブートモード USB ブートモード (注1) (シリアルプログラミングモード)	動作モードの選択
P110/RXD9	入力	SCI ブートモード	ホスト通信における SCI 経由データ受信用
P109/TXD9	出力		ホスト通信における SCI 経由データ送信用
USB_DP, USB_DM	入出力	USB ブートモード (注1)	USB データの入出力
USB_VBUS	入力		USB ケーブルの接続／切断の検出

注. セキュリティ MPU が有効な場合、シリアルプログラミングモードは実行されません。

注 1. 32 ピン製品では USB ブートモードは存在しません。

43.11.1 SCI ブートモード

SCI ブートモードでは、ホストから制御コマンドやプログラミングデータを送信して、コードフラッシュメモリ領域およびデータフラッシュメモリ領域へのプログラム／イレースが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU を SCI ブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラムおよびイレースを制御します。リセット解除時に USB ケーブルが接続されていないはいけません。

図 43.9 に、SCI ブートモード時のシステム構成を示します。

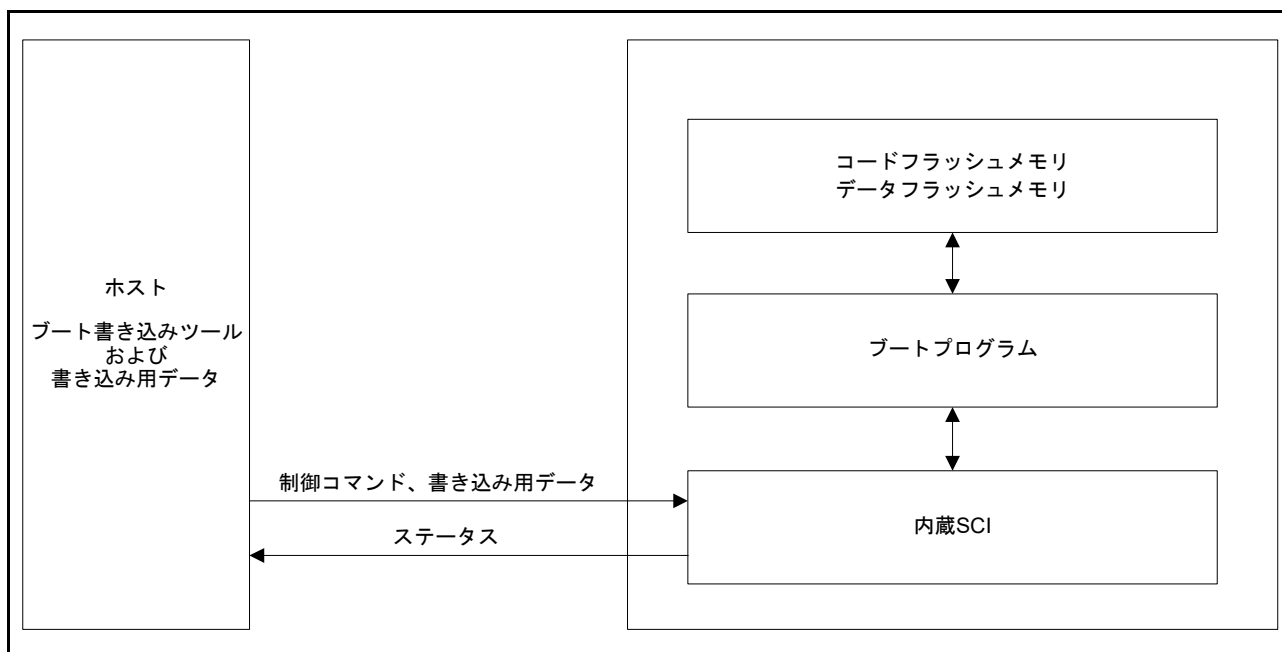


図 43.9 SCI ブートモード時のシステム構成

43.11.2 USB ブートモード

USB ブートモードは、USB インタフェースを経由して外部に接続されたホストから制御コマンドやプログラムデータを送信し、コードフラッシュメモリおよびデータフラッシュメモリへのプログラム/イレースを行うモードです。

USB ブートモードでは、制御コマンドやプログラムデータを送信するツールをホスト側に準備しておく必要があります。図 43.10 に、USB ブートモードでのシステム構成を示します。リセット解除時、USB ケーブルが接続されていないと機能しません。

USB セルフパワーシステムでは、VBUS の総消費電流は 100mA を越えないようにしてください。

注 . 32 ピン製品では USB ブートモードは存在しません。

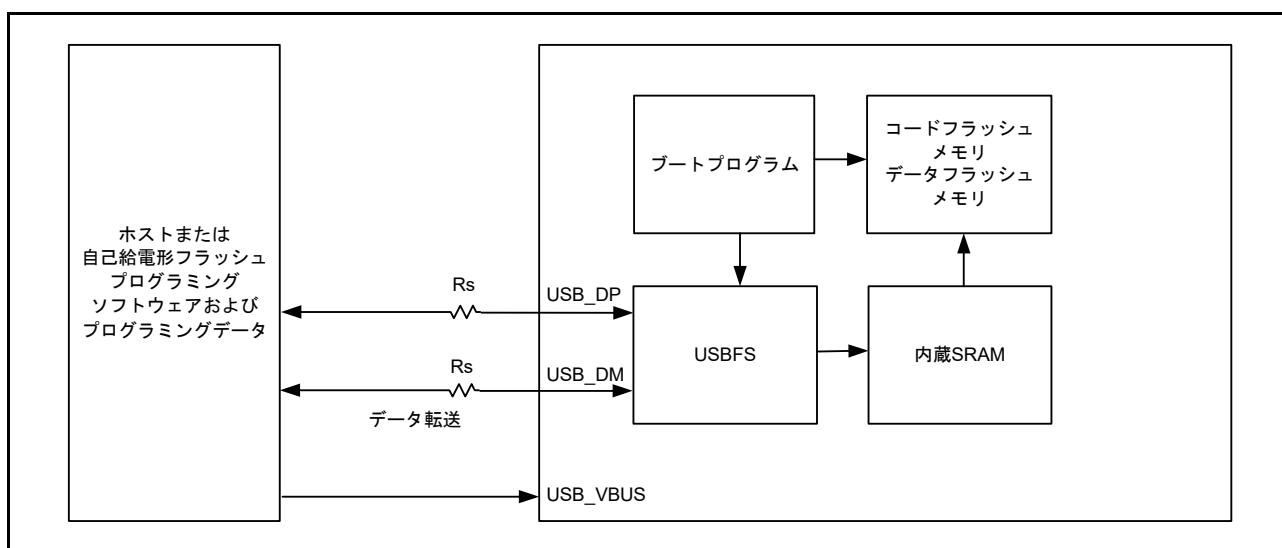


図 43.10 USB ブートモード時のシステム構成

43.12 シリアルプログラマを使用する場合

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリのプログラムを行うことができます。

43.12.1 シリアルプログラミング

本 MCU は、シリアルプログラミング用にシステムボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはプログラムを行うことができます。

図 43.11 に、本 MCU のフラッシュメモリにデータをプログラミングするための推奨される環境を示します。

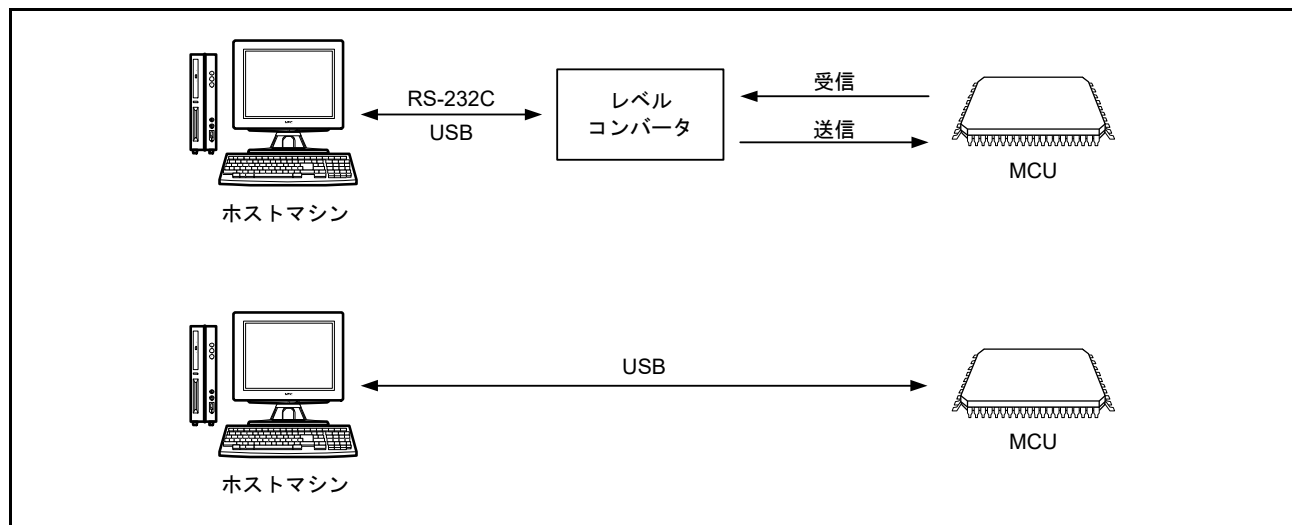


図 43.11 フラッシュメモリにプログラムを書き込むための環境

43.13 セルフプログラミング

43.13.1 概要

本 MCU は、ユーザプログラムによるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザのプログラムで使用するにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。したがって、ユーザプログラムの更新と、定数データフィールドの書き換えが可能になります。

バックグラウンドオペレーション機能を利用して表 43.12 に示す条件でコードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。このプログラムを事前に内蔵 SRAM に複製し、そこから実行することも可能です。内蔵 SRAM からの実行時、本プログラムはコードフラッシュメモリ領域を書き換えることもできます。

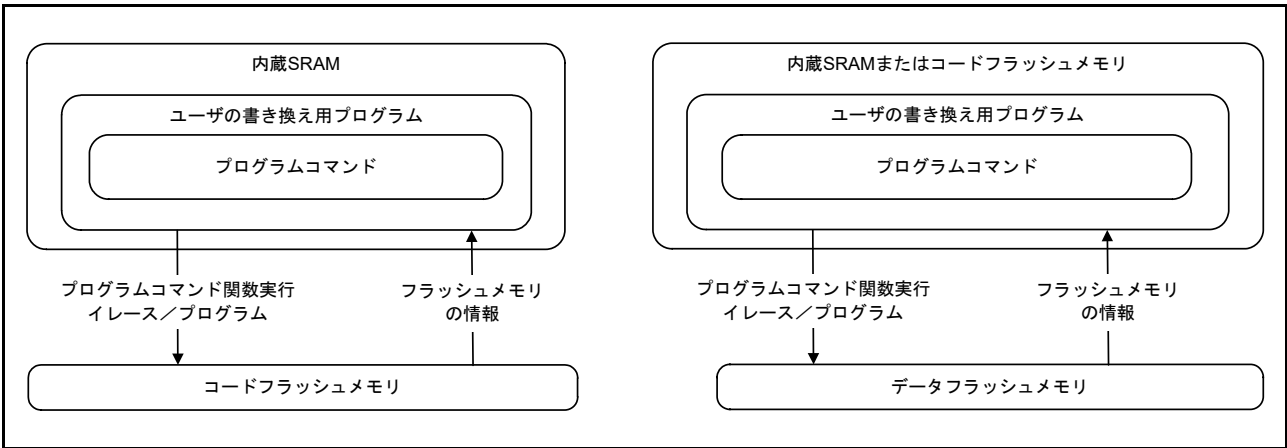


図 43.12 セルフプログラミングの概念

43.13.2 バックグラウンドオペレーション

書き込み対象および読み出し対象のフラッシュメモリが表 43.12 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することが可能です。

表 43.12 バックグラウンドオペレーションの利用可能な条件

製品	書き込み可能範囲	読み出し可能範囲
全製品	データフラッシュメモリ	コードフラッシュメモリ

43.14 フラッシュメモリの読み出し

43.14.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後にプログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、全ビットから 1 が読み出されます。

43.14.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。ただし、データフラッシュアクセス無効モードが読み出しを無効にするリセットを発行する場合を除きます。この場合、アプリケーションはデータフラッシュ読み出しモードへの遷移が必要です。イレース後にプログラミングしていない（未プログラム状態の）データフラッシュメモリを読み出すと、全ビットから 1 が読み出されます。

43.15 使用上の注意事項

43.15.1 イレースを中断した領域

イレース動作を中断した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を中断した領域でコマンドやデータリードを実行しないでください。

43.15.2 イレースサスペンドコマンドによる中断

イレース動作をイレースサスペンドコマンドで中断した場合、レジュームコマンドで動作を完了してください。

43.15.3 追加の書き込みに関する制約

構成領域を除き、同一領域に 2 回以上の書き込みを行うことはできません。フラッシュメモリ領域への書き込みが完了したら、その領域の書き換えを行う前にイレースしてください。構成領域は上書き可能です。

43.15.4 プログラム／イレース中のリセット

RES 端子からリセットを入力する場合、電気的特性で定義された動作電圧の範囲内で、 t_{RESW} 以上（「[47.3.3 リセットタイミング](#)」参照）のリセット入力時間を経過してからリセットを解除してください。

IWDT リセットおよびソフトウェアリセットでは、 t_{RESW} 入力時間は必要ありません。

43.15.5 プログラム／イレース中におけるノンマスカブル割り込みの禁止

プログラムまたはイレース中にノンマスカブル割り込み（注 1）が発生すると、コードフラッシュメモリからベクタがフェッチされ、不定データが読み出されます。そのため、コードフラッシュメモリのプログラムおよびイレース中に、ノンマスカブル割り込みを発生させないでください。この制約は、コードフラッシュメモリに限り適用されます。

注 1. ノンマスカブル割り込みとは、NMI 端子割り込み、発振停止検出割り込み、IWDT アンダーフロー／リフレッシュエラー、IWDT アンダーフローまたはリフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込み、SRAM パリティエラー、SRAM ECC エラー、MPU バススレーブエラー、MPU バスマスタエラー、または CPU スタックポインタモニタです。

43.15.6 プログラム／イレース中における割り込みベクタの配置

プログラム／イレース中に割り込みが発生すると、コードフラッシュメモリからベクタをフェッチできます。コードフラッシュメモリからベクタをフェッチしないようにするには、割り込み表でコードフラッシュメモリ以外の領域を割り込みベクタのフェッチ先に指定してください。

43.15.7 Low-speed モードでのプログラム／イレース

消費電力低減機能のために SOPCCR レジスタで Low-speed モードが選択されている場合、フラッシュメモリのプログラム／イレースは実行しないでください。

43.15.8 プログラム／イレース中の異常終了

プログラム／イレース中に電圧が動作電圧範囲を超えた場合、またはリセットや [43.15.9 プログラム／イレース中に禁止されているアクション](#) に記載の禁止動作が原因でプログラム／イレース動作が正常に終了しなかった場合、その領域を再度イレースしてください。

43.15.9 プログラム／イレース中に禁止されているアクション

フラッシュメモリの損傷を防ぐため、プログラム／イレース中は以下の指示に従ってください。

- 動作電圧範囲外の MCU 電源を使用しない
- OPCCR.OPCM[1:0] ビット値を更新しない
- SOPCCR.SOPCM ビット値を更新しない
- フラッシュインタフェースクロック（FCLK）の分周比を変更しない
- MCU をソフトウェアスタンバイモードにしない
- コードフラッシュメモリへのプログラム／イレース中にデータフラッシュメモリにアクセスしない
- データフラッシュメモリへのプログラム／イレース中にデータフラッシュアクセス制御設定を変更しない

44. AES エンジン

本情報を公開するには、守秘義務契約の締結が必要です。詳しくは、弊社営業担当までご連絡ください。

45. 真性乱数発生器 (TRNG)

本情報を公開するには、守秘義務契約の締結が必要です。詳しくは、弊社営業担当までご連絡ください。

46. 内部電圧レギュレータ

46.1 概要

本 MCU は、入出力、アナログドメイン以外の内部回路およびメモリに電圧を供給するリニアレギュレータ（LDO）を内蔵しています。

46.2 動作説明

表 46.1 に LDO モードの端子設定を、図 46.1 に LDO モードの設定を示します。LDO モードでは、内部電圧は VCC から生成します。

表 46.1 LDO モードの端子設定

端子	設定内容
全 VCC 端子	- システムの電源に接続してください 0.1μF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください
VCL 端子	4.7μF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください

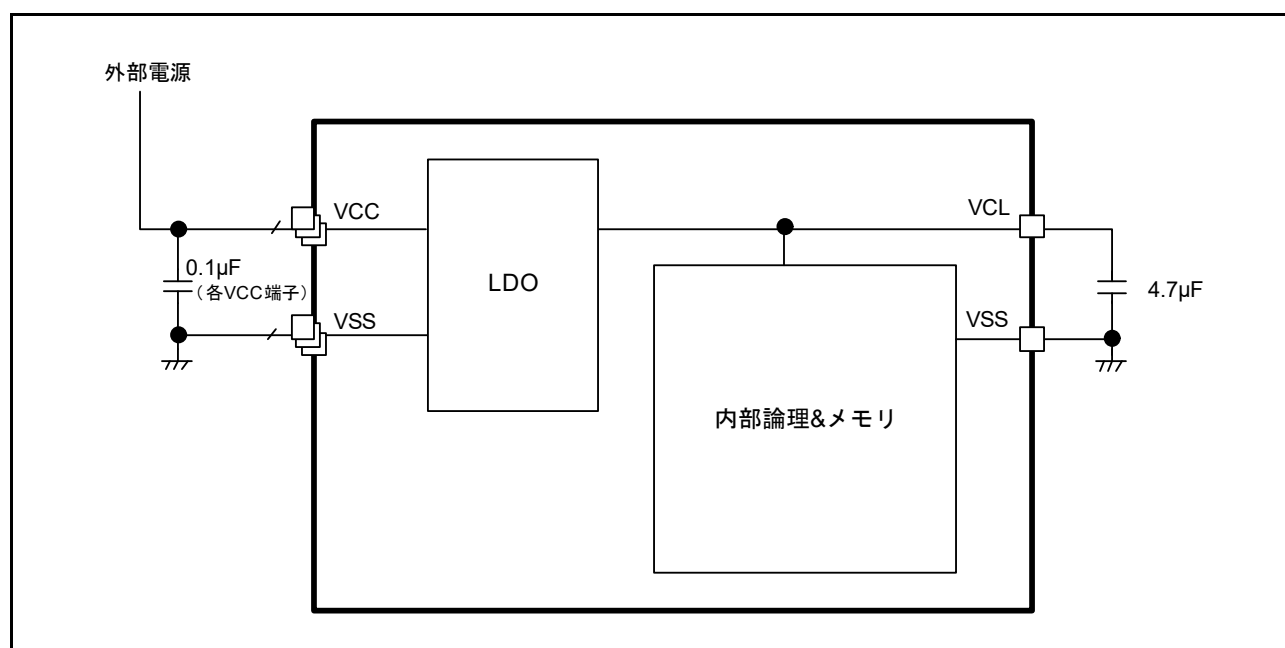


図 46.1 LDO モード設定

47. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- VCC (注1) = $AVCC0 = AVCC1 = VCC\_USB$ (注2) = VCC_USB_LDO (注2) = 1.6 ~ 5.5V
- $VREFH = VREFH0 = 1.6 \sim AVCC0$
- $VSS = AVSS0 = AVSS1 = VREFL = VREFL0 = VSS\_USB = 0V$
- $T_a = T_{opr}$

注 1. 通常は $VCC = 3.3V$ に設定されています。

注 2. USBFS 不使用時。

図 47.1 は、タイミング条件を示しています。

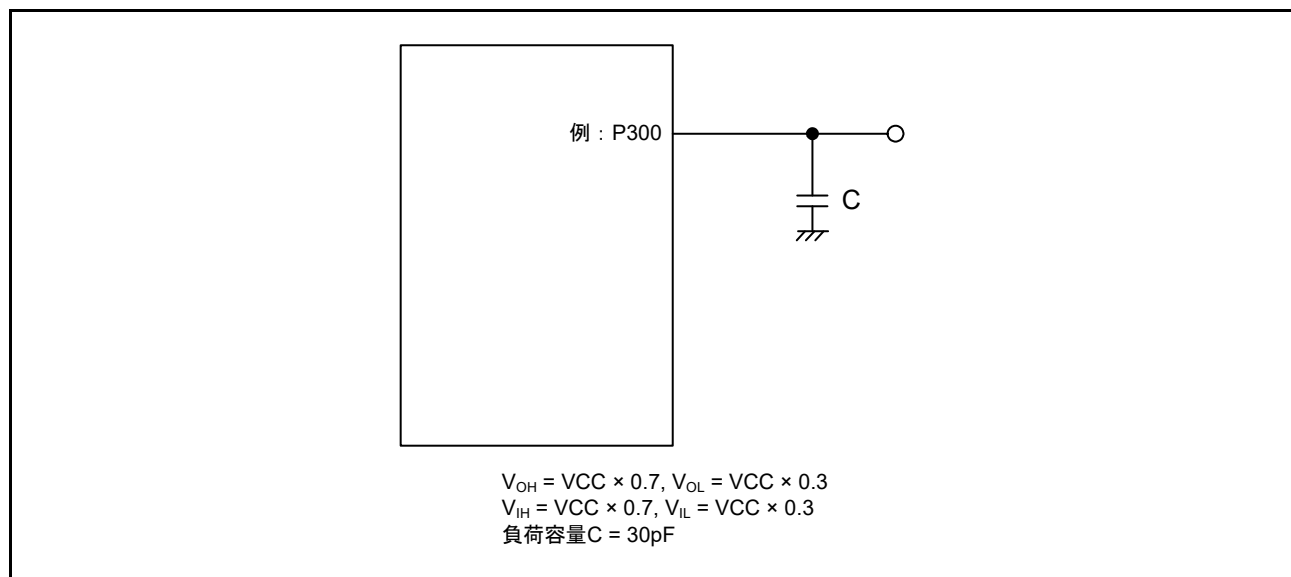


図 47.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子には、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

47.1 絶対最大定格

表 47.1 絶対最大定格

項目		シンボル	値	単位
電源電圧		VCC	-0.5 ~ +6.5	V
入力電圧	5V トレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5	V
	P002, P003, P012 ~ P015, P500 ~ P502	V_{in}	-0.3 ~ AVCC0+0.3	V
	P100 ~ P107	V_{in}	-0.3 ~ AVCC1+0.3	V
	その他	V_{in}	-0.3 ~ VCC+0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ +6.5	V
		VREFH	-0.3 ~ +6.5	V
		VREFI	-0.3 ~ AVCC1+0.3	V
アナログ電源電圧		AVCC0, AVCC1 (注5)	-0.5 ~ +6.5	V
USB 電源電圧		VCC_USB	-0.5 ~ +6.5	V
		VCC_USB_LDO	-0.5 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN008 使用時	V_{AN}	-0.3 ~ AVCC0+0.3	V
	AN016 ~ AN023 使用時		-0.3 ~ AVCC1+0.3	V
	ANS0P ~ ANSD3P および ANS0N ~ ANSD3N 使用時		-0.3 ~ AVCC1+0.3	V
動作温度 (注2) (注3) (注4)		T_{opr}	-40 ~ +85 -40 ~ +105	°C
保存温度		T_{stg}	-55 ~ +125	°C

注 1. ポート P000、P111、P112、P205、P206、P301、P401、P407、および P409 は 5V トレラント対応ポートです。デバイスの電源が切れている状態で信号や I/O ブルアップ電源を入力しないでください。信号または I/O ブルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部要素を劣化させる恐れがあります。

注 2. 47.2.1 Tj/Ta の定義を参照してください。

注 3. Ta = +85 ~ +105 °C の場合のディレーティング動作については、ルネサスエレクトロニクスの営業担当までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

注 4. 動作温度の上限は、85 °C または 105 °C です (製品による)。詳細は、「1.3 型名」を参照してください。

注 5. AVCC0 と VCC は同一の条件下で使用してください。
AVCC0 = AVCC1

【使用上の注意】 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC16 の高電位基準電圧に選択されている場合にノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、AVCC1 端子と AVSS1 端子の間、VCC_USB 端子と VSS_USB 端子の間、VREFH 端子と VREFL 端子の間、および VREFH0 端子と VREFL0 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に以下の値のコンデンサを配置し、最も短く重いトレースを使用してください。

- VCC と VSS : 約 0.1μF

- AVCC0 と AVSS0 : 約 0.1μF

- AVCC1 と AVSS1 : 約 0.1μF

- VREFH と VREFL : 約 0.1μF

- VREFH0 と VREFL0 : 約 10μF

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7μF のコンデンサを介して VSS 端子に接続してください。VREFADC が ADC16 の高電位基準電圧に選択されている場合、1μF (-25% ~ +25%) コンデンサを介して VREFH0 端子を VREFL0 端子に接続してください。ADREG 端子は、0.47μF (-50% ~ +20%) のコンデンサを介して AVSS1 端子に接続してください。SBIAS/VREFI 端子は、0.22μF (-20% ~ +20%) のコンデンサを介して AVSS1 端子に接続してください。各コンデンサは必ず端子近くに配置してください。

表 47.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC (注1) (注2)	USBFS不使用時	1.6	-	5.5	V
		USBFS使用時 USBレギュレータ無効	VCC_USB	-	3.6	V
		USBFS使用時 USBレギュレータ有効	VCC_USB _LDO	-	5.5	V
	VSS		-	0	-	V
USB電源電圧	VCC_USB	USBFS不使用時	-	VCC	-	V
		USBFS使用時 USBレギュレータ無効 (入力)	3.0	3.3	3.6	V
	VCC_USB_LDO	USBFS不使用時	-	VCC	-	V
		USBFS使用時 USBレギュレータ無効	-	VCC	-	V
		USBFS使用時 USBレギュレータ有効	3.8	-	5.5	V
	VSS_USB		-	0	-	V
アナログ電源電圧	AVCC0 (注1) (注2)		1.6	-	5.5	V
	AVSS0		-	0	-	V
	AVCC1 (注1) (注2)		-	AVCC0	-	V
	AVSS1		-	0	-	V
	VREFH0	ADC16基準として使用時	1.7	-	AVCC0	V
	VREFL0		-	0	-	V
	VREFH	DAC12基準として使用時	1.7	-	AVCC0	V
	VREFL		-	0	-	V
	VREFI	SDADC24基準として使用 時 (注3)	0.8	-	2.4	V

注 1. 下記の条件で AVCC0、AVCC1、および VCC を使用してください：

VCC $\geq$ 2.2V で AVCC0 = AVCC1 $\geq$ 2.2V のとき、AVCC0、AVCC1 および VCC は動作範囲内で個別に設定可能

VCC < 2.2V または AVCC0 = AVCC1 < 2.2V のとき、AVCC0 = AVCC1 = VCC

注 2. VCC 端子、AVCC0 端子および AVCC1 端子に電源を投入する場合、全端子同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子と AVCC1 端子の順番で電源投入してください。

注 3. SDADC24 の基準電圧用外部入力使用時の条件

47.2 DC 特性

47.2.1 Tj/Ta の定義

表 47.3 DC 特性

条件：動作温度 (T_a) が -40 ~ +105 °C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	-	125	°C	High-speed モード Middle-speed モード Low-speed モード Low-voltage モード Subosc-speed モード
			105 (注1)		

注. $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。

注 1. 動作温度の上限は、85 °C または 105 °C です (製品による)。詳細は、「1.3 型名」を参照してください。型名が 85 °C での動作温度を示している場合は、Tj の最大値は 105 °C になります。それ以外の場合 125 °C になります。

47.2.2 I/O V_{IH}, V_{IL}表 47.4 I/O V_{IH}, V_{IL}

条件：VCC = AVCC0 = AVCC1 = VCC_USB = VCC_USB_LDO = 1.6 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
シュミットトリガ 入力電圧	IIC (SMBus を除く) (注1)	V _{IH}	VCC × 0.7	-	5.8	V
		V _{IL}	-	-	VCC × 0.3	
		ΔV _T	VCC × 0.05	-	-	
	RES, NMI IIC を除くその他の周辺入力 端子	V _{IH}	VCC × 0.8	-	-	
		V _{IL}	-	-	VCC × 0.2	
		ΔV _T	VCC × 0.1	-	-	
入力電圧 (シュ ミットトリガ入力 端子を除く)	IIC (SMBus) (注2)	V _{IH}	2.2	-	-	VCC = 3.6 ~ 5.5V
		V _{IH}	2.0	-	-	VCC = 2.7 ~ 3.6V
		V _{IL}	-	-	0.8	VCC = 2.7 ~ 5.5V
	5V トレラント対応ポート (注3)	V _{IH}	VCC × 0.8	-	5.8	-
		V _{IL}	-	-	VCC × 0.2	
	P002, P003, P012 ~ P015, P500 ~ P502	V _{IH}	AVCC0 × 0.8	-	-	
		V _{IL}	-	-	AVCC0 × 0.2	
	P100 ~ P107	V _{IH}	AVCC1 × 0.8	-	-	
	P100 ~ P107	V _{IL}	-	-	AVCC1 × 0.2	
	P914, P915	V _{IH}	VCC_USB × 0.8	-	VCC_USB + 0.3	
		V _{IL}	-	-	VCC_USB × 0.2	
	EXTAL 入力ポート端子 (P002, P003, P012 ~ P015, P100 ~ P107, P500 ~ P502, P914, P915 を除く)	V _{IH}	VCC × 0.8	-	-	
		V _{IL}	-	-	VCC × 0.2	

注 1. SCL0_A, SCL0_B, SCL0_C, SDA0_A, SDA0_C, SCL1_B, SCL1_C, SDA1_B, SDA1_C (合計 9 端子)

注 2. SCL0_A, SCL0_B, SCL0_C, SDA0_A, SDA0_B, SDA0_C, SCL1_A, SCL1_B, SCL1_C, SDA1_A, SDA1_B, SDA1_C, SDA1_D (合計 13 端子)

注 3. P000, P111, P112, P205, P206, P301, P401, P407, P409 (合計 9 端子)

47.2.3 I/O I_{OH} , I_{OL} 表 47.5 I/O I_{OH} , I_{OL}

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_USB_LDO = 1.6 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	ポート P212、P213	-	-	-4.0	mA
				4.0	mA
	ポート P407、P408、P409	低駆動（注1）	-	-4.0	mA
				4.0	mA
		IIC 用中駆動ファストモードおよび SPI（注4）	-	-8.0	mA
				8.0	mA
		中駆動（注2） VCC = 3.0 ~ 5.5V	-	-20.0	mA
				20.0	mA
	ポート P914、P915	-	-	-4.0	mA
				4.0	mA
	その他の出力端子（注3）	低駆動（注1）	-	-4.0	mA
				4.0	mA
許容出力電流（端子ごとの最大値）	ポート P212、P213	-	-	-4.0	mA
				4.0	mA
	ポート P407、P408、P409	低駆動（注1）	-	-4.0	mA
				4.0	mA
		IIC 用中駆動ファストモードおよび SPI（注4）	-	-8.0	mA
				8.0	mA
		中駆動（注2） VCC = 3.0 ~ 5.5V	-	-20.0	mA
				20.0	mA
	ポート P914、P915	-	-	-4.0	mA
				4.0	mA
	その他の出力端子（注3）	低駆動（注1）	-	-4.0	mA
				4.0	mA
		中駆動（注2）	-	-8.0	mA
				8.0	mA
許容出力電流（全端子の最大値）	ポート P002、P003、P012 ~ P015、P500 ~ P502 の合計	-	-	-30	mA
				30	mA
	ポート P100 ~ P107 の合計	-	-	-30	mA
				30	mA
	ポート P914 と P915 の合計	-	-	-4.0	mA
				4.0	mA
	全出力端子の総和（注5）	-	-	-60	mA
				60	mA

注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 入力ポートである P200、P214、P215 を除きます。

注 4. PmnPFS レジスタのポート駆動能力ビットで IIC ファストモードおよび SPI に対して中駆動が選択されている場合の値です。

注 5. CTSU の許容出力電流の詳細については、47.12 CTSU 特性を参照してください。

【使用上の注意】 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μ s の間に計測した電流の平均値を意味します。

47.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性表 47.6 I/O V_{OH} 、 V_{OL} (1)条件 : $VCC = AVCC0 = AVCC1 = VCC\_USB = VCC\_USB\_LDO = 4.0 \sim 5.5V$

項目			シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC（注1）		V _{OL}	-	-	0.4	V	I _{OL} = 3.0mA
			V _{OL} （注2） （注5）	-	-	0.6		I _{OL} = 6.0mA
	ポートP407、P408、 P409	低駆動	V _{OH}	VCC - 0.8	-	-		I _{OH} = -2.0mA
			V _{OL}	-	-	0.8		I _{OL} = 2.0mA
		IIC用中駆動 ファストモードおよび SPI（注5）	V _{OH}	VCC - 0.8	-	-		I _{OH} = -4.0mA
			V _{OL}	-	-	0.8		I _{OL} = 4.0mA
		中駆動（注2）（注3）	V _{OH}	VCC - 1.0	-	-		I _{OH} = -20mA
			V _{OL}	-	-	1.0		I _{OL} = 20mA
	ポートP002、P003、 P012～P015、 P500～P502	低駆動	V _{OH}	AVCC0 - 0.8	-	-		I _{OH} = -2.0mA
			V _{OL}	-	-	0.8		I _{OL} = 2.0mA
		中駆動	V _{OH}	AVCC0 - 0.8	-	-		I _{OH} = -4.0mA
			V _{OL}	-	-	0.8		I _{OL} = 4.0mA
	ポートP100～P107	低駆動	V _{OH}	AVCC1 - 0.8	-	-		I _{OH} = -2.0mA
			V _{OL}	-	-	0.8		I _{OL} = 2.0mA
		中駆動	V _{OH}	AVCC1 - 0.8	-	-		I _{OH} = -4.0mA
			V _{OL}	-	-	0.8		I _{OL} = 4.0mA
	ポートP914、P915		V _{OH}	VCC_USB - 0.8	-	-		I _{OH} = -2.0mA
			V _{OL}	-	-	0.8		I _{OL} = 2.0mA
	その他の出力端子 （注4）	低駆動	V _{OH}	VCC - 0.8	-	-		I _{OH} = -2.0mA
			V _{OL}	-	-	0.8		I _{OL} = 2.0mA
		中駆動（注6）	V _{OH}	VCC - 0.8	-	-		I _{OH} = -4.0mA
			V _{OL}	-	-	0.8		I _{OL} = 4.0mA

注 1. SCL0_A、SCL0_B、SCL0_C、SDA0_A、SDA0_B、SDA0_C、SCL1_A、SCL1_B、SCL1_C、SDA1_A、SDA1_B、SDA1_C、SDA1_D (合計 13 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づくもので、本番試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

注 5. PmnPFS レジスタの P407、P408 および P409 に対するポート駆動能力ビットで IIC および SPI に対して中駆動が選択されている場合の値です。

注 6. P212、P213 を除きます。

表 47.7 I/O V_{OH} , V_{OL} (2)条件: $VCC = AVCC0 = AVCC1 = VCC\_USB = VCC\_USB\_LDO = 2.7 \sim 4.0V$

項目			シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC (注1)		V_{OL}	-	-	0.4	V	$I_{OL} = 3.0mA$
			V_{OL} (注2) (注5)	-	-	0.6		$I_{OL} = 6.0mA$
	ポート P407、P408、 P409	低駆動	V_{OH}	$VCC - 0.5$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.5		$I_{OL} = 1.0mA$
		IIC 用中駆動 ファストモードおよび SPI (注5)	V_{OH}	$VCC - 0.5$	-	-		$I_{OH} = -2.0mA$
			V_{OL}	-	-	0.5		$I_{OL} = 2.0mA$
		中駆動 (注2) (注3)	V_{OH}	$VCC - 1.0$	-	-		$I_{OH} = -20mA$ $VCC = 3.3V$
			V_{OL}	-	-	1.0		$I_{OL} = 20mA$ $VCC = 3.3V$
	ポート P002、P003、 P012 ~ P015 P500 ~ P502	低駆動	V_{OH}	$AVCC0 - 0.5$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.5		$I_{OL} = 1.0mA$
		中駆動	V_{OH}	$AVCC0 - 0.5$	-	-		$I_{OH} = -2.0mA$
			V_{OL}	-	-	0.5		$I_{OL} = 2.0mA$
	ポート P100 ~ P107	低駆動	V_{OH}	$AVCC1 - 0.5$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.5		$I_{OL} = 1.0mA$
		中駆動	V_{OH}	$AVCC1 - 0.5$	-	-		$I_{OH} = -2.0mA$
			V_{OL}	-	-	0.5		$I_{OL} = 2.0mA$
	ポート P914、P915		V_{OH}	$VCC\_USB - 0.5$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.5		$I_{OL} = 1.0mA$
	他の出力端子 (注4)	低駆動	V_{OH}	$VCC - 0.5$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.5		$I_{OL} = 1.0mA$
		中駆動 (注6)	V_{OH}	$VCC - 0.5$	-	-		$I_{OH} = -2.0mA$
			V_{OL}	-	-	0.5		$I_{OL} = 2.0mA$

注 1. SCL0_A、SCL0_B、SCL0_C、SDA0_A、SDA0_B、SDA0_C、SCL1_A、SCL1_B、SCL1_C、SDA1_A、SDA1_B、SDA1_C、SDA1_D (合計 13 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づくもので、本番試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

注 5. PmnPFS レジスタの P407、P408 および P409 に対するポート駆動能力ビットで IIC および SPI に対して中駆動が選択されている場合の値です。

注 6. P212、P213 を除きます。

表 47.8 I/O V_{OH} , V_{OL} (3)条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC\_USB} = V_{CC\_USB\_LDO} = 1.6 \sim 2.7V$

項目			シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P407、P408、P409	低駆動	V_{OH}	$V_{CC} - 0.3$	-	-	V	$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
		IIC 用中駆動 ファストモードおよび SPI (注2)	V_{OH}	$V_{CC} - 0.3$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.3		$I_{OL} = 1.0mA$
	ポート P002、P003、P012 ~ P015、P500 ~ P502	低駆動	V_{OH}	$AVCC0 - 0.3$	-	-		$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	V_{OH}	$AVCC0 - 0.3$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.3		$I_{OL} = 1.0mA$
	ポート P100 ~ P107	低駆動	V_{OH}	$AVCC0 - 0.3$	-	-		$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	V_{OH}	$AVCC0 - 0.3$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.3		$I_{OL} = 1.0mA$
	ポート P914、P915		V_{OH}	$V_{CC\_USB} - 0.3$	-	-		$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
	その他の出力端子 (注1)	低駆動	V_{OH}	$V_{CC} - 0.3$	-	-		$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動 (注3)	V_{OH}	$V_{CC} - 0.3$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.3		$I_{OL} = 1.0mA$

注 1. 入力ポートである P200、P214、P215 を除きます。

注 2. PmnPFS レジスタの P407、P408 および P409 に対するポート駆動能力ビットで IIC および SPI に対して中駆動が選択されている場合の値です。

注 3. P212、P213 を除きます。

表 47.9 I/O その他の特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC\_USB} = V_{CC\_USB\_LDO} = 1.6 \sim 5.5V$

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200、P214、P215	$ I_{in} $	-	-	1.0	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$
スリーステートリーク電流 (オフ状態)	5V トレラント対応ポート	$ I_{TSI} $	-	-	1.0	μA	$V_{in} = 0V$ $V_{in} = 5.8V$
	その他のポート		-	-	1.0		$V_{in} = 0V$ $V_{in} = V_{CC}$
入力プルアップ抵抗	すべてのポート (P200、P214、P215、P914、P915 を除く)	R_U	10	20	50	$k\Omega$	$V_{in} = 0V$
入力容量	P012 ~ P015、P200、P502、P914、P915	C_{in}	-	-	30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25^\circ C$
	その他の入力端子		-	-	15		

47.2.5 入出力端子出力特性（低駆動能力）

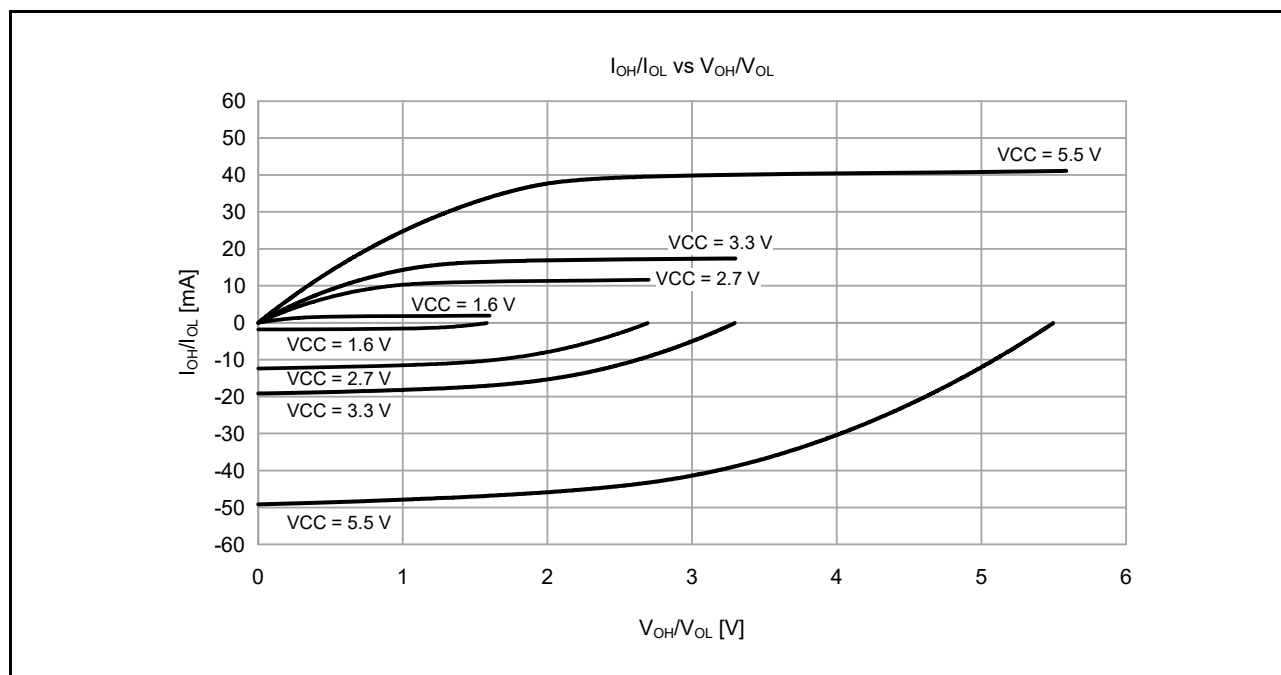


図 47.2 低駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性（参考データ、P914 および P915 を除く）

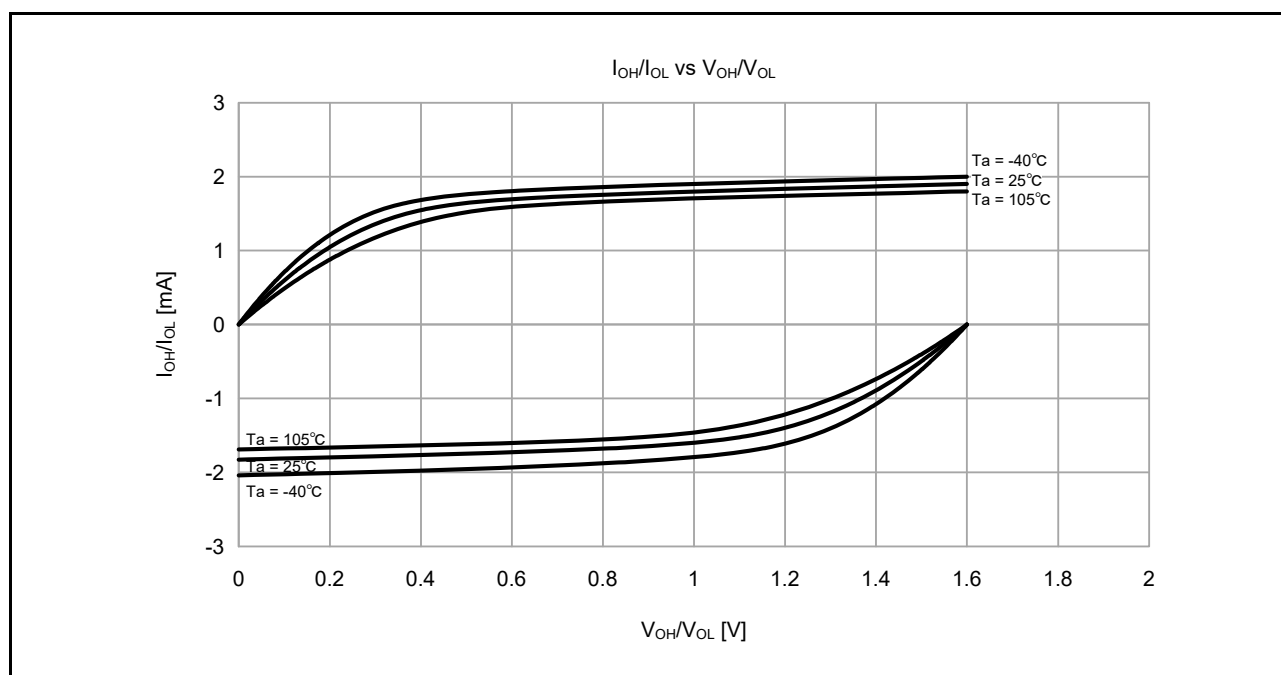


図 47.3 低駆動出力選択時の $V_{CC} = 1.6\text{ V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

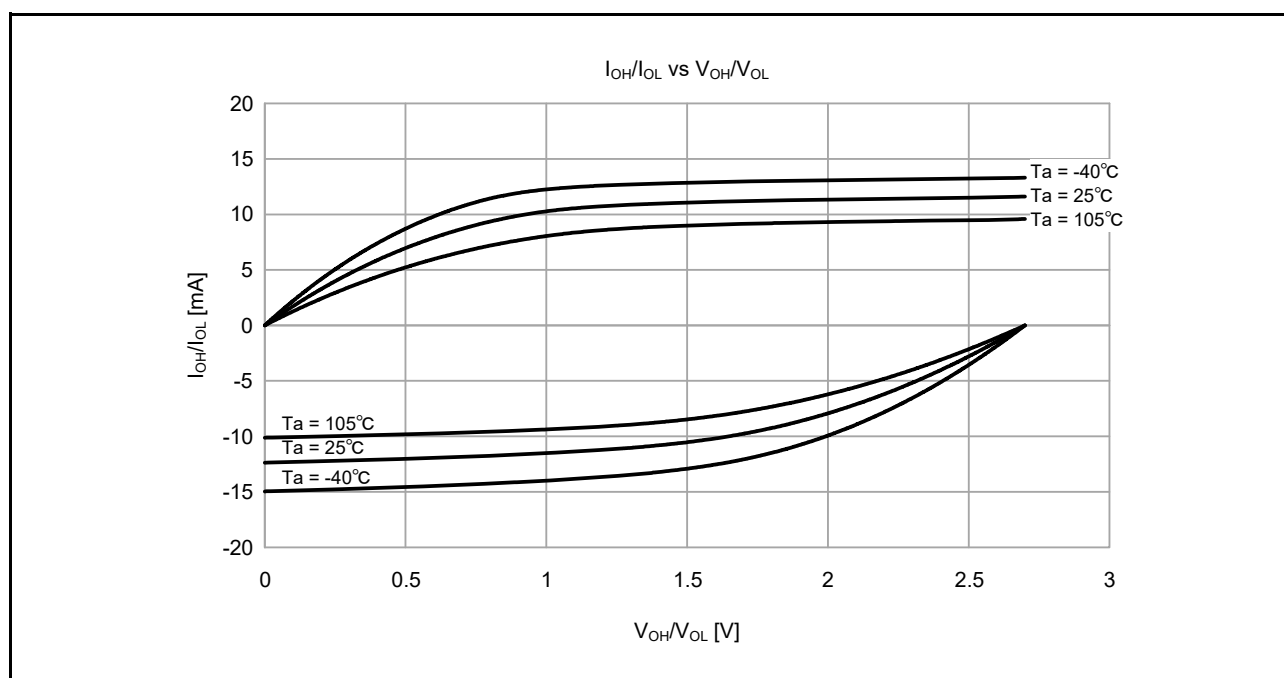


図 47.4 低駆動出力選択時の $V_{CC} = 2.7\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

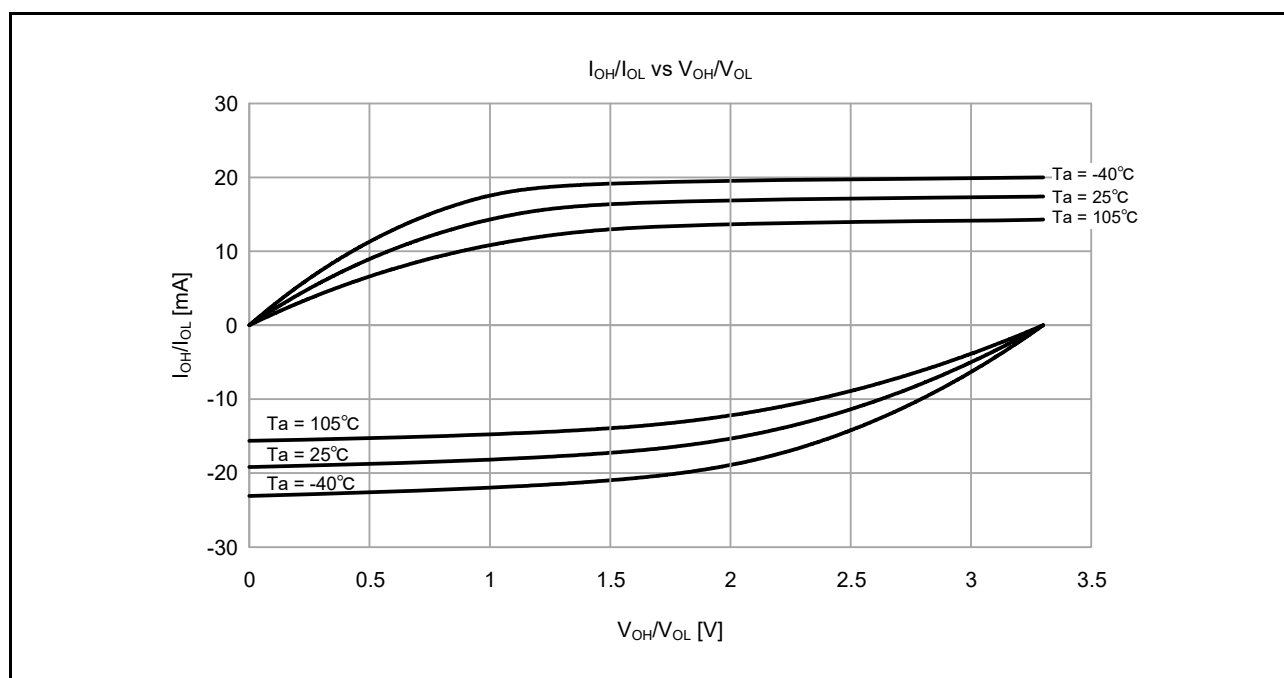


図 47.5 低駆動出力選択時の $V_{CC} = 3.3\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

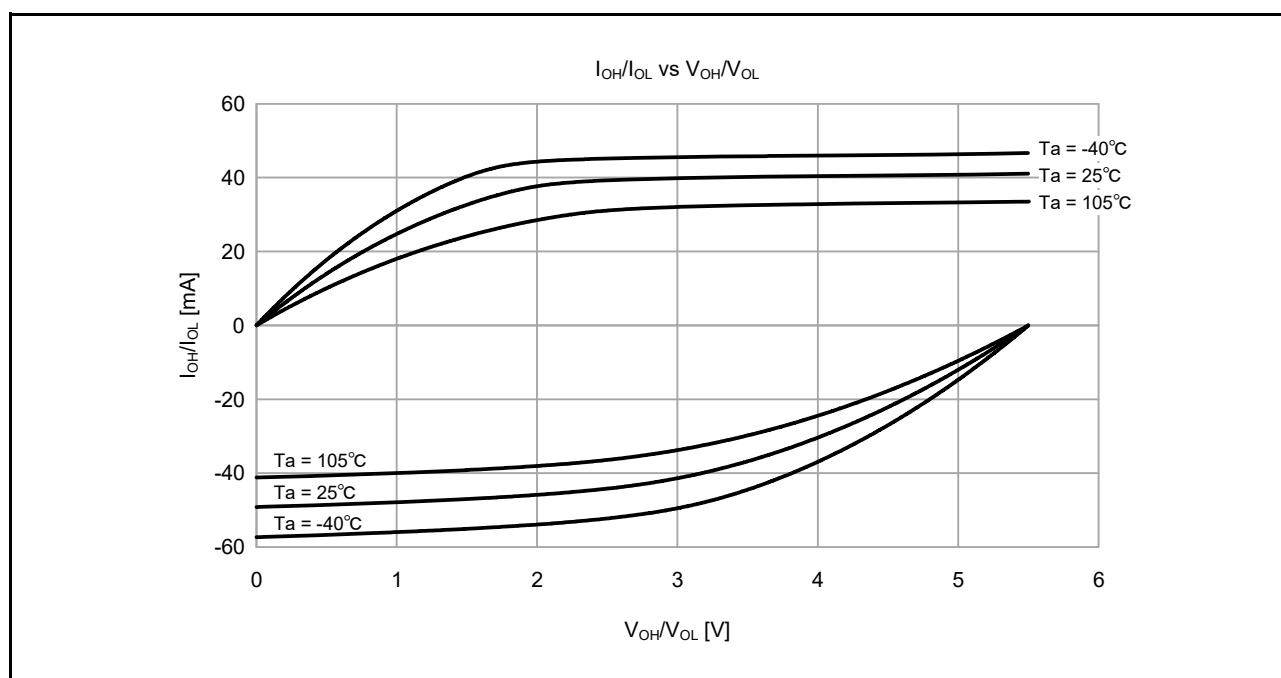


図 47.6 低駆動出力選択時の $V_{CC} = 5.5\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

47.2.6 入出力端子出力特性（中駆動能力）

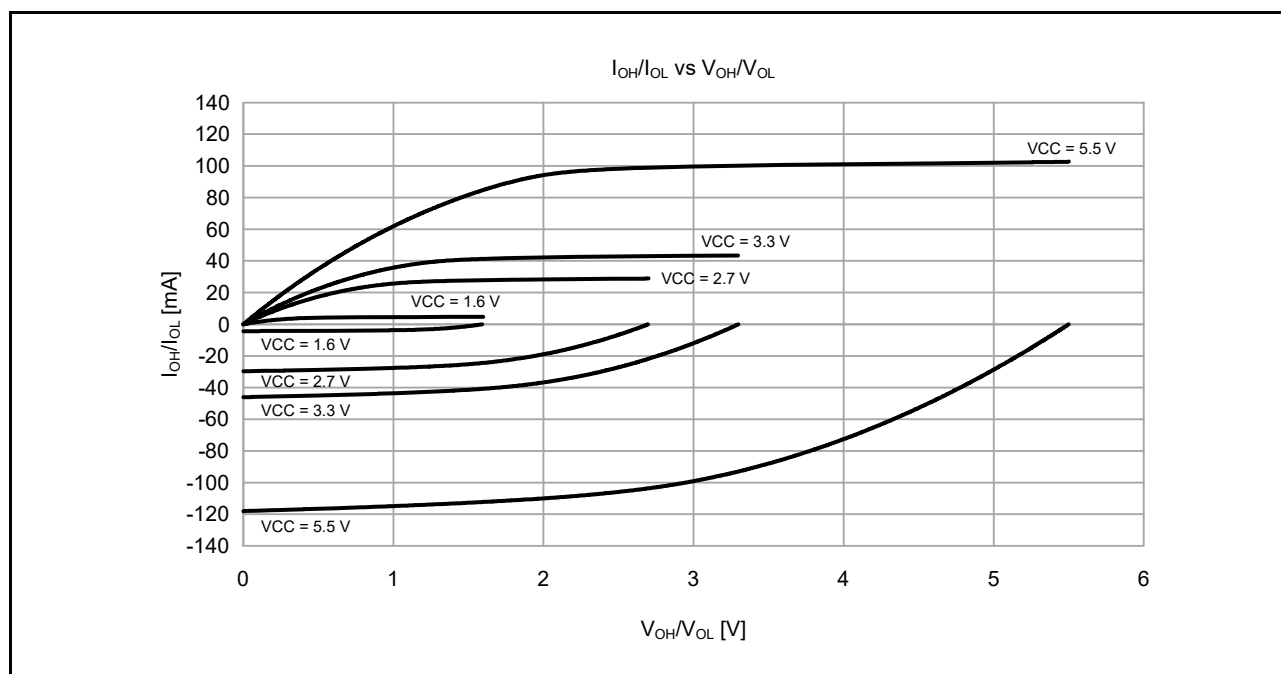


図 47.7 中駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性（参考データ、P914 および P915 を除く）

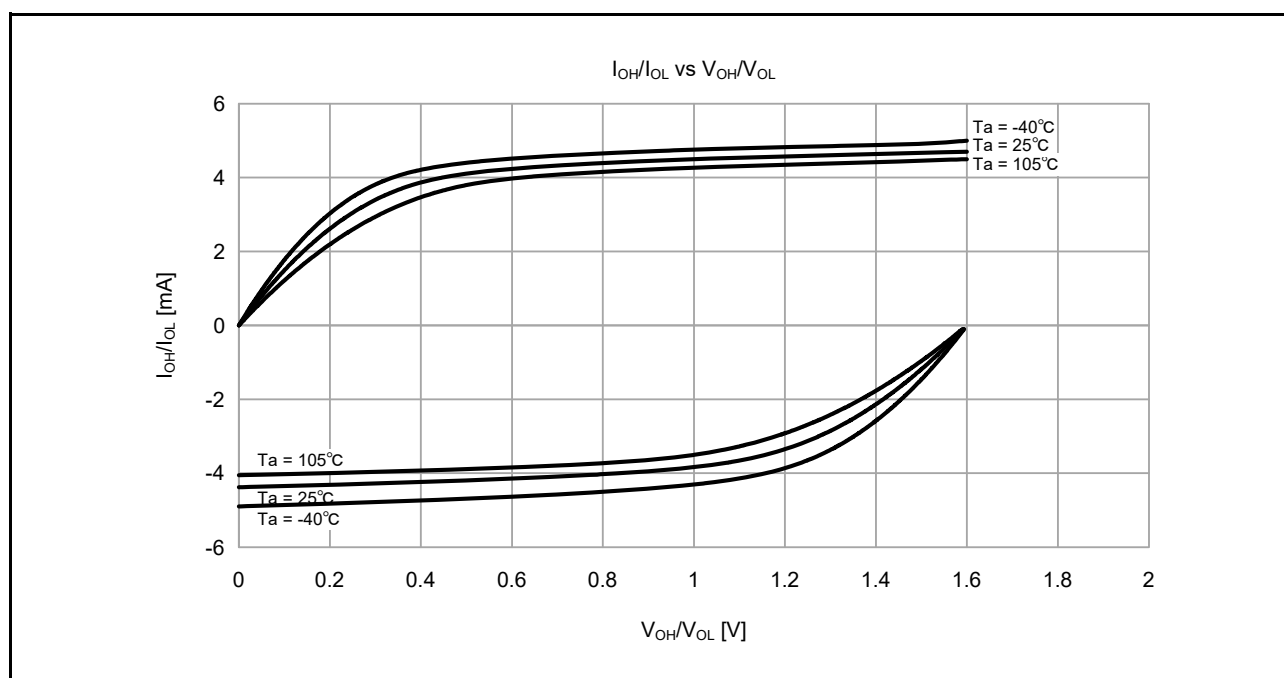


図 47.8 中駆動出力選択時の $V_{CC} = 1.6V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

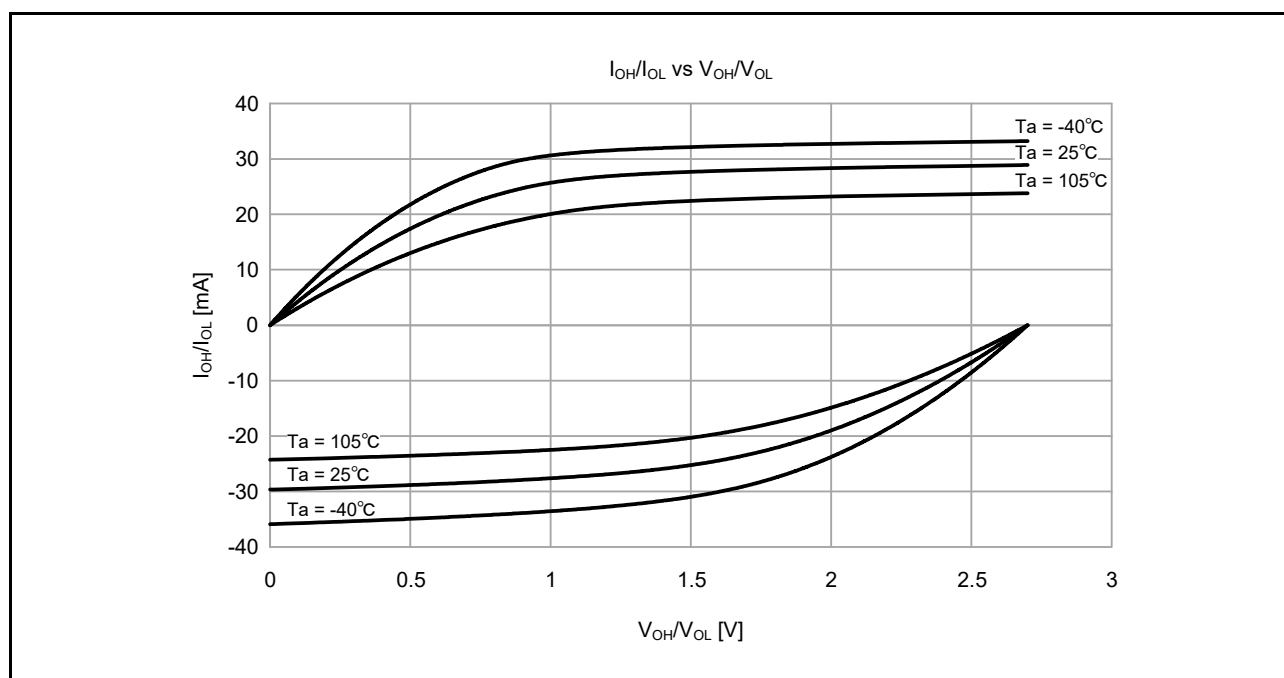


図 47.9 中駆動出力選択時の $V_{CC} = 2.7V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

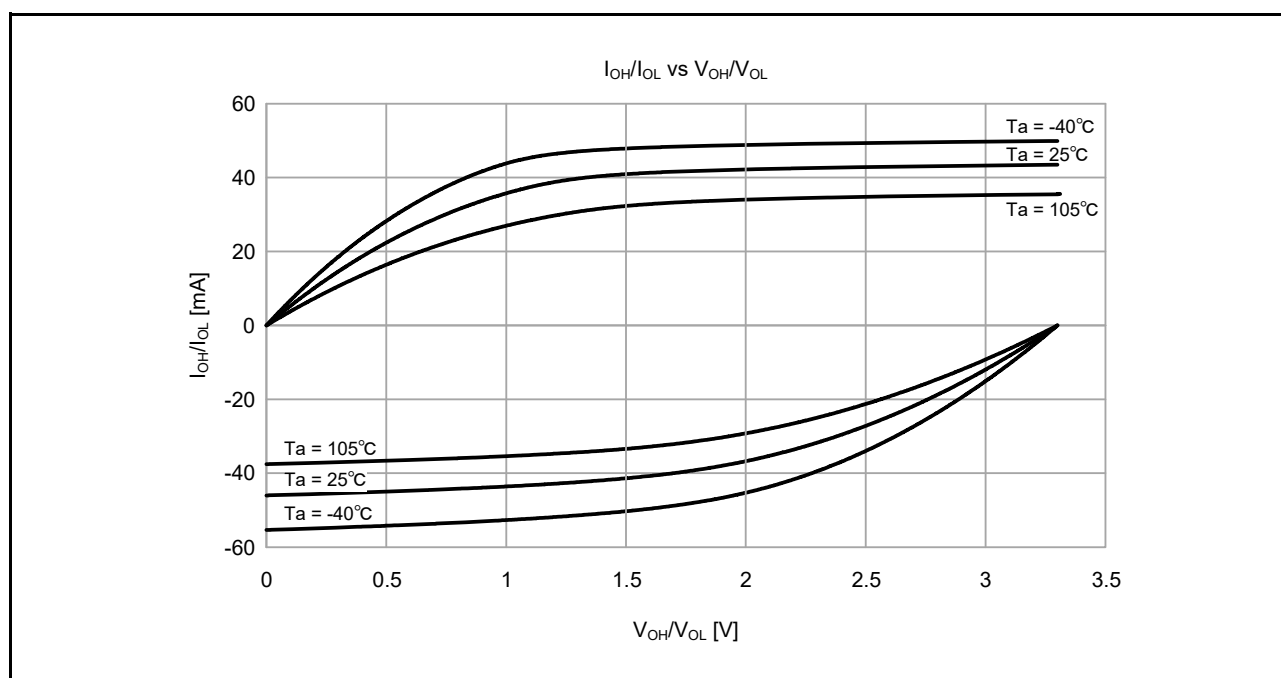


図 47.10 中駆動出力選択時の $V_{CC} = 3.3\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

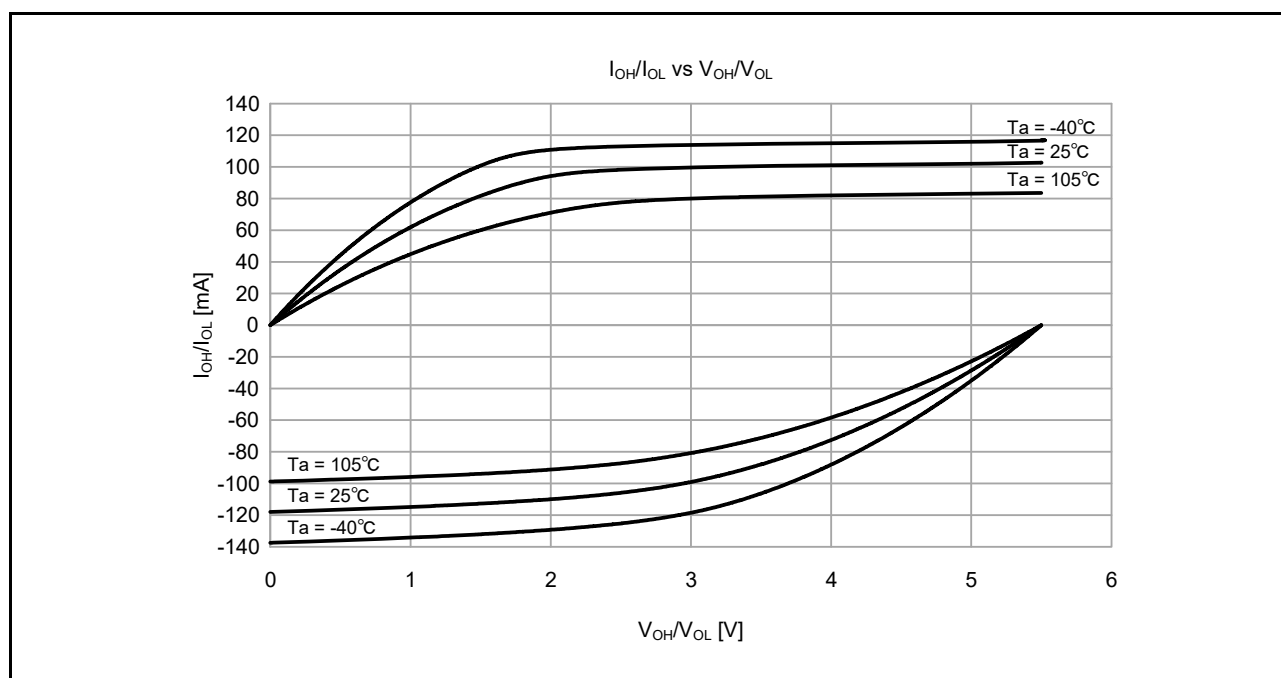
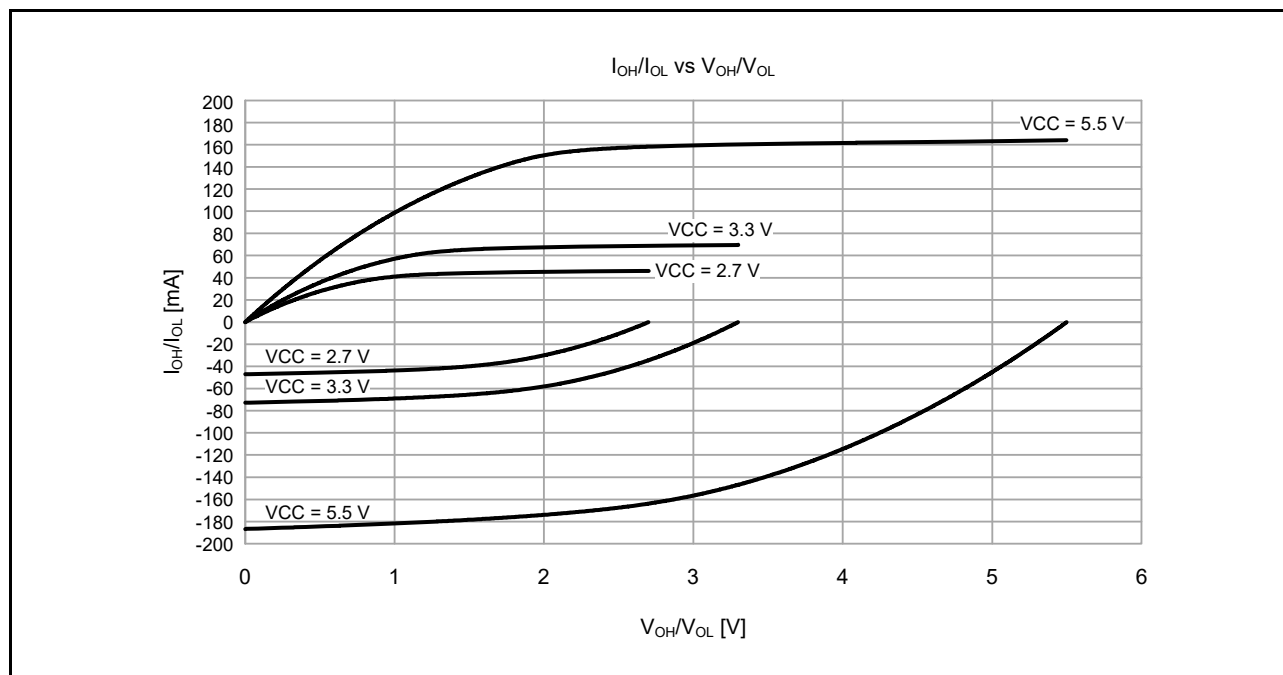
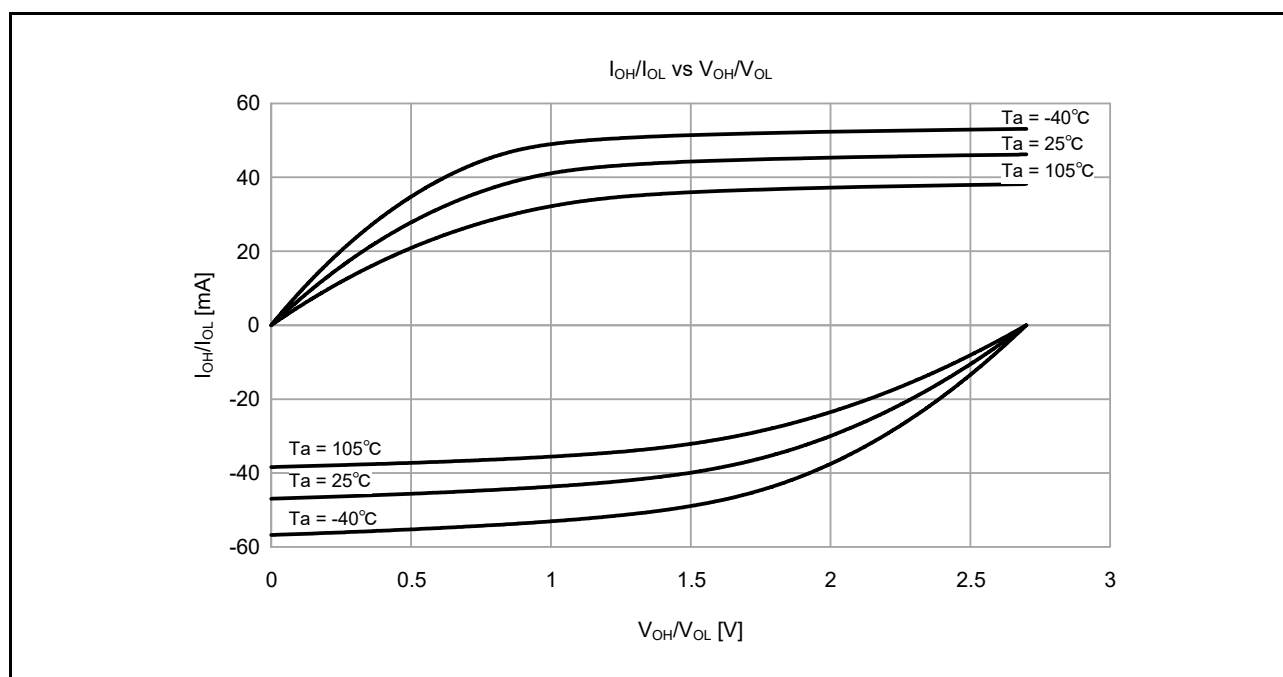


図 47.11 中駆動出力選択時の $V_{CC} = 5.5\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

47.2.7 P407、P408 および P409 入出力端子の出力特性（中駆動能力）

図 47.12 中駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性（参考データ）図 47.13 中駆動出力選択時の $V_{CC} = 2.7V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ）

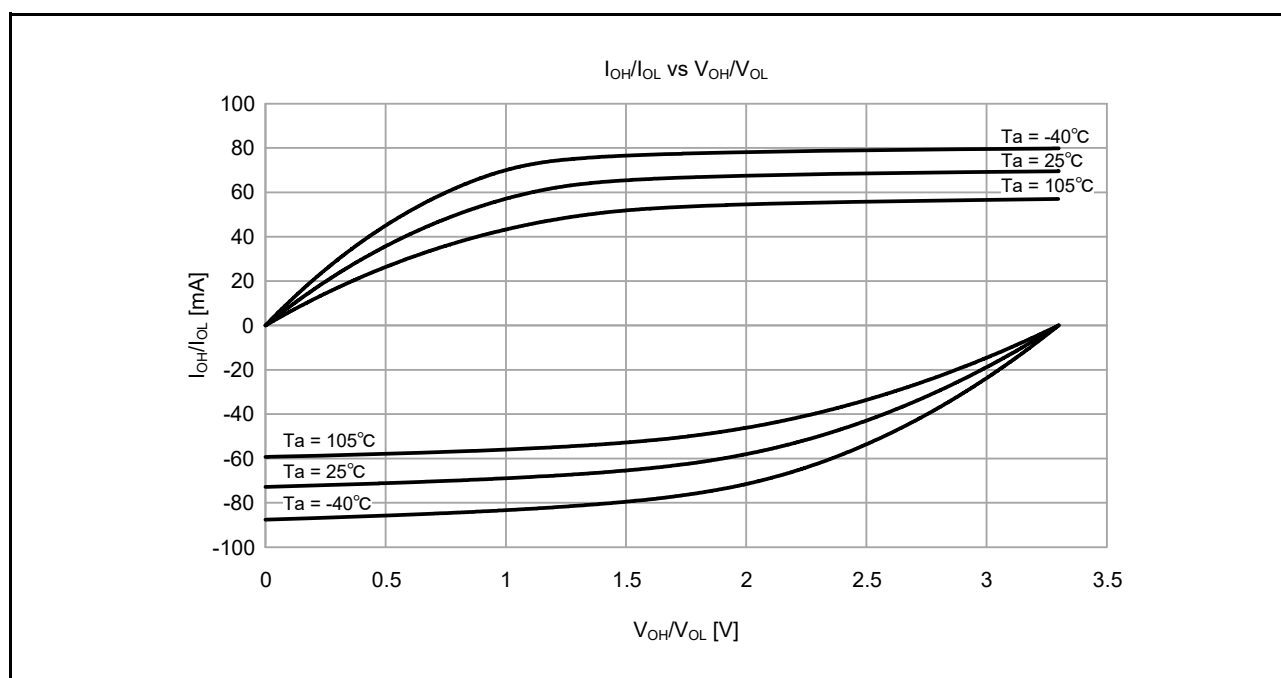


図 47.14 中駆動出力選択時の $V_{CC} = 3.3V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

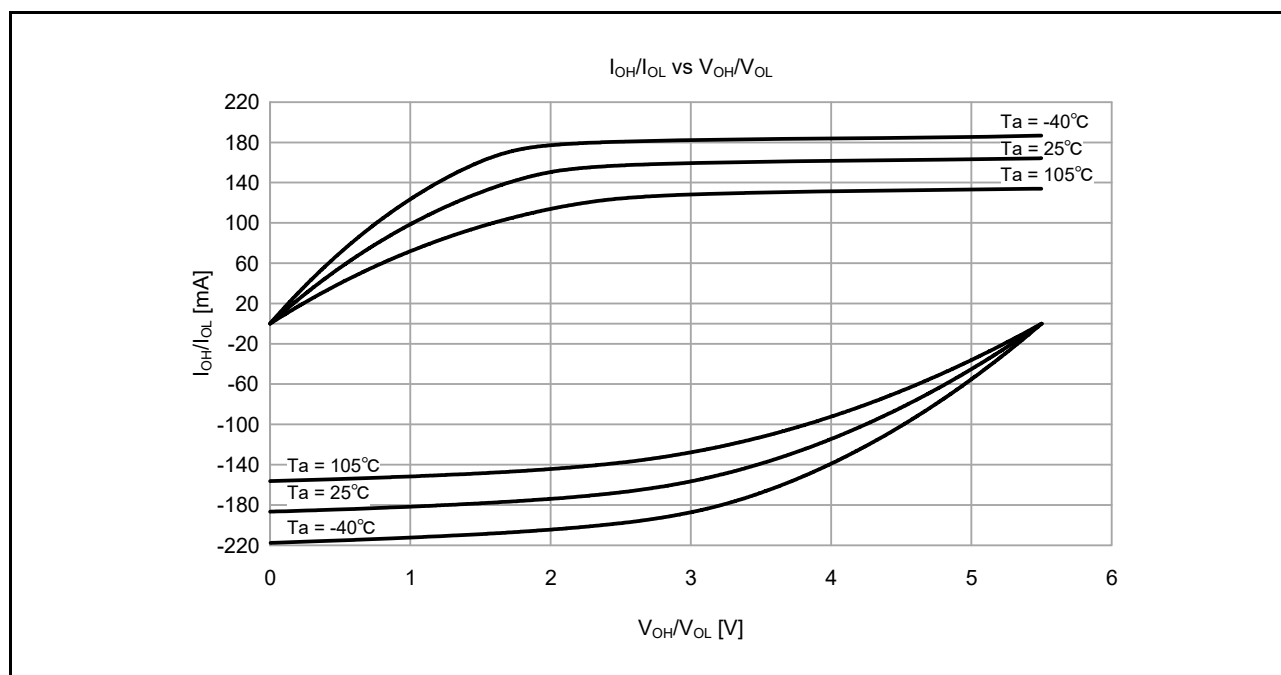
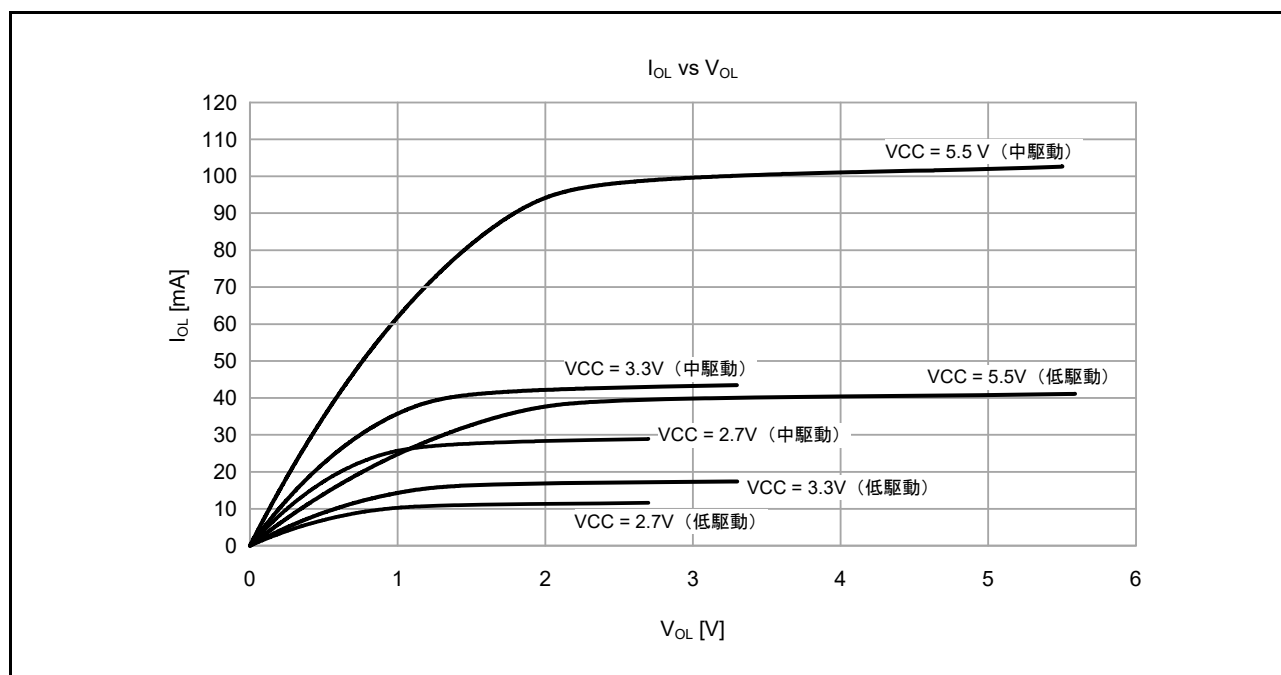


図 47.15 中駆動出力選択時の $V_{CC} = 5.5V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

47.2.8 IIC 入出力端子の出力特性

図 47.16 $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性

47.2.9 動作電流とスタンバイ電流

表 47.10 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目					シンボル	Typ (注10)	Max	単位	測定条件
消費電流 (注1)	High-speed モード (注2)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 48MHz	I _{CC}	5.2	-	mA	(注7) (注11)
				ICLK = 32MHz		3.8	-		
				ICLK = 16MHz		2.3	-		
				ICLK = 8MHz		1.6	-		
			すべての周辺クロックが無効、CoreMarkコードはフラッシュから実行 (注5)	ICLK = 48MHz		12.1	-		(注9) (注11)
				ICLK = 32MHz		8.3	-		
				ICLK = 16MHz		4.6	-		
				ICLK = 8MHz		2.8	-		
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 48MHz		12.6	-		(注8) (注11)
				ICLK = 32MHz		10.9	-		
				ICLK = 16MHz		5.9	-		
				ICLK = 8MHz		3.4	-		
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 48MHz		-	28.5		(注9) (注11)
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 48MHz		2.7	-	(注7)	
				ICLK = 32MHz		2.1	-		
				ICLK = 16MHz		1.5	-		
				ICLK = 8MHz		1.1	-		
			すべての周辺クロックが有効 (注5)	ICLK = 48MHz		9.8	-	(注9)	
				ICLK = 32MHz		8.9	-		(注8)
				ICLK = 16MHz		5.0	-		
				ICLK = 8MHz		2.9	-		
		BGO動作中に増加 (注6)				2.5	-		
	Middle-speed モード (注2)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 12MHz	I _{CC}	1.6	-	mA	(注7) (注11)
				ICLK = 8MHz		1.3	-		
			すべての周辺クロックが無効、CoreMarkコードはフラッシュから実行 (注5)	ICLK = 12MHz		3.4	-		(注8) (注11)
				ICLK = 8MHz		2.6	-		
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 12MHz		4.3	-		(注8) (注11)
				ICLK = 8MHz		3.1	-		
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 12MHz		-	12.6		(注7)
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 12MHz		1.0	-	(注7)	
				ICLK = 8MHz		0.9	-		
			すべての周辺クロックが有効 (注5)	ICLK = 12MHz		3.6	-		(注8)
				ICLK = 8MHz		2.7	-		
		BGO動作中に増加 (注6)				2.5	-		-

表 47.10 動作電流とスタンバイ電流 (1) (2/2)

条件: VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目					シンボル	Typ (注10)	Max	単位	測定条件
供給電流 (注1)	Low-speed モード (注3)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 1MHz	I _{CC}	0.3	-	mA	(注7) (注11)
			すべての周辺クロックが無効、CoreMark コードはフラッシュから実行 (注5)	ICLK = 1MHz		0.4	-		
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 1MHz		0.5	-		(注8) (注11)
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 1MHz		-	2.5		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 1MHz	I _{CC}	0.2	-	mA	(注7)
			すべての周辺クロックが有効 (注5)	ICLK = 1MHz		0.4	-		(注8)
	Low-voltage モード (注3)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 4MHz	I _{CC}	1.5	-	mA	(注7) (注11)
			すべての周辺クロックが無効、CoreMark コードはフラッシュから実行 (注5)	ICLK = 4MHz		2.2	-		
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 4MHz		2.5	-		(注8) (注11)
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 4MHz		-	7.0		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 4MHz	I _{CC}	1.3	-	mA	(注7)
			すべての周辺クロックが有効 (注5)	ICLK = 4MHz		2.3	-		(注8)
	Subosc- speed モード (注4)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 32.768kHz	I _{CC}	6.5	-	μA	(注8) (注11)
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 32.768kHz		12.1	-		
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 32.768kHz		-	190.0		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 32.768kHz	I _{CC}	4.5	-	μA	(注8)
			すべての周辺クロックが有効 (注5)	ICLK = 32.768kHz		10.2	-		(注8)

注 1. 供給電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS が OFF 状態のとき、この値が適用されます。

注 2. クロックソースは HOCO です。

注 3. クロックソースは MOCO です。

注 4. クロックソースはサブクロック発振器です。

注 5. BGO 動作は含まれません。

注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。

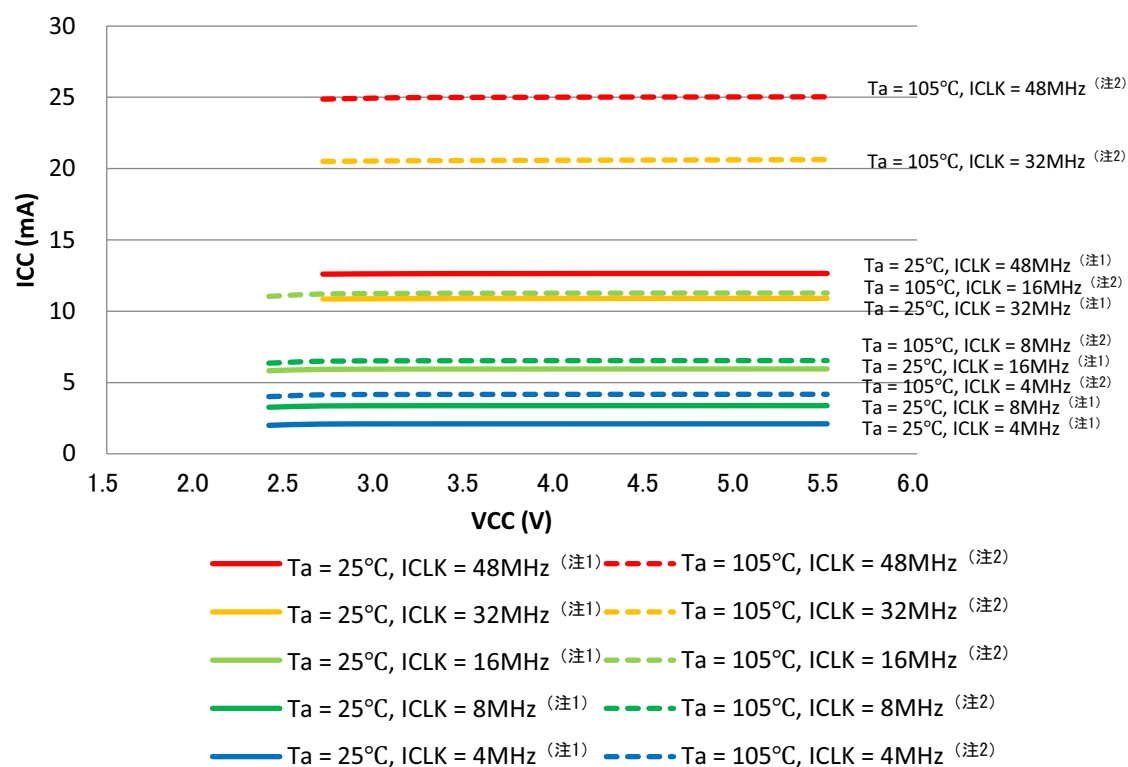
注 7. FCLK、PCLKB、および PCLKD は、64 分周に設定されています。

注 8. FCLK、PCLKB、および PCLKD は、ICLK と同じ周波数です。

注 9. FCLK と PCLKB は、2 分周に設定されています。PCLKD は、ICLK と同じ周波数です。

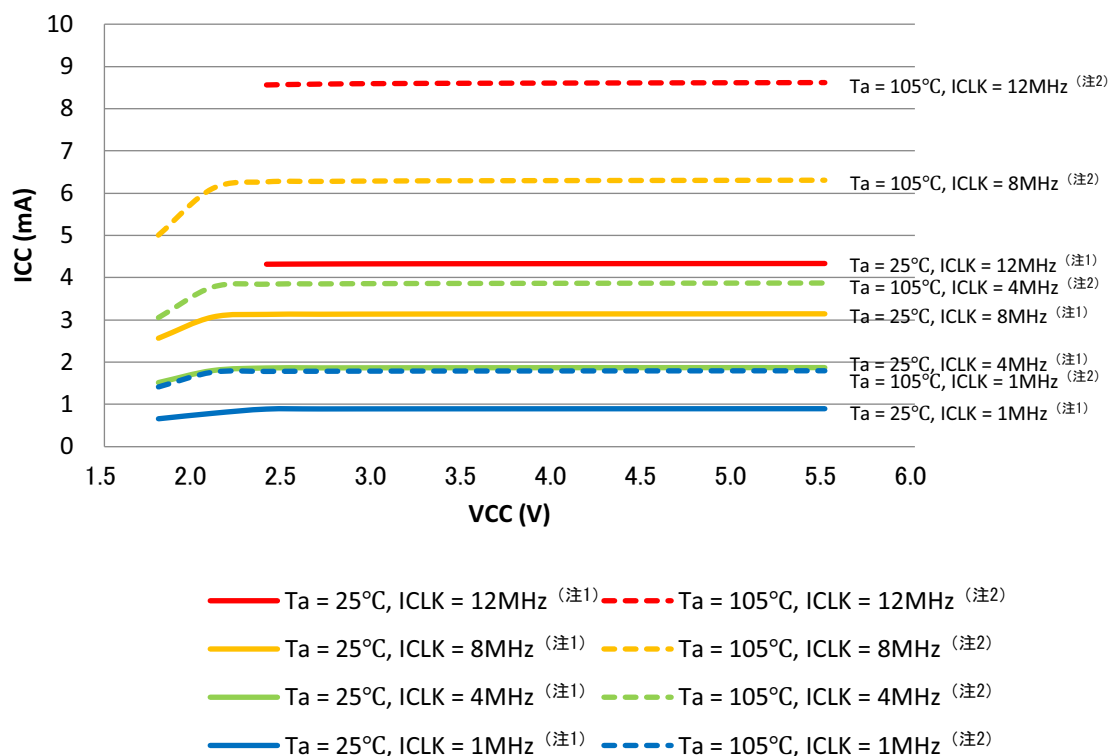
注 10. VCC = 3.3V

注 11. フラッシュキャッシュは動作中です。



注1. BGO動作を除くすべての周辺動作が通常動作です。製品評価時における中心サンプル群での実測平均値です。
 注2. BGO動作を除くすべての周辺動作が最大動作です。製品評価時における上限サンプル群での実測平均値です。

図 47.17 High-speed モードにおける電圧依存性 (参考データ)



- 注1. BGO動作を除くすべての周辺動作が通常動作です。製品評価時における中心サンプル群での実測平均値です。
 注2. BGO動作を除くすべての周辺動作が最大動作です。製品評価時における上限サンプル群での実測平均値です。

図 47.18 Middle-speed モードにおける電圧依存性 (参考データ)

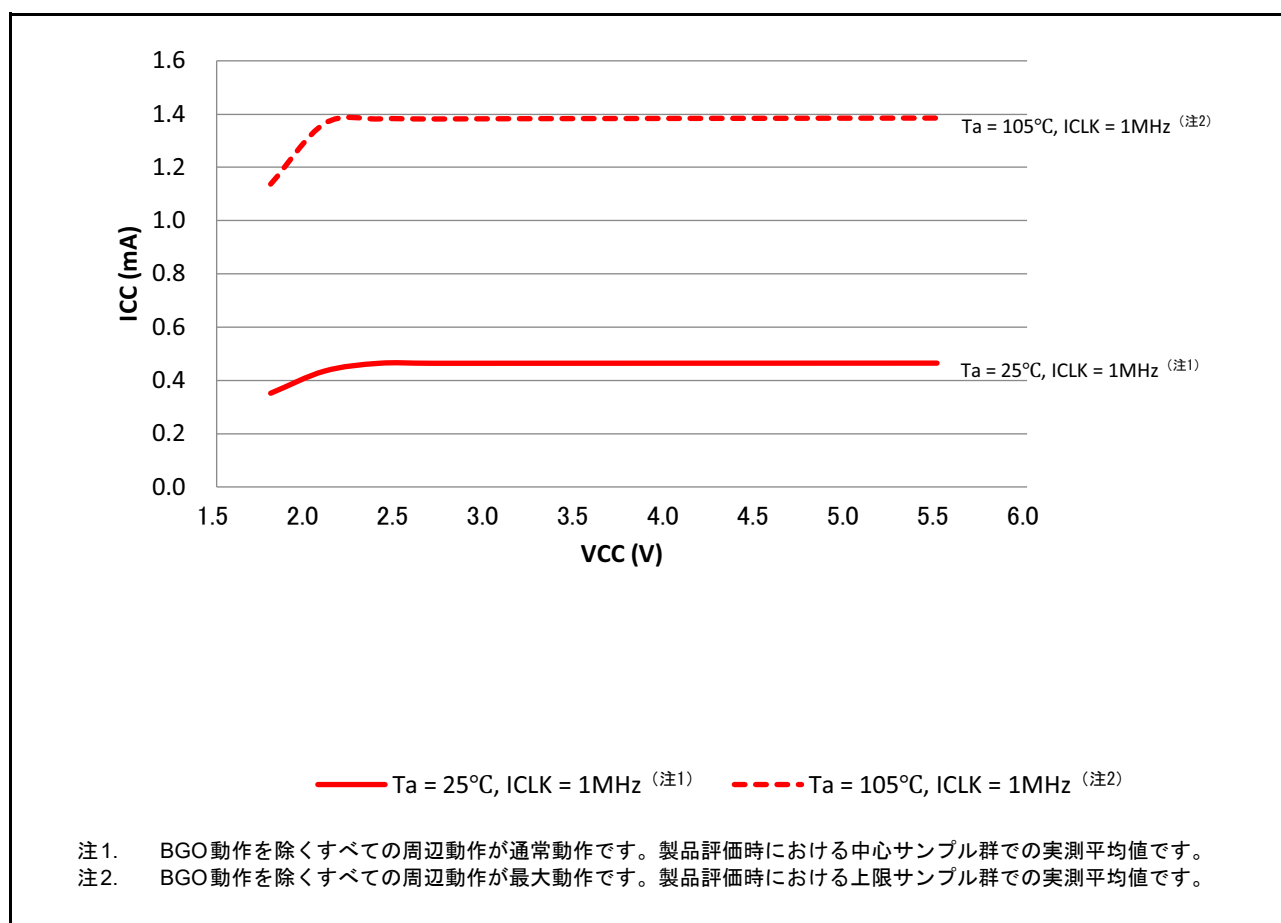
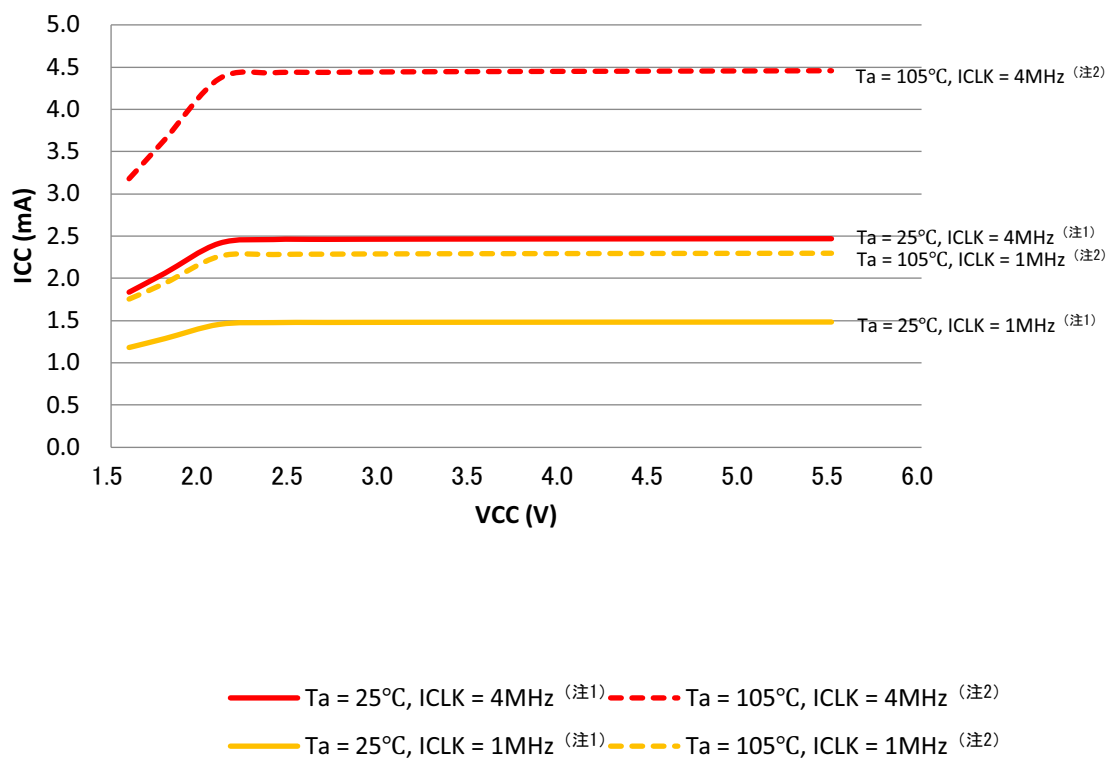


図 47.19 Low-speed モードにおける電圧依存性 (参考データ)



注1. BGO動作を除くすべての周辺動作が通常動作です。製品評価時における中心サンプル群での実測平均値です。
 注2. BGO動作を除くすべての周辺動作が最大動作です。製品評価時における上限サンプル群での実測平均値です。

図 47.20 Low-voltage モードにおける電圧依存性 (参考データ)

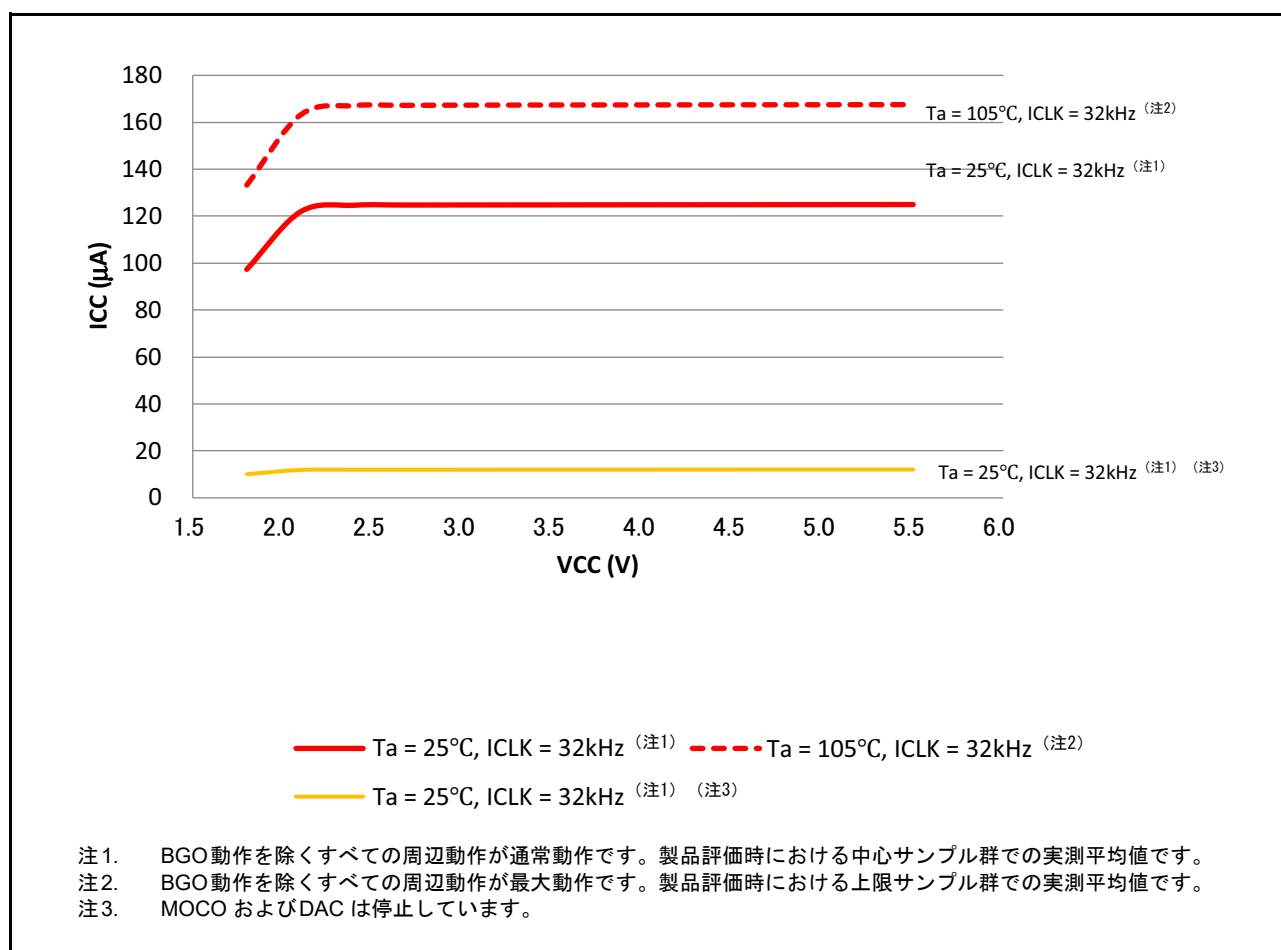


図 47.21 Subosc-speed モードにおける電圧依存性 (参考データ)

表 47.11 動作電流とスタンバイ電流 (2)

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目			シンボル	Typ (注3)	Max	単位	測定条件
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	T _a = 25℃	I _{CC}	0.5	2.0	μA	-
		T _a = 55℃		0.8	7.0		
		T _a = 85℃		1.8	17.0		
		T _a = 105℃		4.4	45.0		
	低速オンチップオシレータでのRTC動作時増加分 (注4)			0.4	-	-	
	サブクロックオシレータでのRTC動作時増加分 (注4)			0.5	-	SOMCR.SODRV[1:0] = 11b (低消費電力モード3)	
				1.3	-	SOMCR.SODRV[1:0] = 00b (通常モード)	

- 注1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。
- 注2. IWDT と LVD は動作していません。
- 注3. VCC = 3.3V
- 注4. 低速オンチップオシレータまたはサブ発振回路の電流を含みます。

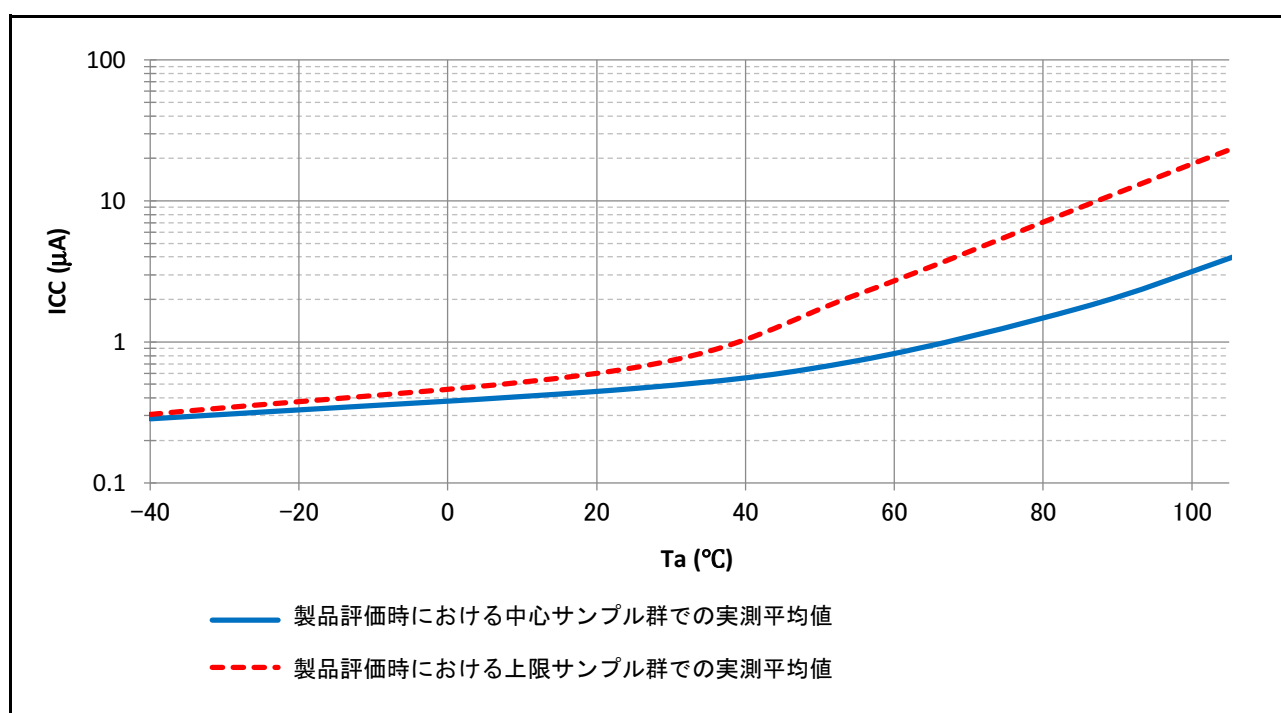


図 47.22 ソフトウェアスタンバイモード時の温度依存性（参考データ）

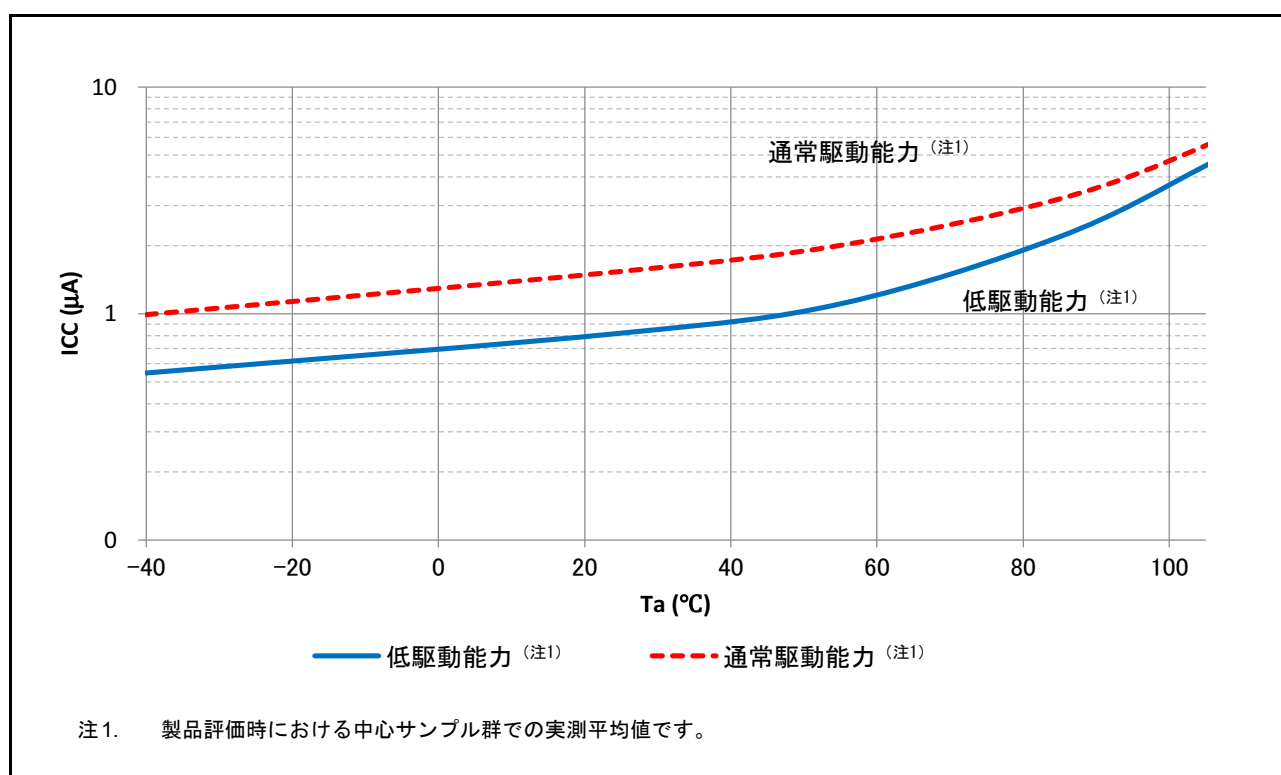


図 47.23 RTC 動作の温度依存性（参考データ）

表 47.12 動作電流とスタンバイ電流 (3)

条件: VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電流	16ビットA/D変換中		I _{AVCC0}	-	-	1.5	mA	-
	8ビットD/A変換中（チャンネル当り）（注1）			-	-	1.6	mA	-
	12ビットD/A変換中（チャンネル当り）（注1）			-	-	0.9	mA	-
	16ビットA/D、8ビットD/Aおよび12ビットD/A変換待機時（全ユニット）（注5）			-	-	2.0	μA	-
	24ビットシグマデルタA/D変換中（通常モード）		I _{AVCC1}	-	-	1.29	mA	-
	24ビットシグマデルタA/D変換中（低消費電力変換時）			-	-	1.06	mA	G _{SET1} = 8、 または G _{TOTAL} = 24,32
				-	-	0.9	mA	G _{SET1} 、G _{TOTAL} = その他
	24ビットシグマデルタA/D変換待ち（注6）			-	-	1.0	μA	-
基準電源電流	16ビットA/D変換中		I _{REFH0}	-	-	80	μA	-
	16ビットA/D変換待ち			-	-	60	nA	-
	12ビットD/A変換中		I _{REFH}	-	-	650	μA	-
	12ビットD/A変換待ち			-	-	100	nA	-
	24ビットシグマデルタA/D変換中		I _{REFI}	-	-	30	μA	外部VREFモード
温度センサ（TSN）動作電流			I _{TNS}	-	75	-	μA	-
低消費電力アナログコンパレータ（ACMPLP）の動作電流	ウィンドウコンパレータ（High-speedモード）		I _{CMPLP}	-	15	-	μA	-
	コンパレータ（High-speedモード）			-	10	-	μA	-
	コンパレータ（Low-speedモード）			-	2	-	μA	-
高速アナログコンパレータ（ACMPHS）の動作電流			I _{CPMHS}	-	70	100	μA	AVCC0 ≥ 2.7V
オペアンプ（OPAMP）の動作電流	低消費電力モード	1ユニット動作時	I _{AMP}	-	10	16	μA	-
		2ユニット動作時		-	19	30	μA	-
		3ユニット動作時		-	28	44	μA	-
	Middle-speedモード	1ユニット動作時		-	280	360	μA	-
		2ユニット動作時		-	530	690	μA	-
		3ユニット動作時		-	770	1020	μA	-
	High-speedモード	1ユニット動作時		-	0.74	0.91	mA	-
		2ユニット動作時		-	1.41	1.74	mA	-
		3ユニット動作時		-	2.07	2.57	mA	-
ADC16動作電流用内部基準電圧			I _{VREFADC}	-	65	130	μA	-
USBFS動作電流	以下の設定および条件でのUSB通信時： ● ファンクションコントローラはフルスピードモード - バルクOUT転送は（64バイト）× 1 - バルクIN転送は（64バイト）× 1 ● ホストデバイスはUSBポートから1メートルのUSBケーブルで接続		I _{USBF} （注2）	-	3.6（VCC） 1.1（VCC_USB） （注4）	-	mA	-
	以下の設定および条件でのサスペンド状態時： ● ファンクションコントローラはフルスピードモード（USB_DP端子はプルアップ） ● ソフトウェアスタンバイモード ● ホストデバイスはUSBポートから1メートルのUSBケーブルで接続		I _{SUSP} （注3）	-	0.35（VCC） 170（VCC_USB） （注4）	-	μA	-

注 1. D/A 変換の電源電流値には、リファレンス電源電流も含まれています。

注 2. 電流は、USBFS のみ消費します。

注 3. サスペンド状態における MCU 消費電流の他に、USB_DP 端子のプルアップ抵抗からホストデバイスのプルダウン抵抗への供給電流が含まれます。

注 4. VCC = VCC_USB = 3.3V のとき

注 5. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD16 (ADC160 モジュールストップビット) がモジュールストップ状態の場合

注 6. MSTPCRD.MSTPD17 (SDADC24 モジュールストップビット) がモジュールストップ状態の場合

47.2.10 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 47.13 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = AVCC1 = 0 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時のVCC 立ち上がり勾配	起動時電圧モニタ0リセット無効	SrVCC	0.02	-	2	ms/V	-
	起動時電圧モニタ0リセット有効 (注1) (注2)				-		
	SCI/USB ブートモード (注2)				2		

注 1. OFS1.LVDAS = 0 のとき

注 2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 からのリセットは無効です。

表 47.14 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

リップル電圧は、VCC 上限 (5.5V) と下限 (1.6V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。
 VCC 変動が $VCC \pm 10\%$ を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	-	-	10	kHz	図 47.24 $V_r(VCC) \leq VCC \times 0.2$
		-	-	1	MHz	図 47.24 $V_r(VCC) \leq VCC \times 0.08$
		-	-	10	MHz	図 47.24 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	-	-	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

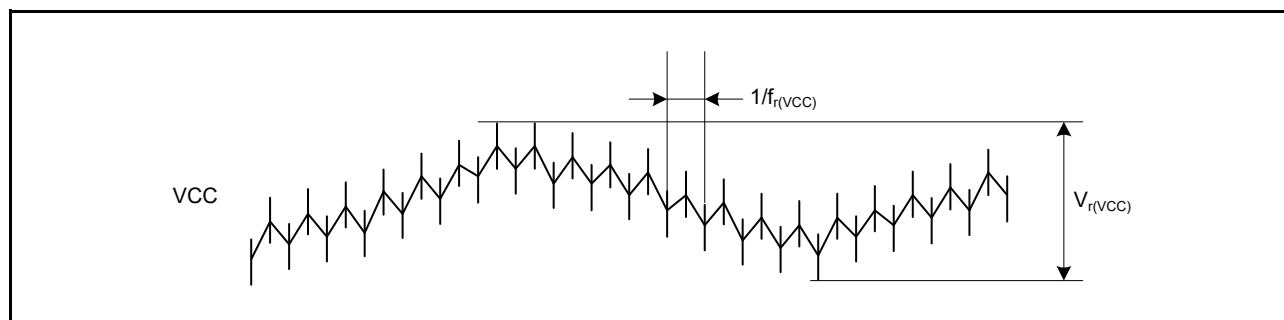


図 47.24 リップル波形

47.3 AC 特性

47.3.1 周波数

表 47.15 High-speed動作モードでの動作周波数

条件 : VCC = AVCC0 = AVCC1 = 2.4 ~ 5.5V

項目			シンボル	Min	Typ	Max (注7)	単位
動作周波数	システムクロック (ICLK) (注6)	2.7 ~ 5.5V	f	0.032768	-	48	MHz
		2.4 ~ 2.7V		0.032768	-	16	
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注6)	2.7 ~ 5.5V		0.032768	-	32	
		2.4 ~ 2.7V		0.032768	-	16	
	周辺モジュールクロック (PCLKB) (注5) (注6)	2.7 ~ 5.5V		-	-	32	
		2.4 ~ 2.7V		-	-	16	
	周辺モジュールクロック (PCLKD) (注3) (注6)	2.7 ~ 5.5V		-	-	64 (注4)	
		2.4 ~ 2.7V		-	-	16	

注 1. フラッシュメモリのプログラム／イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム／イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。

注 3. ADC16 使用時の PCLKD の下限周波数は 1MHz です。

注 4. ADC16 使用時の PCLKD の上限周波数は 32MHz です。

注 5. SDADC24 使用時の PCLKB の下限周波数は 1MHz です。

注 6. ICLK、PCLKB、PCLKD、および FCLK の周波数関係については「9. クロック発生回路」を参照してください。

注 7. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 47.20 クロックタイミングを参照してください。

表 47.16 Middle-speed動作モードでの動作周波数

条件 : VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max (注6)	単位
動作周波数	システムクロック (ICLK) (注5)	2.7 ~ 5.5V	f	0.032768	-	12	MHz
		2.4 ~ 2.7V		0.032768	-	12	
		1.8 ~ 2.4V		0.032768	-	8	
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注5)	2.7 ~ 5.5V		0.032768	-	12	
		2.4 ~ 2.7V		0.032768	-	12	
		1.8 ~ 2.4V		0.032768	-	8	
	周辺モジュールクロック (PCLKB) (注4) (注5)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	
	周辺モジュールクロック (PCLKD) (注3) (注5)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	

注 1. フラッシュメモリのプログラム／イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム／イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。

注 3. ADC16 使用時の PCLKD の下限周波数は 1MHz です。

注 4. SDADC24 使用時の PCLKB の下限周波数は 1MHz です。

注 5. ICLK、PCLKB、PCLKD、および FCLK の周波数関係については「9. クロック発生回路」を参照してください。

注 6. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 47.20 クロックタイミングを参照してください。

表 47.17 Low-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max (注6)	単位
動作周波数	システムクロック (ICLK) (注5)	1.8 ~ 5.5V	f	0.032768	-	1	MHz
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注5)	1.8 ~ 5.5V		0.032768	-	1	
	周辺モジュールクロック (PCLKB) (注4) (注5)	1.8 ~ 5.5V		-	-	1	
	周辺モジュールクロック (PCLKD) (注3) (注5)	1.8 ~ 5.5V		-	-	1	

注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。

注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。

注 3. ADC16 使用時の PCLKD の下限周波数は 1MHz です。

注 4. SDADC24 使用時の PCLKB の下限周波数は 1MHz です。

注 5. ICLK、PCLKB、PCLKD、および FCLK の周波数関係については「9. クロック発生回路」を参照してください。

注 6. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 47.20 クロックタイミングを参照してください。

表 47.18 Low-voltage 動作モードでの動作周波数

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max (注6)	単位
動作周波数	システムクロック (ICLK) (注5)	1.6 ~ 5.5V	f	0.032768	-	4	MHz
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注5)	1.6 ~ 5.5V		0.032768	-	4	
	周辺モジュールクロック (PCLKB) (注4) (注5)	1.6 ~ 5.5V		-	-	4	
	周辺モジュールクロック (PCLKD) (注3) (注5)	1.6 ~ 5.5V		-	-	4	

注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。

注 3. ADC16 使用時の PCLKD の下限周波数は 1MHz です。

注 4. SDADC24 使用時の PCLKB の下限周波数は 1MHz です。

注 5. ICLK、PCLKB、PCLKD、および FCLK の周波数関係については「9. クロック発生回路」を参照してください。

注 6. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 47.20 クロックタイミングを参照してください。

表 47.19 Subosc-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注4)	1.8 ~ 5.5V	f	27.8528	32.768	37.6832	kHz
	フラッシュインタフェースクロック (FCLK) (注1) (注4)	1.8 ~ 5.5V		27.8528	32.768	37.6832	
	周辺モジュールクロック (PCLKB) (注3) (注4)	1.8 ~ 5.5V		-	-	37.6832	
	周辺モジュールクロック (PCLKD) (注2) (注4)	1.8 ~ 5.5V		-	-	37.6832	

注 1. フラッシュメモリのプログラムまたはイレースはできません。

注 2. ADC16 は使用できません。

注 3. SDADC24 は使用できません。

注 4. ICLK、PCLKB、PCLKD、および FCLK の周波数関係については「9. クロック発生回路」を参照してください。

47.3.2 クロックタイミング

表 47.20 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	-	-	ns	図 47.25
EXTAL外部クロック入力Highレベルパルス幅	t_{XH}	20	-	-	ns	
EXTAL外部クロック入力Lowレベルパルス幅	t_{XL}	20	-	-	ns	
EXTAL外部クロック立ち上がり時間	t_{Xr}	-	-	5	ns	
EXTAL外部クロック立ち下がり時間	t_{Xf}	-	-	5	ns	
EXTAL外部クロック入力待機時間 (注1)	t_{EXWT}	0.3	-	-	μ s	-
EXTAL外部クロック入力周波数	f_{EXTAL}	-	-	20	MHz	$2.4 \leq VCC \leq 5.5$
		-	-	8		$1.8 \leq VCC < 2.4$
		-	-	1		$1.6 \leq VCC < 1.8$
メインクロック発振器発振周波数	f_{MAIN}	1	-	20	MHz	$2.4 \leq VCC \leq 5.5$
		1	-	8		$1.8 \leq VCC < 2.4$
		1	-	4		$1.6 \leq VCC < 1.8$
LOCOクロック発振周波数	f_{LOCO}	27.8528	32.768	37.6832	kHz	-
LOCOクロック発振安定時間	t_{LOCO}	-	-	100	μ s	図 47.26
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	-
MOCOクロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	-
MOCOクロック発振安定時間	t_{MOCO}	-	-	1	μ s	-
HOCOクロック発振周波数	f_{HOCO24}	23.64	24	24.36	MHz	$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		22.68	24	25.32		$T_a = -40 \sim -85^\circ\text{C}$ $1.6 \leq VCC < 1.8$
		23.76	24	24.24		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		23.52	24	24.48		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO32}	31.52	32	32.48		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		30.24	32	33.76		$T_a = -40 \sim 85^\circ\text{C}$ $1.6 \leq VCC < 1.8$
		31.68	32	32.32		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		31.36	32	32.64		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO48} (注3)	47.28	48	48.72		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		47.52	48	48.48		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		47.04	48	48.96		$T_a = -40 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO64} (注4)	63.04	64	64.96		$T_a = -40 \sim -20^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
		63.36	64	64.64		$T_a = -20 \sim 85^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
		62.72	64	65.28		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
HOCOクロック発振安定時間 (注5) (注6)	Low-voltage モード 以外	t_{HOCO24}	-	-	μ s	図 47.27
		t_{HOCO32}	-	-		
		t_{HOCO48}	-	-		
	Low-voltage モード	t_{HOCO24}	-	-		
		t_{HOCO32}	-	-		
		t_{HOCO48}	-	-		
		t_{HOCO64}	-	-		

表 47.20 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック発振器発振周波数	f_{SUB}	-	32.768	-	kHz	-
サブクロック発振安定時間 (注2)	t_{SUBOSC}	-	0.5	-	s	図 47.28

- 注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間
- 注 2. SOSCCR.SOSTP ビットを変更してサブクロック発振器の動作が開始したら、サブクロック発振安定待機時間が経過してからサブクロック発振器の使用を開始してください。サブクロック発振安定待機時間は発振器製造者の推奨値以上にしてください。
- 注 3. 48MHz HOCO は、VCC = 1.8 ~ 5.5V の範囲内で使用できます。
- 注 4. 64MHz HOCO は、VCC = 2.4 ~ 5.5V の範囲内で使用できます。
- 注 5. MOCO 停止状態で HOCOCR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振時に HOCOCR.HCSTP ビットを 0 (発振) にすると、この仕様は 1 μ s に短縮されます。
- 注 6. OSCSF.HOCOSF を確認して、安定時間が経過したか確認してください。

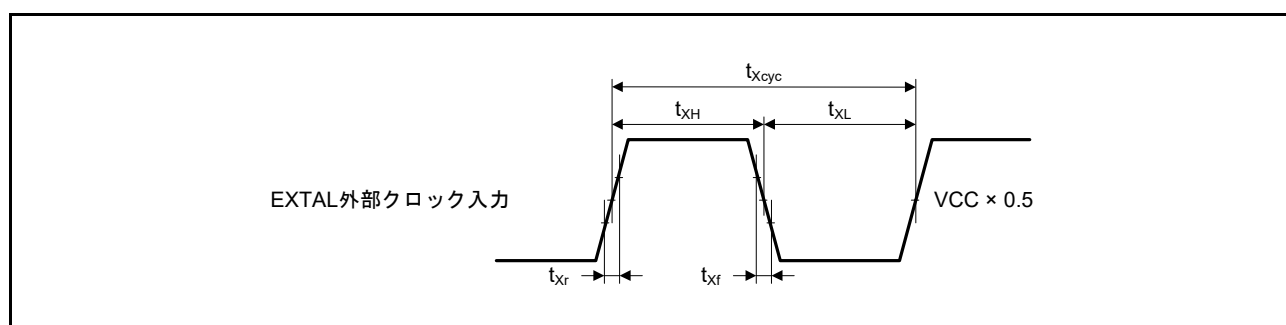


図 47.25 EXTAL 外部クロック入力タイミング

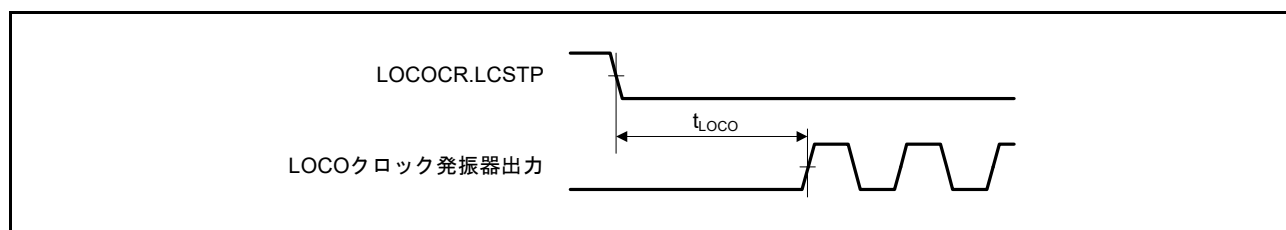


図 47.26 LOCO クロック発振開始タイミング

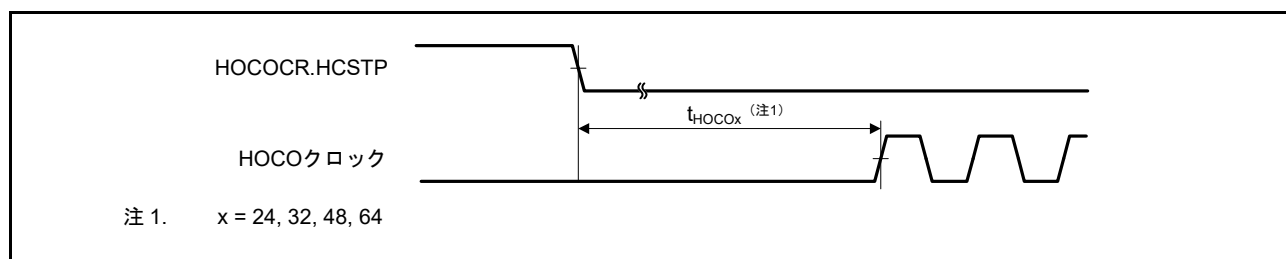


図 47.27 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定により開始)

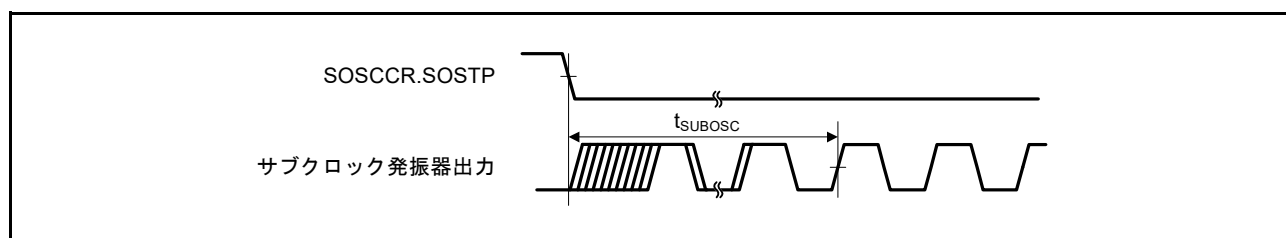


図 47.28 サブクロック発振開始タイミング

47.3.3 リセットタイミング

表 47.21 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RESパルス幅	電源投入時	t_{RESWP}	3	-	-	ms	図 47.29
	電源投入時以外	t_{RESW}	30	-	-	μ s	図 47.30
RES解除後の待機時間 (電源投入時)	LVD0有効 (注1)	t_{RESWT}	-	0.7	-	ms	図 47.29
	LVD0無効 (注2)		-	0.3	-		
RES解除後の待機時間 (電源投入中)	LVD0有効 (注1)	t_{RESWT2}	-	0.5	-	ms	図 47.30
	LVD0無効 (注2)		-	0.1	-		
内部リセット解除後の待機時間 (ウォッチドッグタイマリセット、 SRAMパリティエラーリセット、 SRAM ECCエラーリセット、バス マスタMPUエラーリセット、バス スレーブMPUエラーリセット、 スタックポインタエラーリセット、 ソフトウェアリセット)	LVD0有効 (注1)	t_{RESWT3}	-	0.6	-	ms	図 47.31
	LVD0無効 (注2)		-	0.15	-		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

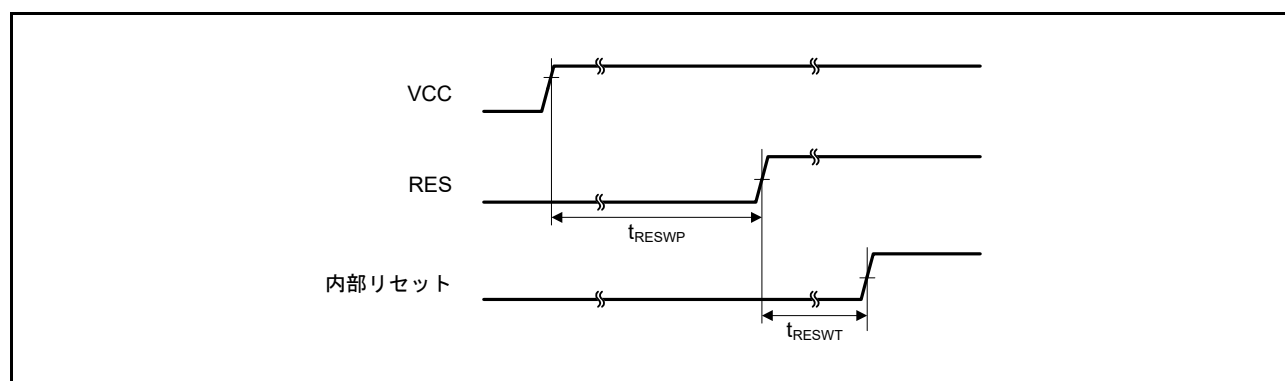


図 47.29 電源投入時リセット入力タイミング

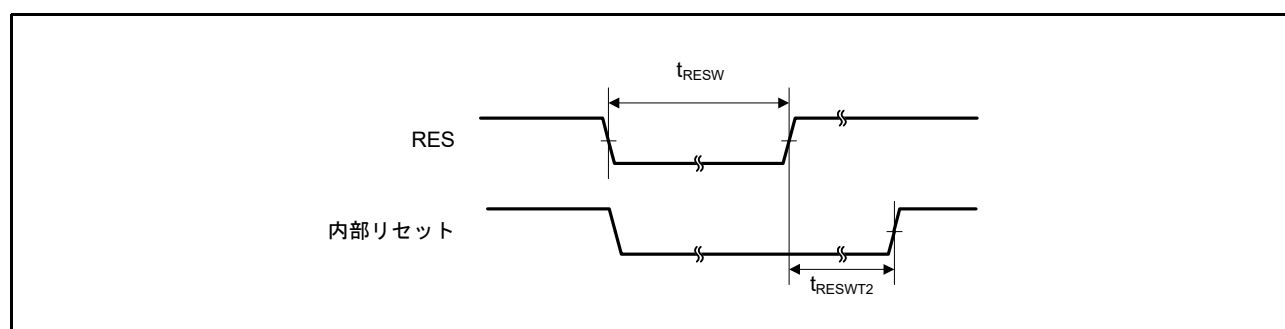


図 47.30 リセット入力タイミング (1)

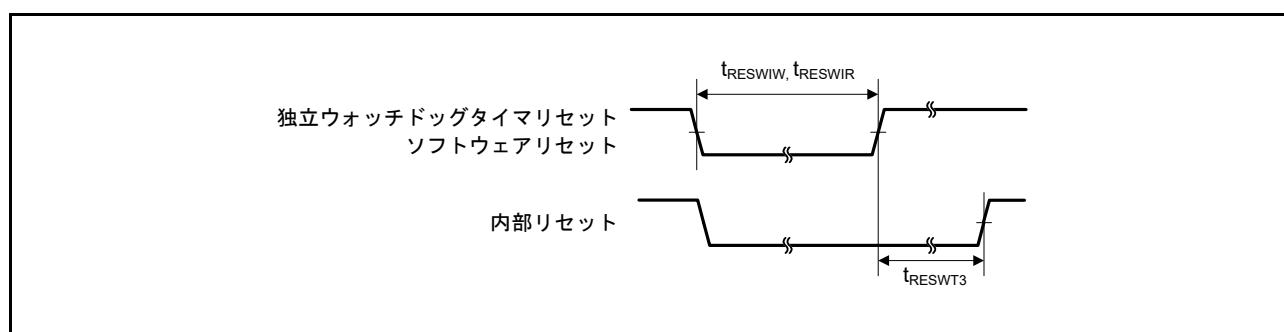


図 47.31 リセット入力タイミング (2)

47.3.4 ウェイクアップ時間

表 47.22 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	High-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 47.32
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20MHz) (注3)	t_{SBYEX}	-	14	25	μ s	
		システムクロックソースはHOCO (注4) (HOCOクロックは32MHz)		t_{SBYHO}	-	43	52	μ s	
		システムクロックソースはHOCO (注4) (HOCOクロックは48MHz)		t_{SBYHO}	-	44	52	μ s	
		システムクロックソースはHOCO (注5) (HOCOクロックは64MHz)		t_{SBYHO}	-	82	110	μ s	
		システムクロックソースはMOCO		t_{SBYMO}	-	16	25	μ s	

注 1. ICK および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

注 4. HOCO クロック待機コントロールレジスタ (HOCOWTCR) の設定値は 05h です。

注 5. HOCO クロック待機コントロールレジスタ (HOCOWTCR) の設定値は 06h です。

表 47.23 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (12MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 47.32
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (12MHz) (注3)	t_{SBYEX}	-	2.9	10	μ s	
		システムクロックソースはHOCO (注4)		t_{SBYHO}	-	38	50	μ s	
		システムクロックソースはMOCO (8MHz)		t_{SBYMO}	-	3.5	5.5	μ s	

注 1. ICK、FCK、および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

注 4. システムクロックは 12MHz です。

表 47.24 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (1MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 47.32
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (1MHz) (注3)	t_{SBYEX}	-	28	50	μ s	
		システムクロックソースはMOCO (1MHz)		t_{SBYMO}	-	25	35	μ s	

注 1. ICK、FCK、および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 47.25 低消費電力モードからの復帰タイミング (4)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-voltage モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (4MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 47.32
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (4MHz) (注3)	t_{SBYEX}	-	108	130	μ s	
		システムクロックソースはHOCO (4MHz)		t_{SBYHO}	-	108	130	μ s	

注 1. ICK、FCK、および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 47.26 低消費電力モードからの復帰タイミング (5)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768kHz)		t_{SBYSC}	-	0.85	1	ms	図 47.32
		システムクロックソースはLOCO (32.768kHz)		t_{SBYLO}	-	0.85	1.2	ms	

注 1. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

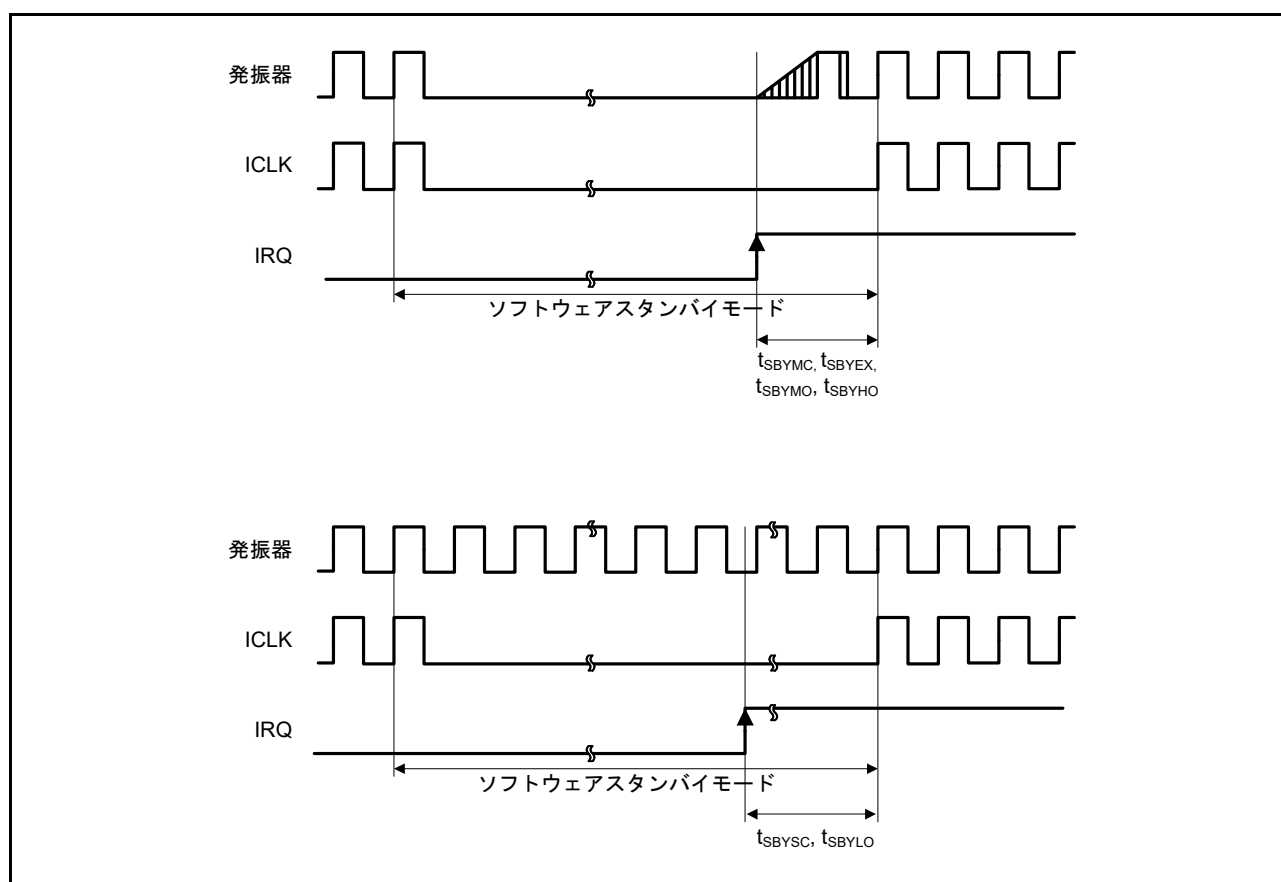


図 47.32 ソフトウェアスタンバイモード解除タイミング

表 47.27 低消費電力モードからの復帰タイミング (6)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	t _{SNZ}	-	36	45	μs	図 47.33
	Middle-speed モード システムクロックソースは MOCO (8MHz)	t _{SNZ}	-	1.3	3.6	μs	
	Low-speed モード システムクロックソースは MOCO (1MHz)	t _{SNZ}	-	10	13	μs	
	Low-voltage モード システムクロックソースは HOCO (4MHz)	t _{SNZ}	-	87	110	μs	

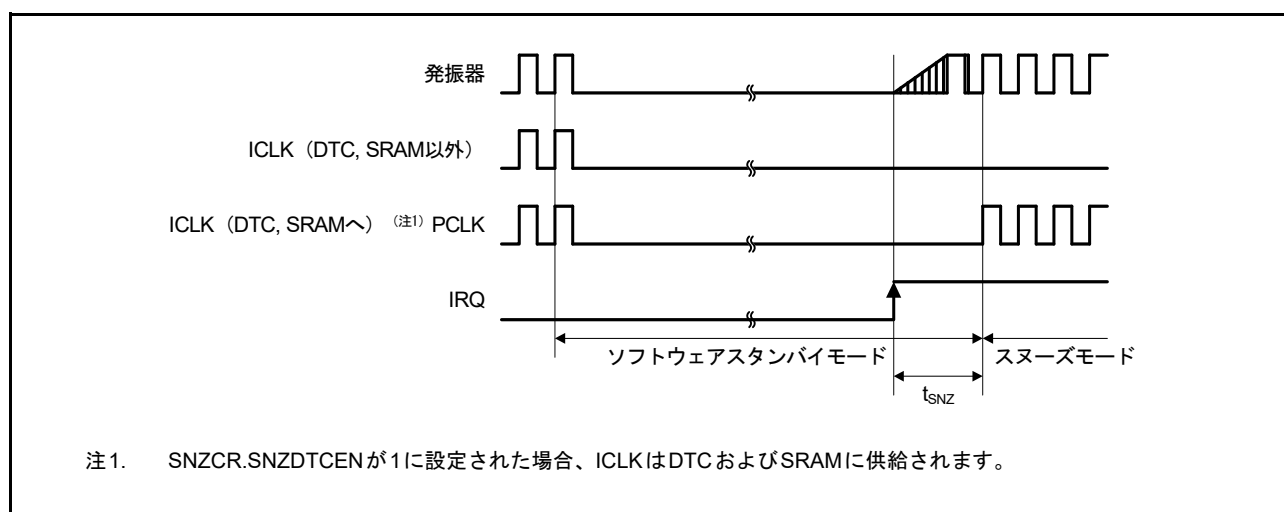


図 47.33 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

47.3.5 NMI/IRQ ノイズフィルタ

表 47.28 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	-	-	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	-	-			$t_{NMICK} \times 3 > 200ns$
IRQ パルス幅	t_{IRQW}	200	-	-	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	-	-			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小 200ns です。

注. クロックソース切り替え時、切り替えられたソースの 4 クロックサイクルを追加します。

注 1. t_{Pcyc} は PCLKB の周期を意味します。

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します ($i = 0 \sim 7$)。

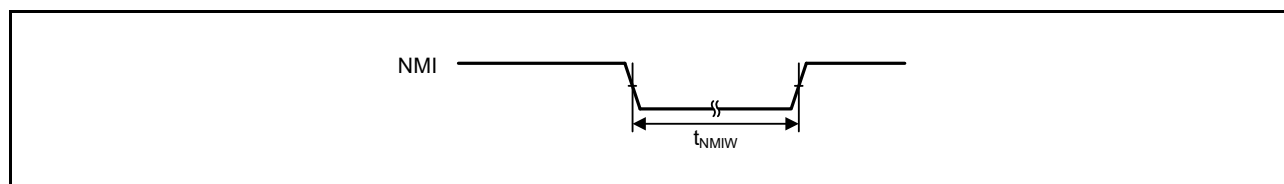


図 47.34 NMI 割り込み入力タイミング

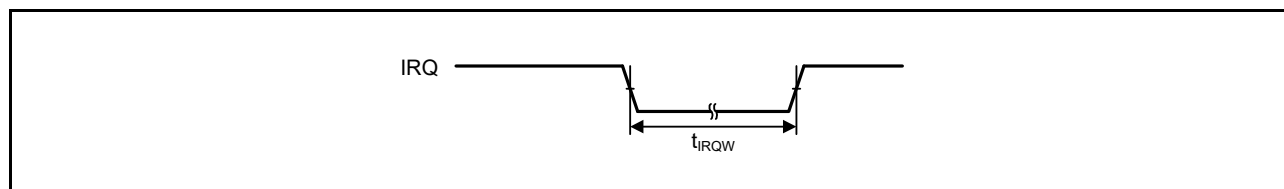


図 47.35 IRQ 割り込み入力タイミング

47.3.6 I/O ポート、POEG、GPT、AGT、KINT、ADC16 のトリガタイミング

表 47.29 I/Oポート、POEG、GPT、AGT、KINT、ADC16のトリガタイミング

項目			シンボル	Min	Max	単位	測定条件
I/Oポート	入力データパルス幅		t_{PRW}	1.5	-	t_{Pcyc}	図 47.36
POEG	POEG入力トリガパルス幅		t_{POEW}	3	-	t_{Pcyc}	図 47.37
GPT	インプットキャプチャパルス幅	単エッジ	t_{GTICW}	1.5	-	t_{PDcyc}	図 47.38
		両エッジ		2.5	-		
AGT	AGTIO、AGTEE入力サイクル	$2.7V \leq VCC \leq 5.5V$	t_{ACYC} (注1)	250	-	ns	図 47.39
		$2.4V \leq VCC < 2.7V$		500	-	ns	
		$1.8V \leq VCC < 2.4V$		1000	-	ns	
		$1.6V \leq VCC < 1.8V$		2000	-	ns	
	AGTIO、AGTEE入力 High レベル幅、 Low レベル幅	$2.7V \leq VCC \leq 5.5V$	t_{ACKWH} , t_{ACKWL}	100	-	ns	
		$2.4V \leq VCC < 2.7V$		200	-	ns	
		$1.8V \leq VCC < 2.4V$		400	-	ns	
		$1.6V \leq VCC < 1.8V$		800	-	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力周期	$2.7V \leq VCC \leq 5.5V$	t_{ACYC2}	62.5	-	ns	
		$2.4V \leq VCC < 2.7V$		125	-	ns	
		$1.8V \leq VCC < 2.4V$		250	-	ns	
		$1.6V \leq VCC < 1.8V$		500	-	ns	
ADC16	16ビットA/Dコンバータトリガ入力パルス幅		t_{TRGW}	1.5	-	t_{Pcyc}	図 47.40
KINT	KRn (n = 00 ~ 07) パルス幅		t_{KR}	250	-	ns	図 47.41

注. t_{Pcyc} : PCLKB サイクル、 t_{PDcyc} : PCLKD サイクル

注 1. 入力サイクルの制約事項:

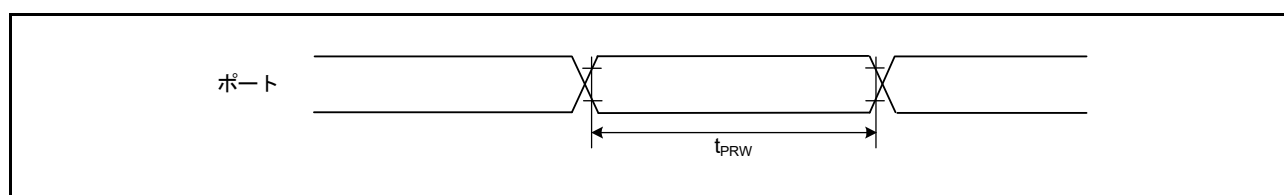
ソースクロックを切り替えない場合は、 $t_{Pcyc} \times 2 < t_{ACYC}$ を満足すること。ソースクロックを切り替える場合は、 $t_{Pcyc} \times 6 < t_{ACYC}$ を満足すること。

図 47.36 I/O ポート入力タイミング

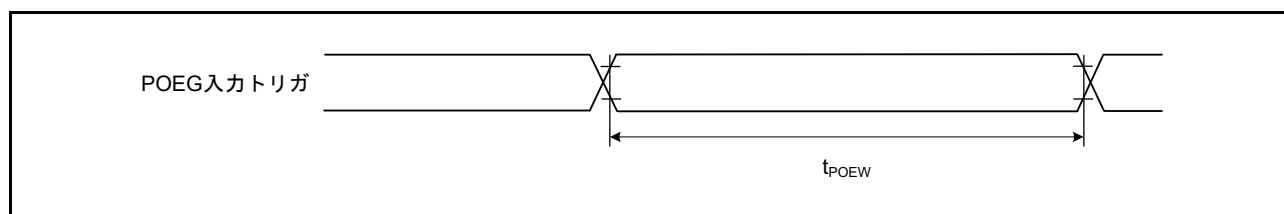


図 47.37 POEG 入力トリガタイミング

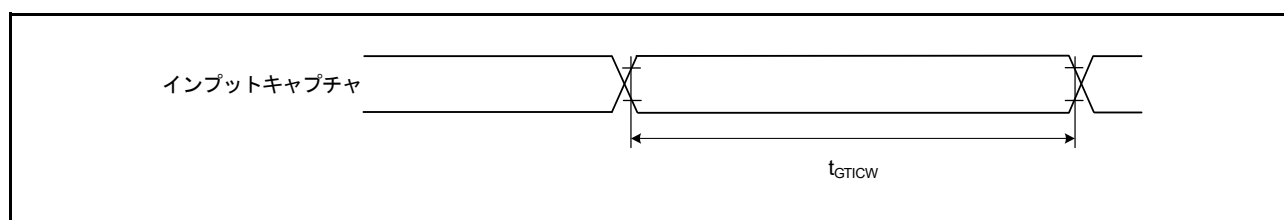


図 47.38 GPT インプットキャプチャタイミング

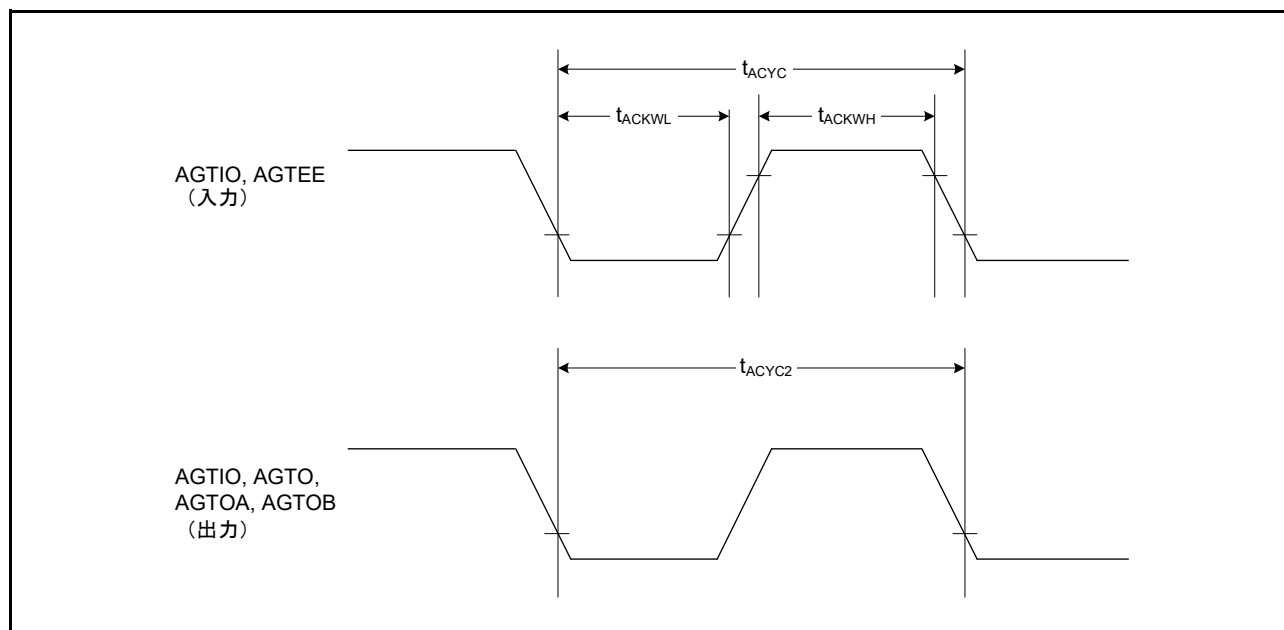


図 47.39 AGT 入出力タイミング

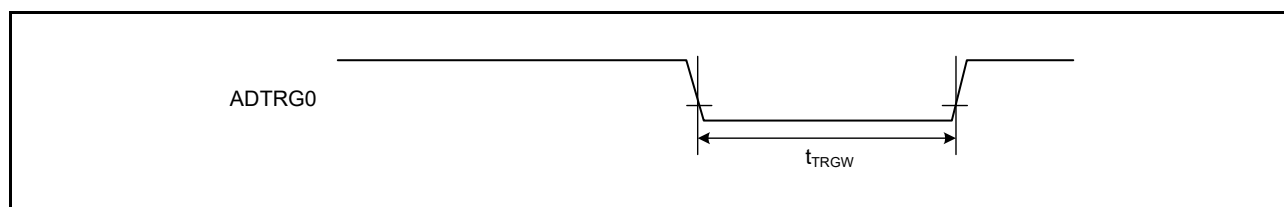


図 47.40 ADC16 トリガ入力タイミング

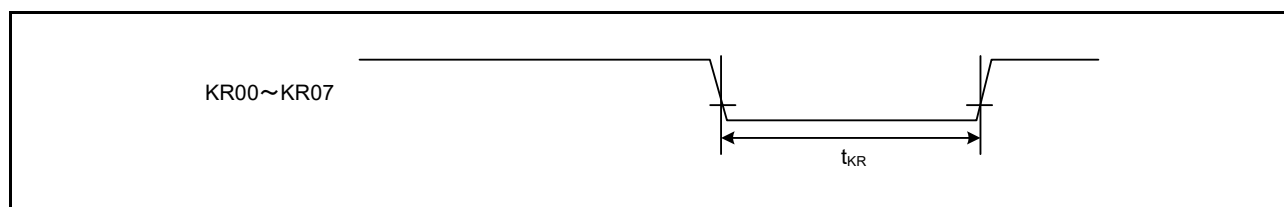


図 47.41 キー割り込み入力タイミング

47.3.7 CAC タイミング

表 47.30 CAC タイミング

条件: VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF入力パルス幅	$t_{P_{cyc}}^{(注1)} \leq t_{cac}^{(注2)}$	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{P_{cyc}}$	-	-	ns	-
		$t_{P_{cyc}}^{(注1)} > t_{cac}^{(注2)}$		$5 \times t_{cac} + 6.5 \times t_{P_{cyc}}$	-	-	ns	

注 1. t_{Pcyc} : PCLKB の周期注 2. t_{cac} : CAC カウントクロックソースの周期

47.3.8 SCI タイミング

表 47.31 SCI タイミング (1)

条件: VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目			シンボル	Min	Max	単位 (注1)	測定条件
SCI	入カクロックサイクル	調歩同期式	t_{Scyc}	4	-	t_{Pcyc}	図 47.42
		クロック同期式		6	-		
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カクロック立ち上がり時間		t_{SCKr}	-	20	ns	
	入カクロック立ち下がり時間		t_{SCKf}	-	20	ns	
	出カクロックサイクル	調歩同期式	t_{Scyc}	6	-	t_{Pcyc}	
		クロック同期式		4	-		
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出カクロック立ち上がり時間	$1.8V \leq VCC \leq 5.5V$	t_{SCKr}	-	20	ns	図 47.43
		$1.6V \leq VCC < 1.8V$		-	30		
	出カクロック立ち下がり時間	$1.8V \leq VCC \leq 5.5V$	t_{SCKf}	-	20	ns	
		$1.6V \leq VCC < 1.8V$		-	30		
	送信データ遅延時間 (マスタ)	クロック同期式	t_{TXD}	-	40	ns	
				-	45		
	送信データ遅延時間 (スレーブ)	クロック同期式		-	55	ns	
				-	60		
				-	100		
				-	125		
	受信データセットアップ時間 (マスタ)	クロック同期式	t_{RXS}	45	-	ns	
				55	-		
				90	-		
				110	-		
	受信データセットアップ時間 (スレーブ)	クロック同期式		40	-	ns	
				45	-		
	受信データホールド時間 (マスタ)	クロック同期式	t_{RXH}	5	-	ns	
	受信データホールド時間 (スレーブ)	クロック同期式	t_{RXH}	40	-	ns	

注 1. t_{Pcyc} : PCLKB の周期

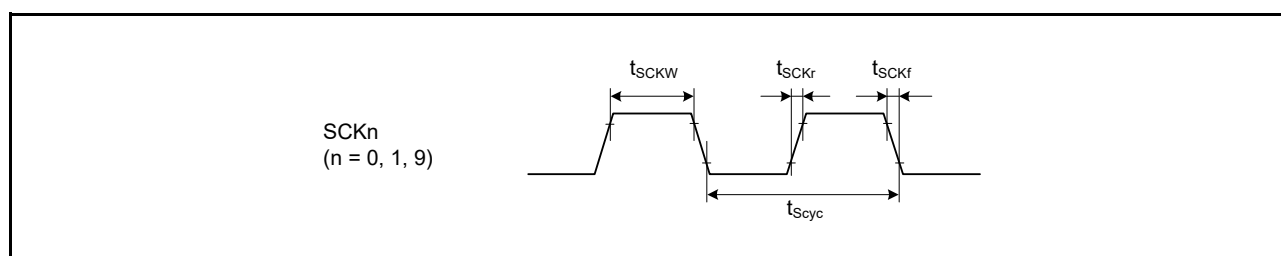


図 47.42 SCK クロック入力タイミング

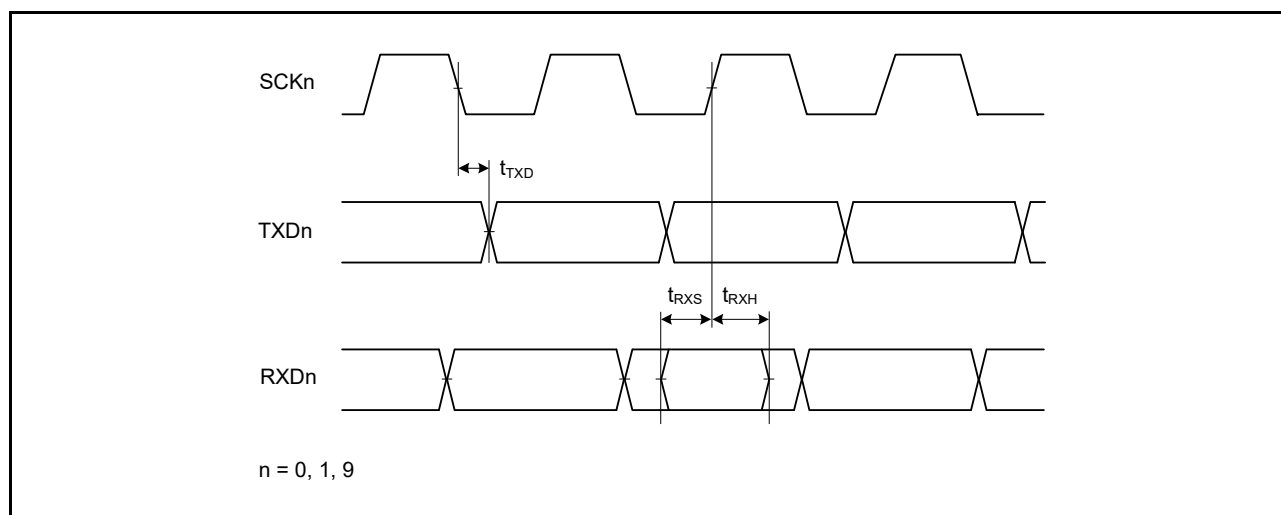


図 47.43 クロック同期式モードにおける SCI 入出力タイミング

表 47.32 SCI タイミング (2)

条件: VCC = AVCC0 = AVCC1 = 1.6 ~ 5.5V

項目				シンボル	Min	Max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力（マスタ）			tSPcyc	4	65536	tPcyc	図 47.44	
	SCKクロックサイクル入力（スレーブ）				6	65536			
	SCKクロック High レベルパルス幅			tSPCKWH	0.4	0.6	tSPcyc		
	SCKクロック Low レベルパルス幅			tSPCKWL	0.4	0.6	tSPcyc		
	SCKクロック立ち上がり／立ち下がり時間		1.8V ≦ VCC ≦ 5.5V	tSPCKr,	-	20	ns		
			1.6V ≦ VCC < 1.8V	tSPCKf	-	30			
	データ入力セットアップ時間	マスタ	2.7V ≦ VCC ≦ 5.5V	tSU	45	-	ns	図 47.45 ～ 図 47.48	
			2.4V ≦ VCC < 2.7V		55	-			
			1.8V ≦ VCC < 2.4V		80	-			
			1.6V ≦ VCC < 1.8V		110	-			
		スレーブ	2.7V ≦ VCC ≦ 5.5V		40	-			
			1.6V ≦ VCC < 2.7V		45	-			
	データ入力ホールド時間	マスタ		tH	33.3	-	ns		
		スレーブ			40	-			
	SS入力セットアップ時間				tLEAD	1	-		tSPcyc
	SS入力ホールド時間				tLAG	1	-		tSPcyc
	データ出力遅延時間	マスタ	1.8V ≦ VCC ≦ 5.5V	tOD	-	40	ns		
			1.6V ≦ VCC < 1.8V		-	50			
		スレーブ	2.4V ≦ VCC ≦ 5.5V		-	65			
			1.8V ≦ VCC < 2.4V		-	100			
1.6V ≦ VCC < 1.8V			-		125				
データ出力ホールド時間	マスタ	2.7V ≦ VCC ≦ 5.5V	tOH	-10	-	ns			
		2.4V ≦ VCC < 2.7V		-20	-				
		1.8V ≦ VCC < 2.4V		-30	-				
		1.6V ≦ VCC < 1.8V		-40	-				
	スレーブ			-10	-				
データ立ち上がり／立ち下がり時間	マスタ	1.8V ≦ VCC ≦ 5.5V	tDr, tDf	-	20	ns			
		1.6V ≦ VCC < 1.8V		-	30				
	スレーブ	1.8V ≦ VCC ≦ 5.5V		-	20				
		1.6V ≦ VCC < 1.8V		-	30				
簡易 SPI	スレーブアクセス時間			tSA	-	6	tPcyc	図 47.48	
	スレーブ出力解放時間			tREL	-	6	tPcyc		

注 1. t_{Pcyc} : PCLKB の周期

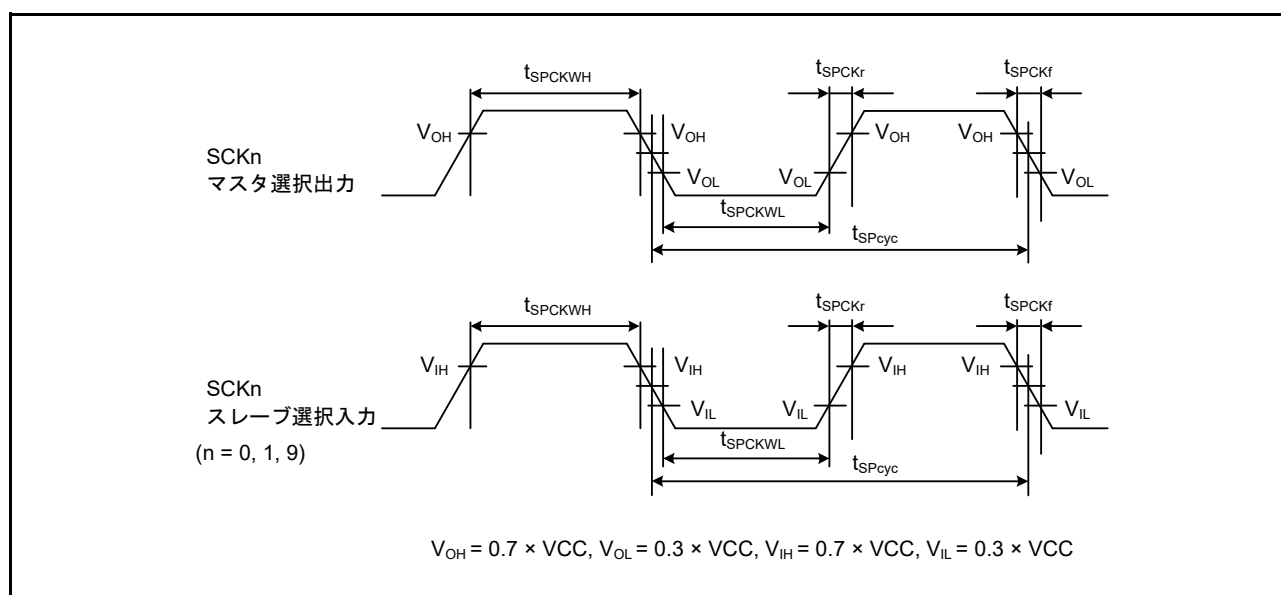


図 47.44 SCI 簡易 SPI モードクロックタイミング

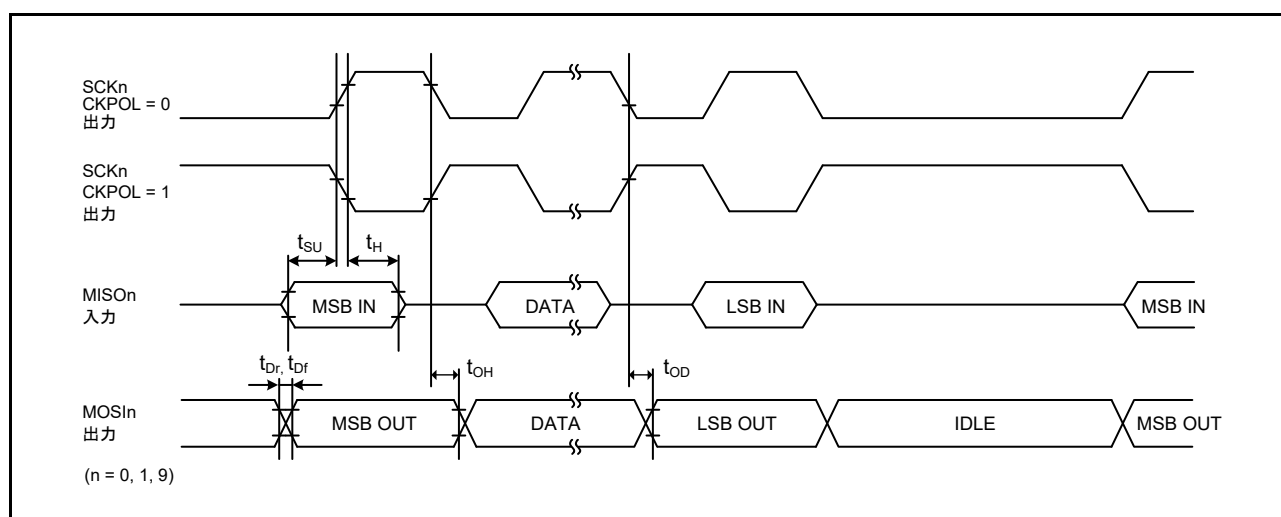


図 47.45 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

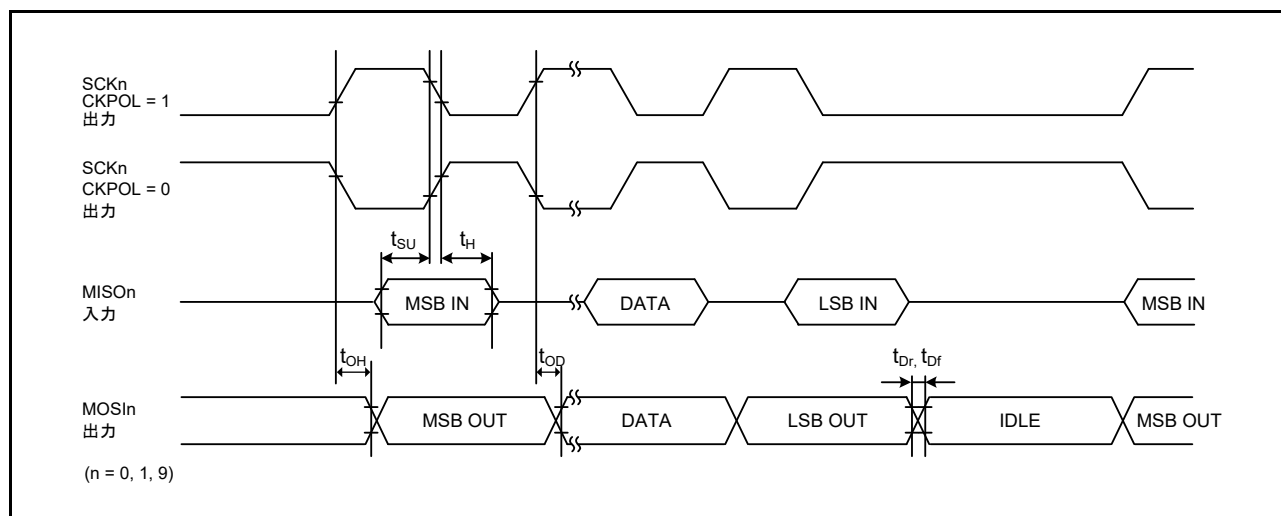


図 47.46 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

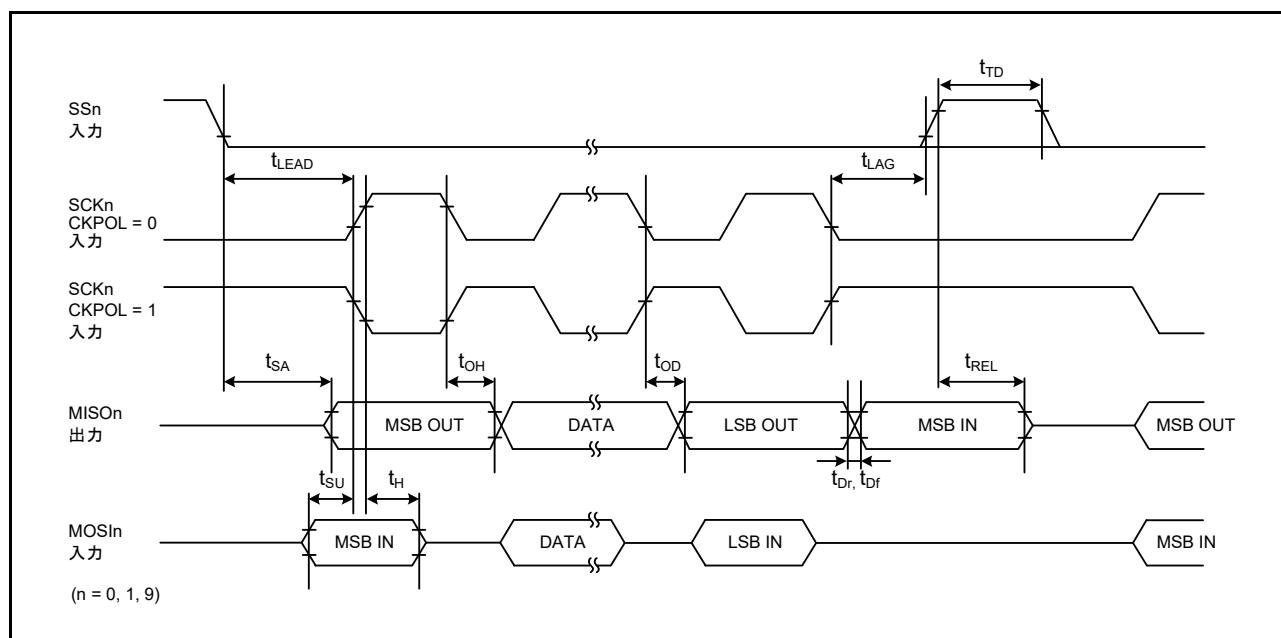


図 47.47 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

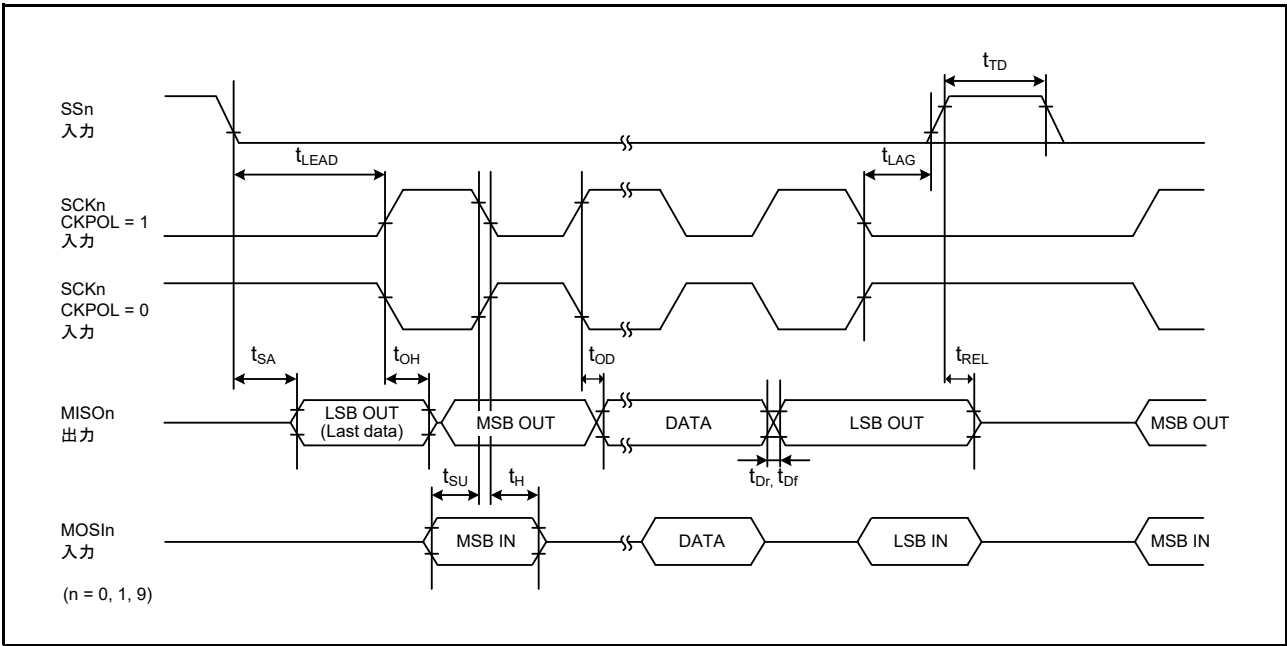


図 47.48 SCI 簡易 SPI モードタイミング (スレープ、CKPH = 0)

表 47.33 SCI タイミング (3)
条件 : VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	t_{Sr}	-	1000	ns	図 47.49
	SDA 入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入カセットアップ時間	t_{SDAS}	250	-	ns	
	データ入カホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の容量性負荷	C_b (注2)	-	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	-	300	ns	図 47.49
	SDA 入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入カセットアップ時間	t_{SDAS}	100	-	ns	
	データ入カホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の容量性負荷	C_b (注2)	-	400	pF	

注 1. t_{IICcyc} : SMR.CKS[1:0] ビットによって選択されたクロックサイクル。

注 2. C_b はバスラインの容量総計を意味します。

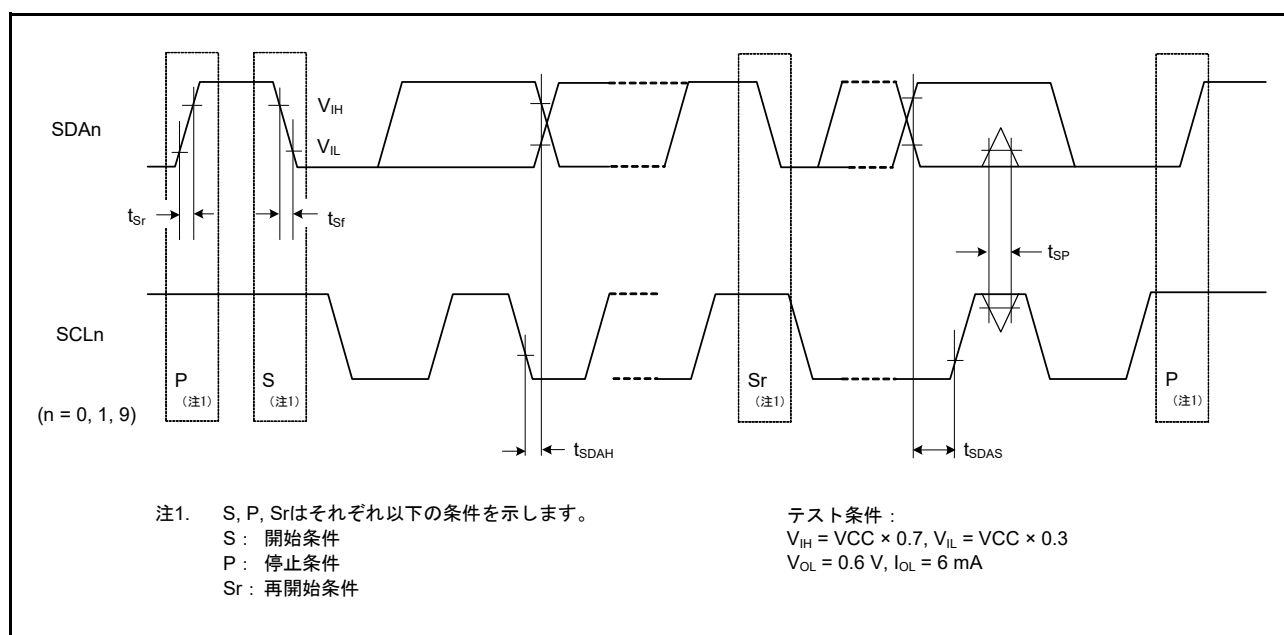


図 47.49 SCI 簡易 IIC モードタイミング

47.3.9 SPI タイミング

表 47.34 SPI タイミング (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目				シンボル	Min	Max	単位 (注1)	測定条件		
SPI	RSPCKクロックサイクル	マスタ		tSPcyc	2	4096	tPcyc	図 47.50 C = 30pF		
		スレーブ			6	4096				
	RSPCKクロックHighレベル パルス幅	マスタ		tSPCKWH	(tSPcyc - tSPCKR - tSPCKF) / 2 - 3	-	ns			
		スレーブ			3 × tPcyc	-				
	RSPCK クロックLowレベル パルス幅	マスタ		tSPCKWL	(tSPcyc - tSPCKR - tSPCKF) / 2 - 3	-	ns			
		スレーブ			3 × tPcyc	-				
	RSPCKクロック立ち上がり ／立ち下がり時間	出力	2.7V ≤ VCC ≤ 5.5V		tSPCKr, tSPCKf	-	10		ns	
			2.4V ≤ VCC < 2.7V			-	15			
			1.8V ≤ VCC ≤ 2.4V			-	20			
			1.6V ≤ VCC < 1.8V			-	30			
		入力		-	1	μs				
	データ入力セットアップ時間	マスタ		tSU	10	-	ns		図 47.51 ～ 図 47.56 C = 30pF	
		スレーブ	2.4V ≤ VCC ≤ 5.5V		10	-				
			1.8V ≤ VCC < 2.4V		15	-				
			1.6V ≤ VCC < 1.8V		20	-				
データ入力ホールド時間	マスタ (RSPCKはPCLKB/2)		tHF	0	-	ns				
	マスタ (RSPCKはPCLKB/2以外)		tH	tPcyc	-					
	スレーブ		tH	20	-					
SSLセットアップ時間	マスタ	1.8V ≤ VCC ≤ 5.5V		tLEAD	- 30 + N × tSpcyc (注2)	-	ns			
		1.6V ≤ VCC < 1.8V			- 50 + N × tSpcyc (注2)	-				
	スレーブ		6 × tPcyc		-	ns				
SSLホールド時間	マスタ		tLAG	- 30 + N × tSpcyc (注3)	-	ns				
	スレーブ			6 × tPcyc	-	ns				

表 47.34 SPI タイミング (2/2)

条件: PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	データ出力遅延時間	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{OD}	-	14	ns	図 47.51 ～ 図 47.56 C = 30pF
			$2.4V \leq VCC < 2.7V$		-	20		
			$1.8V \leq VCC < 2.4V$		-	25		
			$1.6V \leq VCC < 1.8V$		-	30		
		スレーブ	$2.7V \leq VCC \leq 5.5V$		-	50		
			$2.4V \leq VCC < 2.7V$		-	60		
			$1.8V \leq VCC < 2.4V$		-	85		
			$1.6V \leq VCC < 1.8V$		-	110		
	データ出力ホールド時間	マスタ		t_{OH}	0	-	ns	
		スレーブ			0	-		
	連続転送遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ			$6 \times t_{Pcyc}$	-		
	MOSI、MISOの立ち上がり／立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{Dr}, t_{Df}	-	10	ns	
			$2.4V \leq VCC < 2.7V$		-	15		
			$1.8V \leq VCC < 2.4V$		-	20		
			$1.6V \leq VCC < 1.8V$		-	30		
		入力		-	1	μs		
		SSL立ち上がり／立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{SSLr}, t_{SSLf}	-	10	
	$2.4V \leq VCC < 2.7V$			-		15		
	$1.8V \leq VCC < 2.4V$			-		20		
$1.6V \leq VCC < 1.8V$	-			30				
入力			-	1	μs			
スレーブアクセス時間			$2.4V \leq VCC \leq 5.5V$	t_{SA}	-	$2 \times t_{Pcyc} + 100$	ns	図 47.55 および 図 47.56 C = 30pF
		$1.8V \leq VCC < 2.4V$	-		$2 \times t_{Pcyc} + 140$			
		$1.6V \leq VCC < 1.8V$	-		$2 \times t_{Pcyc} + 180$			
スレーブ出力解放時間		$2.4V \leq VCC \leq 5.5V$	t_{REL}	-	$2 \times t_{Pcyc} + 100$	ns		
		$1.8V \leq VCC < 2.4V$		-	$2 \times t_{Pcyc} + 140$			
		$1.6V \leq VCC < 1.8V$		-	$2 \times t_{Pcyc} + 180$			

注 1. t_{PCyc} : PCLKB の周期

注 2. N は SPCKD レジスタにより、1 ～ 8 の整数に設定されます。

注 3. N は SSLND レジスタにより、1 ～ 8 の整数に設定されます。

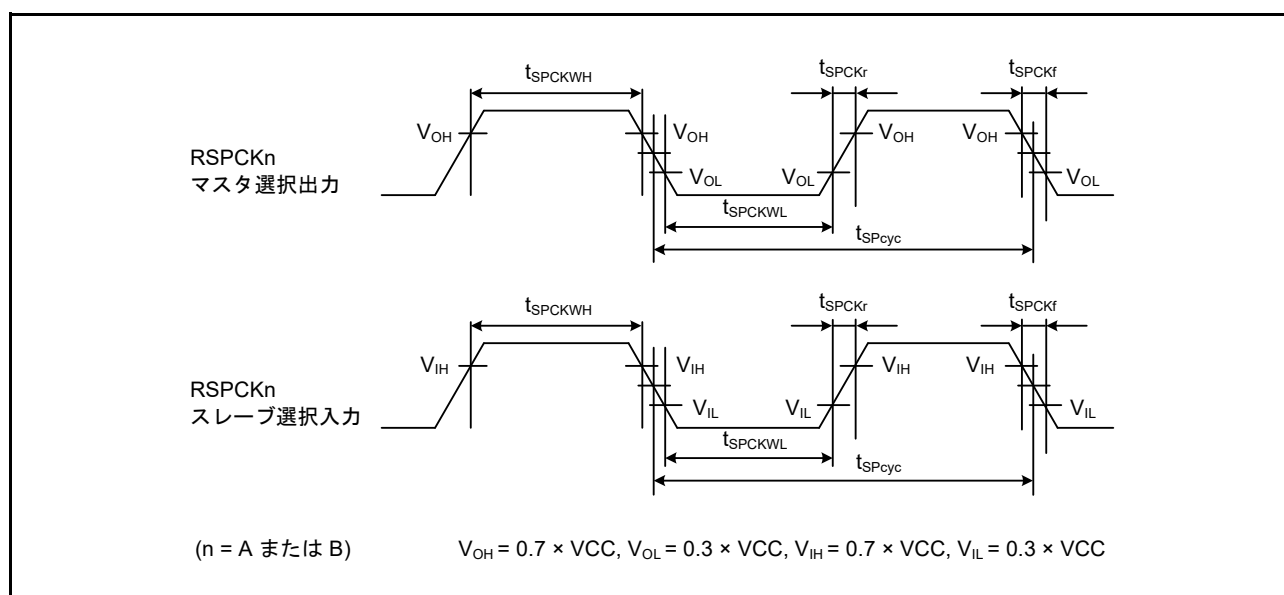


図 47.50 SPI クロックタイミング

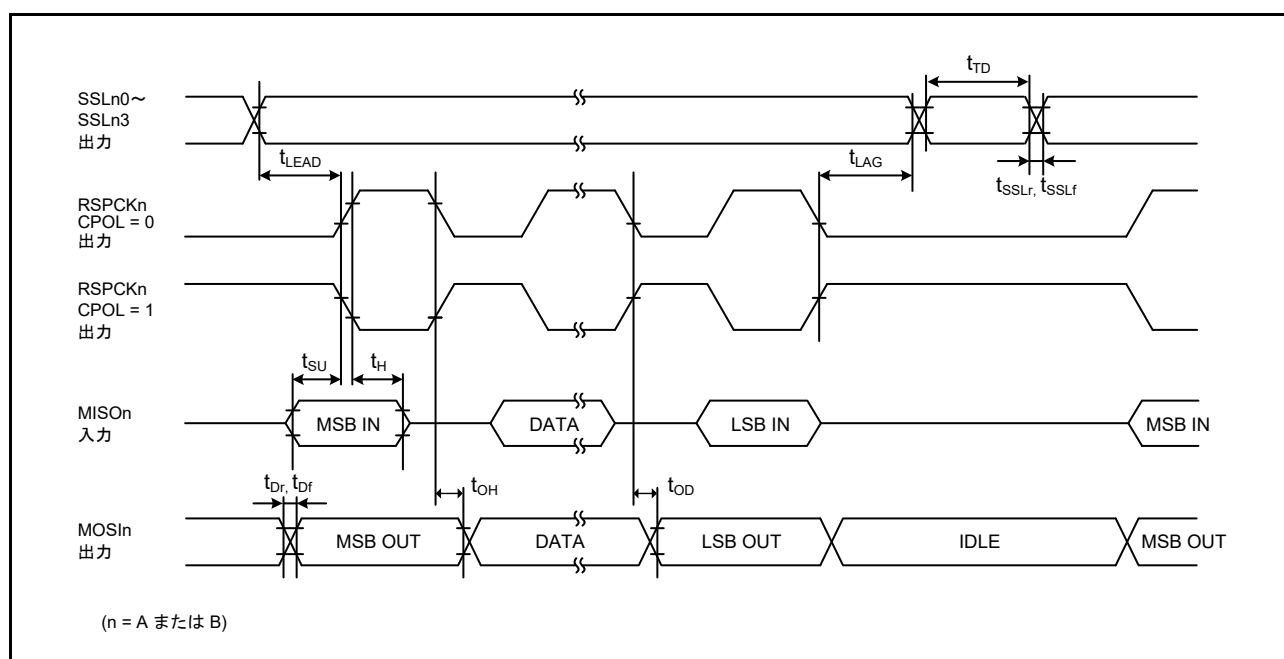


図 47.51 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定)

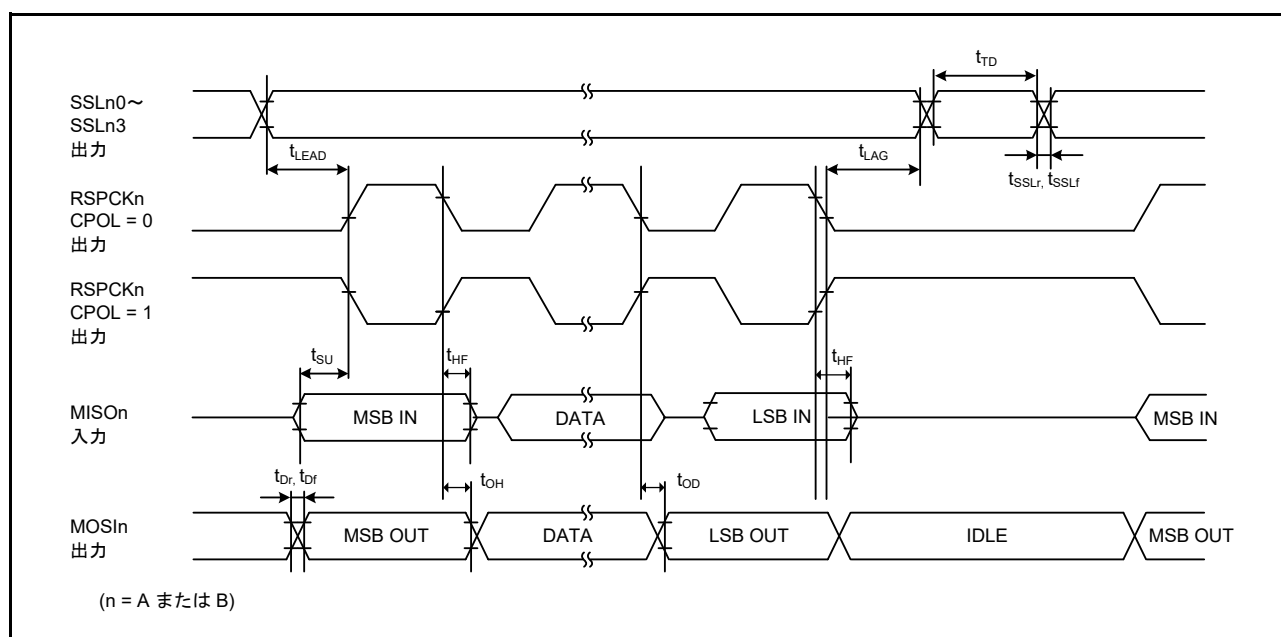


図 47.52 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

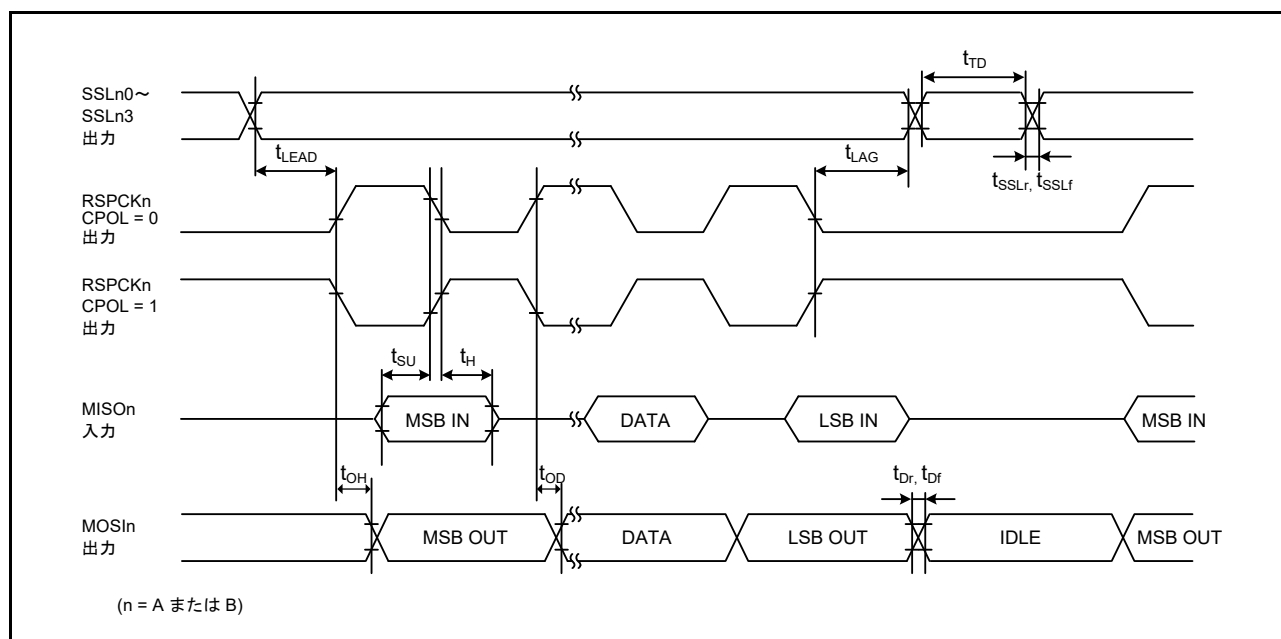


図 47.53 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定)

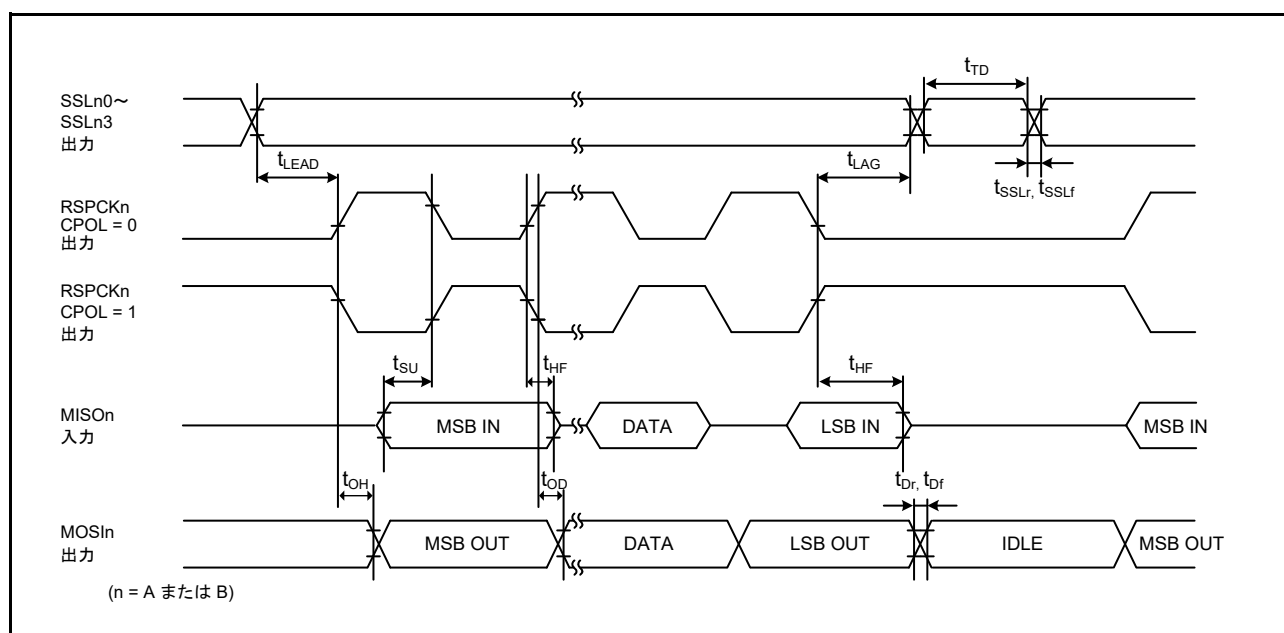


図 47.54 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

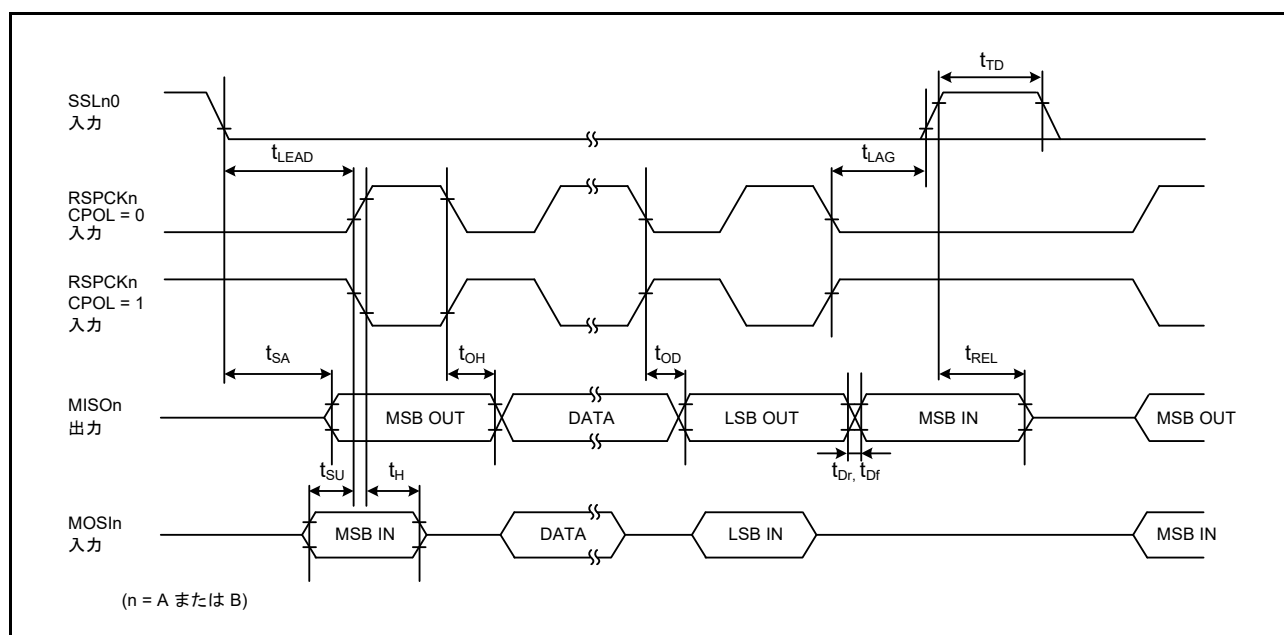


図 47.55 SPI タイミング (スレーブ、CPHA = 0)

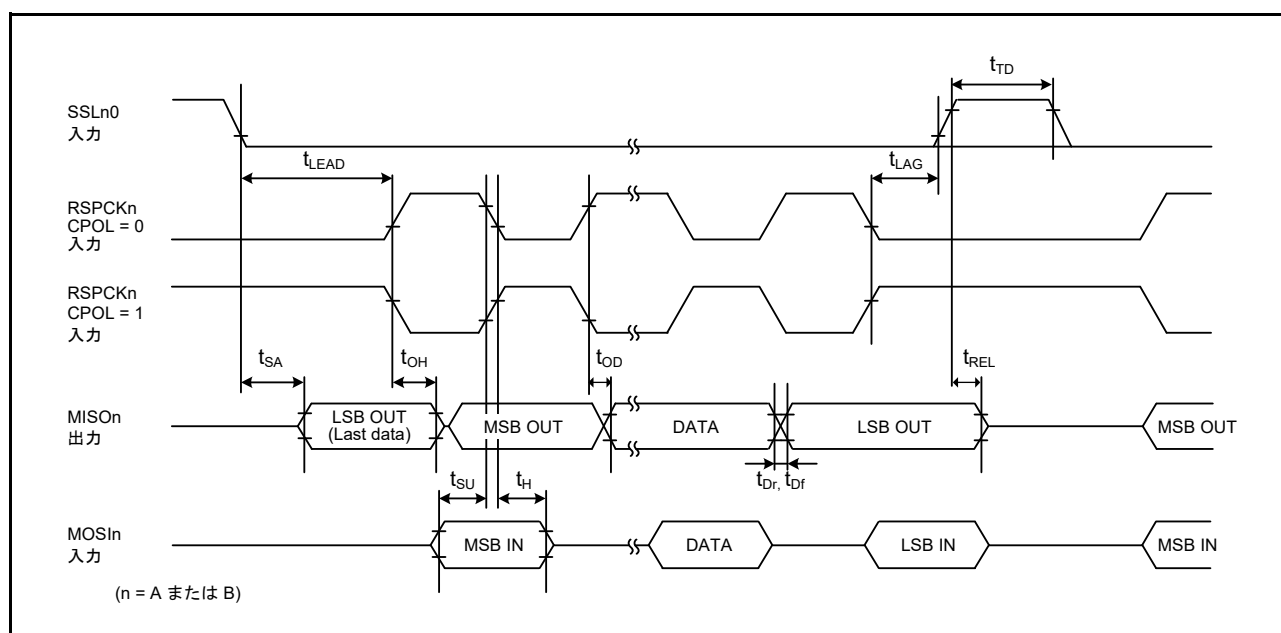


図 47.56 SPI タイミング (スレーブ、CPHA = 1)

47.3.10 IIC タイミング

表 47.35 IIC タイミング

条件 : VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V

項目		シンボル	Min (注1)	Max	単位	測定条件
IIC (標準モード、 SMBus)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	-	ns	図 47.57
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	-	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	-	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	t_{STAS}	1000	-	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	-	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの容量性負荷	C_b	-	400	pF	
IIC (ファストモード)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	-	ns	図 47.57
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	-	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	-	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	t_{STAS}	300	-	ns	
	STOP条件入力セットアップ時間	t_{STOS}	300	-	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの容量性負荷	C_b	-	400	pF	

注 . t_{IICcyc} : IIC 内部基準クロック (IICφ) の周期、 t_{Pcyc} : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると () 内の値が適用されます。

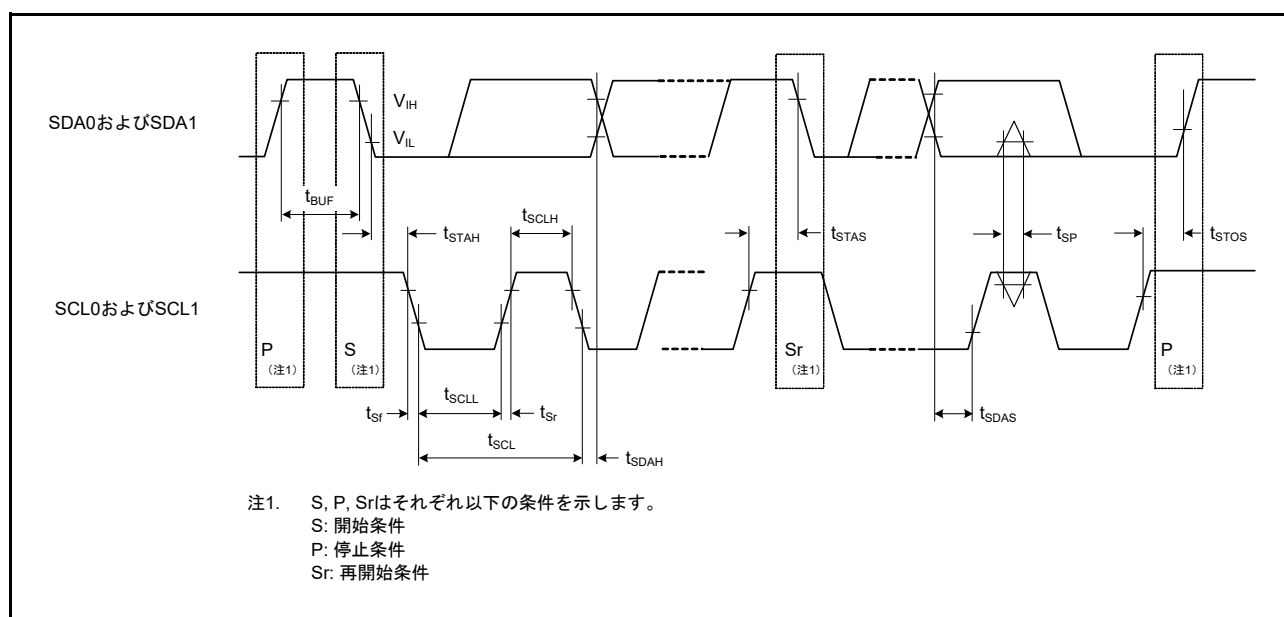


図 47.57 I²C バスインタフェース入出力タイミング

47.3.11 CLKOUT タイミング

表 47.36 CLKOUT タイミング

項目			シンボル	Min	Max	単位	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注1)	2.7V ≦ VCC ≦ 5.5V	t _{Cyc}	62.5	-	ns	図 47.58
		1.8V ≦ VCC < 2.7V		125	-		
		1.6V ≦ VCC < 1.8V		250	-		
	CLKOUT 端子 High レベルパルス幅 (注2)	2.7V ≦ VCC ≦ 5.5V	t _{CH}	15	-	ns	
		1.8V ≦ VCC < 2.7V		30	-		
		1.6V ≦ VCC < 1.8V		150	-		
	CLKOUT 端子 Low レベルパルス幅 (注2)	2.7V ≦ VCC ≦ 5.5V	t _{CL}	15	-	ns	
		1.8V ≦ VCC < 2.7V		30	-		
		1.6V ≦ VCC < 1.8V		150	-		
	CLKOUT 端子出力立ち上がり時間	2.7V ≦ VCC ≦ 5.5V	t _{Cr}	-	12	ns	
		1.8V ≦ VCC < 2.7V		-	25		
		1.6V ≦ VCC < 1.8V		-	50		
	CLKOUT 端子出力立ち下がり時間	2.7V ≦ VCC ≦ 5.5V	t _{Cf}	-	12	ns	
		1.8V ≦ VCC < 2.7V		-	25		
		1.6V ≦ VCC < 1.8V		-	50		

注 1. EXTERNAL 外部クロック入力または発振器の 1 分周 (CKOCR.CKOSSEL[2:0] ビット = 011b かつ CKOCR.CKODIV[2:0] ビット = 000b) を使用して CLKOUT から出力する場合は、入力デューティサイクル 45 ~ 55% で表 47.36 の仕様を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSSEL[2:0] ビット = 001b)、クロック出力分周比を 2 分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

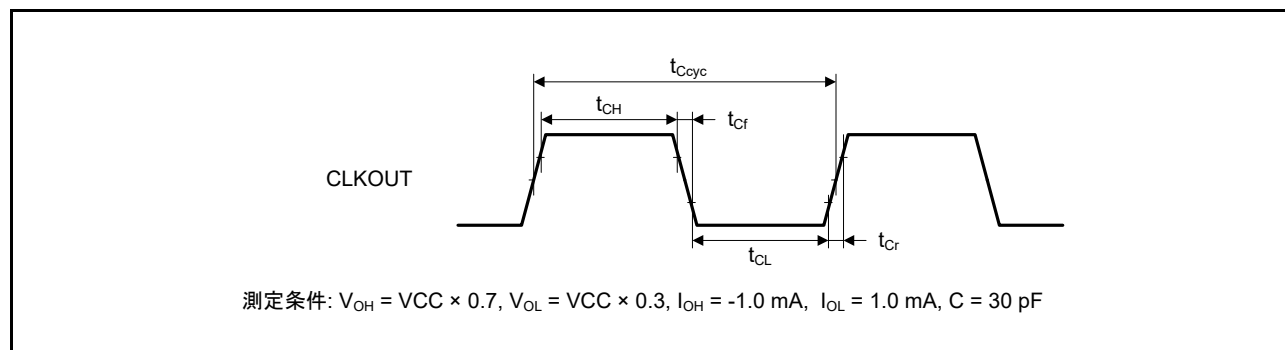


図 47.58 CLKOUT 出力タイミング

47.4 USB 特性

47.4.1 USBFS タイミング

表 47.37 USB 特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC\_USB} = 3.0 \sim 3.6V$, $T_a = -20 \sim +85^{\circ}C$

項目		シンボル	Min	Max	単位	測定条件
入力特性	入力Highレベル電圧	V_{IH}	2.0	-	V	-
	入力Lowレベル電圧	V_{IL}	-	0.8	V	-
	差動入力感度	V_{DI}	0.2	-	V	USB_DP - USB_DM
	差動共通モードレンジ	V_{CM}	0.8	2.5	V	-
出力特性	出力Highレベル電圧	V_{OH}	2.8	V_{CC_USB}	V	$I_{OH} = -200\mu A$
	出力Lowレベル電圧	V_{OL}	0.0	0.3	V	$I_{OL} = 2mA$
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V	図 47.59、 図 47.60、 図 47.61
	立ち上がり時間	FS	t_r	4	20	
		LS	75	300	ns	
	立ち下がり時間	FS	t_f	4	20	
		LS	75	300	ns	
	立ち上がり／立ち下がり時間比	FS	t_r/t_f	90	111.11	
		LS	80	125	%	
	出力抵抗	Z_{DRV}	28	44	Ω	(外部要素の抵抗を調整する必要なし)
VBUS 特性	VBUS 入力電圧	V_{IH}	$V_{CC} \times 0.8$	-	V	-
		V_{IL}	-	$V_{CC} \times 0.2$	V	-
ブルアップ、ブルダウン	ブルダウン抵抗	R_{PD}	14.25	24.80	k Ω	-
	ブルアップ抵抗	R_{PUI}	0.9	1.575	k Ω	アイドル状態の間
		R_{PUA}	1.425	3.09	k Ω	受信時
バッテリーチャージング規格 Ver 1.2	D+シンク電流	I_{DP_SINK}	25	175	μA	-
	D-シンク電流	I_{DM_SINK}	25	175	μA	-
	D+ソース電流	I_{DP_SRC}	7	13	μA	-
	データ検出電圧	V_{DAT_REF}	0.25	0.4	V	-
	D+ソース電圧	V_{DP_SRC}	0.5	0.7	V	出力電流 = 250 μA
	D-ソース電圧	V_{DM_SRC}	0.5	0.7	V	出力電流 = 250 μA

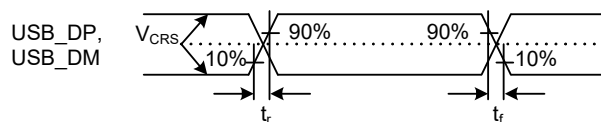


図 47.59 USB_DP および USB_DM 出力タイミング

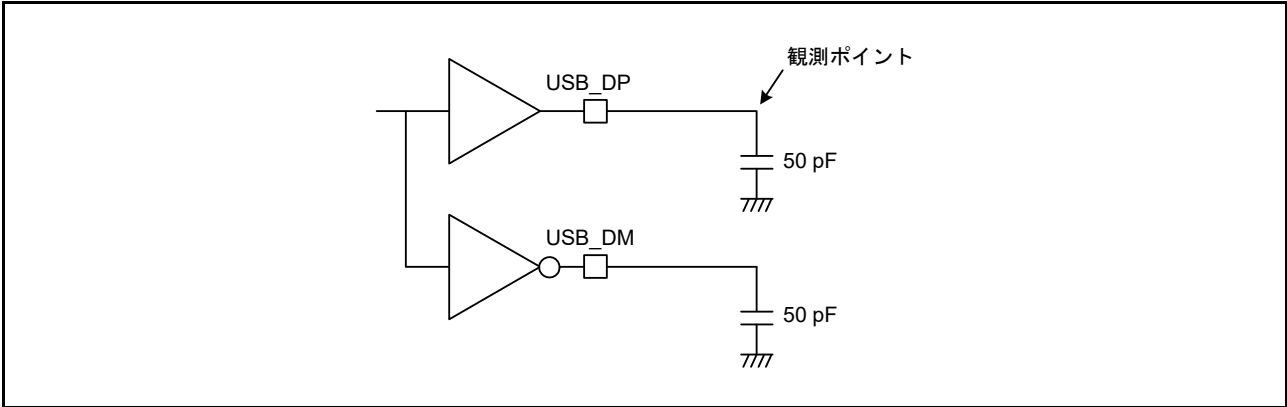


図 47.60 フルスピード（FS）接続の測定回路

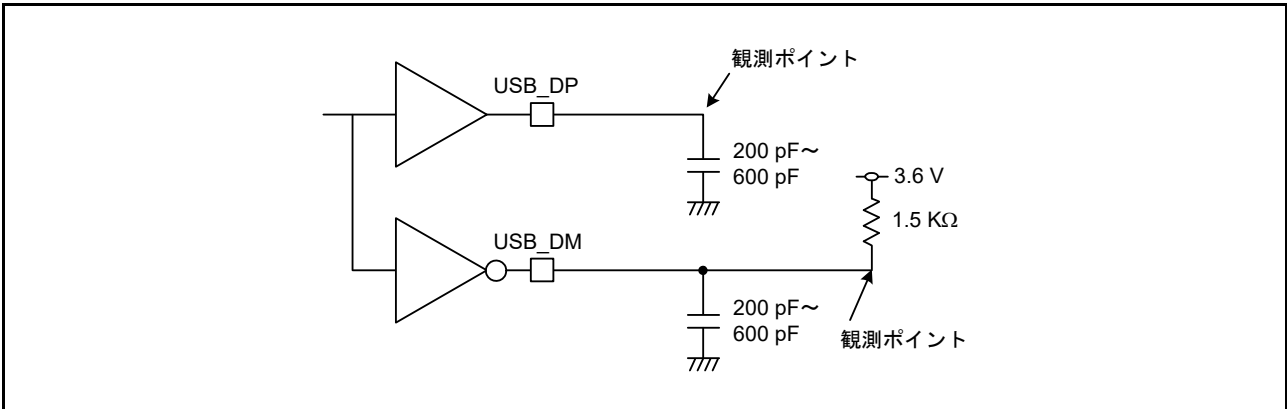


図 47.61 ロースピード（LS）接続の測定回路

47.4.2 USB 外部供給

表 47.38 USB レギュレータ

項目		Min	Typ	Max	単位	測定条件
VCC_USB 供給電流	$3.8\text{V} \leq \text{VCC\_USB\_LDO} < 4.5\text{V}$	-	-	50	mA	-
	$4.5\text{V} \leq \text{VCC\_USB\_LDO} \leq 5.5\text{V}$	-	-	100	mA	-
VCC_USB 電源電圧		3.0	-	3.6	V	-

47.5 ADC16 特性

表 47.39 16ビットA/D変換、電源、および入力範囲条件

条件 : $VCC = AVCC0 = AVCC1 = 1.7 \sim 5.5V$ 、 $VREFH0 = 1.7 \sim 5.5V$ 、 $VSS = AVSS0 = AVSS1 = VREFL0 = 0V$
 基準電圧範囲を $VREFH0$ および $VREFL0$ に印加

項目		Min	Typ	Max	単位	測定条件
高電位基準電圧		1.5	3.3	$AVCC0$	V	-
低電位基準電圧		-	$AVSS0$	-	V	-
アナログ入力電圧範囲		0	-	$VREFH0$	V	-
入力コモンモードレンジ	Acm	0	$VREFH0/2$	$VREFH0$	V	差動アナログ入力
アナログ入力容量 (注2)	Cs	-	-	4.3	pF	-
アナログ入力抵抗 (注1)	Rs	-	-	0.7	k Ω	高精度チャネル $2.7V \leq AVCC0 \leq 5.5V$
		-	-	1.5		高精度チャネル $1.7V \leq AVCC0 < 2.7V$
		-	-	2.5		通常精度チャネル $2.7V \leq AVCC0 \leq 5.5V$
		-	-	3.8		通常精度チャネル $1.7V \leq AVCC0 < 2.7V$

注 1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

注 2. I/O 入力容量 (Cin) 以外は、47.2.4 I/O VOH、VOL、その他の特性を参照してください。

図 47.62 にアナログ入力の等価回路を示します。

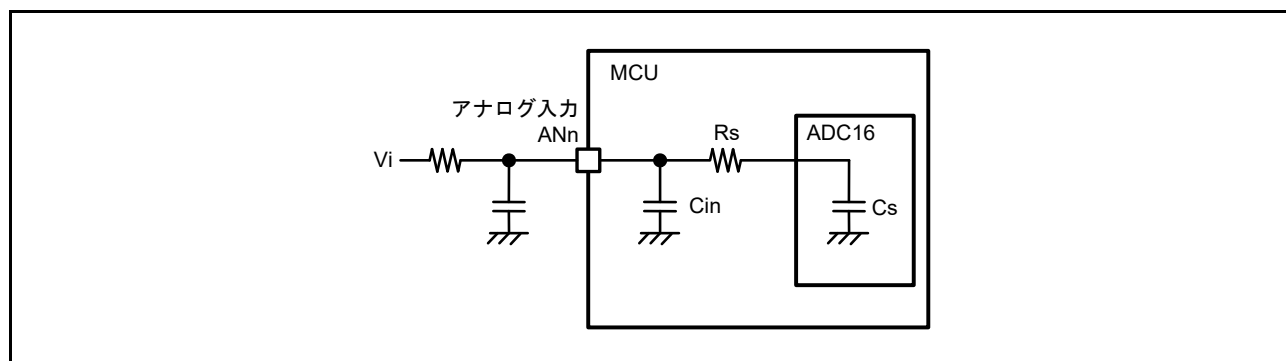


図 47.62 アナログ入力の等価回路

表 47.40 16ビットA/D変換、タイミングパラメータ (1/2)

条件 : $VCC = AVCC0 = AVCC1 = 1.7 \sim 5.5V$ 、 $VREFH0 = 1.7 \sim 5.5V$ 、 $VSS = AVSS0 = AVSS1 = VREFL0 = 0V$
 基準電圧範囲を $VREFH0$ および $VREFL0$ に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
周波数	ADCLK	1	-	32	MHz	$3.0V \leq AVCC0 \leq 5.5V$ 、 $3.0V \leq VREFH0$
		1	-	24		$2.7V \leq AVCC0 \leq 5.5V$ 、 $2.7V \leq VREFH0$
		1	-	16		$2.4 \leq AVCC0 \leq 5.5V$ 、 $1.5V \leq VREFH0$
		1	-	8		$1.8V \leq AVCC0 \leq 5.5V$ 、 $1.5V \leq VREFH0$
		1	-	4		$1.7V \leq AVCC0 \leq 5.5V$ 、 $1.5V \leq VREFH0$
変換速度	Fs	-	-	$1 / (t_{SPL} + 18 / ADCLK)$	S/s	-

表 47.40 16ビットA/D変換、タイミングパラメータ (2/2)

条件: VCC = AVCC0 = AVCC1 = 1.7~5.5V、VREFH0 = 1.7~5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V

基準電圧範囲をVREFH0およびVREFL0に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
サンプリング時間 (注1)	許容信号源インピーダンス Max = 0.5kΩ	t _{SPL}	0.25	-	-	高精度チャネル 2.7V ≤ AVCC0 ≤ 5.5V
			3	-	-	高精度チャネル 1.7V ≤ AVCC0 < 2.7V
			3	-	-	通常精度チャネル 2.7V ≤ AVCC0 ≤ 5.5V
			10	-	-	通常精度チャネル 1.7V ≤ AVCC0 < 2.7V
安定時間 (注1)		t _{START}	-	-	1	2.7V ≤ AVCC0 ≤ 5.5V
			-	-	3.2	1.8V ≤ AVCC0 < 2.7V
			-	-	8.9	1.7V ≤ AVCC0 < 1.8V

注 1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

表 47.41 16ビットA/D変換、直線性パラメータ

条件: VCC = AVCC0 = AVCC1 = 1.7~5.5V、VREFH0 = 1.7~5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V

外部クロック入力使用。基準電圧範囲をVREFH0およびVREFL0に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
分解能	-	-	16	-	ビット	-
積分非直線性 (注1)	INL	-	± 4	± 8	LSB	2.7V ≤ AVCC0 ≤ 5.5V、2.7V ≤ VREFH0
		-		± 16		1.7V ≤ AVCC0 < 2.7V
微分非直線性 (注1)	DNL	-	-1 ~ +2	-	LSB	-
オフセット誤差 (注1)	Ofst	-	± 4	-	LSB	-
ゲイン誤差 (注1)	Gerr	-	-	± 0.1	%	2.7V ≤ VREFH0

注. 16ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差に量子化誤差は含まれていません。

注 1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

表 47.42 16ビットA/D変換、動的パラメータ (1) (1/2)

条件: VCC = AVCC0 = AVCC1 = 1.7~5.5V、VREFH0 = 1.7~5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V

外部クロック入力使用。基準電圧範囲をVREFH0およびVREFL0に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
SN比と歪み (注2)	SINAD	67	81	-	dB	差動入力、Fin = 1kHz、 VREFH0 = 1.7V ~ 5.5V、 AVCC0 = 1.7 ~ 5.5V
		78	81	-		差動入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V
		-	92	-		差動入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V、 ADADC.ADC[2:0] = 101b
		61	75	-		シングル入力、Fin = 1kHz、 VREFH0 = 1.7V ~ 5.5V、 AVCC0 = 1.7 ~ 5.5V
		72	75	-		シングル入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V

表 47.42 16ビットA/D変換、動的パラメータ (1) (2/2)

条件: VCC = AVCC0 = AVCC1 = 1.7 ~ 5.5V、VREFH0 = 1.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V
外部クロック入力使用。基準電圧範囲をVREFH0およびVREFL0に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
有効ビット数 (注2)	ENOB	11	13.2	-	ビット	差動入力、Fin = 1kHz、 VREFH0 = 1.7V ~ 5.5V、 AVCC0 = 1.7 ~ 5.5V
		12.7	13.2	-		差動入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V
		-	15	-		差動入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V、 ADADC.ADC[2:0] = 101b
		10	12.2	-		シングル入力、Fin = 1kHz、 VREFH0 = 1.7V ~ 5.5V、 AVCC0 = 1.7 ~ 5.5V
		11.7	12.2	-		シングル入力、Fin = 1kHz、 VREFH0 = 3.3V、 AVCC0 = 3.3V
総高調波ひずみ (注1) (注2)	THD	-	-100	-	dB	差動入力、Fin = 1kHz、 AVCC0 = 3.3V
		-	-90	-		シングル入力、Fin = 1kHz、 AVCC0 = 3.3V
コモンモード低減比 (注2)	CMRR	-	100	-	dB	差動入力、 1kHzで Acm = 0 ~ VREFH0、 AVCC0 = 3.3V

注. 16ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。

注1. THD = HD2 + HD3 + HD4 + HD5

注2. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

表 47.43 16ビットA/D変換、動的パラメータ (2)

条件: VCC = AVCC0 = AVCC1 = 1.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V
外部クロック入力使用。

項目	シンボル	Min	Typ	Max	単位	測定条件
SN比と歪み (注1)	SINAD	-	78.6	-	dB	差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 2.5V
		-	76.6	-		差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 2.0V
		-	74.2	-		差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 1.5V
有効ビット数 (注1)	ENOB	-	12.8	-	ビット	差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 2.5V
		-	12.4	-		差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 2.0V
		-	12.0	-		差動入力、Fin = 1kHz、 AVCC0 = 3.3V、 VREFADC出力 = 1.5V

注. 16ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。

注1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

表 47.44 16ビットA/Dコンバータチャネル分類

分類	チャネル	条件
高精度チャネル	AN000～AN008	AVCC0 = 1.7～5.5V
通常精度チャネル	AN016～AN023	
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 2.0～5.5V
温度センサ入力チャネル	温度センサ出力	AVCC0 = 2.0～5.5V

表 47.45 16ビットADC (VREFADC) 特性用内部基準電圧

条件 : VCC = AVCC0 = AVCC1 = 1.7V～5.5V、VSS = AVSS0 = AVSS1 = VREFL0 = 0V

項目	Min	Typ	Max	単位	測定条件
出力電圧範囲	1.41	1.5	1.59	V	VREFAMPCNT.VREFADCG[1:0] = 00b AVCC0 ≥ 1.7V
	1.88	2	2.12		VREFAMPCNT.VREFADCG[1:0] = 10b AVCC0 ≥ 2.2V
	2.35	2.5	2.65		VREFAMPCNT.VREFADCG[1:0] = 11b AVCC0 ≥ 2.7V
BGR安定時間 (注2) (BGR有効後)	-	-	150	μs	VREFAMPCNT.BGREN = 1
VREF AMP安定時間 (注2) (VREFAMP有効後)	-	-	1500	μs	VREFAMPCNT.VREFADCEN = 1
過電流検出 (注2)	-	20	40	mA	-
負荷容量 (注1)	0.75	1	1.25	μF	-

注 1. VREFADC 使用時、VREFH0 端子と VREFL0 端子間に安定容量としてコンデンサを接続してください。

注 2. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

表 47.46 A/D 内部基準電圧特性

条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 2.0～5.5V (注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャネル (注2)	1.36	1.43	1.50	V	-
サンプリング時間 (注3)	5.0	-	-	μs	-

注 1. AVCC0 < 2.0V のとき、入力チャネルに内部基準電圧は選択できません。

注 2. 16 ビット A/D 内部基準電圧は、内部基準電圧が 16 ビット A/D コンバータに入力されたときの電圧を示します。

注 3. これは、内部基準電圧が ADC16 のアナログ入力チャネルに選択された場合の ADC16 用パラメータです。

47.6 SDADC24 特性

表 47.47 アナログ入力特性 (1/2)

条件 : VCC = AVCC0 = AVCC1 = 2.7～5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
フルスケール範囲	F _{SR}	-	± 0.8 / G _{TOTAL}	-	V	-
差動入力モードでのアナログ入力	差動入力電圧範囲	V _{ID}	-0.8 / G _{TOTAL}	0.8 / G _{TOTAL}	V	V _{ID} = ANSDnP - ANSDnN、または AMP0O - AMP1O (n = 0～3), d _{OFR} = 0mV
	入力電圧範囲	V _I	0.2	1.8	V	V _I = ANSDnP, ANSDnN, AMP0O, または AMP1O (n = 0～3)
	コモンモード入力電圧範囲	V _{COM}	0.2 + (V _{ID} × G _{SET1}) / 2	1.8 - (V _{ID} × G _{SET1}) / 2	V	d _{OFR} = 0mV

表 47.47 アナログ入力特性 (2/2)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
シングルエンド 入力モードでの アナログ入力	入力電圧範囲 (注1) V_I	0.2	-	1.8	V	$V_I = \text{ANSdNp}, \text{ANSdNn}, \text{AMP0O}, \text{または AMP1O}$ ($n = 0 \sim 3$)、 $V_{\text{COM}} = 1.0\text{V}$ 、 $d_{\text{OFR}} = 0\text{mV}$ 、 $G_{\text{SET1}} = 1$ 、 $G_{\text{SET2}} = 1$ 、 $\text{OSR} = 256$

注 1. シングルエンド入力モードは、 $d_{\text{OFR}} = 0\text{mV}$ 、 $G_{\text{SET1}} = 1$ 、 $G_{\text{SET2}} = 1$ かつ $\text{OSR} = 256$ のみサポートします。

表 47.48 プログラマブルゲイン計装アンプおよびシグマデルタ A/D コンバータ (1)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
分解能	RES	-	24	-	ビット	-
オーバーサン プリング周波 数	通常 A/D 変換 モード	Fos	-	1	MHz	-
	低消費電力 A/D 変換モード	-	0.125	-	-	-
出力データ速度	f_{DATA1}	0.48828	-	15.625	ksps	通常 A/D 変換モード
	f_{DATA2}	61.03615	-	1953.125	sps	低消費電力 A/D 変換モード
ゲイン設定範囲	G_{TOTAL}	1	-	32	V/V	$G_{\text{TOTAL}} = G_{\text{SET1}} \times G_{\text{SET2}}$
第1ゲイン設定範囲	G_{SET1}	-	1, 2, 3, 4, 8	-	V/V	-
第2ゲイン設定範囲	G_{SET2}	-	1, 2, 4, 8	-	V/V	-
オフセット調整ビット範囲	d_{OFB}	-	5	-	ビット	-
オフセット調整範囲	d_{OFR}	$-164.06 / G_{\text{SET1}}$	-	$+164.06 / G_{\text{SET1}}$	mV	入力基準
オフセット調整単位	d_{OFS}	-	$350 / 32 / G_{\text{SET1}}$	-	mV	入力基準

表 47.49 プログラマブルゲイン計装アンプおよびシグマデルタ A/D コンバータ (2)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

特に記載のない限り、電気的仕様は差動入力モード、外部クロック入力使用、 $F_{\text{OS}} = 1\text{MHz}$ 、 $d_{\text{OFR}} = 0\text{mV}$ 適用を前提としています。

項目	シンボル	Min	Typ	Max	単位	測定条件
SN 比 (注1) (注3) $V_{\text{ID}} = 0\text{V}$	SNR	83	86	-	dB	$G_{\text{SET1}} = 1$ 、 $G_{\text{SET2}} = 1$ 、 $\text{OSR} = 256$
		81	84	-	dB	$G_{\text{SET1}} = 8$ 、 $G_{\text{SET2}} = 4$ 、 $\text{OSR} = 1024$
SN 比と歪み率 (注1) (注2) (注3) $f_{\text{in}} = 50\text{Hz}$	SINAD	82	85	-	dB	$G_{\text{SET1}} = 1$ 、 $G_{\text{SET2}} = 1$ 、 $\text{OSR} = 256$
		79	82	-	dB	$G_{\text{SET1}} = 8$ 、 $G_{\text{SET2}} = 4$ 、 $\text{OSR} = 1024$
		74	80	-	dB	$G_{\text{SET1}} = 1$ 、 $G_{\text{SET2}} = 1$ 、 $\text{OSR} = 256$ 、 シングルエンド入力モード

注. 24 ビットシグマデルタ A/D コンバータ入力以外の端子機能がない場合にこの特性が適用されます。

注 1. SNR および SINAD は、アナログ入力のフルスケール範囲 (FSR) に対する比率です。アナログ入力のノイズは含まれません。

注 2. V_{ID} が事実上 $\pm 0.8 / G_{\text{TOTAL}}$ と等しい場合、デジタル出力はゲイン誤差 ($\pm 0.8 / G_{\text{TOTAL}}$)、オフセット誤差 (E_{OS}) などによりオーバーフローする可能性があります。

その結果、SINAD が劣化します。アナログ入力とデジタル出力の関係については、表 33.7 を参照してください。

注 3. 本番テストは行っておりませんが、設計および特性解析により保証されています。

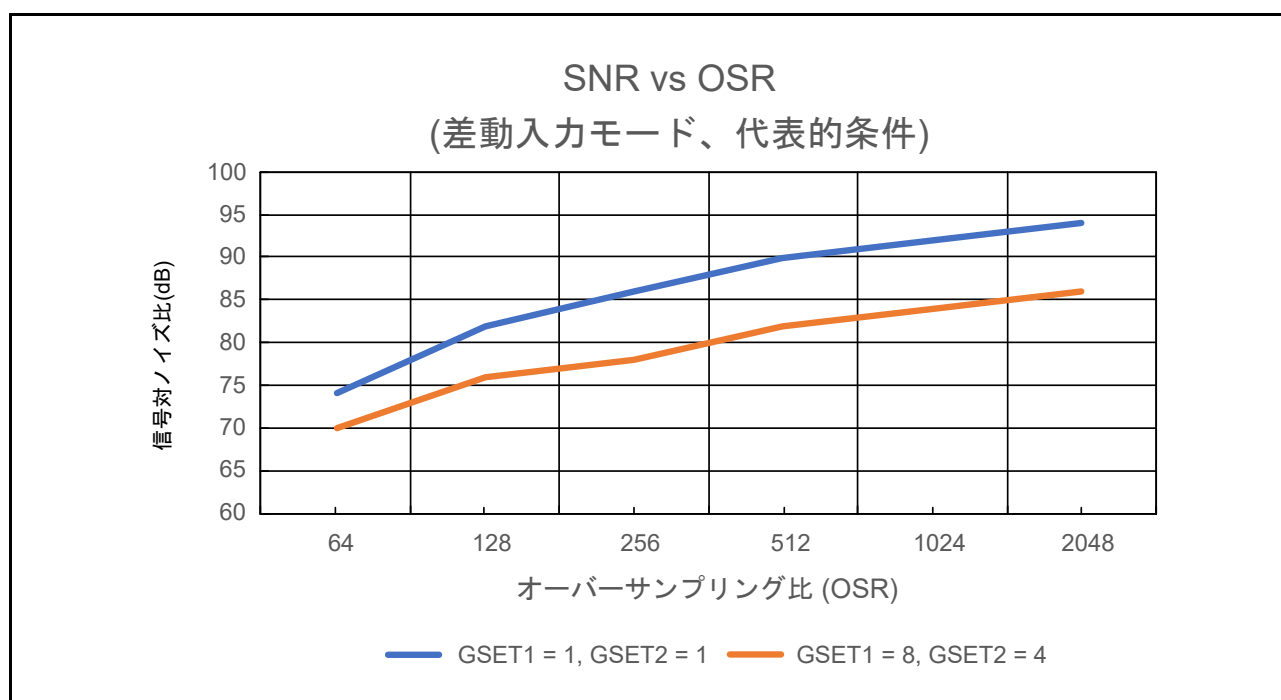


図 47.63 SNR vs OSR (参考データ)

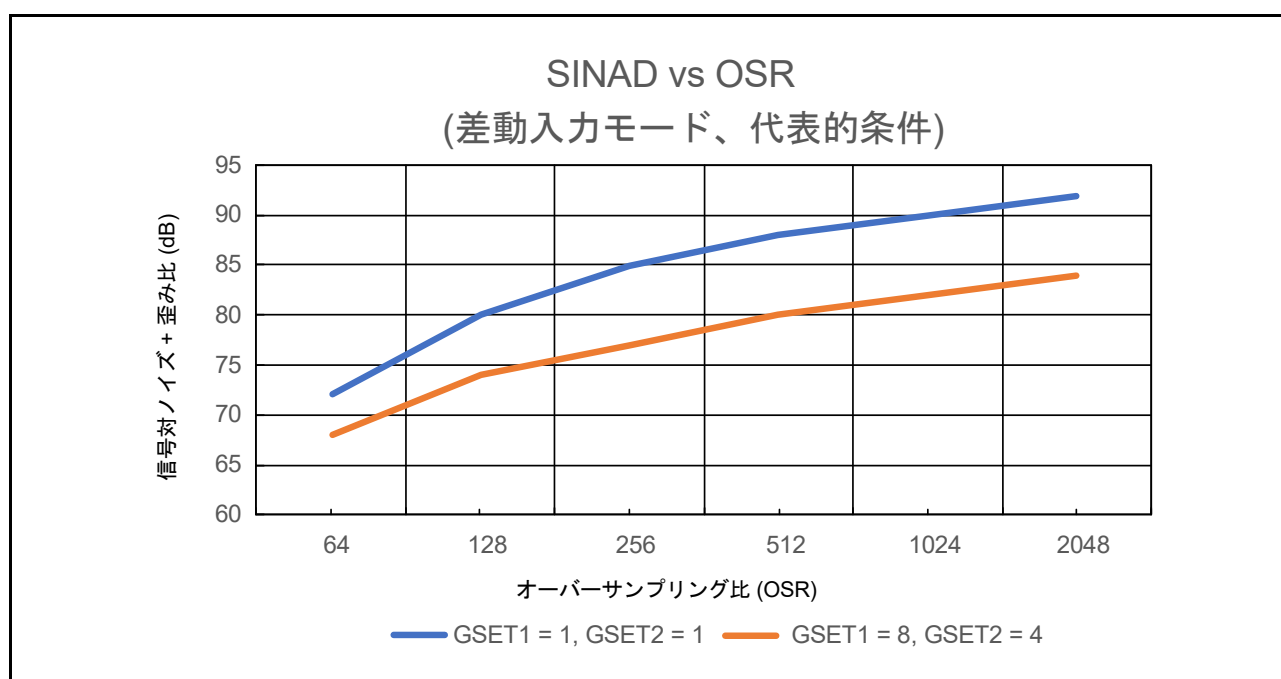


図 47.64 SINAD vs OSR (参考データ)

表 47.50 プログラマブルゲイン計装アンプおよびシグマデルタ A/D コンバータ (3)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

特に記載のない限り、電氣的仕様は差動入力モード、外部クロック入力使用、Fos = 1MHz、OSR = 256、d_{OFR} = 0mV適用を前提としています。

項目	シンボル	Min	Typ	Max	単位	測定条件
ゲイン誤差 (注2) (SINC3周波数応答特性を除く)	E _G	-0.5	-	0.5	%	内部キャリブレーション後、 SBIAS 誤差および VREFI 誤差を除く、 G _{SET1} = 1、G _{SET2} = 1
		-3	-	3		シングルエンド入力モード、 SBIAS 誤差および VREFI 誤差を除く、 G _{SET1} = 1、G _{SET2} = 1、
ゲインドリフト (注1) (注2)	dE _G	-	6	22	ppm/°C	SBIAS 誤差および VREFI 誤差を除く、 G _{SET1} = 1、G _{SET2} = 1、
オフセット誤差 (注2)	E _{OS}	-1	-	1	mV	内部キャリブレーション後、 G _{SET1} = 1、G _{SET2} = 1、入力基準
		-50	-	50		シングルエンド入力モード、 SBIAS 誤差含む、 G _{SET1} = 1、G _{SET2} = 1、入力基準
オフセットドリフト (注1) (注2)	dE _{OS}	-	2	6	μV/°C	入力基準
		-	-	120		シングルエンド入力モード、 SBIAS 誤差含む、 G _{SET1} = 1、G _{SET2} = 1
積分非直線性 (注2)	INL	-	15	-	FSR の ppm	入力 = DC、 OSR = 2048
コモンモード低減比 (注2)	CMRR	-	80	-	dB	V _{COM} = 1.0 ± 0.8V、 f _{in} = 50Hz、 G _{SET1} = 1、G _{SET2} = 1
電源低減比 (注2)	PSRR	-	70	-	dB	AVCC1 = 5.0 V + 0.1V _{pp_ripple} 、 f _{in} = 50Hz、 G _{SET1} = 1、G _{SET2} = 1、SBIAS 誤差 または VREFI 誤差を除く
入力絶対電流 (注2)	I _{IN}	-	2	-	nA	V _I = 1V
入力オフセット電流 (注2)	I _{INOFR}	-	1	-	nA	V _{ID} = 0V、V _{COM} = 1V
入力インピーダンス (注2)	Z _{IN}	-	500	-	Mohm	V _{ID} = 1V、V _{COM} = 1V
オフセット調整ゲイン誤差 (注2)	d _{OFGE}	-5	-	5	%	SBIAS 誤差含む、 d _{OFR} ≠ 0mV
オフセット調整 積分非直線性 (注2)	d _{OFINL}	-0.5	-	0.5	LSB	d _{OFR} ≠ 0mV

注. 24 ビットシグマデルタ A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。

注 1. ゲインオフセットは、(Max (E_G (T (-40 °C) ~ T (125 °C))) - Min (E_G (T (-40 °C) ~ T (125 °C)))) / (125 °C - (-40 °C)) で計算されます。オフセットドリフトは、(Max (E_{OS} (T (-40 °C) ~ T (125 °C))) - Min (E_{OS} (T (-40 °C) ~ T (125 °C)))) / (125 °C - (-40 °C)) で計算されます。

注 2. 本番テストは行っておりませんが、設計および特性解析により保証されています。

表 47.51 ADC (ADREG) 特性用 2.1V LDO リニアレギュレータ

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

ADREG 端子は、0.47μF (-50% ~ +20%) のコンデンサを介して AVSS1 端子に接続してください。

項目	シンボル	Min	Typ	Max	単位	測定条件
ADREG 出力電圧	V _{ADREG}	-	2.1	-	V	-

表 47.52 ADC 外部基準電圧 (VREFI) 特性 (1/2)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
外部基準電圧範囲 (注1)	VREFI	0.8	-	2.4	V	SDADCSTC1.VREFSEL = 1

表 47.52 ADC 外部基準電圧 (VREFI) 特性 (2/2)

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
外部基準電圧単位	VR _{STEP}	-	0.2	-	V	SDADCSTC1.VREFSEL = 1
外部基準電圧精度	VR _A	-3	-	3	%	SDADCSTC1.VREFSEL = 1

注 1. STC1.VSBIAS[3:0] で基準電圧入力値を選択してください。

表 47.53 センサバイアス (SBIAS) 特性

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

SBIAS/VREFI 端子は、0.22μF (−20% ~ +20%) を介して AVSS1 端子に接続してください。

項目	シンボル	Min	Typ	Max	単位	測定条件
出力電圧範囲 (注2)	SBIAS	0.8	-	2.2	V	-
出力電圧単位	SV _{STEP}	-	0.2	-	V	-
出力電圧精度 (注1)	SV _A	-3	-	3	%	SI _{OUT} = 1mA
出力電流 (注1)	SI _{OUT}	-	-	10	mA	-
短絡電流 (注1)	SI _{SHORT}	-	35	65	mA	SBIAS = 0V
負荷変動率 (注1)	SL _R	-	-	15	mV	1mA ≤ SI _{OUT} ≤ 5mA
		-	-	20	mV	1mA ≤ SI _{OUT} ≤ 10mA
電源低減比 (注1)	SPSRR	-	50	-	dB	AVCC1 = 5.0V + 0.1V _{pp_ripple} , f = 100Hz, SI _{OUT} = 2.5mA
1ステップの遷移時間 (注1) (注3)	ST _{TS}	-	-	80	μs	SBIAS < SV _A ±3%
						1mA ≤ SI _{OUT} ≤ SI _{OUT_MAX}

注 1. 本番テストは行っておりませんが、設計および特性解析により保証されています。

注 2. STC1.VSBIAS[3:0] でセンサ用基準電圧出力値を選択してください。

注 3. SBIAS の出力段は Pch オープンドレインなので、1mA 以上の負荷電流が必要です。元々の負荷電流が小さい場合は、外部負荷抵抗を追加する必要があります。

47.7 DAC12 特性

表 47.54 12ビット D/A 変換特性

条件: VCC = AVCC0 = AVCC1 = 1.7V ~ 5.5V、VREFH = 1.7V ~ 5.5V、VSS = AVSS0 = AVSS1 = VREFL = 0V

項目		Min	Typ	Max	単位	測定条件
分解能		-	-	12	ビット	-
チャージポンプ安定時間 (注1)		-	-	100	μs	-
SW 安定時間 (注1)		-	-	50	μs	-
変換時間 (注1)	DAC Ref. = AVCC または VREFH ≥ 2.7V	-	-	1.0	μs	Cload = 38pF, @ 1 LSB ステップ
	DAC Ref. = AVCC または VREFH < 2.7V	-	-	1.2	μs	Cload = 8 pF, @ フルレンジ
ウェークアップ時間 (注1)		-	-	1.0	μs	-
絶対精度		-	-	± 12	LSB	負荷抵抗 2MΩ
DNL 微分非直線性誤差	DAC Ref. = AVCC または VREFH ≥ 2.7V	-	-	±1.0	LSB	-
	DAC Ref. = AVCC または VREFH < 2.7V	-	-	±2.0	LSB	-
INL 積分非直線性誤差		-	-	±7.0	LSB	-
RO 出力抵抗		-	3.5	-	kΩ	-
負荷抵抗		2	2	-	MΩ	-
負荷容量	1 LSB ステップ	-	38	-	pF	-
	フルレンジ	-	8	-	pF	-

注 1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

47.8 DAC8 特性

表 47.55 8ビットD/A変換特性

条件：VCC = AVCC0 = AVCC1 = 1.7V ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目		Min	Typ	Max	単位	測定条件
分解能		-	-	8	ビット	-
チャージポンプ安定時間 (注1)		-	-	100	μs	-
切り替え安定時間 (注1)		-	-	50	μs	-
変換時間 (注1)	VCC = 2.7 ~ 5.5V	-	-	3.0	μs	容量性負荷 35pF
	VCC = 1.7 ~ 2.7V	-	-	6.0	μs	
絶対精度	VCC = 2.4 ~ 5.5V	-	-	±3.0	LSB	負荷抵抗 2MΩ
	VCC = 1.7 ~ 2.4V	-	-	±3.5	LSB	
	VCC = 2.4 ~ 5.5V	-	-	±2.0	LSB	負荷抵抗 4MΩ
	VCC = 1.7 ~ 2.4V	-	-	±2.5	LSB	
RO出力抵抗		-	7.4	-	kΩ	-

注 1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

47.9 TSN 特性

表 47.56 TSN特性

条件：VCC = AVCC0 = AVCC1 = 2.0 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	-	-	±1.5	-	°C	2.4V 以上
		-	±2.0	-	°C	2.4V 未満
温度傾斜	-	-	-3.65	-	mV/°C	-
出力電圧 (25°C)	-	-	1.05	-	V	VCC = 3.3V
温度センサ起動時間	t _{START}	-	-	5	μs	-
サンプリング時間	-	5	-	-	μs	

47.10 OSC 停止検出特性

表 47.57 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t _{dr}	-	-	1	ms	図 47.65

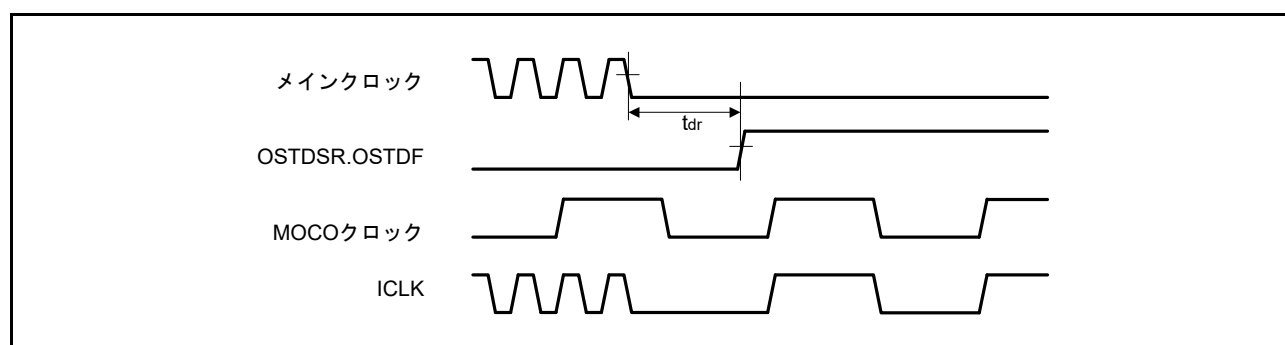


図 47.65 発振停止検出タイミング

47.11 POR/LVD 特性

表 47.58 パワーオンリセット回路、電圧検出回路の特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	パワーオンリセット (POR)	V _{POR}	1.27	1.42	1.57	V	図 47.66、図 47.67
	電圧検出回路 (LVD0) (注2)	V _{det0_0}	3.68	3.85	4.00	V	
		V _{det0_1}	2.68	2.85	2.96		
		V _{det0_2}	2.38	2.53	2.64		
		V _{det0_3}	1.78	1.90	2.02		
		V _{det0_4}	1.60	1.69	1.82		
	電圧検出回路 (LVD1) (注3)	V _{det1_0}	4.13	4.29	4.45	V	図 47.69 立ち下がリエッジ VCCにて
		V _{det1_1}	3.98	4.16	4.30		
		V _{det1_2}	3.86	4.03	4.18		
		V _{det1_3}	3.68	3.86	4.00		
		V _{det1_4}	2.98	3.10	3.22		
		V _{det1_5}	2.89	3.00	3.11		
		V _{det1_6}	2.79	2.90	3.01		
		V _{det1_7}	2.68	2.79	2.90		
		V _{det1_8}	2.58	2.68	2.78		
		V _{det1_9}	2.48	2.58	2.68		
		V _{det1_A}	2.38	2.48	2.58		
		V _{det1_B}	2.10	2.20	2.30		
		V _{det1_C}	1.84	1.96	2.05		
		V _{det1_D}	1.74	1.86	1.95		
		V _{det1_E}	1.63	1.75	1.84		
	V _{det1_F}	1.60	1.65	1.73			
	電圧検出回路 (LVD2) (注4)	V _{det2_0}	4.11	4.31	4.48	V	図 47.70 立ち下がリエッジ VCCにて
		V _{det2_1}	3.97	4.17	4.34		
		V _{det2_2}	3.83	4.03	4.20		
		V _{det2_3}	3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. $V_{det0\_#}$ の # は OFS1.VDSEL1[2:0] ビットの値を示しています。

注 3. $V_{det1\_#}$ の # は LVDLVLRLVD1LVL[4:0] ビットの値を示しています。

注 4. $V_{det2\_#}$ の # は LVDLVLRLVD2LVL[2:0] ビットの値を示しています。

表 47.59 パワーオンリセット回路、電圧検出回路の特性 (2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0 : 有効	t_{POR}	-	1.7	-	ms	-
	LVD0 : 無効	t_{POR}	-	1.3	-	ms	-
電圧監視0、1、2リセット解除後の待機時間	LVD0 : 有効 (注1)	$t_{LVD0,1,2}$	-	0.6	-	ms	-
	LVD0 : 無効 (注2)	$t_{LVD1,2}$	-	0.2	-	ms	-
応答遅延時間 (注3)		t_{det}	-	-	350	μs	図 47.66、図 47.67
最小VCC低下時間		t_{VOFF}	450	-	-	μs	図 47.66, VCC = 1.0V 以上
パワーオンリセット有効時間		$t_W (POR)$	1	-	-	ms	図 47.67, VCC = 1.0V 未満
LVD動作安定時間 (LVD有効切り替え後)		$T_d (E-A)$	-	-	300	μs	図 47.69, 図 47.70
ヒステリシス幅 (POR)		V_{PORH}	-	110	-	mV	-
ヒステリシス幅 (LVD0、LVD1、LVD2)		V_{LVH}	-	60	-	mV	LVD0選択時
			-	100	-		$V_{det1\_0} \sim V_{det1\_2}$ を選択
			-	60	-		$V_{det1\_3} \sim V_{det1\_9}$ を選択
			-	50	-		$V_{det1\_A} \sim V_{det1\_B}$ を選択
			-	40	-		$V_{det1\_C} \sim V_{det1\_F}$ を選択
			-	60	-		LVD2選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

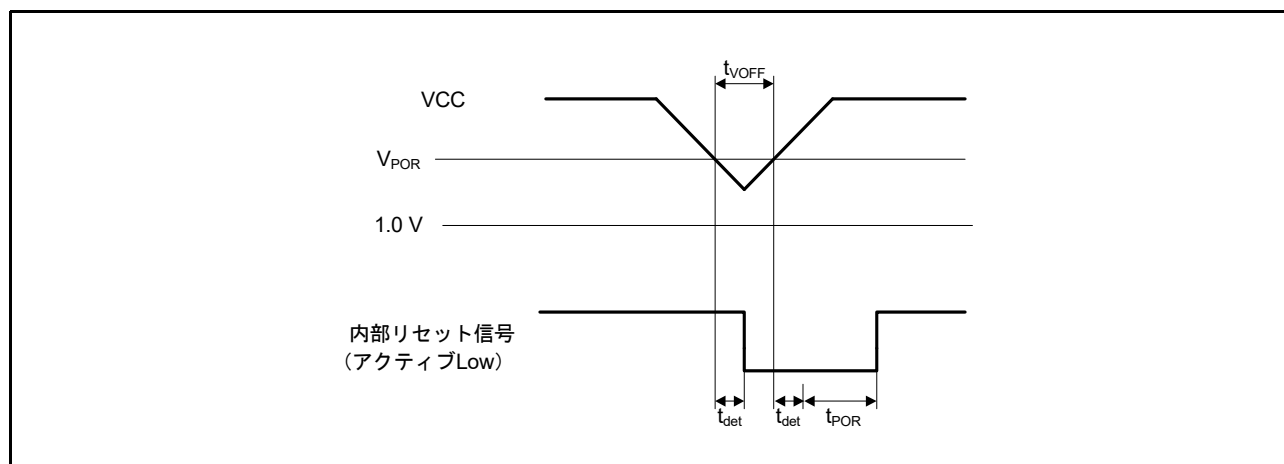
注 3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} および V_{det2} の最小値を下回っている時間です。

図 47.66 電圧検出しセットタイミング

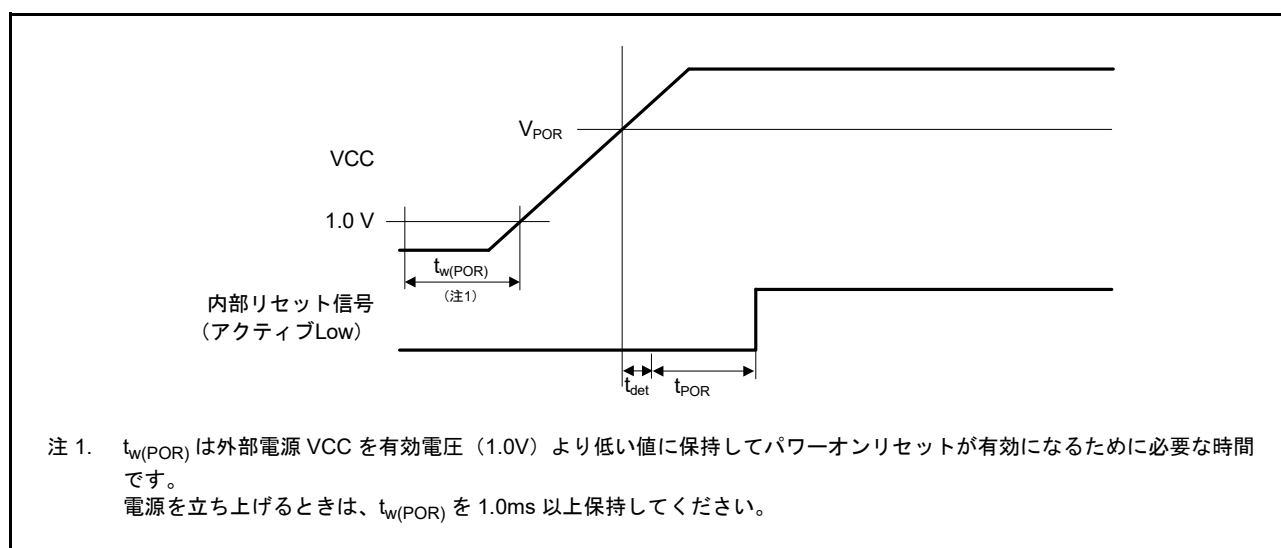
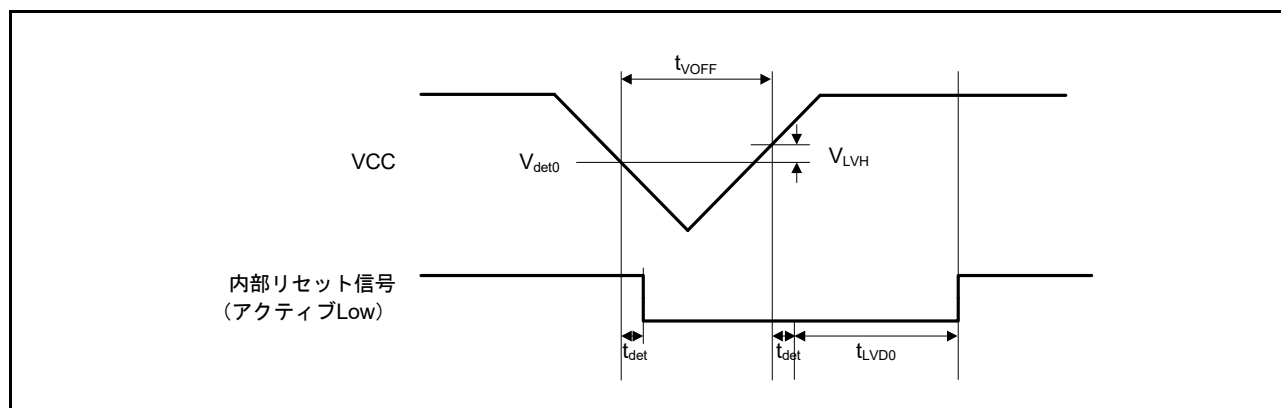
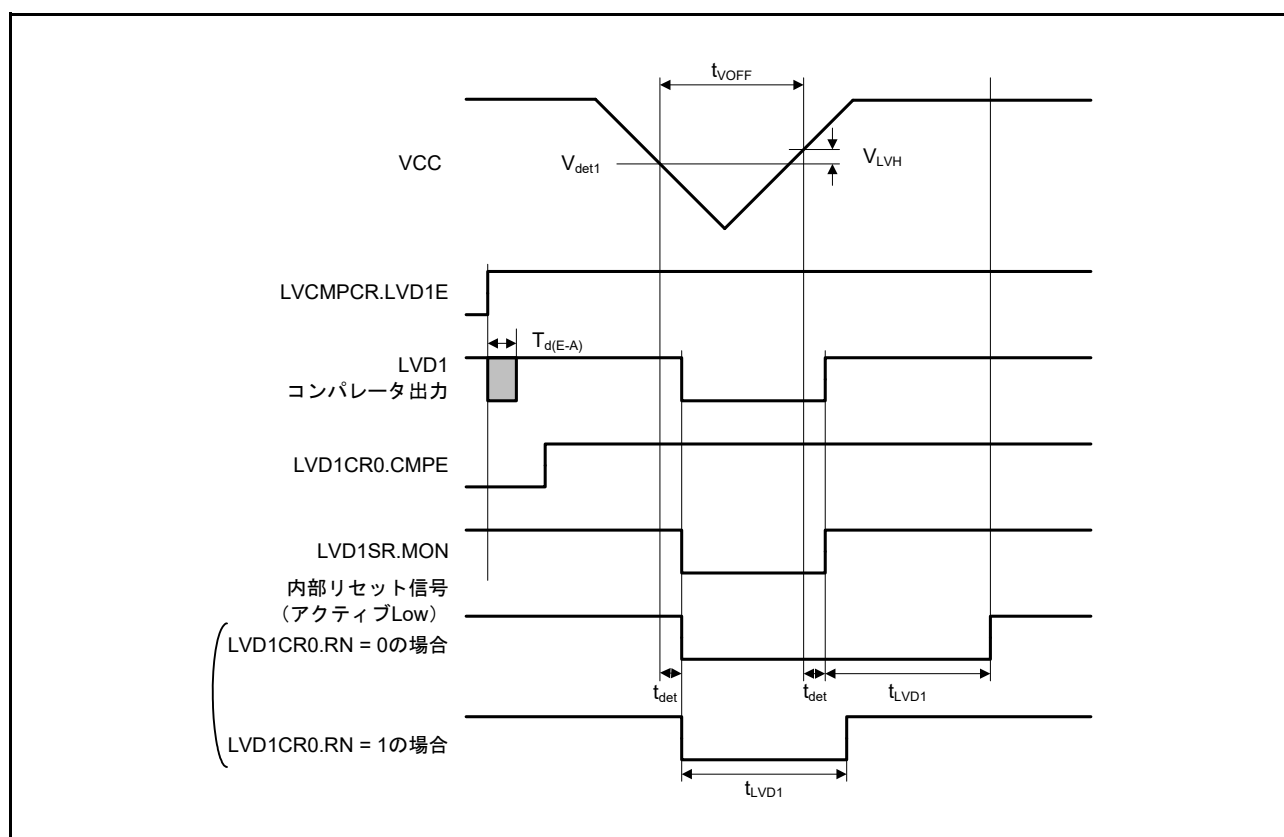
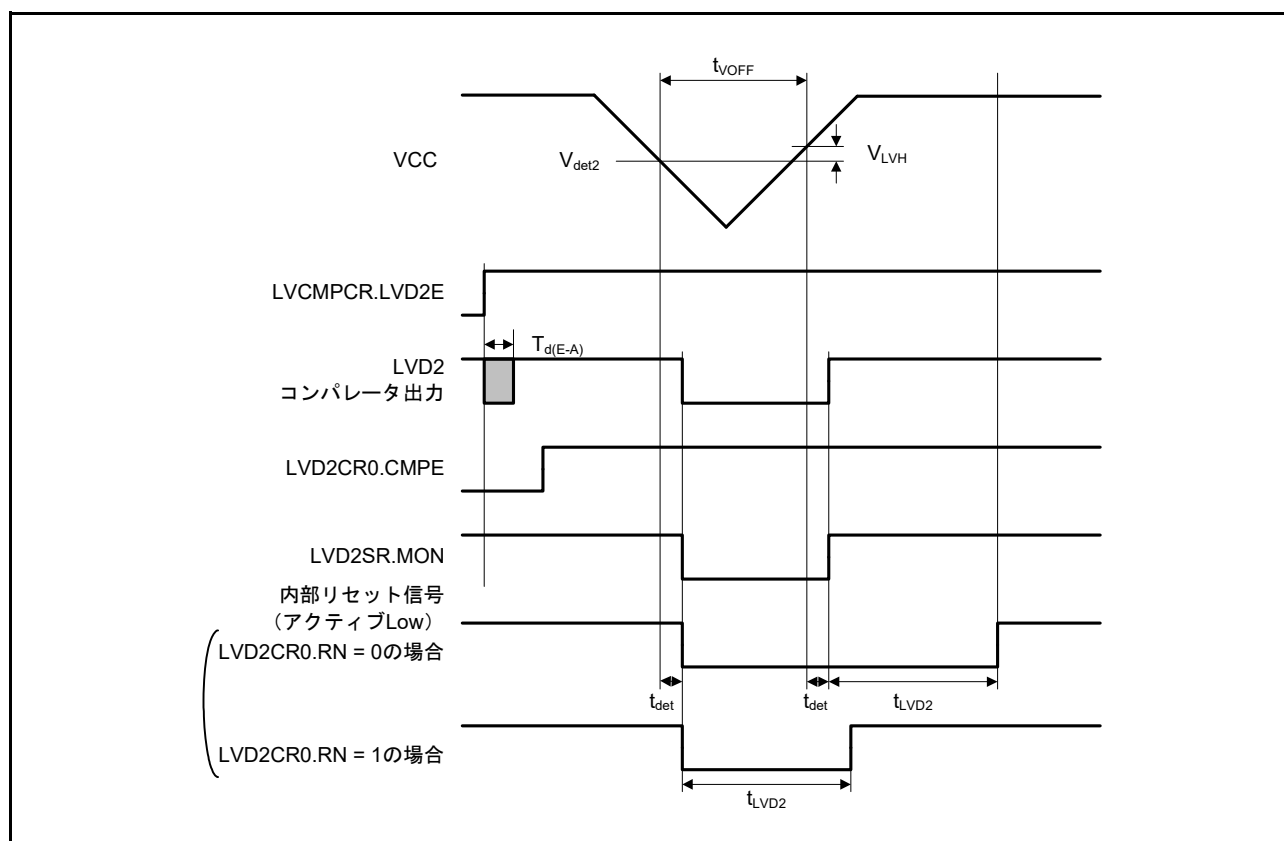


図 47.67 パワーオンリセットタイミング

図 47.68 電圧検出回路タイミング (V_{det0})

図 47.69 電圧検出回路タイミング (V_{det1})図 47.70 電圧検出回路タイミング (V_{det2})

47.12 CTSU 特性

表 47.60 CTSU 特性

条件: VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP 端子に接続された外付け容量	C_{tscap}	9	10	11	nF	-
TS 端子の容量性負荷	C_{base}	-	-	50	pF	-
許容大電流出力	ΣI_{OH}	-	-	-24	mA	相互容量方式が適用され、送信チャンネルに TS07 ~ TS14 が使用されない場合
		-	-	-14		相互容量方式が適用され、送信チャンネルに TS07 ~ TS14 が使用される場合

47.13 コンパレータ特性

表 47.61 ACMPHS 特性

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
入力オフセット電圧	V_{IOCMP}	-	±5	±40	mV	-
入力電圧範囲	V_{ICPM}	0	-	AVCC0	V	-
内部基準電圧入力 (注3)	V_{ref}	1.36	1.43	1.50	V	AVCC0 ≥ 2.0V
入力信号サイクル	t_{PCMP}	10	-	-	μs	-
出力遅延時間	T_d	-	50	100	ns	入力振幅 ±100mV
入力チャンネル切り替え時の安定待機時間 (注1)	T_{WAIT}	300	-	-	ns	入力振幅 ±100mV
動作安定待機時間 (注2)	T_{cmp}	1	-	-	μs	3.3V ≤ AVCC0 ≤ 5.5V
		3	-	-	μs	2.7V ≤ AVCC0 < 3.3V

注 1. コンパレータ入力チャンネルの切り替え時から、切り替え結果が出力に反映されるまでの時間です。

注 2. コンパレータ動作を許可 (CPMCTL.HCMPON = 1) してから、コンパレータが DC/AC 特性を満たすまでの時間です。

注 3. AVCC0 < 2.0V のとき、入力チャンネルに内部基準電圧は選択できません。

表 47.62 ACMPPLP 特性

条件: VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
入力電圧範囲	IVREF0	V_{REF}	0	-	VCC - 1.4 (注1)	-
	IVREF1 (標準モード)		0	-	VCC - 1.4	
	IVREF1 (ウィンドウモード)		1.4 (注1)	-	VCC	
	IVCMP0、IVCMP1	V_I	0	-	VCC	
内部基準電圧 (注2)	-	1.36	1.44	1.50	V	VCC ≥ 2.0V
出力遅延	コンパレータ High-speed モード (標準モード)	T_d	-	-	1.2	VCC = 3.0 入力信号のスルーレート > 50mV/μs
	コンパレータ High-speed モード (ウィンドウモード)		-	-	2.0	
	コンパレータ Low-speed モード (標準モード)		-	-	5.0	

表 47.62 ACMPPLP 特性

条件: VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
オフセット電圧	コンパレータ High-speed モード (標準モード)	-	-	50	mV	-
	コンパレータ High-speed モード (ウィンドウモード)	-	-	60	mV	
	コンパレータ Low-speed モード (標準モード)	-	-	40	mV	
動作安定待機時間	T _{cmp}	100	-	-	μs	-

注 1. ウィンドウモードでは、 $V_{REF1} - V_{REF0} \geq 0.2V$ でなければなりません。

注 2. VCC < 2.0V のとき、入力チャネルに内部基準電圧は選択できません

47.14 OPAMP 特性

表 47.63 OPAMP 特性 (1/3)

条件: VCC = AVCC0 = AVCC1 = 1.7V ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	条件	Min	Typ	Max	単位
供給電圧範囲	AVCC0	低消費電力モード	1.7	-	5.5	V
		Middle-speed モード	2.1	-	5.5	V
		High-speed モード	2.4	-	5.5	V
チャージポンプ安定時間 (注1)	-	-	-	-	100	μs
SW 安定時間 (注1)	-	-	-	-	50	μs
入力電圧範囲	V _{icm1}	低消費電力モード	AVSS0	-	AVCC0	V
	V _{icm2}	Middle-speed モード				
	V _{icm3}	High-speed モード				
出力電圧範囲	V _{olh1}	低消費電力モード、 I _{load} = 100μA	AVSS0	-	AVCC0	V
	V _{olh2}	Middle-speed モード、 I _{load} = 100μA				
	V _{olh3}	High-speed モード、 I _{load} = 100μA				
入力オフセットトリミング範囲 (注1)	V _{offadj2l}	Middle-speed モード、 V _{in} = 0.1V、 T _j = 25°C	-3	-	3	mV
	V _{offadj2h}	Middle-speed モード、 V _{in} = AVCC0 - 0.1V、 T _j = 25°C				
	V _{offadj3l}	High-speed モード、 V _{in} = 0.1V、 T _j = 25°C				
	V _{offadj3h}	High-speed モード、 V _{in} = AVCC0 - 0.1V、 T _j = 25°C				

表 47.63 OPAMP 特性 (2/3)

条件 : VCC = AVCC0 = AVCC1 = 1.7V ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	条件	Min	Typ	Max	単位
入力オフセット (注1)	V _{ioff1a}	低消費電力モード、 V _{in} < AVCC0 - 1.0V	-5.0	-	5.0	mV
	V _{ioff1b}	低消費電力モード、 V _{in} ≥ AVCC0 - 1.0V	-8.0	-	8.0	
	V _{ioff2a}	Middle-speed モード、 V _{in} < AVCC0 - 1.2V	-3.0	-	3.0	
	V _{ioff2b}	Middle-speed モード、 V _{in} ≥ AVCC0 - 1.2V	-3.0	-	3.0	
	V _{ioff3a}	High-speed モード、 V _{in} < AVCC0 - 1.2V	-2.5	-	2.5	
	V _{ioff3b}	High-speed モード、 V _{in} ≥ AVCC0 - 1.2V	-2.5	-	2.5	
オフセットドリフト (注1)	Drift1a	低消費電力モード、 V _{in} < AVCC0 - 1.0V	-70	-	70	μV/°C
	Drift1b	低消費電力モード、 V _{in} ≥ AVCC0 - 1.0V	-70	-	70	
	Drift2a	Middle-speed モード、 V _{in} < AVCC0 - 1.2V	-30	-	30	
	Drift2b	Middle-speed モード、 V _{in} ≥ AVCC0 - 1.2V	-30	-	30	
	Drift3a	High-speed モード、 V _{in} < AVCC0 - 1.2V	-30	-	30	
	Drift3b	High-speed モード、 V _{in} ≥ AVCC0 - 1.2V	-30	-	30	
オープンゲイン (注1)	Av1	低消費電力モード	70	130	-	dB
	Av2	Middle-speed モード	70	120	-	
	Av3	High-speed モード	60	130	-	
ゲイン帯域製品 (注1)	GBW1	低消費電力モード	-	90	-	kHz
	GBW2	Middle-speed モード	-	2	-	MHz
	GBW3	High-speed モード	-	4.8	-	MHz
位相マージン (注1)	Pm1	低消費電力モード	35	-	-	deg
	PM2	Middle-speed モード	35	-	-	
	PM3	High-speed モード	35	-	-	
ゲインマージン (注1)	GM1	低消費電力モード	10	-	-	dB
	GM2	Middle-speed モード	10	-	-	
	GM3	High-speed モード	10	-	-	
入力ノイズ密度 (注1)	V _{ind11}	低消費電力モード、 f = 10Hz	-	860	-	nV/√Hz
	V _{ind12}	低消費電力モード、 f = 1kHz	-	260	-	
	V _{ind21}	Middle-speed モード、 f = 1kHz	-	50	-	
	V _{ind22}	Middle-speed モード、 f = 100kHz	-	30	-	
	V _{ind31}	High-speed モード、 f = 1kHz	-	40	-	
	V _{ind32}	High-speed モード、 f = 100kHz	-	20	-	
電源低減比 (注1)	PSRR1	低消費電力モード	-	90	-	dB
	PSRR2	Middle-speed モード	-	90	-	
	PSRR3	High-speed モード	-	90	-	

表 47.63 OPAMP 特性 (3/3)

条件: VCC = AVCC0 = AVCC1 = 1.7V ~ 5.5V、VSS = AVSS0 = AVSS1 = 0V

項目	シンボル	条件	Min	Typ	Max	単位
コモンモード低減比 (注1)	CMRR1	低消費電力モード	-	90	-	dB
	CMRR2	Middle-speed モード	-	90	-	
	CMRR3	High-speed モード	-	90	-	
安定時間 (注1)	T _{set1}	低消費電力モード	-	70	200	μs
	T _{set2}	Middle-speed モード	-	2.8	8	
	T _{set3}	High-speed モード	-	1.2	3.2	
スルーレート (注1)	SR1	低消費電力モード	0.02	0.05	-	V/μs
	SR2	Middle-speed モード	0.8	1.3	-	
	SR3	High-speed モード	1.8	3.0	-	
ターンオン時間 (注1)	T _{turn1}	低消費電力モード、 AMPENx = 0 → 1、 IREFEN = 0 → 1	-	80	220	μs
	T _{turn2}	Middle-speed モード、 AMPENx = 0 → 1、 IREFEN = 0 → 1	-	3	10	
	T _{turn3}	High-speed モード、 AMPENx = 0 → 1、 IREFEN = 0 → 1	-	1.3	4	
入力オフセットトリミング単位 (注1)	V _{iofst2}	Middle-speed モード、 Vin < AVCC0 - 1.2V	0.3	0.459	0.58	mV/code
		Middle-speed モード、 Vin ≥ AVCC0 - 1.2V	0.24	-	0.56	
	V _{iofst3}	High-speed モード、 Vin < AVCC0 - 1.2V	0.35	0.52	0.65	
		High-speed モード、 Vin ≥ AVCC0 - 1.2V	0.28	-	0.61	
トリミング後の待ち時間 (注1)	T _{turn_tm2}	Middle-speed モード	-	-	1.5	μs
	T _{turn_tm3}	High-speed モード	-	-	1	
負荷電流	I _{load}	-	-	-	100	μA
負荷容量	C _L	-	-	-	20	pF

注 1. これらの値はシミュレーションに基づきます。本番テストは行っておりません。

47.15 フラッシュメモリ特性

47.15.1 コードフラッシュメモリ特性

表 47.64 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル (注1)	N _{PEC}	1000	-	-	回	-
データ保持時間	1000回のN _{PEC} の後	t _{DRP}	20 (注2) (注3)	-	年	T _a = +85°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 1000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、1KB のブロックについて、それぞれ異なる番地に 4 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください。)

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 47.65 コードフラッシュ特性 (2)

High-speed 動作モード

条件: VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V

項目		シンボル	FCLK = 1MHz			FCLK = 32MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8 バイト	t _{P8}	-	116	998	-	54	506	μs
イレース時間	2KB	t _{E2K}	-	9.03	287	-	5.67	222	ms
ブランクチェック時間	8 バイト	t _{BC8}	-	-	56.8	-	-	16.6	μs
	2KB	t _{BC2K}	-	-	1899	-	-	140	μs
イレースサスペンド時間		t _{SED}	-	-	22.5	-	-	10.7	μs
スタートアップ領域切り替え設定時間		t _{SAS}	-	21.9	585	-	12.1	447	ms
アクセスウィンドウ時間		t _{AWS}	-	21.9	585	-	12.1	447	ms
OCD/シリアルプログラマID 設定時間		t _{OSIS}	-	21.9	585	-	12.1	447	ms
フラッシュメモリモード遷移待機時間1		t _{DIS}	2	-	-	2	-	-	μs
フラッシュメモリモード遷移待機時間2		t _{MS}	5	-	-	5	-	-	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

表 47.66 コードフラッシュ特性 (3)

Middle-speed 動作モード

条件: VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V、Ta = -40 ~ +85°C

項目		シンボル	FCLK = 1MHz			FCLK = 8MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8 バイト	t _{P8}	-	157	1411	-	101	966	μs
イレース時間	2KB	t _{E2K}	-	9.10	289	-	6.10	228	ms
ブランクチェック時間	8 バイト	t _{BC8}	-	-	87.7	-	-	52.5	μs
	2KB	t _{BC2K}	-	-	1930	-	-	414	μs
イレースサスペンド時間		t _{SED}	-	-	32.7	-	-	21.6	μs
スタートアップ領域切り替え設定時間		t _{SAS}	-	22.8	592	-	14.2	465	ms
アクセスウィンドウ時間		t _{AWS}	-	22.8	592	-	14.2	465	ms
OCD/シリアルプログラマID 設定時間		t _{OSIS}	-	22.8	592	-	14.2	465	ms
フラッシュメモリモード遷移待機時間1		t _{DIS}	2	-	-	2	-	-	μs
フラッシュメモリモード遷移待機時間2		t _{MS}	720	-	-	720	-	-	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

47.15.2 データフラッシュメモリ特性

表 47.67 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム／イレースサイクル (注1)	N _{DPEC}	100000	1000000	-	回	-
データ保持時間	10000 回の N _{DPEC} の後	t _{DDRP}	20 (注2) (注3)	-	-	Ta = +85°C
	100000 回の N _{DPEC} の後		5 (注2) (注3)	-	-	
	1000000 回の N _{DPEC} の後		-	1 (注2) (注3)	-	Ta = +25°C

注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 100000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、1 バイトのブロックについて、それぞれ異なる番地に 1 バイト書き込みを 1000 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください)

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 47.68 データフラッシュ特性 (2)

High-speed 動作モード

条件 : VCC = AVCC0 = AVCC1 = 2.7 ~ 5.5V

項目		シンボル	FCLK = 4MHz			FCLK = 32MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t _{DP1}	-	52.4	463	-	42.1	387	μs
イレース時間	1KB	t _{DE1K}	-	8.98	286	-	6.42	237	ms
ブランクチェック時間	1 バイト	t _{DBC1}	-	-	24.3	-	-	16.6	μs
	1KB	t _{DBC1K}	-	-	1872	-	-	512	μs
イレース実行中のサスペンド時間		t _{DSER}	-	-	13.0	-	-	10.7	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	5	-	-	5	-	-	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

表 47.69 データフラッシュ特性 (3)

Middle-speed 動作モード

条件 : VCC = AVCC0 = AVCC1 = 1.8 ~ 5.5V、Ta = -40 ~ +85°C

項目		シンボル	FCLK = 4MHz			FCLK = 8MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t _{DP1}	-	94.7	886	-	89.3	849	μs
イレース時間	1KB	t _{DE1K}	-	9.59	299	-	8.29	273	ms
ブランクチェック時間	1 バイト	t _{DBC1}	-	-	56.2	-	-	52.5	μs
	1KB	t _{DBC1K}	-	-	2.17	-	-	1.51	ms
イレース実行中のサスペンド時間		t _{DSER}	-	-	23.0	-	-	21.7	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	720	-	-	720	-	-	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

47.15.3 シリアルワイヤデバッグ (SWD)

表 47.70 SWD 特性 (1)

条件 : VCC = AVCC0 = AVCC1 = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t_{SWCLKcyc}	80	-	-	ns	図 47.71
SWCLK クロック High レベルパルス幅	t_{SWCKH}	35	-	-	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	35	-	-	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	-	-	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	-	-	5	ns	
SWDIO セットアップ時間	t_{SWDS}	16	-	-	ns	図 47.72
SWDIO ホールド時間	t_{SWDH}	16	-	-	ns	
SWDIO データ遅延時間	t_{SWDD}	2	-	70	ns	

表 47.71 SWD 特性 (2)

条件 : VCC = AVCC0 = AVCC1 = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t_{SWCLKcyc}	250	-	-	ns	図 47.71
SWCLK クロック High レベルパルス幅	t_{SWCKH}	120	-	-	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	120	-	-	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	-	-	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	-	-	5	ns	
SWDIO セットアップ時間	t_{SWDS}	50	-	-	ns	図 47.72
SWDIO ホールド時間	t_{SWDH}	50	-	-	ns	
SWDIO データ遅延時間	t_{SWDD}	2	-	150	ns	

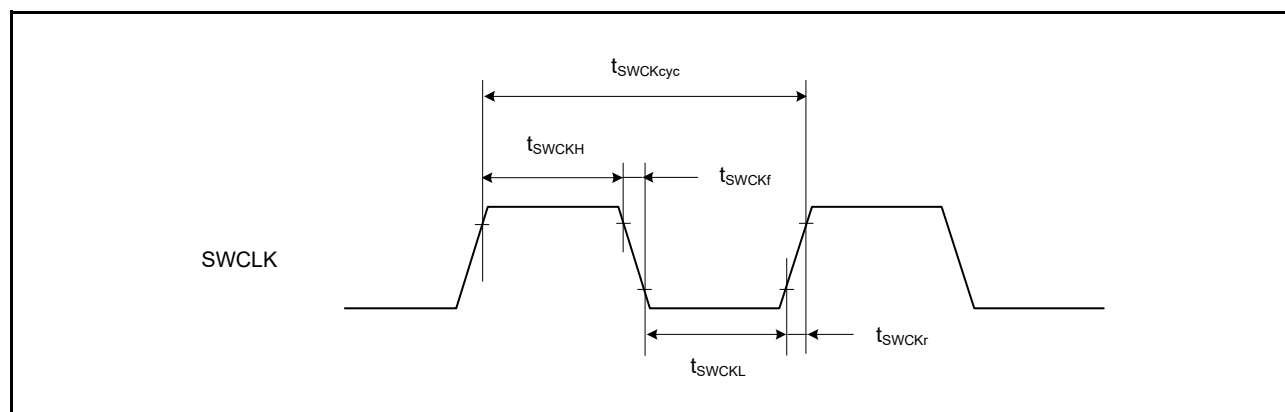


図 47.71 SWD SWCLK タイミング

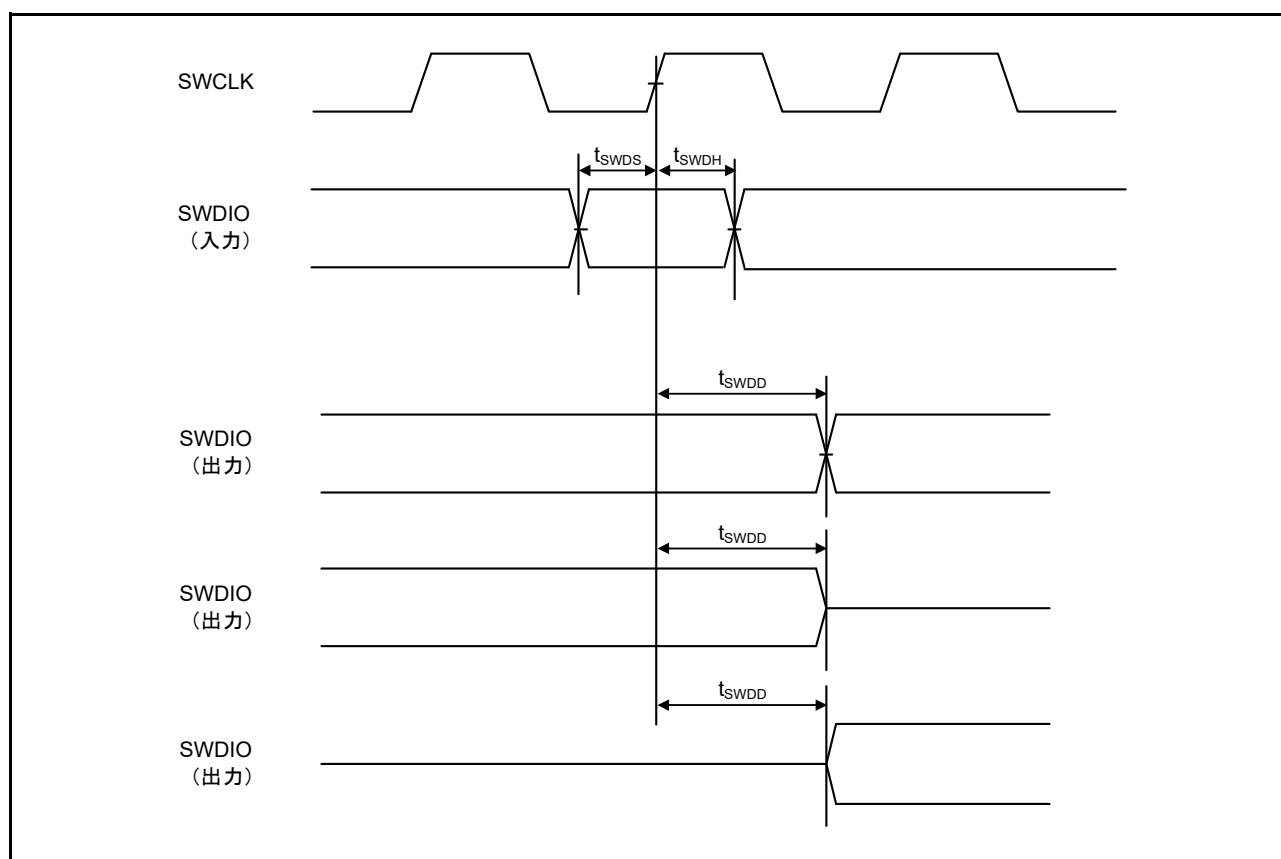


図 47.72 SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態 (1/2)

ポート名	リセット	ソフトウェアスタンバイモード
P000/KR00/IRQ4/AGTIO1_A/SCL0_C	Hi-Z	Keep-O (注1)
P001/IRQ0/RTCCOUT_D	Hi-Z	[RTCCOUT 選択] RTCCOUT 出力 [上記以外] Keep-O (注1)
P002/DA8_1	Hi-Z	[DA8_1 出力 (DACE1 = 1)] DA8_1 出力保持 [上記以外 (DACE1 = 0)] Keep-O
P003	Hi-Z	Keep-O
P012/AMP2O	Hi-Z	[AMP2O 選択] AMP2O 出力 [上記以外] Keep-O
P013/DA8_0	Hi-Z	[DA8_0 出力 (DACE0 = 1)] DA8_0 出力保持 [上記以外 (DACE0 = 0)] Keep-O
P014	Hi-Z	Keep-O
P015/AMP1O	Hi-Z	[AMP1O 選択] AMP1O 出力 [上記以外] Keep-O
P100/IRQ4, P101/IRQ5	Hi-Z	Keep-O (注1)
P102, P103	Hi-Z	Keep-O
P104/IRQ6, P105/IRQ7	Hi-Z	Keep-O (注1)
P106, P107	Hi-Z	Keep-O
P108/SWDIO	プルアップ	Keep-O
P109/CMPREF0/KR01/IRQ3/AGTOA0_A/ VCOUT_A	Hi-Z	[AGTOA0_A 選択] AGTOA0_A 出力 (注2) [ACMPLP または ACMPLS 選択] VCOUT_A 出力 [上記以外] Keep-O (注1)
P110/IRQ2/AGTOB0_A/CLKOUT_A	Hi-Z	[AGTOB0_A 選択] AGTOB0_A 出力 (注2) [CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O (注1)
P111/IRQ6/RTCCOUT_B	Hi-Z	[RTCCOUT 選択] RTCCOUT 出力 [上記以外] Keep-O (注1)
P112/IRQ7/CLKOUT_B	Hi-Z	[CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O (注1)
P200/NMI	Hi-Z	Hi-Z
P201	プルアップ	Keep-O
P204/RXD0_C	Hi-Z	Keep-O (注1)
P205/IRQ0	Hi-Z	Keep-O (注1)
P206/IRQ6/AGTIO0_B	Hi-Z	[AGTIO0_B 出力選択] AGTIO0_B 出力 (注2) [上記以外] Keep-O (注1)
P212/IRQ3/AGTIO0_A/EXTAL	Hi-Z	[AGTIO0_A 出力選択] AGTIO0_A 出力 (注2) [上記以外] Keep-O (注1)

表 1.1 各プロセスモードのポート状態 (2/2)

ポート名	リセット	ソフトウェアスタンバイモード
P213/IRQ2/XTAL	Hi-Z	Keep-O (注1)
P214/XCOUT, P215/XCIN	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P300/SWCLK	プルアップ	Keep-O
P301/KR04/IRQ5/AGTOB1_A/SDA0_A/ RTCOUT_A/RXD0_B	Hi-Z	[AGTOB1_A選択] AGTOB1_A出力 (注2) [RTCOUT選択] RTCOUT出力 [上記以外] Keep-O (注1)
P302/KR05/IRQ4/AGTOA1_A	Hi-Z	[AGTOA1_A選択] AGTOA1_A出力 (注2) [上記以外] Keep-O (注1)
P303/KR06, P304/KR07	Hi-Z	Keep-O (注1)
P400/KR02/IRQ0/CMPIN0/RTCOUT_C	Hi-Z	[RTCOUT選択] RTCOUT出力 [上記以外] Keep-O (注1)
P401/KR03/IRQ5/SDA0_C/VCOUT_B	Hi-Z	[ACMPLPまたはACMPHS選択] VCOUT_B出力 [上記以外] Keep-O (注1)
P402, P403	Hi-Z	Keep-O
P407/IRQ1/USB_VBUS/AGTIO0_C/ SCL0_A	Hi-Z	[AGTIO0_C出力選択] AGTIO0_C出力 (注2) [上記以外] Keep-O (注1)
P408/IRQ1/AGTO0_A/SDA0_B/RXD0_A	Hi-Z	[AGTO0_A選択] AGTO0_A出力 (注2) [上記以外] Keep-O (注1)
P409/IRQ7/AGTO1_A/SCL0_B	Hi-Z	[AGTO1_A選択] AGTO1_A出力 (注2) [上記以外] Keep-O (注1)
P410, P411	Hi-Z	Keep-O
P500/IRQ3/DA12_0/RXD0_D	Hi-Z	[DA12_0出力 (DAOE0 = 1)] DA12_0出力保持 [上記以外 (DAOE0 = 0)] Keep-O (注1)
P501/IRQ2	Hi-Z	Keep-O (注1)
P502/IRQ1/AMP0O	Hi-Z	[AMP0O選択] AMP0O出力 [上記以外] Keep-O (注1)
P914/USB_DP	Hi-Z	Keep-O
P915/USB_DM	Hi-Z	Keep-O

Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

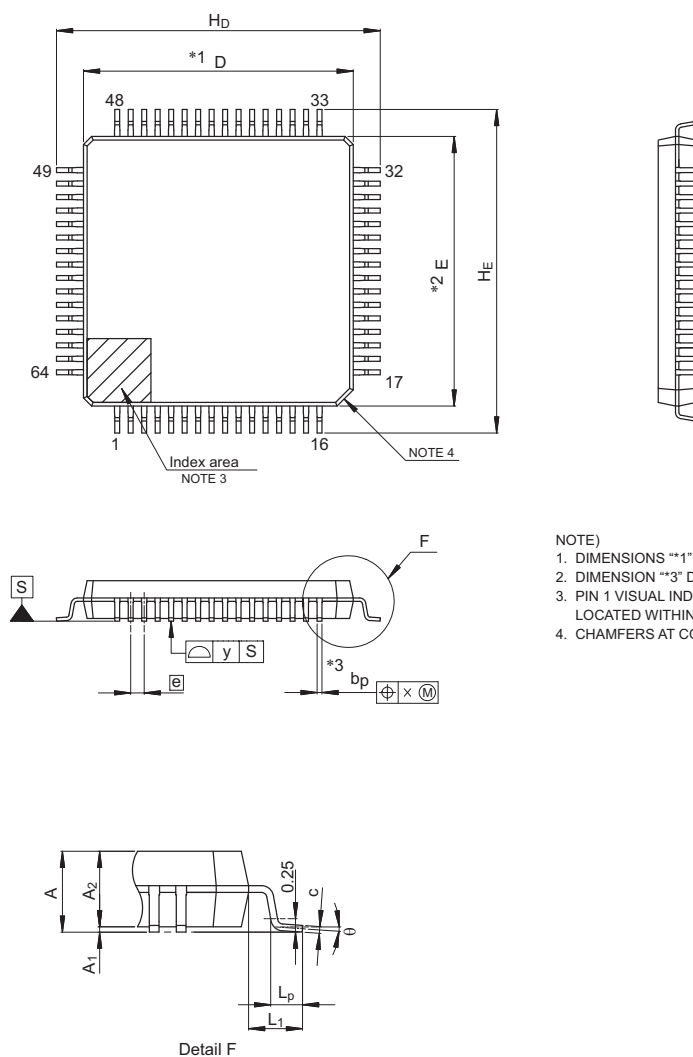
- 注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。
- 注 2. LOCO または SOSC がカウントソースとして選択されている間、AGTIO 出力が許可されます。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスのウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.1 LQFP 64 ピン

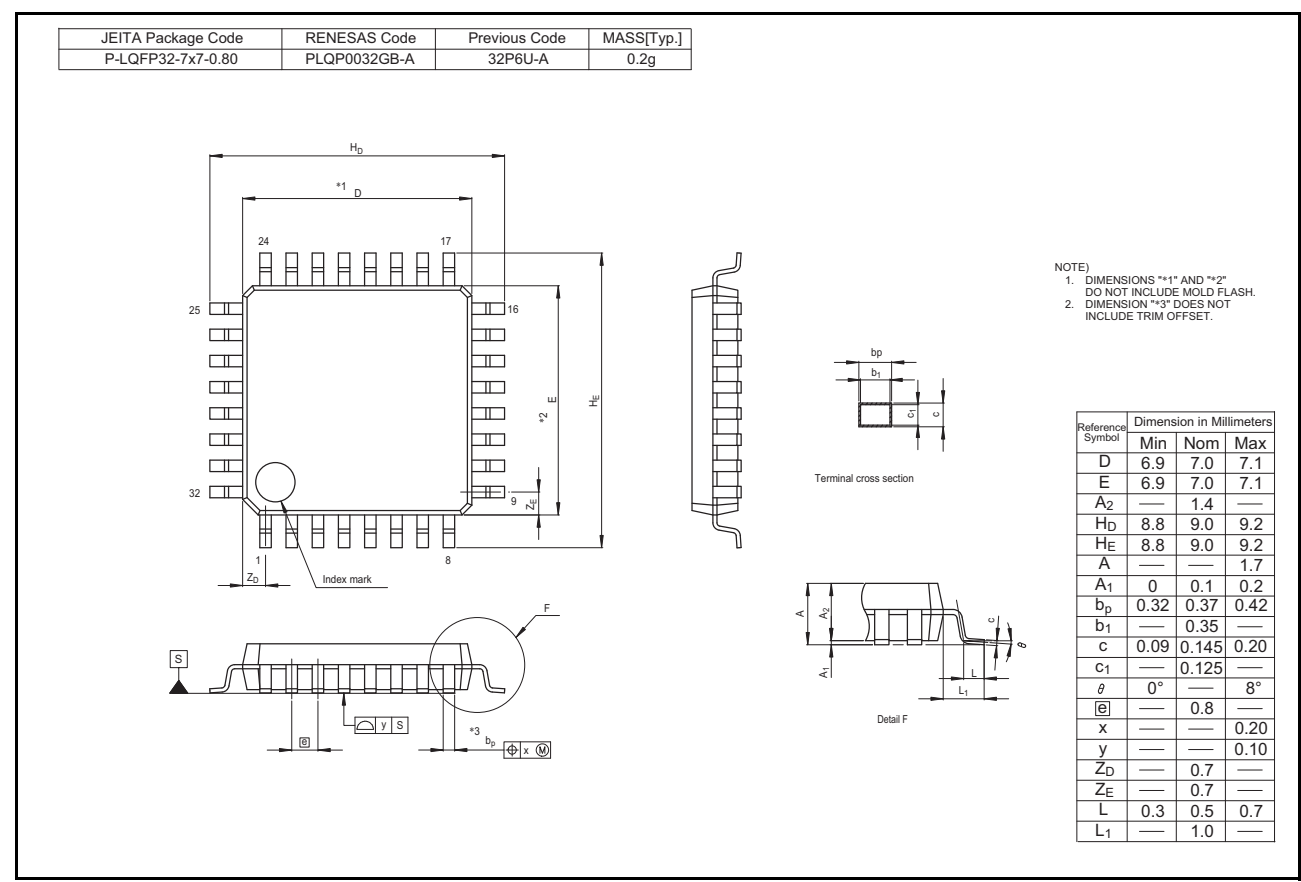


図 2.2 LQFP 32 ピン

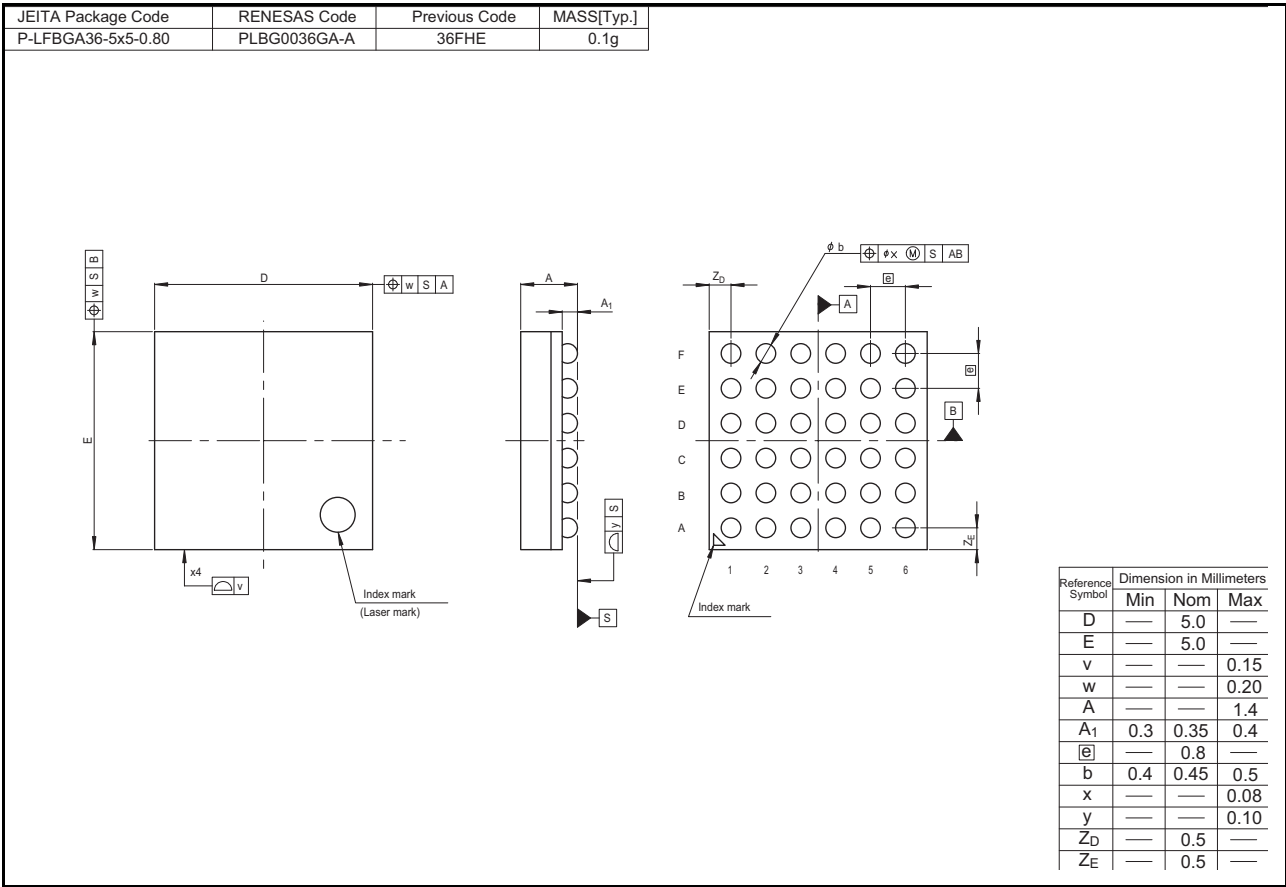
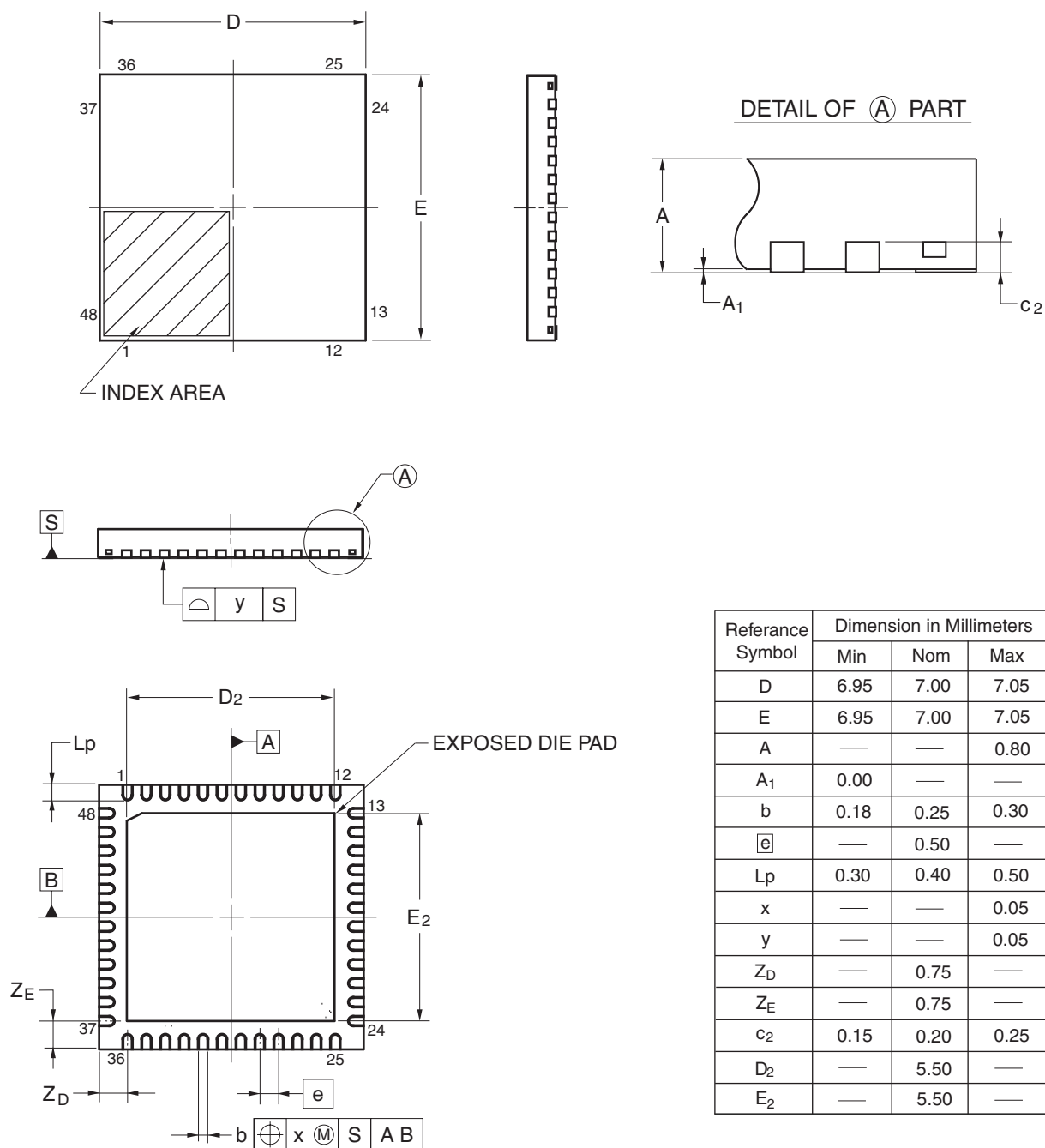


図 2.3 BGA 36 ピン

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-6	0.13



©2013 Renesas Electronics Corporation. All rights reserved.

図 2.4 **QFN48 ピン (1)**

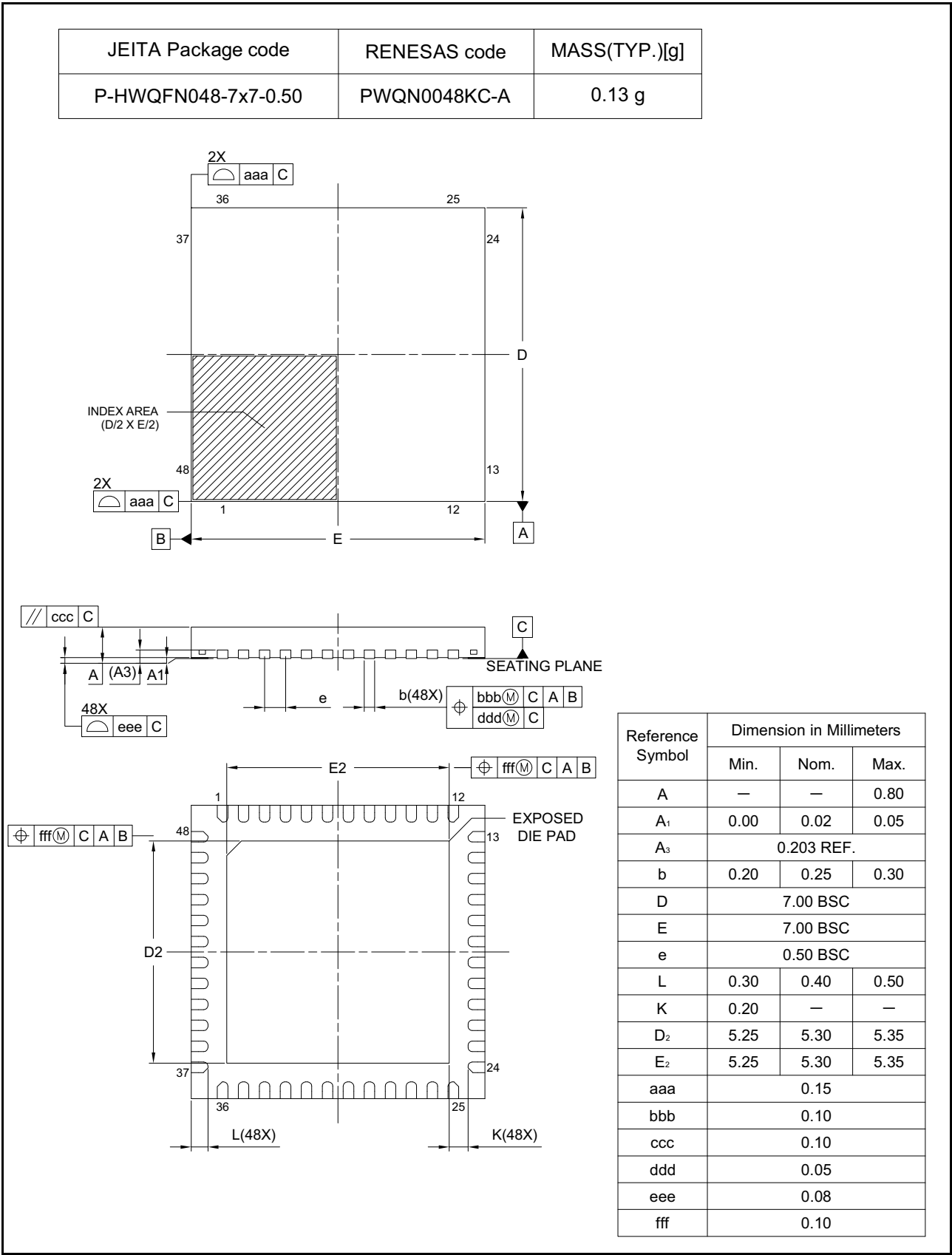


図 2.5 QFN48 ピン (2)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-5	0.09

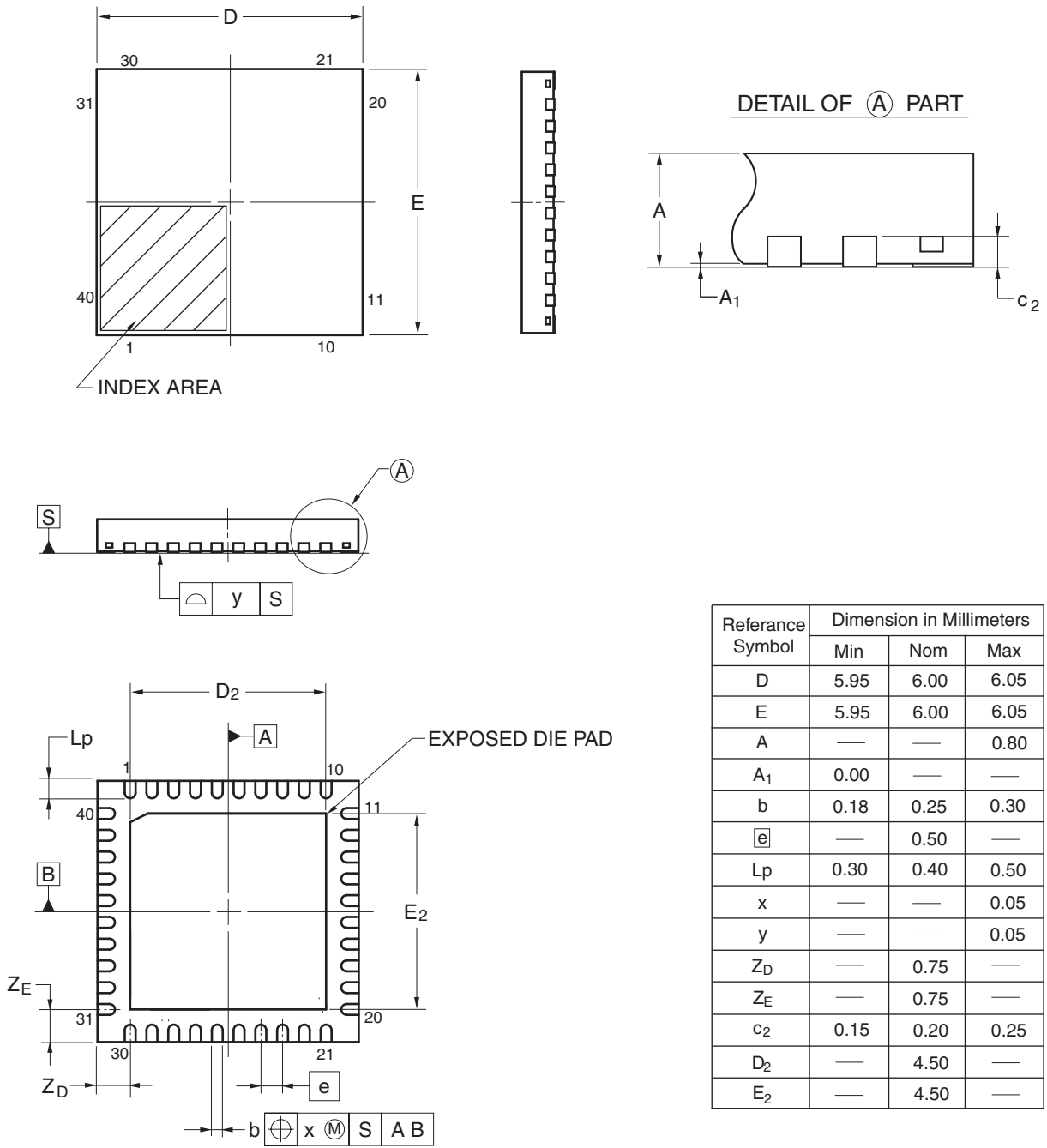
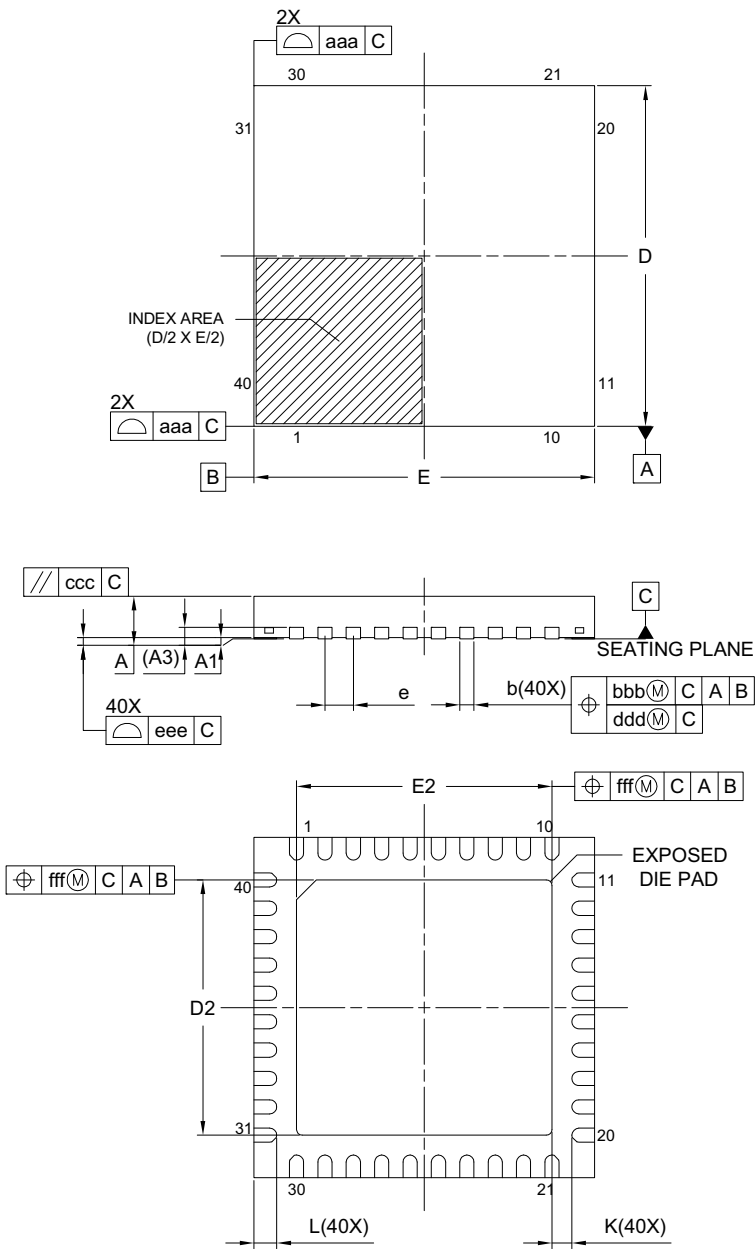


図 2.6 QFN40 ピン (1)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.45	4.50	4.55
E ₂	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.7 QFN40 ピン (2)

付録3. I/O レジスタ

本付録は、I/O レジスタのアドレス、アクセスサイクル、リセット値を機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	説明	ベースアドレス
MMPU	バスマスタ MPU	0x40000000
SMPU	バスマスレーブ MPU	0x40000C00
SPMON	CPU スタックポインタモニタ	0x40000D00
MMF	メモリミラー機能	0x40001000
SRAM	SRAM 制御	0x40002000
BUS	バス制御	0x40003000
DTC	データトランスファコントローラ	0x40005400
ICU	割り込みコントローラ	0x40006000
DBG	デバッグ機能	0x4001B000
FCACHE	フラッシュキャッシュ	0x4001C000
SYSTEM	システム制御	0x4001E000
PORT0	ポート0コントロールレジスタ	0x40040000
PORT1	ポート1コントロールレジスタ	0x40040020
PORT2	ポート2コントロールレジスタ	0x40040040
PORT3	ポート3コントロールレジスタ	0x40040060
PORT4	ポート4コントロールレジスタ	0x40040080
PORT5	ポート5コントロールレジスタ	0x400400A0
PORT9	ポート9コントロールレジスタ	0x40040120
PFS	Pmn 端子機能コントロールレジスタ	0x40040800
PMISC	その他のポートコントロールレジスタ	0x40040D00
ELC	イベントリンクコントローラ	0x40041000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x40042000
RTC	リアルタイムクロック	0x40044000
WDT	ウォッチドッグタイマ	0x40044200
IWDT	独立ウォッチドッグタイマ	0x40044400
CAC	クロック周波数精度測定回路	0x40044600
MSTP	モジュールストップコントロールB、C、D	0x40047000
CAN0	CAN0 モジュール	0x40050000
IIC0	I ² C0	0x40053000
IIC1	I ² C1	0x40053100
DOC	データ演算回路	0x40054100
ADC160	16ビットA/Dコンバータ	0x4005C000
DAC12	12ビットD/Aコンバータ	0x4005E000
SCI0	シリアルコミュニケーションインタフェース0	0x40070000
SCI1	シリアルコミュニケーションインタフェース1	0x40070020
SCI9	シリアルコミュニケーションインタフェース9	0x40070120
SPI0	シリアルペリフェラルインタフェース0	0x40072000

表 3.1 周辺機能のベースアドレス (2/2)

名称	説明	ベースアドレス
SPI1	シリアルペリフェラルインタフェース 1	0x40072100
CRC	CRC 演算器	0x40074000
GPT320	汎用 PWM タイマ 0 (32 ビット)	0x40078000
GPT161	汎用 PWM タイマ 1 (16 ビット)	0x40078100
GPT162	汎用 PWM タイマ 2 (16 ビット)	0x40078200
GPT163	汎用 PWM タイマ 3 (16 ビット)	0x40078300
GPT164	汎用 PWM タイマ 4 (16 ビット)	0x40078400
GPT165	汎用 PWM タイマ 5 (16 ビット)	0x40078500
GPT166	汎用 PWM タイマ 6 (16 ビット)	0x40078600
GPT_OPS	出力相切り替えコントローラ	0x40078FF0
KINT	キー割り込み機能	0x40080000
CTSU	静電容量式タッチセンシングユニット	0x40081000
AGT0	低消費電力非同期汎用タイマ 0	0x40084000
AGT1	低消費電力非同期汎用タイマ 1	0x40084100
ACMPHS0	高速アナログコンパレータ 0	0x40085000
ACMPLP	低電力アナログコンパレータ	0x40085E00
OPAMP	オペアンプ	0x40086800
USBFS	USB2.0 フルスピードモジュール	0x40090000
SDADC24	24 ビットシグマデルタ A/D コンバータ	0x4009C000
DAC8	8 ビット D/A コンバータ	0x4009E000
FLCN	フラッシュ I/O レジスタ	0x407EC000
TSN	温度センサ	0x407EC000

名称 = 周辺機能名

説明 = 周辺機能内容

ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は表 3.2 および表 3.3 に適用されます。

- レジスタは関連するモジュールごとに分類されます
- アクセスサイクル数は、指定の基準クロックのサイクル数を示しています
- 内部 I/O レジスタ領域では、レジスタに割り当てられていない予約アドレスにはアクセスしないでください。アクセスした場合、動作は保証されません
- I/O レジスタアクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます

注 CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタからのバスアクセスと競合せずに実行された場合サイクル数に適用されます。

表 3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 3.2 GPT 以外のモジュールのアクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK (注1)			
	開始	終了	読み出し	書き込み	読み出し	書き込み		
MMPU, SMPU, SPMON, MMF, SRAM, BUS, DTC, ICU, DBG, FCACHE	4000 0000h	4001 CFFFh	2				ICLK	メモリプロテクションユニット、メモリミラー機能、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ
SYSTEM	4001 E000h	4001 E3FFh	3				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション
SYSTEM	4001 E400h	4001 E6FFh	7		5～7		PCLKB	低消費電力モード、リセット、低電圧検出
PORTn, PFS, PMISC, ELC, POEG, RTC, WDT, IWDIT, CAC, MSTP	4004 0000h	4004 7FFFh	3		2～3		PCLKB	I/Oポート、イベントリンクコントローラ、GPT用ポートアウトプットイネーブル、リアルタイムクロック、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
CAN0, IICn, DOC, ADC160,DAC12	4005 0000h	4005 EFFFh	3		2～3		PCLKB	コントローラエリアネットワークモジュール、I ² Cバスインタフェース、データ演算回路、16ビットA/Dコンバータ
SCIn	4007 0000h	4007 0EFFh	5 (注2)		2～3 (注2)		PCLKB	シリアルコミュニケーションインタフェース
SPIn	4007 2000h	4007 2FFFh	5 (注3)		2～3 (注3)		PCLKB	シリアルペリフェラルインタフェース
CRC	4007 4000h	4007 4FFFh	3		2～3		PCLKB	CRC演算器
GPT320,GPT16n, GPT OPS	4007 8000h	4007 BFFFh	表 3.3を参照してください。				PCLKB	汎用PWMタイマ
KINT, CTSU	4008 0000h	4008 1FFFh	2		1～2		PCLKB	キー割り込み機能、静電容量式タッチセンシングユニット
AGTn	4008 4000h	4008 4FFFh	3		2～3		PCLKB	低消費電力非同期汎用タイマ
ACMPHSn, ACMPPL, OPAMP	4008 5000h	4008 6FFFh	2		1～2		PCLKB	高速アナログコンパレータ、低電力アナログコンパレータ、オペアンプ

表 3.2 GPT 以外のモジュールのアクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数					サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK (注1)				
	開始	終了	読み出し	書き込み	読み出し	書き込み			
USBFS	4009 0000h	4009 03FFh	4		3～4		PCLKB	USB2.0 フルスピードモジュール	
USBFS	4009 0400h	4009 04FFh	3		2～3		PCLKB	USB2.0 フルスピードモジュール	
SDADC24, DAC8	4009 C000h	4009 E00Fh	2		1～2		PCLKB	24ビットシグマデルタ A/D コンバータ、8ビットD/Aコンバータ	
FLCN	407E C000h	407E CFFFh	7		7		ICLK	フラッシュ I/O レジスタ	
TSN	407E C000h	407E CFFFh	7		7		ICLK	温度センサ	

- 注 1. PCLK サイクル数が整数でない場合（たとえば 1.5）、最小値は小数点以下を切り捨て、最大値は小数点を四捨五入します。（たとえば、1.5 ~ 2.5 は 1 ~ 3）
- 注 2. 16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、CDR）へのアクセス時、アクセスは表 3.2 に示す値よりも 2 サイクル多くなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、FRDRL）へのアクセス時、アクセスサイクルは表 3.2 に示すとおりです。
- 注 3. 32 ビットレジスタ（SPDR）へのアクセス時、表 3.2 に示す値よりも 2 サイクル多くなります。8 ビットまたは 16 ビットレジスタ（SPDR_HA）へのアクセス時、アクセスサイクルは表 3.2 に示すとおりです。

表 3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 3.3 GPT モジュールのアクセスサイクル

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
ICLK > PCLKD = PCLKB	5~6	3~4	PCLKB
ICLK > PCLKD > PCLKB	3~4	2~3	PCLKB
PCLKD = ICLK = PCLKB	6	4	PCLKB
PCLKD = ICLK > PCLKB	2~3	1~2	PCLKB
PCLKD > ICLK = PCLKB	4	3	PCLKB
PCLKD > ICLK > PCLKB	2~3	1~2	PCLKB

3.3 レジスタの説明

本節では、本マニュアルに記載のレジスタに関する情報を示します。

表 3.4 に各レジスタのアドレスオフセット、アドレスサイズ、アクセス権、およびリセット値を示します。

表 3.4 レジスタの説明 (1/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
MMPU	-	-	-	MMPUCTLA	Bus Master MPU Control Register	0x000	16	read- write	0x0000	0xFFFF
				MMPUPTA	Group A Protection of Register	0x102	16	read- write	0x0000	0xFFFF
	4	0x010	0-3	MMPUACA%s	Group A Region %s Access Control Register	0x200	16	read- write	0x0000	0xFFFF
	4	0x010	0-3	MMPUSA%s	Group A Region %s Start Address Register	0x204	32	read- write	0x0000 0000	0x00000 003
	4	0x010	0-3	MMPUEA%s	Group A Region %s End Address Register	0x208	32	read- write	0x0000 0003	0x00000 003
SMPU	-	-	-	SMPUCTL	Slave MPU Control Register	0x00	16	read- write	0x0000	0xFFFF
				SMPUMBIU	Access Control Register for MBIU	0x10	16	read- write	0x0000	0xFFFF
				SMPUFBIU	Access Control Register for FBIU	0x14	16	read- write	0x0000	0xFFFF
				SMPUSRAM0	Access Control Register for SRAM	0x18	16	read- write	0x0000	0xFFFF
	3	0x4	0,2,6	SMPUP%sBIU	Access Control Register for P%sBIU	0x20	16	read- write	0x0000	0xFFFF

表 3.4 レジスタの説明 (2/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
SPMON	-	-	-	MSPMPUOAD	Stack Pointer Monitor Operation After Detection Register	0x00	16	read- write	0x0000	0xFFFF
				MSPMPUCTL	Stack Pointer Monitor Access Control Register	0x04	16	read- write	0x0000	0xFEFF
				MSPMPUPT	Stack Pointer Monitor Protection Register	0x06	16	read- write	0x0000	0xFFFF
				MSPMPUSA	Main Stack Pointer Monitor Start Address Register	0x08	32	read- write	0x0000 0000	0x00000 003
				MSPMPUEA	Main Stack Pointer Monitor End Address Register	0x0C	32	read- write	0x0000 0003	0x00000 003
				PSPMPUOAD	Stack Pointer Monitor Operation After Detection Register	0x10	16	read- write	0x0000	0xFFFF
				PSPMPUCTL	Stack Pointer Monitor Access Control Register	0x14	16	read- write	0x0000	0xFEFF
				PSPMPUPT	Stack Pointer Monitor Protection Register	0x16	16	read- write	0x0000	0xFFFF
				PSPMPUSA	Process Stack Pointer Monitor Start Address Register	0x18	32	read- write	0x0000 0000	0x00000 003
				PSPMPUEA	Process Stack Pointer Monitor End Address Register	0x1C	32	read- write	0x0000 0003	0x00000 003
MMF	-	-	-	MMSFR	MemMirror Special Function Register	0x00	32	read- write	0x0000 0000	0xFFFF FFFF
				MMEN	MemMirror Enable Register	0x04	32	read- write	0x0000 0000	0xFFFF FFFF
SRAM	-	-	-	PARIOAD	SRAM Parity Error Operation After Detection Register	0x00	8	read- write	0x00	0xFF
				SRAMPRCR	SRAM Protection Register	0x04	8	read- write	0x00	0xFF
				ECCMODE	ECC Operating Mode Control Register	0xC0	8	read- write	0x00	0xFF
				ECC2STS	ECC 2-Bit Error Status Register	0xC1	8	read- write	0x00	0xFF
				ECC1STSEN	ECC 1-Bit Error Information Update Enable Register	0xC2	8	read- write	0x00	0xFF
				ECC1STS	ECC 1-Bit Error Status Register	0xC3	8	read- write	0x00	0xFF
				ECCPRCR	ECC Protection Register	0xC4	8	read- write	0x00	0xFF
				ECCPRCR2	ECC Protection Register 2	0xD0	8	read- write	0x00	0xFF
				ECCETST	ECC Test Control Register	0xD4	8	read- write	0x00	0xFF
				ECCOAD	SRAM ECC Error Operation After Detection Register	0xD8	8	read- write	0x00	0xFF

表 3.4 レジスタの説明 (3/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
BUS	-	-	-	BUSMCNTSYS	Master Bus Control Register SYS	0x1008	16	read-write	0x0000	0xFFFF
				BUSMCNTDMA	Master Bus Control Register DMA	0x100C	16	read-write	0x0000	0xFFFF
				BUSSCNTFLI	Slave Bus Control Register FLI	0x1100	16	read-write	0x0000	0xFFFF
				BUSSCNTRAM0	Slave Bus Control Register RAM0	0x110C	16	read-write	0x0000	0xFFFF
	2	0x4	P0B, P2B	BUSSCNT%s	Slave Bus Control Register %s	0x1114	16	read-write	0x0000	0xFFFF
	-	-	-	BUSSCNTP4B	Slave Bus Control Register P4B	0x1120	16	read-write	0x0000	0xFFFF
	-	-	-	BUSSCNTP6B	Slave Bus Control Register P6B	0x1128	16	read-write	0x0000	0xFFFF
	-	-	-	BUSSCNTFBU	Slave Bus Control Register FBU	0x1130	16	read-write	0x0000	0xFFFF
	2	0x10	3,4	BUS%sERRADD	Bus Error Address Register %s	0x1820	32	read-only	0x0000 0000	0x00000 000
DTC	-	-	-	DTCCR	DTC Control Register	0x00	8	read-write	0x08	0xFF
				DTCVBR	DTC Vector Base Register	0x04	32	read-write	0x0000 0000	0xFFFF FFFF
				DTCST	DTC Module Start Register	0x0C	8	read-write	0x00	0xFF
				DTCSTS	DTC Status Register	0x0E	16	read-only	0x0000	0xFFFF
ICU	8	0x1	0-7	IRQCR%s	IRQ Control Register %s	0x000	8	read-write	0x00	0xFF
	-	-	-	NMICR	NMI Pin Interrupt Control Register	0x100	8	read-write	0x00	0xFF
				NMIER	Non-Maskable Interrupt Enable Register	0x120	16	read-write	0x0000	0xFFFF
				NMICLR	Non-Maskable Interrupt Status Clear Register	0x130	16	read-write	0x0000	0xFFFF
				NMISR	Non-Maskable Interrupt Status Register	0x140	16	read-only	0x0000	0xFFFF
				WUPEN	Wake Up Interrupt Enable Register	0x1A0	32	read-write	0x0000 0000	0xFFFF FFFF
				SELSR0	SYS Event Link Setting Register	0x200	16	read-write	0x0000	0xFFFF
	32	0x4	0-31	IELSR%s	ICU Event Link Setting Register %s	0x300	32	read-write	0x0000 0000	0xFFFF FFFF
DBG	-	-	-	DBGSTR	Debug Status Register	0x00	32	read-only	0x0000 0000	0xFFFF FFFF
				DBGSTOPCR	Debug Stop Control Register	0x10	32	read-write	0x0000 0003	0xFFFF FFFF

表 3.4 レジスタの説明 (4/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
FCACHE	-	-	-	FCACHEE	Flash Cache Enable Register	0x100	16	read-write	0x0000	0xFFFF
				FCACHEIV	Flash Cache Invalidate Register	0x104	16	read-write	0x0000	0xFFFF
SYSTEM	-	-	-	SBYCR	Standby Control Register	0x00C	16	read-write	0x0000	0xFFFF
				MSTPCRA	Module Stop Control Register A	0x01C	32	read-write	0xFFBF FFFF	0xFFFF FFFF
				SCKDIVCR	System Clock Division Control Register	0x020	32	read-write	0x4400 0404	0xFFFF FFFF
				SCKSCR	System Clock Source Control Register	0x026	8	read-write	0x01	0xFF
				MEMWAIT	Memory Wait Cycle Control Register	0x031	8	read-write	0x00	0xFF
				MOSCCR	Main Clock Oscillator Control Register	0x032	8	read-write	0x01	0xFF
				HOCOCR	High-Speed On-Chip Oscillator Control Register	0x036	8	read-write	0x00	0xFE
				MOCOCR	Middle-Speed On-Chip Oscillator Control Register	0x038	8	read-write	0x00	0xFF
				OSCSF	Oscillation Stabilization Flag Register	0x03C	8	read-only	0x00	0xFE
				CKOCR	Clock Out Control Register	0x03E	8	read-write	0x00	0xFF
				OSTDCR	Oscillation Stop Detection Control Register	0x040	8	read-write	0x00	0xFF
				OSTDSR	Oscillation Stop Detection Status Register	0x041	8	read-write	0x00	0xFF
				MOCOUTCR	MOCO User Trimming Control Register	0x061	8	read-write	0x00	0xFF
				HOCOUTCR	HOCO User Trimming Control Register	0x062	8	read-write	0x00	0xFF
				SNZCR	Snooze Control Register	0x092	8	read-write	0x00	0xFF
				SNZEDCR	Snooze End Control Register	0x094	8	read-write	0x00	0xFF
				SNZREQCR	Snooze Request Control Register	0x098	32	read-write	0x0000 0000	0xFFFF FFFF
				FLSTOP	Flash Operation Control Register	0x09E	8	read-write	0x00	0xFF
				OPCCR	Operating Power Control Register	0x0A0	8	read-write	0x02	0xFF

表 3.4 レジスタの説明 (5/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
SYSTEM	-	-	-	MOSCWTCR	Main Clock Oscillator Wait Control Register	0x0A2	8	read- write	0x05	0xFF
				HOCOWTCR	High-Speed On-Chip Oscillator Wait Control Register	0x0A5	8	read- write	0x05	0xFF
				SOPCCR	Sub Operating Power Control Register	0x0AA	8	read- write	0x00	0xFF
				RSTSR1	Reset Status Register 1	0x0C0	16	read- write	0x0000	0xE0F8
				SDADCCKCR	24-bit Sigma-Delta A/ D Converter Clock Control Register	0x0D1	8	read- write	0x00	0xFF
				LVD1CR1	Voltage Monitor 1 Circuit Control Register 1	0x0E0	8	read- write	0x01	0xFF
				LVD1SR	Voltage Monitor 1 Circuit Status Register	0x0E1	8	read- write	0x02	0xFF
				LVD2CR1	Voltage Monitor 2 Circuit Control Register 1	0x0E2	8	read- write	0x01	0xFF
				LVD2SR	Voltage Monitor 2 Circuit Status Register	0x0E3	8	read- write	0x02	0xFF
				PRCR	Protect Register	0x3FE	16	read- write	0x0000	0xFFFF
				SYOCDCR	System Control OCD Control Register	0x40E	8	read- write	0x00	0xFF
				RSTSR0	Reset Status Register 0	0x410	8	read- write	0x00	0xF0
				RSTSR2	Reset Status Register 2	0x411	8	read- write	0x00	0xFE
				MOMCR	Main Clock Oscillator Mode Oscillation Control Register	0x413	8	read- write	0x00	0xFF
				LVCMPCR	Voltage Monitor Circuit Control Register	0x417	8	read- write	0x00	0xFF
SYSTEM	-	-	-	LVDLVLR	Voltage Detection Level Select Register	0x418	8	read- write	0x07	0xFF
				LVD1CR0	Voltage Monitor 1 Circuit Control Register 0	0x41A	8	read- write	0x80	0xF7
				LVD2CR0	Voltage Monitor 2 Circuit Control Register 0	0x41B	8	read- write	0x80	0xF7
				SOSCCR	Sub-Clock Oscillator Control Register	0x480	8	read- write	0x01	0xFF
				SOMCR	Sub-clock Oscillator Mode Control Register	0x481	8	read- write	0x00	0xFF
				LOCOCR	Low-Speed On-Chip Oscillator Control Register	0x490	8	read- write	0x00	0xFF
				LOCOUTCR	LOCO User Trimming Control Register	0x492	8	read- write	0x00	0xFF

表 3.4 レジスタの説明 (6/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
PORT0,3- 5,9	-	-	-	PCNTR1	Port Control Register 1	0x00	32	read- write	0x0000 0000	0xFFFF FFFF
				PODR	Output Data Register	0x00	16	read- write	0x0000	0xFFFF
				PDR	Direction Register	0x02	16	read- write	0x0000	0xFFFF
				PCNTR2	Port Control Register 2	0x04	32	read- only	0x0000 0000	0xFFFF0 000
				PIDR	Input Data Register	0x06	16	read- only	0x0000	0x0000
				PCNTR3	Port Control Register 3	0x08	32	write- only	0x0000 0000	0xFFFF FFFF
				PORR	Output Reset Register	0x08	16	write- only	0x0000	0xFFFF
				POSR	Output Set Register	0x0A	16	write- only	0x0000	0xFFFF
PORT1,2	-	-	-	PCNTR1	Port Control Register 1	0x00	32	read- write	0x0000 0000	0xFFFF FFFF
				PODR	Output Data Register	0x00	16	read- write	0x0000	0xFFFF
				PDR	Direction Register	0x02	16	read- write	0x0000	0xFFFF
				PCNTR2	Port Control Register 2	0x04	32	read- only	0x0000 0000	0xFFFF0 000
				EIDR	Event Input Data Register	0x04	16	read- only	0x0000	0xFFFF
				PIDR	Input Data Register	0x06	16	read- only	0x0000	0x0000
				PCNTR3	Port Control Register 3	0x08	32	write- only	0x0000 0000	0xFFFF FFFF
				PORR	Output Reset Register	0x08	16	write- only	0x0000	0xFFFF
				POSR	Output Set Register	0x0A	16	write- only	0x0000	0xFFFF
				PCNTR4	Port Control Register 4	0x0C	32	read- write	0x0000 0000	0xFFFF FFFF
				EORR	Event Output Reset Register	0x0C	16	read- write	0x0000	0xFFFF
				EOSR	Event Output Set Register	0x0E	16	read- write	0x0000	0xFFFF

表 3.4 レジスタの説明 (7/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
PFS	-	-	-	P000PFS	P000 Pin Function Control Register	0x000	32	read- write	0x0000 0000	0xFFFF FFFF
				P000PFS_HA	P000 Pin Function Control Register	0x002	16	read- write	0x0000	0xFFFF
				P000PFS_BY	P000 Pin Function Control Register	0x003	8	read- write	0x00	0xFF
	3	0x4	1-3	P00%sPFS	P00%s Pin Function Control Register	0x004	32	read- write	0x0000 0000	0xFFFF FFFF
	3	0x4	1-3	P00%sPFS_HA	P00%s Pin Function Control Register	0x006	16	read- write	0x0000	0xFFFF
	3	0x4	1-3	P00%sPFS_BY	P00%s Pin Function Control Register	0x007	8	read- write	0x00	0xFF
	4	0x4	12-15	P0%sPFS	P0%s Pin Function Control Register	0x030	32	read- write	0x0000 0000	0xFFFF FFFF
	4	0x4	12-15	P0%sPFS_HA	P0%s Pin Function Control Register	0x032	16	read- write	0x0000	0xFFFF
	4	0x4	12-15	P0%sPFS_BY	P0%s Pin Function Control Register	0x033	8	read- write	0x00	0xFF
	-	-	-	P100PFS	P100 Pin Function Control Register	0x040	32	read- write	0x0000 0000	0xFFFF FFFF
	-	-	-	P100PFS_HA	P100 Pin Function Control Register	0x042	16	read- write	0x0000	0xFFFF
	-	-	-	P100PFS_BY	P100 Pin Function Control Register	0x043	8	read- write	0x00	0xFF
	7	0x4	1-7	P10%sPFS	P10%s Pin Function Control Register	0x044	32	read- write	0x0000 0000	0xFFFF FFFF
	7	0x4	1-7	P10%sPFS_HA	P10%s Pin Function Control Register	0x046	16	read- write	0x0000	0xFFFF
	7	0x4	1-7	P10%sPFS_BY	P10%s Pin Function Control Register	0x047	8	read- write	0x00	0xFF

表 3.4 レジスタの説明 (8/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
PFS	-	-	-	P108PFS	P108 Pin Function Control Register	0x060	32	read-write	0x0001 0010	0xFFFF FFFF
				P108PFS_HA	P108 Pin Function Control Register	0x062	16	read-write	0x0010	0xFFFF
				P108PFS_BY	P108 Pin Function Control Register	0x063	8	read-write	0x10	0xFF
				P109PFS	P109 Pin Function Control Register	0x064	32	read-write	0x0000 0000	0xFFFF FFFF
				P109PFS_HA	P109 Pin Function Control Register	0x066	16	read-write	0x0000	0xFFFF
				P109PFS_BY	P109 Pin Function Control Register	0x067	8	read-write	0x00	0xFF
	3	0x4	10-12	P1%sPFS	P1%s Pin Function Control Register	0x068	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x4	10-12	P1%sPFS_HA	P1%s Pin Function Control Register	0x06A	16	read-write	0x0000	0xFFFF
	3	0x4	10-12	P1%sPFS_BY	P1%s Pin Function Control Register	0x06B	8	read-write	0x00	0xFF
	-	-	-	P200PFS	P200 Pin Function Control Register	0x080	32	read-write	0x0000 0000	0xFFFF FFFF
				P200PFS_HA	P200 Pin Function Control Register	0x082	16	read-write	0x0000	0xFFFF
				P200PFS_BY	P200 Pin Function Control Register	0x083	8	read-write	0x00	0xFF
				P201PFS	P201 Pin Function Control Register	0x084	32	read-write	0x0000 0010	0xFFFF FFFF
				P201PFS_HA	P201 Pin Function Control Register	0x086	16	read-write	0x0010	0xFFFF
	-	-	-	P201PFS_BY	P201 Pin Function Control Register	0x087	8	read-write	0x10	0xFF
	3	0x4	4-6	P20%sPFS	P20%s Pin Function Control Register	0x090	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x4	4-6	P20%sPFS_HA	P20%s Pin Function Control Register	0x092	16	read-write	0x0000	0xFFFF
	3	0x4	4-6	P20%sPFS_BY	P20%s Pin Function Control Register	0x093	8	read-write	0x00	0xFF
	4	0x4	12-15	P2%sPFS	P2%s Pin Function Control Register	0x0B0	32	read-write	0x0000 0000	0xFFFF FFFF
	4	0x4	12-15	P2%sPFS_HA	P2%s Pin Function Control Register	0x0B2	16	read-write	0x0000	0xFFFF
	4	0x4	12-15	P2%sPFS_BY	P2%s Pin Function Control Register	0x0B3	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (9/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
PFS	-	-	-	P300PFS	P300 Pin Function Control Register	0x0C0	32	read-write	0x0001 0010	0xFFFF FFFF
				P300PFS_HA	P300 Pin Function Control Register	0x0C2	16	read-write	0x0010	0xFFFF
				P300PFS_BY	P300 Pin Function Control Register	0x0C3	8	read-write	0x10	0xFF
	4	0x4	1-4	P30%sPFS	P30%s Pin Function Control Register	0x0C4	32	read-write	0x0000 0000	0xFFFF FFFF
	4	0x4	1-4	P30%sPFS_HA	P30%s Pin Function Control Register	0x0C6	16	read-write	0x0000	0xFFFF
	4	0x4	1-4	P30%sPFS_BY	P30%s Pin Function Control Register	0x0C7	8	read-write	0x00	0xFF
	4	0x4	0-3	P40%sPFS	P40%s Pin Function Control Register	0x100	32	read-write	0x0000 0000	0xFFFF FFFF
	4	0x4	0-3	P40%sPFS_HA	P40%s Pin Function Control Register	0x102	16	read-write	0x0000	0xFFFF
	4	0x4	0-3	P40%sPFS_BY	P40%s Pin Function Control Register	0x103	8	read-write	0x00	0xFF
	-	-	-	P407PFS	P407 Pin Function Control Register	0x11C	32	read-write	0x0000 0000	0xFFFF FFFF
				P407PFS_HA	P407 Pin Function Control Register	0x11E	16	read-write	0x0000	0xFFFF
				P407PFS_BY	P407 Pin Function Control Register	0x11F	8	read-write	0x00	0xFF
	2	0x4	8,9	P40%sPFS	P40%s Pin Function Control Register	0x120	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x4	8,9	P40%sPFS_HA	P40%s Pin Function Control Register	0x122	16	read-write	0x0000	0xFFFF
	2	0x4	8,9	P40%sPFS_BY	P40%s Pin Function Control Register	0x123	8	read-write	0x00	0xFF
	2	0x4	10,11	P4%sPFS	P4%s Pin Function Control Register	0x128	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x4	10,11	P4%sPFS_HA	P4%s Pin Function Control Register	0x12A	16	read-write	0x0000	0xFFFF
	2	0x4	10,11	P4%sPFS_BY	P4%s Pin Function Control Register	0x12B	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (10/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
PFS	3	0x4	0-2	P50%sPFS	P50%s Pin Function Control Register	0x140	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x4	0-2	P50%sPFS_HA	P50%s Pin Function Control Register	0x142	16	read-write	0x0000	0xFFFF
	3	0x4	0-2	P50%sPFS_BY	P50%s Pin Function Control Register	0x143	8	read-write	0x00	0xFF
	-	-	-	P914PFS	P914 Pin Function Control Register	0x278	32	read-write	0x0001 0000	0xFFFF FFFF
				P914PFS_HA	P914 Pin Function Control Register	0x27A	16	read-write	0x0000	0xFFFF
				P914PFS_BY	P914 Pin Function Control Register	0x27B	8	read-write	0x00	0xFF
				P915PFS	P915 Pin Function Control Register	0x27C	32	read-write	0x0001 0000	0xFFFF FFFF
				P915PFS_HA	P915 Pin Function Control Register	0x27E	16	read-write	0x0000	0xFFFF
				P915PFS_BY	P915 Pin Function Control Register	0x27F	8	read-write	0x00	0xFF
PMISC	-	-	-	PWPR	Write-Protect Register	0x03	8	read-write	0x80	0xFF
ELC	-	-	-	ELCR	Event Link Controller Register	0x00	8	read-write	0x00	0xFF
	2	0x2	0,1	ELSEGR%s	Event Link Software Event Generation Register %s	0x02	8	read-write	0x80	0xFF
	4	0x4	0-3	ELSR%s	Event Link Setting Register %s	0x10	16	read-write	0x0000	0xFFFF
	2	0x4	8,9	ELSR%s	Event Link Setting Register %s	0x30	16	read-write	0x0000	0xFFFF
	-	-	-	ELSR12	Event Link Setting Register 12	0x40	16	read-write	0x0000	0xFFFF
	2	0x4	14,15	ELSR%s	Event Link Setting Register %s	0x48	16	read-write	0x0000	0xFFFF
	3	0x4	18-20	ELSR%s	Event Link Setting Register %s	0x58	16	read-write	0x0000	0xFFFF
	-	-	-	ELSR22	Event Link Setting Register 22	0x68	16	read-write	0x0000	0xFFFF
POEG	2	0x100	A,B	POEGG%s	POEG Group %s Setting Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (11/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
RTC	-	-	-	R64CNT	64-Hz Counter	0x00	8	read-only	0x00	0x80
				RSECCNT	Second Counter	0x02	8	read-write	0x00	0x00
				BCNT0	Binary Counter 0	0x02	8	read-write	0x00	0x00
				RMINCNT	Minute Counter	0x04	8	read-write	0x00	0x00
				BCNT1	Binary Counter 1	0x04	8	read-write	0x00	0x00
				RHRCNT	Hour Counter	0x06	8	read-write	0x00	0x00
				BCNT2	Binary Counter 2	0x06	8	read-write	0x00	0x00
				RWKCNT	Day-of-Week Counter	0x08	8	read-write	0x00	0x00
				BCNT3	Binary Counter 3	0x08	8	read-write	0x00	0x00
				RDAYCNT	Day Counter	0x0A	8	read-write	0x00	0xC0
				RMONCNT	Month Counter	0x0C	8	read-write	0x00	0xE0
				RYRCNT	Year Counter	0x0E	16	read-write	0x0000	0xFF00
				RSECAR	Second Alarm Register	0x10	8	read-write	0x00	0x00
				BCNT0AR	Binary Counter 0 Alarm Register	0x10	8	read-write	0x00	0x00
				RMINAR	Minute Alarm Register	0x12	8	read-write	0x00	0x00
				BCNT1AR	Binary Counter 1 Alarm Register	0x12	8	read-write	0x00	0x00
				RHRAR	Hour Alarm Register	0x14	8	read-write	0x00	0x00
				BCNT2AR	Binary Counter 2 Alarm Register	0x14	8	read-write	0x00	0x00
				RWKAR	Day-of-Week Alarm Register	0x16	8	read-write	0x00	0x00
				BCNT3AR	Binary Counter 3 Alarm Register	0x16	8	read-write	0x00	0x00
				RDAYAR	Date Alarm Register	0x18	8	read-write	0x00	0x00
				BCNT0AER	Binary Counter 0 Alarm Enable Register	0x18	8	read-write	0x00	0x00

表 3.4 レジスタの説明 (12/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
RTC	-	-	-	RMONAR	Month Alarm Register	0x1A	8	read- write	0x00	0x00
				BCNT1AER	Binary Counter 1 Alarm Enable Register	0x1A	8	read- write	0x00	0x00
				RYRAR	Year Alarm Register	0x1C	16	read- write	0x0000	0xFF00
				BCNT2AER	Binary Counter 2 Alarm Enable Register	0x1C	16	read- write	0x0000	0xFF00
				RYRAREN	Year Alarm Enable Register	0x1E	8	read- write	0x00	0x00
				BCNT3AER	Binary Counter 3 Alarm Enable Register	0x1E	8	read- write	0x00	0x00
				RCR1	RTC Control Register 1	0x22	8	read- write	0x00	0x0A
				RCR2	RTC Control Register 2	0x24	8	read- write	0x00	0x0E
				RCR4	RTC Control Register 4	0x28	8	read- write	0x00	0xFE
				RFRH	Frequency Register H	0x2A	16	read- write	0x0000	0xFFFF
				RFRL	Frequency Register L	0x2C	16	read- write	0x0000	0x0000
				RADJ	Time Error Adjustment Register	0x2E	8	read- write	0x00	0x00
WDT	-	-	-	WDTRR	WDT Refresh Register	0x00	8	read- write	0xFF	0xFF
				WDTCR	WDT Control Register	0x02	16	read- write	0x33F3	0xFFFF
				WDTSR	WDT Status Register	0x04	16	read- write	0x0000	0xFFFF
				WDTRCR	WDT Reset Control Register	0x06	8	read- write	0x80	0xFF
				WDTCTPR	WDT Count Stop Control Register	0x08	8	read- write	0x80	0xFF
IWDT	-	-	-	IWDTRR	IWDT Refresh Register	0x00	8	read- write	0xFF	0xFF
				IWDTSR	IWDT Status Register	0x04	16	read- write	0x0000	0xFFFF

表 3.4 レジスタの説明 (13/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
CAC	-	-	-	CACR0	CAC Control Register 0	0x00	8	read- write	0x00	0xFF
				CACR1	CAC Control Register 1	0x01	8	read- write	0x00	0xFF
				CACR2	CAC Control Register 2	0x02	8	read- write	0x00	0xFF
				CAICR	CAC Interrupt Control Register	0x03	8	read- write	0x00	0xFF
				CASTR	CAC Status Register	0x04	8	read- only	0x00	0xFF
				CAULVR	CAC Upper-Limit Value Setting Register	0x06	16	read- write	0x0000	0xFFFF
				CALLVR	CAC Lower-Limit Value Setting Register	0x08	16	read- write	0x0000	0xFFFF
				CACNTBR	CAC Counter Buffer Register	0x0A	16	read- only	0x0000	0xFFFF
MSTP	-	-	-	MSTPCRB	Module Stop Control Register B	0x00	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				MSTPCRC	Module Stop Control Register C	0x04	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				MSTPCRD	Module Stop Control Register D	0x08	32	read- write	0xFFFF FFFF	0xFFFF FFFF

表 3.4 レジスタの説明 (14/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
CAN0	32	0x10	0-31	MB%s_ID	Mailbox Register	0x200	32	read- write	0x0000 0000	0x00000 000
	32	0x10	0-31	MB%s_DL	Mailbox Register	0x204	16	read- write	0x0000	0x0000
	32	0x10	0-31	MB%s_D0	Mailbox Register	0x206	8	read- write	0x00	0x00
	32	0x10	0-31	MB%s_D1	Mailbox Register	0x207	8	read- write	0x00	0x00
	32	0x10	0-31	MB%s_D2	Mailbox Register	0x208	8	read- write	0x00	0x00
	32	0x10	0-31	MB%s_D3	Mailbox Register	0x209	8	read- write	0x00	0x00
	32	0x10	0-31	MB%s_D4	Mailbox Register	0x20A	8	read- write	0x00	0x00
	32	0x10	0-31	MB%s_D5	Mailbox Register	0x20B	8	read- write	0x00	0x00
	32	0x10	0-31	MB%s_D6	Mailbox Register	0x20C	8	read- write	0x00	0x00
	32	0x10	0-31	MB%s_D7	Mailbox Register	0x20D	8	read- write	0x00	0x00
	32	0x10	0-31	MB%s_TS	Mailbox Register	0x20E	16	read- write	0x0000	0x0000
	8	0x4	0-7	MKR[%s]	Mask Register	0x400	32	read- write	0x0000 0000	0x00000 000
	2	0x4	0,1	FIDCR%s	FIFO Received ID Compare Registers	0x420	32	read- write	0x0000 0000	0x00000 000
	-	-	-	MKIVLR	Mask Invalid Register	0x428	32	read- write	0x0000 0000	0x00000 000
				MIER	Mailbox Interrupt Enable Register (normal mailbox mode)	0x42C	32	read- write	0x0000 0000	0x00000 000
				MIER_FIFO	Mailbox Interrupt Enable Register (FIFO mailbox mode)	0x42C	32	read- write	0x0000 0000	0x00000 000
	32	0x1	0-31	MCTL_TX[%s]	Message Control Register (transmit mode when the TRMREQ bit is 1 and the RECREQ bit is 0)	0x820	8	read- write	0x00	0xFF

表 3.4 レジスタの説明 (15/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
CAN0	32	0x1	0-31	MCTL_RX[%s]	Message Control Register (receive mode when the TRMREQ bit is 0 and the RECREQ bit is 1)	0x820	8	read-write	0x00	0xFF
	-	-	-	CTLR	Control Register	0x840	16	read-write	0x0500	0xFFFF
				STR	Status Register	0x842	16	read-only	0x0500	0xFFFF
				BCR	Bit Configuration Register	0x844	32	read-write	0x0000 0000	0xFFFF FFFF
				RFCR	Receive FIFO Control Register	0x848	8	read-write	0x80	0xFF
				RFPCR	Receive FIFO Pointer Control Register	0x849	8	write-only	0x00	0x00
				TFCR	Transmit FIFO Control Register	0x84A	8	read-write	0x80	0xFF
				TFPCR	Transmit FIFO Pointer Control Register	0x84B	8	write-only	0x00	0x00
				EIER	Error Interrupt Enable Register	0x84C	8	read-write	0x00	0xFF
				EIFR	Error Interrupt Factor Judge Register	0x84D	8	read-write	0x00	0xFF
				RECR	Receive Error Count Register	0x84E	8	read-only	0x00	0xFF
				TECR	Transmit Error Count Register	0x84F	8	read-only	0x00	0xFF
				ECSR	Error Code Store Register	0x850	8	read-write	0x00	0xFF
				CSSR	Channel Search Support Register	0x851	8	read-write	0x00	0x00
				MSSR	Mailbox Search Status Register	0x852	8	read-only	0x80	0xFF
				MSMR	Mailbox Search Mode Register	0x853	8	read-write	0x00	0xFF
				TSR	Time Stamp Register	0x854	16	read-only	0x0000	0xFFFF
				AFSR	Acceptance Filter Support Register	0x856	16	read-write	0x0000	0x0000
				TCR	Test Control Register	0x858	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (16/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
IIC0	-	-	-	ICCR1	I ² C Bus Control Register 1	0x00	8	read-write	0x1F	0xFF
				ICCR2	I ² C Bus Control Register 2	0x01	8	read-write	0x00	0xFF
				ICMR1	I ² C Bus Mode Register 1	0x02	8	read-write	0x08	0xFF
				ICMR2	I ² C Bus Mode Register 2	0x03	8	read-write	0x06	0xFF
				ICMR3	I ² C Bus Mode Register 3	0x04	8	read-write	0x00	0xFF
				ICFER	I ² C Bus Function Enable Register	0x05	8	read-write	0x72	0xFF
				ICSER	I ² C Bus Status Enable Register	0x06	8	read-write	0x09	0xFF
				ICIER	I ² C Bus Interrupt Enable Register	0x07	8	read-write	0x00	0xFF
				ICSR1	I ² C Bus Status Register 1	0x08	8	read-write	0x00	0xFF
				ICSR2	I ² C Bus Status Register 2	0x09	8	read-write	0x00	0xFF
	3	0x2	0-2	SARL%s	Slave Address Register L%s	0x0A	8	read-write	0x00	0xFF
	3	0x2	0-2	SARU%s	Slave Address Register U%s	0x0B	8	read-write	0x00	0xFF
	-	-	-	ICBRL	I ² C Bus Bit Rate Low-Level Register	0x10	8	read-write	0xFF	0xFF
				ICBRH	I ² C Bus Bit Rate High-Level Register	0x11	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF

表 3.4 レジスタの説明 (17/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
IIC1	-	-	-	ICCR1	I ² C Bus Control Register 1	0x00	8	read-write	0x1F	0xFF
				ICCR2	I ² C Bus Control Register 2	0x01	8	read-write	0x00	0xFF
				ICMR1	I ² C Bus Mode Register 1	0x02	8	read-write	0x08	0xFF
				ICMR2	I ² C Bus Mode Register 2	0x03	8	read-write	0x06	0xFF
				ICMR3	I ² C Bus Mode Register 3	0x04	8	read-write	0x00	0xFF
				ICFER	I ² C Bus Function Enable Register	0x05	8	read-write	0x72	0xFF
				ICSER	I ² C Bus Status Enable Register	0x06	8	read-write	0x09	0xFF
				ICIER	I ² C Bus Interrupt Enable Register	0x07	8	read-write	0x00	0xFF
				ICSR1	I ² C Bus Status Register 1	0x08	8	read-write	0x00	0xFF
				ICSR2	I ² C Bus Status Register 2	0x09	8	read-write	0x00	0xFF
	3	0x2	0-2	SARL%s	Slave Address Register L%s	0x0A	8	read-write	0x00	0xFF
	3	0x2	0-2	SARU%s	Slave Address Register U%s	0x0B	8	read-write	0x00	0xFF
	-	-	-	ICBRL	I ² C Bus Bit Rate Low-Level Register	0x10	8	read-write	0xFF	0xFF
				ICBRH	I ² C Bus Bit Rate High-Level Register	0x11	8	read-write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRR	I ² C Bus Receive Data Register	0x13	8	read-only	0x00	0xFF
DOC	-	-	-	DOCR	DOC Control Register	0x00	8	read-write	0x00	0xFF
				DODIR	DOC Data Input Register	0x02	16	read-write	0x0000	0xFFFF
				DODSR	DOC Data Setting Register	0x04	16	read-write	0x0000	0xFFFF
ADC160	-	-	-	ADCSR	A/D Control Register	0x000	16	read-write	0x0000	0xFFFF
				ADANSA0	A/D Channel Select Register A0	0x004	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (18/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
ADC160	-	-	-	ADANSA1	A/D Channel Select Register A1	0x006	16	read-write	0x0000	0xFFFF
				ADADS0	A/D-Converted Value Average Channel Select Register 0	0x008	16	read-write	0x0000	0xFFFF
				ADADS1	A/D-Converted Value Average Channel Select Register 1	0x00A	16	read-write	0x0000	0xFFFF
				ADADC	A/D-Converted Value Average Count Select Register	0x00C	8	read-write	0x00	0xFF
				ADCER	A/D Control Extended Register	0x00E	16	read-write	0x0000	0xFFFF
				ADSTRGR	A/D Conversion Start Trigger Select Register	0x010	16	read-write	0x0000	0xFFFF
				ADEXICR	A/D Conversion Extended Input Control Register	0x012	16	read-write	0x0000	0xFFFF
				ADANSB0	A/D Channel Select Register B0	0x014	16	read-write	0x0000	0xFFFF
				ADANSB1	A/D Channel Select Register B1	0x016	16	read-write	0x0000	0xFFFF
				ADDBLDR	A/D Data Duplexing Register	0x018	16	read-only	0x0000	0xFFFF
				ADTSDR	A/D Temperature Sensor Data Register	0x01A	16	read-only	0x0000	0xFFFF
				ADOCDR	A/D Internal Reference Voltage Data Register	0x01C	16	read-only	0x0000	0xFFFF
	9	0x2	0-8	ADDR%s	A/D Data Register %s	0x020	16	read-only	0x0000	0xFFFF
ADC160	9	0x2	16-24	ADDR%s	A/D Data Register %s	0x040	16	read-only	0x0000	0xFFFF
	-	-	-	ADDISCR	A/D Disconnection Detection Control Register	0x07A	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (19/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
ADC160	-	-	-	ADICR	A/D Interrupt Control Register	0x07D	8	read-write	0x00	0xFF
				ADGSPCR	A/D Group Scan Priority Control Register	0x080	16	read-write	0x0000	0xFFFF
				ADDBLDRA	A/D Data Duplexing Register A	0x084	16	read-only	0x0000	0xFFFF
				ADDBLDRB	A/D Data Duplexing Register B	0x086	16	read-only	0x0000	0xFFFF
				ADWINMON	A/D Compare Function Window A/B Status Monitor Register	0x08C	8	read-only	0x00	0xFF
				ADCMPCR	A/D Compare Function Control Register	0x090	16	read-write	0x0000	0xFFFF
				ADCMANSER	A/D Compare Function Window A Extended Input Select Register	0x092	8	read-write	0x00	0xFF
				ADCMPLER	A/D Compare Function Window A Extended Input Comparison Condition Setting Register	0x093	8	read-write	0x00	0xFF
				ADCMANSR0	A/D Compare Function Window A Channel Select Register 0	0x094	16	read-write	0x0000	0xFFFF
				ADCMANSR1	A/D Compare Function Window A Channel Select Register 1	0x096	16	read-write	0x0000	0xFFFF
				ADCMPLR0	A/D Compare Function Window A Comparison Condition Setting Register 0	0x098	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (20/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
ADC160	-	-	-	ADCMPLR1	A/D Compare Function Window A Comparison Condition Setting Register 1	0x09A	16	read- write	0x0000	0xFFFF
				ADCMPPDR0	A/D Compare Function Window A Lower-Side Level Setting Register	0x09C	16	read- write	0x0000	0xFFFF
				ADCMPPDR1	A/D Compare Function Window A Upper-Side Level Setting Register	0x09E	16	read- write	0x0000	0xFFFF
				ADCMPSR0	A/D Compare Function Window A Channel Status Register 0	0x0A0	16	read- write	0x0000	0xFFFF
				ADCMPSR1	A/D Compare Function Window A Channel Status Register 1	0x0A2	16	read- write	0x0000	0xFFFF
				ADCMPSER	A/D Compare Function Window A Extended Input Channel Status Register	0x0A4	8	read- write	0x00	0xFF
				ADCMPBNSR	A/D Compare Function Window B Channel Selection Register	0x0A6	8	read- write	0x00	0xFF
				ADWINLLB	A/D Compare Function Window B Lower-Side Level Setting Register	0x0A8	16	read- write	0x0000	0xFFFF
				ADWINULB	A/D Compare Function Window B Upper-Side Level Setting Register	0x0AA	16	read- write	0x0000	0xFFFF
				ADCMPBSR	A/D Compare Function Window B Status Register	0x0AC	8	read- write	0x00	0xFF
				ADSSTRL	A/D Sampling State Register L	0x0DD	8	read- write	0x0D	0xFF
				ADSSTRT	A/D Sampling State Register T	0x0DE	8	read- write	0x0D	0xFF
				ADSSTRO	A/D Sampling State Register O	0x0DF	8	read- write	0x0D	0xFF
	9	0x1	0-8	ADSSTR0%s	A/D Sampling State Register %s	0x0E0	8	read- write	0x0D	0xFF

表 3.4 レジスタの説明 (21/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
ADC160	-	-	-	ADANIM	A/D Channel Input Mode Select Register	0x0F0	16	read- write	0x0000	0xFFFF
				ADCALEXE	A/D Calibration Execution Register	0x0F2	8	read- write	0x00	0xFF
				VREFAMPCNT	A/D Dedicated Reference Voltage Circuit Control Register	0x0F4	8	read- write	0x00	0xFF
				ADRD	A/D Self-Diagnosis Data Register	0x0F8	16	read- only	0x0000	0xFFFF
				ADRST	A/D Self-Diagnostic Status Register	0x0FA	8	read- write	0x00	0xFF
DAC12	-	-	-	DADR0	D/A Data Register 0	0x00	16	read- write	0x0000	0xFFFF
				DACR	D/A Control Register	0x04	8	read- write	0x1F	0xFF
				DADPR	DADR0 Format Select Register	0x05	8	read- write	0x00	0xFF
				DAADSCR	D/A-A/D Synchronous Start Control Register	0x06	8	read- write	0x00	0xFF
				DAVREFCR	D/A VREF Control Register	0x07	8	read- write	0x00	0xFF
				DAPC	D/A Switch Charge Pump Control Register	0x09	8	read- write	0x00	0xFF
SCI0	-	-	-	SMR	Serial Mode Register (SCMR.SMIF = 0)	0x00	8	read- write	0x00	0xFF

表 3.4 レジスタの説明 (22/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
SCI0	-	-	-	SMR_SMCi	Serial Mode Register (SCMR.SMIF = 1)	0x00	8	read- write	0x00	0xFF
				BRR	Bit Rate Register	0x01	8	read- write	0xFF	0xFF
				SCR	Serial Control Register (SCMR.SMIF = 0)	0x02	8	read- write	0x00	0xFF
				SCR_SMCi	Serial Control Register (SCMR.SMIF = 1)	0x02	8	read- write	0x00	0xFF
				TDR	Transmit Data Register	0x03	8	read- write	0xFF	0xFF
				SSR	Serial Status Register(SCMR.SMIF = 0 and FCR.FM=0)	0x04	8	read- write	0x84	0xFF
				SSR_FIFO	Serial Status Register (SCMR.SMIF = 0 and FCR.FM=1)	0x04	8	read- write	0x80	0xFD
				SSR_SMCi	Serial Status Register (SCMR.SMIF = 1)	0x04	8	read- write	0x84	0xFF
				RDR	Receive Data Register	0x05	8	read- only	0x00	0xFF
				SCMR	Smart Card Mode Register	0x06	8	read- write	0xF2	0xFF
				SEMR	Serial Extended Mode Register	0x07	8	read- write	0x00	0xFF
				SNFR	Noise Filter Setting Register	0x08	8	read- write	0x00	0xFF
				SIMR1	I ² C Mode Register 1	0x09	8	read- write	0x00	0xFF
				SIMR2	I ² C Mode Register 2	0x0A	8	read- write	0x00	0xFF
				SIMR3	I ² C Mode Register 3	0x0B	8	read- write	0x00	0xFF
				SISR	I ² C Status Register	0x0C	8	read- only	0x00	0xCB
				SPMR	SPI Mode Register	0x0D	8	read- write	0x00	0xFF
				TDRHL	Transmit 9-bit Data Register	0x0E	16	read- write	0xFFFF	0xFFFF
				FTDRHL	Transmit FIFO Data Register HL	0x0E	16	write- only	0xFFFF	0xFFFF

表 3.4 レジスタの説明 (23/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
SCI0	-	-	-	FTDRH	Transmit FIFO Data Register H	0x0E	8	write-only	0xFF	0xFF
				FTDRL	Transmit FIFO Data Register L	0x0F	8	write-only	0xFF	0xFF
				RDRHL	Receive 9-bit Data Register	0x10	16	read-only	0x0000	0xFFFF
				FRDRHL	Receive FIFO Data Register HL	0x10	16	read-only	0x0000	0xFFFF
				FRDRH	Receive FIFO Data Register H	0x10	8	read-only	0x00	0xFF
				FRDRL	Receive FIFO Data Register L	0x11	8	read-only	0x00	0xFF
				MDDR	Modulation Duty Register	0x12	8	read-write	0xFF	0xFF
				DCCR	Data Compare Match Control Register	0x13	8	read-write	0x40	0xFF
				FCR	FIFO Control Register	0x14	16	read-write	0xF800	0xFFFF
				FDR	FIFO Data Count Register	0x16	16	read-only	0x0000	0xFFFF
				LSR	Line Status Register	0x18	16	read-only	0x0000	0xFFFF
				CDR	Compare Match Data Register	0x1A	16	read-write	0x0000	0xFFFF
				SPTR	Serial Port Register	0x1C	8	read-write	0x03	0xFF
SCI1,9	-	-	-	SMR	Serial Mode Register (SCMR.SMIF = 0)	0x00	8	read-write	0x00	0xFF
				SMR_SMCI	Serial Mode Register (SCMR.SMIF = 1)	0x00	8	read-write	0x00	0xFF
				BRR	Bit Rate Register	0x01	8	read-write	0xFF	0xFF
				SCR	Serial Control Register (SCMR.SMIF = 0)	0x02	8	read-write	0x00	0xFF
				SCR_SMCI	Serial Control Register (SCMR.SMIF = 1)	0x02	8	read-write	0x00	0xFF
				TDR	Transmit Data Register	0x03	8	read-write	0xFF	0xFF
				SSR	Serial Status Register (SCMR.SMIF = 0 and FCR.FM=0)	0x04	8	read-write	0x84	0xFF

表 3.4 レジスタの説明 (24/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
SCI1,9	-	-	-	SSR_SMC1	Serial Status Register (SCMR.SMIF = 1)	0x04	8	read- write	0x84	0xFF
				RDR	Receive Data Register	0x05	8	read- only	0x00	0xFF
				SCMR	Smart Card Mode Register	0x06	8	read- write	0xF2	0xFF
				SEMR	Serial Extended Mode Register	0x07	8	read- write	0x00	0xFF
				SNFR	Noise Filter Setting Register	0x08	8	read- write	0x00	0xFF
				SIMR1	I ² C Mode Register 1	0x09	8	read- write	0x00	0xFF
				SIMR2	I ² C Mode Register 2	0x0A	8	read- write	0x00	0xFF
				SIMR3	I ² C Mode Register 3	0x0B	8	read- write	0x00	0xFF
				SISR	I ² C Status Register	0x0C	8	read- only	0x00	0xCB
				SPMR	SPI Mode Register	0x0D	8	read- write	0x00	0xFF
				TDRHL	Transmit 9-bit Data Register	0x0E	16	read- write	0xFFFF	0xFFFF
				RDRHL	Receive 9-bit Data Register	0x10	16	read- only	0x0000	0xFFFF
				MDDR	Modulation Duty Register	0x12	8	read- write	0xFF	0xFF
				DCCR	Data Compare Match Control Register	0x13	8	read- write	0x40	0xFF
				CDR	Compare Match Data Register	0x1A	16	read- write	0x0000	0xFFFF
				SPTR	Serial Port Register	0x1C	8	read- write	0x03	0xFF

表 3.4 レジスタの説明 (25/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
SPI0,1	-	-	-	SPCR	SPI Control Register	0x00	8	read- write	0x00	0xFF
				SSLP	SPI Slave Select Polarity Register	0x01	8	read- write	0x00	0xFF
				SPPCR	SPI Pin Control Register	0x02	8	read- write	0x00	0xFF
				SPSR	SPI Status Register	0x03	8	read- write	0x20	0xFF
				SPDR	SPI Data Register	0x04	32	read- write	0x0000 0000	0xFFFF FFFF
				SPDR_HA	SPI Data Register (halfword access)	0x04	16	read- write	0x0000	0xFFFF
				SPBR	SPI Bit Rate Register	0x0A	8	read- write	0xFF	0xFF
				SPDCR	SPI Data Control Register	0x0B	8	read- write	0x00	0xFF
				SPCKD	SPI Clock Delay Register	0x0C	8	read- write	0x00	0xFF
				SSLND	SPI Slave Select Negation Delay Register	0x0D	8	read- write	0x00	0xFF
				SPND	SPI Next-Access Delay Register	0x0E	8	read- write	0x00	0xFF
				SPCR2	SPI Control Register 2	0x0F	8	read- write	0x00	0xFF
				SPCMD0	SPI Command Register 0	0x10	16	read- write	0x070D	0xFFFF
CRC	-	-	-	CRCCR0	CRC Control Register 0	0x00	8	read- write	0x00	0xFF
				CRCCR1	CRC Control Register 1	0x01	8	read- write	0x00	0xFF
				CRCDIR	CRC Data Input Register	0x04	32	read- write	0x0000 0000	0xFFFF FFFF
				CRCDIR_BY	CRC Data Input Register (byte access)	0x04	8	read- write	0x00	0xFF
				CRCDOR	CRC Data Output Register	0x08	32	read- write	0x0000 0000	0xFFFF FFFF
				CRCDOR_HA	CRC Data Output Register (halfword access)	0x08	16	read- write	0x0000	0xFFFF
				CRCDOR_BY	CRC Data Output Register (byte access)	0x08	8	read- write	0x00	0xFF
				CRCSAR	Snoop Address Register	0x0C	16	read- write	0x0000	0xFFFF

表 3.4 レジスタの説明 (26/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
GPT320	-	-	-	GTWP	General PWM Timer Write-Protection Register	0x00	32	read- write	0x0000 0000	0xFFFF FFFF
				GTSTR	General PWM Timer Software Start Register	0x04	32	read- write	0x0000 0000	0xFFFF FFFF
				GTSTP	General PWM Timer Software Stop Register	0x08	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTCLR	General PWM Timer Software Clear Register	0x0C	32	write- only	0x0000 0000	0xFFFF FFFF
				GTSSR	General PWM Timer Start Source Select Register	0x10	32	read- write	0x0000 0000	0xFFFF FFFF
				GTPSR	General PWM Timer Stop Source Select Register	0x14	32	read- write	0x0000 0000	0xFFFF FFFF
				GTCSR	General PWM Timer Clear Source Select Register	0x18	32	read- write	0x0000 0000	0xFFFF FFFF
				GTUPSR	General PWM Timer Up Count Source Select Register	0x1C	32	read- write	0x0000 0000	0xFFFF FFFF
				GTDNSR	General PWM Timer Down Count Source Select Register	0x20	32	read- write	0x0000 0000	0xFFFF FFFF
				GTICASR	General PWM Timer Input Capture Source Select Register A	0x24	32	read- write	0x0000 0000	0xFFFF FFFF
				GTICBSR	General PWM Timer Input Capture Source Select Register B	0x28	32	read- write	0x0000 0000	0xFFFF FFFF
				GTCR	General PWM Timer Control Register	0x2C	32	read- write	0x0000 0000	0xFFFF FFFF
				GTUDDTYC	General PWM Timer Count Direction and Duty Setting Register	0x30	32	read- write	0x0000 0001	0xFFFF FFFF
				GTIOR	General PWM Timer I/O Control Register	0x34	32	read- write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (27/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
GPT320	-	-	-	GTINTAD	General PWM Timer Interrupt Output Setting Register	0x38	32	read- write	0x0000 0000	0xFFFF FFFF
				GTST	General PWM Timer Status Register	0x3C	32	read- write	0x0000 8000	0xFFFF FFFF
				GTBER	General PWM Timer Buffer Enable Register	0x40	32	read- write	0x0000 0000	0xFFFF FFFF
				GTCNT	General PWM Timer Counter	0x48	32	read- write	0x0000 0000	0xFFFF FFFF
				GTCCRA	General PWM Timer Compare Capture Register A	0x4C	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRB	General PWM Timer Compare Capture Register B	0x50	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRC	General PWM Timer Compare Capture Register C	0x54	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRE	General PWM Timer Compare Capture Register E	0x58	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRD	General PWM Timer Compare Capture Register D	0x5C	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRF	General PWM Timer Compare Capture Register F	0x60	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTPR	General PWM Timer Cycle Setting Register	0x64	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTPBR	General PWM Timer Cycle Setting Buffer Register	0x68	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTDTCR	General PWM Timer Dead Time Control Register	0x88	32	read- write	0x0000 0000	0xFFFF FFFF
				GTDVU	General PWM Timer Dead Time Value Register U	0x8C	32	read- write	0xFFFF FFFF	0xFFFF FFFF
GPT161- 166	-	-	-	GTWP	General PWM Timer Write-Protection Register	0x00	32	read- write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (28/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
GPT161- 166	-	-	-	GTSTR	General PWM Timer Software Start Register	0x04	32	read- write	0x0000 0000	0xFFFF FFFF
				GTSTP	General PWM Timer Software Stop Register	0x08	32	read- write	0xFFFF FFFF	0xFFFF FFFF
				GTCLR	General PWM Timer Software Clear Register	0x0C	32	write- only	0x0000 0000	0xFFFF FFFF
				GTSSR	General PWM Timer Start Source Select Register	0x10	32	read- write	0x0000 0000	0xFFFF FFFF
				GTPSR	General PWM Timer Stop Source Select Register	0x14	32	read- write	0x0000 0000	0xFFFF FFFF
				GTCSR	General PWM Timer Clear Source Select Register	0x18	32	read- write	0x0000 0000	0xFFFF FFFF
				GTUPSR	General PWM Timer Up Count Source Select Register	0x1C	32	read- write	0x0000 0000	0xFFFF FFFF
				GTDNSR	General PWM Timer Down Count Source Select Register	0x20	32	read- write	0x0000 0000	0xFFFF FFFF
				GTICASR	General PWM Timer Input Capture Source Select Register A	0x24	32	read- write	0x0000 0000	0xFFFF FFFF
				GTICBSR	General PWM Timer Input Capture Source Select Register B	0x28	32	read- write	0x0000 0000	0xFFFF FFFF
				GTCR	General PWM Timer Control Register	0x2C	32	read- write	0x0000 0000	0xFFFF FFFF
				GTUDDTYC	General PWM Timer Count Direction and Duty Setting Register	0x30	32	read- write	0x0000 0001	0xFFFF FFFF
				GTIOR	General PWM Timer I/O Control Register	0x34	32	read- write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (29/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
GPT161- 166	-	-	-	GTINTAD	General PWM Timer Interrupt Output Setting Register	0x38	32	read- write	0x0000 0000	0xFFFF FFFF
				GTST	General PWM Timer Status Register	0x3C	32	read- write	0x0000 8000	0xFFFF FFFF
				GTBER	General PWM Timer Buffer Enable Register	0x40	32	read- write	0x0000 0000	0xFFFF FFFF
				GTCNT	General PWM Timer Counter	0x48	32	read- write	0x0000 0000	0xFFFF FFFF
				GTCCRA	General PWM Timer Compare Capture Register A	0x4C	32	read- write	0x0000 FFFF	0xFFFF FFFF
				GTCCRB	General PWM Timer Compare Capture Register B	0x50	32	read- write	0x0000 FFFF	0xFFFF FFFF
				GTCCRC	General PWM Timer Compare Capture Register C	0x54	32	read- write	0x0000 FFFF	0xFFFF FFFF
				GTCCRE	General PWM Timer Compare Capture Register E	0x58	32	read- write	0x0000 FFFF	0xFFFF FFFF
				GTCCRD	General PWM Timer Compare Capture Register D	0x5C	32	read- write	0x0000 FFFF	0xFFFF FFFF
				GTCCRF	General PWM Timer Compare Capture Register F	0x60	32	read- write	0x0000 FFFF	0xFFFF FFFF
				GTPR	General PWM Timer Cycle Setting Register	0x64	32	read- write	0x0000 FFFF	0xFFFF FFFF
				GTPBR	General PWM Timer Cycle Setting Buffer Register	0x68	32	read- write	0x0000 FFFF	0xFFFF FFFF
				GTDTCR	General PWM Timer Dead Time Control Register	0x88	32	read- write	0x0000 0000	0xFFFF FFFF
				GTDVU	General PWM Timer Dead Time Value Register U	0x8C	32	read- write	0x0000 FFFF	0xFFFF FFFF
GPT_OPS	-	-	-	OPSCR	Output Phase Switching Control Register	0x0	32	read- write	0x0000 0000	0xFFFF FFFF
KINT	-	-	-	KRCTL	KEY Return Control Register	0x00	8	read- write	0x00	0xFF
				KRF	KEY Return Flag Register	0x04	8	read- write	0x00	0xFF
				KRM	KEY Return Mode Register	0x08	8	read- write	0x00	0xFF

表 3.4 レジスタの説明 (30/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
CTSU	-	-	-	CTSUCR0	CTSU Control Register 0	0x00	8	read-write	0x00	0xFF
				CTSUCR1	CTSU Control Register 1	0x01	8	read-write	0x00	0xFF
				CTSUSDPRS	CTSU Synchronous Noise Reduction Setting Register	0x02	8	read-write	0x00	0xFF
				CTSUSST	CTSU Sensor Stabilization Wait Control Register	0x03	8	read-write	0x00	0xFF
				CTSUMCH0	CTSU Measurement Channel Register 0	0x04	8	read-write	0x3F	0xFF
				CTSUMCH1	CTSU Measurement Channel Register 1	0x05	8	read-only	0x3F	0xFF
				CTSUCHAC0	CTSU Channel Enable Control Register 0	0x06	8	read-write	0x00	0xFF
				CTSUCHAC1	CTSU Channel Enable Control Register 1	0x07	8	read-write	0x00	0xFF
				CTSUCHAC2	CTSU Channel Enable Control Register 2	0x08	8	read-write	0x00	0xFF
				CTSUCHAC3	CTSU Channel Enable Control Register 3	0x09	8	read-write	0x00	0xFF
				CTSUCHTRC0	CTSU Channel Transmit/Receive Control Register 0	0x0B	8	read-write	0x00	0xFF
				CTSUCHTRC1	CTSU Channel Transmit/Receive Control Register 1	0x0C	8	read-write	0x00	0xFF
				CTSUCHTRC2	CTSU Channel Transmit/Receive Control Register 2	0x0D	8	read-write	0x00	0xFF
				CTSUCHTRC3	CTSU Channel Transmit/Receive Control Register 3	0x0E	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (31/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
CTSU	-	-	-	CTSUDCLKC	CTSU High-Pass Noise Reduction Control Register	0x10	8	read- write	0x00	0xFF
				CTSUST	CTSU Status Register	0x11	8	read- write	0x00	0xFF
				CTSUSSC	CTSU High-Pass Noise Reduction Spectrum Diffusion Control Register	0x12	16	read- write	0x0000	0xFFFF
				CTSUSO0	CTSU Sensor Offset Register 0	0x14	16	read- write	0x0000	0xFFFF
				CTSUSO1	CTSU Sensor Offset Register 1	0x16	16	read- write	0x0000	0xFFFF
				CTSUSC	CTSU Sensor Counter	0x18	16	read- only	0x0000	0xFFFF
				CTSURC	CTSU Reference Counter	0x1A	16	read- only	0x0000	0xFFFF
				CTSUERRS	CTSU Error Status Register	0x1C	16	read- only	0x0000	0xFFFF
AGT0,1	-	-	-	AGT	AGT Counter Register	0x00	16	read- write	0xFFFF	0xFFFF
				AGTCMA	AGT Compare Match A Register	0x02	16	read- write	0xFFFF	0xFFFF
				AGTCMB	AGT Compare Match B Register	0x04	16	read- write	0xFFFF	0xFFFF
				AGTCR	AGT Control Register	0x08	8	read- write	0x00	0xFF
				AGTMR1	AGT Mode Register 1	0x09	8	read- write	0x00	0xFF
				AGTMR2	AGT Mode Register 2	0x0A	8	read- write	0x00	0xFF
				AGTIOC	AGT I/O Control Register	0x0C	8	read- write	0x00	0xFF
				AGTISR	AGT Event Pin Select Register	0x0D	8	read- write	0x00	0xFF
				AGTCMSR	AGT Compare Match Function Select Register	0x0E	8	read- write	0x00	0xFF
				AGTIOSEL	AGT Pin Select Register	0x0F	8	read- write	0x00	0xFF
ACMPHS0	-	-	-	CMPCTL	Comparator Control Register	0x000	8	read- write	0x00	0xFF
				CMPSEL0	Comparator Input Select Register	0x004	8	read- write	0x00	0xFF
				CMPSEL1	Comparator Reference Voltage Select Register	0x008	8	read- write	0x00	0xFF
				CMPMON	Comparator Output Monitor Register	0x00C	8	read- only	0x00	0xFF
				CPIOC	Comparator Output Control Register	0x010	8	read- write	0x00	0xFF

表 3.4 レジスタの説明 (32/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
ACMPLP	-	-	-	COMPMDR	ACMPLP Mode Setting Register	0x00	8	read-write	0x00	0xFF
				COMPFIR	ACMPLP Filter Control Register	0x01	8	read-write	0x00	0xFF
				COMPOCR	ACMPLP Output Control Register	0x02	8	read-write	0x00	0xFF
				COMPSEL0	Comparator Input Select Register	0x04	8	read-write	0x11	0xFF
				COMPSEL1	Comparator Reference Voltage Select Register	0x05	8	read-write	0x91	0xFF
OPAMP	-	-	-	AMPMC	Operational Amplifier Mode Control Register	0x00	8	read-write	0x00	0xFF
				AMPTRM	Operational Amplifier Trigger Mode Control Register	0x01	8	read-write	0x00	0xFF
				AMPTRS	Operational Amplifier Activation Trigger Select Register	0x02	8	read-write	0x00	0xFF
				AMPC	Operational Amplifier Control Register	0x03	8	read-write	0x00	0xFF
				AMPMON	Operational Amplifier Monitor Register	0x04	8	read-only	0x00	0xFF
				AMP0OS	Operational Amplifier 0 Output Select Register	0x06	8	read-write	0x00	0xFF
				AMP0MS	Operational Amplifier 0 Minus Input Select Register	0x07	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (33/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
OPAMP	-	-	-	AMP0PS	Operational Amplifier 0 Plus Input Select Register	0x08	8	read- write	0x00	0xFF
				AMP1MS	Operational Amplifier 1 Minus Input Select Register	0x0A	8	read- write	0x00	0xFF
				AMP1PS	Operational Amplifier 1 Plus Input Select Register	0x0B	8	read- write	0x00	0xFF
				AMP2MS	Operational Amplifier 2 Minus Input Select Register	0x0D	8	read- write	0x00	0xFF
				AMP2PS	Operational Amplifier 2 Plus Input Select Register	0x0E	8	read- write	0x00	0xFF
				AMPCPC	Operational Amplifier Switch Charge Pump Control Register	0x12	8	read- write	0x00	0xFF
				AMPUOTE	Operational Amplifier User Offset Trimming Enable Register	0x17	8	read- write	0x00	0xFF
				AMP0OTP	Operational Amplifier 0 Offset Trimming Pch Register	0x18	8	read- write	0x00	0xE0
				AMP0OTN	Operational Amplifier 0 Offset Trimming Nch Register	0x19	8	read- write	0x00	0xE0
				AMP1OTP	Operational Amplifier 1 Offset Trimming Pch Register	0x1A	8	read- write	0x00	0xE0
				AMP1OTN	Operational Amplifier 1 Offset Trimming Nch Register	0x1B	8	read- write	0x00	0xE0
				AMP2OTP	Operational Amplifier 2 Offset Trimming Pch Register	0x1C	8	read- write	0x00	0xE0
	-	-	-	AMP2OTN	Operational Amplifier 2 Offset Trimming Nch Register	0x1D	8	read- write	0x00	0xE0

表 3.4 レジスタの説明 (34/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
USBFS	-	-	-	SYSCFG	System Configuration Control Register	0x000	16	read-write	0x0000	0xFFFF
				SYSSTS0	System Configuration Status Register 0	0x004	16	read-only	0x0000	0xFFFF
				DVSTCTR0	Device State Control Register 0	0x008	16	read-write	0x0000	0xFFFF
				CFIFO	CFIFO Port Register	0x014	16	read-write	0x0000	0xFFFF
				CFIFOL	CFIFO Port Register L	0x014	8	read-write	0x00	0xFF
				CFIFOSEL	CFIFO Port Select Register	0x020	16	read-write	0x0000	0xFFFF
				CFIFOCTR	CFIFO Port Control Register	0x022	16	read-write	0x0000	0xFFFF
				INTENB0	Interrupt Enable Register 0	0x030	16	read-write	0x0000	0xFFFF
				BRDYENB	BRDY Interrupt Enable Register	0x036	16	read-write	0x0000	0xFFFF
				NRDYENB	NRDY Interrupt Enable Register	0x038	16	read-write	0x0000	0xFFFF
				BEMPENB	BEMP Interrupt Enable Register	0x03A	16	read-write	0x0000	0xFFFF
				SOFCFG	SOF Output Configuration Register	0x03C	16	read-write	0x0000	0xFFFF
				INTSTS0	Interrupt Status Register 0	0x040	16	read-write	0x0000	0xFF7F
				BRDYSTS	BRDY Interrupt Status Register	0x046	16	read-write	0x0000	0xFFFF
				NRDYSTS	NRDY Interrupt Status Register	0x048	16	read-write	0x0000	0xFFFF
				BEMPSTS	BEMP Interrupt Status Register	0x04A	16	read-write	0x0000	0xFFFF
				FRMNUM	Frame Number Register	0x04C	16	read-write	0x0000	0xFFFF
USBFS	-	-	-	USBREQ	USB Request Type Register	0x054	16	read-only	0x0000	0xFFFF
				USBVAL	USB Request Value Register	0x056	16	read-only	0x0000	0xFFFF

表 3.4 レジスタの説明 (35/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
USBFS	-	-	-	USBINDX	USB Request Index Register	0x058	16	read-only	0x0000	0xFFFF
				USBLENG	USB Request Length Register	0x05A	16	read-only	0x0000	0xFFFF
				DCPCFG	DCP Configuration Register	0x05C	16	read-write	0x0000	0xFFFF
				DCPMAXP	DCP Maximum Packet Size Register	0x05E	16	read-write	0x0040	0xFFFF
				DCPCTR	DCP Control Register	0x060	16	read-write	0x0040	0xFFFF
				PIPESEL	Pipe Window Select Register	0x064	16	read-write	0x0000	0xFFFF
				PIPECFG	Pipe Configuration Register	0x068	16	read-write	0x0000	0xFFFF
				PIPEMAXP	Pipe Maximum Packet Size Register	0x06C	16	read-write	0x0000	0xFFBF
	2	0x002	4,5	PIPE%sCTR	Pipe %s Control Register	0x076	16	read-write	0x0000	0xFFFF
	2	0x002	6,7	PIPE%sCTR	Pipe %s Control Register	0x07A	16	read-write	0x0000	0xFFFF
	2	0x004	4,5	PIPE%sTRE	Pipe %s Transaction Counter Enable Register	0x09C	16	read-write	0x0000	0xFFFF
	2	0x004	4,5	PIPE%sTRN	Pipe %s Transaction Counter Register	0x09E	16	read-write	0x0000	0xFFFF
	-	-	-	USBBCCTRL0	BC Control Register 0	0x0B0	16	read-write	0x0000	0xFFFF
				UCKSEL	USB Clock Selection Register	0x0C4	16	read-write	0x0000	0xFFFF
				USBMC	USB Module Control Register	0x0CC	16	read-write	0x0002	0xFFFF
SDADC24	-	-	-	STC1	Startup Control Register 1	0x00	16	read-write	0x8008	0xFFFF
				STC2	Startup Control Register 2	0x04	8	read-write	0x00	0xFF
	5	0x04	0-4	PGAC%s	Input Multiplexer %s Setting Register	0x08	32	read-write	0x00010040	0xFFFF FFFF

表 3.4 レジスタの説明 (36/36)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット 値	リセット マスク
SDADC24	-	-	-	ADC1	Sigma-Delta A/D Converter Control Register 1	0x1C	32	read-write	0x0000 0000	0xFFFF FFFF
				ADC2	Sigma-Delta A/D Converter Control Register 2	0x20	8	read-write	0x00	0xFF
				ADCR	Sigma-Delta A/D Converter Conversion Result Register	0x24	32	read-write	0x0000 0000	0xFFFF FFFF
				ADAR	Sigma-Delta A/D Converter Average Value Register	0x28	32	read-only	0x0000 0000	0xFFFF FFFF
				CLBC	Calibration Control Register	0x30	8	read-write	0x00	0xFF
				CLBSTR	Calibration Start Control Register	0x34	8	read-write	0x00	0xFF
				CLBSSR	Calibration Status Register	0x3C	8	read-only	0x00	0xFF
				CLBPR	Calibration Control Protection Release Register	0x40	8	read-write	0x00	0xFF
	5	0x04	0-4	GCVLR%S	Gain Error Correction Factor Register %s	0x48	16	read-write	0x4492	0xFFFF
DAC8	5	0x04	0-4	OCVLR%S	Offset Error Correction Factor Register %s	0x5C	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x01	0-1	DACS%s	D/A Conversion Value Setting Register %s	0x00	8	read-write	0x00	0xFF
	-	-	-	DAM	D/A Converter Mode Register	0x03	8	read-write	0x00	0xFF
				DACADSCR	D/A A/D Synchronous Start Control Register	0x06	8	read-write	0x00	0xFF
				DACPC	D/A SW Charge Pump Control Register	0x07	8	read-write	0x00	0xFF
FLCN	-	-	-	DFLCTL	DFLCTL Data flash Control Register	0x90	8	read-write	0x00	0xFF
TSN	-	-	-	TSCDRL	Temperature Sensor Calibration Data Register L	0x228	8	read-only	0x00	0x00
				TSCDRH	Temperature Sensor Calibration Data Register H	0x229	8	read-only	0x00	0x00

周辺機能名 = 周辺機能の名称

Dim = レジスタ配列の要素数

Dim incr = アドレスマップにおいてアドレス配列の2つの隣接するレジスタ間のアドレスインクリメント

Dim index = レジスタ名においてプレースホルダー「%s」を置き換えるサブストリング

レジスタ名 = レジスタの名称

説明 = レジスタの説明

アドレスオフセット = レジスタの周辺機能により定義されるベースアドレスに関連するレジスタアドレス

サイズ = レジスタのビット幅

アクセス = レジスタアクセス権:

- read-only: 読み出しのみ可能。書き込みを行うと結果は不定です
- write-only: 書き込みのみ可能。読み出しを行うと結果は不定です
- read/write: 読み出し、書き込みともに可能。書き込みを行うとレジスタの状態に影響を与え、読み出しを行うとレジスタに関連する値が返されます

リセット値 = レジスタのデフォルトリセット値

リセットマスク = レジスタのどのビットにリセット値が定義されているのかを特定します

付録 4. アナログ部の接続図

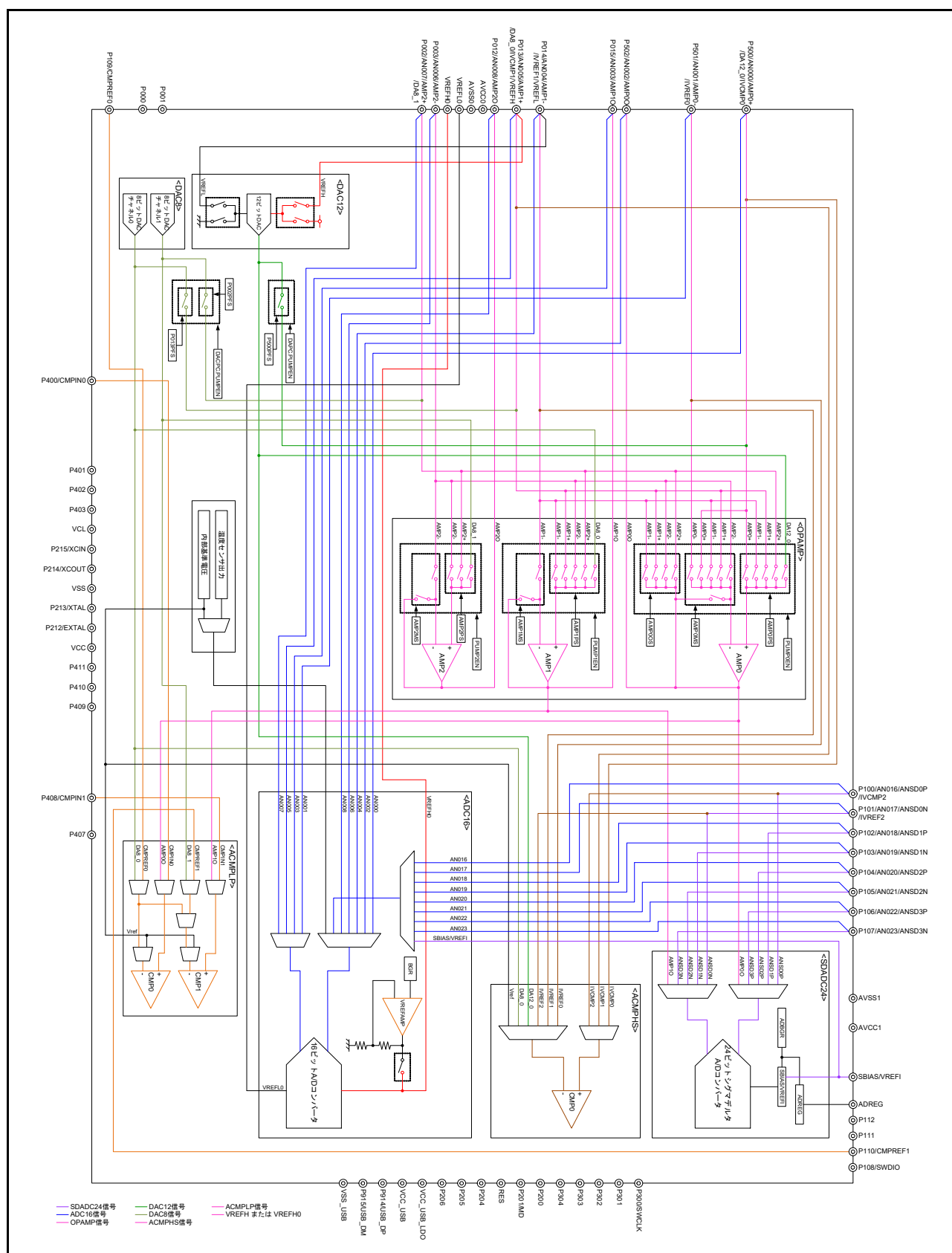


図 4.1 64 ピン製品アナログ部の接続図





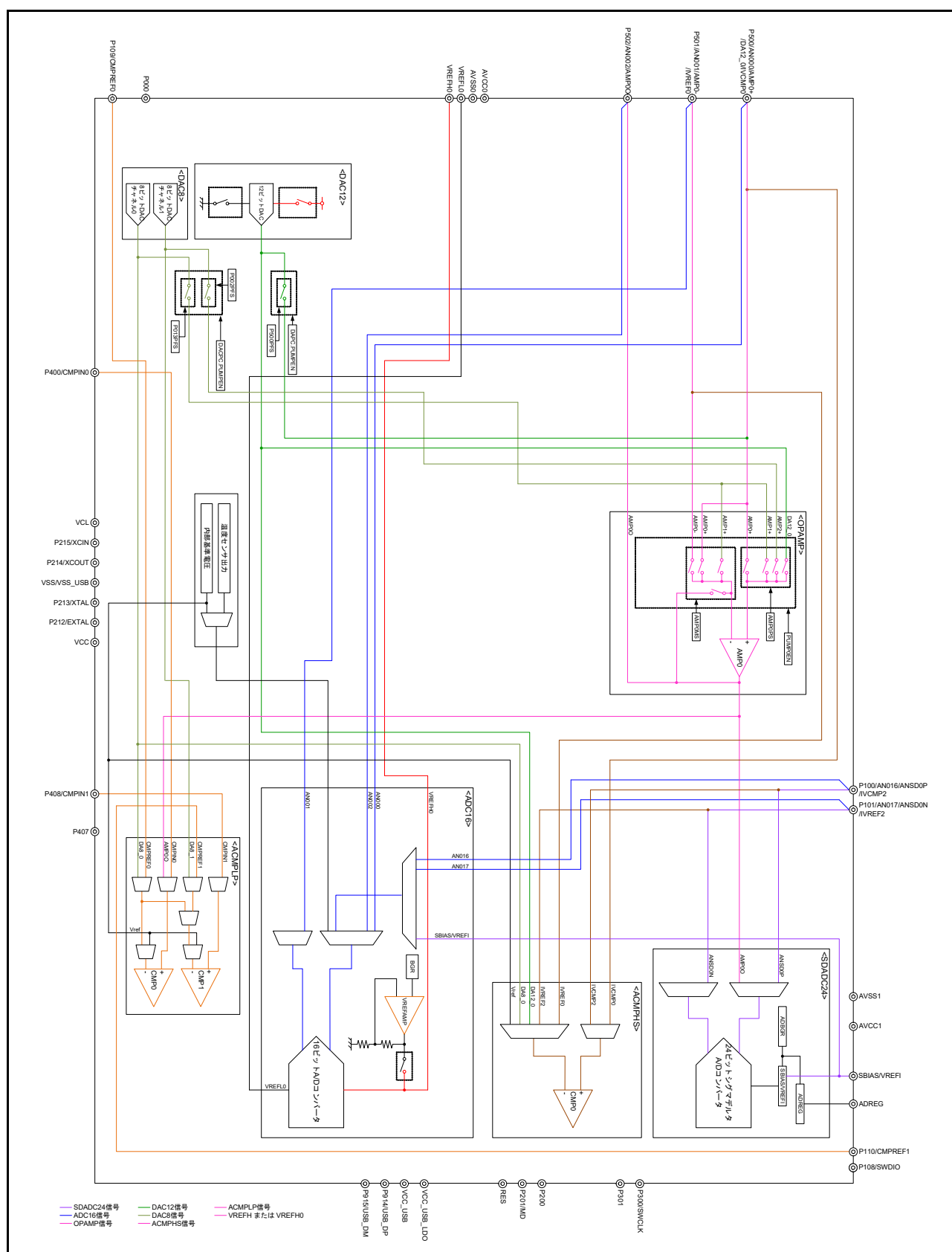


図 4.4 36 ピン製品アナログ部の接続図



改訂記録	RA2A1 グループユーザズマニュアル ハードウェア編

Rev.	発行日	章	改訂内容
1.00	2020.03.24	—	初版発行
1.10	2023.07.14	—	第 1.10 版発行
		特長	■ タイマの説明を更新
		1. 概要	表 1.6 タイマの低消費電力非同期汎用タイマ (AGT) を更新 表 1.12 I/O ポートを追加 図 1.2 型名の読み方を更新 表 1.13 製品リストを更新 表 1.14 機能の比較を更新 図 1.4 48-pin QFN のピン配置を更新 図 1.5 40-pin QFN のピン配置を更新
		2. CPU	2.1.3 動作周波数を更新 2.5.2.1 低消費電力モードを更新 2.6.5.2 デバッグストップコントロールレジスタ (DBGSTOPCR) を更新 2.8.3.4 接続順序と SWD 認証を更新
		5. メモリミラー機能 (MMF)	図 5.1 メモリミラー機能動作を更新 図 5.2 メモリミラー機能のブロック図を更新
		7. オプション設定メモリ	図 7.1 オプション設定メモリの領域を更新 7.2.1 オプション機能選択レジスタ 0 (OFS0) を更新 7.2.2 オプション機能選択レジスタ 1 (OFS1) を更新 表 7.1 MPU レジスタを更新 図 7.2 アクセスウィンドウの概要を更新 表 7.2 ID コードプロテクト機能の仕様を更新
		8. 低電圧検出 (LVD)	8.2.3 電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1) を更新 図 8.4 電圧監視 0 リセットの動作例を更新 表 8.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を更新 表 8.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を更新
		9. クロック発生回路	表 9.1 クロック発生回路の仕様 (クロックソース) を更新 図 9.1 クロック発生回路のブロック図を更新 9.2.4 メインクロック発振器コントロールレジスタ (MOSCCR) を更新 9.2.5 サブクロック発振器コントロールレジスタ (SOSCCR) を更新 9.2.6 低速オンチップオシレータコントロールレジスタ (LOCOCR) を更新 9.2.7 高速オンチップオシレータコントロールレジスタ (HOCOCR) を更新 9.2.8 中速オンチップオシレータコントロールレジスタ (MOCOCR) を更新 9.2.9 発振安定フラグレジスタ (OSCSF) を更新 9.2.14 メインクロック発振器モード発振コントロールレジスタ (MOMCR) を更新 図 9.9 クロックソース切り替えタイミング図を更新 9.6.10 SysTick タイマ専用クロック (SYSTICCLK) を更新 図 9.10 発振回路部のボード設計に関する信号のルーティング (メインクロック発振器とサブクロック発振器に適用可能) のタイトルを更新
		11. 低消費電力モード	表 11.2 各低消費電力モードの動作状態を更新 11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD) を更新 11.2.9 スヌーズ終了コントロールレジスタ (SNZEDCR) を更新 11.5.1 動作電力制御モードの設定方法を更新 11.6.2 スリープモードの解除を更新 11.7.3 ソフトウェアスタンバイモードの応用例を更新 図 11.7 ソフトウェアスタンバイモードの応用例を更新 図 11.12 スヌーズモードエントリで SCI0 を使用するための設定例を更新
		13. 割り込みコントロールユニット (ICU)	図 13.1 ICU のブロック図を更新 13.2.1 IRQ コントロールレジスタ i (IRQCRI) (i = 0 ~ 7) を更新 13.2.2 ノンマスクابل割り込みステータスレジスタ (NMISR) を更新 13.2.3 ノンマスクابل割り込みイネーブルレジスタ (NMIER) を更新 13.2.5 NMI 端子割り込みコントロールレジスタ (NMICR) を更新 13.2.7 SYS イベントリンク設定レジスタ (SELSR0) を更新

Rev.	発行日	章	改訂内容
1.10	2023.07.14	13. 割り込みコントローラユニット (ICU)	13.4.1 割り込みの検出を更新 表 13.5 DTC が起動するときの動作を更新
		15. メモリプロテクションユニット (MPU)	15.3 Arm MPU を更新 15.4.1.3 グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 3) を更新 15.6.1.1 セキュリティ MPU プログラムカウンタ開始アドレスレジスタ n (SECMPUPCSn) (n = 0, 1) を更新 15.6.1.2 セキュリティ MPU プログラムカウンタ終了アドレスレジスタ n (SECMPUPCEn) (n = 0, 1) を更新 15.6.1.3 セキュリティ MPU 領域 0 開始アドレスレジスタ (SECMPUS0) を更新 15.6.1.4 セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMPUE0) を更新 15.6.1.5 セキュリティ MPU 領域 1 開始アドレスレジスタ (SECMPUS1) を更新 15.6.1.6 セキュリティ MPU 領域 1 終了アドレスレジスタ (SECMPUE1) を更新 15.6.1.7 セキュリティ MPU 領域 2 開始アドレスレジスタ (SECMPUS2) を更新 15.6.1.8 セキュリティ MPU 領域 2 終了アドレスレジスタ (SECMPUE2) を更新 15.6.1.9 セキュリティ MPU 領域 3 開始アドレスレジスタ (SECMPUS3) を更新 15.6.1.10 セキュリティ MPU 領域 3 終了アドレスレジスタ (SECMPUE3) を更新 15.6.1.11 セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) を更新
		16. データ転送ファクタコントローラ (DTC)	16.10 モジュールストップ機能を更新
		18. I/O ポート	表 18.2 I/O ポートの機能を更新 18.2.1 ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) を更新 18.2.2 ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) を更新 18.2.3 ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) を更新 18.2.4 ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) を更新 18.2.5 ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) (m = 0 ~ 5, 9; n = 00 ~ 15) を更新 18.3.2 ポート機能選択を更新 表 18.3 未使用端子の処理を更新 18.5.3 ポート出力データレジスタ (PODR) の概要を更新 表 18.5 入出力端子機能のレジスタ設定 (ポート 0) を更新 表 18.6 入出力端子機能のレジスタ設定 (ポート 1) (1) を更新 表 18.7 入出力端子機能のレジスタ設定 (ポート 1) (2) を更新 表 18.8 入出力端子機能のレジスタ設定 (ポート 2) を更新
		19. キー割り込み機能 (KINT)	19.3.2 キー割り込みフラグを使用する場合 (KRMD = 1) を更新
		20. GPT 用ポートアウトプットイネーブル (POEG)	20.3 出力禁止制御の動作を更新 20.3.1.1 デジタルフィルタを更新 20.5 GPT に対する外部トリガ出力を更新 図 20.4 GPT に対する外部トリガ出力のタイミングを更新
		21. 汎用 PWM タイマ (GPT)	表 21.2 GPT の機能一覧を更新 21.2.12 汎用 PWM タイマコントロールレジスタ (GTCR) を更新 21.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC) を更新 21.2.14 汎用 PWM タイマ I/O コントロールレジスタ (GTIOR) を更新 表 21.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値を更新 21.2.24 出力相切り替えコントロールレジスタ (OPSCR) を更新 21.3.1.1 カウンタ動作を更新 図 21.8 ハードウェア要因によるアップカウント時のイベントカウンタ動作の設定例を更新 図 21.10 ハードウェア要因によるダウンカウント時のイベントカウンタ動作の設定例を更新 21.3.1.3 インプットキャプチャ機能を更新 図 21.22 GTCCRA、GTCCRB レジスタのバッファ動作例 (アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合) を更新 図 21.57 ソフトウェアによる同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき) を更新 21.3.11 出力相切り替え (GPT_OPS) を更新 21.3.11.1 外部入力信号の同期および入力選択を更新

Rev.	発行日	章	改訂内容
1.10	2023.07.14	21. 汎用 PWM タイマ (GPT)	21.3.11.5 出力選択制御 (グループ出力禁止機能) を更新
			21.3.11.6 イベントリンクコントローラ (ELC) 出力を更新
			図 21.82 ノイズフィルタのタイミングを更新
			21.6 ノイズフィルタ機能を更新
			21.9.1 モジュールストップ機能の設定を更新
			21.9.5 イベントごとの優先順位を更新
		22. 低消費電力非同期汎用タイマ (AGT)	22. 低消費電力非同期汎用タイマ (AGT) のタイトルを更新
			22.1 概要を更新
			図 22.1 AGT のブロック図を更新
			22.2.5 AGT モードレジスタ 1 (AGTMR1) を更新
			22.2.7 AGT I/O コントロールレジスタ (AGTIOC) を更新
			図 22.2 TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミング (コンペアマッチ A レジスタおよびコンペアマッチ B レジスタが無効の場合) のタイトルを更新
			図 22.8 イベントカウンタモードでの動作例 2 を更新
			図 22.11 コンペアマッチモードでの動作例 (TOPOLA = 0, TOPOLB = 0 の場合) を更新
			表 22.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0) を更新
			表 22.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1) を更新
			22.4.3 モード変更時を更新
			22.4.11 クロックソースを切り替える場合を更新
		23. リアルタイムクロック (RTC)	図 23.3 クロックおよびカウンタモードの設定手順を更新
			23.6.8 ソースクロック切り替え時を更新
		24. ウォッチドッグタイマ (WDT)	図 24.1 WDT のブロック図を更新
			24.2.2 WDT コントロールレジスタ (WDTCR) を更新
			図 24.2 RPSS[1:0] および RPES[1:0] ビットとリフレッシュ許可期間を更新
			24.2.4 WDT リセットコントロールレジスタ (WDTRCR) を更新
			24.2.5 WDT カウンタ停止コントロールレジスタ (WDTCTPR) を更新
			24.3.1.1 レジスタスタートモードを更新
			24.3.1.2 オートスタートモードを更新
			24.3.2 WDTCR、WDTRCR、および WDTCTPR レジスタへの書き込み制御を更新
			図 24.5 WDTCR レジスタへの書き込みに対して生成される制御波形を更新
			24.3.3 リフレッシュ動作を更新
			表 24.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係を更新
			24.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定を更新
		25. 独立ウォッチドッグタイマ (IWDT)	図 25.1 IWDT のブロック図を更新
			25.2.3 オプション機能選択レジスタ 0 (OFS0) を更新
			図 25.2 IWDRPSS[1:0] および IWDRPES[1:0] ビットとリフレッシュ許可期間を更新
			25.3.1 オートスタートモードを更新
			25.3.2 リフレッシュ動作を更新
			図 25.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCK[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合) を更新
			図 25.5 IWDT カウンタ値の読み出し処理 (OFS0.IWDTCK[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合) を更新
		26. USB2.0 フルスピードモジュール (USBFS)	26.2.5 CFIFO ポート選択レジスタ (CFIFOSEL) を更新
			26.2.6 CFIFO ポートコントロールレジスタ (CFIOCTR) を更新
			26.2.12 割り込みステータスレジスタ 0 (INTSTS0) を更新
			26.2.27 パイプ n コントロールレジスタ (PIPECTR) (n = 4 ~ 7) を更新
			26.3.4.7 データ PID シーケンスビットを更新
			26.3.5 FIFO バッファメモリを更新
			26.4.3 ポート機能設定後の割り込みステータスレジスタのクリアを更新
		27. シリアルコミュニケーションインタフェース (SCI)	表 27.1 SCI の仕様を更新
			27.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0) を更新
			27.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1) を更新

Rev.	発行日	章	改訂内容
1.10	2023.07.14	27. シリアルコミュニケーションインタフェース (SCI)	27.2.13 非スマートカードインタフェースおよび非FIFOモード用シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0) を更新
			27.2.17 ビットレートレジスタ (BRR) を更新
			表 27.20 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1) を更新
			27.2.19 シリアル拡張モードレジスタ (SEMR) を更新
			27.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージンを更新
			図 27.4 出カクロックと送信データの位相関係 (調歩同期式モード: SCMR.CHR1 = 1、SMR.CHR = 0、PE = 1、MP = 0、STOP = 1) のタイトルを更新
			27.3.7 SCI の初期化 (調歩同期式モード) を更新
			図 27.12 調歩同期式モードにおけるシリアル送信のフローチャート例 (非FIFO選択時) を更新
			図 27.13 FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマット (FIFO 選択時) を更新
			表 27.24 SSR レジスタのステータスフラグの状態と受信データの処理を更新
			図 27.19 FRDRH レジスタと FRDRL レジスタに格納されるデータフォーマット (FIFO 選択時) を更新
			図 27.24 マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマット (FIFO 選択時) を更新
			図 27.29 マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに格納されるデータフォーマット (FIFO 選択時) を更新
			27.5.3 SCI の初期化 (クロック同期式モード) を更新
			図 27.40 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合) を更新
			図 27.43 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (非FIFO選択時) を更新
			図 27.44 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (FIFO 選択時) を更新
			図 27.50 SCI の初期化フローチャート例 (スマートカードインタフェースモード) を更新
			27.6.5 SCI の初期化を更新
			図 27.52 スマートカードインタフェース送信モードでのデータ再転送動作のタイトルを更新
			図 27.55 スマートカードインタフェース送信モードでのデータ再転送動作 (受信時の再転送動作) のタイトルを更新
			27.10.3 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込みを更新
			27.14.11 送信許可ビット (SCR.TE) に関する注意事項を追加
			27.14.12 調歩同期式モードで RTS 機能を使用した時の受信の停止についてを追加
		28. I ² C バスインタフェース (IIC)	28.2.2 I ² C バスコントロールレジスタ 2 (ICCR2) を更新
			28.2.6 I ² C バスファンクションイネーブルレジスタ (ICFER) を更新
			28.2.10 I ² C バスステータスレジスタ 2 (ICSR2) を更新
			表 28.5 ウェイクアップモードを更新
			28.2.11 I ² C バスウェイクアップユニットレジスタ (ICWUR) を更新
			28.2.12 I ² C バスウェイクアップユニットレジスタ 2 (ICWUR2) を更新
			28.3.3 マスタ送信動作を更新
			28.3.4 マスタ受信動作を更新
			28.3.6 スレーブ受信動作を更新
			図 28.23 デジタルノイズフィルタ回路のブロック図を更新
			28.7.3 デバイス ID アドレス検出機能を更新
			図 28.28 デバイス ID 受信時の AASy および DID フラグのセット/クリアタイミングを更新
			図 28.32 ノーマルウェイクアップモード 1 のタイミングを更新
			図 28.34 ノーマルウェイクアップモード 2 のタイミングを更新
			図 28.37 コマンドリカバリモードと EEP 応答モードのタイミングを更新
			図 28.39 NACK 受信時のデータ転送中断動作 (NACK = 1 の場合) を更新
			28.10.1 マスタアービトレーションロスト検出機能 (MALE ビット) を更新
			28.10.2 NACK 送信中のアービトレーションロスト検出機能 (NALE ビット) を更新
			28.10.3 スレーブアービトレーションロスト検出機能 (SALE ビット) を更新

Rev.	発行日	章	改訂内容
1.10	2023.07.14	28. I ² C バスインタフェース (IIC)	28.11.2 リスタートコンディション発行動作を更新
			28.12 バスハングアップを更新
			28.12.2 SCL クロック追加出力機能を更新
			図 28.49 SCL クロック追加出力機能 (CLO ビットの使用) を更新
			表 28.11 各コンディション発行時のレジスタの状態を更新
		30. シリアルペリフェラルインタフェース (SPI)	表 30.1 SPI の仕様を更新
			30.2.7 SPI データコントロールレジスタ (SPDCR) を更新
			表 30.4 SPI のモードと SPCR レジスタ設定値の関係および各モードの概要を更新
		31. 巡回冗長検査 (CRC) 演算器	31.2.1 CRC コントロールレジスタ 0 (CRCCR0) を更新
		32. 16 ビット A/D コンバータ (ADC16)	32.7.5 モジュールストップ状態の設定を更新
		33. 24 ビットシグマデルタ A/D コンバータ (SDADC24)	表 33.1 SDADC24 の仕様を更新
			33.2.1 起動コントロールレジスタ 1 (STC1) を更新
			33.2.4 シグマデルタ A/D コンバータコントロールレジスタ 1 (ADC1) を更新
			33.3.3.2 SBIAS の独立動作を更新
			33.3.5.1 入力マルチプレクサコントロールレジスタを更新
			33.3.6.2 差動入力モード時の入力電圧範囲を更新
			図 33.8 差動入力モード時の入力電圧範囲を更新
			33.3.8 シグマデルタ AD コンバータの制御 (オートスキャン) を更新
			図 33.17 デジタルフィルタのブロック図を更新
			33.3.9.2 デジタルフィルタの構成を更新
			図 33.26 PGA オフセットの自己診断フローを更新
			図 33.33 センサ基準電圧の独立起動および切り替え/停止フローを更新
			33.5.2 モジュールストップ状態の設定を更新
			33.5.5 SBIAS 動作に関する制限を更新
			33.5.7 マルチプレクサ 4 (内部 OPAMP) に関する制限を更新
		34. 12 ビット D/A コンバータ (DAC12)	34.2.2 D/A コントロールレジスタ (DACR) を更新
			34.6.1 モジュールストップ機能の設定を更新
		35. 8 ビット D/A コンバータ (DAC8)	35.4.1 モジュールストップ機能の設定を更新
			35.4.8 D/A コンバータ出力との接続を更新
		36. 温度センサ (TSN)	36.2.1 温度センサ補正データレジスタ H (TSCDRH) を更新
			36.2.2 温度センサ補正データレジスタ L (TSCDRL) を更新
			36.3.1 使用前の準備を更新
		37. オペアンプ (OPAMP)	37.1 概要を更新
			37.10.4 コンフィギュラブルアンプを D/A コンバータ出力アンプとして使用を更新
		38. 高速アナログコンパレータ (ACMPHS)	38.8.1 モジュールストップ機能の設定を更新
		39. 低消費電力アナログコンパレータ (ACMPLP)	39.9.1 モジュールストップ状態の設定を更新
		40. 静電容量式タッチセンシングユニット (CTSU)	図 40.3 CTSU のブロック図を更新
			40.2.1 CTSU コントロールレジスタ 0 (CTSUCR0) を更新
			40.2.3 CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS) を更新
			40.2.5 CTSU 計測チャネルレジスタ 0 (CTSUMCH0) を更新
			40.2.19 CTSU センサオフセットレジスタ 1 (CTSUSO1) を更新
			40.2.22 CTSU エラーステータスレジスタ (CTSUEIRS) を更新
			図 40.9 CTSU 初期設定フローを更新
			図 40.10 CTSU 停止フローを更新
			図 40.14 自己容量マルチスキャンモードのソフトウェアフローと動作例を更新
			図 40.16 相互容量フルスキャンモードのソフトウェアフローと動作例を更新
			40.3.2.5 相互容量フルスキャンモード動作を更新
			40.3.3.2 割り込みを更新
			40.4.2 ソフトウェアトリガに対する注意事項を更新
		42. SRAM	図 42.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフローを更新
			図 42.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフローを更新
		43. フラッシュメモリ	43.4.3 データフラッシュコントロールレジスタ (DFLCTL) を更新
			表 43.6 ID コードプロテクト機能の仕様を更新

Rev.	発行日	章	改訂内容
1.10	2023.07.14	47. 電気的特性	表 47.16 Middle-speed 動作モードでの動作周波数のタイトルを更新
			表 47.17 Low-speed 動作モードでの動作周波数のタイトルを更新
			表 47.18 Low-voltage 動作モードでの動作周波数のタイトルを更新
			表 47.19 Subosc-speed 動作モードでの動作周波数のタイトルを更新
		付録 2. 外形寸法図	図 2.5 QFN48 ピン (2) を追加
			図 2.7 QFN40 ピン (2) を追加
		付録 3. I/O レジスタ	表 3.1 周辺機能のベースアドレスを更新
			表 3.2 GPT 以外のモジュールのアクセスサイクルを更新

RA2A1 グループ ユーザーズマニュアル ハードウェア編

発行年月日 2023年7月14日 Rev.1.10

発行 ルネサスエレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

RA2A1 グループ