User's Manual

32

RH850/F1M

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロコントローラ
RH850 ファミリ

ルネサス エレクトロニクス
www.renesas.com

Rev.1.03　2016.05

ご注意書き

1．　本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。

2．　本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。

3．　本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。

4．　当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。

5．　当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
各品質水準は、以下に示す用途に製品が使用されることを意図しております。

　　標準水準：　　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
　　家電、工作機械、パーソナル機器、産業用ロボット等

　　高品質水準：　　輸送機器（自動車、電車、船舶等）、交通用信号機器、
　　防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。

6．　当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。

7．　当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。

8．　当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。

9．　本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。

10.　お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。

11.　本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1.　本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

(1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して，VIL（MAX.）からVIH（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，VIL（MAX.）からVIH（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

(2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介して電源またはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

(3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。また，MOSデバイスを実装したボードについても同様の扱いをしてください。

(4) 初期化以前の状態：電源投入時，MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

(5) 電源投入切断順序：内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

(6) 電源OFF時における入力信号：当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

このマニュアルの使い方

対 象 者　このマニュアルは、RH850/F1M の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

目 的　このマニュアルは、次の構成に示す RH850/F1M のハードウェア機能をユーザに理解していただくことを目的としています。

構 成　RH850/F1M のユーザーズ・マニュアルは、ハードウェア編（このマニュアル）と、ソフトウェア編「RH850G3M ユーザーズマニュアル ソフトウェア編」（R01US0123J）の 2 冊に分かれています。

ハードウェア編	ソフトウェア編
・端子機能	・概要
・CPU 機能	・プロセッサ・モデル
・内蔵周辺機能	・レジスタ・リファレンス
・フラッシュ・メモリ・プログラミング	・例外／割り込み
	・メモリ管理
	・命令リファレンス
	・リセット
	・付録

読 み 方　このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

一通り RH850/F1M の機能を理解しようとするとき

→目次に従ってお読みください。

命令機能の詳細を理解しようとするとき

→別冊の「RH850G3K ユーザーズマニュアル ソフトウェア編」（R01US0058J）を参照してください。

このマニュアルでは、「xxx レジスタの yyy ビット」を「xxx.yyy ビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ／アセンブラは正しく認識できませんので、注意してください。

凡 例　データ表記の重み：左が上位桁、右が下位桁

アクティブ・ロウの表記：xxx（端子、信号名称に上線）

メモリ・マップのアドレス：上部ー上位、下部ー下位

注 ：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：　2 進数 … xxxx または $xxxx_B$

10 進数 … xxxx

16 進数 … $xxxx_H$

2 のべき数を示す接頭語（アドレス空間、メモリ容量）：

K（キロ）：$2^{10} = 1024$

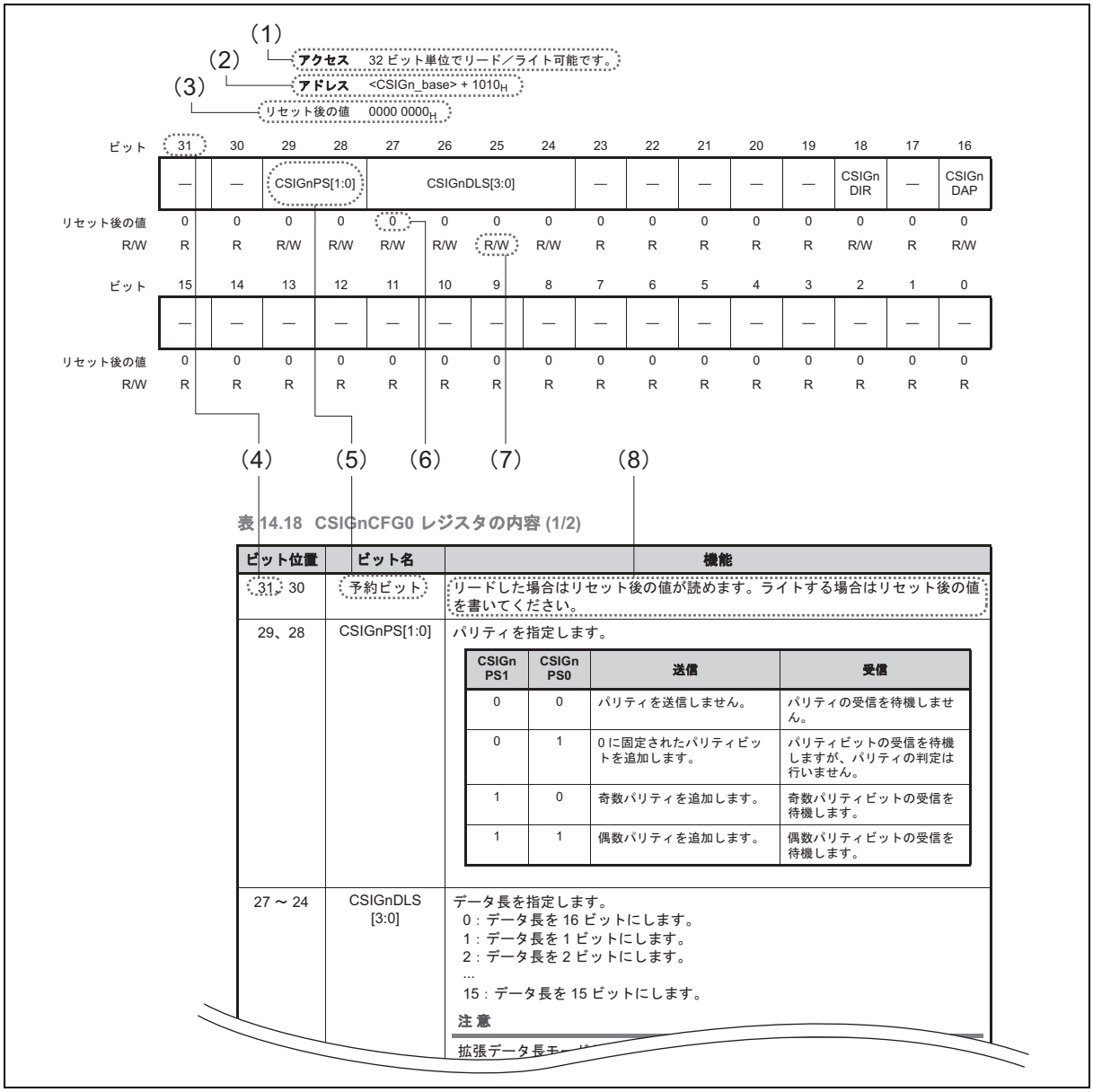
M（メガ）：$2^{20} = 1024^2$

G（ギガ）：$2^{30} = 1024^3$

レジスタの説明

各レジスタの説明には、レジスタのアクセス、アドレス、リセット後の値の説明、ビットの並びを示す図、ビットに設定する内容を説明する表があります。

下記にその例を示します。



(1) アクセス

レジスタのアクセス単位を示します。

(2) アドレス

レジスタのアドレスを示します。
ベースアドレスは各章のベースアドレスを参照してください。

（3）リセット後の値（16 進数表記）

レジスタの各ビットのリセット後の値を示します。
16 進数表記では 0 ～ 9、A ～ F または不定値が含まれる場合 X で表記します。

（4）ビット位置

レジスタのビット番号を示します。
32 ビットレジスタの場合は 31 から 0 の順に、16 ビットレジスタの場合は 15 から 0 の順に、8 ビットレジスタの場合は 7 から 0 の順に示します。

（5）ビット名

レジスタのビット名またはフィールド名を示します。
フィールドでビット桁数を明示する必要があるときは、CSIGnDLS[3:0] のように桁数の表記を追加します。
また、予約ビットの場合は「—」と表記します。

（6）リセット後の値（2 進数表記）

レジスタの各ビットのリセット後の値を示します。

0 ： リセット後の値は 0 であることを示します。

1 ： リセット後の値は 1 であることを示します。

— ： リセット後の値は不定であることを示します。

（7）R/W

レジスタの各ビットのリード／ライト属性を示します。

R/W ： リードおよびライト可能なビットまたはフィールドです。

R ： リードが可能なビットまたはフィールドです。
ただし、予約ビットはすべて「R」と表記します。ライト時は、ビット表で指定された値またはリセット後の値を書いてください。

W ： ライトが可能なビットまたはフィールドです。
リード時の値は不定です。ただし、ビット表に記載がある場合はその値が読み出されます。

（8）機能

レジスタのビット機能について説明しています。

本マニュアル記載の製品名は、各社の商標または登録商標です。

目　次

第 1 章　概要 63

1.1　RH850/F1M 製品の特長 63

1.1.1　RH850/F1M の機能 64

1.1.2　内部ブロック図 67

第 2 章　端子 70

2.1　端子接続図 70

2.2　端子説明 86

2.3　リセット期間中／解除後の端子機能 91

2.4　スタンバイモード時のポート状態 92

2.5　未使用端子の推奨接続 93

2.6　ポートの特長 94

2.6.1　ポートグループ 94

2.6.2　ポートグループインデクス n 94

2.6.3　レジスタベースアドレス 94

2.6.4　クロック供給 94

2.7　ポートの機能 95

2.7.1　機能概要 95

2.7.2　用語 96

2.7.2.1　JTAG ポート 96

2.7.3　端子機能概要 97

2.7.4　端子データ入力／出力 99

2.7.4.1　出力データ 99

2.7.4.2　入力データ 99

2.7.4.3　Pn レジスタへのライト 100

2.8　ポート概念図 101

2.9　ポートグループコンフィギュレーションレジスタ 102

2.9.1　概要 102

2.9.2　端子機能の設定 105

2.9.2.1　PMCn / JPMC0 — ポートモードコントロールレジスタ 105

2.9.2.2　PMCSRn / JPMCSR0 — ポートモードコントロールセット／リセットレジスタ 106

2.9.2.3　PIPCn — ポート IP コントロールレジスタ 107

2.9.2.4　PMn / APMn / JPM0 — ポートモードレジスタ 108

2.9.2.5　PMSRn / APMSRn / JPMSR0 — ポートモードセット／リセットレジスタ 109

2.9.2.6　PIBCn / APIBCn / JPIBC0 / IPIBC0 — ポート入力バッファコントロールレジスタ 110

2.9.2.7　PFCn / JPFC0 — ポート機能コントロールレジスタ 111

2.9.2.8　PFCEn — ポート機能コントロール拡張レジスタ 112

2.9.2.9　PFCAEn — ポート機能コントロール追加拡張レジスタ 113

2.9.3　端子データ入力／出力 115

2.9.3.1　PBDCn / APBDCn / JPBDC0 — ポート双方向コントロールレジスタ 115

2.9.3.2　PPRn / APPRn / JPPR0 / IPPR0 — ポート端子リードレジスタ 116

2.9.3.3　Pn / APn / JP0 — ポートレジスタ 117

2.9.3.4　PNOTn / APNOTn / JPNOT0 — ポートノットレジスタ 118

2.9.3.5　PSRn / APSRn / JPSR0 — ポートセット／リセットレジスタ 119

2.9.4　電気的特性の設定 120

2.9.4.1　PUn / JPU0 — プルアップオプションレジスタ 120

2.9.4.2　PDn / JPD0 — プルダウンオプションレジスタ 121

2.9.4.3　PDSCn — ポートドライブ強度コントロールレジスタ 122

2.9.4.4 PODCn / JPODC0 — ポートオープンドレインコントロールレジスタ 123
2.9.4.5 PISn — ポート入力バッファ選択レジスタ 124
2.9.4.6 JPISA0 — ポート入力バッファ選択アドバンストレジスタ 125
2.9.5 ポートレジスタ保護 126
2.9.6 ポート設定のフローチャート例 127
2.9.6.1 一括設定 127
2.9.6.2 個別設定 128
2.10 ポート（汎用 I/O）機能概要 131
2.10.1 JTAG ポート 0（JP0）..... 132
2.10.1.1 兼用機能 132
2.10.1.2 制御レジスタ 133
2.10.2 ポート 0（P0）..... 134
2.10.2.1 兼用機能 134
2.10.2.2 制御レジスタ 135
2.10.3 ポート 1（P1）..... 136
2.10.3.1 兼用機能 136
2.10.3.2 制御レジスタ 137
2.10.4 ポート 2（P2）..... 138
2.10.4.1 兼用機能 138
2.10.4.2 制御レジスタ 139
2.10.5 ポート 3（P3）..... 140
2.10.5.1 兼用機能 140
2.10.5.2 制御レジスタ 141
2.10.6 ポート 8（P8）..... 142
2.10.6.1 兼用機能 142
2.10.6.2 制御レジスタ 143
2.10.7 ポート 9（P9）..... 144
2.10.7.1 兼用機能 144
2.10.7.2 制御レジスタ 145
2.10.8 ポート 10（P10）..... 146
2.10.8.1 兼用機能 146
2.10.8.2 制御レジスタ 148
2.10.9 ポート 11（P11）..... 149
2.10.9.1 兼用機能 149
2.10.9.2 制御レジスタ 151
2.10.10 ポート 12（P12）..... 152
2.10.10.1 兼用機能 152
2.10.10.2 制御レジスタ 153
2.10.11 ポート 13（P13）..... 154
2.10.11.1 兼用機能 154
2.10.11.2 制御レジスタ 155
2.10.12 ポート 18（P18）..... 156
2.10.12.1 兼用機能 156
2.10.12.2 制御レジスタ 157
2.10.13 ポート 19（P19）..... 158
2.10.13.1 兼用機能 158
2.10.13.2 制御レジスタ 159
2.10.14 ポート 20（P20）..... 160
2.10.14.1 兼用機能 160
2.10.14.2 制御レジスタ 161
2.10.15 アナログポート 0（AP0）..... 162
2.10.15.1 兼用機能 162
2.10.15.2 制御レジスタ 163

2.10.16 アナログポート 1（AP1） 164
2.10.16.1 兼用機能 164
2.10.16.2 制御レジスタ 165
2.10.17 入力ポート 0（IP0） 166
2.10.17.1 兼用機能 166
2.10.17.2 制御レジスタ 167
2.11 ポート（特殊 I/O）機能概要 168
2.11.1 リセット後の特殊 I/O 168
2.11.1.1 P0_0：RESETOUT 168
2.11.1.2 JP0_0-JP0_6：デバッグインタフェース 169
2.11.1.3 FPDR(JP0_0), FPDT(JP0_1), FPCK(JP0_2)：フラッシュプログラマ 169
2.11.1.4 モード端子 169
2.11.1.5 IP0_0：XT2 169
2.11.2 AD 入力兼用 I/O 170
2.11.3 特殊 I/O 制御 172
2.11.3.1 直接 I/O 制御（PIPC） 172
2.11.3.2 入力バッファ制御（PISn、JPISA0） 174
2.11.3.3 出力バッファ制御（PDSC） 176
2.12 ノイズフィルタ & エッジレベル検出回路 178
2.12.1 ポートフィルタの割り当て 178
2.12.1.1 アナログフィルタタイプ A 付き入力端子 178
2.12.1.2 アナログフィルタタイプ B 付き入力端子 179
2.12.1.3 アナログフィルタタイプ C 付き入力端子 180
2.12.1.4 デジタルフィルタタイプ D 付き入力端子 181
2.12.1.5 デジタルフィルタタイプ E 付き入力端子 182
2.12.2 ポートフィルタのクロック供給 184
2.13 ポートノイズフィルタ & エッジ／レベル検出機能説明 185
2.13.1 概要 185
2.13.1.1 アナログフィルタタイプ 185
2.13.1.2 デジタルフィルタタイプ 185
2.13.2 アナログフィルタ 186
2.13.2.1 アナログフィルタ特性 186
2.13.2.2 アナログフィルタ制御レジスタ 186
2.13.2.3 スタンバイモードでのアナログフィルタ 186
2.13.3 デジタルフィルタ 189
2.13.3.1 デジタルフィルタ特性 189
2.13.3.2 デジタルフィルタグループ 190
2.13.3.3 スタンバイモードのデジタルフィルタ 191
2.13.3.4 デジタルフィルタ制御レジスタ 191
2.13.4 フィルタ制御レジスタ 193
2.13.4.1 FCLA0CTLm_<name> — フィルタ制御レジスタ 194
2.13.4.2 DNFA<name>CTL — デジタルノイズ除去制御レジスタ 195
2.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ 196

第 3 章 CPU システム 197
3.1 概要 197
3.1.1 ブロック構成 197
3.2 CPU 199
3.2.1 コア機能 199
3.2.1.1 特長 199
3.2.1.2 レジスタセット 200

3.2.2 命令キャッシュ、データバッファ 238
3.2.2.1 特長 238
3.2.2.2 命令キャッシュ機能 239
3.2.2.3 データバッファ機能 240
3.2.3 信頼性機能 241
3.2.3.1 PE ガード機能（PEG） 241
3.2.4 信頼性機能 247
3.2.4.1 システムエラー通知制御機能（SEG） 247
3.3 注意事項 253
3.3.1 ストア命令の完了と後続命令の同期化 253
3.3.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合 253
3.3.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合 253
3.3.2 ビット操作命令でのレジスタ・アクセス 255
3.3.3 コードフラッシュ書き換え後のコヒーレンシ確保 255
3.3.4 多重例外受け付け時のコンテキストの上書き 255
3.3.5 プリフェッチに関する注意事項 256
3.3.6 システムレジスタのハザード 257
3.3.7 外部メモリ領域へのアクセス 258

第 4 章 アドレス空間 259
4.1 アドレス空間 259
4.2 各バスマスタから見たアドレス空間 261
4.2.1 CPU1 によるデータアクセス可能空間 261
4.2.2 DMA によるデータアクセス可能空間 261
4.3 周辺 I/O アドレスマップ 263

第 5 章 書き込み保護レジスタ 268
5.1 概要 268
5.1.1 機能概要 268
5.1.2 書き込み保護されたレジスタへの書き込み手順 268
5.1.3 書き込み保護解除中の割り込み 269
5.1.4 書き込み保護解除中のエミュレーションブレーク 270
5.1.5 書き込み保護対象レジスタ 270
5.2 レジスタ 273
5.2.1 レジスター覧 273
5.2.2 コントロール保護クラスタレジスタの詳細 275
5.2.2.1 PROTCMDn — 保護コマンドレジスタ 275
5.2.2.2 PROTSn — 保護ステータスレジスタ 276
5.2.3 クロックモニタ保護クラスタレジスタの詳細 277
5.2.3.1 CLMAnPCMD — CLMAn 保護コマンドレジスタ 277
5.2.3.2 CLMAnPS — CLMAn 保護ステータスレジスタ 278
5.2.3.3 PROTCMDCLMA — クロックモニタテスト保護コマンドレジスタ 279
5.2.3.4 PROTSCLMA — クロックモニタテスト保護ステータスレジスタ 280
5.2.4 コア電圧モニタレジスタの詳細 281
5.2.4.1 PROTCMDCVM — コア電圧モニタ保護コマンドレジスタ 281
5.2.4.2 PROTSCVM — コア電圧モニタ保護ステータスレジスタ 282
5.2.5 ポート保護クラスタレジスタの詳細 283

5.2.5.1 PPCMDn — ポート保護コマンドレジスタ 283
5.2.5.2 PPROTSn — ポート保護ステータスレジスタ 284
5.2.6 セルフプログラミング保護クラスタレジスタの詳細 285
5.2.6.1 FLMDPCMD — FLMD 保護コマンドレジスタ 285
5.2.6.2 FLMDPS — FLMD 保護エラーステータスレジスタ 286

第 6 章 動作モード 287

第 7 章 例外／割り込み 288

7.1 特長 288
7.2 RH850/F1M 割り込み要因 291
7.2.1 割り込み要因 291
7.2.1.1 FE レベルノンマスカブル割り込み 291
7.2.1.2 FE レベルマスカブル割り込み 292
7.2.1.3 EI レベルマスカブル割り込み 293
7.2.2 FE レベルノンマスカブル割り込み要因 303
7.2.2.1 WDTNMIF — FENMI 要因レジスタ 303
7.2.2.2 WDTNMIFC — WDTNMI 要因クリアレジスタ 304
7.2.3 FE レベルマスカブル割り込み要因 305
7.2.3.1 FEINTF — FEINT 要因レジスタ 305
7.2.3.2 FEINTFMSK — FEINT 要因マスクレジスタ 307
7.2.3.3 FEINTFC — FEINT 要因クリアレジスタ 309
7.3 エッジ／レベル検出機能 311
7.4 割り込みコントローラ制御レジスタ 312
7.4.1 レジスター覧 312
7.4.2 ICxxx — EI レベル割り込み制御レジスタ 313
7.4.3 IMRm — EI レベル割り込みマスクレジスタ（m = 0 ～ 9） 315
7.4.4 FNC — FE レベル NMI ステータスレジスタ 316
7.4.5 FIC — FE レベルマスカブル割り込みステータスレジスタ 317
7.5 EI レベルマスカブル割り込みの選択レジスタ 318
7.5.1 SELB_INTC1 — INTC1 割り込み選択レジスタ 318
7.5.2 SELB_INTC2 — INTC2 割り込み選択レジスタ 320
7.6 割り込み機能システムレジスタ 321
7.6.1 FPIPR —FPI 例外割り込み優先度 321
7.6.2 ISPR — 受付中割り込み優先度 321
7.6.3 PMR — 割り込み優先度マスク 321
7.6.4 ICSR — 割り込み制御ステータス 321
7.6.5 INTCFG — 割り込み機能の設定 321
7.7 割り込み受け付け時の動作 322
7.8 割り込みからの復帰 324
7.9 割り込み動作 325
7.9.1 EI レベルマスカブル割り込み（EIINT）の割り込みマスク機能 325
7.9.2 割り込み優先度判断 325
7.9.2.1 現在処理中の割り込み優先度との比較 326
7.9.2.2 プライオリティマスクレジスタ（PMR）によるマスク 326
7.9.2.3 要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択 326
7.9.2.4 CPU による割り込みの保留 326

7.9.3 割り込み要求の受け付け条件と優先順位 329
7.9.4 割り込みの例外優先度と優先度マスク 329
7.9.5 割り込み優先度マスク 329
7.9.6 優先度マスク機能 330
7.9.7 例外の管理 330
7.10 例外ハンドラアドレス 330
7.10.1 直接ベクタ方式 331
7.10.2 テーブル参照方式 333

第 8 章 DMA 335

8.1 RH850/F1M DMA の特長 335
8.1.1 チャネル数 335
8.1.2 レジスタベースアドレス 335
8.1.3 割り込み要求 336
8.1.4 DMA トリガ要因 337
8.2 概要 341
8.2.1 概要 341
8.2.2 語句の定義 342
8.3 DMA 機能 343
8.3.1 DMA 転送基本動作 343
8.3.1.1 転送モード 343
8.3.1.2 DMA サイクルの実行 343
8.3.1.3 転送情報の更新 343
8.3.1.4 最終転送とアドレスリロード転送 344
8.3.1.5 転送完了割り込み出力 344
8.3.1.6 連続転送 345
8.3.2 チャネルの優先順位 347
8.3.2.1 DMAC チャネルアービトレーション 347
8.3.2.2 インタフェースアービトレーション 348
8.3.3 リロード機能 349
8.3.3.1 リロード機能の概要 349
8.3.3.2 リロード機能 1 の動作 349
8.3.3.3 リロード機能 2 350
8.3.3.4 DMAC のリロードレジスタ設定タイミング 352
8.3.4 チェイン機能 353
8.3.4.1 概要 353
8.3.4.2 チェイン動作の設定方法 354
8.3.4.3 チェイン機能使用時の注意 354
8.3.5 DMAC 動作 355
8.3.5.1 DMA 転送要求の種類と割り当て 355
8.3.5.2 ソフトウェア DMA 転送要求の発生と受け付け 355
8.3.5.3 DMA 転送の実行 355
8.4 一時中断・再開、転送中止および DMA 転送要求のクリア 356
8.4.1 ソフトウェア制御による DMA 一時中断・再開 356
8.4.2 DMAC チャネルの一時中断・再開および転送中止 356
8.4.3 DTFR のハードウェア DMA 転送要求マスクおよびクリア 357
8.4.4 一時中断・再開・転送中止機能一覧 358
8.5 エラー制御 359

8.5.1 エラーの種類 359
8.5.2 DMA 転送エラー 359
8.5.2.1 DMAC の DMA 転送エラー発生時の動作 359
8.6 信頼性機能 360
8.6.1 概要 360
8.6.2 レジスタアクセス保護機能 360
8.6.2.1 アクセス元マスタの識別 360
8.6.2.2 マスタアクセス 360
8.6.2.3 チャネル割り当て 361
8.6.2.4 違反アクセス 361
8.6.3 マスタ情報継承機能 362
8.6.4 その他の信頼性機能 362
8.6.4.1 チェイン先の制限 362
8.7 DMA 転送の設定手順 363
8.7.1 DMA 設定手順概要 363
8.7.2 DMA 全体動作設定手順 364
8.7.3 DMA チャネル設定手順 364
8.7.3.1 DMAC チャネル設定手順 365
8.8 グローバルレジスタ 366
8.8.1 グローバルレジスタアドレス一覧 366
8.8.2 グローバルレジスタ詳細 367
8.8.2.1 DMACTL — DMA 制御レジスタ 367
8.8.2.2 DMACER — DMAC エラーレジスタ 368
8.8.2.3 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ 369
8.8.2.4 DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ 370
8.8.2.5 CMVC — レジスタアクセス保護違反クリアレジスタ 371
8.8.2.6 DMniCM — DMAC チャネルマスタ設定 （ni = 00 ～ 07、10 ～ 17） 372
8.9 DMAC チャネルレジスタ 373
8.9.1 DMAC チャネルレジスタアドレス 373
8.9.2 DMAC チャネルレジスタ詳細 374
8.9.2.1 DSAm — DMAC ソースアドレスレジスタ 374
8.9.2.2 DDAm — DMAC ディスティネーションアドレスレジスタ 375
8.9.2.3 DTCm — DMAC 転送回数レジスタ 376
8.9.2.4 DTCTm — DMAC 転送制御レジスタ 377
8.9.2.5 DRSAm — DMAC リロードソースアドレスレジスタ 380
8.9.2.6 DRDAm — DMAC リロードディスティネーションアドレスレジスタ 381
8.9.2.7 DRTCm — DMAC リロード転送回数レジスタ 382
8.9.2.8 DCENm — DMAC チャネル動作有効設定レジスタ 383
8.9.2.9 DCSTm — DMAC 転送ステータスレジスタ 384
8.9.2.10 DCSTSm — DMAC 転送ステータスセットレジスタ 386
8.9.2.11 DCSTCm — DMAC 転送ステータスクリアレジスタ 387
8.9.2.12 DTFRm — DTFR 設定レジスタ 388
8.9.2.13 DTFRRQm — DTFR 転送要求ステータスレジスタ 389
8.9.2.14 DTFRRQCm — DTFR 転送要求クリアレジスタ 390

第 9 章 リセット 391
9.1 概要 391
9.1.1 リセット要因 392
9.1.2 リセットコントローラの冗長性 393
9.1.3 リセット出力（RESETOUT） 394

9.1.4 リセットフラグ 394
9.1.5 クロック供給 394
9.2 構成 395
9.2.1 ブロック図 395
9.3 レジスタ 399
9.3.1 リセットコントローラレジスタ概要 399
9.3.2 リセットフラグレジスタの詳細 400
9.3.2.1 RESF — リセット要因レジスタ 400
9.3.2.2 RESFC — リセット要因クリアレジスタ 402
9.3.2.3 RESFR — リダンダントリセット要因レジスタ 403
9.3.2.4 RESFCR — リダンダントリセット要因クリアレジスタ 405
9.3.3 ソフトウェアリセット制御レジスタの詳細 406
9.3.3.1 SWRESA — ソフトウェアリセットレジスタ 406
9.4 機能説明 407
9.4.1 リセットフラグ 407
9.4.2 パワーオンクリア（POC）リセット 407
9.4.3 低電圧検出回路（LVI）リセット 411
9.4.4 コアボルテージモニタ（CVM）リセット 412
9.4.5 外部リセット（RESET） 413
9.4.6 ウォッチドッグタイマ（WDTA）リセット 414
9.4.7 ソフトウェアリセット 414
9.4.8 クロックモニタ（CLMA）リセット 415
9.4.9 デバッガリセット 415

第 10 章 電源電圧モニタ 416
10.1 概要 416
10.1.1 機能概要 416
10.1.2 パワーオンクリア（POC） 416
10.1.3 低電圧検出回路（LVI） 417
10.1.3.1 LVI 基準電圧 417
10.1.3.2 LVI リセット（LVIRES） 417
10.1.3.3 LVI 割り込み（INTLVIL / INTLVIH） 417
10.1.3.4 LVI の設定手順 419
10.1.3.5 LVI へのクロック供給 419
10.1.4 コアボルテージモニタ（CVM） 420
10.1.4.1 CVM リセット（CVMRES） 420
10.1.4.2 CVM の設定 420
10.1.4.3 診断（DIAG）モード 420
10.1.4.4 CVM へのクロック供給 421
10.1.5 RAM 保持電圧インジケータ（超低電圧検出回路：VLVI） 422
10.1.5.1 VLVI へのクロック供給 422
10.1.5.2 Retention RAM 内容の保持 422
10.1.6 ブロック図 423
10.2 レジスタ 424
10.2.1 レジスター覧 424
10.2.2 低電圧検出リセット制御レジスタ 425
10.2.2.1 LVICNT — LVI 制御レジスタ 425
10.2.3 コアボルテージモニタ制御レジスタ 426

10.2.3.1 CVMF — CVM 要因レジスタ 426
10.2.3.2 CVMDE — CVM 検出許可レジスタ 427
10.2.3.3 CVMDIAG — CVM 診断モード設定レジスタ 428
10.2.4 超低電圧検出制御レジスタ 429
10.2.4.1 VLVF — 超低電圧検出レジスタ 429
10.2.4.2 VLVFC — 超低電圧検出クリアレジスタ 430

第 11 章 クロックコントローラ 431

11.1 RH850/F1M のクロックコントローラの特長 431
11.2 クロックコントローラの構成 433
11.2.1 クロック生成回路 435
11.2.2 クロック選択 436
11.2.3 クロックドメイン 437
11.2.4 クロック発振回路のリセット 437
11.3 クロック発振回路 438
11.3.1 メイン発振回路（MainOSC） 438
11.3.2 サブ発振回路（SubOSC） 440
11.3.3 高速内蔵発振回路（HS IntOSC） 441
11.3.4 低速内蔵発振回路（LS IntOSC） 443
11.3.5 PLL0/PLL1 444
11.3.5.1 PLL0 のパラメータ 446
11.3.5.2 PLL1 のパラメータ 448
11.4 レジスタ 449
11.4.1 レジスター覧 449
11.4.2 クロック発振回路のレジスタ 451
11.4.2.1 MOSCE — MainOSC イネーブルレジスタ 451
11.4.2.2 MOSCS — MainOSC ステータスレジスタ 452
11.4.2.3 MOSCC — MainOSC コントロールレジスタ 453
11.4.2.4 MOSCST — MainOSC 安定時間レジスタ 454
11.4.2.5 MOSCSTPM — MainOSC 停止マスクレジスタ 455
11.4.2.6 SOSCE — SubOSC イネーブルレジスタ 456
11.4.2.7 SOSCS — SubOSC ステータスレジスタ 457
11.4.2.8 SOSCST — SubOSC 安定時間レジスタ 458
11.4.2.9 ROSCE — HS IntOSC イネーブルレジスタ 459
11.4.2.10 ROSCS — HS IntOSC ステータスレジスタ 460
11.4.2.11 ROSCSTPM — HS IntOSC 停止マスクレジスタ 461
11.4.2.12 PLL0E — PLL0 イネーブルレジスタ 462
11.4.2.13 PLL0S — PLL0 ステータスレジスタ 463
11.4.2.14 PLL0C — PLL0 コントロールレジスタ 464
11.4.2.15 PLL0ST — PLL0 安定時間レジスタ 476
11.4.2.16 PLL1E — PLL1 イネーブルレジスタ 477
11.4.2.17 PLL1S — PLL1 ステータスレジスタ 478
11.4.2.18 PLL1C — PLL1 コントロールレジスタ 479
11.4.3 クロックセレクタコントロールレジスタ 491
11.4.3.1 WDTA0 クロックドメイン C_AWO_WDTA 491
11.4.3.2 TAUJ クロックドメイン C_AWO_TAUJ 494
11.4.3.3 RTCA クロックドメイン C_AWO_RTCA 499
11.4.3.4 ADCA0 クロックドメイン C_AWO_ADCA 504
11.4.3.5 FOUT クロックドメイン C_AWO_FOUT 509
11.4.3.6 CPU クロックドメイン C_ISO_CPUCLK 512
11.4.3.7 周辺クロックドメイン C_ISO_PERI1 および C_ISO_PERI2 516
11.4.3.8 RLIN クロックドメイン C_ISO_LIN 520

11.4.3.9 ADCA1 クロックドメイン C_ISO_ADCA 525
11.4.3.10 RS-CAN クロックドメイン C_ISO_CAN と C_ISO_CANOSC 529
11.4.3.11 CSI クロックドメイン C_ISO_CSI 535
11.4.3.12 IIC クロックドメイン C_ISO_IIC 537
11.5 クロックドメインの設定方法 539
11.5.1 クロックドメインの設定 539
11.5.1.1 クロックセレクタレジスタ概要 539
11.5.1.2 クロックドメインの設定手順 540
11.5.2 スタンバイモード時のクロックの停止 540
11.5.3 クロックドメイン設定 541
11.6 周波数出力機能（FOUT） 543
11.6.1 機能概要 543
11.6.2 レジスタ 544
11.6.2.1 レジスター覧 544
11.6.2.2 クロック供給 544
11.6.2.3 FOUTDIV — クロック分周比レジスタ 545
11.6.2.4 FOUTSTAT — クロック分周ステータスレジスタ 546
11.7 クロックモニタ A（CLMA） 547
11.7.1 RH850/F1M の CLMA の特長 547
11.7.1.1 チャネル数 547
11.7.1.2 レジスタベースアドレス 547
11.7.1.3 クロック供給 547
11.7.1.4 リセット要因 548
11.7.1.5 内部入出力信号 548
11.7.2 概要 549
11.7.2.1 機能概要 549
11.7.3 CLMA の有効化 550
11.7.4 機能 550
11.7.4.1 異常クロック周波数の検出 550
11.7.4.2 異常クロック周波数の通知 553
11.7.5 レジスタ 554
11.7.5.1 レジスター覧 554
11.7.5.2 CLMAnCTL0 — CLMAn 制御レジスタ 0 555
11.7.5.3 CLMAnCMPH — CLMAn コンペアレジスタ H 556
11.7.5.4 CLMAnCMPL — CLMAn コンペアレジスタ L 557
11.7.5.5 CLMATEST — CLMA テストレジスタ 558
11.7.5.6 CLMATESTS — CLMA テストステータスレジスタ 559
11.7.5.7 CLMAnEMU0 — CLMAn エミュレーションレジスタ 0 560
11.7.6 CLMAn の使用上の注意事項 561

第 12 章 スタンバイコントローラ（STBC） 562
12.1 機能 562
12.1.1 スタンバイモードの種類 562
12.1.2 ウエイクアップ制御 563
12.1.2.1 各スタンバイモードのウエイクアップ要因 563
12.1.2.2 ウエイクアップ要因の設定 565
12.1.3 オンチップデバッグウエイクアップ 568
12.1.4 入出力バッファ制御 569
12.1.4.1 入出力バッファホールド状態 569
12.1.4.2 STOP モード時の入出力バッファ 569
12.1.4.3 DeepSTOP モード時の入出力バッファ 569

12.1.5 スタンバイモードの遷移 570
12.1.6 クロック供給 570
12.2 レジスタ 571
12.2.1 レジスター覧 571
12.2.2 スタンバイコントローラ制御レジスタの詳細 572
12.2.2.1 STBC0PSC — パワーセーブ制御レジスタ 572
12.2.2.2 STBC0STPT — パワー停止トリガレジスタ 573
12.2.2.3 WUF0/WUF20/WUF_ISO0 — ウエイクアップ要因レジスタ 574
12.2.2.4 WUFMSK0/WUFMSK20/WUFMSK_ISO0 — ウエイクアップ要因マスクレジスタ 575
12.2.2.5 WUFC0/WUFC20/WUFC_ISO0 — ウエイクアップ要因クリアレジスタ 576
12.2.2.6 IOHOLD — 入出力バッファホールド制御レジスタ 577
12.3 モード遷移 578
12.3.1 STOP モード 578
12.3.2 DeepSTOP モード 580
12.3.3 Cyclic RUN モード 583
12.3.4 Cyclic STOP モード 585
12.4 スタンバイコントローラ関連レジスタへの書き込み 587
12.5 スタンバイモード使用時の注意事項 587
12.5.1 デバッガ使用時における DeepSTOP モード遷移の注意事項 587

第 13 章 ロウパワーサンプラ（LPS） 588
13.1 RH850/F1M LPS の特長 588
13.1.1 ユニット数 588
13.1.2 レジスタベースアドレス 589
13.1.3 クロック供給 589
13.1.4 割り込み要求 589
13.1.5 リセット要因 590
13.1.6 外部入出力信号 590
13.1.7 内部入出力信号 590
13.2 概要 591
13.2.1 機能概要 591
13.3 レジスタ 592
13.3.1 レジスター覧 592
13.3.2 SCTLR — LPS 制御レジスタ 593
13.3.3 EVFR — イベントフラグレジスタ 594
13.3.4 DPSELR0 — DPIN 選択レジスタ 0 595
13.3.5 DPSELRM — DPIN 選択レジスタ M 596
13.3.6 DPSELRH — DPIN 選択レジスタ H 597
13.3.7 DPDSR0 — DPIN データ設定レジスタ 0 598
13.3.8 DPDSRM — DPIN データ設定レジスタ M 599
13.3.9 DPDSRH — DPIN データ設定レジスタ H 600
13.3.10 DPDIMR0 — DPIN データ入力モニタレジスタ 0 601
13.3.11 DPDIMR1 — DPIN データ入力モニタレジスタ 1 601
13.3.12 DPDIMR2 — DPIN データ入力モニタレジスタ 2 602
13.3.13 DPDIMR3 — DPIN データ入力モニタレジスタ 3 602

13.3.14 DPDIMR4 — DPIN データ入力モニタレジスタ 4 603
13.3.15 DPDIMR5 — DPIN データ入力モニタレジスタ 5 603
13.3.16 DPDIMR6 — DPIN データ入力モニタレジスタ 6 604
13.3.17 DPDIMR7 — DPIN データ入力モニタレジスタ 7 604
13.3.18 CNTVAL — カウント値レジスタ 605
13.3.19 SOSTR — LPS 動作ステータスレジスタ 606
13.4 デジタル入力モード 607
13.5 アナログ入力モード 613

第 14 章 外部メモリアクセスコントローラ（MEMC）..... 617

14.1 MEMC の特長 617
14.1.1 MEMC 搭載製品 617
14.1.2 レジスタベースアドレス 617
14.1.3 クロック供給 618
14.1.4 リセット要因 618
14.1.5 外部入出力信号 618
14.2 概要 619
14.2.1 機能概要 619
14.2.1.1 マルチプレクスバス 619
14.2.1.2 チップセレクト出力機能 619
14.2.1.3 データエンディアン設定機能 619
14.2.1.4 プログラマブルウエイト設定機能 619
14.2.1.5 外部ウエイト機能 620
14.2.1.6 外部ウエイトエラー検出機能 620
14.3 レジスタ 621
14.3.1 レジスター覧 621
14.3.2 DEC — データエンディアン設定レジスタ 622
14.3.3 DWC — データウエイト設定レジスタ 623
14.3.4 DHC — データホールドウエイト設定レジスタ 624
14.3.5 DSC — データセットアップウエイト設定レジスタ 625
14.3.6 AWC — アドレスウエイト設定レジスタ 626
14.3.7 ICC — アイドルサイクル設定レジスタ 627
14.3.8 EWC — 外部ウエイトエラー設定レジスタ 628
14.4 機能 629
14.4.1 バス制御機能 629
14.4.1.1 チップセレクト出力機能 629
14.4.1.2 バスサイズ機能 631
14.4.1.3 データエンディアン設定機能 631
14.4.2 ウエイト機能 632
14.4.2.1 プログラマブルデータウエイト機能 632
14.4.2.2 外部ウエイト機能 633
14.4.2.3 外部ウエイトエラー検出機能 634
14.4.2.4 データセットアップウエイト機能 635
14.4.2.5 データホールドウエイト機能 636
14.4.2.6 アドレスセットアップウエイト機能 637
14.4.2.7 アドレスホールドウエイト機能 638
14.4.2.8 アイドル挿入機能 639
14.4.3 メモリ接続例 640

14.4.3.1 SRAM 接続例 640
14.4.4 データアクセスフロー 641
14.4.4.1 バイトアクセス時のデータフロー（リード／ライト時） 642
14.4.4.2 ハーフワードリードアクセス時のデータフロー 644
14.4.4.3 ハーフワードライトアクセス時のデータフロー 646
14.4.4.4 ワードリードアクセス時のデータフロー 648
14.4.4.5 ワードライトアクセス時のデータフロー 651
14.5 MEMC の使用上の注意事項 653

第 15 章 クロック同期シリアルインタフェース G（CSIG） 654

15.1 RH850/F1M CSIG の特長 654
15.1.1 ユニット数 654
15.1.2 レジスタベースアドレス 654
15.1.3 クロック供給 654
15.1.4 割り込み要求 655
15.1.5 リセット要因 655
15.1.6 外部入出力信号 655
15.1.7 データ整合性チェック 656
15.2 概要 657
15.2.1 機能概要 657
15.2.2 機能概要説明 657
15.2.3 ブロック図 658
15.3 レジスタ 659
15.3.1 レジスター覧 659
15.3.2 CSIGnCTL0 — CSIGn 制御レジスタ 0 660
15.3.3 CSIGnCTL1 — CSIGn 制御レジスタ 1 661
15.3.4 CSIGnCTL2 — CSIGn 制御レジスタ 2 663
15.3.5 CSIGnSTR0 — CSIGn ステータスレジスタ 0 664
15.3.6 CSIGnSTCR0 — CSIGn ステータスクリアレジスタ 0 666
15.3.7 CSIGnBCTL0 — CSIGn 受信専用モード制御レジスタ 0 667
15.3.8 CSIGnCFG0 — CSIGn コンフィギュレーションレジスタ 0 668
15.3.9 CSIGnTX0W — ワードアクセス用 CSIGn 送信レジスタ 0 670
15.3.10 CSIGnTX0H — ハーフワードアクセス用 CSIGn 送信レジスタ 0 671
15.3.11 CSIGnRX0 — CSIGn 受信レジスタ 0 671
15.3.12 CSIGnEMU — CSIGn エミュレーションレジスタ 672
15.3.13 注意事項の一覧 673
15.4 割り込み要因 674
15.4.1 割り込みの遅延 674
15.4.2 INTCSIGTIC（通信ステータス割り込み） 675
15.4.3 INTCSIGTIR（受信ステータス割り込み） 676
15.4.4 INTCSIGTIRE（通信エラー割り込み） 676
15.5 動作 677
15.5.1 マスタ／スレーブモード 677
15.5.1.1 マスタモード 677
15.5.1.2 スレーブモード 678
15.5.2 マスタ／スレーブの接続 679

15.5.2.1 マスタ 1、スレーブ 1 の場合 679
15.5.2.2 マスタ 1、スレーブ複数の場合 680
15.5.3 送信クロックの選択 681
15.5.4 データ転送モード 682
15.5.4.1 送信専用モード 682
15.5.4.2 受信専用モード 682
15.5.4.3 送受信モード 682
15.5.5 データ長の選択 683
15.5.5.1 データ長が拡張されていない場合のデータ長の選択 683
15.5.5.2 データ長が拡張されている場合のデータ長の選択 683
15.5.6 シリアルデータ方向選択機能 685
15.5.7 スレーブモードでの通信 686
15.5.8 ハンドシェーク機能 687
15.5.8.1 スレーブモード 687
15.5.8.2 マスタモード 688
15.5.9 ループバックモード 690
15.5.10 エラー検出 691
15.5.10.1 データ整合性チェック 691
15.5.10.2 パリティチェック 693
15.5.10.3 オーバランエラー 694
15.6 操作手順 696
15.6.1 DMA によるマスタモード送受信 696

第 16 章 クロック同期シリアルインタフェース H（CSIH） 698

16.1 RH850/F1M CSIH の特長 698
16.1.1 ユニット数 698
16.1.2 レジスタベースアドレス 699
16.1.3 クロック供給 699
16.1.4 割り込み要求 700
16.1.5 リセット要因 700
16.1.6 外部入出力信号 701
16.1.7 データ整合性チェック 702
16.2 概要 703
16.2.1 機能概要 703
16.2.2 機能概要説明 704
16.2.3 ブロック図 705
16.3 レジスタ 706
16.3.1 レジスター覧 706
16.3.2 CSIHnCTL0 — CSIHn 制御レジスタ 0 707
16.3.3 CSIHnCTL1 — CSIHn 制御レジスタ 1 708
16.3.4 CSIHnCTL2 — CSIHn 制御レジスタ 2 711
16.3.5 CSIHnSTR0 — CSIHn ステータスレジスタ 0 713
16.3.6 CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0 717
16.3.7 CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0 718
16.3.8 CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1 719
16.3.9 CSIHnMCTL2 — CSIHn メモリ制御レジスタ 2 720
16.3.10 CSIHnMRWP0 — CSIHn メモリ読み出し／書き込みポインタレジスタ 0 722
16.3.11 CSIHnCFGx — CSIHn コンフィギュレーションレジスタ x 724

16.3.12 CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0 729
16.3.13 CSIHnTX0H — CSIHn ハーフワードアクセス用送信データレジスタ 0 731
16.3.14 CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0 732
16.3.15 CSIHnRX0H — CSIHn ハーフワードアクセス用受信データレジスタ 0 733
16.3.16 CSIHnEMU — CSIHn エミュレーションレジスタ 733
16.3.17 CSIHnBRSy— CSIHn ボーレート設定レジスタ y（y = 0 ～ 3）..... 734
16.3.18 注意事項の一覧 735
16.4 割り込み要因 738
16.4.1 概要 738
16.4.2 割り込み遅延 739
16.4.3 INTCSIHTIC（通信ステータス割り込み）..... 740
16.4.3.1 ダイレクトアクセスモードでの INTCSIHTIC 741
16.4.3.2 FIFO モードでの INTCSIHTIC 742
16.4.3.3 ジョブモードでの INTCSIHTIC 743
16.4.4 INTCSIHTIR（受信ステータス割り込み）..... 744
16.4.4.1 ダイレクトアクセスモードでの INTCSIHTIR 744
16.4.4.2 デュアルバッファモードでの INTCSIHTIR 745
16.4.5 INTCSIHTIRE（通信エラー割り込み）..... 746
16.4.6 INTCSIHTIJC（ジョブ完了割り込み）..... 746
16.5 動作 748
16.5.1 動作モード（マスタ／スレーブ）..... 748
16.5.1.1 マスタモード 748
16.5.1.2 スレーブモード 749
16.5.2 マスタ／スレーブの接続 750
16.5.2.1 マスタ 1、スレーブ 1 の場合 750
16.5.2.2 マスタ 1、スレーブ複数の場合 750
16.5.3 チップセレクト（CS）機能 752
16.5.3.1 コンフィギュレーションレジスタ 752
16.5.3.2 CS の例 754
16.5.3.3 ジョブ概念 754
16.5.4 チップセレクトのタイミングの詳細 755
16.5.4.1 クロック位相の変更 755
16.5.4.2 データ位相の変更 756
16.5.5 送信クロックの選択 758
16.5.6 CSIH のバッファメモリ 760
16.5.6.1 FIFO モード 760
16.5.6.2 デュアルバッファモード 761
16.5.6.3 送信専用バッファモード 761
16.5.6.4 ダイレクトアクセスモード 761
16.5.7 データ転送モード 762
16.5.7.1 送信専用モード 762
16.5.7.2 受信専用モード 762
16.5.7.3 送受信モード 762
16.5.7.4 まとめ 762
16.5.8 データ長の選択 763
16.5.8.1 2 ～ 16 ビットのデータ長 763
16.5.8.2 16 ビットを上回るデータ長 764
16.5.9 シリアルデータ方向選択機能 766
16.5.10 SS（スレーブセレクト）機能 767
16.5.10.1 SS 機能を使用した通信のタイミング 767
16.5.10.2 CSIHTSSO オペレーション 768

16.5.11 ハンドシェーク機能 769
16.5.11.1 スレーブモード 769
16.5.11.2 マスタモード 772
16.5.12 エラー検出 773
16.5.12.1 データ整合性チェック 773
16.5.12.2 パリティチェック 775
16.5.12.3 タイムアウトエラー 776
16.5.12.4 オーバフローエラー 777
16.5.12.5 オーバランエラー 779
16.5.13 ループバックモード 782
16.5.14 CPU 制御による高優先通信機能 784
16.5.15 強制 CS アイドル設定 787
16.6 操作手順 788
16.6.1 ダイレクトアクセスモードでの手順 788
16.6.1.1 マスタモードでジョブモードが無効になっているときの送受信 788
16.6.1.2 マスタモードでジョブモードが有効になっているときの送受信 790
16.6.2 送信専用バッファモードでの手順 792
16.6.2.1 マスタモードでジョブモードが無効になっているときの送受信 792
16.6.2.2 マスタモードでジョブモードが有効になっているときの送受信 794
16.6.3 デュアルバッファモードでの手順 796
16.6.3.1 マスタモードでジョブモードが無効になっているときの送受信 796
16.6.3.2 マスタモードでジョブモードが有効になっているときの送受信 798
16.6.3.3 スレーブモードでジョブモードが無効になっているときの送受信 800
16.6.4 FIFO モードでの手順 802
16.6.4.1 マスタモードでジョブモードが無効になっているときの送受信 802
16.6.4.2 マスタモードでジョブモードが有効になっている送受信 804
16.7 CSIHn RAM のエラー検出／訂正 806
16.7.1 CSIHn RAM ECC 806
16.7.2 割り込み要求 806
16.7.3 ECCCSIHnCTL — CSIHn ECC コントロールレジスタ 807
16.7.4 ECCCSIHnTMC — CSIHn ECC テストモードコントロールレジスタ 809
16.7.5 ECCCSIHnTED — CSIHn ECC エンコード／デコード入出力代替テストレジスタ 811
16.7.6 ECCCSIHnTRC — CSIHn ECC 冗長ビットデータコントロールテストレジスタ 812
16.7.7 ECCCSIHnSYND — CSIHn ECC デコードシンドロームデータレジスタ 812
16.7.8 ECCCSIHnHORD — CSIHn ECC 7 ビット冗長ビットデータ保持テストレジスタ 813
16.7.9 ECCCSIHnECRD — CSIHn ECC エンコードテストレジスタ 813
16.7.10 ECCCSIHnERDB — CSIHn ECC リダンタントビット入出力代替バッファレジスタ 814
16.7.11 SELB_READTEST — ECCREAD テスト選択レジスタ 815

第 17 章 LIN マスタインタフェース（RLIN2） 817
17.1 RH850/F1M RLIN2 の特長 817
17.1.1 ユニット数とチャネル数 817
17.1.2 レジスタベースアドレス 818
17.1.3 クロック供給 818
17.1.4 割り込み要求 818
17.1.5 リセット要因 819
17.1.6 外部入出力信号 819
17.2 概要 820

17.2.1 機能概要 820
17.2.2 ブロック図 821
17.3 レジスタ 822
17.3.1 レジスター覧 822
17.3.2 グローバルレジスタ 823
17.3.2.1 RLN24nGLWBR — LIN ウエイクアップボーレート選択レジスタ 823
17.3.2.2 RLN24nGLBRP0 — LIN ボーレートプリスケーラ 0 レジスタ 824
17.3.2.3 RLN24nGLBRP1 — LIN ボーレートプリスケーラ 1 レジスタ 825
17.3.2.4 RLN24nGLSTC — LIN セルフテスト制御レジスタ 826
17.3.3 チャネルレジスタ 827
17.3.3.1 RLN24nmLiMD — LIN モードレジスタ 827
17.3.3.2 RLN24nmLiBFC — LIN ブレークフィールド設定レジスタ 828
17.3.3.3 RLN24nmLiSC — LIN スペース設定レジスタ 829
17.3.3.4 RLN24nmLiWUP — LIN ウエイクアップ設定レジスタ 830
17.3.3.5 RLN24nmLiIE — LIN 割り込み許可レジスタ 831
17.3.3.6 RLN24nmLiEDE — LIN エラー検出許可レジスタ 832
17.3.3.7 RLN24nmLiCUC — LIN 制御レジスタ 834
17.3.3.8 RLN24nmLiTRC — LIN 送信制御レジスタ 835
17.3.3.9 RLN24nmLiMST — LIN モードステータスレジスタ 836
17.3.3.10 RLN24nmLiST — LIN ステータスレジスタ 837
17.3.3.11 RLN24nmLiEST — LIN エラーステータスレジスタ 839
17.3.3.12 RLN24nmLiDFC — LIN データフィールド設定レジスタ 841
17.3.3.13 RLN24nmLiIDB — LIN ID バッファレジスタ 843
17.3.3.14 RLN24nmLiCBR — LIN チェックサムバッファレジスタ 844
17.3.3.15 RLN24nmLiDBRb — LIN データバッファ b レジスタ 845
17.4 割り込み 要因 847
17.5 モード 848
17.6 LIN リセットモード 850
17.7 LIN 動作モード 851
17.8 LIN ウエイクアップモード 851
17.9 ヘッダ送信 / レスポンス送信 / レスポンス受信 852
17.9.1 ヘッダ送信 852
17.9.2 レスポンス送信 853
17.9.3 レスポンス受信 854
17.10 データ送信／受信 855
17.10.1 データ送信 855
17.10.2 データ受信 856
17.11 送信／受信データのバッファ処理 857
17.11.1 LIN フレームの送信 857
17.11.2 LIN フレームの受信 858
17.12 ウエイクアップ送信／受信 859
17.12.1 ウエイクアップ送信動作 859
17.12.2 ウエイクアップ受信動作 860
17.12.3 ウエイクアップ衝突 860
17.13 ステータス 861
17.14 エラーステータス 862
17.14.1 エラーステータスの種類 862
17.14.2 エラー検出の対象時間領域 863

17.15 LIN セルフテストモード 864
17.15.1 LIN セルフテストモードへの移行 865
17.15.2 LIN セルフテストモードにおける送信 866
17.15.3 LIN セルフテストモードにおける受信 867
17.15.4 LIN セルフテストモード終了 868
17.16 ボーレートジェネレータ 869

第 18 章 LIN/UART インタフェース（RLIN3）..... 870

18.1 RH850/F1M RLIN3 の特長 870
18.1.1 ユニット数とチャネル数 870
18.1.2 レジスタベースアドレス 871
18.1.3 クロック供給 871
18.1.4 割り込み要求 872
18.1.5 リセット要因 872
18.1.6 外部入出力信号 873
18.2 概要 874
18.2.1 機能概要 874
18.2.2 ブロック図 878
18.2.3 ブロック図の説明 878
18.3 レジスタ 879
18.3.1 レジスター覧 879
18.3.2 LIN マスタ関連レジスタ 880
18.3.2.1 RLN3nLWBR — LIN ウエイクアップボーレート選択レジスタ 880
18.3.2.2 RLN3nLBRP0 — LIN ボーレートプリスケーラ 0 レジスタ 881
18.3.2.3 RLN3nLBRP1 — LIN ボーレートプリスケーラ 1 レジスタ 882
18.3.2.4 RLN3nLSTC — LIN セルフテスト制御レジスタ 883
18.3.2.5 RLN3nLMD — LIN モードレジスタ 884
18.3.2.6 RLN3nLBFC — LIN ブレークフィールド設定レジスタ 886
18.3.2.7 RLN3nLSC — LIN スペース設定レジスタ 887
18.3.2.8 RLN3nLWUP — LIN ウエイクアップ設定レジスタ 888
18.3.2.9 RLN3nLIE — LIN 割り込み許可レジスタ 889
18.3.2.10 RLN3nLEDE — LIN エラー検出許可レジスタ 891
18.3.2.11 RLN3nLCUC — LIN 制御レジスタ 893
18.3.2.12 RLN3nLTRC — LIN 送信制御レジスタ 894
18.3.2.13 RLN3nLMST — LIN モードステータスレジスタ 895
18.3.2.14 RLN3nLST — LIN ステータスレジスタ 896
18.3.2.15 RLN3nLEST — LIN エラーステータスレジスタ 898
18.3.2.16 RLN3nLDFC — LIN データフィールド設定レジスタ 900
18.3.2.17 RLN3nLIDB — LIN ID バッファレジスタ 902
18.3.2.18 RLN3nLCBR — LIN チェックサムバッファレジスタ 903
18.3.2.19 RLN3nLDBRb — LIN データバッファ b レジスタ（b = 1 ～ 8）..... 904
18.3.3 LIN スレーブ関連レジスタ 906
18.3.3.1 RLN3nLWBR — LIN ウエイクアップボーレート選択レジスタ 906
18.3.3.2 RLN3nLBRP01 — LIN ボーレートプリスケーラ 01 レジスタ 907
18.3.3.3 RLN3nLSTC — LIN セルフテスト制御レジスタ 908
18.3.3.4 RLN3nLMD — LIN モードレジスタ 909
18.3.3.5 RLN3nLBFC — LIN ブレークフィールド設定レジスタ 910
18.3.3.6 RLN3nLSC — LIN スペース設定レジスタ 911
18.3.3.7 RLN3nLWUP — LIN ウエイクアップ設定レジスタ 912
18.3.3.8 RLN3nLIE — LIN 割り込み許可レジスタ 913
18.3.3.9 RLN3nLEDE — LIN エラー検出許可レジスタ 915

18.3.3.10 RLN3nLCUC — LIN 制御レジスタ 917
18.3.3.11 RLN3nLTRC — LIN 送信制御レジスタ 918
18.3.3.12 RLN3nLMST — LIN モードステータスレジスタ 919
18.3.3.13 RLN3nLST — LIN ステータスレジスタ 920
18.3.3.14 RLN3nLEST — LIN エラーステータスレジスタ 922
18.3.3.15 RLN3nLDFC — LIN データフィールド設定レジスタ 924
18.3.3.16 RLN3nLIDB — LIN ID バッファレジスタ 926
18.3.3.17 RLN3nLCBR — LIN チェックサムバッファレジスタ 927
18.3.3.18 RLN3nLDBRb — LIN データバッファ b レジスタ（b = 1 ～ 8）..... 928
18.3.4 UART 関連レジスタ 929
18.3.4.1 RLN3nLWBR — LIN ウエイクアップボーレート選択レジスタ 929
18.3.4.2 RLN3nLBRP01 — UART ボーレートプリスケーラ 01 レジスタ 930
18.3.4.3 RLN3nLMD — UART モードレジスタ 931
18.3.4.4 RLN3nLBFC — UART 設定レジスタ 932
18.3.4.5 RLN3nLSC — UART スペース設定レジスタ 934
18.3.4.6 RLN3nLEDE — UART エラー検出許可レジスタ 935
18.3.4.7 RLN3nLCUC — UART 制御レジスタ 936
18.3.4.8 RLN3nLTRC — UART 送信制御レジスタ 937
18.3.4.9 RLN3nLMST — UART モードステータスレジスタ 938
18.3.4.10 RLN3nLST — UART ステータスレジスタ 939
18.3.4.11 RLN3nLEST — UART エラーステータスレジスタ 941
18.3.4.12 RLN3nLDFC — UART データフィールド設定レジスタ 943
18.3.4.13 RLN3nLIDB — UART ID バッファレジスタ 944
18.3.4.14 RLN3nLUDB0 — UART データバッファ 0 レジスタ 944
18.3.4.15 RLN3nLDBRb — UART データバッファ b レジスタ（b = 1 ～ 8）..... 945
18.3.4.16 RLN3nLUOER — UART オペレーション許可レジスタ 946
18.3.4.17 RLN3nLUOR1 — UART オプションレジスタ 1 947
18.3.4.18 RLN3nLUTDR — UART 送信データレジスタ 949
18.3.4.19 RLN3nLURDR — UART 受信データレジスタ 950
18.3.4.20 RLN3nLUWTDR — UART ウェイト用送信データレジスタ 951
18.4 割り込み要因 952
18.5 モード 953
18.6 LIN リセットモード 955
18.7 LIN モード 956
18.7.1 LIN マスタモード 959
18.7.1.1 ヘッダ送信 959
18.7.1.2 レスポンス送信 960
18.7.1.3 レスポンス受信 961
18.7.2 LIN スレーブモード 962
18.7.2.1 ヘッダ受信 962
18.7.2.2 レスポンス送信 965
18.7.2.3 レスポンス受信 966
18.7.2.4 レスポンス要求なし 967
18.7.3 データ送信／受信 968
18.7.3.1 データ送信 968
18.7.3.2 データ受信 969
18.7.4 送信／受信データのバッファ処理 970
18.7.4.1 LIN フレームの送信 970
18.7.4.2 LIN フレームの受信 971
18.7.4.3 多バイトレスポンス送受信機能 972
18.7.5 ウエイクアップ送信／受信 973
18.7.5.1 ウエイクアップ送信動作 973
18.7.5.2 ウエイクアップ受信動作 974
18.7.5.3 ウエイクアップ衝突 974

18.7.6 ステータス ... 975
18.7.7 エラーステータス ... 977
18.7.7.1 LIN マスタモード ... 977
18.7.7.2 LIN スレーブモード ... 979
18.8 UART モード ... 981
18.8.1 送信 ... 981
18.8.1.1 連続送信 ... 983
18.8.1.2 UART バッファ送信 ... 984
18.8.1.3 データ送信 ... 986
18.8.1.4 送信開始ウェイト機能 ... 988
18.8.2 受信 ... 989
18.8.2.1 データ受信 ... 990
18.8.3 拡張ビット ... 991
18.8.3.1 拡張ビット送信 ... 991
18.8.3.2 拡張ビット受信 ... 991
18.8.3.3 拡張ビット受信（拡張ビット比較あり） ... 992
18.8.3.4 拡張ビット受信（データ比較あり） ... 993
18.8.4 ステータス ... 994
18.8.5 エラーステータス ... 995
18.9 LIN セルフテストモード ... 996
18.9.1 LIN セルフテストモードへの移行 ... 998
18.9.2 LIN マスタ セルフテストモードにおける送信 ... 999
18.9.3 LIN マスタ セルフテストモードにおける受信 ... 1000
18.9.4 LIN スレーブ セルフテストモードにおける送信 ... 1001
18.9.5 LIN スレーブ セルフテストモードにおける受信 ... 1002
18.9.6 LIN セルフテストモード終了 ... 1003
18.10 ボーレートジェネレータ ... 1004
18.10.1 LIN マスタモード ... 1004
18.10.2 LIN スレーブモード ... 1005
18.10.3 UART モード ... 1006
18.11 ノイズフィルタ ... 1007

第 19 章 I²C バスインタフェース（RIIC） ... 1009
19.1 RH850/F1M RIIC の特長 ... 1009
19.1.1 ユニット数とチャネル数 ... 1009
19.1.2 レジスタベースアドレス ... 1009
19.1.3 クロック供給 ... 1010
19.1.4 割り込み要求 ... 1010
19.1.5 リセット要因 ... 1010
19.1.6 外部入出力信号 ... 1010
19.2 概要 ... 1011
19.2.1 機能概要 ... 1011
19.2.2 ブロック図 ... 1013
19.3 レジスタ ... 1015
19.3.1 レジスター覧 ... 1015
19.3.2 RIICnCR1 — I²C バスコントロールレジスタ 1 ... 1016
19.3.3 RIICnCR2 — I²C バスコントロールレジスタ 2 ... 1019

19.3.4 RIICnMR1 — I2C バスモードレジスタ 1 1023
19.3.5 RIICnMR2 — I2C バスモードレジスタ 2 1025
19.3.6 RIICnMR3 — I2C バスモードレジスタ 3 1027
19.3.7 RIICnFER — I2C バスファンクションイネーブルレジスタ 1030
19.3.8 RIICnSER — I2C バスステータスイネーブルレジスタ 1032
19.3.9 RIICnIER — I2C バスインタラプトイネーブルレジスタ 1034
19.3.10 RIICnSR1 — I2C バスステータスレジスタ 1 1036
19.3.11 RIICnSR2 — I2C バスステータスレジスタ 2 1039
19.3.12 RIICnSARy — I2C スレーブアドレスレジスタ y（y = 0 ～ 2）..... 1044
19.3.13 RIICnBRL — I2C バスビットレートロウレベルレジスタ 1046
19.3.14 RIICnBRH — I2C バスビットレートハイレベルレジスタ 1047
19.3.15 RIICnDRT — I2C バス送信データレジスタ 1050
19.3.16 RIICnDRR — I2C バス受信データレジスタ 1051
19.3.17 RIICnDRS — I2C バスシフトレジスタ 1052
19.4 割り込み要因 1053
19.5 動作 1054
19.5.1 通信データフォーマット 1054
19.5.2 初期設定 1055
19.5.3 マスタ送信動作 1056
19.5.4 マスタ受信動作 1060
19.5.5 スレーブ送信動作 1066
19.5.6 スレーブ受信動作 1069
19.6 SCL 同期回路 1072
19.7 SDA 出力遅延機能 1073
19.8 デジタルノイズフィルタ回路 1074
19.9 アドレス一致検出機能 1075
19.9.1 スレーブアドレス一致検出機能 1075
19.9.2 ジェネラルコールアドレス検出機能 1077
19.9.3 デバイス ID アドレス検出機能 1078
19.10 SCL の自動 Low ホールド機能 1080
19.10.1 送信データ誤送信防止機能 1080
19.10.2 NACK 受信転送中断機能 1081
19.10.3 受信データ取りこぼし防止機能 1082
19.11 アービトレーションロスト検出機能 1084
19.11.1 マスタアービトレーションロスト検出機能（MALE ビット）..... 1084
19.11.2 NACK 送信アービトレーションロスト検出機能（NALE ビット）..... 1086
19.11.3 スレーブアービトレーションロスト検出機能（SALE ビット）..... 1087
19.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 .. 1088
19.12.1 スタートコンディション発行動作 1088
19.12.2 リスタートコンディション発行動作 1088
19.12.3 ストップコンディション発行動作 1090
19.13 バスハングアップ 1091
19.13.1 タイムアウト検出機能 1091
19.13.2 SCL クロック追加出力機能 1093

19.13.3 RIIC/ 内部リセット 1094
19.14 RIIC のリセット機能 1095

第 20 章 CAN インタフェース（RS-CAN）..... 1097
20.1 RH850/F1M RS-CAN の特長 1097
20.1.1 ユニット数とチャネル数 1097
20.1.2 レジスタベースアドレス 1098
20.1.3 クロック供給 1099
20.1.4 割り込み要求 1100
20.1.5 リセット要因 1101
20.1.6 外部入出力信号 1101
20.2 概要 1102
20.2.1 機能概要 1102
20.2.2 ブロック図 1104
20.3 レジスタ 1105
20.3.1 レジスター覧 1105
20.3.2 RSCAN0CmCFG — チャネルコンフィグレーションレジスタ（m = 0 ~ 5）..... 1137
20.3.3 RSCAN0CmCTR — チャネル制御レジスタ（m = 0 ~ 5）..... 1139
20.3.4 RSCAN0CmSTS — チャネルステータスレジスタ（m = 0 ~ 5）..... 1144
20.3.5 RSCAN0CmERFL — チャネルエラーフラグレジスタ（m = 0 ~ 5）..... 1146
20.3.6 RSCAN0GCFG — グローバルコンフィグレーションレジスタ 1150
20.3.7 RSCAN0GCTR — グローバル制御レジスタ 1153
20.3.8 RSCAN0GSTS — グローバルステータスレジスタ 1155
20.3.9 RSCAN0GERFL — グローバルエラーフラグレジスタ 1156
20.3.10 RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0 1158
20.3.11 RSCAN0GTINTSTS1 — グローバル TX 割り込みステータスレジスタ 1 1161
20.3.12 RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ 1163
20.3.13 RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ 1164
20.3.14 RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0 1165
20.3.15 RSCAN0GAFLCFG1 — 受信ルールコンフィグレーションレジスタ 1 1167
20.3.16 RSCAN0GAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）..... 1168
20.3.17 RSCAN0GAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）..... 1170
20.3.18 RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）..... 1171
20.3.19 RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）..... 1173
20.3.20 RSCAN0RMNB — 受信バッファナンバレジスタ 1174
20.3.21 RSCAN0RMNDy — 受信バッファ新データレジスタ（y = 0 ~ 2）..... 1175
20.3.22 RSCAN0RMIDq — 受信バッファ ID レジスタ（q = 0 ~ 95）..... 1176
20.3.23 RSCAN0RMPTRq — 受信バッファポインタレジスタ（q = 0 ~ 95）..... 1177
20.3.24 RSCAN0RMDF0q — 受信バッファデータフィールド 0 レジスタ（q = 0 ~ 95）..... 1178
20.3.25 RSCAN0RMDF1q — 受信バッファデータフィールド 1 レジスタ（q = 0 ~ 95）..... 1179
20.3.26 RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）..... 1180
20.3.27 RSCAN0RFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）..... 1182
20.3.28 RSCAN0RFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）..... 1184
20.3.29 RSCAN0RFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）..... 1185
20.3.30 RSCAN0RFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）..... 1186

20.3.31 RSCAN0RFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ（x = 0 ~ 7）..... 1187
20.3.32 RSCAN0RFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ（x = 0 ~ 7）..... 1188
20.3.33 RSCAN0CFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ~ 17）..... 1189
20.3.34 RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ~ 17）..... 1193
20.3.35 RSCAN0CFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ~ 17）..... 1196
20.3.36 RSCAN0CFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ~ 17）..... 1198
20.3.37 RSCAN0CFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ~ 17）.. 1200
20.3.38 RSCAN0CFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（k = 0 ~ 17）..... 1202
20.3.39 RSCAN0CFDF1k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（k = 0 ~ 17）..... 1203
20.3.40 RSCAN0FESTS — FIFO エンプティステータスレジスタ 1204
20.3.41 RSCAN0FFSTS — FIFO フルステータスレジスタ 1206
20.3.42 RSCAN0FMSTS — FIFO メッセージロストステータスレジスタ 1208
20.3.43 RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ 1210
20.3.44 RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ 1211
20.3.45 RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ 1213
20.3.46 RSCAN0TMCp — 送信バッファ制御レジスタ（p = 0 ~ 95）..... 1214
20.3.47 RSCAN0TMSTSp — 送信バッファステータスレジスタ（p = 0 ~ 95）..... 1216
20.3.48 RSCAN0TMTRSTSy — 送信バッファ送信要求ステータスレジスタ（y = 0 ~ 2）..... 1218
20.3.49 RSCAN0TMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ（y = 0 ~ 2）..... 1220
20.3.50 RSCAN0TMTCSTSy — 送信バッファ送信完了ステータスレジスタ（y = 0 ~ 2）..... 1222
20.3.51 RSCAN0TMTASTSy — 送信バッファ送信アボートステータスレジスタ（y = 0 ~ 2）.. 1224
20.3.52 RSCAN0TMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（y = 0 ~ 2）..... 1226
20.3.53 RSCAN0TMIDp — 送信バッファ ID レジスタ（p = 0 ~ 95）..... 1228
20.3.54 RSCAN0TMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 95）..... 1230
20.3.55 RSCAN0TMDF0p — 送信バッファデータフィールド 0 レジスタ（p = 0 ~ 95）..... 1231
20.3.56 RSCAN0TMDF1p — 送信バッファデータフィールド 1 レジスタ（p = 0 ~ 95）..... 1232
20.3.57 RSCAN0TXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0 ~ 5）1233
20.3.58 RSCAN0TXQSTSm — 送信キューステータスレジスタ（m = 0 ~ 5）..... 1235
20.3.59 RSCAN0TXQPCTRm — 送信キューポインタ制御レジスタ（m = 0 ~ 5）..... 1237
20.3.60 RSCAN0THLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0 ~ 5）.... 1238
20.3.61 RSCAN0THLSTSm — 送信履歴ステータスレジスタ（m = 0 ~ 5）..... 1240
20.3.62 RSCAN0THLACCm — 送信履歴アクセスレジスタ（m = 0 ~ 5）..... 1242
20.3.63 RSCAN0THLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0 ~ 5）..... 1243
20.3.64 RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ 1244
20.3.65 RSCAN0GTSTCTR — グローバルテスト制御レジスタ 1246
20.3.66 RSCAN0GLOCKK — グローバルロックキーレジスタ 1247
20.3.67 RSCAN0RPGACCr — RAM テストページアクセスレジスタ（r = 0 ~ 63）..... 1248
20.4 割り込み要因 1249
20.5 CAN モード 1253
20.5.1 グローバルモード..... 1253

20.5.1.1 グローバルストップモード 1254
20.5.1.2 グローバルリセットモード 1254
20.5.1.3 グローバルテストモード 1255
20.5.1.4 グローバル動作モード 1255
20.5.2 チャネルモード 1256
20.5.2.1 チャネルストップモード 1257
20.5.2.2 チャネルリセットモード 1257
20.5.2.3 チャネル待機モード 1257
20.5.2.4 チャネル通信モード 1258
20.5.2.5 バスオフ状態 1258
20.6 受信機能 1261
20.6.1 受信ルールテーブルを用いたデータ処理 1261
20.6.1.1 アクセプタンスフィルタ処理 1262
20.6.1.2 DLC フィルタ処理 1262
20.6.1.3 ルーティング処理 1263
20.6.1.4 ラベル付加処理 1263
20.6.1.5 ミラー機能の処理 1263
20.6.1.6 タイムスタンプ 1263
20.7 送信機能 1265
20.7.1 送信の優先順位判定 1266
20.7.2 送信バッファを用いた送信 1266
20.7.2.1 送信アボート機能 1266
20.7.2.2 ワンショット送信機能（再送信禁止機能） 1266
20.7.3 FIFO バッファによる送信 1267
20.7.3.1 インターバル送信機能 1267
20.7.4 送信キューによる送信 1269
20.7.5 送信履歴機能 1270
20.8 ゲートウェイ機能 1271
20.9 テスト機能 1272
20.9.1 標準テストモード 1272
20.9.2 リッスンオンリモード 1272
20.9.3 セルフテストモード（ループバックモード） 1273
20.9.3.1 セルフテストモード 0（外部ループバックモード） 1273
20.9.3.2 セルフテストモード 1（内部ループバックモード） 1273
20.9.4 RAM テスト 1274
20.9.5 チャネル間通信テスト 1274
20.10 RS-CAN の設定手順 1276
20.10.1 初期設定 1276
20.10.1.1 クロックの設定 1278
20.10.1.2 ビットタイミングの設定 1278
20.10.1.3 通信速度の設定 1279
20.10.1.4 受信ルールの設定 1280
20.10.1.5 バッファの設定 1281
20.10.2 受信手順 1283
20.10.2.1 受信バッファの読み出し手順 1283
20.10.2.2 FIFO バッファの読み出し手順 1285
20.10.3 送信手順 1288
20.10.3.1 送信バッファからの送信手順 1288
20.10.3.2 送受信 FIFO バッファからの送信手順 1292
20.10.3.3 送信キューからの送信手順 1295
20.10.3.4 送信履歴バッファの読み出し手順 1296

20.10.4 テスト設定 1297
20.10.4.1 セルフテストモードの設定手順 1297
20.10.4.2 プロテクト解除手順 1298
20.10.4.3 RAM テストの設定手順 1299
20.10.4.4 チャネル間通信テストの設定手順 1300
20.11 RS-CAN RAM のエラー検出／訂正 1301
20.11.1 RSCAN0 RAM ECC 1301
20.11.2 割り込み要求 1301
20.11.3 レジスター覧 1302
20.11.4 ECCRCANzCTL — RSCAN0 ECC コントロールレジスタ（z = 0/00/01） 1303
20.11.5 ECCRCANzTMC — RSCAN0 ECC テストモードコントロールレジスタ（z = 0/00/01） 1305
20.11.6 ECCRCANzTED — RSCAN0 ECC エンコード／デコード入出力代替テストレジスタ（z = 0/00/01） 1307
20.11.7 ECCRCANzTRC — RSCAN0 ECC 冗長ビットデータコントロールテストレジスタ（z = 0/00/01） 1308
20.11.8 ECCRCANzSYND — RSCAN0 ECC デコードシンドロームデータレジスタ（z = 0/00/01） 1309
20.11.9 ECCRCANzHORD — RSCAN0 ECC 7 ビット冗長ビットデータ保持テストレジスタ（z = 0/00/01） 1310
20.11.10 ECCRCANzECRD — RSCAN0 ECC エンコードテストレジスタ（z = 0/00/01） 1310
20.11.11 ECCRCANzERDB — RSCAN0 ECC リダンタントビット入出力代替バッファレジスタ（z = 0/00/01） 1311
20.11.12 SELB_READTEST — ECCREAD テスト選択レジスタ 1311
20.12 RS-CAN モジュールの注意事項 1312

第 21 章 FlexRay（FLXA） 1313
21.1 RH850/F1M FLXA の特長 1313
21.1.1 ユニット数とチャネル数 1313
21.1.2 レジスタベースアドレス 1314
21.1.3 クロック供給 1314
21.1.4 割り込み要求 1314
21.1.5 リセット要因 1315
21.1.6 外部入出力信号 1315
21.1.7 機能 1316
21.1.8 ブロック図 1317
21.2 レジスタ 1320
21.2.1 レジスター覧 1320
21.2.2 FlexRay 動作レジスタ 1324
21.2.2.1 FLXAnFROC — FlexRay 動作制御レジスタ 1324
21.2.2.2 FLXAnFROS — FlexRay 動作ステータスレジスタ 1327
21.2.3 特殊レジスタ 1330
21.2.3.1 FLXAnFRTEST1 — FlexRay テストレジスタ 1 1330
21.2.3.2 FLXAnFRTEST2 — FlexRay テストレジスタ 2 1336
21.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ 1338
21.2.4 割り込み関連レジスタ 1339
21.2.4.1 FLXAnFREIR — FlexRay エラー割り込みレジスタ 1339
21.2.4.2 FLXAnFRSIR — FlexRay ステータス割り込みレジスタ 1345
21.2.4.3 FLXAnFREILS — FlexRay エラー割り込み出力選択レジスタ 1351

21.2.4.4 FLXAnFRSILS — FlexRay ステータス割り込み出力選択レジスタ 1353
21.2.4.5 FLXAnFREIES — FlexRay エラー割り込み許可レジスタ 1355
21.2.4.6 FLXAnFREIER — FlexRay エラー割り込み禁止レジスタ 1357
21.2.4.7 FLXAnFRSIES — FlexRay ステータス割り込み許可レジスタ 1359
21.2.4.8 FLXAnFRSIER — FlexRay ステータス割り込み禁止レジスタ 1361
21.2.4.9 FLXAnFRILE — FlexRay 割り込み出力許可レジスタ 1363
21.2.5 FlexRay タイマレジスタ 1364
21.2.5.1 FLXAnFRT0C — FlexRay タイマ 0 設定レジスタ 1364
21.2.5.2 FLXAnFRT1C — FlexRay タイマ 1 設定レジスタ 1366
21.2.5.3 FLXAnFRT2C — FlexRay タイマ 2 設定レジスタ 1368
21.2.5.4 FLXAnFRSTPW1 — FlexRay ストップウォッチレジスタ 1 1370
21.2.5.5 FLXAnFRSTPW2 — FlexRay ストップウォッチレジスタ 2 1373
21.2.6 CC 制御レジスタ 1374
21.2.6.1 FLXAnFRSUCC1 — FlexRay SUC 設定レジスタ 1..... 1374
21.2.6.2 FLXAnFRSUCC2 — FlexRay SUC 設定レジスタ 2..... 1382
21.2.6.3 FLXAnFRSUCC3 — FlexRay SUC 設定レジスタ 3..... 1384
21.2.6.4 FLXAnFRNEMC — FlexRay NEM 設定レジスタ 1386
21.2.6.5 FLXAnFRPRTC1 — FlexRay PRT 設定レジスタ 1 1387
21.2.6.6 FLXAnFRPRTC2 — FlexRay PRT 設定レジスタ 2 1390
21.2.6.7 FLXAnFRMHDC — FlexRay MHD 設定レジスタ 1392
21.2.6.8 FLXAnFRGTUC1 — FlexRay GTU 設定レジスタ 1..... 1393
21.2.6.9 FLXAnFRGTUC2 — FlexRay GTU 設定レジスタ 2..... 1394
21.2.6.10 FLXAnFRGTUC3 — FlexRay GTU 設定レジスタ 3..... 1395
21.2.6.11 FLXAnFRGTUC4 — FlexRay GTU 設定レジスタ 4..... 1397
21.2.6.12 FLXAnFRGTUC5 — FlexRay GTU 設定レジスタ 5..... 1399
21.2.6.13 FLXAnFRGTUC6 — FlexRay GTU 設定レジスタ 6 1401
21.2.6.14 FLXAnFRGTUC7 — FlexRay GTU 設定レジスタ 7 1402
21.2.6.15 FLXAnFRGTUC8 — FlexRay GTU 設定レジスタ 8..... 1403
21.2.6.16 FLXAnFRGTUC9 — FlexRay GTU 設定レジスタ 9..... 1404
21.2.6.17 FLXAnFRGTUC10 — FlexRay GTU 設定レジスタ 10 1406
21.2.6.18 FLXAnFRGTUC11 — FlexRay GTU 設定レジスタ 11..... 1407
21.2.7 CC ステータスレジスタ 1409
21.2.7.1 FLXAnFRCCSV — FlexRay CC ステータスベクタレジスタ 1409
21.2.7.2 FLXAnFRCCEV — FlexRay CC エラーベクタレジスタ..... 1414
21.2.7.3 FLXAnFRSCV — FlexRay スロットカウンタ値レジスタ 1416
21.2.7.4 FLXAnFRMTCCV — FlexRay MT 値 / サイクルカウンタ値レジスタ 1417
21.2.7.5 FLXAnFRRCV — FlexRay レート補正値レジスタ 1418
21.2.7.6 FLXAnFROCV — FlexRay オフセット補正値レジスタ 1419
21.2.7.7 FLXAnFRSFS — FlexRay Sync フレームステータスレジスタ 1420
21.2.7.8 FLXAnFRSWNIT — FlexRay シンボルウィンドウ /NIT ステータスレジスタ 1423
21.2.7.9 FLXAnFRACS — FlexRay チャネルステータス集計レジスタ 1426
21.2.7.10 FLXAnFRESIDm — FlexRay 偶数 Sync ID レジスタ m（m = 1 ～ 15）..... 1430
21.2.7.11 FLXAnFROSIDm — FlexRay 奇数 Sync ID レジスタ m（m = 1 ～ 15）..... 1432
21.2.7.12 FLXAnFRNMVm — FlexRay ネットワーク管理ベクタレジスタ m（m = 1 ～ 3）
..... 1434
21.2.8 メッセージバッファ制御レジスタ 1435
21.2.8.1 FLXAnFRMRC — FlexRay メッセージ RAM 設定レジスタ 1435
21.2.8.2 FLXAnFRFRF — FlexRay FIFO リジェクションフィルタレジスタ 1439
21.2.8.3 FLXAnFRFRFM — FlexRay FIFO リジェクションフィルタマスクレジスタ 1441
21.2.8.4 FLXAnFRFCL — FlexRay FIFO クリティカルレベルレジスタ 1442
21.2.9 メッセージバッファステータスレジスタ 1443
21.2.9.1 FLXAnFRMHDS — FlexRay メッセージハンドラステータスレジスタ 1443
21.2.9.2 FLXAnFRLDTS — FlexRay 最終ダイナミック送信スロットレジスタ 1447
21.2.9.3 FLXAnFRFSR — FlexRay FIFO ステータスレジスタ 1448
21.2.9.4 FLXAnFRMHDF — FlexRay メッセージハンドラ制限フラグレジスタ 1450
21.2.9.5 FLXAnFRTXRQi — FlexRay 送信要求レジスタ i（i = 1 ～ 4）..... 1454
21.2.9.6 FLXAnFRNDATi — FlexRay 新データレジスタ i（i = 1 ～ 4）..... 1455

21.2.9.7 FLXAnFRMBSCi — FlexRay メッセージバッファステータス変化レジスタ i（i = 1 ～ 4） ... 1456
21.2.10 入力バッファ ... 1457
21.2.10.1 FLXAnFRWRDSx — FlexRay データセクションライトレジスタ x（x = 1 ～ 64） ... 1458
21.2.10.2 FLXAnFRWRHS1 — FlexRay ヘッダセクションライトレジスタ 1 ... 1459
21.2.10.3 FLXAnFRWRHS2 — FlexRay ヘッダセクションライトレジスタ 2 ... 1462
21.2.10.4 FLXAnFRWRHS3 — FlexRay ヘッダセクションライトレジスタ 3 ... 1463
21.2.10.5 FLXAnFRIBCM — FlexRay 入力バッファコマンドマスクレジスタ ... 1464
21.2.10.6 FLXAnFRIBCR — FlexRay 入力バッファコマンド要求レジスタ ... 1466
21.2.11 出力バッファ ... 1468
21.2.11.1 FLXAnFRRDDSx — FlexRay データセクションリードレジスタ x（x = 1 ～ 64） ... 1468
21.2.11.2 FLXAnFRRDHS1 — FlexRay ヘッダセクションリードレジスタ 1 ... 1470
21.2.11.3 FLXAnFRRDHS2 — FlexRay ヘッダセクションリードレジスタ 2 ... 1472
21.2.11.4 FLXAnFRRDHS3 — FlexRay ヘッダセクションリードレジスタ 3 ... 1474
21.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ ... 1476
21.2.11.6 FLXAnFROBCM — FlexRay 出力バッファコマンドマスクレジスタ ... 1482
21.2.11.7 FLXAnFROBCR — FlexRay 出力バッファコマンド要求レジスタ ... 1484
21.2.12 データ転送制御レジスタ ... 1487
21.2.12.1 FLXAnFRITC — FlexRay 入力転送設定レジスタ ... 1487
21.2.12.2 FLXAnFROTC — FlexRay 出力転送設定レジスタ ... 1490
21.2.12.3 FLXAnFRIBA — FlexRay 入力ポインタテーブルベースアドレスレジスタ ... 1493
21.2.12.4 FLXAnFRFBA — FlexRay FIFO ポインタテーブルベースアドレスレジスタ ... 1494
21.2.12.5 FLXAnFROBA — FlexRay 出力ポインタテーブルベースアドレスレジスタ ... 1495
21.2.12.6 FLXAnFRIQC — FlexRay 入力キュー制御レジスタ ... 1496
21.2.12.7 FLXAnFRUIR — FlexRay ユーザ入力転送要求レジスタ ... 1497
21.2.12.8 FLXAnFRUOR — FlexRay ユーザ出力転送要求レジスタ ... 1498
21.2.12.9 FLXAnFRAHBC — FlexRay H-Bus 設定レジスタ ... 1500
21.2.13 データ転送ステータスレジスタ ... 1501
21.2.13.1 FLXAnFRITS — FlexRay 入力転送ステータスレジスタ ... 1501
21.2.13.2 FLXAnFROTS — FlexRay 出力転送ステータスレジスタ ... 1505
21.2.13.3 FLXAnFRAES — FlexRay アクセスエラーステータスレジスタ ... 1511
21.2.13.4 FLXAnFRAEA — FlexRay アクセスエラーアドレスレジスタ ... 1514
21.2.13.5 FLXAnFRDAi — FlexRay メッセージデータ使用可能レジスタ i（i = 0 ～ 3） ... 1515
21.3 機能説明 ... 1517
21.3.1 FlexRay モジュール動作制御 ... 1517
21.3.1.1 FlexRay モジュールイネーブル ... 1517
21.3.1.2 FlexRay モジュールディセーブル ... 1517
21.3.2 通信サイクル ... 1519
21.3.2.1 スタティックセグメント ... 1519
21.3.2.2 ダイナミックセグメント ... 1520
21.3.2.3 シンボルウィンドウ ... 1520
21.3.2.4 ネットワークアイドル時間（NIT） ... 1520
21.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定 ... 1521
21.3.3 通信モード ... 1522
21.3.3.1 タイムトリガ式分散（TT-D） ... 1522
21.3.4 クロック同期 ... 1523
21.3.4.1 グローバルタイム ... 1523
21.3.4.2 ローカルタイム ... 1523
21.3.4.3 同期プロセス ... 1523
21.3.5 エラー処理 ... 1525
21.3.5.1 クロック補正失敗カウンタ ... 1525
21.3.5.2 Passive-to-Active カウンタ ... 1526
21.3.5.3 HALT コマンド ... 1526

21.3.5.4 FREEZE コマンド 1526
21.3.6 通信コントローラの状態 1527
21.3.6.1 通信コントローラ状態遷移図 1527
21.3.6.2 DEFAULT_CONFIG 状態 1529
21.3.6.3 CONFIG 状態 1529
21.3.6.4 READY 状態 1530
21.3.6.5 WAKEUP 状態 1531
21.3.6.6 STARTUP 状態 1535
21.3.6.7 NORMAL_ACTIVE 状態 1540
21.3.6.8 NORMAL_PASSIVE 状態 1541
21.3.6.9 HALT 状態 1542
21.3.7 ネットワーク管理 1543
21.3.8 フィルタリングとマスキング 1544
21.3.8.1 スロットカウンタフィルタリング 1544
21.3.8.2 サイクルカウンタフィルタリング 1545
21.3.8.3 チャネル ID フィルタリング 1546
21.3.8.4 FIFO フィルタリング 1546
21.3.9 送信プロセス 1547
21.3.9.1 スタティックセグメント 1547
21.3.9.2 ダイナミックセグメント 1547
21.3.9.3 送信バッファ 1547
21.3.9.4 フレーム送信 1548
21.3.9.5 Null フレーム送信 1549
21.3.10 受信プロセス 1549
21.3.10.1 専用受信バッファ 1549
21.3.10.2 フレーム受信 1549
21.3.10.3 Null フレーム受信 1550
21.3.11 FIFO 機能 1551
21.3.11.1 解説 1551
21.3.11.2 FIFO の設定 1552
21.3.11.3 FIFO へのアクセス 1553
21.3.12 メッセージハンドリング 1553
21.3.12.1 メッセージバッファの設定変更 1553
21.3.12.2 メッセージ RAM へのアクセス 1555
21.3.12.3 FlexRay プロトコルコントローラからメッセージ RAM へのアクセス 1562
21.3.13 メッセージ RAM 1563
21.3.13.1 ヘッダパーティション 1565
21.3.13.2 データパーティション 1569
21.3.13.3 メッセージデータ安全性チェック 1570
21.3.13.4 アクセスエラーの処理 1572
21.3.14 割り込み 1573
21.3.15 FlexRay 設定パラメータ 1574
21.3.16 データ転送の使用法 1576
21.3.16.1 入力データ転送 1577
21.3.16.2 出力データ転送 1587
21.3.16.3 データ構造転送のスケジューリング 1597
21.3.16.4 データ転送アクセスエラーの場合の動き 1598
21.3.16.5 RAM 読み出しエラーの場合の動作 1600
21.3.16.6 データ転送のタイミング 1602
21.3.17 バイトアライメント 1605
21.3.17.1 リトルエンディアンアライメント 1605
21.3.17.2 ビッグエンディアンアライメント 1606
21.4 FlexRay RAM のエラー検出／訂正 1607
21.4.1 FlexRay RAM ECC 1607

21.4.2 割り込み要求 1607
21.4.3 レジスタ名一覧 1608
21.4.4 ECCFLXA0CTL/ECCFLXA0T0CTL/ECCFLXA0T1CTL — FlexRay ECC コントロールレジスタ 1609
21.4.5 ECCFLXA0TMC/ECCFLXA0T0TMC/ECCFLXA0T1TMC — FlexRay ECC テストモードコントロールレジスタ 1611
21.4.6 ECCFLXA0TED/ECCFLXA0T0TED/ECCFLXA0T1TED — FlexRay ECC エンコード／デコード入出力代替テストレジスタ 1613
21.4.7 ECCFLXA0TRC/ECCFLXA0T0TRC/ECCFLXA0T1TRC — FlexRay ECC 冗長ビットデータコントロールテストレジスタ 1614
21.4.8 ECCFLXA0SYND/ECCFLXA0T0SYND/ECCFLXA0T1SYND — FlexRay ECC デコードシンドロームデータレジスタ 1615
21.4.9 ECCFLXA0HORD/ECCFLXA0T0HORD/ECCFLXA0T1HORD — FlexRay ECC 7 ビット冗長ビットデータ保持テストレジスタ 1616
21.4.10 ECCFLXA0ECRD/ECCFLXA0T0ECRD/ECCFLXA0T1ECRD — FlexRay ECC エンコードテストレジスタ 1617
21.4.11 ECCFLXA0ERDB/ECCFLXA0T0ERDB/ECCFLXA0T1ERDB — FlexRay ECC リダンタントビット入出力代替バッファレジスタ 1618
21.4.12 SELB_READTEST — ECCREAD テスト選択レジスタ 1618

第 22 章　ウインドウウォッチドッグタイマ（WDTA） 1619

22.1 RH850/F1M WDTA の特長 1619
22.1.1 ユニット数とチャネル数 1619
22.1.2 レジスタベースアドレス 1619
22.1.3 クロック供給 1620
22.1.4 割り込み要求 1620
22.1.5 リセット要因 1620
22.2 概要 1621
22.2.1 機能概要 1621
22.2.2 ブロック図 1622
22.3 レジスタ 1623
22.3.1 レジスター覧 1623
22.3.2 WDTAnWDTE — WDTA イネーブルレジスタ 1624
22.3.3 WDTAnEVAC — WDTA イネーブル VAC レジスタ 1626
22.3.4 WDTAnREF — WDTA 基準値レジスタ 1627
22.3.5 WDTAnMD — WDTA モードレジスタ 1628
22.4 割り込み要因 1630
22.5 機能 1631
22.5.1 リセット解除後の WDTA 1631
22.5.1.1 スタートモード 1631
22.5.1.2 リセット解除後の WDTA の設定 1631
22.5.1.3 デフォルトスタートモードのタイミング 1632
22.5.1.4 ソフトウェアトリガスタートモードのタイミング 1633
22.5.2 WDTA トリガ 1634
22.5.2.1 VAC 機能使用時の起動コードの計算 1634
22.5.3 WDTA エラー検出 1635
22.5.3.1 WDTA エラーモード 1635
22.5.4 75%割り込み要求信号 1637

22.5.5 ウインドウ機能 1638

第 23 章 OS タイマ（OSTM）..... 1639

23.1 RH850/F1M OSTM の特長 1639

23.1.1 ユニット数 1639
23.1.2 レジスタベースアドレス 1639
23.1.3 クロック供給 1640
23.1.4 割り込み要求 1640
23.1.5 リセット要因 1640

23.2 概要 1641

23.2.1 機能概要 1641
23.2.2 ブロック図 1641
23.2.3 カウントクロック 1641
23.2.4 割り込み要求（OSTMTINT）..... 1642

23.3 レジスタ 1643

23.3.1 レジスター覧 1643
23.3.2 OSTMnCMP — OSTMn コンペアレジスタ 1644
23.3.3 OSTMnCNT — OSTMn カウンタレジスタ 1645
23.3.4 OSTMnTE — OSTMn カウントイネーブルステータスレジスタ 1646
23.3.5 OSTMnTS — OSTMn カウント開始トリガレジスタ 1647
23.3.6 OSTMnTT — OSTMn カウント停止トリガレジスタ 1647
23.3.7 OSTMnCTL — OSTMn 制御レジスタ 1648
23.3.8 OSTMnEMU — OSTMn エミュレーションレジスタ 1649

23.4 動作 1650

23.4.1 OSTM の起動と停止 1650
23.4.2 インターバルタイマモード 1650
23.4.2.1 インターバルタイマモードの基本動作 1650
23.4.2.2 OSTMnCMP = 0000 0000_H の場合の動作 1653
23.4.2.3 インターバルタイマモードの設定手順 1653
23.4.3 フリーランニングコンペアモード 1654
23.4.3.1 フリーランニングコンペアモードの基本動作 1654
23.4.3.2 OSTMnCMP = 0000 0000_H の場合の動作 1655
23.4.3.3 フリーランニングコンペアモードの設定手順 1656

第 24 章 タイマアレイユニット B（TAUB）..... 1657

24.1 RH850/F1M TAUB の特長 1657

24.1.1 ユニット数とチャネル数 1657
24.1.2 レジスタベースアドレス 1657
24.1.3 クロック供給 1658
24.1.4 割り込み要求 1658
24.1.5 リセット要因 1659
24.1.6 外部入出力信号 1659

24.2 概要 1661

24.2.1 機能概要 1661
24.2.2 用語 1662
24.2.3 タイマ動作機能一覧 1664

24.2.4 入出力と割り込み要求信号 1665
24.2.5 ブロック図 1666
24.2.6 ブロック図の説明 1667
24.3 レジスタ 1668
24.3.1 レジスター覧 1668
24.3.2 TAUBn プリスケーラレジスタの詳細 1669
24.3.2.1 TAUBnTPS — TAUBn プリスケーラクロック選択レジスタ 1669
24.3.3 TAUBn 制御レジスタの詳細 1672
24.3.3.1 TAUBnCDRm — TAUBn チャネルデータレジスタ 1672
24.3.3.2 TAUBnCNTm — TAUBn チャネルカウンタレジスタ 1673
24.3.3.3 TAUBnCMORm — TAUBn チャネルモード OS レジスタ 1674
24.3.3.4 TAUBnCMURm — TAUBn チャネルモードユーザレジスタ 1677
24.3.3.5 TAUBnCSRm — TAUBn チャネルステータスレジスタ 1678
24.3.3.6 TAUBnCSCm — TAUBn チャネルステータスクリアレジスタ 1679
24.3.3.7 TAUBnTS — TAUBn チャネルスタートトリガレジスタ 1680
24.3.3.8 TAUBnTE — TAUBn チャネル許可ステータスレジスタ 1680
24.3.3.9 TAUBnTT — TAUBn チャネルストップトリガレジスタ 1681
24.3.4 TAUBn 一斉書き換えレジスタの詳細 1682
24.3.4.1 TAUBnRDE — TAUBn チャネルリロードデータ許可レジスタ 1682
24.3.4.2 TAUBnRDS — TAUBn チャネルリロードデータ制御チャネル選択レジスタ 1682
24.3.4.3 TAUBnRDM — TAUBn チャネルリロードデータモードレジスタ 1683
24.3.4.4 TAUBnRDC — TAUBn チャネルリロードデータ制御レジスタ 1683
24.3.4.5 TAUBnRDT — TAUBn チャネルリロードデータトリガレジスタ 1684
24.3.4.6 TAUBnRSF — TAUBn チャネルリロードステータスレジスタ 1684
24.3.5 TAUBn 出力レジスタの詳細 1685
24.3.5.1 TAUBnTOE — TAUBn チャネル出力許可レジスタ 1685
24.3.5.2 TAUBnTO — TAUBn チャネル出力レジスタ 1685
24.3.5.3 TAUBnTOM — TAUBn チャネル出力モードレジスタ 1686
24.3.5.4 TAUBnTOC — TAUBn チャネル出力コンフィギュレーションレジスタ 1687
24.3.5.5 TAUBnTOL — TAUBn チャネル出力レベルレジスタ 1687
24.3.6 TAUBn のデッドタイム出力レジスタの詳細 1688
24.3.6.1 TAUBnTDE — TAUBn チャネルデッドタイム出力許可レジスタ 1688
24.3.6.2 TAUBnTDL — TAUBn チャネルデッドタイム出力レベルレジスタ 1688
24.3.7 TAUBn エミュレーションレジスタ 1689
24.3.7.1 TAUBnEMU — TAUBn エミュレーションレジスタ 1689
24.4 操作手順 1690
24.5 チャネル連動動作機能の概念 1691
24.5.1 チャネル連動動作機能のルール 1691
24.5.2 連動チャネルカウンタの同時動作開始／停止 1693
24.5.2.1 ユニット内の連動チャネルカウンタの同時動作開始／停止 1693
24.6 一斉書き換え 1694
24.6.1 動作概要 1694
24.6.2 一斉書き換えの制御方法 1695
24.6.2.1 初期設定 1696
24.6.2.2 カウント開始とカウント動作 1696
24.6.2.3 一斉書き換え 1696
24.6.3 一斉書き換えのその他の基本ルール 1697
24.6.4 一斉書き換えの種類 1698
24.6.4.1 マスタチャネルがカウントを再開／開始した場合の一斉書き換え（方法 A） 1698
24.6.4.2 スレーブチャネルの三角波の [山] のタイミングで一斉書き換え（方法 B） 1700
24.6.4.3 TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合の一斉書き換え（方法 C1） 1701

24.7 チャネル出力モード 1703
24.7.1 チャネル出力モードを指定するための基本手順 1705
24.7.2 TAUBn 信号により単体制御されるチャネル出力モード 1706
24.7.2.1 チャネル単体出力モード 1 1706
24.7.2.2 チャネル単体出力モード 2 1706
24.7.3 TAUBn 信号により連動制御されるチャネル出力モード 1706
24.7.3.1 チャネル連動出力モード 1 1706
24.7.3.2 チャネル連動出力モード 2 1707
24.7.3.3 デッドタイム出力を行うチャネル連動出力モード 2 1707
24.8 各動作モードでのカウント開始タイミング 1709
24.8.1 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモード 1709
24.8.2 イベントカウントモード 1710
24.8.3 その他の動作モード 1710
24.9 カウント開始／リスタート時の TAUBTTOUTm 出力と INTTAUBnIm 生成 1711
24.10 オーバフロー時の割り込み発生 1712
24.10.1 TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせ例 1713
24.10.2 TAUBTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の組み合わせ例 1714
24.10.3 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ例 1715
24.10.4 TAUBTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の組み合わせ例 1716
24.11 TAUBTTINm エッジ検出 1717
24.12 チャネル単体動作機能 1718
24.12.1 インターバルタイマ機能 1718
24.12.1.1 概要 1718
24.12.1.2 算出式 1718
24.12.1.3 ブロック図と基本タイミング図 1719
24.12.1.4 レジスタ設定 1720
24.12.1.5 インターバルタイマ機能の操作手順 1722
24.12.1.6 特定の設定時のタイミング図 1723
24.12.2 TAUBTTINm 入力インターバルタイマ機能 1728
24.12.2.1 概要 1728
24.12.2.2 ブロック図と基本タイミング図 1729
24.12.2.3 レジスタ設定 1730
24.12.2.4 TAUBTTINm 入力インターバルタイマ機能の操作手順 1731
24.12.2.5 特定の設定時のタイミング図 1732
24.12.3 クロック分周機能 1733
24.12.3.1 概要 1733
24.12.3.2 ブロック図と基本タイミング図 1734
24.12.3.3 レジスタ設定 1735
24.12.3.4 クロック分周機能の操作手順 1736
24.12.3.5 特定の設定時のタイミング図 1737
24.12.4 外部イベントカウント機能 1739
24.12.4.1 概要 1739
24.12.4.2 算出式 1739
24.12.4.3 ブロック図と基本タイミング図 1740
24.12.4.4 レジスタ設定 1741
24.12.4.5 外部イベントカウント機能の操作手順 1742
24.12.4.6 特定の設定時のタイミング図 1743

24.12.5　ワンパルス出力機能 1745
24.12.5.1　概要 1745
24.12.5.2　算出式 1746
24.12.5.3　ブロック図と基本タイミング図 1746
24.12.5.4　レジスタ設定 1747
24.12.5.5　ワンパルス出力機能の操作手順 1748
24.12.6　TAUBTTINm 入力パルスインターバル測定機能 1749
24.12.6.1　概要 1749
24.12.6.2　算出式 1750
24.12.6.3　ブロック図と基本タイミング図 1751
24.12.6.4　レジスタ設定 1752
24.12.6.5　TAUBTTINm 入力パルスインターバル測定機能の操作手順 1753
24.12.6.6　特定の設定時のタイミング図：オーバフロー動作 1754
24.12.7　TAUBTTINm 入力信号幅測定機能 1760
24.12.7.1　概要 1760
24.12.7.2　算出式 1761
24.12.7.3　ブロック図と基本タイミング図 1761
24.12.7.4　レジスタ設定 1762
24.12.7.5　TAUBTTINm 入力信号幅測定機能の操作手順 1763
24.12.7.6　特定の設定時のタイミング図：オーバフロー動作 1764
24.12.8　TAUBTTINm 入力位置検出機能 1769
24.12.8.1　概要 1769
24.12.8.2　算出式 1769
24.12.8.3　ブロック図と基本タイミング図 1770
24.12.8.4　レジスタ設定 1771
24.12.8.5　TAUBTTINm 入力位置検出機能の操作手順 1772
24.12.8.6　特定の設定時のタイミング図 1773
24.12.9　TAUBTTINm 入力期間カウント検出機能 1774
24.12.9.1　概要 1774
24.12.9.2　算出式 1774
24.12.9.3　ブロック図と基本タイミング図 1775
24.12.9.4　レジスタ設定 1776
24.12.9.5　TAUBTTINm 入力期間カウント検出機能の操作手順 1777
24.12.9.6　特定の設定時のタイミング図 1778
24.12.10 TAUBTTINm 入力パルスインターバル判定機能 1779
24.12.10.1 概要 1779
24.12.10.2 ブロック図と基本タイミング図 1780
24.12.10.3 レジスタ設定 1781
24.12.10.4 TAUBTTINm 入力パルスインターバル判定機能の操作手順 1782
24.12.11 TAUBTTINm 入力信号幅判定機能 1783
24.12.11.1 概要 1783
24.12.11.2 ブロック図と基本タイミング図 1784
24.12.11.3 レジスタ設定 1785
24.12.11.4 TAUBTTINm 入力信号幅判定機能の操作手順 1786
24.12.12 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時） 1787
24.12.12.1 概要 1787
24.12.12.2 ブロック図と基本タイミング図 1788
24.12.12.3 レジスタ設定 1789
24.12.12.4 オーバフロー割り込み出力機能の操作手順（TAUBTTINm 幅測定時） 1790
24.12.13 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時） 1791
24.12.13.1 概要 1791
24.12.13.2 ブロック図と基本タイミング図 1792
24.12.13.3 レジスタ設定 1793
24.12.13.4 オーバフロー割り込み出力機能の操作手順（TAUBTTINm 入力期間カウント検出時） 1794
24.13　チャネル単体一斉書き換え機能 1796

24.13.1　一斉書き換えトリガ生成機能タイプ 1 1796
24.13.1.1　概要 1796
24.13.1.2　算出式 1797
24.13.1.3　ブロック図と基本タイミング図 1798
24.13.1.4　上位チャネルのレジスタ設定 1800
24.13.1.5　下位チャネルのレジスタ設定 1801
24.13.1.6　一斉書き換えトリガ生成機能タイプ 1 の操作手順 1802
24.14　チャネル連動動作機能 1803
24.14.1　PWM 出力機能 1803
24.14.1.1　概要 1803
24.14.1.2　算出式 1804
24.14.1.3　ブロック図と基本タイミング図 1805
24.14.1.4　マスタチャネルのレジスタ設定 1807
24.14.1.5　スレーブチャネルのレジスタ設定 1809
24.14.1.6　PWM 出力機能の操作手順 1811
24.14.1.7　特定の設定時のタイミング図 1812
24.14.2　ワンショットパルス出力機能 1816
24.14.2.1　概要 1816
24.14.2.2　算出式 1817
24.14.2.3　ブロック図と基本タイミング図 1818
24.14.2.4　マスタチャネルのレジスタ設定 1820
24.14.2.5　スレーブチャネルのレジスタ設定 1822
24.14.2.6　ワンショットパルス出力機能時の操作手順 1824
24.14.2.7　特定のタイミング図 1825
24.14.3　ディレイパルス出力機能 1831
24.14.3.1　概要 1831
24.14.3.2　算出式 1832
24.14.3.3　ブロック図と基本タイミング図 1834
24.14.3.4　マスタチャネルのレジスタ設定 1836
24.14.3.5　スレーブチャネル 1 のレジスタ設定 1838
24.14.3.6　スレーブチャネル 2 のレジスタ設定 1840
24.14.3.7　スレーブチャネル 3 のレジスタ設定 1842
24.14.3.8　ディレイパルス出力機能時の操作手順 1844
24.14.3.9　特定のタイミング図 1846
24.14.4　A/D 変換トリガ出力機能タイプ 1 1848
24.14.4.1　概要 1848
24.14.4.2　ブロック図と基本タイミング図 1848
24.14.5　三角波 PWM 出力機能 1850
24.14.5.1　概要 1850
24.14.5.2　算出式 1851
24.14.5.3　ブロック図と基本タイミング図 1852
24.14.5.4　マスタチャネルのレジスタ設定 1854
24.14.5.5　スレーブチャネルのレジスタ設定 1856
24.14.5.6　三角波 PWM 出力機能時の操作手順 1858
24.14.5.7　特定の設定時のタイミング図 1859
24.14.6　デッドタイム付き三角波 PWM 出力機能 1861
24.14.6.1　概要 1861
24.14.6.2　算出式 1863
24.14.6.3　ブロック図と基本タイミング図 1864
24.14.6.4　マスタチャネルのレジスタ設定 1866
24.14.6.5　スレーブチャネル 2 のレジスタ設定 1868
24.14.6.6　スレーブチャネル 3 のレジスタ設定 1870
24.14.6.7　デッドタイム付き三角波 PWM 出力機能時の操作手順 1872
24.14.6.8　特定の設定時のタイミング図 1873
24.14.7　A/D 変換トリガ出力機能タイプ 2 1884

24.14.7.1 概要 1884
24.14.7.2 ブロック図と基本タイミング図 1884

第 25 章 タイマアレイユニット D（TAUD）..... 1886

25.1 RH850/F1M TAUD の特長 1886
25.1.1 ユニット数チャネル数 1886
25.1.2 レジスタベースアドレス 1886
25.1.3 クロック供給 1887
25.1.4 割り込み要求 1887
25.1.5 リセット要因 1887
25.1.6 外部入出力信号 1888
25.1.7 内部入出力信号 1889
25.1.8 TAUD0 入力の選択 1889
25.1.8.1 SELB_TAUD0I — TAUDTTINm 入力信号選択レジスタ 1890
25.2 概要 1891
25.2.1 機能概要 1891
25.2.2 用語 1892
25.2.3 タイマ動作機能一覧 1893
25.2.4 入出力と割り込み要求信号 1894
25.2.5 ブロック図 1895
25.2.6 ブロック図の説明 1896
25.3 レジスタ 1898
25.3.1 レジスター覧 1898
25.3.2 TAUDn プリスケーラレジスタの詳細 1899
25.3.2.1 TAUDnTPS — TAUDn プリスケーラクロック選択レジスタ 1899
25.3.2.2 TAUDnBRS — TAUDn プリスケーラボーレート設定レジスタ 1902
25.3.3 TAUDn 制御レジスタの詳細 1903
25.3.3.1 TAUDnCDRm — TAUDn チャネルデータレジスタ 1903
25.3.3.2 TAUDnCNTm — TAUDn チャネルカウンタレジスタ 1903
25.3.3.3 TAUDnCMORm — TAUDn チャネルモード OS レジスタ 1905
25.3.3.4 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ 1908
25.3.3.5 TAUDnCSRm — TAUDn チャネルステータスレジスタ 1909
25.3.3.6 TAUDnCSCm — TAUDn チャネルステータスクリアレジスタ 1910
25.3.3.7 TAUDnTS — TAUDn チャネルスタートトリガレジスタ 1910
25.3.3.8 TAUDnTE — TAUDn チャネル許可ステータスレジスタ 1911
25.3.3.9 TAUDnTT — TAUDn チャネルストップトリガレジスタ 1911
25.3.4 TAUDn 一斉書き換えレジスタの詳細 1912
25.3.4.1 TAUDnRDE — TAUDn チャネルリロードデータ許可レジスタ 1912
25.3.4.2 TAUDnRDS — TAUDn チャネルリロードデータ制御チャネル選択レジスタ 1912
25.3.4.3 TAUDnRDM — TAUDn チャネルリロードデータモードレジスタ 1913
25.3.4.4 TAUDnRDC — TAUDn チャネルリロードデータ制御レジスタ 1913
25.3.4.5 TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ 1914
25.3.4.6 TAUDnRSF — TAUDn チャネルリロードステータスレジスタ 1914
25.3.5 TAUDn 出力レジスタの詳細 1915
25.3.5.1 TAUDnTOE — TAUDn チャネル出力許可レジスタ 1915
25.3.5.2 TAUDnTO — TAUDn チャネル出力レジスタ 1915
25.3.5.3 TAUDnTOM — TAUDn チャネル出力モードレジスタ 1916
25.3.5.4 TAUDnTOC — TAUDn チャネル出力コンフィギュレーションレジスタ 1916
25.3.5.5 TAUDnTOL — TAUDn チャネル出力レベルレジスタ 1917
25.3.6 TAUDn のデッドタイム出力レジスタの詳細 1918
25.3.6.1 TAUDnTDE — TAUDn チャネルデッドタイム出力許可レジスタ 1918

25.3.6.2 TAUDnTDM — TAUDn チャネルデッドタイム出力モードレジスタ 1918
25.3.6.3 TAUDnTDL — TAUDn チャネルデッドタイム出力レベルレジスタ 1919
25.3.7 TAUDn のリアルタイム／変調出力レジスタの詳細 1920
25.3.7.1 TAUDnTRE — TAUDn チャネルリアルタイム出力許可レジスタ 1920
25.3.7.2 TAUDnTRC — TAUDn チャネルリアルタイム出力制御レジスタ 1920
25.3.7.3 TAUDnTRO — TAUDn チャネルリアルタイム出力レジスタ 1921
25.3.7.4 TAUDnTME — TAUDn チャネル変調出力許可レジスタ 1921
25.3.8 TAUDn エミュレーションレジスタ 1922
25.3.8.1 TAUDnEMU — TAUDn エミュレーションレジスタ 1922
25.4 操作手順 1923
25.5 チャネル連動動作の概念 1924
25.5.1 チャネル連動動作のルール 1924
25.5.2 連動チャネルカウンタの同時動作開始／停止 1926
25.5.2.1 ユニット内の連動チャネルカウンタの同時動作開始／停止 1926
25.5.2.2 ユニット間の同時スタート 1926
25.6 一斉書き換え 1927
25.6.1 動作概要 1927
25.6.2 一斉書き換えの制御方法 1928
25.6.2.1 初期設定 1930
25.6.2.2 カウント開始とカウント動作 1930
25.6.2.3 一斉書き換え 1930
25.6.3 一斉書き換えのその他の基本ルール 1931
25.6.4 一斉書き換えの種類 1932
25.6.4.1 マスタチャネルがカウントを再開／開始した場合の一斉書き換え（方法 A）.... 1932
25.6.4.2 スレーブチャネルの三角波の [山] のタイミングで一斉書き換え（方法 B）..... 1934
25.6.4.3 TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え（方法 C1）..... 1935
25.6.4.4 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え（方法 C2）..... 1937
25.7 チャネル出力モード 1939
25.7.1 チャネル出力モードを指定するための基本手順 1941
25.7.2 TAUDn 信号により単体制御されるチャネル出力モード 1942
25.7.2.1 チャネル単体出力モード 1 1942
25.7.2.2 リアルタイム出力を行うチャネル単体出力モード 1 1942
25.7.2.3 チャネル単体出力モード 2 1944
25.7.3 TAUDn 信号により連動制御されるチャネル出力モード 1944
25.7.3.1 チャネル連動出力モード 1 1944
25.7.3.2 非相補方式変調出力を行うチャネル連動出力モード 1 1944
25.7.3.3 チャネル連動出力モード 2 1945
25.7.3.4 デッドタイム出力を行うチャネル連動出力モード 2 1945
25.7.3.5 1 相 PWM 出力を行うチャネル連動出力モード 2 1946
25.7.3.6 相補方式変調出力を行うチャネル連動出力モード 2 1947
25.7.3.7 非相補方式変調出力を行うチャネル連動出力モード 2 1947
25.8 各動作モードでのカウント開始タイミング 1948
25.8.1 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモード 1948
25.8.2 イベントカウントモード 1949
25.8.3 その他の動作モード 1949
25.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成 1950
25.10 オーバフロー時の割り込み発生 1951
25.10.1 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバル

タイマ機能の組み合わせ 1952
25.10.2 TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせ 1953
25.10.3 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ 1954
25.10.4 TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせ 1955
25.11 TAUDTTINm エッジ検出 1957
25.12 チャネル単体動作機能 1958
25.12.1 インターバルタイマ機能 1958
25.12.1.1 概要 1958
25.12.1.2 算出式 1958
25.12.1.3 ブロック図と基本タイミング図 1959
25.12.1.4 レジスタ設定 1960
25.12.1.5 インターバルタイマ機能の操作手順 1962
25.12.1.6 特定の設定時のタイミング図 1963
25.12.2 TAUDTTINm 入力インターバルタイマ機能 1968
25.12.2.1 概要 1968
25.12.2.2 算出式 1968
25.12.2.3 ブロック図と基本タイミング図 1969
25.12.2.4 レジスタ設定 1970
25.12.2.5 TAUDTTINm 入力インターバルタイマ機能の操作手順 1972
25.12.2.6 特定の設定時のタイミング図 1973
25.12.3 クロック分周機能 1974
25.12.3.1 概要 1974
25.12.3.2 算出式 1975
25.12.3.3 ブロック図と基本タイミング図 1975
25.12.3.4 レジスタ設定 1976
25.12.3.5 クロック分周機能の操作手順 1978
25.12.3.6 特定の設定時のタイミング図 1979
25.12.4 外部イベントカウント機能 1981
25.12.4.1 概要 1981
25.12.4.2 算出式 1981
25.12.4.3 ブロック図と基本タイミング図 1982
25.12.4.4 レジスタ設定 1983
25.12.4.5 外部イベントカウント機能の操作手順 1984
25.12.4.6 特定の設定時のタイミング図 1985
25.12.5 ディレイカウント機能 1987
25.12.5.1 概要 1987
25.12.5.2 算出式 1987
25.12.5.3 ブロック図と基本タイミング図 1988
25.12.5.4 レジスタ設定 1989
25.12.5.5 ディレイカウント機能の操作手順 1990
25.12.6 ワンパルス出力機能 1991
25.12.6.1 概要 1991
25.12.6.2 算出式 1992
25.12.6.3 ブロック図と基本タイミング図 1992
25.12.6.4 レジスタ設定 1993
25.12.6.5 ワンパルス出力機能の操作手順 1995
25.12.7 TAUDTTINm 入力パルスインターバル測定機能 1996
25.12.7.1 概要 1996
25.12.7.2 算出式 1997
25.12.7.3 ブロック図と基本タイミング図 1998
25.12.7.4 レジスタ設定 1999
25.12.7.5 TAUDTTINm 入力パルスインターバル測定機能の操作手順 2000

25.12.7.6　特定の設定時のタイミング図：オーバフロー動作 2001
25.12.8　TAUDTTINm 入力信号幅測定機能 2004
25.12.8.1　概要 2004
25.12.8.2　算出式 2005
25.12.8.3　ブロック図と基本タイミング図 2005
25.12.8.4　レジスタ設定 2006
25.12.8.5　TAUDTTINm 入力信号幅測定機能の操作手順 2007
25.12.8.6　特定の設定時のタイミング図：オーバフロー動作 2008
25.12.9　TAUDTTINm 入力位置検出機能 2011
25.12.9.1　概要 2011
25.12.9.2　算出式 2011
25.12.9.3　ブロック図と基本タイミング図 2012
25.12.9.4　レジスタ設定 2013
25.12.9.5　TAUDTTINm 入力位置検出機能の操作手順 2014
25.12.9.6　特定の設定時のタイミング図 2015
25.12.10 TAUDTTINm 入力期間カウント検出機能 2016
25.12.10.1 概要 2016
25.12.10.2 算出式 2017
25.12.10.3 ブロック図と基本タイミング図 2017
25.12.10.4 レジスタ設定 2018
25.12.10.5 TAUDTTINm 入力期間カウント検出機能の操作手順 2019
25.12.10.6 特定の設定時のタイミング図 2020
25.12.11 TAUDTTINm 入力パルスインターバル判定機能 2021
25.12.11.1 概要 2021
25.12.11.2 ブロック図と基本タイミング図 2022
25.12.11.3 レジスタ設定 2023
25.12.11.4 TAUDTTINm 入力パルスインターバル判定機能の操作手順 2024
25.12.12 TAUDTTINm 入力信号幅判定機能 2025
25.12.12.1 概要 2025
25.12.12.2 ブロック図と基本タイミング図 2026
25.12.12.3 レジスタ設定 2027
25.12.12.4 TAUDTTINm 入力信号幅判定機能の操作手順 2028
25.12.13 オーバフロー割り込み出力機能（TAUDTTINm 幅測定時） 2029
25.12.13.1 概要 2029
25.12.13.2 ブロック図と基本タイミング図 2030
25.12.13.3 レジスタ設定 2031
25.12.13.4 オーバフロー割り込み出力機能の操作手順（TAUDTTINm 幅測定時） 2032
25.12.14 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時） 2033
25.12.14.1 概要 2033
25.12.14.2 ブロック図と基本タイミング図 2034
25.12.14.3 レジスタ設定 2035
25.12.14.4 オーバフロー割り込み出力機能の操作手順（TAUDTTINm 入力期間カウント検出時） 2036
25.12.15 1 相 PWM 出力機能 2037
25.12.15.1 概要 2037
25.12.15.2 ブロック図と基本タイミング図 2038
25.12.15.3 下位チャネルのレジスタ設定 2040
25.12.15.4 上位チャネルのレジスタ設定 2042
25.12.15.5 1 相 PWM 出力機能の操作手順 2043
25.13　チャネル単体リアルタイム機能 2044
25.13.1　リアルタイム出力機能タイプ 1 2044
25.13.1.1　概要 2044
25.13.1.2　算出式 2045
25.13.1.3　ブロック図と基本タイミング図 2045
25.13.1.4　上位チャネルのレジスタ設定 2047

25.13.1.5　下位チャネルのレジスタ設定 2049
25.13.1.6　リアルタイム出力機能タイプ１の操作手順 2050
25.13.1.7　特定の設定時のタイミング図 2051
25.13.2　リアルタイム出力機能タイプ２ 2052
25.13.2.1　概要 2052
25.13.2.2　ブロック図と基本タイミング図 2053
25.13.2.3　上位チャネルのレジスタ設定 2055
25.13.2.4　下位チャネルのレジスタ設定 2057
25.13.2.5　リアルタイム出力機能タイプ２の操作手順 2058
25.13.2.6　特定のタイミング図 2059
25.14　チャネル単体一斉書き換え機能 2060
25.14.1　一斉書き換えトリガ生成機能タイプ１ 2060
25.14.1.1　概要 2060
25.14.1.2　算出式 2061
25.14.1.3　ブロック図と基本タイミング図 2062
25.14.1.4　上位チャネルのレジスタ設定 2064
25.14.1.5　下位チャネルのレジスタ設定 2065
25.14.1.6　一斉書き換えトリガ生成機能タイプ１の操作手順 2066
25.14.2　一斉書き換えトリガ生成機能タイプ２ 2067
25.14.2.1　概要 2067
25.14.2.2　ブロック図と基本タイミング図 2068
25.14.2.3　上位チャネルのレジスタ設定 2070
25.14.2.4　下位チャネルのレジスタ設定 2072
25.14.2.5　一斉書き換えトリガ生成機能タイプ２の操作手順 2073
25.15　チャネル連動動作機能 2074
25.15.1　PWM 出力機能 2074
25.15.1.1　概要 2074
25.15.1.2　算出式 2075
25.15.1.3　ブロック図と基本タイミング図 2076
25.15.1.4　マスタチャネルのレジスタ設定 2078
25.15.1.5　スレーブチャネルのレジスタ設定 2080
25.15.1.6　PWM 出力機能の操作手順 2082
25.15.1.7　特定の設定時のタイミング図 2083
25.15.2　ワンショットパルス出力機能 2086
25.15.2.1　概要 2086
25.15.2.2　算出式 2087
25.15.2.3　ブロック図と基本タイミング図 2088
25.15.2.4　マスタチャネルのレジスタ設定 2090
25.15.2.5　スレーブチャネルのレジスタ設定 2092
25.15.2.6　ワンショットパルス出力機能時の操作手順 2094
25.15.2.7　特定のタイミング図 2095
25.15.3　トリガスタート PWM 出力機能 2099
25.15.3.1　概要 2099
25.15.3.2　算出式 2100
25.15.3.3　ブロック図と基本タイミング図 2101
25.15.3.4　マスタチャネルのレジスタ設定 2103
25.15.3.5　スレーブチャネルのレジスタ設定 2105
25.15.3.6　トリガスタート PWM 出力機能時の操作手順 2107
25.15.3.7　特定の設定時のタイミング図 2108
25.15.4　ディレイパルス出力機能 2111
25.15.4.1　概要 2111
25.15.4.2　算出式 2113
25.15.4.3　ブロック図と基本タイミング図 2114
25.15.4.4　マスタチャネルのレジスタ設定 2116
25.15.4.5　スレーブチャネル１のレジスタ設定 2118

25.15.4.6　スレーブチャネル２のレジスタ設定 2120
25.15.4.7　スレーブチャネル３のレジスタ設定 2122
25.15.4.8　ディレイパルス出力機能時の操作手順 2123
25.15.4.9　特定のタイミング図 2125
25.15.5　オフセットトリガ出力機能 2127
25.15.5.1　概要 2127
25.15.5.2　算出式 2128
25.15.5.3　ブロック図と基本タイミング図 2129
25.15.5.4　マスタチャネルのレジスタ設定 2131
25.15.5.5　スレーブチャネルのレジスタ設定 2133
25.15.5.6　オフセットトリガ出力機能時の操作手順 2135
25.15.5.7　特定のタイミング図 2136
25.15.6　A/D 変換トリガ出力機能タイプ 1 2138
25.15.6.1　概要 2138
25.15.6.2　ブロック図と基本タイミング図 2138
25.15.7　三角波 PWM 出力機能 2140
25.15.7.1　概要 2140
25.15.7.2　算出式 2141
25.15.7.3　ブロック図と基本タイミング図 2142
25.15.7.4　マスタチャネルのレジスタ設定 2144
25.15.7.5　スレーブチャネルのレジスタ設定 2146
25.15.7.6　三角波 PWM 出力機能時の操作手順 2148
25.15.7.7　特定の設定時のタイミング図 2149
25.15.8　デッドタイム付き三角波 PWM 出力機能 2151
25.15.8.1　概要 2151
25.15.8.2　算出式 2153
25.15.8.3　ブロック図と基本タイミング図 2154
25.15.8.4　マスタチャネルのレジスタ設定 2156
25.15.8.5　スレーブチャネル２のレジスタ設定 2158
25.15.8.6　スレーブチャネル３のレジスタ設定 2160
25.15.8.7　デッドタイム付き三角波 PWM 出力機能時の操作手順 2162
25.15.8.8　特定の設定時のタイミング図 2163
25.15.9　A/D 変換トリガ出力機能タイプ 2 2165
25.15.9.1　概要 2165
25.15.9.2　ブロック図と基本タイミング図 2165
25.15.10 割り込み要求信号間引き機能 2167
25.15.10.1 概要 2167
25.15.10.2 算出式 2168
25.15.10.3 ブロック図と基本タイミング図 2168
25.15.10.4 マスタチャネルのレジスタ設定 2170
25.15.10.5 スレーブチャネルのレジスタ設定 2172
25.15.10.6 割り込み要求信号間引き機能時の操作手順 2173
25.15.10.7 特定の設定時のタイミング図 2174
25.16　連動非相補方式変調出力機能と連動相補方式変調出力機能 2175
25.16.1　非相補方式変調出力機能タイプ 1 2175
25.16.1.1　概要 2175
25.16.1.2　算出式 2177
25.16.1.3　ブロック図と基本タイミング図 2178
25.16.1.4　マスタチャネルのレジスタ設定 2180
25.16.1.5　スレーブチャネル１のレジスタ設定 2182
25.16.1.6　スレーブチャネル２～７のレジスタ設定 2184
25.16.1.7　非相補方式変調出力機能タイプ１時の操作手順 2186
25.16.1.8　特定の設定時のタイミング図 2188
25.16.2　非相補方式変調出力機能タイプ 2 2189
25.16.2.1　概要 2189

25.16.2.2 算出式 2191
25.16.2.3 ブロック図と基本タイミング図 2192
25.16.2.4 マスタチャネルのレジスタ設定 2194
25.16.2.5 スレーブチャネル 1 のレジスタ設定 2196
25.16.2.6 スレーブチャネル 2 ～ 7 のレジスタ設定 2198
25.16.2.7 非相補方式変調出力機能タイプ 2 時の操作手順 2200
25.16.2.8 特定の設定時のタイミング図 2202
25.16.3 相補方式変調出力機能 2203
25.16.3.1 概要 2203
25.16.3.2 算出式 2206
25.16.3.3 ブロック図と基本タイミング図 2207
25.16.3.4 マスタチャネルのレジスタ設定 2209
25.16.3.5 スレーブチャネル 1 のレジスタ設定 2211
25.16.3.6 スレーブチャネル 2, 4, 6 のレジスタ設定 2213
25.16.3.7 スレーブチャネル 3, 5, 7 のレジスタ設定 2215
25.16.3.8 相補方式変調出力機能時の操作手順 2217
25.16.3.9 特定の設定時のタイミング図 2219

第 26 章 タイマアレイユニット J（TAUJ） 2221

26.1 RH850/F1M TAUJ の特長 2221
26.1.1 ユニット数 2221
26.1.2 レジスタベースアドレス 2221
26.1.3 クロック供給 2222
26.1.4 割り込み要求 2222
26.1.5 リセット要因 2222
26.1.6 外部入出力信号 2223
26.1.7 内部入出力信号 2223
26.1.8 TAUJ0 入力の選択 2224
26.1.8.1 SELB_TAUJ0I — TAUJTTINm 入力信号選択レジスタ 2225
26.2 概要 2226
26.2.1 機能概要 2226
26.2.2 用語 2227
26.2.3 タイマ動作機能一覧 2227
26.2.4 入出力と割り込み要求信号 2228
26.2.5 ブロック図 2229
26.2.6 ブロック図の説明 2230
26.3 レジスタ 2231
26.3.1 レジスター覧 2231
26.3.2 TAUJn プリスケーラレジスタの詳細 2232
26.3.2.1 TAUJnTPS — TAUJn プリスケーラクロック選択レジスタ 2232
26.3.2.2 TAUJnBRS — TAUJn プリスケーラボーレート設定レジスタ 2235
26.3.3 TAUJn 制御レジスタの詳細 2236
26.3.3.1 TAUJnCDRm — TAUJn チャネルデータレジスタ 2236
26.3.3.2 TAUJnCNTm — TAUJn チャネルカウンタレジスタ 2237
26.3.3.3 TAUJnCMORm — TAUJn チャネルモード OS レジスタ 2239
26.3.3.4 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ 2242
26.3.3.5 TAUJnCSRm — TAUJn チャネルステータスレジスタ 2243
26.3.3.6 TAUJnCSCm — TAUJn チャネルステータスクリアレジスタ 2243
26.3.3.7 TAUJnTS — TAUJn チャネルスタートトリガレジスタ 2244
26.3.3.8 TAUJnTE — TAUJn チャネル許可ステータスレジスタ 2244
26.3.3.9 TAUJnTT — TAUJn チャネルストップトリガレジスタ 2245

26.3.4 TAUJn 一斉書き換えレジスタの詳細 2246
26.3.4.1 TAUJnRDE — TAUJn チャネルリロードデータ許可レジスタ 2246
26.3.4.2 TAUJnRDM — TAUJn チャネルリロードデータモードレジスタ 2246
26.3.4.3 TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ 2247
26.3.4.4 TAUJnRSF — TAUJn チャネルリロードステータスレジスタ 2247
26.3.5 TAUJn 出力レジスタの詳細 2248
26.3.5.1 TAUJnTOE — TAUJn チャネル出力許可レジスタ 2248
26.3.5.2 TAUJnTO — TAUJn チャネル出力レジスタ 2248
26.3.5.3 TAUJnTOM — TAUJn チャネル出力モードレジスタ 2249
26.3.5.4 TAUJnTOC — TAUJn チャネル出力コンフィギュレーションレジスタ 2249
26.3.5.5 TAUJnTOL — TAUJn チャネル出力レベルレジスタ 2251
26.3.5.6 TAUJnEMU — TAUJn エミュレーションレジスタ 2251
26.4 操作手順 2252
26.5 連動動作機能の概念 2253
26.5.1 連動動作機能のルール 2253
26.5.2 連動チャネルカウンタの同時動作開始／停止 2255
26.5.2.1 ユニット内の連動チャネルカウンタの同時動作開始／停止 2255
26.5.2.2 ユニット間の同時スタート 2255
26.6 一斉書き換え 2256
26.6.1 一斉書き換えの制御方法 2256
26.6.1.1 初期設定 2257
26.6.1.2 カウント開始とカウント動作 2257
26.6.1.3 一斉書き換え 2257
26.6.2 一斉書き換えのその他の基本ルール 2257
26.6.3 一斉書き換えの方法 2258
26.7 チャネル出力モード 2260
26.7.1 チャネル出力モードを指定するための基本手順 2261
26.7.2 TAUJn 信号により単体制御されるチャネル出力モード 2263
26.7.2.1 チャネル単体出力モード 1 2263
26.7.3 TAUJn 信号により連動制御されるチャネル出力モード 2263
26.7.3.1 チャネル連動出力モード 1 2263
26.8 各動作モードでのカウント開始タイミング 2264
26.8.1 インターバルタイマモード、キャプチャモード、カウントキャプチャモード 2264
26.8.2 その他の動作モード 2264
26.9 カウント開始／リスタート時の TAUJTTOUTm 出力と INTTAUJnIm 生成 2266
26.10 オーバフロー時の割り込み発生 2267
26.10.1 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ 2268
26.11 TAUJTTINm エッジ検出 2269
26.12 チャネル単体動作機能 2270
26.12.1 インターバルタイマ機能 2270
26.12.1.1 概要 2270
26.12.1.2 算出式 2270
26.12.1.3 ブロック図と基本タイミング図 2271
26.12.1.4 レジスタ設定 2272
26.12.1.5 インターバルタイマ機能の操作手順 2274
26.12.1.6 特定の設定時のタイミング図 2275
26.12.2 TAUJTTINm 入力インターバルタイマ機能 2277
26.12.2.1 概要 2277
26.12.2.2 算出式 2277

26.12.2.3　ブロック図と基本タイミング図 2277
26.12.2.4　レジスタ設定 2279
26.12.2.5　TAUJTTINm 入力インターバルタイマ機能の操作手順 2281
26.12.2.6　特定の設定時のタイミング図 2282
26.12.3　TAUJTTINm 入力パルスインターバル測定機能 2283
26.12.3.1　概要 2283
26.12.3.2　算出式 2284
26.12.3.3　ブロック図と基本タイミング図 2284
26.12.3.4　レジスタ設定 2286
26.12.3.5　TAUJTTINm 入力パルスインターバル測定機能の操作手順 2287
26.12.3.6　特定の設定時のタイミング図：オーバフロー動作 2288
26.12.4　TAUJTTINm 入力信号幅測定機能 2292
26.12.4.1　概要 2292
26.12.4.2　算出式 2293
26.12.4.3　ブロック図と基本タイミング図 2293
26.12.4.4　レジスタ設定 2294
26.12.4.5　TAUJTTINm 入力信号幅測定機能の操作手順 2295
26.12.4.6　特定の設定時のタイミング図：オーバフロー動作 2296
26.12.5　TAUJTTINm 入力位置検出機能 2300
26.12.5.1　概要 2300
26.12.5.2　算出式 2300
26.12.5.3　ブロック図と基本タイミング図 2301
26.12.5.4　レジスタ設定 2302
26.12.5.5　TAUJTTINm 入力位置検出機能の操作手順 2303
26.12.5.6　特定の設定時のタイミング図 2304
26.12.6　TAUJTTINm 入力期間カウント検出機能 2305
26.12.6.1　概要 2305
26.12.6.2　算出式 2306
26.12.6.3　ブロック図と基本タイミング図 2306
26.12.6.4　レジスタ設定 2307
26.12.6.5　TAUJTTINm 入力期間カウント検出機能の操作手順 2308
26.12.6.6　特定の設定時のタイミング図 2309
26.12.7　オーバフロー割り込み出力機能（TAUJTTINm 幅測定時） 2310
26.12.7.1　概要 2310
26.12.7.2　ブロック図と基本タイミング図 2311
26.12.7.3　レジスタ設定 2312
26.12.7.4　オーバフロー割り込み出力機能の操作手順（TAUJTTINm 幅測定時） 2313
26.12.8　オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時） 2314
26.12.8.1　概要 2314
26.12.8.2　ブロック図と基本タイミング図 2315
26.12.8.3　レジスタ設定 2316
26.12.8.4　オーバフロー割り込み出力機能の操作手順（TAUJTTINm 入力期間カウント検出時） 2317
26.13　チャネル連動動作機能 2318
26.13.1　PWM 出力機能 2318
26.13.1.1　概要 2318
26.13.1.2　算出式 2320
26.13.1.3　ブロック図と基本タイミング図 2320
26.13.1.4　マスタチャネルのレジスタ設定 2322
26.13.1.5　スレーブチャネルのレジスタ設定 2324
26.13.1.6　PWM 出力機能の操作手順 2325
26.13.1.7　特定の設定時のタイミング図 2326

第 27 章　リアルタイムクロック（RTCA） 2329

27.1　RH850/F1M RTCA の特長 2329

27.1.1 ユニット数とチャネル数 2329
27.1.2 レジスタベースアドレス 2329
27.1.3 クロック供給 2330
27.1.4 割り込み要求 2330
27.1.5 リセット要因 2330
27.1.6 外部入出力信号 2330
27.2 概要 2331
27.2.1 機能概要 2331
27.2.2 ブロック図 2331
27.2.3 ブロック図の用語 2332
27.3 レジスタ 2333
27.3.1 レジスター覧 2333
27.3.2 RTCA 制御レジスタの詳細 2334
27.3.2.1 RTCAnCTL0 — RTCA 制御レジスタ 0 2334
27.3.2.2 RTCAnCTL1 — RTCA 制御レジスタ 1 2335
27.3.2.3 RTCAnCTL2 — RTCA 制御レジスタ 2 2336
27.3.3 RTCA サブカウンタレジスタの詳細 2338
27.3.3.1 RTCAnSUBC — RTCA サブカウントレジスタ 2338
27.3.3.2 RTCAnSRBU — RTCA サブカウントレジスタリードバッファ 2339
27.3.3.3 RTCAnSUBU — RTCA クロック誤差補正レジスタ 2340
27.3.3.4 RTCAnSCMP — RTCA サブカウンタコンペアレジスタ 2341
27.3.4 RTCA クロックカウンタレジスタとバッファレジスタの詳細 2342
27.3.4.1 RTCAnSECC — RTCA 秒カウントレジスタ 2342
27.3.4.2 RTCAnSEC — RTCA 秒カウントバッファレジスタ 2343
27.3.4.3 RTCAnMINC — RTCA 分カウントレジスタ 2344
27.3.4.4 RTCAnMIN — RTCA 分カウントバッファレジスタ 2345
27.3.4.5 RTCAnHOURC — RTCA 時カウントレジスタ 2346
27.3.4.6 RTCAnHOUR — RTCA 時カウントバッファレジスタ 2348
27.3.4.7 RTCAnWEEKC — RTCA 曜日カウントレジスタ 2349
27.3.4.8 RTCAnWEEK — RTCA 曜日カウントバッファレジスタ 2350
27.3.4.9 RTCAnDAYC — RTCA 日カウントレジスタ 2351
27.3.4.10 RTCAnDAY — RTCA 日カウントバッファレジスタ 2352
27.3.4.11 RTCAnMONC — RTCA 月カウントレジスタ 2353
27.3.4.12 RTCAnMONTH — RTCA 月カウントバッファレジスタ 2354
27.3.4.13 RTCAnYEARC — RTCA 年カウントレジスタ 2355
27.3.4.14 RTCAnYEAR — RTCA 年カウントバッファレジスタ 2356
27.3.5 RTCA 特定カウンタレジスタとバッファレジスタの詳細 2357
27.3.5.1 RTCAnTIMEC — RTCA 時間カウントレジスタ 2357
27.3.5.2 RTCAnTIME — RTCA 時間カウントバッファレジスタ 2358
27.3.5.3 RTCAnCALC — RTCA カレンダカウントレジスタ 2359
27.3.5.4 RTCAnCAL — RTCA カレンダカウントバッファレジスタ 2360
27.3.6 RTCA アラーム時間設定レジスタの詳細 2361
27.3.6.1 RTCAnALM — RTCA アラーム分設定レジスタ 2361
27.3.6.2 RTCAnALH — RTCA アラーム時設定レジスタ 2362
27.3.6.3 RTCAnALW — RTCA アラーム曜日設定レジスタ 2363
27.3.7 RTCA エミュレーションレジスタ 2364
27.3.7.1 RTCAnEMU — RTCA エミュレーションレジスタ 2364
27.4 動作 2365
27.4.1 クロックカウンタの表示形式 2366
27.4.2 定周期割り込み機能 2366
27.4.3 アラーム割り込み機能 2366

27.4.4 クロック誤差補正 2367
27.4.4.1 補正値と演算子の設定 2369
27.4.4.2 反復周期の影響 2369
27.4.4.3 設定例 2370
27.5 設定、書き込み、読み出しの手順 2371
27.5.1 RTCA の初期設定 2371
27.5.1.1 RTCA の停止手順 2371
27.5.1.2 RTCA の初期設定手順 2372
27.5.2 クロックカウンタの更新 2373
27.5.3 クロックカウンタの読み出し 2374
27.5.3.1 カウントバッファレジスタ読み出し手順 2374
27.5.3.2 カウンタレジスタ直接読み出し手順 2376
27.5.4 RTCAnSRBU の読み出し 2377
27.5.5 RTCAnSUBU への書き込み 2378
27.5.6 RTCAnSCMP への書き込み 2379
27.6 タイミング図 2380
27.6.1 カウンタスタートのタイミング 2380
27.6.2 カウンタ動作許可時のクロックカウンタ更新のタイミング 2381
27.6.3 カウンタ動作許可時のサブカウンタリードバッファ読み出しのタイミング 2382

第 28 章 エンコーダタイマ（ENCA） 2383
28.1 RH850/F1M ENCA の特長 2383
28.1.1 ユニット数とチャネル数 2383
28.1.2 レジスタベースアドレス 2383
28.1.3 クロック供給 2383
28.1.4 割り込み要求 2384
28.1.5 リセット要因 2384
28.1.6 外部入出力信号 2384
28.1.7 内部入出力信号 2384
28.2 概要 2385
28.2.1 機能概要 2385
28.2.2 ブロック図 2386
28.3 レジスタ 2387
28.3.1 レジスター覧 2387
28.3.2 ENCAnCTL — ENCAn 制御レジスタ 2388
28.3.3 ENCAnIOC0 — ENCAn I/O 制御レジスタ 0 2390
28.3.4 ENCAnIOC1 — ENCAn I/O 制御レジスタ 1 2391
28.3.5 ENCAnFLG — ENCAn ステータスフラグレジスタ 2393
28.3.6 ENCAnFGC — ENCAn ステータスフラグクリアレジスタ 2394
28.3.7 ENCAnCCR0 — ENCAn キャプチャ／コンペアレジスタ 0 2395
28.3.8 ENCAnCCR1 — ENCAn キャプチャ／コンペアレジスタ 1 2396
28.3.9 ENCAnCNT — ENCAn カウンタレジスタ 2397
28.3.10 ENCAnTE — ENCAn タイマイネーブルステータスレジスタ 2398
28.3.11 ENCAnTS — ENCAn タイマスタートトリガレジスタ 2399
28.3.12 ENCAnTT — ENCAn タイマストップトリガレジスタ 2400
28.3.13 ENCAnEMU — ENCAn エミュレーションレジスタ 2401

28.4 動作 2402
28.4.1 タイマカウンタの動作 2402
28.4.2 タイマカウンタのアップ／ダウン制御 2404
28.4.2.1 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 00_B の場合 2404
28.4.2.2 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 01_B の場合 2405
28.4.2.3 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 10_B の場合 2406
28.4.2.4 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 11_B の場合 2407
28.4.3 エンコーダ入力によるタイマカウンタクリア制御 2408
28.4.3.1 ENCAnSCE = 0 のときのクリア方法 2408
28.4.3.2 ENCAnSCE = 1 のときのクリア方法 2409
28.4.4 ENCAnCCR0 の機能 2410
28.4.4.1 コンペア機能 2410
28.4.4.2 キャプチャ機能 2410
28.4.5 ENCAnCCR1 の機能 2411
28.4.5.1 コンペア機能 2411
28.4.5.2 キャプチャ機能 2412
28.4.5.3 コンペアレジスタが一致したときのタイマカウンタのクリア 2413
28.4.6 タイマカウンタの起動／停止 2413
28.4.6.1 タイマの起動 2413
28.4.6.2 タイマの停止 2413
28.5 設定の順序 2414
28.5.1 ENCAn の設定手順 2414
28.5.1.1 カウンタの初期設定手順 2414
28.5.1.2 カウンタクリアのための初期設定手順 2415
28.5.1.3 ENCAnCCR0 レジスタの設定手順 2415
28.5.1.4 ENCAnCCR1 レジスタの設定手順 2416
28.6 タイミング図 2417
28.6.1 オーバフローの発生とオーバフローフラグクリア操作 2417
28.6.2 アンダフローの発生とアンダフローフラグクリア操作 2418
28.6.3 エンコーダクリア入力（ENCAnEC 端子）によるカウントクリアとキャプチャ動作 2419
28.6.4 オーバフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合 2420
28.6.5 アンダフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合 2421
28.6.6 開始直後のオーバフロー動作 2422
28.6.7 開始直後のアンダフロー動作 2423
28.6.8 開始直後の ENCAnLDE 機能の利用 2424
28.6.9 ENCAnLDE 機能（カウント値のロード） 2425
28.6.10 ENCAnLDE 機能（カウンタ値のロード）と ENCAnCCR0 レジスタの書き換えとの競合 2427
28.6.11 ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力（ENCAnEC 端子）の入力によるクリア動作との競合 2428
28.6.12 ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント 2430
28.6.13 カウントクロック間のキャプチャ動作（ENCAnCCR1） 2431
28.6.14 カウントクロック間のキャプチャ動作（ENCAnCCR0） 2432
28.6.15 コンペア一致クリア制御有効かつ ENCAnCTS = 0 のときのエンコーダの動作 2433
28.6.16 コンペア一致クリア制御有効かつ ENCAnCTS = 1 のときのエンコーダの動作 2434
28.6.17 コンペア一致クリア制御無効時のエンコーダの動作 2435
28.6.18 ENCAnSCE = 1 のときに ENCAnEC、ENCAnE0、ENCAnE1 によるクリアの

タイミングで行われるキャプチャ動作 2436
28.6.18.1 付随するキャプチャ動作 2436
28.6.18.2 アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合（ENCAnACL=1、ENCAnBCL=0、ENCAnZCL=1、ENCAnUDS[1:0] = 11_B のとき） 2437
28.6.18.3 アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングと同じだった場合（ENCAnACL=1、ENCAnBCL=0、ENCAnZCL=1、ENCAnUDS[1:0] = 11_B のとき） 2438
28.6.18.4 アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより早かった場合 （ENCAnACL = 1、ENCAnBCL = 0、ENCAnZCL = 1、ENCAnUDS[1:0] = 11_B のとき） 2438
28.6.18.5 ダウンカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合 （ENCAnACL = 1、ENCAnBCL = 0、ENCAnZCL = 1、ENCAnUDS[1:0] = 11_B のとき） 2439
28.6.19 ENCAnSCE = 0 のときに ENCAnEC によるクリアのタイミングで行われるキャプチャ動作 2440

第 29 章　モータ制御 2441

29.1 RH850/F1M モータ制御の特長 2441
29.1.1 ユニット数とチャネル数 2441
29.1.2 レジスタベースアドレス 2442
29.1.3 クロック供給 2442
29.1.4 割り込み要求 2443
29.1.5 リセット要因 2443
29.1.6 外部入出力信号 2443
29.1.7 内部出力信号 2444
29.2 概要 2445
29.2.1 機能概要 2445
29.2.2 モータ制御機能の構成 2446
29.2.3 ブロック図 2447
29.2.4 用語説明 2448
29.3 レジスタ 2449
29.3.1 レジスター覧 2449
29.3.2 TAPAnCTL0 — TAPA 制御レジスタ 0 2450
29.3.3 TAPAnCTL1 — TAPA 制御レジスタ 1 2451
29.3.4 TAPAnFLG — TAPA フラグレジスタ 2452
29.3.5 TAPAnACWE — TAPA 非同期 Hi-Z 制御ライトイネーブルレジスタ 2453
29.3.6 TAPAnACTS — TAPA 非同期 Hi-Z 制御スタートトリガレジスタ 2453
29.3.7 TAPAnACTT — TAPA 非同期 Hi-Z 制御ストップトリガレジスタ 2454
29.3.8 TAPAnOPHS — TAPA Hi-Z スタートトリガレジスタ 2455
29.3.9 TAPAnOPHT — TAPA Hi-Z ストップトリガレジスタ 2455
29.3.10 TAPAnEMU — TAPA エミュレーションレジスタ 2456
29.4 非同期 Hi-Z 制御機能 2457
29.4.1 概要 2457
29.4.2 システム構成例 2457
29.4.3 基本動作 2459
29.4.4 ソフトウェアトリガによる非同期 Hi-Z 制御 2461
29.4.5 操作手順 2462
29.4.6 TAPA0 Hi-Z 制御入力選択 2463

29.4.7 レジスタ 2464
29.4.7.1 PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n ＝ 0）..... 2464
29.5 INT 信号出力選択機能 2465
29.5.1 INT 信号出力選択機能の構成 2465
29.5.2 ブロック図 2466
29.5.3 レジスタ 2467
29.5.3.1 PIC0REG2n0 — タイマ入出力制御レジスタ 2n0 (n = 0）..... 2467
29.6 A/D コンバータ変換トリガ選択機能 2468
29.6.1 A/D コンバータ変換トリガ選択機能の構成 2468
29.6.2 ブロック図 2469
29.6.3 三角波 PWM モード時の A/D コンバータトリガ出力制御動作波形 2470
29.6.4 A/D コンバータ変換トリガ選択機能の操作手順 2472
29.7 ADCA トリガ選択機能 2473
29.7.1 機能概要 2473
29.7.2 構成 2473
29.7.3 レジスタ 2474
29.7.3.1 PIC0ADTEN4nj — A/D 変換トリガ出力制御レジスタ 4nj（n = 0、j = 0-2）..... 2474
29.7.4 動作機能の設定例 2475
29.7.5 設定フロー 2475
29.8 同時スタートトリガ機能 2476
29.8.1 機能概要 2476
29.8.2 構成 2476
29.8.3 レジスタ 2477
29.8.3.1 PIC0SSER0 — 同時スタート制御レジスタ 0 2477
29.8.3.2 PIC0SSER2 — 同時スタート制御レジスタ 2 2477
29.8.3.3 PIC0SST — 同時スタートトリガ制御レジスタ 2478
29.8.4 動作例 2478
29.8.5 設定フロー 2479
29.9 トリガ＆パルス幅測定機能 2480
29.9.1 機能概要 2480
29.9.2 構成 2480
29.9.3 レジスタ 2482
29.9.3.1 PIC0REG31 — タイマ入出力制御レジスタ 31 2482
29.9.4 動作例 2484
29.9.5 設定フロー 2486
29.9.6 動作機能の設定例 2489
29.10 A/D トリガエンコーダキャプチャ機能 2492
29.10.1 機能概要 2492
29.10.2 構成 2492
29.10.3 レジスタ 2493
29.10.3.1 PIC0REG30 — タイマ入出力制御レジスタ 30 2493
29.10.4 動作例 2494
29.10.5 設定フロー 2495
29.10.6 動作機能の設定例 2496
29.11 デッドタイム付き 3 相 PWM 出力機能 2497
29.11.1 機能概要 2497

29.11.2　構成 2497
29.11.3　レジスタ 2501
29.11.3.1　PIC0REG2n2 — タイマ入出力制御レジスタ 2n2（n = 0） 2501
29.11.3.2　PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n = 0） 2502
29.11.4　動作例 2503
29.11.4.1　PWM 出力機能 2503
29.11.4.2　1 相 PWM 出力機能 2503
29.11.4.3　SR フリップフロップ回路 2504
29.11.5　設定フロー 2512
29.11.6　動作機能の設定例 2514
29.11.6.1　TAUDn 設定（アクティブハイの例） 2514
29.11.6.2　PIC の設定 2518
29.12　デッドタイム付き高精度三角波 PWM 出力機能 2519
29.12.1　機能概要 2519
29.12.2　構成 2520
29.12.3　レジスタ 2522
29.12.3.1　PIC0REG2n0 — タイマ入出力制御レジスタ 2n0 (n = 0) 2522
29.12.3.2　PIC0REG2n1 — タイマ入出力制御レジスタ 2n1 (n = 0) 2523
29.12.3.3　PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0) 2525
29.12.3.4　PIC0REG2n3 — タイマ入出力制御レジスタ 2n3 (n = 0) 2526
29.12.3.5　PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n = 0） 2528
29.12.4　動作例 2529
29.12.4.1　デッドタイム付き三角波 PWM 出力機能 2529
29.12.4.2　ワンショットパルス出力機能 2529
29.12.4.3　U 相組み合わせ回路（PFN001） 2530
29.12.4.4　論理演算回路（FN0i）（i = 0、1） 2531
29.12.5　設定フロー 2541
29.12.6　動作機能の設定例 2543
29.12.6.1　TAUDn 設定（アクティブハイの例） 2543
29.12.6.2　PIC の設定（アクティブハイの例） 2549
29.13　デッドタイム付きディレイパルス出力機能 2550
29.13.1　機能概要 2550
29.13.2　構成 2550
29.13.2.1　TAUDn 構成 2551
29.13.3　レジスタ 2553
29.13.3.1　PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0) 2553
29.13.3.2　PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n = 0） 2555
29.13.4　動作例 2556
29.13.4.1　ディレイパルス出力機能 2556
29.13.4.2　1 相 PWM 出力機能 2556
29.13.5　設定フロー 2562
29.13.6　動作機能の設定例 2565
29.13.6.1　TAUDn 設定 2565
29.13.6.2　PIC の設定 2570

第 30 章　PWM 出力／診断（PWM-Diag） 2571

30.1　RH850/F1M PWM-Diag の特長 2571
30.1.1　ユニット数とチャネル数 2571
30.1.2　レジスタベースアドレス 2572
30.1.3　クロック供給 2572
30.1.4　割り込み要求 2573

30.1.5 リセット要因 2575
30.1.6 外部入出力信号 2575
30.1.7 内部信号 2576
30.1.8 機能概要 2576
30.1.9 ブロック図 2579
30.2 レジスタ 2580
30.2.1 レジスター覧 2580
30.2.1.1 PWBAnBRSm レジスタ 2581
30.2.1.2 PWBAnTE レジスタ 2582
30.2.1.3 PWBAnTS レジスタ 2583
30.2.1.4 PWBAnTT レジスタ 2584
30.2.1.5 PWBAnEMU レジスタ 2585
30.2.1.6 PWGAnCTL — PWGA 制御レジスタ 2586
30.2.1.7 PWGAnCNT — PWM 周期カウントレジスタ 2586
30.2.1.8 PWGAnCSDR — PWM 出力セット条件レジスタ 2587
30.2.1.9 PWGAnCRDR — PWM 出力リセット条件レジスタ 2587
30.2.1.10 PWGAnCTDR — PWGA_TRGOUTn 発生条件レジスタ 2588
30.2.1.11 PWGAnCSBR — PWGAnCSDR バッファレジスタ 2588
30.2.1.12 PWGAnCRBR — PWGAnCRDR バッファレジスタ 2589
30.2.1.13 PWGAnCTBR — PWGAnCTDR バッファレジスタ 2589
30.2.1.14 PWGAnRSF — バッファレジスタリロードステータスレジスタ 2590
30.2.1.15 PWGAnRDT — バッファレジスタリロードトリガレジスタ 2590
30.2.1.16 SLPWGAk — PWGA 同期トリガレジスタ（k = 0 ～ 2）..... 2591
30.2.1.17 PWSAnCTL レジスタ 2592
30.2.1.18 PWSAnSTR レジスタ 2592
30.2.1.19 PWSAnSTC レジスタ 2593
30.2.1.20 PWSAnQUEj（j ＝ 0 ～ 7）レジスタ 2593
30.2.1.21 PWSAnPVCRx_y（x ＝ 00, 02, 04 ... 78、y = 01, 03, 05 ... 79）レジスタ 2594
30.2.1.22 PWSAnEMU — エミュレーション制御レジスタ 2595
30.3 操作手順 2596
30.4 PWM-Diag の動作波形 2598
30.4.1 PWGA による PWM 波形出力と A/D 変換トリガ出力の動作波形 2598
30.4.1.1 PWGA の基本動作波形 2598
30.4.1.2 PWGA の一斉書き換え実施時の動作波形 2599
30.4.1.3 PWGA の動作停止・再開時の動作波形 2600
30.4.1.4 PWGA の特定の設定時の動作波形 2601
30.4.2 PWSA による A/D 変換トリガ発生時の動作波形 2602
30.5 A/D コンバータ（ADCA）の PWM-Diag 関連機能 2603
30.5.1 PWM-Diag 機能使用時の ADCA レジスタ 2603

第 31 章 A/D コンバータ（ADCA）..... 2604
31.1 RH850/F1M ADCA の特長 2604
31.1.1 ユニット数とチャネル数 2604
31.1.2 レジスタベースアドレス 2605
31.1.3 クロック供給 2606
31.1.4 割り込み要求 2606
31.1.5 リセット要因 2606
31.1.6 外部入出力信号 2607
31.2 概要 2610
31.2.1 機能概要 2610

31.2.2 ブロック図 2612
31.3 レジスタ 2617
31.3.1 レジスター覧 2617
31.3.2 ADCA 固有レジスタ 2619
31.3.2.1 ADCAnVCRj — 仮想チャネルレジスタ j 2619
31.3.2.2 ADCAnPWDVCR — PWM-Diag 仮想チャネルレジスタ 2622
31.3.2.3 ADCAnDRj — データレジスタ j 2623
31.3.2.4 ADCAnDIRj — データ付帯情報レジスタ j 2624
31.3.2.5 ADCAnPWDTSNDR — PWM-Diag データレジスタ 2625
31.3.2.6 ADCAnPWDDIR — PWM-Diag データ付帯情報レジスタ 2626
31.3.2.7 ADCAnADHALTR — A/D 強制終了レジスタ 2627
31.3.2.8 ADCAnADCR — A/D 制御レジスタ 2628
31.3.2.9 ADCAnMPXCURR — MPX カレントレジスタ 2630
31.3.2.10 ADCAnTHSMPSTCR — T&H サンプリング開始制御レジスタ 2631
31.3.2.11 ADCAnTHCR — T&H 制御レジスタ 2632
31.3.2.12 ADCAnTHAHLDSTCR — T&H グループ A ホールド開始制御レジスタ 2633
31.3.2.13 ADCAnTHBHLDSTCR — T&H グループ B ホールド開始制御レジスタ 2634
31.3.2.14 ADCAnTHACR — T&H グループ A 制御レジスタ 2635
31.3.2.15 ADCAnTHBCR — T&H グループ B 制御レジスタ 2637
31.3.2.16 ADCAnTHER — T&H イネーブルレジスタ 2639
31.3.2.17 ADCAnTHGSR — T&H グループ選択レジスタ 2640
31.3.2.18 ADCAnSMPCR — サンプリング制御レジスタ 2642
31.3.2.19 ADCAnSFTCR — セーフティ制御レジスタ 2643
31.3.2.20 ADCAnULLMTBR0 ～ 2 — 上限／下限テーブルレジスタ 0 ～ 2 2644
31.3.2.21 ADCAnECR — エラークリアレジスタ 2645
31.3.2.22 ADCAnULER — 上限／下限エラーレジスタ 2646
31.3.2.23 ADCAnOWER — オーバライトエラーレジスタ 2648
31.3.3 スキャングループ（SG）固有レジスタ 2649
31.3.3.1 ADCAnSGSTCRx — スキャングループ x 開始制御レジスタ 2649
31.3.3.2 ADCAnSGCRx — スキャングループ x 制御レジスタ 2650
31.3.3.3 ADCAnPWDSGCR — PWM-Diag 用スキャングループ制御レジスタ 2651
31.3.3.4 ADCAnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ 2652
31.3.3.5 ADCAnSGVCEPx — スキャングループ x 終了仮想チャネルポインタ 2653
31.3.3.6 ADCAnSGMCYCRx — スキャングループ x マルチサイクルレジスタ 2654
31.3.3.7 ADCAnPWDSGSEFCR — PWM-Diag スキャン終了フラグクリアレジスタ 2655
31.3.3.8 ADCAnSGSEFCRx — スキャングループ x スキャン終了フラグクリアレジスタ 2656
31.3.3.9 ADCAnSGSTR — スキャングループステータスレジスタ 2657
31.3.4 ハードウェアトリガ固有レジスタ 2659
31.3.4.1 ADCAnSGTSELx — スキャングループ x 開始トリガ制御レジスタ x 2659
31.3.5 自己診断固有レジスタ 2662
31.3.5.1 ADCAnDGCTL0 — 自己診断制御レジスタ 0 2662
31.3.5.2 ADCAnDGCTL1 — 自己診断制御レジスタ 1 2663
31.3.5.3 ADCAnPDCTL1 — プルダウン制御レジスタ 1 2664
31.3.5.4 ADCAnPDCTL2 — プルダウン制御レジスタ 2 2665
31.3.6 エミュレーション固有レジスタ 2666
31.3.6.1 ADCAnEMU — エミュレーション制御レジスタ 2666
31.4 動作 2667
31.4.1 初期設定 2667
31.4.2 トリガ入力 2668
31.4.3 A/D 変換終了 2669
31.4.4 スキャングループ動作例 2670
31.4.5 チャネルリピートモード 2672
31.4.6 同時トラック & ホールド動作例 2674

31.4.7 外付けアナログマルチプレクサでの A/D 変換 2676
31.4.7.1 PWM-Diag 機能時の A/D 変換動作 2678
31.4.8 同期サスペンド & レジューム動作例 2680
31.4.9 非同期サスペンド & レジューム動作例 2681
31.4.10 エラー検出機能 2682
31.4.10.1 上限／下限エラー検出機能 2682
31.4.10.2 オーバーライトエラー検出機能 2682
31.4.10.3 SVSTOP 動作 2682
31.4.11 ハードウェアトリガによるスキャングループの起動 2686
31.4.11.1 ADHALT によるスキャングループ停止 2686
31.4.12 スキャン終了割り込み要求 2686
31.4.13 A/D エラー割り込み要求 2687
31.5 自己診断機能 2688
31.5.1 A/D 変換回路の診断 2689
31.5.1.1 診断手順 2689
31.5.2 チャネルマルチプレクサの診断 2690
31.5.2.1 診断手順 2691
31.5.3 オープン端子の診断 2692
31.5.3.1 診断手順 2693
31.5.4 T&H 回路の診断 2694
31.5.4.1 診断手順（T&H 回路チャネル 0 の診断の例） 2694
31.5.4.2 診断方法 2696
31.6 A/D 変換精度の定義 2697
31.7 使用上の注意事項 2698
31.7.1 チャネル入力電圧の範囲 2698
31.7.2 アプリケーション設計上の注意事項 2698

第 32 章 キーリターン（KR） 2703
32.1 RH850/F1M KR の特長 2703
32.1.1 ユニット数とチャネル数 2703
32.1.2 レジスタベースアドレス 2703
32.1.3 クロック供給 2704
32.1.4 割り込み要求 2704
32.1.5 リセット要因 2704
32.1.6 外部入出力信号 2704
32.2 概要 2705
32.2.1 機能概要 2705
32.2.2 ブロック図 2705
32.3 レジスタ 2706
32.3.1 レジスター覧 2706
32.3.2 KRnKRM — キーリターンモードレジスタ 2706
32.4 動作 2707
32.4.1 割り込み要求 INTKRn 2707

第 33 章 ファンクショナルセーフティ 2708
33.1 概要 2708

33.2 ECC および EDC 2709
33.2.1 概要 2709
33.2.2 アドレスパリティ 2710
33.2.3 Code Flash の ECC およびアドレスパリティ 2711
33.2.3.1 概要 2711
33.2.3.2 割り込み要求 2712
33.2.3.3 レジスター覧 2713
33.2.3.4 レジスタ詳細 2714
33.2.4 Data Flash の ECC 2724
33.2.4.1 概要 2724
33.2.4.2 割り込み要求 2724
33.2.4.3 レジスター覧 2724
33.2.4.4 レジスタ詳細 2725
33.2.5 ローカル RAM（CPU1）の ECC 2729
33.2.5.1 概要 2729
33.2.5.2 割り込み要求 2730
33.2.5.3 レジスター覧 2730
33.2.5.4 レジスタ詳細 2731
33.2.6 リテンション RAM の ECC 2737
33.2.6.1 概要 2737
33.2.6.2 割り込み要求 2739
33.2.6.3 レジスター覧 2740
33.2.6.4 レジスタ詳細 2741
33.2.7 命令キャッシュの ECC 2754
33.2.7.1 概要 2754
33.2.7.2 レジスター覧 2755
33.2.7.3 レジスタ詳細 2756
33.3 メモリ保護 2769
33.3.1 概要 2769
33.3.1.1 スレーブガードの識別子 2770
33.3.2 GRG（Global RAM Guard） 2771
33.3.2.1 レジスター覧 2771
33.3.2.2 レジスタ詳細 2772

第 34 章 データ CRC（DCRA） 2780
34.1 RH850/F1M DCRA の特長 2780
34.1.1 ユニット数 2780
34.1.2 レジスタベースアドレス 2780
34.1.3 クロック供給 2780
34.1.4 リセット要因 2781
34.2 概要 2782
34.2.1 機能概要 2782
34.2.2 ブロック図 2782
34.2.3 演算回路 2783
34.3 レジスタ 2784
34.3.1 レジスター覧 2784
34.3.2 DCRAnCIN — CRC 入力レジスタ 2785
34.3.3 DCRAnCOUT — CRC データレジスタ 2786
34.3.4 DCRAnCTL — CRC 制御レジスタ 2787

34.4 動作 2788

第 35 章 オンチップデバッグユニット（OCD） 2789

35.1 RH850/F1M の OCD の概要 2789

35.1.1 機能概要 2789

35.2 ペリフェラルブレークの制御 2791

35.3 レジスタ 2793

35.3.1 EPC — エミュレーション周辺制御 レジスタ 2793

35.4 オンチップデバッグ使用上の注意 2794

35.4.1 デバッグに使用したデバイスの処理 2794

35.4.2 デバッグ接続時のリセット発生について 2794

35.4.3 デバッガ接続時の DeepSTOP モードへの移行 2794

第 36 章 フラッシュメモリ 2795

36.1 特長 2795

36.2 メモリ構成 2796

36.2.1 コードフラッシュメモリマッピング 2796

36.2.2 データフラッシュメモリマッピング 2798

36.3 フラッシュメモリ関連の動作モード 2799

36.4 機能 2800

36.4.1 機能概要 2800

36.5 シリアルプログラミング 2805

36.5.1 プログラミング環境 2805

36.6 通信モード 2806

36.6.1 非同期フラッシュプログラミングインタフェース 1 wire UART 2806

36.6.2 非同期フラッシュプログラミングインタフェース 2 wire UART 2806

36.6.3 同期フラッシュプログラミングインタフェース CSI 2806

36.6.4 通信方式の選択 2807

36.7 セルフプログラミング 2808

36.7.1 概要 2808

36.7.2 BGO 機能 2809

36.7.3 セルフプログラミングの有効化 2809

36.7.3.1 FLMDCNT レジスタ 2810

36.8 フラッシュメモリの読み出し 2811

36.8.1 コードフラッシュメモリの読み出し 2811

36.8.2 データフラッシュメモリの読み出し 2811

36.8.2.1 EEPRDCYCL — データフラッシュウエイトサイクル制御レジスタ 2812

36.8.2.2 PRDNAMEn — 製品名格納レジスタ（n = 1 ～ 3） 2813

36.9 オプションバイト 2814

36.9.1 オプションバイトの設定 2814

36.9.2 OPBT0 — オプションバイト 0 2815

36.9.3 OPBT1 — オプションバイト 1 2816

36.10 使用上の注意事項 2817

第 37 章　RAM 2818
37.1　特長 2818
37.2　メモリ構成 2819
37.3　使用上の注意事項 2820
第 38 章　バウンダリスキャン 2821
38.1　概要 2821
38.2　特長 2821
38.3　外部入出力端子 2823
38.4　レジスタの説明 2824
38.4.1　インストラクションレジスタ（SDIR） 2825
38.4.2　ID レジスタ（SDID） 2825
38.4.3　バイパスレジスタ（SDBPR） 2825
38.4.4　バウンダリスキャンレジスタ（SDBSR） 2825
38.5　動作説明 2826
38.5.1　TAP コントローラ 2826
38.5.2　サポートするインストラクション 2827
38.5.2.1　BYPASS 2827
38.5.2.2　SAMPLE/PRELOAD 2827
38.5.2.3　EXTEST 2827
38.5.2.4　IDCODE 2827
38.5.3　バウンダリスキャン対象の端子 2828
38.6　使用上の注意 2829
第 39 章　電源とパワードメイン 2830
39.1　機能 2830
39.1.1　電源端子 2831
39.1.2　パワードメインのブロック図 2832
39.1.3　パワードメインの配置 2834

第 1 章　概要

1.1　RH850/F1M 製品の特長

RH850/F1M の特長を以下に示します。

RH850/F1M は、G3M コアを搭載し、低消費電力、高い処理能力、豊富な内蔵周辺機能などを特長とする 32 ビットシングルチップマイクロコンピュータです。様々な車載システムに対応するために、豊富なメモリ、パッケージを用意しています。多様なアプリケーションにおいて消費電流を低減させるための電力低減方法が利用できます。例えば、アナログとデジタルの入力が CPU コアを経由せず、入力端子への入力信号をポーリングできる ロウパワーサンプラ（LPS）や、マイクロコントローラの大部分の回路への電源供給をオフできる DeepSTOP モードも備えています。

応用分野

RH850/F1M は、自動車電装分野における下記製品へ適しています。

- BCM (Body Control Module)
- ゲートウェイ
- オートエアコン
- ライトモジュール、ほか

1.1.1 RH850/F1M の機能

表 1.1 Overview of Product (1/2)

Product Name			RH850/F1M		
			144 pin	176 pin	233 pin
Memory			「表 1.2 Product Lineup」を参照		
External memory interface (MEMC)			Not provided	Provided (20 bit Address Bus)	
CPU	CPU System		G3M (Single Core)		
	CPU Frequency		120 MHz Max.		
	FPU		Double-Precision		
	Flash Cache		8 KB / 4 way		
	Protection Function	Memory Protection Unit (MPU)	Provided		
		Internal Peripheral-device Guard (IPG)	Not provided		
		Processor Element Guard (PEG)	Provided		
DMA			16 ch		
Operating clock	Main Oscillator(MainOSC)		8 to 24 MHz		
	Low Speed Internal Oscillator (LS IntOSC)		240 kHz (typ.)		
	High Speed Internal Oscillator (HS IntOSC)		8 MHz (typ.)		
	PLL	for CPU clock (with SSCG)	120 MHz (Max.)		
		for Peripheral clock	80 MHz (Max.)		
	Sub Oscillator (SubOSC)		32.768 kHz		
I/O port			118	148	178
A/D converter	ADC0	Physical input channels	34 ch (12 bit resolution: 16 ch + 10 bit resolution 18 ch)	34 ch (12 bit resolution: 16 ch + 10 bit resolution 18 ch)	34 ch (12 bit resolution: 16 ch + 10 bit resolution 18 ch)
		External multiplexer support for channel number extension	Provided	Provided	Provided
		Channels with T&H	6 ch	6 ch	6 ch
	ADC1	Physical input channels	12 ch (12 bit resolution: 8 ch + 10 bit resolution 4 ch)	24 ch (12 bit resolution: 16 ch + 10 bit resolution 8 ch)	36 ch (12 bit resolution: 16 ch + 10 bit resolution 20 ch)
		External multiplexer support for channel number extension	Not provided	Not provided	Not provided
		Channels with T&H	Not provided	Not provided	Not provided
Timer	Timer Array Unit D (TAUD)		1 unit (16 bit resolution timers × 16 channels /unit)		
	Timer Array Unit B (TAUB)		1 unit (16 bit resolution timers × 16 channels /unit)	2 units (16 bit resolution timers × 16 channels /unit)	
	Timer Array Unit J (TAUJ)		2 units (32 bit resolution timers × 4 channels /unit)		
	Operating System Timer (OSTM)		5 units		
	Real-Time Counter (RTCA)		1 unit		
	Encoder Timer (ENCA)		1 unit		
	Window Watchdog Timer A (WDTA)		2 units		

表 1.1 Overview of Product (2/2)

Product Name			RH850/F1M		
			144 pin	176 pin	233 pin
Serial interfaces	Clocked Serial Interface G (CSIG)		2 ch		
	Clocked Serial Interface H (CSIH)		4 ch		
	LIN Master Interface (RLIN2)		6 ch	10 ch	
	LIN/UART Interface (RLIN3)		6 ch		
	I2C Interface (RIIC)		1 ch		
	CAN Interface (RSCAN)		6 ch		
	FlexRay Interface (FLXA)		2 ch (A ch, B ch)		
	EthernetAVB (ETNB)		Not provided		
External Interrupts	Maskable (INTP)		16 ch		
	Non-maskable (NMI)		1 ch		
Other functions	Clock Monitors (CLMA)		For PLL, HS IntOSC, MainOSC		
	Data CRC (DCRA)		4 ch		
	Low-Voltage Indicator (LVI)		Provided		
	Power-On-Clear (POC)		Provided		
	Core Voltage Monitors (CVM)		Provided		
	Error Correction Coding (ECC)		For Code Flash, Data Flash, Local RAM, Retention RAM, Cache RAM, Tag RAM, CSIH, RS-CAN, FLXA		
	Low Power Sampling (LPS)		Provided		
	PWM diagnosis (PWM-Diag)		64 ch	72 ch	80 ch
	Motor Control		1 unit		
	Key Return (KR)		8 ch		
	CLOCK OUTPUT (FOUT)		Provided		
	RESET OUTPUT (RESETOUT)		Provided		
	ICUSC 注 3		Not provided (ECO) 注 1 Provided (ADVANCED) 注 1		
	SWDTA 注 4		Not provided (ECO) 注 1 Provided (ADVANCED) 注 1		
	On-Chip debug (OCD)		Provided		
	Boundary Scan		Provided		
Voltage supply	Internal supply		V_{POC} 注 2 to 5.5 V		
	Input/output buffer supplies		V_{POC} 注 2 to 5.5 V		
	A/D Converter supplies		3.0 to 5.5 V		
Package	Operating Temperature(Ta)	-40 ℃ to +105 ℃ :	LQFP	LQFP	FPBGA
		-40 ℃ to +125 ℃ :			

注 1. ECO(products in the eco range) is the product having a RSCAN.
ADVANCED(products in the advanced range) is the product having a RSCAN, an ICUSC and SWDTA.
Refer to 「**表 1.2 Product Lineup**」, for details.

注 2. VPOC is the voltage level of power-on-clear circuit.
Refer to the data sheet for detailed specifications of electrical values.

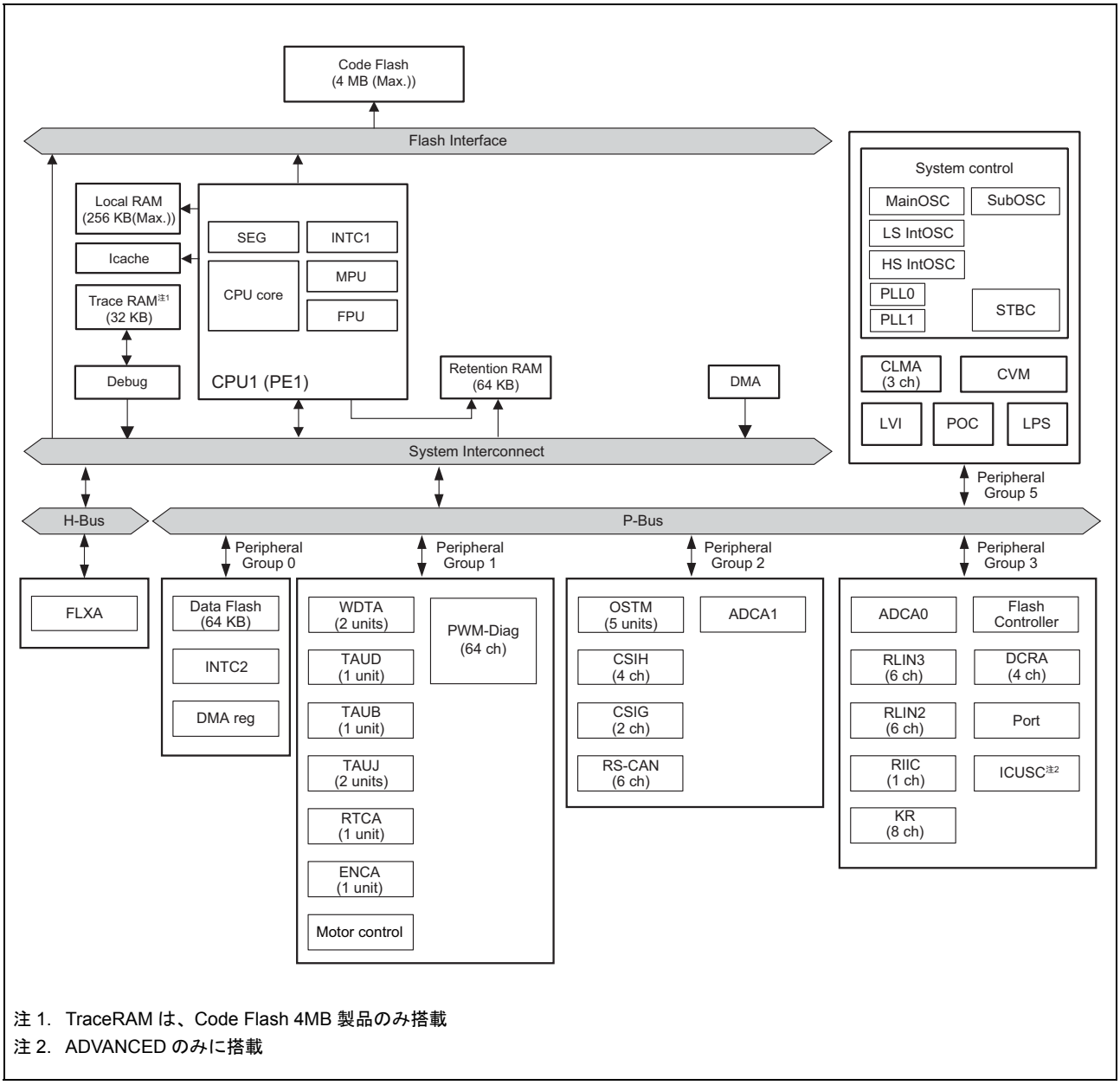
注 3. ICUSC: Intelligent Cryptographic Unit Slave C

注 4. SWDTA: Secure Watchdog Timer A

表 1.2 Product Lineup

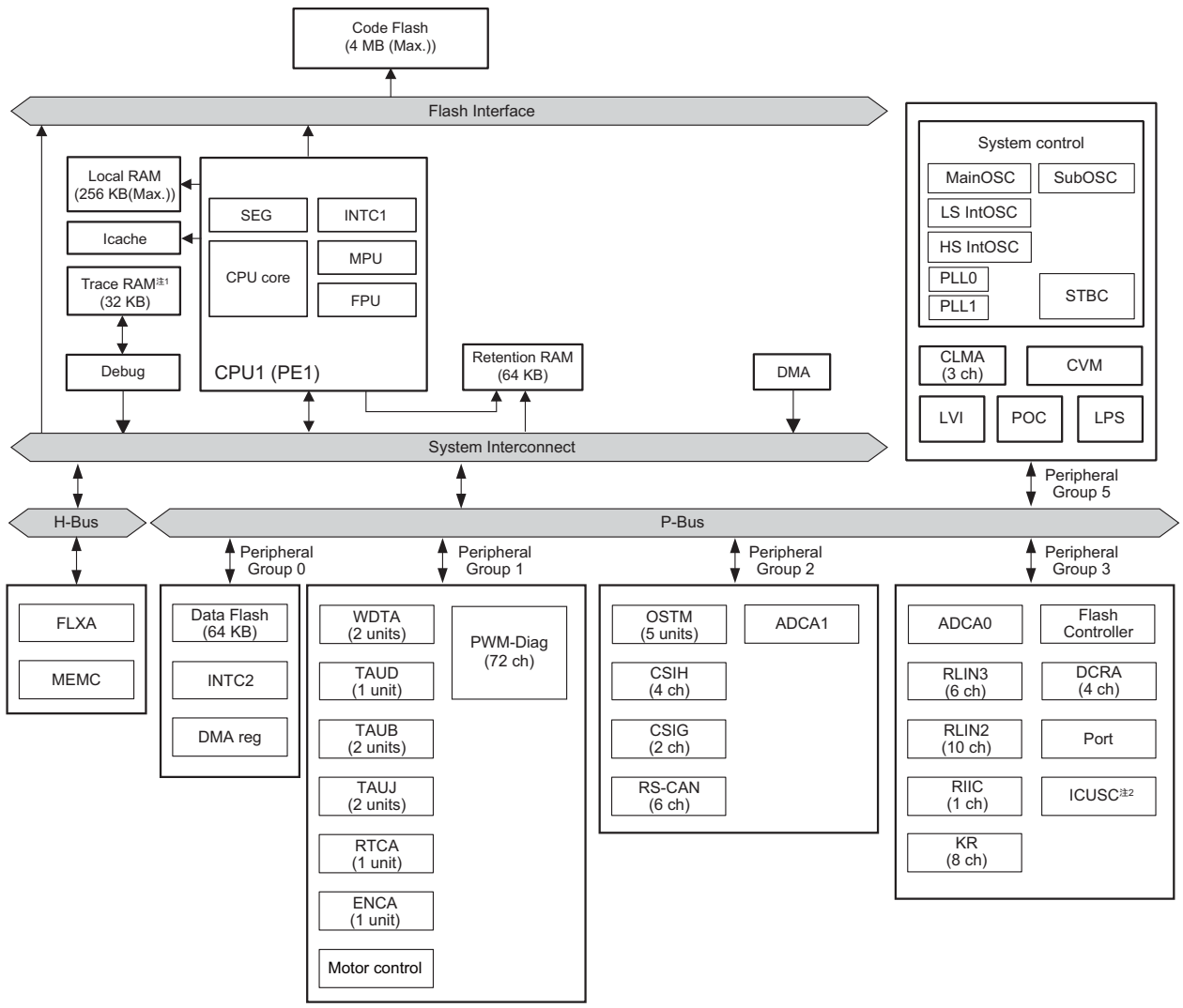
Pin Count	Memory					ICUS	CAN Interface	Part Name		Line Name
	Code Flash	CPU1 (Core #1)	Global memory					Operating Temperature (Ta)		
		Local RAM	Data Flash	Global RAM	Retention RAM (RRAM)			–40°C to +105°C	–40°C to +125°C	
144 pin	3M	192 KB	64 KB	Not provided	64 KB	Not provided	RS-CAN	R7F7015443AFP	R7F7015444AFP	ECO
	4M	256 KB	64 KB	Not provided	64 KB	Not provided	RS-CAN	R7F7015453AFP	R7F7015454AFP	ECO
176 pin	3M	192 KB	64 KB	Not provided	64 KB	Not provided	RS-CAN	R7F7015483AFP	R7F7015484AFP	ECO
	4M	256 KB	64 KB	Not provided	64 KB	Not provided	RS-CAN	R7F7015493AFP	R7F7015494AFP	ECO
233 pin	3M	192 KB	64 KB	Not provided	64 KB	Not provided	RS-CAN	R7F7015523ABG	R7F7015524ABG	ECO
	4M	256 KB	64 KB	Not provided	64 KB	Not provided	RS-CAN	R7F7015533ABG	R7F7015534ABG	ECO
144 pin	3M	192 KB	64 KB	Not provided	64 KB	ICUSC	RS-CAN	R7F7015643AFP	R7F7015644AFP	ADVANCED
	4M	256 KB	64 KB	Not provided	64 KB	ICUSC	RS-CAN	R7F7015653AFP	R7F7015654AFP	ADVANCED
176 pin	3M	192 KB	64 KB	Not provided	64 KB	ICUSC	RS-CAN	R7F7015683AFP	R7F7015684AFP	ADVANCED
	4M	256 KB	64 KB	Not provided	64 KB	ICUSC	RS-CAN	R7F7015693AFP	R7F7015694AFP	ADVANCED
233 pin	3M	192 KB	64 KB	Not provided	64 KB	ICUSC	RS-CAN	R7F7015723ABG	R7F7015724ABG	ADVANCED
	4M	256 KB	64 KB	Not provided	64 KB	ICUSC	RS-CAN	R7F7015733ABG	R7F7015734ABG	ADVANCED

1.1.2 内部ブロック図



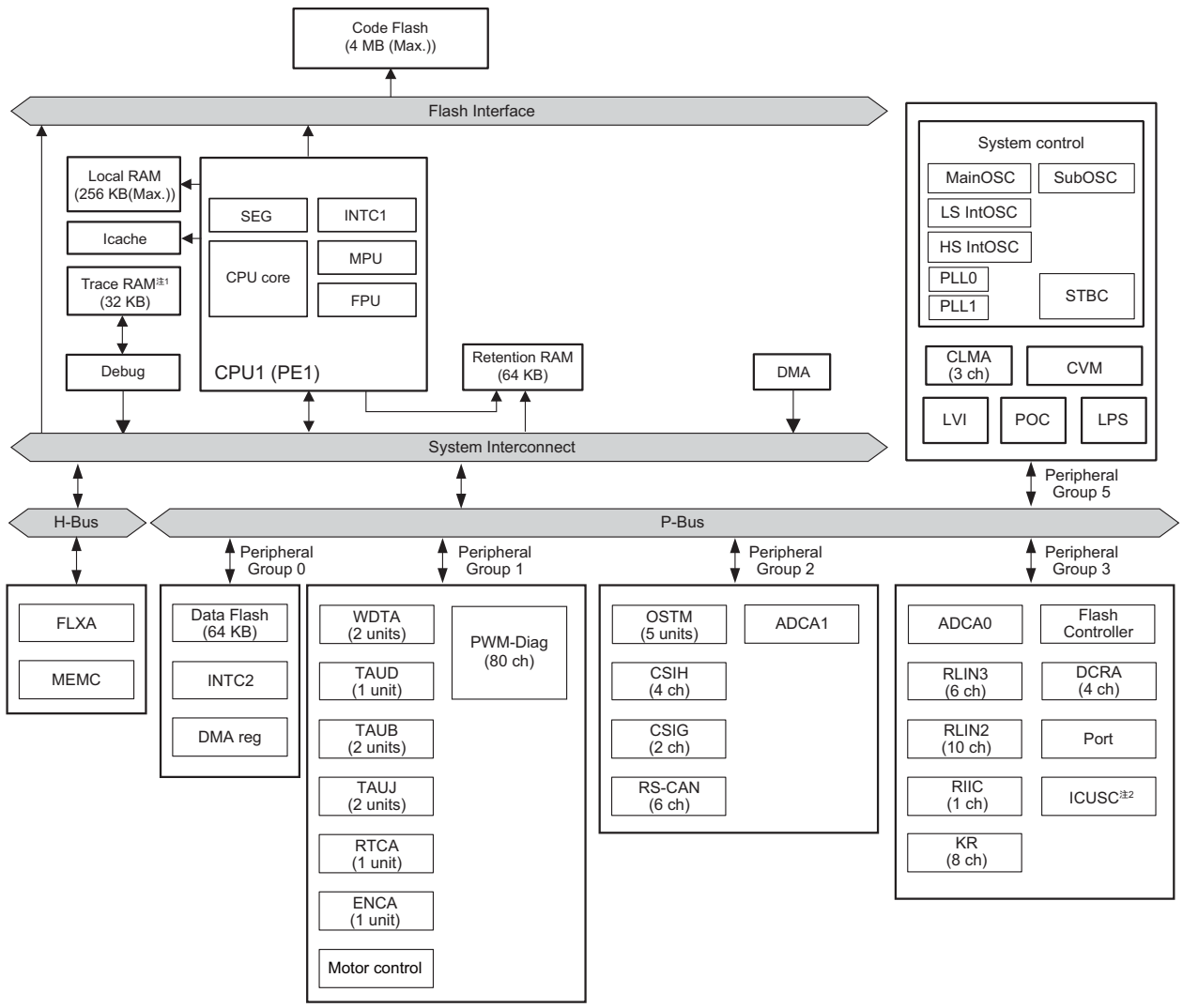
注 1. TraceRAM は、Code Flash 4MB 製品のみ搭載
注 2. ADVANCED のみに搭載

図 1.1 内部ブロック図 (RH850/F1M 144 pin)



注 1. TraceRAM は、Code Flash 4MB 製品のみ搭載
注 2. ADVANCED のみに搭載

図 1.2 内部ブロック図 (RH850/F1M 176 pin)



注 1. TraceRAM は、Code Flash 4MB 製品のみ搭載
注 2. ADVANCED のみに搭載

図 1.3 内部ブロック図 (RH850/F1M 233 pin)

第 2 章 端子

本章では、端子およびポート機能について説明します。

2.1 ～ **2.5** 節では、端子接続図および各端子について説明します。

2.6 ～ **2.13** 節では、ポート機能の一般的な内容について説明します。

2.1 端子接続図

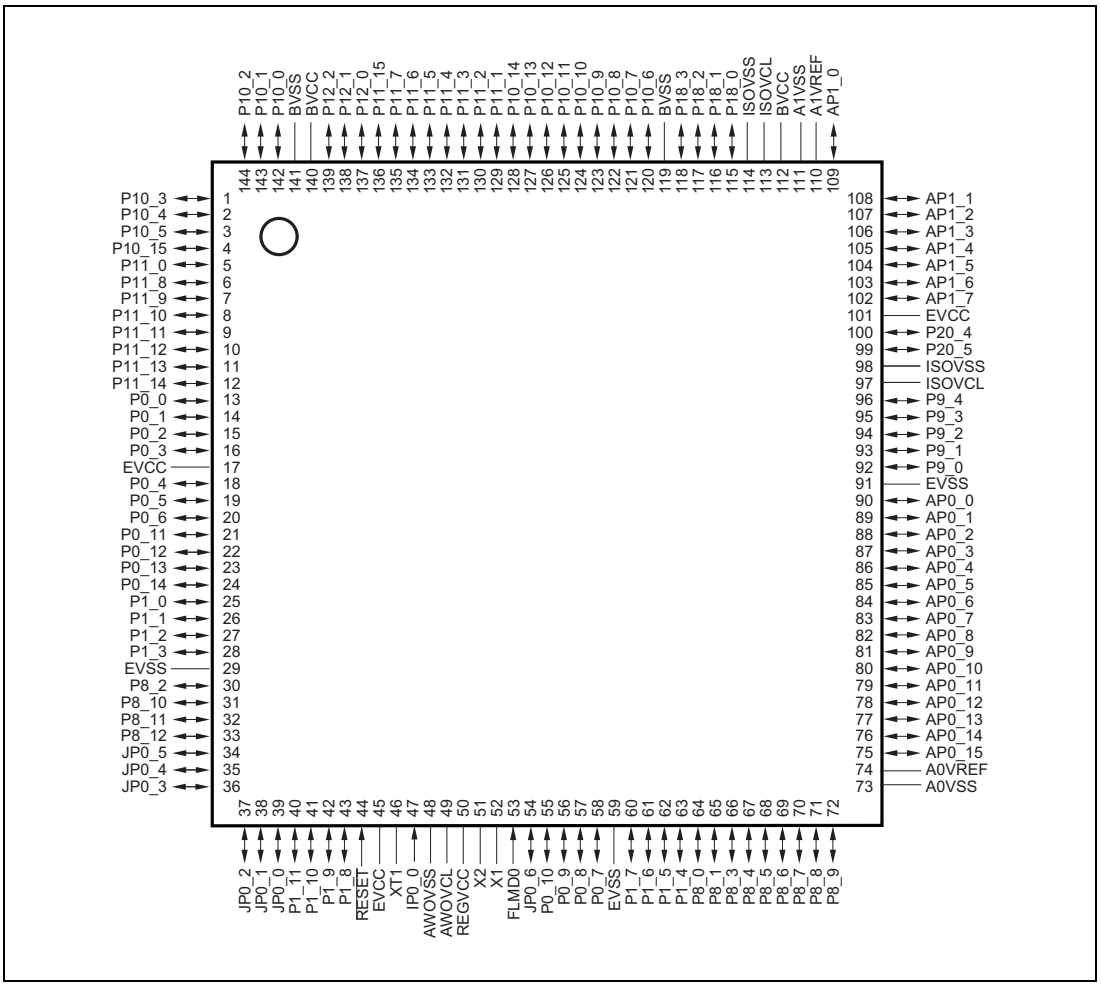


図 2.1 端子接続図（144 pin LQFP）

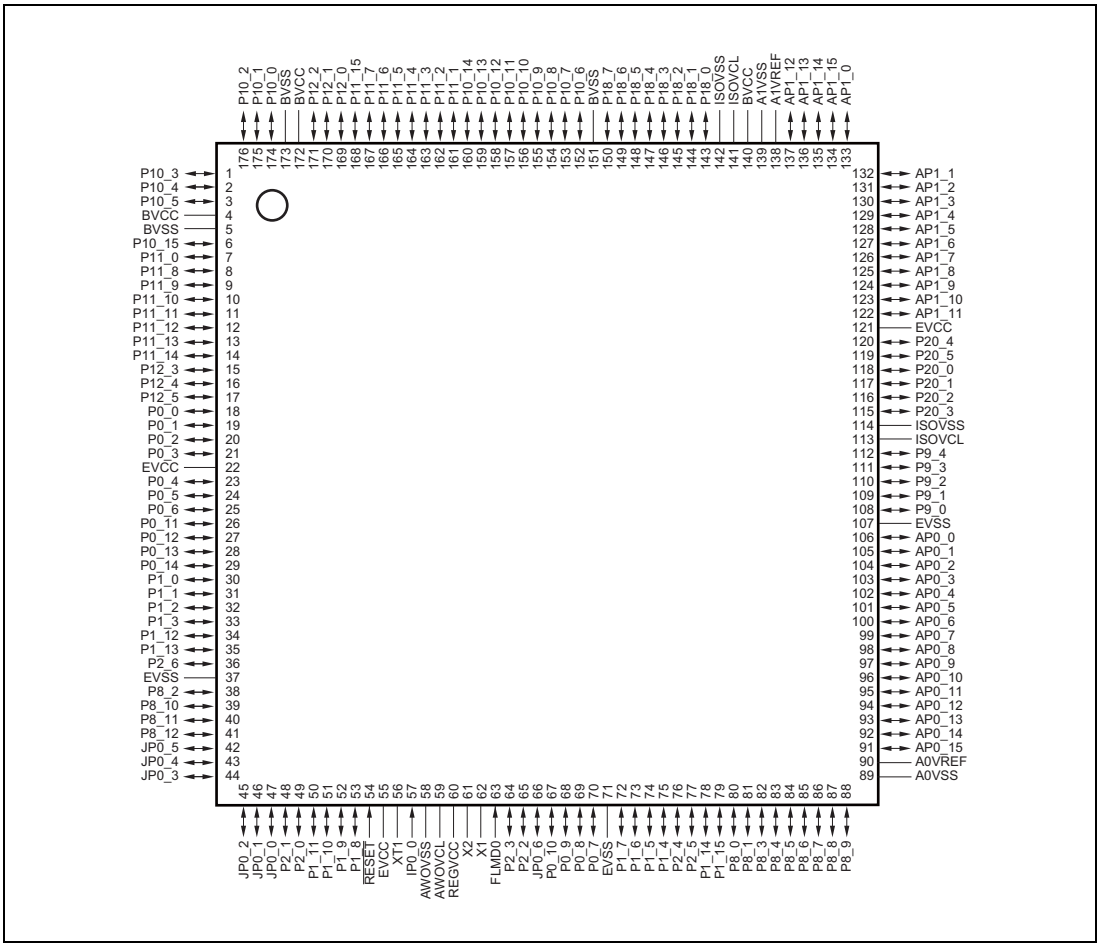


図 2.2 端子接続図（176 pin LQFP）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A	BVSS	P10_0	P12_2	P11_5	P11_1	P10_13	P10_10	P10_7	P10_6	P19_2	P18_15	P18_13	P18_6	P18_5	P18_10	P18_8	A1VSS	A
B	P10_3	P10_1	P13_1	P12_0	P11_4	P11_3	P10_14	P10_9	P19_3	P19_1	P18_7	P18_11	P18_3	P18_2	P18_1	AP1_12	AP1_14	B
C	P10_15	P10_5	P10_2	P13_0	P12_1	P11_7	P11_2	P10_11	P18_14	P19_0	P18_4	P18_12	P18_9	P18_0	AP1_13	AP1_15	AP1_0	C
D	P11_9	P11_0	P10_4	BVCC	P11_15	P11_6	P10_12	P10_8	BVSS	BVCC	BVCC	ISOVSS	ISOVCL	A1VSS	AP1_1	AP1_2	AP1_3	D
E	P11_12	P11_10	P11_8	BVCC										A1VREF	AP1_5	AP1_6	AP1_8	E
F	P13_2	P11_13	P11_11	BVSS										AP1_4	AP1_7	AP1_9	P20_4	F
G	P13_5	P13_3	P11_14	P13_4			BVSS	BVSS	BVSS	BVSS	BVSS			AP1_10	AP1_11	P20_5	P20_0	G
H	P12_4	P12_3	P13_7	P13_6			BVSS	BVSS	BVSS	BVSS	EVSS			EVCC	P20_1	P20_2	P20_3	H
J	P0_0	P0_1	P12_5	P0_2			BVSS	BVSS	BVSS	EVSS	EVSS			ISOVCL	P9_3	P9_4	P9_2	J
K	P0_3	P0_5	P0_4	EVCC			EVSS	EVSS	EVSS	EVSS	EVSS			ISOVSS	AP0_0	P9_0	P9_1	K
L	P0_11	P0_12	P0_6	P0_14			EVSS	EVSS	EVSS	EVSS	EVSS			EVSS	AP0_4	AP0_2	AP0_1	L
M	P0_13	P1_0	P2_9	P2_7										A0VREF	AP0_8	AP0_5	AP0_3	M
N	P1_2	P1_1	P1_3	P2_11										A0VSS	AP0_11	AP0_7	AP0_6	N
P	P1_12	P1_13	P8_10	P8_12	JP0_1	P1_11	P2_13	P2_15	EVCC	REGVCC	P0_7	P1_15	P8_6	P8_8	AP0_13	AP0_10	AP0_9	P
R	P2_6	P2_10	JP0_4	JP0_3	P2_1	P1_8	P1_9	P3_0	FLMD0	P0_9	P1_6	P1_4	P1_14	P8_4	P8_7	AP0_14	AP0_12	R
T	P2_8	P2_12	P8_11	JP0_2	P2_0	P2_14	IP0_0	AWOVCL	X1	P2_2	P0_10	P0_8	P2_4	P8_1	P8_5	P8_9	AP0_15	T
U	EVSS	P8_2	JP0_5	JP0_0	P1_10	$\overline{\text{RESET}}$	XT1	AWOVSS	X2	P2_3	JP0_6	P1_7	P1_5	P2_5	P8_0	P8_3	EVSS	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

Top View

図 2.3 端子接続図（233 pin BGA）

表 2.1 端子配置 144 pin LQFP (1/4)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$
3	P10_5 / TAUD0I11 / TAUD0O11 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO
4	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9
5	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11
6	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O
7	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O
8	P11_10 / CSIG1SC / PWGA50O
9	P11_11 / CSIG1SI / RLIN25TX / PWGA51O
10	P11_12 / RLIN25RX / PWGA52O
11	P11_13 / RLIN24RX / PWGA53O
12	P11_14 / RLIN24TX / PWGA54O
13	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / $\overline{\text{RESETOUT}}$
14	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / RLIN20TX / INTP0 / PWGA11O / CSIH0SI / APO
15	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / RLIN30TX / PWGA12O / CSIH0SC / INTP1 / DPO
16	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / INTP10
17	EVCC
18	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 /DPIN8
19	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO
20	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
21	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / PWGA34O
22	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI
23	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
24	P0_14 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
25	P1_0 / RLIN33RX / INTP13
26	P1_1 / RLIN33TX
27	P1_2 / CAN3RX / INTP3
28	P1_3 / CAN3TX / DPIN23
29	EVSS
30	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
31	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / ADCA0I17S
32	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / ADCA0I18S
33	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / ADCA0I19S
34	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
35	JP0_4 / $\overline{\text{DCUTRST}}$
36	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
37	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / DCUTCK / LPDCLK
38	JP0_1 / INTP1 /TAUJ0I0 / TAUJ0O0 / DCUTDO / LPDO
39	JP0_0 / INTP0 / DCUTDI / LPDI / LPDIO
40	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22
41	P1_10 / RLIN24RX / DPIN21

表 2.1 端子配置 144 pin LQFP (2/4)

端子番号	端子名
42	P1_9 / RLIN34TX / DPIN20
43	P1_8 / RLIN34RX / INTP14
44	$\overline{\text{RESET}}$
45	EVCC
46	XT1
47	IP0_0 / XT2
48	AWOVSS
49	AWOVCL
50	REGVCC
51	X2
52	X1
53	FLMD0
54	JP0_6 / $\overline{\text{EVTO}}$ 注 1
55	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
56	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX/ INTP4
57	P0_8/ RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
58	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
59	EVSS
60	P1_7 / ADCA1TRG1 / RLIN25TX / DPIN19
61	P1_6 / RLIN25RX / DPIN18
62	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17
63	P1_4 / RLIN35RX / INTP15
64	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / ADCA0I0S
65	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / ADCA0I1S
66	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / ADCA0I5S
67	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / ADCA0I6S
68	P8_5 / TAUJ0I3 / TAUJ0O3 / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
69	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S
70	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0I14S
71	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0I15S
72	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0I16S
73	A0VSS
74	A0VREF
75	AP0_15 / ADCA0I15
76	AP0_14 / ADCA0I14
77	AP0_13 / ADCA0I13
78	AP0_12 / ADCA0I12
79	AP0_11 / ADCA0I11
80	AP0_10 / ADCA0I10
81	AP0_9 / ADCA0I9
82	AP0_8 / ADCA0I8

表 2.1 端子配置 144 pin LQFP (3/4)

端子番号	端子名
83	AP0_7 / ADCA0I7
84	AP0_6 / ADCA0I6
85	AP0_5 / ADCA0I5
86	AP0_4 / ADCA0I4
87	AP0_3 / ADCA0I3
88	AP0_2 / ADCA0I2
89	AP0_1 / ADCA0I1
90	AP0_0 / ADCA0I0
91	EVSS
92	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S
93	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S
94	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
95	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
96	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
97	ISOVCL
98	ISOVSS
99	P20_5 / RLIN23TX / PWGA60O
100	P20_4 / RLIN23RX / PWGA59O
101	EVCC
102	AP1_7 / ADCA1I7
103	AP1_6 / ADCA1I6
104	AP1_5 / ADCA1I5
105	AP1_4 / ADCA1I4
106	AP1_3 / ADCA1I3
107	AP1_2 / ADCA1I2
108	AP1_1 / ADCA1I1
109	AP1_0 / ADCA1I0
110	A1VREF
111	A1VSS
112	BVCC
113	ISOVCL
114	ISOVSS
115	P18_0 / CSIG1RYI / CSIG1RYO / PWGA61O / ADCA1I0S
116	P18_1 / PWGA62O / ADCA1I1S
117	P18_2 / PWGA63O / ADCA1I2S
118	P18_3 / ADCA1I3S
119	BVSS
120	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1
121	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX
122	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / FLMD1
123	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX /INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / FLXA0RXDB

表 2.1　端子配置 144 pin LQFP (4/4)

端子番号	端子名
124	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1
125	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1
126	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3
127	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5
128	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7
129	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / PWGA26O / TAUB0I13 / TAUB0O13
130	P11_2 / CSIH2SO / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15
131	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O
132	P11_4 / CSIH2SI / CAN3TX / PWGA29O
133	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI
134	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO
135	P11_7 / INTP5 / PWGA32O / CSIH3SC
136	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O
137	P12_0 / CAN2TX / PWGA56O
138	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O
139	P12_2 / RLIN34TX / PWGA58O
140	BVCC
141	BVSS
142	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX /INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI
143	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / MODE0
144	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1

注 1.　$\overline{\text{EVTO}}$ 端子は Code Flash 4M バイト製品のみ対応

表 2.2 端子配置 176 pin LQFP (1/4)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$ / MEMC0CLK
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$
3	P10_5 / TAUD0I11 / TAUD0O11 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO
4	BVCC
5	BVSS
6	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9 / $\overline{\text{MEMC0RD}}$
7	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11 / $\overline{\text{MEMC0WR}}$
8	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11 / $\overline{\text{MEMC0CS0}}$
9	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13 / $\overline{\text{MEMC0CS1}}$
10	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15 / $\overline{\text{MEMC0CS2}}$
11	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0 / $\overline{\text{MEMC0CS3}}$
12	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2 / $\overline{\text{MEMC0WAIT}}$
13	P11_13 / RLIN24RX / PWGA53O / TAUB1I4 / TAUB1O4 / $\overline{\text{MEMC0BEN0}}$
14	P11_14 / RLIN24TX / PWGA54O / TAUB1I6 / TAUB1O6 / $\overline{\text{MEMC0BEN1}}$
15	P12_3 / RLIN27RX / PWGA68O
16	P12_4 / RLIN27TX / PWGA69O
17	P12_5 / PWGA70O
18	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / $\overline{\text{RESETOUT}}$
19	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO
20	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO
21	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO
22	EVCC
23	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8
24	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO
25	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
26	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
27	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
28	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
29	P0_14 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
30	P1_0 / RLIN33RX / INTP13
31	P1_1 / RLIN33TX
32	P1_2 / CAN3RX / INTP3
33	P1_3 / CAN3TX / DPIN23
34	P1_12 / CAN4RX / INTP4
35	P1_13 / CAN4TX
36	P2_6 / ADCA0SEL2
37	EVSS
38	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
39	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / ADCA0I17S
40	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / ADCA0I18S
41	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / ADCA0I19S
42	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
43	JP0_4 / $\overline{\text{DCUTRST}}$
44	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
45	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / DCUTCK / LPDCLK
46	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / DCUTDO / LPDO
47	JP0_0 / INTP0 / DCUTDI / LPDI / LPDIO
48	P2_1 / RLIN27TX
49	P2_0 / RLIN27RX

表 2.2 端子配置 176 pin LQFP (2/4)

端子番号	端子名
50	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22
51	P1_10 / RLIN24RX / DPIN21
52	P1_9 / RLIN34TX / DPIN20
53	P1_8 / RLIN34RX / INTP14
54	$\overline{\text{RESET}}$
55	EVCC
56	XT1
57	IP0_0 / XT2
58	AWOVSS
59	AWOVCL
60	REGVCC
61	X2
62	X1
63	FLMD0
64	P2_3 / RLIN28TX
65	P2_2 / RLIN28RX
66	JP0_6 / $\overline{\text{EVTO}}$ 注1
67	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
68	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
69	P0_8 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
70	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
71	EVSS
72	P1_7 / ADCA1TRG1 / RLIN25TX / DPIN19
73	P1_6 / RLIN25RX / DPIN18
74	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17
75	P1_4 / RLIN35RX / INTP15
76	P2_4 / RLIN29RX / ADCA0SEL0
77	P2_5 / RLIN29TX / ADCA0SEL1
78	P1_14 / RLIN23RX
79	P1_15 / RLIN23TX
80	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / ADCA0I0S
81	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / ADCA0I1S
82	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / ADCA0I5S
83	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / ADCA0I6S
84	P8_5 / TAUJ0I3 / TAUJ0O3 / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
85	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S
86	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0I14S
87	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0I15S
88	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0I16S
89	A0VSS
90	A0VREF
91	AP0_15 / ADCA0I15
92	AP0_14 / ADCA0I14
93	AP0_13 / ADCA0I13
94	AP0_12 / ADCA0I12
95	AP0_11 / ADCA0I11
96	AP0_10 / ADCA0I10
97	AP0_9 / ADCA0I9
98	AP0_8 / ADCA0I8

表 2.2 端子配置 176 pin LQFP (3/4)

端子番号	端子名
99	AP0_7 / ADCA0I7
100	AP0_6 / ADCA0I6
101	AP0_5 / ADCA0I5
102	AP0_4 / ADCA0I4
103	AP0_3 / ADCA0I3
104	AP0_2 / ADCA0I2
105	AP0_1 / ADCA0I1
106	AP0_0 / ADCA0I0
107	EVSS
108	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S
109	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S
110	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
111	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
112	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
113	ISOVCL
114	ISOVSS
115	P20_3 / CAN4TX / PWGA67O / RLIN29TX
116	P20_2 / CAN4RX / INTP4 / PWGA66O / RLIN29RX
117	P20_1 / RLIN26TX / PWGA65O
118	P20_0 / RLIN26RX / PWGA64O
119	P20_5 / RLIN23TX / PWGA60O
120	P20_4 / RLIN23RX / PWGA59O
121	EVCC
122	AP1_11 / ADCA1I11
123	AP1_10 / ADCA1I10
124	AP1_9 / ADCA1I9
125	AP1_8 / ADCA1I8
126	AP1_7 / ADCA1I7
127	AP1_6 / ADCA1I6
128	AP1_5 / ADCA1I5
129	AP1_4 / ADCA1I4
130	AP1_3 / ADCA1I3
131	AP1_2 / ADCA1I2
132	AP1_1 / ADCA1I1
133	AP1_0 / ADCA1I0
134	AP1_15 / ADCA1I15
135	AP1_14 / ADCA1I14
136	AP1_13 / ADCA1I13
137	AP1_12 / ADCA1I12
138	A1VREF
139	A1VSS
140	BVCC
141	ISOVCL
142	ISOVSS
143	P18_0 / CSIG1RYI / CSIG1RYO / PWGA61O / ADCA1I0S
144	P18_1 / PWGA62O / ADCA1I1S
145	P18_2 / PWGA63O / ADCA1I2S
146	P18_3 / PWGA71O / ADCA1I3S
147	P18_4 / CSIH1CSS4 / ADCA1I4S

表 2.2 端子配置 176 pin LQFP (4/4)

端子番号	端子名
148	P18_5 / CSIH1CSS5 / ADCA1I5S
149	P18_6 / ADCA1I6S
150	P18_7 / ADCA1I7S
151	BVSS
152	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MEMC0AD0
153	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / MEMC0AD1
154	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / MEMC0AD2 / FLMD1
155	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / MEMC0AD3 / FLXA0RXDB
156	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / MEMC0AD4
157	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1 / MEMC0AD5
158	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3 / MEMC0AD6
159	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / MEMC0AD7
160	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / MEMC0AD8
161	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / PWGA26O / TAUB0I13 / TAUB0O13 / MEMC0AD9
162	P11_2 / CSIH2SO / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / MEMC0AD10
163	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / MEMC0AD11
164	P11_4 / CSIH2SI / CAN3TX / PWGA29O / TAUB1I3 / TAUB1O3 / MEMC0AD12
165	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / TAUB1I5 / TAUB1O5 / MEMC0AD13
166	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / TAUB1I7 / TAUB1O7 / MEMC0AD14
167	P11_7 / INTP5 / PWGA32O / CSIH3SC / TAUB1I9 / TAUB1O9 / MEMC0AD15
168	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O / TAUB1I8 / TAUB1O8 / $\overline{\text{MEMC0ASTB}}$
169	P12_0 / CAN2TX / PWGA56O / TAUB1I10 / TAUB1O10 / MEMC0A16
170	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O / TAUB1I12 / TAUB1O12 / MEMC0A17
171	P12_2 / RLIN34TX / PWGA58O / TAUB1I14 / TAUB1O14 / MEMC0A18
172	BVCC
173	BVSS
174	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI / MEMC0A19
175	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / MODE0
176	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1

注 1. $\overline{\text{EVTO}}$ 端子は Code Flash 4M バイト製品のみ対応

表 2.3 端子配置 233 pin BGA (1/5)

端子番号	端子名
A1	BVSS
A2	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI / MEMC0A19
A3	P12_2 / RLIN34TX / PWGA58O / TAUB1I14 / TAUB1O14 / MEMC0A18
A4	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / TAUB1I5 / TAUB1O5 / MEMC0AD13
A5	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / PWGA26O / TAUB0I13 / TAUB0O13 / MEMC0AD9
A6	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / MEMC0AD7
A7	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / MEMC0AD4
A8	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / MEMC0AD1
A9	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MEMC0AD0
A10	P19_2 / ADCA1I18S
A11	P18_15 / ADCA1I15S
A12	P18_13 / ADCA1I13S
A13	P18_6 / ADCA1I6S
A14	P18_5 / CSIH1CSS5 / ADCA1I5S
A15	P18_10 / ADCA1I10S
A16	P18_8 / ADCA1I8S
A17	A1VSS
B1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$ / MEMC0CLK
B2	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / MODE0
B3	P13_1
B4	P12_0 / CAN2TX / PWGA56O / TAUB1I10 / TAUB1O10 / MEMC0A16
B5	P11_4 / CSIH2SI / CAN3TX / PWGA29O / TAUB1I3 / TAUB1O3 / MEMC0AD12
B6	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / MEMC0AD11
B7	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / MEMC0AD8
B8	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / MEMC0AD3 / FLXA0RXDB
B9	P19_3 / ADCA1I19S
B10	P19_1 / ADCA1I17S
B11	P18_7 / ADCA1I7S
B12	P18_11 / ADCA1I11S
B13	P18_3 / PWGA71O / ADCA1I3S
B14	P18_2 / PWGA63O / ADCA1I2S
B15	P18_1 / PWGA62O / ADCA1I1S
B16	AP1_12 / ADCA1I12
B17	AP1_14 / ADCA1I14
C1	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9 / $\overline{\text{MEMC0RD}}$
C2	P10_5 / TAUD0I11 / TAUD0O11 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO
C3	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1
C4	P13_0 / MEMC0A19
C5	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O / TAUB1I12 / TAUB1O12 / MEMC0A17
C6	P11_7 / INTP5 / PWGA32O / CSIH3SC / TAUB1I9 / TAUB1O9 / MEMC0AD15
C7	P11_2 / CSIH2SO / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / MEMC0AD10
C8	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1 / MEMC0AD5
C9	P18_14 / ADCA1I14S
C10	P19_0 / ADCA1I16S
C11	P18_4 / CSIH1CSS4 / ADCA1I4S
C12	P18_12 / ADCA1I12S
C13	P18_9 / ADCA1I9S
C14	P18_0 / CSIG1RYI / CSIG1RYO / PWGA61O / ADCA1I0S

表 2.3 端子配置 233 pin BGA (2/5)

端子番号	端子名
C15	AP1_13 / ADCA1I13
C16	AP1_15 / ADCA1I15
C17	AP1_0 / ADCA1I0
D1	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13 / $\overline{\text{MEMC0CS1}}$
D2	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11 / $\overline{\text{MEMC0WR}}$
D3	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$
D4	BVCC
D5	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O / TAUB1I8 / TAUB1O8 / $\overline{\text{MEMC0ASTB}}$
D6	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / TAUB1I7 / TAUB1O7 / MEMC0AD14
D7	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3 / MEMC0AD6
D8	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / MEMC0AD2 / FLMD1
D9	BVSS
D10	BVCC
D11	BVCC
D12	ISOVSS
D13	ISOVCL
D14	A1VSS
D15	AP1_1 / ADCA1I1
D16	AP1_2 / ADCA1I2
D17	AP1_3 / ADCA1I3
E1	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2 / $\overline{\text{MEMC0WAIT}}$
E2	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15 / $\overline{\text{MEMC0CS2}}$
E3	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11 / $\overline{\text{MEMC0CS0}}$
E4	BVCC
E14	A1VREF
E15	AP1_5 / ADCA1I5
E16	AP1_6 / ADCA1I6
E17	AP1_8 / ADCA1I8
F1	P13_2
F2	P11_13 / RLIN24RX / PWGA53O / TAUB1I4 / TAUB1O4 / $\overline{\text{MEMC0BEN0}}$
F3	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0 / $\overline{\text{MEMC0CS3}}$
F4	BVSS
F14	AP1_4 / ADCA1I4
F15	AP1_7 / ADCA1I7
F16	AP1_9 / ADCA1I9
F17	P20_4 / RLIN23RX / PWGA59O
G1	P13_5
G2	P13_3
G3	P11_14 / RLIN24TX / PWGA54O / TAUB1I6 / TAUB1O6 / $\overline{\text{MEMC0BEN1}}$
G4	P13_4
G7	BVSS
G8	BVSS
G9	BVSS
G10	BVSS
G11	BVSS
G14	AP1_10 / ADCA1I10
G15	AP1_11 / ADCA1I11
G16	P20_5 / RLIN23TX / PWGA60O

表 2.3 端子配置 233 pin BGA (3/5)

端子番号	端子名
G17	P20_0 / RLIN26RX / PWGA64O
H1	P12_4 / RLIN27TX / PWGA69O
H2	P12_3 / RLIN27RX / PWGA68O
H3	P13_7 / PWGA73O
H4	P13_6 / PWGA72O
H7	BVSS
H8	BVSS
H9	BVSS
H10	BVSS
H11	EVSS
H14	EVCC
H15	P20_1 / RLIN26TX / PWGA65O
H16	P20_2 / CAN4RX / INTP4 / PWGA66O / RLIN29RX
H17	P20_3 / CAN4TX / PWGA67O / RLIN29TX
J1	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / $\overline{\text{RESETOUT}}$
J2	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO
J3	P12_5 / PWGA70O
J4	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO
J7	BVSS
J8	BVSS
J9	BVSS
J10	EVSS
J11	EVSS
J14	ISOVCL
J15	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
J16	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
J17	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
K1	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO
K2	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO
K3	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8
K4	EVCC
K7	EVSS
K8	EVSS
K9	EVSS
K10	EVSS
K11	EVSS
K14	ISOVSS
K15	AP0_0 / ADCA0I0
K16	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S
K17	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S
L1	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
L2	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
L3	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
L4	P0_14 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
L7	EVSS
L8	EVSS
L9	EVSS
L10	EVSS
L11	EVSS

表 2.3 端子配置 233 pin BGA (4/5)

端子番号	端子名
L14	EVSS
L15	AP0_4 / ADCA0I4
L16	AP0_2 / ADCA0I2
L17	AP0_1 / ADCA0I1
M1	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
M2	P1_0 / RLIN33RX / INTP13
M3	P2_9 / PWGA77O
M4	P2_7
M14	A0VREF
M15	AP0_8 / ADCA0I8
M16	AP0_5 / ADCA0I5
M17	AP0_3 / ADCA0I3
N1	P1_2 / CAN3RX / INTP3
N2	P1_1 / RLIN33TX
N3	P1_3 / CAN3TX / DPIN23
N4	P2_11 / PWGA79O
N14	A0VSS
N15	AP0_11 / ADCA0I11
N16	AP0_7 / ADCA0I7
N17	AP0_6 / ADCA0I6
P1	P1_12 / CAN4RX / INTP4
P2	P1_13 / CAN4TX
P3	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / ADCA0I17S
P4	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / ADCA0I19S
P5	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / DCUTDO / LPDO
P6	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22
P7	P2_13
P8	P2_15 / PWGA75O
P9	EVCC
P10	REGVCC
P11	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
P12	P1_15 / RLIN23TX
P13	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S
P14	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0I15S
P15	AP0_13 / ADCA0I13
P16	AP0_10 / ADCA0I10
P17	AP0_9 / ADCA0I9
R1	P2_6 / ADCA0SEL2
R2	P2_10 / PWGA78O
R3	JP0_4 / $\overline{\text{DCUTRST}}$
R4	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
R5	P2_1 / RLIN27TX
R6	P1_8 / RLIN34RX / INTP14
R7	P1_9 / RLIN34TX / DPIN20
R8	P3_0 / PWGA76O
R9	FLMD0
R10	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
R11	P1_6 / RLIN25RX / DPIN18
R12	P1_4 / RLIN35RX / INTP15

表 2.3 端子配置 233 pin BGA (5/5)

端子番号	端子名
R13	P1_14 / RLIN23RX
R14	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / ADCA0I6S
R15	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0I14S
R16	AP0_14 / ADCA0I14
R17	AP0_12 / ADCA0I12
T1	P2_8
T2	P2_12
T3	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / ADCA0I18S
T4	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / DCUTCK / LPDCLK
T5	P2_0 / RLIN27RX
T6	P2_14 / PWGA74O
T7	IP0_0 / XT2
T8	AWOVCL
T9	X1
T10	P2_2 / RLIN28RX
T11	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
T12	P0_8 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
T13	P2_4 / RLIN29RX / ADCA0SEL0
T14	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / ADCA0I1S
T15	P8_5 / TAUJ0I3 / TAUJ0O3 / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
T16	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0I16S
T17	AP0_15 / ADCA0I15
U1	EVSS
U2	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
U3	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
U4	JP0_0 / INTP0 / DCUTDI / LPDI / LPDIO
U5	P1_10 / RLIN24RX / DPIN21
U6	$\overline{\text{RESET}}$
U7	XT1
U8	AWOVSS
U9	X2
U10	P2_3 / RLIN28TX
U11	JP0_6 / $\overline{\text{EVTO}}$ 注 1
U12	P1_7 / ADCA1TRG1 / RLIN25TX / DPIN19
U13	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17
U14	P2_5 / RLIN29TX / ADCA0SEL1
U15	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / ADCA0I0S
U16	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / ADCA0I5S
U17	EVSS

注 1. $\overline{\text{EVTO}}$ 端子は Code Flash 4M バイト製品のみ対応

2.2 端子説明

表 2.4 端子機能 (1/5)

端子名	端子数			I/O	機能	関連機能
	144 pin	176 pin	233 pin			
AnVREF	○ n = 0, 1	○ n = 0, 1	○ n = 0, 1	—	ADCAn 電圧供給と基準電圧	ADCAn
AnVSS	○ n = 0, 1	○ n = 0, 1	○ n = 0, 1	—	ADCAn グランド	
ADCAnIm	○ n = 0, m = 0-15 n = 1, m = 0-7	○ n = 0, 1, m = 0-15	○ n = 0, 1, m = 0-15	I	12 ビット分解能の ADCAn 入力チャネル m	
ADCA0ImS	○ m = 0-11, 14-19	○ m = 0-11, 14-19	○ m = 0-11, 14-19	I	10 ビット分解能の ADCA0 入力チャネル m	
ADCA1ImS	○ m = 0-3	○ m = 0-7	○ m = 0-19	I	10 ビット分解能の ADCA1 入力チャネル m	
ADCA0SELy	○ y = 0-2	○ y = 0-2	○ y = 0-2	O	ADCA0 入力用、外付け MPX 選択端子 y	
ADCAnTRGy	○ n = 0, 1, y = 0-2	○ n = 0, 1, y = 0-2	○ n = 0, 1, y = 0-2	I	ADCAn 外部トリガ端子 y	
AP0_m	○ m = 0-15	○ m = 0-15	○ m = 0-15	IO	アナログポート 0_m	ポート
AP1_m	○ m = 0-7	○ m = 0-15	○ m = 0-15	IO	アナログポート 1_m	
APO	○	○	○	O	アナログ入力用ポート出力信号	LPS
AWOVCL	○	○	○	—	AWO エリアコンデンサ接続用 電圧レギュレータ	電源
AWOVSS	○	○	○	—	AWO エリアグランド用、内部ロジック	
BVCC	○	○	○	—	ポートバッファ電圧供給	
BVSS	○	○	○	—	ポートバッファグランド	
CANmRX	○ m = 0-5	○ m = 0-5	○ m = 0-5	I	CANm 受信データ入力	RS-CANn
CANmTX	○ m = 0-5	○ m = 0-5	○ m = 0-5	O	CANm 送信データ出力	
CSCXFOUT	○	○	○	O	クロック出力	クロック
CSIGnRYI	○ n = 0, 1	○ n = 0, 1	○ n = 0, 1	I	CSIGn レディ (1) ／ビジー (0) 入力信号	CSIGn
CSIGnRYO	○ n = 0, 1	○ n = 0, 1	○ n = 0, 1	O	CSIGn レディ (1) ／ビジー (0) 出力信号	
CSIGnSC	○ n = 0, 1	○ n = 0, 1	○ n = 0, 1	IO	CSIGn シリアルクロック信号	
CSIGnSI	○ n = 0, 1	○ n = 0, 1	○ n = 0, 1	I	CSIGn シリアルデータ入力	
CSIGnSO	○ n = 0, 1	○ n = 0, 1	○ n = 0, 1	O	CSIGn シリアルデータ出力	
$\overline{\text{CSIGnSSI}}$	○ n = 0, 1	○ n = 0, 1	○ n = 0, 1	I	CSIGn SS 機能制御入力信号	

表 2.4 端子機能 (2/5)

端子名	端子数			I/O	機能	関連機能
	144 pin	176 pin	233 pin			
CSIHnCSS0	○	○	○	O	CSIHn シリアル周辺チップ選択信号 0	CSIHn
	n = 0-3	n = 0-3	n = 0-3			
CSIHnCSS1	○	○	○	O	CSIHn シリアル周辺チップ選択信号 1	
	n = 0-3	n = 0-3	n = 0-3			
CSIHnCSS2	○	○	○	O	CSIHn シリアル周辺チップ選択信号 2	
	n = 0-3	n = 0-3	n = 0-3			
CSIHnCSS3	○	○	○	O	CSIHn シリアル周辺チップ選択信号 3	
	n = 0-3	n = 0-3	n = 0-3			
CSIHnCSS4	○	○	○	O	CSIHn シリアル周辺チップ選択信号 4	
	n = 0-2	n = 0-2	n = 0-2			
CSIHnCSS5	○	○	○	O	CSIHn シリアル周辺チップ選択信号 5	
	n = 0-2	n = 0-2	n = 0-2			
CSIHnCSS6	○	○	○	O	CSIHn シリアル周辺チップ選択信号 6	
	n = 0	n = 0	n = 0			
CSIHnCSS7	○	○	○	O	CSIHn シリアル周辺チップ選択信号 7	
	n = 0	n = 0	n = 0			
CSIHnRYI	○	○	○	I	CSIHn レディ (1) ／ ビジー (0) 入力信号	
	n = 0-3	n = 0-3	n = 0-3			
CSIHnRYO	○	○	○	O	CSIHn レディ (1) ／ビジー (0) 出力信号	
	n = 0-3	n = 0-3	n = 0-3			
CSIHnSC	○	○	○	IO	CSIHn シリアルクロック信号	
	n = 0-3	n = 0-3	n = 0-3			
CSIHnSI	○	○	○	I	CSIHn シリアルデータ入力	
	n = 0-3	n = 0-3	n = 0-3			
CSIHnSO	○	○	○	O	CSIHn シリアルデータ出力	
	n = 0-3	n = 0-3	n = 0-3			
$\overline{\text{CSIHnSSI}}$	○	○	○	I	CSIHn スレーブ選択入力信号	
	n = 0-3	n = 0-3	n = 0-3			
$\overline{\text{DCURDY}}$	○	○	○	O	デバッグレディ	OCD
DCUTCK	○	○	○	I	デバッグクロック	
DCUTDI	○	○	○	I	デバッグデータ入力	
DCUTDO	○	○	○	O	デバッグデータ出力	
DCUTMS	○	○	○	I	デバッグモード選択	
$\overline{\text{DCUTRST}}$	○	○	○	I	デバッグリセット	
DPINm	○	○	○	I	デジタルポート入力 m	LPS
	m = 0-23	m = 0-23	m = 0-23			
DPO	○	○	○	O	デジタル入力用ポート出力	
ENCA0E0	○	○	○	I	ENCAn エンコーダ入力 0	ENCA0
ENCA0E1	○	○	○	I	ENCAn エンコーダ入力 1	
ENCA0TINm	○	○	○	I	ENCA0 キャプチャトリガ入力 m	
	m = 0, 1	m = 0, 1	m = 0, 1			
ENCA0EC	○	○	○	I	ENCAn エンコーダクリア入力	
EVCC	○	○	○	—	ポートバッファ電圧供給	電源
EVSS	○	○	○	—	ポートバッファグランド	
$\overline{\text{EVTO}}$	○注 1	○注 1	○注 1	O	イベント出力	TEU_OUT

表 2.4 端子機能 (3/5)

端子名	端子数			I/O	機能	関連機能
	144 pin	176 pin	233 pin			
FLMD0	○	○	○	I	動作モード選択端子 0	モード
FLMD1	○	○	○	I	動作モード選択端子 1	
FLXA0RXDA	○	○	○	I	FlexRay0 データ受信入力 A	FLXA0
FLXA0RXDB	○	○	○	I	FlexRay0 データ受信入力 B	
FLXA0STPWT	○	○	○	I	FlexRay0 ストップ・ウォッチ・トリガ	
FLXA0TXDA	○	○	○	O	FlexRay0 データ送信出力 A	
FLXA0TXDB	○	○	○	O	FlexRay0 データ送信出力 B	
FLXA0TXENA	○	○	○	O	FlexRay0 データ送信許可 A	
FLXA0TXENB	○	○	○	O	FlexRay0 データ送信許可 B	
INTPm	○ m = 0-15	○ m = 0-15	○ m = 0-15	I	外部割り込み入力 m	INTC
IP0_0	○	○	○	I	入力ポート 0_0	ポート
ISOVCL	○	○	○	—	ISO エリアコンデンサ接続用、 電圧レギュレータ	電源
ISOVSS	○	○	○	—	ISO エリアグランド用、 内部ロジック	
JP0_m	○ m = 0-6	○ m = 0-6	○ m = 0-6	IO	JTAG ポート 0_m	ポート
KR0Im	○ m = 0-7	○ m = 0-7	○ m = 0-7	I	KR0 キー入力信号	KR0
LPDCLK	○	○	○	I	LPD クロック入力（4 ピン）	LPD
LPDCLKOUT	○	○	○	O	LPD クロック出力（4 ピン）	
LPDI	○	○	○	I	LPD データ入力（4 ピン）	
LPDIO	○	○	○	IO	LPD データ入力／出力（1 ピン）	
LPDO	○	○	○	O	LPD データ出力（4 ピン）	
MEMC0Am	—	○ m = 16-19	○ m = 16-19	O	MEMC0 アドレス m	MEMC0
MEMC0ADm	—	○ m = 0-15	○ m = 0-15	IO	MEMC0 アドレス／データ m	
$\overline{\text{MEMC0ASTB}}$	—	○	○	O	MEMC0 アドレスストローブ	
$\overline{\text{MEMC0BENm}}$	—	○ m = 0, 1	○ m = 0, 1	O	MEMC0 バイトイネーブル m	
MEMC0CLK	—	○	○	O	MEMC0 クロック出力	
$\overline{\text{MEMC0CSm}}$	—	○ m = 0-3	○ m = 0-3	O	MEMC0 チップ選択 m	
$\overline{\text{MEMC0RD}}$	—	○	○	O	MEMC0 リードストローブ	
$\overline{\text{MEMC0WAIT}}$	—	○	○	I	MEMC0 ウェイト入力	
$\overline{\text{MEMC0WR}}$	—	○	○	O	MEMC0 ライトストローブ	
MODEm	○ m = 0, 1	○ m = 0, 1	○ m = 0, 1	I	サブ動作モード選択 （バウンダリスキャン）	モード
NMI	○	○	○	I	外部ノンマスカブル割り込み入力	INTC

表 2.4 端子機能 (4/5)

端子名	端子数			I/O	機能	関連機能
	144 pin	176 pin	233 pin			
P0_m	○ m = 0-14	○ m = 0-14	○ m = 0-14	IO	ポート 0_m	ポート
P1_m	○ m = 0-11	○ m = 0-15	○ m = 0-15	IO	ポート 1_m	
P2_m	—	○ m = 0-6	○ m = 0-15	IO	ポート 2_m	
P3_m	—	—	○ m = 0	IO	ポート 3_m	
P8_m	○ m = 0-12	○ m = 0-12	○ m = 0-12	IO	ポート 8_m	
P9_m	○ m = 0-4	○ m = 0-4	○ m = 0-4	IO	ポート 9_m	ポート
P10_m	○ m = 0-15	○ m = 0-15	○ m = 0-15	IO	ポート 10_m	
P11_m	○ m = 0-15	○ m = 0-15	○ m = 0-15	IO	ポート 11_m	
P12_m	○ m = 0-2	○ m = 0-5	○ m = 0-5	IO	ポート 12_m	
P13_m	—	—	○ m = 0-7	IO	ポート 13_m	
P18_m	○ m = 0-3	○ m = 0-7	○ m = 0-15	IO	ポート 18_m	
P19_m	—	—	○ m = 0-3	IO	ポート 19_m	
P20_m	○ m = 4-5	○ m = 0-5	○ m = 0-5	IO	ポート 20_m	
PWGAnO	○ n = 0-63	○ n = 0-71	○ n = 0-79	O	PWGAn 出力信号	PWM-Diag
REGVCC	○	○	○	—	電圧レギュレータ電圧供給	電源
$\overline{\text{RESET}}$	○	○	○	I	外部リセット入力	リセット
$\overline{\text{RESETOUT}}$	○	○	○	O	リセット出力	
RIIC0SCL	○	○	○	IO	RIIC0 シリアルクロック	RIIC0
RIIC0SDA	○	○	○	IO	RIIC0 シリアルデータ	
RLIN2mRX	○ m = 0-5	○ m = 0-9	○ m = 0-9	I	RLIN2m 受信データ入力	RLIN2
RLIN2mTX	○ m = 0-5	○ m = 0-9	○ m = 0-9	O	RLIN2m 送信データ出力	
RLIN3nRX	○ n = 0-5	○ n = 0-5	○ n = 0-5	I	RLIN3n 受信データ入力	RLIN3
RLIN3nTX	○ n = 0-5	○ n = 0-5	○ n = 0-5	O	RLIN3n 送信データ出力	
RTCA0OUT	○	○	○	O	RTCA0 1Hz 出力	RTCA0
SELDPk	○ k = 0-2	○ k = 0-2	○ k = 0-2	O	デジタルポート用外部マルチプレクサ選択出力信号 k	LPS

表 2.4 端子機能 (5/5)

端子名	端子数			I/O	機能	関連機能
	144 pin	176 pin	233 pin			
TAPA0ESO	○	○	○	I	Hi-Z 制御	Motor control
TAPA0UN	○	○	○	O	モータ制御出力 U 相（逆相）	
TAPA0UP	○	○	○	O	モータ制御出力 U 相（正相）	
TAPA0VN	○	○	○	O	モータ制御出力 V 相（逆相）	
TAPA0VP	○	○	○	O	モータ制御出力 V 相（正相）	
TAPA0WN	○	○	○	O	モータ制御出力 W 相（逆相）	
TAPA0WP	○	○	○	O	モータ制御出力 W 相（正相）	
TAUBnIm	○	○	○	I	TAUBn チャネル入力 m	TAUBn
	n = 0, 1, m = 0-15	n = 0, 1, m = 0-15	n = 0, 1, m = 0-15			
TAUBnOm	○	○	○	O	TAUBn チャネル出力 m	
	n = 0, m = 0-15	n = 0, 1, m = 0-15	n = 0, 1, m = 0-15			
TAUD0Im	○	○	○	I	TAUD0 チャネル入力 m	TAUD0
	m = 0-15	m = 0-15	m = 0-15			
TAUD0Om	○	○	○	O	TAUD0 チャネル出力 m	
	m = 0-15	m = 0-15	m = 0-15			
TAUJnIm	○	○	○	I	TAUJn チャネル入力 m	TAUJn
	n = 0, 1, m = 0-3	n = 0, 1, m = 0-3	n = 0, 1, m = 0-3			
TAUJnOm	○	○	○	O	TAUJn チャネル出力 m	
	n = 0, 1, m = 0-3	n = 0, 1, m = 0-3	n = 0, 1, m = 0-3			
X1, X2	○	○	○	—	メイン発振子接続	MOSC
XT1, XT2	○	○	○	—	サブ発振子接続	SOSC

注 1. $\overline{\text{EVTO}}$ 端子 は、Code Flash 4 M バイト製品のみ対応

注 意

- **周辺機能端子を複数個所に割り当てている場合、同じチャネルグループ端子は、同一ポートグループもしくは近傍のポート端子を使用してください。**
  （例） RS-CAN チャネル 0 を使用する場合
  CAN0TX P0_0 P10_1
  CAN0RX P0_1 P10_0
  以下の端子組み合わせのどちらかで使用してください。
  - **P0_0, P0_1 の組み合わせ**
  - **P10_0, P10_1 の組み合わせ**
- **P0_0, P10_0 の組み合わせ及び P0_1, P10_1 の組み合わせは禁止です。**

2.3 リセット期間中／解除後の端子機能

表 2.5 リセット期間中／解除後の端子機能

端子	リセット中[注4]	リセット後[注4]
JP0_0	ハイインピーダンス	JP0_0 : ハイインピーダンス シリアルプログラミングモード : FPDR, FPDT (1 wire UART) FPDR (2 wire UART) Nexus I/F : DCUTDI 入力 LPD (4 pin) : LPDI 入力 LPD (1 pin) : LPDIO 入出力
JP0_1	ハイインピーダンス	JP0_1 : ハイインピーダンス シリアルプログラミングモード : FPDT Nexus I/F : DCUTDO 出力 LPD (4 pin) : LPDO 出力 LPD (1 pin) : ハイインピーダンス
JP0_2	ハイインピーダンス	JP0_2 : ハイインピーダンス シリアルプログラミングモード : FPCK Nexus I/F : DCUTCK 入力 LPD (4 pin) : LPDCLK 入力 LPD (1 pin) : ハイインピーダンス
JP0_3	ハイインピーダンス	JP0_3 : ハイインピーダンス シリアルプログラミングモード : ハイインピーダンス Nexus I/F : DCUTMS 入力 LPD (4 pin) : ハイインピーダンス LPD (1 pin) : ハイインピーダンス
JP0_4	入力[注3]	JP0_4 : ハイインピーダンス シリアルプログラミングモード : ハイインピーダンス Nexus I/F : $\overline{\text{DCUTRST}}$ 入力[注1] LPD (4 pin) : ハイインピーダンス LPD (1 pin) : ハイインピーダンス
JP0_5	ハイインピーダンス	JP0_5 : ハイインピーダンス シリアルプログラミングモード : ハイインピーダンス Nexus I/F : $\overline{\text{DCURDY}}$ 出力 LPD (4 pin) : LPDCLKOUT 出力 LPD (1 pin) : ハイインピーダンス
JP0_6	ハイインピーダンス	JP0_6 : ハイインピーダンス シリアルプログラミングモード : ハイインピーダンス Nexus I/F : $\overline{\text{EVTO}}$ 出力[注5] LPD (4 pin) : ハイインピーダンス LPD (1 pin) : ハイインピーダンス
P0_0	出力[注2]	出力[注2]
P0_1 ～ P0_14	ハイインピーダンス	ハイインピーダンス
P1 ～ P3、P8 ～ P13、P18 ～ P20 （P10_1、P10_2、P10_8 除く）	ハイインピーダンス	ハイインピーダンス
P10_1	ハイインピーダンス	ハイインピーダンス (FLMD = 0) ハイインピーダンス (FLMD0 = 1, FLMD1 = 0) MODE0 入力 (FLMD0 = 1, FLMD1 = 1)
P10_2	ハイインピーダンス	ハイインピーダンス (FLMD = 0) ハイインピーダンス (FLMD0 = 1, FLMD1 = 0) MODE1 入力 (FLMD0 = 1, FLMD1 = 1)
P10_8	ハイインピーダンス	ハイインピーダンス (FLMD = 0) FLMD1 入力 (FLMD0 = 1)
FLMD0	入力	入力
$\overline{\text{RESET}}$	入力	入力
AP0、AP1	ハイインピーダンス	ハイインピーダンス

注 1. Nexus を有効にし、かつ外部機器を接続しない場合は、端子レベルを常時 Low レベルに固定にする必要があります。

注 2. RESETOUT となります。詳細は**「2.11 ポート（特殊 I/O）機能概要」**を参照してください。

注 3. パワーオン時／リセット解除時は、JP0_4 端子にロウレベルを入力してください。

注 4. リセット期間中／解除後にはハイインピーダンス状態の端子があることを示しています。しかし出力端子は外部リセットと内部リセットの遷移時（12ns 未満）で不安定になる可能性があります。その後、端子の状態はハイインピーダンスになります。不安定な出力期間の事象と不安定な状況後の端子レベルの影響は、ユーザのボードや測定条件に依存します。

注 5. $\overline{\text{EVTO}}$ 端子は、Code Flash 4M バイト製品のみ対応

2.4 スタンバイモード時のポート状態

スタンバイモード時のポート状態は、**「12.1.4　入出力バッファ制御」**を参照してください。

2.5 未使用端子の推奨接続

端子が未使用の場合、下記のように接続することを推奨します。

表 2.6 未使用端子の推奨接続

端子	未使用端子の推奨接続情報
A0VREF、A1VREF	EVCC or BVCC に接続
A0VSS、A1VSS	EVSS or BVSS に接続
$\overline{\text{RESET}}$	EVCC に接続
XT1	抵抗を介して REGVCC or AWOVSS に接続 注 1 (IPIBC0_0 ビット = 1 のとき) AWOVSS に接続 (IPIBC0_0 ビット = 0 のとき)
IP0_0	抵抗を介して REGVCC or AWOVSS に接続 注 1 (IPIBC0_0 ビット = 1 のとき) オープン (IPIBC0_0 ビット = 0 のとき)
JP0（JP0_4 を除く） P0（P0_0 を除く） P1 P2 P3 P8 P9 P20	入力時：オープン（PIBCn_m ビット = 0 かつ PMCn_m ビット = 0 のとき） 抵抗を介して EVCC or EVSS に接続（PIBCn_m ビット = 1 または PMCn_m ビット = 1 のとき） 出力時：オープン
JP0_4	抵抗を介して EVSS に接続注 2
P0_0	入力時：オープン（PIBCn_m ビット = 0 かつ PMCn_m ビット = 0 のとき） 抵抗を介して EVSS に接続 （PIBCn_m ビット = 1 または PMCn_m ビット = 1 のとき） 出力時：オープン
P10_1、P10_2、P10_8	入力時：オープン（PIBCn_m ビット = 0 かつ PMCn_m ビット = 0 のとき） 抵抗を介して BVSS に接続 （PIBCn_m ビット = 1 または PMCn_m ビット = 1 のとき） 出力時：オープン
P10（P10_1、P10_2、P10_8 を除く） P11 P12 P13 P18 P19	入力時：オープン（PIBCn_m ビット = 0 かつ PMCn_m ビット = 0 のとき） 抵抗を介して BVCC or BVSS に接続 （PIBCn_m ビット = 1 または PMCn_m ビット = 1 のとき） 出力時：オープン
AP0	入力時：オープン（PIBCn_m ビット = 0 のとき） 抵抗を介して A0VREF or A0VSS に接続（PIBCn_m ビット = 1 のとき） 出力時：オープン
AP1	入力時：オープン（PIBCn_m ビット = 0 のとき） 抵抗を介して A1VREF or A1VSS に接続（PIBCn_m ビット = 1 のとき） 出力時：オープン
Nexus/LPD I/F（JP0）	DCUTDI/LPDI/LPDIO（JP0_0）：抵抗を介して EVCC に接続 DCUTDO/LPDO（JP0_1）：オープン DCUTCK/LPDCLK（JP0_2）：オープン $\overline{\text{DCUTMS}}$（JP0_3）：抵抗を介して EVCC に接続 $\overline{\text{DCUTRST}}$（JP0_4）：抵抗を介して EVSS に接続注 2 $\overline{\text{DCURDY}}$/LPDCLKOUT（JP0_5）：オープン $\overline{\text{EVTO}}$（JP0_6）：オープン注 3

注 1. XT1 = IP0_0（XT2）= REGVCC or AWOVSS としてください。
XT1 と IP0_0（XT2）は内部抵抗を介して接続されています。そのため、電流経路を作らないために等しい電圧レベル維持する必要があります。

注 2. 詳細は、開発ツール仕様を参照してください。

注 3. EVTO 端子は Code Flash 4M バイト製品のみ対応

2.6 ポートの特長

2.6.1 ポートグループ

この製品には下記番号のポートグループがあります。

表 2.7 RH850/F1M のポートグループ

端子数	ポートグループ	RH850/F1M
144 pin	数	13
	名称	P0、P1、P8-P12、P18、P20、JP0、AP0、AP1、IP0
176 pin	数	14
	名称	P0-P2、P8-P12、P18、P20、JP0、AP0、AP1、IP0
233 pin	数	17
	名称	P0-P3、P8-P13、P18-P20、JP0、AP0、AP1、IP0

2.6.2 ポートグループインデクス n

本章を通して、個々のポートグループはインデクス “n” （n = 0-3, 8-13, 18-20）により識別されます。たとえば、Pn 端子のポートモードコントロールレジスタは PMCn です。

2.6.3 レジスタベースアドレス

ポートおよび JTAG ポートのベースアドレスを以下の表に示します。

ポートおよび JTAG ポートのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 2.8 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PORTn_base>	FFC1 0000_H
<JPORT0_base>	FFC2 0000_H

2.6.4 クロック供給

ポートのクロック供給を以下の表に示します。

表 2.9 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ポート	レジスタアクセスクロック	CPUCLK4

2.7 ポートの機能

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポートグループの用語の説明は、**「2.7.2　用語」**を参照してください。

2.7.1 機能概要

- すべてのポートが個別に設定可能
- 各ポートの最大ビット（端子）数は 16
- 任意の端子の出力レベルは、同じポートの他の端子に影響を与えることなく、同時設定が可能
- 入力バッファ許可信号はレジスタ設定によって設定可能
- 端子レベルは専用のポート端子リードレジスタ（PPR）によってリード可能
- ポートは**「2.9.2　端子機能の設定」**、**表 2.37**、**表 2.39**、**表 2.41**、**表 2.43**、**表 2.45**、**表 2.47**、**表 2.49**、**表 2.51**、**表 2.53**、**表 2.55**、**表 2.57**、**表 2.59**、**表 2.61**、**表 2.63**、**表 2.65**、**表 2.67**、**表 2.69** に示す機能をサポート

注　意

本デバイスは、入力機能または出力機能を複数のポートに割り当てる兼用機能を持っていますが、アクティブに設定できるのは 1 ポートのみです。複数のポートを同時にアクティブにしないでください。ひとつの兼用機能に複数の周辺機能が割り当てられていて、一方の機能のみ使用する場合も該当します。

（例）

INTP0 は、本デバイス上の以下のポートに割り当てられますが、アクティブにできるのは 1 ポートのみです。他のポートはアクティブにしないでください。

- **JP0_0（第 1 入力兼用機能）**
- **P0_1（第 2、第 3 入力兼用機能）**
- **P10_0（第 2 入力兼用機能）**

上記の場合 JP0_0 の第 1 入力兼用機能（INTP0）を選択し、P0_1 を第 2 入力兼用機能（CAN0RX / INTP0）を CAN としてのみ使用する場合でも設定は禁止です。

2.7.2 用語

本章で使用されている用語について説明します。

端子

物理的な端子を表します。端子ごとに一意の端子番号で表されます。

端子は複数のモードで使用できます。選択したモードによって、端子機能を示す名称が割り当てられます。

ポートグループ

端子のグループを表します。同じポートグループの端子は、同じポートコントロールレジスタで制御されます。

ポートモード／ポート

ポートモードの端子は、汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。

対応する名称は Pn_m です。たとえば、P0_7 はポートグループ 0 のポート 7 を示します。これを「ポート P0_7」と表します。

兼用モード

兼用モードでは、端子は内蔵周辺機能の入出力端子などのさまざまな汎用入出力以外の機能として使用されます。

対応する端子名は、選択した機能によって異なります。たとえば、INTP0 端子は外部割り込み入力用の端子を表します。

なお、複数の異なる名称、たとえば P0_0 と INTP0 が物理的に同じ端子を表す可能性があります。それぞれの名称は、端子の機能を示します。

2.7.2.1 JTAG ポート

JTAG ポートグループは、オンチップデバッグ時にデバッガと接続するために使用されます。デバッグ中はユーザ用途として使用できないため、特別なポートグループとしています。デバッガを接続しない通常動作時は、他のすべてのポートと同じ方法で使用することが可能です。

JTAG ポートグループのレジスタとビットの名称には先頭に「J」が付加されています。たとえば、JP0 は JTAG ポートグループ 0、JPM0.JPM0_m は JPM0 ポートモードレジスタの JPM0_m ポートモードビットを意味します。

備　考

本章では、断りがない限り、すべてのポートと、PFCEn、PFCAEn、PIPCn、PDSCn、PISn 以外のレジスタの説明は、JTAG ポートも含みます。

2.7.3 端子機能概要

端子は、3 つのモードで動作することができます。

- ポートモード（PMCn.PMCn_m ビット = 0）

  ポートモードでは、端子は汎用入出力ポートとして動作します。PMn.PMn_m ビットで入力／出力を選択します。

- ソフトウェア I/O 制御兼用モード（PMCn.PMCn_m ビット = 1、PIPCn.PIPCn_m ビット = 0）

  ソフトウェア I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力／出力の選択は、PMn.PMn_m ビットの設定によって行われます。

- 直接 I/O 制御兼用モード（PMCn.PMCn_m ビット = 1、PIPCn.PIPCn_m ビット = 1）

  直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。ソフトウェア I/O 制御兼用モードと違い、兼用機能によって入力／出力が直接制御されます。

レジスタ設定の概要は下表に示します。

表 2.10 端子機能の設定（概要）

モード	ビット			I/O
	PMCn_m	PMn_m	PIPCn_m	
ポートモード	0	0	X	O
		1 注 1		I
ソフトウェア I/O 制御兼用モード	1	0	0	O
		1	0	I
直接 I/O 制御兼用モード		X	1	兼用機能による制御

注 1. 入力バッファを必ず許可（PIBCn_m ビット = 1）してください。

- ソフトウェア I/O 制御兼用機能 （PIPCn.PIPCn_m ビット = 0）：
  - 出力 （PMn_m ビット = 0）：兼用出力モード 1 ～ 兼用出力モード 7
  - 入力 （PMn_m ビット = 1）：兼用入力モード 1 ～ 兼用入力モード 7
- 直接 I/O 制御兼用機能 （PIPCn.PIPCn_m ビット = 1）：
  - 兼用出力モード 1 ～兼用出力モード 7、兼用入力モード 1 ～兼用入力モード 7 の入出力は、兼用機能によって直接選択されます。

表 2.11 兼用モード選択の概要（PMCn.PMCn_m ビット = 1）

機能	レジスタ					I/O
	PIPC 注1	PM 注1	PFCAE	PFCE	PFC	
兼用入力モード 1（ALT_IN1）	0	1	0	0	0	I
兼用出力モード 1（ALT_OUT1）		0				O
兼用入力モード 2（ALT_IN2）		1			1	I
兼用出力モード 2（ALT_OUT2）		0				O
兼用入力モード 3（ALT_IN3）		1		1	0	I
兼用出力モード 3（ALT_OUT3）		0				O
兼用入力モード 4（ALT_IN4）		1			1	I
兼用出力モード 4（ALT_OUT4）		0				O
兼用入力モード 5（ALT_IN5）		1	1	0	0	I
兼用出力モード 5（ALT_OUT5）		0				O
兼用入力モード 6（ALT_IN6）		1			1	I
兼用出力モード 6（ALT_OUT6）		0				O
兼用入力モード 7（ALT_IN7）		1		1	0	I
兼用出力モード 7（ALT_OUT7）		0				O
上記以外	設定禁止					

注 1. PIPCn.PIPCn_m ビット = 1 の場合は、入出力方向は周辺（兼用）機能によって直接制御され、PM は無視されます。

端子が兼用モード（PMCn.PMCn_m ビット = 1）の場合、最大 7 つの異なる兼用機能の 1 つを PFCn、PFCEn、PFCAEn レジスタによって選択します。

2.7.4 端子データ入力／出力

データの入力／出力に使用するレジスタについて説明します。

端子モードによって PPRn レジスタを介してリードされる場所が異なります。

2.7.4.1 出力データ

ポートモード（PMCn.PMCn_m ビット = 0）では Pn.Pn_m ビットの値 が Pn_m 端子から出力されます。

2.7.4.2 入力データ

PPRn レジスタのリード動作では、Pn_m 端子の値、Pn.Pn_m ビットの値、または兼用機能による出力値のいずれかを読み出します。

PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPRn リードモードの違いを次の表に示します。

表 2.12 PPRn_m リード値

PMC n_m	PM n_m	PIBC n_m	PIPC n_m	PODC n_m	モード	PPRn_m リード値
0	1	0	X	X	ポート入力、入力バッファ禁止	Pn.Pn_m ビット
		1		X	ポート入力、入力バッファ許可	Pn_m 端子
	0	X		0	ポートプッシュプル出力	Pn.Pn_m ビット注 1
				1	ポートオープンドレイン出力	
1	1	X	0	X	ソフトウェア I/O 制御兼用入力	Pn_m 端子
	0			0	ソフトウェア I/O 制御兼用プッシュプル出力	兼用機能からの内部出力信号注 1
				1	ソフトウェア I/O 制御兼用オープンドレイン出力	
	X		1	0	直接 I/O 制御兼用入力またはプッシュプル出力	兼用モードでの入出力ポート： • 入力：Pn_m 端子 • 出力：兼用機能からの内部出力信号注 1
				1	直接 I/O 制御兼用入力またはオープンドレイン出力	

注 1. PBDCn_m = 1 の場合、Pn_m 端子レベルが、PPRn_m ビットでリードされます。

上表に示す各制御レジスタの効果：

- PMCn.PMCn_m ビット
  このビットは、ポートモード（PMCn_m ビット = 0）または兼用モード（PMCn_m ビット = 1）を選択します。
- PMn.PMn_m ビット
  このビットは、ポートモード（PMCn_m ビット = 0）とソフトウェア I/O 制御兼用モード（PMCn_m ビット = 1、PIPCn_m ビット = 0）時に入力（PMn_m ビット = 1）または出力（PMn_m ビット = 0）を選択します。
- PIBCn.PIBCn_m ビット
  このビットは、入力ポートモード（PMCn_m ビット = 0 と PMn_m ビット = 1）時に入力バッファを使用不可（PIBCn_m ビット = 0）または使用許可（PIBCn_m ビット = 1）を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。

- PIPCn.PIPCn_m ビット
  このビットは、ソフトウェア I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。
- PODCn.PODCn_m ビット
  このビットは、プッシュプル（PODCn_m ビット = 0）またはオープンドレイン（PODCn_m ビット = 1）出力を選択します。
- PBDCn.PBDCn_m ビット
  出力モード時、このビットを 1 に設定すると、ポートは双方向モードになります。双方向モード時、PPRn.PPRn_m は強制的に Pn_m 端子のレベルを読み出すことができます。

注　意

Pn_m ポートを兼用出力機能（PMCn.PMCn_m ビット = 1, PMn.PMn_m ビット = 0）として使用する場合、双方向モードを許可（PBDCn.PBDCn_m ビット = 1）することにより、PPRn.PPRn_m ビットで Pn_m 端子のレベルをリードすることができます。しかし、その場合、Pn_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

2.7.4.3　Pn レジスタへのライト

ポートモード（PMCn.PMCn_m ビット = 0）時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。

Pn データは 2 つの方法で書き換えることができます。

- Pn レジスタへの直接ライト
  新しいデータは Pn レジスタに直接ライトすることができます。
- 間接的な Pn レジスタへのビット操作（set/reset/not）
  Pn レジスタへのビット操作（set/reset/not）は 2 つのレジスタを使って間接的に可能です。
  - ポートセット／リセットレジスタ　PSRn
    PSRn.PSRn（m+16）ビット = 1 の場合、PSRn.PSRn_m ビットの値が Pn.Pn_m ビットの値を決めます。
    つまり、Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。
  - ポートノットレジスタ　PNOTn
    PNOTn.PNOTn_m ビット = 1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pn_m ビットを反転することが可能です。

  間接的な Pn レジスタへのビット操作（set/reset/not）は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット（1 ビットとは限りません）を書き換えることができます。

2.8 ポート概念図

下図は、ポート制御機能の概念図を示します。

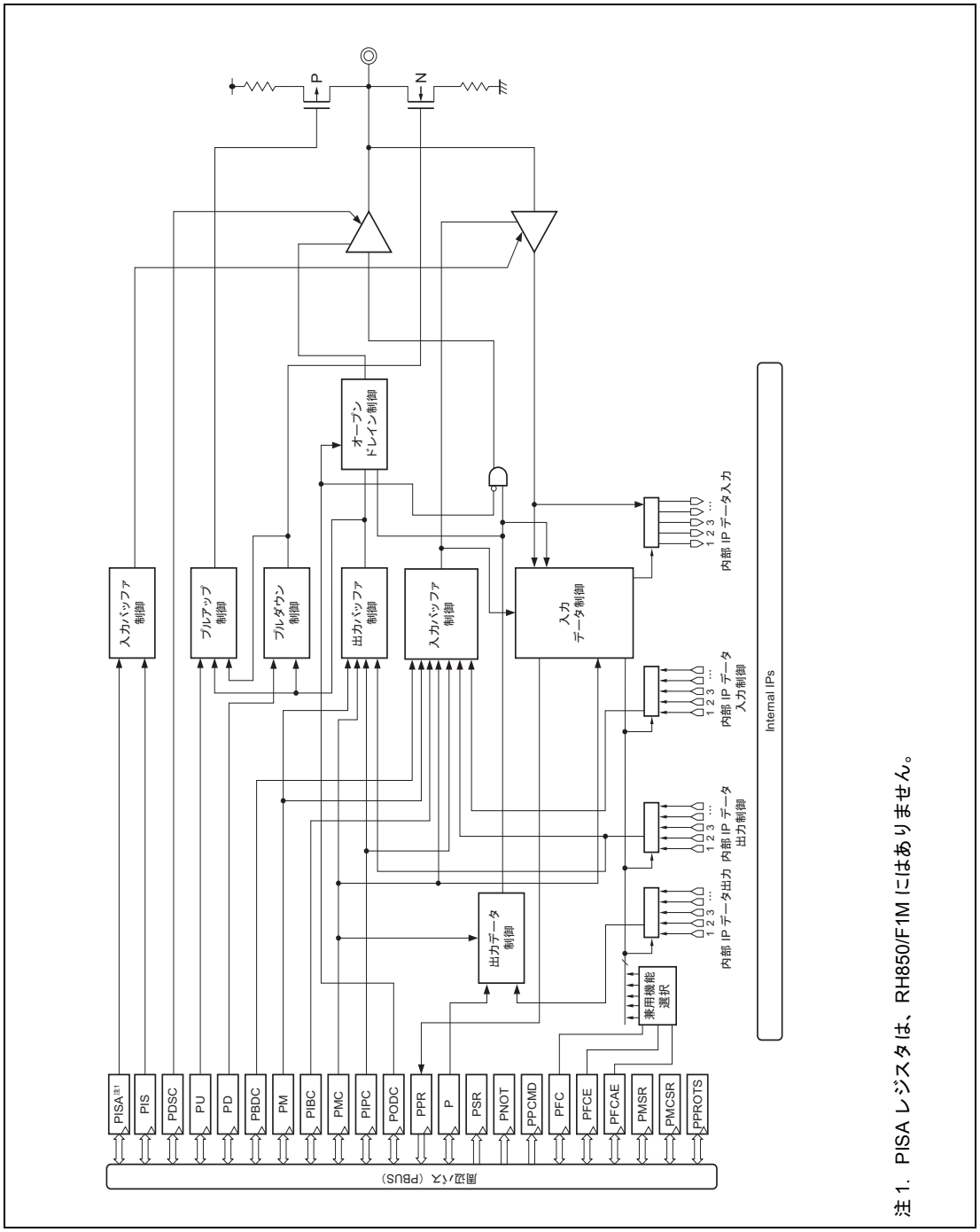


図 2.4 ポート概念図

2.9 ポートグループコンフィギュレーションレジスタ

この節では、はじめにすべてのコンフィギュレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィギュレーションレジスタは次のように分類されます。

- **「2.9.2 端子機能の設定」**
- **「2.9.3 端子データ入力／出力」**
- **「2.9.4 電気的特性の設定」**

2.9.1 概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

<PORTn_base> および <JPORT0_base> は**「2.6.3 レジスタベースアドレス」**を参照してください。

表 2.13 ポートグループコンフィギュレーションレジスタ (1/2)

レジスタ名	略号	アドレス
端子機能の設定		
ポートモードコントロールレジスタ	PMCn	<PORTn_base> + 0400_H + n × 4_H
	JPMC0	<JPORT0_base> + 0040_H
ポートモードコントロールセット／リセットレジスタ	PMCSRn	<PORTn_base> + 0900_H + n × 4_H
	JPMCSR0	<JPORT0_base> + 0090_H
ポート IP コントロールレジスタ	PIPCn	<PORTn_base> + 4200_H + n × 4_H
ポートモードレジスタ	PMn	<PORTn_base> + 0300_H + n × 4_H
	APMn	<PORTn_base> + $03C8_H$ + n × 4_H
	JPM0	<JPORT0_base> + 0030_H
ポートモードセット／リセットレジスタ	PMSRn	<PORTn_base> + 0800_H + n × 4_H
	APMSRn	<PORTn_base> + $08C8_H$ + n × 4_H
	JPMSR0	<JPORT0_base> + 0080_H
ポート入力バッファコントロールレジスタ	PIBCn	<PORTn_base> + 4000_H + n × 4_H
	APIBCn	<PORTn_base> + $40C8_H$ + n × 4_H
	JPIBC0	<JPORT0_base> + 0400_H
	IPIBC0	<PORTn_base> + $40F0_H$
ポート機能コントロールレジスタ	PFCn	<PORTn_base> + 0500_H + n × 4_H
	JPFC0	<JPORT0_base> + 0050_H
ポート機能コントロール拡張レジスタ	PFCEn	<PORTn_base> + 0600_H + n × 4_H
ポート機能コントロール追加拡張レジスタ	PFCAEn	<PORTn_base> + $0A00_H$ + n × 4_H
端子データ入力／出力		
ポート双方向コントロールレジスタ	PBDCn	<PORTn_base> + 4100_H + n × 4_H
	APBDCn	<PORTn_base> + $41C8_H$ + n × 4_H
	JPBDC0	<JPORT0_base> + 0410_H
ポート端子リードレジスタ	PPRn	<PORTn_base> + 0200_H + n × 4_H
	APPRn	<PORTn_base> + $02C8_H$ + n × 4_H
	JPPR0	<JPORT0_base> + 0020_H
	IPPR0	<PORTn_base> + $02F0_H$

表 2.13 ポートグループコンフィギュレーションレジスタ (2/2)

レジスタ名	略号	アドレス
ポートレジスタ	Pn	<PORTn_base> + 0000_H + n × 4_H
	APn	<PORTn_base> + $00C8_H$ + n × 4_H
	JP0	<JPORT0_base> + 0000_H
ポートノットレジスタ	PNOTn	<PORTn_base> + 0700_H + n × 4_H
	APNOTn	<PORTn_base> + $07C8_H$ + n × 4_H
	JPNOT0	<JPORT0_base> + 0070_H
ポートセット／リセットレジスタ	PSRn	<PORTn_base> + 0100_H + n × 4_H
	APSRn	<PORTn_base> + $01C8_H$ + n × 4_H
	JPSR0	<JPORT0_base> + 0010_H
電気的特性の設定		
プルアップオプションレジスタ	PUn	<PORTn_base> + 4300_H + n × 4_H
	JPU0	<JPORT0_base> + 0430_H
プルダウンオプションレジスタ	PDn	<PORTn_base> + 4400_H + n × 4_H
	JPD0	<JPORT0_base> + 0440_H
ポートドライブ強度コントロールレジスタ	PDSCn	<PORTn_base> + 4600_H + n × 4_H
ポートオープンドレインコントロールレジスタ	PODCn	<PORTn_base> + 4500_H + n × 4_H
	JPODC0	<JPORT0_base> + 0450_H
ポート入力バッファ選択レジスタ	PISn	<PORTn_base> + 4700_H + n × 4_H
ポート入力バッファ選択アドバンストレジスタ	JPISA0	<JPORT0_base> + $04A0_H$
ポート保護		
ポート保護コマンドレジスタ	PPCMDn	<PORTn_base> + $4C00_H$ + n × 4_H
	JPPCMD0	<JPORT0_base> + $04C0_H$
ポート保護ステータスレジスタ	PPROTSn	<PORTn_base> + $4B00_H$ + n × 4_H
	JPPROTS0	<JPORT0_base> + $04B0_H$

n の意味

表 2.13 ポートグループコンフィギュレーションレジスタでは、レジスタの記号の添字「n」は、ポートグループのインデクス “n” に対応します。たとえば、ポートモードコントロールレジスタ PMCn は、ポートグループ n (Pn) に対応しています。n の値の種類は、デバイスの端子数により、**表 2.14** のように異なります。

表 2.14 デバイスの端子数と対応するポートグループ、レジスタの記号「n」の種類

デバイスの端子数	ポートグループ	n の種類
144 pin	P0, P1, P8, P9, P10, P11, P12, P18, P20	0, 1, 8, 9, 10, 11, 12, 18, 20
	AP0, AP1	0, 1
176 pin	P0, P1, P2, P8, P9, P10, P11, P12, P18, P20	0, 1, 2, 8, 9, 10, 11, 12, 18, 20
	AP0, AP1	0, 1
233 pin	P0, P1, P2, P3, P8, P9, P10, P11, P12, P13, P18, P19, P20	0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20
	AP0, AP1	0, 1

JTAG ポートレジスタ

以降のレジスタ説明では、JTAG ポートレジスタについて記載していません。

すべての説明（PFCEn レジスタ、PFCAEn レジスタ、PIPCn レジスタ、PDSCn レジスタ、PISn レジスタ以外）は JTAG ポートレジスタも適用されますが、JTAG ポートレジスタのベースアドレスは異なります。

リセット後の値

リセット後の値はポートに依存します。リセット後の値については、以降のレジスタ説明を参照してください。

2.9.2 端子機能の設定

2.9.2.1 PMCn / JPMC0 — ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス PMCn：16 ビット単位でリード／ライト可能です。
JPMC0：8 ビット単位でリード／ライト可能です。

アドレス PMCn：<PORTn_base> + 0400_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 20）
JPMC0：<JPORT0_base> + 0040_H 備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCn_15	PMCn_14	PMCn_13	PMCn_12	PMCn_11	PMCn_10	PMCn_9	PMCn_8	PMCn_7	PMCn_6	PMCn_5	PMCn_4	PMCn_3	PMCn_2	PMCn_1	PMCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）**、**表 2.40 制御レジスタ（P0）**、**表 2.42 制御レジスタ（P1）**、**表 2.44 制御レジスタ（P2）**、**表 2.46 制御レジスタ（P3）**、**表 2.48 制御レジスタ（P8）**、**表 2.50 制御レジスタ（P9）**、**表 2.52 制御レジスタ（P10）**、**表 2.54 制御レジスタ（P11）**、**表 2.56 制御レジスタ（P12）**、**表 2.58 制御レジスタ（P13）**、**表 2.60 制御レジスタ（P18）**、**表 2.64 制御レジスタ（P20）**）を参照してください。

表 2.15 PMCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PMCn_[15:0]	対応する端子の動作モードを指定します。 0：ポートモード 1：兼用モード

注 意

1. 兼用モード（PMCn.PMCn_m ビット = 1）に設定するだけでは入出力制御は行われません。兼用機能が直接入出力制御を行う場合は PIPCn.PIPCn_m ビットにも “1” を設定してください。
2. ポートが兼用モードの入力端子として使用される場合、ノイズフィルタを通過する端子があります。このような端子は、FCLA0CTLm_<name>、DNFA<name>CTL および DNFA<name>EN レジスタの設定が必要になる場合があります。詳細は**「2.12 ノイズフィルタ & エッジレベル検出回路」**および**「2.13 ポートノイズフィルタ & エッジ／レベル検出機能説明」**を参照してください。

備 考

JTAG ポートモードコントロールレジスタ（JPMC0）の制御ビットは JPMC0_[7:0] になります。

2.9.2.2 PMCSRn / JPMCSR0 — ポートモードコントロールセット／リセットレジスタ

このレジスタにより、PMCn レジスタにデータをライトするもう 1 つの方法を示します。

PMCSRn の上位 16 ビットは、PMCSRn の下位 16 ビットで指定した PMCn.PMCn_m にデータをライトするかどうかを指定します。

アクセス PMCSRn：32 ビット単位でリード／ライト可能です。ビット 31 ～ 16 は常に 0000_H をリードします。ビット 15 ～ 0 は PMCn レジスタの値をリードします。
JPMCSR0：32 ビット単位でリード／ライト可能です。ビット 31 ～ 8 は常に 000000_H をリードします。ビット 7 ～ 0 は JPMC0 レジスタの値をリードします。

アドレス PMCSRn：<PORTn_base> + 0900_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 20）
JPMCSR0：<JPORT0_base> + 0090_H 備考 1

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMC SRn_31	PMC SRn_30	PMC SRn_29	PMC SRn_28	PMC SRn_27	PMC SRn_26	PMC SRn_25	PMC SRn_24	PMC SRn_23	PMC SRn_22	PMC SRn_21	PMC SRn_20	PMC SRn_19	PMC SRn_18	PMC SRn_17	PMC SRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMC SRn_15	PMC SRn_14	PMC SRn_13	PMC SRn_12	PMC SRn_11	PMC SRn_10	PMC SRn_9	PMC SRn_8	PMC SRn_7	PMC SRn_6	PMC SRn_5	PMC SRn_4	PMC SRn_3	PMC SRn_2	PMC SRn_1	PMC SRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.64 制御レジスタ（P20）**）を参照してください。

表 2.16 PMCSRn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	PMC SRn_[31:16]	対応する PMCSRn_m の下位ビット（PMCSRn_[15:0]）の値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0：PMCn_m は PMCSRn_m に依存しません。 1：PMCn_m は PMCSRn_m の値になります。 例： PMCSRn.PMCSRn_31 = 1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。
15 ～ 0	PMC SRn_[15:0]	対応する上位ビット（PMCSRn_[31:16]）の PMCSRn_m が 1 の場合、PMCn_m の値を指定するデータビットです。 0：PMCn_m = 0 1：PMCn_m = 1

備　考

JTAG ポートモードコントロールセット／リセットレジスタ（JPMCSR0）の制御ビットは JPMCSR0_[31:0] になります。

2.9.2.3 PIPCn — ポート IP コントロールレジスタ

このレジスタは、Pn_m 端子の入出力方向がポートモードレジスタ PMn.PMn_m と兼用機能のどちらによって制御するかを指定します。

Pn_m 端子が兼用モード（PMCn.PMCn_m = 1）となり、兼用機能が直接 Pn_m の入出力方向を制御する場合、PIPCn.PIPCn_m は 1 に設定する必要があります。これにより兼用機能が入出力制御を行い、PMn.PMn_m の設定が無効となります。

PIPC レジスタの設定が必要な兼用機能については**「2.11　ポート（特殊 I/O）機能概要」**を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　PIPCn：<PORTn_base> + 4200_H + n × 4_H（n = 0, 10, 11）備考 1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPCn_15	PIPCn_14	PIPCn_13	PIPCn_12	PIPCn_11	PIPCn_10	PIPCn_9	PIPCn_8	PIPCn_7	PIPCn_6	PIPCn_5	PIPCn_4	PIPCn_3	PIPCn_2	PIPCn_1	PIPCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10　ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.40　制御レジスタ（P0）**、**表 2.52　制御レジスタ（P10）**、**表 2.54　制御レジスタ（P11）**）を参照してください。

表 2.17　PIPCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PIPCn_[15:0]	入出力モードを指定します。 0：入出力モードは PMn.PMn_m（S/W 入出力制御）によって選択します。 1：入出力モードは周辺機能（直接入出力制御）によって選択します。

2.9.2.4 PMn / APMn / JPM0 — ポートモードレジスタ

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス PMn, APMn：16 ビット単位でリード／ライト可能です。
JPM0：8 ビット単位でリード／ライト可能です。

アドレス PMn：<PORTn_base> + 0300_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
APMn：<PORTn_base> + $03C8_H$ + n × 4_H（n = 0, 1）
JPM0：<JPORT0_base> + 0030_H 備考 1

リセット後の値 $FFFF_H$ 注 1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMn_15	PMn_14	PMn_13	PMn_12	PMn_11	PMn_10	PMn_9	PMn_8	PMn_7	PMn_6	PMn_5	PMn_4	PMn_3	PMn_2	PMn_1	PMn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1 注 2
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. PM0 レジスタは $FFFE_H$

注 2. PM0_0 ビットは 0

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）、表 2.66 制御レジスタ（AP0）、表 2.68 制御レジスタ（AP1）**）を参照してください。

表 2.18 PMn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PMn_[15:0]	対応する端子の入力／出力モードを指定します。 0：出力モード（出力許可） 1：入力モード（出力禁止）

備 考

1. ポートを入力ポートモード（PMCn.PMCn_m = 0 かつ PMn.PMn_m = 1）で使用する場合は、入力バッファを許可する必要があります（PIBCn.PIBCn_m = 1）。
2. リセット後は PIPCn.PIPCn_m = 0（入出力モードは PMn.PMn_m によって制御）ですので、PMn.PMn_m はポートモード（PMCn.PMCn_m = 0）と兼用モード（PMCn.PMCn_m = 1）の入出力方向を指定します。
3. アナログポートレジスタ (APMn) の制御ビットは、APMn_[15:0] になります。
4. JTAG ポートモードレジスタ（JPM0）の制御ビットは JPM0_[7:0] になります。

2.9.2.5 PMSRn / APMSRn / JPMSR0 — ポートモードセット／リセットレジスタ

このレジスタにより、PMn レジスタにデータをライトするもう 1 つの方法を示します。

PMSRn の上位 16 ビットは、PMSRn の下位 16 ビットで指定した PMn.PMn_m にデータをライトするかどうかを指定します。

アクセス PMSRn, APMSRn, JPMSR0：32 ビット単位でリード／ライト可能です。ビット 31 ～ 16 は常に 0000_H をリードします。ビット 15 ～ 0 は PMn, APMn, JPM0 レジスタの値をリードします。

アドレス PMSRn：<PORTn_base> + 0800_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
APMSRn：<PORTn_base> + $08C8_H$ + n × 4_H（n = 0, 1）
JPMSR0：<JPORT0_base> + 0080_H 備考 1

リセット後の値 0000 $FFFF_H$ 注 1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSRn_31	PMSRn_30	PMSRn_29	PMSRn_28	PMSRn_27	PMSRn_26	PMSRn_25	PMSRn_24	PMSRn_23	PMSRn_22	PMSRn_21	PMSRn_20	PMSRn_19	PMSRn_18	PMSRn_17	PMSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSRn_15	PMSRn_14	PMSRn_13	PMSRn_12	PMSRn_11	PMSRn_10	PMSRn_9	PMSRn_8	PMSRn_7	PMSRn_6	PMSRn_5	PMSRn_4	PMSRn_3	PMSRn_2	PMSRn_1	PMSRn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1 注 2
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. PMSR0 レジスタは 0000 $FFFE_H$

注 2. PMSR0_0 ビットは 0

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）、表 2.66 制御レジスタ（AP0）、表 2.68 制御レジスタ（AP1）**）を参照してください。

表 2.19 PMSRn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	PMSRn_[31:16]	対応する PMSRn_m の下位ビット（PMSRn_[15:0]）の値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0：PMn_m は PMSRn_m に依存しません。 1：PMn_m は PMSRn_m の値になります。 例： PMSRn.PMSRn_31 = 1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。
15 ～ 0	PMSRn_[15:0]	対応する上位ビット（PMSRn_[31:16]）の PMSRn_m が 1 の場合、PMn_m 値を指定するデータビットです。 0：PMn_m = 0 1：PMn_m = 1

備 考

1. JTAG ポートモードセット／リセットレジスタ（JPMSR0）の制御ビットは JPMSR0_[31:0] になります。
2. アナログポートモードセット／リセットレジスタ（APMSRn）の制御ビットは APMSRn_[31:0] になります。

2.9.2.6 PIBCn / APIBCn / JPIBC0 / IPIBC0 — ポート入力バッファコントロールレジスタ

このレジスタは、入力ポートモード（PMCn.PMCn_m = 0 かつ PMn.PMn_m = 1）で、ポート端子の入力バッファを許可します。

アクセス PIBCn, APIBCn, IPIBC0：16 ビット単位でリード／ライト可能です。
JPIBC0：8 ビット単位でリード／ライト可能です。

アドレス PIBCn：<PORTn_base> + 4000_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
APIBCn：<PORTn_base> + $40C8_H$ + n × 4_H（n = 0, 1）
JPIBC0：<JPORT0_base> + 0400_H
IPIBCn：<PORTn_base> + $40F0_H$ 備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIBCn_15	PIBCn_14	PIBCn_13	PIBCn_12	PIBCn_11	PIBCn_10	PIBCn_9	PIBCn_8	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）、表 2.66 制御レジスタ（AP0）、表 2.68 制御レジスタ（AP1）、表 2.70 制御レジスタ（IP0）**）を参照してください。

表 2.20 PIBCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PIBCn_[15:0]	入力バッファを許可／禁止します。 0：入力バッファ禁止 1：入力バッファ許可

備 考

1. 入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。
2. JTAG ポート入力バッファコントロールレジスタ（JPIBC0）の制御ビットは JPIBC0_[7:0] になります。

注 意

このレジスタの設定は、双方向モード（PBDCn.PBDCn_m = 1）では無効です。

2.9.2.7 PFCn / JPFC0 — ポート機能コントロールレジスタ

このレジスタは、PFCEn, PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス　PFCn：16 ビット単位でリード／ライト可能です。
JPFC0：8 ビット単位でリード／ライト可能です。

アドレス　PFCn：<PORTn_base> + 0500_H + n × 4_H（n = 0, 1, 2, 8, 9, 10, 11, 12, 13, 18, 20）
JPFC0：<JPORT0_base> + 0050_H 備考 1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCn_15	PFCn_14	PFCn_13	PFCn_12	PFCn_11	PFCn_10	PFCn_9	PFCn_8	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10　ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38　制御レジスタ（JP0）、表 2.40　制御レジスタ（P0）、表 2.42　制御レジスタ（P1）、表 2.44　制御レジスタ（P2）、表 2.48　制御レジスタ（P8）、表 2.50　制御レジスタ（P9）、表 2.52　制御レジスタ（P10）、表 2.54　制御レジスタ（P11）、表 2.56　制御レジスタ（P12）、表 2.58　制御レジスタ（P13）、表 2.60　制御レジスタ（P18）、表 2.64　制御レジスタ（P20）**）を参照してください。

表 2.21　PFCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は「**表 2.24　兼用機能の設定**」を参照してください。

備　考

JTAG ポート機能コントロールレジスタ（JPFC0）の制御ビットは JPFC0_[7:0] になります。

2.9.2.8 PFCEn — ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス PFCEn：<PORTn_base> + 0600_H + n × 4_H（n = 0, 8, 9, 10, 11, 12, 20）備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn_15	PFCEn_14	PFCEn_13	PFCEn_12	PFCEn_11	PFCEn_10	PFCEn_9	PFCEn_8	PFCEn_7	PFCEn_6	PFCEn_5	PFCEn_4	PFCEn_3	PFCEn_2	PFCEn_1	PFCEn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.40 制御レジスタ（P0）**、**表 2.48 制御レジスタ（P8）**、**表 2.50 制御レジスタ（P9）**、**表 2.52 制御レジスタ（P10）**、**表 2.54 制御レジスタ（P11）**、**表 2.56 制御レジスタ（P12）**、**表 2.64 制御レジスタ（P20）**）を参照してください。

表 2.22 PFCEn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は**「表 2.24 兼用機能の設定」**を参照してください。

2.9.2.9 PFCAEn — ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCEn、PFCn レジスタとともに、兼用周辺機能を選択します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス PFCAEn：<PORTn_base> + $0A00_H$ + n × 4_H（n = 0, 10, 11）備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAEn_15	PFCAEn_14	PFCAEn_13	PFCAEn_12	PFCAEn_11	PFCAEn_10	PFCAEn_9	PFCAEn_8	PFCAEn_7	PFCAEn_6	PFCAEn_5	PFCAEn_4	PFCAEn_3	PFCAEn_2	PFCAEn_1	PFCAEn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.40 制御レジスタ（P0）**、**表 2.52 制御レジスタ（P10）**、**表 2.54 制御レジスタ（P11）**）を参照してください。

表 2.23 PFCAEn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PFCAEn_[15:0]	端子の兼用機能を指定します。 詳細は「**表 2.24 兼用機能の設定**」を参照してください。

表 2.24 兼用機能の設定

PFCAEn_m	PFCEn_m	PFCn_m	PMn_m	機能
0	0	0	1	兼用入力モード 1
			0	兼用出力モード 1
		1	1	兼用入力モード 2
			0	兼用出力モード 2
	1	0	1	兼用入力モード 3
			0	兼用出力モード 3
		1	1	兼用入力モード 4
			0	兼用出力モード 4
1	0	0	1	兼用入力モード 5
			0	兼用出力モード 5
		1	1	兼用入力モード 6
			0	兼用出力モード 6
	1	0	1	兼用入力モード 7
			0	兼用出力モード 7
		1	X	設定禁止
			X	設定禁止

注　意

- PFCn_m, PFCEn_m, PFCAEn_m ビットで兼用機能を選択後、PMCn_m = 1 に設定してください。
- この製品では、一部機能の入出力を 2ヵ所以上の端子で兼用していますが、使用できる端子機能はいずれか 1ヵ所の端子のみ設定できます。2ヵ所以上で同時に同じ端子機能を設定することは禁止です。
  例えば、a/b/c 端子を b として使用する場合、b/d/e 端子は b として使用できません。b 以外の端子機能として設定して使用してください。

備　考

各機能の割り当ての詳細については、**2.10.1** ～ **2.10.17** 章を参照してください。

2.9.3 端子データ入力／出力

2.9.3.1 PBDCn / APBDCn / JPBDC0 — ポート双方向コントロールレジスタ

このレジスタは、出力モード時、入力バッファを許可し、ポートを双方向モードにします。双方向モード時、Pn_m 端子のレベルは PPRn.PPRn_m から読み出すことができます。

アクセス PBDCn, APBDCn：16 ビット単位でリード／ライト可能です。
JPBDC0：8 ビット単位でリード／ライト可能です。

アドレス PBDCn：<PORTn_base> + 4100_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
APBDCn：<PORTn_base> + $41C8_H$ + n × 4_H（n = 0, 1）
JPBDC0：<JPORT0_base> + 0410_H 備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDCn_15	PBDCn_14	PBDCn_13	PBDCn_12	PBDCn_11	PBDCn_10	PBDCn_9	PBDCn_8	PBDCn_7	PBDCn_6	PBDCn_5	PBDCn_4	PBDCn_3	PBDCn_2	PBDCn_1	PBDCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）、表 2.66 制御レジスタ（AP0）、表 2.68 制御レジスタ（AP1）**）を参照してください。

表 2.25 PBDCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PBDCn[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0：双方向モードを禁止 1：双方向モードを許可

注 意

Pn_m ポートを兼用出力機能（PMCn.PMCn_m = 1、PMn.PMn_m = 0）として使用する場合、双方向モードを許可（PBDCn.PBDCn_m = 1）することにより、PPRn.PPRn_m で Pn_m 端子のレベルをリードすることができます。

しかし、その兼用出力機能の出力は、同端子の兼用入力機能（PFCn.PFCn_m、PFCEn.PFCEn_m および PFCAEn.PFCAEn_m で設定された兼用入力機能）に入力されます。この兼用入力機能を他の端子で使用している場合は、その兼用入力機能の動作は保証出来ません。

備 考

JTAG ポート双方向コントロールレジスタ（JPBDC0）の制御ビットは JPBDC0_[7:0] になります。

2.9.3.2 PPRn / APPRn / JPPR0 / IPPR0 — ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。

アクセス PPRn, APPRn, IPPR0：16 ビット単位でリードのみ可能です。
JPPR0：8 ビット単位でリードのみ可能です。

アドレス PPRn：<PORTn_base> + 0200_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
APPRn：<PORTn_base> + $02C8_H$ + n × 4_H （n = 0, 1）
JPPR0：<JPORT0_base> + 0020_H
IPPR0：<PORTn_base> + $02F0_H$ 備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPRn_15	PPRn_14	PPRn_13	PPRn_12	PPRn_11	PPRn_10	PPRn_9	PPRn_8	PPRn_7	PPRn_6	PPRn_5	PPRn_4	PPRn_3	PPRn_2	PPRn_1	PPRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）、表 2.66 制御レジスタ（AP0）、表 2.68 制御レジスタ（AP1）、表 2.70 制御レジスタ（IP0）**）を参照してください。

表 2.26 PPRn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PPRn_[15:0]	Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力

備 考

1. PPRn レジスタのリード値は、**「2.7.4 端子データ入力／出力」**を参照してください。
2. JTAG ポート端子リードレジスタ（JPPR0）の制御ビットは JPPR0_[7:0] になります。

2.9.3.3 Pn / APn / JP0 — ポートレジスタ

このレジスタは、出力ポートモード時（PMCn.PMCn_m = 0, PMn.PMn_m = 0）に、関連のポート Pn_m から出力される Pn.Pn_m データを保持します。

アクセス Pn, APn：16 ビット単位でリード／ライト可能です。
JP0：8 ビット単位でリード／ライト可能です。

アドレス Pn：<PORTn_base> + 0000_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
APn：<PORTn_base> + $00C8_H$ + n × 4_H （n = 0, 1）
JP0：<JPORT0_base> + 0000_H 備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）、表 2.66 制御レジスタ（AP0）、表 2.68 制御レジスタ（AP1）**）を参照してください。

表 2.27 Pn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	Pn_[15:0]	Pn_m 端子（m = 0-15）の出力レベルを設定します。 0：ロウレベル出力 1：ハイレベル出力

備 考

JTAG ポートレジスタ（JP0）の制御ビットは JP0_[7:0] になります。

2.9.3.4 PNOTn / APNOTn / JPNOT0 — ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせずに Pn の Pn_m ビットを反転できます。

アクセス PNOTn, APNOTn：16 ビット単位でライトのみ可能です。常に 0000_H をリードします。
JPNOT0：8 ビット単位でライトのみ可能です。常に 00_H をリードします。

アドレス PNOTn：<PORTn_base> + 0700_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
APNOTn：<PORTn_base> + $07C8_H$ + n × 4_H（n = 0, 1）
JPNOT0：<JPORT0_base> + 0070_H 備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOTn_15	PNOTn_14	PNOTn_13	PNOTn_12	PNOTn_11	PNOTn_10	PNOTn_9	PNOTn_8	PNOTn_7	PNOTn_6	PNOTn_5	PNOTn_4	PNOTn_3	PNOTn_2	PNOTn_1	PNOTn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）、表 2.66 制御レジスタ（AP0）、表 2.68 制御レジスタ（AP1）**）を参照してください。

表 2.28 PNOTn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PNOTn_[15:0]	Pn.Pn_m を反転するかどうかを指定します。 0：Pn.Pn_m を反転しない（Pn_m → Pn_m） 1：Pn.Pn_m を反転する（Pn_m → Pn_m）

備 考

JTAG ポートノットレジスタ（JPNOT0）の制御ビットは JPNOT0_[7:0] になります。

2.9.3.5 PSRn / APSRn / JPSR0 — ポートセット／リセットレジスタ

このレジスタにより、Pn レジスタにデータをライトするもう 1 つの方法を示します。

PSRn の上位 16 ビットは、PSRn の下位 16 ビットで指定した Pn.Pn_m にデータをライトするかどうかを指定します。

アクセス PSRn, APSRn：32 ビット単位でリード／ライト可能です。
ビット 31 ～ 16 は常に 0000_H をリードします。ビット 15 ～ 0 は Pn, APn レジスタの値をリードします。
JPSR0：32 ビット単位でリード／ライト可能です。ビット 31 ～ 8 は常に 000000_H をリードします。ビット 7 ～ 0 は JP0 レジスタの値をリードします。

アドレス PSRn：<PORTn_base> + 0100_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
APSRn：<PORTn_base> + $01C8_H$ + n × 4_H （n = 0, 1）
JPSR0：<JPORT0_base> + 0010_H 備考 1

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSRn_31	PSRn_30	PSRn_29	PSRn_28	PSRn_27	PSRn_26	PSRn_25	PSRn_24	PSRn_23	PSRn_22	PSRn_21	PSRn_20	PSRn_19	PSRn_18	PSRn_17	PSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSRn_15	PSRn_14	PSRn_13	PSRn_12	PSRn_11	PSRn_10	PSRn_9	PSRn_8	PSRn_7	PSRn_6	PSRn_5	PSRn_4	PSRn_3	PSRn_2	PSRn_1	PSRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）、表 2.66 制御レジスタ（AP0）、表 2.68 制御レジスタ（AP1）**）を参照してください。

表 2.29 PSRn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	PSRn_[31:16]	対応する PSRn_m の下位ビット（PSRn_[15:0]）の値を Pn_m にライトするかどうかを指定するイネーブルビットです。 0：Pn_m は PSRn_m に依存しません。 1：Pn_m は PSRn_m の値になります。 例： PSRn.PSRn_31 = 1 の場合 , PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。
15 ～ 0	PSRn_[15:0]	対応する上位ビット（PSRn_[31:16]）の PSRn_m が 1 の場合、Pn_m 値を指定するデータビットです。 0：Pn_m = 0 1：Pn_m = 1

備 考

JTAG ポートセット／リセットレジスタ（JPSR0）の制御ビットは JPSR0_[31:0] になります。

2.9.4 電気的特性の設定

2.9.4.1 PUn / JPU0 — プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス PUn：16 ビット単位でリード／ライト可能です。
JPU0：8 ビット単位でリード／ライト可能です。

アドレス PUn：<PORTn_base> + 4300_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
JPU0：<JPORT0_base> + 0430_H 備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUn_15	PUn_14	PUn_13	PUn_12	PUn_11	PUn_10	PUn_9	PUn_8	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）**）を参照してください。

表 2.30 PUn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0：内蔵プルアップ抵抗を接続しない 1：内蔵プルアップ抵抗を接続する

備 考

1. 1 端子に内蔵プルアップ抵抗（PUn.PUn_m = 1）と内蔵プルダウン抵抗（PDn.PDn_m = 1）の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
2. 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。
3. JTAG プルアップオプションレジスタ（JPU0）の制御ビットは JPU0_[7:0] になります。

2.9.4.2 PDn / JPD0 — プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス PDn：16 ビット単位でリード／ライト可能です。
JPD0：8 ビット単位でリード／ライト可能です。

アドレス PDn：<PORTn_base> + 4400_H + n × 4_H（n = 0, 8, 9, 10, 11）
JPD0：<JPORT0_base> + 0440_H 備考 1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDn_15	PDn_14	PDn_13	PDn_12	PDn_11	PDn_10	PDn_9	PDn_8	PDn_7	PDn_6	PDn_5	PDn_4	PDn_3	PDn_2	PDn_1	PDn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）**、**表 2.40 制御レジスタ（P0）**、**表 2.48 制御レジスタ（P8）**、**表 2.50 制御レジスタ（P9）**、**表 2.52 制御レジスタ（P10）**、**表 2.54 制御レジスタ（P11）**）を参照してください。

表 2.31 PDn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PDn_[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0：内蔵プルダウン抵抗を接続しない 1：内蔵プルダウン抵抗を接続する

備　考

1. 1 端子に内蔵プルアップ抵抗（PUn.PUn_m = 1）と内蔵プルダウン抵抗（PDn.PDn_m = 1）の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
2. 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。
3. JTAG プルダウンオプションレジスタ（JPD0）の制御ビットは JPD0_[7:0] になります。

2.9.4.3 PDSCn — ポートドライブ強度コントロールレジスタ

このレジスタは、ポート端子の出力ドライバ強度を指定します。この機能は、出力バッファの高速モード（ハイドライブ強度）と低速モード（ロウドライブ強度）が選択できます。このレジスタを更新するためには、PPCMDn レジスタを使った正しい書き込みシーケンスが必要です。詳細は**「第 5 章　書き込み保護レジスタ」**を参照してください。PDSC レジスタの設定が必要な兼用機能については**「2.11.3.3　出力バッファ制御（PDSC）」**を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　PDSCn: <PORTn_base> + 4600_H + n × 4_H（n = 0, 10, 11, 12, 13）備考 1

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDSCn_15	PDSCn_14	PDSCn_13	PDSCn_12	PDSCn_11	PDSCn_10	PDSCn_9	PDSCn_8	PDSCn_7	PDSCn_6	PDSCn_5	PDSCn_4	PDSCn_3	PDSCn_2	PDSCn_1	PDSCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10　ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.40　制御レジスタ（P0）**、**表 2.52　制御レジスタ（P10）**、**表 2.54　制御レジスタ（P11）**、**表 2.56　制御レジスタ（P12）**、**表 2.58　制御レジスタ（P13）**）を参照してください。

表 2.32　PDSCn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 0	PDSCn_[15:0]	ポート端子の出力バッファのポートドライブ強度を指定します。 0：ロウドライブ強度（端子から出力する周波数が 10 MHz 以下の場合） 1：ハイドライブ強度（端子から出力する周波数が 40 MHz 以下の場合）

備　考

DeepSTOP から復帰後（RESF.RESF10 = 1）に、このレジスタを設定する際は、**「表 5.1　書き込み保護対象レジスタ」**を参照してください。

2.9.4.4 PODCn / JPODC0 — ポートオープンドレインコントロールレジスタ

このレジスタは、出力バッファの機能としてプッシュプルまたはオープンドレインを選択します。このレジスタを更新するためには、PPCMDn レジスタ、JPPCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は**「第 5 章 書き込み保護レジスタ」**を参照してください。

アクセス PODCn, JPODC0：32 ビット単位でリード／ライト可能です。

アドレス PODCn：<PORTn_base> + 4500_H + n × 4_H（n = 0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20）
JPODC0：<JPORT0_base> + 0450_H 備考 1

リセット後の値 $0000\ 0000_H$ 注 1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PODCn_15	PODCn_14	PODCn_13	PODCn_12	PODCn_11	PODCn_10	PODCn_9	PODCn_8	PODCn_7	PODCn_6	PODCn_5	PODCn_4	PODCn_3	PODCn_2	PODCn_1	PODCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 注 2
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. PODC0 レジスタは $0000\ 0001_H$

注 2. PODC0_0 ビットは 1

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）、表 2.40 制御レジスタ（P0）、表 2.42 制御レジスタ（P1）、表 2.44 制御レジスタ（P2）、表 2.46 制御レジスタ（P3）、表 2.48 制御レジスタ（P8）、表 2.50 制御レジスタ（P9）、表 2.52 制御レジスタ（P10）、表 2.54 制御レジスタ（P11）、表 2.56 制御レジスタ（P12）、表 2.58 制御レジスタ（P13）、表 2.60 制御レジスタ（P18）、表 2.62 制御レジスタ（P19）、表 2.64 制御レジスタ（P20）**）を参照してください。

表 2.33 PODCn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 0	PODCn_[15:0]	出力バッファの機能を指定します。 0：プッシュプル 1：オープンドレイン

備 考

1. JTAG ポートオープンドレインレジスタ（JPODC0）の制御ビットは JPODC0_[15:0] になります。
2. DeepSTOP から復帰後（RESF.RESF10=1）に、このレジスタを設定する際は、**「表 5.1 書き込み保護対象レジスタ」**を参照してください。

2.9.4.5 PISn — ポート入力バッファ選択レジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス PISn：<PORTn_base> + 4700_H + n × 4_H（n = 0, 1, 2, 10, 11, 12, 20）備考 1

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PISn_15	PISn_14	PISn_13	PISn_12	PISn_11	PISn_10	PISn_9	PISn_8	PISn_7	PISn_6	PISn_5	PISn_4	PISn_3	PISn_2	PISn_1	PISn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.40 制御レジスタ（P0）**、**表 2.42 制御レジスタ（P1）**、**表 2.44 制御レジスタ（P2）**、**表 2.52 制御レジスタ（P10）**、**表 2.54 制御レジスタ（P11）**、**表 2.56 制御レジスタ（P12）**、**表 2.64 制御レジスタ（P20）**）を参照してください。

表 2.34 PISn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PISn_[15:0]	入力バッファ特性を指定します。 0：タイプ 1（SHMT1） 1：タイプ 2（SHMT4）

備 考

タイプ 1 とタイプ 2 の定義は、**「2.11.3.2 入力バッファ制御（PISn、JPISA0）」**を参照してください。入力バッファ特性の詳細は、データ・シートも参照してください。

2.9.4.6 JPISA0 — ポート入力バッファ選択アドバンストレジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス JPISA0：8 ビット単位でリード／ライト可能です。

アドレス JPISA0：<JPORT0_base> + $04A0_H$ 備考 1

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	JPISA0_3	JPISA0_2	—	JPISA0_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R/W

備考 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要**のポートグループごとの制御レジスタの表（**表 2.38 制御レジスタ（JP0）**）を参照してください。

表 2.35 JPISA0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 4、1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3、2、0	JPISA0_[3, 2, 0]	入力バッファ特性を指定します。 0：タイプ 2（SHMT4） 1：タイプ 5（TTL）

備 考

1. タイプ 2 とタイプ 5 の定義は、「**2.11.3.2 入力バッファ制御（PISn、JPISA0）**」を参照してください。
2. 入力バッファ特性の詳細は、データ・シートも参照してください。

2.9.5 ポートレジスタ保護

RH850/F1M は、ポート保護クラスタレジスタとして、ポート保護コマンドレジスタ（PPCMDn）およびポート保護ステータス･レジスタ（PPROTSn）を持ちます。レジスタの詳細については**「第 5 章　書き込み保護レジスタ」**を参照してください。

2.9.6 ポート設定のフローチャート例

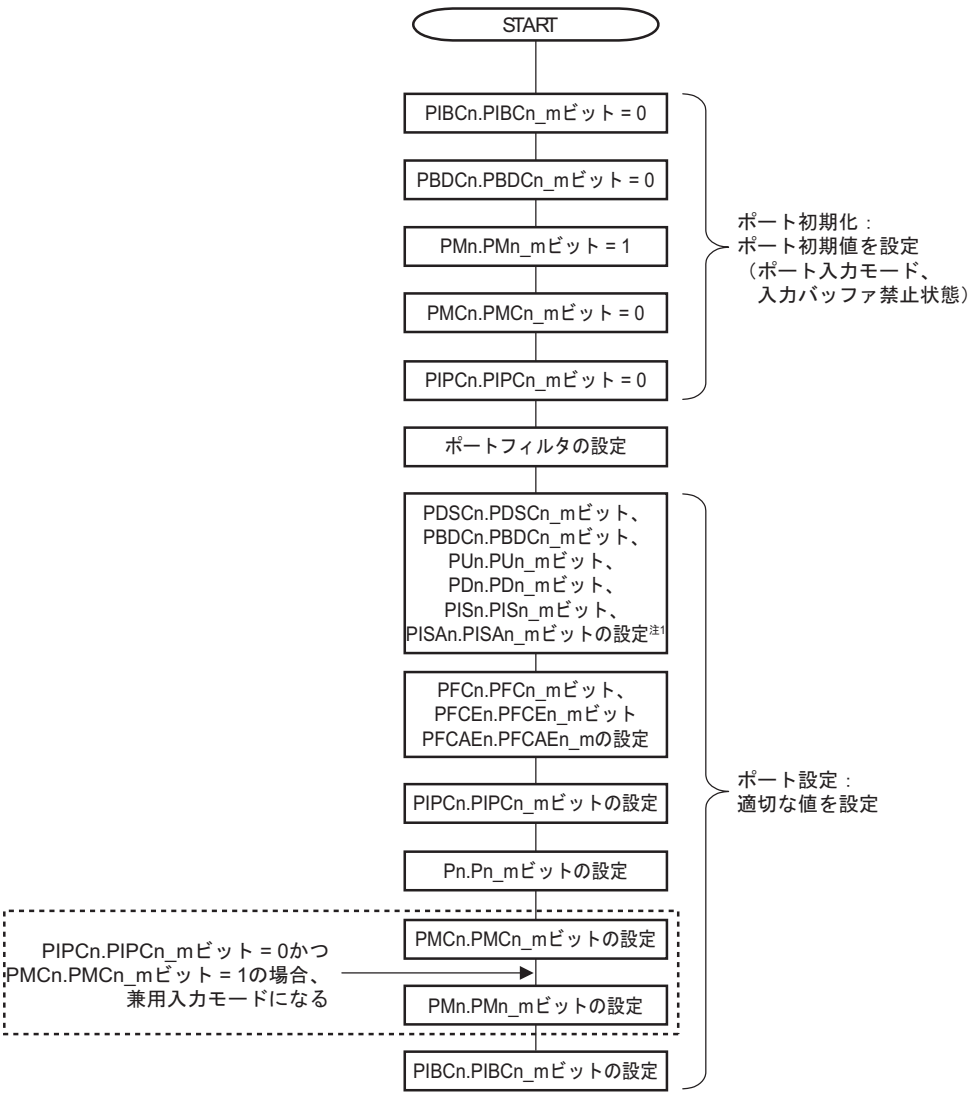
ポート設定のフローチャート例を次に示します。

注 意

ポートを PIPCn.PIPCn_m ビット = 0 かつ兼用出力モードに設定するとき、一時的に兼用入力モードになる場合があります。それは、PMCn.PMCn_m ビット = 1 の設定から PMn.PMn_m ビット = 0 の設定までのタイミングで発生します。ポート兼用機能として割り込み関連信号が設定されている場合、ポート設定中に一時的に兼用入力モードになるため、割り込みが動作しない、または無視されるようにしてください。

2.9.6.1 一括設定

一括でポートグループを設定する場合のフローチャート例を次に示します。

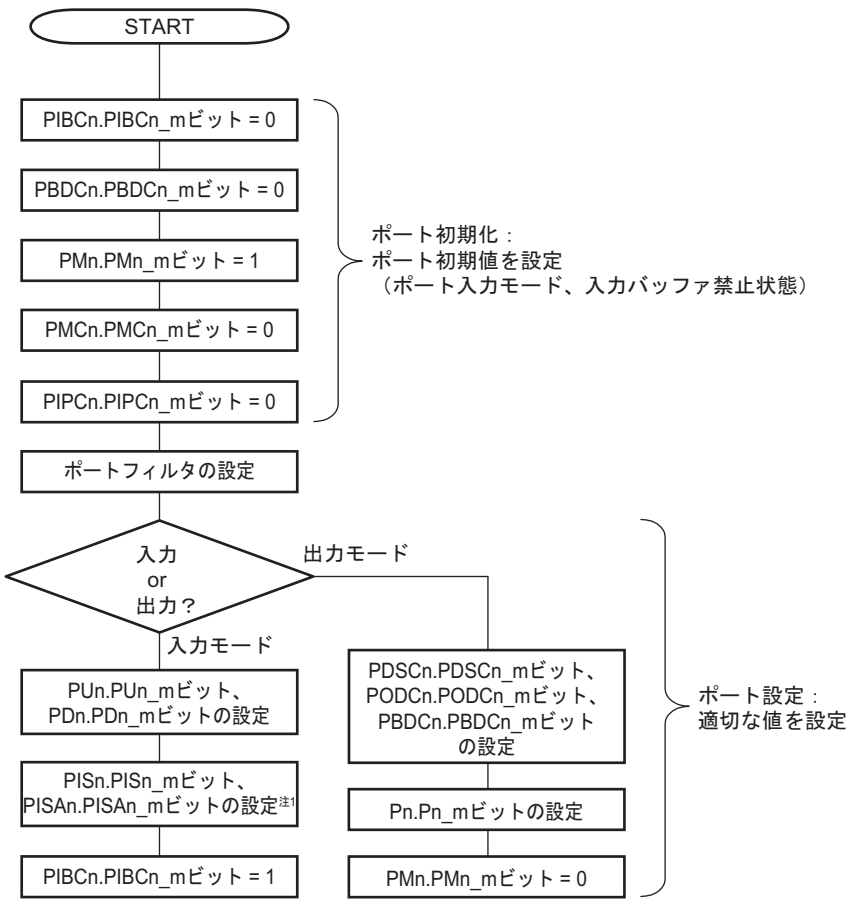


注 1. PISAn.PISAn_m ビットは、RH850/F1M にはありません。

図 2.5 ポート設定のフローチャート例（一括設定の場合）

2.9.6.2 個別設定

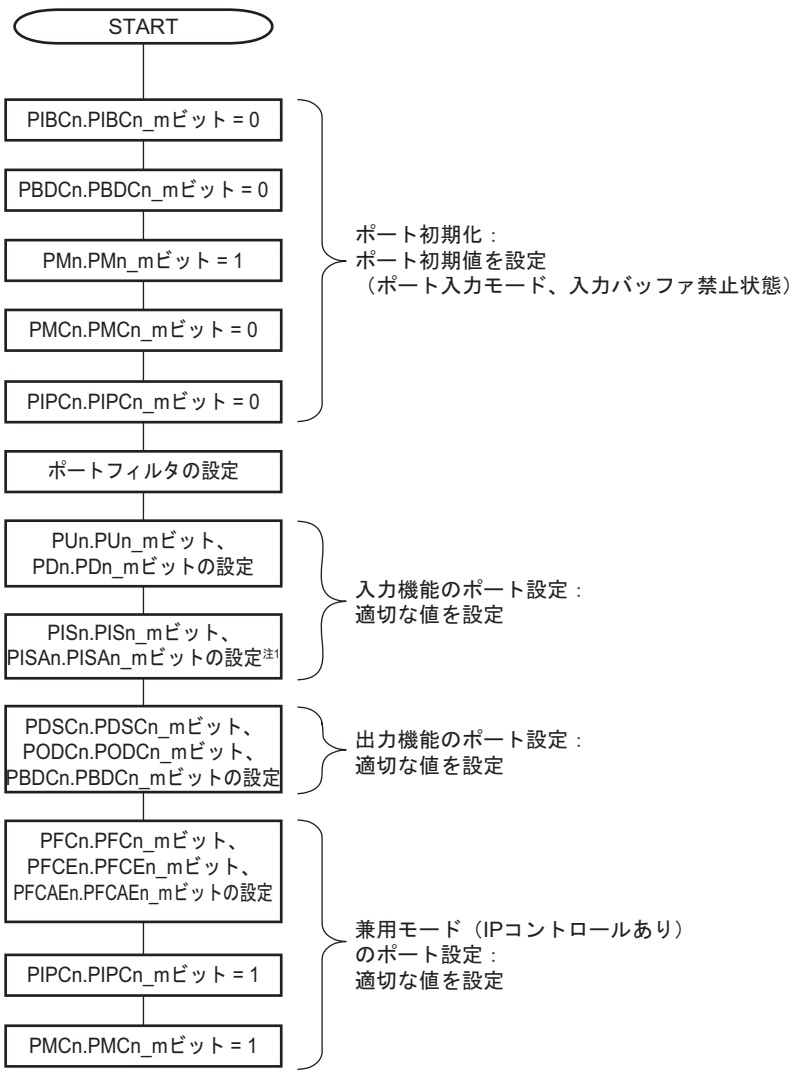
個別でポートを設定する場合のフローチャート例を次に示します。



注 1. PISAn.PISAn_m ビットは、RH850/F1M にはありません。

図 2.6 ポート設定のフローチャート例（ポートモードの場合）

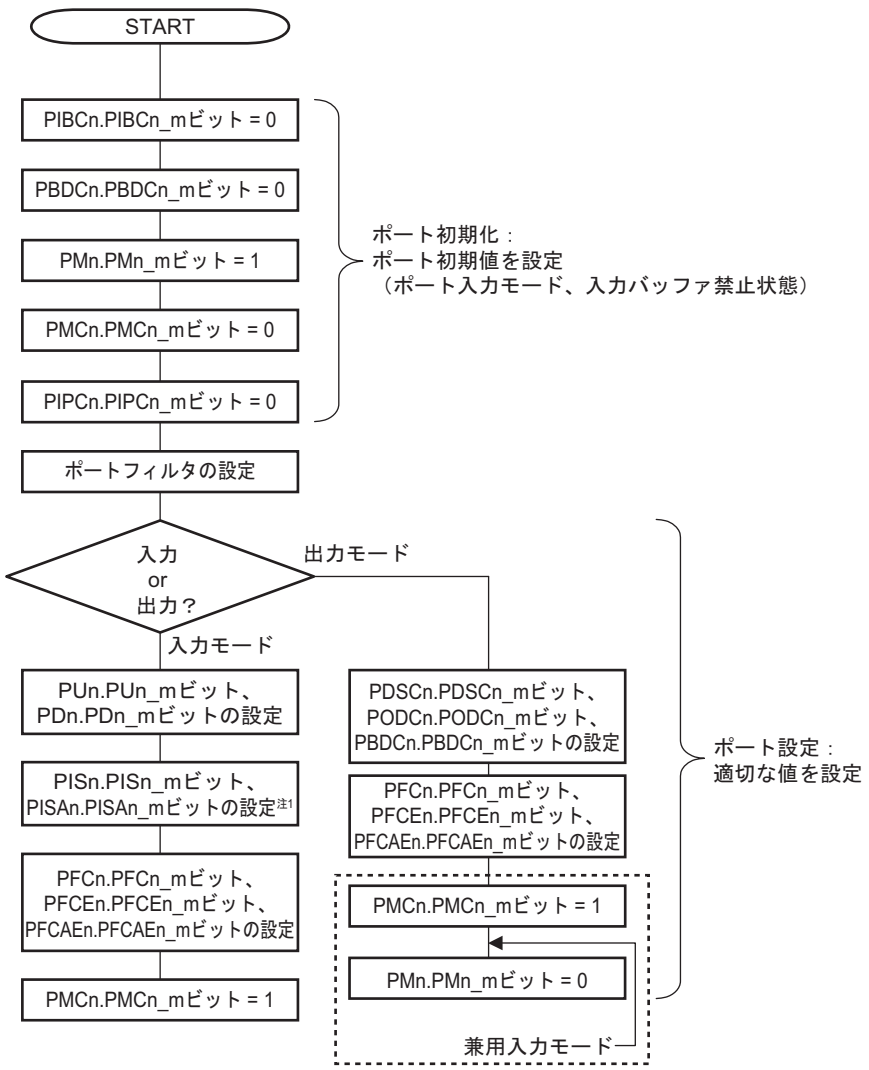
(a) IP コントロールありの場合



注 1. PISAn.PISAn_m ビットは、RH850/F1M にはありません。

図 2.7 ポート設定のフローチャート例（兼用モードの場合）（1/2）

(b) IP コントロールなしの場合



注 1. PISAn.PISAn_m ビットは、RH850/F1M にはありません。

図 2.8 ポート設定のフローチャート例（兼用モードの場合）（2/2）

2.10 ポート（汎用 I/O）機能概要

本章では、ポート（汎用 I/O）の機能とポートに割り当てられているすべての機能について説明します。詳細については次ページ以降を参照してください。

なお、ポートモードが兼用モードかは、PMCn レジスタの設定によって選択できます。PMCn.PMCn_m = 1 に設定した場合、兼用機能は、PFCn、PFCEn、PFCAEn レジスタで選択します。

表 2.36 ポート機能

ポート	端子名	サイズ	方向	電力供給領域	専用兼用機能（備考）	デバイス		
						144 pin	176 pin	233 pin
JTAG ポート 0	JP0_0 - 6	7 ビット	入力／出力	AWO	JTAG, LPD	○	○	○
ポート 0	P0_0 - 14	15 ビット	入力／出力	AWO	$\overline{\text{RESETOUT}}$	○	○	○
ポート 1	P1_0 - 11	12 ビット	入力／出力	AWO		○	—	—
	P1_0 - 15	16 ビット	入力／出力	AWO		—	○	○
ポート 2	P2_0 - 6	7 ビット	入力／出力	AWO		—	○	—
	P2_0 - 15	16 ビット				—	—	○
ポート 3	P3_0	1 ビット	入力／出力	AWO		—	—	○
ポート 8	P8_0 - 12	13 ビット	入力／出力	AWO	ADCA0（10 ビット分解能）	○	○	○
ポート 9	P9_0 - 4	5 ビット	入力／出力	ISO	ADCA0（10 ビット分解能）	○	○	○
ポート 10	P10_0 - 15	16 ビット	入力／出力	ISO		○	○	○
ポート 11	P11_0 - 15	16 ビット	入力／出力	ISO		○	○	○
ポート 12	P12_0 - 2	3 ビット	入力／出力	ISO		○	—	—
	P12_0 - 5	6 ビット	入力／出力	ISO		—	○	○
ポート 13	P13_0 - 7	8 ビット	入力／出力	ISO		—	—	○
ポート 18	P18_0 - 3	4 ビット	入力／出力	ISO	ADCA1（10 ビット分解能）	○	—	—
	P18_0 - 7	8 ビット				—	○	—
	P18_0 - 15	16 ビット				—	—	○
ポート 19	P19_0 - 3	4 ビット	入力／出力	ISO	ADCA1（10 ビット分解能）	—	—	○
ポート 20	P20_4 - 5	2 ビット	入力／出力	ISO		○	—	—
	P20_0 - 5	6 ビット				—	○	○
アナログポート 0	AP0_0 - 15	16 ビット	入力／出力	AWO	ADCA0（12/10 ビット分解能）	○	○	○
アナログポート 1	AP1_0 - 7	8 ビット	入力／出力	ISO	ADCA1（12/10 ビット分解能）	○	—	—
	AP1_0 - 15	16 ビット	入力／出力	ISO	ADCA1（12/10 ビット分解能）	—	○	○
入力ポート 0	IP0_0	1 ビット	入力	AWO	SOSC（XT2 端子）	○	○	○

2.10.1　JTAG ポート 0（JP0）

2.10.1.1　兼用機能

対応するオプションバイトの OPJTAG[1:0] を 00_B にすることで JTAG ポート 0 を汎用 I/O として設定すると、以下の兼用機能が使用可能になります。

表 2.37　JTAG ポート 0（JP0）

ポートモード（JPMC0_m = 0）	兼用モード（JPMC0_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
JP0_0	INTP0														DCUTDI / LPDI / LPDIO	○	○	○
JP0_1	INTP1		TAUJ0I0	TAUJ0O0											DCUTDO / LPDO	○	○	○
JP0_2	INTP2		TAUJ0I1	TAUJ0O1											DCUTCK / LPDCLK	○	○	○
JP0_3	INTP3	CSCXFOUT	TAUJ0I2	TAUJ0O2											DCUTMS	○	○	○
JP0_4															$\overline{\text{DCUTRST}}$	○	○	○
JP0_5	NMI	RTCA0OUT	TAUJ0I3	TAUJ0O3											$\overline{\text{DCURDY}}$ / LPDCLKOUT	○	○	○
JP0_6																注 1	注 1	注 1
															$\overline{\text{EVTO}}$	注 2	注 2	注 2

注 1.　Code Flash 4M バイト製品以外
注 2.　Code Flash 4M バイト製品のみ

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.1.2 制御レジスタ

表 2.38 制御レジスタ（JP0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
JP0	JTAG ポートレジスタ 0	8	6-0	R/W	0000_H	00_H	○	○	○
JPSR0	JTAG ポートセット／リセットレジスタ 0	32	22-16, 6-0	R/W	0010_H	$0000\ 0000_H$	○	○	○
JPPR0	JTAG ポート端子リードレジスタ 0	8	6-0	R	0020_H	00_H	○	○	○
JPM0	JTAG ポートモードレジスタ 0	8	6-0	R/W	0030_H	FF_H	○	○	○
JPMC0	JTAG ポートモードコントロールレジスタ 0	8	5, 3-0	R/W	0040_H	00_H	○	○	○
JPFC0	JTAG ポート機能コントロールレジスタ 0	8	5, 3-1	R/W	0050_H	00_H	○	○	○
JPNOT0	JTAG ポートノットレジスタ 0	8	6-0	W	0070_H	00_H	○	○	○
JPMSR0	JTAG ポートモードセット／リセットレジスタ 0	32	22-16, 6-0	R/W	0080_H	$0000\ FFFF_H$	○	○	○
JPMCSR0	JTAG ポートモードコントロールセット／リセット レジスタ 0	32	21, 19-16, 5, 3-0	R/W	0090_H	$0000\ 0000_H$	○	○	○
JPIBC0	JTAG ポート入力バッファ制御レジスタ 0	8	6-0	R/W	0400_H	00_H	○	○	○
JPBDC0	JTAG ポート双方向コントロールレジスタ 0	8	6-0	R/W	0410_H	00_H	○	○	○
JPU0	プルアップオプションレジスタ 0	8	6-0	R/W	0430_H	00_H	○	○	○
JPD0	プルダウンオプションレジスタ 0	8	6-0	R/W	0440_H	00_H	○	○	○
JPODC0	JTAG ポートオープンドレインコントロールレジ スタ 0	32	6-0	R/W	0450_H	$0000\ 0000_H$	○	○	○
JPISA0	JTAG ポート入力バッファ選択アドバンストレジスタ 0	8	3, 2, 0	R/W	$04A0_H$	00_H	○	○	○
JPPROTS0	JTAG ポート保護ステータスレジスタ 0	32	0	R	$04B0_H$	$0000\ 0000_H$	○	○	○
JPPCMD0	JTAG ポート保護コマンドレジスタ 0	32	7-0	W	$04C0_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.2　ポート 0（P0）

2.10.2.1　兼用機能

表 2.39　ポート 0（P0）

ポートモード（PMC0_m = 0）	兼用モード（PMC0_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P0_0	TAUD0I2	TAUD0O2	RLIN20RX	CAN0TX		PWGA10O	$\overline{\text{CSIH0SSI}}$	DPO							$\overline{\text{RESETOUT}}$	○	○	○
P0_1	TAUD0I4	TAUD0O4	CAN0RX/ INTP0	RLIN20TX	INTP0	PWGA11O	CSIH0SI	APO								○	○	○
P0_2	TAUD0I6	TAUD0O6	CAN1RX/ INTP1	RLIN30TX		PWGA12O	CSIH0SC		INTP1	DPO						○	○	○
P0_3	TAUD0I8	TAUD0O8	RLIN30RX/ INTP10	CAN1TX	DPIN1	PWGA13O		CSIH0SO	INTP10							○	○	○
P0_4	RLIN31RX/ INTP11	CAN2TX	INTP11	PWGA10O	CSIH1SI	SELDP0	DPIN8									○	○	○
P0_5	CAN2RX/ INTP2	RLIN31TX	DPIN9	SELDP1		CSIH1SO										○	○	○
P0_6	INTP2		DPIN10	SELDP2	CSIH1SC					PWGA35O						○	○	○
P0_7	RLIN21RX		DPIN5	CSCXFOUT	CSIH1RYI	CSIH1RYO	TAUB0I0	TAUB0O0	CAN3RX/ INTP3							○	○	○
P0_8		RLIN21TX	DPIN6	CSIH0CSS6	$\overline{\text{CSIH1SSI}}$		TAUB0I2	TAUB0O2		CAN3TX						○	○	○
P0_9	INTP12	CSIH1CSS0	DPIN7		RLIN22RX		TAUB0I4	TAUB0O4	CAN4RX/ INTP4							○	○	○
P0_10	INTP3	CSIH1CSS1	DPIN11			RLIN22TX	TAUB0I6	TAUB0O6		CAN4TX						○	○	○
P0_11	RIIC0SDA		DPIN12	CSIH1CSS2	TAUB0I8	TAUB0O8		PWGA34O								○	—	—
	RIIC0SDA		DPIN12	CSIH1CSS2	TAUB0I8	TAUB0O8	RLIN26RX	PWGA34O								—	○	○
P0_12	RIIC0SCL		DPIN13	PWGA45O	TAUB0I10	TAUB0O10	CSIG0SI									○	—	—
	RIIC0SCL		DPIN13	PWGA45O	TAUB0I10	TAUB0O10	CSIG0SI	RLIN26TX								—	○	○
P0_13	RLIN32RX/ INTP12		INTP12	PWGA46O	TAUB0I12	TAUB0O12		CSIG0SO	CAN5RX/ INTP5							○	○	○
P0_14		RLIN32TX		PWGA47O	TAUB0I14	TAUB0O14	CSIG0SC			CAN5TX						○	○	○

注　意

1. 兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。
2. P0_0 端子はリセット中に $\overline{\text{RESETOUT}}$ 信号としてロウレベルを出力し、リセット解除後もロウレベルを出力し続けます。
   詳細は「**2.11.1.1　P0_0 : RESETOUT**」を参照してください。

2.10.2.2 制御レジスタ

表 2.40 制御レジスタ（P0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P0	ポートレジスタ 0	16	14-0	R/W	0000_H	0000_H	○	○	○
PSR0	ポートセット／リセットレジスタ 0	32	30-16, 14-0	R/W	0100_H	$0000\ 0000_H$	○	○	○
PPR0	ポート端子リードレジスタ 0	16	14-0	R	0200_H	0000_H	○	○	○
PM0	ポートモードレジスタ 0	16	14-0	R/W	0300_H	$FFFE_H$	○	○	○
PMC0	ポートモードコントロールレジスタ 0	16	14-0	R/W	0400_H	0000_H	○	○	○
PFC0	ポート機能コントロールレジスタ 0	16	14-0	R/W	0500_H	0000_H	○	○	○
PFCE0	ポート機能コントロール拡張レジスタ 0	16	14-0	R/W	0600_H	0000_H	○	○	○
PNOT0	ポートノットレジスタ 0	16	14-0	W	0700_H	0000_H	○	○	○
PMSR0	ポートモードセット／リセットレジスタ 0	32	30-16, 14-0	R/W	0800_H	$0000\ FFFE_H$	○	○	○
PMCSR0	ポートモードコントロールセット／リセットレジスタ 0	32	30-16, 14-0	R/W	0900_H	$0000\ 0000_H$	○	○	○
PFCAE0	ポート機能制御追加拡張レジスタ 0	16	14, 13, 10-6, 3, 2	R/W	$0A00_H$	0000_H	○	○	○
PIBC0	ポート入力バッファ制御レジスタ 0	16	14-0	R/W	4000_H	0000_H	○	○	○
PBDC0	ポート双方向コントロールレジスタ 0	16	14-0	R/W	4100_H	0000_H	○	○	○
PIPC0	ポート IP コントロールレジスタ 0	16	14, 13, 6, 5, 3, 2	R/W	4200_H	0000_H	○	○	○
PU0	プルアップオプションレジスタ 0	16	14-0	R/W	4300_H	0000_H	○	○	○
PD0	プルダウンオプションレジスタ 0	16	12-0	R/W	4400_H	0000_H	○	○	○
PODC0	ポートオープンドレイン制御レジスタ 0	32	14-0	R/W	4500_H	$0000\ 0001_H$	○	○	○
PDSC0	ポートドライブ強度制御レジスタ 0	32	14, 13, 7-5, 3, 2	R/W	4600_H	$0000\ 0000_H$	○	○	○
PIS0	ポート入力バッファ選択レジスタ 0	16	13-11, 9, 7-0	R/W	4700_H	$FFFF_H$	○	○	○
PPROTS0	ポート保護ステータスレジスタ 0	32	0	R	$4B00_H$	$0000\ 0000_H$	○	○	○
PPCMD0	ポート保護コマンドレジスタ 0	32	7-0	W	$4C00_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.3　ポート 1（P1）

2.10.3.1　兼用機能

表 2.41　ポート 1（P1）

ポートモード（PMC1_m = 0）	兼用モード（PMC1_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P1_0	RLIN33RX/ INTP13		INTP13													○	○	○
P1_1		RLIN33TX														○	○	○
P1_2	CAN3RX/ INTP3		INTP3													○	○	○
P1_3		CAN3TX	DPIN23													○	○	○
P1_4	RLIN35RX/ INTP15		INTP15													○	○	○
P1_5	ADCA1TRG0	RLIN35TX	DPIN17													○	○	○
P1_6	RLIN25RX		DPIN18													○	○	○
P1_7	ADCA1TRG1	RLIN25TX	DPIN19													○	○	○
P1_8	RLIN34RX/ INTP14		INTP14													○	○	○
P1_9		RLIN34TX	DPIN20													○	○	○
P1_10	RLIN24RX		DPIN21													○	○	○
P1_11	ADCA1TRG2	RLIN24TX	DPIN22													○	○	○
P1_12	CAN4RX/ INTP4		INTP4													—	○	○
P1_13		CAN4TX														—	○	○
P1_14	RLIN23RX															—	○	○
P1_15		RLIN23TX														—	○	○

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.3.2 制御レジスタ

表 2.42 制御レジスタ（P1）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P1	ポートレジスタ 1	16	15-0	R/W	0004_H	0000_H	—	○	○
			11-0				○	—	—
PSR1	ポートセット／リセットレジスタ 1	32	31-16, 15-0	R/W	0104_H	$0000\ 0000_H$	—	○	○
			27-16, 11-0				○	—	—
PPR1	ポート端子リードレジスタ 1	16	15-0	R	0204_H	0000_H	—	○	○
			11-0				○	—	—
PM1	ポートモードレジスタ 1	16	15-0	R/W	0304_H	$FFFF_H$	—	○	○
			11-0				○	—	—
PMC1	ポートモードコントロールレジスタ 1	16	15-0	R/W	0404_H	0000_H	—	○	○
			11-0				○	—	—
PFC1	ポート機能コントロールレジスタ 1	16	12-2, 0	R/W	0504_H	0000_H	—	○	○
			11-2, 0				○	—	—
PNOT1	ポートノットレジスタ 1	16	15-0	W	0704_H	0000_H	—	○	○
			11-0				○	—	—
PMSR1	ポートモードセット／リセットレジスタ 1	32	31-16, 15-0	R/W	0804_H	$0000\ FFFF_H$	—	○	○
			27-16, 11-0				○	—	—
PMCSR1	ポートモードコントロールセット／リセットレジ スタ 1	32	31-16, 15-0	R/W	0904_H	$0000\ 0000_H$	—	○	○
			27-16, 11-0				○	—	—
PIBC1	ポート入力バッファコントロールレジスタ 1	16	15-0	R/W	4004_H	0000_H	—	○	○
			11-0				○	—	—
PBDC1	ポート双方向コントロールレジスタ 1	16	15-0	R/W	4104_H	0000_H	—	○	○
			11-0				○	—	—
PU1	プルアップオプションレジスタ 1	16	15-0	R/W	4304_H	0000_H	—	○	○
			11-0				○	—	—
PODC1	ポートオープンドレインコントロールレジスタ 1	32	15-0	R/W	4504_H	$0000\ 0000_H$	—	○	○
			11-0				○	—	—
PIS1	ポート入力バッファ選択レジスタ 1	16	14, 12, 10, 8, 6, 4, 2, 0	R/W	4704_H	$FFFF_H$	—	○	○
			10, 8, 6, 4, 2, 0				○	—	—
PPROTS1	ポート保護ステータスレジスタ 1	32	0	R	$4B04_H$	$0000\ 0000_H$	○	○	○
PPCMD1	ポート保護コマンドレジスタ 1	32	7-0	W	$4C04_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.4　ポート 2（P2）

2.10.4.1　兼用機能

表 2.43　ポート 2（P2）

ポートモード（PMC2_m = 0）	兼用モード（PMC2_m = 0）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P2_0	RLIN27RX															—	○	○
P2_1		RLIN27TX														—	○	○
P2_2	RLIN28RX															—	○	○
P2_3		RLIN28TX														—	○	○
P2_4	RLIN29RX			ADCA0SEL0												—	○	○
P2_5		RLIN29TX		ADCA0SEL1												—	○	○
P2_6		ADCA0SEL2														—	○	○
P2_7																—	—	○
P2_8																—	—	○
P2_9		PWGA77O														—	—	○
P2_10		PWGA78O														—	—	○
P2_11		PWGA79O														—	—	○
P2_12																—	—	○
P2_13																—	—	○
P2_14		PWGA74O														—	—	○
P2_15		PWGA75O														—	—	○

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.4.2 制御レジスタ

表 2.44 制御レジスタ（P2）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P2	ポートレジスタ 2	16	6-0	R/W	0008_H	0000_H	—	○	—
			15-0				—	—	○
PSR2	ポートセット／リセットレジスタ 2	32	22-16, 6-0	R/W	0108_H	$0000\ 0000_H$	—	○	—
			31-16, 15-0				—	—	○
PPR2	ポート端子リードレジスタ 2	16	6-0	R	0208_H	0000_H	—	○	—
			15-0				—	—	○
PM2	ポートモードレジスタ 2	16	6-0	R/W	0308_H	$FFFF_H$	—	○	—
			15-0				—	—	○
PMC2	ポートモードコントロールレジスタ 2	16	6-0	R/W	0408_H	0000_H	—	○	—
			15, 14, 11-9, 6-0				—	—	○
PFC2	ポート機能コントロールレジスタ 2	16	5, 4	R/W	0508_H	0000_H	—	○	○
PNOT2	ポートノット レジスタ 2	16	6-0	W	0708_H	0000_H	—	○	—
			15-0				—	—	○
PMSR2	ポートモードセット／リセットレジスタ 2	32	22-16, 6-0	R/W	0808_H	$0000\ FFFF_H$	—	○	—
			31-16, 15-0				—	—	○
PMCSR2	ポートモードコントロールセット／リセットレジスタ 2	32	22-16, 6-0	R/W	0908_H	$0000\ 0000_H$	—	○	—
			31, 30, 27-25, 22-16, 15, 14, 11-9, 6-0				—	—	○
PIBC2	ポート入力バッファコントロールレジスタ 2	16	6-0	R/W	4008_H	0000_H	—	○	—
			15-0				—	—	○
PBDC2	ポート双方向コントロールレジスタ 2	16	6-0	R/W	4108_H	0000_H	—	○	—
			15-0				—	—	○
PU2	プルアップオプションレジスタ 2	16	6-0	R/W	4308_H	0000_H	—	○	—
			15-0				—	—	○
PODC2	ポートオープンドレインコントロールレジスタ 2	32	6-0	R/W	4508_H	$0000\ 0000_H$	—	○	—
			15-0				—	—	○
PIS2	ポート入力バッファ選択レジスタ 2	16	4, 2, 0	R/W	4708_H	$FFFF_H$	—	○	○
PPROTS2	ポート保護ステータスレジスタ 2	32	0	R	$4B08_H$	$0000\ 0000_H$	—	○	○
PPCMD2	ポート保護コマンドレジスタ 2	32	7-0	W	$4C08_H$	$xxxx\ xx00_H$	—	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.5　ポート 3（P3）

2.10.5.1　兼用機能

表 2.45　ポート 3（P3）

ポートモード（PMC3_m = 0）	兼用モード（PMC3_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P3_0		PWGA76O														—	—	○

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.5.2 制御レジスタ

表 2.46 制御レジスタ（P3）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P3	ポートレジスタ 3	16	0	R/W	$000C_H$	0000_H	—	—	○
PSR3	ポートセット／リセットレジスタ 3	32	16, 0	R/W	$010C_H$	$0000\ 0000_H$	—	—	○
PPR3	ポート端子リードレジスタ 3	16	0	R	$020C_H$	0000_H	—	—	○
PM3	ポートモードレジスタ 3	16	0	R/W	$030C_H$	$FFFF_H$	—	—	○
PMC3	ポートモードコントロールレジスタ 3	16	0	R/W	$040C_H$	0000_H	—	—	○
PNOT3	ポートノット レジスタ 3	16	0	W	$070C_H$	0000_H	—	—	○
PMSR3	ポートモードセット／リセットレジスタ 3	32	16, 0	R/W	$080C_H$	$0000\ FFFF_H$	—	—	○
PMCSR3	ポートモードコントロールセット／リセットレジ スタ 3	32	16, 0	R/W	$090C_H$	$0000\ 0000_H$	—	—	○
PIBC3	ポート入力バッファコントロールレジスタ 3	16	0	R/W	$400C_H$	0000_H	—	—	○
PBDC3	ポート双方向コントロールレジスタ 3	16	0	R/W	$410C_H$	0000_H	—	—	○
PU3	プルアップオプションレジスタ 3	16	0	R/W	$430C_H$	0000_H	—	—	○
PODC3	ポートオープンドレインコントロールレジスタ 3	32	0	R/W	$450C_H$	$0000\ 0000_H$	—	—	○
PPROTS3	ポート保護ステータスレジスタ 3	32	0	R	$4B0C_H$	$0000\ 0000_H$	—	—	○
PPCMD3	ポート保護コマンドレジスタ 3	32	7-0	W	$4C0C_H$	$xxxx\ xx00_H$	—	—	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.6　ポート 8（P8）

2.10.6.1　兼用機能

表 2.47　ポート 8（P8）

ポートモード（PMC8_m = 0）	兼用モード（PMC8_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P8_0	TAUJ0I0	TAUJ0O0	DPIN2	PWGA14O	INTP4	CSIH0CSS0									ADCA0I0S	○	○	○
P8_1	TAPA0ESO	TAUJ0O1	DPIN0	PWGA15O	INTP5	CSIH1CSS3									ADCA0I1S	○	○	○
P8_2	TAUJ0I0	TAUJ0O0	DPIN2	CSIH0CSS0	INTP6	PWGA22O									ADCA0I4S	○	○	○
P8_3	TAUJ0I1	TAUJ0O1	DPIN3	CSIH0CSS1	INTP7	PWGA23O									ADCA0I5S	○	○	○
P8_4	TAUJ0I2	TAUJ0O2	DPIN4	CSIH0CSS2	INTP8	PWGA36O									ADCA0I6S	○	○	○
P8_5	TAUJ0I3	TAUJ0O3		CSIH0CSS3	INTP9	PWGA37O									ADCA0I7S	○	○	○
P8_6	NMI	CSIH0CSS4		PWGA38O		RTCA0OUT									ADCA0I8S	○	○	○
P8_7		CSIH3CSS0		PWGA39O											ADCA0I14S	○	○	○
P8_8		CSIH3CSS1		PWGA40O											ADCA0I15S	○	○	○
P8_9		CSIH3CSS2		PWGA41O											ADCA0I16S	○	○	○
P8_10		CSIH3CSS3	DPIN14	PWGA42O											ADCA0I17S	○	○	○
P8_11	TAUJ1I2	TAUJ1O2	DPIN15	PWGA43O		CSIH1CSS4									ADCA0I18S	○	○	○
P8_12	TAUJ1I3	TAUJ1O3	DPIN16	PWGA44O		CSIH1CSS5									ADCA0I19S	○	○	○

注　意

1. 兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。
2. 専用機能は初期設定で使用してください。

2.10.6.2 制御レジスタ

表 2.48 制御レジスタ（P8）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P8	ポートレジスタ 8	16	12-0	R/W	0020_H	0000_H	○	○	○
PSR8	ポートセット／リセットレジスタ 8	32	28-16, 12-0	R/W	0120_H	$0000\ 0000_H$	○	○	○
PPR8	ポート端子リードレジスタ 8	16	12-0	R	0220_H	0000_H	○	○	○
PM8	ポートモードレジスタ 8	16	12-0	R/W	0320_H	$FFFF_H$	○	○	○
PMC8	ポートモードコントロールレジスタ 8	16	12-0	R/W	0420_H	0000_H	○	○	○
PFC8	ポート機能コントロールレジスタ 8	16	12-0	R/W	0520_H	0000_H	○	○	○
PFCE8	ポート機能コントロール拡張レジスタ 8	16	12, 11, 6-0	R/W	0620_H	0000_H	○	○	○
PNOT8	ポートノット レジスタ 8	16	12-0	W	0720_H	0000_H	○	○	○
PMSR8	ポートモードセット／リセットレジスタ 8	32	28-16, 12-0	R/W	0820_H	$0000\ FFFF_H$	○	○	○
PMCSR8	ポートモードコントロールセット／リセットレジ スタ 8	32	28-16, 12-0	R/W	0920_H	$0000\ 0000_H$	○	○	○
PIBC8	ポート入力バッファコントロールレジスタ 8	16	12-0	R/W	4020_H	0000_H	○	○	○
PBDC8	ポート双方向コントロールレジスタ 8	16	12-0	R/W	4120_H	0000_H	○	○	○
PU8	プルアップオプションレジスタ 8	16	12-0	R/W	4320_H	0000_H	○	○	○
PD8	プルダウンオプションレジスタ 8	16	6-0	R/W	4420_H	0000_H	○	○	○
PODC8	ポートオープンドレインコントロールレジスタ 8	32	12-0	R/W	4520_H	$0000\ 0000_H$	○	○	○
PPROTS8	ポート保護ステータスレジスタ 8	32	0	R	$4B20_H$	$0000\ 0000_H$	○	○	○
PPCMD8	ポート保護コマンドレジスタ 8	32	7-0	W	$4C20_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.7　ポート 9（P9）

2.10.7.1　兼用機能

表 2.49　ポート 9（P9）

ポートモード（PMC9_m = 0）	兼用モード（PMC9_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P9_0	NMI	PWGA8O	TAUD0I0	TAUD0O0	ADCA0TRG0	CSIH2CSS0	KR0I4								ADCA0I2S	○	○	○
P9_1	INTP11	PWGA9O	TAUD0I2	TAUD0O2	KR0I5	CSIH2CSS1									ADCA0I3S	○	○	○
P9_2	KR0I6	PWGA20O	TAPA0ESO	CSIH2CSS2											ADCA0I9S	○	○	○
P9_3	KR0I7	PWGA21O		CSIH2CSS3	TAUJ1I1	TAUJ1O1									ADCA0I10S	○	○	○
P9_4		CSIH0CSS5		PWGA33O	TAUJ1I0	TAUJ1O0									ADCA0I11S	○	○	○

注　意

1. 兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。
2. 専用機能は初期設定で使用してください。

2.10.7.2 制御レジスタ

表 2.50 制御レジスタ（P9）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P9	ポートレジスタ 9	16	4-0	R/W	0024_H	0000_H	○	○	○
PSR9	ポートセット／リセットレジスタ 9	32	20-16, 4-0	R/W	0124_H	$0000\ 0000_H$	○	○	○
PPR9	ポート端子リードレジスタ 9	16	4-0	R	0224_H	0000_H	○	○	○
PM9	ポートモードレジスタ 9	16	4-0	R/W	0324_H	$FFFF_H$	○	○	○
PMC9	ポートモード制御レジスタ 9	16	4-0	R/W	0424_H	0000_H	○	○	○
PFC9	ポート機能コントロールレジスタ 9	16	4-0	R/W	0524_H	0000_H	○	○	○
PFCE9	ポート機能コントロール拡張レジスタ 9	16	4, 3, 1, 0	R/W	0624_H	0000_H	○	○	○
PNOT9	ポートノット レジスタ 9	16	4-0	W	0724_H	0000_H	○	○	○
PMSR9	ポートモードセット／リセットレジスタ 9	32	20-16, 4-0	R/W	0824_H	$0000\ FFFF_H$	○	○	○
PMCSR9	ポートモードコントロールセット／リセットレジ スタ 9	32	20-16, 4-0	R/W	0924_H	$0000\ 0000_H$	○	○	○
PIBC9	ポート入力バッファコントロールレジスタ 9	16	4-0	R/W	4024_H	0000_H	○	○	○
PBDC9	ポート双方向コントロールレジスタ 9	16	4-0	R/W	4124_H	0000_H	○	○	○
PU9	プルアップオプションレジスタ 9	16	4-0	R/W	4324_H	0000_H	○	○	○
PD9	プルダウンオプションレジスタ 9	16	4-0	R/W	4424_H	0000_H	○	○	○
PODC9	ポートオープンドレインコントロールレジスタ 9	32	4-0	R/W	4524_H	$0000\ 0000_H$	○	○	○
PPROTS9	ポート保護ステータスレジスタ 9	32	0	R	$4B24_H$	$0000\ 0000_H$	○	○	○
PPCMD9	ポート保護コマンドレジスタ 9	32	7-0	W	$4C24_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.8　ポート 10（P10）

2.10.8.1　兼用機能

表 2.51　ポート 10（P10）(1/2)

ポートモード (PMC10_m = 0)	兼用モード（PMC10_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P10_0	TAUD0I1	TAUD0O1	CAN0RX/ INTP0	CSCXFOUT		PWGA0O		TAPA0UP	CSIH1SI							○	—	—
	TAUD0I1	TAUD0O1	CAN0RX/ INTP0	CSCXFOUT		PWGA0O		TAPA0UP	CSIH1SI	MEMC0A19						—	○	○
P10_1	TAUD0I3	TAUD0O3		CAN0TX		PWGA1O		TAPA0UN	CSIH1SC						MODE0	○	○	○
P10_2	TAUD0I5	TAUD0O5	RIIC0SDA		KR0I0	PWGA2O	ADCA0TRG0	TAPA0VP		CSIH1SO					MODE1	○	○	○
P10_3	TAUD0I7	TAUD0O7	RIIC0SCL		KR0I1	PWGA3O	ADCA0TRG1	TAPA0VN	$\overline{\text{CSIH1SSI}}$							○	—	—
	TAUD0I7	TAUD0O7	RIIC0SCL		KR0I1	PWGA3O	ADCA0TRG1	TAPA0VN	$\overline{\text{CSIH1SSI}}$	MEMC0CLK						—	○	○
P10_4	TAUD0I9	TAUD0O9	RLIN21RX		KR0I2	ADCA0SEL0	ADCA0TRG2	TAPA0WP	$\overline{\text{CSIG0SSI}}$							○	○	○
P10_5	TAUD0I11	TAUD0O11		RLIN21TX	KR0I3	ADCA0SEL1		TAPA0WN	CSIG0RYI	CSIG0RYO						○	○	○
P10_6	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX/ INTP1									○	—	—
	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX/ INTP1		MEMC0AD0							—	○	○
P10_7	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O		CAN1TX								○	—	—
	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O		CAN1TX	MEMC0AD1							—	○	○
P10_8	TAUD0I10	TAUD0O10	CSIG0SI	FLXA0TXDB	ENCA0EC	PWGA5O									FLMD1	○	—	—
	TAUD0I10	TAUD0O10	CSIG0SI	FLXA0TXDB	ENCA0EC	PWGA5O	MEMC0AD2								FLMD1	—	○	○
P10_9	TAUD0I12	TAUD0O12	RLIN30RX/ INTP10		ENCA0E0	PWGA6O	CSIH0RYI	CSIH0RYO			FLXA0RXDB					○	—	—
	TAUD0I12	TAUD0O12	RLIN30RX/ INTP10		ENCA0E0	PWGA6O	CSIH0RYI	CSIH0RYO	MEMC0AD3		FLXA0RXDB					—	○	○
P10_10	TAUD0I14	TAUD0O14		RLIN30TX	ENCA0E1	PWGA7O		CSIH0CSS1								○	—	—
	TAUD0I14	TAUD0O14		RLIN30TX	ENCA0E1	PWGA7O		CSIH0CSS1	MEMC0AD4							—	○	○
P10_11		PWGA16O	RLIN31RX/ INTP11	FLXA0TXEN A		CSIH1CSS0	TAUB0I1	TAUB0O1								○	—	—
		PWGA16O	RLIN31RX/ INTP11	FLXA0TXEN A		CSIH1CSS0	TAUB0I1	TAUB0O1	MEMC0AD5							—	○	○

表 2.51　ポート 10（P10）(2/2)

ポートモード (PMC10_m = 0)	兼用モード（PMC10_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P10_12		PWGA17O	FLXA0STPWT	RLIN31TX		CSIH1CSS1	TAUB0I3	TAUB0O3								○	—	—
		PWGA17O	FLXA0STPWT	RLIN31TX		CSIH1CSS1	TAUB0I3	TAUB0O3	MEMC0AD6							—	○	○
P10_13	$\overline{\text{CSIH0SSI}}$	PWGA18O	RLIN32RX/INTP12	FLXA0TXENB			TAUB0I5	TAUB0O5								○	—	—
	$\overline{\text{CSIH0SSI}}$	PWGA18O	RLIN32RX/INTP12	FLXA0TXENB			TAUB0I5	TAUB0O5	MEMC0AD7							—	○	○
P10_14	ADCA1TRG0	PWGA19O	FLXA0RXDA	RLIN32TX	$\overline{\text{CSIH3SSI}}$		TAUB0I7	TAUB0O7								○	—	—
	ADCA1TRG0	PWGA19O	FLXA0RXDA	RLIN32TX	$\overline{\text{CSIH3SSI}}$		TAUB0I7	TAUB0O7	MEMC0AD8							—	○	○
P10_15	CSIH3RYI	CSIH3RYO		PWGA24O	RLIN22RX		TAUB0I9	TAUB0O9								○	—	—
	CSIH3RYI	CSIH3RYO		PWGA24O	RLIN22RX		TAUB0I9	TAUB0O9		$\overline{\text{MEMC0RD}}$						—	○	○

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.8.2 制御レジスタ

表 2.52 制御レジスタ（P10）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P10	ポートレジスタ 10	16	15-0	R/W	0028_H	0000_H	○	○	○
PSR10	ポートセット／リセットレジスタ 10	32	31-16, 15-0	R/W	0128_H	$0000\ 0000_H$	○	○	○
PPR10	ポート端子リードレジスタ 10	16	15-0	R	0228_H	0000_H	○	○	○
PM10	ポートモードレジスタ 10	16	15-0	R/W	0328_H	$FFFF_H$	○	○	○
PMC10	ポートモードコントロールレジスタ 10	16	15-0	R/W	0428_H	0000_H	○	○	○
PFC10	ポート機能コントロールレジスタ 10	16	15-0	R/W	0528_H	0000_H	○	○	○
PFCE10	ポート機能コントロール拡張レジスタ 10	16	15-0	R/W	0628_H	0000_H	○	○	○
PNOT10	ポートノット レジスタ 10	16	15-0	W	0728_H	0000_H	○	○	○
PMSR10	ポートモードセット／リセットレジスタ 10	32	31-16, 15-0	R/W	0828_H	$0000\ FFFF_H$	○	○	○
PMCSR10	ポートモードコントロールセット／リセットレ ジスタ 10	32	31-16, 15-0	R/W	0928_H	$0000\ 0000_H$	○	○	○
PFCAE10	ポート機能コントロール追加拡張レジスタ 10	16	9, 5-0	R/W	$0A28_H$	0000_H	○	—	—
			15-9, 7-0				—	○	○
PIBC10	ポート入力バッファコントロールレジスタ 10	16	15-0	R/W	4028_H	0000_H	○	○	○
PBDC10	ポート双方向コントロールレジスタ 10	16	15-0	R/W	4128_H	0000_H	○	○	○
PIPC10	ポート IP コントロールレジスタ 10	16	7-0	R/W	4228_H	0000_H	○	—	—
			14-0				—	○	○
PU10	プルアップオプションレジスタ 10	16	15-0	R/W	4328_H	0000_H	○	○	○
PD10	プルダウンオプションレジスタ 10	16	15-0	R/W	4428_H	0000_H	○	○	○
PODC10	ポートオープンドレインコントロールレジスタ 10	32	15-0	R/W	4528_H	$0000\ 0000_H$	○	○	○
PDSC10	ポートドライブ強度コントロールレジスタ 10	32	13, 11, 8-0	R/W	4628_H	$0000\ 0000_H$	○	—	—
			15-0				—	○	○
PIS10	ポート入力バッファ選択レジスタ 10	16	15-11, 9, 6, 4-2, 0	R/W	4728_H	$FFFF_H$	○	○	○
PPROTS10	ポート保護ステータスレジスタ 10	32	0	R	$4B28_H$	$0000\ 0000_H$	○	○	○
PPCMD10	ポート保護コマンドレジスタ 10	32	7-0	W	$4C28_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.9　ポート 11（P11）

2.10.9.1　兼用機能

表 2.53　ポート 11（P11）(1/2)

ポートモード（PMC11_m = 0）	兼用モード（PMC11_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P11_0	CSIH2RYI	CSIH2RYO	ADCA1TRG2	PWGA25O		RLIN22TX	TAUB0I11	TAUB0O11								○	—	—
	CSIH2RYI	CSIH2RYO	ADCA1TRG2	PWGA25O		RLIN22TX	TAUB0I11	TAUB0O11		$\overline{\text{MEMC0WR}}$						—	○	○
P11_1	$\overline{\text{CSIH2SSI}}$	FLXA0TXDA	RLIN20RX	CSIH0CSS7		PWGA26O	TAUB0I13	TAUB0O13								○	—	—
	$\overline{\text{CSIH2SSI}}$	FLXA0TXDA	RLIN20RX	CSIH0CSS7		PWGA26O	TAUB0I13	TAUB0O13	MEMC0AD9							—	○	○
P11_2		CSIH2SO		RLIN20TX		PWGA27O	TAUB0I15	TAUB0O15								○	—	—
		CSIH2SO		RLIN20TX		PWGA27O	TAUB0I15	TAUB0O15	MEMC0AD10							—	○	○
P11_3	CSIH2SC		CAN3RX/INTP3	PWGA28O												○	—	—
	CSIH2SC		CAN3RX/INTP3	PWGA28O	TAUB1I1	TAUB1O1	MEMC0AD11									—	○	○
P11_4	CSIH2SI	CAN3TX		PWGA29O												○	—	—
	CSIH2SI	CAN3TX		PWGA29O	TAUB1I3	TAUB1O3	MEMC0AD12									—	○	○
P11_5	CAN5RX/INTP5	RLIN33TX		PWGA30O	CSIH3SI											○	—	—
	CAN5RX/INTP5	RLIN33TX		PWGA30O	CSIH3SI		TAUB1I5	TAUB1O5	MEMC0AD13							—	○	○
P11_6	RLIN33RX/INTP13	CAN5TX	ADCA1TRG1	PWGA31O		CSIH3SO										○	—	—
	RLIN33RX/INTP13	CAN5TX	ADCA1TRG1	PWGA31O		CSIH3SO	TAUB1I7	TAUB1O7	MEMC0AD14							—	○	○
P11_7	INTP5			PWGA32O	CSIH3SC											○	—	—
	INTP5			PWGA32O	CSIH3SC		TAUB1I9	TAUB1O9	MEMC0AD15							—	○	○
P11_8	$\overline{\text{CSIG1SSI}}$	RLIN35TX		PWGA48O												○	—	—
	$\overline{\text{CSIG1SSI}}$	RLIN35TX		PWGA48O	TAUB1I11	TAUB1O11		$\overline{\text{MEMC0CS0}}$								—	○	○
P11_9		CSIG1SO	RLIN35RX/INTP15	PWGA49O												○	—	—
		CSIG1SO	RLIN35RX/INTP15	PWGA49O	TAUB1I13	TAUB1O13		$\overline{\text{MEMC0CS1}}$								—	○	○

表 2.53　ポート 11（P11）(2/2)

ポートモード（PMC11_m = 0）	兼用モード（PMC11_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P11_10	CSIG1SC			PWGA50O												○	—	—
	CSIG1SC			PWGA50O	TAUB1I15	TAUB1O15		$\overline{\text{MEMC0CS2}}$								—	○	○
P11_11	CSIG1SI	RLIN25TX		PWGA51O												○	—	—
	CSIG1SI	RLIN25TX		PWGA51O	TAUB1I0	TAUB1O0		$\overline{\text{MEMC0CS3}}$								—	○	○
P11_12	RLIN25RX			PWGA52O												○	—	—
	RLIN25RX			PWGA52O	TAUB1I2	TAUB1O2	$\overline{\text{MEMC0WAIT}}$									—	○	○
P11_13	RLIN24RX			PWGA53O												○	—	—
	RLIN24RX			PWGA53O	TAUB1I4	TAUB1O4		$\overline{\text{MEMC0BEN0}}$								—	○	○
P11_14		RLIN24TX		PWGA54O												○	—	—
		RLIN24TX		PWGA54O	TAUB1I6	TAUB1O6		$\overline{\text{MEMC0BEN1}}$								—	○	○
P11_15	CAN2RX/ INTP2	CSIH2CSS4		PWGA55O												○	—	—
	CAN2RX/ INTP2	CSIH2CSS4		PWGA55O	TAUB1I8	TAUB1O8		$\overline{\text{MEMC0ASTB}}$								—	○	○

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.9.2 制御レジスタ

表 2.54 制御レジスタ（P11）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P11	ポートレジスタ 11	16	15-0	R/W	$002C_H$	0000_H	○	○	○
PSR11	ポートセット／リセットレジスタ 11	32	31-16, 15-0	R/W	$012C_H$	$0000\ 0000_H$	○	○	○
PPR11	ポート端子リードレジスタ 11	16	15-0	R	$022C_H$	0000_H	○	○	○
PM11	ポートモードレジスタ 11	16	15-0	R/W	$032C_H$	$FFFF_H$	○	○	○
PMC11	ポートモードコントロールレジスタ 11	16	15-0	R/W	$042C_H$	0000_H	○	○	○
PFC11	ポート機能コントロールレジスタ 11	16	15-0	R/W	$052C_H$	0000_H	○	○	○
PFCE11	ポート機能コントロール拡張レジスタ 11	16	7-5, 2-0	R/W	$062C_H$	0000_H	○	—	—
			15-0				—	○	○
PNOT11	ポートノット レジスタ 11	16	15-0	W	$072C_H$	0000_H	○	○	○
PMSR11	ポートモードセット／リセットレジスタ 11	32	31-16, 15-0	R/W	$082C_H$	$0000\ FFFF_H$	○	○	○
PMCSR11	ポートモードコントロールセット／リセットレジ スタ 11	32	31-16, 15-0	R/W	$092C_H$	$0000\ 0000_H$	○	○	○
PFCAE11	ポート機能コントロール追加拡張レジスタ 11	16	7-5, 2-0	R/W	$0A2C_H$	0000_H	—	○	○
PIBC11	ポート入力バッファコントロールレジスタ 11	16	15-0	R/W	$402C_H$	0000_H	○	○	○
PBDC11	ポート双方向コントロールレジスタ 11	16	15-0	R/W	$412C_H$	0000_H	○	○	○
PIPC11	ポート IP コントロールレジスタ 11	16	10, 9, 7, 6, 3, 2	R/W	$422C_H$	0000_H	○	—	—
			10, 9, 7-1				—	○	○
PU11	プルアップオプションレジスタ 11	16	15-0	R/W	$432C_H$	0000_H	○	○	○
PD11	プルダウンオプションレジスタ 11	16	4-0	R/W	$442C_H$	0000_H	○	○	○
PODC11	ポートオープンドレインコントロールレジスタ 11	32	15-0	R/W	$452C_H$	$0000\ 0000_H$	○	○	○
PDSC11	ポートドライブ強度コントロールレジスタ 11	32	10, 9, 7, 6, 3-1	R/W	$462C_H$	$0000\ 0000_H$	○	—	—
			15-13, 11-0				—	○	○
PIS11	ポート入力バッファ選択レジスタ 11	16	15, 13, 12, 9, 6, 5, 3, 1	R/W	$472C_H$	$FFFF_H$	○	○	○
PPROTS11	ポート保護ステータスレジスタ 11	32	0	R	$4B2C_H$	$0000\ 0000_H$	○	○	○
PPCMD11	ポート保護コマンドレジスタ 11	32	7-0	W	$4C2C_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.10　ポート 12（P12）

2.10.10.1 兼用機能

表 2.55　ポート 12（P12）

ポートモード（PMC12_m = 0）	兼用モード（PMC12_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P12_0		CAN2TX		PWGA56O												○	—	—
		CAN2TX		PWGA56O	TAUB1I10	TAUB1O10		MEMC0A16								—	○	○
P12_1	RLIN34RX/ INTP14	CSIH2CSS5		PWGA57O												○	—	—
	RLIN34RX/ INTP14	CSIH2CSS5		PWGA57O	TAUB1I12	TAUB1O12		MEMC0A17								—	○	○
P12_2		RLIN34TX		PWGA58O												○	—	—
		RLIN34TX		PWGA58O	TAUB1I14	TAUB1O14		MEMC0A18								—	○	○
P12_3	RLIN27RX			PWGA68O												—	○	○
P12_4		RLIN27TX		PWGA69O												—	○	○
P12_5		PWGA70O														—	○	○

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.10.2 制御レジスタ

表 2.56 制御レジスタ（P12）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P12	ポートレジスタ 12	16	2-0	R/W	0030_H	0000_H	○	—	—
			5-0				—	○	○
PSR12	ポートセット／リセットレジスタ 12	32	18-16, 2-0	R/W	0130_H	$0000\ 0000_H$	○	—	—
			21-16, 5-0				—	○	○
PPR12	ポート端子リードレジスタ 12	16	2-0	R	0230_H	0000_H	○	—	—
			5-0				—	○	○
PM12	ポートモードレジスタ 12	16	2-0	R/W	0330_H	$FFFF_H$	○	—	—
			5-0				—	○	○
PMC12	ポートモードコントロールレジスタ 12	16	2-0	R/W	0430_H	0000_H	○	—	—
			5-0				—	○	○
PFC12	ポート機能コントロールレジスタ 12	16	2-0	R/W	0530_H	0000_H	○	—	—
			4-0				—	○	○
PFCE12	ポート機能コントロール拡張レジスタ 12	16	5-0	R/W	0630_H	0000_H	—	○	○
PNOT12	ポートノット レジスタ 12	16	2-0	W	0730_H	0000_H	○	—	—
			5-0				—	○	○
PMSR12	ポートモードセット／リセットレジスタ 12	32	18-16, 2-0	R/W	0830_H	$0000\ FFFF_H$	○	—	—
			21-16, 5-0				—	○	○
PMCSR12	ポートモードコントロールセット／リセット レジ スタ 12	32	18-16, 2-0	R/W	0930_H	$0000\ 0000_H$	○	—	—
			21-16, 5-0				—	○	○
PIBC12	ポート入力バッファコントロールレジスタ 12	16	2-0	R/W	4030_H	0000_H	○	—	—
			5-0				—	○	○
PBDC12	ポート双方向コントロールレジスタ 12	16	2-0	R/W	4130_H	0000_H	○	—	—
			5-0				—	○	○
PU12	プルアップオプションレジスタ 12	16	2-0	R/W	4330_H	0000_H	○	—	—
			5-0				—	○	○
PODC12	ポートオープンドレインコントロールレジスタ 12	32	2-0	R/W	4530_H	$0000\ 0000_H$	○	—	—
			5-0				—	○	○
PDSC12	ポートドライブ強度コントロールレジスタ 12	32	2-0	R/W	4630_H	$0000\ 0000_H$	—	○	○
PIS12	ポート入力バッファ選択レジスタ 12	16	1	R/W	4730_H	$FFFF_H$	○	—	—
			3, 1				—	○	○
PPROTS12	ポート保護ステータスレジスタ 12	32	0	R	$4B30_H$	$0000\ 0000_H$	○	○	○
PPCMD12	ポート保護コマンドレジスタ 12	32	7-0	W	$4C30_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.11　ポート 13（P13）

2.10.11.1 兼用機能

表 2.57　ポート 13（P13）

ポートモード（PMC13_m = 0）	兼用モード（PMC13_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P13_0		MEMC0A19														—	—	○
P13_1																—	—	○
P13_2																—	—	○
P13_3																—	—	○
P13_4																—	—	○
P13_5																—	—	○
P13_6				PWGA72O												—	—	○
P13_7				PWGA73O												—	—	○

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.11.2 制御レジスタ

表 2.58 制御レジスタ（P13）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P13	ポートレジスタ 13	16	7-0	R/W	0034_H	0000_H	—	—	○
PSR13	ポートセット／リセットレジスタ 13	32	23-16, 7-0	R/W	0134_H	$0000\ 0000_H$	—	—	○
PPR13	ポート端子リードレジスタ 13	16	7-0	R	0234_H	0000_H	—	—	○
PM13	ポートモードレジスタ 13	16	7-0	R/W	0334_H	$FFFF_H$	—	—	○
PMC13	ポートモードコントロールレジスタ 13	16	7, 6, 0	R/W	0434_H	0000_H	—	—	○
PFC13	ポート機能コントロールレジスタ 13	16	7, 6	R/W	0534_H	0000_H	—	—	○
PNOT13	ポートノット レジスタ 13	16	7-0	W	0734_H	0000_H	—	—	○
PMSR13	ポートモードセット／リセットレジスタ 13	32	23-16, 7-0	R/W	0834_H	$0000\ FFFF_H$	—	—	○
PMCSR13	ポートモードコントロールセット／リセットレジ スタ 13	32	23, 22, 16, 7, 6, 0	R/W	0934_H	$0000\ 0000_H$	—	—	○
PIBC13	ポート入力バッファコントロールレジスタ 13	16	7-0	R/W	4034_H	0000_H	—	—	○
PBDC13	ポート双方向コントロールレジスタ 13	16	7-0	R/W	4134_H	0000_H	—	—	○
PU13	プルアップオプションレジスタ 13	16	7-0	R/W	4334_H	0000_H	—	—	○
PODC13	ポートオープンドレインコントロールレジスタ 13	32	7-0	R/W	4534_H	$0000\ 0000_H$	—	—	○
PDSC13	ポートドライブ強度コントロールレジスタ 13	32	0	R/W	4634_H	$0000\ 0000_H$	—	—	○
PPROTS13	ポート保護ステータスレジスタ 13	32	0	R	$4B34_H$	$0000\ 0000_H$	—	—	○
PPCMD13	ポート保護コマンドレジスタ 13	32	7-0	W	$4C34_H$	$xxxx\ xx00_H$	—	—	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.12　ポート 18（P18）

2.10.12.1 兼用機能

表 2.59　ポート 18（P18）

ポートモード（PMC18_m = 0）	兼用モード（PMC18_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P18_0	CSIG1RYI	CSIG1RYO		PWGA61O											ADCA1I0S	○	○	○
P18_1		PWGA62O													ADCA1I1S	○	○	○
P18_2		PWGA63O													ADCA1I2S	○	○	○
P18_3															ADCA1I3S	○	—	—
		PWGA71O													ADCA1I3S	—	○	○
P18_4		CSIH1CSS4													ADCA1I4S	—	○	○
P18_5		CSIH1CSS5													ADCA1I5S	—	○	○
P18_6															ADCA1I6S	—	○	○
P18_7															ADCA1I7S	—	○	○
P18_8															ADCA1I8S	—	—	○
P18_9															ADCA1I9S	—	—	○
P18_10															ADCA1I10S	—	—	○
P18_11															ADCA1I11S	—	—	○
P18_12															ADCA1I12S	—	—	○
P18_13															ADCA1I13S	—	—	○
P18_14															ADCA1I14S	—	—	○
P18_15															ADCA1I15S	—	—	○

注　意

1. 兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。
2. 専用機能は初期設定で使用してください。

2.10.12.2 制御レジスタ

表 2.60 制御レジスタ（P18）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P18	ポートレジスタ 18	16	3-0	R/W	0048_H	0000_H	○	—	—
			7-0				—	○	—
			15-0				—	—	○
PSR18	ポートセット／リセットレジスタ 18	32	19-16, 3-0	R/W	0148_H	$0000\ 0000_H$	○	—	—
			23-16, 7-0				—	○	—
			31-16, 15-0				—	—	○
PPR18	ポート端子リードレジスタ 18	16	3-0	R	0248_H	0000_H	○	—	—
			7-0				—	○	—
			15-0				—	—	○
PM18	ポートモードレジスタ 18	16	3-0	R/W	0348_H	$FFFF_H$	○	—	—
			7-0				—	○	—
			15-0				—	—	○
PMC18	ポートモードコントロールレジスタ 18	16	2-0	R/W	0448_H	0000_H	○	—	—
			5-0				—	○	○
PFC18	ポート機能コントロールレジスタ 18	16	0	R/W	0548_H	0000_H	○	○	○
PNOT18	ポートノット レジスタ 18	16	3-0	W	0748_H	0000_H	○	—	—
			7-0				—	○	—
			15-0				—	—	○
PMSR18	ポートモードセット／リセットレジスタ 18	32	19-16,3-0	R/W	0848_H	$0000\ FFFF_H$	○	—	—
			23-16,7-0				—	○	—
			31-16,15-0				—	—	○
PMCSR18	ポートモードコントロールセット／リセットレジスタ 18	32	18-16, 2-0	R/W	0948_H	$0000\ 0000_H$	○	—	—
			20-16, 5-0				—	○	○
PIBC18	ポート入力バッファコントロールレジスタ 18	16	3-0	R/W	4048_H	0000_H	○	—	—
			7-0				—	○	—
			15-0				—	—	○
PBDC18	ポート双方向コントロールレジスタ 18	16	3-0	R/W	4148_H	0000_H	○	—	—
			7-0				—	○	—
			15-0				—	—	○
PU18	プルアップオプションレジスタ 18	16	3-0	R/W	4348_H	0000_H	○	—	—
			7-0				—	○	—
			15-0				—	—	○
PODC18	ポートオープンドレインコントロールレジスタ 18	32	3-0	R/W	4548_H	$0000\ 0000_H$	○	—	—
			7-0				—	○	—
			15-0				—	—	○
PPROTS18	ポート保護ステータスレジスタ 18	32	0	R	$4B48_H$	$0000\ 0000_H$	○	○	○
PPCMD18	ポート保護コマンドレジスタ 18	32	7-0	W	$4C48_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.13　ポート 19（P19）

2.10.13.1 兼用機能

表 2.61　ポート 19（P19）

ポートモード（PMC19_m = 0）	兼用モード（PMC19_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P19_0															ADCA1I16S	—	—	○
P19_1															ADCA1I17S	—	—	○
P19_2															ADCA1I18S	—	—	○
P19_3															ADCA1I19S	—	—	○

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.13.2 制御レジスタ

表 2.62 制御レジスタ（P19）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P19	ポートレジスタ 19	16	3-0	R/W	$004C_H$	0000_H	—	—	○
PSR19	ポートセット／リセットレジスタ 19	32	19-16, 3-0	R/W	$014C_H$	$0000\ 0000_H$	—	—	○
PPR19	ポート端子リードレジスタ 19	16	3-0	R	$024C_H$	0000_H	—	—	○
PM19	ポートモードレジスタ 19	16	3-0	R/W	$034C_H$	$FFFF_H$	—	—	○
PNOT19	ポートノット レジスタ 19	16	3-0	W	$074C_H$	0000_H	—	—	○
PMSR19	ポートモードセット／リセットレジスタ 19	32	19-16, 3-0	R/W	$084C_H$	$0000\ FFFF_H$	—	—	○
PIBC19	ポート入力バッファコントロールレジスタ 19	16	3-0	R/W	$404C_H$	0000_H	—	—	○
PBDC19	ポート双方向コントロールレジスタ 19	16	3-0	R/W	$414C_H$	0000_H	—	—	○
PU19	プルアップオプションレジスタ 19	16	3-0	R/W	$434C_H$	0000_H	—	—	○
PODC19	ポートオープンドレインコントロールレジスタ 19	32	3-0	R/W	$454C_H$	$0000\ 0000_H$	—	—	○
PPROTS19	ポート保護ステータスレジスタ 19	32	0	R	$4B4C_H$	$0000\ 0000_H$	—	—	○
PPCMD19	ポート保護コマンドレジスタ 19	32	7-0	W	$4C4C_H$	$xxxx\ xx00_H$	—	—	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.14　ポート 20（P20）

2.10.14.1 兼用機能

表 2.63　ポート 20（P20）

ポートモード（PMC20_m = 0）	兼用モード（PMC20_m = 1）														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P20_0	RLIN26RX			PWGA64O												—	○	○
P20_1		RLIN26TX		PWGA65O												—	○	○
P20_2	CAN4RX/ INTP4			PWGA66O	RLIN29RX											—	○	○
P20_3		CAN4TX		PWGA67O		RLIN29TX										—	○	○
P20_4	RLIN23RX			PWGA59O												○	○	○
P20_5		RLIN23TX		PWGA60O												○	○	○

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.14.2 制御レジスタ

表 2.64 制御レジスタ（P20）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
P20	ポートレジスタ 20	16	5, 4	R/W	0050_H	0000_H	○	—	—
			5-0				—	○	○
PSR20	ポートセット／リセットレジスタ 20	32	21, 20, 5, 4	R/W	0150_H	$0000\ 0000_H$	○	—	—
			21-16, 5-0				—	○	○
PPR20	ポート端子リードレジスタ 20	16	5, 4	R	0250_H	0000_H	○	—	—
			5-0				—	○	○
PM20	ポートモードレジスタ 20	16	5, 4	R/W	0350_H	$FFFF_H$	○	—	—
			5-0				—	○	○
PMC20	ポートモードコントロールレジスタ 20	16	5, 4	R/W	0450_H	0000_H	○	—	—
			5-0				—	○	○
PFC20	ポート機能コントロールレジスタ 20	16	5, 4	R/W	0550_H	0000_H	○	—	—
			5-0				—	○	○
PFCE20	ポート機能コントロール拡張レジスタ 20	16	3, 2	R/W	0650_H	0000_H	—	○	○
PNOT20	ポートノットレジスタ 20	16	5, 4	W	0750_H	0000_H	○	—	—
			5-0				—	○	○
PMSR20	ポートモードセット／リセットレジスタ 20	32	21, 20, 5, 4	R/W	0850_H	$0000\ FFFF_H$	○	—	—
			21-16, 5-0				—	○	○
PMCSR20	ポートモードコントロールセット／リセットレジスタ 20	32	21, 20, 5, 4	R/W	0950_H	$0000\ 0000_H$	○	—	—
			21-16, 5-0				—	○	○
PIBC20	ポート入力バッファコントロールレジスタ 20	16	5, 4	R/W	4050_H	0000_H	○	—	—
			5-0				—	○	○
PBDC20	ポート双方向コントロールレジスタ 20	16	5, 4	R/W	4150_H	0000_H	○	—	—
			5-0				—	○	○
PU20	プルアップオプションレジスタ 20	16	5, 4	R/W	4350_H	0000_H	○	—	—
			5-0				—	○	○
PODC20	ポートオープンドレインコントロールレジスタ 20	32	5, 4	R/W	4550_H	$0000\ 0000_H$	○	—	—
			5-0				—	○	○
PIS20	ポート入力バッファ選択レジスタ 20	16	4	R/W	4750_H	$FFFF_H$	○	—	—
			4, 2, 0				—	○	○
PPROTS20	ポート保護ステータスレジスタ 20	32	0	R	$4B50_H$	$0000\ 0000_H$	○	○	○
PPCMD20	ポート保護コマンドレジスタ 20	32	7-0	W	$4C50_H$	$xxxx\ xx00_H$	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.15　アナログポート 0（AP0）

2.10.15.1 兼用機能

表 2.65　アナログポート 0（AP0）

ポートモード	兼用モード														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
AP0_0															ADCA0I0	○	○	○
AP0_1															ADCA0I1	○	○	○
AP0_2															ADCA0I2	○	○	○
AP0_3															ADCA0I3	○	○	○
AP0_4															ADCA0I4	○	○	○
AP0_5															ADCA0I5	○	○	○
AP0_6															ADCA0I6	○	○	○
AP0_7															ADCA0I7	○	○	○
AP0_8															ADCA0I8	○	○	○
AP0_9															ADCA0I9	○	○	○
AP0_10															ADCA0I10	○	○	○
AP0_11															ADCA0I11	○	○	○
AP0_12															ADCA0I12	○	○	○
AP0_13															ADCA0I13	○	○	○
AP0_14															ADCA0I14	○	○	○
AP0_15															ADCA0I15	○	○	○

注　意

専用機能は端子を入力モードにすることによって使用できます。

2.10.15.2 制御レジスタ

表 2.66 制御レジスタ（AP0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W			144 pin	176 pin	233 pin
AP0	アナログポートレジスタ 0	16	15-0	R/W	$00C8_H$	0000_H	○	○	○
APSR0	アナログポートセット／リセットレジスタ 0	32	31-16, 15-0	R/W	$01C8_H$	$0000\ 0000_H$	○	○	○
APPR0	アナログポート端子リードレジスタ 0	16	15-0	R	$02C8_H$	0000_H	○	○	○
APM0	アナログポートモードレジスタ 0	16	15-0	R/W	$03C8_H$	$FFFF_H$	○	○	○
APNOT0	アナログポートノットレジスタ 0	16	15-0	W	$07C8_H$	0000_H	○	○	○
APMSR0	アナログポートモードセット／リセットレジスタ 0	32	31-16, 15-0	R/W	$08C8_H$	$0000\ FFFF_H$	○	○	○
APIBC0	アナログポート入力バッファコントロールレジスタ 0	16	15-0	R/W	$40C8_H$	0000_H	○	○	○
APBDC0	アナログポート双方向コントロールレジスタ 0	16	15-0	R/W	$41C8_H$	0000_H	○	○	○

2.10.16　アナログポート１（AP1）

2.10.16.1 兼用機能

表 2.67　アナログポート１（AP1）

ポートモード	兼用モード														専用機能	デバイス		
	第１兼用		第２兼用		第３兼用		第４兼用		第５兼用		第６兼用		第７兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
AP1_0															ADCA1I0	○	○	○
AP1_1															ADCA1I1	○	○	○
AP1_2															ADCA1I2	○	○	○
AP1_3															ADCA1I3	○	○	○
AP1_4															ADCA1I4	○	○	○
AP1_5															ADCA1I5	○	○	○
AP1_6															ADCA1I6	○	○	○
AP1_7															ADCA1I7	○	○	○
AP1_8															ADCA1I8	—	○	○
AP1_9															ADCA1I9	—	○	○
AP1_10															ADCA1I10	—	○	○
AP1_11															ADCA1I11	—	○	○
AP1_12															ADCA1I12	—	○	○
AP1_13															ADCA1I13	—	○	○
AP1_14															ADCA1I14	—	○	○
AP1_15															ADCA1I15	—	○	○

注　意

専用機能は端子を入力モードにすることによって使用できます。

2.10.16.2 制御レジスタ

表 2.68 制御レジスタ（AP1）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
AP1	アナログポートレジスタ 1	16	7-0	R/W	$00CC_H$	0000_H	○	—	—
			15-0				—	○	○
APSR1	アナログポートセット／リセットレジスタ 1	32	23-16, 7-0	R/W	$01CC_H$	$0000\ 0000_H$	○	—	—
			31-16, 15-0				—	○	○
APPR1	アナログポート端子リードレジスタ 1	16	7-0	R	$02CC_H$	0000_H	○	—	—
			15-0				—	○	○
APM1	アナログポートモードレジスタ 1	16	7-0	R/W	$03CC_H$	$FFFF_H$	○	—	—
			15-0				—	○	○
APNOT1	アナログポートノット レジスタ 1	16	7-0	W	$07CC_H$	0000_H	○	—	—
			15-0				—	○	○
APMSR1	アナログポートモードセット／リセットレジスタ 1	32	23-16, 7-0	R/W	$08CC_H$	$0000\ FFFF_H$	○	—	—
			31-16, 15-0				—	○	○
APIBC1	アナログポート入力バッファコントロールレジスタ 1	16	7-0	R/W	$40CC_H$	0000_H	○	—	—
			15-0				—	○	○
APBDC1	アナログポート双方向コントロールレジスタ 1	16	7-0	R/W	$41CC_H$	0000_H	○	—	—
			15-0				—	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.17　入力ポート 0（IP0）

2.10.17.1 兼用機能

表 2.69　入力ポート 0（IP0）

ポートモード	兼用モード														専用機能	デバイス		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			144 pin	176 pin	233 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
IP0_0															XT2	○	○	○

2.10.17.2 制御レジスタ

表 2.70 制御レジスタ（IP0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			144 pin	176 pin	233 pin
IPPR0	入力ポート端子リードレジスタ 0	16	0	R	$02F0_H$	0000_H	○	○	○
IPIBC0	ポート入力バッファコントロールレジスタ 0	16	0	R/W	$40F0_H$	0000_H	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

IP0_0/XT2 端子を入力ポートとして使用する場合は、SOSC が動作停止中に IPIBC0_0 ビット = 1 に設定してください。SOSC 動作設定の詳細は、**「11.4.2.6 SOSCE — SubOSC イネーブルレジスタ」**を参照してください。なお、SubOSC（SOSC）として使用し、入力ポートとして使用しない場合は、IPIBC0_0 ビット = 0 に設定してください。

2.11 ポート（特殊 I/O）機能概要

本節では、ポート（特殊 I/O）の機能について説明します。

2.11.1 リセット後の特殊 I/O

リセット解除後の特殊な機能のポートについて次に示します。

2.11.1.1 P0_0：$\overline{\text{RESETOUT}}$

P0_0 端子はリセット中にロウレベルを出力し、レジスタの初期値は以下のようになるためリセット解除後はロウレベルを出力し続けます。

- P0.P0_0 = 0：ロウレベル
- PM0.PM0_0 = 0：出力ポート
- PODC0.PODC0_0 = 1：オープンドレイン出力

したがって、この端子は $\overline{\text{RESETOUT}}$ 機能として使用できます。
P0_0 端子の設定が更新されると、変更後の設定に従い動作します。

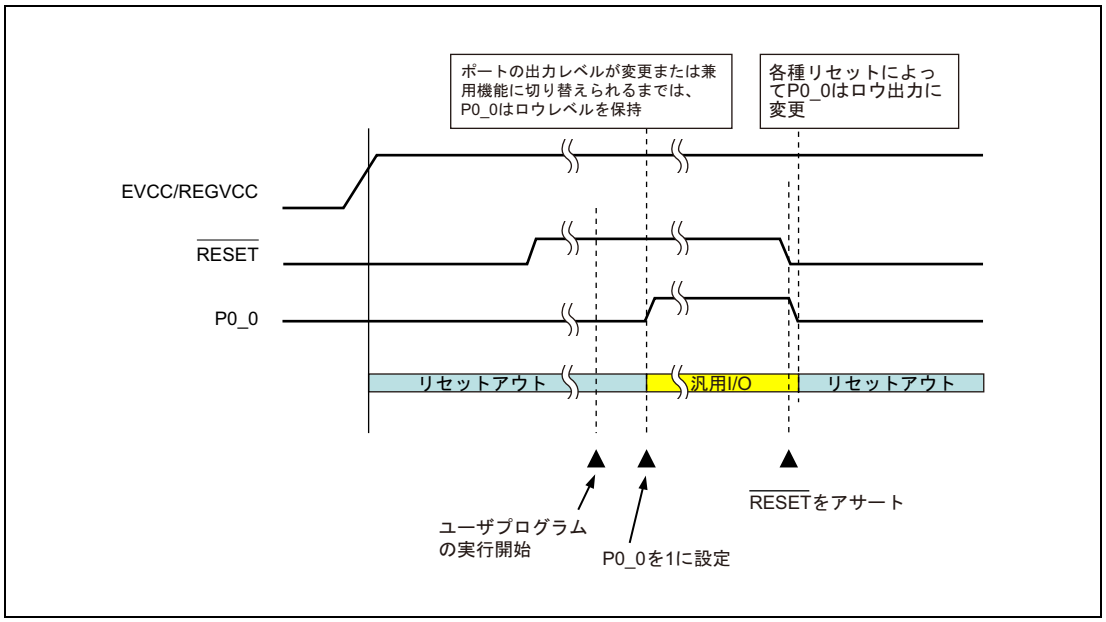


図 2.9 リセット中およびリセット解除後の P0_0 端子（$\overline{\text{RESETOUT}}$ 信号）動作

2.11.1.2　JP0_0-JP0_6：デバッグインタフェース

OPJTAG[1:0] の設定が以下の組み合わせの場合、リセット解除後、JTAG ポートグループの端子がデバッグインタフェースとして使用できます。

表 2.71　デバッグインタフェース

OPJTAG1	OPJTAG0	モード	JP0_0	JP0_1	JP0_2	JP0_3	JP0_4	JP0_5	JP0_6
1	1	Nexus I/F	DCUTDI 入力	DCUTDO 出力	DCUTCK 入力	DCUTMS 入力	$\overline{\text{DCUTRST}}$ 入力	$\overline{\text{DCURDY}}$ 出力	$\overline{\text{EVTO}}$ 注 1 出力
0	1	LPD (4 pin)	LPDI 入力	LPDO 出力	LPDCLK 入力	ポート／兼用機能	ポート／兼用機能	LPDCLK OUT 出力	ポート／兼用機能
1	0	LPD (1 pin)	LPDIO 入出力	ポート／兼用機能	ポート／兼用機能	ポート／兼用機能	ポート／兼用機能	ポート／兼用機能	ポート／兼用機能

したがって、デバッガと接続している間、これらの端子のポートおよび兼用機能が使用できなくなります。

注 1.　$\overline{\text{EVTO}}$ 端子は Code Flash 4 M バイト 製品のみ対応

備　考

OPJTAG[1:0] の設定に関しては、「**36.9.2　OPBT0 — オプションバイト 0**」を参照してください。

2.11.1.3　FPDR(JP0_0), FPDT(JP0_1), FPCK(JP0_2)：フラッシュプログラマ

これらの端子はフラッシュプログラマと接続する場合に使用します。詳細は、「*フラッシュプログラマのマニュアル*」を参照してください。

2.11.1.4　モード端子

FLMD0 端子と P10_8: FLMD1 端子を組み合わせてシリアルプログラミングモードに設定できます。また、更に P10_1：MODE0 端子と P10_2：MODE1 端子を組み合わせることでバウンダリスキャンモードに設定できます。モード選択の詳細は、「**第 6 章　動作モード**」を参照してください。

2.11.1.5　IP0_0：XT2

SubOSC（SOSC）の入力端子です。IPIBC0_0 ビット = 1 に設定すると、IP0_0/XT2 端子を入力ポートとして使用できます。その際、SOSC は動作停止状態にしてください。

2.11.2 AD 入力兼用 I/O

次のポートは AD の入力に常に接続しています。（ただし、AD へのアナログ入力は、AD のモジュールで制御されます。）

表 2.72 AD 入力兼用端子 (1/2)

ポート	AD 入力	デバイス		
		144 pin	176 pin	233 pin
P8_0	ADCA0I0S	○	○	○
P8_1	ADCA0I1S	○	○	○
P8_2	ADCA0I4S	○	○	○
P8_3	ADCA0I5S	○	○	○
P8_4	ADCA0I6S	○	○	○
P8_5	ADCA0I7S	○	○	○
P8_6	ADCA0I8S	○	○	○
P8_7	ADCA0I14S	○	○	○
P8_8	ADCA0I15S	○	○	○
P8_9	ADCA0I16S	○	○	○
P8_10	ADCA0I17S	○	○	○
P8_11	ADCA0I18S	○	○	○
P8_12	ADCA0I19S	○	○	○
P9_0	ADCA0I2S	○	○	○
P9_1	ADCA0I3S	○	○	○
P9_2	ADCA0I9S	○	○	○
P9_3	ADCA0I10S	○	○	○
P9_4	ADCA0I11S	○	○	○
P18_0	ADCA1I0S	○	○	○
P18_1	ADCA1I1S	○	○	○
P18_2	ADCA1I2S	○	○	○
P18_3	ADCA1I3S	○	○	○
P18_4	ADCA1I4S	—	○	○
P18_5	ADCA1I5S	—	○	○
P18_6	ADCA1I6S	—	○	○
P18_7	ADCA1I7S	—	○	○
P18_8	ADCA1I8S	—	—	○
P18_9	ADCA1I9S	—	—	○
P18_10	ADCA1I10S	—	—	○
P18_11	ADCA1I11S	—	—	○
P18_12	ADCA1I12S	—	—	○
P18_13	ADCA1I13S	—	—	○
P18_14	ADCA1I14S	—	—	○
P18_15	ADCA1I15S	—	—	○
P19_0	ADCA1I16S	—	—	○
P19_1	ADCA1I17S	—	—	○
P19_2	ADCA1I18S	—	—	○
P19_3	ADCA1I19S	—	—	○
AP0_0	ADCA0I0	○	○	○

表 2.72 AD 入力兼用端子 (2/2)

ポート	AD 入力	デバイス		
		144 pin	176 pin	233 pin
AP0_1	ADCA0I1	○	○	○
AP0_2	ADCA0I2	○	○	○
AP0_3	ADCA0I3	○	○	○
AP0_4	ADCA0I4	○	○	○
AP0_5	ADCA0I5	○	○	○
AP0_6	ADCA0I6	○	○	○
AP0_7	ADCA0I7	○	○	○
AP0_8	ADCA0I8	○	○	○
AP0_9	ADCA0I9	○	○	○
AP0_10	ADCA0I10	○	○	○
AP0_11	ADCA0I11	○	○	○
AP0_12	ADCA0I12	○	○	○
AP0_13	ADCA0I13	○	○	○
AP0_14	ADCA0I14	○	○	○
AP0_15	ADCA0I15	○	○	○
AP1_0	ADCA1I0	○	○	○
AP1_1	ADCA1I1	○	○	○
AP1_2	ADCA1I2	○	○	○
AP1_3	ADCA1I3	○	○	○
AP1_4	ADCA1I4	○	○	○
AP1_5	ADCA1I5	○	○	○
AP1_6	ADCA1I6	○	○	○
AP1_7	ADCA1I7	○	○	○
AP1_8	ADCA1I8	—	○	○
AP1_9	ADCA1I9	—	○	○
AP1_10	ADCA1I10	—	○	○
AP1_11	ADCA1I11	—	○	○
AP1_12	ADCA1I12	—	○	○
AP1_13	ADCA1I13	—	○	○
AP1_14	ADCA1I14	—	○	○
AP1_15	ADCA1I15	—	○	○

2.11.3 特殊 I/O 制御

2.11.3.1 直接 I/O 制御（PIPC）

いくつかの兼用機能ではポートの入力／出力を制御します。

次に PIPCn.PIPCn_m = 1 とする必要がある兼用機能について示します。詳細は、**「2.9.2.3 PIPCn — ポート IP コントロールレジスタ」**を参照してください。

表 2.73 PIPCn.PIPCn_m = 1 設定が必要な兼用機能 (1/2)

機能	兼用機能名	ポート名	電力供給領域	制御	参照章
MEMC	MEMC0AD0	P10_6	ISO	—	第 14 章
	MEMC0AD1	P10_7	ISO	—	
	MEMC0AD2	P10_8	ISO	—	
	MEMC0AD3	P10_9	ISO	—	
	MEMC0AD4	P10_10	ISO	—	
	MEMC0AD5	P10_11	ISO	—	
	MEMC0AD6	P10_12	ISO	—	
	MEMC0AD7	P10_13	ISO	—	
	MEMC0AD8	P10_14	ISO	—	
	MEMC0AD9	P11_1	ISO	—	
	MEMC0AD10	P11_2	ISO	—	
	MEMC0AD11	P11_3	ISO	—	
	MEMC0AD12	P11_4	ISO	—	
	MEMC0AD13	P11_5	ISO	—	
	MEMC0AD14	P11_6	ISO	—	
	MEMC0AD15	P11_7	ISO	—	
TAPA	TAPA0UP	P10_0	ISO	U 相 Hi-Z 制御	第 29 章
	TAPA0UN	P10_1	ISO		
	TAPA0VP	P10_2	ISO	V 相 Hi-Z 制御	
	TAPA0VN	P10_3	ISO		
	TAPA0WP	P10_4	ISO	W 相 Hi-Z 制御	
	TAPA0WN	P10_5	ISO		
CSIG	CSIG0SO	P0_13	AWO	シリアルデータ出力制御信号	第 15 章
		P10_6	ISO		
	CSIG0SC	P0_14	AWO	マスタ (1) ／鵜スレーブ (0) モード信号	
		P10_7	ISO		
	CSIG1SO	P11_9	ISO	シリアルデータ出力制御信号	
	CSIG1SC	P11_10	ISO	マスタ (1) ／スレーブ (0) モード信号	

表 2.73　PIPCn.PIPCn_m = 1 設定が必要な兼用機能 (2/2)

機能	兼用機能名	ポート名	電力供給領域	制御	参照章
CSIH	CSIH0SO	P0_3	AWO	シリアルデータ出力制御信号	第 16 章
	CSIH0SC	P0_2	AWO	マスタ (1) ／スレーブ (0) モード信号	
	CSIH1SO	P0_5	AWO	シリアルデータ出力制御信号	
		P10_2	ISO		
	CSIH1SC	P0_6	AWO	マスタ (1) ／スレーブ (0) モード信号	
		P10_1	ISO		
	CSIH2SO	P11_2	ISO	シリアルデータ出力制御信号	
	CSIH2SC	P11_3	ISO	マスタ (1) ／スレーブ (0) モード信号	
	CSIH3SO	P11_6	ISO	シリアルデータ出力制御信号	
	CSIH3SC	P11_7	ISO	マスタ (1) ／スレーブ (0) モード信号	

2.11.3.2 入力バッファ制御（PISn、JPISA0）

本デバイスでは、ポートの入力バッファの特性（タイプ 1、タイプ 2）を PISn レジスタで選択することができます。適用可能な端子を以下の表に示します。

本デバイスでは、JTAG ポートの入力バッファの特性（タイプ 2、タイプ 5）を JPISA0 レジスタで選択することができます。適用可能な端子を**表 2.75** に示します。

表以外のポートはタイプ 2（SHMT4）のみサポートします。

表 2.74 入力バッファ特性の選択 (1/2)

ポート名	入力バッファ選択		デバイス		
	タイプ 1 （PISn_m = 0）	タイプ 2 （PISn_m = 1）	144 pin	176 pin	233 pin
P0_0	SHMT1	SHMT4	○	○	○
P0_1	SHMT1	SHMT4	○	○	○
P0_2	SHMT1	SHMT4	○	○	○
P0_3	SHMT1	SHMT4	○	○	○
P0_4	SHMT1	SHMT4	○	○	○
P0_5	SHMT1	SHMT4	○	○	○
P0_6	SHMT1	SHMT4	○	○	○
P0_7	SHMT1	SHMT4	○	○	○
P0_9	SHMT1	SHMT4	○	○	○
P0_11	SHMT1	SHMT4	○	○	○
P0_12	SHMT1	SHMT4	○	○	○
P0_13	SHMT1	SHMT4	○	○	○
P1_0	SHMT1	SHMT4	○	○	○
P1_2	SHMT1	SHMT4	○	○	○
P1_4	SHMT1	SHMT4	○	○	○
P1_6	SHMT1	SHMT4	○	○	○
P1_8	SHMT1	SHMT4	○	○	○
P1_10	SHMT1	SHMT4	○	○	○
P1_12	SHMT1	SHMT4	—	○	○
P1_14	SHMT1	SHMT4	—	○	○
P2_0	SHMT1	SHMT4	—	○	○
P2_2	SHMT1	SHMT4	—	○	○
P2_4	SHMT1	SHMT4	—	○	○
P10_0	SHMT1	SHMT4	○	○	○
P10_2	SHMT1	SHMT4	○	○	○
P10_3	SHMT1	SHMT4	○	○	○
P10_4	SHMT1	SHMT4	○	○	○
P10_6	SHMT1	SHMT4	○	○	○
P10_9	SHMT1	SHMT4	○	○	○
P10_11	SHMT1	SHMT4	○	○	○
P10_12	SHMT1	SHMT4	○	○	○
P10_13	SHMT1	SHMT4	○	○	○
P10_14	SHMT1	SHMT4	○	○	○
P10_15	SHMT1	SHMT4	○	○	○
P11_1	SHMT1	SHMT4	○	○	○

表 2.74 入力バッファ特性の選択 (2/2)

ポート名	入力バッファ選択		デバイス		
	タイプ 1 （PISn_m = 0）	タイプ 2 （PISn_m = 1）	144 pin	176 pin	233 pin
P11_3	SHMT1	SHMT4	○	○	○
P11_5	SHMT1	SHMT4	○	○	○
P11_6	SHMT1	SHMT4	○	○	○
P11_9	SHMT1	SHMT4	○	○	○
P11_12	SHMT1	SHMT4	○	○	○
P11_13	SHMT1	SHMT4	○	○	○
P11_15	SHMT1	SHMT4	○	○	○
P12_1	SHMT1	SHMT4	○	○	○
P12_3	SHMT1	SHMT4	—	○	○
P20_0	SHMT1	SHMT4	—	○	○
P20_2	SHMT1	SHMT4	—	○	○
P20_4	SHMT1	SHMT4	○	○	○

表 2.75 JTAG ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス		
	タイプ 1	タイプ 2 （JPISA0_m = 0）	タイプ 5 （JPISA0_m = 1）	144 pin	176 pin	233 pin
JP0_0	—	SHMT4	TTL 注 1、注 2、注 3、注 4	○	○	○
JP0_2	—	SHMT4	TTL 注 1、注 2、注 3	○	○	○
JP0_3	—	SHMT4	TTL 注 1、注 2	○	○	○
JP0_4	—	SHMT4	— 注 1、注 2	○	○	○

注 1. TTL は JPISA0 レジスタ設定なしでバウンダリスキャンモードで選択されます。
注 2. TTL は JPISA0 レジスタ設定なしで通常動作モードの Nexus で選択されます。
注 3. TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD（4 pin）で選択されます。
注 4. TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD（1 pin）で選択されます。

備 考

1. SHMT1, SHMT4, TTL の端子特性についてはデータシートを参照してください。
2. リセット後の入力バッファは、タイプ 2（SHMT4）が選択されています。

2.11.3.3 出力バッファ制御（PDSC）

本デバイスでは、ポートの出力ドライバの強度（低速モード、高速モード）を PDSCn レジスタで選択することができます。適用可能な端子を以下の表に示します。表以外のポートは低速モードのみサポートします。

表 2.76 出力ドライバ強度選択可能ポート (1/2)

ポート名	デバイス		
	144 pin	176 pin	233 pin
P0_2 注1	○	○	○
P0_3 注1	○	○	○
P0_5 注1	○	○	○
P0_6 注1	○	○	○
P0_7	○	○	○
P0_13	○	○	○
P0_14	○	○	○
P10_0	○	○	○
P10_1 注2	○	○	○
P10_2 注2	○	○	○
P10_3	○	○	○
P10_4	○	○	○
P10_5	○	○	○
P10_6	○	○	○
P10_7	○	○	○
P10_8	○	○	○
P10_9	—	○	○
P10_10	—	○	○
P10_11	○	○	○
P10_12	—	○	○
P10_13	○	○	○
P10_14	—	○	○
P10_15	—	○	○
P11_0	—	○	○
P11_1	○	○	○
P11_2 注2	○	○	○
P11_3 注2	○	○	○
P11_4	—	○	○
P11_5	—	○	○
P11_6 注2	○	○	○
P11_7 注2	○	○	○
P11_8 注2	—	○	○
P11_9	○	○	○
P11_10	○	○	○
P11_11	—	○	○
P11_13	—	○	○
P11_14	—	○	○
P11_15	—	○	○

表 2.76　出力ドライバ強度選択可能ポート　(2/2)

ポート名	デバイス		
	144 pin	176 pin	233 pin
P12_0	—	○	○
P12_1	—	○	○
P12_2	—	○	○
P13_0	—	—	○

注 1.　CSIH の負荷容量が 100 pF のときは高速モードに設定してください。
注 2.　CSIH の負荷容量が 50 pF のときは高速モードに設定してください。

2.12 ノイズフィルタ & エッジレベル検出回路

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品ではアナログフィルタとデジタルフィルタの両方をサポートしています。

また、フィルタ通過後、エッジ検出／レベル検出する機能もサポートしています。

最初の節で、フィルタが割り当てられているポート入力端子とそのフィルタの種類、ノイズフィルタ & エッジ／レベル検出制御レジスタと制御ビット、およびレジスタアドレスなどの概要を説明します。

デジタル／アナログフィルタ機能とノイズフィルタ & エッジ／レベル検出制御レジスタの詳細は**「2.13 ポートノイズフィルタ & エッジ／レベル検出機能説明」**を参照してください。

備 考

本節のノイズフィルタ制御レジスタの <name> は、フィルタに接続の周辺機能を表します。

2.12.1 ポートフィルタの割り当て

アナログまたは、デジタルフィルタを内蔵した入力端子の一覧を次に示します。

2.12.1.1 アナログフィルタタイプ A 付き入力端子

アナログフィルタタイプ A の入力端子は、アナログフィルタおよびエッジ／レベル検出機能を搭載しています。エッジ／レベル検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<name>（m = 0 ～ 7）
  各アナログフィルタ付きポートにはそれぞれの端子に専用の FCLA0CTLm_<name> レジスタがあります。

表 2.77 アナログフィルタタイプ A 付き入力端子 (1/2)

入力信号	FCLA0CTL レジスタ構成		デバイス		
	レジスタ	アドレス	144 pin	176 pin	233 pin
NMI	FCLA0CTL0_NMI	FFC3 4000_H	○	○	○
INTP0	FCLA0CTL0_INTPL	FFC3 4020_H	○	○	○
INTP1	FCLA0CTL1_INTPL	FFC3 4024_H	○	○	○
INTP2	FCLA0CTL2_INTPL	FFC3 4028_H	○	○	○
INTP3	FCLA0CTL3_INTPL	FFC3 $402C_H$	○	○	○
INTP4	FCLA0CTL4_INTPL	FFC3 4030_H	○	○	○
INTP5	FCLA0CTL5_INTPL	FFC3 4034_H	○	○	○
INTP6	FCLA0CTL6_INTPL	FFC3 4038_H	○	○	○
INTP7	FCLA0CTL7_INTPL	FFC3 $403C_H$	○	○	○
INTP8	FCLA0CTL0_INTPH	FFC3 4040_H	○	○	○
INTP9	FCLA0CTL1_INTPH	FFC3 4044_H	○	○	○
INTP10	FCLA0CTL2_INTPH	FFC3 4048_H	○	○	○
INTP11	FCLA0CTL3_INTPH	FFC3 $404C_H$	○	○	○
INTP12	FCLA0CTL4_INTPH	FFC3 4050_H	○	○	○
INTP13	FCLA0CTL5_INTPH	FFC3 4054_H	○	○	○

表 2.77 アナログフィルタタイプ A 付き入力端子 (2/2)

入力信号	FCLA0CTL レジスタ構成		デバイス		
	レジスタ	アドレス	144 pin	176 pin	233 pin
INTP14	FCLA0CTL6_INTPH	FFC3 4058$_H$	○	○	○
INTP15	FCLA0CTL7_INTPH	FFC3 405C$_H$	○	○	○

2.12.1.2 アナログフィルタタイプ B 付き入力端子

アナログフィルタタイプ B の入力端子は、アナログフィルタを搭載しています。エッジ／レベル検出は各周辺機能のレジスタによって制御されます。

表 2.78 アナログフィルタタイプ B 付き入力端子

入力信号	エッジ／レベル検出	デバイス		
		144 pin	176 pin	233 pin
TAUJ0I0	エッジ検出注 1	○	○	○
TAUJ0I1	エッジ検出注 1	○	○	○
TAUJ0I2	エッジ検出注 1	○	○	○
TAUJ0I3	エッジ検出注 1	○	○	○
TAUJ1I0	エッジ検出注 1	○	○	○
TAUJ1I1	エッジ検出注 1	○	○	○
TAUJ1I2	エッジ検出注 1	○	○	○
TAUJ1I3	エッジ検出注 1	○	○	○
TAPA0ESO	エッジ検出注 2	○	○	○
KR0I0	ロウレベル検出	○	○	○
KR0I1	ロウレベル検出	○	○	○
KR0I2	ロウレベル検出	○	○	○
KR0I3	ロウレベル検出	○	○	○
KR0I4	ロウレベル検出	○	○	○
KR0I5	ロウレベル検出	○	○	○
KR0I6	ロウレベル検出	○	○	○
KR0I7	ロウレベル検出	○	○	○

注 1. TAUJ のエッジ検出についての詳細は、「**26.3.3.4 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ**」を参照してください。

注 2. TAPA のエッジ検出についての詳細は、「**29.3.2 TAPAnCTL0 — TAPA 制御レジスタ 0**」を参照してください。

2.12.1.3　アナログフィルタタイプ C 付き入力端子

アナログフィルタタイプ C の入力端子は、アナログフィルタ機能のみ搭載しています。

表 2.79　アナログフィルタタイプ C 付き入力信号

入力信号
FLMD0
FLMD1
MODE0
MODE1
$\overline{\text{RESET}}$
DCUTDI
$\overline{\text{DCUTRST}}$

2.12.1.4 デジタルフィルタタイプ D 付き入力端子

デジタルフィルタタイプ D の入力端子は、デジタルフィルタおよびエッジ検出機能を搭載しています。デジタルフィルタおよびエッジ検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<name>(m = 0)
  各デジタルフィルタ付きポートには専用の FCLA0CTLm_<name> レジスタがあります。
- デジタルノイズ除去制御レジスタ DNFA<name>CTL
  各 DNFA<name>CTL 制御レジスタは、1 グループにつき 3 つの入力信号のデジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFA<name>EN
  DNFA<name>EN の DNFA<name>ENL[2:0] ビットの設定で、1 グループにつき 3 つの入力信号のデジタルノイズ除去を許可／禁止します。

表 2.80 デジタルフィルタタイプ D 付き入力端子

入力端子	デバイス			デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			フィルタ制御レジスタ	
	144 pin	176 pin	233 pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	制御レジスタ	アドレス
ADCA0TRG0	○	○	○	DNFA ADCTL0CTL	FFC3 00A0$_H$	DNFA ADCTL0EN（DNFAA DCTL0ENL）	DNFAADCTL0 ENL0	FFC3 00A4$_H$（FFC3 00AC$_H$）	FCLA0CTL0 _ADC0	FFC3 4060$_H$
ADCA0TRG1	○	○	○				DNFAADCTL0 ENL1		FCLA0CTL1 _ADC0	FFC3 4064$_H$
ADCA0TRG2	○	○	○				DNFAADCTL0 ENL2		FCLA0CTL2 _ADC0	FFC3 4068$_H$
ADCA1TRG0	○	○	○	DNFA ADCTL1CTL	FFC3 00C0$_H$	DNFA ADCTL1EN（DNFAA DCTL1ENL）	DNFAADCTL1 ENL0	FFC3 00C4$_H$（FFC3 00CC$_H$）	FCLA0CTL0 _ADC1	FFC3 4080$_H$
ADCA1TRG1	○	○	○				DNFAADCTL1 ENL1		FCLA0CTL1 _ADC1	FFC3 4084$_H$
ADCA1TRG2	○	○	○				DNFAADCTL1 ENL2		FCLA0CTL2 _ADC1	FFC3 4088$_H$

2.12.1.5 デジタルフィルタタイプ E 付き入力端子

デジタルフィルタタイプ E の入力端子は、デジタルフィルタを搭載しています。デジタルフィルタは次のレジスタによって制御されます。エッジ検出は各周辺機能のレジスタによって制御されます。

- デジタルノイズ除去制御レジスタ DNFA<name>CTL
  各 DNFA<name>CTL 制御レジスタは、1 グループにつき最大で 16 の入力信号のデジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFA<name>EN
  DNFA<name>EN の DNFA<name>ENL[7:0] ビット、および DNFA<name>ENH[7:0] ビットの設定で、1 グループにつき最大で 16 の入力信号のデジタルノイズ除去を許可／禁止します。

表 2.81 デジタルフィルタタイプ E 付き入力端子 (1/2)

入力端子	デバイス			デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			エッジ検出
	144 pin	176 pin	233 pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	レジスタ名
TAUD0I0	○	○	○	DNFA TAUD0ICTL	FFC3 0000_H	DNFA TAUD0IEN（DNFA TAUD0IENH/DNFA TAUD0IENL）	DNFATAUD0IENL0	FFC3 0004_H（FFC3 0008_H/ FFC3 $000C_H$）	注 1
TAUD0I1	○	○	○				DNFATAUD0IENL1		
TAUD0I2	○	○	○				DNFATAUD0IENL2		
TAUD0I3	○	○	○				DNFATAUD0IENL3		
TAUD0I4	○	○	○				DNFATAUD0IENL4		
TAUD0I5	○	○	○				DNFATAUD0IENL5		
TAUD0I6	○	○	○				DNFATAUD0IENL6		
TAUD0I7	○	○	○				DNFATAUD0IENL7		
TAUD0I8	○	○	○				DNFATAUD0IENH0		
TAUD0I9	○	○	○				DNFATAUD0IENH1		
TAUD0I10	○	○	○				DNFATAUD0IENH2		
TAUD0I11	○	○	○				DNFATAUD0IENH3		
TAUD0I12	○	○	○				DNFATAUD0IENH4		
TAUD0I13	○	○	○				DNFATAUD0IENH5		
TAUD0I14	○	○	○				DNFATAUD0IENH6		
TAUD0I15	○	○	○				DNFATAUD0IENH7		
TAUB0I0	○	○	○	DNFA TAUB0ICTL	FFC3 0020_H	DNFA TAUB0IEN（DNFA TAUB0IENH/DNFA TAUB0IENL）	DNFATAUB0IENL0	FFC3 0024_H（FFC3 0028_H/ FFC3 $002C_H$）	注 2
TAUB0I1	○	○	○				DNFATAUB0IENL1		
TAUB0I2	○	○	○				DNFATAUB0IENL2		
TAUB0I3	○	○	○				DNFATAUB0IENL3		
TAUB0I4	○	○	○				DNFATAUB0IENL4		
TAUB0I5	○	○	○				DNFATAUB0IENL5		
TAUB0I6	○	○	○				DNFATAUB0IENL6		
TAUB0I7	○	○	○				DNFATAUB0IENL7		
TAUB0I8	○	○	○				DNFATAUB0IENH0		
TAUB0I9	○	○	○				DNFATAUB0IENH1		
TAUB0I10	○	○	○				DNFATAUB0IENH2		
TAUB0I11	○	○	○				DNFATAUB0IENH3		
TAUB0I12	○	○	○				DNFATAUB0IENH4		
TAUB0I13	○	○	○				DNFATAUB0IENH5		
TAUB0I14	○	○	○				DNFATAUB0IENH6		
TAUB0I15	○	○	○				DNFATAUB0IENH7		

表 2.81 デジタルフィルタタイプ E 付き入力端子 (2/2)

入力端子	デバイス			デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			エッジ検出
	144 pin	176 pin	233 pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	レジスタ名
TAUB1I0	—	○	○	DNFA TAUB1ICTL	FFC3 0040_H	DNFA TAUB1IEN（DNFA TAUB1IENH/DNFA TAUB1IENL）	DNFATAUB1IENL0	FFC3 0044_H（FFC3 0048_H/ FFC3 $004C_H$）	注 2
TAUB1I1	—	○	○				DNFATAUB1IENL1		
TAUB1I2	—	○	○				DNFATAUB1IENL2		
TAUB1I3	—	○	○				DNFATAUB1IENL3		
TAUB1I4	—	○	○				DNFATAUB1IENL4		
TAUB1I5	—	○	○				DNFATAUB1IENL5		
TAUB1I6	—	○	○				DNFATAUB1IENL6		
TAUB1I7	—	○	○				DNFATAUB1IENL7		
TAUB1I8	—	○	○				DNFATAUB1IENH0		
TAUB1I9	—	○	○				DNFATAUB1IENH1		
TAUB1I10	—	○	○				DNFATAUB1IENH2		
TAUB1I11	—	○	○				DNFATAUB1IENH3		
TAUB1I12	—	○	○				DNFATAUB1IENH4		
TAUB1I13	—	○	○				DNFATAUB1IENH5		
TAUB1I14	—	○	○				DNFATAUB1IENH6		
TAUB1I15	—	○	○				DNFATAUB1IENH7		
ENCA0TIN0	○	○	○	DNFA ENCA0ICTL	FFC3 0060_H	DNFA ENCA0IEN（DNFA ENCA0IENL）	DNFAENCA0IENL0	FFC3 0064_H（FFC3 $006C_H$）	注 3
ENCA0TIN1	○	○	○				DNFAENCA0IENL1		
ENCA0E0	○	○	○				DNFAENCA0IENL2		
ENCA0E1	○	○	○				DNFAENCA0IENL3		
ENCA0EC	○	○	○				DNFAENCA0IENL4		

注 1. TAUD のエッジ検出設定については、「**25.3.3.4 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ**」を参照してください。

注 2. TAUB のエッジ検出設定については、「**24.3.3.4 TAUBnCMURm — TAUBn チャネルモードユーザレジスタ**」を参照してください。

注 3. ENCA のエッジ検出設定については、「**28.3.3 ENCAnIOC0 — ENCAn I/O 制御レジスタ 0**」を参照してください。

2.12.2 ポートフィルタのクロック供給

下記の表に各ポートドメインのフィルタタイプごとのクロック供給を示します。

表 2.82 ポートフィルタのクロック供給

周辺機能	ポートドメイン注1	フィルタタイプ	フィルタクロック	設定レジスタ	
				ソースクロック選択	クロック選択
ADCA0	Always-On 領域	デジタルフィルタ タイプ D	DNFATCKI	CKSC_AADCAS_CTL	CKSC_AADCAD_CTL
ADCA1	Isolated 領域	デジタルフィルタ タイプ D	DNFATCKI	CKSC_IADCAS_CTL	CKSC_IADCAD_CTL
TAUD0	Isolated 領域	デジタルフィルタ タイプ E	DNFATCKI	CKSC_IPERI1S_CTL	—
TAUB0	Isolated 領域	デジタルフィルタ タイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—
TAUB1	Isolated 領域	デジタルフィルタ タイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—
ENCA0	Isolated 領域	デジタルフィルタ タイプ E	DNFATCKI	CKSC_IPERI1S_CTL	—

注 1. 電源ドメイン

備 考

レジスタ設定については、「**11.4.3 クロックセレクタコントロールレジスタ**」を参照してください。

2.13　ポートノイズフィルタ & エッジ／レベル検出機能説明

フィルタする外部入力信号の用途に応じて、外部信号は異なるタイプのフィルタを通過します。

備　考

本節のノイズフィルタ制御レジスタの <name> は、フィルタに接続の周辺機能を表します。

2.13.1　概要

2.13.1.1　アナログフィルタタイプ

アナログフィルタは固定の特性を備えています。

- タイプ A：エッジ検出またはレベル検出をともなうアナログフィルタです。
  外部割り込み信号に使用されています。
- タイプ B：アナログフィルタです。
  エッジ検出は各周辺機能より行われます。タイマ入力信号、Hi-Z 制御非同期入力信号およびキーリターン入力信号に使用されています。
- タイプ C：アナログフィルタのみです。
  外部 $\overline{\text{RESET}}$ 入力およびモード信号に使用されます。

2.13.1.2　デジタルフィルタタイプ

デジタルフィルタの特性はアプリケーションのニーズに合わせて調整できます。

- タイプ D：エッジ検出をともなうデジタルフィルタです。
  A/D コンバータの外部トリガ端子に使用されています。
- タイプ E：デジタルフィルタです。エッジ検出は各周辺機能より行われます。
  タイマ入力信号およびエンコーダ入力信号に使用されています。

2.13.2 アナログフィルタ

2.13.2.1 アナログフィルタ特性

アナログフィルタを内蔵する端子の入力信号はデータシートの入力条件を参照してください。

2.13.2.2 アナログフィルタ制御レジスタ

アナログフィルタを備えた入力端子には、それぞれ専用の制御レジスタ FCLA0CTLm_<name> または各周辺マクロ内の制御レジスタが用意されています。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、**「2.12.1 ポートフィルタの割り当て」**内の**「表 2.77　アナログフィルタタイプ A 付き入力端子」**を参照してください。

2.13.2.3 スタンバイモードでのアナログフィルタ

DeepSTOP モードからのウエイクアップ機能に属するアナログフィルタは Always-On エリア（AWO）に配置されています。Always-On エリア（AWO）のアナログフィルタは常に動作しています。

スタンバイモードにおけるアナログフィルタとそのウエイクアップ機能はフィルタタイプに依存します。以下のアナログフィルタタイプの説明を参照して下さい。

(1) アナログフィルタタイプ A

次にアナログフィルタタイプ A のブロック図を示します。

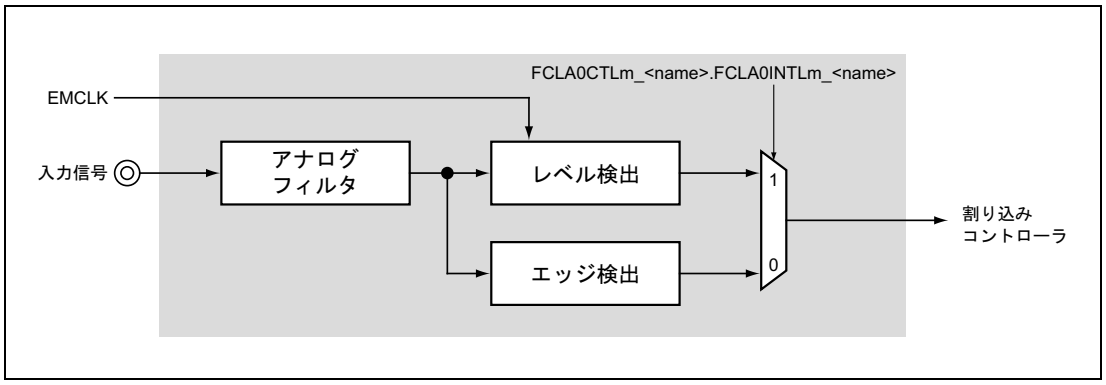


図 2.10　アナログフィルタタイプ A のブロック図

外部信号がアナログフィルタを通過してノイズとグリッチを除去したあと、信号のレベルまたはその変化（エッジ）によってイベントを検出すると、それに応じた信号を発生します。

検出モードは制御ビット FCLA0CTLm_<name>.FCLA0INTLm_<name> で選択します。

- FCLA0INTLm_<name> ビット = 0：エッジ検出モード
  FCLA0CTLm_<name>.FCLA0INTRm_<name> ビットと
  FCLA0CTLm_<name>.FCLA0INTFm_<name> ビットの設定に応じて、それぞれ立ち上がりエッジまたは立ち下がりエッジを検出することができます。
- FCLA0INTLm_<name> ビット = 1：レベル検出モード
  FCLA0CTLm_<name>.FCLA0INTRm_<name> ビットの設定に応じて、ハイレベルまたはロウレベルを検出することができます。

アナログフィルタの検出条件を次の表に示します。

表 2.83 アナログフィルタイベント検出条件

FCLA0INTLm_<name>	FCLA0INTFm_<name>	FCLA0INTRm_<name>	エッジ検出モード	レベル検出モード
0	0	0	検出しない	無効
	0	1	立ち上がりエッジ	
	1	0	立ち下がりエッジ	
	1	1	両エッジ	
1	X	0	無効	ロウレベル
	X	1		ハイレベル

スタンバイモードのアナログフィルタタイプ A

アナログフィルタタイプ A の出力信号は、常にスタンバイモードウエイクアップ信号として使用できます。

(2) アナログフィルタタイプ B

次にアナログフィルタタイプ B のブロック図を示します。

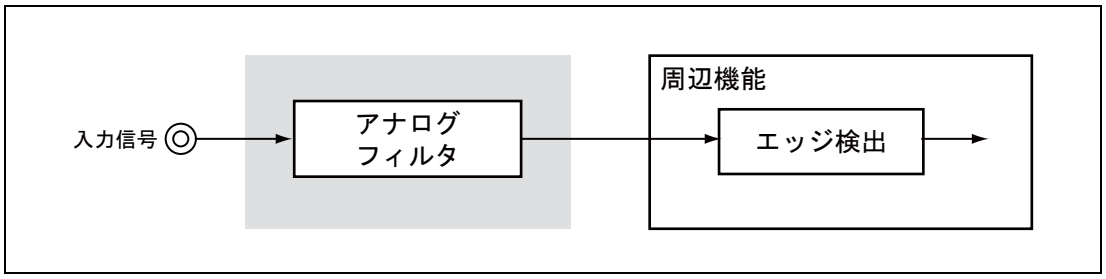


図 2.11 アナログフィルタタイプ B のブロック図

スタンバイモードでのアナログフィルタタイプ B

アナログフィルタタイプ B の出力信号は、常にスタンバイモードウエイクアップ信号として使用できます。

(3) アナログフィルタタイプ C

次にアナログフィルタタイプ C のブロック図を示します。

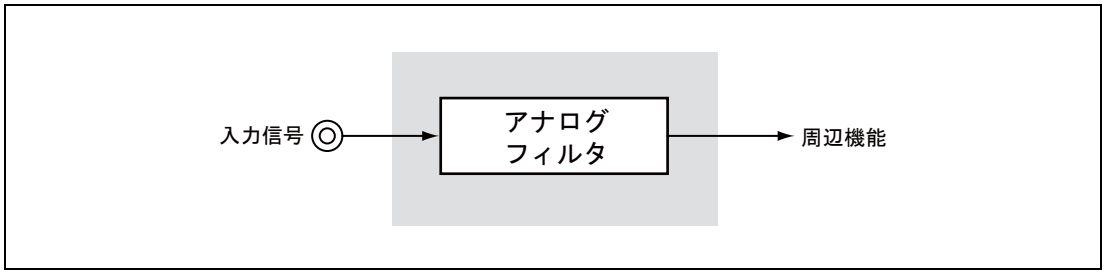


図 2.12　アナログフィルタタイプ C のブロック図

発生する信号は、常にアナログフィルタを通過した入力信号です。

スタンバイモードでのアナログフィルタタイプ C

本製品のアナログフィルタタイプ C を搭載した端子は、スタンバイモードからのウェイクアップ要因に対応しません。

2.13.3 デジタルフィルタ

2.13.3.1 デジタルフィルタ特性

デジタルフィルタは、アプリケーションのニーズに合わせてフィルタ特性を調整できます。

入力信号はサンプリング周波数 f_s でサンプリングされます。

サンプリングしたレベルが指定された数連続して同じレベル（ハイまたはロウ）であったとき、その信号レベルを有効と判断し、それに応じて出力信号を設定します。

指定された数サンプリングしたレベル（同レベルのサンプル）の中で外部信号のレベルが変化した場合、その信号レベルをノイズと判断します。フィルタ出力信号は変化しません。

外部信号をノイズとして判断するときのパルス長は、サンプリング周波数および指定された同レベルのサンプル数によって変わります。

いずれのパラメータも設定可能です。

- DNFA<name>CTL.DNFA<name>PRS[2:0] を設定することによって、
  $f_s = f_{DNFATCKI} / 2^{DNFA<name>PRS[2:0]}$
  （$f_{DNFATCKI}$ は DNFATCKI クロックの周波数）に基づいてサンプリング周波数を選択することができます。
- DNFA<name>CTL.DNFA<name>NFSTS[1:0] で同レベルのサンプル数（2 ～ 5）を指定します。

s = DNFA<name>NFSTS[1:0] + 2

以下よりも短い外部信号パルスは常に抑制されます。

s × 1/fs

以下よりも長い外部信号パルスは常に有効と判断され、フィルタ出力へ送られます。

(s + 1) × 1/fs

以下の範囲内の外部信号パルスは抑制される場合もあれば、有効と判断される場合もあります。

s × 1/fs ～ (s + 1) × 1/fs

DNFA<name>NFSTS[1:0] = 01_B (同レベルのサンプル数 : 3) としたときのフィルタ動作例を次の図に示します。

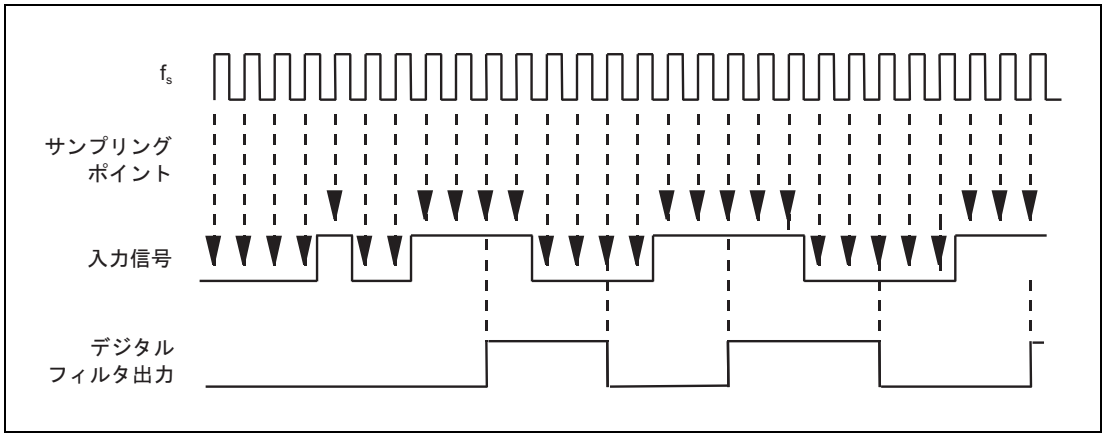


図 2.13 デジタルフィルタ機能

2.13.3.2 デジタルフィルタグループ

デジタルフィルタ付き入力信号は、最大 16 信号までを 1 つのグループとした信号グループで構成されています。

デジタルフィルタの特性は、DNFA<name>CTL.DNFA<name>PRS[2:0] と DNFA<name>NFSTS[1:0] で指定し、信号グループ単位で適用されます。

ただし、デジタルフィルタの有効／無効は、DNFA<name>EN.DNFA<name>ENLm(m = 0 ～ 7) および DNFA<name>EN.DNFA<name>ENHm(m = 0 ～ 7) によって信号ごとに設定できます。

注 意

1. **デジタルフィルタの出力信号を兼用機能に入力する場合、デジタルフィルタを有効（DNFA<name>EN.DNFA<name>ENLm(m = 0 ～ 7) = 1 および DNFA<name>EN.DNFA<name>ENHm(m = 0 ～ 7) = 1）にし、次の時間を経過した後にポート端子を兼用機能に切り替えてください。**
   s = DNFA<name>NFSTS[1:0] + 2
   s × 1/fs + 2 × 1/fDNFATCKI
2. **デジタルフィルタのイベント出力信号を割り込みとして使用する場合は、割り込み禁止状態でデジタルフィルタを有効（DNFA<name>EN.DNFA<name>ENLm(m = 0 ～ 7) = 1 および DNFA<name>EN.DNFA<name>ENHm(m = 0 ～ 7) = 1）にしてください。また、デジタルフィルタを有効にしてから次の時間を経過した後に割り込み要求フラグをクリアした上で、割り込みを許可してください。**
   s × 1/fs + 3 × 1/fDNFATCKI

2.13.3.3　スタンバイモードのデジタルフィルタ

DeepSTOP モードからのウエイクアップ機能に属するデジタルフィルタは Always-On エリア（AWO）に配置されています。Always-On エリア（AWO）のデジタルフィルタは常に動作しています。

デジタルノイズ除去を行うには、クロック供給 DNFATCKI が動作している必要があります。本製品のデジタルフィルタを搭載した端子はスタンバイモードからのウエイクアップ要因に対応しません。

2.13.3.4　デジタルフィルタ制御レジスタ

最大 16 個のデジタルフィルタで構成される各グループに対して、デジタルノイズ除去制御レジスタ DNFA<name>CTL およびデジタルノイズ除去許可レジスタ DNFA<name>EN は、同じグループ内（周辺機能グループを <name> で表示）の全フィルタに対して設定を行います。

DNFA<name>CTL レジスタは、<name> のデジタルフィルタに対して、デジタルノイズ除去フィルタの特性を設定します。

DNFA<name>EN レジスタは DNFA<name>EN.DNFA<name>ENLm(m = 0 ～ 7) および DNFA<name>EN.DNFA<name>ENHm(m = 0 ～ 7) の個々のビットで各フィルタの有効 / 無効を設定します。

エッジ検出の設定は、フィルタ専用制御レジスタおよび、各周辺機能のレジスタによって行います。

FCLA0CTL0_ADCn レジスタは、1 つのレジスタグループ表示に 3 つのレジスタで構成されています。レジスタインデックス n の範囲は 0 ～ 1 です。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、**「2.12.1 ポートフィルタの割り当て」**内の**「表 2.80　デジタルフィルタタイプ D 付き入力端子」**、及び**「表 2.81　デジタルフィルタタイプ E 付き入力端子」**を参照してください。

注　意

DNFA<name>EN.DNFA<name>ENLm(m = 0 ～ 7) = 1 および DNFA<name>EN.DNFA<name>ENHm(m = 0 ～ 7) = 1 で関連するデジタルフィルタを有効にしている間は制御レジスタの設定は変えないでください。変更した場合、予期しないフィルタ出力が発生するおそれがあります。

(1) デジタルフィルタタイプ D

次にデジタルフィルタタイプ D のブロック図を示します。

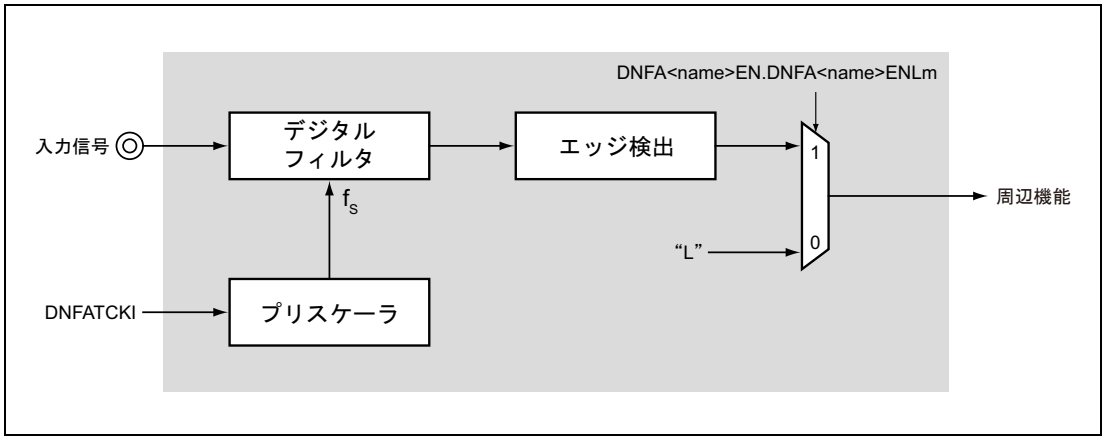


図 2.14 デジタルフィルタタイプ D のブロック図

次の表に示すように、デジタルフィルタタイプ D で生成された信号はレジスタ設定に依存します。

表 2.84 デジタルフィルタタイプ D の出力オプション

DNFA<name>EN.DNFA<name>ENLm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

(2) デジタルフィルタタイプ E

次にデジタルフィルタタイプ E のブロック図を示します。

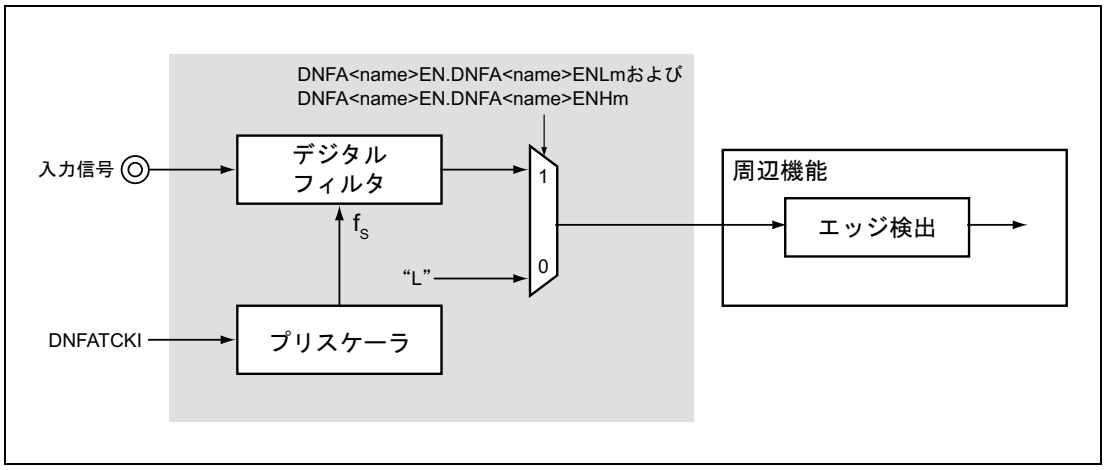


図 2.15 デジタルフィルタタイプ E のブロック図

次の表に示すように、デジタルフィルタタイプ E で生成された信号はレジスタ設定に依存します。

表 2.85 デジタルフィルタタイプ E の出力オプション

DNFA<name>EN.DNFA<name>ENLm および DNFA<name>EN.DNFA<name>ENHm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

2.13.4 フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタは、次のレジスタによって制御、動作します。

表 2.86 フィルタレジスター覧

レジスタ名	略号	アドレス
フィルタ制御レジスタ m	FCLA0CTLm_<name>	各レジスタのアドレスについては、「**2.12.1 ポートフィルタの割り当て**」内の各表を参照してください。
デジタルノイズ除去制御レジスタ	DNFA<name>CTL	
デジタルノイズ除去許可レジスタ	DNFA<name>EN	

2.13.4.1 FCLA0CTLm_<name> — フィルタ制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FCLA0CTLm_<name> レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2.12.1 ポートフィルタの割り当て**」内の各表を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	FCLA0INTLm _<name>	FCLA0INTFm _<name>	FCLA0INTRm _<name>
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 2.87 FCLA0CTLm_<name> レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	FCLA0INTLm _<name>	検出モード選択 0：エッジ検出モード 1：レベル検出モード **備考：** このビットはアナログフィルタタイプ A でのみ有効です。
1	FCLA0INTFm _<name>	• レベル検出モード（FCLA0INTLm_<name> ビット = 1）時：このビットによる影響なし • エッジ検出モード（FCLA0INTLm_<name> ビット = 0）時：立ち下がりエッジ検出制御 0：立ち下がりエッジ検出無効 1：立ち下がりエッジ検出有効 **備考：** このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。
0	FCLA0INTRm _<name>	• レベル検出モード（FCLA0INTLm_<name> ビット = 1）時：検出レベル選択 0：ロウレベル検出 1：ハイレベル検出 • エッジ検出モード（FCLA0INTLm_<name> ビット = 0）時：立ち上がりエッジ検出制御 0：立ち上がりエッジ検出無効 1：立ち上がりエッジ検出有効 **備考：** このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。

注 意

デジタルフィルタタイプ D：ビット 2 には必ず 0 を設定してください。

2.13.4.2 DNFA<name>CTL — デジタルノイズ除去制御レジスタ

デジタルノイズ除去フィルタの特性を指定します。

備 考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス DNFA<name>CTL レジスタと入力信号の対応、および各レジスタのアドレスについては、**「2.12.1 ポートフィルタの割り当て」**内の**「表 2.80 デジタルフィルタタイプ D 付き入力端子」**と**「表 2.81 デジタルフィルタタイプ E 付き入力端子」**を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	DNFA<name>NFSTS[1:0]		—	—	DNFA<name>PRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 2.88 DNFA<name>CTL レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6、5	DNFA<name>NFSTS[1:0]	DNFA<name>NFSTS[1:0] ビットは、外部信号パルスの有効／無効を判断する際のサンプル数を指定します。 DNFA<name>NFSTS[1:0] ／ サンプル数 00_B ／ 2 01_B ／ 3 10_B ／ 4 11_B ／ 5
4、3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	DNFA<name>PRS[2:0]	デジタルフィルタサンプリングクロック選択 DNFA<name>PRS[2:0] ／ サンプリングクロック周波数 000_B ／ DNFATCKI / 1 001_B ／ DNFATCKI / 2 010_B ／ DNFATCKI / 4 011_B ／ DNFATCKI / 8 100_B ／ DNFATCKI / 16 101_B ／ DNFATCKI / 32 110_B ／ DNFATCKI / 64 111_B ／ DNFATCKI / 128

2.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ

任意の入力信号のデジタルノイズ除去を有効／無効にします。

備 考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス 16 ビット単位でリード／ライト可能です。
上位バイト DNFA<name>ENH[7:0] および下位バイト DNFA<name>ENL[7:0] は、DNFA<name>ENH/DNFA<name>ENL を設定することによりそれぞれ 8/1 ビット単位でアクセス可能です。

アドレス DNFA<name>EN レジスタと入力信号の対応、および各レジスタのアドレスについては、**「2.12.1 ポートフィルタの割り当て」**内の**「表 2.80 デジタルフィルタタイプ D 付き入力端子」**と**「表 2.81 デジタルフィルタタイプ E 付き入力端子」**を参照してください。

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNFA<name>ENH7	DNFA<name>ENH6	DNFA<name>ENH5	DNFA<name>ENH4	DNFA<name>ENH3	DNFA<name>ENH2	DNFA<name>ENH1	DNFA<name>ENH0	DNFA<name>ENL7	DNFA<name>ENL6	DNFA<name>ENL5	DNFA<name>ENL4	DNFA<name>ENL3	DNFA<name>ENL2	DNFA<name>ENL1	DNFA<name>ENL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.89 DNFA<name>EN レジスタの内容

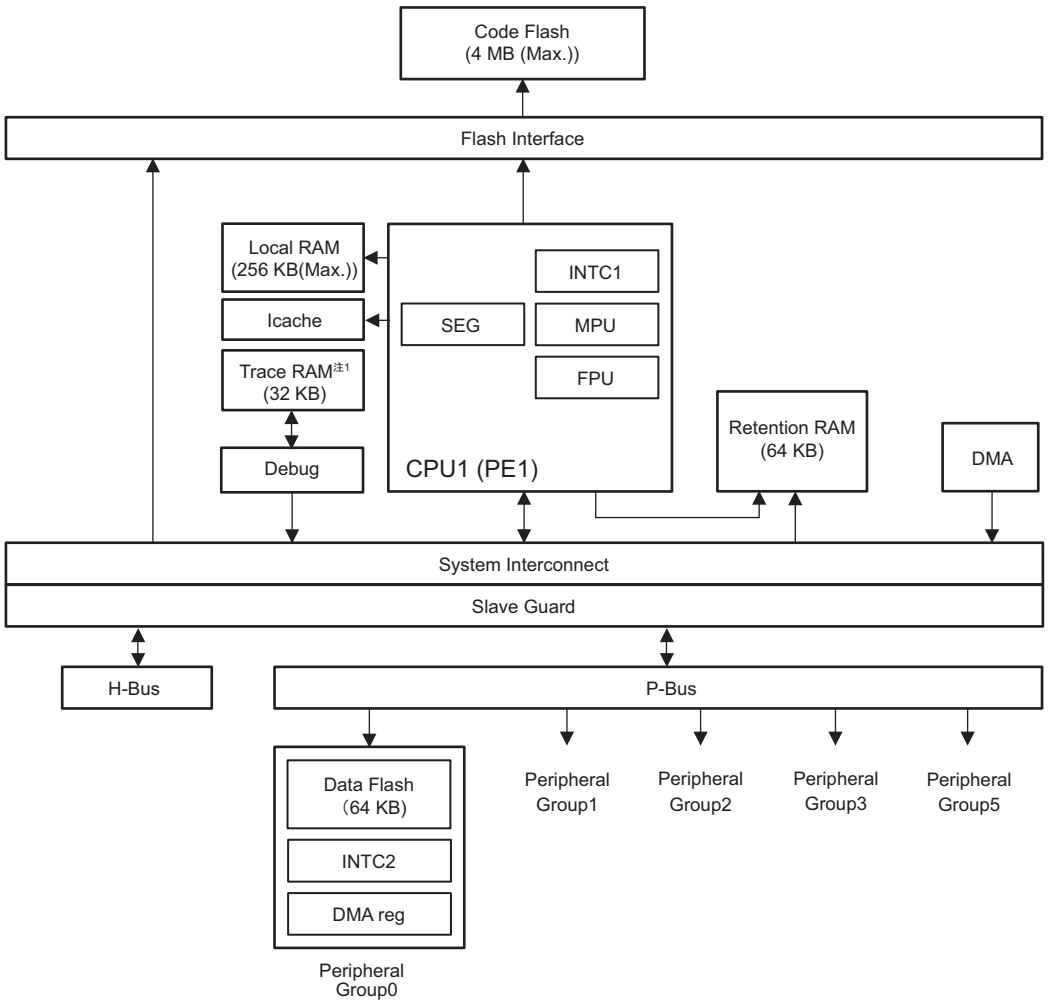
ビット位置	ビット名	機能
15 ～ 0	DNFA<name>ENH[7:0] DNFA<name>ENL[7:0]	デジタルノイズ除去有効／無効制御 0：デジタルノイズ除去無効 1：デジタルノイズ除去有効

第 3 章 CPU システム

3.1 概要

3.1.1 ブロック構成

RH850/F1M のブロック構成を**図 3.1** に示します。



注 1. 4MB コードフラッシュメモリ製品のみ搭載しています。

図 3.1 RH850/F1M ブロック構成図

CPU1（PE1）

メイン CPU として、RH850 G3M コアを搭載します。

ローカル RAM（Local RAM）

高速アクセス可能な RAM です。

リテンション RAM（Retention RAM）

DeepSTOP モードで値を保持します。グローバル RAM 領域を使用するため、DMA とのデータ共有を目的としたグローバル RAM としての使用も可能です。

コードフラッシュ（Code Flash）

プログラム格納用に、Code Flash を搭載しています。CPU1 と Flash Interface を介して接続します。

データフラッシュ（Data Flash）

CPU から書き換え可能なデータフラッシュメモリです。コードフラッシュと比較して大きな書き換え回数を持つフラッシュメモリです。

P-Bus、H-Bus

周辺 IP を接続するバスです。P-Bus は、Peripheral Group 0 ～ 3, 5 に分かれています。

INTC1、INTC2

割り込みコントローラは INTC1 と INTC2 に分かれています。

DMA

DMA 転送モジュール DMAC を搭載します。

Slave Guard

特定のバスマスタからの不正アクセスを防止する機構です。次の Guard 機構で構成されます。

（1） PE ガード（PEG）
外部マスタから PE 内資源への不正なアクセスを防止する機構です。リセット解除後は自 PE 以外からのアクセスは禁止状態になっています。

（2） Global RAM ガード（GRG）
外部マスタからリテンション RAM への不正なアクセスを防止する機構です。リセット解除後はガードされていない状態（すべてのバスマスタがアクセス可能）になっています。詳細は、**「第 33 章　ファンクショナルセーフティ」**を参照してください。

3.2 CPU

3.2.1 コア機能

3.2.1.1 特長

RH850G3M コアの特長を**表 3.1** に示します。

表 3.1 RH850G3M コアの特長

項目	特長
CPU	• 組み込み制御用高性能 32 ビットアーキテクチャ • 32 ビット内部データバス • 32 本の 32 ビット汎用レジスタ • RISC タイプ命令セット – ロング／ショート形式を持つロード／ストア命令 – 3 オペランド命令 – C 言語に基づく命令セット • CPU 動作モード – ユーザモード、スーパバイザモード • アドレス空間：データ／命令ともに 4G バイトリニア • 命令：スヌーズ命令（SNOOZE）は 32 クロックの CPU クロック信号停止による一時停止を含みます。
コプロセッサ	• 浮動小数点演算コプロセッサ（FPU）搭載 – 単精度（32 ビット）および倍精度（64 ビット）をサポート – IEEE754 に準拠したデータタイプおよび例外をサポート – 丸めモード：近傍、0 方向、＋∞方向、－∞方向 – 非正規化数の扱い：0 への切り捨て、または IEEE754 準拠のための例外通知
例外／割り込み	• チャネルごとに設定可能な 16 レベルの割り込み優先度 • 性能要求／メモリ消費量によって選択可能なベクタ選択方式 – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ • 専用命令（PUSHSP, POPSP）による割り込み時のコンテキスト高速退避／復帰処理の支援
メモリ管理	• メモリ保護機能搭載（MPU）：16 領域設定可能
キャッシュ	• 命令キャッシュ搭載

3.2.1.2 レジスタセット

本章では本 CPU に搭載しているプログラムレジスタとシステムレジスタについて説明します。

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ（r0-r31）とプログラムカウンタ（PC）があります。汎用レジスタの r0 は常に 0 を保持していますが、r1-r31 のリセット後の値は不定です。

表 3.2 プログラムレジスター覧

プログラムレジスタ	名称	機能	説明
汎用レジスタ	r0	ゼロレジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキングレジスタとして使用
	r2	アドレス／データ変数用レジスタ（使用するリアルタイム OS がこのレジスタを使用していない場合）	
	r3	スタックポインタ（SP）	関数コール時のスタックフレーム生成時に使用
	r4	グローバルポインタ（GP）	データ領域のグローバル変数をアクセスするときに使用
	r5	テキストポインタ（TP）	テキスト領域（プログラムコードを配置する領域）の先頭を示すレジスタとして使用
	r6-29	アドレス／データ変数用レジスタ	
	r30	エレメントポインタ（EP）	メモリをアクセスするときのアドレス生成用ベースポインタとして使用
	r31	リンクポインタ（LP）	コンパイラが関数コールをするときに使用
プログラムカウンタ	PC	プログラム実行中の命令アドレスを保持	

備 考

アセンブラや C コンパイラで使用される r1、r3-r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

(a) 汎用レジスタ

汎用レジスタとして、r0-r31 の 32 本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。汎用レジスタのうち、r0-r5、r30、r31 は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30

   命令により暗黙的に使用されます。

   r0 は常に 0 を保持しているレジスタであり、0 を使用する演算やベースアドレスが 0 のアドレシングで使用されます。

   r3 は PREPARE 命令、DISPOSE 命令、PUSHSP 命令、POPSP 命令により、暗黙的に使用されます。

   r30 は SLD 命令と SST 命令により、メモリをアクセスするときのベースポインタとして使用されます。

2. r1、r4、r5、r31

   アセンブラと C コンパイラにより暗黙的に使用されます。

   これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

3. r2

   リアルタイム OS が使用する場合があります。使用するリアルタイム OS が r2 を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b) PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。また、ビット 0 は 0 に固定されており、奇数番地への分岐はできません。

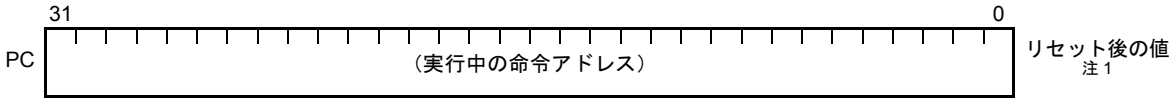


表 3.3 PC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	PC31 ～ 1	実行中の命令アドレスです。	R/W	注 1
0	PC0	常に 0 を示します。奇数番地への分岐はできません。	R/W	0

注 1. リセット後の値はリセットベクタの設定値によって異なります。詳細は「**(q) RBASE — リセットベクタベースアドレス**」を参照してください。

(2) 基本システムレジスタ

基本システムレジスタは、CPU の状態制御、例外情報保持などを行います。

システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.4 基本システムレジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR0,0	EIPC	EI レベル例外受け付け時の状態退避レジスタ	SV
SR1,0	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	SV
SR2,0	FEPC	FE レベル例外受け付け時の状態退避レジスタ	SV
SR3,0	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	SV
SR5,0	PSW	プログラムステータスワード	注 1
SR6,0	FPSR	（FPU 機能レジスタ参照）	CU0 かつ SV
SR7,0	FPEPC	（FPU 機能レジスタ参照）	CU0 かつ SV
SR8,0	FPST	（FPU 機能レジスタ参照）	CU0
SR9,0	FPCC	（FPU 機能レジスタ参照）	CU0
SR10,0	FPCFG	（FPU 機能レジスタ参照）	CU0
SR11,0	FPEC	（FPU 機能レジスタ参照）	CU0 かつ SV
SR13,0	EIIC	EI レベル例外要因	SV
SR14,0	FEIC	FE レベル例外要因	SV
SR16,0	CTPC	CALLT 実行時の状態退避レジスタ	UM
SR17,0	CTPSW	CALLT 実行時の状態退避レジスタ	UM
SR20,0	CTBP	CALLT ベースポインタ	UM
SR28,0	EIWR	EI レベル例外用作業レジスタ	SV
SR29,0	FEWR	FE レベル例外用作業レジスタ	SV
SR31、0	（BSEL）	（V850E2 シリーズ後方互換のため予約）注 2	SV
SR0,1	MCFG0	マシンコンフィグレーション	SV
SR2,1	RBASE	リセットベクタベースアドレス	SV
SR3,1	EBASE	例外ハンドラベクタアドレス	SV
SR4,1	INTBP	割り込みハンドラアドレステーブルのベースアドレス	SV
SR5,1	MCTL	CPU の制御	SV
SR6,1	PID	プロセッサ識別子	SV
SR11,1	SCCFG	SYSCALL の動作設定	SV
SR12,1	SCBP	SYSCALL ベースポインタ	SV
SR0,2	HTCFG0	スレッドコンフィグレーション	SV
SR6,2	MEA	メモリエラーアドレス	SV
SR7,2	ASID	アドレス空間識別子	SV
SR8,2	MEI	メモリエラー情報	SV

注 1. ビットによってアクセス権限が異なります。詳細は、(2) 基本システムレジスタの「**(e) PSW — プログラムステータスワード**」の説明を参照してください。

注 2. V850E2 シリーズの後方互換のため予約しています。読み込みは常に 0 を読み出し、書き込みは 無視します。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

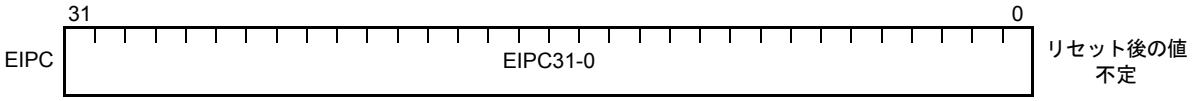


表 3.5 EIPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	EIPC31-1	EI レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	EIPC0	EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11-9 はデバッグ機能に関わるため、通常は変更できません。

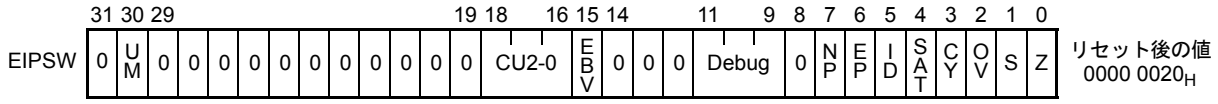


表 3.6 EIPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください）	R	0
30	UM	レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29 ～ 19	—	（将来のための予約です。必ず 0 を設定してください）	R	0
18、17	CU2-1	（将来のための予約です。必ず 0 を設定してください）	R	0
16	CU0	EI レベル例外受け付け時の PSW.CU0 フィールドを退避します。	R/W	0
15	EBV	EI レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14 ～ 12	—	（将来のための予約です。必ず 0 を設定してください）	R	0
11 ～ 9	Debug	EI レベル例外受け付け時の PSW.Debug フィールドを退避します。	R/W	0
8	—	（将来のための予約です。必ず 0 を設定してください）	R	0
7	NP	EI レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	EI レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	EI レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	EI レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	EI レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	EI レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	EI レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	EI レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

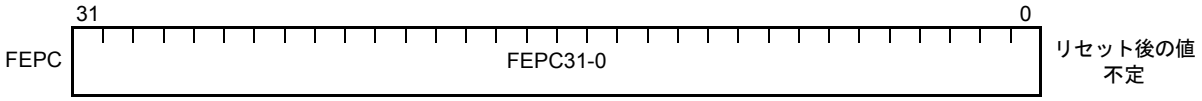


表 3.7 FEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	FEPC31-1	FE レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	FEPC0	FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11-9 はデバッグ機能に関わるため、通常は変更できません。

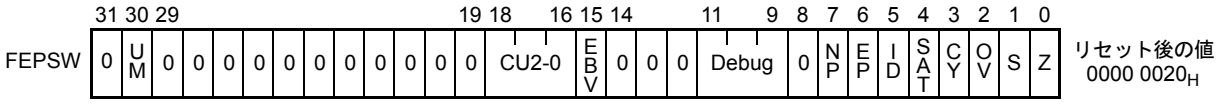


表 3.8 FEPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください）	R	0
30	UM	FE レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29 ～ 19	—	（将来のための予約です。必ず 0 を設定してください）	R	0
18 ～ 17	CU2-1	（将来のための予約です。必ず 0 を設定してください）	R	0
16	CU0	FE レベル例外受け付け時の PSW.CU0 フィールドを退避します。	R/W	0
15	EBV	FE レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14 ～ 12	—	（将来のための予約です。必ず 0 を設定してください）	R	0
11 ～ 9	Debug	デバッグ関係のビットです。	R/W	0
8	—	（将来のための予約です。必ず 0 を設定してください）	R	0
7	NP	FE レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	FE レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	FE レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	FE レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	FE レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	FE レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	FE レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	FE レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(e) PSW — プログラムステータスワード

PSW（プログラムステータスワード）は、プログラムの状態（命令実行の結果）を示すフラグや CPU の動作状態を示すビットの集合です（フラグとは条件命令（Bcond や CMOV など）によって参照される PSW 上のビットを示します）。

注 意

1. **LDSR 命令を使用して、このレジスタのビット 7 ～ 0 の内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。**
2. **PSW レジスタは、ビットごとにアクセス権限が違います。すべてのビットは読み出しは常に行えますが、書き込みは特定の条件でのみ書き込み可能なものが存在します。各ビットのアクセス権限は、「表 3.9 PSW レジスタビットのアクセス権限」を参照してください。**

表 3.9 PSW レジスタビットのアクセス権限

ビット		読み出し時 アクセス権限	書き込み時 アクセス権限
30	UM	UM	SV 注 1
16	CU0	UM	SV 注 1
15	EBV	UM	SV 注 1
11 ～ 9	Debug	UM	特殊 注 1
7	NP	UM	SV 注 1
6	EP	UM	SV 注 1
5	ID	UM	SV 注 1
4	SAT	UM	UM
3	CY	UM	UM
2	OV	UM	UM
1	S	UM	UM
0	Z	UM	UM

注 1. PSW レジスタ全体はアクセス権限が UM であるため、PSW.UM = 1 のとき LDSR で書き込みを行っても PIE 例外は起きません。書き込みが無視されます。

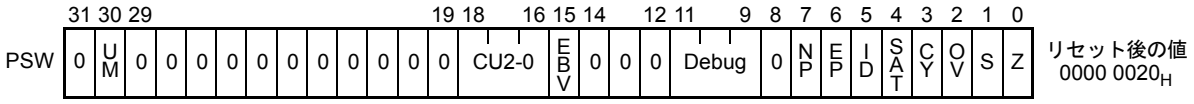


表 3.10 PSW レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください）	R	0
30	UM	CPU がユーザモード（UM モード）にあることを示します。 0：スーパバイザモード 1：ユーザモード	R/W	0
29 ～ 19	—	（将来のための予約です。必ず 0 を設定してください）	R	0
18、17	CU2、CU1	（将来のための予約です。必ず 0 を設定してください）	R	0
16	CU0	コプロセッサ使用権を示します。コプロセッサに対応するビットが 0 のとき、そのコプロセッサ命令の実行、コプロセッサリソース（システムレジスタ）へのアクセス で、コプロセッサ使用不可例外を発生します。 CU0 ビット 16：FPU	R/W	0

表 3.10 PSW レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値
15	EBV	リセットベクタ、例外ベクタの動作を示します。詳細は、**「(q) RBASE — リセットベクタベースアドレス」**の RBASE レジスタ、**「(r) EBASE — 例外ハンドラベクタアドレス」**の EBASE レジスタを参照してください	R/W	0
14 ～ 12	—	（将来のための予約です。必ず 0 を設定してください）	R	0
11 ～ 9	Debug	開発ツール向けのデバッグ機能で使用します。通常は、0 を設定してください。	R/W	0
8	—	（将来のための予約です。必ず 0 を設定してください）	R	0
7	NP	FE レベル例外処理中であることを示します。FE レベル例外が受け付けられるとセット（1）され、多重例外の発生を禁止します注 2。NP ビットによって、受付けが禁止される例外は、「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の「*表 4-1 例外要因一覧*」を参照してください。 0：FE レベル例外処理中でない 1：FE レベル例外処理中である	R/W	0
6	EP	割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット（1）されます。なお、このビットはセット（1）されても例外要求の受け付けには影響しません。 0：割り込み以外の例外処理中ではない 1：割り込み以外の例外処理中である	R/W	0
5	ID	EI レベル例外処理中であることを示します。EI レベル例外が受け付けられるとセット（1）され、多重例外の発生を禁止します注 2。ID ビットによって、受付けが禁止される例外は、「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の「*表 4-1 例外要因一覧*」を参照してください。また、通常のプログラムや、割り込み処理中にクリティカルセクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット（1）し、EI 命令の実行によってクリア（0）します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。 0：EI レベル例外処理中またはクリティカルセクションでない（EI 命令実行後） 1：EI レベル例外処理中またはクリティカルセクションである（DI 命令実行後）	R/W	1
4	SAT 注 1	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット（1）され、以降の命令の演算結果が飽和しなくてもクリア（0）されません。クリア（0）する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット（1）もクリア（0）も行いません。 0：飽和していない 1：飽和している	R/W	0
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、およびボローが発生していない 1：キャリー、またはボローが発生した	R/W	0
2	OV 注 1	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローが発生していない 1：オーバフローが発生した	R/W	0
1	S 注 1	演算の結果が負かどうかを示します。 0：演算の結果は、正または 0 であった 1：演算の結果は負であった	R/W	0
0	Z	演算の結果が 0 かどうかを示します。 0：演算の結果は 0 でなかった 1：演算の結果は 0 であった	R/W	0

注 1. 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されます。

注 2. 例外要因の種類によっては、ID、NP ビットの状態にかかわらず例外が受け付けられます。**「3.3.4 多重例外受け付け時のコンテキストの上書き」**を参照してください。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFF $FFFF_H$
負の最大値を越えた	1	1	1	8000 0000_H
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。

EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

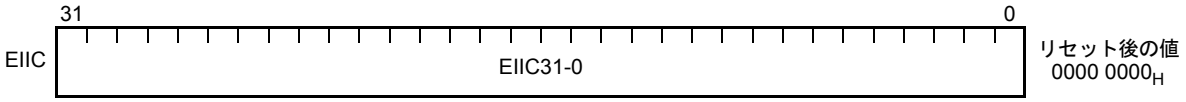


表 3.11 EIIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	EIIC31-0	EI レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは**「表 7.4 EI レベルマスカブル割り込み要因」**および「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の「*表 4-1 例外要因一覧*」を参照してください。 EIIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外に関わる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。

FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

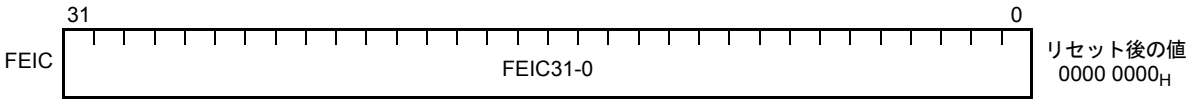


表 3.12 FEIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	FEIC31-0	FE レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは**「表 7.2 FE レベルノンマスカブル割り込み要求」**、**「表 7.3 FE レベルマスカブル割り込み要求」**および「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の「*表 4-1 例外要因一覧*」を参照してください。 FEIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。

CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

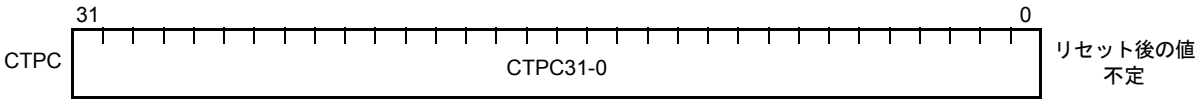


表 3.13 CTPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	CTPC31-1	CALLT 命令の次の命令の PC を示します。	R/W	不定
0	CTPC0	CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

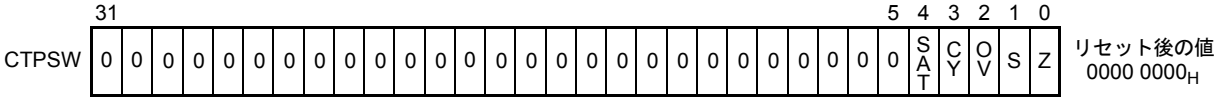


表 3.14 CTPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 5	—	（将来のための予約です。必ず 0 を設定してください）	R	0
4	SAT	CALLT 命令実行時の PSW.SAT ビットを退避します	R/W	0
3	CY	CALLT 命令実行時の PSW.CY ビットを退避します。	R/W	0
2	OV	CALLT 命令実行時の PSW.OV ビットを退避します。	R/W	0
1	S	CALLT 命令実行時の PSW.S ビットを退避します。	R/W	0
0	Z	CALLT 命令実行時の PSW.Z ビットを退避します。	R/W	0

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

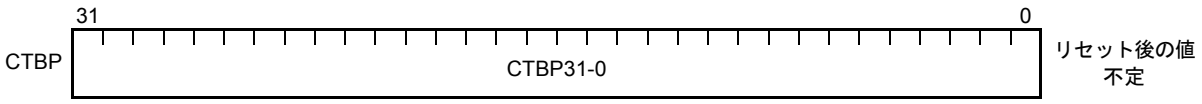


表 3.15 CTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	CTBP31-1	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
0	CTBP0	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

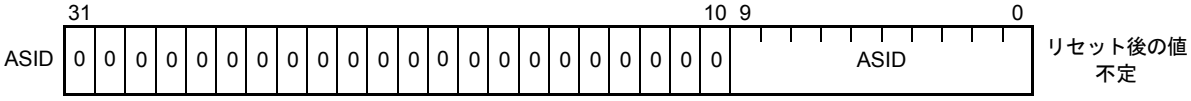


表 3.16 ASID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 10	—	(将来のための予約です。必ず 0 を設定してください)	R	0
9 ～ 0	ASID	アドレス空間識別子です。	R/W	不定

(l) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

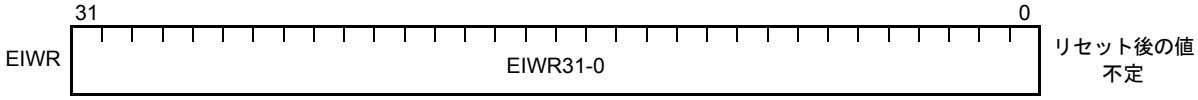


表 3.17 EIWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	EIWR31-0	EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

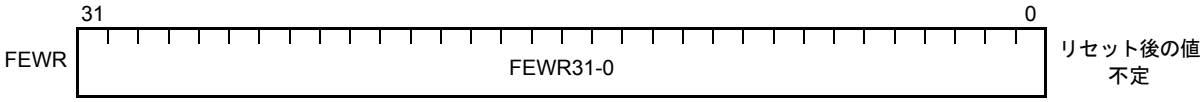


表 3.18 FEWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	FEWR31-0	FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(n) HTCFG0 — スレッドコンフィグレーション

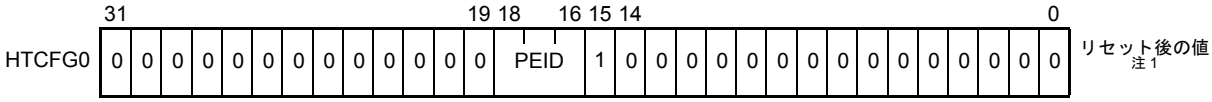


表 3.19 HTCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 19	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
18 ～ 16	PEID	プロセッサエレメント番号を示します。	R	注 2
15	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
14 ～ 0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

注 1. 本製品の CPU1（PE1）では 00018000_H です。
注 2. 本製品の CPU1（PE1）では 001_B です。

(o) MEA — メモリエラーアドレス

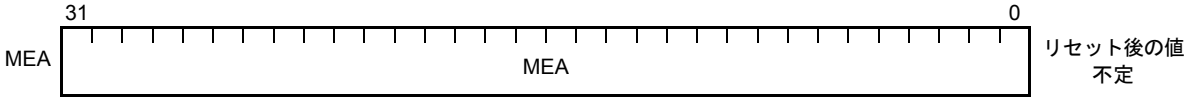


表 3.20 MEA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	MEA	MAE（ミスアライン）／ MPU 違反時のアドレスを保存します。	R/W	不定

(p) MEI — メモリエラー情報

ミスアライン例外（MAE）、メモリ保護例外（MDP）発生時に、エミュレーションを行う場合のヒント情報として、例外を引き起こした命令の情報を格納します。

	31										21	20			16	15				11	10	9	8	7	6	5			1	0	
MEI	0	0	0	0	0	0	0	0	0	0	0	REG				0	0	0	0	0	DS		U	0	0	ITYPE				RW	リセット後の値 不定

表 3.21 MEI レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 21	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
20 ～ 16	REG4-0	例外を引き起こした命令のソースレジスタ番号、またはディスティネーションレジスタ番号を示します。 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
15 ～ 11	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
10、9	DS	例外を引き起こした命令のデータタイプを示します[注1]。 0：バイト（8 ビット） 1：ハーフワード（16 ビット） 2：ワード（32 ビット） 3：ダブルワード（64 ビット） 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
8	U	例外を引き起こした命令の符号拡張方式を示します。 0：Signed 1：Unsigned 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5 ～ 1	ITYPE4-0	例外を引き起こした命令を示します。 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
0	RW	例外を引き起こした命令のオペレーションが、リード（Loadmemory）だったのか、ライト（Store-memory）だったのかを示します。 0：リード（Load-memory） 1：ライト（Store-memory） 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定

注 1. ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されます。

表 3.22 例外を引き起こした命令と MEI レジスタの値 (1/2)

命令	REG	DS	U	RW	ITYPE
SLD.B	dst	0（Byte）	0（Signed）	0（Read）	00000_B
SLD.BU	dst	0（Byte）	1（Unsigned）	0（Read）	00000_B
SLD.H	dst	1（Half-word）	0（Signed）	0（Read）	00000_B
SLD.HU	dst	1（Half-word）	1（Unsigned）	0（Read）	00000_B
SLD.W	dst	2（Word）	0（Signed）	0（Read）	00000_B
SST.B	src	0（Byte）	0（Signed）	1（Write）	00000_B
SST.H	src	1（Half-word）	0（Signed）	1（Write）	00000_B
SST.W	src	2（Word）	0（Signed）	1（Write）	00000_B
LD.B（disp16）	dst	0（Byte）	0（Signed）	0（Read）	00001_B
LD.BU（disp16）	dst	0（Byte）	1（Unsigned）	0（Read）	00001_B

表 3.22 例外を引き起こした命令と MEI レジスタの値 (2/2)

命令	REG	DS	U	RW	ITYPE
LD.H（disp16）	dst	1（Half-word）	0（Signed）	0（Read）	00001_B
LD.HU（disp16）	dst	1（Half-word）	1（Unsigned）	0（Read）	00001_B
LD.W（disp16）	dst	2（Word）	0（Signed）	0（Read）	00001_B
ST.B（disp16）	src	0（Byte）	0（Signed）	1（Write）	00001_B
ST.H（disp16）	src	1（Half-word）	0（Signed）	1（Write）	00001_B
ST.W（disp16）	src	2（Word）	0（Signed）	1（Write）	00001_B
LD.B（disp23）	dst	0（Byte）	0（Signed）	0（Read）	00010_B
LD.BU（disp23）	dst	0（Byte）	1（Unsigned）	0（Read）	00010_B
LD.H（disp23）	dst	1（Half-word）	0（Signed）	0（Read）	00010_B
LD.HU（disp23）	dst	1（Half-word）	1（Unsigned）	0（Read）	00010_B
LD.W（disp23）	dst	2（Word）	0（Signed）	0（Read）	00010_B
ST.B（disp23）	src	0（Byte）	0（Signed）	1（Write）	00010_B
ST.H（disp23）	src	1（Half-word）	0（Signed）	1（Write）	00010_B
ST.W（disp23）	src	2（Word）	0（Signed）	1（Write）	00010_B
LD.DW（disp23）	dst	3（Double-word）	0（Signed）	0（Read）	00010_B
ST.DW（disp23）	src	3（Double-word）	0（Signed）	1（Write）	00010_B
LDL.W	dst	2（Word）	0（Signed）	0（Read）	00111_B
STC.W	src	2（Word）	0（Signed）	1（Write）	00111_B
CAXI	dst	2（Word）	1（Unsigned）	0（Read）注 1	01000_B
SET1	—	0（Byte）	1（Unsigned）	0（Read）注 1	01001_B
CLR1	—	0（Byte）	1（Unsigned）	0（Read）注 1	01001_B
NOT1	—	0（Byte）	1（Unsigned）	0（Read）注 1	01001_B
TST1	—	0（Byte）	1（Unsigned）	0（Read）	01001_B
PREPARE	—	2（Word）	1（Unsigned）	1（Write）	01100_B
DISPOSE	—	2（Word）	1（Unsigned）	0（Read）	01100_B
PUSHSP	—	2（Word）	1（Unsigned）	1（Write）	01101_B
POPSP	—	2（Word）	1（Unsigned）	0（Read）	01101_B
SWITCH	—	1（Half-word）	0（Signed）	0（Read）	10000_B
CALLT	—	1（Half-word）	1（Unsigned）	0（Read）	10001_B
SYSCALL	—	2（Word）	1（Unsigned）	0（Read）	10010_B
CACHE	—	—	—	0/1 注 2	10100_B
割り込み（テーブル参照）注 3	—	2（Word）	1（Unsigned）	0（Read）	10101_B

注 1. リード時点で例外が発生します。
注 2. オペレーションに依存します。
注 3. テーブル参照方式の割り込みベクタ読み込み時

備 考

dst：ディスティネーションレジスタ番号、src：ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア（0）されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

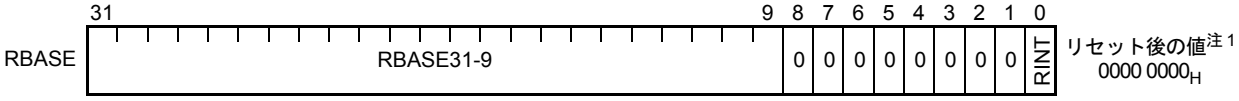


表 3.23 RBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	RBASE31-9	リセット時のリセットベクタを示します。このアドレスは PSW.EBV = 0 のとき、例外ベクタとしても使用されます。 RBASE8-0 は、暗黙的に 0 が利用されます。	R	CPU1： 0000 0000 0000 0000 0000 000_B 注 1
8 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。詳細は「*RH850G3M ユーザーズマニュアルソフトウェア編*」の「*4.5.1 (1) 直接ベクタ方式*」を参照してください。このビットは PSW.EBV = 0 のときに有効です。	R	0

注 1. リセットベクタの値によります。
製品出荷時の値は、表中の値になりますが、リセットベクタを変更した場合は、変更したアドレスになります。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット（1）されている場合に有効です。

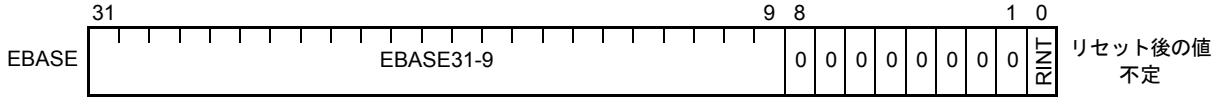


表 3.24 EBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	EBASE31-9	例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。 EBASE8-0 は、暗黙的に 0 が利用されます。	R/W	不定
8 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスが縮小を行います。詳細は「*RH850G3M ユーザーズマニュアルソフトウェア編*」の「*4.5.1 (1) 直接ベクタ方式*」を参照してください。	R/W	不定

(s) INTBP — 例外ハンドラアドレステーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、アドレステーブル参照方式を選択したときの、アドレステーブルのベースアドレスを示すレジスタです。

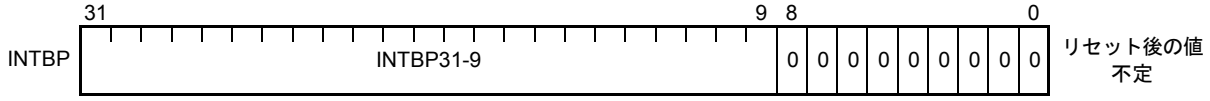


表 3.25 INTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	INTBP31-9	拡張仕様の割り込みのベースポインタアドレスです。 拡張仕様に指定された割り込み（EIINT0-350）受け付け時の例外ハンドラ決定時のテーブルアドレスの先頭を示します。 INTBP8-0 は、暗黙的に 0 が利用されます。	R/W	不定
8 ～ 0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

注 意

PID レジスタは、搭載された CPU コア、および CPU コアのコンフィグレーションを識別するための情報です。ソフトウェアの挙動を、PID レジスタの情報によって、動的に変化させるような利用方法を想定していません。

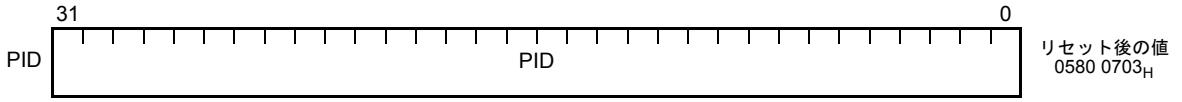


表 3.26 PID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 24	PID	アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。	R	05_H
23 ～ 8		機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載／非搭載を示します（1：搭載、0：非搭載）。 ビット 23-11 予約 ビット 10 倍精度浮動小数点演算機能 ビット 9 単精度浮動小数点演算機能 ビット 8 メモリ保護機能（MPU）	R	8007_H
7 ～ 0		バージョン識別子 プロセッサのバージョンを示す識別子です。	R	03_H

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

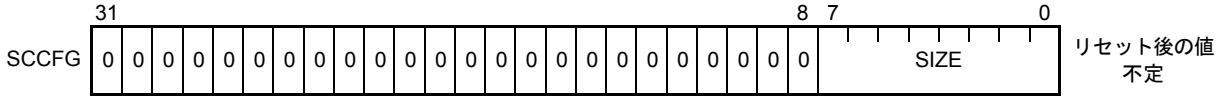


表 3.27 SCCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7 ～ 0	SIZE	SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。 SYSCALL が参照する最大エントリ数は、SIZE が 0 の場合は 1 エントリ、255 の場合は 256 エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。 最大エントリ数を越えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。	R/W	不定

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

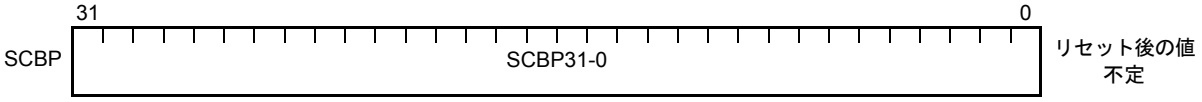


表 3.28 SCBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	SCBP31-2	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
1、0	SCBP1-0	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(w) MCFG0 — マシンコンフィグレーション

CPU のコンフィギュレーションを表すレジスタです。

	31							24 23							16 15												3	2	1	0	
MCFG0	0	0	0	0	0	0	0	0	SPID							0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	リセット後の値 注1

表 3.29 MCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 24	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
23 ～ 16	SPID	ビット 23 ～ 18 ：本製品では対応していません。（将来のための予約です。必ず 0 を設定してください） ビット 17、16 ：システムプロテクション番号を示します。	R/W	注 2
15 ～ 3	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
2	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
1、0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

注 1. 本製品の CPU1（PE1）では 00010004_H です。
注 2. 本製品の CPU1（PE1）では 01_H です。

(x) MCTL — マシンの制御

CPU の制御を行うレジスタです。

	31	30																											2	1	0	
MCTL	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MA	UIC	リセット後の値 $8000\ 0002_H$

表 3.30 MCTL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
30 ～ 2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	MA	ミスアライン・アクセスを制御するビットです。 0：ミスアライン・アクセス時、常に例外発生注 1 1：ハードウエアで正しい動作を行う注 2	R/W	1
0	UIC	ユーザモードでの割り込み許可禁止操作を制御するビットです。このビットをセット（1）するとユーザモードでの EI/DI 命令の実行が可能になります。	R/W	0

注 1. データがワード境界でなくダブルワード境界（アドレスの下位 3 ビット = 0）に配置されている場合、ダブルワード形式に限り、ミスアラインアクセス例外が発生しません。
注 2. データがワード境界に配置されていない場合、ダブルワード形式に限り、ミスアラインアクセス例外が発生します。

(3) 割り込み機能レジスタ

表 3.31 割り込み機能システムレジスター覧

レジスタ番号 (regID, selID)	名称	機能	アクセス権限
SR7,1	FPIPR	FPI 例外割り込み優先度設定	SV
SR10,2	ISPR	受け付け中割り込み優先度	SV
SR11,2	PMR	割り込み優先度マスク	SV
SR12,2	ICSR	割り込み制御ステータス	SV
SR13,2	INTCFG	割り込み機能の設定	SV

(a) FPIPR — FPI 例外割り込み優先度設定

FPI 例外の割り込み優先度を設定するレジスタです。

	31																											5	4			0	
FPIPR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FPIPR				リセット後の値 $0000\ 0000_H$

表 3.32 FPIPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4 ～ 0	FPIPR	浮動小数点演算例外（インプレサイス）（FPI）の割り込み優先度を指定します。0-16 までの値を設定します。17 以上の値を設定禁止です。 FPI 例外は、指定された割り込み優先度として扱われます。同一優先度の割り込みと同時に発生した場合は、FPI 例外が優先されます。 **注 意** 16 以上の値を設定した場合、16 と同様に扱われます。	R/W	0

(b) ISPR — 受け付け中割り込み優先度

CPU で処理中の EIINTn の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

	31																16 15	0	
ISPR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISP15-0		リセット後の値 $0000\ 0000_H$

表 3.33 ISPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 16	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
15 ～ 0	ISP15-0	ビット位置に対応した優先度[注1]の割り込み（EIINTn）の受け付け状況を示します。 0：ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1：ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中 各ビット位置が、次のように各優先度に対応しています。 ビット / 優先度 0 / 優先度 0（最高優先度） 1 / 優先度 1 ： 14 / 優先度 14 15 / 優先度 15 割り込み（EIINTn）要求を受け付けた場合、受け付けた割り込み（EIINTn）要求に対応するビットが自動的にセット（1）されます。 また、EIRET 命令実行時に PSW.EP = 0 の場合、ISP15-0 でセット（1）されているビットのうち、最も高優先度（0 が高優先度側）のビットがクリア（0）されます[注2]。 このビットがセット（1）されている間、その優先度以下の割り込み（EIINTn）と FPI 例外[注3]がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません。 PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。	R[注4]	0

注 1. 詳細は、「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の「*4.1.5 割り込みの例外優先度と優先度マスク*」を参照してください。

注 2. INTCFG.ISPC の設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。

注 3. FPI 例外は、EIINTn 割り込みと同一の優先レベルであるため、割り込みと同様に ISPR の影響を受けます。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注 4. INTCFG.ISPC の設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(c) PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

	31															16	15															0	
PMR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PM15-0																リセット後の値 $0000\ 0000_H$

表 3.34 PMR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 16	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
15 ～ 0	PM15-0	ビット位置に対応した割り込み要求をマスクします。 0：ビット位置に対応する優先度の割り込み処理を許可 1：ビット位置に対応する優先度の割り込み処理を禁止 各ビット位置が、次のように各優先度に対応しています。 ビット ／ 優先度 0 ／ 優先度 0（最高優先度） 1 ／ 優先度 1 ： 14 ／ 優先度 14 15 ／ 優先度 15 および優先度 16（最低優先度） このビットがセット（1）されている間、その優先度の割り込み（EIINTn）と FPI 例外[注1]がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません[注2]。	R/W	0

注 1. FPI 例外は、割り込み（EIINTn）と同一の優先レベルであるため、割り込みと同様に PMR の影響を受けます。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注 2. マスクは低優先側から、連続して 1 を設定してください。例えば $FF00_H$ のような設定は可能ですが、$F0F0_H$ や $00FF_H$ のような設定は禁止します。

(d) ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。

	31																														2	1	0	
ICSR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PMFP	PMEI	リセット後の値 $0000\ 0000_H$

表 3.35 ICSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	PMFP	PMR の設定でマスクされている優先度の FPI 例外が存在することを示します。	R	0
0	PMEI	PMR の設定でマスクされている優先度の割り込み（EIINTn）が存在することを示します。	R	0

(e) INTCFG — 割り込み機能の設定

CPU 内部の割り込み機能に関する設定を行うレジスタです。

	31																															1	0	
INTCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISPC	リセット後の値 $0000\ 0000_H$

表 3.36 INTCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	ISPC	ISPR レジスタの書き込み変更方法を設定するビットです。 0：ISPR を自動的に更新します。プログラムによる更新（LDSR）を無視します。 1：ISPR を自動的に更新しません。プログラムによる更新（LDSR）が行えます。 このビットがクリア（0）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けにより自動的にセット（1）、EIRET 命令の実行によって自動的にクリア（0）が行われます。この状態ではプログラムによる LDSR を使った更新を無視します。このビットがセット（1）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けや、EIRET 命令の実行によっては、更新を行いません。この状態ではプログラムによる LDSR を使った更新が可能となります。 通常 ISPC ビットはクリア（0）した状態で利用してください。ソフトウェアによる割り込み優先度を管理する場合に、このビットをセット（1）し、PMR レジスタによる優先度管理を行ってください。	R/W	0

(4) FPU 機能レジスタ

(a) 浮動小数点レジスタ

FPU は CPU の汎用レジスタ（r0 - r31）を使用します。浮動小数点演算専用のレジスタファイルはありません。

- 単精度浮動小数点演算命令：
  32 個の 32 ビットレジスタを指定できます。これは汎用レジスタの r0 - r31 に相当します。
- 倍精度浮動小数点演算命令：
  16 個の 64 ビットレジスタを指定できます。これは汎用レジスタを 1 対ずつ使用するレジスタペア（{r1、r0}、{r3、r2} … {r31、r30}）に相当します。レジスタペアは命令形式上、偶数レジスタで指定します。r0 がゼロレジスタ（常に 0 を保持）であるので、原則として {r1、r0} は倍精度浮動小数点演算命令では使用するべきではありません。

(b) 浮動小数点機能システムレジスタ

FPU では浮動小数点演算制御のために以下のシステムレジスタが使用できます。浮動小数点機能システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。レジスタの詳細は「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の「*3.4.2 浮動小数点機能システム・レジスタ*」を参照してください。

表 3.37 FPU 機能レジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR6, 0	FPSR	浮動小数点演算の設定／ステータス	CU0 かつ SV
SR7, 0	FPEPC	浮動小数点演算例外プログラムカウンタ	CU0 かつ SV
SR8, 0	FPST	浮動小数点のステータス	CU0
SR9, 0	FPCC	浮動小数点演算の比較結果	CU0
SR10, 0	FPCFG	浮動小数点機能の設定	CU0
SR11, 0	FPEC	浮動小数点演算例外の制御	CU0 かつ SV

(5) MPU 機能レジスタ

MPU 機能システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.38 MPU 機能システムレジスター覧 (1/3)

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR0, 5	MPM	メモリ保護動作モードの設定	SV
SR1, 5	MPRC	MPU リージョン制御	SV
SR4, 5	MPBRGN	MPU ベースリージョン番号	SV
SR5, 5	MPTRGN	MPU 終端リージョン番号	SV
SR8, 5	MCA	メモリ保護設定チェックアドレス	SV
SR9, 5	MCS	メモリ保護設定チェックサイズ	SV
SR10, 5	MCC	メモリ保護設定チェックコマンド	SV
SR11, 5	MCR	メモリ保護設定チェック結果	SV

表 3.38 MPU 機能システムレジスター覧 (2/3)

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR0, 6	MPLA0	保護領域の下限アドレス	SV
SR1, 6	MPUA0	保護領域の上限アドレス	SV
SR2, 6	MPAT0	保護領域の属性	SV
SR4, 6	MPLA1	保護領域の下限アドレス	SV
SR5, 6	MPUA1	保護領域の上限アドレス	SV
SR6, 6	MPAT1	保護領域の属性	SV
SR8, 6	MPLA2	保護領域の下限アドレス	SV
SR9, 6	MPUA2	保護領域の上限アドレス	SV
SR10, 6	MPAT2	保護領域の属性	SV
SR12, 6	MPLA3	保護領域の下限アドレス	SV
SR13, 6	MPUA3	保護領域の上限アドレス	SV
SR14, 6	MPAT3	保護領域の属性	SV
SR16, 6	MPLA4	保護領域の下限アドレス	SV
SR17, 6	MPUA4	保護領域の上限アドレス	SV
SR18, 6	MPAT4	保護領域の属性	SV
SR20, 6	MPLA5	保護領域の下限アドレス	SV
SR21, 6	MPUA5	保護領域の上限アドレス	SV
SR22, 6	MPAT5	保護領域の属性	SV
SR24, 6	MPLA6	保護領域の下限アドレス	SV
SR25, 6	MPUA6	保護領域の上限アドレス	SV
SR26, 6	MPAT6	保護領域の属性	SV
SR28, 6	MPLA7	保護領域の下限アドレス	SV
SR29, 6	MPUA7	保護領域の上限アドレス	SV
SR30, 6	MPAT7	保護領域の属性	SV
SR0, 7	MPLA8	保護領域の下限アドレス	SV
SR1, 7	MPUA8	保護領域の上限アドレス	SV
SR2, 7	MPAT8	保護領域の属性	SV
SR4, 7	MPLA9	保護領域の下限アドレス	SV
SR5, 7	MPUA9	保護領域の上限アドレス	SV
SR6, 7	MPAT9	保護領域の属性	SV
SR8, 7	MPLA10	保護領域の下限アドレス	SV
SR9, 7	MPUA10	保護領域の上限アドレス	SV
SR10, 7	MPAT10	保護領域の属性	SV
SR12, 7	MPLA11	保護領域の下限アドレス	SV
SR13, 7	MPUA11	保護領域の上限アドレス	SV
SR14, 7	MPAT11	保護領域の属性	SV
SR16, 7	MPLA12	保護領域の下限アドレス	SV
SR17, 7	MPUA12	保護領域の上限アドレス	SV
SR18, 7	MPAT12	保護領域の属性	SV
SR20, 7	MPLA13	保護領域の下限アドレス	SV
SR21, 7	MPUA13	保護領域の上限アドレス	SV
SR22, 7	MPAT13	保護領域の属性	SV
SR24, 7	MPLA14	保護領域の下限アドレス	SV

表 3.38 MPU 機能システムレジスター覧 (3/3)

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR25, 7	MPUA14	保護領域の上限アドレス	SV
SR26, 7	MPAT14	保護領域の属性	SV
SR28, 7	MPLA15	保護領域の下限アドレス	SV
SR29, 7	MPUA15	保護領域の上限アドレス	SV
SR30, 7	MPAT15	保護領域の属性	SV

(a) MPM — メモリ保護動作モード

メモリ保護モードレジスタはメモリ保護機能の基本的な動作状態を決定します。

	31																														2	1	0	
MPM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SVP	MPE	リセット後の値 $0000\ 0000_H$

表 3.39 MPM レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	SVP	SV モード（PSW.UM = 0）時に、各保護領域ごとに MPAT レジスタの SX、SW、SR にしたがってアクセス制限を行うかどうかを指定します。注 1 0：従来どおり、SV モードでは、暗黙的にすべてのアクセスは許可とします。 1：SV モードであっても、SX、SW、SR ビットにしたがってアクセス制限を行います。注 2	R/W	0
0	MPE	MPU 機能の有効／無効を指定します。 0：無効 1：有効	R/W	0

注 1. SVP ビットをセット（1）すると、SV モードであっても各保護領域ごとの設定に従ってアクセス制限が課されるようになります。このため、SVP ビットをセットするプログラム自身がアクセス制限されることがないように、あらかじめ保護領域の設定を行ってください。

注 2. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(b) MPRC — MPU リージョン制御

メモリ保護機能の特殊操作を行うビットが配置されたレジスタです。

	31															16	15															0	
MPRC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0	リセット後の値 $0000\ 0000_H$

表 3.40 MPRC レジスタの内容

ビット	名称	意味	R/W	リセット後の値
31 ～ 16	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
15 ～ 0	E15-E0	各保護領域の Enable ビットです。En ビットが MPATn.E ビットの写像です（n = 15-0）。 本製品の保護領域数は 16 です。	R/W	0

(c) MPBRGN — MPU ベースリージョン

利用可能な MPU 領域の最小番号を示します。

	31																										5	4			0	
MPBRGN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MPBRGN				リセット後の値 $0000\ 0000_H$

表 3.41 MPBRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4 ～ 0	MPBRGN	MPU 領域の一番小さい番号を示します。	R	00000_B

(d) MPTRGN — MPU 終端リージョン

利用可能な MPU 領域の最大番号 +1 を示します。

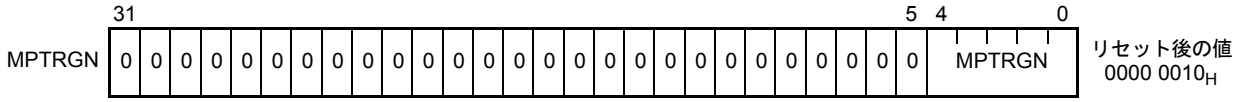


表 3.42 MPTRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4 ～ 0	MPTRGN	MPU 領域の一番大きい番号＋ 1 を示します。 常にハードウェアが搭載する MPU 領域の最大数を示します。	R	10_H

(e) MCA — メモリ保護設定チェックアドレス

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

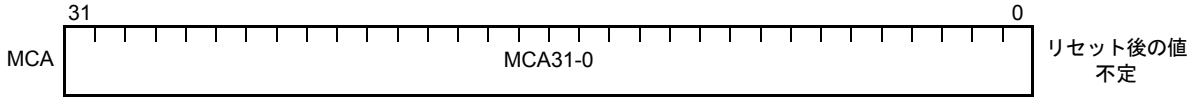


表 3.43 MCA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	MCA31- MCA0	メモリ保護設定のチェックを行う対象のメモリ領域の先頭アドレスをバイト単位で指定します。	R/W	不定

(f) MCS — メモリ保護設定チェックサイズ

メモリ保護設定のチェックを行う領域のサイズを指定します。

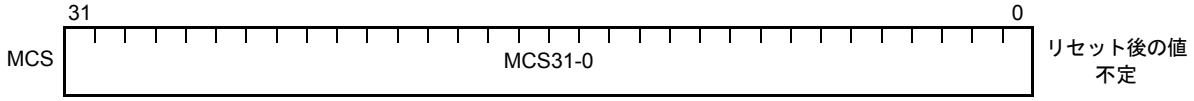


表 3.44 MCS レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	MCS31- MCS0	メモリ保護設定のチェックを行う対象のメモリ領域のサイズをバイト単位で指定します。指定されたサイズは符号なしの整数として扱うため、MCA レジスタの値からアドレス値が減少する方向へ領域のチェックを行うことができません。 MCS レジスタには $0000\ 0000_H$ を設定しないでください。	R/W	不定

(g) MCC — メモリ保護設定チェックコマンド

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

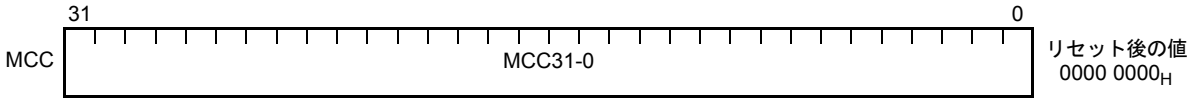


表 3.45 MCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	MCC31-0	MCC レジスタへの任意の値を書き込むと、メモリ保護設定のチェックが開始されます。事前に MCA/MCS レジスタを設定し、このレジスタへの書き込み操作を行うことで、MCR に結果が格納されます。 任意の書き込み値で、チェックを開始するため、r0 をソースレジスタとして、余分なレジスタを使用することなく、チェックを開始できます。 また、チェックは、PSW.UM ビットの状態にかかわらず、各領域設定にしたがった結果を反映します。 MCC レジスタからの読み出し値は、常に $0000\ 0000_H$ となります。	R/W	0

(h) MCR — メモリ保護設定チェック結果

メモリ保護設定のチェックの結果を格納するレジスタです。

ビット 31 ～ 9、7、6 には、必ず 0 を設定してください。

注 意

チェック対象の領域の指定が 0000 0000$_H$ または 7FFF FFFF$_H$ をまたぐ場合、領域指定が誤っていると判断し、MCR.OV ビットがセット（1）されます。このため、チェック結果を参照する場合には、必ず MCR.OV ビットを確認し、結果が不正でないことを確認（OV = 0 であることを確認）してから、その他のチェック結果を利用してください。

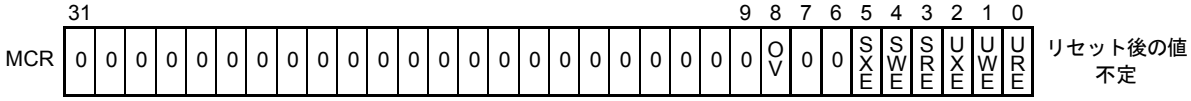


表 3.46 MCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
8	OV	指定された領域が 0000 0000$_H$ または、7FFF FFFF$_H$ をまたがる場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5	SXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザ実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
4	SWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザライト許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
3	SRE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
2	UXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモード実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
1	UWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモードライト許可であった場合に、1 が格納されます。それ以外の場合は 0 が格納されます。	R/W	不定
0	URE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモードリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定

(i) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです（n = 0 ～ 15）。本製品の保護領域数は 16 です。

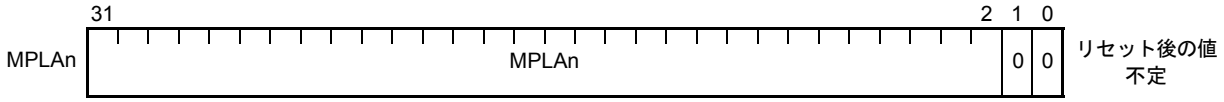


表 3.47 MPLAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	MPLA31-2	領域 n の下限アドレスを示します。 MPLA1-0 は暗黙的に 0 を使用します。	R/W	不定
1、0	—	将来のための予約です。必ず 0 に設定してください。	R	0

(j) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです（n = 0 ～ 15）。

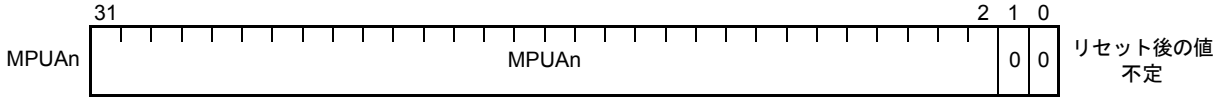


表 3.48 MPUAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	MPUA31-2	領域 n の上限アドレスを示します。 MPUAn.MPUA1-0 は暗黙的に 1 を使用します。	R/W	不定
1、0	—	将来のための予約です。必ず 0 に設定してください。	R	0

(k) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです（n = 0-15）。

	31					26	25							16	15							8	7	6	5	4	3	2	1	0	
MPATn	0	0	0	0	0	0	ASID								0	0	0	0	0	0	0	0	E	G	SX	SW	SR	UX	UW	UR	リセット後の値 不定

表 3.49 MPATn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 26	—	（将来のための予約です。必ず 0 に設定してください。）	R	0
25 ～ 16	ASID	領域一致の条件として利用する ASID の値を示します。	R/W	不定
15 ～ 8	—	（将来のための予約です。必ず 0 に設定してください。）	R	0
7	E	領域 n の有効／無効を示します。 0：領域 n を無効とする 1：領域 n を有効とする	R/W	0
6	G	0：ASID 一致を条件とする 1：ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID = ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。	R/W	不定
5	SX	スーパバイザモードでの実行権を示します 注 1。 0：実行禁止 1：実行許可	R/W	不定
4	SW	スーパバイザモードでの書き込み許可を示します 注 1。 0：書き込み禁止 1：書き込み許可	R/W	不定
3	SR	スーパバイザモードでの読み出し許可を示します 注 1。 0：読み出し禁止 1：読み出し許可	R/W	不定
2	UX	ユーザモードでの実行権を示します。 0：実行禁止 1：実行許可	R/W	不定
1	UW	ユーザモードでの書き込み許可を示します。 0：書き込み禁止 1：書き込み許可	R/W	不定
0	UR	ユーザモードでの読み出し許可を示します。 0：読み出し禁止 1：読み出し許可	R/W	不定

注 1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ

キャッシュ制御機能システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.50 キャッシュ操作機能レジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR16,4	ICTAGL	命令キャッシュタグ Lo アクセス	SV
SR17,4	ICTAGH	命令キャッシュタグ Hi アクセス	SV
SR18,4	ICDATL	命令キャッシュデータ Lo アクセス	SV
SR19,4	ICDATH	命令キャッシュデータ Hi アクセス	SV
SR24,4	ICCTRL	命令キャッシュ制御	SV
SR26,4	ICCFG	命令キャッシュコンフィグ	SV
SR28,4	ICERR	命令キャッシュエラー	SV

(a) ICTAGL — 命令キャッシュタグ Lo アクセス

命令キャッシュに対する CISTI/CILDI 命令で使用するレジスタです。CISTI 実行時には命令キャッシュのタグ RAM に格納する値を、CILDI 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

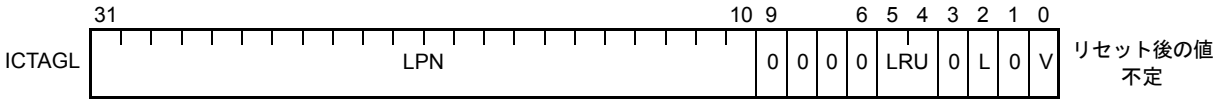


表 3.51 ICTAGL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 10	LPN	物理ページ番号のビット 24 ～ 11 を保持します。 ビット 31 ～ 25、10 には必ず 0 を設定してください。	R/W	不定
9 ～ 6	—	（将来のための予約です。必ず 0 を設定してください）	R	0
5、4	LRU	指定したキャッシュラインの LRU 情報を示します。LRU 情報は CISTI 命令で任意の値に変更することはできません。	R/W	不定
3	—	（将来のための予約です。必ず 0 を設定してください）	R	0
2	L	ロック情報を保持します。	R/W	不定
1	—	（将来のための予約です。必ず 0 を設定してください）	R	0
0	V	指定したキャッシュラインの有効／無効情報を保持します。	R/W	不定

(b) ICTAGH — 命令キャッシュタグ Hi アクセス

命令キャッシュに対する CISTI/CILDI 命令で使用するレジスタです。CISTI 実行時には命令キャッシュのタグ RAM に格納する値を、CILDI 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

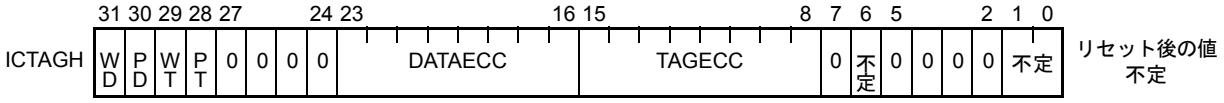


表 3.52 ICTAGH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	WD	CISTI の実行時にセット（1）しておくとキャッシュのデータ RAM を更新します。	R/W	不定
30	PD	CISTI の実行時にセット（1）しておくと DATAECC フィールドの値をデータ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
29	WT	CISTI の実行時にセット（1）しておくとキャッシュのタグ RAM を更新します。	R/W	不定
28	PT	CISTI の実行時にをセット（1）しておくと TAGECC フィールドの値をタグ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
27 ～ 24	—	（将来のための予約です。必ず 0 を設定してください）	R	0
23 ～ 16	DATAECC	データ RAM の ECC を保持します。	R/W	不定
15 ～ 8	TAGECC	タグ RAM の ECC を保持します。 ビット 15 には 0 を書き込んでください。	R/W	不定
7	—	（将来のための予約です。必ず 0 を設定してください）	R	0
6	—	（将来のための予約です。必ず 0 を設定してください）	R	不定
5 ～ 2	—	（将来のための予約です。必ず 0 を設定してください）	R	0
1、0	—	（将来のための予約です。必ず 0 を設定してください）	R	不定

(c) ICDATL — 命令キャッシュデータ Lo アクセス

命令キャッシュに対する CISTI/CILDI 命令で使用するレジスタです。CISTI 実行時には命令キャッシュのデータ RAM に格納する値を、CILDI 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

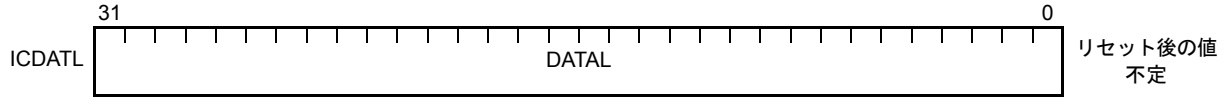


表 3.53 ICDATL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	DATAL	指定したキャッシュライン内ブロックの命令データのうちビット 31 ～ 0、または ビット 95 ～ 64 を保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 0000 ：ビット 31 ～ 0 インデックスの Offset = 1000 ：ビット 95 ～ 64	R/W	不定

(d) ICDATH — 命令キャッシュデータ Hi アクセス

命令キャッシュに対する CISTI/CILDI 命令で使用するレジスタです。CISTI 実行時には命令キャッシュのデータ RAM に格納する値を、CILDI 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

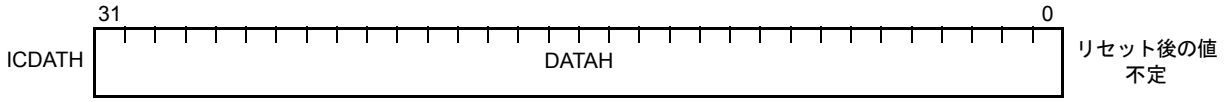


表 3.54 ICDATH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	DATAH	指定したキャッシュライン内ブロックの命令データのうちビット 63 ～ 32、または ビット 127 ～ 96 を保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 0000 ：ビット 63 ～ 32 インデックスの Offset = 1000 ：ビット 127 ～ 96	R/W	不定

(e) ICCTRL — 命令キャッシュ制御

命令キャッシュの制御を行うレジスタです。

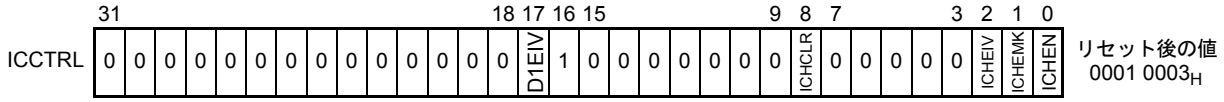


表 3.55 ICCTRL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 18	—	（将来のための予約です。必ず 0 を設定してください）	R	0
17	D1EIV	データ RAM 1 ビットエラー発生時の動作を選択します。 0 ：エラー訂正後、処理を続行します。 ただし、当該エントリはエラーを含んだまま保持となります。 1 ：エラー訂正せず、当該エントリをクリアし再フェッチします。 このビットを設定してから実際に命令キャッシュに反映されるまで、このビットのリード値は設定前の値となります。	R/W	0
16	—	（将来のための予約です。必ず 1 を設定してください）	R	1
15 ～ 9	—	（将来のための予約です。必ず 0 を設定してください）	R	0
8	ICHCLR	セット（1）すると命令キャッシュを一括でクリアします。本ビットに 1 を設定後、クリアを完了するまではこのビットのリード値は 1 になり ます。クリア完了後、このビットのリード値は 0 になります。	R/W	0
7 ～ 3	—	（将来のための予約です。必ず 0 を設定してください）	R	0
2	ICHEIV	セット（1）するとキャッシュエラーの発生時に自動的に命令キャッシュを無効（ICHEN ビットを 0 にします）にします。	R/W	0
1	ICHEMK	セット（1）するとキャッシュエラーの発生時に CPU に対するキャッシュエラー例外の通知をマスクします。	R/W	1
0	ICHEN	命令キャッシュの有効／無効を示します。 0：命令キャッシュは無効 1：命令キャッシュは有効	R	1

(f) ICCFG — 命令キャッシュコンフィグ

命令キャッシュの構成を示すレジスタです。

	31														17	16	15	14					8	7			4	3			0	
ICCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	ICHSIZE						ICHLINE				ICHWAY				リセット後の値 $0001\ 0844_H$

表 3.56 ICCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 17	—	（将来のための予約です。必ず 0 を設定してください）	R	0
16	—	（将来のための予約です。必ず 1 を設定してください）	R	1
15	—	（将来のための予約です。必ず 0 を設定してください）	R	0
14 ～ 8	ICHSIZE	命令キャッシュの容量（K バイト）を示します。 000 1000：8 K バイト	R	08_H
7 ～ 4	ICHLINE	命令キャッシュの 1way あたりのライン数を示します。 0100：128 ライン	R	4_H
3 ～ 0	ICHWAY	命令キャッシュの way 数を示します。 0100：4way	R	4_H

(g) ICERR — 命令キャッシュエラー

命令キャッシュのキャッシュエラー情報を格納するレジスタです。

ICHERR ビットがセット（1）されたあとは、それが明示的にクリア（0）されるまで後続で発生するキャッシュエラー情報は格納されません。CILDI 実行中に、キャッシュエラー情報は格納されません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12		5	4	3	2	1	0	
ICERR	CISTW	0	ESMH	ESPBSE	ESTE1	ESTE2	ESDC	ESDE	0	0	ERMMH	ERMPBS	ERMTE1	ERMTE2	ERMDC	ERMDE	0	ICHEWY		ICHEIX			ICHERQ	ICHED	ICHET	0	ICHERR	リセット後の値 不定

表 3.57 ICERR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	CISTW	CISTI 実行後、書き込み先 WAY 指定に不正があったことを示します。書き込みは完了するためエントリ情報は上書きされますが、当該キャッシュラインのリード時に V ビットがクリアされます（ミス判定扱い）。本ビットから CPU への例外通知は行われません。	R/W	0
30	—	（将来のための予約です。必ず 0 を設定してください）	R	0
29	ESMH	エラーステータス：マルチヒット	R/W	不定
28	ESPBSE	エラーステータス：WAY エラー	R/W	不定
27	ESTE1	エラーステータス：タグ RAM 1bit エラー	R/W	不定
26	ESTE2	エラーステータス：タグ RAM 2bits エラー	R/W	不定
25	ESDC	エラーステータス：データ RAM 1bit 訂正	R/W	不定
24	ESDE	エラーステータス：データ RAM 2bits エラー	R/W	不定
23、22	—	（将来のための予約です。必ず 0 を設定してください）	R	0
21	ERMMH	エラー例外通知マスク：マルチヒット	R/W	0
20	ERMPBSE	エラー例外通知マスク：WAY エラー	R/W	0
19	ERMTE1	エラー例外通知マスク：タグ RAM 1bit エラー	R/W	0
18	ERMTE2	エラー例外通知マスク：タグ RAM 2bits エラー	R/W	0
17	ERMDC	エラー例外通知マスク：データ RAM 1bit 訂正	R/W	0
16	ERMDE	エラー例外通知マスク：データ RAM 2bits エラー	R/W	0
15	—	（将来のための予約です。必ず 0 を設定してください）	R	0
14、13	ICHEWY	キャッシュエラーが発生した way 番号を保持します。	R/W	不定
12 ～ 5	ICHEIX	キャッシュエラーが発生したキャッシュインデックスを保持します。	R/W	不定
4	ICHERQ	1 の場合はキャッシュエラー例外を通知中であることを示します。ただしキャッシュエラー例外の通知がマスクされている場合はセット（1）されていても CPU への通知は行われません。	R/W	0
3	ICHED	データ RAM でエラーが発生したことを示します。	R/W	0
2	ICHET	タグ RAM でエラーが発生したことを示します。	R/W	0
1	—	（将来のための予約です。必ず 0 を設定してください）	R	0
0	ICHERR	キャッシュエラーが発生するとセット（1）されます。	R/W	0

(7) データバッファ操作機能レジスタ

データバッファ制御システムレジスタは、それぞれの物理 CPU 動作で設けられます。

表 3.58 データバッファ操作機能レジスター覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR24,13	CDBCR	データバッファ制御レジスタ	SV

(a) CDBCR — データバッファ制御レジスタ

データバッファを制御するためのレジスタです。

	31																														2	1	0	
CDBCR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CDBCLR	CDBEN	リセット後の値 $0000\ 0001_H$

表 3.59 CDBCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	—	(将来のための予約です。必ず 0 を設定してください)	R	0
1	CDBCLR	セット (1) すると データバッファを一括クリアします。このビットは常に 0 が読み出されます。	W	0
0	CDBEN	データバッファの有効／無効を指定します。 0：データバッファは無効 1：データバッファは有効	R/W	1

3.2.2 命令キャッシュ、データバッファ

3.2.2.1 特長

CPUn (n = 1) と Code Flash 間に、8K バイト 4Way セットアソシアティブの命令キャッシュを搭載しています。命令キャッシュと Code Flash 間は 128 ビットの専用バスで接続されており、キャッシュミスヒット時のペナルティを最小にします。また、CPUn と Code Flash 間にデータバッファを搭載しており、高速なデータアクセスが可能です。アドレス空間上、$0000\ 0000_H$ ～ $01FF\ FFFF_H$ の 32MB 領域が、命令キャッシュおよびデータバッファ対象です。

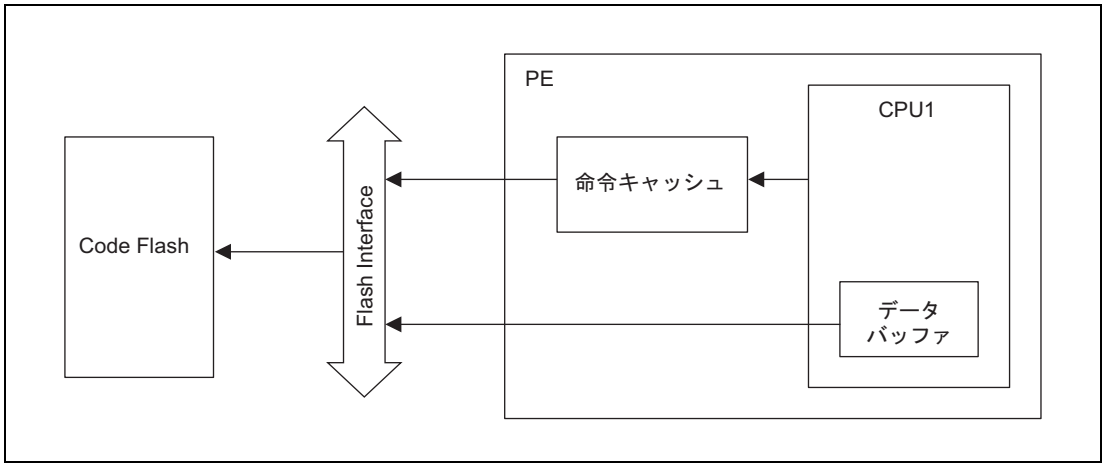


図 3.2 命令キャッシュ、データバッファ

3.2.2.2 命令キャッシュ機能

8K バイト 4Way セットアソシアティブキャッシュは、1 ラインが 4 ワードの 128 エントリのブロックで構成された Way が 4 枚で、合計 8K バイトの容量です。Way は 2 つのグループに分かれており、Way0、Way1 が Way グループ 0、Way2、Way3 が Way グループ 1 です。アクセス対象のアドレス情報をデコードし、使用する Way グループを選択します。キャッシュミスが発生した場合は、LRU による入れ替えアルゴリズムにより 1 ライン単位のリフィルを行います。Code Flash 領域への命令フェッチアクセスがキャッシュ対象です。

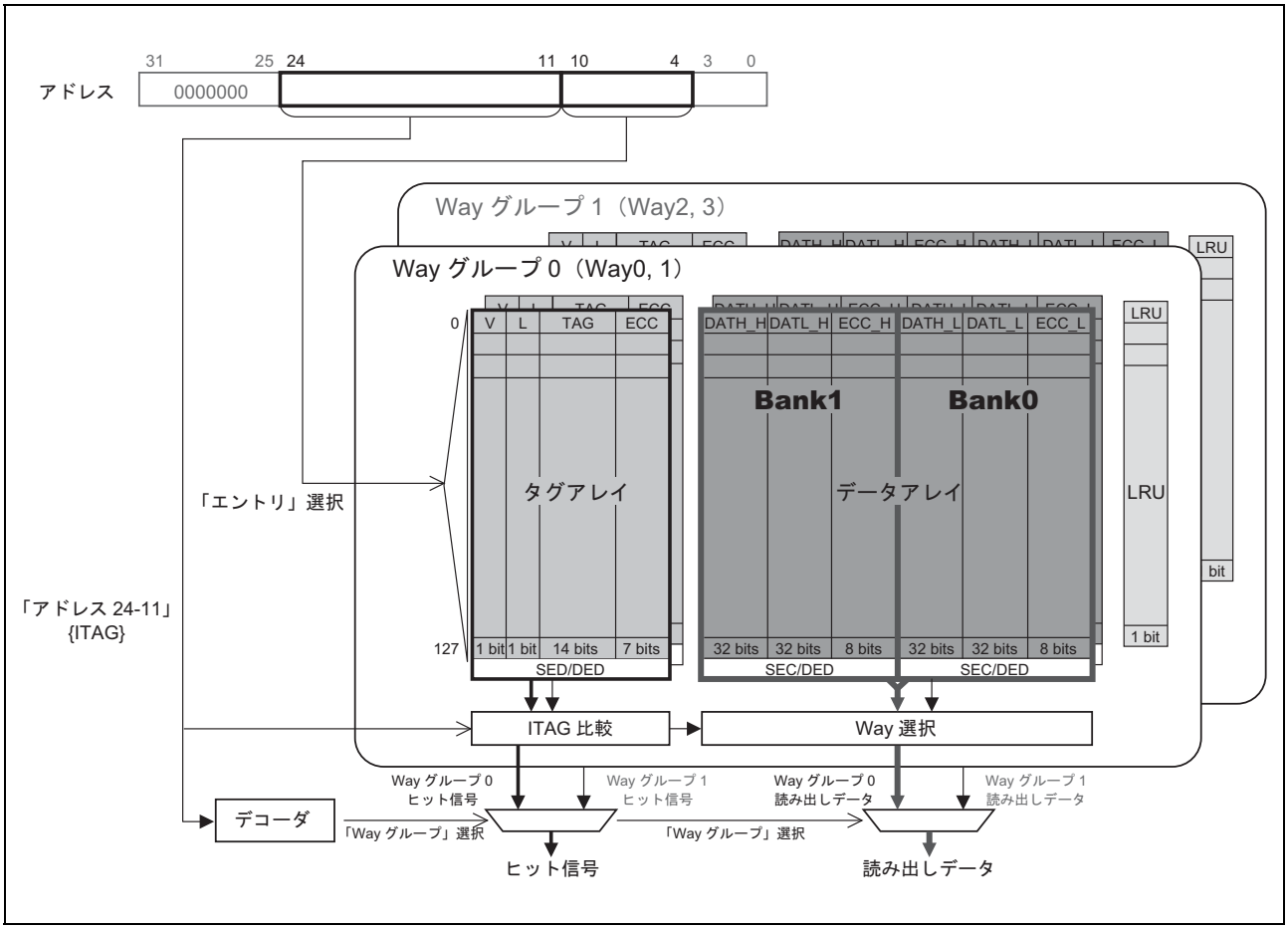


図 3.3 命令キャッシュの構成

タグアレイ

V ビット	キャッシュラインに有効なデータが格納されているか否かを示します。このビットが 1 のとき、そのキャッシュラインのデータは有効となります。V ビットはリセットで 0 に初期化されます。
L ビット	キャッシュラインがロック状態か否かを示します。このビットが 1 のとき、そのキャッシュラインはロック状態であり、新たなデータで置換されることはありません。L ビットは V ビットが 1 のときのみ有効であり、リセットで初期化されません。
TAG	キャッシュされるデータラインの操作アドレス 32 ビットのうち、ビット 24 ～ 11 を格納します。TAG はリセットで初期化されません。
ECC	タグアレイの ECC を格納します。ECC はリセットで初期化されません。

データアレイ

DATH_H、DATL_H、DATH_L、DATL_L	キャッシュラインのデータ 128 ビットを 32 ビットごとに格納します。DATH_H に ビット 127 ～ 96、DATL_H に ビット 95 ～ 64、DATH_L に ビット 63 ～ 32、DATL_L に ビット 31 ～ 0 を格納します。CACHE 命令の CISTI/CILDI 操作において、DATH_H、DATH_L については「ICDATH レジスタ」を、DATL_H、DATL_L については「ICDATL レジスタ」を経由します。
ECC_H、ECC_L	データの [127:64] の ECC を ECC_H に、[63:0] の ECC を ECC_L に格納します。

LRU

LRU	Way グループ内での LRU 情報を格納します。LRU はリセットで初期化されます。

注　意

CISTI 命令で命令キャッシュのタグアレイにテストデータをライトしてから該当ラインを命令フェッチする場合、タグ情報は WAY グループ単位でライトしてください。例えば、WAY グループ 0 の WAY0 側のあるラインにタグ情報をライトする場合、WAY1 側の同一ラインのタグ情報もライトしてから、命令フェッチしてください。

- **WAY グループ 0（WAY0,1）にライトする場合、ICTAGL.LPN ビットの排他的論理和が 0 になる値をライトしてください。**
- **WAY グループ 1（WAY2,3）にライトする場合、ICTAGL.LPN ビットの排他的論理和が 1 になる値をライトしてください。**

なお、タグアレイに上記以外の値をライトして命令フェッチすると、WAY エラーが発生し ICERR.ESPBSE ビットに 1 がセットされます。また、WAY グループ内の 2 つの WAY の同一ラインに同じタグ情報をライトして命令フェッチすると、マルチヒットエラーが発生し ICERR.ESMH ビットに 1 がセットされます。

3.2.2.3 データバッファ機能

データバッファとして、1 ラインあたり 128 ビットのバッファを、4 ライン搭載しています。Code Flash からリードされる 128 ビット単位のデータを、データバッファに格納します。次回以降、同一アドレスにアクセスした場合、データバッファから読み出すため、Code Flash へのアクセスは発生しません。

3.2.3 信頼性機能

3.2.3.1 PE ガード機能（PEG）

(1) PEG 機能概要

PEG は Slave Guard の構成要素であり、外部マスタから CPU（PE）内資源への不正なアクセスを防止します。PE 内部のローカル RAM へのアクセスが対象です。リセット初期状態では、自 PE 以外のマスタからのアクセスを全てガードします。「(3) PEG 保護設定レジスター覧」のレジスタを設定することで、自 PE 以外のマスタからのアクセスを許可します。

（1） PE ガード違反の検出

PE ガードを設定した PE 内の資源領域に対して、PE 外部のマスタが不正なアクセスを行うと 「PE ガード違反」として検出します。

（2） 不正アクセスの阻止

PE ガード違反を検出した場合、PE 資源の内容が不正に書き換えられてしまうことを防ぐために、PE 内部への不正アクセスを阻止します。

（3） 違反発生の通知

PE ガード違反を検出した場合、INTGUARD が発生します。

(2) SPID による保護

- PEG 保護設定
  - 自 PE の LocalRAM アドレスによって 4 領域まで設定できます。
  - 領域の範囲指定は「ベースアドレス」と「マスクビット」により行います（最小 4KB ～最大 192 KB）。
  - 各領域に対して 「リード許可」、「ライト許可」をそれぞれ設定できます。
  - 各領域に対して 「システム保護識別子（SPID）」ごとに許可／禁止を選択できます。
- 「システム保護識別子（SPID）」によるアクセス許可（**図 3.4** を参照）

  1. アクセス対象が「LocalRAM 領域」なら 2 へ。
  2. アクセス対象が「有効な 領域 0 ～ 3」のどれかの範囲内であれば 3 へ。
     さもなければ「エラー応答」を返します。
  3. 該当領域に対して以下の条件すべてを満たすか
     ー 「システム保護識別子（SPID）」が許可
     ー「要求されている操作（リード、ライト）」が許可
     さもなければ「エラー応答」を返します。

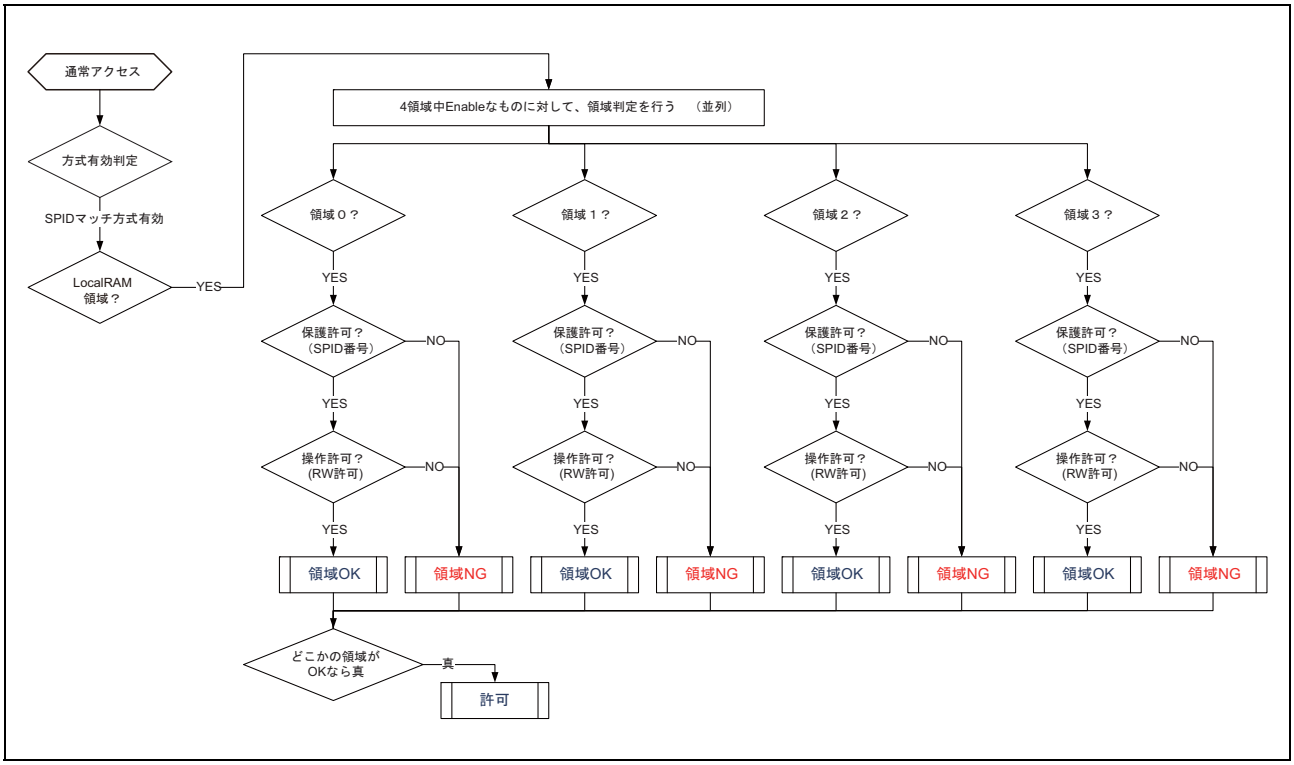


図 3.4 システム保護識別子（SPID）によるアクセス許可

(3) PEG 保護設定レジスター覧

外部マスタによる不正アクセスから PE 内資源を保護するには、以下のレジスタに必要な設定を行います。

- PE 内部のローカル RAM へのアクセスを検出対象として許可を与えます。
- レジスタセットへのアクセスに対しては、PEG 機能独自にアクセス制限を実施していません。
- PEG 保護設定は以下の手順によって可能となります。
  1.PEGGnMK – PE ガード保護領域 n マスク設定レジスタ (n = 0 ～ 3) を設定する。
  2.PEGGnBA – PE ガード保護領域 n ベース設定レジスタ (n = 0 ～ 3) を設定する。

表 3.60 レジスター覧

アドレスオフセット	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値
						1	8	16	32	
$+00C_H$	2	PE ガード SPID マスタ判定制御レジスタ	PEGSP	—	R/W	—	○	○	—	0000_H
$+080_H$	4	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	—	R/W	—	○	○	○	$0000\ 0000_H$
$+084_H$	4	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	—	R/W	—	○	○	○	$0000\ 0000_H$
$+090_H$	4	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	—	R/W	—	○	○	○	$0000\ 0000_H$
$+094_H$	4	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	—	R/W	—	○	○	○	$0000\ 0000_H$
$+0A0_H$	4	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	—	R/W	—	○	○	○	$0000\ 0000_H$
$+0A4_H$	4	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	—	R/W	—	○	○	○	$0000\ 0000_H$
$+0B0_H$	4	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	—	R/W	—	○	○	○	$0000\ 0000_H$
$+0B4_H$	4	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	—	R/W	—	○	○	○	$0000\ 0000_H$

備考 ベースアドレス：$FFFE\ E600_H$

(4) レジスタセット

(a) PEGSP — PE ガード SPID マスタ判定制御レジスタ

外部マスタから PE 内資源へのアクセス許可設定を有効にするレジスタです。SPEN ビットの初期状態は 0 であり、外部マスタから PE 内資源へのアクセスはできません。SPEN ビットに 1 をセットすると、PEGGnMK(n=0-3) と PEGGnBA(n=0-3) で設定した条件で、外部マスタからのアクセスを許可します。

アクセス PEGSP レジスタは、16 ビット単位でリード／ライト可能です。
PEGSPL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス PEGSP：FFFE E60C$_H$,
PEGSPL：FFFE E60C$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 3.61 PEGSP レジスタの内容

ビット位置	ビット名	機 能
15 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SPEN	SPID を持つ外部マスタによるアクセスの検出を有効にします。 0 : SPID を持つ外部マスタによるアクセスは無効です。 1 : SPID を持つ外部マスタによるアクセスは有効です。

(b) PEGGnMK — PE ガード保護領域 n マスク設定レジスタ（n = 0-3）

PE ガード保護領域 n の範囲を、PEGGnBA（n=0-3）レジスタとの組み合わせで指定するレジスタです。GnMASK ビットに 1 をセットすると PEGGnBA レジスタの対応するアドレスビットがマスクされ、PE ガード保護領域 n の範囲内に指定できます。なお、PE ガード保護領域 n の最小設定単位は 4KB です。

【例】PEGGnBA[31:12] = $FEBF6_H$、PEGGnMK[31:12] = 00008_H に設定した場合、PE ガード保護領域 n は $FEBF\ 6000_H$ ～ $FEBF\ 6FFF_H$ と $FEBF\ E000_H$ ～ $FEBF\ EFFF_H$ になります。

アクセス PEGGnMK レジスタは、32 ビット単位でリード／ライト可能です。
PEGGnMKL、PEGGnMKH レジスタは、16 ビット単位でリード／ライト可能です。
PEGGnMKLH、PEGGnMKHL、PEGGnMKHH レジスタは、8 ビット単位でリード／ライト可能です。,

アドレス PEGGnMK：$FFFE\ E680_H + n \times 10_H$,
PEGGnMKL：$FFFE\ E680_H + n \times 10_H$,
PEGGnMKH：$FFFE\ E680_H + n \times 10_H + 2_H$,
PEGGnMKLH：$FFFE\ E680_H + n \times 10_H + 1_H$,
PEGGnMKHL：$FFFE\ E680_H + n \times 10_H + 2_H$,
PEGGnMKHH：$FFFE\ E680_H + n \times 10_H + 3_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnMASK[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnMASK[15:12]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 3.62 PEGGnMK レジスタの内容

ビット位置	ビット名	機 能
31 ～ 12	GnMASK [31:12]	PE ガード保護領域 n の範囲を指定するベースアドレス PEGGnBA[31:12] に対するマスク有無を設定します。 0：対象となるアドレスビットは、PE ガード領域判定時の比較対象 1：対象となるアドレスビットは、PE ガード領域判定時の比較対象外
11 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(c) PEGGnBA — PE ガード保護領域 n ベース設定レジスタ （n = 0-3）

PE ガード保護領域 n の範囲を PEGGnMK（n=0-3）レジスタとの組み合わせで指定し、その領域内に対するアクセス許可条件を設定するレジスタです。GnEN ビットに 1 をセットすると、本レジスタと PEGGnMK レジスタで設定したアクセス許可条件が有効になります。

アクセス PEGGnBA レジスタは、32 ビット単位でリード／ライト可能です。
PEGGnBAL、PEGGnBAH レジスタは、16 ビット単位でリード／ライト可能です。
PEGGnBALL、PEGGnBALH、PEGGnBAHL、PEGGnBAHH レジスタは、8 ビット単位でリード／ライト可能です。,

アドレス PEGGnBA：FFFE $E684_H$ + n × 10_H,
PEGGnBAL：FFFE $E684_H$ + n × 10_H,
PEGGnBAH：FFFE $E684_H$ + n × 10_H + 2_H,
PEGGnBALL：FFFE $E684_H$ + n × 10_H,
PEGGnBALH：FFFE $E684_H$ + n × 10_H + 1_H,
PEGGnBAHL：FFFE $E684_H$ + n × 10_H + 2_H,
PEGGnBAHH：FFFE $E684_H$ + n × 10_H + 3_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnBASE[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnBASE[15:12]				—	—	—	—	—	—	GnSP1	GnSP0	—	GnWR	GnRD	GnEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W

表 3.63 PEGGnBA レジスタの内容

ビット位置	ビット名	機 能
31 ～ 12	GnBASE[31:12]	PE ガード保護領域 n の範囲を指定するベースアドレスを設定します。
11 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	GnSP1	PE ガード保護領域 n に対する SPID = 1 の外部マスタによるアクセス許可を設定します（CPU）。 0：SPID = 1 の外部マスタからのアクセスをガード 1：SPID = 1 の外部マスタからのアクセスを許可
4	GnSP0	PE ガード保護領域 n に対する SPID = 0 の外部マスタによるアクセス許可を設定します。(H-Bus に接続されている周辺機能） 0：SPID = 0 の外部マスタからのアクセスをガード 1：SPID = 0 の外部マスタからのアクセスを許可
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GnWR	PE ガード保護領域 n に対するライト許可を設定します。 0：ライトアクセスをガード 1：ライトアクセスを許可
1	GnRD	PE ガード保護領域 n に対するリード許可を設定します。 0：リードアクセスをガード 1：リードアクセスを許可
0	GnEN	PE ガード保護領域 n に対するアクセス許可条件の設定を有効にします。 0：アクセス許可条件の設定無効 1：アクセス許可条件の設定有効

注　意

GnEN ビットは、PEGGnMK のレジスタライトによってクリアされます。

3.2.4 信頼性機能

3.2.4.1 システムエラー通知制御機能（SEG）

命令フェッチまたはデータアクセスによるエラーは、システムエラー例外の要因となります。システムエラー例外は、復帰／回復が不可能な FE レベル例外です。

システムエラー例外の要因コード（FEIC）とエラー内容の対応は、**「表 3.66 G3M コアのシステムエラー例外の要因コードとエラー内容の対応」**を参照してください。

データアクセスによるエラーは、SEG（SysErrGen）で通知・記録を制御します。命令フェッチアクセスによるエラーは SEG を経由しませんが、命令キャッシュの RAM 上で発生したエラーは SEG に通知されます。詳細は「**(2) レジスタセット (a) SEGCONT — エラー通知制御レジスタ**」と「**(3) SEG 機能 (b) SYSERR 例外に関する補足事項**」を参照してください。

複数のエラー発生入力はエラー要因ごとに区別され、優先すべきエラー要因から順に処理し、FE レベルの非同期例外（SYSERR）を発生させます。

SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。

エラー情報はエラー発生回数によらず、一度だけ記録されます。

エラーが同時に発生した場合はエラー要因の優先順位が最高位のものが有効です。記録されたエラー情報はその後のエラーによって上書きされることはありません。

(1) SEG 機能制御レジスター覧

表 3.64 レジスター覧

アドレスオフセット注1	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値
						1	8	16	32	
$+00_H$	2	エラー通知制御レジスタ	SEGCONT	—	R/W注2	—	—	○	—	0000_H
$+02_H$	2	エラー発生保持レジスタ	SEGFLAG	—	R/W注2	—	—	○	—	0000_H

注 1. ベースアドレス：$FFFE\ E980_H$
注 2. ユーザモードからのライトアクセスは無視します。

備 考

- 上記以外の「アドレスオフセット」「操作可能ビット」でアクセスすると SYSERR 例外が発生します。
- ライトアクセスについては、スーパバイザモード（UM = 0）のみ有効です。その他のアクセス権限によるライトアクセスは SYSERR 例外が発生します。
  上記の例では、VCIF フラグがセットされます。
- リードアクセスは、アクセス制限を設けていません。
- 他の保護機構が許可する範囲内であればいつでも読み出し可能です。

(2) レジスタセット

(a) SEGCONT — エラー通知制御レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグに対して、SysErr 要求の通知許可（= 1）／不許可（= 0）を設定します。

アクセス SEGCONT レジスタは、16 ビット単位でリード／ライト可能です。

アドレス SEGCONT：FFFE $E980_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VPGE	—	—	TCME	ROME	VCIE	—	ICCE	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R	R

表 3.65 SEGCONT レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	VPGE	P-Bus エラー応答通知 • ライトアクセスでの P-Bus ガードエラー
8、7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCME	自 PE 内のローカル RAM へのデータアクセス中に次のいずれかのエラーが発生したことを通知： • 訂正不能な ECC エラー • 次領域へのアクセスの検出 PE1 - $FEC00000_H$ ～ $FEDB\ FFFF_H$ - $FEA00000_H$ ～ $FEBB\ FFFF_H$
5	ROME	テーブル参照割り込みのテーブル参照時に、Code Flash へのアクセスで下記エラーが生じた場合。 • 訂正できない ECC エラーの発生 • アドレスパリティエラーの発生

表 3.65 SEGCONT レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	VCIE	• P-Bus エラー応答通知（P-Bus ライトエラーを除く） – 未実装領域（FFFF 7900_H-FFFF $7EFF_H$）アクセス時 – P-Bus ガードエラー – 次のクロックドメインを使用していない周辺にリード／ライトアクセスをした場合 C_AWO_TAUJ、C_AWO_ADCA、C_ISO_PERI1、C_ISO_PERI2、C_ISO_LIN、C_ISO_CAN、C_ISO_CSI。 • コードフラッシュエラー応答 – 訂正できない ECC エラーの発生 – アドレスパリティエラー • リテンション RAM エラー応答 – 保護違反アクセス発生 – 訂正できない ECC エラーの発生 • データフラッシュエラー応答 – 訂正できない ECC エラーの発生 • Interconnect 予約領域アクセス検出通知 PE1 – FFFF 0000_H-FFFF $4FFF_H$ – FFFE 0000_H-FFFE $BFFF_H$ – FB00 0000_H-FE9F $FFFF_H$ – F300 0000_H-F8FF $FFFF_H$ • PE ガードエラー発生通知
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ICCE	命令キャッシュエラー通知イネーブル 命令キャッシュのシステムレジスタ ICCTRL.ICHEMK = 0（リセット後の値 = 1）に設定した場合に以下のエラーを扱います。 訂正できない ECC エラーの発生
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 3.66 G3M コアのシステムエラー例外の要因コードとエラー内容の対応

要因コード	エラー内容
10	予約
11	命令フェッチのエラー（コードフラッシュ）
12	SEGCONT 2bit 目により通知許可されるエラー
13	命令フェッチのエラー（コードフラッシュ 以外）
14	SEGCONT 4bit 目により通知許可されるエラー
15	SEGCONT 5bit 目により通知許可されるエラー
16	SEGCONT 6bit 目により通知許可されるエラー
17	予約
18	予約
19	SEGCONT 9bit 目により通知許可されるエラー
1A	予約
1B	予約
1C	予約
1D	予約
1E	予約
1F	予約

(b) SEGFLAG — エラー発生保持レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグです。エラー発生入力でセット（= 1）されます。自動クリア（= 0）はありません。

レジスタへの書き込みであれば、セット / クリアの両方が可能です。

アクセス SEGFLAG レジスタは、16 ビット単位でリード／ライト可能です。

アドレス SEGFLAG : FFFE $E982_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VPGF	—	—	TCMF	ROMF	VCIF	—	ICCF	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R	R

表 3.67 SEGFLAG レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	VPGF	SEGCONT レジスタのビット 9 に対応したフラグ。
8、7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCMF	SEGCONT レジスタのビット 6 に対応したフラグ。
5	ROMF	SEGCONT レジスタのビット 5 に対応したフラグ。
4	VCIF	SEGCONT レジスタのビット 4 に対応したフラグ。
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ICCF	SEGCONT レジスタのビット 2 に対応したフラグ。
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(3) SEG 機能

(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知

- 各エラー発生フラグはセット優先
  - 同時のクリア操作は無視します。
- エラー要因の優先順位
  - エラー通知が許可された SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。エラー要因のうち優先順位の高いものから通知します。
  - エラー要因のビット位置を「SYSERR 要因コード」として通知します。
- SYSERR 要求の通知開始条件
  - SEGCONT レジスタでエラー通知が不許可の場合、SEGFLAG レジスタをセットしてもエラーを通知しません。
  - SEGCONT レジスタでエラー通知が許可の場合、SEGFLAG レジスタをセットした直後にエラーを通知します。
  - SEGFLAG レジスタのクリア操作後は SEGFLAG レジスタの状態に依存して、エラー通知が変更します。（再調停）
- SYSERR 要求応答で通知を終了
  - エラー通知を終了しても、SEGFLAG レジスタ（エラー発生フラグ）を自動クリアしません。
  - 新たな SEGFLAG レジスタのセットもしくは、クリア操作による再調停があるまで、エラー通知は変更されません。
  - 要求応答までにエラー要因よりも優先するエラー発生フラグがセットされるとエラー通知内容がより上位の SYSERR 要因コードに差し替わることがあります。

(b) SYSERR 例外に関する補足事項

- SYSERR 例外が発生しても PSW.EBV ビットの値は保持され、例外ハンドラのベースアドレスは切り替わりません。
- 命令キャッシュでのエラー検出
  命令キャッシュの RAM 上でエラーが発生しても、命令フェッチ要因の再実行型 SYSERR 例外は発生しません。エラーが発生した対象エントリを自動的にインバリデートし Code Flash から再フェッチすることで、CPU の命令実行を継続します。システムレジスタの ICCTRL.ICHEMK ビットを 0 に設定すると、命令キャッシュで発生したエラーを SEG に通知することができます。命令キャッシュのエラーについては「**3.2.1.2 レジスタセット (g) ICERR — 命令キャッシュエラー**」を参照してください。

3.3 注意事項

3.3.1 ストア命令の完了と後続命令の同期化

ストア命令によって各制御レジスタを更新する場合、CPU によるストア命令の実行から実際に制御レジスタが 更新されるまでには時間差があります。このため、ストア命令に続く命令に対して、ストア命令による制御レジスタの更新内容を反映したい場合は、適切な同期化処理が必要となります。以下に同期化処理の 実行方法を示します。

LDSR 命令によるシステム・レジスタの更新と後続命令の同期化に関する手続きについては、ユーザーズマニュアル ソフトウェア編「*付録 A システム・レジスタのハザード解消手続き*」をご参照ください。

3.3.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合

【例 1】

INTC2 や周辺回路の制御レジスタアクセスによって割り込み要求をクリアしてから、EI 命令を実行して割り込みを許可する場合が考えられます。この場合は以下の処理を実行してください。

1. 制御レジスタを更新するストア命令（ST.W など）の実行
2. 上記制御レジスタのダミーリード（LD.W など）の実行
3. SYNCP の実行
4. 後続の命令（EI）の実行

【例 2】

ある制御レジスタ A の確実な更新を待ってから、ほかの制御レジスタ B にアクセスする必要がある場合も、同様の処理を実行してください。異なる周辺機能を連携動作させる場合や、周辺機能を設定してから INTC の割り込みマスクを解除する場合などが考えられます。ただし、制御レジスタ A と B が同じ Peripheral Group (Peripheral Group 0 ～ 5) であれば、この処理は不要です。

1. 制御レジスタ A を更新するストア命令（ST.W など）の実行
2. 上記制御レジスタのダミーリード（LD.W など）の実行
3. SYNCP の実行
4. 制御レジスタ B にアクセスするストア命令（ST.W, LD.W など）の実行

なお、各種メモリ保護や ECC などのセーフティ機能の設定完了を待ってから、保護対象の制御レジスタやメモリへのアクセスを開始する場合も、同様の処理が必要です。

Peripheral Group の詳細は、**「1.1.2 内部ブロック図」**および**「表 4.3 周辺 I/O アドレスマップ」**を参照してください。

3.3.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合

(a) RAM に命令を書き込んでから、その RAM に分岐して書き込んだ命令を実行したい場合は、以下の処理を実行してください。

1. メモリを更新するストア命令（ST.W など）
2. 上記メモリのダミーリード（LD.W など）

3. SYNCP
4. SYNCI
5. 後続の命令（分岐命令など）

(b) メモリ保護機能および ECC の制御レジスタの更新完了を待ってから対象のメモリに分岐する場合は、以下の処理を実行してください。

1. 制御レジスタを更新するストア命令（ST.W など）
2. 制御レジスタのダミーリード（LD.W など）
3. SYNCP
4. SYNCI
5. 後続の命令（分岐命令など）

Code Flash の領域を切り替える場合

この場合は、「*RH850/F1L、RH850/F1M、RH850/F1H　フラッシュメモリ　ユーザーズマニュアル　ハードウェア　インタフェース編*」の「*第 10 章　使用上の注意点　(7) FCUFAREA レジスタの更新*」をご参照ください。

3.3.2 ビット操作命令でのレジスタ・アクセス

ビット操作命令によるライトは、8 ビット単位のアトミックなリード・モディファイ・ライト処理です。このため、8 ビット単位のリードアクセスとライトアクセスを許可しているレジスタであれば、基本的にビット操作命令でのアクセスが可能です。しかし、複数のフラグ・ビットを共有しているレジスタには、リード・モディファイ・ライトによりクリア対象外のフラグもクリアしてしまうものもあるのでご注意ください。

なお、FlexRay、MEMC のレジスタに対してビット操作命令でライト・アクセスしても、アトミック操作にはなりません。リード・モディファイ・ライト処理の期間中に、他のマスタからのアクセスが割り込む可能性があります。

3.3.3 コードフラッシュ書き換え後のコヒーレンシ確保

CPU はコードフラッシュ領域に対して有効な命令キャッシュとデータバッファを搭載しています。このため、セルフプログラミングでコードフラッシュを書き換えた後は、コヒーレンシ確保のために命令キャッシュとデータバッファをクリアしてください。命令キャッシュは ICCTRL レジスタで、データバッファは CDBCR レジスタでクリアできます。

3.3.4 多重例外受け付け時のコンテキストの上書き

例外要因の種類によっては、PSW レジスタの ID、NP ビットの状態にかかわらず例外が受け付けられます。多重例外が発生した場合はコンテキスト情報を格納しているシステムレジスタの内容は上書きされます。例外要因ごとの受け付け条件と復帰／回復の可否については「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の例外要因一覧を参照してください。

3.3.5 プリフェッチに関する注意事項

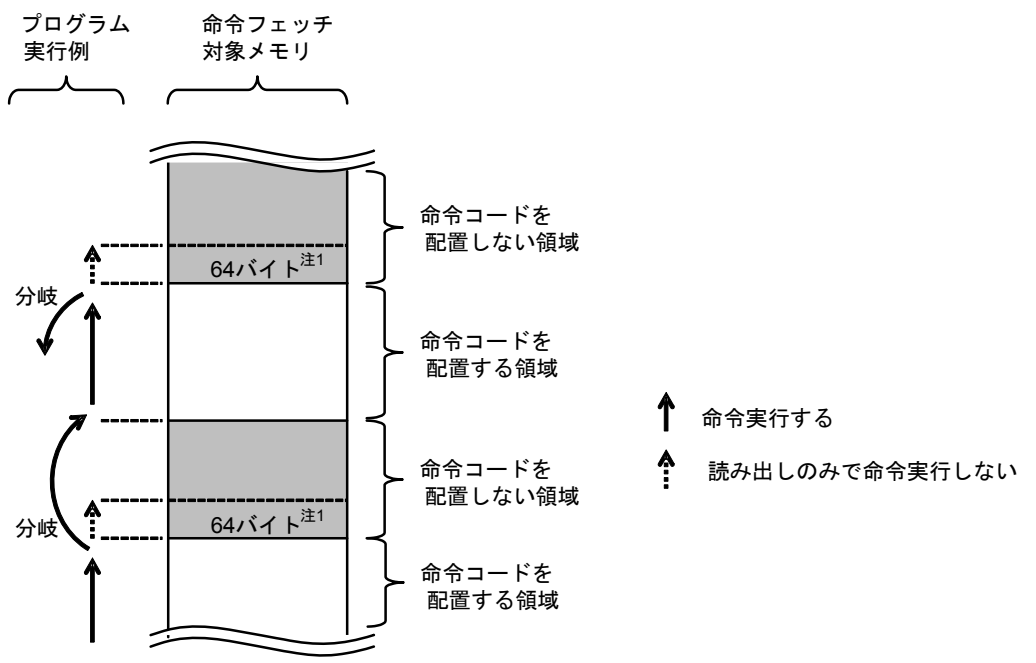
CPU は命令フェッチのスループットを維持するために、実行中のプログラムより後方の領域に対して投機的な命令フェッチを実施します。このプリフェッチにより、命令コードを配置していない領域（**図 3.5** の注 1）からもメモリの読み出しが発生する場合があるため、以下の点にご注意ください。なお、該当領域（**図 3.5** の注 1）からメモリの読み出しが発生しても、読み出した値を命令実行することはありません。

本注意事項は命令フェッチが可能な全メモリが対象です。

- メモリ値不定状態による ECC エラーの発生
  このプリフェッチにより、消去状態のコードフラッシュや初期化前のローカル RAM、リテンション RAM で ECC エラーが発生する可能性があります。命令コードをメモリに配置する際は、該当領域（**図 3.5** の注 1）を任意のデータで初期化してください。

- GRG 機能による違反アクセスの検出
  このプリフェッチを、GRG 機能が違反アクセスとして検出する可能性があります。違反アクセスとして検出させたくない場合、該当領域（**図 3.5** の注 1）と GRG によるアクセス禁止領域が重ならないようにしてください。なお、MPU で保護している領域に対してこのメモリ読み出しが発生しても、メモリ保護例外が発生することはありません。

- アクセス禁止領域へのアクセス
  該当領域（**図 3.5** の注 1）とアクセス禁止領域が重ならないよう、命令コードをメモリに配置してください。



注 1. 命令コードの最終アドレス～最終アドレス +64 バイトの領域。この領域に命令コードを配置していなくても、プリフェッチ要求により分岐時にメモリの読み出しが発生する場合があります。

図 3.5 プリフェッチに対する注意が必要な領域

3.3.6 システムレジスタのハザード

一部のシステムレジスタでは、レジスタ値を更新する際のハザードを解消するために、以下の手続きを実施してください。

- 命令フェッチ
  以下のレジスタを更新してから命令フェッチする場合、レジスタを更新する命令を実行後に、EIRET 命令または FERET 命令または SYNCI 命令を実行してから、命令フェッチを開始してください。
  - PSW.UM、MCFG0.SPID
    以下のレジスタを更新してから命令フェッチする場合、レジスタを更新する命令を実行後に、SYNCI 命令を実行してから、命令フェッチを開始してください。
  - ASID、MPU 関連すべてのレジスタ（レジスタ番号：sr*, 5-7）
- SYSCALL 命令
  以下のレジスタを更新してから SYSCALL 命令を実行する場合、レジスタを更新する命令の後に SYNCP 命令を実行してしてから、SYSCALL 命令を実行してください。
  - SCCFG
- ロード / ストア
  以下のレジスタを更新してからロード／ストアを伴う命令を実行する場合、レジスタを更新する命令を実行後に、SYNCP 命令を実行してからロード／ストア命令を実行してください。
  - ASID、MPU 保護領域設定レジスタ（レジスタ番号：sr*, 6-7）
    以下のレジスタを更新の前後 1 命令では、ロード／ストアを伴う命令を実行しないでください。
  - MCTL.MA
- 割り込み
  以下のレジスタは、割り込み禁止状態（PSW.ID = 1）で更新してください。
  - PSW.EBV、EBASE、INTBP、ISPR、PMR、ICSR、INTCFG
- 命令キャッシュクリア動作
  命令キャッシュクリア動作の完了が確認できたら、ICCTRL.ICHCLR ビットのリード値を確認してください。
- FPU レジスタの更新：
  命令を実行することにより、以下のレジスタが更新されると、命令実行後 SYNCP 命令を実行します。
  - FPU すべての関連するレジスタ（レジスタ番号：SR6-11．0）
- FPP/ FPI 例外モードの変更：
  例外 FPP/ FPI モードが変更された場合、SYNCP および SYNCE 命令を実行した後、次のレジスタを更新します。変更するレジスタは、上記の「FPU レジスタの更新：」も含まれます。
  - FPSR.PEM

3.3.7 外部メモリ領域へのアクセス

外部メモリアクセスへの 64 ビット命令（ST.DW, PREPARE, PUSHSP 命令）での書き込みはサポートしていません。

第 4 章　アドレス空間

4.1　アドレス空間

表 4.1 ～**表 4.2** に RH850/F1M のアドレス空間を示します。

注　意

内蔵 I/O レジスタ空間において、レジスタがないアドレスにアクセスしないでください。また、表 4.1 ～表 4.2 に示すアクセス禁止領域に対してもアクセスしないでください。アクセスした場合は、動作の保証はできません。

表 4.1　アドレス空間（3 MB 品）

アドレス	アドレス空間の種類	サイズ
0000 0000_H ～ 002F $FFFF_H$ (0001 7000_H ～ 0001 $7FFF_H$)	コードフラッシュ（ユーザ領域リード） (FCUFAREA レジスタ設定により FCU ファームウェア領域に切り替わります)) 注 1	3 MB (4 KB)
0030 0000_H ～ 00FF $FFFF_H$	アクセス禁止領域	
0100 0000_H ～ 0100 $7FFF_H$	コードフラッシュ（拡張領域）	32 KB
0100 8000_H ～ 1001 $FFFF_H$	アクセス禁止領域	
1002 0000_H ～ 1002 $1FFF_H$	内蔵周辺 I/O 領域	8 KB
1002 2000_H ～ 1002 $FFFF_H$	アクセス禁止領域	
1003 0000_H ～ 1003 $03FF_H$	内蔵周辺 I/O 領域	1 KB
1003 0400_H ～ 1FFF $FFFF_H$	アクセス禁止領域	
2000 0000_H ～ 200F $FFFF_H$	外部メモリ領域（CS0）	1 MB 注 2
2010 0000_H ～ 21FF $FFFF_H$	アクセス禁止領域	
2200 0000_H ～ 220F $FFFF_H$	外部メモリ領域（CS1）	1 MB 注 2
2210 0000_H ～ 23FF $FFFF_H$	アクセス禁止領域	
2400 0000_H ～ 240F $FFFF_H$	外部メモリ領域（CS2）	1 MB 注 2
2410 0000_H ～ 27FF $FFFF_H$	アクセス禁止領域	
2800 0000_H ～ 280F $FFFF_H$	外部メモリ領域（CS3）	1 MB 注 2
2810 0000_H ～ FEBC $FFFF_H$	アクセス禁止領域	
FEBD 0000_H ～ FEBF $FFFF_H$	ローカル RAM	192 KB
FEC0 0000_H ～ FEDC $FFFF_H$	アクセス禁止領域	
FEDD 0000_H ～ FEDF $FFFF_H$	ローカル RAM（ミラー領域）	192 KB
FEE0 0000_H ～ FEEF $FFFF_H$	アクセス禁止領域	
FEF0 0000_H ～ FEF0 $FFFF_H$	リテンション RAM	64 KB
FEF1 0000_H ～ FEFF $FFFF_H$	アクセス禁止領域	
FF00 0000_H ～ FFFD $FFFF_H$ (FF20 0000_H ～ FF20 $FFFF_H$) (FFA1 2000_H ～ FFA1 $2FFF_H$)	内蔵周辺 I/O 領域 （データフラッシュ（リード / ライト）） （FCU RAM）	16 MB － 128 KB (64 KB) (4 KB)
FFFE 0000_H ～ FFFE $DFFF_H$	アクセス禁止領域	
FFFE $E000_H$ ～ FFFE $FFFF_H$	内蔵周辺 I/O 領域	8 KB
FFFF 0000_H ～ FFFF $4FFF_H$	アクセス禁止領域	
FFFF 5000_H ～ FFFF $FFFF_H$	内蔵周辺 I/O 領域	44 KB

注 1.　詳細は、「RH850/F1L、RH850/F1M、RH850/F1H フラッシュメモリユーザーズマニュアルハードウェアインタフェース編」を参照してください。

注 2.　144 pin 製品は、外部メモリ領域を搭載しません。

表 4.2 アドレス空間（4 MB 品）

アドレス	アドレス空間の種類	サイズ
0000 0000_H ～ 003F $FFFF_H$ (0001 7000_H ～ 0001 $7FFF_H$)	コードフラッシュ（ユーザ領域リード） (FCUFAREA レジスタ設定により FCU ファームウェア領域に切り替わります)) 注 1	4 MB (4 KB)
0040 0000_H ～ 00FF $FFFF_H$	アクセス禁止領域	
0100 0000_H ～ 0100 $7FFF_H$	コードフラッシュ （拡張領域）	32 KB
0100 8000_H ～ 1001 $FFFF_H$	アクセス禁止領域	
1002 0000_H ～ 1002 $1FFF_H$	内蔵周辺 I/O 領域	8 KB
1002 2000_H ～ 1002 $FFFF_H$	アクセス禁止領域	
1003 0000_H ～ 1003 $03FF_H$	内蔵周辺 I/O 領域	1 KB
1003 0400_H ～ 1FFF $FFFF_H$	アクセス禁止領域	
2000 0000_H ～ 200F $FFFF_H$	外部メモリ領域 （CS0）	1 MB 注 2
2010 0000_H ～ 21FF $FFFF_H$	アクセス禁止領域	
2200 0000_H ～ 220F $FFFF_H$	外部メモリ領域 （CS1）	1 MB 注 2
2210 0000_H ～ 23FF $FFFF_H$	アクセス禁止領域	
2400 0000_H ～ 240F $FFFF_H$	外部メモリ領域 （CS2）	1 MB 注 2
2410 0000_H ～ 27FF $FFFF_H$	アクセス禁止領域	
2800 0000_H ～ 280F $FFFF_H$	外部メモリ領域 （CS3）	1 MB 注 2
2810 0000_H ～ FEBB $FFFF_H$	アクセス禁止領域	
FEBC 0000_H ～ FEBF $FFFF_H$	ローカル RAM	256 KB
FEC0 0000_H ～ FEDB $FFFF_H$	アクセス禁止領域	
FEDC 0000_H ～ FEDF $FFFF_H$	ローカル RAM（ミラー領域）	256 KB
FEE0 0000_H ～ FEEF $FFFF_H$	アクセス禁止領域	
FEF0 0000_H ～ FEF0 $FFFF_H$	リテンション RAM	64 KB
FEF1 0000_H ～ FEFF $FFFF_H$	アクセス禁止領域	
FF00 0000_H ～ FFFD $FFFF_H$ (FF20 0000_H ～ FF20 $FFFF_H$) (FFA1 2000_H ～ FFA1 $2FFF_H$)	内蔵周辺 I/O 領域 （データフラッシュ（リード / ライト）） （FCU RAM）	16 MB － 128 KB (64 KB) (4 KB)
FFFE 0000_H ～ FFFE $DFFF_H$	アクセス禁止領域	
FFFE $E000_H$ ～ FFFE $FFFF_H$	内蔵周辺 I/O 領域	8 KB
FFFF 0000_H ～ FFFF $4FFF_H$	アクセス禁止領域	
FFFF 5000_H ～ FFFF $FFFF_H$	内蔵周辺 I/O 領域	44 KB

注 1. 詳細は、「RH850/F1L、RH850/F1M、RH850/F1H フラッシュメモリユーザーズマニュアルハードウェアインタフェース編」を参照してください。

注 2. 144 pin 製品は、外部メモリ領域を搭載しません。

4.2 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を**図 4.1** に示します。

4.2.1 CPU1 によるデータアクセス可能空間

CPU1 からアクセス可能な空間について、**図 4.1** を参照してください。

4.2.2 DMA によるデータアクセス可能空間

DMA からアクセス可能な空間について、**図 4.1** を参照してください。

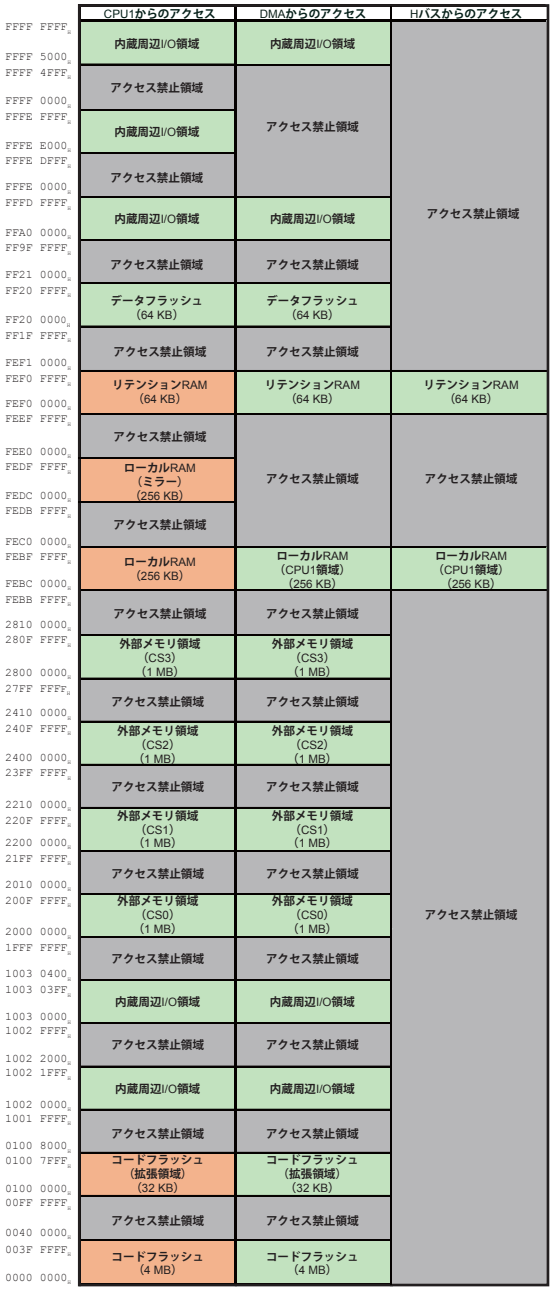


図 4.1　　各バスマスタから見たアドレス空間　（ 233pin 4MB 品の場合 ）

4.3 周辺 I/O アドレスマップ

表 4.3 に周辺 I/O アドレスマップを示します。

表 4.3 周辺 I/O アドレスマップ (1/5)

Address	Peripheral Group	Peripheral I/O
FF00 0000_H ～ FF1F $FFFF_H$	—	アクセス禁止領域
FF20 0000_H ～ FF20 $FFFF_H$	0	データフラッシュ
FF21 0000_H ～ FF9F $FFFF_H$	—	アクセス禁止領域
FFA0 0000_H ～ FFA0 $001F_H$	3	FLMD
FFA0 0020_H ～ FFA0 $7FFF_H$	—	アクセス禁止領域
FFA0 8000_H ～ FFA0 $801F_H$	3	SELF
FFA0 8020_H ～ FFA0 $FFFF_H$	—	アクセス禁止領域
FFA1 0000_H ～ FFA1 $010F_H$	3	Flash controller（FCUAREA 以外のレジスタ）
FFA1 0110_H ～ FFA1 $1FFF_H$	—	アクセス禁止領域
FFA1 2000_H ～ FFA1 $2FFF_H$	3	FCURAM
FFA1 3000_H ～ FFA1 $FFFF_H$	—	アクセス禁止領域
FFA2 0000_H ～ FFA2 $FFFF_H$	3	FACI コマンド発行領域
FFA3 0000_H ～ FFBF $FFFF_H$	—	アクセス禁止領域
FFC0 0000_H ～ FFC0 $000F_H$	3	FENMI
FFC0 0010_H ～ FFC0 $00FF_H$	—	アクセス禁止領域
FFC0 0100_H ～ FFC0 $010F_H$	3	FEINT
FFC0 0110_H ～ FFC0 $0FFF_H$	—	アクセス禁止領域
FFC0 1000_H ～ FFC0 $100F_H$	3	SELB_INTC
FFC0 1010_H ～ FFC0 $FFFF_H$	—	アクセス禁止領域
FFC1 0000_H ～ FFC1 $4C5F_H$	3	PORT
FFC1 $4C60_H$ ～ FFC1 $FFFF_H$	—	アクセス禁止領域
FFC2 0000_H ～ FFC2 $04CF_H$	3	PORT（JTAG）
FFC2 $04D0_H$ ～ FFC2 $FFFF_H$	—	アクセス禁止領域
FFC3 0000_H ～ FFC3 $00CF_H$	3	PORT（DNF）
FFC3 $00D0_H$ ～ FFC3 $3FFF_H$	—	アクセス禁止領域
FFC3 4000_H ～ FFC3 $408F_H$	3	FCLA
FFC3 4090_H ～ FFC4 $8FFF_H$	—	アクセス禁止領域
FFC4 9000_H ～ FFC4 $930F_H$	0	Global RAM Guard
FFC4 9310_H ～ FFC5 $8FFF_H$	—	アクセス禁止領域
FFC5 9000_H ～ FFC5 $900F_H$	0	FCUFAREA
FFC5 9010_H ～ FFC5 $97FF_H$	—	アクセス禁止領域
FFC5 9800_H ～ FFC5 $981F_H$	0	DCIB
FFC5 9820_H ～ FFC6 $03FF_H$	—	アクセス禁止領域
FFC6 0400_H ～ FFC6 $065F_H$	0	命令キャッシュデータ RAM ECC
FFC6 0660_H ～ FFC6 $13FF_H$	—	アクセス禁止領域
FFC6 1400_H ～ FFC6 $165F_H$	0	命令キャッシュタグ RAM ECC
FFC6 1660_H ～ FFC6 $1FFF_H$	—	アクセス禁止領域
FFC6 2000_H ～ FFC6 $200F_H$	0	コードフラッシュ アドレスパリティ
FFC6 2010_H ～ FFC6 $21FF_H$	—	アクセス禁止領域
FFC6 2200_H ～ FFC6 $235F_H$	0	コードフラッシュ ECC（VCI）

表 4.3　周辺 I/O アドレスマップ (2/5)

Address	Peripheral Group	Peripheral I/O
FFC6 2360_H ～ FFC6 $23FF_H$	—	アクセス禁止領域
FFC6 2400_H ～ FFC6 $255F_H$	0	コードフラッシュ ECC（CPU1）
FFC6 2560_H ～ FFC6 $29FF_H$	—	アクセス禁止領域
FFC6 $2A00_H$ ～ FFC6 $2A1F_H$	0	データフラッシュ ECC
FFC6 $2A20_H$ ～ FFC6 $3FFF_H$	—	アクセス禁止領域
FFC6 4000_H ～ FFC6 $465F_H$	0	グローバル RAM ECC
FFC6 4660_H ～ FFC6 $4FFF_H$	—	アクセス禁止領域
FFC6 5000_H ～ FFC6 $502F_H$	0	ローカル RAM ECC TEST
FFC6 5030_H ～ FFC6 $53FF_H$	—	アクセス禁止領域
FFC6 5400_H ～ FFC6 $541F_H$	0	ローカル RAM ECC
FFC6 5420_H ～ FFC6 $FFFF_H$	—	アクセス禁止領域
FFC7 0000_H ～ FFC7 $003F_H$	2	ECC CSIH0-3
FFC7 0040_H ～ FFC7 $0FFF_H$	—	アクセス禁止領域
FFC7 1000_H ～ FFC7 $105F_H$	2	ECC CAN
FFC7 1060_H ～ FFC7 $1FFF_H$	—	アクセス禁止領域
FFC7 2000_H ～ FFC7 $301F_H$	2	ECC FLXA
FFC7 3020_H ～ FFC7 $7FFF_H$	—	アクセス禁止領域
FFC7 8000_H ～ FFC7 $800F_H$	3	SELB_READTEST
FFC7 8010_H ～ FFC9 $FFFF_H$	—	アクセス禁止領域
FFCA 0000_H ～ FFCA $004F_H$	3	RIIC
FFCA 0050_H ～ FFCC $FFFF_H$	—	アクセス禁止領域
FFCD 0000_H ～ FFCD $00DF_H$	3	SCDS
FFCD $00E0_H$ ～ FFCD $FFFF_H$	—	アクセス禁止領域
FFCE 0000_H ～ FFCE $013F_H$	3	RLIN2
FFCE 0140_H ～ FFCE $1FFF_H$	—	アクセス禁止領域
FFCE 2000_H ～ FFCE $216F_H$	3	RLIN3
FFCE 2170_H ～ FFCF $FFFF_H$	—	アクセス禁止領域
FFD0 0000_H ～ FFD0 $19FF_H$	2	RSCAN0
FFD0 $1A00_H$ ～ FFD6 $CFFF_H$	—	アクセス禁止領域
FFD6 $D000_H$ ～ FFD6 $D51F_H$	2	ADCA1
FFD6 $D520_H$ ～ FFD6 $FFFF_H$	—	アクセス禁止領域
FFD7 0000_H ～ FFD7 $002F_H$	2	OSTM0
FFD7 0030_H ～ FFD7 $00FF_H$	—	アクセス禁止領域
FFD7 0100_H ～ FFD7 $012F_H$	2	OSTM1
FFD7 0130_H ～ FFD7 $01FF_H$	—	アクセス禁止領域
FFD7 0200_H ～ FFD7 $022F_H$	2	OSTM2
FFD7 0230_H ～ FFD7 $02FF_H$	—	アクセス禁止領域
FFD7 0300_H ～ FFD7 $032F_H$	2	OSTM3
FFD7 0330_H ～ FFD7 $03FF_H$	—	アクセス禁止領域
FFD7 0400_H ～ FFD7 $042F_H$	2	OSTM4
FFD7 0430_H ～ FFD7 $FFFF_H$	—	アクセス禁止領域
FFD8 0000_H ～ FFD8 $107F_H$	2	CSIH0
FFD8 1080_H ～ FFD8 $1FFF_H$	—	アクセス禁止領域
FFD8 2000_H ～ FFD8 $307F_H$	2	CSIH1

表 4.3　周辺 I/O アドレスマップ (3/5)

Address	Peripheral Group	Peripheral I/O
FFD8 3080_H ～ FFD8 $3FFF_H$	—	アクセス禁止領域
FFD8 4000_H ～ FFD8 $507F_H$	2	CSIH2
FFD8 5080_H ～ FFD8 $5FFF_H$	—	アクセス禁止領域
FFD8 6000_H ～ FFD8 $707F_H$	2	CSIH3
FFD8 7080_H ～ FFD8 $7FFF_H$	—	アクセス禁止領域
FFD8 8000_H ～ FFD8 $901F_H$	2	CSIG0
FFD8 9020_H ～ FFD8 $9FFF_H$	—	アクセス禁止領域
FFD8 $A000_H$ ～ FFD8 $B01F_H$	2	CSIG1
FFD8 $B020_H$ ～ FFDC $FFFF_H$	—	アクセス禁止領域
FFDD 0000_H ～ FFDD $00EF_H$	1	PIC
FFDD $00F0_H$ ～ FFE1 $FFFF_H$	—	アクセス禁止領域
FFE2 0000_H ～ FFE2 $029F_H$	1	TAUD
FFE2 $02A0_H$ ～ FFE2 $3FFF_H$	—	アクセス禁止領域
FFE2 4000_H ～ FFE2 $400F_H$	1	SELB_TAUD0
FFE2 4010_H ～ FFE2 $FFFF_H$	—	アクセス禁止領域
FFE3 0000_H ～ FFE3 $029F_H$	1	TAUB0
FFE3 $02A0_H$ ～ FFE3 $0FFF_H$	—	アクセス禁止領域
FFE3 1000_H ～ FFE3 $129F_H$	1	TAUB1
FFE3 $12A0_H$ ～ FFE4 $FFFF_H$	—	アクセス禁止領域
FFE5 0000_H ～ FFE5 $00AF_H$	1	TAUJ0
FFE5 $00B0_H$ ～ FFE5 $0FFF_H$	—	アクセス禁止領域
FFE5 1000_H ～ FFE5 $10AF_H$	1	TAUJ1
FFE5 $10B0_H$ ～ FFE5 $3FFF_H$	—	アクセス禁止領域
FFE5 4000_H ～ FFE5 $400F_H$	1	SELB_TAUJ0
FFE5 4010_H ～ FFE6 $FFFF_H$	—	アクセス禁止領域
FFE7 0000_H ～ FFE7 $00FF_H$	1	PWSA
FFE7 0100_H ～ FFE7 $0FFF_H$	—	アクセス禁止領域
FFE7 1000_H ～ FFE7 $27EF_H$	1	PWGA
FFE7 $27F0_H$ ～ FFE7 $27FF_H$	—	アクセス禁止領域
FFE7 2800_H ～ FFE7 $281F_H$	1	PWBA
FFE7 2820_H ～ FFE7 $2FFF_H$	—	アクセス禁止領域
FFE7 3000_H ～ FFE7 $300F_H$	1	SLPWGA
FFE7 3010_H ～ FFE7 $7FFF_H$	—	アクセス禁止領域
FFE7 8000_H ～ FFE7 $807F_H$	1	RTCA
FFE7 8080_H ～ FFE7 $FFFF_H$	—	アクセス禁止領域
FFE8 0000_H ～ FFE8 $004F_H$	1	ENCA0
FFE8 0050_H ～ FFE8 $FFFF_H$	—	アクセス禁止領域
FFE9 0000_H ～ FFE9 $002F_H$	1	TAPA0
FFE9 0030_H ～ FFEC $FFFF_H$	—	アクセス禁止領域
FFED 0000_H ～ FFED $000F_H$	1	WDTA0
FFED 0010_H ～ FFED $0FFF_H$	—	アクセス禁止領域
FFED 1000_H ～ FFED $100F_H$	1	WDTA1
FFED 1010_H ～ FFF1 $FFFF_H$	—	アクセス禁止領域
FFF2 0000_H ～ FFF2 $051F_H$	3	ADCA0

表 4.3　周辺 I/O アドレスマップ (4/5)

Address	Peripheral Group	Peripheral I/O
FFF2 0520$_H$ ～ FFF6 FFFF$_H$	—	アクセス禁止領域
FFF7 0000$_H$ ～ FFF7 002F$_H$	3	DCRA0
FFF7 0030$_H$ ～ FFF7 0FFF$_H$	—	アクセス禁止領域
FFF7 1000$_H$ ～ FFF7 102F$_H$	3	DCRA1
FFF7 1030$_H$ ～ FFF7 1FFF$_H$	—	アクセス禁止領域
FFF7 2000$_H$ ～ FFF7 202F$_H$	3	DCRA2
FFF7 2030$_H$ ～ FFF7 2FFF$_H$	—	アクセス禁止領域
FFF7 3000$_H$ ～ FFF7 302F$_H$	3	DCRA3
FFF7 3030$_H$ ～ FFF7 7FFF$_H$	—	アクセス禁止領域
FFF7 8000$_H$ ～ FFF7 800F$_H$	3	KR
FFF7 8010$_H$ ～ FFF7 FFFF$_H$	—	アクセス禁止領域
FFF8 0000$_H$ ～ FFF8 000F$_H$	5	書き込み保護レジスタ
FFF8 0010$_H$ ～ FFF8 00FF$_H$	—	アクセス禁止領域
FFF8 0100$_H$ ～ FFF8 011F$_H$	5	STBC
FFF8 0120$_H$ ～ FFF8 03FF$_H$	—	アクセス禁止領域
FFF8 0400$_H$ ～ FFF8 040F$_H$	5	STBC（WUF0）
FFF8 0410$_H$ ～ FFF8 051F$_H$	—	アクセス禁止領域
FFF8 0520$_H$ ～ FFF8 052F$_H$	5	STBC（WUF20）
FFF8 0530$_H$ ～ FFF8 075F$_H$	—	アクセス禁止領域
FFF8 0760$_H$ ～ FFF8 0A0F$_H$	5	リセットコントローラ / 電源電圧モニタ（LVI、VLVI）
FFF8 0A10$_H$ ～ FFF8 0AFF$_H$	—	アクセス禁止領域
FFF8 0B00$_H$ ～ FFF8 0B0F$_H$	5	STBC（IOHOLD）
FFF8 0B10$_H$ ～ FFF8 0FFF$_H$	—	アクセス禁止領域
FFF8 1000$_H$ ～ FFF8 271F$_H$	5	クロックコントローラ
FFF8 2720$_H$ ～ FFF8 27FF$_H$	—	アクセス禁止領域
FFF8 2800$_H$ ～ FFF8 280F$_H$	5	FOUT
FFF8 2810$_H$ ～ FFF8 2FFF$_H$	—	アクセス禁止領域
FFF8 3000$_H$ ～ FFF8 304F$_H$	5	LPS
FFF8 3050$_H$ ～ FFF8 30FF$_H$	—	アクセス禁止領域
FFF8 3100$_H$ ～ FFF8 311F$_H$	5	電源電圧モニタ（CVM）
FFF8 3120$_H$ ～ FFF8 31FF$_H$	—	アクセス禁止領域
FFF8 3200$_H$ ～ FFF8 320F$_H$	5	書き込み保護レジスタ
FFF8 3210$_H$ ～ FFF8 7FFF$_H$	—	アクセス禁止領域
FFF8 8000$_H$ ～ FFF8 800F$_H$	5	書き込み保護レジスタ
FFF8 8010$_H$ ～ FFF8 810F$_H$	—	アクセス禁止領域
FFF8 8110$_H$ ～ FFF8 811F$_H$	5	STBC（WUFISO）
FFF8 8120$_H$ ～ FFF8 8FFF$_H$	—	アクセス禁止領域
FFF8 9000$_H$ ～ FFF8 AC0F$_H$	5	クロックコントローラ
FFF8 AC10$_H$ ～ FFF8 BFFF$_H$	—	アクセス禁止領域
FFF8 C000$_H$ ～ FFF8 C01F$_H$	5	CLMA0
FFF8 C020$_H$ ～ FFF8 C0FF$_H$	—	アクセス禁止領域
FFF8 C100$_H$ ～ FFF8 C10F$_H$	5	CLMATEST
FFF8 C110$_H$ ～ FFF8 C1FF$_H$	—	アクセス禁止領域

表 4.3　周辺 I/O アドレスマップ (5/5)

Address	Peripheral Group	Peripheral I/O
FFF8 $C200_H$ ～ FFF8 $C20F_H$	5	書き込み保護レジスタ
FFF8 $C210_H$ ～ FFF8 $CFFF_H$	—	アクセス禁止領域
FFF8 $D000_H$ ～ FFF8 $D01F_H$	5	CLMA1
FFF8 $D020_H$ ～ FFF8 $DFFF_H$	—	アクセス禁止領域
FFF8 $E000_H$ ～ FFF8 $E01F_H$	5	CLMA2
FFF8 $E020_H$ ～ FFFE $DFFF_H$	—	アクセス禁止領域
FFFE $E000_H$ ～ FFFE $E5FF_H$	—	アクセス禁止領域
FFFE $E600_H$ ～ FFFE $E6BF_H$	セルフ	PEG
FFFE $E6C0_H$ ～ FFFE $E97F_H$	—	アクセス禁止領域
FFFE $E980_H$ ～ FFFE $E98F_H$	セルフ	SEG
FFFE $E990_H$ ～ FFFE $E9FF_H$	—	アクセス禁止領域
FFFE $EA00_H$ ～ FFFE $EB7F_H$	セルフ	INTC1
FFFE $EB80_H$ ～ FFFF $4FFF_H$	—	アクセス禁止領域
FFFF 5000_H ～ FFFF $7FFF_H$	—	アクセス禁止領域
FFFF 8000_H ～ FFFF $8BFF_H$	0	DMA
FFFF $8C00_H$ ～ FFFF $AFFF_H$	—	アクセス禁止領域
FFFF $B000_H$ ～ FFFF $BD7F_H$	0	INTC2
FFFF $BD80_H$ ～ FFFF $FFFF_H$	—	アクセス禁止領域

第 5 章　書き込み保護レジスタ

本章では、書き込み保護レジスタ全般について説明します。

最初の節では書き込み保護レジスタの機能について説明し、それ以降の節でレジスタについて説明します。

5.1　概要

5.1.1　機能概要

RH850/F1M では、クロックやリセット、ポート関連レジスタ等、システムに影響する重要なレジスタの設定では、書き込み保護レジスタによる特別な手順が必要です。保護対象となるレジスタの設定は特別な手順を必要とすることにより、プログラムの不正動作による書き込みから保護されます。保護対象のレジスタは、**「5.1.5　書き込み保護対象レジスタ」**を参照してください。書き込み保護レジスタは保護対象レジスタを、レジスタ保護クラスタと呼ばれる単位で管理します。

5.1.2　書き込み保護されたレジスタへの書き込み手順

書き込み保護されたレジスタへの書き込みは、以下の保護解除手順を用いることによって可能となります。

1. 保護コマンドレジスタに固定値 0000 00A5$_H$ を書き込む。
2. 保護されているレジスタに任意の値を書き込む。
3. 保護されているレジスタに任意の値のビット反転値を書き込む。
4. 保護されているレジスタに任意の値を書き込む。
5. 保護レジスタに任意の値が書き込まれたことを確認する。
   保護ステータスレジスタ内のエラーモニタビットが “0” であることを確認することによって、保護されているレジスタに対する任意の値の書き込みが成功したことを確認します。
   書き込みが成功しなかった場合、すなわちエラーモニタビットが “1” であった場合、シーケンス全体をステップ 1 から繰り返す必要があります。

上記の書き込み保護レジスタ（第一レジスタ）の書き込みシーケンスのステップ 1 からステップ 4 までの間に別のレジスタ（第二レジスタ）へのアクセスが行われた場合、保護メカニズムは以下のように働きます。

- 第二のレジスタが同じクラスタに属している場合、保護されているレジスタへの書き込みは失敗します（エラーモニタビットが “1” にセットされます）。シーケンス全体をステップ 1 から繰り返す必要があります。
- 第二のレジスタが同じクラスタに属していない場合、保護解除のシーケンスは中断されず、第一のレジスタへの書き込みは成功し、完了します。

5.1.3 書き込み保護解除中の割り込み

保護解除シーケンス中に割り込みが発生した場合、保護メカニズムは以下のように働きます。

(1) 保護解除シーケンス中に割り込みが受け付けられ、同じクラスタのレジスタにライトアクセスした場合

保護解除シーケンスは中断されるため、割り込みサービスルーチンから復帰後、保護されているレジスタへの書き込みを完了することができません。**図 5.1** に実行例を示します。

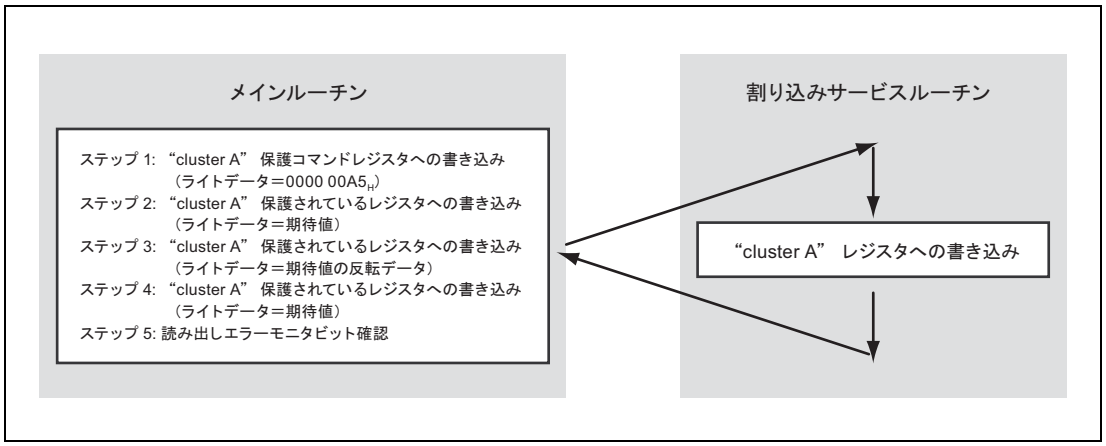


図 5.1 レジスタ保護解除手順の中断例

(2) 保護解除シーケンス中に割り込みが受け付けられ、別のクラスタのレジスタにライトアクセスした場合

保護解除シーケンスは中断されず、割り込みサービスルーチンから復帰後、保護されているレジスタへの書き込みを完了することができます。**図 5.2** に実行例を示します。

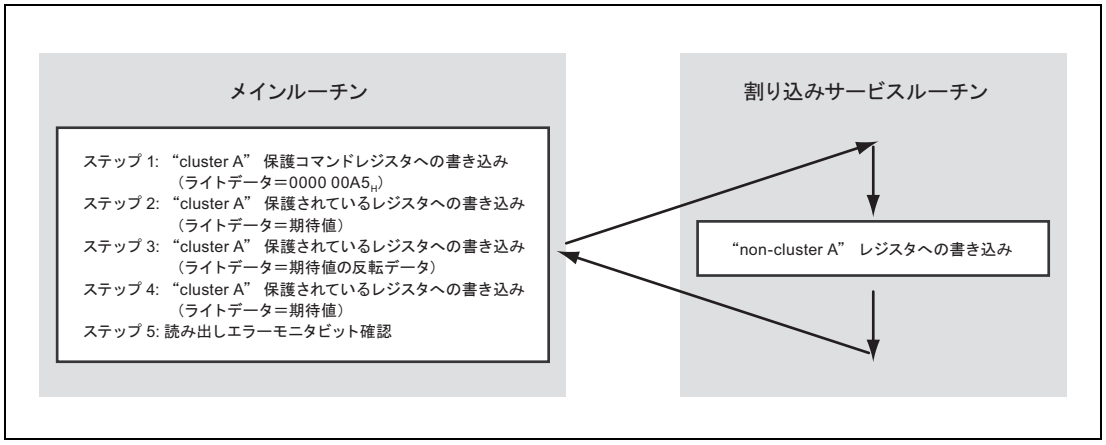


図 5.2 保護解除手順の成功例

RH850/F1M のレジスタ保護クラスタのレジスタについては、**「5.1.5 書き込み保護対象レジスタ」**を参照してください。

5.1.4 書き込み保護解除中のエミュレーションブレーク

保護解除シーケンス中にエミュレーションブレークが発生した場合（たとえば、ブレークポイントヒットのために）レジスタ保護は正常動作が再開されるまで中断されます。同じクラスタの任意のレジスタがブレーク中にアクセスされたとしても、保護解除シーケンスは中断されず、エラーモニタビットは“1”にセットされません。

5.1.5 書き込み保護対象レジスタ

書き込み保護制御レジスタにより保護されるレジスタを以下に示します。

表 5.1　書き込み保護対象レジスタ (1/2)

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
クロックコントローラ	MOSCE	PROTCMD0	PROTS0	コントロール保護クラスタ 0
	ROSCE			
	SOSCE			
	CKSC_AWDTAD_CTL			
	CKSC_ATAUJS_CTL			
	CKSC_ATAUJD_CTL			
	CKSC_ARTCAS_CTL			
	CKSC_ARTCAD_CTL			
	CKSC_AADCAS_CTL			
	CKSC_AADCAD_CTL			
	CKSC_AFOUTS_CTL			
スタンバイ機能	STBC0PSC			
	STBC0STPT			
	IOHOLD			
リセット機能	LVICNT			
	SWRESA			
クロックコントローラ	PLL0E	PROTCMD1	PROTS1	コントロール保護クラスタ 1
	PLL1E			
	CKSC_CPUCLKS_CTL			
	CKSC_CPUCLKD_CTL			
	CKSC_IPERI1S_CTL			
	CKSC_IPERI2S_CTL			
	CKSC_ILINS_CTL			
	CKSC_IADCAS_CTL			
	CKSC_IADCAD_CTL			
	CKSC_ILIND_CTL			
	CKSC_ICANS_CTL			
	CKSC_ICANOSCD_CTL			
	CKSC_ICSIS_CTL			
	CKSC_IIICS_CTL			

表 5.1　書き込み保護対象レジスタ (2/2)

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
クロックモニタ	CLMA0CTL0	CLMA0PCMD	CLMA0PS	クロックモニタコントロール保護クラスタ 0
	CLMA1CTL0	CLMA1PCMD	CLMA1PS	クロックモニタコントロール保護クラスタ 1
	CLMA2CTL0	CLMA2PCMD	CLMA2PS	クロックモニタコントロール保護クラスタ 2
	CLMATEST	PROTCMDCLMA	PROTSCLMA	クロックモニタテスト保護クラスタ
ポート注 1	JPODC0 注 2	JPPCMD0	JPPROTS0	ポート保護クラスタ 0
	PODC0 注 2	PPCMD0	PPROTS0	
	PODC1 注 2	PPCMD1	PPROTS1	
	PODC2 注 2	PPCMD2	PPROTS2	
	PODC3 注 2	PPCMD3	PPROTS3	
	PODC8 注 2	PPCMD8	PPROTS8	
	PDSC0 注 2	PPCMD0	PPROTS0	
	PODC9	PPCMD9	PPROTS9	ポート保護クラスタ 1
	PODC10	PPCMD10	PPROTS10	
	PODC11	PPCMD11	PPROTS11	
	PODC12	PPCMD12	PPROTS12	
	PODC13	PPCMD13	PPROTS13	
	PODC18	PPCMD18	PPROTS18	
	PODC19	PPCMD19	PPROTS19	
	PODC20	PPCMD20	PPROTS20	
	PDSC10	PPCMD10	PPROTS10	
	PDSC11	PPCMD11	PPROTS11	
	PDSC12	PPCMD12	PPROTS12	
	PDSC13	PPCMD13	PPROTS13	
	PDSC18	PPCMD18	PPROTS18	
	PDSC20	PPCMD20	PPROTS20	
コア電圧モニタ	CVMF	PROTCMDCVM	PROTSCVM	コア電圧モニタ保護クラスタ
	CVMDIAG			
セルフプログラミング機能	FLMDCNT	FLMDPCMD	FLMDPS	セルフプログラミング保護クラスタ

注 1.　各ポートグループはそれぞれ独自の保護コマンドレジスタとステータスレジスタを持っています。詳細については、次頁の「**(1)　ポート保護クラスタ**」を参照してください。

注 2.　DeepSTOP から復帰後 (RESF.RESF10=1) にポート保護クラスタ 0 の PODCn (n = 0,1,2,3,8), JPODC0,PDSC0 レジスタにライトする時は、以下の手順を実施してください。

1. 保護コマンドレジスタ PPCMD0 へ $0000\ 0000_H$ を 2 回ライト
2. 「**5.1.2　書き込み保護されたレジスタへの書き込み手順**」

保護ステータスレジスタ PROTS0 による書き込みシーケンス保護エラーの確認は、2. の手順内で実施してください。1. の時点では書き込みシーケンス保護エラーが発生します。

(1) ポート保護クラスタ

以下のポートコントロールレジスタは書き込み保護機能を持っています。

- ポートオープンドレインコントロールレジスタ（PODCn、JPODC0）
- ポートドライブコントロールレジスタ（PDSCn）

書き込み保護されたポートレジスタは以下の表に示されるように 2 つのポート保護クラスタに分割されます。

表 5.2　ポート保護クラスタ

ポート保護クラスタ	ポートグループ
0	JP0, P0, P1, P2, P3, P8
1	P9, P10, P11, P12, P13, P18, P19, P20

備　考

各ポートグループ n は、それぞれ固有のポート保護コマンドレジスタ PPCMDn とポート保護ステータスレジスタ PPROTSn を持っています。

しかし、同じポート保護クラスタの任意のポート保護コマンドレジスタを、保護解除シーケンスの中で使用することができます。例えば、PPCMD1 は PODC2 の保護を解除するのに使用できます。

5.2 レジスタ

5.2.1 レジスター覧

書き込み保護制御レジスタのレジスター覧を以下にします。

表 5.3 書き込み保護制御レジスター覧 (1/2)

レジスタ名	略号	アドレス
コントロール保護クラスタ：		
保護コマンドレジスタ 0	PROTCMD0	FFF8 0000_H
保護コマンドレジスタ 1	PROTCMD1	FFF8 8000_H
保護ステータスレジスタ 0	PROTS0	FFF8 0004_H
保護ステータスレジスタ 1	PROTS1	FFF8 8004_H
クロックモニタコントロールおよびテスト保護クラスタ：		
保護コマンドレジスタ 0	CLMA0PCMD	FFF8 $C010_H$
保護コマンドレジスタ 1	CLMA1PCMD	FFF8 $D010_H$
保護コマンドレジスタ 2	CLMA2PCMD	FFF8 $E010_H$
保護ステータスレジスタ 0	CLMA0PS	FFF8 $C014_H$
保護ステータスレジスタ 1	CLMA1PS	FFF8 $D014_H$
保護ステータスレジスタ 2	CLMA2PS	FFF8 $E014_H$
保護コマンドレジスタ	PROTCMDCLMA	FFF8 $C200_H$
保護ステータスレジスタ	PROTSCLMA	FFF8 $C204_H$
ポート保護クラスタ 0：		
保護コマンドレジスタ	JPPCMD0	FFC2 $04C0_H$
	PPCMD0	FFC1 $4C00_H$
	PPCMD1	FFC1 $4C04_H$
	PPCMD2	FFC1 $4C08_H$
	PPCMD3	FFC1 $4C0C_H$
	PPCMD8	FFC1 $4C20_H$
保護ステータスレジスタ	JPPROTS0	FFC2 $04B0_H$
	PPROTS0	FFC1 $4B00_H$
	PPROTS1	FFC1 $4B04_H$
	PPROTS2	FFC1 $4B08_H$
	PPROTS3	FFC1 $4B0C_H$
	PPROTS8	FFC1 $4B20_H$
ポート保護クラスタ 1：		
保護コマンドレジスタ	PPCMD9	FFC1 $4C24_H$
	PPCMD10	FFC1 $4C28_H$
	PPCMD11	FFC1 $4C2C_H$
	PPCMD12	FFC1 $4C30_H$
	PPCMD13	FFC1 $4C34_H$
	PPCMD18	FFC1 $4C48_H$
	PPCMD19	FFC1 $4C4C_H$
	PPCMD20	FFC1 $4C50_H$

表 5.3　書き込み保護制御レジスター覧 (2/2)

レジスタ名	略号	アドレス
保護ステータスレジスタ	PPROTS9	FFC1 4B24$_H$
	PPROTS10	FFC1 4B28$_H$
	PPROTS11	FFC1 4B2C$_H$
	PPROTS12	FFC1 4B30$_H$
	PPROTS13	FFC1 4B34$_H$
	PPROTS18	FFC1 4B48$_H$
	PPROTS19	FFC1 4B4C$_H$
	PPROTS20	FFC1 4B50$_H$
コア電圧モニタ保護クラスタ：		
保護コマンドレジスタ	PROTCMDCVM	FFF8 3200$_H$
保護ステータスレジスタ	PROTSCVM	FFF8 3204$_H$
セルフプログラミング保護クラスタ：		
保護コマンドレジスタ	FLMDPCMD	FFA0 0004$_H$
保護エラーステータスレジスタ	FLMDPS	FFA0 0008$_H$

5.2.2 コントロール保護クラスタレジスタの詳細

5.2.2.1 PROTCMDn — 保護コマンドレジスタ

このレジスタは書き込み保護されたレジスタに対して書き込み保護解除シーケンスを開始するために使用されます。

インデクス n

インデクス “n” は保護コマンドレジスタの番号を示します。詳細は**「表 5.1　書き込み保護対象レジスタ」**を参照してください。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　XXXX XX00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMDn[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.4　PROTCMDn レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合は “0” を書いてください。
7 ～ 0	PCMDn[7:0]	コントロール保護クラスタの保護対象レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.2.2 PROTSn — 保護ステータスレジスタ

このレジスタは PROTCMDn によって実行される保護解除シーケンスの状態を表示します。

インデクス n

インデクス “n” は保護コマンドレジスタの番号を示します。詳細は**「表 5.1　書き込み保護対象レジスタ」**を参照してください。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　$0000\ 0000_H$　DeepSTOP から復帰後（RESF.RESF10=1) は、$XXXX\ XXXX_H$ (n = 0)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTSnERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.5　PROTSn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	PROTSnERR	書き込みシーケンス保護エラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

5.2.3 クロックモニタ保護クラスタレジスタの詳細

5.2.3.1 CLMAnPCMD — CLMAn 保護コマンドレジスタ

このレジスタは CLMAnCTL0 レジスタに対する保護コマンドレジスタです。

インデクス n

インデクス “n” は保護コマンドレジスタの番号を示します。詳細は**「表 5.1　書き込み保護対象レジスタ」**を参照してください。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	CLMAnREG[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 5.6　CLMAnPCMD レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	CLMAnREG[7:0]	CLMAnCTL0 レジスタへの書き込みを可能にする保護コマンドレジスタビット

5.2.3.2 CLMAnPS — CLMAn 保護ステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（CLMAnCTL0）が書き込みに成功したかどうかを確認するために用いられます。

インデクス n

インデクス “n” は保護コマンドレジスタの番号を示します。詳細は**「表 5.1　書き込み保護対象レジスタ」**を参照してください。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 5.7　CLMAnPS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	CLMAnPRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

5.2.3.3 PROTCMDCLMA — クロックモニタテスト保護コマンドレジスタ

このレジスタは CLMATEST レジスタに対する保護コマンドレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

アドレス **「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値 XXXX XX00_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CLMATREG[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.8　PROTCMDCLMA レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合は “0” を書いてください。
7 ～ 0	CLMATREG[7:0]	CLMATEST レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.3.4 PROTSCLMA — クロックモニタテスト保護ステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（CLMATEST）が書き込みに成功したかどうかを確認するために用いられます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLMAT PRERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.9　PROTSCLMA レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	CLMATPRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

5.2.4 コア電圧モニタレジスタの詳細

5.2.4.1 PROTCMDCVM — コア電圧モニタ保護コマンドレジスタ

このレジスタは CVMF、CVMDIAG レジスタに対する保護コマンドレジスタです。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　XXXX XX00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CVMFREG[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.10　PROTCMDCVM レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合は “0” を書いてください。
7 ～ 0	CVMFREG[7:0]	CVMF、CVMDIAG レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.4.2 PROTSCVM — コア電圧モニタ保護ステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（CVMF、CVMDIAG）が書き込みに成功したかどうかを確認するために用いられます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CVMFP RERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.11　PROTSCVM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	CVMFPRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

5.2.5 ポート保護クラスタレジスタの詳細

5.2.5.1 PPCMDn — ポート保護コマンドレジスタ

PPCMDn はポートグループ n に対する保護コマンドレジスタです。

インデクス n

インデクス “n” は保護コマンドレジスタの番号を示します。詳細は**「表 5.1　書き込み保護対象レジスタ」**を参照してください。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　XXXX $XX00_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PPCMDn[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

備　考

ポートグループ JP0 の保護コマンドレジスタは JPPCMD0 であり、そのビットは JPPCMD[7:0] です。

表 5.12　PPCMDn レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合は “0” を書いてください。
7 ～ 0	PPCMDn[7:0]	ポート保護クラスタレジスタへの書き込みを可能にする保護コマンドレジスタビット

5.2.5.2 PPROTSn — ポート保護ステータスレジスタ

PPROTSn はポートグループ n の書き込み保護されたレジスタの保護ステータスレジスタです。PPCMDn によって開始された保護シーケンスの状態を表示します。

インデクス n

インデクス “n” は保護コマンドレジスタの番号を示します。詳細は**「表 5.1　書き込み保護対象レジスタ」**を参照してください。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPROTSnPRERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

備　考

ポートグループ JP0 の保護ステータスレジスタは JPPROTS0 であり、そのビットが JPPROTS0PRERR です。

表 5.13　PPROTSn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	PPROTSn PRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

5.2.6 セルフプログラミング保護クラスタレジスタの詳細

5.2.6.1 FLMDPCMD — FLMD 保護コマンドレジスタ

FLMDPCMD は FLMDCNT レジスタの保護コマンドレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

アドレス **「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値 XXXX XX00_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FLMDPC[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.14　FLMDPCMD レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合は “0” を書いてください。
7 ～ 0	FLMDPC[7:0]	FLMDCNT レジスタへの書き込みを可能にする保護コマンドレジスタビット

5.2.6.2 FLMDPS — FLMD 保護エラーステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（FLMDCNT）が書き込みに成功したかどうかを確認するために用いられます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　**「表 5.3　書き込み保護制御レジスター覧」**を参照してください。

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLMDP RERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.15　FLMDPS レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	FLMDPRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

第 6 章　動作モード

RH850/F1M の動作モードとモードの選択方法について説明します。

RH850/F1M には、次の動作モードがあります。

- 通常動作モード

  ユーザプログラム実行用のモードです。オンチップデバッグ機能を使用する場合も、このモードになります。本動作モード中に、FLMD0 をハイにプルアップすることによって、セルフプログラミングによるコードフラッシュメモリへの書き換えも可能です。

- シリアルプログラミングモード

  専用フラッシュメモリプログラマによりフラッシュメモリへの消去／書き込み操作が可能になります。

- バウンダリスキャンモード

  IEEE Standard 1149.1 にしたがってバウンダリスキャンテストを行います。

外部リセットおよびパワーオンクリアリセット発生時の FLMD0、FLMD1、MODE0、MODE1 端子の状態によりリセット解除後の動作モードを決定します。動作モードはこれらのリセット要因の解除により固定されます。各端子状態と動作モードの関係を、**表 6.1** に示します。

表 6.1　動作モードの選択

端子				動作モード
FLMD0	FLMD1（P10_8）	MODE0（P10_1）	MODE1（P10_2）	
0	x	x	x	通常動作モード
1	0	x	x	シリアルプログラミングモード
1	1	0	1	バウンダリスキャンモード
上記以外				設定禁止

注　意

動作モードを変更するには、パワーオンクリアリセットから再起動してください。（電源を一度切り、再度入れてください。）外部リセットによる場合は、一部の機能はモード遷移後に初期化されません。外部リセットでの初期化できない機能については、「**9.1.1　リセット要因**」を参照してください。

第 7 章　例外／割り込み

7.1　特長

実行中のプログラムから別のプログラムへの分岐動作を発生するイベントを例外と呼びます。このマイクロコントローラでは次の例外をサポートしています。

例外についての詳細は、「*RH850G3M ユーザーズマニュアル ソフトウェア編*」を参照してください。

表 7.1　例外要因一覧

名称	略号	発生要因	優先レベル	退避先
リセット	RESET	リセット入力	高	—
FE レベルノンマスカブル割り込み注 1	FENMI	FENMI 入力	↑	FE
システムエラー例外	SYSERR	SYSERR 入力		FE
FE レベルマスカブル割り込み注 1	FEINT	FEINT 入力		FE
浮動小数点演算例外（インプレサイス）	FPI	FPU 命令の実行		EI
EI レベルマスカブル割り込み注 1	EIINT	割り込みコントローラ		EI
メモリ保護例外（実行権）	MIP	メモリ保護違反		FE
システムエラー例外	SYSERR	命令フェッチ時のエラー入力		FE
予約命令例外	RIE	予約命令の実行		FE
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令の実行 / アクセス権限違反		FE
特権命令例外	PIE	特権命令の実行		FE
ミスアライン例外	MAE	ミスアラインアクセスの発生		FE
メモリ保護例外（アクセス権）	MDP	メモリ保護違反		FE
浮動小数点演算例外（プレサイス）	FPP	FPU 命令の実行		EI
システムコール	SYSCALL	SYSCALL 命令の実行		EI
FE レベルトラップ	FETRAP	FETRAP 命令の実行		FE
EI レベルトラップ 0	TRAP0	TRAP 命令の実行	↓	EI
EI レベルトラップ 1	TRAP1	TRAP 命令の実行	低	EI

注 1.　これらの割り込み例外の説明はこの章でします。

(1) 割り込み要因

表 7.1 のうち、次の 3 種の例外を割り込みと呼び、この章ではこれらについて説明します。

- FE レベルノンマスカブル割り込み（FENMI）
  FENMI 割り込みは、ほかの FE レベルの割り込み（FEINT）が発生していても受け付け可能な割り込みです。
  - CPU システムレジスタ PSW.NP = 1 の場合でも FENMI 割り込みは、受け付け可能です。
  - FENMI 割り込みからの復帰はできません。回復もできません。
- FE レベルマスカブル割り込み（FEINT）
  - FEINT 割り込みは、CPU システムレジスタ PSW.NP = 0 の場合、受け付け可能です。PSW.NP = 1 の場合、FEINT 割り込みはマスクされます。
  - FEINT 割り込みからの復帰／回復可能
- EI レベルマスカブル割り込み（EIINT）
  EIINT 割り込みは、FE レベルの割り込み（FENMI, FEINT）が発生していなければ受け付け可能な割り込みです。
  - EIINT 割り込みは、CPU システムレジスタ PSW.NP = 0 の場合、受け付け可能です。PSW.NP = 1 の場合、優先度の高い EIINT 割り込みが処理されてる場合、または、PSW.ID = 1 の場合、EIINT 割り込みはマスクされます。
  - EIINT 割り込みからの復帰／回復可能
  - 各割り込みチャネルごとに割り込みマスクを指定可能
  - 各割り込みチャネルごとに 16 レベルの割り込み優先度を指定可能
  - 本章では割り込みチャネル n に対応する EIINT を INTn と表記し、割り込み要因 xxx に対応する EIINT を INTxxx と表記します。

  PSW レジスタについては、**「表 3.10　PSW レジスタの内容」**、または「*RH850G3M ユーザーズマニュアル ソフトウェア編*」を参照してください。

備　考

復帰：元のプログラムの中断した位置から再実行再開が可能／不可能であることを示します。

回復：元のプログラムを中断した時点のプロセッサ状態（汎用レジスタ、システムレジスタなどのプロセッサ資源の状態）への回復が可能／不可能であることを示します。

これらの割り込み要因について**「7.2　RH850/F1M 割り込み要因」**に説明します。

(2) 割り込みの概要

- 割り込み優先順位を設定可能
  割り込み制御レジスタにより、マスカブル割り込みの優先順位を要求別に 16 レベルで設定することができます。
- 外部割り込み（TNMI/INTPm) のセンス方法
  外部割込み (TNMI と INTPm) は、立ち上がり、立ち下がり、両エッジ、ロウレベル、ハイレベルの 5 種類から選択可能です。
- 2 種類の割り込みハンドラアドレス指定
  レジスタ設定により、直接分岐方式とテーブル参照方式から選択可能です。

7.2 RH850/F1M 割り込み要因

7.2.1 割り込み要因

7.2.1.1 FE レベルノンマスカブル割り込み

(1) 優先順位

「表 7.1　例外要因一覧」を参照してください。

(2) 復帰 PC

FE ノンマスカブル割り込みは、復帰も回復もできません。

(3) ステータスレジスタ

「7.4.4　FNC — FE レベル NMI ステータスレジスタ」参照

(4) 復帰命令

なし

表 7.2　FE レベルノンマスカブル割り込み要求

割り込み			割り込み要求		発生ユニット	優先順位	例外要因コード	ハンドラアドレス 00000...
略号	制御レジスタ		名称	発生要因				
	名称	アドレス						
FENMI	FNC	FFFE EA78$_H$	TNMI	NMI 端子	端子	注 1	0E0$_H$	0E0$_H$
			WDTA0NMI	WDTA0 FENMI 割り込み	WDTA0			
			WDTA1NMI	WDTA1 FENMI 割り込み	WDTA1			

注 1.　**「表 7.1　例外要因一覧」**を参照してください

FENMI 割り込みの発生要因は、専用のフラグレジスタで調べることができます。詳細は**「7.2.2　FE レベルノンマスカブル割り込み要因」**を参照してください。

7.2.1.2 FE レベルマスカブル割り込み

(1) 優先順位

「表 7.1 例外要因一覧」を参照してください。

(2) 復帰 PC

FERET 命令による割り込み処理ルーチンからの復帰 PC は、プログラムが中断された PC（カレント PC）となります。

(3) ステータスレジスタ

「7.4.5 FIC — FE レベルマスカブル割り込みステータスレジスタ」参照

(4) 復帰命令

FERET

表 7.3 FE レベルマスカブル割り込み要求

割り込み			割り込み要求		発生ユニット	優先順位	例外要因コード	ハンドラアドレス 00000...
略号	制御レジスタ		名称	発生要因				
	名称	アドレス						
FEINT	FIC	FFFE EA7A$_H$	INTLVIL	LVI 電圧検出（立ち下がり）	LVI	注 1	0F0$_H$	0F0$_H$
			INTECCDEEP0	データフラッシュ ECC2 ビットエラー割り込み	データフラッシュ			
			INTECCDFLRAM	FLXA0 ECC 2 ビットエラー 割り込み	FLXA0			
			INTECCDCNRAM0	RS-CAN ECC2 ビットエラー割り込み	RSCAN0 (ch0-5)			
			INTECCDCSIH0	CSIH0 ECC2 ビットエラー割り込み	CSIH0			
			INTECCDCSIH1	CSIH1 ECC2 ビットエラー割り込み	CSIH1			
			INTECCDCSIH2	CSIH2 ECC2 ビットエラー割り込み	CSIH2			
			INTECCDCSIH3	CSIH3 ECC2 ビットエラー割り込み	CSIH3			
			INTECCSCFLI0	コードフラッシュ ECC1 ビットエラー訂正割り込み	コードフラッシュ			
			INTECCRAM	RAM ECC1 ビットエラー割り込み	RAM 注 5			
			INTOSTM0_FE 注 2	OSTM0 割り込み	OSTM0 注 3, 注 4			
			INTLVIH	LVI 電圧検出（立ち上がり）	LVI			
			INTGUARD	ガードエラー検出注 6	CPU			
			INTOSTM1_FE	OSTM1 割り込み	OSTM1			
			INTOSTM2_FE	OSTM2 割り込み	OSTM2			
			INTOSTM3_FE	OSTM3 割り込み	OSTM3			
			INTOSTM4_FE	OSTM4 割り込み	OSTM4			

注 1. **「表 7.1 例外要因一覧」**を参照してください。
注 2. INTOSTM0 は、EIINT もアサインされており、同時に使用することは禁止です。
INTOSTM0 を FEINT で使用した場合、OSTM0 で TSU（Timing Supervision Unit）機能として実現できます。
注 3. OSTM0 を TSU 機能として使用する場合、FEINT を使用してください。
注 4. OSTM0 を TSU 機能以外として使用する場合、EIINT を使用してください。
注 5. RAM は、以下の RAM を指し、論理和で集約されています。
ローカル RAM(CPU1)、リテンション RAM、キャッシュ RAM、キャッシュ TAG RAM
注 6. 以下のエラーの論理和です。
PEG エラー、GRG エラー
- タイミング監視（TSU）
信頼済みでないプログラムの不当な CPU 時間占有を防ぐことや、資産管理、割り込み禁止の時間の管理を行えます。

7.2.1.3 EI レベルマスカブル割り込み

(1) 割り込み名称規則

割り込み要求名、割り込み要求を制御する制御レジスタおよびビットは次のような規則になっています。

以下、特定の割り込み要求名を ***<name>*** で表します。
IC<***name***> 用の名称の詳細に関しては、**表 7.4** を参照してください。

- 割り込み要求名：**INT*<name>***
  接頭語「**INT**」は、***<name>*** の前に付きます。
- 割り込み制御レジスタ：**IC*<name>***
  接頭語「**IC**」は、***<name>*** の前に付きます。
  16 ビットの **IC*<name>*** レジスタは、バイト単位でアクセスすることもできます。
  - **IC*<name>*** レジスタの下位バイト（ビット［7:0］）：**IC*<name>*L**
    接尾語「**L**」は、レジスタ名 **IC*<name>*** の後に追加されます。
  - **IC*<name>*** レジスタの上位バイト（ビット［15:8］）：**IC**<***name***>**H**
    接尾語「**H**」は、レジスタ名 **IC*<name>*** の後に追加されます。
- 割り込み制御レジスタのビット名：**CT*<name>***、**RF*<name>***、**MK*<name>***、**TB*<name>***、**P3*<name>***、**P2*<name>***、**P1*<name>***、**P0*<name>***
  ビット接頭語「**CT**」、「**RF**」、「**MK**」、「**TB**」、「**P3**」、「**P2**」、「**P1**」、「**P0**」は、割り込み <***name***> の前に追加されます。

例

TAUD0 のチャネル 2 の割り込み要求（***<name>*** = *TAUD0I2*）の場合次のような名前になります。

INT*TAUD0I2*

関係する割り込み制御レジスタの名前は次のようになります。

IC*TAUD0I2*, **IC***TAUD0I2L*, **IC***TAUD0I2H*

制御レジスタのビット名は次のようになります。

CT*TAUD0I2*, **RF***TAUD0I2*, **MK***TAUD0I2*, **TB***TAUD0I2*, **P3***TAUD0I2*, **P2***TAUD0I2*, **P1***TAUD0I2*, **P0***TAUD0I2*

(2) 優先順位

「表 7.1　例外要因一覧」を参照してください。

(3) 復帰 PC

EIRET 命令による割り込み処理ルーチンからの復帰 PC は、プログラムが中断された PC（カレント PC）となります。

(4) 制御レジスタ

EI レベルマスカブル割り込み制御レジスタ

「7.4.2　ICxxx — EI レベル割り込み制御レジスタ」参照

(5) 復帰命令

EIRET 命令

(6) 構成

EI レベルマスカブル割り込みは、INTC1 と INTC2 の 2 つのコントローラで制御されます。

INTC1 と INTC2 のカスケード接続で合計 298 ch をサポートしています。

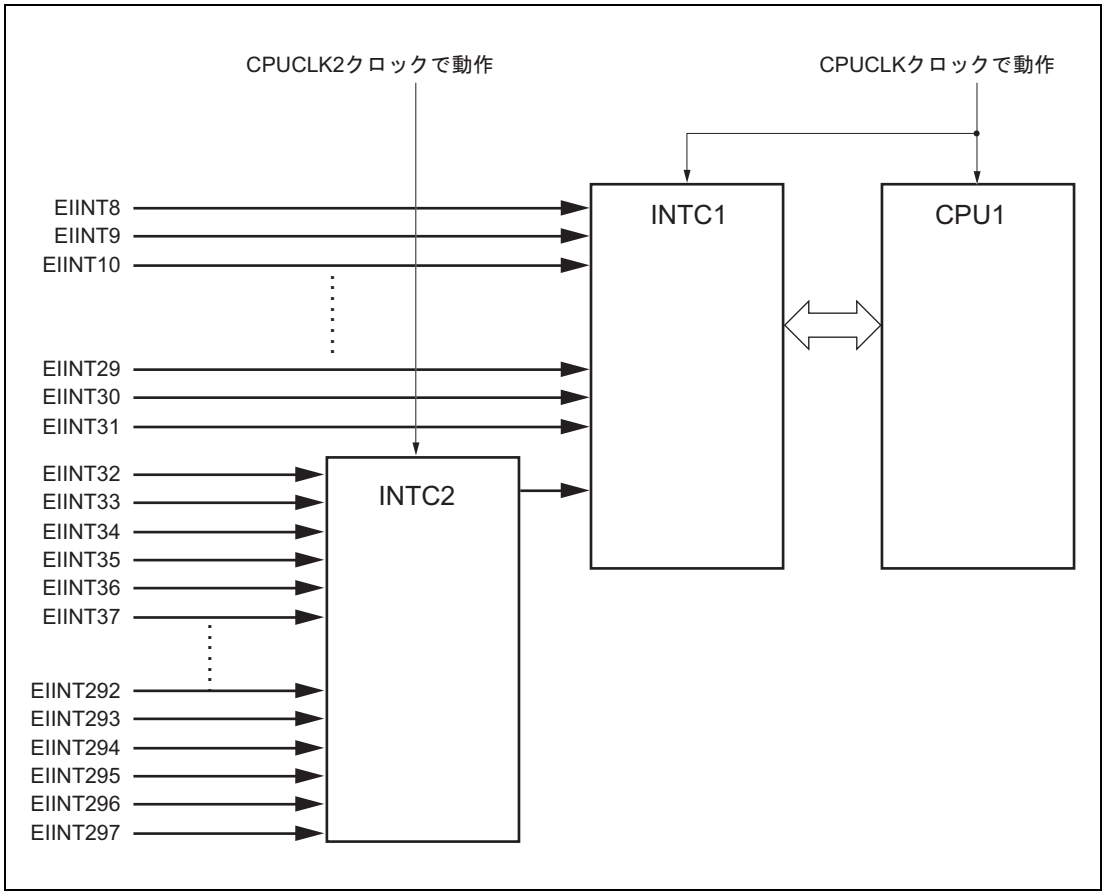


図 7.1 EI レベルマスカブル割り込みの構成図

注 意

INTC2 は CPUCLK2 で動作しているため、INTC2 に接続されている EIINT32 から EIINT297 は INTC1 の割り込みより遅延が発生します。

EI レベルマスカブル割り込みの一覧を**表 7.4** に示します。

表 7.4 EI レベルマスカブル割り込み要因 (1/8)

割り込み			割り込み要求				例外要因コード	144 pin	176 pin	233 pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2					直接分岐方式		テーブル参照方式注5
	名称	アドレス									RINT = 0	RINT = 1	
0	リザーブ	FFFE EA00$_H$					1000$_H$	—	—	—	注3	注4	+000$_H$
1	リザーブ	FFFE EA02$_H$					1001$_H$	—	—	—			+004$_H$
2	リザーブ	FFFE EA04$_H$					1002$_H$	—	—	—			+008$_H$
3	リザーブ	FFFE EA06$_H$					1003$_H$	—	—	—			+00C$_H$
4	リザーブ	FFFE EA08$_H$					1004$_H$	—	—	—			+010$_H$
5	リザーブ	FFFE EA0A$_H$					1005$_H$	—	—	—			+014$_H$
6	リザーブ	FFFE EA0C$_H$					1006$_H$	—	—	—			+018$_H$
7	リザーブ	FFFE EA0E$_H$					1007$_H$	—	—	—			+01C$_H$
8	ICTAUD0I0	FFFE EA10$_H$	INTTAUD0I0 注6	TAUD0 チャネル 0 割り込み	TAUD0	エッジ	1008$_H$	○	○	○			+020$_H$
	ICCSIH2IC_1		INTCSIH2IC_1 注6	CSIH2 通信ステータス割り込み	CSIH2	エッジ							
9	ICTAUD0I2	FFFE EA12$_H$	INTTAUD0I2 注6	TAUD0 チャネル 2 割り込み	TAUD0	エッジ	1009$_H$	○	○	○			+024$_H$
	ICCSIH3IC_1		INTCSIH3IC_1 注6	CSIH3 通信ステータス割り込み	CSIH3	エッジ							
10	ICTAUD0I4	FFFE EA14$_H$	INTTAUD0I4 注6	TAUD0 チャネル 4 割り込み	TAUD0	エッジ	100A$_H$	○	○	○			+028$_H$
	ICCSIH2IR_1		INTCSIH2IR_1 注6	CSIH2 受信ステータス割り込み	CSIH2	エッジ							
11	ICTAUD0I6	FFFE EA16$_H$	INTTAUD0I6 注6	TAUD0 チャネル 6 割り込み	TAUD0	エッジ	100B$_H$	○	○	○			+02C$_H$
	ICCSIH2IRE_1		INTCSIH2IRE_1 注6	CSIH2 通信エラー割り込み	CSIH2	エッジ							
12	ICTAUD0I8	FFFE EA18$_H$	INTTAUD0I8 注6	TAUD0 チャネル 8 割り込み	TAUD0	エッジ	100C$_H$	○	○	○			+030$_H$
	ICCSIH2IJC_1		INTCSIH2IJC_1 注6	CSIH2 ジョブ完了割り込み	CSIH2	エッジ							
13	ICTAUD0I10	FFFE EA1A$_H$	INTTAUD0I10 注6	TAUD0 チャネル 10 割り込み	TAUD0	エッジ	100D$_H$	○	○	○			+034$_H$
	ICCSIH3IR_1		INTCSIH3IR_1 注6	CSIH3 受信ステータス割り込み	CSIH3	エッジ							
14	ICTAUD0I12	FFFE EA1C$_H$	INTTAUD0I12 注6	TAUD0 チャネル 12 割り込み	TAUD0	エッジ	100E$_H$	○	○	○			+038$_H$
	ICCSIH3IRE_1		INTCSIH3IRE_1 注6	CSIH3 通信エラー割り込み	CSIH3	エッジ							
15	ICTAUD0I14	FFFE EA1E$_H$	INTTAUD0I14 注6	TAUD0 チャネル 14 割り込み	TAUD0	エッジ	100F$_H$	○	○	○			+03C$_H$
	ICCSIH3IJC_1		INTCSIH3IJC_1 注6	CSIH3 ジョブ完了割り込み	CSIH3	エッジ							
16	ICTAPA0IPEK0	FFFE EA20$_H$	INTTAPA0IPEK0 注6	TAPA0 山割り込み 0	TAPA0	エッジ	1010$_H$	○	○	○			+040$_H$
	ICCSIH1IC_1		INTCSIH1IC_1 注6	CSIH1 通信ステータス割り込み	CSIH1	エッジ							
17	ICTAPA0IVLY0	FFFE EA22$_H$	INTTAPA0IVLY0 注6	TAPA0 谷割り込み 0	TAPA0	エッジ	1011$_H$	○	○	○			+044$_H$
	ICCSIH1IR_1		INTCSIH1IR_1 注6	CSIH1 受信ステータス割り込み	CSIH1	エッジ							
18	ICADCA0I0	FFFE EA24$_H$	INTADCA0I0	ADCA0 スキャングループ 1（SG1）終了割り込み	ADCA0	エッジ	1012$_H$	○	○	○			+048$_H$
19	ICADCA0I1	FFFE EA26$_H$	INTADCA0I1	ADCA0 スキャングループ 2（SG2）終了割り込み	ADCA0	エッジ	1013$_H$	○	○	○			+04C$_H$
20	ICADCA0I2	FFFE EA28$_H$	INTADCA0I2 注6	ADCA0 スキャングループ 3（SG3）終了割り込み	ADCA0	エッジ	1014$_H$	○	○	○			+050$_H$
	ICCSIH0IJC_1		INTCSIH0IJC_1 注6	CSIH0 ジョブ完了割り込み	CSIH0	エッジ							
21	ICDCUTDI	FFFE EA2A$_H$	INTDCUTDI	オンチップデバッグ機能専用割り込み	Port	エッジ	1015$_H$	○	○	○			+054$_H$
22	ICRCANGERR0	FFFE EA2C$_H$	INTRCANGERR0	CAN グローバルエラー割り込み	RS-CAN0	レベル	1016$_H$	○	○	○			+058$_H$
23	ICRCANGRECC0	FFFE EA2E$_H$	INTRCANGRECC0	CAN 受信 FIFO 割り込み	RS-CAN0	レベル	1017$_H$	○	○	○			+05C$_H$
24	ICRCAN0ERR	FFFE EA30$_H$	INTRCAN0ERR	CAN0 エラー割り込み	RS-CAN0	レベル	1018$_H$	○	○	○			+060$_H$
25	ICRCAN0REC	FFFE EA32$_H$	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	RS-CAN0	レベル	1019$_H$	○	○	○			+064$_H$
26	ICRCAN0TRX	FFFE EA34$_H$	INTRCAN0TRX	CAN0 送信割り込み	RS-CAN0	レベル	101A$_H$	○	○	○			+068$_H$
27	ICCSIG0IC	FFFE EA36$_H$	INTCSIG0IC 注6	CSIG0 通信ステータス割り込み	CSIG0	エッジ	101B$_H$	○	○	○			+06C$_H$
	ICCSIH1IRE_1		INTCSIH1IRE_1 注6	CSIH1 通信エラー割り込み	CSIH1	エッジ							
28	ICCSIG0IR	FFFE EA38$_H$	INTCSIG0IR 注6	CSIG0 受信ステータス割り込み	CSIG0	エッジ	101C$_H$	○	○	○			+070$_H$
	ICCSIH1IJC_1		INTCSIH1IJC_1 注6	CSIH1 ジョブ割り込み	CSIH1	エッジ							
29	ICCSIH0IC	FFFE EA3A$_H$	INTCSIH0IC	CSIH0 通信ステータス割り込み	CSIH0	エッジ	101D$_H$	○	○	○			+074$_H$

表 7.4 EI レベルマスカブル割り込み要因 (2/8)

割り込み			割り込み要求				例外要因コード	144 pin	176 pin	233 pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2					直接分岐方式		テーブル参照方式注5
	名称	アドレス									RINT = 0	RINT = 1	
30	ICCSIH0IR	FFFE EA3C$_H$	INTCSIH0IR	CSIH0 受信ステータス割り込み	CSIH0	エッジ	101E$_H$	○	○	○	注3	注4	+078$_H$
31	ICCSIH0IRE	FFFE EA3E$_H$	INTCSIH0IRE	CSIH0 通信エラー割り込み	CSIH0	エッジ	101F$_H$	○	○	○			+07C$_H$
32	ICCSIH0IJC	FFFF B040$_H$	INTCSIH0IJC注6	CSIH0 ジョブ完了割り込み	CSIH0	エッジ	1020$_H$	○	○	○			+080$_H$
	ICADCA0I2_2		INTADCA0I2_2注6	ADCA0 スキャングループ 3（SG3）終了割り込み	ADCA0	エッジ							
33	ICRLIN30	FFFF B042$_H$	INTRLIN30	RLIN30 割り込み	RLIN30	エッジ	1021$_H$	○	○	○			+084$_H$
34	ICRLIN30UR0	FFFF B044$_H$	INTRLIN30UR0	RLIN30 送信割り込み	RLIN30	エッジ	1022$_H$	○	○	○			+088$_H$
35	ICRLIN30UR1	FFFF B046$_H$	INTRLIN30UR1	RLIN30 受信完了割り込み	RLIN30	エッジ	1023$_H$	○	○	○			+08C$_H$
36	ICRLIN30UR2	FFFF B048$_H$	INTRLIN30UR2	RLIN30 ステータス割り込み	RLIN30	エッジ	1024$_H$	○	○	○			+090$_H$
37	ICP0	FFFF B04A$_H$	INTP0	外部割り込み	Port	エッジ	1025$_H$	○	○	○			+094$_H$
38	ICP1	FFFF B04C$_H$	INTP1	外部割り込み	Port	エッジ	1026$_H$	○	○	○			+098$_H$
39	ICP2	FFFF B04E$_H$	INTP2	外部割り込み	Port	エッジ	1027$_H$	○	○	○			+09C$_H$
40	ICWDTA0	FFFF B050$_H$	INTWDTA0	WDTA0 75% 割り込み	WDTA0	エッジ	1028$_H$	○	○	○			+0A0$_H$
41	ICWDTA1	FFFF B052$_H$	INTWDTA1	WDTA1 75% 割り込み	WDTA1	エッジ	1029$_H$	○	○	○			+0A4$_H$
42	リザーブ	FFFF B054$_H$				エッジ	102A$_H$	—	—	—			+0A8$_H$
43	ICP3	FFFF B056$_H$	INTP3	外部割り込み	Port	エッジ	102B$_H$	○	○	○			+0AC$_H$
44	ICP4	FFFF B058$_H$	INTP4	外部割り込み	Port	エッジ	102C$_H$	○	○	○			+0B0$_H$
45	ICP5	FFFF B05A$_H$	INTP5	外部割り込み	Port	エッジ	102D$_H$	○	○	○			+0B4$_H$
46	ICP10	FFFF B05C$_H$	INTP10	外部割り込み	Port	エッジ	102E$_H$	○	○	○			+0B8$_H$
47	ICP11	FFFF B05E$_H$	INTP11	外部割り込み	Port	エッジ	102F$_H$	○	○	○			+0BC$_H$
48	ICTAUD0I1	FFFF B060$_H$	INTTAUD0I1	TAUD0 チャネル 1 割り込み	TAUD0	エッジ	1030$_H$	○	○	○			+0C0$_H$
49	ICTAUD0I3	FFFF B062$_H$	INTTAUD0I3	TAUD0 チャネル 3 割り込み	TAUD0	エッジ	1031$_H$	○	○	○			+0C4$_H$
50	ICTAUD0I5	FFFF B064$_H$	INTTAUD0I5	TAUD0 チャネル 5 割り込み	TAUD0	エッジ	1032$_H$	○	○	○			+0C8$_H$
51	ICTAUD0I7	FFFF B066$_H$	INTTAUD0I7	TAUD0 チャネル 7 割り込み	TAUD0	エッジ	1033$_H$	○	○	○			+0CC$_H$
52	ICTAUD0I9	FFFF B068$_H$	INTTAUD0I9	TAUD0 チャネル 9 割り込み	TAUD0	エッジ	1034$_H$	○	○	○			+0D0$_H$
53	ICTAUD0I11	FFFF B06A$_H$	INTTAUD0I11	TAUD0 チャネル 11 割り込み	TAUD0	エッジ	1035$_H$	○	○	○			+0D4$_H$
54	ICTAUD0I13	FFFF B06C$_H$	INTTAUD0I13	TAUD0 チャネル 13 割り込み	TAUD0	エッジ	1036$_H$	○	○	○			+0D8$_H$
55	ICTAUD0I15	FFFF B06E$_H$	INTTAUD0I15	TAUD0 チャネル 15 割り込み	TAUD0	エッジ	1037$_H$	○	○	○			+0DC$_H$
56	ICADCA0ERR	FFFF B070$_H$	INTADCA0ERR	ADCA0 エラー割り込み	ADCA0	エッジ	1038$_H$	○	○	○			+0E0$_H$
57	ICCSIG0IRE	FFFF B072$_H$	INTCSIG0IRE	CSIG0 通信エラー割り込み	CSIG0	エッジ	1039$_H$	○	○	○			+0E4$_H$
58	ICRLIN20	FFFF B074$_H$	INTRLIN20	RLIN20 割り込み	RLIN240	エッジ	103A$_H$	○	○	○			+0E8$_H$
59	ICRLIN21	FFFF B076$_H$	INTRLIN21	RLIN21 割り込み	RLIN240	エッジ	103B$_H$	○	○	○			+0EC$_H$
60	ICDMA0	FFFF B078$_H$	INTDMA0	DMA0 転送完了	DMAC	エッジ	103C$_H$	○	○	○			+0F0$_H$
61	ICDMA1	FFFF B07A$_H$	INTDMA1	DMA1 転送完了	DMAC	エッジ	103D$_H$	○	○	○			+0F4$_H$
62	ICDMA2	FFFF B07C$_H$	INTDMA2	DMA2 転送完了	DMAC	エッジ	103E$_H$	○	○	○			+0F8$_H$
63	ICDMA3	FFFF B07E$_H$	INTDMA3	DMA3 転送完了	DMAC	エッジ	103F$_H$	○	○	○			+0FC$_H$
64	ICDMA4	FFFF B080$_H$	INTDMA4	DMA4 転送完了	DMAC	エッジ	1040$_H$	○	○	○			+100$_H$
65	ICDMA5	FFFF B082$_H$	INTDMA5	DMA5 転送完了	DMAC	エッジ	1041$_H$	○	○	○			+104$_H$
66	ICDMA6	FFFF B084$_H$	INTDMA6	DMA6 転送完了	DMAC	エッジ	1042$_H$	○	○	○			+108$_H$
67	ICDMA7	FFFF B086$_H$	INTDMA7	DMA7 転送完了	DMAC	エッジ	1043$_H$	○	○	○			+10C$_H$
68	ICDMA8	FFFF B088$_H$	INTDMA8	DMA8 転送完了	DMAC	エッジ	1044$_H$	○	○	○			+110$_H$
69	ICDMA9	FFFF B08A$_H$	INTDMA9	DMA9 転送完了	DMAC	エッジ	1045$_H$	○	○	○			+114$_H$
70	ICDMA10	FFFF B08C$_H$	INTDMA10	DMA10 転送完了	DMAC	エッジ	1046$_H$	○	○	○			+118$_H$

表 7.4 EI レベルマスカブル割り込み要因 (3/8)

割り込み			割り込み要求				例外要因コード	144 pin	176 pin	233 pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2					直接分岐方式		テーブル参照方式注5
	名称	アドレス									RINT = 0	RINT = 1	
71	ICDMA11	FFFF B08E$_H$	INTDMA11	DMA11 転送完了	DMAC	エッジ	1047$_H$	○	○	○	注3	注4	+11C$_H$
72	ICDMA12	FFFF B090$_H$	INTDMA12	DMA12 転送完了	DMAC	エッジ	1048$_H$	○	○	○			+120$_H$
73	ICDMA13	FFFF B092$_H$	INTDMA13	DMA13 転送完了	DMAC	エッジ	1049$_H$	○	○	○			+124$_H$
74	ICDMA14	FFFF B094$_H$	INTDMA14	DMA14 転送完了	DMAC	エッジ	104A$_H$	○	○	○			+128$_H$
75	ICDMA15	FFFF B096$_H$	INTDMA15	DMA15 転送完了	DMAC	エッジ	104B$_H$	○	○	○			+12C$_H$
76	ICRIIC0TI	FFFF B098$_H$	INTRIIC0TI	RIIC 送信データエンプティ割り込み	RIIC0	エッジ	104C$_H$	○	○	○			+130$_H$
77	ICRIIC0TEI	FFFF B09A$_H$	INTRIIC0TEI	RIIC 送信終了割り込み	RIIC0	レベル	104D$_H$	○	○	○			+134$_H$
78	ICRIIC0RI	FFFF B09C$_H$	INTRIIC0RI	RIIC 受信終了割り込み	RIIC0	エッジ	104E$_H$	○	○	○			+138$_H$
79	ICRIIC0EE	FFFF B09E$_H$	INTRIIC0EE	RIIC 通信エラー／イベント割り込み	RIIC0	レベル	104F$_H$	○	○	○			+13C$_H$
80	ICTAUJ0I0	FFFF B0A0$_H$	INTTAUJ0I0	TAUJ0 チャネル 0 割り込み	TAUJ0	エッジ	1050$_H$	○	○	○			+140$_H$
81	ICTAUJ0I1	FFFF B0A2$_H$	INTTAUJ0I1	TAUJ0 チャネル 1 割り込み	TAUJ0	エッジ	1051$_H$	○	○	○			+144$_H$
82	ICTAUJ0I2	FFFF B0A4$_H$	INTTAUJ0I2	TAUJ0 チャネル 2 割り込み	TAUJ0	エッジ	1052$_H$	○	○	○			+148$_H$
83	ICTAUJ0I3	FFFF B0A6$_H$	INTTAUJ0I3	TAUJ0 チャネル 3 割り込み	TAUJ0	エッジ	1053$_H$	○	○	○			+14C$_H$
84	ICOSTM0	FFFF B0A8$_H$	INTOSTM0 注9	OSTM0 割り込み	OSTM0	エッジ	1054$_H$	○	○	○			+150$_H$
85	ICENCA0IOV	FFFF B0AA$_H$	INTENCA0IOV 注7	ENCA0 オーバフロー割り込み	ENCA0	エッジ	1055$_H$	○	○	○			+154$_H$
	ICPWGA4		INTPWGA4 注7	PWGA4 割り込み	PWGA4	エッジ							
86	ICENCA0IUD	FFFF B0AC$_H$	INTENCA0IUD 注7	ENCA0 アンダフロー割り込み	ENCA0	エッジ	1056$_H$	○	○	○			+158$_H$
	ICPWGA5		INTPWGA5 注7	PWGA5 割り込み	PWGA5	エッジ							
87	ICENCA0I0	FFFF B0AE$_H$	INTENCA0I0 注7	ENCA0 一致／キャプチャ割り込み 0	ENCA0	エッジ	1057$_H$	○	○	○			+15C$_H$
	ICPWGA6		INTPWGA6 注7	PWGA6 割り込み	PWGA6	エッジ							
88	ICENCA0I1	FFFF B0B0$_H$	INTENCA0I1 注7	ENCA0 一致／キャプチャ割り込み 1	ENCA0	エッジ	1058$_H$	○	○	○			+160$_H$
	ICPWGA7		INTPWGA7 注7	PWGA7 割り込み	PWGA7	エッジ							
89	ICENCA0IEC	FFFF B0B2$_H$	INTENCA0IEC	ENCA0 エンコーダクリア割り込み	ENCA0	エッジ	1059$_H$	○	○	○			+164$_H$
90	ICKR0	FFFF B0B4$_H$	INTKR0	KR0 キー割り込み	KR0	エッジ	105A$_H$	○	○	○			+168$_H$
91	ICQFULL	FFFF B0B6$_H$	INTQFULL	PWSA キューフル割り込み	PWSA	エッジ	105B$_H$	○	○	○			+16C$_H$
92	ICPWGA0	FFFF B0B8$_H$	INTPWGA0	PWGA0 割り込み	PWGA0	エッジ	105C$_H$	○	○	○			+170$_H$
93	ICPWGA1	FFFF B0BA$_H$	INTPWGA1	PWGA1 割り込み	PWGA1	エッジ	105D$_H$	○	○	○			+174$_H$
94	ICPWGA2	FFFF B0BC$_H$	INTPWGA2	PWGA2 割り込み	PWGA2	エッジ	105E$_H$	○	○	○			+178$_H$
95	ICPWGA3	FFFF B0BE$_H$	INTPWGA3	PWGA3 割り込み	PWGA3	エッジ	105F$_H$	○	○	○			+17C$_H$
96	ICPWGA8	FFFF B0C0$_H$	INTPWGA8	PWGA8 割り込み	PWGA8	エッジ	1060$_H$	○	○	○			+180$_H$
97	ICPWGA9	FFFF B0C2$_H$	INTPWGA9	PWGA9 割り込み	PWGA9	エッジ	1061$_H$	○	○	○			+184$_H$
98	ICPWGA10	FFFF B0C4$_H$	INTPWGA10	PWGA10 割り込み	PWGA10	エッジ	1062$_H$	○	○	○			+188$_H$
99	ICPWGA11	FFFF B0C6$_H$	INTPWGA11	PWGA11 割り込み	PWGA11	エッジ	1063$_H$	○	○	○			+18C$_H$
100	ICPWGA12	FFFF B0C8$_H$	INTPWGA12	PWGA12 割り込み	PWGA12	エッジ	1064$_H$	○	○	○			+190$_H$
101	ICPWGA13	FFFF B0CA$_H$	INTPWGA13	PWGA13 割り込み	PWGA13	エッジ	1065$_H$	○	○	○			+194$_H$
102	ICPWGA14	FFFF B0CC$_H$	INTPWGA14	PWGA14 割り込み	PWGA14	エッジ	1066$_H$	○	○	○			+198$_H$
103	ICPWGA15	FFFF B0CE$_H$	INTPWGA15	PWGA15 割り込み	PWGA15	エッジ	1067$_H$	○	○	○			+19C$_H$
104	リザーブ	FFFF B0D0$_H$					1068$_H$	—	—	—			+1A0$_H$
105	リザーブ	FFFF B0D2$_H$					1069$_H$	—	—	—			+1A4$_H$
106	リザーブ	FFFF B0D4$_H$					106A$_H$	—	—	—			+1A8$_H$
107	リザーブ	FFFF B0D6$_H$					106B$_H$	—	—	—			+1AC$_H$
108	リザーブ	FFFF B0D8$_H$					106C$_H$	—	—	—			+1B0$_H$
109	リザーブ	FFFF B0DA$_H$					106D$_H$	—	—	—			+1B4$_H$
110	ICFLERR	FFFF B0DC$_H$	INTFLERR	フラッシュシーケンサ終了エラー割り込み注10	FACI	レベル	106E$_H$	○	○	○			+1B8$_H$
111	ICFLENDNM	FFFF B0DE$_H$	INTFLENDNM	フラッシュシーケンサ終了割り込み注10	FACI	エッジ	106F$_H$	○	○	○			+1BC$_H$
112	ICCWEND	FFFF B0E0$_H$	INTCWEND	LPS0 ポートポーリング終了割り込み	LPS	エッジ	1070$_H$	○	○	○			+1C0$_H$

表 7.4 EI レベルマスカブル割り込み要因 (4/8)

割り込み			割り込み要求				例外要因コード	144 pin	176 pin	233 pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2					直接分岐方式		テーブル参照方式注5
	名称	アドレス									RINT = 0	RINT = 1	
113	ICRCAN1ERR	FFFF B0E2$_H$	INTRCAN1ERR	CAN1 エラー割り込み	RS-CAN0	レベル	1071$_H$	○	○	○	注3	注4	+1C4$_H$
114	ICRCAN1REC	FFFF B0E4$_H$	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	RS-CAN0	レベル	1072$_H$	○	○	○			+1C8$_H$
115	ICRCAN1TRX	FFFF B0E6$_H$	INTRCAN1TRX	CAN1 送信割り込み	RS-CAN0	レベル	1073$_H$	○	○	○			+1CC$_H$
116	ICCSIH1IC	FFFF B0E8$_H$	INTCSIH1IC 注6	CSIH1 通信ステータス割り込み	CSIH1	エッジ	1074$_H$	○	○	○			+1D0$_H$
	ICTAPA0IPEK0_2		INTTAPA0IPEK0_2 注6	TAPA0 山割り込み 0	TAPA0	エッジ							
117	ICCSIH1IR	FFFF B0EA$_H$	INTCSIH1IR 注6	CSIH1 受信ステータス割り込み	CSIH1	エッジ	1075$_H$	○	○	○			+1D4$_H$
	ICTAPA0IVLY0_2		INTTAPA0IVLY0_2 注6	TAPA0 谷割り込み 0	TAPA0	エッジ							
118	ICCSIH1IRE	FFFF B0EC$_H$	INTCSIH1IRE 注6	CSIH1 通信エラー割り込み	CSIH1	エッジ	1076$_H$	○	○	○			+1D8$_H$
	ICCSIG0IC_2		INTCSIG0IC_2 注6	CSIG0 通信ステータス割り込み	CSIG0	エッジ							
119	ICCSIH1IJC	FFFF B0EE$_H$	INTCSIH1IJC 注6	CSIH1 ジョブ割り込み	CSIH1	エッジ	1077$_H$	○	○	○			+1DC$_H$
	ICCSIG0IR_2		INTCSIG0IR_2 注6	CSIG0 受信ステータス割り込み	CSIG0	エッジ							
120	ICRLIN31	FFFF B0F0$_H$	INTRLIN31	RLIN31 割り込み	RLIN31	エッジ	1078$_H$	○	○	○			+1E0$_H$
121	ICRLIN31UR0	FFFF B0F2$_H$	INTRLIN31UR0	RLIN31 送信割り込み	RLIN31	エッジ	1079$_H$	○	○	○			+1E4$_H$
122	ICRLIN31UR1	FFFF B0F4$_H$	INTRLIN31UR1	RLIN31 受信完了割り込み	RLIN31	エッジ	107A$_H$	○	○	○			+1E8$_H$
123	ICRLIN31UR2	FFFF B0F6$_H$	INTRLIN31UR2	RLIN31 ステータス割り込み	RLIN31	エッジ	107B$_H$	○	○	○			+1EC$_H$
124	ICPWGA20	FFFF B0F8$_H$	INTPWGA20	PWGA20 割り込み	PWGA20	エッジ	107C$_H$	○	○	○			+1F0$_H$
125	ICPWGA21	FFFF B0FA$_H$	INTPWGA21	PWGA21 割り込み	PWGA21	エッジ	107D$_H$	○	○	○			+1F4$_H$
126	ICPWGA22	FFFF B0FC$_H$	INTPWGA22	PWGA22 割り込み	PWGA22	エッジ	107E$_H$	○	○	○			+1F8$_H$
127	ICPWGA23	FFFF B0FE$_H$	INTPWGA23	PWGA23 割り込み	PWGA23	エッジ	107F$_H$	○	○	○			+1FC$_H$
128	ICP6	FFFF B100$_H$	INTP6	外部割り込み	Port	エッジ	1080$_H$	○	○	○			+200$_H$
129	ICP7	FFFF B102$_H$	INTP7	外部割り込み	Port	エッジ	1081$_H$	○	○	○			+204$_H$
130	ICP8	FFFF B104$_H$	INTP8	外部割り込み	Port	エッジ	1082$_H$	○	○	○			+208$_H$
131	ICP12	FFFF B106$_H$	INTP12	外部割り込み	Port	エッジ	1083$_H$	○	○	○			+20C$_H$
132	ICCSIH2IC	FFFF B108$_H$	INTCSIH2IC 注6	CSIH2 通信ステータス割り込み	CSIH2	エッジ	1084$_H$	○	○	○			+210$_H$
	ICTAUD0I0_2		INTTAUD0I0_2 注6	TAUD0 チャネル 0 割り込み	TAUD0	エッジ							
133	ICCSIH2IR	FFFF B10A$_H$	INTCSIH2IR 注6	CSIH2 通信ステータス割り込み	CSIH2	エッジ	1085$_H$	○	○	○			+214$_H$
	ICTAUD0I4_2		INTTAUD0I4_2 注6	TAUD0 チャネル 4 割り込み	TAUD0	エッジ							
134	ICCSIH2IRE	FFFF B10C$_H$	INTCSIH2IRE 注6	CSIH2 通信エラー割り込み	CSIH2	エッジ	1086$_H$	○	○	○			+218$_H$
	ICTAUD0I6_2		INTTAUD0I6_2 注6	TAUD0 チャネル 6 割り込み	TAUD0	エッジ							
135	ICCSIH2IJC	FFFF B10E$_H$	INTCSIH2IJC 注6	CSIH2 ジョブ完了割り込み	CSIH2	エッジ	1087$_H$	○	○	○			+21C$_H$
	ICTAUD0I8_2		INTTAUD0I8_2 注6	TAUD0 チャネル 8 割り込み	TAUD0	エッジ							
136	リザーブ	FFFF B110$_H$					1088$_H$	—	—	—			+220$_H$
137	リザーブ	FFFF B112$_H$					1089$_H$	—	—	—			+224$_H$
138	リザーブ	FFFF B114$_H$					108A$_H$	—	—	—			+228$_H$
139	リザーブ	FFFF B116$_H$					108B$_H$	—	—	—			+22C$_H$
140	リザーブ	FFFF B118$_H$					108C$_H$	—	—	—			+230$_H$
141	リザーブ	FFFF B11A$_H$					108D$_H$	—	—	—			+234$_H$
142	ICTAUB0I0	FFFF B11C$_H$	INTTAUB0I0	TAUB0 チャネル 0 割り込み	TAUB0	エッジ	108E$_H$	○	○	○			+238$_H$
143	ICTAUB0I1	FFFF B11E$_H$	INTTAUB0I1	TAUB0 チャネル 1 割り込み	TAUB0	エッジ	108F$_H$	○	○	○			+23C$_H$
144	ICTAUB0I2	FFFF B120$_H$	INTTAUB0I2	TAUB0 チャネル 2 割り込み	TAUB0	エッジ	1090$_H$	○	○	○			+240$_H$
145	ICTAUB0I3	FFFF B122$_H$	INTTAUB0I3 注7	TAUB0 チャネル 3 割り込み	TAUB0	エッジ	1091$_H$	○	○	○			+244$_H$
	ICPWGA16		INTPWGA16 注7	PWGA16 割り込み	PWGA16	エッジ							
146	ICTAUB0I4	FFFF B124$_H$	INTTAUB0I4	TAUB0 チャネル 4 割り込み	TAUB0	エッジ	1092$_H$	○	○	○			+248$_H$

表 7.4 EI レベルマスカブル割り込み要因 (5/8)

割り込み			割り込み要求				例外要因コード	144 pin	176 pin	233 pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2					直接分岐方式		テーブル参照方式注5
	名称	アドレス									RINT = 0	RINT = 1	
147	ICTAUB0I5	FFFF $B126_H$	INTTAUB0I5 注7	TAUB0 チャネル 5 割り込み	TAUB0	エッジ	1093_H	○	○	○	注3	注4	$+24C_H$
	ICPWGA17		INTPWGA17 注7	PWGA17 割り込み	PWGA17	エッジ							
148	ICTAUB0I6	FFFF $B128_H$	INTTAUB0I6	TAUB0 チャネル 6 割り込み	TAUB0	エッジ	1094_H	○	○	○			$+250_H$
149	ICTAUB0I7	FFFF $B12A_H$	INTTAUB0I7 注7	TAUB0 チャネル 7 割り込み	TAUB0	エッジ	1095_H	○	○	○			$+254_H$
	ICPWGA18		INTPWGA18 注7	PWGA18 割り込み	PWGA18	エッジ							
150	ICTAUB0I8	FFFF $B12C_H$	INTTAUB0I8	TAUB0 チャネル 8 割り込み	TAUB0	エッジ	1096_H	○	○	○			$+258_H$
151	ICTAUB0I9	FFFF $B12E_H$	INTTAUB0I9 注7	TAUB0 チャネル 9 割り込み	TAUB0	エッジ	1097_H	○	○	○			$+25C_H$
	ICPWGA19		INTPWGA19 注7	PWGA19 割り込み	PWGA19	エッジ							
152	ICTAUB0I10	FFFF $B130_H$	INTTAUB0I10	TAUB0 チャネル 10 割り込み	TAUB0	エッジ	1098_H	○	○	○			$+260_H$
153	ICTAUB0I11	FFFF $B132_H$	INTTAUB0I11 注7	TAUB0 チャネル 11 割り込み	TAUB0	エッジ	1099_H	○	○	○			$+264_H$
	ICPWGA26		INTPWGA26 注7	PWGA26 割り込み	PWGA26	エッジ							
154	ICTAUB0I12	FFFF $B134_H$	INTTAUB0I12	TAUB0 チャネル 12 割り込み	TAUB0	エッジ	$109A_H$	○	○	○			$+268_H$
155	ICTAUB0I13	FFFF $B136_H$	INTTAUB0I13 注7	TAUB0 チャネル 13 割り込み	TAUB0	エッジ	$109B_H$	○	○	○			$+26C_H$
	ICPWGA30		INTPWGA30 注7	PWGA30 割り込み	PWGA30	エッジ							
156	ICTAUB0I14	FFFF $B138_H$	INTTAUB0I14	TAUB0 チャネル 14 割り込み	TAUB0	エッジ	$109C_H$	○	○	○			$+270_H$
157	ICTAUB0I15	FFFF $B13A_H$	INTTAUB0I15 注7	TAUB0 チャネル 15 割り込み	TAUB0	エッジ	$109D_H$	○	○	○			$+274_H$
	ICPWGA31		INTPWGA31 注7	PWGA31 割り込み	PWGA31	エッジ							
158	ICCSIH3IC	FFFF $B13C_H$	INTCSIH3IC 注6	CSIH3 通信ステータス割り込み	CSIH3	エッジ	$109E_H$	○	○	○			$+278_H$
	ICTAUD0I2_2		INTTAUD0I2_2 注6	TAUD0 チャネル 2 割り込み	TAUD0	エッジ							
159	ICCSIH3IR	FFFF $B13E_H$	INTCSIH3IR 注6	CSIH3 受信ステータス割り込み	CSIH3	エッジ	$109F_H$	○	○	○			$+27C_H$
	ICTAUD0I10_2		INTTAUD0I10_2 注6	TAUD0 チャネル 10 割り込み	TAUD0	エッジ							
160	ICCSIH3IRE	FFFF $B140_H$	INTCSIH3IRE 注6	CSIH3 通信エラー割り込み	CSIH3	エッジ	$10A0_H$	○	○	○			$+280_H$
	ICTAUD0I12_2		INTTAUD0I12_2 注6	TAUD0 チャネル 12 割り込み	TAUD0	エッジ							
161	ICCSIH3IJC	FFFF $B142_H$	INTCSIH3IJC 注6	CSIH3 ジョブ完了割り込み	CSIH3	エッジ	$10A1_H$	○	○	○			$+284_H$
	ICTAUD0I14_2		INTTAUD0I14_2 注6	TAUD0 チャネル 14 割り込み	TAUD0	エッジ							
162	ICRLIN22	FFFF $B144_H$	INTRLIN22	RLIN22 割り込み	RLIN240	エッジ	$10A2_H$	○	○	○			$+288_H$
163	ICRLIN23	FFFF $B146_H$	INTRLIN23	RLIN23 割り込み	RLIN240	エッジ	$10A3_H$	○	○	○			$+28C_H$
164	ICRLIN32	FFFF $B148_H$	INTRLIN32	RLIN32 割り込み	RLIN32	エッジ	$10A4_H$	○	○	○			$+290_H$
165	ICRLIN32UR0	FFFF $B14A_H$	INTRLIN32UR0	RLIN32 送信割り込み	RLIN32	エッジ	$10A5_H$	○	○	○			$+294_H$
166	ICRLIN32UR1	FFFF $B14C_H$	INTRLIN32UR1	RLIN32 受信完了割り込み	RLIN32	エッジ	$10A6_H$	○	○	○			$+298_H$
167	ICRLIN32UR2	FFFF $B14E_H$	INTRLIN32UR2	RLIN32 ステータス割り込み	RLIN32	エッジ	$10A7_H$	○	○	○			$+29C_H$
168	ICTAUJ1I0	FFFF $B150_H$	INTTAUJ1I0	TAUJ1 チャネル 0 割り込み	TAUJ1	エッジ	$10A8_H$	○	○	○			$+2A0_H$
169	ICTAUJ1I1	FFFF $B152_H$	INTTAUJ1I1	TAUJ1 チャネル 1 割り込み	TAUJ1	エッジ	$10A9_H$	○	○	○			$+2A4_H$
170	ICTAUJ1I2	FFFF $B154_H$	INTTAUJ1I2	TAUJ1 チャネル 2 割り込み	TAUJ1	エッジ	$10AA_H$	○	○	○			$+2A8_H$
171	ICTAUJ1I3	FFFF $B156_H$	INTTAUJ1I3	TAUJ1 チャネル 3 割り込み	TAUJ1	エッジ	$10AB_H$	○	○	○			$+2AC_H$
172	リザーブ	FFFF $B158_H$					$10AC_H$	—	—	—			$+2B0_H$
173	ICFLXA0FDA	FFFF $B15A_H$	INTFLXA0FDA	FIFO 転送割り込み	FLXA0	レベル	$10AD_H$	○	○	○			$+2B4_H$
174	ICFLXA0FW	FFFF $B15C_H$	INTFLXA0FW	FIFO 転送警告割り込み	FLXA0	レベル	$10AE_H$	○	○	○			$+2B8_H$
175	ICFLXA0IQE	FFFF $B15E_H$	INTFLXA0IQE	入力キューエンプティ割り込み	FLXA0	レベル	$10AF_H$	○	○	○			$+2BC_H$
176	ICFLXA0IQF	FFFF $B160_H$	INTFLXA0IQF	入力キューフル割り込み	FLXA0	レベル	$10B0_H$	○	○	○			$+2C0_H$
177	ICFLXA0OT	FFFF $B162_H$	INTFLXA0OT	出力転送終了割り込み	FLXA0	レベル	$10B1_H$	○	○	○			$+2C4_H$
178	ICFLXA0OW	FFFF $B164_H$	INTFLXA0OW	出力転送警告割り込み	FLXA0	レベル	$10B2_H$	○	○	○			$+2C8_H$
179	ICFLXA0LINE0	FFFF $B166_H$	INTFLXA0LINE0	FlexRay0 割り込み	FLXA0	レベル	$10B3_H$	○	○	○			$+2CC_H$
180	ICFLXA0LINE1	FFFF $B168_H$	INTFLXA0LINE1	FlexRay1 割り込み	FLXA0	レベル	$10B4_H$	○	○	○			$+2D0_H$
181	ICFLXA0TIM0	FFFF $B16A_H$	INTFLXA0TIM0	タイマ 0 割り込み	FLXA0	レベル	$10B5_H$	○	○	○			$+2D4_H$
182	ICFLXA0TIM1	FFFF $B16C_H$	INTFLXA0TIM1	タイマ 1 割り込み	FLXA0	レベル	$10B6_H$	○	○	○			$+2D8_H$
183	ICFLXA0TIM2	FFFF $B16E_H$	INTFLXA0TIM2	タイマ 2 割り込み	FLXA0	レベル	$10B7_H$	○	○	○			$+2DC_H$

表 7.4 EI レベルマスカブル割り込み要因 (6/8)

割り込み			割り込み要求				例外要因コード	144 pin	176 pin	233 pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2					直接分岐方式		テーブル参照方式注5
	名称	アドレス									RINT = 0	RINT = 1	
184	ICPWGA24	FFFF $B170_H$	INTPWGA24	PWGA24 割り込み	PWGA24	エッジ	$10B8_H$	○	○	○	注3	注4	$+2E0_H$
185	ICPWGA25	FFFF $B172_H$	INTPWGA25	PWGA25 割り込み	PWGA25	エッジ	$10B9_H$	○	○	○			$+2E4_H$
186	ICPWGA27	FFFF $B174_H$	INTPWGA27	PWGA27 割り込み	PWGA27	エッジ	$10BA_H$	○	○	○			$+2E8_H$
187	ICPWGA28	FFFF $B176_H$	INTPWGA28	PWGA28 割り込み	PWGA28	エッジ	$10BB_H$	○	○	○			$+2EC_H$
188	ICPWGA29	FFFF $B178_H$	INTPWGA29	PWGA29 割り込み	PWGA29	エッジ	$10BC_H$	○	○	○			$+2F0_H$
189	ICPWGA32	FFFF $B17A_H$	INTPWGA32	PWGA32 割り込み	PWGA32	エッジ	$10BD_H$	○	○	○			$+2F4_H$
190	ICPWGA33	FFFF $B17C_H$	INTPWGA33	PWGA33 割り込み	PWGA33	エッジ	$10BE_H$	○	○	○			$+2F8_H$
191	ICPWGA34	FFFF $B17E_H$	INTPWGA34	PWGA34 割り込み	PWGA34	エッジ	$10BF_H$	○	○	○			$+2FC_H$
192	ICPWGA35	FFFF $B180_H$	INTPWGA35	PWGA35 割り込み	PWGA35	エッジ	$10C0_H$	○	○	○			$+300_H$
193	ICPWGA36	FFFF $B182_H$	INTPWGA36	PWGA36 割り込み	PWGA36	エッジ	$10C1_H$	○	○	○			$+304_H$
194	ICPWGA37	FFFF $B184_H$	INTPWGA37	PWGA37 割り込み	PWGA37	エッジ	$10C2_H$	○	○	○			$+308_H$
195	ICPWGA38	FFFF $B186_H$	INTPWGA38	PWGA38 割り込み	PWGA38	エッジ	$10C3_H$	○	○	○			$+30C_H$
196	ICPWGA39	FFFF $B188_H$	INTPWGA39	PWGA39 割り込み	PWGA39	エッジ	$10C4_H$	○	○	○			$+310_H$
197	ICPWGA40	FFFF $B18A_H$	INTPWGA40	PWGA40 割り込み	PWGA40	エッジ	$10C5_H$	○	○	○			$+314_H$
198	ICPWGA41	FFFF $B18C_H$	INTPWGA41	PWGA41 割り込み	PWGA41	エッジ	$10C6_H$	○	○	○			$+318_H$
199	ICPWGA42	FFFF $B18E_H$	INTPWGA42	PWGA42 割り込み	PWGA42	エッジ	$10C7_H$	○	○	○			$+31C_H$
200	ICPWGA43	FFFF $B190_H$	INTPWGA43	PWGA43 割り込み	PWGA43	エッジ	$10C8_H$	○	○	○			$+320_H$
201	ICPWGA44	FFFF $B192_H$	INTPWGA44	PWGA44 割り込み	PWGA44	エッジ	$10C9_H$	○	○	○			$+324_H$
202	ICPWGA45	FFFF $B194_H$	INTPWGA45	PWGA45 割り込み	PWGA45	エッジ	$10CA_H$	○	○	○			$+328_H$
203	ICPWGA46	FFFF $B196_H$	INTPWGA46	PWGA46 割り込み	PWGA46	エッジ	$10CB_H$	○	○	○			$+32C_H$
204	ICPWGA47	FFFF $B198_H$	INTPWGA47	PWGA47 割り込み	PWGA47	エッジ	$10CC_H$	○	○	○			$+330_H$
205	ICP9	FFFF $B19A_H$	INTP9	外部割り込み	Port	エッジ	$10CD_H$	○	○	○			$+334_H$
206	ICP13	FFFF $B19C_H$	INTP13	外部割り込み	Port	エッジ	$10CE_H$	○	○	○			$+338_H$
207	ICP14	FFFF $B19E_H$	INTP14	外部割り込み	Port	エッジ	$10CF_H$	○	○	○			$+33C_H$
208	ICP15	FFFF $B1A0_H$	INTP15	外部割り込み	Port	エッジ	$10D0_H$	○	○	○			$+340_H$
209	ICRTCA01S	FFFF $B1A2_H$	INTRTCA01S	RTCA0 1 秒インターバル割り込み	RTCA	エッジ	$10D1_H$	○	○	○			$+344_H$
210	ICRTCA0AL	FFFF $B1A4_H$	INTRTCA0AL	RTCA0 アラーム割り込み	RTCA	エッジ	$10D2_H$	○	○	○			$+348_H$
211	ICRTCA0R	FFFF $B1A6_H$	INTRTCA0R	RTCA0 定周期割り込み	RTCA	エッジ	$10D3_H$	○	○	○			$+34C_H$
212	ICADCA1ERR	FFFF $B1A8_H$	INTADCA1ERR	ADCA1 エラー割り込み	ADCA1	エッジ	$10D4_H$	○	○	○			$+350_H$
213	ICADCA1I0	FFFF $B1AA_H$	INTADCA1I0	ADCA1 スキャングループ 1（SG1）終了割り込み	ADCA1	エッジ	$10D5_H$	○	○	○			$+354_H$
214	ICADCA1I1	FFFF $B1AC_H$	INTADCA1I1	ADCA1 スキャングループ 2（SG2）終了割り込み	ADCA1	エッジ	$10D6_H$	○	○	○			$+358_H$
215	ICADCA1I2	FFFF $B1AE_H$	INTADCA1I2	ADCA1 スキャングループ 3（SG3）終了割り込み	ADCA1	エッジ	$10D7_H$	○	○	○			$+35C_H$
216	リザーブ	FFFF $B1B0_H$					$10D8_H$	—	—	—			$+360_H$
217	ICRCAN2ERR	FFFF $B1B2_H$	INTRCAN2ERR	CAN2 エラー割り込み	RS-CAN0	レベル	$10D9_H$	○	○	○			$+364_H$
218	ICRCAN2REC	FFFF $B1B4_H$	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	RS-CAN0	レベル	$10DA_H$	○	○	○			$+368_H$
219	ICRCAN2TRX	FFFF $B1B6_H$	INTRCAN2TRX	CAN2 送信割り込み	RS-CAN0	レベル	$10DB_H$	○	○	○			$+36C_H$
220	ICRCAN3ERR	FFFF $B1B8_H$	INTRCAN3ERR	CAN3 エラー割り込み	RS-CAN0	レベル	$10DC_H$	○	○	○			$+370_H$
221	ICRCAN3REC	FFFF $B1BA_H$	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	RS-CAN0	レベル	$10DD_H$	○	○	○			$+374_H$
222	ICRCAN3TRX	FFFF $B1BC_H$	INTRCAN3TRX	CAN3 送信割り込み	RS-CAN0	レベル	$10DE_H$	○	○	○			$+378_H$
223	ICCSIG1IC	FFFF $B1BE_H$	INTCSIG1IC	CSIG1 通信ステータス割り込み	CSIG1	エッジ	$10DF_H$	○	○	○			$+37C_H$
224	ICCSIG1IR	FFFF $B1C0_H$	INTCSIG1IR	CSIG1 受信ステータス割り込み	CSIG1	エッジ	$10E0_H$	○	○	○			$+380_H$
225	ICCSIG1IRE	FFFF $B1C2_H$	INTCSIG1IRE	CSIG1 通信エラー割り込み	CSIG1	エッジ	$10E1_H$	○	○	○			$+384_H$
226	ICRLIN24	FFFF $B1C4_H$	INTRLIN24	RLIN24 割り込み	RLIN241	エッジ	$10E2_H$	○	○	○			$+388_H$

表 7.4 EI レベルマスカブル割り込み要因 (7/8)

割り込み			割り込み要求				例外要因コード	144 pin	176 pin	233 pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2					直接分岐方式		テーブル参照方式注5
	名称	アドレス									RINT = 0	RINT = 1	
227	ICRLIN25	FFFF $B1C6_H$	INTRLIN25	RLIN25 割り込み	RLIN241	エッジ	$10E3_H$	○	○	○	注3	注4	$+38C_H$
228	ICRLIN33	FFFF $B1C8_H$	INTRLIN33	RLIN33 割り込み	RLIN33	エッジ	$10E4_H$	○	○	○			$+390_H$
229	ICRLIN33UR0	FFFF $B1CA_H$	INTRLIN33UR0	RLIN33 送信割り込み	RLIN33	エッジ	$10E5_H$	○	○	○			$+394_H$
230	ICRLIN33UR1	FFFF $B1CC_H$	INTRLIN33UR1	RLIN33 受信完了割り込み	RLIN33	エッジ	$10E6_H$	○	○	○			$+398_H$
231	ICRLIN33UR2	FFFF $B1CE_H$	INTRLIN33UR2	RLIN33 ステータス割り込み	RLIN33	エッジ	$10E7_H$	○	○	○			$+39C_H$
232	ICRLIN34	FFFF $B1D0_H$	INTRLIN34	RLIN34 割り込み	RLIN34	エッジ	$10E8_H$	○	○	○			$+3A0_H$
233	ICRLIN34UR0	FFFF $B1D2_H$	INTRLIN34UR0	RLIN34 送信割り込み	RLIN34	エッジ	$10E9_H$	○	○	○			$+3A4_H$
234	ICRLIN34UR1	FFFF $B1D4_H$	INTRLIN34UR1	RLIN34 受信完了割り込み	RLIN34	エッジ	$10EA_H$	○	○	○			$+3A8_H$
235	ICRLIN34UR2	FFFF $B1D6_H$	INTRLIN34UR2	RLIN34 ステータス割り込み	RLIN34	エッジ	$10EB_H$	○	○	○			$+3AC_H$
236	ICRLIN35	FFFF $B1D8_H$	INTRLIN35	RLIN35 割り込み	RLIN35	エッジ	$10EC_H$	○	○	○			$+3B0_H$
237	ICRLIN35UR0	FFFF $B1DA_H$	INTRLIN35UR0	RLIN35 送信割り込み	RLIN35	エッジ	$10ED_H$	○	○	○			$+3B4_H$
238	ICRLIN35UR1	FFFF $B1DC_H$	INTRLIN35UR1	RLIN35 受信完了割り込み	RLIN35	エッジ	$10EE_H$	○	○	○			$+3B8_H$
239	ICRLIN35UR2	FFFF $B1DE_H$	INTRLIN35UR2	RLIN35 ステータス割り込み	RLIN35	エッジ	$10EF_H$	○	○	○			$+3BC_H$
240	ICPWGA48	FFFF $B1E0_H$	INTPWGA48	PWGA48 割り込み	PWGA48	エッジ	$10F0_H$	○	○	○			$+3C0_H$
241	ICPWGA49	FFFF $B1E2_H$	INTPWGA49	PWGA49 割り込み	PWGA49	エッジ	$10F1_H$	○	○	○			$+3C4_H$
242	ICPWGA50	FFFF $B1E4_H$	INTPWGA50	PWGA50 割り込み	PWGA50	エッジ	$10F2_H$	○	○	○			$+3C8_H$
243	ICPWGA51	FFFF $B1E6_H$	INTPWGA51	PWGA51 割り込み	PWGA51	エッジ	$10F3_H$	○	○	○			$+3CC_H$
244	ICPWGA52	FFFF $B1E8_H$	INTPWGA52	PWGA52 割り込み	PWGA52	エッジ	$10F4_H$	○	○	○			$+3D0_H$
245	ICPWGA53	FFFF $B1EA_H$	INTPWGA53	PWGA53 割り込み	PWGA53	エッジ	$10F5_H$	○	○	○			$+3D4_H$
246	ICPWGA54	FFFF $B1EC_H$	INTPWGA54	PWGA54 割り込み	PWGA54	エッジ	$10F6_H$	○	○	○			$+3D8_H$
247	ICPWGA55	FFFF $B1EE_H$	INTPWGA55	PWGA55 割り込み	PWGA55	エッジ	$10F7_H$	○	○	○			$+3DC_H$
248	ICPWGA56	FFFF $B1F0_H$	INTPWGA56	PWGA56 割り込み	PWGA56	エッジ	$10F8_H$	○	○	○			$+3E0_H$
249	ICPWGA57	FFFF $B1F2_H$	INTPWGA57	PWGA57 割り込み	PWGA57	エッジ	$10F9_H$	○	○	○			$+3E4_H$
250	ICPWGA58	FFFF $B1F4_H$	INTPWGA58	PWGA58 割り込み	PWGA58	エッジ	$10FA_H$	○	○	○			$+3E8_H$
251	ICPWGA59	FFFF $B1F6_H$	INTPWGA59	PWGA59 割り込み	PWGA59	エッジ	$10FB_H$	○	○	○			$+3EC_H$
252	ICPWGA60	FFFF $B1F8_H$	INTPWGA60	PWGA60 割り込み	PWGA60	エッジ	$10FC_H$	○	○	○			$+3F0_H$
253	ICPWGA61	FFFF $B1FA_H$	INTPWGA61	PWGA61 割り込み	PWGA61	エッジ	$10FD_H$	○	○	○			$+3F4_H$
254	ICPWGA62	FFFF $B1FC_H$	INTPWGA62	PWGA62 割り込み	PWGA62	エッジ	$10FE_H$	○	○	○			$+3F8_H$
255	ICPWGA63	FFFF $B1FE_H$	INTPWGA63	PWGA63 割り込み	PWGA63	エッジ	$10FF_H$	○	○	○			$+3FC_H$
256	ICTAUB1I0	FFFF $B200_H$	INTTAUB1I0	TAUB1 チャネル 0 割り込み	TAUB1	エッジ	1100_H	—	○	○			$+400_H$
257	ICTAUB1I1	FFFF $B202_H$	INTTAUB1I1	TAUB1 チャネル 1 割り込み	TAUB1	エッジ	1101_H	—	○	○			$+404_H$
258	ICTAUB1I2	FFFF $B204_H$	INTTAUB1I2	TAUB1 チャネル 2 割り込み	TAUB1	エッジ	1102_H	—	○	○			$+408_H$
259	ICTAUB1I3	FFFF $B206_H$	INTTAUB1I3	TAUB1 チャネル 3 割り込み	TAUB1	エッジ	1103_H	—	○	○			$+40C_H$
260	ICTAUB1I4	FFFF $B208_H$	INTTAUB1I4	TAUB1 チャネル 4 割り込み	TAUB1	エッジ	1104_H	—	○	○			$+410_H$
261	ICTAUB1I5	FFFF $B20A_H$	INTTAUB1I5	TAUB1 チャネル 5 割り込み	TAUB1	エッジ	1105_H	—	○	○			$+414_H$
262	ICTAUB1I6	FFFF $B20C_H$	INTTAUB1I6	TAUB1 チャネル 6 割り込み	TAUB1	エッジ	1106_H	—	○	○			$+418_H$
263	ICTAUB1I7	FFFF $B20E_H$	INTTAUB1I7	TAUB1 チャネル 7 割り込み	TAUB1	エッジ	1107_H	—	○	○			$+41C_H$
264	ICTAUB1I8	FFFF $B210_H$	INTTAUB1I8	TAUB1 チャネル 8 割り込み	TAUB1	エッジ	1108_H	—	○	○			$+420_H$
265	ICTAUB1I9	FFFF $B212_H$	INTTAUB1I9	TAUB1 チャネル 9 割り込み	TAUB1	エッジ	1109_H	—	○	○			$+424_H$
266	ICTAUB1I10	FFFF $B214_H$	INTTAUB1I10	TAUB1 チャネル 10 割り込み	TAUB1	エッジ	$110A_H$	—	○	○			$+428_H$
267	ICTAUB1I11	FFFF $B216_H$	INTTAUB1I11	TAUB1 チャネル 11 割り込み	TAUB1	エッジ	$110B_H$	—	○	○			$+42C_H$
268	ICTAUB1I12	FFFF $B218_H$	INTTAUB1I12	TAUB1 チャネル 12 割り込み	TAUB1	エッジ	$110C_H$	—	○	○			$+430_H$
269	ICTAUB1I13	FFFF $B21A_H$	INTTAUB1I13	TAUB1 チャネル 13 割り込み	TAUB1	エッジ	$110D_H$	—	○	○			$+434_H$
270	ICTAUB1I14	FFFF $B21C_H$	INTTAUB1I14	TAUB1 チャネル 14 割り込み	TAUB1	エッジ	$110E_H$	—	○	○			$+438_H$
271	ICTAUB1I15	FFFF $B21E_H$	INTTAUB1I15	TAUB1 チャネル 15 割り込み	TAUB1	エッジ	$110F_H$	—	○	○			$+43C_H$
272	ICRCAN4ERR	FFFF $B220_H$	INTRCAN4ERR	CAN4 エラー割り込み	RS-CAN0	レベル	1110_H	○	○	○			$+440_H$
273	ICRCAN4REC	FFFF $B222_H$	INTRCAN4REC	CAN4 送受信 FIFO 受信完了割り込み	RS-CAN0	レベル	1111_H	○	○	○			$+444_H$

表 7.4 EI レベルマスカブル割り込み要因 (8/8)

割り込み			割り込み要求				例外要因コード	144 pin	176 pin	233 pin	ハンドラアドレス（オフセット）注 8		
チャネル番号注 1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注 2					直接分岐方式		テーブル参照方式注 5
	名称	アドレス									RINT = 0	RINT = 1	
274	ICRCAN4TRX	FFFF $B224_H$	INTRCAN4TRX	CAN4 送信割り込み	RS-CAN0	レベル	1112_H	○	○	○	注 3	注 4	$+448_H$
275	ICRLIN26	FFFF $B226_H$	INTRLIN26	RLIN26 割り込み	RLIN241	エッジ	1113_H	—	○	○			$+44C_H$
276	ICRLIN27	FFFF $B228_H$	INTRLIN27	RLIN27 割り込み	RLIN241	エッジ	1114_H	—	○	○			$+450_H$
277	ICPWGA64	FFFF $B22A_H$	INTPWGA64	PWGA64 割り込み	PWGA64	エッジ	1115_H	—	○	○			$+454_H$
278	ICPWGA65	FFFF $B22C_H$	INTPWGA65	PWGA65 割り込み	PWGA65	エッジ	1116_H	—	○	○			$+458_H$
279	ICPWGA66	FFFF $B22E_H$	INTPWGA66	PWGA66 割り込み	PWGA66	エッジ	1117_H	—	○	○			$+45C_H$
280	ICPWGA67	FFFF $B230_H$	INTPWGA67	PWGA67 割り込み	PWGA67	エッジ	1118_H	—	○	○			$+460_H$
281	ICPWGA68	FFFF $B232_H$	INTPWGA68	PWGA68 割り込み	PWGA68	エッジ	1119_H	—	○	○			$+464_H$
282	ICPWGA69	FFFF $B234_H$	INTPWGA69	PWGA69 割り込み	PWGA69	エッジ	$111A_H$	—	○	○			$+468_H$
283	ICPWGA70	FFFF $B236_H$	INTPWGA70	PWGA70 割り込み	PWGA70	エッジ	$111B_H$	—	○	○			$+46C_H$
284	ICPWGA71	FFFF $B238_H$	INTPWGA71	PWGA71 割り込み	PWGA71	エッジ	$111C_H$	—	○	○			$+470_H$
285	ICRLIN28	FFFF $B23A_H$	INTRLIN28	RLIN28 割り込み	RLIN242	エッジ	$111D_H$	—	○	○			$+474_H$
286	ICRLIN29	FFFF $B23C_H$	INTRLIN29	RLIN29 割り込み	RLIN242	エッジ	$111E_H$	—	○	○			$+478_H$
287	ICRCAN5ERR	FFFF $B23E_H$	INTRCAN5ERR	CAN5 エラー割り込み	RS-CAN0	レベル	$111F_H$	○	○	○			$+47C_H$
288	ICRCAN5REC	FFFF $B240_H$	INTRCAN5REC	CAN5 送受信 FIFO 受信完了割り込み	RS-CAN0	レベル	1120_H	○	○	○			$+480_H$
289	ICRCAN5TRX	FFFF $B242_H$	INTRCAN5TRX	CAN5 送信割り込み	RS-CAN0	レベル	1121_H	○	○	○			$+484_H$
290	ICPWGA72	FFFF $B244_H$	INTPWGA72	PWGA72 割り込み	PWGA72	エッジ	1122_H	—	—	○			$+488_H$
291	ICPWGA73	FFFF $B246_H$	INTPWGA73	PWGA73 割り込み	PWGA73	エッジ	1123_H	—	—	○			$+48C_H$
292	ICPWGA74	FFFF $B248_H$	INTPWGA74	PWGA74 割り込み	PWGA74	エッジ	1124_H	—	—	○			$+490_H$
293	ICPWGA75	FFFF $B24A_H$	INTPWGA75	PWGA75 割り込み	PWGA75	エッジ	1125_H	—	—	○			$+494_H$
294	ICPWGA76	FFFF $B24C_H$	INTPWGA76	PWGA76 割り込み	PWGA76	エッジ	1126_H	—	—	○			$+498_H$
295	ICPWGA77	FFFF $B24E_H$	INTPWGA77	PWGA77 割り込み	PWGA77	エッジ	1127_H	—	—	○			$+49C_H$
296	ICPWGA78	FFFF $B250_H$	INTPWGA78	PWGA78 割り込み	PWGA78	エッジ	1128_H	—	—	○			$+4A0_H$
297	ICPWGA79	FFFF $B252_H$	INTPWGA79	PWGA79 割り込み	PWGA79	エッジ	1129_H	—	—	○			$+4A4_H$

注 1. 各割り込みは、INTC1 のチャネル 0 ～ 31 および INTC2 のチャネル 32 ～ 297 に接続されています。

注 2. 各割り込み要因がレベルで検出しているのか、エッジで検出しているのかを示します。EI レベル割り込み制御レジスタのリセット後の値にも影響します。詳細は「**7.4.2 ICxxx — EI レベル割り込み制御レジスタ**」を参照してください。レベルで検出している場合は、割り込み要因を保持しているレジスタにアクセスすることにより割り込み要因をクリアします。レジスタ更新結果を後続の命令に反映させるには、レジスタのダミーリードと SYNCP 命令の実行が必要です。詳細は、**3.3.1.1** を参照してください。

注 3. 割り込みチャネルに関係なく、オフセットアドレスは、優先度（0 ～ 15）によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます。

注 4. 優先度に無関係に、オフセットアドレスは、一律 $+100_H$ となります。

注 5. テーブル参照方式は、割り込みチャネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求まります。例外ハンドラアドレス読み出し位置 = INTBP レジスタ + チャネル番号 × 4 バイト

注 6. 同じ割り込み要因が異なる割り込みチャネルに割り当てられています。詳細は「**7.5.1 SELB_INTC1 — INTC1 割り込み選択レジスタ**」を参照してください。

注 7. 同じ割り込みチャネルに二つの割り込み要因が割り当てられています。詳細は「**7.5.2 SELB_INTC2 — INTC2 割り込み選択レジスタ**」を参照してください。

注 8. 詳細については、「**7.10 例外ハンドラアドレス**」を参照してください。

注 9. INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。OSTM0 を TSU（Timing Supervision Unit）機能として使用する場合は FEINT を使用してください。また、OSTM0 を TSU 機能以外として使用する場合は EIINT を使用してください。

注 10. 割り込み要因の詳細については、「***RH850/F1L, RH850/F1M, RH850/F1H フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編***」を参照してください。

7.2.2 FE レベルノンマスカブル割り込み要因

7.2.2.1 WDTNMIF — FENMI 要因レジスタ

このレジスタは、FE レベルノンマスカブル割り込み（FENMI）がどの要因で発生したかを示します。また、このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFC0 0000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTA1 NMIF	WDTA0 NMIF	TNMIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.5 WDTNMIF レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	WDTA1NMIF	WDTA1 NMI フラグ 0：WDTA1 NMI が発生していない 1：WDTA1 NMI が発生した
1	WDTA0NMIF	WDTA0 NMI フラグ 0：WDTA0 NMI が発生していない 1：WDTA0 NMI が発生した
0	TNMIF	NMI 端子からの入力信号フラグ 0：TNMI が発生していない 1：TNMI が発生した

7.2.2.2 WDTNMIFC — WDTNMI 要因クリアレジスタ

このレジスタは WDTNMIF レジスタの FE レベルノンマスカブル割り込みフラグをクリアするレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

アドレス FFC0 0008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTA1NMIFC	WDTA0NMIFC	TNMIFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W

表 7.6 WDTNMIFC レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	ライトする場合はリセット後の値を書いてください。
2	WDTA1NMIFC	WDTA1NMIF フラグのクリア 0：— 1：クリアする
1	WDTA0NMIFC	WDTA0NMIF フラグのクリア 0：— 1：クリアする
0	TNMIFC	TNMIF フラグのクリア 0：— 1：クリアする

7.2.3 FE レベルマスカブル割り込み要因

7.2.3.1 FEINTF — FEINT 要因レジスタ

このレジスタは、FE レベルマスカブル割り込み（FEINT）がどの要因で発生したかを示します。また、このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス $FFC0\ 0100_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	OSTM4 FEIF	OSTM3 FEIF	OSTM2 FEIF	OSTM1 FEIF	GUARD FEIF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIH FEIF	OSTM0 FEIF	ECCRA MFEIF	ECCSC FLI0 FEIF	—	ECCDC SIH3FE IF	ECCDC SIH2 FEIF	ECCDC SIH1 FEIF	ECCDC SIH0 FEIF	ECCDC NRAM0 FEIF	ECCDF LRAMF EIF	ECCDE EP0 FEIF	—	—	—	LVIL FEIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.7 FEINTF レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。
21	OSTM4FEIF	INTOSTM4_FE 割り込みの発生 0：発生していない 1：発生した
20	OSTM3FEIF	INTOSTM3_FE 割り込みの発生 0：発生していない 1：発生した
19	OSTM2FEIF	INTOSTM2_FE 割り込みの発生 0：発生していない 1：発生した
18	OSTM1FEIF	INTOSTM1_FE 割り込みの発生 0：発生していない 1：発生した
17	GUARDFEIF	INTGUARD 割り込みの発生 0：発生していない 1：発生した
16	予約ビット	リードした場合はリセット後の値が読めます。
15	LVIHFEIF	INTLVIH 割り込みの発生 0：発生していない 1：発生した
14	OSTM0 FEIF	INTOSTM0_FE 割り込みの発生 0：発生していない 1：発生した
13	ECCRAM FEIF	INTECCRAM 割り込みの発生 0：発生していない 1：発生した
12	ECCSCFLI0 FEIF	INTECCSCFLI0 割り込みの発生 0：発生していない 1：発生した
11	予約ビット	リードした場合はリセット後の値が読めます。

表 7.7　FEINTF レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	ECCDCSIH3 FEIF	INTECCDCSIH3 割り込みの発生 0：発生していない 1：発生した
9	ECCDCSIH2 FEIF	INTECCDCSIH2 割り込みの発生 0：発生していない 1：発生した
8	ECCDCSIH1 FEIF	INTECCDCSIH1 割り込みの発生 0：発生していない 1：発生した
7	ECCDCSIH0 FEIF	INTECCDCSIH0 割り込みの発生 0：発生していない 1：発生した
6	ECCDCNRAM0 FEIF	INTECCDCNRAM0 割り込みの発生 0：発生していない 1：発生した
5	ECCDFLRAM FEIF	INTECCDFLRAM 割り込みの発生 0：発生していない 1：発生した
4	ECCDEEP0 FEIF	INTECCDEEP0 割り込みの発生 0：発生していない 1：発生した
3 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	LVILFEIF	INTLVIL 割り込みの発生 0：発生していない 1：発生した

7.2.3.2 FEINTFMSK — FEINT 要因マスクレジスタ

このレジスタは、FE レベルマスカブル割り込み（FEINT）をマスクするレジスタです。また、このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFC0 0104$_H$

リセット後の値 FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	OSTM4 FEIFMSK	OSTM3 FEIFMSK	OSTM2 FEIFMSK	OSTM1 FEIFMSK	GUARD FEIFMSK	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIH FEIFMSK	OSTM0 FEIFMSK	ECCRA MFEIF MSK	ECCSC FLI0FEI FMSK	—	ECCDC SIH3FE IFMSK	ECCDC SIH2FE IFMSK	ECCDC SIH1FE IFMSK	ECCDC SIH0FE IFMSK	ECCDCN RAM0FE IFMSK	ECCDFL RAMFEI FMSK	ECCDE EP0FEI FMSK	—	—	—	LVILFEI FMSK
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 7.8 FEINTFMSK レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	OSTM4 FEIFMSK	INTOSTM4_FE 割り込みのマスク 0：マスクしない 1：マスクする
20	OSTM3 FEIFMSK	INTOSTM3_FE 割り込みのマスク 0：マスクしない 1：マスクする
19	OSTM2 FEIFMSK	INTOSTM2_FE 割り込みのマスク 0：マスクしない 1：マスクする
18	OSTM1 FEIFMSK	INTOSTM1_FE 割り込みのマスク 0：マスクしない 1：マスクする
17	GUARD FEIFMSK	INTGUARD 割り込みのマスク 0：マスクしない 1：マスクする
16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	LVIHFEIFMSK	INTLVIH 割り込みのマスク 0：マスクしない 1：マスクする
14	OSTM0FE IFMSK	INTOSTM0_FE 割り込みのマスク 0：マスクしない 1：マスクする
13	ECCRAMFEIF MSK	INTECCRAM 割り込みのマスク 0：マスクしない 1：マスクする
12	ECCSCFLI0 FEIFMSK	INTECCSCFLI0 割り込みのマスク 0：マスクしない 1：マスクする
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 7.8　FEINTFMSK レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	ECCDCSIH3FEIFMSK	INTECCDCSIH3 割り込みのマスク 0：マスクしない 1：マスクする
9	ECCDCSIH2FEIFMSK	INTECCDCSIH2 割り込みのマスク 0：マスクしない 1：マスクする
8	ECCDCSIH1FEIFMSK	INTECCDCSIH1 割り込みのマスク 0：マスクしない 1：マスクする
7	ECCDCSIH0FEIFMSK	INTECCDCSIH0 割り込みのマスク 0：マスクしない 1：マスクする
6	ECCDCNRAM0FEIFMSK	INTECCDCNRAM0 割り込みのマスク 0：マスクしない 1：マスクする
5	ECCDFLRAMFEIFMSK	INTECCDFLRAM 割り込みのマスク 0：マスクしない 1：マスクする
4	ECCDEEP0FEIFMSK	INTECCDEEP0 割り込みのマスク 0：マスクしない 1：マスクする
3 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LVILFEIFMSK	INTLVIL 割り込みのマスク 0：マスクしない 1：マスクする

7.2.3.3 FEINTFC — FEINT 要因クリアレジスタ

このレジスタは、FEINT 要因レジスタ（FEINTF）の各ビットをクリアするレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

アドレス FFC0 0108$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	OSTM4 FEIFC	OSTM3 FEIFC	OSTM2 FEIFC	OSTM1 FEIFC	GUARD FEIFC	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	W	W	W	W	W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIH FEIFC	OSTM0 FEIFC	ECC RAM FEIFC	ECCSC FLI0FEI FC	—	ECCDC SIH3 FEIFC	ECCDC SIH2 FEIFC	ECCDC SIH1 FEIFC	ECCDC SIH0 FEIFC	ECCDC NRAM0 FEIFC	ECCDF LRAMF EIFC	ECC DEEP0 FEIFC	—	—	—	LVIL FEIFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	R	W	W	W	W	W	W	W	R	R	R	W

表 7.9 FEINTFC レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 22	予約ビット	ライトする場合はリセット後の値を書いてください。
21	OSTM4FEIFC	OSTM4FEIF フラグのクリア 0：— 1：クリアする
20	OSTM3FEIFC	OSTM3FEIF フラグのクリア 0：— 1：クリアする
19	OSTM2FEIFC	OSTM2FEIF フラグのクリア 0：— 1：クリアする
18	OSTM1FEIFC	OSTM1FEIF フラグのクリア 0：— 1：クリアする
17	GUARDFEIFC	GUARDFEIF フラグのクリア 0：— 1：クリアする
16	予約ビット	ライトする場合はリセット後の値を書いてください。
15	LVIHFEIFC	LVIHFEIF フラグのクリア 0：— 1：クリアする
14	OSTM0 FEIFC	OSTM0FEIF フラグのクリア 0：— 1：クリアする
13	ECCRAM FEIFC	ECCRAMFEIF フラグのクリア 0：— 1：クリアする
12	ECCSCFLI0 FEIFC	ECCSCFLI0FEIF フラグのクリア 0：— 1：クリアする
11	予約ビット	ライトする場合はリセット後の値を書いてください。
10	ECCDCSIH3 FEIFC	ECCDCSIH3FEIF フラグのクリア 0：— 1：クリアする

表 7.9　FEINTFC レジスタの内容 (2/2)

ビット位置	ビット名	機能
9	ECCDCSIH2 FEIFC	ECCDCSIH2FEIF フラグのクリア 0：— 1：クリアする
8	ECCDCSIH1 FEIFC	ECCDCSIH1FEIF フラグのクリア 0：— 1：クリアする
7	ECCDCSIH0 FEIFC	ECCDCSIH0FEIF フラグのクリア 0：— 1：クリアする
6	ECCDCNRAM0 FEIFC	ECCDCNRAM0FEIF フラグのクリア 0：— 1：クリアする
5	ECCDFLRAMF EIFC	ECCDFLRAMFEIF フラグのクリア 0：— 1：クリアする
4	ECCDEEP0 FEIFC	ECCDEEP0FEIF フラグのクリア 0：— 1：クリアする
3 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	LVILFEIFC	LVILFEIF フラグのクリア 0：— 1：クリアする

7.3 エッジ／レベル検出機能

外部割り込み（TNMI と INTPm）は外部端子の 立ち上がり／立ち下がり／両エッジ／ロウまたはハイレベルを検出することにより割り込みを要求できます。

各割り込みのエッジ／レベルを指定するレジスタを次に示します。

表 7.10　外部割り込みエッジ／レベル検出レジスタ

割り込み	レジスタ
TNMI	FCLA0CTL0_NMI
INTP0	FCLA0CTL0_INTPL
INTP1	FCLA0CTL1_INTPL
INTP2	FCLA0CTL2_INTPL
INTP3	FCLA0CTL3_INTPL
INTP4	FCLA0CTL4_INTPL
INTP5	FCLA0CTL5_INTPL
INTP6	FCLA0CTL6_INTPL
INTP7	FCLA0CTL7_INTPL
INTP8	FCLA0CTL0_INTPH
INTP9	FCLA0CTL1_INTPH
INTP10	FCLA0CTL2_INTPH
INTP11	FCLA0CTL3_INTPH
INTP12	FCLA0CTL4_INTPH
INTP13	FCLA0CTL5_INTPH
INTP14	FCLA0CTL6_INTPH
INTP15	FCLA0CTL7_INTPH

レジスタの詳細に関しては、**「第 2 章　端子」**を参照してください。

7.4 割り込みコントローラ制御レジスタ

ICxxx、IMRm（m=0 ～ 9）、FNC、FIC レジスタへの書き込みは、スーパバイザモード（PSW.UM=0）時のみ実行可能です。

7.4.1 レジスター覧

表 7.11　割り込みコントローラ制御レジスター覧

レジスタ名	略号	アドレス
EI レベル割り込み制御レジスタ	ICxxx	注 1
EI レベル割り込みマスクレジスタ	IMRm	IMR0：FFFE $EAF0_H$ IMRm（m=1 ～ 9）： FFFF $B400_H$ +（04_H × m）
FE レベル NMI ステータスレジスタ	FNC	FFFE $EA78_H$
FE レベルマスカブル割り込みステータスレジスタ	FIC	FFFE $EA7A_H$

注 1.　**「表 7.4　EI レベルマスカブル割り込み要因」**を参照してください。

表 7.11 に示すレジスタのうち、割り込みチャネル番号 0 ～ 31 に対応する、ICxxx、IMR0 は、CPU が内蔵する CPU Peripheral 領域内の INTC1 に配置されています。

また、書き込みはスーパーバイザモード（PSW.UM = 0）のみが実行可能です。

表 7.11 に示すレジスタのうち、割り込みチャネル番号 32 ～ 297 に対応する、ICxxx、IMR1~9 は、Peripheral Group0 内の INTC2 に配置されています。これらのレジスタへの書き込みは、CPU1 のスーパーバイザモード（UM = 0）のみが実行可能です。

IMR1 ～ 9 への書き込みでは、上記条件に一致するビットのみが書き換えられ、条件に一致しなかったビットは更新されません。

表 7.11 に示すレジスタのうち、**「表 7.4　EI レベルマスカブル割り込み要因」**で、Reserved となっているチャネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

7.4.2 ICxxx — EI レベル割り込み制御レジスタ

EI レベルマスカブル割り込み（EIINT）のチャネルごとに設けられ、各チャネルの制御条件を設定します。このレジスタは、どのリセット要因でも初期化されます。それぞれの要因は**「表 7.4 EI レベルマスカブル割り込み要因」**を参照してください。

注 意

エッジ検出で、周辺モジュールからの割り込み要求の直後（CPU によって割り込みが受け付けられる前）に、RFxxx ビットに “0” を書き込んだ場合は、要求が失われる場合があります。
また、CPU によって割り込みが受け付けられた直後に、RFxxx ビットに “1” を書き込んだ場合は要求が再セットされる場合があります。

レジスタへの書き込みにはビット操作命令（set1、clr1、not1）を含みます。

ビット操作命令については、「3.3.2 ビット操作命令でのレジスタ・アクセス」もご参照ください。

MKxxx ビットを含む下位バイトへのビット操作命令実行時には、RFxxx ビットは影響を受けません。

アクセス ICxxx は 16 ビット単位でリード／ライト可能です。
ICxxxH、ICxxxL は 8/1 ビット単位でリード／ライト可能です。
ただし、ビット 14, 13, 11-8, 5, 4 への SET1, CLR1, NOT1 命令によるビットアクセスは禁止です。

アドレス **「表 7.4 EI レベルマスカブル割り込み要因」**を参照してください。

リセット後の値 $008F_H$（エッジ検出）、$808F_H$（レベル検出）注 1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CTxxx	—	—	RFxxx	—	—	—	—	MKxxx	TBxxx	—	—	P3xxx	P2xxx	P1xxx	P0xxx
リセット後の値	0/1 注 1	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W

注 1. リセット後の値は各割り込みの検出タイプ（エッジ検出：0、レベル検出：1）で異なります。詳細は**「表 7.4 EI レベルマスカブル割り込み要因」**の検出タイプを参照してください。

表 7.12 ICxxx レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	CTxxx	割り込み検出タイプビットです。リードのみ可能です。 0：エッジ検出 1：レベル検出 8/16 ビットでライトする場合は、リセット後の値を書いてください。
14、13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 7.12 ICxxx レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>12</td><td>RFxxx</td><td>割り込み要求フラグです。
RFxxx ビットはプログラムから書き込み可能です。RFxxx ビットをセット（1）すると、割り込み要求を受け付けた場合と同じように、EI レベルマスカブル割り込み n（EIINTn）を発生します。
0：割り込み要求なし
1：割り込み要求あり

<table>
<tr><th>入力インタフェース</th><th>動作</th></tr>
<tr><td>エッジ検出
（CTxxx = 0）</td><td>CPU コアに割り込み要求が受けつけられると、自動的にクリアされます。ソフトウェアによるビットのセットクリアが可能です。RFxxx ビットをセット（1）すると、割り込み要求を受け付けた場合と同じように、EI レベルマスカブル割り込み n（EIINTn）を発生します。</td></tr>
<tr><td>レベル検出
（CTxxx = 1）</td><td>ソフトウェアによるビットのセットクリアはできません。リードのみ可能です。
CPU コアに割り込み要求が受け付けられてもクリアされません。</td></tr>
</table></td></tr>
<tr><td>11 ～ 8</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>7</td><td>MKxxx</td><td>割り込み要求マスクビットです。
MKxxx ビットがセットされている場合、チャネルからの割り込み要求はマスクされ、そのチャネルから CPU コアへの割り込み要求は行われません。チャネルがマスクされている ICSR.PMEI ビットには、割り込み中断状態は反映されません。
MKxxx = 1 でチャネルからの割り込み要求がマスクされている場合、RFxxx はチャネルへの割り込み要求をまだ反映しており、ソフトウェアでポーリングすることができます。MKxxx ビットがクリアされると、チャネルからの割り込み要求は、その後の処理のために CPU コアに発行されます。MKxxx ビットの状態は、対応する IMRm のレジスタに反映されます。
0：割り込み処理を許可
1：割り込み処理を禁止</td></tr>
<tr><td>6</td><td>TBxxx</td><td>割り込みベクタ方式選択ビットです。
0：優先度に基づいた直接分岐方式
1：テーブル参照方式

割り込みベクタ方式についての詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」を参照してください。</td></tr>
<tr><td>5、4</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>3 ～ 0</td><td>P3xxx ～ P0xxx</td><td>16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。
複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ最初の処理として通知されます。同時に発生した割り込み要求に対して、P3xxx ～ P0xxx ビットが同じ優先度を指定すると、チャネル番号が小さい要因が選択されます。</td></tr>
</table>

注 意

「表 7.4 EI レベルマスカブル割り込み要因」に「予約」と記載、および製品に搭載されていないチャネルの ICxxx レジスタにはアクセスしないでください。

7.4.3 IMRm — EI レベル割り込みマスクレジスタ（m = 0 ～ 9）

ICxxx レジスタの MKxxx ビットの集合レジスタです。IMRm レジスタの各ビットは対応する MKxxx ビットの設定が反映されます。また IMRm レジスタへの設定は対応する MKxxx ビットへ反映されます。このレジスタは、どのリセット要因でも初期化されます。

アクセス IMRm は 32 ビット単位でリード／ライト可能です。
IMRmH、IMRmL は 16 ビット単位でリード／ライト可能です。
IMRmHH、IMRmHL、IMRmLH、IMRmLL は 8/1 ビット単位でリード／ライト可能です。

アドレス IMR0：FFFE $EAF0_H$
IMRm (m = 1 ～ 9)：FFFF $B400_H$ + (04_H × m)

リセット後の値 FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IMRmEIMK (m × 32 + 31)	IMRmEIMK (m × 32 + 30)	IMRmEIMK (m × 32 + 29)	IMRmEIMK (m × 32 + 28)	IMRmEIMK (m × 32 + 27)	IMRmEIMK (m × 32 + 26)	IMRmEIMK (m × 32 + 25)	IMRmEIMK (m × 32 + 24)	IMRmEIMK (m × 32 + 23)	IMRmEIMK (m × 32 + 22)	IMRmEIMK (m × 32 + 21)	IMRmEIMK (m × 32 + 20)	IMRmEIMK (m × 32 + 19)	IMRmEIMK (m × 32 + 18)	IMRmEIMK (m × 32 + 17)	IMRmEIMK (m × 32 + 16)
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMRmEIMK (m × 32 + 15)	IMRmEIMK (m × 32 + 14)	IMRmEIMK (m × 32 + 13)	IMRmEIMK (m × 32 + 12)	IMRmEIMK (m × 32 + 11)	IMRmEIMK (m × 32 + 10)	IMRmEIMK (m × 32 + 9)	IMRmEIMK (m × 32 + 8)	IMRmEIMK (m × 32 + 7)	IMRmEIMK (m × 32 + 6)	IMRmEIMK (m × 32 + 5)	IMRmEIMK (m × 32 + 4)	IMRmEIMK (m × 32 + 3)	IMRmEIMK (m × 32 + 2)	IMRmEIMK (m × 32 + 1)	IMRmEIMK (m × 32 + 0)
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.13 IMRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	IMRmEIMK (m × 32 + 31) ～ IMRmEIMK (m × 32 + 0)	EI レベルマスカブル割り込み（EIINT）のチャネル 0 から 297 の割り込みマスクビットです。 0：割り込み処理を許可 1：割り込み処理を禁止

注 意

「表 7.4 EI レベルマスカブル割り込み要因」に「予約」と記載、および製品に搭載されていないチャネルに対応する MKxxx ビットには、必ず 1 を設定してください。

7.4.4 FNC — FE レベル NMI ステータスレジスタ

FE レベルノンマスカブル割り込み（FENMI）の状態を示すレジスタです。

アクセス FNC は 16 ビット単位でリードのみ可能です。
FNCH は 8/1 ビット単位でリードのみ可能です。

アドレス FNC：FFFE EA78$_H$
FNCH：FFFE EA79$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FNRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.14 FNC レジスタの内容

ビット位置	ビット名	機能
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	FNRF	割り込み要求フラグです。 0：割り込み要求なし 1：割り込み要求あり CPU コアに FE レベル NMI の割り込み要求が受けつけられると、自動的にクリアされます。
11 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。

7.4.5 FIC — FE レベルマスカブル割り込みステータスレジスタ

FE レベルマスカブル割り込み（FEINT）の状態を示すレジスタです。

アクセス FIC は 16 ビット単位でリードのみ可能です。
FICH は 8/1 ビット単位でリードのみ可能です。

アドレス FIC：FFFE EA7A$_H$
FICH：FFFE EA7B$_H$

リセット後の値 8000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FIRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.15 FIC レジスタの内容

ビット位置	ビット名	機能
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	FIRF	割り込み要求フラグです。 0：割り込み要求なし 1：割り込み要求あり ソフトウェアによるビットのセットクリアはできません。読み出しのみ可能です。
11 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。

7.5 EI レベルマスカブル割り込みの選択レジスタ

EI レベルマスカブル割り込みは次のレジスタにて選択できます。

7.5.1 SELB_INTC1 — INTC1 割り込み選択レジスタ

1 つの割り込みチャネルに二つの割り込み要因が割り当てられているチャネルにおいて、どちらの割り込み要因を有効にするか選択します。

備 考

各ビットの設定に記載されているチャネルとは割り込みのチャネルを示し、優先順位でもあります。チャネルについては「表 7.4 EI レベルマスカブル割り込み要因」を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFC0 1000$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SELB_INTC1_12	SELB_INTC1_11	SELB_INTC1_10	SELB_INTC1_9	SELB_INTC1_8	SELB_INTC1_7	SELB_INTC1_6	SELB_INTC1_5	SELB_INTC1_4	SELB_INTC1_3	SELB_INTC1_2	SELB_INTC1_1	SELB_INTC1_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.16 SELB_INTC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	SELB_INTC1_12	割り込みチャネルの選択 0：INTADCA0I2（チャネル 20） INTCSIH0IJC（チャネル 32） 1：INTCSIH0IJC_1（チャネル 20） INTADCA0I2_2（チャネル 32）
11	SELB_INTC1_11	割り込みチャネルの選択 0：INTTAUD0I14（チャネル 15） INTCSIH3IJC（チャネル 161） 1：INTCSIH3IJC_1（チャネル 15） INTTAUD0I14_2（チャネル 161）
10	SELB_INTC1_10	割り込みチャネルの選択 0：INTTAUD0I12（チャネル 14） INTCSIH3IRE（チャネル 160） 1：INTCSIH3IRE_1（チャネル 14） INTTAUD0I12_2（チャネル 160）
9	SELB_INTC1_9	割り込みチャネルの選択 0：INTTAUD0I10（チャネル 13） INTCSIH3IR（チャネル 159） 1：INTCSIH3IR_1（チャネル 13） INTTAUD0I10_2（チャネル 159）
8	SELB_INTC1_8	割り込みチャネルの選択 0：INTTAUD0I2（チャネル 9） INTCSIH3IC（チャネル 158） 1：INTCSIH3IC_1（チャネル 9） INTTAUD0I2_2（チャネル 158）
7	SELB_INTC1_7	割り込みチャネルの選択 0：INTTAUD0I8（チャネル 12） INTCSIH2IJC（チャネル 135） 1：INTCSIH2IJC_1（チャネル 12） INTTAUD0I8_2（チャネル 135）

表 7.16　SELB_INTC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	SELB_INTC1 _6	割り込みチャネルの選択 0：INTTAUD0I6（チャネル 11） INTCSIH2IRE（チャネル 134） 1：INTCSIH2IRE_1（チャネル 11） INTTAUD0I6_2（チャネル 134）
5	SELB_INTC1 _5	割り込みチャネルの選択 0：INTTAUD0I4（チャネル 10） INTCSIH2IR（チャネル 133） 1：INTCSIH2IR_1（チャネル 10） INTTAUD0I4_2（チャネル 133）
4	SELB_INTC1 _4	割り込みチャネルの選択 0：INTTAUD0I0（チャネル 8） INTCSIH2IC（チャネル 132） 1：INTCSIH2IC_1（チャネル 8） INTTAUD0I0_2（チャネル 132）
3	SELB_INTC1 _3	割り込みチャネルの選択 0：INTCSIG0IR（チャネル 28） INTCSIH1IJC（チャネル 119） 1：INTCSIH1IJC_1（チャネル 28） INTCSIG0IR_2（チャネル 119）
2	SELB_INTC1 _2	割り込みチャネルの選択 0：INTCSIG0IC（チャネル 27） INTCSIH1IRE（チャネル 118） 1：INTCSIH1IRE_1（チャネル 27） INTCSIG0IC_2（チャネル 118）
1	SELB_INTC1 _1	割り込みチャネルの選択 0：INTTAPA0IVLY0（チャネル 17） INTCSIH1IR（チャネル 117） 1：INTCSIH1IR_1（チャネル 17） INTTAPA0IVLY0_2（チャネル 117）
0	SELB_INTC1 _0	割り込みチャネルの選択 0：INTTAPA0IPEK0（チャネル 16） INTCSIH1IC（チャネル 116） 1：INTCSIH1IC_1（チャネル 16） INTTAPA0IPEK0_2（チャネル 116）

注　意

SELB_INTC1 で各割り込み要因を設定してから、対応する各周辺機能の動作を許可してください。

7.5.2 SELB_INTC2 — INTC2 割り込み選択レジスタ

1 つの割り込みチャネルに二つの割り込み要因が割り当てられているチャネルにおいて、どちらの割り込み要因を有効にするか選択します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFC0 1004_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SELB_INTC2_10	SELB_INTC2_9	SELB_INTC2_8	SELB_INTC2_7	SELB_INTC2_6	SELB_INTC2_5	SELB_INTC2_4	SELB_INTC2_3	SELB_INTC2_2	SELB_INTC2_1	SELB_INTC2_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.17 SELB_INTC2 レジスタの内容

ビット位置	ビット名	機能
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SELB_INTC2_10	割り込みチャネル 157 の選択 0：INTTAUB0I15 1：INTPWGA31
9	SELB_INTC2_9	割り込みチャネル 155 の選択 0：INTTAUB0I13 1：INTPWGA30
8	SELB_INTC2_8	割り込みチャネル 153 の選択 0：INTTAUB0I11 1：INTPWGA26
7	SELB_INTC2_7	割り込みチャネル 151 の選択 0：INTTAUB0I9 1：INTPWGA19
6	SELB_INTC2_6	割り込みチャネル 149 の選択 0：INTTAUB0I7 1：INTPWGA18
5	SELB_INTC2_5	割り込みチャネル 147 の選択 0：INTTAUB0I5 1：INTPWGA17
4	SELB_INTC2_4	割り込みチャネル 145 の選択 0：INTTAUB0I3 1：INTPWGA16
3	SELB_INTC2_3	割り込みチャネル 88 の選択 0：INTENCA0I1 1：INTPWGA7
2	SELB_INTC2_2	割り込みチャネル 87 の選択 0：INTENCA0I0 1：INTPWGA6
1	SELB_INTC2_1	割り込みチャネル 86 の選択 0：INTENCA0IUD 1：INTPWGA5
0	SELB_INTC2_0	割り込みチャネル 85 の選択 0：INTENCA0IOV 1：INTPWGA4

注 1. 対応製品は、**「表 7.4 EI レベルマスカブル割り込み要因」**を参照してください。

注 意

SELB_INTC2 で各割り込み要因を設定してから、対応する各周辺機能の動作を許可してください。

7.6 割り込み機能システムレジスタ

「表 3.31　割り込み機能システムレジスター覧」を参照してください。

7.6.1 FPIPR —FPI 例外割り込み優先度

「表 3.32　FPIPR レジスタの内容」を参照してください。

7.6.2 ISPR — 受付中割り込み優先度

「表 3.33　ISPR レジスタの内容」を参照してください。

7.6.3 PMR — 割り込み優先度マスク

「表 3.34　PMR レジスタの内容」を参照してください。

7.6.4 ICSR — 割り込み制御ステータス

「表 3.35　ICSR レジスタの内容」を参照してください。

7.6.5 INTCFG — 割り込み機能の設定

「表 3.36　INTCFG レジスタの内容」を参照してください。

7.7 割り込み受け付け時の動作

命令の実行時点で通知されている割り込みを、優先順位にしたがって、ひとつひとつ割り込み受け付けを行うかどうかを確認していきます。割り込みごとの受け付け動作の手順は次の通りです。

(1) 受け付け条件を満たしているか、また優先順位にしたがって受け付けを行うかどうかを確認する。

(2) 現在の PSW の値に従って、例外ハンドラアドレスを計算する。注 1

(3) FE レベルノンマスカブル割り込み／ FE レベルマスカブル割り込みの場合、それぞれ次の処理を行う。

- PC を FEPC に退避
- PSW を FEPSW に退避
- FEIC に例外要因コードを格納
- PSW および MCTL を更新する注 2
- PC に (2) で計算した例外ハンドラアドレスを格納し、例外ハンドラへ制御を移す。

(4) EI レベル例外の場合、それぞれ次の処理を行う。

- PC を EIPC に退避
- PSW を EIPSW に退避
- EIIC に例外要因コードを格納
- PSW および MCTL を更新する注 2
- PC に (2) で計算した例外ハンドラアドレスを格納し、例外ハンドラへ制御を移す。

注 1. 詳細は、「**7.10　例外ハンドラアドレス**」を参照してください。

注 2. 更新する値は、「*RH850G3M ユーザーズマニュアル ソフトウェア編*」の「*表 4-1　例外要因一覧*」を参照してください。

(1) から (4) の手順を次の図で示します。

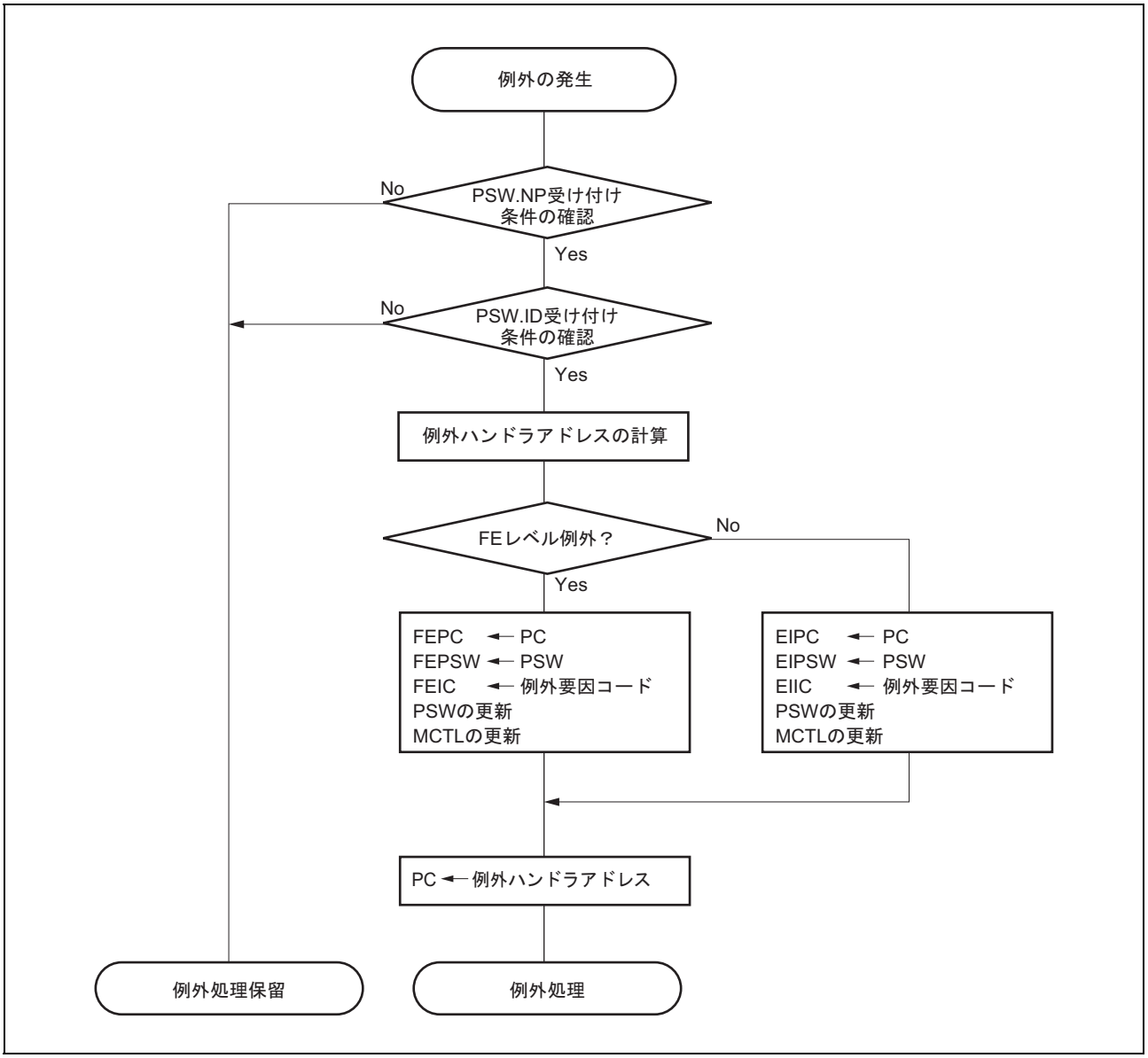


図 7.2　割り込み受け付け時の動作

7.8 割り込みからの復帰

割り込み処理からの復帰には、それぞれの割り込みレベルに対応した復帰命令（EIRET, FERET）の実行によって行います。

スタックなどにコンテキストを退避している場合は、復帰命令の実行前にコンテキストの復帰を必ず行ってください。

EI レベルマスカブル割り込み処理からの復帰は、EIRET 命令、FE レベルマスカブル割り込み処理からの復帰は FERET 命令により行われます。

EIRET 命令、FERET 命令の実行により、CPU は次の処理を行い復帰 PC のアドレスへ制御を移します。

(1) EI レベル例外からの復帰時は、EIPC, EIPSW レジスタから復帰 PC, PSW を取り出します。
FE レベル例外からの復帰時は、FEPC, FEPSW レジスタから復帰 PC, PSW を取り出します。

(2) 取り出した復帰 PC, PSW のアドレスに制御を移します。

(3) EP = 0 で、INTCFG.ISPC = 0 の場合、ISPR レジスタを更新します。

EIRET 命令、FERET 命令を使った例外処理からの復帰フローを次に示します。

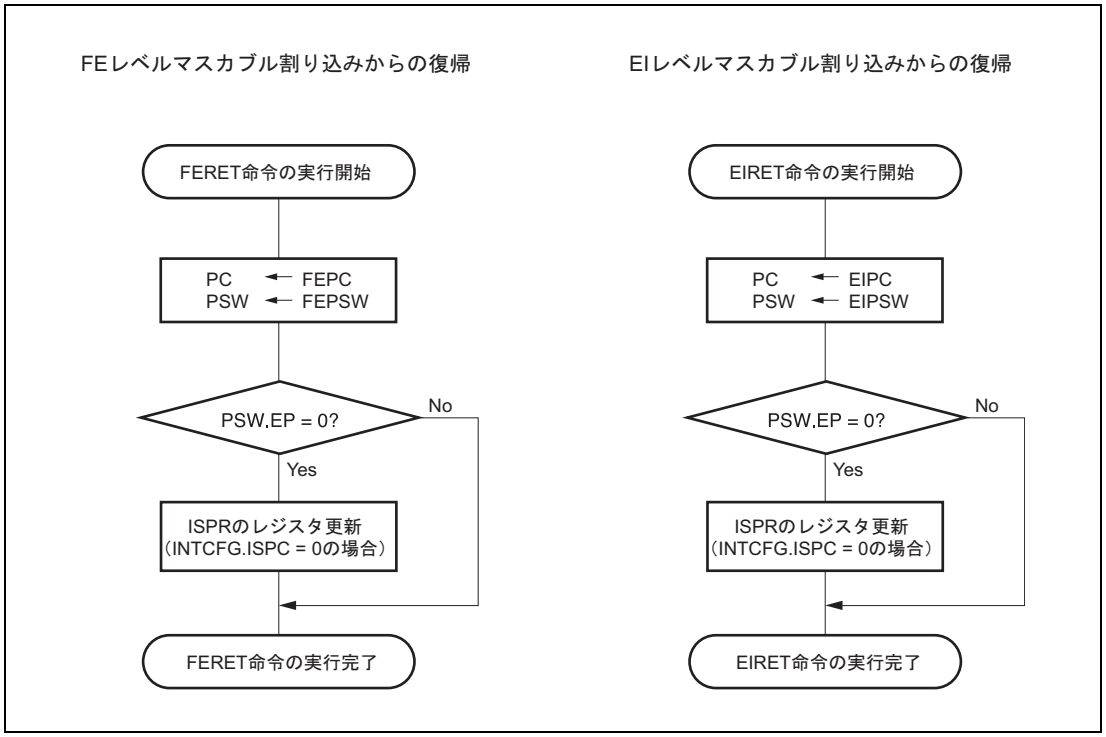


図 7.3 割り込みからの復帰

7.9 割り込み動作

7.9.1 EI レベルマスカブル割り込み（EIINT）の割り込みマスク機能

EIINT は、それぞれの割り込みチャネルごとに割り込みのマスクを指定可能です。割り込みのマスクは、次のレジスタを設定することにより行います。

表 7.18 MKxxx ビットの動作

ICxxx.MKxxx	動作
1	割り込みをマスクします。
0	割り込みを許可します。

ICxxx.MKxxx ビットは、IMRm レジスタの対応する IMRmEIMKn ビットからもリード／ライト可能です。割り込みマスク状態は、ICxxx レジスタと IMRm レジスタの両方に反映されています。

【 動作例 】

(1) IMRm.IMRmEIMKn ビットに 1 を書き込むと、対応するチャネルの割り込みは禁止されます。

(2) 対応する ICxxx.MKxxx ビットをリードすると 1 が読み出されます。

注 意

割り込み要求が保留されている（RFxxx = 1）場合、MKxxx ビットが 0 に設定されると、割り込みサービスルーチンは、その時点（割り込み優先順位の規則にしたがう）で実行されます。RFxxx ビットに 1 を設定することで、割り込み要求がソフトウェアで発行されても、割り込みが MKxxx = 1 でマスクされている間は、割り込みは発生しません。

保留されている割り込み要求を削除するには、対応する RFxxx ビットをソフトウェアでクリアしてください。

7.9.2 割り込み優先度判断

FE レベルノンマスカブル割り込み（FENMI）、FE レベルマスカブル割り込み（FEINT）、EI レベルマスカブル割り込み（EIINT）が入力されると、その他の例外も含めて優先度を判断し、最も高い優先度の例外（割り込み含む）が要求されます。同時に要求された例外（割り込み含む）は、あらかじめ割り付けてある優先順位（デフォルト優先順位）で処理されます。割り込み FENMI, FEINT, EIINT の優先順位は次のとおりです。

FENMI ＞ FEINT ＞ EIINT

（その他の例外については、「*RH850G3M ユーザーズマニュアル ソフトウェア編*」を参照してください）

EIINT（INTn）は、各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は、P3xxx ～ P0xxx ビットで指定します。割り込み優先度は、0 ～ 15 までが設定可能です。0 が最高優先度、15 が最低優先度です。同じ優先度を持つ EIINT（INTn）割り込み間では、割り込みチャネル番号の最も小さい割り込みが優先されます。

表 7.19 EIINT（INTn）の割り込み優先度設定と動作の優先順位の例

EIINT（INTn）	ICxxx.P[3:0]xxx 設定	動作時の優先順位
INT0	3	10
INT1	4	11
INT2	0	1
INT3	0	2
INT4	1	3
INT5	2	6
INT6	2	7
INT7	1	4
INT8	1	5
INT9	2	8
INT10	2	9

割り込みコントローラは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT（INTn）割り込みが要求されている場合、次の手順で受け付ける割り込みが決定されます。

7.9.2.1 現在処理中の割り込み優先度との比較

現在処理中の割り込み優先度と同じ、または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は、ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは、次の優先度判断に移ります。

7.9.2.2 プライオリティマスクレジスタ（PMR）によるマスク

PMR レジスタにより許可されている割り込みのみ、次の優先度判断に移ります。

PMR レジスタに関しては、**「表 3.34 PMR レジスタの内容」**または、「*RH850G3M ユーザーズマニュアル ソフトウェア編*」を参照してください。

7.9.2.3 要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択

複数の割り込みが同時に発生した場合、ICxxx.P[3:0]xxx ビットで最も高い優先度を設定した割り込み要因が優先されます。

最高優先度（ICxxx.P[3:0]xxx ビット = 0）の割り込み要因が複数ある場合、割り込みチャネル番号の最も小さいものが選択されます。

7.9.2.4 CPU による割り込みの保留

PSW レジスタの NP ビット、ID ビットの状態によって、割り込みの受け付けが保留されます。このとき、EIINT 割り込み内の優先度判断、EIINT 割り込み、FEINT 割り込み、FENMI 割り込み間の優先度判断は、割り込み受け付けが保留されている間も行われ、受け付け条件が成立した時点で、もっとも優先度の高い割り込みが選択されます。

例

優先度 5 の EIINT 割り込みがすでに要求されており、PSW.ID ビットが 1 のため割り込み発生が保留されているときに、後から優先度 3 の EIINT 割り込みが要求された。その後、PSW.ID ビットがクリア（0）された場合、優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を**図 7.4** に示します。

割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット（1）されるので、多重割り込みを使用する場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア（0）し、割り込み許可状態にしてください。

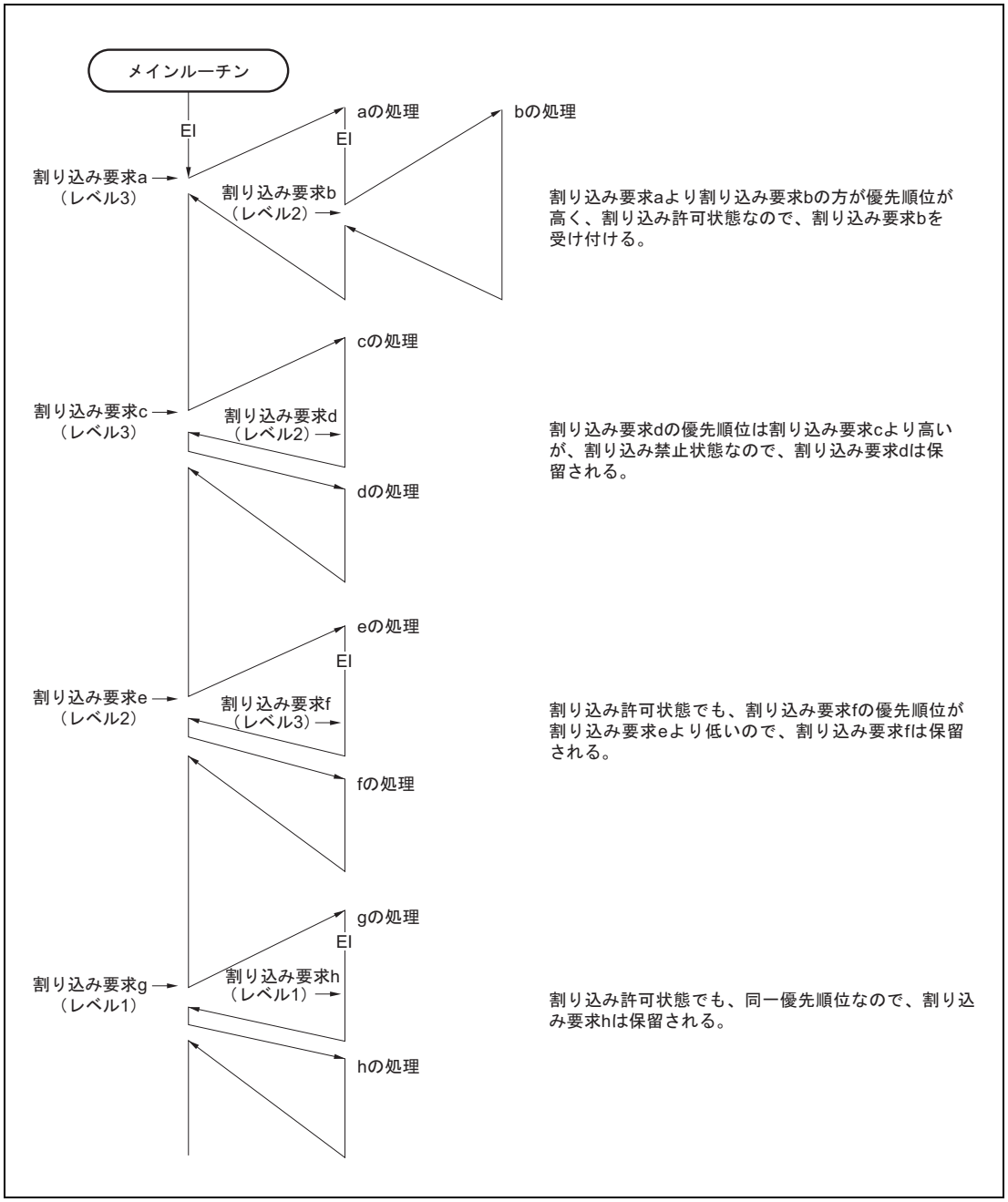
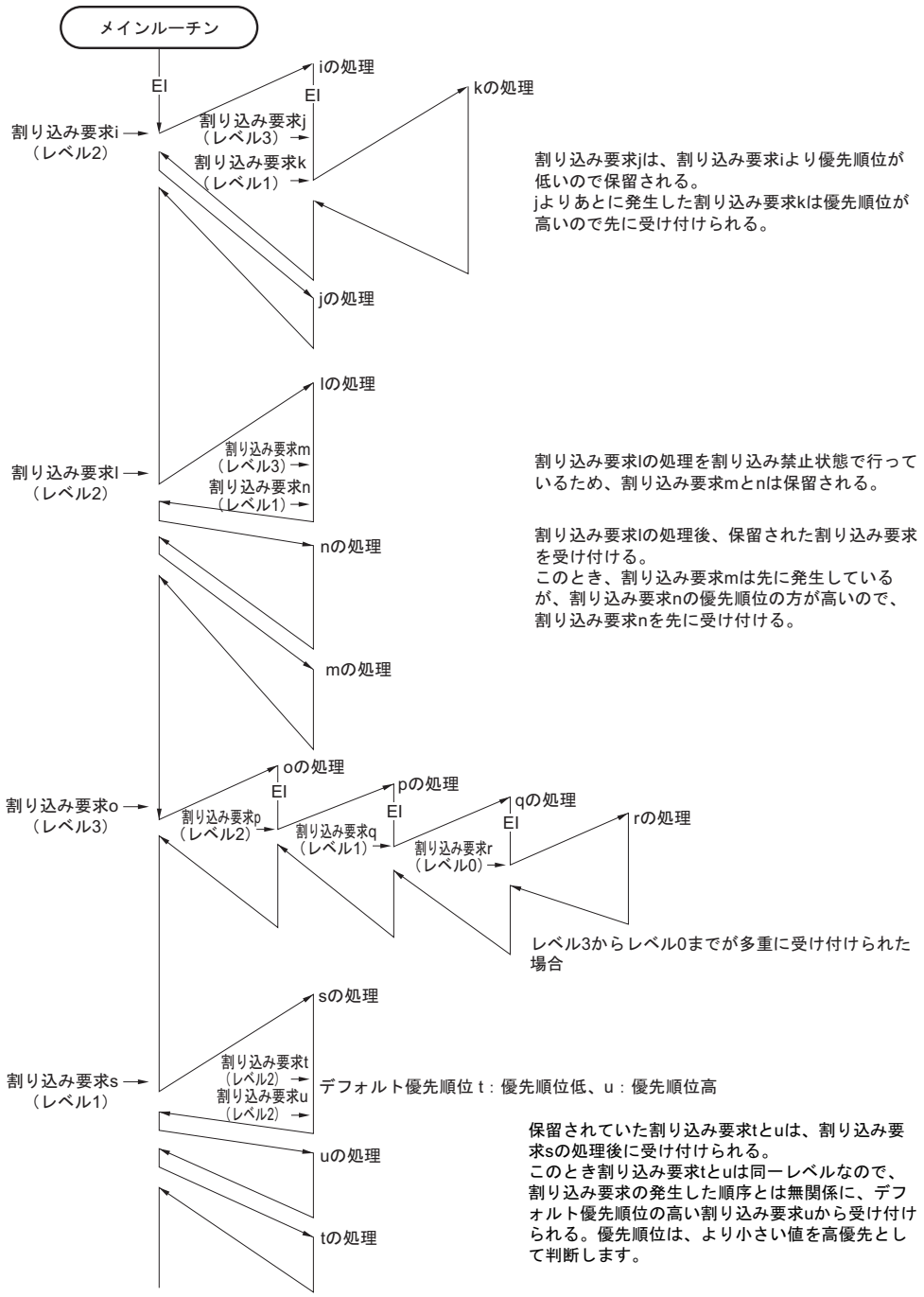


図 7.4　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1）



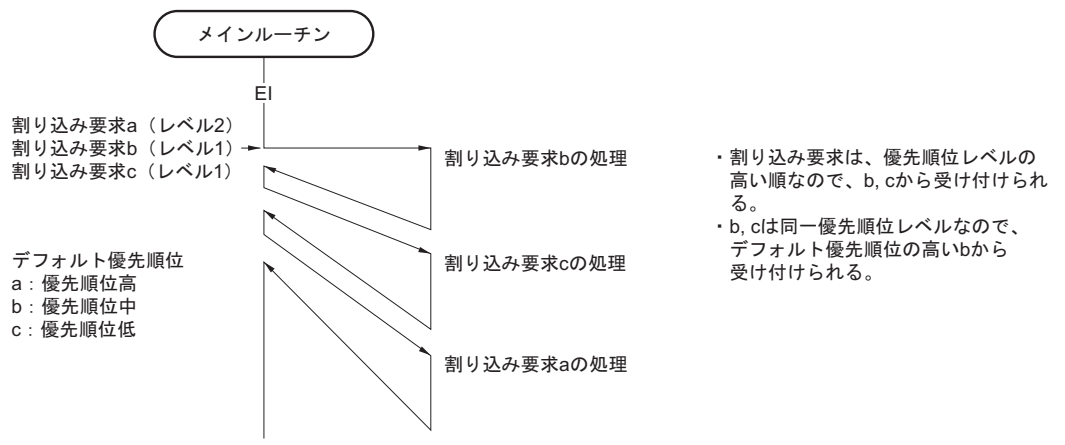
備考 1. 図中のａ～ｕは、各割り込み要求信号を区別するために付けた仮の名称です。

備考 2. 図中のデフォルト優先順位の高い／低いは、2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

図 7.5 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（2）

注 意

多重割り込みを行うときは EI 命令を実行する前に、EIPC, EIPSW の内容を退避する必要があります。また、多重割り込みから復帰する際は、DI 命令を実行したあとに、EIPC, EIPSW の内容を復帰してください。



備考 1. 図中のａ～ｃは、各割り込み要求信号を区別するために付けた仮の名称です。

備考 2. 図中のデフォルト優先順位の高い／低いは、2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

図 7.6 同時発生した割り込み要求信号の処理例

7.9.3 割り込み要求の受け付け条件と優先順位

「*RH850G3M ユーザーズマニュアル ソフトウェア編*」を参照してください。

7.9.4 割り込みの例外優先度と優先度マスク

「*RH850G3M ユーザーズマニュアル ソフトウェア編*」を参照してください。

7.9.5 割り込み優先度マスク

「*RH850G3M ユーザーズマニュアル ソフトウェア編*」を参照してください。

7.9.6 優先度マスク機能

優先度マスク機能は、指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。

PMR レジスタの設定により、マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

- 一時的にある割り込み優先度以下の割り込みを禁止とする
- 一時的にある割り込み優先度を持つ割り込みを禁止とする

表 7.20 PMR.PMm ビットの動作

PMR.PMm	動作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

備考 m = 0 ～ 15

この機能により保留されている EIINT 割り込みの有無は、**「7.9.7 例外の管理」**で確認が可能です。

PMR レジスタについては**「表 3.34 PMR レジスタの内容」**または「*RH850G3M ユーザーズマニュアル ソフトウェア編*」を参照してください。

7.9.7 例外の管理

RH850/F1M は保留されている割り込みの有無を確認をすることができます。詳細は「*RH850G3M ユーザーズマニュアル ソフトウェア編*」を参照してください。

7.10 例外ハンドラアドレス

RH850/F1M では、リセット入力時や、例外受付時、割り込み受付時などに実行する例外ハンドラアドレスを、設定に応じて変更が可能です。

リセットと例外（割り込み含む）は、PSW.EBV ビットと、RBASE レジスタ、EBASE レジスタによって例外ハンドラアドレスの基準位置が変更できる直接ベクタ方式によって例外ハンドラアドレスを決定します。さらに割り込みは、チャネルごとに直接ベクタ方式とテーブル参照方式の選択が可能であり、テーブル参照方式を指定した場合は、メモリ上に配置した例外ハンドラテーブルの示すアドレスへ分岐することが可能です。

注 意

- **直接ベクタ方式において、EIINT（INTn）の例外ハンドラアドレスが、V850E2 コア製品とは異なります。V850E2 コア製品では、割り込みチャネル EIINT（INTn）ごとに異なる例外ハンドラアドレスが割り当てられていましたが、RH850/F1M では割り込み優先度ごとに 1 つの例外ハンドラアドレスが割り当てられています。このため、同一の割り込み優先度に指定した割り込みは、すべて同じ例外ハンドラへ分岐します。**
- **FENMI, FEINT, EIINT（直接ベクタ方式）の例外ハンドラより前に SYNCP 命令を配置してください。詳細は、*「RH850G3M ユーザーズマニュアル ソフトウェア編」*を参照してください。**

7.10.1 直接ベクタ方式

CPU は、RBASE レジスタ、または EBASE レジスタで示されるベースアドレスに**「表 7.21 ベースレジスタ／オフセットアドレスの選択」**のオフセットを加算した値を、例外ハンドラアドレスとして利用します。

RBASE レジスタ、EBASE レジスタのいずれをベースアドレスとして利用するかは、PSW.EBV ビットによって選択します注 1。PSW.EBV ビットがセット（1）されている場合は、EBASE レジスタの値をベースアドレスとして利用します。クリア（0）されている場合は、RBASE レジスタの値をベースアドレスとして利用します。

ただし、リセット入力と一部の例外注 2 は、常に RBASE レジスタを参照します。

また、ユーザ割り込みは、それぞれのベースレジスタの RINT ビットを参照し、その状態によってオフセットアドレスの縮小を行います。RBASE.RINT ビット、あるいは EBASE.RINT ビットがセット（1）されている場合は、全てのユーザ割り込みは、オフセット 100_H として扱われます。クリア（0）されている場合は、それぞれ**「表 7.21 ベースレジスタ／オフセットアドレスの選択」**にしたがって、オフセットアドレスが決定されます。

注 1. 例外受け付け自身で、PSW.EBV ビットの状態を更新する場合があります。その場合は、更新後の値を基準に、ベースレジスタを選択します。

注 2. 常に RBASE を参照する例外は、ハードウェア仕様によって定められます。

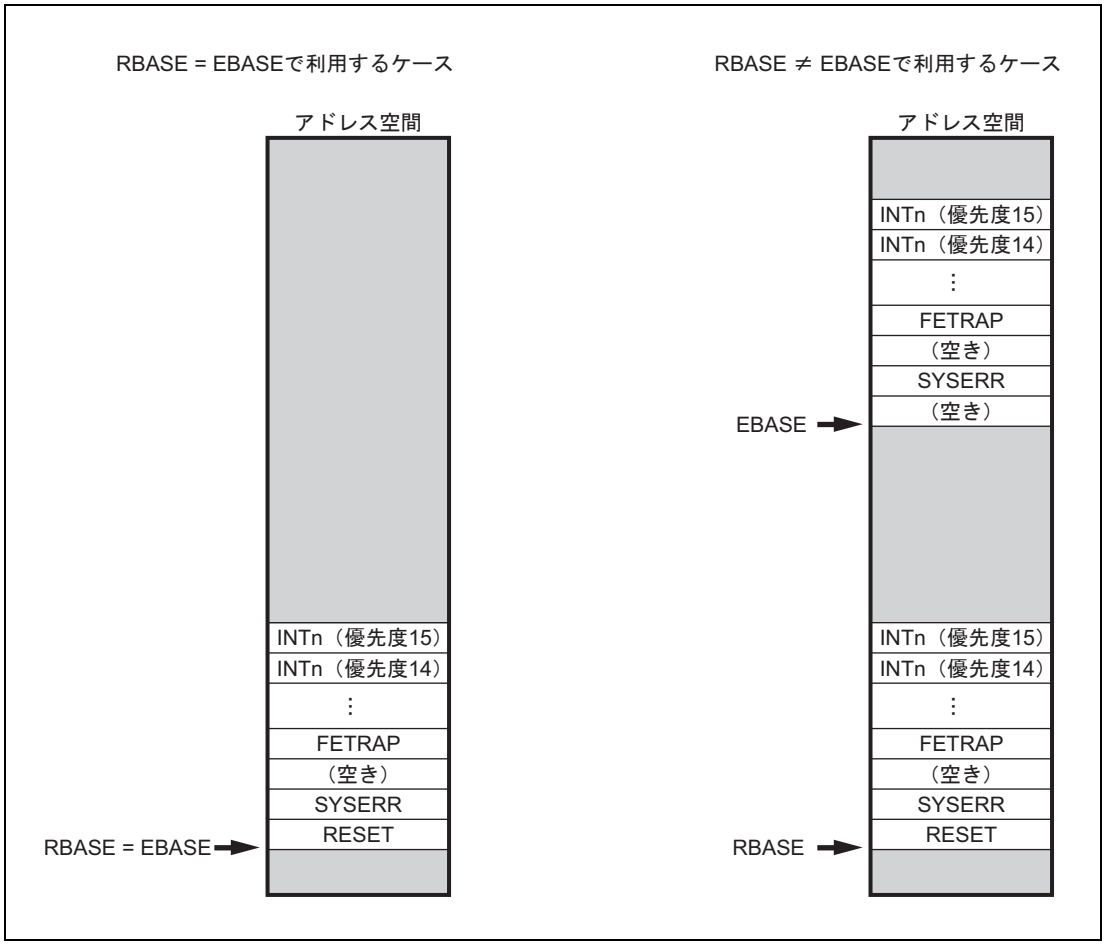


図 7.7 直接ベクタ方式

次の表に、例外ハンドラアドレス決定のためのベースレジスタ選択と、オフセットアドレスの縮小が、各例外に対してどのように機能するかを示します。PSW のビットの値は、例外の受け付けによる更新後の値を基準に例外ハンドラアドレスを決定します。

表 7.21 ベースレジスタ／オフセットアドレスの選択

例外／割り込み	PSW.EBV = 0	PSW.EBV = 1	RINT = 0	RINT = 1
	ベースレジスタ		オフセットアドレス	
RESET	RBASE	なし	000_H	000_H
SYSERR		EBASE	010_H	010_H
予約			020_H	020_H
FETRAP			030_H	030_H
TRAP0			040_H	040_H
TRAP1			050_H	050_H
RIE			060_H	060_H
FPP/FPI			070_H	070_H
UCPOP			080_H	080_H
MIP/MDP			090_H	090_H
PIE			$0A0_H$	$0A0_H$
Debug			$0B0_H$	$0B0_H$
MAE			$0C0_H$	$0C0_H$
予約			$0D0_H$	$0D0_H$
FENMI			$0E0_H$	$0E0_H$
FEINT			$0F0_H$	$0F0_H$
INTn（優先度 0）			100_H	100_H
INTn（優先度 1）			110_H	
INTn（優先度 2）			120_H	
INTn（優先度 3）			130_H	
INTn（優先度 4）			140_H	
INTn（優先度 5）			150_H	
INTn（優先度 6）			160_H	
INTn（優先度 7）			170_H	
INTn（優先度 8）			180_H	
INTn（優先度 9）			190_H	
INTn（優先度 10）			$1A0_H$	
INTn（優先度 11）			$1B0_H$	
INTn（優先度 12）			$1C0_H$	
INTn（優先度 13）			$1D0_H$	
INTn（優先度 14）			$1E0_H$	
INTn（優先度 15）			$1F0_H$	

ベースレジスタの選択は、リセットと一部のハードウェアエラーの例外処理を、RAM やキャッシュ領域などのソフトウェアエラーの影響を受けやすい領域ではなく、ROM などの比較的信頼性の高いプログラムで動作させるための仕組みです。ユーザ割り込みのオフセットアドレスの縮小は、システム中の特定の動作モードにおいて、例外ハンドラのメモリ占有サイズを小さく保つための機能です。主にシステムのメンテナンスや診断など、最低限の機能のみが動作するモードなどにおいて、メモリ領域の消費を最小限に抑えます。

7.10.2 テーブル参照方式

直接ベクタ方式では、ユーザ割り込みの例外ハンドラは、それぞれの割り込み優先度ごとに1つであり、複数の同一優先度を示す割り込みチャネルは、同じ割り込みハンドラへ分岐しますが、ユーザによっては、割り込みハンドラごとに開始時点からことなるコード領域を利用したい場合などがあります。

RH850/F1M では、このような使用方法を想定した割り込みに関するテーブル参照方式を定義しています。

テーブル参照方式においては、割り込みコントローラなどにおいて、割り込みチャネルのベクタ選択方式を「テーブル参照方式」に設定すると、その割り込みチャネルに対応する割り込み要求を受け付けた場合の例外ハンドラアドレスの決定方法が次のように変わります。

<1> 次のいずれかの場合は、直接ベクタ方式に従い例外ハンドラアドレスを決定します。

- PSW.EBV = 0 かつ RBASE.RINT=1 の場合
- PSW.EBV = 1 かつ EBASE.RINT=1 の場合
- 割り込みチャネルの設定が「テーブル参照方式」でない場合

<2> <1> 以外の場合、テーブルの参照位置を計算します。
例外ハンドラアドレス読み出し位置 = INTBP の値 + チャネル番号 × 4 バイト

<3> <2> で計算した割り込みハンドラアドレス読み出し位置から、ワードデータを読み出します。

<4> <3> で読み出した、ワードデータを例外ハンドラアドレスとして利用します。

表 7.22 に、各割り込みチャネルに対応する例外ハンドラアドレス読み出し位置を示します。また、**図 7.8** に、メモリ上の配置イメージを示します。

表 7.22 例外ハンドラアドレスの拡張

割り込みの種類	例外ハンドラアドレス読み出し位置
EI レベルマスカブル割り込みチャネル 0	INTBP レジスタの値＋ 0 × 4
EI レベルマスカブル割り込みチャネル 1	INTBP レジスタの値＋ 1 × 4
EI レベルマスカブル割り込みチャネル 2	INTBP レジスタの値＋ 2 × 4
:	:
EI レベルマスカブル割り込みチャネル 296	INTBP レジスタの値＋ 296 × 4
EI レベルマスカブル割り込みチャネル 297	INTBP レジスタの値＋ 297 × 4

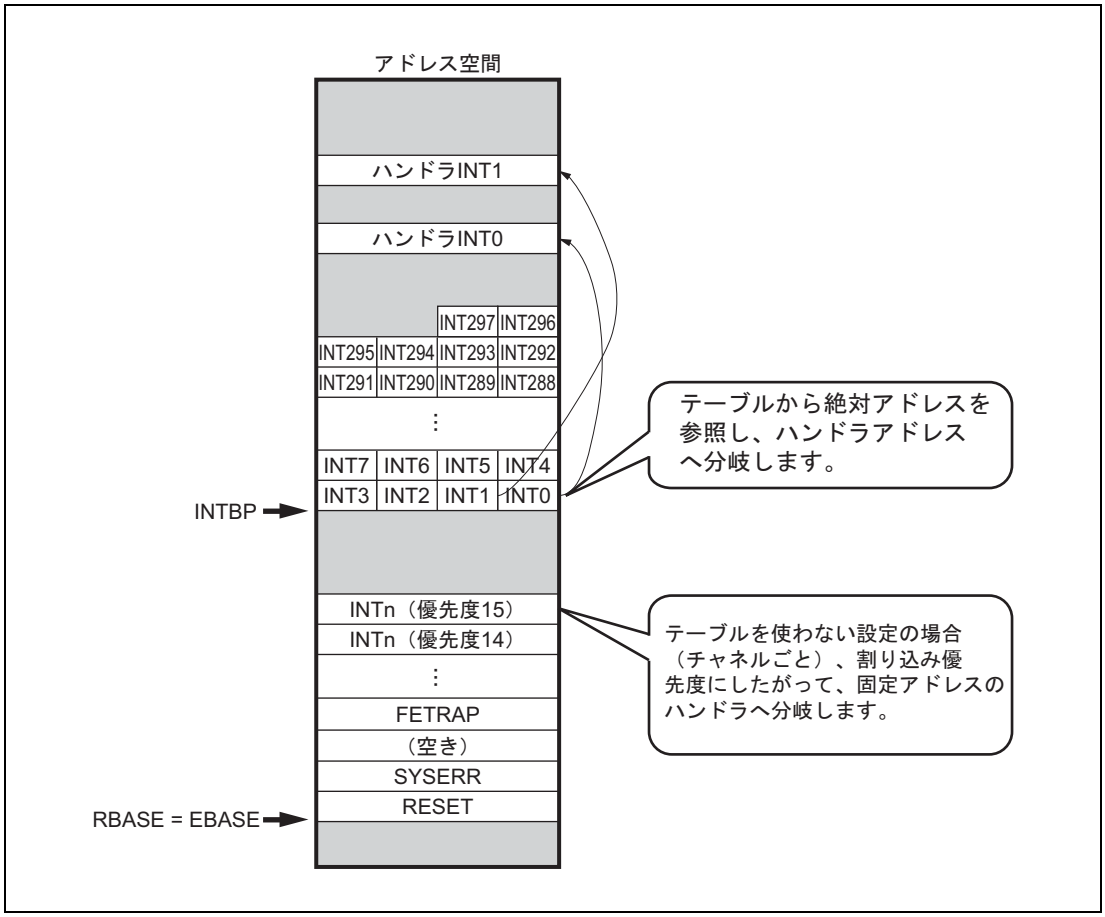


図 7.8　テーブル参照方式

第 8 章 DMA

本章では、DMA コントローラ（DMA）全般について説明します。

最初の節では、チャネル数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、DMA 機能、レジスタについて説明します。

8.1 RH850/F1M DMA の特長

8.1.1 チャネル数

本製品シリーズは、以下に示すチャネル数の DMA を搭載しています。

表 8.1 チャネル数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
チャネル数	16ch (8ch × 2)		

表 8.2 添字

添字	説明
n	本章では、DMA のユニットを「n」（n = 0、1）で識別します。たとえば、DMACn と記述します。
m	本章では、DMA の各チャネルを「m」（m = 0 ～ 15）で識別します。たとえば、DMA ソースアドレスレジスタは、DSAm と記述します。
i	本章では、DMAC の各チャネルを「i」（i = 0~7）で識別します。たとえば、DMAC チャネルマスタ設定は、DMniCM と記述します。

8.1.2 レジスタベースアドレス

DMA のベースアドレスを以下の表に示します。

DMA のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 8.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DMA_base>	FFFF 8000_H

8.1.3 割り込み要求

DMA の割り込み要求を以下の表に示します。

表 8.4 割り込み要求

ユニット割り込み名	概要	割り込み番号
INTDMA0	DMA00 転送完了	60
INTDMA1	DMA01 転送完了	61
INTDMA2	DMA02 転送完了	62
INTDMA3	DMA03 転送完了	63
INTDMA4	DMA04 転送完了	64
INTDMA5	DMA05 転送完了	65
INTDMA6	DMA06 転送完了	66
INTDMA7	DMA07 転送完了	67
INTDMA8	DMA10 転送完了	68
INTDMA9	DMA11 転送完了	69
INTDMA10	DMA12 転送完了	70
INTDMA11	DMA13 転送完了	71
INTDMA12	DMA14 転送完了	72
INTDMA13	DMA15 転送完了	73
INTDMA14	DMA16 転送完了	74
INTDMA15	DMA17 転送完了	75

8.1.4 DMA トリガ要因

DMA トリガ要因は、DTFRm.REQSEL[6:0] ビットの設定により選択できます。

以下の表に DTFRm レジスタで選択できるトリガ要因の一覧を示します。

表 8.5 DMA トリガ要因 (1/4)

DMA トリガ番号 DTFRm.REQSEL[6:0]	DMA トリガ要因	144 pin	176 pin	233 pin
DMACTRG[0]	INTTAUD0I0	○	○	○
DMACTRG[1]	INTTAUD0I4	○	○	○
DMACTRG[2]	INTTAUD0I8	○	○	○
DMACTRG[3]	INTTAUD0I12	○	○	○
DMACTRG[4]	INTADCA0I0	○	○	○
DMACTRG[5]	INTADCA0I1	○	○	○
DMACTRG[6]	INTADCA0I2	○	○	○
DMACTRG[7]	ADC_CONV_END0	○	○	○
DMACTRG[8]	INTCSIG0IC	○	○	○
DMACTRG[9]	INTCSIG0IR	○	○	○
DMACTRG[10]	INTRLIN30UR0	○	○	○
DMACTRG[11]	INTRLIN30UR1	○	○	○
DMACTRG[12]	INTP0	○	○	○
DMACTRG[13]	INTP2	○	○	○
DMACTRG[14]	INTP4	○	○	○
DMACTRG[15]	INTTAUD0I1	○	○	○
DMACTRG[16]	INTTAUD0I5	○	○	○
DMACTRG[17]	INTTAUD0I9	○	○	○
DMACTRG[18]	INTTAUD0I13	○	○	○
DMACTRG[19]	INTRIIC0TI	○	○	○
DMACTRG[20]	INTRIIC0RI	○	○	○
DMACTRG[21]	INTTAUJ0I0	○	○	○
DMACTRG[22]	INTTAUJ0I3	○	○	○
DMACTRG[23]	設定禁止	—	—	—
DMACTRG[24]	設定禁止	—	—	—
DMACTRG[25]	設定禁止	—	—	—
DMACTRG[26]	設定禁止	—	—	—
DMACTRG[27]	設定禁止	—	—	—
DMACTRG[28]	INTCSIH1IC	○	○	○
DMACTRG[29]	INTCSIH1IR	○	○	○
DMACTRG[30]	INTCSIH1IJC	○	○	○
DMACTRG[31]	INTP6	○	○	○
DMACTRG[32]	INTP8	○	○	○
DMACTRG[33]	INTTAUB0I0	○	○	○
DMACTRG[34]	INTTAUB0I2	○	○	○
DMACTRG[35]	INTTAUB0I4	○	○	○
DMACTRG[36]	INTTAUB0I6	○	○	○
DMACTRG[37]	INTTAUB0I9	○	○	○
DMACTRG[38]	INTTAUB0I11	○	○	○

表 8.5 DMA トリガ要因 (2/4)

DMA トリガ番号 DTFRm.REQSEL[6:0]	DMA トリガ要因	144 pin	176 pin	233 pin
DMACTRG[39]	INTTAUB0I13	○	○	○
DMACTRG[40]	INTTAUB0I15	○	○	○
DMACTRG[41]	INTCSIH3IC	○	○	○
DMACTRG[42]	INTCSIH3IR	○	○	○
DMACTRG[43]	INTCSIH3IJC	○	○	○
DMACTRG[44]	INTRLIN32UR0	○	○	○
DMACTRG[45]	INTRLIN32UR1	○	○	○
DMACTRG[46]	INTTAUJ1I0	○	○	○
DMACTRG[47]	INTTAUJ1I2	○	○	○
DMACTRG[48]	設定禁止	—	—	—
DMACTRG[49]	設定禁止	—	—	—
DMACTRG[50]	INTRLIN34UR0	○	○	○
DMACTRG[51]	INTRLIN34UR1	○	○	○
DMACTRG[52]	INTTAUB1I0	—	○	○
DMACTRG[53]	INTTAUB1I2	—	○	○
DMACTRG[54]	INTTAUB1I4	—	○	○
DMACTRG[55]	INTTAUB1I6	—	○	○
DMACTRG[56]	INTTAUB1I9	—	○	○
DMACTRG[57]	INTTAUB1I11	—	○	○
DMACTRG[58]	INTTAUB1I13	—	○	○
DMACTRG[59]	INTTAUB1I15	—	○	○
DMACTRG[60]	設定禁止	—	—	—
DMACTRG[61]	設定禁止	—	—	—
DMACTRG[62]	設定禁止	—	—	—
DMACTRG[63]	設定禁止	—	—	—
DMACTRG[64]	INTTAUD0I2	○	○	○
DMACTRG[65]	INTTAUD0I6	○	○	○
DMACTRG[66]	INTTAUD0I10	○	○	○
DMACTRG[67]	INTTAUD0I14	○	○	○
DMACTRG[68]	設定禁止	—	—	—
DMACTRG[69]	設定禁止	—	—	—
DMACTRG[70]	INTCSIH0IC	○	○	○
DMACTRG[71]	INTCSIH0IR	○	○	○
DMACTRG[72]	INTCSIH0IJC	○	○	○
DMACTRG[73]	INTP1	○	○	○
DMACTRG[74]	INTP3	○	○	○
DMACTRG[75]	INTP5	○	○	○
DMACTRG[76]	INTTAUD0I3	○	○	○
DMACTRG[77]	INTTAUD0I7	○	○	○
DMACTRG[78]	INTTAUD0I11	○	○	○
DMACTRG[79]	INTTAUD0I15	○	○	○
DMACTRG[80]	INTTAUJ0I1	○	○	○
DMACTRG[81]	INTTAUJ0I2	○	○	○

表 8.5 DMA トリガ要因 (3/4)

DMA トリガ番号 DTFRm.REQSEL[6:0]	DMA トリガ要因	144 pin	176 pin	233 pin
DMACTRG[82]	設定禁止	—	—	—
DMACTRG[83]	設定禁止	—	—	—
DMACTRG[84]	設定禁止	—	—	—
DMACTRG[85]	INTDMAFL 注1	○	○	○
DMACTRG[86]	INTRLIN31UR0	○	○	○
DMACTRG[87]	INTRLIN31UR1	○	○	○
DMACTRG[88]	INTP7	○	○	○
DMACTRG[89]	INTCSIH2IC	○	○	○
DMACTRG[90]	INTCSIH2IR	○	○	○
DMACTRG[91]	INTCSIH2IJC	○	○	○
DMACTRG[92]	INTTAUB0I1	○	○	○
DMACTRG[93]	INTTAUB0I3	○	○	○
DMACTRG[94]	INTTAUB0I5	○	○	○
DMACTRG[95]	INTTAUB0I7	○	○	○
DMACTRG[96]	INTTAUB0I8	○	○	○
DMACTRG[97]	INTTAUB0I10	○	○	○
DMACTRG[98]	INTTAUB0I12	○	○	○
DMACTRG[99]	INTTAUB0I14	○	○	○
DMACTRG[100]	INTTAUJ1I1	○	○	○
DMACTRG[101]	INTTAUJ1I3	○	○	○
DMACTRG[102]	INTP9	○	○	○
DMACTRG[103]	INTADCA1I0	○	○	○
DMACTRG[104]	INTADCA1I1	○	○	○
DMACTRG[105]	INTADCA1I2	○	○	○
DMACTRG[106]	ADC_CONV_END1	○	○	○
DMACTRG[107]	設定禁止	—	—	—
DMACTRG[108]	設定禁止	—	—	—
DMACTRG[109]	INTCSIG1IC	○	○	○
DMACTRG[110]	INTCSIG1IR	○	○	○
DMACTRG[111]	INTRLIN33UR0	○	○	○
DMACTRG[112]	INTRLIN33UR1	○	○	○
DMACTRG[113]	INTRLIN35UR0	○	○	○
DMACTRG[114]	INTRLIN35UR1	○	○	○
DMACTRG[115]	INTTAUB1I1	—	○	○
DMACTRG[116]	INTTAUB1I3	—	○	○
DMACTRG[117]	INTTAUB1I5	—	○	○
DMACTRG[118]	INTTAUB1I7	—	○	○
DMACTRG[119]	INTTAUB1I8	—	○	○
DMACTRG[120]	INTTAUB1I10	—	○	○
DMACTRG[121]	INTTAUB1I12	—	○	○
DMACTRG[122]	INTTAUB1I14	—	○	○
DMACTRG[123]	設定禁止	—	—	—
DMACTRG[124]	設定禁止	—	—	—

表 8.5 DMA トリガ要因 (4/4)

DMA トリガ番号 DTFRm.REQSEL[6:0]	DMA トリガ要因	144 pin	176 pin	233 pin
DMACTRG[125]	設定禁止	—	—	—
DMACTRG[126]	設定禁止	—	—	—
DMACTRG[127]	設定禁止	—	—	—

注 1. 詳細は、「*RH850/F1L*、*RH850/F1M*、*RH850/F1H フラッシュメモリユーザーズマニュアルハードウェアインタフェース編*」を参照してください。

8.2 概要

8.2.1 概要

DMA（Direct Memory Access）とは、CPU を介さずにデータをアクセスする機能です。

DMA は、DMAC という方式の DMA 転送モジュールを含んでいます。DMAC は転送情報をレジスタに持ちます。DMA は 8 チャネルの DMAC モジュールを 2 つ搭載しています。

また本マニュアルでは、DMAC のハードウェア DMA 転送要因を選択して DMA 転送要求を保持する機能を DTFR と称しています。DTFR は 128 種類のハードウェア DMA 転送要因を扱うことができます。

DMA が DMA 転送の対象として指定可能なアドレス空間は、32 ビットアドレスで表現される 4GB のアドレス空間です。4GB のアドレス空間のどの領域にどのようなリソースが割り当てられるかや、DMA に対してどの領域へのアクセスを許可するかは、**「4.2.2 DMA によるデータアクセス可能空間」**を参照してください。

注 意

DMA は PEG セット解除後に使用できます。

DMA からローカル RAM へのアクセスを行うためには、PEGGnBA レジスタ（n = 0 ～ 3）と DMniCM レジスタ（ni = 00 ～ 07、10 ～ 17）を設定する必要があります。

8.2.2 語句の定義

本章で使用する語句を**表 8.6** に示します。

表 8.6 語句の定義一覧

語 句	意味
DMA 転送	DMA が行うデータ転送の総称
DMA サイクル	転送サイズで指定した量（8/16/32/64/128 ビット）のデータを、ソースアドレスで指定したアドレスからリードして、ディスティネーションアドレスで指定したアドレスへライトする動作。なお、DMA サイクルの前半のリード動作をリードサイクル、後半のライト動作をライトサイクルと呼ぶ
ハードウェア DMA 転送要因	内蔵周辺回路から与えられる DMA 転送要求のトリガ
ハードウェア DMA 転送要求	ハードウェア DMA 転送要因により発生する DMA 転送要求
ソフトウェア DMA 転送要求	ソフトウェアがレジスタを操作することで発生する DMA 転送要求
DMA 転送要求	DMAC で DMA 転送を開始するトリガ
転送情報	ソースアドレス、ディスティネーションアドレス、転送データサイズ、転送回数といった DMA 転送に必要な情報。
シングル転送	一回の DMA 転送要求で、一回の DMA サイクルを実行する DMA 転送動作
ブロック転送 1	一回の DMA 転送要求で、転送情報の転送回数で指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送 2	一回の DMA 転送要求で、転送情報のアドレスリロードカウントで指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送	ブロック転送 1 とブロック転送 2 の総称
最終転送	転送情報の転送回数が残り 1 回の状態で実行する DMA サイクル
アドレスリロード転送	リロード機能 2 を使用中に、転送情報のアドレスリロードカウントが残り 1 回の状態で実行する DMA サイクル
一時中断	ブロック転送の途中で DMA 転送を中断する動作、再開が可能
再開	一時中断を解除して、DMA 転送を継続する動作
転送中止	DMA 転送を途中で中止する動作、再開は不可能

8.3 DMA 機能

8.3.1 DMA 転送基本動作

8.3.1.1 転送モード

DMA には 3 種類の転送モードがあります。

シングル転送

DMA 転送要求を受け付けると、DMA サイクルを 1 回実行します。

ブロック転送 1

DMA 転送要求を受け付けると、転送回数レジスタで指定した回数の DMA サイクルを実行します。

ブロック転送 2

DMA 転送要求を受け付けると、アドレスリロードカウントで指定した回数の DMA サイクルを実行します。アドレスリロードカウントで指定した回数が転送回数レジスタで指定した回数よりも大きい場合には、転送回数レジスタで指定した回数の DMA サイクルを実行します。

8.3.1.2 DMA サイクルの実行

DMA は必ずリードサイクルが完了した後で、ライトサイクルを実行します。

たとえば、転送データサイズが 128 ビットの場合は、128 ビット分のデータのリードサイクルが完了した後で、ライトサイクルを実行します。リードサイクルの途中でライトサイクルの実行を開始することはありません。

8.3.1.3 転送情報の更新

DMA サイクルを実行すると、DMA は次の転送情報を更新します。

ソースアドレスディスティネーションアドレス

転送制御レジスタのソースアドレスカウント方向、ディスティネーションアドレスカウント方向および転送データサイズの設定にしたがって、**表 8.7** のように更新します。

表 8.7 ソースアドレスディスティネーションアドレスの更新

カウント方向	転送データサイズ	更新後のアドレス
インクリメント	8 ビット	更新前のアドレス + 0000_0001_H
	16 ビット	更新前のアドレス + 0000_0002_H
	32 ビット	更新前のアドレス + 0000_0004_H
	64 ビット	更新前のアドレス + 0000_0008_H
	128 ビット	更新前のアドレス + 0000_0010_H
デクリメント	8 ビット	更新前のアドレス－ 0000_0001_H
	16 ビット	更新前のアドレス－ 0000_0002_H
	32 ビット	更新前のアドレス－ 0000_0004_H
	64 ビット	更新前のアドレス－ 0000_0008_H
	128 ビット	更新前のアドレス－ 0000_0010_H
固定	—	更新前のアドレスと同じ

リロード機能を使用する場合は、**表 8.7** とは別に最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、**「8.3.3 リロード機能」**を参照してください。

転送回数アドレスリロードカウント

転送回数は、DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。

アドレスリロードカウントは、リロード機能 2 またはブロック転送 2 を使用する場合は DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合には更新されません。

リロード機能を使用する場合は、最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、**「8.3.3 リロード機能」**を参照してください。

その他の転送情報

DMA サイクルの実行では、更新されません。

8.3.1.4 最終転送とアドレスリロード転送

最終転送とは、転送回数レジスタが示す残り転送回数が 1 回の状態で実行される DMA サイクルを指します。最終転送では、最終転送でない DMA サイクルの実行時と比較して次の動作が異なります。

- 最終転送が完了すると転送完了フラグ（DCSTm.TC）がセットされます。最終転送が完了するとチャネル動作有効（DCENm.DTE）ビットがクリアされます。（連続転送機能が無効の場合）
- 転送完了割り込み出力イネーブルがセットされている場合、最終転送が完了すると転送完了割り込みが出力されます。
- リロード機能 1 が有効の場合は、最終転送でリロード機能 1 の動作が実行されます。詳細は、**「8.3.3 リロード機能」**を参照してください。

アドレスリロード転送とは、リロード機能 2 が有効で、かつアドレスリロードカウントが 1 回の状態で実行される DMA サイクルを指します。アドレスリロード転送では、リロード機能 2 の動作が実行されます。詳細は、**「8.3.3 リロード機能」**を参照してください。

8.3.1.5 転送完了割り込み出力

DMA は、外部に対して転送完了割り込みを出力する機能を持ちます。

転送完了割り込み出力

DMAC は、転送制御レジスタで転送完了割り込みイネーブル（DTCTm.TCE）がセットされている場合、最終転送が完了すると転送完了割り込みを要求します。

図 8.1 に転送完了割り込みの動作を示します。

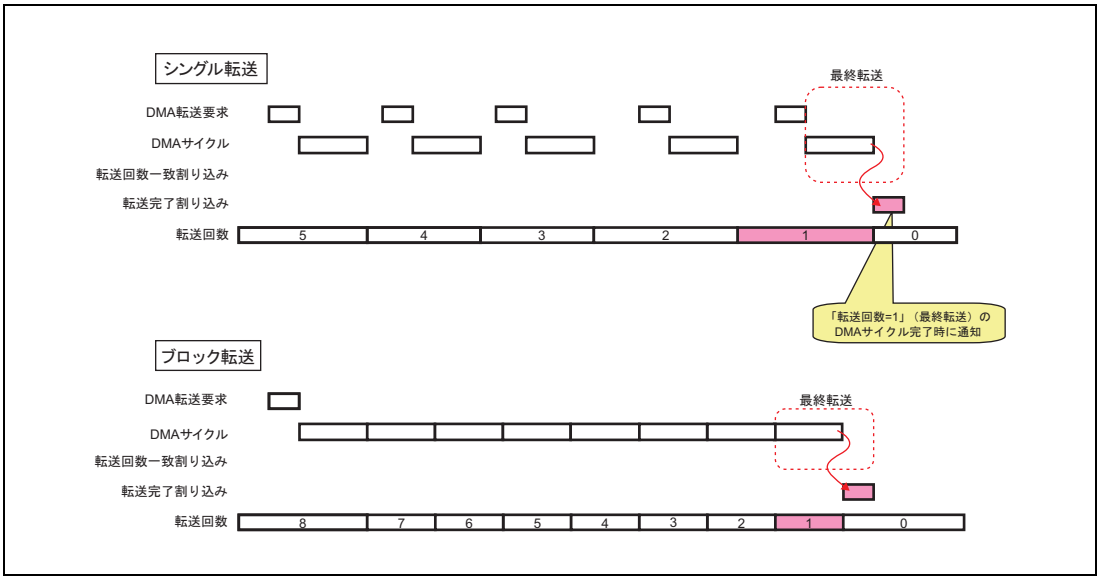


図 8.1 転送完了割り込み

8.3.1.6 連続転送

DMAC では、連続転送機能を利用しない場合は、最終転送が完了すると転送完了フラグ（DCSTm.TC）がセットされ、チャネル動作有効（DCENm.DTE）ビットがクリアされます。このため、最終転送の完了後に DMA 転送要求が発生しても DMA 転送要求を受け付けません。

連続転送機能を利用すると、最終転送が完了してもチャネル動作有効（DCENm.DTE）ビットがクリアされず、また転送完了フラグがセットされた状態でも DMA 転送要求を受け付けることができます。指定した回数の DMA 転送を繰り返し実行するような用途では、連続転送機能を利用することで、最終転送完了後の転送完了フラグのクリアやチャネル動作有効ビットのセットのためのソフトウェア処理のオーバヘッドを減らすことができます。

連続転送機能は、DMAC 転送制御レジスタの連続転送イネーブル（DTCTm.MLE）をセットすることで有効になります。

連続転送機能はリロード機能 1 と一緒に利用することを想定しています。連続転送機能には、ソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を変更する機能はありません。最終転送の完了後にソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタを DMA 転送開始前の状態に戻す動作は、リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタおよびリロード転送回数レジスタに DMA 転送開始前のソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を設定しておき、リロード機能 1 を利用することで実現できます。

図 8.2 に DMAC の連続転送の動作イメージを示します。

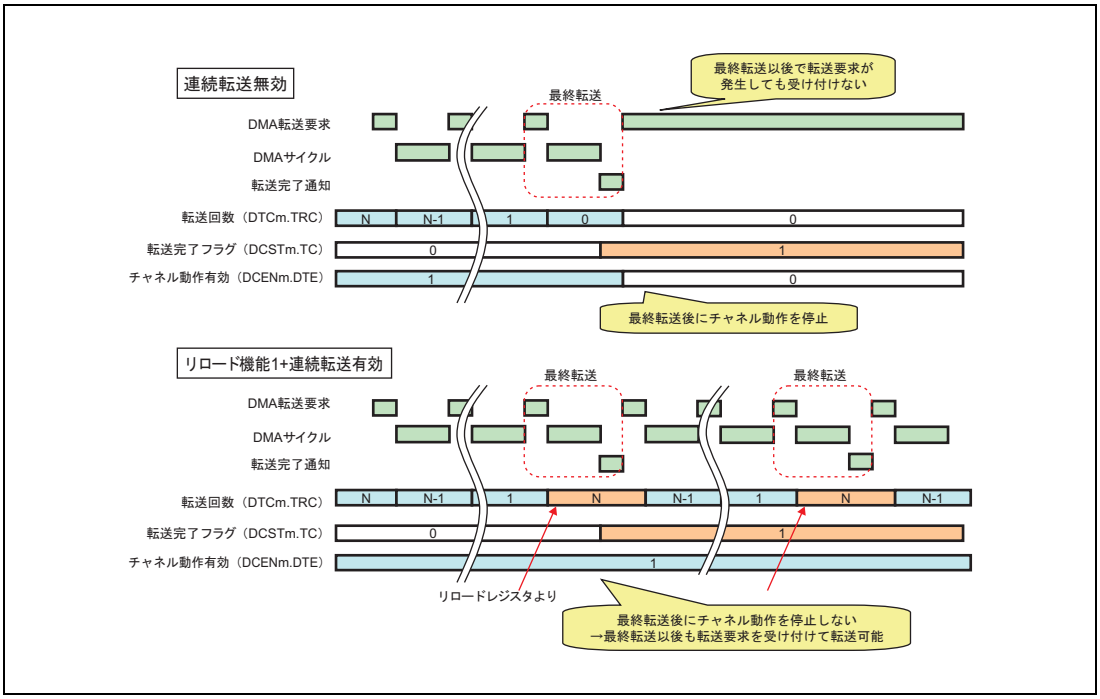


図 8.2 DMAC の連続転送の動作イメージ

8.3.2 チャネルの優先順位

DMA の複数のチャネル間のアービトレーションについて説明します。

8.3.2.1 DMAC チャネルアービトレーション

DMAC では 8 チャネルから 1 チャネルを選択するアービトレーションを行います。

アービトレーションは固定優先順位で、DMAC0 では「チャネル 0 ＞チャネル 1 ＞チャネル 2 ＞チャネル 3 ＞チャネル 4 ＞チャネル 5 ＞チャネル 6 ＞チャネル 7」、DMAC1 では「チャネル 8 ＞チャネル 9 ＞チャネル 10 ＞チャネル 11 ＞チャネル 12 ＞チャネル 13 ＞チャネル 14 ＞チャネル 15」です。

アービトレーションは DMA サイクルごとに行われます。DMA サイクルのリードとライトの間ではアービトレーションは発生しません。

あるチャネルのブロック転送の途中の DMA サイクルが終了した時点で、優先順位の高いチャネルの DMA 転送要求があった場合には、アービトレーションの結果優先順位の高いチャネルの DMA サイクルが実行されます。

DMAC がブロック転送 1 またはブロック転送 2 を実行する場合は、1 回の DMA サイクルごとに DMAC チャネルアービトレーションを行うため、他の優先順位の高い DMAC チャネルの DMA サイクルが割り込むことがあります。

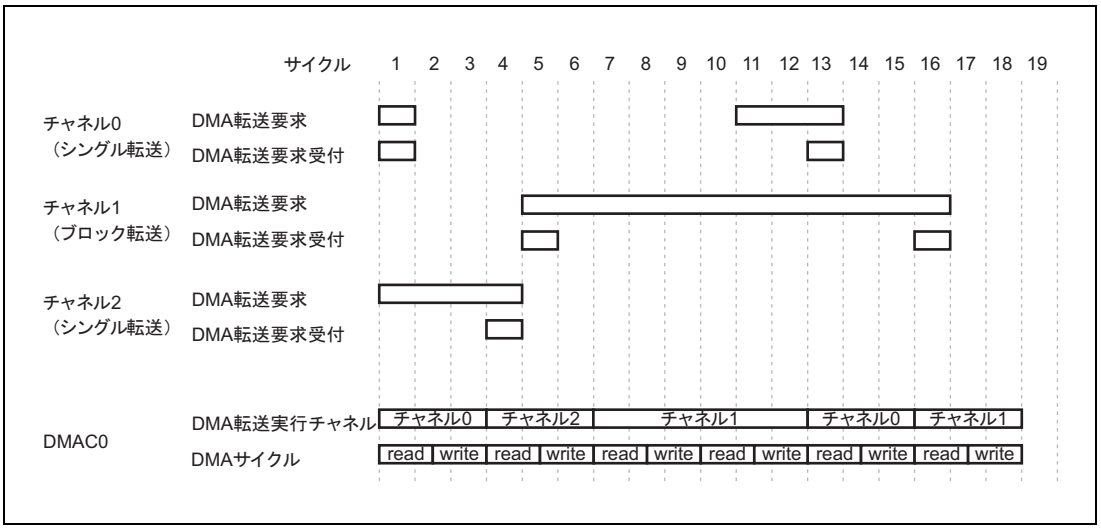


図 8.3 DMAC チャネルアービトレーション

図 8.3 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 8.3 において、サイクル 1 でチャネル 0 とチャネル 2 の DMA 転送要求があり、アービトレーションの結果、優先度の高いチャネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャネル 2 の DMA サイクルの実行を開始します。サイクル 5 でチャネル 1 の DMA 転送要求が発生しますが、チャネル 2 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 7 でチャネル 1 の DMA サイクルを実行します。チャネル 1 はブロック転送なので、他のチャネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャネル 0 の DMA 転送要求が発生しますが、チャネル 1 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 12 でチャネル 1 の DMA サイクルが完了し、サイクル 13 では DMA チャネル 0 とチャネル 1 のアービトレーションの結果チャネル 0 の DMA サイクルの実行を開始します。サイクル 13 では既にブロック転送を実行中のチャネル 1 よりも優先度の高いチャネル 0 の

DMA サイクルを実行していることに注意してください。サイクル 15 でチャネル 0 の DMA サイクルが完了し、サイクル 16 で再びチャネル 1 の DMA サイクルの実行を開始します。サイクル 18 でチャネル 1 のブロック転送の最後の DMA サイクルが完了しています。

8.3.2.2 インタフェースアービトレーション

DMAC0、DMAC1 はそれぞれ独立して動作し、DMA 転送を実行します。

8.3.3 リロード機能

8.3.3.1 リロード機能の概要

リロード機能は、DMA 転送中に、転送情報のうちソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロード回数をあらかじめ指定した値で更新する機能です。

リロード機能はリロード機能 1 とリロード機能 2 の 2 つの機能があります。

8.3.3.2 リロード機能 1 の動作

リロード機能 1 が有効の場合、最終転送の実行時にリロード機能 1 設定にしたがって**表 8.8** の動作を行います。

表 8.8 リロード機能 1 動作

リロード機能 1 設定 （DTCTm.RLD1M[1:0]）	レジスタ	最終転送時の動作
00 （リロード機能 1 無効）	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	転送回数	リロードしない
	アドレスリロードカウント	リロードしない
01 （リロード機能 1 有効、ソースアドレスと転送回数をリロード）	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	• リロード機能 2 が無効の場合、リロードしない • リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
10 （リロード機能 1 有効、ディスティネーションアドレスと転送回数をリロード）	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	• リロード機能 2 が無効の場合、リロードしない • リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
11 （リロード機能 1 有効、ソースアドレスとディスティネーションアドレスと転送回数をリロード）	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	• リロード機能 2 が無効の場合、リロードしない • リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー

図 8.4 にリロード機能 1 の動作イメージを示します。

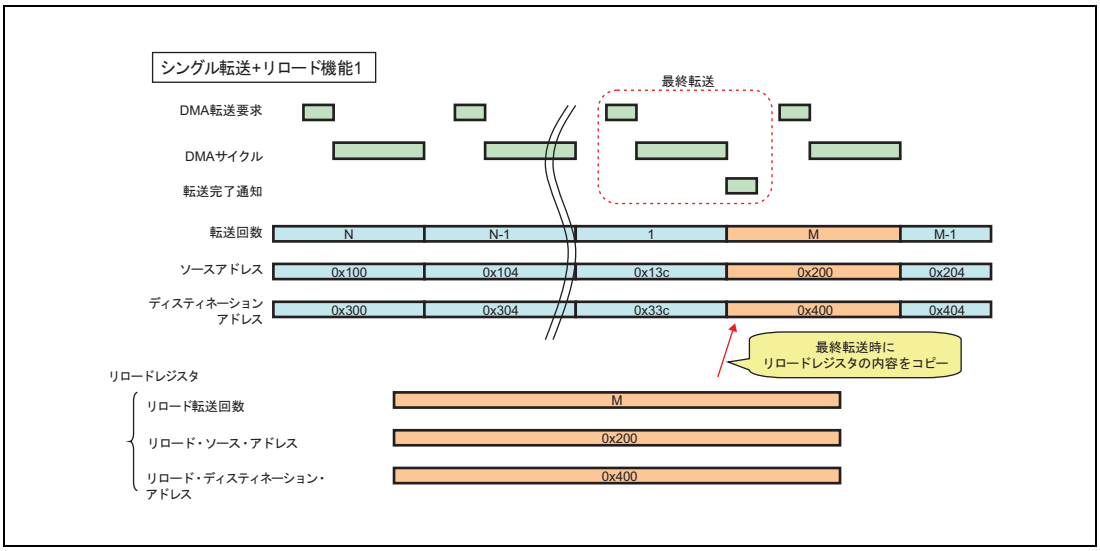


図 8.4 リロード機能 1 動作イメージ

8.3.3.3 リロード機能 2

リロード機能 2 が有効の場合、アドレスリロード転送の実行時にリロード機能 2 の設定にしたがって**表 8.9** の動作を行います。

表 8.9 リロード機能 2 動作

リロード機能 2 設定 (DTCTm.RLD2M[1:0])	レジスタ	アドレスリロード転送時の動作
00 (リロード機能 2 無効)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能 2 有効、ソースアドレスとリロードアドレスリロードカウントをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
10 (リロード機能 2 有効、ソースアドレスとリロードアドレスリロードカウントをリロード)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
11 (リロード機能 2 有効、ソースアドレスとリロードアドレスリロードカウントをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー

図 8.5 にリロード機能 2 の動作イメージを示します。

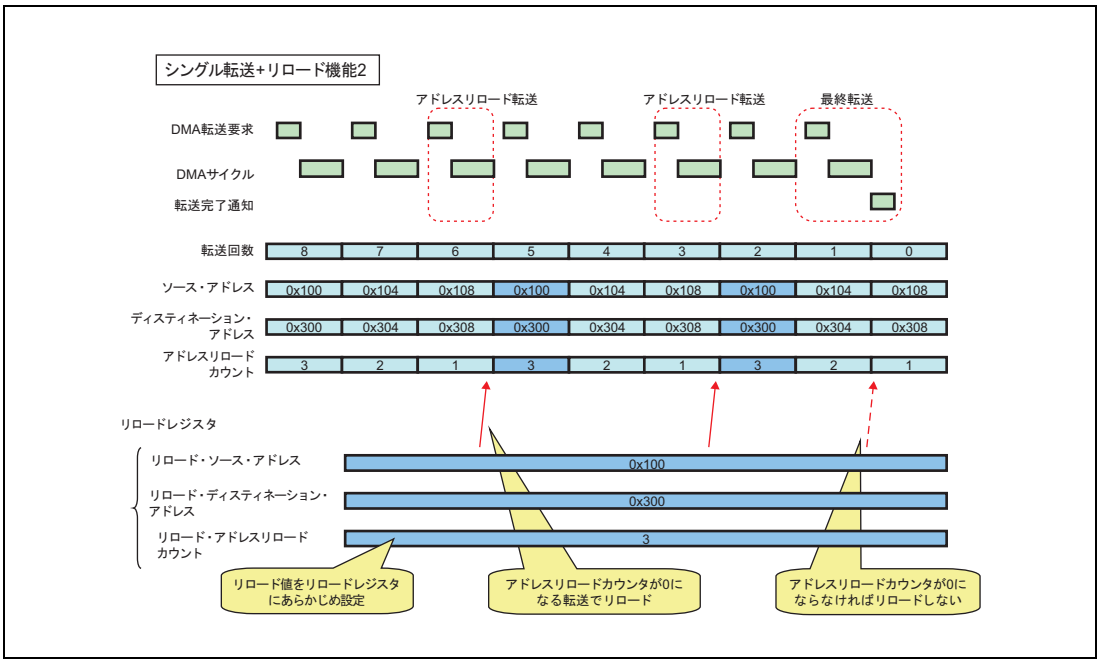


図 8.5 リロード機能 2 動作イメージ

図 8.6 にリロード機能 1 とリロード機能 2 を同時に使用する場合の動作イメージを示します。

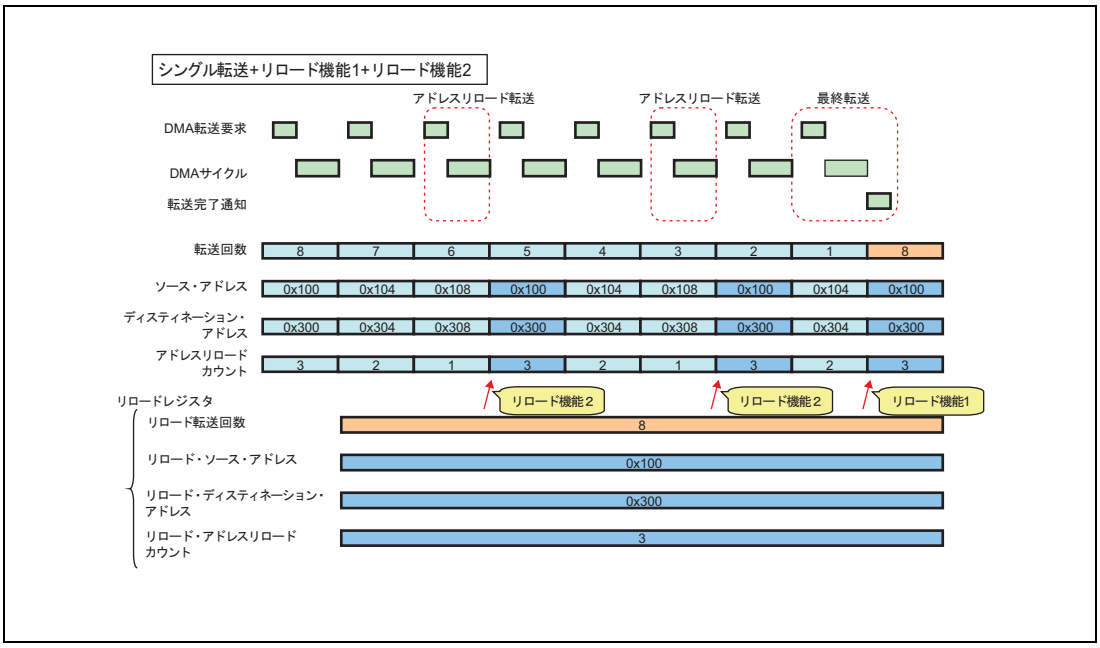


図 8.6 リロード機能 1 + リロード機能 2 動作イメージ

8.3.3.4 DMAC のリロードレジスタ設定タイミング

リロードソースアドレスレジスタ・リロードディスティネーションアドレスレジスタ・リロード転送回数レジスタはいつでも（DMA 転送中でも）設定が可能です。ただし、DMA 転送中にリロードソースアドレスレジスタ・リロードディスティネーションアドレスレジスタ・リロード転送回数レジスタの内容を書き換えた場合には、最終転送またはアドレスリロード転送時のリロード動作とユーザによるリロードレジスタの書き換えが競合する可能性があります。この競合を避けるため、リロードレジスタの設定は最終転送またはアドレスリロード転送が始まる前に完了するようにしてください。

8.3.4 チェイン機能

8.3.4.1 概要

DMA は、あるチャネルの DMA サイクルの完了または最終転送の完了をトリガにして、別のチャネルの DMA 転送要求を行うチェイン機能を提供します。

チェイン機能による別のチャネルへの DMA 転送要求をチェイン要求と呼びます。

チェイン要求の条件として選択できるのは次の 2 つです。

- 常にチェイン：DMA サイクルの完了ごとにチェイン要求を行います。
- 最終転送でチェイン：最終転送の完了の際にチェイン要求を行います。

図 8.7 に常にチェインの動作イメージを示します。

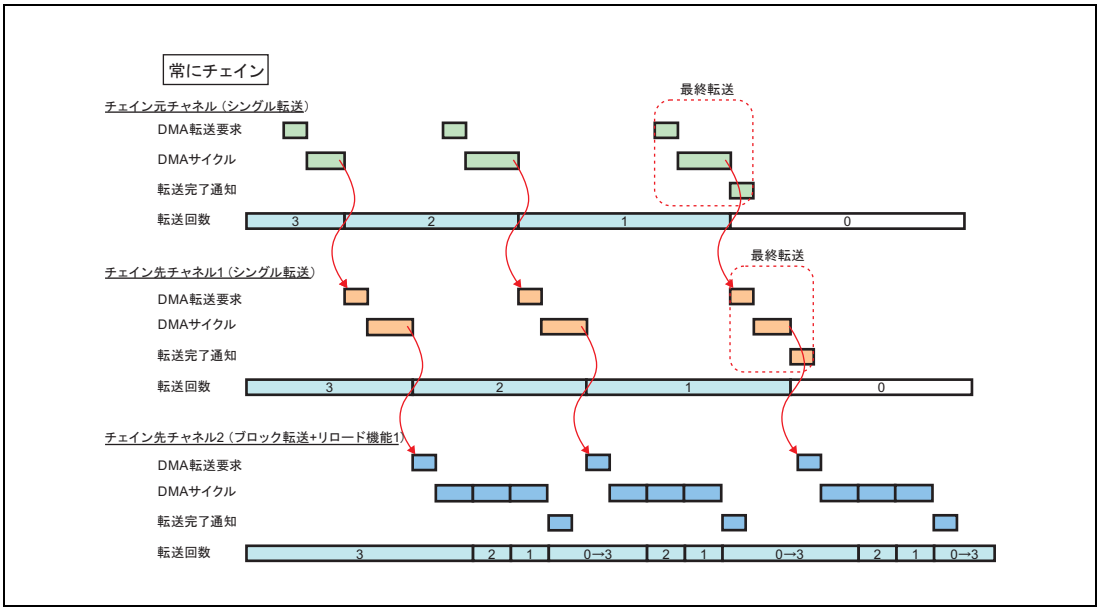


図 8.7 常にチェインの動作イメージ

図 8.8 に最終転送でチェインの動作イメージを示します。

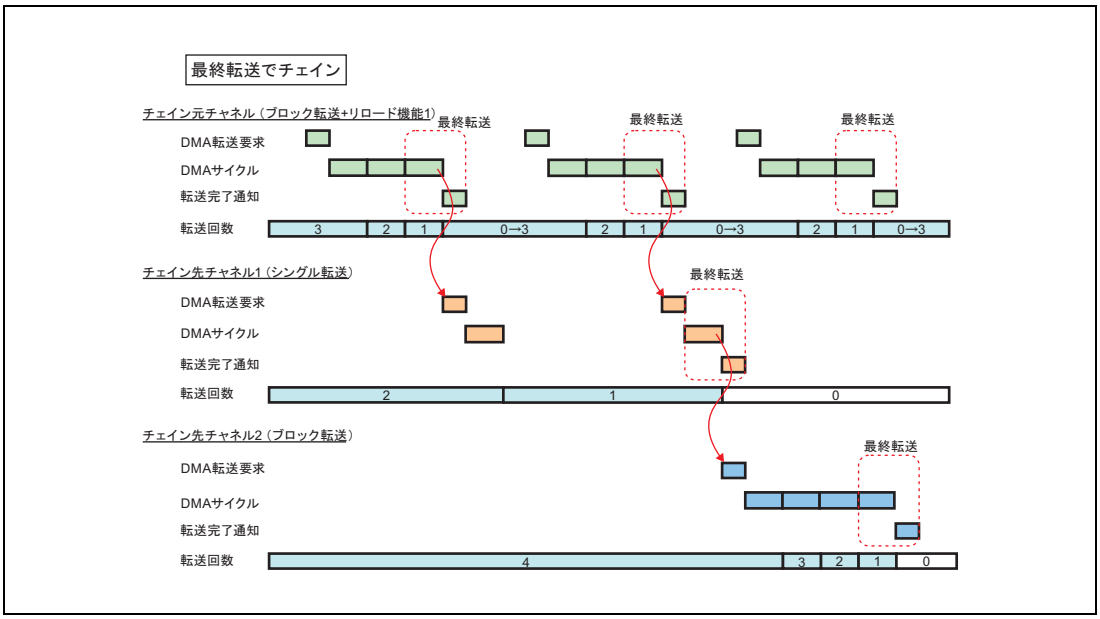


図 8.8　　最終転送でチェインの動作イメージ

8.3.4.2　チェイン動作の設定方法

DMAC の場合は、DMAC 転送制御レジスタのチェインイネーブル（DTCTm.CHNE）およびチェイン先選択（DTCTm.CHNSEL）に、チェイン動作の種類およびチェイン先のチャネル番号を設定します。

8.3.4.3　チェイン機能使用時の注意

チェイン動作は、チェイン先のチャネルのソフトウェア DMA 転送要求フラグをセットすることで実現しています。したがって、チェイン先となるチャネルでは、ソフトウェア DMA 転送要求を使用する場合と同様のチャネル設定を実施してください。ハードウェア DMA 転送要求を使用する設定を行ったチャネルをチェイン先に指定した場合には、チェイン動作を行うことができません。

チェイン先のチャネルは、チェイン元のチャネルと同一のモジュール内（DMAC0、DMAC1）のチャネルに限られます。異なるモジュールのチャネルをチェイン先として指定することはできません。

8.3.5 DMAC 動作

8.3.5.1 DMA 転送要求の種類と割り当て

DMAC はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。ハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかは、DMAC 転送制御レジスタ（DTCTm）の DMA 転送要求選択割り付け（DTCTm.DRS）ビットで指定します。

DMAC のハードウェア DMA 転送要求は、DTFR で 128 種類のハードウェア DMA 転送要因から DMAC の各チャネルにそれぞれ 1 つずつ選択して割り当てます。この割り当ては DTFR 設定レジスタで行います。

8.3.5.2 ソフトウェア DMA 転送要求の発生と受け付け

DMAC 転送ステータスセットレジスタ（DCSTSm）を使用して DMAC 転送ステータスレジスタ（DCSTm）のソフトウェア DMA 転送要求フラグ（DCSTm.SR）をセットすると、ソフトウェア DMA 転送要求を発生させることができます。

ソフトウェア DMA 転送要求フラグは、DMAC が DMA 転送要求を実行すると自動的にクリアされます。ソフトウェア DMA 転送要求フラグが自動的にクリアされるタイミングは、実行する DMA 転送の転送モードによって異なります。

- シングル転送の場合は、ソフトウェア DMA 転送要求を受け付ける度に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 1 の場合は、最終転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 2 の場合は、最終転送またはアドレスリロード転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。

ソフトウェア DMA 転送要求フラグは DMAC 転送ステータスクリアレジスタ（DCSTCm）を利用してソフトウェアでクリアすることも可能です。DMAC チャネルの DMA 転送中止の操作を行う際は、ソフトウェア DMA 転送要求フラグをクリアしてください。

8.3.5.3 DMA 転送の実行

DMAC は、DMA 転送要求を受け付けたチャネルの DMA 転送を実行します。

複数のチャネルからの DMA 転送要求が存在する場合には、DMAC チャネルアービトレーションを行って DMA 転送要求を受け付けるチャネルを決定します。

8.4 一時中断・再開、転送中止および DMA 転送要求のクリア

8.4.1 ソフトウェア制御による DMA 一時中断・再開

DMA 制御レジスタ（DMACTL）により、全チャネルの DMA 転送一時中断機能を提供します。

DMA 制御レジスタの DMA 一時中断ビット（DMACTL.DMASPD）がセットされると、DMA は全チャネル一時中断状態に移行します。全チャネル一時中断状態で、DMA 制御レジスタの DMA 一時中断ビットがクリアされると、DMA は全チャネル一時中断状態から通常状態に復帰し、一時中断状態だったチャネルの DMA 転送は再開されます。

全チャネル一時中断状態では、DMAC の各チャネルの DCENm.DTE ビットの状態は変わりませんが、すべてのチャネルの DMA 転送は一時中断された状態になります

8.4.2 DMAC チャネルの一時中断・再開および転送中止

DMAC チャネル動作有効設定レジスタのチャネル動作有効ビット（DCENm.DTE）をクリアすることで、その DMAC チャネルの DMA 転送を一時中断することができます。DMA サイクルを実行中の場合、実行中の DMA サイクルの終了後にそのチャネルの DMA 転送を一時中断します。一時中断の状態で DCENm.DTE ビットを再びセットすると、そのチャネルの DMA 転送を再開します。

DMAC チャネルで実行中の DMA 転送を中止したい場合、同様に DMAC チャネル動作有効設定レジスタのチャネル動作有効ビット（DCENm.DTE）をクリアした後で、ハードウェア DMA 転送要求であれば DTFR のハードウェア DMA 転送要求をクリアし、ソフトウェア DMA 転送要求であれば DMAC 転送ステータスクリアレジスタのソフトウェア DMA 転送要求フラグクリアビット（DCSTCm.SRC）を利用してソフトウェア DMA 転送要求フラグ（DCSTm.SR）をクリアしてください。

連続転送許可ビット（DTCTm.MLE）が設定されている場合では、チャネル動作許可ビット（DCENm.DTE）がセットされ続けます。DMA の最終転送中にチャネル動作有効ビット（DCENm.DTE）がソフトウェアによってクリアされても、連続転送イネーブルビット（DTCTm.MLE）が優先され、チャネル動作有効ビット（DCENm.DTE）は最終転送が完了した後にセットされます。

連続転送機能が有効になっているときに DMAC チャネルの継続的な DMA 転送を中止したい場合は、まず連続転送有効ビット（DTCTm.MLE）をクリアしてください。そのあと DMAC チャネルの DMA 転送を中止するためにチャネル動作有効ビット（DCENm.DTE）をクリアしてください。

DMAC 転送制御レジスタ（DTCTm）はチャネル動作有効ビットが 1 （DCENm.DTE=1）のときだけ書き込みが可能です。

図 8.9 に DMAC チャネルの一時中断・再開・転送中止の動作例を示します。

図 8.9 では、チャネル 0 とチャネル 1 はいずれもブロック転送を実行します。時間 1 でチャネル 1 が DMA 転送を開始します。時間 2 でチャネル 0 の DMA 転送要求が受け付けられ、DMAC チャネルアービトレーションにより、チャネル 1 よりも優先度の高いチャネル 0 の DMA 転送を開始します。時間 3 でチャネル 0 の最終転送が完了し、チャネル 1 のブロック転送の残りの DMA 転送を開始します。時間 4 でチャネル 1 の最終転送が完了します。時間 5 以降は同様にチャネル 0 とチャネル 1 の DMA 転送を実行しますが、時間 7 でチャネル 0 の DMA 転送が一時中断され、DMAC チャネルアービトレーションによりチャネル 1 の DMA 転送を開始します。時間 8 でチャネル 1 の最終転送が完了した後、時間 9 でチャネル 0 の DMA 転送を再開しています。時間 10 で再びチャネル 0 の DMA 転送を一時中断し、時

間 11 でチャネル 0 の DMA 転送を中止しています。時間 12 でチャネル 0 の一時中断状態を解除していますが、時間 11 で DMA 転送が中止されているためチャネル 0 の DMA 転送は実行されません。

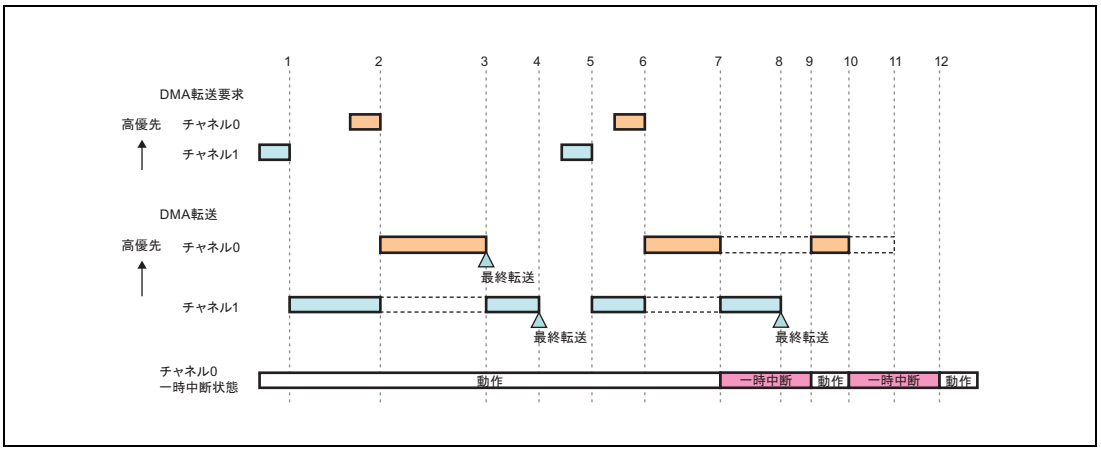


図 8.9 DMAC チャネルの一時中断・再開・転送中止の動作例

8.4.3 DTFR のハードウェア DMA 転送要求マスクおよびクリア

DMAC でハードウェア DMA 転送要求を使用している場合、DTFR 設定レジスタのハードウェア DMA 転送要因選択有効ビット（DTFRm.REQEN）をクリアすることで、一時的に DTFR から DMAC に対するハードウェア DMA 転送要求出力を無効化（マスク）することができます。

また、ハードウェア DMA 転送要因を利用する場合には、DTFR 転送要求クリアレジスタのハードウェア DMA 転送要求クリア（DTFRRQCm.DRQC）ビットを使用して、DTFR で保持しているハードウェア DMA 転送要求をクリアすることができます。

DMAC チャネルに対して DMA 転送の一時中断や転送中止の操作を行った場合でも、DTFR のハードウェア DMA 転送要求選択・保持回路は動作したままですので、DMAC チャネルの一時中断の期間または転送中止の期間中に DTFR に入力されたハードウェア DMA 転送要求を DTFR は保持している場合があります。DMAC チャネルで DMA 転送を再開または開始する場合には、必要に応じて、DTFR で保持しているハードウェア DMA 転送要求をクリアする操作を行ってください。

DMAC をハードウェア転送要求かつブロック転送 (1 または 2) の設定で使用する場合、DMAC がブロック転送を実行中に、ソフトウェアで DTFR のハードウェア転送要因選択ビットを無効 (DTFRm.REQEN = 0) に設定した場合、実行中のブロック転送が中断します。

8.4.4 一時中断・再開・転送中止機能一覧

表 8.10 一時中断・再開・転送中止機能一覧

機能	操作方法	動作	DMA 転送中止の可否	操作可能なマスタ（「8.6 信頼性機能」参照）
DMA 一時中断・再開	DMACCTL.DMASPD をセット・クリア	全チャネルが一時中断状態	不可注 1	特殊マスタ
DMAC チャネル一時中断・再開	各チャネルレジスタの DCENm.DTE をクリア・セット注 2	チャネルの DMA 転送を一時中断	可能 （一時中断状態で DMA 転送要求フラグをクリア）	特殊マスタ、チャネルに割り当てられた一般マスタ

注 1. DMA 転送を中止するためには、DMAC チャネルの転送中止の操作を行う必要があります。
注 2. 連続転送許可ビット（DTCTm.MLE）がセットされている場合、最初に連続転送許可ビット（DTCTm.MLE）をクリア（またはセット）してください。

8.5 エラー制御

8.5.1 エラーの種類

DMA で発生するエラーは次の種類があります。

- DMA 転送エラー
  DMA サイクルのリードサイクルまたはライトサイクルで、エラーが検出された場合に発生します。DMAC のすべてのチャネルで、DMA 転送の実行時に発生する可能性があります。

8.5.2 DMA 転送エラー

8.5.2.1 DMAC の DMA 転送エラー発生時の動作

DMAC で DMA 転送エラーが発生すると、DMA 転送エラーが発生したチャネルの DMAC 転送ステータスレジスタの転送エラーフラグ（DCSTm.ER）がセットされます。DMAC エラーレジスタ（DMACER）で DMAC の 16 チャネルすべての転送エラーフラグの状態を確認することができます。

転送エラーフラグがセットされたチャネルでは、転送エラー時 DMA 転送禁止設定（DTCTm.ESE）ビットがセットされている場合は、新たな DMA サイクルは実行されませんが、転送エラー時 DMA 転送禁止設定（DTCTm.ESE）ビットがクリアされている場合は、転送エラーフラグの状態に関係なく DMA サイクルが実行されます。

DMA 転送エラーが発生したチャネルの DMA 転送を中止する場合は、DMAC チャネルの DMA 転送中止の操作を実行してください。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウントの各レジスタは更新されます。

8.6 信頼性機能

8.6.1 概要

本製品では、DMA は複数のマスタから利用される資源であり、DMA でマルチコア構成に対応するための以下の信頼性機能を提供します。

- レジスタアクセス保護機能
- マスタ情報継承機能

8.6.2 レジスタアクセス保護機能

レジスタアクセス保護機能は、DMA の各チャネルの転送情報に対して、チャネルに割り当てたマスタからのみアクセスを許可し、他のマスタからのアクセスを禁止する機能です。

レジスタアクセス保護機能により、たとえば、チャネルに割り当てたマスタ以外の無関係のマスタによってチャネルの設定内容が読み出されたり変更されたりすることを防ぐことができます。

8.6.2.1 アクセス元マスタの識別

DMA は、アクセス元のプロセッサエレメント ID 番号（PEID）、CPU がスーパバイザモード（PSW.UM = 0）かユーザモード（PSW.UM = 1）かによってマスタを識別します。

8.6.2.2 マスタアクセス

マスタアクセスには、以下の 2 種類があります。

- 特殊マスタアクセス（CPU1 のスーパバイザモード（UM = 0））
- 一般マスタアクセス（特殊マスタアクセス以外のアクセス）

特殊マスタアクセスでは、すべてのレジスタに対してアクセスが許可されます。

一般マスタアクセスでは、次のレジスタに対してアクセスが許可されます。

- グローバルレジスタのうち次のレジスタ

  DMACER
- チャネル割り当て（**「8.6.2.3 チャネル割り当て」**参照）によって割り当てられたチャネルのチャネルレジスタ

上記以外のレジスタに対しては、一般マスタアクセスは許可されません。

8.6.2.3 チャネル割り当て

DMA では、各チャネル単位で、そのチャネルを利用するマスタを割り当てることができます。チャネル割り当ては CPU1 のスーパバイザモード（UM = 0）がチャネルマスタ設定レジスタ（DMAC の場合は DMniCM）を設定することで行います。

一般マスタアクセスでは、チャネル割り当てによって割り当てられたマスタは、そのチャネルのチャネルレジスタにアクセスすることが許可されます。チャネル割り当てによって割り当てられたマスタ以外がチャネルレジスタにアクセスした場合は、違反アクセスとなります。違反アクセスについては**「8.6.2.4 違反アクセス」**で説明します。

8.6.2.4 違反アクセス

DMA は次のアクセスを違反アクセスとして扱います。

a）グローバルレジスタに対する一般マスタアクセス

ただし、次のレジスタを除く：DMACER

b）チャネル割り当てによって割り当てられたマスタ以外からのチャネルレジスタに対する一般マスタアクセス

DMA は違反アクセスに対して次の動作を行います。

a）, b）の場合ともに

- ライトアクセスは無視します。
- リードアクセスはリードデータとして 0 を返します。

また、b）の場合にのみ、

- レジスタアクセス保護違反レジスタに、違反アクセスの際の情報を保存します。
- レジスタアクセス保護違反レジスタは DMAC0、DMAC1 で分かれています（DM0CMV, DM1CMV）。

レジスタアクセス保護違反レジスタにアクセス可能なのは特殊マスタのみです。特殊マスタはレジスタアクセス保護違反レジスタを定期的に確認することで、違反アクセスの発生状態を確認することができます。

また、DMA を利用するマスタは、チャネルレジスタに転送情報を設定する際に、違反アクセスが発生せずに設定が正しく行われていることをリードバックなどにより確認することを推奨します。

8.6.3 マスタ情報継承機能

本製品では、DMA は DMA チャネルを設定した CPU と同等のマスタ情報を継承します。

DMA が出力するマスタ情報は**表 8.11** のとおりです。

表 8.11 DMA が出力するマスタ情報

意味	DMA から出力する値
UM	チャネルマスタ設定レジスタの UM ビットの値
SPID	チャネルマスタ設定レジスタの SPID ビットの値
PEID	チャネルマスタ設定レジスタの PEID ビットの値
DMA	1

8.6.4 その他の信頼性機能

8.6.4.1 チェイン先の制限

信頼性機能により、チェイン先として指定可能なチャネルが制限されます。

チェイン機能を使用する際は、チェイン元チャネルのチャネルマスタ設定とチェイン先チャネルのチャネルマスタ設定は同じ内容を設定してください。

チェイン機能の使用時は、チェイン元のチャネルとチェイン先のチャネルは同一のマスタの管理下で使用することを想定しています。

DMA は、異なるマスタを割り当てたチャネルへのチェインは意図外の動作であると判断し、チェイン動作を制限します。具体的には、DMA はチェイン実行時にチェイン元チャネルのチャネルマスタ設定とチェイン先チャネルのチャネルマスタ設定の内容をチェックして、チャネルマスタ設定の PEID、UM がすべて同一の場合はチェインを許可し、チェイン先チャネルにチェイン要求を行います。チャネルマスタ設定の PEID、UM のいずれかが異なる場合は、チェイン要求を行いません。

8.7 DMA 転送の設定手順

8.7.1 DMA 設定手順概要

表 8.12 DMA 設定手順概要

No.	設定元マスタ	内容	レジスタ		操作の必要条件
1	特殊マスタ（CPU1 のスーパバイザモード（UM = 0））	DMA 全体動作の設定	DM00CM ～ DM17CM	DMAC チャネルマスタ設定	必須
2		ステータスのクリア	CMVC	チャネル保護違反クリアレジスタ	推奨
3	DMAC チャネルに割り当てられたマスタ	チャネルの設定	DSAm	DMAC ソースアドレス	必須
4			DDAm	DMAC ディスティネーションアドレス	必須
5			DTCm	DMAC 転送回数	必須
6			DTCTm	DMAC 転送制御	必須
7			DRSAm	DMAC リロードソースアドレス	リロード機能を使用する場合必須
8			DRDAm	DMAC リロードディスティネーションアドレス	リロード機能を使用する場合必須
9			DRTCm	DMAC リロード転送回数	リロード機能を使用する場合必須
10			DTFRm	DTFR 設定レジスタ	必須
11		ステータスのクリア	DCSTCm	DMAC 転送ステータスクリア	必須
12			DTFRRQCm	DTFR 転送要求クリア	推奨
13		チャネル動作有効	DCENm	DMAC チャネル動作有効設定	必須

8.7.2 DMA 全体動作設定手順

DMA を利用を開始する前に、DMA 全体動作設定を行う必要があります。

DMA 全体動作設定は、特殊マスタである CPU1 のスーパバイザモード（UM = 0）がグローバルレジスタを設定することで実施します。グローバルレジスタの設定は特殊マスタアクセスのみ許可されます。詳細は**「8.6 信頼性機能」**を参照してください。

DMA 全体動作設定で設定が必要なレジスタは以下のとおりです。

- DMAC チャネルマスタ設定レジスタ（DMniCM）

チャネル割り当てを行います（詳細は**「8.6 信頼性機能」**を参照）。

DMAC チャネルマスタ設定レジスタの設定を正しく行わない場合、DMA チャネル設定および DMA 転送が正しく実行できません。

また、DMA 全体動作設定の際に次のレジスタでエラーを検出している場合には、エラーをクリアすることを推奨します。

- DMAC0 レジスタアクセス保護違反レジスタ（DM0CMV）
- DMAC1 レジスタアクセス保護違反レジスタ（DM1CMV）

8.7.3 DMA チャネル設定手順

DMA チャネル設定では、DMAC の各チャネルの転送情報や転送要因の選択を行います。

DMA チャネル設定は、チャネル割り当てによって割り当てられた各チャネルのマスタがチャネルレジスタを設定することで実施します。

8.7.3.1 DMAC チャネル設定手順

DMAC を利用する場合の DMAC チャネル設定は以下の手順で行います。

(1) チャネル動作無効設定

DMAC チャネル動作有効設定レジスタ（DCENm）でチャネル動作有効（DCENm.DTE）がセットされている場合は、DCENm.DTE ビットをクリアしてチャネル動作を無効の状態に変更します。

(2) 転送情報の設定

DMAC の転送情報の設定では、次のレジスタを設定します。

- DMAC ソースアドレスレジスタ（DSAm）
- DMAC ディスティネーションアドレスレジスタ（DDAm）
- DMAC 転送回数レジスタ（DTCm）
- DMAC 転送制御レジスタ（DTCTm）
- DMAC リロードソースアドレスレジスタ（DRSAm）
- DMAC リロードディスティネーションアドレスレジスタ（DRDAm）
- DMAC リロード転送回数レジスタ（DRTCm）

(3) DMA 転送要求の設定

転送情報の設定で、DMAC 転送制御レジスタ（DTCTm）の DMA 転送要求選択割り付け（DTCTm.DRS）ビットにハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定します。

1 つのチャネルでハードウェア DMA 転送要求とソフトウェア DMA 転送要求の両方を同時に使用することはできません。

ハードウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択（DTFRm.REQSEL）で 128 種類のハードウェア DMA 転送要因からハードウェア DMA 転送要求として使用する要因を選択して設定します。また同じレジスタのハードウェア DMA 転送要因選択（DTFRm.REQEN）を有効に設定します。

DTFR には、ハードウェア DMA 転送要因を選択する前の状態でハードウェア DMA 転送要求が保持されている場合があるので、必要に応じて、DTFR 転送要求クリアレジスタ（DTFRRQCm）を利用して DTFR で保持しているハードウェア DMA 転送要求（DTFRRQm.DRQ）をクリアしてください。

ソフトウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択（DTFRm.REQEN）を無効に設定します。

(4) 転送ステータスのクリア

DMAC 転送ステータスレジスタ（DCSTm）に、以前の DMA 転送結果が保持されている場合があるので、DMAC 転送ステータスクリアレジスタ（DCSTCm）を利用して DMAC 転送ステータスレジスタの各フラグをクリアします。

(5) チャネル動作有効設定

DMAC チャネル動作有効設定レジスタのチャネル動作有効（DCENm.DTE）ビットをセットして、チャネル動作を有効します。

チャネル動作有効設定を行った後は、DMAC は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

8.8 グローバルレジスタ

8.8.1 グローバルレジスタアドレス一覧

DMA のグローバルレジスタ一覧を以下の表に示します。

<DMA_base> は「**8.1.2 レジスタベースアドレス**」を参照してください。

表 8.13 グローバルレジスタアドレス一覧

ユニット名	レジスタ名	略号	アドレス	アクセス許可	
				特殊マスタ	一般マスタ
DMA	DMA 制御レジスタ	DMACTL	<DMA_base> + 0000_H	○	×
	DMAC エラーレジスタ	DMACER	<DMA_base> + 0020_H	○	○
	DMAC0 レジスタアクセス保護違反レジスタ	DM0CMV	<DMA_base> + 0030_H	○	×
	DMAC1 レジスタアクセス保護違反レジスタ	DM1CMV	<DMA_base> + 0034_H	○	×
	レジスタアクセス保護違反クリアレジスタ	CMVC	<DMA_base> + $003C_H$	○	×
	DMAC0 チャネル 0 チャネルマスタ設定	DM00CM	<DMA_base> + 0100_H	○	×
	DMAC0 チャネル 1 チャネルマスタ設定	DM01CM	<DMA_base> + 0104_H	○	×
	DMAC0 チャネル 2 チャネルマスタ設定	DM02CM	<DMA_base> + 0108_H	○	×
	DMAC0 チャネル 3 チャネルマスタ設定	DM03CM	<DMA_base> + $010C_H$	○	×
	DMAC0 チャネル 4 チャネルマスタ設定	DM04CM	<DMA_base> + 0110_H	○	×
	DMAC0 チャネル 5 チャネルマスタ設定	DM05CM	<DMA_base> + 0114_H	○	×
	DMAC0 チャネル 6 チャネルマスタ設定	DM06CM	<DMA_base> + 0118_H	○	×
	DMAC0 チャネル 7 チャネルマスタ設定	DM07CM	<DMA_base> + $011C_H$	○	×
	DMAC1 チャネル 0 チャネルマスタ設定	DM10CM	<DMA_base> + 0120_H	○	×
	DMAC1 チャネル 1 チャネルマスタ設定	DM11CM	<DMA_base> + 0124_H	○	×
	DMAC1 チャネル 2 チャネルマスタ設定	DM12CM	<DMA_base> + 0128_H	○	×
	DMAC1 チャネル 3 チャネルマスタ設定	DM13CM	<DMA_base> + $012C_H$	○	×
	DMAC1 チャネル 4 チャネルマスタ設定	DM14CM	<DMA_base> + 0130_H	○	×
	DMAC1 チャネル 5 チャネルマスタ設定	DM15CM	<DMA_base> + 0134_H	○	×
	DMAC1 チャネル 6 チャネルマスタ設定	DM16CM	<DMA_base> + 0138_H	○	×
	DMAC1 チャネル 7 チャネルマスタ設定	DM17CM	<DMA_base> + $013C_H$	○	×

8.8.2 グローバルレジスタ詳細

8.8.2.1 DMACTL — DMA 制御レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0000_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASPD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.14 DMACTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DMASPD	DMA 一時中断 すべてのチャネルの DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、すべてのチャネルの DMA 転送を一時中断状態することができます。また、ユーザが 0 を書き込むことで、すべてのチャネルの DMA 転送の一時中断状態を解除することができます。 本ビットで制御する一時中断は、DMAC の各チャネルの転送有効ビット（DCENm.DTE）で制御する一時中断とは無関係に行われます。つまり、DMAC の各チャネルの DCENm.DTE ビットがいかなる状態でも、本ビットを 1 にセットした場合はすべての DMA 転送が一時中断されます。 本ビットを操作しても、DMAC の各チャネルの DCENm.DTE ビットの状態は変わりません。 0：DMA 一時中断状態解除 1：DMA 一時中断要求・DMA 一時中断状態

8.8.2.2 DMACER — DMAC エラーレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0020_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1ER 7	DM1ER 6	DM1ER 5	DM1ER 4	DM1ER 3	DM1ER 2	DM1ER 1	DM1ER 0	DM0ER 7	DM0ER 6	DM0ER 5	DM0ER 4	DM0ER 3	DM0ER 2	DM0ER 1	DM0ER 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.15 DMACER レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 8	DM1ER[7:0]	DMAC1 DMA 転送エラー状態 DMAC1 のチャネル 0 ～ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC1 の各チャネルの DCSTm.ER ビットの写像で、リードオンリーです。 0：DMA 転送エラー非発生 1：DMA 転送エラー発生
7 ～ 0	DM0ER[7:0]	DMAC0 DMA 転送エラー状態 DMAC0 のチャネル 0 ～ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC0 の各チャネルの DCSTm.ER ビットの写像で、リードオンリーです。 0：DMA 転送エラー非発生 1：DMA 転送エラー発生

8.8.2.3 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0030_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH[2:0]			—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.16 DM0CMV レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。
22 ～ 17	MINF[6:1]	違反アクセスマスタ情報 DM0CMV.VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。DM0CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。 DM0CMV.MINF[6:1] には、以下のアクセス元マスタ情報が保持されます。 DM0CMV.MINF[6:4]：アクセス元の PEID DM0CMV.MINF[3:2]：アクセス元の SPID DM0CMV.MINF[1] ：アクセス元の UM
16 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 4	VCH[2:0]	違反アクセス発生チャネル DM0CMV.VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号（0 ～ 7）を保持します。 DM0CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC0 で違反アクセスが発生したかどうかを示します。 0：DMAC0 で違反アクセスが発生していない 1：DMAC0 で違反アクセスが発生している 本ビットが 0 の状態で DMAC0 で違反アクセスが発生すると、本ビットがセットされるとともに DM0CMV.MINF[6:1]、DM0CMV.VCH[2:0] ビットに情報が保存されます。 本ビットが 1 の状態で DMAC0 で違反アクセスが発生すると、本ビットはセットされたままで、DM0CMV.MINF[6:1]、DM0CMV.VCH[2:0] ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

8.8.2.4 DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0034_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH[2:0]			—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.17 DM1CMV レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。
24 ～ 17	MINF[6:1]	違反アクセスマスタ情報 DM1CMV.VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。DM1CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。 DM1CMV.MINF[6:1] には、以下のアクセス元マスタ情報が保持されます。 DM1CMV.MINF[6:4]：アクセス元の PEID DM1CMV.MINF[3:2]：アクセス元の SPID DM1CMV.MINF[1] ：アクセス元の UM
16 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 4	VCH[2:0]	違反アクセス発生チャネル DM1CMV.VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号（0 ～ 7）を保持します。 DM1CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC1 で違反アクセスが発生したかどうかを示します。 0：DMAC1 で違反アクセスが発生していない 1：DMAC1 で違反アクセスが発生している 本ビットが 0 の状態で DMAC1 で違反アクセスが発生すると、本ビットがセットされるとともに DM1CMV.MINF[6:1]、DM1CMV.VCH[2:0] ビットに情報が保存されます。 本ビットが 1 の状態で DMAC1 で違反アクセスが発生すると、本ビットはセットされたままで、DM1CMV.MINF[6:1]、DM1CMV.VCH[2:0] ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

8.8.2.5 CMVC — レジスタアクセス保護違反クリアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + $003C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DM1VC	DM0VC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 8.18 CMVC レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DM1VC	DMAC1 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC1 の違反アクセス発生フラグ（DM1CMV.VF）をクリアすることができます。本ビットのリード値は常に 0 です。
0	DM0VC	DMAC0 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC0 の違反アクセス発生フラグ（DM0CMV.VF）をクリアすることができます。本ビットのリード値は常に 0 です。

8.8.2.6 DMniCM — DMAC チャネルマスタ設定 （ni = 00 ～ 07、10 ～ 17）

アクセス 32 ビット単位でリード / ライト可能です

アドレス DM0iCM：<DMA_base> + 0100_H + 4_H × チャネル番号 i（i = 0 ～ 7）
DM1iCM：<DMA_base> + 0120_H + 4_H × チャネル番号 i（i = 0 ～ 7）

リセット後の値 $0000\ 0010_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PEID[2:0]			SPID[1:0]		UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 8.19 DMniCM レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 4	PEID[2:0]	チャネルマスタ PEID 設定。 チャネルに割り当てるマスタの PEID 情報を設定します。
3, 2	SPID[1:0]	チャネルマスタ SPID 設定 チャネルに割り当てるマスタが利用する SPID 情報を設定します。
1	UM	チャネルマスタ UM 設定 0：スーパバイザモードでのアクセスを許可します。 1：スーパバイザモードとユーザモードでのアクセスを許可します。
0	予約ビット	リードした場合はリセット後の値が読めます。

注 意

DM00CM ～ DM07CM は DMAC0 チャネル 0 ～ 7 のチャネルマスタ情報を設定
DM10CM ～ DM17CM は DMAC1 チャネル 0 ～ 7 のチャネルマスタ情報を設定

本レジスタにより提供される機能の説明は**「8.6 信頼性機能」**を参照してください。

8.9 DMAC チャネルレジスタ

8.9.1 DMAC チャネルレジスタアドレス

DMAC のチャネルレジスター一覧を以下の表に示します。

<DMA_base> は、**「8.1.2 レジスタベースアドレス」**を参照してください。

表 8.20 DMAC チャネルレジスタアドレス

ユニット名	レジスタ名	略号	アドレス	アクセス許可	
				特殊マスタ	一般マスタ
DMA	DMAC ソースアドレスレジスタ	DSAm	<DMA_base> + 0400_H + 40_H × [チャネル番号]	○	○
	DMAC ディスティネーションアドレスレジスタ	DDAm	<DMA_base> + 0404_H + 40_H × [チャネル番号]	○	○
	DMAC 転送回数レジスタ	DTCm	<DMA_base> + 0408_H + 40_H × [チャネル番号]	○	○
	DMAC 転送制御レジスタ	DTCTm	<DMA_base> + $040C_H$ + 40_H × [チャネル番号]	○	○
	DMAC リロードソースアドレスレジスタ	DRSAm	<DMA_base> + 0410_H + 40_H × [チャネル番号]	○	○
	DMAC リロードディスティネーションアドレスレジスタ	DRDAm	<DMA_base> + 0414_H + 40_H × [チャネル番号]	○	○
	DMAC リロード転送回数レジスタ	DRTCm	<DMA_base> + 0418_H + 40_H × [チャネル番号]	○	○
	DMAC チャネル動作有効設定レジスタ	DCENm	<DMA_base> + 0420_H + 40_H × [チャネル番号]	○	○
	DMAC 転送ステータスレジスタ	DCSTm	<DMA_base> + 0424_H + 40_H × [チャネル番号]	○	○
	DMAC 転送ステータスセットレジスタ	DCSTSm	<DMA_base> + 0428_H + 40_H × [チャネル番号]	○	○
	DMAC 転送ステータスクリアレジスタ	DCSTCm	<DMA_base> + $042C_H$ + 40_H × [チャネル番号]	○	○
	DTFR 設定レジスタ	DTFRm	<DMA_base> + 0430_H + 40_H × [チャネル番号]	○	○
	DTFR 転送要求ステータスレジスタ	DTFRRQm	<DMA_base> + 0434_H + 40_H × [チャネル番号]	○	○
	DTFR 転送要求クリアレジスタ	DTFRRQCm	<DMA_base> + 0438_H + 40_H × [チャネル番号]	○	○

注 1. オフセットアドレスの [チャネル番号] およびレジスタ略称の m は 0 ～ 15 で、対応は以下のとおりです。

チャネル番号 m	チャネル	チャネル番号 m	チャネル
0	DMAC0 channel 0	8	DMAC1 channel 0
1	DMAC0 channel 1	9	DMAC1 channel 1
2	DMAC0 channel 2	10	DMAC1 channel 2
3	DMAC0 channel 3	11	DMAC1 channel 3
4	DMAC0 channel 4	12	DMAC1 channel 4
5	DMAC0 channel 5	13	DMAC1 channel 5
6	DMAC0 channel 6	14	DMAC1 channel 6
7	DMAC0 channel 7	15	DMAC1 channel 7

8.9.2 DMAC チャネルレジスタ詳細

レジスタ名称の m は、DMAC チャネル番号（m = 0 ～ 15）を示します。

8.9.2.1 DSAm — DMAC ソースアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0400_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.21 DSAm レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送元アドレスが読み出せます。

注 意

1. チャネル動作有効状態（DCENm.DTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ソースアドレスは更新します。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。
   下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

8.9.2.2 DDAm — DMAC ディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0404_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.22 DDAm レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DA[31:0]	ディスティネーションアドレス DMA 転送先アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送先アドレスが読み出せます。

注 意

1. チャネル動作有効状態（DCENm.DTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

8.9.2.3 DTCm — DMAC 転送回数レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0408_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.23 DTCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	ARC[15:0]	アドレスリロードカウント リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。DMA 転送中に参照すると、次の DMA サイクルを実行する際のアドレスリロードカウントが読み出せます。リロード機能 2 またはブロック転送 2 を使用する場合、本ビットは DMA サイクル毎に 1 ずつ減算されて更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。 0000_H はリロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数が 65536 回であることを示します。
15 ～ 0	TRC[15:0]	転送回数 転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ現在されて更新され、リードすると次の DMA サイクルを実行する際の残り転送回数が読み出せます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値（0000_H）を保持します。

TRC15-0	動作
0000_H	65536 回転送、または転送完了
0001_H	1 回転送、または残り転送回数 1 回
:	:
$FFFF_H$	65535 回転送、または残り転送回数 65535 回

注 意

1. チャネル動作有効状態（DCENm.DTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウントは更新します。

8.9.2.4 DTCTm — DMAC 転送制御レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + $040C_H$ + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	DRS	—	—	—	—	—	CHNSEL[2:0]			CHNE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TCE	MLE	RLD2M[1:0]		RLD1M[1:0]		DACM[1:0]		SACM[1:0]		DS[2:0]			TRM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.24 DTCTm レジスタの内容 (1/3)

ビット位置	ビット名	機能
31 ～ 28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27	ESE	転送エラー時 DMA 転送禁止設定 DMA 転送エラーが発生して DCSTm.ER ビットがセットされた状態で、DMA サイクルを実行するかどうかを設定します。 本ビットが 0 にセットされている場合は、DMA 転送エラーが発生して DCSTm.ER ビットがセットされた状態でも、後続の DMA サイクルを実行することができます。本ビットが 1 にセットされている場合は、DMA 転送エラーが発生して DCSTm.ER ビットがセットされた状態で、後続の DMA サイクルを実行しません。 0：DCSTm.ER ビットがセットされた状態で、DMA サイクルを実行する 1：DCSTm.ER ビットがセットされた状態で、DMA サイクルを実行しない
26	DRS	DMA 転送要求選択割り付け 受け付ける DMA 転送要求の種類を選択します。 0：ソフトウェア DMA 転送要求 1：ハードウェア DMA 転送要求
25 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ～ 18	CHNSEL[2:0]	チェイン先選択 チェイン先のチャネルを指定します。 チェイン先は同一 DMAC 内の別のチャネルをしてください。異なる DMAC チャネルへのチェインは指定できません。チェイン先のチャネルをチェイン元のチャネルと同一に指定することは禁止です（設定した場合の動作を保証しません）。
17, 16	CHNE[1:0]	チェインイネーブル チェイン機能を設定します。 00：無効 01：最終転送でチェイン 残り転送回数が 1 回の DMA サイクルが完了した際にチェインします 10：（設定禁止、設定した場合の動作を保証しません） 11：常にチェイン DMA サイクルが完了するたびにチェインします
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みを発生します。

表 8.24 DTCTm レジスタの内容 (2/3)

ビット位置	ビット名	機能
13	MLE	連続転送イネーブル このビットをセットすると、DMA 転送完了時に DCENm.DTE ビットをクリアしません。また、DCSTm.TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。 0：DMA 転送完了時に DCENm.DTE ビットをクリアします。また、DCSTm.TC ビットをクリアしてからでないと、次の DMA 転送を開始しません 1：DMA 転送完了時に DCENm.DTE ビットをクリアしません。また、DCSTm.TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います
12, 11	RLD2M[1:0]	リロード機能 2 設定 リロード機能 2 の設定をします。 00：リロード機能 2 無効 01：リロード機能 2 有効 アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウントをリロード 10：リロード機能 2 有効 アドレスリロードカウントが 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウントをリロード 11：リロード機能 2 有効 アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウントをリロード
10, 9	RLD1M[1:0]	リロード機能 1 設定 リロード機能 1 の設定をします。 00：リロード機能 1 無効 01：リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード） 10：リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード） 11：リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）
8, 7	DACM[1:0]	ディスティネーションアドレスカウント方向 ディスティネーションアドレスのカウント方向を設定します。 <table><tr><th>DACM1</th><th>DACM0</th><th>カウント方向</th></tr><tr><td>0</td><td>0</td><td>インクリメント</td></tr><tr><td>0</td><td>1</td><td>デクリメント</td></tr><tr><td>1</td><td>0</td><td>固定</td></tr><tr><td>1</td><td>1</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr></table>

表 8.24 DTCTm レジスタの内容 (3/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>6, 5</td><td>SACM[1:0]</td><td>ソースアドレスカウント方向
ソースアドレスのカウント方向を設定します。
<table>
<tr><th>SACM1</th><th>SACM0</th><th>カウント方向</th></tr>
<tr><td>0</td><td>0</td><td>インクリメント</td></tr>
<tr><td>0</td><td>1</td><td>デクリメント</td></tr>
<tr><td>1</td><td>0</td><td>固定</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table></td></tr>
<tr><td>4 ～ 2</td><td>DS[2:0]</td><td>転送データサイズ
転送データサイズを設定します。
<table>
<tr><th>DS2</th><th>DS1</th><th>DS0</th><th>転送データサイズ</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>8 ビット</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>64 ビット注 1</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>128 ビット注 1</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table>
注 1. 転送対象が外部メモリ領域でない場合に、設定可能です。</td></tr>
<tr><td>1, 0</td><td>TRM[1:0]</td><td>転送モード
DMA 転送モードを設定します。
00：シングル転送
01：ブロック転送 1 （転送回数で指定した回数分を転送）
10：ブロック転送 2 （アドレスリロードカウントで指定した回数分を転送）
11：設定禁止（設定した場合の動作を保証しません）</td></tr>
</table>

注 意

1. DTCTm.MLE ビットをクリアする場合を除き、チャネル動作が許可状態（DCENm.DTE ビット =1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。

8.9.2.5 DRSAm — DMAC リロードソースアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0410_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.25 DRSAm レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ソースアドレスレジスタにリロードするソースアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

8.9.2.6 DRDAm — DMAC リロードディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0414_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.26 DRDAm レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RDA[31:0]	リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ディスティネーションアドレスレジスタにリロードするディスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

8.9.2.7 DRTCm — DMAC リロード転送回数レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0418_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.27 DRTCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	RARC[15:0]	リロードアドレスリロードカウント リロード機能 2 を使用する場合に、リロード動作時に転送回数レジスタのアドレスリロードカウントにリロードする値を設定します。
15 ～ 0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用する場合に、リロード動作時に転送回数レジスタの転送回数にリロードする値を設定します。

8.9.2.8 DCENm — DMAC チャネル動作有効設定レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0420_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.28 DCENm レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTE	チャネル動作有効 チャネルの転送動作の有効、無効を設定します。DCENm.DTE ビットが 1 の状態で、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に DTCTm.MLE ビットが 0 の場合、自動的にクリアします。また、DMA 転送中に DCENm.DTE ビットに 0 を書き込むと、DMA 転送を一時中断します。一時中断した状態で DCENm.DTE ビットに 1 を書き込むと、一時中断を解除して DMA 転送を再開します。 0：チャネル動作無効・チャネル一時中断 1：チャネル動作有効・チャネル一時中断解除

8.9.2.9 DCSTm — DMAC 転送ステータスレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0424_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ERWR	—	—	CY	ER	—	—	TC	—	—	DR	SR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.29 DCSTm レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11	ERWR	DMA 転送エラー発生サイクル DMA 転送エラーフラグ (DCSTm.ER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に DCSTm.ER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 DCSTm.ER ビットがクリアされると本ビットも 0 にクリアされます。 0：DMA 転送エラーがリードサイクルで発生した 1：DMA 転送エラーがライトサイクルで発生した
10、9	予約ビット	リードした場合はリセット後の値が読めます。
8	CY	DMA サイクル実行状態 このチャネルで DMA サイクルを実行中かどうかを示します。 0：DMA サイクルを実行中でない 1：DMA サイクルを実行中
7	ER	転送エラーフラグ DMA 転送エラーが発生した際にセットされます。本ビットが 1 かつ DTCTm.ESE ビットがセットされている場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0：DMA 転送エラーなし 1：DMA 転送エラーあり
6、5	予約ビット	リードした場合はリセット後の値が読めます。
4	TC	転送完了フラグ 最終転送が完了した際にセットされ、DMA 転送が完了したことを示します。 DTCTm.MLE ビットが 0 で本ビットが 1 の場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0：DMA 転送未完了 1：DMA 転送完了

表 8.29 DCSTm レジスタの内容 (2/2)

ビット位置	ビット名	機能
3、2	予約ビット	リードした場合はリセット後の値が読めます。
1	DR	ハードウェア DMA 転送要求状態 DTFR からのハードウェア DMA 転送要求（DMARQ）があることを示します。本ビットは DTFR からのハードウェア DMA 転送要求があると、DCENm.DTE ビットの状態に関わらず変化します。DMAC 転送制御レジスタの転送要求選択ビット（DTCTm.DRS）でソフトウェア DMA 転送要求を選択している場合は、DTFR からハードウェア DMA 転送要求が入力されても本ビットはセットされません。 0：ハードウェア DMA 転送要求なし 1：ハードウェア DMA 転送要求あり
0	SR	ソフトウェア DMA 転送要求フラグ ソフトウェア DMA 転送要求があることを示します。DMA 転送を実行すると自動的に クリア され ます。ユーザは DMAC 転送ステータスセットレジスタ（DCSTSm）の DCSTSm.SRS ビットに 1 を書き込むことで本ビットをセットすることができます。また DMAC 転送ステータスクリアレジスタ（DCSTCm）の DCSTCm.SRC ビットに 1 を書き込むことで本ビットをクリアすることができますが、その際に実行中の DMA 転送は中止され、再開することはできません。 0：ソフトウェア DMA 転送要求なし 1：ソフトウェア DMA 転送要求あり

8.9.2.10 DCSTSm — DMAC 転送ステータスセットレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0428_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.30 DCSTSm レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRS	ソフトウェア DMA 転送要求セット ユーザは本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ（DCSTm.SR）をセットすることができます。読み出すと常に 0 が読み出されます。

8.9.2.11 DCSTCm — DMAC 転送ステータスクリアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + $042C_H$ + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERC	—	—	TCC	—	—	—	SRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R	R/W

表 8.31 DCSTCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ERC	転送エラーフラグクリア 本ビットに 1 を書き込むことで DMA 転送エラーフラグ（DCSTm.ER）をクリアすることができます。読み出すと常に 0 が読み出されます。
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TCC	転送完了フラグクリア 本ビットに 1 を書き込むことで転送完了フラグ（DCSTm.TC）をクリアすることができます。読み出すと常に 0 が読み出されます。
3 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRC	ソフトウェア DMA 転送要求フラグクリア 本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ（DCSTm.SR）をクリアすることができます。読み出すと常に 0 が読み出されます。

8.9.2.12 DTFRm — DTFR 設定レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0430_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REQSEL[6:0]							REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.32 DTFRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 1	REQSEL[6:0]	ハードウェア DMA 転送要因選択 128 種類のハードウェア DMA 転送要因の中から 1 つをハードウェア DMA 転送要求として選択します。 000_0000 : DMACTRG[0] 入力を選択 ～ 111_1111 : DMACTRG[127] 入力を選択
0	REQEN	ハードウェア DMA 転送要因選択有効 ハードウェア DMA 転送要因選択を有効にします。 0：ハードウェア DMA 転送要因選択無効 1：ハードウェア DMA 転送要因選択有効 本ビットが 0 の場合、DTFRm.REQSEL[6:0] ビットで選択したハードウェア DMA 転送要因がアクティブになってもハードウェア DMA 転送要求として認識せずハードウェア DMA 転送要求は発生しません。

8.9.2.13 DTFRRQm — DTFR 転送要求ステータスレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0434_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.33 DTFRRQm レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	DRQ	ハードウェア DMA 転送要求状態 ハードウェア DMA 転送要求がある、または保持していることを示します。 • エッジ検出のハードウェア DMA 転送要求の場合[注 1] エッジ検出したハードウェア DMA 転送要求を保持しているかどうかを示します。DMAC から DMA 転送要求受け付け信号がアサートされると自動的にクリアされます。ユーザは DTFRRQCm.DRQC ビットに 1 を書き込むことで本ビットをクリアすることができます。 • レベル入力のハードウェア DMA 転送要求の場合[注 1] 外部からのハードウェア DMA 転送要求入力の有無を示します。DMAC から DMA 転送要求受け付け信号がアサートされても自動的にクリアされません。またユーザは DTFRRQCm.DRQC ビットを操作してもクリアすることはできません。 本ビットは外部からのハードウェア DMA 転送要求があると、DTFRm.REQEN ビットの状態に関わらず変化します。 0：ハードウェア DMA 転送要求なし 1：ハードウェア DMA 転送要求あり

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRm.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

8.9.2.14 DTFRRQCm — DTFR 転送要求クリアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <DMA_base> + 0438_H + 40_H × チャネル番号 m（m = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.34 DTFRRQCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DRQC	ハードウェア DMA 転送要求クリア エッジ検出のハードウェア DMA 転送要求の場合[注 1]、ユーザは本ビットに 1 を書き込むことで DTFRRQm.DRQ ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合[注 1]、本ビットを操作しても DTFRRQm.DRQ ビットをクリアすることはできません。 読み出すと常に 0 が読み出されます。

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRm.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

第 9 章　リセット

9.1　概要

CPU コアや周辺機能およびそれに付随するレジスタを初期化するため、複数のシステムリセット機能が用意されています。

次の要因によってリセットが起こります。

- 外部リセット（$\overline{\text{RESET}}$）
- パワーオンクリア（POCRES）
- ウォッチドッグタイマリセット（WDTA0RES および WDTA1RES）
- クロックモニタリセット（$\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$）
- 低電圧検出リセット（$\overline{\text{LVIRES}}$）
- ソフトウェアリセット（SWRES）
- デバッガリセット（$\overline{\text{DBRES}}$）
- コアボルテージモニタリセット（$\overline{\text{CVMRES}}$）
- DeepSTOP モードによるリセット

9.1.1 リセット要因

リセットレベルとリセット要因を次に示します。

異なる階層のリセットレベルに各種リセット要因が割り当てられています。

表 9.1 リセット要因およびリセット対象

リセットレベル	リセット要因	クロックジェネレータ（PLL を除く）／リアルタイムクロック／CVM ／ LVI	AWO モジュール注 1	ISO モジュール注 3
1	パワーオンクリア（POCRES) デバッガリセット（DBRES)	リセット注 2	リセット	リセット
2	外部リセット（RESET） ウォッチドッグタイマリセット（WDTA0RES, WDTA1RES） クロックモニタリセット（CLMA0RES, CLMA1RES, CLMA2RES） コアボルテージモニタリセット（CVMRES） 低電圧検出リセット（LVIRES） ソフトウェア（SWRES）	リセット非対象注 4	リセット	リセット
3	DeepSTOP モードによるリセット	リセット非対象	リセット非対象	リセット

注 1. クロックジェネレータ／リアルタイムクロック／ CVM ／ LVI を除きます。
注 2. デバッガリセットの場合、CVM 関係のレジスタ（CVMF, CVMDE, CVMDIAG) はリセットされません。
注 3. PLL を含みます。
注 4. クロックモニタリセットでは、クロックモニタ対象の発振回路関連レジスタが初期化されます。

リセットレベル 1：マイクロコントローラ全体を初期化します。

リセットレベル 2：発振器の発振安定時間をなくした注 1 ノーマル動作モードへの迅速な復帰のために、クロックジェネレータ、リアルタイムクロックを除いたマイクロコントローラ全領域を初期化します。

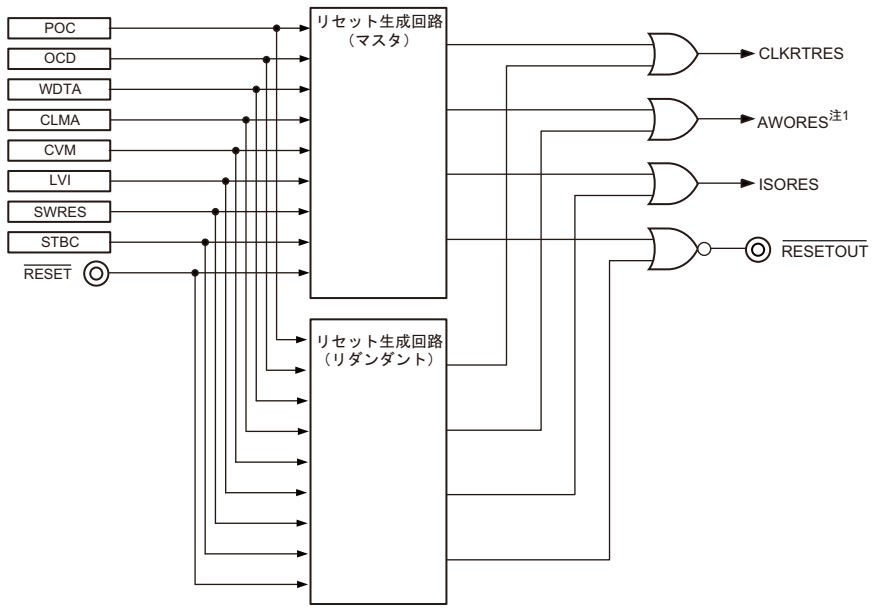
リセットレベル 3：DeepSTOP モードにより、全 ISO エリアを初期化します。

注 1. MOSCSTPMSK=1

9.1.2 リセットコントローラの冗長性

本マイクロコントローラのリセットコントローラは冗長構成をとっており、二重化されたリセット生成回路を搭載しています。これにより、片方のリセット生成回路が故障してもリセット対象領域の初期化を確実に実行できます。

リセットコントローラの構成図について次に示します。



注 1. リアルタイムクロック除く

図 9.1 リセットコントローラの冗長性

各リセット要因発生時、2 つのリセット生成回路に同一のリセット要因信号が入力されます。

2 つのリセット生成回路は各要因に応じて、Always-On エリアリセット信号（AWORES）、Isolated エリアリセット信号（ISORES）、クロックジェネレータ／リアルタイムクロックリセット信号（CLKRTRES）および $\overline{\text{RESETOUT}}$ 信号を出力します。

2 つのリセット生成回路から出力された信号を論理和（OR）をとり、AWORES 信号、ISORES 信号、CLKRTRES 信号および $\overline{\text{RESETOUT}}$ 信号を生成することにより、片方のリセット生成回路が故障した場合でも正常にリセット信号を発生します。

各リセット生成回路のリセット要因レジスタを読み出し、データを比較することにより、リセット生成回路が正常に動作しているかを確認することが可能です。

9.1.3 リセット出力（$\overline{\text{RESETOUT}}$）

リセットレベル 1 または 2 のリセット要因が発生した場合、リセット出力（$\overline{\text{RESETOUT}}$）が外部に出力されます。リセット出力は、マイクロコントローラ内部のリセット生成と同時に外部デバイスをリセットするために使用できます。

詳細は、**「2.11.1.1　P0_0：$\overline{\text{RESETOUT}}$」**を参照してください。

9.1.4 リセットフラグ

リセット要因を識別するため、リセット要因ごとのフラグを持つレジスタが 2 つ用意されています。リセットコントローラの主な構成要素を**「図 9.2　リセットコントローラのブロック図」**に示します。

9.1.5 クロック供給

リセットコントローラのクロック供給を以下の表に示します。

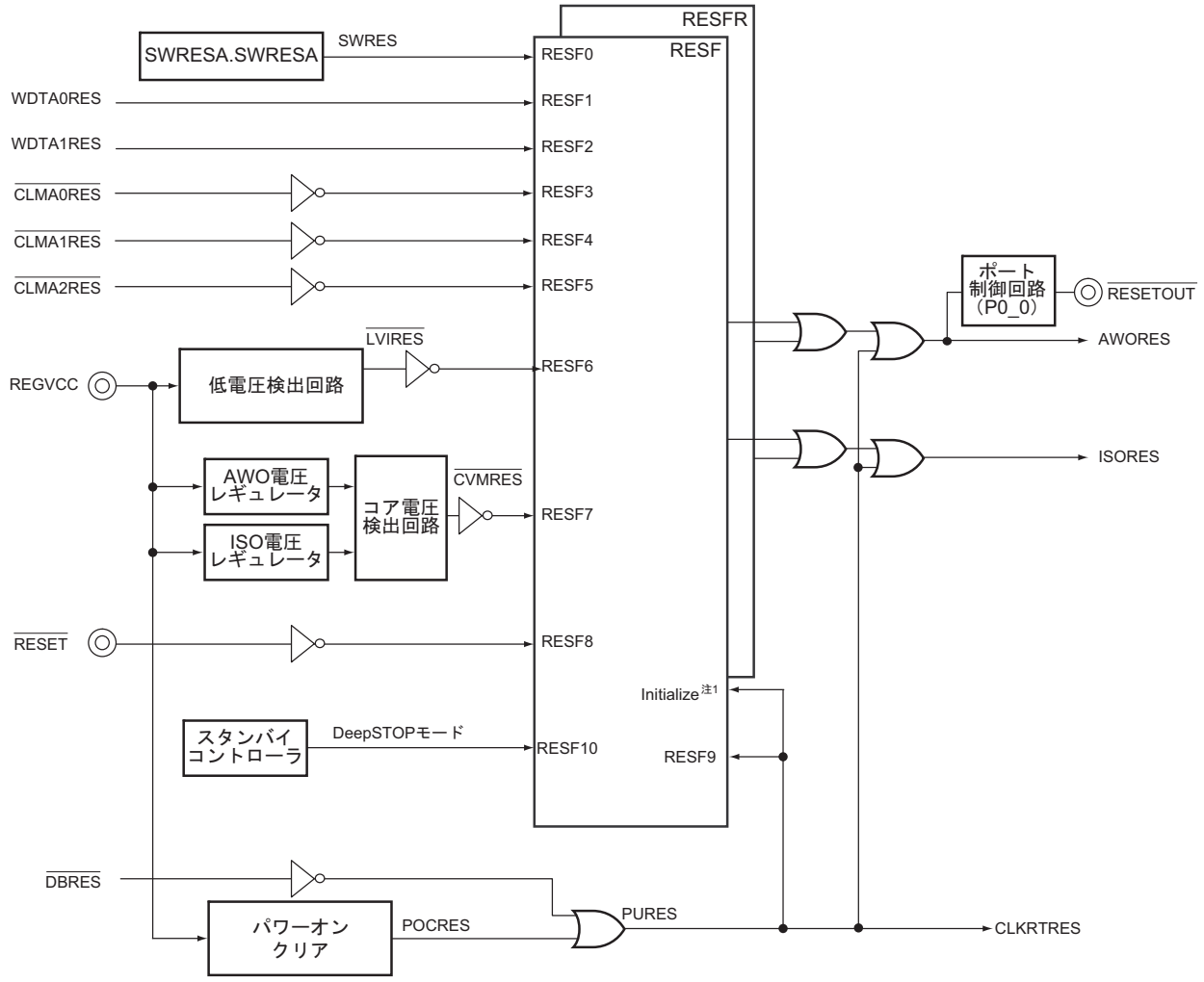
表 9.2　クロック供給

ユニット名	ユニットクロック名	供給クロック名
リセット	レジスタアクセスクロック	EMCLK

9.2 構成

9.2.1 ブロック図

リセットコントローラのブロック図を次に示します。



注 1. RESF、RESFR レジスタは PURES によって初期化されます。
初期化後、RESF9、RESFR9 ビットはセット “1” されます。

図 9.2 リセットコントローラのブロック図

(1) リセット信号

リセットコントローラは、各種リセット要因からのリセット信号に対して、次の 3 種類のリセット信号の発生を制御します。

- AWO エリアリセット（AWORES）
  AWORES は DeepSTOP モード遷移時を除くすべてのリセット要因に よって 発生します。
  AWORES はクロック発生回路、リアルタイムクロック、コアボルテージモニタおよび低電圧検出回路を除く AWO エリアのモジュールすべてをリセットします。
- ISO エリアリセット（ISORES）
  ISORES はすべてのリセット要因によって発生します。
  ISORES は ISO エリアのモジュールすべてをリセットします（PLL を含む）。
- CLKRTRES
  CLKRTRES はパワーオンクリアおよびデバッガリセット要因によって発生します。
  CLKRTRES はクロック発生回路（PLL を除く）およびリアルタイムクロックをリセットします。

パワーオンクリアおよびデバッガリセット要因によるリセットをパワーアップリセット（PURES) と称します。

AWORES 発生時はそれまでに動作していた PLL を除くクロック発生回路（LS IntOSC、HS IntOSC、MainOSC、SubOSC）は動作を継続します。ただし、MOSCSTPMSK = 0 のときは、MainOSC はリセット期間中に停止し、リセット解除後に動作を再開します。また、CLMA0RES 発生時は CLMA0 監視対象の HS IntOSC がリセットされ、CLMA1RES 発生時は CLMA1 監視対象の MainOSC がリセットされます。

PURES によりクロック発生回路は初期化されます。リセットから復帰した後にクロック発生回路を再起動してください。

CPU サブシステムに対する ISO エリアリセット (ISORES) を CPU リセットとします。

(2) リセットフラグ

リセット要因レジスタ（RESF)、リダンダントリセット要因レジスタ（RESFR）は各リセット要因のフラグを保持します。あるリセット要因がアクティブになると、対応するフラグがセットされます。

リセットフラグは、RESF9、RESFR9 を除いてパワーアップリセット（PURES）で初期化されます（RESF9、RESFR9 ビットは、初期化後セット “1” されます)。また、ソフトウェアによって全ビットをクリアできます。

詳細は**「9.1.4　リセットフラグ」**を参照してください。

(3) 内蔵モジュールリセット

(a) ウォッチドッグタイマリセット

ウォッチドッグタイマ 0, 1 は WDTA0RES と WDTA1RES の 2 つのリセットを発生させることができます。
詳細は**「9.4.6　ウォッチドッグタイマ（WDTA）リセット」**を参照してください。

(b) クロックモニタリセット

クロックモニタは $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$ の 3 種類のリセットを発生させることができます。
詳細は**「9.4.8　クロックモニタ（CLMA）リセット」**を参照してください。

(c) デバッガリセット

デバッガからのコマンドによりリセットが発生します。このリセット発生にともない、パワーアップリセット PURES が発生します。詳細は、**「9.4.9　デバッガリセット」**を参照してください。

(4) ソフトウェアコントロールリセット（SWRES）

SWRES ソフトウェアリセットはソフトウェアリセットレジスタ SWRESA を設定して発生させることができます。
詳細は**「9.4.7　ソフトウェアリセット」**を参照してください。

(5) リセット出力信号

リセット中およびリセット解除後、P0_0 端子は $\overline{\text{RESETOUT}}$ 機能としてロウレベルを出力します。

詳細は、**「2.11.1.1　P0_0：$\overline{\text{RESETOUT}}$」**を参照してください。

(6) 電源監視

以下の電源検出によって外部電源 REGVCC とコア電圧のレベルを監視します。

(a) 低電圧検出

低電圧検出回路 LVI は、REGVCC の電圧レベルがある特定のレベルを下回った場合、$\overline{\text{LVIRES}}$ リセットを発生させます。電圧レベルは調整可能で、また $\overline{\text{LVIRES}}$ はマスクすることができます。

詳細は**「9.4.3　低電圧検出回路（LVI）リセット」**を参照してください。

(b) パワーオンクリア

パワーオンクリア回路（POC）は電源電圧 REGVCC と内蔵基準電圧 を常に比較しています。これにより、電源電圧が特定のレベル以下の場合にリセットを発生させます。

詳細は**「9.4.2　パワーオンクリア（POC）リセット」**を参照してください。

(c) コア電圧検出

CVM がコア電圧の異常を検出した時にリセットを発生することができます（オプションバイトで出力／未出力を設定できます）。

詳細は**「9.4.4　コアボルテージモニタ（CVM）リセット」**を参照してください。

(7) デバッグモード時のリセット要因のマスク

デバッグ中は以下のリセット要因をマスクすることが可能です。

表 9.3　デバッグ中のマスク可能なリセット要因

リセット要因	マスクの可／不可
パワーオンクリア（POCRES）	×
デバッガリセット（$\overline{\text{DBRES}}$）	×
外部リセット（$\overline{\text{RESET}}$）	○
低電圧検出リセット（$\overline{\text{LVIRES}}$）	○
クロックモニタリセット（$\overline{\text{CLMA0RES}}$、$\overline{\text{CLMA1RES}}$、$\overline{\text{CLMA2RES}}$）	○
ウォッチドッグタイマリセット（WDTA0RES、WDTA1RES）	○
コアボルテージモニタリセット（$\overline{\text{CVMRES}}$）	○
ソフトウェアリセット（SWRES）	○
DeepSTOP モードによるリセット	×

9.3 レジスタ

この節では、リセットコントローラのすべてのレジスタについて説明します。

9.3.1 リセットコントローラレジスタ概要

リセットコントローラは、次のレジスタで制御、動作します。

表 9.4　リセットコントローラレジスター覧

レジスタ名	略号	アドレス
リセットフラグレジスタ		
リセット要因レジスタ	RESF	FFF8 0760$_H$
リセット要因クリアレジスタ	RESFC	FFF8 0768$_H$
リダンダントリセット要因レジスタ	RESFR	FFF8 0860$_H$
リダンダントリセット要因クリアレジスタ	RESFCR	FFF8 0868$_H$
ソフトウェアリセット制御レジスタ		
ソフトウェアリセットレジスタ	SWRESA	FFF8 0A04$_H$

備　考

1. LVI 関連、RAM 保持関連、CVM 関連レジスタについては「**第 10 章　電源電圧モニタ**」を参照してください。
2. 保護レジスタについては「**第 5 章　書き込み保護レジスタ**」を参照してください。

9.3.2 リセットフラグレジスタの詳細

9.3.2.1 RESF — リセット要因レジスタ

前回のパワーオンクリアリセット後に発生したリセットの種類を保持しています。また、このレジスタはパワーアップリセット PURES によって初期化されます。

各リセット条件に応じて、このレジスタ内の対応するフラグがセットされます。
たとえば、ウォッチドッグタイマリセット WDTA0RES が発生したのちにクロックモニタリセット $\overline{\text{CLMA0RES}}$ が発生した場合、このレジスタの読み出し値は $0000\ 000A_H$ になります。

アクセス 32 ビット単位でリードのみ可能です。
アドレス $FFF8\ 0760_H$
リセット後の値 $0000\ 0200_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RESF10	RESF9	RESF8	RESF7	RESF6	RESF5	RESF4	RESF3	RESF2	RESF1	RESF0
リセット後の値	0	0	0	0	0	0	1	1/0 注1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. 詳細は「**図 9.4 Flash シーケンス完了前に RESET が解除された場合**」を参照してください。

表 9.5 RESF レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	RESF10	DeepSTOP モードによるリセットフラグ 0：リセットが発生していない 1：リセットが発生した
9	RESF9	パワーアップリセットフラグ 0：リセットが発生していない 1：リセットが発生した
8	RESF8	外部リセットフラグ 0：リセットが発生していない 1：リセットが発生した
7	RESF7	CVM リセットフラグ 0：リセットが発生していない 1：リセットが発生した
6	RESF6	LVI リセットフラグ 0：リセットが発生していない 1：リセットが発生した
5	RESF5	CLMA2 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
4	RESF4	CLMA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
3	RESF3	CLMA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した

表 9.5　RESF レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	RESF2	WDTA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
1	RESF1	WDTA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
0	RESF0	ソフトウェアリセットフラグ 0：リセットが発生していない 1：リセットが発生した

9.3.2.2 RESFC — リセット要因クリアレジスタ

RESF レジスタのリセットフラグをクリアします。

アクセス 32 ビット単位でライトのみ可能です。

アドレス FFF8 0768$_H$

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RESFC 10	RESFC 9	RESFC 8	RESFC 7	RESFC 6	RESFC 5	RESFC 4	RESFC 3	RESFC 2	RESFC 1	RESFC 0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	W	W	W	W	W	W	W	W	W	W	W

表 9.6 RESFC レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	予約ビット	ライトする場合は “0” を書いてください。
10	RESFC10	DeepSTOP モードによるリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
9	RESFC9	パワーアップリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
8	RESFC8	外部リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
7	RESFC7	CVM リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
6	RESFC6	LVI リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
5	RESFC5	CLMA2 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
4	RESFC4	CLMA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
3	RESFC3	CLMA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
2	RESFC2	WDTA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
1	RESFC1	WDTA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
0	RESFC0	ソフトウェアリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

9.3.2.3 RESFR — リダンダントリセット要因レジスタ

リセット要因レジスタを 2 重化したものです。このレジスタはパワーアップリセット PURES によって初期化されます。

リセット要因レジスタの各ビットのセット条件に応じて同じビットがセットされます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 0860$_H$

リセット後の値 0000 0200$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RESFR 10	RESFR 9	RESFR 8	RESFR 7	RESFR 6	RESFR 5	RESFR 4	RESFR 3	RESFR 2	RESFR 1	RESFR 0
リセット後の値	0	0	0	0	0	0	1	1/0 注 1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. 詳細は「**図 9.4 Flash シーケンス完了前に RESET が解除された場合**」を参照してください。

表 9.7 RESFR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	RESFR10	DeepSTOP モードによるリセットフラグ 0：リセットが発生していない 1：リセットが発生した
9	RESFR9	パワーアップリセットフラグ 0：リセットが発生していない 1：リセットが発生した
8	RESFR8	外部リセットフラグ 0：リセットが発生していない 1：リセットが発生した
7	RESFR7	CVM リセットフラグ 0：リセットが発生していない 1：リセットが発生した
6	RESFR6	LVI リセットフラグ 0：リセットが発生していない 1：リセットが発生した
5	RESFR5	CLMA2 リセットフラグクリア 0：リセットが発生していない 1：リセットが発生した
4	RESFR4	CLMA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
3	RESFR3	CLMA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した

表 9.7　RESFR レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	RESFR2	WDTA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
1	RESFR1	WDTA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
0	RESFR0	ソフトウェアリセットフラグ 0：リセットが発生していない 1：リセットが発生した

9.3.2.4 RESFCR — リダンダントリセット要因クリアレジスタ

RESFR レジスタのリセットフラグをクリアします

アクセス 32 ビット単位でライトのみ可能です。

アドレス FFF8 0868$_H$

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RESFCR10	RESFCR9	RESFCR8	RESFCR7	RESFCR6	RESFCR5	RESFCR4	RESFCR3	RESFCR2	RESFCR1	RESFCR0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	W	W	W	W	W	W	W	W	W	W	W

表 9.8 RESFCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	予約ビット	ライトする場合は “0” を書いてください。
10	RESFCR10	DeepSTOP モードによるリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
9	RESFCR9	パワーアップリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
8	RESFCR8	外部リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
7	RESFCR7	CVM リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
6	RESFCR6	LVI リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
5	RESFCR5	CLMA2 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
4	RESFCR4	CLMA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
3	RESFCR3	CLMA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
2	RESFCR2	WDTA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
1	RESFCR1	WDTA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
0	RESFCR0	ソフトウェアリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

9.3.3 ソフトウェアリセット制御レジスタの詳細

9.3.3.1 SWRESA — ソフトウェアリセットレジスタ

ソフトウェアリセット SWRES を発生させます。このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は**「第 5 章 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でライトのみ可能です。

アドレス FFF8 0A04$_H$

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRESA
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 9.9 SWRESA レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合は “0” を書いてください。
0	SWRESA	ソフトウェアリセットトリガ 0：発生しない 1：発生する

9.4 機能説明

9.4.1 リセットフラグ

リセット要因レジスタ（RESF）、リダンダントリセット要因レジスタ（RESFR）は、各リセット要因に対するリセットフラグを提供します。

リセットが発生すると、対応するフラグがセットされます。これにより、リセット要因を判断することができます。

RESF、RESFR は、パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）によって初期化されます（RESF9、RESFR9 ビットは初期化後セット “1” されます）。また、RESF、RESFR 内の各フラグはリセット要因クリアレジスタ（RESFC）、リダンダントリセット要因クリアレジスタ（RESFRC）を用いてクリアすることができます。

各リセット要因は、ほかのリセット要因とは独立して、対応するフラグのみをセットします。

9.4.2 パワーオンクリア（POC）リセット

パワーオンクリア回路（POC）は、電源電圧 REGVCC と内蔵基準電圧 V_{POC} を常に比較しています。これにより、電源電圧が特定のレベルを超えている場合にかぎって、マイクロコントローラが動作するようにしています。

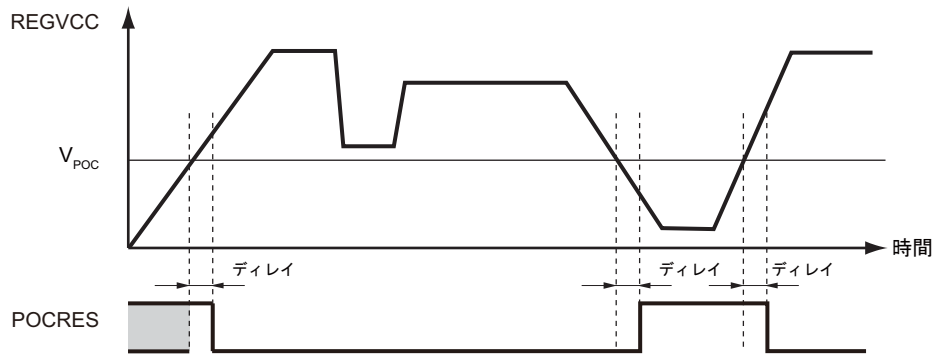
REGVCC が内蔵基準電圧を下回った場合（REGVCC < V_{POC}）、内蔵リセット信号 POCRES およびパワーアップリセット PURES が発生します。

内蔵基準電圧レベル V_{POC} の仕様についての詳細は、データシートを参照してください。

パワーオンクリアリセットによって、リセット要因レジスタ（RESF）、リダンダントリセット要因レジスタ（RESFR）がクリアされます。RESF9、RESFR9 は初期化後セット “1” されます。

パワーオンクリア機能は、電源電圧がしきい値レベル V_{POC} を超えないかぎり、マイクロコントローラのリセット状態を保持します。

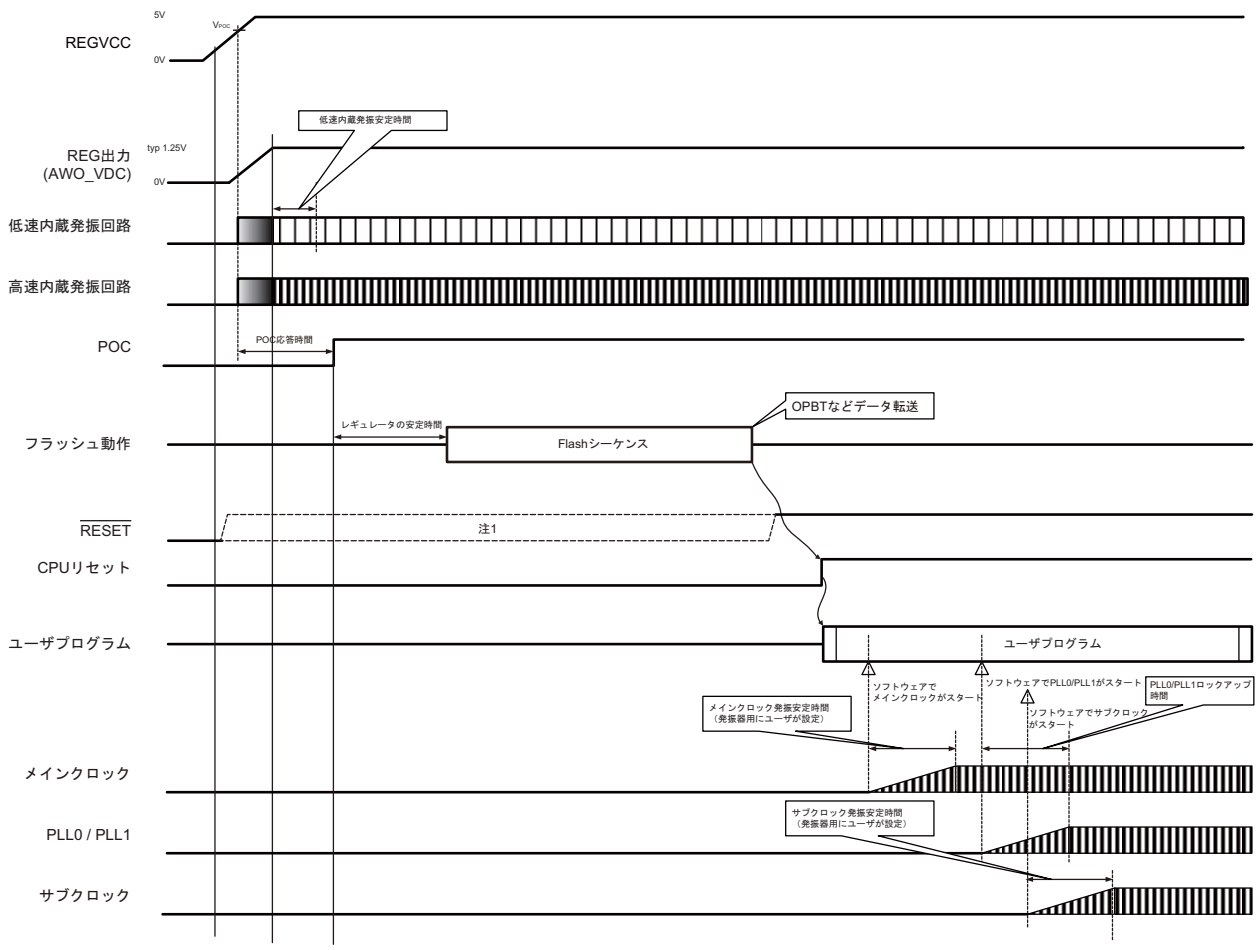
POCRES のタイミングを次の図に示します。



備考　ディレイ：
REGVCC が V_{POC} を上回った時、遅延時間の後に POCRES が解除されます。REGVCC が V_{POC} を下回った時、遅延時間の後に POCRES が発生します。
遅延時間については、データシートを参照してください。

図 9.3　POC リセットタイミング

(1) パワーオンクリア後の CPU システム起動概略



注 1. パワーオンクリア後、Flash シーケンス終了までの期間、内蔵プルダウン（min：20 kΩ、typ：40 kΩ、max：100 kΩ）が有効になります。$\overline{\text{RESET}}$ 端子解除のタイミングはマイコンの外部回路によります。
$\overline{\text{RESET}}$ 端子がロウレベルの場合、RESF.RESF8 ／ RESFR.RESFR8 双方の初期値は 1 になります。ハイレベルの場合、RESF.RESF8 ／ RESFR.RESFR8 双方の初期値は 0 になります。

図 9.4 Flash シーケンス完了前に $\overline{\text{RESET}}$ が解除された場合

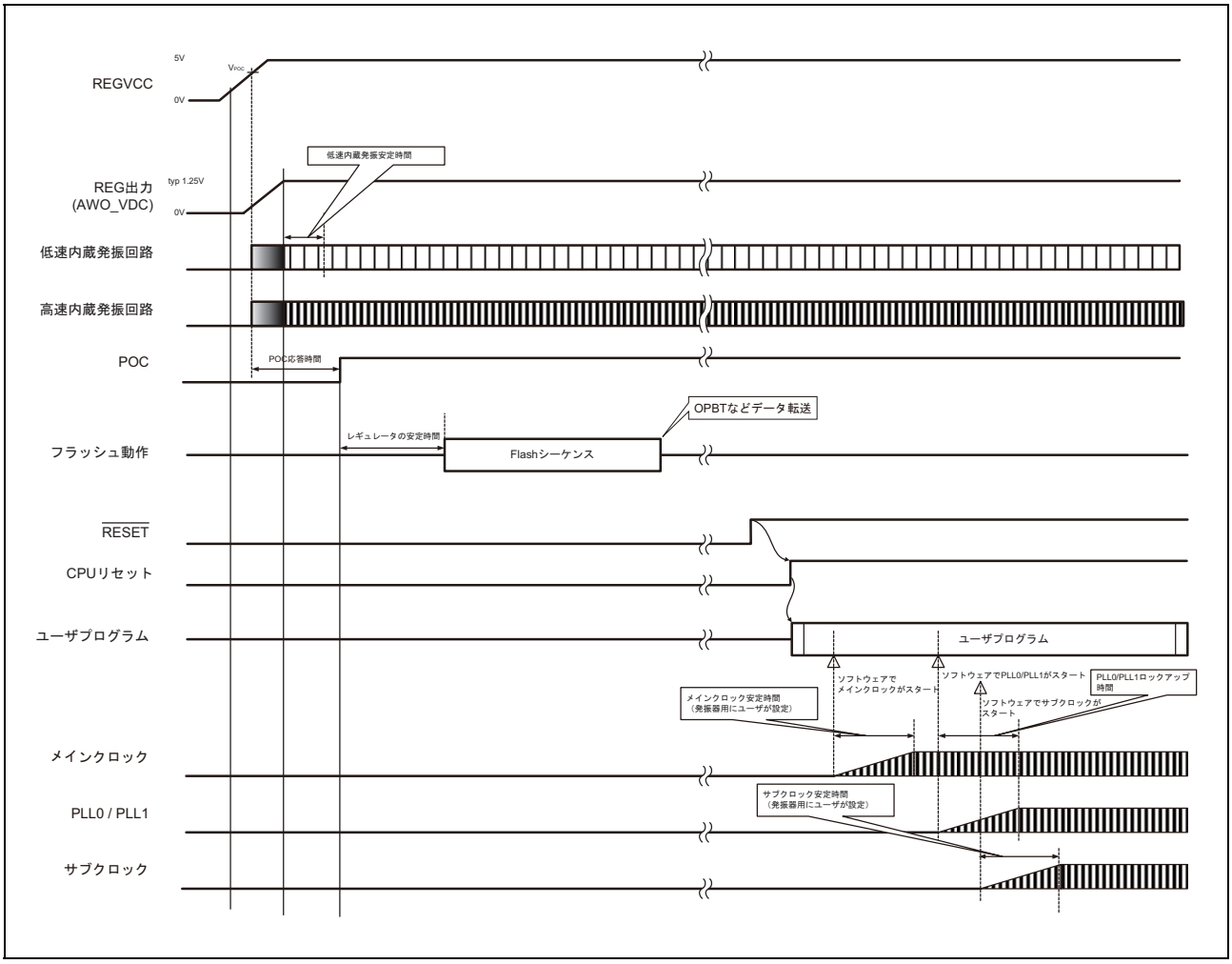


図 9.5 Flash シーケンス完了後に $\overline{\text{RESET}}$ が解除された場合

9.4.3 低電圧検出回路（LVI）リセット

低電圧検出回路（LVI）は、電源電圧 REGVCC と LVI 内蔵基準電圧 V_{LVI} を常に比較しています。

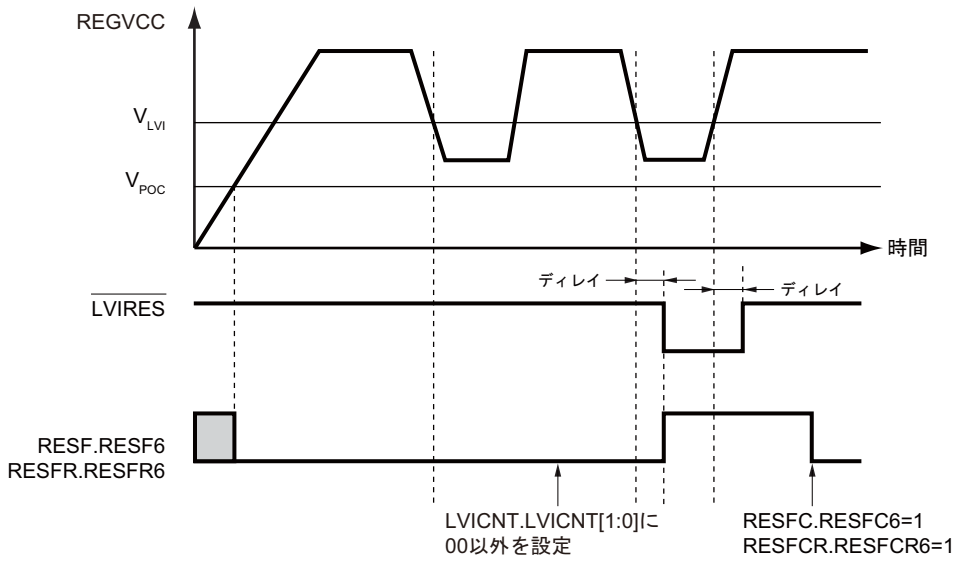
LVI の検出電圧設定および LVIRESMK を解除した時に REGVCC が内蔵基準電圧を下回った場合（REGVCC < V_{LVI}）、内蔵リセット信号 $\overline{\text{LVIRES}}$ が発生します。

さらに、$\overline{\text{LVIRES}}$ フラグ（RESF.RESF6、RESFR.RESFR6 ビット）がセットされます。
その後、REGVCC が V_{LVI} を上回っても RESF.RESF6、RESFR.RESFR6 ビットは自動的にクリアされません。RESF.RESF6、RESFR.RESFR6 ビットは以下によってクリアされます。

- RESFC.RESFC6 ビットを 1 に設定することにより、RESF.RESF6 ビットをクリア
  RESFCR.RESFCR6 ビットを 1 に設定することにより、RESFR.RESFR6 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

LVI 機能の詳細については**「第 10 章 電源電圧モニタ」**を参照してください。

$\overline{\text{LVIRES}}$ と RESF.RESF6、RESFR.RESFR6 ビットのタイミングを次の図に示します。



備考 ディレイ：
REGVCC が V_{LVI} レベルを下回ったとき、遅延時間後に $\overline{\text{LVIRES}}$ が発生し、LVI リセットフラグ (RESF.RESF6、RESFR.RESFR6) がセットされます。その後、REGVCC が V_{LVI} レベルを上回ったときに、遅延時間後に $\overline{\text{LVIRES}}$ が解除されます。
遅延時間については、データシートを参照してください。

図 9.6 LVI リセットタイミング

9.4.4 コアボルテージモニタ（CVM）リセット

コアボルテージモニタは、マイクロコントローラ内のコア電圧を監視するために使用されます。

CVM 許可時にコア電圧が規定の電圧範囲外になるとリセット $\overline{\text{CVMRES}}$ が発生します。また、$\overline{\text{CVMRES}}$ フラグ（RESF.RESF7、RESFR.RESFR7）がセットされます。

その後、コア電圧が規定の電圧範囲に戻っても RESF.RESF7、RESFR.RESFR7 ビットは自動的にクリアされません。RESF.RESF7、RESFR.RESFR7 ビットは以下によってクリアされます。

- RESFC.RESFC7 ビットを 1 に設定することにより、RESF.RESF7 ビットをクリア
  RESFCR.RESFCR7 ビットを 1 に設定することにより、RESFR.RESFR7 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$)

CVM が異常な高電圧を検出したとき、ISO エリアの電源供給を停止します。一旦高電圧検出の $\overline{\text{CVMRES}}$ が発生したら、マイクロコントローラはリセット状態に留まります。この状態を解除するためには、外部リセット ($\overline{\text{RESET}}$) の入力が必要です。電圧レベルが高電圧検出電圧以下になった後で外部リセット ($\overline{\text{RESET}}$) を解除してください。

CVM 機能の詳細については**「第 10 章　電源電圧モニタ」**を参照してください。

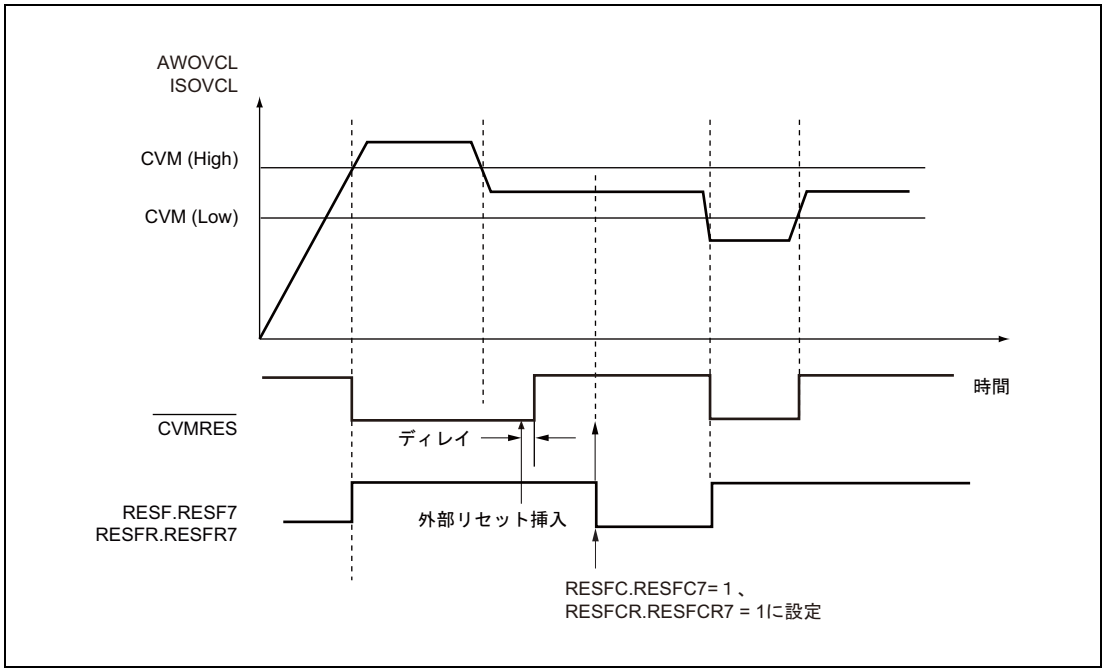


図 9.7　CVM リセットタイミング

9.4.5 外部リセット（$\overline{\text{RESET}}$）

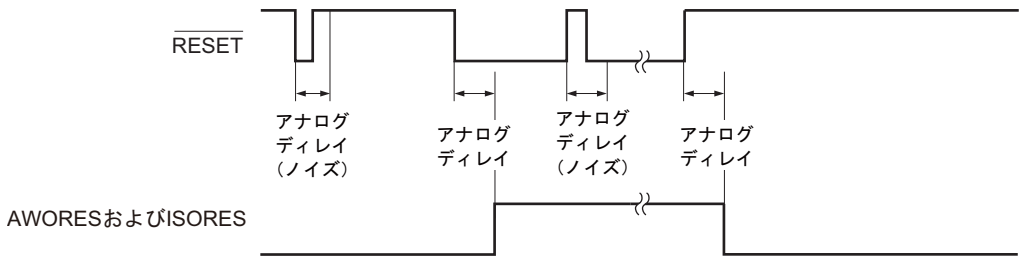
$\overline{\text{RESET}}$ 端子にロウレベル入力が印加されると、リセット処理が行われ、RESF.RESF8、RESFR.RESFR8 ビットがセットされます。

その後、$\overline{\text{RESET}}$ 端子へのロウレベル入力を解除しても RESF.RESF8、RESFR.RESFR8 ビットは自動的にクリアされません。RESF.RESF8、RESFR.RESFR8 ビットは以下によってクリアされます。

- RESFC.RESFC8 ビットを 1 に設定することにより、RESF.RESF8 ビットをクリア
  RESFCR.RESFCR8 ビットを 1 に設定することにより、RESFR.RESFR8 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

$\overline{\text{RESET}}$ 端子は、ノイズによる不正リセットの発生を防ぐためにアナログノイズフィルタを内蔵しています。

外部リセットにより AWORES および ISORES が発生するタイミングを次の図に示します。この図では、ノイズフィルタの効果も示しています。



備考 アナログフィルタによってアナログディレイが発生します。フィルタはある一定の幅までのパルスをノイズとみなし、抑制します。
最小 $\overline{\text{RESET}}$ パルス幅については、データシートを参照してください。

図 9.8 外部リセット（$\overline{\text{RESET}}$）

9.4.6 ウォッチドッグタイマ（WDTA）リセット

ウォッチドッグタイマは、オーバーフロー時間を越えたときにリセットを発生するように設定することができます。ウォッチドッグタイマリセットが発生すると、ウォッチドッグタイマリセットフラグ（WDTA0RES に対しては RESF.RESF1、RESFR.RESFR1 ビット、WDTA1RES に対しては RESF.RESF2、RESFR.RESFR2 ビット）がそれぞれセットされます。

その後、WDTA0RES（WDTA1RES）が解除されても RESF.RESF1、RESFR.RESFR1 ビット（RESF.RESF2、RESFR.RESFR2 ビット）は自動的にクリアされません。RESF.RESF1、RESFR.RESFR1 ビット、RESF.RESF2、RESFR.RESFR2 ビットは以下によってクリアされます。

- WDTA0RES について：
  RESFC.RESFC1 ビットを 1 に設定することにより、RESF.RESF1 ビットをクリア
  RESFCR.RESFCR1 ビットを 1 に設定することにより、RESFR.RESFR1 ビットをクリア
- WDTA1RES について：
  RESFC.RESFC2 ビットを 1 に設定することにより、RESF.RESF2 ビットをクリア
  RESFCR.RESFCR2 ビットを 1 に設定することにより、RESFR.RESFR2 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

9.4.7 ソフトウェアリセット

SWRESA.SWRESA に 1 を設定することでソフトウェアリセット SWRES を発生させることができます。

SWRES によってリセットフラグ RESF.RESF0、RESFR.RESFR0 ビットがセットされます。RESF.RESF0、RESFR.RESFR0 ビットは自動的にクリアされません。RESF.RESF0、RESFR.RESFR0 ビットは以下によってクリアされます。

- RESFC.RESFC0 ビットを 1 に設定することにより、RESF.RESF0 ビットをクリア
  RESFCR.RESFCR0 ビットを 1 に設定することにより、RESFR.RESFR0 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

9.4.8 クロックモニタ（CLMA）リセット

クロックモニタは以下のリセット信号を発生させることができます。

- HS IntOSC の周波数異常検出：$\overline{\text{CLMA0RES}}$
- MainOSC の周波数異常検出：$\overline{\text{CLMA1RES}}$
- PLL の周波数異常検出：$\overline{\text{CLMA2RES}}$

クロックモニタが各クロックの周波数異常を検出した時にリセット $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$ が発生します。

さらに、$\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$ フラグ（RESF.RESF3, RESFR.RESFR3, RESF.RESF4, RESFR.RESFR4, RESF.RESF5, RESFR.RESFR5）がセットされます。

これらのフラグは自動的にクリアされません。各リセットフラグは以下によってクリアされます。

- $\overline{\text{CLMA0RES}}$：
  RESFC.RESFC3 ビットを 1 に設定すると、RESF.RESF3 ビットをクリア
  RESFCR.RESFCR3 ビットを 1 に設定すると、RESFR.RESFR3 ビットをクリア
- $\overline{\text{CLMA1RES}}$：
  RESFC.RESFC4 ビットを 1 に設定すると、RESF.RESF4 ビットをクリア
  RESFCR.RESFCR4 ビットを 1 に設定すると、RESFR.RESFR4 ビットをクリア
- $\overline{\text{CLMA2RES}}$：
  RESFC.RESFC5 ビットを 1 に設定すると、RESF.RESF5 ビットをクリア
  RESFCR.RESFCR5 ビットを 1 に設定すると、RESFR.RESFR5 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

9.4.9 デバッガリセット

デバッガのコマンド経由で、デバッガリセット（$\overline{\text{DBRES}}$）が発生します。$\overline{\text{DBRES}}$ は PURES をアクティブにし、パワーオンクリアリセット POCRES と同様に、次のように動作します。

- クロック発生回路がリセットされ、停止します。クロック発生回路の停止後、クロック発生回路を再起動してください。
- リセット要因レジスタ RESF、リダンダントリセット要因レジスタ RESFR をクリアします（RESF9、RESFR9 ビットは、初期化後セット “1” されます）。

第 10 章　電源電圧モニタ

本章では、電源電圧モニタ全般について説明します。

最初の節では電源電圧モニタの機能について説明し、それ以降の節でレジスタについて説明します。

本電源電圧モニタは、電源電圧異常を早期に検知・対処することが可能です。しかしながら、すべての異常を検知・対処できるものではありません。

したがって、適切に異常検知・対処を行うには、外部デバイスで以下に示す端子の電圧を監視してください。

- REGVCC
- EVCC
- BVCC
- A0VREF
- A1VREF
- AWOVCL
- ISOVCL

外部デバイスでの電源電圧監視に必要な仕様は、データシートを参照してください。

10.1　概要

10.1.1　機能概要

電源電圧モニタは、デバイスが規定の電源電圧範囲内で動作することを保証するため、複数の外部および内部電源電圧を継続的にモニタします。基準電圧や比較電圧を下回った場合、割り込み要求信号や内部リセット信号を発生します。電源電圧モニタ機能の一覧を以下の表に示します。

表 10.1　電源電圧モニタ機能

機能名	モニタ電圧	電圧を下回ったときに発生する信号
パワーオンクリア（POC）	REGVCC	内部リセット信号
低電圧検出回路（LVI）	REGVCC	内部リセット信号、割り込み要求信号
コアボルテージモニタ（CVM）	AWO、ISO エリアの電圧	内部リセット信号
RAM 保持電圧インジケータ（VLVI）	REGVCC	—

備考　RAM 保持電圧インジケータは RAM 保持電圧を下回ったとき、超低電圧検出フラグ（VLVF）をセットします。

10.1.2　パワーオンクリア（POC）

POC は外部電源電圧 REGVCC を継続的にモニタします。これにより、マイクロコントローラはパワーオンクリア検出電圧（V_{POC}）以上の電源電圧でのみ動作することを保証しています。

REGVCC がパワーオンクリア検出電圧を下回ると（REGVCC < V_{POC}）、内部リセット信号（POCRES）が発生します。

詳細は、**「9.4.2　パワーオンクリア（POC）リセット」**を参照してください。

10.1.3　低電圧検出回路（LVI）

LVI は、継続的に外部電源電圧 REGVCC を LVI 基準電圧 V_{LVI} と比較します。

REGVCC が基準電圧を下回ると（REGVCC ＜ V_{LVI}）、内部リセット信号または割り込み要求信号のどちらかが生成されます。

10.1.3.1　LVI 基準電圧

LVI 基準電圧 V_{LVI} は、LVICNT.LVICNT[1:0] ビットを設定することによって 3 種類のレベルから選択できます。

LVICNT.LVICNT[1:0] ビットが 00_B に設定されている場合、LVI は無効です。

基準電圧レベル V_{LVI} の仕様については、**「10.2.2.1　LVICNT — LVI 制御レジスタ」**を参照してください。

10.1.3.2　LVI リセット（LVIRES）

LVI の検出電圧が設定され、LVIRESMK が解除された後、REGVCC が基準電圧を下回った場合（REGVCC ＜ V_{LVI}）、内部リセット信号 $\overline{\text{LVIRES}}$ が発生します。

$\overline{\text{LVIRES}}$ 発生時の仕様については**「9.4.3　低電圧検出回路（LVI）リセット」**を参照ください。

10.1.3.3　LVI 割り込み（INTLVIL / INTLVIH）

LVI の検出電圧が LVICNT.LVICNT[1:0] に設定され LVICNT.LVIRESMK が 1 にセットされた後、REGVCC が基準電圧を下回った場合（REGVCC （MIN）＜ V_{LVI}）、LVI 割り込み INTLVIL が発生します。

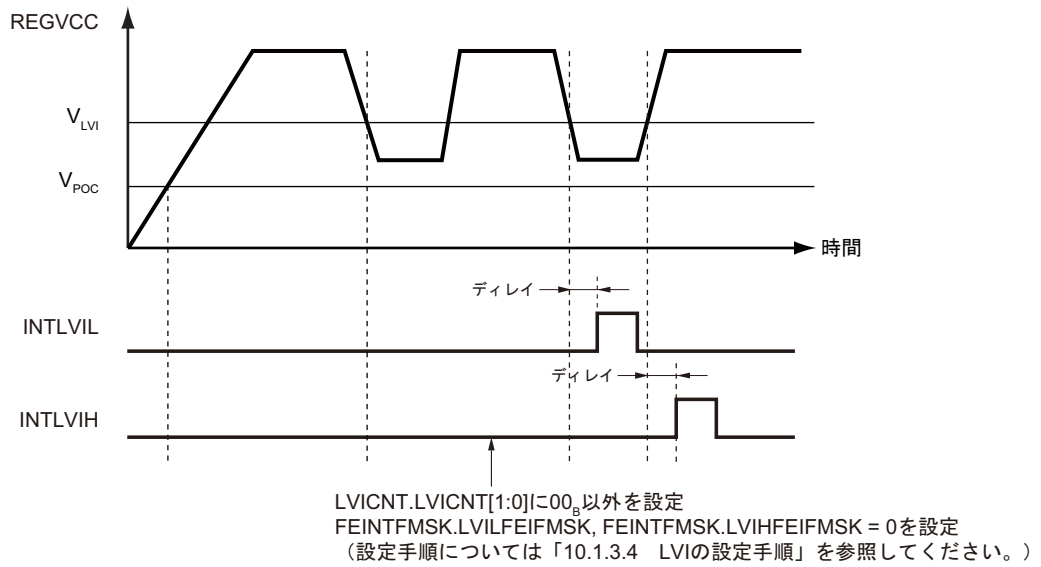
LVI を割り込み要因として使用する場合は INTLVIL 割り込みのマスク解除する必要があります。

INTLVIL 割り込みは、すべてのスタンバイモードからのウエイクアップ要因として使用できます。詳細は**「第 12 章　スタンバイコントローラ（STBC）」**を参照ください。

LVI の検出電圧が LVICNT.LVICNT[1:0] に設定され LVICNT.LVIRESMK が 1 にセットされた後、REGVCC が基準電圧を上回った場合（REGVCC (MIN) ＞ V_{LVI}）、LVI 割り込み INTLVIH が発生します。

LVI を割り込み要因として使用する場合は INTLVIH 割り込みのマスク解除する必要があります。

INTLVIL / INTLVIH のタイミング図を次に示します。



備考　ディレイ：
REGVCC が V_{LVI} 以下となったとき、遅延時間経過後、INTLVIL が発生します。その後、REGVCC が V_{LVI} を超えたとき、遅延時間経過後、INTLVIH が発生します。
遅延時間については、データシートを参照してください。

図 10.1　INTLVIL / INTLVIH 発生タイミング

10.1.3.4 LVI の設定手順

以下に　LVI の設定手順を示します。

(1) LVI をリセット要因とする場合

(1) LVI のリセットをマスクします。(LVICNT.LVIRESMK = 1) 注1

(2) LVI の割り込みをマスクします。
(FEINTFMSK.LVILFEIFMSK = 1, FEINTFMSK.LVIHFEIFMSK = 1)

(3) 検出電圧を設定／動作許可します。(LVICNT.LVICNT1, 0 設定) 注1

(4) ソフトウェアにて十分なウエイト時間を挿入します（データシート参照)。

(5) LVI のリセットをマスク解除します。(LVICNT.LVIRESMK = 0) 注1

(2) LVI を割り込み要因（FEINT）とする場合

(1) LVI のリセットをマスクします。(LVICNT.LVIRESMK = 1) 注1

(2) LVI の割り込みをマスクします。
(FEINTFMSK.LVILFEIFMSK = 1, FEINTFMSK.LVIHFEIFMSK = 1)

(3) 検出電圧を設定／動作許可します。(LVICNT.LVICNT1, 0 設定) 注1

(4) ソフトウェアにて十分なウエイト時間を挿入します（データシート参照)。

(5) LVI の割り込みをマスク解除します。
(FEINTFMSK.LVILFEIFMSK = 0, FEINTFMSK.LVIHFEIFMSK = 0)

注 1. LVICNT レジスタはライト保護レジスタのため、レジスタ保護シーケンスにそって 設定を行ってください。(**「第 5 章　書き込み保護レジスタ」**参照)

注　意

REGVCC が LVI 検出レベル（V_{LVI}）近傍で揺れている場合、INTLVIH または INTLVIL 割り込み処理の判断を誤る可能性があります。

例として、INTLVIL 割り込み処理中に、REGVCC が揺れることで INTLVIH と INTLVIL 割り込みが複数回ずつ発生すると、最後に発生した割り込みがどちらかを検出することができません。

これにより、REGVCC（MIN）＞ V_{LVI} になっているにもかかわらず、最後に INTLVIL 割り込み処理が行われると、ソフトウェアは REGVCC（MIN）＜ V_{LVI} と誤判断してしまいます。

LVI 検出割り込み処理は、次の LVI 検出が発生する前に完了するようにしてください。また、REGVCC の制御等も考慮してください。

10.1.3.5 LVI へのクロック供給

LVI のクロック供給を以下の表に示します。

表 10.2　LVI へのクロック供給

ユニット名	ユニットクロック名	供給クロック名
LVI	レジスタアクセスクロック	EMCLK

10.1.4　コアボルテージモニタ（CVM）

コアボルテージモニタ（Core Voltage Monitor. 以降、CVM と称す）は、マイコン内の AWO エリアおよび ISO エリアの電圧（以降、コア電圧）を監視するために使われます。

レギュレータ出力電圧が規定の範囲外になると、内部リセット信号（$\overline{\text{CVMRES}}$）が生成されます。

高電圧異常検知時は、リセットの発生に加えて、ISO エリアの電源遮断をします。

診断モード（DIAG モード）によって、CVM はコア電圧異常検出状態となります。診断モードによって、意図的にコア電圧異常検出状態を作り出すことができ、CVM の異常電圧検出フラグの故障を確認することができます。

注　意

内蔵電圧レギュレータと AWO エリア、ISO エリアへの供給電圧の潜在的な電圧ドリフトや電圧の揺れは CVM では検出できません。

10.1.4.1　CVM リセット（$\overline{\text{CVMRES}}$）

高電圧監視（CVMDE.H_D_E = 1) 時、コア電圧が規定の電圧を上回ると $\overline{\text{CVMRES}}$ を発生し、ISO エリアへの電源供給も停止します。

低電圧監視（CVMDE.L_D_E = 1）時、コア電圧が規定の電圧を下回ると $\overline{\text{CVMRES}}$ を発生します。

$\overline{\text{CVMRES}}$ 発生時の仕様については**「9.4.4　コアボルテージモニタ（CVM）リセット」**を参照ください。

10.1.4.2　CVM の設定

オプションバイトで高電圧監視、および低電圧監視の許可を設定してください。詳細は**「36.9　オプションバイト」**を参照ください。

10.1.4.3　診断（DIAG）モード

本製品は診断モードをサポートしています。

診断 (DIAG）モードにより、CVM の異常電圧検出フラグがセット “1” されることを確認できます。

診断モード時、$\overline{\text{CVMRES}}$ は出力されません。

診断モードの設定は、以下の様に行ってください。

本手順以外でレジスタを設定した場合、動作は保証されません。

(1)　CVMDIAG.CVM_DIAG_MASK をセットする。注 1

(2)　CVMDIAG.CVM_DIAG をセットする。注 1

(3)　12 μs ウエイト注 2

(4)　CVMF レジスタをリードし、H_V_F ビットおよび L_V_F ビットが “1” であることを確認（“0” の場合、CVM は正常動作してないため、エラー処置が必要になります。）

(5) CVMDIAG.CVM_DIAG をクリアする。注 1

(6) CVMF レジスタをクリア注 1

(7) CVMF レジスタをリードし、H_V_F ビットおよび L_V_F ビットが “0” であることを確認（“1” の場合は再度 (5) へ）

(8) CVMDIAG.CVM_DIAG_MASK をクリアする。注 1

注 1. CVMF および CVMDIAG レジスタはライト保護レジスタのため、レジスタ保護シーケンスにそって設定を行ってください。詳細は**「第 5 章　書き込み保護レジスタ」**を参照してください。

注 2. 以下の条件から (4) 開始までに 50 μs 経過している必要があります。

- HALT モード解除時
- STOP モード解除時
- RUN / HALT モード時に CVM 以外のリセットが発生した場合のリセット解除時
- CPU クロック切り替え時
- MainOSC 動作開始および停止時
- PLL 動作開始および停止時

10.1.4.4 CVM へのクロック供給

CVM のクロック供給を以下の表に示します。

表 10.3　CVM へのクロック供給

ユニット名	ユニットクロック名	供給クロック名
CVM	レジスタアクセスクロック	CPUCLK2

10.1.5 RAM 保持電圧インジケータ（超低電圧検出回路：VLVI）

超低電圧検出回路（VLVI）は、RAM 保持電圧を検出する回路であり、電源電圧 REGVCC と RAM 保持電圧 V_{VLVI} を常に比較しています。

RAM 保持電圧レベル V_{VLVI} の仕様については、データシートを参照してください。

10.1.5.1 VLVI へのクロック供給

VLVI のクロック供給を以下の表に示します。

表 10.4 VLVI へのクロック供給

ユニット名	ユニットクロック名	供給クロック名
VLVI	レジスタアクセスクロック	EMCLK

10.1.5.2 Retention RAM 内容の保持

電源電圧 REGVCC が V_{VLVI} を下回らないかぎり、Retention RAM（RRAM）の内容は保持されます。

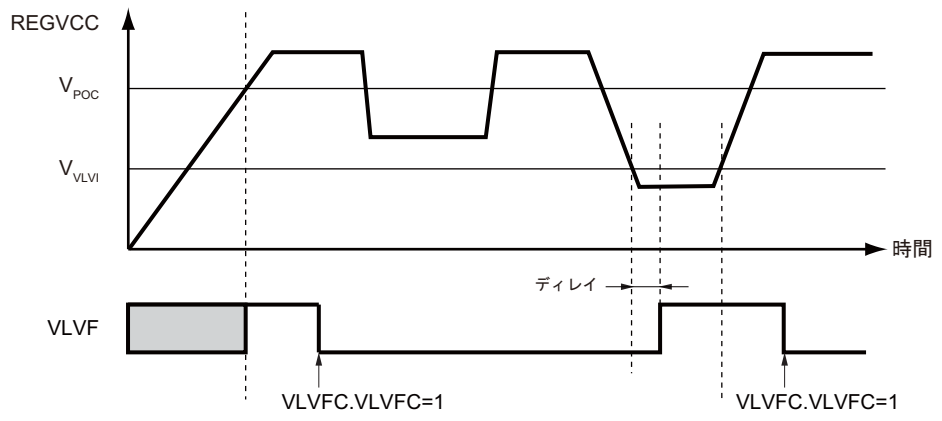
REGVCC が V_{VLVI} を下回った場合、RRAM の内容は保証できません。したがって、動作を継続する前に RRAM 全体を書き戻しする必要があります。

REGVCC が RAM 保持電圧を下回った場合（REGVCC < V_{VLVI}）、VLVF.VLVF ビットがセットされます。

その後、REGVCC が V_{VLVI} を上回っても VLVF.VLVF ビットは自動的にクリアされません。VLVF ビットは以下によってクリアされます。

- VLVFC.VLVFC ビットを 1 に設定

VLVF のタイミング図を以下に示します。



備考 ディレイ：
REGVCC が V_{VLVI} 以下となったとき、遅延時間経過後、VLVF ビットが 1 にセットされます。
遅延時間については、データシートを参照してください。

図 10.2 VLVF 動作タイミング

10.1.6 ブロック図

電源電圧モニタのブロック図を以下に示します。

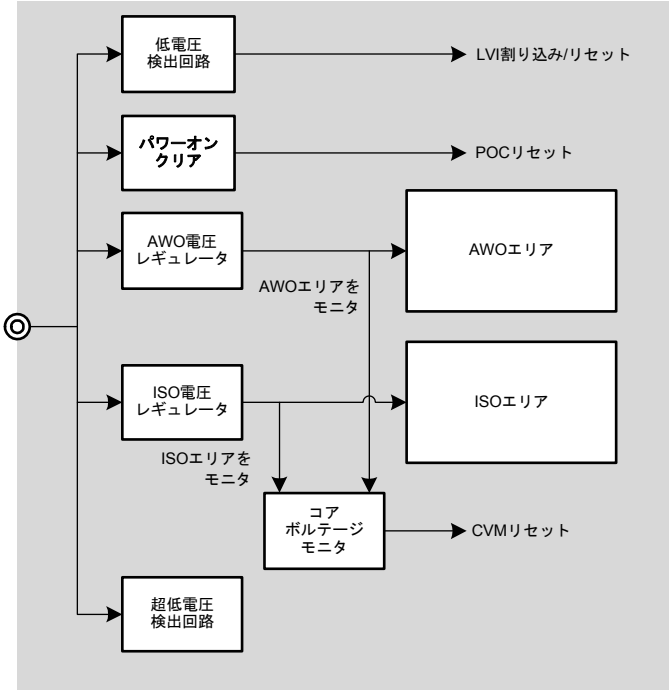


図 10.3 電源電圧モニタ

10.2　レジスタ

10.2.1　レジスター覧

電源電圧モニタのレジスター覧を以下の表に示します。

表 10.5　電源電圧モニタレジスター覧

レジスタ名	略号	アドレス
低電圧検出リセット制御レジスタ		
LVI 制御レジスタ	LVICNT	FFF8 0A00$_H$
コアボルテージモニタ制御レジスタ		
CVM 要因レジスタ	CVMF	FFF8 3100$_H$
CVM 検出許可レジスタ	CVMDE	FFF8 3104$_H$
CVM 診断モード設定レジスタ	CVMDIAG	FFF8 3114$_H$
超低電圧検出制御レジスタ		
超低電圧検出レジスタ	VLVF	FFF8 0980$_H$
超低電圧検出クリアレジスタ	VLVFC	FFF8 0988$_H$

10.2.2 低電圧検出リセット制御レジスタ

10.2.2.1 LVICNT — LVI 制御レジスタ

低電圧検出の制御と、LVI 検出レベルの選択を行います。

このレジスタは、パワーアップリセット PURES により初期化されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は**「第 5 章　書き込み保護レジスタ」**を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 0A00$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LVIRESMK	LVICNT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 10.6　LVICNT レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LVIRESMK	LVI リセットがマスク 0：LVI リセットがマスクされない 1：LVI リセットがマスクされる
1、0	LVICNT[1:0]	検出レベル 0 0：LVI 無効 0 1：4.0+/–0.1V（下降）、4.0+/–0.13V（上昇） 1 0：3.7+/–0.1V（下降）、3.7+/–0.13V（上昇） 1 1：3.5+/–0.1V（下降）、3.5+/–0.13V（上昇）

備　考

LVI 割り込みを使用する場合は、LVIRESMK にて LVI リセットをマスク（LVIRESMK = 1）する必要があります。

10.2.3 コアボルテージモニタ制御レジスタ

10.2.3.1 CVMF — CVM 要因レジスタ

最後の POC リセット発生後に発生したコア電圧異常の情報を記憶するレジスタです。

L_V_F ビット、または H_V_F ビットのいずれかに “1” がセットされると、パワーオンクリア、または各ビット（CVMF.L_V_F, CVMF.H_V_F）への “0” 書き込みで初期化するまで値を保持します。ただし、診断 モード時は、常にコア電圧監視回路からのエラー信号をモニタします。

このレジスタを更新するためには、PROTCMDCVM レジスタを使った正しい書き込みシーケンスが必要です。詳細は、**「第 5 章　書き込み保護レジスタ」**を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 3100$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H_V_F	L_V_F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 10.7　CVMF レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	H_V_F	CVM によるコア電圧の高電圧異常検出ビット 0：高電圧異常なし 1：高電圧異常あり
0	L_V_F	CVM によるコア電圧の低電圧異常検出ビット 0：低電圧異常なし 1：低電圧異常あり

10.2.3.2 CVMDE — CVM 検出許可レジスタ

電圧検出許可、禁止の状態を表示するレジスタです。

このレジスタは、パワーオンクリアでのみ初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 3104$_H$

リセット後の値 オプションバイトの設定に依存します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H_D_E	L_D_E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1 注1	0/1 注2
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. オプションバイト OPBT0.CVM_HD_EN の設定が反映されます。

注 2. オプションバイト OPBT0.CVM_LD_EN の設定が反映されます。
オプションバイトの詳細は、**「36.9 オプションバイト」**を参照してください。

表 10.8 CVMDE レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	H_D_E	高電圧監視許可ビット 0：高電圧検出を禁止 1：高電圧検出を許可
0	L_D_E	低電圧監視許可ビット 0：低電圧検出を禁止 1：低電圧検出を許可

10.2.3.3　CVMDIAG — CVM 診断モード設定レジスタ

CVM の診断モードを設定するレジスタです。

このレジスタは、パワーオンクリアでのみ初期化されます。

診断モード時のレジスタ設定の詳細は、**「10.1.4.3　診断（DIAG）モード」**を参照してください。

このレジスタを更新するためには、PROTCMDCVM レジスタを使った正しい書き込みシーケンスが必要です。詳細は、**「第 5 章　書き込み保護レジスタ」**を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 3114$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CVM_DIAG_MASK	CVM_DIAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 10.9　CVMDIAG レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CVM_DIAG_MASK	$\overline{\text{CVMRES}}$ マスク制御ビット 0：マスクしない 1：マスクする
0	CVM_DIAG	CVM 診断モード設定 ビット 0：通常モード 1：診断 モード

10.2.4 超低電圧検出制御レジスタ

10.2.4.1 VLVF — 超低電圧検出レジスタ

超低電圧検出レジスタ（VLVF）は RAM 保持電圧の検出状態を示します。

RAM 保持（V_{VLVI}）以下の電圧を検出した時にセットされます。

VLVF がセットされた場合、Retention RAM の値は保証できません。

アクセス 32 ビット単位でリードのみ可能です。

アドレス $FFF8\ 0980_H$

電源投入後の値 $0000\ 0001_H$
このレジスタは、すべてのリセット要因で初期化されません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLVF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.10 VLVF レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	VLVF	超低電圧検出フラグ 0：超低電圧を未検出 1：超低電圧を検出 **備考** 超低電圧は、REGVCC が REGVCC ＜ RAM 保持電圧（V_{VLVI}）となる電圧の状態です。詳細は、**「10.1.5.2 Retention RAM 内容の保持」**を参照してください。

10.2.4.2　VLVFC — 超低電圧検出クリアレジスタ

VLVF.VLVF ビットをクリアします。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　$FFF8\ 0988_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLVFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 10.11　VLVFC レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	VLVFC	VLVF.VLVF ビットのクリア 0：クリアしない 1：クリアする

第 11 章　クロックコントローラ

本章では、クロックコントローラ全般について説明します。

最初の節では、RH850/F1M のクロックコントローラ固有の特長について説明します。それ以降の節では、クロックコントローラを構成するクロック発振回路、クロック出力機能やクロックモニタ機能について説明します。

11.1　RH850/F1M のクロックコントローラの特長

RH850/F1M のクロックコントローラは以下の特長があります。

- 6 種類のクロック発振回路を内蔵
  - メイン発振回路（MainOSC）、発振周波数 8 ～ 24MHz
  - サブ発振回路（SubOSC）、発振周波数 32.768kHz
  - 高速内蔵発振回路（HS IntOSC）、周波数 8MHz（Typ.）
  - 低速内蔵発振回路（LS IntOSC）、周波数 240kHz（Typ.）
  - PLL（PLL0, PLL1）
- パラメータによって周波数変調を調整可能なスペクトラム拡散 PLL 回路（PLL0）と、非変調クロックの PLL 回路 (PLL1) を搭載
- クロックドメインによる周辺モジュールへの細かな供給クロック管理
- クロックモニタを内蔵し、メイン発振、高速内蔵発振、PLL 使用時の CPU クロック異常を検出
- CPU 内部クロック出力（FOUT）

クロックコントローラの概略図を**図 11.1** 示します。

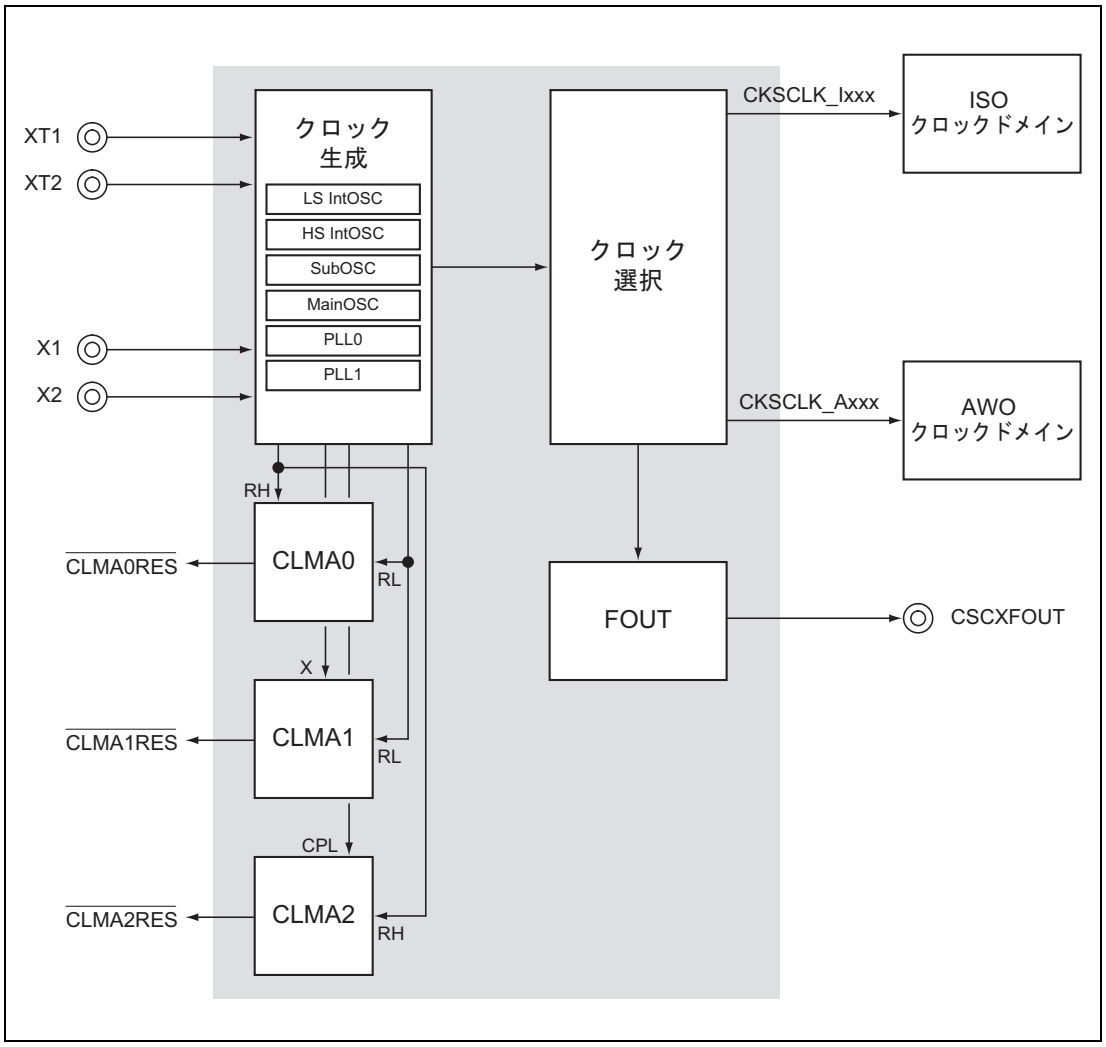


図 11.1 クロックコントローラの概要

11.2 クロックコントローラの構成

本節では、クロックコントローラの構成について説明します。

クロックコントローラは、クロック発振回路と CPU および周辺モジュール用クロックを生成するクロック生成回路、最適クロックを選択するクロックセレクタ、CPU や各周辺モジュールの各クロックドメインで構成します。

クロックコントローラの構成を**図 11.2** に示します。

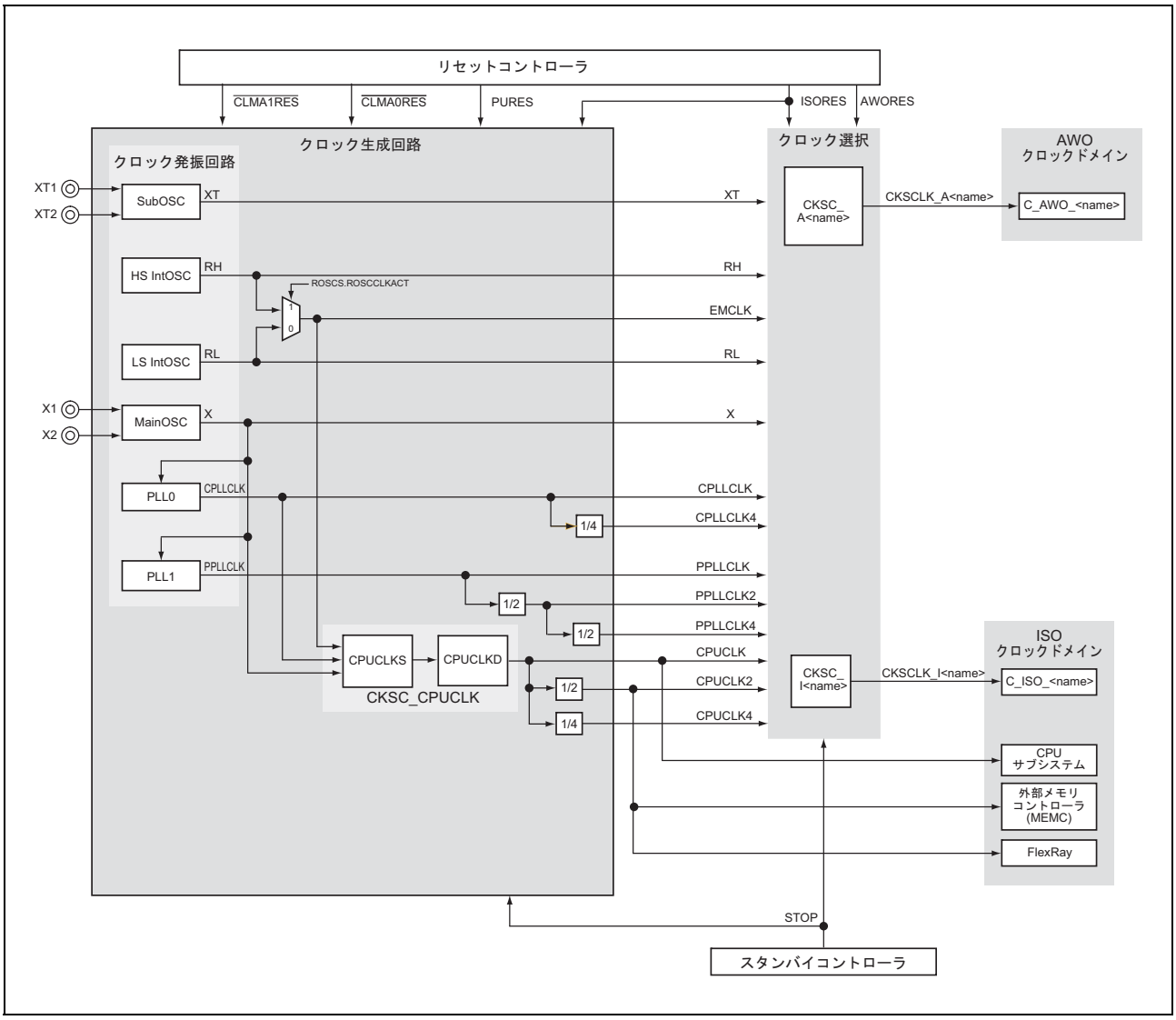


図 11.2 クロックコントローラの構成

備　考

クロックドメインとクロック制御レジスタの命名規約

本章のクロック信号とそれらの制御レジスタ等の名前は、電源やクロックの適用範囲（ドメイン）を反映するよう、以下命名規約にしたがってつけられています。また、プレースホルダー “<name>” により、クロックドメイン内の対象モジュールを示します。

- クロックドメイン名
  - C_AWO_<name>：Always-On エリア注1 のクロックドメイン
  - C_ISO_<name>：Isolated エリア注1 のクロックドメイン
- ドメインクロック名
  - CKSCLK_A <name>：Always-On エリアのドメインクロック
  - CKSCLK_I <name>：Isolated エリアのドメインクロック
- クロックセレクタ名
  - CKSC_A <name>：Always-On エリア用クロックセレクタ
  - CKSC_I <name>：Isolated エリア用クロックセレクタ
- クロックセレクタレジスタ名
  - CKSC_A <name> S_CTL：Always-On エリアのソースクロック選択レジスタ
  - CKSC_A <name> D_CTL：Always-On エリアのソースクロック分周レジスタ
  - CKSC_I <name> S_CTL：Isolated エリアのソースクロック選択レジスタ
  - CKSC_I <name> D_CTL：Isolated エリアのソースクロック分周レジスタ

例

クロック信号 CKSCLK_AADCA（プレースホルダー <name> = ADCA）は Always-On エリア内のクロックドメイン C_AWO_ADCA に供給されるクロックです。このクロックはクロック選択レジスタ CKSC_AADCAS_CTL によって選択されます。

注 1. Always-On エリア、Isolated エリアは電源ドメインを表します。Always-On エリア（AWO）は常時オンの電源、Isolated エリア（ISO）は、動作モードによりオン・オフされる電源です。　詳細は、**「第 39 章　電源とパワードメイン」**を参照してください。

11.2.1 クロック生成回路

6 種類のクロック発振回路があります。

4 種類のクロック発振回路（MainOSC, SubOSC, HS IntOSC, LS IntOSC）が Always-On エリア（AWO）にあり、PLL0/PLL1 は Isolated エリア（ISO）にあります。

メイン発振回路（MainOSC）

MainOSC はメインクロック X を生成します。
メインクロック X を生成するためには、X1 および X2 端子に外付け発振子を接続する必要があります。
クロック X は PLL0、PLL1 のリファレンスクロックとして使用されます。

サブ発振回路（SubOSC）

SubOSC は周波数 32.768kHz（Typ.）のサブクロック XT を生成します。サブクロック XT を生成するためには、XT1 および XT2 端子に外付け発振子を接続する必要があります。
このクロックは主にリアルタイムクロックアプリケーションで使用されます。

高速内蔵発振回路（HS IntOSC）

HS IntOSC は周波数 8MHz（Typ.）のクロック RH を生成します。

低速内蔵発振回路（LS IntOSC）

LS IntOSC は周波数 240kHz（Typ.）のクロック RL を生成します。この発振回路は電源投入と同時にスタートし、その後は常時動作するため停止させることはできません。

PLL0、PLL1

PLL0/PLL1 はマイクロコントローラの通常動作に必要な高速クロック CPLLCLK および PPLLCLK を生成します。

クロック生成回路では、クロック発振回路の生成クロック（X, XT, RH, RL, CPLLCLK, PPLLCLK)、およびその分周クロック（CPLLCLK4, PPLLCLK2, PPLLCLK4）を生成します。

11.2.2 クロック選択

クロック発振回路で生成されたクロックはクロックセレクタ CKSC_A<name> / CKSC_I<name> に入力されます。

各ドメイン CKSCLK_A<name> / CKSCLK_I<name> には、個別のクロックセレクタに加えて一部にクロック分周回路が備えられています。

- CKSC_I<name>S_CTL / CKSC_I<name>D_CTL レジスタは Isolated エリアのクロックドメインに対するクロックを決定します。
- CKSC_A<name>S_CTL / CKSC_A<name>D_CTL レジスタは Always-On エリアのクロックドメインに対するクロックを決定します。

クロック発振回路から生成される利用可能なすべてのクロックが各クロックセレクタに入力されるとは限りません。

また、以下のクロックはクロック生成回路より CPU や関連モジュールに供給されます。

Emergency クロック EMCLK

Emergency クロック EMCLK は以下の回路から供給されます。

- HS IntOSC がアクティブのとき：HS IntOSC
- HS IntOSC がインアクティブのとき：LS IntOSC

選択は CLMA0 によるリセット後、自動的に行われるため、なんらかの理由で HS IntOSC の周波数が低くなった場合でも、LS IntOSC は停止しないのでマイクロコントローラの重要モジュールは動作を続けることができます。

CPU サブシステムクロック CPUCLK

CPU サブシステムクロック CPUCLK は PLL0 クロック $f_{CPLLCLK}$、MainOSC、EMCLK から供給されます。CPU クロックセレクタ CKSC_CPUCLK は、セレクタ CPUCLKS とその後段のクロック分周回路 CPUCLKD から構成されています。

また、CPUCLK の分周回路から、CPUCLK の 2 分周クロック CPUCLK2、4 分周クロック CPUCLK4 が供給されます。

外部メモリコントローラ、FlexRay クロック

外部メモリコントローラ [注1]、FlexRay には、2 分周された CPUCLK が供給されます。

注 1. 供給されたクロックは、外部メモリコントローラ内でさらに 2 分周されます。

11.2.3　クロックドメイン

クロックコントローラでは CPU や周辺モジュール毎にクロックの選択が可能です。このクロックの制御範囲をクロックドメインと言います。CPU および周辺モジュールとクロックドメインの対応は、**「11.5.3　クロックドメイン設定」**を参照してください。

11.2.4　クロック発振回路のリセット

Always-On エリア内のクロック発振回路は PURES 信号によってリセットされます。

また、$\overline{\text{CLMA0RES}}$ 発生時、HS IntOSC、$\overline{\text{CLMA1RES}}$ 発生時、MainOSC はリセットされます。

Isolated エリア内のクロック発振回路は ISORES 信号によってリセットされます。

クロック発振回路の詳細については、**「11.3　クロック発振回路」**を参照してください。

注　意

周波数特性、許容範囲、クロック生成回路のパラメータなどついては、データシートを参照してください。

11.3 クロック発振回路

11.3.1 メイン発振回路（MainOSC）

メイン発振回路はクロック X を生成します。X は PLL0、PLL1 への入力クロック PLLCLKIN としても使用されます。

図 11.3 は MainOSC の基本構成と信号を示します。

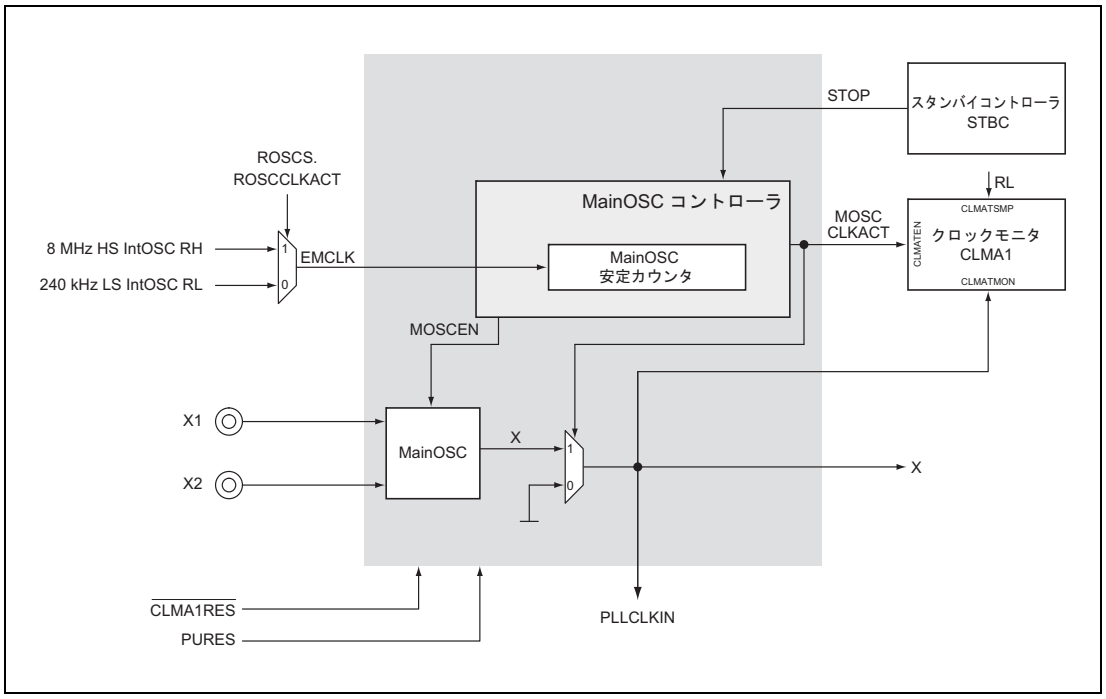


図 11.3 メイン発振回路（MainOSC）

MainOSC

MainOSC はリセット解除後、動作を停止しています。MainOSC 使用時は MainOSC イネーブルトリガビット MOSCE.MOSCENTRG = 1 にセットし、MainOSC を起動してください。

MainOSC の安定

MainOSC の発振安定時間を MOSCST.MOSCCLKST[16:0] に設定します。
MainOSC 安定カウンタは EMCLK をカウントソースとして発振安定時間をカウントします。設定範囲は EMCLK 周期の $2^{17} - 1$ までです。
MainOSC が不安定状態にある限り、MOSCCLKACT 信号によって X 出力が禁止されます。
MainOSC 安定カウンタが MOSCST.MOSCCLKST[16:0] で規定された値に到達した場合、X は安定したと判断し、MainOSC から波形が出力されたときに MOSCCLKACT が 0 から 1 に変化して X を出力します。

X クロックが安定でアクティブであることは、MOSCS.MOSCCLKACT = 1 であることによって表示されます。

MainOSC の増幅

外付け発振子によって決定される MainOSC の入力周波数は、MOSCC.MOSCAMPSEL[1:0] を用いることによって 8MHz から 24MHz までの範囲で選択することができます。

スタンバイモードにおける MainOSC の STOP 要求

スタンバイコントローラからの STOP 信号は、MainOSC コントローラがスタンバイモードで X クロックをスイッチオフすることを要求します。
停止要求マスクビット MOSCSTPM.MOSCSTPMSK は、MainOSC がスタンバイ時に動作を停止するか、継続するかを制御します。

- MOSCSTPM.MOSCSTPMSK = 0:
  STOP 要求信号はマスクされないため、MainOSC はスタンバイ時に動作が停止されます。
  MainOSC がスタンバイの前に動作していた場合、スタンバイ状態から回復した後自動的に再起動され、MainOSC 安定タイマが、発振安定時間をカウントします。
- MOSCSTPM.MOSCSTPMSK = 1:
  STOP 要求信号はマスクされるため、MainOSC はスタンバイ時に動作を継続します。

クロックモニタコントロール

MainOSC アクティビティ信号 MOSCCLKACT はクロックモニタ CLMA1 による監視機能を有効または無効にします。MainOSC がアクティブでない状態（MOSCCLKACT = 0）では、CLMA1 による出力クロック X の監視も無効になります。

MainOSC イネーブル／ディセーブルトリガ

MainOSC はイネーブルおよびディセーブルトリガコントロールビットによってイネーブル（有効化）およびディセーブル（無効化）することができます。

- イネーブルトリガ MOSCE.MOSCENTRG = 1 は MainOSC を起動させます。
  イネーブルトリガの設定は、MainOSC がアクティブ状態でない場合、つまり MOSCS.MOSCCLKACT = 0 のときのみ有効です。
- ディセーブルトリガ MOSCE.MOSCDISTRG = 1 は MainOSC を停止させます。
  ディセーブルトリガの設定は、MainOSC がアクティブ状態にある場合、（MOSCS.MOSCCLKACT = 1 ）のとき有効です。

11.3.2 サブ発振回路（SubOSC）

サブ発振回路はサブクロック XT を生成します。XT は通常 32.768kHz の周波数で、リアルタイムクロックのために使用されます。

図 11.4 は SubOSC 回路の基本構成と信号を示します。

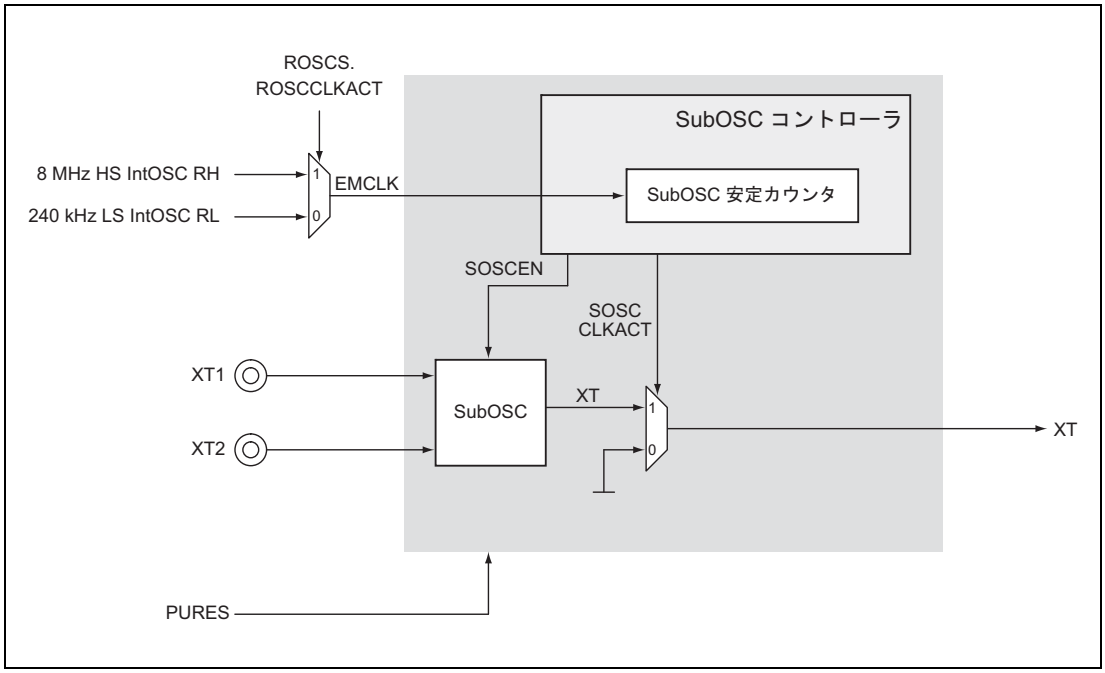


図 11.4 サブ発振回路（SubOSC）

SubOSC イネーブル

SubOSC はリセット解除後、動作を停止しています。SubOSC 使用時は SubOSC イネーブルトリガビット SOSCE.SOSCENTRG = 1 にセットし、SubOSC を起動してください。

SubOSC の安定

SubOSC の発振安定時間を SOSCST.SOSCCLKST[29:0] に設定します。SubOSC 安定カウンタは EMCLK をカウントソースとして発振安定時間をカウントします。
SubOSC が不安定状態にある限り、SOSCCLKACT 信号によって XT 出力が禁止されます。
SubOSC 安定カウンタが SOSCST.SOSCCLKST[29:0] で規定された値に到達した場合、XT は安定したと判断し、SOSCCLKACT が 0 から 1 に変化して XT を出力します。
安定時間には 2 秒以上を設定してください。
XT クロックが安定でアクティブであることは、SOSCS.SOSCCLKACT = 1 であることによって表示されます。

SubOSC の入力周波数

SubOSC の入力周波数は 32.768kHz (Typ.) です。

SubOSC イネーブルトリガ／ディセーブルトリガ

SubOSC はイネーブルおよびディセーブルトリガコントロールビットによってイネーブル（有効化）およびディセーブル（無効化）することができます。

- イネーブルトリガ SOSCE.SOSCENTRG = 1 によって SubOSC が起動されます。
  イネーブルトリガは、SubOSC がアクティブ状態でない場合、つまり SOSCS.SOSCCLKACT = 0 のときのみ有効です。
- ディセーブルトリガ SOSCE.SOSCDISTRG = 1 は SubOSC を停止させます。
  ディセーブルトリガの設定は、SubOSC がアクティブ状態にある場合、つまり SOSCS.SOSCCLKACT = 1 のときのみ有効です。

11.3.3 高速内蔵発振回路（HS IntOSC）

高速内蔵発振回路はクロック RH を生成します。RH は周波数 8MHz です。

図 11.5 は HS IntOSC の基本構成と信号を示します。

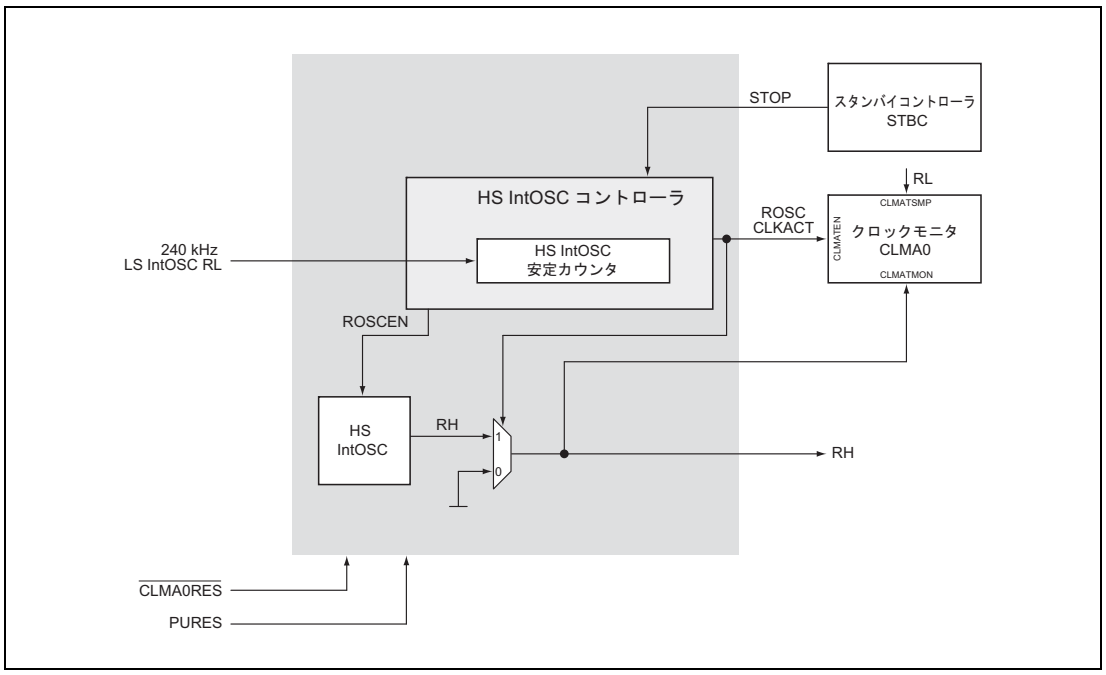


図 11.5 高速内蔵発振回路（HS IntOSC）

リセットの解除後、HS IntOSC が動作を開始します。

備 考

HS IntOSC は、ソフトウェアでは停止も起動も行うことができません。スタンバイモード時にのみ停止させることができます。ただし、CLMA0 がリセット時には、ソフトウェアで停止することができます。

HS IntOSC の安定

HS IntOSC が安定した場合、RH を出力します。
RH クロックが安定でアクティブであることは、ROSCS.ROSCCLKACT = 1 であることによって表示されます。

スタンバイモード時の HS IntOSC STOP リクエスト

スタンバイコントローラからの STOP 信号は、HS IntOSC コントローラがスタンバイモード時に RH クロックを停止させることを要求します。
停止要求マスクビット ROSCSTPM.ROSCSTPMSK は、HS IntOSC がスタンバイモード時に停止するか、動作を継続するかを制御します。

- ROSCSTPM.ROSCSTPMSK = 0:
  STOP 要求信号はマスクされません。そのため、HS IntOSC はスタンバイ時に停止され、スタンバイから回復した後は自動的に再起動されます。

  ただし、以下の場合、ROSCSTPM.ROSCSTPMSK = 0 でも STOP 要求はマスクされます。そのため、HS IntOSC はスタンバイ時にも動作を継続します。

  – 停止マスクを設定（CKSC_xxxx_STPM = 0000_0003_H）したクロックドメインが HS IntOSC を選択している場合
  – ロウパワーサンプラ（LPS）の動作がアクティブになっている場合

- ROSCSTPM.ROSCSTPMSK = 1:
  STOP 要求信号はマスクされます。そのため、HS IntOSC はスタンバイ時にも動作を継続します。

クロックモニタコントロール

HS IntOSC アクティビティ信号 ROSCCLKACT はクロックモニタ CLMA0 による監視動作を許可または禁止します。HS IntOSC がアクティブ状態でない場合（ROSCCLKACT = 0）、CLMA0 によるその出力クロックの監視も無効化されます。

HS IntOSC のクロック RH は、クロックモニタ CLMA2 のサンプリングクロックとして使用されます。

HS IntOSC ディセーブルトリガ

ディセーブルトリガ ROSCE.ROSCDISTRG = 1 は HS IntOSC を停止させます。

11.3.4 低速内蔵発振回路（LS IntOSC）

低速内蔵発振回路はクロック RL を生成します。RL の周波数は 240kHz です。

図 11.6 は LS IntOSC の基本構成と信号を示します。

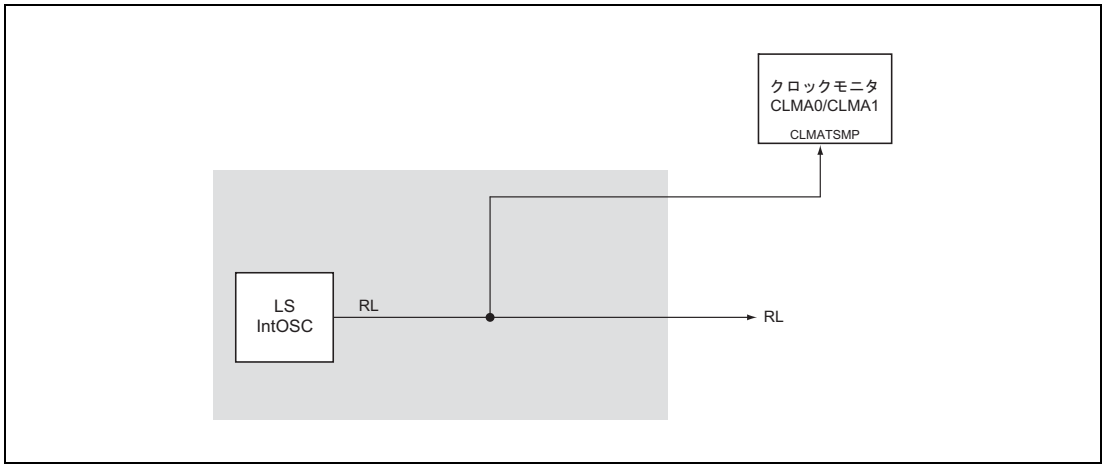


図 11.6 低速内蔵発振回路（LS IntOSC）

リセットの解除後、LS IntOSC が動作を開始します。停止させることはできません。

LS IntOSC のクロック RL はクロックモニタ CLMA0 および CLMA1 のサンプリングクロックとして使用されます。

11.3.5 PLL0/PLL1

メイン発振回路のクロック X は PLL クロック発振回路に入力されます。PLL0 の出力クロック CPLLCLK および PLL1 の出力クロック PPLLCLK はマイクロコントローラの主動作クロックとして働きます。

図 11.7 は PLL0、PLL1 の基本構成と信号を示します。

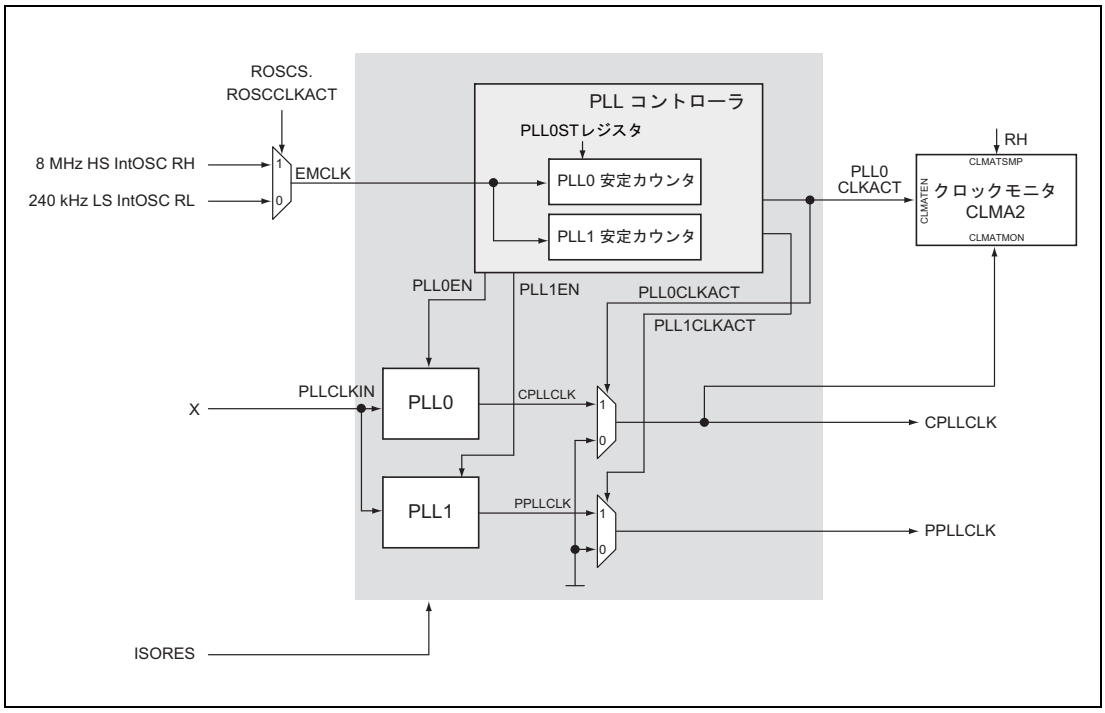


図 11.7 PLL

PLL0/PLL1 イネーブル

PLL0 はリセット解除後、動作を停止しています。PLL0 使用時は PLL0 イネーブルトリガビット PLL0E.PLL0ENTRG = 1 にセットし、PLL0 を起動してください。

PLL1 もリセット解除後、動作を停止しています。PLL1 使用時は PLL1 イネーブルトリガビット PLL1E.PLL1ENTRG = 1 にセットし、PLL1 を起動してください。

PLL0/PLL1 の安定

PLL0 の発振安定時間を PLL0ST.PLL0CLKST[12:0] で設定します。PLL0 安定カウンタは EMCLK をカウントソースとして発振安定時間をカウントします。PLL0 が安定でない限り、PLL0CLKACT 信号が CPLLCLK 出力を禁止されます。PLL0 安定カウンタが PLL0ST.PLL0CLKST[12:0] で規定された値に到達した場合、CPLLCLK は安定したと判断し、PLL0CLKACT が 0 から 1 に変化して、CPLLCLK を出力します。

PLL1 が動作を開始すると、PLL1 安定カウンタは安定時間のカウントを開始します。PLL1 が安定でない限り、PLL1CLKACT 信号が PPLLCLK 出力を禁止します。

PLL1 安定カウンタが予め規定されている値に到達すると、PPLLCLK は安定であると判定され、PLL1CLKACT が 0 から 1 に変化して、PPLLCLK を出力します。

CPLLCLK クロックが安定でアクティブであることは、PLL0S.PLL0CLKACT=1 であることによって、PPLLCLK クロックが安定でアクティブであることは、PLL1S.PLL1CLKACT=1 であることによって表示されます。

スタンバイモードでの PLL0/PLL1

STOP モードでは、PLL0/PLL1 は自動的にディセーブルされ、STOP モードの前に動作していた場合は、STOP モードから回復した後に動作を再開します。

DeepSTOP モードに遷移する際も PLL0/PLL1 は自動的にディセーブルされます。ただし、DeepSTOP モードから復帰後は再設定を行ってください。

Cyclic RUN, Cyclic STOP モードでは、PLL0/PLL1 を使用できません。Cyclic RUN モードでは、PLL0/PLL1 イネーブルレジスタで PLL0/PLL1 を許可しないでください。

クロックモニタコントロール

PLL0 アクティビティ信号 PLL0CLKACT はクロックモニタ CLMA2 による監視動作を許可または禁止します。PLL がアクティブ状態でない場合（PLL0CLKACT = 0）、CLMA2 によるその出力クロック CPLLCLK の監視も無効化されます。

PLL0/PLL1 イネーブル／ディセーブルトリガ

PLL0/PLL1 はイネーブルおよびディセーブルトリガコントロールビットによって有効および無効にすることができます。

- イネーブルトリガ PLL0E.PLL0ENTRG = 1 は PLL0 を起動させます。
  PLL0 のイネーブルトリガのセットは、PLL0 がアクティブ状態でない場合、つまり PLL0S.PLL0CLKACT = 0 のときのみ有効です。
  イネーブルトリガ PLL1E.PLL1ENTRG = 1 は PLL1 を起動させます。
  PLL1 のイネーブルトリガのセットは、PLL1 がアクティブ状態でない場合、つまり PLL1S.PLL1CLKACT = 0 のときのみ有効です。
- ディセーブルトリガ PLL0E.PLL0DISTRG = 1 は PLL0 を停止させます。
  PLL0 のディセーブルトリガのセットは、PLL0 がアクティブ状態にある場合、つまり PLL0S.PLL0CLKACT = 1 のときのみ有効です。
  ディセーブルトリガ PLL1E.PLL1DISTRG = 1 は PLL1 を停止させます。
  PLL1 のディセーブルトリガのセットは、PLL1 がアクティブ状態にある場合、つまり PLL1S.PLL1CLKACT = 1 のときのみ有効です。

11.3.5.1 PLL0 のパラメータ

PLL0 の動作はコントロールレジスタ PLL0C から読み出される一連のパラメータによって設定されます。

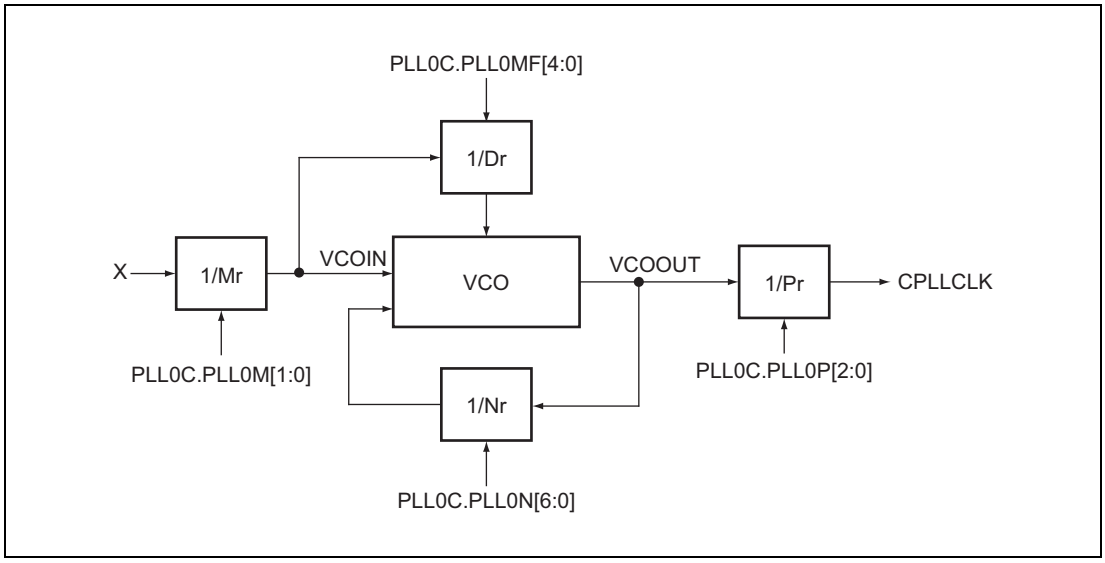


図 11.8 PLL0 の回路構成

動作モード

PLL0 は 2 つの動作モードを持ちます。

- PLL0C.PLL0MD = 0 ：固定出力周波数の PLL モード
- PLL0C.PLL0MD = 1 ：出力周波数を変調した SSCG（Spread Spectrum Clock Generator) モード

注 意

PLL0 を SSCG モード (PLL0C.PLL0MD = 1) で使用する場合は、変調モードをセンタースプレッド変調 (PLL0C.PLL0SMD = 1) に設定してください。

CPLLCLK

CPLLCLK は CPU サブシステムクロック CPUCLK の元になるクロックです。

クロック周波数 $f_{CPLLCLK}$ は VCO の周波数出力 f_{VCOOUT} の整数分の 1 の周波数です。

$$f_{VCOOUT} = f_X \times (Nr / Mr)$$

周波数 $f_{CPLLCLK}$ は以下のように計算されます。

$$f_{CPLLCLK} = f_X \times (Nr / Mr) \times 1/Pr$$

Nr、Mr および Pr の値は PLL0C レジスタビットから以下のように読み出されます。

- Nr = PLL0C.PLL0N[6:0] + 1
- Mr = PLL0C.PLL0M[1:0] + 1
- Pr は、PLL0C.PLL0P[2:0] によって決定されます。

PLL0C.PLL0P[2:0]	Pr
010_B	4
011_B	8
100_B	16

周波数変調

周波数変調が有効（PLL0C.PLL0MD = 1）の場合、PLL0C レジスタでパラメータを追加設定する必要があります。

- PLL0C.PLL0MF[4:0] は、周波数変調周期を決定します。
- PLL0C.PLL0ADJ[2:0] は、周波数変調範囲を決定します。

変調周波数の計算方法は、**「11.4.2.14　PLL0C — PLL0 コントロールレジスタ」**を参照してください。

PLL0 の出力周波数

VCO の出力周波数に応じて、PLL0C.PLL0FVV[1:0] を設定する必要があります。

PLLC0 レジスタの詳細は、**「11.4.2.14　PLL0C — PLL0 コントロールレジスタ」**を参照してください。

11.3.5.2 PLL1 のパラメータ

PLL1 の動作はコントロールレジスタ PLL1C から読み出される一連のパラメータによって設定されます。

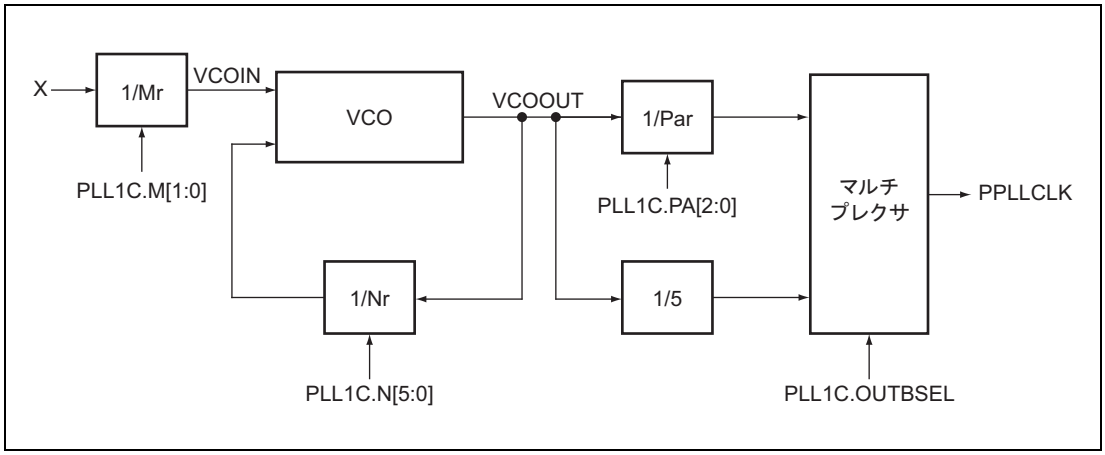


図 11.9 PLL1 の回路構成

PPLLCLK

PPLLCLK はいくつかの機能モジュールの元になるクロックであり、80MHz を超えてはいけません。

$f_{PPLLCLK}$ は VCO の周波数出力 f_{VCOOUT} を Par または 5 分周回路で分周される整数分の 1 の周波数です。

$$f_{VCOOUT} = f_X \times (Nr / Mr)$$

周波数 $f_{PPLLCLK}$ は以下のように計算されます。

$$f_{PPLLCLK} = f_X \times (Nr / Mr) \times 1/Par$$

または、

$$f_{PPLLCLK} = f_X \times (Nr / Mr) \times 1/5$$

Nr、Mr および Par の値は PLL1C レジスタビットから以下のように読み出されます。

- Nr = PLL1C.N[5:0] + 1
- Mr = PLL1C.M[1:0] + 1
- Par は、PLL1C.PA[2:0] によって決定されます。

PLL1C.PA[2:0]	Par
010_B	4
011_B	6
100_B	8
101_B	16

PLLC1 レジスタの詳細は、**「11.4.2.18 PLL1C — PLL1 コントロールレジスタ」**を参照してください。

11.4 レジスタ

11.4.1 レジスター覧

クロックコントローラのレジスター覧を以下に示します。

表 11.1 クロックコントローラレジスタの一覧 (1/2)

レジスタ名	略号	アドレス
クロック発振回路のレジスタ：		
MainOSC イネーブルレジスタ	MOSCE	FFF8 1100$_H$
MainOSC ステータスレジスタ	MOSCS	FFF8 1104$_H$
MainOSC コントロールレジスタ	MOSCC	FFF8 1108$_H$
MainOSC 安定時間レジスタ	MOSCST	FFF8 110C$_H$
MainOSC 停止マスクレジスタ	MOSCSTPM	FFF8 1118$_H$
SubOSC イネーブルレジスタ	SOSCE	FFF8 1200$_H$
SubOSC ステータスレジスタ	SOSCS	FFF8 1204$_H$
SubOSC 安定時間レジスタ	SOSCST	FFF8 120C$_H$
HS IntOSC イネーブルレジスタ	ROSCE	FFF8 1000$_H$
HS IntOSC ステータスレジスタ	ROSCS	FFF8 1004$_H$
HS IntOSC 停止マスクレジスタ	ROSCSTPM	FFF8 1018$_H$
PLL0 イネーブルレジスタ	PLL0E	FFF8 9000$_H$
PLL0 ステータスレジスタ	PLL0S	FFF8 9004$_H$
PLL0 コントロールレジスタ	PLL0C	FFF8 9008$_H$
PLL0 安定時間レジスタ	PLL0ST	FFF8 900C$_H$
PLL1 イネーブルレジスタ	PLL1E	FFF8 9100$_H$
PLL1 ステータスレジスタ	PLL1S	FFF8 9104$_H$
PLL1 コントロールレジスタ	PLL1C	FFF8 9108$_H$
クロックセレクタレジスタ：		
C_AWO_WDTA クロック分周レジスタ	CKSC_AWDTAD_CTL	FFF8 2000$_H$
C_AWO_WDTA クロック分周アクティブレジスタ	CKSC_AWDTAD_ACT	FFF8 2008$_H$
C_AWO_WDTA 停止マスクレジスタ	CKSC_AWDTAD_STPM	FFF8 2018$_H$
C_AWO_TAUJ ソースクロック選択レジスタ	CKSC_ATAUJS_CTL	FFF8 2100$_H$
C_AWO_TAUJ ソースクロックアクティブレジスタ	CKSC_ATAUJS_ACT	FFF8 2108$_H$
C_AWO_TAUJ クロック分周レジスタ	CKSC_ATAUJD_CTL	FFF8 2200$_H$
C_AWO_TAUJ クロック分周アクティブレジスタ	CKSC_ATAUJD_ACT	FFF8 2208$_H$
C_AWO_TAUJ 停止マスクレジスタ	CKSC_ATAUJD_STPM	FFF8 2218$_H$
C_AWO_RTCA ソースクロック選択レジスタ	CKSC_ARTCAS_CTL	FFF8 2300$_H$
C_AWO_RTCA ソースクロックアクティブレジスタ	CKSC_ARTCAS_ACT	FFF8 2308$_H$
C_AWO_RTCA クロック分周レジスタ	CKSC_ARTCAD_CTL	FFF8 2400$_H$
C_AWO_RTCA クロック分周アクティブレジスタ	CKSC_ARTCAD_ACT	FFF8 2408$_H$
C_AWO_RTCA 停止マスクレジスタ	CKSC_ARTCAD_STPM	FFF8 2418$_H$
C_AWO_ADCA ソースクロック選択レジスタ	CKSC_AADCAS_CTL	FFF8 2500$_H$
C_AWO_ADCA ソースクロックアクティブレジスタ	CKSC_AADCAS_ACT	FFF8 2508$_H$
C_AWO_ADCA クロック分周レジスタ	CKSC_AADCAD_CTL	FFF8 2600$_H$
C_AWO_ADCA クロック分周アクティブレジスタ	CKSC_AADCAD_ACT	FFF8 2608$_H$
C_AWO_ADCA 停止マスクレジスタ	CKSC_AADCAD_STPM	FFF8 2618$_H$
C_AWO_FOUT ソースクロック選択レジスタ	CKSC_AFOUTS_CTL	FFF8 2700$_H$

表 11.1 クロックコントローラレジスタの一覧 (2/2)

レジスタ名	略号	アドレス
C_AWO_FOUT ソースクロックアクティブレジスタ	CKSC_AFOUTS_ACT	FFF8 2708$_H$
C_AWO_FOUT 停止マスクレジスタ	CKSC_AFOUTS_STPM	FFF8 2718$_H$
C_ISO_CPUCLK ソースクロック選択レジスタ	CKSC_CPUCLKS_CTL	FFF8 A000$_H$
C_ISO_CPUCLK ソースクロックアクティブレジスタ	CKSC_CPUCLKS_ACT	FFF8 A008$_H$
C_ISO_CPUCLK クロック分周レジスタ	CKSC_CPUCLKD_CTL	FFF8 A100$_H$
C_ISO_CPUCLK クロック分周アクティブレジスタ	CKSC_CPUCLKD_ACT	FFF8 A108$_H$
C_ISO_PERI1 ソースクロック選択レジスタ	CKSC_IPERI1S_CTL	FFF8 A200$_H$
C_ISO_PERI1 ソースクロックアクティブレジスタ	CKSC_IPERI1S_ACT	FFF8 A208$_H$
C_ISO_PERI2 ソースクロック選択レジスタ	CKSC_IPERI2S_CTL	FFF8 A300$_H$
C_ISO_PERI2 ソースクロックアクティブレジスタ	CKSC_IPERI2S_ACT	FFF8 A308$_H$
C_ISO_LIN ソースクロック選択レジスタ	CKSC_ILINS_CTL	FFF8 A400$_H$
C_ISO_LIN ソースクロックアクティブレジスタ	CKSC_ILINS_ACT	FFF8 A408$_H$
C_ISO_ADCA ソースクロック選択レジスタ	CKSC_IADCAS_CTL	FFF8 A500$_H$
C_ISO_ADCA ソースクロックアクティブレジスタ	CKSC_IADCAS_ACT	FFF8 A508$_H$
C_ISO_ADCA クロック分周レジスタ	CKSC_IADCAD_CTL	FFF8 A600$_H$
C_ISO_ADCA クロック分周アクティブレジスタ	CKSC_IADCAD_ACT	FFF8 A608$_H$
C_ISO_LIN クロック分周レジスタ	CKSC_ILIND_CTL	FFF8 A800$_H$
C_ISO_LIN クロック分周アクティブレジスタ	CKSC_ILIND_ACT	FFF8 A808$_H$
C_ISO_LIN 停止マスクレジスタ	CKSC_ILIND_STPM	FFF8 A818$_H$
C_ISO_CAN ソースクロック選択レジスタ	CKSC_ICANS_CTL	FFF8 A900$_H$
C_ISO_CAN ソースクロックアクティブレジスタ	CKSC_ICANS_ACT	FFF8 A908$_H$
C_ISO_CAN 停止マスクレジスタ	CKSC_ICANS_STPM	FFF8 A918$_H$
C_ISO_CANOSC クロック分周レジスタ	CKSC_ICANOSCD_CTL	FFF8 AA00$_H$
C_ISO_CANOSC クロック分周アクティブレジスタ	CKSC_ICANOSCD_ACT	FFF8 AA08$_H$
C_ISO_CANOSC 停止マスクレジスタ	CKSC_ICANOSCD_STPM	FFF8 AA18$_H$
C_ISO_CSI ソースクロック選択レジスタ	CKSC_ICSIS_CTL	FFF8 AB00$_H$
C_ISO_CSI ソースクロックアクティブレジスタ	CKSC_ICSIS_ACT	FFF8 AB08$_H$
C_ISO_IIC ソースクロック選択レジスタ	CKSC_IIICS_CTL	FFF8 AC00$_H$
C_ISO_IIC ソースクロックアクティブレジスタ	CKSC_IIICS_ACT	FFF8 AC08$_H$

11.4.2 クロック発振回路のレジスタ

11.4.2.1 MOSCE — MainOSC イネーブルレジスタ

このレジスタは MainOSC の起動および停止のために使用されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章 書き込み保護レジスタ」**を参照してください。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 1100_{H}

リセット後の値 0000 0000_{H}

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCDISTRG	MOSCENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.2 MOSCE レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	MOSCDISTRG	MainOSC ディセーブルトリガ[注 1] 0：機能なし 1：MainOSC を停止
0	MOSCENTRG	MainOSC イネーブルトリガ 0：機能なし 1：MainOSC を起動

注 1. 〈MOSCDISTRG により MainOSC を停止するときの動作停止推奨手順〉

1. MainOSC を選択しているクロックドメインがないことを確認してください。
   MainOSC を選択しているクロックドメインがあった場合、Disable 設定または、MainOSC 以外のクロックソースを選択してください。
2. MainOSC を停止（MOSCE.MOSCDISTRG = 1）。
3. MainOSC の停止を確認（MOSCS.MOSCCLKACT = 0）。

11.4.2.2 MOSCS — MainOSC ステータスレジスタ

このレジスタは MainOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 1104_{H}

リセット後の値 0000 0000_{H}

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. ビット 1, 0 には不定値が入ります。
ステータスを確認する場合はビット 1, 0 をマスクし、ビット 2 のみで判断してください。

表 11.3 MOSCS レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	MOSCCLKACT	MainOSC アクティブステータス 0：MainOSC はインアクティブ 1：MainOSC はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

11.4.2.3 MOSCC — MainOSC コントロールレジスタ

このレジスタは MainOSC の増幅のために使用されます。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 1108_{H}

リセット後の値 0000 0004_{H}

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCAMPSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.4 MOSCC レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	MOSCAMPSEL [1:0]	MainOSC 周波数選択

MOSCAMPSEL[1:0]	アンプ利得	外部発振子の一般的な周波数範囲（発振子の種類に依存）
00_B	High	20 MHz < f_X ≤ 24 MHz
01_B	Mid-high	16 MHz < f_X ≤ 20 MHz
10_B	Mid-low	8 MHz < f_X ≤ 16 MHz
11_B	Low	8 MHz

注 意

本レジスタは MainOSC 停止時に設定してください。

11.4.2.4 MOSCST — MainOSC 安定時間レジスタ

このレジスタは MainOSC の安定時間を規定します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 110C$_H$

リセット後の値 0000 44C0$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCCLKST16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MOSCCLKST[15:0]															
リセット後の値	0	1	0	0	0	1	0	0	1	1	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.5 MOSCST レジスタの内容

ビット位置	ビット名	機能
31 ～ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16 ～ 0	MOSCCLKST [16:0]	MOSCCLKST[16:0] は、MainOSC の安定時間カウンタのカウント数を規定します。 • HS IntOSC がアクティブ（ROSCS.ROSCCLKACT = 1）の場合：安定時間 = MOSCCLKST[16:0] / f_{RH} • HS IntOSC がインアクティブ（ROSCS.ROSCCLKACT = 0）の場合：安定時間 = MOSCCLKST[16:0] / f_{RL}

備 考

MainOSC の安定時間の詳細については、「データシート」を参照してください。

注 意

本レジスタは MainOSC 停止時に設定してください。

11.4.2.5 MOSCSTPM — MainOSC 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 1118_{H}

リセット後の値 0000 0002_{H}

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 11.6 MOSCSTPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	MOSCSTPMSK	スタンバイモード時の MainOSC 停止要求マスク 0：スタンバイモード時 MainOSC 動作停止 1：スタンバイモード時 MainOSC 動作継続 このビットの設定に関係なく MainOSC 禁止トリガ MOSCE.MOSCDISTRG が 1 に設定されると MainOSC は停止しますので注意してください。

11.4.2.6　SOSCE — SubOSC イネーブルレジスタ

このレジスタは SubOSC の起動および停止のために使用されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1200$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOSCDISTRG	SOSCENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.7　SOSCE レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SOSCDISTRG	SubOSC ディセーブルトリガ[注 1] 0：機能なし 1:SubOSC を停止
0	SOSCENTRG	SubOSC イネーブルトリガ 0：機能なし 1：SubOSC を起動

注 1.　〈SOSCDISTRG により SubOSC を停止するときの動作停止推奨手順〉

1. SubOSC を選択しているクロックドメインがないことを確認してください。SubOSC を選択しているクロックドメインがあった場合、Disable 設定または、SubOSC 以外のクロックソースを選択してください。
2. SubOSC を停止（SOSCE.SOSCDISTRG = 1）。
3. SubOSC の停止を確認（SOSCS.SOSCCLKACT = 0）。

11.4.2.7 SOSCS — SubOSC ステータスレジスタ

このレジスタは SubOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 1204$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	SOSCCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. ビット 1, 0 には不定値が入ります。
ステータスを確認する場合はビット 1, 0 をマスクし、ビット 2 のみで判断してください。

表 11.8 SOSCS レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	SOSCCLKACT	SubOSC アクティブステータス 0：SubOSC はインアクティブ 1：SubOSC はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

11.4.2.8 SOSCST — SubOSC 安定時間レジスタ

このレジスタは SubOSC の安定時間を規定します。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 120C$_H$

リセット後の値 010C 8E00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SOSCCLKST[29:16]													
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SOSCCLKST[15:0]															
リセット後の値	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.9 SOSCST レジスタの内容

ビット位置	ビット名	機能
31, 30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29 ～ 0	SOSCCLKST [29:0]	SOSCCLKST[29:0] は、SubOSC の安定時間カウンタのカウント数を規定します。 • HS IntOSC がアクティブ（ROSCS.ROSCCLKACT = 1）の場合：安定時間 = SOSCCLKST[29:0] / f_{RH} • HS IntOSC がインアクティブ（ROSCS.ROSCCLKACT = 0）の場合：安定時間 = SOSCCLKST[29:0] / f_{RL}

備　考

SubOSC の安定時間の詳細については、「データシート」を参照してください。

注　意

本レジスタは SubOSC 停止時に設定してください。

11.4.2.9　ROSCE — HS IntOSC イネーブルレジスタ

このレジスタは HS IntOSC の停止のために使用します。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

注　意

CLMA0RES が発生したときにのみ、ROSCE.ROSCDISTRG ビットの設定をしてください。それ以外の場合には設定禁止です。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1000$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCDISTRG	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

表 11.10　ROSCE レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ROSCDISTRG	HS IntOSC ディセーブルトリガ 0：機能なし 1：HS IntOSC を停止
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

11.4.2.10 ROSCS — HS IntOSC ステータスレジスタ

このレジスタは HS IntOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 1004_H

リセット後の値 0000 0007_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. ビット 1, 0 には不定値が入ります。
ステータスを確認する場合はビット 1, 0 をマスクし、ビット 2 のみで判断してください。

表 11.11 ROSCS レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	ROSCCLKACT	HS IntOSC アクティブステータス 0：HS IntOSC はインアクティブ 1：HS IntOSC はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

11.4.2.11 ROSCSTPM — HS IntOSC 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 1018_{H}

リセット後の値 0000 0002_{H}

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCS TPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 11.12 ROSCSTPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ROSCSTPMSK	スタンバイモード時の HS IntOSC 停止要求マスク 0：スタンバイモード時 HS IntOSC 動作停止 1：スタンバイモード時 HS IntOSC 動作継続 このビットの設定に関係なく HS IntOSC 禁止トリガ ROSCE.ROSCDISTRG が 1 に設定されると HS IntOSC は停止しますので注意してください。

11.4.2.12 PLL0E — PLL0 イネーブルレジスタ

このレジスタは PLL0 の起動と停止のために用いられます。

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章 書き込み保護レジスタ」**を参照してください。

このレジスタは ISORES 信号によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 9000$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL0DISTRG	PLL0ENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.13 PLL0E レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	PLL0DISTRG	PLL0 ディセーブルトリガ注 1 0：機能なし 1：PLL0 を停止
0	PLL0ENTRG	PLL0 イネーブルトリガ注 2 0：機能なし 1：PLL0 を起動

注 1. 〈PLL0E.PLL0DISTRG により PLL0 を停止するときの動作停止推奨手順〉
1. PLL0 を選択しているクロックドメインがないことを確認してください。
PLL0 を選択しているクロックドメインがあった場合、Disable 設定または、PLL0 以外のクロックソースを選択してください。
2. PLL0 を停止（PLL0E.PLL0DISTRG = 1）。
3. PLL0 の停止を確認（PLL0S.PLL0CLKACT = 0）。

注 2. PLL0ENTRG により PLL0 を起動するときは、MainOSC が動作していることを確認してから行ってください。

11.4.2.13 PLL0S — PLL0 ステータスレジスタ

このレジスタは PLL0 のアクティブステータス情報を示します。

このレジスタは ISORES 信号によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 9004$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL0CLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. ビット 1, 0 には不定値が入ります。
ステータスを確認する場合はビット 1, 0 をマスクし、ビット 2 のみで判断してください。

表 11.14 PLL0S レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	PLL0CLKACT	PLL0 アクティブステータス 0：PLL0 はインアクティブ 1：PLL0 はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

11.4.2.14 PLL0C — PLL0 コントロールレジスタ

このレジスタは PLL0 の出力クロック周波数 $f_{CPLLCLK}$ を設定します。

このレジスタは PLL0 がディセーブル状態でのみ書き込みが可能です。

このレジスタは ISORES 信号によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 9008$_H$

リセット後の値 6000 123B$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PLL0FVV[1:0]		PLL0MF[4:0]					—	PLL0ADJ[2:0]			—	—	—	—
リセット後の値	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PLL0MD	PLL0SMD	PLL0M[1:0]		PLL0P[2:0]			—	PLL0N[6:0]						
リセット後の値	0	0	0	1	0	0	1	0	0	0	1	1	1	0	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.15 PLL0C レジスタの内容 (1/4)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30、29	PLL0FVV[1:0]	VCO 出力周波数範囲の設定 PLL0FVV1 / PLL0FVV0 / VCO 出力周波数範囲 0 / 0 / 320 ～ 360 MHz 0 / 1 / 360 ～ 400 MHz 1 / 0 / 400 ～ 440 MHz 1 / 1 / 440 ～ 480 MHz

表 11.15 PLL0C レジスタの内容 (2/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>28 ～ 24</td><td>PLL0MF[4:0]</td><td>周波数変調周期の設定
変調周波数は、以下のように計算されます。
変調周波数 = (f_x / Mr) / (MFD × 4)
例：f_X = 8 MHz、Mr = 1、MFD = 00011_B = 20 の場合
変調周波数 = (8/1) / (20 × 4) = 100 [kHz]
変調周波数の設定範囲は、電気的特性を参照してください。
<table>
<tr><th>PLL0MF4</th><th>PLL0MF3</th><th>PLL0MF2</th><th>PLL0MF1</th><th>PLL0MF0</th><th>周波数変調分周比
MFD</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>10</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>12</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>18</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>20</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>22</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>26</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>28</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>30</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>34</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>38</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>40</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>44</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>50</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>56</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>58</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>60</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>62</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>66</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>72</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>76</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>80</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>84</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>86</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>100</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>120</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>126</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>134</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>150</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>166</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>200</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>250</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>300</td></tr>
</table></td></tr>
<tr><td>23</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 11.15 PLL0C レジスタの内容 (3/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>22 ～ 20</td><td>PLL0ADJ[2:0]</td><td>周波数変調範囲の設定
<table>
<tr><th>PLL0ADJ2</th><th>PLL0ADJ1</th><th>PLL0ADJ0</th><th>周波数変調範囲</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1%</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>2%</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>3%</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>4%</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>5%</td></tr>
</table></td></tr>
<tr><td>19 ～ 15</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>14</td><td>PLL0MD</td><td>動作モードの設定
0：PLL モード（固定周波数）
1：SSCG モード（変調周波数）</td></tr>
<tr><td>13</td><td>PLL0SMD</td><td>SSCG モード時変調モードの設定
0：設定禁止
1：センタースプレッド変調</td></tr>
<tr><td>12、11</td><td>PLL0M[1:0]</td><td>Mr- 値の設定
<table>
<tr><th>PLL0M1</th><th>PLL0M0</th><th>Mr- 値</th><th>MainOSC の周波数 f_X</th></tr>
<tr><td>0</td><td>0</td><td>1</td><td>8 MHz ≦ f_X ≦ 24 MHz</td></tr>
<tr><td>0</td><td>1</td><td>2</td><td>16 MHz ≦ f_X ≦ 24 MHz</td></tr>
<tr><td>1</td><td>0</td><td>3</td><td>f_X = 24 MHz</td></tr>
<tr><td>1</td><td>1</td><td colspan="2">設定禁止</td></tr>
</table></td></tr>
<tr><td>10 ～ 8</td><td>PLL0P[2:0]</td><td>Pr- 値の設定
<table>
<tr><th>PLL0P2</th><th>PLL0P1</th><th>PLL0P0</th><th>Pr- 値</th><th>出力周波数範囲</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td colspan="2">設定禁止</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td colspan="2">設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>4</td><td>80 MHz ～ 120 MHz</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>8</td><td>40 MHz ～ 80MHz</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>16</td><td>25 MHz ～ 40MHz</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td colspan="2">設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td colspan="2">設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td colspan="2">設定禁止</td></tr>
</table></td></tr>
<tr><td>7</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 11.15 PLL0C レジスタの内容 (4/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>6 ～ 0</td><td>PLL0N[6:0]</td><td>Nr- 値の設定
Nr- 値は、以下のように計算されます。
Nr- 値 = PLL0N[6:0] + 1
<table>
<tr><th>PLL0 N6</th><th>PLL0 N5</th><th>PLL0 N4</th><th>PLL0 N3</th><th>PLL0 N2</th><th>PLL0 N1</th><th>PLL0 N0</th><th>Nr- 値</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>12</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>13</td></tr>
<tr><td colspan="7">:</td><td>:</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>79</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>80</td></tr>
<tr><td colspan="7">その他すべて</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

注 意

本レジスタは PLL0 停止時に設定してください。

表 11.16 PLL0 出力の表

MainOSC = 8 MHz (1/2)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	16	0	1	1	0	0	0	1	50	25.00
1	16	0	1	1	0	0	1	0	51	25.50
1	16	0	1	1	0	0	1	1	52	26.00
1	16	0	1	1	0	1	0	0	53	26.50
1	16	0	1	1	0	1	0	1	54	27.00
1	16	0	1	1	0	1	1	0	55	27.50
1	16	0	1	1	0	1	1	1	56	28.00
1	16	0	1	1	1	0	0	0	57	28.50
1	16	0	1	1	1	0	0	1	58	29.00
1	16	0	1	1	1	0	1	0	59	29.50
1	16	0	1	1	1	0	1	1	60	30.00
1	8	0	1	0	0	1	1	1	40	40.00
1	8	0	1	0	1	0	0	0	41	41.00
1	8	0	1	0	1	0	0	1	42	42.00
1	8	0	1	0	1	0	1	0	43	43.00
1	8	0	1	0	1	0	1	1	44	44.00
1	8	0	1	0	1	1	0	0	45	45.00
1	8	0	1	0	1	1	0	1	46	46.00
1	8	0	1	0	1	1	1	0	47	47.00
1	8	0	1	0	1	1	1	1	48	48.00
1	8	0	1	1	0	0	0	0	49	49.00
1	8	0	1	1	0	0	0	1	50	50.00
1	8	0	1	1	0	0	1	0	51	51.00
1	8	0	1	1	0	0	1	1	52	52.00
1	8	0	1	1	0	1	0	0	53	53.00

MainOSC = 8 MHz (2/2)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	8	0	1	1	0	1	0	1	54	54.00
1	8	0	1	1	0	1	1	0	55	55.00
1	8	0	1	1	0	1	1	1	56	56.00
1	8	0	1	1	1	0	0	0	57	57.00
1	8	0	1	1	1	0	0	1	58	58.00
1	8	0	1	1	1	0	1	0	59	59.00
1	8	0	1	1	1	0	1	1	60	60.00
1	4	0	1	0	0	1	1	1	40	80.00
1	4	0	1	0	1	0	0	0	41	82.00
1	4	0	1	0	1	0	0	1	42	84.00
1	4	0	1	0	1	0	1	0	43	86.00
1	4	0	1	0	1	0	1	1	44	88.00
1	4	0	1	0	1	1	0	0	45	90.00
1	4	0	1	0	1	1	0	1	46	92.00
1	4	0	1	0	1	1	1	0	47	94.00
1	4	0	1	0	1	1	1	1	48	96.00
1	4	0	1	1	0	0	0	0	49	98.00
1	4	0	1	1	0	0	0	1	50	100.00
1	4	0	1	1	0	0	1	0	51	102.00
1	4	0	1	1	0	0	1	1	52	104.00
1	4	0	1	1	0	1	0	0	53	106.00
1	4	0	1	1	0	1	0	1	54	108.00
1	4	0	1	1	0	1	1	0	55	110.00
1	4	0	1	1	0	1	1	1	56	112.00
1	4	0	1	1	1	0	0	0	57	114.00
1	4	0	1	1	1	0	0	1	58	116.00
1	4	0	1	1	1	0	1	0	59	118.00
1	4	0	1	1	1	0	1	1	60	120.00

MainOSC = 12 MHz (1/2)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	16	0	1	0	0	0	0	1	34	25.50
1	16	0	1	0	0	0	1	0	35	26.25
1	16	0	1	0	0	0	1	1	36	27.00
1	16	0	1	0	0	1	0	0	37	27.75
1	16	0	1	0	0	1	0	1	38	28.50
1	16	0	1	0	0	1	1	0	39	29.25
1	16	0	1	0	0	1	1	1	40	30.00
1	8	0	0	1	1	0	1	0	27	40.50
1	8	0	0	1	1	0	1	1	28	42.00
1	8	0	0	1	1	1	0	0	29	43.50
1	8	0	0	1	1	1	0	1	30	45.00
1	8	0	0	1	1	1	1	0	31	46.50

MainOSC = 12 MHz (2/2)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	8	0	0	1	1	1	1	1	32	48.00
1	8	0	1	0	0	0	0	0	33	49.50
1	8	0	1	0	0	0	0	1	34	51.00
1	8	0	1	0	0	0	1	0	35	52.50
1	8	0	1	0	0	0	1	1	36	54.00
1	8	0	1	0	0	1	0	0	37	55.50
1	8	0	1	0	0	1	0	1	38	57.00
1	8	0	1	0	0	1	1	0	39	58.50
1	8	0	1	0	0	1	1	1	40	60.00
1	4	0	0	1	1	0	1	0	27	81.00
1	4	0	0	1	1	0	1	1	28	84.00
1	4	0	0	1	1	1	0	0	29	87.00
1	4	0	0	1	1	1	0	1	30	90.00
1	4	0	0	1	1	1	1	0	31	93.00
1	4	0	0	1	1	1	1	1	32	96.00
1	4	0	1	0	0	0	0	0	33	99.00
1	4	0	1	0	0	0	0	1	34	102.00
1	4	0	1	0	0	0	1	0	35	105.00
1	4	0	1	0	0	0	1	1	36	108.00
1	4	0	1	0	0	1	0	0	37	111.00
1	4	0	1	0	0	1	0	1	38	114.00
1	4	0	1	0	0	1	1	0	39	117.00
1	4	0	1	0	0	1	1	1	40	120.00

MainOSC = 16 MHz (1/3)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	16	0	0	1	1	0	0	0	25	25.00
1	16	0	0	1	1	0	0	1	26	26.00
1	16	0	0	1	1	0	1	0	27	27.00
1	16	0	0	1	1	0	1	1	28	28.00
1	16	0	0	1	1	1	0	0	29	29.00
1	16	0	0	1	1	1	0	1	30	30.00
1	8	0	0	1	0	0	1	1	20	40.00
1	8	0	0	1	0	1	0	0	21	42.00
1	8	0	0	1	0	1	0	1	22	44.00
1	8	0	0	1	0	1	1	0	23	46.00
1	8	0	0	1	0	1	1	1	24	48.00
1	8	0	0	1	1	0	0	0	25	50.00
1	8	0	0	1	1	0	0	1	26	52.00
1	8	0	0	1	1	0	1	0	27	54.00
1	8	0	0	1	1	0	1	1	28	56.00
1	8	0	0	1	1	1	0	0	29	58.00

MainOSC = 16 MHz (2/3)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	8	0	0	1	1	1	0	1	30	60.00
1	4	0	0	1	0	0	1	1	20	80.00
1	4	0	0	1	0	1	0	0	21	84.00
1	4	0	0	1	0	1	0	1	22	88.00
1	4	0	0	1	0	1	1	0	23	92.00
1	4	0	0	1	0	1	1	1	24	96.00
1	4	0	0	1	1	0	0	0	25	100.00
1	4	0	0	1	1	0	0	1	26	104.00
1	4	0	0	1	1	0	1	0	27	108.00
1	4	0	0	1	1	0	1	1	28	112.00
1	4	0	0	1	1	1	0	0	29	116.00
1	4	0	0	1	1	1	0	1	30	120.00
2	16	0	1	1	0	0	0	1	50	25.00
2	16	0	1	1	0	0	1	0	51	25.50
2	16	0	1	1	0	0	1	1	52	26.00
2	16	0	1	1	0	1	0	0	53	26.50
2	16	0	1	1	0	1	0	1	54	27.00
2	16	0	1	1	0	1	1	0	55	27.50
2	16	0	1	1	0	1	1	1	56	28.00
2	16	0	1	1	1	0	0	0	57	28.50
2	16	0	1	1	1	0	0	1	58	29.00
2	16	0	1	1	1	0	1	0	59	29.50
2	16	0	1	1	1	0	1	1	60	30.00
2	8	0	1	0	0	1	1	1	40	40.00
2	8	0	1	0	1	0	0	0	41	41.00
2	8	0	1	0	1	0	0	1	42	42.00
2	8	0	1	0	1	0	1	0	43	43.00
2	8	0	1	0	1	0	1	1	44	44.00
2	8	0	1	0	1	1	0	0	45	45.00
2	8	0	1	0	1	1	0	1	46	46.00
2	8	0	1	0	1	1	1	0	47	47.00
2	8	0	1	0	1	1	1	1	48	48.00
2	8	0	1	1	0	0	0	0	49	49.00
2	8	0	1	1	0	0	0	1	50	50.00
2	8	0	1	1	0	0	1	0	51	51.00
2	8	0	1	1	0	0	1	1	52	52.00
2	8	0	1	1	0	1	0	0	53	53.00
2	8	0	1	1	0	1	0	1	54	54.00
2	8	0	1	1	0	1	1	0	55	55.00
2	8	0	1	1	0	1	1	1	56	56.00
2	8	0	1	1	1	0	0	0	57	57.00
2	8	0	1	1	1	0	0	1	58	58.00
2	8	0	1	1	1	0	1	0	59	59.00

MainOSC = 16 MHz (3/3)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
2	8	0	1	1	1	0	1	1	60	60.00
2	4	0	1	0	0	1	1	1	40	80.00
2	4	0	1	0	1	0	0	0	41	82.00
2	4	0	1	0	1	0	0	1	42	84.00
2	4	0	1	0	1	0	1	0	43	86.00
2	4	0	1	0	1	0	1	1	44	88.00
2	4	0	1	0	1	1	0	0	45	90.00
2	4	0	1	0	1	1	0	1	46	92.00
2	4	0	1	0	1	1	1	0	47	94.00
2	4	0	1	0	1	1	1	1	48	96.00
2	4	0	1	1	0	0	0	0	49	98.00
2	4	0	1	1	0	0	0	1	50	100.00
2	4	0	1	1	0	0	1	0	51	102.00
2	4	0	1	1	0	0	1	1	52	104.00
2	4	0	1	1	0	1	0	0	53	106.00
2	4	0	1	1	0	1	0	1	54	108.00
2	4	0	1	1	0	1	1	0	55	110.00
2	4	0	1	1	0	1	1	1	56	112.00
2	4	0	1	1	1	0	0	0	57	114.00
2	4	0	1	1	1	0	0	1	58	116.00
2	4	0	1	1	1	0	1	0	59	118.00
2	4	0	1	1	1	0	1	1	60	120.00

MainOSC = 20 MHz (1/2)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	16	0	0	1	0	1	1	1	24	30.00
1	8	0	0	0	1	1	1	1	16	40.00
1	8	0	0	1	0	0	0	0	17	42.50
1	8	0	0	1	0	0	0	1	18	45.00
1	8	0	0	1	0	0	1	0	19	47.50
1	8	0	0	1	0	0	1	1	20	50.00
1	8	0	0	1	0	1	0	0	21	52.50
1	8	0	0	1	0	1	0	1	22	55.00
1	8	0	0	1	0	1	1	0	23	57.50
1	8	0	0	1	0	1	1	1	24	60.00
1	4	0	0	0	1	1	1	1	16	80.00
1	4	0	0	1	0	0	0	0	17	85.00
1	4	0	0	1	0	0	0	1	18	90.00
1	4	0	0	1	0	0	1	0	19	95.00
1	4	0	0	1	0	0	1	1	20	100.00
1	4	0	0	1	0	1	0	0	21	105.00
1	4	0	0	1	0	1	0	1	22	110.00

MainOSC = 20 MHz (2/2)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	4	0	0	1	0	1	1	0	23	115.00
1	4	0	0	1	0	1	1	1	24	120.00
2	16	0	1	0	1	1	1	1	48	30.00
2	8	0	0	1	1	1	1	1	32	40.00
2	8	0	1	0	0	0	0	0	33	41.25
2	8	0	1	0	0	0	0	1	34	42.50
2	8	0	1	0	0	0	1	0	35	43.75
2	8	0	1	0	0	0	1	1	36	45.00
2	8	0	1	0	0	1	0	0	37	46.25
2	8	0	1	0	0	1	0	1	38	47.50
2	8	0	1	0	0	1	1	0	39	48.75
2	8	0	1	0	0	1	1	1	40	50.00
2	8	0	1	0	1	0	0	0	41	51.25
2	8	0	1	0	1	0	0	1	42	52.50
2	8	0	1	0	1	0	1	0	43	53.75
2	8	0	1	0	1	0	1	1	44	55.00
2	8	0	1	0	1	1	0	0	45	56.25
2	8	0	1	0	1	1	0	1	46	57.50
2	8	0	1	0	1	1	1	0	47	58.75
2	8	0	1	0	1	1	1	1	48	60.00
2	4	0	0	1	1	1	1	1	32	80.00
2	4	0	1	0	0	0	0	0	33	82.50
2	4	0	1	0	0	0	0	1	34	85.00
2	4	0	1	0	0	0	1	0	35	87.50
2	4	0	1	0	0	0	1	1	36	90.00
2	4	0	1	0	0	1	0	0	37	92.50
2	4	0	1	0	0	1	0	1	38	95.00
2	4	0	1	0	0	1	1	0	39	97.50
2	4	0	1	0	0	1	1	1	40	100.00
2	4	0	1	0	1	0	0	0	41	102.50
2	4	0	1	0	1	0	0	1	42	105.00
2	4	0	1	0	1	0	1	0	43	107.50
2	4	0	1	0	1	0	1	1	44	110.00
2	4	0	1	0	1	1	0	0	45	112.50
2	4	0	1	0	1	1	0	1	46	115.00
2	4	0	1	0	1	1	1	0	47	117.50
2	4	0	1	0	1	1	1	1	48	120.00

MainOSC = 24 MHz (1/4)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	8	0	0	0	1	1	0	1	14	42.00
1	8	0	0	0	1	1	1	0	15	45.00

MainOSC = 24 MHz (2/4)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
1	8	0	0	0	1	1	1	1	16	48.00
1	8	0	0	1	0	0	0	0	17	51.00
1	8	0	0	1	0	0	0	1	18	54.00
1	8	0	0	1	0	0	1	0	19	57.00
1	8	0	0	1	0	0	1	1	20	60.00
1	4	0	0	0	1	1	0	1	14	84.00
1	4	0	0	0	1	1	1	0	15	90.00
1	4	0	0	0	1	1	1	1	16	96.00
1	4	0	0	1	0	0	0	0	17	102.00
1	4	0	0	1	0	0	0	1	18	108.00
1	4	0	0	1	0	0	1	0	19	114.00
1	4	0	0	1	0	0	1	1	20	120.00
2	8	0	0	1	1	0	1	0	27	40.50
2	8	0	0	1	1	0	1	1	28	42.00
2	8	0	0	1	1	1	0	0	29	43.50
2	8	0	0	1	1	1	0	1	30	45.00
2	8	0	0	1	1	1	1	0	31	46.50
2	8	0	0	1	1	1	1	1	32	48.00
2	8	0	1	0	0	0	0	0	33	49.50
2	8	0	1	0	0	0	0	1	34	51.00
2	8	0	1	0	0	0	1	0	35	52.50
2	8	0	1	0	0	0	1	1	36	54.00
2	8	0	1	0	0	1	0	0	37	55.50
2	8	0	1	0	0	1	0	1	38	57.00
2	8	0	1	0	0	1	1	0	39	58.50
2	8	0	1	0	0	1	1	1	40	60.00
2	4	0	0	1	1	0	1	0	27	81.00
2	4	0	0	1	1	0	1	1	28	84.00
2	4	0	0	1	1	1	0	0	29	87.00
2	4	0	0	1	1	1	0	1	30	90.00
2	4	0	0	1	1	1	1	0	31	93.00
2	4	0	0	1	1	1	1	1	32	96.00
2	4	0	1	0	0	0	0	0	33	99.00
2	4	0	1	0	0	0	0	1	34	102.00
2	4	0	1	0	0	0	1	0	35	105.00
2	4	0	1	0	0	0	1	1	36	108.00
2	4	0	1	0	0	1	0	0	37	111.00
2	4	0	1	0	0	1	0	1	38	114.00
2	4	0	1	0	0	1	1	0	39	117.00
2	4	0	1	0	0	1	1	1	40	120.00
3	16	0	1	1	0	0	0	1	50	25.00
3	16	0	1	1	0	0	1	0	51	25.50
3	16	0	1	1	0	0	1	1	52	26.00

MainOSC = 24 MHz (3/4)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
3	16	0	1	1	0	1	0	0	53	26.50
3	16	0	1	1	0	1	0	1	54	27.00
3	16	0	1	1	0	1	1	0	55	27.50
3	16	0	1	1	0	1	1	1	56	28.00
3	16	0	1	1	1	0	0	0	57	28.50
3	16	0	1	1	1	0	0	1	58	29.00
3	16	0	1	1	1	0	1	0	59	29.50
3	16	0	1	1	1	0	1	1	60	30.00
3	8	0	1	0	0	1	1	1	40	40.00
3	8	0	1	0	1	0	0	0	41	41.00
3	8	0	1	0	1	0	0	1	42	42.00
3	8	0	1	0	1	0	1	0	43	43.00
3	8	0	1	0	1	0	1	1	44	44.00
3	8	0	1	0	1	1	0	0	45	45.00
3	8	0	1	0	1	1	0	1	46	46.00
3	8	0	1	0	1	1	1	0	47	47.00
3	8	0	1	0	1	1	1	1	48	48.00
3	8	0	1	1	0	0	0	0	49	49.00
3	8	0	1	1	0	0	0	1	50	50.00
3	8	0	1	1	0	0	1	0	51	51.00
3	8	0	1	1	0	0	1	1	52	52.00
3	8	0	1	1	0	1	0	0	53	53.00
3	8	0	1	1	0	1	0	1	54	54.00
3	8	0	1	1	0	1	1	0	55	55.00
3	8	0	1	1	0	1	1	1	56	56.00
3	8	0	1	1	1	0	0	0	57	57.00
3	8	0	1	1	1	0	0	1	58	58.00
3	8	0	1	1	1	0	1	0	59	59.00
3	8	0	1	1	1	0	1	1	60	60.00
3	4	0	1	0	0	1	1	1	40	80.00
3	4	0	1	0	1	0	0	0	41	82.00
3	4	0	1	0	1	0	0	1	42	84.00
3	4	0	1	0	1	0	1	0	43	86.00
3	4	0	1	0	1	0	1	1	44	88.00
3	4	0	1	0	1	1	0	0	45	90.00
3	4	0	1	0	1	1	0	1	46	92.00
3	4	0	1	0	1	1	1	0	47	94.00
3	4	0	1	0	1	1	1	1	48	96.00
3	4	0	1	1	0	0	0	0	49	98.00
3	4	0	1	1	0	0	0	1	50	100.00
3	4	0	1	1	0	0	1	0	51	102.00
3	4	0	1	1	0	0	1	1	52	104.00
3	4	0	1	1	0	1	0	0	53	106.00

MainOSC = 24 MHz (4/4)

Mr	Pr	NI6	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{CPLLCLK}$ 周波数 (MHz)
3	4	0	1	1	0	1	0	1	54	108.00
3	4	0	1	1	0	1	1	0	55	110.00
3	4	0	1	1	0	1	1	1	56	112.00
3	4	0	1	1	1	0	0	0	57	114.00
3	4	0	1	1	1	0	0	1	58	116.00
3	4	0	1	1	1	0	1	0	59	118.00
3	4	0	1	1	1	0	1	1	60	120.00

11.4.2.15 PLL0ST — PLL0 安定時間レジスタ

PLL0 安定時間を指定します。

このレジスタは ISORES 信号によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 900C$_H$

リセット後の値 0000 1B80$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PLL0CLKST[12:0]												
リセット後の値	0	0	0	1	1	0	1	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.17 PLL0ST レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～ 0	PLL0CLKST [12:0]	PLL0 安定時間設定 PLL0 安定カウンタは、HS IntOSC で動作しています。 PLL0 動作モードの設定により、以下の値を設定するようにしてください。 モード: PLL0CLKST[12:0] PLL モード: 0AA0$_H$ SSCG モード: 1B80$_H$

備　考

PLL0 の安定時間の詳細については、「データシート」を参照してください。

注　意

本レジスタは PLL0 停止時に設定してください。

11.4.2.16 PLL1E — PLL1 イネーブルレジスタ

このレジスタは PLL1 の起動と停止のために用いられます。

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章 書き込み保護レジスタ」**を参照してください。

このレジスタは ISORES 信号によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 9100$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1DISTRG	PLL1ENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.18 PLL1E レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	PLL1DISTRG	PLL1 ディセーブルトリガ注 1 0：機能なし 1：PLL1 を停止
0	PLL1ENTRG	PLL1 イネーブルトリガ注 2 0：機能なし 1：PLL1 を起動

注 1. 〈PLL1E.PLL1DISTRG により PLL1 を停止するときの動作停止推奨手順〉
1. PLL1 を選択しているクロックドメインがないことを確認してください。
PLL1 を選択しているクロックドメインがあった場合、Disable 設定または、PLL1 以外のクロックソースを選択してください。
2. PLL1 を停止（PLL1E.PLL1DISTRG = 1）。
3. PLL1 の停止を確認（PLL1S.PLL1CLKACT = 0）。

注 2. PLL1ENTRG により PLL1 を起動するときは、MainOSC が動作していることを確認してから行ってください。

11.4.2.17 PLL1S — PLL1 ステータスレジスタ

このレジスタは PLL1 のアクティブステータス情報を保持します。

このレジスタは ISORES 信号によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 9104$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1CLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. ビット 1, 0 には不定値が入ります。
ステータスを確認する場合はビット 1, 0 をマスクし、ビット 2 のみで判断してください。

表 11.19 PLL1S レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	PLL1CLKACT	PLL1 アクティブステータス 0：PLL1 はインアクティブ 1：PLL1 はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

11.4.2.18 PLL1C — PLL1 コントロールレジスタ

このレジスタは「**11.3.5.2 PLL1 のパラメータ**」に示す PLL1 の出力クロック周波数 $f_{PPLLCLK}$ を設定します。

このレジスタは、PLL1 がディセーブル状態でのみ書き込みが可能です。

このレジスタは ISORES 信号によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 9108$_H$

リセット後の値 0000 133B$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OUTB SEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	M[1:0]		PA[2:0]			—	—	N[5:0]					
リセット後の値	0	0	0	1	0	0	1	1	0	0	1	1	1	0	1	1
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 11.20 PLL1C レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	OUTBSEL	$f_{PPLLCLK}$ 選択ビット 0：f_{VCOOUT} の PA[2:0] 分周回路で分周したクロックを選択 1：f_{VCOOUT} を 5 分周したクロックを選択
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12、11	M[1:0]	

M1	M0	Mr- 値	MainOSC の周波数 f_X
0	0	1	8 MHz ≤ f_X ≤ 24 MHz
0	1	2	16 MHz ≤ f_X ≤ 24 MHz
1	0	3	f_X = 24 MHz
1	1	設定禁止	

10 ～ 8	PA[2:0]	P 分周回路の選択

PA[2:0]	Par- 値	PLL 周波数出力範囲
000_B	設定禁止	—
001_B	設定禁止	—
010_B	4	60 MHz ～ 80 MHz
011_B	6	40 MHz ～ 80 MHz
100_B	8	30 MHz ～ 60 MHz
101_B	16	25 MHz ～ 30 MHz
110_B	設定禁止	—
111_B	設定禁止	—

7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 11.20 PLL1C レジスタの内容 (2/2)

ビット位置	ビット名	機能
5 ～ 0	N[5:0]	分周比 Nr を設定します。 N[5:0] の内容については、**「表 11.21 PLL1 出力の表」**を参照してください。

注 意

本レジスタは PLL1 停止時に設定してください。

表 11.21 PLL1 出力の表

MainOSC = 8 MHz (1/3)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	1	16	1	1	0	0	0	1	50	25.00
0	1	16	1	1	0	0	1	0	51	25.50
0	1	16	1	1	0	0	1	1	52	26.00
0	1	16	1	1	0	1	0	0	53	26.50
0	1	16	1	1	0	1	0	1	54	27.00
0	1	16	1	1	0	1	1	0	55	27.50
0	1	16	1	1	0	1	1	1	56	28.00
0	1	16	1	1	1	0	0	0	57	28.50
0	1	16	1	1	1	0	0	1	58	29.00
0	1	16	1	1	1	0	1	0	59	29.50
0	1	16	1	1	1	0	1	1	60	30.00
0	1	8	0	1	1	1	0	1	30	30.00
0	1	8	0	1	1	1	1	0	31	31.00
0	1	8	0	1	1	1	1	1	32	32.00
0	1	8	1	0	0	0	0	0	33	33.00
0	1	8	1	0	0	0	0	1	34	34.00
0	1	8	1	0	0	0	1	0	35	35.00
0	1	8	1	0	0	0	1	1	36	36.00
0	1	8	1	0	0	1	0	0	37	37.00
0	1	8	1	0	0	1	0	1	38	38.00
0	1	8	1	0	0	1	1	0	39	39.00
0	1	8	1	0	0	1	1	1	40	40.00
0	1	8	1	0	1	0	0	0	41	41.00
0	1	8	1	0	1	0	0	1	42	42.00
0	1	8	1	0	1	0	1	0	43	43.00
0	1	8	1	0	1	0	1	1	44	44.00
0	1	8	1	0	1	1	0	0	45	45.00
0	1	8	1	0	1	1	0	1	46	46.00
0	1	8	1	0	1	1	1	0	47	47.00
0	1	8	1	0	1	1	1	1	48	48.00
0	1	8	1	1	0	0	0	0	49	49.00
0	1	8	1	1	0	0	0	1	50	50.00

MainOSC = 8 MHz (2/3)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	1	8	1	1	0	0	1	0	51	51.00
0	1	8	1	1	0	0	1	1	52	52.00
0	1	8	1	1	0	1	0	0	53	53.00
0	1	8	1	1	0	1	0	1	54	54.00
0	1	8	1	1	0	1	1	0	55	55.00
0	1	8	1	1	0	1	1	1	56	56.00
0	1	8	1	1	1	0	0	0	57	57.00
0	1	8	1	1	1	0	0	1	58	58.00
0	1	8	1	1	1	0	1	0	59	59.00
0	1	8	1	1	1	0	1	1	60	60.00
0	1	4	0	1	1	1	0	1	30	60.00
0	1	4	0	1	1	1	1	0	31	62.00
0	1	4	0	1	1	1	1	1	32	64.00
0	1	4	1	0	0	0	0	0	33	66.00
0	1	4	1	0	0	0	0	1	34	68.00
0	1	4	1	0	0	0	1	0	35	70.00
0	1	4	1	0	0	0	1	1	36	72.00
0	1	4	1	0	0	1	0	0	37	74.00
0	1	4	1	0	0	1	0	1	38	76.00
0	1	4	1	0	0	1	1	0	39	78.00
0	1	4	1	0	0	1	1	1	40	80.00
1	1	注1	0	1	1	1	0	1	30	48.00
1	1	注1	0	1	1	1	1	0	31	49.60
1	1	注1	0	1	1	1	1	1	32	51.20
1	1	注1	1	0	0	0	0	0	33	52.80
1	1	注1	1	0	0	0	0	1	34	54.40
1	1	注1	1	0	0	0	1	0	35	56.00
1	1	注1	1	0	0	0	1	1	36	57.60
1	1	注1	1	0	0	1	0	0	37	59.20
1	1	注1	1	0	0	1	0	1	38	60.80
1	1	注1	1	0	0	1	1	0	39	62.40
1	1	注1	1	0	0	1	1	1	40	64.00
1	1	注1	1	0	1	0	0	0	41	65.60
1	1	注1	1	0	1	0	0	1	42	67.20
1	1	注1	1	0	1	0	1	0	43	68.80
1	1	注1	1	0	1	0	1	1	44	70.40
1	1	注1	1	0	1	1	0	0	45	72.00
1	1	注1	1	0	1	1	0	1	46	73.60
1	1	注1	1	0	1	1	1	0	47	75.20

MainOSC = 8 MHz (3/3)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
1	1	注 1	1	0	1	1	1	1	48	76.80
1	1	注 1	1	1	0	0	0	0	49	78.40
1	1	注 1	1	1	0	0	0	1	50	80.00

注 1. Par の値に関わらず、VCO の周波数出力 f_{VCOOUT} の 5 分周のクロックが選択されます。

MainOSC = 12 MHz (1/2)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	1	16	1	0	0	0	0	1	34	25.50
0	1	16	1	0	0	0	1	0	35	26.25
0	1	16	1	0	0	0	1	1	36	27.00
0	1	16	1	0	0	1	0	0	37	27.75
0	1	16	1	0	0	1	0	1	38	28.50
0	1	16	1	0	0	1	1	0	39	29.25
0	1	16	1	0	0	1	1	1	40	30.00
0	1	8	0	1	0	0	1	1	20	30.00
0	1	8	0	1	0	1	0	0	21	31.50
0	1	8	0	1	0	1	0	1	22	33.00
0	1	8	0	1	0	1	1	0	23	34.50
0	1	8	0	1	0	1	1	1	24	36.00
0	1	8	0	1	1	0	0	0	25	37.50
0	1	8	0	1	1	0	0	1	26	39.00
0	1	8	0	1	1	0	1	0	27	40.50
0	1	8	0	1	1	0	1	1	28	42.00
0	1	8	0	1	1	1	0	0	29	43.50
0	1	8	0	1	1	1	0	1	30	45.00
0	1	8	0	1	1	1	1	0	31	46.50
0	1	8	0	1	1	1	1	1	32	48.00
0	1	8	1	0	0	0	0	0	33	49.50
0	1	8	1	0	0	0	0	1	34	51.00
0	1	8	1	0	0	0	1	0	35	52.50
0	1	8	1	0	0	0	1	1	36	54.00
0	1	8	1	0	0	1	0	0	37	55.50
0	1	8	1	0	0	1	0	1	38	57.00
0	1	8	1	0	0	1	1	0	39	58.50
0	1	8	1	0	0	1	1	1	40	60.00
0	1	4	0	1	0	0	1	1	20	60.00
0	1	4	0	1	0	1	0	0	21	63.00
0	1	4	0	1	0	1	0	1	22	66.00
0	1	4	0	1	0	1	1	0	23	69.00
0	1	4	0	1	0	1	1	1	24	72.00

MainOSC = 12 MHz (2/2)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	1	4	0	1	1	0	0	0	25	75.00
0	1	4	0	1	1	0	0	1	26	78.00
1	1	注 1	0	1	0	0	1	1	20	48.00
1	1	注 1	0	1	0	1	0	0	21	50.40
1	1	注 1	0	1	0	1	0	1	22	52.80
1	1	注 1	0	1	0	1	1	0	23	55.20
1	1	注 1	0	1	0	1	1	1	24	57.60
1	1	注 1	0	1	1	0	0	0	25	60.00
1	1	注 1	0	1	1	0	0	1	26	62.40
1	1	注 1	0	1	1	0	1	0	27	64.80
1	1	注 1	0	1	1	0	1	1	28	67.20
1	1	注 1	0	1	1	1	0	0	29	69.60
1	1	注 1	0	1	1	1	0	1	30	72.00
1	1	注 1	0	1	1	1	1	0	31	74.40
1	1	注 1	0	1	1	1	1	1	32	76.80
1	1	注 1	1	0	0	0	0	0	33	79.20

注 1.　Par の値に関わらず、VCO の周波数出力 f_{VCOOUT} の 5 分周のクロックが選択されます。

MainOSC = 16 MHz (1/3)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	1	16	0	1	1	0	0	0	25	25.00
0	1	16	0	1	1	0	0	1	26	26.00
0	1	16	0	1	1	0	1	0	27	27.00
0	1	16	0	1	1	0	1	1	28	28.00
0	1	16	0	1	1	1	0	0	29	29.00
0	1	16	0	1	1	1	0	1	30	30.00
0	1	8	0	1	0	0	1	1	20	40.00
0	1	8	0	1	0	1	0	0	21	42.00
0	1	8	0	1	0	1	0	1	22	44.00
0	1	8	0	1	0	1	1	0	23	46.00
0	1	8	0	1	0	1	1	1	24	48.00
0	1	8	0	1	1	0	0	0	25	50.00
0	1	8	0	1	1	0	0	1	26	52.00
0	1	8	0	1	1	0	1	0	27	54.00
0	1	8	0	1	1	0	1	1	28	56.00
0	1	8	0	1	1	1	0	0	29	58.00
0	1	8	0	1	1	1	0	1	30	60.00
0	2	16	1	1	0	0	0	1	50	25.00
0	2	16	1	1	0	0	1	0	51	25.50

MainOSC = 16 MHz (2/3)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	2	16	1	1	0	0	1	1	52	26.00
0	2	16	1	1	0	1	0	0	53	26.50
0	2	16	1	1	0	1	0	1	54	27.00
0	2	16	1	1	0	1	1	0	55	27.50
0	2	16	1	1	0	1	1	1	56	28.00
0	2	16	1	1	1	0	0	0	57	28.50
0	2	16	1	1	1	0	0	1	58	29.00
0	2	16	1	1	1	0	1	0	59	29.50
0	2	16	1	1	1	0	1	1	60	30.00
0	2	8	0	1	1	1	0	1	30	30.00
0	2	8	0	1	1	1	1	0	31	31.00
0	2	8	0	1	1	1	1	1	32	32.00
0	2	8	1	0	0	0	0	0	33	33.00
0	2	8	1	0	0	0	0	1	34	34.00
0	2	8	1	0	0	0	1	0	35	35.00
0	2	8	1	0	0	0	1	1	36	36.00
0	2	8	1	0	0	1	0	0	37	37.00
0	2	8	1	0	0	1	0	1	38	38.00
0	2	8	1	0	0	1	1	0	39	39.00
0	2	8	1	0	0	1	1	1	40	40.00
0	2	8	1	0	1	0	0	0	41	41.00
0	2	8	1	0	1	0	0	1	42	42.00
0	2	8	1	0	1	0	1	0	43	43.00
0	2	8	1	0	1	0	1	1	44	44.00
0	2	8	1	0	1	1	0	0	45	45.00
0	2	8	1	0	1	1	0	1	46	46.00
0	2	8	1	0	1	1	1	0	47	47.00
0	2	8	1	0	1	1	1	1	48	48.00
0	2	8	1	1	0	0	0	0	49	49.00
0	2	8	1	1	0	0	0	1	50	50.00
0	2	8	1	1	0	0	1	0	51	51.00
0	2	8	1	1	0	0	1	1	52	52.00
0	2	8	1	1	0	1	0	0	53	53.00
0	2	8	1	1	0	1	0	1	54	54.00
0	2	8	1	1	0	1	1	0	55	55.00
0	2	8	1	1	0	1	1	1	56	56.00
0	2	8	1	1	1	0	0	0	57	57.00
0	2	8	1	1	1	0	0	1	58	58.00
0	2	8	1	1	1	0	1	0	59	59.00
0	2	8	1	1	1	0	1	1	60	60.00
0	2	4	0	1	1	1	0	1	30	60.00

MainOSC = 16 MHz (3/3)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	2	4	0	1	1	1	1	0	31	62.00
0	2	4	0	1	1	1	1	1	32	64.00
0	2	4	1	0	0	0	0	0	33	66.00
0	2	4	1	0	0	0	0	1	34	68.00
0	2	4	1	0	0	0	1	0	35	70.00
0	2	4	1	0	0	0	1	1	36	72.00
0	2	4	1	0	0	1	0	0	37	74.00
0	2	4	1	0	0	1	0	1	38	76.00
0	2	4	1	0	0	1	1	0	39	78.00
0	2	4	1	0	0	1	1	1	40	80.00
1	1	注 1	0	1	0	0	1	1	20	64.00
1	1	注 1	0	1	0	1	0	0	21	67.20
1	1	注 1	0	1	0	1	0	1	22	70.40
1	1	注 1	0	1	0	1	1	0	23	73.60
1	1	注 1	0	1	0	1	1	1	24	76.80
1	1	注 1	0	1	1	0	0	0	25	80.00
1	2	注 1	0	1	1	1	0	1	30	48.00
1	2	注 1	0	1	1	1	1	0	31	49.60
1	2	注 1	0	1	1	1	1	1	32	51.20
1	2	注 1	1	0	0	0	0	0	33	52.80
1	2	注 1	1	0	0	0	0	1	34	54.40
1	2	注 1	1	0	0	0	1	0	35	56.00
1	2	注 1	1	0	0	0	1	1	36	57.60
1	2	注 1	1	0	0	1	0	0	37	59.20
1	2	注 1	1	0	0	1	0	1	38	60.80
1	2	注 1	1	0	0	1	1	0	39	62.40
1	2	注 1	1	0	0	1	1	1	40	64.00
1	2	注 1	1	0	1	0	0	0	41	65.60
1	2	注 1	1	0	1	0	0	1	42	67.20
1	2	注 1	1	0	1	0	1	0	43	68.80
1	2	注 1	1	0	1	0	1	1	44	70.40
1	2	注 1	1	0	1	1	0	0	45	72.00
1	2	注 1	1	0	1	1	0	1	46	73.60
1	2	注 1	1	0	1	1	1	0	47	75.20
1	2	注 1	1	0	1	1	1	1	48	76.80
1	2	注 1	1	1	0	0	0	0	49	78.40
1	2	注 1	1	1	0	0	0	1	50	80.00

注 1.　Par の値に関わらず、VCO の周波数出力 f_{VCOOUT} の 5 分周のクロックが選択されます。

MainOSC = 20 MHz (1/2)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	1	16	0	1	0	0	1	1	20	25.00
0	1	16	0	1	0	1	0	0	21	26.25
0	1	16	0	1	0	1	0	1	22	27.50
0	1	16	0	1	0	1	1	0	23	28.75
0	1	16	0	1	0	1	1	1	24	30.00
0	1	8	0	1	0	0	1	1	20	50.00
0	1	8	0	1	0	1	0	0	21	52.50
0	1	8	0	1	0	1	0	1	22	55.00
0	1	8	0	1	0	1	1	0	23	57.50
0	1	8	0	1	0	1	1	1	24	60.00
0	2	16	1	0	0	1	1	1	40	25.00
0	2	16	1	0	1	0	0	0	41	25.63
0	2	16	1	0	1	0	0	1	42	26.25
0	2	16	1	0	1	0	1	0	43	26.88
0	2	16	1	0	1	0	1	1	44	27.50
0	2	16	1	0	1	1	0	0	45	28.13
0	2	16	1	0	1	1	0	1	46	28.75
0	2	16	1	0	1	1	1	0	47	29.38
0	2	16	1	0	1	1	1	1	48	30.00
0	2	8	0	1	0	1	1	1	24	30.00
0	2	8	0	1	1	0	0	0	25	31.25
0	2	8	0	1	1	0	0	1	26	32.50
0	2	8	0	1	1	0	1	0	27	33.75
0	2	8	0	1	1	0	1	1	28	35.00
0	2	8	0	1	1	1	0	0	29	36.25
0	2	8	0	1	1	1	0	1	30	37.50
0	2	8	0	1	1	1	1	0	31	38.75
0	2	8	0	1	1	1	1	1	32	40.00
0	2	8	1	0	0	0	0	0	33	41.25
0	2	8	1	0	0	0	0	1	34	42.50
0	2	8	1	0	0	0	1	0	35	43.75
0	2	8	1	0	0	0	1	1	36	45.00
0	2	8	1	0	0	1	0	0	37	46.25
0	2	8	1	0	0	1	0	1	38	47.50
0	2	8	1	0	0	1	1	0	39	48.75
0	2	8	1	0	0	1	1	1	40	50.00
0	2	8	1	0	1	0	0	0	41	51.25
0	2	8	1	0	1	0	0	1	42	52.50
0	2	8	1	0	1	0	1	0	43	53.75
0	2	8	1	0	1	0	1	1	44	55.00

MainOSC = 20 MHz (2/2)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	2	8	1	0	1	1	0	0	45	56.25
0	2	8	1	0	1	1	0	1	46	57.50
0	2	8	1	0	1	1	1	0	47	58.75
0	2	8	1	0	1	1	1	1	48	60.00
0	2	4	0	1	0	1	1	1	24	60.00
0	2	4	0	1	1	0	0	0	25	62.50
0	2	4	0	1	1	0	0	1	26	65.00
0	2	4	0	1	1	0	1	0	27	67.50
0	2	4	0	1	1	0	1	1	28	70.00
0	2	4	0	1	1	1	0	0	29	72.50
0	2	4	0	1	1	1	0	1	30	75.00
0	2	4	0	1	1	1	1	0	31	77.50
0	2	4	0	1	1	1	1	1	32	80.00
1	1	注 1	0	1	0	0	1	1	20	80.00
1	2	注 1	0	1	0	1	1	1	24	48.00
1	2	注 1	0	1	1	0	0	0	25	50.00
1	2	注 1	0	1	1	0	0	1	26	52.00
1	2	注 1	0	1	1	0	1	0	27	54.00
1	2	注 1	0	1	1	0	1	1	28	56.00
1	2	注 1	0	1	1	1	0	0	29	58.00
1	2	注 1	0	1	1	1	0	1	30	60.00
1	2	注 1	0	1	1	1	1	0	31	62.00
1	2	注 1	0	1	1	1	1	1	32	64.00
1	2	注 1	1	0	0	0	0	0	33	66.00
1	2	注 1	1	0	0	0	0	1	34	68.00
1	2	注 1	1	0	0	0	1	0	35	70.00
1	2	注 1	1	0	0	0	1	1	36	72.00
1	2	注 1	1	0	0	1	0	0	37	74.00
1	2	注 1	1	0	0	1	0	1	38	76.00
1	2	注 1	1	0	0	1	1	0	39	78.00
1	2	注 1	1	0	0	1	1	1	40	80.00

注 1.　Par の値に関わらず、VCO の周波数出力 f_{VCOOUT} の 5 分周のクロックが選択されます。

MainOSC = 24 MHz (1/4)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	1	16	0	1	0	0	1	1	20	30.00
0	1	8	0	1	0	0	1	1	20	60.00
0	2	16	1	0	0	1	1	1	40	30.00
0	2	8	0	1	0	0	1	1	20	30.00

MainOSC = 24 MHz (2/4)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	2	8	0	1	0	1	0	0	21	31.50
0	2	8	0	1	0	1	0	1	22	33.00
0	2	8	0	1	0	1	1	0	23	34.50
0	2	8	0	1	0	1	1	1	24	36.00
0	2	8	0	1	1	0	0	0	25	37.50
0	2	8	0	1	1	0	0	1	26	39.00
0	2	8	0	1	1	0	1	0	27	40.50
0	2	8	0	1	1	0	1	1	28	42.00
0	2	8	0	1	1	1	0	0	29	43.50
0	2	8	0	1	1	1	0	1	30	45.00
0	2	8	0	1	1	1	1	0	31	46.50
0	2	8	0	1	1	1	1	1	32	48.00
0	2	8	1	0	0	0	0	0	33	49.50
0	2	8	1	0	0	0	0	1	34	51.00
0	2	8	1	0	0	0	1	0	35	52.50
0	2	8	1	0	0	0	1	1	36	54.00
0	2	8	1	0	0	1	0	0	37	55.50
0	2	8	1	0	0	1	0	1	38	57.00
0	2	8	1	0	0	1	1	0	39	58.50
0	2	8	1	0	0	1	1	1	40	60.00
0	2	4	0	1	0	0	1	1	20	60.00
0	2	4	0	1	0	1	0	0	21	63.00
0	2	4	0	1	0	1	0	1	22	66.00
0	2	4	0	1	0	1	1	0	23	69.00
0	2	4	0	1	0	1	1	1	24	72.00
0	2	4	0	1	1	0	0	0	25	75.00
0	2	4	0	1	1	0	0	1	26	78.00
0	3	16	1	1	1	0	1	1	60	30.00
0	3	8	0	1	1	1	0	1	30	30.00
0	3	8	0	1	1	1	1	0	31	31.00
0	3	8	0	1	1	1	1	1	32	32.00
0	3	8	1	0	0	0	0	0	33	33.00
0	3	8	1	0	0	0	0	1	34	34.00
0	3	8	1	0	0	0	1	0	35	35.00
0	3	8	1	0	0	0	1	1	36	36.00
0	3	8	1	0	0	1	0	0	37	37.00
0	3	8	1	0	0	1	0	1	38	38.00
0	3	8	1	0	0	1	1	0	39	39.00
0	3	8	1	0	0	1	1	1	40	40.00
0	3	8	1	0	1	0	0	0	41	41.00
0	3	8	1	0	1	0	0	1	42	42.00

MainOSC = 24 MHz (3/4)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
0	3	8	1	0	1	0	1	0	43	43.00
0	3	8	1	0	1	0	1	1	44	44.00
0	3	8	1	0	1	1	0	0	45	45.00
0	3	8	1	0	1	1	0	1	46	46.00
0	3	8	1	0	1	1	1	0	47	47.00
0	3	8	1	0	1	1	1	1	48	48.00
0	3	8	1	1	0	0	0	0	49	49.00
0	3	8	1	1	0	0	0	1	50	50.00
0	3	8	1	1	0	0	1	0	51	51.00
0	3	8	1	1	0	0	1	1	52	52.00
0	3	8	1	1	0	1	0	0	53	53.00
0	3	8	1	1	0	1	0	1	54	54.00
0	3	8	1	1	0	1	1	0	55	55.00
0	3	8	1	1	0	1	1	1	56	56.00
0	3	8	1	1	1	0	0	0	57	57.00
0	3	8	1	1	1	0	0	1	58	58.00
0	3	8	1	1	1	0	1	0	59	59.00
0	3	8	1	1	1	0	1	1	60	60.00
0	3	4	0	1	1	1	0	1	30	60.00
0	3	4	0	1	1	1	1	0	31	62.00
0	3	4	0	1	1	1	1	1	32	64.00
0	3	4	1	0	0	0	0	0	33	66.00
0	3	4	1	0	0	0	0	1	34	68.00
0	3	4	1	0	0	0	1	0	35	70.00
0	3	4	1	0	0	0	1	1	36	72.00
0	3	4	1	0	0	1	0	0	37	74.00
0	3	4	1	0	0	1	0	1	38	76.00
0	3	4	1	0	0	1	1	0	39	78.00
0	3	4	1	0	0	1	1	1	40	80.00
1	2	注1	0	1	0	0	1	1	20	48.00
1	2	注1	0	1	0	1	0	0	21	50.40
1	2	注1	0	1	0	1	0	1	22	52.80
1	2	注1	0	1	0	1	1	0	23	55.20
1	2	注1	0	1	0	1	1	1	24	57.60
1	2	注1	0	1	1	0	0	0	25	60.00
1	2	注1	0	1	1	0	0	1	26	62.40
1	2	注1	0	1	1	0	1	0	27	64.80
1	2	注1	0	1	1	0	1	1	28	67.20
1	2	注1	0	1	1	1	0	0	29	69.60
1	2	注1	0	1	1	1	0	1	30	72.00

MainOSC = 24 MHz (4/4)

OUTBSEL	Mr	Par	NI5	NI4	NI3	NI2	NI1	NI0	Nr	$f_{PPLLCLK}$ 周波数 (MHz)
1	2	注1	0	1	1	1	1	0	31	74.40
1	2	注1	0	1	1	1	1	1	32	76.80
1	2	注1	1	0	0	0	0	0	33	79.20
1	3	注1	0	1	1	1	0	1	30	48.00
1	3	注1	0	1	1	1	1	0	31	49.60
1	3	注1	0	1	1	1	1	1	32	51.20
1	3	注1	1	0	0	0	0	0	33	52.80
1	3	注1	1	0	0	0	0	1	34	54.40
1	3	注1	1	0	0	0	1	0	35	56.00
1	3	注1	1	0	0	0	1	1	36	57.60
1	3	注1	1	0	0	1	0	0	37	59.20
1	3	注1	1	0	0	1	0	1	38	60.80
1	3	注1	1	0	0	1	1	0	39	62.40
1	3	注1	1	0	0	1	1	1	40	64.00
1	3	注1	1	0	1	0	0	0	41	65.60
1	3	注1	1	0	1	0	0	1	42	67.20
1	3	注1	1	0	1	0	1	0	43	68.80
1	3	注1	1	0	1	0	1	1	44	70.40
1	3	注1	1	0	1	1	0	0	45	72.00
1	3	注1	1	0	1	1	0	1	46	73.60
1	3	注1	1	0	1	1	1	0	47	75.20
1	3	注1	1	0	1	1	1	1	48	76.80
1	3	注1	1	1	0	0	0	0	49	78.40
1	3	注1	1	1	0	0	0	1	50	80.00

注 1.　Par の値に関わらず、VCO の周波数出力 f_{VCOOUT} の 5 分周のクロックが選択されます。

11.4.3 クロックセレクタコントロールレジスタ

11.4.3.1 WDTA0 クロックドメイン C_AWO_WDTA

(1) CKSC_AWDTAD_CTL — C_AWO_WDTA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　$FFF8\ 2000_H$

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.22　CKSC_AWDTAD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	AWDTADCSID [1:0]	C_AWO_WDTA に対するクロック分周回路の設定 00_B：設定禁止 01_B：LS IntOSC / 128（デフォルト） 10_B：LS IntOSC / 1 11_B：設定禁止

注　意

CKSC_AWDTAD_CTL レジスタの設定は、CKSC_AWDTAD_CTL = CKSC_AWDTAD_ACT を確認してから、行ってください。

(2) CKSC_AWDTAD_ACT — C_AWO_WDTA クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 注1	0 注1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1.　非アクティブ状態での値。アクティブ状態になった後、01_B になります。

表 11.23　CKSC_AWDTAD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	AWDTADACT [1:0]	現在アクティブな C_AWO_WDTA に対するクロック分周回路

(3) CKSC_AWDTAD_STPM — C_AWO_WDTA 停止マスクレジスタ

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2018$_H$

リセット後の値 0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 11.24 CKSC_AWDTAD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AWDTADSTPMSK	0：クロックドメイン C_AWO_WDTA はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_WDTA はスタンバイモードで停止されません。

11.4.3.2 TAUJ クロックドメイン C_AWO_TAUJ

(1) CKSC_ATAUJS_CTL — C_AWO_TAUJ ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章 書き込み保護レジスタ」**を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス $FFF8\ 2100_H$

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11.25 CKSC_ATAUJS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	ATAUJSCSID [2:0]	C_AWO_TAUJ に対するソースクロックの設定[注 1] 000_B：無効化 001_B：HS IntOSC （デフォルト） 010_B：MainOSC 011_B：LS IntOSC 100_B：PPLLCLK2 その他すべて：設定禁止

注 1. スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外のソースクロックを選択してください。

(2) CKSC_ATAUJS_ACT — C_AWO_TAUJ ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2108$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.26 CKSC_ATAUJS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ～ 0	ATAUJSACT [2:0]	現在アクティブな C_AWO_TAUJ のソースクロック

(3) CKSC_ATAUJD_CTL — C_AWO_TAUJ クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　$FFF8\ 2200_H$

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJDCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11.27　CKSC_ATAUJD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	ATAUJDCSID [2:0]	C_AWO_TAUJ に対するクロック分周回路の設定 000_B：設定禁止 001_B：CKSC_ATAUJS_CTL 選択 /1（デフォルト） 010_B：CKSC_ATAUJS_CTL 選択 /2 011_B：CKSC_ATAUJS_CTL 選択 /4 100_B：CKSC_ATAUJS_CTL 選択 /8 その他すべて：設定禁止

(4) CKSC_ATAUJD_ACT — C_AWO_TAUJ クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス $FFF8\ 2208_H$

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJDACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.28　CKSC_ATAUJD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ～ 0	ATAUJDACT [2:0]	現在アクティブな C_AWO_TAUJ に対するクロック分周回路

(5) CKSC_ATAUJD_STPM — C_AWO_TAUJ 停止マスクレジスタ

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス $FFF8\ 2218_H$

リセット後の値 $0000\ 0002_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJD STPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 11.29 CKSC_ATAUJD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ATAUJD STPMSK	0：クロックドメイン C_AWO_TAUJ はスタンバイモードで停止されます。クロックドメイン C_AWO_TAUJ は、C_AWO_TAUJ ソースクロック選択レジスタの無効化（CKSC_ATAUJS_CTL=$0000\ 0000_H$）設定で停止されます。 1：クロックドメイン C_AWO_TAUJ はスタンバイモードで停止されません。クロックドメイン C_AWO_TAUJ は、C_AWO_TAUJ ソースクロック選択レジスタの無効化（CKSC_ATAUJS_CTL=$0000\ 0000_H$）設定で停止されません。

11.4.3.3 RTCA クロックドメイン C_AWO_RTCA

(1) CKSC_ARTCAS_CTL — C_AWO_RTCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2300$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCASCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.30　CKSC_ARTCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ARTCASCSID [1:0]	C_AWO_RTCA に対するソースクロックの設定 00_B：無効化（デフォルト） 01_B：SubOSC 10_B：MainOSC 注 1 11_B：LS IntOSC

注 1.　CKSC_ARTCAS_CTL レジスタ設定時に、クロックドメイン C_AWO_RTCA に 4MHz より高い周波数が供給されないように、CKSC_ARTCAS_CTL=10_B：MainOSC を設定する場合は、CKSC_ARTCAD_ACT=0000 0000$_H$：無効化であることを確認してください。

(2) CKSC_ARTCAS_ACT — C_AWO_RTCA ソースクロックアクティブレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2308$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCASACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.31 CKSC_ARTCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ARTCASACT [1:0]	現在アクティブな C_AWO_RTCA のソースクロック

(3) CKSC_ARTCAD_CTL — C_AWO_RTCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2400$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11.32　CKSC_ARTCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	ARTCADCSID [2:0]	C_AWO_RTCA に対するクロック分周回路の設定 000_B：無効化（デフォルト） 001_B：CKSC_ARTCAS_CTL 選択 /1 010_B：CKSC_ARTCAS_CTL 選択 /2 011_B：CKSC_ARTCAS_CTL 選択 /4 100_B：CKSC_ARTCAS_CTL 選択 /8 その他すべて：設定禁止

(4) CKSC_ARTCAD_ACT — C_AWO_RTCA クロック分周アクティブレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2408$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.33 CKSC_ARTCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ～ 0	ARTCADACT [2:0]	現在アクティブな C_AWO_RTCA に対するクロック分周回路

(5) CKSC_ARTCAD_STPM — C_AWO_RTCA 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2418$_H$

リセット後の値 0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 11.34　CKSC_ARTCAD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ARTCADSTPMSK	0：クロックドメイン C_AWO_RTCA はスタンバイモードで停止されます。 クロックドメイン C_AWO_RTCA は、C_AWO_RTCA ソースクロック選択レジスタの無効化（CKSC_ARTCAS_CTL=0000 0000$_H$）設定で停止されます。 1：クロックドメイン C_AWO_RTCA はスタンバイモードで停止されません。 クロックドメイン C_AWO_RTCA は、C_AWO_RTCA ソースクロック選択レジスタの無効化（CKSC_ARTCAS_CTL=0000 0000$_H$）設定で停止されません。

11.4.3.4 ADCA0 クロックドメイン C_AWO_ADCA

(1) CKSC_AADCAS_CTL — C_AWO_ADCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　$FFF8\ 2500_H$

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCASCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.35　CKSC_AADCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	AADCASCSID [1:0]	C_AWO_ADCA に対するソースクロックの設定[注 1] 00_B：無効化 01_B：HS IntOSC（デフォルト） 10_B：MainOSC 11_B：PPLLCLK2

注 1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外のソースクロックを選択してください。

(2) CKSC_AADCAS_ACT — C_AWO_ADCA ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス $FFF8\ 2508_H$

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCASACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.36 CKSC_AADCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1 ～ 0	AADCASACT [1:0]	現在アクティブな C_AWO_ADCA に対するソースクロック

(3) CKSC_AADCAD_CTL — C_AWO_ADCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　$FFF8\ 2600_H$

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.37　CKSC_AADCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	AADCADCSID [1:0]	C_AWO_ADCA に対するクロック分周回路の設定 00_B：設定禁止 01_B：CKSC_AADCAS_CTL 選択 /1（デフォルト） 10_B：CKSC_AADCAS_CTL 選択 /2 注 1 11_B：設定禁止

注 1.　2 分周により CKSC_AADCA が 8MHz 未満にならないようにしてください。

(4) CKSC_AADCAD_ACT — C_AWO_ADCA クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス $FFF8\ 2608_H$

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.38　CKSC_AADCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	AADCADACT [1:0]	現在アクティブな C_AWO_ADCA に対するクロック分周回路

(5) CKSC_AADCAD_STPM — C_AWO_ADCA 停止マスクレジスタ

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2618$_H$

リセット後の値 0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 11.39 CKSC_AADCAD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AADCADSTPMSK	0：クロックドメイン C_AWO_ADCA はスタンバイモードで停止されます。 クロックドメイン C_AWO_ADCA は、C_AWO_ADCA ソースクロック選択レジスタの無効化（CKSC_AADCAS_CTL=0000 0000$_H$）設定で停止されます。 1：クロックドメイン C_AWO_ADCA はスタンバイモードで停止されません。 クロックドメイン C_AWO_ADCA は、C_AWO_ADCA ソースクロック選択レジスタの無効化（CKSC_AADCAS_CTL=0000 0000$_H$）設定で停止されません。

11.4.3.5 FOUT クロックドメイン C_AWO_FOUT

(1) CKSC_AFOUTS_CTL — C_AWO_FOUT ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　$FFF8\ 2700_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11.40　CKSC_AFOUTS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	AFOUTSCSID [2:0]	C_AWO_FOUT に対するソースクロックの設定[注 1] 000_B：無効化（デフォルト） 001_B：MainOSC 010_B：HS IntOSC 011_B：LS IntOSC 100_B：SubOSC 101_B：CPLLCLK4[注 2] 110_B：PPLLCLK4[注 2] 111_B：設定禁止

注 1.　スタンバイモードに遷移する場合は、遷移前に CPLLCLK4, PPLLCLK4 以外のソースクロックを選択してください。ただし、DeepSTOP モード時は、周波数出力機能（FOUT）を使用できません。

注 2.　CPLLCLK4 または PPLLCLK4 を選択する場合 , 事前に PLL0S.PLL0CLKACT=PLL1S.PLL1CLKACT=1 (PLL0, PLL1 両方が動作中) であることを確認してください。

(2) CKSC_AFOUTS_ACT — C_AWO_FOUT ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2708$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.41 CKSC_AFOUTS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ～ 0	AFOUTSACT [2:0]	現在アクティブな C_AWO_FOUT に対するソースクロック

(3) CKSC_AFOUTS_STPM — C_AWO_FOUT 停止マスクレジスタ

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス $FFF8\ 2718_H$

リセット後の値 $0000\ 0002_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 11.42　CKSC_AFOUTS_STPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AFOUTSSTPMSK	0：クロックドメイン C_AWO_FOUT はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_FOUT はスタンバイモードで停止されません。

11.4.3.6 CPU クロックドメイン C_ISO_CPUCLK

(1) CKSC_CPUCLKS_CTL — C_ISO_CPUCLK ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　$FFF8\ A000_H$

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCLKSCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11.43　CKSC_CPUCLKS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	CPUCLKSCSID [1:0]	C_ISO_CPUCLK に対するソースクロックの設定 00_B：設定禁止 01_B：EMCLK（デフォルト） 10_B：MainOSC 11_B：CPLLCLK

注　意

C_ISO_CPUCLK クロックドメインで選択しているソースクロックをソフトウェアで、停止しないでください。

(2) CKSC_CPUCLKS_ACT — C_ISO_CPUCLK ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 A008$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCLKSACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.44 CKSC_CPUCLKS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ACPUCLKSACT [1:0]	現在アクティブな C_ISO_CPUCLK に対するソースクロック

(3) CKSC_CPUCLKD_CTL — C_ISO_CPUCLK クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A100$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCLKDCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11.45　CKSC_CPUCLKD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	CPUCLKDCSID [2:0]	C_ISO_CPUCLK に対するクロック分周回路の設定 000$_B$：設定禁止 001$_B$：CKSC_CPUCLKS_CTL 選択 /1（デフォルト） 010$_B$：CKSC_CPUCLKS_CTL 選択 /2 011$_B$：CKSC_CPUCLKS_CTL 選択 /4 100$_B$：CKSC_CPUCLKS_CTL 選択 /8 その他すべて：設定禁止

(4) CKSC_CPUCLKD_ACT — C_ISO_CPUCLK クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 A108$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCLKDACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.46 CKSC_CPUCLKD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ～ 0	CPUCLKDACT [2:0]	現在アクティブな C_ISO_CPUCLK に対するクロック分周回路

11.4.3.7　周辺クロックドメイン C_ISO_PERI1 および C_ISO_PERI2

(1) CKSC_IPERI1S_CTL — C_ISO_PERI1 ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　$FFF8\ A200_H$

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI1SCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.47　CKSC_IPERI1S_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IPERI1SCSID [1:0]	C_ISO_PERI1 に対するソースクロックの設定 00_B：無効化 01_B：CPUCLK2（デフォルト） 10_B：PPLLCLK 11_B：設定禁止

(2) CKSC_IPERI1S_ACT — C_ISO_PERI1 ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 A208$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI1SACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.48 CKSC_IPERI1S_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IPERI1SACT [1:0]	現在アクティブな C_ISO_PERI1 に対するソースクロック

(3) CKSC_IPERI2S_CTL — C_ISO_PERI2 ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A300$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI2SCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.49　CKSC_IPERI2S_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IPERI2SCSID [1:0]	C_ISO_PERI2 に対するソースクロックの設定 00_B：無効化 01_B：CPUCLK2（デフォルト） 10_B：PPLLCLK2 11_B：設定禁止

(4) CKSC_IPERI2S_ACT — C_ISO_PERI2 ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 A308$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI2SACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.50 CKSC_IPERI2S_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IPERI2SACT [1:0]	現在アクティブな C_ISO_PERI2 のソースクロック

11.4.3.8 RLIN クロックドメイン C_ISO_LIN

(1) CKSC_ILINS_CTL — C_ISO_LIN ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A400$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINSCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.51　CKSC_ILINS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ILINSCSID [1:0]	C_ISO_LIN に対するソースクロックの設定[注 1] 00_B：無効化 01_B：CPUCLK2（デフォルト） 10_B：MainOSC 11_B：PPLLCLK2

注 1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外のソースクロックを選択してください。

(2) CKSC_ILINS_ACT — C_ISO_LIN ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 A408$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINSACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.52 CKSC_ILINS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ILINSACT[1:0]	現在アクティブな C_ISO_LIN に対するソースクロック

(3) CKSC_ILIND_CTL — C_ISO_LIN クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A800$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.53　CKSC_ILIND_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ILINDCSID [1:0]	C_ISO_LIN に対するクロック分周回路の設定 00_B：設定禁止 01_B：CKSC_ILINS_CTL 選択 /1（デフォルト） 10_B：CKSC_ILINS_CTL 選択 /4 11_B：CKSC_ILINS_CTL 選択 /8

備　考

このレジスタの設定は RLIN30 が対象です。また、10_B（CKSC_ILINS_CTL 選択 /4）、11_B（CKSC_ILINS_CTL 選択 /8）設定は、UART モードのみ使用できます。

(4) CKSC_ILIND_ACT — C_ISO_LIN クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 A808$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.54 CKSC_ILIND_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ILINDACT[1:0]	現在アクティブな C_ISO_LIN に対する クロック分周回路

(5) CKSC_ILIND_STPM — C_ISO_LIN 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 A818$_H$

リセット後の値 0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDS TPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 11.55　CKSC_ILIND_STPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ILINDSTPMSK	0：クロックドメイン C_ISO_LIN はスタンバイモードで停止されます。 クロックドメイン C_ISO_LIN は、C_ISO_LIN ソースクロック選択レジスタの無効化（CKSC_ILINS_CTL=0000 0000$_H$）で停止されます。 1：クロックドメイン C_ISO_LIN はスタンバイモードで停止されません。 クロックドメイン C_ISO_LIN は、C_ISO_LIN ソースクロック選択レジスタの無効化（CKSC_ILINS_CTL=0000 0000$_H$）で停止されません。

11.4.3.9 ADCA1 クロックドメイン C_ISO_ADCA

(1) CKSC_IADCAS_CTL — C_ISO_ADCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　$FFF8\ A500_H$

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCASCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.56　CKSC_IADCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IADCASCSID [1:0]	C_ISO_ADCA に対するソースクロックの設定 00_B：無効化 01_B：HS IntOSC（デフォルト） 10_B：MainOSC 11_B：PPLLCLK2

注　意

周波数 (1) と周波数 (2) の関係が、「(1) / (2) = 2 ～ 4.8」の範囲内になるように CKSC_IADCAS_CTL レジスタと CKSC_IADCAD_CTL レジスタを設定してください。

(1) C_ISO_CPUCLK ソースクロック選択レジスタ（CKSC_CPUCLKS_CTL）と C_ISO_CPUCLK クロック分周選択レジスタ（CKSC_CPUCLKD_CTL）にて設定した周波数 [MHz]

(2) C_ISO_ADCA ソースクロック選択レジスタ（CKSC_IADCAS_CTL）と C_ISO_ADCA クロック分周選択レジスタ（CKSC_IADCAD_CTL）にて設定した周波数 [MHz]

(2) CKSC_IADCAS_ACT — C_ISO_ADCA ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 A508$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCASACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.57 CKSC_IADCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IADCASACT [1:0]	現在アクティブな C_ISO_ADCA のソースクロック

(3) CKSC_IADCAD_CTL — C_ISO_ADCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A600$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCADCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.58　CKSC_IADCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IADCADCSID [1:0]	C_ISO_ADCA に対するクロック分周回路の設定 00_B：設定禁止 01_B：CKSC_IADCAS_CTL 選択 /1（デフォルト） 10_B：CKSC_IADCAS_CTL 選択 /2 注 1 11_B：設定禁止

注 1.　2 分周により CKSC_IADCA が 8MHz 未満にならないようにしてください。

注　意

周波数 (1) と周波数 (2) の関係が、「(1) / (2) = 2 ～ 4.8」の範囲内になるように CKSC_IADCAS_CTL レジスタと CKSC_IADCAD_CTL レジスタを設定してください。

(1) C_ISO_CPUCLK ソースクロック選択レジスタ（CKSC_CPUCLKS_CTL）と C_ISO_CPUCLK クロック分周選択レジスタ（CKSC_CPUCLKD_CTL）にて設定した周波数 [MHz]

(2) C_ISO_ADCA ソースクロック選択レジスタ（CKSC_IADCAS_CTL）と C_ISO_ADCA クロック分周選択レジスタ（CKSC_IADCAD_CTL）にて設定した周波数 [MHz]

(4) CKSC_IADCAD_ACT — C_ISO_ADCA クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 A608$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCADACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.59 CKSC_IADCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IADCADACT [1:0]	現在アクティブな C_ISO_ADCA に対するクロック分周回路

11.4.3.10 RS-CAN クロックドメイン C_ISO_CAN と C_ISO_CANOSC

(1) CKSC_ICANS_CTL — C_ISO_CAN ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A900$_H$

リセット後の値　0000 0003$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANSCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.60　CKSC_ICANS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ICANSCSID [1:0]	C_ISO_CAN に対するソースクロックの設定[注 1、注 2] 00_B：無効化 01_B：MainOSC 10_B：PPLLCLK 11_B：CPUCLK2（デフォルト）

注 1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK 以外のソースクロックを選択してください。

注 2.　STOP モードに遷移する場合は、遷移前に MainOSC を選択してください。

(2) CKSC_ICANS_ACT — C_ISO_CAN ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 A908$_H$

リセット後の値 0000 0003$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANSACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.61 CKSC_ICANS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ICANSACT[1:0]	現在アクティブな C_ISO_CAN のソースクロック

(3) CKSC_ICANS_STPM — C_ISO_CAN 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 A918$_H$

リセット後の値 0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANSSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 11.62　CKSC_ICANS_STPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICANSSTPMSK	0：クロックドメイン C_ISO_CAN はスタンバイモードで停止されます。 1：クロックドメイン C_ISO_CAN はスタンバイモードで停止されません。

(4) CKSC_ICANOSCD_CTL — C_ISO_CANOSC クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 AA00$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCD CSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.63　CKSC_ICANOSCD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ICANOSCD CSID [1:0]	C_ISO_CANOSC に対するクロック分周回路の設定[注 1] 00_B：無効化（デフォルト） 01_B：MainOSC /1 10_B：MainOSC /2 11_B：設定禁止

注 1.　STOP モードに遷移する場合は、遷移前に MainOSC/2 を選択してください。

(5) CKSC_ICANOSCD_ACT – C_ISO_CANOSC クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 AA08$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCDACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.64 CKSC_ICANOSCD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ICANOSCDACT [1:0]	現在アクティブな C_ISO_CANOSC に対するクロック分周回路

(6) CKSC_ICANOSCD_STPM – C_ISO_CANOSC 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 AA18$_H$

リセット後の値 0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCDSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 11.65　CKSC_ICANOSCD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICANOSCD STPMSK	0：クロックドメイン C_ISO_CANOSC はスタンバイモードで停止されます。 1：クロックドメイン C_ISO_CANOSC はスタンバイモードで停止されません。

11.4.3.11 CSI クロックドメイン C_ISO_CSI

(1) CKSC_ICSIS_CTL — C_ISO_CSI ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 AB00$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICSISCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.66　CKSC_ICSIS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ICSISCSID[1:0]	C_ISO_CSI に対するソースクロックの設定 00_B：無効化 01_B：CPUCLK2（デフォルト） 10_B：PPLLCLK 11_B：設定禁止

(2) CKSC_ICSIS_ACT — C_ISO_CSI ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 AB08$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICSISACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.67 CKSC_ICSIS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ICSISACT[1:0]	現在アクティブな C_ISO_CSI のソースクロック

11.4.3.12 IIC クロックドメイン C_ISO_IIC

(1) CKSC_IIICS_CTL — C_ISO_IIC ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 AC00$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IIICSCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.68　CKSC_IIICS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IIICSCSID[1:0]	C_ISO_IIC に対するソースクロックの設定 00_B：無効化 01_B：CPUCLK4（デフォルト） 10_B：PPLLCLK2 11_B：設定禁止

(2) CKSC_IIICS_ACT — C_ISO_IIC ソースクロック アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 AC08$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IIICSACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.69 CKSC_IIICS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IIICSACT[1:0]	現在アクティブな C_ISO_IIC に対するソースクロック

11.5　クロックドメインの設定方法

11.5.1　クロックドメインの設定

11.5.1.1 クロックセレクタレジスタ概要

クロックドメイン C_AWO_<name> / C_ISO_<name> に対するクロックセレクタは以下のレジスタで制御されます。

- ソースクロック選択レジスタ
  これらのレジスタは有効なソースクロックの中からドメインクロックとして使用するクロックを 1 つ選択します。
  - AWO ソースクロックの選択：CKSC_A<name>S_CTL
  - ISO ソースクロックの選択：CKSC_I<name>S_CTL
- クロック分周選択レジスタ
  これらのレジスタは選択されたソースクロックに対してクロック分周比を設定します。
  - AWO クロック分周比：CKSC_A<name>D_CTL
  - ISO クロック分周比：CKSC_I<name>D_CTL
- ソースクロックアクティブレジスタ／クロック分周アクティブ レジスタ
  これらのレジスタはそれぞれ、現在アクティブ状態にある選択されたソースクロックと分周比を返します。
  - AWO ソースクロックアクティブレジスタ／クロック分周アクティブレジスタ：CKSC_A<name>S_ACT / CKSC_A<name>D_ACT
  - ISO ソースクロックアクティブレジスタ／クロック分周アクティブレジスタ：CKSC_I<name>S_ACT / CKSC_I<name>D_ACT

備　考

- すべてのクロックセレクタが、上述したすべてのコントロール機能を持つ訳ではありません。
- クロックドメイン C_ISO_CPUCLK（CPUCLK、CPUCLK2、CPUCLK4）は、レジスタ名にパワードメインを表す “ I ” が付与されません。

11.5.1.2 クロックドメインの設定手順

以下に設定手順を示します。

1. ソースクロックの設定
   - ソースクロックの選択を実施（CKSC_A<name>S_CTL、CKSC_I<name>S_CTL ）
   - 選択完了の確認（CKSC_A<name>S_ACT、CKSC_I<name>S_ACT ）注1
2. クロック分周の設定
   - クロック分周の選択を実施（CKSC_A<name>D_CTL、CKSC_I<name>D_CTL）
   - 選択完了の確認（CKSC_A<name>D_ ACT、CKSC_I<name>D_ ACT）注2

注 1. CKSC_A<name>S_ACT、CKSC_I<name>S_ACT が、CKSC_A<name>S_CTL、CKSC_I<name>S_CTL に書き込まれた新しい値に更新されてから処理を継続してください。

注 2. CKSC_A<name>D_ACT、CKSC_I<name>D_ ACT が、CKSC_A<name>D_ CTL、CKSC _I<name>D_ CTL に書き込まれた新しい値に更新されてから処理を継続してください。

注 意

上記設定は、選択するソースクロックが動作していることが前提です。
ソースクロックが停止している状態で、設定を実施した場合の動作は保証しません。
また、クロック供給が停止している周辺機能へのアクセスは禁止です。

11.5.2 スタンバイモード時のクロックの停止

スタンバイモード時、スタンバイコントローラからのクロック停止要求に対してクロックドメイン C_AWO_<name> / C_ISO_<name> は、そのクロック CKSCLK_A<name> / CKSCLK_I<name> を停止または継続するように設定することができます。

クロック停止マスクレジスタは、スタンバイモード時のクロックの動作状態を決定するために使用されます。

- CKSC_A<name>_STPM.A<name>STPMSK / CKSC_I<name>_STPM.I<name>STPMSK = 0:
  STOP 要求信号はマスクされません。そのためドメインクロック CKSCLK_A<name> / CKSCLK_I<name> はスタンバイモード時に停止されます。
  ドメインクロックがスタンバイモードの前に動作していた場合、スタンバイ状態から回復した後、自動的に再起動されます。
  同じソースクロックを選択している別のクロックドメインで、
  CKSC_A<name>_STPM.A<name>STPMSK / CKSC_I<name>_STPM.I<name>STPMSK = 1
  設定していた場合、そのソースクロックはスタンバイモード時に動作を継続します。
  CPU クロックドメイン C_ISO_CPUCLK は、スタンバイモード時に必ず停止します。
- CKSC_A<name>_STPM.A<name>STPMSK / CKSC_I<name>_STPM.I<name>STPMSK = 1:
  STOP 要求信号はマスクされるため、CKSCLK_A<name> / CKSCLK_I<name> はスタンバイ時に動作を継続します。
  対象のクロックドメインで選択しているソースクロックもスタンバイモード時に動作を継続します。
  ISO 領域にあるクロックドメインは、DeepSTOP モード時に停止されます。

11.5.3 クロックドメイン設定

各クロックドメインで選択可能なソースクロックと分周比、使用する設定レジスタを以下の表に示します。

表 11.70 クロック選択の一覧 (1/2)

クロックドメイン	ドメインクロック	ソースクロック選択レジスタ		クロック分周選択レジスタ		対象ユニット
C_AWO_WDTA	CKSCLK_AWDTA	—	**LS IntOSC**	CKSC_AWDTAD_CTL	1/1	WDTA0
					1/128	
C_AWO_TAUJ	CKSCLK_ATAUJ	CKSC_ATAUJS_CTL	MainOSC	CKSC_ATAUJD_CTL	**1/1**	TAUJ0
			HS IntOSC		1/2	
			LS IntOSC		1/4	
			PPLLCLK2		1/8	
			Disable		—	
C_AWO_RTCA	CKSCLK_ARTCA	CKSC_ARTCAS_CTL	MainOSC	CKSC_ARTCAD_CTL	1/1	RTCA0
			LS IntOSC		1/2	
			SubOSC		1/4	
			Disable		1/8	
			—		**Disable**	
C_AWO_ADCA	CKSCLK_AADCA	CKSC_AADCAS_CTL	MainOSC	CKSC_AADCAD_CTL	**1/1**	ADCA0
			HS IntOSC		1/2	
			PPLLCLK2		—	
			Disable			
C_AWO_FOUT	CKSCLK_AFOUT	CKSC_AFOUTS_CTL	MainOSC	—	**1/1**	FOUT
			HS IntOSC			
			LS IntOSC			
			SubOSC			
			CPLLCLK4			
			PPLLCLK4			
			Disable			
C_ISO_CPUCLK	CKSCLK_CPUCLK	CKSC_CPUCLKS_CTL	MainOSC	CKSC_CPUCLKD_CTL	**1/1**	CPU サブシステム MEMC FLXAn
			CPLLCLK		1/2	
			EMCLK		1/4	
			—		1/8	
C_ISO_PERI1	CKSCLK_IPERI1	CKSC_IPERI1S_CTL	PPLLCLK	—	**1/1**	TAUD0 TAUJ1 ENCA0 TAPA0 PIC0
			CPUCLK2			
			Disable			
C_ISO_PERI2	CKSCLK_IPERI2	CKSC_IPERI2S_CTL	**CPUCLK2**	—	**1/1**	TAUBn PWBAn PWGAn PWSAn
			PPLLCLK2			
			Disable			
C_ISO_LIN	CKSCLK_ILIN	CKSC_ILINS_CTL	MainOSC	CKSC_ILIND_CTL 注1	**1/1**	RLIN2m RLIN3n
			CPUCLK2		1/4	
			PPLLCLK2		1/8	
			Disable		—	
C_ISO_ADCA	CKSCLK_IADCA	CKSC_IADCAS_CTL	MainOSC	CKSC_IADCAD_CTL	**1/1**	ADCA1
			HS IntOSC		1/2	
			PPLLCLK2		—	
			Disable			

表 11.70 クロック選択の一覧 (2/2)

クロックドメイン	ドメインクロック	ソースクロック選択レジスタ		クロック分周選択レジスタ		対象ユニット
C_ISO_CAN	CKSCLK_ICAN	CKSC_ICANS_CTL	MainOSC	—	**1/1**	RSCANn
			PPLLCLK			
			CPUCLK2			
			Disable			
C_ISO_CANOSC	CKSCLK_ICANOSC	—	**MainOSC**	CKSC_ICANOSCD_CTL	1/1	RSCANn
					1/2	
					Disable	
C_ISO_CSI	CKSCLK_ICSI	CKSC_ICSIS_CTL	PPLLCLK	—	**1/1**	CSIGn CSIHn
			CPUCLK2			
			Disable			
C_ISO_IIC	CKSCLK_IIIC	CKSC_IIICS_CTL	**CPUCLK4**	—	**1/1**	RIICn
			PPLLCLK2			
			Disable			

備考 表内の**太字部分**は各レジスタの初期設定クロックです。

注 1. RLIN30 のみ適用されます。また、1/4、1/8 設定は、UART モードのみ使用できます。

注 意

クロックドメインで選択中のソースクロックを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめそのクロックドメインで “Disable” を選択してください。“Disable” が選択できないクロックドメインのソースクロックは、クロックドメイン内の機能動作中に停止させないようにしてください。クロックドメインで選択中のソースクロックを、STOP/DeepSTOP モードへの遷移により停止させる場合は、"Disable" を選択する必要はありません。その代わりに停止マスクレジスタでスタンバイ中のクロックドメインの停止を選択してください。

11.6 周波数出力機能（FOUT）

周波数出力機能（FOUT）は、クロックを外部出力することができます。また、分周回路により分周出力することが可能です。

11.6.1 機能概要

周波数出力機能の構成を**図 11.10** に示します。

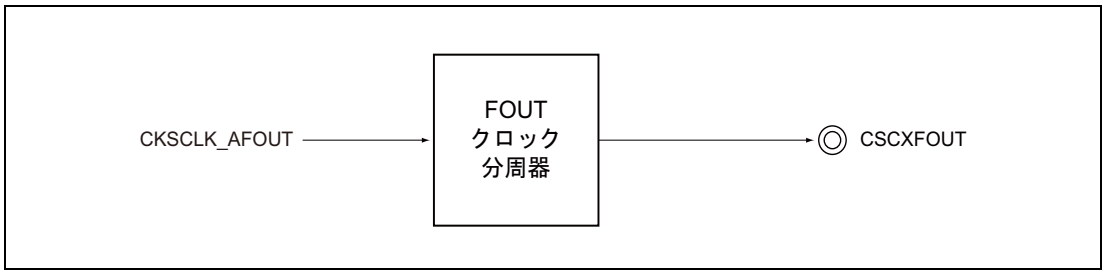


図 11.10 周波数出力機能

クロック出力機能は、CKSCLK_AFOUT のクロックを分周回路より、1 ～ 63 分周したクロックを、CSCXFOUT より出力します。分周比 N は、FOUTDIV レジスタの FOUTDIV[5:0] に設定します。クロックの出力周波数 $f_{CSCXFOUT}$ は、次式で表されます。

$$f_{CSCXFOUT} = (\text{CKSCLK_AFOUT のクロック周波数}) / N$$

CKSCLK_AFOUT の設定、端子機能のクロック出力選択後、FOUTDIV レジスタの FOUTDIV[5:0] に分周比 N を設定するとクロック出力を開始します。

新しい分周比が FOUTDIV レジスタの FOUTDIV[5:0] に書き込まれると、CSCXFOUT 出力クロックと同期して有効となります。したがって、クロック分周比は CSCXFOUT クロックが動作中でも変更することができます。なお、FOUTDIV[5:0] に 000_H が書き込まれるとクロック出力が停止します。

注 意

DeepSTOP モード時は、周波数出力機能（FOUT）は使用できません。

11.6.2 レジスタ

11.6.2.1 レジスター覧

FOUT のレジスター覧を以下の表に示します。

表 11.71 CSCXFOUT クロック分周回路のレジスタ

レジスタ名	略号	アドレス
クロック分周比レジスタ	FOUTDIV	$FFF8\ 2800_H$
クロック分周ステータスレジスタ	FOUTSTAT	$FFF8\ 2804_H$

11.6.2.2 クロック供給

CSCXFOUT のクロック供給を以下の表に示します。

表 11.72 クロック供給

ユニット名	ユニットクロック名	供給クロック名	概要
CSCXFOUT	PCLK	CPUCLK2	バスクロック （レジスタアクセス）
	CKSCLK_AFOUT	CKSCLK_AFOUT	FOUT クロック分周器の ソースクロック

11.6.2.3 FOUTDIV — クロック分周比レジスタ

このレジスタはクロック分周比を規定します。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2800_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	FOUTDIV[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 11.73 FOUTDIV レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ～ 0	FOUTDIV[5:0]	クロック分周比 N 00_H : クロック出力は停止 01_H : N = 1 02_H : N = 2 ... $3E_H$: N = 62 $3F_H$: N = 63

11.6.2.4 FOUTSTAT — クロック分周ステータスレジスタ

このレジスタはクロック出力のステータスを示します。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス $FFF8\ 2804_H$

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FOUTCLKACT	FOUTSYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.74 FOUTSTAT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	FOUTCLKACT	クロック分周出力アクティブビット 0：周波数出力停止中です。 1：周波数出力中です。
0	FOUTSYNC	クロック分周同期 0：クロック分周は変更過渡期です。 1：クロック分周は安定状態です。（停止状態を含む）

11.7 クロックモニタ A（CLMA）

この節では、クロックモニタ A（CLMA）について説明します。

最初の節では、チャネル数、レジスタベース、アドレス、入力／出力信号名等、RH850/F1M に特有なすべての属性について説明します。それ以降の節で、すべての動作に適用される機能について説明します。

11.7.1 RH850/F1M の CLMA の特長

11.7.1.1 チャネル数

本製品には以下に示すチャネル数の CLMA 搭載しています。

表 11.75 チャネル数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
チャネル数	3		
名称	CLMA0、CLMA1、CLMA2		

11.7.1.2 レジスタベースアドレス

CLMA のベースアドレスを以下の表に示します。

CLMA のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 11.76 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CLMA0_base>	FFF8 $C000_H$
<CLMA1_base>	FFF8 $D000_H$
<CLMA2_base>	FFF8 $E000_H$

11.7.1.3 クロック供給

CLMA がモニタするクロックおよび CLMA のサンプリングクロックを示します。

表 11.77 クロック供給

チャネル名	ユニットクロック名	クロック名
CLMA0	CLMATMON（モニタクロック）	HS IntOSC
	CLMATSMP（サンプリングクロック）	LS IntOSC
	レジスタアクセスクロック	CPUCLK2
CLMA1	CLMATMON（モニタクロック）	MainOSC
	CLMATSMP（サンプリングクロック）	LS IntOSC
	レジスタアクセスクロック	CPUCLK2
CLMA2	CLMATMON（モニタクロック）	CPLLCLK
	CLMATSMP（サンプリングクロック）	HS IntOSC
	レジスタアクセスクロック	CPUCLK2

11.7.1.4 リセット要因

CLMA のリセット要因を次の表に示します。CLMA はこれらのリセット要因によって初期化されます。

表 11.78 リセット要因

チャネル名	リセット要因
CLMA0	DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）
CLMA1	DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）
CLMA2	すべてのリセット要因（ISORES）
共通レジスタ（CLMATEST, CLMATESTS）	DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）

11.7.1.5 内部入出力信号

CLMA の内部入出力信号を以下の表に示します。

表 11.79 内部入出力信号

ユニット信号名	概要	接続
$\overline{\text{CLMATRES}}$	CLMA0 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA0RES}}$）
$\overline{\text{CLMATRES}}$	CLMA1 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA1RES}}$）
$\overline{\text{CLMATRES}}$	CLMA2 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA2RES}}$）

11.7.2 概要

11.7.2.1 機能概要

クロックモニタ CLMA は、モニタクロックの周波数異常を検出します。サンプリングクロック CLMATSMP を使用して入力クロック CLMATMON の周波数が特定の範囲内にあるかをモニタします。クロック異常を検出した際、リセット要求信号を出力します。

クロックモニタの主な構成要素を**図 11.11** に示します。

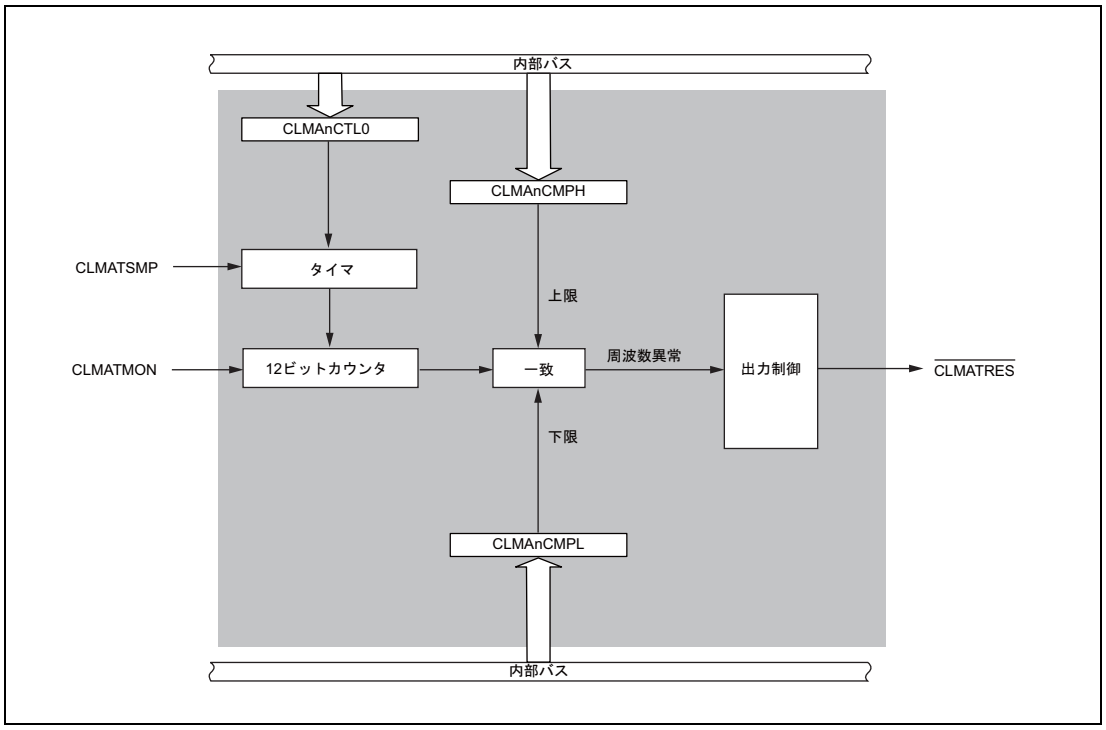


図 11.11 クロックモニタ A のブロック図

備 考

一度有効にしたら、リセット以外では無効化できません。

11.7.3 CLMA の有効化

クロックモニタによるクロックの監視は、CLMAnCTL0.CLMAnCLME = 1 によって開始されます。

モニタクロックがレジスタ操作により停止した場合もしくはスタンバイモードで停止した場合は、対応するクロックモニタも自動的に無効になります。その後、モニタクロックが再度、発振を開始して、安定すると、クロックモニタは動作を再開します。

CLMA2 は、DeepSTOP モード復帰時に初期化されるため、動作を開始するためには CLMA2 レジスタの再設定が必要になります。

11.7.4 機能

11.7.4.1 異常クロック周波数の検出

検出方法

1. CLMAn は、サンプリングクロック CLMATSMP の 16 サイクル内でモニタクロック CLMATMON の立ち上がりエッジをカウントし、このカウント値と設定したしきい値とを比較します。
   - CLMAnCMPL.CLMAnCMPL[11:0] は下のしきい値を指定します。
   - CLMAnCMPH.CLMAnCMPH[11:0] は上のしきい値を指定します。
2. CLMATMON の周波数が低い[注 1] 場合は、カウント値は CLMAnCMPL.CLMAnCMPL[11:0] の設定値を下回ります。
3. CLMATMON の周波数が高い場合は、カウント値が CLMAnCMPH.CLMAnCMPH[11:0] の設定値を上回ります。

注 1. CLMATMON が完全に停止する場合は異常を検知できない場合があります。

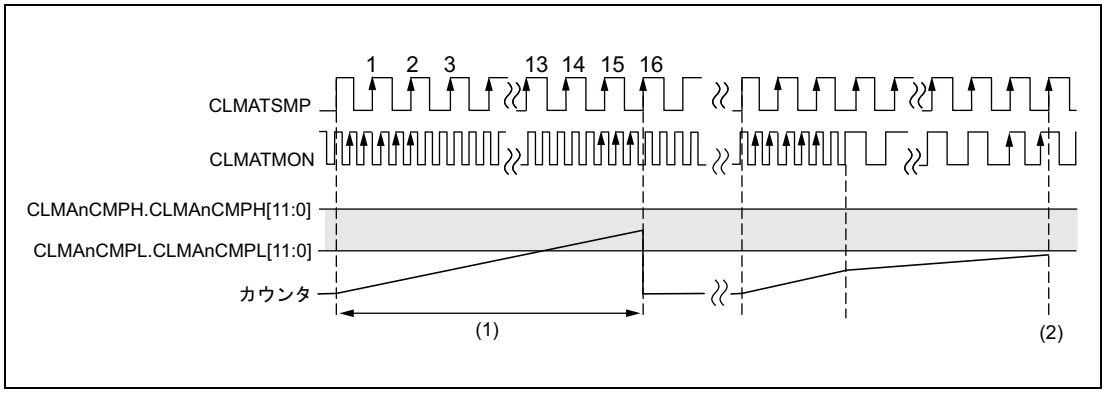


図 11.12 例：$f_{CLMATMON}$ が低い場合

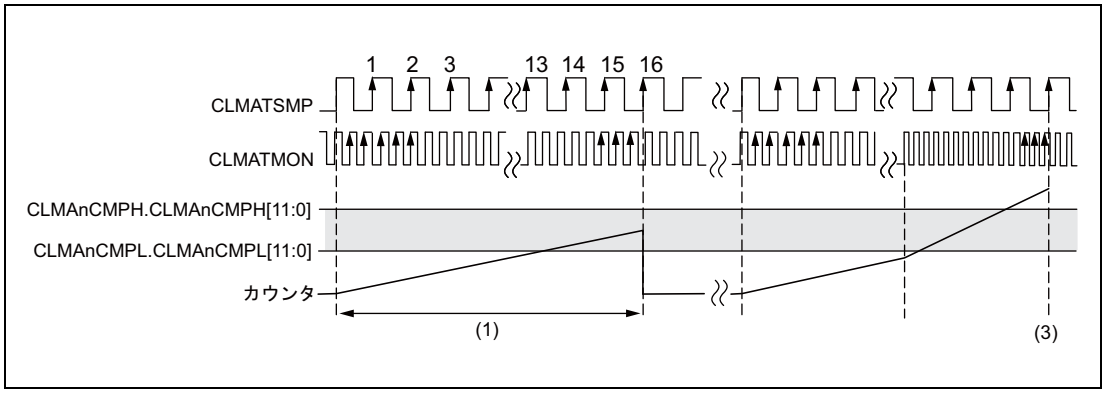


図 11.13 例：$f_{CLMATMON}$ が高い場合

備 考

サンプリングインターバル内で $f_{CLMATMON}$ が高く（もしくは低く）なっても、有効なカウント値に収まる可能性があります。

$f_{CLMATMON}$ の異常は、1 サンプリングインターバル後に検出されます。

(1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法

コンペアレジスタ CLMAnCMPL と CLMAnCMPH には、サンプリングクロック CLMATSMP の 16 サイクル内で有効と想定される CLMATMON のクロックサイクルの最小値と最大値を設定します。

期待されるクロックサイクル数を N で表します。

$$\frac{16}{f_{CLMATSMP}} = \frac{N}{f_{CLMATMON}}$$

$$N = \frac{f_{CLMATMON}}{f_{CLMATSMP}} \times 16$$

CLMATMON と CLMATSMP の許容周波数偏差を考慮して、次の式でしきい値を計算します。

下限しきい値 $= N_{min}$

$$= \frac{f_{CLMATMON(min)}}{f_{CLMATSMP(max)}} \times 16 - 1$$

上限しきい値 $= N_{max}$

$$= \frac{f_{CLMATMON(max)}}{f_{CLMATSMP(min)}} \times 16 + 1$$

備 考

PLL のジッタは計算式の 「+1」と「–1」によってカバーされています。

例

$f_{CLMATSMP}$ = 240 kHz（±8 %）および $f_{CLMATMON}$ = 16 MHz（±5 %）の場合、推奨されるしきい値は次のようになります。

$$N_{min} = 15{,}200 / 259.2 \times 16 - 1 = 937.27$$

$$CLMAnCMPL = 937 = 03A9_H$$

$$N_{max} = 16{,}800 / 220.8 \times 16 + 1 = 1218.39$$

$$CLMAnCMPH = 1219 = 04C3_H$$

最小しきい値

次の制限事項を考慮する必要があります。

- $CLMAnCMPL \geq 0001_H$
- $CLMAnCMPH \geq CLMAnCMPL + 0003_H$

(2) しきい値レジスタの初期値入力の定義

しきい値レジスタのリセット後の値はモニタクロックの最大周波数偏差が許容されるように設定されます。

- $CLMAnCMPL[11:0] = 001_H$
- $CLMAnCMPH[11:0] = 3FF_H$

11.7.4.2 異常クロック周波数の通知

$f_{CLMATMON}$ が上限しきい値よりも高い、もしくは下限しきい値よりも低い場合、次のように示されます。

1. リセット要求信号 $\overline{\text{CLMATRES}}$ をロウレベルに設定
2. システムリセット（AWORES, ISORES) が発生し、CLMAn をリセット

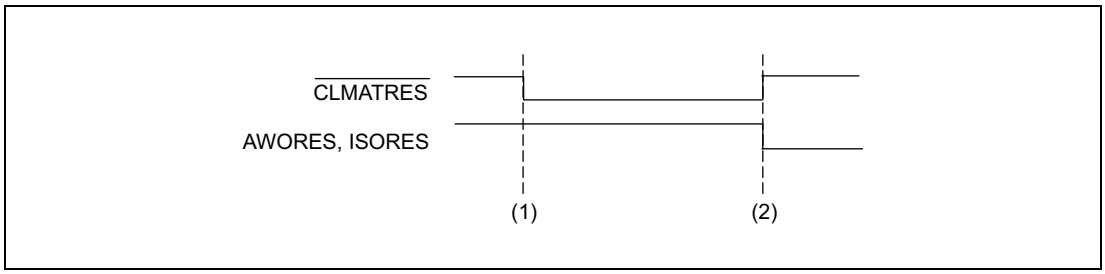


図 11.14 $f_{CLMATMON}$ がしきい値を超えた場合のエラー要求信号

注 意

CLMAn が異常を検知した場合の注意事項については「11.7.6 CLMAn の使用上の注意事項」を参照してください。

11.7.5 レジスタ

11.7.5.1 レジスター覧

CLMA のレジスター覧を以下の表に示します。

<CLMAn_base> は「**11.7.1.2　レジスタベースアドレス**」を参照してください。

表 11.80　クロックモニタレジスタの一覧

モジュール名	レジスタ名	略号	アドレス
CLMAn	CLMAn 制御レジスタ 0	CLMAnCTL0	<CLMAn_base> + 00_H
CLMAn	CLMAn コンペアレジスタ L	CLMAnCMPL	<CLMAn_base> + 08_H
CLMAn	CLMAn コンペアレジスタ H	CLMAnCMPH	<CLMAn_base> + $0C_H$
CLMAn	CLMA テストレジスタ	CLMATEST	FFF8 $C100_H$
CLMAn	CLMA テストステータスレジスタ	CLMATESTS	FFF8 $C104_H$
CLMAn	CLMAn エミュレーションレジスタ 0	CLMAnEMU0	<CLMAn_base> + 18_H

11.7.5.2　CLMAnCTL0 — CLMAn 制御レジスタ 0

クロックモニタ CLMAn を有効にします。

このレジスタを更新するためには、CLMAnPCMD レジスタを使った正しい書き込みシーケンスが必要です。詳細は**「第 5 章　書き込み保護レジスタ」**を参照してください。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<CLMAn_base> + 00_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnCLME
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 11.81　CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CLMAnCLME	クロックモニタの有効／無効を設定します。 0：CLMAn 無効 1：CLMAn 有効

注　意

CLMAnCTL0.CLMAnCLME ビットに 1 がセットされた後の、このビットへの 0 書き込みは無視されます。

このビットをクリアできるのはリセット（AWORES, ISORES）のみです。

また、CLMAn がセルフテストの間に CLMATEST.RESCLM ビットを 1 に設定してもこのビットはクリアできます。

11.7.5.3 CLMAnCMPH — CLMAn コンペアレジスタ H

周波数の上限値を指定します。

CLMAn が無効（CLMAnCTL0.CLMAnCLME = 0）の場合のみ書き込み可能です。

詳細は**「11.7.4.1(1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法」**を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <CLMAn_base> + $0C_H$

リセット後の値 $03FF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPH[11:0]											
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.82 CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ～ 0	CLMAnCMPH [11:0]	上のしきい値を指定します。 • 推奨値：$f_{CLMATMON}$（max）/ $f_{CLMATSMP}$（min）× 16 + 1 • 最小値：CLMAnCMPL ＋ 0003_H

11.7.5.4 CLMAnCMPL — CLMAn コンペアレジスタ L

周波数の下限値を指定します。

CLMAn が無効（CLMAnCTL0.CLMAnCLME = 0）の場合のみ書き込み可能です。

詳細は**「11.7.4.1(1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法」**を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <CLMAn_base> + 08_H

リセット後の値 0001_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPL[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.83 CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ～ 0	CLMAnCMPL [11:0]	下のしきい値を指定します。 • 推奨値：$f_{CLMATMON}$（min）/ $f_{CLMATSMP}$（max）× 16 – 1 • 最小値：0001_H

11.7.5.5 CLMATEST — CLMA テストレジスタ

このレジスタは CLMA0/CLMA1/CLMA2 のセルフテストを制御するレジスタです。

このレジスタを更新するためには、PROTCMDCLMA レジスタを使った正しい書き込みシーケンスが必要です。詳細については、**「第 5 章 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 C100$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLMA2 TESEN	CLMA1 TESEN	CLMA0 TESEN	ERR MSK	MONCL KMSK	RES CLM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 11.84 CLMATEST レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CLMA2TESEN	CLMA2 セルフテスト許可／禁止 0：テスト禁止 1：テスト許可
4	CLMA1TESEN	CLMA1 セルフテスト許可／禁止 0：テスト禁止 1：テスト許可
3	CLMA0TESEN	CLMA0 セルフテスト許可／禁止 0：テスト禁止 1：テスト許可
2	ERRMSK 注 1	CLMA テストリセット信号のマスク設定 0：信号発生許可 1：信号発生禁止（マスク）
1	MONCLKMSK 注 1	モニタクロックのマスク設定 0：モニタクロック許可 1：モニタクロック禁止（マスク）
0	RESCLM 注 1	CLMAn テストリセット信号制御 0：リセット解除 1：リセット実行

注 1. これらのビットは CLMAnTESEN ビットが 1 の場合に有効になります。

11.7.5.6 CLMATESTS — CLMA テストステータスレジスタ

このレジスタは CLMA0/CLMA1/CLMA2 のセルフテストの結果を確認するためのレジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 C104$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLMA2 ERRS	CLMA1 ERRS	CLMA0 ERRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.85 CLMATESTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	CLMA2ERRS	CLMA2 エラーステータス 0：エラー検出しない 1：エラー検出した
1	CLMA1ERRS	CLMA1 エラーステータス 0：エラー検出しない 1：エラー検出した
0	CLMA0ERRS	CLMA0 エラーステータス 0：エラー検出しない 1：エラー検出した

11.7.5.7 CLMAnEMU0 — CLMAn エミュレーションレジスタ 0

本レジスタはエミュレーション時の擬似フラグを設定するレジスタです。

本レジスタはデバッガによるブレーク中のみアクセス可能であり、ブレーク解除によりリセットされます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <CLMAn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CLMAnSLFST	CLMAnSLSLW
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 11.86 CLMAnEMU0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CLMAnSLFST	$f_{CLMATMON}$ を高く想定するかどうかを指定します。 0：CLMATMON は正常な周波数範囲内 1：CLMATMON が上限しきい値を上回った場合
0	CLMAnSLSLW	$f_{CLMATMON}$ を低く想定するかどうかを指定します。 0：CLMATMON は正常な周波数範囲内 1：CLMATMON が下限しきい値を下回った場合

注 意

低い CLMATMON と高い CLMATMON を同時に設定してのエミュレーションは禁止されています。したがって、CLMAnEMU0 を 03_H に設定しないでください。

11.7.6 CLMAn の使用上の注意事項

CLMAn が異常を検出したクロックは使用しないでください。使用した場合、デバイスの動作は保証されません。CLMA0 がクロック異常を検出した場合、クロックドメインの設定変更は禁止です。

各 CLMAn の使用上の注意事項を**表 11.87** に示します。

表 11.87 CLMAn の使用上の注意事項

モニタクロック	CLMA リセット解除後の CPU クロック	備考
HS IntOSC (CLMA0)	EMCLK 注 1	ROSCE.ROSCDISTRG を “1” に設定してください。注 1 MainOSC、PLL0 および PLL1 の制御レジスタを設定しないでください。 CLMA0RES が発生後は、全クロックドメインの設定変更は禁止です。
MainOSC (CLMA1)	EMCLK (= HS IntOSC)	MainOSC、PLL0 および PLL1 の制御レジスタを設定しないでください。CLMA1RES が発生後は、各クロックドメインに MainOSC、PLL0 および PLL1 を使用したソースクロックは選択しないでください。
PLL (CLMA2)	EMCLK (= HS IntOSC)	PLL の制御レジスタを設定しないでください。 CLMA2RES が発生後は、PLL0 を使用したソースクロックは選択しないでください。

注 1. $\overline{\text{CLMA0RES}}$ によるリセット後の EMCLK の状態は、HS IntOSC の発振状態によって異なります。HS IntOSC が完全に停止した場合は、LS IntOSC が EMCLK として供給されます。HS IntOSC が発振し続けているが、周波数が CLMA0 の下限しきい値と上限しきい値の範囲外の場合は、HS IntOSC が引き続き EMCLK として供給されます。ROSCE.ROSCDISTRG ビットを 1 に設定すると、EMCLK は HS IntOSC から LS IntOSC に切り替わります。

第 12 章　スタンバイコントローラ（STBC）

スタンバイコントローラ（STBC）の機能、レジスタおよび各スタンバイモードについて説明します。

12.1　機能

12.1.1　スタンバイモードの種類

RH850/F1M は、HALT モードおよび次の 4 つのスタンバイモードをサポートします。

- HALT モード
  通常動作の RUN モードから CPU1 が “HALT 命令 ” を実行することで HALT モードに遷移します。
  HALT モードでは、CPU1 は動作を停止しますが、CPU クロック以外のクロック、および電源供給は状態を継続します。
  詳細は**「*RH850G3M ユーザーズマニュアル ソフトウェア編*」**を参照してください。
- STOP モード
  STOP モードでは、特定のクロックドメインに対するクロック供給を停止することができます。
  STBC0STPT.STBC0STPTRG ビットを 1 にすることで STOP モードに遷移します。
  CKSC_xxx_STPM.xxxSTPMSK = 1 を設定することにより、STOP モードに遷移しても、クロックドメインへのクロック供給を継続することが可能です。CKSC_xxx_STPM レジスタは、**「第 11 章　クロックコントローラ」**を参照してください。
- DeepSTOP モード
  電力消費をさらに削減するために、Isolated 領域の電源供給を停止することができます。
  STBC0PSC.STBC0DISTRG ビットを 1 にすることで DeepSTOP モードに遷移します。

- Cyclic RUN モード
  CPU1 と Always-On 領域の周辺機能、RLIN3 のみ動作可能とするモードです。
  CPU1 はリテンション RAM 上の 命令を実行します。
  DeepSTOP モードの状態においてウエイクアップ要因 2 が発生、あるいは Cyclic STOP モードの状態においてウエイクアップ要因 1 またはウエイクアップ要因 2 が発生することで Cyclic RUN モードに遷移します。

- Cyclic STOP モード
  Cyclic RUN モードの状態から、さらに CPU1 を停止させたモードです。
  Cyclic RUN モードの状態において、STBC0STPT.STBC0STPTRG ビットを 1 にすることで Cyclic STOP モードに遷移します。

備　考

CPU1 が動作しているモードは、RUN モードと称します。

12.1.2　ウエイクアップ制御

12.1.2.1　各スタンバイモードのウエイクアップ要因

次のウエイクアップ要因により、スタンバイモードから復帰することができます。

表 12.1　ウエイクアップ要因 1 (1/2)

ウエイクアップ要因	ユニット	STOP → RUN	DeepSTOP → RUN	Cyclic RUN → RUN 注 1	Cyclic STOP → RUN 注 1
TNMI	Port	○	○	○	○
WDTA0NMI	WDTA0	○	○	○	○
INTLVIL 注 3	LVI	○	○	○	○
INTP0	Port	○	○	○	○
INTP1	Port	○	○	○	○
INTP2	Port	○	○	○	○
INTWDTA0	WDTA0	○	○	○	○
INTP3	Port	○	○	○	○
INTP4	Port	○	○	○	○
INTP5	Port	○	○	○	○
INTP10	Port	○	○	○	○
INTP11	Port	○	○	○	○
WUTRG1	LPS	○	○	○	○
INTTAUJ0I0	TAUJ0	○	○	○	○
INTTAUJ0I1	TAUJ0	○	○	○	○
INTTAUJ0I2	TAUJ0	○	○	○	○
INTTAUJ0I3	TAUJ0	○	○	○	○
WUTRG0	LPS	○	○	○	○
INTP6	Port	○	○	○	○
INTP7	Port	○	○	○	○
INTP8	Port	○	○	○	○
INTP12	Port	○	○	○	○
INTP9	Port	○	○	○	○
INTP13	Port	○	○	○	○

表 12.1　ウエイクアップ要因 1 (2/2)

ウエイクアップ要因	ユニット	STOP → RUN	DeepSTOP → RUN	Cyclic RUN → RUN 注1	Cyclic STOP → RUN 注1
INTP14	Port	○	○	○	○
INTP15	Port	○	○	○	○
INTRTCA01S	RTCA0	○	○	○	○
INTRTCA0AL	RTCA0	○	○	○	○
INTRTCA0R	RTCA0	○	○	○	○
INTDCUTDI	JTAG	○	○	○	○
INTKR0	KR0	○	×	×	×
INTRCANGRECC0 注2	RSCAN0	○	×	×	×
INTRCAN0REC 注2	RSCAN0	○	×	×	×
INTRCAN1REC 注2	RSCAN0	○	×	×	×
INTRCAN2REC 注2	RSCAN0	○	×	×	×
INTRCAN3REC 注2	RSCAN0	○	×	×	×
INTRCAN4REC 注2	RSCAN0	○	×	×	×
INTRCAN5REC 注2	RSCAN0	○	×	×	×

注 1.　DeepSTOP モードを介して RUN モードに戻ります。ウエイクアップ要因 1 によって Cyclic STOP モードから Cyclic RUN モードへ遷移した際、ウエイクアップ要因 1 をクリアせずに STBC0PSC.STBC0DISTRG で DeepSTOP モード へ遷移させた場合、RUN モードへ遷移します。

注 2.　CAN 受信端子と同じ兼用端子にアサインされている INTP 外部割り込みを使用することで DeepSTOP モード 等のスタンバイモードからウエイクアップが可能です。DeepSTOP モード からウエイクアップする場合は AWO エリアに配置されたポートグループ P0 または P1 を使用してください。

注 3.　REGVCC が基準電圧を下回っている（REGVCC（MIN）＜ VLVI）間は、クリアできません。
ウエイクアップ要因フラグ WUF0[2] をクリアするために、“WUFMSK0[2] = 1” および REGVCC が基準電圧を上回っている（REGVCC（MIN）＞ VLVI）条件で WUFC0[2] のセットが必要です。REGVCC が基準電圧を上回っている条件は、INTLVIH 割り込みで確認できます。

表 12.2　ウエイクアップ要因 2

ウエイクアップ要因	ユニット	DeepSTOP → Cyclic RUN	Cyclic STOP → Cyclic RUN
INTADCA0I0	ADCA0	×	○注1
INTADCA0I1	ADCA0	×	○注1
INTADCA0I2	ADCA0	×	○注1
INTRLIN30	RLIN30	×	○
INTTAUJ0I0	TAUJ0	○	○
INTTAUJ0I1	TAUJ0	○	○
INTTAUJ0I2	TAUJ0	○	○
INTTAUJ0I3	TAUJ0	○	○
INTRLIN31	RLIN31	×	○
INTRLIN32	RLIN32	×	○
INTRTCA01S	RTCA0	○	○
INTRTCA0AL	RTCA0	○	○
INTRTCA0R	RTCA0	○	○
INTRLIN33	RLIN33	×	○
INTRLIN34	RLIN34	×	○
INTRLIN35	RLIN35	×	○

注 1.　これらのウエイクアップ要因は LPS アナログ入力モードでのみ使用可能です。

注　意

DeepSTOP モードからのウエイクアップ要因に使用する機能の端子は、AWO 領域に配置されたポートの兼用機能を使用してください。

12.1.2.2　ウエイクアップ要因の設定

スタンバイモードから復帰するウエイクアップ要因は、以下のスタンバイコントールレジスタで制御します。

- ウエイクアップ要因レジスタ：WUF0、WUF20、WUF_ISO0

  有効なウエイクアップ要因が発生した際に、該当するビットが 1 になります。本レジスタ、ビットを判断することで、ウエイクアップ要因を判断することが可能です。

- ウエイクアップ要因マスクレジスタ：WUFMSK0、WUFMSK20、WUFMSK_ISO0

  ウエイクアップ要因マスクレジスタの各ビットは、各ウエイクアップ要因に割り当てています。ビットを 0 に設定した場合、本ビットに対応するウエイクアップ要因を有効にします。ウエイクアップ要因 1 とウエイクアップ要因 2 の両方に割り当てられている要因を同時に有効にしないでください。

- ウエイクアップ要因クリアレジスタ：WUFC0、WUFC20、WUFC_ISO0

  本レジスタのビットを 1 にすることで、ウエイクアップ要因レジスタ（WUF0、WUF20、WUF_ISO0）のウエイクアップ要因ビット（WUFy）をクリアします。

備　考

ウエイクアップ要因レジスタ（WUF0、WUF20、および WUF_ISO0）のウエイクアップ要因フラグは、ウエイクアップ要因の発生のみを示します。これらのフラグはスタンバイモードから通常動作モードへの遷移を示すものではありません。

制御レジスタビットとステータスレジスタビットへのウエイクアップ要因の割り当てを次の表に示します。

ウエイクアップ制御およびステータスレジスタの詳細は、本章の**「12.2.2.3　WUF0/WUF20/WUF_ISO0 — ウエイクアップ要因レジスタ」**、**「12.2.2.4　WUFMSK0/WUFMSK20/WUFMSK_ISO0 — ウエイクアップ要因マスクレジスタ」**、**「12.2.2.5　WUFC0/WUFC20/WUFC_ISO0 — ウエイクアップ要因クリアレジスタ」**を参照してください。

表 12.3　ウエイクアップ要因 1 レジスタの割り当て

ウエイクアップ要因	レジスタビット配置			ユニット	144 pin	176 pin	233 pin
TNMI	WUF0[0]	WUFMSK0[0]	WUFC0[0]	Port	○	○	○
WDTA0NMI	WUF0[1]	WUFMSK0[1]	WUFC0[1]	WDTA0	○	○	○
INTLVIL	WUF0[2]	WUFMSK0[2]	WUFC0[2]	LVI	○	○	○
INTP0	WUF0[5]	WUFMSK0[5]	WUFC0[5]	Port	○	○	○
INTP1	WUF0[6]	WUFMSK0[6]	WUFC0[6]	Port	○	○	○
INTP2	WUF0[7]	WUFMSK0[7]	WUFC0[7]	Port	○	○	○
INTWDTA0	WUF0[8]	WUFMSK0[8]	WUFC0[8]	WDTA0	○	○	○
INTP3	WUF0[9]	WUFMSK0[9]	WUFC0[9]	Port	○	○	○
INTP4	WUF0[10]	WUFMSK0[10]	WUFC0[10]	Port	○	○	○
INTP5	WUF0[11]	WUFMSK0[11]	WUFC0[11]	Port	○	○	○
INTP10	WUF0[12]	WUFMSK0[12]	WUFC0[12]	Port	○	○	○
INTP11	WUF0[13]	WUFMSK0[13]	WUFC0[13]	Port	○	○	○
WUTRG1	WUF0[14]	WUFMSK0[14]	WUFC0[14]	LPS	○	○	○
INTTAUJ0I0	WUF0[15]	WUFMSK0[15]	WUFC0[15]	TAUJ0	○	○	○
INTTAUJ0I1	WUF0[16]	WUFMSK0[16]	WUFC0[16]	TAUJ0	○	○	○
INTTAUJ0I2	WUF0[17]	WUFMSK0[17]	WUFC0[17]	TAUJ0	○	○	○
INTTAUJ0I3	WUF0[18]	WUFMSK0[18]	WUFC0[18]	TAUJ0	○	○	○
WUTRG0	WUF0[19]	WUFMSK0[19]	WUFC0[19]	LPS	○	○	○
INTP6	WUF0[20]	WUFMSK0[20]	WUFC0[20]	Port	○	○	○
INTP7	WUF0[21]	WUFMSK0[21]	WUFC0[21]	Port	○	○	○
INTP8	WUF0[22]	WUFMSK0[22]	WUFC0[22]	Port	○	○	○
INTP12	WUF0[23]	WUFMSK0[23]	WUFC0[23]	Port	○	○	○
INTP9	WUF0[24]	WUFMSK0[24]	WUFC0[24]	Port	○	○	○
INTP13	WUF0[25]	WUFMSK0[25]	WUFC0[25]	Port	○	○	○
INTP14	WUF0[26]	WUFMSK0[26]	WUFC0[26]	Port	○	○	○
INTP15	WUF0[27]	WUFMSK0[27]	WUFC0[27]	Port	○	○	○
INTRTCA01S	WUF0[28]	WUFMSK0[28]	WUFC0[28]	RTCA0	○	○	○
INTRTCA0AL	WUF0[29]	WUFMSK0[29]	WUFC0[29]	RTCA0	○	○	○
INTRTCA0R	WUF0[30]	WUFMSK0[30]	WUFC0[30]	RTCA0	○	○	○
INTDCUTDI	WUF0[31]	WUFMSK0[31]	WUFC0[31]	JTAG	○	○	○
INTKR0	WUF_ISO0[1]	WUFMSK_ISO0[1]	WUFC_ISO0[1]	KR0	○	○	○
INTRCANGRECC0	WUF_ISO0[2]	WUFMSK_ISO0[2]	WUFC_ISO0[2]	RSCAN0	○	○	○
INTRCAN0REC	WUF_ISO0[3]	WUFMSK_ISO0[3]	WUFC_ISO0[3]	RSCAN0	○	○	○
INTRCAN1REC	WUF_ISO0[4]	WUFMSK_ISO0[4]	WUFC_ISO0[4]	RSCAN0	○	○	○
INTRCAN2REC	WUF_ISO0[5]	WUFMSK_ISO0[5]	WUFC_ISO0[5]	RSCAN0	○	○	○
INTRCAN3REC	WUF_ISO0[6]	WUFMSK_ISO0[6]	WUFC_ISO0[6]	RSCAN0	○	○	○
INTRCAN4REC	WUF_ISO0[7]	WUFMSK_ISO0[7]	WUFC_ISO0[7]	RSCAN0	○	○	○
INTRCAN5REC	WUF_ISO0[8]	WUFMSK_ISO0[8]	WUFC_ISO0[8]	RSCAN0	○	○	○

表 12.4　ウエイクアップ要因 2 レジスタの割り当て

ウエイクアップ要因	レジスタビット配置			ユニット	144 pin	176 pin	233 pin
INTADCA0I0	WUF20[0]	WUFMSK20[0]	WUFC20[0]	ADCA0	○	○	○
INTADCA0I1	WUF20[1]	WUFMSK20[1]	WUFC20[1]	ADCA0	○	○	○
INTADCA0I2	WUF20[2]	WUFMSK20[2]	WUFC20[2]	ADCA0	○	○	○
INTRLIN30	WUF20[3]	WUFMSK20[3]	WUFC20[3]	RLIN30	○	○	○
INTTAUJ0I0	WUF20[4]	WUFMSK20[4]	WUFC20[4]	TAUJ0	○	○	○
INTTAUJ0I1	WUF20[5]	WUFMSK20[5]	WUFC20[5]	TAUJ0	○	○	○
INTTAUJ0I2	WUF20[6]	WUFMSK20[6]	WUFC20[6]	TAUJ0	○	○	○
INTTAUJ0I3	WUF20[7]	WUFMSK20[7]	WUFC20[7]	TAUJ0	○	○	○
INTRLIN31	WUF20[8]	WUFMSK20[8]	WUFC20[8]	RLIN31	○	○	○
INTRLIN32	WUF20[9]	WUFMSK20[9]	WUFC20[9]	RLIN32	○	○	○
INTRTCA01S	WUF20[10]	WUFMSK20[10]	WUFC20[10]	RTCA0	○	○	○
INTRTCA0AL	WUF20[11]	WUFMSK20[11]	WUFC20[11]	RTCA0	○	○	○
INTRTCA0R	WUF20[12]	WUFMSK20[12]	WUFC20[12]	RTCA0	○	○	○
INTRLIN33	WUF20[13]	WUFMSK20[13]	WUFC20[13]	RLIN33	○	○	○
INTRLIN34	WUF20[14]	WUFMSK20[14]	WUFC20[14]	RLIN34	○	○	○
INTRLIN35	WUF20[15]	WUFMSK20[15]	WUFC20[15]	RLIN35	○	○	○

12.1.3 オンチップデバッグウエイクアップ

以下の場合、オンチップデバッグユニット（OCD）は、マイクロコントローラがアプリケーションプログラムを実行するときにウエイクアップイベントを生成します。

- デバッガが停止要求を発行した場合
- ブレークポイントに達した場合

いずれの場合も、WUFMSK0 レジスタを使用して OCD デバッグイベントが有効に設定されている場合はスタンバイモードから復帰します。

注　意

OCD ウエイクアップイベントが無効な場合、オンチップデバッガの要求信号による復帰はできません。

以下の設定で OCD ウエイクアップイベントを有効にすることができます。

WUFMSK0[31] = 0

Hot plug-in 機能を使用する場合は、必ず OCD ウエイクアップイベントを有効にし、INTDCUTDI 割り込みを用いてスタンバイモードから復帰してください。

12.1.4 入出力バッファ制御

この節では、さまざまなスタンバイモードでの入出力バッファの動作について説明します。

Isolated 領域にあるポートグループは入出力バッファホールドをサポートしています。Always-On 領域でのポートグループは、スタンバイモードに入る前の状態のままです。Isolated 領域や Always-On 領域に割り当てられるポートグループについては、**「第 39 章　電源とパワードメイン」**を参照してください。

12.1.4.1 入出力バッファホールド状態

入出力バッファホールド状態の間、入出力バッファは入出力バッファホールド状態に入る前の状態を保持します。したがって、内部信号および外部信号は入出力バッファホールド状態が終了するまでその状態を変更することができません。

12.1.4.2 STOP モード時の入出力バッファ

STOP モード時の領域の入出力バッファは、STOP モードに入る前の状態を継続します（入出力バッファホールド状態に入りません）。

12.1.4.3 DeepSTOP モード時の入出力バッファ

DeepSTOP モード時、Isolated 領域にあるポートグループの入出力バッファは、入出力バッファホールド状態になります。

DeepSTOP モードからウエイクアップした後、ソフトウェアで状態を解除するまで入出力バッファホールド状態は継続します。以下手順で入出力バッファホールド状態の解除を行ってください。

1. 周辺機能やポート機能の再設定
2. IOHOLD.IOHOLD = 0 に設定

スタンバイモードおよびウエイクアップ後の Isolated 領域にある入出力バッファの状態を以下表に示します。

表 12.5　スタンバイモード時とウエイクアップ後のバッファの動作（Isolated 領域の入出力バッファ）

	スタンバイ前	スタンバイ中	ウエイクアップ後
STOP モード	通常動作		
DeepSTOP モード	通常動作	入出力バッファホールド状態	入出力バッファホールド状態 注 1

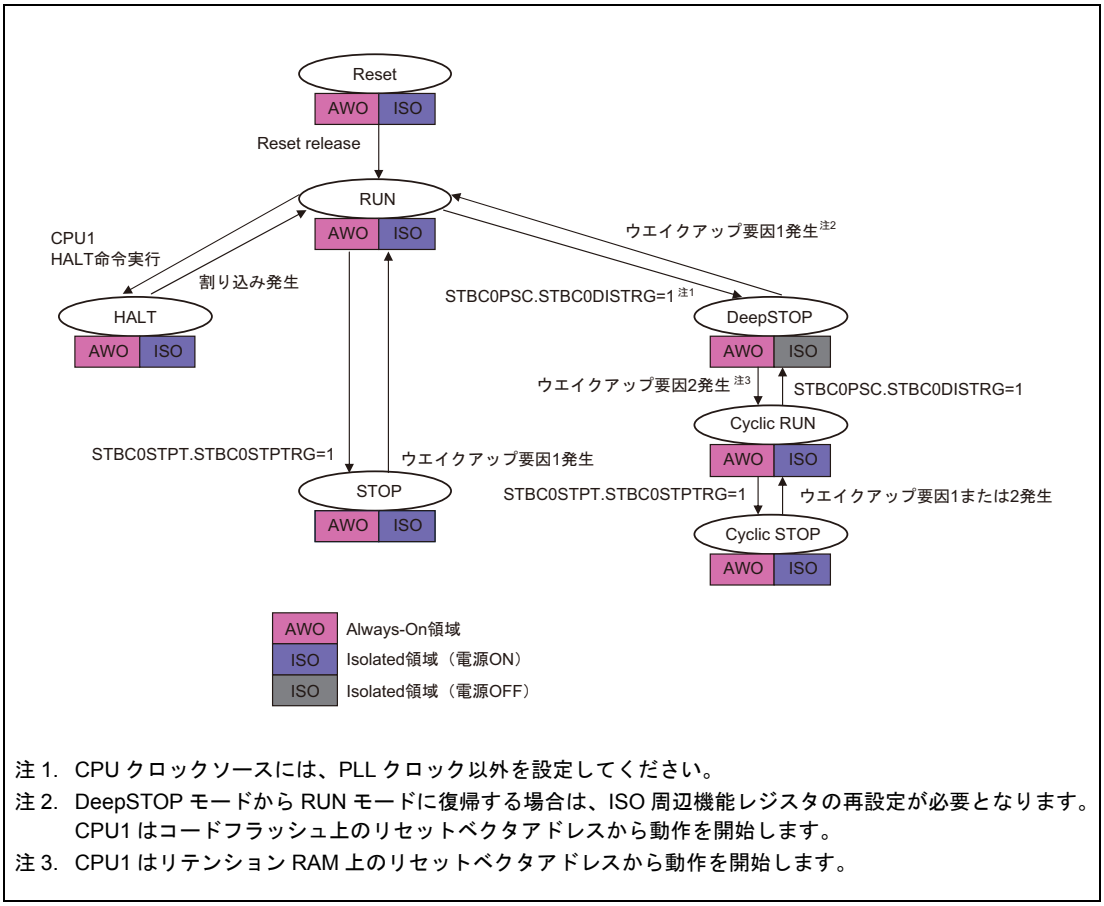
注 1.　IOHOLD.IOHOLD ビットに “0” を設定し、入出力バッファホールド状態を解除してください。

Always-On 領域のポートグループは、入出力バッファホールド状態をサポートしておらず、DeepSTOP モードに遷移する前の状態のままになります。

Isolated 領域のモジュールの兼用機能が Always-On 領域内の端子に割り当てられる場合は、ISORES による Isolated 領域のモジュールの初期化によって、入出力バッファの状態が DeepSTOP モード遷移中に変更される可能性があるので、DeepSTOP モードに遷移する前に、Always-On 領域のモジュールの機能（例えば、ポートモード）を変更することを推奨します。

12.1.5 スタンバイモードの遷移

RUN モードとスタンバイモードの遷移を次の図に示します。



注 1. CPU クロックソースには、PLL クロック以外を設定してください。
注 2. DeepSTOP モードから RUN モードに復帰する場合は、ISO 周辺機能レジスタの再設定が必要となります。CPU1 はコードフラッシュ上のリセットベクタアドレスから動作を開始します。
注 3. CPU1 はリテンション RAM 上のリセットベクタアドレスから動作を開始します。

図 12.1 スタンバイモードの遷移

12.1.6 クロック供給

スタンバイコントローラのクロック供給を以下の表に示します。

表 12.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
スタンバイコントローラ	レジスタアクセスクロック	EMCLK

12.2 レジスタ

12.2.1 レジスター覧

STBC のレジスター覧を以下の表に示します。

表 12.7 レジスター覧

モジュール名	レジスタ名	略号	アドレス
STBC	パワーセーブ制御レジスタ	STBC0PSC	FFF8 0100$_H$
	パワー停止トリガレジスタ	STBC0STPT	FFF8 0110$_H$
	ウエイクアップ要因レジスタ	WUF0	FFF8 0400$_H$
		WUF20	FFF8 0520$_H$
		WUF_ISO0	FFF8 8110$_H$
	ウエイクアップ要因マスクレジスタ	WUFMSK0	FFF8 0404$_H$
		WUFMSK20	FFF8 0524$_H$
		WUFMSK_ISO0	FFF8 8114$_H$
	ウエイクアップ要因クリアレジスタ	WUFC0	FFF8 0408$_H$
		WUFC20	FFF8 0528$_H$
		WUFC_ISO0	FFF8 8118$_H$
	入出力バッファホールド制御レジスタ	IOHOLD	FFF8 0B00$_H$

12.2.2 スタンバイコントローラ制御レジスタの詳細

12.2.2.1 STBC0PSC — パワーセーブ制御レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 0100$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STBC0DISTRG	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

表 12.8　STBC0PSC レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	STBC0DISTRG	0：“0” 書き込みは機能として意味をもちません 1：DeepSTOP モードに入る
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

12.2.2.2 STBC0STPT — パワー停止トリガレジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス $FFF8\ 0110_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STBC0STPTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12.9　STBC0STPT レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	STBC0STPTRG	0：“0” 書き込みは機能として意味をもちません 1：STOP モードに入る – RUN モード時：STOP モードに遷移 – Cyclic RUN モード時：Cyclic STOP モードに遷移

12.2.2.3　WUF0/WUF20/WUF_ISO0 — ウエイクアップ要因レジスタ

これらのレジスタはウエイクアップ要因が発生したことを示します。

WUF0/WUF20 レジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。WUF_ISO0 レジスタはすべてのリセット要因（ISORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　WUF0：FFF8 0400_H
WUF20：FFF8 0520_H
WUF_ISO0：FFF8 8110_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WUF31	WUF30	WUF29	WUF28	WUF27	WUF26	WUF25	WUF24	WUF23	WUF22	WUF21	WUF20	WUF19	WUF18	WUF17	WUF16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WUF15	WUF14	WUF13	WUF12	WUF11	WUF10	WUF09	WUF08	WUF07	WUF06	WUF05	WUF04	WUF03	WUF02	WUF01	WUF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.10　WUF0/WUF20/WUF_ISO0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	WUFy	ウエイクアップ要因の発生を示します。 0：ウエイクアップ要因未発生 1：ウエイクアップ要因発生

備　考

ウエイクアップ要因マスクレジスタの WUFMSKy ビットが 1 の場合は、ウエイクアップ要因が発生しても WUFy は 1 になりません。

ウエイクアップ要因

ウエイクアップ要因レジスタビットへのウエイクアップ要因の割り当てについては、**「表 12.3　ウエイクアップ要因 1 レジスタの割り当て」**と**「表 12.4　ウエイクアップ要因 2 レジスタの割り当て」**を参照してください。

ウエイクアップ要因が割り当てられていないビットを読み出した場合、その値は “0” です。

12.2.2.4 WUFMSK0/WUFMSK20/WUFMSK_ISO0 — ウエイクアップ要因マスクレジスタ

ウエイクアップ要因を有効にします。

WUFMSK0/WUFMSK20 レジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。WUFMSK_ISO0 レジスタはすべてのリセット要因（ISORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス WUFMSK0：FFF8 0404$_H$
WUFMSK20：FFF8 0524$_H$
WUFMSK_ISO0: FFF8 8114$_H$

リセット後の値 WUFMSK0：FFFF FFFF$_H$
WUFMSK20：FFFF FFFF$_H$
WUFMSK_ISO0：FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WUFMSK31	WUFMSK30	WUFMSK29	WUFMSK28	WUFMSK27	WUFMSK26	WUFMSK25	WUFMSK24	WUFMSK23	WUFMSK22	WUFMSK21	WUFMSK20	WUFMSK19	WUFMSK18	WUFMSK17	WUFMSK16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WUFMSK15	WUFMSK14	WUFMSK13	WUFMSK12	WUFMSK11	WUFMSK10	WUFMSK09	WUFMSK08	WUFMSK07	WUFMSK06	WUFMSK05	WUFMSK04	WUFMSK03	WUFMSK02	WUFMSK01	WUFMSK00
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12.11 WUFMSK0/WUFMSK20/WUFMSK_ISO0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	WUFMSKy	ウエイクアップ要因の有効／ 無効設定 0：ウエイクアップ要因有効 1：ウエイクアップ要因無効

備　考

WUFMSKy ビットが 1 の場合は、ウエイクアップ要因が発生してもウエイクアップ要因レジスタの WUFy は 1 になりません。

ウエイクアップ要因

ウエイクアップ要因レジスタビットへのウエイクアップ要因の割り当てについては、**「表 12.3　ウエイクアップ要因 1 レジスタの割り当て」**と**「表 12.4　ウエイクアップ要因 2 レジスタの割り当て」**を参照してください。

本レジスタへ書き込む場合、ウエイクアップ要因が割り当てられていないビットへは、“1”を書き込みしてください。

12.2.2.5　WUFC0/WUFC20/WUFC_ISO0 — ウエイクアップ要因クリアレジスタ

ウエイクアップ要因レジスタの WUFy ビットをクリアします。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　WUFC0：FFF8 0408$_H$
WUFC20：FFF8 0528$_H$
WUFC_ISO0：FFF8 8118$_H$

リセット後の値　不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WUFC 31	WUFC 30	WUFC 29	WUFC 28	WUFC 27	WUFC 26	WUFC 25	WUFC 24	WUFC 23	WUFC 22	WUFC 21	WUFC 20	WUFC 19	WUFC 18	WUFC 17	WUFC 16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WUFC 15	WUFC 14	WUFC 13	WUFC 12	WUFC 11	WUFC 10	WUFC 09	WUFC 08	WUFC 07	WUFC 06	WUFC 05	WUFC 04	WUFC 03	WUFC 02	WUFC 01	WUFC 00
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 12.12　WUFC0/WUFC20/WUFC_ISO0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	WUFCy	ウエイクアップ要因レジスタのウエイクアップ要因 WUFy のクリア 0：WUFy は変更なし 1：WUFy をクリア

ウエイクアップ要因

ウエイクアップ要因レジスタビットへのウエイクアップ要因の割り当てについては、**「表 12.3　ウエイクアップ要因 1 レジスタの割り当て」**と**「表 12.4　ウエイクアップ要因 2 レジスタの割り当て」**を参照してください。

本レジスタへ書き込む場合、ウエイクアップ要因が割り当てられていないビットへは、“0”を書き込みしてください。

12.2.2.6 IOHOLD — 入出力バッファホールド制御レジスタ

DeepSTOP モード時の入出力バッファのホールド状態を設定します。このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は**「第 5 章　書き込み保護レジスタ」**を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 0B00$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IOHOLD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12.13 IOHOLD レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	IOHOLD	0：入出力ホールド解除 1：入出力ホールド状態 このビットは DeepSTOP モード遷移時に自動的に 1 にセットされます。ソフトウェアにより 1 を設定することは禁止です。ウエイクアップ後に入出力ホールドを解除するときは、ソフトウェアにより 0 を設定してください。

12.3 モード遷移

本節では、モード遷移の手順を説明します。

12.3.1 STOP モード

STOP モードでは、ほとんどの Always-On 領域と Isolated 領域のクロックを停止します。クロック停止マスクレジスタは関連したクロックドメインのスタンバイ中のクロック供給を制御します。STOP モードに遷移する前に、STOP モード中にクロック供給を停止する周辺機能をすべて停止してください。

STOP モード遷移手順（例）を以下に示します。

スタンバイの準備

- クロック供給を停止する周辺機能をすべて停止します。
- CPU 命令 “DI” によって割り込み処理を禁止します。
- 割り込み制御レジスタの設定
  - 割り込みフラグをクリア（ICxxx.RFxxx = 0）
  - 非ウエイクアップ要因の割り込みをマスク（ICxxx.MKxxx = 1）
  - ウエイクアップ要因の割り込みのマスク解除（ICxxx.MKxxx = 0）
- ウエイクアップ関連レジスタの設定
  - ウエイクアップ要因フラグをクリア
    （WUF0, WUFC_ISO0 レジスタ）
  - 非ウエイクアップ要因をマスク
    （WUFMSK0, WUFMSK_ISO0 レジスタ）
  - ウエイクアップ要因のマスク解除
    （WUFMSK0, WUFMSK_ISO0 レジスタ）
- クロック停止マスクレジスタを設定し、停止するクロックドメインと動作を継続するクロックドメインをそれぞれ選択します。（CKSC_xxx_STPM.xxxxSTPMSK ビットで設定してください。）
- 各クロックソースの発振／停止を設定します。また、クロック停止マスクレジスタを設定し、停止するクロックソースと動作を継続するクロックソースをそれぞれ選択します。（MOSCSTPM レジスタの MOSCSTPMSK ビット、ROSCSTPM レジスタの ROSCSTPMSK ビット）

スタンバイの開始

STBC0STPT レジスタの STBC0STPTRG ビットを 1 に設定し STOP モードに遷移します。

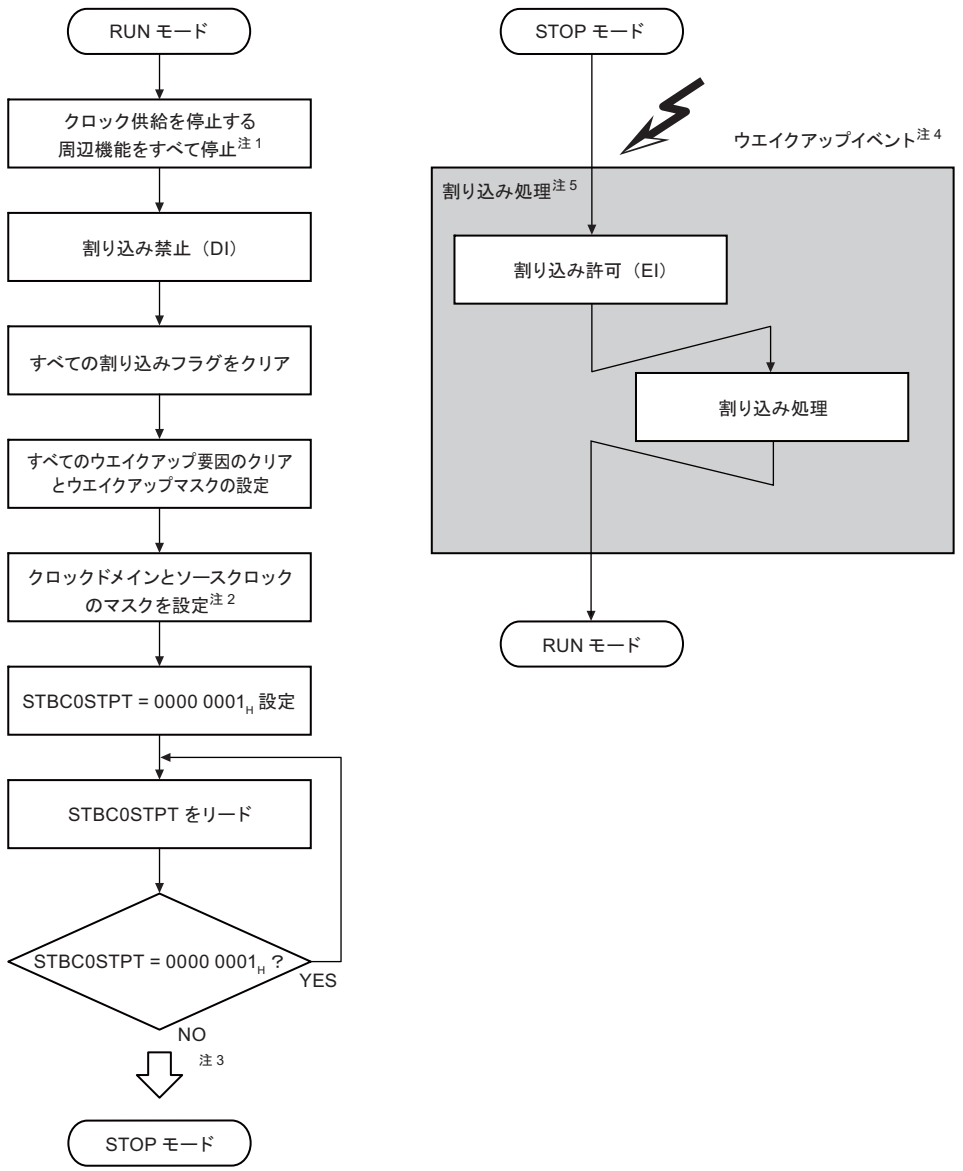
スタンバイの終了

ウエイクアップ要因が発生すると、マイクロコントローラは STOP モードから復帰します。

ウエイクアップ処理

ウエイクアップ要因の発生は、ウエイクアップ要因フラグ（WUF0, WUF_ISO0）で判定します。

CPU 命令 “EI” により割り込みを許可すると、発生したウエイクアップ割り込みを実行することが可能です。



注 1. 周辺機能動作中に STOP モードへの遷移により周辺機能の動作を停止した場合、周辺機能の動作が不正となる可能性があります。STOP モード遷移前に、クロック供給を停止する各周辺機能は停止するようにしてください。

注 2. クロックマスクはこのフローの開始以前に設定することも可能ですが、STBC0STPT に 0000 0001_H をライトするまでの間に設定しておく必要があります。

注 3. STBC0STPT = 0000 0001_H であることを確認する処理を続けている間に CPU へのクロック供給が停止し STOP モードに遷移します。

注 4. ウエイクアップ要因が発生した時点で STBC0STPT = 0000 0000_H となります。発生したウエイクアップ要因は WUF0、WUF_ISO0 レジスタで確認することが可能です。

注 5. 使用は任意です。ウエイクアップ後に割り込み処理を実行する場合に必要となります。

図 12.2 STOP モード遷移例

12.3.2 DeepSTOP モード

DeepSTOP モードでは、すべての領域のクロック供給と Isolated 領域の電源が停止します。ただし Always-On 領域の周辺機能はクロック停止マスクレジスタの設定によりクロック供給を継続することができます。

DeepSTOP モードに遷移する前に、CPU 動作クロックに PLL クロック以外を選択してください。

DeepSTOP モード遷移手順（例）を以下に示します。

スタンバイの準備

- クロック供給を停止する周辺機能をすべて停止します。
- CPU 命令 “DI” によって割り込み処理を禁止します。
- 割り込み制御レジスタの設定
  - 割り込みフラグをクリア（ICxxx.RFxxx = 0）
  - 非ウエイクアップ要因の割り込みをマスク（ICxxx.MKxxx = 1）
  - ウエイクアップ要因の割り込みのマスク解除（ICxxx.MKxxx = 0）
- ウエイクアップ関連レジスタの設定
  - ウエイクアップ要因フラグをクリア（WUF0, WUFC20 レジスタ）
  - 非ウエイクアップ要因をマスク（WUFMSK0, WUFMSK20 レジスタ）
  - ウエイクアップ要因のマスク解除（WUFMSK0, WUFMSK20 レジスタ）

注　意

ウエイクアップ要因がウエイクアップ要因 1 レジスタ、ウエイクアップ要因 2 レジスタ両方にアサインされている場合は、どちらか片方でしか使用できません。

- クロック停止マスクレジスタを設定し、停止するクロックドメインと動作を継続するクロックドメインをそれぞれ選択します。（CKSC_xxx_STPM.xxxxSTPMSK ビットで設定してください。）
- 各クロックソースの発振／停止を設定します。また、クロック停止マスクレジスタを設定し、停止するクロックソースと動作を継続するクロックソースをそれぞれ選択します。（MOSCSTPM レジスタの MOSCSTPMSK ビット、ROSCSTPM レジスタの ROSCSTPMSK ビット）

スタンバイの開始

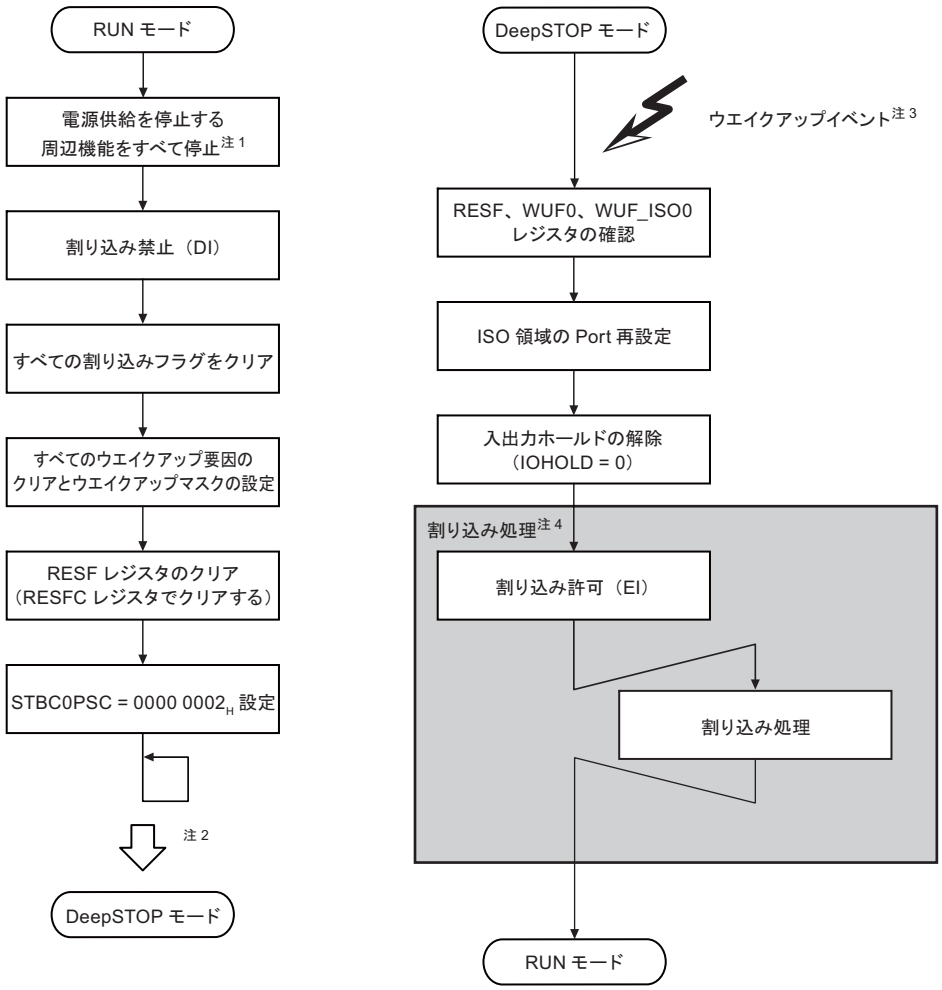
STBC0PSC レジスタの STBC0DISTRG ビットを 1 に設定し、DeepSTOP モードに遷移します。

スタンバイの終了

ウエイクアップ要因が発生すると、マイクロコントローラは DeepSTOP モードから復帰します。

ウエイクアップ処理

- DeepSTOP モードからウエイクアップ要因 1 で復帰すると、マイクロコントローラは、リセットベクタアドレスから動作を開始します。
  DeepSTOP モードから RUN モードへの復帰の前に以下のどちらかの割り込みが発生していた場合は、マイクロコントローラは例外ハンドラアドレスから動作を再開します。
  – FENMI: FENMI ハンドラアドレス ($E0_H$)
  – FEINT: FEINT ハンドラアドレス ($F0_H$)
  DeepSTOP モードから復帰した後、汎用レジスタ、ローカル RAM の値は不定です。
- ウエイクアップ要因の発生は、ウエイクアップ要因フラグ（WUF0）で判定します。
- Isolated 領域のポートは、入出力バッファホールド状態を継続します。
  以下手順で入出力バッファホールド状態を解除してください。
  1. 周辺機能やポート機能の再設定
  2. IOHOLD.IOHOLD = 0 に設定
- ウエイクアップ後、ウエイクアップ要因の割り込みを実行したい場合、ソフトウェアでウエイクアップ要因フラグの情報を判断し、割り込み制御レジスタの割り込み要求フラグを設定してください。次に CPU 命令 “EI” により割り込みを許可すると、発生したウエイクアップ割り込みを実行することが可能です。



注 1. 周辺機能動作中に DeepSTOP モードへの遷移により周辺機能の動作を停止した場合、周辺機能の動作が不正となる可能性があります。DeepSTOP モード遷移前に、電源供給を停止する各周辺機能は停止するようにしてください。

注 2. STBC0PSC = 0000 0002_H 設定後は無条件ループで DeepSTOP モードへの遷移をウエイトしてください。

注 3. ウエイクアップ要因発生後、CPU1 はリセットベクタからプログラムを開始します。リセットによる DeepSTOP モードからの復帰は RESF レジスタで確認することができます。また、発生したウエイクアップ要因は WUF0、WUF_ISO0 レジスタで確認することが可能です。

注 4. 使用は任意です。ウエイクアップ後に割り込み処理を実行する場合に必要となります。

図 12.3　DeepSTOP モード遷移例

12.3.3 Cyclic RUN モード

Cyclic RUN モードでは、CPU1, AWO エリアの周辺機能、RLIN3 以外の機能を停止します。このモードでは、PLL およびフラッシュメモリは使用できません。

Cyclic RUN モード遷移手順（例）を以下に示します。

Cyclic RUN の準備

Cyclic RUN モード用のプログラムをリテンション RAM に配置しておく必要があります。Cyclic RUN モードのリセットベクタベースアドレスはリテンション RAM（$FEF00000_H$）の先頭アドレスに設定されています。

その際、RUN モードへの復帰要因としたい割り込み処理もしくは割り込み要求信号のポーリング後の処理に DeepSTOP モード へ遷移する命令を配置する必要があります。

例外ベクタに関しては「***RH850G3M ユーザーズマニュアル ソフトウェア編***」を参照してください。

注　意

Cyclic RUN モード中は PSW.EBV ビットの変更は禁止です（Cyclic RUN モード中は PSW.EBV ビットに “1” を設定することは禁止です）。

- ウエイクアップ関連レジスタの設定
  - ウエイクアップ要因フラグをクリア（WUFC20 レジスタ）
  - 非ウエイクアップ要因をマスク（WUFMSK20 レジスタ）
  - ウエイクアップ要因のマスク解除（WUFMSK20 レジスタ）
- DeepSTOP モードに遷移します。DeepSTOP モードは、**「12.3.2　DeepSTOP モード」**を参照してください。

Cyclic RUN の開始

DeepSTOP モードからは、ウエイクアップ要因 2 の発生により Cyclic RUN モードに遷移します。

マイクロコントローラは、Cyclic RUN モードのリセットベクタアドレス（リテンション RAM （$FEF00000_H$）の先頭アドレス）から動作を開始します。

その際、DeepSTOP モードから Cyclic RUN モード復帰時に以下の割り込みのいずれかが発生すると、例外ハンドラアドレスから動作を再開します。

- FENMI：Cyclic RUN モード時の FENMI ハンドラアドレス（$FEF00000_H$+ $E0_H$）
- FEINT：Cyclic RUN モード時の FEINT ハンドラアドレス（$FEF00000_H$+ $F0_H$）

なお、汎用レジスタ、ローカル RAM は DeepSTOP モードから Cyclic RUN モードへの遷移後に不定値になることに注意してください。

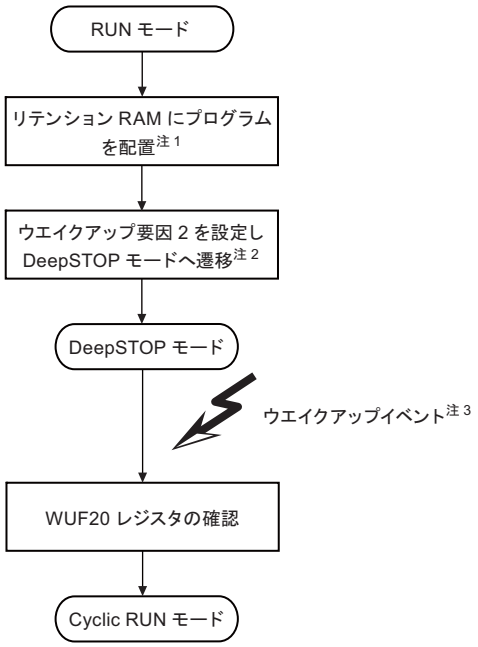
Cyclic STOP モードからは、ウエイクアップ要因 1、2 の発生により Cyclic RUN モードに遷移します。

Cyclic RUN の終了

STBC0STPT.STBC0STPTRG を 1 に設定し、Cyclic STOP モードへ遷移するか、STBC0PSC.STBC0DISTRG を 1 に設定し、DeepSTOP モードへ遷移することによって Cyclic RUN モードは終了します。

ウエイクアップ処理

ウエイクアップ要因の発生は、ウエイクアップ要因フラグ（WUF20）で判定します。



注 1. Cyclic RUN モードからウエイクアップ要因により RUN モードまで遷移させる場合は、ウエイクアップ要因に対応する割り込みベクタの処理内で DeepSTOP モードに遷移する必要があります。その場合、割り込み処理もリテンション RAM 上に配置します。

注 2. DeepSTOP モード遷移前に、WUFC20 レジスタでウエイクアップ要因 2 のフラグをクリアし、WUFMSK20 レジスタで使用するウエイクアップ要因 2 の設定を行います。その他の DeepSTOP モード遷移手順は通常と同様です。

注 3. ウエイクアップ要因発生後、CPU1 はリテンション RAM 上の先頭アドレス（$FEF0\ 0000_H$）からプログラムを開始します。発生したウエイクアップ要因 2 は WUF20 レジスタで確認することが可能です。

図 12.4　Cyclic RUN モード遷移例

12.3.4 Cyclic STOP モード

Cyclic STOP モードでは、AWO エリアの周辺機能 , RLIN3 以外の機能を停止します。

Cyclic STOP モード遷移手順（例）を以下に示します。

Cyclic STOP の準備

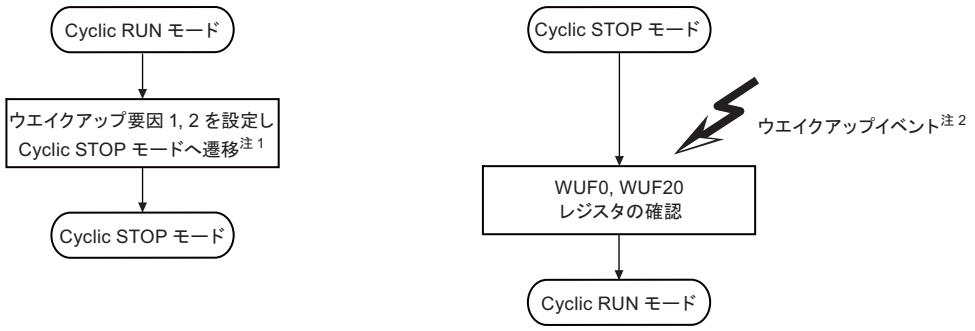
- Cyclic RUN モードに遷移します。
- ウエイクアップ関連レジスタの設定
  - ウエイクアップ要因フラグをクリア
    （WUF0, WUFC20 レジスタ）
  - 非ウエイクアップ要因をマスク
    （WUFMSK0, WUFMSK20 レジスタ）
  - ウエイクアップ要因のマスク解除
    （WUFMSK0, WUFMSK20 レジスタ）

Cyclic STOP の開始

STBC0STPT.STBC0STPTRG を 1 に設定し、Cyclic STOP モードへ遷移します。

Cyclic STOP の終了

ウエイクアップ要因 1 または 2 の発生により Cyclic RUN モードに遷移します。



注 1. RUN モードに遷移するためのウエイクアップ要因 1 と Cyclic RUN モードに遷移させるためのウエイクアップ要因 2 をそれぞれ設定します。ウエイクアップ要因 1 で RUN モードまで遷移する場合は、Cyclic RUN モードにて DeepSTOP モードへ遷移する処理を追加する必要があります。

注 2. Cyclic STOP モードでウエイクアップ要因が発生した場合、Cyclic RUN モードに遷移し、Cyclic STOP モードに遷移した直後の処理から動作を開始します。発生したウエイクアップ要因は WUF0、WUF20 レジスタで確認することができます。

図 12.5　Cyclic STOP モード遷移例

12.4　スタンバイコントローラ関連レジスタへの書き込み

以下のスタンバイコントローラレジスタは、書き込み保護の対象レジスタです。

- STBC0PSC レジスタ
- STBC0STPT レジスタ
- IOHOLD レジスタ

書き込み保護レジスタは、誤ったプログラム動作などによる不正な書き込みからレジスタを保護します。

書き込み保護シーケンスについては、**「第 5 章　書き込み保護レジスタ」**を参照してください。

12.5　スタンバイモード使用時の注意事項

12.5.1　デバッガ使用時における DeepSTOP モード遷移の注意事項

デバッガを使用する際、プログラム開始直後に DeepSTOP モードへ遷移するプログラムを実行すると、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンが DeepSTOP モードに遷移するため、同通信が不正動作となる可能性があります。

この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存しますので、プログラム開始直後に DeepSTOP モードへ遷移するプログラムをデバッグする際は、デバッガが正常起動する様、リセット解除から DeepSTOP 実行命令までの間にウエイトを挿入してください。

DeepSTOP モード時は、デバッグコントローラは停止します。デバッガによる DeepSTOP モードからの復帰については、**「12.1.3　オンチップデバッグウエイクアップ」**を参照してください。

第 13 章　ロウパワーサンプラ（LPS）

本章では、ロウパワーサンプラ（LPS）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、LPS の機能、レジスタについて説明します。

13.1　RH850/F1M LPS の特長

13.1.1　ユニット数

本製品は、以下に示すユニット数の LPS を搭載しています。

表 13.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	1		
名称	LPSn (n = 0)		

表 13.2　LPS のユニット構成とチャネルの対応

ユニット LPSn	ユニット チャネル数	機能	チャネル名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
LPS0	1	ポートポーリング用デジタルポート入力 m	DPINm	24ch		
		A/D 変換用アナログ入力 m	ADCA0Im	16ch		

表 13.3　添字

添字	説明
n	本章では、LPS のユニットを「n」（n = 0）で識別します。
m	本章では、LPS のポートポーリング用デジタルポート入力チャネル数を「m」（m = 0 ～ 23 ）、A/D 変換用アナログ入力チャネル数を「m」（m = 0 ～ 15）で識別します。
k	デジタルポート用外部マルチプレクサ選択出力信号を「k」で識別します。
x	LPS シーケンススタートトリガ　入力信号を「x」で識別します。

備　考

本章の機能およびレジスタ説明は、最大仕様について記載しています。本文中の添字の値は使用する製品に合わせてください。また、以下の点に注意してください。

使用する製品により添字の範囲外となるビットに書き込む場合は、リセット後の値を書き込んでください。

各製品の添字が示す値を以下に示します。

表 13.4　各製品の添字対応

各製品の添字対応		
144 pin	176 pin	233 pin
k = 0 ～ 2		
x = 0 ～ 3		

13.1.2　レジスタベースアドレス

LPS のベースアドレスを以下の表に示します。

LPS のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 13.5　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<LPS0_base>	FFF8 3000_H

13.1.3　クロック供給

LPS のクロック供給を以下の表に示します。
ロウパワーサンプラ（LPS）の動作要求がアクティブになっている場合、HS IntOSC を選択しているクロックドメインのクロックも動作します。

そのクロックドメインの機能を停止したい場合は、スタンバイモードに遷移する前に対象のクロックドメインの設定を “Disable” 設定にしてください。

表 13.6　クロック供給

ユニット名	ユニットクロック名	供給クロック名
LPSn	レジスタアクセスクロック	EMCLK

13.1.4　割り込み要求

LPS の割り込み要求を以下の表に示します。

表 13.7　割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
LPS0			
INTCWEND	ポートポーリング終了割り込み（LPS）	112	—
INTADCA0I0 注 1	ADCA0 SG1 終了割り込み	18	4
INTADCA0I1 注 1	ADCA0 SG2 終了割り込み	19	5
INTADCA0I2 注 1	ADCA0 SG3 終了割り込み	20、32	6

注 1.　ADCA0 から出力されます。

13.1.5 リセット要因

LPS のリセット要因を以下に示します。LPS は以下のリセット要因で初期化されます。

表 13.8　リセット要因

ユニット名	リセット要因
LPS0	DeepSTOP モード遷移時を除くリセット要因（AWORES）

13.1.6 外部入出力信号

LPS の外部入出力信号を以下の表に示します。

表 13.9　外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
LPS0		
DPO	デジタル入力用ポート出力信号	DPO
DPSELk	デジタルポート用外部マルチプレクサ選択出力信号	SELDPk
DPINm	デジタルポート入力信号	DPINm
APO	アナログ入力用ポート出力信号	APO
ADCA0Im	ADCA　入力チャネル信号	ADCA0Im

注　意

P0_0 端子を DPO として使用する場合、リセット中およびリセット解除後、P0_0 端子は $\overline{\text{RESETOUT}}$ 機能としてロウレベルを出力します。

詳細は「**2.11.1.1　P0_0：$\overline{\text{RESETOUT}}$**」を参照してください。

13.1.7 内部入出力信号

LPS-STBC 間、LPS-TAUJ 間で接続する内部入出力信号を以下の表に示します。

表 13.10　内部入出力信号

ユニット信号名	説明	接続先
WUTRG0	LPS ウエイクアップ要因　トリガ 0　出力信号	STBC
WUTRG1	LPS ウエイクアップ要因　トリガ 1　出力信号	STBC
INTTAUJ0Ix	LPS シーケンススタートトリガ x　入力信号	TAUJ0

13.2　概要

13.2.1　機能概要

LPS は、CPU リソースを消費せずに外部の入力を監視するために、デジタル入力ポートとアナログ入力ポートの確認を CPU を介さず実行することができます。LPS の主な構成要素と外部回路の接続例を次の図に示します。

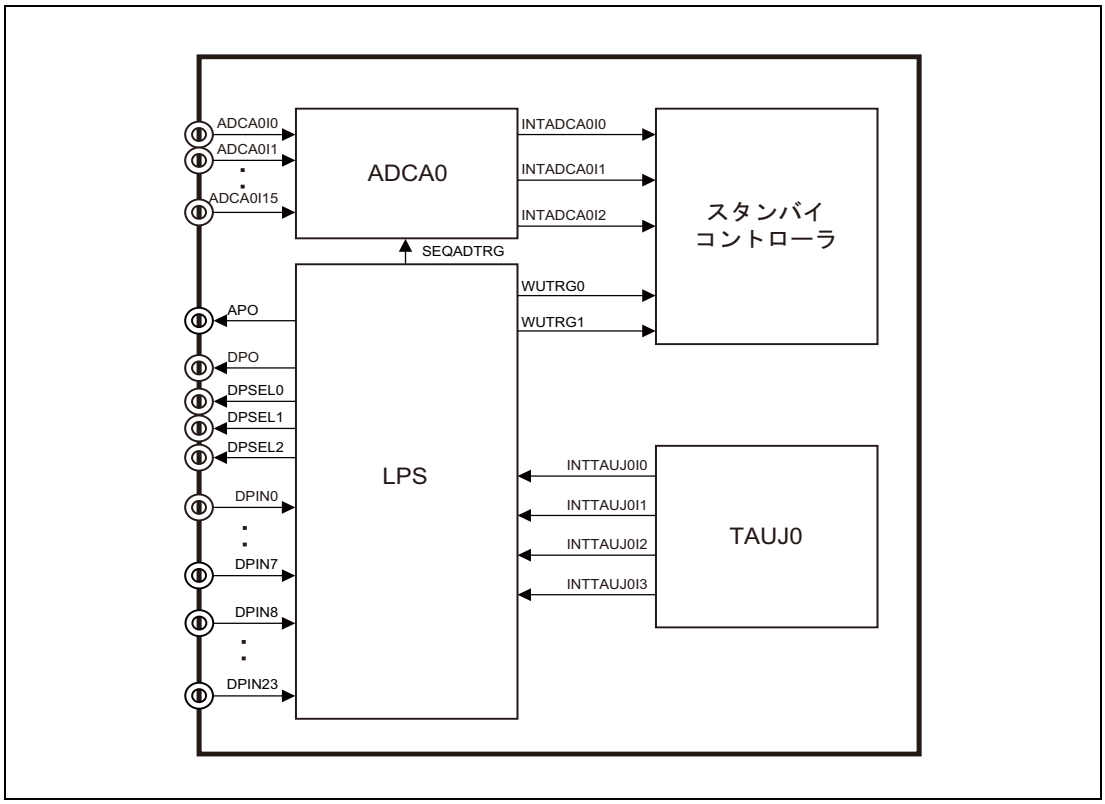


図 13.1　LPS のブロック図

注　意

DPSEL2 ～ DPSEL0 は DPIN10 ～ DPIN8 と同一の端子に兼用機能としてアサインされています。同時に使用することはできません。

13.3　レジスタ

13.3.1　レジスター覧

LPS のレジスター覧を以下の表に示します。

<LPS0_base> は「**13.1.2　レジスタベースアドレス**」を参照してください。

表 13.11　レジスター覧

モジュール名	レジスタ名	略号	アドレス
—	LPS 制御レジスタ	SCTLR	<LPS0_base > + 00_H
—	イベントフラグレジスタ	EVFR	<LPS0_base > + 04_H
—	DPIN 選択レジスタ 0	DPSELR0	<LPS0_base > + 08_H
—	DPIN 選択レジスタ M	DPSELRM	<LPS0_base > + $0C_H$
—	DPIN 選択レジスタ H	DPSELRH	<LPS0_base > + 10_H
—	DPIN データ設定レジスタ 0	DPDSR0	<LPS0_base > + 14_H
—	DPIN データ設定レジスタ M	DPDSRM	<LPS0_base > + 18_H
—	DPIN データ設定レジスタ H	DPDSRH	<LPS0_base > + $1C_H$
—	DPIN データ入力モニタレジスタ 0	DPDIMR0	<LPS0_base > + 20_H
—	DPIN データ入力モニタレジスタ 1	DPDIMR1	<LPS0_base > + 24_H
—	DPIN データ入力モニタレジスタ 2	DPDIMR2	<LPS0_base > + 28_H
—	DPIN データ入力モニタレジスタ 3	DPDIMR3	<LPS0_base > + $2C_H$
—	DPIN データ入力モニタレジスタ 4	DPDIMR4	<LPS0_base > + 30_H
—	DPIN データ入力モニタレジスタ 5	DPDIMR5	<LPS0_base > + 34_H
—	DPIN データ入力モニタレジスタ 6	DPDIMR6	<LPS0_base > + 38_H
—	DPIN データ入力モニタレジスタ 7	DPDIMR7	<LPS0_base > + $3C_H$
—	カウント値レジスタ	CNTVAL	<LPS0_base > + 40_H
—	LPS 動作ステータスレジスタ	SOSTR	<LPS0_base > + 44_H

13.3.2 SCTLR — LPS 制御レジスタ

LPS の設定を行います。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <LPS0_base> + 00_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	NUMDP2	NUMDP1	NUMDP0	TJIS1	TJIS0	ADEN	DPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.12 SCTLR レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 4	NUMDP[2:0]	デジタル入力モード時のポートのリード回数を設定します。2 回以上の場合は外付けマルチプレクサを DPSEL[2:0] 端子で制御します。 DPSELR0/DPSELRM/DPSELRH レジスタで比較許可したビットは、リード回数の設定に関わらず比較が実行され、結果によって WUTRG が発生します。 NUMDP[2:0] / ポートリード回数 000_B / 1 回 001_B / 2 回 010_B / 3 回 011_B / 4 回 100_B / 5 回 101_B / 6 回 110_B / 7 回 111_B / 8 回 TAUJ0 動作開始前、かつシーケンス動作開始前（SCTLR.DPEN ビット = 0, SCTLR.ADEN ビット = 0, SOSTR.SOF ビット = 0 時）に設定してください。 （SCTLR.DPEN ビット , SCTLR.ADEN ビットの変更時、これらのビット には同じ値を書き込んでください）
3、2	TJIS[1:0]	シーケンススタートトリガ選択 00：INTTAUJ0I0 01：INTTAUJ0I1 10：INTTAUJ0I2 11：INTTAUJ0I3 シーケンス動作開始前（SCTLR.DPEN ビット = 0, SCTLR.ADEN ビット = 0, SOSTR.SOF ビット = 0 時）に設定してください。 （SCTLR.DPEN ビット , SCTLR.ADEN ビットの変更時、これらのビット には同じ値を書き込んでください）
1	ADEN	0：アナログ入力モード停止 1：アナログ入力モード許可
0	DPEN	0：デジタル入力モード停止 1：デジタル入力モード許可

13.3.3 EVFR — イベントフラグレジスタ

シーケンス動作によってデジタル入力端子で取り込んだデータ（DPDIMR7-DPDIMR0）と比較対象データ（DPDSRH/DPDSRM/DPDSR0）の比較結果を示します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <LPS0_base> + 04_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DINEVF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 13.13 EVFR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DINEVF	デジタル入力端子で取り込んだデータ（DPDIMR7 ～ DPDIMR0）と比較対象データ（DPDSRH/DPDSRM/DPDSR0）の比較結果を示します。 リード： 0：比較結果が一致 1：比較結果が不一致 ライト： 0：ビットをクリア 1：禁止 本ビットは、1 ビットでも不一致を検出するとセットされます。本ビットをクリアするために、0 のみ書き込み可能です。

13.3.4 DPSELR0 — DPIN 選択レジスタ 0

DPDSR0 と DPDIMR0 レジスタの比較対象ビットを設定するレジスタです。

DPSELR0 レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット = 0）に設定してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <LPS0_base> + 08_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D0EN_23	D0EN_22	D0EN_21	D0EN_20	D0EN_19	D0EN_18	D0EN_17	D0EN_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D0EN_15	D0EN_14	D0EN_13	D0EN_12	D0EN_11	D0EN_10	D0EN_9	D0EN_8	D0EN_7	D0EN_6	D0EN_5	D0EN_4	D0EN_3	D0EN_2	D0EN_1	D0EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.14 DPSELR0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～ 0	D0EN_n (n = 23 ～ 0)	1 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR0）の値と比較対象のレジスタ（DPDSR0）のビット毎の比較許可 / 禁止を設定します。 0：比較禁止する 1：比較許可する

13.3.5 DPSELRM — DPIN 選択レジスタ M

DPDSRM と DPDIMRm (m = 4 ～ 1) の比較対象ビットを設定するレジスタです。

DPSELRM レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット = 0）に設定してください。

アクセス DPSELRM は 32 ビット単位でリード／ライト可能です。
DPSELRML、DPSELRMH は 16 ビット単位でリード／ライト可能です。
DPSELR1、DPSELR2、DPSELR3、DPSELR4 は 8 ビット単位でリード／ライト可能です。

アドレス DPSELRM：<LPS0_base> + $0C_H$
DPSELRML：<LPS0_base> + $0C_H$、DPSELRMH：<LPS0_base> + $0E_H$
DPSELR1：<LPS0_base> + $0C_H$、DPSELR2：<LPS0_base> + $0D_H$、DPSELR3：<LPS0_base> + $0E_H$、DPSELR4：<LPS0_base> + $0F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	D4EN_7	D4EN_6	D4EN_5	D4EN_4	D4EN_3	D4EN_2	D4EN_1	D4EN_0	D3EN_7	D3EN_6	D3EN_5	D3EN_4	D3EN_3	D3EN_2	D3EN_1	D3EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D2EN_7	D2EN_6	D2EN_5	D2EN_4	D2EN_3	D2EN_2	D2EN_1	D2EN_0	D1EN_7	D1EN_6	D1EN_5	D1EN_4	D1EN_3	D1EN_2	D1EN_1	D1EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.15 DPSELRM レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	D4EN_n (n = 7 ～ 0)	5 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR4）の値と比較対象のレジスタ（DPDSR4）のビット毎の比較許可 / 禁止を設定します。 0：比較禁止する 1：比較許可する
23 ～ 16	D3EN_n (n = 7 ～ 0)	4 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR3）の値と比較対象のレジスタ（DPDSR3）のビット毎の比較許可 / 禁止を設定します。 0：比較禁止する 1：比較許可する
15 ～ 8	D2EN_n (n = 7 ～ 0)	3 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR2）の値と比較対象のレジスタ（DPDSR2）のビット毎の比較許可 / 禁止を設定します。 0：比較禁止する 1：比較許可する
7 ～ 0	D1EN_n (n = 7 ～ 0)	2 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR1）の値と比較対象のレジスタ（DPDSR1）のビット毎の比較許可 / 禁止を設定します。 0：比較禁止する 1：比較許可する

13.3.6 DPSELRH — DPIN 選択レジスタ H

DPDSRH と DPDIMRm (m = 7 ～ 5) の比較対象ビットを設定するレジスタです。

DPSELRH レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット = 0）に設定してください。

アクセス DPSELRH は 32 ビット単位でリード／ライト可能です。
DPSELRHL、DPSELRHH は 16 ビット単位でリード／ライト可能です。
DPSELR5、DPSELR6、DPSELR7 は 8 ビット単位でリード／ライト可能です。

アドレス DPSELRH：<LPS0_base> + 10_H
DPSELRHL：<LPS0_base> + 10_H、DPSELRHH：<LPS0_base> + 12_H
DPSELR5：<LPS0_base> + 10_H、DPSELR6：<LPS0_base> + 11_H、DPSELR7：<LPS0_base> + 12_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D7EN_7	D7EN_6	D7EN_5	D7EN_4	D7EN_3	D7EN_2	D7EN_1	D7EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D6EN_7	D6EN_6	D6EN_5	D6EN_4	D6EN_3	D6EN_2	D6EN_1	D6EN_0	D5EN_7	D5EN_6	D5EN_5	D5EN_4	D5EN_3	D5EN_2	D5EN_1	D5EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.16 DPSELRH レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～ 16	D7EN_n (n = 7 ～ 0)	8 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR7）の値と比較対象のレジスタ（DPDSR7）のビット毎の比較許可 / 禁止を設定します。 0：比較禁止する 1：比較許可する
15 ～ 8	D6EN_n (n = 7 ～ 0)	7 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR6）の値と比較対象のレジスタ（DPDSR6）のビット毎の比較許可 / 禁止を設定します。 0：比較禁止する 1：比較許可する
7 ～ 0	D5EN_n (n = 7 ～ 0)	6 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR5）の値と比較対象のレジスタ（DPDSR5）のビット毎の比較許可 / 禁止を設定します。 0：比較禁止する 1：比較許可する

13.3.7 DPDSR0 — DPIN データ設定レジスタ 0

シーケンス動作によってデジタル入力端子で取り込んだデータ（DPDIMR0）と比較するデータを設定するレジスタです。

DPDSR0 レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット = 0）に設定してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <LPS0_base> + 14_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D0_23	D0_22	D0_21	D0_20	D0_19	D0_18	D0_17	D0_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D0_15	D0_14	D0_13	D0_12	D0_11	D0_10	D0_9	D0_8	D0_7	D0_6	D0_5	D0_4	D0_3	D0_2	D0_1	D0_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.17 DPDSR0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～ 0	D0_n (n = 23 ～ 0)	1 回目のデジタルポート入力（DPINm）に対する比較データ

13.3.8 DPDSRM — DPIN データ設定レジスタ M

シーケンス動作によってデジタル入力端子で取り込んだデータ（DPDIMR4 ～ 1）と比較するデータを設定するレジスタです。

DPDSRM レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット = 0）に設定してください。

アクセス　DPDSRM は 32 ビット単位でリード／ライト可能です。
DPDSRML、DPDSRMH は 16 ビット単位でリード／ライト可能です。
DPDSR1、DPDSR2、DPDSR3、DPDSR4 は 8 ビット単位でリード／ライト可能です。

アドレス　DPDSRM：<LPS0_base> + 18_H
DPDSRML：<LPS0_base> + 18_H、DPDSRMH：<LPS0_base> + $1A_H$
DPDSR1：<LPS0_base> + 18_H、DPDSR2：<LPS0_base> + 19_H、DPDSR3：<LPS0_base> + $1A_H$、
DPDSR4：<LPS0_base> + $1B_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	D4_7	D4_6	D4_5	D4_4	D4_3	D4_2	D4_1	D4_0	D3_7	D3_6	D3_5	D3_4	D3_3	D3_2	D3_1	D3_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D2_7	D2_6	D2_5	D2_4	D2_3	D2_2	D2_1	D2_0	D1_7	D1_6	D1_5	D1_4	D1_3	D1_2	D1_1	D1_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.18 DPDSRM レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	D4_n (n = 7 ～ 0)	5 回目のデジタルポート入力（DPINm）に対する比較データ
23 ～ 16	D3_n (n = 7 ～ 0)	4 回目のデジタルポート入力（DPINm）に対する比較データ
15 ～ 8	D2_n (n = 7 ～ 0)	3 回目のデジタルポート入力（DPINm）に対する比較データ
7 ～ 0	D1_n (n = 7 ～ 0)	2 回目のデジタルポート入力（DPINm）に対する比較データ

13.3.9 DPDSRH — DPIN データ設定レジスタ H

シーケンス動作によってデジタル入力端子で取り込んだデータ（DPDIMR7 ～ 5）と比較するデータを設定するレジスタです。

DPDSRH レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット = 0）に設定してください。

アクセス DPDSRH は 32 ビット単位でリード／ライト可能です。
DPDSRHL、DPDSRHH は 16 ビット単位でリード／ライト可能です。
DPDSR5、DPDSR6、DPDSR7 は 8 ビット単位でリード／ライト可能です。

アドレス DPDSRH：<LPS0_base> + $1C_H$
DPDSRHL：<LPS0_base> + $1C_H$、DPDSRHH：<LPS0_base> + $1E_H$
DPDSR5：<LPS0_base> + $1C_H$、DPDSR6：<LPS0_base> + $1D_H$、DPDSR7：<LPS0_base> + $1E_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D7_7	D7_6	D7_5	D7_4	D7_3	D7_2	D7_1	D7_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D6_7	D6_6	D6_5	D6_4	D6_3	D6_2	D6_1	D6_0	D5_7	D5_6	D5_5	D5_4	D5_3	D5_2	D5_1	D5_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.19 DPDSRH レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～ 16	D7_n (n = 7 ～ 0)	8 回目のデジタルポート入力（DPINm）に対する比較データ
15 ～ 8	D6_n (n = 7 ～ 0)	7 回目のデジタルポート入力（DPINm）に対する比較データ
7 ～ 0	D5_n (n = 7 ～ 0)	6 回目のデジタルポート入力（DPINm）に対する比較データ

13.3.10 DPDIMR0 — DPIN データ入力モニタレジスタ 0

LPS が各デジタル入力モードでデジタルポート入力（DPINm (m = 0 ～ 23)）から取り込んだデータを格納するレジスタです。DPDIMR0 には 1 回目に取り込んだデータを格納します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 20_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D0M_23	D0M_22	D0M_21	D0M_20	D0M_19	D0M_18	D0M_17	D0M_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D0M_15	D0M_14	D0M_13	D0M_12	D0M_11	D0M_10	D0M_9	D0M_8	D0M_7	D0M_6	D0M_5	D0M_4	D0M_3	D0M_2	D0M_1	D0M_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13.20 DPDIMR0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。
23 ～ 0	D0M_n (n = 23 ～ 0)	1 回目のデジタルポート入力（DPINm）データ

13.3.11 DPDIMR1 — DPIN データ入力モニタレジスタ 1

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m = 0 ～ 7)）から取り込んだデータを格納するレジスタです。DPDIMR1 には 2 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 24_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D1M_7	D1M_6	D1M_5	D1M_4	D1M_3	D1M_2	D1M_1	D1M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13.21 DPDIMR1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	D1M_n (n = 7 ～ 0)	2 回目のデジタルポート入力（DPINm）データ

13.3.12 DPDIMR2 — DPIN データ入力モニタレジスタ 2

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m = 0 ～ 7)）から取り込んだデータを格納するレジスタです。DPDIMR2 には 3 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 28_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D2M_7	D2M_6	D2M_5	D2M_4	D2M_3	D2M_2	D2M_1	D2M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13.22 DPDIMR2 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	D2M_n (n = 7 ～ 0)	3 回目のデジタルポート入力（DPINm）データ

13.3.13 DPDIMR3 — DPIN データ入力モニタレジスタ 3

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m = 0 ～ 7)）から取り込んだデータを格納するレジスタです。DPDIMR3 には 4 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + $2C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D3M_7	D3M_6	D3M_5	D3M_4	D3M_3	D3M_2	D3M_1	D3M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13.23 DPDIMR3 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	D3M_n (n = 7 ～ 0)	4 回目のデジタルポート入力（DPINm）データ

13.3.14 DPDIMR4 — DPIN データ入力モニタレジスタ 4

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m = 0 ～ 7)）から取り込んだデータを格納するレジスタです。DPDIMR4 には 5 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 30_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D4M_7	D4M_6	D4M_5	D4M_4	D4M_3	D4M_2	D4M_1	D4M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13.24 DPDIMR4 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	D4M_n (n = 7 ～ 0)	5 回目のデジタルポート入力（DPINm）データ

13.3.15 DPDIMR5 — DPIN データ入力モニタレジスタ 5

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m = 0 ～ 7)）から取り込んだデータを格納するレジスタです。DPDIMR5 には 6 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 34_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D5M_7	D5M_6	D5M_5	D5M_4	D5M_3	D5M_2	D5M_1	D5M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13.25 DPDIMR5 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	D5M_n (n = 7 ～ 0)	6 回目のデジタルポート入力（DPINm）データ

13.3.16 DPDIMR6 — DPIN データ入力モニタレジスタ 6

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m = 0 ～ 7)）から取り込んだデータを格納するレジスタです。DPDIMR6 には 7 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 38_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D6M_7	D6M_6	D6M_5	D6M_4	D6M_3	D6M_2	D6M_1	D6M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13.26 DPDIMR6 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	D6M_n (n = 7 ～ 0)	7 回目のデジタルポート入力（DPINm）データ

13.3.17 DPDIMR7 — DPIN データ入力モニタレジスタ 7

LPS がマルチプレクサモードでデジタルポート入力（DPINm (m = 0 ～ 7)）から取り込んだデータを格納するレジスタです。DPDIMR7 には 8 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + $3C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D7M_7	D7M_6	D7M_5	D7M_4	D7M_3	D7M_2	D7M_1	D7M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13.27 DPDIMR7 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	D7M_n (n = 7 ～ 0)	8 回目のデジタルポート入力（DPINm）データ

13.3.18 CNTVAL — カウント値レジスタ

外部回路（デジタル信号源とアナログ信号源）の安定時間を設定するレジスタです。

- デジタル入力モードの場合
  DPO 出力が 1 になってから 1 度目のポート入力の取り込みを行うまでの時間
- アナログ入力モードの場合
  APO 出力が 1 になってから A/D 変換トリガを LPS が ADCA0 に対して出力するまでの時間

CNTVAL レジスタの書き込みは、シーケンス動作開始前（SOSTR.SOF ビット = 0）に設定してください。

注　意

アナログ入力モードを使用する場合は、A/D コンバータの安定を待つ必要があるため必ず 1μs 以上の安定時間を確保してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<LPS0_base> + 40_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNT17	CNT16	CNT15	CNT14	CNT13	CNT12	CNT11	CNT10	CNT07	CNT06	CNT05	CNT04	CNT03	CNT02	CNT01	CNT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.28 CNTVAL レジスタの内容

ビット位置	ビット名	機能
15 ～ 8	CNT1n (n = 7 ～ 0)	外部回路（アナログ信号源）の安定時間設定 安定時間 =（ 1 / f_{RH} ）× 16 × CNT1n（設定値）
7 ～ 0	CNT0n (n = 7 ～ 0)	外部回路（デジタル信号源）の安定時間設定 安定時間 =（ 1 / f_{RH} ）× 16 × CNT0n（設定値）

13.3.19 SOSTR — LPS 動作ステータスレジスタ

LPS の動作状態を示すレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 44_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SOF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13.29 SOSTR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	SOF	LPS 動作のステータスフラグ 0：スタートトリガ発生前の初期状態 1：LPS 動作中（スタートトリガ発生後） SOF ビットが “1” のとき（LPS 動作中）にスタートトリガが発生した場合、スタートトリガはキャンセルされます。

13.4　デジタル入力モード

デジタル入力ポート DPINm を使用し、さらに外部でマルチプレクサを接続することによって、**「表 13.30　監視ポートの組み合わせ」**の組み合わせに示すように最大 64 本のポート入力を監視することが出来ます。

外部マルチプレクサの切り替えにはポート DPSELk を使用します。DPSELk 出力の切り替えは SCTLR レジスタに設定された回数分実施されます。

ポートへの入力値を確認するタイミングは TAUJ0 を使用して設定します。

表 13.30　監視ポートの組み合わせ

組み合わせ（ポート数 × チェック回数）	使用ポート	合計本数
ダイレクトモード 外付けマルチプレクサを使用せずに一斉にポート入力を確認する場合 最大 24 本 × 1 回	DPIN23 ～ DPIN0	最大 24
マルチプレクサモード 外付けマルチプレクサを使用して少ない端子で確認する場合 最大 8 本 × 8 回	DPIN7 ～ DPIN0 DPSEL2 ～ DPSEL0	最大 64
MIX モード 上記 2 つの組み合わせで確認する場合 最大 14 本 × 1 回 + 最大 7 本 × 7 回	DPIN7 ～ DPIN0 DPIN16 ～ DPIN11 DPSEL2 ～ DPSEL0 注 1	最大 63

注 1.　DPIN16 ～ DPIN11, DPIN7 は 1 回目のみ確認します。DPIN10 ～ DPIN8 は DPSEL2 ～ DPSEL0 と兼用のため使用できません。

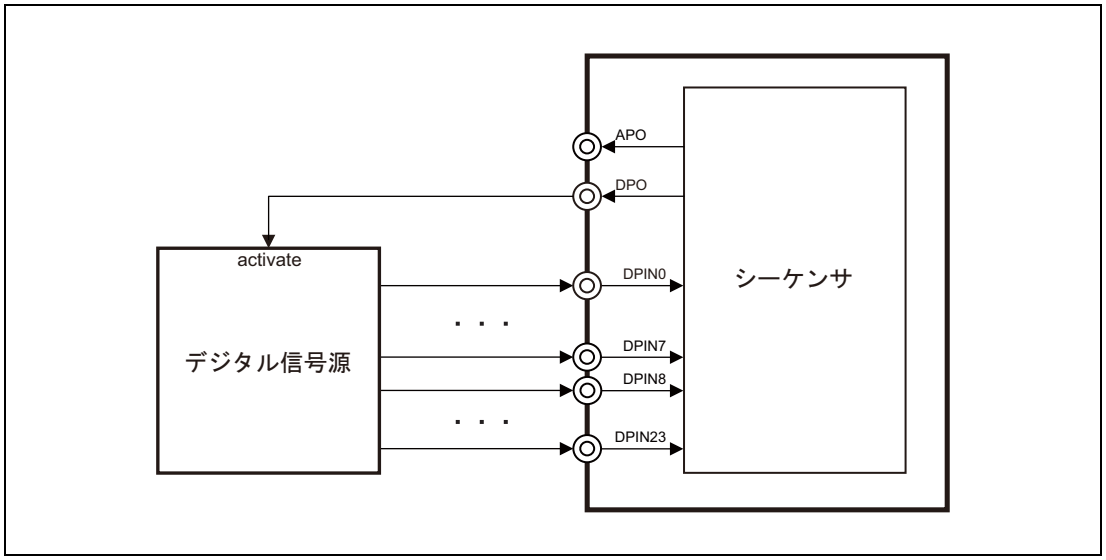


図 13.2　ダイレクトモードの接続例

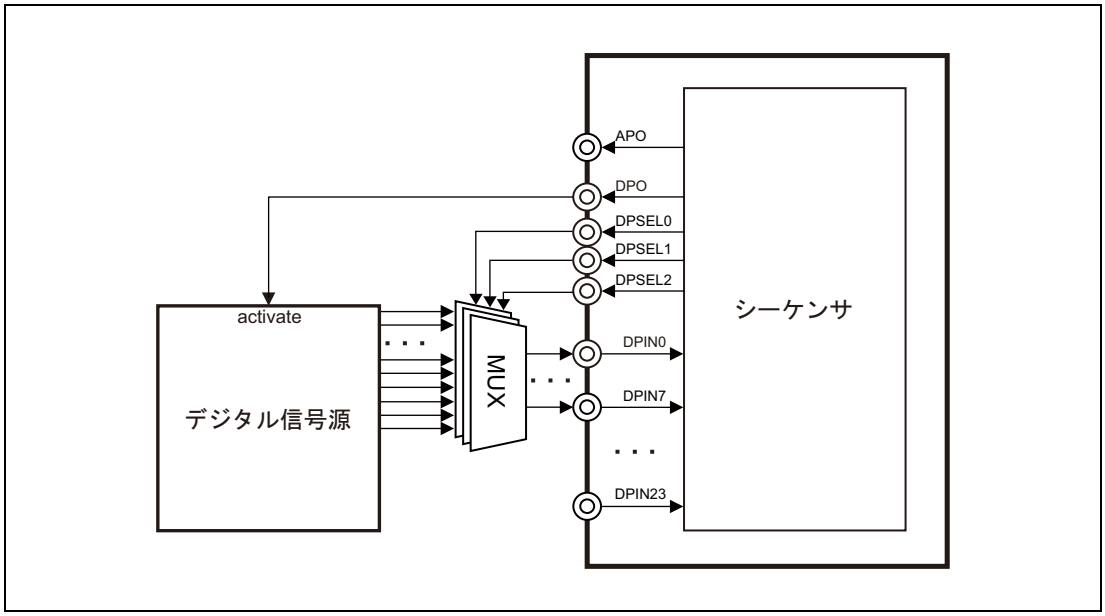


図 13.3　マルチプレクサモードの接続例

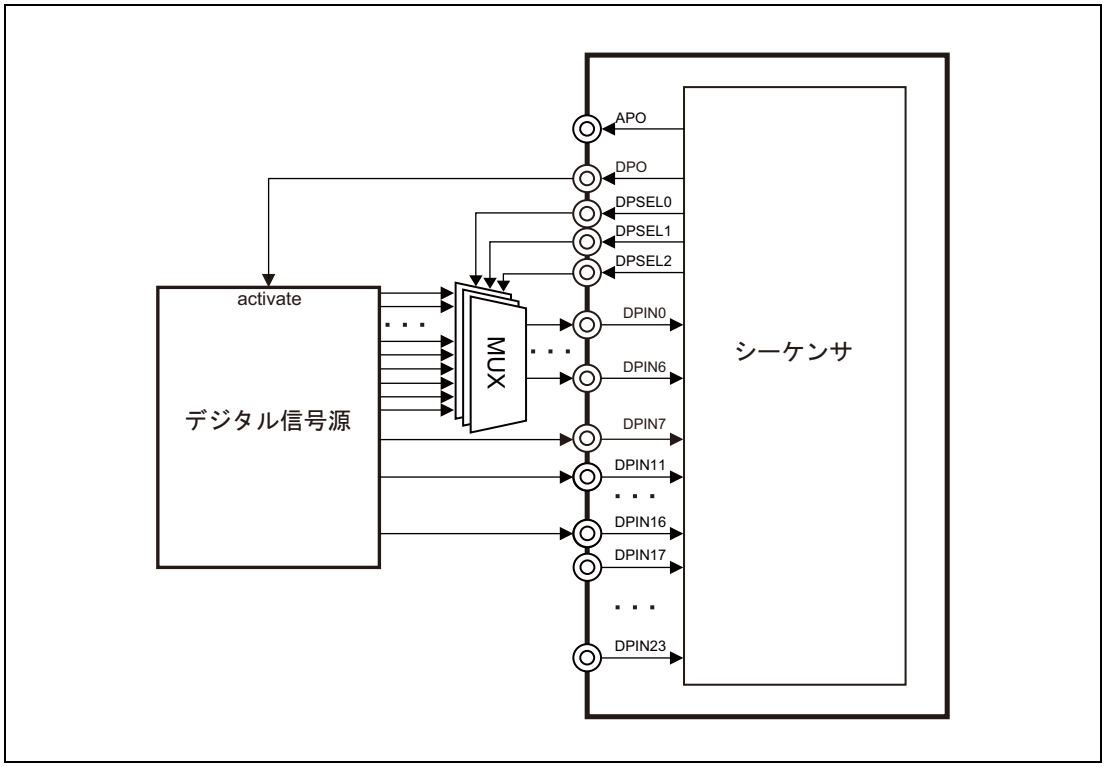


図 13.4　MIX モードの接続例

注　意

DPSEL2 ～ DPSEL0 は DPIN10 ～ DPIN8 と同一の端子に兼用機能としてアサインされています。同時に使用することはできません。

準備

- SCTLR レジスタの NUMDP[2:0] ビットおよび TJIS[1:0] ビットを設定し、ポートのリード回数とシーケンススタートトリガとして用いる TAUJ0 割り込みを選択
- TAUJ0 にインターバルタイマを設定
- CNTVAL レジスタの下位 8 ビットでデジタル信号源のウエイト時間を設定
- DPDSR0、DPDSRM、DPDSRH レジスタに期待値を設定
- DPSELR0、DPSELRM、DPSELRH レジスタに確認するポートを設定

開始

- TAUJ0 をスタートする
- SCTLR.DPEN ビットを 1 に設定する

開始後は TAUJ0 に設定した間隔でポートを確認します。動作開始後は RUN モード、パワー・セーブ・モードに関わらず動作を継続します。スタンバイ・モードで HS IntOSC が停止している場合はシーケンス動作中のみ HS IntOSC の動作が再開されます。

設定されたすべてのポートの確認が完了すると、INTCWEND 割り込みが発生します。また、ポートの入力値が DPDSR0、DPDSRM、DPDSRH レジスタで設定した期待値と異なる場合、ウエイクアップ要因 WUTRG0 を発生させます。デジタル入力モードの動作例を以下の図について示します。

停止

デジタル入力モードの LPS 動作を停止する時（SCTLR.DPEN ビットを 1 から 0 に設定）、以下に示す手順に従ってください。以下の例では P0_0 端子を DPO として使用しています。

1. ポートレジスタをロウレベル出力に設定する。（P0.P0_0 = 0）
2. P0_0 を兼用ポートモードからポートモードに設定する。（PMC0.PMC0_0 = 0）
3. SCTLR.DPEN = 0 に設定する。

注 1.　上記手順は P0_0 端子を DPO として使用する場合に適用されます。P0_2 端子を DPO として使用する場合は P0_2 端子の設定を同様の手順で設定してください。

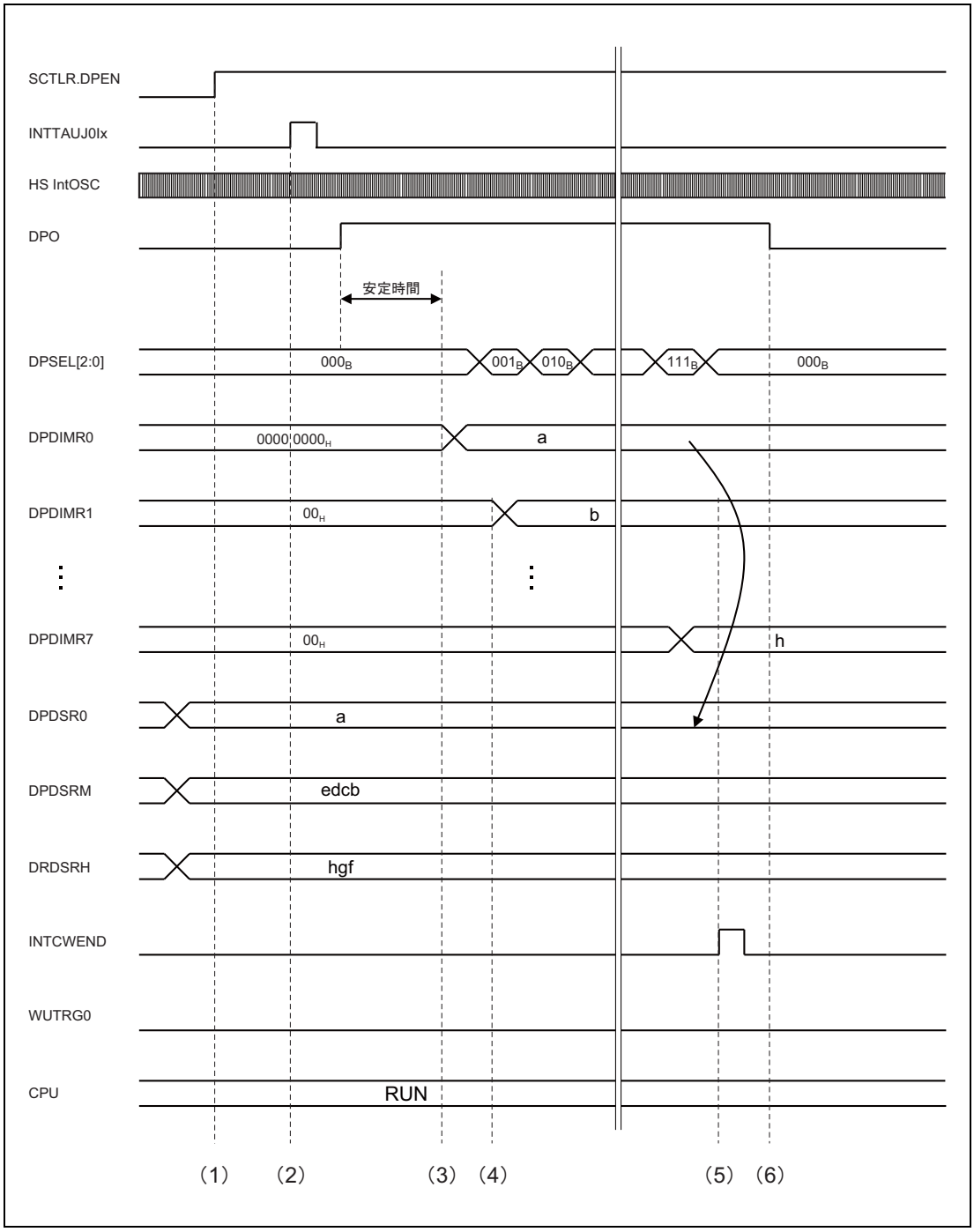


図 13.5　デジタル入力モード（8 本 ×8 回）の動作　入力値が変化しない場合（RUN モード）

（1）　ソフトウェアにより SCTLR.DPEN ビット ＝1 に設定し、LPS のデジタル入力モードを有効にします。

（2）　SCTLR.TJS ビットにより設定された INTTAUJ0Ix 割り込みが発生すると、DPO 端子からハイレベルを出力し、外部のデジタル信号源の安定を待つために CNTVAL.CNT0n に設定された時間だけウエイトします。

（3）　信号源の安定時間が完了すると、LPS が DPIN[7:0] の入力値を DPDIMR0 レジスタに格納し、外部のマルチプレクサを切り替えるため DPSEL[2:0] 端子をインクリメントします。

（4） DPSEL[2:0] 端子切り替え後、DPDIMR1 以降のレジスタに順次値の格納と DPSEL[2:0] のインクリメントを続けます。

（5） DPDIMR7 レジスタまで値を格納したのち、INTCWEND 割り込みを発生させ、DPDSR0、DPDSRM、DPDSRH レジスタに設定された期待値との比較を行います。

（6） 期待値との差異がない場合はウエイクアップ要因 WUTRG0 は発生せず、LPS は DPO の出力を停止し再びトリガ待ち状態に戻ります。

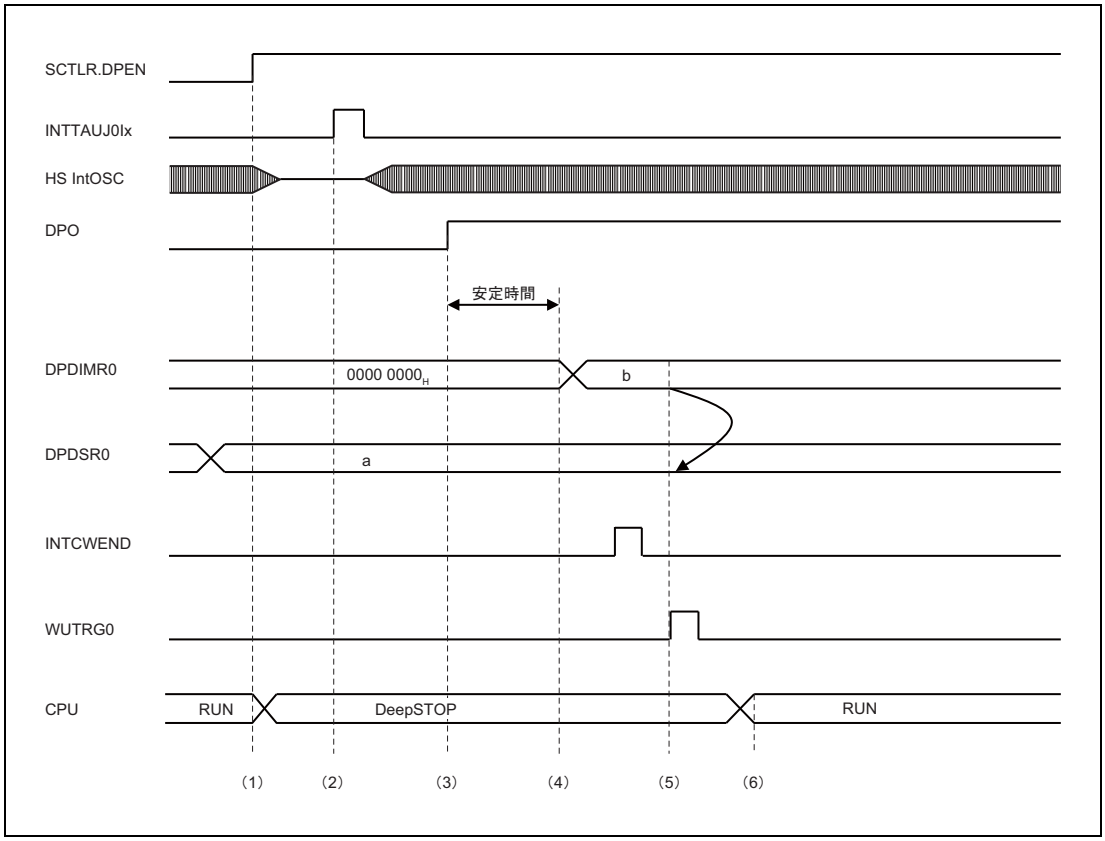


図 13.6　デジタル入力モード（24 本 ×1 回）の動作　入力値が変化する場合（DeepSTOP モード）

(1)　ソフトウェアにより SCTLR.DPEN ビット = 1 に設定し、LPS のデジタル入力モードを有効にした状態で STBC0PSC.STBC0DISTRG = 1 に設定し DeepSTOP モードに遷移します。

(2)　SCTLR.TJS ビットにより設定された INTTAUJ0Ix 割り込みが発生すると、LPS は HS IntOSC を有効にし発振を開始させます。

(3)　HS IntOSC の安定時間が完了すると、LPS は DPO 端子からハイレベルを出力し、外部のデジタル信号源の安定を待つために CNTVAL.CNT0n に設定された時間だけウエイトします。

(4)　信号源の安定時間が完了すると、LPS が DPIN[23:0] の入力値を DPDIMR0 レジスタに格納し、INTCWEND 割り込みが発生します。

(5)　DPDIMR0 レジスタに格納された値を DPDSR0 レジスタに設定された期待値と比較し、期待値と差異があった場合はウエイクアップ要因 WUTRG0 が発生します。

(6)　WUTRG0 の発生により、CPU は RUN モードへ復帰します。DPO 端子は、ソフトウェアにより EVFR.DINEVF ビット = 0 に設定するまでハイレベル出力を維持します。

13.5　アナログ入力モード

アナログ入力ポート ADCA0Im（m = 0 ～ 15）を監視することが出来ます。

ポートへの入力値を確認するタイミングは TAUJ0 を使用して設定します。

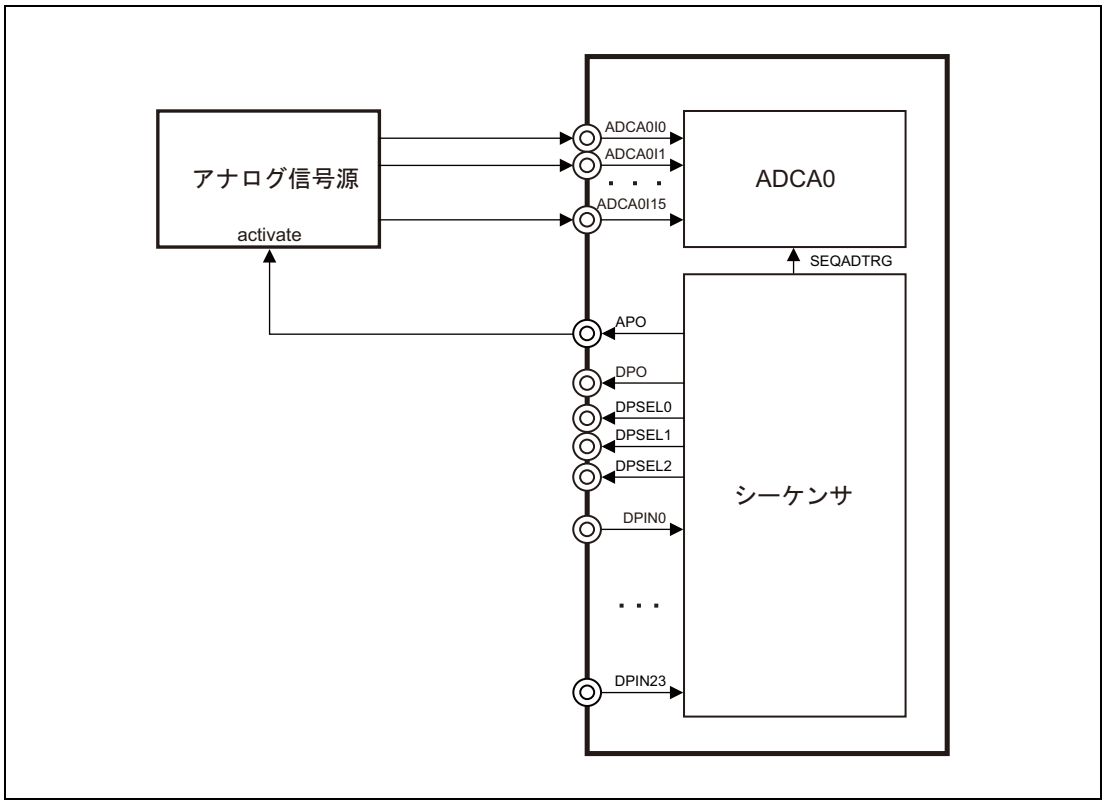


図 13.7　アナログ入力モードの接続例

準備

- SCTLR レジスタの TJIS[1:0] ビットを設定し、シーケンススタートトリガとして用いる TAUJ0 割り込みを選択
- TAUJ0 にインターバル･タイマを設定
- CNTVAL レジスタの上位 8 ビットでアナログ信号源のウエイト時間を設定
- ADCA0 の設定

注　意

1. **LPS を使用する際、A/D 変換完了割り込み （INT_SGx）は、LPS の全チャネルの変換を完了してから出力させてください。以下の設定をしてください。**
   - **仮想チャネルレジスタ j （ADCA0VCRj）の ADIE ビットは、「0：SGx の仮想チャネル j の A/D 変換終了でスキャングループ x 終了割り込み（INT_SGx）を発生しない」に設定。**
   - **スキャングループ x 制御レジスタ（ADCA0SGCRx）の ADIE ビットは、「1：SGx のスキャン終了で INT_SGx を出力する」に設定。**
2. **SCLTR.TJIS[1:0] により設定した LPS シーケンススタートトリガの発生 から LPS の全チャネルの A/D 変換終了までの期間は、PWM-Diag を除く他の A/D 変換を行わないでください。**

3. **SCLTR.TJIS[1:0] により設定した LPS シーケンススタートトリガの発生から LPS の全チャネルの A/D 変換終了までの期間は、ADCA0ADHALTR.HALT ビットによる A/D 変換の強制終了を行わないでください。**
4. **LPS を使用する際は、以下のモードを使用しないでください。**
   - **連続スキャンモード（ADCA0SGCRx.SCANMD=1 の設定は禁止）**
   - **マルチサイクル数 2 回以上のマルチサイクルスキャンモード（ADCA0SGMCYCRx.MCYC=01_B or 11_B の設定は禁止）**
   - **チャネルリピート回数 2 回以上のチャネルリピートモード（ADCA0SGCRx.SCT=01_B or 10_B の設定は禁止）**

開始

- TAUJ0 をスタートする
- SCTLR.ADEN ビットを 1 に設定する

開始後は TAUJ0 に設定した間隔でポートを確認します。動作開始後は RUN モード、パワー・セーブ・モードに関わらず動作を継続します。スタンバイモードで HS IntOSC が停止している場合はシーケンス動作中のみ HS IntOSC の動作が再開されます。

アナログ入力値が期待値と異なることを検出する場合は、A/D コンバータの A/D エラー割り込み要求（INTADCA0ERR）を使用してください。

また、アナログ入力値が 期待値と異なる場合、ウエイクアップ要因 WUTRG1 を発生させます。

A/D エラー割り込み要求（INTADCA0ERR）の詳細については、**「31.4.13　A/D エラー割り込み要求」**注 1 を参照してください。アナログ入力モードを使用する場合の動作例を以下の図に示します。

注 1.　**「第 31 章　A/D コンバータ（ADCA）」**の章では、 A/D エラー割り込み要求名は「INT_ADE」と記載されています。

停止

アナログ入力モードの LPS 動作を停止する時（SCTLR.ADEN ビットを 1 から 0 に設定）、以下に示す手順に従ってください。APO は P0_1 端子にアサインされています。

1. ポートレジスタをロウレベル出力に設定する。（P0.P0_1 = 0）
2. P0_1 を兼用ポートモードからポートモードに設定する。（PMC0.PMC0_1 = 0）
3. SCTLR.ADEN = 0 に設定する。

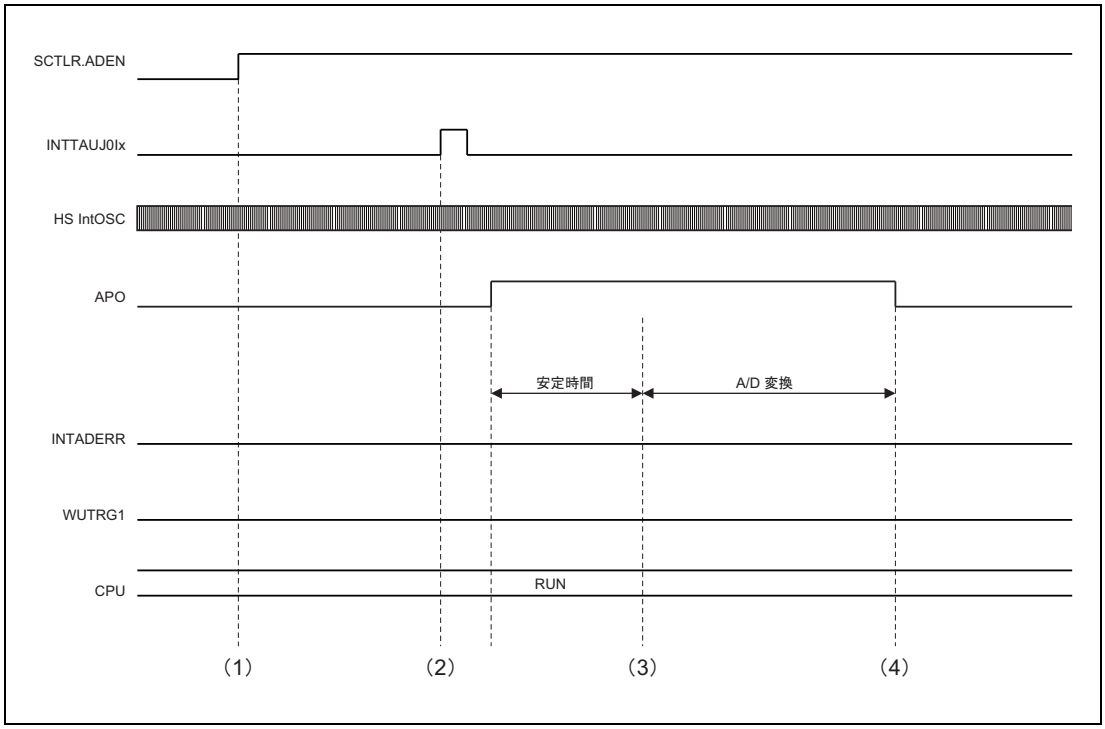


図 13.8　アナログ入力モードの動作　変換結果が期待値範囲内の場合（RUN モード）

（1）　ソフトウェアにより A/D コンバータの変換トリガ、スキャングループ、期待値の範囲を設定した後、SCTLR.ADEN ビット ＝1 に設定し、LPS のアナログ入力モードを有効にします。

（2）　SCTLR.TJS ビットにより設定された INTTAUJ0Ix 割り込みが発生すると、LPS は APO 端子からハイレベルを出力すると同時に A/D コンバータを有効にし、外部のアナログ信号源の安定を待つために CNTVAL.CNT1n に設定された時間だけウエイトします。安定時間は 1μs 以上となるよう設定する必要があります。

（3）　信号源の安定時間が完了すると、LPS が A/D コンバータに対して変換開始をトリガし、A/D コンバータのスキャングループに設定された ADCA0Im（m = 0 ～ 15）の A/D 変換を開始します。

（4）　A/D 変換の結果 INTADCA0ERR 割り込みが発生しない場合、LPS は A/D コンバータを停止して APO 端子をリセットします。

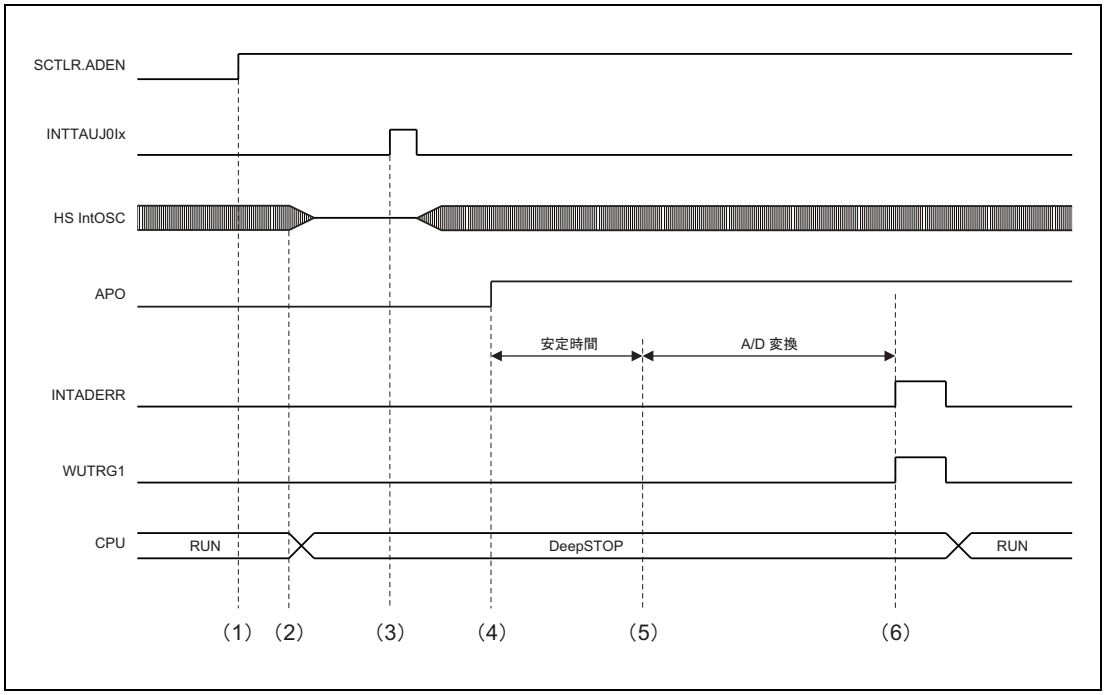


図 13.9　アナログ入力モードの動作　変換結果が期待値範囲外の場合（DeepSTOP モード）

（1）　ソフトウェアにより A/D コンバータの変換トリガ、スキャングループ、期待値の範囲を設定した後、SCTLR.ADEN ビット ＝1 に設定し、LPS のアナログ入力モードを有効にします。

（2）　ソフトウェアにより STBC0PSC.STBC0DISTRG = 1 に設定し、DeepSTOP モードに遷移します。

（3）　SCTLR.TJS ビットにより設定された INTTAUJ0Ix 割り込みが発生すると、LPS は HS IntOSC を有効にし発振を開始させます。

（4）　HS IntOSC の安定時間が完了すると、LPS は APO 端子からハイレベルを出力すると同時に A/D コンバータを有効にし、外部のアナログ信号源の安定を待つために CNTVAL.CNT1n に設定された時間だけウエイトします。

（5）　信号源の安定時間が完了すると、LPS が A/D コンバータに対して変換開始をトリガし、A/D コンバータのスキャングループに設定された ADCA0Im（m = 0 ～ 15）の A/D 変換を開始します。

（6）　A/D 変換の結果 INTADCA0ERR 割り込みが発生した場合、ウエイクアップ要因 WUTRG1 が発生し、CPU は RUN モードへ復帰します。APO 端子は、ソフトウェアにより A/D コンバータの上限 ／下限エラーフラグをクリアするまでハイレベル出力を維持します。

第 14 章　外部メモリアクセスコントローラ（MEMC）

本章では、外部メモリアクセスコントローラ（MEMC）全般について説明します。

最初の節では、レジスタベースアドレス、入出力信号など、RH850/F1M に固有の特長について説明します。それ以降の節では、MEMC の機能、レジスタについて説明します。

14.1　MEMC の特長

14.1.1　MEMC 搭載製品

MEMC は、以下に示す製品に搭載しています。

表 14.1　MEMC 搭載製品

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	—	1	
ユニット名	—	MEMCn （n = 0）	

表 14.2　添字

添字	説明
n	本章では、個々の MEMC を添字「n」（n = 0）で識別します。
x	本章では、チップセレクト領域を「x」（x = 0 ～ 3）で識別します。たとえば、CSx の外部メモリ領域を CSx 領域と記述します。

表 14.3　外部メモリアクセス機能

制御信号名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
アドレス出力	—	20 ビット	20 ビット
チップセレクト出力	—	4	4
データバス	—	16 ビット	16 ビット

注 1.　アドレス出力の下位 16 ビットはデータバスとのマルチプレクスです。

14.1.2　レジスタベースアドレス

MEMC のベースアドレスを以下の表に示します。

MEMC のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 14.4　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<MEMC0_base>	$1003\ 0000_H$

14.1.3 クロック供給

MEMC のクロック供給を以下の表に示します。

表 14.5　クロック供給

ユニット名	ユニットクロック名	供給クロック名
MEMC	MEMC0CLK	CPUCLK2 注 1

注 1.　CPUCLK2 の 2 分周で動作します。

14.1.4 リセット要因

MEMC のリセット要因を以下に示します。MEMC は以下のリセット要因で初期化されます。

表 14.6　リセット要因

ユニット名	リセット要因
MEMC	すべてのリセット要因（ISORES）

14.1.5 外部入出力信号

MEMC の外部入出力信号を以下の表に示します。

表 14.7　外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
MEMC		
MEMC0A[19:16]	アドレスバス信号出力	MEMC0A[19:16]
MEMC0AD[15:0]	アドレス／データバス入出力信号	MEMC0AD[15:0]
MEMC0ASTB	アドレスストローブ出力信号	$\overline{\text{MEMC0ASTB}}$
MEMC0BEN[1:0]	バイトイネーブル出力信号	$\overline{\text{MEMC0BEN[1:0]}}$
MEMC0CLK	バスクロック出力信号	MEMC0CLK
MEMC0CS[3:0]	チップセレクト信号出力	$\overline{\text{MEMC0CS[3:0]}}$
MEMC0RD	リードストローブ出力信号	$\overline{\text{MEMC0RD}}$
MEMC0WAIT	外部ウエイト要求入力信号	$\overline{\text{MEMC0WAIT}}$
MEMC0WR	ライトストローブ出力信号	$\overline{\text{MEMC0WR}}$

注 1.　MEMC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m = 1）に設定してください。

14.2 概要

外部メモリアクセスコントローラは4つのチップセレクトを提供しており、チップセレクト領域ごとにウエイト期間を設定できます。

バスクロックはMEMC供給クロックの2分周で動作します。

14.2.1 機能概要

外部メモリアクセスコントローラの主な特徴を示します。

- マルチプレクスバスモード
- ４つのチップセレクト領域、16ビットのバス幅
- チップセレクト領域毎にデータエンディアンを設定可能
- チップセレクト領域毎にさまざまなウエイト機能を設定可能
- SRAMアクセスサイクルへの外部ウエイト機能
- 外部ウエイトエラー検出機能

14.2.1.1 マルチプレクスバス

アドレス出力とデータ入出力に同一信号線を使用して外部メモリに接続する動作モードです。外部メモリ接続に要する端子数を削減できます。

14.2.1.2 チップセレクト出力機能

メモリ空間中の外部バス領域を4つのチップセレクト領域に分割して、チップセレクト領域ごとにチップセレクト信号を出力できます。このチップセレクト領域の割り当てはシステム固定であり、プログラムで変更することはできません。

また、バス幅も16ビット固定になります。

14.2.1.3 データエンディアン設定機能

チップセレクト領域ごとにデータエンディアン（リトルエンディアン／ビッグエンディアン）を設定できます。

14.2.1.4 プログラマブルウエイト設定機能

次のウエイト機能があります。チップセレクト領域ごとに設定できます。

- プログラマブルデータウエイト
- データホールドウエイト
- データセットアップウエイト
- アドレスセットアップウエイト
- アドレスホールドウエイト
- アイドルサイクル

14.2.1.5　外部ウエイト機能

$\overline{\text{MEMC0WAIT}}$ 端子より外部から任意幅のデータウエイトを挿入できます。$\overline{\text{MEMC0WAIT}}$ 端子はデータ出力サイクルの手前でサンプリングされており、データのラッチタイミングを任意に遅らせられます。

14.2.1.6　外部ウエイトエラー検出機能

$\overline{\text{MEMC0WAIT}}$ 端子の不具合などにより、外部ウエイト機能が常に入力され続ける状態になった場合でも、システムのハングアップを回避できるように、外部ウエイトが 128 クロックの間連続で検出された場合にウエイトを強制解除します。

14.3　レジスタ

14.3.1　レジスター覧

MEMC のレジスター覧を以下の表に示します。

<MEMCn_base> は**「14.1.2　レジスタベースアドレス」**を参照してください。

表 14.8　レジスター覧

モジュール名	レジスタ名	略号	アドレス
MEMC	データエンディアン設定レジスタ	DEC	<MEMCn_base> + 02_H
	データウエイト設定レジスタ	DWC	<MEMCn_base> + 08_H
	データホールドウエイト設定レジスタ	DHC	<MEMCn_base> + $0C_H$
	データセットアップウエイト設定レジスタ	DSC	<MEMCn_base> + $0E_H$
	アドレスウエイト設定レジスタ	AWC	<MEMCn_base> + 10_H
	アイドルサイクル設定レジスタ	ICC	<MEMCn_base> + 14_H
	外部ウエイトエラー設定レジスタ	EWC	<MEMCn_base> + $1A_H$

14.3.2 DEC — データエンディアン設定レジスタ

DEC レジスタは、外部バスのエンディアンを設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <MEMCn_base> + 02_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DE3	—	DE2	—	DE1	—	DE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W

表 14.9 DEC レジスタの内容

ビット位置	ビット名	機能
15 ～ 7, 5, 3, 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6, 4, 2, 0	DEx	データエンディアン設定ビット 各チップセレクト領域のエンディアンを設定するビットです。 0：リトルエンディアン 1：ビッグエンディアン

各チップセレクト領域と制御ビットの関係を次に示します。

表 14.10 DEx ビットとチップセレクト領域との関係

チップセレクト領域	DEx ビット
CS3 領域	DE3
CS2 領域	DE2
CS1 領域	DE1
CS0 領域	DE0

14.3.3 DWC — データウエイト設定レジスタ

DWC レジスタは外部バスのデータウエイトを設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <MEMCn_base> + 08_H

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DW33	DW32	DW31	DW30	DW23	DW22	DW21	DW20	DW13	DW12	DW11	DW10	DW03	DW02	DW01	DW00
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.11 DWC レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	DWx3, DWx2, DWx1, DWx0	データウエイト設定ビット 各チップセレクト領域のデータウエイト数を設定するビットです。

DWx3	DWx2	DWx1	DWx0	データウエイト数
0	0	0	0	設定禁止
0	0	0	1	1 クロック周期
0	0	1	0	2 クロック周期
0	0	1	1	3 クロック周期
0	1	0	0	4 クロック周期
0	1	0	1	5 クロック周期
0	1	1	0	6 クロック周期
0	1	1	1	7 クロック周期
1	0	0	0	8 クロック周期
1	0	0	1	9 クロック周期
1	0	1	0	10 クロック周期
1	0	1	1	11 クロック周期
1	1	0	0	12 クロック周期
1	1	0	1	13 クロック周期
1	1	1	0	14 クロック周期
1	1	1	1	15 クロック周期

各チップセレクト領域と制御ビットの関係を次に示します。

表 14.12 DWx3 ～ DWx0 ビットとチップセレクト領域との関係

チップセレクト領域	DWx3 ～ DWx0 ビット
CS3 領域	DW33, DW32, DW31, DW30
CS2 領域	DW23, DW22, DW21, DW20
CS1 領域	DW13, DW12, DW11, DW10
CS0 領域	DW03, DW02, DW01, DW00

14.3.4 DHC — データホールドウエイト設定レジスタ

DHC レジスタは、外部バスのデータホールドウエイトを設定するレジスタです。

DHC レジスタの設定値 +1 サイクルのデータホールドウエイトがライトサイクルに対して挿入されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <MEMCn_base> + $0C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DH31	DH30	DH21	DH20	DH11	DH10	DH01	DH00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.13 DHC レジスタの内容

ビット位置	ビット名	機能
15 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 0	DHx1, DHx0	データウエイト設定ビット 各チップセレクト領域のデータウエイト数を設定するビットです。 DHx1 / DHx0 / データホールドウエイト数 0 / 0 / データホールドウエイトなし 0 / 1 / 1 クロック周期 1 / 0 / 2 クロック周期 1 / 1 / 3 クロック周期

各チップセレクト領域と制御ビットの関係を次に示します。

表 14.14 DHx1, DHx0 ビットとチップセレクト領域との関係

チップセレクト領域	DHx1, DHx0 ビット
CS3 領域	DH31, DH30
CS2 領域	DH21, DH20
CS1 領域	DH11, DH10
CS0 領域	DH01, DH00

14.3.5 DSC — データセットアップウエイト設定レジスタ

DSC レジスタは、外部バスのデータセットアップウエイトを設定するレジスタです。

本ウエイトは、ライトサイクルに対して挿入されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <MEMCn_base> + $0E_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DS31	DS30	DS21	DS20	DS11	DS10	DS01	DS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.15 DSC レジスタの内容

ビット位置	ビット名	機能
15 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 0	DSx1, DSx0	データセットアップウエイト設定ビット 各チップセレクト領域のデータセットアップウエイト数を設定するビットです。

DSx1	DSx0	データセットアップウエイト数
0	0	データセットアップウエイトなし
0	1	1 クロック周期
1	0	2 クロック周期
1	1	3 クロック周期

各チップセレクト領域と制御ビットの関係を次に示します。

表 14.16 DSx1, DSx0 ビットとチップセレクト領域との関係

チップセレクト領域	DSx1, DSx0 ビット
CS3 領域	DS31, DS30
CS2 領域	DS21, DS20
CS1 領域	DS11, DS10
CS0 領域	DS01, DS00

14.3.6 AWC — アドレスウエイト設定レジスタ

AWC レジスタは、外部バスのアドレスウエイト期間をチップセレクト領域ごとに設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <MEMCn_base> + 10_H

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AHW31	AHW30	ASW31	ASW30	AHW21	AHW20	ASW21	ASW20	AHW11	AHW10	ASW11	ASW10	AHW01	AHW00	ASW01	ASW00
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.17 AWC レジスタの内容

ビット位置	ビット名	機能
15, 14, 11, 10, 7, 6, 3, 2	AHWx1, AHWx0	アドレスホールドウエイト設定ビット 各チップセレクト領域のアドレスホールドウエイト数を設定するビットです。 AHWx1 / AHWx0 / アドレスホールドウエイト数 0 / 0 / アドレスホールドウエイトなし 0 / 1 / 1 クロック周期 1 / 0 / 2 クロック周期 1 / 1 / 3 クロック周期
13, 12, 9, 8, 5, 4, 1, 0	ASWx1, ASWx0	アドレスセットアップウエイト設定ビット 各チップセレクト領域のアドレスセットアップウエイト数を設定するビットです。 ASWx1 / ASWx0 / アドレスセットアップウエイト数 0 / 0 / アドレスセットアップウエイトなし 0 / 1 / 1 クロック周期 1 / 0 / 2 クロック周期 1 / 1 / 3 クロック周期

各チップセレクト領域と制御ビットの関係を次に示します。

表 14.18 ASWx1, ASWx0、AHWx1, AHWx0 ビットとチップセレクト領域との関係

チップセレクト領域	ASWx1, ASWx0、AHWx1, AHWx0 ビット
CS3 領域	ASW31, ASW30、AHW31, AHW30
CS2 領域	ASW21, ASW20、AHW21, AHW20
CS1 領域	ASW11, ASW10、AHW11, AHW10
CS0 領域	ASW01, ASW00、AHW01, AHW00

14.3.7 ICC — アイドルサイクル設定レジスタ

ICC レジスタは、外部バスのアイドルサイクル数を設定するレジスタです。アイドルサイクル数は、チップセレクト領域ごとに設定できます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <MEMCn_base> + 14_H

リセット後の値 3333_H

注 意

バスサイジングサイクルの途中では、ICC レジスタによるアイドルサイクルは無効です。ただし、リードサイクル時のみ、バスサイジングサイクルの途中でもアイドルサイクルが有効になります。この際に挿入されるアイドルサイクル数は ICC レジスタの設定に従いますが、「アイドルサイクルなし」を設定した場合でも 1 クロック挿入されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WIC31	WIC30	RIC31	RIC30	WIC21	WIC20	RIC21	RIC20	WIC11	WIC10	RIC11	RIC10	WIC01	WIC00	RIC01	RIC00
リセット後の値	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.19 ICC レジスタの内容

ビット位置	ビット名	機能
15, 14, 11, 10, 7, 6, 3, 2	WICx1, WICx0	ライトサイクル後アイドル設定ビット 各チップセレクト領域のライトサイクル後のアイドルサイクル数を設定するビットです。 WICx1 / WICx0 / アイドルサイクル数 0 / 0 / アイドルサイクルなし 0 / 1 / 1 クロック周期 1 / 0 / 2 クロック周期 1 / 1 / 3 クロック周期
13, 12, 9, 8, 5, 4, 1, 0	RICx1, RICx0	リードサイクル後アイドル設定ビット 各チップセレクト領域のリードサイクル後のアイドルサイクル数を設定するビットです。 RICx1 / RICx0 / アイドルサイクル数 0 / 0 / アイドルサイクルなし 0 / 1 / 1 クロック周期 1 / 0 / 2 クロック周期 1 / 1 / 3 クロック周期

各チップセレクト領域と制御ビットの関係を次に示します。

表 14.20 RICx1, RICx0、WICx1, WICx0 ビットとチップセレクト領域との関係

チップセレクト領域	RICx1, RICx0、WICx1, WICx0 ビット
CS3 領域	RIC31, RIC30、WIC31, WIC30
CS2 領域	RIC21, RIC20、WIC21, WIC20
CS1 領域	RIC11, RIC10、WIC11, WIC10
CS0 領域	RIC01, RIC00、WIC01, WIC00

14.3.8 EWC — 外部ウエイトエラー設定レジスタ

EWC レジスタは、外部ウエイトエラー機能の有効／無効を設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <MEMCn_base> + $1A_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	EW3	—	EW2	—	EW1	—	EW0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W

表 14.21 DHC レジスタの内容

ビット位置	ビット名	機能
15 ～ 7, 5, 3, 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6, 4, 2, 0	EWx	外部ウエイトエラー設定ビット 各チップセレクト領域の外部ウエイトエラーの有効／無効を設定するビットです。 0：外部ウエイトエラー無効 1：外部ウエイトエラー有効 本機能を有効にすると、外部ウエイトを 128 クロック連続で検出した際、ウエイトが強制解除され、SYSERR 例外が発生します。

各チップセレクト領域と制御ビットの関係を次に示します。

表 14.22 EWx ビットとチップセレクト領域との関係

チップセレクト領域	EWx ビット
CS3 領域	EW3
CS2 領域	EW2
CS1 領域	EW1
CS0 領域	EW0

14.4 機能

14.4.1 バス制御機能

14.4.1.1 チップセレクト出力機能

接続された外部メモリ領域を**「図 14.1　外部メモリマップ」**に示すように4つのチップセレクト領域に分割し管理しています。

外部バスに対するバスサイクルを発生する際には、アクセス対象アドレスをMEMC0A[19:16], MEMC0AD[15:0] 端子から出力するとともに、アクセス対象アドレスに対応した $\overline{\text{MEMC0CS}}$[3:0] 出力端子をアクティブ（ロウレベル）にします。

ウエイト／アイドル数など外部バスに対する各種設定はすべてチップセレクト領域ごとに設定できます。

これらの機能を利用することにより、チップセレクト領域ごとに異なる種類のメモリを接続できます。

なお、チップセレクト領域の割り当てはシステム固定であり、プログラマブルではありません。

次に、メモリマップを示します。

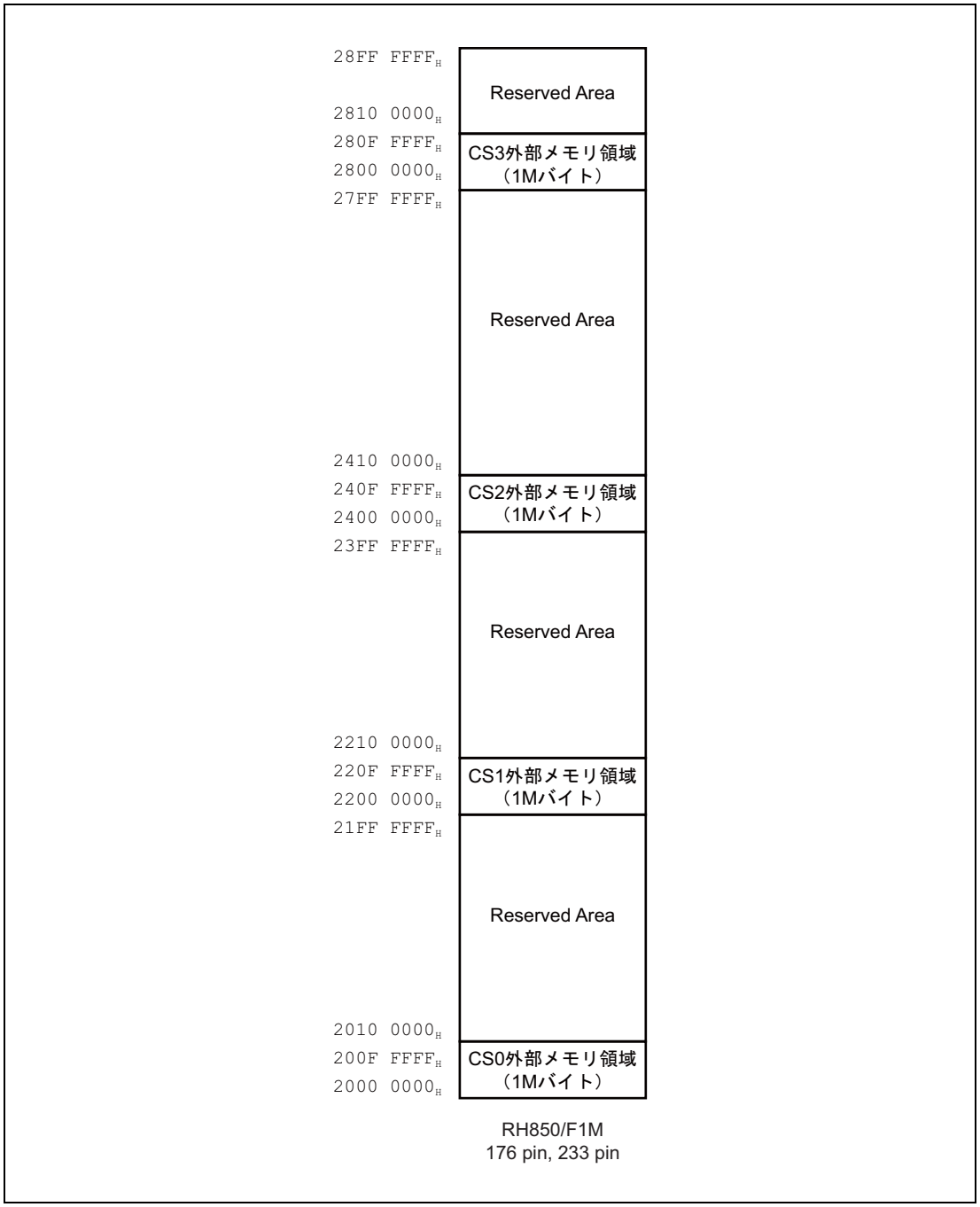
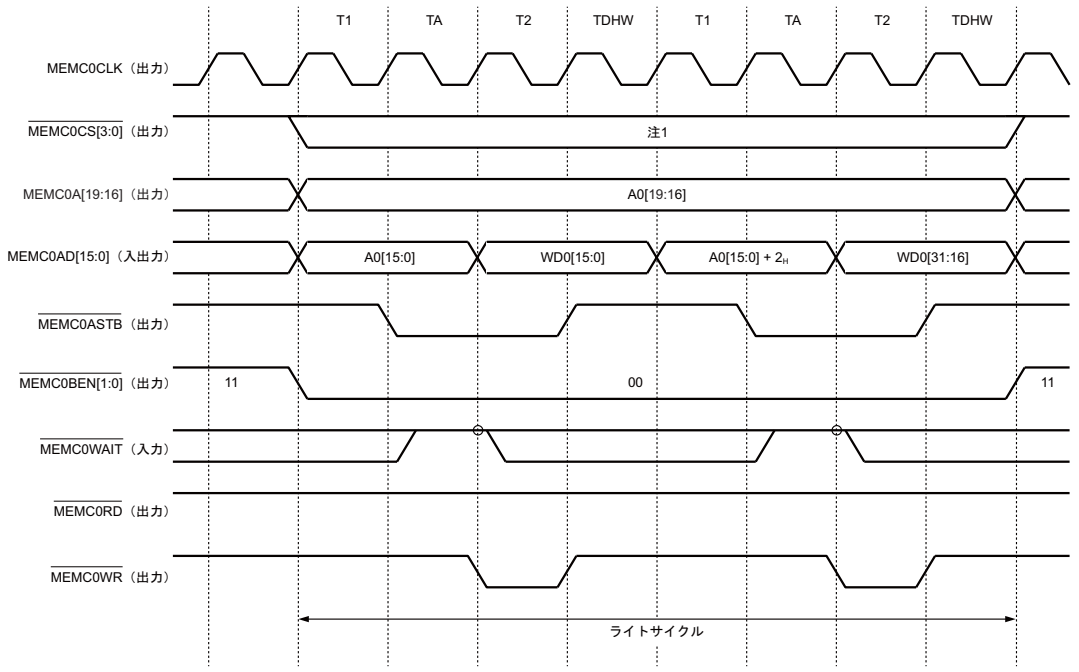


図 14.1　外部メモリマップ

14.4.1.2 バスサイズ機能

CPU（または DMA）からのアクセス要求は、アクセス先の外部バスのビット幅に合わせて分割され、実行されます。



注 1. アクセス対象のチップセレクト領域を示します。

備考 T_1：アドレスセットアップ期間
T_A：アドレスストローブ期間
T_2：リード（ライト）ストローブ期間
T_{DHW}：データホールドウエイト期間

図 14.2 外部バスに対する 32 ビットライトアクセス時のバスサイクル

14.4.1.3 データエンディアン設定機能

外部バスインタフェースのデータエンディアンをリトルエンディアンまたはビッグエンディアンの中から選択できます。この設定は DEC レジスタによりチップセレクト領域ごとに行えます。

注 意

1. **このマイクロコントローラではビッグエンディアンでの命令フェッチ動作に対応していません。アセンブラやデバッガはリトルエンディアンを前提に作られています。**
2. **ビッグエンディアンでのミスアラインアクセスには対応していません。**

14.4.2 ウエイト機能

ウエイト機能を次に示します。

表 14.23 ウエイト機能

ウエイト機能	データウエイト		データホールドウエイト	データセットアップウエイト	アドレスウエイト	アイドルステート
	プログラマブル	外部端子				
リードアクセス	○	○	—	—	○	○
ライトアクセス	○	○	○	○	○	○
設定レジスタ	DWC	—	DHC	DSC	AWC	ICC
最大ウエイト数	15	—	3	3	3	3

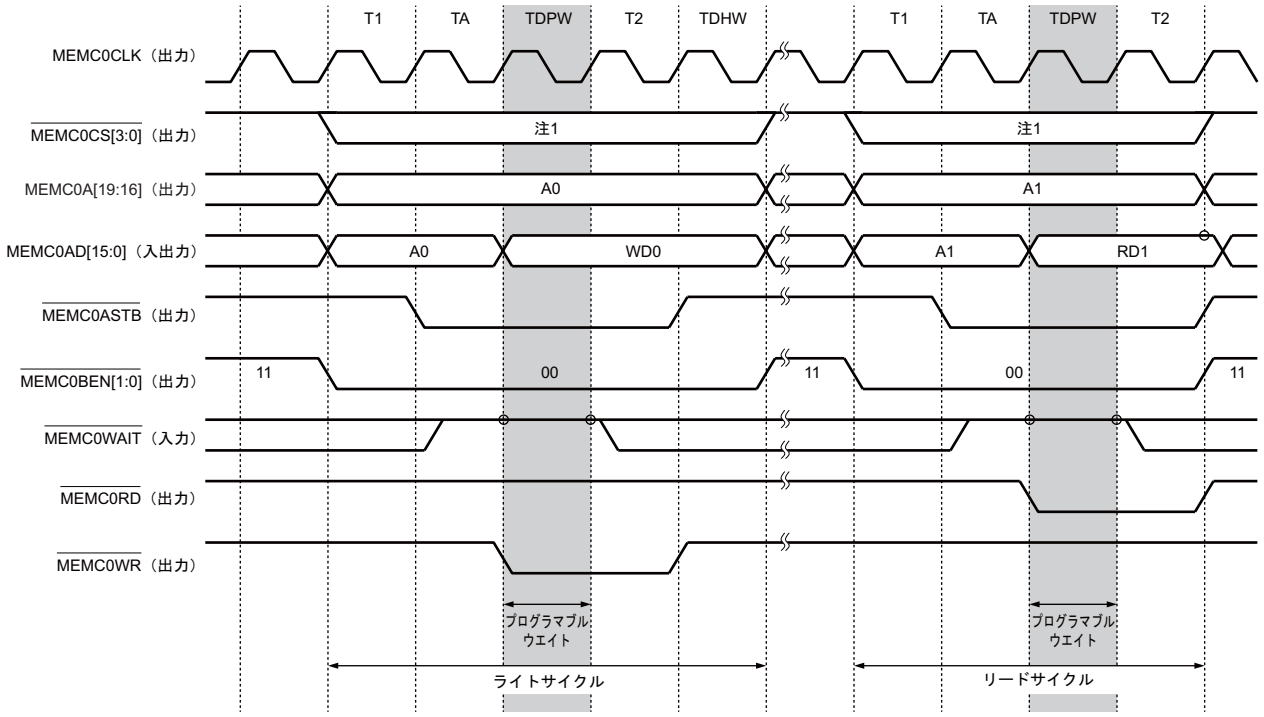
14.4.2.1 プログラマブルデータウエイト機能

リードストローブ、およびライトストローブ期間を延長してデータのラッチタイミングを遅らせるためのウエイト機能です。

データ転送タイミングに有効になります。

最大 15 サイクルを挿入できます。

DWC レジスタによりチップセレクト領域ごとに設定できます。



注 1. アクセス対象のチップセレクト領域を示します。

備考 T1：アドレスセットアップ期間
TA：アドレスストローブ期間
T2：リード（ライト）ストローブ期間
TDPW：プログラマブルデータウエイト期間
TDHW：データホールドウエイト期間

図 14.3 プログラマブルデータウエイト挿入時のバスサイクル

14.4.2.2 外部ウエイト機能

$\overline{\text{MEMC0WAIT}}$ 端子により任意の長さのデータウエイトを挿入できます。

$\overline{\text{MEMC0WAIT}}$ 端子入力レベルは、T_A サイクルおよび T_{DPW}, T_{DEW} サイクル終了直後にサンプリングされます。

なお、データウエイトサイクルは、データウエイト制御レジスタ（DWC レジスタ）の設定によるプログラマブルデータウエイトと $\overline{\text{MEMC0WAIT}}$ 端子入力による外部ウエイト指定との論理和（OR）をとったものを用いて挿入されます。

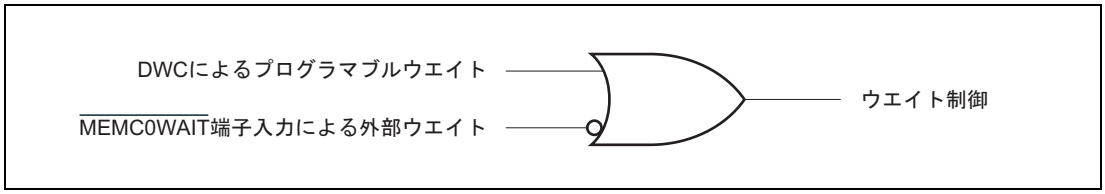
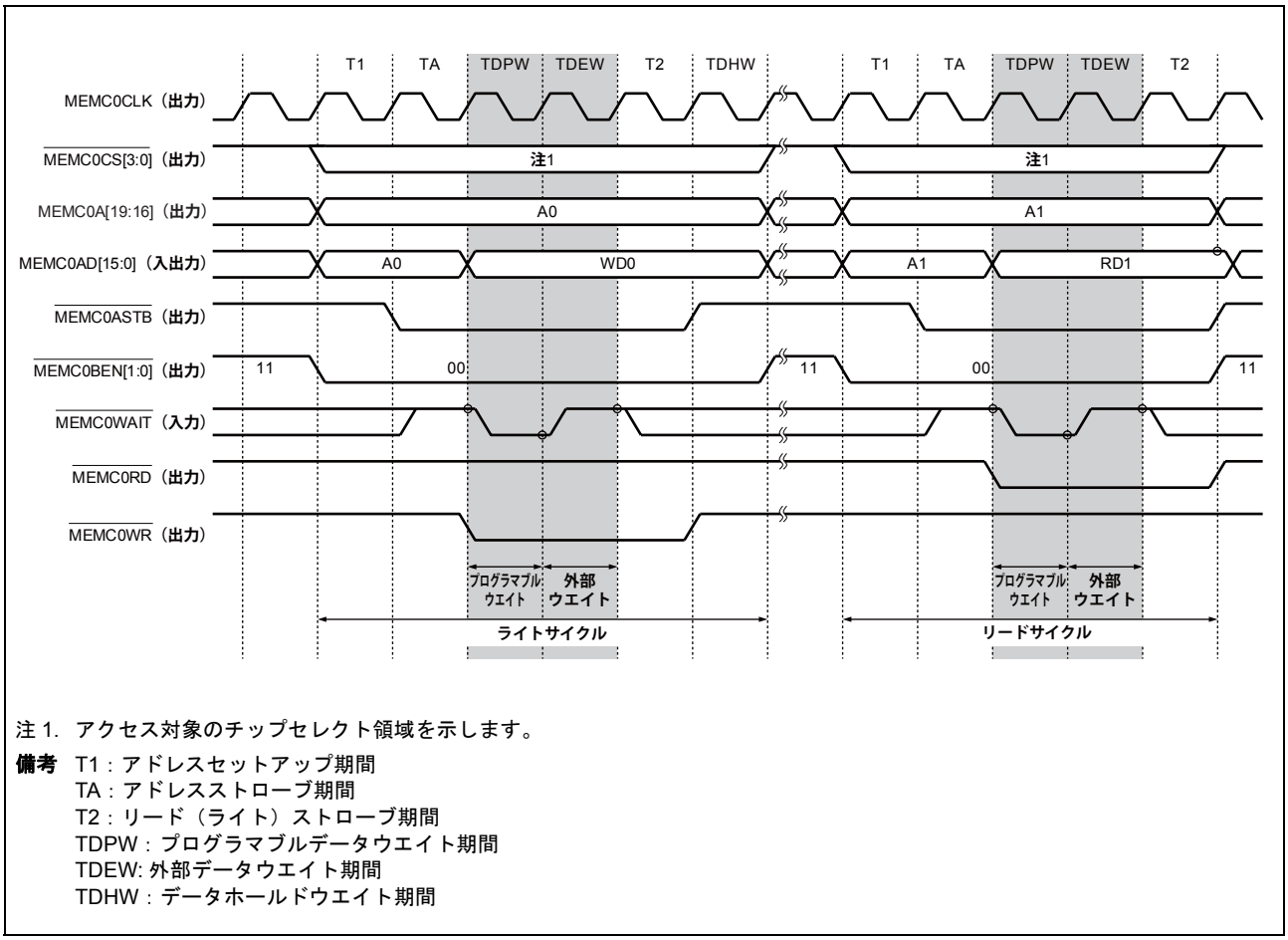


図 14.4 内部データウエイト生成論理



注 1. アクセス対象のチップセレクト領域を示します。

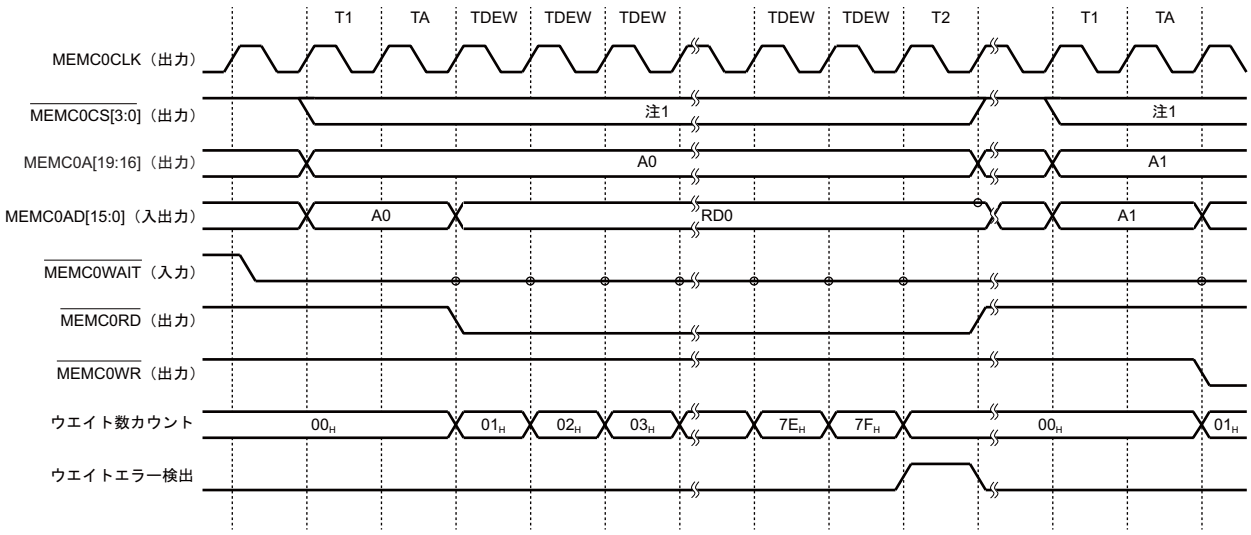
備考 T1：アドレスセットアップ期間
TA：アドレスストローブ期間
T2：リード（ライト）ストローブ期間
TDPW：プログラマブルデータウエイト期間
TDEW: 外部データウエイト期間
TDHW：データホールドウエイト期間

図 14.5 プログラマブルデータウエイトと外部ウエイト挿入時のバスサイクル（DWC = 1 の場合）

14.4.2.3 外部ウエイトエラー検出機能

外部ウエイトエラー設定レジスタ（EWC レジスタ）の EWx ビットに 1 を設定することにより、外部ウエイトが 128 クロック以上連続して入力され続けた場合に、データウエイトを強制解除します。この時、SYSERR 例外が発生します。

この機能を使用することにより、$\overline{\text{MEMC0WAIT}}$ 入力端子に対して不意な不具合が発生した場合においても、システムのハングアップを回避することができます。



注 1. アクセス対象のチップセレクト領域を示します。

備考 T1：アドレスセットアップ期間
TA：アドレスストローブ期間
TDEW：外部データウエイト期間
T2：リード（ライト）ストローブ期間

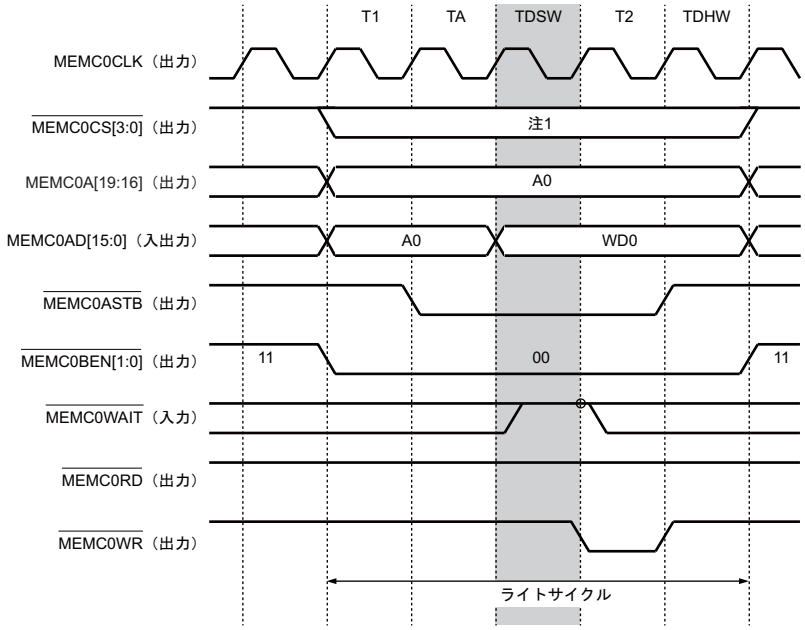
図 14.6 外部ウエイトエラー検出時の動作タイミング

14.4.2.4 データセットアップウエイト機能

データのライトストローブに対するセットアップ時間を確保するために、転送ステートの前にウエイトを挿入する機能です。

ライトサイクル時のみ有効になります。

DSC レジスタの設定により、チップセレクト領域ごとに最大 3 サイクルのウエイトを挿入できます。



注 1. アクセス対象のチップセレクト領域を示します。

備考 T1：アドレスセットアップ期間
TA：アドレスストローブ期間
TDSW：データセットアップウエイト期間
T2：リード（ライト）ストローブ期間
TDHW：データホールドウエイト期間

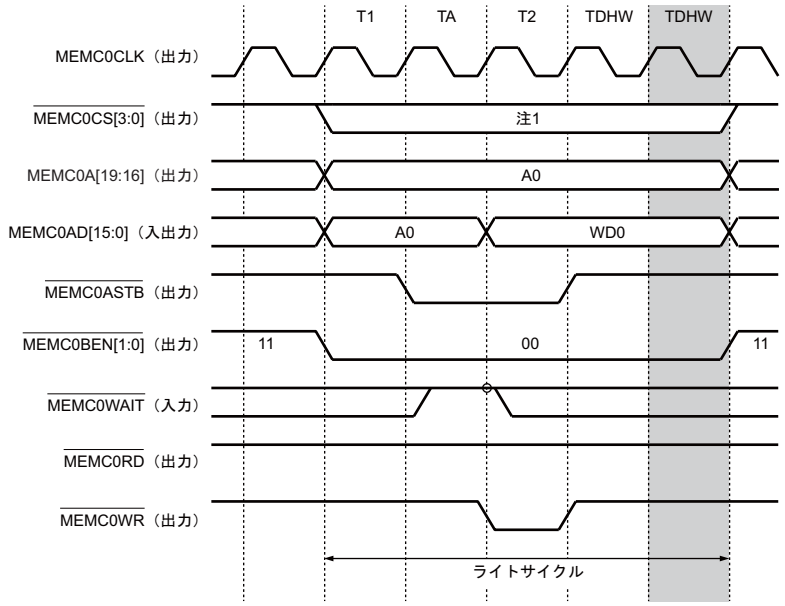
図 14.7 データセットアップウエイト挿入時のバスサイクル

14.4.2.5 データホールドウエイト機能

データのライトストローブに対するホールド時間を確保するために、ライトストローブ信号立ち上がり後のステートに対しウエイトを挿入する機能です。

ライトサイクル発生時に必ず 1 ステートのデータホールドウエイトを挿入します。このデータホールドウエイトを、DHC レジスタの設定により最大 3 サイクル分延長し、都合 4 サイクル分の挿入ができます。

DHC レジスタによるデータホールドウエイトの延長数はチップセレクト領域ごとに設定できます。



注 1. アクセス対象のチップセレクト領域を示します。

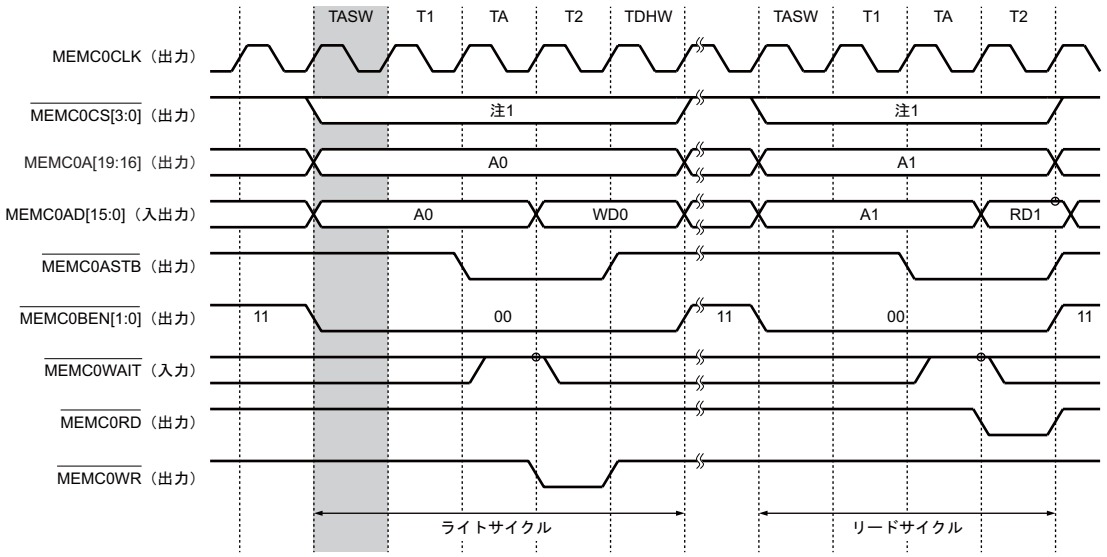
備考 T1：アドレスセットアップ期間
TA：アドレスストローブ期間
T2：リード（ライト）ストローブ期間
TDHW：データホールドウエイト期間

図 14.8 データホールドウエイト挿入時のバスサイクル

14.4.2.6 アドレスセットアップウエイト機能

アドレスストローブに対するセットアップ時間を確保するためにアドレス転送ステートの前にウエイトを挿入する機能です。

AWC レジスタの設定により、チップセレクト領域ごとに最大 3 サイクルのウエイトを挿入できます。



注 1. アクセス対象のチップセレクト領域を示します。

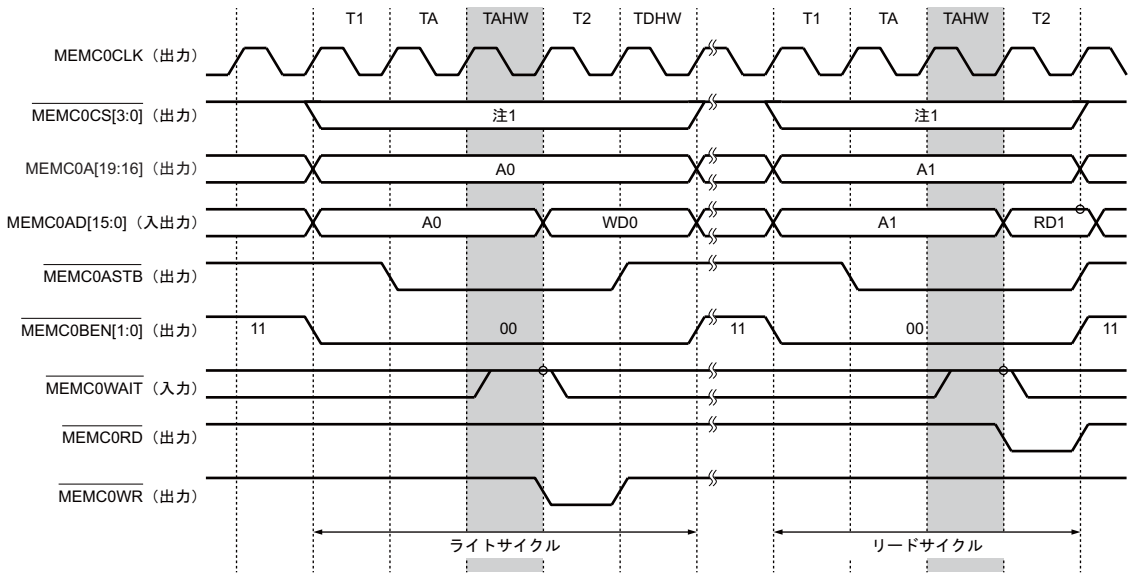
備考 T1：アドレスセットアップ期間
TASW：アドレスセットアップウエイト期間
TA：アドレスストローブ期間
T2：リード（ライト）ストローブ期間
TDHW：データホールドウエイト期間

図 14.9 アドレスセットアップウエイト挿入時のバスサイクル

14.4.2.7 アドレスホールドウエイト機能

アドレスストローブに対するホールド時間を確保するためにアドレス転送ステートの後にウエイトを挿入する機能です。

AWC レジスタの設定により、チップセレクト領域ごとに最大 3 サイクルのウエイトを挿入できます。



注 1. アクセス対象のチップセレクト領域を示します。

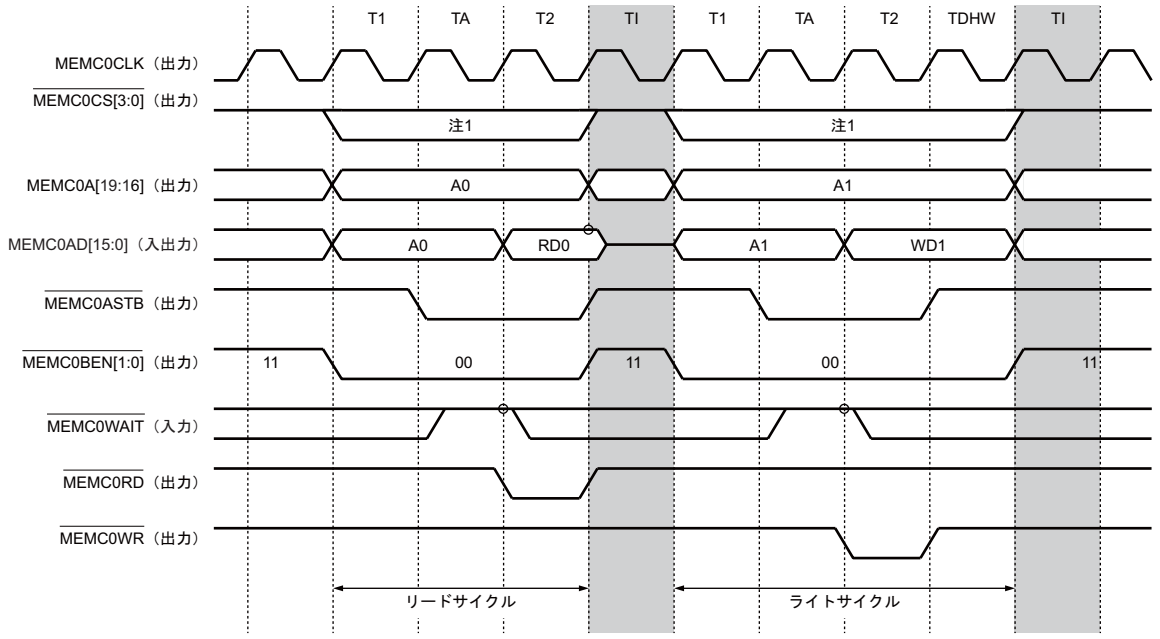
備考 T1：アドレスセットアップ期間
TA：アドレスストローブ期間
TAHW：アドレスホールドウエイト期間
T2：リード（ライト）ストローブ期間
TDHW：データホールドウエイト期間

図 14.10 アドレスホールドウエイト挿入時のバスサイクル

14.4.2.8 アイドル挿入機能

サイクル－サイクル間でバスの競合が発生するのを防止するために、各サイクルの最終ステートのあとにアイドルステートを挿入する機能です。

ICC レジスタへの設定により、各チップセレクト領域に対する、リードサイクル後／ライトサイクル後に独立して設定できます。



注 1. アクセス対象のチップセレクト領域を示します。

備考 T1: アドレスセットアップ期間
TA：アドレスストローブ期間
T2：リード（ライト）ストローブ期間
TI：アイドルステート期間
TDHW：データホールドウエイト期間

図 14.11 アイドルステート挿入時のバスサイクル

14.4.3 メモリ接続例

14.4.3.1 SRAM 接続例

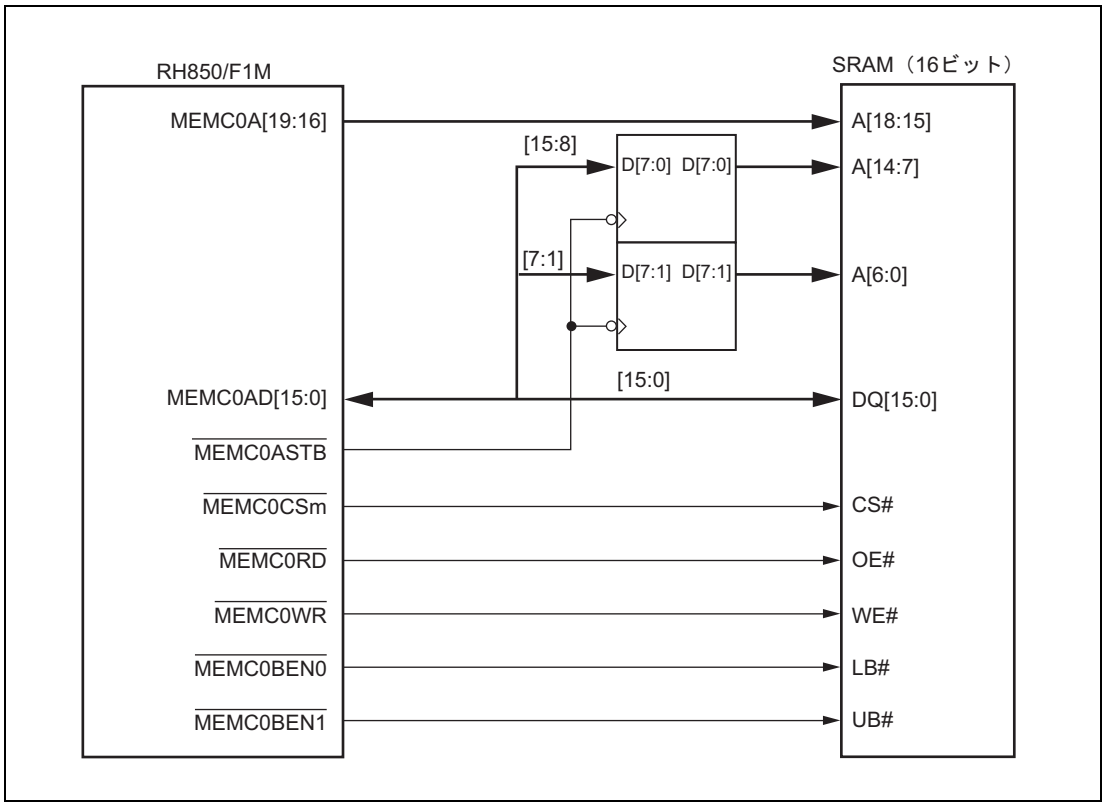


図 14.12 SRAM（16 ビット）接続例

14.4.4 データアクセスフロー

外部メモリへのデータ転送フローは、データ幅、エンディアン指定、外部バス幅、開始アドレスなどによって異なります。

ミスアラインとなるアクセスについては、CPU がデータの分割、および結合を行います。ミスアラインとなるか否かは、データ幅と、開始アドレスにより決まります。

ミスアライン

次のアクセスが、ミスアラインとなり、CPU がサイクルを分割します。

- ハーフワード（16 ビット）のデータを奇数番地に対してリード／ライトする場合。
- ワード（32 ビット）のデータを、4 の倍数以外の番地に対してリード／ライトする場合。

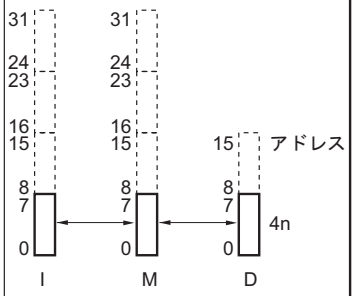
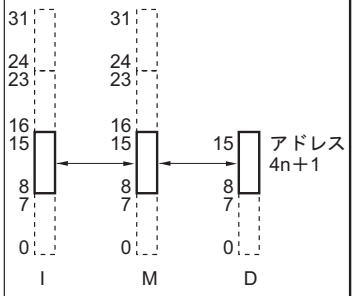
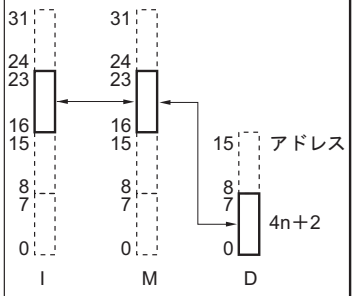
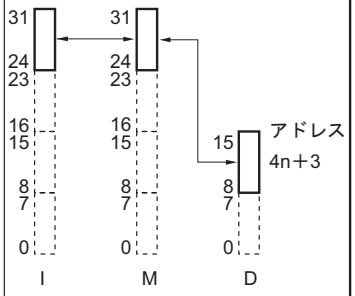
表 14.24 ミスアライン発生アクセス条件

アクセス条件		CPU が分割発行するサイクル		
データ幅	アドレス	1 回目	2 回目	3 回目
16 ビット	2n+1	2n+1 への 8 ビットアクセス	2n+2 への 8 ビットアクセス	—
32 ビット	4n+1	4n+1 への 8 ビットアクセス	4n+2 への 16 ビットアクセス	4n+4 への 8 ビットアクセス
32 ビット	4n+2	4n+2 への 16 ビットアクセス	4n+4 への 16 ビットアクセス	—
32 ビット	4n+3	4n+3 への 8 ビットアクセス	4n+4 への 16 ビットアクセス	4n+6 への 8 ビットアクセス

次ページ以降に各条件での、データフローを示します。

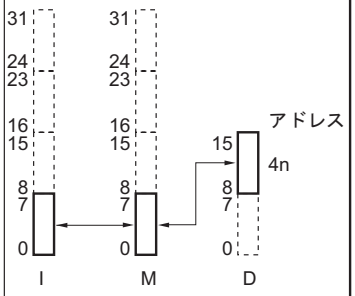
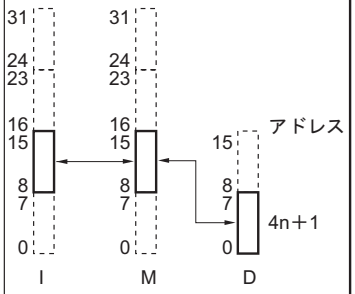
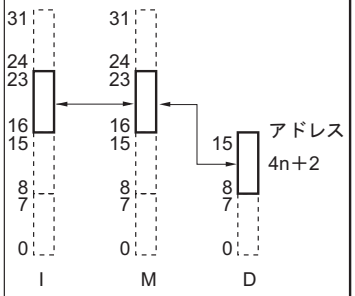
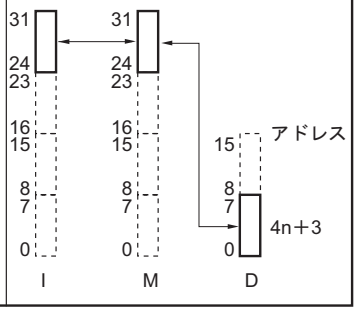
14.4.4.1　バイトアクセス時のデータフロー（リード／ライト時）

表 14.25　バイトアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス	データ転送フロー
4n	
4n＋1	
4n＋2	
4n＋3	

備考　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

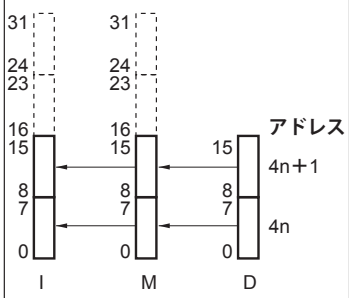
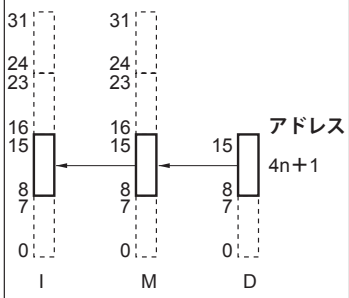
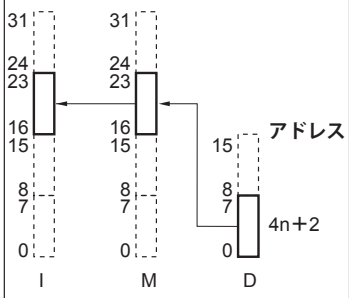
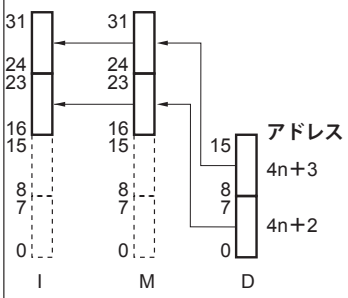
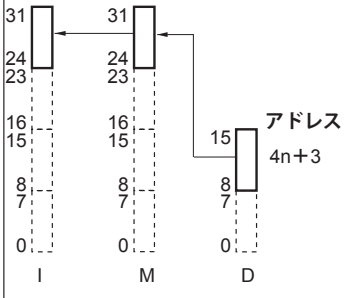
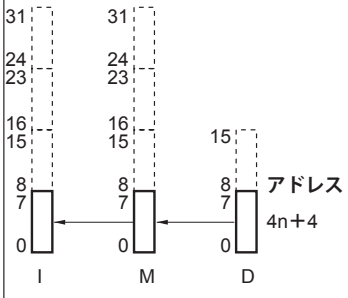
表 14.26　バイトアクセス時のデータフロー（ビッグエンディアン）

アクセスするアドレス	データ転送フロー
4n	
4n＋1	
4n＋2	
4n＋3	

備考　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

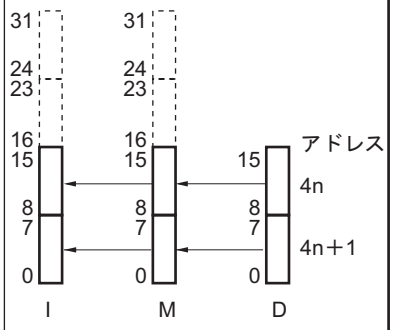
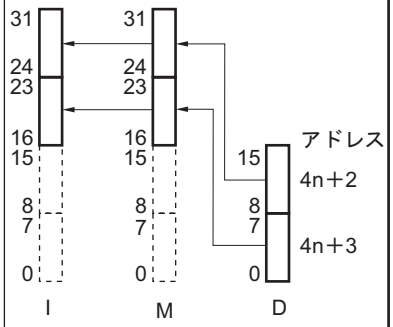
14.4.4.2 ハーフワードリードアクセス時のデータフロー

表 14.27 ハーフワードリードアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス		データ転送フロー
4n	1回目	
4n+1	1回目	
	2回目	
4n+2	1回目	
4n+3	1回目	
	2回目	

備考 I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

表 14.28　ハーフワードリードアクセス時のデータフロー（ビッグエンディアン）

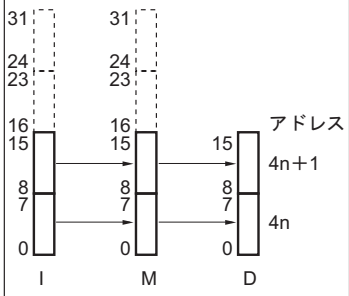
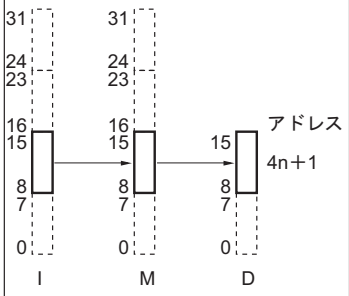
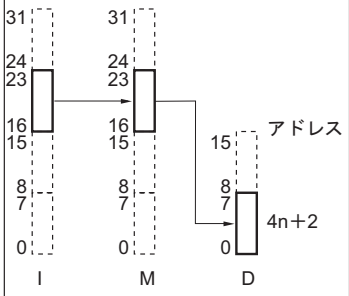
アクセスするアドレス	データ転送フロー
4n	
4n+2	

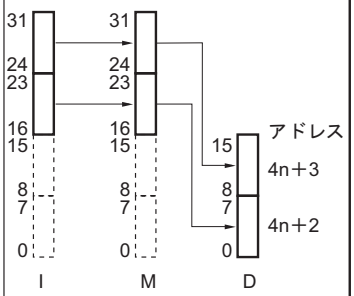
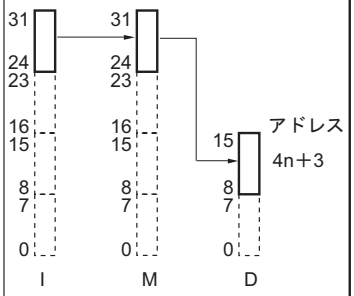
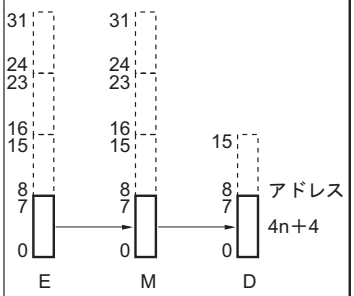
備考 1.　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

備考 2.　先頭アドレスが 4n+1, 4n+3 で始まるアクセスは禁止です。

14.4.4.3 ハーフワードライトアクセス時のデータフロー

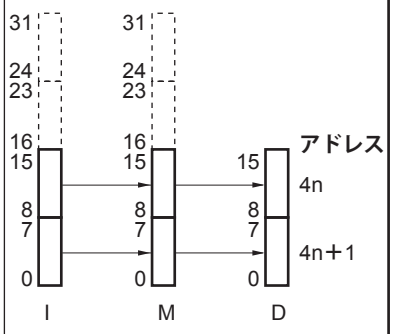
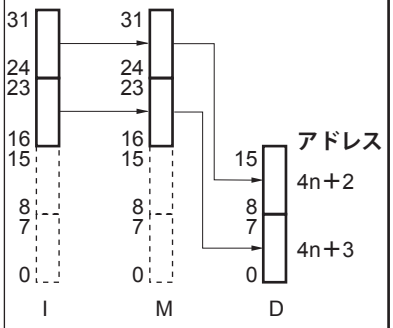
表 14.29 ハーフワードライトアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス		データ転送フロー
4n	1回目	
4n+1	1回目	
	2回目	

アクセスするアドレス		データ転送フロー
4n+2	1回目	
4n+3	1回目	
	2回目	

備考 I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

表 14.30　ハーフワードライトアクセス時のデータフロー（ビッグエンディアン）

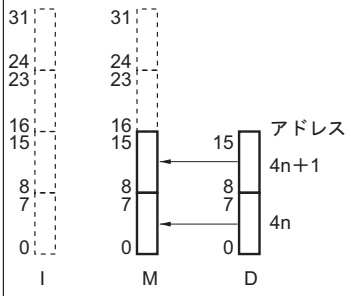
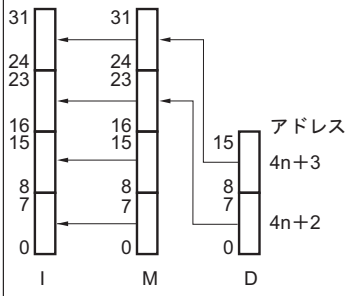
アクセスするアドレス	データ転送フロー
4n	
4n+2	

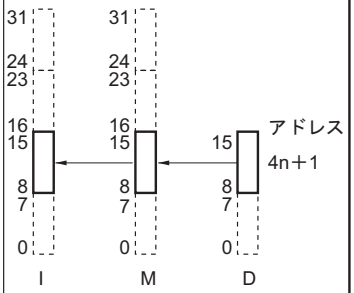
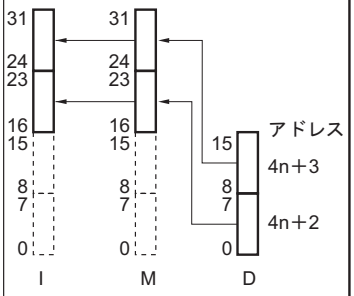
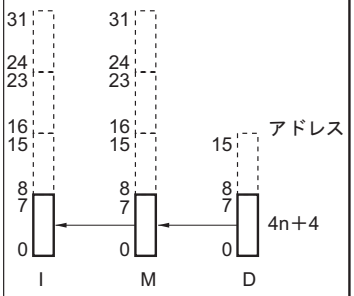
備考 1.　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

備考 2.　先頭アドレスが 4n+1, 4n+3 で始まるアクセスは禁止です。

14.4.4.4 ワードリードアクセス時のデータフロー

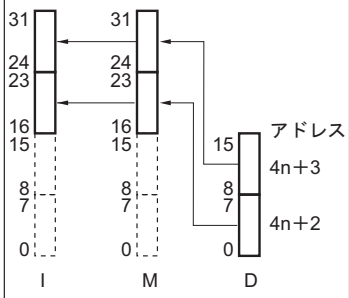
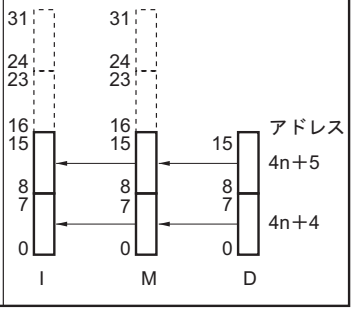
表 14.31 ワードリードアクセス時のデータフロー（リトルエンディアン）（1/2）

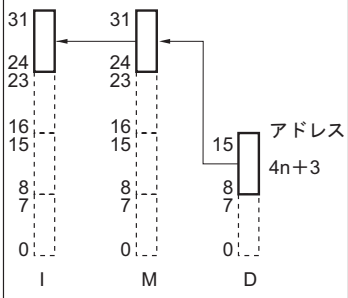
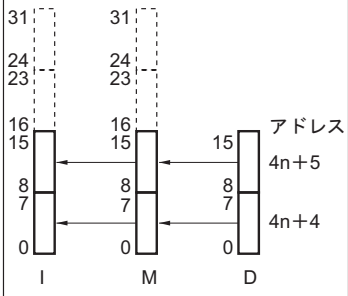
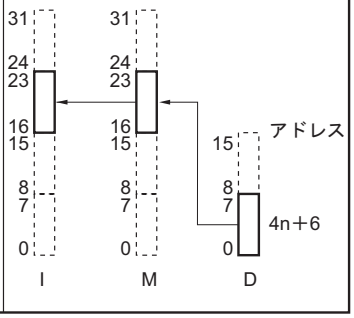
アクセスするアドレス		データ転送フロー
4n	1回目	
	2回目	

アクセスするアドレス		データ転送フロー
4n+1	1回目	
	2回目	
	3回目	

備考 I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

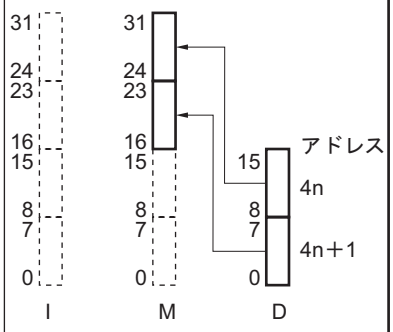
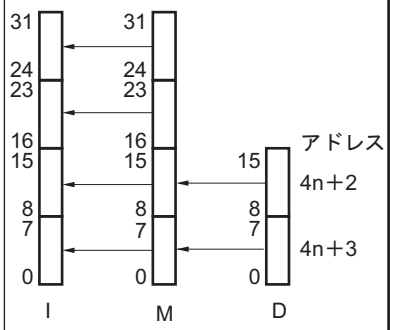
表 14.31　ワードリードアクセス時のデータフロー（リトルエンディアン）（2/2）

アクセスするアドレス		データ転送フロー
4n+2	1回目	
	2回目	

アクセスするアドレス		データ転送フロー
4n+3	1回目	
	2回目	
	3回目	

備考　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

表 14.32　ワードリードアクセス時のデータフロー（ビッグエンディアン）

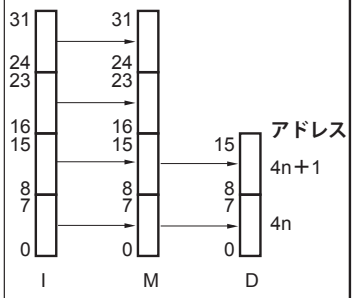
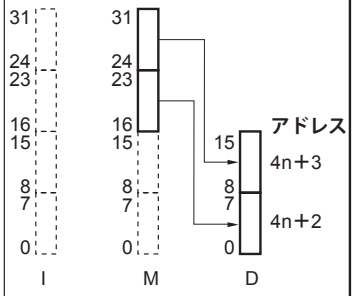
アクセスするアドレス	データ転送フロー
4n	
4n+2	

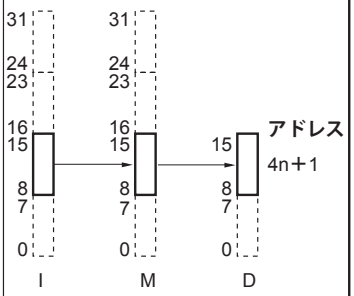
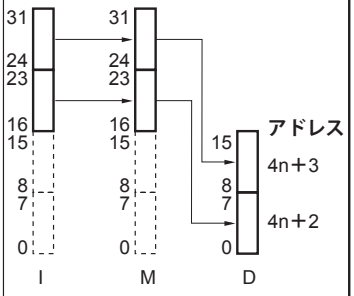
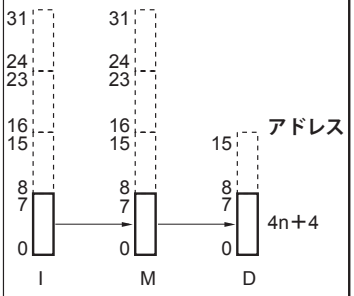
備考 1.　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

備考 2.　先頭アドレスが 4n ＋ 1, 4n ＋ 2, 4n ＋ 3, で始まるアクセスは禁止です。

14.4.4.5 ワードライトアクセス時のデータフロー

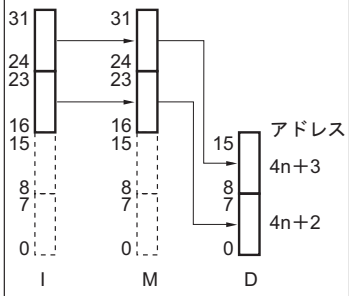
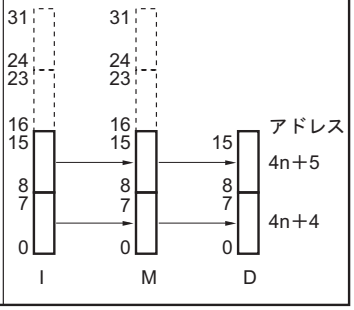
表 14.33 ワードライトアクセス時のデータフロー（リトルエンディアン）（1/2）

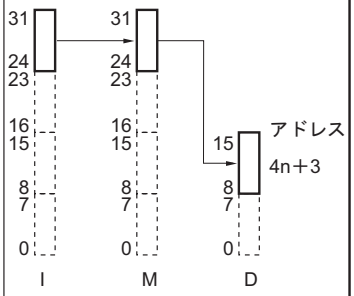
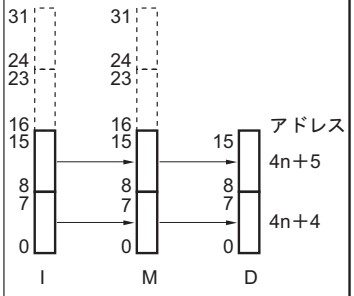
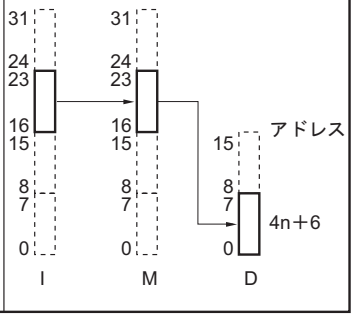
アクセスするアドレス		データ転送フロー
4n	1回目	
	2回目	

アクセスするアドレス		データ転送フロー
4n+1	1回目	
	2回目	
	3回目	

備考 I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

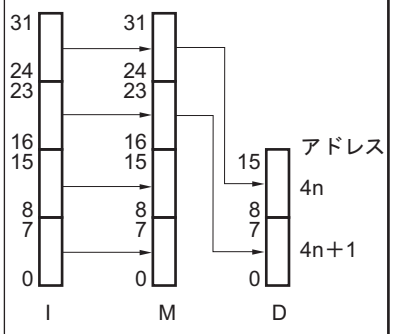
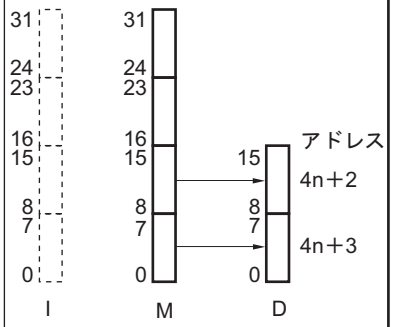
表 14.33　ワードライトアクセス時のデータフロー（リトルエンディアン）（2/2）

アクセスするアドレス		データ転送フロー
4n+2	1回目	
	2回目	

アクセスするアドレス		データ転送フロー
4n+3	1回目	
	2回目	
	3回目	

備考　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

表 14.34　ワードライトアクセス時のデータフロー（ビッグエンディアン）

アクセスするアドレス		データ転送フロー
4n	1回目	
	2回目	

備考 1.　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n = 0, 1, 2, 3,…

備考 2.　先頭アドレスが 4n ＋ 1, 4n ＋ 2, 4n ＋ 3, で始まるアクセスは禁止です。

14.5　MEMC の使用上の注意事項

MEMC は、スタンバイモードに遷移する前に、停止してください。

第 15 章　クロック同期シリアルインタフェース G（CSIG）

本章では、クロック同期シリアルインタフェース G（CSIG）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、CSIG の機能、レジスタについて説明します。

15.1　RH850/F1M CSIG の特長

15.1.1　ユニット数

本製品は、以下のユニット数の CSIG を搭載しています。

CSIG　　1 ユニット当たり 1 チャネルのインタフェースを持っています。
本章のユニット数とチャネル数は同義です。

表 15.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	2		
名称	CSIGn(n = 0、1)		

表 15.2　添字

添字	説明
n	本章では、CSIG の各ユニットを「n」（n = 0、1）で識別します。たとえば、CSIGn 制御レジスタ 0 は CSIGnCTL0 と記述します。

15.1.2　レジスタベースアドレス

CSIG のベースアドレスを以下の表に示します。

CSIG のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 15.3　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CSIG0_base>	FFD8 8000_H
<CSIG1_base>	FFD8 $A000_H$

15.1.3　クロック供給

CSIG のクロック供給を以下に示します。

表 15.4　クロック供給

ユニット名	ユニットクロック名	供給クロック名
CSIGn	PCLK	CKSCLK_ICSI
	レジスタアクセスクロック	CKSCLK_ICSI

15.1.4 割り込み要求

CSIG の割り込み要求を以下の表に示します。

表 15.5 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
CSIG0			
INTCSIGTIC	通信ステータス割り込み	27、118	8
INTCSIGTIR	受信ステータス割り込み	28、119	9
INTCSIGTIRE	通信エラー割り込み	57	—
CSIG1			
INTCSIGTIC	通信ステータス割り込み	223	109
INTCSIGTIR	受信ステータス割り込み	224	110
INTCSIGTIRE	通信エラー割り込み	225	—

15.1.5 リセット要因

CSIG のリセット要因を以下に示します。CSIG は以下に示すリセット要因で初期化されます。

表 15.6 リセット要因

ユニット名	リセット要因
CSIGn	すべてのリセット要因（ISORES）

15.1.6 外部入出力信号

CSIG の外部入出力信号を以下の表に示します。

表 15.7 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
CSIG0		
CSIGTSCK	シリアルクロック信号	CSIG0SC 注 1
CSIGTSI	シリアルデータ入力信号	CSIG0SI
CSIGTSO	シリアルデータ出力信号	CSIG0SO 注 1
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG0SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG0RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG0RYO
CSIG1		
CSIGTSCK	シリアルクロック信号	CSIG1SC 注 1
CSIGTSI	シリアルデータ入力信号	CSIG1SI
CSIGTSO	シリアルデータ出力信号	CSIG1SO 注 1
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG1SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG1RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG1RYO

注 1. CSIGnSO、CSIGnSC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m = 1）に設定してください。

15.1.7　データ整合性チェック

CSIGnSO（CSIGTSO）出力のデータ整合性チェック機能に対応するポートおよび兼用機能について以下の表に示します。データ整合性チェックの詳細は、**「15.5.10　エラー検出」**を参照してください。

表 15.8　データ整合性チェックの対象端子

ユニット信号名	ポート端子名	兼用機能
CSIG0		
CSIGTSO	P0_13	ALT_OUT4
	P10_6	ALT_OUT2
CSIG1		
CSIGTSO	P11_9	ALT_OUT1

15.2 概要

15.2.1 機能概要

- 3 ワイヤシリアル同期データ転送
- マスタモードとスレーブモードを選択可能
- スレーブ選択入力信号（$\overline{\text{CSIGTSSI}}$）が使用可能
- ボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数を調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送クロック周波数：
  - マスタモード：10.0MHz（ただし、PCLK/4 以下）
  - スレーブモード：5.0MHz（ただし、PCLK/6 以下）
- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 7 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
- 16 ビットを上回るデータを転送するための EDL（Extended Data Length：拡張データ長）機能を内蔵
- 以下の 3 つの転送モードを選択可能：
  - 送信専用モード
  - 受信専用モード
  - 送受信モード
- ハンドシェーク機能を内蔵
- エラー検出（データ整合性チェック、パリティ、オーバラン）を内蔵
- 3 個の割り込み要求信号（INTCSIGTIC, INTCSIGTIR, INTCSIGTIRE）
- 自己テスト用の LBM（ループバックモード）機能を内蔵

15.2.2 機能概要説明

CSIG では以下の 3 つの信号を通信に使用します。

- 送信クロック CSIGTSCK（マスタモードでは出力、スレーブモードでは入力）
- シリアルデータ出力信号 CSIGTSO
- シリアルデータ入力信号 CSIGTSI

CSIGnCTL2 レジスタによって、CSIG をマスタモードまたはスレーブモードのどちらで動作させるかを選択します。

その他に、外部制御とモニタ用に利用できる信号があります。

- CSIGTSSI：スレーブ選択入力信号
- CSIGTRYO：レディ / ビジー出力信号（ハンドシェーク信号）
- CSIGTRYI：レディ / ビジー入力信号（ハンドシェーク信号）

データ送信は、1 ビットずつシリアルに行われ、送信クロックに同期します。

CSIG の設定で重要な役割を果たすレジスタを以下の表に示します。

表 15.9　CSIG の主なレジスタ

レジスタ	機能
CSIGnCTL0	動作クロックを供給または停止にし、データ送信とデータ受信を許可または禁止します。
CSIGnCTL1	割り込みのタイミング、拡張データ長、データ整合性チェック、ループバックモード、ハンドシェークなどのオプション機能を制御します。
CSIGnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵のボーレートジェネレータ（BRG）の転送クロック周波数を選択します。
CSIGnCFG0	通信プロトコルを設定します。

15.2.3　ブロック図

以下のブロック図は CSIG の主要なコンポーネントを示しています。

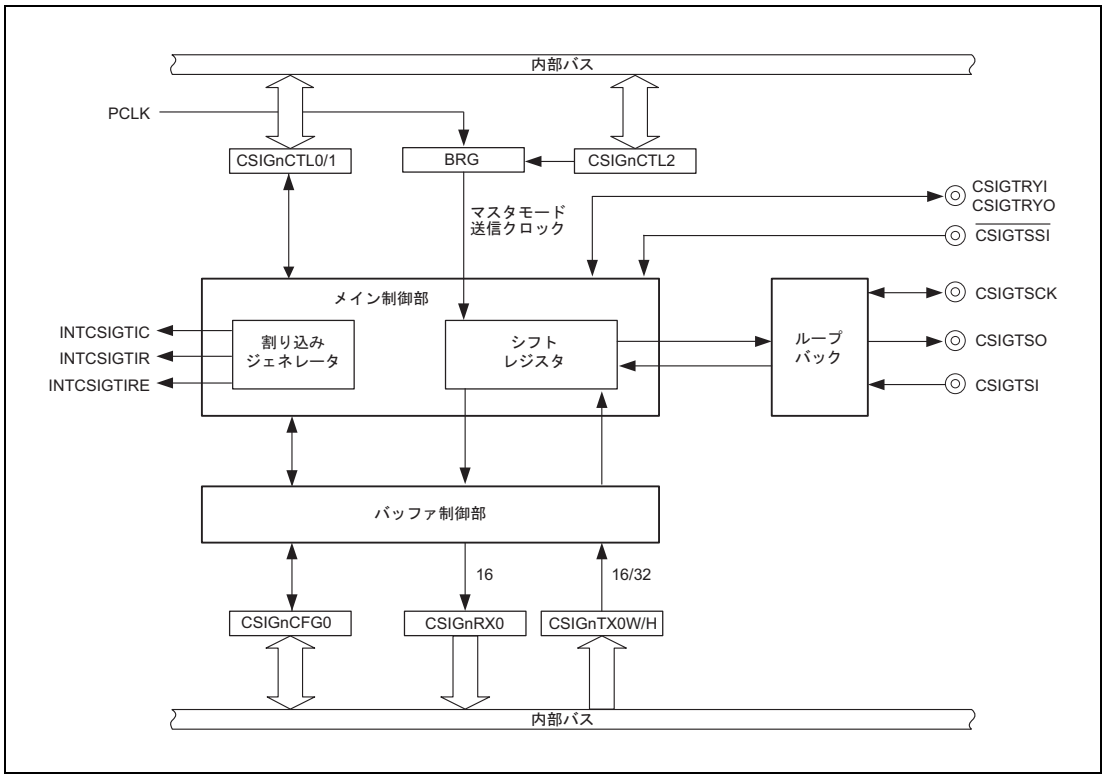


図 15.1　CSIG のブロック図

マスタモードでは、送信クロック CSIGTSCK が内蔵のボーレートジェネレータ（BRG）によって発生します。スレーブモードでは、外部ソースから送信クロックが供給されます。

15.3 レジスタ

15.3.1 レジスター覧

CSIG のレジスター覧を以下の表に示します。

<CSIGn_base> は**「15.1.2　レジスタベースアドレス」**を参照してください。

表 15.10 レジスター覧

モジュール名	レジスタ名	略号	アドレス
CSIGn	CSIGn 制御レジスタ 0	CSIGnCTL0	<CSIGn_base> + 0000_H
CSIGn	CSIGn 制御レジスタ 1	CSIGnCTL1	<CSIGn_base> + 0010_H
CSIGn	CSIGn 制御レジスタ 2	CSIGnCTL2	<CSIGn_base> + 0014_H
CSIGn	CSIGn ステータスレジスタ 0	CSIGnSTR0	<CSIGn_base> + 0004_H
CSIGn	CSIGn ステータスクリアレジスタ 0	CSIGnSTCR0	<CSIGn_base> + 0008_H
CSIGn	CSIGn 受信専用モード制御レジスタ 0	CSIGnBCTL0	<CSIGn_base> + 1000_H
CSIGn	CSIGn コンフィギュレーションレジスタ 0	CSIGnCFG0	<CSIGn_base> + 1010_H
CSIGn	ワードアクセス用 CSIGn 送信レジスタ 0	CSIGnTX0W	<CSIGn_base> + 1004_H
CSIGn	ハーフワードアクセス用 CSIGn 送信レジスタ 0	CSIGnTX0H	<CSIGn_base> + 1008_H
CSIGn	CSIGn 受信レジスタ 0	CSIGnRX0	<CSIGn_base> + $100C_H$
CSIGn	CSIGn エミュレーションレジスタ	CSIGnEMU	<CSIGn_base> + 0018_H

15.3.2 CSIGnCTL0 — CSIGn 制御レジスタ 0

本レジスタは、動作クロックの制御と送信／受信の許可／禁止に使用されます。

アクセス 1 ビット単位と 8 ビット単位でリード／ライト可能です。

アドレス <CSIGn_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIGnPWR	CSIGnTXE	CSIGnRXE	—	—	—	—	CSIGnMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 15.11 CSIGnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIGnPWR	動作クロックを制御します。 0：動作クロックを停止させます。 1：動作クロックを供給します。 CSIGnPWR を 0 にクリアすると、内部回路がリセットされ、動作が停止し、CSIG がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIGnPWR をクリアした場合、実行中の通信は中断されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIGnTXE	送信を許可または禁止します。 0：送信を禁止します。 1：送信を許可します。
5	CSIGnRXE	受信を許可または禁止します。 0：受信を禁止します。 1：受信を許可します。
4 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CSIGnMBS	このビットには、必ず “1” を設定してください。（リセット後の値 “0”）

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.3 CSIGnCTL1 — CSIGn 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェーク機能、スレーブ選択機能を有効または無効する機能も持っています。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <CSIGn_base> + 0010_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIGn CKR	CSIGn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIGn EDLE	—	CSIGn DCS	—	CSIGn LBM	CSIGn SIT	CSIGn HSE	CSIGn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 15.12 CSIGnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	CSIGnCKR	CSIGTSCK のクロック反転機能 0：CSIGTSCK のデフォルトレベルはハイレベル 1：CSIGTSCK のデフォルトレベルはロウレベル CSIGnCKR ビットは CSIGnCFG0.CSIGnDAP ビットと組み合わせて使用します。詳細については、**「15.3.8 CSIGnCFG0 — CSIGn コンフィギュレーションレジスタ 0」**を参照してください。
16	CSIGnSLIT	割り込み INTCSIGTIC のタイミングを選択します。 0：通常の割り込みのタイミング（転送後に割り込みを発生します）。 1：CSIGnTX0W/H が空になり、次のデータを格納できる状態になったときに割り込みを発生します。 詳細については、**「15.4.2 INTCSIGTIC（通信ステータス割り込み）」**を参照してください。
15 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	CSIGnEDLE	拡張データ長（EDL）モードを有効または無効にします。 0：拡張データ長モードを無効にします。 1：拡張データ長モードを有効にします。 詳細については、**「15.5.5.2 データ長が拡張されている場合のデータ長の選択」**を参照してください。
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSIGnDCS	データ整合性チェックを有効または無効にします。 0：データ整合性チェックを無効にします。 1：データ整合性チェックを有効にします。 詳細については、**「15.5.10.1 データ整合性チェック」**を参照してください。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 15.12　CSIGnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	CSIGnLBM	ループバックモード（LBM）を制御します。 0：ループバックモードを非アクティブにします。 1：ループバックモードをアクティブにします。 ループバックモードはマスタモードでのみ設定可能です。スレーブモードでは 0 に設定してください。 詳細については、**「15.5.9　ループバックモード」**を参照してください。
2	CSIGnSIT	割り込み遅延モードを選択します。 0：遅延を生成しません。 1：すべての割り込みについて半周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、**「15.4.1　割り込みの遅延」**を参照してください。
1	CSIGnHSE	ハンドシェーク機能を有効または無効にします。 0：ハンドシェーク機能を無効にします。 1：ハンドシェーク機能を有効にします。 詳細については、**「15.5.8　ハンドシェーク機能」**を参照してください。
0	CSIGnSSE	スレーブ選択（SS）機能を有効または無効にします。 0：入力信号 $\overline{\text{CSIGTSSI}}$ を無効にします。 1：入力信号 $\overline{\text{CSIGTSSI}}$ を有効にします。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります（**「15.5.2　マスタ／スレーブの接続」**も参照してください）。

CSIGnCTL1.CSIGnSSE の詳細を次に示します。

表 15.13　受信におけるスレーブ選択機能の動作

CSIGnCTL0. CSIGnRXE	CSIGnCTL1. CSIGnSSE	$\overline{\text{CSIGTSSI}}$	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 15.14　送信におけるスレーブ選択機能の動作

CSIGnCTL0. CSIGnTXE	CSIGnCTL1. CSIGnSSE	$\overline{\text{CSIGTSSI}}$	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.4　CSIGnCTL2 — CSIGn 制御レジスタ 2

本レジスタでは通信クロックを選択します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base> + 0014_H

リセット後の値　$E000_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnPRS[2:0]			—	CSIGnBRS[11:0]											
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.15　CSIGnCTL2 レジスタの内容

ビット位置	ビット名	機能
15 ～ 13	CSIGnPRS [2:0]	プリスケーラの値を選択します。 CSIGn PRS2 / CSIGn PRS1 / CSIGn PRS0 / プリスケーラの出力（PRSOUT） 0 / 0 / 0 / PCLK（マスタモード） 0 / 0 / 1 / PCLK / 2（マスタモード） 0 / 1 / 0 / PCLK / 4（マスタモード） 0 / 1 / 1 / PCLK / 8（マスタモード） 1 / 0 / 0 / PCLK / 16（マスタモード） 1 / 0 / 1 / PCLK / 32（マスタモード） 1 / 1 / 0 / PCLK / 64（マスタモード） 1 / 1 / 1 / CSIGTSCK 経由の外部クロック（スレーブモード）
12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ～ 0	CSIGnBRS [11:0]	転送クロック周波数を選択します。 CSIGnBRS[11:0] ビットの設定はマスタモードでのみ有効となり、スレーブモードでは無視されます。 CSIGnBRS [11:0] / CSIGTSCK の転送クロック周波数 0 / BRG の停止 1 / PCLK / (2^{α}×1×2) 2 / PCLK / (2^{α}×2×2) 3 / PCLK / (2^{α}×3×2) 4 / PCLK / (2^{α}×4×2) ... / ... 4095 / PCLK / (2^{α}×4095×2) **備考**　α = 0 ～ 6：CSIGnPRS[2:0] で設定した値

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.5 CSIGnSTR0 — CSIGn ステータスレジスタ 0

本レジスタは CSIG の状態を示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <CSIGn_base> + 0004_H

リセット後の値 $0000\ 0010_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIGn TSF	—	—	—	CSIGn DCE	—	CSIGn PE	CSIGn OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.16 CSIGnSTR0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	CSIGnTSF	転送ステータスフラグ 0：アイドル状態 1：通信中または通信の準備中 このビットがセットまたはクリアされるタイミングを以下に示します。
6 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	CSIGnDCE	データ整合性チェックエラーフラグ 0：データ整合性チェックエラーが検出されていません。 1：データ整合性チェックエラーが検出されています。 このビットは CSIGnSTCR0.CSIGnDCEC に 1 を書き込むことによってクリアされます。 ただし、データ整合性チェックエラーの検出によるセット（1）と、CSIGnSTCR0.CSIGnDCEC によるクリア（0）が同時に発生した場合、データ整合性チェックエラーの検出によるセット（1）を優先します。このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。
2	予約ビット	リードした場合はリセット後の値が読めます。

マスタモード	セットされるタイミング	クリアされるタイミング
送信専用モード	送信レジスタへの書き込み	最後のシリアルクロックのエッジから半クロック以内
送受信モード		
受信専用モード	受信レジスタの読み込み	

スレーブモード	セットされるタイミング	クリアされるタイミング
送信専用モード	送信レジスタへの書き込み	最後のシリアルクロックのエッジから半クロック以内
送受信モード		
受信専用モード	CSIGTSCK 入力タイミング	

表 15.16 CSIGnSTR0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	CSIGnPE	パリティエラーフラグ 0：パリティエラーが検出されていません。 1：パリティエラーが検出されています。 このビットは CSIGnSTCR0.CSIGnPEC に 1 を書き込むことによってクリアされます。ただし、パリティエラーの検出によるセット（1）と、CSIGnSTCR0.CSIGnPEC によるクリア（0）が同時に発生した場合、パリティエラーの検出によるセット（1）を優先します。 このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。
0	CSIGnOVE	オーバランエラーフラグ 0：オーバランエラーが検出されていません。 1：オーバランエラーが検出されています。 このビットは CSIGnSTCR0.CSIGnOVEC に 1 を書き込むことによってクリアされます。ただし、オーバランエラーの検出によるセット（1）と、CSIGnSTCR0.CSIGnOVEC によるクリア（0）が同時に発生した場合、オーバランエラーの検出によるセット（1）を優先します。 このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.6　CSIGnSTCR0 — CSIGn ステータスクリアレジスタ 0

本レジスタは CSIGnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス　16 ビット単位でリード／ライト可能です。
リードを行うと、常に値 0000_H が返されます。

アドレス　<CSIGn_base> + 0008_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CSIGn DCEC	—	CSIGn PEC	CSIGn OVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W

表 15.17　CSIGnSTCR0 レジスタの内容

ビット位置	ビット名	機能
15 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	CSIGnDCEC	データ整合性エラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：データ整合性チェックエラーフラグ（CSIGnSTR0.CSIGnDCE）をクリアします。
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIGnPEC	パリティエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：パリティエラーフラグ（CSIGnSTR0.CSIGnPE）をクリアします。
0	CSIGnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：オーバランエラーフラグ（CSIGnSTR0.CSIGnOVE）をクリアします。

15.3.7 CSIGnBCTL0 — CSIGn 受信専用モード制御レジスタ 0

本レジスタは受信専用モードでのデータ転送を許可または禁止します。

アクセス 1 ビット単位と 8 ビット単位でリード／ライト可能です。

アドレス <CSIGn_base> + 1000_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CSIGnSCE
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R/W

表 15.18 CSIGnBCTL0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CSIGnSCE	CSIGnRX0 を読み出すことで、次回のデータ受信の開始を許可または禁止します。 0：次回の受信を禁止します。 1：次回の受信を許可します。 詳細については、**「15.5.4.2　受信専用モード」**を参照してください。

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.8 CSIGnCFG0 — CSIGn コンフィギュレーションレジスタ 0

本レジスタでは、データ長、パリティ、転送方向、クロック位相、データ位相などの通信プロトコルを設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <CSIGn_base> + 1010_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGnPS[1:0]		CSIGnDLS[3:0]				—	—	—	—	—	CSIGn DIR	—	CSIGn DAP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W

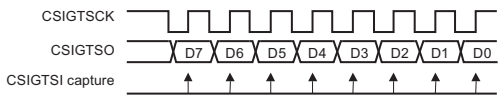
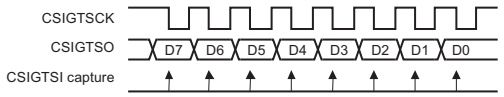
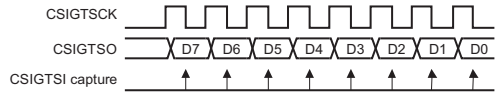
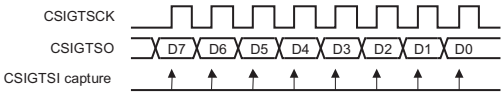
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.19 CSIGnCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29、28	CSIGnPS[1:0]	パリティを指定します。 CSIGnPS1 / CSIGnPS0 / 送信 / 受信 0 / 0 / パリティを送信しません。 / パリティの受信を待機しません。 0 / 1 / 0 に固定されたパリティビットを追加します。 / パリティビットの受信を待機しますが、パリティの判定は行いません。 1 / 0 / 奇数パリティを追加します。 / 奇数パリティビットの受信を待機します。 1 / 1 / 偶数パリティを追加します。 / 偶数パリティビットの受信を待機します。
27 ～ 24	CSIGnDLS [3:0]	データ長を指定します。 0：データ長を 16 ビットにします。 1：データ長を 1 ビットにします。 2：データ長を 2 ビットにします。 … 15：データ長を 15 ビットにします。 **注 意** 拡張データ長モードが無効（CSIGnCTL1.CSIGn EDLE ビット = 0）のときは CSIGnCFG0.CSIGnDLS[3:0] ビットを 1 ～ 6 の値に設定しないでください。また、データ長が 7 ビット未満のデータを 2 つ続けて送信することは禁止されています。
23 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	CSIGnDIR	シリアルデータ方向を選択します。 0：MSB ファーストでデータを送受信します。 1：LSB ファーストでデータを送受信します。
17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 15.19　CSIGnCFG0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
16	CSIGnDAP	データ位相選択ビット CSIGnCTL1.CSIGnCKR ビットと合わせ , データ位相を選択します。 クロック／データ位相については , 下表を参照ください。
15 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

CSIGn CTL1.CSIGn CKR	CSIGn DAP	クロック位相とデータ位相の選択
0	0	
0	1	
1	0	
1	1	

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.9 CSIGnTX0W — ワードアクセス用 CSIGn 送信レジスタ 0

本レジスタは送信データを保存します。さらに、拡張データ長を指定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <CSIGn_base> + 1004_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGn EDL	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnTX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.20 CSIGnTX0W レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	CSIGnEDL	拡張データ長を指定します。 0：通常の動作 1：拡張データ長を有効にします。 関連付けられたデータは 16 ビットデータとして送信されます。 このビットは CSIGnCTL1.CSIGnEDLE = 1 のときにのみセットできます。
28 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 0	CSIGnTX[15:0]	送信データ

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.10　CSIGnTX0H — ハーフワードアクセス用 CSIGn 送信レジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIGnTX0W レジスタのビット 15 ～ 0 と同じです。

転送には、CSIGnTX0W の上位 16 ビットの設定が適用されます。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base> + 1008_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnTX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.21　CSIGnTX0H レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	CSIGnTX[15:0]	送信データ

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.11　CSIGnRX0 — CSIGn 受信レジスタ 0

本レジスタは受信データを保存します。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<CSIGn_base> + $100C_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnRX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.22　CSIGnRX0 レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	CSIGnRX [15:0]	受信データ 本ビットは、CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 本ビットの値を読む場合は、CSIGTIR 割り込みが発生する 1 クロック前までに行ってください。

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.12　CSIGnEMU — CSIGn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス　1 ビット単位と 8 ビット単位でリード／ライト可能です。
（EPC.SVSTOP = 0）のときにライト動作を行ってください。

アドレス　<CSIGn_base> + 0018_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	CSIGnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 15.23　CSIGnEMU レジスタの内容

ビット位置	ビット名	機能
7	CSIGnSVSDIS	デバッグ時の送受信動作の継続／停止を選択します。 • EPC.SVSTOP = 0 のとき 本ビットの設定にかかわらず、送受信動作を継続します。 • EPC.SVSTOP = 1 のとき 0：送受信動作を停止 1：送受信動作を継続
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注　意

本レジスタの設定では、**「表 15.24　レジスタ設定上の注意事項」**を参照してください。

15.3.13 注意事項の一覧

表 15.24 レジスタ設定上の注意事項

レジスタ名	ビット名	注意事項
CSIGnCTL0	CSIGnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIGnCTL0	CSIGnTXE CSIGnRXE	CSIGnCTL0.CSIGnPWR = 0 の間、これらのビットのいずれも変更しないでください。（これらのビットは、CSIGnCTL0.CSIGnPWR ビットと同時に変更することができます。）実行中の通信が中断されると、設定した動作が保証されないので、CSIGnSTR0.CSIGnTSF = 1 の間、これらのビットを変更しないでください。
CSIGnCTL0	CSIGnMBS	このビットは、必ず “1” を設定してください。（リセット後の値は “0” です。） このビットの変更は、CSIGnCTL0.CSIGnPWR ビットと同時に行ってください。
CSIGnCTL1	CSIGnCKR	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。
CSIGnCTL1	CSIGnSLIT CSIGnEDLE CSIGnDCS CSIGnHSE	これらのビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。
CSIGnCTL1	CSIGnLBM	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 本ビットの設定は、スレーブモードでは禁止されます。
CSIGnCTL1	CSIGnSSE	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 このビットを 1 に設定することは、マスタモードでは禁止されます。
CSIGnCTL1	CSIGnSIT	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIGnCTL2	CSIGnPRS[2:0] CSIGnBRS[11:0]	これらのビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 最大転送クロック周波数の設定は、以下のとおりです。 • マスタモード：10.0MHz（ただし、PCLK/4 以下） • スレーブモード：5.0MHz（ただし、PCLK/6 以下）
CSIGnSTR0	CSIGnTSF	書き込みは禁止です。読み出しのみ有効です。
CSIGnSTR0	CSIGnDCE CSIGnPE CSIGnOVE	書き込みは禁止です。読み出しのみ有効です。 これらのビットは、CSIGnCTL0.CSIGnPWR = 0 → 1 または CSIGnCTL0.CSIGnPWR = 1 → 0 のときに初期化されます。
CSIGnBCTL0	CSIGnSCE	CSIGnRX0 を読み出す前に、このビットをライトしてください。 転送モードが送信モードまたは送受信モードのときは、CSIGnSCE ビットは 0 に固定してください。
CSIGnCFG0	CSIGnPS[1:0] CSIGnDLS[3:0] CSIGnDIR CSIGnDAP	これらのビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。
CSIGnTX0W	CSIGnEDL	このビットは、CSIGnCTL1.CSIGnEDLE = 1 のときのみ、有効です。
CSIGnTX0W CSIGnTX0H		CSIGnCTL0.CSIGnTXE = CSIGnCTL0.CSIGnRXE = 0 のとき、これらのビットのライトアクセスすることは禁止です。
CSIGnRX0		CSIGnCTL0.CSIGnPWR = 0 → 1、または CSIGnCTL0.CSIGnPWR = 1 → 0 のときに初期化されます。 CSIGnCTL0.CSIGnTXE = CSIGnCTL0.CSIGnRXE = 0 のとき、これらのビットのリードアクセスすることは禁止です。
CSIGnEMU	CSIGnSVSDIS	このビットの値の変更は、SVSTOP = 1 のとき禁止されています。

15.4 割り込み要因

CSIG は以下の割り込みを発生することができます。

- INTCSIGTIC（通信ステータス割り込み）
- INTCSIGTIR（受信ステータス割り込み）
- INTCSIGTIRE（通信エラー割り込み）

15.4.1 割り込みの遅延

マスタモードでは、マスタから発生するすべての割り込みを送信クロック CSIGTSCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIGnCTL1.CSIGnSIT = 1 に設定します（スレーブモードでは CSIGnSIT ビットの設定は無効です）。

CSIGnCTL1.CSIGnSIT = 1（割り込み遅延有効）、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0（通常のクロック位相とデータ位相）、CSIGnCFG0.CSIGnDLS[3:0] = 1000_B（データ長 8 ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

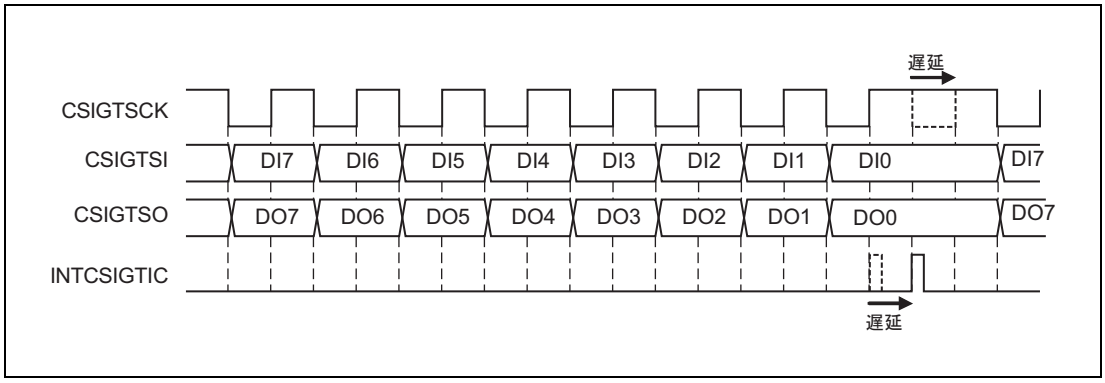


図 15.2　割り込み遅延機能（CSIGnCTL1.CSIGnSIT = 1）

15.4.2 INTCSIGTIC（通信ステータス割り込み）

この割り込みは、通常、データ転送が行われるたびに発生します。この割り込みを利用して、CSIGnTX0W レジスタまたは CSIGnTX0H レジスタへ新しい送信データを書き込むための DMA をトリガすることができます。

以下の例では、マスタモード、CSIGnCTL1.CSIGnSIT = 0（割り込み遅延なし）、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0（通常のクロック位相とデータ位相）、CSIGnCFG0.CSIGnDLS[3:0] = 1000_B（データ長 8 ビット）、CSIGnCTL1.CSIGnSLIT = 0（通常の割り込みタイミング）を想定しています。

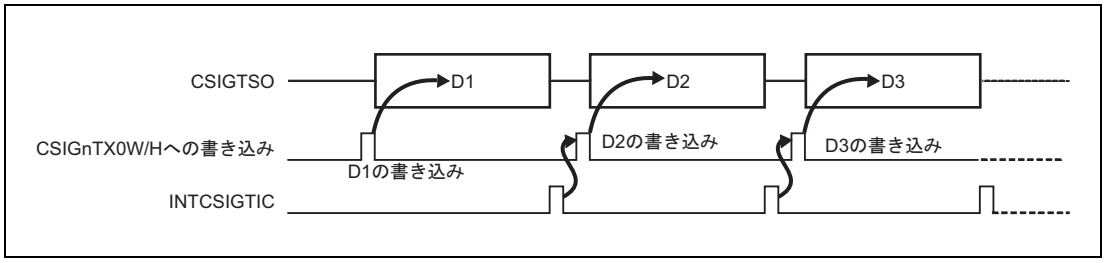


図 15.3　通信終了後の INTCSIGTIC の発生（CSIGnCTL1.CSIGnSLIT = 0）

ただし、CSIGnTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INTCSIGTIC を発生するように設定することもできます。そうするには、CSIGnCTL1.CSIGnSLIT = 1 に設定します。

このモードを利用すれば、データ転送の効率を高めることができます。

以下の図にその効果を示します。

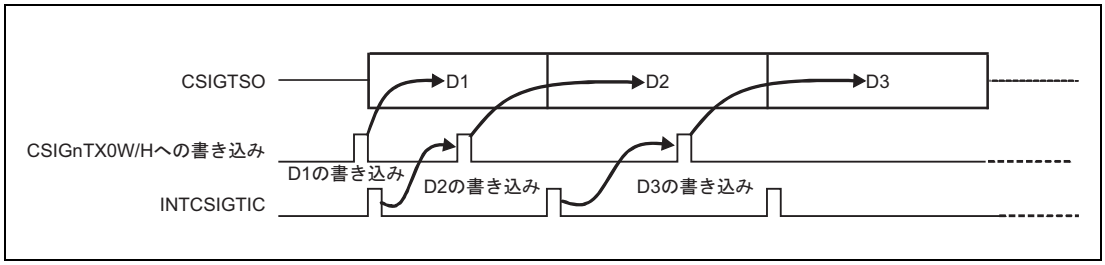


図 15.4　通信開始時の INTCSIGTIC の発生

15.4.3 INTCSIGTIR（受信ステータス割り込み）

この割り込みは、受信専用モードまたは送受信モードで、データが受信され、そのデータが受信レジスタで利用可能になると発生します。この割り込みを利用して、CSIGnRX0 レジスタから受信データを読み出すための DMA をトリガすることができます。

以下の図の例では、マスタモード、CSIGnCTL1.CSIGnSIT = 0（割り込み遅延なし）、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0（通常のクロック位相とデータ位相）、CSIGnCFG0.CSIGnDLS[3:0] = 1000_B（データ長 8 ビット）を想定しています。

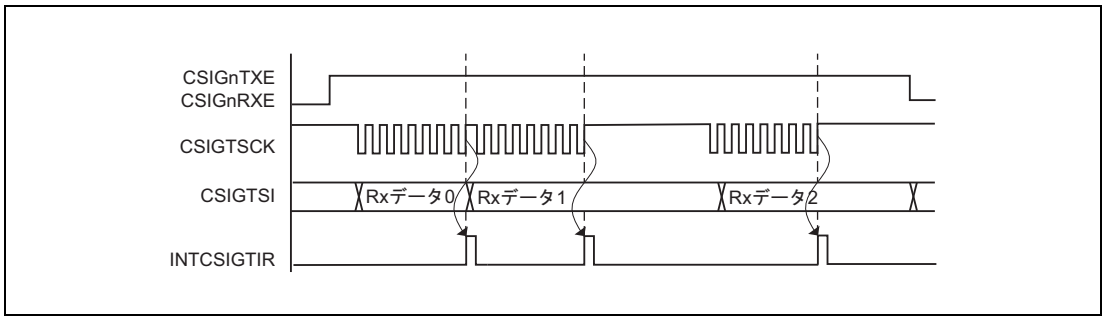


図 15.5 INTCSIGTIR の発生

15.4.4 INTCSIGTIRE（通信エラー割り込み）

この割り込みはエラーが検出されるたびに発生します。

表 15.25 データエラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
パリティエラー	割り込みが発生しても通信は継続します。	—
データ整合性エラー	割り込みが発生しても通信は継続します。	—
オーバランエラー注 1	スレーブモードで CSIGnCTL1.CSIGnHSE = 0（ハンドシェークなし）の場合は、割り込みが発生しても通信は継続します。	スレーブモードで CSIGnCTL1.CSIGnHSE = 1（ハンドシェークあり）の場合は、ハンドシェークにより通信が停止します。割り込みは発生せず、オーバランエラーとなりません。

注 1. マスタモードではオーバランエラーは発生しません。
スレーブモードでは通信を停止させることはできません。

INTCSIGTIRE が発生する原因となったエラーのタイプは、CSIGnSTR0 レジスタによって識別されます。

さまざまなエラータイプの詳細については、**「15.5.10 エラー検出」**を参照してください。

15.5 動作

15.5.1 マスタ／スレーブモード

マスタ／スレーブの選択は CSIGnCTL2.CSIGnPRS[2:0] ビットで行い、マスタを選択した場合は、送信クロックのソースクロックも選択する必要があります。

15.5.1.1 マスタモード

マスタモードでは、シリアル送信クロックが内蔵のボーレートジェネレータ（BRG）によって生成され、CSIGTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIGnCTL2.CSIGnPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIGnCTL2. CSIGnPRS[2:0] ビットと CSIGnCTL2.CSIGnBRS[11:0] ビットを組み合わせて設定することで BRG の周波数を設定できます。

CSIGTSCK のデフォルトレベルは、CSIGTSCK のクロック反転機能ビットの状態によって異なります。CSIGTSCK のデフォルトレベルは、CSIGnCTL1.CSIGnCKR = 0 であればハイレベルであり、CSIGnCTL1.CSIGnCKR = 1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0、MSB ファーストのときのマスタモードの通信を示しています。

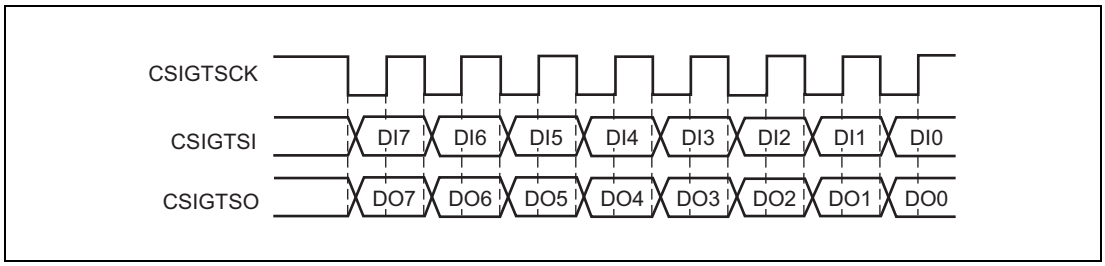


図 15.6　マスタモードでの送受信

15.5.1.2　スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになります。外部クロックは CSIGTSCK 信号を介して供給されます。クロック信号が検出されると、ただちに送信動作または受信動作が開始されます。

スレーブモードは、CSIGnCTL2.CSIGnPRS[2:0] を 111_B に設定することによって選択されます。

備　考

スレーブモードを使用するときは、CSIGnCTL2.CSIGnBRS[11:0] ビットを 000_H に設定することによってボーレートジェネレータ（BRG）を無効にします。

以下の例は、データ長 8 ビット、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0、MSB ファーストのときのスレーブモードの通信を示しています。

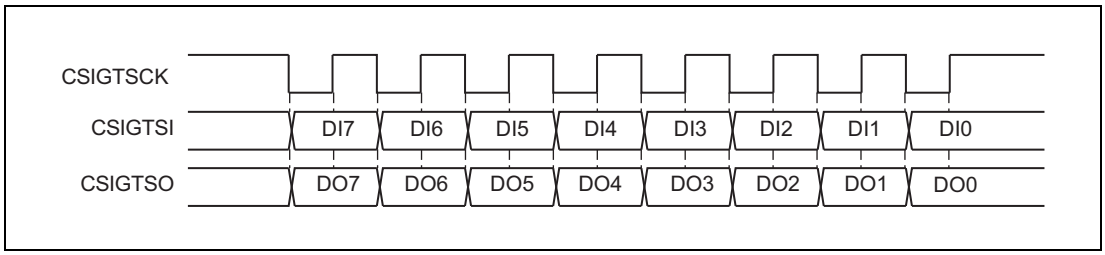


図 15.7　スレーブモードでの送受信

15.5.2 マスタ／スレーブの接続

15.5.2.1 マスタ 1、スレーブ 1 の場合

以下の図は、1 つのマスタと 1 つのスレーブの間の接続を示しています。

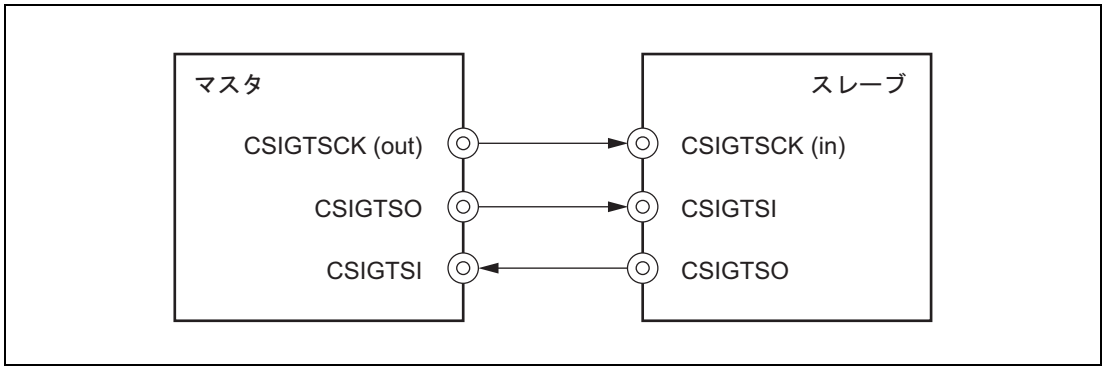


図 15.8　マスタ／スレーブの直接接続

15.5.2.2　マスタ 1、スレーブ複数の場合

以下の図は、1 つのマスタと複数のスレーブの間の接続を示しています。この場合、マスタは各スレーブに 1 つずつスレーブ選択（SS：Slave Select）信号を供給する必要があります。この信号は、スレーブのスレーブ選択入力 $\overline{\text{CSIGTSSI}}$ に接続されます。

$\overline{\text{CSIGTSSI}}$ 信号は、CSIGnCTL1.CSIGnSSE ビットを使用して有効または無効にすることができます。

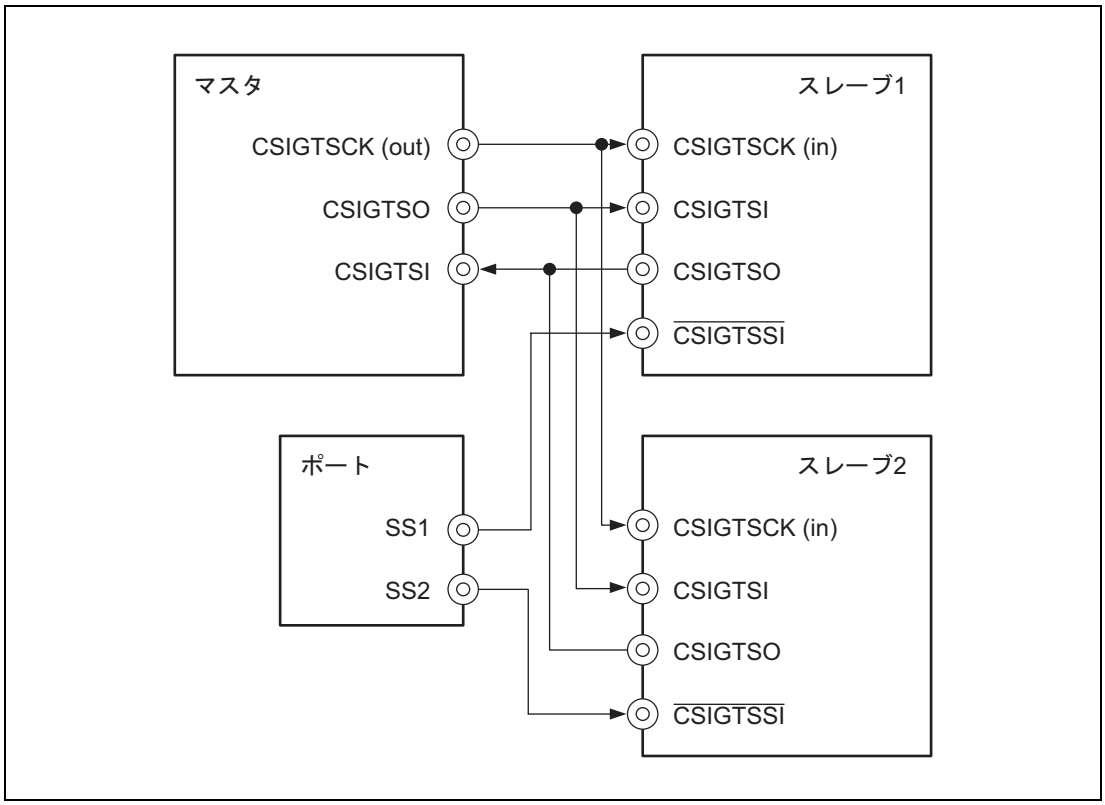


図 15.9　1 つのマスタと複数のスレーブの間の接続

スレーブは、スレーブの $\overline{\text{CSIGTSSI}}$ 信号がロウのときに選択されます（有効になります）。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている（CSIGnCTL0.CSIGnTXE = 1）とき、選択されていないスレーブの CSIGTSO 出力バッファは、選択されているほかのスレーブの出力と干渉しないように、入力モードに設定され、無効になります。

15.5.3 送信クロックの選択

マスタモードでは、CSIGnCTL2 レジスタの CSIGnPRS[2:0] ビットと CSIGnBRS[11:0] ビットを使用して転送クロック周波数を選択できます。

BRG のブロック図を以下に示します。

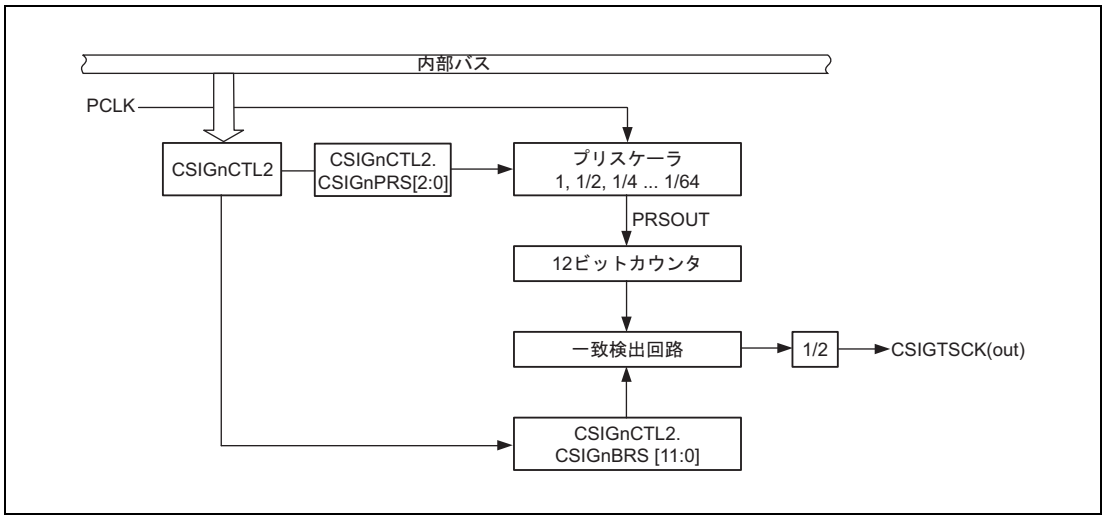


図 15.10　BRG のブロック図

CSIGnCTL2.CSIGnBRS[11:0] を 000_H に設定すると、BRG が無効になります。

転送クロック周波数の計算

マスタモード時の転送クロック周波数は以下の式で計算します。

転送クロック周波数 (CSIGTSCK) = PCLK / (PCLK の分周比) ＝ PCLK / ($2^{\alpha} \times k \times 2$)

ただし、

α = CSIGnCTL2.CSIGnPRS[2:0] = 0 ～ 6

k = CSIGnCTL2.CSIGnBRS[11:0] = 1 ～ 4095

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- 本製品のマスタモードおよびスレーブモードの最大転送クロック周波数は電気的特性で示す CSIG タイミングを参照してください。また、いずれのモードにおいても、規定の周波数内となるように設定してください。
- 転送クロックの最小周波数は、マスタ・スレーブモードともに PCLK / 524160 です。
- 転送クロックの最大周波数は、以下の通りです。
  - マスタモード：10.0MHz（ただし、PCLK/4 以下）
  - スレーブモード：5.0MHz（ただし、PCLK/6 以下）

15.5.4 データ転送モード

15.5.4.1 送信専用モード

CSIGnCTL0.CSIGnTXE = 1、CSIGnCTL0.CSIGnRXE = 0 に設定すると、CSIG は送信専用モードになります。CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると、送信が開始されます。

注　意

いずれかの受信モードから送信専用モードに入った場合は、最初の送信が完了したあと、CSIGnRX0 バッファのデータが未定義になります。
したがって、送信専用モードに切り換える前に受信レジスタ CSIGnRX0 を読み出す必要があります。

15.5.4.2 受信専用モード

CSIGnCTL0.CSIGnTXE = 0、CSIGnCTL0.CSIGnRXE = 1 に設定すると、CSIG は受信専用モードになります。

マスタモードでは、CSIGnRX0 レジスタのダミーデータを読み出すと受信が開始されます。CSIGnBCTL0.CSIGnSCE = 1 であれば、それ以降の全ての受信は CSIGnRX0 レジスタからの読み出しによってトリガされます。

さらに、最後に受信したデータを CSIGnRX0 から読み出す前に、CSIGnBCTL0.CSIGnSCE に 0 を設定する必要があります。

推奨されている手順を以下に示します。

1. CSIGnBCTL0.CSIGnSCE = 1 に設定します。
2. CSIGnRX0（ダミーデータ）を読み出します。
3. 受信割り込み INTCSIGTIR を待機します。
4. CSIGnRX0（受信データ）を読み出します。
   手順 3 でデータの受信が続いた場合は、すべてのデータを受信するまで読み出しを続けます。
   最後に受信したデータを CSIGnRX0 から読み出す前に、CSIGnBCTL0.CSIGnSCE = 0 に設定します。

スレーブモードでは、マスタから通信クロック CSIGTSCK が供給されると、受信が開始されます。この場合、スレーブの CSIGnRX0 レジスタのデータを読み出す必要はありません。

備　考

スレーブモードでは、データが上書きされないように、すでに受信しているデータを受信レジスタ CSIGnRX0 から読み出す必要があります。

15.5.4.3 送受信モード

CSIGnCTL0.CSIGnTXE = 1 かつ CSIGnCTL0.CSIGnRXE = 1 に設定すると、CSIG は送受信モードになります。

CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると、データ転送（送信と受信）が開始されます。

15.5.5 データ長の選択

15.5.5.1 データ長が拡張されていない場合のデータ長の選択

CSIGnCFG0 レジスタの CSIGnDLS[3:0] ビットを使用して、送信データ長を 7 ビットから 16 ビットの間に設定することができます。以下の例は、MSB ファースト（CSIGnCFG0.CSIGnDIR = 0）での通信を示しています。

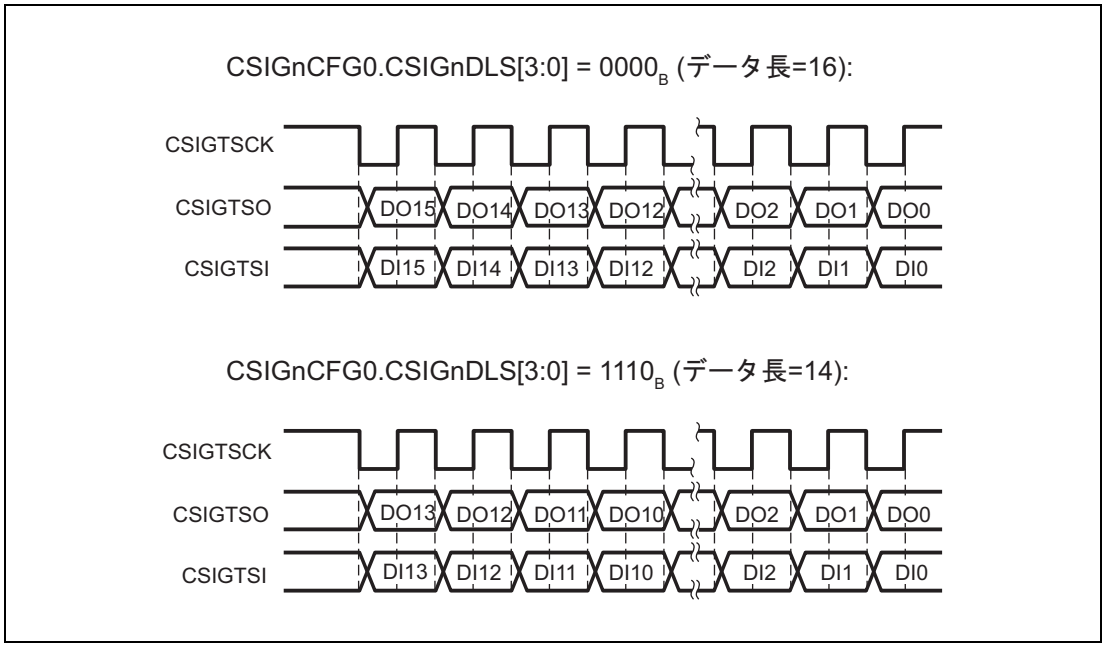


図 15.11 データ長選択機能

15.5.5.2 データ長が拡張されている場合のデータ長の選択

16 ビットを上回るデータを送受信する場合は、拡張データ長（EDL）機能を使用できます。

EDL 機能は、CSIGnCTL1.CSIGnEDLE ビットを 1 にセットすることによって有効になります。

EDL 機能の動作および設定手順を次に示します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットのデータは 2 つの 16 ビットブロックと 10 ビットに分割します。
- 剰余部分のビット長は、CSIGnCFG0.CSIGnDLS[3:0] ビット に、「データ長」として設定します。
- 16 ビットのブロックを送信するときは、CSIGnTX0W.CSIGnEDL ビット をセット（1）してください。この場合、CSIGnTX0W レジスタ に書き込まれるデータは、CSIGnCFG0.CSIGnDLS[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長（CSIGnTX0W.CSIGnEDL = 0 のときの剰余部分）のデータが送信されると転送が完了します。

例

$123456789A_H$ という 40 ビットのデータを送信する例

40 ビットを 2 × 16 ビットと 8 ビットに分割します。

- CSIGnCFG0.CSIGnDLS[3:0] = 8_D に初期化します。
- $123456789A_H$ を MSB ファーストで送信するには、以下のシーケンスを CSIGnTX0W に書き込みます。
  - $2000\ 1234_H$ (CSIGnTX0W.CSIGnEDL = 1)
  - $2000\ 5678_H$ (CSIGnTX0W.CSIGnEDL = 1)
  - $0000\ 009A_H$ (CSIGnTX0W.CSIGnEDL = 0)

以下の図にタイミングを示します。

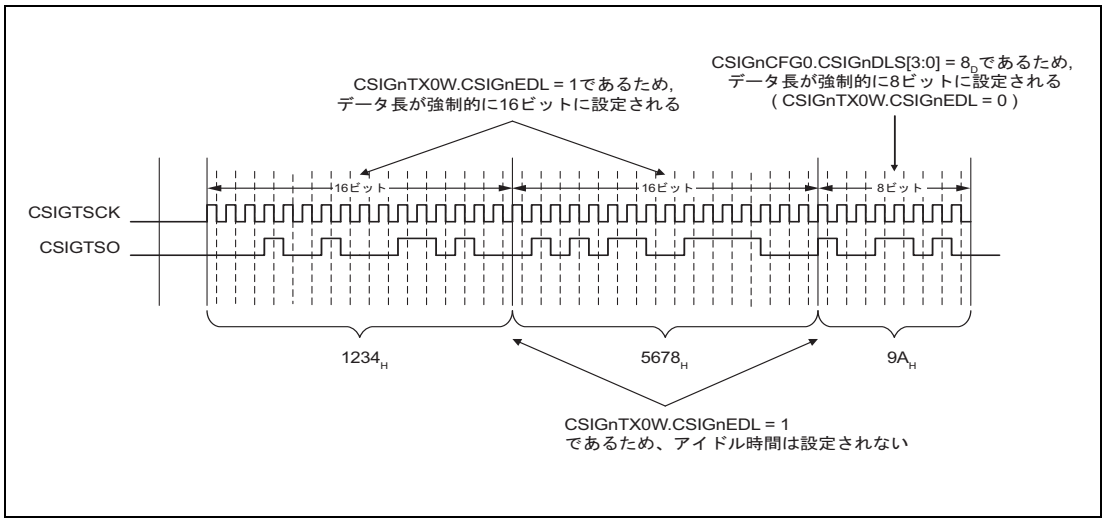


図 15.12 EDL のタイミング図

備 考

1. 7 ビット未満のデータ長は、EDL モードを使用するときにのみ設定できます。
2. データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。
3. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
4. 以下の例でデータ方向について説明します。
   - 送信されるデータ：123456_H
   - MSB ファースト：
     CSIGnCFG0.CSIGnDIR = 0 に設定
     CSIGnTX0W = $2000\ 1234_H$ を書き込み（EDL ビット = 1）
     CSIGnTX0W = $0000\ 0056_H$ を書き込み（EDL ビット = 0）
   - LSB ファースト：
     CSIGnCFG0.CSIGnDIR = 1 に設定
     CSIGnTX0W = $2000\ 3456_H$ を書き込み（EDL ビット = 1）
     CSIGnTX0W = $0000\ 0012_H$ を書き込み（EDL ビット = 0）
5. EDL モードは、スレーブモードの受信専用モードでは使えません。
   （CSIGnCTL2.CSIGnPRS[2:0] = 111_B, CSIGnCTL0.CSIGnTXE = 0, CSIGnCTL0.CSIGnRXE = 1）

15.5.6 シリアルデータ方向選択機能

CSIGnCFG0 レジスタの CSIGnDIR ビットを使用してシリアルデータの方向を選択できます。以下の例は 8 ビットデータ（CSIGnCFG0.CSIGnDLS[3:0] = 1000_B）の通信を示しています。

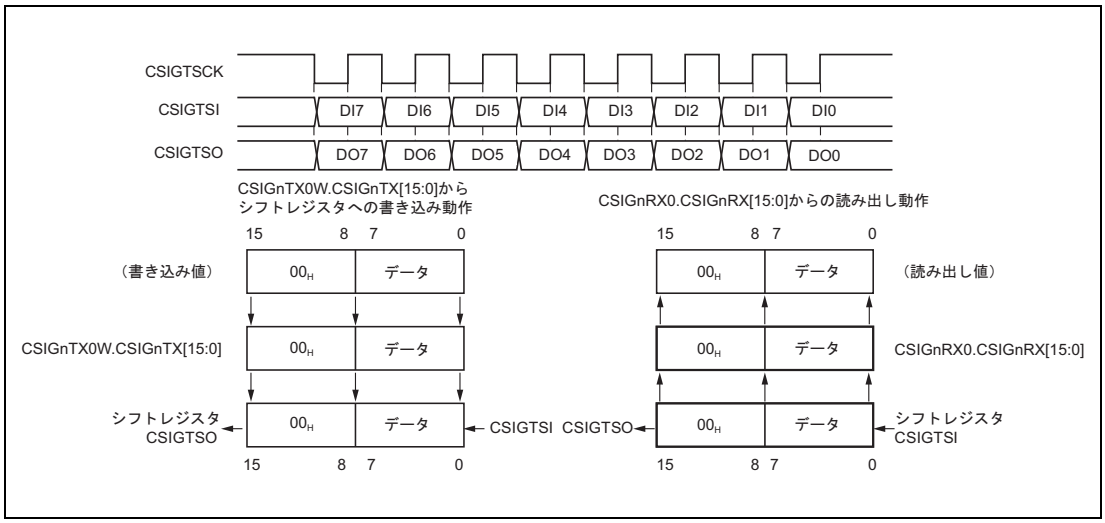


図 15.13　シリアルデータ方向選択機能 — MSB ファースト（CSIGnDIR = 0）

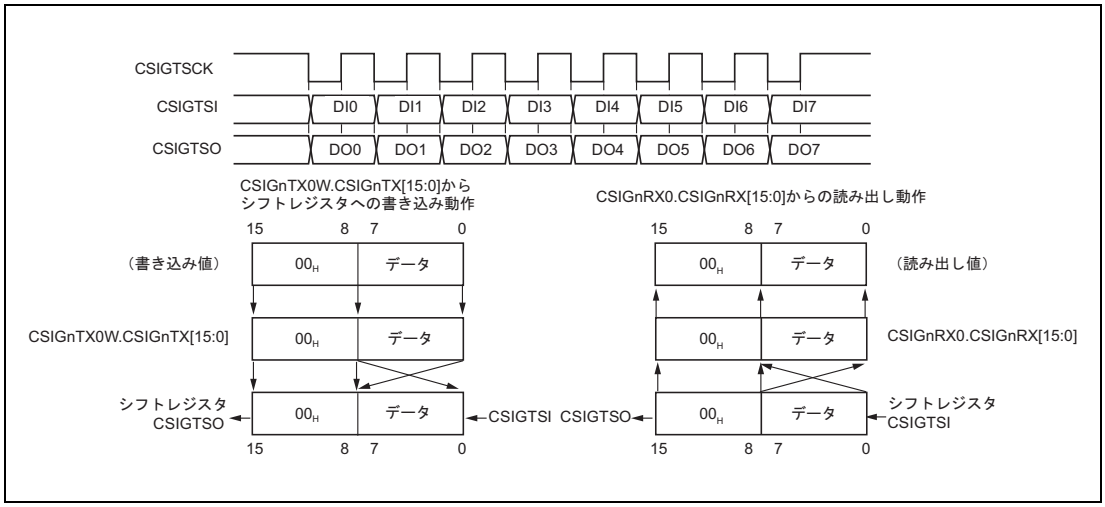


図 15.14　シリアルデータ方向選択機能 — LSB ファースト（CSIGnDIR = 1）

15.5.7　スレーブモードでの通信

以下の図は、スレーブモードでの通信の信号とタイミングを示しています。

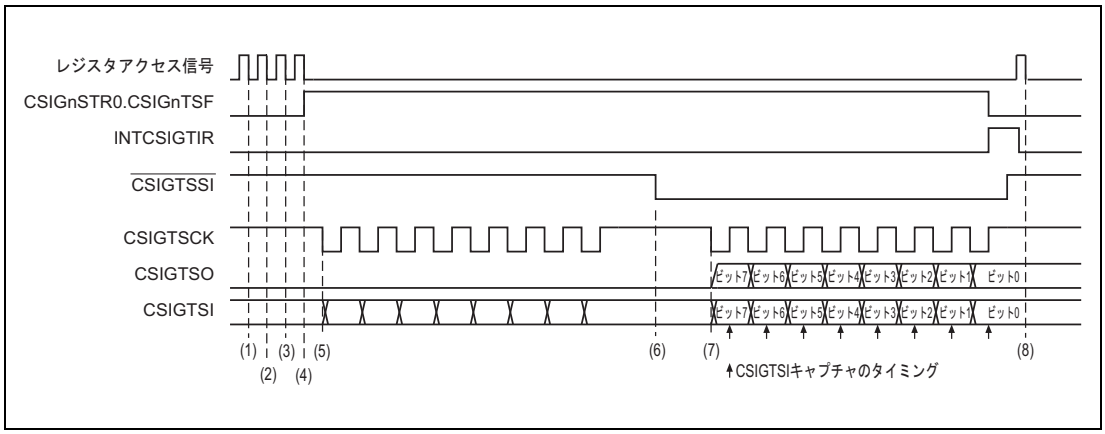


図 15.15　スレーブモードでの受信／送信の通信タイミング

1. スレーブモードを選択（CSIGnCTL2.CSIGnPRS[2:0] = 111_B）、
   $\overline{\text{CSIGTSSI}}$ 信号が有効（CSIGnCTL1.CSIGnSSE = 1）、
   クロック位相はハイレベル（CSIGnCTL1.CSIGnCKR = 0）に設定します。
2. データ長は 8 ビット（CSIGnCFG0.CSIGnDLS[3:0] = 1000_B）
   データ方向は MSB ファースト（CSIGnCFG0.CSIGnDIR = 0）に設定します。
3. 送受信モード （CSIGnCTL0.CSIGnPWR = 1,
   CSIGnCTL0.CSIGnTXE = 1, CSIGnCTL0.CSIGnRXE = 1）に設定します。
4. 転送データが送信レジスタ CSIGnTX0H に書き込まれると、転送ステータスフラグ CSIGnSTR0.CSIGnTSF が自動的にセットされ、$\overline{\text{CSIGTSSI}}$ 信号がロウレベルになるのを待ちます。
5. $\overline{\text{CSIGTSSI}}$ 信号がハイレベルである間は、シリアルクロック入力が供給されていても、送受信は開始されません。CSIGTSO は値を保持し CSIGTSI への入力は無視されます。
6. $\overline{\text{CSIGTSSI}}$ がロウレベルになると、CSIGTSO が有効になります。
7. $\overline{\text{CSIGTSSI}}$ がロウレベル時にシリアルクロックが入力されると転送データはシリアルクロックに同期して CSIGTSO に送信されます。同時に CSIGTSI からデータを受信します。
8. CSIGnRX0 レジスタを読み出します。

15.5.8 ハンドシェーク機能

CSIG はマスタデバイスとスレーブデバイスを同期させるハンドシェーク機能を備えています。この機能は CSIGnCTL1.CSIGnHSE ビットで有効または無効にすることができます。ハンドシェークでは、CSIGTRYI、CSIGTRYO 信号を使用します。

ビジーとなるタイミングはデータ位相選択 CSIGnCFG0.CSIGnDAP ビットの設定によって異なります。

15.5.8.1 スレーブモード

CSIGnCTL1.CSIGnHSE = 1 のとき、スレーブはビジー状態になると CSIGTRYO がロウレベルを出力します。すでに受信したデータがまだ CSIGnRX0 レジスタにあるため、シフトレジスタから CSIGnRX0 へ新しいデータをコピーできないと、この状態になります（CSIGnRX0 フル状態）。

以下の例では、8 ビットのデータ長を想定しています。

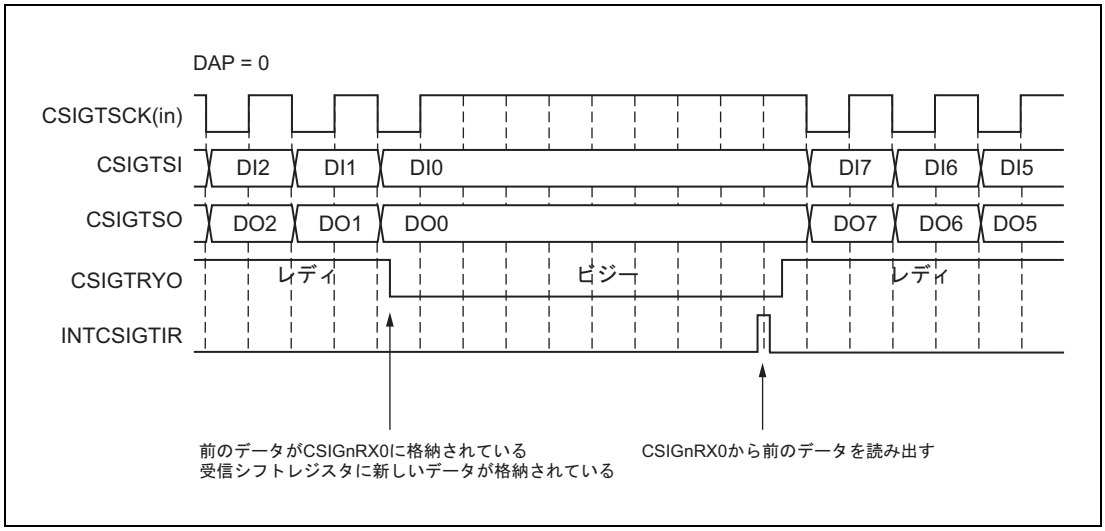


図 15.16 スレーブからのレディ／ビジー信号（CSIGnCFG0.CSIGnDAP = 0）

スレーブがビジーである間、マスタは待機する（送信クロックを停止させる）必要があります。受信レジスタ CSIGnRX0 からの読み出しが完了すると、ただちにスレーブは CSIGTRYO をハイ（「レディ」）に設定します。

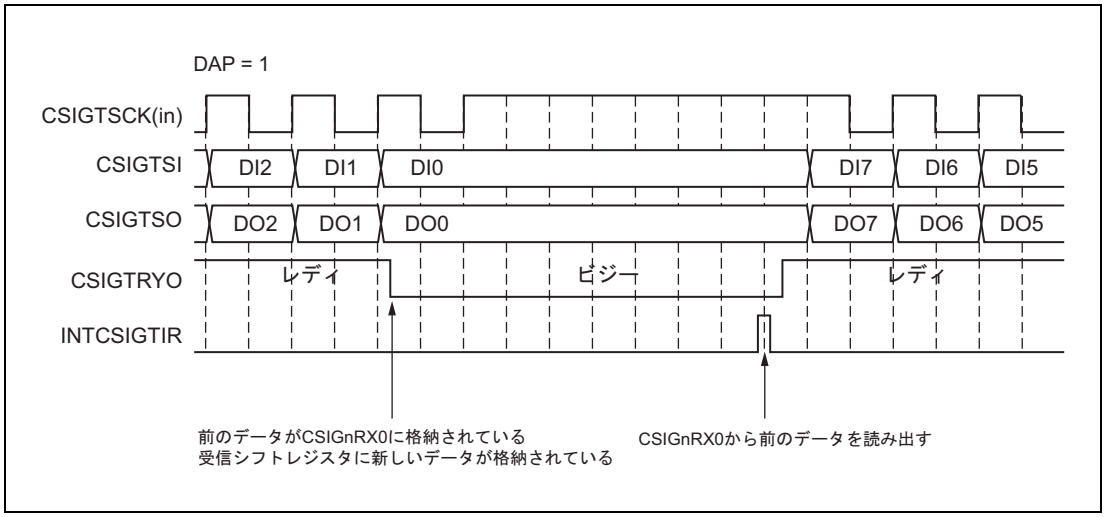


図 15.17 スレーブからのレディ／ビジー信号（CSIGnCFG0.CSIGnDAP = 1）

15.5.8.2 マスタモード

CSIGnCTL1.CSIGnHSE = 1 のとき、マスタが CSIGTRYI のロウレベルを検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタは CSIGTSCK へのクロックの出力を停止します。

CSIGTRYI のレベルは、CSIGTSCK の半周期ごとにチェックされます。

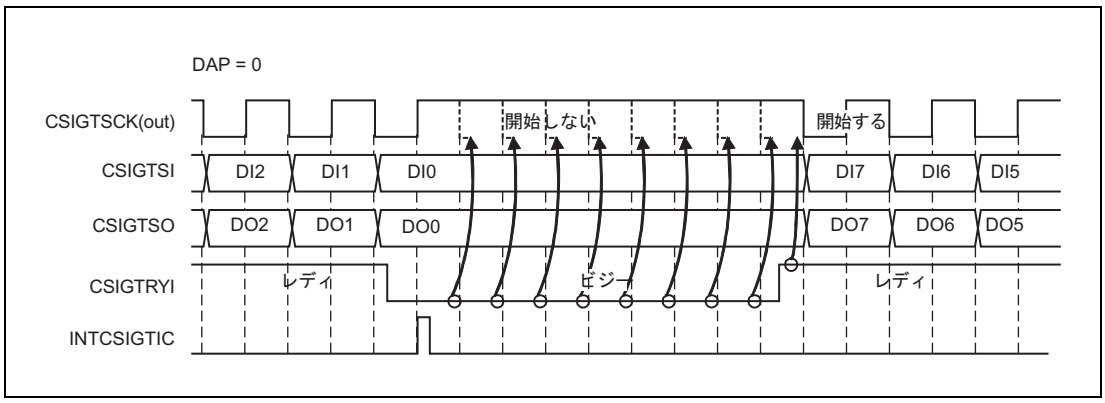


図 15.18 CSIGTRYI に対するマスタの反応（CSIGnCFG0.CSIGnDAP = 0）

データの転送中に CSIGTRYI ロウ信号がスレーブから送信されると、転送が完了したあと、シリアルクロックが停止します。

マスタは CSIGTRYI がハイになる（スレーブが「レディ」状態になる）と、ただちに通信を再開します。

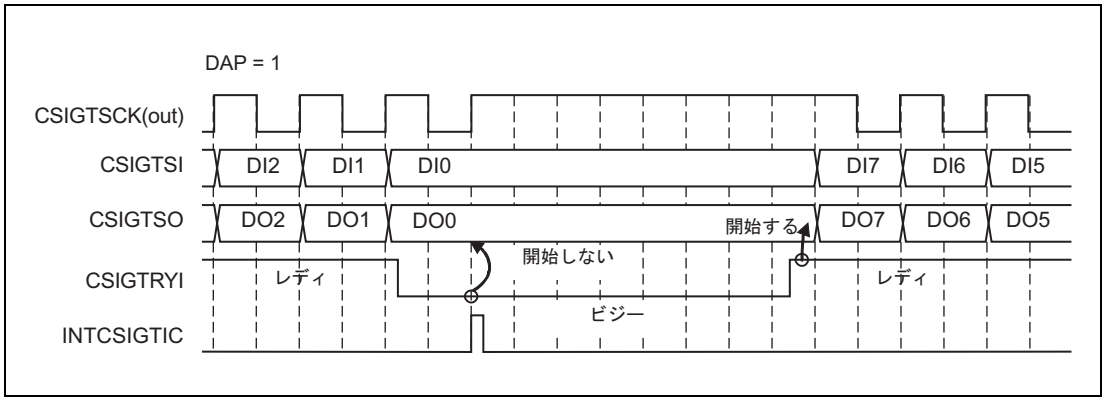


図 15.19　CSIGTRYI に対するマスタの反応（CSIGnCFG0.CSIGnDAP = 1）

注　意

複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIGTRYI 信号だけを検出する必要があります。

次の転送が始まる前にスレーブは、マスタの CSIGTRYI をロウレベルに下げる必要があります。転送中にスレーブがこの信号をロウレベルに下げても、転送は完了するまで継続します。

15.5.9 ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ（CSIGnCTL1.CSIGnLBM = 1）になっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIGTSCK 信号、CSIGTSO 信号、CSIGTSI 信号はポートから切り離されます。さらに、CSIGTSO の出力レベルがロウレベルに固定され、CSIGTSCK はリセットレベル (High) に設定されます。CSIG のそれ以外の部分は通常どおりに動作します。

CSIG をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

表 15.26 端子の出力レベル

端子名	出力レベル
CSIGTSCK(out)	ハイレベル
CSIGTSO	ロウレベル (それまでの値に依存しない)
割り込み	通常の機能
CSIGTRYO	通常の機能 (ロウレベル)

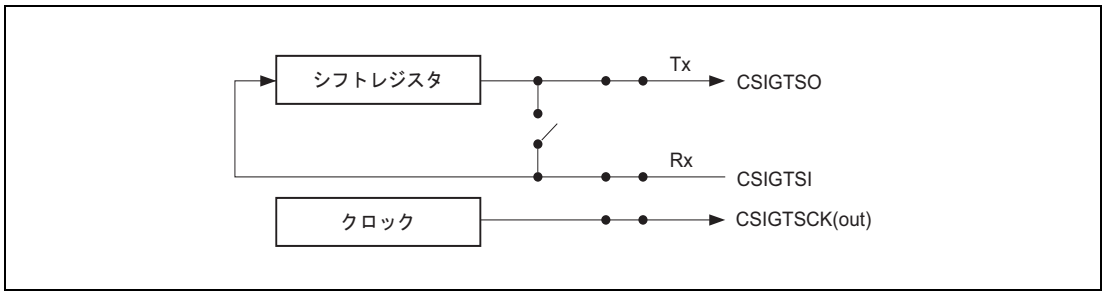


図 15.20 通常の動作

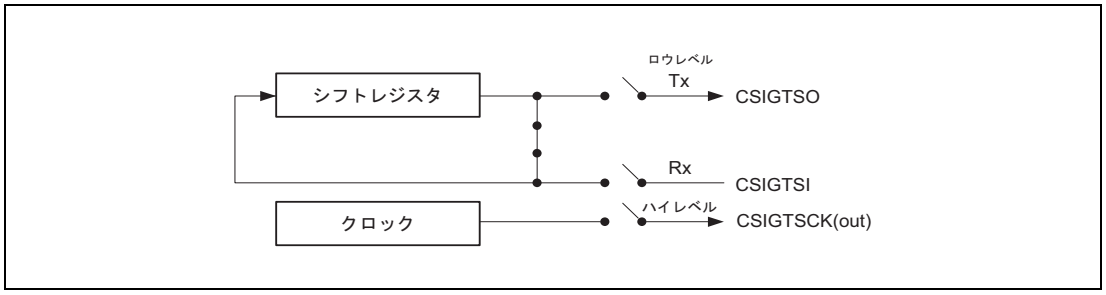


図 15.21 ループバックモードでの動作

15.5.10 エラー検出

CSIG は 3 つのエラータイプを検出することができます。

- データ整合性チェックエラー（送信データ）
- パリティエラー（受信データ）
- オーバランエラー（受信データ）

データ整合性エラー、パリティエラーのチェック機能は個別に有効または無効にすることができます。

いずれかのエラーが検出されると、割り込み INTCSIGTIRE が発生します。

15.5.10.1 データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIGnCTL1.CSIGnDCS ビットで有効または無効にすることができます（データ整合性チェックを行う場合は、CSIGTSO を必ず PIPCn.PIPCn_m = 1 に設定してください）。データ送信が禁止されていると（CSIGnCTL0.CSIGnTXE = 0）、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIGnTX0W または CSIGnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、出力信号 CSIGTSO の物理的なレベルがキャプチャされ、その論理的な解釈が独自のシフトレジスタに書き込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性エラーと見なされます。

- 割り込み INTCSIGTIRE が発生します。
- CSIGnSTR0.CSIGnDCE ビットがセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

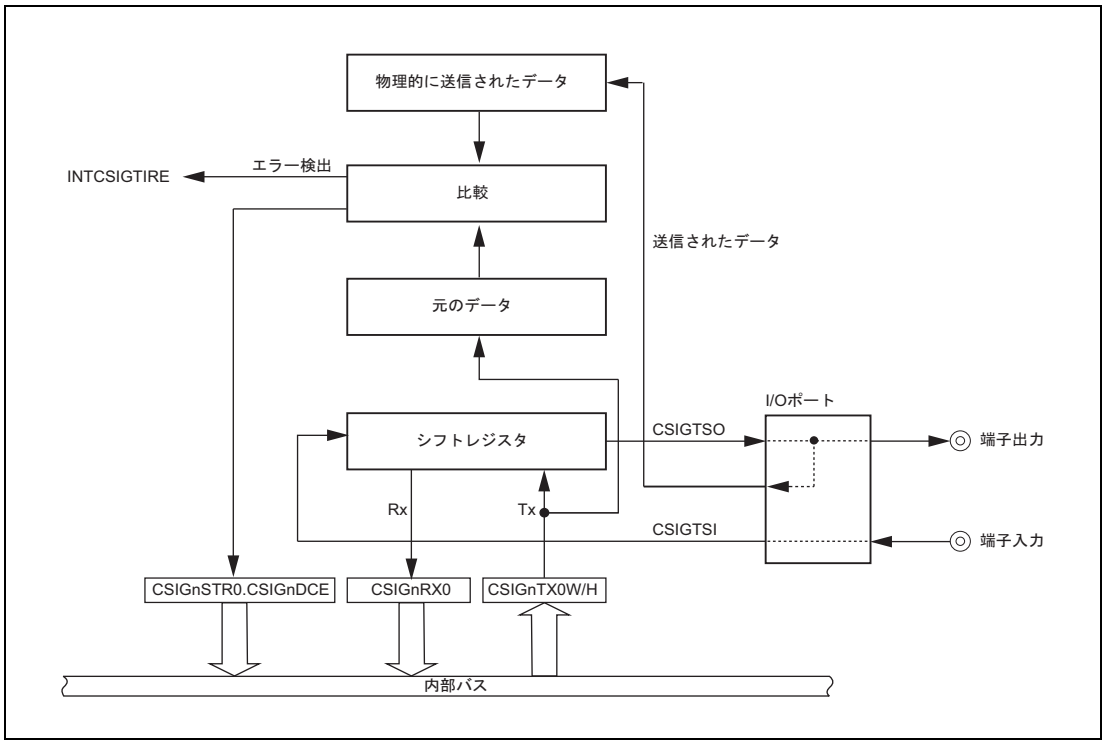


図 15.22　データ整合性チェックの機能ブロック図

15.5.10.2 パリティチェック

パリティはデータ送信中の単一ビットエラーを検出する手段としてよく使われます。CSIG では、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは CSIGnCFG0.CSIGnPS[1:0] で指定されます。

CSIGnCFG0.CSIGnPS[1] = 1 であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIGTIRE が発生します。
- CSIGnSTR0.CSIGnPE ビットがセットされます。

以下の図に例を示します。

データ長は 8 ビットです。送信されるデータは 05_H と 35_H です。パリティタイプは奇数です。

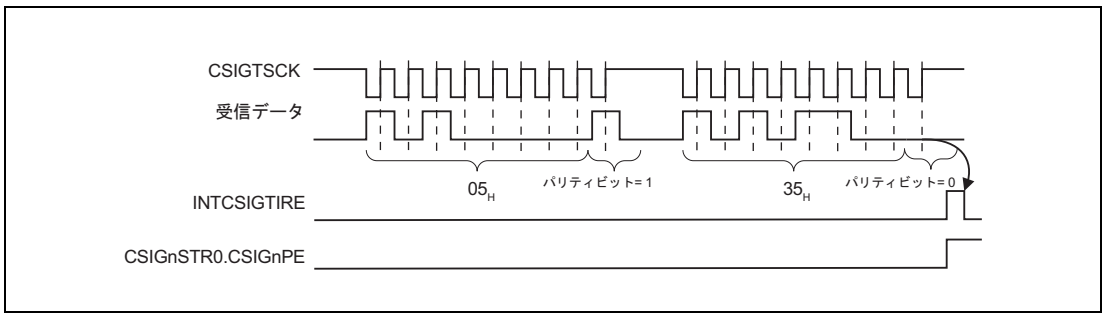


図 15.23 パリティチェックの例

先頭 8 ビットのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

次の 8 ビットのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

15.5.10.3 オーバランエラー

前に受信したデータが読み出されていないため、まだ受信レジスタ CSIGnRX0 に残っている状態で新しいデータを受信すると、このエラーが発生します。

データ受信が禁止されていると（CSIGnCTL0.CSIGnRXE = 0）、オーバランエラーは発生しません。

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIGTIRE が発生します。
- CSIGnSTR0.CSIGnOVE ビットがセットされます。
- CSIGnRX0 レジスタのデータは上書きされ、通信は継続します。

以下の図にオーバランエラー検出機能の仕組みを示します。

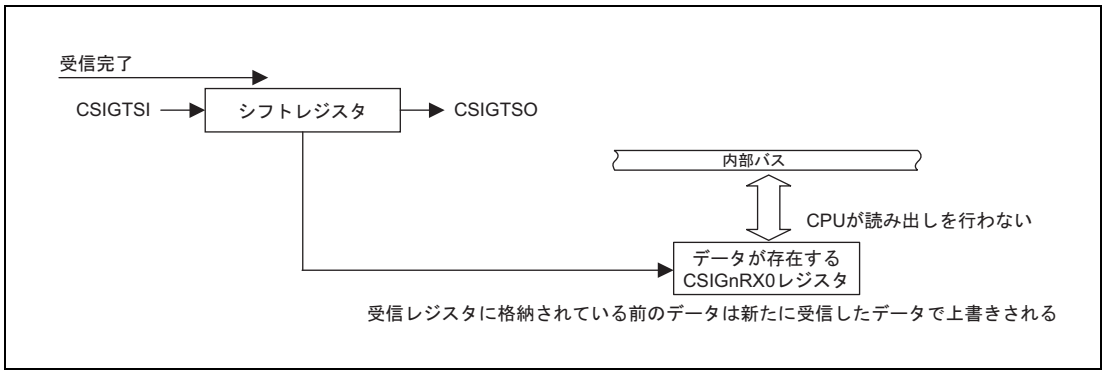


図 15.24 オーバランエラーの検出

以下の図に例を示します。

- 受信データ 3 は読み出されていません。
- 受信データ 4 が受信され、データは上書きされます。

したがって、オーバランエラーが発生します。

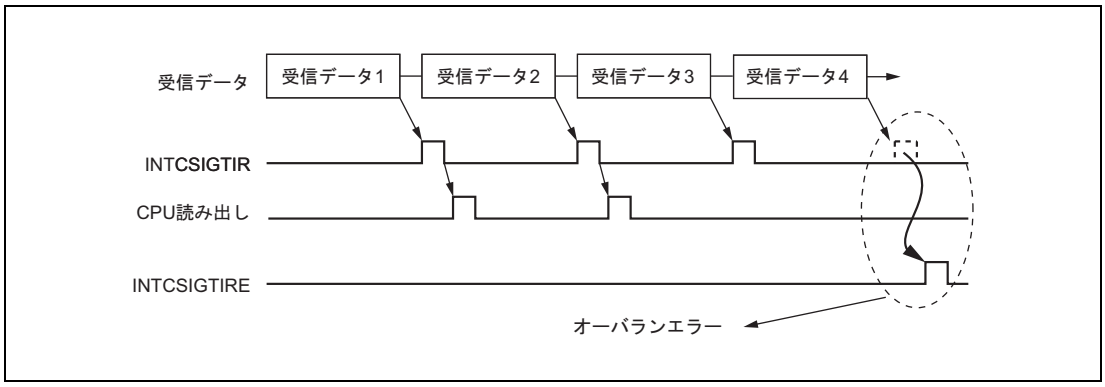


図 15.25 オーバランエラーの検出の例

備 考

オーバランエラーは、ハンドシェークを利用することで回避できます。

スレーブモードでハンドシェークを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は、受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

詳細については、**「15.5.8　ハンドシェーク機能」**を参照してください。

15.6 操作手順

15.6.1 DMA によるマスタモード送受信

ここでは、マスタモードでの送受信を DMA と組み合わせて行う例について説明します。

ここに示す手順では、以下の条件を想定しています。

- 送信データ長は 8 ビット（CSIGnCFG0.CSIGnDLS[3:0] = 1000_B）
- 送信方向は MSB ファースト（CSIGnCFG0.CSIGnDIR = 0）
- 転送の最後に INTCSIGTIC 割り込みを発生（CSIGnCTL1.CSIGnSLIT = 0）
- 通常のクロック位相とデータ位相（CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0）
- データの数は 10 個（0 ～ 9）

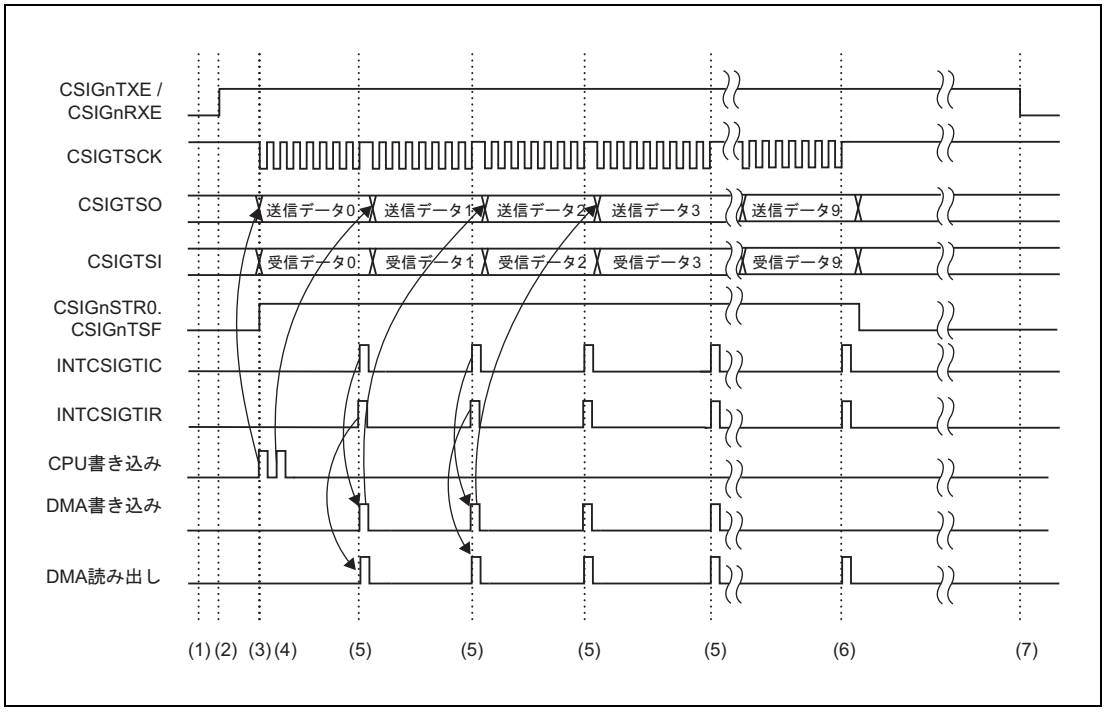


図 15.26 マスタモードでの通信

手順：

1. CSIGnCFG0 レジスタで通信プロトコルを設定します。CSIGnCTL1 レジスタと CSIGnCTL2 レジスタの対応するビットを設定することで、割り込みタイミングと動作モードなどを指定します。
2. CSIGnCTL0 レジスタで、CSIGnPWR = 1（クロック有効）、CSIGnTXE = 1（送信許可）、CSIGnRXE = 1（受信許可）に設定します。
3. 最初の送信データを送信レジスタ CSIGnTX0H に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2 番目のデータを CSIGnTX0H に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。

5. データが 1 つ送受信されるたびに割り込み INTCSIGTIC と INTCSIGTIR が発生します。
   INTCSIGTIC は、次のデータを CSIGnTX0H に書き込めることを示します。
   INTCSIGTIR は、受信レジスタ CSIGnRX0 を読み出す必要があることを示します。
   この例では、CPU 書き込みと DMA 書き込みを同じものと見なしています。
6. データ 8 の送信が完了すれば、それ以降の書き込みアクションは必要ありません。データ 9（最後のデータ）は、データ 7 送信後に書き込まれています。
   ただし、データ 8 とデータ 9 の受信が完了したあと、受信レジスタ CSIGnRX0 を読み出す必要があります。
7. 最後に、CSIGnCTL0.CSIGnTXE と CSIGnCTL0.CSIGnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIGn の消費電力を最小限にするために CSIGnCTL0.CSIGnPWR=0 に設定してください。

第 16 章　クロック同期シリアルインタフェース H（CSIH）

本章では、クロック同期シリアルインタフェース H（CSIH）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、CSIH の機能、レジスタについて説明します。

16.1　RH850/F1M CSIH の特長

16.1.1　ユニット数

本製品は、以下に示すユニット数の CSIH を搭載しています。

CSIH　　1 ユニット当たり 1 チャネルのインタフェースを持っています。

表 16.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	4		
名称	CSIHn (n = 0 ～ 3)		

表 16.2　添字

添字	説明
n	本章では、CSIH の各ユニットを「n」（n = 0 ～ 3）で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0 と記述します。
x	CSIHn は最大 8 個のチップセレクト信号を備えています。本章では、各チップセレクト信号を「x」で識別します。たとえば、特定のチップセレクト信号は CSx と記述します
y	説明時における変数を「y」で識別します。たとえば、CSIHn ボーレート設定レジスタは CSIHnBRSy と記述します。

各製品の添字が示す値を以下に示します。

表 16.3　各製品の添字対応

各製品の添字対応		
144 pin	176 pin	233 pin
x の値は、**「表 16.4　チップセレクト数」**を参照してください		
y = 0 ～ 3	y = 0 ～ 3	y = 0 ～ 3

CSIH の各チャネルのチップセレクト信号の数を以下の表に示します。

表 16.4　チップセレクト数

ユニット名	チップセレクト数		
	144 pin	176 pin	233 pin
CSIH0	CSx（x = 0 ～ 7）	CSx（x = 0 ～ 7）	CSx（x = 0 ～ 7）
CSIH1	CSx（x = 0 ～ 5）	CSx（x = 0 ～ 5）	CSx（x = 0 ～ 5）
CSIH2	CSx（x = 0 ～ 5）	CSx（x = 0 ～ 5）	CSx（x = 0 ～ 5）
CSIH3	CSx（x = 0 ～ 3）	CSx（x = 0 ～ 3）	CSx（x = 0 ～ 3）

16.1.2 レジスタベースアドレス

CSIH のベースアドレスを以下の表に示します。

CSIH のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 16.5　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CSIH0_base>	FFD8 0000_H
<CSIH1_base>	FFD8 2000_H
<CSIH2_base>	FFD8 4000_H
<CSIH3_base>	FFD8 6000_H

16.1.3 クロック供給

CSIH のクロック供給を以下の表に示します。

表 16.6　クロック供給

ユニット名	ユニットクロック名	供給クロック名
CSIHn	PCLK	CKSCLK_ICSI
	レジスタアクセスクロック	CKSCLK_ICSI

16.1.4 割り込み要求

CSIH の割り込み要求を以下の表に示します。

表 16.7　割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
CSIH0			
INTCSIHTIC	通信ステータス割り込み	29	70
INTCSIHTIR	受信ステータス割り込み	30	71
INTCSIHTIRE	通信エラー割り込み	31	—
INTCSIHTIJC	ジョブ完了割り込み	20、32	72
CSIH1			
INTCSIHTIC	通信ステータス割り込み	16、116	28
INTCSIHTIR	受信ステータス割り込み	17、117	29
INTCSIHTIRE	通信エラー割り込み	27、118	—
INTCSIHTIJC	ジョブ完了割り込み	28、119	30
CSIH2			
INTCSIHTIC	通信ステータス割り込み	8、132	89
INTCSIHTIR	受信ステータス割り込み	10、133	90
INTCSIHTIRE	通信エラー割り込み	11、134	—
INTCSIHTIJC	ジョブ完了割り込み	12、135	91
CSIH3			
INTCSIHTIC	通信ステータス割り込み	9、158	41
INTCSIHTIR	受信ステータス割り込み	13、159	42
INTCSIHTIRE	通信エラー割り込み	14、160	—
INTCSIHTIJC	ジョブ完了割り込み	15、161	43

16.1.5 リセット要因

CSIH のリセット要因を以下に示します。CSIH は以下のリセット要因で初期化されます。

表 16.8　リセット要因

ユニット名	リセット要因
CSIHn	すべてのリセット要因（ISORES）

16.1.6 外部入出力信号

CSIH の外部入出力信号を以下の表に示します。

表 16.9 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
CSIH0		
CSIHTSCK	シリアルクロック信号	CSIH0SC 注 2
CSIHTSI	シリアルデータ入力信号	CSIH0SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH0SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH0RYI
CSIHTSO	シリアルデータ出力信号	CSIH0SO 注 2
CSIHTRYO	レディ／ビジー出力信号	CSIH0RYO
CSIHTCSS[7:0] 注 1	チップセレクト信号	CSIH0CSS[7:0] 注 1
CSIH1		
CSIHTSCK	シリアルクロック信号	CSIH1SC 注 2
CSIHTSI	シリアルデータ入力信号	CSIH1SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH1SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH1RYI
CSIHTSO	シリアルデータ出力信号	CSIH1SO 注 2
CSIHTRYO	レディ／ビジー出力信号	CSIH1RYO
CSIHTCSS[5:0] 注 1	チップセレクト信号	CSIH1CSS[5:0] 注 1
CSIH2		
CSIHTSCK	シリアルクロック信号	CSIH2SC 注 2
CSIHTSI	シリアルデータ入力信号	CSIH2SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH2SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH2RYI
CSIHTSO	シリアルデータ出力信号	CSIH2SO 注 2
CSIHTRYO	レディ／ビジー出力信号	CSIH2RYO
CSIHTCSS[5:0] 注 1	チップセレクト信号	CSIH2CSS[5:0] 注 1
CSIH3		
CSIHTSCK	シリアルクロック信号	CSIH3SC 注 2
CSIHTSI	シリアルデータ入力信号	CSIH3SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH3SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH3RYI
CSIHTSO	シリアルデータ出力信号	CSIH3SO 注 2
CSIHTRYO	レディ／ビジー出力信号	CSIH3RYO
CSIHTCSS[3:0] 注 1	チップセレクト信号	CSIH3CSS[3:0] 注 1

注 1. チップセレクト信号数は、**「表 16.4 チップセレクト数」**を参照してください。

注 2. CSIHnSO、CSIHnSC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m = 1）に設定してください。

注 意

P0_0 端子を CSIH0SSI として使用する場合、リセット中およびリセット解除後、P0_0 端子（$\overline{\text{RESETOUT}}$ 信号）からロウレベルを出力します。

詳細は**「2.11.1.1 P0_0：$\overline{\text{RESETOUT}}$」**を参照してください。

16.1.7　データ整合性チェック

CSIHnSO（CSIHTSO）出力のデータ整合性チェック機能に対応するポートおよび兼用機能について以下の表に示します。データ整合性チェックの詳細は、**「16.5.12　エラー検出」**を参照してください。

表 16.10　データ整合性チェックの対象端子

ユニット信号名	ポート端子名	兼用機能
CSIH0		
CSIHTSO	P0_3	ALT_OUT4
CSIH1		
CSIHTSO	P0_5	ALT_OUT3
	P10_2	ALT_OUT5
CSIH2		
CSIHTSO	P11_2	ALT_OUT1
CSIH3		
CSIHTSO	P11_6	ALT_OUT3

16.2 概要

16.2.1 機能概要

- 3 ワイヤシリアル同期データ転送
- マスタモードまたはスレーブモードを選択可能
- 設定可能な 8 個のチップセレクト出力信号を備えているため、複数スレーブ構成と RCB（Recessive Configuration for Broadcasting）が可能
- スレーブ選択入力信号（$\overline{\text{CSIHTSSI}}$）が使用可能
- ボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数が調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送クロック周波数：
  - マスタモード：10.0MHz（ただし、PCLK/4 以下）
  - スレーブモード：5.0MHz（ただし、PCLK/6 以下）
- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 2 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
- 16 ビットを上回るデータを転送するための EDL（Extended Data Length：拡張データ長）機能を内蔵
- 以下の 3 つの転送モードを選択可能：
  - 送信専用モード
  - 受信専用モード
  - 送受信モード
- ハンドシェーク機能を内蔵
- エラー検出（データ整合性チェック、パリティ、タイムアウト、オーバフロー、オーバラン）を内蔵
- ジョブ概念のサポート
- 128 ワードの I/O バッファメモリ
- ダイレクトアクセスモードと、メモリモード（FIFO、デュアルバッファ、送信専用バッファ）を選択可能
- 4 個の割り込み要求信号（INTCSIHTIC、INTCSIHTIR、INTCSIHTIRE、INTCSIHTIJC）
- 自己テスト用の LBM（ループバックモード）機能を内蔵
- CPU 制御による高優先通信機能
- 強制 CS アイドル設定
- ブロードキャスティングのため RCB（Recessive Configuration for Broadcasting）ビットを内蔵
- AUTOSAR のための JOB イネーブル制御ビットを内蔵

16.2.2 機能概要説明

CSIH では以下の 3 つの信号を通信に使用します。

- 送信クロック CSIHTSCK（マスタモードでは出力、スレーブモードでは入力）
- データ出力信号 CSIHTSO
- データ入力信号 CSIHTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- $\overline{\text{CSIHTSSI}}$：スレーブ選択入力信号
- CSIHTRYO：レディ / ビジー出力信号（ハンドシェーク信号）
- CSIHTRYI：レディ / ビジー入力信号（ハンドシェーク信号）
- CSIHTCSS[7:0]：チップセレクト信号

データ送信は、1 ビットずつシリアルに行われ、送信クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

表 16.11 CSIH の主なレジスタ

レジスタ	機能
CSIHnCTL0	シリアルクロックを有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効（バイパス）にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データ整合性チェック、ループバックモード、ハンドシェークなどのオプション機能を制御します。
CSIHnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵ボーレートジェネレータ（BRG）で転送クロック周波数を選択します。
CSIHnBRSy	チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。
CSIHnMCTL0	メモリモードを選択し、タイムアウトを指定します。
CSIHnMCTL1	FIFO モードでメモリを制御します。
CSIHnMCTL2	デュアルバッファモードでメモリを制御します。
CSIHnCFGx	各チップセレクト信号の通信プロトコルを設定するレジスタです。

16.2.3 ブロック図

以下のブロック図はCSIHの主要なコンポーネントを示しています。

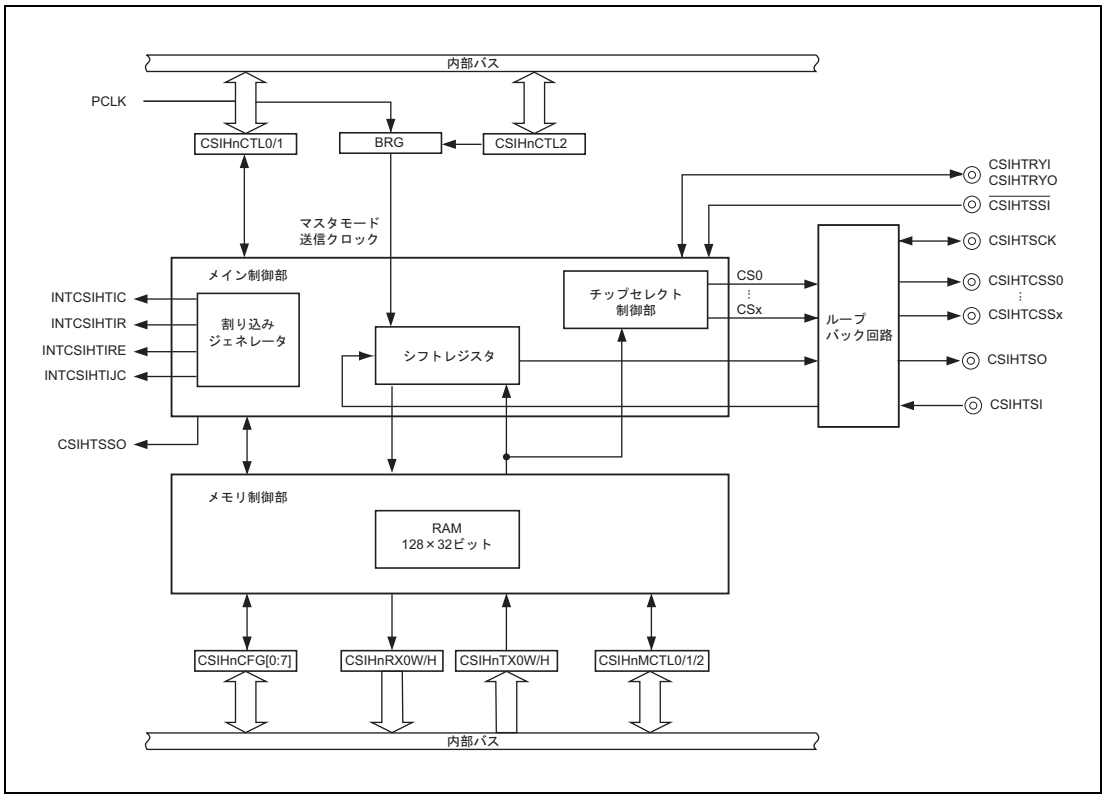


図 16.1 CSIH のブロック図

マスタモードでは、送信クロックCSIHTSCKが内蔵のボーレートジェネレータ（BRG）によって生成されます。スレーブモードでは、外部ソースから送信クロックが供給されます。

内蔵のメモリはFIFO、デュアルバッファ（別々の送信バッファと受信バッファ）または送信専用バッファとして設定できます。メモリをバイパスし、バッファリングなしでデータを送信または受信することもできます。

ループバック回路はCSIHをポートから完全に切り離し、内部の自己テストに対応します。

備 考

本章では、以下のモードについて説明します。

- 「動作モード」はマスタモードとスレーブモードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます（詳細については、**「16.5.1 動作モード（マスタ／スレーブ）」**を参照してください）。
- 「ジョブモード」はAUTOSARジョブ概念に関連しています（詳細については、**「16.5.3.3 ジョブ概念」**を参照してください）。
- 「メモリモード」では、関連付けられたバッファメモリのさまざまな設定に対応します（詳細については、**「16.5.6 CSIHのバッファメモリ」**を参照してください）。
- 「データ転送モード」では、通信のモードを指定します。送信専用モード、受信専用モード、送受信モードがあります（詳細については、**「16.5.7 データ転送モード」**を参照してください）。

16.3　レジスタ

16.3.1　レジスター覧

CSIH のレジスター覧を以下の表に示します。

<CSIHn_base> は「**16.1.2　レジスタベースアドレス**」を参照してください。

表 16.12　レジスター覧

モジュール名	レジスタ名	略号	アドレス
CSIHn	CSIHn 制御レジスタ 0	CSIHnCTL0	<CSIHn_base> + 0000_H
CSIHn	CSIHn 制御レジスタ 1	CSIHnCTL1	<CSIHn_base> + 0010_H
CSIHn	CSIHn 制御レジスタ 2	CSIHnCTL2	<CSIHn_base> + 0014_H
CSIHn	CSIHn ステータスレジスタ 0	CSIHnSTR0	<CSIHn_base> + 0004_H
CSIHn	CSIHn ステータスクリアレジスタ 0	CSIHnSTCR0	<CSIHn_base> + 0008_H
CSIHn	CSIHn メモリ制御レジスタ 0	CSIHnMCTL0	<CSIHn_base> + 1040_H
CSIHn	CSIHn メモリ制御レジスタ 1	CSIHnMCTL1	<CSIHn_base> + 1000_H
CSIHn	CSIHn メモリ制御レジスタ 2	CSIHnMCTL2	<CSIHn_base> + 1004_H
CSIHn	CSIHn メモリ読み出し／書き込みポインタレジスタ 0	CSIHnMRWP0	<CSIHn_base> + 1018_H
CSIHn	CSIHn コンフィギュレーションレジスタ 0	CSIHnCFG0	<CSIHn_base> + 1044_H
CSIHn	CSIHn コンフィギュレーションレジスタ 1	CSIHnCFG1	<CSIHn_base> + 1048_H
CSIHn	CSIHn コンフィギュレーションレジスタ 2	CSIHnCFG2	<CSIHn_base> + $104C_H$
CSIHn	CSIHn コンフィギュレーションレジスタ 3	CSIHnCFG3	<CSIHn_base> + 1050_H
CSIHn	CSIHn コンフィギュレーションレジスタ 4	CSIHnCFG4	<CSIHn_base> + 1054_H
CSIHn	CSIHn コンフィギュレーションレジスタ 5	CSIHnCFG5	<CSIHn_base> + 1058_H
CSIHn	CSIHn コンフィギュレーションレジスタ 6	CSIHnCFG6	<CSIHn_base> + $105C_H$
CSIHn	CSIHn コンフィギュレーションレジスタ 7	CSIHnCFG7	<CSIHn_base> + 1060_H
CSIHn	CSIHn ワードアクセス用送信データレジスタ 0	CSIHnTX0W	<CSIHn_base> + 1008_H
CSIHn	CSIHn ハーフワードアクセス用送信データレジスタ 0	CSIHnTX0H	<CSIHn_base> + $100C_H$
CSIHn	CSIHn ワードアクセス用受信データレジスタ 0	CSIHnRX0W	<CSIHn_base> + 1010_H
CSIHn	CSIHn ハーフワードアクセス用受信データレジスタ 0	CSIHnRX0H	<CSIHn_base> + 1014_H
CSIHn	CSIHn エミュレーションレジスタ	CSIHnEMU	<CSIHn_base> + 0018_H
CSIHn	CSIHn ボーレート設定レジスタ 0	CSIHnBRS0	<CSIHn_base> + 1068_H
CSIHn	CSIHn ボーレート設定レジスタ 1	CSIHnBRS1	<CSIHn_base> + $106C_H$
CSIHn	CSIHn ボーレート設定レジスタ 2	CSIHnBRS2	<CSIHn_base> + 1070_H
CSIHn	CSIHn ボーレート設定レジスタ 3	CSIHnBRS3	<CSIHn_base> + 1074_H

16.3.2 CSIHnCTL0 — CSIHn 制御レジスタ 0

本レジスタでは、動作クロックを制御し、送受信を許可／禁止し、送信または受信、あるいはその両方に割り当てられるメモリを有効または無効にします。また、現在のジョブの終了時に通信を強制的に停止します。

アクセス 8 ビット単位または 1 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIHnPWR	CSIHnTXE	CSIHnRXE	—	—	—	CSIHnJOBE	CSIHnMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

表 16.13 CSIHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnPWR	動作クロックを制御します。 0：動作クロックを停止させます。 1：動作クロックを供給します。 CSIHnPWR をクリア（0）すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR をクリア（0）した場合、実行中の通信はただちに中止されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0：送信を禁止します。 1：送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0：受信を禁止します。 1：受信を許可します。
4 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します（CSIHnTX0W.CSIHnEOJ = 1（ジョブ終了）時に送信バッファにデータを書き込まれると通信が終了になります）。 0：通信停止を要求しません。 1：通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア（0）されます。このビットをセット（1）しても、リード値は常に 0 です。 FIFO モードでは、CSIHnSTCR0.CSIHnPCT = 1 に設定することによってポインタをクリアしたあと、次の通信を開始する必要があります。
0	CSIHnMBS	送信データまたは受信データあるいはその両方のメモリをバイパスします。 0：メモリモード 送信データまたは受信データあるいはその両方に CSIH のメモリを使用します。 1：ダイレクトアクセスモード CSIH のメモリをバイパスします。

注 意

本レジスタの設定では、**「表 16.32 レジスタ設定上の注意事項」**を参照してください。

16.3.3 CSIHnCTL1 — CSIHn 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェーク機能、ジョブモードを有効または無効する機能も持っています。また、各チップセレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップセレクト信号の動作の選択も行います。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 0010_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CSIHn SLRS	—	—	—	—	—	CSIHn PHE	CSIHn CKR	CSIHn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn CSL7	CSIHn CSL6	CSIHn CSL5	CSIHn CSL4	CSIHn CSL3	CSIHn CSL2	CSIHn CSL1	CSIHn CSL0	CSIHn EDLE	CSIHn JE	CSIHn DCS	CSIHn CSRI	CSIHn LBM	CSIHn SIT	CSIHn HSE	CSIHn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.14 CSIHnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	CSIHnSLRS	受信データ入力の内部同期タイミングを設定します。 0：PCLK の立ち上がり 1：PCLK の立ち下がり 設定による違いについては、データシートを参照してください。
23 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	CSIHnPHE	CPU 制御の優先度別通信機能を設定します。 0：CPU 制御の高優先通信機能は無効です。 1：CPU 制御の高優先通信機能は有効です。 CPU 制御の高優先通信機能を有効にする場合は、本ビットを 1 に設定するほかに、CSIHnJE = 1 を設定してください。このビットは送信専用バッファモードでのみ設定可能です。
17	CSIHnCKR	CSIHTSCK のクロック反転機能 0：CSIHTSCK のデフォルトレベルはハイレベル 1：CSIHTSCK のデフォルトレベルはロウレベル 詳細については、**「16.3.11 CSIHnCFGx — CSIHn コンフィギュレーションレジスタ x」**を参照してください。
16	CSIHnSLIT	割り込み INTCSIHTIC のタイミングを選択します。 0：通常の割り込みのタイミング（転送後に割り込みを発生します）。 1：CSIHnTX0W/H レジスタの内容がシフトレジスタに転送されると、ただちに割り込みが発生します（ダイレクトアクセスモード／送信専用バッファモードでのみ機能します）。 詳細については、**「16.4.3 INTCSIHTIC（通信ステータス割り込み）」**を参照してください。
15 ～ 8	CSIHnCSLx	チップセレクト信号 x（CSIHTCSSx）のアクティブ出力レベルを選択します（x = 0-7）。 0：チップセレクト信号をアクティブロウにします。 1：チップセレクト信号をアクティブハイにします。 詳細については、**「16.5.3 チップセレクト（CS）機能」**を参照してください。

表 16.14 CSIHnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	CSIHnEDLE	拡張データ長（EDL）モードを有効または無効にします。 0：拡張データ長モードを無効にします。 1：拡張データ長モードを有効にします。 詳細については、**「16.5.8.2　16 ビットを上回るデータ長」**を参照してください。
6	CSIHnJE	ジョブモードを有効または無効にします。 0：ジョブモードを無効にします。 1：ジョブモードを有効にします。 詳細については、**「16.5.3.3　ジョブ概念」**を参照してください。 CSIHnCTL0.CSIHnJOBE, CSIHnTX0W.CSIHnEOJ, CSIHnTX0W. CSIHnCIRE ビットは CSIHnJE = 1 のときにのみ有効です。 このビットはスレーブモードでは設定禁止です。 また、CPU 制御の高優先通信機能を有効にする場合は、CSIHnPHE = 1 のほかに、本ビットを 1 に設定してください。
5	CSIHnDCS	データ整合性チェックを有効または無効にします。 0：データ整合性チェックを無効にします。 1：データ整合性チェックを有効にします。 詳細については、**「16.5.12.1　データ整合性チェック」**を参照してください。
4	CSIHnCSRI	最後のデータが転送されたあとのチップセレクト信号の動作を定義します。 0：チップセレクト信号がアクティブレベルを保持します。 1：チップセレクト信号が非アクティブレベルに戻ります。 最後のデータの判定はダイレクトアクセスモード／ FIFO モード時の割り込みタイミングで行います。CSIHnCTL1.CSIHnSLIT = 1 のときはダイレクトアクセスモードです。
3	CSIHnLBM	ループバックモード（LBM）を制御します。 0：ループバックモードをインアクティブにします。 1：ループバックモードをアクティブにします。 詳細については、**「16.5.13　ループバックモード」**を参照してください。
2	CSIHnSIT	割り込み遅延モードを選択します。 0：遅延を生成しません。 1：すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、**「16.4.2　割り込み遅延」**を参照してください。
1	CSIHnHSE	ハンドシェーク機能を有効または無効にします。 0：ハンドシェーク機能を無効にします。 1：ハンドシェーク機能を有効にします。 詳細については、**「16.5.11　ハンドシェーク機能」**を参照してください。
0	CSIHnSSE	スレーブ選択機能を有効または無効にします。 0：入力信号 $\overline{\text{CSIHTSSI}}$ を無効にします。 1：入力信号 $\overline{\text{CSIHTSSI}}$ を認識します。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります（**「16.5.2　マスタ／スレーブの接続」**も参照してください）。

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 16.15 受信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnRXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHTSSI}}$	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 16.16 送信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnTXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHTSSI}}$	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.4 CSIHnCTL2 — CSIHn 制御レジスタ 2

本レジスタでは動作モードと基本クロックの値を選択し、転送クロック周波数を指定します。

詳細については、**「16.5.5　送信クロックの選択」**を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 0014_H

リセット後の値　$E000_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnPRS[2:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.17　CSIHnCTL2 レジスタの内容

ビット位置	ビット名	機能
15 ～ 13	CSIHnPRS[2:0]	動作モードと基本クロックの値を選択します
12 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	基本クロック（PRSOUT）の選択
0	0	0	PCLK（マスタモード）
0	0	1	PCLK/2（マスタモード）
0	1	0	PCLK/4（マスタモード）
0	1	1	PCLK/8（マスタモード）
1	0	0	PCLK/16（マスタモード）
1	0	1	PCLK/32（マスタモード）
1	1	0	PCLK/64（マスタモード）
1	1	1	CSIHTSCK(in) 経由の外部クロック（スレーブモード）

マスタモードでは、以下のビットを使って転送クロック周波数を設定します。

CSIHnCTL2.CSIHnPRS[2:0], CSIHnCFGx.CSIHnBRSS[1:0], CSIHnBRSy.CSIHnBRS[11:0]

また、CSIHnBRSy.CSIHnBRS[11:0] ビットで設定される 4 種類の転送クロック周波数設定は、チップセレクト信号ごとに、そのいずれかの設定が選択されます。チップセレクト信号ごとの転送クロック周波数設定の選択は、CSIHnCFGx.CSIHnBRSS[1:0] ビットにて行います。

CSIHnCFGx.CSIHnBRSS[1:0] と CSIHnBRSy.CSIHnBRS[11:0] の関係は、以下のとおりです。

CSIHnCFGx. CSIHnBRSS[1:0]	選択される転送クロック周波数設定ビット
00	CSIHnBRS0.CSIHnBRS[11:0]
01	CSIHnBRS1.CSIHnBRS[11:0]
10	CSIHnBRS2.CSIHnBRS[11:0]
11	CSIHnBRS3.CSIHnBRS[11:0]

CSIHnPRS[2:0] ビットの値を α とした場合、CSIHnBRSS[1:0] ビットにて選択された転送クロック周波数設定（CSIHnBRSy[11:0]）と転送クロック周波数の関係は、以下のとおりです。

CSIHnBRSy[11:0]	転送クロック周波数
0	BRG stopped
1	PCLK / (2^{α} × 1 × 2)
2	PCLK / (2^{α} × 2 × 2)
3	PCLK / (2^{α} × 3 × 2)
4	PCLK / (2^{α} × 4 × 2)
…	…
4095	PCLK / (2^{α} × 4095× 2)

スレーブモードで、タイムアウトエラーを使用する場合のクロックは、本設定で設定したクロックが使われます。スレーブモードで使用する際は、CSIHnPRS[2:0] ビットに 111_B を設定しますが、その際のプリスケーラは、CSIHnPRS[2:0] ビットに 000_B を設定した場合と同じ設定になります。タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0] ビットには、000_H 以外の値を設定して使用してください。

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.5 CSIHnSTR0 — CSIHn ステータスレジスタ 0

本レジスタは CSIH の状態を示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 0004_H

リセット後の値 $0000\ 0010_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnSRP[7:0]								CSIHnSPF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn TMOE	CSIHn OFE	—	—	—	—	—	CSIHn HPST	CSIHn TSF	—	CSIHn FLF	CSIHn EMF	CSIHn DCE	—	CSIHn PE	CSIHn OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.18 CSIHnSTR0 レジスタの内容 (1/3)

ビット位置	ビット名	機能
31 ～ 24	CSIHnSRP[7:0]	FIFO モードで受信データ数を示します。 **CSIHnSRP[7:0]** / **説明** 00_H / 受信データ数（0 ～ 128） : / 80_H / 上記以外 / 未定義 これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。 ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファモードでは、この値が 00_H に固定されます。 ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、このビットは 0 に固定されます。
23 ～ 16	CSIHnSPF[7:0]	FIFO モードで未送信データの数を示します。 （CPU によって書き込まれたデータの数は送信データ数です） **CSIHnSPF[7:0]** / **説明** 00_H / 未送信データパケットの数（0 ～ 128） : / 80_H / 上記以外 / 未定義 これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。 ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファモードでは、この値が 00_H に固定されます。 ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、このビットは 0 に固定されます。

表 16.18　CSIHnSTR0 レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15</td><td>CSIHnTMOE</td><td>FIFO モード時のタイムアウトエラーフラグ
FIFO モード時のタイムアウトエラーが検出されたかどうかを示します。
0：FIFO モード時のタイムアウトエラーが検出されていません。
1：FIFO モード時のタイムアウトエラーが検出されています。
詳細については、「16.5.12.3　タイムアウトエラー」を参照してください。
このビットは CSIHnSTCR0.CSIHnTMOEC によってクリア（0）されます。
タイムアウトエラーの検出によるセット（1）と CSIHnSTCR0.CSIHnTMOEC によるクリア（0）が同時に発生した場合、セット（1）を優先します。
このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</td></tr>
<tr><td>14</td><td>CSIHnOFE</td><td>FIFO モード時のオーバフローエラーフラグ
FIFO モード時のオーバフローエラーが検出されたかどうかを示します。
0：FIFO モード時のオーバフローエラーが検出されていません。
1：FIFO モード時のオーバフローエラーが検出されています。
詳細については、「16.5.12.4　オーバフローエラー」を参照してください。
このビットは CSIHnSTCR0.CSIHnOFEC によってクリア（0）されます。
オーバフローエラーの検出によるセット（1）と CSIHnSTCR0.CSIHnOFEC によるクリア（0）が同時に発生した場合、セット（1）を優先します。
このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</td></tr>
<tr><td>13 ～ 9</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。</td></tr>
<tr><td>8</td><td>CSIHnHPST</td><td>通信優先度確認フラグ
0：低優先の通信中であることを示します。
1：高優先の通信中であることを示します。
本ビットは、CPU 制御による高優先通信を無効（CSIHnCTL1.CSIHnPHE = 0）設定にしている場合は、常に 0 が読み出されます。</td></tr>
<tr><td>7</td><td>CSIHnTSF</td><td>転送ステータスフラグ
0：アイドル状態
1：通信中または通信の準備中
このビットがセットまたはクリアされるタイミングを以下に示します。
<table>
<tr><th rowspan="2">マスタモード</th><th colspan="2">セットされるタイミング</th><th rowspan="2">クリアされるタイミング</th></tr>
<tr><th>ダイレクトアクセスモード、FIFO モード</th><th>デュアルバッファモード、送信専用バッファモード</th></tr>
<tr><td>送信専用モード</td><td rowspan="3">送信レジスタ（CSIHnTX0W/CSIHnTX0H）への書き込み</td><td rowspan="3">CSIHnMCTL2.CSIHnBTST ビットのセット</td><td rowspan="3">最後のシリアルクロックエッジから半クロック以内</td></tr>
<tr><td>送受信モード</td></tr>
<tr><td>受信専用モード</td></tr>
</table>
<table>
<tr><th rowspan="2">スレーブモード</th><th colspan="2">セットされるタイミング</th><th rowspan="2">クリアされるタイミング</th></tr>
<tr><th>ダイレクトアクセスモード、FIFO モード</th><th>デュアルバッファモード、送信専用バッファモード</th></tr>
<tr><td>送信専用モード</td><td rowspan="2">送信レジスタ（CSIHnTX0W/CSIHnTX0H）への書き込み</td><td rowspan="3">CSIHnMCTL2.CSIHnBTST ビットのセット</td><td rowspan="3">最後のシリアルクロックエッジから半クロック以内</td></tr>
<tr><td>送受信モード</td></tr>
<tr><td>受信専用モード</td><td>CSIHTSCK 入力タイミング</td></tr>
</table></td></tr>
<tr><td>6</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。</td></tr>
<tr><td>5</td><td>CSIHnFLF</td><td>FIFO モード時のバッファフルの状態を示すフラグです。
0：FIFO バッファがフル状態ではありません。
1：FIFO バッファがフル状態です。
このビットは CSIHnSTCR0.CSIHnPCT によってクリア（0）されます。
FIFO バッファは未送信データや受信データでフルになることがあります。</td></tr>
</table>

表 16.18 CSIHnSTR0 レジスタの内容 (3/3)

ビット位置	ビット名	機能
4	CSIHnEMF	FIFO モード時のバッファエンプティの状態を示すフラグです。 0：FIFO バッファがエンプティ状態ではありません。 1：FIFO バッファがエンプティ状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってセット（1）されます。 このビットは、CSIHnSTR0.CSIHnSRP[7:0] + CSIHnSTR0.CSIHnSPF[7:0] = 00_H となったときにセット（1）されます。 FIFO バッファは未送信データや受信データでフルになることがあります。
3	CSIHnDCE	データ整合性チェックエラーフラグ 0：データ整合性エラーが検出されていません。 1：データ整合性エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に 1 を書き込むことによってクリア（0）されます。 データ整合性エラーの検出によるセット（1）と CSIHnSTCR0.CSIHnDCEC によるクリア（0）が同時に発生した場合、セット（1）を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
2	予約ビット	リードした場合はリセット後の値が読めます。
1	CSIHnPE	パリティエラーフラグ 0：パリティエラーが検出されていません。 1：パリティエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnPEC に 1 を書き込むことによってクリア（0）されます。 ただし、パリティエラーの検出によるセット（1）と CSIHnSTCR0.CSIHnPEC によるクリア（0）が同時に発生した場合、パリティエラーの検出によるセット（1）を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
0	CSIHnOVE	オーバランエラーフラグ（デュアルバッファモードでは 0 固定です） 0：オーバランエラーが検出されていません。 1：オーバランエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnOVEC に 1 を書き込むことによってクリア（0）されます。 ただし、オーバランエラーの検出によるセット（1）と CSIHnSTCR0.CSIHnOVEC によるクリア（0）が同時に発生した場合、オーバランエラーの検出によるセット（1）を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。

表 16.19　メモリモードでの動作

ビット名	ビット位置	ダイレクト アクセスモード	FIFO モード	送信専用 バッファモード	デュアル バッファモード
CSIHnSRP[7:0]	31-24	0 固定	受信データ数	0 固定	0 固定
CSIHnSPF[7:0]	23-16	0 固定	未送信データ数	0 固定	0 固定
CSIHnTMOE	15	0 固定	0：エラー未検出 1：エラー検出	0 固定	0 固定
CSIHnOFE	14	0 固定	0：エラー未検出 1：エラー検出	0 固定	0 固定
CSIHnTSF	7	0：アイドル状態 1：通信中または通信の準備中			
CSIHnFLF	5	0 固定	0：フルでない 1：フル	0 固定	0 固定
CSIHnEMF	4	1 固定	0：エンプティでない 1：エンプティ	1 固定	1 固定
CSIHnDCE	3	0：エラー未検出 1：エラー検出			
CSIHnPE	1	0：エラー未検出 1：エラー検出			
CSIHnOVE	0	0：エラー未検出 1：エラー検出	0：エラー未検出 1：エラー検出	0：エラー未検出 1：エラー検出	0 固定

注　意

本レジスタの設定では、「**表 16.32　レジスタ設定上の注意事項**」を参照してください。

16.3.6　CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0

本レジスタは CSIHnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス　16 ビット単位でリード／ライト可能です。
読み出すと、常に値 0000_H が返されます。

アドレス　<CSIHn_base> + 0008_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn TMOEC	CSIHn OFEC	—	—	—	—	—	CSIHn PCT	—	—	—	—	CSIHn DCEC	—	CSIHn PEC	CSIHn OVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

表 16.20　CSIHnSTCR0 レジスタの内容

ビット位置	ビット名	機能
15	CSIHnTMOEC	タイムアウトエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：タイムアウトエラーフラグ（CSIHnSTR0.CSIHnTMOE）をクリアします。
14	CSIHnOFEC	オーバフローエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：オーバフローエラーフラグ（CSIHnSTR0.CSIHnOFE）をクリアします。
13 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	CSIHnPCT	FIFO ポインタクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：次の FIFO バッファポインタ（FIFO モード、デュアルバッファモード、送信専用バッファモード）およびステータスビットをクリアします。 FIFO バッファポインタ：CSIHnMRWP0.CSIHnTRWA[6:0] CSIHnMRWP0.CSIHnRRA[6:0] CSIHnMCTL2.CSIHnSOP[6:0] ステータスビット：CSIHnSTR0.CSIHnSPF[7:0] CSIHnSTR0.CSIHnSRP[7:0] CSIHnSTR0.CSIHnFLF CSIHnSTR0.CSIHnTSF さらに、CSIHnSTR0.CSIHnEMF ビットがセット（1）されます（FIFO エンプティ）（FIFO モード時のみ）。
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	CSIHnDCEC	データ整合性エラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：データ整合性エラーフラグ（CSIHnSTR0.CSIHnDCE）をクリアします。
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIHnPEC	パリティエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：パリティエラーフラグ（CSIHnSTR0.CSIHnPE）をクリアします。
0	CSIHnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：オーバランエラーフラグ（CSIHnSTR0.CSIHnOVE）をクリアします。

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.7　CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0

本レジスタではメモリモードとタイムアウトの設定を選択します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 1040_H

リセット後の値　$001F_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CSIHnMMS[1:0]		—	—	—	CSIHnTO[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 16.21　CSIHnMCTL0 レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9, 8	CSIHnMMS [1:0]	メモリモードを選択します。 **CSIHn MMS1 / CSIHn MMS0 / 説明** 0 / 0 / FIFO モード 0 / 1 / デュアルバッファモード 1 / 0 / 送信専用バッファモード 1 / 1 / 禁止 メモリモードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット（1）し個々のバッファポインタをクリアしてください。 ダイレクトアクセスモードでは、これらのビットの設定は無視されます。
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 0	CSIHnTO[4:0]	FIFO モードのタイムアウトの設定を選択します。 **CSIHnTO[4:0] / 説明** 00000_B / タイムアウトを検出しません。 00001_B / タイムアウトを（1 × 8 × BRG 出力クロック）にします。 00010_B / タイムアウトを（2 × 8 × BRG 出力クロック）にします。 … / 11111_B / タイムアウトを（31 × 8 × BRG 出力クロック）にします。 **注 意** タイムアウトの設定は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。 CSIHnTO[4:0] ビットは FIFO モード以外（ダイレクトアクセスモード、デュアルバッファモード、送信専用バッファモード）は 00000_B に設定してください タイムアウトの検出の詳細については、**「16.5.12.3　タイムアウトエラー」**も参照してください。

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.8 CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1

本レジスタでは FIFO モードで割り込み要求 INTCSIHTIC と INTCSIHTIR を発生する条件を選択します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 1000_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnFES[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnFFS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.22 CSIHnMCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 16	CSIHnFES [6:0]	FIFO モードで INTCSIHTIC 割り込み（送信データエンプティ）を発生する条件を選択します。 FIFO に残っている未送信の送信データの数（CSIHnSTR0.CSIHnSPF[7:0] ビットで確認）が CSIHnMCTL1.CSIHnFES[6:0] と一致すると、FIFO エンプティフラグ（CSIHnSTR0.CSIHnEMF ビット）がセット（1）され、INTCSIHTIC 割り込み要求が発生します。
15 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	CSIHnFFS [6:0]	FIFO モードで INTCSIHTIR 割り込み（受信データフル）を発生する条件を選択します。 FIFO に残っている受信データの数が（CSIHnSTR0.CSIHnSRP[7:0] ビットで確認）（128-CSIHnMCTL1.CSIHnFFS[6:0]）と一致すると、INTCSIHTIR 割り込み要求が発生します。

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.9 CSIHnMCTL2 — CSIHn メモリ制御レジスタ 2

本レジスタでは、デュアルバッファモードまたは送信専用バッファモードのときにメモリの動作を制御し、通信の開始をトリガします。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 1004_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn BTST	—	—	—	—	—	—	—	CSIHnND[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnSOP[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.23 CSIHnMCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnBTST	バッファ転送の開始トリガを供給します。 0：何も操作を行いません。 1：転送開始コマンドを発行します。 読み出し値は常に 0 になります。 **注 意** このビットはデュアルバッファモードおよび送信専用バッファモードでのみ使用できます。
30 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～ 16	CSIHnND[7:0]	各メモリモードにおけるデータの数を指定します。 リード値は残りの通信データ数を表します。

CSIHn ND[7:0]	デュアル バッファモード	送信専用 バッファモード	FIFO モード	ダイレクト アクセスモード
00_H	0 個のデータを送信	0 個のデータを送信	影響なし	影響なし
01_H	1 個のデータを送信	1 個のデータを送信	影響なし	影響なし
...	...	...	影響なし	影響なし
$3F_H$	63 個のデータを送信	63 個のデータを送信	影響なし	影響なし
40_H	64 個のデータを送信	64 個のデータを送信	影響なし	影響なし
...	禁止	...	影響なし	影響なし
$7F_H$	禁止	127 個のデータを送信	影響なし	影響なし
80_H	禁止	128 個のデータを送信	影響なし	影響なし
上記以外	設定禁止			

データ転送後、値は自動的にデクリメントされます（ダイレクトアクセスモードではデクリメントされません）。

15 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 16.23 CSIHnMCTL2 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>6 ～ 0</td><td>CSIHnSOP
[6:0]</td><td>送信データのポインタを選択します。
CSIHnCTL0.CSIHnPWR = 0、または CSIHnSTCR0.CSIHnPCT = 1 に設定して通信を強制的に停止すると、これらのビットはハードウェアによってクリアされます。
FIFO モードでは、これらのビットは送信アドレスを示します。
<table>
<tr><th>CSIHn
SOP[6:0]</th><th>デュアル
バッファモード</th><th>送信専用
バッファモード</th><th>FIFO モード</th><th>ダイレクト
アクセスモード</th></tr>
<tr><td>00_H</td><td>0000_H</td><td>0000_H</td><td>0000_H</td><td>影響なし</td></tr>
<tr><td>01_H</td><td>0004_H</td><td>0004_H</td><td>0004_H</td><td>影響なし</td></tr>
<tr><td>...</td><td>...</td><td>...</td><td>...</td><td>影響なし</td></tr>
<tr><td>$3F_H$</td><td>$00FC_H$</td><td>$00FC_H$</td><td>$00FC_H$</td><td>影響なし</td></tr>
<tr><td>40_H</td><td>禁止</td><td>0100_H</td><td>0100_H</td><td>影響なし</td></tr>
<tr><td>...</td><td>禁止</td><td>...</td><td>...</td><td>影響なし</td></tr>
<tr><td>$7F_H$</td><td>禁止</td><td>$01FC_H$</td><td>$01FC_H$</td><td>影響なし</td></tr>
</table>
注 意
ダイレクトアクセスモードではこれらのビットはインクリメントされません。</td></tr>
</table>

注　意

本レジスタの設定では、「**表 16.32　レジスタ設定上の注意事項**」を参照してください。

16.3.10　CSIHnMRWP0 — CSIHn メモリ読み出し／書き込みポインタレジスタ 0

本レジスタではデュアルバッファまたは送信専用バッファの読み出しポインタと書き込みポインタを設定します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 1018_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnRRA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnTRWA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.24　CSIHnMRWP0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 16	CSIHnRRA [6:0]	受信バッファの読み出しポインタを選択します。 CSIHn RRA[6:0] / デュアルバッファモード / 送信専用バッファモード / FIFO モード / ダイレクトアクセスモード 00_H / 0000_H / 影響なし / 0000_H / 影響なし 01_H / 0004_H / 影響なし / 0004_H / 影響なし ... / ... / 影響なし / ... / 影響なし $3F_H$ / $00FC_H$ / 影響なし / $00FC_H$ / 影響なし 40_H / 禁止 / 影響なし / 0100_H / 影響なし ... / 禁止 / 影響なし / ... / 影響なし $7F_H$ / 禁止 / 影響なし / $01FC_H$ / 影響なし 受信データが読み出されると、これらのビットは自動的にインクリメントされます。 CSIHnRX0W または CSIHnRX0H レジスタの読み出し中にオーバランエラーが発生した場合、読み出しポインタはインクリメントされません。 CSIHnSTCR0.CSIHnPCT がセット（1）されると、これらのビットはクリアされます。 ダイレクトアクセスモード、送信専用バッファモードではこれらのビットはインクリメントされません。 送信専用バッファモードでライトアクセスしたい場合、これらのビットには 0000_H を設定してください。 FIFO モードでは、これらのビットは受信データの読み出しアドレスを示します。
15 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 16.24　CSIHnMRWP0 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>6 ～ 0</td><td>CSIHnTRWA
[6:0]</td><td>送信バッファの読み出し／書き込みポインタを選択します。
<table>
<tr><th>CSIHn
TRWA[6:0]</th><th>デュアル
バッファモード</th><th>送信専用
バッファモード</th><th>FIFO モード</th><th>ダイレクト
アクセスモード</th></tr>
<tr><td>00_H</td><td>0000_H</td><td>0000_H</td><td>0000_H</td><td>影響なし</td></tr>
<tr><td>01_H</td><td>0004_H</td><td>0004_H</td><td>0004_H</td><td>影響なし</td></tr>
<tr><td>...</td><td>...</td><td>...</td><td>...</td><td>影響なし</td></tr>
<tr><td>$3F_H$</td><td>$00FC_H$</td><td>$00FC_H$</td><td>$00FC_H$</td><td>影響なし</td></tr>
<tr><td>40_H</td><td>禁止</td><td>0100_H</td><td>0100_H</td><td>影響なし</td></tr>
<tr><td>...</td><td>禁止</td><td>...</td><td>...</td><td>影響なし</td></tr>
<tr><td>$7F_H$</td><td>禁止</td><td>$01FC_H$</td><td>$01FC_H$</td><td>影響なし</td></tr>
</table>
送信データが書き込まれるか、読み出されると、これらのビットは自動的にインクリメントされます。
CSIHnSTCR0.CSIHnPCT がセット（1）されると、これらのビットはクリアされます。
ダイレクトアクセスモードではこれらのビットはインクリメントされません。
FIFO モードでは、これらのビットは送信データの読み出し／書き込みアドレスを示します。</td></tr>
</table>

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.11　CSIHnCFGx — CSIHn コンフィギュレーションレジスタ x

これら 8 個のレジスタでは、各チップセレクト信号 CSIHTCSSx のプリスケーラ、パリティ、データ長、ブロードキャスティング用のリセッシブの設定、シリアルデータ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

スレーブモード

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPSx[1:0]：パリティの使用法
- CSIHnDLSx[3:0]：データ長の選択
- CSIHnDIRx：データ方向
- CSIHnCKPx、CSIHnDAPx：クロック位相とデータ位相

スレーブモードでは CSIHnCFG0 レジスタの上記以外のビットおよび CSIHnCFG1 ～ CSIHnCFG7 レジスタには 0 を設定してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　CSIHnCFG0：<CSIHn_base> + 1044_H
CSIHnCFG1：<CSIHn_base> + 1048_H
CSIHnCFG2：<CSIHn_base> + $104C_H$
CSIHnCFG3：<CSIHn_base> + 1050_H
CSIHnCFG4：<CSIHn_base> + 1054_H
CSIHnCFG5：<CSIHn_base> + 1058_H
CSIHnCFG6：<CSIHn_base> + $105C_H$
CSIHnCFG7：<CSIHn_base> + 1060_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn BRSSx[1:0]		CSIHn PSx[1:0]		CSIHnDLSx[3:0]				—	—	—	—	CSIHn RCBx	CSIHn DIRx	CSIHn CKPx	CSIHn DAPx
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn IDLx	CSIHnIDx[2:0]			CSIHnHDx[3:0]				CSIHnINx[3:0]				CSIHnSPx[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.25　CSIHnCFGx レジスタの内容 (1/5)

ビット位置	ビット名	機能
31、30	CSIHnBRSSx [1:0]	ボーレート設定レジスタ（CSIHnBRSy）を選択するビットです。 CSIHn BRSSx1 / CSIHn BRSSx0 / ボーレート設定レジスタの選択 0 / 0 / CSIHnBRS0 の設定に従い転送クロック周波数を設定します。 0 / 1 / CSIHnBRS1 の設定に従い転送クロック周波数を設定します。 1 / 0 / CSIHnBRS2 の設定に従い転送クロック周波数を設定します。 1 / 1 / CSIHnBRS3 の設定に従い転送クロック周波数を設定します。 転送クロック周波数設定の最大値は、CSIHnCTL2.CSIHnPRS[2:0] 設定と合わせて、以下のとおりとしてください。 マスタモード：PCLK/4, スレーブモード：PCLK/6

表 16.25 CSIHnCFGx レジスタの内容 (2/5)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>29、28</td><td>CSIHnPSx[1:0]</td><td>チップセレクト信号 x の送信用と受信用のパリティを選択します。
<table>
<tr><th>CSIHn PSx1</th><th>CSIHn PSx0</th><th>送信</th><th>受信</th></tr>
<tr><td>0</td><td>0</td><td>パリティを送信しません。</td><td>パリティの受信を待機しません。</td></tr>
<tr><td>0</td><td>1</td><td>0 に固定されたパリティビットを追加します。</td><td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td></tr>
<tr><td>1</td><td>0</td><td>奇数パリティを追加します。</td><td>奇数パリティビットの受信を待機します。</td></tr>
<tr><td>1</td><td>1</td><td>偶数パリティを追加します。</td><td>偶数パリティビットの受信を待機します。</td></tr>
</table></td></tr>
<tr><td>27 ～ 24</td><td>CSIHnDLSx [3:0]</td><td>チップセレクト信号 x のデータ長を選択します。
<table>
<tr><th>CSIHn DLSx[3:0]</th><th>データ長</th></tr>
<tr><td>0000_B</td><td>16 ビット</td></tr>
<tr><td>0001_B</td><td>1 ビット</td></tr>
<tr><td>0010_B</td><td>2 ビット</td></tr>
<tr><td>...</td><td>...</td></tr>
<tr><td>1111_B</td><td>15 ビット</td></tr>
</table>
注 意
CSIHnTX0W.CSIHnEDL = 1 のとき、このビットの設定は意味を持ちません。（データ長は 16 ビット）CSIHnTX0W.CSIHnEDL = 0 のとき、このビットの設定が有効になります。1 つ前の送信データが CSIHnEDL = 1 設定の 16 ビットである時だけ、1 ビットを設定することが可能です。</td></tr>
<tr><td>23 ～ 20</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>19</td><td>CSIHnRCBx</td><td>チップセレクト信号 x のブロードキャスティングのリセッシブ設定を選択します。
0：ドミナント（高優先度）
1：リセッシブ（低優先度）
詳細については、「16.5.3.1　コンフィギュレーションレジスタ」を参照してください。</td></tr>
<tr><td>18</td><td>CSIHnDIRx</td><td>チップセレクト信号 x のシリアルデータ方向を選択します。
0：MSB ファーストでデータを送受信します。
1：LSB ファーストでデータを送受信します。
詳細については、「16.5.9　シリアルデータ方向選択機能」を参照してください。</td></tr>
</table>

表 16.25　CSIHnCFGx レジスタの内容 (3/5)

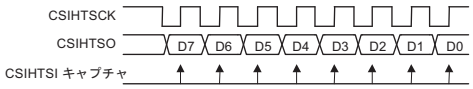
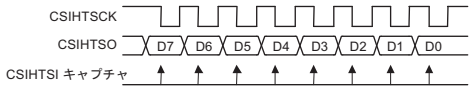
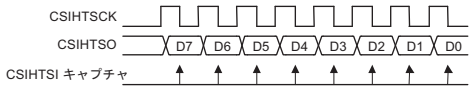
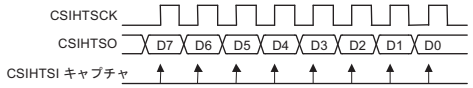
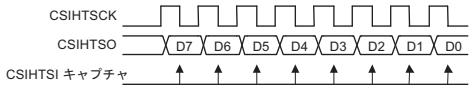
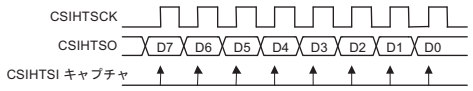
<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>17</td><td>CSIHnCKPx</td><td rowspan="2">CSIHnCKPx：クロック位相選択ビット
CSIHnDAPx：データ位相選択ビット
• CSIHnCTL1.CSIHnCKR = 0
<table>
<tr><th>CSIHn CKPx</th><th>CSIHn DAPx</th><th>クロック位相とデータ位相の選択</th></tr>
<tr><td>0</td><td>0</td><td> 
</td></tr>
<tr><td>0</td><td>1</td><td> 
</td></tr>
<tr><td>1</td><td>0</td><td> 
</td></tr>
<tr><td>1</td><td>1</td><td> 
</td></tr>
</table>
• CSIHnCTL1.CSIHnCKR = 1
<table>
<tr><th>CSIHn CKPx</th><th>CSIHn DAPx</th><th>クロック位相とデータ位相の選択</th></tr>
<tr><td>0</td><td>0</td><td> 
</td></tr>
<tr><td>0</td><td>1</td><td> 
</td></tr>
<tr><td>1</td><td>×</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>15</td><td>CSIHnIDLx</td><td>チップセレクト信号 x の強制アイドル状態の設定を選択します。
0：連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が違うならば、2 つの転送の間に必ずアイドル状態が入ります。連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が同じならば、2 つの転送の間にアイドル状態はありません。
1：連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定に関係なく、2 つの転送の間にアイドル状態が入ります。
このビットはマスタモードでのみ利用できます。
強制アイドル状態については「16.5.15　強制 CS アイドル設定」を参照してください。</td></tr>
</table>

表 16.25 CSIHnCFGx レジスタの内容 (4/5)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>14 ～ 12</td><td>CSIHnIDx[2:0]</td><td>チップセレクト信号 x のアイドル時間を選択します。
<table>
<tr><th>CSIHn IDx[2:0]</th><th>アイドル時間</th></tr>
<tr><td>000_B</td><td>0.5 送信クロック周期</td></tr>
<tr><td>001_B</td><td>1.0 送信クロック周期</td></tr>
<tr><td>010_B</td><td>1.5 送信クロック周期</td></tr>
<tr><td>011_B</td><td>2.5 送信クロック周期</td></tr>
<tr><td>100_B</td><td>3.5 送信クロック周期</td></tr>
<tr><td>101_B</td><td>4.5 送信クロック周期</td></tr>
<tr><td>110_B</td><td>6.5 送信クロック周期</td></tr>
<tr><td>111_B</td><td>8.5 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
<tr><td>11 ～ 8</td><td>CSIHnHDx [3:0]</td><td>チップセレクト信号 x のホールド時間を送信クロック周期単位で指定します。
<table>
<tr><th>CSIHn HDx[3:0]</th><th>CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間</th><th>CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間</th></tr>
<tr><td>0000_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr>
<tr><td>0001_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr>
<tr><td>0010_B</td><td>1.5 送信クロック周期</td><td>2.0 送信クロック周期</td></tr>
<tr><td>0011_B</td><td>2.5 送信クロック周期</td><td>3.0 送信クロック周期</td></tr>
<tr><td>0100_B</td><td>3.5 送信クロック周期</td><td>4.0 送信クロック周期</td></tr>
<tr><td>0101_B</td><td>4.5 送信クロック周期</td><td>5.0 送信クロック周期</td></tr>
<tr><td>0110_B</td><td>6.5 送信クロック周期</td><td>7.0 送信クロック周期</td></tr>
<tr><td>0111_B</td><td>8.5 送信クロック周期</td><td>9.0 送信クロック周期</td></tr>
<tr><td>1000_B</td><td>9.5 送信クロック周期</td><td>10.0 送信クロック周期</td></tr>
<tr><td>1001_B</td><td>10.5 送信クロック周期</td><td>11.0 送信クロック周期</td></tr>
<tr><td>1010_B</td><td>11.5 送信クロック周期</td><td>12.0 送信クロック周期</td></tr>
<tr><td>1011_B</td><td>12.5 送信クロック周期</td><td>13.0 送信クロック周期</td></tr>
<tr><td>1100_B</td><td>14.5 送信クロック周期</td><td>15.0 送信クロック周期</td></tr>
<tr><td>1101_B</td><td>16.5 送信クロック周期</td><td>17.0 送信クロック周期</td></tr>
<tr><td>1110_B</td><td>18.5 送信クロック周期</td><td>19.0 送信クロック周期</td></tr>
<tr><td>1111_B</td><td>20.5 送信クロック周期</td><td>21.0 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
</table>

表 16.25 CSIHnCFGx レジスタの内容 (5/5)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7 ～ 4</td><td>CSIHnINx[3:0]</td><td>チップセレクト信号 x のデータ間時間を送信クロック周期単位で指定します。
<table>
<tr><th>CSIHn INx[3:0]</th><th>CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間</th><th>CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間</th></tr>
<tr><td>0000_B</td><td>0.0 送信クロック周期</td><td>0.5 送信クロック周期</td></tr>
<tr><td>0001_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr>
<tr><td>0010_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr>
<tr><td>0011_B</td><td>2.0 送信クロック周期</td><td>2.5 送信クロック周期</td></tr>
<tr><td>0100_B</td><td>3.0 送信クロック周期</td><td>3.5 送信クロック周期</td></tr>
<tr><td>0101_B</td><td>4.0 送信クロック周期</td><td>4.5 送信クロック周期</td></tr>
<tr><td>0110_B</td><td>6.0 送信クロック周期</td><td>6.5 送信クロック周期</td></tr>
<tr><td>0111_B</td><td>8.0 送信クロック周期</td><td>8.5 送信クロック周期</td></tr>
<tr><td>1000_B</td><td>9.0 送信クロック周期</td><td>9.5 送信クロック周期</td></tr>
<tr><td>1001_B</td><td>10.0 送信クロック周期</td><td>10.5 送信クロック周期</td></tr>
<tr><td>1010_B</td><td>11.0 送信クロック周期</td><td>11.5 送信クロック周期</td></tr>
<tr><td>1011_B</td><td>12.0 送信クロック周期</td><td>12.5 送信クロック周期</td></tr>
<tr><td>1100_B</td><td>14.0 送信クロック周期</td><td>14.5 送信クロック周期</td></tr>
<tr><td>1101_B</td><td>16.0 送信クロック周期</td><td>16.5 送信クロック周期</td></tr>
<tr><td>1110_B</td><td>18.0 送信クロック周期</td><td>18.5 送信クロック周期</td></tr>
<tr><td>1111_B</td><td>20.0 送信クロック周期</td><td>20.5 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
<tr><td>3 ～ 0</td><td>CSIHnSPx[3:0]</td><td>チップセレクト信号 x のセットアップ時間を送信クロック周期単位で指定します。
<table>
<tr><th>CSIHn SPx[3:0]</th><th>セットアップ時間</th></tr>
<tr><td>0000_B</td><td>0.5 送信クロック周期</td></tr>
<tr><td>0001_B</td><td>1.0 送信クロック周期</td></tr>
<tr><td>0010_B</td><td>1.5 送信クロック周期</td></tr>
<tr><td>0011_B</td><td>2.5 送信クロック周期</td></tr>
<tr><td>0100_B</td><td>3.5 送信クロック周期</td></tr>
<tr><td>0101_B</td><td>4.5 送信クロック周期</td></tr>
<tr><td>0110_B</td><td>6.5 送信クロック周期</td></tr>
<tr><td>0111_B</td><td>8.5 送信クロック周期</td></tr>
<tr><td>1000_B</td><td>9.5 送信クロック周期</td></tr>
<tr><td>1001_B</td><td>10.5 送信クロック周期</td></tr>
<tr><td>1010_B</td><td>11.5 送信クロック周期</td></tr>
<tr><td>1011_B</td><td>12.5 送信クロック周期</td></tr>
<tr><td>1100_B</td><td>14.5 送信クロック周期</td></tr>
<tr><td>1101_B</td><td>16.5 送信クロック周期</td></tr>
<tr><td>1110_B</td><td>18.5 送信クロック周期</td></tr>
<tr><td>1111_B</td><td>20.5 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
</table>

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.12 CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンドオブジョブ、拡張データ長、チップセレクトアクティブ化を指定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 1008_H

リセット後の値 $X0XX\ XXXX_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnCIRE	CSIHnEOJ	CSIHnEDL	—	—	—	—	—	CSIHnCS7	CSIHnCS6	CSIHnCS5	CSIHnCS4	CSIHnCS3	CSIHnCS2	CSIHnCS1	CSIHnCS0
リセット後の値	—	—	—	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.26 CSIHnTX0W レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnCIRE	デュアルバッファモードまたは送信専用バッファモードのときの通信割り込み要求 INTCSIHTIC または FIFO モードのときのジョブ完了割り込み INTCSIHTIJC を許可します。 0：割り込みを要求しません。 1：割り込みを要求します。送信後、割り込み INTCSIHTIC または INTCSIHTIJC を発生します。詳細については、**「16.4.3 INTCSIHTIC（通信ステータス割り込み）」**と**「16.4.6 INTCSIHTIJC（ジョブ完了割り込み）」**を参照してください。 **注 意** このビットはジョブモードが有効になっているとき（CSIHnCTL1.CSIHnJE = 1）にのみ有効です。
30	CSIHnEOJ	ジョブの終了を指定します。 0：エンドオブジョブデータではないことを示します。ジョブを続行します。 1：エンドオブジョブデータであることを示します。 **注 意** このビットはジョブモードが有効になっているとき（CSIHnCTL1.CSIHnJE = 1）にのみ有効です。 スレーブモードで使用するときこのビットは必ず 0 に設定してください。
29	CSIHnEDL	関連付けられたデータが拡張データ長（EDL）オプションを必要とするかどうかを指定します。 0：通常の動作。 1：拡張データ長を有効にします。 関連付けられたデータは 16 ビットのパケットとして送信されます。データ送信後にデータ間時間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 **注 意** このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。
28 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 16.26 CSIHnTX0W レジスタの内容 (2/2)

ビット位置	ビット名	機能
23 ～ 16	CSIHnCS[7:0]	1 つ以上のチップセレクト信号をアクティブにします。 0：関連付けられた送信に対してチップセレクト信号 x をアクティブにします。 1：関連付けられた送信に対してチップセレクト信号 x を非アクティブにします。 CSIHnTX0W.CSIHnCS[7:0] = FF_H は設定禁止です。 **注 意** 複数のチップセレクト信号がブロードキャスティングに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0（ドミナント）に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップセレクト信号をまったく同じ値に設定にする必要があります。 スレーブモードで使用する場合には CSIHnCS[7:0] ビット = FE_H に設定してください。
15 ～ 0	CSIHnTX[15:0]	送信データを保存します。

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.13 CSIHnTX0H — CSIHn ハーフワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15 ～ 0 と同じです。

転送には、CSIHnTX0W の上位 16 ビットの設定が適用されます。ただし、リセット後は CSIHnTX0W の値が不定ですので、本レジスタの使用前に、CSIHnTX0W に送信データ設定を行ってください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + $100C_H$

リセット後の値　不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.27 CSIHnTX0H レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	CSIHnTX[15:0]	送信データを保存します。

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.14 CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1010_H

リセット後の値 $0XXX\ XXXX_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CSIHn RPE	CSIHn TDCE	CSIHn CS7	CSIHn CS6	CSIHn CS5	CSIHn CS4	CSIHn CS3	CSIHn CS2	CSIHn CS1	CSIHn CS0
リセット後の値	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.28 CSIHnRX0W レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CSIHnRPE	受信データパリティエラーが検出されたかどうかを示します。 0：関連付けられた受信データでパリティエラーが検出されていません。 1：関連付けられた受信データでパリティエラーが検出されています。
24	CSIHnTDCE	送信データ整合性エラーが検出されたかどうかを示します。 0：関連付けられた送信で整合性エラーが検出されていません。 1：関連付けられた送信で整合性エラーが検出されています。
23 ～ 16	CSIHnCSx (x = 7 ～ 0)	どのチップセレクト信号がアクティブになっているかを示します。 0：関連付けられた受信に対してチップセレクト信号 x がアクティブになっています。 1：関連付けられた受信に対してチップセレクト信号 x が非アクティブになっています。
15 ～ 0	CSIHnRX [15:0]	受信データを保存します。

備　考

本レジスタを読み込む場合は、割り込みが発生する 1 シリアルクロック前までに行ってください。

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.15 CSIHnRX0H — CSIHn ハーフワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15 ～ 0 と同じです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1014_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.29 CSIHnRX0H レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	CSIHnRX [15:0]	受信データを保存します。

注 意

本レジスタの設定では、**「表 16.32 レジスタ設定上の注意事項」**を参照してください。

16.3.16 CSIHnEMU — CSIHn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。
（EPC.SVSTOP=0）のときにライト動作を行ってください。

アドレス <CSIHn_base> + 0018_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIHnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 16.30 CSIHnEMU レジスタの内容

ビット位置	ビット名	機能
7	CSIHnSVSDIS	デバッグ時の送受信動作の継続 / 停止を選択します。 • EPC.SVSTOP = 0 のとき 本ビットの設定にかかわらず、送受信動作を継続します。 • EPC.SVSTOP = 1 のとき 0：送受信動作を停止 1：送受信動作を継続
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

本レジスタの設定では、**「表 16.32 レジスタ設定上の注意事項」**を参照してください。

16.3.17　CSIHnBRSy— CSIHn ボーレート設定レジスタ y（y = 0 ～ 3）

チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。CSIHnCFG0 ～ 7.CSIHnBRSSx[1:0] ビットにより、チップセレクト信号ごとに、4 種類の転送クロック周波数設定から 1 つの設定を選択することができます。転送クロック周波数設定の詳細については、**「16.5.5　送信クロックの選択」**を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　CSIHnBRS0: <CSIHn_base> + 1068_H
CSIHnBRS1: <CSIHn_base> + $106C_H$
CSIHnBRS2: <CSIHn_base> + 1070_H
CSIHnBRS3: <CSIHn_base> + 1074_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSIHnBRS[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.31　CSIHnBRSy レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ～ 0	CSIHnBRS [11:0]	0：BRG stopped 1：PCLK / (2^{α} × 1 × 2) 2：PCLK / (2^{α} × 2 × 2) 3：PCLK / (2^{α} × 3 × 2) 4：PCLK / (2^{α} × 4 × 2) ・ ・ ・ 4095：PCLK / (2^{α} × 4095 × 2) α は CSIHnCTL2.CSIHnPRS[2:0] の値です。

注　意

本レジスタの設定では、**「表 16.32　レジスタ設定上の注意事項」**を参照してください。

16.3.18 注意事項の一覧

表 16.32 レジスタ設定上の注意事項 (1/3)

レジスタ名	ビット名	注意事項
CSIHnCTL0	CSIHnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIHnCTL0	CSIHnTXE CSIHnRXE	CSIHnCTL0.CSIHnPWR = 0 の間、これらのビットのいずれも変更しないでください。（これらのビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。）実行中の通信が中断されると、設定した動作が保証されないので、CSIHnSTR0.CSIHnTSF = 1 の間、これらのビットを変更しないでください。
CSIHnCTL0	CSIHnJOBE	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。 CSIHnCTL1.CSIHnJE = 1 のときのみ、このビットは有効です。 このビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL0	CSIHnMBS	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。（このビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。） このビットの変更は CSIHnSTR0.CSIHnTSF = 0 のときのみ許可されます。 CSIHnCTL0.CSIHnPWR = 1 であるときに、FIFO モードと、ダイレクトアクセスモード間でのモードの変更をしないでください。 CPU 制御による高優先通信を実施している期間は、CSIHnMBS ビット設定に関わらずダイレクトアクセスモードと同じ動作を行います。
CSIHnCTL1	CSIHnCKR	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 CS が使用されていない場合、CSIHnCFGx.CSIHnCKPx の代わりにこのビットを使用し、CSIHnCFGx.CSIHnCKPx は 0 に設定してください。 スレーブモードでは、このビットを使用してください。
CSIHnCTL1	CSIHnSLIT CSIHnCSL[7:0] CSIHnEDLE CSIHnDCS CSIHnCSRI CSIHnHSE	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。
CSIHnCTL1	CSIHnPHE CSIHnJE CSIHnLBM	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 本ビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL1	CSIHnSSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットを 1 に設定することは、マスタモードでは禁止されます。
CSIHnCTL1	CSIHnSIT	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIHnCTL2	CSIHnPRS[2:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 最大転送クロック周波数の設定は、以下のとおりです。 • マスタモード：10.0MHz（ただし、PCLK/4 以下） • スレーブモード：5.0MHz（ただし、PCLK/6 以下）
CSIHnSTR0	CSIHnSRP[7:0] CSIHnSPF[7:0] CSIHnFLF CSIHnEMF CSIHnTSF CSIHnHPST	書き込みは禁止です。読み出しのみ有効です。
CSIHnSTR0	CSIHnTMOE CSIHnOFE CSIHnDCE CSIHnPE CSIHnOVE	書き込みは禁止です。読み出しのみ有効です。 これらのビットは、CSIHnCTL0.CSIHnPWR = 0 → 1 または CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。
CSIHnSTCR0	CSIHnPCT	通信中にこのビットを 1 に設定すると、実行中の通信は中断されます。
CSIHnMCTL0	CSIHnMMS[1:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0、CSIHnCTL0.CSIHnMBS = 0 のときのみ許可されます。

表 16.32 レジスタ設定上の注意事項 (2/3)

レジスタ名	ビット名	注意事項
CSIHnMCTL0	CSIHnTO[4:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 マスタモードでは、これらのビットを “0” に設定してください。 ダイレクトアクセス、デュアルバッファ、送信専用バッファモードでは、これらのビットを “0” に設定してください。
CSIHnMCTL1	CSIHnFES[6:0] CSIHnFFS[6:0]	通信中に書き込むことは可能です。
CSIHnMCTL2	CSIHnBTST CSIHnND[7:0] CSIHnSOP[6:0]	CSIHnCTL0.CSIHnPWR = 0 のとき、これらのビットへ書き込みすることは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、これらのビットへ書き込みすることは禁止されています。 CSIHnSTR0.CSIHnTSF = 1 のとき、これらのビットへ書き込みすることは禁止されています。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnMRWP0	CSIHnRRA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。 書き込みが必要なときは、送信専用バッファモードでこれらのビットに “0000_H” を設定してください。
CSIHnMRWP0	CSIHnTRWA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnCFGx x = 0 ～ 7	CSIHnBRSSx[1:0] CSIHnRCBx CSIHnIDLx CSIHnIDx[2:0] CSIHnHDx[3:0] CSIHnINx[3:0] CSIHnSPx[3:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、これらのビットを “0” に設定してください。
CSIHnCFGx x = 0 ～ 7	CSIHnPSx[1:0] CSIHnDLSx[3:0] CSIHnDIRx CSIHnDAPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードのときは、CSIHnCFG0 の設定はコンフィギュレーションのために使用されます。そのため、CSIHnCFG1 ～ 7 のすべてビットは "0" に設定されなければなりません。
CSIHnCFGx x = 0 ～ 7	CSIHnCKPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、CSIHnCTL1.CSIHnCKR を使用する必要があるため、本ビットには “0” を設定してください。 CS が使用されていない場合、このビットの代わりに、CSIHnCTL1.CSIHnCKR ビットを使用し、このビットを “0” に設定してください。
CSIHnTX0W	CSIHnEOJ CSIHnCIRE	これらのビットは、CSIHnCTL1.CSIHnJE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnJE = 0 のとき、読み出し値が “1” でも、これらの値は無視されます。 スレーブモードのときは、これらのビットを “0” に設定してください。
CSIHnTX0W	CSIHnEDL	このビットは、CSIHnCTL1.CSIHnEDLE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnEDLE = 0 のとき、読み出し値が “1” でも、これらの値は無視されます。
CSIHnTX0W	CSIHnCS[7:0]	マスタモード時は、これらのビットを “FF_H” に設定することは禁止されています。 スレーブモード時は、これらのビットを “FE_H” に設定してください。
CSIHnTX0W CSIHnTX0H		これらのビットの読み出しは FIFO モードでの通信中は禁止されています。 CSIHnCTL0.CSIHnPWR = 0 かつ FIFO モードのとき、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、ダイレクトアクセスモードでは、これらのビットへの書き込みは、禁止されています。
CSIHnRX0W		これらのビットは CSIHnCTL0.CSIHnPWR = 0 → 1、または、CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR = 0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR = 0 のとき、FIFO モード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）では、これらのビットの書き込み、読み出しは有効です。 CSIHnCTL0.CSIHnPWR = 1 のとき、これらのビットの書き込みは無効です。読み出しのみ有効です。

表 16.32　レジスタ設定上の注意事項 (3/3)

レジスタ名	ビット名	注意事項
CSIHnRX0H		これらのビットは CSIHnCTL0.CSIHnPWR = 0 → 1、または、CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR = 0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR=1 のとき、FIFO モードでは、これらのビットの書き込みは無効です。読み出しのみ有効です。 CSIHnCTL0.CSIHnPWR の値にかかわらず、FIFO モード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）では、これらのビットの書き込みは無効です。読み出しのみ有効です。
CSIHnEMU	CSIHnSVSDIS	このビットの値の変更は、SVSTOP = 0 のときのみ許可されます。
CSIHnBRSy y = 0 ～ 3		これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。

16.4 割り込み要因

CSIH は以下の割り込み要求を発生することができます。

- INTCSIHTIC（通信ステータス割り込み）
- INTCSIHTIR（受信ステータス割り込み）
- INTCSIHTIRE（通信エラー割り込み）
- INTCSIHTIJC（ジョブ完了割り込み）

16.4.1 概要

エラーが検出されると、通信エラー割り込み INTCSIHTIRE が発生します。ほかの割り込みが発生する条件は、メモリモード、ジョブモードによって異なり、ジョブ完了割り込み INTCSIHTIJC の場合は動作モードによっても異なります。

ジョブ完了割り込み INTCSIHTIJC は、ジョブモードが有効になっているとき（CSIHnCTL1.CSIHnJE = 1）にのみ発生します。スレーブモードでこの割り込みを利用することはできません。

割り込みの概要を以下の表に示します。

表 16.33 割り込みの発生 (1/2)

メモリモード	割り込み	割り込み要因	
		ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	INTCSIHTIC	Tx データエンプティ注1	Tx データエンプティ注1 ジョブ中断注4 時を除く
	INTCSIHTIR	Rx データフル注2 かつ CSIHnCTL0.CSIHnRXE = 1	Rx データフル注2 かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC注3	適用不可	CSIHnTX0W.CSIHnCIRE = 1 （Tx データエンプティではないとき）またはジョブ中断注4
送信専用バッファ	INTCSIHTIC	通信終了	CSIHnTX0W.CSIHnCIRE = 1かつ（CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W.CSIHnEOJ = 0）のとき
	INTCSIHTIR	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC注3	適用不可	ジョブ中断注4
デュアルバッファ	INTCSIHTIC	通信終了	CSIHnTX0W.CSIHnCIRE = 1かつ（CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W.CSIHnEOJ = 0）のとき
	INTCSIHTIR	通信終了かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC注3	適用不可	ジョブ中断注4

表 16.33　割り込みの発生 (2/2)

メモリモード	割り込み	割り込み要因	
		ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
ダイレクトアクセス	INTCSIHTIC	1 データ転送	1データ転送（ジョブ中断注4の状態を除く）
	INTCSIHTIR	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC注3	適用不可	ジョブ中断注4

注 1.　「Tx データエンプティ」とは、CSIHnMCTL1.CSIHnFES[6:0] で定義される FIFO の充填レベルです。
注 2.　「Rx データフル」とは、CSIHnMCTL1.CSIHnFFS[6:0] で定義される FIFO の充填レベルです。
注 3.　スレーブモードでは INTCSIHTIJC は利用できません。
注 4.　ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1
送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

16.4.2　割り込み遅延

マスタモードでは、マスタから発生するすべての割り込みを送信クロック CSIHTSCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIHnCTL1.CSIHnSIT = 1 に設定します（スレーブモードでは CSIGnSIT ビットの設定は無効です）。

CSIHnCTL1.CSIHnSIT = 1（割り込み遅延有効）、CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSIHnDAPx = 0（クロック位相とデータ位相）、CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B（データ長 8 ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

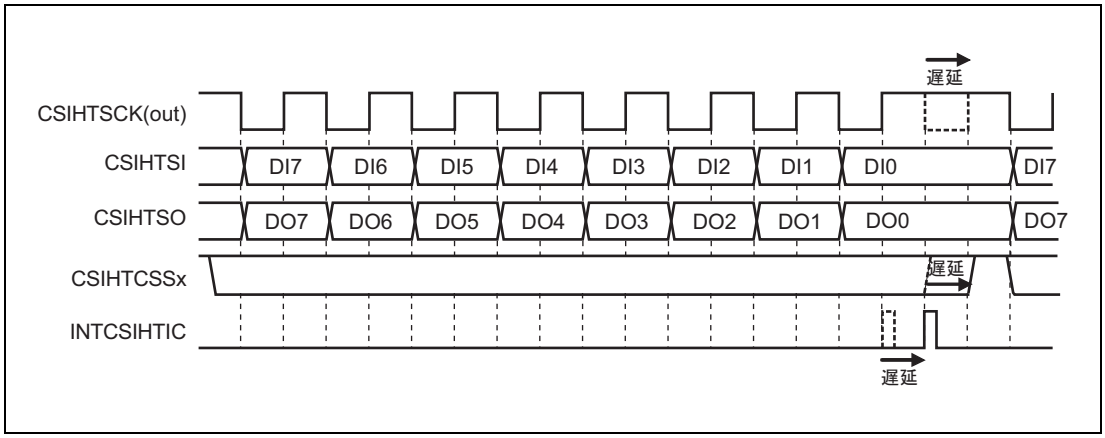


図 16.2　　割り込み遅延機能（CSIHnCTL1.CSIHnSIT = 1）

CSIHnCTL1.CSIHnSIT = 1 に設定すると、送信クロックに半周期の遅延が追加されます。これによって現在のチップセレクト信号（CSIHTCSSx）の終了も遅延します。

16.4.3 INTCSIHTIC（通信ステータス割り込み）

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 16.34 INTCSIHTIC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	この割り込みは、FIFO 内の送信データがなくなる直前に発生し、新しいデータを追加する必要があることをアプリケーションに知らせます。 FIFO に残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなると INTCSIHTIC が発生します。	JE = 0 のときと同様に、FIFO に残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなったとき発生しますが、ジョブ中断の場合は発生しません。
送信専用バッファ、デュアルバッファ	通信終了時（CSIHnMCTL2.CSIHnND[7:0] ビットで指定）に発生します。	CSIHnTX0W.CSIHnCIRE = 1 の設定でデータが送信されたときに発生します。 ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断[注1] が送信された場合は、INTCSIHTIC の代わりに割り込み INTCSIHTIJC が発生します。
ダイレクトアクセス	データ転送が 1 回行われるたびに発生します。	通信が中断された場合を除き、データ転送が 1 回行われるたびに発生します。

注 1. ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1
送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

16.4.3.1 ダイレクトアクセスモードでの INTCSIHTIC

以下の例はダイレクトアクセスモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 通常の INTCSIHTIC 割り込みのタイミング（CSIHnCTL1.CSIHnSLIT = 0）

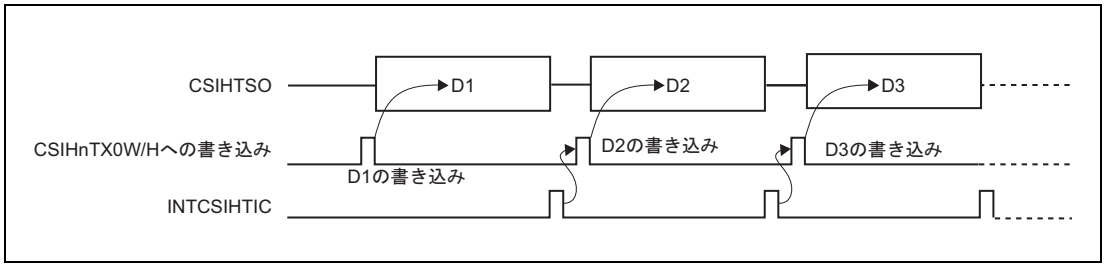


図 16.3　転送後の INTCSIHTIC の発生（CSIHnCTL1.CSIHnSLIT = 0）

ジョブモードが有効になっており（CSIHnCTL1.CSIHnJE = 1）、CSIHnTX0W.CSIHnEOJ = 1 の設定でデータが送信され、通信停止の要求が発行されている（CSIHnCTL0.CSIHnJOBE = 1）状態でジョブが終了した場合、INTCSIHTIC はジョブ完了割り込み INTCSIHTIJC に置き換えられます。

CSIHnTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INTCSIHTIC が発生するように設定することもできます。そうするには、CSIHnCTL1.CSIHnSLIT = 1 に設定します。

以下の図にその効果を示します。

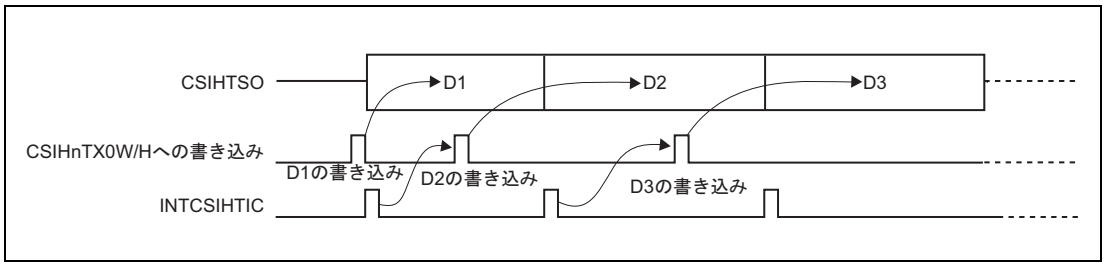


図 16.4 INTCSIHTIC の即時発生（CSIHnCTL1.CSIHnSLIT = 1）

このように、新しいデータを先行して書き込むことができます。

備 考

送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

16.4.3.2 FIFO モードでの INTCSIHTIC

以下の例は FIFO モードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- FIFO モード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）

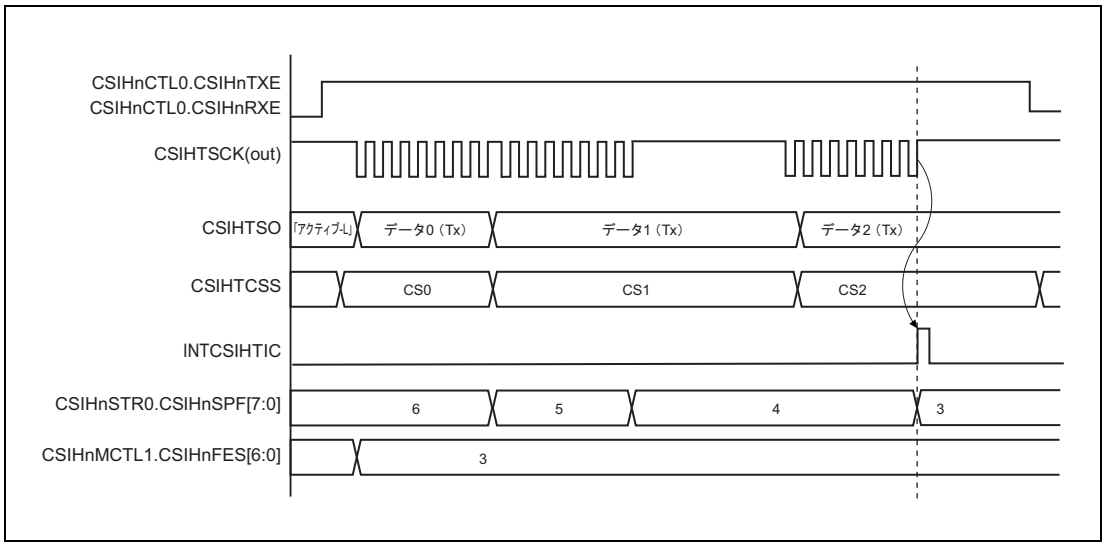


図 16.5 FIFO メモリモードでの INTCSIHTIC の発生

「FIFO エンプティ」の条件は CSIHnMCTL1.CSIHnFES[6:0] で指定します。上の図の例では、FIFO に残っている未送信の送信データの数が 3 に設定されています。
CSIHnSTR0.CSIHnSPF[7:0] は未送信のデータの数を示します。両方の数が一致すると、割り込み INTCSIHTIC が発生します。

16.4.3.3 ジョブモードでの INTCSIHTIC

以下の例はジョブモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ジョブモード有効（CSIHnCTL1.CSIHnJE = 1）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 通常の INTCSIHTIC 割り込みのタイミング（CSIHnCTL1.CSIHnSLIT = 0）

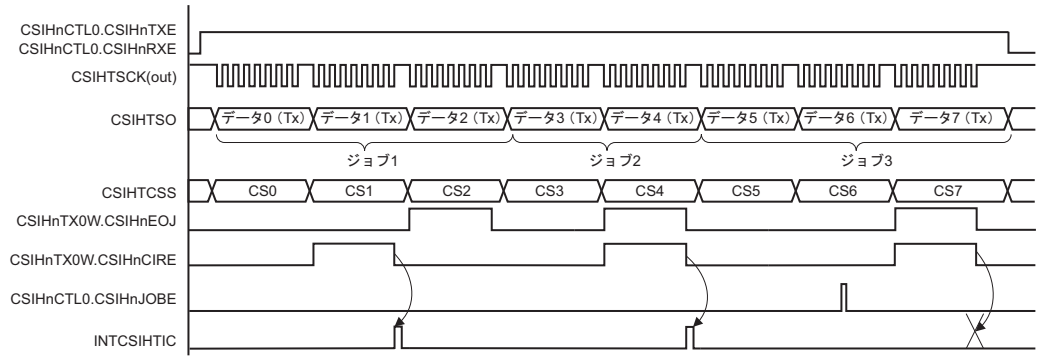


図 16.6　ジョブモードでの INTCSIHTIC の発生

ジョブモードでの INTCSIHTIC の発生に適用される規則を以下の表に示します。

表 16.35 ジョブモードでの INTCSIHTIC の発生

CSIHnTX0W. CSIHnEOJ	CSIHnTX0W. CSIHnCIRE	INTCSIHTIC
0	0	発生しません。
0	1	発生します。
1	0	発生しません。
1	1	CSIHnCTL0.CSIHnJOBE = 0：発生します。
		CSIHnCTL0.CSIHnJOBE = 1：発生せず、割り込み INTCSIHTIJC に置き換えられます。

16.4.4 INTCSIHTIR（受信ステータス割り込み）

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 16.36 INTCSIHTIR 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、CSIHnCTL0.CSIHnRXE = 1 のとき、FIFO バッファが受信データでフルになる直前に発生し、FIFO を空にする必要があることをアプリケーションに知らせます。 FIFO に残っている受信データの数 CSIHnSTR0.CSIHnSRP[7:0] が (128 – CSIHnMCTL1.CSIHnFFS[6:0]) と等しくなると INTCSIHTIR が発生します。	
デュアルバッファモード	通信が終了し（CSIHnMCTL2.CSIHnND[7:0] ビットで指定）、かつ CSIHnCTL0.CSIHnRXE = 1 であれば発生します。	データ転送が 1 回行われるたびに発生します。
送信専用バッファモード ダイレクトアクセスモード	データ転送が 1 回行われるたびに発生します。	

16.4.4.1 ダイレクトアクセスモードでの INTCSIHTIR

以下の例はダイレクトアクセスモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）

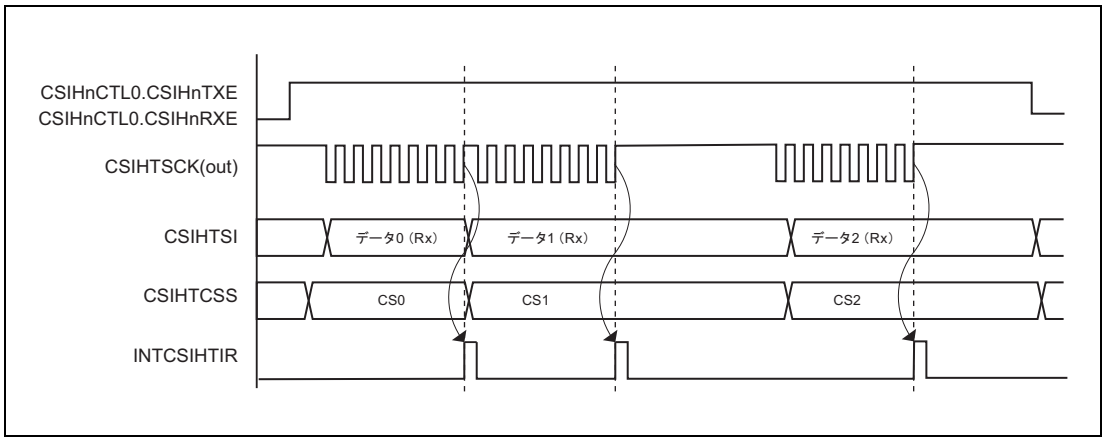


図 16.7 ダイレクトアクセスモードでの INTCSIHTIR の発生

16.4.4.2　デュアルバッファモードでの INTCSIHTIR

以下の例はデュアルバッファモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- デュアルバッファモード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- デフォルトのクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）

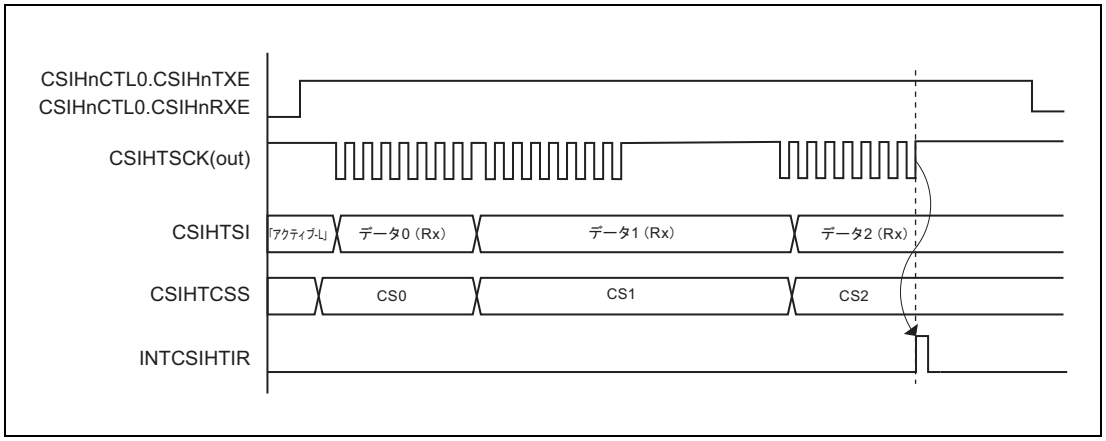


図 16.8　デュアルバッファモードでの INTCSIHTIR の発生

16.4.5 INTCSIHTIRE（通信エラー割り込み）

この割り込みはエラーが検出されるたびに発生します。

割り込み発生タイミングは、**「16.5.12 エラー検出」**を参照ください。

表 16.37 データエラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
オーバフローエラー	割り込みが発生しても通信は継続します。	FIFO バッファに書き込まれず、オーバーフローしたデータは失われますが、エラー発生前に開始された通信は継続して行われます。
パリティエラー	割り込みが発生しても通信は継続します。	—
データ整合性エラー	割り込みが発生しても通信は継続します。	—
タイムアウトエラー	割り込みが発生しても通信は継続します。	—
オーバランエラー	（エラー発生条件 1） FIFO モードで受信データの数が 0 になった状態で CPU が CSIHnRX0W/H レジスタをリードすると、割り込みが発生します。通信は継続します。	—
	（エラー発生条件 2） スレーブモードで CSIHnCTL1.CSIHnHSE = 0（ハンドシェークなし）の場合、 [1] ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合、割り込みが発生します。通信は継続します。 [2] FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合、割り込みが発生します。通信は継続します。	スレーブモードで CSIHnCTL1.CSIHnHSE = 1（ハンドシェークあり）の場合は、ハンドシェークにより通信が停止するため、オーバランエラーは発生しません。

INTCSIHTIRE が発生する原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティエラーフラグとデータ整合性エラーフラグが添付されます。

さまざまなエラータイプの詳細については、**「16.5.12 エラー検出」**を参照してください。

16.4.6 INTCSIHTIJC（ジョブ完了割り込み）

この割り込みはジョブの処理に対応しています。**「16.5.3.3 ジョブ概念」**を参照してください。この割り込みはマスタモードでのみ利用できます。

ジョブモードは CSIHnCTL1.CSIHnJE = 1 に設定することによって有効になります。CSIHnCTL1.CSIHnJE = 0 の場合、INTCSIHTIJC は発生しません。

この割り込みが発生する条件は、以下に示すように、メモリモードによって異なります。

表 16.38 INTCSIHTIJC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	適用不可	ジョブ中断[注1]がトリガされたあと、ジョブの終了時に通信が停止したことを示します。 FIFOempty が検出されていない場合は、CSIHnCIRE = 1 のときに INTCSIHTIJC が発生します。
送信専用バッファ		ジョブ中断[注1]がトリガされたあと、ジョブの終了時に通信が停止したことを示します。
デュアルバッファ		
ダイレクトアクセス		

注 1.　ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

16.5 動作

16.5.1 動作モード（マスタ／スレーブ）

CSIH がマスタモードまたはスレーブモードのどちらで動作するかでシリアルクロックのソースが異なります。

16.5.1.1 マスタモード

マスタモードでは、シリアル送信クロックが内蔵のボーレートジェネレータ（BRG）によって生成され、CSIHTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIHnCTL2.CSIHnPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIHnCTL2. CSIHnPRS[2:0] ビットと CSIHnBRSy.CSIHnBRS[11:0] ビットを組み合わせて設定することで BRG の周波数を設定できます。

(1) チップセレクト信号

マスタモードでは、1 つ以上のチップセレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップセレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップセレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、**「16.5.3 チップセレクト（CS）機能」**を参照してください。

(2) クロックのデフォルト設定

CSIHTSCK のデフォルトレベルは、CSIHTSCK のクロック反転機能ビットの状態によって異なります。CSIHTSCK のデフォルトレベルは、CSIHnCTL1.CSIHnCKR = 0 であればハイレベルであり、CSIHnCTL1.CSIHnCKR = 1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIHnCTL1.CSIHnCKR = 0、CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSIHnDAPx = 0、MSB ファーストのときのマスタモードの通信を示しています。

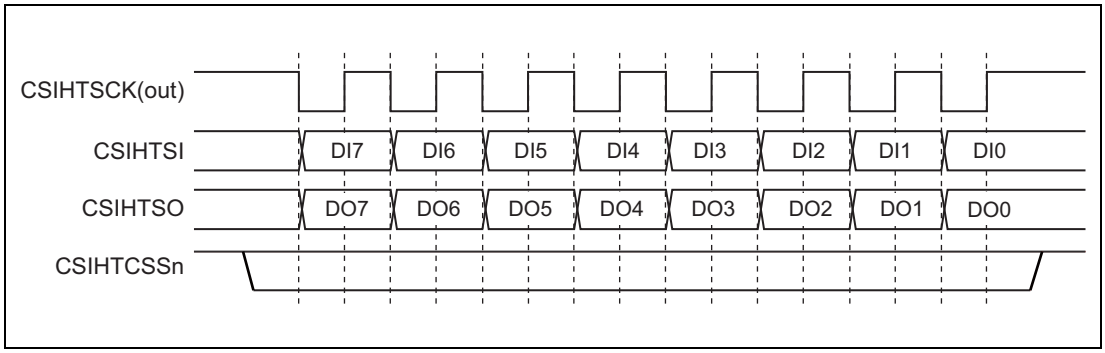


図 16.9 マスタモードでの送受信

16.5.1.2　スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになり、送信クロックが供給されます。クロック信号を検出すると、ただちに通常どおりの送信動作または受信動作が開始されます。

スレーブモードは、CSIHnCTL2.CSIHnPRS[2:0] ビットを 111_B に設定することによって選択されます。

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります（CSIHnCFG1-CSIHnCFG7 レジスタの設定は無効となります）。

- CSIHnPSx[1:0]：パリティの使用法
- CSIHnDLSx[3:0]：データ長の選択
- CSIHnDIRx：データ方向
- CSIHnCKPx、CSIHnDAPx：クロック位相とデータ位相

備　考

スレーブモードを使用するときは、CSIHnBRSy.CSIHnBRS[11:0] ビットを 000_H に設定することによってボーレートジェネレータ（BRG）を無効にします。ただし、タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0] ビットに、000_H 以外の値を設定してください。

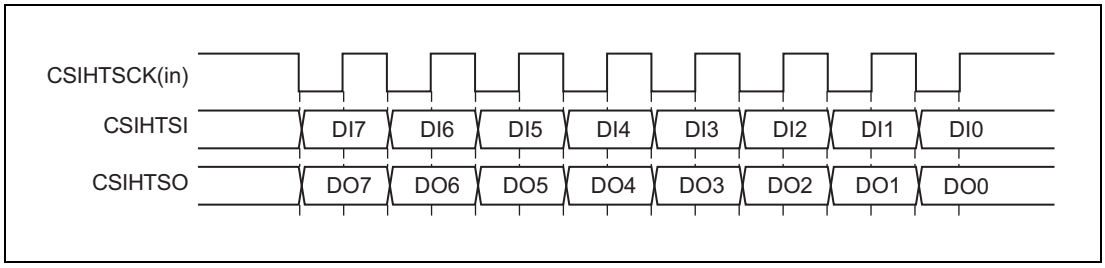


図 16.10　スレーブモードでの送受信

16.5.2 マスタ／スレーブの接続

16.5.2.1 マスタ 1、スレーブ 1 の場合

以下の図は、1 つのマスタと 1 つのスレーブの間の接続を示しています。

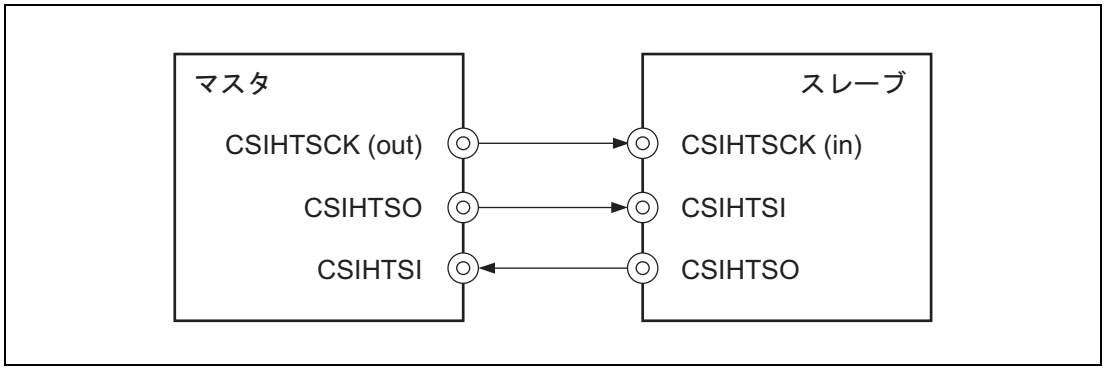


図 16.11 マスタ／スレーブの直接接続

16.5.2.2 マスタ 1、スレーブ複数の場合

以下の図は、1 つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに 1 つずつチップセレクト（CS）信号を供給します。この信号は、スレーブのスレーブ選択入力 $\overline{\text{CSIHTSSI}}$ に接続されます。

$\overline{\text{CSIHTSSI}}$ 信号は、CSIHnCTL1.CSIHnSSE ビットを使用して有効または無効にすることができます。

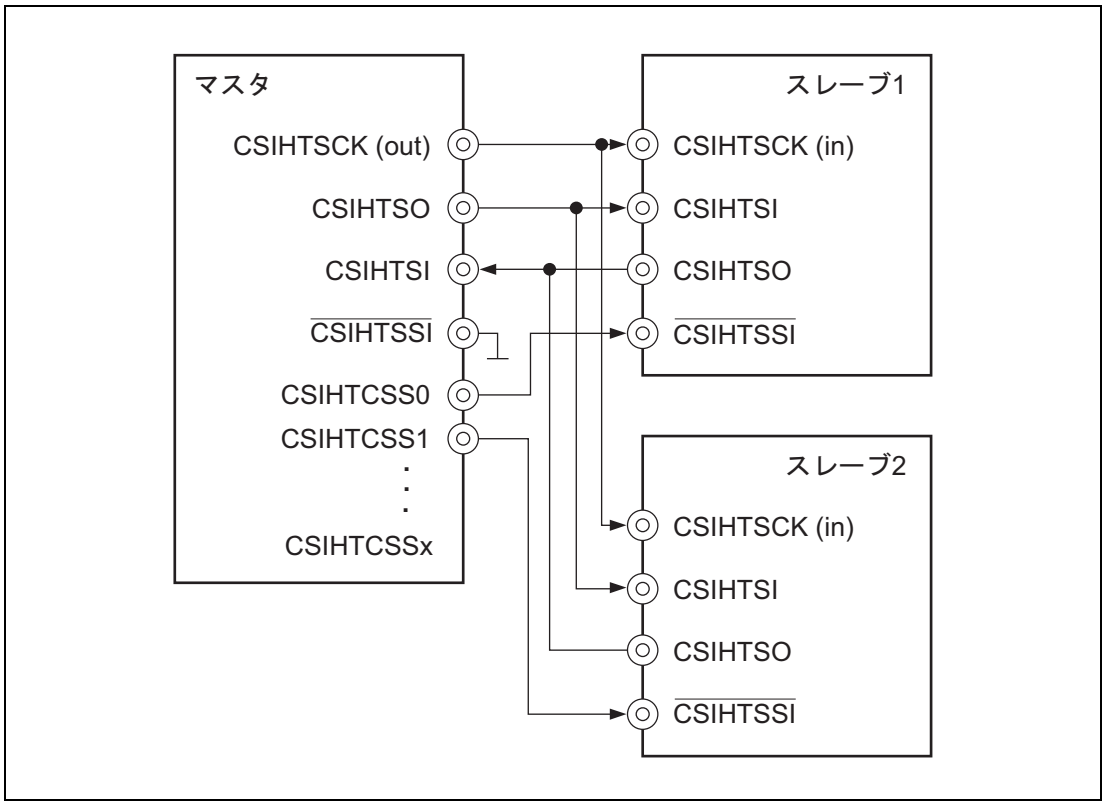


図 16.12 1 つのマスタと複数のスレーブの間の接続

デフォルトのチップセレクトレベルはアクティブロウです。つまり、スレーブの $\overline{\text{CSIHTSSI}}$ 信号がロウレベルになっていると、そのスレーブが CSIH スレーブとして選択されます（有効になります）。ただし、CS をほかのデバイスに適合させるために、チップセレクト信号の出力レベルがアクティブハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている（CSIHnCTL0.CSIHnTXE = 1）とき、選択されていないスレーブの出力 CSIHTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

16.5.3 チップセレクト（CS）機能

マスタはチップセレクト信号 CSIHTCSSx を使用して 1 つ以上のスレーブを通信相手として選択することができます。

16.5.3.1 コンフィギュレーションレジスタ

各チップセレクト信号 CSIHTCSSx のパラメータは、対応するコンフィギュレーションレジスタ CSIHnCFGx で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。
（CSIHnCFGx.CSIHnDLSx[3:0]）
- 転送方向：MSB ファーストまたは LSB ファースト。
（CSIHnCFGx.CSIHnDIRx）
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
（CSIHnCFGx.CSIHnPSx[1:0]）
- クロック位相とデータ位相。（CSIHnCFGx.CSIHnCKPx, CSIHnCFGx.CSIHnDAPx）

マスタモードでのみ利用可能な各チップセレクト信号の付加的なパラメータを以下に示します。

- 各チップセレクト信号個別のボーレートジェネレータのプリスケーラ選択。
（CSIHnCFGx.CSIHnBRSSx[1:0]）
- チップセレクト優先度：チップセレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップセレクト信号がメッセージブロードキャスティング用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。（CSIHnCFGx.CSIHnRCBx）

この原則は、「RCB（Recessive Configuration for Broadcasting）」とも呼ばれます。

注 意

複数のチップセレクト信号をドミナントに指定するときは、必ずすべてのドミナント信号を同じ設定にしてください。

- チップセレクトのタイミング
  - セットアップ時間 T_{setup}：CS 信号をアクティブに設定してからデータの出力が開始されるまでの時間。
（CSIHnCFGx.CSIHnSPx[3:0]）
  - データ間時間 T_{inter}：同じ CS 信号がアクティブになっている間の 1 つのデータと次のデータの間の時間。
（CSIHnCFGx.CSIHnINx[3:0]）
  - ホールド時間 T_{hold}: CS が切り替わるまでの CS 信号がアクティブの状態のままの時間。
（CSIHnCFGx.CSIHnHDx[3:0]）
  - アイドル時間 T_{idle}：CS 信号が終了したあと、または同じ CSx への 1 回ごとのデータ転送が完了したあとの非アクティブ時間。（CSIHnCFGx.CSIHnIDx[2:0]）

以下の図に CS のセットアップ時間、データ間時間、ホールド時間、アイドル時間のタイミングを示します。CSIHnCFGx.CSIHnIDLx ビットに 1 を設定した場合、CS 信号に関係なく 1 転送ごとにアイドル時間を挿入します。

CSIHTCSS1 信号と CSIHTCSS2 信号がデフォルトのアクティブロウ（CSIHnCTL1. CSIHnCSL1 ビット = 0, CSIHnCTL1.CSIHnCSL2 ビット =0）に設定した場合の例を**図 16.13** に示します。アクティブレベルは CS ごとに個別に指定することができます。

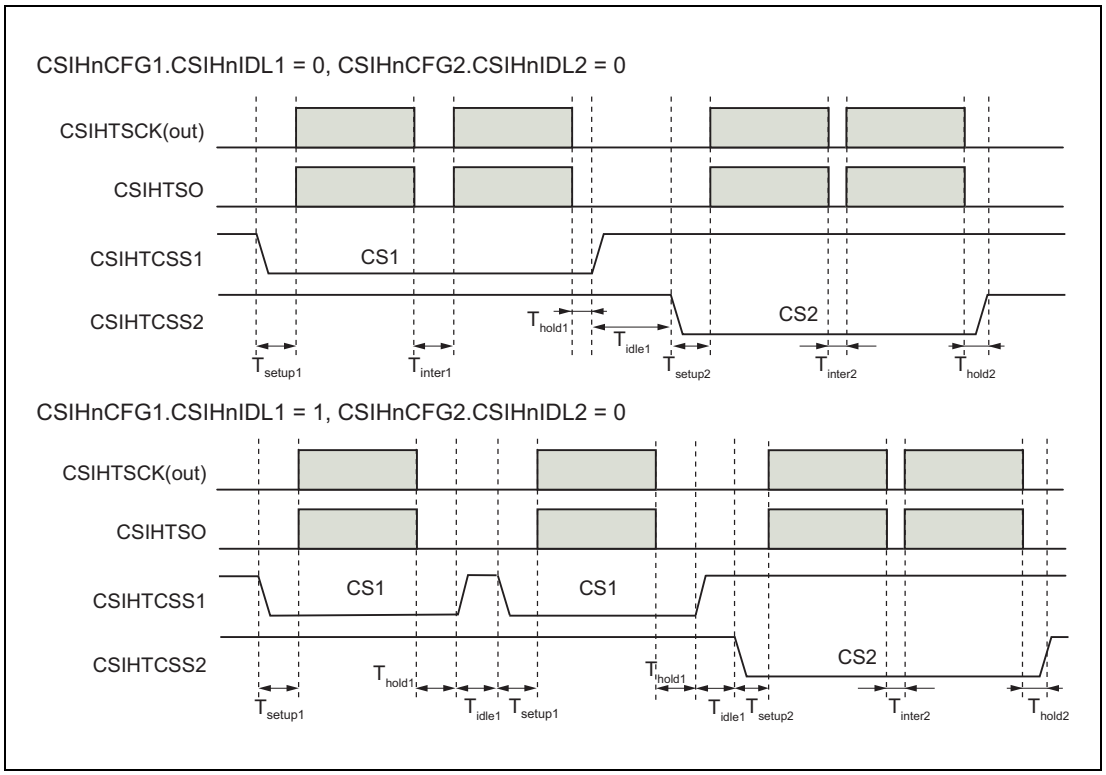


図 16.13　チップセレクトのタイミング

セットアップ時間、データ間時間、ホールド時間、アイドル時間を CS 信号ごとに個別に設定できる点に注意してください。

特定のチップセレクト信号をアクティブにするには、送信レジスタ CSIHnTX0W.CSIHnCSx の対応するビットをセットします。

受信レジスタの CSIHnRX0W.CSIHnCSx は、受信データに関連付けられたチップセレクト信号を示します。

注　意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE = 1) で、低優先通信モードから高優先通信モードに移行するときと、高優先通信モードから低優先通信モードに移行するときは、IDLn ビット設定に関わらず IDLE ステートが挿入されます。

16.5.3.2 CS の例

以下の図は 2 回続けてデータを送信する例を示しています。

最初の通信では CS0 を使用して 1 つのスレーブと通信しています。2 番目の通信では CS0 と CS1 を有効にして 2 つのスレーブにメッセージをブロードキャストしています。CS0 の優先度は「リセッシブ：低優先度」に設定されており、CS1 の優先度は「ドミナント：高優先度」に設定されています。よって、2 番目の通信はドミナントに設定されている CS1 の設定を用いて行われます。

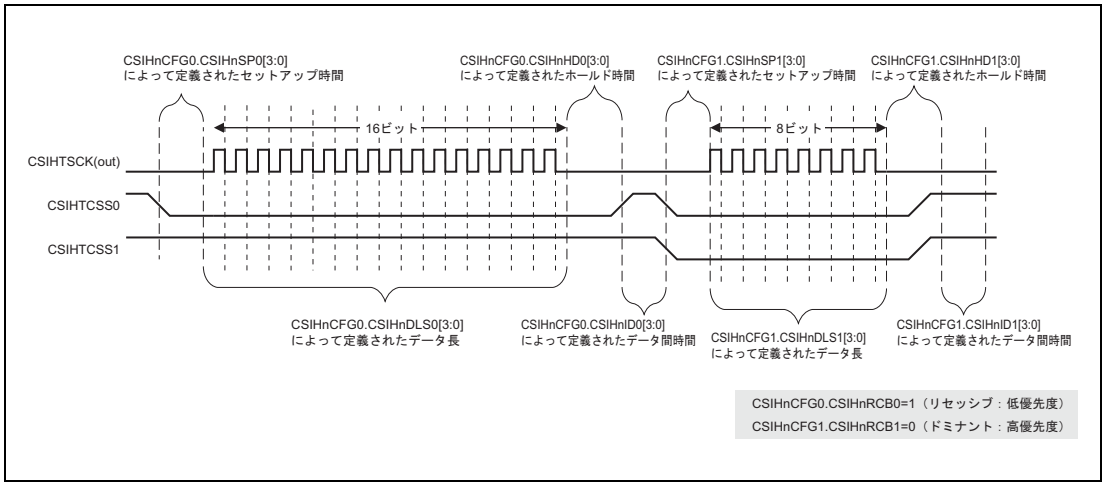


図 16.14 チップセレクトと RCB の例

16.5.3.3 ジョブ概念

CSIH でいうジョブは、転送の対象となる複数のデータから構成されます。

ジョブモードの有効化

ジョブモードはマスタモードでのみ有効になります。CSIHnCTL0.CSIHnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブモードを有効または無効にします。

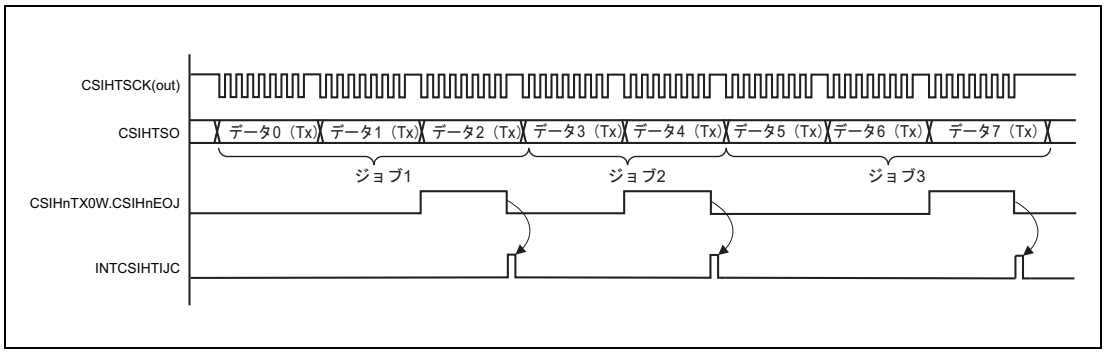


図 16.15 ジョブの例

CSIHnTX0W.CSIHnEOJ = 1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOBE をセットします。CSIHnJOBE がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み INTCSIHTIJC が発生します。

16.5.4 チップセレクトのタイミングの詳細

16.5.4.1 クロック位相の変更

CSIHnCFGx.CSIHnCKPx によって指定されたシリアルクロックレベルを通信停止中に変更することができます。アイドル時間の最小値は送信クロック（CSIHTSCK(out)）の 1 周期です。

CSIHnCFGx.CSIHnIDx[2:0] でアイドル時間が 0.5 送信クロック周期に設定されており、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータが連続して送信されると、アイドル時間が自動的に CSIHTSCK(out) の 1 周期に延長されます。

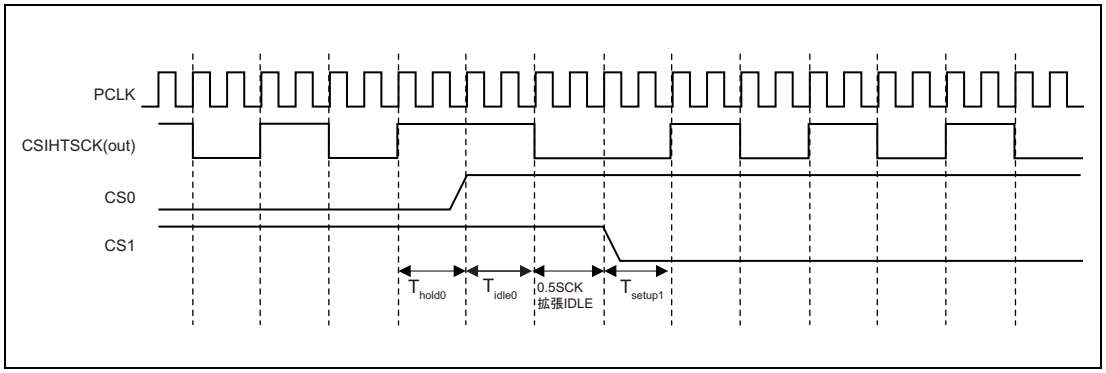


図 16.16 クロック位相のタイミング（PCLK/4、$T_{hold}0 = T_{setup1}$ = 0.5CSIHTSCK、T_{idle0} = 0.5CSIHTSCK、CSIHnCFG0.CSIHnCKP0 = 0（CSIHTCSS0）→ CSIHnCFG1.CSIHnCKP1 = 1（CSIHTCSS1）の場合）

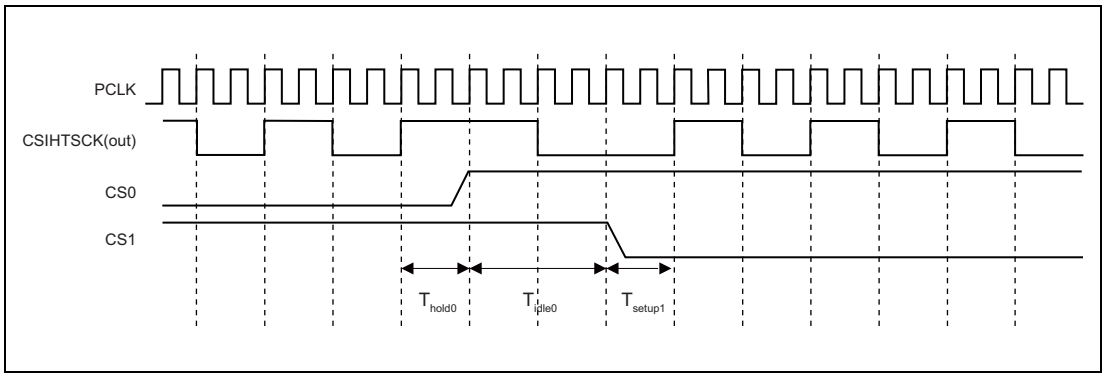


図 16.17 クロック位相のタイミング（PCLK/4、$T_{hold}0 = T_{setup1}$ = 0.5CSIHTSCK、T_{idle0} = 1CSIHTSCK、CSIHnCFG0.CSIHnCKP0 = 0（CSIHTCSS0）→ CSIHnCFG1.CSIHnCKP1 = 1（CSIHTCSS1）の場合）

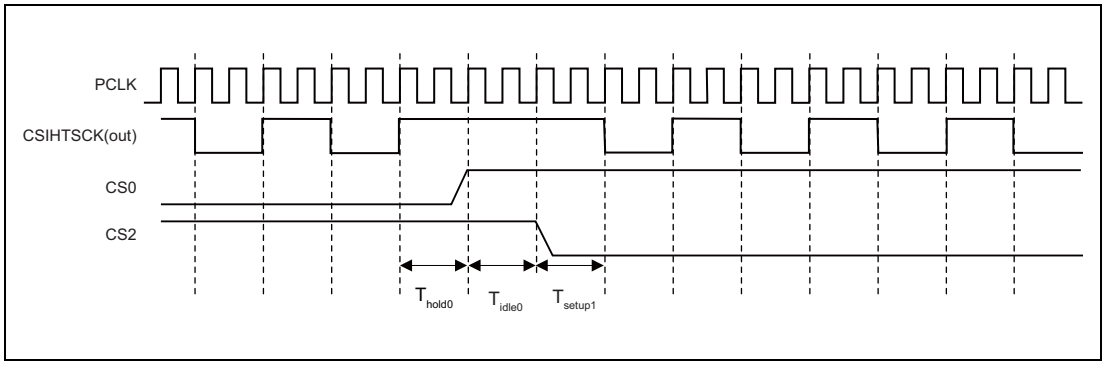


図 16.18 クロック位相のタイミング（PCLK/4、$T_{hold}0 = T_{setup1}$ = 0.5CSIHTSCK、T_{idle0} = 0.5CSIHTSCK、CSIHnCFG0.CSIHnCKP0 = 0（CSIHTCSS0）→ CSIHnCFG2.CSIHnCKP2 = 0（CSIHTCSS2）の場合）

16.5.4.2 データ位相の変更

CSIHnCFGx.CSIHnDAPx ビットでは、クロックを基準とするデータビットの位相を定義します。

CSIHnCFGx.CSIHnDAPx ビットとホールド／セットアップ期間の関係は次の通りになります。

ホールド期間は、CSIHnCFGx.CSIHnDAPx の設定に関係なく、シリアルクロック（CSIHTSCK）の最後のエッジから CSIHTCSS[7:0] がインアクティレベルになるまでの期間です。

セットアップ期間は、CSIHTCSS[7:0] がアクティブレベルになるときから送信データ（CSIHTSO）が出力されるまでの期間です。

従って、CSIHnCFGx.CSIHnDAPx の設定によりシリアルクロック（CSIHTSCK）のエッジが出力されるまで 0.5 CSIHTSCK 分のずれがあります。

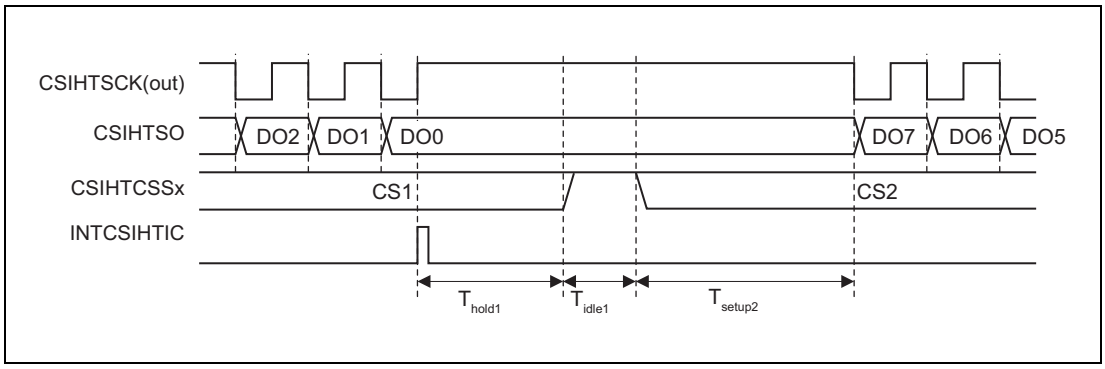


図 16.19 データ位相のタイミング（CSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 0 かつ CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 0 の場合）

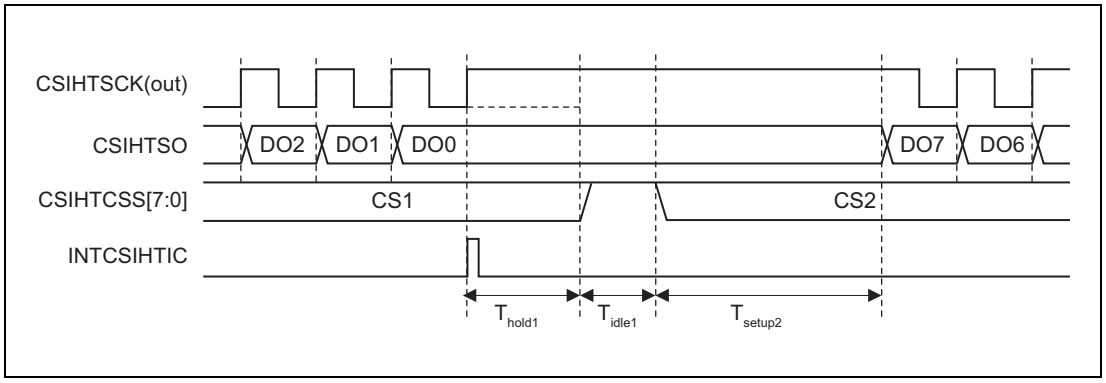


図 16.20　データ位相のタイミング
（CSIHnCFG1.CSIHnCKP1 = 1、CSIHnCFG1.CSIHnDAP1 = 0 かつ CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 1 の場合）

16.5.5 送信クロックの選択

マスタモードでは、以下のビットを使って転送クロック周波数を選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnBRSy.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnBRSSx[1:0]

送信クロック CSIHTSCK の転送クロック周波数は、CSIHnCTL2.CSIHnPRS[2:0] の設定と、CSIHnBRSy.CSIHnBRS[11:0] の設定によって決まりますが、CSIHnCFGx.CSIHnBRSSx[1:0] によってチップセレクト信号ごとに CSIHnBRS3 ～ CSIHnBRS0 の 4 種類のうちいずれか 1 つの設定を選択することができます。

ボーレートジェネレータのブロック図を以下に示します。

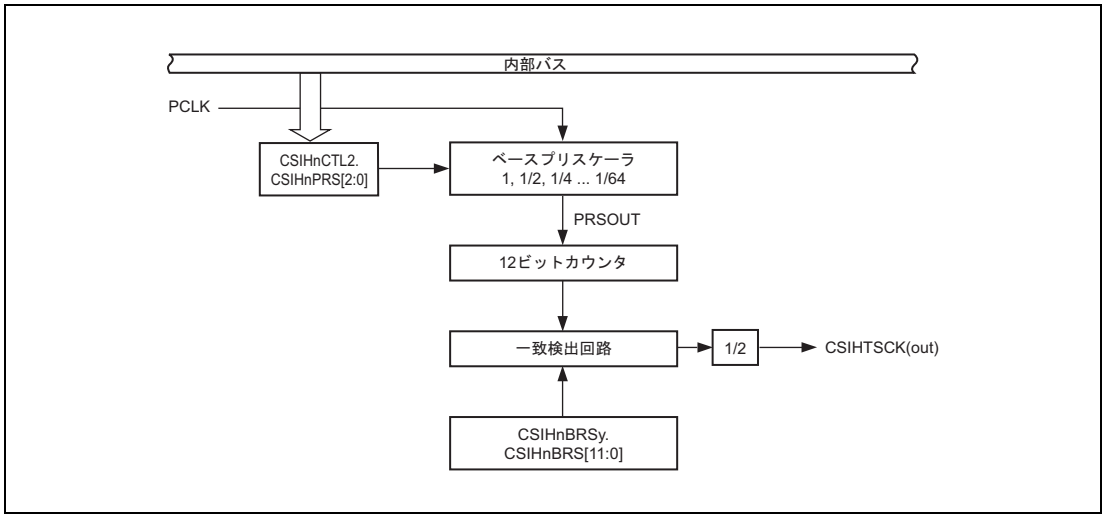


図 16.21 ボーレートジェネレータのブロック図

CSIHnBRSy.CSIHnBRS[11:0] に 000_H に設定すると、ボーレートジェネレータが無効になり、すべての CSIHTSCK が停止します。

転送クロック周波数の計算

マスタモード時の転送クロック周波数は以下の式で計算します。

転送クロック周波数 (CSIHTSCK) = PCLK / (PCLK の分周比) ＝ PCLK / ($2^{\alpha} \times k \times 2$)

ただし、

α = CSIHnCTL2.CSIHnPRS[2:0] = 0 ～ 6

k = CSIHnBRS0.CSIHnBRS0[11:0] = 1 ～ 4095
(CSIHnCFGx.CSIHnBRSSx[1:0] = 0 のとき）
CSIHnBRS1.CSIHnBRS1[11:0] = 1 ～ 4095
(CSIHnCFGx.CSIHnBRSSx[1:0] =1 のとき）
CSIHnBRS2.CSIHnBRS2[11:0] = 1 ～ 4095
(CSIHnCFGx.CSIHnBRSSx[1:0] =2 のとき）
CSIHnBRS3.CSIHnBRS3[11:0] = 1 ～ 4095
(CSIHnCFGx.CSIHnBRSSx[1:0] =3 のとき）

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- 転送クロックの最小周波数は、マスタ・スレーブモードともに PCLK / 524160 です。
- 転送クロックの最大周波数は、以下の通りです。
  - マスタモード：10.0MHz（ただし、PCLK/4 以下）
  - スレーブモード：5.0MHz（ただし、PCLK/6 以下）

16.5.6 CSIH のバッファメモリ

CSIH はバッファ I/O として使用できる設定可能な RAM を備えています。サイズは 128 ワードです。1 ワードは 32 ビットのデータと 7 ビットの ECC から構成されます。

以下の設定が可能です。

モード	CSIHnCTL0. CSIHnMBS	CSIHnMCTL0. CSIHnMMS[1:0]
FIFO モード	0	00_B
デュアルバッファモード		01_B
送信専用バッファモード		10_B
ダイレクトアクセスモード	1	X

16.5.6.1 FIFO モード

FIFO モードでは、FIFO フルになっていなければ、送信の完了を待たずに CSIHnTX0W レジスタにデータを書き込んだり、受信後ただちに CSIHnRX0W レジスタを読み出さなくてもデータを受信したりすることができます。

送信されるデータは FIFO メモリに保存されます。送信と受信は同時に行われ、1 データが送信されると同時に 1 データが受信されます。つまり、受信データは FIFO 内の送信済みデータを上書きします。

CSIH は、データが FIFO メモリに書き込みされたとき、読み出しされたとき、またはデータが FIFO メモリから送受信されたときに、それぞれに対応する FIFO メモリポインタを自動的に更新します。

表 16.39 FIFO モード

ポインタの説明	ポインタ注 1	範囲
未送信ワード数	CSIHnSTR0.CSIHnSPF[7:0]	0 ～ 128
受信して FIFO に格納されているワード数	CSIHnSTR0.CSIHnSRP[7:0]	0 ～ 128
送信データの書き込み / 読み出しのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000_H ～ $01FC_H$
受信データの読み出しのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000_H ～ $01FC_H$
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000_H ～ $01FC_H$

注 1. 1 回の書き込み、読み出し、またはデータの送受信ごとに、自動的に値が更新されます。

CSIH ステータスレジスタには 2 つの FIFO ステータスフラグが含まれています。

- CSIHnSTR0.CSIHnFLF：FIFO フル
- CSIHnSTR0.CSIHnEMF：FIFO エンプティ

このモードを開始するときは、CSIHnSTCR0.CSIHnPCT ビットをセットする必要があります。そうすることで、CSIHnSTR0.CSIHnEMF のみ、リセットではなくセットされます。

CSIHnSTR0.CSIHnEMF を除くすべての FIFO ポインタと FIFO フラグがリセットされ、CSIHnSTR0.CSIHnEMF がセットされます。

16.5.6.2 デュアルバッファモード

このモードでは、サイズの等しい 2 つの部分にメモリが分割されます。つまり、64 ワードが送信データに割り当てられ、64 ワードが受信データに割り当てられます。デュアルバッファモードでは、個々のバッファポインタが以下の値を示します。

表 16.40 デュアルバッファモード

ポインタの説明	ポインタ注1	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000_H ～ $00FC_H$
受信バッファから読みだされるデータのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000_H ～ $00FC_H$
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[6:0]	0 ～ 64
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000_H ～ $00FC_H$

注 1. 1 回の書き込み、読み出しごとにポインタが自動的にインクリメントされます。

16.5.6.3 送信専用バッファモード

このモードでは、メモリ全体が送信データの保存に使用されます。

受信データは CSIHnRX0W/H から直接読み出す必要があります。

送信専用バッファモードでは、個々のバッファポインタが以下の値を示します。

表 16.41 送信専用バッファモード

ポインタの説明	ポインタ注1	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000_H ～ $01FC_H$
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[6:0]	0 ～ 128
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000_H ～ $01FC_H$

注 1. 1 回の書き込み、読み出しごとにポインタが自動的にインクリメントされます。

16.5.6.4 ダイレクトアクセスモード

ダイレクトアクセスモードでは、CSIH のメモリが完全にバイパスされます。

- CPUから送信レジスタCSIHnTX0WまたはCSIHnTX0Hに供給される送信データはシフトレジスタに直接コピーされます。
- 受信データはシフトレジスタから受信レジスタCSIHnRX0WまたはCSIHnRX0Hへ直接コピーされます。

16.5.7 データ転送モード

16.5.7.1 送信専用モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信専用モードになります。送信が開始される条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると送信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると送信が開始されます。

16.5.7.2 受信専用モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信専用モードになります。

マスタモードでは、受信を開始する条件がメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにダミーデータが書き込まれると受信が開始されます。

スレーブモードでは、マスタから送信クロック CSIHTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータを書き込む必要はありません。

- デュアルバッファモード、または送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると受信が開始されます。

16.5.7.3 送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。

通信（送信と受信）を開始する条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると通信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると通信が開始されます。

16.5.7.4 まとめ

以下の表にこの節のまとめを記載します。この表は、さまざまなメモリモード、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 16.42 データ転送の開始

メモリモードと動作モード		転送モード	
		送信専用モード 送受信モード	受信専用モード
FIFO モード、 ダイレクトアクセスモード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信
送信専用バッファモード、 デュアルバッファモード	マスタ	CSIHnMCTL2.CSIHnBTST = 1	CSIHnMCTL2.CSIHnBTST = 1
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信

16.5.8 データ長の選択

16.5.8.1 2 ～ 16 ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0] を使用して、チップセレクト信号ごとに 2 ビットから 16 ビットの間のデータパケット長を選択できます。以下の例は、MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）での通信を示しています。

データ長 = 16 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 0000_B）

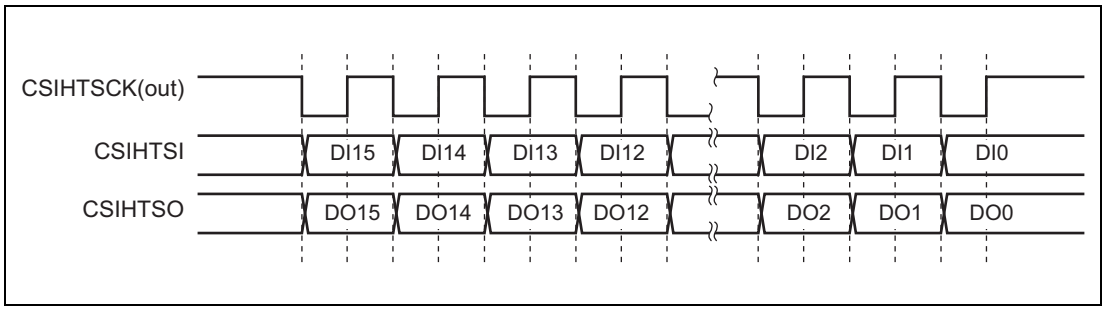


図 16.22 データ長 16 ビット、MSB ファースト

データ長 = 14 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1110_B）

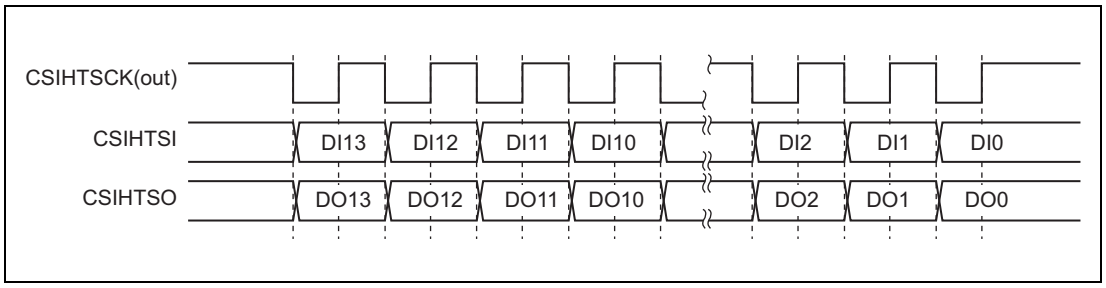


図 16.23 データ長 14 ビット、MSB ファースト

16.5.8.2　16 ビットを上回るデータ長

16 ビットを上回るデータを送受信する場合は、拡張データ長（EDL）機能を使用できます。

EDL 機能は CSIHnCTL1.CSIHnEDLE ビットを 1 にセットすることで有効になります。

EDL 機能は以下のように動作します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットのデータは 2 つの 16 ビットブロックと 10 ビットに分割します。
- 剰余部分のビット長は、CSIHnCFGx.CSIHnDLSx[3:0] ビットに、「データ長」として設定します。
- 16 ビットブロックを送信するには、CSIHnTX0W.CSIHnEDL を 1 にセットする必要があります。その場合、CSIHnTX0W に書き込まれるデータは、CSIHnCFGx.CSIHnDLSx[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長（CSIHnTX0W.CSIHnEDL = 0 に設定して指定された剰余部分）のブロックが送信されると転送が完了します。

例

$123456789A_H$ という 40 ビットのデータを CS0 に送信する例

40 ビットを 2 つの 16 ビットブロックと 8 ビットに分割します。

- CSIHnCFG0.CSIHnDLS0[3:0] = 8 に初期化します。
- $123456789A_H$ を MSB ファーストで送信するには、以下のシーケンスを CSIHnTX0W に書き込みます。
  - $20FE\ 1234_H$ (CSIHnTX0W.CSIHnEDL = 1)
  - $20FE\ 5678_H$ (CSIHnTX0W.CSIHnEDL = 1)
  - $00FE\ 009A_H$ (CSIHnTX0W.CSIHnEDL = 0)

以下にタイミング図を示します。

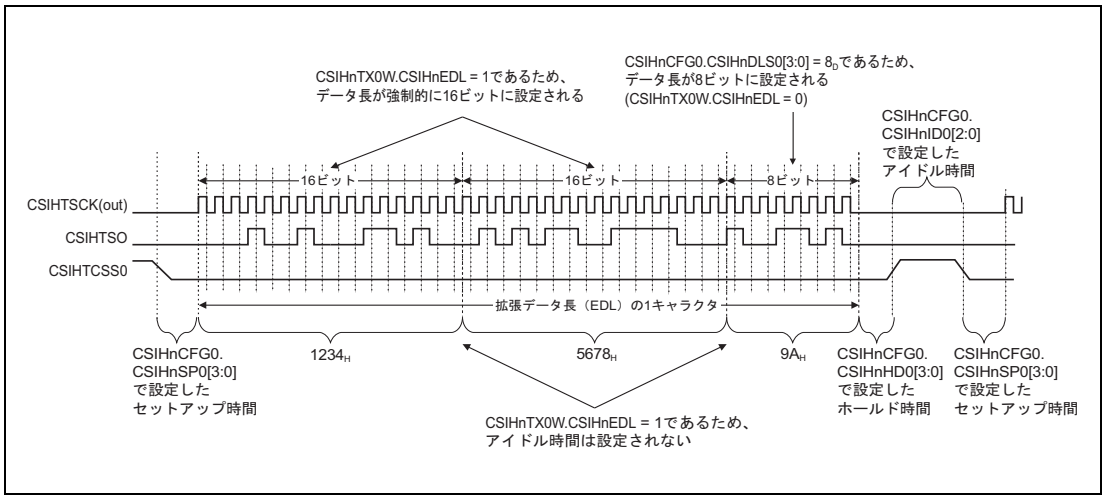


図 16.24 EDL のタイミング図

備 考

1. 1 ビットのデータ長は、EDL モードを使用するときにのみ設定できます。
2. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
3. 拡張データ長（EDL）機能を使用して送信しているときは、同一のチップセレクト信号を使用してください。
4. 以下の例でデータ方向について説明します。
   - 送信されるデータ：123456_H
   - MSB ファースト：
     CSIHnCFGx.CSIHnDIRx = 0 に設定
     CSIHnTX0W = 20FE 1234_H を書き込み（EDL ビット = 1）
     CSIHnTX0W = 00FE 0056_H を書き込み（EDL ビット = 0）
   - LSB ファースト：
     CSIHnCFGx.CSIHnDIRx = 1 に設定
     CSIHnTX0W = 20FE 3456_H を書き込み（EDL ビット = 1）
     CSIHnTX0W = 00FE 0012_H を書き込み（EDL ビット = 0）
5. CSIHnCTL1.CSIHnJE = 1, CSIHnCTL1.CSIHnEDLE = 1 のときに、CSIHnTX0W.CSIHnEOJ = 1 と CSIHnTX0W.CSIHnEDL = 1 に、同時に 1 を設定した場合は、動作の保証ができません。
6. EDL モードは、スレーブモードの受信専用モードでは使えません。
   （CSIHnCTL2.CSIHnPRS[2:0] = 111_B, CSIHnCTL0.CSIHnTXE = 0, CSIHnCTL0.CSIHnRXE = 1）

16.5.9 シリアルデータ方向選択機能

CSIHnCFGx レジスタの CSIHnDIRx ビットを使用して、チップセレクト信号ごとにシリアルデータ方向を選択することができます。

以下の例はデータ長 8 ビットの通信（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）を示しています。

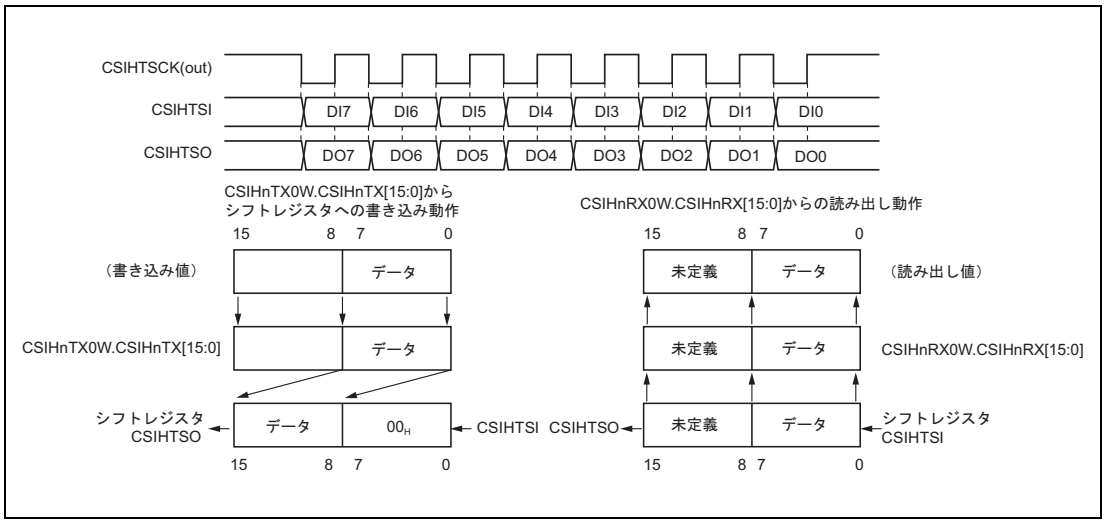


図 16.25 シリアルデータ方向選択機能 — MSB ファースト（CSIHnDIRx = 0）

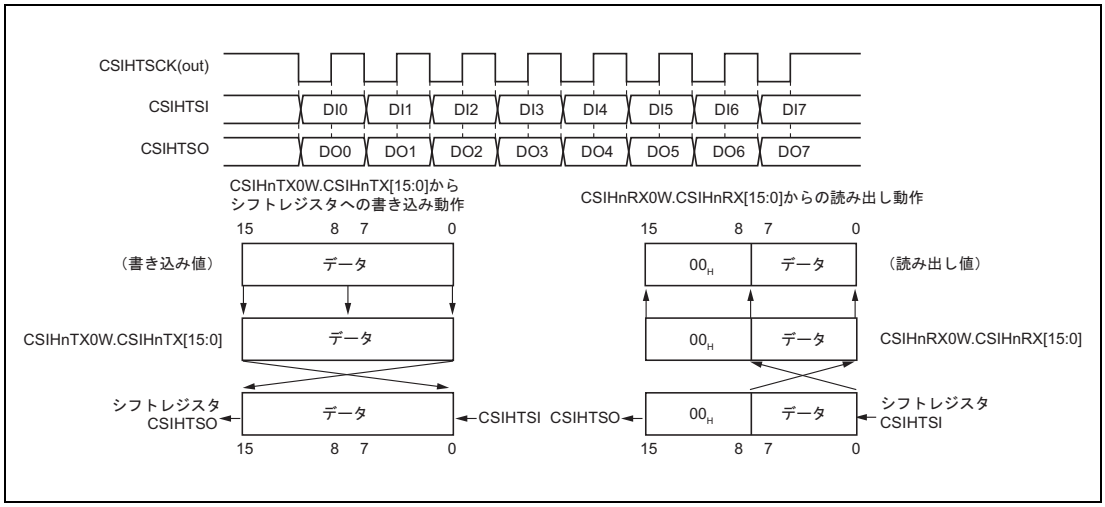


図 16.26 シリアルデータ方向選択機能 — LSB ファースト（CSIHnDIRx = 1）

16.5.10 SS（スレーブセレクト）機能

SS（スレーブセレクト）機能を使用することによって 1 つのマスタと複数のスレーブ間の通信が可能です。

マスタモードのとき 1 つのスレーブに対しスレーブ選択信号（CSIHTCSSx）を出力します。

スレーブモードではスレーブ入力選択信号（CSIHTSSI) がロウレベルのとき通信を行います。

SS 機能による接続例は**「16.5.2 マスタ／スレーブの接続」**を参照してください。

16.5.10.1 SS 機能を使用した通信のタイミング

以下の図は、SS 機能を使用した通信の信号とタイミングを示しています。

スレーブモードでは、CSIHnCFG0 レジスタによってデータ転送の設定が決まります。

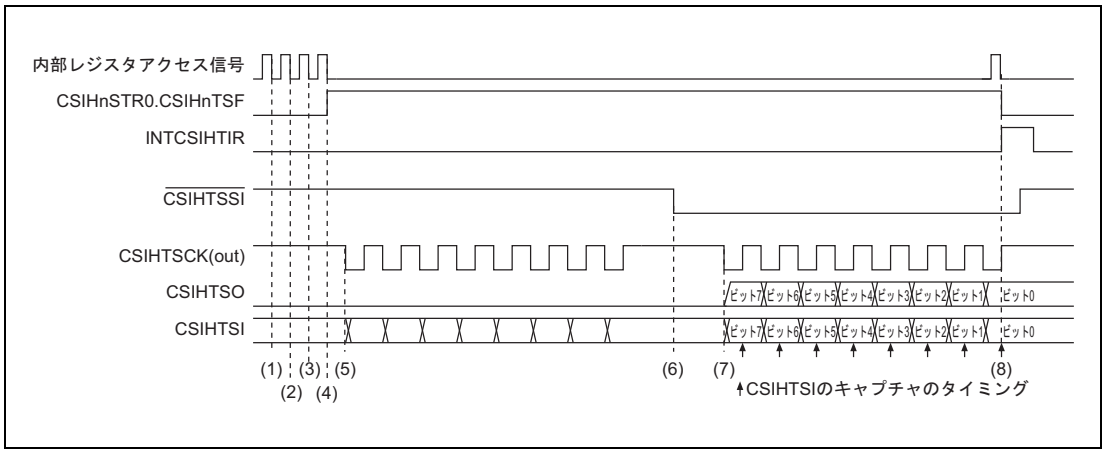


図 16.27 SS 機能を使用した通信の送受信のタイミング

(1) CSIHnCTL2.CSIHnPRS[2:0] = 111_B を設定することによって、CSIH はスレーブモードに入ります。CSIHnCFG0.CSIHnCKP0 と CSIHnCFG0.CSIHnDAP0 は 0 です。

(2) データ長は 8 ビットです（CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B）。データ方向は MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）です。

(3) 送受信モードに設定されます（CSIHnCTL0.CSIHnTXE = 1, CSIHnCTL0.CSIHnRXE = 1, CSIHnCTL0.CSIHnPWR = 1）。通信の開始が許可されます。

(4) 転送データが送信レジスタ CSIHnTX0W または CSIHnTX0H に書き込まれると、ダイレクトアクセスモードのとき、または FIFO モードのときは、転送ステータスフラグ CSIHnSTR0.CSIHnTSF が自動的にセットされます。

(5) $\overline{\text{CSIHTSSI}}$ 信号がハイレベルである間は、外部送信クロック CSIHTSCK が入力されても、送受信は開始されません。CSIHTSI への入力は無視されます。

(6) $\overline{\text{CSIHTSSI}}$ がロウレベルに下がると、CSIHTSO が有効になったことを示し、送信が可能になります。

(7) 外部クロック信号 CSIHTSCK が検出されると、スレーブはだたちにデータを CSIHTSO に送信し、同時に CSIHTSI からデータをキャプチャします。

(8) 割り込み INTCSIHTIR が受信の完了を示します。CSIHnRX0W/H レジスタが読み出し可能になります。

16.5.10.2 CSIHTSSO オペレーション

CSIHnPWR	CSIHnTXE	CSIHnRXE	CSIHnSSE	CSIHTSSO
0	—	—	—	H
1	—	—	0	H
	0		1	H
	1		1	$\overline{\text{CSIHTSSI}}$ レベルの反転値

CSIHTSSO 端子は、SS 機能を使用する場合にチップの SO 端子の I/O 機能を制御する信号です。

CSIHTSO 端子は CSIHTSSO 端子がハイレベルのときに有効になります（チップの SO 端子は駆動されている）。

CSIHTSO 端子は CSIHTSSO 端子がロウレベルのときに無効になります（チップの SO 端子は駆動されていない）。

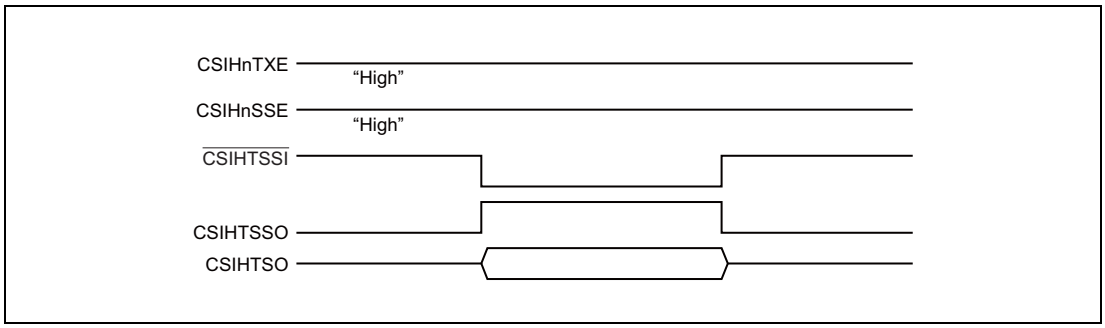


図 16.28　CSIHTSSO の動作

注　意

通信中に $\overline{\text{CSIHTSSI}}$ 端子が変化した場合（CSIHnSTR0.CSIHnTSF = 1）の通信は保証されません。

16.5.11 ハンドシェーク機能

CSIH はマスタデバイスとスレーブデバイスを同期させるハンドシェーク機能を備えています。この機能は CSIHnCTL1.CSIHnHSE ビットで有効または無効にすることができます。ハンドシェークでは、CSIHTRYI、CSIHTRYO 信号を使用します。

ビジーとなるタイミングはデータ位相選択 CSIHnCFGx.CSIHnDAPx ビットの設定によって異なります。

16.5.11.1 スレーブモード

CSIHnCTL1.CSIHnHSE = 1 のとき、スレーブはビジー状態になると CSIHTRYO 信号がロウレベルを出力します。この状態になるのは以下の 2 つの場合です。

1. 次の送信データが用意されていない場合：
   スレーブが送信専用モードまたは送受信モードに設定されている状態 (CSIHnCTL0.CSIHnTXE = 1) で、以下の状態のとき、CSIHTRYO はビジー状態 (ロウレベル) を出力します。

表 16.43 メモリモードとスレーブの転送状態

メモリモード	スレーブの転送状態
ダイレクトアクセスモード	次の転送データがない状態
FIFO モード	次の転送データがない状態（CSIHnSTR0.CSIHnEMF = 1 の状態）
デュアルバッファモード	CSIHnMCTL2.CSIHnBTST が 1 に設定されていない状態
送信専用バッファモード	

以下の例では、8 ビットのデータ長を想定しています。

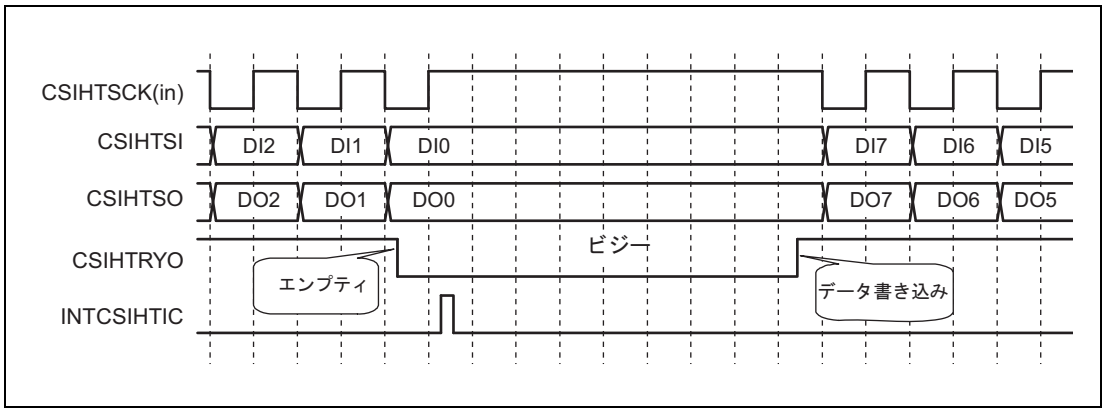


図 16.29 スレーブからのビジー信号（FIFO モード、CSIHnCFGx.CSIHnDAPx = 0）

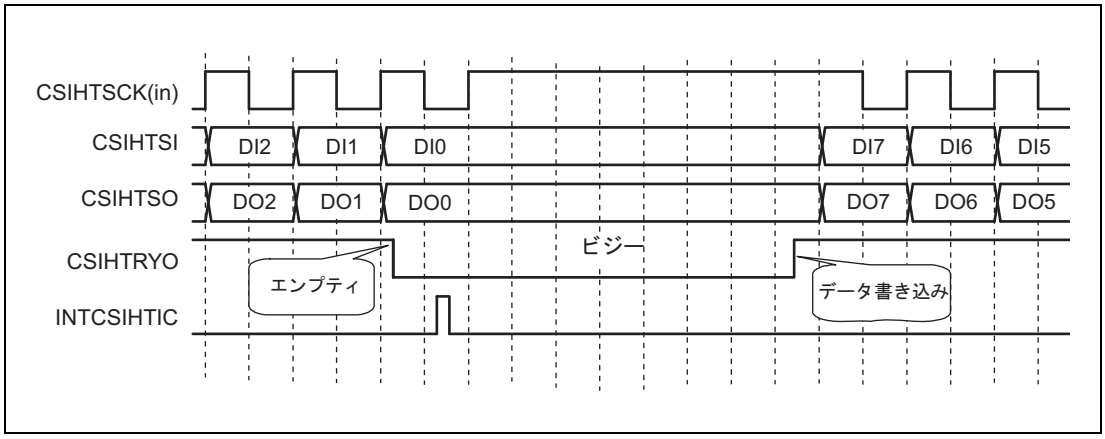


図 16.30 スレーブからのビジー信号（FIFO モード、CSIHnCFGx.CSIHnDAPx = 1）

2. 受信レジスタがフルになっている場合：
   スレーブが受信専用モードまたは送受信モードに設定されている状態（CSIHnCTL0.CSIHnRXE = 1）で、前に受信したデータがまだ CSIHnRX0W/H レジスタにあるため、新しいデータをシフトレジスタから CSIHnRX0W/H へコピーできない状態（CSIHnRX0W/H フル状態）のとき。
   CSIHnCTL0.CSIHnRXE = 1 で、以下の状態のとき、CSIHTRYO はビジー状態（ロウレベル）を出力します。

表 16.44 メモリモードとスレーブの受信状態

メモリモード	スレーブの受信状態
ダイレクトアクセスモード	CSIHnRX0W または CSIHnRX0H がフル状態
FIFO モード	受信データがバッファに残っている状態 (CSIHnSTR0.CSIHnFLF = 1 の状態)
デュアルバッファモード	該当する状態なし
送信専用バッファモード	CSIHnRX0W または CSIHnRX0H がフル状態

以下の例では、8 ビットのデータ長を想定しています。

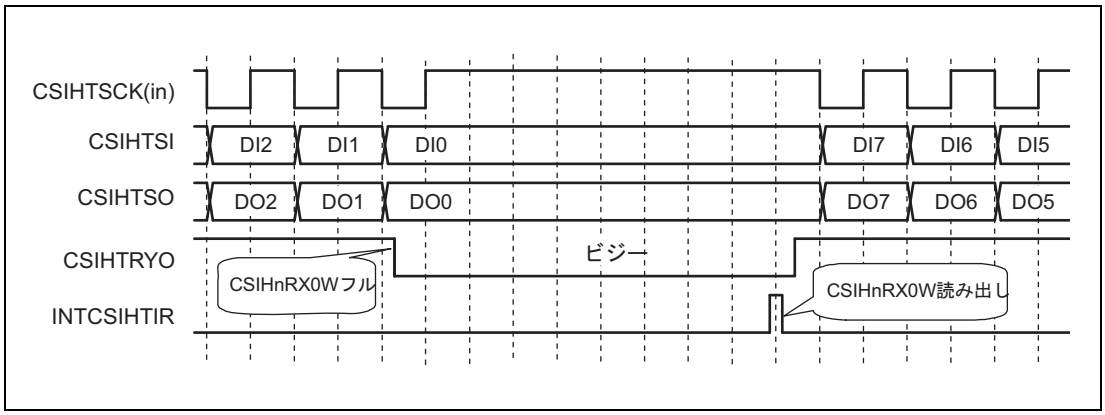


図 16.31 スレーブからのビジー信号（ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 0）

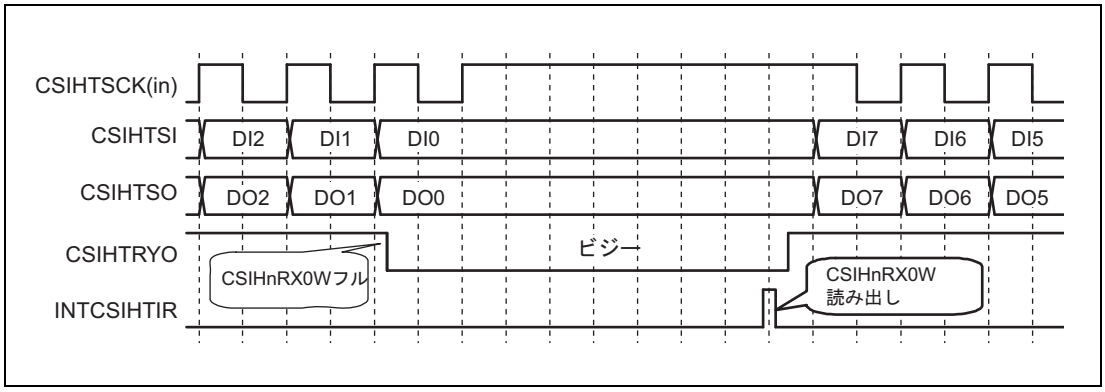


図 16.32　スレーブからのビジー信号（ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 1）

16.5.11.2 マスタモード

CSIHnCTL1.CSIHnHSE = 1 のとき、マスタが CSIHTRYI = 0 を検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHTSCK を停止させます。

CSIHTRYI のレベルは、CSIHTSCK の半クロック周期ごとにチェックされます。

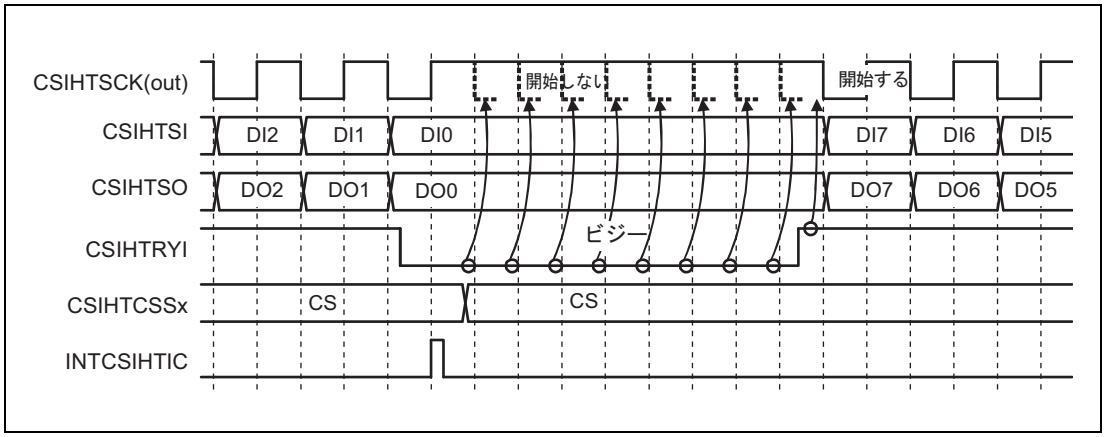


図 16.33 CSIHTRYI に対するマスタの反応（CSIHnCFGx.CSIHnDAPx = 0）

次の転送が始まる前にスレーブは CSIHTRYI をロウレベルに下げる必要があります。データ転送中にスレーブ側で CSIHTRYI 信号をロウレベルに下げると、転送が完了した後、マスタからのシリアルクロックが停止します。

マスタは CSIHTRYI がハイレベルになる（スレーブが「レディ」になる）と、ただちに通信を再開します。

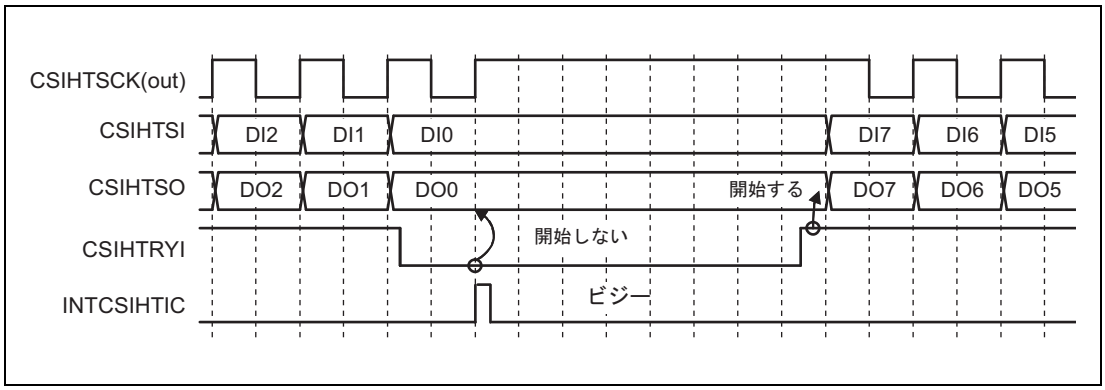


図 16.34 CSIHTRYI に対するマスタの反応（CSIHnCFGx.CSIHnDAPx = 1）

注 意

1. **複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIHTRYI 信号だけを検出する必要があります。**
2. **データ転送中にスレーブの CSIHTRYO 信号をマスタの CSIHTRYI 端子が検出しても、データ転送が終わるまで通信は待機しません。**

16.5.12　エラー検出

CSIH は 5 種類のエラーを検出することができます。

- データ整合性エラー（送信データ）
- パリティエラー（受信データ）
- オーバランエラー（受信データ）
- タイムアウトエラー（FIFO モード時）
- オーバフローエラー（FIFO モード時）

パリティエラー、データ整合性エラー、タイムアウトエラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると、割り込み要求 INTCSIHTIRE が発生し、検出されたエラーに対応するフラグがセットされます。

16.5.12.1 データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIHnCTL1.CSIHnDCS ビットで有効または無効にすることができます（データ整合性チェックを行う場合は、必ず PIPCn.PIPCn_m = 1 に設定してください）。データ送信が禁止されていると（CSIHnCTL0.CSIHnTXE = 0）、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIHnTX0W または CSIHnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、CSIHTSO の物理レベルが独自のシフトレジスタに読み込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性エラーと見なされます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnDCE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnTDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

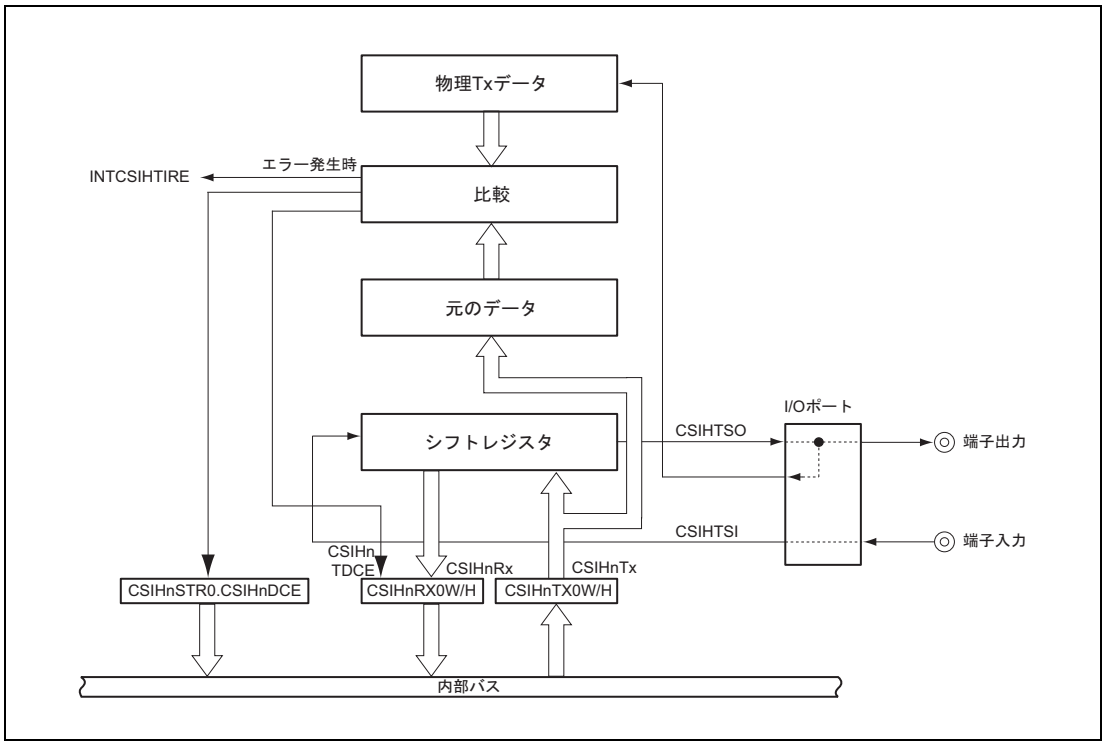


図 16.35　データ整合性チェック機能のブロック図

16.5.12.2 パリティチェック

CSIH では、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは CSIHnCFGx.CSIHnPSx[1:0] で指定されます。

CSIHnCFGx.CSIHnPSx[1] = 1 であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnPE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnRPE がセットされます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは 05_H と 35_H です。
- データ方向は LSB ファーストです。
- パリティタイプは奇数です。

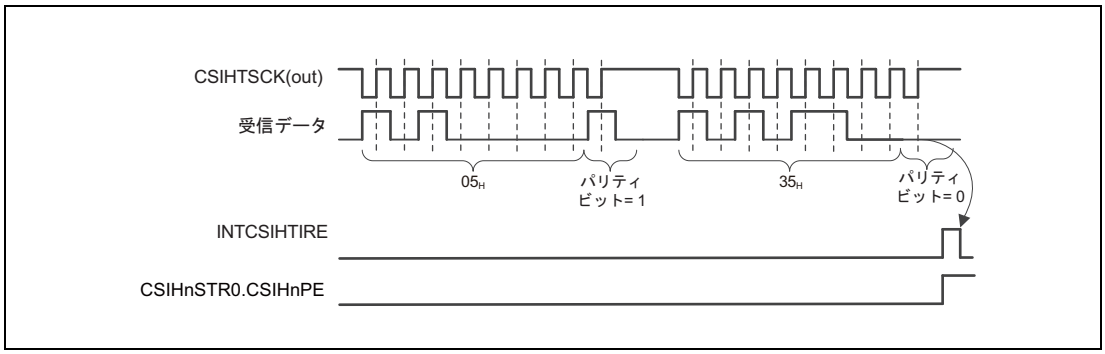


図 16.36 パリティチェックの例

1 つめのデータのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

2 つめのデータのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

16.5.12.3 タイムアウトエラー

タイムアウトエラーチェックはスレーブの FIFO モードでのみ可能です。

タイムアウトエラーは、ある一定の時間において次のどちらも行われなかった場合に発生します。

- FIFO 内の受信データが読み出し
- FIFO が CSIHTSI からデータを受信

タイムアウトの時間は、CSIHnMCTL0.CSIHnTO[4:0] によって送信クロック CSIHTSCK の 8 倍の単位で定義されます。指定された時間を超過するとタイムアウトエラーが発生します（CSIHnMCTL0.CSIHnTO[4:0] = 00000_B に設定した場合タイムアウト時間は検出されません）。

専用のタイムアウトカウンタは、CSIHnCTL2.CSIHnPRS[2:0] ビットと、CSIHnBRSy.CSIHnBRS[11:0] ビットで設定をします。

CSIHnBRSy.CSIHnBRS[11:0] ビットに 000_H を設定したままなら、専用のタイムアウトカウンタは動作しません。

専用のタイムアウトカウンタで最後の読み出し操作から次の読み出し操作までの時間を測定します。

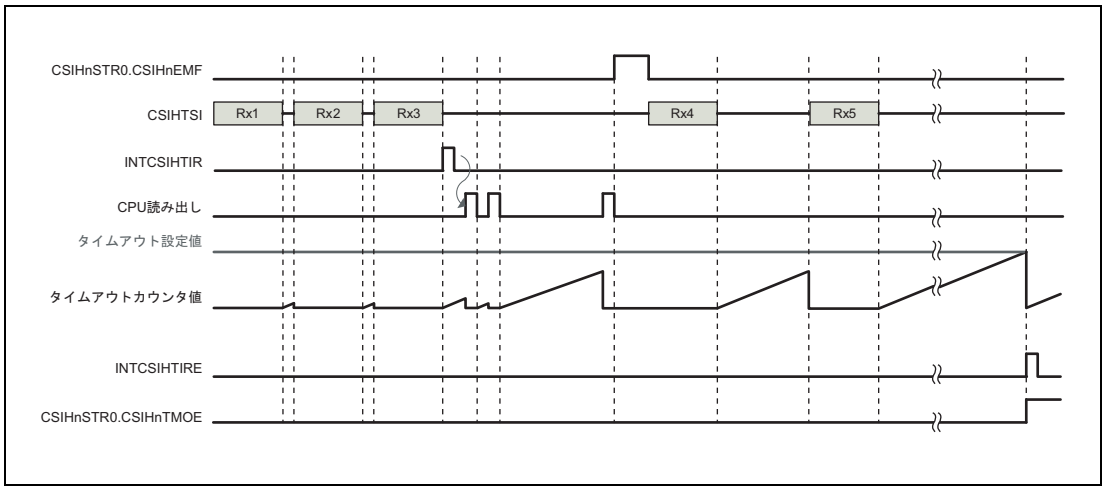


図 16.37 タイムアウトチェック機能のタイミング図

タイムアウトカウンタのスタートタイミングを次に示します。

- 受信が完了したとき
- CPU からのデータ読み込みが完了したとき
  （バッファが空なら、カウンタはスタートしません）
- タイムアウトエラーを検出したとき

タイムアウトエラーが検出された後、そのままであれば、タイムアウトカウンタは再起動します。

CSIHnMCTL0.CSIHnTO[4:0] ビットで設定した値まで再度来た場合は、INTCSIHTIRE 割り込みが再度出力されます。

タイムアウトカウンタは受信データがリードされない限りはカウントし続けます。タイムアウトカウンタを停止したい場合、すべての受信データを読みだすか、

CSIHnSTCR0.CSIHnPCT をセット（1）してください。ただしその場合、ポインタがクリアされます。

タイムアウトカウンタのリセットタイミングを次に示します。

- 読み出しが 1 回行われる
- 新しいデータが 1 つ着信
- タイムアウトエラーを検出
- CSIHnSTCR0.CSIHnPCT ビットをセット（1）

タイムアウトエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnTMOE ビットがセットされます。

16.5.12.4 オーバフローエラー

オーバフローエラーは FIFO モードで発生する可能性があります。オーバフローエラーは、FIFO バッファが受信データフルになっている状態で CSIHnTX0W レジスタに送信データが書き込まれると発生します。

例

100 個のデータが送信されています。つまり、FIFO には 100 個の受信データが格納されています。アプリケーションが受信データの読み出しを開始します。

読み出し操作の進行中に、アプリケーションが新たに 50 個の送信データを FIFO に書き込みはじめます。しかし、現在までに 10 個の受信データしか読み出されておらず、90 個のデータがまだ FIFO に残っています。

この例では、新しい送信データを受け入れることができるバッファは 38 個しかありません。CPU が 39 個目のデータを書き込もうとすると、オーバフローエラーが発生します。

以下の図はその様子を示しています。

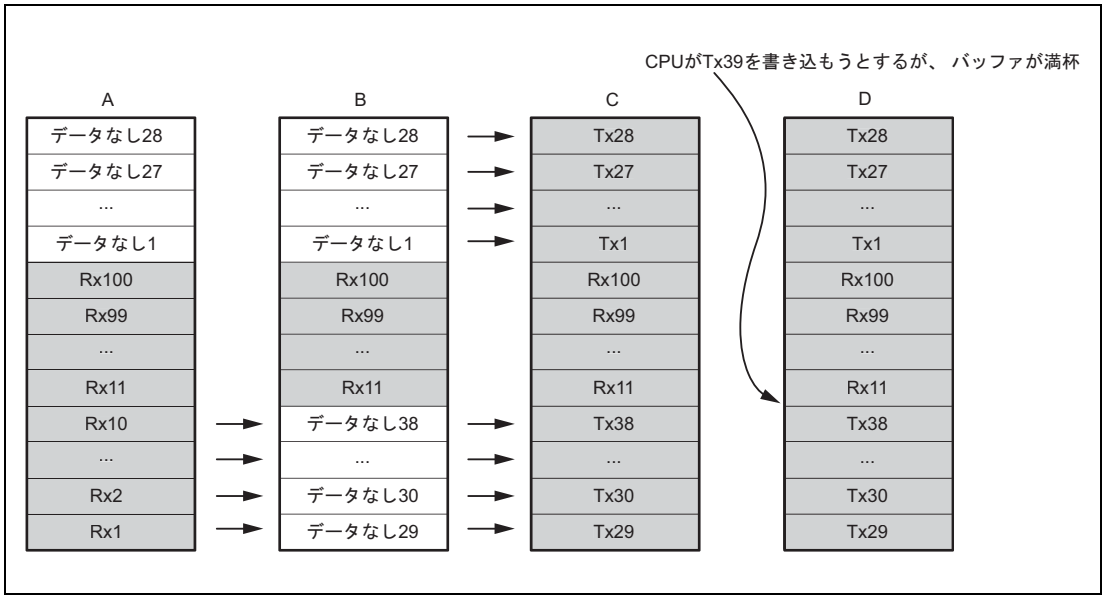


図 16.38 FIFO の概要

39 個目以降のデータは破棄されます。以下の図にオーバフローのタイミングを示します。

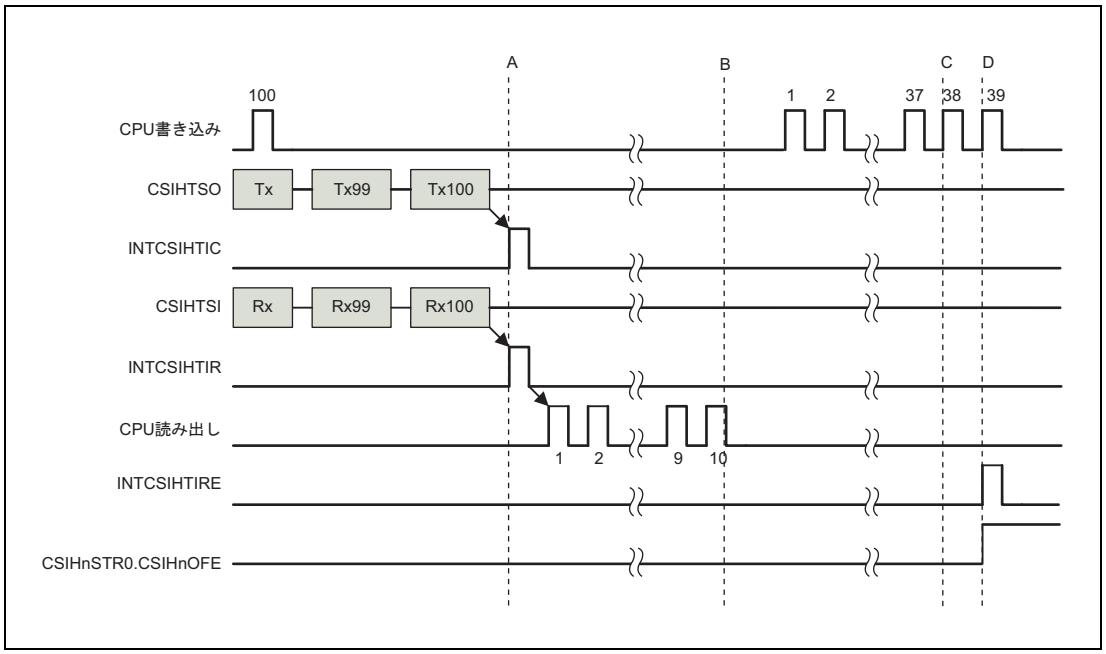


図 16.39　FIFO のオーバフローのタイミング

オーバフローエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnOFE ビットがセットされます。

16.5.12.5 オーバランエラー

オーバランエラーは、ダイレクトアクセスモード、送信専用バッファモード、FIFO モードで発生する可能性があります。デュアルバッファモードでオーバランエラーが発生する可能性はありません。データ受信が禁止されていると（CSIHnCTL0.CSIHnRXE = 0）、オーバランエラーは発生しません。

オーバランエラーの発生条件は 2 つあります。

エラー発生条件 1

- FIFO モードで受信データの数が 0 になった状態で、CPU が CSIHnRX0W/H レジスタをリードした場合

エラー発生条件 2

- スレーブモードで CSIHnCTL1.CSIHnHSE = 0（ハンドシェークなし）の場合
  - ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合
  - FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合

(1) ダイレクトアクセス／送信専用バッファ

ダイレクトアクセスモードと送信専用バッファモードでは、新たに受信したデータをシフトレジスタから受信レジスタ CSIHnRX0W/H へ転送できなくなると、このエラーが発生します。CSIHnRX0W/H が読み出されていないため、前に受信したデータが CSIHnRX0W/H に残っていると、その状態になります。以下の図にオーバランエラー検出機能の仕組みを示します。

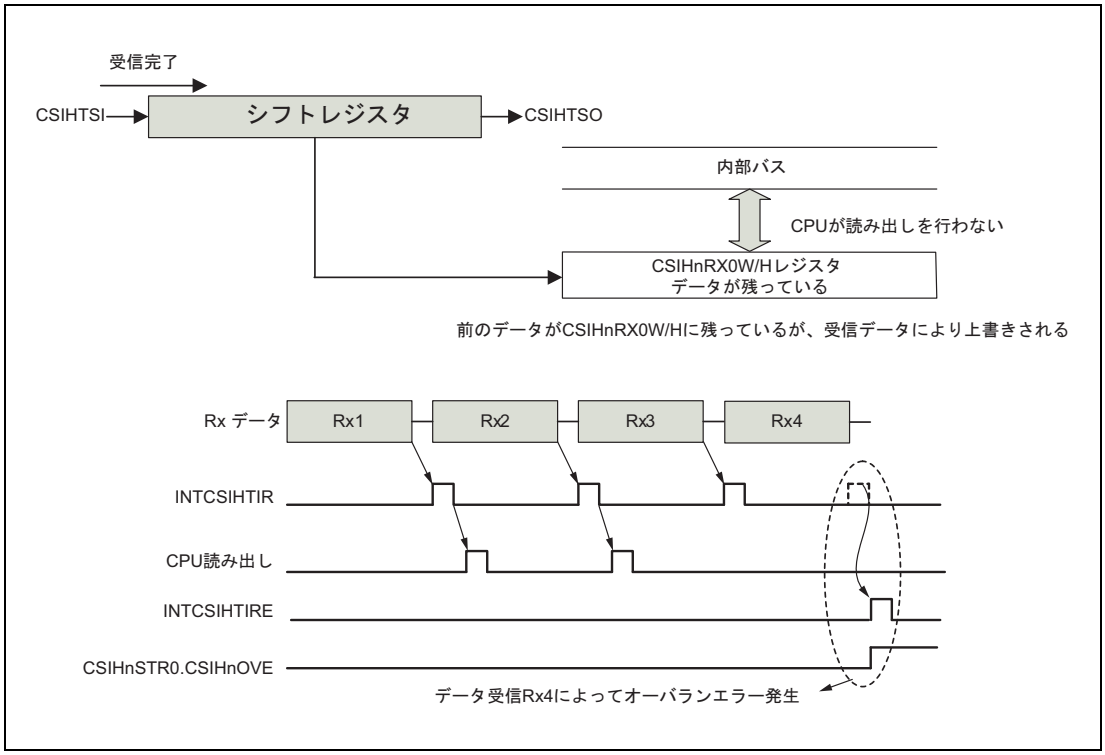


図 16.40 ダイレクトアクセスモードと送信専用バッファモードでのオーバランエラーの検出

備　考

スレーブモードでは、ハンドシェーク機能を利用してオーバランエラーを回避することができます。
スレーブモードでハンドシェークを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

(2) FIFO モード

FIFO モードでは、以下の条件でエラーが発生します。

1. FIFO フルのため、新たに受信したデータをシフトレジスタから FIFO へ転送できない

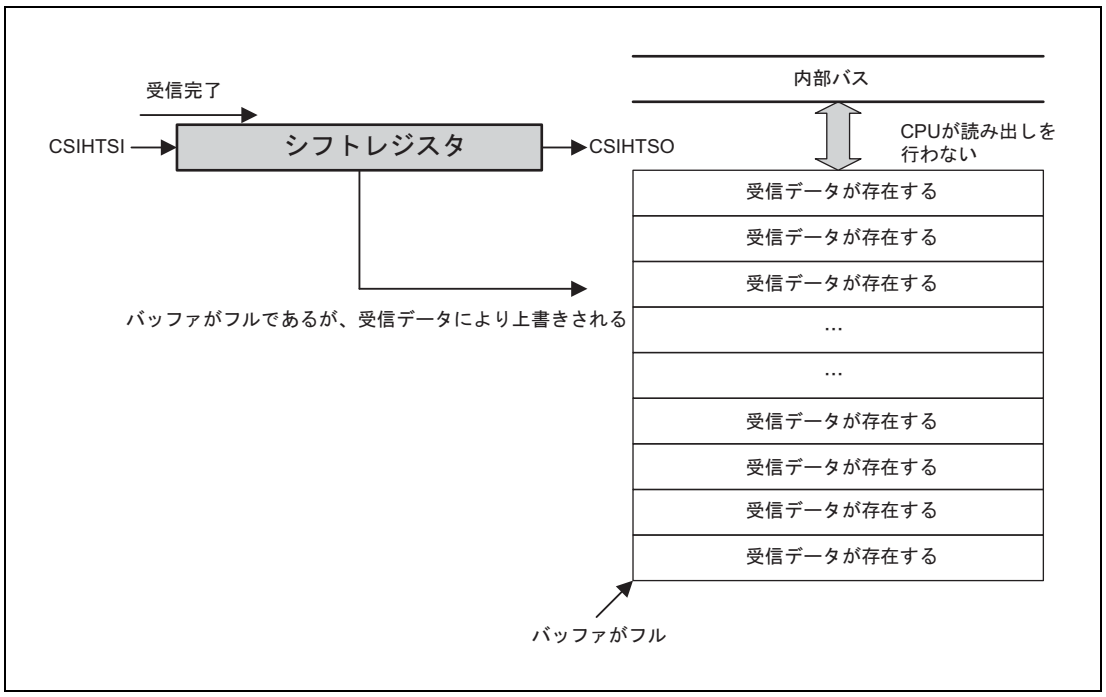


図 16.41　FIFO モードでのオーバランエラーの検出（FIFO フル）

備　考

スレーブモードでは、ハンドシェーク機能を利用してオーバランエラーを回避することができます。
スレーブモードでハンドシェークを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

2. CPU が存在しない受信データを読み出そうとしている

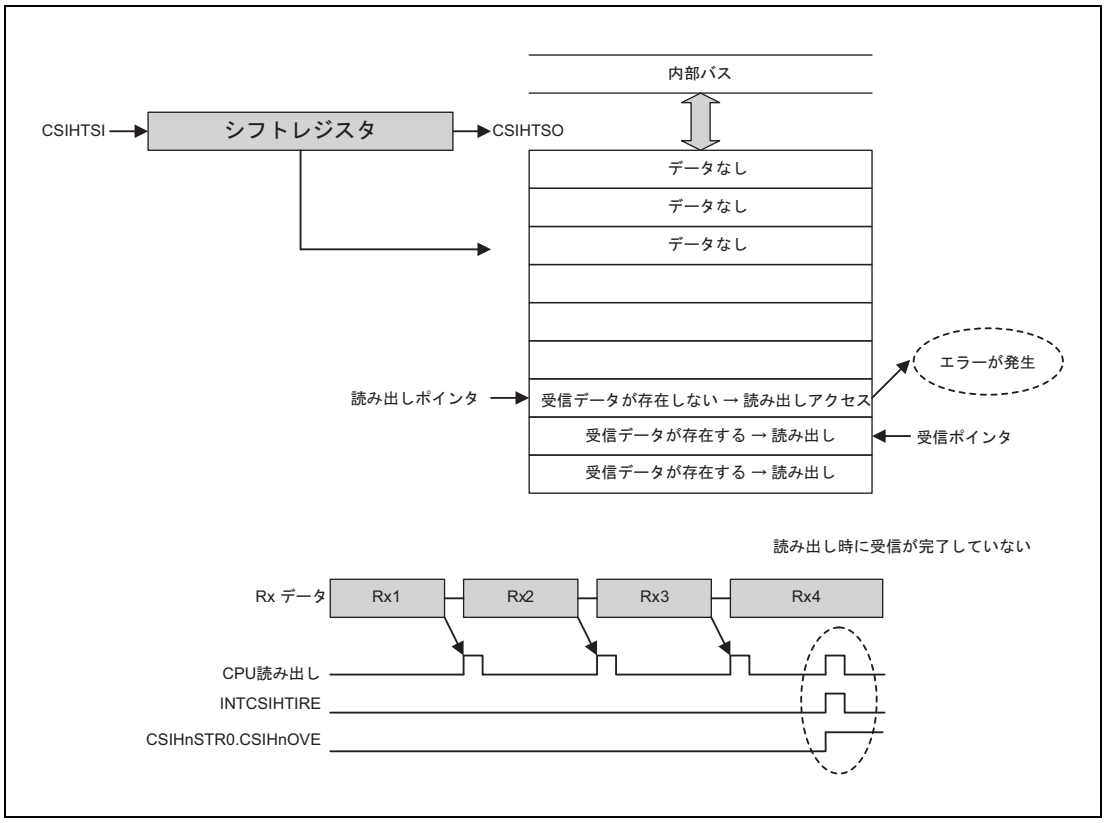


図 16.42　FIFO モードでのオーバランエラーの検出（データなし）

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnOVE ビットがセットされます。
- 受信データが上書きされ、通信は継続します。
  （CPU が存在しないデータを読み出そうとした場合、受信完了まで待機した後に CPU による読み出しが再開します。）

詳細については、**「16.5.11　ハンドシェーク機能」**を参照してください。

16.5.13 ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ（CSIHnCTL1.CSIHnLBM = 1）になっていると、CSIHTCSSx はインアクテイブレベルに固定されます（アクティブレベルは CSIHnCTL1.CSIHnCSLx の値で定義されます）。そして、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHTSCK 信号、CSIHTSO 信号、CSIHTSI 信号、CSIHTCSSx 信号はポートから切り離されます。さらに、CSIHTSO の出力レベルがロウレベルに固定され、CSIHnCFGx.CSIHnCKPx の値に関係なく、CSIHTSCK はリセットレベル（High）に設定されます。CSIH のそれ以外の部分は通常どおりに動作します。

CSIH をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。ループバックテストは、接続先のデバイスに影響を与えません。

表 16.45 ループバックモード使用時の端子の出力レベル

端子名	出力レベル
CSIHTSCK(out)	ハイレベル
CSIHTCSS[7:0]	インアクティブレベル
CSIHTSO	ロウレベル（それまでの値に依存しない）
割り込み	通常の機能
CSIHTRYO	通常の機能 （ロウレベル）

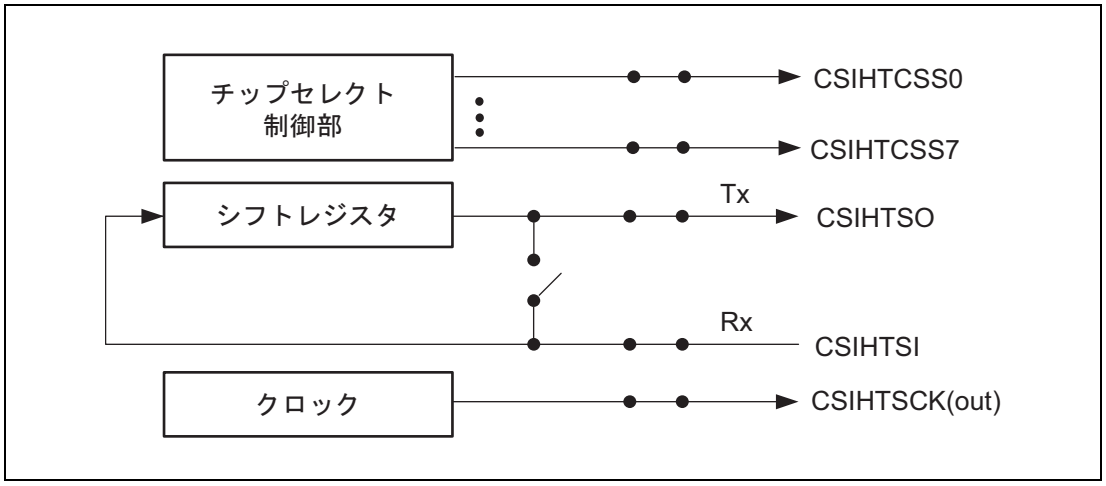


図 16.43 通常の動作

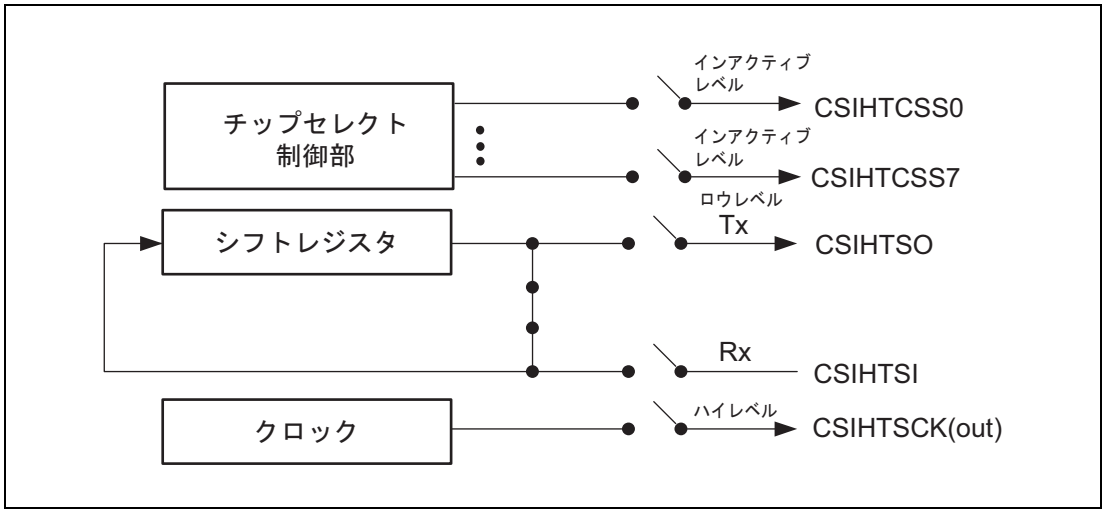


図 16.44　ループバックモードでの動作

16.5.14 CPU 制御による高優先通信機能

CSIH は、低優先通信を行っているときに、CPU からの高優先通信要求があった場合に、低優先通信を中断して、高優先通信を行う機能を備えています。本機能は、低優先通信として送信専用バッファモード、高優先通信としてダイレクトアクセスモードのみに対応します。本機能を有効にするためには、CSIHnCTL1.CSIHnPHE = 1、CSIHnCTL1.CSIHnJE = 1 を設定する必要があります。

CPU 制御により高優先通信を行う例を示します。

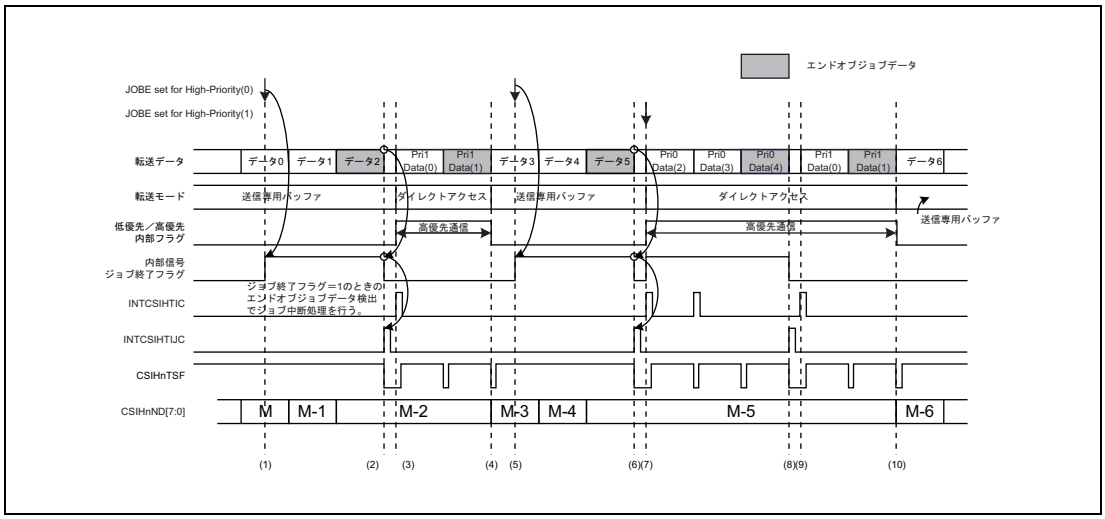


図 16.45 CPU 制御による高優先通信例

(1) 低優先通信中に、CSIHnCTL0.CSIHnJOBE = 1 を設定することで、エンドオブジョブデータに続いて高優先通信を行うことを通知し、内部信号フラグをセットします。

(2) エンドオブジョブデータを検出すると、現在の低優先通信を中断して INTCSIHTIJC 割り込みを発生します。通信を中断したことで、内部信号 JOB 終了フラグがクリアされ、続く高優先通信に備えてメモリモードをダイレクトアクセスモードに自動切り換えします。

(3) CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。

(4) エンドオブジョブデータを検出すると、通信を中断します。このとき内部信号 JOB 終了フラグが 0 のため、CSIH は、次の通信が低優先通信であると判断し、メモリモードを送信専用バッファモードに自動切り替えした後、中断していた低優先通信を再開します。

(5) (1) と同じ

(6) (2) と同じ

(7) CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。CPU は、次の通信が高優先通信であることを通知するため、再び CSIHnCTL0.CSIHnJOBE = 1 を設定します。

(8) エンドオブジョブデータを検出すると、通信を中断して INTCSIHTIJC 割り込みを発生します。このとき、内部信号ジョブ終了フラグ = 1 のため、続く通信も高優先通信と判断し、通信開始を待ちます。

(9) (3) と同じ

（10）（4）と同じ

注 意

低優先通信から高優先通信に切り替わる際のメモリモード切り換え動作（送信専用バッファモードからダイレクトアクセスモードへの切り替え）および、高優先通信から低優先通信に切り替わる際のメモリモード切り換え動作（ダイレクトアクセスモードから送信専用バッファモードへの切り替え）は、自動的に行われます。

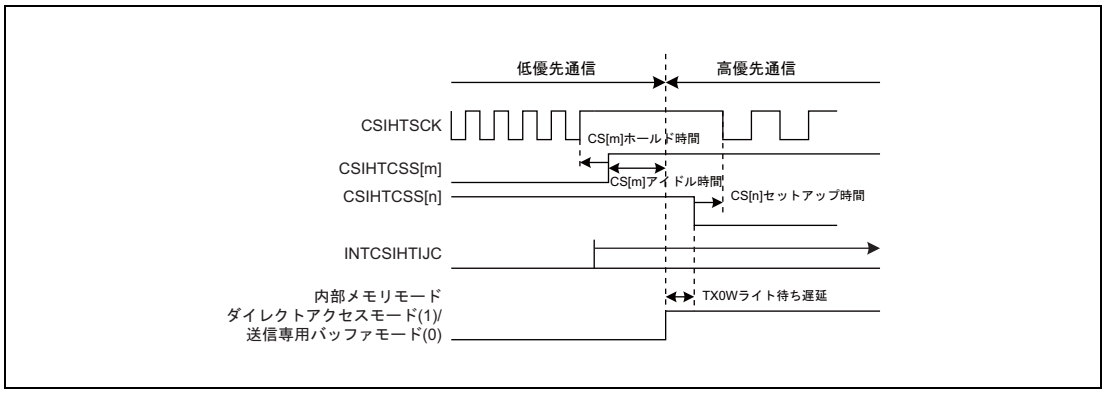


図 16.46 低優先モードから高優先モードへの移行

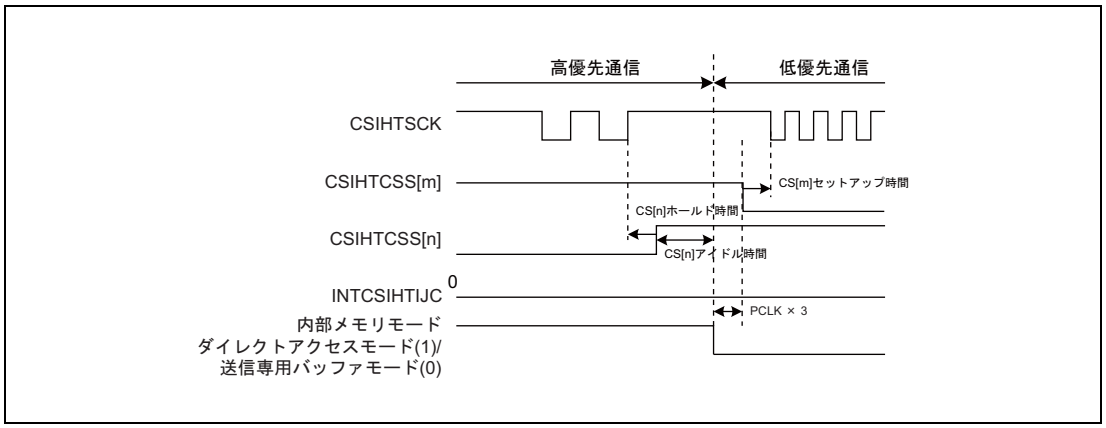


図 16.47 高優先モードから低優先モードへの移行

低優先／高優先通信モードの切り替えを正しく行うために、通信データのライト動作および、CSIHnCTL0.CSIHnJOBE ビット操作は設定禁止期間では行わないでください。

CSIHnTX0W レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOBE ビット設定後、INTCSIHTIJC 割り込みを検出するまでの期間。
- 高優先通信の最後のデータ（End of JOB データ）をライトした後、CSIHnHPST ステート ＝ 0 を検出するまでの期間。

CSIHnJOBE レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOBE ビット設定後、INTCSIHTIJC 割り込みを検出するまでの期間。

高優先通信モード期間中はCSIHnJOBEビットの設定禁止期間はありません。通信データをライトする前にCSIHnJOBEビットを設定することも可能です。例えば、予め複数のJOBデータを高優先で通信することが分かっている場合は、最初の通信データをライトする前にCSIHnJOBEビットを設定しておくことができます。

注　意

高優先通信の最後の通信が終了する間際にCSIHnJOBEビットをセットした場合、内部でCSIHnJOBEビットのセットを検出するタイミングによって動作が異なります。

最終ビットの通信が完了する前にCSIHnJOBEビットのセットを検出した場合は、高優先通信モードを継続します。

最終ビットの通信が完了した後にCSIHnJOBEビットのセットを検出した場合は、一旦低優先通信モードへ復帰した後、低優先通信データのEnd of JOBデータを検出して、再び高優先通信モードへ遷移します。

16.5.15 強制 CS アイドル設定

CSIHnCFGx.CSIHnIDLx を設定することで、連続する 2 つの転送データ間にアイドル状態を挿入することができます。

1. CSIHnCFGx.CSIHnIDLx が 0 のとき
   次の CSIHTCSSx が前と同じ場合、アイドル状態が挿入されず、データ間時間が挿入されます。
   次の CSIHTCSSx が前と違う場合、アイドル状態が挿入されます。
2. CSIHnCFGx.CSIHnIDLx が 1 のとき
   次の CSIHTCSSx が前と同じ場合でも、アイドル状態が常に挿入されます。

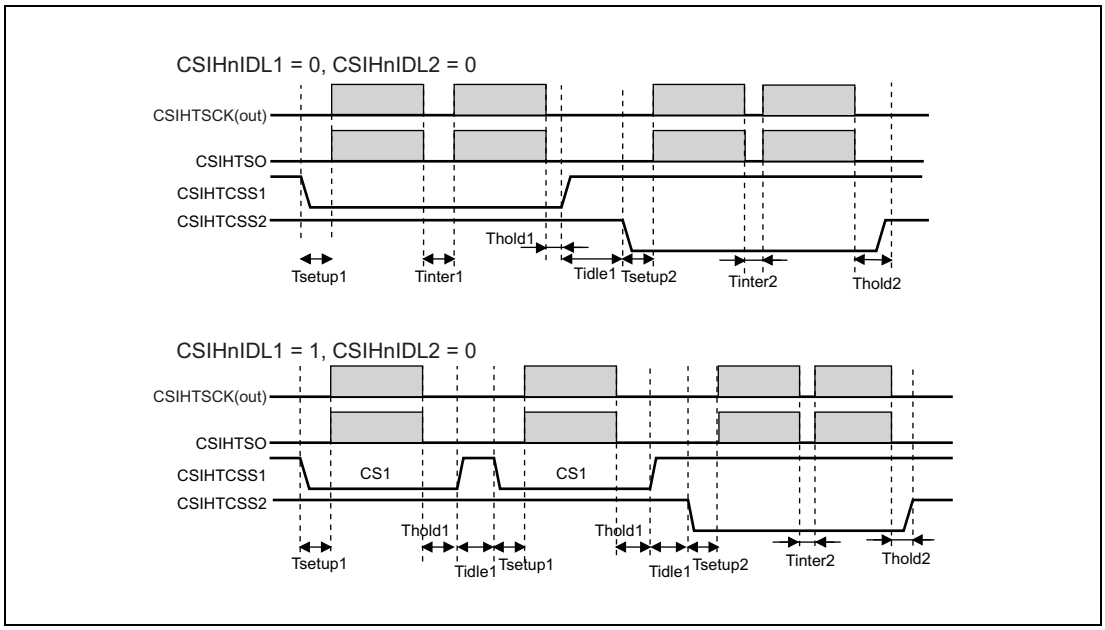


図 16.48 強制 CS アイドル設定の例

注 意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE = 1) で、低優先通信モードから高優先通信モードに移行するときと、高優先通信モードから低優先通信モードに移行するときは、CSIHnCFGx.CSIHnIDLx ビット設定にかかわらずアイドル状態が挿入されます。

16.6 操作手順

ここに示す例および手順は、以下のメモリモード順に記載されています。

- ダイレクトアクセスモード
- 送信専用バッファモード
- デュアルバッファモード
- FIFO モード

16.6.1 ダイレクトアクセスモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

16.6.1.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE = 0）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- ダイレクトアクセスモード（CSIHnCTL0.CSIHnMBS = 1）

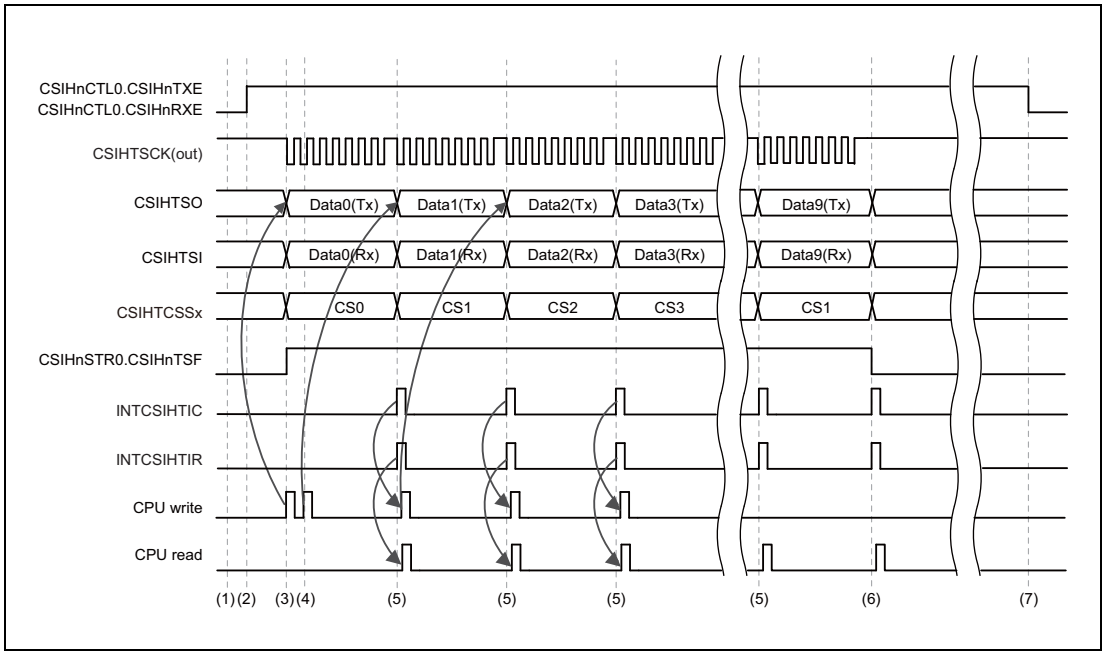


図 16.49 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHTCSS0 ～ CSIHTCSS3 を使用します。
   CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）、CSIHnMBS = 1（ダイレクトアクセスモード選択）に設定します。
3. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。同じ書き込み操作で CS0 をアクティブにします。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2 番目のデータを CSIHnTX0W に書き込みます。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み INTCSIHTIC と INTCSIHTIR が発生します。
   - INTCSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
   - INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. データ 8 の書き込みが完了すれば、それ以降の書き込みアクションは必要ありません。データ 9（最後のデータ）は、その前に書き込まれています。
   ただし、データ 8 とデータ 9 の書き込みが完了したあと、受信レジスタ CSIHnRX0W を読み出す必要があります。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

16.6.1.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード有効（CSIHnCTL1.CSIHnJE = 1）
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)
- それぞれ 3 個のデータを送信する 2 つのジョブ

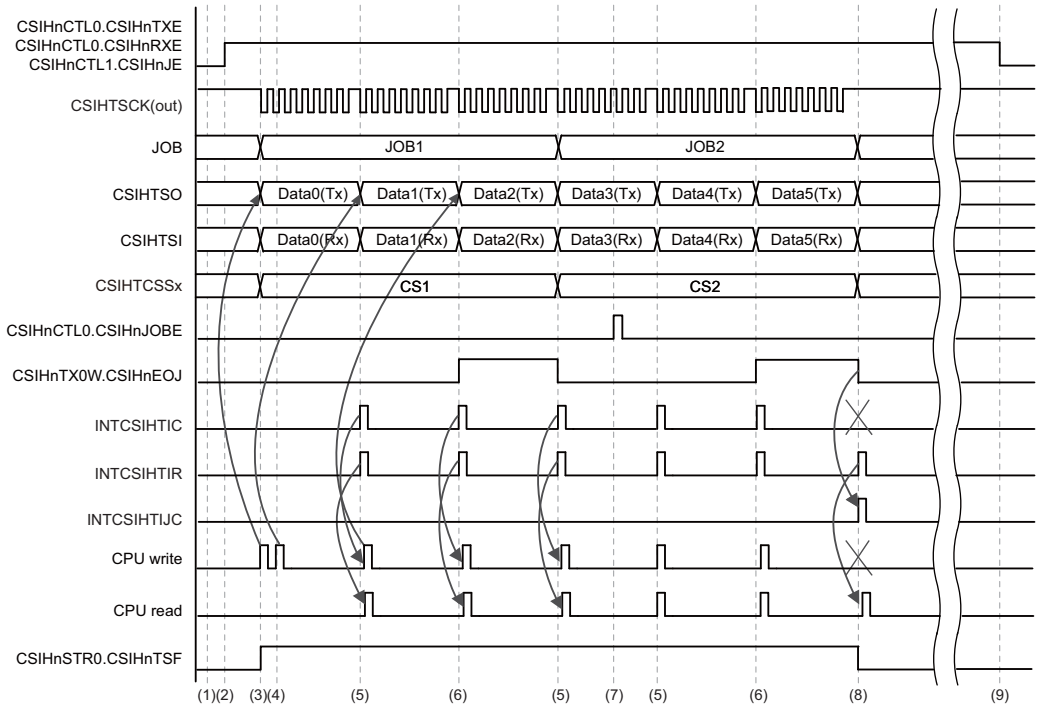


図 16.50 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1、CS2 を使用します。
   CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）、CSIHnMBS = 1（ダイレクトアクセスモード選択）を設定します。
3. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
   通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。
4. 2 番目のデータを CSIHnTX0W に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
   - INTCSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
   - INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。そのあと、次のジョブを開始できます。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ（ジョブ 2）の終了時に通信を強制的に停止します。
8. 通信の強制停止後、割り込み要求 INTCSIHTIC が INTCSIHTIJC に置き換えられます。INTCSIHTIR は通常どおりに発生します。
   割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
   割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

通信を停止せず新しい送信を開始する場合は、手順 3 以降の手順で実施ください。

16.6.2 送信専用バッファモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

16.6.2.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE = 0）
- データの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09_H）
- 転送開始アドレス：10_H（CSIHnMCTL2.CSIHnSOP[6:0] = 10_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- 送信専用バッファモード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B）

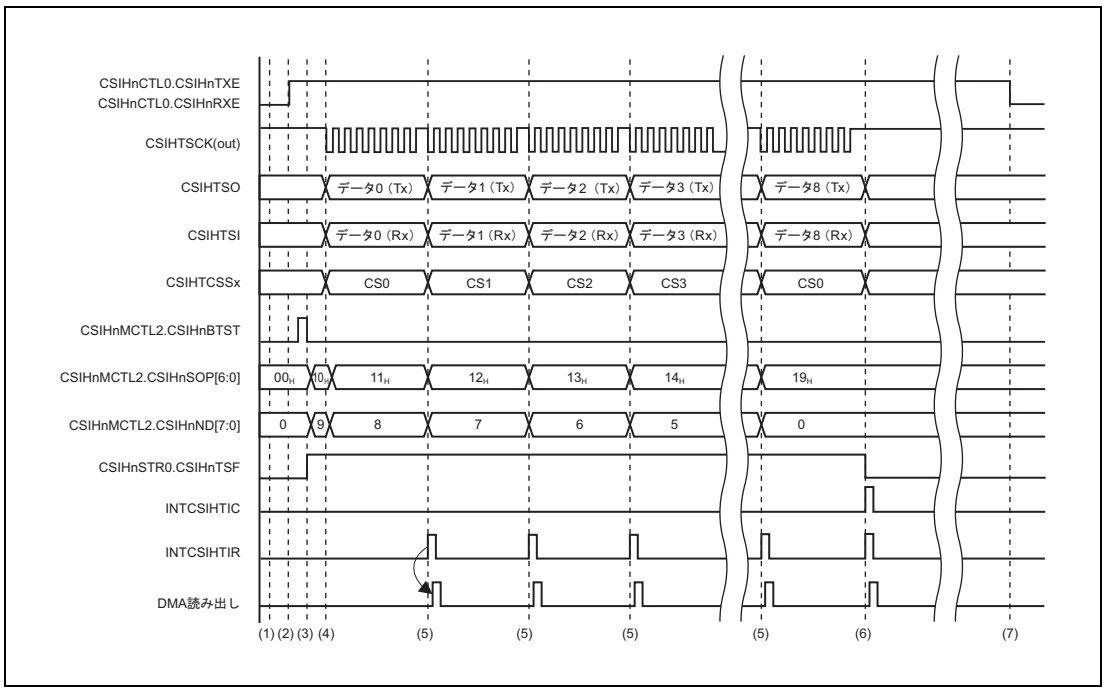


図 16.51 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備 考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHTCSS0 ～ CSIHTCSS3 を使用します。
   CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
   CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
   CSIHnMCTL0.CSIHnMMS[1:0] = 10_B（送信専用バッファモード）に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットを設定することによって送信ポインタとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送受信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. データが 1 つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. すべての送信が完了すると、割り込み要求 INTCSIHTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

16.6.2.2　マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード有効（CSIHnCTL1.CSIHnJE = 1）
- データの数：8（CSIHnMCTL2.CSIHnND[7:0] = 08_H）
- 転送開始アドレス：10_H（CSIHnMCTL2.CSIHnSOP[6:0] = 10_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- 送信専用バッファモード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B）

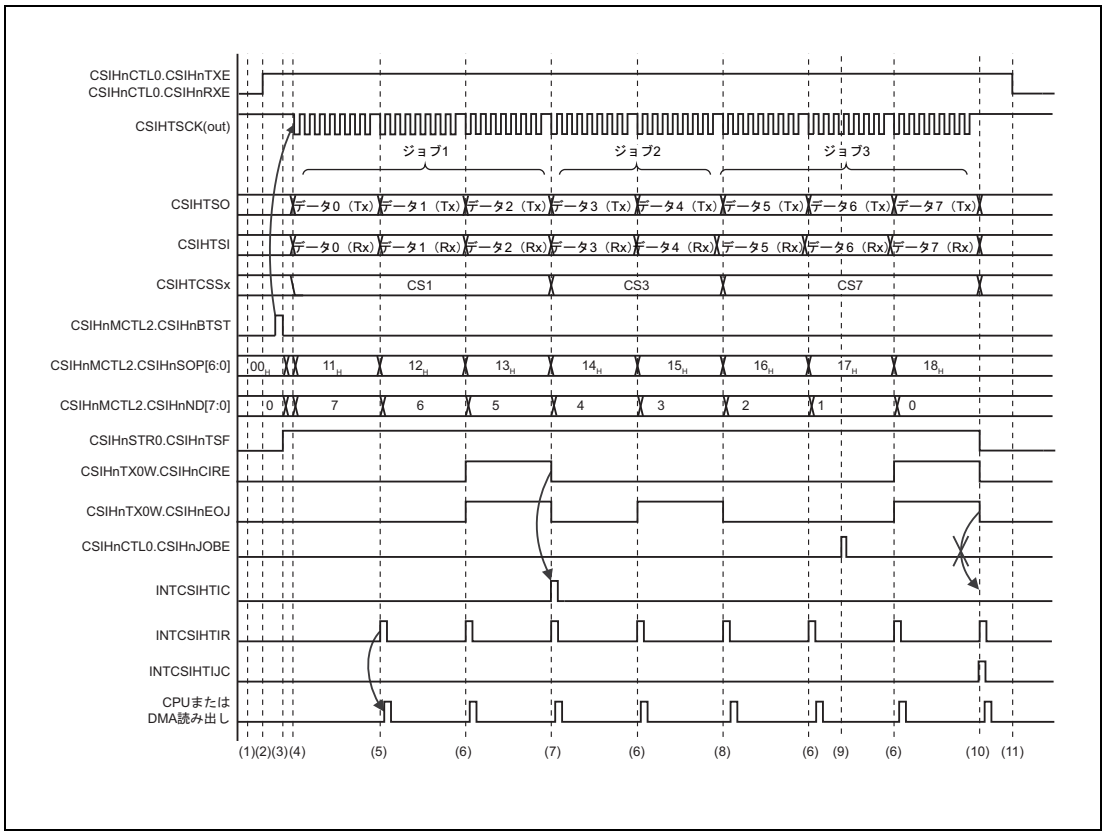


図 16.52　送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備　考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1、CS3、CS7 を使用します。
   CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
   CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
   CSIHnMCTL0.CSIHnMMS[1:0] = 10_B（送信専用バッファモード）に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットを設定することによって送信ポインタとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. データが 1 つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。
9. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ 3 の終了時に通信を強制的に停止します。
10. 通信の強制停止後、ジョブ 3 の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。
    割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
    割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

16.6.3 デュアルバッファモードでの手順

マスタモード時、ジョブモードが有効になっている例と無効になっている例、およびスレーブモード時、ジョブモードが無効になっている例を示します。

16.6.3.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE = 0）
- データの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09_H）
- 転送開始アドレス：10_H（CSIHnMCTL2.CSIHnSOP[6:0] = 10_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- デュアルバッファモード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B）

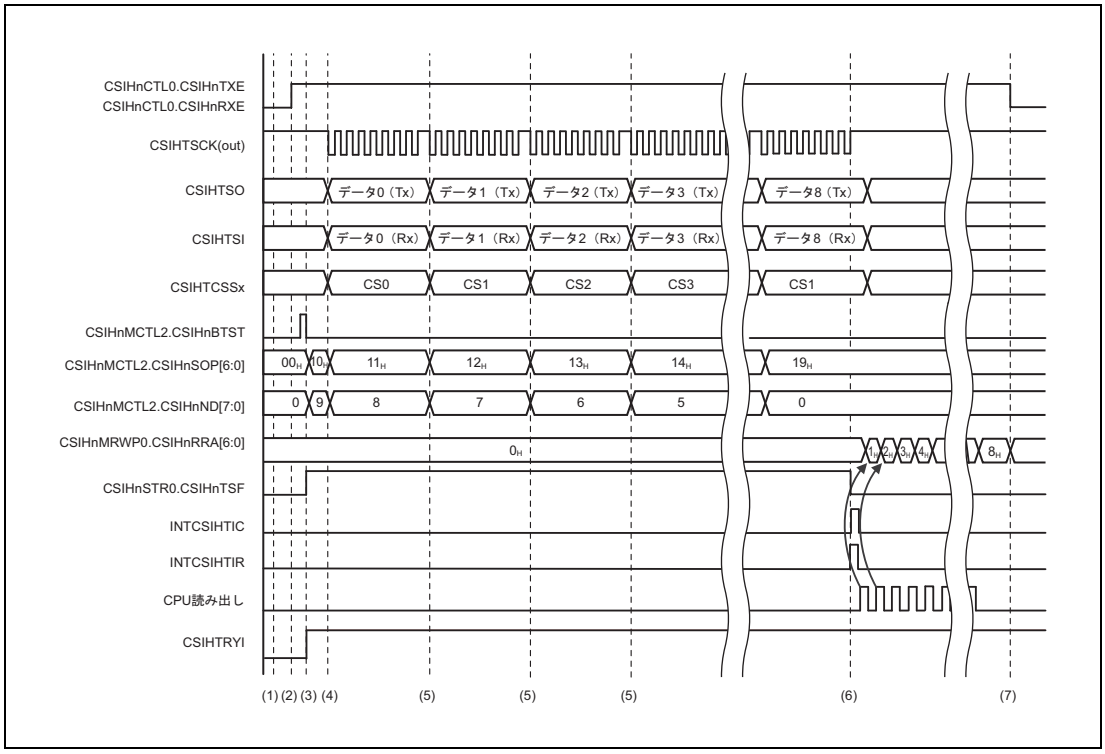


図 16.53 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備 考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHTCSS0 ～ CSIHTCSS3 を使用します。
   CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
   CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
   CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (デュアルバッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットを設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
   割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
   CPU が受信バッファからの受信データの読み出しを開始します。読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定されます。これらのビットはデータが 1 つ読み出されるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

16.6.3.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード有効（CSIHnCTL1.CSIHnJE = 1）
- データの数：8（CSIHnMCTL2.CSIHnND[7:0] = 08_H）
- 転送開始アドレス：00_H（CSIHnMCTL2.CSIHnSOP[6:0] = 00_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- デュアルバッファモード（CSIHnCTL0.CSIHnMBS = 0, CSIHnCTL0.CSIHnMMS[1:0] = 01_B）

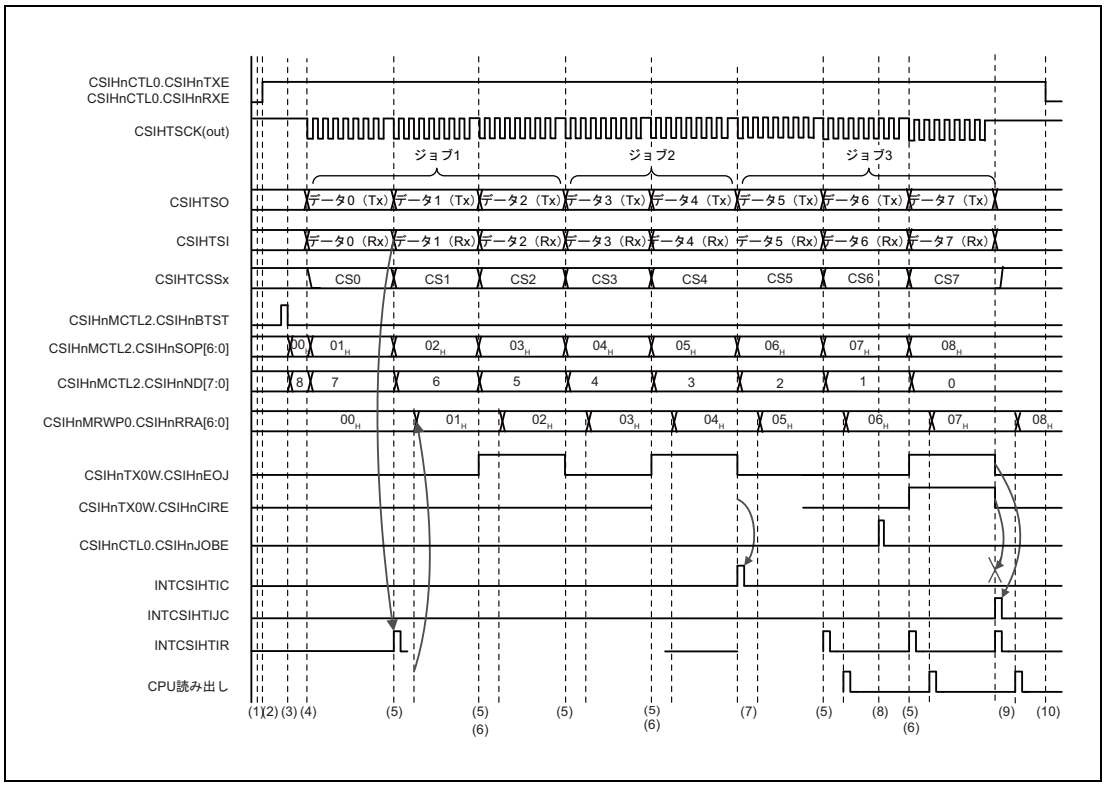


図 16.54 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備 考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS0 ～ CS7 を使用します。
   CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
   CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
   CSIHnMCTL0.CSIHnMMS[1:0] = 01_B （デュアルバッファモード）に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットを設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を開始します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。最後のデータが送受信されるまで、この動作が繰り返し実行されます。
5. データが 1 つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。
   現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ 3 の終了時に通信を強制的に停止します。
9. 通信の強制停止後、ジョブ 3 の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。
   割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
   割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
10. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

16.6.3.3 スレーブモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCTL1.CSIHnCKR = 0, CSIHnCFG0.CSIHnDAP0 = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE = 0）
- データの数：9（CSIHnMCTL2.CSIHnND[7:0] = 09_H）
- 転送開始アドレス：10_H（CSIHnMCTL2.CSIHnSOP[6:0] = 10_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- デュアルバッファモード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B）
- ハンドシェーク機能有効（CSIHnCTL1.CSIHnHSE = 1）

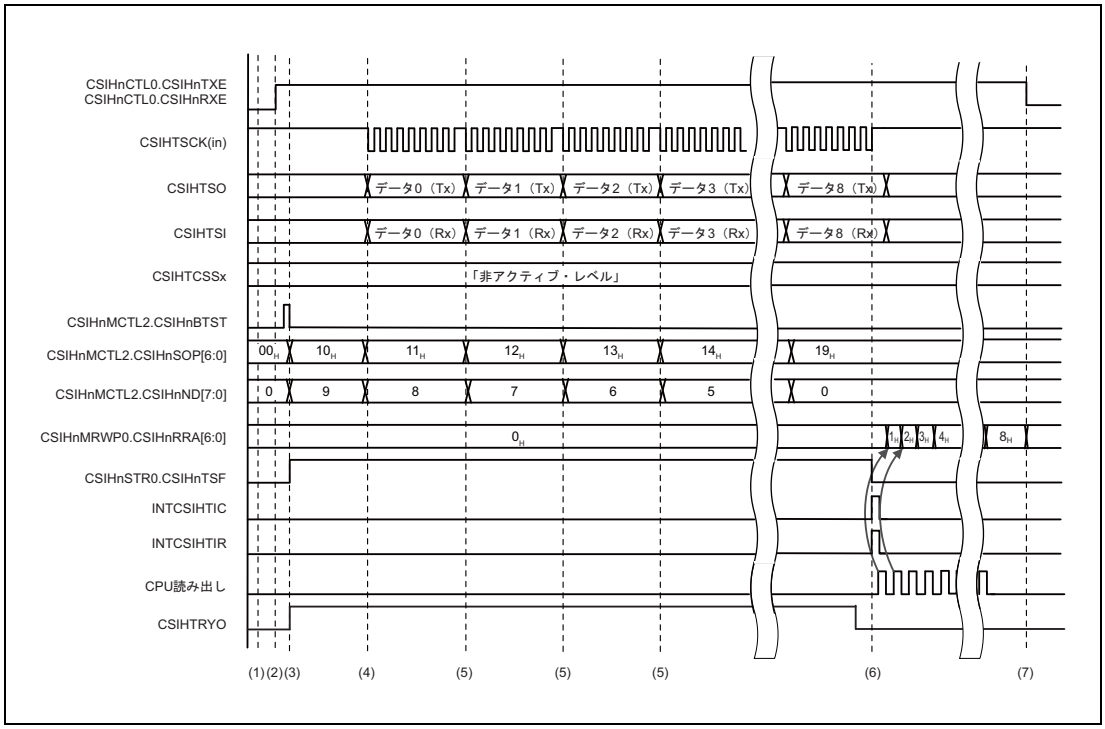


図 16.55 デュアルバッファモードのスレーブ、CSIHnCTL1.CSIHnJE = 0

備 考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFG0 レジスタで通信プロトコルを設定します。
   CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
   CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
   CSIHnMCTL0.CSIHnMMS[1:0] = 01_B でデュアルバッファモードに設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットを設定することによって転送開始アドレスを指定し、CSIHnMCTL2.CSIHnND[7:0] ビットを設定することによってデータの数を指定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. マスタから入力クロックを受信すると送信が開始されます。
   CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
   送信データがバッファから送信され、受信データがバッファに格納されるため、割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
   CPU が受信バッファに格納された受信データの読み出しを開始します。読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定されます。これらのビットはデータが 1 つ読み出されるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

16.6.4　FIFO モードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

16.6.4.1　マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE = 0）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- FIFO モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B）

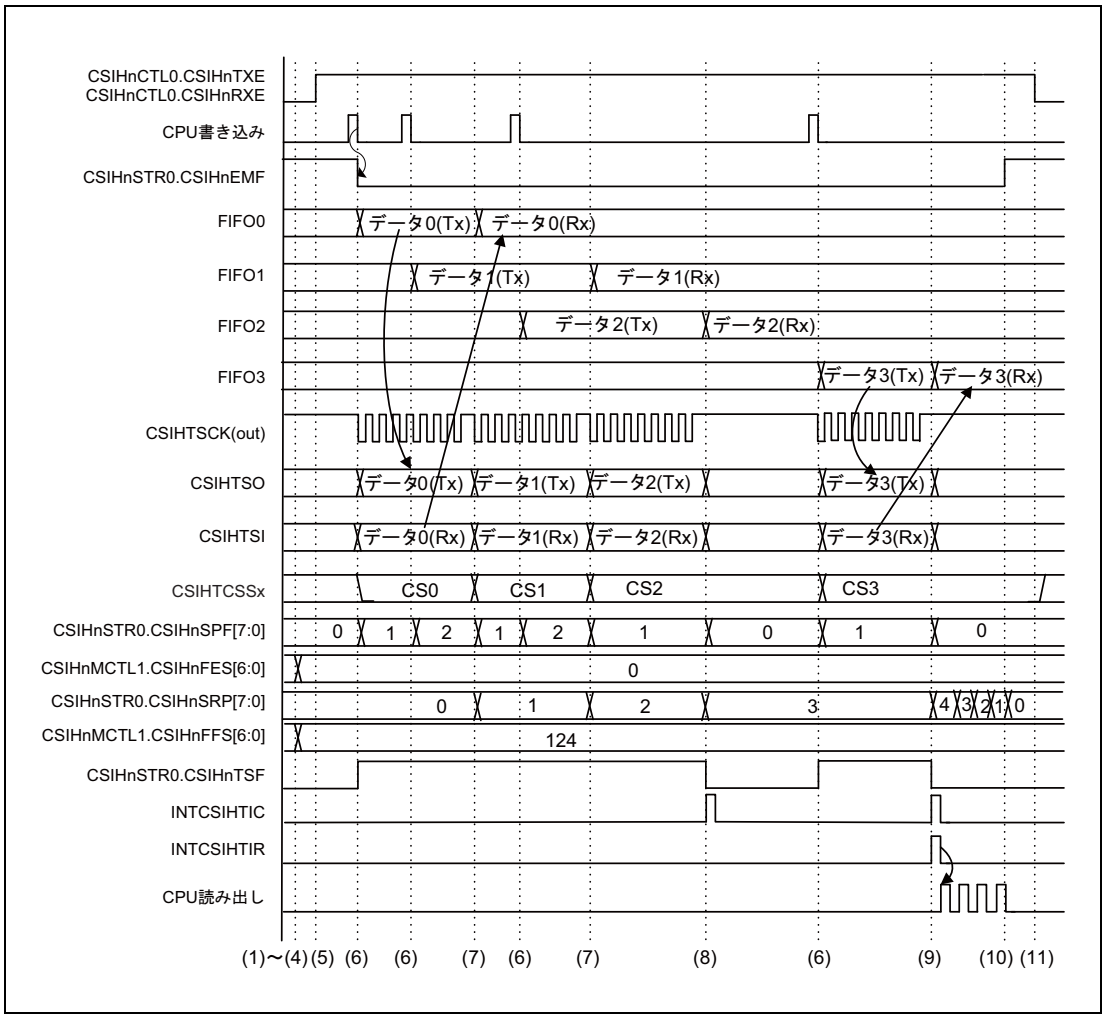


図 16.56　FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタ・モードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。この例ではチップ選択信号 CSIHTCSS0 ～ CSIHTCSS3 を使用します。
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で INTCSIHTIC 割り込み出力の条件を指定します。同じレジスタの CSIHnFFS[6:0] で INTCSIHTIR 割り込み出力の条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
6. 最初の送信データを送信レジスタ CSIHnTX0W にライトします。最初のデータが利用可能になると送信が自動的に開始されます。CSIHnSTR0.CSIHnEMF = 0 であることを確認します。
7. 現在の送信が完了します。CSIHnFES[6:0] = CSIHnSPF[7:0] でないため、割り込み要求 INTCSIHTIC が生成されません。
8. CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。
9. CSIHnFFS[6:0] = 128-CSIHnSRP[7:0] になると割り込み要求 INTCSIHTIR が生成されます。CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
10. CPU が受信バッファに格納された受信データのリードを完了したとき、CSIHnSTR0.CSIHnEMF が 1 にセットされ、FIFO バッファはエンプティ状態になります。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

16.6.4.2 マスタモードでジョブモードが有効になっている送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード有効（CSIHnCTL1.CSIHnJE = 1）
- ジョブ 1 = 4 データ、ジョブ 2 = 3 データ、ジョブ 3 = 5 データ
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- FIFO モード（CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B）

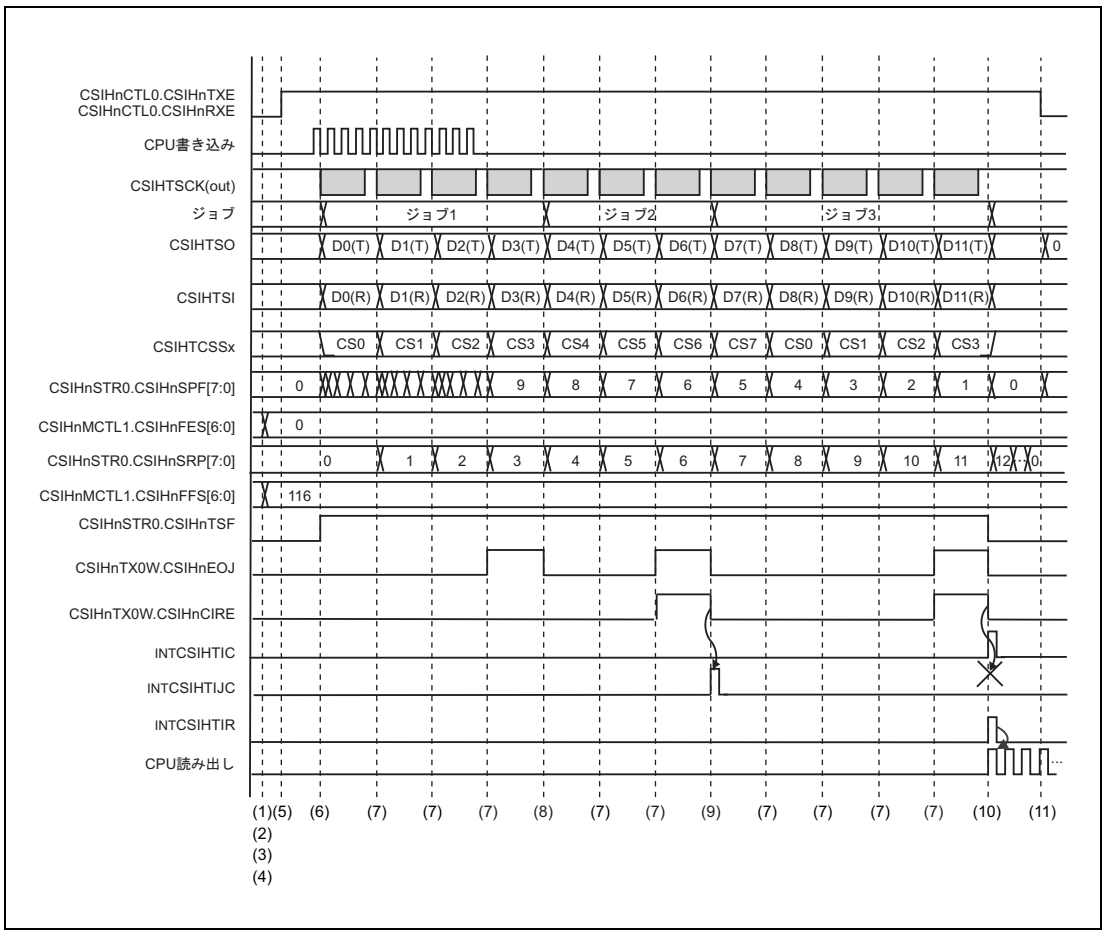


図 16.57 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタ・モードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。この例ではチップ選択信号 CS0 ～ CS7 を使用します。
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_H であることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で割り込み要求 INTCSIHTIC の発生条件を指定し、CSIHnMCTL1.CSIHnFFS[6:0] で割り込み要求 INTCSIHTIR の発生条件を指定します。
5. CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
6. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
   CSIHnSTR0.CSIHnEMF = 0 であることを確認します。
7. 現在の送信が完了します。CSIHnFES[6:0] = CSIHnSPF[7:0] でないため、割り込み要求 INTCSIHTIC が生成されません。
8. 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIJC は発生しません。
9. 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ = 1）が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたため、割り込み要求 INTCSIHTIJC が生成されます。
10. CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。INTCSIHTIC が生成されているので、INTCSIHTIJC は生成されません。
    CSIHnFFS[6:0] = 128 - CSIHnSRP[7:0] になると割り込み要求 INTCSIHTIR が生成されます。INTCSIHTIR 割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

16.7 CSIHn RAM のエラー検出／訂正

16.7.1 CSIHn RAM ECC

表 16.46 に CSIHn RAM ECC の機能概要を示します。

表 16.46 CSIHn RAM ECC の機能一覧

項目	機能概要
ECC エラー検出／訂正	ECC エラー判定を行います。 下記設定を選択可能です。 • 2 ビットエラー検出と 1 ビットエラー検出／訂正を行います • 2 ビットエラー検出と 1 ビットエラー検出を行います ECC エラー検出 / 訂正を無効にもできます（スルーモード時）。 初期状態は、エラー検出 / 訂正が有効です。
エラー通知	ECC2 ビットエラー発生時は、エラー通知を行います。 • ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 初期状態は、2 ビットエラー検出時のエラー通知許可。 ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。 エラーステータスのクリアビットを持ちます。

16.7.2 割り込み要求

表 16.47 に CSIHn の RAM ECC 割り込み要求を示します。

表 16.47 CSIHn ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	概要	名称	DMA トリガ番号
INTECCDCSIHn	CSIHn ECC2 ビットエラー割り込み	INTECCDCSIH0	—
		INTECCDCSIH1	
		INTECCDCSIH2	
		INTECCDCSIH3	

16.7.3 ECCCSIHnCTL — CSIHn ECC コントロールレジスタ

ECCCSIHnCTL レジスタは CSIH の ECC のモードを制御、およびステータスの制御を行うレジスタです。

ビット 7, 5 ～ 4 の設定（書き込み）は CSIHn が動作していない時に行ってください。

また、ビット 7 への書き込みは EMCA1, EMCA0 を 01_B にして実行してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFC7 00n0$_H$（n = 0 ～ 3）

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA1	EMCA0	—	—	—	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	—	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—
R/W	R/W 注1	R/W 注1	R	R	R	R/W 注1	R/W 注1	R	R/W	R	R/W	R/W	R	R	R	R

注 1. リード値は常に 0 が読み出されます。

表 16.48 ECCCSIHnCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	EMCA1	ECC モード選択ビットへのアクセス制御ビット 本ビットは ECTHM（ビット 7）の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 01_B のとき、ビット 7 への書き込みが可能になります。
14	EMCA0	
13 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットは ECER2F（ビット 2）の 2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。ECER2F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER2F ビットがクリアされます。1 書き込みと ECER2F のセット要因が競合した際には本ビットの書き込みが優先されます。
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットは ECER1F（ビット 1）の 1 ビットエラー検出／訂正フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。ECER1F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER1F ビットがクリアされます。1 書き込みと ECER1F のセット要因が競合した際には本ビットの書き込みが優先されます。
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTHM	ECC 機能スルーモード選択ビット 本ビットは、ECC 機能の有効／無効を設定するビットです。セット “1” することで、ECC 機能を無効にすることができます。このビットの書き込み時は EMCA1, EMCA0 に 01_B を同時に書き込む必要があります。 0：スルーモード禁止（通常動作モード） 1：スルーモード許可（ECC 機能無効）
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	EC1ECP	1 ビットエラー訂正許可ビット 本ビットは ECC エラー検出／訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正を行う。 1：1 ビットエラー検出時にエラー訂正を行わない。
4	EC2EDIC	2 ビットエラー検出割り込み制御ビット 本ビットは 2 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0：2 ビットエラー検出時に INTECCDCSIHn 割り込みを発生させない。 1：2 ビットエラー検出時に INTECCDCSIHn 割り込みを発生する。（初期値）

表 16.48 ECCCSIHnCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態（ECTHM = 0）で RAM へのリードアクセス時に 2 ビットエラーが検出されたことを示すフラグです。2 ビットエラー割り込み許可状態（EC2EDIC = 1）で、本フラグがセットされると ECC2 ビットエラー割り込み（INTECCDCSIHn）が発生します。 クリアの際には ECER2C ビット（ビット 10）へ 1 書き込みを行ってください。スルーモード許可選択 （ECTHM = 1）時も本ビットはクリアされます。本ビットがセットされた状態で再度 2 ビットのビットエラーが検出されても割り込みは発生しません。 0：本ビットクリア後、2 ビットエラーは発生していない。 1：2 ビットエラーが発生したことがある。 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
1	ECER1F	1 ビットエラー検出／訂正フラグビット 本ビットはエラー判定許可状態（ECTHM = 0）で RAM へのリードアクセス時に 1 ビットエラーが検出されたことを示すフラグです。クリアの際には ECER1C ビット（ビット 9）へ 1 書き込みを行ってください。スルーモード許可選択（ECTHM = 1）時も本ビットはクリアされます。 0：本ビットクリア後、1 ビットエラーは発生していない。 1：1 ビットエラーが発生したことがある。 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
0	ECEMF	ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。本ビットは RAM 出力データごとに更新されます。スルーモード許可選択（ECTHM = 1）時、およびデコード回路入力データに 1 ビットエラーがないときも本ビットはクリアされます。 0：現在の RAM 出力データには、ビットエラーが存在していない。 1：現在の RAM 出力データでは、ビットエラーが存在する。

注　意

ビット 2, 1 をクリアする場合には、ECC エラー表示フラグ（ECEMF）がセットされていない時にクリアする必要があります。

16.7.4 ECCCSIHnTMC — CSIHn ECC テストモードコントロールレジスタ

ECCCSIHnTMC レジスタはテストモードへの切り替え、およびテストモード制御のためのレジスタです。

本レジスタは CSIHn が RAM アクセスしていないときに使用できます。

ビット 7 への書き込みは ETMA1, ETMA0 を 10_B にして実行してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFC7 00n4$_H$（n = 0 ～ 3）

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA1	ETMA0	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W 注1	R/W 注1	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注 1. リード値は常に 0 が読み出されます。

表 16.49 ECCCSIHnTMC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ETMA1	ECC テストモードビットへのアクセス制御ビット 本ビットは ECTMCE（ビット 7）の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 10_B のとき、ビット 7 への書き込みが可能になります
14	ETMA0	
13 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよび、本レジスタのテスト制御ビットへのアクセスを許可するかを選択するビットです。このビットの書き込み時は、ETMA1, ETMA0 に 10_B を同時に書き込む必要があります。 0：テストレジスタおよびテスト制御ビットに対するアクセスを禁止する 1：テストレジスタおよびテスト制御ビットに対するアクセスを許可する テストレジスタ：ECCCSIHnTED, ECCCSIHnTRC, ECCCSIHnSYND, ECCCSIHnHORD, ECCCSIHnECRD, ECCCSIHnERDB レジスタ テスト制御ビット：ECTRRS, ECREOS, ECENS, ECDCS, ECREIS
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは ECCCSIHnTED レジスタをリードする際の読み込み先、および ECCCSIHnERDB レジスタをリードする際の読み込み先を選択します。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：ECCCSIHnTED レジスタのリード値は、ECCCSIHnTED レジスタの書き込み値となります。 ECCCSIHnERDB レジスタのリード値は、ECCCSIHnERDB レジスタの書き込み値となります。 1：ECCCSIHnTED レジスタのリード値は、RAM データが読み出せます。 ECCCSIHnERDB レジスタのリード値は、RAM に書き込まれる ECC データとなります。

表 16.49 ECCCSIHnTMC レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	ECREOS	ECC リダンダントビット出力データ選択ビット 本ビットは RAM に格納する ECC データを書き込みデータに対して生成された ECC データとするか、または ECCCSIHnERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：書き込みデータに対して生成された ECC データを RAM に格納する。 1：ECCCSIHnERDB レジスタの値を RAM に格納する。
2	ECENS	ECC エンコード入力選択ビット 本ビットは ECC データを生成する際の対象データを RAM への書き込みデータとするか、または ECCCSIHnTED レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：RAM へのライトデータから ECC データを生成する。 1：ECCCSIHnTED レジスタの値から ECC データを生成する。
1	ECDCS	ECC デコード入力選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象データを、RAM データとするか、または ECCCSIHnTED レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：RAM データからシンドロームコードの生成と誤り検出を行う。 1：ECCCSIHnTED レジスタの値からシンドロームコードの生成と誤り検出を行う。
0	ECREIS	ECC リダンダントビット入力データ選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象 ECC データを、RAM に格納された ECC データとするか、または ECCCSIHnERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：RAM に格納された ECC データからシンドロームコードの生成と、誤り検出を行う。 1：ECCCSIHnERDB レジスタの値からシンドロームコードの生成と、誤り検出を行う。

16.7.5 ECCCSIHnTED — CSIHn ECC エンコード／デコード入出力代替テストレジスタ

ECC テストモードにおいて、テストデータを扱うレジスタです。

本レジスタの値から、ECC データの生成またはシンドロームコードの生成を行います。

ECC テストモードがイネーブル（ECCCSIHnTMC.ECTMCE = 1）である場合にアクセス可能です。ECCCSIHnTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は $0000\ 0000_H$ となります。

本レジスタは CSIHn が RAM アクセスしていないときに使用できます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス $FFC7\ 00nC_H$（n = 0 ～ 3）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.50 ECCCSIHnTED レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ECEDB[31:0]	ECCCSIHnTMC.ECENS = 1 において、本レジスタの値から ECC データを生成し、本レジスタの値を RAM へ格納します。 ECCCSIHnTMC.ECDCS = 1 において、本レジスタの値からシンドロームコードを生成し、本レジスタの値を ECC デコードシンドロームデータレジスタ（ECCCSIHnSYND）に格納します。 また、ECCCSIHnTMC.ECTRRS = 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM データ [31:0] が読み出されます。

16.7.6 ECCCSIHnTRC — CSIHn ECC 冗長ビットデータコントロールテストレジスタ

ECC テストモードにおいて、ECC データに対するテストレジスタで、ECCCSIHnSYND, ECCCSIHnHORD, ECCCSIHnECRD, ECCCSIHnERDB の 4 つの 8 ビットレジスタで構成されます。

ECC テストモードがイネーブル（ECCCSIHnTMC.ECTMCE = 1）である場合にアクセス可能です。ECCCSIHnTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は $0000\ 0000_H$ となります。

本レジスタは CSIHn が RAM アクセスしていないときに使用できます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス $FFC7\ 00n8_H$（n = 0 ～ 3）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECCCSIHnSYND（**16.7.7** 参照）								ECCCSIHnHORD（**16.7.8** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECCCSIHnECRD（**16.7.9** 参照）								ECCCSIHnERDB（**16.7.10** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.7.7 ECCCSIHnSYND — CSIHn ECC デコードシンドロームデータレジスタ

ECC テストモードにおいて、生成されたシンドロームコードが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（ECCCSIHnTMC.ECTMCE = 1）のときリードアクセスのみ可能、ディセーブル（ECCCSIHnTMC.ECTMCE = 0）のとき読み出し値は 00_H となります。

アクセス 8 ビット単位でリードのみ可能です。

アドレス $FFC7\ 00nB_H$（n = 0 ～ 3）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 16.51 ECCCSIHnSYND レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	SYND[6:0]	生成されたシンドロームコードが随時格納されます。

16.7.8 ECCCSIHnHORD — CSIHn ECC 7 ビット冗長ビットデータ保持テストレジスタ

ECC テストモードにおいて、読み出した RAM データに対する ECC データが格納されるレジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（ECCCSIHnTMC.ECTMCE = 1）のときリードアクセスのみ可能、ディセーブル（ECCCSIHnTMC.ECTMCE = 0) のとき読み出し値は 00_H となります。

アクセス 8 ビット単位でリードのみ可能です。

アドレス FFC7 00nA$_H$（n = 0 ～ 3）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 16.52 ECCCSIHnHORD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	HORD[6:0]	読み出した RAM データに対する ECC コードが随時格納されます。 また、ECCCSIHnTMC.ECTRRS = 1 の場合、ECCCSIHnTED レジスタをリードした際にも ECC コードが格納されます。

16.7.9 ECCCSIHnECRD — CSIHn ECC エンコードテストレジスタ

ECC テストモードにおいて、書き込んだ RAM データに対して生成された ECC データが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（ECCCSIHnTMC.ECTMCE = 1）のときリードアクセスのみ可能、ディセーブル（ECCCSIHnTMC.ECTMCE = 0）のとき読み出し値は 00_H となります。

アクセス 8 ビット単位でリードのみ可能です。

アドレス FFC7 00n9$_H$（n = 0 ～ 3）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ECRD6	ECRD5	ECRD4	ECRD3	ECRD2	ECRD1	ECRD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 16.53 ECCCSIHnECRD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	ECRD[6:0]	RAM データ書き込み時に生成される ECC データを読み出すことができます。 また、ECCCSIHnTMC.ECENS = 1 の際には、ECCCSIHnTED レジスタに書き込んだデータに対する ECC データを読み出すことができます。

16.7.10 ECCCSIHnERDB — CSIHn ECC リダンタントビット入出力代替バッファレジスタ

ECC テストモードにおいて、ECC データを扱うレジスタです。

本レジスタの値は、RAM への書き込み時に生成される ECC データ、または RAM データの読み出し時に読み込まれる ECC データとして扱うことができます。

ECC テストモードがイネーブル（ECCCSIHnTMC.ECTMCE = 1）である場合に、アクセスが可能です。ECCCSIHnTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 00_H となります。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC7 $00n8_H$（n = 0 ～ 3）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.54 ECCCSIHnERDB レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	ERDB[6:0]	ECCCSIHnTMC.ECREOS = 1 の場合、本レジスタの値を ECC データとして RAM へ格納します。 ECCCSIHnTMC.ECREIS = 1 の場合、本レジスタの値を RAM から読み出された ECC データとします。 また、ECCCSIHnTMC.ECTRRS = 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM に格納する ECC データが読み出されます。

16.7.11 SELB_READTEST — ECCREAD テスト選択レジスタ

CSIHn、RS-CANn、FLXAn の ECC のレジスタのリード／ライトチェックに使用します。

各機能に対応するビットを “1” に設定することで、リードオンリービットにライトすることが可能になります。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFC7 8000$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RTCANE7A0 [2:1]		—	—	—	—	—	RTCAN E7A0[0]	RTFLX AE7A0	RTFLX ATRAM 1	RTFLX ATRAM 0	RTCSIH E7A3	RTCSIH E7A2	RTCSIH E7A1	RTCSIH E7A0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.55 SELB_READTEST レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14、13	RTCANE7A0 [2:1]	RS-CAN0 の ECC 注 1 レジスタテストライト許可／禁止ビット 00_B：テストライト禁止。 11_B：テストライト許可。（RS-CAN0 ECC のリードオンリービットへの書き込み可能） 上記以外を設定した場合は、動作の保証ができません。
12 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	RTCANE7A0[0]	RS-CAN0 の ECC 注 1 レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RS-CAN0 ECC のリードオンリービットへの書き込み可能）
6	RTFLXAE7A0	FLXA（MRAM）の ECC 注 2 レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（FLXA（MRAM）ECC のリードオンリービットへの書き込み可能）
5	RTFLXATRAM1	FLXA（TBF）の ECC 注 2 レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（FLXA（TBF）ECC のリードオンリービットへの書き込み可能）
4	RTFLXATRAM0	FLXA（TBF）の ECC 注 2 レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（FLXA（TBF）ECC のリードオンリービットへの書き込み可能）
3	RTCSIHE7A3	CSIH3 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH3ECC のリードオンリービットへの書き込み可能）
2	RTCSIHE7A2	CSIH2 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH2ECC のリードオンリービットへの書き込み可能）
1	RTCSIHE7A1	CSIH1 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH1ECC のリードオンリービットへの書き込み可能）

表 16.55 SELB_READTEST レジスタの内容 (2/2)

ビット位置	ビット名	機能
0	RTCSIHE7A0	CSIH0 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH0ECC のリードオンリービットへの書き込み可能）

注 1. **「20.11　RS-CAN RAM のエラー検出／訂正」**を参照してください。
注 2. **「21.4　FlexRay RAM のエラー検出／訂正」**を参照してください。

注　意

RS-CAN0 の ECC レジスタテストライトを有効にするときは、SELB_READTEST.RTCANE7A0[2:0] を 111_B にしてください。

第 17 章 LIN マスタインタフェース（RLIN2）

本章では、LIN マスタインタフェース（RLIN2）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、RLIN2 の機能、レジスタについて説明します。

17.1 RH850/F1M RLIN2 の特長

17.1.1 ユニット数とチャネル数

本製品シリーズは、以下に示すユニット数とチャネル数の RLIN2 を搭載しています。

表 17.1 ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	2	3	
名称	RLIN24n (n = 0、1)	RLIN24n (n = 0 ～ 2)	

表 17.2 RLIN2 のユニット構成とチャネル及びユニットチャネル番号の対応

ユニット名	ユニットチャネル数	ユニットチャネル番号	チャネル名 RLIN2m	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
RLIN240	4	0	RLIN20	○	○	○
		1	RLIN21	○	○	○
		2	RLIN22	○	○	○
		3	RLIN23	○	○	○
RLIN241	4	0	RLIN24	○	○	○
		1	RLIN25	○	○	○
		2	RLIN26	—	○	○
		3	RLIN27	—	○	○
RLIN242	2	0	RLIN28	—	○	○
		1	RLIN29	—	○	○

表 17.3 添字

添字	意味
n	本章では、RLIN2 の各ユニットを「n」（n = 0 ～ 2）で識別します。
m	本章では、各チャネルを「m」（m = 0 ～ 9）で識別します。
i	本章では、RLIN2 を構成するユニットの各チャネルを「i」（i = 0 ～ 3）で識別します。
b	本章では、RLIN2 が搭載する各データバッファを「b」（b = 1 ～ 8）で識別します。

例えば、RLIN2 のグローバルレジスタである LIN ウエイクアップボーレート選択レジスタは、RLN24nGLWBR、チャネルレジスタである LIN モードレジスタは RLN24nmLiMD と記述しています。

各製品の添字が示す値を以下に示します。

表 17.4 各製品の添字対応

各製品の添字対応		
144 pin	176 pin	233 pin
i = 0 ～ 3 (RLIN240) i = 0, 1 (RLIN241)	i = 0 ～ 3 (RLIN240) i = 0 ～ 3 (RLIN241) i = 0, 1 (RLIN242)	i = 0 ～ 3 (RLIN240) i = 0 ～ 3 (RLIN241) i = 0, 1 (RLIN242)
b = 1 ～ 8	b = 1 ～ 8	b = 1 ～ 8

17.1.2 レジスタベースアドレス

RLIN2 のベースアドレスを以下の表に示します。

RLIN2 のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 17.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RLIN240_base>	FFCE 0000_H
<RLIN241_base>	FFCE 0080_H
<RLIN242_base>	FFCE 0100_H

17.1.3 クロック供給

RLIN2 のクロック供給を以下の表に示します。

表 17.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RLIN24n	LIN 通信クロック源	CKSCLK_ILIN
	レジスタアクセスクロック	CKSCLK_ILIN

17.1.4 割り込み要求

RLIN2 の割り込み要求を以下の表に示します。

表 17.7 割り込み要求 (1/2)

ユニット割り込み信号	概要	割り込み番号
RLIN240		
INTRLIN20	RLIN20 割り込み	58
INTRLIN21	RLIN21 割り込み	59
INTRLIN22	RLIN22 割り込み	162
INTRLIN23	RLIN23 割り込み	163
RLIN241		
INTRLIN24	RLIN24 割り込み	226
INTRLIN25	RLIN25 割り込み	227
INTRLIN26	RLIN26 割り込み	275

表 17.7 割り込み要求 (2/2)

ユニット割り込み信号	概要	割り込み番号
INTRLIN27	RLIN27 割り込み	276
RLIN242		
INTRLIN28	RLIN28 割り込み	285
INTRLIN29	RLIN29 割り込み	286

17.1.5 リセット要因

RLIN2 のリセット要因を以下に示します。RLIN2 は以下のリセット要因で初期化されます。

表 17.8 リセット要因

ユニット名	リセット要因
RLIN24n	すべてのリセット要因（ISORES）

17.1.6 外部入出力信号

RLIN2 の外部入出力信号を以下の表に示します。

表 17.9 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
RLIN240		
RLIN2mRX (m = 0 ～ 3)	RLIN240 受信データ入力	RLIN2mRX (m = 0 ～ 3)
RLIN2mTX (m = 0 ～ 3)	RLIN240 送信データ出力	RLIN2mTX (m = 0 ～ 3)
RLIN241		
RLIN2mRX (m = 4 ～ 7)	RLIN241 受信データ入力	RLIN2mRX (m = 4 ～ 7)
RLIN2mTX (m = 4 ～ 7)	RLIN241 送信データ出力	RLIN2mTX (m = 4 ～ 7)
RLIN242		
RLIN2mRX (m = 8、9)	RLIN242 受信データ入力	RLIN2mRX (m = 8、9)
RLIN2mTX (m = 8、9)	RLIN242 送信データ出力	RLIN2mTX (m = 8、9)

注 意

P0_0 端子を RLIN20RX として使用する場合、リセット中およびリセット解除後、P0_0 端子（RESETOUT 信号）からロウレベルを出力します。
詳細は「**2.11.1.1 P0_0：RESETOUT**」を参照してください。

17.2 概要

17.2.1 機能概要

LIN マスタインタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602(SEP 2005) に準拠したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

表 17.10 に LIN マスタインタフェースの仕様を示します。

表 17.10 LIN マスタインタフェースの仕様

項目		仕様
チャネル数		6、10 チャネル（この製品では、4 チャネル版の RLIN2 が搭載されています。）
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602(SEP 2005)
	フレーム構成可変	• 送信ブレーク幅：13 ～ 28 Tbit • 送信ブレークデリミタ幅：1 ～ 4 Tbit • インタバイトスペース（ヘッダ）：0 ～ 7 Tbit（Sync フィールドと ID フィールド間のスペース）注 1 • レスポンススペース：0 ～ 7 Tbit 注 1 • インタバイトスペース：0 ～ 3 Tbit（レスポンス領域内のデータバイト間のスペース） • 送信ウエイクアップ：1 ～ 16 Tbit
	チェックサム	• 送受信ともに自動演算 • クラシックまたはエンハンス選択可能 （フレームごとに変更可能）
	レスポンスフィールドデータバイト数	0 ～ 8 バイト可変
	フレーム通信方法	• ヘッダ送信とレスポンス送信 / 受信を 1 つの送信開始要求により通信するモード • ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード）
	ウエイクアップ送受信	LIN ウエイクアップモードで使用可能 • ウエイクアップ送信機能（1 ～ 16 Tbit） • ウエイクアップ受信 入力信号ロウレベル幅カウント機能
	ステータス	• フレーム／ウエイクアップ送信完了 • ヘッダ送信完了 • フレーム／ウエイクアップ受信完了注 2 • データ 1 受信完了 • エラー検出 • 動作モード （LIN リセットモード、LIN ウエイクアップモード、LIN 動作モード、LIN セルフテストモード）
	エラーステータス	• ビットエラー • チェックサムエラー • フレームタイムアウトエラー • フィジカルバスエラー • フレーミングエラー
	ボーレート選択	ボーレートジェネレータで LIN 仕様のボーレートを生成可能
	テストモード	ユーザ評価用セルフテストモード
	割り込み機能	• フレーム／ウエイクアップ送信完了 • フレーム／ウエイクアップ受信完了注 2 • エラー検出 これら 3 つの論理和が各チャネルの割り込み要因（INTRLIN2m）となります。

注 1. 同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。
注 2. ウエイクアップ受信は、入力信号ロウレベル幅カウントを示します。

17.2.2 ブロック図

図 17.1 に LIN マスタインタフェースのブロック図を示します。

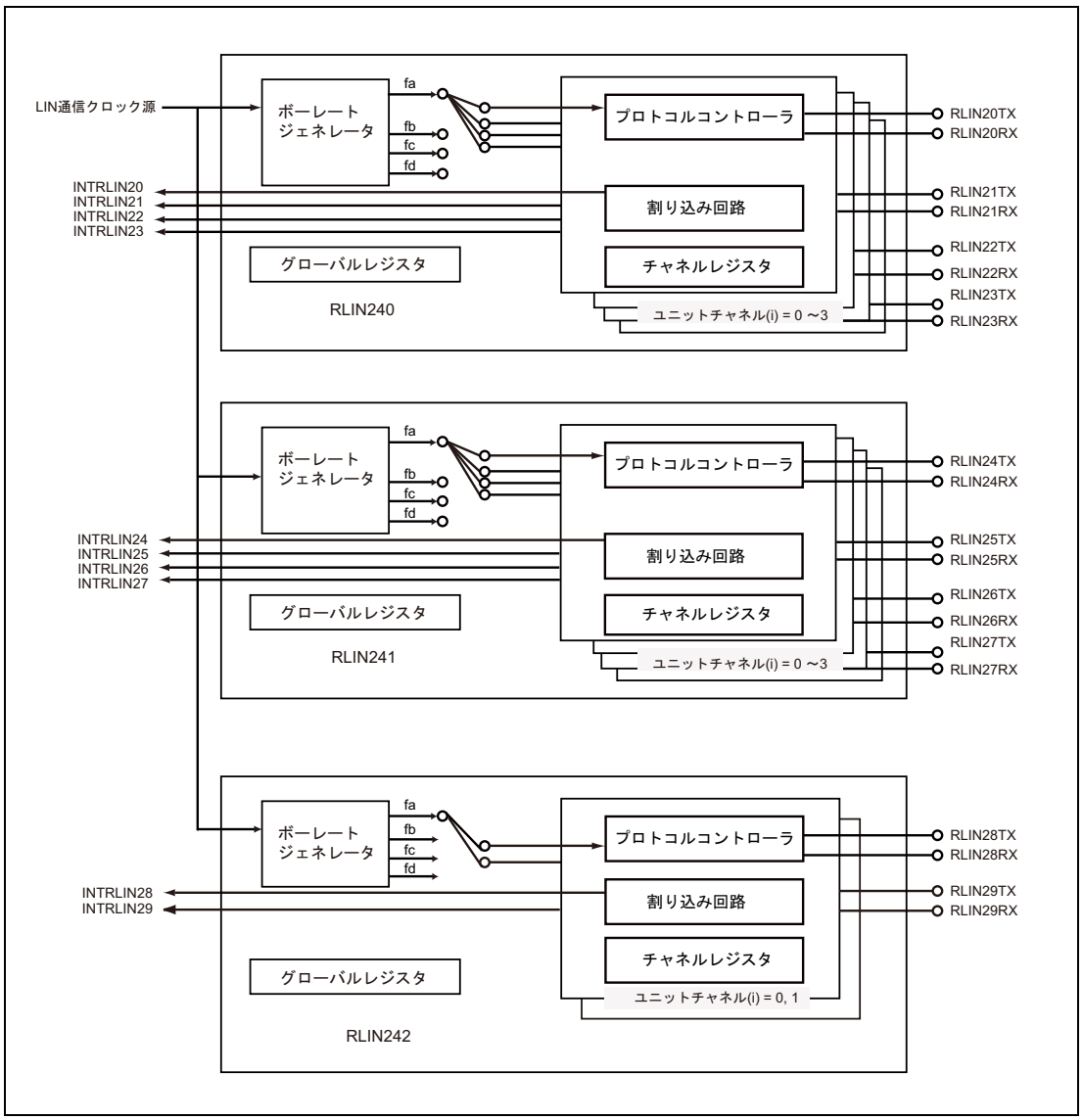


図 17.1 LIN マスタインタフェースブロック図（232 pin、RLIN2 10 チャネル搭載品）

17.3 レジスタ

LIN マスタインタフェースのレジスタは、グローバルレジスタとチャネルレジスタで構成されています。グローバルレジスタは、ユニット毎に配置されているため、ユニット単位で個々の設定が可能です。チャネルレジスタは、チャネル毎に存在し各チャネルの制御が可能です。

17.3.1 レジスター覧

RLIN2 のレジスター覧を以下の表に示します。

<RLIN24n_base> は**「17.1.2 レジスタベースアドレス」**を参照してください。

表 17.11 レジスター覧

モジュール名	レジスタ名	略号	アドレス
グローバルレジスタ			
RLN24n	LIN ウエイクアップボーレート選択レジスタ	RLN24nGLWBR	<RLIN24n_base> + 01_H
RLN24n	LIN ボーレートプリスケーラ 0 レジスタ	RLN24nGLBRP0	<RLIN24n_base> + 02_H
RLN24n	LIN ボーレートプリスケーラ 1 レジスタ	RLN24nGLBRP1	<RLIN24n_base> + 03_H
RLN24n	LIN セルフテスト制御レジスタ	RLN24nGLSTC	<RLIN24n_base> + 04_H
チャネルレジスタ			
RLN24nm	LIN モードレジスタ	RLN24nmLiMD	<RLIN24n_base> + 08_H + i × 20_H
RLN24nm	LIN ブレークフィールド設定レジスタ	RLN24nmLiBFC	<RLIN24n_base> + 09_H+ i × 20_H
RLN24nm	LIN スペース設定レジスタ	RLN24nmLiSC	<RLIN24n_base> + $0A_H$ + i × 20_H
RLN24nm	LIN ウエイクアップ設定レジスタ	RLN24nmLiWUP	<RLIN24n_base> + $0B_H$ + i × 20_H
RLN24nm	LIN 割り込み許可レジスタ	RLN24nmLiIE	<RLIN24n_base> + $0C_H$ + i × 20_H
RLN24nm	LIN エラー検出許可レジスタ	RLN24nmLiEDE	<RLIN24n_base> + $0D_H$ + i × 20_H
RLN24nm	LIN 制御レジスタ	RLN24nmLiCUC	<RLIN24n_base> + $0E_H$ + i × 20_H
RLN24nm	LIN 送信制御レジスタ	RLN24nmLiTRC	<RLIN24n_base> + 10_H + i × 20_H
RLN24nm	LIN モードステータスレジスタ	RLN24nmLiMST	<RLIN24n_base> + 11_H + i × 20_H
RLN24nm	LIN ステータスレジスタ	RLN24nmLiST	<RLIN24n_base> + 12_H + i × 20_H
RLN24nm	LIN エラーステータスレジスタ	RLN24nmLiEST	<RLIN24n_base> + 13_H + i × 20_H
RLN24nm	LIN データフィールド設定レジスタ	RLN24nmLiDFC	<RLIN24n_base> + 14_H + i × 20_H
RLN24nm	LIN ID バッファレジスタ	RLN24nmLiIDB	<RLIN24n_base> + 15_H + i × 20_H
RLN24nm	LIN チェックサムバッファレジスタ	RLN24nmLiCBR	<RLIN24n_base> + 16_H + i × 20_H
RLN24nm	LIN データバッファ 1 レジスタ	RLN24nmLiDBR1	<RLIN24n_base> + 18_H + i × 20_H
RLN24nm	LIN データバッファ 2 レジスタ	RLN24nmLiDBR2	<RLIN24n_base> + 19_H + i × 20_H
RLN24nm	LIN データバッファ 3 レジスタ	RLN24nmLiDBR3	<RLIN24n_base> + $1A_H$ + i × 20_H
RLN24nm	LIN データバッファ 4 レジスタ	RLN24nmLiDBR4	<RLIN24n_base> + $1B_H$ + i × 20_H
RLN24nm	LIN データバッファ 5 レジスタ	RLN24nmLiDBR5	<RLIN24n_base> + $1C_H$ + i × 20_H
RLN24nm	LIN データバッファ 6 レジスタ	RLN24nmLiDBR6	<RLIN24n_base> + $1D_H$ + i × 20_H
RLN24nm	LIN データバッファ 7 レジスタ	RLN24nmLiDBR7	<RLIN24n_base> + $1E_H$ + i × 20_H
RLN24nm	LIN データバッファ 8 レジスタ	RLN24nmLiDBR8	<RLIN24n_base> + $1F_H$ + i × 20_H

備考 未使用のレジスタに書き込みを行う場合は、リセット後の値を書いてください。

17.3.2 グローバルレジスタ

17.3.2.1 RLN24nGLWBR — LIN ウエイクアップボーレート選択レジスタ

アクセス 8 ビット単位でリード / ライト可能です。

アドレス RLN24nGLWBR: <RLIN24n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LWBR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 17.12 RLN24nGLWBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LWBR0	ウエイクアップボーレート選択ビット 0：LIN ウェイクアップモードにおいて、RLN24nmLiMD レジスタの LCKS ビットの設定通りのクロックが使用される（LIN1.3 使用時） 1：LIN ウェイクアップモードにおいて、RLN24nmLiMD レジスタの LCKS ビットの設定によらずクロック fa が使用される（LIN2.x 使用時）

RLN24nGLWBR レジスタは同一ユニット内の全てのチャネルの RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

LWBR0 ビット（ウエイクアップボーレート選択ビット）

LIN Specification Package Revision 1.3 使用時は、RLN24nGLWBR レジスタの LWBR0 ビットを “0” にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。

LIN Specification Package Revision 2.x 使用時は “1” にしてください。“1” にすることで LIN ウエイクアップモード中は RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（fLIN）は fa が選択されます（LCKS ビットは変化しません）。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のボーレートを 19200bps に設定することにより、RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウエイクアップモード時に 130μs 以上の入力信号ロウレベル幅を検出することができます。

17.3.2.2 RLN24nGLBRP0 — LIN ボーレートプリスケーラ 0 レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nGLBRP0: <RLIN24n_base> + 02_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LBRP0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.13 RLN24nGLBRP0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LBRP0[7:0]	設定値を N (0 ～ 255) とすると、ボーレートプリスケーラは LIN 通信クロック源を N+1 分周する 設定範囲：00_H ～ FF_H

RLN24nGLBRP0 レジスタは同一ユニット内の全てのチャネルの RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fa”、“fb”、“fc” の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケーラ 0 は LIN 通信クロック源を N+1 分周します。

17.3.2.3 RLN24nGLBRP1 — LIN ボーレートプリスケーラ 1 レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nGLBRP1: <RLIN24n_base> + 03_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LBRP1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.14 RLN24nGLBRP1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LBRP1[7:0]	設定値を M（0 ～ 255）とすると、ボーレートプリスケーラは LIN 通信クロック源を M+1 分周する 設定範囲：00_H ～ FF_H

RLN24nGLBRP1 レジスタは同一ユニット内の全てのチャネルの RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fd” の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケーラ 1 は LIN 通信クロック源を M+1 分周します。

17.3.2.4 RLN24nGLSTC — LIN セルフテスト制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nGLSTC: <RLIN24n_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.15 RLN24nGLSTC レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。
0	LSTM	LIN セルフテストモードビット 0：LIN セルフテストモードではない 1：LIN セルフテストモード

RLN24nGLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN24nGLSTC レジスタは同一ユニット内の全てのチャネルの RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、**「17.15 LIN セルフテストモード」**を参照してください。

ビット 6 ～ 1 を読み出すと “000000_B” が、ビット 7 を読みだすと不定値が読めます。

LSTM ビット（LIN セルフテストモードビット）

LIN セルフテストモードに移行したとき、このビットは “1” になります。
LIN セルフテストモードからの終了方法は、**「17.15 LIN セルフテストモード」**を参照してください。
RLN24nGLSTC レジスタへの “$A7_H$” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

17.3.3 チャネルレジスタ

17.3.3.1 RLN24nmLiMD — LIN モードレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiMD: <RLIN24n_base> + 08_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	LCKS[1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R

表 17.16 RLN24nmLiMD レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3、2	LCKS[1:0]	LIN システムクロック選択ビット b3 b2 0 0 : fa（ボーレートプリスケーラ 0 生成クロック） 0 1 : fb（ボーレートプリスケーラ 0 生成クロック /2） 1 0 : fc（ボーレートプリスケーラ 0 生成クロック /8） 1 1 : fd（ボーレートプリスケーラ 1 生成クロック /2）
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN24nmLiMD レジスタは RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

LCKS[1:0] ビット（LIN システムクロック選択ビット）

プロトコルコントローラに入力するクロックを選択するビットです。
“00_B” の場合、プロトコルコントローラには fa（ボーレートプリスケーラ 0 生成クロック）が入力されます。
“01_B” の場合、プロトコルコントローラには fb（ボーレートプリスケーラ 0 生成クロック /2）が入力されます。
“10_B” の場合、プロトコルコントローラには fc（ボーレートプリスケーラ 0 生成クロック /8）が入力されます。
“11_B” の場合、プロトコルコントローラには fd（ボーレートプリスケーラ 1 生成クロック /2）が入力されます。

RLN24nGLWBR レジスタの LWBR0 ビットが “1”（LIN 2.x 使用時）かつ RLN24nmLiMST レジスタが “01_H”（LIN ウエイクアップモード）の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます（LCKS ビットは変化しません）。

17.3.3.2 RLN24nmLiBFC — LIN ブレークフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiBFC: <RLIN24n_base> + 09_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 17.17 RLN24nmLiBFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	BDT[1:0]	送信ブレークデリミタ（ハイレベル）幅設定ビット b5 b4 0 0：1 Tbit 0 1：2 Tbits 1 0：3 Tbits 1 1：4 Tbits
3 ～ 0	BLT[3:0]	送信ブレーク（ロウレベル）幅設定ビット b3 b0 0 0 0 0：13 Tbits 0 0 0 1：14 Tbits 0 0 1 0：15 Tbits : 1 1 1 0：27 Tbits 1 1 1 1：28 Tbits

RLN24nmLiBFC レジスタは RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0] ビット（送信ブレークデリミタ（ハイレベル）幅設定ビット）

送信フレーム ヘッダ部のブレークデリミタ（**ハイレベル**）幅の設定をします。
1 Tbit ～ 4 Tbits を設定できます。

BLT[3:0] ビット（送信ブレーク（ロウレベル）幅設定ビット）

送信フレーム ヘッダ部のブレーク（**ロウレベル**）幅の設定をします。
13 Tbits ～ 28 Tbits を設定できます。

17.3.3.3 RLN24nmLiSC — LIN スペース設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiSC: <RLIN24n_base> + $0A_H$ + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 17.18 RLN24nmLiSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	IBHS[2:0]	インタバイトスペース（ヘッダ）／レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN24nmLiSC レジスタは RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレーム または レスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット（インタバイトスペース設定ビット）

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。
0 Tbit ～ 3 Tbits を設定できます。
レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0] ビット（インタバイトスペース（ヘッダ）／レスポンススペース設定ビット）

送信フレームヘッダ部のインタバイトスペース（ヘッダ）とレスポンススペースの幅の設定をします。
0 Tbit ～ 7 Tbits を設定できます。
レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。
インタバイトスペース（ヘッダ）とレスポンススペースの値は、同じになります。

17.3.3.4 RLN24nmLiWUP — LIN ウエイクアップ設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiWUP: <RLIN24n_base> + $0B_H$ + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 17.19 RLN24nmLiWUP レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	WUTL[3:0]	ウエイクアップ送信ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN24nmLiWUP レジスタは RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

WUTL[3:0] ビット（ウエイクアップ送信ロウレベル幅設定ビット）

ウエイクアップシグナル送信時のロウレベル幅を設定します。
1 Tbit ～ 16 Tbits を設定できます。

RLN24nGLWBR レジスタの LWBR0 ビットが “1”（LIN 2.x 使用時）の場合、RLN24nmLiMD レジスタの LCKS ビットにかかわらず、LIN システムクロック（fLIN）は fa が選択されます（LCKS ビットは変化しません）。

17.3.3.5 RLN24nmLiIE — LIN 割り込み許可レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiIE: <RLIN24n_base> + $0C_H$ + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 17.20 RLN24nmLiIE レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ERRIE	エラー検出割り込み要求許可ビット 0：エラー検出割り込み要求禁止 1：エラー検出割り込み要求許可
1	FRCIE	フレーム／ウエイクアップ受信完了割り込み要求許可ビット 0：フレーム／ウエイクアップ受信完了割り込み要求禁止 1：フレーム／ウエイクアップ受信完了割り込み要求許可
0	FTCIE	フレーム／ウエイクアップ送信完了割り込み要求許可ビット 0：フレーム／ウエイクアップ送信完了割り込み要求禁止 1：フレーム／ウエイクアップ送信完了割り込み要求許可

RLN24nmLiIE レジスタは RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

ERRIE ビット（エラー検出割り込み要求許可ビット）

エラーを検出したときの割り込み要求許可／禁止を設定します。
“0” の場合、RLN24nmLiST レジスタの ERR フラグが “1” になった際に割り込み要求が発生しません。
“1” の場合、RLN24nmLiST レジスタの ERR フラグが “1” になった際に割り込み要求が発生します。
発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラー、チェックサムエラーです。
ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラーは、RLN24nmLiEDE レジスタで検出許可／禁止の設定ができます。

FRCIE ビット（フレーム／ウエイクアップ受信完了割り込み要求許可ビット）

フレーム受信完了、または ウエイクアップシグナル受信（入力信号ロウレベル幅カウント）完了時の割り込み要求の許可／禁止を設定します。
“0” の場合、RLN24nmLiST レジスタの FRC フラグが “1” になった際に割り込み要求が発生しません。
“1” の場合、RLN24nmLiST レジスタの FRC フラグが “1” になった際に割り込み要求が発生します。

FTCIE ビット（フレーム／ウエイクアップ送信完了割り込み要求許可ビット）

フレーム送信完了、または ウエイクアップシグナル送信完了時の割り込み要求許可／禁止を設定します。
“0” の場合、RLN24nmLiST レジスタの FTC フラグが “1” になった際に割り込み要求が発生しません。
“1” の場合、RLN24nmLiST レジスタの FTC フラグが “1” になった際に割り込み要求が発生します。

17.3.3.6 RLN24nmLiEDE — LIN エラー検出許可レジスタ

アクセス 8 ビット単位でリード／ライト可能です。
アドレス RLN24nmLiEDE: <RLIN24n_base> + $0D_H$ + i × 20_H
リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 17.21 RLN24nmLiEDE レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	FTERE	フレームタイムアウトエラー検出許可ビット 0：フレームタイムアウトエラー検出禁止 1：フレームタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0：フィジカルバスエラー検出禁止 1：フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット 0：ビットエラー検出禁止 1：ビットエラー検出許可

RLN24nmLiEDE レジスタは RLN24nmLiMST レジスタの OMM0 ビットが ”0_B”（LIN リセットモード）のときに設定してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。
“0” の場合、フレーミングエラーを検出しません。
“1” の場合、フレーミングエラーを検出します。
このビットが “1” の場合の検出結果は、RLN24nmLiEST レジスタの FER フラグに反映されます。
フレーミングエラーの詳細は、**「17.14 エラーステータス 」**を参照ください。

FTERE ビット（フレームタイムアウトエラー検出許可ビット）

フレームタイムアウトエラー 検出の許可／禁止を設定します。
“0” の場合、フレームタイムアウトエラーを検出しません。
“1” の場合、フレームタイムアウトエラー を検出します。
このビットが “1” の場合の検出結果は、RLN24nmLiEST レジスタの FTER フラグに反映されます。
フレームタイムアウトエラーの詳細は、**「17.14　エラーステータス 」**を参照ください。

PBERE ビット（フィジカルバスエラー検出許可ビット）

フィジカルバスエラー検出の許可／禁止を設定します。
“0” の場合、フィジカルバスエラーを検出しません。
“1” の場合、フィジカルバスエラーを検出します。
このビットが “1” の場合の検出結果は、RLN24nmLiEST レジスタの PBER フラグに反映されます。
フィジカルバスエラーの詳細は、**「17.14　エラーステータス 」**を参照ください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。
“0” の場合、ビットエラーを検出しません。
“1” の場合、ビットエラーを検出します。
このビットが “1” の場合の検出結果は、RLN24nmLiEST レジスタの BER フラグに反映されます。
ビットエラーの詳細は、**「17.14　エラーステータス 」**を参照ください。

17.3.3.7 RLN24nmLiCUC — LIN 制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiCUC: <RLIN24n_base> + $0E_H$ + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.22 RLN24nmLiCUC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0：LIN ウエイクアップモード 1：LIN 動作モード
0	OM0	LIN リセットビット 0：LIN リセットモードへの移行 1：LIN リセットモードの解除

LIN リセットモードを解除するときに、LIN ウエイクアップモードに移行させる場合は RLN24nmLiCUC レジスタに “01_H” を、LIN 動作モードに移行させる場合は RLN24nmLiCUC レジスタに “03_H” を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN24nmLiCUC レジスタを “03_H” にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN24nmLiMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット（LIN モード選択ビット）

LIN リセットモード解除時の動作モード（LIN ウエイクアップモード、LIN 動作モード）選択をするビットです。
“0” にすると、LIN ウエイクアップモードになります。
“1” にすると、LIN 動作モードになります。
このビットは、RLN24nmLiMST レジスタの OMM0 ビットが “1” のときのみ有効です。
このビットは、RLN24nmLiTRC レジスタの FTS ビットが “1” の間は書けません。

OM0 ビット（LIN リセットビット）

LIN リセットモードへの移行／ LIN リセットモードの解除を選択するビットです。
“0” にすると、LIN リセットモードになります。
“1” にすると、LIN リセットモードは解除されます。

17.3.3.8 RLN24nmLiTRC — LIN 送信制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiTRC: <RLIN24n_base> + 10_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.23 RLN24nmLiTRC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	レスポンス送信開始ビット 0：フレームセパレートモードにおいてレスポンス送信停止 1：フレームセパレートモードにおいてレスポンス送信開始
0	FTS	フレーム送信／ウエイクアップ送受信開始ビット 0：フレーム送信／ウエイクアップ送受信停止 1：フレーム送信／ウエイクアップ送受信開始

RTS ビット（レスポンス送信開始ビット）

フレームセパレートモードで、ヘッダを送信開始（FTS ビットを “1”）し、レスポンス送信データの準備が完了した後に、“1” にしてください。設定後、このビットはフレーム送信終了 および LIN リセットモード移行時に自動的に “0” になります。
このビットは “1” のみ書けます。“0” は書けません。
このビットに “1” を書く場合は、ストア命令で “02_H” を書き込んでください。
このビットは、OMM0 ビットが “ 0”（LIN リセットモード）のときは書けません。OMM1 ビットが “0”（LIN ウエイクアップモード）のときは、“1” を書かないでください。
このビットは、FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときは書けません。

FTS ビット（フレーム送信／ウエイクアップ送受信開始ビット）

フレーム／ウエイクアップ送信開始時、“1” にしてください。
また、ウエイクアップ受信（入力信号ロウレベル幅カウント）を行う場合にも、このビットを “1” にしてください。
このビットは “1” のみ書けます。“0” は書けません。
このビットは、OMM0 ビットが “ 0”（LIN リセットモード）のときは書けません。
このビットは、フレーム および ウエイクアップの通信終了時に “0” になります。
LIN リセットモード移行時に “0” になります。

17.3.3.9 RLN24nmLiMST — LIN モードステータスレジスタ

アクセス 8 ビット単位でリードのみ可能です。

アドレス RLN24nmLiMST: <RLIN24n_base> + 11_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 17.24 RLN24nmLiMST レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスモニタ 0 : LIN ウエイクアップモード 1 : LIN 動作モード
0	OMM0	LIN リセットステータスモニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM1 ビット（LIN モードステータスモニタ）

現在の動作モードが確認できます。
OMM0 ビットが “0_B”（LIN リセットモード）の間、このビットの値は無効です。

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

17.3.3.10 RLN24nmLiST — LIN ステータスレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiST: <RLIN24n_base> + 12_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 17.25 RLN24nmLiST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0：送信未完了 1：ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0：受信未完了 1：データ 1 受信完了
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム／ウエイクアップ受信完了フラグ 0：受信未完了 1：フレームまたはウエイクアップ受信完了
0	FTC	フレーム／ウエイクアップ送信完了フラグ 0：送信未完了 1：フレームまたはウエイクアップ送信完了

RLN24nmLiST レジスタは LIN リセットモード移行時 および 次の通信開始（RLN24nmLiTRC レジスタの FTS ビットが “1”）時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

RLN24nmLiTRC レジスタの FTS ビットが “1”（フレーム送信 / ウエイクアップ送受信開始）の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

HTRC フラグ（ヘッダ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
ヘッダ送信完了時、“1” となりますが、割り込み要求は発生しません。
次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

D1RC フラグ（データ 1 受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1” となりますが、割り込み要求は発生しません。
次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

ERR フラグ（エラー検出フラグ）

エラー検出（RLN24nmLiEST レジスタのフラグのうち 1 つでも “1”）時、“1” となります。このとき RLN24nmLiIE レジスタの ERRIE ビットが “1”（割り込み許可）の場合、割り込み要求が発生します。
次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で RLN24nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ , BER フラグに “0” を書いてください。ERR フラグが “0” となります。

FRC フラグ（フレーム／ウエイクアップ受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
フレーム受信完了またはウエイクアップ受信完了時、“1” となります。このとき RLN24nmLiIE レジスタの FRCIE ビットが “1”（割り込み許可）の場合、割り込み要求が発生します。
次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。

FTC フラグ（フレーム／ウエイクアップ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
フレーム送信完了またはウエイクアップ送信完了時、“1” となります。このとき RLN24nmLiIE レジスタの FTCIE ビットが “1”（割り込み許可）の場合、割り込み要求が発生します。
次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。

17.3.3.11 RLN24nmLiEST — LIN エラーステータスレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiEST: <RLIN24n_base> + 13_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 17.26 RLN24nmLiEST レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0：チェックサムエラー未検出 1：チェックサムエラー検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	FTER	フレームタイムアウトエラーフラグ 0：フレームタイムアウトエラー未検出 1：フレームタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0：フィジカルバスエラー未検出 1：フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN24nmLiEST レジスタは LIN リセットモード移行時、および 次の通信開始（RLN24nmLiTRC レジスタの FTS ビットが “1”）時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

RLN24nmLiTRC レジスタの FTS ビットが “1”（フレーム送信／ウエイクアップ送受信開始）の間は、このレジスタに書かないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

CSER フラグ（チェックサムエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1” となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN24nmLiEST レジスタの FERE ビットが “1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1” となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FTER フラグ（フレームタイムアウトエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN24nmLiEDE レジスタの FTERE ビットが “1”（フレームタイムアウトエラー検出許可）で、フレームタイムアウトエラー 検出時、“1” となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

PBER フラグ（フィジカルバスエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN24nmLiEDE レジスタの PBERE ビットが “1”（フィジカルバスエラー検出許可）で、フィジカルバスエラー検出時、“1” となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。

BER フラグ（ビットエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN24nmLiEDE レジスタの BERE ビットが “1”（ビットエラー検出許可）で、ビットエラー検出時、“1” となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。

17.3.3.12 RLN24nmLiDFC — LIN データフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiDFC: <RLIN24n_base> + 14_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.27 RLN24nmLiDFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	FSM	フレームセパレートモード選択ビット 0：フレームセパレートモードではない 1：フレームセパレートモード
5	CSM	チェックサム選択ビット 0：クラシック 1：エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0：受信 1：送信
3 ～ 0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000：0 バイト＋チェックサム 0001：1 バイト＋チェックサム 0010：2 バイト＋チェックサム ： 0111：7 バイト＋チェックサム 1000：8 バイト＋チェックサム 上記以外は設定しないでください。

RLN24nmLiDFC レジスタは、RLN24nmLiTRC レジスタの FTS ビットが “0”（フレーム送信 / ウエイクアップ送受信停止）のときに設定してください。

FSM ビット（フレームセパレートモード選択ビット）

レスポンス送信の方式を設定します。
“0” の場合、フレームセパレートモードになりません。ヘッダ送信開始（RLN24nmLiTRC レジスタの FTS ビットが “1”）後、RLN24nmLiTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。
“1” の場合、フレームセパレートモードになります。ヘッダ送信中に RLN24nmLiTRC レジスタの RTS ビットを “1” にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

レスポンス受信（RFT ビットが “0”）時は、このビットを “0” に設定してください。
LIN セルフテストモードに移行する場合は、移行前にこのビットを “0” に設定してください。
フレームセパレートモードの詳細は**「17.11.1 LIN フレームの送信 」**を参照してください。

CSM ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。
“0” の場合、チェックサムの方式はクラシックとなります。
“1” の場合、チェックサムの方式はエンハンスとなります。
フレームタイムアウトエラーを使用する（RLN24nmLiEDE レジスタの FTERE ビットが “1”）場合は、このビット設定によりタイムアウト時間が異なります。詳細は**「17.14　エラーステータス 」**を参照してください。

RFT ビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウエイクアップシグナルの通信方向を設定します。
“0” の場合、レスポンスフィールドで受信を行います。また、LIN ウエイクアップモードでは、ウエイクアップ受信（入力信号**ロウレベル**幅カウント）を行います。
“1” の場合、レスポンスフィールドで送信を行います。また、LIN ウエイクアップモードでは、ウエイクアップ送信を行います。

RFDL[3:0] ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。
データ長は 0 ～ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

17.3.3.13 RLN24nmLiIDB — LIN ID バッファレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiIDB: <RLIN24n_base> + 15_H + i × 20_H

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.28 RLN24nmLiIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで送信するパリティ (P1) ビットを設定
6	IDP0	パリティ設定ビット (P0) ID フィールドで送信するパリティ (P0) ビットを設定
5 ～ 0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN24nmLiTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「17.15 LIN セルフテストモード」**を参照してください。

IDP ビット（パリティ設定ビット）

LIN フレームの ID フィールドで送信するパリティ（P0、P1）ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID ビット（ID 設定ビット）

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

17.3.3.14 RLN24nmLiCBR — LIN チェックサムバッファレジスタ

アクセス 8 ビット単位でリードのみ可能です。ただし、LIN セルフテストモード時は、8 ビット単位でリード / ライト可能です。

アドレス RLN24nmLiCBR: <RLIN24n_base> + 16_H + i × 20_H

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.29 RLN24nmLiCBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN 動作モード時は、以下の通りとなります。

- RLN24nmLiDFC レジスタの RFT ビットが “1”（送信）の場合：
  送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
  書き込みは無効になります。
- RLN24nmLiDFC レジスタの RFT ビットが “0”（受信）の場合：
  受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
  書き込みは無効になります。

LIN セルフテストモード時は、以下の通りとなります。

- RLN24nmLiDFC レジスタの RFT ビットが “1”（送信）の場合：
  フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。
  書き込みは無効になります。
- RLN24nmLiDFC レジスタの RFT ビットが “0”（受信）の場合：
  通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「17.15 LIN セルフテストモード」**を参照してください。

このレジスタは RLN24nmLiTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

17.3.3.15 RLN24nmLiDBRb — LIN データバッファ b レジスタ

アクセス 8 ビット単位でリード / ライト可能です。

アドレス RLN24nmLiDBR1: <RLIN24n_base> + 18_H + i × 20_H
RLN24nmLiDBR2: <RLIN24n_base> + 19_H + i × 20_H
RLN24nmLiDBR3: <RLIN24n_base> + $1A_H$ + i × 20_H
RLN24nmLiDBR4: <RLIN24n_base> + $1B_H$ + i × 20_H
RLN24nmLiDBR5: <RLIN24n_base> + $1C_H$ + i × 20_H
RLN24nmLiDBR6: <RLIN24n_base> + $1D_H$ + i × 20_H
RLN24nmLiDBR7: <RLIN24n_base> + $1E_H$ + i × 20_H
RLN24nmLiDBR8: <RLIN24n_base> + $1F_H$ + i × 20_H

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.30 RLN24nmLiDBRb レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲：00_H ～ FF_H

- レスポンス送信の場合：

  レスポンスフィールドで送信するデータを設定します。
  これらのレジスタは以下の状態で設定してください

  – RLN24nmLiDFC レジスタの RFT ビットが “1”（送信）
  – RLN24nmLiDFC レジスタの FSM ビットが “0”（フレームセパレートモードではない）
  – RLN24nmLiTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）

  または

  – RLN24nmLiDFC レジスタの RFT ビットが “1”（送信）
  – RLN24nmLiDFC レジスタの FSM ビットが “1”（フレームセパレートモード）
  – RLN24nmLiTRC レジスタの RTS ビットが “0”（レスポンス送信停止）

- レスポンス受信の場合：

  レスポンスフィールドで受信したデータが格納されます。
  受信データは上書きされます。また、エラー検出時、受信が中断される前までのデータは格納されます。
  これらのレジスタは、FTS ビットが “1”（フレーム送信／ウエイクアップ送受信開始）のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「17.15　LIN セルフテストモード」**を参照してください。

17.4 割り込み 要因

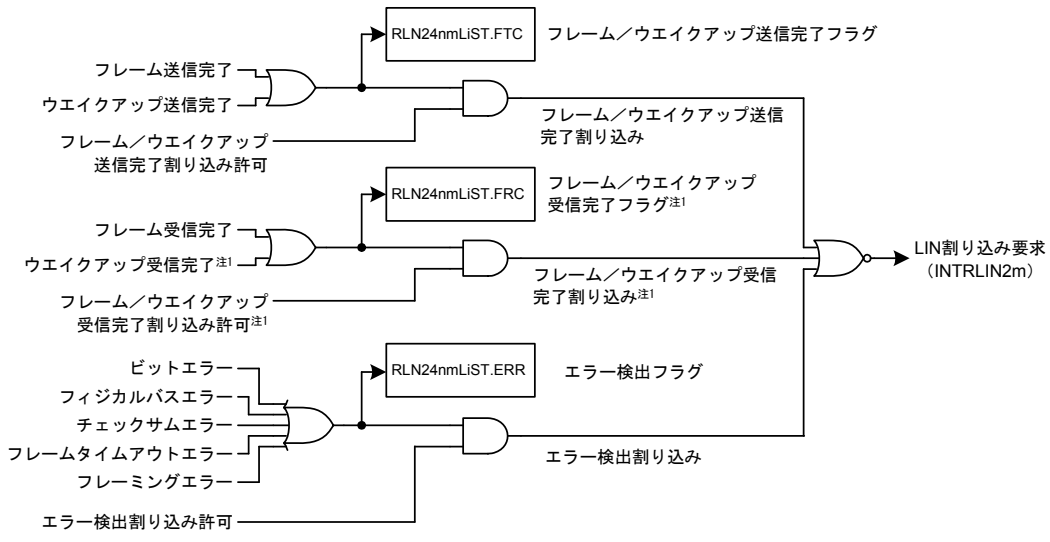
LIN マスタインタフェースは LIN 割り込み要求を生成します。

割り込み要因はチャネル毎に、フレーム / ウエイクアップ送信完了、フレーム / ウエイクアップ受信完了、エラー検出の 3 つがあります。

フレーム / ウエイクアップ送信完了、フレーム / ウエイクアップ受信完了、エラー検出の 3 つのステータスによる割り込み要求は、論理和をとって 1 つの割り込み要求「LIN 割り込み」にまとめられます。

それぞれの割り込み要求は、RLN24nmLiIE レジスタの対応するビットが “1”（割り込み許可）のとき、RLN24nmLiST レジスタの対応するフラグが “1” になると出力されます。ただし、RLN24nmLiST レジスタの対応するフラグが “1” の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当するフラグを “0” にしてください。

図 17.2 に LIN 割り込みブロック図を示します。



注 1. ウエイクアップ受信は、入力信号ロウ幅カウントを示します。

図 17.2 LIN 割り込みブロック図

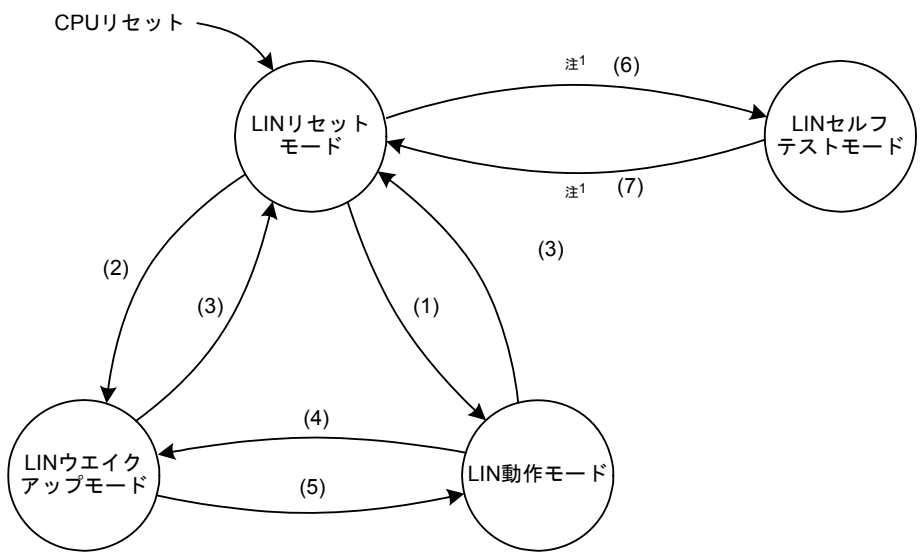
17.5 モード

LIN マスタインタフェースには、次の 4 つのモードがあります。

- LIN リセットモード
- LIN 動作モード
- LIN ウエイクアップモード
- LIN セルフテストモード

LIN セルフテストモードを除くモードの移行は、チャネル毎に独立して制御します。

図 17.3 にモードの移行、**表 17.31** にモード移行条件、**表 17.32** に各モードで可能な動作を示します。



注 1. 詳細は「**17.15 LIN セルフテストモード**」を参照してください。

図 17.3 モードの移行

表 17.31 各モードの移行条件

	移行モード			移行条件
(1)	LIN リセットモード	→	LIN 動作モード	RLN24nmLiCUC.OM1,OM0 = “11_B”
(2)	LIN リセットモード	→	LIN ウエイクアップモード	RLN24nmLiCUC.OM1,OM0 = “01_B”
(3)	LIN ウエイクアップモード LIN 動作モード	→	LIN リセットモード	RLN24nmLiCUC.OM0 = “0_B”
(4)	LIN 動作モード	→	LIN ウエイクアップモード	RLN24nmLiCUC.OM1,OM0 = “01_B”
(5)	LIN ウエイクアップモード	→	LIN 動作モード	RLN24nmLiCUC.OM1,OM0 =“11_B”
(6)	LIN リセットモード	→	LIN セルフテストモード	**「17.15 LIN セルフテストモード」**参照
(7)	LIN セルフテストモード	→	LIN リセットモード	**「17.15 LIN セルフテストモード」**参照

表 17.32 各モードで可能な動作

LIN 動作モード	LIN ウエイクアップモード	LIN セルフテストモード
ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出	ウエイクアップ送信 ウエイクアップ受信 エラー検出	セルフテスト

RLN24nmLiMST レジスタの OMM1、OMM0 ビットを読むことで、LIN リセットモード、LIN 動作モード、LIN ウエイクアップモードへ移行したことを確認できます。

LIN セルフテストモードについては、**「17.15 LIN セルフテストモード」**を参照してください。

17.6 LIN リセットモード

RLN24nmLiCUC レジスタの OM0 ビットを “0”（LIN リセットモード）にすると、LIN リセットモードに移行します。RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能は停止しています。

LIN リセットモードからは、LIN 動作モード、LIN ウエイクアップモード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- RLN24nmLiTRC レジスタ
- RLN24nmLiST レジスタ
- RLN24nmLiEST レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- RLN24nGLWBR レジスタ
- RLN24nGLBRP0 レジスタ
- RLN24nGLBRP1 レジスタ
- RLN24nmLiMD レジスタ
- RLN24nmLiBFC レジスタ
- RLN24nmLiSC レジスタ
- RLN24nmLiWUP レジスタ
- RLN24nmLiIE レジスタ
- RLN24nmLiEDE レジスタ
- RLN24nmLiDFC レジスタ
- RLN24nmLiIDB レジスタ
- RLN24nmLiCBR レジスタ
- RLN24nmLiDBRb レジスタ

17.7 LIN 動作モード

LIN 動作モードでは、フレーム処理 (ヘッダ送信、レスポンス送信、レスポンス受信、エラー検出) をします。

LIN リセットモードから LIN モードに移行する際に、RLN24nmLiCUC レジスタの OM1 ビット、OM0 ビットを “11_B” にすると LIN 動作モードになり、RLN24nmLiMST レジスタの OMM1 ビット、OMM0 ビットが “11_B” になります。RLN24nmLiMST レジスタが “11_B” になるのを待ってから、通信設定を行ってください。

17.8 LIN ウエイクアップモード

LIN ウエイクアップモードでは、ウエイクアップシグナル処理 (ウエイクアップ送信、ウエイクアップ受信、エラー検出) をします。

LIN リセットモードから LIN モードに移行する際に、RLN24nmLiCUC レジスタの OM1 ビット、OM0 ビットを “01_B” にすると LIN ウエイクアップモードになり、RLN24nmLiMST レジスタの OMM1 ビット、OMM0 ビットが “01_B” になります。RLN24nmLiMST レジスタが “01_B” になるのを待ってから、通信設定を行ってください。

17.9 ヘッダ送信 / レスポンス送信 / レスポンス受信

17.9.1 ヘッダ送信

図 17.4 にヘッダ送信時の動作、**表 17.33** にヘッダ送信時の処理を示します。

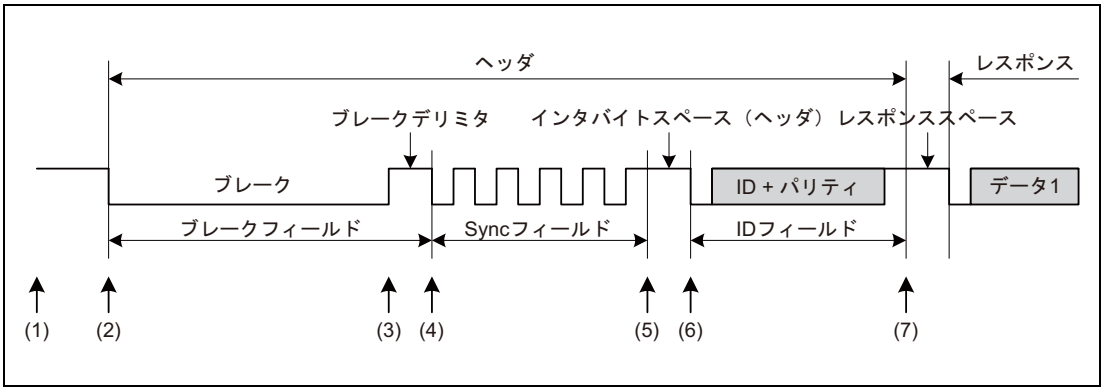


図 17.4 ヘッダ送信時の動作

表 17.33 ヘッダ送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	• ボーレートを設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN 動作モードに移行 • 送信するフレーム情報 (ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ) を設定	ソフトウェアによる RLN24nmLiTRC レジスタの FTS ビット設定待ち（アイドル）
(2)	RLN24nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウエイクアップ送受信開始）にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド（55_H）送信
(5)		インタバイトスペース（ヘッダ）送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備 考

エラー検出に関しては、「**17.14 エラーステータス** 」を参照してください。

17.9.2 レスポンス送信

図 17.5 にレスポンス送信時の動作、**表 17.34** にレスポンス送信時の処理を示します。

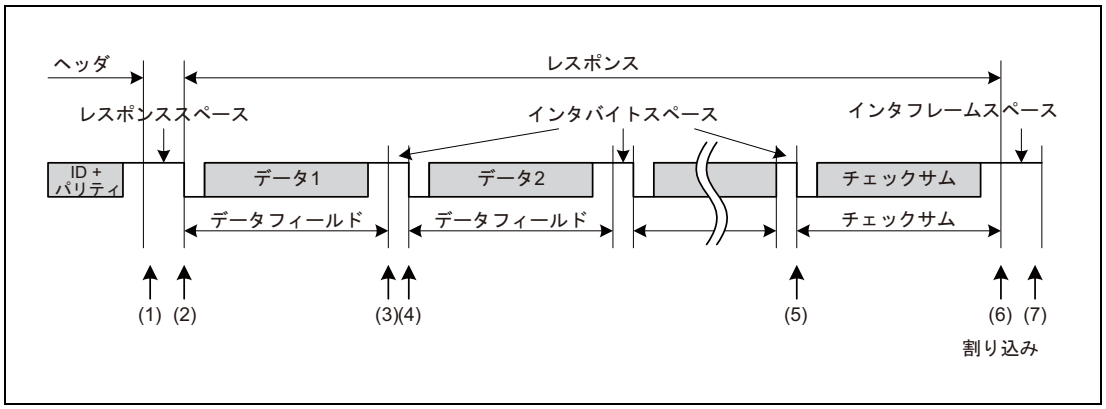


図 17.5 レスポンス送信時の動作

表 17.34 レスポンス送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	（フレームセパレートモード時） • RLN24nmLiTRC レジスタの RTS ビットに “1” を設定（レスポンス送信開始） （フレームセパレートモードでないとき） • 割り込み要求発生待ち	（フレームセパレートモード時） • ソフトウェア処理による RLN24nmLiTRC レジスタの RTS ビットの “1” 設定待ち（この間、“1” を出力） • “1” に設定されたあと、レスポンススペースを送信 （フレームセパレートモードでないとき） • レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		• データ 2 送信 • インタバイトスペース送信 • データ 3 送信 • インタバイトスペース送信 （RLN24nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し。） ： ：
(5)		チェックサム送信
(6)		• フレーム／ウエイクアップ送信完了フラグ設定 • RLN24nmLiTRC レジスタの FTS ビットを “0” （フレーム 送信／ウエイクアップ送受信停止）にする （フレームセパレートモード時） • RLN24nmLiTRC レジスタの RTS ビットを “0”（レスポンス送信停止）にする
(7)	• 通信後の処理 RLN24nmLiST レジスタのチェック、フラグのクリア	アイドル

備 考

エラー検出に関しては、「**17.14 エラーステータス** 」を参照してください。

17.9.3 レスポンス受信

図 17.6 にレスポンス受信時の動作、**表 17.35** にレスポンス受信時の処理を示します。

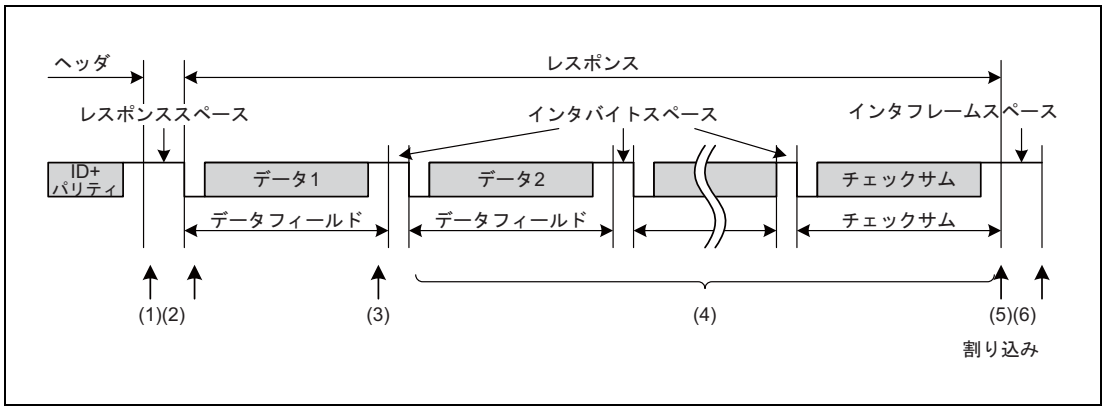


図 17.6 レスポンス受信時の動作

表 17.35 レスポンス受信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	割り込み要求発生待ち（処理はなし）	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		• スタートビット検出によりデータ 2 受信 • スタートビット検出によりデータ 3 受信 （RLN24nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し） : : • スタートビット検出によりチェックサム受信
(5)		• チェックサム判定 • フレーム／ウエイクアップ受信完了フラグ設定 • RLN24nmLiTRC レジスタの FTS ビットを“0”（フレーム送信／ウエイクアップ送受信停止）にする
(6)	• 通信後の処理 受信データの読み出し RLN24nmLiST レジスタのチェック、フラグのクリア	アイドル

備 考

エラー検出に関しては、「**17.14 エラーステータス** 」を参照してください。

17.10 データ送信／受信

17.10.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLN24nmLiEST レジスタの BER フラグに格納されます（**「17.14 エラーステータス」**参照）。

LIN マスタインタフェースでは、1 Tbit = 16fLIN で生成され、受信データのサンプリングポイントは 13 クロック目（81.25% 位置）になります。

図 17.7 にデータ送信タイミングの例を示します。

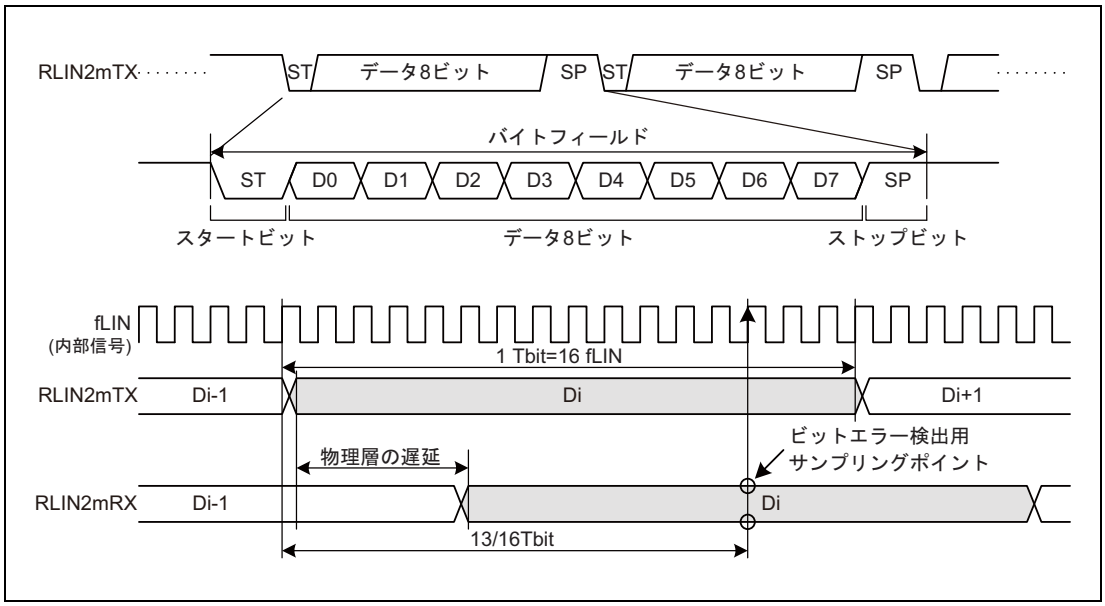


図 17.7 データ送信タイミング例

17.10.2 データ受信

データ受信は、RLIN2mRX 端子からの入力を LIN システムクロック（fLIN）に同期させた同期化 RLIN2mRX（内部信号）を使用して行います。

この同期化 RLIN2mRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 RLIN2mRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN2mRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

図 17.8 にデータ受信タイミングの例を示します。

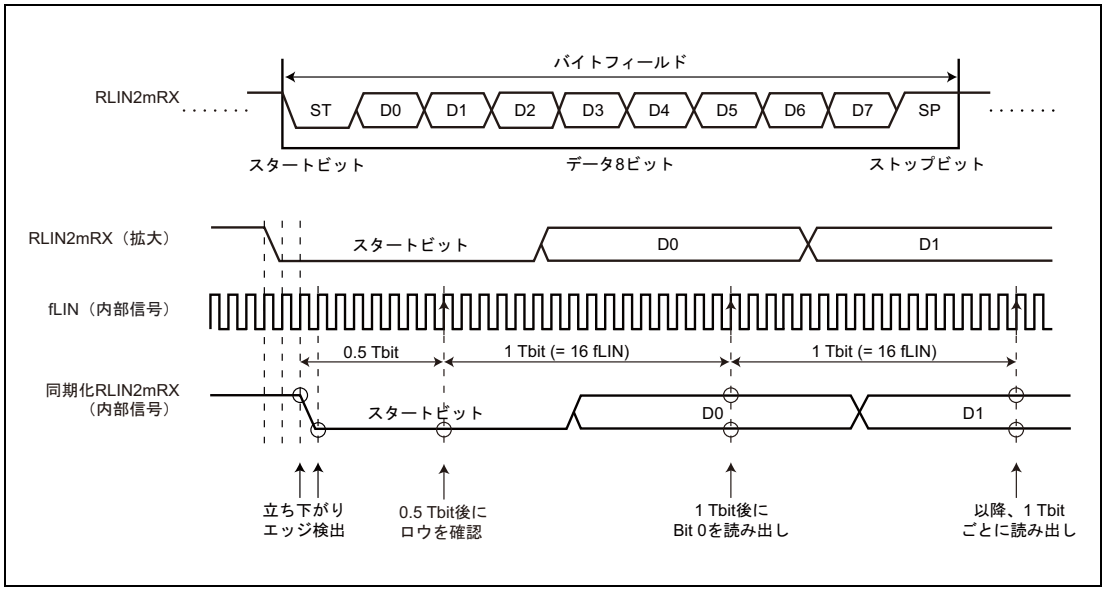


図 17.8 データ受信タイミング例

17.11 送信／受信データのバッファ処理

LIN マスタインタフェースの連続データ送受信時のバッファ処理について説明します。

17.11.1 LIN フレームの送信

8 バイト送信の場合、RLN24nmLiDBR1 レジスタ～ RLN24nmLiDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1 ～ 8 領域に送信されます。4 バイト送信の場合は、RLN24nmLiDBR1 レジスタ～ RLN24nmLiDBR4 レジスタに格納されている内容が LIN フレームのデータ 1 ～ 4 領域に送信され、RLN24nmLiDBR5 レジスタ～ RLN24nmLiDBR8 レジスタの内容は送信されません。また、RLN24nmLiCBR レジスタには送信したチェックサムデータが格納されます。

図 17.9 に LIN 送信処理とバッファを示します。

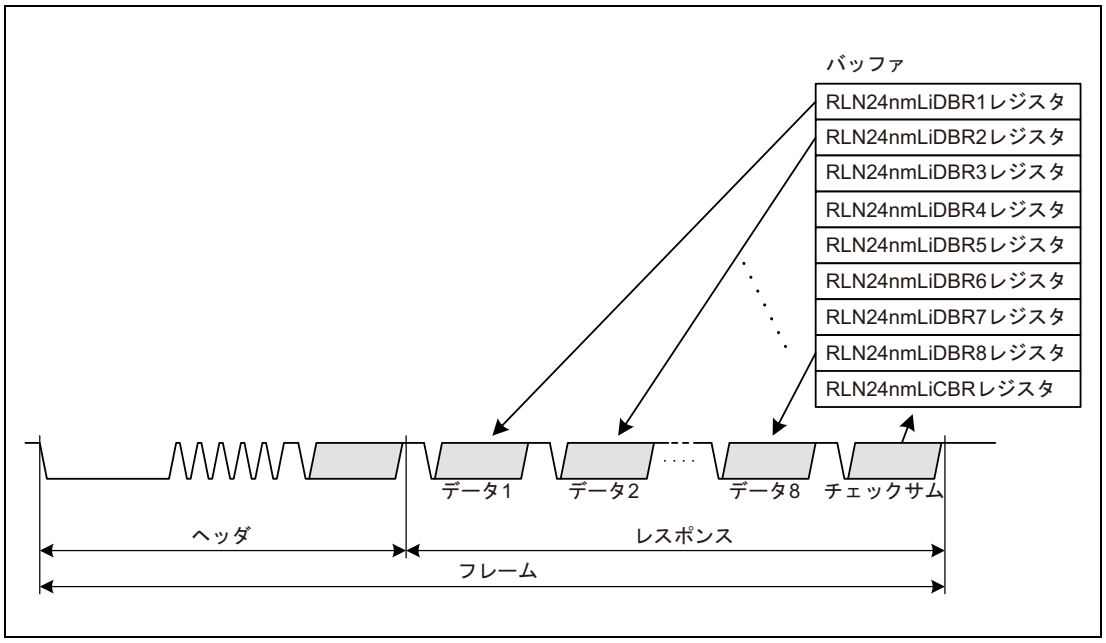


図 17.9 LIN 送信処理とバッファ

(1) フレームセパレートモード

RLN24nmLiDFC レジスタの FSM ビットを “1” にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN24nmLiST レジスタの HTRC フラグが “1”（ヘッダ送信完了）になります。

17.11.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1 ～ 8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN24nmLiDBR1 レジスタ～ RLN24nmLiDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1 ～ 4 領域の内容が、それぞれ RLN24nmLiDBR1 レジスタ～ RLN24nmLiDBR4 レジスタに格納され、RLN24nmLiDBR5 レジスタ～ RLN24nmLiDBR8 レジスタには何も格納されません。また、RLN24nmLiCBR レジスタには受信したチェックサムデータが格納されます。

図 17.10 に LIN 受信処理とバッファを示します。

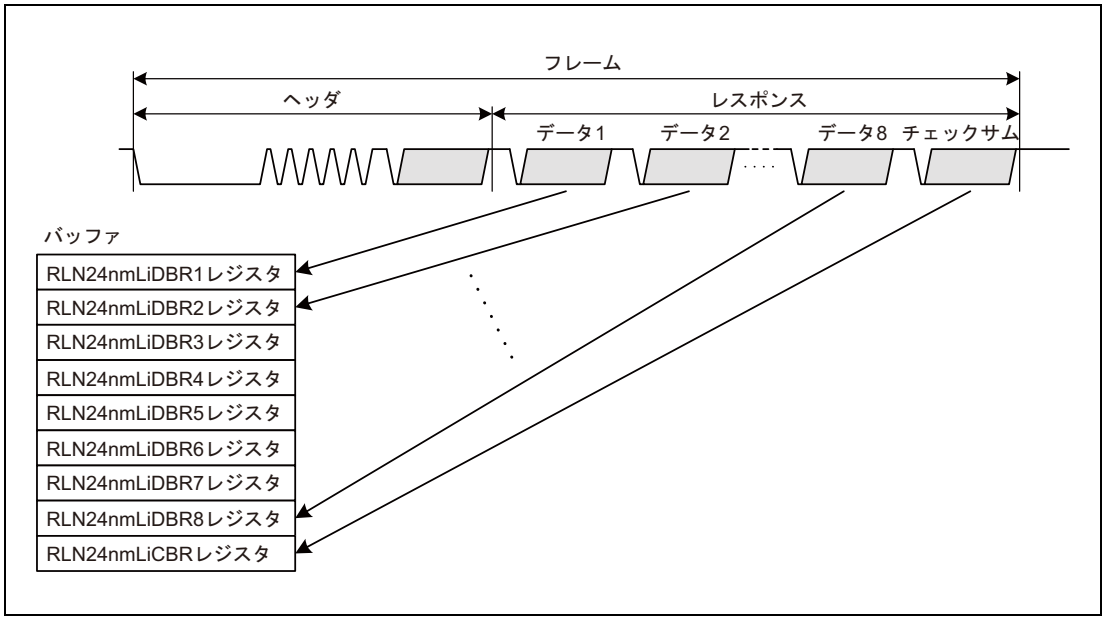


図 17.10 LIN 受信処理とバッファ

(1) データ 1 受信

1 バイト目のデータ受信が完了すると、RLN24nmLiST レジスタの D1RC フラグが “1”（データ 1 受信完了）になります。

17.12 ウエイクアップ送信／受信

ウエイクアップの送受信は LIN ウエイクアップモードで使用できます。

17.12.1 ウエイクアップ送信動作

LIN ウエイクアップモード時、RLN24nmLiDFC レジスタの RFT ビットを “1”（送信）、RLN24nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウエイクアップ送受信開始）にすると、出力端子からウエイクアップ信号が出力されます。ウエイクアップ信号のロウ幅は RLN24nmLiWUP レジスタの WUTL[3:0] ビットで設定します。ただし、RLN24nGLWBR レジスタの LWBR0 ビットが “1”（LIN2.x 使用時）の場合は、RLN24nmLiMD レジスタの LCKS ビットの設定に関わらず、LIN システムクロック（fLIN）が fa（JW）でのロウ幅になります。fa 選択時のボーレートを 19200 bps に、RLN24nmLiWUP レジスタの WUTL[3:0] ビットを “0100_B”（5Tbits）に設定することにより、RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウエイクアップモード時に 260 µs のロウ幅を出力することができます。

エラーなくウエイクアップのロウレベルが出力された場合、RLN24nmLiST レジスタの FTC フラグが “1”（フレームまたはウエイクアップ送信完了）になり、RLN24nmLiIE レジスタの FTCIE ビットが “1”（フレーム／ウエイクアップ送信完了割り込み許可）のとき割り込み要求が発生します。

エラーを検出した場合は、ウエイクアップ送信を中断し、検出したエラーに対するエラーフラグ（RLN24nmLiEST レジスタの PBER フラグ または BER フラグ）を “1”（フィジカルバスエラー検出／ビットエラー検出）にします。

図 17.11 にウエイクアップ送信タイミングを示します。

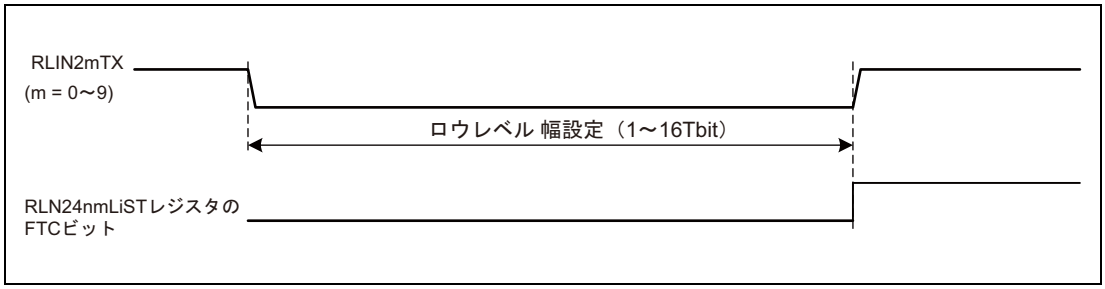


図 17.11 ウエイクアップ送信タイミング

17.12.2 ウエイクアップ受信動作

ウエイクアップシグナルを検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントでRLIN2mRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号のロウレベル幅を fLIN の 2.5Tbit 以上で計測することができます。

LIN Specification Package Revision 1.3 使用時は、RLN24nGLWBR レジスタの LWBR0 ビットを “0” に、LIN Specification Package Revision 2.x 使用時は “1” に設定してください。LWBR0 ビットを “1” にすると RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) が fa になります（LCKS ビットは変化しません）。fa 選択時のボーレートを 19200bps に設定することにより、RLN24nmLiMD レジスタの LCKS ビットの設定に関わらず、LIN ウエイクアップモード時に 130us 以上の入力信号ロウレベル幅を検出することができます。

この機能を使用する場合、LIN ウエイクアップモードにて、RLN24nmLiDFC レジスタの RFT ビットを “0”（受信）、RLN24nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウエイクアップ送受信開始）にしてください。

計測する**ロウレベル**幅に達すると RLN24nmLiST レジスタの FRC フラグが “1”（フレームまたはウエイクアップ受信完了）になり、RLN24nmLiIE レジスタの FRCIE ビットが “1”（フレーム／ウエイクアップ受信完了割り込み許可）の場合、割り込み要求が発生します。

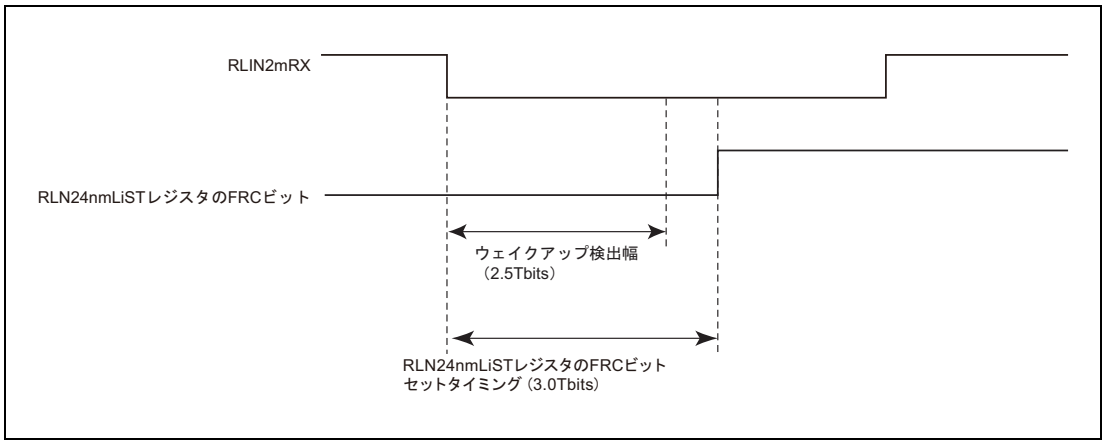


図 17.12 入力信号ロウレベルカウント機能

17.12.3 ウエイクアップ衝突

マスタノードとスレーブノードが同時にウエイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN マスタインタフェースではウエイクアップ信号の衝突は検知しません。

17.13 ステータス

LIN マスタインタフェースは 7 種類のステータスを検出します。

フレーム／ウエイクアップ送信完了、フレーム／ウエイクアップ受信完了、エラー検出の 3 つのステータスは割り込み要求を発生することができます。

表 17.36 にステータスの種類を示します。

表 17.36 ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN24nmLiCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN マスタインタフェースが LIN リセットモード解除になったとき	RLN24nmLiCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN マスタインタフェースが LIN リセットモードになったとき	すべてのモード	RLN24nmLiMST レジスタの OMM0 ビット	—
動作モード	RLN24nmLiCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN マスタインタフェースが LIN 動作モードになったとき	RLN24nmLiCUC レジスタの OM1 ビットを LIN ウエイクアップモードに設定後、実際に LIN マスタインタフェースが LIN ウエイクアップモードになったとき	• LIN 動作モード • LIN ウエイクアップモード	RLN24nmLiMST レジスタの OMM1 ビット	—
フレーム／ウエイクアップ送信完了	フレーム（ヘッダ送信 + レスポンス送信）、またはウエイクアップ信号 を正常に送信完了したとき	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN24nmLiST レジスタの FTC フラグ	○
フレーム／ウエイクアップ受信完了	フレーム（ヘッダ送信 + レスポンス受信）、またはウエイクアップ信号 を正常に受信完了したとき	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN24nmLiST レジスタの FRC フラグ	○
エラー検出	RLN24nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが “1”（エラー検出）になったとき	• 次の通信開始時 • ソフトウェアによるクリア[注 1] • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN24nmLiST レジスタの ERR フラグ	○
データ 1 受信完了	RLN24nmLiDFC レジスタの RFT ビットが “0”（受信）で、レスポンスフィールドの最初の 1 バイトを受信完了したとき[注 2]	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN24nmLiST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN24nmLiST レジスタの HTRC フラグ	—

注 1. LIN 動作モード内で RLN24nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに “0” を書くことにより、RLN24nmLiST レジスタの ERR フラグは “0” になります。

注 2. RLN24nmLiDFC レジスタの RFDL[3:0] ビットが “0000_B”（0 バイト＋チェックサム）のときは検出されません。

17.14 エラーステータス

17.14.1 エラーステータスの種類

LIN マスタインタフェースでは LIN マスタモードで 5 種類のエラーステータスを検出します。これらのエラーの状態は RLN24nmLiEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 17.37 にエラーステータスの種類を示します。

表 17.37 エラーステータスの種類

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注 1	• LIN 動作モード • LIN ウエイクアップモード	中断	○	RLN24nmLiEST レジスタの BER フラグ
フィジカルバスエラー	• ブレーク送信時に LIN バスがハイレベルを検出した場合 • ブレークデリミタ送信時に LIN バスがロウレベルを検出した場合 • ウエイクアップ送信時に LIN バスがハイレベルを検出した場合	• LIN 動作モード • LIN ウエイクアップモード	中断	○	RLN24nmLiEST レジスタの PBER フラグ
フレームタイムアウトエラー	フレームの送受信 がある一定の時間内に終了しなかったとき注 2	LIN 動作モード	中断	○	RLN24nmLiEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN24nmLiEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN24nmLiEST レジスタの CSER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウエイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウエイクアップ送信を中断します。

注 2. タイムアウト時間は、レスポンスフィールドデータ長（RLN24nmLiDFC レジスタの RFDL[3:0] ビット）、およびチェックサム選択（RLN24nmLiDFC レジスタの CSM ビット）に依存し、下記の式により計算できます。

クラシック選択時（RLN24nmLiDFC レジスタの CSM ビットが “0” の場合）：

タイムアウト時間 =49 ＋ (データバイト数＋ 1)×14 [Tbit]

エンハンス選択時（RLN24nmLiDFC レジスタの CSM ビットが “1” の場合）：

タイムアウト時間 =48 ＋ (データバイト数＋ 1)×14 [Tbit]

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

エラーステータスのクリア条件は、次の通信開始時、ソフトウェアによるクリア、LIN リセットモード移行時 です。

17.14.2 エラー検出の対象時間領域

図 17.13 にエラーを検出するために LIN マスタインタフェースが監視する時間領域を示します。

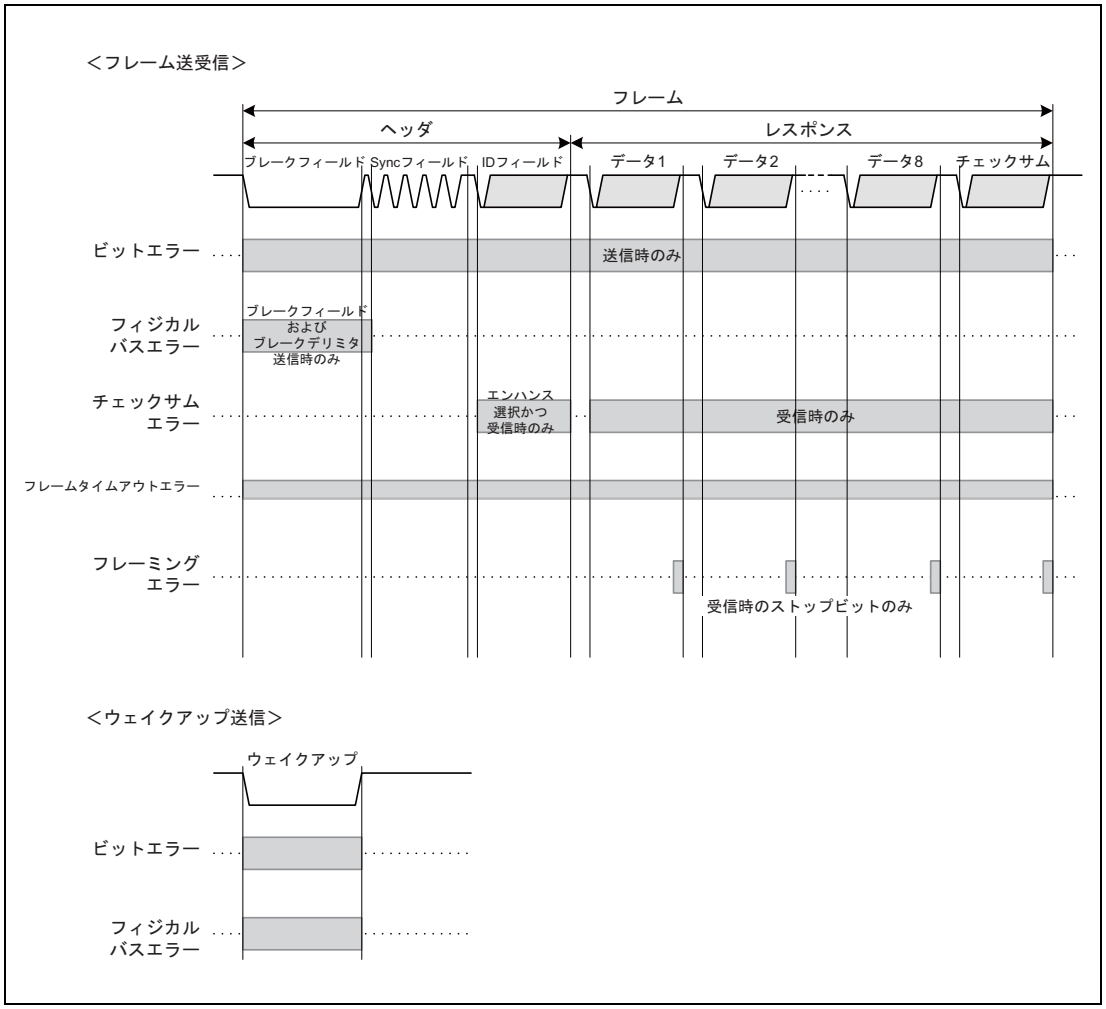


図 17.13 エラー検出の対象時間領域

17.15 LIN セルフテストモード

LIN マスタインタフェースは、LIN セルフテストモードを持ちます。一度 LIN マスタインタフェースが LIN セルフテストモードになると、RLIN2mTX と RLIN2mRX は外部端子から切断され、LIN マスタインタフェース内部で RLIN2mTX と RLIN2mRX が接続されます。よって、RLIN2mTX から送信するフレームは RLIN2mRX にループバックします。

セルフテストは、以下の 2 種類行うことができます。

- LIN セルフテストモード（送信）：ヘッダ送信およびレスポンス送信
- LIN セルフテストモード（受信）：ヘッダ送信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定に関わらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源 /16[bps] で動作します。

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウエイクアップモード
- フレームセパレートモード

これらの機能は使用しないでください。

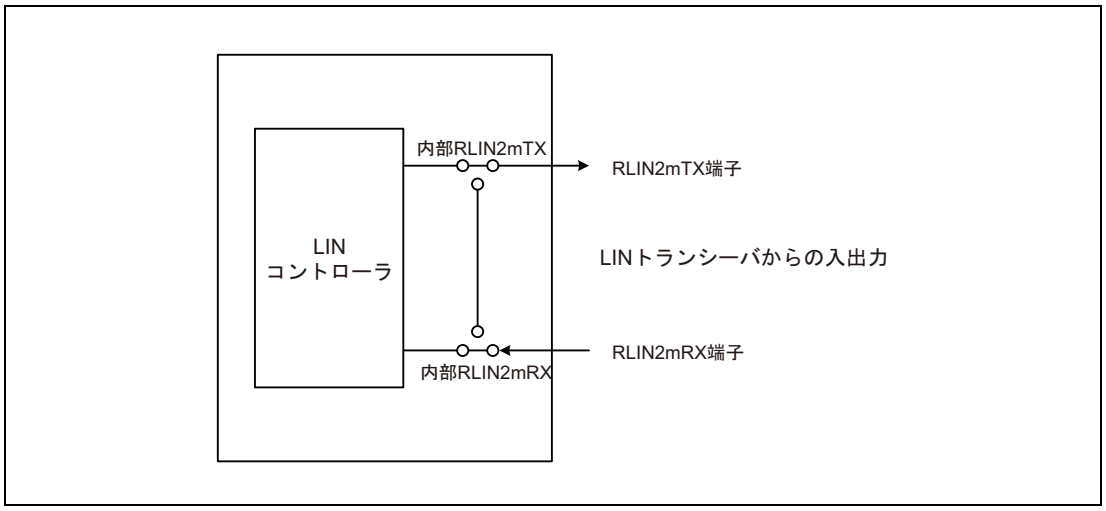


図 17.14 LIN リセットモード、LIN ウエイクアップモード、LIN 動作モード 接続

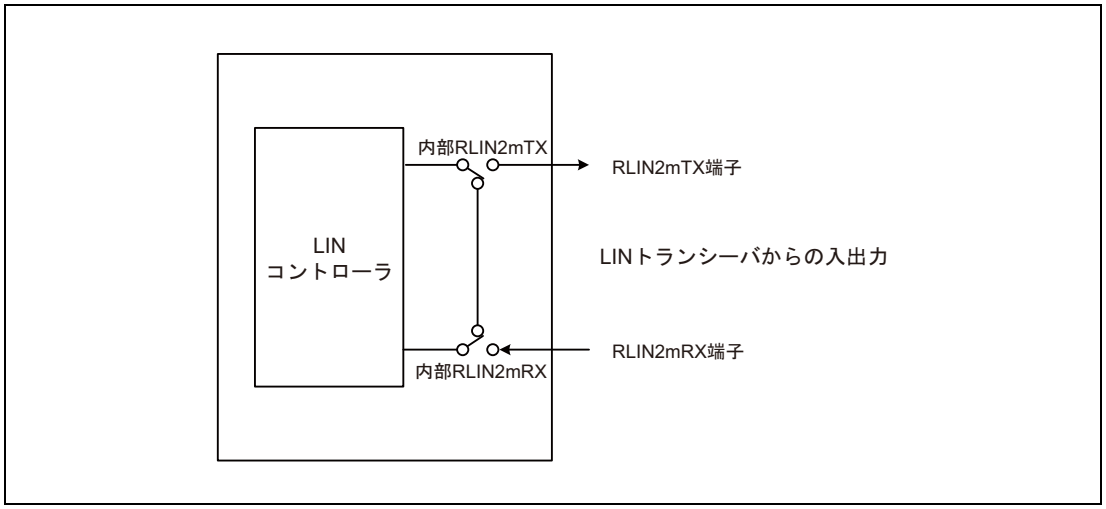


図 17.15 LIN セルフテストモード接続

17.15.1 LIN セルフテストモードへの移行

RLN24nGLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。

RLN24nGLSTC レジスタの LSTM ビットが “1” になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通り LIN セルフテスト制御レジスタに 3 回連続書き込みを行う必要があります。

- ユニット内の全チャネルを LIN リセットモードへ移行
  RLN24nmLiCUC レジスタの OM0 ビットを “0”（LIN リセットモード）にする。
  RLN24nmLiMST レジスタの OMM0 ビットを読み出し、“0” （LIN リセットモード）であることを確認する
- 1 回目書き込み：RLN24nGLSTC レジスタ = “$1010\ 0111_B$”（$A7_H$）
- 2 回目書き込み：RLN24nGLSTC レジスタ = “$0101\ 1000_B$”（58_H）
- 3 回目書き込み：RLN24nGLSTC レジスタ = “$0000\ 0001_B$”（01_H）
- LIN セルフテストモードへの移行を確認する
  RLN24nGLSTC レジスタの LSTM ビットを読み出し、“1”（LIN セルフテストモード）であることを確認する。

1 回目のキー（$A7_H$）を誤って 2 回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度 1 回目の書き込みから実施してください。また、LIN セルフテストモードへの移行（RLN24nGLSTC レジスタへの 3 回連続書き込み）中に同一ユニット内の他の LIN 関連レジスタに書き込みを行った場合も移行は中断します。

17.15.2 LIN セルフテストモードにおける送信

送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
  RLN24nGLBRP0 レジスタ = $xxxx\ xxxx_B$ 注 1
  RLN24nGLBRP1 レジスタ = $xxxx\ xxxx_B$ 注 1
  RLN24nmLiMD レジスタ = $0000\ xx00_B$ 注 1
- 割り込み許可、エラー許可関連レジスタを設定する
  RLN24nmLiIE レジスタ = $0000\ 0xxx_B$ 注 2
  RLN24nmLiEDE レジスタ = $0000\ xxxx_B$
- ブレークフィールド、スペース関連レジスタを設定する
  RLN24nmLiBFC レジスタ = $00xx\ xxxx_B$
  RLN24nmLiSC レジスタ = $00xx\ 0xxx_B$
- LIN リセットモード解除
  RLN24nmLiCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN24nmLiMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する
- 送信フレーム関連レジスタを設定する
  RLN24nmLiDFC レジスタ = $00x1\ xxxx_B$
  RLN24nmLiIDB レジスタ = $xxxx\ xxxx_B$
  RLN24nmLiDBR1 ～ RLN24nmLiDBR8 レジスタ = $xxxx\ xxxx_B$
- ヘッダ送信→レスポンス送信開始
  RLN24nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウエイクアップ送受信開始）にする
  LIN セルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムは LIN マスタインタフェースが自動演算する
  LIN セルフテストモード（送信）実行中に中断したい場合は、RLN24nmLiCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN24nmLiIDB レジスタ、RLN24nmLiDBRb レジスタ、RLN24nmLiCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます。）、RLN24nmLiTRC レジスタの FTS ビットがクリアされる
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN24nmLiTRC レジスタの FTS ビットがクリアされる

備　考

x：任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN24nGLBRP0 レジスタ、RLN24nGLBRP1 レジスタ、RLN24nmLiMD レジスタの LCKS ビット
そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 7 章　例外／割り込み」の関連レジスタを設定してください。

17.15.3 LIN セルフテストモードにおける受信

受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
  RLN24nGLBRP0 レジスタ = $xxxx\ xxxx_B$ 注 1
  RLN24nGLBRP1 レジスタ = $xxxx\ xxxx_B$ 注 1
  RLN24nmLiMD レジスタ = $0000\ xx00_B$ 注 1
- 割り込み許可、エラー許可関連レジスタを設定する
  RLN24nmLiIE レジスタ = $0000\ 0xxx_B$ 注 2
  RLN24nmLiEDE レジスタ = $0000\ x0xx_B$
- ブレークフィールド、スペース関連レジスタを設定する
  RLN24nmLiBFC レジスタ = $00xx\ xxxx_B$
  RLN24nmLiSC レジスタ = $00xx\ 0xxx_B$ 注 1
- LIN リセットモード解除
  RLN24nmLiCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN24nmLiMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する
- 受信フレーム関連レジスタを設定する
  RLN24nmLiDFC レジスタ = $00x0\ xxxx_B$
  RLN24nmLiIDB レジスタ = $xxxx\ xxxx_B$
  RLN24nmLiDBR1 ～ RLN24nmLiDBR8 レジスタ = $xxxx\ xxxx_B$
  RLN24nmLiCBR レジスタ = $xxxx\ xxxx_B$
  送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN24nmLiCBR レジスタに設定する。このとき 誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です
- ヘッダ送信→レスポンス受信開始
  RLN24nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウエイクアップ送受信開始）にする
  LIN セルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される
  LIN セルフテストモード（受信）実行中に中断したい場合は、RLN24nmLiCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN24nmLiIDB レジスタ、RLN24nmLiDBRb レジスタ、RLN24nmLiCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます。）、RLN24nmLiTRC レジスタの FTS ビットがクリアされる
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN24nmLiTRC レジスタの FTS ビットがクリアされる

備　考

x：任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN24nGLBRP0 レジスタ、RLN24nGLBRP1 レジスタ、RLN24nmLiMD レジスタの LCKS ビット、RLN24nmLiSC レジスタの IBS ビット、IBHS ビット（レスポンススペースのみ）
そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 7 章　例外／割り込み」の関連レジスタを設定してください。

17.15.4 LIN セルフテストモード終了

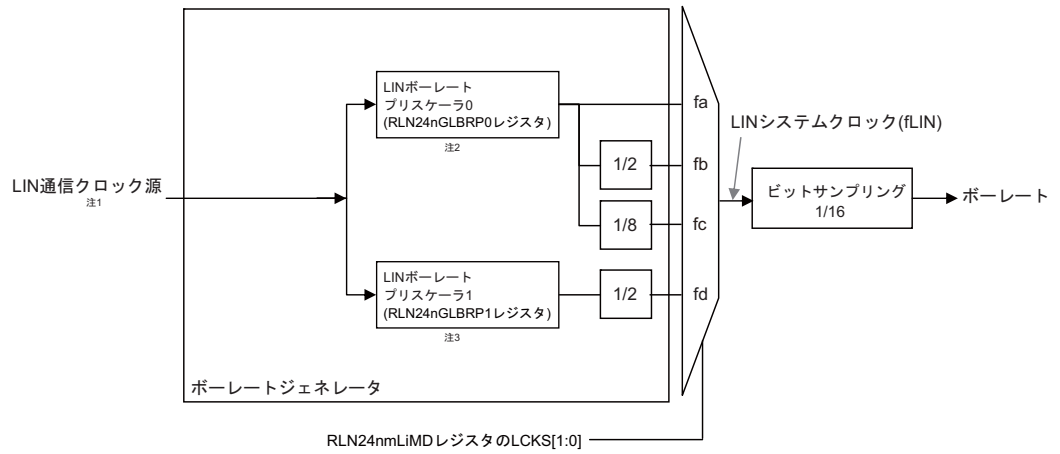
LIN セルフテストモードを終了するには、次の手順を行ってください。

- ユニット内の全チャネルを LIN リセットモードへ移行。
  RLN24nmLiCUC レジスタの OM0 ビットに “0” を書き込み、LIN リセットモードに移行します。ただし、LIN セルフテストモード移行後、ユニット内で 1 チャネルも RLN24nmLiMST レジスタの OMM1、OMM0 ビットが “11_B” でない場合は、任意の 1 チャネルに対して RLN24nmLiCUC レジスタの OM1、OM0 ビットに “11_B” を書き、RLN24nmLiMST レジスタの OMM1, OMM0 ビットが “11_B” になることを確認した後に、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
  RLN24nGLSTC レジスタの LSTM ビットを読み、“0”（LIN セルフテストモードではない）を確認。
- LIN リセットモードへの移行を確認する。
  RLN24nmLiMST レジスタの OMM0 ビットを読み、“0” （LIN リセットモード）を確認。

17.16 ボーレートジェネレータ

LIN 通信クロック源をボーレートジェネレータで分周したクロックが LIN システムクロック（fLIN）となり、これを 16 分周したクロックがボーレートになります。このボーレートの逆数をビットタイム（Tbit）といいます。

図 17.16 にボーレート生成ブロック図を示します。



注 1. LIN 通信クロック源については、**「11.5.3 クロックドメイン設定」**を参照してください。
注 2. RLN24nGLBRP0 レジスタにより、N + 1 分周（N = 0 ～ 255）を設定します。
注 3. RLN24nGLBRP1 レジスタにより、M + 1 分周（M = 0 ～ 255）を設定します。

図 17.16 ボーレート生成ブロック図

LIN 通信クロック源は、4MHz ～ 40MHz に設定してください。

fa が 307200Hz（= 19200 × 16）となるように RLN24nGLBRP0 レジスタを設定すれば、fa = 19200 × 16、fb = 9600 × 16、fc = 2400 × 16 となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz（= 10417 × 16）となるように RLN24nGLBRP1 レジスタを設定すれば、fd = 10417 × 16 となり、ビットタイミング生成部で 16 分周するため、10417bps が生成できます。

ボーレートの計算式は、以下のとおりです。

ボーレート

= {LIN 通信クロック源の周波数 } ÷ (RLN24nGLBRP0 + 1) ÷ 16 [bps]（fa 選択時）

= {LIN 通信クロック源の周波数 } ÷ (RLN24nGLBRP0 + 1) ÷ 2 ÷ 16 [bps]（fb 選択時）

= {LIN 通信クロック源の周波数 } ÷ (RLN24nGLBRP0 + 1) ÷ 8 ÷ 16 [bps]（fc 選択時）

= {LIN 通信クロック源の周波数 } ÷ (RLN24nGLBRP1 + 1) ÷ 2 ÷ 16 [bps]（fd 選択時）

第 18 章 LIN/UART インタフェース（RLIN3）

本章では、LIN/UART インタフェース（RLIN3）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、RLIN3 の機能、レジスタについて説明します。

18.1 RH850/F1M RLIN3 の特長

18.1.1 ユニット数とチャネル数

本製品は、以下に示すユニット数の RLIN3 を搭載しています。

RLIN3　1 ユニットは 1 チャネルのインタフェースを持っています。本章のユニット数とチャネル数は同義です。

表 18.1 ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	6		
名称	RLIN3n (n = 0 ～ 5)		

表 18.2 RLIN3 のユニット構成とチャネルの対応

ユニット名（チャネル名）RLIN3n	ユニットチャネル数	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
RLIN30	1	○	○	○
RLIN31	1	○	○	○
RLIN32	1	○	○	○
RLIN33	1	○	○	○
RLIN34	1	○	○	○
RLIN35	1	○	○	○

備考 チャネル名はユニット名と同じです。

表 18.3 添字

添字	意味
n	本章では、RLIN3 の各ユニットを「n」（n = 0 ～ 5）で識別します。たとえば、LIN 制御レジスタは RLN3nLCUC と記述します。
b	RLIN3n の送信／受信用のデータバッファを「b」（b = 1 ～ 8）で識別します。たとえばデータバッファレジスタは、RLN3nLDBRb と記述します。

各製品の添字が示す値を以下に示します。

表 18.4 各製品の添字対応

各製品の添字対応
全製品
b = 1 ～ 8

18.1.2 レジスタベースアドレス

RLIN3 のベースアドレスを以下の表に示します。

RLIN3 のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 18.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RLIN30_base>	FFCE 2000_H
<RLIN31_base>	FFCE 2040_H
<RLIN32_base>	FFCE 2080_H
<RLIN33_base>	FFCE $20C0_H$
<RLIN34_base>	FFCE 2100_H
<RLIN35_base>	FFCE 2140_H

18.1.3 クロック供給

RLIN3 のクロック供給を以下の表に示します。

表 18.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RLIN3n	LIN 通信クロック源	CKSCLK_ILIN 注 1 注 2
	レジスタアクセスクロック	CKSCLK_ILIN 注 1 注 2

注 1. RLIN30 のみ CKSCLK_ILIN の分周クロック供給が可能です。
注 2. LIN 通信クロック源は、4MHz ～ 60 MHz に設定してください。

18.1.4 割り込み要求

RLIN3 の割り込み要求を以下の表に示します。

表 18.7 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号
RLIN30			
INTRLIN3n (n = 0)	RLIN30 割り込み	33	—
INTRLIN3nUR0 (n = 0)	RLIN30 送信割り込み	34	10
INTRLIN3nUR1 (n = 0)	RLIN30 受信完了割り込み	35	11
INTRLIN3nUR2 (n = 0)	RLIN30 ステータス割り込み	36	—
RLIN31			
INTRLIN3n (n = 1)	RLIN31 割り込み	120	—
INTRLIN3nUR0 (n = 1)	RLIN31 送信割り込み	121	86
INTRLIN3nUR1 (n = 1)	RLIN31 受信完了割り込み	122	87
INTRLIN3nUR2 (n = 1)	RLIN31 ステータス割り込み	123	—
RLIN32			
INTRLIN3n (n = 2)	RLIN32 割り込み	164	—
INTRLIN3nUR0 (n = 2)	RLIN32 送信割り込み	165	44
INTRLIN3nUR1 (n = 2)	RLIN32 受信完了割り込み	166	45
INTRLIN3nUR2 (n = 2)	RLIN32 ステータス割り込み	167	—
RLIN33			
INTRLIN3n (n = 3)	RLIN33 割り込み	228	—
INTRLIN3nUR0 (n = 3)	RLIN33 送信割り込み	229	111
INTRLIN3nUR1 (n= 3)	RLIN33 受信完了割り込み	230	112
INTRLIN3nUR2 (n = 3)	RLIN33 ステータス割り込み	231	—
RLIN34			
INTRLIN3n (n = 4)	RLIN34 割り込み	232	—
INTRLIN3nUR0 (n = 4)	RLIN34 送信割り込み	233	50
INTRLIN3nUR1 (n = 4)	RLIN34 受信完了割り込み	234	51
INTRLIN3nUR2 (n = 4)	RLIN34 ステータス割り込み	235	—
RLIN35			
INTRLIN3n (n = 5)	RLIN35 割り込み	236	—
INTRLIN3nUR0 (n = 5)	RLIN35 送信割り込み	237	113
INTRLIN3nUR1 (n = 5)	RLIN35 受信完了割り込み	238	114
INTRLIN3nUR2 (n = 5)	RLIN35 ステータス割り込み	239	—

18.1.5 リセット要因

RLIN3 のリセット要因を以下に示します。RLIN3 は以下のリセット要因で初期化されます。

表 18.8 リセット要因

ユニット名	リセット要因
RLIN3n	すべてのリセット要因（ISORES）

18.1.6 外部入出力信号

RLIN3 の外部入出力信号を以下の表に示します。

表 18.9 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
RLIN30		
RLIN3nRX (n = 0)	RLIN30 受信データ入力	RLIN30RX
RLIN3nTX (n = 0)	RLIN30 送信データ出力	RLIN30TX
RLIN31		
RLIN3nRX (n = 1)	RLIN31 受信データ入力	RLIN31RX
RLIN3nTX (n = 1)	RLIN31 送信データ出力	RLIN31TX
RLIN32		
RLIN3nRX (n = 2)	RLIN32 受信データ入力	RLIN32RX
RLIN3nTX (n = 2)	RLIN32 送信データ出力	RLIN32TX
RLIN33		
RLIN3nRX (n = 3)	RLIN33 受信データ入力	RLIN33RX
RLIN3nTX (n = 3)	RLIN33 送信データ出力	RLIN33TX
RLIN34		
RLIN3nRX (n = 4)	RLIN34 受信データ入力	RLIN34RX
RLIN3nTX (n = 4)	RLIN34 送信データ出力	RLIN34TX
RLIN35		
RLIN3nRX (n = 5)	RLIN35 受信データ入力	RLIN35RX
RLIN3nTX (n = 5)	RLIN35 送信データ出力	RLIN35TX

18.2 概要

18.2.1 機能概要

LIN/UART インタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602 に対応したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

また、UART モードを持っており、UART として使用することもできます。

LIN マスタ、LIN スレーブ、UART の用途に応じて、以下のモードを使用します。

LIN マスタ

- LIN リセットモード
- LIN モード（LIN マスタモード）
  - LIN ウエイクアップモード
  - LIN 動作モード
- LIN セルフテストモード

LIN スレーブ

- LIN リセットモード
- LIN モード（LIN スレーブモード〔オートボーレート〕または LIN スレーブモード〔固定ボーレート〕）
  - LIN ウエイクアップモード
  - LIN 動作モード
- LIN セルフテストモード

UART

- LIN リセットモード
- UART モード

表 18.10 に LIN/UART インタフェースの仕様を示します。

表 18.10 LIN/UART インタフェースの仕様 (1/3)

項目		仕様	
	チャネル数	最大 6 チャネル	
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602	
	フレーム構成可変	マスタ	• 送信ブレーク幅：13 ～ 28 Tbit • 送信ブレークデリミタ幅：1 ～ 4 Tbit • 送信インタバイトスペース幅（ヘッダ）：0 ～ 7 Tbit（Sync フィールドと ID フィールド間のスペース）注 1 • 送信レスポンススペース幅：0 ～ 7 Tbit 注 1 • 送信インタバイトスペース幅：0 ～ 3 Tbit（レスポンス領域内のデータバイト間のスペース） • 送信ウエイクアップ幅：1 ～ 16 Tbit
		スレーブ	• 受信ブレーク幅：9.5 または 10.5 Tbit [固定ボーレートの場合] ：10 または 11 Tbit [オートボーレートの場合] • 送信レスポンススペース幅：0 ～ 7 Tbit • 送信インタバイトスペース幅：0 ～ 3 Tbit（レスポンス領域内のデータバイト間のスペース） • 送信ウエイクアップ幅：1 ～ 16 Tbit
	チェックサム	• 送受信ともに自動演算 • クラシックまたはエンハンス選択可能 （フレームごとに変更可能）	
	レスポンスフィールドデータバイト数	0 ～ 8 バイト可変 9 バイト以上の多バイト･レスポンス送受信にも対応	
	フレーム通信方法	マスタ	• ヘッダ送信とレスポンス送信／受信を 1 つの送信開始要求により通信するモード • ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード）
		スレーブ	• 固定ボーレートで自動的にヘッダを受信するモード • ブレークフィールドとシンクフィールドを検出し、そのシンクフィールドの計測結果からボーレートの設定を行い、自動でヘッダを受信するモード
	ウエイクアップ送受信	LIN ウエイクアップモードで使用可能 • ウエイクアップ送信機能（1 ～ 16 Tbit） • ウエイクアップ受信 入力信号ロウレベル幅カウント機能	
	ステータス	マスタ	• フレーム／ウエイクアップ送信完了 • ヘッダ送信完了 • フレーム／ウエイクアップ受信完了注 2 • データ 1 受信完了 • エラー検出 • 動作モード （LIN リセットモード、LIN ウエイクアップモード、LIN 動作モード、LIN セルフテストモード）

表 18.10 LIN/UART インタフェースの仕様 (2/3)

項目		仕様	
LIN 通信機能	ステータス	スレーブ	• レスポンス／ウエイクアップ送信完了 • レスポンス／ウエイクアップ受信完了[注2] • ヘッダ受信完了 • データ 1 受信完了 • エラー検出 • 動作モード （LIN リセットモード、LIN ウエイクアップモード、LIN 動作モード、LIN セルフテストモード）
	エラーステータス	マスタ	• ビットエラー • チェックサムエラー • フレームタイムアウトエラー／レスポンスタイムアウトエラー • フィジカルバスエラー • フレーミングエラー • レスポンス準備エラー
		スレーブ	• ビットエラー • チェックサムエラー • フレームタイムアウトエラー／レスポンスタイムアウトエラー • シンクフィールドエラー • ID パリティエラー • フレーミングエラー • レスポンス準備エラー
	ボーレート選択	ボーレートジェネレータで LIN 仕様のボーレートを生成可能	
	テストモード	ユーザ評価用セルフテストモード	
	割り込み機能	マスタ	• ヘッダ／フレーム／ウエイクアップ送信完了 • フレーム／ウエイクアップ受信完了[注2] • エラー検出
		スレーブ	• レスポンス／ウエイクアップ送信完了 • ヘッダ／レスポンス／ウエイクアップ受信完了[注2] • エラー検出
UART 通信機能	データバッファ	• 送信データバッファ／ウェイト用送信データバッファ （送信専用。データ長 1。キャラクタ長 7、8、9 ビットに対応） • UART バッファ （送信専用。データ長 1 ～ 9 で可変。キャラクタ長 7、8 ビットに対応） • 受信データバッファ （受信専用。データ長 1。キャラクタ長 7、8、9 ビットに対応）	
	データフォーマット	キャラクタ長：7、8 ビット 拡張ビットにより、9 ビット対応可能	
		送信ストップビット：1、2 ビット	
		パリティ機能：奇数、偶数、0、なし	
		LSB ／ MSB ファースト転送選択可能	
		送受信データの反転入出力が可能	
	ステータス	• 送信ステータス • 受信ステータス • UART バッファ送信完了 • エラー検出 • 拡張ビット検出 • ID 一致 • リセットモードステータス	

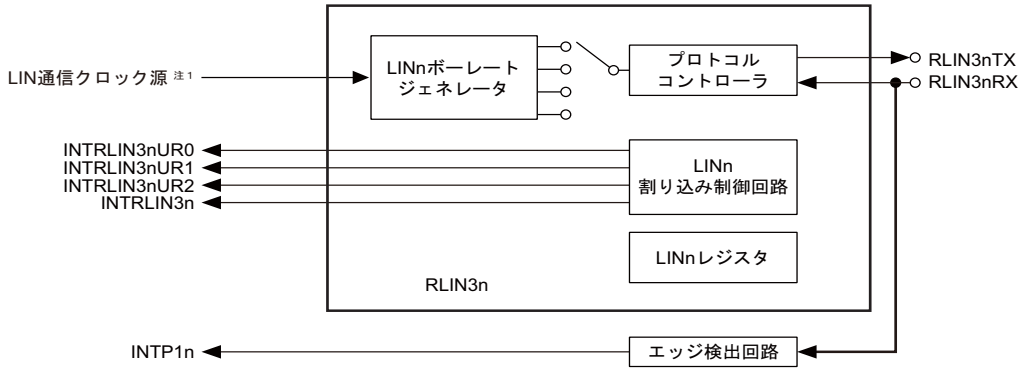
表 18.10 LIN/UART インタフェースの仕様 (3/3)

項目		仕様
UART 通信機能	エラーステータス	• ビットエラー • フレーミングエラー • パリティエラー • オーバランエラー
	ボーレート選択	ボーレートジェネレータ内蔵により任意のボーレートを設定可能
	任意の拡張ビットが期待するレベルであった場合、受信データをあらかじめ設定したレジスタ内のデータと 8 ビット比較が可能	
	受信のストップビットを保証（送信開始時に受信のストップビット中の場合、送信開始をウェイト可能）	
	割り込み機能	• 送信開始／完了 • 受信完了 • ステータス／エラー検出

注 1. 同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。
注 2. ウエイクアップ受信は、入力信号ロウレベル幅カウントを示します。

18.2.2 ブロック図

図 18.1 に LIN/UART インタフェースのブロック図を示します。



注 1. LIN 通信クロック源は、「**11.5.3 クロックドメイン設定**」を参照してください。

図 18.1 LIN/UART インタフェースブロック図

18.2.3 ブロック図の説明

- RLIN3nTX、RLIN3nRX : LIN/UART インタフェースの入出力端子です。
- LINn ボーレートジェネレータ : LIN/UART インタフェースの通信クロックを生成します。
- LINn レジスタ : LIN/UART インタフェースのレジスタです。
- LINn 割り込み制御回路 : LIN/UART インタフェースによって生成される割り込み要求を制御します。

18.3 レジスタ

18.3.1 レジスター覧

RLIN3 のレジスター覧を以下の表に示します。

<RLIN3n_base> は**「18.1.2 レジスタベースアドレス」**を参照してください。

表 18.11 レジスター覧

モジュール名	レジスタ名	略号	アドレス	LIN マスタ	LIN スレーブ	UART
RLN3n	LIN ウエイクアップボーレート選択レジスタ	RLN3nLWBR	<RLIN3n_base> + 01_H	○	○	○
RLN3n	LIN/UART ボーレートプリスケーラ 01 レジスタ	RLN3nLBRP01	<RLIN3n_base> + 02_H	—	○	○
RLN3n	LIN/UART ボーレートプリスケーラ 0 レジスタ	RLN3nLBRP0	<RLIN3n_base> + 02_H	○	○	○
RLN3n	LIN/UART ボーレートプリスケーラ 1 レジスタ	RLN3nLBRP1	<RLIN3n_base> + 03_H	○	○	○
RLN3n	LIN セルフテスト制御レジスタ	RLN3nLSTC	<RLIN3n_base> + 04_H	○	○	—
RLN3n	LIN/UART モードレジスタ	RLN3nLMD	<RLIN3n_base> + 08_H	○	○	○
RLN3n	LIN ブレークフィールド設定レジスタ／ UART 設定レジスタ	RLN3nLBFC	<RLIN3n_base> + 09_H	○	○	○
RLN3n	LIN/UART スペース設定レジスタ	RLN3nLSC	<RLIN3n_base> + $0A_H$	○	○	○
RLN3n	LIN ウエイクアップ設定レジスタ	RLN3nLWUP	<RLIN3n_base> + $0B_H$	○	○	—
RLN3n	LIN 割り込み許可レジスタ	RLN3nLIE	<RLIN3n_base> + $0C_H$	○	○	—
RLN3n	LIN/UART エラー検出許可レジスタ	RLN3nLEDE	<RLIN3n_base> + $0D_H$	○	○	○
RLN3n	LIN/UART 制御レジスタ	RLN3nLCUC	<RLIN3n_base> + $0E_H$	○	○	○
RLN3n	LIN/UART 送信制御レジスタ	RLN3nLTRC	<RLIN3n_base> + 10_H	○	○	○
RLN3n	LIN/UART モードステータスレジスタ	RLN3nLMST	<RLIN3n_base> + 11_H	○	○	○
RLN3n	LIN/UART ステータスレジスタ	RLN3nLST	<RLIN3n_base> + 12_H	○	○	○
RLN3n	LIN/UART エラーステータスレジスタ	RLN3nLEST	<RLIN3n_base> + 13_H	○	○	○
RLN3n	LIN/UART データフィールド設定レジスタ	RLN3nLDFC	<RLIN3n_base> + 14_H	○	○	○
RLN3n	LIN/UART ID バッファレジスタ	RLN3nLIDB	<RLIN3n_base> + 15_H	○	○	○
RLN3n	LIN チェックサムバッファレジスタ	RLN3nLCBR	<RLIN3n_base> + 16_H	○	○	—
RLN3n	UART データバッファ 0 レジスタ	RLN3nLUDB0	<RLIN3n_base> + 17_H	—	—	○
RLN3n	LIN/UART データバッファ 1 レジスタ	RLN3nLDBR1	<RLIN3n_base> + 18_H	○	○	○
RLN3n	LIN/UART データバッファ 2 レジスタ	RLN3nLDBR2	<RLIN3n_base> + 19_H	○	○	○
RLN3n	LIN/UART データバッファ 3 レジスタ	RLN3nLDBR3	<RLIN3n_base> + $1A_H$	○	○	○
RLN3n	LIN/UART データバッファ 4 レジスタ	RLN3nLDBR4	<RLIN3n_base> + $1B_H$	○	○	○
RLN3n	LIN/UART データバッファ 5 レジスタ	RLN3nLDBR5	<RLIN3n_base> + $1C_H$	○	○	○
RLN3n	LIN/UART データバッファ 6 レジスタ	RLN3nLDBR6	<RLIN3n_base> + $1D_H$	○	○	○
RLN3n	LIN/UART データバッファ 7 レジスタ	RLN3nLDBR7	<RLIN3n_base> + $1E_H$	○	○	○
RLN3n	LIN/UART データバッファ 8 レジスタ	RLN3nLDBR8	<RLIN3n_base> + $1F_H$	○	○	○
RLN3n	UART オペレーション許可レジスタ	RLN3nLUOER	<RLIN3n_base> + 20_H	—	—	○
RLN3n	UART オプションレジスタ 1	RLN3nLUOR1	<RLIN3n_base> + 21_H	—	—	○
RLN3n	UART 送信データレジスタ	RLN3nLUTDR	<RLIN3n_base> + 24_H	—	—	○
RLN3n	UART 送信データレジスタ L	RLN3nLUTDRL	<RLIN3n_base> + 24_H	—	—	○
RLN3n	UART 送信データレジスタ H	RLN3nLUTDRH	<RLIN3n_base> + 25_H	—	—	○
RLN3n	UART 受信データレジスタ	RLN3nLURDR	<RLIN3n_base> + 26_H	—	—	○
RLN3n	UART 受信データレジスタ L	RLN3nLURDRL	<RLIN3n_base> + 26_H	—	—	○
RLN3n	UART 受信データレジスタ H	RLN3nLURDRH	<RLIN3n_base> + 27_H	—	—	○
RLN3n	UART ウェイト用送信データレジスタ	RLN3nLUWTDR	<RLIN3n_base> + 28_H	—	—	○
RLN3n	UART ウェイト用送信データレジスタ L	RLN3nLUWTDRL	<RLIN3n_base> + 28_H	—	—	○
RLN3n	UART ウェイト用送信データレジスタ H	RLN3nLUWTDRH	<RLIN3n_base> + 29_H	—	—	○

備考 ○：使用、—：未使用
未使用のレジスタに書き込みを行う場合は、リセット後の値 を書いてください。

18.3.2 LIN マスタ関連レジスタ

18.3.2.1 RLN3nLWBR — LIN ウエイクアップボーレート選択レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			LWBR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.12 RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0 0 0 0：16 サンプリング 1 1 1 1：16 サンプリング 上記 以外は設定しないでください。
3 ～ 1	LPRS[2:0]	プリスケーラクロック選択ビット b3 b1 0 0 0：1/1 0 0 1：1/2 0 1 0：1/4 0 1 1：1/8 1 0 0：1/16 1 0 1：1/32 1 1 0：1/64 1 1 1：1/128
0	LWBR0	ウエイクアップボーレート選択ビット 0：LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定どおりのクロックが使用される（LIN1.3 使用時） 1：LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定によらずクロック fa が使用される（LIN2.x 使用時）

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

NSPB ビット（ビットサンプリング数選択ビット）

1 Tbit （ボーレートの逆数）のサンプリング数を選択するビットです。
LIN マスタモード（LIN モードレジスタの LIN/UART モード選択ビットが 00_B）で使用するときは、これらのビットを “0000_B” または “1111_B”（16 サンプリング）に設定してください。

LPRS ビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。

このプリスケーラにより LIN 通信クロック源を分周します。

LWBR0 ビット（ウエイクアップボーレート選択ビット）

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを “0” にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。LIN Specification Package Revision 2.x 使用時は “1” にしてください。“1” にすることで LIN ウエイクアップモード中は RLN3nLMD レジスタの LCKS ビット

の設定にかかわらず LIN システムクロック（fLIN）は fa が選択されます（LCKS ビットは変化しません）。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のボーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウエイクアップモード時に 130us 以上の入力信号ロウレベル幅を検出することができます。

18.3.2.2 RLN3nLBRP0 — LIN ボーレートプリスケーラ 0 レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 02_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LBRP0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.13 RLN3nLBRP0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LBRP0[7:0]	設定値を N（0 ～ 255）とすると、ボーレートプリスケーラはプリスケーラクロックのクロックを N+1 分周する 設定範囲：00_H ～ FF_H

RLN3nLBRP0 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fa”、“fb”、“fc” の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケーラ 0 は LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを N+1 分周します。

18.3.2.3 RLN3nLBRP1 — LIN ボーレートプリスケーラ 1 レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 03_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LBRP1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.14 RLN3nLBRP1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LBRP1[7:0]	設定値を M（0 ～ 255）とすると、ボーレートプリスケーラはプリスケーラクロックのクロックを M+1 分周する 設定範囲：00_H ～ FF_H

RLN3nLBRP1 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fd” の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケーラ 1 は LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを M+1 分周します。

18.3.2.4 RLN3nLSTC — LIN セルフテスト制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.15 RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	—	“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。
0	LSTM	LIN セルフテストモードビット 0：LIN セルフテストモードではない 1：LIN セルフテストモード

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、**「18.9 LIN セルフテストモード」**を参照してください。

ビット 6 ～ 1 を読み出すと “000000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット（LIN セルフテストモードビット）

LIN セルフテストモードに移行したとき、このビットは “1” になります。
LIN セルフテストモードからの終了方法は、**「18.9 LIN セルフテストモード」**を参照してください。
RLN3nLSTC レジスタへの “$A7_H$” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

18.3.2.5 RLN3nLMD — LIN モードレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base>+ 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	LCKS[1:0]		LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 18.16 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0：RLIN3n 割り込みを使用 1：RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みを使用
3、2	LCKS[1:0]	LIN システムクロック選択ビット b3 b2 0 0：fa（ボーレートプリスケーラ 0 生成クロック） 0 1：fb（ボーレートプリスケーラ 0 生成クロック /2） 1 0：fc（ボーレートプリスケーラ 0 生成クロック /8） 1 1：fd（ボーレートプリスケーラ 1 生成クロック /2）
1、0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 0 0：LIN マスタモード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

LRDNFS ビット（LIN 受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効／無効を選択するビットです。
“0” の場合、データ受信時のノイズフィルタは有効です。
“1” の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット（LIN 割り込み出力選択ビット）

LIN/UART インタフェースからの割り込み出力本数を選択するビットです。
“0” の場合、LIN/UART インタフェースからの RLIN3n 割り込みが発生します。
“1” の場合、LIN/UART インタフェースから RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みが発生します。
各割り込みの要因は、**「18.4 割り込み要因」**を参照してください。

LCKS[1:0] ビット（LIN システムクロック選択ビット）

プロトコルコントローラに入力するクロックを選択するビットです。
“00_B” の場合、プロトコルコントローラには fa（ボーレートプリスケーラ 0 生成クロック）が入力されます。
“01_B” の場合、プロトコルコントローラには fb（ボーレートプリスケーラ 0 生成クロック／2）が入力されます。

“10_B” の場合、プロトコルコントローラには fc（ボーレートプリスケーラ 0 生成クロック／8）が入力されます。
“11_B” の場合、プロトコルコントローラには fd（ボーレートプリスケーラ 1 生成クロック／2）が入力されます。

RLN3nLWBR レジスタの LWBR0 ビットが “1_B”（LIN 2.x）かつ RLN3nLMST レジスタが “01_H”（LIN ウエイクアップモード）の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます（LCKS ビットは変化しません）。

LMD[1:0] ビット（LIN/ UART モード選択ビット）

LIN/UART インタフェースのモードを選択するビットです。
LIN マスタとして使用する場合は、これらのビットを “00_B” に設定してください。

18.3.2.6 RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 18.17 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	BDT[1:0]	送信ブレークデリミタ（ハイレベル）幅設定ビット b5 b4 0 0：1 Tbit 0 1：2 Tbits 1 0：3 Tbits 1 1：4 Tbits
3 ～ 0	BLT[3:0]	送信ブレーク（ロウレベル）幅設定ビット b3 b0 0 0 0 0：13 Tbits 0 0 0 1：14 Tbits 0 0 1 0：15 Tbits ： 1 1 1 0：27 Tbits 1 1 1 1：28 Tbits

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0] ビット（送信ブレークデリミタ（ハイレベル）幅設定ビット）

送信フレーム ヘッダ部のブレークデリミタ（ハイレベル）幅の設定をします。
1 Tbit ～ 4 Tbits を設定できます。

BLT[3:0] ビット（送信ブレーク（ロウレベル）幅設定ビット）

送信フレーム ヘッダ部のブレーク（ロウレベル）幅の設定をします。
13 Tbits ～ 28 Tbits を設定できます。

18.3.2.7 RLN3nLSC — LIN スペース設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base>+ $0A_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 18.18 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	IBHS[2:0]	インタバイトスペース（ヘッダ）／レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレーム または レスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット（インタバイトスペース設定ビット）

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。
0 Tbit ～ 3 Tbits を設定できます。
レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0] ビット（インタバイトスペース（ヘッダ）／レスポンススペース設定ビット）

送信フレームヘッダ部のインタバイトスペース（ヘッダ）とレスポンススペースの幅の設定をします。0 Tbit ～ 7 Tbits を設定できます。
レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。インタバイトスペース（ヘッダ）とレスポンススペースの値は、同じになります。

18.3.2.8 RLN3nLWUP — LIN ウエイクアップ設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base>+ $0B_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 18.19 RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	WUTL[3:0]	ウエイクアップ送信 ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

WUTL[3:0] ビット（ウエイクアップ送信ロウレベル幅設定ビット）

ウエイクアップシグナル送信時のロウレベル幅を設定します。
1 Tbit ～ 16 Tbits を設定できます。

RLN3nLWBR レジスタの LWBR0 ビットが “1”（LIN 2.x）の場合、RLN3nLMD レジスタの LCKS ビットにかかわらず、LIN システムクロック（fLIN）は fa が選択されます（LCKS ビットは変化しません）。

18.3.2.9 RLN3nLIE — LIN 割り込み許可レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.20 RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SHIE	ヘッダ送信完了割り込み要求許可ビット 0：ヘッダ送信完了割り込み要求禁止 1：ヘッダ送信完了割り込み要求許可
2	ERRIE	エラー検出割り込み要求許可ビット 0：エラー検出割り込み要求禁止 1：エラー検出割り込み要求許可
1	FRCIE	フレーム／ウエイクアップ受信完了割り込み要求許可ビット 0：フレーム／ウエイクアップ受信完了割り込み要求禁止 1：フレーム／ウエイクアップ受信完了割り込み要求許可
0	FTCIE	フレーム／ウエイクアップ送信完了割り込み要求許可ビット 0：フレーム／ウエイクアップ送信完了割り込み要求禁止 1：フレーム／ウエイクアップ送信完了割り込み要求許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

SHIE ビット（ヘッダ送信完了割り込み要求許可ビット）

ヘッダ送信完了時の割り込み要求の許可／禁止を設定します。
“0” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生しません。
“1” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生します。

ERRIE ビット（エラー検出割り込み要求許可ビット）

エラーを検出したときの割り込み要求の許可／禁止を設定します。
“0” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生しません。
“1” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレーム／レスポンスタイムアウトエラー、フレーミングエラー、チェックサムエラー、レスポンス準備エラーです。
ビットエラー、フィジカルバスエラー、フレーム／レスポンスタイムアウトエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可／禁止の設定ができます。

FRCIE ビット（フレーム／ウエイクアップ受信完了割り込み要求許可ビット）

フレーム受信完了、または ウエイクアップシグナル受信（入力信号ロウレベル幅カウント）完了時の割り込み要求の許可／禁止を設定します。
“0” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生しません。
“1” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生します。

FTCIE ビット（フレーム／ウエイクアップ送信完了割り込み要求許可ビット）

フレーム送信完了、または ウエイクアップシグナル送信完了時の割り込み要求の許可／禁止を設定します。
“0” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生しません。
“1” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生します。

18.3.2.10 RLN3nLEDE — LIN エラー検出許可レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0D_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LTES	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 18.21 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0：フレームタイムアウトエラー 1：レスポンスタイムアウトエラー
6 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット注 1 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	FTERE	タイムアウトエラー検出許可ビット 0：フレーム／レスポンスタイムアウトエラー検出禁止 1：フレーム／レスポンスタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0：フィジカルバスエラー検出禁止 1：フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット注 1 0：ビットエラー検出禁止 1：ビットエラー検出許可

注 1. FERE ビットと BERE ビットは 1 にセットしてください。

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

LTES ビット（タイムアウトエラー選択ビット）

タイムアウトを選択するビットです。
“0” の場合、タイムアウト機能はフレームタイムアウトとして動作します。
“1” の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。
タイムアウトエラーの詳細は、**「18.7.7 エラーステータス」**を参照してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。
“0” の場合、フレーミングエラーを検出しません。
“1” の場合、フレーミングエラーを検出します。
このビットを “1” にしてください。フレーミングエラーの検出結果は RLN3nLEST レジスタの FER フラグに反映されます。
フレーミングエラーの詳細は、**「18.7.7 エラーステータス」**を参照してください。

FTERE ビット（タイムアウトエラー検出許可ビット）

フレームタイムアウトエラー または レスポンスタイムアウトエラー検出の許可／禁止を設定します。

“0” の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出しません。
“1” の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出します。
このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの FTER フラグに反映されます。
LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。
タイムアウトエラーは、レスポンスを 9 バイト以上で送信 または 受信する場合には使用しないでください。
タイムアウトエラーの詳細は、**「18.7.7　エラーステータス」**を参照してください。

PBERE ビット（フィジカルバスエラー検出許可ビット）

フィジカルバスエラー検出の許可／禁止を設定します。
“0” の場合、フィジカルバスエラーを検出しません。
“1” の場合、フィジカルバスエラーを検出します。
このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの PBER フラグに反映されます。
フィジカルバスエラーの詳細は、**「18.7.7　エラーステータス」**を参照してください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。
“0” の場合、ビットエラーを検出しません。
“1” の場合、ビットエラーを検出します。
このビットを “1” にしてください。ビットエラーの検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。
ビットエラーの詳細は、**「18.7.7　エラーステータス」**を参照してください。

18.3.2.11 RLN3nLCUC — LIN 制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0E_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.22 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0 : LIN ウエイクアップモード 1 : LIN 動作モード
0	OM0	LIN リセットビット 0 : LIN リセットモード 1 : LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウエイクアップモードに移行させる場合は RLN3nLCUC レジスタに “01_H” を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに “03_H” を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを “03_H” にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット（LIN モード選択ビット）

LIN リセットモード解除時の動作モード（LIN ウエイクアップモード、LIN 動作モード）選択をするビットです。
“0” にすると、LIN ウエイクアップモードになります。
“1” にすると、LIN 動作モードになります。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “1” のときのみ有効になります。
このビットは、RLN3nLTRC レジスタの FTS ビットが “1” の間は書けません。

OM0 ビット（LIN リセットビット）

LIN リセットモードへの移行／ LIN リセットモードの解除を選択するビットです。
“0” にすると、LIN リセットモードになります。
“1” にすると、LIN リセットモードは解除されます。

18.3.2.12 RLN3nLTRC — LIN 送信制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.23 RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	レスポンス送信／受信開始ビット 0：フレームセパレートモードにおいてレスポンス送受信停止 1：フレームセパレートモードにおいてレスポンス送受信開始
0	FTS	フレーム送信／ウエイクアップ送受信開始ビット 0：フレーム送信／ウエイクアップ送受信停止 1：フレーム送信／ウエイクアップ送受信開始

RTS ビット（レスポンス送信／受信開始ビット）

フレームセパレートモードで、ヘッダを送信開始（FTS ビットが “1”）し、レスポンス送信データ準備完了した後に、“1” にしてください。設定後、このビットはフレーム通信終了（エラー検出時を含む）および LIN リセットモード移行時、自動的に “0” になります。
このビットは “1” のみ書けます。“0” は書けません。
このビットに “1” を書く場合は、ストア命令で “02_H” を書き込んでください。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときは書けません。
このビットは、FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときは書けません。
9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ（0 ～ 8 バイトで可変）の送受信ごとに “1” に設定してください。設定後、データグループの通信終了時 または LIN リセットモード移行時に自動的に “0” になります。

FTS ビット（フレーム送信／ウエイクアップ送受信開始ビット）

フレーム送受信開始時、“1” にしてください。
また、ウェイクアップ送信、ウエイクアップ受信（入力信号ロウレベル幅カウント）を行う場合にも、このビットを “1” にしてください。
このビットは “1” のみ書けます。“0” は書けません。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときは書けません。
このビットは、フレームおよびウエイクアップの通信終了時（エラー検出時を含む）に "0" になります。LIN リセットモード移行時に “0” になります。

18.3.2.13 RLN3nLMST — LIN モードステータスレジスタ

アクセス 8 ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 18.24 RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスモニタ 0 : LIN ウエイクアップモード 1 : LIN 動作モード
0	OMM0	LIN リセットステータスモニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM1 ビット（LIN モードステータスモニタ）

現在の動作モードが確認できます。

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

18.3.2.14 RLN3nLST — LIN ステータスレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 18.25 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0：送信未完了 1：ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0：受信未完了 1：データ 1 受信完了
4、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム／ウエイクアップ受信完了フラグ 0：受信未完了 1：フレームまたはウエイクアップ受信完了
0	FTC	フレーム／ウエイクアップ送信完了フラグ 0：送信未完了 1：フレームまたはウエイクアップ送信完了

RLN3nLST レジスタは LIN リセットモード移行時 および 次の通信開始（RLN3nLTRC レジスタの FTS ビットが “1”）時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

HTRC フラグ（ヘッダ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
ヘッダ送信完了時、“1” となります。このとき RLN3nLIE レジスタの SHIE ビットが “1”（割り込み許可）の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

D1RC フラグ（データ 1 受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1” となりますが割り込み要求は発生しません。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

9 バイト以上のレスポンスデータ受信を行う場合は、データグループ （0 ～ 8 バイトで可変）ごとでデータ 1 受信完了時、“1” となります。次のデータグループ受信開始前に “0” を書いてください。

ERR フラグ（エラー検出フラグ）

エラー検出（RLN3nLEST レジスタのフラグのうち 1 つでも “1”）時、“1” となります。このとき RLN3nLIE レジスタの ERRIE ビットが “1”（割り込み許可）の場合、RLIN3n ステータス割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに “0” を書いてください。ERR フラグが “0” となります。

FRC フラグ（フレーム／ウエイクアップ受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
フレーム受信完了またはウエイクアップ受信完了時、“1” となります。このとき RLN3nLIE レジスタの FRCIE ビットが “1”（割り込み許可）の場合、RLIN3n 受信完了割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。
9 バイト以上のレスポンスデータ受信を行う場合は、データグループ（0 ～ 8 バイトで可変）の受信完了ごとに “1” となります。次のデータグループ受信開始前に “0” を書いてください。

FTC フラグ（フレーム／ウエイクアップ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
フレーム送信完了またはウエイクアップ送信完了時、“1” となります。このとき RLN3nLIE レジスタの FTCIE ビットが “1”（割り込み許可）の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。
9 バイト以上のレスポンスデータ送信を行う場合は、データグループ （0 ～ 8 バイトで可変）の送信完了ごとに “1” となります。次のデータグループ送信開始前に “0” を書いてください。

18.3.2.15 RLN3nLEST — LIN エラーステータスレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RPER	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 18.26 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0：レスポンス準備エラー未検出 1：レスポンス準備エラー検出
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0：チェックサムエラー未検出 1：チェックサムエラー検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	FTER	タイムアウトエラーフラグ 0：フレーム／レスポンスタイムアウトエラー未検出 1：フレーム／レスポンスタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0：フィジカルバスエラー未検出 1：フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、および 次の通信開始（RLN3nLTRC レジスタの FTS ビットが “1”）時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

RLN3nLTRC レジスタの FTS ビットが “1”（フレーム送信／ウエイクアップ送受信開始）の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

RPER フラグ（レスポンス準備エラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
レスポンス準備エラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

CSER フラグ（チェックサムエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERE ビットが “1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FTER フラグ（タイムアウトエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FTERE ビットが “1”（フレーム／レスポンスタイムアウトエラー検出許可）で、フレームタイムアウトエラー または レスポンスタイムアウトエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

PBER フラグ（フィジカルバスエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの PBERE ビットが “1”（フィジカルバスエラー検出許可）で、フィジカルバスエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。

BER フラグ（ビットエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが “1”（ビットエラー検出許可）で、ビットエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。

18.3.2.16 RLN3nLDFC — LIN データフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LSS	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.27 RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0：次に送受信するデータグループは最終である。 1：次に送受信するデータグループは最終ではない。 （チェックサムなし）
6	FSM	フレームセパレートモード選択ビット 0：フレームセパレートモードではない 1：フレームセパレートモード
5	CSM	チェックサム選択ビット 0：クラシック 1：エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0：受信 1：送信
3 ～ 0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000：0 バイト（+ チェックサム） 0001：1 バイト（+ チェックサム） 0010：2 バイト（+ チェックサム） ： 0111：7 バイト（+ チェックサム） 1000：8 バイト（+ チェックサム） 上記以外は設定しないでください。

LSS ビット（継続選択ビット）

9 バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。
“0” の場合、次に送信 または 受信するデータグループが最後として、データとチェックサムの送信 または 受信を行います。
“1” の場合、次に送信 または 受信するデータグループが最後でないため、データのみの送信 または 受信を行ない、チェックサムは含みません。
このビットは、FSM ビットが “1”（フレームセパレートモード）で、かつ 9 バイト以上のレスポンスデータ送受信を行う場合にのみ設定してください。
このビットは、RLN3nLTRC レジスタの RTS ビットが “0”（レスポンス送受信停止）のときに設定してください。

FSM ビット（フレームセパレートモード選択ビット）

レスポンス通信の方式を設定します。
“0” の場合、フレームセパレートモードになりません。ヘッダ送信開始（RLN3nLTRC レジスタの FTS ビットが “1”）後、RLN3nLTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。

“1” の場合、フレームセパレートモードになります。ヘッダ送信中に RLN3nLTRC レジスタの RTS ビットを “1” にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

8 バイト以下のレスポンス受信（RFT ビットが “0”）時は、このビットを “0” に設定してください。
LIN セルフテストモードに移行する場合は、移行前にこのビットを “0” に設定してください。
フレームセパレートモードの詳細は**「18.7.4.1 LIN フレームの送信」**を参照してください。
このビットは、RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送受信を行う場合は、このビットを “1” にしてください。

CSM ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。
“0” の場合、チェックサムの方式はクラシックとなります。
“1” の場合、チェックサムの方式はエンハンスとなります。
タイムアウトエラーを使用する（RLN3nLEDE レジスタの FTERE ビットが “1”）場合は、このビット設定によりタイムアウト時間が異なります。詳細は**「18.7.7 エラーステータス」**を参照してください。
このビットは、RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ（LSS ビットが “0”）のみチェックサムを含み、それ以外のデータグループ（LSS ビットが “1”）はチェックサムを含みません。

RFT ビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウエイクアップシグナルの通信方向を設定します。
“0” の場合、レスポンスフィールドで受信を行います。また、LIN ウエイクアップモードでは、ウエイクアップ受信（入力信号ロウレベル幅カウント）を行います。
“1” の場合、レスポンスフィールドで送信を行います。また、LIN ウエイクアップモードでは、ウエイクアップ送信を行います。
このビットは、RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0] ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。
データ長は 0 ～ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。
FSM ビットが “0”（フレームセパレートモードではない）で、レスポンス送信を行う場合は、ヘッダ送信前（RLN3nLTRC レジスタの FTS ビットが “0”）に、これらのビットを設定してください。
FSM ビットが “1”（フレームセパレートモード）で、レスポンス送信を行う場合は、レスポンス送信前（RLN3nLTRC レジスタの RTS ビットが “0”）に、これらのビットを設定してください。
レスポンスの受信を行う場合は、ヘッダ送信前（RLN3nLTRC レジスタの FTS ビットが “0”）に、これらのビットを設定してください。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループの送受信前（RLN3nLTRC レジスタの RTS ビットが “0”）に、これらのビットを設定してください。
最後のデータグループ（LSS ビットが “0”）のみチェックサムを含み、それ以外のデータグループ（LSS ビットが “1”）はチェックサムを含みません。

18.3.2.17 RLN3nLIDB — LIN ID バッファレジスタ

アクセス 8 ビット単位でリード／ライト可能です。
アドレス <RLIN3n_base> + 15_H
リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.28 RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで送信するパリティ (P1) ビットを設定
6	IDP0	パリティ設定ビット (P0) ID フィールドで送信するパリティ (P0) ビットを設定
5 ～ 0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「18.9 LIN セルフテストモード」**を参照してください。

IDP[1:0] ビット（パリティ設定ビット）

LIN フレームの ID フィールドで送信するパリティ（P0、P1）ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID[5:0] ビット（ID 設定ビット）

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

18.3.2.18 RLN3nLCBR — LIN チェックサムバッファレジスタ

アクセス 8 ビット単位でリードのみ可能です。ただし、LIN セルフテストモード時は、8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 16_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.29 RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN モード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが “1”（送信）の場合：
  送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
  書き込みは無効になります。
- RLN3nLDFC レジスタの RFT ビットが “0”（受信）の場合：
  受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
  書き込みは無効になります。

9 バイト以上のレスポンスデータ送信 または レスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

LIN セルフテストモード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが “1”（送信）の場合：
  フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます。
- RLN3nLDFC レジスタの RFT ビットが “0”（受信）の場合：
  通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「18.9 LIN セルフテストモード」**を参照してください。

このレジスタは RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

18.3.2.19 RLN3nLDBRb — LIN データバッファ b レジスタ（b = 1 ～ 8）

アクセス 8 ビット単位でリード／ライト可能です。

アドレス
RLN3nLDBR1 : <RLIN3n_base> + 18_H
RLN3nLDBR2 : <RLIN3n_base> + 19_H
RLN3nLDBR3 : <RLIN3n_base> + $1A_H$
RLN3nLDBR4 : <RLIN3n_base> + $1B_H$
RLN3nLDBR5 : <RLIN3n_base> + $1C_H$
RLN3nLDBR6 : <RLIN3n_base> + $1D_H$
RLN3nLDBR7 : <RLIN3n_base> + $1E_H$
RLN3nLDBR8 : <RLIN3n_base> + $1F_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.30 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲：00_H ～ FF_H

- レスポンス送信の場合：
  レスポンスフィールドで送信するデータを設定します。
  これらのレジスタは以下の状態で設定してください。
  - RLN3nLDFC レジスタの RFT ビットが “1”（送信）
  - RLN3nLDFC レジスタの FSM ビットが “0”（フレームセパレートモードではない）
  - RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）

  または
  - RLN3nLDFC レジスタの RFT ビットが “1”（送信）
  - RLN3nLDFC レジスタの FSM ビットが “1”（フレームセパレートモード）
  - RLN3nLTRC レジスタの RTS ビットが “0”（レスポンス送信／受信停止）
- レスポンス受信の場合：
  レスポンスフィールドで受信したデータが格納されます。
  受信データは上書きされます。また、エラー検出時、受信が中断される前までのデータは格納されます。
  これらのレジスタは、FTS ビットが “1”（フレーム送信／ウエイクアップ送受信開始）のときに読み出さないでください。
- 9 バイト以上のレスポンス送信の場合：
  これらのレジスタは以下の状態で設定してください
  - RLN3nLDFC レジスタの RFT ビットが “1”（送信）
  - RLN3n LDFC レジスタの FSM ビットが “1”（フレームセパレートモード）
  - RLN3nLTRC レジスタの RTS ビットが “0”（レスポンス送信／受信停止）
- 9 バイト以上のレスポンス受信の場合：
  これらのレジスタは、RTS ビットが “1”（レスポンス送信／受信開始）のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「18.9　LIN セルフテストモード」**を参照してください。

18.3.3 LIN スレーブ関連レジスタ

18.3.3.1 RLN3nLWBR — LIN ウエイクアップボーレート選択レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 18.31 RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0 0 0 0 : 16 サンプリング 0 0 1 1 : 4 サンプリング 0 1 1 1 : 8 サンプリング 1 1 1 1 : 16 サンプリング 上記 以外は設定しないでください。
3 ～ 1	LPRS[2:0]	プリスケーラクロック選択ビット b3 b1 0 0 0 : 1/1 0 0 1 : 1/2 0 1 0 : 1/4 0 1 1 : 1/8 1 0 0 : 1/16 1 0 1 : 1/32 1 1 0 : 1/64 1 1 1 : 1/128
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

NSPB ビット（ビットサンプリング数選択ビット）

1 Tbit（ボーレートの逆数）のサンプリング数を選択するビットです。
LIN スレーブモード〔固定ボーレート〕（RLN3nLMD レジスタの LMD[1:0] ビットが “11_B”）の通信を行う場合は、これらのビットを “0000_B” または “1111_B”（16 サンプリング）に設定してください。
LIN スレーブモード〔オートボーレート〕（RLN3nLMD レジスタの LMD[1:0] ビットが “10_B”）で LIN フレームの通信を行う場合は、これらのビットを “0011_B”（4 サンプリング）または “0111_B”（8 サンプリング）に設定してください。

LPRS ビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。このプリスケーラにより LIN 通信クロック源を分周します。

LIN スレーブモード〔オートボーレート〕（RLN3nLMD レジスタの LMD[1:0] ビットが ”10_B”）で使用する場合は、ターゲットとなるボーレートに応じて、これらのビットをプリスケーラクロックが、下記 となるように設定してください。

〔ターゲットとなるボーレート〕	〔プリスケーラクロック〕
1 kbps ～ 20 kbps	: 4MHz 注 1
1 kbps ～ 2.4 kbps 未満	: 4MHz
2.4 kbps ～ 20 kbps	: 8 MHz ～ 12 MHz

注 1. NSPB ビットは、“0011_B”（4 サンプリング）で使用してください。

18.3.3.2 RLN3nLBRP01 — LIN ボーレートプリスケーラ 01 レジスタ

アクセス RLN3nLBRP01 レジスタは 16 ビット単位でリード／ライト可能です。
RLN3nLBRP0 レジスタは 8 ビット単位でリード／ライト可能です。
RLN3nLBRP1 レジスタは 8 ビット単位でリード／ライト可能です。

アドレス RLN3nLBRP01: <RLIN3n_base> + 02_H
RLN3nLBRP0: <RLIN3n_base> + 02_H
RLN3nLBRP1: <RLIN3n_base> + 03_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.32 RLN3nLBRP01 レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	BRP[15:0]	設定値を L(0 ～ 65535) とすると、ボーレートプリスケーラはプリスケーラクロックを L+1 分周する。 設定範囲：0000_H ～ $FFFF_H$

RLN3nLBRP01 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

このレジスタの設定値を L とすると、ボーレートプリスケーラは RLN3nLWBR レジスタの LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを L + 1 分周します。

RLN3nLBRP01 レジスタは、RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタにより、8 ビットアクセスが可能です。

備 考

LIN スレーブモード〔オートボーレート〕では、シンクフィールドの受信が成功したとき、ボーレート補正結果を自動で RLN3nLBRP01 レジスタに設定します。

18.3.3.3 RLN3nLSTC — LIN セルフテスト制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.33 RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	—	“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。
0	LSTM	LIN セルフテストモードビット 0：LIN セルフテストモードではない 1：LIN セルフテストモード

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、**「18.9 LIN セルフテストモード」**を参照してください。

ビット 6 ～ 1 を読み出すと “000000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット（LIN セルフテストモードビット）

LIN セルフテストモードに移行したとき、このビットは “1” になります。
LIN セルフテストモードからの終了方法は、**「18.9 LIN セルフテストモード」**を参照してください。
RLN3nLSTC レジスタへの “$A7_H$” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

18.3.3.4 RLN3nLMD — LIN モードレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 18.34 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0：RLIN3n 割り込みを使用 1：RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みを使用
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 1 0：LIN スレーブモード〔オートボーレート〕 1 1：LIN スレーブモード〔固定ボーレート〕

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

LRDNFS ビット（LIN 受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効／無効を選択するビットです。
“0” の場合、データ受信時のノイズフィルタは有効です。
“1” の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット（LIN 割り込み出力選択ビット）

LIN/UART インタフェースからの割り込み出力本数を選択するビットです。
“0” の場合、LIN/UART インタフェースからの RLIN3n 割り込みが発生します。
“1” の場合、LIN/UART インタフェースからの RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みが発生します。
各割り込みの要因は、**「18.4 割り込み要因」**を参照してください。

LMD[1:0] ビット（LIN/ UART モード選択ビット）

LIN/UART インタフェースのモードを選択するビットです。
LIN スレーブとして使用する場合は、これらのビットを “10_B”（オートボーレート）もしくは “11_B”（固定ボーレート）に設定してください。

18.3.3.5 RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LBLT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 18.35 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LBLT	受信ブレーク（ロウレベル）検出幅設定ビット 0：9.5 Tbits または 10 Tbits でブレーク（ロウレベル）を検出 1：10.5 Tbits または 11 Tbits でブレーク（ロウレベル）を検出

RLN3nLBFC レジスタは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

LBLT ビット（受信ブレーク（ロウレベル）検出幅設定ビット）

- RLN3nLMD.LMD が “10_B”（LIN スレーブモード〔オートボーレート〕）の場合
  - “0” の場合、10 Tbits 以上のロウレベル幅を検出します。
  - “1” の場合、11 Tbits 以上のロウレベル幅を検出します。
- RLN3nLMD.LMD が “11_B”（LIN スレーブモード〔固定ボーレート〕）の場合
  - “0” の場合、9.5 Tbits 以上のロウレベル幅を検出します。
  - “1” の場合、10.5 Tbits 以上のロウレベル幅を検出します。

18.3.3.6 RLN3nLSC — LIN スペース設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0A_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 18.36 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	IBHS[2:0]	レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

レスポンス送信時のみ有効です。レスポンス受信時は無効となります。

設定値の組み合わせによっては、1 フレーム または レスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット（インタバイトスペース設定ビット）

レスポンス送信のインタバイトスペースの幅の設定をします。
0 Tbit ～ 3 Tbits を設定できます。

IBHS[2:0] ビット（レスポンススペース設定ビット）

レスポンススペースの送信幅の設定をします。
0 Tbit ～ 7 Tbits を設定できます。

18.3.3.7 RLN3nLWUP — LIN ウエイクアップ設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0B_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 18.37 RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	WUTL[3:0]	ウエイクアップ送信ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

WUTL[3:0] ビット（ウエイクアップ送信ロウレベル幅設定ビット）

ウエイクアップフレーム送信時のロウレベル幅を設定します。
1 Tbit ～ 16 Tbits を設定できます。

18.3.3.8 RLN3nLIE — LIN 割り込み許可レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.38 RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SHIE	ヘッダ受信完了割り込み要求許可ビット 0：ヘッダ受信完了割り込み要求禁止 1：ヘッダ受信完了割り込み要求許可
2	ERRIE	エラー検出割り込み要求許可ビット 0：エラー検出割り込み要求禁止 1：エラー検出割り込み要求許可
1	FRCIE	レスポンス／ウエイクアップ受信完了割り込み要求許可ビット 0：レスポンス／ウエイクアップ受信完了割り込み要求禁止 1：レスポンス／ウエイクアップ受信完了割り込み要求許可
0	FTCIE	レスポンス／ウエイクアップ送信完了割り込み要求許可ビット 0：レスポンス／ウエイクアップ送信完了割り込み要求禁止 1：レスポンス／ウエイクアップ送信完了割り込み要求許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

SHIE ビット（ヘッダ受信完了割り込み要求許可ビット）

ヘッダ受信完了時の割り込み要求の許可／禁止を設定します。
“0” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生しません。
“1” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生します。

ERRIE ビット（エラー検出割り込み要求許可ビット）

エラーを検出したときの割り込み要求の許可／禁止を設定します。
“0” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生しません。
“1” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生します。
発生要因となるエラーは、ビットエラー、フレーム／レスポンスタイムアウトエラー、フレーミングエラー、シンクフィールドエラー、ID パリティエラー、チェックサムエラー、レスポンス準備エラーです。
ビットエラー、フレーム／レスポンスタイムアウトエラー、シンクフィールドエラー、ID パリティエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可／禁止の設定ができます。

FRCIE ビット（レスポンス／ウエイクアップ受信完了割り込み要求許可ビット）

レスポンス受信完了、または ウエイクアップフレーム受信（入力信号ロウレベル幅カウント）完了時の割り込み要求の許可／禁止を設定します。
“0” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生しません。
“1” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生します。

FTCIE ビット（レスポンス／ウエイクアップ送信完了割り込み要求許可ビット）

レスポンス送信完了、または ウエイクアップフレーム送信完了時の割り込み要求の許可／禁止を設定します。
“0” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生しません。
“1” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生します。

18.3.3.9 RLN3nLEDE — LIN エラー検出許可レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0D_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LTES	IPERE	—	SFERE	FERE	TERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W

表 18.39 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0：フレームタイムアウトエラー 1：レスポンスタイムアウトエラー
6	IPERE	ID パリティエラー検出許可ビット 0：ID パリティエラー検出禁止 1：ID パリティエラー検出許可
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	SFERE	シンクフィールドエラー検出許可ビット 0：シンクフィールドエラー検出禁止 1：シンクフィールドエラー検出許可
3	FERE	フレーミングエラー検出許可ビット注 1 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	TERE	タイムアウトエラー検出許可ビット 0：フレーム／レスポンスタイムアウトエラー検出禁止 1：フレーム／レスポンスタイムアウトエラー検出許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BERE	ビットエラー検出許可ビット注 1 0：ビットエラー検出禁止 1：ビットエラー検出許可

注 1. FERE ビットと BERE ビットは 1 にセットしてください。

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

LTES ビット（タイムアウトエラー選択ビット）

タイムアウトを選択するビットです。
“0” の場合、タイムアウト機能はフレームタイムアウトとして動作します。
“1” の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。
タイムアウトエラーの詳細は、**「18.7.7 エラーステータス」**を参照してください。

IPERE ビット（ID パリティエラー検出許可ビット）

ID パリティエラー検出許可／禁止設定します。
“0” の場合、ID パリティエラーを検出しません。
“1” の場合、ID パリティエラーを検出します。
このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの IPER フラグに反映されます。
ID パリティエラーの詳細は、**「18.7.7 エラーステータス」**を参照してください。

SFERE ビット（シンクフィールドエラー検出許可ビット）

シンクフィールドエラー検出の許可／禁止を設定します。
“0” の場合、シンクフィールドエラーを検出しません。
“1” の場合、シンクフィールドエラーを検出します。
このビットは設定にかかわらず、シンクフィールドエラー検出時は次のヘッダ待ち状態になります。
このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの SFER フラグに反映されます。
シンクフィールドエラーの詳細は、**「18.7.7 エラーステータス」**を参照してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。
“0” の場合、フレーミングエラーを検出しません。
“1” の場合、フレーミングエラーを検出します。
このビットを “1” にしてください。フレーミングエラーの検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。
フレーミングエラーの詳細は、**「18.7.7 エラーステータス」**を参照してください。

TERE ビット（タイムアウトエラー検出許可ビット）

フレームタイムアウトエラー または レスポンスタイムアウトエラー検出の許可／禁止を設定します。
“0” の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出しません。
“1” の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出します。
このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの TER フラグに反映されます。
LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。
タイムアウトエラーは、LIN スレーブモード〔オートボーレート〕（RLN3nLMD レジスタの LMD[1:0] ビットが “10_B”）では使用しないでください。
タイムアウトエラーは、レスポンスを 9 バイト以上で送信 または 受信する場合には使用しないでください。
タイムアウトエラーの詳細は、**「18.7.7 エラーステータス」**を参照してください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。
“0” の場合、ビットエラーを検出しません。
“1” の場合、ビットエラーを検出します。
このビットを “1” にしてください。ビットエラーの検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。
ビットエラーの詳細は、**「18.7.7 エラーステータス」**を参照してください。

18.3.3.10 RLN3nLCUC — LIN 制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0E_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.40 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0 : LIN ウエイクアップモード 1 : LIN 動作モード
0	OM0	LIN リセットビット 0 : LIN リセットモード 1 : LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウエイクアップモードに移行させる場合は RLN3nLCUC レジスタに “01_H” を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに “03_H” を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを “03_H” にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット（LIN モード選択ビット）

LIN リセットモード解除時の動作モード（LIN ウエイクアップモード、LIN 動作モード）選択をするビットです。
“0” にすると、LIN/UART インタフェースは LIN ウエイクアップモードになります。
“1” にすると、LIN/UART インタフェースは LIN 動作モードになります。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “1” のときのみ有効になります。
このビットは、RLN3nLTRC レジスタの FTS ビットが “1” の間は書けません。

OM0 ビット（LIN リセットビット）

LIN リセットモードへの移行／ LIN リセットモードの解除を選択するビットです。
“0” にすると、LIN/UART インタフェースは LIN リセットモードになります。
“1” にすると、LIN/UART インタフェースは LIN リセットモードが解除されます。

18.3.3.11 RLN3nLTRC — LIN 送信制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	LNRR	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 18.41 RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LNRR	LIN レスポンスなし要求ビット 0：受信 ID に対するレスポンスあり 1：受信 ID に対するレスポンスなし
1	RTS	レスポンス送信／受信開始ビット 0：レスポンス送信／受信停止 1：レスポンス送信／受信開始
0	FTS	LIN 通信開始ビット 0：ヘッダ受信／ウエイクアップ送受信停止 1：ヘッダ受信／ウエイクアップ送受信開始

LNRR ビット（LIN レスポンスなし要求ビット）

ヘッダを受信し、受信 ID を確認後、レスポンス送受信を行わない場合に “1” にしてください。
設定後、このビットは新たなシンクフィールド検出および LIN リセットモード移行時に、自動的に “0” になります。
このビットは “1” のみ書けます。“0” は書けません。
このビットに “1” を書く場合は、ストア命令で “04_H” を書き込んでください。
このビットは、RTS と同時に “1” にしないでください。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときは書けません。
このビットは、FTS が “0”（ヘッダ受信／ウエイクアップ送受信停止）のときは書けません。
9 バイト以上のレスポンスデータの送受信を行う場合は、ヘッダ完了後以外でこのビットを使用しないでください。（2 つ目以降のデータグループには使用しないでください）

RTS ビット（レスポンス送信／受信開始ビット）

ヘッダを受信し、受信 ID を確認後、レスポンス送信またはレスポンス受信開始時、“1” にしてください。設定後、このビットは レスポンス送信／受信完了（エラー検出時を含む）および LIN リセットモード移行時に自動的に “0” になります。
このビットは “1” のみ書けます。“0” は書けません。
このビットに “1” を書く場合は、ストア命令で “02_H” を書き込んでください。
このビットは、LNRR と同時に ”1” にしないでください。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときは書けません。
このビットは、FTS ビットが “0”（ヘッダ受信／ウエイクアップ送受信停止）のときは書け

ません。
9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ（0 ～ 8 バイトで可変）の送受信ごとに “1” に設定してください。設定後、データグループの送受信完了または LIN リセットモード移行時に自動的に “0” になります。

FTS ビット（LIN 通信開始ビット）

ヘッダ受信／ウエイクアップ送受信開始時、“1” にしてください。
このビットは “1” のみ書けます。“0” は書けません。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときは書けません。
このビットは、ウエイクアップの通信終了時に “0” になります。
LIN リセットモード移行時に “0” になります。

18.3.3.12 RLN3nLMST — LIN モードステータスレジスタ

アクセス 8 ビット単位でリードのみ可能です。
アドレス <RLIN3n_base> +11_H
リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 18.42 RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスモニタ 0 : LIN ウエイクアップモード 1 : LIN 動作モード
0	OMM0	LIN リセットステータスモニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM1 ビット（LIN モードステータスモニタ）

現在の動作モードが確認できます。

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

18.3.3.13 RLN3nLST — LIN ステータスレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 18.43 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ受信完了フラグ 0：受信未完了 1：ヘッダ受信完了
6	D1RC	データ 1 受信完了フラグ 0：受信未完了 1：データ 1 受信完了
4、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	レスポンス／ウエイクアップ受信完了フラグ 0：受信未完了 1：レスポンスまたはウエイクアップ受信完了
0	FTC	レスポンス／ウエイクアップ送信完了フラグ 0：送信未完了 1：レスポンスまたはウエイクアップ送信完了

RLN3nLST レジスタは LIN リセットモード移行時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

レジスタ内の特定のビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

HTRC フラグ（ヘッダ受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
ヘッダ受信完了時、“1” となります。このとき RLN3nLIE レジスタの SHIE ビットが “1”（割り込み許可）の場合、RLIN3n 受信完了割り込み要求が発生します。ただし、このビットが “1” の状態で、ヘッダ受信完了した場合は、割り込みが発生しません。クリアする場合は、”0” を書いてください。
ヘッダ受信完了後、レスポンスフィールドで新規ヘッダを検出したい場合は、このビットが “1” になった後、クリアしてください。

D1RC フラグ（データ 1 受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1” となりますが割り込み要求は発生しません。クリアする場合

は、”0” を書いてください。
9 バイト以上のレスポンスデータ受信を行う場合は、データグループ （0 ～ 8 バイトで可変）ごとでデータ 1 受信完了時、“1” となります。次のデータグループ受信開始前に “0” を書いてください。

ERR フラグ（エラー検出フラグ）

エラー検出（RLN3nLEST レジスタのフラグのうち 1 つでも “1”）時、“1” となります。このとき RLN3nLIE レジスタの ERRIE ビットが “1”（割り込み許可）の場合、RLIN3n ステータス割り込み要求が発生します。ただし、このビットが “1” の状態で、エラー検出した場合は、割り込みが発生しません。クリアする場合は、RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグに “0” を書いてください。ERR フラグが “0” となります。

FRC フラグ（レスポンス／ウエイクアップ受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
レスポンス受信完了またはウエイクアップ受信完了時、“1” となります。このとき RLN3nLIE レジスタの FRCIE ビットが “1”（割り込み許可）の場合、RLIN3n 受信完了割り込み要求が発生します。ただし、このビットが “1” の状態で、レスポンス受信完了 または ウエイクアップ受信完了した場合は、割り込みが発生しません。クリアする場合は、“0” を書いてください。
9 バイト以上のレスポンスデータ受信を行う場合は、データグループ （0 ～ 8 バイトで可変）の受信完了ごとに “1” となります。次のデータグループ受信開始前に “0” を書いてください。

FTC フラグ（レスポンス／ウエイクアップ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
レスポンス送信完了またはウエイクアップ送信完了時、“1” となります。このとき RLN3nLIE レジスタの FTCIE ビットが “1”（割り込み許可）の場合、RLIN3n 送信割り込み要求発生します。ただし、このビットが “1” の状態で、レスポンス送信完了 または ウエイクアップ送信完了した場合は、割り込みが発生しません。クリアする場合は、“0” を書いてください。
9 バイト以上のレスポンスデータ送信を行う場合は、データグループ （0 ～ 8 バイトで可変）の送信完了ごとに “1” となります。次のデータグループ送信開始前に “0” を書いてください。

18.3.3.14 RLN3nLEST — LIN エラーステータスレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RPER	IPER	CSER	SFER	FER	TER	—	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

表 18.44 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0：レスポンス準備エラー未検出 1：レスポンス準備エラー検出
6	IPER	ID パリティエラーフラグ 0：ID パリティエラー未検出 1：ID パリティエラー検出
5	CSER	チェックサムエラーフラグ 0：チェックサムエラー未検出 1：チェックサムエラー検出
4	SFER	シンクフィールドエラーフラグ 0：シンクフィールドエラー未検出 1：シンクフィールドエラー検出
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	TER	タイムアウトエラーフラグ 0：フレーム／レスポンスタイムアウトエラー未検出 1：フレーム／レスポンスタイムアウトエラー検出
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

レジスタ内の特定のビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

RPER フラグ（レスポンス準備エラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
レスポンス準備エラー検出時、“1” となります。クリアする場合は、“0” を書いてください。

IPER フラグ（ID パリティエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの IPERE ビットが “1”（ID パリティエラー検出許可）で、ID パリティエラー発生時、“1” となります。クリアする場合は、“0” を書いてください。

CSER フラグ（チェックサムエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、“1” となります。クリアする場合は、“0” を書いてください。

SFER フラグ（シンクフィールドエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの SFERE ビットが “1”（シンクフィールドエラー検出許可）で、シンクフィールドエラー検出時、“1” となります。クリアする場合は、“0” を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERE ビットが “1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1” となります。クリアする場合は、“0” を書いてください。

TER フラグ（タイムアウトエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの TERE ビットが “1”（フレーム／レスポンスタイムアウトエラー検出許可）で、フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出時、“1” となります。クリアする場合は、“0” を書いてください。

BER フラグ（ビットエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが “1”（ビットエラー検出許可）で、ビットエラー検出時、“1” となります。クリアする場合は、“0” を書いてください。

18.3.3.15 RLN3nLDFC — LIN データフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LSS	—	LCS	RCDS	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 18.45 RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0：次に送受信するデータグループは最終である。 1：次に送受信するデータグループは最終ではない。 （次のヘッダ受信を待たずにデータ送受信を継続）
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LCS	チェックサム選択ビット 0：クラシック 1：エンハンス
4	RCDS	レスポンスフィールド通信方向選択ビット 0：レスポンス受信 1：レスポンス送信
3 ～ 0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000：0 バイト（+ チェックサム） 0001：1 バイト（+ チェックサム） 0010：2 バイト（+ チェックサム） ： 0111：7 バイト（+ チェックサム） 1000：8 バイト（+ チェックサム） 上記以外は設定しないでください。

LSS ビット（継続選択ビット）

9 バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。
“0” の場合、次に送信 または 受信するデータグループが最後として、データとチェックサムの送信 または 受信を行います。
“1” の場合、次に送信 または 受信するデータグループが最後でないため、データのみの送信または 受信を行ない、チェックサムは含みません。
多バイトレスポンス送受信機能を使用しない場合は、このビットに “0” を設定してください。
このビットは、RTS が “0”（レスポンス送信／受信停止）のときに設定してください。

LCS ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。
“0” の場合、チェックサムの方式はクラシックとなります。
“1” の場合、チェックサムの方式はエンハンスとなります。
タイムアウトエラーを使用する（RLN3nLEDE レジスタの TERE ビットが “1”）場合は、このビット設定によりタイムアウト時間が異なります。詳細は**「18.7.7 エラーステータス」**を参照してください。

レスポンスフィールド長が 0 バイト（RFDL ビットが “0”）のとき、このビットを “1”（エンハンス）にしないでください。
9 バイト以上のレスポンスデータ送受信 を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ（LSS ビットが “0”）のみチェックサムを含み、それ以外のデータグループ（LSS ビットが “1”）はチェックサムを含みません。
このビットは、RTS が “0”（レスポンス送信／受信停止）のときに設定してください。

RCDS ビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウエイクアップシグナルの通信方向を設定します。
“0” の場合、レスポンスフィールドで受信します。また、LIN ウエイクアップモードでは、ウエイクアップ受信（入力信号ローレベル幅カウント）を行います。
“1” の場合、レスポンスフィールドで送信します。また、LIN ウエイクアップモードでは、ウエイクアップ送信を行います。
このビットは、LIN 動作モードでは RLN3nLTRC レジスタの RTS ビット が “0”（レスポンス送信／受信停止）のときに、LIN ウエイクアップモードでは FTS ビットが “0”（ヘッダ受信／ウエイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0] ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。
データ長は 0 ～ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。
これらのビットは、RLN3nLTRC レジスタの RTS が “0”（レスポンス送信／受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ（LSS ビットが “0”）のみチェックサムを含み、それ以外のデータグループ（RLN3nLDFC レジスタの LSS ビットが “1”）はチェックサムを含みません。

18.3.3.16 RLN3nLIDB — LIN ID バッファレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.46 RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで受信したパリティ (P1) ビットを格納
6	IDP0	パリティ設定ビット (P0) ID フィールドで受信したパリティ (P0) ビットを格納
5 ～ 0	ID[5:0]	ID 設定ビット ID フィールドで受信した 6 ビットの ID 値を格納

RLN3nLIDB レジスタの値は、ヘッダ受信完了したときに有効です。LIN モード（LIN 動作モード、LIN ウエイクアップモード）では書き込みできません。

LIN セルフテストモード時は、以下の通りになります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「18.9 LIN セルフテストモード」**を参照してください。

IDP ビット（パリティ設定ビット）

LIN フレームの ID フィールドで受信したパリティ（P0、P1）ビットが格納されます。IDP0 が P0、IDP1 が P1 です。

RLN3nLEDE レジスタの IPERE ビットが “1”（ID パリティ検出許可）の場合、受信した値と内部で算出した値の確認を行い、一致しない場合は、IPER（ID パリティエラーフラグ）がセットされます。

ID ビット（ID 設定ビット）

LIN フレームの ID フィールドで受信した 6 ビットの ID が格納されます。

18.3.3.17 RLN3nLCBR — LIN チェックサムバッファレジスタ

アクセス 8 ビット単位でリードのみ可能です。ただし、LIN セルフテストモード時は、8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 16_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.47 RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	CKSM[7:0]	チェックサムの送受信データを格納します。

LIN 動作モード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RCDS ビットが “1”（送信）の場合：
  送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
  書き込みは無効になります。
- RLN3nLDFC レジスタの RCDS ビットが “0”（受信）の場合：
  受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
  書き込みは無効になります。

9 バイト以上のレスポンスデータ送信 または レスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

LIN セルフテストモード時は、以下の通りとなります。

- RLN3nLDFC レジスタの RCDS ビットが “1”（送信）の場合：
  フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます。
- RLN3nLDFC レジスタの RCDS ビットが “0”（受信）の場合：
  通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「18.9 LIN セルフテストモード」**を参照してください。

このレジスタは RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

18.3.3.18 RLN3nLDBRb — LIN データバッファ b レジスタ（b = 1 ～ 8）

アクセス 8 ビット単位でリード／ライト可能です。

アドレス
RLN3nLDBR1：<RLIN3n_base> + 18_H
RLN3nLDBR2：<RLIN3n_base> + 19_H
RLN3nLDBR3：<RLIN3n_base> + $1A_H$
RLN3nLDBR4：<RLIN3n_base> + $1B_H$
RLN3nLDBR5：<RLIN3n_base> + $1C_H$
RLN3nLDBR6：<RLIN3n_base> + $1D_H$
RLN3nLDBR7：<RLIN3n_base> + $1E_H$
RLN3nLDBR8：<RLIN3n_base> + $1F_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.48 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LDB[7:0]	送信データを設定、または受信データを格納 設定範囲：00_H ～ FF_H

- レスポンス送信の場合：
  レスポンスフィールドで送信するデータを設定します。
  これらのレジスタは、RLN3nLTRC レジスタの RTS ビットが “0”（レスポンス送信／受信停止）のときに設定してください。
- レスポンス受信の場合：
  レスポンスフィールドで受信したデータが格納されます。
  受信データは上書きされます。また、エラー検出時、受信が中断される前までのデータは格納されます。
  これらのレジスタは、RTS ビットが “1”（レスポンス送信／受信開始）のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「18.9 LIN セルフテストモード」**を参照してください。

18.3.4 UART 関連レジスタ

18.3.4.1 RLN3nLWBR — LIN ウエイクアップボーレート選択レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 18.49 RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0 0 0 0：16 サンプリング 0 1 0 1：6 サンプリング 0 1 1 0：7 サンプリング 0 1 1 1：8 サンプリング 1 0 0 0：9 サンプリング 1 0 0 1：10 サンプリング 1 0 1 0：11 サンプリング 1 0 1 1：12 サンプリング 1 1 0 0：13 サンプリング 1 1 0 1：14 サンプリング 1 1 1 0：15 サンプリング 1 1 1 1：16 サンプリング 上記以外は設定しないでください。
3 ～ 1	LPRS[2:0]	プリスケーラクロック選択ビット b3 b1 0 0 0：1/1 0 0 1：1/2 0 1 0：1/4 0 1 1：1/8 1 0 0：1/16 1 0 1：1/32 1 1 0：1/64 1 1 1：1/128
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

NSPB ビット（ビットサンプリング数選択ビット）

1 Tbit（ボーレートの逆数）のサンプリング数を選択するビットです。
UART モードでは、これらのビットを 6 ～ 16 サンプリングで設定可能です。

LPRS ビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。

このプリスケーラにより LIN 通信クロック源を分周します。

18.3.4.2 RLN3nLBRP01 — UART ボーレートプリスケーラ 01 レジスタ

アクセス RLN3nLBRP01 レジスタは 16 ビット単位でリード／ライト可能です。
RLN3nLBRP0 レジスタは 8 ビット単位でリード／ライト可能です。
RLN3nLBRP1 レジスタは 8 ビット単位でリード／ライト可能です。

アドレス RLN3nLBRP01: <RLIN3n_base> + 02_H
RLN3nLBRP0: <RLIN3n_base> + 02_H
RLN3nLBRP1: <RLIN3n_base> + 03_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.50 RLN3nLBRP01 レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	BRP[15:0]	設定値を L(0 ～ 65535) とすると、ボーレートプリスケーラはプリスケーラクロックを L+1 分周する。 設定範囲：0000_H ～ $FFFF_H$

RLN3nLBRP01 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

このレジスタの設定値を L とすると、ボーレートプリスケーラは RLN3nLWBR レジスタの LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを L + 1 分周します。

RLN3nLBRP01 レジスタは、RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタにより、8 ビットアクセスが可能です。

18.3.4.3 RLN3nLMD — UART モードレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	—	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R/W	R/W

表 18.51 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	UART 受信データノイズフィルタ禁止ビット 0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない
4 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 0 1：UART モード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

LRDNFS ビット（UART 受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効／無効を選択するビットです。
“0” の場合、データ受信時のノイズフィルタは有効です。
“1” の場合、データ受信時のノイズフィルタは無効です。

LMD[1:0] ビット（LIN/ UART モード選択ビット）

LIN/UART インタフェースのモードを選択するビットです。
UART として使用する場合は、これらのビットを “01_B” に設定してください。

18.3.4.4 RLN3nLBFC — UART 設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	UTPS	URPS	UPS[1:0]		USBLS	UBOS	UBLS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.52 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UTPS	UART 出力極性切り換えビット 0：送信データ通常出力 1：送信データ反転出力
5	URPS	UART 入力極性切り換えビット 0：受信データ通常入力 1：受信データ反転入力
4、3	UPS[1:0]	UART パリティ選択ビット 00：パリティ禁止 01：偶数パリティ 10：0 パリティ 11：奇数パリティ
2	USBLS	UART ストップビット長選択ビット 0：ストップビット：1 ビット 1：ストップビット：2 ビット
1	UBOS	UART 転送フォーマット順選択ビット 0：LSB ファースト 1：MSB ファースト
0	UBLS	UART キャラクタ長選択ビット 0：UART 8 ビット通信 1：UART 7 ビット通信

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

UTPS ビット（UART 出力極性切り替えビット）

UART 通信の出力極性を設定します。
“0” の場合、送信データをそのまま出力します。
“1” の場合、送信データを反転して出力します。
このビットの設定は、UART フレームの全てのビットで有効です。
半二重通信で使用するときは、URPS ビットと設定を合わせてください。

URPS ビット（UART 入力極性切り替えビット）

UART 通信の入力極性を設定します。
“0” の場合、受信データをそのまま取り込みます。
“1” の場合、受信データを反転して取り込みます。
このビットの設定は、UART フレームのすべてのビットで有効です。
半二重通信で使用するときは、UTPS ビットと設定を合わせてください。
このビットに "1" を設定して、拡張ビット受信（(拡張ビット比較あり）または（データ比較

あり））を行う場合は、受信した値の反転値で比較を行うため、期待値の反転値を RLN3nLUOR1 レジスタの UEBDL ビット、RLN3nLIDB レジスタに設定してください。

UPS[1:0] ビット（UART パリティ選択ビット）

UART のパリティを設定します。

- “00_B” の場合、パリティなしで通信します。

  【送信】

  送信データにパリティビットを付加しません。

  【受信】

  パリティ処理なしで受信します。そのため、パリティエラーは発生しません。

- “01_B” の場合、偶数パリティで通信します。

  【送信】

  送信データ内の “1” の個数が奇数の場合、パリティビットに “1” を付加し、送信データ内の “1” の個数が偶数の場合、パリティビットに “0” を付加します。

  【受信】

  パリティビットを含めた受信データ内の “1” の個数が、奇数の場合にパリティエラーを発生します。

- “10_B” の場合、0 パリティで通信します。

  【送信】

  送信データ内の “1” の個数にかかわらず、パリティビットに “0” を付加します。

  【受信】

  パリティビットの値を判定しません。そのため、パリティエラーは発生しません。

- “11_B” の場合、奇数パリティで通信します。

  【送信】

  送信データ内の “1” の個数が奇数の場合、パリティビットに “0” を付加し、送信データ内の “1” の個数が偶数の場合、パリティビットに “1” を付加します。

  【受信】

  パリティビットを含めた受信データ内の “1” の個数が、偶数の場合にパリティエラーを発生します。

USBLS ビット（UART ストップビット長選択ビット）

UART 通信のストップビット長を設定します。
“0” の場合、1 ビットのストップビット長で送信します。
“1” の場合、2 ビットのストップビット長で送信します。

UBOS ビット（UART 転送フォーマット選択ビット）

UART 通信データのビットオーダを設定します。
“0” の場合、LSB ファーストで通信します。
“1” の場合、MSB ファーストで通信します。

UBLS ビット（UART キャラクタ長選択ビット）

UART 通信 1 フレームのキャラクタ長を設定します。
“0” の場合、8 ビット
“1” の場合、7 ビット
1 フレームのキャラクタ長を 9 ビットで使用する場合（RLN3nLUOR1 レジスタの UEBE ビットが “1”）は、このビットの設定は無効です。

18.3.4.5 RLN3nLSC — UART スペース設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。
アドレス <RLIN3n_base> + $0A_H$
リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R

表 18.53 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

IBS[1:0] ビット（インタバイトスペース設定ビット）

UART バッファによる送信時、UART フレーム間のスペースの幅の設定をします。
0 Tbit ～ 3 Tbits を設定できます。
UART バッファを使用しない場合、IBS[1:0] ビットは “00_B” に設定してください。
UART 送信データレジスタ（RLN3nLUTDR）と UART ウエイト送信データレジスタ（RLN3nLUWTDR）からデータが転送された場合、これらのビットの設定は無視されます。これらのビットは “00_B” に設定してください。

18.3.4.6 RLN3nLEDE — UART エラー検出許可レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0D_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	OERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R/W

表 18.54 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
4 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	OERE	オーバランエラー検出許可ビット 0：オーバランエラー検出禁止 1：オーバランエラー検出許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BERE	ビットエラー検出許可ビット 0：ビットエラー検出禁止 1：ビットエラー検出許可

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。
“0” の場合、フレーミングエラーを検出しません。
“1” の場合、フレーミングエラーを検出します。
このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。
フレーミングエラーの詳細は、**「18.8.5 エラーステータス」**を参照してください。

OERE ビット（オーバランエラー検出許可ビット）

オーバランエラー検出の許可／禁止を設定します。
“0” の場合、オーバランエラーを検出しません。
“1” の場合、オーバランエラーを検出します。
このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの OER フラグに反映されます。オーバランの詳細は、**「18.8.5 エラーステータス」**を参照してください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。
“0” の場合、ビットエラーを検出しません。
“1” の場合、ビットエラーを検出します。
このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。

全二重通信で使用する場合は、このビットを “1” にしないでください。
RLN3nLWBR レジスタの NSPB ビットが “0101_B”（6 サンプリング）かつ RLN3nLMD レジスタの LRDNFS ビットが “0”（ノイズフィルタを使用する）のときに、このビットを設定しないでください。
ビットエラーの詳細は、**「18.8.5 エラーステータス」**を参照してください。

18.3.4.7 RLN3nLCUC — UART 制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。
アドレス <RLIN3n_base> + $0E_H$
リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 18.55 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OM0	LIN リセットビット 0 : LIN リセットモード 1 : LIN リセットモード解除

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM0 ビット（LIN リセットビット）

リセットモードへの移行／リセットモードの解除を選択するビットです。
“0” にすると、リセットモードになります。
“1” にすると、リセットモードは解除されます。

18.3.4.8 RLN3nLTRC — UART 送信制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R

表 18.56 RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	UART バッファ送信開始ビット 0：UART バッファ送信停止 1：UART バッファ送信開始
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RTS ビット（UART バッファ送信開始ビット）

UART バッファからデータ送信を行う場合に “1” にしてください。
このビットは “1” のみ書けます。“0” は書けません。
このビットは、RLN3nLUOER レジスタの UTOE ビットが “1”（送信動作許可）かつ RLN3nLST レジスタの UTS ビットが “0”（送信動作中でない）のときに書いてください。
設定後、エラーの有無にかかわらず、RLN3nLDFC レジスタの MDL ビットで設定したデータ数のデータを送信完了したとき、自動的に “0” になります。また、リセットモードに移行したときも自動的に “0” になります。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときは書けません。
RLN3nLDFC レジスタの UTSW ビットが “1”（UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる）でこのビットに “1” を書き込む場合は、ストップビットの受信中にのみ行ってください。

18.3.4.9 RLN3nLMST — UART モードステータスレジスタ

アクセス 8 ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 18.57 RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	OMM0	LIN リセットステータスモニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

18.3.4.10 RLN3nLST — UART ステータスレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	URS	UTS	ERR	—	—	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 18.58 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	URS	受信ステータスフラグ 0：受信動作中でない 1：受信動作中
4	UTS	送信ステータスフラグ 0：送信動作中でない 1：送信動作中
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2、1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FTC	UART バッファ送信完了フラグ 0：UART バッファ送信未完了 1：UART バッファ送信完了

RLN3nLST レジスタは LIN リセットモード移行時、自動的に “00_H” になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

URS フラグ（受信ステータスフラグ）

受信動作開始時に “1” となります。
受信動作開始となるのは以下の条件です。

- スタートビットを検出したとき

受信動作終了時に “0” になります。受信動作停止中は ”0” を保持します。
受信動作終了となるのは以下の条件です。

- ストップビット 1 ビット目のサンプリングポイント

UTS フラグ（送信ステータスフラグ）

送信動作開始時に “1” となります。送信動作中は “1” を保持します。
送信動作開始となるのは以下の条件です。

- RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタに送信データがセットされたとき
- RLN3nLTRC レジスタの RTS ビットに “1” がセットされたとき

送信動作終了時に “0” になります。

送信動作終了となるのは以下の条件です。

- RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタにセットされたデータの送信完了かつ次のデータが設定されていないとき
- UART バッファからの送信が完了したとき（RLN3nLTRC レジスタの RTS ビットが “0” になったとき）

ERR フラグ（エラー検出フラグ）

エラー検出、拡張ビット検出および ID 一致（RLN3nLEST レジスタのフラグのうち 1 つでも “1”）時、“1” となります。このとき、RLIN3n ステータス割り込み要求が発生します。ただし、このビットが “1” の状態で、エラー検出、拡張ビット検出および ID 一致した場合は、割り込みが発生しません。クリアする場合は、RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに “0” を書いてください。

FTC フラグ（UART バッファ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
UART バッファから RLN3nLDFC レジスタの MDL ビットで設定したデータ数のデータをエラーの有無にかかわらず送信完了時、“1” となります。このとき、RLIN3n 送信割り込み要求が発生します。クリアする場合は、“0” を書いてください。

18.3.4.11 RLN3nLEST — UART エラーステータスレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	UPER	IDMT	EXBT	FER	OER	—	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W

表 18.59 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UPER	パリティエラーフラグ 0：パリティエラー未検出 1：パリティエラー検出
5	IDMT	ID 一致フラグ 0：受信データと ID 値不一致 1：受信データと ID 値一致
4	EXBT	拡張ビット検出フラグ 0：拡張ビット未検出 1：拡張ビット検出
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	OER	オーバランエラーフラグ 0：オーバランエラー未検出 1：オーバランエラー検出
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、自動的に “00_H” になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

UPER フラグ（パリティエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
パリティエラー検出時、“1” となります。クリアする場合は、“0” を書いてください。

IDMT フラグ（ID 一致フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

以下のすべての条件が成立したときに、“1” となります。

- RLN3nLUOR1 レジスタの UEBE ビットが “1”（拡張ビット動作許可）
- RLN3nLUOR1 レジスタの UECD ビットが “0”（拡張ビット比較許可）
- RLN3nLUOR1 レジスタの UEBDCE ビットが “1”（拡張ビット検出後のデータ比較する）

– 受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致
– 受信データのうち 拡張ビットを除く 8 ビットの値が RLN3nLIDB レジスタの値と一致

クリアする場合は、“0” を書いてください。

EXBT フラグ（拡張ビット検出フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLUOR1 レジスタの UEBE ビットが “1”（拡張ビット動作許可）で、受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致した場合、“1” となります。
クリアする場合は、“0” を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERE ビットが “1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1” となります。
クリアする場合は、“0” を書いてください。

OER フラグ（オーバランエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの OERE ビットが “1”（オーバランエラー検出許可）で、オーバランエラー発生時、“1” となります。
クリアする場合は、“0” を書いてください。

BER フラグ（ビットエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが “1”（ビットエラー検出許可）で、送信したデータと、受信端子でモニタしているデータが一致しなかったとき、“1” となります。
クリアする場合は、“0” を書いてください。

18.3.4.12 RLN3nLDFC — UART データフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	UTSW	—	MDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 18.60 RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	UTSW	送信開始ウエイトビット 0：UART バッファ送信要求時、すぐに送信を開始 1：UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ～ 0	MDL[3:0]	UART バッファデータ長選択ビット b3 b0 0 0 0 0：9 データ 0 0 0 1：1 データ 0 0 1 0：2 データ 0 0 1 1：3 データ 0 1 0 0：4 データ 0 1 0 1：5 データ 0 1 1 0：6 データ 0 1 1 1：7 データ 1 0 0 0：8 データ 1 0 0 1：9 データ 上記以外は設定しないでください。

UTSW ビット（送信開始ウエイトビット）

UART バッファの送信開始タイミングを制御します。
“0” の場合、UART バッファ送信開始が要求され次第、すぐに送信を開始します。
“1” の場合、ストップビットの受信完了後、送信が開始されます。
なお、RLN3nLBFC レジスタの USBLS ビットによってストップビット長を 2 ビットにしていても、1 ビット分しか待ちません。
このビットは、RLN3nLTRC レジスタの RTS ビットに “1” を設定したときに有効となります。また、RTS ビットが “1”（UART バッファ送信開始）のときは書けません。
半二重通信で受信から送信に切り替えるとき以外で、このビットを “1” にしないでください。

MDL ビット（UART バッファデータ長選択ビット）

UART バッファのデータ長を設定します。
これらのビットは、RLN3nLTRC レジスタの RTS ビットが “1”（UART バッファ送信開始）のときは書けません。

18.3.4.13 RLN3nLIDB — UART ID バッファレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ID[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.61 RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	ID[7:0]	拡張ビットデータ比較で参照する ID 値を設定

ID ビット（ID ビット）

RLN3nLUOR1 レジスタの UEBE ビットが “1”（拡張ビット動作許可）かつ UECD ビットが “0”（拡張ビット比較許可）かつ UEBDCE ビットが “1”（拡張ビット検出後のデータ比較する）で使用する際に、受信データと比較する値を設定してください。RLN3nLIDB レジスタは、RLN3nLST レジスタの URS ビットが “0”（受信動作中でない）のときに書いてください。

18.3.4.14 RLN3nLUDB0 — UART データバッファ 0 レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 17_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	UDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.62 RLN3nLUDB0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	UDB[7:0]	送信データを設定 設定範囲：00_H ～ FF_H

UART バッファからデータ長 9 データ（RLN3nLDFC レジスタの MDL ビットが “0_H” または “9_H”）で送信する際に、始めに送信するデータを設定します。

RLN3nLUDB0 レジスタは、RLN3nLTRC レジスタの RTS ビットが “0”（UART バッファ送信停止）のときに書いてください。

通信フォーマットの設定によるビット配置を**「表 18.63 各通信フォーマットでの RLN3nLUDB0 レジスタのビット配置」**に示します。

UART バッファの詳細は、**「18.8.1.2 UART バッファ送信 (1) UART バッファの送信」**を参照してください。

表 18.63 各通信フォーマットでの RLN3nLUDB0 レジスタのビット配置

	RLN3nLUDB0							
	b7	b6	b5	b4	b3	b2	b1	b0
7bit LSB ファースト	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
7bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6
8bit LSB ファースト	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
8bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7

18.3.4.15 RLN3nLDBRb — UART データバッファ b レジスタ（b = 1 ～ 8）

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN3nLDBR1：<RLIN3n_base> +18_H
RLN3nLDBR2：<RLIN3n_base> + 19_H
RLN3nLDBR3：<RLIN3n_base> + $1A_H$
RLN3nLDBR4：<RLIN3n_base> + $1B_H$
RLN3nLDBR5：<RLIN3n_base> + $1C_H$
RLN3nLDBR6：<RLIN3n_base> + $1D_H$
RLN3nLDBR7：<RLIN3n_base> + $1E_H$
RLN3nLDBR8：<RLIN3n_base> + $1F_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.64 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LDB[7:0]	送信データを設定 設定範囲：00_H ～ FF_H

UART バッファから送信するデータを設定します。

これらのレジスタは、RLN3nLTRC レジスタの RTS ビットが “0”（UART バッファ送信停止）のときに書いてください。

通信フォーマットの設定によるビット配置を**「表 18.65 各通信フォーマットでの RLN3nLDBRb レジスタのビット配置」**に示します。

UART バッファの詳細は、**「18.8.1.2 UART バッファ送信 (1) UART バッファの送信」**を参照してください。

表 18.65 各通信フォーマットでの RLN3nLDBRb レジスタのビット配置

	RLN3nLDBRb							
	b7	b6	b5	b4	b3	b2	b1	b0
7bit LSB ファースト	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
7bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6
8bit LSB ファースト	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
8bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7

18.3.4.16 RLN3nLUOER — UART オペレーション許可レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	UROE	UTOE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.66 RLN3nLUOER レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	UROE	受信動作許可ビット 0：受信動作禁止 1：受信動作許可
0	UTOE	送信動作許可ビット 0：送信動作禁止 1：送信動作許可

RLN3nLUOER レジスタは LIN リセットモード移行時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

UROE ビット（受信動作許可ビット）

受信動作の許可／禁止を設定します。
“0” の場合、受信動作を禁止します。
“1” の場合、受信動作を許可します。
受信中にこのビットをクリアしないでください。受信中に通信を中断する場合は、RLN3nLCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を設定し、LIN リセットモードに遷移させてください。ただし、このとき 送信動作も中断されます。

UART バッファからデータを送信しているときは、このビットに “1” をセットしないでください。

UTOE ビット（送信動作許可ビット）

送信動作の許可／禁止を設定します。
“0” の場合、送信動作を禁止します。
“1” の場合、送信動作を許可します。
送信中にこのビットをクリアしないでください。送信中に通信を中断する場合は、RLN3nLCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を設定し、LIN リセットモードに遷移させてください。ただし、このとき 受信動作も中断されます。

18.3.4.17 RLN3nLUOR1 — UART オプションレジスタ 1

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 21_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	UECD	UTIGTS	UEBDCE	UEBDL	UEBE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 18.67 RLN3nLUOR1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	UECD	拡張ビット比較禁止ビット 0：拡張ビット比較許可 1：拡張ビット比較禁止
3	UTIGTS	送信割り込み発生タイミング選択ビット 0：送信開始時に送信割り込み発生 1：送信完了時に送信割り込み発生
2	UEBDCE	拡張ビット・データ比較許可ビット 0：拡張ビット検出後のデータ比較しない 1：拡張ビット検出後のデータ比較する
1	UEBDL	拡張ビット検出レベル選択ビット 0：拡張ビット値 “0” を拡張ビット検出レベルに選択 1：拡張ビット値 “1” を拡張ビット検出レベルに選択
0	UEBE	拡張ビット許可ビット 0：拡張ビット動作禁止 1：拡張ビット動作許可

UECD ビット（拡張ビット比較禁止ビット）

UEBE ビットが “1”（拡張ビット動作許可）のときに、受信した拡張ビットの値と UEBDL ビットの値との比較の禁止／許可を設定します。
“0” の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を許可します。
“1” の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を禁止します。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。
UART バッファを使用する場合は、このビットに “1” をセットしないでください。
UEBDCE ビットを “1”（拡張ビット検出後のデータ比較する）で使用する場合は、このビットに “1” をセットしないでください。

UTIGTS ビット（送信割り込み発生タイミング選択ビット）

送信割り込み発生タイミングを設定します。
“0” の場合、送信開始時に送信割り込みが発生します。
“1” の場合、送信完了時に送信割り込みが発生します。
“0” の状態で UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信開始時にのみ送信割り込みが発生します。

“1” の状態で UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信完了時にのみ送信割り込みが発生します。

UEBDCE （拡張ビット・データ比較許可ビット）

拡張ビット検出後、拡張ビットを除く 8 ビット受信データと RLN3nLIDB レジスタ値の比較の許可／禁止を設定します。
“0” の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を禁止します。
“1” の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに、RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を許可します。
このビットは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。
UEBE ビットを “0”（拡張ビット動作禁止）で使用する場合は、このビットに “1” をセットしないでください。
UECD ビットを “1”（拡張ビット比較禁止）で使用する場合は、このビットに “1” をセットしないでください。
UART バッファを使用する場合は、このビットに “1” をセットしないでください。

UEBDL ビット（拡張ビット検出レベル選択ビット）

UEBE ビットが “1”（拡張ビット動作許可）かつ UECD ビットが “0”（拡張ビット比較許可) のときに、拡張ビットとして検出するレベルを設定します。
“0” の場合、拡張ビット値 “0” を拡張ビット検出レベルとします。
“1” の場合、拡張ビット値 “1” を拡張ビット検出レベルとします。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。
UART バッファを使用する場合は、このビットに "1" をセットしないでください。

UEBE ビット（拡張ビット許可ビット）

拡張ビットの動作の許可／禁止を設定します。
“0” の場合、拡張ビット動作を禁止します。
“1” の場合、拡張ビット動作を許可します。
このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。
UART バッファを使用する場合は、このビットに “1” をセットしないでください。

18.3.4.18 RLN3nLUTDR — UART 送信データレジスタ

アクセス RLN3nLUTDR は 16 ビット単位でリード／ライト可能です。
RLN3nLUTDRL は 8 ビット単位でリード／ライト可能です。
RLN3nLUTDRH は 8 ビット単位でリード／ライト可能です。

アドレス RLN3nLUTDR：<RLIN3n_base> + 24_H
RLN3nLUTDRL：<RLIN3n_base> + 24_H
RLN3nLUTDRH：<RLIN3n_base> + 25_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.68 RLN3nLUTDR レジスタの内容

ビット位置	ビット名	機能
15 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ～ 0	UTD[8:0]	送信データを設定 設定範囲：000_H ～ $1FF_H$

送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが “1” のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、8 ビットアクセス可能です。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

RLN3nLUWTDR レジスタへの書き込みにより送信要求が発生しているときは、このレジスタにデータの書き込みをしないでください。

連続送信する場合、送信割り込み発生前にこのレジスタに次のデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 18.69 各通信フォーマットでの RLN3nLUTDR レジスタのビット配置

	RLN3nLUTDR								
	b8	b7	b6	b5	b4	b3	b2	b1	b0
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8

18.3.4.19 RLN3nLURDR — UART 受信データレジスタ

アクセス RLN3nLURDR は 16 ビット単位でリードのみ可能です。
RLN3nLURDRL は 8 ビット単位でリードのみ可能です。
RLN3nLURDRH は 8 ビット単位でリードのみ可能です。

アドレス RLN3nLURDR：<RLIN3n_base> + 26_H
RLN3nLURDRL：<RLIN3n_base> + 26_H
RLN3nLURDRH：<RLIN3n_base> + 27_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	URD [8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.70 RLN3nLURDR レジスタの内容

ビット位置	ビット名	機能
15 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。
8 ～ 0	URD [8:0]	受信データを格納 設定範囲：000_H ～ $1FF_H$

受信データレジスタから、受信データを読み出すことができます。

RLN3nLUOER レジスタの UROE ビットが “1” のときに、受信データがこのレジスタに格納され、読み出すことができます。

このレジスタは、受信データのストップビット受信で更新されます。

このレジスタは、パリティやストップビットでエラーが発生したときも値は更新されます。

しかし、RLN3nLEDE レジスタの OERE ビットが “1”（オーバランエラー検出許可）で、オーバランエラー発生時は値が更新されません。OERE ビットが “0”（オーバランエラー検出禁止）で、オー バランエラー発生時は値が更新されます。

RLN3nLEDE レジスタの OERE ビットが “1”（オーバランエラー検出許可）で、受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）が発生した場合は、このレジスタを読み出してください。このレジスタを読み出さないままで、次のデータを受信するとオーバランエラーが発生します。

このレジスタは 8 ビットアクセス可能です。ただし、拡張ビット使用時（RLN3nLUOR1 レジスタの UEBE ビットが “1”（拡張ビット動作許可））は 8 ビットアクセスしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 18.71 各通信フォーマットでの RLN3nLURDR レジスタのビット配置

	RLN3nLURDR								
	b8	b7	b6	b5	b4	b3	b2	b1	b0
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8

18.3.4.20 RLN3nLUWTDR — UART ウェイト用送信データレジスタ

アクセス RLN3nLUWTDR は 16 ビット単位でリード／ライト可能です。
RLN3nLUWTDRL は 8 ビット単位でリード／ライト可能です。
RLN3nLUWTDRH は 8 ビット単位でリード／ライト可能です。

アドレス RLN3nLUWTDR：<RLIN3n_base> + 28_H
RLN3nLUWTDRL：<RLIN3n_base> + 28_H
RLN3nLUWTDRH：<RLIN3n_base> + 29_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UWTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.72 RLN3nLUWTDR レジスタの内容

ビット位置	ビット名	機能
15 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ～ 0	UWTD[8:0]	受信のストップビット完了を待った後にウェイト用送信データレジスタから送信するデータを設定 設定範囲：000_H ～ $1FF_H$

UART ウェイト用送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが “1” のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、半二重通信で受信から送信に切り替え時にのみ使用してください。

また、ユーザはストップビットの受信中にのみ、このレジスタへの書き込みを行ってください。

RLN3nLBFC レジスタの USBLS ビットによってストップビット長を 2 ビットにしていても、1 ビット分しか待ちません。

このレジスタを読み出したときは。RLN3nLUTDR レジスタの値が読めます。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 18.73 各通信フォーマットでの RLN3nLUWTDR レジスタのビット配置

	RLN3nLUWTDR								
	b8	b7	b6	b5	b4	b3	b2	b1	b0
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8

18.4 割り込み要因

LIN/UART インタフェースは 4 種類の割り込み要求を生成します。

- RLIN3n 送信割り込み
- RLIN3n 受信完了割り込み
- RLIN3n ステータス割り込み
- RLIN3n 割り込み

RLN3nLMD レジスタの LIOS ビットを “0” にすると、全ての割り込み要因の論理和をとって、RLIN3n 割り込みから割り込み要求を出力します。

RLN3nLMD レジスタの LIOS ビットを “1” にすると、要因に応じて RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みの要求を出力します。

表 18.74 に各割り込みの要因を示します。

表 18.74 割り込み要因

		RLN3nLMD レジスタの LIOS ビットが “0”	RLN3nLMD レジスタの LIOS ビットが “1” 注 1		
		RLIN3n 割り込み	RLIN3n 送信割り込み	RLIN3n 受信完了割り込み	RLIN3n ステータス割り込み
LIN モード	LIN マスタモード	• フレーム送信完了 • フレーム受信完了 • ウエイクアップ送信完了 • ウエイクアップ受信完了 • ヘッダ送信完了 • ビットエラー • フィジカルバスエラー • フレーム／レスポンスタイムアウトエラー • フレーミングエラー • チェックサムエラー • レスポンス準備エラー	• フレーム送信完了 • ウエイクアップ送信完了 • ヘッダ送信完了	• フレーム受信完了 • ウエイクアップ受信完了	• ビットエラー • フィジカルバスエラー • フレーム／レスポンスタイムアウトエラー • フレーミングエラー • チェックサムエラー • レスポンス準備エラー
	LIN スレーブモード	• レスポンス送信完了 • レスポンス受信完了 • ウエイクアップ送信完了 • ウエイクアップ受信完了 • ヘッダ受信完了 • ビットエラー • フレーム／レスポンスタイムアウトエラー • フレーミングエラー • シンクフィールドエラー • チェックサムエラー • ID パリティエラー • レスポンス準備エラー	• レスポンス送信完了 • ウエイクアップ送信完了	• レスポンス受信完了 • ウエイクアップ受信完了 • ヘッダ受信完了	• ビットエラー • フレーム／レスポンスタイムアウトエラー • フレーミングエラー • シンクフィールドエラー • チェックサムエラー • ID パリティエラー • レスポンス準備エラー
UART モード		—	• 送信開始／送信完了	• 受信完了 • 拡張ビット不一致	• ビットエラー • オーバランエラー • フレーミングエラー • 拡張ビット一致 • ID 一致 • パリティエラー

注 1. LIOS ビットの設定は、LIN モードで有効です。UART モードでは、LIOS ビットの設定は不要です。

LIN モードの場合、それぞれの割り込み要求は、RLN3nLIE レジスタの対応するビットが “1”（割り込み許可）のときに、RLN3nLST レジスタの対応するフラグが “1” になると出力されます。

18.5 モード

LIN/UART インタフェースには、機能に応じた次の 4 つのモードがあります。

- LIN リセットモード
- LIN モード
  - LIN マスタモード
  - LIN スレーブモード〔オートボーレート〕
  - LIN スレーブモード〔固定ボーレート〕
- UART モード
- LIN セルフテストモード

図 18.2 にモードの移行、**表 18.75** にモード移行条件、**表 18.76** に各モードで可能な動作を示します。

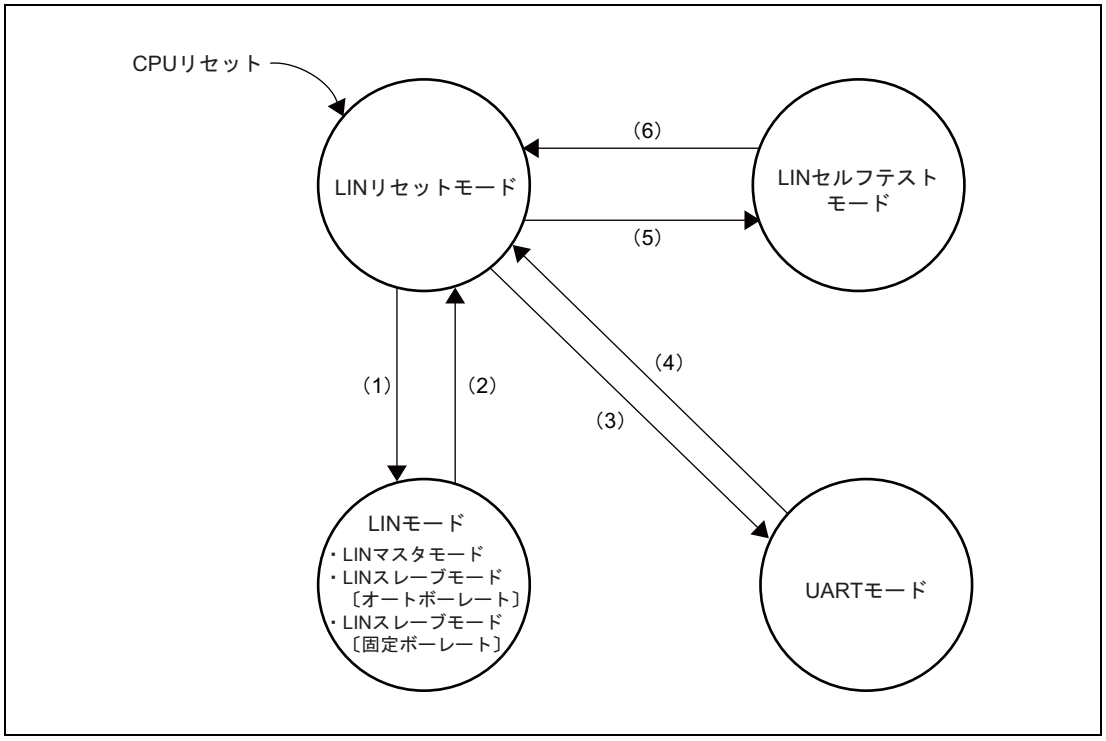


図 18.2 モードの移行

表 18.75 各モードの移行条件 (1/2)

	移行モード			移行条件
(1)	LIN リセットモード	→	LIN モード • LIN マスタモード • LIN スレーブモード〔固定ボーレート〕 • LIN スレーブモード〔オートボーレート〕	• RLN3nLMD.LMD = “00_B” かつ RLN3nLCUC.OM1, OM0 = “01_B” または “11_B” • RLN3nLMD.LMD = “11_B” かつ RLN3nLCUC.OM1,OM0 = “01_B” または “11_B” • RLN3nLMD.LMD = “10_B” かつ RLN3nLCUC.OM1,OM0 = “01_B” または “11_B”
(2)	LIN モード	→	LIN リセットモード	RLN3nLCUC.OM0 = “0_B”
(3)	LIN リセットモード	→	UART モード	RLN3nLMD.LMD = “01_B” かつ RLN3nLCUC.OM0 = “1_B”
(4)	UART モード	→	LIN リセットモード	RLN3nLCUC.OM0 = “0_B”

表 18.75 各モードの移行条件 (2/2)

	移行モード	移行条件
(5)	LIN リセットモード → LIN セルフテストモード	「18.9 LIN セルフテストモード」参照
(6)	LIN セルフテストモード → LIN リセットモード	「18.9 LIN セルフテストモード」参照

表 18.76 各モードで可能な動作

LIN モード		UART モード	LIN セルフテストモード
LIN マスタモード	LIN スレーブモード〔オートボーレート〕／ LIN スレーブモード〔固定ボーレート〕		
ヘッダ送信 レスポンス送信 レスポンス受信 ウエイクアップ送信 ウエイクアップ受信 エラー検出	ヘッダ受信 レスポンス送信 レスポンス受信 ウエイクアップ送信 ウエイクアップ受信 エラー検出	UART 送信 UART 受信 エラー検出	セルフテスト

RLN3nLMD レジスタの LMD ビットおよび RLN3nLMST レジスタの OMM0 ビットを読むことで、LIN リセットモード、LIN モード、UART モードへ移行したことを確認できます。

LIN セルフテストモードについては、**「18.9 LIN セルフテストモード」**を参照してください。

18.6 LIN リセットモード

RLN3nLCUC レジスタの OM0 ビットを “0”（LIN リセットモード）にすると、LIN リセットモードに移行します。RLN3nLMST レジスタの OMM0 ビットが “0”（LIN リセットモード）になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能、UART 通信は停止しています。

LIN リセットモードからは、LIN モード、UART モード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- RLN3nLTRC レジスタ
- RLN3nLST レジスタ
- RLN3nLEST レジスタ
- RLN3nLUOER レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- RLN3nLWBR レジスタ
- RLN3nLBRP0 レジスタ
- RLN3nLBRP1 レジスタ
- RLN3nLMD レジスタ
- RLN3nLBFC レジスタ
- RLN3nLSC レジスタ
- RLN3nLWUP レジスタ
- RLN3nLIE レジスタ
- RLN3nLEDE レジスタ
- RLN3nLDFC レジスタ
- RLN3nLIDB レジスタ
- RLN3nLCBR レジスタ
- RLN3nLUDB0 レジスタ
- RLN3nLDBRb レジスタ（b = 1 ～ 8）
- RLN3nLUOR1 レジスタ
- RLN3nLUTDR レジスタ
- RLN3nLURDR レジスタ
- RLN3nLUWTDR レジスタ

18.7 LIN モード

LIN モードには、LIN マスタモード、LIN スレーブモード〔オートボーレート〕、LIN スレーブモード〔固定ボーレート〕があります。

LIN マスタモードでは、ヘッダ送信、レスポンス送信、レスポンス受信、ウエイクアップ送信、ウエイクアップ受信、エラー検出が可能です。LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを “00_B”（LIN マスタモード）に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを “01_B” または “11_B” にすると LIN マスタモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが “01_B” または “11_B” になります。

LIN スレーブモード〔オートボーレート〕および LIN スレーブモード〔固定ボーレート〕では、ヘッダ受信、レスポンス送信、レスポンス受信、ウエイクアップ送信、ウエイクアップ受信、エラー検出が可能です。

LIN スレーブモード〔オートボーレート〕は、自動的にブレークフィールドとシンクフィールドを検出し、シンクフィールドの測定結果からボーレートを設定します。ボーレートは、1 kbps ～ 20 kbps で動作可能です。ターゲットとなるボーレートに応じて、LIN 通信クロック源の周波数からプリスケーラで分周したクロック（プリスケーラクロック）が、下記 となるように RLN3nLWBR レジスタの LPRS[2:0] ビットを設定してください。

〔ターゲットとなるボーレート〕	〔プリスケーラクロック〕
1 kbps ～ 20 kbps	: 4 MHz 注 1
1 kbps ～ 2.4 kbps 未満	: 4 MHz
2.4 kbps ～ 20 kbps	: 8 MHz ～ 12 MHz

注 1. RLN3nLWBR レジスタの NSPB[3:0] ビットは、“0011_B”（4 サンプリング）で使用してください。

LIN スレーブモード〔固定ボーレート〕は、予めボーレートジェネレータで設定されたボーレートで、自動的にブレークフィールド、シンクフィールド、ID フィールドを検出します。

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを “10_B”（LIN スレーブモード〔オートボーレート〕）に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを “01_B” または “11_B” にすると LIN スレーブモード〔オートボーレート〕に、RLN3nLMD レジスタの LMD ビットを “11_B”（LIN スレーブモード〔固定ボーレート〕）に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを “01_B” または “11_B” にすると LIN スレーブモード〔固定ボーレート〕になり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが “01_B” または “11_B” になります。

LIN モード内の別のモードに変更する場合は、1 度 LIN リセットモードに移行し、RLN3nLMD レジスタの LMD ビットを設定を変更する必要があります。

LIN モードには、次の 2 つの動作モードがあります。

- LIN 動作モード
- LIN ウエイクアップモード

図 18.3 に動作モードの移行、**表 18.77** に動作モード移行条件を示します。

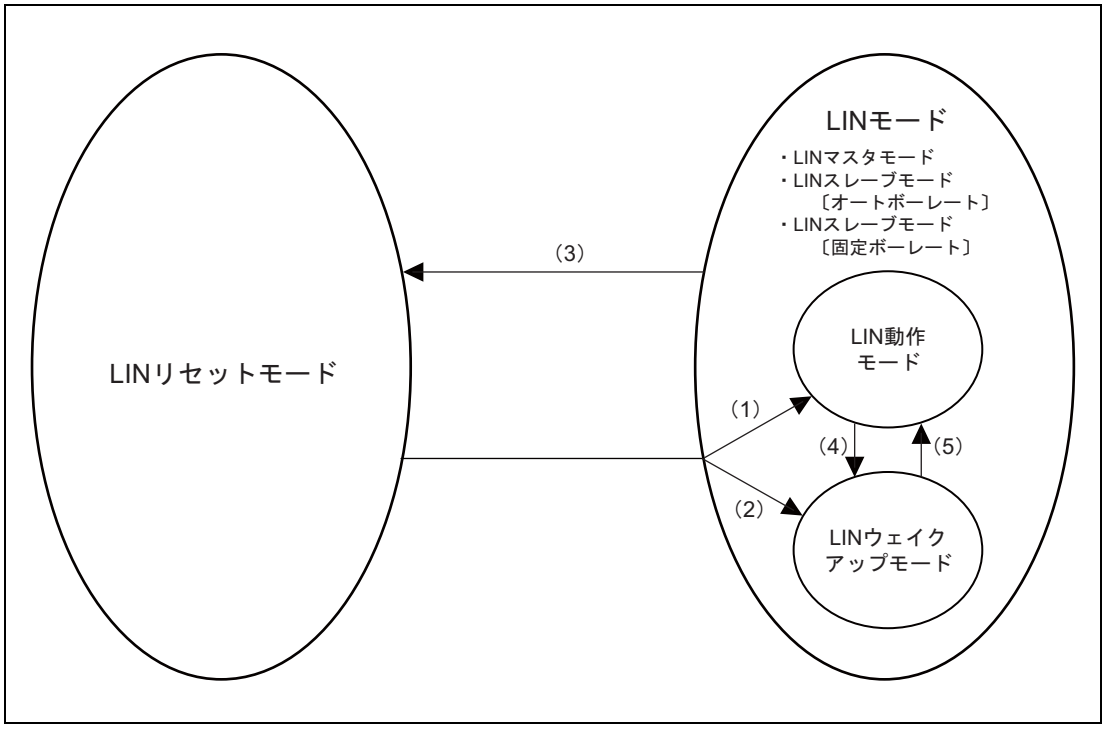


図 18.3 動作モードの移行

表 18.77 動作モード移行条件

	移行モード			移行条件
(1)	LIN リセットモード	→	LIN モード • LIN 動作モード	RLN3nLMD.LMD = “00_B” または “10_B” または “11_B” かつ RLN3nLCUC.OM1,OM0 = “11_B”
(2)	LIN リセットモード	→	LIN モード • LIN ウエイクアップモード	RLN3nLMD.LMD = “00_B” または “10_B” または “11_B” かつ RLN3nLCUC.OM1,OM0 = “01_B”
(3)	LIN モード • LIN 動作モード • LIN ウエイクアップモード	→	LIN リセットモード	RLN3nLCUC.OM0 = “0_B”
(4) 注 1	LIN モード • LIN 動作モード	→	LIN モード • LIN ウエイクアップモード	RLN3nLCUC.OM1,OM0 = “01_B”
(5) 注 1	LIN モード • LIN ウエイクアップモード	→	LIN モード • LIN 動作モード	RLN3nLCUC.OM1,OM0 = “11_B”

注 1. LIN 動作モード⇔ LIN ウエイクアップモードの移行は、通信中（RLN3nLTRC レジスタの FTS ビットが “1”）の間はできません。

(1) LIN 動作モード

LIN 動作モードでは、フレーム処理（ヘッダ送信、ヘッダ受信、レスポンス送信、レスポンス受信、エラー検出）をします。
LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを “11_B” にすると LIN 動作モードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが “11_B” になります。OMM1 ビット、OMM0 ビットが “11_B” になるのを待ってから、通信設定を行ってください。

(2) LIN ウエイクアップモード

LIN ウエイクアップモードでは、ウエイクアップシグナル処理（ウエイクアップ送信、ウエイクアップ受信、エラー検出）をします。
LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを “01_B” にすると LIN ウエイクアップモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが “01_B” になります。OMM1 ビット、OMM0 ビットが “01_B” になるのを待ってから、通信設定を行ってください。

18.7.1 LIN マスタモード

18.7.1.1 ヘッダ送信

図 18.4 に LIN/UART インタフェース（LIN マスタモード）のヘッダ送信時の動作、**表 18.78** にヘッダ送信時の処理を示します。

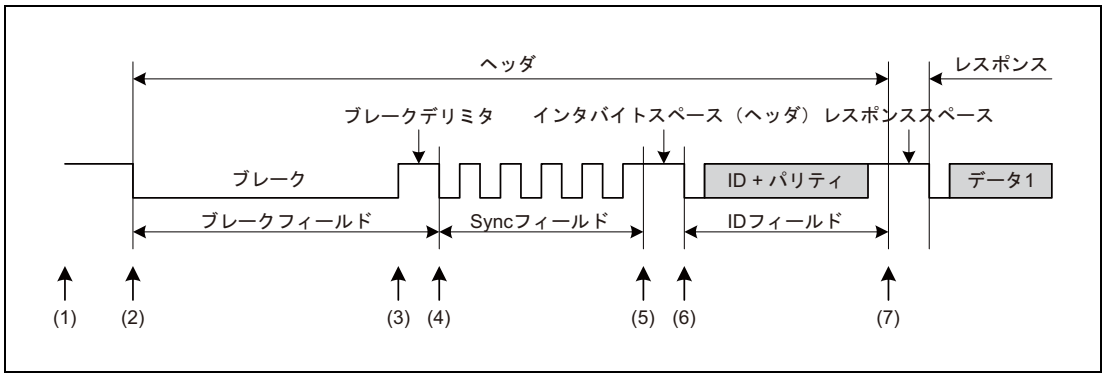


図 18.4 ヘッダ送信時の動作

表 18.78 ヘッダ送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	• ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN/UART インタフェースを LIN マスタモード：LIN 動作モードに移行 • 送信するフレーム情報（ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ）を設定	ソフトウェアによる RLN3nLTRC レジスタの FTS ビット設定待ち（アイドル）
(2)	RLN3nLTRC レジスタの FTS ビットを “1”（フレーム送信／ウエイクアップ送受信開始）にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド（55_H）送信
(5)		インタバイトスペース（ヘッダ）送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備 考

エラー検出条件に関しては、「**18.7.7 エラーステータス**」を参照してください。

18.7.1.2 レスポンス送信

図 18.5 に LIN/UART インタフェース（LIN マスタモード）のレスポンス送信時の動作、**表 18.79** にレスポンス送信時の処理を示します。

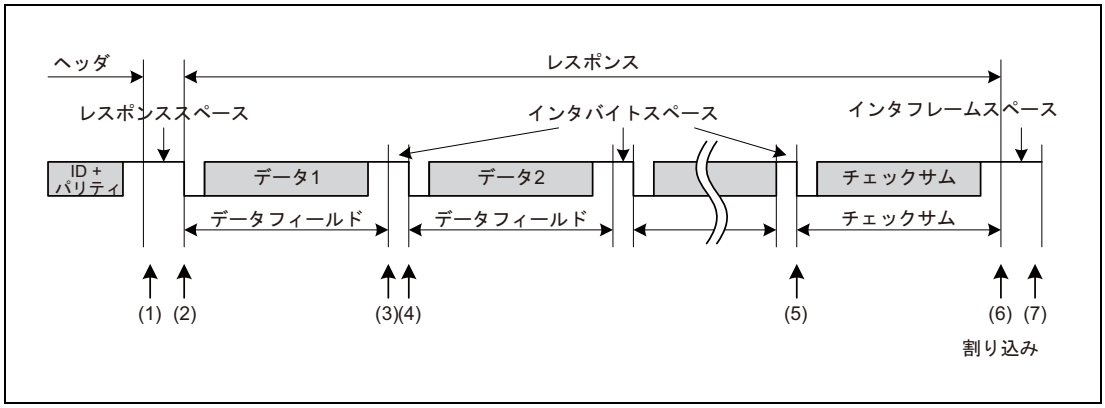


図 18.5 レスポンス送信時の動作

表 18.79 レスポンス送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	【フレームセパレートモード時】 • RLN3nLTRC レジスタの RTS ビットに “1” を設定（レスポンス送信／受信開始） 【フレームセパレートモードでないとき】 • 割り込み要求発生待ち	【フレームセパレートモード時】 • ソフトウェア処理による RLN3nLTRC レジスタの RTS ビットの “1” 設定待ち • “1” に設定されたあと、レスポンススペースを送信 【フレームセパレートモードでないとき】 • レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		• データ 2 送信 • インタバイトスペース送信 • データ 3 送信 • インタバイトスペース送信 （RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。） ： ：
(5)		チェックサム送信
(6)		• フレーム／ウエイクアップ送信完了フラグ設定 • RLN3nLTRC レジスタの FTS ビットを “0”（フレーム送信／ウエイクアップ送受信停止）にする 【フレームセパレートモード時】 • RLN3nLTRC レジスタの RTS ビットを “0”（レスポンス送信／受信停止）にする
(7)	• 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア	アイドル

備　考

エラー検出条件に関しては、「**18.7.7　エラーステータス**」を参照してください。

18.7.1.3 レスポンス受信

図 18.6 に LIN/UART インタフェース（LIN マスタモード）のレスポンス受信時の動作、**表 18.80** にレスポンス受信時の処理を示します。

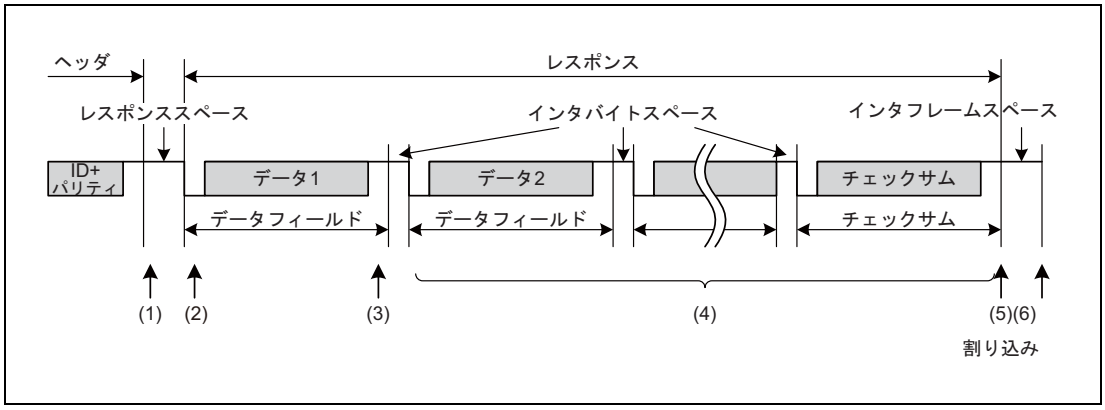


図 18.6 レスポンス受信時の動作

表 18.80 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	割り込み要求発生待ち（処理はなし）	スタートビット検出待ち
(2)		スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		• スタートビット検出によりデータ 2 受信 • スタートビット検出によりデータ 3 受信 （RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。） ： ： • スタートビット検出によりチェックサム受信
(5)		• チェックサム判定 • フレーム／ウエイクアップ受信完了フラグ設定 • RLN3nLTRC レジスタの FTS ビットを “0”（フレーム送信／ウエイクアップ送受信停止）にする
(6)	• 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア	アイドル

備 考

エラー検出条件に関しては、「**18.7.7 エラーステータス**」を参照してください。

18.7.2 LIN スレーブモード

18.7.2.1 ヘッダ受信

図 18.7 に LIN/UART インタフェース（LIN スレーブモード）のヘッダ受信時の動作、**表 18.81** にヘッダ受信時の処理を示します。

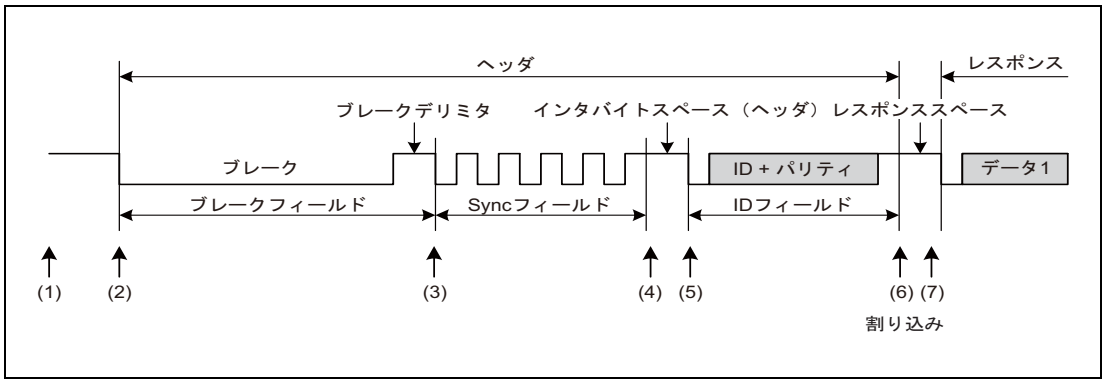


図 18.7 ヘッダ受信時の動作

表 18.81 ヘッダ受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	• ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN/UART インタフェースを LIN スレーブモード LIN 動作モードに移行 • RLN3nLTRC レジスタの FTS ビットを “1”（ヘッダ受信／ウエイクアップ送受信開始）にする	ソフトウェアによる RLN3nLTRC レジスタの FTS ビット 設定待ち
(2)	割り込み要求発生待ち	ブレークフィールド検出待ち
(3)		ブレークフィールド検出（LIN スレーブモード [固定ボーレート] の場合。LIN スレーブモード [オートボーレート] の場合のブレークフィールド検出タイミングの詳細は、【オートボーレート補正機能】参照）
(4)		• シンクフィールド（55_H）検出 • ボーレートジェネレータ設定（LIN スレーブモード [オートボーレート] の場合) • レスポンスなし要求ビット（LNRR ビット）クリア
(5)		• ID フィールド受信 • ID パリティビットのチェック
(6)		ヘッダ受信完了フラグを設定
(7)	• RLN3nLST レジスタのチェック、フラグのクリア • RLN3nLIDB レジスタの確認、レスポンスの準備	• ヘッダ受信プロセス完了 • レスポンス要求待ち

備 考

LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出 してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ（続く Sync フィールド、ID フィールド）の受信は継続します。エラー検出条件に関しては、**「18.7.7 エラーステータス」**を参照してください。

【オートボーレート補正機能】

LIN スレーブモード〔オートボーレート〕では、常に受信したロウレベル幅を計測しています。そして 1 回目の “ ロウレベル ” 幅がシンクフィールドの始めの 2 ビット（シンクフィールドの始めの連続する立ち下がりエッジの期間）の平均から計算された 1 ビット幅の 10 倍（RLN3nLBFC レジスタの BLT ビットが “0” のとき）または 11 倍（RLN3nLBFC レジスタの BLT ビットが “1” のとき）以上の場合はブレークフィールド検出に成功したと判断し、シンクフィールドのデータが 55_H であることを確認します。データが 55_H であることを確認し、シンクフィールドの受信が成功したと判断できた場合、ボーレート補正結果を自動で RLN3nLBRP01 レジスタに設定します。

エラーなく ID フィールドまで受信すると、ストップビット位置でヘッダ受信完了割り込みが発生します。

一方、シンクフィールドのデータが 55_H でなかった場合は、シンクフィールド検出に失敗したと判断し、シンクフィールドエラーフラグをセットしてエラー割り込みが発生します。この場合、ボーレート補正は行われず、LIN/UART インタフェースは次のブレークフィールド（ロウレベル）の検出待ちになります。

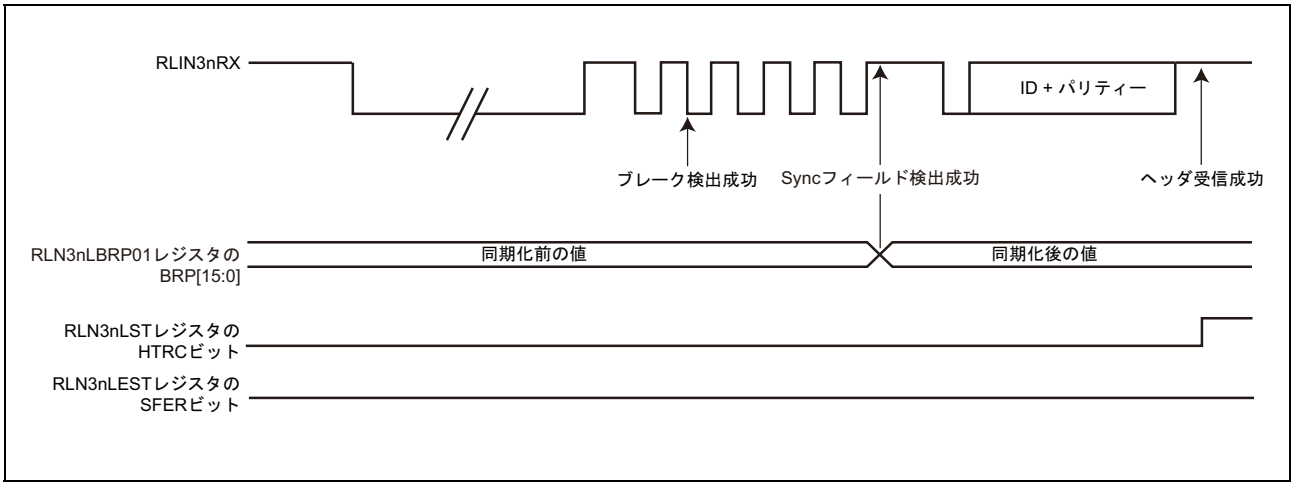


図 18.8 LIN スレーブモード〔オートボーレート〕ヘッダ受信（正常動作時）

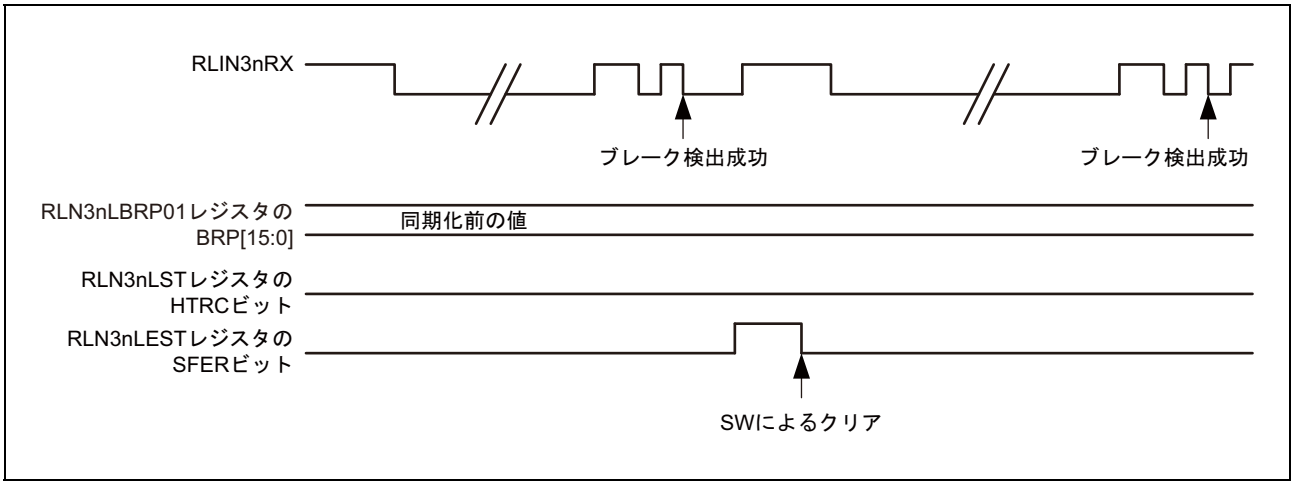


図 18.9 LIN スレーブモード〔オートボーレート〕ヘッダ受信（シンクフィールドエラー）

18.7.2.2 レスポンス送信

図 18.10 に LIN/UART インタフェース（LIN スレーブモード）のレスポンス送信時の動作、**表 18.82** にレスポンス送信時の処理を示します。

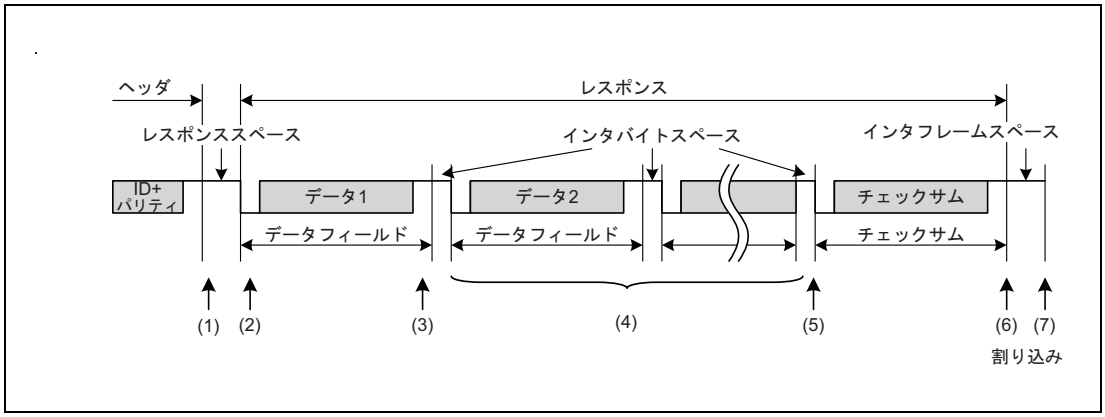


図 18.10 レスポンス送信時の動作

表 18.82 レスポンス送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	• RLN3nLDFC レジスタの設定 • RLN3nLDBRb レジスタの設定（b = 1 ～ 8） • RLN3nLTRC レジスタの RTS ビットを “1”（レスポンス送受信開始）にする	• ソフトウェアによる RLN3nLTRC レジスタの RTS ビットまたは LNRR ビット設定待ち • RLN3nLTRC レジスタの RTS ビットが“1”に設定されたあと、レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		• データ 2 送信 • インタバイトスペース送信 • データ 3 送信 • インタバイトスペース送信 （RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。） ： ：
(5)		チェックサム送信
(6)		• レスポンス／ウエイクアップ送信完了フラグ設定 • RLN3nLTRC レジスタの RTS ビットを “0”（レスポンス送信／受信停止）にする
(7)	• 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア	• レスポンス送信プロセス完了 • 新規ブレーク待ち

備 考

- エラー検出条件に関しては、**「18.7.7 エラーステータス」**を参照してください。
- LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ（続く Sync フィールド、ID フィールド）の受信は継続します。

18.7.2.3 レスポンス受信

図 18.11 に LIN/UART インタフェース（LIN スレーブモード）のレスポンス受信時の動作、**表 18.83** にレスポンス受信時の処理を示します。

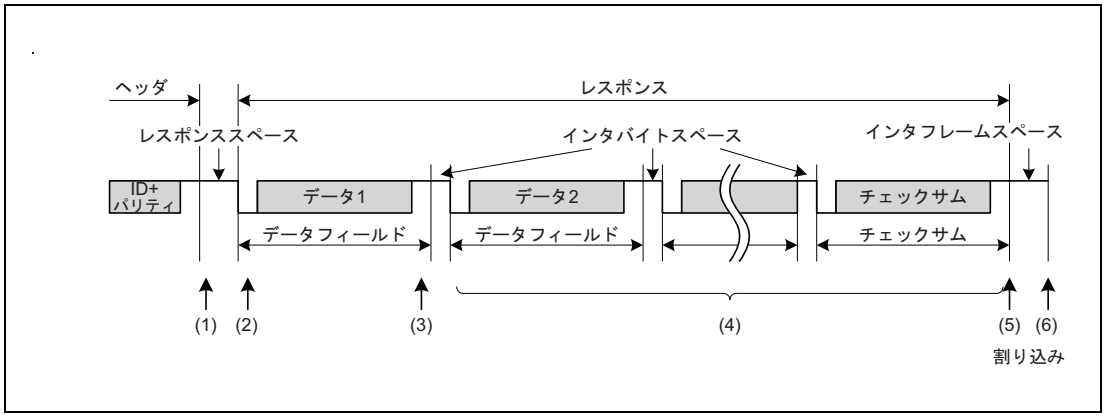


図 18.11 レスポンス受信時の動作

表 18.83 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	• RLN3nLDFC レジスタの設定 • レスポンス送信／受信開始ビット（RTS ビット）を “1” に設定	• ソフトウェアによるレスポンス送信／受信開始ビット（RTS ビット）または レスポンスなし要求ビット（LNRR ビット）の設定待ち • スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		• スタートビット検出によりデータ 2 受信 • スタートビット検出によりデータ 3 受信 （RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。） ： ： • スタートビット検出によりチェックサム受信
(5)		• チェックサム判定 • レスポンス／ウエイクアップ受信完了フラグ設定、またはエラーフラグ設定 • RLN3nLTRC レジスタの RTS ビットを “0”（レスポンス送信／受信停止）にする
(6)	• 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア	• レスポンスプロセス完了 • 新規ブレーク待ち

備 考

- エラー検出条件に関しては、**「18.7.7 エラーステータス」**を参照してください。
- LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ（続く Sync フィールド、ID フィールド）の受信は継続します。

18.7.2.4 レスポンス要求なし

図 18.12 に LIN/UART インタフェース（LIN スレーブモード）のレスポンス要求なし時の動作、**表 18.84** にレスポンス要求なし時の処理を示します。

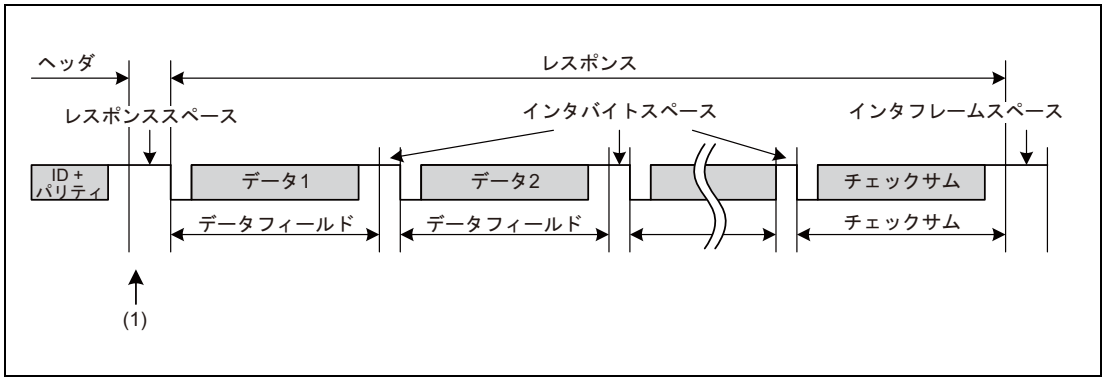


図 18.12 レスポンス要求なし時の動作

表 18.84 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	• レスポンス要求なしビット（LNRR ビット）を “1” に設定	• ソフトウェアによる LNRR ビット（レスポンス要求なし）セット待ち • フレーム受信プロセス完了 • 新規ブレーク待ち

18.7.3 データ送信／受信

18.7.3.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLN3nLEST レジスタの BER フラグに格納されます（**「18.7.7 エラーステータス」**参照）。

LIN マスタモード、LIN スレーブモード〔固定ボーレート〕では、1 Tbit = 16fLIN で生成され、受信データのサンプリングポイントは 13 クロック目（81.25% 位置）になります。

LIN スレーブモード〔オートボーレート〕では、1 Tbit = 4fLIN で生成される場合は、受信データのサンプリングポイントは 3 クロック目（75% 位置）、1 Tbit = 8fLIN で生成される場合は、受信データのサンプリングポイントは 7 クロック目（87.5% 位置）になります。

図 18.13 にデータ送信タイミングの例を示します。

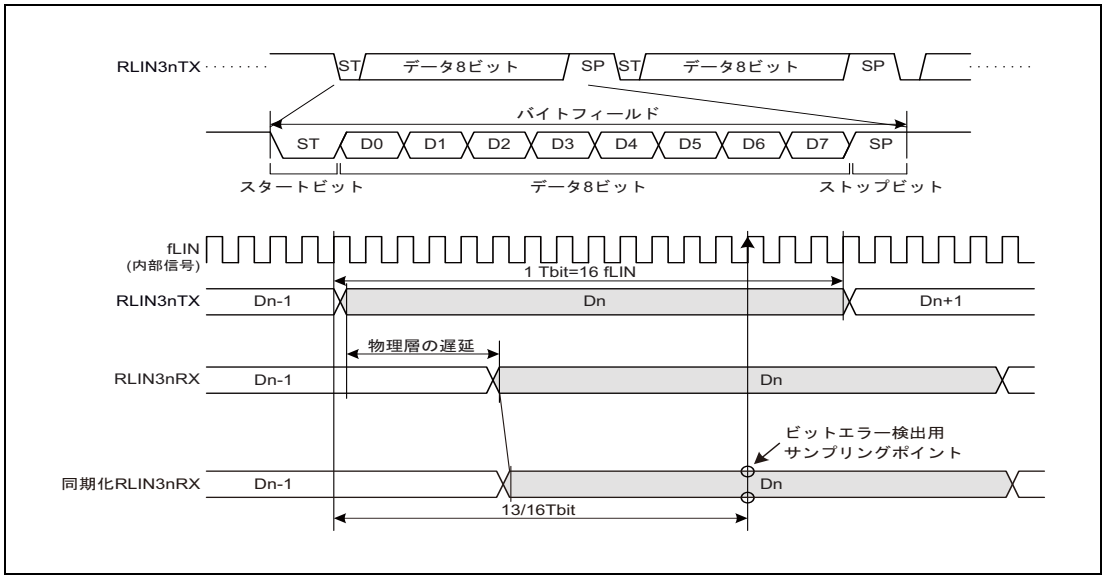


図 18.13 データ送信タイミング例（LIN マスタモード、LIN スレーブモード〔固定ボーレート〕）

18.7.3.2 データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケーラクロックに同期させた同期化 RLIN3nRX（内部信号）を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時に ハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが “0” の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケーラクロックで 3 サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが “1” の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

図 18.14 にデータ受信タイミングの例を示します。

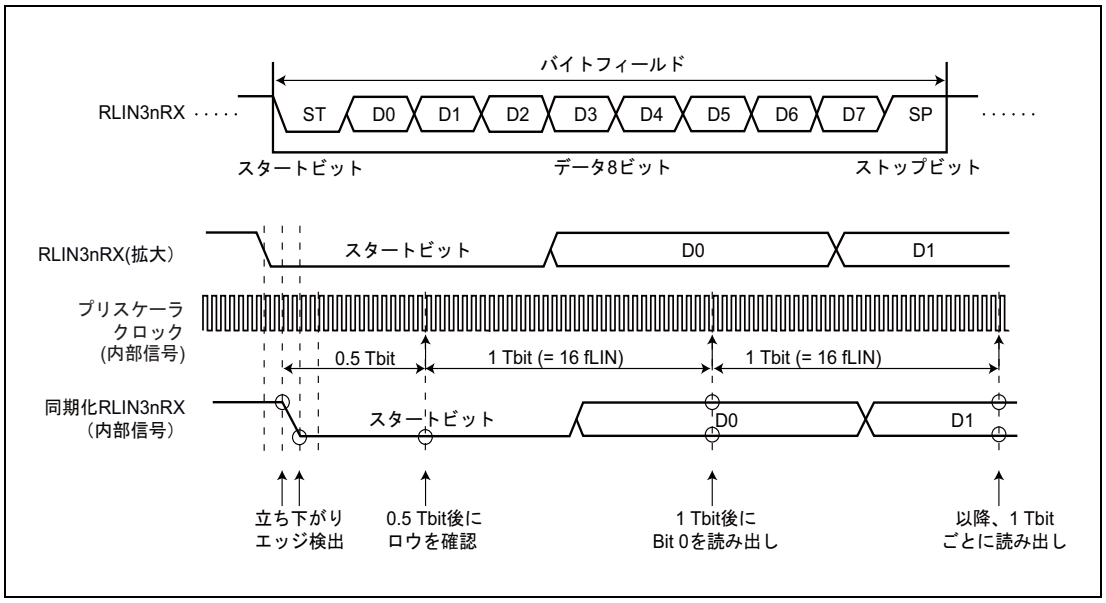


図 18.14 データ受信タイミング例（LIN マスタモード、LIN スレーブモード〔固定ボーレート〕）

18.7.4 送信／受信データのバッファ処理

LIN/UART インタフェースの連続データ送受信時のバッファ処理について説明します。

18.7.4.1 LIN フレームの送信

8 バイト送信の場合、RLN3nLDBR1 レジスタ～ RLN3nLDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1 ～ 8 領域に送信されます。4 バイト送信の場合は、RLN3nLDBR1 レジスタ～ RLN3nLDBR4 レジスタに格納されている内容が LIN フレームのデータ 1 ～ 4 領域に送信され、RLN3nLDBR5 レジスタ～ RLN3nLDBR8 レジスタの内容は送信されません。また、RLN3nLCBR レジスタには送信したチェックサムデータが格納されます。

図 18.15 に LIN 送信処理とバッファを示します。

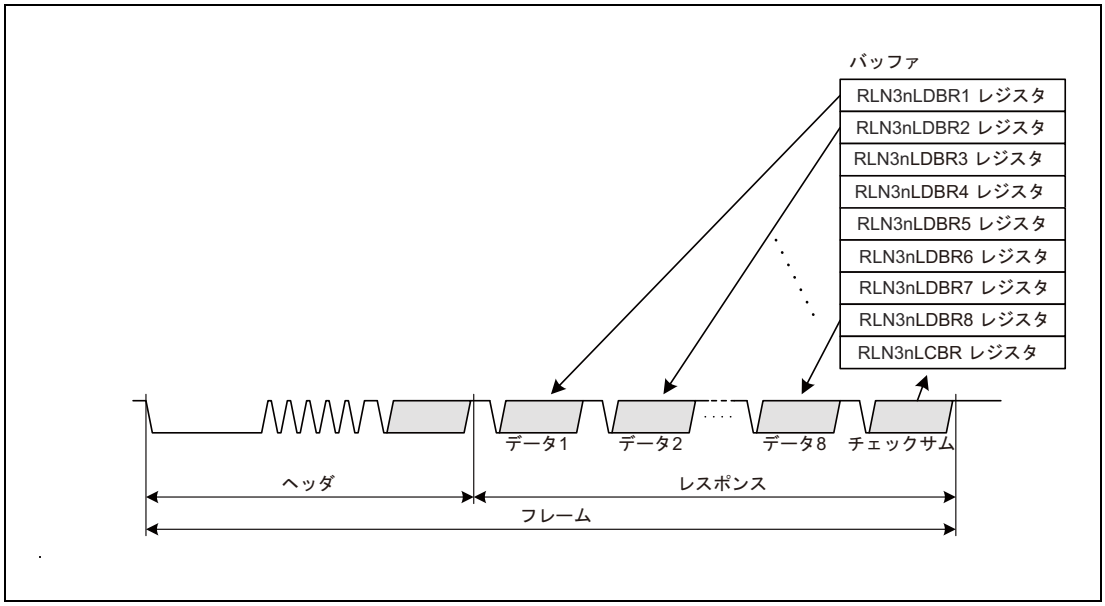


図 18.15 LIN 送信処理とバッファ

【フレームセパレートモード】

RLN3nLDFC レジスタの FSM ビットを “1” にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN3nLST レジスタの HTRC フラグが “1”（ヘッダ送信完了）になります。

LIN マスタモードで 9 バイト以上のレスポンスデータ送信 または レスポンスデータ受信を行なう場合は、フレームセパレートモードを使用してください。

18.7.4.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1 ～ 8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN3nLDBR1 レジスタ～ RLN3nLDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1 ～ 4 領域の内容が、それぞれ RLN3nLDBR1 レジスタ～ RLN3nLDBR4 レジスタに格納され、RLN3nLDBR5 レジスタ～ RLN3nLDBR8 レジスタには何も格納されません。また、RLN3nLCBR レジスタには受信したチェックサムデータが格納されます。

図 18.16 に LIN 受信処理とバッファを示します。

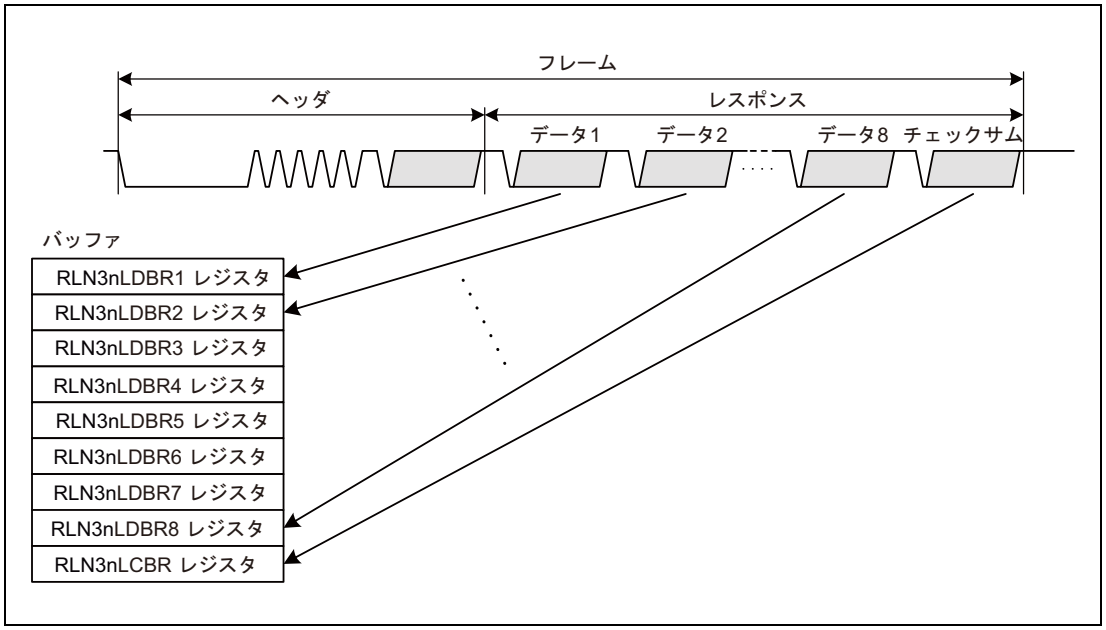


図 18.16 LIN 受信処理とバッファ

【データ 1 受信】

1 バイト目のデータ受信が完了すると、RLN3nLST レジスタの D1RC フラグが “1”（データ 1 受信完了）になります。

18.7.4.3 多バイトレスポンス送受信機能

通常 LIN 通信において、レスポンスはチェックサムを含み 9 バイト以下ですが、10 バイト以上のレスポンスを送受信することが可能です。

このとき、ビットエラー、フレーミングエラー、レスポンス準備エラー検出機能 および 自動チェックサム機能は有効です。

データ長が 8 バイトより多い場合は、最初のデータグループ（0 ～ 8 バイトで可変）で RLN3nLDFC レジスタの LSS ビットを “1”（次に送受信するデータグループは最終ではない）に設定し、送信 または 受信します。送信 または 受信後、ユーザは次のデータグループが最後かどうかの判定を行い、最後のデータグループの場合は、RLN3nLDFC レジスタの LSS ビットを “0”（次に送受信するデータグループは最終）に設定し、送信または受信します。チェックサムは最後のデータグループに付加します。

ユーザは、RLN3nLTRC レジスタの RTS ビットが “0” のときに RLN3nLDFC レジスタの RFDL ビットの設定を変更することにより、データグループごとにデータ長を変更することができます。

LIN マスタモードで、多バイトレスポンス送受信を行う場合は、RLN3nLDFC レジスタの FSM ビットを “1”（フレームセパレートモード）に設定して行ってください。

備　考

LIN/UART インタフェースは、LIN スレーブモードのとき、レスポンス送信 または 受信中に新たなブレークフィールドを検出することができます。

18.7.5 ウエイクアップ送信／受信

ウエイクアップの送受信は LIN ウエイクアップモードで使用できます。

18.7.5.1 ウエイクアップ送信動作

LIN ウエイクアップモード時、RLN3nLDFC レジスタの RFT ビットを “1”（LIN マスタモード：レスポンス送信）、または RLN3nLDFC レジスタの RCDS ビットを “1”（LIN スレーブモード：レスポンス送信）に設定後、RLN3nLTRC レジスタの FTS ビットを “1”（フレーム送信・ヘッダ受信／ウエイクアップ送受信開始）にすると、出力端子からウエイクアップ信号が出力されます。ウエイクアップ信号のロウ幅は RLN3nLWUP レジスタの WUTL[3:0] ビットで設定します。ただし、LIN マスタモードで RLN3nLWBR レジスタの LWBR0 ビットが “1”（LIN2.x）の場合は、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN システムクロック（fLIN）が fa でのロウレベル幅になります。fa 選択時のボーレートを 19200 bps に、RLN3nLWUP レジスタの WUTL[3:0] ビットを “0100_B”（5Tbits）に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN ウエイクアップモード時に 260 µs のロウ幅を出力することができます。

ビットエラーなくウエイクアップのロウレベルが出力された場合、RLN3nLST レジスタの FTC フラグが “1”（フレーム・レスポンスまたはウエイクアップ送信完了）になり、RLN3nLIE レジスタの FTCIE ビットが “1”（フレーム・レスポンス／ウエイクアップ送信完了割り込み許可）のとき RLIN3n 送信割り込み要求が発生します。

RLN3nLEDE.BERE がセットされていてビットエラーを検出した場合は、ウエイクアップ送信を中断し、RLN3nLEST レジスタの BER フラグを “1”（ビットエラー検出）にします。

LIN マスタモードで RLN3nLEDE.PBERE がセットされている場合は、ビットエラーと同時に RLN3nLEST.PBER フラグを “1”（フィジカルバスエラー検出）にします。

図 18.17 にウエイクアップ送信タイミングを示します。

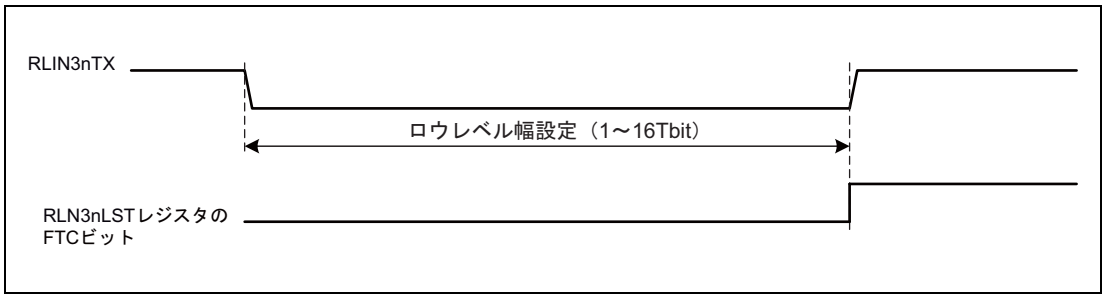


図 18.17 ウエイクアップ送信タイミング

18.7.5.2 ウエイクアップ受信動作

ウエイクアップシグナルを検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントでRLIN3nRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号ロウレベル幅をfLIN の 2.5 Tbit 以上で計測することができます。

LIN マスタモード時は、RLN3nLWBR レジスタの LWBR0 ビットの設定により、LIN 動作モードと LIN ウエイクアップモードの切り替え時に、ボーレートジェネレータの設定を変更することなく、動作させることが可能です。

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを“0” に、LIN Specification Package Revision 2.x 使用時は “1” に設定してください。LWBR0 ビットを “1” にすると RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（fLIN）が fa になります。（LCKS ビットは変化しません）。fa 選択時のボーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウエイクアップモード時に 130μs 以上の入力信号ロウレベル幅を検出することができます。

ウェイクアップ受信機能を使用する場合、LIN ウエイクアップモードにて、RLN3nLDFC レジスタの RFT ビットを “0”（LIN マスタモード：レスポンス受信）、または RLN3nLDFC レジスタの RCDS ビットを “0”（LIN スレーブモード：レスポンス受信）に設定後、RLN3nLTRC レジスタの FTS ビットを “1”（フレーム送信（ヘッダ受信）／ウエイクアップ送受信開始）にしてください。

計測するロウレベル幅に達すると RLN3nLST レジスタの FRC フラグが “1”（フレーム・レスポンスまたはウエイクアップ受信完了）になり、RLN3nLIE レジスタの FRCIE ビットが “1”（フレーム・レスポンス／ウエイクアップ受信完了割り込み許可）の場合、RLIN3n 受信完了割り込み要求が発生します。

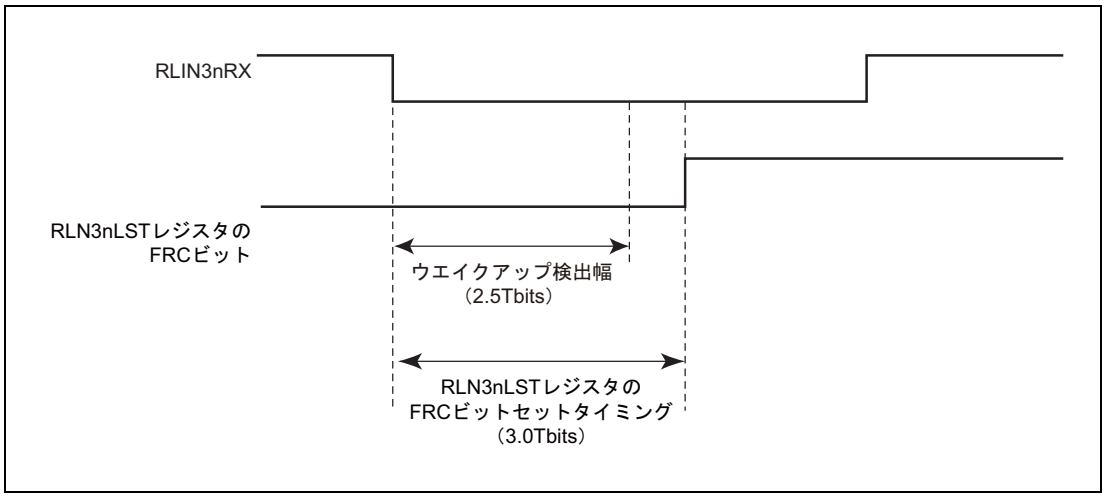


図 18.18 入力信号ロウレベルカウント機能

18.7.5.3 ウエイクアップ衝突

マスタノードとスレーブノードが同時にウエイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN/UART インタフェースではウエイクアップ信号の衝突は検知しません。

18.7.6 ステータス

LIN/UART インタフェースは LIN モード動作時に、7 種類のステータスを検出します。

フレーム／ウエイクアップ送信完了、フレーム／ウエイクアップ受信完了、エラー検出、ヘッダ送信完了／ヘッダ受信完了の 4 つのステータスは割り込み要求を発生することができます。

表 18.85 に LIN マスタモードでのステータスの種類を、**表 18.86** に LIN スレーブモード〔オートボーレート〕および LIN スレーブモード〔固定ボーレート〕のステータスの種類を示します。

表 18.85 LIN マスタモード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN/UART インタフェースが LIN 動作モードになったとき	RLN3nLCUC レジスタの OM1 ビットを LIN ウエイクアップモードに設定後、実際に LIN/UART インタフェースが LIN ウエイクアップモードになったとき	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLMST レジスタの OMM1 ビット	—
フレーム／ウエイクアップ送信完了	フレーム（ヘッダ送信 + レスポンス送信）、ウエイクアップ信号または データグループを正常に送信完了したとき	• 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） • ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLST レジスタの FTC フラグ	○
フレーム／ウエイクアップ受信完了	フレーム（ヘッダ送信 + レスポンス受信）、ウエイクアップ信号または データグループを正常に受信完了したとき	• 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） • ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが “1”（エラー検出）になったとき	• 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） • ソフトウェアによるクリア注 1 • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RFT ビットが “0”（受信）で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき注 2	• 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） • ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	• 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） • ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注 1. LIN ウエイクアップモードおよび LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに “0” を書くことにより、RLN3nLST レジスタの ERR フラグは “0” になります。

注 2. RLN3nLDFC レジスタの RFDL[3:0] ビットが “0000_B”（0 バイト＋チェックサム）のときは検出されません。

表 18.86 LIN スレーブモード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN/UART インタフェースが LIN 動作モードになったとき	RLN3nLCUC レジスタの OM1 ビットを LIN ウエイクアップモードに設定後、実際に LIN/UART インタフェースが LIN ウエイクアップモードになったとき	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLMST レジスタの OMM1 ビット	—
レスポンス／ウエイクアップ送信完了	レスポンスフィールド、ウエイクアップ信号 または データグループを正常に送信完了したとき	• ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLST レジスタの FTC フラグ	○
レスポンス／ウエイクアップ受信完了	レスポンスフィールド、ウエイクアップ信号 または データグループを正常に受信完了したとき	• ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、IPER フラグ , CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグのいずれかが “1”（エラー検出）になったとき	• ソフトウェアによるクリア 注 1 • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RCDS ビットが “0”（受信）で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき 注 2	• ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ受信完了	ヘッダフィールドを正常に受信完了した場合	• ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注 1. LIN ウエイクアップモードおよび LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグに “0” を書くことにより、RLN3nLST レジスタの ERR フラグは “0” になります。

注 2. RLN3nLDFC レジスタの RFDL[3:0] ビットが “0000_B”（0 バイト＋チェックサム）のときは検出されません。

18.7.7 エラーステータス

18.7.7.1 LIN マスタモード

(1) エラーステータスの種類

LIN/UART インタフェースは LIN マスタモードで 6 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 18.87 にエラーステータスの種類を示します。

表 18.87 エラーステータスの種類（LIN マスタモード）

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき 注 1, 注 2	• LIN 動作モード • LIN ウエイクアップモード	中断	○	RLN3nLEST レジスタの BER フラグ
フィジカルバスエラー	• ブレーク送信時に LIN バスが ハイレベルを検出した場合 • ブレークデリミタ送信時に LIN バスがロウレベルを検出した場合 • ウエイクアップ送信時に LIN バスがハイレベルを検出した場合	• LIN 動作モード • LIN ウエイクアップモード	中断	○	RLN3nLEST レジスタの PBER フラグ
タイムアウトエラー	フレーム または レスポンスの送受信がある一定の時間内に終了しなかったとき 注 3	LIN 動作モード	中断	○	RLN3nLEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN3nLEST レジスタの CSER フラグ
レスポンス準備エラー	フレームセパレートモードで多バイトレスポンス受信において以下の場合 • ヘッダ送信完了後、レスポンス送受信要求設定前に 1 バイト目の受信データを受信したとき • 前のデータグループ受信完了後、次のデータグループの送受信要求設定前に 1 バイト目の受信データを受信したとき	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウエイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウエイクアップ送信を中断します。

注 2. 多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

注 3. タイムアウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0] ビット）、およびチェックサム選択（RLN3nLDFC レジスタの CSM ビット）に依存し、下記の式により計算できます。RLN3nLDFC レジスタの FSM ビットが “1”（フレームセパレートモード）の 場合、RLN3nLTRC レジスタの RTS ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイム アウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0] ビット）を元にした時間に再設定されます。

【フレームタイムアウト】

クラシック選択時（RLN3nLDFC レジスタの CSM ビットが “0” の場合）:

タイムアウト時間 = 49 ＋（データバイト数＋ 1）× 14 [Tbit]

エンハンス選択時（RLN3nLDFC レジスタの CSM ビットが “1” の場合）:

タイムアウト時間 = 48 ＋（データバイト数＋ 1）× 14 [Tbit]

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

【レスポンスタイムアウト】

タイムアウト時間 = （データバイト数＋ 1）× 14 [Tbit]

なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

エラーステータスのクリア条件は、次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき)、ソフトウェアによるクリア、LIN リセットモード移行時 です。

(2) LIN エラー検出の対象時間領域

図 18.19 にエラーを検出するために LIN/UART インタフェースが LIN マスタモード時に監視する時間領域を示します。

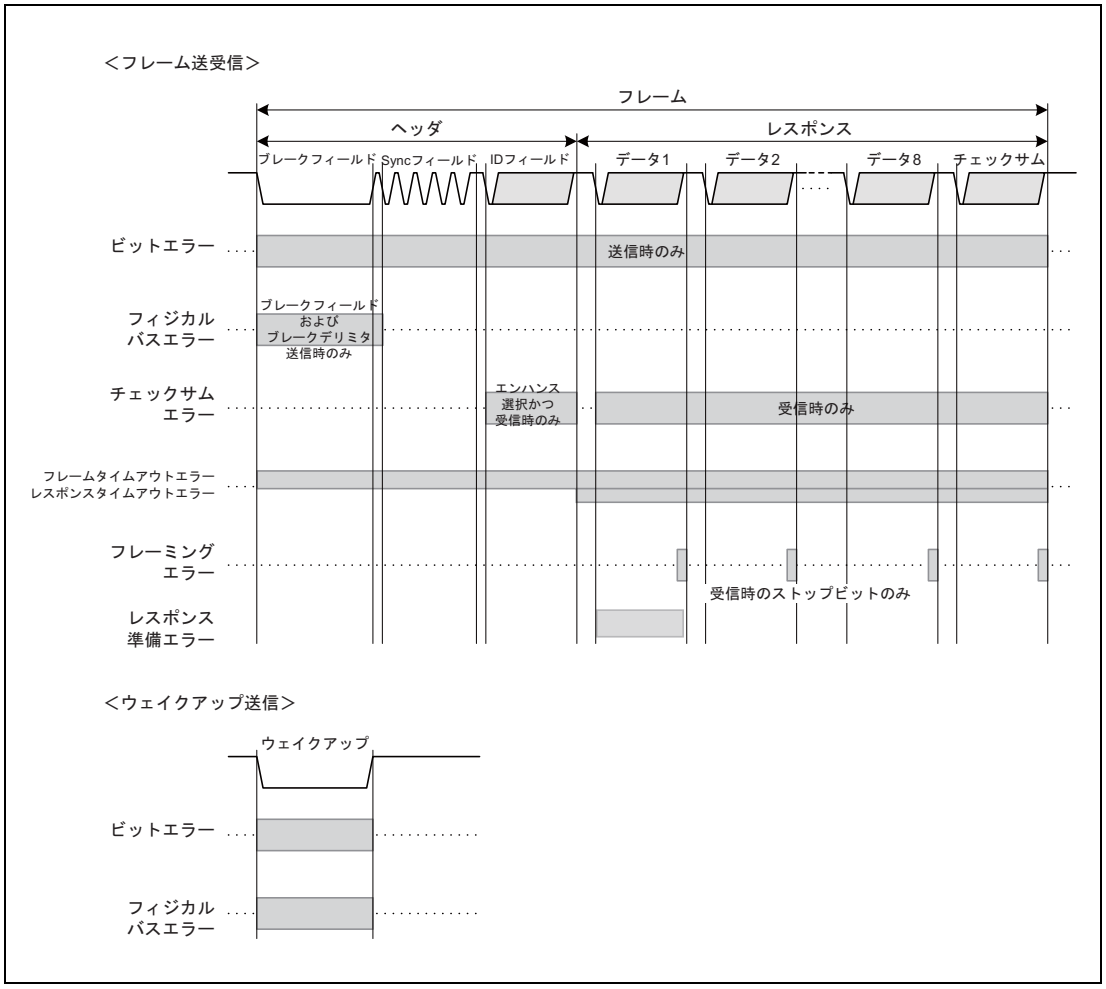


図 18.19 LIN エラー検出の対象時間領域（LIN マスタモード）

18.7.7.2 LIN スレーブモード

(1) エラーステータスの種類

LIN/UART インタフェースは LIN スレーブモード〔オートボーレート〕または LIN スレーブモード〔固定ボーレート〕で、7 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

表 18.88 にエラーステータスの種類を示します。

表 18.88 エラーステータスの種類（LIN スレーブモード）

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注 1, 注 2	• LIN 動作モード • LIN ウエイクアップモード	中断	○	RLN3nLEST レジスタの BER フラグ
タイムアウトエラー	フレーム または レスポンスの送受信がある一定の時間内に終了しなかったとき注 3	LIN 動作モード	中断	○	RLN3nLEST レジスタの TER フラグ
フレーミングエラー	フレーム受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
シンクフィールドエラー	ブレークロウレベルの幅が RLN3nLBFC レジスタの LBLT ビットで設定した幅よりも長く、シンクフィールドが “55_H” でないとき	LIN 動作モード	中断	○注 4	RLN3nLEST レジスタの SFER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—注 5	×	RLN3nLEST レジスタの CSER フラグ
ID パリティエラー	受信した ID パリティビットが、LIN/UART インタフェースが自動で計算した値と一致しなかったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの IPER フラグ
レスポンス準備エラー	• ヘッダ受信後、1 バイト目の受信データを受信完了前にレスポンスの準備が間に合わなかったとき • 多バイトレスポンス受信で、次のデータグループの 1 バイト目の受信データを受信完了前に次のデータグループの受信準備が間に合わなかったとき	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウエイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウエイクアップ送信を中断します。

注 2. 多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

注 3. タイムアウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0] ビット）、およびチェックサム選択（RLN3nLDFC レジスタの LCS ビット）に依存し、下記の式により計算できます。RLN3nLTRC レジスタの RTS ビット または LNRR ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイムアウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0] ビット）を元にした時間に再設定されます。LNRR ビットが設定されると、タイムアウト機能は停止します。

【フレームタイムアウト】

クラシック選択時（RLN3nLDFC.CSM ビットが “0” の場合）:

タイムアウト時間 = 49 ＋（データバイト数＋ 1）× 14 [Tbit]

エンハンス選択時（RLN3nLDFC.CSM ビットが “1” の場合）:

タイムアウト時間 = 48 ＋（データバイト数＋ 1）× 14 [Tbit]

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

【レスポンスタイムアウト】

タイムアウト時間 =（データバイト数＋ 1）× 14 [Tbit]

なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

注 4. SFER フラグへの反映の許可／禁止であり、エラー検出の許可／禁止ではありません。

注 5. レスポンスフレーム受信完了後にチェックサム判定を行います。エラーの場合、受信完了フラグは “1” になりません。

エラーステータスのクリア条件は、ソフトウェアによるクリア、LIN リセットモード移行時です。

(2) LIN エラー検出の対象時間領域

図 18.20 にエラーを検出するために LIN/UART インタフェースが LIN スレーブモード時に監視する時間領域を示します。

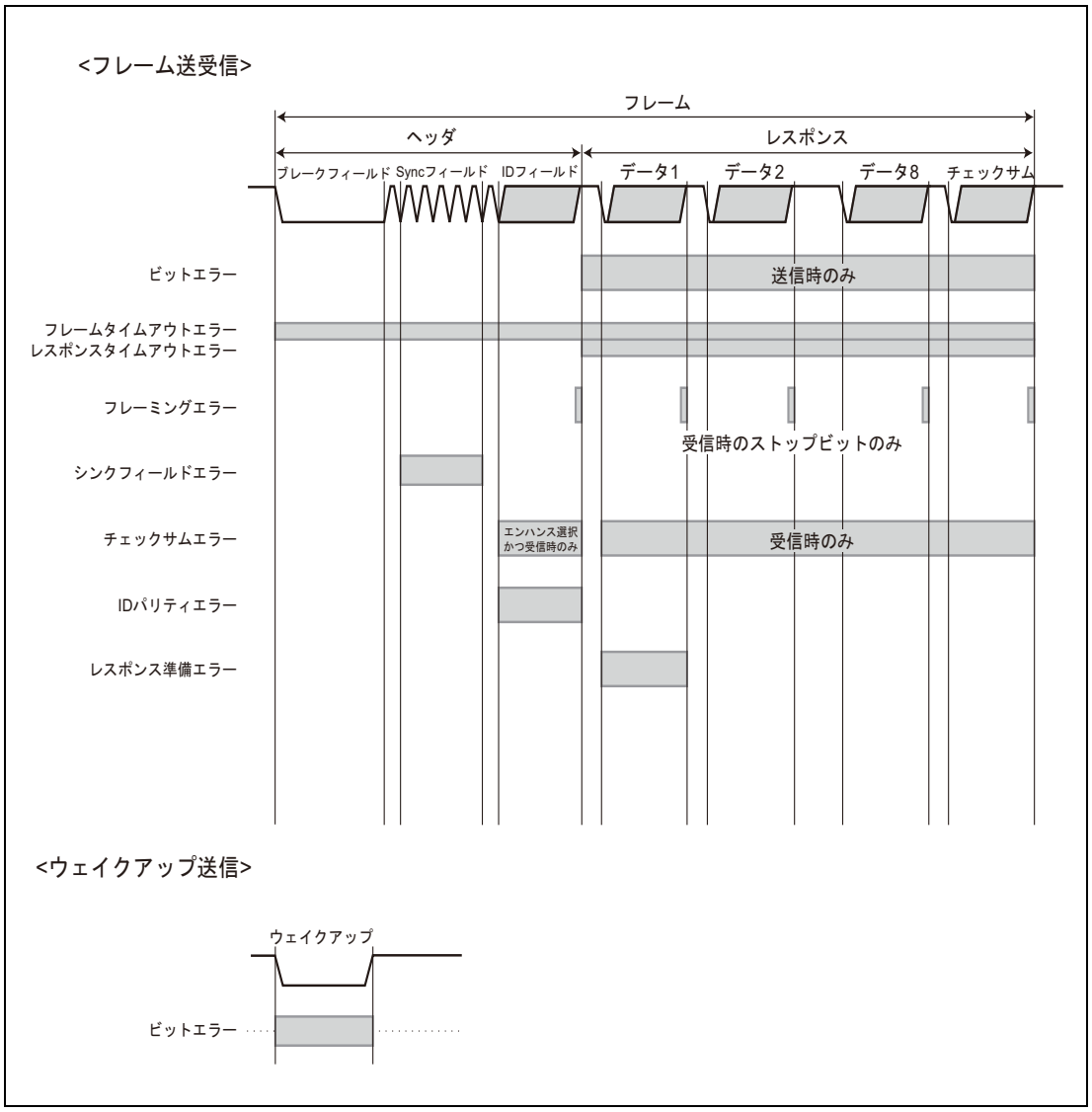


図 18.20 LIN エラー検出の対象時間領域（LIN スレーブモード）

18.8 UART モード

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを “01_B”（UART モード）に設定し、RLN3nLCUC レジスタの OM0 ビットを “1” にしてください。これにより UART モードになり、RLN3nLMST レジスタの OMM0 ビットが “1” になります。

18.8.1 送信

図 18.21 に LIN/UART インタフェース（UART モード）の送信動作、**表 18.89** に LIN/UART インタフェース（UART モード）の送信処理を示します。

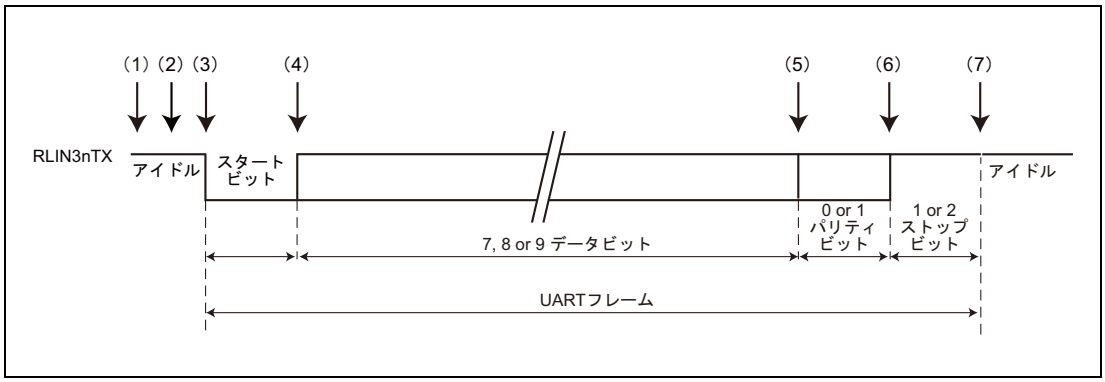


図 18.21 LIN/UART インタフェース（UART モード）の送信動作

表 18.89 LIN/UART インタフェース（UART モード）の送信処理 (1/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	• ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • エラー検出許可を設定 • データフォーマットを設定 • 割り込み発生タイミングを設定 • LIN/UART インタフェースを LIN リセットモードから解除 • 送信動作許可ビット（UTOE ビット）を “1” に設定	• ソフトウェアによる送信トリガ（RLN3nLUTDR レジスタ）待ち
(2)	• UART 送信データレジスタ（RLN3nLUTDR）または UART ウェイト用送信データレジスタ（RLN3nLUWTDR）に送信データを設定	• 送信ステータスフラグを設定

表 18.89 LIN/UART インタフェース（UART モード）の送信処理 (2/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(3)	• 割り込み要求発生待ち 【UTIGTS ビットが “0”（送信開始時に送信割り込み発生）のとき】 • 連続してデータの送信を行う場合は、UART 送信データレジスタ（RLN3nLUTDR レジスタ）に次の送信データを設定。割り込み要求発生待ち	• スタートビット送信（半二重通信で受信→送信切り替え時は、受信の 1 ストップビットの終わり以後、スタートビット送信。この機能は **「18.8.1.4 送信開始ウェイト機能」**を参照してください。） 【UTIGTS ビットが “0”（送信開始時に送信割り込み発生）のとき】 • 送信割り込み出力
(4)		UART （ウェイト用）送信データレジスタに設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 or 2 ストップビットを送信
(7)	【UTIGTS ビットが “0”（送信開始時に送信割り込み発生）のとき】 • 次の送信データがセットされている場合は、(3) へ 【UTIGTS ビットが “1”（送信完了時に送信割り込み発生）のとき】 • 連続してデータの送信を行う場合は、(2) へ	【UTIGTS ビットが “0”（送信開始時に送信割り込み発生）のとき】 • 次の送信データがセットされている場合は、(3) へ • 次の送信データがセットされていない場合は、送信ステータスフラグをクリア 【UTIGTS ビットが “1”（送信完了時に送信割り込み発生）のとき】 • RLIN3n 送信割り込み要求発生 • 送信ステータスフラグをクリア

18.8.1.1 連続送信

LIN/UART インタフェース（UART モード）では、RLN3nLUTDR レジスタを使用して複数のデータを連続送信することができます。送信割り込み発生タイミングが送信開始の場合の動作例および送信割り込み発生タイミングが送信完了の場合の動作例を**図 18.22** に示します。

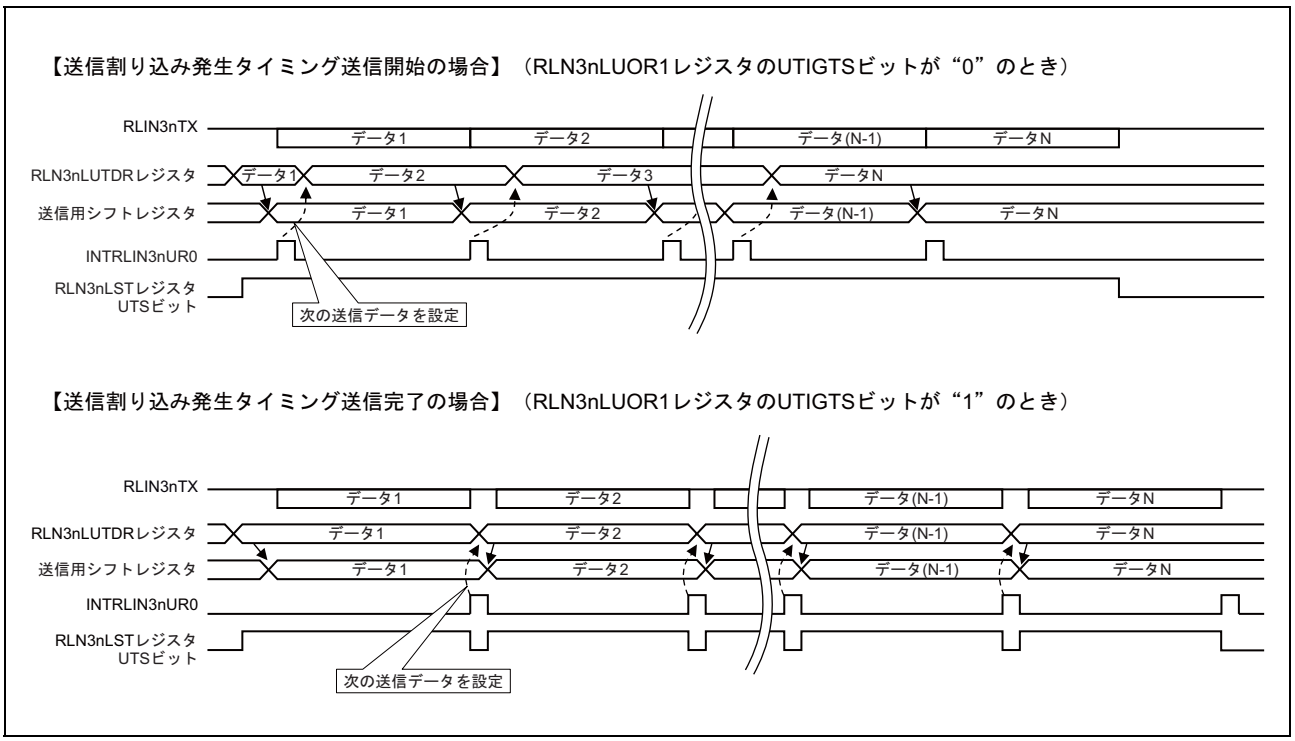


図 18.22 LIN/UART インタフェース（UART モード）連続送信動作例

送信割り込み発生タイミングが送信開始で最終データの送信完了を知る必要がある場合のみ、最終データの送信開始後に RLN3nLUOR1 レジスタの UTIGTS ビットを “0” から “1” に変更することにより、送信完了で割り込みを発生させることができます。

18.8.1.2 UART バッファ送信

LIN/UART インタフェース（UART モード）は、最大 9 バイトの UART バッファを持っており、UART バッファを使用した連続送信が可能です。

図 18.23 に LIN/UART インタフェース（UART モード）の UART バッファ送信動作、**表 18.90** に UART バッファ送信処理を示します。

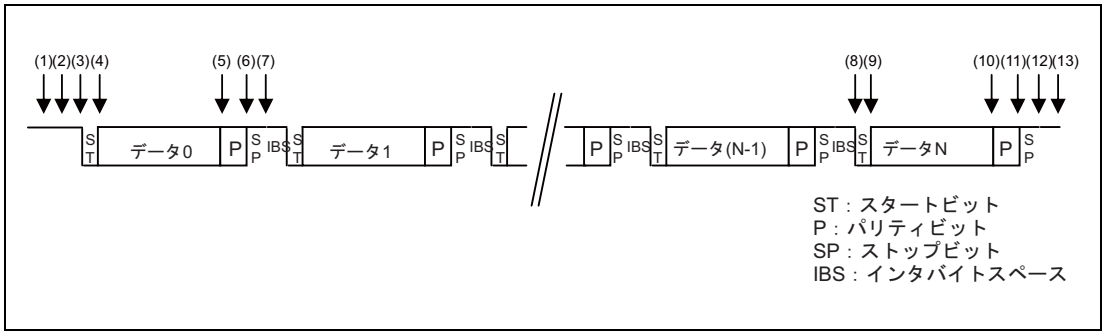


図 18.23 LIN/UART インタフェース（UART モード）の UART バッファ送信動作

表 18.90 LIN/UART インタフェース（UART モード）UART バッファ送信処理 (1/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	• ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • エラー検出許可を設定 • データフォーマットを設定 • 割り込み発生タイミングを送信完了時に設定 • LIN リセットモードから解除 • 送信動作許可ビット（UTOE ビット）を “1” に設定	• ソフトウェアによる送信トリガ（RTS ビット）待ち
(2)	• UART バッファデータ長 および 送信開始ウェイト有無の設定 • UART データ 0 バッファレジスタ（RLN3nLUDB0）、LIN データバッファ b レジスタ（RLN3nLDBRb）に送信データを設定（b = 1 ～ 8） • UART バッファ送信開始ビット（RTS）を設定	• 送信ステータスフラグをセット
(3)	割り込み要求発生待ち	スタートビット送信（半二重通信で受信→送信切り替え時は、受信の 1 ストップビットの終わり以後、スタートビット送信。この機能は**「18.8.1.4 送信開始ウェイト機能」**を参照してください。）
(4)		UART データバッファ 0 レジスタ（RLN3nLUDB0）または LIN/UART データバッファ b レジスタ（RLN3nLDBRb）に設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 または 2 ストップビットを送信 （UART バッファデータ長設定ビットで設定したデータ数が 1 の場合、(12) に進む ）
(7)		インタバイトスペース （アイドル）を送信
		UART バッファデータ長設定ビットで設定したデータ数 -1 まで、(3) ～ (7) を繰り返す

表 18.90 LIN/UART インタフェース（UART モード）UART バッファ送信処理 (2/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(8)		スタートビット送信
(9)		LIN/UART データバッファ b レジスタ（RLN3nLDBRb）に設定したデータを送信
(10)		パリティ使用時、パリティビットを送信
(11)		1 または 2 ストップビットを送信
(12)		• バッファ送信完了フラグをセット • UART バッファ送信開始ビット（RTS）をクリア • 送信割り込み要求信号 • 送信ステータスフラグをクリア
(13)	• RLN3nLST レジスタのチェック、フラグのクリア • 連続してデータの送信を行う場合は、(2) へ	

(1) UART バッファの送信

9 バイト送信の場合、RLN3nLUDB0 レジスタ、RLN3nLDBR1 ～ RLN3nLDBR8 レジスタに格納されている内容が、データ 0 ～ 8 領域に送信されます。9 バイトの送信設定のときのみ、RLN3nLUDB0 レジスタは使われます。その他の場合、データ長により、RLN3nLDBR1 ～ RLN3nLDBR8 レジスタが選択されます。4 バイト送信の場合は、RLN3nLDBR1 ～ RLN3nLDBR4 レジスタに格納されている内容がデータ 1 ～ 4 領域に送信されます。RLN3nLDBR5 ～ RLN3nLDBR8 レジスタの内容は送信されません。RLN3nLDFC レジスタの MDL[3:0] ビットに設定したデータ数送信後、RLIN3n の送信割り込みが発生します。各送信データ間スペースは、RLN3nLSC レジスタの IBS ビットで設定できます。

図 18.24 に 9 バイトの UART バッファと送信処理を示します。

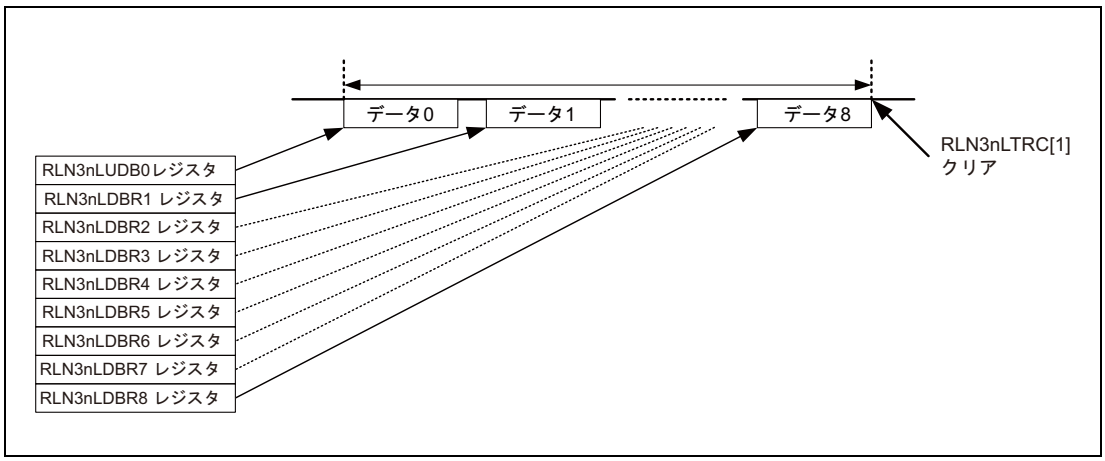


図 18.24 UART バッファと送信処理（9 バイトの場合）

18.8.1.3 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

半二重通信で、RLN3nLEDE レジスタの BERE ビットが “1”（ビットエラー検出許可）のとき、データ送信時に送信データと入力端子レベルの比較がビットごとに行われ、結果は RLN3nLEST レジスタの BER フラグに格納されます（**「18.8.5 エラーステータス」**参照）。データ送信時に、入力端子をサンプリングするタイミングは、RLN3nLWBR レジスタの LPRS[2:0] および NSPB[3:0] ビットの設定により異なります。

UART モード時のビットエラー検出タイミングを**表 18.91** に示します。

表 18.91 UART モード時のビットエラー検出タイミング

1 ビットあたりのサンプリング数	ビットエラー検出タイミング
6 サンプリング	3 クロック目 + 1 プリスケーラクロック
7 サンプリング	4 クロック目 + 1 プリスケーラクロック
8 サンプリング	4 クロック目 + 1 プリスケーラクロック
9 サンプリング	5 クロック目 + 1 プリスケーラクロック
10 サンプリング	5 クロック目 + 1 プリスケーラクロック
11 サンプリング	6 クロック目 + 1 プリスケーラクロック
12 サンプリング	6 クロック目 + 1 プリスケーラクロック
13 サンプリング	7 クロック目 + 1 プリスケーラクロック
14 サンプリング	7 クロック目 + 1 プリスケーラクロック
15 サンプリング	8 クロック目 + 1 プリスケーラクロック
16 サンプリング	8 クロック目 + 1 プリスケーラクロック

データ送信のタイミング例（1 Tbit が 16 サンプリングの場合）を**図 18.25** に示します。

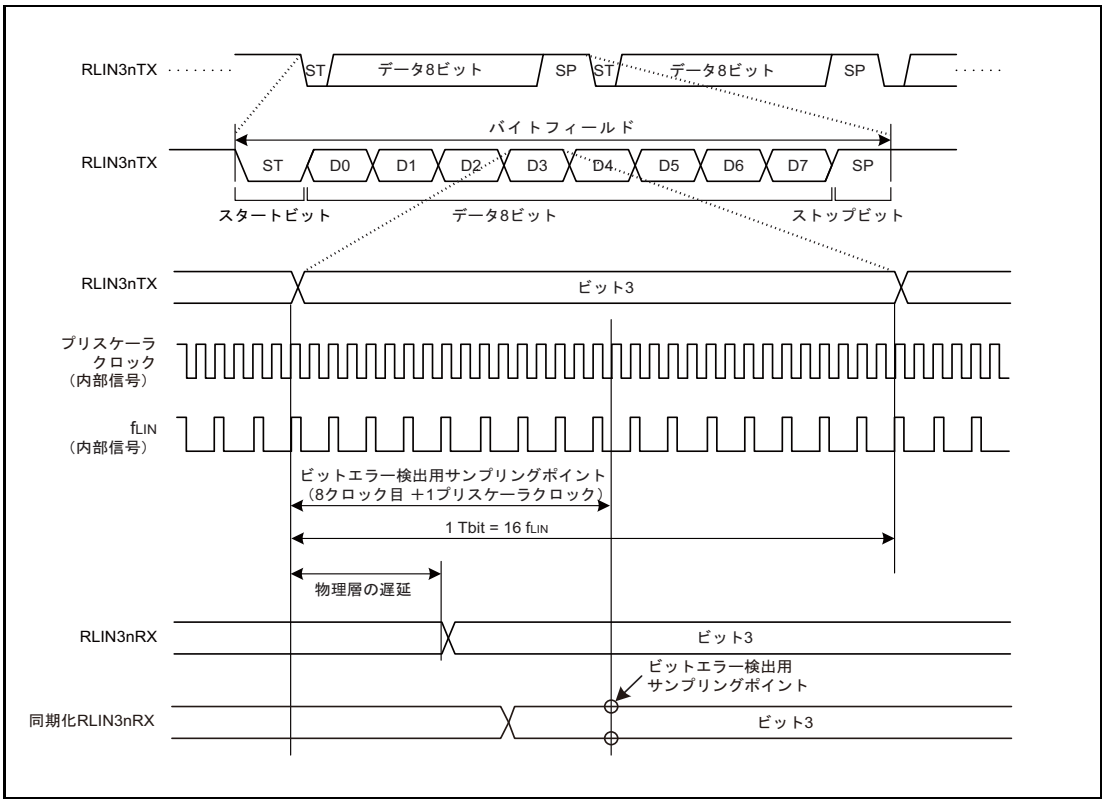


図 18.25 データ送信のタイミング例（1 Tbit が 16 サンプリングの場合）

18.8.1.4 送信開始ウェイト機能

LIN/UART インタフェース（UART モード）は、半二重通信を行う場合、受信から送信へ切り替わるときに受信のストップビット長を確保する機能を持っています。

受信のストップビット完了まで送信開始を遅らせたい場合、送信開始要求として RLN3nLUTDR レジスタへ送信データを設定する代わりに、ウエイト専用レジスタである RLN3nLUWTDR レジスタへデータを設定してください。UART バッファから送信する場合は、RLN3nLDFC レジスタの UTSW ビットを “1” に設定した状態で、RLN3nLTRC レジスタの RTS ビットに “1”（UART バッファ送信開始）を設定してください。

この場合、受信データのストップビットが終了するまで、送信開始をウエイトします。

なお、RLN3nLBFC レジスタの UART ストップビット長選択ビット（USBLS）が “1”（ストップビット 2 ビット）の場合でも、1 ビット分しかウエイトしません。

送信ウェイト機能の動作を**図 18.26** に示します。

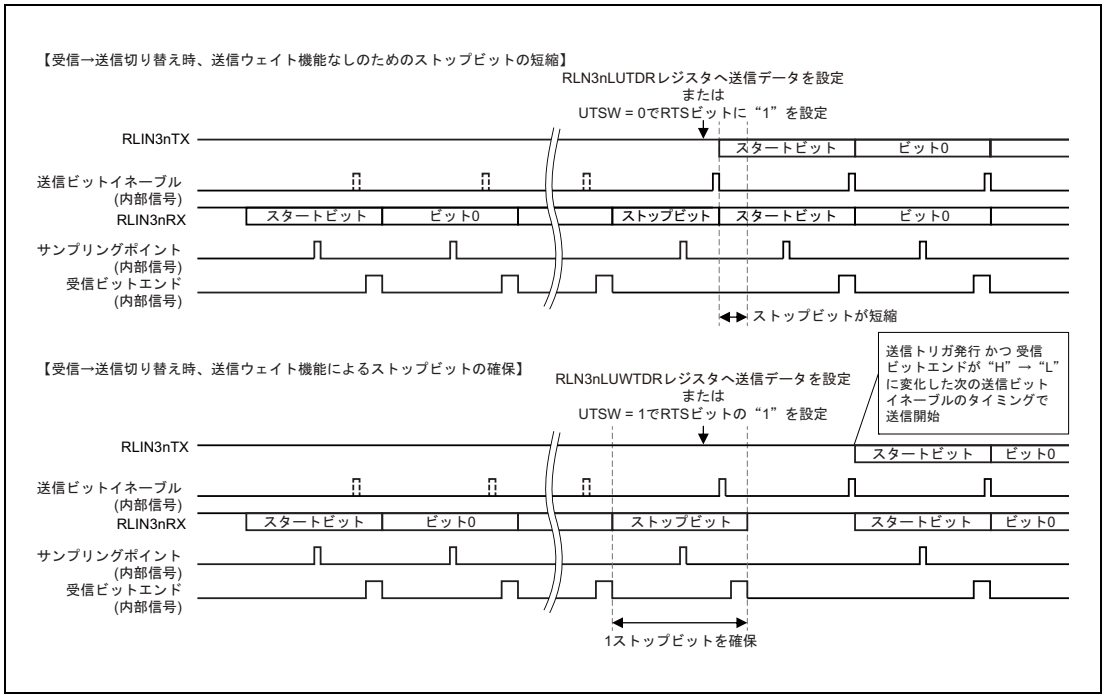


図 18.26 受信データのストップビット中に送信データを設定した場合

18.8.2 受信

図 18.27 に LIN/UART インタフェース（UART モード）の受信動作、**表 18.92** に LIN/UART インタフェース（UART モード）の受信処理を示します。

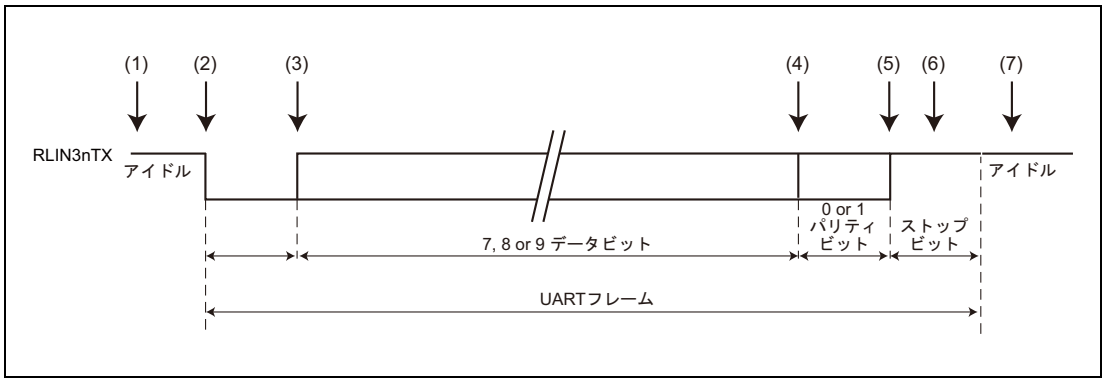


図 18.27 LIN/UART インタフェース（UART モード）の受信動作

表 18.92 LIN/UART インタフェース（UART モード）の受信処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	• ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • エラー検出許可を設定 • データフォーマットを設定 • LIN リセットモードから解除 • 受信動作許可ビット（UROE ビット）を “1” に設定	• ソフトウェアによる受信許可状態切り換え待ち • スタートビット検出待ち
(2)	割り込み要求発生待ち	• 受信端子からの立ち下がりエッジを待ち、スタートビットを検出 • 受信ステータスフラグをセット
(3)		データを受信
(4)		パリティ使用時、パリティビットを受信
(5)		1 ストップビットのみ受信
(6)		• RLIN3n 受信完了割り込み要求発生 • 受信ステータスフラグをクリア
(7)	RLN3nLST レジスタのチェック、フラグのクリア	受信端子からの立ち下がりエッジ待ち

18.8.2.1 データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケーラクロックに同期させた同期化 RLIN3nRX（内部信号）を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、1 Tbit あたりのサンプリング数が偶数の場合は 0.5 Tbit 後に、奇数の場合は {（サンプリング数 + 1）／ 2 } ／（サンプリング数）Tbit 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時に ハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

ただし、RLN3nLEDE レジスタの BERE ビットが “1” の場合は、サンプリングポイントがビットエラー検出タイミングと同じになります。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが “0” の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケーラクロックで 3 サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが “1” の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

図 18.28 にデータ受信タイミングの例を示します。

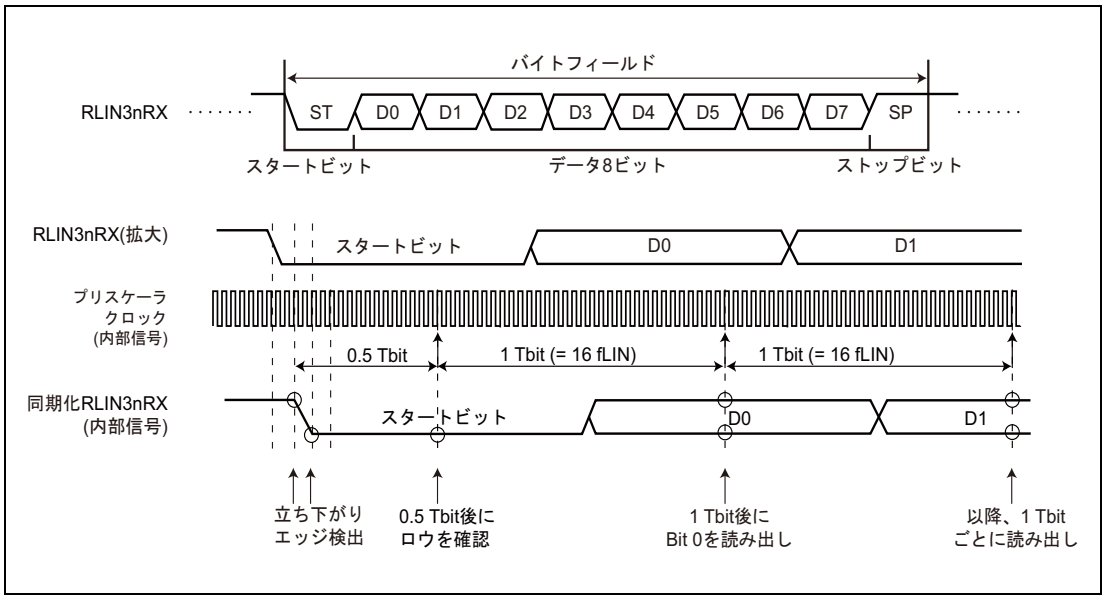


図 18.28 データ受信タイミング例（1 Tbit が 16 サンプリングの場合）

18.8.3 拡張ビット

LIN/UART インタフェース（UART モード）で、RLN3nLUOR1 レジスタの UEBE ビットを “1” に設定することにより、9 ビット長のデータを送受信することが可能です。

18.8.3.1 拡張ビット送信

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が “1” で、UART 送信データレジスタ（RLN3nLUTDR）または UART ウェイト用送信データレジスタ（RLN3nLUWTDR）に 9 ビットのデータを書き込むと 9 ビット長のデータが送信されます。

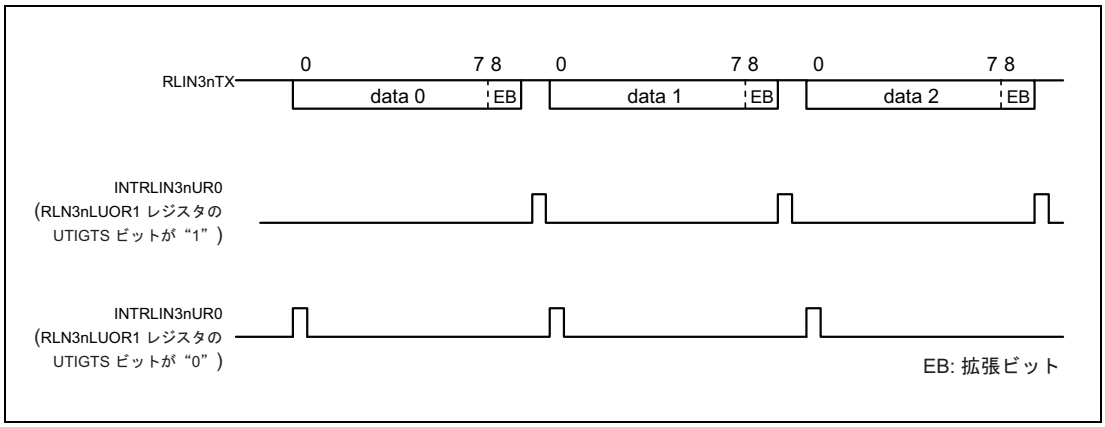


図 18.29 拡張ビット許可時送信例（LSB ファースト）

18.8.3.2 拡張ビット受信

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が “1” かつ拡張ビット比較禁止ビット（UECD）が “1” かつ拡張ビット・データ比較許可ビット（UEBDCE）が “0” のとき、拡張ビットの比較なしで常に 9 ビット長の受信が可能です。UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット検出レベル選択ビット（UEBDL）の設定にかかわらず、9 ビット長のデータを受信すると RLIN3n の受信完了割り込みが発生します。

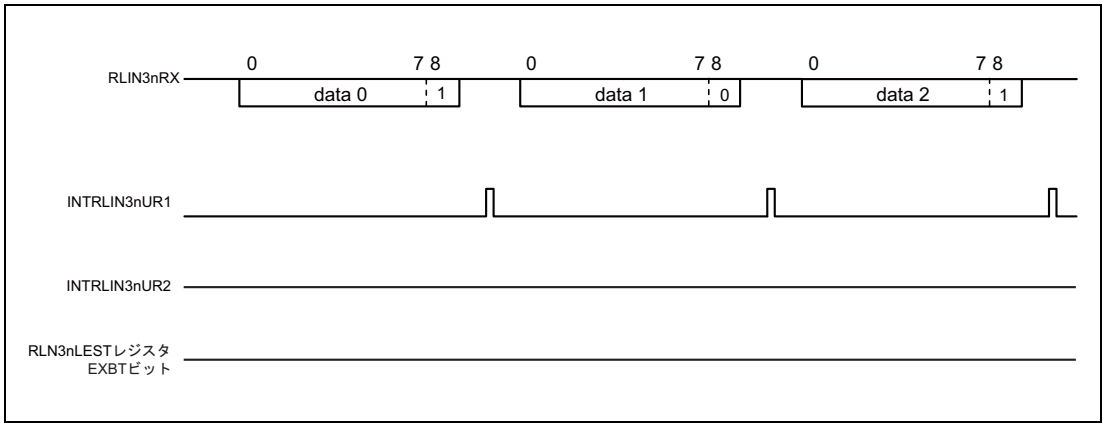


図 18.30 拡張ビット受信の例 （LSB ファースト）

18.8.3.3 拡張ビット受信（拡張ビット比較あり）

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が “1” かつ 拡張ビット比較禁止ビット（UECD）が “0” かつ 拡張ビット・データ比較許可ビット（UEBDCE）が “0” のとき、受信した拡張ビットと UEBDL ビットの比較が可能です。

拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出した場合は、データ受信完了時に RLIN3n のステータス割り込み要求が発生し、LIN エラーステータスレジスタ（RLN3nLEST）の拡張ビット検出フラグ（EXBT）がセットされます。拡張ビット検出レベルの反転値が検出された場合は、RLIN3n の受信完了割り込み要求が発生します。どちらの場合も、オーバランエラーでなければ受信データを UART 受信データレジスタ（RLN3nLURDR）へ格納します。

拡張ビット検出レベル選択ビット（UEBDL）を “0” に設定した場合の例を**図 18.31** に示します。

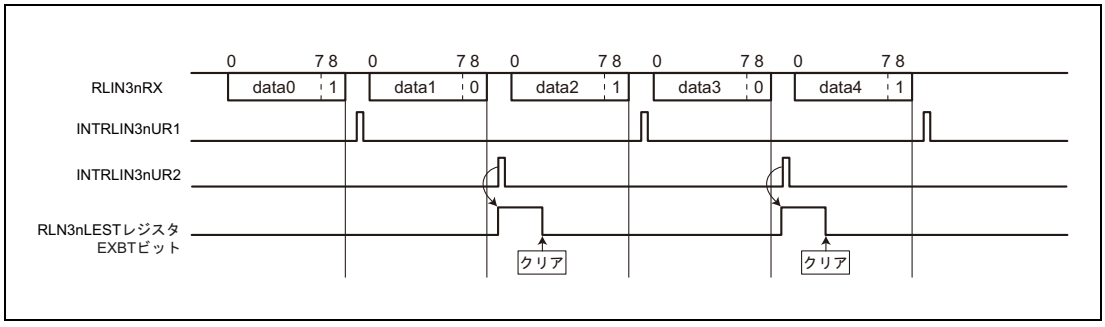


図 18.31 拡張ビット受信（拡張ビット比較あり）の例 （LSB ファースト、UEBDL = 0）

備 考

- 受信 data0、2、4（拡張ビット検出レベルの反転値が検出された場合）で受信エラー（パリティエラー／フレーミングエラー／オーバランエラー）が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。このとき、RLIN3n の受信完了割り込みは発生しません。
- 受信 data1、3 （拡張ビット検出レベルが検出された場合）で受信エラー（パリティエラー／フレーミングエラー／オーバランエラー）が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生時は、拡張ビット検出フラグ（EXBT）もセットされます。

18.8.3.4 拡張ビット受信（データ比較あり）

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が “1” かつ 拡張ビット比較禁止ビット（UECD）が “0” かつ 拡張ビット・データ比較許可ビット（UEBDCE）が “1” のとき、拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出すると、受信データの拡張ビットをのぞく 8 ビットを、あらかじめ設定した RLN3nLIDB レジスタ値と比較します。

比較結果が一致の場合は、以下の動作を実行します。

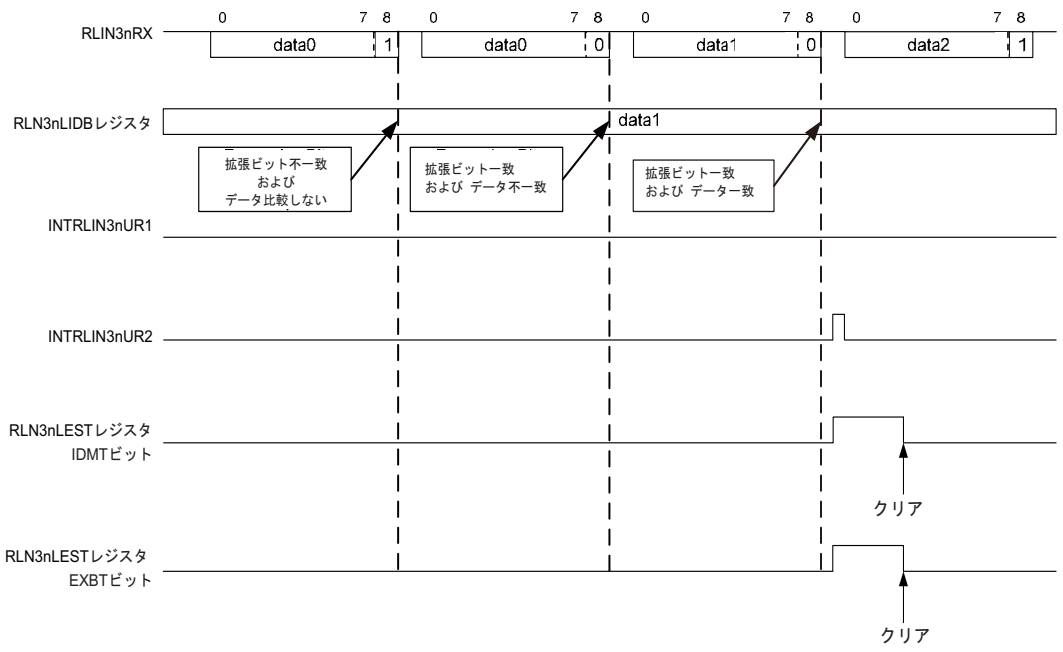
- RLIN3n のステータス割り込みを発生
- 拡張ビット検出フラグ（EXBT）をセット
- ID 一致フラグ（IDMT）をセット
- 受信データを UART 受信データレジスタ（RLN3nLURDR）に格納

比較結果が一致の場合においても、RLIN3n の受信完了割り込みは発生しません。

比較結果が一致しない場合は、RLIN3n の受信完了割り込み および RLIN3n のステータス割り込みは発生せず、EXBT フラグ および IDMT フラグは “1” にセットされません。受信データは UART 受信データレジスタ（RLN3nLURDR）に格納されません。

UEBDCE ビットを “0” に変更する場合は、次の受信データ完了後までに行ってください。

拡張ビット検出レベル選択ビット（UEBDL）を “0” に設定した場合の例を**図 18.32** に示します。



備考 受信エラー（パリティエラー／フレーミングエラー／オーバランエラー）が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生かつ比較結果が一致の場合は、EXBT フラグおよび IDMT フラグもセットされます。

図 18.32 拡張ビット受信（データ比較あり）の例 （LSB ファースト、UEBDL = 0）

18.8.4 ステータス

LIN/UART インタフェースは UART モード動作時に、5 種類のステータスを検出します。

UART バッファ送信完了、エラー検出の 2 つのステータスは割り込み要求を発生することができます。

表 18.93 に UART モードでのステータスの種類を示します。

表 18.93 UART モード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	RLN3nLMST レジスタの OMM0 ビット	—
UART バッファ送信完了	• RLN3nLUOR1 レジスタの UTIGTS ビットが “0”（送信開始時に送信割り込み発生）の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長の最終データを送信開始したとき • RLN3nLUOR1 レジスタの UTIGTS ビットが “1”（送信完了時に送信割り込み発生）の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長を送信完了したとき	• ソフトウェアによるクリア • LIN リセットモード移行時	RLN3nLST レジスタの FTC フラグ	○
エラー検出	RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグのいずれかが “1”（検出）になったとき	• ソフトウェアによるクリア[注 1] • LIN リセットモード移行時	RLN3nLST レジスタの ERR フラグ	○
送信ステータス	• RLN3nLUTDR レジスタ または RLN3nLUWTDR レジスタにデータを書き込んだとき • RLN3nLTRC レジスタの RTS ビットに “1” を書き込んだとき	• RLN3nLUTDR レジスタ または RLN3nLUWTDR レジスタにセットされたデータが送信完了して、次の送信データがセットされていないとき • UART バッファのデータの送信が完了して、RLN3nLTRC レジスタの RTS ビットがクリアされたとき • LIN リセットモード移行時	RLN3nLST レジスタの UTS フラグ	—
受信ステータス	• スタートビットを検出したとき	• ストップビットのサンプリングポイントを検出したとき • LIN リセットモード移行時	RLN3nLST レジスタの URS フラグ	—

注 1. LIN リセットモード解除中に RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに “0” を書くことにより、RLN3nLST レジスタの ERR フラグは “0” になります。

18.8.5 エラーステータス

エラーステータスの種類

LIN/UART インタフェースは UART モードで、4 種類のエラーと 2 種類のステータスを検出します。これらのステータスの状態は RLN3nLEST レジスタの各ビットで確認できます。

表 18.94 にステータスの種類を示します。

表 18.94 ステータスの種類（UART モード）

ステータス	エラー検出条件	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているデータが一致しなかったとき注 1	設定された送信データの送信完了まで継続	○	RLN3nLEST レジスタの BER フラグ
オーバランエラー	RLN3nLURDR レジスタに受信データ格納後、データの読み出し前に、次のデータを受信したとき（このとき、RLN3nLURDR レジスタには格納されない）	―（検出時はすでに受信完了）	○	RLN3nLEST レジスタの OER フラグ
フレーミングエラー	受信処理において、1 ビット目のストップビットがロウレベルであったとき	―（検出時はすでに受信完了）	○	RLN3nLEST レジスタの FER フラグ
パリティエラー	受信したパリティ値が、受信データから算出したパリティ値と一致しなかったとき	受信完了まで継続	×注 2	RLN3nLEST レジスタの UPER フラグ
拡張ビット検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致したとき	―	○	RLN3nLEST レジスタの EXBT フラグ
ID 一致検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致 かつ 拡張ビットを除く 受信した 8 ビットデータが RLN3nLIDB レジスタの値と一致したとき	―	○	RLN3nLEST レジスタの IDMT フラグ

注 1. UART バッファから送信する場合は、UART フレーム間のスペース（インタバイトスペース）でもビットエラーを検出します。

注 2. RLN3nLBFC レジスタの UPS[1:0] ビットを “10_B”（0 パリティ）に設定すると、パリティビットの値の判定を実施しません。そのため、パリティエラーは発生しません。

エラーステータスのクリア条件は、ソフトウェアによるクリア、LIN リセットモード移行時です。

18.9 LIN セルフテストモード

LIN/UART インタフェースは、LIN セルフテストモードを持ちます。一度 LIN/UART インタフェースが LIN セルフテストモードになると、RLIN3nTX と RLIN3nRX は外部端子から切断され、LIN/ UART インタフェース内部で RLIN3nTX と RLIN3nRX が接続されます。よって、RLIN3nTX から送信するフレームは RLIN3nRX にループバックします。LIN セルフテストモードは、LIN モードのみのテストが可能です。

セルフテストは、以下の 4 種類行うことができます。

- LIN マスタ セルフテストモード（送信）：ヘッダ送信およびレスポンス送信
- LIN マスタ セルフテストモード（受信）：ヘッダ送信およびレスポンス受信
- LIN スレーブ セルフテストモード（送信）：ヘッダ受信およびレスポンス送信
- LIN スレーブ セルフテストモード（受信）：ヘッダ受信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定に関わらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源／ 16[bps] で動作します。（RLN3nLWBR レジスタの NSPB ビットは、必ず “0000_B” または “1111_B” で使用してください。）

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウエイクアップモード
- フレームセパレートモード
- 多バイトレスポンス送受信機能
- LIN スレーブモード〔オートボーレート〕
- フレーム／レスポンスタイムアウトエラー

これらの機能は使用しないでください。

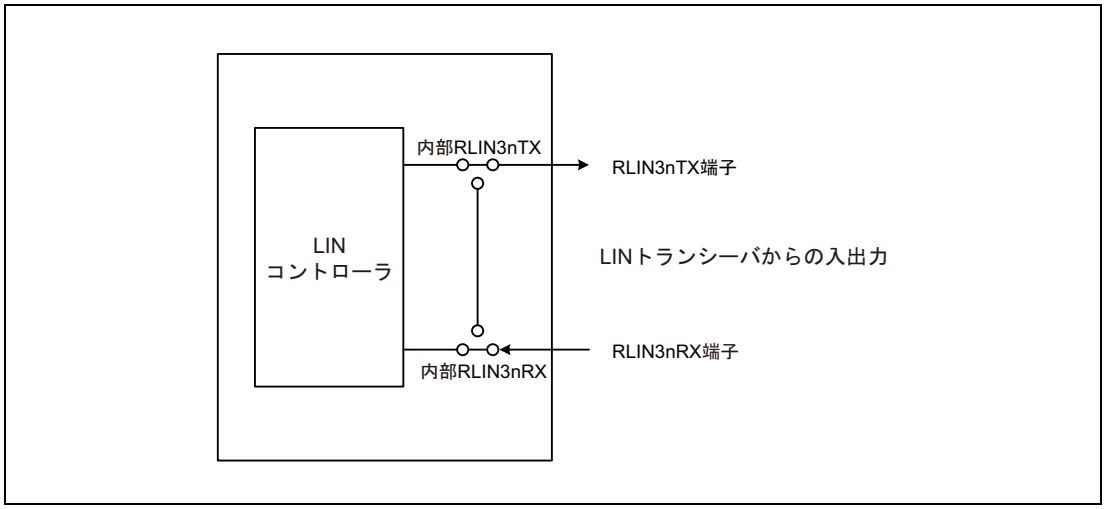


図 18.33 LIN リセットモード、LIN モード および UART モード接続

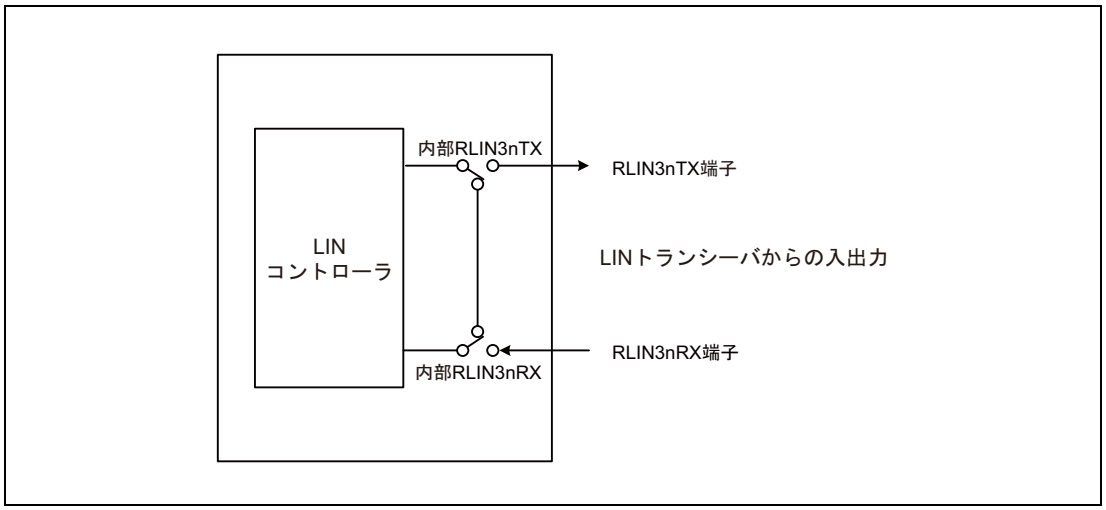


図 18.34 LIN セルフテストモード接続

18.9.1 LIN セルフテストモードへの移行

RLN3nLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。
RLN3nLSTC レジスタの LSTM ビットが “1” になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通り LIN セルフテスト制御レジスタに 3 回連続書き込みを行う必要があります。

- LIN リセットモードへ移行
  RLN3nLCUC レジスタの OM0 ビットを “0”（LIN リセットモード）にする。
  RLN3nLMST レジスタの OMM0 ビットを読み出し、“0”（LIN リセットモード）であることを確認する
- LIN モードの選択
  RLN3nLMD レジスタの LMD ビットが “00_B”（LIN マスタモード）または “11_B”（LIN スレーブ〔固定ボーレート〕）
- 1 回目書き込み：RLN3nLSTC レジスタ = “$1010\ 0111_B$”（$A7_H$）
- 2 回目書き込み：RLN3nLSTC レジスタ = “$0101\ 1000_B$”（58_H）
- 3 回目書き込み：RLN3nLSTC レジスタ = “$0000\ 0001_B$”（01_H）
- LIN セルフテストモードへの移行を確認する
  RLN3nLSTC レジスタの LSTM ビットを読み出し、“1”（LIN セルフテストモード）であることを確認する。

1 回目のキー（$A7_H$）を誤って 2 回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度 1 回目の書き込みから実施してください。また、LIN セルフテストモードへの移行（RLN3nLSTC レジスタへの 3 回連続書き込み）中にほかの LIN 関連レジスタに書き込みを行った場合も移行は中断します。

18.9.2 LIN マスタ セルフテストモードにおける送信

LIN マスタの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
  RLN3nLWBR レジスタ = 0000 $xxxx_B$ 注 1
  RLN3nLBRP0 レジスタ = xxxx $xxxx_B$ 注 1
  RLN3nLBRP1 レジスタ = xxxx $xxxx_B$ 注 1
  RLN3nLMD レジスタ = 00xx $xx00_B$ 注 1
- 割り込み許可、エラー許可関連レジスタを設定する。
  RLN3nLIE レジスタ = 0000 $xxxx_B$ 注 2
  RLN3nLEDE レジスタ = x000 $x0xx_B$
- ブレークフィールド、スペース関連レジスタを設定する。
  RLN3nLBFC レジスタ = 00xx $xxxx_B$
  RLN3nLSC レジスタ = 00xx $0xxx_B$
- LIN リセットモード解除
  RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 送信フレーム関連レジスタを設定する。
  RLN3nLDFC レジスタ = 00x1 $xxxx_B$
  RLN3nLIDB レジスタ = xxxx $xxxx_B$
  RLN3nLDBR1 ～ RLN3nLDBR8 レジスタ = xxxx $xxxx_B$
- ヘッダ送信→レスポンス送信開始
  RLN3nLTRC レジスタの FTS ビットを “1”（フレーム送信／ウエイクアップ送受信開始）にする。
  LIN マスタセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムは LIN/UART インタフェースが自動演算する。LIN マスタセルフテストモード（送信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b = 1 ～ 8）、RLN3nLCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x：任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット
そのため、設定は必須ではありません。

注 2. 必要に応じて、**「第 7 章 例外／割り込み」**の関連レジスタを設定してください。

注 3. ヘッダ送信完了割り込みとフレーム送信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1”（ヘッダ送信完了割り込み許可）にしないでください。
ヘッダ送信完了フラグのセットからフレーム／ウエイクアップ送信完了フラグのセットまでの時間は次式で表されます。

10 ×（データバイト数 ＋ 1）[Tbit]
1 Tbit = 1/LIN 通信クロック源の周波数 × 16

18.9.3 LIN マスタ セルフテストモードにおける受信

LIN マスタの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
  RLN3nLWBR レジスタ = 0000 $xxxx_B$ 注 1
  RLN3nLBRP0 レジスタ = xxxx $xxxx_B$ 注 1
  RLN3nLBRP1 レジスタ = xxxx $xxxx_B$ 注 1
  RLN3nLMD レジスタ = 00xx $xx00_B$ 注 1
- 割り込み許可、エラー許可関連レジスタを設定する。
  RLN3nLIE レジスタ = 0000 $xxxx_B$ 注 2
  RLN3nLEDE レジスタ = x000 $x0xx_B$
- ブレークフィールド、スペース関連レジスタを設定する。
  RLN3nLBFC レジスタ = 00xx $xxxx_B$
  RLN3nLSC レジスタ = 00xx $0xxx_B$ 注 1
- LIN リセットモード解除
  RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 受信フレーム関連レジスタを設定する。
  RLN3nLDFC レジスタ = 00x0 $xxxx_B$
  RLN3nLIDB レジスタ = xxxx $xxxx_B$
  RLN3nLDBR1 ～ RLN3nLDBR8 レジスタ = xxxx $xxxx_B$
  RLN3nLCBR レジスタ = xxxx $xxxx_B$
  送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。このとき 誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。
- ヘッダ送信→レスポンス受信開始
  RLN3nLTRC レジスタの FTS ビットを “1”（フレーム送信／ウエイクアップ送受信開始）にする。
  LIN マスタセルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。LIN マスタセルフテストモード（受信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b = 1 ～ 8）、RLN3nLCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x：任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット、RLN3nLSC レジスタの IBS ビット
そのため、設定は必須ではありません。

注 2. 必要に応じて、**「第 7 章 例外／割り込み」**の関連レジスタを設定してください。

注 3. ヘッダ送信完了割り込みとフレーム受信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1”（ヘッダ送信完了割り込み許可）にしないでください。
ヘッダ送信完了フラグのセットからフレーム／ウエイクアップ受信完了フラグのセットまでの時間は次式

で表されます。

10 ×（データバイト数 ＋ 1）[Tbit]

1 Tbit = 1/LIN 通信クロック源 × 16

18.9.4 LIN スレーブ セルフテストモードにおける送信

LIN スレーブの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
  RLN3nLWBR レジスタ = 0000 xxx0_B 注 1
  RLN3nLBRP0 レジスタ = xxxx xxxx$_B$ 注 1
  RLN3nLBRP1 レジスタ = xxxx xxxx$_B$ 注 1
  RLN3nLMD レジスタ = 00xx 0011_B
- 割り込み許可、エラー許可関連レジスタを設定する。
  RLN3nLIE レジスタ = 0000 xxxx$_B$ 注 2
  RLN3nLEDE レジスタ = xx0x x00x$_B$
- ブレークフィールド、スペース関連レジスタを設定する。
  RLN3nLBFC レジスタ = 0000 000x$_B$ 注 3
  RLN3nLSC レジスタ = 00xx 0001_B
- LIN リセットモード解除
  RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 送信フレーム関連レジスタを設定する。
  RLN3nLDFC レジスタ = 00x1 xxxx$_B$
  RLN3nLIDB レジスタ = xxxx xxxx$_B$
  RLN3nLDBR1 ～ RLN3nLDBR8 レジスタ = xxxx xxxx$_B$
- ヘッダ受信→レスポンス送信開始
  RLN3nLTRC レジスタの FTS ビットを “1”（ヘッダ受信／ウエイクアップ送受信開始）にする。
  （RLN3nLTRC レジスタの RTS ビットの操作なしで、ヘッダ受信、レスポンス送信の順で実行）
  LIN スレーブセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。
  チェックサムは LIN/UART インタフェースが自動演算する。LIN スレーブセルフテストモード（送信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b = 1 ～ 8）、RLN3nLCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x：任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ
そのため、設定は必須ではありません。

注 2. 必要に応じて、**「第 7 章 例外／割り込み」**の関連レジスタを設定してください。

注 3. このレジスタの設定によって、9.5 Tbit または 10.5 Tbit 幅のブレークを内部 RLIN3nTX より出力します。

注 4. ヘッダ受信完了割り込みとレスポンス送信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了

割り込みのソフトウェア処理がレスポンス送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1”（ヘッダ受信完了割り込み許可）にしないでください。
ヘッダ受信完了フラグのセットからレスポンス／ウエイクアップ送信完了フラグのセットまでの時間は次式で表されます。

10 ×（データバイト数 ＋ 1）[Tbit]

1 Tbit = 1/LIN 通信クロック源の周波数 × 16

18.9.5 LIN スレーブ セルフテストモードにおける受信

LIN スレーブの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
  RLN3nLWBR レジスタ = $0000\ xxx0_B$ 注 1
  RLN3nLBRP0 レジスタ = $xxxx\ xxxx_B$ 注 1
  RLN3nLBRP1 レジスタ = $xxxx\ xxxx_B$ 注 1
  RLN3nLMD レジスタ = $00xx\ 0011_B$
- 割り込み許可、エラー許可関連レジスタを設定する。
  RLN3nLIE レジスタ = $0000\ xxxx_B$ 注 2
  RLN3nLEDE レジスタ = $xx0x\ x00x_B$
- ブレークフィールド、スペース関連レジスタを設定する。
  RLN3nLBFC レジスタ = $0000\ 000x_B$ 注 3
  RLN3nLSC レジスタ = $00xx\ 0001_B$ 注 1
- LIN リセットモード解除
  RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 受信フレーム関連レジスタを設定する。
  RLN3nLDFC レジスタ = $00x0\ xxxx_B$
  RLN3nLIDB レジスタ = $xxxx\ xxxx_B$
  RLN3nLDBR1 ～ RLN3nLDBR8 レジスタ = $xxxx\ xxxx_B$
  RLN3nLCBR レジスタ = $xxxx\ xxxx_B$
  送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。このとき 誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。
- ヘッダ受信→レスポンス受信開始
  RLN3nLTRC レジスタの FTS ビットを “1”（ヘッダ受信／ウエイクアップ送受信開始）にする。
  （RLN3nLTRC レジスタの RTS ビットの操作なしで、ヘッダ受信、レスポンス受信の順で実行）
  LIN スレーブセルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。LIN スレーブセルフテストモード（受信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行してください。
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b = 1 ～ 8）、RLN3nLCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x：任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLSC レジスタの IBS ビット
そのため、設定は必須ではありません。

注 2. 必要に応じて、**「第 7 章 例外／割り込み」**の関連レジスタを設定してください。

注 3. このレジスタの設定によって、9.5 Tbit または 10.5 Tbit 幅のブレークを内部 RLIN3nTX より出力します。

注 4. ヘッダ受信完了割り込みとレスポンス受信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了割り込みのソフトウェア処理がレスポンス受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1”（ヘッダ受信完了割り込み許可）にしないでください。
ヘッダ受信完了フラグのセットからレスポンス／ウエイクアップ受信完了フラグのセットまでの時間は次式で表されます。

10 ×（データバイト数 ＋ 1）[Tbit]

1 Tbit = 1/LIN 通信クロック源の周波数 × 16

18.9.6 LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- RLN3nLCUC レジスタの OM0 ビットに “0” （LIN リセットモード）を書く。
  RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” でない場合は、RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き、RLN3nLMST レジスタ OMM1、OMM0 ビットが “11_B” になることを確認した後に、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
  RLN3nLSTC レジスタの LSTM ビットを読み、“0”（LIN セルフテストモードではない）を確認。
- LIN リセットモードへの移行を確認する。
  RLN3nLMST レジスタの OMM0 ビットを読み、“0”（LIN リセットモード）を確認。

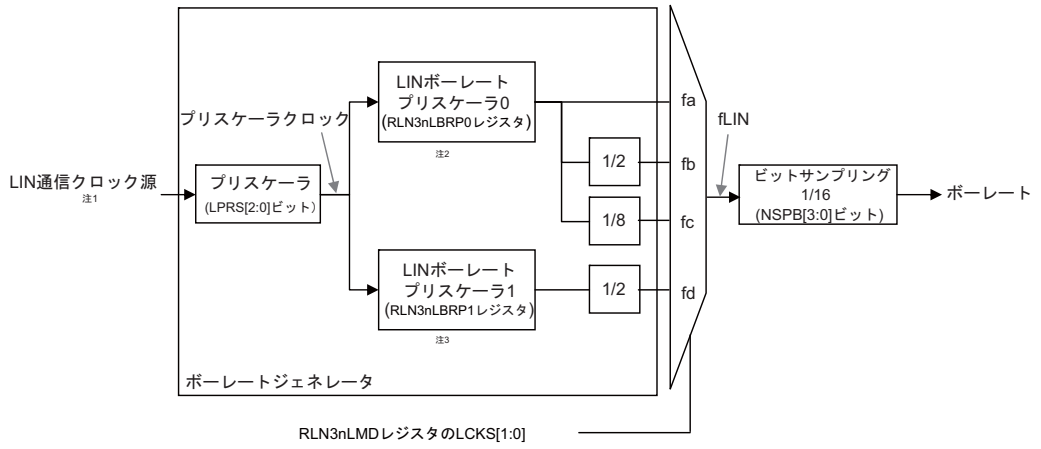
18.10 ボーレートジェネレータ

LIN 通信クロック源をプリスケーラで分周したクロックがプリスケーラクロックとなり、プリスケーラクロックをボーレートジェネレータで分周したクロックが LIN システムクロック（fLIN）となり、これをサンプリング数で分周したクロックがボーレートになります。このボーレートの逆数をビットタイム（Tbit）といいます。

LIN/UART インタフェースは、2 種類のボーレートジェネレータを持ち、モードにより使用するボーレートジェネレータが切り替わります。

18.10.1 LIN マスタモード

図 18.35 に LIN マスタモード時のボーレート生成ブロック図を示します。



注 1. LIN 通信クロック源については、**「11.5.3 クロックドメイン設定」**を参照してください。
注 2. RLN3nLBRP0 レジスタにより、N ＋ 1 分周（N = 0 ～ 255）を設定します。
注 3. RLN3nLBRP1 レジスタにより、M ＋ 1 分周（M = 0 ～ 255）を設定します。

図 18.35 LIN マスタモード ボーレート生成ブロック図

fa が 307200 Hz（= 19200 × 16) となるように RLN3nLBRP0 レジスタを設定すれば、fa = 19200 × 16、fb = 9600 × 16、fc = 2400 × 16 となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz (= 10417 × 16) となるように RLN3nLBRP1 レジスタを設定すれば、fd = 10417 × 16 となり、ビットタイミング生成部で 16 分周するため、10417 bps が生成できます。

ボーレートの計算式は、以下のとおりです。

LIN マスタ のボーレート

= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
÷ (RLN3nLBRP0+ 1) ÷ 16 [bps] (f_{LIN} に fa 選択時)

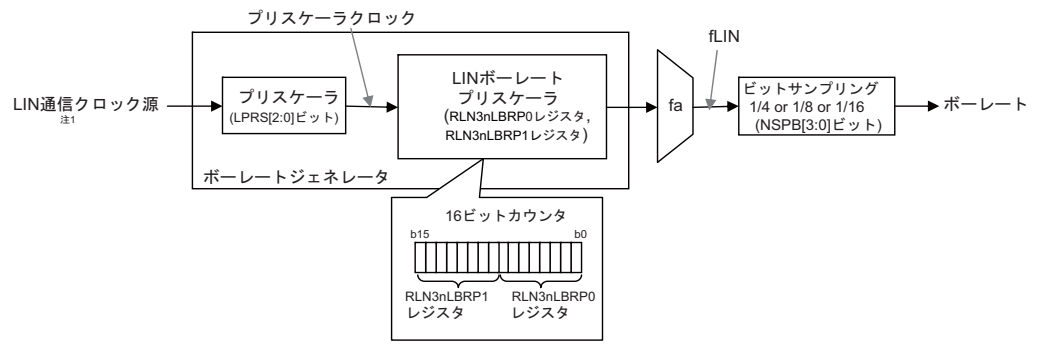
= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
÷ (RLN3nLBRP0 + 1) ÷ 2 ÷ 16 [bps] (f_{LIN} に fb 選択時)

= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
÷ (RLN3nLBRP0 + 1) ÷ 8 ÷ 16 [bps] (fL_{LIN} に fc 選択時)

= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
÷ (RLN3nLBRP1 + 1) ÷ 2 ÷ 16 [bps] (f_{LIN} に fd 選択時)

18.10.2 LIN スレーブモード

図 18.36 に LIN スレーブモード時のボーレート生成ブロック図を示します。



注 1. LIN 通信クロック源については、「**11.5.3 クロックドメイン設定**」を参照してください。

図 18.36 LIN スレーブモード ボーレート生成ブロック図

LIN スレーブモード〔オートボーレート〕は、ボーレート 1 kbps ～ 20 kbps で動作可能です。ターゲットとなるボーレートに応じて、プリスケーラクロックを、下記となるように設定してください。

〔ターゲットとなるボーレート〕	〔プリスケーラクロック〕
1 kbps ～ 20 kbps	: 4 MHz 注 1
1 kbps ～ 2.4 kbps 未満	: 4 MHz
2.4 kbps ～ 20 kbps	: 8 MHz ～ 12 MHz

注 1. RLN3nLWBR レジスタの NSPB[3:0] ビットは、“0011_B”（4 サンプリング）で使用してください。

ボーレートの計算式は、以下のとおりです。

LIN スレーブのボーレート

= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
÷ (RLN3nLBRP01 + 1) ÷ 16 [bps] ([固定ボーレート] 時)

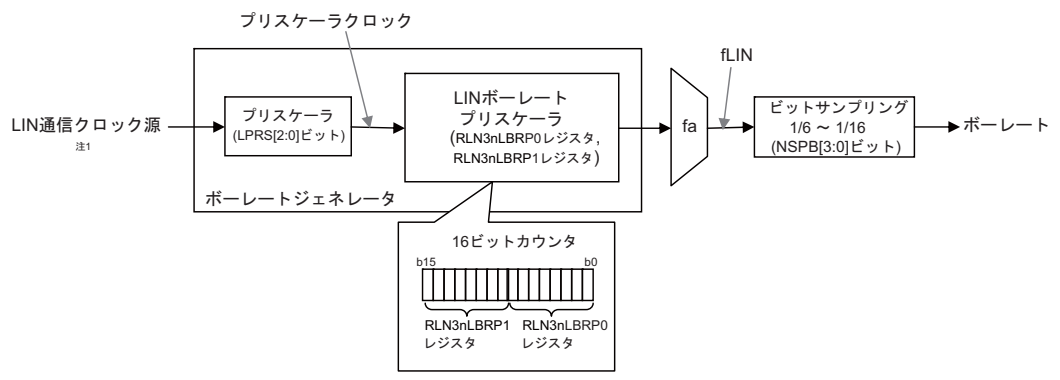
= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
÷ (RLN3nLBRP01 + 1) ÷ 4 or 8 [bps] ([オートボーレート] 時)

備 考

LIN スレーブ [固定ボーレート] 時は、NSPB[3:0] ビットは “0000_B”（16 サンプリング）または “1111_B”（16 サンプリング）に、LIN スレーブ [オートボーレート] 時は、NSPB[3:0] ビットは、“0011_B”（4 サンプリング）または “0100_B”（8 サンプリング）に設定してください。

18.10.3 UART モード

図 18.37 に UART モード時のボーレート生成ブロック図を示します。



注 1. LIN 通信クロック源については、**「11.5.3 クロックドメイン設定」**を参照してください。

図 18.37 UART ボーレート生成ブロック図

UART のボーレートは次式で表せます。

UART のボーレート
= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
÷ (RLN3nLBRP01 + 1) ÷ {RLN3nLWBR.NSPB[3:0] 選択数 } [bps]

18.11 ノイズフィルタ

LIN/UART インタフェースは、ノイズによるデータの誤受信を低減するためにノイズフィルタを持ちます。RLN3nLMD レジスタの LRDNFS ビットを “0”（ノイズフィルタを使用する）にすることによりノイズフィルタが有効になります。ノイズフィルタは、同期化 RLIN3nRX のレベルをプリスケーラクロックで サンプリングし、サンプリング 3 回分の多数決の結果を出力します。受信データの各ビットの値はノイズフィルタ出力で決定されます。

図 18.38 にノイズフィルタの構成、**図 18.39** にノイズフィルタ回路例、**図 18.40** にノイズフィルタ使用時の受信データの決定を示します。

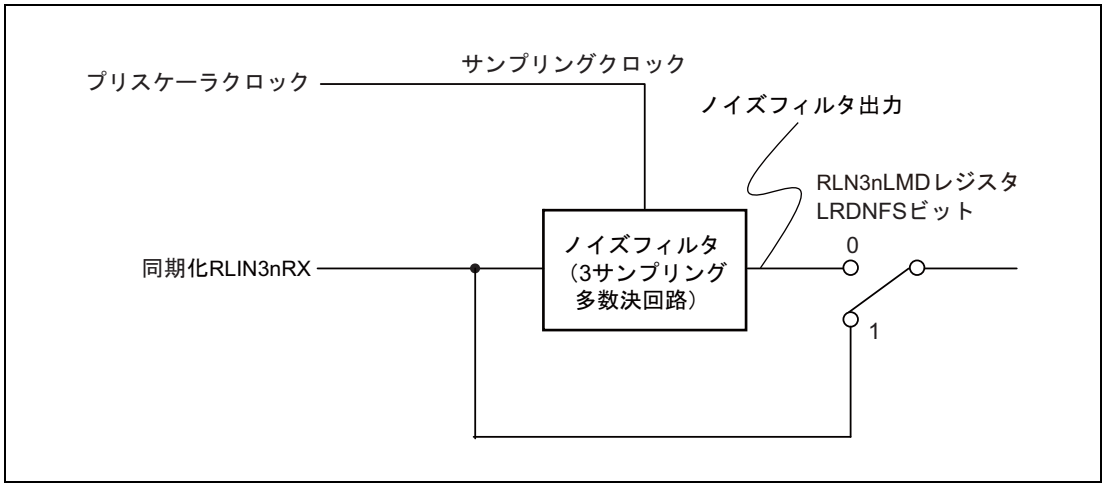


図 18.38 ノイズフィルタの構成

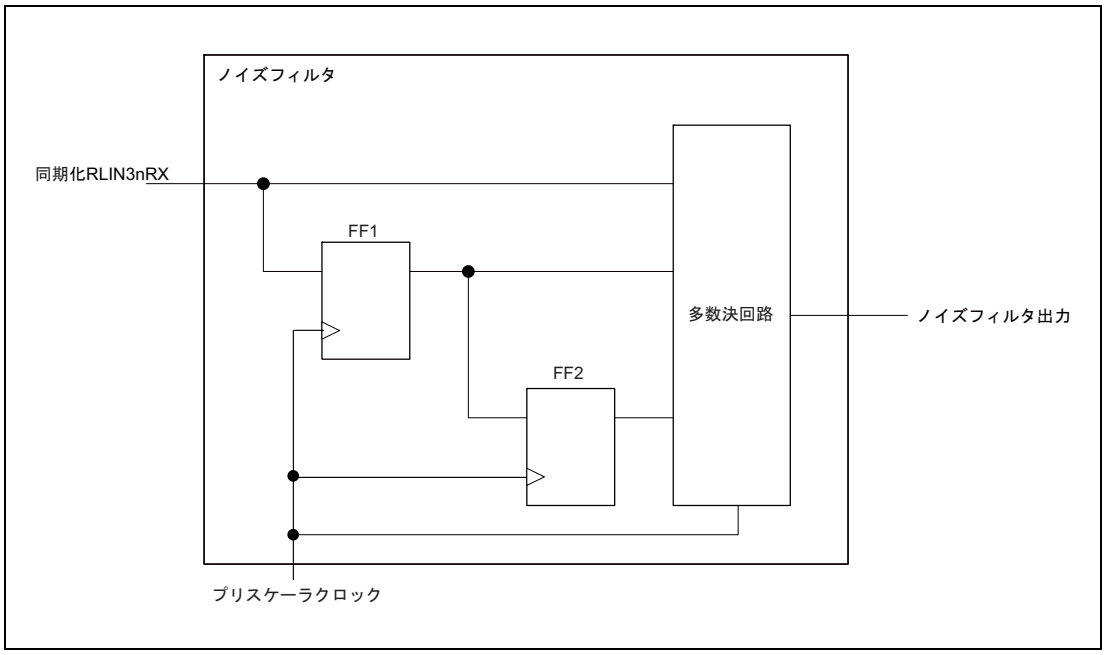


図 18.39 ノイズフィルタ回路例

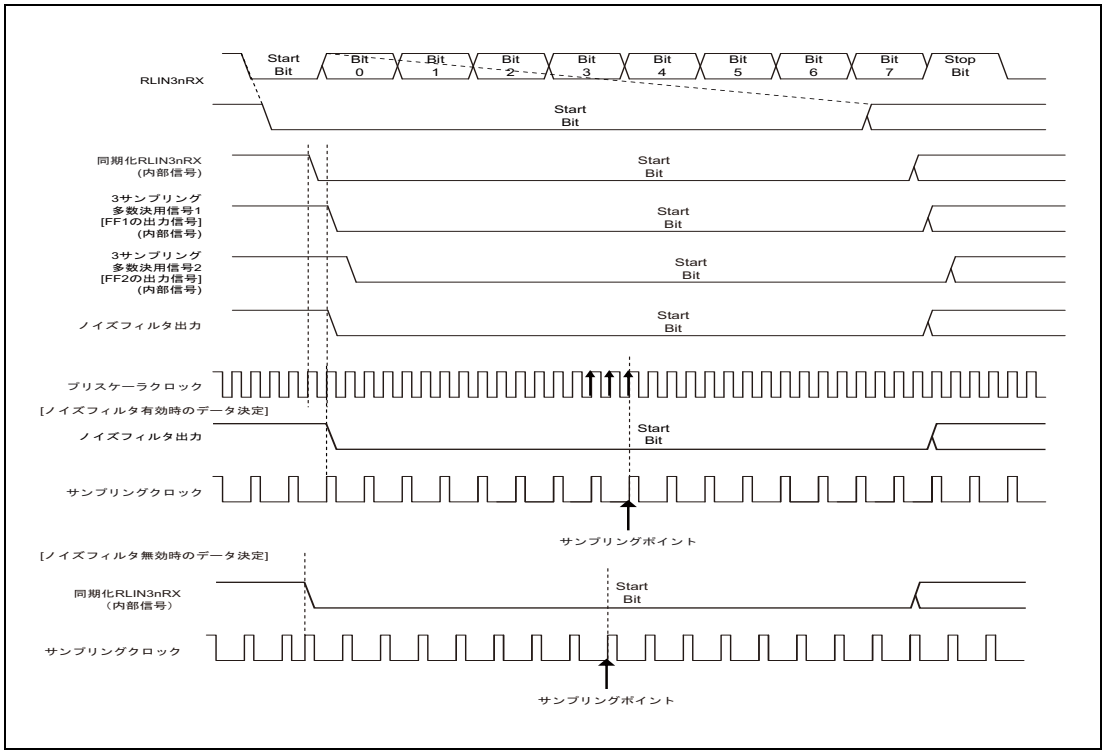


図 18.40 ノイズフィルタ使用時の受信データの決定

第 19 章 I²C バスインタフェース（RIIC）

本章では、I²C バスインタフェース（RIIC）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、RIIC の機能、レジスタについて説明します。

19.1 RH850/F1M RIIC の特長

19.1.1 ユニット数とチャネル数

本製品は、以下のユニット数の RIIC を搭載しています。

RIIC　1 ユニットは 1 チャネルのインタフェースを持っています。本章のユニット数とチャネル数は同義です。

表 19.1 ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	1		
名称	RIICn (n = 0)		

表 19.2 添字

添字	説明
n	本章では、RIIC の各ユニットを「n」（n = 0）で識別します。たとえば、I²C バスコントロールレジスタ 1 は RIICnCR1 と記述します。

19.1.2 レジスタベースアドレス

RIIC のベースアドレスを以下の表に示します。

RIIC のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 19.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RIIC0_base>	$FFCA\ 0000_H$

19.1.3 クロック供給

RIIC のクロック供給を以下に示します。

表 19.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RIICn	PCLK 注 1	CKSCLK_IIIC
	レジスタアクセスクロック	CKSCLK_IIIC

注 1. PCLK は、SCL クロック（High レベル幅）の 1/2 未満に設定してください。

19.1.4 割り込み要求

RIIC の割り込み要求を以下の表に示します。

表 19.5 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RIIC0			
INTIICnEE	RIIC 通信エラー／イベント発生割り込み	79	—
INTIICnRI	RIIC 受信終了割り込み	78	20
INTIICnTI	RIIC 送信データエンプティ割り込み	76	19
INTIICnTEI	RIIC 送信終了割り込み	77	—

19.1.5 リセット要因

RIIC のリセット要因を以下に示します。RIIC は以下に示すリセット要因で初期化されます。

表 19.6 リセット要因

ユニット名	リセット要因
RIIC0	すべてのリセット要因（ISORES）

19.1.6 外部入出力信号

RIIC の外部入出力信号を以下の表に示します。

表 19.7 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
RIIC0		
RIICnSCL	シリアルクロック入出力端子	RIIC0SCL
RIICnSDA	シリアルデータ入出力端子	RIIC0SDA

これらのポートを使用する場合、該当するポートの PBDCn レジスタと PODCn レジスタの対応するビットを 1 に設定する必要があります。

19.2 概要

19.2.1 機能概要

通信フォーマット

- I2C バスフォーマット
- マスタ／スレーブ選択可能
- 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保

転送速度

～ 400kbps

SCL クロック

- マスタ時、SCL クロックのデューティ比を以下の範囲で設定可能
  - 0% ＜デューティ＜ 100%

コンディション発行・コンディション検出

スタートコンディション／リスタートコンディション／ストップコンディションの自動生成、スタートコンディション（リスタートコンディション含む）／ストップコンディション検出可能

スレーブアドレス

- スレーブアドレスを 3 セット設定可能
- 7 ビット／ 10 ビットアドレスフォーマット対応（混在可能）
- ジェネラルコールアドレス検出、デバイス ID アドレス検出

アクノリッジ応答

- 送信時、アクノリッジビットの自動ロード
  - ノットアクノリッジ受信時に次送信データ転送の自動中断が可能
- 受信時、アクノリッジビットの自動送出
  - 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能

ウェイト機能

- 受信時、SCL クロックの Low ホールドによるウェイトが可能
  - 8 クロック目と 9 クロック目の間をウェイト
  - 9 クロック目と 1 クロック目の間をウェイト（WAIT 機能）

SDA 出力遅延機能

アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

アービトレーション

- マルチマスタ対応
  - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能
  - スタートコンディション発行競合時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能
  - マスタ時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能
- バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止）
- ノットアクノリッジ送信時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能
- スレーブ送信時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能

タイムアウト検出機能

内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能

ノイズ除去

SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能

割り込み要因

- 4 種類
  - 通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出（リスタートコンディション含む）、ストップコンディション検出）
  - 受信終了（スレーブアドレス一致時含む）
  - 送信データエンプティ（スレーブアドレス一致時含む）
  - 送信終了

19.2.2 ブロック図

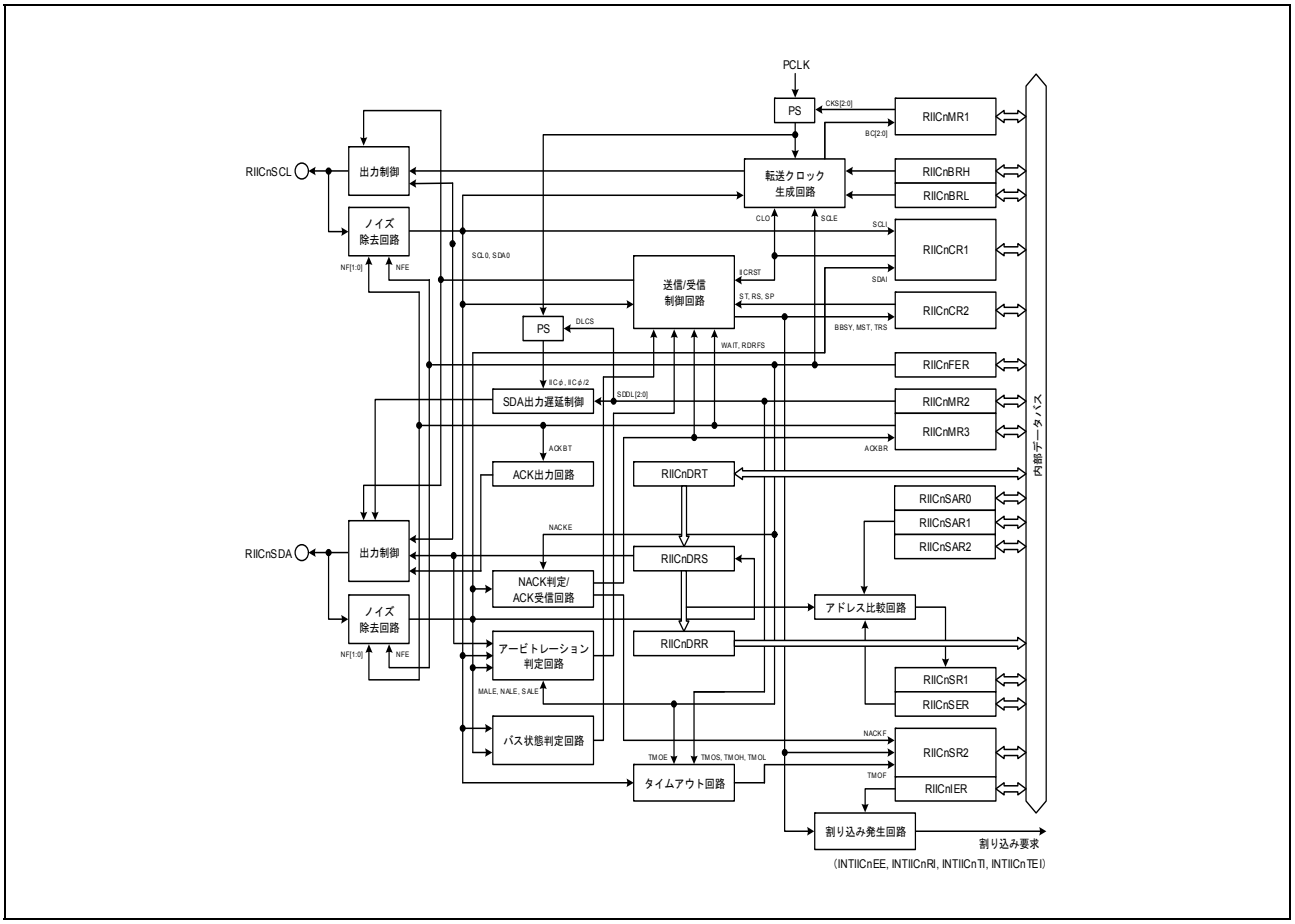


図 19.1 RIIC のブロック図

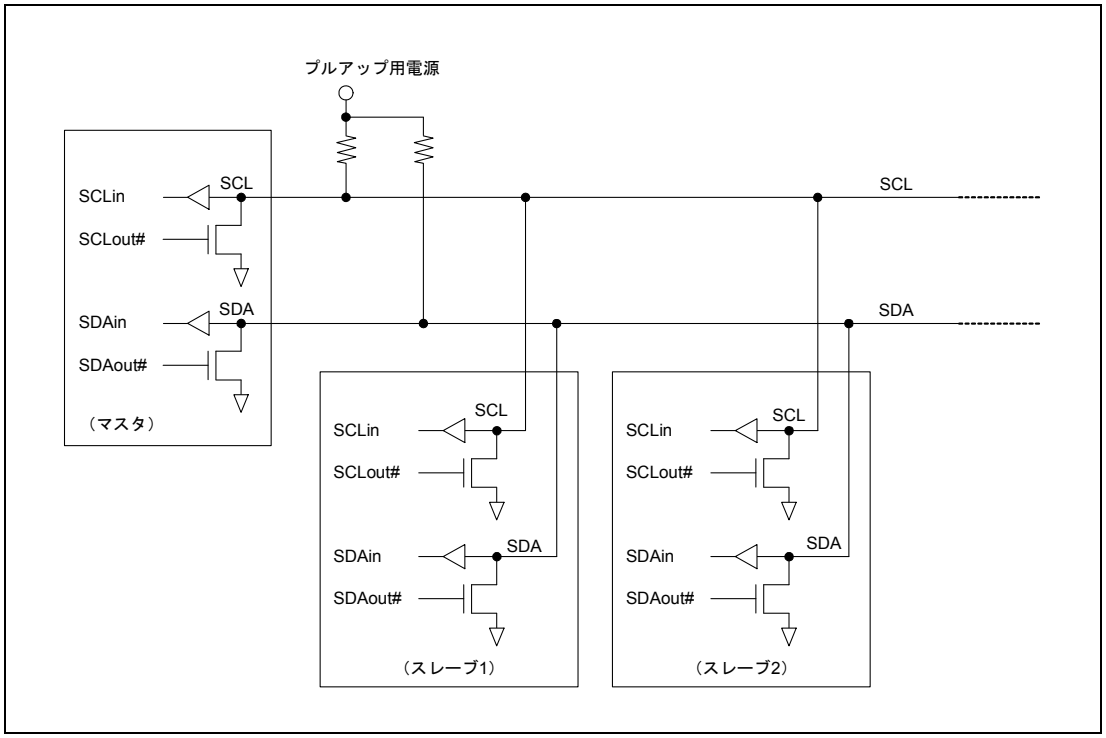


図 19.2 入出力端子の外部回路接続例（I2C バス構成例）

19.3 レジスタ

19.3.1 レジスター覧

RIIC のレジスター覧を以下の表に示します。

<RIICn_base> は**「19.1.2 レジスタベースアドレス」**を参照してください。

表 19.8 レジスター覧

ユニット名	レジスタ名	略号	アドレス
RIICn	I²C バスコントロールレジスタ 1	RIICnCR1	<RIICn_base> + 0000_H
RIICn	I²C バスコントロールレジスタ 2	RIICnCR2	<RIICn_base> + 0004_H
RIICn	I²C バスモードレジスタ 1	RIICnMR1	<RIICn_base> + 0008_H
RIICn	I²C バスモードレジスタ 2	RIICnMR2	<RIICn_base> + $000C_H$
RIICn	I²C バスモードレジスタ 3	RIICnMR3	<RIICn_base> + 0010_H
RIICn	I²C バスファンクションイネーブルレジスタ	RIICnFER	<RIICn_base> + 0014_H
RIICn	I²C バスステータスイネーブルレジスタ	RIICnSER	<RIICn_base> + 0018_H
RIICn	I²C バスインタラプトイネーブルレジスタ	RIICnIER	<RIICn_base> + $001C_H$
RIICn	I²C バスステータスレジスタ 1	RIICnSR1	<RIICn_base> + 0020_H
RIICn	I²C バスステータスレジスタ 2	RIICnSR2	<RIICn_base> + 0024_H
RIICn	I²C スレーブアドレスレジスタ 0	RIICnSAR0	<RIICn_base> + 0028_H
RIICn	I²C スレーブアドレスレジスタ 1	RIICnSAR1	<RIICn_base> + $002C_H$
RIICn	I²C スレーブアドレスレジスタ 2	RIICnSAR2	<RIICn_base> + 0030_H
RIICn	I²C バスビットレートロウレベルレジスタ	RIICnBRL	<RIICn_base> + 0034_H
RIICn	I²C バスビットレートハイレベルレジスタ	RIICnBRH	<RIICn_base> + 0038_H
RIICn	I²C バス送信データレジスタ	RIICnDRT	<RIICn_base> + $003C_H$
RIICn	I²C バス受信データレジスタ	RIICnDRR	<RIICn_base> + 0040_H
RIICn	I²C バスシフトレジスタ	RIICnDRS	—

19.3.2 RIICnCR1 — I²C バスコントロールレジスタ 1

アクセス RIICnCR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnCR1L、RIICnCR1H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnCR1LL、RIICnCR1LH、RIICnCR1HL、RIICnCR1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnCR1: <RIICn_base> + 0000_H

RIICnCR1L: <RIICn_base> + 0000_H、RIICnCR1H: <RIICn_base> + 0002_H

RIICnCR1LL: <RIICn_base> + 0000_H、RIICnCR1LH: <RIICn_base> + 0001_H、
RIICnCR1HL: <RIICn_base> + 0002_H、RIICnCR1HH: <RIICn_base> + 0003_H

リセット後の値 0000 $001F_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	W	R/W	R/W	R	R

表 19.9 RIICnCR1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ICE	I²C バスインタフェース許可ビット 0：禁止（RIICnSCL、RIICnSDA 端子非駆動状態） 1：許可（RIICnSCL、RIICnSDA 端子駆動状態） （IICRST ビットとの組合せで、RIIC リセット、内部リセットを選択）
6	IICRST	I²C バスインタフェース内部リセットビット 0：RIIC/ 内部リセット解除 1：RIIC/ 内部リセット状態 （ビットカウンタのクリア、SCL/SDA 出力ラッチを解除）
5	CLO	SCL クロック追加出力ビット 0：SCL クロックを追加で出力しない（通常状態） 1：SCL クロックを追加で出力する（1 クロック出力後、自動的に “0” になる）
4	SOWP	SCLO/SDAO ライトプロテクトビット 0：SCLO、SDAO ビットの書き換え許可 1：SCLO、SDAO ビットを保護 （読むと “1” が読めます）
3	SCLO	SCL 出力制御／モニタビット • リード時 0：RIICnSCL 端子を Low にしている 1：RIICnSCL 端子を解放している • ライト時 0：RIICnSCL 端子を Low 出力にする 1：RIICnSCL 端子を解放する

表 19.9 RIICnCR1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	SDAO	SDA 出力制御／モニタビット • リード時 0：RIICnSDA 端子を Low にしている 1：RIICnSDA 端子を解放している • ライト時 0：RIICnSDA 端子を Low 出力にする 1：RIICnSDA 端子を解放する
1	SCLI	SCL ラインモニタビット 0：RIICnSCL ラインは Low 1：RIICnSCL ラインは High
0	SDAI	SDA ラインモニタビット 0：RIICnSDA ラインは Low 1：RIICnSDA ラインは High

SDAO ビット（SDA 出力制御／モニタビット）、SCLO ビット（SCL 出力制御／モニタビット）

RIIC が出力する RIICnSDA 信号、RIICnSCL 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも “0” を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット（SCL クロック追加出力ビット）

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は “0” にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、**「19.13.2 SCL クロック追加出力機能」**を参照してください。

IICRST ビット（I2C バス内部リセットビット）

RIIC の内部状態をリセットします。

IICRST ビットを “1” にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。**表 19.10** に RIIC のリセットの種類を示します。

RIIC リセットでは RIICnCR2.BBSY フラグを含めた全レジスタ（ICE,IICRST は除く）および内部状態を、内部リセットではビットカウンタ（RIICnMR1.BC[2:0] ビット）、I2C バスシフトレジスタ（RIICnDRS）、I2C バスステータスレジスタ（RIICnSR1、RIICnSR2）および内部状態をリセットします。各レジスタのリセット状況については、**「19.14 RIIC のリセット機能」**を参照してください。

動作中（ICE ビット = 1 の状態）、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを “1” にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで RIICnSCL 端子／ RIICnSDA 端子をハイインピーダンスにしてバスを解放することができます。

注 意

スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 19.10 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタ（ICE, IICRST は除く）および内部状態をリセット
	1	内部リセット	RIICnMR1.BC[2:0] ビット、RIICnSR1、RIICnSR2、RIICnDRS レジスタおよび内部状態をリセット

ICE ビット（I²C バスインタフェース許可ビット）

RIICnSCL、RIICnSDA 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については**「表 19.10 RIIC のリセットの種類」**を参照してください。

RIIC を使用するときは、ICE ビットを “1” に設定してください。ICE ビットが “1” のとき、RIICnSCL、RIICnSDA 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを “0” に設定してください。ICE ビットが “0” のとき、RIICnSCL、RIICnSDA 端子非駆動状態になります。

注 意

ICE ビットが “0” のとき、RIICnSDA, RIICnSCL の出力は禁止になりますが、RIICnSDA, RIICnSCL への入力は有効になります。端子機能設定で RIICnSCL 端子、RIICnSDA 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレスの比較動作を行いますので注意してください。

19.3.3 RIICnCR2 — I²C バスコントロールレジスタ 2

アクセス RIICnCR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnCR2L、RIICnCR2H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnCR2LL、RIICnCR2LH、RIICnCR2HL、RIICnCR2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnCR2: <RIICn_base> + 0004_H

RIICnCR2L: <RIICn_base> + 0004_H、RIICnCR2H: <RIICn_base> + 0006_H

RIICnCR2LL: <RIICn_base> + 0004_H、RIICnCR2LH: <RIICn_base> + 0005_H、
RIICnCR2HL: <RIICn_base> + 0006_H、RIICnCR2HH: <RIICn_base> + 0007_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R

表 19.11 RIICnCR2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	BBSY	バスビジー検出フラグ 0：I²C バスが解放状態（バスフリー状態） 1：I²C バスが占有状態（バスビジー状態）
6	MST 注 1	マスタ／スレーブモードビット 0：スレーブモード 1：マスタモード
5	TRS 注 1	送信／受信モードビット 0：受信モード 1：送信モード
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SP	ストップコンディション発行要求ビット 0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する
2	RS	リスタートコンディション発行要求ビット 0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する
1	ST	スタートコンディション発行要求ビット 0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 1. RIICnMR1.MTWP ビットが “1” のとき、MST、TRS ビットへの書き込みができます。

ST ビット（スタートコンディション発行要求ビット）

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが “1” になるとスタートコンディションの発行を要求し、BBSY フラグが “0”（バスフリー）のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、**「19.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

[“1” になる条件]

“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- スタートコンディションの発行が完了したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 意

ST ビットは、BBSY フラグが “0”（バスフリー）のとき、“1”（スタートコンディション発行要求）にしてください。
BBSY フラグが “1”（バスビジー）のとき、ST ビットを “1”（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット（リスタートコンディション発行要求ビット）

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが “1” になるとリスタートコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、**「19.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

[“1” になる条件]

RIICnCR2.BBSY フラグが “1” の状態で、“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 意

1. ストップコンディション発行中に RS ビットを “1” にしないでください。
2. リスタートコンディションを発行する場合、マスタ送信モードで実施することを推奨します。マスタモード以外で RS ビットに “1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは “1” のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される

可能性がありますので注意してください。

SP ビット（ストップコンディション発行要求ビット）

マスタモードでストップコンディションの発行を要求します。

SP ビットが “1” になるとストップコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、**「19.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

[“1” になる条件]

RIICnCR2.BBSY フラグが “1” でかつ RIICnCR2.MST ビットが “1” の状態で、“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- スタートコンディションおよびリスタートコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 意

1. BBSY フラグ = 0（バスフリー）のとき書き込みはできません。
2. リスタートコンディション発行中に SP ビットを “1” にしないでください。

TRS ビット（送信／受信モードビット）

送信／受信モードを示すビットです。

TRS ビットが “0” のとき受信モード、TRS ビットが “1” のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行／検出および R/W# ビットなどで “1”/“0” になり、動作モードは自動的に送信モードまたは受信モードに移行します。RIICnMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1” になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- スレーブモード時、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき
- RIICnMR1.MTWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ストップコンディションを検出したとき

- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブ送信モード時、リスタートコンディションを検出したとき（RIICnCR2.BBSY = 1、RIICnCR2.MST = 0 の状態でリスタートコンディションを検出したとき）
- RIICnMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット（マスタ／スレーブモードビット）

マスタモード／スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行／検出などで “1”/“0” になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。RIICnMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1” になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- RIICnMR1.MTWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- RIICnMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ（バスビジー検出フラグ）

I2C バスの占有（バスビジー）／解放状態（バスフリー）を示します。

SCL ラインが High の状態で SDA ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して “1” になります。

SCL ラインが High の状態で SDA ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間（RIICnBRL レジスタに設定した時間）スタートコンディション検出がないとき “0” になります。

[“1” になる条件]

スタートコンディションを検出したとき

[“0” になる条件]

- ストップコンディションを検出後、バスフリーの時間（RIICnBRL レジスタに設定した時間）スタートコンディション検出がないとき
- RIICnCR1.ICE ビットが “0” の状態で RIICnCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

注 意

- ストップコンディション検出後のバスフリー期間中に、内部リセットをかけた場合、BBSY フラグが内部リセット解除から、バスフリー時間を経由して、“0” となる
- バスフリー期間以外で内部リセットをかけた場合は、BBSY フラグはクリアされない

19.3.4 RIICnMR1 — I²C バスモードレジスタ 1

アクセス RIICnMR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR1L、RIICnMR1H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR1LL、RIICnMR1LH、RIICnMR1HL、RIICnMR1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnMR1: <RIICn_base> + 0008_H

RIICnMR1L: <RIICn_base> + 0008_H、RIICnMR1H: <RIICn_base> + $000A_H$

RIICnMR1LL: <RIICn_base> + 0008_H、RIICnMR1LH: <RIICn_base> + 0009_H、
RIICnMR1HL: <RIICn_base> + $000A_H$、RIICnMR1HH: <RIICn_base> + $000B_H$

リセット後の値 $0000\ 0008_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	W	R/W	R/W	R/W

表 19.12 RIICnMR1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	MTWP	MST/TRS ライトプロテクトビット 0：RIICnCR2.MST, TRS ビットへの書き込み禁止 1：RIICnCR2.MST, TRS ビットへの書き込み許可
6 ～ 4	CKS[2:0]	内部基準クロック選択ビット（IICφ） b6 b4 0 0 0：PCLK/1 クロック 0 0 1：PCLK/2 クロック 0 1 0：PCLK/4 クロック 0 1 1：PCLK/8 クロック 1 0 0：PCLK/16 クロック 1 0 1：PCLK/32 クロック 1 1 0：PCLK/64 クロック 1 1 1：PCLK/128 クロック

表 19.12 RIICnMR1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	BCWP 注1	BC ライトプロテクトビット 0：BC[2:0] ビットの値を設定許可 （読むと “1” が読めます） 1：BC[2:0] ビットを保護
2 ～ 0	BC[2:0]	ビットカウンタ b2 b0 0 0 0：9 ビット 0 0 1：2 ビット 0 1 0：3 ビット 0 1 1：4 ビット 1 0 0：5 ビット 1 0 1：6 ビット 1 1 0：7 ビット 1 1 1：8 ビット

注 1. BC[2:0] ビットを書き換える場合は、同時に BCWP ビットに “0” を書いてください。

BC[2:0] ビット（ビットカウンタ）

SCL ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数＋ 1 を指定し（データにアクノリッジ 1 ビットが付加されて転送される）、転送フレーム間で行ってください。また、000_B 以外の値を設定する場合は、SCL ラインが Low の 状態で行ってください。

[“0” になる条件]

- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき
- アクノリッジを含むデータ転送が終了したとき
- スタートコンディション検出（リスタートコンディション含む）したとき

19.3.5 RIICnMR2 — I²C バスモードレジスタ 2

アクセス RIICnMR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR2L、RIICnMR2H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR2LL、RIICnMR2LH、RIICnMR2HL、RIICnMR2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnMR2: <RIICn_base> + $000C_H$

RIICnMR2L: <RIICn_base> + $000C_H$、RIICnMR2H: <RIICn_base> + $000E_H$

RIICnMR2LL: <RIICn_base> + $000C_H$、RIICnMR2LH: <RIICn_base> + $000D_H$、
RIICnMR2HL: <RIICn_base> + $000E_H$、RIICnMR2HH: <RIICn_base> + $000F_H$

リセット後の値 $0000\ 0006_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 19.13 RIICnMR2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	DLCS	SDA 出力遅延クロックソース選択ビット 0：SDA 出力遅延カウンタのクロックソースに内部基準クロック（IICφ）を選択 1：SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周（IICφ/2）を選択[注 1]
6 ～ 4	SDDL[2:0]	SDA 出力遅延カウンタ • RIICnMR2.DLCS ＝ 0（IICφ）のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφ の 1 サイクル 0 1 0：IICφ の 2 サイクル 0 1 1：IICφ の 3 サイクル 1 0 0：IICφ の 4 サイクル 1 0 1：IICφ の 5 サイクル 1 1 0：IICφ の 6 サイクル 1 1 1：IICφ の 7 サイクル • RIICnMR2.DLCS = 1（IICφ/2）のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφ の 1 ～ 2 サイクル 0 1 0：IICφ の 3 ～ 4 サイクル 0 1 1：IICφ の 5 ～ 6 サイクル 1 0 0：IICφ の 7 ～ 8 サイクル 1 0 1：IICφ の 9 ～ 10 サイクル 1 1 0：IICφ の 11 ～ 12 サイクル 1 1 1：IICφ の 13 ～ 14 サイクル
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOH	タイムアウト H カウント制御ビット 0：SCL ラインが High 期間中のカウント禁止 1：SCL ラインが High 期間中のカウント有効

表 19.13 RIICnMR2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	TMOL	タイムアウト L カウント制御ビット 0：SCL ラインが Low 期間中のカウント禁止 1：SCL ラインが Low 期間中のカウント有効
0	TMOS	タイムアウト検出時間選択ビット 0：ロングモードを選択 1：ショートモードを選択

注 1. SCL = Low のときのみ DLCS = 1（IICφ/2）の設定が有効になります。SCL = High のとき DLCS = 1 の設定は無効となり内部基準クロック（IICφ）となります。

TMOS ビット（タイムアウト検出時間選択ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット = 1）にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCL ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック（IICφ）をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、**「19.13.1 タイムアウト検出機能」**を参照してください。

TMOL ビット（タイムアウト L カウント制御ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット = 1）に SCL ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット（タイムアウト H カウント制御ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット = 1）に SCL ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

SDDL[2:0] ビット（SDA 出力遅延カウンタ）

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、**「19.7 SDA 出力遅延機能」**を参照してください。

注 意

SDA 出力遅延の設定は、I²C バス規格（データ有効時間／アクノリッジ有効時間[注1] 内）に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注 1. データ有効時間／アクノリッジ有効時間
3,450ns（～ 100kbps：スタンダードモード [Sm]）
900ns（～ 400kbps：ファストモード [Fm]）

19.3.6 RIICnMR3 — I²C バスモードレジスタ 3

アクセス RIICnMR3 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR3L、RIICnMR3H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR3LL、RIICnMR3LH、RIICnMR3HL、RIICnMR3HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnMR3: <RIICn_base> + 0010_H

RIICnMR3L: <RIICn_base> + 0010_H、RIICnMR3H: <RIICn_base> + 0012_H

RIICnMR3LL: <RIICn_base> + 0010_H、RIICnMR3LH: <RIICn_base> + 0011_H、
RIICnMR3HL: <RIICn_base> + 0012_H、RIICnMR3HH: <RIICn_base> + 0013_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W

表 19.14 RIICnMR3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	WAIT 注 2	WAIT ビット 0：WAIT なし （9 クロック目と 1 クロック目の間を Low にホールドしない） 1：WAIT あり （9 クロック目と 1 クロック目の間を Low にホールドする） Low ホールドは RIICnDRR レジスタの読み出しで解除
5	RDRFS 注 2	RDRF フラグセットタイミング選択ビット 0：SCL クロックの 9 クロック目の立ち上がり時に “1” になる （8 クロック目の立ち下がりで SCL ラインを Low にホールドしない） 1：SCL クロックの 8 クロック目の立ち上がり時に “1” になる （8 クロック目の立ち下がりで SCL ラインを Low にホールドする） Low ホールドは ACKBT ビットへの書き込みで解除
4	ACKWP 注 1	ACKBT ライトプロテクトビット 0：ACKBT ビットへの書き込み禁止 1：ACKBT ビットへの書き込み許可
3	ACKBT 注 1	送信アクノリッジビット 0：アクノリッジビットに “0” を送出（ACK 送信） 1：アクノリッジビットに “1” を送出（NACK 送信）
2	ACKBR	受信アクノリッジビット 0：アクノリッジビットに “0” を受信（ACK 受信） 1：アクノリッジビットに “1” を受信（NACK 受信）
1、0	NF[1:0]	デジタルノイズフィルタ段数選択ビット b1 b0 0 0：1IICφ 以下のノイズを除去（フィルタは 1 段） 0 1：2IICφ 以下のノイズを除去（フィルタは 2 段） 1 0：3IICφ 以下のノイズを除去（フィルタは 3 段） 1 1：4IICφ 以下のノイズを除去（フィルタは 4 段）

注 1. ACKWP ビットは、ACKBT ビットへの書き込みと同時に “1” にしても、ACKBT ビットに書き込みはできません。

注 2. WAIT ビットおよび RDRFS ビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット（デジタルノイズフィルタ段数選択ビット）

デジタルノイズフィルタの段数を選択します。

注 意

ノイズフィルタで除去するノイズ幅の設定は、SCL ラインの High/Low 幅よりも狭くしてください。（SCL クロックの幅：High 幅または Low 幅のいずれか短い方）－｛1.5 内部基準クロック同期（IICφ）｝と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能により SCL クロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット（受信アクノリッジビット）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1” になる条件]

RIICnCR2.TRS ビットが “1” の状態でアクノリッジビットに “1” を受信したとき

[“0” になる条件]

- RIICnCR2.TRS ビットが “1” の状態でアクノリッジビットに “0” を受信したとき
- RIICnCR1.ICE ビットが“0”の状態でRIICnCR1.IICRST ビットに“1”を書いたとき（RIIC リセット）

ACKBT ビット（送信アクノリッジビット）

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

[“1” になる条件]

ACKWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ACKWP ビットが “1” の状態で ACKWP を読み出した後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.ICE ビットが“0”の状態でRIICnCR1.IICRST ビットに“1”を書いたとき（RIIC リセット）

注 意

ACKBT ビットに書く場合には、ACKWP ビットが “1” の状態で行ってください。ACKWP ビットが “0” の状態で書いた場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット（ACKBT ライトプロテクトビット）

ACKBT ビットへの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択ビット）

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが “0” のとき、8 クロック目の立ち下がりで SCL ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを “1” にします。

RDRFS ビットが “1” のとき、RDRF フラグは 8 クロック目の立ち上がりで “1” にし、8 クロック目の立ち下がりで SCL ラインを Low にホールドします。この SCL ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK（ACKBT ビットが “0”）または NACK（ACKBT ビットが “1”）を送出する処理が可能です。

WAIT ビット（WAIT ビット）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ（RIICnDRR レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが “0” のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに “0” のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが “1” のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、RIICnDRR レジスタの値が読み出されるまでの間 SCL ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注　意

WAIT ビットを “0” にする場合は、RIICnDRR を先に読んでから “0” にしてください。

19.3.7 RIICnFER — I²C バスファンクションイネーブルレジスタ

アクセス RIICnFER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnFERL、RIICnFERH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnFERLL、RIICnFERLH、RIICnFERHL、RIICnFERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnFER: <RIICn_base> + 0014_H

RIICnFERL: <RIICn_base> + 0014_H、RIICnFERH: <RIICn_base> + 0016_H

RIICnFERLL: <RIICn_base> + 0014_H、RIICnFERLH: <RIICn_base> + 0015_H、
RIICnFERHL: <RIICn_base> + 0016_H、RIICnFERHH: <RIICn_base> + 0017_H

リセット後の値 $0000\ 0072_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.15 RIICnFER レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	SCLE	SCL 同期回路有効ビット 0：SCL 同期回路無効 1：SCL 同期回路有効
5	NFE	デジタルノイズフィルタ回路有効ビット 0：デジタルノイズフィルタ回路を使用しない 1：デジタルノイズフィルタ回路を使用する
4	NACKE	NACK 受信転送中断許可ビット 0：NACK 受信時、転送を中断しない（転送中断禁止） 1：NACK 受信時、転送を中断する（転送中断許可）
3	SALE	スレーブアービトレーションロスト検出許可ビット 0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可
2	NALE	NACK 送信アービトレーションロスト検出許可ビット 0：NACK 送信アービトレーションロスト検出禁止 1：NACK 送信アービトレーションロスト検出許可
1	MALE	マスタアービトレーションロスト検出許可ビット 0：マスタのアービトレーションロスト検出禁止 （アービトレーションロスト検出機能を無効にし、アービトレーションロスト　発生による RIICnCR2.MST, TRS ビットの自動クリアを行わない） 1：マスタアービトレーションロスト検出許可 （アービトレーションロスト検出機能を有効にし、アービトレーションロスト　発生による RIICnCR2.MST, TRS ビットの自動クリアを行う） スレーブ送信モードで BBSY フラグ が “1” の状態で、ST ビットに ”1” を書いた場合、TRS ビットはクリアされません。
0	TMOE	タイムアウト検出機能有効ビット 0：タイムアウト検出機能無効 1：タイムアウト検出機能有効

TMOE ビット（タイムアウト検出機能有効ビット）

タイムアウト検出機能の有効／無効を選択します。

タイムアウト検出機能の詳細については、**「19.13.1 タイムアウト検出機能」**を参照してください。

MALE ビット（マスタアービトレーションロスト検出許可ビット）

アービトレーションロスト検出機能の有効／無効を選択します。通常は “1” にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出許可ビット）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在し、それぞれが違うデータを送信してきた場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出許可ビット）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可ビット）

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は “1” にしてください。

NACKE ビットが “1” のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが “0” のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

SCLE ビット（SCL 同期回路有効ビット）

SCL ラインの立ち上がり、立ち下がりに対して、SCL クロックの同期化を行うかどうかを選択します。通常は “1” にしてください。

SCLE ビットを “0”（SCL 同期回路無効）にすると、クロック同期を行いません。この設定の場合、RIIC は SCL ラインの状態に関わらず RIICnBRH および RIICnBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I2C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション、リスタートコンディション、ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き “0” にしないでください。

19.3.8 RIICnSER — I²C バスステータスイネーブルレジスタ

アクセス RIICnSER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSERL、RIICnSERH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSERLL、RIICnSERLH、RIICnSERHL、RIICnSERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnSER: <RIICn_base> + 0018_H

RIICnSERL: <RIICn_base> + 0018_H、RIICnSERH: <RIICn_base> + $001A_H$

RIICnSERLL: <RIICn_base> + 0018_H、RIICnSERLH: <RIICn_base> + 0019_H、
RIICnSERHL: <RIICn_base> + $001A_H$、RIICnSERHH: <RIICn_base> + $001B_H$

リセット後の値 $0000\ 0009_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DIDE	—	GCE	SAR2	SAR1	SAR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W

表 19.16 RIICnSER レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	DIDE	デバイス ID アドレス検出許可ビット 0：デバイス ID アドレス検出は無効 1：デバイス ID アドレス検出は有効
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	GCE	ジェネラルコールアドレス許可ビット 0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効
2	SAR2	スレーブアドレスレジスタ 2 許可ビット 0：RIICnSAR2 の設定値は無効 1：RIICnSAR2 の設定値は有効
1	SAR1	スレーブアドレスレジスタ 1 許可ビット 0：RIICnSAR1 の設定値は無効 1：RIICnSAR1 の設定値は有効
0	SAR0	スレーブアドレスレジスタ 0 許可ビット 0：RIICnSAR0 の設定値は無効 1：RIICnSAR0 の設定値は有効

SARy ビット（スレーブアドレスレジスタ y 許可ビット）（y = 0 ～ 2）

RIICnSARy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARy ビットを “1” にすると、RIICnSARy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARy ビットを “0” にすると、RIICnSARy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCE ビット（ジェネラルコールアドレス許可ビット）

ジェネラルコールアドレス（$0000\ 000_B$ ＋ 0[W]：All“0”）を受信した場合、無視するかどうかを選択します。

GCE ビットが “1” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は RIICnSARy レジスタ（y = 0 ～ 2）で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCE ビットが “0” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出許可ビット）

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームにデバイス ID アドレス（$1111\ 100_B$）を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが “1” の場合、受信した第 1 フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが “0”[W] のとき第 2 フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが “0” の場合、受信した第 1 フレームがデバイス ID アドレスと一致しても無視され、第 1 フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、**「19.9.3 デバイス ID アドレス検出機能」**を参照してください。

19.3.9 RIICnIER — I²C バスインタラプトイネーブルレジスタ

アクセス RIICnIER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnIERL、RIICnIERH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnIERLL、RIICnIERLH、RIICnIERHL、RIICnIERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnIER: <RIICn_base> + $001C_H$

RIICnIERL: <RIICn_base> + $001C_H$、RIICnIERH: <RIICn_base> + $001E_H$

RIICnIERLL: <RIICn_base> + $001C_H$、RIICnIERLH: <RIICn_base> + $001D_H$、
RIICnIERHL: <RIICn_base> + $001E_H$、RIICnIERHH: <RIICn_base> + $001F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.17 RIICnIER レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	TIE	送信データエンプティ割り込み許可ビット 0：送信データエンプティ割り込み（INTIICnTI）の禁止 1：送信データエンプティ割り込み（INTIICnTI）の許可
6	TEIE	送信終了割り込み許可ビット 0：送信終了割り込み（INTIICnTEI）の禁止 1：送信終了割り込み（INTIICnTEI）の許可
5	RIE	受信終了割り込み許可ビット 0：受信終了割り込み（INTIICnRI）の禁止 1：受信終了割り込み（INTIICnRI）の許可
4	NAKIE	NACK 受信割り込み許可ビット 0：NACK 受信割り込み（NAKI）の禁止 1：NACK 受信割り込み（NAKI）の許可
3	SPIE	ストップコンディション検出割り込み許可ビット 0：ストップコンディション検出割り込み（SPI）の禁止 1：ストップコンディション検出割り込み（SPI）の許可
2	STIE	スタートコンディション検出割り込み許可ビット 0：スタートコンディション検出割り込み（STI）の禁止 1：スタートコンディション検出割り込み（STI）の許可
1	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み（ALI）の禁止 1：アービトレーションロスト割り込み（ALI）の許可
0	TMOIE	タイムアウト割り込み許可ビット 0：タイムアウト割り込み（TMOI）の禁止 1：タイムアウト割り込み（TMOI）の許可

TMOIE ビット（タイムアウト割り込み許可ビット）

RIICnSR2.TMOF フラグが “1” のとき、タイムアウト割り込み（TMOI）の許可／禁止を選択します。TMOI 割り込みは、TMOF フラグを “0” にするか、または TMOIE ビットを “0” にすることで解除できます。

ALIE ビット（アービトレーションロスト割り込み許可ビット）

RIICnSR2.AL フラグが “1” のとき、アービトレーションロスト割り込み（ALI）の許可／禁止を選択します。ALI 割り込みは、AL フラグを “0” にするか、または ALIE ビットを “0” にすることで解除できます。

STIE ビット（スタートコンディション検出割り込み許可ビット）

RIICnSR2.START フラグが “1” のとき、スタートコンディション検出割り込み（STI）の許可／禁止を選択します。STI 割り込みは、START フラグを “0” にするか、または STIE ビットを “0” にすることで解除できます。

SPIE ビット（ストップコンディション検出割り込み許可ビット）

RIICnSR2.STOP フラグが “1” のとき、ストップコンディション検出割り込み（SPI）の許可／禁止を選択します。SPI 割り込みは、STOP フラグを “0” にするか、または SPIE ビットを “0” にすることで解除できます。

NAKIE ビット（NACK 受信割り込み許可ビット）

RIICnSR2.NACKF フラグが “1” のとき、NACK 受信割り込み（NAKI）の許可／禁止を選択します。NAKI 割り込みは、NACKF フラグを “0” にするか、または NAKIE ビットを “0” にすることで解除できます。

RIE ビット（受信終了割り込み許可ビット）

RIICnSR2.RDRF フラグが “1” になったときの受信終了割り込み（INTIICnRI）の許可／禁止を選択します。

TEIE ビット（送信終了割り込み許可ビット）

RIICnSR2.TEND フラグが “1” の とき、送信終了割り込み（INTIICnTEI）の許可／禁止を選択します。INTIICnTEI 割り込みは、TEND フラグを “0” にするか、または TEIE ビットを “0” にすることで解除できます。

TIE ビット（送信データエンプティ割り込み許可ビット）

RIICnSR2.TDRE フラグが 1” になったときの送信データエンプティ割り込み（INTIICnTI）の許可／禁止を選択します。

19.3.10 RIICnSR1 — I²C バスステータスレジスタ 1

アクセス RIICnSR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSR1L、RIICnSR1H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSR1LL、RIICnSR1LH、RIICnSR1HL、RIICnSR1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnSR1: <RIICn_base> + 0020_H

RIICnSR1L: <RIICn_base> + 0020_H、RIICnSR1H: <RIICn_base> + 0022_H

RIICnSR1LL: <RIICn_base> + 0020_H、RIICnSR1LH: <RIICn_base> + 0021_H、
RIICnSR1HL: <RIICn_base> + 0022_H、RIICnSR1HH: <RIICn_base> + 0023_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R(/W) 注 1	R	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1

注 1. “0” のみ書けます。

表 19.18 RIICnSR1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	DID	デバイス ID アドレス検出フラグ 0：デバイス ID アドレス未検出 1：デバイス ID アドレス検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	GCA	ジェネラルコールアドレス検出フラグ 0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出
2	AAS2	スレーブアドレス 2 検出フラグ 0：スレーブアドレス 2 未検出 1：スレーブアドレス 2 検出
1	AAS1	スレーブアドレス 1 検出フラグ 0：スレーブアドレス 1 未検出 1：スレーブアドレス 1 検出
0	AAS0	スレーブアドレス 0 検出フラグ 0：スレーブアドレス 0 未検出 1：スレーブアドレス 0 検出

AASy フラグ（スレーブアドレス y 検出フラグ）（y = 0 ～ 2）

[“1” になる条件]

【7 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 0】

RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 1】

RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0_B ＋ RIICnSARy.SVA[9:8] と一致し、それに続くアドレスが RIICnSARy.SVA[7:0] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 0】

RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 1】

- RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0_B ＋ RIICnSARy.SVA[9:8] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0_B ＋ RIICnSARy.SVA[9:8] と一致し、それに続くアドレスが RIICnSARy.SVA[7:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ（ジェネラルコールアドレス検出フラグ）

[“1” になる条件]

- RIICnSER.GCE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000_B ＋ 0[W]）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき

- RIICnSER.GCE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（$0000\ 000_B$ ＋ 0[W]）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ（デバイス ID アドレス検出フラグ）

[“1” になる条件]

- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（$1111\ 100_B$）＋ 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、デバイス ID アドレスが一致した後にリスタートコンディション検出し、さらにデバイス ID アドレス（$1111\ 100_B$）＋ 1[R] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（$1111\ 100_B$）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（$1111\ 100_B$）＋ 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ～ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

19.3.11 RIICnSR2 — I²C バスステータスレジスタ 2

アクセス RIICnSR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSR2L、RIICnSR2H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSR2LL、RIICnSR2LH、RIICnSR2HL、RIICnSR2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnSR2: <RIICn_base> + 0024_H

RIICnSR2L: <RIICn_base> + 0024_H、RIICnSR2H: <RIICn_base> + 0026_H

RIICnSR2LL: <RIICn_base> + 0024_H、RIICnSR2LH: <RIICn_base> + 0025_H、
RIICnSR2HL: <RIICn_base> + 0026_H、RIICnSR2HH: <RIICn_base> + 0027_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1

注 1. “0” のみ書けます。

表 19.19 RIICnSR2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	TDRE	送信データエンプティフラグ 0：RIICnDRT レジスタに送信データあり 1：RIICnDRT レジスタに送信データなし
6	TEND	送信終了フラグ 0：データ送信中 1：データ送信終了
5	RDRF	受信終了フラグ 0：RIICnDRR レジスタに受信データなし 1：RIICnDRR レジスタに受信データあり
4	NACKF	NACK 検出フラグ 0：NACK 未検出 1：NACK 検出
3	STOP	ストップコンディション検出フラグ 0：ストップコンディション未検出 1：ストップコンディション検出
2	START	スタートコンディション検出フラグ 0：スタートコンディション未検出 1：スタートコンディション検出
1	AL	アービトレーションロストフラグ 0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり
0	TMOF	タイムアウト検出フラグ 0：タイムアウト未検出 1：タイムアウト検出

TMOF フラグ（タイムアウト検出フラグ）

SCL ラインの状態が一定期間変化しない場合、タイムアウトを認識して “1” になります。

[“1” になる条件]

タイムアウト検出機能は RIICnFER.TMOE ビットが “1” のとき有効で、以下の期間に SCL ラインの Low 固定または High 固定のバス異常状態を検出します。

- マスタモード（RIICnCR2.MST ビット = 1）で、バスビジー（RIICnCR2.BBSY フラグ = 1）
- スレーブモード（RIICnCR2.MST ビット = 0）で、自スレーブアドレス一致（RIICnSR1 レジスタ ≠ 00_H）かつバスビジー（RIICnCR2.BBSY フラグ = 1）
- スタートコンディション発行要求中（RIICnCR2.ST ビット =1）で、バスフリー（RIICnCR2.BBSY フラグ = 0）

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ（アービトレーションロストフラグ）

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失（アービトレーションロスト）したことを示します。RIIC は送信中に SDA ラインのレベルを監視し、出力データと SDA ラインのレベルが一致しない場合 AL フラグを “1” にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定により受信モード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

[“1” になる条件]

【マスタアービトレーションロスト検出有効時：RIICnFER.MALE ビット＝ 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出）したとき
- RIICnCR2.ST ビットが “1”（スタートコンディション発行要求）の状態でスタートコンディションを検出したとき、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
- RIICnCR2.BBSY フラグが “1” の状態で RIICnCR2.ST ビットが “1”（スタートコンディション発行要求）に設定したとき

【NACK アービトレーションロスト検出有効時：RIICnFER.NALE ビット＝ 1】

受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：RIICnFER.SALE ビット＝ 1】

スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

表 19.20 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

RIICnFER			RIICn SR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	RIICnCR2.ST = 1 の状態でスタートコンディション検出時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
					RIICnCR2.BBSY = 1 の状態で RIICnCR2.ST = 1 にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x：Don’t care

START フラグ（スタートコンディション検出フラグ）

[“1” になる条件]

スタートコンディション（リスタートコンディション含む）を検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

[“1” になる条件]

ストップコンディションを検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ（NACK 検出フラグ）

[“1” になる条件]

RIICnFER.NACKE ビットが “1”（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジがなかった（NACK を受信した）とき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 意

NACKF フラグが “1” になると RIIC は通信動作を中断します。NACKF フラグが “1” の状態で送信モード時に RIICnDRT レジスタへの書き込みや、受信モード時に RIICnDRR レジスタの読み出しを行っても、送信／受信動作は行われません。通信動作を再開する場合は NACKF フラグを “0” にしてください。

RDRF フラグ（受信終了フラグ）

[“1” になる条件]

- RIICnDRS レジスタから RIICnDRR レジスタに受信データが転送されたとき、RIICnMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がり
- スタートコンディション（リスタートコンディション含む）検出後、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、RIICnCR2.TRS ビットが “0” になったとき
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” で、マスタ受信モードに移行したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnDRR レジスタを読んだとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ（送信終了フラグ）

[“1” になる条件]

TDRE フラグが “1” の状態で、SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ（送信データエンプティフラグ）

[“1” になる条件]

- RIICnDRT レジスタから RIICnDRS レジスタにデータ転送が行われ、RIICnDRT レジスタが空になったとき
- RIICnCR2.TRS ビットが “1” になったとき
  - スタートコンディション検出後、RIICnCR2.MST ビットが “1” になったとき
  - RIICnMR1.MTWP ビットが “1” の状態で、RIICnCR2.TRS ビットに “1” を書いたとき
- スタートコンディション（リスタートコンディション含む）検出後、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、RIICnCR2.TRS ビット

が “1” になったとき

［“0” になる条件］

- RIICnDRT レジスタへデータを書いたとき
- RIICnCR2.TRS ビットが “0” になったとき
  - ストップコンディションを検出したとき
  - 送信モードから受信モードになったとき
  - RIICnMR1.MTWP ビットが “1” の状態で、RIICnCR2.TRS ビットに “0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 意

RIICnFER.NACKE ビットが “1” の状態で NACKF フラグが “1” になると RIIC は通信動作を中断します。このとき、TDRE フラグが “0” の状態（次の送信データが既に書き込まれている状態）の場合、9 クロック目の立ち上がりで RIICnDRS レジスタへのデータ転送が行われ RIICnDRT レジスタが空状態になりますが、TDRE フラグは “1” になりません。

19.3.12 RIICnSARy — I²C スレーブアドレスレジスタ y（y = 0 ～ 2）

アクセス RIICnSARy レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSARyL、RIICnSARyH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSARyLL、RIICnSARyLH、RIICnSARyHL、RIICnSARyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnSAR0: <RIICn_base> + 0028_H

RIICnSAR0L: <RIICn_base> + 0028_H、RIICnSAR0H: <RIICn_base> + $002A_H$

RIICnSAR0LL: <RIICn_base> + 0028_H、RIICnSAR0LH: <RIICn_base> + 0029_H、
RIICnSAR0HL: <RIICn_base> + $002A_H$、RIICnSAR0HH: <RIICn_base> + $002B_H$

RIICnSAR1: <RIICn_base> + $002C_H$

RIICnSAR1L: <RIICn_base> + $002C_H$、RIICnSAR1H: <RIICn_base> + $002E_H$

RIICnSAR1LL: <RIICn_base> + $002C_H$、RIICnSAR1LH: <RIICn_base> + $002D_H$、
RIICnSAR1HL: <RIICn_base> + $002E_H$、RIICnSAR1HH: <RIICn_base> + $002F_H$

RIICnSAR2: <RIICn_base> + 0030_H

RIICnSAR2L: <RIICn_base> + 0030_H、RIICnSAR2H: <RIICn_base> + 0032_H

RIICnSAR2LL: <RIICn_base> + 0030_H、RIICnSAR2LH: <RIICn_base> + 0031_H、
RIICnSAR2HL: <RIICn_base> + 0032_H、RIICnSAR2HH: <RIICn_base> + 0033_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FSy	—	—	—	—	—	SVA[9:1]									SVA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.21 RIICnSARy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	FSy	7 ビット /10 ビットアドレスフォーマット選択ビット 0：7 ビットアドレスフォーマット選択 1：10 ビットアドレスフォーマット選択
14 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ～ 1	SVA[9:1]	7 ビットアドレス /10 ビットアドレス上位ビット スレーブアドレスを設定してください。 • FSy ビット = 0（7 ビットアドレスフォーマット選択）のとき、SVA[7:1] ビットが有効になり、7 ビットスレーブアドレスになる • FSy ビット = 1（10 ビットアドレスフォーマット選択）のとき、SVA[9:1] ビットは SVA0 ビットと合わせて 10 ビットスレーブアドレスになる
0	SVA0	10 ビットアドレス最下位ビット スレーブアドレスを設定してください。 • FSy ビット = 0（7 ビットアドレスフォーマット選択）のとき、SVA0 ビットは無効になる • FSy ビット =1（10 ビットアドレスフォーマット選択）のとき、SVA0 ビットが有効になり、SVA[9:1] ビットと合わせて 10 ビットスレーブアドレスになる

SVA0 ビット（10 ビットアドレス最下位ビット）

10 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット = 1）、10 ビットアドレス最下位ビットとして機能し、SVA[9:1] ビットと合わせて 10 ビットアドレスを設定します。

RIICnSER.SARy ビットが “1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが “1” のとき設定値が有効になり、RIICnSARy.FSy ビットまたは SARy ビットが “0” のとき設定値は無視されます。

SVA[9:1] ビット（7 ビットアドレス /10 ビットアドレス上位ビット）

7 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット = 0）、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット = 1）、SVA0 ビットと合わせて 10 ビットアドレスとして機能します。

RIICnSER.SARy ビットが “0” のとき設定値は無視されます。

FSy ビット（7 ビット /10 ビットアドレスフォーマット選択ビット）

スレーブアドレス y（RIICnSARy レジスタ）を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

RIICnSER.SARy ビットが “1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが “0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、RIICnSARy.SVA[7:1] ビットの設定値が有効になり SVA[9:8] ビットおよび RIICnSARy.SVA0 ビットの設定値は無視されます。

RIICnSER.SARy ビットが “1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが “1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[9:1] ビット、SVA0 ビットの設定値が有効になります。

RIICnSER.SARy ビットが “0”（RIICnSARy レジスタ無効）のとき RIICnSARy.FSy ビットの設定値は無効です。

19.3.13 RIICnBRL — I²C バスビットレートロウレベルレジスタ

アクセス RIICnBRL レジスタは、32 ビット単位でリード／ライト可能です。
RIICnBRLL、RIICnBRLH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnBRLLL、RIICnBRLLH、RIICnBRLHL、RIICnBRLHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnBRL: <RIICn_base> + 0034_H

RIICnBRLL: <RIICn_base> + 0034_H、RIICnBRLH: <RIICn_base> + 0036_H

RIICnBRLLL: <RIICn_base> + 0034_H、RIICnBRLLH: <RIICn_base> + 0035_H、
RIICnBRLHL: <RIICn_base> + 0036_H、RIICnBRLHH: <RIICn_base> + 0037_H

リセット後の値 $0000\ 00FF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	BRL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 19.22 RIICnBRL レジスタの内容

ビット位置	ビット名	機能
31 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 0	BRL[4:0]	ビットレート Low 幅設定ビット SCL クロックの Low 幅の値を設定

RIICnBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また RIICnBRL レジスタは、SCL 自動 Low ホールド発生時（**「19.10 SCL の自動 Low ホールド機能」**参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間以上[注 1] の値を設定してください。

RIICnBRL レジスタは RIICnMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICφ）で Low 幅をカウントします。

注 1. データセットアップ時間（tSU:DAT）
250ns（～ 100kbps：スタンダードモード [Sm]）
100ns（～ 400kbps：ファストモード [Fm]）

19.3.14 RIICnBRH — I²C バスビットレートハイレベルレジスタ

アクセス RIICnBRH レジスタは、32 ビット単位でリード／ライト可能です。
RIICnBRHL、RIICnBRHH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnBRHLL、RIICnBRHLH、RIICnBRHHL、RIICnBRHHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnBRH: <RIICn_base> + 0038_H

RIICnBRHL: <RIICn_base> + 0038_H、RIICnBRHH: <RIICn_base> + $003A_H$

RIICnBRHLL: <RIICn_base> + 0038_H、RIICnBRHLH: <RIICn_base> + 0039_H、
RIICnBRHHL: <RIICn_base> + $003A_H$、RIICnBRHHH:<RIICn_base> + $003B_H$

リセット後の値 $0000\ 00FF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	BRH[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 19.23 RIICnBRH レジスタの内容

ビット位置	ビット名	機能
31 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 0	BRH[4:0]	ビットレート High 幅設定ビット SCL クロックの High 幅の値を設定

RIICnBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

RIICnBRH レジスタは RIICnMR1.CKS[2:0] ビットで選択された内部基準クロックソース（IICφ）で High 幅をカウントします。

I²C 転送速度および SCL クロックのデューティ比は以下の式で表されます。

（1） RIICnFER.SCLE = 0 の場合

転送速度 =1 / {[(RIICnBRH+1) ＋ (RIICnBRL+1)] / IICφ 注 1 ＋ tr ＋ tf}
デューティ比 ={tr+[(RIICnBRH+1)/ IICφ]}/{ tr + tf + [(RIICnBRH+1) + (RIICnBRL+1)]/ IICφ}

（2） RIICnFER.SCLE=1、RIICnFER.NFE=0、IICφ ＝ PCLK の場合

転送速度 =1 / {[(RIICnBRH+3) ＋ (RIICnBRL+3)] / IICφ 注 1 ＋ tr ＋ tf}
デューティ比 ={tr +[(RIICnBRH+3)/ IICφ]}/{ tr + tf + [(RIICnBRH+3) + (RIICnBRL+3)]/ IICφ}

（3） RIICnFER.SCLE=1、RIICnFER.NFE=1、IICφ ＝ PCLK の場合

転送速度 =1 / {[(RIICnBRH+3+nf) ＋ (RIICnBRL+3+nf)] / IICφ 注 1 ＋ tr ＋ tf}
デューティ比 ={tr +[(RIICnBRH+3+nf)/ IICφ]}/{ tr + tf + [(RIICnBRH+3+nf) + (RIICnBRL+3+nf)]/ IICφ}

（4） RIICnFER.SCLE=1、RIICnFER.NFE=0、IICφ ＜ PCLK の場合

転送速度 =1 / {[(RIICnBRH+2) ＋ (RIICnBRL+2)] / IICφ 注 1 ＋ tr ＋ tf}
デューティ比 ={tr +[(RIICnBRH+2)/ IICφ]}/{ tr + tf + [(RIICnBRH+2) + (RIICnBRL+2)]/ IICφ}

（5） RIICnFER.SCLE=1、RIICnFER.NFE=1、IICφ ＜ PCLK の場合

転送速度 =1 / {[(RIICnBRH+2+nf) ＋ (RIICnBRL+2+nf)] / IICφ 注 1 ＋ tr ＋ tf}
デューティ比 ={tr +[(RIICnBRH+2+nf)/ IICφ]}/{ tr + tf + [(RIICnBRH+2+nf) + (RIICnBRL+2+nf)]/ IICφ}

tf : SCL ライン立ち下がり時間 [ns] 注 2
tr : SCL ライン立ち上がり時間 [ns] 注 2
nf : デジタルノイズフィルタ段数
デューティ比 ：0% ＜ デューティ ＜ 100%

注 1. IICφ は「**19.3.4 RIICnMR1 — I²C バスモードレジスタ 1**」の CKS[2:0] を参照してください。

注 2. SCL ライン立ち上がり時間 [tr]、SCL ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

SCL 同期回路未使用時の RIICnBRH、RIICnBRL レジスタの値の設定例を**表 19.24** に示します。

表 19.24 転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例

転送速度 (kbps)	PCLK 周波数（MHz）														
	8					10					12.5				
	CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL	
		SCL クロックの High 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]		SCL クロックの High 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]		SCL クロックの High 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]
10	100_B	22	$F6_H$	25	$F9_H$	101_B	13	ED_H	15	EF_H	101_B	16	$F0_H$	20	$F4_H$
50	010_B	16	$F0_H$	19	$F3_H$	010_B	21	$F5_H$	24	$F8_H$	011_B	12	EC_H	15	EF_H
100	001_B	15	EF_H	18	$F2_H$	001_B	19	$F3_H$	23	$F7_H$	001_B	24	$F8_H$	29	FD_H
400	000_B	4	$E4_H$	10	EA_H	000_B	5	$E5_H$	12	EC_H	000_B	7	$E7_H$	16	$F0_H$

転送速度 (kbps)	PCLK 周波数（MHz）														
	16					20					25				
	CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL	
		SCL クロックの High 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]		SCL クロックの High 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]		SCL クロックの High 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]
10	101_B	22	$F6_H$	25	$F9_H$	110_B	13	ED_H	15	EF_H	110_B	16	$F0_H$	20	$F4_H$
50	011_B	16	$F0_H$	19	$F3_H$	011_B	21	$F5_H$	24	$F8_H$	100_B	12	EC_H	15	EF_H
100	010_B	15	EF_H	18	$F2_H$	010_B	19	$F3_H$	23	$F7_H$	010_B	24	$F8_H$	29	FD_H
400	000_B	9	$E9_H$	20	$F4_H$	000_B	11	EB_H	25	$F9_H$	001_B	7	$E7_H$	16	$F0_H$

転送速度 (kbps)	PCLK 周波数（MHz）									
	30					33				
	CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL	
		SCL クロックの High 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]		SCL クロックの High 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]
10	110_B	20	$F4_H$	24	$F8_H$	110_B	22	$F6_H$	26	FA_H
50	100_B	15	EF_H	18	$F2_H$	100_B	17	$F1_H$	20	$F4_H$
100	011_B	14	EE_H	17	$F1_H$	011_B	16	$F0_H$	19	$F3_H$
400	001_B	8	$E8_H$	19	$F3_H$	001_B	9	$E9_H$	21	$F5_H$

注 意

SCL ラインの立ち上がり時間（tr）を～ 100kbps 以下 [Sm] は 1000ns、～ 400kbps[Fm] は 300ns、SCL ラインの立ち下がり時間（tf）を～ 400kbps 以下 [Sm/Fm] は 300ns として計算した場合の設定例です。
SCL ライン立ち上がり時間（tr）、SCL ライン立ち下がり時間（tf）の規格値については NXP 社の I²C バス規格書を参照してください。

19.3.15 RIICnDRT — I²C バス送信データレジスタ

アクセス RIICnDRT レジスタは、32 ビット単位でリード／ライト可能です。
RIICnDRTL、RIICnDRTH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnDRTLL、RIICnDRTLH、RIICnDRTHL、RIICnDRTHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnDRT: <RIICn_base> + $003C_H$

RIICnDRTL: <RIICn_base> + $003C_H$、RIICnDRTH: <RIICn_base> + $003E_H$

RIICnDRTLL: <RIICn_base> + $003C_H$、RIICnDRTLH: <RIICn_base> + $003D_H$、
RIICnDRTHL: <RIICn_base> + $003E_H$、RIICnDRTHH: <RIICn_base> + $003F_H$

リセット後の値 $0000\ 00FF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I²C バスシフトレジスタ（RIICnDRS）の空きを検出すると、RIICnDRT レジスタに書き込まれた送信データが RIICnDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

RIICnDRT レジスタと RIICnDRS レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ送信中に、次に送信するデータを RIICnDRT レジスタに書いておくと連続送信動作が可能です。

RIICnDRT レジスタは常に読み出し／書き込み可能です。RIICnDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み（INTIICnTI）要求が発生したときに 1 回だけ行ってください。ビット 31 ～ 8 にライトする場合はリセット後の値を書いてください。

19.3.16 RIICnDRR — I²C バス受信データレジスタ

アクセス RIICnDRR レジスタは、32 ビット単位でリードのみ可能です。
RIICnDRRL、RIICnDRRH レジスタは、16 ビット単位でリードのみ可能です。
RIICnDRRLL、RIICnDRRLH、RIICnDRRHL、RIICnDRRHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RIICnDRR: <RIICn_base> + 0040_H

RIICnDRRL: <RIICn_base> + 0040_H、RIICnDRRH: <RIICn_base> + 0042_H

RIICnDRRLL: <RIICn_base> + 0040_H、RIICnDRRLH: <RIICn_base> + 0041_H、
RIICnDRRHL: <RIICn_base> + 0042_H、RIICnDRRHH:<RIICn_base> + 0043_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ（RIICnDRS）から RIICnDRR レジスタへ転送され、次のデータを受信可能にします。

RIICnDRS レジスタと RIICnDRR レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ受信中に、すでに受信したデータを RIICnDRR レジスタから読んでおくと連続受信動作が可能です。

RIICnDRR レジスタに書き込みはできません。RIICnDRR レジスタの読み出しは、受信終了割り込み（INTIICnRI）要求が発生したときに 1 回だけ行ってください。

受信データを RIICnDRR レジスタから読み出ししないまま（RIICnSR2.RDRF フラグが “1” の状態のまま）次の受信データを受け取ると、RIIC は RDRF フラグが次に “1” になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

19.3.17 RIICnDRS — I²C バスシフトレジスタ

アクセス アクセスすることはできません。

アドレス —

リセット後の値 0000 00FF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

RIICnDRS レジスタは、データを送信／受信するためのシフトレジスタです。

送信時は RIICnDRT レジスタから送信データが RIICnDRS レジスタに転送され、SDA 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが RIICnDRS レジスタから RIICnDRR レジスタへ転送されます。

RIICnDRS レジスタは直接アクセスすることはできません。

19.4 割り込み要因

RIIC の割り込み要因には、通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信終了、送信データエンプティ、送信終了の 4 種類があります。

表 19.25 に割り込み一覧を示します。受信終了および送信データエンプティ割り込み要求により、DMAC を起動してデータ転送を行うことができます。

表 19.25 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	割り込み条件
INTIICnTI	送信データエンプティ	TDRE	可能	TDRE = 1 かつ TIE = 1
INTIICnTEI	送信終了	TEND	不可能	TEND = 1 かつ TEIE = 1
INTIICnRI	受信終了	RDRF	可能	RDRF = 1 かつ RIE = 1
INTIICnEE	通信エラー／イベント発生	AL	不可能	AL = 1 かつALIE = 1
		NACKF		NACKF = 1 かつ NAKIE = 1
		TMOF		TMOF = 1 かつ TMOIE = 1
		START		START = 1 かつ STIE = 1
		STOP		STOP = 1 かつ SPIE = 1

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

注 意

1. **CPU から周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。**
2. **INTIICnTI 割り込みはエッジ割り込みのためクリアの必要はありません。また INTIICnTI 割り込みの条件となる RIICnSR2.TDRE フラグは、RIICnDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（RIICnSR2.STOP フラグ =1）で自動的に “0” になります。**
3. **INTIICnRI 割り込みはエッジ割り込みのためクリアの必要はありません。また INTIICnRI 割り込みの条件となる RIICnSR2.RDRF フラグは、RIICnDRR レジスタの読み出しで自動的に “0” になります。**
4. **INTIICnTEI 割り込みを使用する場合、INTIICnTEI 割り込み処理の中で RIICnSR2.TEND フラグをクリアしてください。**
   なお RIICnSR2.TEND フラグは、RIICnDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（RIICnSR2.STOP フラグ = 1）で自動的に “0” になります。

19.5 動作

19.5.1 通信データフォーマット

I2C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 19.3 に I2C バスフォーマットを、**図 19.4** に I2C バスタイミングを示します。

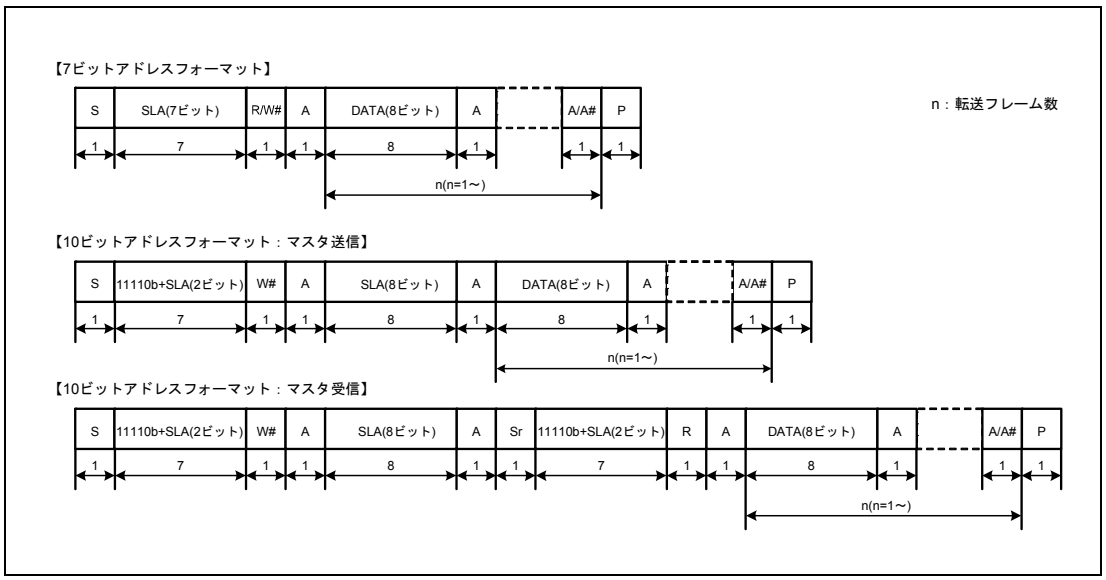


図 19.3 I2C バスフォーマット

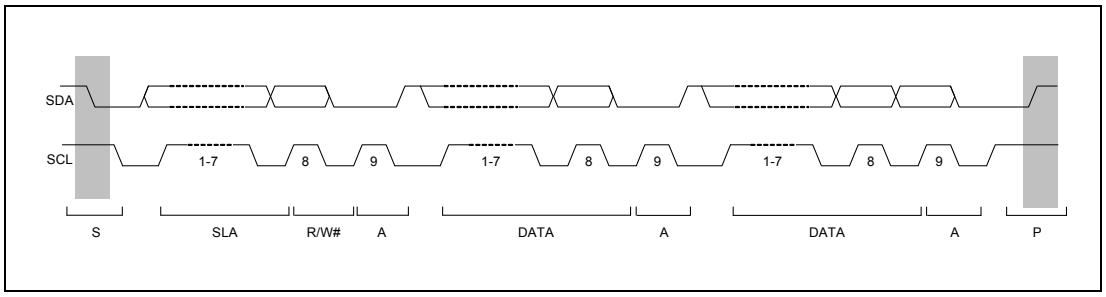


図 19.4 I2C バスタイミング（SLA = 7 ビットの場合）

S ：スタートコンディションを示します。SCL ラインが High の状態の時、マスタデバイスが SDA ラインを High から Low に変化させます。

SLA ：スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W# ：送信／受信の方向を示します。“1” のときスレーブデバイスからマスタデバイスへ、“0” のときマスタデバイスからスレーブデバイスへデータを送信します。

A ：アクノリッジを示します。受信デバイスが SDA ラインを Low にします（マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します）。

A# ：ノットアクノリッジを示します。受信デバイスから応答がない、または受信デバイスが存在せず、SDA ラインが High の状態のままです。

Sr : リスタートコンディションを示します。SCL ラインが High の状態の時、マスタデバイスがセットアップ時間経過後に SDA ラインを High から Low に変化させます。

DATA : 送受信データを示します。

P : ストップコンディションを示します。SCL ラインが High の状態の時、マスタデバイスがセットアップ時間経過後に SDA ラインを Low から High に変化させます。

19.5.2 初期設定

データの送信／受信を開始する場合、**図 19.5** に示す手順に従って RIIC を初期化してください。本初期設定は RIIC 起動時に 1 度設定してください。

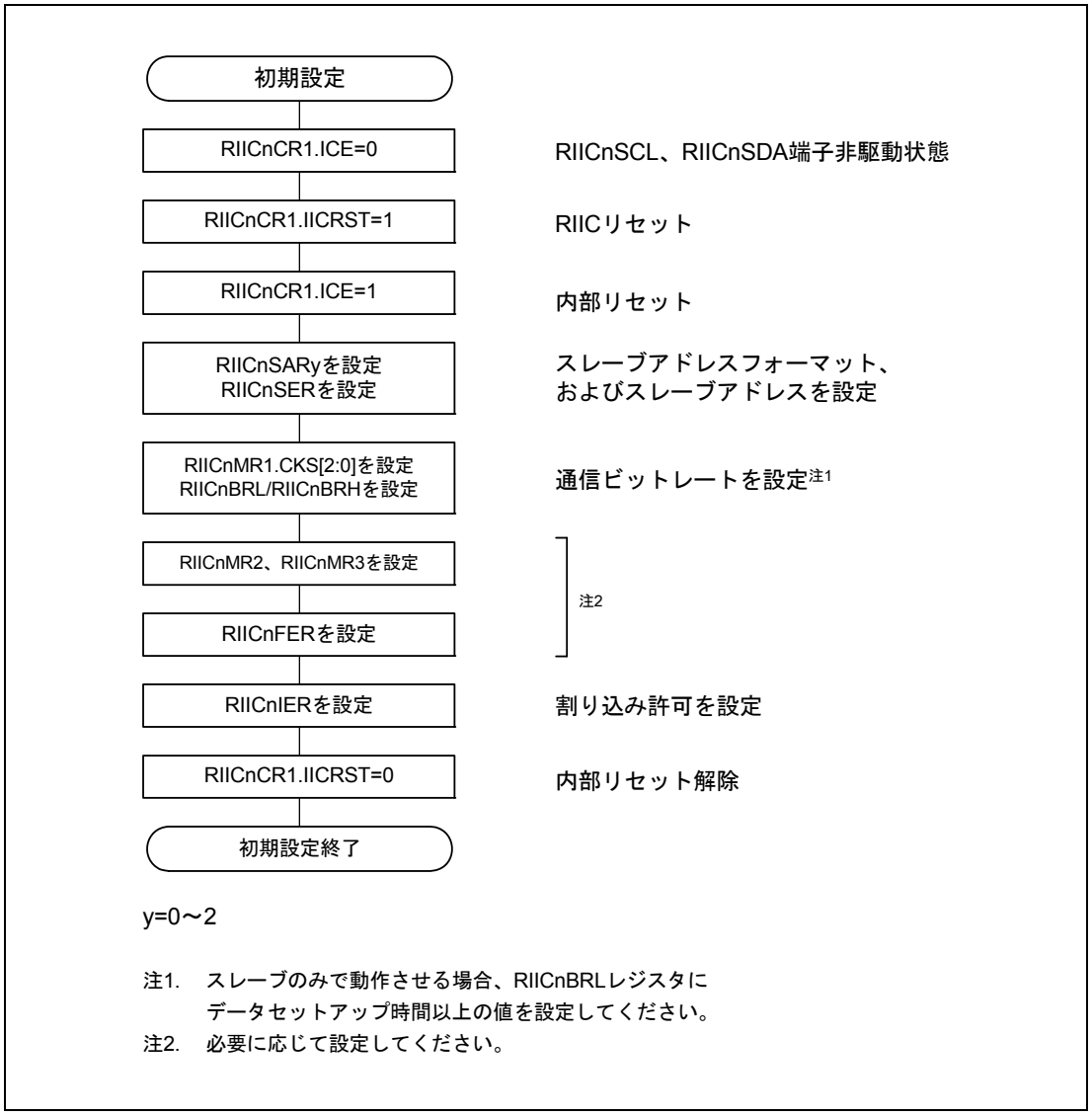


図 19.5 RIIC の初期化フローチャート例

19.5.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。**図 19.6** にマスタ送信の使用例を、**図 19.7** ～ **図 19.9** にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

(1) RIICnCR1.ICE ビットを “0”（RIICnSCL、RIICnSDA 端子非駆動状態）にしたまま RIICnCR1.IICRST ビットを “1”（RIIC リセット）にした後、RIICnCR1.ICE ビットを “1”（内部リセット）にします。これにより RIICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、RIICnSARy、RIICnSER、RIICnMR1、RIICnBRH、RIICnBRL レジスタ (y = 0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については**図 19.5** 参照）。必要なレジスタの設定が終了したら、RIICnCR1.IICRST ビットを “0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) RIICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、RIICnCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、RIICnSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、RIICnCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また RIICnSR2.TDRE は、MST ビット = 1 かつ TRS ビット = 1 により自動的に “1” になります。

(3) RIICnSR2.TDRE フラグが “ 1 ” であることを確認した後、RIICnDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。RIICnDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、RIICnDRT レジスタから RIICnDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は R/W# ビット = 0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき RIICnSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は RIICnCR2.SP ビットに “1” を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で RIICnDRT レジスタに $1111\ 0_B$+ スレーブアドレスの上位 2 ビット＋ W# を書き、2 回目のアドレス送信処理で RIICnDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(4) RIICnSR2.TDRE フラグが “1” であることを確認した後、送信データを RIICnDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL ラインを Low にホールドします。

(5) 送信する全バイトを RIICnDRT レジスタに書いた後、RIICnSR2.TEND フラグが “1” になるまで待ってから RIICnCR2.SP ビットに “1” を書いてください（ストップコンディション発行要求）。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

(6) RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットが自動的に “00_B” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.TDRE, TEND フラグも自動的に “0” になり、RIICnSR2.STOP フラグが “1” になります。

(7) RIICnSR2.STOP フラグが “1” であることを確認した後、次通信のために RIICnSR2.NACKF, STOP フラグを “0” にしてください。

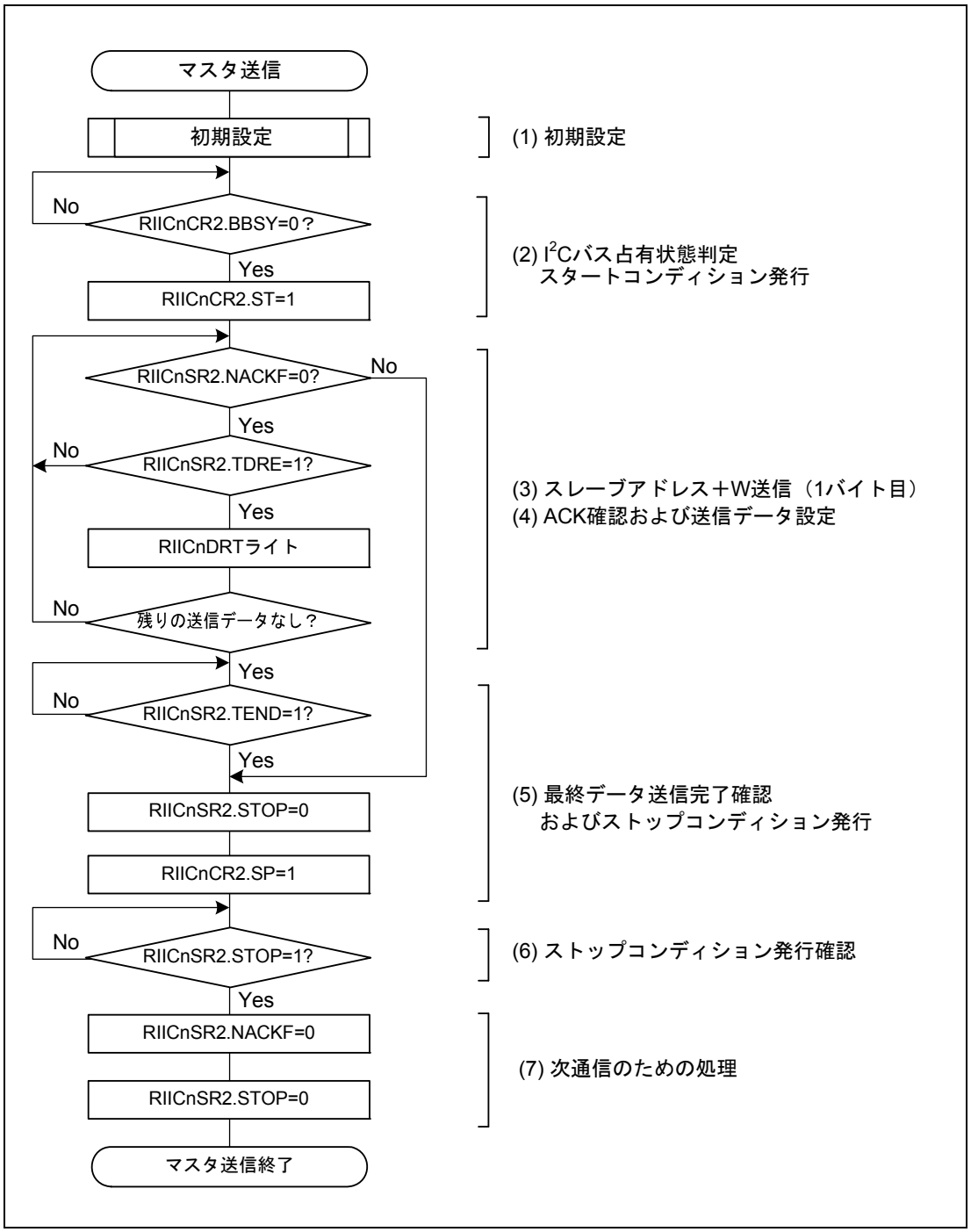


図 19.6 マスタ送信のフローチャート例

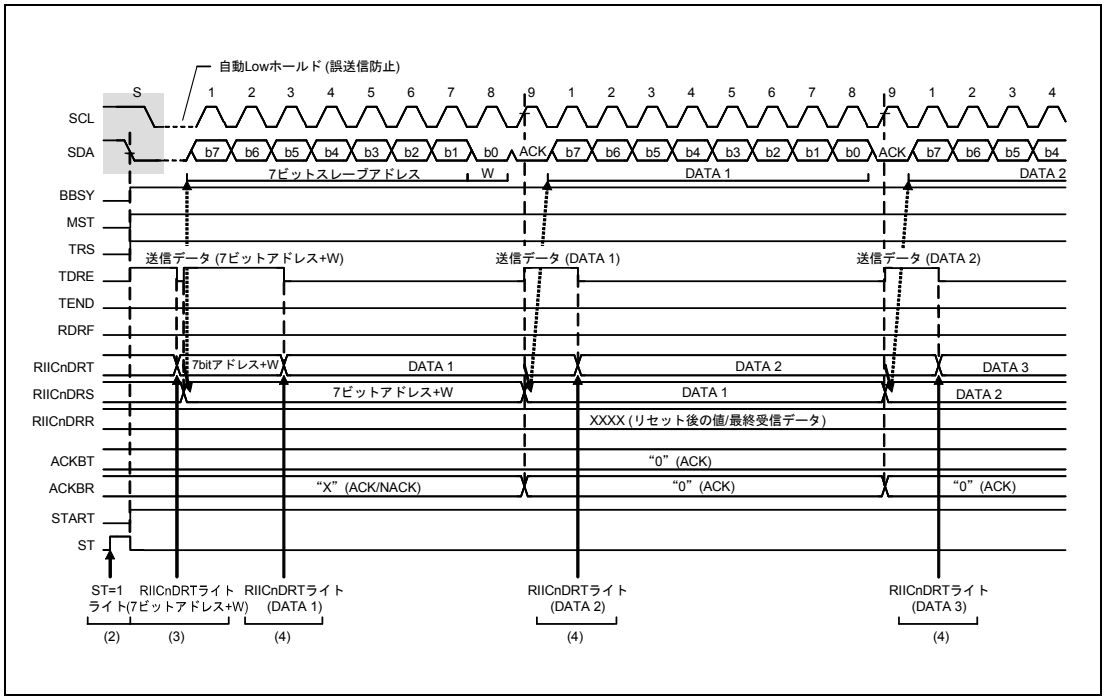


図 19.7 マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

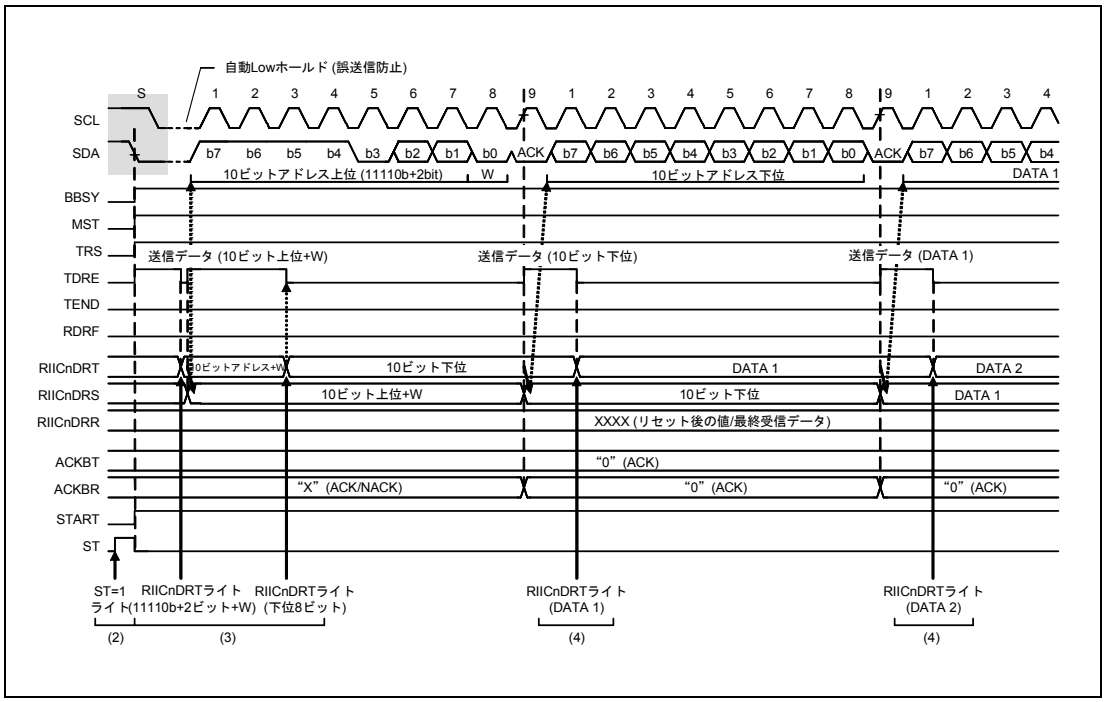


図 19.8 マスタ送信の動作タイミング（2）（10 ビットアドレスフォーマットのとき）

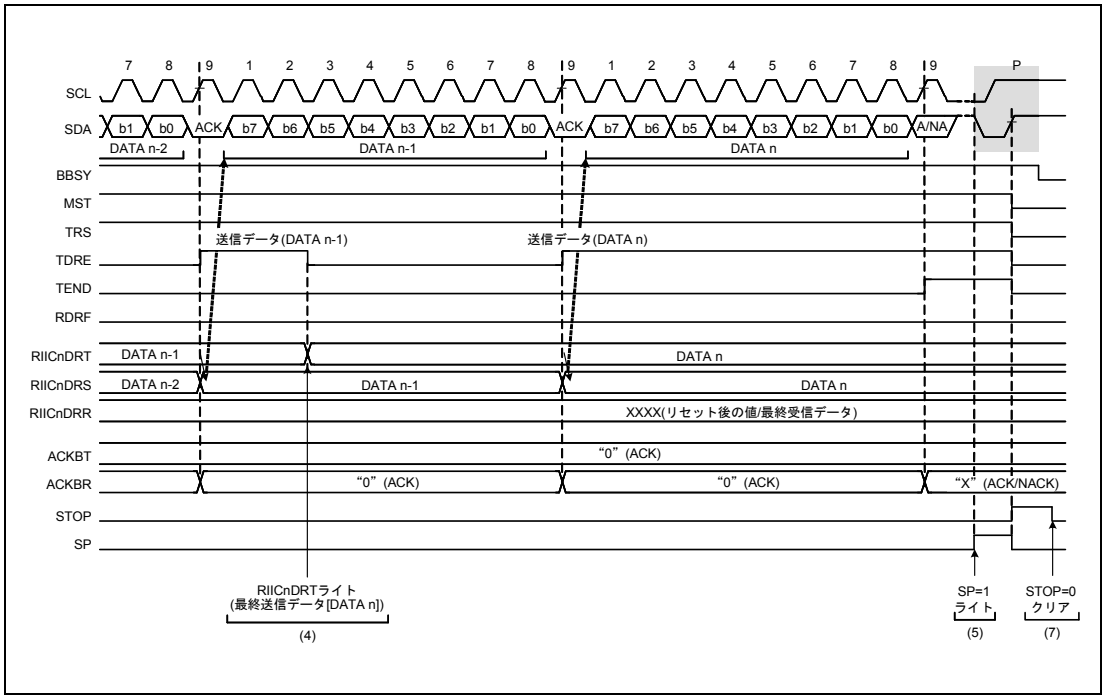


図 19.9 マスタ送信の動作タイミング（3）

19.5.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 19.10 にマスタ受信のフローチャート例（7 ビットアドレスフォーマット、2 バイト以下の場合）、**図 19.11** にマスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）を、**図 19.12** ～**図 19.14** にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

(1) RIICnCR1.ICE ビットを “0”（RIICnSCL、RIICnSDA 端子非駆動状態）にしたまま RIICnCR1.IICRST ビットを “1”（RIIC リセット）にした後、RIICnCR1.ICE ビットを “1”（内部リセット）にします。これにより RIICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、RIICnSARy、RIICnSER、RIICnMR1、RIICnBRH、RIICnBRL レジスタ (y = 0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については**図 19.5** 参照）。必要なレジスタの設定が終了したら、RIICnCR1.IICRST ビットを “0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) RIICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、RIICnCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、RIICnSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、RIICnCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また RIICnSR2.TDRE フラグは、TRS ビット = 1 により自動的に “1” になります。

(3) RIICnSR2.TDRE フラグが “1” であることを確認した後、RIICnDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。RIICnDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、RIICnDRT レジスタから RIICnDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に RIICnCR2.TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は R/W# ビット = 1 を受信すると、9 クロック目の立ち上がりで TRS ビットを “0” にしてマスタ受信モードに移行します。このとき TDRE フラグは “0” に、RIICnSR2.RDRF フラグは自動的に “1” になります。
このとき RIICnSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は RIICnCR2.SP ビットに “1” を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信でスレーブアドレス上位 2 ビットを送信、次にスレーブアドレス下位 8 ビットを送信した後、スレーブアドレス下位 8 ビットの送信終了割り込み発生後（または、TEND = 1 となった後）に、リスタートコンディションを発行します（動作タイミングについては**図 19.13** を参照）。その後、1111 0_B+ スレーブアドレスの上位 2 ビット＋ R を送信することで、マスタ受信モードに移行します。

(4) RIICnSR2.RDRF フラグが “1” であることを確認した後、ダミーで RIICnDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。

(5) 1 バイトのデータ受信が終了し、RIICnMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、RIICnSR2.RDRF フラグが “1” になります。このとき RIICnDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に “0” になります。また SCL クロックの 9 クロック目のアクノリッジビットには、RIICnMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト－ 1 の場合、RIICnDRR レジスタ（最終バイト－ 2 バイト目）を読む前に RIICnMR3.WAIT ビットを “1”（WAIT あり）にしてください。これにより、続く（6）の RIICnMR3.ACKBT ビットを “1”（NACK）にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCL ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

(6) RIICnMR3.RDRFS ビットが “0” でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、RIICnMR3.ACKBT ビットを “1”（NACK）にしてください。

(7) RIICnDRR レジスタ（最終バイト－ 1 バイト目）読み出し後、RIICnSR2.RDRF フラグが “1” であることを確認してから、RIICnCR2.SP ビットに “1” を書いて（ストップコンディション発行要求）、RIICnDRR レジスタ（最終バイト）を読んでください。RIIC は RIICnDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。

(8) RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットは自動的に “00_B” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.STOP フラグが “1” になります。

(9) RIICnSR2.STOP フラグが “1” であることを確認した後、次通信のために RIICnSR2.NACKF, STOP フラグを “0” にしてください。

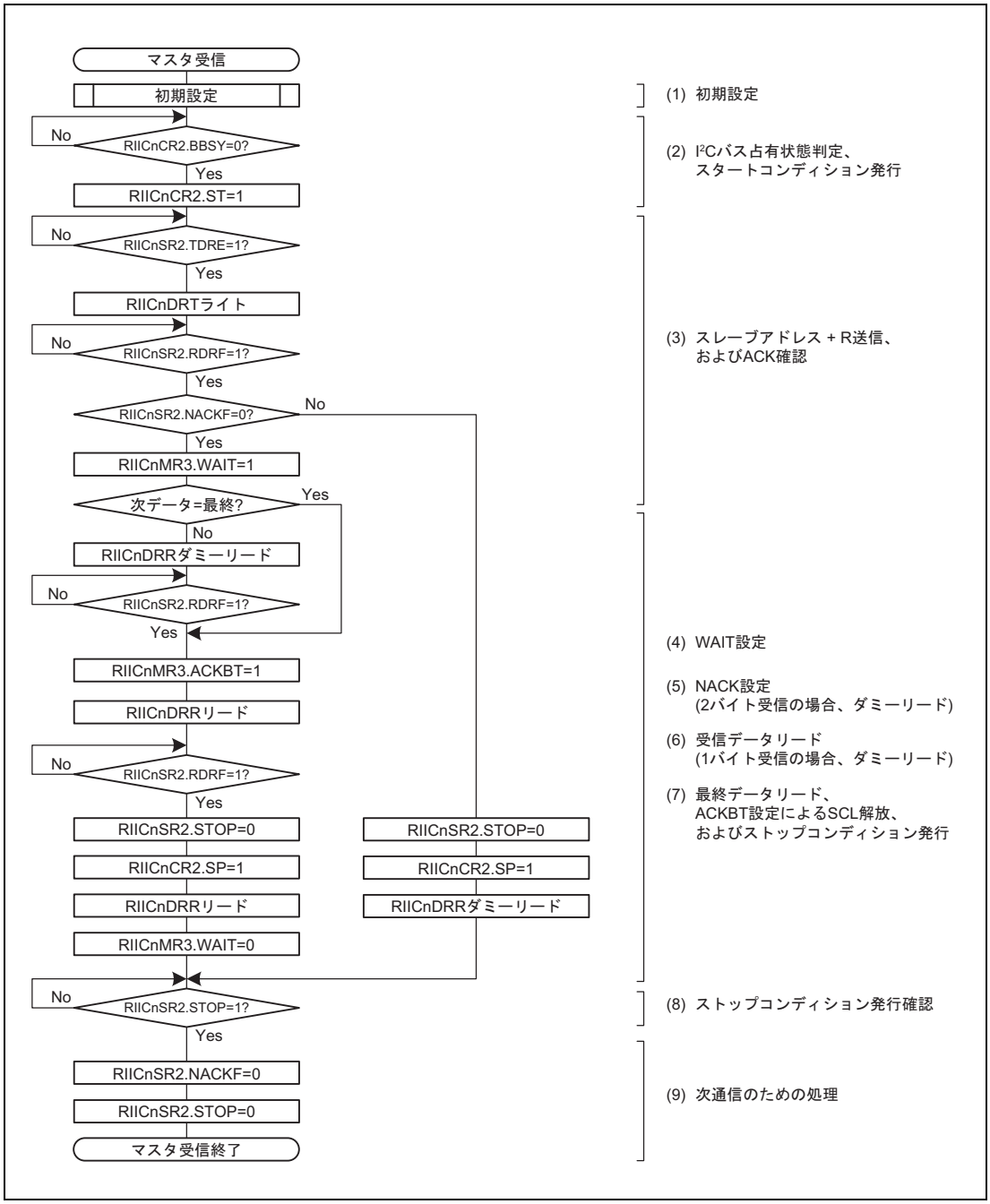


図 19.10 マスタ受信のフローチャート例（7 ビットアドレスフォーマット、2 バイト以下の場合）

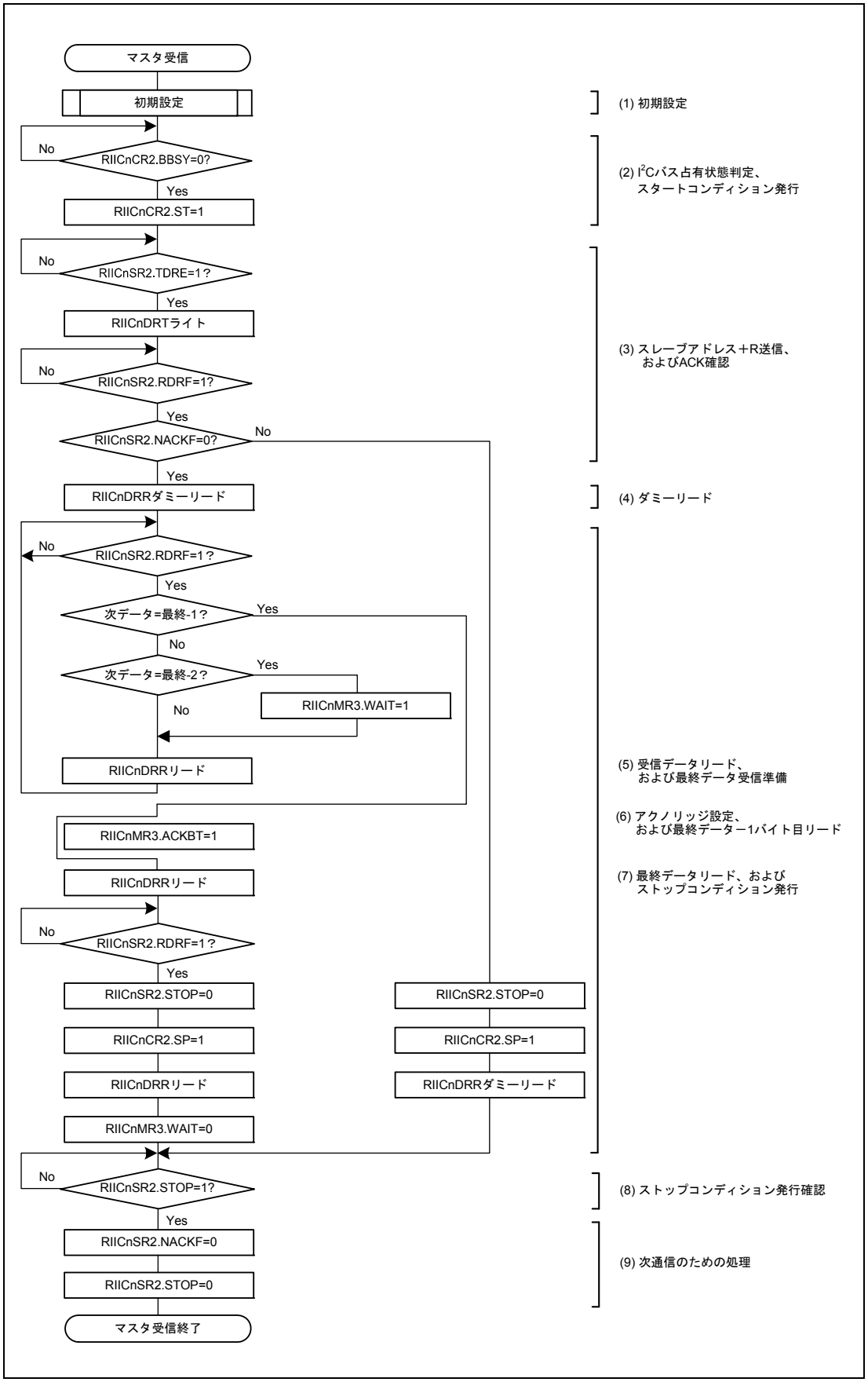


図 19.11 マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）

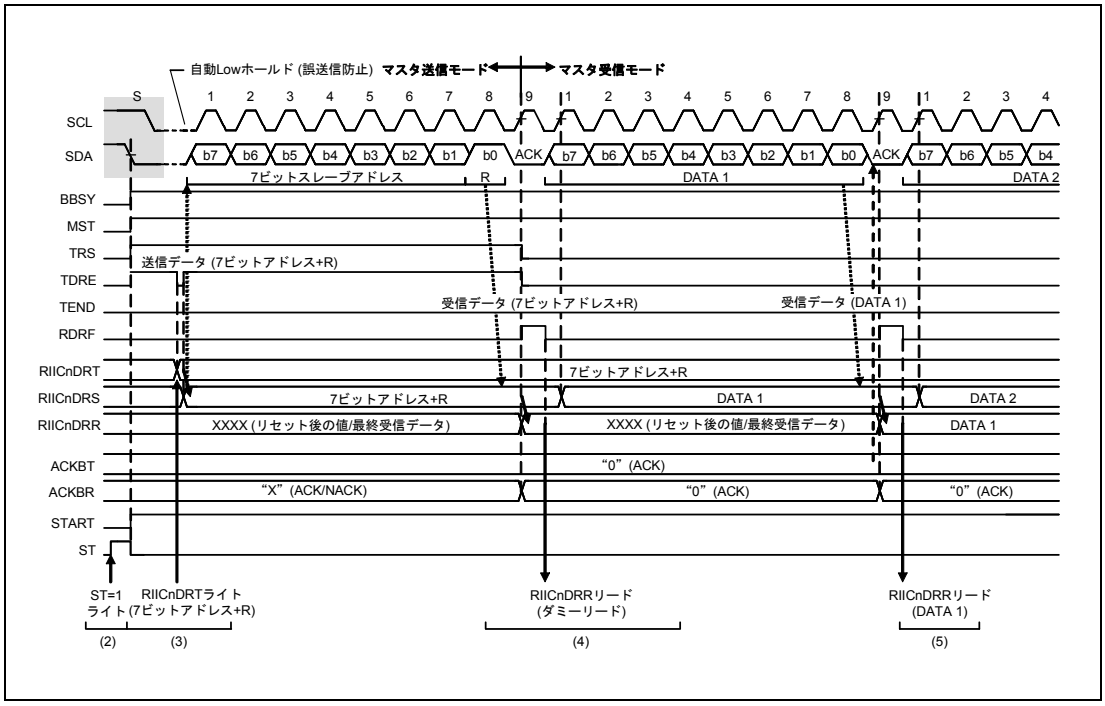


図 19.12 マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS = 0 のとき）

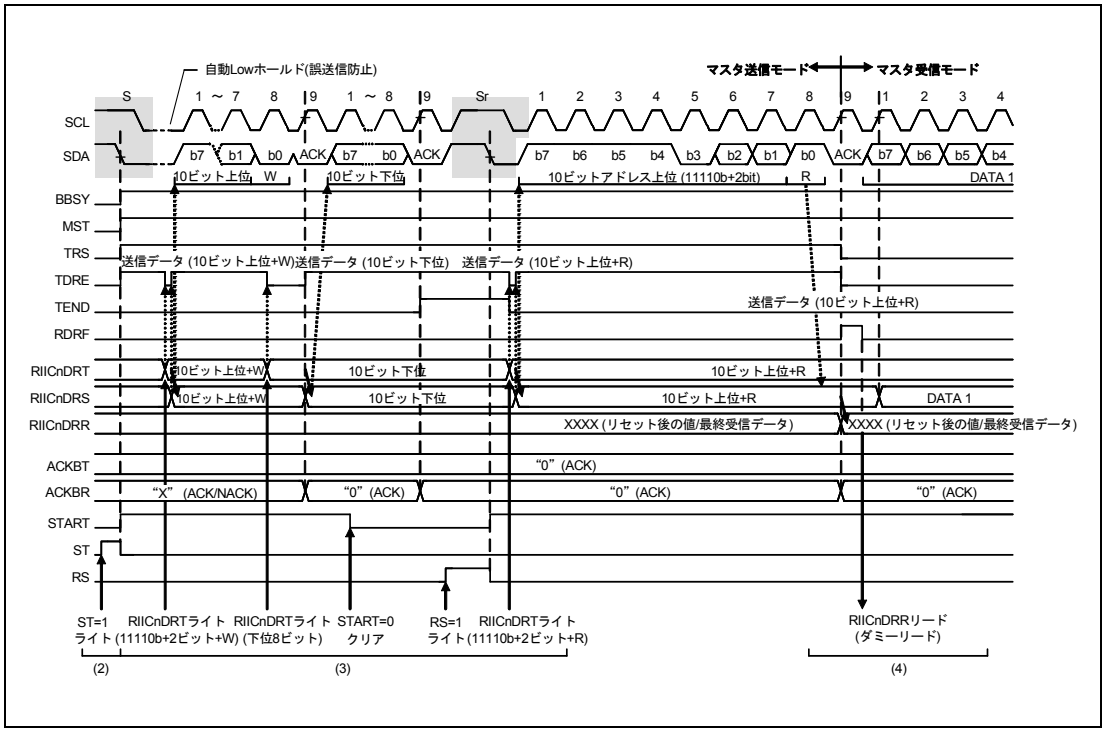


図 19.13 マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS = 0 のとき）

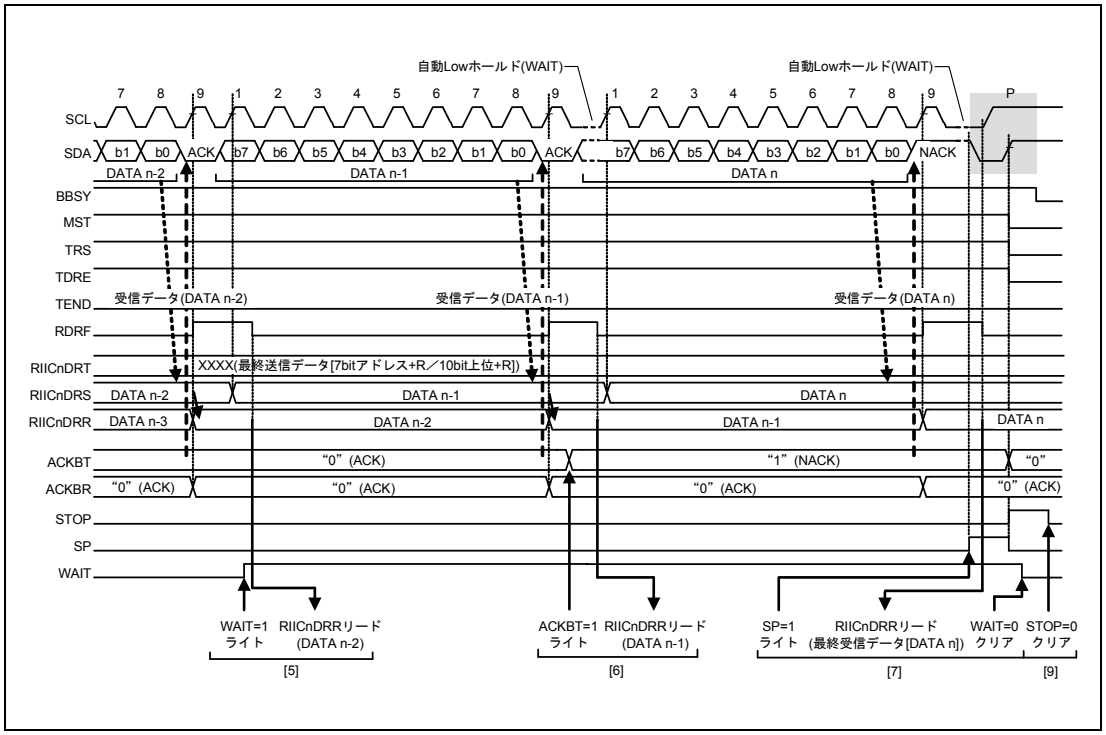


図 19.14 マスタ受信の動作タイミング（3）（RDRFS = 0 のとき）

19.5.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 19.15 にスレーブ送信の使用例を示します。**図 19.16**、**図 19.17** にスレーブ送信のタイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

(1) **図 19.5** に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスタートコンディションを検出する BBSY フラグ、RIICnSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。

(2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.GCA, AASy ビット（y = 0 ～ 2）のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、RIICnCR2.TRS ビットおよび RIICnSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。

(3) RIICnSR2.TDRE フラグが “1” であることを確認した後、RIICnDRT レジスタに送信データを書いてください。このとき、RIICnFER.NACKE ビットが “1” の状態でマスタデバイスからアクノリッジがなかった（NACK を受信した）場合、RIIC は次の通信動作を中断します。

(4) RIICnSR2.NACKF フラグが “1” になるか、または最終送信データを RIICnDRT レジスタに書いた後、RIICnSR2.TDRE フラグが “1” の状態で、RIICnSR2.TEND フラグが “1” になるまで待ってください。RIICnSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCL ラインを Low にホールドします。

(5) RIICnSR2.NACKF フラグが “1” または RIICnSR2.TEND フラグが “1” の場合、終了処理のため RIICnDRR レジスタをダミーで読んでください。これにより SCL ラインを開放します。

(6) RIIC はストップコンディションを検出すると、RIICnSR1.GCA, AASy ビット (y = 0 ～ 2)、RIICnSR2.TDRE、TEND フラグ、RIICnCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。また、ストップコンディション検出により、RIICnSR2.STOP フラグが “1” になります。

(7) RIICnSR2.STOP フラグが “1” であることを確認した後、次通信のために RIICnSR2.NACKF、STOP フラグを “0” にしてください。

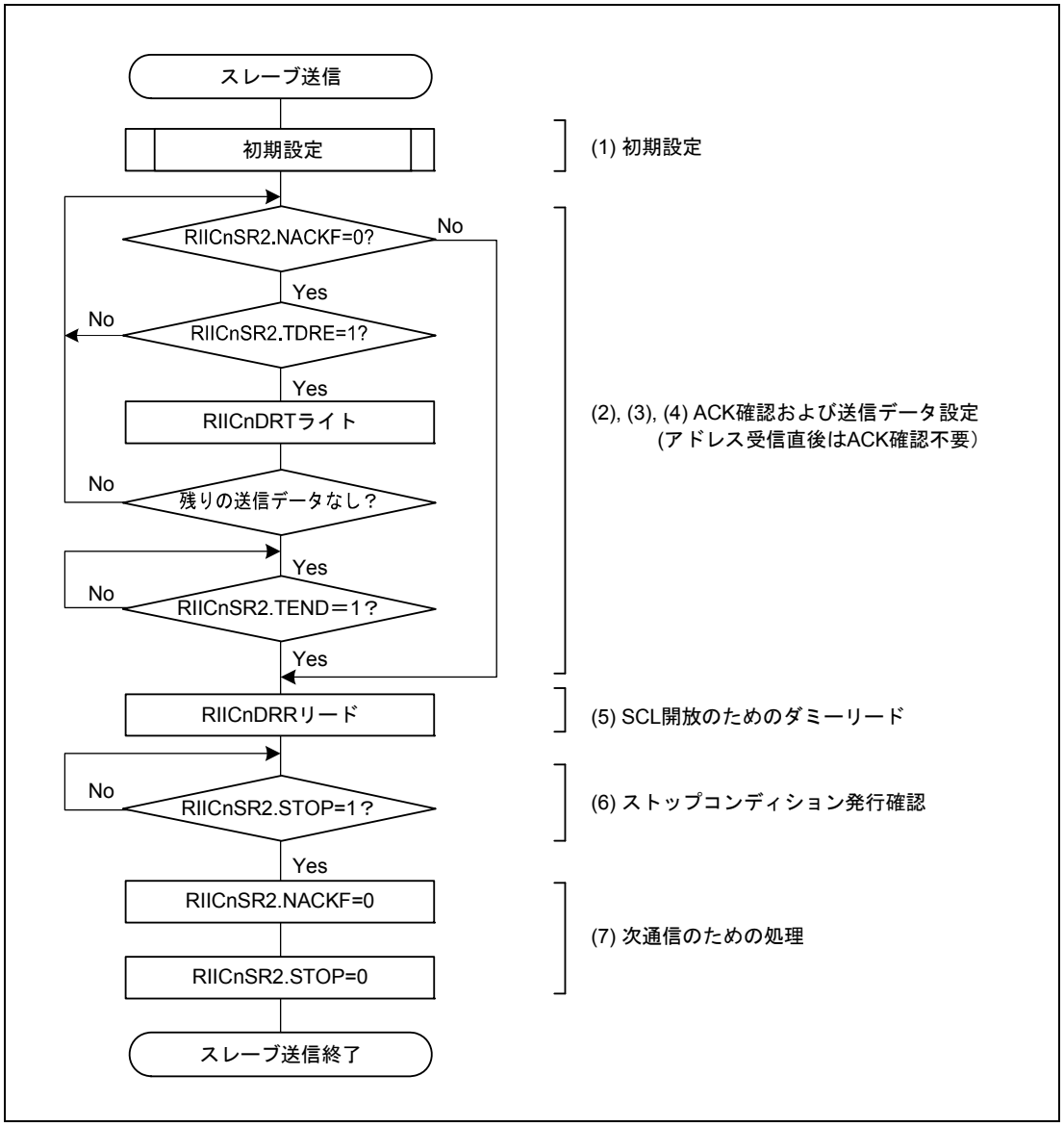


図 19.15 スレーブ送信のフローチャート例

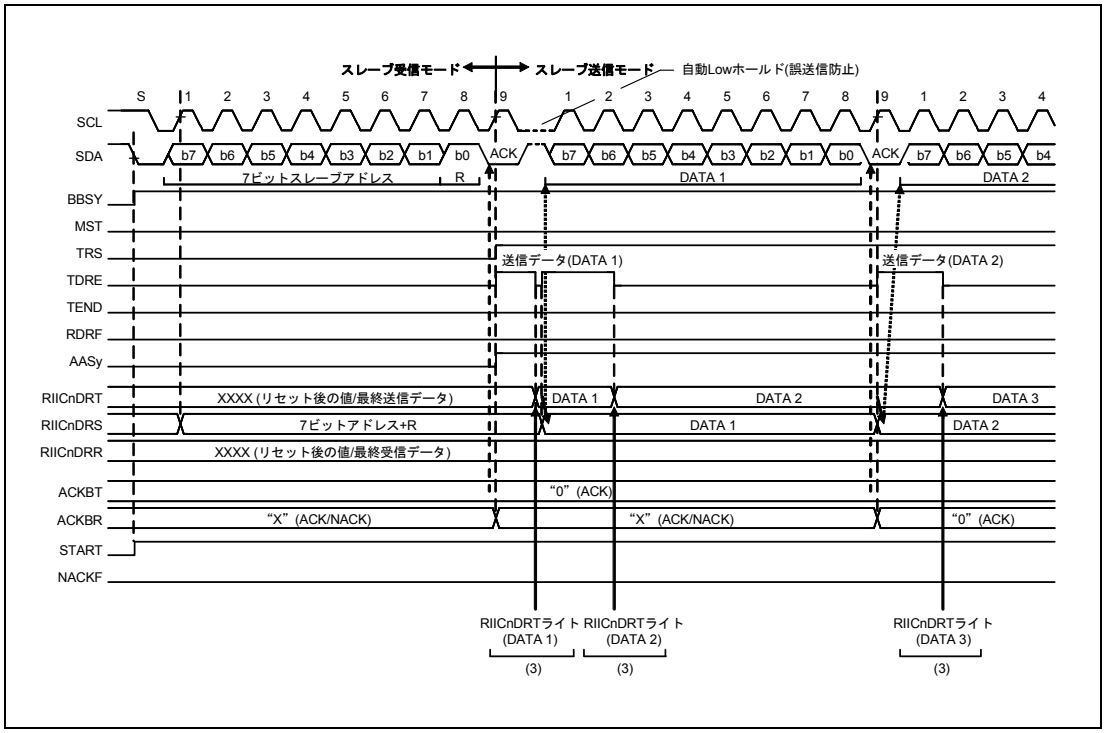


図 19.16 スレーブ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

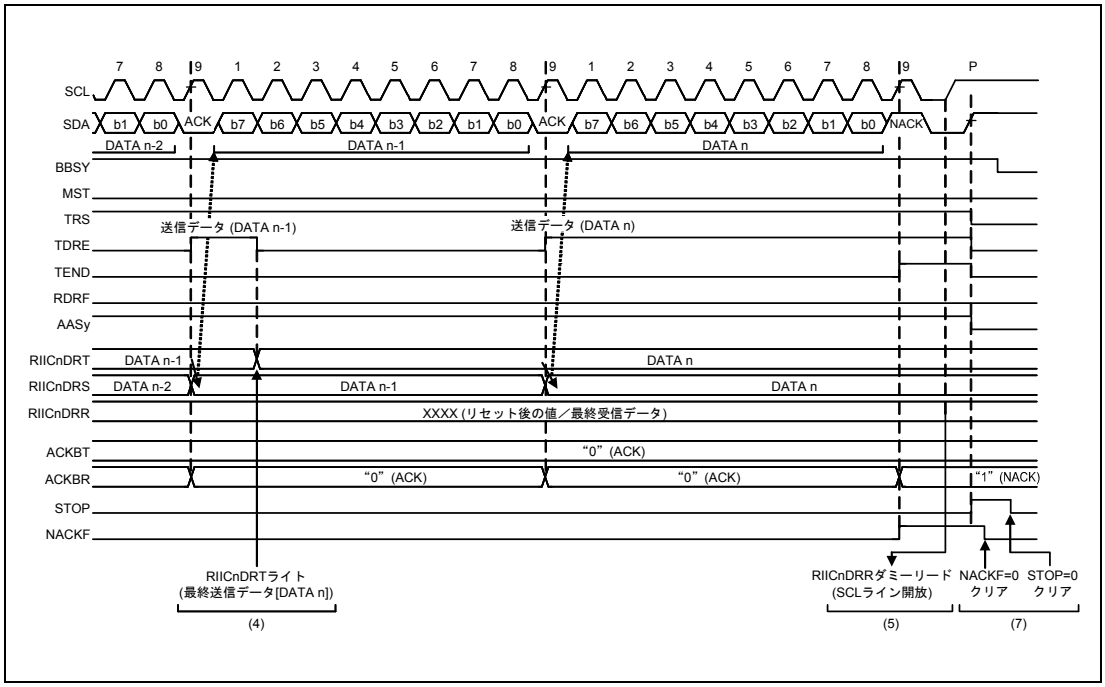


図 19.17 スレーブ送信の動作タイミング（2）

19.5.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 19.18 にスレーブ受信の使用例を、**図 19.19**、**図 19.20** にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

(1) **図 19.5** に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスタートコンディションを検出する BBSY フラグ、RIICnSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。

(2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.GCA, AASy ビット (y = 0 ～ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、RIICnSR2.RDRF フラグを “1” にします。

(3) RIICnSR2.STOP フラグが “0” で、かつ RIICnSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は RIICnDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス＋ R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。

(4) RIICnDRR レジスタを読むと RIIC は RIICnSR2.RDRF フラグを自動的に “0” にします。なお、RIICnDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが " 1” になるタイミングの 1 つ手前の SCL クロック立ち下がりで SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタを読むことで解除され RIIC は SCL ラインを開放します。RIICnSR2.STOP フラグが “1” で、かつ RIICnSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで RIICnDRR レジスタを読んでください。

(5) RIIC はストップコンディションを検出すると、RIICnSR1.GCA, AASy ビット (y = 0 ～ 2) を自動的に “0” にします。また、ストップコンディション検出により、RIICnSR2.STOP フラグが “1” になります。

(6) RIICnSR2.STOP フラグが “1” であることを確認した後、次通信のために RIICnSR2.STOP フラグを “0” にしてください。

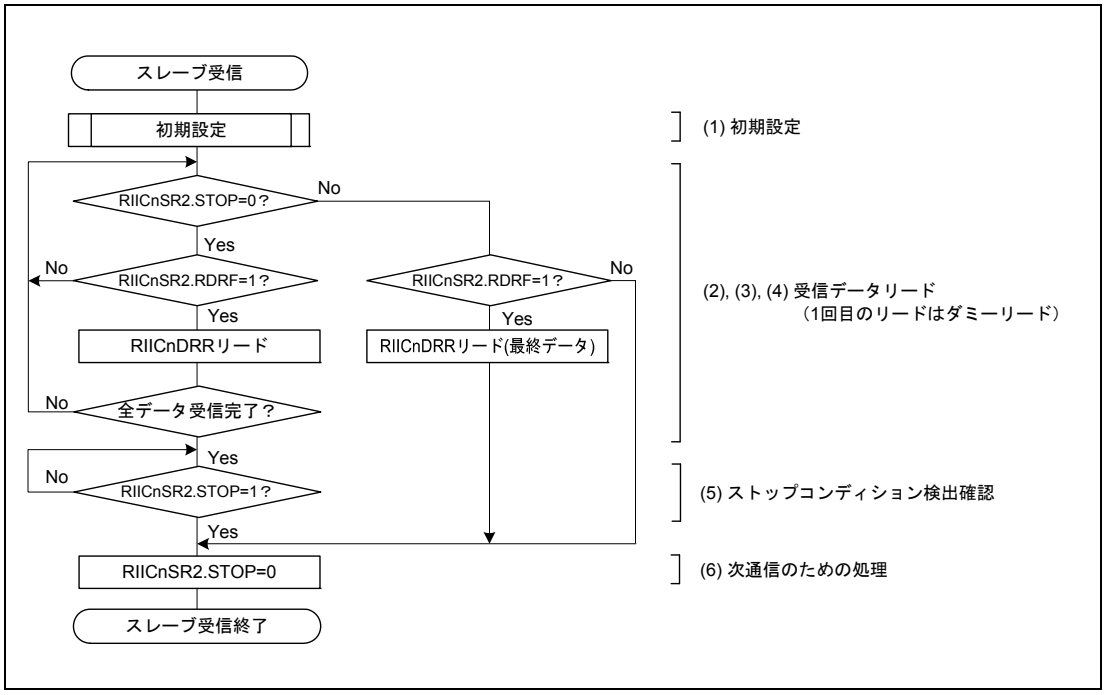


図 19.18 スレーブ受信のフローチャート例

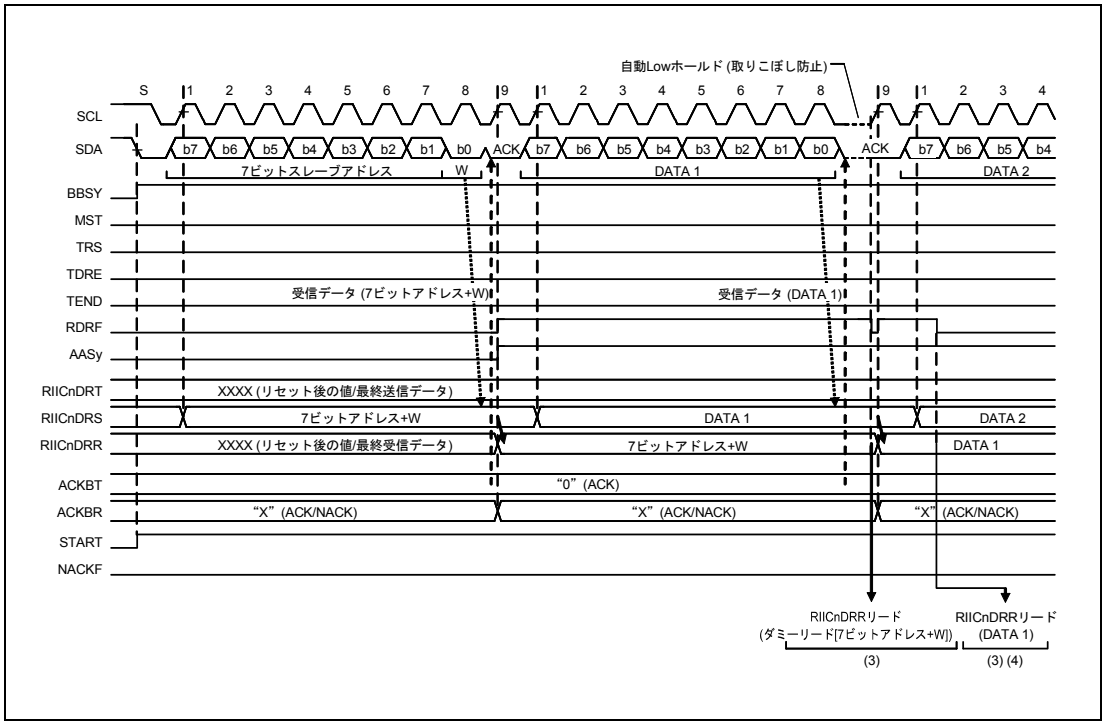


図 19.19 スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS = 0 のとき）

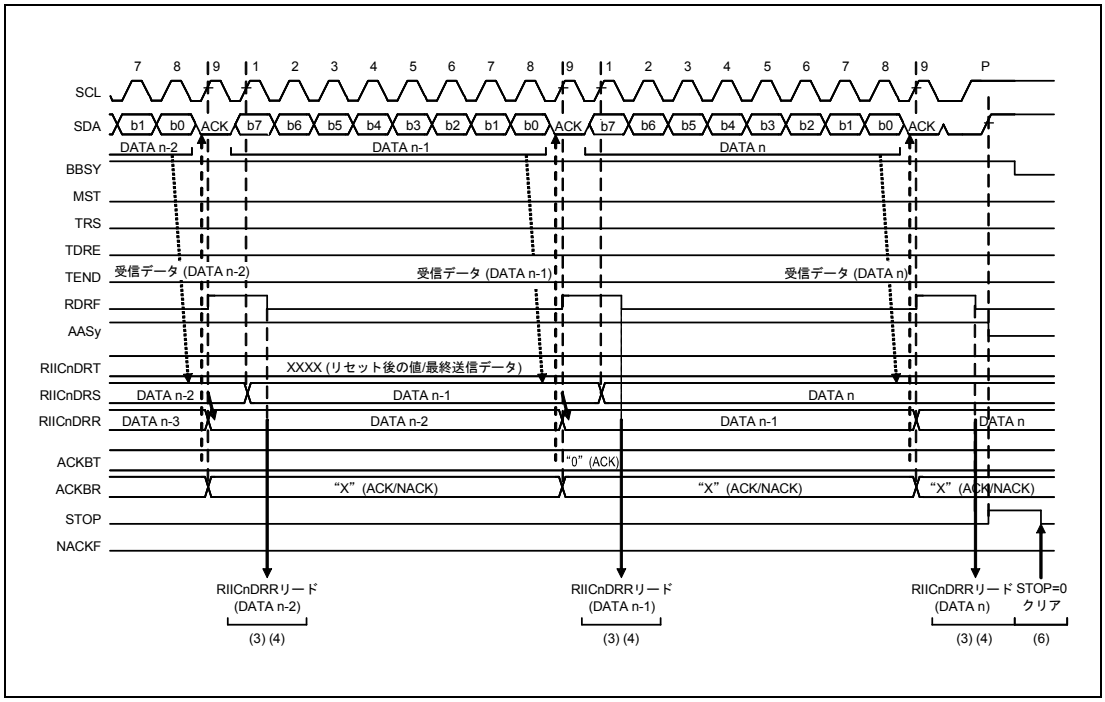


図 19.20 スレーブ受信の動作タイミング（2）（RDRFS = 0 のとき）

19.6 SCL 同期回路

RIIC の SCL クロック生成は SCL ラインの立ち上がりを検出すると、RIICnBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCL ラインを Low にドライブして立ち下げます。また SCL ラインの立ち下がりを検出すると、RIICnBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があり、RIIC は通信時に SCL ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能（SCL 同期回路）を備えています。

RIIC が SCL ラインの立ち上がりを検出し RIICnBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により SCL ラインが立ち下げられた場合、RIIC は SCL ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCL ラインの Low ドライブを行うのと同時に RIICnBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は RIICnFER.SCLE ビットが “1” のとき有効です。

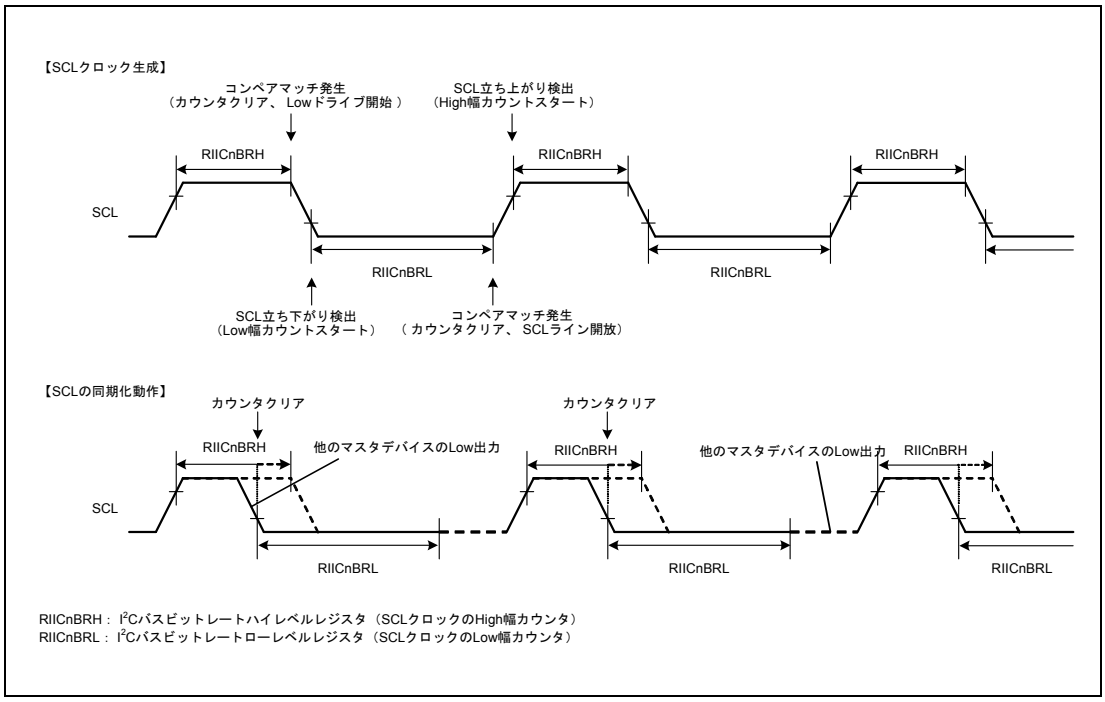


図 19.21 RIIC の SCL クロック生成および SCL 同期化動作

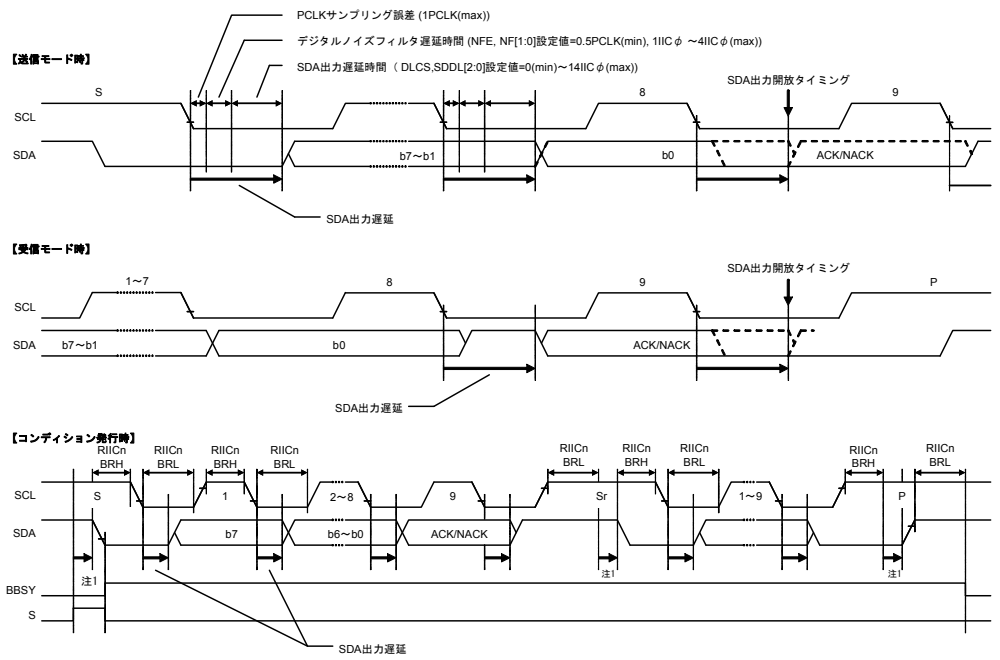
19.7 SDA 出力遅延機能

RIIC には SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（発行動作（スタートコンディション／リスタートコンディション／ストップコンディション）、データ出力、ACK/NACK 出力）を遅延させることができます。

SDA 出力遅延機能は、SCL クロックの立ち下がり検出から SDA 出力を遅延させ、確実に SCL クロックの Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用することができます。

この SDA 出力遅延機能は RIICnMR2.SDDL[2:0] ビットが “000_B” 以外のとき有効で、SDDL[2:0] ビットが “000_B” のとき無効です。

SDA 出力遅延機能が有効（SDDL[2:0] ビットが “000_B” 以外）のとき、SDA 出力遅延カウンタは RIICnMR2.DLCS ビットで選択された内部基準クロック（IICφ）またはその 2 分周クロック（IICφ/2）をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力（発行動作（スタートコンディション／リスタートコンディション／ストップコンディション）、データ出力、ACK/NACK 出力）を行います。



注 1. スタートコンディション (S)、リスタートコンディション (Sr)、ストップコンディション (P) 発行時は SDDL[2:0] 設定値分の遅延

図 19.22 SDA 出力遅延タイミング

19.8 デジタルノイズフィルタ回路

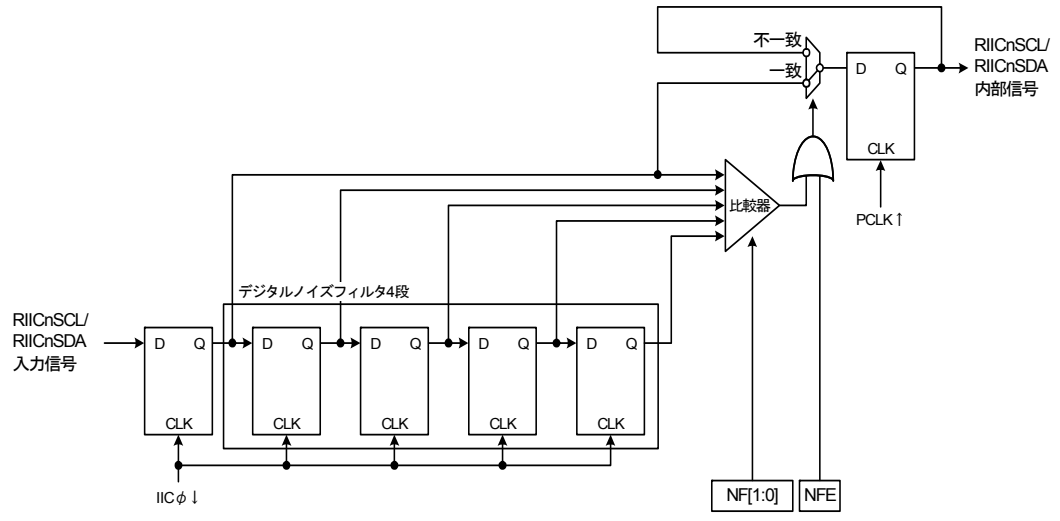
RIICnSCL 端子および RIICnSDA 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込むことが可能です。**図 19.23** にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は RIICnMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IICφ ～ 4IICφ サイクル分となります。

RIICnSCL 端子入力信号（または RIICnSDA 端子入力信号）は IICφ の立ち下がりでサンプリングされ、RIICnMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

内部動作クロック（PCLK）と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止（RIICnFER.NFE ビット = 0）してください。



備考 NFE：デジタルノイズフィルタ回路有効ビット
NF[1:0]：デジタルノイズフィルタ段数選択ビット

図 19.23 デジタルノイズフィルタ回路のブロック図

19.9 アドレス一致検出機能

RIIC はジェネラルコールアドレス、デバイス ID アドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

19.9.1 スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。RIICnSER.SARy ビット (y = 0 ～ 2) が “1” のとき、RIICnSARy レジスタ (y = 0 ～ 2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.AASy フラグ (y = 0 ～ 2) を “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。続く R/W# ビットにより RIICnSR2.RDRF フラグまたは RIICnSR2.TDRE フラグを “1” にします。これにより受信終了割り込み（INTIICnRI）または送信データエンプティ割り込み（INTIICnTI）を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 19.24 ～**図 19.26** に AASy フラグが “1” になるタイミングを示します。

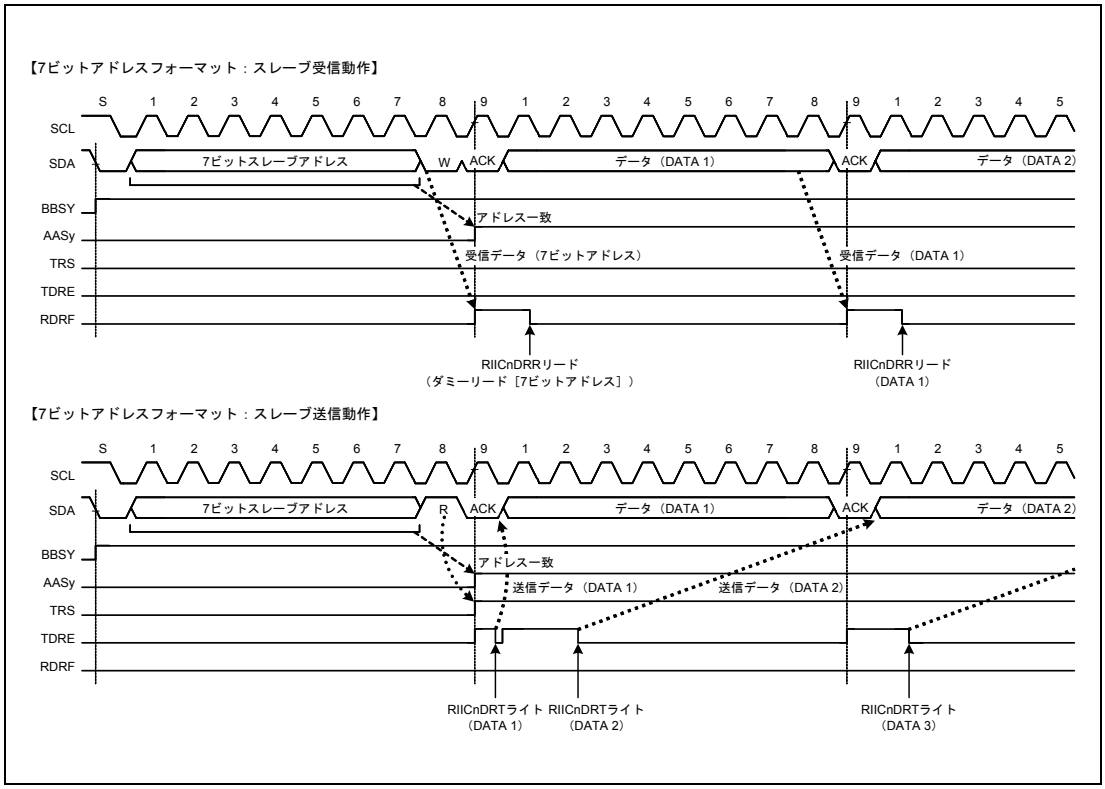


図 19.24　7 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

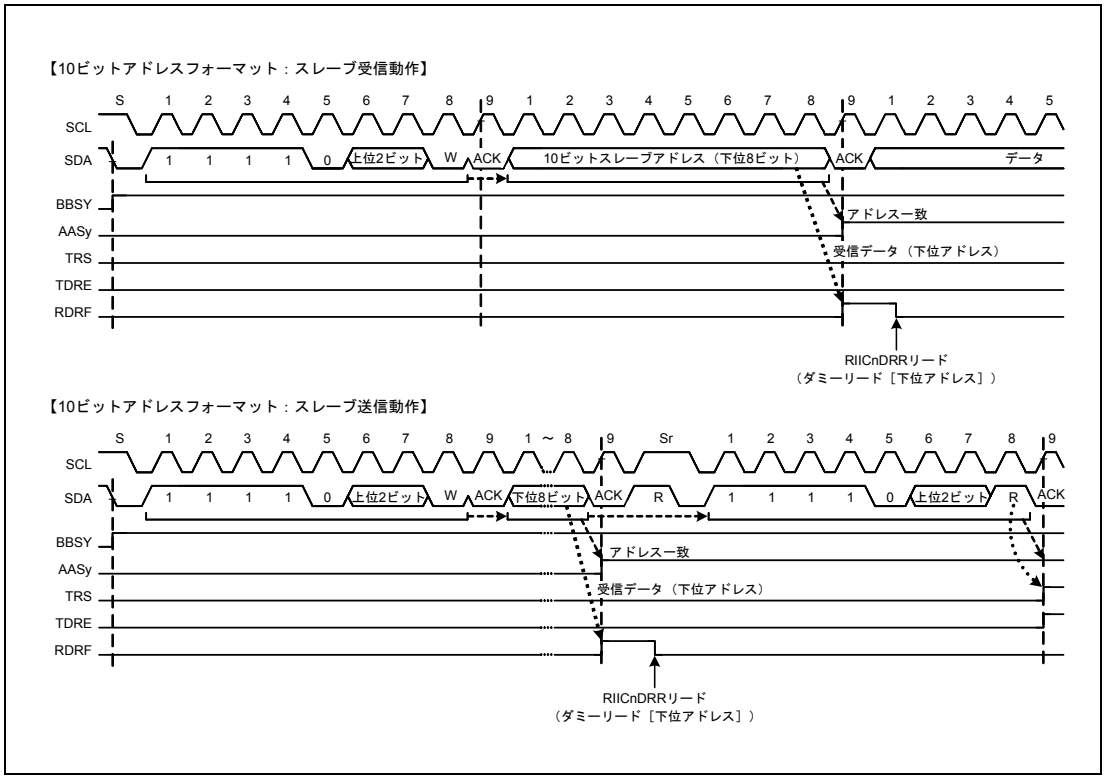


図 19.25 10 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

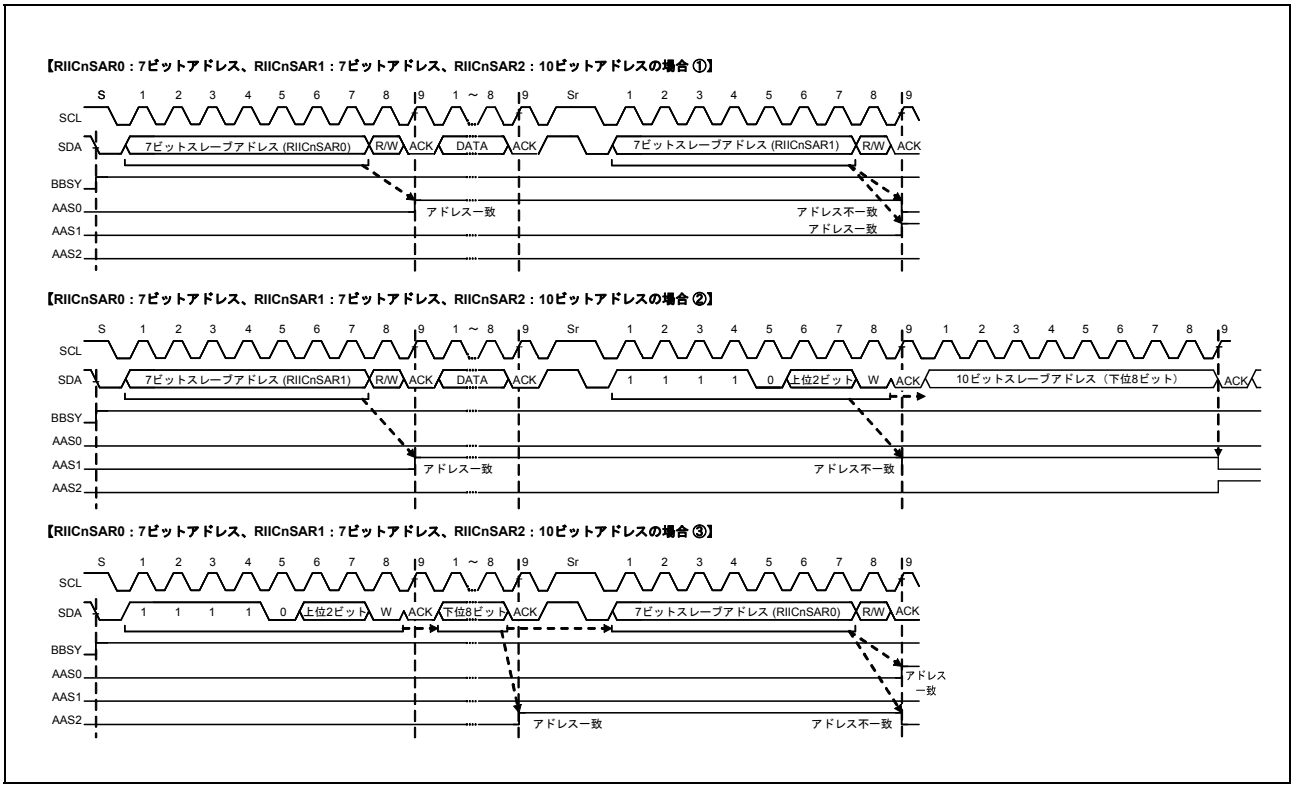


図 19.26 7 ビット /10 ビットアドレスフォーマット混在時に AASy フラグが “1”/“0” になるタイミング

19.9.2 ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス（$0000\ 000_B$ ＋ 0[W]）の検出機能を備えています。RIICnSER.GCE ビットが “1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが $0000\ 000_B$ ＋ 1[R]（スタートバイト）だった場合、RIIC はこのアドレスを All“0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.GCA フラグを “1” にし、同時に RIICnSR2.RDRF フラグを “1” にします。これにより受信終了割り込み（INTIICnRI）を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

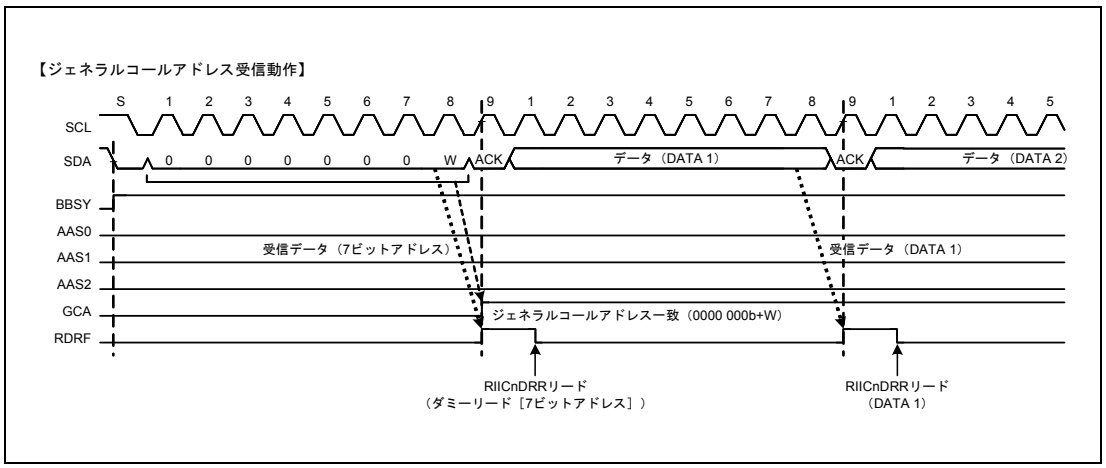


図 19.27 ジェネラルコールアドレス受信時に GCA フラグが “1” になるタイミング

19.9.3 デバイス ID アドレス検出機能

RIIC は I²C バス（Rev.03）に準拠したデバイス ID アドレスの検出機能を備えています。RIICnSER.DIDE ビットを “1” にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100_B を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが “0” のとき SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.DID フラグを “1” にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する RIICnSR1.AASy フラグ (y = 0 ～ 2) が “1” になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス（1111 100_B）と一致し、続く R/W# ビットが “1” のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、RIICnSR2.TDRE フラグを “1” にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを “0” にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス（1111 100_B）と一致し、かつ R/W# ビットが “0” のとき DID フラグを “1” にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが “1” の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE = 1 確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイト分：メーカ [12 ビット] ＋部品識別 [9 ビット] ＋リビジョン [3 ビット]）は、通常の送信データと同様あらかじめ準備してください。詳細については NXP 社の I²C バス規格書を参照してください。

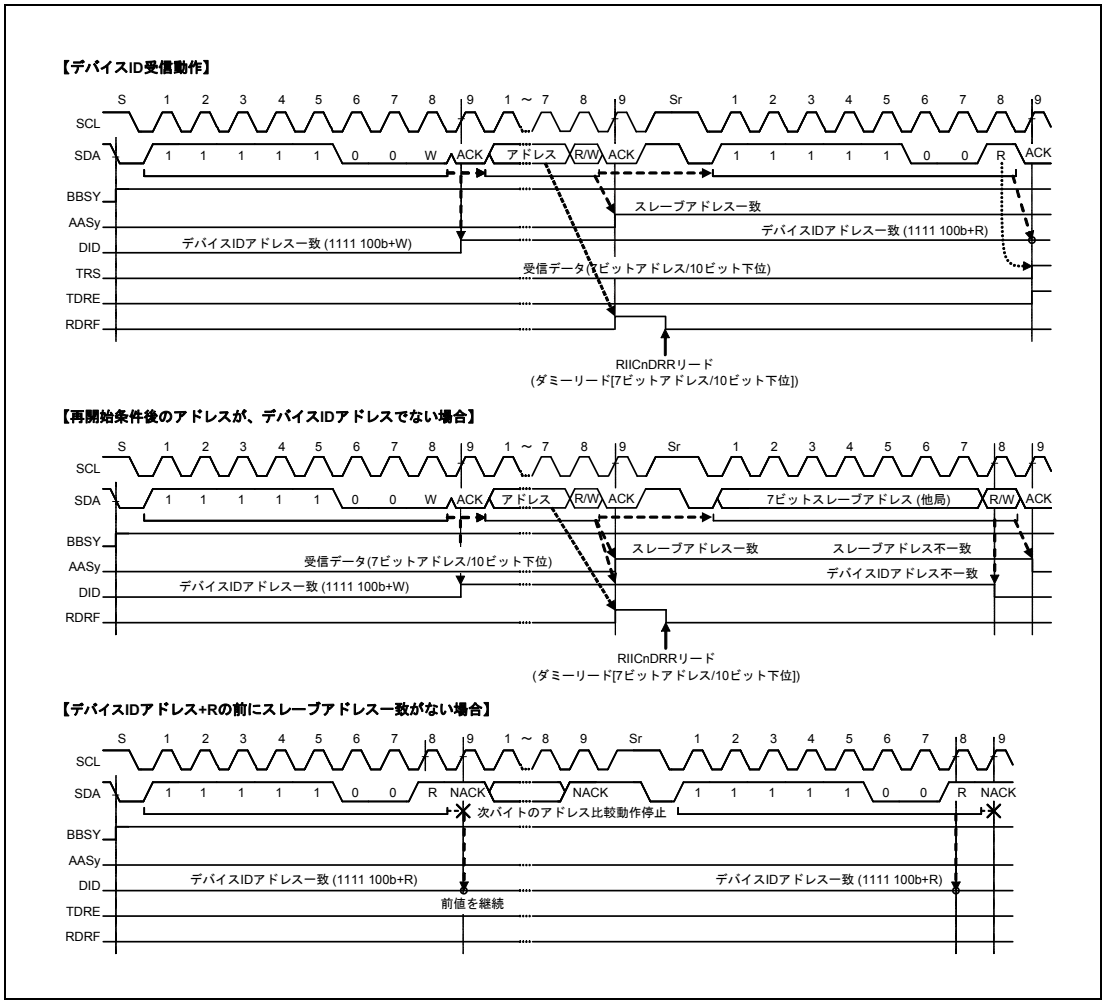


図 19.28 デバイス ID アドレス受信時の AASy、DID フラグセット／クリアタイミング

19.10 SCL の自動 Low ホールド機能

19.10.1 送信データ誤送信防止機能

RIIC は送信モード時（RIICnCR2.TRS ビット = 1）、シフトレジスタ（RIICnDRS レジスタ）が空の状態でかつ送信データ（RIICnDRT レジスタ）が書かれていない場合、以下に示す区間、自動的に SCL ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。また、ストップコンディション発行までの期間、RIICnDRR レジスタをダミーで読むまでの期間にも SCL ラインの Low ホールドを行います。

《マスタ送信モード》

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の Low 区間
- 9 クロック目とストップコンディション発行までの Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の Low 区間
- 9 クロック目と RIICnDRR レジスタをダミーで読むまでの Low 区間

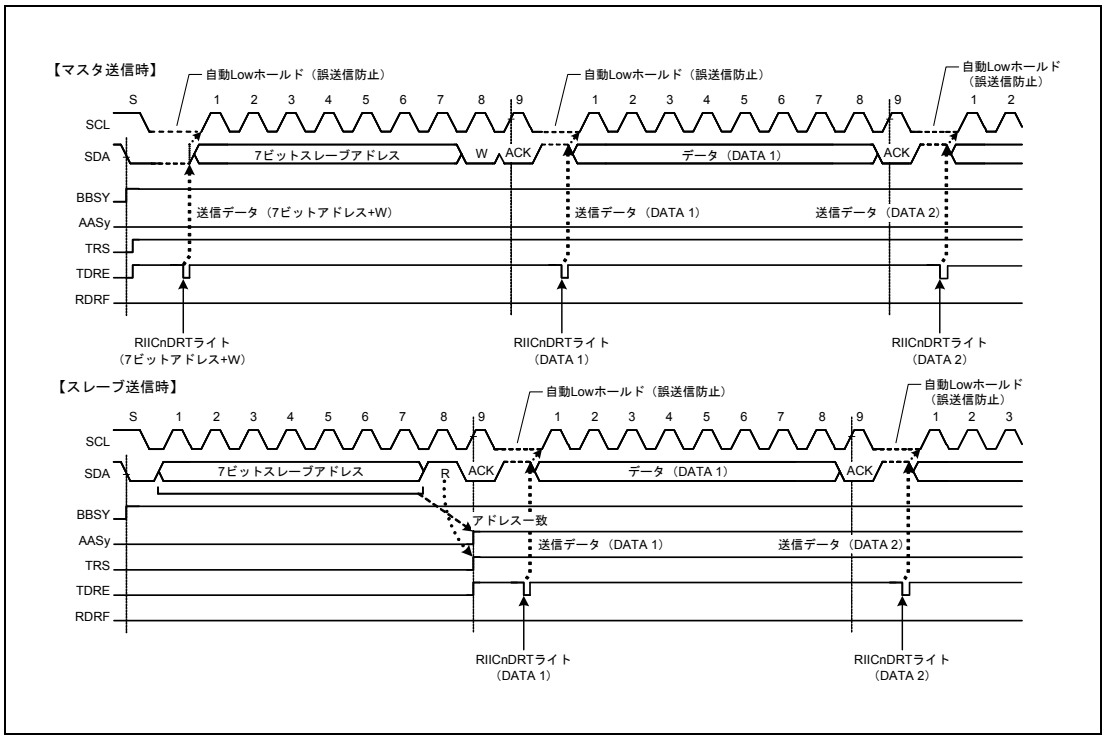


図 19.29 送信モードの自動 Low ホールド動作

19.10.2 NACK 受信転送中断機能

RIIC は送信モード時（RIICnCR2.TRS ビット = 1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は RIICnFER.NACKE ビットが “1”（転送中断許可）のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合（RIICnSR2.TDRE フラグ = 0 の状態）、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（RIICnSR2.NACKF フラグ = 1）、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

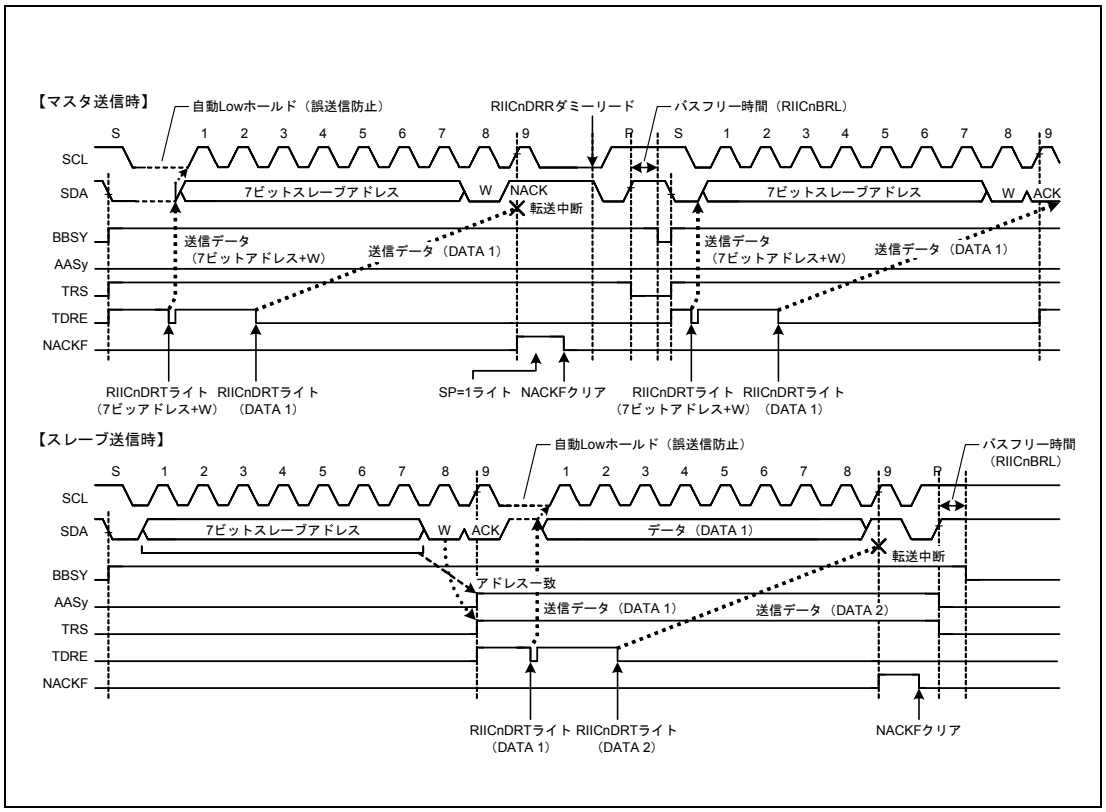


図 19.30 NACK 受信時の転送中断動作（NACKE = 1 のとき）

19.10.3 受信データ取りこぼし防止機能

RIIC は受信モード時（RIICnCR2.TRS ビット = 0）、受信終了（RIICnSR2.RDRF フラグ = 1）の状態で受信データ（RIICnDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では RIICnMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作／自動 Low ホールド機能

RIICnMR3.WAIT ビットを “1” にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。RIICnMR3.RDRFS ビットが “0” のとき、RIIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に RIICnMR3.ACKBT ビットの内容が送出され、9 クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、デバイス ID アドレス含む）と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

RIICnMR3.RDRFS ビットを “1” にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを “1” にすると、受信終了フラグ（RIICnSR2.RDRF フラグ）が “1” になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnMR3.ACKBT ビットへの書き込みによって解除され、RIICnDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、デバイス ID アドレス含む）と一致した以降の受信フレームから有効になります。

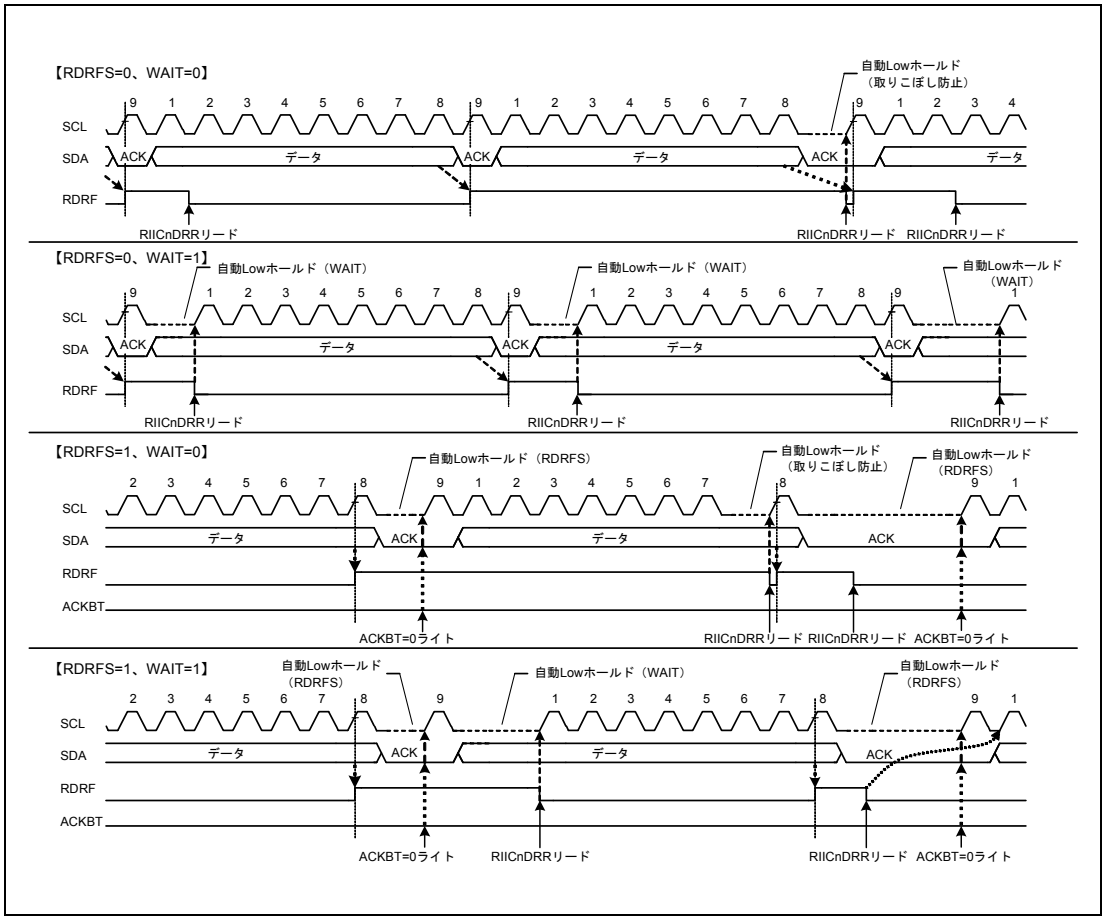


図 19.31 受信モードの自動 Low ホールド動作（RDRFS、WAIT ビット）

19.11 アービトレーションロスト検出機能

RIIC には I²C バス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

19.11.1 マスタアービトレーションロスト検出機能（MALE ビット）

RIIC はスタートコンディション発行の際 SDA ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDA ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に RIICnCR2.BBSY フラグが “1”（バスビジー中）のときに RIICnCR2.ST ビットを “1” にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ（SDA 信号）と SDA ラインに不一致が生じた場合（自分が出した SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、RIICnFER.MALE ビットが “1”（マスタアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- RIICnCR2.BBSY フラグ = 0 の状態で RIICnCR2.ST ビット =1 によるスタートコンディション発行時に SDA 信号と SDA ライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- RIICnCR2.BBSY フラグ = 1 で RIICnCR2.ST ビットを “1” にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（RIICnCR2.MST, TRS ビット = 11_B）、アクノリッジを除く送信データ（SDA 信号）と SDA ライン上の信号の状態が不一致のとき

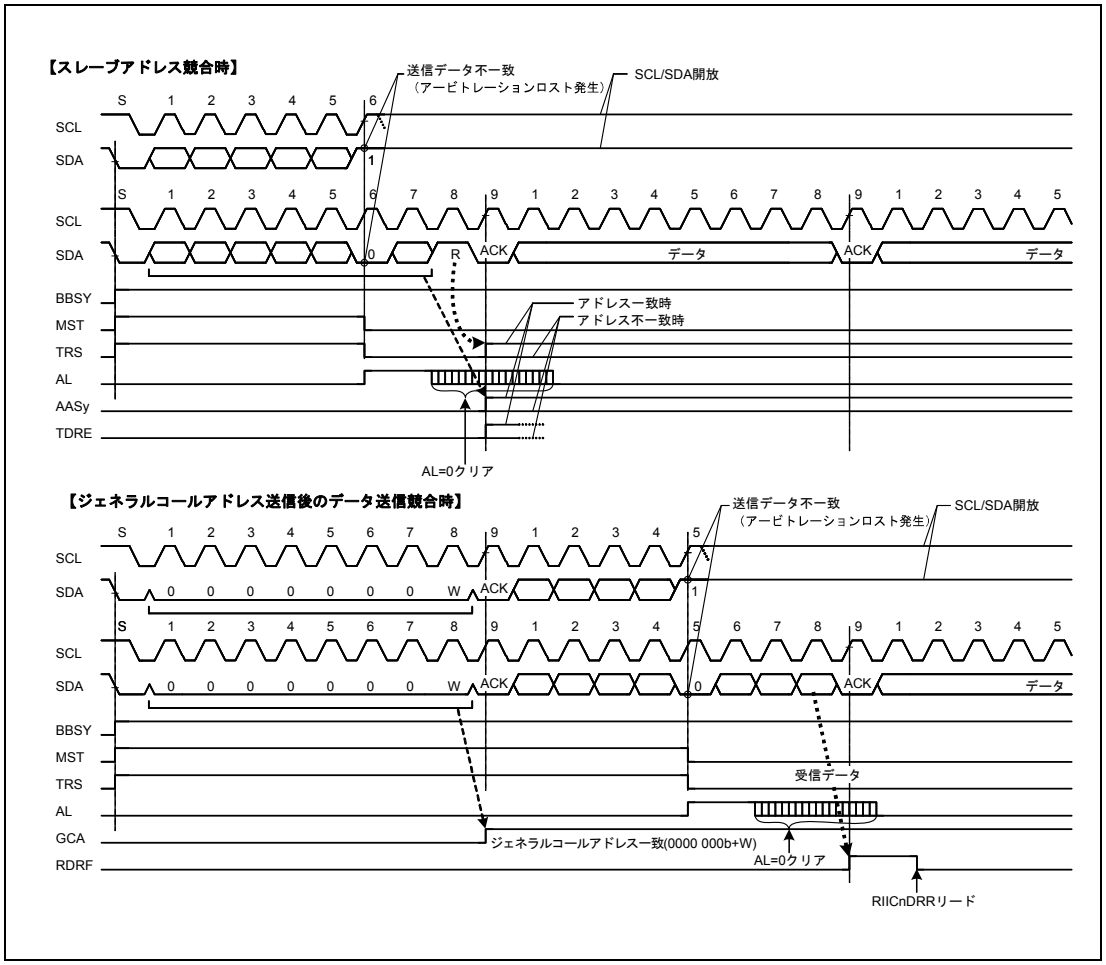


図 19.32 マスタアービトレーションロスト検出動作例（MALE = 1 のとき）

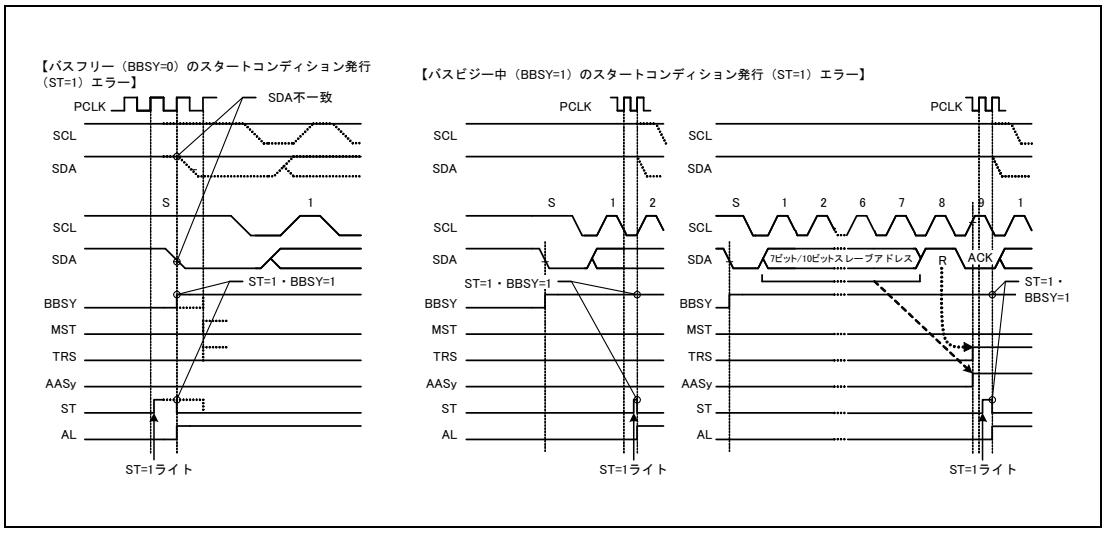


図 19.33 スタートコンディション発行時のアービトレーションロスト（MALE = 1 のとき）

スレーブ送信モードで BBSY フラグが “1” の状態で、ST ビットに “1” を書いた場合、TRS ビットはクリアされません。

19.11.2 NACK 送信アービトレーションロスト検出機能（NALE ビット）

RIIC は受信モード時で NACK 送信時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致の場合（自分が出した SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。**図 19.34** に NACK 送信アービトレーションロスト検出動作例を示します。

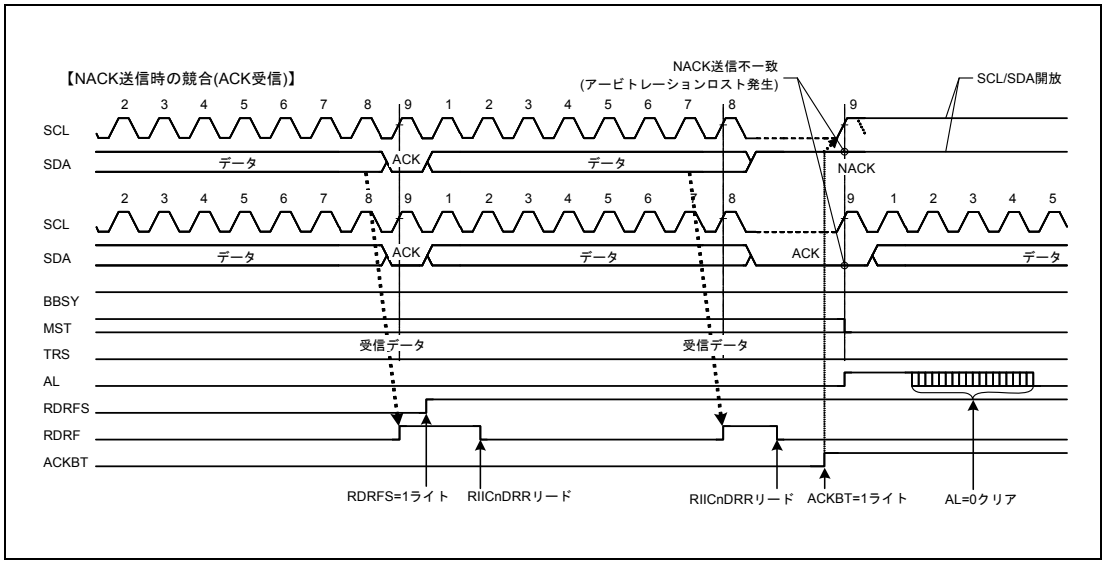


図 19.34 NACK 送信アービトレーションロスト検出動作例（NALE = 1 のとき）

2 つのマスタデバイス（マスタ A、マスタ B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B ともどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

なお NACK 送信アービトレーションロスト検出は、RIICnFER.NALE ビットが “1”（NACK 送信アービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［NACK 送信アービトレーションロスト条件］

NACK 送信時（RIICnMR3.ACKBT ビット =1）、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき（ACK を受信したとき）

19.11.3 スレーブアービトレーションロスト検出機能（SALE ビット）

RIIC は、スレーブ送信時に送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態に不一致が生じた場合（自分が出した SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。

なおスレーブアービトレーションロスト検出は、RIICnFER.SALE ビットが “1”（スレーブアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

スレーブ送信モード時（RIICnCR2.MST, TRS ビット = 01_B）、アクノリッジを除く送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態が不一致のとき

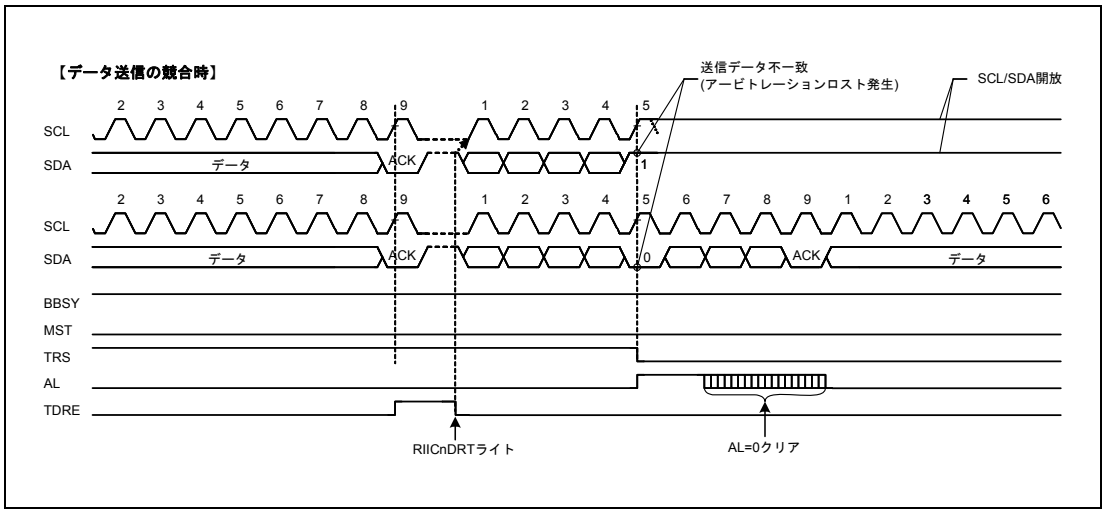


図 19.35 スレーブアービトレーションロスト検出動作例（SALE = 1 のとき）

19.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

19.12.1 スタートコンディション発行動作

RIIC は、RIICnCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを “1” にすると、スタートコンディション発行の要求が行われ RIICnCR2.BBSY フラグが “0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

［スタートコンディション発行動作］

- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
- SCL ラインを立ち下げ（High から Low に遷移）
- SCL ラインの Low を検出後、RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保

19.12.2 リスタートコンディション発行動作

RIIC は RIICnCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを “1” にすると、通信中でもリスタートコンディション発行の要求が行われ、RIIC は RIICnCR2.BBSY フラグが “1”（バスビジー）の状態でかつ RIICnCR2.MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

（リスタートコンディションの発行を検出する場合は、リスタートコンディション発行前に、RIICnSR2.START フラグをクリアしてください。）

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

［リスタートコンディション発行動作］

- SDA ラインを開放
- RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保
- SCL ラインを開放（Low から High に遷移）
- SCL ラインの High 検出後、RIICnBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
- SCL ラインを立ち下げ（High から Low に遷移）
- SCL ラインの Low を検出後、RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保

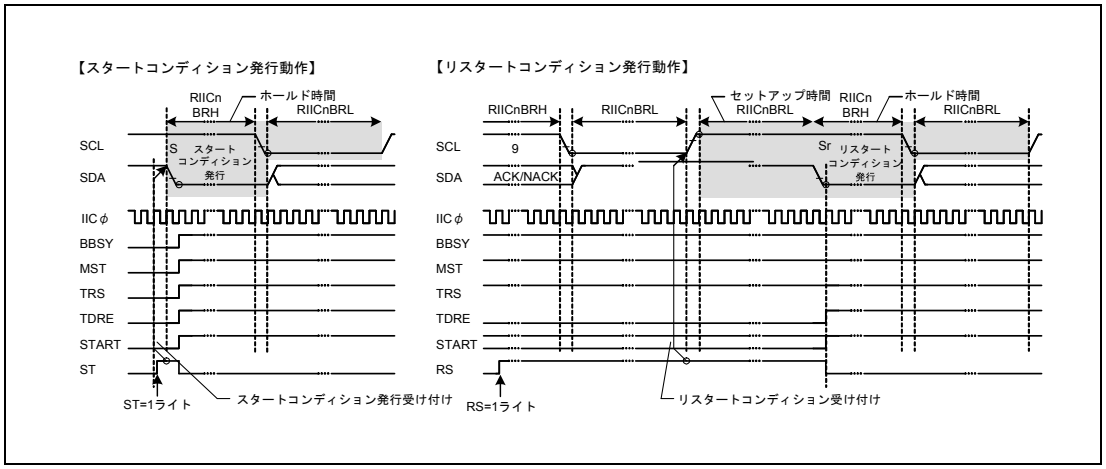


図 19.36 スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）

19.12.3 ストップコンディション発行動作

RIIC は RIICnCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを “1” にするとストップコンディション発行の要求が行われ、RIIC は RIICnCR2.BBSY フラグが “1”（バスビジー）の状態でかつ RIICnCR2.MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

［ストップコンディション発行動作］

- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保
- SCL ラインを開放（Low から High に遷移）
- SCL ラインの High 検出後、RIICnBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA ラインを開放（Low から High に遷移）
- RIICnBRL レジスタで設定した時間バスフリー時間を確保
- BBSY フラグクリア（バス権解放）

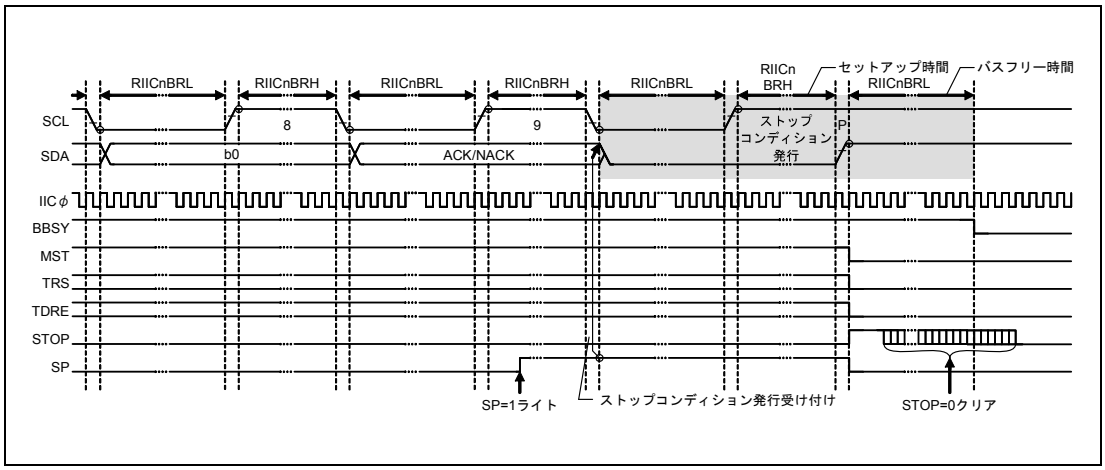


図 19.37 ストップコンディション発行動作タイミング（SP ビット）

19.13 バスハングアップ

I²C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCL ラインや SDA ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCL ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能および RIIC ／内部リセット機能を備えています。

また、RIICnCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCL ライン／ SDA ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

19.13.1 タイムアウト検出機能

RIIC には SCL ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は SCL ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCL ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCL ラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバス異常状態を知らせることができます。

内部カウンタは下記条件の時にクリアされます。

（1） RIICnMR2.TMOH=0,RIICnMR2.TMOL=1 の場合
SCL の立ち上がりでクリア

（2） RIICnMR2.TMOH=1,RIICnMR2.TMOL=0 の場合は
SCL の立ち下がりでクリア

（3） RIICnMR2.TMOH=RIICnMR2.TMOL=1 の場合は
SCL の立ち上がり／立ち下がりでクリア

このタイムアウト検出機能は RIICnFER.TMOE ビットが “1” のとき有効で、以下の期間に SCL ラインの Low 固定または High 固定のバス異常状態を検出します。

- マスタモード（RIICnCR2.MST ビット = 1) で、バスビジー（RIICnCR2.BBSY フラグ = 1）
- スレーブモード（RIICnCR2.MST ビット = 0）で、自スレーブアドレス一致（RIICnSR1 レジスタ ≠ 00_H）かつバスビジー（RIICnCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (RIICnCR2.ST ビット =1) で、バスフリー (RIICnCR2.BBSY フラグ =0)

タイムアウト検出機能の内部カウンタは、RIICnMR1.CKS[2:0] ビットで設定された内部基準クロック（IICφ）をカウントソースとして動作し、ロングモード選択時（RIICnMR2.TMOS ビット = 0）16 ビットカウンタ、ショートモード選択時（TMOS ビット = 1）14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL ラインが Low 状態のときカウントさせるか、High 状態のときカウントさせるか、あるいはその両方をカウントさせるかを

RIICnMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を “0” にした場合は、内部カウント動作を行いません。

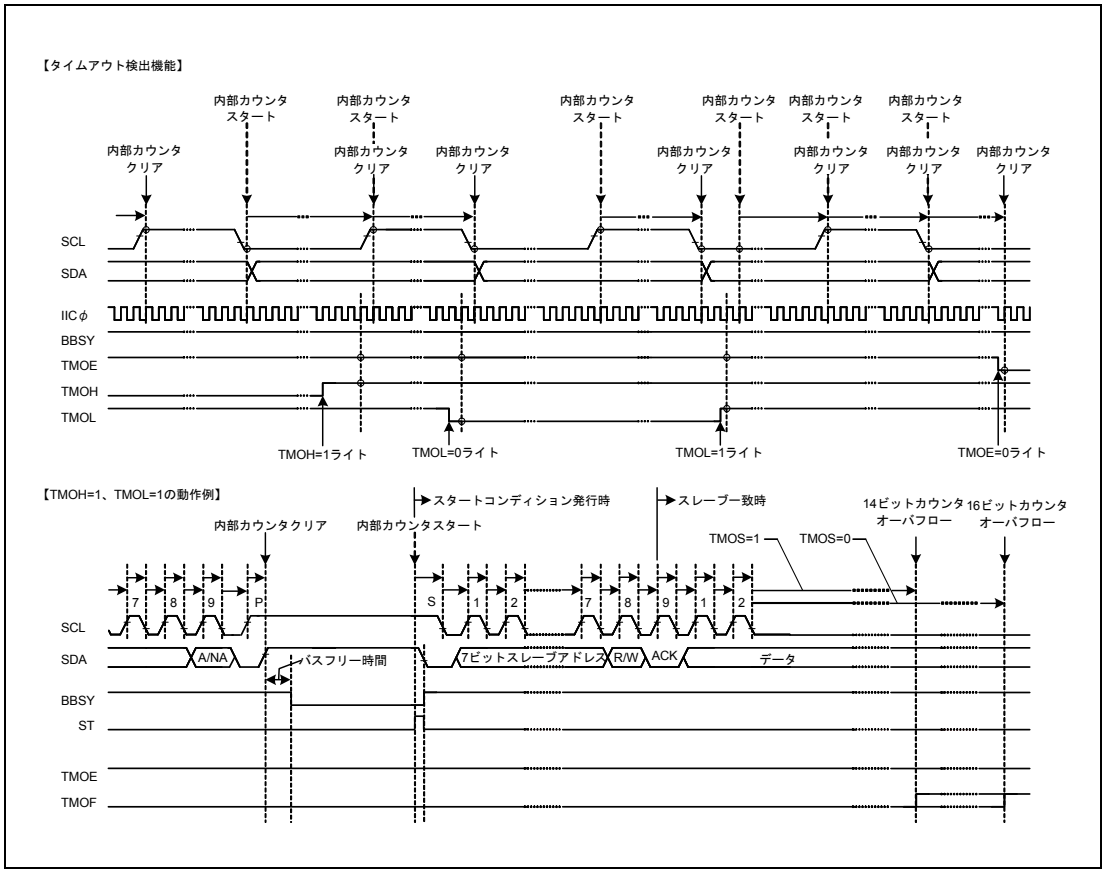


図 19.38 タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）

19.13.2 SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、RIICnCR1.CLO ビットを “1” にすると、RIICnMR1.CKS[2:0] ビット、RIICnBRH、RIICnBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に “0” になります。そのためソフトウェアで CLO ビットが “0” であることを確認後 “1” を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できないバス異常状態のとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA ライン開放は RIICnCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は RIICnFER.MALE ビットを “0”（マスタアービトレーションロスト検出禁止）にして使用してください。MALE ビットが “1”（マスタアービトレーションロスト検出許可）の場合、RIICnCR1.SDAO ビットの値と SDA ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[SCL クロック追加出力条件]

- マスタモードかつバスフリー状態のとき
- マスタモードかつ SCL ラインを Low ホールドしていない状態のとき（バスビジー状態）

図 19.39 に SCL クロック追加出力機能（CLO ビット）を示します。

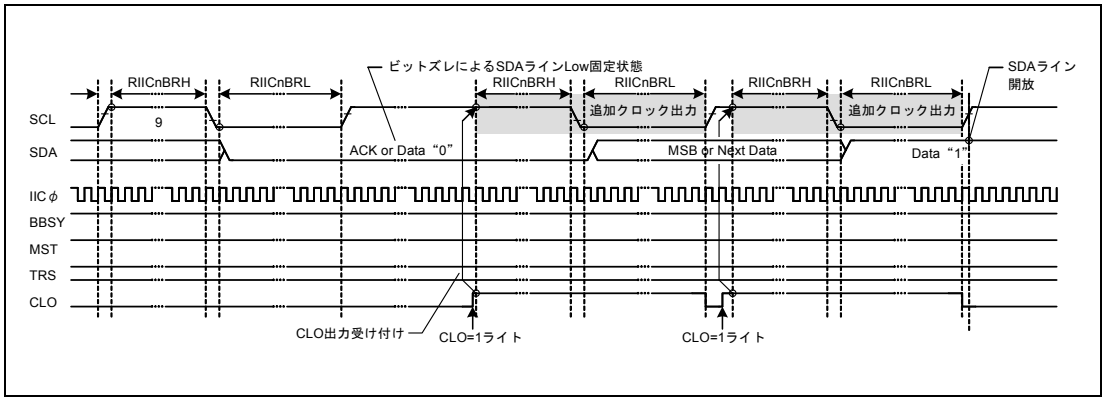


図 19.39 SCL クロック追加出力機能（CLO ビット）

19.13.3 RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは RIICnCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は RIICnCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCL 端子／ SDA 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット（RIICnCR1.ICE, IICRST ビット = 01_B）のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC ／内部リセットの詳細については、**「19.14 RIIC のリセット機能」**を参照してください。

19.14 RIIC のリセット機能

RIIC は、RIIC リセットおよび内部リセットのリセット機能を持っています。加えて、RIIC は ISORES によってリセットされます。**表 19.26** に各リセットのリセット範囲およびリセット状況を示します。

表 19.26 RIIC のリセット機能 (1/2)

UM		ISORES	RIIC リセット（ICE ビット = 0、IICRST ビット = 1）	内部リセット（ICE ビット = 1、IICRST ビット = 1）	スタートコンディション／リスタートコンディション検出	ストップコンディション検出
RIICnCR1	ICE	初期化	0	1	保持	保持
	IICRST	初期化	1	1	保持	保持
	CLO	初期化	初期化	保持	保持	保持
	SOWP	初期化	初期化	保持	保持	保持
	SCLO	初期化	初期化	初期化	保持	保持
	SDAO	初期化	初期化	初期化	保持	保持
	SCLI	初期化	初期化	保持	保持	保持
	SDAI	初期化	初期化	保持	保持	保持
RIICnCR2	BBSY	初期化	初期化	初期化注1	動作	保持
	MST	初期化	初期化	初期化	動作（保持）	初期化
	TRS	初期化	初期化	初期化	動作（保持）	初期化
	SP	初期化	初期化	初期化	初期化	初期化
	RS	初期化	初期化	初期化	初期化	初期化
	ST	初期化	初期化	初期化	初期化	保持
RIICnMR1	MTWP	初期化	初期化	保持	保持	保持
	CKS[2:0]	初期化	初期化	保持	保持	保持
	BCWP	初期化	初期化	保持	保持	保持
	BC[2:0]	初期化	初期化	初期化	初期化	保持
RIICnMR2		初期化	初期化	保持	保持	保持
RIICnMR3	WAIT	初期化	初期化	保持	保持	保持
	RDRFS	初期化	初期化	保持	保持	保持
	ACKWP	初期化	初期化	保持	保持	保持
	ACKBT	初期化	初期化	保持	保持	初期化
	ACKBR	初期化	初期化	保持	保持	保持
	NF[1:0]	初期化	初期化	保持	保持	保持
RIICnFER		初期化	初期化	保持	保持	保持
RIICnSER		初期化	初期化	保持	保持	保持
RIICnIER		初期化	初期化	保持	保持	保持
RIICnSR1	DID	初期化	初期化	初期化	保持	初期化
	GCA	初期化	初期化	初期化	保持	初期化
	AAS2	初期化	初期化	初期化	保持	初期化
	AAS1	初期化	初期化	初期化	保持	初期化
	AAS0	初期化	初期化	初期化	保持	初期化

表 19.26 RIIC のリセット機能 (2/2)

UM		ISORES	RIIC リセット（ICE ビット = 0、IICRST ビット = 1）	内部リセット（ICE ビット = 1、IICRST ビット = 1）	スタートコンディション／リスタートコンディション検出	ストップコンディション検出
RIICnSR2	TDRE	初期化	初期化	初期化	保持	初期化
	TEND	初期化	初期化	初期化	保持	初期化
	RDRF	初期化	初期化	初期化	保持	保持
	NACKF	初期化	初期化	初期化	保持	保持
	STOP	初期化	初期化	初期化	保持	動作
	START	初期化	初期化	初期化	動作	初期化
	AL	初期化	初期化	初期化	保持	保持
	TMOF	初期化	初期化	初期化	保持	保持
RIICnSAR0、1、2		初期化	初期化	保持	保持	保持
RIICnBRH、RIICnBRL		初期化	初期化	保持	保持	保持
RIICnDRT		初期化	初期化	保持	保持	保持
RIICnDRR		初期化	初期化	保持	保持	保持
RIICnDRS		初期化	初期化	初期化	保持	保持

注 1. ストップコンディション検出後のバスフリー期間中に、内部リセットをかけた場合、BBSY フラグが内部リセット解除から、バスフリー時間を経由して、“0” となる。
バスフリー期間以外で内部リセットをかけた場合は、BBSY フラグはクリアされない。

第 20 章 CAN インタフェース（RS-CAN）

本章では、CAN インタフェース（RS-CAN）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、RS-CAN の機能、レジスタについて説明します。

20.1 RH850/F1M RS-CAN の特長

20.1.1 ユニット数とチャネル数

本製品は以下のユニット数の RS-CAN を搭載しています。

表 20.1 ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	1		
名称	RSCANn (n = 0)		

また各製品は以下に示す CAN インタフェースチャネルを搭載しています。

表 20.2 RS-CAN のユニット構成とチャネルの対応

ユニット名	ユニット チャネル番号	チャネル名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
RSCAN0	0	CAN0	○	○	○
	1	CAN1	○	○	○
	2	CAN2	○	○	○
	3	CAN3	○	○	○
	4	CAN4	○	○	○
	5	CAN5	○	○	○

表 20.3 添字

添字	説明
n	本章では、RS-CAN のユニットを「n」（n = 0）で識別します。たとえば、ユニット n の RSCAN のグローバル制御レジスタは RSCANnGCTR と記述します。
m	本章では、RS-CAN のチャネル数を「m」（m = 0 ~ 5）で識別します。たとえば、チャネル m ステータスレジスタは RSCAN0CmSTS と記述します。
j	受信ルールテーブルを関係するレジスタを「j」（j = 0 ~ 15）で識別します。たとえば、受信ルール ID レジスタは RSCAN0GAFLIDj と記述します。
k	送受信 FIFO バッファ番号を「k」（k = 0 ～チャネル m × 3 + 2）で識別します。たとえば、送受信 FIFO バッファコンフィグレーション / 制御レジスタは RSCAN0CFCCk と記述します。
x	受信 FIFO バッファ番号を「x」(x = 0 ~ 7）で識別します。例えば、受信 FIFO バッファステータスレジスタは、RSCAN0RFSTSx と記述します。
q	受信バッファの番号を「q」（q = 0 ～チャネル m × 16 + 15）で識別します。たとえば、受信バッファ ID レジスタは RSCAN0RMIDq で記述します。
p	送信バッファの番号を「p」（p = 0 ～チャネル m × 16 + 15）で識別します。たとえば、送信バッファ制御レジスタは RSCAN0TMCp と記述します。
r	CAN 用 RAM テスト番号を「r」（r = 0 ~ 63）で識別します。たとえば、RAM テストページアクセスレジスタは RSCAN0RPGACCr と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」（y ＝ 0 ~ 2）で識別します。たとえば、受信バッファ新データレジスタ は RSCAN0RMNDy と記述します。

各製品の添字が示す値を以下に示します。

表 20.4 各製品の添字対応

ユニット名	各製品の添字対応		
	144 pin	176 pin	233 pin
RSCAN0	j = 0 ～ 15		
	k = 0 ～ 17		
	x = 0 ～ 7		
	q = 0 ～ 95		
	p = 0 ～ 95		
	r = 0 ～ 63		
	y = 0 ～ 2		

20.1.2 レジスタベースアドレス

RSCAN0 のベースアドレスを以下の表に示します。

RSCAN0 のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 20.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSCAN0_base>	FFD0 0000_H

20.1.3 クロック供給

RSCAN0 のクロック供給を以下の表に示します。

表 20.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RSCAN0	clk_xincan	CKSCLK_ICANOSC
	clkc	PPLLCLK2
	pclk	CKSCLK_ICAN
	レジスタアクセスクロック	CKSCLK_ICAN

RSCAN0 の動作周波数は、転送レート、および使用チャネル数に依存します。**表 20.7** に示す範囲で使用してください。

表 20.7 RH850/F1M における転送レート・使用チャネル数での動作周波数範囲

条件		動作可能な周波数範囲		
転送レート	使用 ch 数	pclk	clk_xincan 注 1、注 3	clkc 注 1、注 2
1Mbps	6ch	pclk ≧ 53MHz	8MHz ≦ clk_xincan ≦ pclk/2	12.5MHz ≦ clkc ≦ pclk/2
	5ch	pclk ≧ 46MHz		
	4ch	pclk ≧ 40MHz		
	3ch	pclk ≧ 32MHz		
	2ch	pclk ≧ 26MHz		
	1ch	pclk ≧ 18MHz		
500kbps	6ch	pclk ≧ 27MHz	4MHz ≦ clk_xincan ≦ pclk/2	12.5MHz ≦ clkc ≦ pclk/2
	5ch	pclk ≧ 23MHz		
	4ch	pclk ≧ 20MHz		
	3ch	pclk ≧ 16MHz		
	2ch	pclk ≧ 13MHz		
	1ch	pclk ≧ 8MHz		
125kbps	6ch	pclk ≧ 8MHz	4MHz ≦ clk_xincan ≦ pclk/2	12.5MHz ≦ clkc ≦ pclk/2
	5ch			
	4ch			
	3ch			
	2ch			
	1ch			

注 1. RSCAN0GCFG の DCS ビットにより、clk_xincan、clkc いずれかを選択可能です。各クロックは pclk/2 以下（最大 40 MHz）に設定してください。

注 2. pclk ＜ 25MHz 時は、clk_xincan を選択してください。

注 3. clk_xincan の最大周波数は、24MHz です。

注 意

STOP モードで RS-CAN 使用をする場合は、RS-CAN のクロック源に MainOSC を設定して ください。クロック源の設定は「11.4.3.10 RS-CAN クロックドメイン C_ISO_CAN と C_ISO_CANOSC」を参照してください。

20.1.4 割り込み要求

RSCAN0 の割り込み要求を以下の表に示します。

表 20.8 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RSCAN0			
INTRCANGERR0	CAN グローバルエラー割り込み	22	—
INTRCANGRECC0	CAN 受信 FIFO 割り込み	23	—
CAN0			
INTRCANmERR(m = 0)	CAN0 エラー割り込み	24	—
INTRCANmREC(m = 0)	CAN0 送受信 FIFO 受信完了割り込み	25	—
INTRCANmTRX(m = 0)	CAN0 送信割り込み	26	—
CAN1			
INTRCANmERR(m = 1)	CAN1 エラー割り込み	113	—
INTRCANmREC(m = 1)	CAN1 送受信 FIFO 受信完了割り込み	114	—
INTRCANmTRX(m = 1)	CAN1 送信割り込み	115	—
CAN2			
INTRCANmERR(m = 2)	CAN2 エラー割り込み	217	—
INTRCANmREC(m = 2)	CAN2 送受信 FIFO 受信完了割り込み	218	—
INTRCANmTRX(m = 2)	CAN2 送信割り込み	219	—
CAN3			
INTRCANmERR(m = 3)	CAN3 エラー割り込み	220	—
INTRCANmREC(m = 3)	CAN3 送受信 FIFO 受信完了割り込み	221	—
INTRCANmTRX(m = 3)	CAN3 送信割り込み	222	—
CAN4			
INTRCANmERR(m = 4)	CAN4 エラー割り込み	272	—
INTRCANmREC(m = 4)	CAN4 送受信 FIFO 受信完了割り込み	273	—
INTRCANmTRX(m = 4)	CAN4 送信割り込み	274	—
CAN5			
INTRCANmERR(m = 5)	CAN5 エラー割り込み	287	—
INTRCANmREC(m = 5)	CAN5 送受信 FIFO 受信完了割り込み	288	—
INTRCANmTRX(m = 5)	CAN5 送信割り込み	289	—

備 考

スタンバイモードから復帰可能なウエイクアップ要因については、**「12.1.2.1 各スタンバイモードのウエイクアップ要因」**を参照してください。

20.1.5 リセット要因

RSCAN0 のリセット要因を以下に示します。RSCAN0 は以下のリセット要因で初期化されます。

表 20.9 リセット要因

ユニット名	リセット要因
RSCAN0	すべてのリセット要因（ISORES）

20.1.6 外部入出力信号

RSCAN0 の外部入出力信号を以下の表に示します。

表 20.10 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
CAN0		
CANmRX (m = 0)	CAN0 受信データ入力	CAN0RX
CANmTX (m = 0)	CAN0 送信データ出力	CAN0TX
CAN1		
CANmRX (m = 1)	CAN1 受信データ入力	CAN1RX
CANmTX (m = 1)	CAN1 送信データ出力	CAN1TX
CAN2		
CANmRX (m = 2)	CAN2 受信データ入力	CAN2RX
CANmTX (m = 2)	CAN2 送信データ出力	CAN2TX
CAN3		
CANmRX (m = 3)	CAN3 受信データ入力	CAN3RX
CANmTX (m = 3)	CAN3 送信データ出力	CAN3TX
CAN4		
CANmRX (m = 4)	CAN4 受信データ入力	CAN4RX
CANmTX (m = 4)	CAN4 送信データ出力	CAN4TX
CAN5		
CANmRX (m = 5)	CAN5 受信データ入力	CAN5RX
CANmTX (m = 5)	CAN5 送信データ出力	CAN5TX

注 意

P0_0 端子を CAN0TX として使用する場合、リセット中およびリセット解除後、P0_0 端子（$\overline{\text{RESETOUT}}$ 信号）からロウレベルを出力します。

詳細は「2.11.1.1 P0_0：$\overline{\text{RESETOUT}}$」を参照してください。

20.2 概要

20.2.1 機能概要

RH850/F1M は、ISO11898-1 仕様に準拠した CAN コントローラを 6 チャネル（CAN0 ～ CAN5）搭載した CAN インタフェース（RS-CAN）を 1 ユニット内蔵しています。**表 20.11** に RS-CAN モジュールの仕様、**図 20.1** に RS-CAN モジュールブロック図を示します。

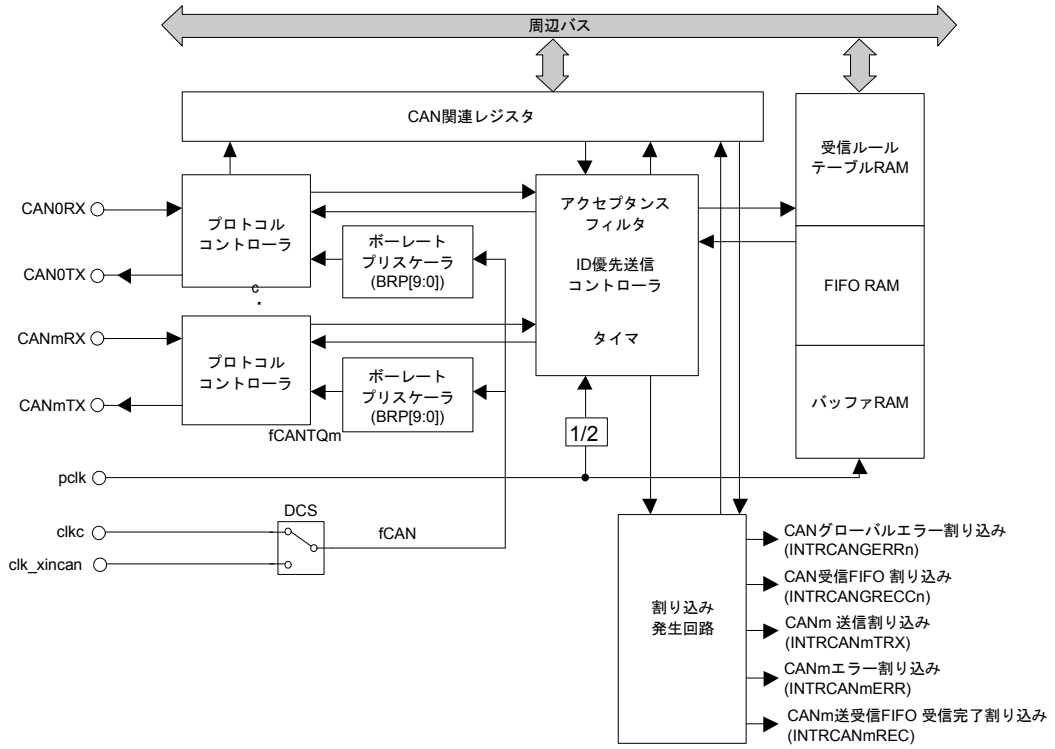
表 20.11 RS-CAN モジュールの仕様 (1/2)

項目	仕様
チャネル数	6
プロトコル	ISO11898-1 仕様準拠
通信速度	• 最大 1Mbps $\text{通信速度（CANm ビットタイムクロック）} = \dfrac{1}{\text{CANm ビットタイム}}$ CANm ビットタイム ＝ CANmTq × 1 ビット分の Tq 数 $\text{CANmTq} = \dfrac{\text{（RSCAN0CmCFG レジスタの BRP[9:0] ビット＋ 1）}}{\text{fCAN}}$ m = 0 ~ 5 Tq：Time quantum fCAN：CAN クロック（RSCAN0GCFG レジスタの DCS ビットで選択したクロック）の周波数
バッファ	合計 480 バッファ • 各チャネル専用：96 バッファ（16 バッファ × 6 チャネル） 送信バッファ：16 バッファ／1 チャネル 送信キュー：1 本／1 チャネル（送信バッファと共用、最大 16 バッファ割り当て可能） • チャネル間共用：384 バッファ 受信バッファ：96 バッファ 受信 FIFO バッファ：8 本（1 本あたり最大 128 バッファ割り当て可能） 送受信 FIFO バッファ：3 本／1 チャネル（1 本あたり最大 128 バッファ割り当て可能） • ECC 内蔵
受信機能	• データフレームとリモートフレームを受信可能 • 受信する ID フォーマット（標準 ID、拡張 ID、両方）を選択可能 • FIFO ごとの割り込み許可／禁止設定可能 • ミラー機能（自送信メッセージの受信機能） • タイムスタンプ機能（メッセージの受信時間を 16 ビットタイマ値で記録）
受信フィルタ機能	• 合計 384 個の受信ルールで受信メッセージを選別可能 • チャネルごとに 0 ～ 128 個の範囲で受信ルール数を設定可能 • アクセプタンスフィルタ処理：各受信ルールごとに ID、マスク設定可能 • DLC フィルタ処理：各受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	• ルーティング機能 受信メッセージを任意のバッファへ転送する機能（転送可能バッファ数：8） 転送先：受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ • ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	• データフレームとリモートフレームを送信可能 • 送信する ID フォーマット（標準 ID、拡張 ID、両方）を選択可能 • 送信バッファ、送受信 FIFO バッファごとに割り込み許可／禁止設定可能 • ID 優先送信または送信バッファ番号優先送信を選択可能 • 送信アボート機能（フラグでアボート完了を確認可能） • ワンショット送信機能

表 20.11 RS-CAN モジュールの仕様 (2/2)

項目	仕様
インターバル送信機能	メッセージの送信間隔を設定可能（送受信 FIFO バッファの送信モードまたはゲートウェイモード）
送信キュー機能	格納された全メッセージが ID 優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 • ISO11898-1 仕様準拠 • バスオフ開始でチャネル待機モードへ自動遷移 • バスオフ終了でチャネル待機モードへ自動遷移 • プログラムによる要求によってチャネル待機モードへ遷移 • プログラムによる要求によってエラーアクティブ状態へ遷移（バスオフ強制復帰機能）
エラー状態の監視	• CAN プロトコルエラー（スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック）を監視 • エラー状態の遷移を検出（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） • エラーカウンタの読み出し • DLC エラーを監視
割り込み要因	20 本 • グローバル割り込み（2 本） 受信 FIFO 割り込み グローバルエラー割り込み • チャネル割り込み（各チャネルごとに 3 本ずつ） CANm 送信割り込み（m = 0 ~ 5） – CANm 送信完了割り込み – CANm 送信アボート割り込み – CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時） – CANm 送信履歴割り込み – CANm 送信キュー割り込み CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時） CANm エラー割り込み
CAN ストップモード	RS-CAN モジュールに供給されるクロックを停止することで消費電流を低減可能
CAN クロックソース	clkc か clk_xincan を選択可能 設定可能な周波数は**表 20.7** を参照してください。
テスト機能	ユーザ評価用テスト機能 • リッスンオンリモード • セルフテストモード 0（外部ループバック） • セルフテストモード 1（内部ループバック） • RAM テスト（読み書きテスト） • チャネル間通信テスト

20.2.2 ブロック図



備考 n = 0、m = 0 ~ 5
BRP[9:0]：RSCAN0CmCFG レジスタのビット
DCS：RSCAN0GCFG レジスタのビット
fCANTQm：CANmTq クロック
fCAN：CAN クロック

図 20.1 RS-CAN モジュールのブロック図

20.3 レジスタ

20.3.1 レジスター覧

RS-CAN のレジスター覧を以下の表に示します。

<RSCAN0_base> は**「20.1.2 レジスタベースアドレス」**を参照してください。

表 20.12 レジスター覧 (1/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	チャネル 0 コンフィグレーションレジスタ	RSCAN0C0CFG	<RSCAN0_base> + 0000_H
RSCAN0	チャネル 0 制御レジスタ	RSCAN0C0CTR	<RSCAN0_base> + 0004_H
RSCAN0	チャネル 0 ステータスレジスタ	RSCAN0C0STS	<RSCAN0_base> + 0008_H
RSCAN0	チャネル 0 エラーフラグレジスタ	RSCAN0C0ERFL	<RSCAN0_base> + $000C_H$
RSCAN0	チャネル 1 コンフィグレーションレジスタ	RSCAN0C1CFG	<RSCAN0_base> + 0010_H
RSCAN0	チャネル 1 制御レジスタ	RSCAN0C1CTR	<RSCAN0_base> + 0014_H
RSCAN0	チャネル 1 ステータスレジスタ	RSCAN0C1STS	<RSCAN0_base> + 0018_H
RSCAN0	チャネル 1 エラーフラグレジスタ	RSCAN0C1ERFL	<RSCAN0_base> + $001C_H$
RSCAN0	チャネル 2 コンフィグレーションレジスタ	RSCAN0C2CFG	<RSCAN0_base> + 0020_H
RSCAN0	チャネル 2 制御レジスタ	RSCAN0C2CTR	<RSCAN0_base> + 0024_H
RSCAN0	チャネル 2 ステータスレジスタ	RSCAN0C2STS	<RSCAN0_base> + 0028_H
RSCAN0	チャネル 2 エラーフラグレジスタ	RSCAN0C2ERFL	<RSCAN0_base> + $002C_H$
RSCAN0	チャネル 3 コンフィグレーションレジスタ	RSCAN0C3CFG	<RSCAN0_base> + 0030_H
RSCAN0	チャネル 3 制御レジスタ	RSCAN0C3CTR	<RSCAN0_base> + 0034_H
RSCAN0	チャネル 3 ステータスレジスタ	RSCAN0C3STS	<RSCAN0_base> + 0038_H
RSCAN0	チャネル 3 エラーフラグレジスタ	RSCAN0C3ERFL	<RSCAN0_base> + $003C_H$
RSCAN0	チャネル 4 コンフィグレーションレジスタ	RSCAN0C4CFG	<RSCAN0_base> + 0040_H
RSCAN0	チャネル 4 制御レジスタ	RSCAN0C4CTR	<RSCAN0_base> + 0044_H
RSCAN0	チャネル 4 ステータスレジスタ	RSCAN0C4STS	<RSCAN0_base> + 0048_H
RSCAN0	チャネル 4 エラーフラグレジスタ	RSCAN0C4ERFL	<RSCAN0_base> + $004C_H$
RSCAN0	チャネル 5 コンフィグレーションレジスタ	RSCAN0C5CFG	<RSCAN0_base> + 0050_H
RSCAN0	チャネル 5 制御レジスタ	RSCAN0C5CTR	<RSCAN0_base> + 0054_H
RSCAN0	チャネル 5 ステータスレジスタ	RSCAN0C5STS	<RSCAN0_base> + 0058_H
RSCAN0	チャネル 5 エラーフラグレジスタ	RSCAN0C5ERFL	<RSCAN0_base> + $005C_H$
RSCAN0	グローバルコンフィグレーションレジスタ	RSCAN0GCFG	<RSCAN0_base> + 0084_H
RSCAN0	グローバル制御レジスタ	RSCAN0GCTR	<RSCAN0_base> + 0088_H
RSCAN0	グローバルステータスレジスタ	RSCAN0GSTS	<RSCAN0_base> + $008C_H$
RSCAN0	グローバルエラーフラグレジスタ	RSCAN0GERFL	<RSCAN0_base> + 0090_H
RSCAN0	グローバルタイムスタンプカウンタレジスタ	RSCAN0GTSC	<RSCAN0_base> + 0094_H
RSCAN0	受信ルールエントリ制御レジスタ	RSCAN0GAFLECTR	<RSCAN0_base> + 0098_H
RSCAN0	受信ルールコンフィグレーションレジスタ 0	RSCAN0GAFLCFG0	<RSCAN0_base> + $009C_H$
RSCAN0	受信ルールコンフィグレーションレジスタ 1	RSCAN0GAFLCFG1	<RSCAN0_base> + $00A0_H$
RSCAN0	受信バッファナンバレジスタ	RSCAN0RMNB	<RSCAN0_base> + $00A4_H$
RSCAN0	受信バッファ新データレジスタ 0	RSCAN0RMND0	<RSCAN0_base> + $00A8_H$
RSCAN0	受信バッファ新データレジスタ 1	RSCAN0RMND1	<RSCAN0_base> + $00AC_H$
RSCAN0	受信バッファ新データレジスタ 2	RSCAN0RMND2	<RSCAN0_base> + $00B0_H$
RSCAN0	受信 FIFO バッファコンフィグレーション／制御レジスタ 0	RSCAN0RFCC0	<RSCAN0_base> + $00B8_H$
RSCAN0	受信 FIFO バッファコンフィグレーション／制御レジスタ 1	RSCAN0RFCC1	<RSCAN0_base> + $00BC_H$
RSCAN0	受信 FIFO バッファコンフィグレーション／制御レジスタ 2	RSCAN0RFCC2	<RSCAN0_base> + $00C0_H$
RSCAN0	受信 FIFO バッファコンフィグレーション／制御レジスタ 3	RSCAN0RFCC3	<RSCAN0_base> + $00C4_H$

表 20.12 レジスタ一覧 (2/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信 FIFO バッファコンフィグレーション／制御レジスタ 4	RSCAN0RFCC4	<RSCAN0_base> + $00C8_H$
RSCAN0	受信 FIFO バッファコンフィグレーション／制御レジスタ 5	RSCAN0RFCC5	<RSCAN0_base> + $00CC_H$
RSCAN0	受信 FIFO バッファコンフィグレーション／制御レジスタ 6	RSCAN0RFCC6	<RSCAN0_base> + $00D0_H$
RSCAN0	受信 FIFO バッファコンフィグレーション／制御レジスタ 7	RSCAN0RFCC7	<RSCAN0_base> + $00D4_H$
RSCAN0	受信 FIFO バッファステータスレジスタ 0	RSCAN0RFSTS0	<RSCAN0_base> + $00D8_H$
RSCAN0	受信 FIFO バッファステータスレジスタ 1	RSCAN0RFSTS1	<RSCAN0_base> + $00DC_H$
RSCAN0	受信 FIFO バッファステータスレジスタ 2	RSCAN0RFSTS2	<RSCAN0_base> + $00E0_H$
RSCAN0	受信 FIFO バッファステータスレジスタ 3	RSCAN0RFSTS3	<RSCAN0_base> + $00E4_H$
RSCAN0	受信 FIFO バッファステータスレジスタ 4	RSCAN0RFSTS4	<RSCAN0_base> + $00E8_H$
RSCAN0	受信 FIFO バッファステータスレジスタ 5	RSCAN0RFSTS5	<RSCAN0_base> + $00EC_H$
RSCAN0	受信 FIFO バッファステータスレジスタ 6	RSCAN0RFSTS6	<RSCAN0_base> + $00F0_H$
RSCAN0	受信 FIFO バッファステータスレジスタ 7	RSCAN0RFSTS7	<RSCAN0_base> + $00F4_H$
RSCAN0	受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0RFPCTR0	<RSCAN0_base> + $00F8_H$
RSCAN0	受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0RFPCTR1	<RSCAN0_base> + $00FC_H$
RSCAN0	受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0RFPCTR2	<RSCAN0_base> + 0100_H
RSCAN0	受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0RFPCTR3	<RSCAN0_base> + 0104_H
RSCAN0	受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0RFPCTR4	<RSCAN0_base> + 0108_H
RSCAN0	受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0RFPCTR5	<RSCAN0_base> + $010C_H$
RSCAN0	受信 FIFO バッファポインタ制御レジスタ 6	RSCAN0RFPCTR6	<RSCAN0_base> + 0110_H
RSCAN0	受信 FIFO バッファポインタ制御レジスタ 7	RSCAN0RFPCTR7	<RSCAN0_base> + 0114_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 0	RSCAN0CFCC0	<RSCAN0_base> + 0118_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 1	RSCAN0CFCC1	<RSCAN0_base> + $011C_H$
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 2	RSCAN0CFCC2	<RSCAN0_base> + 0120_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 3	RSCAN0CFCC3	<RSCAN0_base> + 0124_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 4	RSCAN0CFCC4	<RSCAN0_base> + 0128_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 5	RSCAN0CFCC5	<RSCAN0_base> + $012C_H$
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 6	RSCAN0CFCC6	<RSCAN0_base> + 0130_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 7	RSCAN0CFCC7	<RSCAN0_base> + 0134_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 8	RSCAN0CFCC8	<RSCAN0_base> + 0138_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 9	RSCAN0CFCC9	<RSCAN0_base> + $013C_H$
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 10	RSCAN0CFCC10	<RSCAN0_base> + 0140_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 11	RSCAN0CFCC11	<RSCAN0_base> + 0144_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 12	RSCAN0CFCC12	<RSCAN0_base> + 0148_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 13	RSCAN0CFCC13	<RSCAN0_base> + $014C_H$
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 14	RSCAN0CFCC14	<RSCAN0_base> + 0150_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 15	RSCAN0CFCC15	<RSCAN0_base> + 0154_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 16	RSCAN0CFCC16	<RSCAN0_base> + 0158_H
RSCAN0	送受信 FIFO バッファコンフィグレーション／制御レジスタ 17	RSCAN0CFCC17	<RSCAN0_base> + $015C_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 0	RSCAN0CFSTS0	<RSCAN0_base> + 0178_H
RSCAN0	送受信 FIFO バッファステータスレジスタ 1	RSCAN0CFSTS1	<RSCAN0_base> + $017C_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 2	RSCAN0CFSTS2	<RSCAN0_base> + 0180_H
RSCAN0	送受信 FIFO バッファステータスレジスタ 3	RSCAN0CFSTS3	<RSCAN0_base> + 0184_H
RSCAN0	送受信 FIFO バッファステータスレジスタ 4	RSCAN0CFSTS4	<RSCAN0_base> + 0188_H
RSCAN0	送受信 FIFO バッファステータスレジスタ 5	RSCAN0CFSTS5	<RSCAN0_base> + $018C_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 6	RSCAN0CFSTS6	<RSCAN0_base> + 0190_H
RSCAN0	送受信 FIFO バッファステータスレジスタ 7	RSCAN0CFSTS7	<RSCAN0_base> + 0194_H
RSCAN0	送受信 FIFO バッファステータスレジスタ 8	RSCAN0CFSTS8	<RSCAN0_base> + 0198_H

表 20.12 レジスタ一覧 (3/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送受信 FIFO バッファステータスレジスタ 9	RSCAN0CFSTS9	<RSCAN0_base> + 019C$_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 10	RSCAN0CFSTS10	<RSCAN0_base> + 01A0$_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 11	RSCAN0CFSTS11	<RSCAN0_base> + 01A4$_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 12	RSCAN0CFSTS12	<RSCAN0_base> + 01A8$_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 13	RSCAN0CFSTS13	<RSCAN0_base> + 01AC$_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 14	RSCAN0CFSTS14	<RSCAN0_base> + 01B0$_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 15	RSCAN0CFSTS15	<RSCAN0_base> + 01B4$_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 16	RSCAN0CFSTS16	<RSCAN0_base> + 01B8$_H$
RSCAN0	送受信 FIFO バッファステータスレジスタ 17	RSCAN0CFSTS17	<RSCAN0_base> + 01BC$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0CFPCTR0	<RSCAN0_base> + 01D8$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0CFPCTR1	<RSCAN0_base> + 01DC$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0CFPCTR2	<RSCAN0_base> + 01E0$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0CFPCTR3	<RSCAN0_base> + 01E4$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0CFPCTR4	<RSCAN0_base> + 01E8$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0CFPCTR5	<RSCAN0_base> + 01EC$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 6	RSCAN0CFPCTR6	<RSCAN0_base> + 01F0$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 7	RSCAN0CFPCTR7	<RSCAN0_base> + 01F4$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 8	RSCAN0CFPCTR8	<RSCAN0_base> + 01F8$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 9	RSCAN0CFPCTR9	<RSCAN0_base> + 01FC$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 10	RSCAN0CFPCTR10	<RSCAN0_base> + 0200$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 11	RSCAN0CFPCTR11	<RSCAN0_base> + 0204$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 12	RSCAN0CFPCTR12	<RSCAN0_base> + 0208$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 13	RSCAN0CFPCTR13	<RSCAN0_base> + 020C$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 14	RSCAN0CFPCTR14	<RSCAN0_base> + 0210$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 15	RSCAN0CFPCTR15	<RSCAN0_base> + 0214$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 16	RSCAN0CFPCTR16	<RSCAN0_base> + 0218$_H$
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 17	RSCAN0CFPCTR17	<RSCAN0_base> + 021C$_H$
RSCAN0	FIFO エンプティステータスレジスタ	RSCAN0FESTS	<RSCAN0_base> + 0238$_H$
RSCAN0	FIFO フルステータスレジスタ	RSCAN0FFSTS	<RSCAN0_base> + 023C$_H$
RSCAN0	FIFO Msg ロストステータスレジスタ	RSCAN0FMSTS	<RSCAN0_base> + 0240$_H$
RSCAN0	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCAN0RFISTS	<RSCAN0_base> + 0244$_H$
RSCAN0	送受信 FIFO バッファ RX 割り込みフラグステータスレジスタ	RSCAN0CFRISTS	<RSCAN0_base> + 0248$_H$
RSCAN0	送受信 FIFO バッファ TX 割り込みフラグステータスレジスタ	RSCAN0CFTISTS	<RSCAN0_base> + 024C$_H$
RSCAN0	送信バッファ制御レジスタ 0	RSCAN0TMC0	<RSCAN0_base> + 0250$_H$
RSCAN0	送信バッファ制御レジスタ 1	RSCAN0TMC1	<RSCAN0_base> + 0251$_H$
RSCAN0	送信バッファ制御レジスタ 2	RSCAN0TMC2	<RSCAN0_base> + 0252$_H$
RSCAN0	送信バッファ制御レジスタ 3	RSCAN0TMC3	<RSCAN0_base> + 0253$_H$
RSCAN0	送信バッファ制御レジスタ 4	RSCAN0TMC4	<RSCAN0_base> + 0254$_H$
RSCAN0	送信バッファ制御レジスタ 5	RSCAN0TMC5	<RSCAN0_base> + 0255$_H$
RSCAN0	送信バッファ制御レジスタ 6	RSCAN0TMC6	<RSCAN0_base> + 0256$_H$
RSCAN0	送信バッファ制御レジスタ 7	RSCAN0TMC7	<RSCAN0_base> + 0257$_H$
RSCAN0	送信バッファ制御レジスタ 8	RSCAN0TMC8	<RSCAN0_base> + 0258$_H$
RSCAN0	送信バッファ制御レジスタ 9	RSCAN0TMC9	<RSCAN0_base> + 0259$_H$
RSCAN0	送信バッファ制御レジスタ 10	RSCAN0TMC10	<RSCAN0_base> + 025A$_H$
RSCAN0	送信バッファ制御レジスタ 11	RSCAN0TMC11	<RSCAN0_base> + 025B$_H$
RSCAN0	送信バッファ制御レジスタ 12	RSCAN0TMC12	<RSCAN0_base> + 025C$_H$
RSCAN0	送信バッファ制御レジスタ 13	RSCAN0TMC13	<RSCAN0_base> + 025D$_H$

表 20.12 レジスタ一覧 (4/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファ制御レジスタ 14	RSCAN0TMC14	<RSCAN0_base> + $025E_H$
RSCAN0	送信バッファ制御レジスタ 15	RSCAN0TMC15	<RSCAN0_base> + $025F_H$
RSCAN0	送信バッファ制御レジスタ 16	RSCAN0TMC16	<RSCAN0_base> + 0260_H
RSCAN0	送信バッファ制御レジスタ 17	RSCAN0TMC17	<RSCAN0_base> + 0261_H
RSCAN0	送信バッファ制御レジスタ 18	RSCAN0TMC18	<RSCAN0_base> + 0262_H
RSCAN0	送信バッファ制御レジスタ 19	RSCAN0TMC19	<RSCAN0_base> + 0263_H
RSCAN0	送信バッファ制御レジスタ 20	RSCAN0TMC20	<RSCAN0_base> + 0264_H
RSCAN0	送信バッファ制御レジスタ 21	RSCAN0TMC21	<RSCAN0_base> + 0265_H
RSCAN0	送信バッファ制御レジスタ 22	RSCAN0TMC22	<RSCAN0_base> + 0266_H
RSCAN0	送信バッファ制御レジスタ 23	RSCAN0TMC23	<RSCAN0_base> + 0267_H
RSCAN0	送信バッファ制御レジスタ 24	RSCAN0TMC24	<RSCAN0_base> + 0268_H
RSCAN0	送信バッファ制御レジスタ 25	RSCAN0TMC25	<RSCAN0_base> + 0269_H
RSCAN0	送信バッファ制御レジスタ 26	RSCAN0TMC26	<RSCAN0_base> + $026A_H$
RSCAN0	送信バッファ制御レジスタ 27	RSCAN0TMC27	<RSCAN0_base> + $026B_H$
RSCAN0	送信バッファ制御レジスタ 28	RSCAN0TMC28	<RSCAN0_base> + $026C_H$
RSCAN0	送信バッファ制御レジスタ 29	RSCAN0TMC29	<RSCAN0_base> + $026D_H$
RSCAN0	送信バッファ制御レジスタ 30	RSCAN0TMC30	<RSCAN0_base> + $026E_H$
RSCAN0	送信バッファ制御レジスタ 31	RSCAN0TMC31	<RSCAN0_base> + $026F_H$
RSCAN0	送信バッファ制御レジスタ 32	RSCAN0TMC32	<RSCAN0_base> + 0270_H
RSCAN0	送信バッファ制御レジスタ 33	RSCAN0TMC33	<RSCAN0_base> + 0271_H
RSCAN0	送信バッファ制御レジスタ 34	RSCAN0TMC34	<RSCAN0_base> + 0272_H
RSCAN0	送信バッファ制御レジスタ 35	RSCAN0TMC35	<RSCAN0_base> + 0273_H
RSCAN0	送信バッファ制御レジスタ 36	RSCAN0TMC36	<RSCAN0_base> + 0274_H
RSCAN0	送信バッファ制御レジスタ 37	RSCAN0TMC37	<RSCAN0_base> + 0275_H
RSCAN0	送信バッファ制御レジスタ 38	RSCAN0TMC38	<RSCAN0_base> + 0276_H
RSCAN0	送信バッファ制御レジスタ 39	RSCAN0TMC39	<RSCAN0_base> + 0277_H
RSCAN0	送信バッファ制御レジスタ 40	RSCAN0TMC40	<RSCAN0_base> + 0278_H
RSCAN0	送信バッファ制御レジスタ 41	RSCAN0TMC41	<RSCAN0_base> + 0279_H
RSCAN0	送信バッファ制御レジスタ 42	RSCAN0TMC42	<RSCAN0_base> + $027A_H$
RSCAN0	送信バッファ制御レジスタ 43	RSCAN0TMC43	<RSCAN0_base> + $027B_H$
RSCAN0	送信バッファ制御レジスタ 44	RSCAN0TMC44	<RSCAN0_base> + $027C_H$
RSCAN0	送信バッファ制御レジスタ 45	RSCAN0TMC45	<RSCAN0_base> + $027D_H$
RSCAN0	送信バッファ制御レジスタ 46	RSCAN0TMC46	<RSCAN0_base> + $027E_H$
RSCAN0	送信バッファ制御レジスタ 47	RSCAN0TMC47	<RSCAN0_base> + $027F_H$
RSCAN0	送信バッファ制御レジスタ 48	RSCAN0TMC48	<RSCAN0_base> + 0280_H
RSCAN0	送信バッファ制御レジスタ 49	RSCAN0TMC49	<RSCAN0_base> + 0281_H
RSCAN0	送信バッファ制御レジスタ 50	RSCAN0TMC50	<RSCAN0_base> + 0282_H
RSCAN0	送信バッファ制御レジスタ 51	RSCAN0TMC51	<RSCAN0_base> + 0283_H
RSCAN0	送信バッファ制御レジスタ 52	RSCAN0TMC52	<RSCAN0_base> + 0284_H
RSCAN0	送信バッファ制御レジスタ 53	RSCAN0TMC53	<RSCAN0_base> + 0285_H
RSCAN0	送信バッファ制御レジスタ 54	RSCAN0TMC54	<RSCAN0_base> + 0286_H
RSCAN0	送信バッファ制御レジスタ 55	RSCAN0TMC55	<RSCAN0_base> + 0287_H
RSCAN0	送信バッファ制御レジスタ 56	RSCAN0TMC56	<RSCAN0_base> + 0288_H
RSCAN0	送信バッファ制御レジスタ 57	RSCAN0TMC57	<RSCAN0_base> + 0289_H
RSCAN0	送信バッファ制御レジスタ 58	RSCAN0TMC58	<RSCAN0_base> + $028A_H$
RSCAN0	送信バッファ制御レジスタ 59	RSCAN0TMC59	<RSCAN0_base> + $028B_H$
RSCAN0	送信バッファ制御レジスタ 60	RSCAN0TMC60	<RSCAN0_base> + $028C_H$

表 20.12 レジスタ一覧 (5/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファ制御レジスタ 61	RSCAN0TMC61	<RSCAN0_base> + $028D_H$
RSCAN0	送信バッファ制御レジスタ 62	RSCAN0TMC62	<RSCAN0_base> + $028E_H$
RSCAN0	送信バッファ制御レジスタ 63	RSCAN0TMC63	<RSCAN0_base> + $028F_H$
RSCAN0	送信バッファ制御レジスタ 64	RSCAN0TMC64	<RSCAN0_base> + 0290_H
RSCAN0	送信バッファ制御レジスタ 65	RSCAN0TMC65	<RSCAN0_base> + 0291_H
RSCAN0	送信バッファ制御レジスタ 66	RSCAN0TMC66	<RSCAN0_base> + 0292_H
RSCAN0	送信バッファ制御レジスタ 67	RSCAN0TMC67	<RSCAN0_base> + 0293_H
RSCAN0	送信バッファ制御レジスタ 68	RSCAN0TMC68	<RSCAN0_base> + 0294_H
RSCAN0	送信バッファ制御レジスタ 69	RSCAN0TMC69	<RSCAN0_base> + 0295_H
RSCAN0	送信バッファ制御レジスタ 70	RSCAN0TMC70	<RSCAN0_base> + 0296_H
RSCAN0	送信バッファ制御レジスタ 71	RSCAN0TMC71	<RSCAN0_base> + 0297_H
RSCAN0	送信バッファ制御レジスタ 72	RSCAN0TMC72	<RSCAN0_base> + 0298_H
RSCAN0	送信バッファ制御レジスタ 73	RSCAN0TMC73	<RSCAN0_base> + 0299_H
RSCAN0	送信バッファ制御レジスタ 74	RSCAN0TMC74	<RSCAN0_base> + $029A_H$
RSCAN0	送信バッファ制御レジスタ 75	RSCAN0TMC75	<RSCAN0_base> + $029B_H$
RSCAN0	送信バッファ制御レジスタ 76	RSCAN0TMC76	<RSCAN0_base> + $029C_H$
RSCAN0	送信バッファ制御レジスタ 77	RSCAN0TMC77	<RSCAN0_base> + $029D_H$
RSCAN0	送信バッファ制御レジスタ 78	RSCAN0TMC78	<RSCAN0_base> + $029E_H$
RSCAN0	送信バッファ制御レジスタ 79	RSCAN0TMC79	<RSCAN0_base> + $029F_H$
RSCAN0	送信バッファ制御レジスタ 80	RSCAN0TMC80	<RSCAN0_base> + $02A0_H$
RSCAN0	送信バッファ制御レジスタ 81	RSCAN0TMC81	<RSCAN0_base> + $02A1_H$
RSCAN0	送信バッファ制御レジスタ 82	RSCAN0TMC82	<RSCAN0_base> + $02A2_H$
RSCAN0	送信バッファ制御レジスタ 83	RSCAN0TMC83	<RSCAN0_base> + $02A3_H$
RSCAN0	送信バッファ制御レジスタ 84	RSCAN0TMC84	<RSCAN0_base> + $02A4_H$
RSCAN0	送信バッファ制御レジスタ 85	RSCAN0TMC85	<RSCAN0_base> + $02A5_H$
RSCAN0	送信バッファ制御レジスタ 86	RSCAN0TMC86	<RSCAN0_base> + $02A6_H$
RSCAN0	送信バッファ制御レジスタ 87	RSCAN0TMC87	<RSCAN0_base> + $02A7_H$
RSCAN0	送信バッファ制御レジスタ 88	RSCAN0TMC88	<RSCAN0_base> + $02A8_H$
RSCAN0	送信バッファ制御レジスタ 89	RSCAN0TMC89	<RSCAN0_base> + $02A9_H$
RSCAN0	送信バッファ制御レジスタ 90	RSCAN0TMC90	<RSCAN0_base> + $02AA_H$
RSCAN0	送信バッファ制御レジスタ 91	RSCAN0TMC91	<RSCAN0_base> + $02AB_H$
RSCAN0	送信バッファ制御レジスタ 92	RSCAN0TMC92	<RSCAN0_base> + $02AC_H$
RSCAN0	送信バッファ制御レジスタ 93	RSCAN0TMC93	<RSCAN0_base> + $02AD_H$
RSCAN0	送信バッファ制御レジスタ 94	RSCAN0TMC94	<RSCAN0_base> + $02AE_H$
RSCAN0	送信バッファ制御レジスタ 95	RSCAN0TMC95	<RSCAN0_base> + $02AF_H$
RSCAN0	送信バッファステータスレジスタ 0	RSCAN0TMSTS0	<RSCAN0_base> + $02D0_H$
RSCAN0	送信バッファステータスレジスタ 1	RSCAN0TMSTS1	<RSCAN0_base> + $02D1_H$
RSCAN0	送信バッファステータスレジスタ 2	RSCAN0TMSTS2	<RSCAN0_base> + $02D2_H$
RSCAN0	送信バッファステータスレジスタ 3	RSCAN0TMSTS3	<RSCAN0_base> + $02D3_H$
RSCAN0	送信バッファステータスレジスタ 4	RSCAN0TMSTS4	<RSCAN0_base> + $02D4_H$
RSCAN0	送信バッファステータスレジスタ 5	RSCAN0TMSTS5	<RSCAN0_base> + $02D5_H$
RSCAN0	送信バッファステータスレジスタ 6	RSCAN0TMSTS6	<RSCAN0_base> + $02D6_H$
RSCAN0	送信バッファステータスレジスタ 7	RSCAN0TMSTS7	<RSCAN0_base> + $02D7_H$
RSCAN0	送信バッファステータスレジスタ 8	RSCAN0TMSTS8	<RSCAN0_base> + $02D8_H$
RSCAN0	送信バッファステータスレジスタ 9	RSCAN0TMSTS9	<RSCAN0_base> + $02D9_H$
RSCAN0	送信バッファステータスレジスタ 10	RSCAN0TMSTS10	<RSCAN0_base> + $02DA_H$
RSCAN0	送信バッファステータスレジスタ 11	RSCAN0TMSTS11	<RSCAN0_base> + $02DB_H$

表 20.12 レジスタ一覧 (6/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファステータスレジスタ 12	RSCAN0TMSTS12	<RSCAN0_base> + $02DC_H$
RSCAN0	送信バッファステータスレジスタ 13	RSCAN0TMSTS13	<RSCAN0_base> + $02DD_H$
RSCAN0	送信バッファステータスレジスタ 14	RSCAN0TMSTS14	<RSCAN0_base> + $02DE_H$
RSCAN0	送信バッファステータスレジスタ 15	RSCAN0TMSTS15	<RSCAN0_base> + $02DF_H$
RSCAN0	送信バッファステータスレジスタ 16	RSCAN0TMSTS16	<RSCAN0_base> + $02E0_H$
RSCAN0	送信バッファステータスレジスタ 17	RSCAN0TMSTS17	<RSCAN0_base> + $02E1_H$
RSCAN0	送信バッファステータスレジスタ 18	RSCAN0TMSTS18	<RSCAN0_base> + $02E2_H$
RSCAN0	送信バッファステータスレジスタ 19	RSCAN0TMSTS19	<RSCAN0_base> + $02E3_H$
RSCAN0	送信バッファステータスレジスタ 20	RSCAN0TMSTS20	<RSCAN0_base> + $02E4_H$
RSCAN0	送信バッファステータスレジスタ 21	RSCAN0TMSTS21	<RSCAN0_base> + $02E5_H$
RSCAN0	送信バッファステータスレジスタ 22	RSCAN0TMSTS22	<RSCAN0_base> + $02E6_H$
RSCAN0	送信バッファステータスレジスタ 23	RSCAN0TMSTS23	<RSCAN0_base> + $02E7_H$
RSCAN0	送信バッファステータスレジスタ 24	RSCAN0TMSTS24	<RSCAN0_base> + $02E8_H$
RSCAN0	送信バッファステータスレジスタ 25	RSCAN0TMSTS25	<RSCAN0_base> + $02E9_H$
RSCAN0	送信バッファステータスレジスタ 26	RSCAN0TMSTS26	<RSCAN0_base> + $02EA_H$
RSCAN0	送信バッファステータスレジスタ 27	RSCAN0TMSTS27	<RSCAN0_base> + $02EB_H$
RSCAN0	送信バッファステータスレジスタ 28	RSCAN0TMSTS28	<RSCAN0_base> + $02EC_H$
RSCAN0	送信バッファステータスレジスタ 29	RSCAN0TMSTS29	<RSCAN0_base> + $02ED_H$
RSCAN0	送信バッファステータスレジスタ 30	RSCAN0TMSTS30	<RSCAN0_base> + $02EE_H$
RSCAN0	送信バッファステータスレジスタ 31	RSCAN0TMSTS31	<RSCAN0_base> + $02EF_H$
RSCAN0	送信バッファステータスレジスタ 32	RSCAN0TMSTS32	<RSCAN0_base> + $02F0_H$
RSCAN0	送信バッファステータスレジスタ 33	RSCAN0TMSTS33	<RSCAN0_base> + $02F1_H$
RSCAN0	送信バッファステータスレジスタ 34	RSCAN0TMSTS34	<RSCAN0_base> + $02F2_H$
RSCAN0	送信バッファステータスレジスタ 35	RSCAN0TMSTS35	<RSCAN0_base> + $02F3_H$
RSCAN0	送信バッファステータスレジスタ 36	RSCAN0TMSTS36	<RSCAN0_base> + $02F4_H$
RSCAN0	送信バッファステータスレジスタ 37	RSCAN0TMSTS37	<RSCAN0_base> + $02F5_H$
RSCAN0	送信バッファステータスレジスタ 38	RSCAN0TMSTS38	<RSCAN0_base> + $02F6_H$
RSCAN0	送信バッファステータスレジスタ 39	RSCAN0TMSTS39	<RSCAN0_base> + $02F7_H$
RSCAN0	送信バッファステータスレジスタ 40	RSCAN0TMSTS40	<RSCAN0_base> + $02F8_H$
RSCAN0	送信バッファステータスレジスタ 41	RSCAN0TMSTS41	<RSCAN0_base> + $02F9_H$
RSCAN0	送信バッファステータスレジスタ 42	RSCAN0TMSTS42	<RSCAN0_base> + $02FA_H$
RSCAN0	送信バッファステータスレジスタ 43	RSCAN0TMSTS43	<RSCAN0_base> + $02FB_H$
RSCAN0	送信バッファステータスレジスタ 44	RSCAN0TMSTS44	<RSCAN0_base> + $02FC_H$
RSCAN0	送信バッファステータスレジスタ 45	RSCAN0TMSTS45	<RSCAN0_base> + $02FD_H$
RSCAN0	送信バッファステータスレジスタ 46	RSCAN0TMSTS46	<RSCAN0_base> + $02FE_H$
RSCAN0	送信バッファステータスレジスタ 47	RSCAN0TMSTS47	<RSCAN0_base> + $02FF_H$
RSCAN0	送信バッファステータスレジスタ 48	RSCAN0TMSTS48	<RSCAN0_base> + 0300_H
RSCAN0	送信バッファステータスレジスタ 49	RSCAN0TMSTS49	<RSCAN0_base> + 0301_H
RSCAN0	送信バッファステータスレジスタ 50	RSCAN0TMSTS50	<RSCAN0_base> + 0302_H
RSCAN0	送信バッファステータスレジスタ 51	RSCAN0TMSTS51	<RSCAN0_base> + 0303_H
RSCAN0	送信バッファステータスレジスタ 52	RSCAN0TMSTS52	<RSCAN0_base> + 0304_H
RSCAN0	送信バッファステータスレジスタ 53	RSCAN0TMSTS53	<RSCAN0_base> + 0305_H
RSCAN0	送信バッファステータスレジスタ 54	RSCAN0TMSTS54	<RSCAN0_base> + 0306_H
RSCAN0	送信バッファステータスレジスタ 55	RSCAN0TMSTS55	<RSCAN0_base> + 0307_H
RSCAN0	送信バッファステータスレジスタ 56	RSCAN0TMSTS56	<RSCAN0_base> + 0308_H
RSCAN0	送信バッファステータスレジスタ 57	RSCAN0TMSTS57	<RSCAN0_base> + 0309_H
RSCAN0	送信バッファステータスレジスタ 58	RSCAN0TMSTS58	<RSCAN0_base> + $030A_H$

表 20.12 レジスタ一覧 (7/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファステータスレジスタ 59	RSCAN0TMSTS59	<RSCAN0_base> + $030B_H$
RSCAN0	送信バッファステータスレジスタ 60	RSCAN0TMSTS60	<RSCAN0_base> + $030C_H$
RSCAN0	送信バッファステータスレジスタ 61	RSCAN0TMSTS61	<RSCAN0_base> + $030D_H$
RSCAN0	送信バッファステータスレジスタ 62	RSCAN0TMSTS62	<RSCAN0_base> + $030E_H$
RSCAN0	送信バッファステータスレジスタ 63	RSCAN0TMSTS63	<RSCAN0_base> + $030F_H$
RSCAN0	送信バッファステータスレジスタ 64	RSCAN0TMSTS64	<RSCAN0_base> + 0310_H
RSCAN0	送信バッファステータスレジスタ 65	RSCAN0TMSTS65	<RSCAN0_base> + 0311_H
RSCAN0	送信バッファステータスレジスタ 66	RSCAN0TMSTS66	<RSCAN0_base> + 0312_H
RSCAN0	送信バッファステータスレジスタ 67	RSCAN0TMSTS67	<RSCAN0_base> + 0313_H
RSCAN0	送信バッファステータスレジスタ 68	RSCAN0TMSTS68	<RSCAN0_base> + 0314_H
RSCAN0	送信バッファステータスレジスタ 69	RSCAN0TMSTS69	<RSCAN0_base> + 0315_H
RSCAN0	送信バッファステータスレジスタ 70	RSCAN0TMSTS70	<RSCAN0_base> + 0316_H
RSCAN0	送信バッファステータスレジスタ 71	RSCAN0TMSTS71	<RSCAN0_base> + 0317_H
RSCAN0	送信バッファステータスレジスタ 72	RSCAN0TMSTS72	<RSCAN0_base> + 0318_H
RSCAN0	送信バッファステータスレジスタ 73	RSCAN0TMSTS73	<RSCAN0_base> + 0319_H
RSCAN0	送信バッファステータスレジスタ 74	RSCAN0TMSTS74	<RSCAN0_base> + $031A_H$
RSCAN0	送信バッファステータスレジスタ 75	RSCAN0TMSTS75	<RSCAN0_base> + $031B_H$
RSCAN0	送信バッファステータスレジスタ 76	RSCAN0TMSTS76	<RSCAN0_base> + $031C_H$
RSCAN0	送信バッファステータスレジスタ 77	RSCAN0TMSTS77	<RSCAN0_base> + $031D_H$
RSCAN0	送信バッファステータスレジスタ 78	RSCAN0TMSTS78	<RSCAN0_base> + $031E_H$
RSCAN0	送信バッファステータスレジスタ 79	RSCAN0TMSTS79	<RSCAN0_base> + $031F_H$
RSCAN0	送信バッファステータスレジスタ 80	RSCAN0TMSTS80	<RSCAN0_base> + 0320_H
RSCAN0	送信バッファステータスレジスタ 81	RSCAN0TMSTS81	<RSCAN0_base> + 0321_H
RSCAN0	送信バッファステータスレジスタ 82	RSCAN0TMSTS82	<RSCAN0_base> + 0322_H
RSCAN0	送信バッファステータスレジスタ 83	RSCAN0TMSTS83	<RSCAN0_base> + 0323_H
RSCAN0	送信バッファステータスレジスタ 84	RSCAN0TMSTS84	<RSCAN0_base> + 0324_H
RSCAN0	送信バッファステータスレジスタ 85	RSCAN0TMSTS85	<RSCAN0_base> + 0325_H
RSCAN0	送信バッファステータスレジスタ 86	RSCAN0TMSTS86	<RSCAN0_base> + 0326_H
RSCAN0	送信バッファステータスレジスタ 87	RSCAN0TMSTS87	<RSCAN0_base> + 0327_H
RSCAN0	送信バッファステータスレジスタ 88	RSCAN0TMSTS88	<RSCAN0_base> + 0328_H
RSCAN0	送信バッファステータスレジスタ 89	RSCAN0TMSTS89	<RSCAN0_base> + 0329_H
RSCAN0	送信バッファステータスレジスタ 90	RSCAN0TMSTS90	<RSCAN0_base> + $032A_H$
RSCAN0	送信バッファステータスレジスタ 91	RSCAN0TMSTS91	<RSCAN0_base> + $032B_H$
RSCAN0	送信バッファステータスレジスタ 92	RSCAN0TMSTS92	<RSCAN0_base> + $032C_H$
RSCAN0	送信バッファステータスレジスタ 93	RSCAN0TMSTS93	<RSCAN0_base> + $032D_H$
RSCAN0	送信バッファステータスレジスタ 94	RSCAN0TMSTS94	<RSCAN0_base> + $032E_H$
RSCAN0	送信バッファステータスレジスタ 95	RSCAN0TMSTS95	<RSCAN0_base> + $032F_H$
RSCAN0	送信バッファ送信要求ステータスレジスタ 0	RSCAN0TMTRSTS0	<RSCAN0_base> + 0350_H
RSCAN0	送信バッファ送信要求ステータスレジスタ 1	RSCAN0TMTRSTS1	<RSCAN0_base> + 0354_H
RSCAN0	送信バッファ送信要求ステータスレジスタ 2	RSCAN0TMTRSTS2	<RSCAN0_base> + 0358_H
RSCAN0	送信バッファ送信アボート要求ステータスレジスタ 0	RSCAN0TMTARSTS0	<RSCAN0_base> + 0360_H
RSCAN0	送信バッファ送信アボート要求ステータスレジスタ 1	RSCAN0TMTARSTS1	<RSCAN0_base> + 0364_H
RSCAN0	送信バッファ送信アボート要求ステータスレジスタ 2	RSCAN0TMTARSTS2	<RSCAN0_base> + 0368_H
RSCAN0	送信バッファ送信完了ステータスレジスタ 0	RSCAN0TMTCSTS0	<RSCAN0_base> + 0370_H
RSCAN0	送信バッファ送信完了ステータスレジスタ 1	RSCAN0TMTCSTS1	<RSCAN0_base> + 0374_H
RSCAN0	送信バッファ送信完了ステータスレジスタ 2	RSCAN0TMTCSTS2	<RSCAN0_base> + 0378_H
RSCAN0	送信バッファ送信アボートステータスレジスタ 0	RSCAN0TMTASTS0	<RSCAN0_base> + 0380_H

表 20.12 レジスター覧 (8/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファ送信アボートステータスレジスタ 1	RSCAN0TMTASTS1	<RSCAN0_base> + 0384_H
RSCAN0	送信バッファ送信アボートステータスレジスタ 2	RSCAN0TMTASTS2	<RSCAN0_base> + 0388_H
RSCAN0	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0	RSCAN0TMIEC0	<RSCAN0_base> + 0390_H
RSCAN0	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 1	RSCAN0TMIEC1	<RSCAN0_base> + 0394_H
RSCAN0	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 2	RSCAN0TMIEC2	<RSCAN0_base> + 0398_H
RSCAN0	送信キューコンフィグレーション／制御レジスタ 0	RSCAN0TXQCC0	<RSCAN0_base> + $03A0_H$
RSCAN0	送信キューコンフィグレーション／制御レジスタ 1	RSCAN0TXQCC1	<RSCAN0_base> + $03A4_H$
RSCAN0	送信キューコンフィグレーション／制御レジスタ 2	RSCAN0TXQCC2	<RSCAN0_base> + $03A8_H$
RSCAN0	送信キューコンフィグレーション／制御レジスタ 3	RSCAN0TXQCC3	<RSCAN0_base> + $03AC_H$
RSCAN0	送信キューコンフィグレーション／制御レジスタ 4	RSCAN0TXQCC4	<RSCAN0_base> + $03B0_H$
RSCAN0	送信キューコンフィグレーション／制御レジスタ 5	RSCAN0TXQCC5	<RSCAN0_base> + $03B4_H$
RSCAN0	送信キューステータスレジスタ 0	RSCAN0TXQSTS0	<RSCAN0_base> + $03C0_H$
RSCAN0	送信キューステータスレジスタ 1	RSCAN0TXQSTS1	<RSCAN0_base> + $03C4_H$
RSCAN0	送信キューステータスレジスタ 2	RSCAN0TXQSTS2	<RSCAN0_base> + $03C8_H$
RSCAN0	送信キューステータスレジスタ 3	RSCAN0TXQSTS3	<RSCAN0_base> + $03CC_H$
RSCAN0	送信キューステータスレジスタ 4	RSCAN0TXQSTS4	<RSCAN0_base> + $03D0_H$
RSCAN0	送信キューステータスレジスタ 5	RSCAN0TXQSTS5	<RSCAN0_base> + $03D4_H$
RSCAN0	送信キューポインタ制御レジスタ 0	RSCAN0TXQPCTR0	<RSCAN0_base> + $03E0_H$
RSCAN0	送信キューポインタ制御レジスタ 1	RSCAN0TXQPCTR1	<RSCAN0_base> + $03E4_H$
RSCAN0	送信キューポインタ制御レジスタ 2	RSCAN0TXQPCTR2	<RSCAN0_base> + $03E8_H$
RSCAN0	送信キューポインタ制御レジスタ 3	RSCAN0TXQPCTR3	<RSCAN0_base> + $03EC_H$
RSCAN0	送信キューポインタ制御レジスタ 4	RSCAN0TXQPCTR4	<RSCAN0_base> + $03F0_H$
RSCAN0	送信キューポインタ制御レジスタ 5	RSCAN0TXQPCTR5	<RSCAN0_base> + $03F4_H$
RSCAN0	送信履歴コンフィグレーション／制御レジスタ 0	RSCAN0THLCC0	<RSCAN0_base> + 0400_H
RSCAN0	送信履歴コンフィグレーション／制御レジスタ 1	RSCAN0THLCC1	<RSCAN0_base> + 0404_H
RSCAN0	送信履歴コンフィグレーション／制御レジスタ 2	RSCAN0THLCC2	<RSCAN0_base> + 0408_H
RSCAN0	送信履歴コンフィグレーション／制御レジスタ 3	RSCAN0THLCC3	<RSCAN0_base> + $040C_H$
RSCAN0	送信履歴コンフィグレーション／制御レジスタ 4	RSCAN0THLCC4	<RSCAN0_base> + 0410_H
RSCAN0	送信履歴コンフィグレーション／制御レジスタ 5	RSCAN0THLCC5	<RSCAN0_base> + 0414_H
RSCAN0	送信履歴ステータスレジスタ 0	RSCAN0THLSTS0	<RSCAN0_base> + 0420_H
RSCAN0	送信履歴ステータスレジスタ 1	RSCAN0THLSTS1	<RSCAN0_base> + 0424_H
RSCAN0	送信履歴ステータスレジスタ 2	RSCAN0THLSTS2	<RSCAN0_base> + 0428_H
RSCAN0	送信履歴ステータスレジスタ 3	RSCAN0THLSTS3	<RSCAN0_base> + $042C_H$
RSCAN0	送信履歴ステータスレジスタ 4	RSCAN0THLSTS4	<RSCAN0_base> + 0430_H
RSCAN0	送信履歴ステータスレジスタ 5	RSCAN0THLSTS5	<RSCAN0_base> + 0434_H
RSCAN0	送信履歴ポインタ制御レジスタ 0	RSCAN0THLPCTR0	<RSCAN0_base> + 0440_H
RSCAN0	送信履歴ポインタ制御レジスタ 1	RSCAN0THLPCTR1	<RSCAN0_base> + 0444_H
RSCAN0	送信履歴ポインタ制御レジスタ 2	RSCAN0THLPCTR2	<RSCAN0_base> + 0448_H
RSCAN0	送信履歴ポインタ制御レジスタ 3	RSCAN0THLPCTR3	<RSCAN0_base> + $044C_H$
RSCAN0	送信履歴ポインタ制御レジスタ 4	RSCAN0THLPCTR4	<RSCAN0_base> + 0450_H
RSCAN0	送信履歴ポインタ制御レジスタ 5	RSCAN0THLPCTR5	<RSCAN0_base> + 0454_H
RSCAN0	グローバル TX 割り込みステータスレジスタ 0	RSCAN0GTINTSTS0	<RSCAN0_base> + 0460_H
RSCAN0	グローバル TX 割り込みステータスレジスタ 1	RSCAN0GTINTSTS1	<RSCAN0_base> + 0464_H
RSCAN0	グローバルテストコンフィグレーションレジスタ	RSCAN0GTSTCFG	<RSCAN0_base> + 0468_H
RSCAN0	グローバルテスト制御レジスタ	RSCAN0GTSTCTR	<RSCAN0_base> + $046C_H$
RSCAN0	グローバルロックキーレジスタ	RSCAN0GLOCKK	<RSCAN0_base> + $047C_H$
RSCAN0	受信ルール ID レジスタ 0	RSCAN0GAFLID0	<RSCAN0_base> + 0500_H

表 20.12 レジスター覧 (9/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信ルールマスクレジスタ 0	RSCAN0GAFLM0	<RSCAN0_base> + 0504_H
RSCAN0	受信ルールポインタ 0 レジスタ 0	RSCAN0GAFLP00	<RSCAN0_base> + 0508_H
RSCAN0	受信ルールポインタ 1 レジスタ 0	RSCAN0GAFLP10	<RSCAN0_base> + $050C_H$
RSCAN0	受信ルール ID レジスタ 1	RSCAN0GAFLID1	<RSCAN0_base> + 0510_H
RSCAN0	受信ルールマスクレジスタ 1	RSCAN0GAFLM1	<RSCAN0_base> + 0514_H
RSCAN0	受信ルールポインタ 0 レジスタ 1	RSCAN0GAFLP01	<RSCAN0_base> + 0518_H
RSCAN0	受信ルールポインタ 1 レジスタ 1	RSCAN0GAFLP11	<RSCAN0_base> + $051C_H$
RSCAN0	受信ルール ID レジスタ 2	RSCAN0GAFLID2	<RSCAN0_base> + 0520_H
RSCAN0	受信ルールマスクレジスタ 2	RSCAN0GAFLM2	<RSCAN0_base> + 0524_H
RSCAN0	受信ルールポインタ 0 レジスタ 2	RSCAN0GAFLP02	<RSCAN0_base> + 0528_H
RSCAN0	受信ルールポインタ 1 レジスタ 2	RSCAN0GAFLP12	<RSCAN0_base> + $052C_H$
RSCAN0	受信ルール ID レジスタ 3	RSCAN0GAFLID3	<RSCAN0_base> + 0530_H
RSCAN0	受信ルールマスクレジスタ 3	RSCAN0GAFLM3	<RSCAN0_base> + 0534_H
RSCAN0	受信ルールポインタ 0 レジスタ 3	RSCAN0GAFLP03	<RSCAN0_base> + 0538_H
RSCAN0	受信ルールポインタ 1 レジスタ 3	RSCAN0GAFLP13	<RSCAN0_base> + $053C_H$
RSCAN0	受信ルール ID レジスタ 4	RSCAN0GAFLID4	<RSCAN0_base> + 0540_H
RSCAN0	受信ルールマスクレジスタ 4	RSCAN0GAFLM4	<RSCAN0_base> + 0544_H
RSCAN0	受信ルールポインタ 0 レジスタ 4	RSCAN0GAFLP04	<RSCAN0_base> + 0548_H
RSCAN0	受信ルールポインタ 1 レジスタ 4	RSCAN0GAFLP14	<RSCAN0_base> + $054C_H$
RSCAN0	受信ルール ID レジスタ 5	RSCAN0GAFLID5	<RSCAN0_base> + 0550_H
RSCAN0	受信ルールマスクレジスタ 5	RSCAN0GAFLM5	<RSCAN0_base> + 0554_H
RSCAN0	受信ルールポインタ 0 レジスタ 5	RSCAN0GAFLP05	<RSCAN0_base> + 0558_H
RSCAN0	受信ルールポインタ 1 レジスタ 5	RSCAN0GAFLP15	<RSCAN0_base> + $055C_H$
RSCAN0	受信ルール ID レジスタ 6	RSCAN0GAFLID6	<RSCAN0_base> + 0560_H
RSCAN0	受信ルールマスクレジスタ 6	RSCAN0GAFLM6	<RSCAN0_base> + 0564_H
RSCAN0	受信ルールポインタ 0 レジスタ 6	RSCAN0GAFLP06	<RSCAN0_base> + 0568_H
RSCAN0	受信ルールポインタ 1 レジスタ 6	RSCAN0GAFLP16	<RSCAN0_base> + $056C_H$
RSCAN0	受信ルール ID レジスタ 7	RSCAN0GAFLID7	<RSCAN0_base> + 0570_H
RSCAN0	受信ルールマスクレジスタ 7	RSCAN0GAFLM7	<RSCAN0_base> + 0574_H
RSCAN0	受信ルールポインタ 0 レジスタ 7	RSCAN0GAFLP07	<RSCAN0_base> + 0578_H
RSCAN0	受信ルールポインタ 1 レジスタ 7	RSCAN0GAFLP17	<RSCAN0_base> + $057C_H$
RSCAN0	受信ルール ID レジスタ 8	RSCAN0GAFLID8	<RSCAN0_base> + 0580_H
RSCAN0	受信ルールマスクレジスタ 8	RSCAN0GAFLM8	<RSCAN0_base> + 0584_H
RSCAN0	受信ルールポインタ 0 レジスタ 8	RSCAN0GAFLP08	<RSCAN0_base> + 0588_H
RSCAN0	受信ルールポインタ 1 レジスタ 8	RSCAN0GAFLP18	<RSCAN0_base> + $058C_H$
RSCAN0	受信ルール ID レジスタ 9	RSCAN0GAFLID9	<RSCAN0_base> + 0590_H
RSCAN0	受信ルールマスクレジスタ 9	RSCAN0GAFLM9	<RSCAN0_base> + 0594_H
RSCAN0	受信ルールポインタ 0 レジスタ 9	RSCAN0GAFLP09	<RSCAN0_base> + 0598_H
RSCAN0	受信ルールポインタ 1 レジスタ 9	RSCAN0GAFLP19	<RSCAN0_base> + $059C_H$
RSCAN0	受信ルール ID レジスタ 10	RSCAN0GAFLID10	<RSCAN0_base> + $05A0_H$
RSCAN0	受信ルールマスクレジスタ 10	RSCAN0GAFLM10	<RSCAN0_base> + $05A4_H$
RSCAN0	受信ルールポインタ 0 レジスタ 10	RSCAN0GAFLP010	<RSCAN0_base> + $05A8_H$
RSCAN0	受信ルールポインタ 1 レジスタ 10	RSCAN0GAFLP110	<RSCAN0_base> + $05AC_H$
RSCAN0	受信ルール ID レジスタ 11	RSCAN0GAFLID11	<RSCAN0_base> + $05B0_H$
RSCAN0	受信ルールマスクレジスタ 11	RSCAN0GAFLM11	<RSCAN0_base> + $05B4_H$
RSCAN0	受信ルールポインタ 0 レジスタ 11	RSCAN0GAFLP011	<RSCAN0_base> + $05B8_H$
RSCAN0	受信ルールポインタ 1 レジスタ 11	RSCAN0GAFLP111	<RSCAN0_base> + $05BC_H$

表 20.12 レジスター覧 (10/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信ルール ID レジスタ 12	RSCAN0GAFLID12	<RSCAN0_base> + $05C0_H$
RSCAN0	受信ルールマスクレジスタ 12	RSCAN0GAFLM12	<RSCAN0_base> + $05C4_H$
RSCAN0	受信ルールポインタ 0 レジスタ 12	RSCAN0GAFLP012	<RSCAN0_base> + $05C8_H$
RSCAN0	受信ルールポインタ 1 レジスタ 12	RSCAN0GAFLP112	<RSCAN0_base> + $05CC_H$
RSCAN0	受信ルール ID レジスタ 13	RSCAN0GAFLID13	<RSCAN0_base> + $05D0_H$
RSCAN0	受信ルールマスクレジスタ 13	RSCAN0GAFLM13	<RSCAN0_base> + $05D4_H$
RSCAN0	受信ルールポインタ 0 レジスタ 13	RSCAN0GAFLP013	<RSCAN0_base> + $05D8_H$
RSCAN0	受信ルールポインタ 1 レジスタ 13	RSCAN0GAFLP113	<RSCAN0_base> + $05DC_H$
RSCAN0	受信ルール ID レジスタ 14	RSCAN0GAFLID14	<RSCAN0_base> + $05E0_H$
RSCAN0	受信ルールマスクレジスタ 14	RSCAN0GAFLM14	<RSCAN0_base> + $05E4_H$
RSCAN0	受信ルールポインタ 0 レジスタ 14	RSCAN0GAFLP014	<RSCAN0_base> + $05E8_H$
RSCAN0	受信ルールポインタ 1 レジスタ 14	RSCAN0GAFLP114	<RSCAN0_base> + $05EC_H$
RSCAN0	受信ルール ID レジスタ 15	RSCAN0GAFLID15	<RSCAN0_base> + $05F0_H$
RSCAN0	受信ルールマスクレジスタ 15	RSCAN0GAFLM15	<RSCAN0_base> + $05F4_H$
RSCAN0	受信ルールポインタ 0 レジスタ 15	RSCAN0GAFLP015	<RSCAN0_base> + $05F8_H$
RSCAN0	受信ルールポインタ 1 レジスタ 15	RSCAN0GAFLP115	<RSCAN0_base> + $05FC_H$
RSCAN0	受信バッファ ID レジスタ 0	RSCAN0RMID0	<RSCAN0_base> + 0600_H
RSCAN0	受信バッファポインタレジスタ 0	RSCAN0RMPTR0	<RSCAN0_base> + 0604_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 0	RSCAN0RMDF00	<RSCAN0_base> + 0608_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 0	RSCAN0RMDF10	<RSCAN0_base> + $060C_H$
RSCAN0	受信バッファ ID レジスタ 1	RSCAN0RMID1	<RSCAN0_base> + 0610_H
RSCAN0	受信バッファポインタレジスタ 1	RSCAN0RMPTR1	<RSCAN0_base> + 0614_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 1	RSCAN0RMDF01	<RSCAN0_base> + 0618_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 1	RSCAN0RMDF11	<RSCAN0_base> + $061C_H$
RSCAN0	受信バッファ ID レジスタ 2	RSCAN0RMID2	<RSCAN0_base> + 0620_H
RSCAN0	受信バッファポインタレジスタ 2	RSCAN0RMPTR2	<RSCAN0_base> + 0624_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 2	RSCAN0RMDF02	<RSCAN0_base> + 0628_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 2	RSCAN0RMDF12	<RSCAN0_base> + $062C_H$
RSCAN0	受信バッファ ID レジスタ 3	RSCAN0RMID3	<RSCAN0_base> + 0630_H
RSCAN0	受信バッファポインタレジスタ 3	RSCAN0RMPTR3	<RSCAN0_base> + 0634_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 3	RSCAN0RMDF03	<RSCAN0_base> + 0638_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 3	RSCAN0RMDF13	<RSCAN0_base> + $063C_H$
RSCAN0	受信バッファ ID レジスタ 4	RSCAN0RMID4	<RSCAN0_base> + 0640_H
RSCAN0	受信バッファポインタレジスタ 4	RSCAN0RMPTR4	<RSCAN0_base> + 0644_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 4	RSCAN0RMDF04	<RSCAN0_base> + 0648_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 4	RSCAN0RMDF14	<RSCAN0_base> + $064C_H$
RSCAN0	受信バッファ ID レジスタ 5	RSCAN0RMID5	<RSCAN0_base> + 0650_H
RSCAN0	受信バッファポインタレジスタ 5	RSCAN0RMPTR5	<RSCAN0_base> + 0654_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 5	RSCAN0RMDF05	<RSCAN0_base> + 0658_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 5	RSCAN0RMDF15	<RSCAN0_base> + $065C_H$
RSCAN0	受信バッファ ID レジスタ 6	RSCAN0RMID6	<RSCAN0_base> + 0660_H
RSCAN0	受信バッファポインタレジスタ 6	RSCAN0RMPTR6	<RSCAN0_base> + 0664_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 6	RSCAN0RMDF06	<RSCAN0_base> + 0668_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 6	RSCAN0RMDF16	<RSCAN0_base> + $066C_H$
RSCAN0	受信バッファ ID レジスタ 7	RSCAN0RMID7	<RSCAN0_base> + 0670_H
RSCAN0	受信バッファポインタレジスタ 7	RSCAN0RMPTR7	<RSCAN0_base> + 0674_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 7	RSCAN0RMDF07	<RSCAN0_base> + 0678_H

表 20.12 レジスタ一覧 (11/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信バッファデータフィールド 1 レジスタ 7	RSCAN0RMDF17	<RSCAN0_base> + $067C_H$
RSCAN0	受信バッファ ID レジスタ 8	RSCAN0RMID8	<RSCAN0_base> + 0680_H
RSCAN0	受信バッファポインタレジスタ 8	RSCAN0RMPTR8	<RSCAN0_base> + 0684_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 8	RSCAN0RMDF08	<RSCAN0_base> + 0688_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 8	RSCAN0RMDF18	<RSCAN0_base> + $068C_H$
RSCAN0	受信バッファ ID レジスタ 9	RSCAN0RMID9	<RSCAN0_base> + 0690_H
RSCAN0	受信バッファポインタレジスタ 9	RSCAN0RMPTR9	<RSCAN0_base> + 0694_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 9	RSCAN0RMDF09	<RSCAN0_base> + 0698_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 9	RSCAN0RMDF19	<RSCAN0_base> + $069C_H$
RSCAN0	受信バッファ ID レジスタ 10	RSCAN0RMID10	<RSCAN0_base> + $06A0_H$
RSCAN0	受信バッファポインタレジスタ 10	RSCAN0RMPTR10	<RSCAN0_base> + $06A4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 10	RSCAN0RMDF010	<RSCAN0_base> + $06A8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 10	RSCAN0RMDF110	<RSCAN0_base> + $06AC_H$
RSCAN0	受信バッファ ID レジスタ 11	RSCAN0RMID11	<RSCAN0_base> + $06B0_H$
RSCAN0	受信バッファポインタレジスタ 11	RSCAN0RMPTR11	<RSCAN0_base> + $06B4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 11	RSCAN0RMDF011	<RSCAN0_base> + $06B8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 11	RSCAN0RMDF111	<RSCAN0_base> + $06BC_H$
RSCAN0	受信バッファ ID レジスタ 12	RSCAN0RMID12	<RSCAN0_base> + $06C0_H$
RSCAN0	受信バッファポインタレジスタ 12	RSCAN0RMPTR12	<RSCAN0_base> + $06C4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 12	RSCAN0RMDF012	<RSCAN0_base> + $06C8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 12	RSCAN0RMDF112	<RSCAN0_base> + $06CC_H$
RSCAN0	受信バッファ ID レジスタ 13	RSCAN0RMID13	<RSCAN0_base> + $06D0_H$
RSCAN0	受信バッファポインタレジスタ 13	RSCAN0RMPTR13	<RSCAN0_base> + $06D4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 13	RSCAN0RMDF013	<RSCAN0_base> + $06D8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 13	RSCAN0RMDF113	<RSCAN0_base> + $06DC_H$
RSCAN0	受信バッファ ID レジスタ 14	RSCAN0RMID14	<RSCAN0_base> + $06E0_H$
RSCAN0	受信バッファポインタレジスタ 14	RSCAN0RMPTR14	<RSCAN0_base> + $06E4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 14	RSCAN0RMDF014	<RSCAN0_base> + $06E8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 14	RSCAN0RMDF114	<RSCAN0_base> + $06EC_H$
RSCAN0	受信バッファ ID レジスタ 15	RSCAN0RMID15	<RSCAN0_base> + $06F0_H$
RSCAN0	受信バッファポインタレジスタ 15	RSCAN0RMPTR15	<RSCAN0_base> + $06F4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 15	RSCAN0RMDF015	<RSCAN0_base> + $06F8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 15	RSCAN0RMDF115	<RSCAN0_base> + $06FC_H$
RSCAN0	受信バッファ ID レジスタ 16	RSCAN0RMID16	<RSCAN0_base> + 0700_H
RSCAN0	受信バッファポインタレジスタ 16	RSCAN0RMPTR16	<RSCAN0_base> + 0704_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 16	RSCAN0RMDF016	<RSCAN0_base> + 0708_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 16	RSCAN0RMDF116	<RSCAN0_base> + $070C_H$
RSCAN0	受信バッファ ID レジスタ 17	RSCAN0RMID17	<RSCAN0_base> + 0710_H
RSCAN0	受信バッファポインタレジスタ 17	RSCAN0RMPTR17	<RSCAN0_base> + 0714_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 17	RSCAN0RMDF017	<RSCAN0_base> + 0718_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 17	RSCAN0RMDF117	<RSCAN0_base> + $071C_H$
RSCAN0	受信バッファ ID レジスタ 18	RSCAN0RMID18	<RSCAN0_base> + 0720_H
RSCAN0	受信バッファポインタレジスタ 18	RSCAN0RMPTR18	<RSCAN0_base> + 0724_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 18	RSCAN0RMDF018	<RSCAN0_base> + 0728_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 18	RSCAN0RMDF118	<RSCAN0_base> + $072C_H$
RSCAN0	受信バッファ ID レジスタ 19	RSCAN0RMID19	<RSCAN0_base> + 0730_H
RSCAN0	受信バッファポインタレジスタ 19	RSCAN0RMPTR19	<RSCAN0_base> + 0734_H

表 20.12 レジスター覧 (12/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信バッファデータフィールド 0 レジスタ 19	RSCAN0RMDF019	<RSCAN0_base> + 0738_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 19	RSCAN0RMDF119	<RSCAN0_base> + $073C_H$
RSCAN0	受信バッファ ID レジスタ 20	RSCAN0RMID20	<RSCAN0_base> + 0740_H
RSCAN0	受信バッファポインタレジスタ 20	RSCAN0RMPTR20	<RSCAN0_base> + 0744_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 20	RSCAN0RMDF020	<RSCAN0_base> + 0748_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 20	RSCAN0RMDF120	<RSCAN0_base> + $074C_H$
RSCAN0	受信バッファ ID レジスタ 21	RSCAN0RMID21	<RSCAN0_base> + 0750_H
RSCAN0	受信バッファポインタレジスタ 21	RSCAN0RMPTR21	<RSCAN0_base> + 0754_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 21	RSCAN0RMDF021	<RSCAN0_base> + 0758_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 21	RSCAN0RMDF121	<RSCAN0_base> + $075C_H$
RSCAN0	受信バッファ ID レジスタ 22	RSCAN0RMID22	<RSCAN0_base> + 0760_H
RSCAN0	受信バッファポインタレジスタ 22	RSCAN0RMPTR22	<RSCAN0_base> + 0764_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 22	RSCAN0RMDF022	<RSCAN0_base> + 0768_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 22	RSCAN0RMDF122	<RSCAN0_base> + $076C_H$
RSCAN0	受信バッファ ID レジスタ 23	RSCAN0RMID23	<RSCAN0_base> + 0770_H
RSCAN0	受信バッファポインタレジスタ 23	RSCAN0RMPTR23	<RSCAN0_base> + 0774_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 23	RSCAN0RMDF023	<RSCAN0_base> + 0778_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 23	RSCAN0RMDF123	<RSCAN0_base> + $077C_H$
RSCAN0	受信バッファ ID レジスタ 24	RSCAN0RMID24	<RSCAN0_base> + 0780_H
RSCAN0	受信バッファポインタレジスタ 24	RSCAN0RMPTR24	<RSCAN0_base> + 0784_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 24	RSCAN0RMDF024	<RSCAN0_base> + 0788_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 24	RSCAN0RMDF124	<RSCAN0_base> + $078C_H$
RSCAN0	受信バッファ ID レジスタ 25	RSCAN0RMID25	<RSCAN0_base> + 0790_H
RSCAN0	受信バッファポインタレジスタ 25	RSCAN0RMPTR25	<RSCAN0_base> + 0794_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 25	RSCAN0RMDF025	<RSCAN0_base> + 0798_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 25	RSCAN0RMDF125	<RSCAN0_base> + $079C_H$
RSCAN0	受信バッファ ID レジスタ 26	RSCAN0RMID26	<RSCAN0_base> + $07A0_H$
RSCAN0	受信バッファポインタレジスタ 26	RSCAN0RMPTR26	<RSCAN0_base> + $07A4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 26	RSCAN0RMDF026	<RSCAN0_base> + $07A8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 26	RSCAN0RMDF126	<RSCAN0_base> + $07AC_H$
RSCAN0	受信バッファ ID レジスタ 27	RSCAN0RMID27	<RSCAN0_base> + $07B0_H$
RSCAN0	受信バッファポインタレジスタ 27	RSCAN0RMPTR27	<RSCAN0_base> + $07B4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 27	RSCAN0RMDF027	<RSCAN0_base> + $07B8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 27	RSCAN0RMDF127	<RSCAN0_base> + $07BC_H$
RSCAN0	受信バッファ ID レジスタ 28	RSCAN0RMID28	<RSCAN0_base> + $07C0_H$
RSCAN0	受信バッファポインタレジスタ 28	RSCAN0RMPTR28	<RSCAN0_base> + $07C4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 28	RSCAN0RMDF028	<RSCAN0_base> + $07C8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 28	RSCAN0RMDF128	<RSCAN0_base> + $07CC_H$
RSCAN0	受信バッファ ID レジスタ 29	RSCAN0RMID29	<RSCAN0_base> + $07D0_H$
RSCAN0	受信バッファポインタレジスタ 29	RSCAN0RMPTR29	<RSCAN0_base> + $07D4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 29	RSCAN0RMDF029	<RSCAN0_base> + $07D8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 29	RSCAN0RMDF129	<RSCAN0_base> + $07DC_H$
RSCAN0	受信バッファ ID レジスタ 30	RSCAN0RMID30	<RSCAN0_base> + $07E0_H$
RSCAN0	受信バッファポインタレジスタ 30	RSCAN0RMPTR30	<RSCAN0_base> + $07E4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 30	RSCAN0RMDF030	<RSCAN0_base> + $07E8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 30	RSCAN0RMDF130	<RSCAN0_base> + $07EC_H$
RSCAN0	受信バッファ ID レジスタ 31	RSCAN0RMID31	<RSCAN0_base> + $07F0_H$

表 20.12 レジスタ一覧 (13/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信バッファポインタレジスタ 31	RSCAN0RMPTR31	<RSCAN0_base> + $07F4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 31	RSCAN0RMDF031	<RSCAN0_base> + $07F8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 31	RSCAN0RMDF131	<RSCAN0_base> + $07FC_H$
RSCAN0	受信バッファ ID レジスタ 32	RSCAN0RMID32	<RSCAN0_base> + 0800_H
RSCAN0	受信バッファポインタレジスタ 32	RSCAN0RMPTR32	<RSCAN0_base> + 0804_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 32	RSCAN0RMDF032	<RSCAN0_base> + 0808_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 32	RSCAN0RMDF132	<RSCAN0_base> + $080C_H$
RSCAN0	受信バッファ ID レジスタ 33	RSCAN0RMID33	<RSCAN0_base> + 0810_H
RSCAN0	受信バッファポインタレジスタ 33	RSCAN0RMPTR33	<RSCAN0_base> + 0814_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 33	RSCAN0RMDF033	<RSCAN0_base> + 0818_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 33	RSCAN0RMDF133	<RSCAN0_base> + $081C_H$
RSCAN0	受信バッファ ID レジスタ 34	RSCAN0RMID34	<RSCAN0_base> + 0820_H
RSCAN0	受信バッファポインタレジスタ 34	RSCAN0RMPTR34	<RSCAN0_base> + 0824_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 34	RSCAN0RMDF034	<RSCAN0_base> + 0828_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 34	RSCAN0RMDF134	<RSCAN0_base> + $082C_H$
RSCAN0	受信バッファ ID レジスタ 35	RSCAN0RMID35	<RSCAN0_base> + 0830_H
RSCAN0	受信バッファポインタレジスタ 35	RSCAN0RMPTR35	<RSCAN0_base> + 0834_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 35	RSCAN0RMDF035	<RSCAN0_base> + 0838_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 35	RSCAN0RMDF135	<RSCAN0_base> + $083C_H$
RSCAN0	受信バッファ ID レジスタ 36	RSCAN0RMID36	<RSCAN0_base> + 0840_H
RSCAN0	受信バッファポインタレジスタ 36	RSCAN0RMPTR36	<RSCAN0_base> + 0844_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 36	RSCAN0RMDF036	<RSCAN0_base> + 0848_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 36	RSCAN0RMDF136	<RSCAN0_base> + $084C_H$
RSCAN0	受信バッファ ID レジスタ 37	RSCAN0RMID37	<RSCAN0_base> + 0850_H
RSCAN0	受信バッファポインタレジスタ 37	RSCAN0RMPTR37	<RSCAN0_base> + 0854_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 37	RSCAN0RMDF037	<RSCAN0_base> + 0858_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 37	RSCAN0RMDF137	<RSCAN0_base> + $085C_H$
RSCAN0	受信バッファ ID レジスタ 38	RSCAN0RMID38	<RSCAN0_base> + 0860_H
RSCAN0	受信バッファポインタレジスタ 38	RSCAN0RMPTR38	<RSCAN0_base> + 0864_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 38	RSCAN0RMDF038	<RSCAN0_base> + 0868_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 38	RSCAN0RMDF138	<RSCAN0_base> + $086C_H$
RSCAN0	受信バッファ ID レジスタ 39	RSCAN0RMID39	<RSCAN0_base> + 0870_H
RSCAN0	受信バッファポインタレジスタ 39	RSCAN0RMPTR39	<RSCAN0_base> + 0874_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 39	RSCAN0RMDF039	<RSCAN0_base> + 0878_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 39	RSCAN0RMDF139	<RSCAN0_base> + $087C_H$
RSCAN0	受信バッファ ID レジスタ 40	RSCAN0RMID40	<RSCAN0_base> + 0880_H
RSCAN0	受信バッファポインタレジスタ 40	RSCAN0RMPTR40	<RSCAN0_base> + 0884_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 40	RSCAN0RMDF040	<RSCAN0_base> + 0888_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 40	RSCAN0RMDF140	<RSCAN0_base> + $088C_H$
RSCAN0	受信バッファ ID レジスタ 41	RSCAN0RMID41	<RSCAN0_base> + 0890_H
RSCAN0	受信バッファポインタレジスタ 41	RSCAN0RMPTR41	<RSCAN0_base> + 0894_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 41	RSCAN0RMDF041	<RSCAN0_base> + 0898_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 41	RSCAN0RMDF141	<RSCAN0_base> + $089C_H$
RSCAN0	受信バッファ ID レジスタ 42	RSCAN0RMID42	<RSCAN0_base> + $08A0_H$
RSCAN0	受信バッファポインタレジスタ 42	RSCAN0RMPTR42	<RSCAN0_base> + $08A4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 42	RSCAN0RMDF042	<RSCAN0_base> + $08A8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 42	RSCAN0RMDF142	<RSCAN0_base> + $08AC_H$

表 20.12 レジスタ一覧 (14/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信バッファ ID レジスタ 43	RSCAN0RMID43	<RSCAN0_base> + $08B0_H$
RSCAN0	受信バッファポインタレジスタ 43	RSCAN0RMPTR43	<RSCAN0_base> + $08B4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 43	RSCAN0RMDF043	<RSCAN0_base> + $08B8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 43	RSCAN0RMDF143	<RSCAN0_base> + $08BC_H$
RSCAN0	受信バッファ ID レジスタ 44	RSCAN0RMID44	<RSCAN0_base> + $08C0_H$
RSCAN0	受信バッファポインタレジスタ 44	RSCAN0RMPTR44	<RSCAN0_base> + $08C4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 44	RSCAN0RMDF044	<RSCAN0_base> + $08C8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 44	RSCAN0RMDF144	<RSCAN0_base> + $08CC_H$
RSCAN0	受信バッファ ID レジスタ 45	RSCAN0RMID45	<RSCAN0_base> + $08D0_H$
RSCAN0	受信バッファポインタレジスタ 45	RSCAN0RMPTR45	<RSCAN0_base> + $08D4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 45	RSCAN0RMDF045	<RSCAN0_base> + $08D8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 45	RSCAN0RMDF145	<RSCAN0_base> + $08DC_H$
RSCAN0	受信バッファ ID レジスタ 46	RSCAN0RMID46	<RSCAN0_base> + $08E0_H$
RSCAN0	受信バッファポインタレジスタ 46	RSCAN0RMPTR46	<RSCAN0_base> + $08E4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 46	RSCAN0RMDF046	<RSCAN0_base> + $08E8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 46	RSCAN0RMDF146	<RSCAN0_base> + $08EC_H$
RSCAN0	受信バッファ ID レジスタ 47	RSCAN0RMID47	<RSCAN0_base> + $08F0_H$
RSCAN0	受信バッファポインタレジスタ 47	RSCAN0RMPTR47	<RSCAN0_base> + $08F4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 47	RSCAN0RMDF047	<RSCAN0_base> + $08F8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 47	RSCAN0RMDF147	<RSCAN0_base> + $08FC_H$
RSCAN0	受信バッファ ID レジスタ 48	RSCAN0RMID48	<RSCAN0_base> + 0900_H
RSCAN0	受信バッファポインタレジスタ 48	RSCAN0RMPTR48	<RSCAN0_base> + 0904_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 48	RSCAN0RMDF048	<RSCAN0_base> + 0908_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 48	RSCAN0RMDF148	<RSCAN0_base> + $090C_H$
RSCAN0	受信バッファ ID レジスタ 49	RSCAN0RMID49	<RSCAN0_base> + 0910_H
RSCAN0	受信バッファポインタレジスタ 49	RSCAN0RMPTR49	<RSCAN0_base> + 0914_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 49	RSCAN0RMDF049	<RSCAN0_base> + 0918_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 49	RSCAN0RMDF149	<RSCAN0_base> + $091C_H$
RSCAN0	受信バッファ ID レジスタ 50	RSCAN0RMID50	<RSCAN0_base> + 0920_H
RSCAN0	受信バッファポインタレジスタ 50	RSCAN0RMPTR50	<RSCAN0_base> + 0924_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 50	RSCAN0RMDF050	<RSCAN0_base> + 0928_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 50	RSCAN0RMDF150	<RSCAN0_base> + $092C_H$
RSCAN0	受信バッファ ID レジスタ 51	RSCAN0RMID51	<RSCAN0_base> + 0930_H
RSCAN0	受信バッファポインタレジスタ 51	RSCAN0RMPTR51	<RSCAN0_base> + 0934_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 51	RSCAN0RMDF051	<RSCAN0_base> + 0938_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 51	RSCAN0RMDF151	<RSCAN0_base> + $093C_H$
RSCAN0	受信バッファ ID レジスタ 52	RSCAN0RMID52	<RSCAN0_base> + 0940_H
RSCAN0	受信バッファポインタレジスタ 52	RSCAN0RMPTR52	<RSCAN0_base> + 0944_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 52	RSCAN0RMDF052	<RSCAN0_base> + 0948_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 52	RSCAN0RMDF152	<RSCAN0_base> + $094C_H$
RSCAN0	受信バッファ ID レジスタ 53	RSCAN0RMID53	<RSCAN0_base> + 0950_H
RSCAN0	受信バッファポインタレジスタ 53	RSCAN0RMPTR53	<RSCAN0_base> + 0954_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 53	RSCAN0RMDF053	<RSCAN0_base> + 0958_H
RSCAN0	受信バッファデータフィールド 1 レジスタ 53	RSCAN0RMDF153	<RSCAN0_base> + $095C_H$
RSCAN0	受信バッファ ID レジスタ 54	RSCAN0RMID54	<RSCAN0_base> + 0960_H
RSCAN0	受信バッファポインタレジスタ 54	RSCAN0RMPTR54	<RSCAN0_base> + 0964_H
RSCAN0	受信バッファデータフィールド 0 レジスタ 54	RSCAN0RMDF054	<RSCAN0_base> + 0968_H

表 20.12 レジスタ一覧 (15/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信バッファデータフィールド 1 レジスタ 54	RSCAN0RMDF154	<RSCAN0_base> + 096C$_H$
RSCAN0	受信バッファ ID レジスタ 55	RSCAN0RMID55	<RSCAN0_base> + 0970$_H$
RSCAN0	受信バッファポインタレジスタ 55	RSCAN0RMPTR55	<RSCAN0_base> + 0974$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 55	RSCAN0RMDF055	<RSCAN0_base> + 0978$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 55	RSCAN0RMDF155	<RSCAN0_base> + 097C$_H$
RSCAN0	受信バッファ ID レジスタ 56	RSCAN0RMID56	<RSCAN0_base> + 0980$_H$
RSCAN0	受信バッファポインタレジスタ 56	RSCAN0RMPTR56	<RSCAN0_base> + 0984$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 56	RSCAN0RMDF056	<RSCAN0_base> + 0988$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 56	RSCAN0RMDF156	<RSCAN0_base> + 098C$_H$
RSCAN0	受信バッファ ID レジスタ 57	RSCAN0RMID57	<RSCAN0_base> + 0990$_H$
RSCAN0	受信バッファポインタレジスタ 57	RSCAN0RMPTR57	<RSCAN0_base> + 0994$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 57	RSCAN0RMDF057	<RSCAN0_base> + 0998$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 57	RSCAN0RMDF157	<RSCAN0_base> + 099C$_H$
RSCAN0	受信バッファ ID レジスタ 58	RSCAN0RMID58	<RSCAN0_base> + 09A0$_H$
RSCAN0	受信バッファポインタレジスタ 58	RSCAN0RMPTR58	<RSCAN0_base> + 09A4$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 58	RSCAN0RMDF058	<RSCAN0_base> + 09A8$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 58	RSCAN0RMDF158	<RSCAN0_base> + 09AC$_H$
RSCAN0	受信バッファ ID レジスタ 59	RSCAN0RMID59	<RSCAN0_base> + 09B0$_H$
RSCAN0	受信バッファポインタレジスタ 59	RSCAN0RMPTR59	<RSCAN0_base> + 09B4$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 59	RSCAN0RMDF059	<RSCAN0_base> + 09B8$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 59	RSCAN0RMDF159	<RSCAN0_base> + 09BC$_H$
RSCAN0	受信バッファ ID レジスタ 60	RSCAN0RMID60	<RSCAN0_base> + 09C0$_H$
RSCAN0	受信バッファポインタレジスタ 60	RSCAN0RMPTR60	<RSCAN0_base> + 09C4$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 60	RSCAN0RMDF060	<RSCAN0_base> + 09C8$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 60	RSCAN0RMDF160	<RSCAN0_base> + 09CC$_H$
RSCAN0	受信バッファ ID レジスタ 61	RSCAN0RMID61	<RSCAN0_base> + 09D0$_H$
RSCAN0	受信バッファポインタレジスタ 61	RSCAN0RMPTR61	<RSCAN0_base> + 09D4$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 61	RSCAN0RMDF061	<RSCAN0_base> + 09D8$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 61	RSCAN0RMDF161	<RSCAN0_base> + 09DC$_H$
RSCAN0	受信バッファ ID レジスタ 62	RSCAN0RMID62	<RSCAN0_base> + 09E0$_H$
RSCAN0	受信バッファポインタレジスタ 62	RSCAN0RMPTR62	<RSCAN0_base> + 09E4$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 62	RSCAN0RMDF062	<RSCAN0_base> + 09E8$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 62	RSCAN0RMDF162	<RSCAN0_base> + 09EC$_H$
RSCAN0	受信バッファ ID レジスタ 63	RSCAN0RMID63	<RSCAN0_base> + 09F0$_H$
RSCAN0	受信バッファポインタレジスタ 63	RSCAN0RMPTR63	<RSCAN0_base> + 09F4$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 63	RSCAN0RMDF063	<RSCAN0_base> + 09F8$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 63	RSCAN0RMDF163	<RSCAN0_base> + 09FC$_H$
RSCAN0	受信バッファ ID レジスタ 64	RSCAN0RMID64	<RSCAN0_base> + 0A00$_H$
RSCAN0	受信バッファポインタレジスタ 64	RSCAN0RMPTR64	<RSCAN0_base> + 0A04$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 64	RSCAN0RMDF064	<RSCAN0_base> + 0A08$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 64	RSCAN0RMDF164	<RSCAN0_base> + 0A0C$_H$
RSCAN0	受信バッファ ID レジスタ 65	RSCAN0RMID65	<RSCAN0_base> + 0A10$_H$
RSCAN0	受信バッファポインタレジスタ 65	RSCAN0RMPTR65	<RSCAN0_base> + 0A14$_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 65	RSCAN0RMDF065	<RSCAN0_base> + 0A18$_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 65	RSCAN0RMDF165	<RSCAN0_base> + 0A1C$_H$
RSCAN0	受信バッファ ID レジスタ 66	RSCAN0RMID66	<RSCAN0_base> + 0A20$_H$
RSCAN0	受信バッファポインタレジスタ 66	RSCAN0RMPTR66	<RSCAN0_base> + 0A24$_H$

表 20.12 レジスター覧 (16/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信バッファデータフィールド 0 レジスタ 66	RSCAN0RMDF066	<RSCAN0_base> + $0A28_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 66	RSCAN0RMDF166	<RSCAN0_base> + $0A2C_H$
RSCAN0	受信バッファ ID レジスタ 67	RSCAN0RMID67	<RSCAN0_base> + $0A30_H$
RSCAN0	受信バッファポインタレジスタ 67	RSCAN0RMPTR67	<RSCAN0_base> + $0A34_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 67	RSCAN0RMDF067	<RSCAN0_base> + $0A38_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 67	RSCAN0RMDF167	<RSCAN0_base> + $0A3C_H$
RSCAN0	受信バッファ ID レジスタ 68	RSCAN0RMID68	<RSCAN0_base> + $0A40_H$
RSCAN0	受信バッファポインタレジスタ 68	RSCAN0RMPTR68	<RSCAN0_base> + $0A44_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 68	RSCAN0RMDF068	<RSCAN0_base> + $0A48_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 68	RSCAN0RMDF168	<RSCAN0_base> + $0A4C_H$
RSCAN0	受信バッファ ID レジスタ 69	RSCAN0RMID69	<RSCAN0_base> + $0A50_H$
RSCAN0	受信バッファポインタレジスタ 69	RSCAN0RMPTR69	<RSCAN0_base> + $0A54_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 69	RSCAN0RMDF069	<RSCAN0_base> + $0A58_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 69	RSCAN0RMDF169	<RSCAN0_base> + $0A5C_H$
RSCAN0	受信バッファ ID レジスタ 70	RSCAN0RMID70	<RSCAN0_base> + $0A60_H$
RSCAN0	受信バッファポインタレジスタ 70	RSCAN0RMPTR70	<RSCAN0_base> + $0A64_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 70	RSCAN0RMDF070	<RSCAN0_base> + $0A68_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 70	RSCAN0RMDF170	<RSCAN0_base> + $0A6C_H$
RSCAN0	受信バッファ ID レジスタ 71	RSCAN0RMID71	<RSCAN0_base> + $0A70_H$
RSCAN0	受信バッファポインタレジスタ 71	RSCAN0RMPTR71	<RSCAN0_base> + $0A74_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 71	RSCAN0RMDF071	<RSCAN0_base> + $0A78_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 71	RSCAN0RMDF171	<RSCAN0_base> + $0A7C_H$
RSCAN0	受信バッファ ID レジスタ 72	RSCAN0RMID72	<RSCAN0_base> + $0A80_H$
RSCAN0	受信バッファポインタレジスタ 72	RSCAN0RMPTR72	<RSCAN0_base> + $0A84_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 72	RSCAN0RMDF072	<RSCAN0_base> + $0A88_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 72	RSCAN0RMDF172	<RSCAN0_base> + $0A8C_H$
RSCAN0	受信バッファ ID レジスタ 73	RSCAN0RMID73	<RSCAN0_base> + $0A90_H$
RSCAN0	受信バッファポインタレジスタ 73	RSCAN0RMPTR73	<RSCAN0_base> + $0A94_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 73	RSCAN0RMDF073	<RSCAN0_base> + $0A98_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 73	RSCAN0RMDF173	<RSCAN0_base> + $0A9C_H$
RSCAN0	受信バッファ ID レジスタ 74	RSCAN0RMID74	<RSCAN0_base> + $0AA0_H$
RSCAN0	受信バッファポインタレジスタ 74	RSCAN0RMPTR74	<RSCAN0_base> + $0AA4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 74	RSCAN0RMDF074	<RSCAN0_base> + $0AA8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 74	RSCAN0RMDF174	<RSCAN0_base> + $0AAC_H$
RSCAN0	受信バッファ ID レジスタ 75	RSCAN0RMID75	<RSCAN0_base> + $0AB0_H$
RSCAN0	受信バッファポインタレジスタ 75	RSCAN0RMPTR75	<RSCAN0_base> + $0AB4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 75	RSCAN0RMDF075	<RSCAN0_base> + $0AB8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 75	RSCAN0RMDF175	<RSCAN0_base> + $0ABC_H$
RSCAN0	受信バッファ ID レジスタ 76	RSCAN0RMID76	<RSCAN0_base> + $0AC0_H$
RSCAN0	受信バッファポインタレジスタ 76	RSCAN0RMPTR76	<RSCAN0_base> + $0AC4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 76	RSCAN0RMDF076	<RSCAN0_base> + $0AC8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 76	RSCAN0RMDF176	<RSCAN0_base> + $0ACC_H$
RSCAN0	受信バッファ ID レジスタ 77	RSCAN0RMID77	<RSCAN0_base> + $0AD0_H$
RSCAN0	受信バッファポインタレジスタ 77	RSCAN0RMPTR77	<RSCAN0_base> + $0AD4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 77	RSCAN0RMDF077	<RSCAN0_base> + $0AD8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 77	RSCAN0RMDF177	<RSCAN0_base> + $0ADC_H$
RSCAN0	受信バッファ ID レジスタ 78	RSCAN0RMID78	<RSCAN0_base> + $0AE0_H$

表 20.12 レジスタ一覧 (17/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信バッファポインタレジスタ 78	RSCAN0RMPTR78	<RSCAN0_base> + $0AE4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 78	RSCAN0RMDF078	<RSCAN0_base> + $0AE8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 78	RSCAN0RMDF178	<RSCAN0_base> + $0AEC_H$
RSCAN0	受信バッファ ID レジスタ 79	RSCAN0RMID79	<RSCAN0_base> + $0AF0_H$
RSCAN0	受信バッファポインタレジスタ 79	RSCAN0RMPTR79	<RSCAN0_base> + $0AF4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 79	RSCAN0RMDF079	<RSCAN0_base> + $0AF8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 79	RSCAN0RMDF179	<RSCAN0_base> + $0AFC_H$
RSCAN0	受信バッファ ID レジスタ 80	RSCAN0RMID80	<RSCAN0_base> + $0B00_H$
RSCAN0	受信バッファポインタレジスタ 80	RSCAN0RMPTR80	<RSCAN0_base> + $0B04_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 80	RSCAN0RMDF080	<RSCAN0_base> + $0B08_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 80	RSCAN0RMDF180	<RSCAN0_base> + $0B0C_H$
RSCAN0	受信バッファ ID レジスタ 81	RSCAN0RMID81	<RSCAN0_base> + $0B10_H$
RSCAN0	受信バッファポインタレジスタ 81	RSCAN0RMPTR81	<RSCAN0_base> + $0B14_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 81	RSCAN0RMDF081	<RSCAN0_base> + $0B18_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 81	RSCAN0RMDF181	<RSCAN0_base> + $0B1C_H$
RSCAN0	受信バッファ ID レジスタ 82	RSCAN0RMID82	<RSCAN0_base> + $0B20_H$
RSCAN0	受信バッファポインタレジスタ 82	RSCAN0RMPTR82	<RSCAN0_base> + $0B24_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 82	RSCAN0RMDF082	<RSCAN0_base> + $0B28_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 82	RSCAN0RMDF182	<RSCAN0_base> + $0B2C_H$
RSCAN0	受信バッファ ID レジスタ 83	RSCAN0RMID83	<RSCAN0_base> + $0B30_H$
RSCAN0	受信バッファポインタレジスタ 83	RSCAN0RMPTR83	<RSCAN0_base> + $0B34_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 83	RSCAN0RMDF083	<RSCAN0_base> + $0B38_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 83	RSCAN0RMDF183	<RSCAN0_base> + $0B3C_H$
RSCAN0	受信バッファ ID レジスタ 84	RSCAN0RMID84	<RSCAN0_base> + $0B40_H$
RSCAN0	受信バッファポインタレジスタ 84	RSCAN0RMPTR84	<RSCAN0_base> + $0B44_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 84	RSCAN0RMDF084	<RSCAN0_base> + $0B48_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 84	RSCAN0RMDF184	<RSCAN0_base> + $0B4C_H$
RSCAN0	受信バッファ ID レジスタ 85	RSCAN0RMID85	<RSCAN0_base> + $0B50_H$
RSCAN0	受信バッファポインタレジスタ 85	RSCAN0RMPTR85	<RSCAN0_base> + $0B54_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 85	RSCAN0RMDF085	<RSCAN0_base> + $0B58_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 85	RSCAN0RMDF185	<RSCAN0_base> + $0B5C_H$
RSCAN0	受信バッファ ID レジスタ 86	RSCAN0RMID86	<RSCAN0_base> + $0B60_H$
RSCAN0	受信バッファポインタレジスタ 86	RSCAN0RMPTR86	<RSCAN0_base> + $0B64_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 86	RSCAN0RMDF086	<RSCAN0_base> + $0B68_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 86	RSCAN0RMDF186	<RSCAN0_base> + $0B6C_H$
RSCAN0	受信バッファ ID レジスタ 87	RSCAN0RMID87	<RSCAN0_base> + $0B70_H$
RSCAN0	受信バッファポインタレジスタ 87	RSCAN0RMPTR87	<RSCAN0_base> + $0B74_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 87	RSCAN0RMDF087	<RSCAN0_base> + $0B78_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 87	RSCAN0RMDF187	<RSCAN0_base> + $0B7C_H$
RSCAN0	受信バッファ ID レジスタ 88	RSCAN0RMID88	<RSCAN0_base> + $0B80_H$
RSCAN0	受信バッファポインタレジスタ 88	RSCAN0RMPTR88	<RSCAN0_base> + $0B84_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 88	RSCAN0RMDF088	<RSCAN0_base> + $0B88_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 88	RSCAN0RMDF188	<RSCAN0_base> + $0B8C_H$
RSCAN0	受信バッファ ID レジスタ 89	RSCAN0RMID89	<RSCAN0_base> + $0B90_H$
RSCAN0	受信バッファポインタレジスタ 89	RSCAN0RMPTR89	<RSCAN0_base> + $0B94_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 89	RSCAN0RMDF089	<RSCAN0_base> + $0B98_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 89	RSCAN0RMDF189	<RSCAN0_base> + $0B9C_H$

表 20.12 レジスタ一覧 (18/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信バッファ ID レジスタ 90	RSCAN0RMID90	<RSCAN0_base> + $0BA0_H$
RSCAN0	受信バッファポインタレジスタ 90	RSCAN0RMPTR90	<RSCAN0_base> + $0BA4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 90	RSCAN0RMDF090	<RSCAN0_base> + $0BA8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 90	RSCAN0RMDF190	<RSCAN0_base> + $0BAC_H$
RSCAN0	受信バッファ ID レジスタ 91	RSCAN0RMID91	<RSCAN0_base> + $0BB0_H$
RSCAN0	受信バッファポインタレジスタ 91	RSCAN0RMPTR91	<RSCAN0_base> + $0BB4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 91	RSCAN0RMDF091	<RSCAN0_base> + $0BB8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 91	RSCAN0RMDF191	<RSCAN0_base> + $0BBC_H$
RSCAN0	受信バッファ ID レジスタ 92	RSCAN0RMID92	<RSCAN0_base> + $0BC0_H$
RSCAN0	受信バッファポインタレジスタ 92	RSCAN0RMPTR92	<RSCAN0_base> + $0BC4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 92	RSCAN0RMDF092	<RSCAN0_base> + $0BC8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 92	RSCAN0RMDF192	<RSCAN0_base> + $0BCC_H$
RSCAN0	受信バッファ ID レジスタ 93	RSCAN0RMID93	<RSCAN0_base> + $0BD0_H$
RSCAN0	受信バッファポインタレジスタ 93	RSCAN0RMPTR93	<RSCAN0_base> + $0BD4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 93	RSCAN0RMDF093	<RSCAN0_base> + $0BD8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 93	RSCAN0RMDF193	<RSCAN0_base> + $0BDC_H$
RSCAN0	受信バッファ ID レジスタ 94	RSCAN0RMID94	<RSCAN0_base> + $0BE0_H$
RSCAN0	受信バッファポインタレジスタ 94	RSCAN0RMPTR94	<RSCAN0_base> + $0BE4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 94	RSCAN0RMDF094	<RSCAN0_base> + $0BE8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 94	RSCAN0RMDF194	<RSCAN0_base> + $0BEC_H$
RSCAN0	受信バッファ ID レジスタ 95	RSCAN0RMID95	<RSCAN0_base> + $0BF0_H$
RSCAN0	受信バッファポインタレジスタ 95	RSCAN0RMPTR95	<RSCAN0_base> + $0BF4_H$
RSCAN0	受信バッファデータフィールド 0 レジスタ 95	RSCAN0RMDF095	<RSCAN0_base> + $0BF8_H$
RSCAN0	受信バッファデータフィールド 1 レジスタ 95	RSCAN0RMDF195	<RSCAN0_base> + $0BFC_H$
RSCAN0	受信 FIFO バッファアクセス ID レジスタ 0	RSCAN0RFID0	<RSCAN0_base> + $0E00_H$
RSCAN0	受信 FIFO バッファアクセスポインタレジスタ 0	RSCAN0RFPTR0	<RSCAN0_base> + $0E04_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCAN0RFDF00	<RSCAN0_base> + $0E08_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCAN0RFDF10	<RSCAN0_base> + $0E0C_H$
RSCAN0	受信 FIFO バッファアクセス ID レジスタ 1	RSCAN0RFID1	<RSCAN0_base> + $0E10_H$
RSCAN0	受信 FIFO バッファアクセスポインタレジスタ 1	RSCAN0RFPTR1	<RSCAN0_base> + $0E14_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCAN0RFDF01	<RSCAN0_base> + $0E18_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCAN0RFDF11	<RSCAN0_base> + $0E1C_H$
RSCAN0	受信 FIFO バッファアクセス ID レジスタ 2	RSCAN0RFID2	<RSCAN0_base> + $0E20_H$
RSCAN0	受信 FIFO バッファアクセスポインタレジスタ 2	RSCAN0RFPTR2	<RSCAN0_base> + $0E24_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCAN0RFDF02	<RSCAN0_base> + $0E28_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCAN0RFDF12	<RSCAN0_base> + $0E2C_H$
RSCAN0	受信 FIFO バッファアクセス ID レジスタ 3	RSCAN0RFID3	<RSCAN0_base> + $0E30_H$
RSCAN0	受信 FIFO バッファアクセスポインタレジスタ 3	RSCAN0RFPTR3	<RSCAN0_base> + $0E34_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCAN0RFDF03	<RSCAN0_base> + $0E38_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCAN0RFDF13	<RSCAN0_base> + $0E3C_H$
RSCAN0	受信 FIFO バッファアクセス ID レジスタ 4	RSCAN0RFID4	<RSCAN0_base> + $0E40_H$
RSCAN0	受信 FIFO バッファアクセスポインタレジスタ 4	RSCAN0RFPTR4	<RSCAN0_base> + $0E44_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCAN0RFDF04	<RSCAN0_base> + $0E48_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCAN0RFDF14	<RSCAN0_base> + $0E4C_H$
RSCAN0	受信 FIFO バッファアクセス ID レジスタ 5	RSCAN0RFID5	<RSCAN0_base> + $0E50_H$
RSCAN0	受信 FIFO バッファアクセスポインタレジスタ 5	RSCAN0RFPTR5	<RSCAN0_base> + $0E54_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCAN0RFDF05	<RSCAN0_base> + $0E58_H$

表 20.12 レジスター覧 (19/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCAN0RFDF15	<RSCAN0_base> + $0E5C_H$
RSCAN0	受信 FIFO バッファアクセス ID レジスタ 6	RSCAN0RFID6	<RSCAN0_base> + $0E60_H$
RSCAN0	受信 FIFO バッファアクセスポインタレジスタ 6	RSCAN0RFPTR6	<RSCAN0_base> + $0E64_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6	RSCAN0RFDF06	<RSCAN0_base> + $0E68_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6	RSCAN0RFDF16	<RSCAN0_base> + $0E6C_H$
RSCAN0	受信 FIFO バッファアクセス ID レジスタ 7	RSCAN0RFID7	<RSCAN0_base> + $0E70_H$
RSCAN0	受信 FIFO バッファアクセスポインタレジスタ 7	RSCAN0RFPTR7	<RSCAN0_base> + $0E74_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7	RSCAN0RFDF07	<RSCAN0_base> + $0E78_H$
RSCAN0	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7	RSCAN0RFDF17	<RSCAN0_base> + $0E7C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 0	RSCAN0CFID0	<RSCAN0_base> + $0E80_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 0	RSCAN0CFPTR0	<RSCAN0_base> + $0E84_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCAN0CFDF00	<RSCAN0_base> + $0E88_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCAN0CFDF10	<RSCAN0_base> + $0E8C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 1	RSCAN0CFID1	<RSCAN0_base> + $0E90_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 1	RSCAN0CFPTR1	<RSCAN0_base> + $0E94_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCAN0CFDF01	<RSCAN0_base> + $0E98_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCAN0CFDF11	<RSCAN0_base> + $0E9C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 2	RSCAN0CFID2	<RSCAN0_base> + $0EA0_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 2	RSCAN0CFPTR2	<RSCAN0_base> + $0EA4_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCAN0CFDF02	<RSCAN0_base> + $0EA8_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCAN0CFDF12	<RSCAN0_base> + $0EAC_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 3	RSCAN0CFID3	<RSCAN0_base> + $0EB0_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 3	RSCAN0CFPTR3	<RSCAN0_base> + $0EB4_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCAN0CFDF03	<RSCAN0_base> + $0EB8_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCAN0CFDF13	<RSCAN0_base> + $0EBC_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 4	RSCAN0CFID4	<RSCAN0_base> + $0EC0_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 4	RSCAN0CFPTR4	<RSCAN0_base> + $0EC4_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCAN0CFDF04	<RSCAN0_base> + $0EC8_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCAN0CFDF14	<RSCAN0_base> + $0ECC_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 5	RSCAN0CFID5	<RSCAN0_base> + $0ED0_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 5	RSCAN0CFPTR5	<RSCAN0_base> + $0ED4_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCAN0CFDF05	<RSCAN0_base> + $0ED8_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCAN0CFDF15	<RSCAN0_base> + $0EDC_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 6	RSCAN0CFID6	<RSCAN0_base> + $0EE0_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 6	RSCAN0CFPTR6	<RSCAN0_base> + $0EE4_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6	RSCAN0CFDF06	<RSCAN0_base> + $0EE8_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6	RSCAN0CFDF16	<RSCAN0_base> + $0EEC_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 7	RSCAN0CFID7	<RSCAN0_base> + $0EF0_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 7	RSCAN0CFPTR7	<RSCAN0_base> + $0EF4_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7	RSCAN0CFDF07	<RSCAN0_base> + $0EF8_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7	RSCAN0CFDF17	<RSCAN0_base> + $0EFC_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 8	RSCAN0CFID8	<RSCAN0_base> + $0F00_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 8	RSCAN0CFPTR8	<RSCAN0_base> + $0F04_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 8	RSCAN0CFDF08	<RSCAN0_base> + $0F08_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 8	RSCAN0CFDF18	<RSCAN0_base> + $0F0C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 9	RSCAN0CFID9	<RSCAN0_base> + $0F10_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 9	RSCAN0CFPTR9	<RSCAN0_base> + $0F14_H$

表 20.12 レジスタ一覧 (20/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 9	RSCAN0CFDF09	<RSCAN0_base> + $0F18_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 9	RSCAN0CFDF19	<RSCAN0_base> + $0F1C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 10	RSCAN0CFID10	<RSCAN0_base> + $0F20_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 10	RSCAN0CFPTR10	<RSCAN0_base> + $0F24_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 10	RSCAN0CFDF010	<RSCAN0_base> + $0F28_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 10	RSCAN0CFDF110	<RSCAN0_base> + $0F2C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 11	RSCAN0CFID11	<RSCAN0_base> + $0F30_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 11	RSCAN0CFPTR11	<RSCAN0_base> + $0F34_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 11	RSCAN0CFDF011	<RSCAN0_base> + $0F38_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 11	RSCAN0CFDF111	<RSCAN0_base> + $0F3C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 12	RSCAN0CFID12	<RSCAN0_base> + $0F40_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 12	RSCAN0CFPTR12	<RSCAN0_base> + $0F44_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 12	RSCAN0CFDF012	<RSCAN0_base> + $0F48_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 12	RSCAN0CFDF112	<RSCAN0_base> + $0F4C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 13	RSCAN0CFID13	<RSCAN0_base> + $0F50_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 13	RSCAN0CFPTR13	<RSCAN0_base> + $0F54_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 13	RSCAN0CFDF013	<RSCAN0_base> + $0F58_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 13	RSCAN0CFDF113	<RSCAN0_base> + $0F5C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 14	RSCAN0CFID14	<RSCAN0_base> + $0F60_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 14	RSCAN0CFPTR14	<RSCAN0_base> + $0F64_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 14	RSCAN0CFDF014	<RSCAN0_base> + $0F68_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 14	RSCAN0CFDF114	<RSCAN0_base> + $0F6C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 15	RSCAN0CFID15	<RSCAN0_base> + $0F70_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 15	RSCAN0CFPTR15	<RSCAN0_base> + $0F74_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 15	RSCAN0CFDF015	<RSCAN0_base> + $0F78_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 15	RSCAN0CFDF115	<RSCAN0_base> + $0F7C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 16	RSCAN0CFID16	<RSCAN0_base> + $0F80_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 16	RSCAN0CFPTR16	<RSCAN0_base> + $0F84_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 16	RSCAN0CFDF016	<RSCAN0_base> + $0F88_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 16	RSCAN0CFDF116	<RSCAN0_base> + $0F8C_H$
RSCAN0	送受信 FIFO バッファアクセス ID レジスタ 17	RSCAN0CFID17	<RSCAN0_base> + $0F90_H$
RSCAN0	送受信 FIFO バッファアクセスポインタレジスタ 17	RSCAN0CFPTR17	<RSCAN0_base> + $0F94_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 17	RSCAN0CFDF017	<RSCAN0_base> + $0F98_H$
RSCAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 17	RSCAN0CFDF117	<RSCAN0_base> + $0F9C_H$
RSCAN0	送信バッファ ID レジスタ 0	RSCAN0TMID0	<RSCAN0_base> + 1000_H
RSCAN0	送信バッファポインタレジスタ 0	RSCAN0TMPTR0	<RSCAN0_base> + 1004_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 0	RSCAN0TMDF00	<RSCAN0_base> + 1008_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 0	RSCAN0TMDF10	<RSCAN0_base> + $100C_H$
RSCAN0	送信バッファ ID レジスタ 1	RSCAN0TMID1	<RSCAN0_base> + 1010_H
RSCAN0	送信バッファポインタレジスタ 1	RSCAN0TMPTR1	<RSCAN0_base> + 1014_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 1	RSCAN0TMDF01	<RSCAN0_base> + 1018_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 1	RSCAN0TMDF11	<RSCAN0_base> + $101C_H$
RSCAN0	送信バッファ ID レジスタ 2	RSCAN0TMID2	<RSCAN0_base> + 1020_H
RSCAN0	送信バッファポインタレジスタ 2	RSCAN0TMPTR2	<RSCAN0_base> + 1024_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 2	RSCAN0TMDF02	<RSCAN0_base> + 1028_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 2	RSCAN0TMDF12	<RSCAN0_base> + $102C_H$
RSCAN0	送信バッファ ID レジスタ 3	RSCAN0TMID3	<RSCAN0_base> + 1030_H

表 20.12 レジスタ一覧 (21/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファポインタレジスタ 3	RSCAN0TMPTR3	<RSCAN0_base> + 1034_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 3	RSCAN0TMDF03	<RSCAN0_base> + 1038_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 3	RSCAN0TMDF13	<RSCAN0_base> + $103C_H$
RSCAN0	送信バッファ ID レジスタ 4	RSCAN0TMID4	<RSCAN0_base> + 1040_H
RSCAN0	送信バッファポインタレジスタ 4	RSCAN0TMPTR4	<RSCAN0_base> + 1044_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 4	RSCAN0TMDF04	<RSCAN0_base> + 1048_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 4	RSCAN0TMDF14	<RSCAN0_base> + $104C_H$
RSCAN0	送信バッファ ID レジスタ 5	RSCAN0TMID5	<RSCAN0_base> + 1050_H
RSCAN0	送信バッファポインタレジスタ 5	RSCAN0TMPTR5	<RSCAN0_base> + 1054_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 5	RSCAN0TMDF05	<RSCAN0_base> + 1058_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 5	RSCAN0TMDF15	<RSCAN0_base> + $105C_H$
RSCAN0	送信バッファ ID レジスタ 6	RSCAN0TMID6	<RSCAN0_base> + 1060_H
RSCAN0	送信バッファポインタレジスタ 6	RSCAN0TMPTR6	<RSCAN0_base> + 1064_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 6	RSCAN0TMDF06	<RSCAN0_base> + 1068_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 6	RSCAN0TMDF16	<RSCAN0_base> + $106C_H$
RSCAN0	送信バッファ ID レジスタ 7	RSCAN0TMID7	<RSCAN0_base> + 1070_H
RSCAN0	送信バッファポインタレジスタ 7	RSCAN0TMPTR7	<RSCAN0_base> + 1074_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 7	RSCAN0TMDF07	<RSCAN0_base> + 1078_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 7	RSCAN0TMDF17	<RSCAN0_base> + $107C_H$
RSCAN0	送信バッファ ID レジスタ 8	RSCAN0TMID8	<RSCAN0_base> + 1080_H
RSCAN0	送信バッファポインタレジスタ 8	RSCAN0TMPTR8	<RSCAN0_base> + 1084_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 8	RSCAN0TMDF08	<RSCAN0_base> + 1088_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 8	RSCAN0TMDF18	<RSCAN0_base> + $108C_H$
RSCAN0	送信バッファ ID レジスタ 9	RSCAN0TMID9	<RSCAN0_base> + 1090_H
RSCAN0	送信バッファポインタレジスタ 9	RSCAN0TMPTR9	<RSCAN0_base> + 1094_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 9	RSCAN0TMDF09	<RSCAN0_base> + 1098_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 9	RSCAN0TMDF19	<RSCAN0_base> + $109C_H$
RSCAN0	送信バッファ ID レジスタ 10	RSCAN0TMID10	<RSCAN0_base> + $10A0_H$
RSCAN0	送信バッファポインタレジスタ 10	RSCAN0TMPTR10	<RSCAN0_base> + $10A4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 10	RSCAN0TMDF010	<RSCAN0_base> + $10A8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 10	RSCAN0TMDF110	<RSCAN0_base> + $10AC_H$
RSCAN0	送信バッファ ID レジスタ 11	RSCAN0TMID11	<RSCAN0_base> + $10B0_H$
RSCAN0	送信バッファポインタレジスタ 11	RSCAN0TMPTR11	<RSCAN0_base> + $10B4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 11	RSCAN0TMDF011	<RSCAN0_base> + $10B8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 11	RSCAN0TMDF111	<RSCAN0_base> + $10BC_H$
RSCAN0	送信バッファ ID レジスタ 12	RSCAN0TMID12	<RSCAN0_base> + $10C0_H$
RSCAN0	送信バッファポインタレジスタ 12	RSCAN0TMPTR12	<RSCAN0_base> + $10C4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 12	RSCAN0TMDF012	<RSCAN0_base> + $10C8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 12	RSCAN0TMDF112	<RSCAN0_base> + $10CC_H$
RSCAN0	送信バッファ ID レジスタ 13	RSCAN0TMID13	<RSCAN0_base> + $10D0_H$
RSCAN0	送信バッファポインタレジスタ 13	RSCAN0TMPTR13	<RSCAN0_base> + $10D4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 13	RSCAN0TMDF013	<RSCAN0_base> + $10D8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 13	RSCAN0TMDF113	<RSCAN0_base> + $10DC_H$
RSCAN0	送信バッファ ID レジスタ 14	RSCAN0TMID14	<RSCAN0_base> + $10E0_H$
RSCAN0	送信バッファポインタレジスタ 14	RSCAN0TMPTR14	<RSCAN0_base> + $10E4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 14	RSCAN0TMDF014	<RSCAN0_base> + $10E8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 14	RSCAN0TMDF114	<RSCAN0_base> + $10EC_H$

表 20.12 レジスタ一覧 (22/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファ ID レジスタ 15	RSCAN0TMID15	<RSCAN0_base> + $10F0_H$
RSCAN0	送信バッファポインタレジスタ 15	RSCAN0TMPTR15	<RSCAN0_base> + $10F4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 15	RSCAN0TMDF015	<RSCAN0_base> + $10F8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 15	RSCAN0TMDF115	<RSCAN0_base> + $10FC_H$
RSCAN0	送信バッファ ID レジスタ 16	RSCAN0TMID16	<RSCAN0_base> + 1100_H
RSCAN0	送信バッファポインタレジスタ 16	RSCAN0TMPTR16	<RSCAN0_base> + 1104_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 16	RSCAN0TMDF016	<RSCAN0_base> + 1108_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 16	RSCAN0TMDF116	<RSCAN0_base> + $110C_H$
RSCAN0	送信バッファ ID レジスタ 17	RSCAN0TMID17	<RSCAN0_base> + 1110_H
RSCAN0	送信バッファポインタレジスタ 17	RSCAN0TMPTR17	<RSCAN0_base> + 1114_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 17	RSCAN0TMDF017	<RSCAN0_base> + 1118_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 17	RSCAN0TMDF117	<RSCAN0_base> + $111C_H$
RSCAN0	送信バッファ ID レジスタ 18	RSCAN0TMID18	<RSCAN0_base> + 1120_H
RSCAN0	送信バッファポインタレジスタ 18	RSCAN0TMPTR18	<RSCAN0_base> + 1124_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 18	RSCAN0TMDF018	<RSCAN0_base> + 1128_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 18	RSCAN0TMDF118	<RSCAN0_base> + $112C_H$
RSCAN0	送信バッファ ID レジスタ 19	RSCAN0TMID19	<RSCAN0_base> + 1130_H
RSCAN0	送信バッファポインタレジスタ 19	RSCAN0TMPTR19	<RSCAN0_base> + 1134_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 19	RSCAN0TMDF019	<RSCAN0_base> + 1138_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 19	RSCAN0TMDF119	<RSCAN0_base> + $113C_H$
RSCAN0	送信バッファ ID レジスタ 20	RSCAN0TMID20	<RSCAN0_base> + 1140_H
RSCAN0	送信バッファポインタレジスタ 20	RSCAN0TMPTR20	<RSCAN0_base> + 1144_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 20	RSCAN0TMDF020	<RSCAN0_base> + 1148_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 20	RSCAN0TMDF120	<RSCAN0_base> + $114C_H$
RSCAN0	送信バッファ ID レジスタ 21	RSCAN0TMID21	<RSCAN0_base> + 1150_H
RSCAN0	送信バッファポインタレジスタ 21	RSCAN0TMPTR21	<RSCAN0_base> + 1154_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 21	RSCAN0TMDF021	<RSCAN0_base> + 1158_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 21	RSCAN0TMDF121	<RSCAN0_base> + $115C_H$
RSCAN0	送信バッファ ID レジスタ 22	RSCAN0TMID22	<RSCAN0_base> + 1160_H
RSCAN0	送信バッファポインタレジスタ 22	RSCAN0TMPTR22	<RSCAN0_base> + 1164_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 22	RSCAN0TMDF022	<RSCAN0_base> + 1168_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 22	RSCAN0TMDF122	<RSCAN0_base> + $116C_H$
RSCAN0	送信バッファ ID レジスタ 23	RSCAN0TMID23	<RSCAN0_base> + 1170_H
RSCAN0	送信バッファポインタレジスタ 23	RSCAN0TMPTR23	<RSCAN0_base> + 1174_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 23	RSCAN0TMDF023	<RSCAN0_base> + 1178_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 23	RSCAN0TMDF123	<RSCAN0_base> + $117C_H$
RSCAN0	送信バッファ ID レジスタ 24	RSCAN0TMID24	<RSCAN0_base> + 1180_H
RSCAN0	送信バッファポインタレジスタ 24	RSCAN0TMPTR24	<RSCAN0_base> + 1184_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 24	RSCAN0TMDF024	<RSCAN0_base> + 1188_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 24	RSCAN0TMDF124	<RSCAN0_base> + $118C_H$
RSCAN0	送信バッファ ID レジスタ 25	RSCAN0TMID25	<RSCAN0_base> + 1190_H
RSCAN0	送信バッファポインタレジスタ 25	RSCAN0TMPTR25	<RSCAN0_base> + 1194_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 25	RSCAN0TMDF025	<RSCAN0_base> + 1198_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 25	RSCAN0TMDF125	<RSCAN0_base> + $119C_H$
RSCAN0	送信バッファ ID レジスタ 26	RSCAN0TMID26	<RSCAN0_base> + $11A0_H$
RSCAN0	送信バッファポインタレジスタ 26	RSCAN0TMPTR26	<RSCAN0_base> + $11A4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 26	RSCAN0TMDF026	<RSCAN0_base> + $11A8_H$

表 20.12 レジスタ一覧 (23/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファデータフィールド 1 レジスタ 26	RSCAN0TMDF126	<RSCAN0_base> + $11AC_H$
RSCAN0	送信バッファ ID レジスタ 27	RSCAN0TMID27	<RSCAN0_base> + $11B0_H$
RSCAN0	送信バッファポインタレジスタ 27	RSCAN0TMPTR27	<RSCAN0_base> + $11B4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 27	RSCAN0TMDF027	<RSCAN0_base> + $11B8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 27	RSCAN0TMDF127	<RSCAN0_base> + $11BC_H$
RSCAN0	送信バッファ ID レジスタ 28	RSCAN0TMID28	<RSCAN0_base> + $11C0_H$
RSCAN0	送信バッファポインタレジスタ 28	RSCAN0TMPTR28	<RSCAN0_base> + $11C4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 28	RSCAN0TMDF028	<RSCAN0_base> + $11C8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 28	RSCAN0TMDF128	<RSCAN0_base> + $11CC_H$
RSCAN0	送信バッファ ID レジスタ 29	RSCAN0TMID29	<RSCAN0_base> + $11D0_H$
RSCAN0	送信バッファポインタレジスタ 29	RSCAN0TMPTR29	<RSCAN0_base> + $11D4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 29	RSCAN0TMDF029	<RSCAN0_base> + $11D8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 29	RSCAN0TMDF129	<RSCAN0_base> + $11DC_H$
RSCAN0	送信バッファ ID レジスタ 30	RSCAN0TMID30	<RSCAN0_base> + $11E0_H$
RSCAN0	送信バッファポインタレジスタ 30	RSCAN0TMPTR30	<RSCAN0_base> + $11E4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 30	RSCAN0TMDF030	<RSCAN0_base> + $11E8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 30	RSCAN0TMDF130	<RSCAN0_base> + $11EC_H$
RSCAN0	送信バッファ ID レジスタ 31	RSCAN0TMID31	<RSCAN0_base> + $11F0_H$
RSCAN0	送信バッファポインタレジスタ 31	RSCAN0TMPTR31	<RSCAN0_base> + $11F4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 31	RSCAN0TMDF031	<RSCAN0_base> + $11F8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 31	RSCAN0TMDF131	<RSCAN0_base> + $11FC_H$
RSCAN0	送信バッファ ID レジスタ 32	RSCAN0TMID32	<RSCAN0_base> + 1200_H
RSCAN0	送信バッファポインタレジスタ 32	RSCAN0TMPTR32	<RSCAN0_base> + 1204_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 32	RSCAN0TMDF032	<RSCAN0_base> + 1208_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 32	RSCAN0TMDF132	<RSCAN0_base> + $120C_H$
RSCAN0	送信バッファ ID レジスタ 33	RSCAN0TMID33	<RSCAN0_base> + 1210_H
RSCAN0	送信バッファポインタレジスタ 33	RSCAN0TMPTR33	<RSCAN0_base> + 1214_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 33	RSCAN0TMDF033	<RSCAN0_base> + 1218_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 33	RSCAN0TMDF133	<RSCAN0_base> + $121C_H$
RSCAN0	送信バッファ ID レジスタ 34	RSCAN0TMID34	<RSCAN0_base> + 1220_H
RSCAN0	送信バッファポインタレジスタ 34	RSCAN0TMPTR34	<RSCAN0_base> + 1224_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 34	RSCAN0TMDF034	<RSCAN0_base> + 1228_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 34	RSCAN0TMDF134	<RSCAN0_base> + $122C_H$
RSCAN0	送信バッファ ID レジスタ 35	RSCAN0TMID35	<RSCAN0_base> + 1230_H
RSCAN0	送信バッファポインタレジスタ 35	RSCAN0TMPTR35	<RSCAN0_base> + 1234_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 35	RSCAN0TMDF035	<RSCAN0_base> + 1238_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 35	RSCAN0TMDF135	<RSCAN0_base> + $123C_H$
RSCAN0	送信バッファ ID レジスタ 36	RSCAN0TMID36	<RSCAN0_base> + 1240_H
RSCAN0	送信バッファポインタレジスタ 36	RSCAN0TMPTR36	<RSCAN0_base> + 1244_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 36	RSCAN0TMDF036	<RSCAN0_base> + 1248_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 36	RSCAN0TMDF136	<RSCAN0_base> + $124C_H$
RSCAN0	送信バッファ ID レジスタ 37	RSCAN0TMID37	<RSCAN0_base> + 1250_H
RSCAN0	送信バッファポインタレジスタ 37	RSCAN0TMPTR37	<RSCAN0_base> + 1254_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 37	RSCAN0TMDF037	<RSCAN0_base> + 1258_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 37	RSCAN0TMDF137	<RSCAN0_base> + $125C_H$
RSCAN0	送信バッファ ID レジスタ 38	RSCAN0TMID38	<RSCAN0_base> + 1260_H
RSCAN0	送信バッファポインタレジスタ 38	RSCAN0TMPTR38	<RSCAN0_base> + 1264_H

表 20.12 レジスター覧 (24/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファデータフィールド 0 レジスタ 38	RSCAN0TMDF038	<RSCAN0_base> + 1268_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 38	RSCAN0TMDF138	<RSCAN0_base> + $126C_H$
RSCAN0	送信バッファ ID レジスタ 39	RSCAN0TMID39	<RSCAN0_base> + 1270_H
RSCAN0	送信バッファポインタレジスタ 39	RSCAN0TMPTR39	<RSCAN0_base> + 1274_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 39	RSCAN0TMDF039	<RSCAN0_base> + 1278_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 39	RSCAN0TMDF139	<RSCAN0_base> + $127C_H$
RSCAN0	送信バッファ ID レジスタ 40	RSCAN0TMID40	<RSCAN0_base> + 1280_H
RSCAN0	送信バッファポインタレジスタ 40	RSCAN0TMPTR40	<RSCAN0_base> + 1284_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 40	RSCAN0TMDF040	<RSCAN0_base> + 1288_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 40	RSCAN0TMDF140	<RSCAN0_base> + $128C_H$
RSCAN0	送信バッファ ID レジスタ 41	RSCAN0TMID41	<RSCAN0_base> + 1290_H
RSCAN0	送信バッファポインタレジスタ 41	RSCAN0TMPTR41	<RSCAN0_base> + 1294_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 41	RSCAN0TMDF041	<RSCAN0_base> + 1298_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 41	RSCAN0TMDF141	<RSCAN0_base> + $129C_H$
RSCAN0	送信バッファ ID レジスタ 42	RSCAN0TMID42	<RSCAN0_base> + $12A0_H$
RSCAN0	送信バッファポインタレジスタ 42	RSCAN0TMPTR42	<RSCAN0_base> + $12A4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 42	RSCAN0TMDF042	<RSCAN0_base> + $12A8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 42	RSCAN0TMDF142	<RSCAN0_base> + $12AC_H$
RSCAN0	送信バッファ ID レジスタ 43	RSCAN0TMID43	<RSCAN0_base> + $12B0_H$
RSCAN0	送信バッファポインタレジスタ 43	RSCAN0TMPTR43	<RSCAN0_base> + $12B4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 43	RSCAN0TMDF043	<RSCAN0_base> + $12B8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 43	RSCAN0TMDF143	<RSCAN0_base> + $12BC_H$
RSCAN0	送信バッファ ID レジスタ 44	RSCAN0TMID44	<RSCAN0_base> + $12C0_H$
RSCAN0	送信バッファポインタレジスタ 44	RSCAN0TMPTR44	<RSCAN0_base> + $12C4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 44	RSCAN0TMDF044	<RSCAN0_base> + $12C8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 44	RSCAN0TMDF144	<RSCAN0_base> + $12CC_H$
RSCAN0	送信バッファ ID レジスタ 45	RSCAN0TMID45	<RSCAN0_base> + $12D0_H$
RSCAN0	送信バッファポインタレジスタ 45	RSCAN0TMPTR45	<RSCAN0_base> + $12D4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 45	RSCAN0TMDF045	<RSCAN0_base> + $12D8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 45	RSCAN0TMDF145	<RSCAN0_base> + $12DC_H$
RSCAN0	送信バッファ ID レジスタ 46	RSCAN0TMID46	<RSCAN0_base> + $12E0_H$
RSCAN0	送信バッファポインタレジスタ 46	RSCAN0TMPTR46	<RSCAN0_base> + $12E4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 46	RSCAN0TMDF046	<RSCAN0_base> + $12E8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 46	RSCAN0TMDF146	<RSCAN0_base> + $12EC_H$
RSCAN0	送信バッファ ID レジスタ 47	RSCAN0TMID47	<RSCAN0_base> + $12F0_H$
RSCAN0	送信バッファポインタレジスタ 47	RSCAN0TMPTR47	<RSCAN0_base> + $12F4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 47	RSCAN0TMDF047	<RSCAN0_base> + $12F8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 47	RSCAN0TMDF147	<RSCAN0_base> + $12FC_H$
RSCAN0	送信バッファ ID レジスタ 48	RSCAN0TMID48	<RSCAN0_base> + 1300_H
RSCAN0	送信バッファポインタレジスタ 48	RSCAN0TMPTR48	<RSCAN0_base> + 1304_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 48	RSCAN0TMDF048	<RSCAN0_base> + 1308_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 48	RSCAN0TMDF148	<RSCAN0_base> + $130C_H$
RSCAN0	送信バッファ ID レジスタ 49	RSCAN0TMID49	<RSCAN0_base> + 1310_H
RSCAN0	送信バッファポインタレジスタ 49	RSCAN0TMPTR49	<RSCAN0_base> + 1314_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 49	RSCAN0TMDF049	<RSCAN0_base> + 1318_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 49	RSCAN0TMDF149	<RSCAN0_base> + $131C_H$
RSCAN0	送信バッファ ID レジスタ 50	RSCAN0TMID50	<RSCAN0_base> + 1320_H

表 20.12 レジスタ一覧 (25/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファポインタレジスタ 50	RSCAN0TMPTR50	<RSCAN0_base> + 1324_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 50	RSCAN0TMDF050	<RSCAN0_base> + 1328_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 50	RSCAN0TMDF150	<RSCAN0_base> + $132C_H$
RSCAN0	送信バッファ ID レジスタ 51	RSCAN0TMID51	<RSCAN0_base> + 1330_H
RSCAN0	送信バッファポインタレジスタ 51	RSCAN0TMPTR51	<RSCAN0_base> + 1334_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 51	RSCAN0TMDF051	<RSCAN0_base> + 1338_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 51	RSCAN0TMDF151	<RSCAN0_base> + $133C_H$
RSCAN0	送信バッファ ID レジスタ 52	RSCAN0TMID52	<RSCAN0_base> + 1340_H
RSCAN0	送信バッファポインタレジスタ 52	RSCAN0TMPTR52	<RSCAN0_base> + 1344_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 52	RSCAN0TMDF052	<RSCAN0_base> + 1348_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 52	RSCAN0TMDF152	<RSCAN0_base> + $134C_H$
RSCAN0	送信バッファ ID レジスタ 53	RSCAN0TMID53	<RSCAN0_base> + 1350_H
RSCAN0	送信バッファポインタレジスタ 53	RSCAN0TMPTR53	<RSCAN0_base> + 1354_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 53	RSCAN0TMDF053	<RSCAN0_base> + 1358_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 53	RSCAN0TMDF153	<RSCAN0_base> + $135C_H$
RSCAN0	送信バッファ ID レジスタ 54	RSCAN0TMID54	<RSCAN0_base> + 1360_H
RSCAN0	送信バッファポインタレジスタ 54	RSCAN0TMPTR54	<RSCAN0_base> + 1364_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 54	RSCAN0TMDF054	<RSCAN0_base> + 1368_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 54	RSCAN0TMDF154	<RSCAN0_base> + $136C_H$
RSCAN0	送信バッファ ID レジスタ 55	RSCAN0TMID55	<RSCAN0_base> + 1370_H
RSCAN0	送信バッファポインタレジスタ 55	RSCAN0TMPTR55	<RSCAN0_base> + 1374_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 55	RSCAN0TMDF055	<RSCAN0_base> + 1378_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 55	RSCAN0TMDF155	<RSCAN0_base> + $137C_H$
RSCAN0	送信バッファ ID レジスタ 56	RSCAN0TMID56	<RSCAN0_base> + 1380_H
RSCAN0	送信バッファポインタレジスタ 56	RSCAN0TMPTR56	<RSCAN0_base> + 1384_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 56	RSCAN0TMDF056	<RSCAN0_base> + 1388_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 56	RSCAN0TMDF156	<RSCAN0_base> + $138C_H$
RSCAN0	送信バッファ ID レジスタ 57	RSCAN0TMID57	<RSCAN0_base> + 1390_H
RSCAN0	送信バッファポインタレジスタ 57	RSCAN0TMPTR57	<RSCAN0_base> + 1394_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 57	RSCAN0TMDF057	<RSCAN0_base> + 1398_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 57	RSCAN0TMDF157	<RSCAN0_base> + $139C_H$
RSCAN0	送信バッファ ID レジスタ 58	RSCAN0TMID58	<RSCAN0_base> + $13A0_H$
RSCAN0	送信バッファポインタレジスタ 58	RSCAN0TMPTR58	<RSCAN0_base> + $13A4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 58	RSCAN0TMDF058	<RSCAN0_base> + $13A8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 58	RSCAN0TMDF158	<RSCAN0_base> + $13AC_H$
RSCAN0	送信バッファ ID レジスタ 59	RSCAN0TMID59	<RSCAN0_base> + $13B0_H$
RSCAN0	送信バッファポインタレジスタ 59	RSCAN0TMPTR59	<RSCAN0_base> + $13B4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 59	RSCAN0TMDF059	<RSCAN0_base> + $13B8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 59	RSCAN0TMDF159	<RSCAN0_base> + $13BC_H$
RSCAN0	送信バッファ ID レジスタ 60	RSCAN0TMID60	<RSCAN0_base> + $13C0_H$
RSCAN0	送信バッファポインタレジスタ 60	RSCAN0TMPTR60	<RSCAN0_base> + $13C4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 60	RSCAN0TMDF060	<RSCAN0_base> + $13C8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 60	RSCAN0TMDF160	<RSCAN0_base> + $13CC_H$
RSCAN0	送信バッファ ID レジスタ 61	RSCAN0TMID61	<RSCAN0_base> + $13D0_H$
RSCAN0	送信バッファポインタレジスタ 61	RSCAN0TMPTR61	<RSCAN0_base> + $13D4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 61	RSCAN0TMDF061	<RSCAN0_base> + $13D8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 61	RSCAN0TMDF161	<RSCAN0_base> + $13DC_H$

表 20.12 レジスター覧 (26/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファ ID レジスタ 62	RSCAN0TMID62	<RSCAN0_base> + $13E0_H$
RSCAN0	送信バッファポインタレジスタ 62	RSCAN0TMPTR62	<RSCAN0_base> + $13E4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 62	RSCAN0TMDF062	<RSCAN0_base> + $13E8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 62	RSCAN0TMDF162	<RSCAN0_base> + $13EC_H$
RSCAN0	送信バッファ ID レジスタ 63	RSCAN0TMID63	<RSCAN0_base> + $13F0_H$
RSCAN0	送信バッファポインタレジスタ 63	RSCAN0TMPTR63	<RSCAN0_base> + $13F4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 63	RSCAN0TMDF063	<RSCAN0_base> + $13F8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 63	RSCAN0TMDF163	<RSCAN0_base> + $13FC_H$
RSCAN0	送信バッファ ID レジスタ 64	RSCAN0TMID64	<RSCAN0_base> + 1400_H
RSCAN0	送信バッファポインタレジスタ 64	RSCAN0TMPTR64	<RSCAN0_base> + 1404_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 64	RSCAN0TMDF064	<RSCAN0_base> + 1408_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 64	RSCAN0TMDF164	<RSCAN0_base> + $140C_H$
RSCAN0	送信バッファ ID レジスタ 65	RSCAN0TMID65	<RSCAN0_base> + 1410_H
RSCAN0	送信バッファポインタレジスタ 65	RSCAN0TMPTR65	<RSCAN0_base> + 1414_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 65	RSCAN0TMDF065	<RSCAN0_base> + 1418_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 65	RSCAN0TMDF165	<RSCAN0_base> + $141C_H$
RSCAN0	送信バッファ ID レジスタ 66	RSCAN0TMID66	<RSCAN0_base> + 1420_H
RSCAN0	送信バッファポインタレジスタ 66	RSCAN0TMPTR66	<RSCAN0_base> + 1424_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 66	RSCAN0TMDF066	<RSCAN0_base> + 1428_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 66	RSCAN0TMDF166	<RSCAN0_base> + $142C_H$
RSCAN0	送信バッファ ID レジスタ 67	RSCAN0TMID67	<RSCAN0_base> + 1430_H
RSCAN0	送信バッファポインタレジスタ 67	RSCAN0TMPTR67	<RSCAN0_base> + 1434_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 67	RSCAN0TMDF067	<RSCAN0_base> + 1438_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 67	RSCAN0TMDF167	<RSCAN0_base> + $143C_H$
RSCAN0	送信バッファ ID レジスタ 68	RSCAN0TMID68	<RSCAN0_base> + 1440_H
RSCAN0	送信バッファポインタレジスタ 68	RSCAN0TMPTR68	<RSCAN0_base> + 1444_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 68	RSCAN0TMDF068	<RSCAN0_base> + 1448_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 68	RSCAN0TMDF168	<RSCAN0_base> + $144C_H$
RSCAN0	送信バッファ ID レジスタ 69	RSCAN0TMID69	<RSCAN0_base> + 1450_H
RSCAN0	送信バッファポインタレジスタ 69	RSCAN0TMPTR69	<RSCAN0_base> + 1454_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 69	RSCAN0TMDF069	<RSCAN0_base> + 1458_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 69	RSCAN0TMDF169	<RSCAN0_base> + $145C_H$
RSCAN0	送信バッファ ID レジスタ 70	RSCAN0TMID70	<RSCAN0_base> + 1460_H
RSCAN0	送信バッファポインタレジスタ 70	RSCAN0TMPTR70	<RSCAN0_base> + 1464_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 70	RSCAN0TMDF070	<RSCAN0_base> + 1468_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 70	RSCAN0TMDF170	<RSCAN0_base> + $146C_H$
RSCAN0	送信バッファ ID レジスタ 71	RSCAN0TMID71	<RSCAN0_base> + 1470_H
RSCAN0	送信バッファポインタレジスタ 71	RSCAN0TMPTR71	<RSCAN0_base> + 1474_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 71	RSCAN0TMDF071	<RSCAN0_base> + 1478_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 71	RSCAN0TMDF171	<RSCAN0_base> + $147C_H$
RSCAN0	送信バッファ ID レジスタ 72	RSCAN0TMID72	<RSCAN0_base> + 1480_H
RSCAN0	送信バッファポインタレジスタ 72	RSCAN0TMPTR72	<RSCAN0_base> + 1484_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 72	RSCAN0TMDF072	<RSCAN0_base> + 1488_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 72	RSCAN0TMDF172	<RSCAN0_base> + $148C_H$
RSCAN0	送信バッファ ID レジスタ 73	RSCAN0TMID73	<RSCAN0_base> + 1490_H
RSCAN0	送信バッファポインタレジスタ 73	RSCAN0TMPTR73	<RSCAN0_base> + 1494_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 73	RSCAN0TMDF073	<RSCAN0_base> + 1498_H

表 20.12 レジスタ一覧 (27/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファデータフィールド 1 レジスタ 73	RSCAN0TMDF173	<RSCAN0_base> + $149C_H$
RSCAN0	送信バッファ ID レジスタ 74	RSCAN0TMID74	<RSCAN0_base> + $14A0_H$
RSCAN0	送信バッファポインタレジスタ 74	RSCAN0TMPTR74	<RSCAN0_base> + $14A4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 74	RSCAN0TMDF074	<RSCAN0_base> + $14A8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 74	RSCAN0TMDF174	<RSCAN0_base> + $14AC_H$
RSCAN0	送信バッファ ID レジスタ 75	RSCAN0TMID75	<RSCAN0_base> + $14B0_H$
RSCAN0	送信バッファポインタレジスタ 75	RSCAN0TMPTR75	<RSCAN0_base> + $14B4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 75	RSCAN0TMDF075	<RSCAN0_base> + $14B8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 75	RSCAN0TMDF175	<RSCAN0_base> + $14BC_H$
RSCAN0	送信バッファ ID レジスタ 76	RSCAN0TMID76	<RSCAN0_base> + $14C0_H$
RSCAN0	送信バッファポインタレジスタ 76	RSCAN0TMPTR76	<RSCAN0_base> + $14C4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 76	RSCAN0TMDF076	<RSCAN0_base> + $14C8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 76	RSCAN0TMDF176	<RSCAN0_base> + $14CC_H$
RSCAN0	送信バッファ ID レジスタ 77	RSCAN0TMID77	<RSCAN0_base> + $14D0_H$
RSCAN0	送信バッファポインタレジスタ 77	RSCAN0TMPTR77	<RSCAN0_base> + $14D4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 77	RSCAN0TMDF077	<RSCAN0_base> + $14D8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 77	RSCAN0TMDF177	<RSCAN0_base> + $14DC_H$
RSCAN0	送信バッファ ID レジスタ 78	RSCAN0TMID78	<RSCAN0_base> + $14E0_H$
RSCAN0	送信バッファポインタレジスタ 78	RSCAN0TMPTR78	<RSCAN0_base> + $14E4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 78	RSCAN0TMDF078	<RSCAN0_base> + $14E8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 78	RSCAN0TMDF178	<RSCAN0_base> + $14EC_H$
RSCAN0	送信バッファ ID レジスタ 79	RSCAN0TMID79	<RSCAN0_base> + $14F0_H$
RSCAN0	送信バッファポインタレジスタ 79	RSCAN0TMPTR79	<RSCAN0_base> + $14F4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 79	RSCAN0TMDF079	<RSCAN0_base> + $14F8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 79	RSCAN0TMDF179	<RSCAN0_base> + $14FC_H$
RSCAN0	送信バッファ ID レジスタ 80	RSCAN0TMID80	<RSCAN0_base> + 1500_H
RSCAN0	送信バッファポインタレジスタ 80	RSCAN0TMPTR80	<RSCAN0_base> + 1504_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 80	RSCAN0TMDF080	<RSCAN0_base> + 1508_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 80	RSCAN0TMDF180	<RSCAN0_base> + $150C_H$
RSCAN0	送信バッファ ID レジスタ 81	RSCAN0TMID81	<RSCAN0_base> + 1510_H
RSCAN0	送信バッファポインタレジスタ 81	RSCAN0TMPTR81	<RSCAN0_base> + 1514_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 81	RSCAN0TMDF081	<RSCAN0_base> + 1518_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 81	RSCAN0TMDF181	<RSCAN0_base> + $151C_H$
RSCAN0	送信バッファ ID レジスタ 82	RSCAN0TMID82	<RSCAN0_base> + 1520_H
RSCAN0	送信バッファポインタレジスタ 82	RSCAN0TMPTR82	<RSCAN0_base> + 1524_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 82	RSCAN0TMDF082	<RSCAN0_base> + 1528_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 82	RSCAN0TMDF182	<RSCAN0_base> + $152C_H$
RSCAN0	送信バッファ ID レジスタ 83	RSCAN0TMID83	<RSCAN0_base> + 1530_H
RSCAN0	送信バッファポインタレジスタ 83	RSCAN0TMPTR83	<RSCAN0_base> + 1534_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 83	RSCAN0TMDF083	<RSCAN0_base> + 1538_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 83	RSCAN0TMDF183	<RSCAN0_base> + $153C_H$
RSCAN0	送信バッファ ID レジスタ 84	RSCAN0TMID84	<RSCAN0_base> + 1540_H
RSCAN0	送信バッファポインタレジスタ 84	RSCAN0TMPTR84	<RSCAN0_base> + 1544_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 84	RSCAN0TMDF084	<RSCAN0_base> + 1548_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 84	RSCAN0TMDF184	<RSCAN0_base> + $154C_H$
RSCAN0	送信バッファ ID レジスタ 85	RSCAN0TMID85	<RSCAN0_base> + 1550_H
RSCAN0	送信バッファポインタレジスタ 85	RSCAN0TMPTR85	<RSCAN0_base> + 1554_H

表 20.12 レジスタ一覧 (28/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信バッファデータフィールド 0 レジスタ 85	RSCAN0TMDF085	<RSCAN0_base> + 1558_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 85	RSCAN0TMDF185	<RSCAN0_base> + $155C_H$
RSCAN0	送信バッファ ID レジスタ 86	RSCAN0TMID86	<RSCAN0_base> + 1560_H
RSCAN0	送信バッファポインタレジスタ 86	RSCAN0TMPTR86	<RSCAN0_base> + 1564_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 86	RSCAN0TMDF086	<RSCAN0_base> + 1568_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 86	RSCAN0TMDF186	<RSCAN0_base> + $156C_H$
RSCAN0	送信バッファ ID レジスタ 87	RSCAN0TMID87	<RSCAN0_base> + 1570_H
RSCAN0	送信バッファポインタレジスタ 87	RSCAN0TMPTR87	<RSCAN0_base> + 1574_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 87	RSCAN0TMDF087	<RSCAN0_base> + 1578_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 87	RSCAN0TMDF187	<RSCAN0_base> + $157C_H$
RSCAN0	送信バッファ ID レジスタ 88	RSCAN0TMID88	<RSCAN0_base> + 1580_H
RSCAN0	送信バッファポインタレジスタ 88	RSCAN0TMPTR88	<RSCAN0_base> + 1584_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 88	RSCAN0TMDF088	<RSCAN0_base> + 1588_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 88	RSCAN0TMDF188	<RSCAN0_base> + $158C_H$
RSCAN0	送信バッファ ID レジスタ 89	RSCAN0TMID89	<RSCAN0_base> + 1590_H
RSCAN0	送信バッファポインタレジスタ 89	RSCAN0TMPTR89	<RSCAN0_base> + 1594_H
RSCAN0	送信バッファデータフィールド 0 レジスタ 89	RSCAN0TMDF089	<RSCAN0_base> + 1598_H
RSCAN0	送信バッファデータフィールド 1 レジスタ 89	RSCAN0TMDF189	<RSCAN0_base> + $159C_H$
RSCAN0	送信バッファ ID レジスタ 90	RSCAN0TMID90	<RSCAN0_base> + $15A0_H$
RSCAN0	送信バッファポインタレジスタ 90	RSCAN0TMPTR90	<RSCAN0_base> + $15A4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 90	RSCAN0TMDF090	<RSCAN0_base> + $15A8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 90	RSCAN0TMDF190	<RSCAN0_base> + $15AC_H$
RSCAN0	送信バッファ ID レジスタ 91	RSCAN0TMID91	<RSCAN0_base> + $15B0_H$
RSCAN0	送信バッファポインタレジスタ 91	RSCAN0TMPTR91	<RSCAN0_base> + $15B4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 91	RSCAN0TMDF091	<RSCAN0_base> + $15B8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 91	RSCAN0TMDF191	<RSCAN0_base> + $15BC_H$
RSCAN0	送信バッファ ID レジスタ 92	RSCAN0TMID92	<RSCAN0_base> + $15C0_H$
RSCAN0	送信バッファポインタレジスタ 92	RSCAN0TMPTR92	<RSCAN0_base> + $15C4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 92	RSCAN0TMDF092	<RSCAN0_base> + $15C8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 92	RSCAN0TMDF192	<RSCAN0_base> + $15CC_H$
RSCAN0	送信バッファ ID レジスタ 93	RSCAN0TMID93	<RSCAN0_base> + $15D0_H$
RSCAN0	送信バッファポインタレジスタ 93	RSCAN0TMPTR93	<RSCAN0_base> + $15D4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 93	RSCAN0TMDF093	<RSCAN0_base> + $15D8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 93	RSCAN0TMDF193	<RSCAN0_base> + $15DC_H$
RSCAN0	送信バッファ ID レジスタ 94	RSCAN0TMID94	<RSCAN0_base> + $15E0_H$
RSCAN0	送信バッファポインタレジスタ 94	RSCAN0TMPTR94	<RSCAN0_base> + $15E4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 94	RSCAN0TMDF094	<RSCAN0_base> + $15E8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 94	RSCAN0TMDF194	<RSCAN0_base> + $15EC_H$
RSCAN0	送信バッファ ID レジスタ 95	RSCAN0TMID95	<RSCAN0_base> + $15F0_H$
RSCAN0	送信バッファポインタレジスタ 95	RSCAN0TMPTR95	<RSCAN0_base> + $15F4_H$
RSCAN0	送信バッファデータフィールド 0 レジスタ 95	RSCAN0TMDF095	<RSCAN0_base> + $15F8_H$
RSCAN0	送信バッファデータフィールド 1 レジスタ 95	RSCAN0TMDF195	<RSCAN0_base> + $15FC_H$
RSCAN0	送信履歴アクセスレジスタ 0	RSCAN0THLACC0	<RSCAN0_base> + 1800_H
RSCAN0	送信履歴アクセスレジスタ 1	RSCAN0THLACC1	<RSCAN0_base> + 1804_H
RSCAN0	送信履歴アクセスレジスタ 2	RSCAN0THLACC2	<RSCAN0_base> + 1808_H
RSCAN0	送信履歴アクセスレジスタ 3	RSCAN0THLACC3	<RSCAN0_base> + $180C_H$
RSCAN0	送信履歴アクセスレジスタ 4	RSCAN0THLACC4	<RSCAN0_base> + 1810_H

表 20.12 レジスタ一覧 (29/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	送信履歴アクセスレジスタ 5	RSCAN0THLACC5	<RSCAN0_base> + 1814_H
RSCAN0	RAM テストページアクセスレジスタ 0	RSCAN0RPGACC0	<RSCAN0_base> + 1900_H
RSCAN0	RAM テストページアクセスレジスタ 1	RSCAN0RPGACC1	<RSCAN0_base> + 1904_H
RSCAN0	RAM テストページアクセスレジスタ 2	RSCAN0RPGACC2	<RSCAN0_base> + 1908_H
RSCAN0	RAM テストページアクセスレジスタ 3	RSCAN0RPGACC3	<RSCAN0_base> + $190C_H$
RSCAN0	RAM テストページアクセスレジスタ 4	RSCAN0RPGACC4	<RSCAN0_base> + 1910_H
RSCAN0	RAM テストページアクセスレジスタ 5	RSCAN0RPGACC5	<RSCAN0_base> + 1914_H
RSCAN0	RAM テストページアクセスレジスタ 6	RSCAN0RPGACC6	<RSCAN0_base> + 1918_H
RSCAN0	RAM テストページアクセスレジスタ 7	RSCAN0RPGACC7	<RSCAN0_base> + $191C_H$
RSCAN0	RAM テストページアクセスレジスタ 8	RSCAN0RPGACC8	<RSCAN0_base> + 1920_H
RSCAN0	RAM テストページアクセスレジスタ 9	RSCAN0RPGACC9	<RSCAN0_base> + 1924_H
RSCAN0	RAM テストページアクセスレジスタ 10	RSCAN0RPGACC10	<RSCAN0_base> + 1928_H
RSCAN0	RAM テストページアクセスレジスタ 11	RSCAN0RPGACC11	<RSCAN0_base> + $192C_H$
RSCAN0	RAM テストページアクセスレジスタ 12	RSCAN0RPGACC12	<RSCAN0_base> + 1930_H
RSCAN0	RAM テストページアクセスレジスタ 13	RSCAN0RPGACC13	<RSCAN0_base> + 1934_H
RSCAN0	RAM テストページアクセスレジスタ 14	RSCAN0RPGACC14	<RSCAN0_base> + 1938_H
RSCAN0	RAM テストページアクセスレジスタ 15	RSCAN0RPGACC15	<RSCAN0_base> + $193C_H$
RSCAN0	RAM テストページアクセスレジスタ 16	RSCAN0RPGACC16	<RSCAN0_base> + 1940_H
RSCAN0	RAM テストページアクセスレジスタ 17	RSCAN0RPGACC17	<RSCAN0_base> + 1944_H
RSCAN0	RAM テストページアクセスレジスタ 18	RSCAN0RPGACC18	<RSCAN0_base> + 1948_H
RSCAN0	RAM テストページアクセスレジスタ 19	RSCAN0RPGACC19	<RSCAN0_base> + $194C_H$
RSCAN0	RAM テストページアクセスレジスタ 20	RSCAN0RPGACC20	<RSCAN0_base> + 1950_H
RSCAN0	RAM テストページアクセスレジスタ 21	RSCAN0RPGACC21	<RSCAN0_base> + 1954_H
RSCAN0	RAM テストページアクセスレジスタ 22	RSCAN0RPGACC22	<RSCAN0_base> + 1958_H
RSCAN0	RAM テストページアクセスレジスタ 23	RSCAN0RPGACC23	<RSCAN0_base> + $195C_H$
RSCAN0	RAM テストページアクセスレジスタ 24	RSCAN0RPGACC24	<RSCAN0_base> + 1960_H
RSCAN0	RAM テストページアクセスレジスタ 25	RSCAN0RPGACC25	<RSCAN0_base> + 1964_H
RSCAN0	RAM テストページアクセスレジスタ 26	RSCAN0RPGACC26	<RSCAN0_base> + 1968_H
RSCAN0	RAM テストページアクセスレジスタ 27	RSCAN0RPGACC27	<RSCAN0_base> + $196C_H$
RSCAN0	RAM テストページアクセスレジスタ 28	RSCAN0RPGACC28	<RSCAN0_base> + 1970_H
RSCAN0	RAM テストページアクセスレジスタ 29	RSCAN0RPGACC29	<RSCAN0_base> + 1974_H
RSCAN0	RAM テストページアクセスレジスタ 30	RSCAN0RPGACC30	<RSCAN0_base> + 1978_H
RSCAN0	RAM テストページアクセスレジスタ 31	RSCAN0RPGACC31	<RSCAN0_base> + $197C_H$
RSCAN0	RAM テストページアクセスレジスタ 32	RSCAN0RPGACC32	<RSCAN0_base> + 1980_H
RSCAN0	RAM テストページアクセスレジスタ 33	RSCAN0RPGACC33	<RSCAN0_base> + 1984_H
RSCAN0	RAM テストページアクセスレジスタ 34	RSCAN0RPGACC34	<RSCAN0_base> + 1988_H
RSCAN0	RAM テストページアクセスレジスタ 35	RSCAN0RPGACC35	<RSCAN0_base> + $198C_H$
RSCAN0	RAM テストページアクセスレジスタ 36	RSCAN0RPGACC36	<RSCAN0_base> + 1990_H
RSCAN0	RAM テストページアクセスレジスタ 37	RSCAN0RPGACC37	<RSCAN0_base> + 1994_H
RSCAN0	RAM テストページアクセスレジスタ 38	RSCAN0RPGACC38	<RSCAN0_base> + 1998_H
RSCAN0	RAM テストページアクセスレジスタ 39	RSCAN0RPGACC39	<RSCAN0_base> + $199C_H$
RSCAN0	RAM テストページアクセスレジスタ 40	RSCAN0RPGACC40	<RSCAN0_base> + $19A0_H$
RSCAN0	RAM テストページアクセスレジスタ 41	RSCAN0RPGACC41	<RSCAN0_base> + $19A4_H$
RSCAN0	RAM テストページアクセスレジスタ 42	RSCAN0RPGACC42	<RSCAN0_base> + $19A8_H$
RSCAN0	RAM テストページアクセスレジスタ 43	RSCAN0RPGACC43	<RSCAN0_base> + $19AC_H$
RSCAN0	RAM テストページアクセスレジスタ 44	RSCAN0RPGACC44	<RSCAN0_base> + $19B0_H$
RSCAN0	RAM テストページアクセスレジスタ 45	RSCAN0RPGACC45	<RSCAN0_base> + $19B4_H$

表 20.12　レジスタ一覧　(30/30)

モジュール名	レジスタ名	略号	アドレス
RSCAN0	RAM テストページアクセスレジスタ 46	RSCAN0RPGACC46	<RSCAN0_base> + $19B8_H$
RSCAN0	RAM テストページアクセスレジスタ 47	RSCAN0RPGACC47	<RSCAN0_base> + $19BC_H$
RSCAN0	RAM テストページアクセスレジスタ 48	RSCAN0RPGACC48	<RSCAN0_base> + $19C0_H$
RSCAN0	RAM テストページアクセスレジスタ 49	RSCAN0RPGACC49	<RSCAN0_base> + $19C4_H$
RSCAN0	RAM テストページアクセスレジスタ 50	RSCAN0RPGACC50	<RSCAN0_base> + $19C8_H$
RSCAN0	RAM テストページアクセスレジスタ 51	RSCAN0RPGACC51	<RSCAN0_base> + $19CC_H$
RSCAN0	RAM テストページアクセスレジスタ 52	RSCAN0RPGACC52	<RSCAN0_base> + $19D0_H$
RSCAN0	RAM テストページアクセスレジスタ 53	RSCAN0RPGACC53	<RSCAN0_base> + $19D4_H$
RSCAN0	RAM テストページアクセスレジスタ 54	RSCAN0RPGACC54	<RSCAN0_base> + $19D8_H$
RSCAN0	RAM テストページアクセスレジスタ 55	RSCAN0RPGACC55	<RSCAN0_base> + $19DC_H$
RSCAN0	RAM テストページアクセスレジスタ 56	RSCAN0RPGACC56	<RSCAN0_base> + $19E0_H$
RSCAN0	RAM テストページアクセスレジスタ 57	RSCAN0RPGACC57	<RSCAN0_base> + $19E4_H$
RSCAN0	RAM テストページアクセスレジスタ 58	RSCAN0RPGACC58	<RSCAN0_base> + $19E8_H$
RSCAN0	RAM テストページアクセスレジスタ 59	RSCAN0RPGACC59	<RSCAN0_base> + $19EC_H$
RSCAN0	RAM テストページアクセスレジスタ 60	RSCAN0RPGACC60	<RSCAN0_base> + $19F0_H$
RSCAN0	RAM テストページアクセスレジスタ 61	RSCAN0RPGACC61	<RSCAN0_base> + $19F4_H$
RSCAN0	RAM テストページアクセスレジスタ 62	RSCAN0RPGACC62	<RSCAN0_base> + $19F8_H$
RSCAN0	RAM テストページアクセスレジスタ 63	RSCAN0RPGACC63	<RSCAN0_base> + $19FC_H$

表 20.13 各チャネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 16 × m + 0
	送信バッファ 16 × m + 1
	送信バッファ 16 × m + 2
	送信バッファ 16 × m + 3
	送信バッファ 16 × m + 4
	送信バッファ 16 × m + 5
	送信バッファ 16 × m + 6
	送信バッファ 16 × m + 7
	送信バッファ 16 × m + 8
	送信バッファ 16 × m + 9
	送信バッファ 16 × m + 10
	送信バッファ 16 × m + 11
	送信バッファ 16 × m + 12
	送信バッファ 16 × m + 13
	送信バッファ 16 × m + 14
	送信バッファ 16 × m + 15

表 20.14 各チャネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ 3 × m + 0
	送受信 FIFO バッファ 3 × m + 1
	送受信 FIFO バッファ 3 × m + 2

表 20.15 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000_B	送信バッファ 16 × m + 0
0001_B	送信バッファ 16 × m + 1
0010_B	送信バッファ 16 × m + 2
0011_B	送信バッファ 16 × m + 3
0100_B	送信バッファ 16 × m + 4
0101_B	送信バッファ 16 × m + 5
0110_B	送信バッファ 16 × m + 6
0111_B	送信バッファ 16 × m + 7
1000_B	送信バッファ 16 × m + 8
1001_B	送信バッファ 16 × m + 9
1010_B	送信バッファ 16 × m + 10
1011_B	送信バッファ 16 × m + 11
1100_B	送信バッファ 16 × m + 12
1101_B	送信バッファ 16 × m + 13
1110_B	送信バッファ 16 × m + 14
1111_B	送信バッファ 16 × m + 15

表 20.16 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC[3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p
0000_B	設定しないでください。
0001_B	設定しないでください。
0010_B	送信バッファ 16 × m + 15 ～ 16 × m + 13
0011_B	送信バッファ 16 × m + 15 ～ 16 × m + 12
0100_B	送信バッファ 16 × m + 15 ～ 16 × m + 11
0101_B	送信バッファ 16 × m + 15 ～ 16 × m + 10
0110_B	送信バッファ 16 × m + 15 ～ 16 × m + 9
0111_B	送信バッファ 16 × m + 15 ～ 16 × m + 8
1000_B	送信バッファ 16 × m + 15 ～ 16 × m + 7
1001_B	送信バッファ 16 × m + 15 ～ 16 × m + 6
1010_B	送信バッファ 16 × m + 15 ～ 16 × m + 5
1011_B	送信バッファ 16 × m + 15 ～ 16 × m + 4
1100_B	送信バッファ 16 × m + 15 ～ 16 × m + 3
1101_B	送信バッファ 16 × m + 15 ～ 16 × m + 2
1110_B	送信バッファ 16 × m + 15 ～ 16 × m + 1
1111_B	送信バッファ 16 × m + 15 ～ 16 × m + 0

20.3.2 RSCAN0CmCFG — チャネルコンフィグレーションレジスタ（m = 0 ~ 5）

アクセス RSCAN0CmCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0CmCFGL、RSCAN0CmCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0CmCFGLL、RSCAN0CmCFGLH、RSCAN0CmCFGHL、RSCAN0CmCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0CmCFG: <RSCAN0_base> + 0000_H + (10_H × m)

RSCAN0CmCFGL: <RSCAN0_base> + 0000_H + (10_H × m)、
RSCAN0CmCFGH: <RSCAN0_base> + 0002_H + (10_H × m)

RSCAN0CmCFGLL: <RSCAN0_base> + 0000_H + (10_H × m)、
RSCAN0CmCFGLH: <RSCAN0_base> + 0001_H + (10_H × m)、
RSCAN0CmCFGHL: <RSCAN0_base> + 0002_H + (10_H × m)、
RSCAN0CmCFGHH: <RSCAN0_base> + 0003_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SJW[1:0]		—	TSEG2[2:0]			TSEG1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	BRP[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.17 RSCAN0CmCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	SJW[1:0]	再同期ジャンプ幅制御ビット b25 b24 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 20	TSEG2[2:0]	タイムセグメント 2 制御ビット b22 b21 b20 0 0 0 : 設定しないでください 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq

表 20.17 RSCAN0CmCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
19 ～ 16	TSEG1[3:0]	タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ～ 0	BRP[9:0]	プリスケーラ分周比設定ビット 設定値を P（0 ～ 1023）とすると、ボーレートプリスケーラは fCAN を P+1 で分周します。

RSCAN0CmCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、**「20.10.1 初期設定」**を参照してください。

SJW[1:0] ビット

再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1 ～ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0] ビット

フェーズセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。

2 ～ 8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0] ビット

プロパゲーションセグメント（PROP_SEG）とフェーズセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。

4 ～ 16Tq の値が設定可能です。

BRP[9:0] ビット

CAN クロック（fCAN）をボーレートプリスケーラ（(BRP[9:0]) + 1）で分周したクロックが CANmTq クロック（fCANTQm）になり、CANmTq クロックの 1 クロックが 1 Time Quantum（Tq）になります。

20.3.3 RSCAN0CmCTR — チャネル制御レジスタ（m = 0 ~ 5）

アクセス RSCAN0CmCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0CmCTRL、RSCAN0CmCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0CmCTRLL、RSCAN0CmCTRLH、RSCAN0CmCTRHL、RSCAN0CmCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0CmCTR: <RSCAN0_base> + 0004_H + (10_H × m)

RSCAN0CmCTRL: <RSCAN0_base> + 0004_H + (10_H × m)、
RSCAN0CmCTRH: <RSCAN0_base> + 0006_H + (10_H × m)

RSCAN0CmCTRLL: <RSCAN0_base> + 0004_H + (10_H × m)、
RSCAN0CmCTRLH: <RSCAN0_base> + 0005_H + (10_H × m)、
RSCAN0CmCTRHL: <RSCAN0_base> + 0006_H + (10_H × m)、
RSCAN0CmCTRHH: <RSCAN0_base> + 0007_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 20.18 RSCAN0CmCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0：標準テストモード 0 1：リッスンオンリモード 1 0：セルフテストモード 0（外部ループバックモード） 1 1：セルフテストモード 1（内部ループバックモード）
24	CTME	通信テストモード許可ビット 0：通信テストモード禁止 1：通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0：RSCAN0CmERFL レジスタのビット 14 ～ 8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1：発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0：ISO11898-1 仕様準拠 0 1：バスオフ開始でチャネル待機モードへ遷移 1 0：バスオフ終了でチャネル待機モードへ遷移 1 1：バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20 ～ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TAIE	送信アボート割り込み許可ビット 0：送信アボート割り込み禁止 1：送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み禁止 1：アービトレーションロスト割り込み許可

表 20.18 RSCAN0CmCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
14	BLIE	バスロック割り込み許可ビット 0：バスロック割り込み禁止 1：バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0：バスエラー割り込み禁止 1：バスエラー割り込み許可
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを “1” にすると、バスオフから強制的に復帰します。常に “0” が読めます。
2	CSLPR	チャネルストップモードビット 0：チャネルストップモードではない 1：チャネルストップモード
1、0	CHMDC[1:0]	モード選択ビット b1 b0 0 0：チャネル通信モード 0 1：チャネルリセットモード 1 0：チャネル待機モード 1 1：設定しないでください

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTME ビット

“1” にすると通信テストモードは許可になります。このビットはチャネル待機モードで書き換えてください。チャネルリセットモード時は、“0” になります。

ERRD ビット

RSCAN0CmERFL レジスタのビット 14 ～ 8 の表示モードを制御します。

“0” にすると最初に発生したエラーのフラグのみ “1” になります。最初のエラーで複数のエラーが発生した場合、検出されたエラーのフラグはすべて “1” になります。

“1” にすると発生順に関係なく、起こったエラーのフラグはすべて “1” になります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが “00_B” の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CAN モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを “10_B”（チャネル待機モード）にしても 128 回検出するまでチャネル待機モードには遷移しません。

BOM[1:0] ビットが “01_B” の場合、RS-CAN モジュールがバスオフ状態に達すると、RSCAN0CmCTR レジスタ（m = 0 ~ 5）の CHMDC[1:0] ビットが “10_B” になり、チャネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “10_B” の場合、RS-CAN モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが “10_B” になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “11_B” の場合、RS-CAN モジュールがバスオフ状態のときに CHMDC[1:0] ビットを “10_B” にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは “00_H” になります。しかし、CHMDC[1:0] ビットを “10_B” にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CAN モジュールがチャネル待機モードに遷移するのと同時（BOM[1:0] ビットが “01_B” のとき : バスオフ開始時、または BOM[1:0] ビットが “10_B” のとき : バスオフ終了時）に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを “1” に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの ALF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの OVLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BORF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BOEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの EPF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの EWF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時 “1” にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に “0” になります。“1” にすると、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00_H” になり、RSCAN0CmSTS レジスタの BOSTS フラグは “0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCAN0CmCTR レジスタの BOM[1:0] ビットが “00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを “1” にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャネル通信モードで “1” を書いてください。

CSLPR ビット

“1” にすると、チャネルストップモードになります。
“0” にすると、チャネルストップモードは解除されます。
このビットは、チャネル通信モードまたはチャネル待機モードでは書き換えないでください。

CHMDC[1:0] ビット

チャネルのモード（チャネル通信モード、チャネルリセットモード、チャネル待機モード）を選択するビットです。詳細は、**「20.5.2　チャネルモード」**を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを “1” にすることで遷移します。CHMDC[1:0] ビットを “11_B” には設定しないでください。BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に “10_B” になります。

20.3.4 RSCAN0CmSTS — チャネルステータスレジスタ（m = 0 ~ 5）

アクセス RSCAN0CmSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0CmSTSL、RSCAN0CmSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CmSTSLL、RSCAN0CmSTSHL、RSCAN0CmSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CmSTS: <RSCAN0_base> + 0008_H + (10_H × m)

RSCAN0CmSTSL: <RSCAN0_base> + 0008_H + (10_H × m)、
RSCAN0CmSTSH: <RSCAN0_base> + $000A_H$ + (10_H × m)

RSCAN0CmSTSLL: <RSCAN0_base> + 0008_H + (10_H × m)、
RSCAN0CmSTSHL: <RSCAN0_base> + $000A_H$ + (10_H × m)、
RSCAN0CmSTSHH: <RSCAN0_base> + $000B_H$ + (10_H × m)

リセット後の値 $0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.19 RSCAN0CmSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	TEC[7:0]	送信エラーカウンタ（TEC）の値が読めます。
23 ～ 16	REC[7:0]	受信エラーカウンタ（REC）の値が読めます。
15 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	COMSTS	通信ステータスフラグ 0：通信可能な状態ではない 1：通信可能な状態
6	RECSTS	受信ステータスフラグ 0：バスアイドルまたは送信中またはバスオフ状態 1：受信中
5	TRMSTS	送信ステータスフラグ 0：バスアイドルまたは受信中 1：送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0：バスオフ状態ではない 1：バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0：エラーパッシブ状態ではない 1：エラーパッシブ状態
2	CSLPSTS	チャネルストップステータスフラグ 0：チャネルストップモードではない 1：チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0：チャネル待機モードではない 1：チャネル待機モード
0	CRSTSTS	チャネルリセットステータスフラグ 0：チャネルリセットモードではない 1：チャネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャネルリセットモードまたはチャネル待機モードからチャネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1” になります。チャネルリセットモードまたはチャネル待機モード時は、“0” になります。

RECSTS フラグ

受信を開始すると “1” になります。バスアイドル状態になるか、または送信を開始すると “0” になります。

TRMSTS フラグ

送信を開始すると “1” になります。バスオフ状態では “1” のままです。バスアイドル状態になるか、または受信を開始すると “0” になります。

BOSTS フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると “1” になります。バスオフ状態以外になると “0” になります。

EPSTS フラグ

エラーパッシブ状態（(128 ≦ TEC[7:0] ビット≦ 255）または（128 ≦ REC[7:0] ビット））になると、“1” になります。エラーパッシブ状態以外になるか、またはチャネルリセットモードになると、“0” になります。

CSLPSTS フラグ

チャネルストップモードに遷移すると、“1” になります。チャネルストップモードから復帰すると “0” になります。

CHLTSTS フラグ

チャネル待機モードに遷移すると “1” になります。チャネル待機モード以外のモードに遷移すると “0” になります。

CRSTSTS フラグ

チャネルリセットモードに遷移すると “1” になります。チャネル通信モードまたはチャネル待機モードに遷移すると “0” になります。チャネルリセットモードからチャネルストップモードに遷移しても、“1” のままです。

20.3.5 RSCAN0CmERFL — チャネルエラーフラグレジスタ（m = 0 ~ 5）

アクセス RSCAN0CmERFL レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0CmERFLL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0CmERFLH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CmERFLLL、RSCAN0CmERFLLH レジスタは、8 ビット単位でリード／ライト可能です。
RSCAN0CmERFLHL、RSCAN0CmERFLHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CmERFL: <RSCAN0_base> + $000C_H$ + (10_H × m)

RSCAN0CmERFLL: <RSCAN0_base> + $000C_H$ + (10_H × m)、
RSCAN0CmERFLH: <RSCAN0_base> + $000E_H$ + (10_H × m)

RSCAN0CmERFLLL: <RSCAN0_base> + $000C_H$ + (10_H × m)、
RSCAN0CmERFLLH: <RSCAN0_base> + $000D_H$ + (10_H × m)、
RSCAN0CmERFLHL: <RSCAN0_base> + $000E_H$ + (10_H × m)、
RSCAN0CmERFLHH: <RSCAN0_base> + $000F_H$ + (10_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCREG[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 20.20 RSCAN0CmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ～ 16	CRCREG[14:0]	CRC 演算データ 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0：ACK デリミタエラー未検出 1：ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0：ドミナントビットエラー未検出 1：ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0：レセシブビットエラー未検出 1：レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0：CRC エラー未検出 1：CRC エラー検出
10	AERR	ACK エラーフラグ 0：ACK エラー未検出 1：ACK エラー検出
9	FERR	フォームエラーフラグ 0：フォームエラー未検出 1：フォームエラー検出

表 20.20 RSCAN0CmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	SERR	スタッフエラーフラグ 0：スタッフエラー未検出 1：スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0：アービトレーションロスト未検出 1：アービトレーションロスト検出
6	BLF	バスロックフラグ 0：チャネルバスロック未検出 1：チャネルバスロック検出
5	OVLF	オーバロードフラグ 0：オーバロード未検出 1：オーバロード検出
4	BORF	バスオフ復帰フラグ 0：バスオフ復帰未検出 1：バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0：バスオフ開始未検出 1：バスオフ開始検出
2	EPF	エラーパッシブフラグ 0：エラーパッシブ未検出 1：エラーパッシブ検出
1	EWF	エラーワーニングフラグ 0：エラーワーニング未検出 1：エラーワーニング検出
0	BEF	バスエラーフラグ 0：チャネルバスエラーは未検出 1：チャネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。各フラグを “0” にする場合は、プログラムで “0” を書いてください。プログラムで “1” にできません。フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。チャネルリセットモード時、“0” になります。

RSCAN0CmERFL レジスタのビット 14 ～ 8 に関して、RSCAN0CmCTR レジスタの ERRD ビットを “0”（最初に発生したエラー情報のみ表示）に設定したとき、ビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、対応するフラグは “1” になります。

CRCREG[14:0] フラグ

RSCAN0CmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1” になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると “1” になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると “1” になります。

CERR フラグ

CRC エラーを検出すると “1” になります。

AERR フラグ

ACK エラーを検出すると “1” になります。

FERR フラグ

フォームエラーを検出すると “1” になります。

SERR フラグ

スタッフエラーを検出すると “1” になります。

ALF フラグ

アービトレーションロストを検出すると “1” になります。

BLF フラグ

チャネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1” になります。“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを “1” から “0” にした後、レセシブビットを検出
- BLF ビットを “1” から “0” にした後、チャネルリセットモードに遷移し、再度チャネル通信モードに遷移

OVLF フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると “1” になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると “1” になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は “1” になりません。

- RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）に設定した場合
- RSCAN0CmCTR レジスタの RTBO ビットを “1”（バスオフからの強制復帰）に設定した場合
- RSCAN0CmCTR レジスタの BOM[1:0] ビットを “01_B”（バスオフ開始でチャネル待機モードへ遷移）に設定した場合
- BOM[1:0] ビットが “11_B”（バスオフ中にプログラムによる要求でチャネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを “10_B”（チャネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると、“1” になります。RSCAN0CmCTR レジスタ（m = 0 ~ 5）の BOM[1:0] ビットが “01_B”（バスオフ開始でチャネル待機モードへ遷移）で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態（REC[7:0] または TEC[7:0] ビット＞ 127）になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWF フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビット が最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビット が 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCAN0CmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

備　考

本レジスタのフラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

20.3.6 RSCAN0GCFG — グローバルコンフィグレーションレジスタ

アクセス RSCAN0GCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GCFGL、RSCAN0GCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GCFGLL、RSCAN0GCFGLH、RSCAN0GCFGHL、RSCAN0GCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GCFG: <RSCAN0_base> + 0084_H

RSCAN0GCFGL: <RSCAN0_base> + 0084_H、RSCAN0GCFGH: <RSCAN0_base> + 0086_H

RSCAN0GCFGLL: <RSCAN0_base> + 0084_H、RSCAN0GCFGLH: <RSCAN0_base> + 0085_H、
RSCAN0GCFGHL: <RSCAN0_base> + 0086_H、RSCAN0GCFGHH: <RSCAN0_base> + 0087_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]			TSSS	TSP[3:0]				—	—	—	DCS	MME	DRE	DCE	TPRI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 20.21 RSCAN0GCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	ITRCP[15:0]	インターバルタイマプリスケーラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイマを使用する場合、“0000_H” を設定しないでください。
15 ～ 13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0：チャネル 0 ビットタイムクロック 0 0 1：チャネル 1 ビットタイムクロック 0 1 0：チャネル 2 ビットタイムクロック 0 1 1：チャネル 3 ビットタイムクロック 1 0 0：チャネル 4 ビットタイムクロック 1 0 1：チャネル 5 ビットタイムクロック 1 1 0：設定しないでください 1 1 1：設定しないでください
12	TSSS	タイムスタンプソース選択 0：pclk/2 注 1 1：ビットタイムクロック
11 ～ 8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0：分周なし 0 0 0 1：2 分周 0 0 1 0：4 分周 0 0 1 1：8 分周 0 1 0 0：16 分周 0 1 0 1：32 分周 0 1 1 0：64 分周 0 1 1 1：128 分周 1 0 0 0：256 分周 1 0 0 1：512 分周 1 0 1 0：1024 分周 1 0 1 1：2048 分周 1 1 0 0：4096 分周 1 1 0 1：8192 分周 1 1 1 0：16384 分周 1 1 1 1：32768 分周

表 20.21 RSCAN0GCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	DCS	CAN クロック源選択ビット注 2 0：clkc 1：clk_xincan
3	MME	ミラー機能許可ビット 0：ミラー機能禁止 1：ミラー機能許可
2	DRE	DLC 置換許可ビット 0：DLC 置換禁止 1：DLC 置換許可
1	DCE	DLC チェック許可ビット 0：DLC チェック禁止 1：DLC チェック許可
0	TPRI	送信優先順位選択ビット 0：ID 優先 1：送信バッファ番号優先

注 1. タイムスタンプのカウントソースに pclk/2 を設定するときは、TSBTCS[2:0] を “000_B” にしてください。
注 2. CAN クロックの周波数の設定は、**「表 20.7 RH850/F1M における転送レート・使用チャネル数での動作周波数範囲」**を参照してください。

RSCAN0GCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は**「20.7.3.1 インターバル送信機能」**を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが “1” のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

DCS ビット

“0” のとき、clkc が CAN クロック（fCAN）のクロック源になります。

“1” のとき、clk_xincan が CAN クロック（fCAN）のクロック源になります。

CAN クロックの周波数の設定は、**「表 20.7 RH850/F1M における転送レート・使用チャネル数での動作周波数範囲」**を参照してください。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00_H” が格納されます。

DCE ビットが “1”（DLC チェック許可）のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCAN0GAFLP0j レジスタの GAFLDLC[3:0] ビットを “0000_B” にしてから、RSCAN0GCFG レジスタの DCE ビットを “0” にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール（ISO11898-1 仕様）に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0” に設定してください。

20.3.7 RSCAN0GCTR — グローバル制御レジスタ

アクセス RSCAN0GCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GCTRL、RSCAN0GCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GCTRLL、RSCAN0GCTRLH、RSCAN0GCTRHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GCTR: <RSCAN0_base> + 0088_H

RSCAN0GCTRL: <RSCAN0_base> + 0088_H、RSCAN0GCTRH: <RSCAN0_base> + $008A_H$

RSCAN0GCTRLL: <RSCAN0_base> + 0088_H、RSCAN0GCTRLH: <RSCAN0_base> + 0089_H、RSCAN0GCTRHL: <RSCAN0_base> + $008A_H$

リセット後の値 $0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 20.22 RSCAN0GCTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを “1” にすると、タイムスタンプカウンタをリセットします。読むと “0” が読み出されます。
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLEIE	送信履歴バッファオーバフロー割り込み許可ビット 0：送信履歴バッファオーバフロー割り込み禁止 1：送信履歴バッファオーバフロー割り込み許可
9	MEIE	FIFO メッセージロスト割り込み許可ビット 0：FIFO メッセージロスト割り込み禁止 1：FIFO メッセージロスト割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0：DLC エラー割り込み禁止 1：DLC エラー割り込み許可
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0：グローバルストップモードではない 1：グローバルストップモード
1、0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0：グローバル動作モード 0 1：グローバルリセットモード 1 0：グローバルテストモード 1 1：設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1” にすると RSCAN0GTSC レジスタが “0000_H” になります。

THLEIE ビット

THLEIE ビットを “1” に設定し、RSCAN0GERFL レジスタの THLES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを “1” に設定し、RSCAN0GERFL レジスタの MES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを “1” に設定し、RSCAN0GERFL レジスタの DEF フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1” にすると、グローバルストップモードになります。

“0” にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0] ビット

RS-CAN モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、**「20.5.1　グローバルモード」**を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを “1” にすることで遷移します。

20.3.8 RSCAN0GSTS — グローバルステータスレジスタ

アクセス RSCAN0GSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GSTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0GSTSLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0GSTS: <RSCAN0_base> + $008C_H$

RSCAN0GSTSL: <RSCAN0_base> + $008C_H$

RSCAN0GSTSLL: <RSCAN0_base> + $008C_H$

リセット後の値 $0000\ 000D_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.23 RSCAN0GSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0：CAN 用 RAM クリア完了 1：CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0：グローバルストップモードではない 1：グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0：グローバルテストモードではない 1：グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0：グローバルリセットモードではない 1：グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると “0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると “0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると “0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると “1” になります。

グローバルリセットモード以外のモードに遷移すると “0” になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1” のままです。

20.3.9 RSCAN0GERFL — グローバルエラーフラグレジスタ

アクセス RSCAN0GERFL レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GERFLL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GERFLLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GERFL: <RSCAN0_base> + 0090_H

RSCAN0GERFLL: <RSCAN0_base> + 0090_H

RSCAN0GERFLLL: <RSCAN0_base> + 0090_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 20.24 RSCAN0GERFL レジスタの内容

ビット位置	ビット名	機能
31 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ～ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	THLES	送信履歴バッファオーバフローステータスフラグ 0：送信履歴バッファオーバフローなし 1：送信履歴バッファオーバフロー
1	MES	FIFO メッセージロストステータスフラグ 0：FIFO メッセージロストエラーなし 1：FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0：DLC エラーなし 1：DLC エラー

RSCAN0GERFL レジスタのフラグは、グローバルリセットモード時、“0” になります。

THLES フラグ

RSCAN0THLSTSm レジスタ（m = 0 ~ 5）の THLELT フラグのいずれか 1 つでも “1” になると、THLES フラグは “1” になります。

全チャネルの THLELT フラグを “0” にすると、THLES フラグは “0” になります。

MES フラグ

RSCAN0RFSTSx レジスタ（x = 0 ~ 7）の RFMLT フラグまたは RSCAN0CFSTSk レジスタ（k = 0 ~ 17）の CFMLT フラグのいずれか 1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1” になります。プログラムで “0” を書くことで、“0” にできます。

備　考

本レジスタのフラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

20.3.10 RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCAN0GTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GTINTSTS0L、RSCAN0GTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0GTINTSTS0LL、RSCAN0GTINTSTS0LH、RSCAN0GTINTSTS0HL、RSCAN0GTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0GTINTSTS0: <RSCAN0_base> + 0460_H

RSCAN0GTINTSTS0L: <RSCAN0_base> + 0460_H、RSCAN0GTINTSTS0H: <RSCAN0_base> + 0462_H

RSCAN0GTINTSTS0LL: <RSCAN0_base> + 0460_H、RSCAN0GTINTSTS0LH: <RSCAN0_base> + 0461_H、RSCAN0GTINTSTS0HL: <RSCAN0_base> + 0462_H、RSCAN0GTINTSTS0HH: <RSCAN0_base> + 0463_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF3	CFTIF3	TQIF3	TAIF3	TSIF3	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1

注 1. 本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

表 20.25 RSCAN0GTINTSTS0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 29	予約ビット	リードした場合はリセット後の値が読めます。
28	THIF3	チャネル 3 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
27	CFTIF3	チャネル 3 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
26	TQIF3	チャネル 3 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
25	TAIF3	チャネル 3 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
24	TSIF3	チャネル 3 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF2	チャネル 2 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
19	CFTIF2	チャネル 2 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
18	TQIF2	チャネル 2 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
17	TAIF2	チャネル 2 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり

表 20.25 RSCAN0GTINTSTS0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
16	TSIF2	チャネル 2 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャネル 1 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
11	CFTIF1	チャネル 1 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャネル 1 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
9	TAIF1	チャネル 1 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
8	TSIF1	チャネル 1 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャネル 0 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
3	CFTIF0	チャネル 0 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャネル 0 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TAIF0	チャネル 0 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
0	TSIF0	チャネル 0 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCAN0TMIECy レジスタの TMIE ビットが “1”（送信バッファ割り込みが許可）、かつ対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、アボート要求なし）、または “11_B”（送信完了、アボート要求あり）になると、TSIFm ビットは “1” になります。

TSIFm が “1” になる条件が成立している TMTRF[1:0] フラグを全て “00_B” にすると、このフラグは “0” になります。また TMIE ビットを “0” にすることでも、このフラグは “0” になります。

TAIFm ビット

RSCAN0CmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）、かつ RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、TAIFm ビットは “1” になります。

送信アボートを完了した TMTRF[1:0] フラグを全て “00_B” にすると、このフラグは “0” になります。

TQIFm ビット

RSCAN0TXQCCm レジスタの TXQIE ビットが “1”（送信キュー割り込み許可）、かつ RSCAN0TXQSTSm レジスタの TXQIF が “1”（送信キュー割り込み要求あり）になると TQIFm ビットは “1” になります。

RSCAN0TXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット

RSCAN0CFCCk レジスタの CFTXIE ビットが “1”（送受信 FIFO 送信割り込み許可）、かつ RSCAN0CFSTSk レジスタの CFTXIF ビットが “1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット

RSCAN0THLCCm レジスタの THLIE ビットが “1”（送信履歴割り込み許可）、かつ RSCAN0THLSTSm レジスタの THLIF ビットが “1”（送信履歴割り込み要求あり）になると、THIFm ビットは “1” になります。

RSCAN0THLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

20.3.11 RSCAN0GTINTSTS1 — グローバル TX 割り込みステータスレジスタ 1

アクセス RSCAN0GTINTSTS1 レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GTINTSTS1L レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0GTINTSTS1LL、RSCAN0GTINTSTS1LH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0GTINTSTS1: <RSCAN0_base> + 0464_H

RSCAN0GTINTSTS1L: <RSCAN0_base> + 0464_H

RSCAN0GTINTSTS1LL: <RSCAN0_base> + 0464_H、RSCAN0GTINTSTS1LH: <RSCAN0_base> + 0465_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF5	CFTIF5	TQIF5	TAIF5	TSIF5	—	—	—	THIF4	CFTIF4	TQIF4	TAIF4	TSIF4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1

注 1. 本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

表 20.26 RSCAN0GTINTSTS1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF5	チャネル 5 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
11	CFTIF5	チャネル 5 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
10	TQIF5	チャネル 5 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
9	TAIF5	チャネル 5 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
8	TSIF5	チャネル 5 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF4	チャネル 4 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
3	CFTIF4	チャネル 4 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
2	TQIF4	チャネル 4 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TAIF4	チャネル 4 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり

表 20.26 RSCAN0GTINTSTS1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
0	TSIF4	チャネル 4 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCAN0TMIECy レジスタの TMIE ビットが “1”（送信バッファ割り込みが許可）、かつ対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、アボート要求なし）、または “11_B”（送信完了、アボート要求あり）になると、TSIFm ビットは “1” になります。

TSIFm が “1” になる条件が成立している TMTRF[1:0] フラグをすべて “00_B” にすると、このフラグは “0” になります。また TMIE ビットを “0” にすることでも、このフラグは “0” になります。

TAIFm ビット

RSCAN0CmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）、かつ RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると TAIFm ビットは “1” になります。

送信アボートを完了した TMTRF[1:0] フラグをすべて “00_B” にすると、このフラグは “0” になります。

TQIFm ビット

RSCAN0TXQCCm レジスタの TXQIE ビットが “1”（送信キュー割り込み許可）、かつ RSCAN0TXQSTSm レジスタの TXQIF が “1”（送信キュー割り込み要求あり）になると TQIFm ビットは “1” になります。

RSCAN0TXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット

RSCAN0CFCCk レジスタの CFTXIE ビットが “1”（送受信 FIFO 送信割り込み許可）、かつ RSCAN0CFSTSk レジスタの CFTXIF ビットが “1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット

RSCAN0THLCCm レジスタの THLIE ビットが “1”（送信履歴割り込み許可）、かつ RSCAN0THLSTSm レジスタの THLIF ビットが “1”（送信履歴割り込み要求あり）になると、THIFm ビットは “1” になります。

RSCAN0THLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

20.3.12 RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCAN0GTSC レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GTSCL レジスタは、16 ビット単位でリードのみ可能です。

アドレス RSCAN0GTSC: <RSCAN0_base> + 0094_H

RSCAN0GTSCL: <RSCAN0_base> + 0094_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.27 RSCAN0GTSC レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ～ 0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値：0000_H ～ $FFFF_H$

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCAN0GCFG レジスタの TSSS ビットが “0”（pclk）の場合 :
  グローバル動作モードへ遷移したときに、カウント開始。
  グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1”（CANm ビットタイムクロック）の場合 :
  対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。
  対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

20.3.13 RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RSCAN0GAFLECTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GAFLECTRL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GAFLECTRLL、RSCAN0GAFLECTRLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GAFLECTR: <RSCAN0_base> + 0098_H

RSCAN0GAFLECTRL: <RSCAN0_base> + 0098_H

RSCAN0GAFLECTRLL: <RSCAN0_base> + 0098_H、RSCAN0GAFLECTRLH: <RSCAN0_base> + 0099_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 20.28 RSCAN0GAFLECTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0：受信ルールテーブル書き込み禁止 1：受信ルールテーブル書き込み許可
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 0	AFLPN[4:0]	受信ルールテーブルページ番号設定ビット ページ 0（00000_B）からページ 23（10111_B）の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ “1” にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“00000_B” ～ “10111_B” 以外の値を設定しないでください。

20.3.14 RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス RSCAN0GAFLCFG0 レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GAFLCFG0L、RSCAN0GAFLCFG0H レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GAFLCFG0LL、RSCAN0GAFLCFG0LH、RSCAN0GAFLCFG0HL、RSCAN0GAFLCFG0HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GAFLCFG0: <RSCAN0_base> + $009C_H$

RSCAN0GAFLCFG0L: <RSCAN0_base> + $009C_H$、RSCAN0GAFLCFG0H: <RSCAN0_base> + $009E_H$

RSCAN0GAFLCFG0LL: <RSCAN0_base> + $009C_H$、RSCAN0GAFLCFG0LH: <RSCAN0_base> + $009D_H$、RSCAN0GAFLCFG0HL: <RSCAN0_base> + $009E_H$、RSCAN0GAFLCFG0HH: <RSCAN0_base> + $009F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								RNC3[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.29 RSCAN0GAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RNC0[7:0]	チャネル 0 用ルール数 チャネル 0 の受信ルール数を設定してください。
23 ～ 16	RNC1[7:0]	チャネル 1 用ルール数 チャネル 1 の受信ルール数を設定してください。
15 ～ 8	RNC2[7:0]	チャネル 2 用ルール数 チャネル 2 の受信ルール数を設定してください。
7 ～ 0	RNC3[7:0]	チャネル 3 用ルール数 チャネル 3 の受信ルール数を設定してください。

RSCAN0GAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 ×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 128 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC2[7:0] ビット

チャネル 2 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC3[7:0] ビット

チャネル 3 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

20.3.15 RSCAN0GAFLCFG1 — 受信ルールコンフィグレーションレジスタ 1

アクセス RSCAN0GAFLCFG1 レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GAFLCFG1H レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GAFLCFG1HL、RSCAN0GAFLCFG1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GAFLCFG1: <RSCAN0_base> + $00A0_H$

RSCAN0GAFLCFG1H: <RSCAN0_base> + $00A2_H$

RSCAN0GAFLCFG1HL: <RSCAN0_base> + $00A2_H$、RSCAN0GAFLCFG1HH: <RSCAN0_base> + $00A3_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC4[7:0]								RNC5[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.30 RSCAN0GAFLCFG1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RNC4[7:0]	チャネル 4 用ルール数 チャネル 4 の受信ルール数を設定してください。
23 ～ 16	RNC5[7:0]	チャネル 5 用ルール数 チャネル 5 の受信ルール数を設定してください。
15 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCAN0GAFLCFG1 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 ×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 128 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC4[7:0] ビット

チャネル 4 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC5[7:0] ビット

チャネル 5 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

20.3.16 RSCAN0GAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）

アクセス RSCAN0GAFLIDj レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GAFLIDjL、RSCAN0GAFLIDjH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GAFLIDjLL、RSCAN0GAFLIDjLH、RSCAN0GAFLIDjHL、RSCAN0GAFLIDjHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GAFLIDj: <RSCAN0_base> + 0500_H + (10_H × j)

RSCAN0GAFLIDjL: <RSCAN0_base> + 0500_H + (10_H × j)、
RSCAN0GAFLIDjH: <RSCAN0_base> + 0502_H + (10_H × j)

RSCAN0GAFLIDjLL: <RSCAN0_base> + 0500_H + (10_H × j)、
RSCAN0GAFLIDjLH: <RSCAN0_base> + 0501_H + (10_H × j)、
RSCAN0GAFLIDjHL: <RSCAN0_base> + 0502_H + (10_H × j)、
RSCAN0GAFLIDjHH: <RSCAN0_base> + 0503_H + (10_H × j)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.31 RSCAN0GAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0：標準 ID 1：拡張 ID
30	GAFLRTR	RTR 選択ビット 0：データフレーム 1：リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0：他の CAN ノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時
28 ～ 0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ～ b0 に ID を設定してください。b28 ～ b11 は “0” にしてください。

RSCAN0GAFLIDj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に “1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

20.3.17 RSCAN0GAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）

アクセス RSCAN0GAFLMj レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GAFLMjL、RSCAN0GAFLMjH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GAFLMjLL、RSCAN0GAFLMjLH、RSCAN0GAFLMjHL、RSCAN0GAFLMjHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GAFLMj: <RSCAN0_base> + 0504_H + (10_H × j)

RSCAN0GAFLMjL: <RSCAN0_base> + 0504_H + (10_H × j)、
RSCAN0GAFLMjH: <RSCAN0_base> + 0506_H + (10_H × j)

RSCAN0GAFLMjLL: <RSCAN0_base> + 0504_H + (10_H × j)、
RSCAN0GAFLMjLH: <RSCAN0_base> + 0505_H + (10_H × j)、
RSCAN0GAFLMjHL: <RSCAN0_base> + 0506_H + (10_H × j)、
RSCAN0GAFLMjHH: <RSCAN0_base> + 0507_H + (10_H × j)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDEM	GAFLRTRM	—	GAFLIDM[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.32 RSCAN0GAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0：IDE ビットを比較しない 1：IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0：RTR ビットを比較しない 1：RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ～ 0	GAFLIDM [28:0]	ID マスクビット 0：対応する ID ビットを比較しない 1：対応する ID ビットを比較する

RSCAN0GAFLMj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCAN0GAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、 すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを “0” にする場合は、GAFLIDM[28:0] ビットをすべて “0” にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

20.3.18 RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）

アクセス RSCAN0GAFLP0j レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GAFLP0jL、RSCAN0GAFLP0jH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GAFLP0jLH、RSCAN0GAFLP0jHL、RSCAN0GAFLP0jHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GAFLP0j: <RSCAN0_base> + 0508_H + (10_H × j)

RSCAN0GAFLP0jL: <RSCAN0_base> + 0508_H + (10_H × j)、
RSCAN0GAFLP0jH: <RSCAN0_base> + $050A_H$ + (10_H × j)

RSCAN0GAFLP0jLH: <RSCAN0_base> + 0509_H + (10_H × j)、
RSCAN0GAFLP0jHL: <RSCAN0_base> + $050A_H$ + (10_H × j)、
RSCAN0GAFLP0jHH: <RSCAN0_base> + $050B_H$ + (10_H × j)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC[3:0]				GAFLPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLRMV	GAFLRMDP[6:0]							—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 20.33 RSCAN0GAFLP0j レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	GAFLDLC[3:0]	受信ルール DLC 設定ビット b31 b30 b29 b28 0 0 0 0 : DLC チェックしない 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0 : 受信バッファを使用しない 1 : 受信バッファを使用する
14 ～ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCAN0GAFLP0j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B” を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1” にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを “1” にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCAN0RMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

20.3.19 RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）

アクセス RSCAN0GAFLP1j レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GAFLP1jL、RSCAN0GAFLP1jH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GAFLP1jLL、RSCAN0GAFLP1jLH、RSCAN0GAFLP1jHL、RSCAN0GAFLP1jHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GAFLP1j: <RSCAN0_base> + $050C_H$ + (10_H × j)

RSCAN0GAFLP1jL: <RSCAN0_base> + $050C_H$ + (10_H × j)、
RSCAN0GAFLP1jH: <RSCAN0_base> + $050E_H$ + (10_H × j)

RSCAN0GAFLP1jLL: <RSCAN0_base> + $050C_H$ + (10_H × j)、
RSCAN0GAFLP1jLH: <RSCAN0_base> + $050D_H$ + (10_H × j)、
RSCAN0GAFLP1jHL: <RSCAN0_base> + $050E_H$ + (10_H × j)、
RSCAN0GAFLP1jHH: <RSCAN0_base> + $050F_H$ + (10_H × j)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	GAFLFDP[25:16]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLFDP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.34 RSCAN0GAFLP1j レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25 ～ 8	GAFLFDP [25:8]	送受信 FIFO バッファ k 選択ビット （ビット位置 -8 が対象となる送受信 FIFO バッファ番号 k になります） 0：送受信 FIFO バッファを選択しない 1：送受信 FIFO バッファを選択する
7 ～ 0	GAFLFDP[7:0]	受信 FIFO バッファ x 選択ビット （ビット位置が対象となる受信 FIFO バッファ番号 x になります） 0：受信 FIFO バッファを選択しない 1：受信 FIFO バッファを選択する

RSCAN0GAFLP1j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLFDP[25:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCAN0GAFLP0j レジスタの GAFLRMV ビットを “1”（受信バッファにメッセージを格納する）にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCAN0CFCCk レジスタの CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファのみ選択できます。

20.3.20 RSCAN0RMNB — 受信バッファナンバレジスタ

アクセス RSCAN0RMNB レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0RMNBL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0RMNBLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0RMNB: <RSCAN0_base> + $00A4_H$

RSCAN0RMNBL: <RSCAN0_base> + $00A4_H$

RSCAN0RMNBLL: <RSCAN0_base> + $00A4_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	NRXMB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.35 RSCAN0RMNB レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 0	NRXMB[7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0 ～ 96 の範囲で設定してください。

RSCAN0RMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0] ビット

RS-CAN モジュール全体の受信バッファ数を設定します。最大値は、16 ×（チャネル数）です。

“0” を設定すると、受信バッファは使用できません。

20.3.21 RSCAN0RMNDy — 受信バッファ新データレジスタ（y = 0 ~ 2）

アクセス RSCAN0RMNDy レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0RMNDyL、RSCAN0RMNDyH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0RMNDyLL、RSCAN0RMNDyLH、RSCAN0RMNDyHL、RSCAN0RMNDyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0RMNDy: <RSCAN0_base> + $00A8_H$ + (04_H × y)

RSCAN0RMNDyL: <RSCAN0_base> + $00A8_H$ + (04_H × y)、
RSCAN0RMNDyH: <RSCAN0_base> + $00AA_H$ + (04_H × y)

RSCAN0RMNDyLL: <RSCAN0_base> + $00A8_H$ + (04_H × y)、
RSCAN0RMNDyLH: <RSCAN0_base> + $00A9_H$ + (04_H × y)、
RSCAN0RMNDyHL: <RSCAN0_base> + $00AA_H$ + (04_H × y)、
RSCAN0RMNDyHH: <RSCAN0_base> + $00AB_H$ + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31 ～ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15 ～ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.36 RSCAN0RMNDy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 31 ～ y × 32 + 16） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり
15 ～ 0	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 15 ～ y × 32 + 0） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり

RSCAN0RMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

RMNSq フラグ（q = 0 ~ 95）

対応する受信バッファにメッセージを格納する処理が始まると “1” になります。

フラグを “0” にする場合は、プログラムで “0” を書いてください。書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いて下さい。メッセージ格納中は “0” にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0” になります。

20.3.22 RSCAN0RMIDq — 受信バッファ ID レジスタ（q = 0 ~ 95）

アクセス RSCAN0RMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMIDqL、RSCAN0RMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMIDqLL、RSCAN0RMIDqLH、RSCAN0RMIDqHL、RSCAN0RMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RMIDq: <RSCAN0_base> + 0600_H + (10_H × q)

RSCAN0RMIDqL: <RSCAN0_base> + 0600_H + (10_H × q)、
RSCAN0RMIDqH: <RSCAN0_base> + 0602_H + (10_H × q)

RSCAN0RMIDqLL: <RSCAN0_base> + 0600_H + (10_H × q)、
RSCAN0RMIDqLH: <RSCAN0_base> + 0601_H + (10_H × q)、
RSCAN0RMIDqHL: <RSCAN0_base> + 0602_H + (10_H × q)、
RSCAN0RMIDqHH: <RSCAN0_base> + 0603_H + (10_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.37 RSCAN0RMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RMRTR	受信バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ～ 0	RMID[28:0]	受信バッファ ID データ 受信メッセージの標準 ID ／拡張 ID が読めます。 標準 ID の場合は、b10 ～ b0 を読んでください。b28 ～ b11 は “0” が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

20.3.23 RSCAN0RMPTRq — 受信バッファポインタレジスタ（q = 0 ~ 95）

アクセス RSCAN0RMPTRq レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMPTRqL、RSCAN0RMPTRqH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMPTRqLL、RSCAN0RMPTRqLH、RSCAN0RMPTRqHL、RSCAN0RMPTRqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RMPTRq: <RSCAN0_base> + 0604_H + (10_H × q)

RSCAN0RMPTRqL: <RSCAN0_base> + 0604_H + (10_H × q)、
RSCAN0RMPTRqH: <RSCAN0_base> + 0606_H + (10_H × q)

RSCAN0RMPTRqLL: <RSCAN0_base> + 0604_H + (10_H × q)、
RSCAN0RMPTRqLH: <RSCAN0_base> + 0605_H + (10_H × q)、
RSCAN0RMPTRqHL: <RSCAN0_base> + 0606_H + (10_H × q)、
RSCAN0RMPTRqHH: <RSCAN0_base> + 0607_H + (10_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC[3:0]				RMPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.38 RSCAN0RMPTRq レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	RMDLC[3:0]	受信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : データバイトなし 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	RMPTR[11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ～ 0	RMTS[15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

20.3.24 RSCAN0RMDF0q — 受信バッファデータフィールド 0 レジスタ（q = 0 ~ 95）

アクセス RSCAN0RMDF0q レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMDF0qL、RSCAN0RMDF0qH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMDF0qLL、RSCAN0RMDF0qLH、RSCAN0RMDF0qHL、RSCAN0RMDF0qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RMDF0q: <RSCAN0_base> + 0608_H + (10_H × q)

RSCAN0RMDF0qL: <RSCAN0_base> + 0608_H + (10_H × q)、
RSCAN0RMDF0qH: <RSCAN0_base> + $060A_H$ + (10_H × q)

RSCAN0RMDF0qLL: <RSCAN0_base> + 0608_H + (10_H × q)、
RSCAN0RMDF0qLH: <RSCAN0_base> + 0609_H + (10_H × q)、
RSCAN0RMDF0qHL: <RSCAN0_base> + $060A_H$ + (10_H × q)、
RSCAN0RMDF0qHH: <RSCAN0_base> + $060B_H$ + (10_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB3[7:0]								RMDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB1[7:0]								RMDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.39 RSCAN0RMDF0q レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RMDB3[7:0]	受信バッファデータバイト 3
23 ～ 16	RMDB2[7:0]	受信バッファデータバイト 2
15 ～ 8	RMDB1[7:0]	受信バッファデータバイト 1
7 ～ 0	RMDB0[7:0]	受信バッファデータバイト 0 受信バッファに格納されたメッセージのデータが読めます。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

20.3.25 RSCAN0RMDF1q — 受信バッファデータフィールド 1 レジスタ（q = 0 ~ 95）

アクセス RSCAN0RMDF1q レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMDF1qL、RSCAN0RMDF1qH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMDF1qLL、RSCAN0RMDF1qLH、RSCAN0RMDF1qHL、RSCAN0RMDF1qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RMDF1q: <RSCAN0_base> + $060C_H$ + (10_H × q)

RSCAN0RMDF1qL: <RSCAN0_base> + $060C_H$ + (10_H × q)、
RSCAN0RMDF1qH: <RSCAN0_base> + $060E_H$ + (10_H × q)

RSCAN0RMDF1qLL: <RSCAN0_base> + $060C_H$ + (10_H × q)、
RSCAN0RMDF1qLH: <RSCAN0_base> + $060D_H$ + (10_H × q)、
RSCAN0RMDF1qHL: <RSCAN0_base> + $060E_H$ + (10_H × q)、
RSCAN0RMDF1qHH: <RSCAN0_base> + $060F_H$ + (10_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB7[7:0]								RMDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB5[7:0]								RMDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.40 RSCAN0RMDF1q レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RMDB7[7:0]	受信バッファデータバイト 7
23 ～ 16	RMDB6[7:0]	受信バッファデータバイト 6
15 ～ 8	RMDB5[7:0]	受信バッファデータバイト 5
7 ～ 0	RMDB4[7:0]	受信バッファデータバイト 4 受信バッファに格納されたメッセージのデータが読めます。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

20.3.26 RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）

アクセス RSCAN0RFCCx レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0RFCCxL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0RFCCxLL、RSCAN0RFCCxLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0RFCCx: <RSCAN0_base> + $00B8_H$ + (04_H × x)

RSCAN0RFCCxL: <RSCAN0_base> + $00B8_H$ + (04_H × x)

RSCAN0RFCCxLL: <RSCAN0_base> + $00B8_H$ + (04_H × x)、
RSCAN0RFCCxLH: <RSCAN0_base> + $00B9_H$ + (04_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 20.41 RSCAN0RFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 13	RFIGCV[2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0 : RFIGCV[2:0] ビットで設定した条件に達したときに発生 1 : 1 メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ～ 8	RFDC[2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0 : 0 メッセージ 0 0 1 : 4 メッセージ 0 1 0 : 8 メッセージ 0 1 1 : 16 メッセージ 1 0 0 : 32 メッセージ 1 0 1 : 48 メッセージ 1 1 0 : 64 メッセージ 1 1 1 : 128 メッセージ

表 20.41 RSCAN0RFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0：受信 FIFO 割り込み禁止 1：受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0：受信 FIFO バッファを使用しない 1：受信 FIFO バッファを使用する

RFIGCV[2:0] ビット

RFIM ビットを “0” にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（RFDC[2:0] の設定）に対する分数で指定します。

RFDC[2:0] ビットを “001_B”（4 メッセージ）に設定した場合は、RFIGCV[2:0] ビットを “001_B”、“011_B”、“101_B”、または “111_B” にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B” に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1” にすると、受信 FIFO 割り込みが使用できます。RFE ビットが “0”（受信 FIFO バッファを使用しない）のときに、RFIE ビットを書き換えてください。

RFE ビット

“1” にすると、受信 FIFO バッファが使用できます。“0” にすると、RSCAN0RFSTSx レジスタの RFEMP フラグが “1”（バッファ空）になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

このビットは、RSCANnRFCCx レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

20.3.27 RSCAN0RFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）

アクセス RSCAN0RFSTSx レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0RFSTSxL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0RFSTSxLL レジスタは、8 ビット単位でリード／ライト可能です。
RSCAN0RFSTSxLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFSTSx: <RSCAN0_base> + $00D8_H$ + (04_H × x)

RSCAN0RFSTSxL: <RSCAN0_base> + $00D8_H$ + (04_H × x)

RSCAN0RFSTSxLL: <RSCAN0_base> + $00D8_H$ + (04_H × x)、
RSCAN0RFSTSxLH: <RSCAN0_base> + $00D9_H$ + (04_H × x)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]								—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 20.42 RSCAN0RFSTSx レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0：受信 FIFO 割り込み要求なし 1：受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0：受信 FIFO メッセージロストなし 1：受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファフルではない 1：受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0：受信 FIFO バッファに未読メッセージあり 1：受信 FIFO バッファに未読メッセージなし（バッファ空）

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCAN0RFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

RFIF フラグ

RSCAN0RFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに “1” になります。RFIF フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき “1” になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCAN0RFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると “1” になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると “0” になります。また、RSCAN0RFCCx レジスタの RFE ビットが “0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に “0” になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと “1” になります。また、RSCAN0RFCCx レジスタの RFE ビットが “0” のとき、またはグローバルリセットモード時に “1” になります。

受信メッセージが 1 つでも受信 FIFO バッファに格納されると “0” になります。

備　考

RFMLT もしくは RFIF フラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

20.3.28 RSCAN0RFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）

アクセス RSCAN0RFPCTRx レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0RFPCTRxL レジスタは、16 ビット単位でライトのみ可能です。
RSCAN0RFPCTRxLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN0RFPCTRx: <RSCAN0_base> + $00F8_H$ + (04_H × x)

RSCAN0RFPCTRxL: <RSCAN0_base> + $00F8_H$ + (04_H × x)

RSCAN0RFPCTRxLL: <RSCAN0_base> + $00F8_H$ + (04_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 20.43 RSCAN0RFPCTRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	RFPC[7:0]	受信 FIFO ポインタ制御 “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0] ビット

RFPC[7:0] ビットに “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0RFSTSx レジスタの RFMC[7:0] ビット（受信 FIFO 未読メッセージ数表示カウンタ）の値が 1 減算されます。RSCAN0RFIDx、RSCAN0RFPTRx、RSCAN0RFDF0x、RSCAN0RFDF1x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN0RFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）で、RSCAN0RFSTSx レジスタの RFEMP フラグが “0” 未読メッセージあり）のときに行ってください。

20.3.29 RSCAN0RFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）

アクセス RSCAN0RFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFIDxL、RSCAN0RFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFIDxLL、RSCAN0RFIDxLH、RSCAN0RFIDxHL、RSCAN0RFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFIDx: <RSCAN0_base> + $0E00_H$ + (10_H × x)

RSCAN0RFIDxL: <RSCAN0_base> + $0E00_H$ + (10_H × x)、
RSCAN0RFIDxH: <RSCAN0_base> + $0E02_H$ + (10_H × x)

RSCAN0RFIDxLL: <RSCAN0_base> + $0E00_H$ + (10_H × x)、
RSCAN0RFIDxLH: <RSCAN0_base> + $0E01_H$ + (10_H × x)、
RSCAN0RFIDxHL: <RSCAN0_base> + $0E02_H$ + (10_H × x)、
RSCAN0RFIDxHH: <RSCAN0_base> + $0E03_H$ + (10_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.44 RSCAN0RFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ～ 0	RFID[28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID ／拡張 ID が読めます。 標準 ID の場合は、b10 ～ b0 を読んでください。b28 ～ b11 は “0” が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

20.3.30 RSCAN0RFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）

アクセス RSCAN0RFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFPTRxL、RSCAN0RFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFPTRxLL、RSCAN0RFPTRxLH、RSCAN0RFPTRxHL、RSCAN0RFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFPTRx: <RSCAN0_base> + $0E04_H$ + (10_H × x)

RSCAN0RFPTRxL: <RSCAN0_base> + $0E04_H$ + (10_H × x)、
RSCAN0RFPTRxH: <RSCAN0_base> + $0E06_H$ + (10_H × x)

RSCAN0RFPTRxLL: <RSCAN0_base> + $0E04_H$ + (10_H × x)、
RSCAN0RFPTRxLH: <RSCAN0_base> + $0E05_H$ + (10_H × x)、
RSCAN0RFPTRxHL: <RSCAN0_base> + $0E06_H$ + (10_H × x)、
RSCAN0RFPTRxHH: <RSCAN0_base> + $0E07_H$ + (10_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC[3:0]				RFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.45 RSCAN0RFPTRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	RFDLC[3:0]	受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	RFPTR[11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ～ 0	RFTS[15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

20.3.31 RSCAN0RFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ（x = 0 ~ 7）

アクセス RSCAN0RFDF0x レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFDF0xL、RSCAN0RFDF0xH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFDF0xLL、RSCAN0RFDF0xLH、RSCAN0RFDF0xHL、RSCAN0RFDF0xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFDF0x: <RSCAN0_base> + $0E08_H$ + (10_H × x)

RSCAN0RFDF0xL: <RSCAN0_base> + $0E08_H$ + (10_H × x)、
RSCAN0RFDF0xH: <RSCAN0_base> + $0E0A_H$ + (10_H × x)

RSCAN0RFDF0xLL: <RSCAN0_base> + $0E08_H$ + (10_H × x)、
RSCAN0RFDF0xLH: <RSCAN0_base> + $0E09_H$ + (10_H × x)、
RSCAN0RFDF0xHL: <RSCAN0_base> + $0E0A_H$ + (10_H × x)、
RSCAN0RFDF0xHH: <RSCAN0_base> + $0E0B_H$ + (10_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB3[7:0]								RFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB1[7:0]								RFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.46 RSCAN0RFDF0x レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RFDB3[7:0]	受信 FIFO バッファデータバイト 3
23 ～ 16	RFDB2[7:0]	受信 FIFO バッファデータバイト 2
15 ～ 8	RFDB1[7:0]	受信 FIFO バッファデータバイト 1
7 ～ 0	RFDB0[7:0]	受信 FIFO バッファデータバイト 0 受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

20.3.32 RSCAN0RFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ（x = 0 ~ 7）

アクセス RSCAN0RFDF1x レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFDF1xL、RSCAN0RFDF1xH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFDF1xLL、RSCAN0RFDF1xLH、RSCAN0RFDF1xHL、RSCAN0RFDF1xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFDF1x: <RSCAN0_base> + $0E0C_H$ + (10_H × x)

RSCAN0RFDF1xL: <RSCAN0_base> + $0E0C_H$ + (10_H × x)、
RSCAN0RFDF1xH: <RSCAN0_base> + $0E0E_H$ + (10_H × x)

RSCAN0RFDF1xLL: <RSCAN0_base> + $0E0C_H$ + (10_H × x)、
RSCAN0RFDF1xLH: <RSCAN0_base> + $0E0D_H$ + (10_H × x)、
RSCAN0RFDF1xHL: <RSCAN0_base> + $0E0E_H$ + (10_H × x)、
RSCAN0RFDF1xHH: <RSCAN0_base> + $0E0F_H$ + (10_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB7[7:0]								RFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB5[7:0]								RFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.47 RSCAN0RFDF1x レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RFDB7[7:0]	受信 FIFO バッファデータバイト 7
23 ～ 16	RFDB6[7:0]	受信 FIFO バッファデータバイト 6
15 ～ 8	RFDB5[7:0]	受信 FIFO バッファデータバイト 5
7 ～ 0	RFDB4[7:0]	受信 FIFO バッファデータバイト 4 受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

20.3.33 RSCAN0CFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ~ 17）

アクセス RSCAN0CFCCk レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0CFCCkL、RSCAN0CFCCkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0CFCCkLL、RSCAN0CFCCkLH、RSCAN0CFCCkHL、RSCAN0CFCCkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0CFCCk: <RSCAN0_base> + 0118_H + (04_H × k)

RSCAN0CFCCkL: <RSCAN0_base> + 0118_H + (04_H × k)、
RSCAN0CFCCkH: <RSCAN0_base> + $011A_H$ + (04_H × k)

RSCAN0CFCCkLL: <RSCAN0_base> + 0118_H + (04_H × k)、
RSCAN0CFCCkLH: <RSCAN0_base> + 0119_H + (04_H × k)、
RSCAN0CFCCkHL: <RSCAN0_base> + $011A_H$ + (04_H × k)、
RSCAN0CFCCkHH: <RSCAN0_base> + $011B_H$ + (04_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]								CFTML[3:0]				CFITR	CFITSS	CFM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV[2:0]			CFIM	—	CFDC[2:0]			—	—	—	—	—	CFTXIE	CFRXIE	CFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 20.48 RSCAN0CFCCk レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値：00_H ～ FF_H
23 ～ 20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイマ分解能 0：pclk/2 を ITRCP[15:0] ビットで分周したクロック 1：pclk/2 を ITRCP[15:0] ビットの値 × 10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイマクロックソース選択 0：CFITR ビットで選択したクロックソース 1：関連チャネルのビットタイムクロック
17 ～ 16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0：受信モード 0 1：送信モード 1 0：ゲートウェイモード 1 1：設定しないでください
15 ～ 13	CFIGCV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0：FIFO バッファに 1/8 までメッセージ格納時 0 0 1：FIFO バッファに 2/8 までメッセージ格納時 0 1 0：FIFO バッファに 3/8 までメッセージ格納時 0 1 1：FIFO バッファに 4/8 までメッセージ格納時 1 0 0：FIFO バッファに 5/8 までメッセージ格納時 1 0 1：FIFO バッファに 6/8 までメッセージ格納時 1 1 0：FIFO バッファに 7/8 までメッセージ格納時 1 1 1：FIFO バッファがフルのとき

表 20.48 RSCAN0CFCCk レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0： • 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、 FIFO 送信割り込み要求発生 1： • 受信モード、ゲートウェイモード時 1 メッセージ受信ごとに FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 1 メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ～ 8	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0：0 メッセージ 0 0 1：4 メッセージ 0 1 0：8 メッセージ 0 1 1：16 メッセージ 1 0 0：32 メッセージ 1 0 1：48 メッセージ 1 1 0：64 メッセージ 1 1 1：128 メッセージ
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0：送受信 FIFO 送信割り込み禁止 1：送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0：送受信 FIFO 受信割り込み禁止 1：送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0：送受信 FIFO バッファを使用しない 1：送受信 FIFO バッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを “01_B”（送信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを “01_B”（送信モード）または “10_B”（ゲートウェイモード）に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャネル番号 m は、m = k/3 の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、（16 × m）+ CFTML[3:0] となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 20.13** および**表 20.14** を参照してください。

CFDC[2:0] ビットを “001_B” 以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが “0” のとき、有効です。

“0” のとき、インターバルタイマクロックソースは、pclk/2 を RSCAN0GCFG レジスタの ITRCP[15:0] ビットで分周したクロックとなります。

“1” のとき、インターバルタイマクロックソースは、pclk/2 を RSCAN0GCFG レジスタの ITRCP[15:0] ビットの値 ×10 で分周したクロックとなります。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0” のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1” のとき、FIFO にリンクしているチャネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に、CFIM ビットを “0” にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0] の設定）に対する分数で指定します。

CFDC[2:0] ビットを “001_B”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを “001_B”、“011_B”、“101_B”、または “111_B” にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B” に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを “1” に設定し、RSCAN0CFSTSk レジスタの CFTXIF フラグが “1” になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを “1” に設定し、RSCAN0CFSTSk レジスタの CFRXIF フラグが “1” になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが “0” の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1” にすると、送受信 FIFO バッファを使用できます。

“0” にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で “0” になります。

- 受信モード時 : グローバルリセットモード
- 送信モードまたはゲートウェイモード時 : チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード : グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード : チャネル通信モードまたはチャネル待機モード

このビットは、RSCANnCFCCk レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

20.3.34 RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ~ 17）

アクセス RSCAN0CFSTSk レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0CFSTSkL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0CFSTSkLL レジスタは、8 ビット単位でリード／ライト可能です。
RSCAN0CFSTSkLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CFSTSk: <RSCAN0_base> + 0178_H + (04_H × k)

RSCAN0CFSTSkL: <RSCAN0_base> + 0178_H + (04_H × k)

RSCAN0CFSTSkLL: <RSCAN0_base> + 0178_H + (04_H × k)、
RSCAN0CFSTSkLH: <RSCAN0_base> + 0179_H + (04_H × k)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC[7:0]								—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 20.49 RSCAN0CFSTSk レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 8	CFMC[7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0：送受信 FIFO 受信割り込み要求なし 1：送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロストフラグ 0：送受信 FIFO メッセージロストなし 1：送受信 FIFO メッセージロスト
1	CFFLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファフルではない 1：送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0：送受信 FIFO バッファにメッセージあり 1：送受信 FIFO バッファにメッセージなし（バッファ空）

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCAN0CFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01_B” (送信モード) の場合 : バッファに格納した未送信メッセージ数

- CFM[1:0] ビットが “00_B”（受信モード）の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

CFTXIF フラグ

次の条件で、CFTXIF フラグは “1” になります。

- CFM[1:0] ビットが “01_B” または “10_B” で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは “0” になります。

- CFTXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0] ビットが “00_B” または “10_B” で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセット・モード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは “1” になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは “0” になります。

- CFMLT フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFFLL フラグ

次の条件で、CFFLL フラグは “1” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFFLL フラグは “0” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCAN0CFCCk レジスタの CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：送信アボート中でないとき
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは “1” になります。

- CFM[1:0] ビットが “00_B” の場合：
  全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：
  すべてのメッセージを送信したとき、またはチャネルリセットモード
- CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：
  送信アボート中でないとき

次の条件で、CFEMP フラグは “0” になります。

- CFM[1:0] ビットが “00_B” または “10_B” の場合：
  受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが “01_B” の場合：
  RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いてから、RSCAN0CFPCTRk レジスタに “FF_H” を書いたとき

備　考

CFTXIF, CFRXIF, CFMLT フラグを “0” にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いてください。

20.3.35 RSCAN0CFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ~ 17）

アクセス RSCAN0CFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0CFPCTRkL レジスタは、16 ビット単位でライトのみ可能です。
RSCAN0CFPCTRkLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN0CFPCTRk: <RSCAN0_base> + $01D8_H$ + (04_H × k)

RSCAN0CFPCTRkL: <RSCAN0_base> + $01D8_H$ + (04_H × k)

RSCAN0CFPCTRkLL: <RSCAN0_base> + $01D8_H$ + (04_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 20.50 RSCAN0CFPCTRk レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	CFPC[7:0]	送受信 FIFO ポインタ制御 • 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 • 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 • ゲートウェイモード時 設定しないでください。

CFPC[7:0] ビット

- 受信モード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが “00_B”）のとき：
  CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0CFSTSk レジスタの CFMC[7:0] ビット（送受信 FIFO メッセージ数表示カウンタ）の値が 1 減算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
  なお、“FF_H” の書き込みは RSCAN0CFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCAN0CFSTSk レジスタの CFEMP フラグが “0”（メッセージあり）のときに行ってください。

- 送信モード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B”）のとき：
  CFPC[7:0] ビットに “FF_H” を書くと、RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、

RSCAN0CFDF1k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FF_H” を書いてください。
なお、“FF_H” の書き込みは、RSCAN0CFCCk レジスタの CFE ビットが “1” で、RSCAN0CFSTSk レジスタの CFFLL フラグが “0”（フルではない）のときに行ってください。

- ゲートウェイモード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが “10_B”）のとき：
  設定しないでください。

20.3.36 RSCAN0CFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ~ 17）

アクセス RSCAN0CFIDk レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0CFIDkL、RSCAN0CFIDkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0CFIDkLL、RSCAN0CFIDkLH、RSCAN0CFIDkHL、RSCAN0CFIDkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0CFIDk: <RSCAN0_base> + $0E80_H$ + (10_H × k)

RSCAN0CFIDkL: <RSCAN0_base> + $0E80_H$ + (10_H × k)、
RSCAN0CFIDkH: <RSCAN0_base> + $0E82_H$ + (10_H × k)

RSCAN0CFIDkLL: <RSCAN0_base> + $0E80_H$ + (10_H × k)、
RSCAN0CFIDkLH: <RSCAN0_base> + $0E81_H$ + (10_H × k)、
RSCAN0CFIDkHL: <RSCAN0_base> + $0E82_H$ + (10_H × k)、
RSCAN0CFIDkHH: <RSCAN0_base> + $0E83_H$ + (10_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.51 RSCAN0CFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが “01_B”（送信モード）時のみ有効 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～ 0	CFID[28:0]	送受信 FIFO バッファ ID データ • CFM[1:0] ビットが “01_B”（送信モード）時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ～ b0 に ID を設定してください。b28 ～ b11 は “0” にしてください。 • CFM[1:0] ビットが “00_B”（受信モード）時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ～ b0 を読んでください。b28 ～ b11 は “0” が読めます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット（標準 ID または拡張 ID）を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット（データフレームまたはリモートフレーム）を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ）が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01_B”（送信モード）のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

20.3.37 RSCAN0CFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ~ 17）

アクセス RSCAN0CFPTRk レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0CFPTRkL、RSCAN0CFPTRkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0CFPTRkLL、RSCAN0CFPTRkLH、RSCAN0CFPTRkHL、RSCAN0CFPTRkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0CFPTRk: <RSCAN0_base> + $0E84_H$ + (10_H × k)

RSCAN0CFPTRkL: <RSCAN0_base> + $0E84_H$ + (10_H × k)、
RSCAN0CFPTRkH: <RSCAN0_base> + $0E86_H$ + (10_H × k)

RSCAN0CFPTRkLL: <RSCAN0_base> + $0E84_H$ + (10_H × k)、
RSCAN0CFPTRkLH: <RSCAN0_base> + $0E85_H$ + (10_H × k)、
RSCAN0CFPTRkHL: <RSCAN0_base> + $0E86_H$ + (10_H × k)、
RSCAN0CFPTRkHH: <RSCAN0_base> + $0E87_H$ + (10_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC[3:0]				CFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.52 RSCAN0CFPTRk レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	CFDLC[3:0]	送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	CFPTR[11:0]	送受信 FIFO バッファラベルデータ • CFM[1:0] ビットが “01_B”（送信モード）時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 • CFM[1:0] ビットが “00_B”（受信モード）時 受信メッセージのラベル情報が読めます。
15 ～ 0	CFTS[15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが “00_B”（受信モード）時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01_B” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが “00_B” のときに、有効になります。

20.3.38 RSCAN0CFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（k = 0 ~ 17）

アクセス RSCAN0CFDF0k レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0CFDF0kL、RSCAN0CFDF0kH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0CFDF0kLL、RSCAN0CFDF0kLH、RSCAN0CFDF0kHL、RSCAN0CFDF0kHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0CFDF0k: <RSCAN0_base> + $0E88_H$ + (10_H × k)

RSCAN0CFDF0kL: <RSCAN0_base> + $0E88_H$ + (10_H × k)、
RSCAN0CFDF0kH: <RSCAN0_base> + $0E8A_H$ + (10_H × k)

RSCAN0CFDF0kLL: <RSCAN0_base> + $0E88_H$ + (10_H × k)、
RSCAN0CFDF0kLH: <RSCAN0_base> + $0E89_H$ + (10_H × k)、
RSCAN0CFDF0kHL: <RSCAN0_base> + $0E8A_H$ + (10_H × k)、
RSCAN0CFDF0kHH: <RSCAN0_base> + $0E8B_H$ + (10_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB3[7:0]								CFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB1[7:0]								CFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.53 RSCAN0CFDF0k レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	CFDB3[7:0]	送受信 FIFO バッファデータバイト 3 送受信 FIFO バッファデータバイト 2 送受信 FIFO バッファデータバイト 1 送受信 FIFO バッファデータバイト 0 • CFM[1:0] ビットが “01_B”（送信モード）時 送受信 FIFO バッファのデータを設定してください。 • CFM[1:0] ビットが “00_B”（受信モード）時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	CFDB2[7:0]	
15 ～ 8	CFDB1[7:0]	
7 ～ 0	CFDB0[7:0]	

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

20.3.39 RSCAN0CFDF1k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（k = 0 ~ 17）

アクセス RSCAN0CFDF1k レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0CFDF1kL、RSCAN0CFDF1kH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0CFDF1kLL、RSCAN0CFDF1kLH、RSCAN0CFDF1kHL、RSCAN0CFDF1kHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0CFDF1k: <RSCAN0_base> + $0E8C_H$ + (10_H × k)

RSCAN0CFDF1kL: <RSCAN0_base> + $0E8C_H$ + (10_H × k)、
RSCAN0CFDF1kH: <RSCAN0_base> + $0E8E_H$ + (10_H × k)

RSCAN0CFDF1kLL: <RSCAN0_base> + $0E8C_H$ + (10_H × k)、
RSCAN0CFDF1kLH: <RSCAN0_base> + $0E8D_H$ + (10_H × k)、
RSCAN0CFDF1kHL: <RSCAN0_base> + $0E8E_H$ + (10_H × k)、
RSCAN0CFDF1kHH: <RSCAN0_base> + $0E8F_H$ + (10_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB7[7:0]								CFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB5[7:0]								CFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.54 RSCAN0CFDF1k レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	CFDB7[7:0]	送受信 FIFO バッファデータバイト 7 送受信 FIFO バッファデータバイト 6 送受信 FIFO バッファデータバイト 5 送受信 FIFO バッファデータバイト 4 • CFM[1:0] ビットが “01_B”（送信モード）時 送受信 FIFO バッファのデータを設定してください。 • CFM[1:0] ビットが “00_B”（受信モード）時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	CFDB6[7:0]	
15 ～ 8	CFDB5[7:0]	
7 ～ 0	CFDB4[7:0]	

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

20.3.40 RSCAN0FESTS — FIFO エンプティステータスレジスタ

アクセス RSCAN0FESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0FESTSL、RSCAN0FESTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0FESTSLL、RSCAN0FESTSLH、RSCAN0FESTSHL、RSCAN0FESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0FESTS: <RSCAN0_base> + 0238_H

RSCAN0FESTSL: <RSCAN0_base> + 0238_H、RSCAN0FESTSH: <RSCAN0_base> + $023A_H$

RSCAN0FESTSLL: <RSCAN0_base> + 0238_H、RSCAN0FESTSLH: <RSCAN0_base> + 0239_H、
RSCAN0FESTSHL: <RSCAN0_base> + $023A_H$、RSCAN0FESTSHH: <RSCAN0_base> + $023B_H$

リセット後の値 $03FF\ FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CF17EMP	CF16EMP	CF15EMP	CF14EMP	CF13EMP	CF12EMP	CF11EMP	CF10EMP	CF9EMP	CF8EMP
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EMP	CF6EMP	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.55 RSCAN0FESTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CF17EMP	送受信 FIFO バッファエンプティステータスフラグ 0：送受信 FIFO バッファ k にメッセージあり 1：送受信 FIFO バッファ k にメッセージなし （k = 0 ~ 17）
24	CF16EMP	
23	CF15EMP	
22	CF14EMP	
21	CF13EMP	
20	CF12EMP	
19	CF11EMP	
18	CF10EMP	
17	CF9EMP	
16	CF8EMP	
15	CF7EMP	
14	CF6EMP	
13	CF5EMP	
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	

表 20.55 RSCAN0FESTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0：受信 FIFO バッファ x に未読メッセージあり 1：受信 FIFO バッファ x に未読メッセージなし （x = 0 ~ 7）
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCAN0FESTS レジスタは、グローバルリセットモード時、“03FF $FFFF_H$” になります。

CFkEMP フラグ（k = 0 ~ 17）

RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（メッセージなし）になると、CFkEMP フラグは “1” になります。CFEMP フラグが “0”（メッセージあり）になると、CFkEMP フラグは “0” になります。

RFxEMP フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFEMP フラグが “1”（未読メッセージなし）になると、RFxEMP フラグは “1” になります。RFEMP フラグが “0”（未読メッセージあり）になると、RFxEMP フラグは “0” になります。

20.3.41 RSCAN0FFSTS — FIFO フルステータスレジスタ

アクセス RSCAN0FFSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0FFSTSL、RSCAN0FFSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0FFSTSLL、RSCAN0FFSTSLH、RSCAN0FFSTSHL、RSCAN0FFSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0FFSTS: <RSCAN0_base> + $023C_H$

RSCAN0FFSTSL: <RSCAN0_base> + $023C_H$、RSCAN0FFSTSH: <RSCAN0_base> + $023E_H$

RSCAN0FFSTSLL: <RSCAN0_base> + $023C_H$、RSCAN0FFSTSLH: <RSCAN0_base> + $023D_H$、
RSCAN0FFSTSHL: <RSCAN0_base> + $023E_H$、RSCAN0FFSTSHH: <RSCAN0_base> + $023F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CF17FLL	CF16FLL	CF15FLL	CF14FLL	CF13FLL	CF12FLL	CF11FLL	CF10FLL	CF9FLL	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.56 RSCAN0FFSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CF17FLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファ k はフルではない 1：送受信 FIFO バッファ k はフル （k = 0 ~ 17）
24	CF16FLL	
23	CF15FLL	
22	CF14FLL	
21	CF13FLL	
20	CF12FLL	
19	CF11FLL	
18	CF10FLL	
17	CF9FLL	
16	CF8FLL	
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	

表 20.56 RSCAN0FFSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RF7FLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファ x はフルではない 1：受信 FIFO バッファ x はフル （x = 0 ~ 7）
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCAN0FFSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkFLL フラグ（k = 0 ~ 17）

RSCAN0CFSTSk レジスタの CFFLL フラグが “1”（バッファフル）になると、CFkFLL フラグは “1” になります。

CFFLL フラグが “0”（送受信 FIFO がバッファフルでない）になると、CFkFLL フラグは “0” になります。

RFxFLL フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFFLL フラグが “1”（バッファフル）になると、RFxFLL フラグは “1” になります。RFFLL フラグが “0”（バッファフルでない）になると、RFxFLL フラグは “0” になります。

20.3.42 RSCAN0FMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCAN0FMSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0FMSTSL、RSCAN0FMSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0FMSTSLL、RSCAN0FMSTSLH、RSCAN0FMSTSHL、RSCAN0FMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0FMSTS: <RSCAN0_base> + 0240_H

RSCAN0FMSTSL: <RSCAN0_base> + 0240_H、RSCAN0FMSTSH: <RSCAN0_base> + 0242_H

RSCAN0FMSTSLL: <RSCAN0_base> + 0240_H、RSCAN0FMSTSLH: <RSCAN0_base> + 0241_H、RSCAN0FMSTSHL: <RSCAN0_base> + 0242_H、RSCAN0FMSTSHH: <RSCAN0_base> + 0243_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CF17MLT	CF16MLT	CF15MLT	CF14MLT	CF13MLT	CF12MLT	CF11MLT	CF10MLT	CF9MLT	CF8MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7MLT	CF6MLT	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.57 RSCAN0FMSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CF17MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0：送受信 FIFO バッファ k メッセージロストなし 1：送受信 FIFO バッファ k メッセージロスト （k = 0 ~ 17）
24	CF16MLT	
23	CF15MLT	
22	CF14MLT	
21	CF13MLT	
20	CF12MLT	
19	CF11MLT	
18	CF10MLT	
17	CF9MLT	
16	CF8MLT	
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	

表 20.57 RSCAN0FMSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0：受信 FIFO バッファ x メッセージロストなし 1：受信 FIFO バッファ x メッセージロスト （x = 0 ~ 7）
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCAN0FMSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkMLT フラグ（k = 0 ~ 17）

RSCAN0CFSTSk レジスタの CFMLT フラグが “1”（メッセージロスト）になると、CFkMLT フラグは “1” になります。

CFMLT フラグを “0” にすると、CFkMLT フラグは “0” になります。

RFxMLT フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFMLT フラグが “1”（メッセージロスト）になると、RFxMLT フラグは “1” になります。RFMLT フラグを “0” にすると、RFxMLT フラグは “0” になります。

20.3.43 RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCAN0RFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFISTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFISTSLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFISTS: <RSCAN0_base> + 0244_H

RSCAN0RFISTSL: <RSCAN0_base> + 0244_H

RSCAN0RFISTSLL: <RSCAN0_base> + 0244_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.58 RSCAN0RFISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0：受信 FIFO バッファ x 割り込み要求なし 1：受信 FIFO バッファ x 割り込み要求あり （x = 0 ~ 7）
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCAN0RFISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

RFxIF フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFIF フラグが “1”（割り込み要求あり）になると、RFxIF フラグは “1” になります。RFIF フラグを “0” にすると、RFxIF フラグは “0” になります。

20.3.44 RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス RSCAN0CFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0CFRISTSL、RSCAN0CFRISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CFRISTSLL、RSCAN0CFRISTSLH、RSCAN0CFRISTSHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CFRISTS: <RSCAN0_base> + 0248_H

RSCAN0CFRISTSL: <RSCAN0_base> + 0248_H、RSCAN0CFRISTSH: <RSCAN0_base> + $024A_H$

RSCAN0CFRISTSLL: <RSCAN0_base> + 0248_H、RSCAN0CFRISTSLH: <RSCAN0_base> + 0249_H、RSCAN0CFRISTSHL: <RSCAN0_base> + $024A_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF17RXIF	CF16RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF15RXIF	CF14RXIF	CF13RXIF	CF12RXIF	CF11RXIF	CF10RXIF	CF9RXIF	CF8RXIF	CF7RXIF	CF6RXIF	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.59 RSCAN0CFRISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 18	予約ビット	リードした場合はリセット後の値が読めます。
17	CF17RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 受信割り込み要求なし 1：送受信 FIFO バッファ k 受信割り込み要求あり （k = 0 ~ 17）
16	CF16RXIF	
15	CF15RXIF	
14	CF14RXIF	
13	CF13RXIF	
12	CF12RXIF	
11	CF11RXIF	
10	CF10RXIF	
9	CF9RXIF	
8	CF8RXIF	
7	CF7RXIF	
6	CF6RXIF	
5	CF5RXIF	
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCAN0CFRISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkRXIF フラグ（k = 0 ~ 17）

RSCAN0CFSTSk レジスタの CFRXIF フラグが “1”（割り込み要求あり）になると、CFkRXIF フラグは “1” になります。CFRXIF フラグを “0” にすると、CFkRXIF フラグは “0” になります。

20.3.45 RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ

アクセス RSCAN0CFTISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0CFTISTSL、RSCAN0CFTISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CFTISTSLL、RSCAN0CFTISTSLH、RSCAN0CFTISTSHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CFTISTS: <RSCAN0_base> + $024C_H$

RSCAN0CFTISTSL: <RSCAN0_base> + $024C_H$、RSCAN0CFTISTSH: <RSCAN0_base> + $024E_H$

RSCAN0CFTISTSLL: <RSCAN0_base> + $024C_H$、RSCAN0CFTISTSLH: <RSCAN0_base> + $024D_H$、RSCAN0CFTISTSHL: <RSCAN0_base> + $024E_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF17TXIF	CF16TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF15TXIF	CF14TXIF	CF13TXIF	CF12TXIF	CF11TXIF	CF10TXIF	CF9TXIF	CF8TXIF	CF7TXIF	CF6TXIF	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.60 RSCAN0CFTISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 18	予約ビット	リードした場合はリセット後の値が読めます。
17	CF17TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 送信割り込み要求なし 1：送受信 FIFO バッファ k 送信割り込み要求あり （k = 0 ~ 17）
16	CF16TXIF	
15	CF15TXIF	
14	CF14TXIF	
13	CF13TXIF	
12	CF12TXIF	
11	CF11TXIF	
10	CF10TXIF	
9	CF9TXIF	
8	CF8TXIF	
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCAN0CFTISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkTXIF フラグ（k = 0 ~ 17）

RSCAN0CFSTSk レジスタの CFTXIF フラグが “1”（割り込み要求あり）になると、CFkTXIF フラグは “1” になります。CFTXIF フラグを “0” にすると、CFkTXIF フラグは “0” になります。

20.3.46 RSCAN0TMCp — 送信バッファ制御レジスタ（p = 0 ~ 95）

アクセス RSCAN0TMCp レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0TMCp: <RSCAN0_base> + 0250_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W 注1	R/W 注1

注 1. このビットへの書き込みは、ビットセットする（“1” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 20.61 RSCAN0TMCp レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0：ワンショット送信禁止 1：ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0：送信アボートを要求しない 1：送信アボートを要求する
0	TMTR	送信要求ビット 0：送信を要求しない 1：送信を要求する

RSCAN0TMCp レジスタが次の条件を満たす場合は、“00_H” にしてください。

- RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCAN0TMCp レジスタ（p = m × 16 + CFTML[3:0] ビットの値）
- RSCAN0TXQCCm レジスタ（m = 0 ~ 5）の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCAN0TMCp レジスタ（p = (m × 16 + 15) ～ (m × 16 + 15 - TXQDC[3:0] ビットの値)）

RSCAN0TMCp レジスタのビットは、チャネルリセットモード時に “0” になります。RSCAN0TMCp レジスタは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

TMOM ビット

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCAN0TMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

TMTAR ビット

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが “1” のとき、TMTAR ビットを “1” にできます。

TMTAR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0” になるタイミングと “1” を書くタイミングが同じ場合、“0” になります。

TMTR ビット

“1” にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” にできません。

- 送信が完了したとき
- TMTAR ビットを “1” にし、送信アボートが完了したとき
- TMOM ビットが “1” の状態で、エラーまたはアービトレーションロストを検出したとき

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “00_B” のときに、TMTR ビットを “1” に設定してください。

20.3.47 RSCAN0TMSTSp — 送信バッファステータスレジスタ（p = 0 ~ 95）

アクセス RSCAN0TMSTSp レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0TMSTSp: <RSCAN0_base> + $02D0_H$ + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 20.62 RSCAN0TMSTSp レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0：送信アボート要求なし 1：送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0：送信要求なし 1：送信要求あり
2、1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0：送信中、または送信要求なし 0 1：送信アボート完了 1 0：送信完了（送信アボート要求なし） 1 1：送信完了（送信アボート要求あり）
0	TMTSTS	送信バッファ送信ステータスフラグ 0：送信中ではない 1：送信中

RSCAN0TMSTSp レジスタのビットは、チャネルリセットモード時に “0” になります。

TMTARM フラグ

RSCAN0TMCp レジスタの TMTAR ビットを “1” にすると、TMTARM フラグは “1” になります。

RSCAN0TMCp レジスタの TMTAR ビットが “0” になると、TMTARM フラグは “0” になります。

TMTRM フラグ

RSCAN0TMCp レジスタの TMTR ビットを “1” にすると、TMTRM フラグは “1” になります。

RSCAN0TMCp レジスタの TMTR ビットが “0” になると、TMTRM フラグは “0” になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B：送信中または送信要求なし。

01_B：送信バッファからの送信がアボートされた。

10_B：RSCAN0TMCp レジスタの TMTAR ビットが “0”（送信アボートを要求しない）で、送信が完了した。

11_B：RSCAN0TMCp レジスタの TMTAR ビットが “1”（送信アボートを要求する）で、送信が完了した。

TMTRF[1:0] フラグは、チャネル通信モードまたはチャネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0” になります。

20.3.48 RSCAN0TMTRSTSy — 送信バッファ送信要求ステータスレジスタ（y = 0 ~ 2）

アクセス RSCAN0TMTRSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTRSTSyL、RSCAN0TMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTRSTSyLL、RSCAN0TMTRSTSyLH、RSCAN0TMTRSTSyHL、RSCAN0TMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTRSTSy: <RSCAN0_base> + 0350_H + (04_H × y)

RSCAN0TMTRSTSyL: <RSCAN0_base> + 0350_H + (04_H × y)、
RSCAN0TMTRSTSyH: <RSCAN0_base> + 0352_H + (04_H × y)

RSCAN0TMTRSTSyLL: <RSCAN0_base> + 0350_H + (04_H × y)、
RSCAN0TMTRSTSyLH: <RSCAN0_base> + 0351_H + (04_H × y)、
RSCAN0TMTRSTSyHL: <RSCAN0_base> + 0352_H + (04_H × y)、
RSCAN0TMTRSTSyHH: <RSCAN0_base> + 0353_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31 ～ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.63 RSCAN0TMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信要求なし 1：送信要求あり
15 ～ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信要求なし 1：送信要求あり

TMTRSTSp フラグ（p = 0 ~ 95）

RSCAN0TMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを “1”（送信を要求する）にすると、対応する TMTRSTSp フラグは “1” になります。

TMTR ビットが “0”（送信を要求しない）になると、対応する TMTRSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 20.64 にビット配置を示します。

表 20.64　TMTRSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15
64	4	0
65	4	1
. .	. .	. .
78	4	14
79	4	15
80	5	0
81	5	1
. .	. .	. .
94	5	14
95	5	15

20.3.49 RSCAN0TMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ（y = 0 ~ 2）

アクセス RSCAN0TMTARSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTARSTSyL、RSCAN0TMTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTARSTSyLL、RSCAN0TMTARSTSyLH、RSCAN0TMTARSTSyHL、RSCAN0TMTARSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTARSTSy: <RSCAN0_base> + 0360_H + (04_H × y)

RSCAN0TMTARSTSyL: <RSCAN0_base> + 0360_H + (04_H × y)、
RSCAN0TMTARSTSyH: <RSCAN0_base> + 0362_H + (04_H × y)

RSCAN0TMTARSTSyLL: <RSCAN0_base> + 0360_H + (04_H × y)、
RSCAN0TMTARSTSyLH: <RSCAN0_base> + 0361_H + (04_H × y)、
RSCAN0TMTARSTSyHL: <RSCAN0_base> + 0362_H + (04_H × y)、
RSCAN0TMTARSTSyHH: <RSCAN0_base> + 0363_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31 ～ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.65 RSCAN0TMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信アボート要求なし 1：送信アボート要求あり
15 ～ 0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信アボート要求なし 1：送信アボート要求あり

TMTARSTSp フラグ（p = 0 ~ 95）

RSCAN0TMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを “1”（送信アボートを要求する）にすると、対応する TMTARSTSp フラグは “1” になります。

TMTAR ビットが “0”（送信アボートを要求しない）になると、対応する TMTARSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 20.66 にビット配置を示します。

表 20.66 TMTARSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15
64	4	0
65	4	1
. .	. .	. .
78	4	14
79	4	15
80	5	0
81	5	1
. .	. .	. .
94	5	14
95	5	15

20.3.50 RSCAN0TMTCSTSy — 送信バッファ送信完了ステータスレジスタ（y = 0 ~ 2）

アクセス RSCAN0TMTCSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTCSTSyL、RSCAN0TMTCSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTCSTSyLL、RSCAN0TMTCSTSyLH、RSCAN0TMTCSTSyHL、RSCAN0TMTCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTCSTSy: <RSCAN0_base> + 0370_H + (04_H × y)

RSCAN0TMTCSTSyL: <RSCAN0_base> + 0370_H + (04_H × y)、
RSCAN0TMTCSTSyH: <RSCAN0_base> + 0372_H + (04_H × y)

RSCAN0TMTCSTSyLL: <RSCAN0_base> + 0370_H + (04_H × y)、
RSCAN0TMTCSTSyLH: <RSCAN0_base> + 0371_H + (04_H × y)、
RSCAN0TMTCSTSyHL: <RSCAN0_base> + 0372_H + (04_H × y)、
RSCAN0TMTCSTSyHH: <RSCAN0_base> + 0373_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTCSTSp (p = y × 32 + 31 ～ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTCSTSp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.67 RSCAN0TMTCSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信未完了 1：送信完了
15 ～ 0	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信未完了 1：送信完了

TMTCSTSp フラグ（p = 0 ~ 95）

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、送信アボート要求なし）または “11_B”（送信完了、送信アボート要求あり）になると、対応する TMTCSTSp フラグは “1” になります。

TMTCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 20.68 にビット配置を示します。

表 20.68　TMTCSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15
64	4	0
65	4	1
. .	. .	. .
78	4	14
79	4	15
80	5	0
81	5	1
. .	. .	. .
94	5	14
95	5	15

20.3.51 RSCAN0TMTASTSy — 送信バッファ送信アボートステータスレジスタ（y = 0 ~ 2）

アクセス RSCAN0TMTASTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTASTSyL、RSCAN0TMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTASTSyLL、RSCAN0TMTASTSyLH、RSCAN0TMTASTSyHL、RSCAN0TMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTASTSy: <RSCAN0_base> + 0380_H + (04_H × y)

RSCAN0TMTASTSyL: <RSCAN0_base> + 0380_H + (04_H × y)、
RSCAN0TMTASTSyH: <RSCAN0_base> + 0382_H + (04_H × y)

RSCAN0TMTASTSyLL: <RSCAN0_base> + 0380_H + (04_H × y)、
RSCAN0TMTASTSyLH: <RSCAN0_base> + 0381_H + (04_H × y)、
RSCAN0TMTASTSyHL: <RSCAN0_base> + 0382_H + (04_H × y)、
RSCAN0TMTASTSyHH: <RSCAN0_base> + 0383_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31 ～ y x 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.69 RSCAN0TMTASTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信アボートなし 1：送信アボートあり
15 ～ 0	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信アボートなし 1：送信アボートあり

TMTASTSp フラグ（p = 0 ~ 95）

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 20.70 にビット配置を示します。

表 20.70　TMTASTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15
64	4	0
65	4	1
. .	. .	. .
78	4	14
79	4	15
80	5	0
81	5	1
. .	. .	. .
94	5	14
95	5	15

20.3.52 RSCAN0TMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（y = 0 ~ 2）

アクセス RSCAN0TMIECy レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0TMIECyL、RSCAN0TMIECyH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0TMIECyLL、RSCAN0TMIECyLH、RSCAN0TMIECyHL、RSCAN0TMIECyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0TMIECy: <RSCAN0_base> + 0390_H + (04_H × y)

RSCAN0TMIECyL: <RSCAN0_base> + 0390_H + (04_H × y)、
RSCAN0TMIECyH: <RSCAN0_base> + 0392_H + (04_H × y)

RSCAN0TMIECyLL: <RSCAN0_base> + 0390_H + (04_H × y)、
RSCAN0TMIECyLH: <RSCAN0_base> + 0391_H + (04_H × y)、
RSCAN0TMIECyHL: <RSCAN0_base> + 0392_H + (04_H × y)、
RSCAN0TMIECyHH: <RSCAN0_base> + 0393_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31 ～ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.71 RSCAN0TMIECy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可
15 ～ 0	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可

TMIEp ビット（p = 0 ~ 95）

このビットを “1” に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCAN0TMSTSp レジスタの TMTRM フラグが “0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは “0” にしてください。

表 20.72 にビット配置を示します。

表 20.72 TMIEp ビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15
64	4	0
65	4	1
. .	. .	. .
78	4	14
79	4	15
80	5	0
81	5	1
. .	. .	. .
94	5	14
95	5	15

20.3.53 RSCAN0TMIDp — 送信バッファ ID レジスタ（p = 0 ~ 95）

アクセス RSCAN0TMIDp レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0TMIDpL、RSCAN0TMIDpH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0TMIDpLL、RSCAN0TMIDpLH、RSCAN0TMIDpHL、RSCAN0TMIDpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0TMIDp: <RSCAN0_base> + 1000_H + (10_H × p)

RSCAN0TMIDpL: <RSCAN0_base> + 1000_H + (10_H × p)、
RSCAN0TMIDpH: <RSCAN0_base> + 1002_H + (10_H × p)

RSCAN0TMIDpLL: <RSCAN0_base> + 1000_H + (10_H × p)、
RSCAN0TMIDpLH: <RSCAN0_base> + 1001_H + (10_H × p)、
RSCAN0TMIDpHL: <RSCAN0_base> + 1002_H + (10_H × p)、
RSCAN0TMIDpHH: <RSCAN0_base> + 1003_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.73 RSCAN0TMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	TMRTR	送信バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	THLEN	送信履歴データ格納許可ビット 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～ 0	TMID[28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ～ b0 に ID を設定してください。b28 ～ b11 は “0” にしてください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファ・タイプ）が送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

20.3.54 RSCAN0TMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 95）

アクセス RSCAN0TMPTRp レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0TMPTRpH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0TMPTRpHL、RSCAN0TMPTRpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0TMPTRp: <RSCAN0_base> + 1004_H + (10_H × p)

RSCAN0TMPTRpH: <RSCAN0_base> + 1006_H + (10_H × p)

RSCAN0TMPTRpHL: <RSCAN0_base> + 1006_H + (10_H × p)、
RSCAN0TMPTRpHH: <RSCAN0_base> + 1007_H + (10_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC[3:0]				—	—	—	—	TMPTR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.74 RSCAN0TMPTRp レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	TMDLC[3:0]	送信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 × × × : 8 データバイト
27 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～ 16	TMPTR[7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCAN0TMIDp レジスタの TMRTR ビットが “0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、送信されるデータは、8 バイトになります。

TMRTR ビットが “1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

20.3.55 RSCAN0TMDF0p — 送信バッファデータフィールド 0 レジスタ（p = 0 ~ 95）

アクセス RSCAN0TMDF0p レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0TMDF0pL、RSCAN0TMDF0pH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0TMDF0pLL、RSCAN0TMDF0pLH、RSCAN0TMDF0pHL、RSCAN0TMDF0pHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0TMDF0p: <RSCAN0_base> + 1008_H + (10_H × p)

RSCAN0TMDF0pL: <RSCAN0_base> + 1008_H + (10_H × p)、
RSCAN0TMDF0pH: <RSCAN0_base> + $100A_H$ + (10_H × p)

RSCAN0TMDF0pLL: <RSCAN0_base> + 1008_H + (10_H × p)、
RSCAN0TMDF0pLH: <RSCAN0_base> + 1009_H + (10_H × p)、
RSCAN0TMDF0pHL: <RSCAN0_base> + $100A_H$ + (10_H × p)、
RSCAN0TMDF0pHH: <RSCAN0_base> + $100B_H$ + (10_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB3[7:0]								TMDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB1[7:0]								TMDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.75 RSCAN0TMDF0p レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	TMDB3[7:0]	送信バッファデータバイト 3
23 ～ 16	TMDB2[7:0]	送信バッファデータバイト 2
15 ～ 8	TMDB1[7:0]	送信バッファデータバイト 1
7 ～ 0	TMDB0[7:0]	送信バッファデータバイト 0 送信バッファのデータを設定してください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

20.3.56 RSCAN0TMDF1p — 送信バッファデータフィールド 1 レジスタ（p = 0 ~ 95）

アクセス RSCAN0TMDF1p レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0TMDF1pL、RSCAN0TMDF1pH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0TMDF1pLL、RSCAN0TMDF1pLH、RSCAN0TMDF1pHL、RSCAN0TMDF1pHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0TMDF1p: <RSCAN0_base> + $100C_H$ + (10_H × p)

RSCAN0TMDF1pL: <RSCAN0_base> + $100C_H$ + (10_H × p)、
RSCAN0TMDF1pH: <RSCAN0_base> + $100E_H$ + (10_H × p)

RSCAN0TMDF1pLL: <RSCAN0_base> + $100C_H$ + (10_H × p)、
RSCAN0TMDF1pLH: <RSCAN0_base> + $100D_H$ + (10_H × p)、
RSCAN0TMDF1pHL: <RSCAN0_base> + $100E_H$ + (10_H × p)、
RSCAN0TMDF1pHH: <RSCAN0_base> + $100F_H$ + (10_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB7[7:0]								TMDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB5[7:0]								TMDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.76 RSCAN0TMDF1p レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	TMDB7[7:0]	送信バッファデータバイト 7 送信バッファデータバイト 6 送信バッファデータバイト 5 送信バッファデータバイト 4 送信バッファのデータを設定してください。
23 ～ 16	TMDB6[7:0]	
15 ～ 8	TMDB5[7:0]	
7 ～ 0	TMDB4[7:0]	

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

20.3.57 RSCAN0TXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0 ~ 5）

アクセス RSCAN0TXQCCm レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0TXQCCmL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0TXQCCmLL、RSCAN0TXQCCmLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0TXQCCm: <RSCAN0_base> + $03A0_H$ + (04_H × m)

RSCAN0TXQCCmL: <RSCAN0_base> + $03A0_H$ + (04_H × m)

RSCAN0TXQCCmLL: <RSCAN0_base> + $03A0_H$ + (04_H × m)、
RSCAN0TXQCCmLH: <RSCAN0_base> + $03A1_H$ + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC[3:0]				—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 20.77 RSCAN0TXQCCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0：送信完了によって送信キューが空になったときに発生 1：1 メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0：送信キュー割り込み禁止 1：送信キュー割り込み許可
11 ～ 8	TXQDC[3:0]	送信キュー段数設定ビット 設定値を g（g = 2 ~ 15）とすると、g+1 の送信キューを使用できます。 “0” を設定すると、送信キューは使用できません。 “1” は設定しないでください。
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0：送信キューを使用しない 1：送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを “1” に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを “0” にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に (m × 16 + 15) から (m × 16 + 0) まで順番に割り付けられます。バッファの割り当て例については、**図 20.9** を参照してください。このビットはチャネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1” にすると送信キューを使用できます。このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。チャネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010_B” 以上に設定してから TXQE ビットを “1” にしてください。

20.3.58 RSCAN0TXQSTSm — 送信キューステータスレジスタ（m = 0 ~ 5）

アクセス RSCAN0TXQSTSm レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0TXQSTSmL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0TXQSTSmLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0TXQSTSm: <RSCAN0_base> + $03C0_H$ + (04_H × m)

RSCAN0TXQSTSmL: <RSCAN0_base> + $03C0_H$ + (04_H × m)

RSCAN0TXQSTSmLL: <RSCAN0_base> + $03C0_H$ + (04_H × m)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFLL	TXQEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注 1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 20.78 RSCAN0TXQSTSm レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合は “0” を書いてください。
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0：送信キューフルではない 1：送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0：送信キューにメッセージあり 1：送信キューにメッセージなし（送信キュー空）

TXQIF フラグ

RSCAN0TXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1” になります。

TXQIF フラグへの “0” 書き込み、またはチャネルリセットモード時、“0” になります。
TXQIF フラグは、RSCAN0TXQCCm レジスタの TXQE ビットを “0”（送信キューを使用しない）にしても “0” になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCAN0TXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で “0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャネルリセットモード時

TXQEMP フラグ

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは “0” になります。

次の条件で、“1” になります。

- TXQE ビットを “0”（送信キューを使用しない）にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

20.3.59 RSCAN0TXQPCTRm — 送信キューポインタ制御レジスタ（m = 0 ~ 5）

アクセス RSCAN0TXQPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0TXQPCTRmL レジスタは、16 ビット単位でライトのみ可能です。
RSCAN0TXQPCTRmLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN0TXQPCTRm: <RSCAN0_base> + $03E0_H$ + (04_H × m)

RSCAN0TXQPCTRmL: <RSCAN0_base> + $03E0_H$ + (04_H × m)

RSCAN0TXQPCTRmLL: <RSCAN0_base> + $03E0_H$ + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 20.79 RSCAN0TXQPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	TXQPC[7:0]	送信キューポインタ制御 “FF_H” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに “FF_H” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCAN0TMIDp、RSCAN0TMPTRp、RSCAN0TMDF0p、RSCAN0TMDF1p レジスタ（p = 15、31、47、63、79、95）に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN0TXQCCm レジスタの TXQE ビットが “1”（送信キューを使用する）で、RSCAN0TXQSTSm レジスタの TXQFLL フラグが “0”（フルではない）の場合にのみ行ってください。

20.3.60 RSCAN0THLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0 ~ 5）

アクセス RSCAN0THLCCm レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0THLCCmL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0THLCCmLL、RSCAN0THLCCmLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0THLCCm: <RSCAN0_base> + 0400_H + (04_H × m)

RSCAN0THLCCmL: <RSCAN0_base> + 0400_H + (04_H × m)

RSCAN0THLCCmLL: <RSCAN0_base> + 0400_H + (04_H × m)、
RSCAN0THLCCmLH: <RSCAN0_base> + 0401_H + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 20.80 RSCAN0THLCCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0：送受信 FIFO、送信キューからのエントリ 1：送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0：送信履歴バッファに 12 データ格納されたとき 1：1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0：送信履歴割り込み禁止 1：送信履歴割り込み許可
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0：送信履歴バッファを使用しない 1：送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを “1” に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが “0” の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1” にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

20.3.61 RSCAN0THLSTSm — 送信履歴ステータスレジスタ（m = 0 ~ 5）

アクセス RSCAN0THLSTSm レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0THLSTSmL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0THLSTSmLL レジスタは、8 ビット単位でリード／ライト可能です。
RSCAN0THLSTSmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0THLSTSm: <RSCAN0_base> + 0420_H + (04_H × m)

RSCAN0THLSTSmL: <RSCAN0_base> + 0420_H + (04_H × m)

RSCAN0THLSTSmLL: <RSCAN0_base> + 0420_H + (04_H × m)、
RSCAN0THLSTSmLH: <RSCAN0_base> + 0421_H + (04_H × m)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC[4:0]					—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 20.81 RSCAN0THLSTSm レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～ 8	THLMC[4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバフローフラグ 0：送信履歴バッファオーバフローではない 1：送信履歴バッファオーバフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0：送信履歴バッファフルではない 1：送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0：送信履歴バッファに未読データあり 1：送信履歴バッファに未読データなし（バッファ空）

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。

THLIF フラグ

RSCAN0THLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1” になります。

プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき “1” になります。この場合、新しいデータは破棄されます。プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLFLL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1” になります。格納数が 16 個より少なくなると “0” になります。RSCAN0THLCCm レジスタの THLE ビットが “0”（送信履歴バッファを使用しない）のとき、またはチャネルリセットモード時、“0” になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると “0” になります。

送信履歴バッファのすべてのデータを読むと “1” になります。RSCAN0THLCCm レジスタの THLE ビットを “0”（送信履歴バッファを使用しない）にしたとき、またはチャネルリセットモード時、“1” になります。

備　考

THLIF 、THLELT フラグを “0” にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いてください。

20.3.62 RSCAN0THLACCm — 送信履歴アクセスレジスタ（m = 0 ~ 5）

アクセス RSCAN0THLACCm レジスタは、32 ビット単位でリードのみです。
RSCAN0THLACCmL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0THLACCmLL、RSCAN0THLACCmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0THLACCm: <RSCAN0_base> + 1800_H + (04_H × m)

RSCAN0THLACCmL: <RSCAN0_base> + 1800_H + (04_H × m)

RSCAN0THLACCmLL: <RSCAN0_base> + 1800_H + (04_H × m)、
RSCAN0THLACCmLH: <RSCAN0_base> + 1801_H + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]								—	BN[3:0]				BT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.82 RSCAN0THLACCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ～ 8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 3	BN[3:0]	バッファ番号データ 送信元の送信バッファ／送受信 FIFO ／送信キュー番号が読めます。
2 ～ 0	BT[2:0]	バッファタイプデータ b2 b1 b0 0 0 1：送信バッファ 0 1 0：送受信 FIFO バッファ 1 0 0：送信キュー

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

20.3.63 RSCAN0THLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0 ~ 5）

アクセス RSCAN0THLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0THLPCTRmL レジスタは、16 ビット単位でライトのみ可能です。
RSCAN0THLPCTRmLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN0THLPCTRm: <RSCAN0_base> + 0440_H + (04_H × m)

RSCAN0THLPCTRmL: <RSCAN0_base> + 0440_H + (04_H × m)

RSCAN0THLPCTRmLL: <RSCAN0_base> + 0440_H + (04_H × m)、

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 20.83 RSCAN0THLPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	THLPC[7:0]	送信履歴リストポインタ制御 “FF_H” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに “FF_H” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCAN0THLSTSm レジスタの THLMC[4:0] ビット（送信履歴バッファ未読数カウンタ）の値が 1 減算されます。RSCAN0THLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FF_H” を書いてください。

なお、”FF_H” の書き込みは、RSCAN0THLCCm レジスタの THLE ビットが “1”（送信履歴バッファを使用する）で、RSCAN0THLSTSm レジスタの THLEMP フラグが “0” のときのみ行ってください。

20.3.64 RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCAN0GTSTCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GTSTCFGL、RSCAN0GTSTCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GTSTCFGLL、RSCAN0GTSTCFGHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GTSTCFG: <RSCAN0_base> + 0468_H

RSCAN0GTSTCFGL: <RSCAN0_base> + 0468_H、RSCAN0GTSTCFGH: <RSCAN0_base> + $046A_H$

RSCAN0GTSTCFGLL: <RSCAN0_base> + 0468_H、RSCAN0GTSTCFGHL: <RSCAN0_base> + $046A_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	C5ICBCE	C4ICBCE	C3ICBCE	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 20.84 RSCAN0GTSTCFG レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 16	RTMPS[6:0]	RAM テストページ設定ビット ページ 0（00_H）～ 56（38_H）ページの範囲で設定
15 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	C5ICBCE	CAN5 チャネル間通信テスト許可ビット 0：CAN5 チャネル間通信テスト禁止 1：CAN5 チャネル間通信テスト許可
4	C4ICBCE	CAN4 チャネル間通信テスト許可ビット 0：CAN4 チャネル間通信テスト禁止 1：CAN4 チャネル間通信テスト許可
3	C3ICBCE	CAN3 チャネル間通信テスト許可ビット 0：CAN3 チャネル間通信テスト禁止 1：CAN3 チャネル間通信テスト許可
2	C2ICBCE	CAN2 チャネル間通信テスト許可ビット 0：CAN2 チャネル間通信テスト禁止 1：CAN2 チャネル間通信テスト許可
1	C1ICBCE	CAN1 チャネル間通信テスト許可ビット 0：CAN1 チャネル間通信テスト禁止 1：CAN1 チャネル間通信テスト許可
0	C0ICBCE	CAN0 チャネル間通信テスト許可ビット 0：CAN0 チャネル間通信テスト禁止 1：CAN0 チャネル間通信テスト許可

RSCAN0GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ～ 38_H 以外の値を設定しないでください。

C5ICBCE ビット

“1” にすると、チャネル 5 のチャネル間通信テストが許可になります。

C4ICBCE ビット

“1” にすると、チャネル 4 のチャネル間通信テストが許可になります。

C3ICBCE ビット

“1” にすると、チャネル 3 のチャネル間通信テストが許可になります。

C2ICBCE ビット

“1” にすると、チャネル 2 のチャネル間通信テストが許可になります。

C1ICBCE ビット

“1” にすると、チャネル 1 のチャネル間通信テストが許可になります。

C0ICBCE ビット

“1” にすると、チャネル 0 のチャネル間通信テストが許可になります。

20.3.65 RSCAN0GTSTCTR — グローバルテスト制御レジスタ

アクセス RSCAN0GTSTCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0GTSTCTRL レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0GTSTCTRLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0GTSTCTR: <RSCAN0_base> + $046C_H$

RSCAN0GTSTCTRL: <RSCAN0_base> + $046C_H$

RSCAN0GTSTCTRLL: <RSCAN0_base> + $046C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 20.85 RSCAN0GTSTCTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0：RAM テスト禁止 1：RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャネル間通信テスト許可ビット 0：チャネル間通信テスト禁止 1：チャネル間通信テスト許可

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

1. RSCAN0GCTR レジスタの GMDC[1:0] ビットを “10_B”（グローバルテストモード）にする。
2. RTME ビットを “1” にする。
3. RTME ビットが “1” になったことを確認する。

ICBCTME ビット

“1” にすると、RSCAN0GTSTCFG レジスタの CmICBCE ビット（m = 0 ~ 5）を “1” に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。

20.3.66 RSCAN0GLOCKK — グローバルロックキーレジスタ

アクセス RSCAN0GLOCKK レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0GLOCKKL レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCAN0GLOCKK: <RSCAN0_base> + $047C_H$

RSCAN0GLOCKKL: <RSCAN0_base> + $047C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1

注 1. RS-CAN モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 20.86 RSCAN0GLOCKK レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	ライトする場合はリセット後の値を書いてください。
15 ～ 0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCAN0GLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、**「20.10.4.2 プロテクト解除手順」**を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCAN0GTSTCTR レジスタの RTME ビットへの “1” 書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域（<RSCAN0_base> + 0000_H ～ <RSCAN0_base> + $04FF_H$）に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

20.3.67 RSCAN0RPGACCr — RAM テストページアクセスレジスタ（r = 0 ~ 63）

アクセス RSCAN0RPGACCr レジスタは、32 ビット単位でリード／ライト可能です。
RSCAN0RPGACCrL、RSCAN0RPGACCrH レジスタは、16 ビット単位でリード／ライト可能です。
RSCAN0RPGACCrLL、RSCAN0RPGACCrLH、RSCAN0RPGACCrHL、RSCAN0RPGACCrHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCAN0RPGACCr: <RSCAN0_base> + 1900_H + (04_H × r)

RSCAN0RPGACCrL: <RSCAN0_base> + 1900_H + (04_H × r)、
RSCAN0RPGACCrH: <RSCAN0_base> + 1902_H + (04_H × r)

RSCAN0RPGACCrLL: <RSCAN0_base> + 1900_H + (04_H × r)、
RSCAN0RPGACCrLH: <RSCAN0_base> + 1901_H + (04_H × r)、
RSCAN0RPGACCrHL: <RSCAN0_base> + 1902_H + (04_H × r)、
RSCAN0RPGACCrHH: <RSCAN0_base> + 1903_H + (04_H × r)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.87 RSCAN0RPGACCr レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RDTA[31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RSCAN0RPGACCr レジスタは、グローバルテストモードでかつ RSCAN0GTSTCTR レジスタの RTME ビットが “1”（RAM テスト許可）の状態で書き換えてください。

RTME ビットが “1” のときに、RSCAN0RPGACCr レジスタへの読み書きができます。

20.4　割り込み要因

RS-CAN モジュールには 20 本の割り込みがあり、グローバル割り込みとチャネル割り込みに分類されます。

- グローバル割り込み（2 本）
  受信 FIFO 割り込み
  グローバルエラー割り込み
- チャネル割り込み（各チャネルごとに 3 本ずつ）
  CANm 送信割り込み（m = 0 ~ 5）
  - CANm 送信完了割り込み
  - CANm 送信アボート割り込み
  - CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時）
  - CANm 送信履歴割り込み
  - CANm 送信キュー割り込み

  CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時）
  CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが “1”（割り込み要求あり）になります。その場合、割り込み許可ビットを “1”（割り込み許可）にしていると、RS-CAN モジュールから割り込み要求が出力されます。（割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。）

割り込み要求フラグを “0”（割り込み要求なし）にするか、割り込み許可ビットを “0”（割り込み禁止）にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 20.88 に CAN 割り込み要因一覧を示します。**図 20.2** に CAN グローバル割り込みブロック図を、**図 20.3** に CAN チャネル割り込みブロック図を示します。

表 20.88 CAN 割り込み要因一覧

	割り込み要因		対応する割り込み要求フラグ	対応する割り込み許可ビット
グローバル割り込み	受信 FIFO	受信 FIFO 0	RSCAN0RFSTS0 レジスタの RFIF フラグ	RSCAN0RFCC0 レジスタの RFIE ビット
		受信 FIFO 1	RSCAN0RFSTS1 レジスタの RFIF フラグ	RSCAN0RFCC1 レジスタの RFIE ビット
		受信 FIFO 2	RSCAN0RFSTS2 レジスタの RFIF フラグ	RSCAN0RFCC2 レジスタの RFIE ビット
		受信 FIFO 3	RSCAN0RFSTS3 レジスタの RFIF フラグ	RSCAN0RFCC3 レジスタの RFIE ビット
		受信 FIFO 4	RSCAN0RFSTS4 レジスタの RFIF フラグ	RSCAN0RFCC4 レジスタの RFIE ビット
		受信 FIFO 5	RSCAN0RFSTS5 レジスタの RFIF フラグ	RSCAN0RFCC5 レジスタの RFIE ビット
		受信 FIFO 6	RSCAN0RFSTS6 レジスタの RFIF フラグ	RSCAN0RFCC6 レジスタの RFIE ビット
		受信 FIFO 7	RSCAN0RFSTS7 レジスタの RFIF フラグ	RSCAN0RFCC7 レジスタの RFIE ビット
	グローバルエラー		RSCAN0GERFL レジスタの DEF フラグ RSCAN0GERFL レジスタの MES フラグ RSCAN0GERFL レジスタの THLES フラグ	RSCAN0GCTR レジスタの DEIE ビット RSCAN0GCTR レジスタの MEIE ビット RSCAN0GCTR レジスタの THLEIE ビット
チャネル割り込み（m = 0 ~ 5）	CANm 送信	CANm 送信完了	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0TMIECy レジスタの TMIE ビット
		CANm 送信アボート	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0CmCTR レジスタの TAIE ビット
		CANm 送受信 FIFO 送信完了	RSCAN0CFSTSk レジスタの CFTXIF フラグ	RSCAN0CFCCk レジスタの CFTXIE ビット
		CANm 送信キュー	RSCAN0TXQSTSm レジスタの TXQIF フラグ	RSCAN0TXQCCm レジスタの TXQIE ビット
		CANm 送信履歴	RSCAN0THLSTSm レジスタの THLIF フラグ	RSCAN0THLCCm レジスタの THLIE ビット
	CANm 送受信 FIFO 受信完了		RSCAN0CFSTSk レジスタの CFRXIF フラグ	RSCAN0CFCCk レジスタの CFRXIE ビット
	CANm エラー		RSCAN0CmERFL レジスタの BEF フラグ RSCAN0CmERFL レジスタの ALF フラグ RSCAN0CmERFL レジスタの BLF フラグ RSCAN0CmERFL レジスタの OVLF フラグ RSCAN0CmERFL レジスタの BORF フラグ RSCAN0CmERFL レジスタの BOEF フラグ RSCAN0CmERFL レジスタの EPF フラグ RSCAN0CmERFL レジスタの EWF フラグ	RSCAN0CmCTR レジスタの BEIE ビット RSCAN0CmCTR レジスタの ALIE ビット RSCAN0CmCTR レジスタの BLIE ビット RSCAN0CmCTR レジスタの OLIE ビット RSCAN0CmCTR レジスタの BORIE ビット RSCAN0CmCTR レジスタの BOEIE ビット RSCAN0CmCTR レジスタの EPIE ビット RSCAN0CmCTR レジスタの EWIE ビット

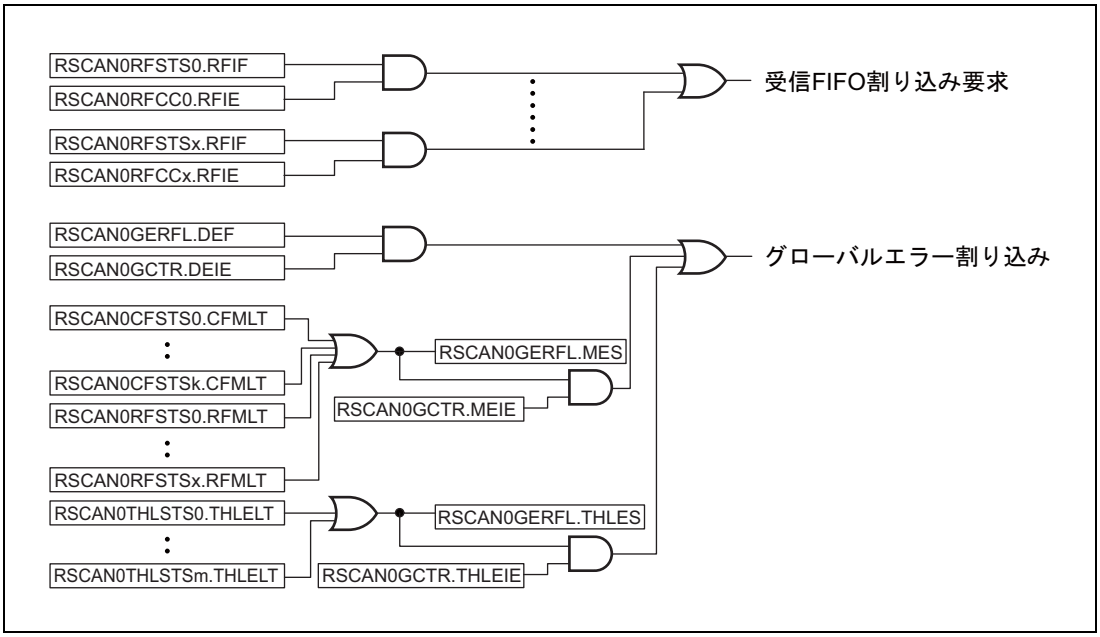


図 20.2　CAN グローバル割り込みブロック図

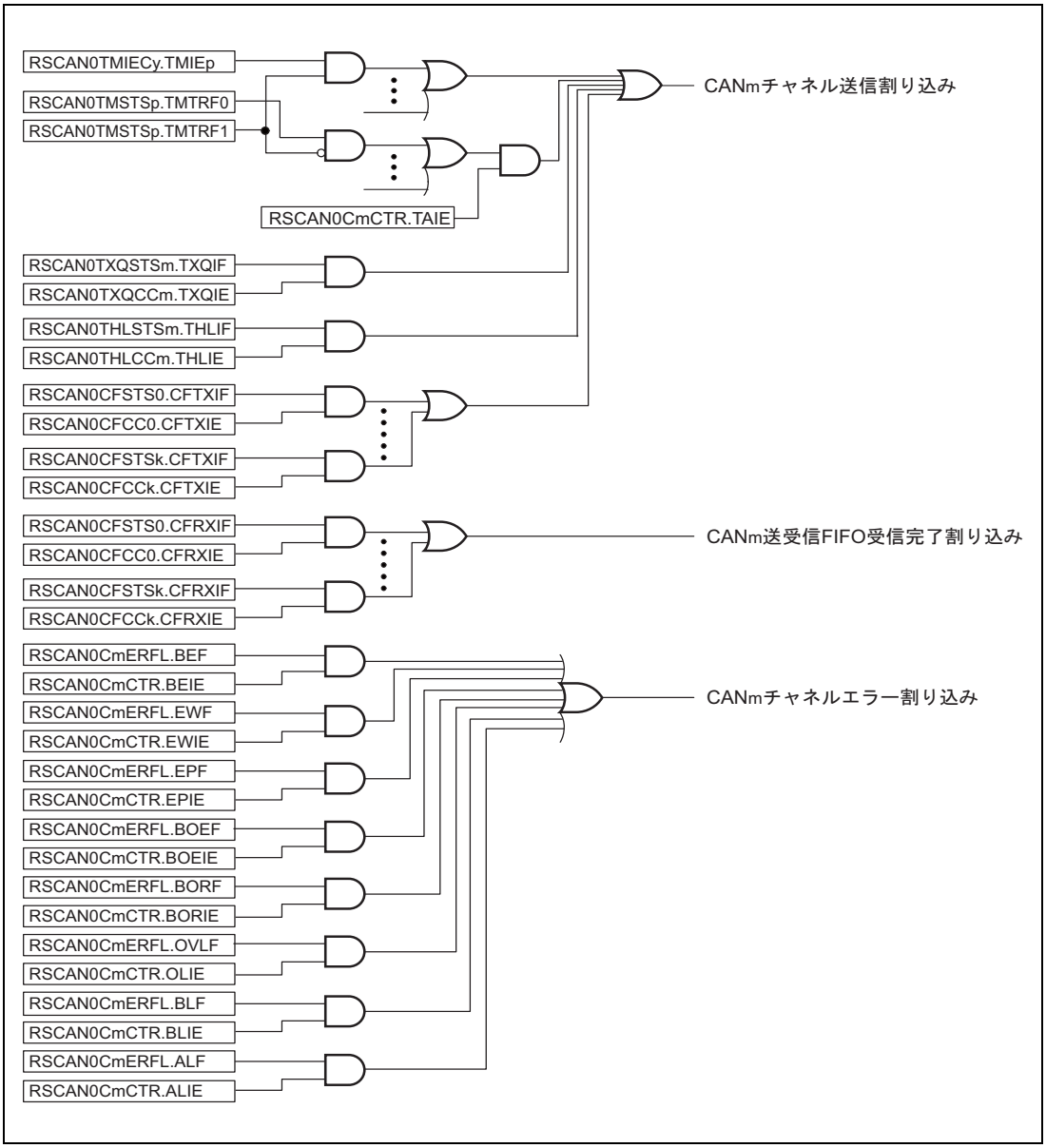


図 20.3 CAN チャネル割り込みブロック図

20.5 CAN モード

RS-CAN モジュールには、RS-CAN モジュール全体の状態を制御するグローバルモードが 4 種類と、個々のチャネル状態を制御するチャネルモードが 4 種類あります。**「20.5.1 グローバルモード」**にグローバルモード、**「20.5.2 チャネルモード」**にチャネルモードの詳細を示します。

- グローバルストップモード : モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード : モジュール全体の初期設定を行う。
- グローバルテストモード : テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード : モジュール全体を動作可能にする。
- チャネルストップモード : チャネルのクロックが停止する。
- チャネルリセットモード : チャネルの初期設定を行う。
- チャネル待機モード : CAN 通信を停止させたり、チャネルのテストを許可する。
- チャネル通信モード : CAN 通信を行う。

20.5.1 グローバルモード

図 20.4 にグローバルモードの遷移図を示します。

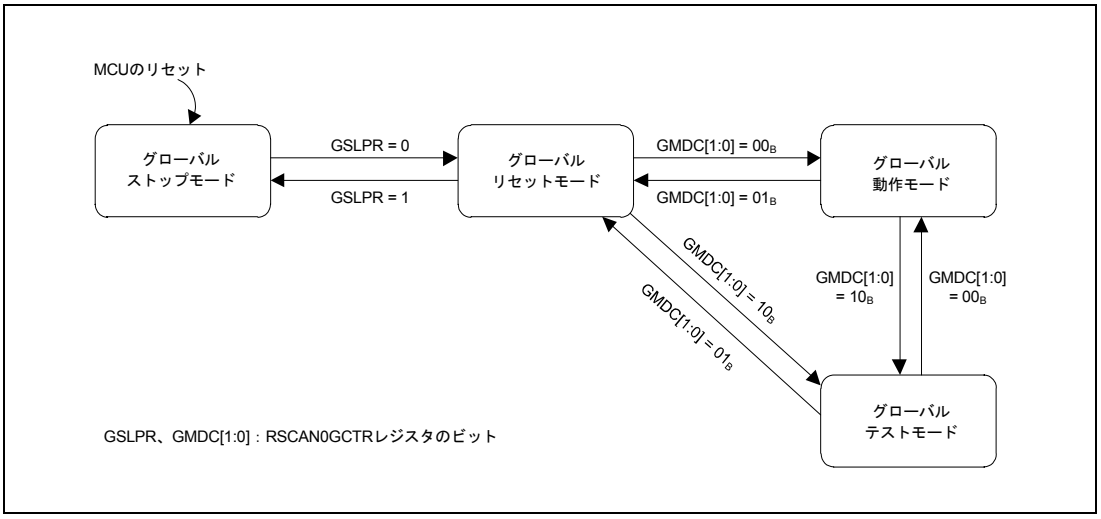


図 20.4 グローバルモードの遷移図

グローバルモードの遷移により、チャネルのモードが変化する場合があります。**表 20.89** にグローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化を示します。

表 20.89 グローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化

設定前のチャネルモード	設定後のチャネルモード			
	GMDC[1:0] = 00_B GSLPR = 0 （グローバル動作）	GMDC[1:0] = 10_B GSLPR = 0 （グローバルテスト）	GMDC[1:0] = 01_B GSLPR = 0 （グローバルリセット）	GMDC[1:0] = 01_B GSLPR = 1 （グローバルストップ）
チャネル通信	チャネル通信	チャネル待機	チャネルリセット	遷移禁止
チャネル待機	チャネル待機	チャネル待機	チャネルリセット	遷移禁止
チャネルリセット	チャネルリセット	チャネルリセット	チャネルリセット	チャネルストップ
チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ

注 1. GMDC[1:0] ビットと GSLPR ビットは、RSCAN0GCTR レジスタのビット。

表 20.90 にグローバルモードの遷移時間を示します。

表 20.90 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclk の 3 クロック
グローバルリセット	グローバルストップ	pclk の 3 クロック
グローバルリセット	グローバルテスト	pclk の 10 クロック
グローバルリセット	グローバル動作	pclk の 10 クロック
グローバルテスト	グローバルリセット	2 CANm ビットタイム
グローバルテスト	グローバル動作	pclk の 3 クロック
グローバル動作	グローバルリセット	2 CANm ビットタイム
グローバル動作	グローバルテスト	CAN フレームの 2 つ分[注 1]

注 1. 使用チャネルの内、最も遅い通信速度の CAN フレーム時間になります。

20.5.1.1 グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

MCU のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RSCAN0GCTR レジスタの GSLPR ビットを “1”（グローバルストップモード）にすると、各 RSCAN0CmCTR レジスタの CSLPR ビットが “1”（チャネルストップモード）になります。その後、すべてのチャネルが強制的にチャネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

20.5.1.2 グローバルリセットモード

グローバルリセットモードで RS-CAN モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。**表 20.93** と**表 20.94** に初期化されるレジスタ一覧を示します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを “01_B” に設定すると、各 RSCAN0CmCTR レジスタ（m = 0 ~ 5）の CHMDC[1:0] ビットが “01_B”（チャネルリセットモード）になります。すべてのチャネルが強制的にチャネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャネルリセットモードまたはチャネルストップモードである

チャネルはモード遷移しません（CHMDC[1:0] ビットがすでに “01_B” に設定されているため）。

20.5.1.3 グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべての CAN 通信は停止します。

RSCAN0GCTR レジスタの GMDC[1:0] ビット を “10_B” に設定すると、各 RSCAN0CmCTR レジスタの CHMDC[1:0] ビットが “10_B”（チャネル待機モード）になります。すべてのチャネルが強制的にチャネル待機モードへ遷移すると、グローバルテストモードになります。チャネルストップモード、チャネルリセットモード、またはチャネル待機モードであるチャネルは、モード遷移しません。

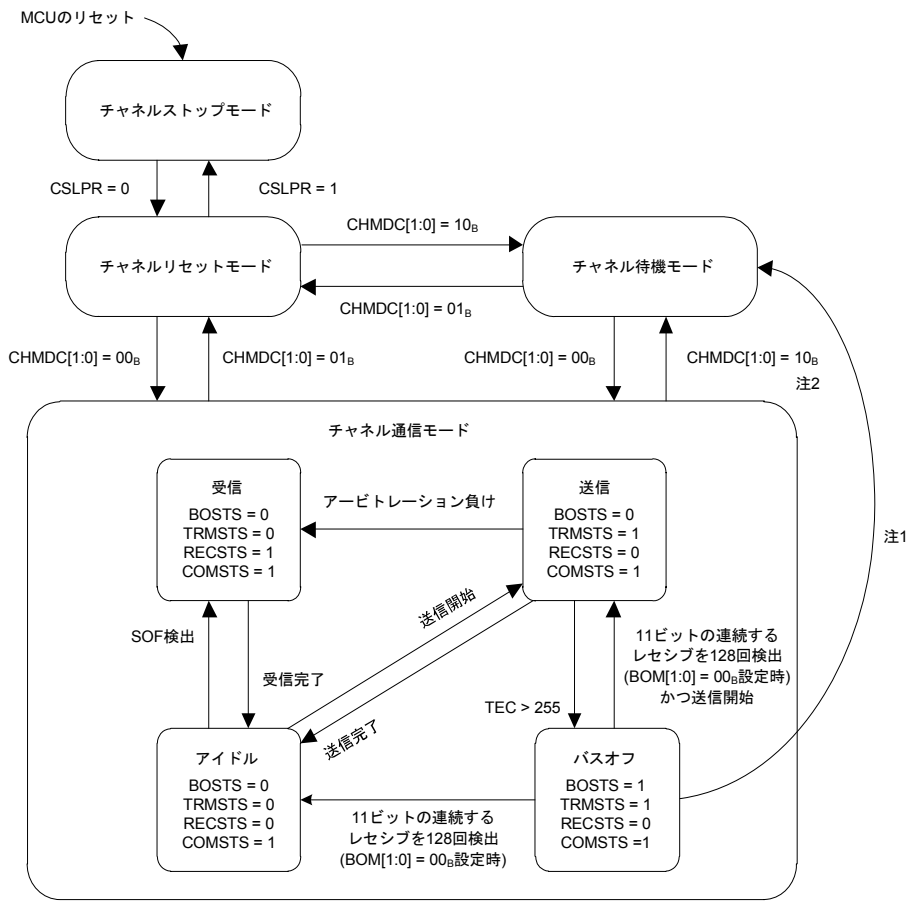
20.5.1.4 グローバル動作モード

グローバル動作モードでは RS-CAN モジュールが動作します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを “00_B” にすると、グローバル動作モードに遷移します。

20.5.2 チャネルモード

図 20.5 にチャネルモードの状態遷移図を示します。**表 20.91** にチャネルモードの遷移時間を示します。



備考 CHMDC[1:0]、CSLPR、BOM[1:0]：RSCAN0CmCTR レジスタのビット (m = 0 ～ 5)
BOSTS、TRMSTS、RECSTS、COMSTS：RSCAN0CmSTS レジスタのビット

注 1. バスオフ状態から待機モードへの遷移タイミング
- BOM[1:0] = 01_B の場合：TEC > 255 になると、チャネル待機モードへ遷移
- BOM[1:0] = 10_B の場合：11 ビットの連続するレセシブを 128 回検出したとき、チャネル待機モードへ遷移
- BOM[1:0] = 11_B の場合：CHMDC[1:0] ビットを “10_B” にすると、チャネル待機モードへ遷移

注 2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。

図 20.5 チャネルモードの状態遷移図

表 20.91 チャネルモードの遷移時間 (1/2)

遷移前のモード	遷移後のモード	最大遷移時間
チャネルストップ	チャネルリセット	pclk の 3 クロック
チャネルリセット	チャネルストップ	pclk の 3 クロック
チャネルリセット	チャネル待機	3 CANm ビットタイム
チャネルリセット	チャネル通信	3 CANm ビットタイム
チャネル待機	チャネルリセット	2 CANm ビットタイム

表 20.91 チャネルモードの遷移時間 (2/2)

遷移前のモード	遷移後のモード	最大遷移時間
チャネル待機	チャネル通信	4 CANm ビットタイム
チャネル通信	チャネルリセット	2 CANm ビットタイム
チャネル通信	チャネル待機	CANm フレームの 2 つ分

20.5.2.1 チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの 読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、MCU のリセット後、チャネルストップモードになります。また、チャネルリセットモード時に、RSCAN0CmCTR レジスタ（m = 0 ~ 5）の CSLPR ビットを “1”（チャネルストップモード）にすると、チャネルストップモードに遷移します。CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えないでください。

20.5.2.2 チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。**表 20.93** に初期化されるレジスタ一覧を示します。

CAN 通信中に RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。**表 20.92** に CAN 通信中に CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）に設定したときの動作を示します。

20.5.2.3 チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 20.92 に CAN 通信中に CHMDC[1:0] ビットを “10_B”（チャネル待機モード）に設定したときの動作を示します。

表 20.92 チャネルリセット／チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット（CHMDC[1:0] = “01_B”）	受信の終了を待たずにチャネルリセットモードに遷移注 1	送信の終了を待たずにチャネルリセットモードに遷移注 1	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機注 3（CHMDC[1:0] = “10_B”）	受信の終了を待ってチャネル待機モードに遷移注 2	送信の終了を待ってチャネル待機モードに遷移	【BOM[1:0] ビットが “00_B” の場合】 バスオフ復帰後のみ、チャネル待機モード遷移（CHMDC[1:0] = “10_B”）が実行される 【BOM[1:0] ビットが “01_B” の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが “10_B” の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが “11_B” の場合】 CHMDC[1:0] ビットに “10_B” が設定されるとすぐにチャネル待機モードに遷移（バスオフ復帰の終了は待たない）

注 1. 通信が終了した後にチャネルリセットモードへ遷移するには、まず CHMDC[1:0] ビットを “10_B” に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0] ビットを “01_B” に設定して

ください。

注 2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出すると RSCAN0CmERFL レジスタの BLF フラグが “1” になるので、CAN バスの状態を確認できます。

注 3. チャネルリセットモードからチャネル待機モードへ遷移する場合、チャネルリセットモードで RSCAN0CmCFG レジスタを設定してからチャネル待機モードへ遷移してください。

20.5.2.4 チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- アイドル：受信も送信もしていない状態。
- 受信：他のノードから送られてきたメッセージを受信している状態。
- 送信：メッセージを送信している状態。
- バスオフ：CAN 通信から遮断されている状態。

RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “00_B” にすると、チャネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RSCAN0CmSTS レジスタ（m = 0 ~ 5）の COMSTS フラグが “1”（通信可能な状態）になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

20.5.2.5 バスオフ状態

CAN 仕様の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。

バスオフ状態からの復帰条件は、RSCAN0CmCTR レジスタの BOM[1:0] ビットで設定します。

- BOM[1:0] ビットが “00_B” のとき：
  CAN 仕様に準拠し、11 ビットの連続するレセシブを 128 回検出後に、バスオフ状態から CAN 通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化され、RSCAN0CmERFL レジスタの BORF フラグが “1”（バスオフ復帰検出）になり、バスオフ復帰割り込み要求が発生します。バスオフ状態で、RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “10_B”（チャネル待機モード）にすると、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。

- BOM[1:0] ビットが “01_B” のとき：
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10_B” になり、チャネル待機モードへ遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化されます。BORF フラグは “1” にならず、バスオフ復帰割り込み要求は発生しません。

- BOM[1:0] ビットが “10_B” のとき：
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10_B” になり、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化され、BORF フラグが “1” になり、バスオフ復帰割り込み要求が発生します。

- BOM[1:0] ビットが “11_B” のとき：
  バスオフ状態時に、CHMDC[1:0] ビットを “10_B” にすると、バスオフ復帰を待たずにチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化されます。BORF フラグは “1” になりません。またバスオフ復帰割り込

み要求は発生しません。
ただし、CHMDC[1:0] ビットを “10_B” にする前に 11 ビットの連続するレセシブを 128 回検出し、エラーアクティブ状態に復帰した場合、BORF フラグが “1” になり、バスオフ復帰割り込み要求が発生します。

RS-CAN モジュールによるチャネル待機モードへの遷移と、プログラムによる CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0] ビット を “01_B” または “10_B” に設定した場合のチャネル待機モードへの自動的な遷移は、CHMDC[1:0] ビットが “00_B”（チャネル通信モード）のときのみ発生します。

また、RSCAN0CmCTR レジスタの RTBO ビットを “1” にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに “1” を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORF フラグは “1” になりません。TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化されます。RTBO ビットは、BOM[1:0] ビットが “00_B” のときのみ “1” を書いてください。バスオフ状態以外で、RTBO ビットに “1” を書いても無視され、RTBO ビットは直ちに “0” になります。

表 20.93 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧

レジスタ	ビット / フラグ
RSCAN0CmCTR レジスタ	CTMS[1:0], CTME, CHMDC[1:0]
RSCAN0CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, REC[7:0], TEC[7:0]
RSCAN0CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCAN0CFCCk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時 : CFE
RSCAN0CFSTSk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時 : CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCAN0CFTISTS レジスタ	CFkTXIF
RSCAN0TMCp レジスタ	TMOM, TMTAR, TMTR
RSCAN0TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCAN0TMTRSTSy レジスタ	TMTRSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TMTARSTSy レジスタ	TMTARSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TMTCSTSy レジスタ	TMTCSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TMTASTSy レジスタ	TMTASTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TXQCCm レジスタ	TXQE
RSCAN0TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCAN0THLCCm レジスタ	THLE
RSCAN0THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCAN0GTINTSTS0 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm（m = 0 ~ 3）
RSCAN0GTINTSTS1 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm（m = 4 ~ 5）

表 20.94 グローバルリセットモードでのみ初期化されるレジスター覧

レジスタ	ビット／フラグ
RSCAN0GSTS レジスタ	GHLTSTS
RSCAN0GERFL レジスタ	THLES, MES, DEF
RSCAN0GTSC レジスタ	TS[15:0]
RSCAN0RMNDy レジスタ	RMNSq
RSCAN0RFCCx レジスタ	RFE
RSCAN0RFSTSx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCAN0CFCCk レジスタ	送受信 FIFO が受信モード時 : CFE
RSCAN0CFSTSk レジスタ	送受信 FIFO バッファが受信モード時 : CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCAN0FESTS レジスタ	CFkEMP, RFxEMP
RSCAN0FFSTS レジスタ	CFkFLL, RFxFLL
RSCAN0FMSTS レジスタ	CFkMLT, RFxMLT
RSCAN0RFISTS レジスタ	RFxIF
RSCAN0CFRISTS レジスタ	CFkRXIF
RSCAN0GTSTCFG レジスタ	RTMPS[6:0], C0ICBCE, C1ICBCE, C2ICBCE, C3ICBCE, C4ICBCE, C5ICBCE
RSCAN0GTSTCTR レジスタ	RTME, ICBCTME

20.6 受信機能

受信の種類には次の 2 つがあります。

- 受信バッファによる受信 :
  全チャネルで共有する受信バッファは、0 ～ 96 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信 :
  全チャネルで共有する受信 FIFO バッファが 8 本と、各チャネル専用の送受信 FIFO バッファが 1 チャネルにつき 3 本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

20.6.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は 1 チャネルにつき最大 128 で、モジュール全体では、64 × チャネル数 となります（本モジュールは 6 チャネル搭載しているため、最大 384 ルール登録できます）。受信ルールは各チャネルごとに設定してください。他のチャネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。**図 20.6** に受信ルール登録の説明図を示します。

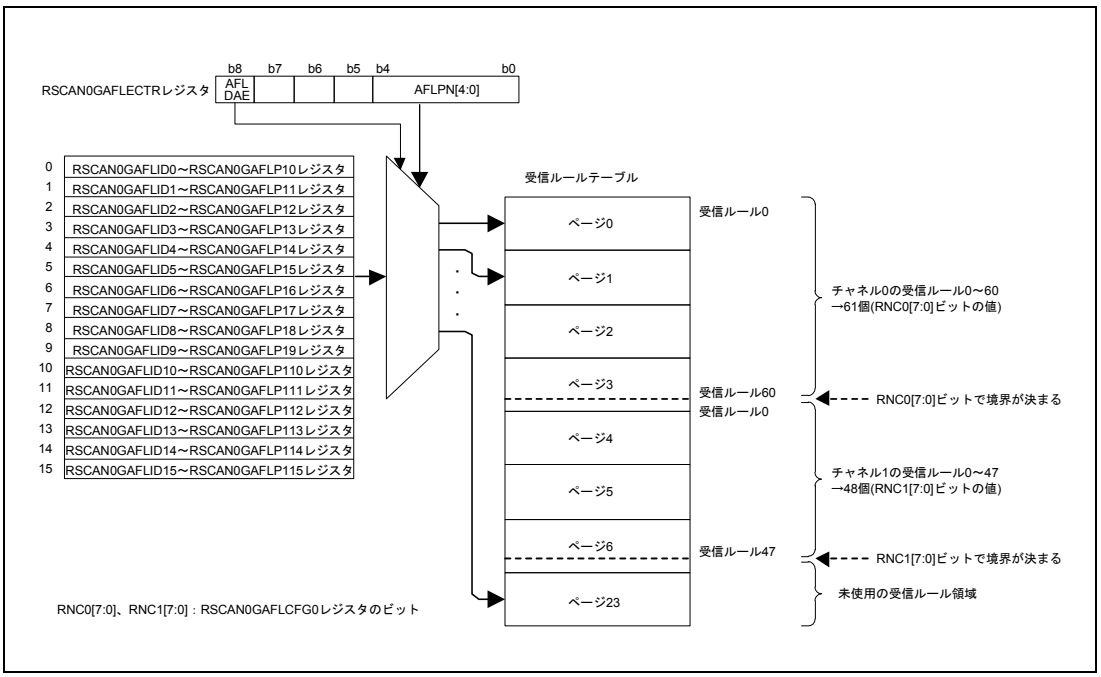


図 20.6 受信ルール登録（チャネル 0,1 を設定する場合）

注 意

各チャネルの受信ルールは、連続して設定してください。
チャネル 0 の受信ルールとチャネル 1 の受信ルールを交互に設定することはできません。

各受信ルールは RSCAN0GAFLIDj、RSCAN0GAFLMj、RSCAN0GAFLP0j、RSCAN0GAFLP1j レジスタ（j = 0 ~ 15）の 16 バイトで構成されています。RSCAN0GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCAN0GAFLMj レジスタではマスク設定、RSCAN0GAFLP0j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCAN0GAFLP1j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

20.6.1.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCAN0GAFLMj レジスタで “0”（ビットを比較しない）にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

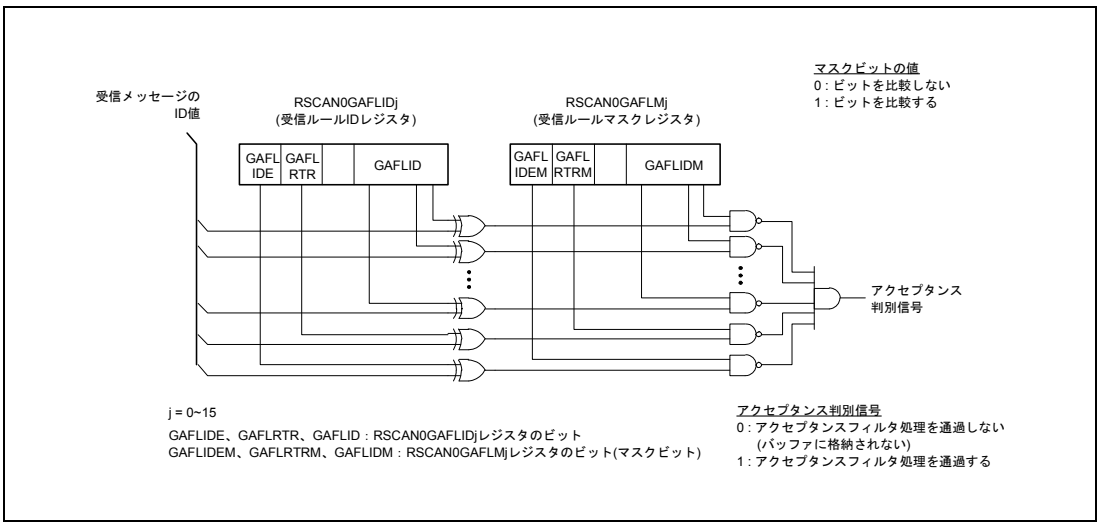


図 20.7 アクセプタンスフィルタ機能

20.6.1.2 DLC フィルタ処理

RSCAN0GCFG レジスタの DCE ビットを “1”（DLC チェック許可）にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCAN0GCFG レジスタの DRE ビットが “0”（DLC 置換禁止）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCAN0GCFG レジスタの DRE ビットが “1”（DLC 置換許可）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00_H” が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCAN0GERFL レジスタの DEF フラグが “1”（DLC エラー）となります。

20.6.1.3 ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCAN0GAFLP0j レジスタ（j = 0 ~ 15）の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCAN0GAFLP1j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

20.6.1.4 ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCAN0GAFLP0j レジスタの GAFLPTR[11:0] ビットに設定します。

20.6.1.5 ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCAN0GCFG レジスタの MME ビットを “1”（ミラー機能許可）にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RSCAN0GAFLIDj レジスタの GAFLLB ビットを “0” にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを “1” にした受信ルールがデータ処理に使用されます。

20.6.1.6 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF（スタートオブフレーム）のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCAN0GCFG レジスタの TSBTCS[2:0]、TSSS ビットで、pclk/2 または CANm ビットタイムクロック（m = 0 ~ 5）から選択できます。選択したクロック源を RSCAN0GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックをクロック源として使用する場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。pclk/2 をクロック源として使用する場合、タイムスタンプ機能はチャネルモードに影響されません。

タイムスタンプカウンタ値は RSCAN0GCTR レジスタの TSRST ビットを “1” にすると、“0000_H” にリセットされます。

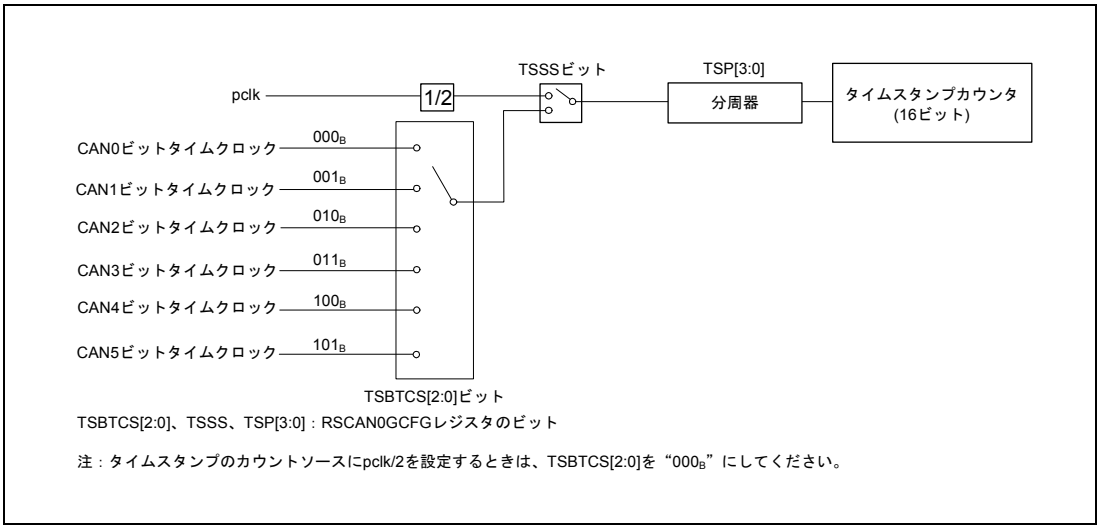


図 20.8　タイムスタンプ機能のブロック図

20.7　送信機能

送信の種類には、次の 3 つがあります。

- 送信バッファによる送信 :
  1 チャネルにつき 16 バッファあります。
- 送受信 FIFO バッファ（送信モード）による送信 :
  1 チャネルにつき 3 本ずつあります。1 本の FIFO バッファに最大 128 メッセージ格納できます。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信 :
  1 チャネルにつき最大 16 の送信バッファを送信キューに割り付けできます。送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID 順に送信されます。

図 20.9 に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。

図 20.9　送信キューの割り付けと送受信 FIFO バッファのリンク

20.7.1 送信の優先順位判定

同一チャネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。

判定方法は次の 2 つから選択することができます。

- ID 優先 （TPRI ビットが “0”）
- 送信バッファ番号優先 （TPRI ビットが “1”）

RSCAN0GCFG レジスタの TPRI ビットの設定は、すべての CAN チャネルで有効です。

TPRI ビットを “0” にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2 つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを “1” にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定に従って、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

20.7.2 送信バッファを用いた送信

送信バッファの送信要求ビット（RSCAN0TMCp レジスタの TMTR ビット）を “1”（送信を要求する）にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCAN0TMSTSp レジスタ（p = 0 ~ 95）の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは “10_B”（送信完了 : 送信アボート要求なし）または “11_B”（送信完了 : 送信アボート要求あり）になります。

20.7.2.1 送信アボート機能

RSCAN0TMSTSp レジスタの TMTRM ビットが “1”（送信要求あり）である送信バッファにおいて、RSCAN0TMCp レジスタの TMTAR ビットを “1”（送信アボートを要求する）にすると、送信要求が取り消されます。送信アボートが完了すると、RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になり、送信要求が取り消されます（TMTRM ビットが “0” になる）。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを “1” にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

20.7.2.2 ワンショット送信機能（再送信禁止機能）

RSCAN0TMCp レジスタの TMOM ビットを “1”（ワンショット送信許可）にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは “10_B” または “11_B” になります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは “01_B”（送信アボート完了）になります。

20.7.3 FIFO バッファによる送信

1 本の送受信 FIFO バッファに、RSCAN0CFCCk レジスタ（k = 0 ~ 17）の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。一番最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCAN0CFCCk レジスタの CFE ビットを “1”（送受信 FIFO バッファを使用する）にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にすると、次に示すタイミングで CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

20.7.3.1 インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCAN0CFCCk レジスタの CFE ビットを “1” にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します（CAN プロトコルの EOF7 の後）。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを “0” にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCAN0CFCCk レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに “00_H” を設定してください。

RSCAN0CFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを “00_B” にすると pclk/2 を ITRCP[15:0] ビットの値で分周したクロック、“10_B” にすると pclk/2 を ITRCP[15:0] ビットの値 ×10 で分周したクロック、“$x1_B$” にすると CANm ビットタイムクロックがカウントソースになります。

ITRCP[15:0] ビットの設定値を M、CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが “00_B” の場合（fPBA は pclk の周波数）：

$$\frac{1}{f_{PBA}} \times 2 \times M \times N$$

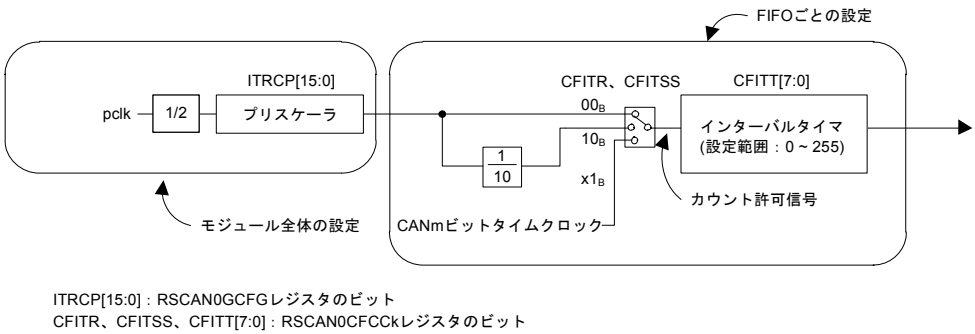
- CFITR、CFITSS ビットが “10_B” の場合 :

$$\frac{1}{fPBA} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが “$x1_B$” の場合（fCANBIT は CANm ビットタイムクロックの周波数）:

$$\frac{1}{fCANBIT} \times N$$

図 20.10 にインターバルタイマのブロック図を示します。



備考 m = 0 ~ 5、k = 0 ~ 17

図 20.10 インターバルタイマのブロック図

図 20.11 にインターバルタイマのタイミング図を示します。

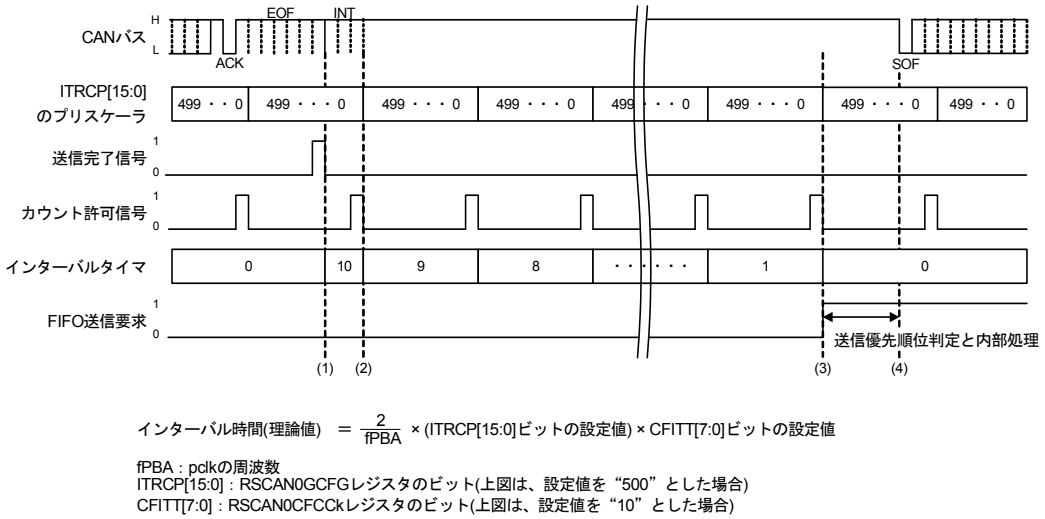


図 20.11 インターバルタイマのタイミング図

(1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケーラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの 1 カウント分の誤差が発生します。

(2) 次のカウント許可信号で、インターバルタイマは “1” 減算されます。

(3) インターバルタイマが “0” になると、送受信 FIFO バッファから送信要求が出されます。

(4) 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CANm ビットタイムクロックの 3 クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャネルで発生すると、最大で pclk の 582 クロック分遅延する場合があります。

20.7.4 送信キューによる送信

送信キューは 1 チャネルごとに 3 ～ 16 バッファまで割り付けられ、送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2 つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCAN0TXQCCm レジスタの TXQE ビットを “0” にすると、送信キューが使用不可になります。TXQE ビットを “0” にするとき、次に示すタイミングで RSCAN0TXQSTSm レジスタの TXQEMP フラグは “1”（送信キュー空）になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

TXQE ビットを “0” にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを “1” にする前に、TXQEMP フラグが “1” になったことを確認してください。

20.7.5 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各チャネルごとに 1 つの送信履歴バッファを持ち、送信履歴バッファには 16 個の送信履歴データを格納できます。

RSCAN0THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCAN0CFIDk レジスタ（k = 0 ~ 17）の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、最大で pclk の 152 クロック分遅延する場合があります。

- バッファタイプ　001_B: 送信バッファ
  010_B : 送受信 FIFO バッファ
  100_B : 送信キュー
- バッファ番号　送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。これはバッファタイプに依存します。**表 20.95** を参照してください。
- ラベルデータ　送信メッセージのラベル情報

表 20.95 送信履歴データのバッファ番号

バッファタイプ / バッファ番号	001_B	010_B	100_B
0000_B	送信バッファ 16 × m + 0	RSCAN0CFCCk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号（k = 0 ~ 17）	送信を行った送信キューに割り付けられた送信バッファの番号
0001_B	送信バッファ 16 × m + 1		
0010_B	送信バッファ 16 × m + 2		
0011_B	送信バッファ 16 × m + 3		
0100_B	送信バッファ 16 × m + 4		
0101_B	送信バッファ 16 × m + 5		
0110_B	送信バッファ 16 × m + 6		
0111_B	送信バッファ 16 × m + 7		
1000_B	送信バッファ 16 × m + 8		
1001_B	送信バッファ 16 × m + 9		
1010_B	送信バッファ 16 × m + 10		
1011_B	送信バッファ 16 × m + 11		
1100_B	送信バッファ 16 × m + 12		
1101_B	送信バッファ 16 × m + 13		
1110_B	送信バッファ 16 × m + 14		
1111_B	送信バッファ 16 × m + 15		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、RSCAN0THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとすると、バッファがオーバフローし、新しいデータは破棄されます。

20.8　ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャネルから送信することができます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットを “10_B”（ゲートウェイモード）に設定し、送信するチャネルの送受信 FIFO バッファを RSCAN0GAFLP1j レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されます。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイ モードに設定した送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFE ビットを “0” にすると、使用不可になります。CFE ビットを “0” にすると、次に示すタイミングで CFEMP フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

20.9 テスト機能

テスト機能は、通信テストとグローバルテストの 2 つに分類できます。

- 通信テスト : チャネルごとに行うテスト
  - 標準テストモード
  - リッスンオンリモード
  - セルフテストモード 0（外部ループバックモード）
  - セルフテストモード 1（内部ループバックモード）
- グローバルテスト : モジュール全体で行うテスト
  - RAM テスト（読み書きテスト）
  - チャネル間通信テスト

20.9.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。

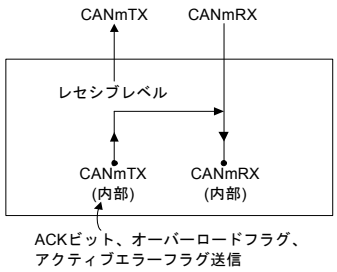
20.9.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 20.12 にリッスンオンリモード選択時の接続を示します。



備考 m = 0 ~ 5

図 20.12 リッスンオンリモード選択時の接続

20.9.3 セルフテストモード（ループバックモード）

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他の CAN ノードが送信したメッセージは、RSCAN0GAFLIDj レジスタ（j = 0 ~ 15）の GAFLLB ビットを “0”（他の CAN ノードが送信したメッセージを受信時）にした受信ルールとのみ比較されます。

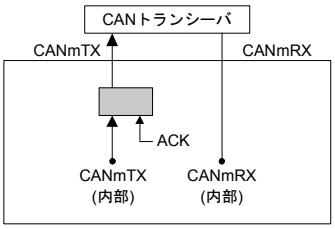
ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

20.9.3.1 セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 は CAN トランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

図 20.13 にセルフテストモード 0 選択時の接続を示します。



備考 m = 0 ~ 5

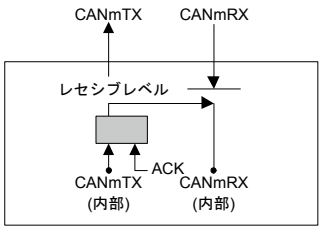
図 20.13 セルフテストモード 0 選択時の接続

20.9.3.2 セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

セルフテストモード 1 では内部 CANmTX 端子（m = 0 ~ 5）から内部 CANmRX 端子への内部フィードバックを行います。外部 CANmRX 端子の入力は、切り離されます。外部 CANmTX 端子はレセシブビットのみ出力します。

図 20.14 にセルフテストモード 1 選択時の接続を示します。



備考　m = 0 ~ 5

図 20.14　セルフテストモード 1 選択時の接続

20.9.4　RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCAN0GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCAN0RPGACCr レジスタ（r = 0 ~ 63）から読み出し／書き込みができます。有効な総 RAM サイズを以下に示します。

- RSCAN0: 15168 バイト ($3B40_H$)

20.9.5　チャネル間通信テスト

チャネル間通信テスト機能を使用すると、CAN チャネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャネルは外部の CAN バスから切り離されます。

各チャネルに対して送受信の設定を行ってから、チャネル通信モードで送受信を開始してください。テストに参加しないチャネルは、チャネル待機モードにしてください。

図 20.15 にチャネル間通信テスト接続図を示します。

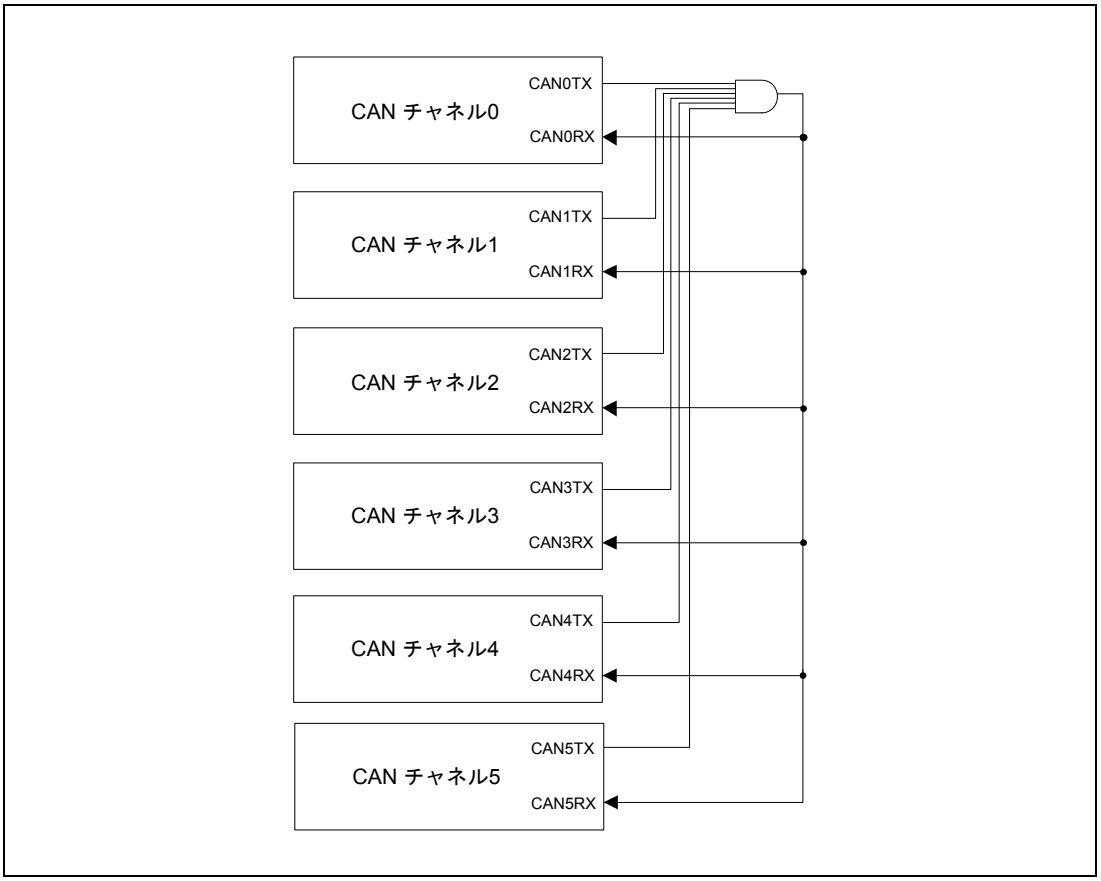


図 20.15　チャネル間通信テスト接続図

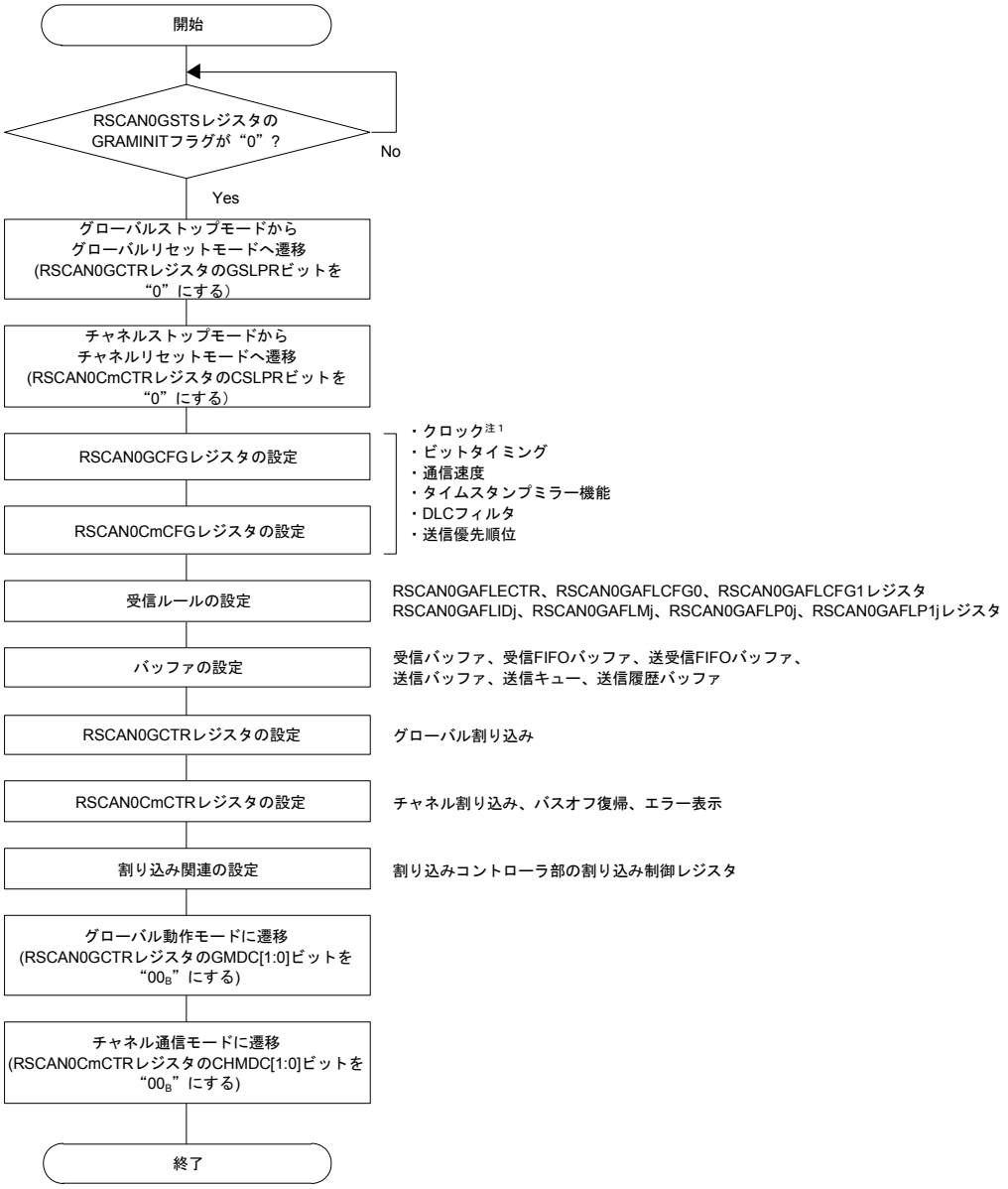
20.10 RS-CAN の設定手順

20.10.1 初期設定

MCU のリセット後に RS-CAN モジュールは CAN 用 RAM の初期化を行います。RAM の初期化時間を以下に示します。

- RSCAN0: pclk の 7586 サイクル

RAM の初期化中は、RSCAN0GSTS レジスタの GRAMINIT フラグが “1”（CAN 用 RAM クリア中）になり、初期化が終了すると “0”（CAN 用 RAM クリア完了）になります。GRAMINIT フラグが “0” になった後に CAN の設定を行ってください。**図 20.16** に MCU のリセット後の設定手順を示します。



注 1.　CAN クロックの周波数設定は、**「表 20.7　RH850/F1M における転送レート・使用チャネル数での動作周波数範囲」**を参照してください。

備考　m = 0 ~ 5、j = 0 ~ 15

図 20.16　MCU のリセット後の設定手順

20.10.1.1 クロックの設定

RS-CAN モジュールのクロック源である CAN クロック（fCAN）を設定します。
RSCAN0GCFG レジスタの DCS ビットで、clkc、または clk_xincan を選択します。

20.10.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャネルごとに RSCAN0CmCFG レジスタで設定できます。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum（以下 Tq）単位で調整できます。1Tq は、RSCAN0GCFG レジスタの DCS ビットで選択したクロックを RSCAN0CmCFG レジスタの BRP[9:0] ビットで分周したクロック（CANmTq クロック）の周期になります。

図 20.17 にビットタイミング図を示します。**表 20.96** にビットタイミングの設定例を示します。

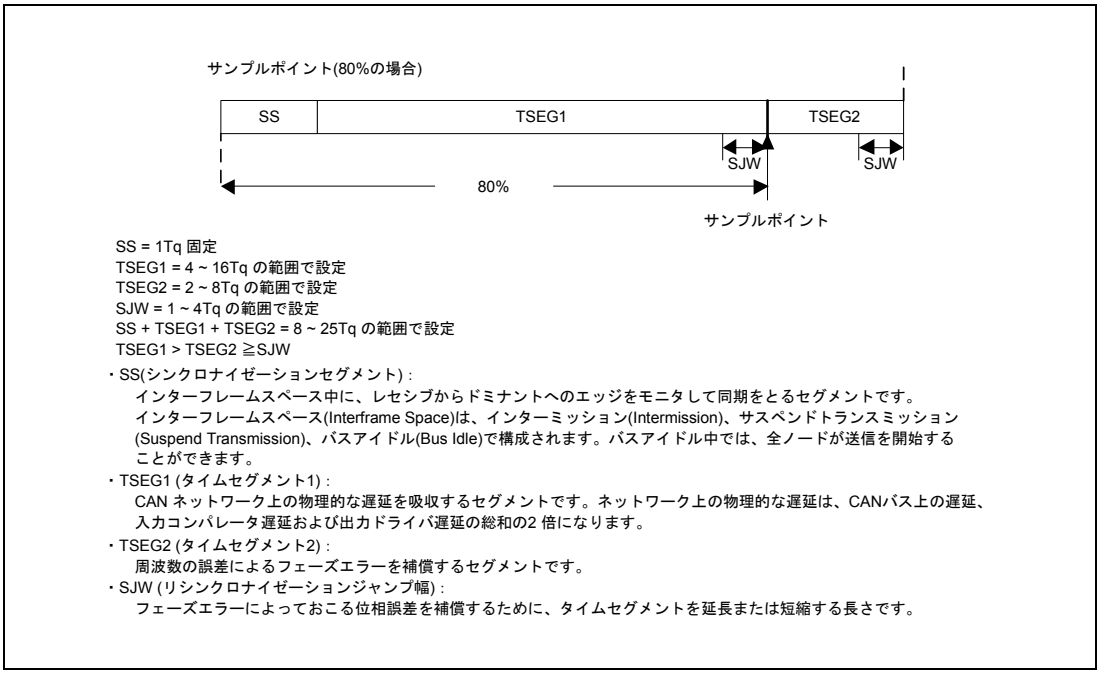


図 20.17 ビットタイミング図

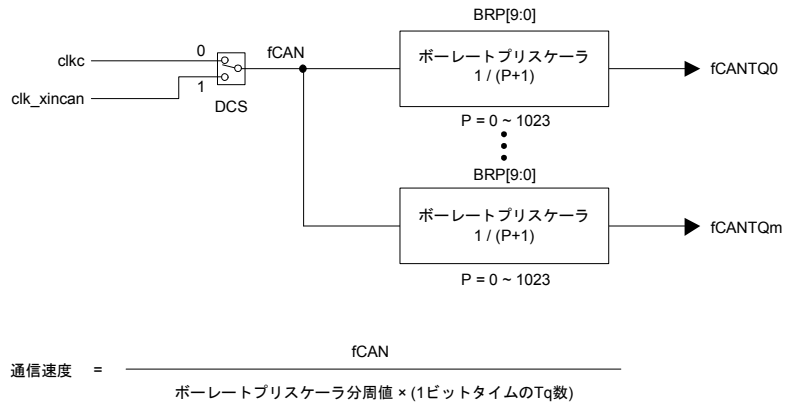
表 20.96 ビットタイミングの設定例

1 ビット	設定値（Tq）				サンプルポイント（%）※ 図 20.17 を参照
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00

20.10.1.3 通信速度の設定

CAN の通信速度は、fCAN、ボーレートプリスケーラ分周値（RSCAN0CmCFG レジスタの BRP[9:0] ビット）、および 1 ビットタイムの Tq 数を用いてチャネルごとに設定します。

図 20.18 に CAN クロック制御ブロック図、**表 20.97** に通信速度の設定例を示します。



備考 m = 0 ~ 5
DCS：RSCAN0GCFG レジスタのビット
BRP[9:0]：RSCAN0CmCFG レジスタのビット
fCAN：CAN クロック
fCANTQm：CANm Tq クロック

図 20.18 CAN クロック制御ブロック図

表 20.97 通信速度の設定例

通信速度 ＼ fCAN	40MHz	32MHz	24MHz	16MHz	8MHz
1Mbps	8Tq（5） 20Tq（2）	8Tq（4） 16Tq（2）	8Tq（3） 12Tq（2） 24Tq（1）	8Tq（2） 16Tq（1）	8Tq（1）
500Kbps	8Tq（10） 20Tq（4）	8Tq（8） 16Tq（4）	8Tq（6） 12Tq（4） 24Tq（2）	8Tq（4） 16Tq（2）	8Tq（2） 16Tq（1）
250Kbps	8Tq（20） 20Tq（8）	8Tq（16） 16Tq（8）	8Tq（12） 12Tq（8） 24Tq（4）	8Tq（8） 16Tq（4）	8Tq（4） 16Tq（2）
125Kbps	8Tq（40） 20Tq（16）	8Tq（32） 16Tq（16）	8Tq（24） 12Tq（16） 24Tq（8）	8Tq（16） 16Tq（8）	8Tq（8） 16Tq（4）

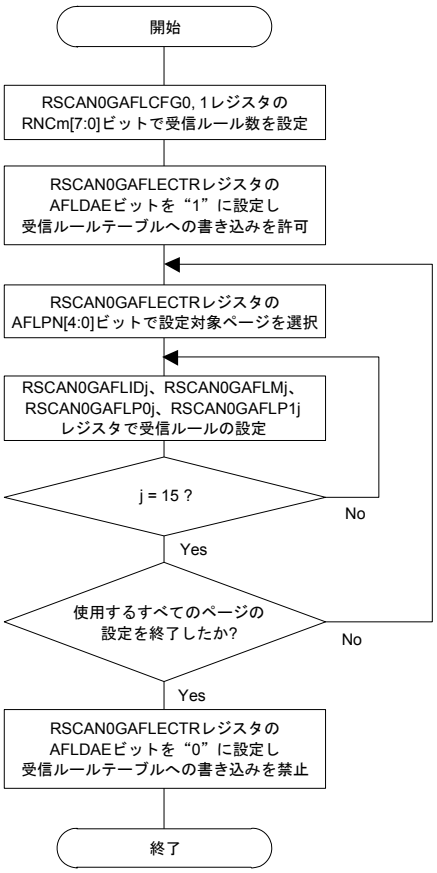
備考 （ ）内の数字はボーレートプリスケーラ分周値

20.10.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCAN0GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ～ 23 を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可／禁止を設定します。

図 20.19 に受信ルール設定手順について示します。



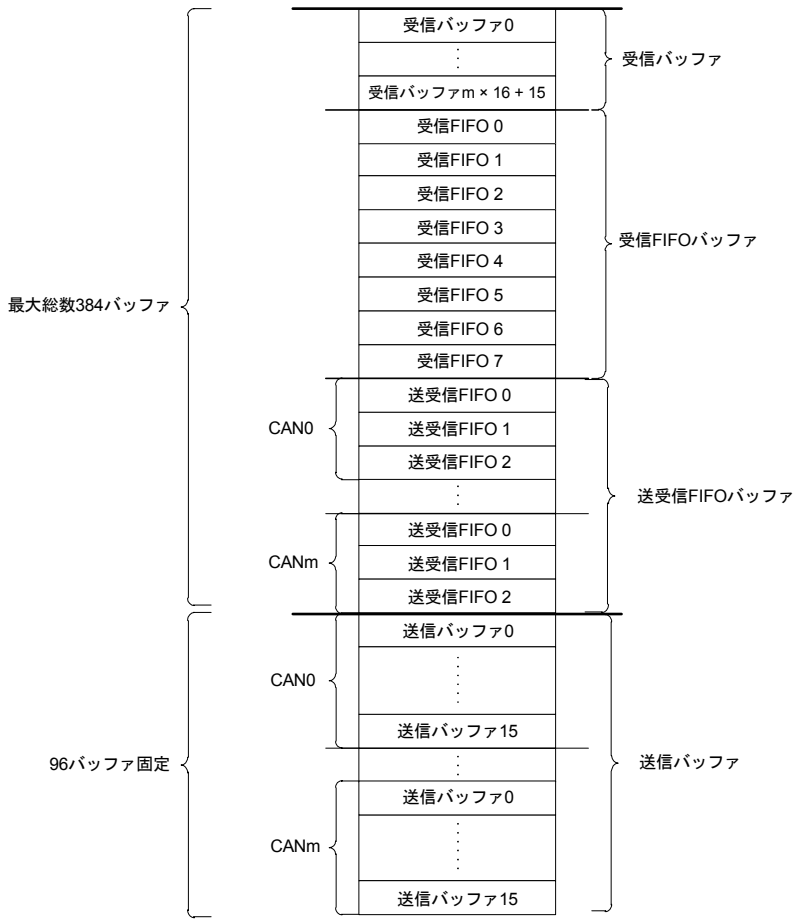
備考 m = 0 ~ 5、j = 0 ~ 15

図 20.19 受信ルール設定手順

20.10.1.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信FIFO バッファはリンクする送信バッファを設定します。

図 20.20 にバッファの構成を示します。**図 20.21** に各種バッファの設定手順を示します。



備考 m = 0 ~ 5

図 20.20 バッファの構成

注 意

受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ、送信バッファは連続して配置されます。

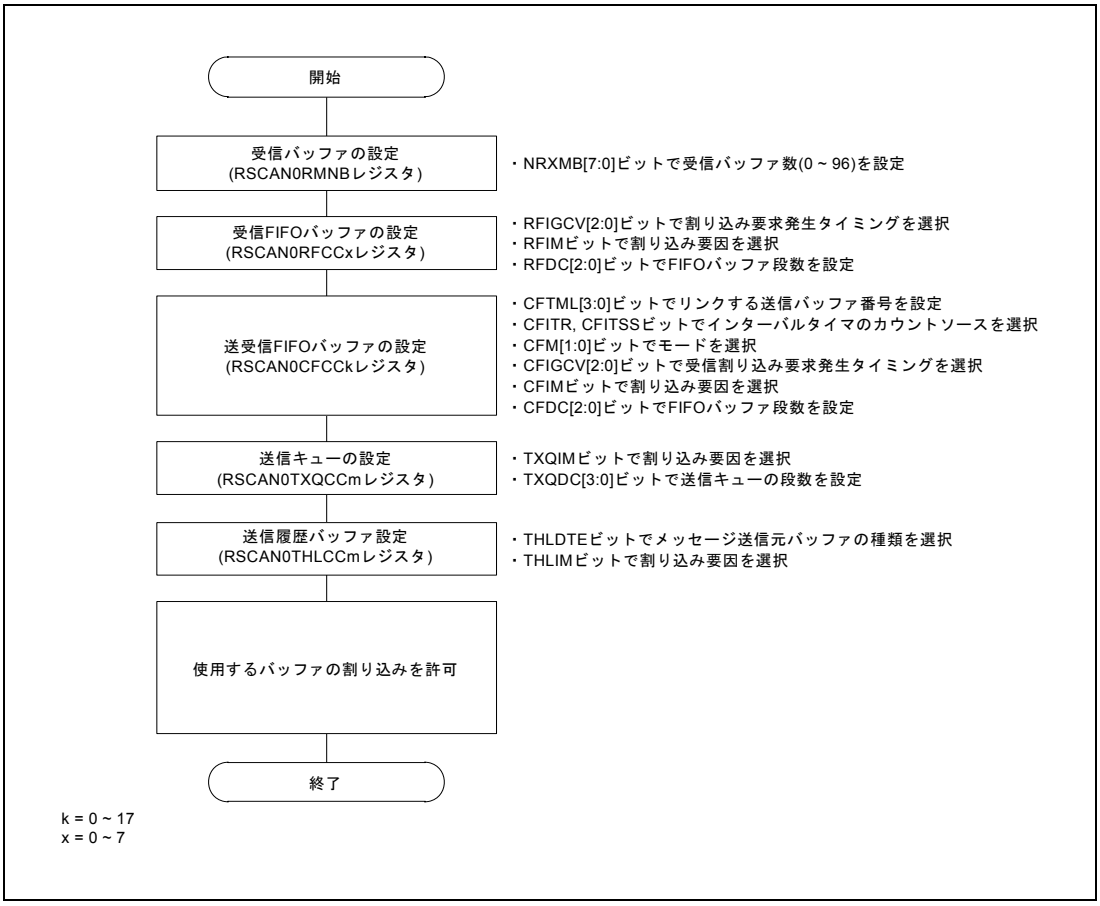
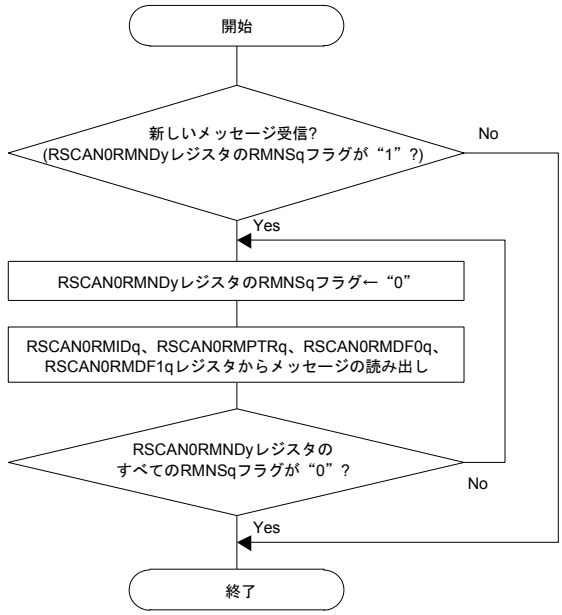


図 20.21　各種バッファの設定手順

20.10.2 受信手順

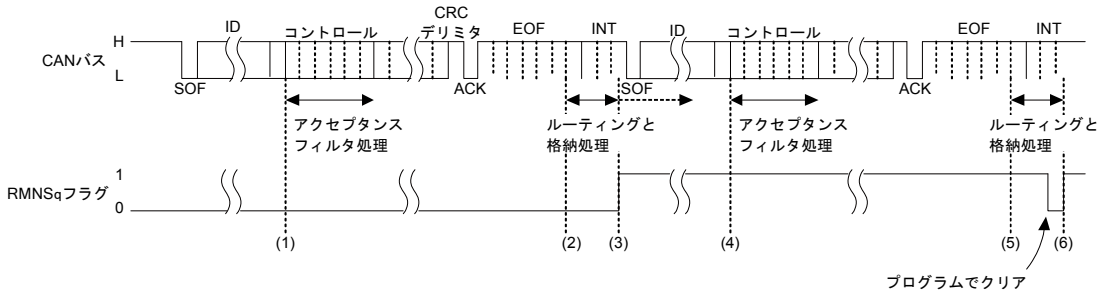
20.10.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCAN0RMNDy レジスタの RMNSq フラグ（y = 0 ~ 2、q = 0 ~ 95）が “1”（受信バッファ q に新しいメッセージあり）になります。メッセージは RSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDF0q、RSCAN0RMDF1q レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。**図 20.22** に受信バッファの読み出し手順を示します。



備考 y = 0 ~ 2、q = 0 ~ 95

図 20.22 受信バッファの読み出し手順



備考 y = 0 ~ 2、q = 0 ~ 95
RMNSq：RSCAN0RMNDy レジスタのフラグ

図 20.23 受信バッファの受信タイミング図

(1) メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。
メッセージの格納処理が始まると、対応する RSCAN0RMNDy レジスタの RMNSq フラグが “1”（受信バッファに新しいメッセージあり）になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っていると、ルーティング処理や格納処理が遅延する場合があります。

(4) 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(5) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(6) 対応する RMNSq フラグを “0”（受信バッファに新しいメッセージなし）にクリアした場合、メッセージの格納処理が始まると、再度 “1” になります。RMNSq フラグが “1” のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを “0” にできません。

20.10.2.2 FIFO バッファの読み出し手順

受信メッセージが 1 つ以上の受信 FIFO バッファまたは、受信モード／ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ（RSCAN0RFSTSx レジスタ（x = 0 ~ 7）の RFMC[7:0] ビットまたは RSCAN0CFSTSk レジスタ（k = 0 ~ 17）の CFMC[7:0] ビット）の値が 1 加算されます。このとき、RSCAN0RFCCx レジスタの RFIE ビット（受信 FIFO 割り込み許可ビット）や RSCAN0CFCCk レジスタの CFRXIE ビット（送受信 FIFO 受信割り込み許可ビット）を “1” にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCAN0RFIDx、RSCAN0RFPTRx、RSCAN0RFDF0x、RSCAN0RFDF1x レジスタから、送受信 FIFO バッファの場合は RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値（RSCAN0RFCCx レジスタの RFDC[2:0] ビットまたは RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した値）に一致したとき、RFFLL フラグまたは CFFLL フラグが “1”（FIFO バッファフル）になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCAN0RFSTSx レジスタの RFEMP フラグまたは RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（FIFO バッファ空）になります。

割り込み要求フラグ（RSCAN0RFSTSx レジスタの RFIF フラグまたは RSCAN0CFSTSk レジスタの CFRXIF フラグ）が “1”（割り込み要求あり）の状態で RFE ビットや CFE ビットを “0”（FIFO バッファを使用しない）にすると、割り込み要求フラグは自動的に “0” になりません。割り込み要求フラグはプログラムで “0” にしてください。

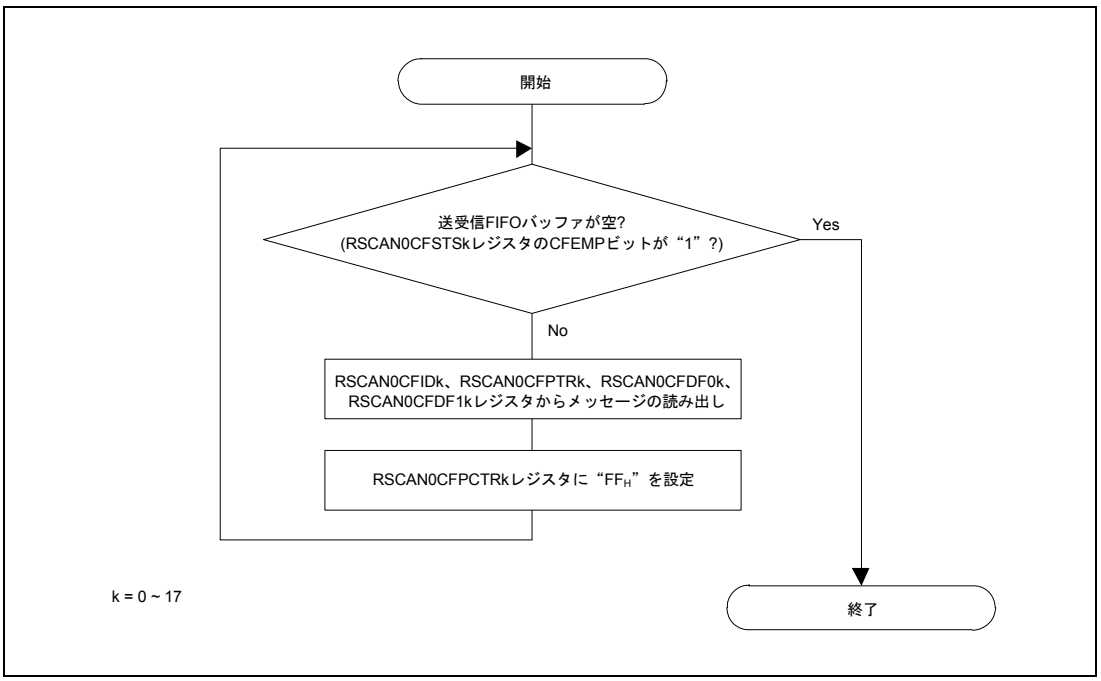


図 20.24 送受信 FIFO バッファの読み出し手順

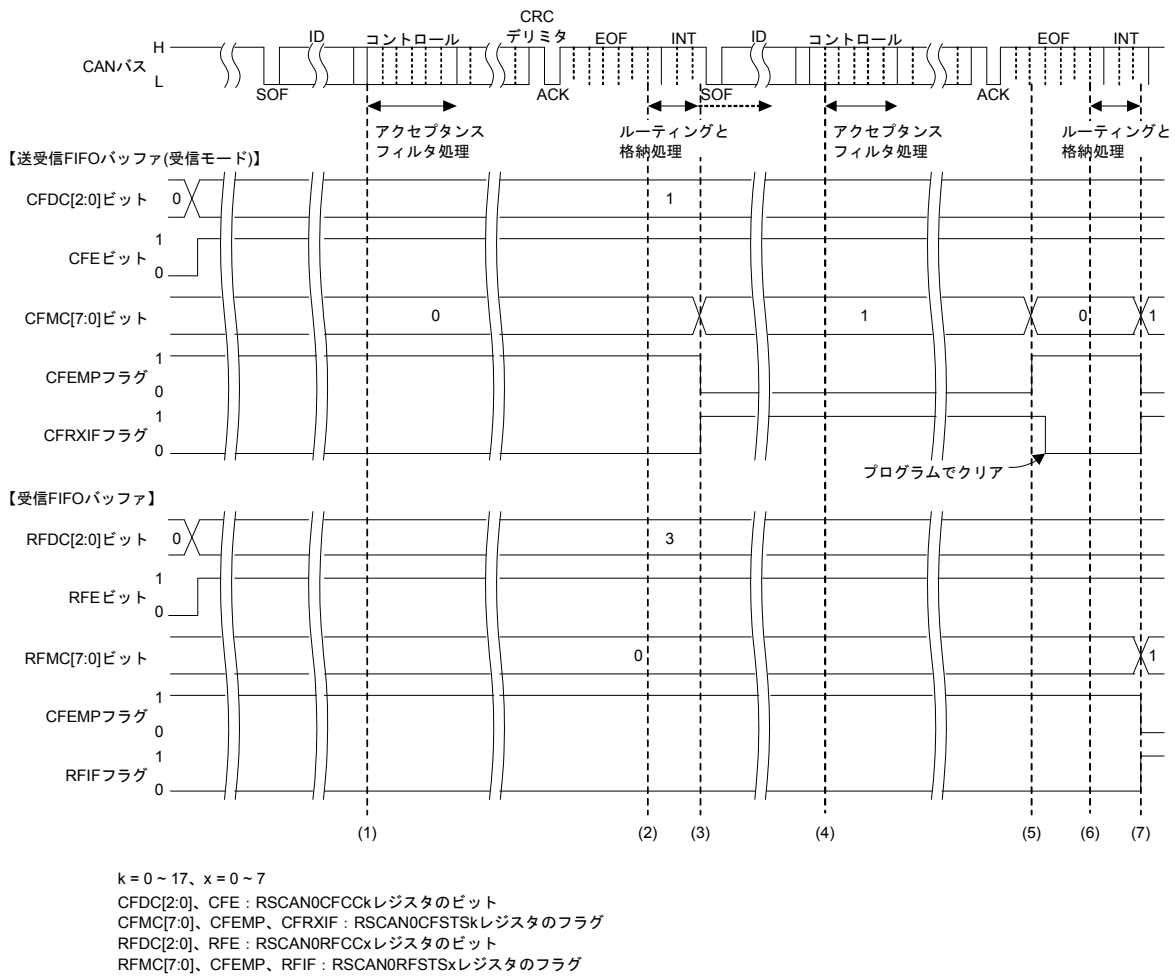


図 20.25 FIFO バッファの受信タイミング図

(1) メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(3) DLC フィルタ処理を通過し、かつ RSCAN0CFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCAN0CFCCk レジスタの CFDC[2:0] ビットの値が “001_B” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて “01_H” になります。RSCAN0CFCCk レジスタの CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCAN0CFSTSk レジスタの CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。CFRXIF フラグはプログラムで “0” にできます。

(4) 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(5) RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから受信メッセージを読み出し、RSCAN0CFPCTRk レジスタに “FF_H” を書きます。それにより、RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 減算されて “00_H” になり、RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

(6) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

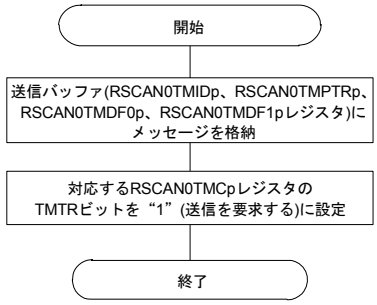
(7) DLC フィルタ処理を通過し、かつ CFE ビットが “1”（送受信 FIFO バッファを使用する）、CFDC[2:0] ビットの値が “001_B” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが 1 加算されて “01_H” になります。CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。
また、RSCAN0RFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）、RSCAN0RFCCx レジスタの RFDC[2:0] ビットの値が “001_B” 以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCAN0RFSTSx レジスタの RFMC[7:0] ビットが 1 加算されて “01_H” になります。RSCAN0RFCCx レジスタの RFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCAN0RFSTSx レジスタの RFIF フラグが “1”（受信 FIFO 割り込み要求あり）になります。

20.10.3 送信手順

20.10.3.1 送信バッファからの送信手順

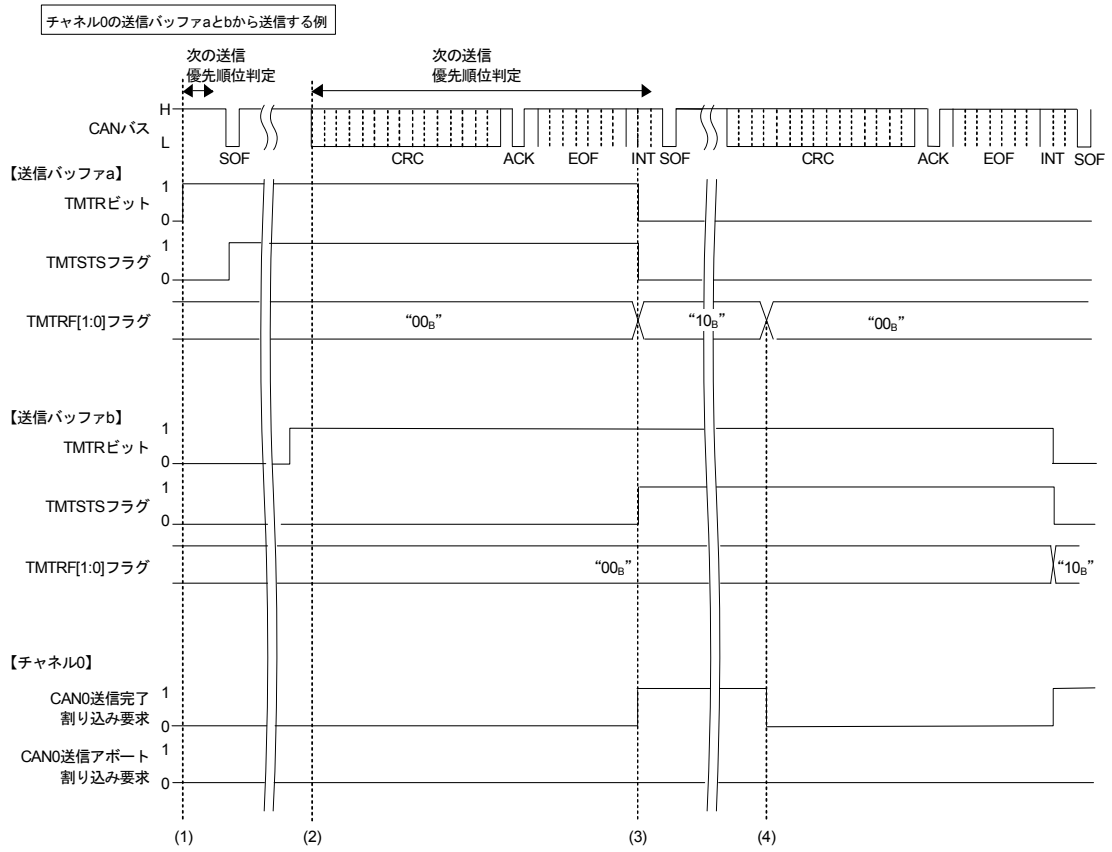
図 20.26 に送信バッファからの送信手順を示します。

図 20.27 に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。**図 20.28** に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。



備考 p = 0 ~ 95

図 20.26 送信バッファからの送信手順



備考 a = 0 ~ 95、b = 0 ~ 95
TMTR : RSCAN0TMCp レジスタのビット
TMTSTS、TMTRF[1:0] : RSCAN0TMSTSp レジスタのフラグ

図 20.27 送信バッファの送信タイミング図（正常に送信完了時）

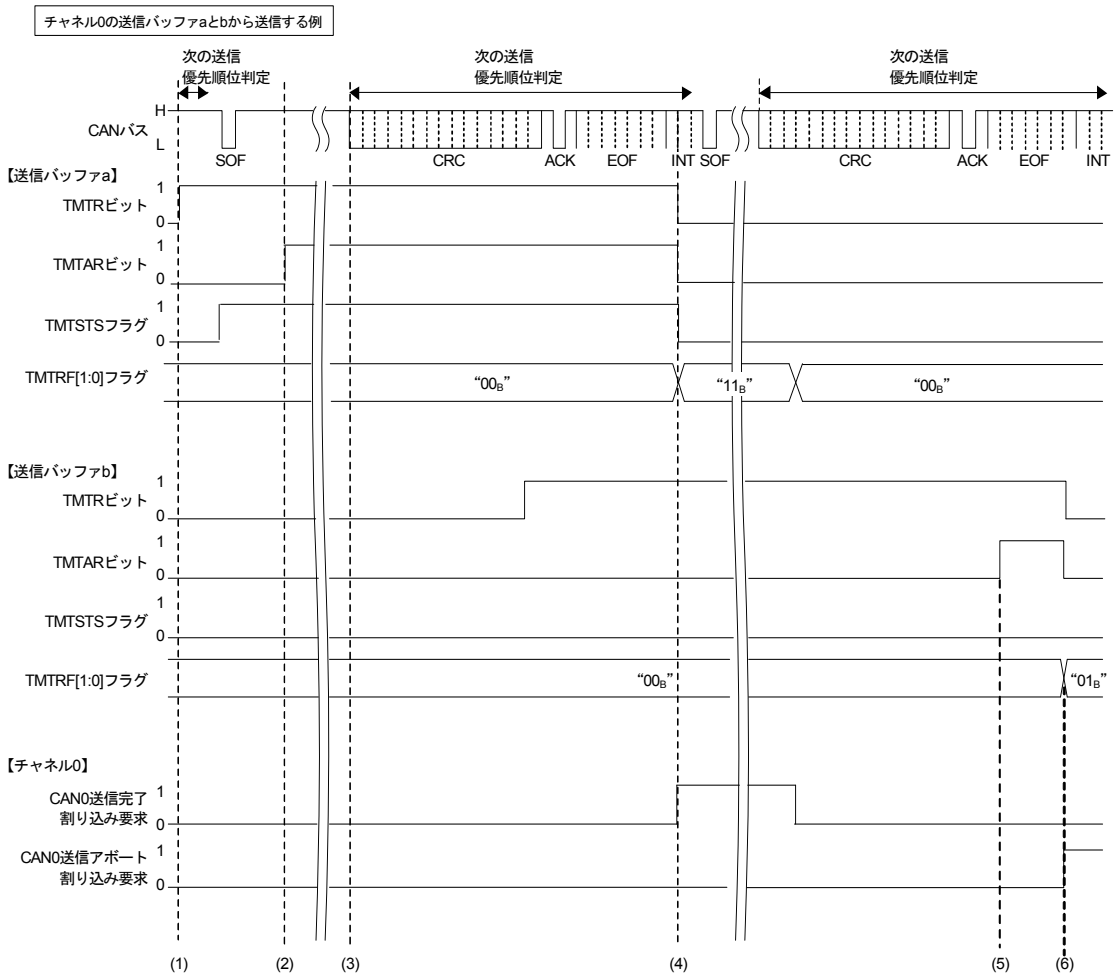
(1) CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを "1" にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMSTSa レジスタの TMTSTS フラグが "1"（送信中）になり、CAN チャネルは送信を開始します。

(2) CRC フィールドの最初のビットで、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(3) 送信が成功すると、RSCAN0TMSTSa レジスタの TMTRF[1:0] フラグは "10_B"（送信完了（送信アボート要求なし））になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは "0" になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが "1"（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを "00_B"（送信中または送信要求なし）にしてください。

(4) 次の送信を開始する前に、TMTRF[1:0] フラグを "00_B" にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを "1"（送信を要求する）にしてください。TMTRF[1:0] フラグが "00_B" のときのみ、TMTR ビットを "1" に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは “0” になります。送信の優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。



備考 a = 0 ~ 95、b = 0 ~ 95
TMTR、TMTAR：RSCAN0TMCp レジスタのビット
TMTSTS、TMTRF[1:0]：RSCAN0TMSTSp レジスタのフラグ

図 20.28 送信バッファの送信タイミング図（送信アボート完了時）

(1) CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを “1” にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMSTSa レジスタの TMTSTS フラグが “1”（送信中）になり、CAN チャネルは送信を開始します。

(2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを “1”（アボート要求する）にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。

(3) CRC フィールドの最初のビットで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。他のチャネ

ルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(4) 送信が成功すると、RSCAN0TMSTSa レジスタの TMTRF[1:0] フラグは “11_B”（送信完了（送信アボート要求あり））になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは “0” になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが “1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00_B”（送信中または送信要求なし）にしてください。

(5) CAN バス上に他の CAN ノードが送信している場合（TMTSTS フラグは “0”）、対応するチャネルが優先順位判定中に TMTAR ビットを “1” にすると、TMTR ビットを “0” にできません。

(6) 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが “01_B” になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0] フラグは “01_B” になります。このとき、TMTR ビットと TMTAR ビットは “0” になります。RSCAN0CmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00_B” にしてください。

CAN チャネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは “0” になります。優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

20.10.3.2 送受信 FIFO バッファからの送信手順

図 20.29 に送受信 FIFO バッファからの送信手順を示します。

図 20.30 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。**図 20.31** に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

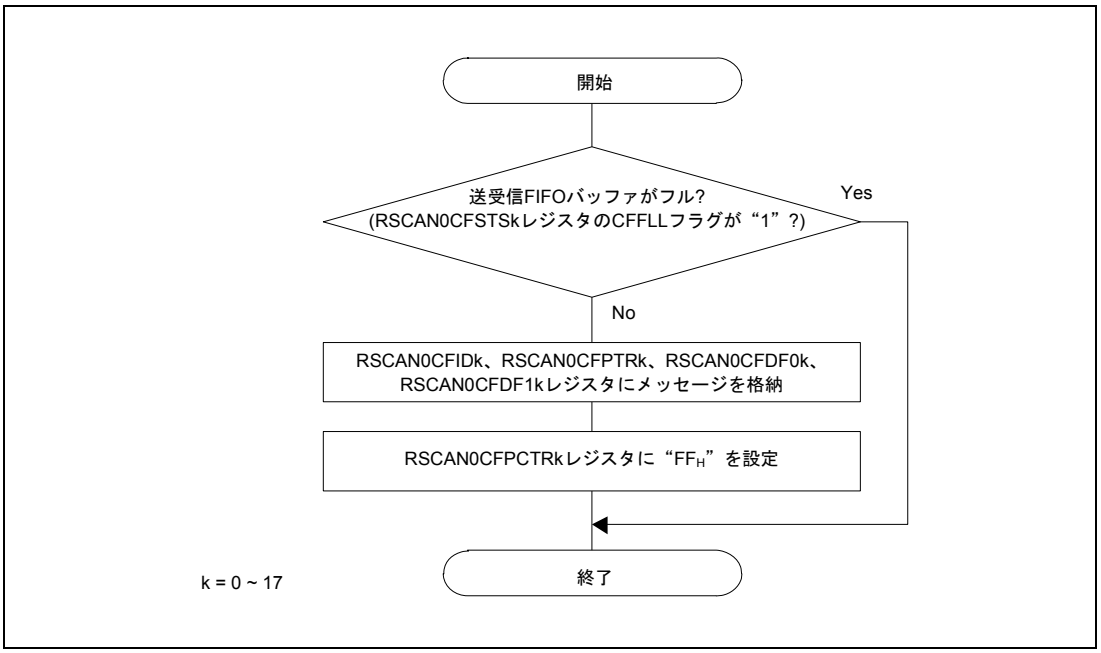


図 20.29　送受信 FIFO バッファからの送信手順

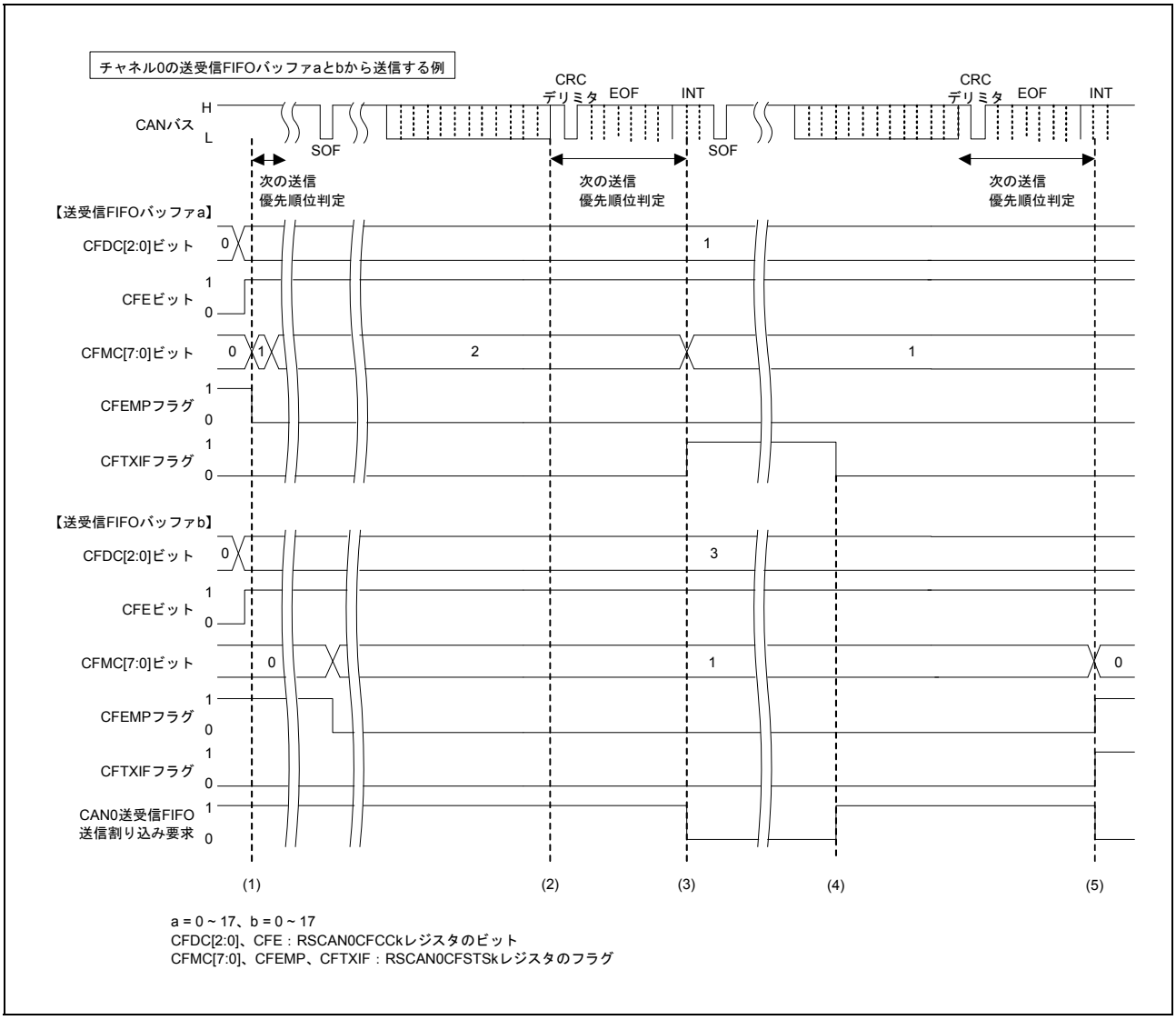


図 20.30 送受信 FIFO バッファの送信タイミング図（正常に送信完了時）

（1） CAN バスがアイドル状態のとき、RSCAN0CFCCa レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCAN0CFCCa レジスタの CFDC[2:0] ビットが “001_B”（4 メッセージ）以上、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットの値が “01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ a から送信されます。

（2） CRC フィールドの最初のビットで、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

（3） 送信が成功すると、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットが 1 減算されます。RSCAN0CFCCa レジスタの CFIM ビットを “1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCAN0CFSTSk レジスタの CFTXIF フラグが “1”（送受信 FIFO 送信割り込み要求あり）になります。

（4） CFTXIF フラグはプログラムでクリアできます。

（5） チャネル 0 の送受信 FIFO バッファ b からの送信が完了し、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットが 1 減算されます。CFMC[7:0] ビットが “00_H” になるため、RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

CFEMP フラグが “1” になるまで送信は続けられます。RSCAN0CFSTSa、RSCAN0CFSTSb レジスタの CFFLL フラグが “1”（送受信 FIFO バッファフル）になるまで、送信メッセージを FIFO バッファに格納することができます。

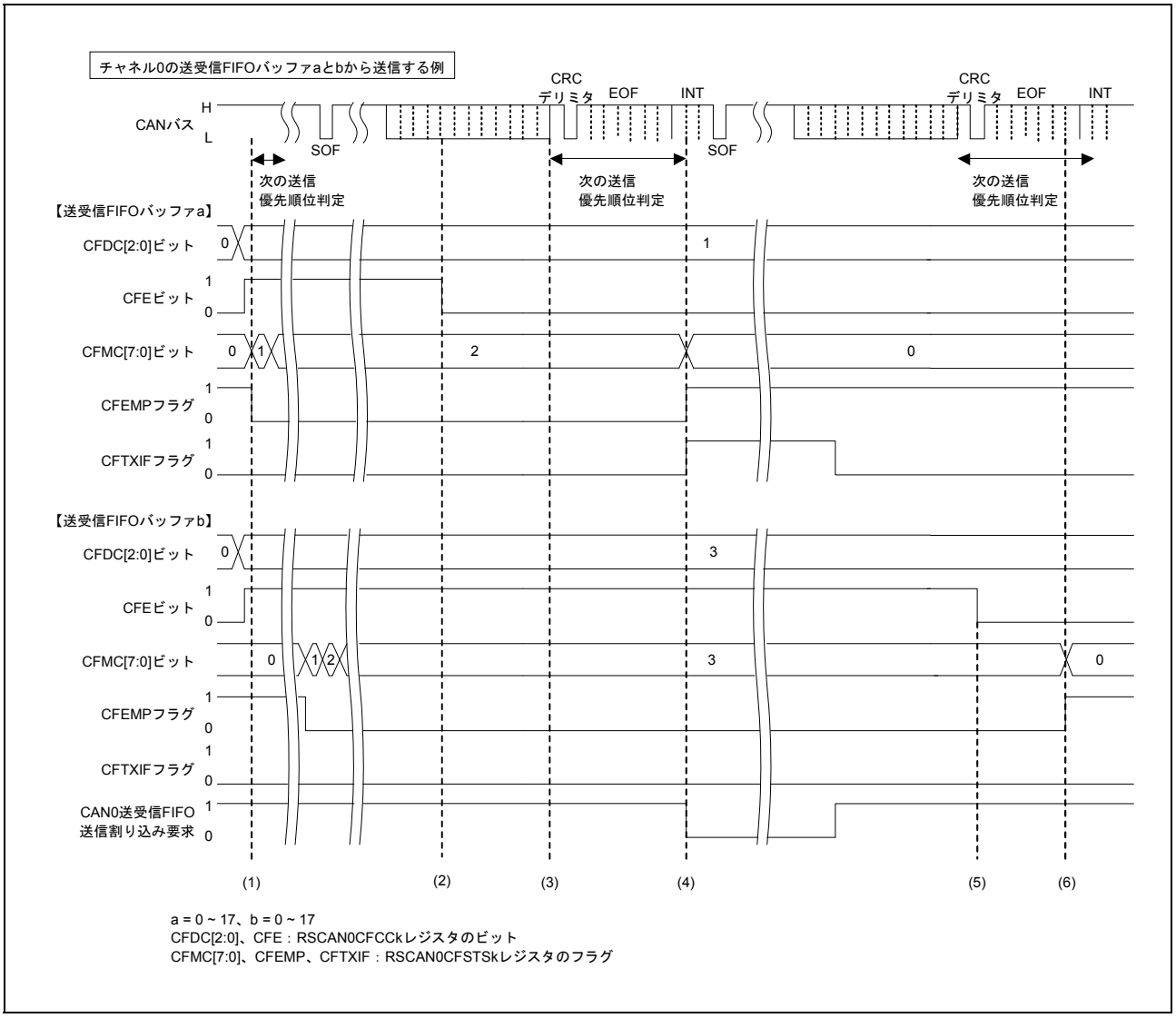


図 20.31 送受信 FIFO バッファの送信タイミング図（送信アボート完了時）

（1） CAN バスがアイドル状態のとき、RSCAN0CFCCa レジスタ（a = 0 ~ 17）の CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCAN0CFCCa レジスタの CFDC[2:0] ビットが “001_B”（4 メッセージ）以上、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットの値が “01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ a から送信されます。

（2） メッセージが送信中、または次の送信に決まっているとき、アービトレーションロストまたはエラーが発生しない限り、CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても送信はアボートされません。

(3) CRC フィールドの最初のビットで、バッファからの送信要求があれば、次の優先順位判定を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

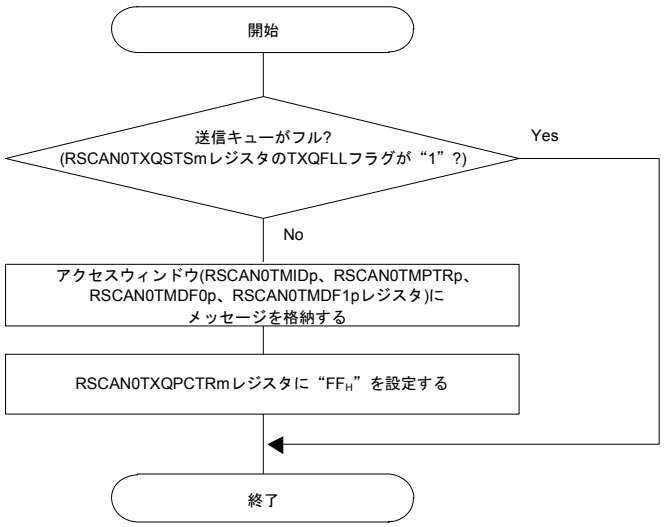
(4) 送信が成功すると、CFMC[7:0] ビットの値が “00_H” になります。CFIM ビットを “1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCAN0CFSTSa レジスタの CFTXIF フラグが “1”（送受信 FIFO バッファ送信割り込み要求あり）になります。CFTXIF フラグはプログラムでクリアできます。

(5) CAN バス上の他の CAN ノードが送信中の場合（送受信 FIFO バッファ b からは送信されていない）、送信の優先順位判定中に RSCAN0CFCCb レジスタの CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても、送受信 FIFO バッファは直ちに禁止にはできません（RSCAN0CFSTSb レジスタの CFEMP フラグは直ちに “1”（送受信 FIFO バッファ空）にはなりません）。

(6) 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットは “00_H” になり、CFEMP フラグは “1” になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます（CFMC[7:0] ビットは “00_H” になり、CFEMP フラグは “1” になります）。

20.10.3.3 送信キューからの送信手順

図 20.32 に送信キューからの送信手順を示します。

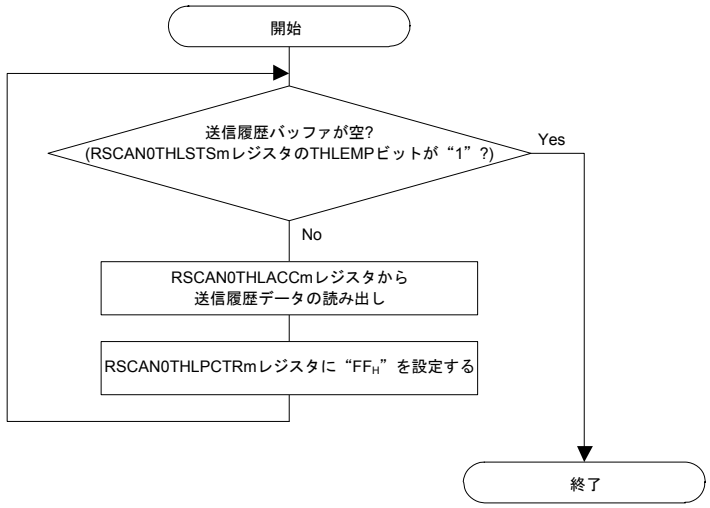


備考 p = m × 16 + 15、m = 0 ~ 5

図 20.32 送信キューからの送信手順

20.10.3.4 送信履歴バッファの読み出し手順

送信履歴データは、RSCAN0THLACCm レジスタで読めます。1 データを読んだ後、対応する RSCAN0THLPCTRm レジスタ（m = 0 ~ 5）へ “FF_H” を書くと、次のデータへアクセスできます。**図 20.33** に送信履歴バッファの読み出し手順を示します。



備考 m = 0 ~ 5

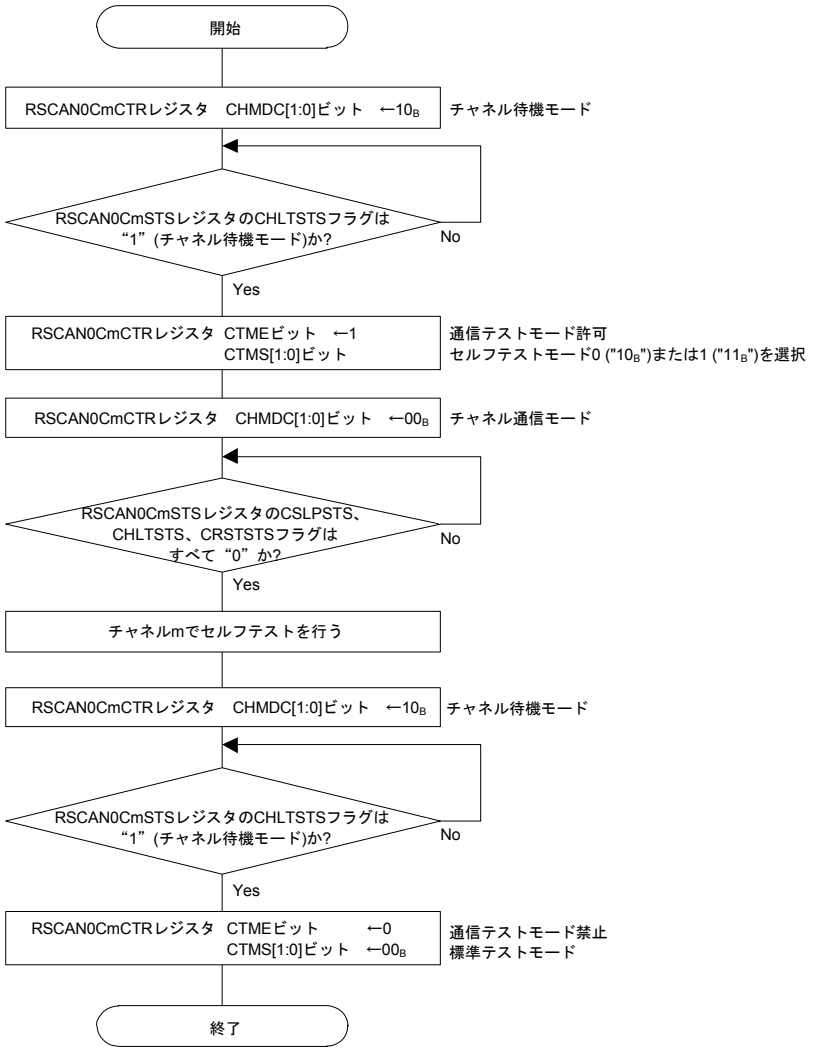
図 20.33 送信履歴バッファの読み出し手順

20.10.4 テスト設定

20.10.4.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャネル単体で通信テストを行うことができます。

図 20.34 にセルフテストモードの設定手順を示します。



備考 m = 0 ~ 5

図 20.34 セルフテストモードの設定手順

20.10.4.2 プロテクト解除手順

表 20.98 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCAN0GLOCKK レジスタの LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを “1” にしてください。

表 20.98 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575_H	$8A8A_H$	RSCAN0GTSTCTR レジスタ RTME ビット

間違った値を LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。**図 20.35** にプロテクト解除手順を示します。

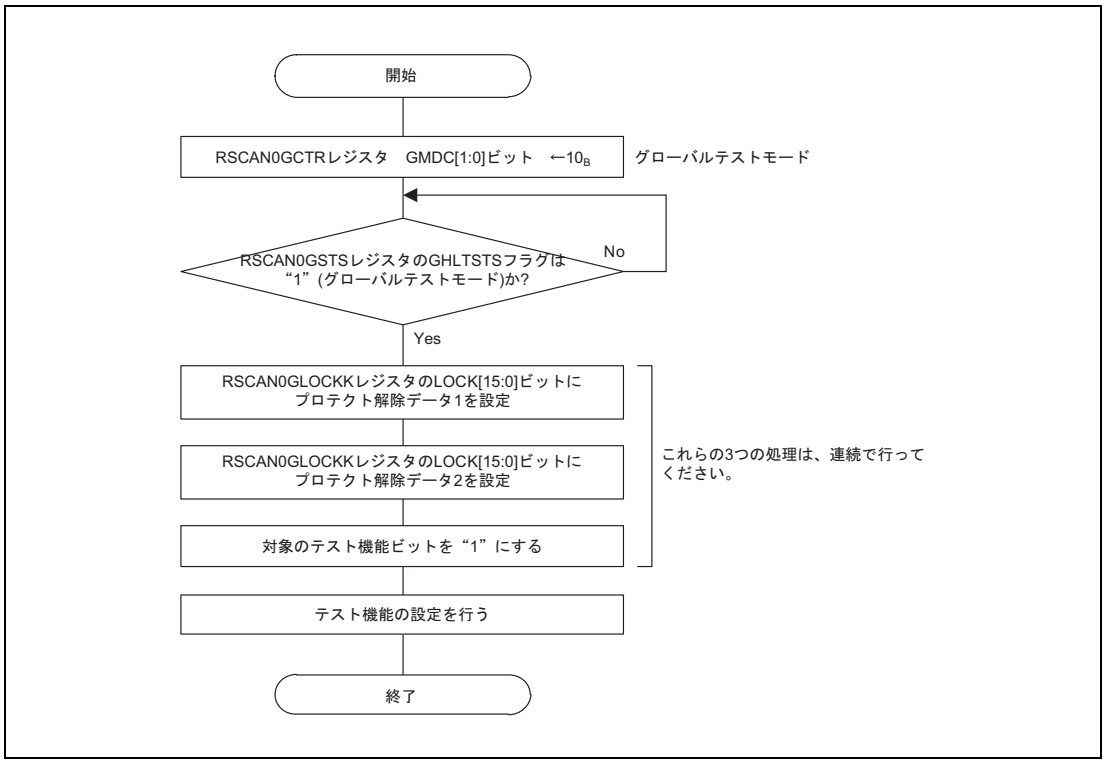


図 20.35 プロテクト解除手順

20.10.4.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに “0000 0000_H” を書いてください。

図 20.36 に RAM テストの設定手順を示します。

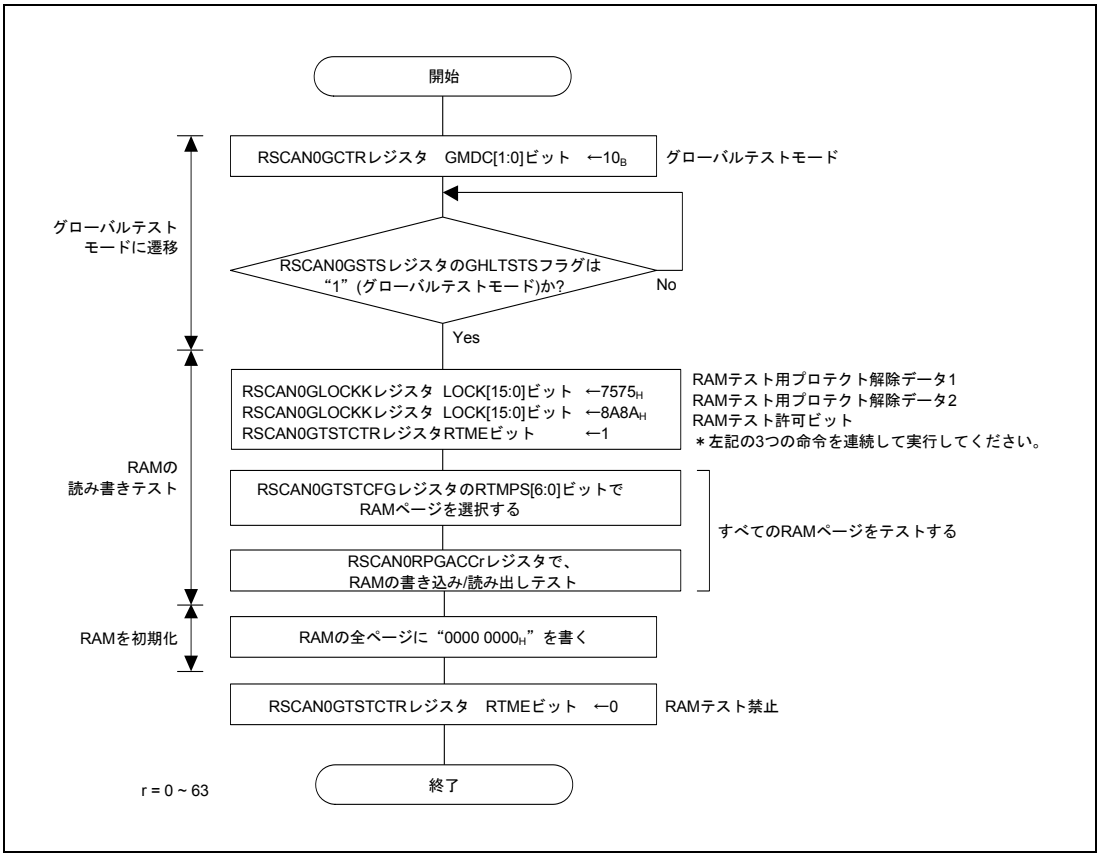
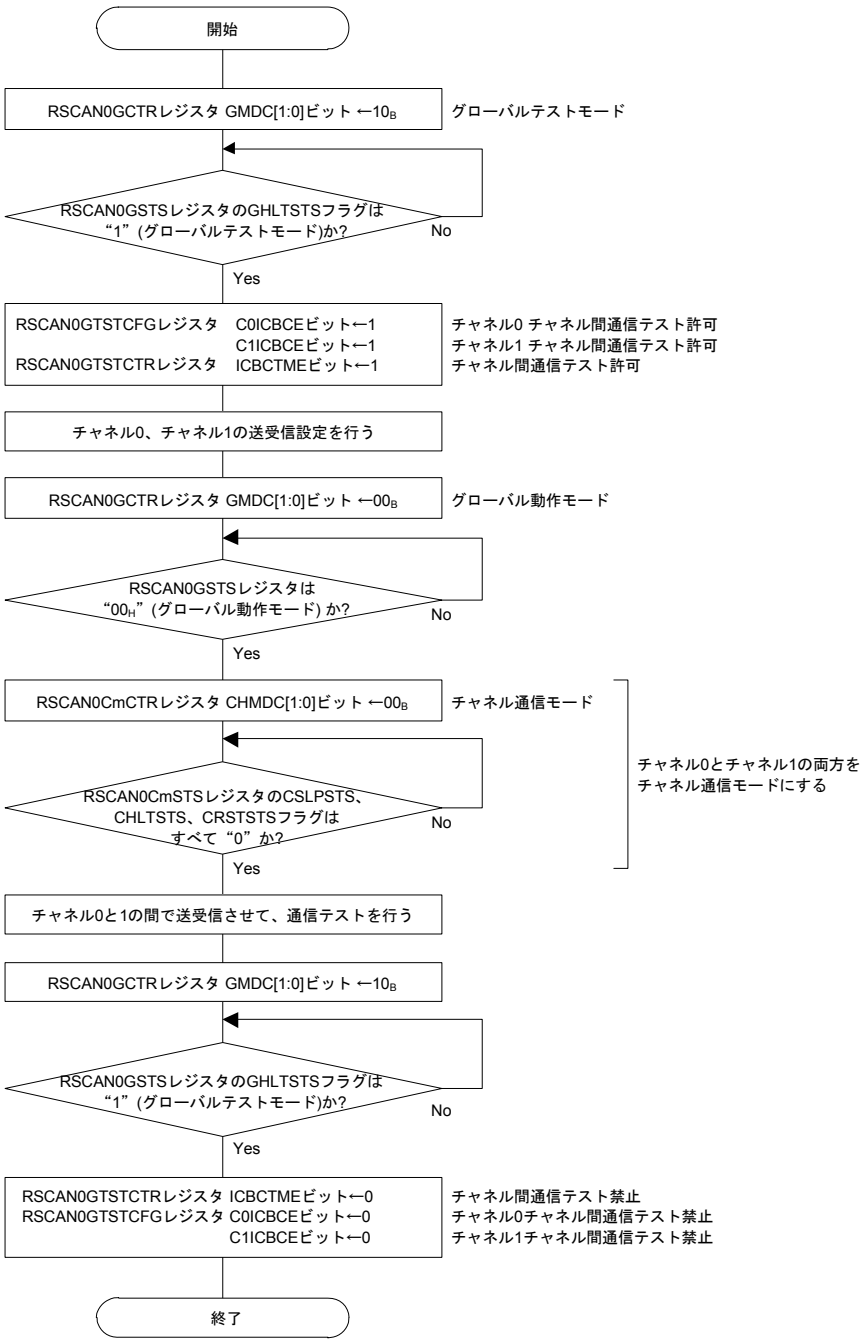


図 20.36 RAM テストの設定手順

20.10.4.4 チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。

図 20.37 にチャネル間通信テストの設定手順を示します。



備考 m = 0、1

図 20.37 チャネル間通信テストの設定手順（チャネル 0-1 間通信テストの例）

20.11 RS-CAN RAM のエラー検出／訂正

20.11.1 RSCAN0 RAM ECC

表 20.99 に RSCAN0 RAM ECC の機能概要を示します。

表 20.99 RSCAN0 RAM ECC の機能一覧

項目	機能概要
ECC エラー検出／訂正	ECC エラー判定を行います。下記設定を選択可能です。 • 2 ビットエラー検出と 1 ビットエラー検出／訂正を行います。 • 2 ビットエラー検出と 1 ビットエラー検出を行います。 ECC エラー検出／訂正を無効にもできます。（スルーモード時） 初期状態は、エラー検出／訂正が有効です。
エラー通知	ECC2 ビットエラー発生時は、エラー通知を行います。 • ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 初期状態は、2 ビットエラー検出時のエラー通知許可。ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。 エラーステータスのクリアレジスタを搭載しています。

注 意

ECC によるエラー検出・訂正を行う場合、RSCANn RAM の初期化（RSCANnGSTS.GRAMINIT = 0）を確認してから使用してください。

20.11.2 割り込み要求

表 20.100 に RSCAN0 の RAM ECC 割り込み要求を示します。

表 20.100 RSCANn ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	概要	名称	DMA トリガ番号
—	RSCANn ECC2 ビットエラー割り込み	INTECCDCNRAM0	—

20.11.3 レジスター覧

RSCAN0 用のレジスター覧を以下の表に示します。

ECCCAN00 は、メッセージバッファ RAM 用、ECCCAN01 は、受信ルールテーブル RAM 用の ECC のレジスタです。

ECCCAN0 は、ECCCAN00 と ECCCAN01 のそれぞれのレジスタをまとめたものになります。

表 20.101 レジスター覧

モジュール名	レジスタ名	略号	アドレス
ECCCAN0	RSCAN0 ECC コントロールレジスタ 0	ECCRCAN0CTL	FFC7 1000_H
ECCCAN0	RSCAN0 ECC テストモードコントロールレジスタ 0	ECCRCAN0TMC	FFC7 1004_H
ECCCAN0	RSCAN0 ECC エンコード／デコード入出力代替テストレジスタ 0	ECCRCAN0TED	FFC7 $100C_H$
ECCCAN0	RSCAN0 ECC 冗長ビットデータコントロールテストレジスタ 0	ECCRCAN0TRC	FFC7 1008_H
ECCCAN0	RSCAN0 ECC リダンタントビット入出力代替バッファレジスタ 0	ECCRCAN0ERDB	FFC7 1008_H
ECCCAN0	RSCAN0 ECC エンコードテストレジスタ 0	ECCRCAN0ECRD	FFC7 1009_H
ECCCAN0	RSCAN0 ECC 7 ビット冗長ビットデータ保持テストレジスタ 0	ECCRCAN0HORD	FFC7 $100A_H$
ECCCAN0	RSCAN0 ECC デコードシンドロームデータレジスタ 0	ECCRCAN0SYND	FFC7 $100B_H$
ECCCAN00	RSCAN0 ECC コントロールレジスタ 00	ECCRCAN00CTL	FFC7 1040_H
ECCCAN00	RSCAN0 ECC テストモードコントロールレジスタ 00	ECCRCAN00TMC	FFC7 1044_H
ECCCAN00	RSCAN0 ECC エンコード／デコード入出力代替テストレジスタ 00	ECCRCAN00TED	FFC7 $104C_H$
ECCCAN00	RSCAN0 ECC 冗長ビットデータコントロールテストレジスタ 00	ECCRCAN00TRC	FFC7 1048_H
ECCCAN00	RSCAN0 ECC リダンタントビット入出力代替バッファレジスタ 00	ECCRCAN00ERDB	FFC7 1048_H
ECCCAN00	RSCAN0 ECC エンコードテストレジスタ 00	ECCRCAN00ECRD	FFC7 1049_H
ECCCAN00	RSCAN0 ECC 7 ビット冗長ビットデータ保持テストレジスタ 00	ECCRCAN00HORD	FFC7 $104A_H$
ECCCAN00	RSCAN0 ECC デコードシンドロームデータレジスタ 00	ECCRCAN00SYND	FFC7 $104B_H$
ECCCAN01	RSCAN0 ECC コントロールレジスタ 01	ECCRCAN01CTL	FFC7 1050_H
ECCCAN01	RSCAN0 ECC テストモードコントロールレジスタ 01	ECCRCAN01TMC	FFC7 1054_H
ECCCAN01	RSCAN0 ECC エンコード／デコード入出力代替テストレジスタ 01	ECCRCAN01TED	FFC7 $105C_H$
ECCCAN01	RSCAN0 ECC 冗長ビットデータコントロールテストレジスタ 01	ECCRCAN01TRC	FFC7 1058_H
ECCCAN01	RSCAN0 ECC リダンタントビット入出力代替バッファレジスタ 01	ECCRCAN01ERDB	FFC7 1058_H
ECCCAN01	RSCAN0 ECC エンコードテストレジスタ 01	ECCRCAN01ECRD	FFC7 1059_H
ECCCAN01	RSCAN0 ECC 7 ビット冗長ビットデータ保持テストレジスタ 01	ECCRCAN01HORD	FFC7 $105A_H$
ECCCAN01	RSCAN0 ECC デコードシンドロームデータレジスタ 01	ECCRCAN01SYND	FFC7 $105B_H$

- ECCCAN0 にライトすると、ECCCAN00 と ECCCAN01 のレジスタに同じ値がライトされます。
- ECC エラーが検出されると、エラーステータスは ECCCAN0 のレジスタからリードできます。
- ECC エラーが検出されない場合、ECCCAN00 のレジスタは ECCCAN0 のレジスタからリードできます。
- ECCCAN00 か ECCCAN01 のどちらか一つのレジスタでエラーが 2 回以上発生した場合、最新のエラー状態が ECCCAN0 のレジスタからリードできます。
- ECC エラーが ECCCAN00、ECCCAN01 のレジスタ両方から検出された場合、ECCCAN00 エラーステータスは ECCCAN0 のレジスタからリードできます。
- ECCCAN00、ECCCAN01 は両方とも直接リード／ライト可能です。

20.11.4 ECCRCANzCTL — RSCAN0 ECC コントロールレジスタ（z = 0/00/01）

ECCRCANzCTL レジスタは RSCAN0 の ECC のモードの制御、およびステータスの制御を行うレジスタです。

ビット 7, 5 ～ 4 の設定（書込み）は RSCAN0 が動作していない時に行ってください。

また、ビット 7 への書き込みは EMCA1,EMCA0 を 01_B にして実行してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス **「表 20.101 レジスター覧」**を参照してください。

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA1	EMCA0	—	—	—	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	—	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—
R/W	R/W 注1	R/W 注1	R	R	R	R/W 注1	R/W 注1	R	R/W	R	R/W	R/W	R	R	R	R

注 1. リード値は常に 0 が読み出されます。

表 20.102 ECCRCANzCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	EMCA1	ECC モード選択ビットへのアクセス制御ビット 1,0 本ビットは ECTHM（ビット 7）の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 01_B のとき、ビット 7 への書込みが可能になります。
14	EMCA0	
13 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットは ECER2F（ビット 2）の 2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に 0 が読みだされます。0 書き込みは無効です。ECER2F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER2F ビットがクリアされます。1 書き込みと ECER2F のセット要因が競合した際には本ビットの書き込みが優先されます。
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットは ECER1F（ビット 1）の 1 ビットエラー検出／訂正フラグをクリアするためのビットです。読み出すと常に 0 が読みだされます。0 書き込みは無効です。ECER1F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER1F ビットがクリアされます。1 書き込みと ECER1F のセット要因が競合した際には本ビットの書込みが優先されます。
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTHM	ECC 機能スルーモード選択ビット 本ビットは、ECC 機能の有効／無効を設定するビットです。 セット "1" することで、ECC 機能を無効にする事ができます。 このビットの書き込み時は EMCA1,EMCA0 ＝ 0,1 を同時に書き込む必要があります。 0：スルーモード禁止（通常動作モード） 1：スルーモード許可（ECC 機能無効）
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	EC1ECP	1 ビットエラー訂正許可ビット 本ビットは ECC エラー検出／訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正を行う。 1：1 ビットエラー検出時にエラー訂正を行わない。

表 20.102 ECCRCANzCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	EC2EDIC	2 ビットエラー検出割り込み制御ビット 本ビットは 2 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0：2 ビットエラー検出時に INTECCDCNRAM 割り込みを発生させない。 1：2 ビットエラー検出時に INTECCDCNRAM 割り込みを発生する。（初期値）
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態（ECTHM = 0）で RAM へのリードアクセス時に 2 ビットエラーが検出されたことを示すフラグです。2 ビットエラー割り込み許可状態（EC2EDIC = 1）で、本フラグがセットされると ECC2 ビットエラー割り込み（INTECCDCNRAM）が発生します。クリアの際には ECER2C ビット（ビット 10）へ 1 書き込みを行ってください。スルーモード許可選択（ECTHM = 1）時も本ビットはクリアされます。本ビットがセットされた状態で再度 2 ビットのビットエラーが検出されても割り込みは発生しません。 0：本ビットクリア後、2 ビットエラーは発生していない。 1：2 ビットエラーが発生したことがある。
1	ECER1F	1 ビットエラー検出／訂正フラグビット 本ビットはエラー判定許可状態（ECTHM = 0）で RAM へのリードアクセス時に 1 ビットエラーが検出されたことを示すフラグです。クリアの際には ECER1C ビット（ビット 9）へ 1 書き込みを行ってください。スルーモード許可選択（ECTHM = 1）時も本ビットはクリアされます。 0：本ビットクリア後、1 ビットエラーは発生していない。 1：1 ビットエラーが発生したことがある。
0	ECEMF	ECC エラー表示フラグ 本ビットは現在読み出しているデータに対してエラーが存在することを示すフラグです。本ビットは RAM を読み出すごとに更新されます。RAM を初期化する前にリードすると、本ビットがセットされる可能性があります。スルーモード許可選択 （ECTHM = 1）時、及びデコード回路入力データに 1 ビットエラーがない時も本ビットはクリアされます。 0：現在読み出している RAM データには、ビットエラーが存在していない。 1：現在読み出している RAM データには、ビットエラーが存在する。

注 意

ビット 2, 1 をクリアする場合には、ECC エラー表示フラグ（ECEMF）がセットされていない時にクリアする必要があります。

ビット 2,1 をクリアする場合には RAM 初期化後にクリアすることを推奨します。

20.11.5 ECCRCANzTMC — RSCAN0 ECC テストモードコントロールレジスタ（z = 0/00/01）

ECCRCANzTMC レジスタはテストモードへの切り替え、およびテストモード制御のためのレジスタです。

本レジスタは RS-CAN が RAM アクセスしないときに使用できます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス **「表 20.101 レジスター覧」**を参照してください。

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA1	ETMA0	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W 注1	R/W 注1	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注 1. リード値は常に 0 が読み出されます。

表 20.103 ECCRCANzTMC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ETMA1	ECC テストモードビットへのアクセス制御ビット 1,0 本ビットは ECTMCE（ビット 7）の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 10_B のとき、ビット 7 への書込みが可能になります
14	ETMA0	
13 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよび、本レジスタのテスト制御ビットへのアクセス許可するかを選択するビットです。このビットの書き込み時は ETMA1,ETMA0 ＝ 1,0 を同時に書き込む必要があります。 0：テストモードレジスタおよびビットに対するアクセスを禁止する 1：テストモードレジスタおよびビットに対するアクセスを許可する テストレジスタ：ECCRCANzTED、ECCRCANzTRC、ECCRCANzSYND、ECCRCANzHORD、ECCRCANzECRD、ECCRCANzERDB レジスタ テスト制御ビット：ECTRRS、ECREOS、ECENS、ECDCS、ECREIS
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは、ECCRCANzTED レジスタをリードする際の読み込み先、および ECCRCANzERDB レジスタをリードする際の読み込み先を選択します。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。また、本ビットは ECTMCE ＝ 0 によりクリアされます（同期クリア）。 0：ECCRCANzTED レジスタのリード値は、ECCRCANzTED レジスタの書き込み値となります。 ECCRCANzERDB レジスタのリード値は、ECCRCANzERDB レジスタの書き込み値となります。 1：ECCRCANzTED レジスタのリード値は、RAM データが読み出せます。 ECCRCANzERDB レジスタのリード値は、RAM に書き込まれる ECC データとなります。
3	ECREOS	ECC リダンダントビット出力データ選択ビット 本ビットは、RAM に格納する ECC データを、書き込みデータに対して生成された ECC データとするか、または ECCRCANzERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です（同時設定可能）。また、本ビットは ECTMCE ＝ 0 によりクリアされます（同期クリア）。 0：書き込みデータに対して生成された ECC データを RAM に格納する。 1：ECCRCANzERDB レジスタの値を RAM に格納する。

表 20.103 ECCRCANzTMC レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	ECENS	ECC エンコード入力選択ビット 本ビットは、ECC データを生成する際の対象データを、RAM への書き込みデータとするか、または ECCRCANzTED レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です（同時設定可能）。また、本ビットは ECTMCE ＝ 0 によりクリアされます（同期クリア）。 0：RAM へのライトデータから ECC データを生成する。 1：ECCRCANzTED レジスタの値から ECC データを生成する。
1	ECDCS	ECC デコード入力選択ビット 本ビットは、シンドロームコードの生成と、誤り検出を行う際の対象データを、RAM データとするか、または ECCRCANzTED レジスタ値とするかを選択するビットです。 本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です（同時設定可能）。また、本ビットは ECTMCE ＝ 0 によりクリアされます（同期クリア）。 0：RAM データからシンドロームコードの生成と、誤り検出を行う。 1：ECCRCANzTED レジスタの値からシンドロームコードの生成と、誤り検出を行う。
0	ECREIS	ECC リダンダントビット入力データ選択ビット 本ビットは、シンドロームコードの生成と、誤り検出を行う際の対象 ECC データを、RAM に格納された ECC データとするか、または ECCRCANzERDB レジスタ値とするかを選択するビットです。 本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です（同時設定可能）。また、本ビットは ECTMCE ＝ 0 によりクリアされます（同期クリア）。 0：RAM に格納された ECC データからシンドロームコードの生成と、誤り検出を行う。 1：ECCRCANzERDB レジスタの値からシンドロームコードの生成と、誤り検出を行う。

20.11.6 ECCRCANzTED — RSCAN0 ECC エンコード／デコード入出力代替テストレジスタ（z = 0/00/01）

ECC テストモードにおいて、テストデータを扱うレジスタです。

本レジスタの値から、ECC データの生成またはシンドロームコードの生成を行います。

ECC テストモードがイネーブル（ECCRCANzTMC.ECTMCE = 1）である場合にアクセス可能です。ECCRCANzTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は $0000\ 0000_H$ となります。

本レジスタは RS-CAN が RAM アクセスしないときに使用できます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス **「表 20.101 レジスター覧」**を参照してください。

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.104 ECCRCANzTED レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ECEDB[31:0]	ECCRCANzTMC.ECENS ＝ 1 において本レジスタの値から ECC データを生成し、本レジスタの値を RAM へ格納します。 ECCRCANzTMC.ECDCS ＝ 1 において本レジスタの値からシンドロームコードを生成し、本レジスタの値を ECC デコードシンドロームデータレジスタ（ECCRCANzSYND）に格納します。 また、ECCRCANzTMC.ECTRRS ＝ 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM データ [31:0] が読み出されます。

20.11.7 ECCRCANzTRC — RSCAN0 ECC 冗長ビットデータコントロールテストレジスタ（z = 0/00/01）

ECC テストモードにおいて、ECC データに対するテストレジスタで、ECCRCANzSYND、ECCRCANzHORD、ECCRCANzECRD、ECCRCANzERDB の 4 つの 8 ビットレジスタで構成されます。

ECC テストモードがイネーブル（ECCRCANzTMC.ECTMCE = 1）である場合にアクセス可能です。ECCRCANzTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは RS-CAN が RAM アクセスしないときに使用できます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　**「表 20.101　レジスター覧」**を参照してください。

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECCRCANzSYND（**20.11.8** 参照）								ECCRCANzHORD（**20.11.9** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECCRCANzECRD（**20.11.10** 参照）								ECCRCANzERDB（**20.11.11** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.11.8 ECCRCANzSYND — RSCAN0 ECC デコードシンドロームデータレジスタ（z = 0/00/01）

ECC テストモードにおいて、生成されたシンドロームコードが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（ECCRCANzTMC.ECTMCE = 1）の時リードアクセスのみ可能、ディセーブル（ECCRCANzTMC.ECTMCE = 0）の時、読み出し値は 00_H となります。

アクセス 8 ビット単位でリードのみ可能です。

アドレス **「表 20.101 レジスター覧」**を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 20.105 ECCRCANzSYND レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	SYND[6:0]	生成されたシンドロームコードが随時格納されます。

20.11.9 ECCRCANzHORD — RSCAN0 ECC 7 ビット冗長ビットデータ保持テストレジスタ（z = 0/00/01）

ECC テストモードにおいて、読み出した RAM データに対する ECC データが格納されるレジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（ECCRCANzTMC.ECTMCE = 1）の時リードアクセスのみ可能、ディセーブル（ECCRCANzTMC.ECTMCE = 0）の時、読み出し値は 00_H となります。

アクセス 8 ビット単位でリードのみ可能です。

アドレス **「表 20.101 レジスター覧」**を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 20.106 ECCRCANzHORD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	HORD[6:0]	読み出した RAM データに対する ECC コードが随時格納されます。 また、ECCRCANzTMC.ECTRRS = 1 の場合、ECCRCANzTED レジスタをリードした際にも ECC コードが格納されます。

20.11.10 ECCRCANzECRD — RSCAN0 ECC エンコードテストレジスタ（z = 0/00/01）

ECC テストモードにおいて、書き込んだ RAM データに対して生成された ECC データが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（ECCRCANzTMC.ECTMCE = 1）の時リードアクセスのみ可能、ディセーブル（ECCRCANzTMC.ECTMCE = 0）の時、読み出し値は 00_H となります。

アクセス 8 ビット単位でリードのみ可能です。

アドレス **「表 20.101 レジスター覧」**を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ECRD6	ECRD5	ECRD4	ECRD3	ECRD2	ECRD1	ECRD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 20.107 ECCRCANzECRD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	ECRD[6:0]	RAM データ書き込み時に生成される ECC データを読み出すことができます。 また、ECCRCANzTMC.ECENS ＝ 1 の際には、ECCRCANzTED レジスタに書き込んだデータに対する ECC データを読み出すことができます。

20.11.11 ECCRCANzERDB — RSCAN0 ECC リダンタントビット入出力代替バッファレジスタ（z = 0/00/01）

ECC テストモードにおいて、ECC データを扱うレジスタです。

本レジスタの値は、RAM への書き込み時に生成される ECC データ、または RAM データの読み出し時に読み込まれる ECC データとして扱う事ができます。

ECC テストモードがイネーブル（ECCRCANzTMC.ECTMCE = 1）である場合に、アクセスが可能です。ECCRCANzTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 00_H となります。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス **「表 20.101 レジスター覧」**を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.108 ECCRCANzERDB レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	ERDB[6:0]	ECCRCANzTMC.ECREOS ＝ 1 の場合、本レジスタの値を ECC データとして RAM へ格納します。 ECCRCANzTMC.ECREIS ＝ 1 の場合、本レジスタの値を RAM から読み出された ECC データとします。 また、ECCRCANzTMC.ECTRRS ＝ 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM に格納する ECC データが読み出されます。

20.11.12 SELB_READTEST — ECCREAD テスト選択レジスタ

RSCAN0 の ECC のレジスタのリード／ライトチェックに使用します。

詳細は**「16.7.11 SELB_READTEST — ECCREAD テスト選択レジスタ」**を参照してください。

20.12 RS-CAN モジュールの注意事項

- グローバルモードを変更する場合は、RSCAN0GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャネルモードを変更する場合は、RSCAN0CmSTS レジスタ（m = 0 ~ 5）の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ（RSCAN0TMCp レジスタ）は “00_H” にしてください。また、対応する送信バッファのステータスレジスタ（RSCAN0TMSTSp レジスタ）は使用しないでください。その他のステータスレジスタ（RSCAN0TMTRSTS0 ～ RSCAN0TMTRSTS2、RSCAN0TMTARSTS0 ～ RSCAN0TMTARSTS2、RSCAN0TMTCSTS0 ～ RSCAN0TMTCSTS2、RSCAN0TMTASTS0 ～ RSCAN0TMTASTS2 レジスタ）は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ（RSCAN0TMIEC0 ～ RSCAN0TMIEC2 レジスタ）の許可ビットは “0”（割り込み禁止）にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。
- 1 つの送信バッファには、1 つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。
- 未使用の受信バッファ（RSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDF0q、RSCAN0RMDF1q レジスタ）、受信 FIFO バッファアクセスレジスタ（RSCAN0RFIDx、RSCAN0RFPTRx、RSCAN0RFDF0x、RSCAN0RFDF1x レジスタ）と送受信 FIFO バッファアクセスレジスタ（RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタ）の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

第 21 章 FlexRay（FLXA）

本章では、FlexRay（FLXA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特性について説明します。それ以降の節では、FLXA の機能、レジスタについて説明します。

注 意

本章では、Global RAM の記載が出てきますが、リテンション RAM と読み替えてください。

備 考

本章で記載されている POC は、Protocol Operation Control の略です。第 10 章で説明している「パワーオンクリア（POC）」とは異なります。

21.1 RH850/F1M FLXA の特長

21.1.1 ユニット数とチャネル数

本製品は以下のユニット数の FLXA を搭載しています。

表 21.1 ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	1		
名称	FLXAn (n = 0)		

表 21.2 FLXAn のユニット構成とチャネルの対応

ユニット名	チャネル数	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
FLXA0	2 (A ch, B ch)	○	○	○

表 21.3 添字

添字	説明
n	本章では、FLXA の各ユニットを「n」で識別します。たとえば、FlexRay 制御レジスタは FLXAnFROC と記述します。

21.1.2 レジスタベースアドレス

FLXAn のベースアドレスを以下の表に示します。

FLXAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 21.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<FLXA0_base>	$1002\ 0000_H$

21.1.3 クロック供給

FLXAn のクロック供給を以下の表に示します。

表 21.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
FLXA0	hclk	CPUCLK2 注 1
	clkc	PPLLCLK 注 1
	レジスタアクセスクロック	CPUCLK2

注 1. 以下の周波数範囲でご使用してください。
hclk = 45 ～ 80 MHz
clkc = 80 MHz

21.1.4 割り込み要求

FLXAn の割り込み要求を以下の表に示します。

表 21.6 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
FLXA0			
INTFLXA0LINE0	FlexRay0 割り込み	179	—
INTFLXA0LINE1	FlexRay1 割り込み	180	—
INTFLXA0TIM0	タイマ 0 割り込み	181	—
INTFLXA0TIM1	タイマ 1 割り込み	182	—
INTFLXA0TIM2	タイマ 2 割り込み	183	—
INTFLXA0FDA	FIFO 転送割り込み	173	—
INTFLXA0FW	FIFO 転送警告割り込み	174	—
INTFLXA0OW	出力転送警告割り込み	178	—
INTFLXA0OT	出力転送終了割り込み	177	—
INTFLXA0IQF	入力キューフル割り込み	176	—
INTFLXA0IQE	入力キューエンプティ割り込み	175	—

21.1.5 リセット要因

FLXAn のリセット要因を以下に示します。FLXAn は以下のリセット信号で初期化されます。

表 21.7 リセット要因

ユニット名	リセット要因
FLXA0	すべてのリセット要因 （ISORES）

21.1.6 外部入出力信号

FLXAn の外部入出力信号を以下の表に示します。

表 21.8 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
FLXA0		
rxda_extfxr	チャネル A 受信データ入力	FLXA0RXDA
fxr_txda	チャネル A 送信データ出力	FLXA0TXDA
fxr_txena_n	チャネル A 送信データ許可	FLXA0TXENA
rxdb_extfxr	チャネル B 受信データ入力	FLXA0RXDB
fxr_txdb	チャネル B 送信データ出力	FLXA0TXDB
fxr_txenb_n	チャネル B 送信データ許可	FLXA0TXENB
stpwt_extfxr	ストップウォッチトリガ入力	FLXA0STPWT

21.1.7 機能

FlexRay ネットワーク上での通信用に最大 254 データバイトの独立したメッセージバッファを設定することができます。メッセージバッファは、最大 128 個のメッセージバッファとして構成可能なメッセージ RAM です。メッセージ処理に関する機能はすべてメッセージハンドラに組み込まれています。主な機能は、フィルタリングの設定、2 つの FlexRay チャネルプロトコルコントローラとメッセージ RAM 間のメッセージ転送、伝送スケジュールの保守、メッセージステータス情報の提供などです。

FlexRay IP モジュールのレジスタセットは、モジュールの CPU インタフェースを介して外部 CPU から直接アクセス可能です。これらのレジスタは、FlexRay チャネルプロトコルコントローラ、メッセージハンドラ、内部クロック生成、システム制御を制御・構成・監視し、入出力バッファを介してメッセージ RAM にアクセスし、メッセージ RAM と Local RAM や Global RAM 間のデータ転送を制御するために使用されます。

FlexRay IP モジュールは、次に示す機能をサポートします。

項目	仕様
通信	FlexRay 通信システムプロトコル仕様 v2.1 Revision A に準拠
データ転送速度	チャネルごとに最大 10 Mbit/s
チャネルごとの入出力端子	TxD, RxD, TxEN
FlexRay チャネル	2 本（チャネル A および B）
メッセージバッファ	最大 128 個のメッセージバッファが構成可能 異なるペイロード長でメッセージバッファが構成可能 各メッセージバッファを受信バッファ、転送バッファ、あるいは受信 FIFO バッファの 1 部として構成可能 スロットカウンタ、サイクルカウンタ、チャネル用にフィルタリング
メッセージ RAM	8K バイトのメッセージ RAM は下記例のような構成をとることが可能です。 最大 48 バイトのデータセクションを持つ 128 個のメッセージバッファ 254 バイトのデータセクションを持つ最大 30 個のメッセージバッファ
FIFO	1 つの構成可能な受信 FIFO
メッセージバッファアクセス	入出力バッファを介してホスト CPU によるもの 入力バッファ：メッセージ RAM へ転送されるメッセージを保持 出力バッファ：メッセージ RAM から読み込んだメッセージを保持
	データ転送機能によるもの 入力転送：メッセージバッファの内容は、CPU の要求によって Local RAM や Global RAM からメッセージ RAM へ転送される 出力転送：メッセージバッファの内容は、メッセージ RAM から Local RAM や Global RAM へ自動的に転送される
ネットワーク管理	サポート
割り込み	マスク可能なモジュール割り込み
タイマ	2 個の絶対値タイマ 1 個の相対値タイマ 1 個のストップウォッチタイマ

21.1.8 ブロック図

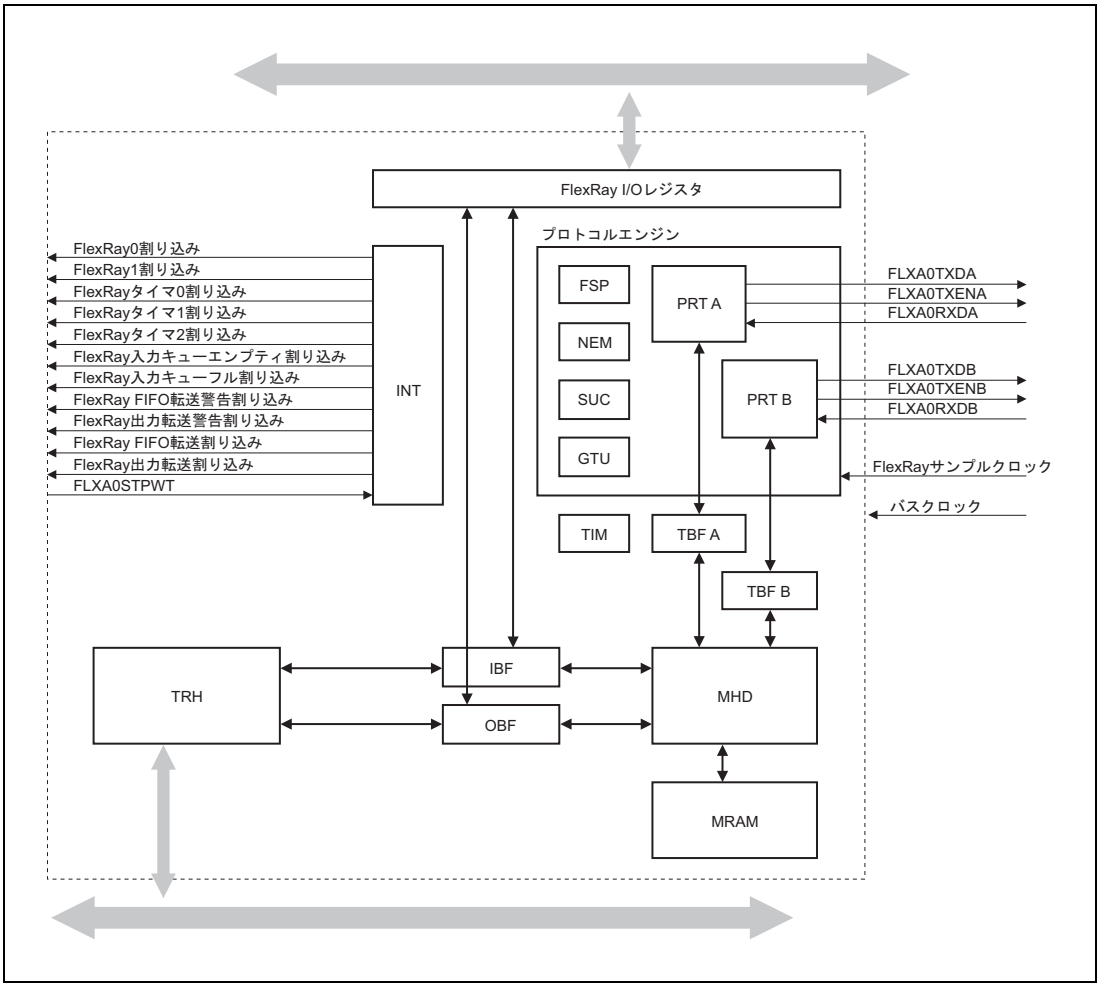


図 21.1 FlexRay IP ブロック図

入力バッファ（IBF）

メッセージ RAM 内に設定されたメッセージバッファへ書き込む場合、CPU は入力バッファに対する特定のメッセージバッファのヘッダおよびデータセクションに書き込みます。その後、メッセージハンドラがデータを入力バッファからメッセージ RAM 内の選択されたメッセージバッファに転送します。

出力バッファ（OBF）

メッセージ RAM に設定されたメッセージバッファに読み出す場合、メッセージハンドラは選択されたメッセージバッファを出力バッファに転送します。転送完了後、CPU は転送されたメッセージバッファのヘッダおよびデータセクションを読み出せます。

メッセージハンドラ（MHD）

FlexRay メッセージハンドラは、以下のコンポーネント間のデータ転送を制御します。

- 入力 / 出力バッファとメッセージ RAM 間
- 2つのFlexRayプロトコルコントローラのテンポラリバッファRAMとメッセージRAM間

メッセージ RAM（MRAM）

メッセージ RAM は、最大 128 個の FlexRay メッセージバッファと関連設定データ（ヘッダおよびデータパーティション）を格納するシングルポート RAM で構成されます。

テンポラリバッファ RAM（TBF A/B）

2 つの完全なメッセージのデータセクションを格納します。

FlexRay チャネルプロトコルコントローラ（PRT A/B）

FlexRay チャネルプロトコルコントローラは、シフトレジスタと FlexRay プロトコル FSM で構成されます。このコントローラは、メッセージを一時的に保存するためにテンポラリバッファ RAM に接続され、物理レイヤにもバスドライバ BD を介して接続されます。

このコントローラには以下の機能があります。

- ビットタイミングの制御とチェック
- FlexRay フレームおよびシンボルの送受信
- ヘッダ CRC のチェック
- フレーム CRC の生成 / チェック
- バスドライバとの接続

内部クロック生成ブロック（GTU）

内部クロック生成ブロックには以下の機能があります。

- μT の生成
- MT の生成
- FTM アルゴリズムによるフォールトトレラントクロック同期の
  - レート補正
  - オフセット補正
- サイクルカウンタ
- スタティックセグメントのタイミング制御
- ダイナミックセグメント（ミニスロット）のタイミング制御
- 外部クロック補正のサポート

システムコントローラ（SUC）

システムコントローラには以下の機能があります。

- 設定
- ウェイクアップ
- スタートアップ
- 通常動作
- パッシブ動作

フレーム / シンボル処理（FSP）

フレーム / シンボル処理には以下の機能があります。

- フレームおよびシンボルのタイミングが正しいかどうか確認
- 受信フレームのシンタックスとセマンティクスが正しいかどうか確認
- スロットステータスフラグの設定

ネットワーク管理（NEM）

ネットワーク管理ベクタを処理します。

割り込み処理（INT）

割り込みコントローラには以下の機能があります。

- エラーおよびステータス割り込みフラグの提供
- 割り込みソースの許可 / 禁止
- 割り込みソースを 2 つのモジュール割り込み出力のどちらかに割り当て
- モジュール割り込みの有効 / 無効

タイマ（TIM）

タイマモジュールには、次に示すマクロティックタイマが含まれます。

- 1 個の絶対値タイマ
- 1 個の相対値タイマ
- 1 個のストップウォッチタイマ

転送ハンドラ（TRH）

Local RAM や Global RAM と FlexRay モジュール間のデータ転送を処理します。

転送ハンドラは、以下の転送方式をサポートしています。

- Local RAM や Global RAM からメッセージ RAM へのバッファ設定データの転送
- Local RAM や Global RAM からメッセージ RAM へテンポラリファイル用ペイロードデータの転送
- Local RAM や Global RAM からメッセージ RAM へテンポラリファイル用バッファ設定データおよびペイロードデータの転送
- フレーム受信において受信バッファからLocal RAMやGlobal RAMへのペイロードデータの自動転送
- フレーム受信において受信バッファから Local RAM や Global RAM へのペイロードデータ、バッファ構成データ、メッセージバッファステータスデータの自動転送
- スロットステータス更新において専用の送信および受信バッファから Local RAM や Global RAM へのバッファ構成データとメッセージバッファステータスデータの自動転送
- 専用の送信および受信バッファから Local RAM や Global RAM へのペイロードデータ、バッファ構成データ、メッセージバッファステータスデータのマニュアル転送

21.2 レジスタ

21.2.1 レジスター覧

FLXAn のレジスター覧を以下の表に示します。

<FLXAn_base> は、**「21.1.2 レジスタベースアドレス」**を参照してください。

表 21.9 レジスター覧 (1/3)

モジュール名	レジスタ名	略号	アドレス
FLXAn	FlexRay 動作制御レジスタ	FLXAnFROC	<FLXAn_base>+ 0004_H
FLXAn	FlexRay 動作状態レジスタ	FLXAnFROS	<FLXAn_base>+ $000C_H$
FLXAn	FlexRay テストレジスタ 1	FLXAnFRTEST1	<FLXAn_base>+ 0010_H
FLXAn	FlexRay テストレジスタ 2	FLXAnFRTEST2	<FLXAn_base>+ 0014_H
FLXAn	FlexRay ロックレジスタ	FLXAnFRLCK	<FLXAn_base>+ $001C_H$
FLXAn	FlexRay エラー割り込みレジスタ	FLXAnFREIR	<FLXAn_base>+ 0020_H
FLXAn	FlexRay ステータス割り込みレジスタ	FLXAnFRSIR	<FLXAn_base>+ 0024_H
FLXAn	FlexRay エラー割り込み出力選択レジスタ	FLXAnFREILS	<FLXAn_base>+ 0028_H
FLXAn	FlexRay ステータス割り込み出力選択レジスタ	FLXAnFRSILS	<FLXAn_base>+ $002C_H$
FLXAn	FlexRay エラー割り込み許可レジスタ	FLXAnFREIES	<FLXAn_base>+ 0030_H
FLXAn	FlexRay エラー割り込み禁止レジスタ	FLXAnFREIER	<FLXAn_base>+ 0034_H
FLXAn	FlexRay ステータス割り込み許可レジスタ	FLXAnFRSIES	<FLXAn_base>+ 0038_H
FLXAn	FlexRay ステータス割り込み禁止レジスタ	FLXAnFRSIER	<FLXAn_base>+ $003C_H$
FLXAn	FlexRay 割り込み出力許可レジスタ	FLXAnFRILE	<FLXAn_base>+ 0040_H
FLXAn	FlexRay タイマ 0 設定レジスタ	FLXAnFRT0C	<FLXAn_base>+ 0044_H
FLXAn	FlexRay タイマ 1 設定レジスタ	FLXAnFRT1C	<FLXAn_base>+ 0048_H
FLXAn	FlexRay ストップウォッチレジスタ 1	FLXAnFRSTPW1	<FLXAn_base>+ $004C_H$
FLXAn	FlexRay ストップウォッチレジスタ 2	FLXAnFRSTPW2	<FLXAn_base>+ 0050_H
FLXAn	FlexRay SUC 設定レジスタ 1	FLXAnFRSUCC1	<FLXAn_base>+ 0080_H
FLXAn	FlexRay SUC 設定レジスタ 2	FLXAnFRSUCC2	<FLXAn_base>+ 0084_H
FLXAn	FlexRay SUC 設定レジスタ 3	FLXAnFRSUCC3	<FLXAn_base>+ 0088_H
FLXAn	FlexRay NEM 設定レジスタ	FLXAnFRNEMC	<FLXAn_base>+ $008C_H$
FLXAn	FlexRay PRT 設定レジスタ 1	FLXAnFRPRTC1	<FLXAn_base>+ 0090_H
FLXAn	FlexRay PRT 設定レジスタ 2	FLXAnFRPRTC2	<FLXAn_base>+ 0094_H
FLXAn	FlexRay MHD 設定レジスタ	FLXAnFRMHDC	<FLXAn_base>+ 0098_H
FLXAn	FlexRay GTU 設定レジスタ 1	FLXAnFRGTUC1	<FLXAn_base>+ $00A0_H$
FLXAn	FlexRay GTU 設定レジスタ 2	FLXAnFRGTUC2	<FLXAn_base>+ $00A4_H$
FLXAn	FlexRay GTU 設定レジスタ 3	FLXAnFRGTUC3	<FLXAn_base>+ $00A8_H$
FLXAn	FlexRay GTU 設定レジスタ 4	FLXAnFRGTUC4	<FLXAn_base>+ $00AC_H$
FLXAn	FlexRay GTU 設定レジスタ 5	FLXAnFRGTUC5	<FLXAn_base>+ $00B0_H$
FLXAn	FlexRay GTU 設定レジスタ 6	FLXAnFRGTUC6	<FLXAn_base>+ $00B4_H$
FLXAn	FlexRay GTU 設定レジスタ 7	FLXAnFRGTUC7	<FLXAn_base>+ $00B8_H$
FLXAn	FlexRay GTU 設定レジスタ 8	FLXAnFRGTUC8	<FLXAn_base>+ $00BC_H$
FLXAn	FlexRay GTU 設定レジスタ 9	FLXAnFRGTUC9	<FLXAn_base>+ $00C0_H$
FLXAn	FlexRay GTU 設定レジスタ 10	FLXAnFRGTUC10	<FLXAn_base>+ $00C4_H$
FLXAn	FlexRay GTU 設定レジスタ 11	FLXAnFRGTUC11	<FLXAn_base>+ $00C8_H$
FLXAn	FlexRay CC ステータスベクタレジスタ	FLXAnFRCCSV	<FLXAn_base>+ 0100_H

表 21.9 レジスタ一覧 (2/3)

モジュール名	レジスタ名	略号	アドレス
FLXAn	FlexRay CC エラーベクタレジスタ	FLXAnFRCCEV	<FLXAn_base>+ 0104_H
FLXAn	FlexRay スロットカウンタ値レジスタ	FLXAnFRSCV	<FLXAn_base>+ 0110_H
FLXAn	FlexRay MT 値 / サイクルカウンタ値レジスタ	FLXAnFRMTCCV	<FLXAn_base>+ 0114_H
FLXAn	FlexRay レート補正値レジスタ	FLXAnFRRCV	<FLXAn_base>+ 0118_H
FLXAn	FlexRay オフセット補正値レジスタ	FLXAnFROCV	<FLXAn_base>+ $011C_H$
FLXAn	FlexRay Sync フレームステータスレジスタ	FLXAnFRSFS	<FLXAn_base>+ 0120_H
FLXAn	FlexRay シンボルウィンドウ /NIT ステータスレジスタ	FLXAnFRSWNIT	<FLXAn_base>+ 0124_H
FLXAn	FlexRay チャネルステータス集計レジスタ	FLXAnFRACS	<FLXAn_base>+ 0128_H
FLXAn	FlexRay 偶数 Sync ID レジスタ m （m = 1 ～ 15）	FLXAnFRESIDm （m =1 ～ 15）	<FLXAn_base>+ 0130_H ～ <FLXAn_base>+ 0168_H （<FLXAn_base>+ 0130_H + （n-1）× 4_H）
FLXAn	FlexRay 奇数 Sync ID レジスタ m （m =1 ～ 15）	FLXAnFROSIDm （m =1 ～ 15）	<FLXAn_base>+ 0170_H ～ <FLXAn_base>+ $01A8_H$ （<FLXAn_base>+ 0170_H + （m-1）× 4_H）
FLXAn	FlexRay ネットワーク管理ベクタレジスタ m （m =1 ～ 3）	FLXAnFRNMVm （m = 1 ～ 3）	<FLXAn_base>+ $01B0_H$ ～ <FLXAn_base>+ $01B8_H$ （<FLXAn_base>+ $01B0_H$ + （m-1）× 4_H）
FLXAn	FlexRay メッセージ RAM 設定レジスタ	FLXAnFRMRC	<FLXAn_base>+ 0300_H
FLXAn	FlexRay FIFO リジェクションフィルタレジスタ	FLXAnFRFRF	<FLXAn_base>+ 0304_H
FLXAn	FlexRay FIFO リジェクションフィルタマスクレジスタ	FLXAnFRFRFM	<FLXAn_base>+ 0308_H
FLXAn	FlexRay FIFO クリティカルレベルレジスタ	FLXAnFRFCL	<FLXAn_base>+ $030C_H$
FLXAn	FlexRay メッセージハンドラステータスレジスタ	FLXAnFRMHDS	<FLXAn_base>+ 0310_H
FLXAn	FlexRay 最終ダイナミック送信スロットレジスタ	FLXAnFRLDTS	<FLXAn_base>+ 0314_H
FLXAn	FlexRay FIFO ステータスレジスタ	FLXAnFRFSR	<FLXAn_base>+ 0318_H
FLXAn	FlexRay メッセージハンドラ制限フラグレジスタ	FLXAnFRMHDF	<FLXAn_base>+ $031C_H$
FLXAn	FlexRay 送信要求レジスタ i（i = 1 ～ 4）	FLXAnFRTXRQi （i = 1 ～ 4）	<FLXAn_base>+ 0320_H ～ <FLXAn_base>+ $032C_H$ （<FLXAn_base>+ 0320_H + （i-1）× 4_H）
FLXAn	FlexRay 新データレジスタ i （i = 1 ～ 4）	FLXAnFRNDATi （i = 1 ～ 4）	<FLXAn_base>+ 0330_H ～ <FLXAn_base>+ $033C_H$ （<FLXAn_base>+ 0330_H + （i-1）× 4_H）
FLXAn	FlexRay メッセージバッファ変化レジスタ i （i = 1 ～ 4）	FLXAnFRMBSCi （i = 1 ～ 4）	<FLXAn_base>+ 0340_H ～ <FLXAn_base>+ $034C_H$ （<FLXAn_base>+ 0340_H + （i-1）× 4_H）
FLXAn	FlexRay データセクションライトレジスタ x （x = 1 ～ 64）	FLXAnFRWRDSx （x = 1 ～ 64）	<FLXAn_base>+ 0400_H ～ <FLXAn_base>+ $04FC_H$ （<FLXAn_base>+ 0400_H + （x-1）× 4_H）
FLXAn	FlexRay ヘッダセクションライトレジスタ 1	FLXAnFRWRHS1	<FLXAn_base>+ 0500_H
FLXAn	FlexRay ヘッダセクションライトレジスタ 2	FLXAnFRWRHS2	<FLXAn_base>+ 0504_H
FLXAn	FlexRay ヘッダセクションライトレジスタ 3	FLXAnFRWRHS3	<FLXAn_base>+ 0508_H
FLXAn	FlexRay 割り込みバッファコマンドマスクレジスタ	FLXAnFRIBCM	<FLXAn_base>+ 0510_H
FLXAn	FlexRay 割り込みバッファコマンド要求レジスタ	FLXAnFRIBCR	<FLXAn_base>+ 0514_H

表 21.9 レジスタ一覧 (2/3)

モジュール名	レジスタ名	略号	アドレス
FLXAn	FlexRay CC エラーベクタレジスタ	FLXAnFRCCEV	<FLXAn_base>+ 0104_H
FLXAn	FlexRay スロットカウンタ値レジスタ	FLXAnFRSCV	<FLXAn_base>+ 0110_H
FLXAn	FlexRay MT 値 / サイクルカウンタ値レジスタ	FLXAnFRMTCCV	<FLXAn_base>+ 0114_H
FLXAn	FlexRay レート補正値レジスタ	FLXAnFRRCV	<FLXAn_base>+ 0118_H
FLXAn	FlexRay オフセット補正値レジスタ	FLXAnFROCV	<FLXAn_base>+ $011C_H$
FLXAn	FlexRay Sync フレームステータスレジスタ	FLXAnFRSFS	<FLXAn_base>+ 0120_H
FLXAn	FlexRay シンボルウィンドウ /NIT ステータスレジスタ	FLXAnFRSWNIT	<FLXAn_base>+ 0124_H
FLXAn	FlexRay チャネルステータス集計レジスタ	FLXAnFRACS	<FLXAn_base>+ 0128_H
FLXAn	FlexRay 偶数 Sync ID レジスタ m （m = 1 ～ 15）	FLXAnFRESIDm （m =1 ～ 15）	<FLXAn_base>+ 0130_H ～ <FLXAn_base>+ 0168_H （<FLXAn_base>+ 0130_H + （n-1）× 4_H）
FLXAn	FlexRay 奇数 Sync ID レジスタ m （m =1 ～ 15）	FLXAnFROSIDm （m =1 ～ 15）	<FLXAn_base>+ 0170_H ～ <FLXAn_base>+ $01A8_H$ （<FLXAn_base>+ 0170_H + （m-1）× 4_H）
FLXAn	FlexRay ネットワーク管理ベクタレジスタ m （m =1 ～ 3）	FLXAnFRNMVm （m = 1 ～ 3）	<FLXAn_base>+ $01B0_H$ ～ <FLXAn_base>+ $01B8_H$ （<FLXAn_base>+ $01B0_H$ + （m-1）× 4_H）
FLXAn	FlexRay メッセージ RAM 設定レジスタ	FLXAnFRMRC	<FLXAn_base>+ 0300_H
FLXAn	FlexRay FIFO リジェクションフィルタレジスタ	FLXAnFRFRF	<FLXAn_base>+ 0304_H
FLXAn	FlexRay FIFO リジェクションフィルタマスクレジスタ	FLXAnFRFRFM	<FLXAn_base>+ 0308_H
FLXAn	FlexRay FIFO クリティカルレベルレジスタ	FLXAnFRFCL	<FLXAn_base>+ $030C_H$
FLXAn	FlexRay メッセージハンドラステータスレジスタ	FLXAnFRMHDS	<FLXAn_base>+ 0310_H
FLXAn	FlexRay 最終ダイナミック送信スロットレジスタ	FLXAnFRLDTS	<FLXAn_base>+ 0314_H
FLXAn	FlexRay FIFO ステータスレジスタ	FLXAnFRFSR	<FLXAn_base>+ 0318_H
FLXAn	FlexRay メッセージハンドラ制限フラグレジスタ	FLXAnFRMHDF	<FLXAn_base>+ $031C_H$
FLXAn	FlexRay 送信要求レジスタ i（i = 1 ～ 4）	FLXAnFRTXRQi （i = 1 ～ 4）	<FLXAn_base>+ 0320_H ～ <FLXAn_base>+ $032C_H$ （<FLXAn_base>+ 0320_H + （i-1）× 4_H）
FLXAn	FlexRay 新データレジスタ i （i = 1 ～ 4）	FLXAnFRNDATi （i = 1 ～ 4）	<FLXAn_base>+ 0330_H ～ <FLXAn_base>+ $033C_H$ （<FLXAn_base>+ 0330_H + （i-1）× 4_H）
FLXAn	FlexRay メッセージバッファ変化レジスタ i （i = 1 ～ 4）	FLXAnFRMBSCi （i = 1 ～ 4）	<FLXAn_base>+ 0340_H ～ <FLXAn_base>+ $034C_H$ （<FLXAn_base>+ 0340_H + （i-1）× 4_H）
FLXAn	FlexRay データセクションライトレジスタ x （x = 1 ～ 64）	FLXAnFRWRDSx （x = 1 ～ 64）	<FLXAn_base>+ 0400_H ～ <FLXAn_base>+ $04FC_H$ （<FLXAn_base>+ 0400_H + （x-1）× 4_H）
FLXAn	FlexRay ヘッダセクションライトレジスタ 1	FLXAnFRWRHS1	<FLXAn_base>+ 0500_H
FLXAn	FlexRay ヘッダセクションライトレジスタ 2	FLXAnFRWRHS2	<FLXAn_base>+ 0504_H
FLXAn	FlexRay ヘッダセクションライトレジスタ 3	FLXAnFRWRHS3	<FLXAn_base>+ 0508_H
FLXAn	FlexRay 割り込みバッファコマンドマスクレジスタ	FLXAnFRIBCM	<FLXAn_base>+ 0510_H
FLXAn	FlexRay 割り込みバッファコマンド要求レジスタ	FLXAnFRIBCR	<FLXAn_base>+ 0514_H

表 21.9 レジスタ一覧 (3/3)

モジュール名	レジスタ名	略号	アドレス
FLXAn	FlexRay データセクションリードレジスタ x（x = 1 ～ 64）	FLXAnFRRDDSx （x = 1 ～ 64）	<FLXAn_base>+ 0600_H ～ <FLXAn_base>+ $06FC_H$ （<FLXAn_base>+ 0600_H + （x-1）× 4_H）
FLXAn	FlexRay ヘッダセクションリードレジスタ 1	FLXAnFRRDHS1	<FLXAn_base>+ 0700_H
FLXAn	FlexRay ヘッダセクションリードレジスタ 2	FLXAnFRRDHS2	<FLXAn_base>+ 0704_H
FLXAn	FlexRay ヘッダセクションリードレジスタ 3	FLXAnFRRDHS3	<FLXAn_base>+ 0708_H
FLXAn	FlexRay メッセージバッファステータスレジスタ	FLXAnFRMBS	<FLXAn_base>+ $070C_H$
FLXAn	FlexRay 出力バッファコマンドマスクレジスタ	FLXAnFROBCM	<FLXAn_base>+ 0710_H
FLXAn	FlexRay 出力バッファコマンド要求レジスタ	FLXAnFROBCR	<FLXAn_base>+ 0714_H
FLXAn	FlexRay 入力転送設定レジスタ	FLXAnFRITC	<FLXAn_base>+ 0800_H
FLXAn	FlexRay 出力転送設定レジスタ	FLXAnFROTC	<FLXAn_base>+ 0804_H
FLXAn	FlexRay 入力ポインタテーブルベースアドレスレジスタ	FLXAnFRIBA	<FLXAn_base>+ 0808_H
FLXAn	FlexRay FIFO ポインタテーブルベースアドレスレジスタ	FLXAnFRFBA	<FLXAn_base>+ $080C_H$
FLXAn	FlexRay 出力ポインタテーブルベースアドレスレジスタ	FLXAnFROBA	<FLXAn_base>+ 0810_H
FLXAn	FlexRay 入力キュー制御レジスタ	FLXAnFRIQC	<FLXAn_base>+ 0814_H
FLXAn	FlexRay ユーザ入力転送要求レジスタ	FLXAnFRUIR	<FLXAn_base>+ 0818_H
FLXAn	FlexRay ユーザ出力転送要求レジスタ	FLXAnFRUOR	<FLXAn_base>+ $081C_H$
FLXAn	FlexRay 入力転送ステータスレジスタ	FLXAnFRITS	<FLXAn_base>+ 0820_H
FLXAn	FlexRay 出力転送ステータスレジスタ	FLXAnFROTS	<FLXAn_base>+ 0824_H
FLXAn	FlexRay アクセスエラーステータスレジスタ	FLXAnFRAES	<FLXAn_base>+ 0828_H
FLXAn	FlexRay アクセスエラーアドレスレジスタ	FLXAnFRAEA	<FLXAn_base>+ $082C_H$
FLXAn	FlexRay メッセージデータ可能レジスタ i （i = 0 ～ 3）	FLXAnFRDAi （i = 0 ～ 3）	<FLXAn_base>+ 0830_H ～ <FLXAn_base>+ $083C_H$ （<FLXAn_base>+ 0830_H + i× 4_H）
FLXAn	FlexRay H-Bus 設定レジスタ	FLXAnFRAHBC	<FLXAn_base>+ 0840_H
FLXAn	FlexRay タイマ 2 設定レジスタ	FLXAnFRT2C	<FLXAn_base>+ 0844_H

21.2.2 FlexRay 動作レジスタ

21.2.2.1 FLXAnFROC — FlexRay 動作制御レジスタ

アクセス FLXAnFROC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROCL、FLXAnFROCH レジスタは、16 ビット単位でリード / ライト可能です。
FLXAnFROCLL、FLXAnFROCHL レジスタは、8 ビット単位でリード / ライト可能です。

アドレス FLXAnFROC: <FLXAn_base> + 0004_H
FLXAnFROCL: <FLXAn_base> + 0004_H、FLXAnFROCH: <FLXAn_base> + 0006_H
FLXAnFROCLL: <FLXAn_base> + 0004_H、FLXAnFROCHL: <FLXAn_base> + 0006_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	T2IE	T1IE	T0IE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OEP	—	—	—	—	—	BEC	OE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W

表 21.10 FLXAnFROC レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	T2IE	タイマ 2 割り込み有効ビット 0: 無効 1: 有効
17	T1IE	タイマ 1 割り込み有効ビット 0: 無効 1: 有効
16	T0IE	タイマ 0 割り込み有効ビット 0: 無効 1: 有効
15 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
7	OEP	動作許可ビット保護ビット 0: OE は保護されていない 1: OE は保護されている
6 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	BEC	バイトエンディアンコントロールビット 0: リトルエンディアン 1: ビッグエンディアン
0	OE	動作許可ビット 0: 動作無効、SW リセット 1: 動作有効

(1) FLXAnFROC.T2IE

タイマ 2 割り込み有効ビット

タイマ 2 割り込みを制御します。

0: 無効

割り込みは要求されず、タイマ 2 割り込み出力は開放されます。

1: 有効

FLXAnFROTS.T2IS ビットが 1 の場合、タイマ 2 割り込みが発生します。

(2) FLXAnFROC.T1IE

タイマ 1 割り込み有効ビット

FlexRay ステータス割り込み許可レジスタのタイマ 1 割り込みビットが無効の場合（FLXAnFRSIES.TI1E が 0）のみ、ユーザはこのビットを 1 にセットできます。

このビットはタイマ 1 割り込みを制御します。

0: 無効

割り込みは要求されず、タイマ 1 割り込み出力は開放されます。

1: 有効

FLXAnFROTS.T1IS が 1 の場合、タイマ 1 割り込みが発生します。

(3) FLXAnFROC.T0IE

タイマ 0 割り込み有効ビット

FlexRay ステータス割り込み許可レジスタのタイマ 0 割り込みビットが無効の場合（FLXAnFRSIES.TI0E が 0）のみ、ユーザはこのビットを 1 にセットできます。

このビットはタイマ 0 割り込みを制御します。

0: 無効

割り込みは要求されず、タイマ 0 割り込み出力は開放されます。

1: 有効

FLXAnFROTS.T0IS が 1 の場合、タイマ 0 割り込みが発生します。

(4) FLXAnFROC.OEP

動作許可ビット保護ビット

このビットは OE ビットへの不用意な書き込みを保護するものです。

0: OE はアンプロテクト状態

OE ビットへの書き込みは有効

1: OE はプロテクト状態

OE ビットへの書き込みは禁止

(5) FLXAnFROC.BEC

バイトエンディアンコントロール

FLXAnFROS.OS が 1 の場合のみこのビットを変更することができます。

このビットは、FlexRay ネットワーク管理ベクタレジスタ（FLXAnFRNMVm）、FlexRay データセクションライトレジスタ（FLXAnFRWRDSx）、FlexRay データセクションリードレジスタ（FLXAnFRRDDSx）の読み出し / 書き込みのバイト順を制御します。このビットは、データ転送機能を使用した FlexRay ペイロードデータの読み出し / 書き込みのバイト順も制御します。

バイトアライメントの詳細については**「21.3.17 バイトアライメント」**を参照してください。

0: リトルエンディアン

FLXAnFRNMVm、FLXAnFRWRDSx、FLXAnFRRDDSx 内のバイトアライメントはリトルエンディアン方式

1: ビッグエンディアン

FLXAnFRNMVm、FLXAnFRWRDSx、FLXAnFRRDDSx 内のバイトアライメントはビッグエンディアン方式

(6) FLXAnFROC.OE

動作許可ビット

FLXAnFROC.OEP が 0 の場合のみこのビットに書き込み可能です。

FLXAnFROS.OS が 1 の場合のみこのビットに 0 を書き込んでください。

FLXAnFROS.OS が 0 で FlexRay サンプルクロックが有効な場合のみこのビットに 1 を書き込んでください。

このビットは動作状態を制御し、FlexRay モジュールのソフトウェアリセットを提供します。動作状態ビット（FLXAnFROS.OS）は、FlexRay モジュールがリセット状態かどうかを示します。

0: 動作禁止、SW リセット

FlexRay モジュールの状態にかかわらず、FlexRay モジュールは強制的にリセット状態になります。

1: 動作可能

FlexRay モジュールのリセット状態は解除されています。

21.2.2.2 FLXAnFROS — FlexRay 動作ステータスレジスタ

アクセス FLXAnFROS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROSL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROSH レジスタは、16 ビット単位でリード / ライト可能です。
FLXAnFROSLL レジスタは、8 ビット単位でリードのみ可能です。
FLXAnFROSHL レジスタは、8 ビット単位でリード / ライト可能です。

アドレス FLXAnFROS: <FLXAn_base> + $000C_H$
FLXAnFROSL: <FLXAn_base> + $000C_H$、FLXAnFROSH: <FLXAn_base> + $000E_H$,
FLXAnFROSLL: <FLXAn_base> + $000C_H$、FLXAnFROSHL: <FLXAn_base> + $000E_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	T2IS	T1IS	T0IS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.11 FLXAnFROS レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	T2IS	タイマ 2 割り込みステータスビット 0: タイマ 2 は FLXAnFRT2C レジスタに設定された状態と一致していない。 1: タイマ 2 は FLXAnFRT2C レジスタに設定された状態と一致した
17	T1IS	タイマ 1 割り込みステータスビット 0: タイマ 1 は FLXAnFRT1C レジスタに設定された状態と一致していない。 1: タイマ 1 は FLXAnFRT1C レジスタに設定された状態と一致した。
16	T0IS	タイマ 0 割り込みステータスビット 0: タイマ 0 は FLXAnFRT0C レジスタに設定された状態と一致していない。 1: タイマ 0 は FLXAnFRT0C レジスタに設定された状態と一致した。
15 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	OS	動作状態ビット 0: 動作禁止、リセット状態 1: 動作可能

(1) FLXAnFROS.T2IS

タイマ 2 割り込みステータスビット

このビットに 0 を書き込んでも無効です。

このビットは、FLXAnFRT2C レジスタ内に設定された満了基準が FlexRay ローカル時間と一致したことを示します。

FLXAnFROC.T2IE が有効で FLXAnFROS.T2IS が 1 の場合、タイマ 2 割り込みが発生します。

〔クリア条件〕

FLXAnFROS.T2IS に 1 を書き込むと、このビットはクリアされます。

FLXAnFROS.OS が 1 から 0 に変化すると、このビットはクリアされます。

〔セット条件〕

FLXAnFRT2C に設定された満了基準に FlexRay ローカル時間が一致すると、このビットはセットされます。

(2) FLXAnFROS.T1IS

タイマ 1 割り込みステータスビット

このビットに 0 を書き込んでも無効です。

このビットは、FLXAnFRT1C レジスタ内に設定された満了基準が FlexRay ローカル時間と一致したことを示します。

FLXAnFROC.T1IE が有効で FLXAnFROS.T1IS が 1 の場合、タイマ 1 割り込みが発生します。

〔クリア条件〕

FLXAnFROS.T1IS に 1 を書き込むと、このビットはクリアされます。

FLXAnFROS.OS が 1 から 0 に変化すると、このビットはクリアされます。

〔セット条件〕

FLXAnFRT1C に設定された満了基準に FlexRay ローカル時間が一致すると、このビットはセットされます。

(3) FLXAnFROS.T0IS

タイマ 0 割り込みステータスビット

このビットに 0 を書き込んでも無効です。

このビットは、FLXAnFRT0C レジスタ内に設定された満了基準が FlexRay ローカル時間と一致したことを示します。

FLXAnFROC.T0IE が有効で FLXAnFROS.T0IS が 1 の場合、タイマ 1 割り込みが発生します。

〔クリア条件〕

FLXAnFROS.T0IS に 1 を書き込むと、このビットはクリアされます。

FLXAnFROS.OS が 1 から 0 に変化すると、このビットはクリアされます。

〔セット条件〕

FLXAnFRT0C に設定された満了基準に FlexRay ローカル時間が一致すると、このビットはセットされます。

(4) FLXAnFROS.OS

動作状態ビット

このビットは FlexRay モジュールがリセット状態であるか動作状態であるかを示します。

FLXAnFROS.OS が 0 の場合、FlexRay モジュールは初期化され、アドレス範囲 <FLXAn_base> + 0010_H から <FLXAn_base> + $0FFF_H$ にマッピングされたレジスタをアクセスすることはできません。また、これらのレジスタを読み出すと未定義データを返します。

FLXAnFROS.OS が 1 の場合、アドレス範囲 <FLXAn_base> + 0010_H から <FLXAn_base> + $0FFF_H$ へのアクセスおよび FlexRay 通信の実行が可能です。

FLXAnFROS.OS が 0 から 1 へ変化すると、アドレス範囲 <FLXAn_base> + 0010_H から <FLXAn_base> + $0FFF_H$ 内のすべてのレジスタは“ リセット後の値 ” にセットされます。

〔クリア条件〕

FLXAnFROC.OE が 0 にセットされている場合、FLXAnFROS.OS が 0 にセットされるまで最大 2 周辺クロック必要です。

〔セット条件〕

FLXAnFROC.OE が 1 にセットされている場合、FLXAnFROS.OS が 1 にセットされるまで FlexRay サンプルクロックと周辺バスクロックのうち、より低い周波数をもつクロックの最大 4 周辺クロック必要です。

21.2.3 特殊レジスタ

21.2.3.1 FLXAnFRTEST1 — FlexRay テストレジスタ 1

FlexRay テストレジスタ 1 には、FlexRay モジュールのテストモードを設定するための制御ビットが含まれます。

FLXAnFRTEST1.WRTEN がセットされている必要があるいずれかのテストモード（RAM テストモード、I/O テストモード、非同期送信モード、およびループバックモード）で FlexRay が動作している場合、選択したテストモード機能のみが使用可能です。

テストモードから通常動作モードに戻るには、FLXAnFROC.OE のリセット機能を適用して、FlexRay のすべての内部ステートマシンを初期状態に戻すことが推奨されます。

通常動作モードの機能とテスト機能を同時に使用することはできません。テスト機能は FlexRay モジュールの一部の機能を変更します。したがって、本章以外で指定され、FlexRay プロトコル仕様および FlexRay コンフォーマンステストにより規定されている通常動作は不可能となります。また、テスト機能を互いに、または FlexRay プロトコル機能と組み合わせることはできません。

テストモード機能は、ハードウェアテストまたは FlexRay バスアナライザツールでの使用を目的としています。FlexRay アプリケーションでの使用は意図されていません。

アクセス 32 ビット単位でリード／ライト可能です

アドレス FLXAnFRTEST1: <FLXAn_base> + 0010_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CERB[3:0]				CERA[3:0]				—	—	TXENB	TXENA	TXB	TXA	RXB	RXA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	AOB	AOA	—	—	TMC[1:0]		—	—	ELBE	WRTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 21.12 FLXAnFRTEST1 レジスタの構成 (1/2)

ビット位置	ビット名	機能
31 ～ 28	CERB[3:0]	コーディングエラーレポートチャネル B 0000_B：コーディングエラー未検出 0001_B：ヘッダ CRC エラー検出 0010_B：フレーム CRC エラー検出 0011_B：フレーム開始シーケンス FSS が長すぎる 0100_B：バイト開始シーケンス BSS の 1 ビット目がロウレベル 0101_B：バイト開始シーケンス BSS の 2 ビット目がハイレベル 0110_B：フレーム終了シーケンス FES の 1 ビット目がハイレベル 0111_B：フレーム終了シーケンス FES の 2 ビット目がロウレベル 1000_B：CAS / MTS シンボルが短すぎる 1001_B：CAS / MTS シンボルが長すぎる 1010_B ～ 1111_B：予約
27 ～ 24	CERA[3:0]	コーディングエラーレポートチャネル A 0000_B：コーディングエラー未検出 0001_B：ヘッダ CRC エラー検出 0010_B：フレーム CRC エラー検出 0011_B：フレーム開始シーケンス FSS が長すぎる 0100_B：バイト開始シーケンス BSS の 1 ビット目がロウレベル 0101_B：バイト開始シーケンス BSS の 2 ビット目がハイレベル 0110_B：フレーム終了シーケンス FES の 1 ビット目がハイレベル 0111_B：フレーム終了シーケンス FES の 2 ビット目がロウレベル 1000_B：CAS / MTS シンボルが短すぎる 1001_B：CAS / MTS シンボルが長すぎる 1010_B ～ 1111_B：予約
23、22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	TXENB	チャネル B 送信許可端子の制御 0：FLXAnTENB 端子が 0 1：FLXAnTENB 端子が 1
20	TXENA	チャネル A 送信許可端子の制御 0：FLXAnTENA 端子が 0 1：FLXAnTENA 端子が 1
19	TXB	チャネル B 送信端子の制御 0：FLXAnTXDB 端子が 0 1：FLXAnTXDB 端子が 1
18	TXA	チャネル A 送信端子の制御 0：FLXAnTXDA 端子が 0 1：FLXAnTXDA 端子が 1
17	RXB	チャネル B 受信端子のモニタ 0：FLXAnRXDB 端子が 0 1：FLXAnRXDB 端子が 1
16	RXA	チャネル A 受信端子のモニタ 0：FLXAnRXDA 端子が 0 1：FLXAnRXDA 端子が 1
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	AOB	チャネル B のアクティビティ 0: アクティビティ未検出、チャネル B はアイドル状態です。 1: アクティビティ検出、チャネル B はアイドル状態ではありません。
8	AOA	チャネル A のアクティビティ 0: アクティビティ未検出、チャネル A はアイドル状態です。 1: アクティビティ検出、チャネル A はアイドル状態ではありません。
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	TMC[1:0]	テストマルチプレクサ制御 00_B：通常シグナルパス 01_B：RAM テストモード 10_B：I/O テストモード 11_B：通常シグナルパス

表 21.12 FLXAnFRTEST1 レジスタの構成 (2/2)

ビット位置	ビット名	機能
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ELBE	外部ループバック許可 0：内部ループバック 1：外部ループバック
0	WRTEN	テストレジスタへの書き込み制御 0：テストレジスタへの書き込みアクセス禁止 1：テストレジスタへの書き込みアクセス許可

(1) FLXAnFRTEST1.CERB

チャネル B のコーディングエラーレポート

チャネル B でコーディングエラーが検出されるとセットされます。

FLXAnFRTEST1 レジスタがリードまたはライトされると、0 にリセットされます。FLXAnFRTEST1.CERB はセットされると、FLXAnFRTEST1 レジスタがアクセスされるまで変更されません。

備　考

1. コーディングエラーは、フレームのデコーディングが可能なすべての状態で通知されます。その他すべての状態では、FLXAnFRTEST1.CERB は無視してください 。
2. CAS/MTS シンボルに関するエラーコードは、ビットパターンがシンボルウィンドウまたはそれ以外の場所で検出されたかどうかにかかわらず、監視対象のビットパターンにのみ関係します。

(2) FLXAnFRTEST1.CERA

チャネル A のコーディングエラーレポート

チャネル A でコーディングエラーが検出されるとセットされます。

FLXAnFRTEST1 レジスタがリードまたはライトされると、0 にリセットされます。FLXAnFRTEST1.CERA はセットされると、FLXAnFRTEST1 レジスタがアクセスされるまで変更されません。

備　考

1. コーディングエラーは、フレームのデコーディングが可能なすべての状態で通知されます。その他すべての状態では、FLXAnFRTEST1.CERA は無視されます。
2. CAS/MTS シンボルに関するエラーコードは、ビットパターンがシンボルウィンドウまたはそれ以外の場所で検出されたかどうかにかかわらず、監視対象のビットパターンにのみ関係します。

(3) FLXAnFRTEST1.TXENB

チャネル B 送信許可端子の制御

本ビットへのライトは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

FLXAnTENB 端子を駆動することにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(4) FLXAnFRTEST1.TXENA

チャネル A 送信許可端子の制御

本ビットへのライトは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

FLXAnTENA 端子を駆動することにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(5) FLXAnFRTEST1.TXB

チャネル B 送信端子の制御

本ビットへのライトは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

FLXAnTXDB 端子を駆動することにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(6) FLXAnFRTEST1.TXA

チャネル A 送信端子の制御

本ビットへのライトは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

FLXAnTXDA 端子を駆動することにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(7) FLXAnFRTEST1.RXB

チャネル B 受信端子の監視

本ビットは、FLXAnRXDB 端子をリードすることにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(8) FLXAnFRTEST1.RXA

チャネル A 受信端子の監視

本ビットは、FLXAnRXDA 端子をリードすることにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(9) FLXAnFRTEST1.AOB

チャネル B 上のアクティビティ

FLXAnFRTEST1.AOB は、チャネル B 上でアクティビティが検出された場合、POC 状態が DEFAULT_CONFIG または CONFIG の場合にセットされます。

STARTUP、NORMAL_ACTIVE、または NORMAL_PASSIVE の間は、FLXAnFRTEST1.AOB の機能は、FlexRay プロトコル仕様 V2.1、セクション 3、BITSTRB プロセスで規定されている zChannelIdle の逆数になります。その他すべての POC 状態では、FLXAnFRTEST1.AOB は無視されます。

(10) FLXAnFRTEST1.AOA

チャネル A 上のアクティビティ

FLXAnFRTEST1.AOA は、チャネル A 上でアクティビティが検出された場合、POC 状態が DEFAULT_CONFIG または CONFIG の場合にセットされます。

STARTUP、NORMAL_ACTIVE、または NORMAL_PASSIVE の間は、FLXAnFRTEST1.AOA の機能は、FlexRay プロトコル仕様 V2.1、セクション 3、BITSTRB プロセスで規定されている zChannelIdle の逆数になります。その他すべての POC 状態では、FLXAnFRTEST1.AOA は無視されます。

(11) FLXAnFRTEST1.TMC

マルチプレクサ制御のテスト

本ビットへのライトアクセスは、FLXAnFRTEST1.WRTEN が 1 にセットされている場合にのみ可能です。

00_B = 通常のシグナルパス

01_B = RAM テストモード

FlexRay のメッセージ RAM、テンポラリバッファ RAM A、およびテンポラリバッファ RAM B をホストから直接アクセス可能にするために、内部バスが多重化されます。このモードは、本番テスト時に FlexRay RAM のテストを可能にすることを目的としています。

10_B = I/O テストモード

FLXAnTXDA、FLXAnTXDB、FLXAnTENA、FLXAnTENB 出力端子が、FLXAnFRTEST1.TXA、FLXAnFRTEST1.TXB、FLXAnFRTEST1.TXENA、FLXAnFRTEST1.TXENB ビットにより定義される値に駆動されます。

FLXAnRXDA、FLXAnRXDB 入力端子に適用される値は、FLXAnFRTEST1.RXA、FLXAnFRTEST1.RXB ビットからリードできます。

11_B = 通常のシグナルパス

(12) FLXAnFRTEST1.ELBE

外部ループバック許可

本ビットへのライトアクセスは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

ループバックテストを実行するには、2 つの方法があります。物理レイヤを介した外部ループバックまたはインシステムセルフテスト用の内部ループバックです。

内部ループバックの場合、FlexRay の FLXAnTENA、FLXAnTENB 端子はインアクティブ状態にあり、FLXAnTXDA、FLXAnTXDB 端子はハイレベルに設定され、FLXAnRXDA、FLXAnRXDB 端子は評価しません。FLXAnFRTEST1.ELBE ビットは、POC がループバックモードであり、テストマルチプレクサ制御が非多重化モード FLXAnFRTEST1.TMC = 00_B の場合にのみ評価されます。

(13) FLXAnFRTEST1.WRTEN

テストレジスタ書き込み許可

ビットを 0 から 1 にセットするには、テストモードキーが**「21.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ」**に定義されているように書き込まれている必要があります。テストレジスタへの書き込みアクセスを許可します。FLXAnFRTEST1.WRTEN が 1 のままで、レジスタの他のビットが変更されていない場合は、ロック解除シーケンスは不要です。

このビットは常に 0 にリセットできます。

21.2.3.2 FLXAnFRTEST2 — FlexRay テストレジスタ 2

FlexRay テストレジスタ 2 には、FlexRay モジュールのメッセージ RAM、テンポラリバッファ RAM A、およびテンポラリバッファ RAM B の RAM テストに必要なすべてのビットが含まれます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FLXAnFRTEST2: <FLXAn_base> + 0014_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SSEL[2:0]			—	RS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 21.13 FLXAnFRTEST2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 4	SSEL[2:0]	セグメント選択 000_B：RAM バイト 0000_H ～ $03FF_H$ へのアクセス許可 001_B：RAM バイト 0400_H ～ $07FF_H$ へのアクセス許可 010_B：RAM バイト 0800_H ～ $0BFF_H$ へのアクセス許可 011_B：RAM バイト $0C00_H$ ～ $0FFF_H$ へのアクセス許可 100_B：RAM バイト 1000_H ～ $13FF_H$ へのアクセス許可 101_B：RAM バイト 1400_H ～ $17FF_H$ へのアクセス許可 110_B：RAM バイト 1800_H ～ $1BFF_H$ へのアクセス許可 111_B：RAM バイト $1C00_H$ ～ $1FFF_H$ へのアクセス許可
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	RS[2:0]	RAM 選択 000_B = 未使用 001_B = 未使用 010_B = 未使用 011_B = 未使用 100_B = テンポラリバッファ RAM A（TBF1） 101_B = テンポラリバッファ RAM B（TBF2） 110_B = メッセージ RAM（MBF） 111_B = 未使用

(1) FLXAnFRTEST2.SSEL

セグメント選択

本ビットへのライトアクセスは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

メッセージ RAM 全体（8192 バイトアドレス）へのアクセスを可能にするために、メッセージ RAM は 1024 バイトのセグメントに分割されます。

(2) FLXAnFRTEST2.RS

RAM 選択

本ビットへのライトアクセスは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

RAM テストモードでは、FLXAnFRTEST2.RS により選択される RAM ブロックは、次のモジュールアドレスにマッピングされます。

<FLXAn_base> + 0400_H ～ ERAY+$07FF_H$（1024 バイトアドレス）

21.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ

アクセス FLXAnFRLCK レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRLCKL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRLCKLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRLCK: <FLXAn_base> + $001C_H$、
FLXAnFRLCKL: <FLXAn_base> + $001C_H$,
FLXAnFRLCKLL: <FLXAn_base> + $001C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CLK[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.14 FLXAnFRLCK レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
7 ～ 0	CLK[7:0]	設定ロックキービット

(1) FLXAnFRLCK.CLK

設定ロックキービット

ロックレジスタは書き込み専用です。リードすると $0000\ 0000_H$ が戻ります。

FLXAnFRSUCC1.CMD（READY コマンド）への書き込みによって CONFIG 状態から抜ける前に、設定ロックキービットに連続した 2 つの書き込み（ロック解除シーケンス）を行ってください。以下にその手順を示します。設定ロックキービットへの 2 番目の書き込みと FLXAnFRSUCC1 レジスタへの書き込みサイクルの間に他のライトアクセスが発生した場合、CONFIG 状態のままなので、下記の手順を繰り返してください。

1 番目の書き込み：FLXAnFRLCK.CLK = “$1100\ 1110_B$”（CE_H）

2 番目の書き込み：FLXAnFRLCK.CLK = “$0011\ 0001_B$”（31_H）

3 番目の書き込み：FLXAnFRSUCC1.CMD

注 意

CPU が 8/16 ビットアクセスで上記のビットフィールドに書き込む場合、コンパイラが残りのレジスタバイト / ワードにダミーアクセスしないように設定してください。

21.2.4 割り込み関連レジスタ

21.2.4.1 FLXAnFREIR — FlexRay エラー割り込みレジスタ

下記のいずれかのエラーが検出されると、フラグがセットされます。フラグは、クリアされるまでセットされたままです。

アクセス FLXAnFREIR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFREIRL、FLXAnFREIRH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFREIRLL、FLXAnFREIRLH、FLXAnFREIRHL、FLXAnFREIRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFREIR: <FLXAn_base> + 0020_H,
FLXAnFREIRL: <FLXAn_base> + 0020_H、FLXAnFREIRH: <FLXAn_base> + 0022_H,
FLXAnFREIRLL: <FLXAn_base> + 0020_H、FLXAnFREIRLH: <FLXAn_base> + 0021_H,
FLXAnFREIRHL: <FLXAn_base> + 0022_H、FLXAnFREIRHH: <FLXAn_base> + 0023_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABB	LTVB	EDB	—	—	—	—	—	TABA	LTVA	EDA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHF	IOBA	IIBA	EFA	RFO	AERR	CCL	CCF	SFO	SFBM	CNA	PEMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.15 FLXAnFREIR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
26	TABB	チャネル B 境界越え送信フラグ 0: チャネル B でスロット境界を越えた送信が未検出 1: チャネル B でスロット境界を越えた送信が検出
25	LTVB	チャネル B 最終送信違反フラグ 0: チャネル B で最終送信違反が未検出 1: チャネル B で最終送信違反が検出
24	EDB	チャネル B エラー検出フラグ 0: チャネル B でエラー未検出 1: チャネル B でエラー検出
23 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	TABA	チャネル A 境界越え送信フラグ 0: チャネル A でスロット境界を越えた送信が未検出 1: チャネル A でスロット境界を越えた送信が検出
17	LTVA	チャネル A 最終送信違反フラグ 0: チャネル A で最終送信違反が未検出 1: チャネル A で最終送信違反が検出
16	EDA	チャネル A エラー検出フラグ 0: チャネル A でエラー未検出 1: チャネル A でエラー検出
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

表 21.15 FLXAnFREIR レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	MHF	メッセージハンドラ制約フラグ 0: メッセージハンドラ制約違反なし 1: メッセージハンドラ制約違反発生
10	IOBA	出力バッファ不正アクセスフラグ 0: 出力バッファへの不正 CPU アクセスなし 1: 出力バッファへの不正 CPU アクセス発生
9	IIBA	入力バッファ不正アクセスフラグ 0: 入力バッファへの不正な CPU アクセスなし 1: 入力バッファへの不正な CPU アクセス発生
8	EFA	エンプティ FIFO アクセスフラグ 0: エンプティ FIFO へのアクセスなし 1: エンプティ FIFO へのアクセスあり
7	RFO	受信 FIFO オーバランフラグ 0: 受信 FIFO オーバラン未検出 1: 受信 FIFO オーバランを発生
6	AERR	アクセスエラーフラグ 0: アクセスエラー未検出 1: アクセスエラー検出
5	CCL	CHI コマンドロックフラグ 0: CHI コマンド拒否 1: CHI コマンド受け付け
4	CCF	クロック補正エラーフラグ 0: クロック補正成功 1: クロック補正エラー
3	SFO	Sync フレーム数オーバフローフラグ 0: 受信した Sync フレーム数が FLXAnFRGTUC2 の設定値以下 1: 受信した Sync フレーム数が FLXAnFRGTUC2 の設定値を超過
2	SFBM	Sync フレーム数不足フラグ 1: 受信した Sync フレーム数が規定の最小値未満 0: Sync ノード：1 つ以上の Sync フレームを受信 非 Sync ノード：2 つ以上の Sync フレームを受信
1	CNA	コマンド無効フラグ 0: CHI コマンド受け付け 1: CHI コマンド無効
0	PEMC	POC エラーモード変更フラグ 0: エラーモード変更されず 1: エラーモード変更された

(1) FLXAnFREIR.TABB

チャネル B 境界越え送信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャネル B においてスロット境界を越える送信が発生したことを示します。

(2) FLXAnFREIR.LTVB

チャネル B 最終送信違反フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャネル B 最終送信違反があったことを示します。

(3) FLXAnFREIR.EDB

チャネル B エラー検出フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRACS レジスタの SEDB、CEDB、CIB、SBVB ビットのいずれかが “0” から “1” になると “1” になります。

(4) FLXAnFREIR.TABA

チャネル A 境界越え送信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャネル A においてスロット境界を越える送信が発生したことを示します。

(5) FLXAnFREIR.LTVA

チャネル A 最終送信違反フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャネル A 最終送信違反があったことを示します。

(6) FLXAnFREIR.EDA

チャネル A エラー検出フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRACS レジスタの SEDA、CEDA、CIA、SBVA のいずれかが “0” から “1” になると “1” になります。

(7) FLXAnFREIR.MHF

メッセージハンドラ制約フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージハンドラ制約違反状態を示します。FLXAnFRMHDF レジスタの SNUA、SNUB、FNFA、FNFB、TBFA、TBFB、WAHP ビットのいずれかが “0” から “1” になると “1” になります。

(8) FLXAnFREIR.IOBA

出力バッファ不正アクセスフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFROBCR レジスタの OBSYS ビットが “1” のとき、メッセージ RAM から出力バッファへ、メッセージバッファの転送要求が発生すると “1” になります。

(9) FLXAnFREIR.IIBA

入力バッファ不正アクセスフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

CPU が入力バッファ経由でメッセージバッファの変更を要求し、下記のいずれかの条件が発生したとき、“1” になります。

（1） CONFIG 状態または DEFAULT_CONFIG 状態以外で、CPU が以下の変更をするために、FlexRay 入力バッファコマンド要求レジスタに書き込んだ場合

- キースロットとして設定されているメッセージバッファ 0 または 1 のヘッダセクション
- FLXAnFRMRC レジスタの SEC ビットが “01_B” のとき、FDB ビットで設定したバッファ番号より小さいバッファ番号を持つスタティックメッセージバッファのヘッダセクション
- FLXAnFRMRC レジスタの SEC ビットが “$1x_B$” のとき、スタティックメッセージバッファまたはダイナミックメッセージバッファのヘッダセクション
- 受信 FIFO に属するメッセージバッファのヘッダおよび / またはデータセクション

（2） FLXAnFRIBCR レジスタの IBSYH ビットが “1” のとき、入力バッファ関連のレジスタに書き込んだ場合

(10) FLXAnFREIR.EFA

エンプティ FIFO アクセスフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

受信 FIFO がエンプティ状態のとき、CPU が出力バッファを通じて受信 FIFO からメッセージ転送を要求した場合、“1” になります。

(11) FLXAnFREIR.RFO

受信 FIFO オーバランフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

受信 FIFO オーバランを検出したとき “1” になります。受信 FIFO オーバランが発生すると、受信 FIFO 内の一番古いメッセージに新しいメッセージが上書きされます。FIFO の現在の状態は FLXAnFRFSR レジスタで読むことができます。

(12) FLXAnFREIR.AERR

アクセスエラーフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

アクセスエラーを通知します。

FLXAnFRMHDS レジスタの AMR ビット、ATBF1 ビットまたは ATBF2 ビットが “0” から “1” になると “1” になります。

(13) FLXAnFREIR.CCL

CHI コマンドロックフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前の CHI コマンドの実行が完了していないために、FLXAnFRSUCC1 レジスタの CMD ビットへの CHI コマンド書き込みが無効になったことを示します。このフラグが “1” になると同時に、CNA フラグも “1” になります。

(14) FLXAnFREIR.CCF

クロック補正エラーフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

下記のエラーのうちいずれかが発生した場合、コミュニケーションサイクルの最後で "1" になります。

- オフセットおよび / またはレート補正未満
- クロック補正制限値の超過

クロック補正の状態は FLXAnFRCCEV レジスタ、FLXAnFRSFS レジスタで読むことができます。このフラグはスタートアップ中に “1” なる可能性があるため、NORMAL_ACTIVE 状態に遷移後、このフラグを “0” にしてください。

(15) FLXAnFREIR.SFO

Sync フレーム数オーバフローフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のコミュニケーションサイクル中で受信した Sync フレーム数、または最後の 2 つのサイクルで受信した異なる Sync フレーム ID 数の総和が、FLXAnFRGTUC2 レジスタの SNM ビットで設定した Sync フレームの最大数を超過した場合、“1” になります。

(16) FLXAnFREIR.SFBM

Sync フレーム数不足フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のコミュニケーションサイクル中に受信した Sync フレーム数が、レートあるいはオフセット補正値で規定された最小値未満の場合（レートおよび / またはオフセット補正未満）、サイクルの最後で “1” になります。

クロック補正の状態は、FLXAnFRCCEV レジスタ、FLXAnFRSFS レジスタで読むことができます。

このフラグはスタートアップ中に “1” なる可能性があるため、NORMAL_ACTIVE 状態に遷移後このフラグを “0” にしてください。

(17) FLXAnFREIR.CNA

コマンド無効フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

要求したコマンドが、現状の POC 状態で無効だった、または CHI コマンドがロックされた（CCL ＝ 1）ために、FLXAnFRSUCC1 レジスタの CMD ビットへのコマンドが無効だったことを示します。

(18) FLXAnFREIR.PEMC

POC エラーモード変更フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRCCEV レジスタの ERRM ビットで示されるエラーモードが変更されると “1” になります。

21.2.4.2 FLXAnFRSIR — FlexRay ステータス割り込みレジスタ

下記のいずれかのイベントを検出すると、フラグがセットされます。フラグは、クリアされるまでセットされたままです。

アクセス FLXAnFRSIR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSIRL、FLXAnFRSIRH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSIRLL、FLXAnFRSIRLH、FLXAnFRSIRHL、FLXAnFRSIRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRSIR: <FLXAn_base> + 0024_H、
FLXAnFRSIRL: <FLXAn_base> + 0024_H、FLXAnFRSIRH: <FLXAn_base> + 0026_H、
FLXAnFRSIRLL: <FLXAn_base> + 0024_H、FLXAnFRSIRLH: <FLXAn_base> + 0025_H、
FLXAnFRSIRHL: <FLXAn_base> + 0026_H、FLXAnFRSIRHH: <FLXAn_base> + 0027_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSB	WUPB	—	—	—	—	—	—	MTSA	WUPA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDS	MBSI	SUCS	SWE	TOBC	TIBC	TI1	TI0	NMVC	RFCL	RFNE	RXI	TXI	CYCS	CAS	WST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.16 FLXAnFRSIR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
25	MTSB	チャネル B MTS 受信フラグ（vSS!ValidMTSB） 0: チャネル B で MTS の受信なし 1: チャネル B で MTS を受信した
24	WUPB	チャネル B ウェイクアップパターン受信フラグ 0: チャネル B でウェイクアップパターンの受信なし 1: チャネル B でウェイクアップパターンを受信した
23 ～ 18	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
17	MTSA	チャネル A MTS 受信フラグ（vSS!ValidMTSA） 0: チャネル A で MTS の受信なし 1: チャネル A で MTS を受信した
16	WUPA	チャネル A ウェイクアップパターン受信フラグ 0: チャネル A でウェイクアップパターンの受信なし 1: チャネル A でウェイクアップパターンを受信した
15	SDS	ダイナミックセグメント開始フラグ 0: ダイナミックセグメント未開始 1: ダイナミックセグメント開始
14	MBSI	メッセージバッファステータス割り込みフラグ 0: MBI ビットが “1” のメッセージバッファのステータス変化なし 1: MBI ビットが “1” のメッセージバッファのステータスが 1 つ以上変化
13	SUCS	スタートアップ正常終了フラグ 0: スタートアップ未終了 1: スタートアップ正常終了
12	SWE	ストップウォッチイベントフラグ 0: ストップウォッチイベントなし 1: ストップウォッチイベントあり

表 21.16 FLXAnFRSIR レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	TOBC	OBF 転送完了フラグ 0: 転送未完了 1: メッセージ RAM から出力バッファへの転送完了
10	TIBC	IBF 転送完了フラグ 0: 転送未完了 1: 入力バッファからメッセージ RAM への転送完了
9	TI1	タイマ 1 割り込みフラグ 0: タイマ 1 割り込みなし 1: タイマ 1 割り込み発生
8	TI0	タイマ 0 割り込みフラグ 0: タイマ 0 割り込みなし 1: タイマ 0 割り込み発生
7	NMVC	NM ベクタ変更フラグ 0: NM ベクタ変更なし 1: NM ベクタ変更された
6	RFCL	受信 FIFO クリティカルフラグ 0: 受信 FIFO 中のデータがクリティカルレベル未満 1: 受信 FIFO 中のデータがクリティカルレベルに達した
5	RFNE	受信 FIFO データありフラグ 0: 受信 FIFO にデータなし 1: 受信 FIFO にデータあり
4	RXI	受信割り込みフラグ 0: MBI ビットが “1” の受信バッファの ND フラグが “1” に設定されていない 1: MBI ビットが “1” の受信バッファの ND フラグが “1” に設定されていた
3	TXI	送信割り込みフラグ 0: MBI ビットが 1 の送信バッファからフレーム送信なし 1: MBI ビットが 1 の送信バッファから 1 つ以上のフレームの送信あり
2	CYCS	サイクル開始割り込みフラグ 0: コミュニケーションサイクル開始せず 1: コミュニケーションサイクル開始
1	CAS	衝突回避シンボル受信フラグ 0: CAS シンボルと同じビットパターンを受信せず 1: CAS シンボルと同じビットパターンを受信
0	WST	ウェイクアップ状態変化フラグ 0: ウェイクアップ状態変化せず 1: ウェイクアップ状態変化

(1) FLXAnFRSIR.MTSB

チャネル B MTS 受信フラグ（vSS!ValidMTSB）

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のチャネル B シンボルウィンドウで Media Access Test Symbol（MTS）を受信したことを示します。シンボルウィンドウの最後でチャネルごとに更新されます。

(2) FLXAnFRSIR.WUPB

チャネル B ウェイクアップパターン受信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

以下のいずれかの状態の場合に、チャネル B でウェイクアップパターンを受信すると “1” になります。

- WAKEUP
- READY
- STARTUP state

(3) FLXAnFRSIR.MTSA

チャネル A MTS 受信フラグ（vSS!ValidMTSA）

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のチャネル A シンボルウィンドウで Media Access Test Symbol（MTS）を受信したことを示します。シンボルウィンドウの最後でチャネルごとに更新されます。

(4) FLXAnFRSIR.WUPA

チャネル A ウェイクアップパターン受信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

以下のいずれかの状態の場合に、チャネル A でウェイクアップパターンを受信すると “1” になります。

- WAKEUP
- READY
- STARTUP state

(5) FLXAnFRSIR.SDS

ダイナミックセグメント開始フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

ダイナミックセグメントが開始したときに “1” になります。

(6) FLXAnFRSIR.MBSI

メッセージバッファステータス割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

該当するメッセージバッファの MBI ビットが “1” のとき、メッセージバッファのステータス（FLXAnFRMBS）が変化すると、“1” になります。（**表 21.109** 参照）

(7) FLXAnFRSIR.SUCS

スタートアップ正常終了フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

スタートアップが正常に終了して、NORMAL_ACTIVE 状態に遷移したときに "1" になります。

(8) FLXAnFRSIR.SWE

ストップウォッチイベントフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

現在のサイクルカウンタ値と MT 値がストップウォッチレジスタに格納されたとき、ストップウォッチ有効化の後、“1” になります。（**「21.2.5.4 FLXAnFRSTPW1 — FlexRay ストップウォッチレジスタ 1」**参照）

(9) FLXAnFRSIR.TOBC

OBF 転送完了フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージ RAM から出力バッファへの転送が完了して、FLXAnFROBCR レジスタの OBSYS ビットが、メッセージハンドラによりクリアされたときに “1” になります。

(10) FLXAnFRSIR.TIBC

IBF 転送完了フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージ RAM から入力バッファへの転送が完了して、FLXAnFRIBCR レジスタの IBSYS ビットが、メッセージハンドラによりクリアされたときに “1” になります。

(11) FLXAnFRSIR.TI1

タイマ 1 割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

タイマ 1 の値と FLXAnFRT1C レジスタの値が一致したときに “1” になります。

FLXAnFROC レジスタの T0IE ビットが有効の場合、FlexRay タイマ 1 割り込みが発生します。

(12) FLXAnFRSIR.TI0

タイマ 0 割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

タイマ 0 の値と FLXAnFRT0C レジスタの値が一致したときに “1” になります。

FLXAnFROC レジスタの T0IE ビットが有効の場合、FlexRay タイマ 0 割り込みが発生します。

(13) FLXAnFRSIR.NMVC

NM ベクタ変更フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

ネットワーク管理ベクタ（NM ベクタ）が変更されたとき、“1” になります。

(14) FLXAnFRSIR.RFCL

受信 FIFO クリティカルフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRFSR レジスタの RFFL ビットで示される FIFO データ量が FLXAnFRFCL レジスタの CL ビットの設定値以上の場合 “1” になります。

(15) FLXAnFRSIR.RFNE

受信 FIFO データありフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

有効なフレームが受信 FIFO に格納されると “1” になります。現在の受信 FIFO の状態は FLXAnFRFSR レジスタで読むことができます。

(16) FLXAnFRSIR.RXI

受信割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージバッファの ND フラグの設定条件が満たされ（**「21.2.9.6 FLXAnFRNDATi — FlexRay 新データレジスタ i（i = 1 ～ 4）」**参照）、このとき、各メッセージバッファの MBI ビットが “1” に設定されると、“1” になります。（**表 21.109** 参照）

(17) FLXAnFRSIR.TXI

送信割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

各メッセージバッファの MBI ビットに “1” が設定されているとフレーム送信の最後に “1” になります。（ **表 21.109** 参照）

(18) FLXAnFRSIR.CYCS

サイクル開始割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

コミュニケーションサイクル開始ごとに "1" になります。

(19) FLXAnFRSIR.CAS

衝突回避シンボル受信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

STARTUP 状態のとき CAS（または、予測される CAS）を受信すると “1” になります。

(20) FLXAnFRSIR.WST

ウェイクアップ状態変化フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRCCSV レジスタの WSV フラグが UNDEFINED 以外に変化すると “1” になります。

21.2.4.3 FLXAnFREILS — FlexRay エラー割り込み出力選択レジスタ

FlexRay エラー割り込み出力選択レジスタは、FLXAnFREIR レジスタの特定のエラー割り込みフラグで生成される割り込みを 2 つのモジュール割り込み出力（FlexRay0 割り込み、あるいは FlexRay1 割り込み）のどちらかに割り当てます。

アクセス FLXAnFREILS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFREILSL、FLXAnFREILSH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFREILSLL、FLXAnFREILSLH、FLXAnFREILSHL、FLXAnFREILSHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFREILS: <FLXAn_base> + 0028_H,
FLXAnFREILSL: <FLXAn_base> + 0028_H、FLXAnFREILSH: <FLXAn_base> + $002A_H$,
FLXAnFREILSLL: <FLXAn_base> + 0028_H、FLXAnFREILSLH: <FLXAn_base> + 0029_H,
FLXAnFREILSHL: <FLXAn_base> + $002A_H$、FLXAnFREILSHH: <FLXAn_base> + $002B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBL	LTVBL	EDBL	—	—	—	—	—	TABAL	LTVAL	EDAL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFL	IOBAL	IIBAL	EFAL	RFOL	AERRL	CCLL	CCFL	SFOL	SFBML	CNAL	PEMCL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.17 FLXAnFREILS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
26	TABBL	チャネル B スロット境界越え送信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
25	LTVBL	チャネル B 最終送信違反割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
24	EDBL	チャネル B エラー検出割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
23 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	TABAL	チャネル A スロット境界越え送信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
17	LTVAL	チャネル A 最終送信割り込み出力選択ビット 0:FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
16	EDAL	チャネル A エラー検出割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
11	MHFL	メッセージハンドラ制限割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て

表 21.17 FLXAnFREILS レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	IOBAL	出力バッファ不正アクセス割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
9	IIBAL	入力バッファ不正アクセス割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
8	EFAL	エンプティ FIFO アクセス割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
7	RFOL	受信 FIFO オーバラン割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
6	AERRL	アクセスエラー割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
5	CCLL	CHI コマンドロック割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
4	CCFL	クロック補正失敗割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
3	SFOL	Sync フレーム数オーバフロー割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
2	SFBML	Sync フレーム数最小値未満割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
1	CNAL	コマンド無効割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
0	PEMCL	POC エラーモード変化割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て

21.2.4.4 FLXAnFRSILS — FlexRay ステータス割り込み出力選択レジスタ

FlexRay ステータス割り込み出力選択レジスタは、FLXAnFRSIR レジスタの特定のステータス割り込みフラグで生成される割り込みを 2 つのモジュール割り込み出力（FlexRay0 割り込み、あるいは FlexRay1 割り込み）のどちらかに割り当てます。

アクセス FLXAnFRSILS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSILSL、FLXAnFRSILSH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSILSLL、FLXAnFRSILSLH、FLXAnFRSILSHL、FLXAnFRSILSHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRSILS: <FLXAn_base> + $002C_H$、
FLXAnFRSILSL: <FLXAn_base> + $002C_H$、FLXAnFRSILSH: <FLXAn_base> + $002E_H$,
FLXAnFRSILSLL: <FLXAn_base> + $002C_H$、FLXAnFRSILSLH: <FLXAn_base> + $002D_H$,
FLXAnFRSILSHL: <FLXAn_base> + $002E_H$、FLXAnFRSILSHH: <FLXAn_base> + $002F_H$

リセット後の値 $0303\ FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBL	WUPBL	—	—	—	—	—	—	MTSAL	WUPAL
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSL	MBSIL	SUCSL	SWEL	TOBCL	TIBCL	TI1L	TI0L	NMVCL	RFCLL	RFNEL	RXIL	TXIL	CYCSL	CASL	WSTL
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.18 FLXAnFRSILS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
25	MTSBL	チャネル B MTS 受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
24	WUPBL	チャネル B ウェイクアップパターン受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
23 ～ 18	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
17	MTSAL	チャネル A MTS 受信割り込み出力ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
16	WUPAL	チャネル A ウェイクアップパターン受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
15	SDSL	ダイナミックセグメント開始割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
14	MBSIL	メッセージバッファステータス割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
13	SUCSL	スタートアップ正常終了割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て

表 21.18 FLXAnFRSILS レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	SWEL	ストップウォッチイベント割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
11	TOBCL	出力バッファ転送完了割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
10	TIBCL	入力バッファ転送完了割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
9	TI1L	タイマ 1 割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
8	TI0L	タイマ 0 割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
7	NMVCL	NM ベクタ変化割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
6	RFCLL	受信 FIFO データクリティカル割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
5	RFNEL	受信 FIFO データあり割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
4	RXIL	受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
3	TXIL	送信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
2	CYCSL	サイクル開始割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
1	CASL	衝突回避シンボル受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
0	WSTL	ウェイクアップ状態変化割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て

21.2.4.5 FLXAnFREIES — FlexRay エラー割り込み許可レジスタ

FlexRay エラー割り込み許可レジスタ（FLXAnFREIES）および FlexRay エラー割り込み禁止レジスタ（FLXAnFREIER）では、FlexRay エラー割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFREIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFREIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがセットされます。

アクセス FLXAnFREIES レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFREIESL、FLXAnFREIESH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFREIESLL、FLXAnFREIESLH、FLXAnFREIESHL、FLXAnFREIESHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFREIES: <FLXAn_base> + 0030_H、
FLXAnFREIESL: <FLXAn_base> + 0030_H、FLXAnFREIESH: <FLXAn_base> + 0032_H、
FLXAnFREIESLL: <FLXAn_base> + 0030_H、FLXAnFREIESLH: <FLXAn_base> + 0031_H、
FLXAnFREIESHL: <FLXAn_base> + 0032_H、FLXAnFREIESHH: <FLXAn_base> + 0033_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBE	LTVBE	EDBE	—	—	—	—	—	TABAE	LTVAE	EDAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFE	IOBAE	IIBAE	EFAE	RFOE	AERRE	CCLE	CCFE	SFOE	SFBME	CNAE	PEMCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.19 FLXAnFREIES レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
26	TABBE	チャネル B スロット境界送信違反割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
25	LTVBE	チャネル B 最終送信違反割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
24	EDBE	チャネル B エラー検出割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
23 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	TABAE	チャネル A スロット境界送信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
17	LTVAE	チャネル A 最終送信違反割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可

表 21.19 FLXAnFREIES レジスタの内容 (2/2)

ビット位置	ビット名	機能
16	EDAE	チャネル A エラー検出割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
11	MHFE	メッセージハンドラ制限割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
10	IOBAE	OBF 不正アクセス割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
9	IIBAE	IBF 不正アクセス割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
8	EFAE	エンプティ FIFO アクセス割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
7	RFOE	受信 FIFO オーバラン割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
6	AERRE	アクセスエラー割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
5	CCLE	CHI コマンドロック割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
4	CCFE	クロック補正失敗割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
3	SFOE	Sync フレーム数オーバフロー割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
2	SFBME	Sync フレーム数最小値未満割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
1	CNAE	コマンド無効割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
0	PEMCE	POC エラーモード変化割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可

21.2.4.6 FLXAnFREIER — FlexRay エラー割り込み禁止レジスタ

FlexRay エラー割り込み許可レジスタ（FLXAnFREIES）および FlexRay エラー割り込み禁止レジスタ（FLXAnFREIER）では、FlexRay エラー割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFREIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFREIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがクリアされます。

アクセス FLXAnFREIER レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFREIERL、FLXAnFREIERH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFREIERLL、FLXAnFREIERLH、FLXAnFREIERHL、FLXAnFREIERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFREIER: <FLXAn_base> + 0034_H、
FLXAnFREIERL: <FLXAn_base> + 0034_H、FLXAnFREIERH: <FLXAn_base> + 0036_H、
FLXAnFREIERLL: <FLXAn_base> + 0034_H、FLXAnFREIERLH: <FLXAn_base> + 0035_H、
FLXAnFREIERHL: <FLXAn_base> + 0036_H、FLXAnFREIERHH: <FLXAn_base> + 0037_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBD	LTVBD	EDBD	—	—	—	—	—	TABAD	LTVAD	EDAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFD	IOBAD	IIBAD	EFAD	RFOD	AERRD	CCLD	CCFD	SFOD	SFBMD	CNAD	PEMCD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.20 FLXAnFREIER レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
26	TABBD	チャネル B スロット境界送信違反割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
25	LTVBD	チャネル B 最終送信違反割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
24	EDBD	チャネル B エラー検出割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
23 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	TABAD	チャネル A スロット境界送信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
17	LTVAD	チャネル A 最終送信違反割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可

表 21.20 FLXAnFREIER レジスタの内容 (2/2)

ビット位置	ビット名	機能
16	EDAD	チャネル A エラー検出割り込み禁止ビット 0: 割り込み禁止 1: 割り込み禁止
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
11	MHFD	メッセージハンドラ制限割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
10	IOBAD	OBF 不正アクセス割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
9	IIBAD	IBF 不正アクセス割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
8	EFAD	エンプティ FIFO アクセス割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
7	RFOD	受信 FIFO オーバラン割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
6	AERRD	アクセスエラー割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
5	CCLD	CHI コマンドロック割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
4	CCFD	クロック補正失敗割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
3	SFOD	Sync フレーム数オーバフロー割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
2	SFBMD	Sync フレーム数最小値未満割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
1	CNAD	コマンド無効割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
0	PEMCD	POC エラーモード変化割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可

21.2.4.7 FLXAnFRSIES — FlexRay ステータス割り込み許可レジスタ

FlexRay ステータス割り込み許可レジスタ（FLXAnFRSIES）および FlexRay ステータス割り込み禁止レジスタ（FLXAnFRSIER）では、FlexRay ステータス割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFRSIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFRSIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがセットされます。

アクセス FLXAnFRSIES レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSIESL、FLXAnFRSIESH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSIESLL、FLXAnFRSIESLH、FLXAnFRSIESHL、FLXAnFRSIESHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRSIES: <FLXAn_base> + 0038_H,
FLXAnFRSIESL: <FLXAn_base> + 0038_H、FLXAnFRSIESH: <FLXAn_base> + $003A_H$,
FLXAnFRSIESLL: <FLXAn_base> + 0038_H、FLXAnFRSIESLH: <FLXAn_base> + 0039_H,
FLXAnFRSIESHL: <FLXAn_base> + $003A_H$、FLXAnFRSIESHH: <FLXAn_base> + $003B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBE	WUPBE	—	—	—	—	—	—	MTSAE	WUPAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSE	MBSIE	SUCSE	SWEE	TOBCE	TIBCE	TI1E	TI0E	NMVCE	RFCLE	RFNEE	RXIE	TXIE	CYCSE	CASE	WSTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.21 FLXAnFRSIES レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
25	MTSBE	チャネル B MTS 受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
24	WUPBE	チャネル B WUP 受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
23 ～ 18	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
17	MTSAE	チャネル A MTS 受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
16	WUPAE	チャネル A WUP 受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
15	SDSE	ダイナミックセグメント開始割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可

表 21.21 FLXAnFRSIES レジスタの内容 (2/2)

ビット位置	ビット名	機能
14	MBSIE	メッセージバッファステータス割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
13	SUCSE	スタートアップ正常終了割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
12	SWEE	ストップウォッチイベント割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
11	TOBCE	OBF 転送完了割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
10	TIBCE	IBF 転送完了割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
9	TI1E	タイマ 1 割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
8	TI0E	タイマ 0 割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
7	NMVCE	NM ベクタ変化割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
6	RFCLE	受信 FIFO データクリティカル割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
5	RFNEE	受信 FIFO データあり割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
4	RXIE	受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
3	TXIE	送信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
2	CYCSE	サイクル開始割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
1	CASE	衝突回避シンボル受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
0	WSTE	ウェイクアップ状態変化割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可

21.2.4.8 FLXAnFRSIER — FlexRay ステータス割り込み禁止レジスタ

FlexRay ステータス割り込み許可レジスタ（FLXAnFRSIES）および FlexRay ステータス割り込み禁止レジスタ（FLXAnFRSIER）では、FlexRay ステータス割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFRSIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFRSIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがクリアされます。

アクセス FLXAnFRSIER レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSIERL、FLXAnFRSIERH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSIERLL、FLXAnFRSIERLH、FLXAnFRSIERHL、FLXAnFRSIERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRSIER: <FLXAn_base> + $003C_H$、
FLXAnFRSIERL: <FLXAn_base> + $003C_H$、FLXAnFRSIERH: <FLXAn_base> + $003E_H$、
FLXAnFRSIERLL: <FLXAn_base> + $003C_H$、FLXAnFRSIERLH: <FLXAn_base> + $003D_H$、
FLXAnFRSIERHL: <FLXAn_base> + $003E_H$、FLXAnFRSIERHH: <FLXAn_base> + $003F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBD	WUPBD	—	—	—	—	—	—	MTSAD	WUPAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSD	MBSID	SUCSD	SWED	TOBCD	TIBCD	TI1D	TI0D	NMVCD	RFCLD	RFNED	RXID	TXID	CYCSD	CASD	WSTD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.22 FLXAnFRSIER レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
25	MTSBD	チャネル B MTS 受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
24	WUPBD	チャネル B WUP 受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
23 ～ 18	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
17	MTSAD	チャネル A MTS 受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
16	WUPAD	チャネル A WUP 受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
15	SDSD	ダイナミックセグメント開始割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可

表 21.22 FLXAnFRSIER レジスタの内容 (2/2)

ビット位置	ビット名	機能
14	MBSID	メッセージバッファステータス割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
13	SUCSD	スタートアップ正常終了割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
12	SWED	ストップウォッチイベント割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
11	TOBCD	OBF 転送完了割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
10	TIBCD	IBF 転送完了割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
9	TI1D	タイマ 1 割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
8	TI0D	タイマ 0 割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
7	NMVCD	NM ベクタ変化割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
6	RFCLD	受信 FIFO データクリティカル割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
5	RFNED	受信 FIFO データあり割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
4	RXID	受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
3	TXID	送信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
2	CYCSD	サイクル開始割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
1	CASD	衝突回避シンボル受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
0	WSTD	ウェイクアップ状態変化割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可

21.2.4.9 FLXAnFRILE — FlexRay 割り込み出力許可レジスタ

FlexRay0 割り込み要求および FlexRay1 割り込み要求の出力許可 / 禁止を FLXAnFRILE.EINT0、FLXAnFRILE.EINT1 ビットで設定します。

アクセス FLXAnFRILE レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRILEL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRILELL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRILE: <FLXAn_base> + 0040_H,
FLXAnFRILEL: <FLXAn_base> + 0040_H,
FLXAnFRILELL: <FLXAn_base> + 0040_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EINT1	EINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 21.23 FLXAnFRILE レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	EINT1	FlexRay1 割り込み出力許可ビット 0: FlexRay 1 割り込み要求出力禁止 1: FlexRay 1 割り込み要求出力許可
0	EINT0	FlexRay0 割り込み出力許可ビット 0: FlexRay 0 割り込み要求出力禁止 1: FlexRay0 割り込み要求出力許可

21.2.5 FlexRay タイマレジスタ

21.2.5.1 FLXAnFRT0C — FlexRay タイマ 0 設定レジスタ

絶対値タイマです。タイマ 0 割り込みの発生タイミングをサイクルカウント値と MT 値で指定します。タイマ 0 が経過すると、FLXAnFRSIR レジスタの TI0 ビットおよび FLXAnFROS レジスタの T0IS ビットが “1” にセットされ、FLXAnFROC レジスタの T0IE ビットが有効の場合、タイマ 0 割り込みが発生します。

注 意

タイマ 0 の設定は、MT カウンタ値と比較されます。タイマ 0 用に独立したカウンタはありません。

アクセス FLXAnFRT0C レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRT0CL、FLXAnFRT0CH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRT0CLL、FLXAnFRT0CLH、FLXAnFRT0CHL、FLXAnFRT0CHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRT0C: <FLXAn_base> + 0044_H,
FLXAnFRT0CL: <FLXAn_base> + 0044_H、FLXAnFRT0CH: <FLXAn_base> + 0046_H、
FLXAnFRT0CLL: <FLXAn_base> + 0044_H、FLXAnFRT0CLH: <FLXAn_base> + 0045_H、
FLXAnFRT0CHL: <FLXAn_base> + 0046_H、FLXAnFRT0CHH: <FLXAn_base> + 0047_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T0MO[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	T0CC[6:0]							—	—	—	—	—	—	T0MS	T0RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 21.24 FLXAnFRT0C レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
29 ～ 16	T0MO[13:0]	タイマ 0 MT オフセットビット タイマ 0 MT オフセット
15	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
14 ～ 8	T0CC[6:0]	タイマ 0 サイクルコードビット タイマ 0 サイクルコード
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	T0MS	タイマ 0 モード選択ビット 0: シングルショットモード 1: 連続モード
0	T0RC	タイマ 0 制御ビット 0: タイマ 0 停止 1: タイマ 0 動作開始

(1) FLXAnFRT0C.T0MO

タイマ 0 MT オフセットビット

タイマの設定値を変更する場合は、FLXAnFRT0C レジスタの T0RC ビットを “0” にクリアし、タイマを停止させてから設定してください。

本ビットは､タイマ 0 割り込みを発生させるタイミングを、通信サイクルの開始位置からの MT オフセット値で設定します。タイマ 0 割り込みは、サイクルセットの各サイクルの設定したオフセット位置で発生します。

(2) FLXAnFRT0C.T0CC

タイマ 0 サイクルコードビット

タイマの設定値を変更する場合は、FLXAnFRT0C レジスタの T0RC ビットを “0” にクリアし、タイマを停止させてから設定してください。

タイマ 0 割り込みを発生させるサイクルセットを 7 ビットのタイマ 0 サイクルコードで設定します。詳細は**「21.3.8.2 サイクルカウンタフィルタリング」**を参照してください。

(3) FLXAnFRT0C.T0MS

タイマ 0 モード選択ビット

タイマの設定値を変更する場合は、FLXAnFRT0C レジスタの T0RC ビットを “0” にクリアし、タイマを停止させてから設定してください。

タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタと MT 値の設定と一致した場合、タイマは停止状態になります。

(4) FLXAnFRT0C.T0RC

タイマ 0 制御ビット

タイマ 0 は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能（FLXAnFRT0C レジスタの T0RC ビットに “1” をセット）です。

タイマ 0 は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移すると停止します。

21.2.5.2 FLXAnFRT1C — FlexRay タイマ 1 設定レジスタ

相対値タイマです。一定の MT 数が経過すると、タイマ 1 割り込みが発生します。タイマ 1 が経過すると、FLXAnFRSIR レジスタの TI1 ビットおよび FLXAnFROS レジスタの T1IS ビットに “1” がセットされ、FLXAnFROC レジスタの T1IE ビットが有効の場合、タイマ 1 割り込みが発生します。

アクセス FLXAnFRT1C レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRT1CL、FLXAnFRT1CH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRT1CLL、FLXAnFRT1CHL、FLXAnFRT1CHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRT1C: <FLXAn_base> + 0048_H、
FLXAnFRT1CL: <FLXAn_base> + 0048_H、FLXAnFRT1CH: <FLXAn_base> + $004A_H$、
FLXAnFRT1CLL: <FLXAn_base> + 0048_H、FLXAnFRT1CHL: <FLXAn_base> + $004A_H$、
FLXAnFRT1CHH: <FLXAn_base> + $004B_H$

リセット後の値 $0002\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T1MC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	T1MS	T1RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 21.25 FLXAnFRT1C レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
29 ～ 16	T1MC[13:0]	タイマ 1 MT カウントビット
15 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	T1MS	タイマ 1 モード選択ビット 0: シングルショットモード 1: 連続モード
0	T1RC	タイマ 1 制御ビット 0: タイマ 1 停止 1: タイマ 1 動作開始

(1) FLXAnFRT1C.T1MC

タイマ 1 MT カウントビット

タイマの設定値を変更する場合は、FLXAnFRT1C レジスタの T1RC ビットに “0” を書き、タイマを停止させてから設定してください。

連続モード時の有効値：2 ～ 16383 MT

シングルショットモード時の有効値：1 ～ 16383 MT

タイマ 1 の値が設定した MT カウント値になるとタイマ 1 割り込みが発生します。

(2) FLXAnFRT1C.T1MS

タイマ 1 モード選択ビット

タイマの設定値を変更する場合は、FLXAnFRT1C レジスタの T1RC ビットに “0” を書き、タイマを停止させてから設定してください。

タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタと MT 値の設定と一致した場合、タイマは停止状態になります。

(3) FLXAnFRT1C.T1RC

タイマ 1 制御ビット

タイマ 1 は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能（FLXAnFRT1C レジスタの T1RC ビットに “1” をセット）です。

タイマ 1 は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移すると停止します。

21.2.5.3 FLXAnFRT2C — FlexRay タイマ 2 設定レジスタ

アクセス FLXAnFRT2C レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRT2CL、FLXAnFRT2CH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRT2CLL、FLXAnFRT2CLH、FLXAnFRT2CHL、FLXAnFRT2CHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRT2C: <FLXAn_base> + 0844_H
FLXAnFRT2CL: <FLXAn_base> + 0844_H、FLXAnFRT2CH: <FLXAn_base> + 0846_H,
FLXAnFRT2CLL: <FLXAn_base> + 0844_H、FLXAnFRT2CLH: <FLXAn_base> + 0845_H,
FLXAnFRT2CHL: <FLXAn_base> + 0846_H、FLXAnFRT2CHH: <FLXAn_base> + 0847_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T2MO[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	T2CC[6:0]							—	—	—	—	—	—	T2MS	T2RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 21.26 FLXAnFRT2C レジスタの内容

ビット位置	ビット名	機能
31 ～ 30	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
29 ～ 16	T2MO[13:0]	タイマ 2 MT オフセットビット タイマ 2 MT オフセット
15	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
14 ～ 8	T2CC[6:0]	タイマ 2 サイクルコードビット タイマ 2 サイクルコード
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	T2MS	タイマ 2 モード選択ビット 0: シングルショットモード 1: 連続モード
0	T2RC	タイマ 2 制御ビット 0: タイマ 2 動作開始 1: タイマ 2 停止

(1) FLXAnFRT2C.T2MO

タイマ 2 MT オフセットビット

FLXAnFRT2C レジスタの T2RC ビットが “0” の場合のみ、本ビットに書き込み可能です。

許容範囲は 0 から FLXAnFRGTUC2.MPC までです。

本ビットは、タイマ満了条件を決定するタイマ MT 値を表します。

(2) FLXAnFRT2C.T2CC

タイマ 2 サイクルコードビット

FLXAnFRT2C レジスタの T2RC ビットが “0” の場合のみ、本ビットに書き込み可能です。

本ビットは、タイマ満了条件を決定するサイクルカウンタフィルタコードを表します。サイクルフィルタリングについては**「21.3.8.2 サイクルカウンタフィルタリング」**を参照してください。

(3) FLXAnFRT2C.T2MS

タイマ 2 モード選択ビット

FLXAnFRT2C レジスタの T2RC ビットが “0” の場合のみ、本ビットに書き込み可能です。

本ビットは、タイマ 2 の動作モードを表します。

0：シングルショットモード

タイマは、非反復（シングルショット）モードで動作します。設定された満了基準に一致すると、タイマは自動的に停止します。

1：連続モード

タイマは、反復（連続）モードで動作します。タイマは設定された満了基準に一致するたびに満期になります。タイマは停止しません。

(4) FLXAnFRT2C.T2RC

タイマ 2 制御ビット

本ビットは、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ “1” にセットできます。

本ビットは、タイマ 2 の動作状態を表します。

シングルショットタイマ用の満了基準に一致した場合、本ビットは自動的にクリアされ、タイマ 2 は停止します。

〔セット条件〕

本ビットは、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合に “1” を書き込むことでセットされます。

〔クリア条件〕

本ビットは、POC が NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移するとクリアされます。

本ビットは、タイマが非反復（シングルショット）モード（FLXAnFRT2C レジスタの T2MS ビットが “0”）で動作中に満了基準に一致するとクリアされます。

本ビットに “0” を書き込むとクリアされます。

21.2.5.4 FLXAnFRSTPW1 — FlexRay ストップウォッチレジスタ 1

ストップウォッチタイマは、以下のトリガイベントにより起動します。

- FlexRay0 割り込み要求または FlexRay1 割り込み要求の発生
- FLXAnFRSTPW1.SSWT ビットへの “1” 書き込み

ストップウォッチが起動してから最初の MT カウンタのインクリメント発生時に、サイクルカウンタ値と MT 値が FLXAnFRSTPW1 レジスタに、チャネル A および B のスロットカウンタ値が FLXAnFRSTPW2 レジスタに取り込まれます。

アクセス FLXAnFRSTPW1 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSTPW1L レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSTPW1H レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRSTPW1LL レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFRSTPW1LH、FLXAnFRSTPW1HL、FLXAnFRSTPW1HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRSTPW1: <FLXAn_base> + $004C_H$,
FLXAnFRSTPW1L: <FLXAn_base> + $004C_H$、FLXAnFRSTPW1H: <FLXAn_base> + $004E_H$,
FLXAnFRSTPW1LL: <FLXAn_base> + $004C_H$、FLXAnFRSTPW1LH: <FLXAn_base> + $004D_H$,
FLXAnFRSTPW1HL: <FLXAn_base> + $004E_H$、FLXAnFRSTPW1HH: <FLXAn_base> + $004F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SMTV[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SCCV[5:0]						—	EINT1	EINT0	EETP	SSWT	EDGE	SWMS	ESWT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.27 FLXAnFRSTPW1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 30	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
29 ～ 16	SMTV[13:0]	ストップウォッチイベント発生 MT 値
15 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
13 ～ 8	SCCV[5:0]	ストップウォッチイベント発生サイクルカウンタ値
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6	EINT1	FlexRay1 割り込みトリガ許可ビット 0: FlexRay1 割り込みによるトリガ禁止 1: FlexRay1 割り込みによるトリガ許可
5	EINT0	FlexRay0 割り込みトリガ許可ビット 0: FlexRay0 割り込みによるトリガ禁止 1: FlexRay0 割り込みによるトリガ許可
4	EETP	外部トリガ端子許可 0: FLXAnSTPWT 端子によるストップウォッチトリガイベントを無効 1: FLXAnSTPWT 端子への立ち上がり／立ち下がりエッジによりストップウォッチトリガイベントが発生

表 21.27 FLXAnFRSTPW1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	SSWT	ソフトウェアストップウォッチトリガビット 0: ソフトウェアトリガリセット 1: ストップウォッチトリガが起動
2	EDGE	ストップウォッチトリガエッジ選択ビット 0: 立ち下がりエッジ 1: 立ち上がりエッジ
1	SWMS	ストップウォッチモード選択ビット 0: シングルショットモード 1: 連続モード
0	ESWT	ハードウェアストップウォッチトリガ許可ビット 0: ハードウェアトリガ禁止 1: ハードウェアトリガ許可

(1) FLXAnFRSTPW1.SMTV

ストップウォッチイベント発生 MT 値

ストップウォッチイベント発生時の MT カウンタ値を示します。

(2) FLXAnFRSTPW1.SCCV

ストップウォッチイベント発生サイクルカウンタ値

ストップウォッチイベント発生時のサイクルカウンタ値を示します。

(3) FLXAnFRSTPW1.EINT1

FlexRay1 割り込みトリガ許可ビット

FLXAnFRSTPW1 レジスタの ESWT ビットが “1” のときに FlexRay1 割り込みイベントをストップウォッチトリガとします。

(4) FLXAnFRSTPW1.EINT0

FlexRay0 割り込みトリガ許可ビット

FLXAnFRSTPW1 レジスタの ESWT ビットが “1” のときに FlexRay0 割り込みイベントをストップウォッチトリガとします。

(5) FLXAnFRSTPW1.EETP

外部トリガ端子許可

FLXAnFRSTPW1.ESWT = 1 のとき

FLXAnSTPWT 端子によるストップウォッチトリガイベントを有効にします。

(6) FLXAnFRSTPW1.SSWT

ソフトウェアストップウォッチトリガビット

FLXAnFRSTPW1 レジスタの ESWT ビットと SSWT ビットを同時に “1” にセットすることはできません。この場合、レジスタへの書き込みアクセスは無視され、両方のビットは前の値のままです。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されます。

このビットに "1" が書き込まれるとストップウォッチが起動します。このビットは、サイクルカウンタ値、スロットカウンタ値および MT 値が FlexRay ストップウォッチレジスタに設定された後、"0" になります。

(7) FLXAnFRSTPW1.EDGE

ストップウォッチトリガエッジ選択ビット

(8) FLXAnFRSTPW1.SWMS

ストップウォッチモード選択ビット

(9) FLXAnFRSTPW1.ESWT

ハードウェアストップウォッチトリガ許可ビット

FLXAnFRSTPW1 レジスタの ESWT ビットと SSWT ビットを同時に “1” にセットすることはできません。この場合、レジスタへの書き込みアクセスは無視され、両方のビットは前の値のままです。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されます。

本ビットが許可されると、FlexRay0 割り込みイベントか FlexRay1 割り込みイベントがストップウォッチを起動します。

シングルショットモード時、このビットは、サイクルカウンタ値、スロットカウンタ値および MT 値が FlexRay ストップウォッチレジスタに設定された後 "0" になります。

21.2.5.5 FLXAnFRSTPW2 — FlexRay ストップウォッチレジスタ 2

アクセス FLXAnFRSTPW2 レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRSTPW2L、FLXAnFRSTPW2H レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRSTPW2LL、FLXAnFRSTPW2LH、FLXAnFRSTPW2HL、FLXAnFRSTPW2HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRSTPW2: <FLXAn_base> + 0050_H、
FLXAnFRSTPW2L: <FLXAn_base> + 0050_H、FLXAnFRSTPW2H: <FLXAn_base> + 0052_H、
FLXAnFRSTPW2LL: <FLXAn_base> + 0050_H、FLXAnFRSTPW2LH: <FLXAn_base> + 0051_H、
FLXAnFRSTPW2HL: <FLXAn_base> + 0052_H、FLXAnFRSTPW2HH: <FLXAn_base> + 0053_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SSCVB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SSCVA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.28 FLXAnFRSTPW2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。
26 ～ 16	SSCVB[10:0]	チャネル B ストップウォッチスロットカウンタ値
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ～ 0	SSCVA[10:0]	チャネル A ストップウォッチスロットカウンタ値

(1) FLXAnFRSTPW2.SSCVB

チャネル B ストップウォッチスロットカウンタ値

ストップウォッチイベント発生時のチャネル B のスロットカウンタ値を示します。

(2) FLXAnFRSTPW2.SSCVA

チャネル A ストップウォッチスロットカウンタ値

ストップウォッチイベント発生時のチャネル A のスロットカウンタ値を示します。

21.2.6 CC 制御レジスタ

ここでは、CPU が CC（Communication Controller）の動作を制御するためのレジスタについて説明します。FlexRay プロトコル仕様では、アプリケーション設定データの書き込みを CONFIG 状態でのみ行うよう規定しています。なお、各設定レジスタは DEFAULT_CONFIG 状態での書き換えからは保護されていないことに注意してください。

設定データは、リセット後に DEFAULT_CONFIG 状態に入るとクリアされます。POC の状態を DEFAULT_CONFIG 状態から CONFIG 状態に遷移させるには、CHI コマンドの CONFIG を使用します。CONFIG 状態から抜けるには、**「21.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ」**に記載のロック解除シーケンスを実行します。

21.2.6.1 FLXAnFRSUCC1 — FlexRay SUC 設定レジスタ 1

アクセス FLXAnFRSUCC1 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSUCC1L、FLXAnFRSUCC1H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSUCC1LL、FLXAnFRSUCC1LH、FLXAnFRSUCC1HL、FLXAnFRSUCC1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRSUCC1: <FLXAn_base> + 0080_H、
FLXAnFRSUCC1L: <FLXAn_base> + 0080_H、FLXAnFRSUCC1H: <FLXAn_base> + 0082_H、
FLXAnFRSUCC1LL: <FLXAn_base> + 0080_H、FLXAnFRSUCC1LH: <FLXAn_base> + 0081_H、
FLXAnFRSUCC1HL: <FLXAn_base> + 0082_H、FLXAnFRSUCC1HH: <FLXAn_base> + 0083_H

リセット後の値 $0C40\ 1080_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	CCHB	CCHA	MTSB	MTSA	HCSE	TSM	WUCS	PTA[4:0]				
リセット後の値	0	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSA[4:0]					—	TXSY	TXST	PBSY	—	—	—	CMD[3:0]			
リセット後の値	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 21.29 FLXAnFRSUCC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 28	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
27	CCHB	チャネル B 接続設定ビット pChannels を設定します。 0: ノードをチャネル B に接続しない 1: ノードをチャネル B に接続する（リセット後のデフォルト値）
26	CCHA	チャネル A 接続設定ビット pChannels を設定します。 0: ノードをチャネル A に接続しない 1: ノードをチャネル A に接続する（リセット後のデフォルト値）
25	MTSB	チャネル B MTS 送信設定ビット 0: チャネル B で MTS シンボルを送信しない 1: チャネル B で MTS シンボルを送信する
24	MTSA	チャネル A MTS 送信設定ビット 0: チャネル A で MTS シンボルを送信しない 1: チャネル A で MTS シンボルを送信する

表 21.29 FLXAnFRSUCC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
23	HCSE	クロック同期エラー時 HALT 遷移ビット pAllowHaltDueToClock を設定します。 0: NORMAL_PASSIVE 状態への遷移 / 状態維持 1: HALT 状態への遷移
22	TSM	送信スロットモード選択ビット pSingleSlotEnabled を設定します。 0: ALL スロットモード 1: SINGLE スロットモード（ハードウェアリセット後の値）
21	WUCS	ウェイクアップチャネル選択ビット Configures pWakeupChannel を設定します。 0: チャネル A で WUP を送信する 1: チャネル B で WUP（ウェイクアップパターン）を送信する
20 ～ 16	PTA[4:0]	Passive-to-Active 遷移条件設定ビット pAllowPassiveToActive を設定します。
15 ～ 11	CSA[4:0]	Coldstart 試行回数設定ビット gColdStartAttempts を設定します。
10	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
9	TXSY	Sync フレームキースロット送信ビット Configures pKeySlotUsedForSync を設定します。 0: キースロットで Sync フレームを送信しない（同期ノード、Coldstart ノード以外） 1: キースロットを Sync フレーム送信に使用（Sync ノード用）
8	TXST	Startup フレーム送信ビット pKeySlotUsedForStartup を設定します。 0: キースロットで Startup フレームを送信しない（非 Coldstart ノード用） 1: キースロットを Startup フレーム送信に使用（Leading Coldstart ノードまたは Following Coldstart ノード用）
7	PBSY	POC ビジーフラグ 0: POC がビジーでない , FLXAnFRSUCC1.CMD ビットへの書き込み可能 1: POC がビジー、FLXAnFRSUCC1.CMD がロック状態
6 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3 ～ 0	CMD[3:0]	CHI コマンドベクタビット 0000_B: 無効コマンド 0001_B: CONFIG コマンド 0010_B: READY コマンド 0011_B: WAKEUP コマンド 0100_B: RUN コマンド 0101_B: ALL_SLOTS コマンド 0110_B: HALT コマンド 0111_B: FREEZE コマンド 1000_B: SEND_MTS コマンド 1001_B: ALLOW_COLDSTART コマンド 1010_B: RESET_STATUS_INDICATORS コマンド 1011_B: MONITOR_MODE コマンド 1100_B: CLEAR_RAMS コマンド その他 : リザーブ

(1) FLXAnFRSUCC1.CCHB

チャネル B 接続設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

ノードをチャネル B に接続するかどうかを設定します。（pChannels）

(2) FLXAnFRSUCC1.CCHA

チャネル A 接続設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

ノードをチャネル A に接続するかどうかを設定します。（pChannels）

(3) FLXAnFRSUCC1.MTSB

チャネル B MTS 送信設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

FLXAnFRSUCC1 レジスタの MTSB ビットは、FLXAnFRSUCC1 レジスタの設定ロックキービットでロックを解除する（**「21.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ」**参照）直前に設定した場合、DEFAULT_CONFIG 状態または CONFIG 状態以外でも変化する可能性があります。CHI コマンド SEND_MTS と連結可能です。MTSA ビットおよび MTSB ビットともに “1” の場合、FLXAnFRSUCC1.CMD に “1000_B” を設定すると両チャネルで MTS シンボルが送信されます。

チャネル B で MTS シンボルを送信するかどうかを設定します。

(4) FLXAnFRSUCC1.MTSA

チャネル A MTS 送信設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

FLXAnFRSUCC1 レジスタの MTSA ビットは、FLXAnFRSUCC1 レジスタの設定ロックキービットでロックを解除する（**「21.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ」**参照）直前に設定した場合、DEFAULT_CONFIG 状態または CONFIG 状態以外でも変化する可能性があります。CHI コマンド SEND_MTS と連結可能です。MTSA ビットおよび MTSB ビットともに “1” の場合、FLXAnFRSUCC1.CMD に “1000_B” を設定すると両チャネルで MTS シンボルが送信されます

チャネル A で MTS シンボルを送信するかどうかを設定します。

(5) FLXAnFRSUCC1.HCSE

クロック同期エラー時 HALT 遷移ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

同期クロックエラーによる HALT 状態への遷移を制御します。（pAllowHaltDueToClock）

(6) FLXAnFRSUCC1.TSM

送信スロットモード選択ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

送信スロットモードのリセット後の値を設定します。（pSingleSlotEnabled）

SINGLE スロットモードでは事前に設定されたキースロットでのみ送信できます。キースロット ID は FLXAnFRMRC レジスタの SPLM ビットの設定に従い、メッセージバッファ 0、あるいはメッセージバッファ 0、1 両方の各ヘッダセクションで設定されます。

このビットが “1” のとき、メッセージバッファ 0、あるいはメッセージバッファ 0、1 両方は DEFAULT_CONFIG あるいは CONFIG 状態でのみ設定（または変更）できます。

ALL スロットモードでは、すべてのスロットで送信可能です。

このビットの設定は CPU からのみ可能です。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で FLXAnFRSUCC1.CMD ビットに “0101_B”（ALL_SLOTS コマンド）を設定すると SINGLE スロットモードから ALL スロットモードへ遷移します。現在の送信モードは FLXAnFRCCSV.SLM ビットで確認できます。

(7) FLXAnFRSUCC1.WUCS

ウェイクアップチャネル選択ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

ウェイクアップパターンの送信チャネルを選択します。（pWakeupChannel）

(8) FLXAnFRSUCC1.PTA

Passive-to-Active 遷移条件設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 31 偶数 / 奇数サイクルペア

CC が NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移する条件となるクロック補正成功の回数を、連続する偶数 / 奇数サイクルペアの組数で設定します。（pAllowPassiveToActive）

“00000_B” に設定されている場合、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移はできません。

(9) FLXAnFRSUCC1.CSA

Coldstart 試行回数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

クラスタ内の全ノードで同じ設定にしてください。

有効値：2 ～ 31

Coldstart のネットワークスタートアップで、他のノードから有効なレスポンスを受け取れない場合の Startup 試行回数の最大値を設定します。（gColdStartAttempts）

(10) FLXAnFRSUCC1.TXSY

Sync フレームキースロット送信ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

キースロットで Sync フレームを送信するかどうかを設定します。（pKeySlotUsedForSync）

注 意

プロトコル規定では、FLXAnFRSUCC1 レジスタの TXST と TXSY の両ビットは Coldstart ノード用に設定されています。

(11) FLXAnFRSUCC1.TXST

Startup フレーム送信ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

キースロットで Startup フレームを送信するかどうか設定します。（pKeySlotUsedForStartup）

注 意

プロトコル規定では、FLXAnFRSUCC1 レジスタの TXST と TXSY の両ビットは Coldstart ノード用に設定されています。

(12) RSUCC1.PBSY

POC ビジーフラグ

POC がビジーでコマンドを受け付けられないことを示します。FLXAnFRSUCC1 レジスタの CMD ビットはライトアクセスに対してロックされます。

リセット後、内部 RAM の初期化中に “1” に設定されます。

(13) FLXAnFRSUCC1.CMD

CHI コマンドベクタビット

CHI コマンドベクタはいつでも書き込み可能ですが、一部のコマンドは特定の POC 状態でのみ有効です。コマンドが有効でない場合、そのコマンドは実行されず、CHI コマンドベクタ FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされ、FLXAnFREIR レジスタの CNA フラグが “1” になります。

なお、新しい CHI コマンドを書き込む前に、本レジスタの PBSY フラグをチェックする必要があります。

前の CHI コマンドが完了しなかった場合、FLXAnFREIR レジスタの CCL フラグと CNA フラグがともに “1” になります。この場合、CHI コマンドを繰り返してください。

HALT 状態を除く、ある POC 状態の間にそれと同じ状態への遷移コマンドを発行した場合、そのコマンドによる状態遷移は起きず、また、FLXAnFREIR レジスタの CNA フラグがセットされることもありません。

FLXAnFRSUCC1.CMD の読み出しは、受け付けられた最後の CHI コマンドを示します。実際の POC 状態は FLXAnFRCCSV.POCS でモニタされます。

- 無効コマンド
  下記のうち 1 つが該当した場合、FLXAnFRSUCC1.CMD は “0000_B” にクリアされます。
  - 不正なコマンドが発行された場合
  - 設定ロックキーを入力せずに CONFIG 状態から遷移するコマンドを発行した場合
  - 前のコマンド実行中に新しいコマンドが発行された場合
  - 無効コマンドが発行された場合

FLXAnFRSUCC1.CMD が “0000_B” にクリアされた場合、FLXAnFREIR レジスタの CNA フラグが “1” になり、割り込みが有効な場合は、割り込みが発生します。コマンドが無効な場合は、そのコマンドは実行されません。

CONFIG コマンド

DEFAULT_CONFIG 状態、READY 状態でこのコマンドを発行すると、CONFIG 状態に遷移します。HALT 状態で発行した場合、DEFAULT_CONFIG 状態に遷移します。他の状態で発行した場合は FLXAnFRSUCC1.CMD は “0000_B” = 無効コマンドにクリアされます。

READY コマンド

CONFIG 状態、NORMAL_ACTIVE 状態、NORMAL_PASSIVE 状態、STARTUP 状態、WAKEUP 状態でこのコマンドを発行すると、READY 状態に遷移します。他の状態で発行したときは FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされます。

WAKEUP コマンド

READY 状態でこのコマンドを発行すると、WAKEUP 状態に遷移します。他の状態で発行したときは FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされます。

RUN コマンド

READY 状態でこのコマンドを発行すると、STARTUP 状態に遷移します。他の状態で発行したときは FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされます。

ALL_SLOTS コマンド

NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態でこのコマンドを発行すると、次のサイクルの終了時、スタートアップ / 統合の成功後に、シングルスロットモードから ALL スロットモードに遷移します。他の状態で発行したときは、FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされます。

HALT コマンド

NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態でこのコマンドを発行すると、FLXAnFRCCSV レジスタの HRQ フラグ（HALT 要求ビット）が “1” にセットされ、次のサイクルの終了時に HALT 状態に遷移します。他の状態で発行したときは、FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされます。

FREEZE コマンド

このコマンドを発行すると、FLXAnFRCCSV レジスタの FSI フラグ（フリーズ状態インジケータ）が “1” にセットされて、ただちに HALT 状態に遷移します。これは、すべての状態で発行可能です。

SEND_MTS コマンド

ALL スロットモード（FLXAnFRCCSV.SLM = 11_B）に設定した後に NORMAL_ACTIVE 状態でこのコマンドを発行すると、次のシンボルウィンドウ中に FLXAnFRSUCC1 レジスタの MTSA、MTSB で設定したチャネル上に、シングル MTS シンボルを送信します。他の状態で発行したとき、または、前回要求した MTS シンボルがまだ未送信だったときには、FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされます。

ALLOW_COLDSTART コマンド

ノードの coldstart を有効にするために FLXAnFRCCSV レジスタの CSI フラグを “0” にクリアするコマンドです。DEFAULT_CONFIG 状態、CONFIG 状態、HALT 状態で発行すると、FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされます。また、coldstart を有効にするために FLXAnFRSUCC1 レジスタの TXST と TXSY の両方をセットしてください。

RESET_STATUS_INDICATORS コマンド

FLXAnFRCCSV レジスタの FSI、HRQ、CSNI および CSAI の全状態フラグをリセット後の値にクリアするコマンドです。これは、READY 状態、または STARUP 状態で発行可能です。他の状態で発行すると、FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされます。

CLEAR_RAMS コマンド

DEFAULT_CONFIG 状態または CONFIG 状態でこのコマンドを発行すると、FLXAnFRMHDS レジスタの CRAM ビットが “1” になります。他の状態で発行すると、FLXAnFRSUCC1.CMD は “0000_B” ＝無効コマンドにクリアされます。

リセット後も、FLXAnFRMHDS レジスタの CRAM ビットは “1” にセットされます。FLXAnFRMHDS レジスタの CRAM ビットを “1” に設定することで、すべての内部 RAM ブロックがゼロに初期化されます。RAM の初期化の間、PBSY は POC ビジーを示します。本コマンドの実行中は、設定レジスタおよび、ステータスレジスタへのアクセスが可能です。

内部 RAM ブロックの初期化は、周辺バスクロック 2048 サイクルを必要とします。リセット後、もしくは CLEAR_RAMS コマンドを有効にした後、内部 RAM ブロックの初期化中に IBF や OBF にアクセスしないでください。

CLEAR_RAMS コマンドを有効にする前に、メッセージ RAM と IBF/OBF 間もしくはメッセージ RAM とテンポラリバッファ RAM 間に何も転送されていないこと、およびデータ転送ハンドラが無効であること（FLXAnFRITS.ITS = "0" および FLXAnFROTS.OTS = "0"）を確認してください。本コマンドは、メッセージバッファ状態レジスタ（FLXAnFRMHDS、FLXAnFRLDTS、FLXAnFRFSR、FLXAnFRMHDF、FLXAnFRTXRQ1/2/3/4、FLXAnFRNDAT1/2/3/4、FLXAnFRMBSC1/2/3/4）をクリアします。

注　意

1. CLEAR_RAMS と SEND_MTS を除くすべての許可コマンドは、最大で 8 サイクル後、FlexRay サンプルクロックドメインでの POC 状態に反映されます。サイクルカウントは、“ バスクロック ” と “FlexRay サンプルクロック ” のうち速度の遅い方のサイクルを適用します。これはコマンド適用時に POC がビジーでない、また、同タイムフレーム内で、バス動作による POC の状態変化がないことを前提とします。FLXAnFRCCSV レジスタの読み出しは、FlexRay サンプルクロックドメインからバスクロックドメインへの同期時間分の追加遅延が発生します。追加遅延は最大 12 サイクルです。サイクルカウントは、“ バスクロック ” と “FlexRay サンプルクロック ” のうち速度の遅い方のサイクルを適用します。
2. FREEZE コマンド または READY コマンドによって通信を停止した後に Leading Coldstart ノードとして再びスタートアップしたとき、FlexRay モジュールの内部状態によって、サイクル 0 で Startup フレームを送信しない場合があります。この現象は Startup フレームをスロット 1 ～スロット 7 のいずれかのスロットに設定している場合に発生します。
   ハードウェアリセット後の ColdStart ではこの現象は発生しません。
   この現象が発生した場合においても、2 回目の ColdStart の試みは成功します。ColdStart 時間が長くなりますが、FlexRay システムの ColdStart はこの現象によって阻害されません。
   この現象を回避したい場合は、Startup/Sync フレームをスタティックスロット 8 以上のスタティックスロットに配置してください。

表 21.30 に、FlexRay プロトコル仕様書（セクション 2.2.1.1、表 2.2）の CHI コマンドと本モジュールの CHI コマンドベクタ FLXAnFRSUCC1.CMD の対応を示します。

表 21.30 FlexRay プロトコル仕様の CHI ホストコマンド対応表

CHI コマンド	コマンドを発行できる POC の状態	CHI コマンドベクタ CMD
ALL_SLOTS	POC:normal active, POC:normal passive	ALL_SLOTS
ALLOW_COLDSTART	POC:default config、POC:config、POC:halt 以外のすべて	ALLOW_COLDSTART
CONFIG	POC:default config, POC:ready	CONFIG
CONFIG_COMPLETE	POC:config	ロック解除シーケンス + READY
DEFAULT_CONFIG	POC:halt	CONFIG
FREEZE	すべての状態	FREEZE
HALT	POC:normal active, POC:normal passive	HALT
READY	POC:default config、POC:config、POC:ready、POC:halt 以外のすべて	READY
RUN	POC:ready	RUN
WAKEUP	POC:ready	WAKEUP

21.2.6.2 FLXAnFRSUCC2 — FlexRay SUC 設定レジスタ 2

アクセス FLXAnFRSUCC2 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSUCC2L、FLXAnFRSUCC2H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSUCC2LL、FLXAnFRSUCC2LH、FLXAnFRSUCC2HL、FLXAnFRSUCC2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRSUCC2: <FLXAn_base> + 0084_H
FLXAnFRSUCC2L: <FLXAn_base> + 0084_H、FLXAnFRSUCC2H: <FLXAn_base> + 0086_H、
FLXAnFRSUCC2LL: <FLXAn_base> + 0084_H、FLXAnFRSUCC2LH: <FLXAn_base> + 0085_H、
FLXAnFRSUCC2HL: <FLXAn_base> + 0086_H、FLXAnFRSUCC2HH: <FLXAn_base> + 0087_H

リセット後の値 $0100\ 0504_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	LTN[3:0]				—	—	—	LT[20:16]				
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LT[15:0]															
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.31 FLXAnFRSUCC2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
27 ～ 24	LTN[3:0]	Listen タイムアウトノイズ値設定ビット （gListenNoise - 1）を設定
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
20 ～ 0	LT[20:0]	Listen タイムアウト値設定ビット pdListenTimeout を設定

(1) FLXAnFRSUCC2.LTN

Listen タイムアウトノイズ値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 16

クラスタ内の全ノードで同じ設定にしてください。

ノイズがある状態でのウェイクアップ / スタートアップ時の Listen タイムアウト値の上限を Listen タイムアウト値の倍数で設定します。

注 意

ウェイクアップ / スタートアップノイズタイムアウト値は以下のように計算されます。
pdListenTimeout×gListenNoise = FLXAnFRSUCC2.LT ×（FLXAnFRSUCC2.LTN + 1）

(2) FLXAnFRSUCC2.LT

Listen タイムアウト値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1284 ～ 1283846μT

ウェイクアップ / スタートアップ時の Listen タイムアウト値を μT 単位で設定します。

21.2.6.3 FLXAnFRSUCC3 — FlexRay SUC 設定レジスタ 3

アクセス FLXAnFRSUCC3 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSUCC3L レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSUCC3LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRSUCC3: <FLXAn_base> + 0088_H,
FLXAnFRSUCC3L: <FLXAn_base> + 0088_H,
FLXAnFRSUCC3LL: <FLXAn_base> + 0088_H

リセット後の値 $0000\ 0011_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WCF[3:0]				WCP[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.32 FLXAnFRSUCC3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
7 ～ 4	WCF[3:0]	クロック補正エラー回数設定ビット（HALT 状態への遷移条件） gMaxWithoutClockCorrectionFatal を設定
3 ～ 0	WCP[3:0]	クロック補正エラー回数設定ビット（NORMAL_PASSIVE 状態への遷移条件） gMaxWithoutClockCorrectionPassive を設定

(1) FLXAnFRSUCC3.WCF

クロック補正エラー回数設定ビット（HALT 状態への遷移条件）

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1 ～ 15

クラスタ内の全ノードで同じ設定にしてください。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態から HALT 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数 / 奇数サイクルペア数で設定します。

注 意

FLXAnFRSUCC1 レジスタの HCSE ビットがセットされていない場合、HALT 状態への遷移はできません。

(2) FLXAnFRSUCC3.WCP

クロック補正エラー回数設定ビット（NORMAL_PASSIVE 状態への遷移条件）

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1 ～ 15

クラスタ内の全ノードで同じ設定にしてください。

NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数 / 奇数サイクルペア数で設定します。

21.2.6.4 FLXAnFRNEMC — FlexRay NEM 設定レジスタ

アクセス FLXAnFRNEMC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRNEMCL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRNEMCLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRNEMC: <FLXAn_base> + $008C_H$、
FLXAnFRNEMCL: <FLXAn_base> + $008C_H$、
FLXAnFRNEMCLL: <FLXAn_base> + $008C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	NML[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 21.33 FLXAnFRNEMC レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3 ～ 0	NML[3:0]	ネットワーク管理ベクタ長設定ビット gNetworkManagementVectorLength を設定

(1) FLXAnFRNEMC.NML

ネットワーク管理ベクタ長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 12 バイト

クラスタ内の全ノードで同じ設定にしてください。

ネットワーク管理ベクタ長をバイト単位で設定します。

21.2.6.5 FLXAnFRPRTC1 — FlexRay PRT 設定レジスタ 1

アクセス FLXAnFRPRTC1 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRPRTC1L、FLXAnFRPRTC1H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRPRTC1LL、FLXAnFRPRTC1LH、FLXAnFRPRTC1HL、FLXAnFRPRTC1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRPRTC1: <FLXAn_base> + 0090_H,
FLXAnFRPRTC1L: <FLXAn_base> + 0090_H、FLXAnFRPRTC1H: <FLXAn_base> + 0092_H,
FLXAnFRPRTC1LL: <FLXAn_base> + 0090_H、FLXAnFRPRTC1LH: <FLXAn_base> + 0091_H,
FLXAnFRPRTC1HL: <FLXAn_base> + 0092_H、FLXAnFRPRTC1HH: <FLXAn_base> + 0093_H

リセット後の値 $084C\ 0633_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RWP[5:0]						—	RXW[8:0]								
リセット後の値	0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[1:0]		SPP[1:0]		—	CASM[6:0]							TSST[3:0]			
リセット後の値	0	0	0	0	0	1	1	0	0	0	1	1	0	0	1	1
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.34 FLXAnFRPRTC1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	RWP[5:0]	送信ウェイクアップパターン繰り返し回数設定ビット pWakeupPattern を設定
25	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
24 ～ 16	RXW[8:0]	Wakeup シンボル受信ウィンドウ幅設定ビット gdWakeupSymbolRxWindow を設定
15、14	BRP[1:0]	ボーレートプリスケーラ設定ビット gdSampleClockPeriod and pSamplesPerMicrotick を設定 00_B = 10 Mbps 01_B = 5 Mbps 10_B = 2.5 Mbps 11_B = 2.5 Mbps
13、12	SPP[1:0]	ストローブポイント位置設定ビット ストローブポイント位置設定 00_B = サンプル 5 01_B = サンプル 4 10_B = サンプル 6 11_B = サンプル 5
11	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
10 ～ 4	CASM[6:0]	衝突回避シンボル最大長設定ビット gdCASRxLowMax を設定
3 ～ 0	TSST[3:0]	送信 TSS 長設定ビット gdTSSTransmitter を設定

(1) FLXAnFRPRTC1.RWP

送信ウェイクアップパターン繰り返し回数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 63

送信 Wakeup シンボルの繰り返し（シーケンス）回数を設定します。

(2) FLXAnFRPRTC1.RXW

Wakeup シンボル受信ウィンドウ幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：76 ～ 301

クラスタ内の全ノードで同じ設定にしてください。

ノードが受信したウェイクアップパターンを評価する期間をビットタイム数で設定します。

(3) FLXAnFRPRTC1.BRP

ボーレートプリスケーラ設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

FlexRay バスのボーレートを設定します。下記値はサンプルクロックが 80MHz の場合のみ有効です。設定されたボーレートに関係なく、1 ビット時間は常に 8 サンプルで構成されます。

00_B = 10 MBit/s

gdSampleClockPeriod = 12.5 ns = 1 × 'sample clock'

pSamplesPerMicrotick = 2 （1 µT = 25 ns）

01_B = 5 MBit/s

gdSampleClockPeriod = 25 ns = 2 × 'sample clock'

pSamplesPerMicrotick = 1 （1 µT = 25 ns）

10_B, 11_B = 2.5 MBit/s

gdSampleClockPeriod = 50 ns = 4 × 'sample clock'

pSamplesPerMicrotick = 1 （1 µT = 50 ns）

(4) FLXAnFRPRTC1.SPP

ストローブポイント位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

CC が受信ビットをストローブするサンプルカウンタの位置を設定します。
FLXAnFRPRTC1.SPP によって設定された回数分サンプリングを行い、それによって観測されたサンプル値の多数決判定によって、ビット値を決定します。

注 意

FlexRay 通信システムプロトコル仕様 v 2.1 では、FLXAnFRPRTC1.SPP は “00_B” に規定しています。その他の設定値は物理レイヤの不均衡を補正するために使用されます。

(5) FLXAnFRPRTC1.CASM

衝突回避シンボル最大長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

CASM[6] ビットは “1” 固定です。

有効値：67 ～ 99

衝突回避シンボル（CAS）の受信可能な最大許容長をビットタイムで設定します。

(6) FLXAnFRPRTC1.TSST

送信 TSS 長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：3 ～ 15

クラスタ内の全ノードで同じ設定にしてください。

送信時の送信開始シーケンス（TSS）幅をビットタイムで設定します。（1 ビットタイム = 4 μT = 100ns @ 10Mbps）

21.2.6.6 FLXAnFRPRTC2 — FlexRay PRT 設定レジスタ 2

アクセス FLXAnFRPRTC2 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRPRTC2L、FLXAnFRPRTC2H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRPRTC2LL、FLXAnFRPRTC2LH、FLXAnFRPRTC2HL、FLXAnFRPRTC2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRPRTC2:<FLXAn_base> + 0094_H,
FLXAnFRPRTC2L: <FLXAn_base> + 0094_H、FLXAnFRPRTC2H: <FLXAn_base> + 0096_H、
FLXAnFRPRTC2LL: <FLXAn_base> + 0094_H、FLXAnFRPRTC2LH: <FLXAn_base> + 0095_H、
FLXAnFRPRTC2HL: <FLXAn_base> + 0096_H、FLXAnFRPRTC2HH: <FLXAn_base> + 0097_H

リセット後の値 $0F2D\ 0A0E_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	TXL[5:0]						TXI[7:0]							
リセット後の値	0	0	0	0	1	1	1	1	0	0	1	0	1	1	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RXL[5:0]						—	—	RXI[5:0]					
リセット後の値	0	0	0	0	1	0	1	0	0	0	0	0	1	1	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 21.35 FLXAnFRPRTC2 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
29 ～ 24	TXI[7:0]	送信 Wakeup シンボル Low 幅設定ビット gdWakeupSymbolTxLow を設定
23 ～ 16	TXI[7:0]	送信 Wakeup シンボルアイドル幅設定ビット gdWakeupSymbolTxIdle を設定
15、14	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
13 ～ 8	RXL[5:0]	受信 Wakeup シンボル Low 幅設定ビット gdWakeupSymbolRxLow を設定
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5 ～ 0	RXI[5:0]	受信 Wakeup シンボルアイドル幅設定ビット gdWakeupSymbolRxIdle を設定

(1) FLXAnFRPRTC2.TXL

送信 Wakeup シンボル Low 幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：15 ～ 60

クラスタ内の全ノードで同じ設定にしてください。

ノードが送信する Wakeup シンボルの “L” 幅をビットタイムで設定します。

(2) FLXAnFRPRTC2.TXI

送信 Wakeup シンボルアイドル幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：45 ～ 180

クラスタ内の全ノードで同じ設定にしてください。

ノードが送信する Wakeup シンボルのアイドル幅をビットタイムで設定します。

(3) FLXAnFRPRTC2.RXL

受信 Wakeup シンボル Low 幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：10 ～ 55

クラスタ内の全ノードで同じ設定にしてください。

ノードが受信する Wakeup シンボルの最小 “L” 幅をビットタイムで設定します。

(4) FLXAnFRPRTC2.RXI

受信 Wakeup シンボルアイドル幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：14 ～ 59

クラスタ内の全ノードで同じ設定にしてください。

ノードが受信する Wakeup シンボルの最小アイドル幅をビットタイムで設定します。

21.2.6.7 FLXAnFRMHDC — FlexRay MHD 設定レジスタ

アクセス FLXAnFRMHDC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRMHDCL、FLXAnFRMHDCH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRMHDCLL、FLXAnFRMHDCHL、FLXAnFRMHDCHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRMHDC: <FLXAn_base> + 0098_H、
FLXAnFRMHDCL: <FLXAn_base> + 0098_H、FLXAnFRMHDCH: <FLXAn_base> + $009A_H$、
FLXAnFRMHDCLL: <FLXAn_base> + 0098_H、FLXAnFRMHDCHL: <FLXAn_base> + $009A_H$、
FLXAnFRMHDCHH: <FLXAn_base> + $009B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SLT[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SFDL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.36 FLXAnFRMHDC レジスタの内容

ビット位置	ビット名	機能
31 ～ 29	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
28 ～ 16	SLT[12:0]	最終送信開始位置設定ビット pLatestTx を設定
15 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6 ～ 0	SFDL[6:0]	スタティックフレームデータ長設定ビット gPayloadLengthStatic を設定

(1) FLXAnFRMHDC.SLT

最終送信開始位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 7981

ダイナミックセグメント内で送信を開始できる最終の最大ミニスロット値を設定します。このビットが “0” の場合、ダイナミックセグメントでの送信はありません。

(2) FLXAnFRMHDC.SFDL

スタティックフレームデータ長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 127

クラスタ内の全ノードで同じ設定にしてください。

スタティックセグメントで送信されるすべてのフレームについて、クラスタのペイロード長を 2 バイト単位で設定します。

21.2.6.8 FLXAnFRGTUC1 — FlexRay GTU 設定レジスタ 1

アクセス FLXAnFRGTUC1 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC1L、FLXAnFRGTUC1H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC1LL、FLXAnFRGTUC1LH、FLXAnFRGTUC1HL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC1: <FLXAn_base> + $00A0_H$、
FLXAnFRGTUC1L: <FLXAn_base> + $00A0_H$、FLXAnFRGTUC1H: <FLXAn_base> + $00A2_H$、
FLXAnFRGTUC1LL: <FLXAn_base> + $00A0_H$、FLXAnFRGTUC1LH: <FLXAn_base> + $00A1_H$,
FLXAnFRGTUC1HL: <FLXAn_base> + $00A2_H$

リセット後の値 $0000\ 0280_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	UT[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UT[15:0]															
リセット後の値	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.37 FLXAnFRGTUC1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
19 ～ 0	UT[19:0]	コミュニケーションサイクル μT 数設定ビット pMicroPerCycle を設定

(1) FLXAnFRGTUC1.UT

コミュニケーションサイクル μT 数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：640 ～ 640000μT

コミュニケーションサイクル長を μT 単位で設定します。

21.2.6.9 FLXAnFRGTUC2 — FlexRay GTU 設定レジスタ 2

アクセス FLXAnFRGTUC2 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC2L、FLXAnFRGTUC2H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC2LL、FLXAnFRGTUC2LH、FLXAnFRGTUC2HL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC2: <FLXAn_base> + $00A4_H$,
FLXAnFRGTUC2L: <FLXAn_base> + $00A4_H$、FLXAnFRGTUC2H: <FLXAn_base> + $00A6_H$,
FLXAnFRGTUC2LL: <FLXAn_base> + $00A4_H$、FLXAnFRGTUC2LH: <FLXAn_base> + $00A5_H$,
FLXAnFRGTUC2HL: <FLXAn_base> + $00A6_H$

リセット後の値 $0002\ 000A_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SNM[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MPC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.38 FLXAnFRGTUC2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
19 ～ 16	SNM[3:0]	最大 SYNC ノード数設定ビット
15 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
13 ～ 0	MPC[13:0]	コミュニケーションサイクル MT 数設定ビット gMacroPerCycle を設定

(1) FLXAnFRGTUC2.SNM

最大 SYNC ノード数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 15

クラスタ内の全ノードで同じ設定にしてください。

Sync フレームインジケータ SYN に “1” がセットされたフレームの最大数を設定します。

(2) FLXAnFRGTUC2.MPC

コミュニケーションサイクル MT 数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：10 ～ 16000MT

クラスタ内の全ノードで同じ設定にしてください。

コミュニケーションサイクル長を MT 単位で設定します。

21.2.6.10 FLXAnFRGTUC3 — FlexRay GTU 設定レジスタ 3

アクセス FLXAnFRGTUC3 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC3L、FLXAnFRGTUC3H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC3LL、FLXAnFRGTUC3LH、FLXAnFRGTUC3HL、FLXAnFRGTUC3HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC3: <FLXAn_base> + $00A8_H$,
FLXAnFRGTUC3L: <FLXAn_base> + $00A8_H$、FLXAnFRGTUC3H: <FLXAn_base> + $00AA_H$,
FLXAnFRGTUC3LL: <FLXAn_base> + $00A8_H$、FLXAnFRGTUC3LH: <FLXAn_base> + $00A9_H$,
FLXAnFRGTUC3HL: <FLXAn_base> + $00AA_H$、FLXAnFRGTUC3HH: <FLXAn_base> + $00AB_H$

リセット後の値 $0202\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MIOB[6:0]							—	MIOA[6:0]						
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UIOB[7:0]								UIOA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.39 FLXAnFRGTUC3 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
30 ～ 24	MIOB[6:0]	チャネル B MT 初期オフセット設定ビット pMacroInitialOffset[B] を設定
23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22 ～ 16	MIOA[6:0]	チャネル A MT 初期オフセット設定ビット pMacroInitialOffset[A] を設定
15 ～ 8	UIOB[7:0]	チャネル B µT 初期オフセット設定ビット pMicroInitialOffset[B] を設定
7 ～ 0	UIOA[7:0]	チャネル A µT 初期オフセット設定ビット pMicroInitialOffset[A] を設定

(1) FLXAnFRGTUC3.MIOB

チャネル B MT 初期オフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 72MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロット境界からセカンダリ TRP（time reference point）直後の MT 境界までの MT 数を公称 MT 長ベースで設定します。

(2) FLXAnFRGTUC3.MIOA

チャネル A MT 初期オフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 72MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロット境界からセカンダリ TRP 直後の MT 境界までの MT 数を公称 MT 長ベースで設定します。

(3) FLXAnFRGTUC3.UIOB

チャネル B μT 初期オフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 240μT

チャネル B のセカンダリ TRP から直後の MT 境界までの時間を μT 単位で設定します。パラメータは FLXAnFRGTUC5 レジスタの pDelayCompensation[B] の設定値に依存しますので、チャネルごとに設定する必要があります。

(4) FLXAnFRGTUC3.UIOA

チャネル A μT 初期オフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 240μT

チャネル A のセカンダリ TRP（time reference point）から直後の MT 境界までの時間を μT 単位で設定します。パラメータは FLXAnFRGTUC5 レジスタの pDelayCompensation[A] の設定値に依存しますので、チャネルごとに設定する必要があります。

21.2.6.11 FLXAnFRGTUC4 — FlexRay GTU 設定レジスタ 4

FLXAnFRGTUC4 レジスタの NIT ビットおよび FLXAnFRGTUC4 レジスタの OCS ビットの設定については、**「21.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定」**を参照してください。

アクセス FLXAnFRGTUC4 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC4L、FLXAnFRGTUC4H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC4LL、FLXAnFRGTUC4LH、FLXAnFRGTUC4HL、FLXAnFRGTUC4HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC4: <FLXAn_base> + $00AC_H$、
FLXAnFRGTUC4L: <FLXAn_base> + $00AC_H$、FLXAnFRGTUC4H: <FLXAn_base> + $00AE_H$,
FLXAnFRGTUC4LL: <FLXAn_base> + $00AC_H$、FLXAnFRGTUC4LH: <FLXAn_base> + $00AD_H$、
FLXAnFRGTUC4HL: <FLXAn_base> + $00AE_H$、FLXAnFRGTUC4HH: <FLXAn_base> + $00AF_H$

リセット後の値 $0008\ 0007_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	OCS[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	NIT[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.40 FLXAnFRGTUC4 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
29 ～ 24	OCS[13:0]	オフセット補正開始位置設定ビット （gOffsetCorrectionStart - 1）を設定
15 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
13 ～ 0	NIT[13:0]	NIT 開始位置設定ビット （gMacroPerCycle -gdNIT - 1）を設定

(1) FLXAnFRGTUC4.OCS

オフセット補正開始位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：8 ～ 15998 MT

E-Ray のみで構成されているクラスタについては、FLXAnFRGTUC4.OCS = FLXAnFRGTUC4.NIT + 1 とプログラムすることで十分です。

クラスタ内の全ノードで同じ設定にしてください。

NIT フェーズ内でのオフセット補正の開始位置をコミュニケーションサイクルの先頭から数えて計算します。

(2) FLXAnFRGTUC4.NIT

NIT 開始位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：7 ～ 15997MT

クラスタ内の全ノードで同じ設定にしてください。.

NIT（Network Idle Time）の開始位置をコミュニケーションサイクルの先頭からの MT 数で設定します。MT 値が gMacroPerCycle -gdNIT -1 と一致し、MT のインクリメントパルスがセットされたとき NIT の開始位置と認識されます。

21.2.6.12 FLXAnFRGTUC5 — FlexRay GTU 設定レジスタ 5

アクセス FLXAnFRGTUC5 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC5L、FLXAnFRGTUC5H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC5LL、FLXAnFRGTUC5LH、FLXAnFRGTUC5HL、FLXAnFRGTUC5HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC5: <FLXAn_base> + $00B0_H$、
FLXAnFRGTUC5L: <FLXAn_base> + $00B0_H$、FLXAnFRGTUC5H: <FLXAn_base> + $00B2_H$、
FLXAnFRGTUC5LL: <FLXAn_base> + $00B0_H$、FLXAnFRGTUC5LH: <FLXAn_base> + $00B1_H$、
FLXAnFRGTUC5HL: <FLXAn_base> + $00B2_H$、FLXAnFRGTUC5HH: <FLXAn_base> + $00B3_H$

リセット後の値 $0E00\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEC[7:0]								—	—	—	CDD[4:0]				
リセット後の値	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCB[7:0]								DCA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.41 FLXAnFRGTUC5 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	DEC[7:0]	デコード補正ビット pDecodingCorrection を設定
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
20 ～ 16	CDD[4:0]	クラスタドリフトダンピング値設定ビット pClusterDriftDamping を設定
15 ～ 8	DCB[7:0]	チャネル B 遅延補正ビット pDelayCompensation[B] を設定
7 ～ 0	DCA[7:0]	チャネル A 遅延補正値設定ビット pDelayCompensation[A] を設定

(1) FLXAnFRGTUC5.DEC

デコード補正ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：14 ～ 143μT

プライマリ TRP（time reference point）を決定するために使用するデコード補正値を μT 単位で設定します。

(2) FLXAnFRGTUC5.CDD

クラスタドリフトダンピング値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 20μT

クロック同期において、丸め誤差の蓄積を最小限にするために使用するクラスタドリフトダンピング値を μT 単位で設定します。

(3) FLXAnFRGTUC5.DCB

チャネル B 遅延補正ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 200μT

チャネル B での受信遅延の補正に使用します。このビットは 0.0125 ～ 0.05μs の範囲の μT に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際には、全 Sync ノードの最小伝播遅延値を適用してください。

(4) FLXAnFRGTUC5.DCA

チャネル A 遅延補正値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 200μT

チャネル A での受信遅延の補正に使用します。このビットは 0.0125 ～ 0.05μs の範囲の μT に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際には、全 Sync ノードの最小伝播遅延値を適用してください。

21.2.6.13 FLXAnFRGTUC6 — FlexRay GTU 設定レジスタ 6

アクセス FLXAnFRGTUC6 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC6L、FLXAnFRGTUC6H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC6LL、FLXAnFRGTUC6LH、FLXAnFRGTUC6HL、FLXAnFRGTUC6HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC6: <FLXAn_base> + $00B4_H$、
FLXAnFRGTUC6L: <FLXAn_base> + $00B4_H$、FLXAnFRGTUC6H: <FLXAn_base> + $00B6_H$、
FLXAnFRGTUC6LL: <FLXAn_base> + $00B4_H$、FLXAnFRGTUC6LH: <FLXAn_base> + $00B5_H$、
FLXAnFRGTUC6HL: <FLXAn_base> + $00B6_H$、FLXAnFRGTUC6HH: <FLXAn_base> + $00B7_H$

リセット後の値 $0002\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MOD[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ASR[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.42 FLXAnFRGTUC6 レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
26 ～ 16	MOD[10:0]	最大発振偏移設定ビット pdMaxDrift を設定
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
10 ～ 0	ASR[10:0]	許容 Startup 範囲設定ビット pdAcceptedStartupRange を設定

(1) FLXAnFRGTUC6.MOD

最大発振偏移設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 1923μT

異なるクロックで動作している二つのノード間における 1 コミュニケーションサイクル間での最大偏移量を μT 単位で設定します。

(2) FLXAnFRGTUC6.ASR

許容 Startup 範囲設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 1875μT

統合中の Startup フレームの許容誤差範囲を拡張して μT 単位で設定します。

21.2.6.14 FLXAnFRGTUC7 — FlexRay GTU 設定レジスタ 7

アクセス FLXAnFRGTUC7 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC7L、FLXAnFRGTUC7H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC7LL、FLXAnFRGTUC7LH、FLXAnFRGTUC7HL、FLXAnFRGTUC7HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC7: <FLXAn_base> + $00B8_H$、
FLXAnFRGTUC7L: <FLXAn_base> + $00B8_H$、FLXAnFRGTUC7H: <FLXAn_base> + $00BA_H$、
FLXAnFRGTUC7LL: <FLXAn_base> + $00B8_H$、FLXAnFRGTUC7LH: <FLXAn_base> + $00B9_H$、
FLXAnFRGTUC7HL: <FLXAn_base> + $00BA_H$、FLXAnFRGTUC7HH: <FLXAn_base> + $00BB_H$

リセット後の値 $0002\ 0004_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NSS[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SSL[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.43 FLXAnFRGTUC7 レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
25、24	NSS[9:0]	スタティックスロット数設定ビット gNumberOfStaticSlots を設定
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
9 ～ 0	SSL[9:0]	スタティックスロット長設定ビット gdStaticSlot を設定

(1) FLXAnFRGTUC7.NSS

スタティックスロット数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 1023

クラスタ内の全ノードで同じ設定にしてください。

1 サイクル当たりのスタティックスロット数を設定します。

(2) FLXAnFRGTUC7.SSL

スタティックスロット長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：4 ～ 659MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロット長を MT 単位で設定します。

21.2.6.15 FLXAnFRGTUC8 — FlexRay GTU 設定レジスタ 8

アクセス FLXAnFRGTUC8 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC8L、FLXAnFRGTUC8H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC8LL、FLXAnFRGTUC8HL、FLXAnFRGTUC8HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC8: <FLXAn_base> + $00BC_H$,
FLXAnFRGTUC8L: <FLXAn_base> + $00BC_H$,FLXAnFRGTUC8H: <FLXAn_base> + $00BE_H$,
FLXAnFRGTUC8LL: <FLXAn_base> + $00BC_H$,FLXAnFRGTUC8HL: <FLXAn_base> + $00BE_H$,
FLXAnFRGTUC8HH: <FLXAn_base> + $00BF_H$

リセット後の値 $0000\ 0002_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NMS[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	MSL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 21.44 FLXAnFRGTUC8 レジスタの内容

ビット位置	ビット名	機能
31 ～ 29	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
28 ～ 16	NMS[12:0]	ミニスロット数設定ビット gNumberOfMinislots を設定
15 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5 ～ 0	MSL[5:0]	ミニスロット長設定ビット gdMinislot を設定

(1) FLXAnFRGTUC8.NMS

ミニスロット数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 7986

クラスタ内の全ノードで同じ設定にしてください。

1 サイクル中のダイナミックセグメント内のミニスロット数を設定します。

(2) FLXAnFRGTUC8.MSL

ミニスロット長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 63MT

クラスタ内の全ノードで同じ設定にしてください。

ミニスロット長を MT 単位で設定します。

21.2.6.16 FLXAnFRGTUC9 — FlexRay GTU 設定レジスタ 9

アクセス FLXAnFRGTUC9 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC9L、FLXAnFRGTUC9H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC9LL、FLXAnFRGTUC9LH、FLXAnFRGTUC9HL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC9: <FLXAn_base> + $00C0_H$、
FLXAnFRGTUC9L: <FLXAn_base> + $00C0_H$、FLXAnFRGTUC9H: <FLXAn_base> + $00C2_H$、
FLXAnFRGTUC9LL: <FLXAn_base> + $00C0_H$、FLXAnFRGTUC9LH: <FLXAn_base> + $00C1_H$、
FLXAnFRGTUC9HL: <FLXAn_base> + $00C2_H$

リセット後の値 $0000\ 0101_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSI[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MAPO[4:0]					—	—	APO[5:0]					
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 21.45 FLXAnFRGTUC9 レジスタの内容

ビット位置	ビット名	機能
31 ～ 18	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
17、16	DSI[1:0]	ダイナミックスロットアイドルフェーズ設定ビット gdDynamicSlotIdlePhase を設定
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
12 ～ 8	MAPO[4:0]	ミニスロットアクションポイントオフセット設定ビット gdMinislotActionPointOffset を設定
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5 ～ 0	APO[5:0]	アクションポイントオフセット設定ビット gdActionPointOffset を設定

(1) FLXAnFRGTUC9.DSI

ダイナミックスロットアイドルフェーズ設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 2

クラスタ内の全ノードで同じ設定にしてください。

ダイナミックスロットアイドルフェーズ時間をミニスロット数で設定します。アイドル検出時間以上に設定してください。

(2) FLXAnFRGTUC9.MAPO

ミニスロットアクションポイントオフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1 ～ 31MT

クラスタ内の全ノードで同じ設定にしてください。

ダイナミックセグメントのミニスロット内のアクションポイントの位置を MT 単位で設定します。

(3) FLXAnFRGTUC9.APO

アクションポイントオフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1 ～ 63MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロットおよびシンボルウィンドウ内のアクションポイントの位置を MT 単位で設定します。

21.2.6.17 FLXAnFRGTUC10 — FlexRay GTU 設定レジスタ 10

アクセス FLXAnFRGTUC10 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC10L、FLXAnFRGTUC10H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC10LL、FLXAnFRGTUC10LH、FLXAnFRGTUC10HL、FLXAnFRGTUC10HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC10: <FLXAn_base> + $00C4_H$、
FLXAnFRGTUC10L: <FLXAn_base> + $00C4_H$、FLXAnFRGTUC10H: <FLXAn_base> + $00C6_H$、
FLXAnFRGTUC10LL: <FLXAn_base> + $00C4_H$、FLXAnFRGTUC10LH: <FLXAn_base> + $00C5_H$、
FLXAnFRGTUC10HL: <FLXAn_base> + $00C6_H$、FLXAnFRGTUC10HH: <FLXAn_base> + $00C7_H$

リセット後の値 $0002\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MOC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.46 FLXAnFRGTUC10 レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
26 ～ 16	MRC[10:0]	最大レート補正値設定ビット pRateCorrectionOut を設定
15 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
13 ～ 0	MOC[13:0]	最大オフセット補正値設定ビット pOffsetCorrectionOut を設定

(1) FLXAnFRGTUC10.MRC

最大レート補正値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 1923μT

内部クロック同期アルゴリズムで使用されるレート補正値の最大許容値を設定します。CC は最大レート補正値（絶対値）と内部レート補正値を比較確認します。

(2) FLXAnFRGTUC10.MOC

最大オフセット補正値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：5 ～ 15266μT

内部クロック同期アルゴリズム（絶対値）で使用されるオフセット補正値の最大許容値（絶対値）を設定します。CC は最大オフセット補正値と内部オフセット補正値を比較確認します。

21.2.6.18 FLXAnFRGTUC11 — FlexRay GTU 設定レジスタ 11

アクセス FLXAnFRGTUC11 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC11L、FLXAnFRGTUC11H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC11LL、FLXAnFRGTUC11LH、FLXAnFRGTUC11HL、FLXAnFRGTUC11HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC11: <FLXAn_base> + $00C8_H$、
FLXAnFRGTUC11L: <FLXAn_base> + $00C8_H$、FLXAnFRGTUC11H: <FLXAn_base> + $00CA_H$、
FLXAnFRGTUC11LL: <FLXAn_base> + $00C8_H$、FLXAnFRGTUC11LH: <FLXAn_base> + $00C9_H$、
FLXAnFRGTUC11HL: <FLXAn_base> + $00CA_H$、FLXAnFRGTUC11HH: <FLXAn_base> + $00CB_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ERC[2:0]			—	—	—	—	—	EOC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ERCC[1:0]		—	—	—	—	—	—	EOCC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 21.47 FLXAnFRGTUC11 レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
26 ～ 24	ERC[2:0]	外部レート補正値設定ビット pExternRateCorrection を設定
23 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18 ～ 16	EOC[2:0]	外部オフセット補正値設定ビット pExternOffsetCorrection を設定
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
9、8	ERCC[1:0]	外部レート補正制御ビット vExternRateControl を設定 00_B: 外部レート補正禁止 01_B: 外部レート補正禁止 10_B: 減算 11_B: 加算
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	EOCC[1:0]	外部オフセット補正制御ビット vExternOffsetControl 00_B: 外部オフセット補正禁止 01_B: 外部オフセット補正禁止 10_B: 減算 11_B: 加算

(1) FLXAnFRGTUC11.ERC

外部レート補正値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 7μT

内部クロック同期アルゴリズムで使用される外部レート補正値を μT 単位で設定します。値は計算されたレート補正値から減算または加算されます。設定値は NIT 期間に使用されます。

(2) FLXAnFRGTUC11.EOC

外部オフセット補正値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 7μT

内部クロック同期アルゴリズムで使用される外部オフセット補正値を μT 単位で設定します。値は計算されたオフセット補正値から減算または加算されます。設定値は NIT 期間に使用されます。

(3) FLXAnFRGTUC11.ERCC

外部レート補正制御ビット

設定変更は NIT（ネットワークアイドル時間）以外で行ってください。

下記の値を FLXAnFRGTUC11 レジスタの ERCC ビットに書き込むと、外部レート補正が有効になります。

00_B = 外部レート補正禁止

01_B = 外部レート補正禁止

10_B = 減算

計算されたレート補正値－外部レート補正値

11_B = 加算

計算されたレート補正値＋外部レート補正値

(4) FLXAnFRGTUC11.EOCC

外部オフセット補正制御ビット

設定変更は NIT（ネットワークアイドル時間）以外で行ってください。

下記の値を FLXAnFRGTUC11 レジスタの EOCC ビットに書き込むと、外部オフセット補正が有効になります。

00_B = 外部オフセット補正禁止

01_B = 外部オフセット補正禁止

10_B = 減算

計算されたオフセット補正値－外部オフセット補正値

11_B = 加算

計算されたオフセット補正値＋外部オフセット補正値

21.2.7 CC ステータスレジスタ

8/16 ビットを超えるステータス変数に対して 8/16 ビットアクセスを行った場合、2 回のアクセス（非アトミックなリードアクセス）の間に CC によって変数が更新される可能性があります。

21.2.7.1 FLXAnFRCCSV — FlexRay CC ステータスベクタレジスタ

アクセス FLXAnFRCCSV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRCCSVL、FLXAnFRCCSVH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRCCSVLL、FLXAnFRCCSVLH、FLXAnFRCCSVHL、FLXAnFRCCSVHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRCCSV: <FLXAn_base> + 0100_H、
FLXAnFRCCSVL: <FLXAn_base> + 0100_H、FLXAnFRCCSVH: <FLXAn_base> + 0102_H、
FLXAnFRCCSVLL: <FLXAn_base> + 0100_H、FLXAnFRCCSVLH: <FLXAn_base> + 0101_H、
FLXAnFRCCSVHL: <FLXAn_base> + 0102_H、FLXAnFRCCSVHH: <FLXAn_base> + 0103_H

リセット後の値 $0010\ 4000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	PSL[5:0]						RCA[4:0]					WSV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CSI	CSAI	CSNI	—	—	SLM[1:0]		HRQ	FSI	POCS[5:0]					
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.48 FLXAnFRCCSV レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29 ～ 24	PSL[5:0]	POC 状態ログフラグ HALT 状態へ遷移する直前の FLXAnFRCCSV レジスタの POCS ビットの値が設定されます。
23 ～ 19	RCA[4:0]	Coldstart 試行残数フラグ vRemainingColdstartAttempts を表示
18 ～ 16	WSV[2:0]	ウェイクアップ状態フラグ vPOC!WakeupStatus を表示 000_B: UNDEFINED 001_B: RECEIVED_HEADER 010_B: RECEIVED_WUP 011_B: COLLISION_HEADER 100_B: COLLISION_WUP 101_B: COLLISION_UNKNOWN 110_B: TRANSMITTED 111_B: reserved
15	予約ビット	リードした場合はリセット後の値が読めます。
14	CSI	Coldstart 禁止フラグ vColdStartInhibit を表示 0: ノードの Coldstart 許可 1: ノードの Coldstart 禁止
13	CSAI	Coldstart アボート表示フラグ
12	CSNI	Coldstart ノイズ表示フラグ vPOC!ColdstartNoise を表示
11、10	予約ビット	リードした場合はリセット後の値が読めます。

表 21.48 FLXAnFRCCSV レジスタの内容 (2/2)

ビット位置	ビット名	機能
9、8	SLM[1:0]	スロットモードフラグ vPOC!SlotMode を表示 00_B: SINGLE 01_B: リザーブ 10_B: ALL_PENDING 11_B: ALL
7	HRQ	HALT 要求フラグ vPOC!CHIHaltRequest を表示
6	FSI	フリーズ状態フラグ vPOC!Freeze を表示
5 ～ 0	POCS[5:0]	POC 状態フラグ

(1) FLXAnFRCCSV.PSL

POC 状態ログフラグ

HALT 状態へ遷移する直前の FLXAnFRCCSV レジスタの POCS ビットの値が設定されます。

HALT 状態時に FREEZE コマンドが受け付けられ、かつ、FSI フラグがまだ “1” にセットされていない、つまり、FREEZE コマンドにより HALT 状態に到達していない場合は、HALT が設定されます。

HALT 状態から抜けると、“000000_B” になります。

(2) FLXAnFRCCSV.RCA

Coldstart 試行残数フラグ

Coldstart の試行回数の残数（vRemainingColdstartAttempts）を表示します。

CONFIG 状態および DEFAULT_CONFIG 状態時の FLXAnFRCCSV レジスタの RCA ビットのリセット後の値は、FLXAnFRSUCC1 レジスタの CSA ビットの値になります。

RUN コマンドにより、FLXAnFRSUCC1 レジスタの CSA ビットで設定した Coldstart の試行回数の最大値に初期化されます。

(3) FLXAnFRCCSV.WSV

ウェイクアップ状態フラグ

現在のウェイクアップ試行状態（vPOC!WakeupStatus）を示します

CHI コマンドの RESET_STATUS_INDICATORS、または、DEFAULT_CONFIG 状態から CONFIG 状態への遷移でより、ウェイクアップ状態になると、“0” になります。

000_B = UNDEFINED 状態

CC によるウェイクアップが実行されていない状態です。

001_B = RECEIVED_HEADER 状態

WAKEUP_LISTEN 状態において、いずれのチャネル上にもコード違反が生じることなくフレームヘッダが受信され、CC がウェイクアップを終了すると、終了時に本状態が設定されます。

010_B = RECEIVED_WUP 状態

WAKEUP_LISTEN 状態において、指定のウェイクアップチャネル上の有効なウェイクアップパターンが受信され、CC がウェイクアップを終了すると、終了時に本状態が設定されます。

011_B = COLLISION_HEADER 状態

ウェイクアップパターン送信中に、いずれかのチャネル上の有効なヘッダが受信されたことにより衝突が検出され、CC がウェイクアップを停止すると、停止時に本状態が設定されます。

100_B = COLLISION_WUP 状態

ウェイクアップパターン送信中に、指定のウェイクアップチャネル上の有効なウェイクアップパターンが受信されたことにより衝突が検出され、CC がウェイクアップを停止すると、停止時に本状態が設定されます。

101_B = COLLISION_UNKNOWN 状態

有効なウェイクアップパターンおよび有効なフレームヘッダのいずれも受信されないまま、ウェイクアップタイマが終了して WAKEUP_DETECT 状態から遷移し、CC がウェイクアップを停止すると、停止時に本状態が設定されます。

110_B = TRANSMITTED 状態

CC がウェイクアップパターンを正常に終了した場合、終了時に本状態が設定されます。

111_B = リザーブ

(4) FLXAnFRCCSV.CSI

Coldstart 禁止フラグ

Coldstart が許可されている状態かどうかを示します。（vColdStartInhibit）

POC が CHI コマンドにより READY 状態に遷移したときは常に “1” になります。

“0” にするときは CHI コマンドの ALLOW_COLDSTART コマンドを発行（FLXAnFRSUCC1.CMD ビットに “1001_B” を設定）してください。

(5) FLXAnFRCCSV.CSAI

Coldstart アボート表示フラグ

Coldstart が中止されたことを示します。

CHI コマンドの RESET_STATUS_INDICATORS、HALT 状態から DEFAULT_CONFIG 状態への遷移、または READY 状態から STARTUP 状態への遷移により “0” になります。

(6) FLXAnFRCCSV.CSNI

Coldstart ノイズ表示フラグ

Coldstart 処理がノイズの多い条件化で発生したことを示します。（vPOC!ColdstartNoise）

CHI コマンドの RESET_STATUS_INDICATORS、HALT 状態から DEFAULT_CONFIG 状態への遷移、または READY 状態から STARTUP 状態への遷移により “0” になります。

(7) FLXAnFRCCSV.SLM

スロットモードフラグ

READY 状態、WAKEUP 状態、STARTUP 状態、NORMAL_ACTIVE 状態、または NORMAL_PASSIVE 状態のときの、POC のスロットモード（vPOC!SlotMode）を示します。

デフォルトは SINGLE です。ALL に変化するかどうかは FLXAnFRSUCC1.TSM ビットの値に依存します。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態のときに CHI コマンドの ALL_SLOT コマンドを設定すると、SINGLE から ALL_PENDING を経て ALL になります。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態以外は FLXAnFRSUCC1.TSM ビットを SINGLE スロットモードに設定してください。

(8) FLXAnFRCCSV.HRQ

HALT 要求フラグ

コミュニケーションサイクルの終了時に HALT 状態に遷移するように CPU から要求されたことを示します。（vPOC!CHIHaltRequest）

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに “0” になります。

(9) FLXAnFRCCSV.FSI

フリーズ状態フラグ

CHI コマンド、FREEZE（CMD = 0111_B）の設定、または HALT 状態への遷移が必要なエラーが発生したため、HALT 状態へ遷移したことを示します（vPOC!Freeze）。

HALT 状態から DEFAULT_CONFIG 状態への遷移により "0" になります。

(10) FLXAnFRCCSV.POCS

POC 状態フラグ

現在の POC の実行状態を表示します。

$00\ 0000_B$ = DEFAULT_CONFIG 状態

$00\ 0001_B$ = READY 状態

$00\ 0010_B$ = NORMAL_ACTIVE 状態

$00\ 0011_B$ = NORMAL_PASSIVE 状態

$00\ 0100_B$ = HALT 状態

$00\ 1111_B$ = CONFIG 状態

ウェイクアップ処理における現在の POC 状態を表示します。

$01\ 0000_B$ = WAKEUP_STANDBY 状態

$01\ 0001_B$ = WAKEUP_LISTEN 状態

$01\ 0010_B$ = WAKEUP_SEND 状態

$01\ 0011_B$ = WAKEUP_DETECT 状態

スタートアップ処理における現在の POC 状態を表示します。

$10\ 0000_B$ = STARTUP_PREPARE 状態

$10\ 0001_B$ = COLDSTART_LISTEN 状態

$10\ 0010_B$ = COLDSTART_COLLISION_RESOLUTION 状態

$10\ 0011_B$ = COLDSTART_CONSISTENCY_CHECK 状態

$10\ 0100_B$ = COLDSTART_GAP 状態

$10\ 0101_B$ = COLDSTART_JOIN 状態

$10\ 0110_B$ = INTEGRATION_COLDSTART_CHECK 状態

$10\ 0111_B$ = INTEGRATION_LISTEN 状態

$10\ 1000_B$ = INTEGRATION_CONSISTENCY_CHECK 状態

$10\ 1001_B$ = INITIALIZE_SCHEDULE 状態

$10\ 1010_B$ = ABORT_STARTUP 状態

$10\ 1011_B$ = STARTUP_SUCCESS 状態

その他 = リザーブ

21.2.7.2 FLXAnFRCCEV — FlexRay CC エラーベクタレジスタ

アクセス FLXAnFRCCEV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRCCEVL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRCCEVLL、FRCCEVLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRCCEV: <FLXAn_base> + 0104_H、
FLXAnFRCCEVL: <FLXAn_base> + 0104_H、
FLXAnFRCCEVLL: <FLXAn_base> + 0104_H、FLXAnFRCCEVLH: <FLXAn_base> + 0105_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PTAC[4:0]					ERRM[1:0]		—	—	CCFC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.49 FLXAnFRCCEV レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。
12 ～ 8	PTAC[4:0]	Passive-to-Active カウンタ vAllowPassiveToActive を示します。
7、6	ERRM[1:0]	エラーモードフラグ vPOC!ErrorMode を示します。 00_B: ACTIVE 01_B: PASSIVE 10_B: COMM_HALT 11_B: リザーブ
5、4	予約ビット	リードした場合はリセット後の値が読めます。
3 ～ 0	CCFC[3:0]	クロック補正失敗カウンタ vClockCorrectionFailed を示します。

(1) FLXAnFRCCEV.PTAC

Passive-to-Active カウンタ

ノードが NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移を待っている間に、有効なレート / オフセット補正量で通過した連続する偶数 / 奇数サイクルペアの組数を表示します。FLXAnFRSUCC1.PTA で設定した値 -1 と FLXAnFRCCEV.PTAC ビットの値が一致したとき、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移します。

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに “0” になります。

(2) FLXAnFRCCEV.ERRM

エラーモードフラグ

POC の現在のエラーモードを示します。（vPOC!ErrorMode）

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに “0” になります。

(3) FLXAnFRCCEV.CCFC

クロック補正失敗カウンタ

POC のクロック補正失敗カウンタの値 （vClockCorrectionFailed）を表示します。

オフセット補正欠落エラーまたはレート補正欠落エラーを検出した場合、奇数コミュニケーションサイクル終了時にインクリメントされます。

オフセット補正欠落エラーとレート補正欠落エラーのどちらも検出されていない場合、奇数コミュニケーションサイクル終了時に “0” になります。

クロック補正失敗カウンタは 15 までカウントすると停止します。

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに “0” になります。

21.2.7.3 FLXAnFRSCV — FlexRay スロットカウンタ値レジスタ

アクセス FLXAnFRSCV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRSCVL、FLXAnFRSCVH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRSCVLL、FLXAnFRSCVLH、FLXAnFRSCVHL、FLXAnFRSCVHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRSCV: <FLXAn_base> + 0110_H、
FLXAnFRSCVL: <FLXAn_base> + 0110_H、FLXAnFRSCVH: <FLXAn_base> + 0112_H,
FLXAnFRSCVLL: <FLXAn_base> + 0110_H、FLXAnFRSCVLH: <FLXAn_base> + 0111_H,
FLXAnFRSCVHL: <FLXAn_base> + 0112_H、FLXAnFRSCVHH: <FLXAn_base> + 0113_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SCCB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCCA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.50 FLXAnFRSCV レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。
26 ～ 16	SCCB[10:0]	チャネル B スロットカウンタ vSlotCounter[B] を表示します。
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ～ 0	SCCA[10:0]	チャネル A スロットカウンタ vSlotCounter[A] を表示します。

(1) FLXAnFRSCV.SCCB

チャネル B スロットカウンタ

チャネル B の現在のスロットカウンタ値（vSlotCounter[B]）を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRSCV.SCCA

チャネル A スロットカウンタ

チャネル A の現在のスロットカウンタ値（vSlotCounter[A]）を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

21.2.7.4 FLXAnFRMTCCV — FlexRay MT 値 / サイクルカウンタ値レジスタ

アクセス FLXAnFRMTCCV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRMTCCVL、FLXAnFRMTCCVH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRMTCCVLL、FLXAnFRMTCCVLH、FLXAnFRMTCCVHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRMTCCV: <FLXAn_base> + 0114_H、
FLXAnFRMTCCVL: <FLXAn_base> + 0114_H、FLXAnFRMTCCVH: <FLXAn_base> + 0116_H,
FLXAnFRMTCCVLL: <FLXAn_base> + 0114_H,FLXAnFRMTCCVLH: <FLXAn_base> + 0115_H、
FLXAnFRMTCCVHL: <FLXAn_base> + 0116_H,

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	CCV[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MTV[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.51 FLXAnFRMTCCV レジスタの内容

ビット位置	ビット名	機能
31 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ～ 16	CCV[5:0]	サイクルカウンタ値 vCycleCounter を表示します。
15 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。
13 ～ 0	MTV[13:0]	MT 値 vMacrotick を表示します。

(1) FLXAnFRMTCCV.CCV

サイクルカウンタ値

現在のサイクルカウンタ値（vCycleCounter）を表示します。値はコミュニケーションサイクルの開始時に CC によってインクリメントされます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRMTCCV.MTV

MT 値

現在の MT 値（vMacrotick）を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

21.2.7.5 FLXAnFRRCV — FlexRay レート補正値レジスタ

アクセス FLXAnFRRCV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRRCVL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRRCVLL、FLXAnFRRCVLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRRCV: <FLXAn_base> + 0118_H,
FLXAnFRRCVL: <FLXAn_base> + 0118_H、
FLXAnFRRCVLL: <FLXAn_base> + 0118_H、FLXAnFRRCVLH: <FLXAn_base> + 0119_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RCV[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.52 FLXAnFRRCV レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ～ 0	RCV[11:0]	レート補正値フラグ vRateCorrection を表示します。

(1) FLXAnFRRCV.RCV

レート補正値フラグ

範囲制限前の内部レート補正値（vRateCorrection/ 2 の補数）を示します。
FLXAnFRRCV.RCV の値が FLXAnFRGTUC10.MRC で設定した範囲を超えた場合は、
FLXAnFRSFS.RCLR フラグが “1” になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注 意

外部レート補正値には、この値を範囲制限した値が加算されます。

21.2.7.6 FLXAnFROCV — FlexRay オフセット補正値レジスタ

アクセス FLXAnFROCV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFROCVL、FLXAnFROCVH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROCVLL、FLXAnFROCVLH、FLXAnFROCVHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFROCV: <FLXAn_base> + $011C_H$、
FLXAnFROCVL: <FLXAn_base> + $011C_H$、FLXAnFROCVH: <FLXAn_base> + $011E_H$,
FLXAnFROCVLL: <FLXAn_base> + $011C_H$、FLXAnFROCVLH: <FLXAn_base> + $011D_H$,
FLXAnFROCVHL: <FLXAn_base> + $011E_H$,

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	OCV[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.53 FLXAnFROCV レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。
18 ～ 0	OCV[18:0]	オフセット補正値フラグ vOffsetCorrection を表示します。

(1) FLXAnFROCV.OCV

オフセット補正値フラグ

範囲制限前の内部オフセット補正値を 2 の補数で表示します。FLXAnFROCV.OCV の値が FLXAnFRGTUC10.MOC で設定した範囲を超えた場合は、FLXAnFRSFS.OCLR フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注 意

外部オフセット補正値には、この値を範囲制限した値が加算されます。

21.2.7.7 FLXAnFRSFS — FlexRay Sync フレームステータスレジスタ

アクセス FLXAnFRSFS レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRSFSL、FLXAnFRSFSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRSFSLL、FLXAnFRSFSLH、FLXAnFRSFSHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRSFS: <FLXAn_base> + 0120_H
FLXAnFRSFSL: <FLXAn_base> + 0120_H、FLXAnFRSFSH: <FLXAn_base> + 0122_H
FLXAnFRSFSLL: <FLXAn_base> + 0120_H、FLXAnFRSFSLH: <FLXAn_base> + 0121_H、
FLXAnFRSFSHL: <FLXAn_base> + 0122_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RCLR	MRCS	OCLR	MOCS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSBO[3:0]				VSBE[3:0]				VSAO[3:0]				VSAE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.54 FLXAnFRSFS レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。
19	RCLR	レート補正値制限到達フラグ 0: レート補正値が制限値未満 1: レート補正値制限到達フラグ
18	MRCS	レート補正欠落フラグ 0: レート補正有効 1: レート補正欠落
17	OCLR	オフセット補正値制限到達フラグ 0: オフセット補正値が制限値未満 1: オフセット補正値が制限値に到達
16	MOCS	オフセット補正欠落フラグ 0: オフセット補正有効 1: オフセット補正欠落
15 ～ 12	VSBO[3:0]	チャネル B 有効 Sync フレーム、奇数コミュニケーションサイクル
11 ～ 8	VSBE[3:0]	チャネル B 有効 Sync フレーム、偶数コミュニケーションサイクル
7 ～ 4	VSAO[3:0]	チャネル A 有効 Sync フレーム、奇数コミュニケーションサイクル
3 ～ 0	VSAE[3:0]	チャネル A 有効 Sync フレーム、偶数コミュニケーションサイクル

(1) FLXAnFRSFS.RCLR

レート補正値制限到達フラグ

レート補正値が FLXAnFRGTUC10 レジスタの MRC10 ～ MRC0 ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(2) FLXAnFRSFS.MRCS

レート補正欠落フラグ

レート補正欠落フラグは、一対の偶数 / 奇数 Sync フレームが受信されなかったためにレート補正を実行できなかったことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(3) FLXAnFRSFS.OCLR

オフセット補正値制限到達フラグ

オフセット補正値が FLXAnFRGTUC10 レジスタの MOC ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(4) FLXAnFRSFS.MOCS

オフセット補正欠落フラグ

オフセット補正欠落フラグは、Sync フレームが受信されなかったためにオフセット補正を実行できなかったことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(5) FLXAnFRSFS.VSBO

チャネル B 有効 Sync フレーム、奇数コミュニケーションサイクル

FLXAnFRSUCC1 レジスタの CCHB ビットが "1" のとき有効です。

奇数コミュニケーションサイクル中にチャネル B で受信した有効な Sync フレーム数を表示します。FLXAnFRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は奇数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(6) FLXAnFRSFS.VSBE

チャネル B 有効 Sync フレーム、偶数コミュニケーションサイクル

FLXAnFRSUCC1 レジスタの CCHB ビットが “1” のとき有効です。

偶数コミュニケーションサイクル中にチャネル B で受信した有効な Sync フレーム数を表示します。FLXAnFRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は偶数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(7) FLXAnFRSFS.VSAO

チャネル A 有効 Sync フレーム、奇数コミュニケーションサイクル

FLXAnFRSUCC1 レジスタの CCHA ビットが “1” のとき有効です。

奇数コミュニケーションサイクル中にチャネル A で受信した有効な Sync フレーム数を表示します。FLXAnFRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は奇数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(8) FLXAnFRSFS.VSAE

チャネル A 有効 Sync フレーム、偶数コミュニケーションサイクル

FLXAnFRSUCC1 レジスタの CCHA ビットが “1” のとき有効です。

偶数コミュニケーションサイクル中にチャネル A で受信した有効な Sync フレーム数を表示します。FLXAnFRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は偶数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

21.2.7.8 FLXAnFRSWNIT — FlexRay シンボルウィンドウ /NIT ステータスレジスタ

シンボルウィンドウ関連のステータスを示します。各チャネルのシンボルウィンドウの最後で CC によって更新されます。ステータス情報に関する NIT は各チャネルの NIT の最後で CC によって更新されます。

スタートアップ中は更新されません。

アクセス FLXAnFRSWNIT レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRSWNITL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRSWNITLL、FLXAnFRSWNITLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRSWNIT: <FLXAn_base> + 0124_H,
FLXAnFRSWNITL: <FLXAn_base> + 0124_H、
FLXAnFRSWNITLL: <FLXAn_base> + 0124_H、FLXAnFRSWNITLH: <FLXAn_base> + 0125_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SBNB	SENB	SBNA	SENA	MTSB	MTSA	TCSB	SBSB	SESB	TCSA	SBSA	SESA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.55 FLXAnFRSWNIT レジスタの内容 (1/2)

ビット位置	ビット	機能
31 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11	SBNB	チャネル B NIT 内スロット境界違反検出フラグ 0: スロット境界違反検出なし 1: チャネル B で NIT 内スロット境界違反検出
10	SENB	チャネル B NIT 内シンタックスエラー検出フラグ 0: シンタックスエラー検出なし 1: チャネル B で NIT 内シンタックスエラー検出
9	SBNA	チャネル A NIT 内スロット境界違反検出フラグ 0: スロット境界違反検出なし 1: チャネル A で NIT 内スロット境界違反検出
8	SENA	チャネル A NIT 内シンタックスエラー検出フラグ 0: シンタックスエラー検出なし 1: チャネル A で NIT 内シンタックスエラー検出
7	MTSB	チャネル B MTS 受信フラグ 0: チャネル B で MTS シンボル受信なし 1: チャネル B で MTS シンボル受信
6	MTSA	チャネル A MTS 受信フラグ 0: チャネル A で MTS シンボル受信なし 1: チャネル A で MTS シンボル受信
5	TCSB	チャネル B シンボルウィンドウ内送信競合検出フラグ 0: 送信競合検出なし 1: チャネル B でシンボルウィンドウ内送信競合検出
4	SBSB	チャネル B シンボルウィンドウ内スロット境界違反検出フラグ 0: スロット境界違反検出なし 1: チャネル B でシンボルウィンドウ内スロット境界違反検出

表 21.55 FLXAnFRSWNIT レジスタの内容 (2/2)

ビット位置	ビット	機能
3	SESB	チャネル B シンボルウィンドウ内シンタックスエラー検出フラグ 0: シンタックスエラー検出なし 1: チャネル B でシンボルウィンドウ内シンタックスエラー検出
2	TCSA	チャネル A シンボルウィンドウ内送信競合検出フラグ 0: 送信競合検出なし 1: チャネル A でシンボルウィンドウ内送信競合検出
1	SBSA	チャネル A シンボルウィンドウ内スロット境界違反検出フラグ 0: スロット境界違反検出なし 1: チャネル A でシンボルウィンドウ内スロット境界違反検出
0	SESA	チャネル A シンボルウィンドウ内シンタックスエラー検出フラグ 0: シンタックスエラー検出なし 1: チャネル A でシンボルウィンドウ内シンタックスエラー検出

(1) FLXAnFRSWNIT.SBNB

チャネル B NIT 内スロット境界違反検出フラグ（vSS!BViolationB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRSWNIT.SENB

チャネル B NIT 内シンタックスエラー検出フラグ （vSS!SyntaxErrorB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFRSWNIT.SBNA

チャネル A NIT 内スロット境界違反検出フラグ（vSS!BViolationA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(4) FLXAnFRSWNIT.SENA

チャネル A NIT 内シンタックスエラー検出フラグ（vSS!SyntaxErrorA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(5) FLXAnFRSWNIT.MTSB

チャネル B MTS 受信フラグ（vSS!ValidMTSB）を表示します。

直前のシンボルウィンドウ区間内で MTS シンボル（Media Access Test Symbol）をチャネル B で受信したことを示します。各チャネルのシンボルウィンドウの最後で CC により更新されます。

このビットが “1” になると、FLXAnFRSIR レジスタの MTSB ビットも “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(6) FLXAnFRSWNIT.MTSA

チャネル A MTS 受信フラグ （vSS!ValidMTSA）を表示します。

直前のシンボルウィンドウ区間内で MTS シンボル（Media Access Test Symbol）をチャネル A で受信したことを示します。各チャネルのシンボルウィンドウの最後で CC により更新されます。

このビットが “1” になると、FLXAnFRSIR レジスタの MTSA ビットも “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(7) FLXAnFRSWNIT.TCSB

チャネル B シンボルウィンドウ内送信競合検出フラグ （vSS!TxConflictB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(8) FLXAnFRSWNIT.SBSB

チャネル B シンボルウィンドウ内スロット境界違反検出フラグ（vSS!BViolationB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(9) FLXAnFRSWNIT.SESB

チャネル B シンボルウィンドウ内シンタックスエラー検出フラグ（vSS!SyntaxErrorB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(10) FLXAnFRSWNIT.TCSA

チャネル A シンボルウィンドウ内送信競合検出フラグ（vSS!TxConflictA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(11) FLXAnFRSWNIT.SBSA

チャネル A シンボルウィンドウ内スロット境界違反検出フラグ（vSS!BViolationA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(12) FLXAnFRSWNIT.SESA

チャネル A シンボルウィンドウ内シンタックスエラー検出フラグ（vSS!SyntaxErrorA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

21.2.7.9 FLXAnFRACS — FlexRay チャネルステータス集計レジスタ

チャネルステータス集計レジスタは、チャネルが送信 / 受信のどちらに割り当てられているかに関係なく、すべてのコミュニケーションスロットのチャネル処理のステータスを示します。

このレジスタにはシンボルウィンドウおよび NIT からのステータスデータも含まれます。

ステータスデータは、各スロットの終了後に更新（セット）され、クリアされるまで集計されます。

スタートアップ中は更新されません。

アクセス FLXAnFRACS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRACSL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRACSLL、FLXAnFRACSLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRACS: <FLXAn_base> + 0128_H,
FLXAnFRACSL: <FLXAn_base> + 0128_H,
FLXAnFRACSLL: <FLXAn_base> + 0128_H、$FLXAnFRACSL_H$: <FLXAn_base> + 0129_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SBVB	CIB	CEDB	SEDB	VFRB	—	—	—	SBVA	CIA	CEDA	SEDA	VFRA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 21.56 FLXAnFRACS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
12	SBVB	チャネル B スロット境界違反検出フラグ 0: スロット境界違反検出されず 1: チャネル B でスロット境界違反を検出
11	CIB	チャネル B 通信表示フラグ 0: 追加の通信を含む有効なフレームを受信せず 1: チャネル B のスロットで追加の通信を含む有効なフレームを受信
10	CEDB	チャネル B コンテンツエラー検出フラグ 0: コンテンツエラーを含むフレームを受信せず 1: チャネル B でコンテンツエラーを含むフレームを受信
9	SEDB	チャネル B シンタックスエラー検出フラグ 0: シンタックスエラー検出されず 1: チャネル B でシンタックスエラーを検出
8	VFRB	チャネル B 有効フレーム受信フラグ 0: 有効なフレームを受信せず 1: チャネル B で有効なフレームを受信
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4	SBVA	チャネル A スロット境界違反検出フラグ 0: スロット境界違反検出されず 1: チャネル A でスロット境界違反を検出

表 21.56 FLXAnFRACS レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	CIA	チャネル A 通信表示フラグ 0: 追加の通信を含む有効なフレームを受信せず 1: チャネル A のスロットで追加の通信を含む有効なフレームを受信
2	CEDA	チャネル A コンテンツエラー検出フラグ 0: コンテンツエラーを含むフレームを受信せず 1: チャネル A でコンテンツエラーを含むフレームを受信
1	SEDA	チャネル A シンタックスエラー検出フラグ 0: シンタックスエラー検出されず 1: チャネル A でシンタックスエラーを検出
0	VFRA	チャネル A 有効フレーム受信フラグ 0: 有効なフレームを受信せず 1: チャネル A で有効なフレームを受信

(1) FLXAnFRACS.SBVB

チャネル B スロット境界違反検出フラグ

"0" をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中（スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で）、チャネル B でスロット境界違反が検出されたことを示します。

本フラグが “0” から “1” に変化すると、FLXAnFREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRACS.CIB

チャネル B 通信表示フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル B のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。

注 意

スロットにフレームが一つしかなく、チャネルアイドル認識フェーズ中に、そのスロットの最後にあるスロット境界に到達した場合も CIB ビットの設定条件は満たされます。
本フラグが “0” から “1” に変化すると、FLXAnFREIR レジスタの EDB ビットが “1” になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFRACS.CEDB

チャネル B コンテンツエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル B のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを 1 つ以上受信したことを示します。

本フラグが “0” から “1” に変化すると、FLXAnFREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(4) FLXAnFRACS.SEDB

チャネル B シンタックスエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

チャネル B のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で 1 つ以上のシンタックスエラーが検出されたことを示します。

本フラグが “0” から “1” に変化すると、FLXAnFREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(5) FLXAnFRACS.VFRB

チャネル B 有効フレーム受信フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル B のスタティックスロットまたはダイナミックスロットで有効なフレームを 1 つ以上受信したことを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(6) FLXAnFRACS.SBVA

チャネル A スロット境界違反検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中（スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で）、チャネル A でスロット境界違反が検出されたことを示します。

本フラグが “0” から “1” に変化すると、FLXAnFREIR レジスタの EDA ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(7) FLXAnFRACS.CIA

チャネル A 通信表示フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル A のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。

注 意

スロットにフレームが一つしかなく、チャネルアイドル認識フェーズ中に、そのスロットの最後にあるスロット境界に到達した場合も CIA ビットの設定条件は満たされます。
本フラグが “0” から “1” に変化すると、FLXAnFREIR レジスタの EDA ビットが “1” になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(8) FLXAnFRACS.CEDA

チャネル A コンテンツエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル A のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを 1 つ以上受信したことを示します。

本フラグが “0” から “1” に変化すると、FLXAnFREIR レジスタの EDA ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(9) FLXAnFRACS.SEDA

チャネル A シンタックスエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

チャネル A のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で 1 つ以上のシンタックスエラーが検出されたことを示します。

本フラグが “0” から “1” に変化すると、FLXAnFREIR レジスタの EDA ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(10) FLXAnFRACS.VFRA

チャネル A 有効フレーム受信フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル B のスタティックスロットまたはダイナミックスロットで有効なフレームを 1 つ以上受信したことを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

21.2.7.10 FLXAnFRESIDm — FlexRay 偶数 Sync ID レジスタ m（m = 1 ～ 15）

FLXAnFRESID1 ～ FLXAnFRESID15 レジスタは、gSyncNodeMax の限界値までのクロック同期に使用される偶数コミュニケーションサイクルで受信した Sync フレームのフレーム ID を、フレーム ID の昇順に FLXAnFRESID1 から格納します。自ノードが偶数コミュニケーションサイクルで Sync フレームを送信する場合、FLXAnFRESID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、FLXAnFRESID1 レジスタの RXEA フラグと RXEB フラグがセットされます。レジスタの内容は、各偶数コミュニケーションサイクルの NIT 期間中に更新されます。

アクセス FLXAnFRESIDm レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRESIDmL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRESIDmLL、FLXAnFRESIDmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRESIDm: <FLXAn_base> + 0130_H + (m - 1) × 4_H、
FLXAnFRESIDmL: <FLXAn_base> + 0130_H + (m - 1) × 4_H,
FLXAnFRESIDmLL: <FLXAn_base> + 0130_H + (m - 1) × 4_H,
FLXAnFRESIDmLH: <FLXAn_base> + 0130_H + (m - 1) × 4_H + 1_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXEB	RXEA	—	—	—	—	EID[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.57 FLXAnFRESIDm レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。
15	RXEB	偶数 Sync ID チャネル B 受信フラグ 0: Sync フレームはチャネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1: 保存した偶数 Sync ID に対応する Sync フレームはチャネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXEA	偶数 Sync ID チャネル A 受信フラグ 0: Sync フレームはチャネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1: 保存した偶数 Sync ID に対応する Sync フレームはチャネル A で受信、またはノードが Sync フレーム送信用に設定
13 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。
9 ～ 0	EID[9:0]	偶数 Sync ID フラグ（vsSyncIDListA,B even）

(1) FLXAnFRESIDm.RXEB

偶数 Sync ID チャネル B 受信フラグ

保存した偶数 SyncID に対応する Sync フレームをチャネル B で受信したか、そのノードが FLXAnFRESID1.EID で示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRESIDm.RXEA

偶数 Sync ID チャネル A 受信フラグ

保存した偶数 SyncID に対応する Sync フレームをチャネル A で受信したか、そのノードが FLXAnFRESID1.EID で示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFRESIDm.EID

偶数 Sync ID フラグ（vsSyncIDListA,B even）

偶数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

21.2.7.11 FLXAnFROSIDm — FlexRay 奇数 Sync ID レジスタ m（m = 1 ～ 15）

FLXAnFROSID1 ～ FLXAnFROSID15 レジスタは、gSyncNodeMax の限界値までのクロック同期に使用される奇数コミュニケーションサイクルで受信した Sync フレームのフレーム ID を、フレーム ID の昇順に FLXAnFROSID1 から格納します。自ノードが奇数コミュニケーションサイクルで Sync フレームを送信する場合、FLXAnFROSID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、FLXAnFROSID1 レジスタの RXOA フラグと RXOB フラグがセットされます。レジスタの内容は、各奇数コミュニケーションサイクルの NIT 期間中に更新されます。

アクセス FLXAnFROSIDm レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFROSIDmL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROSIDmLL、FLXAnFROSIDmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFROSIDm: <FLXAn_base> + 0170_H + (m - 1) × 4_H,
FLXAnFROSIDmL: <FLXAn_base> + 0170_H + (m - 1) × 4_H,
FLXAnFROSIDmLL: <FLXAn_base> + 0170_H + (m - 1) × 4_H、
FLXAnFROSIDmLH: <FLXAn_base> + 0170_H + (m - 1) × 4_H + 1_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXOB	RXOA	—	—	—	—	OID[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.58 FLXAnFROSIDm レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。
15	RXOB	奇数 Sync ID チャネル B 受信フラグ 0: Sync フレームはチャネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1: 保存した奇数 Sync ID に対応する Sync フレームはチャネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXOA	奇数 Sync ID チャネル A 受信フラグ 0: Sync フレームはチャネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1: 保存した奇数 Sync ID に対応する Sync フレームはチャネル A で受信、またはノードが Sync フレーム送信用に設定
13 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。
9 ～ 0	OID[9:0]	奇数 Sync ID フラグ （vsSyncIDListA,B odd）

(1) FLXAnFROSIDm.RXOB

奇数 Sync ID チャネル B 受信フラグ

保存した奇数 SyncID に対応する Sync フレームをチャネル B で受信したか、そのノードが FLXAnFROSID1.OID で示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFROSIDm.RXOA

奇数 Sync ID チャネル A 受信フラグ

保存した奇数 SyncID に対応する Sync フレームをチャネル A で受信したか、そのノードが FLXAnFROSID1.OID で示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFROSIDm.OID

奇数 Sync ID フラグ（vsSyncIDListA,B odd）

奇数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

21.2.7.12 FLXAnFRNMVm — FlexRay ネットワーク管理ベクタレジスタ m（m = 1 ～ 3）

3 つのネットワーク管理ベクタレジスタは、生成された NM ベクタ（**「21.3.7 ネットワーク管理」**参照）。

レジスタの内容は CC が NORMAL_ACTIVE または NORMAL_PASSIVE 状態にある限り、コミュニケーションサイクル終了時ごとに更新されます。

設定されている NM ベクタ長を超える NMVn バイトは無効です。

「21.3.17 バイトアライメント」に、本レジスタの受信ネットワークベクタでのバイトデータの割り当てを示します。

アクセス FLXAnFRNMVm レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRNMVmL、FLXAnFRNMVmH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRNMVmLL、FLXAnFRNMVmLH、FLXAnFRNMVmHL、FLXAnFRNMVmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRNMVm: <FLXAn_base> + $01B0_H$ + (m - 1) × 4_H,
FLXAnFRNMVmL: <FLXAn_base> + $01B0_H$ + (m - 1) × 4_H,
FLXAnFRNMVmH: <FLXAn_base> + $01B0_H$ + (m - 1) × 4_H + 2_H,
FLXAnFRNMVmLL: <FLXAn_base> + $01B0_H$ + (m - 1) × 4_H,
FLXAnFRNMVmLH: <FLXAn_base> + $01B0_H$ + (m - 1) × 4_H + 1_H,
FLXAnFRNMVmHL: <FLXAn_base> + $01B0_H$ + (m - 1) × 4_H + 2_H,
FLXAnFRNMVmHH: <FLXAn_base> + $01B0_H$ + (m - 1) × 4_H + 3_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NM[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.59 FLXAnFRNMVm レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	NM[31:0]	NM ベクタ 3 つのネットワーク管理ベクタレジスタは、生成された NM ベクタ（0 ～ 12 バイト設定可能）を保持します。保持されるベクタは、各チャネルで受信された NM ベクタ（PPI が 1 の有効なスタティックフレーム）をビットごとの論理 OR を取って生成されます（**「21.3.7 ネットワーク管理」**参照）。 **「21.3.17 バイトアライメント」**に、本レジスタの受信ネットワークベクタでのバイトデータの割り当てを示します。 設定されている NM ベクタ長を超える NMVn バイトは無効です。 レジスタの内容は CC が NORMAL_ACTIVE または NORMAL_PASSIVE 状態にある限り、コミュニケーションサイクル終了時ごとに更新されます。 CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

21.2.8 メッセージバッファ制御レジスタ

21.2.8.1 FLXAnFRMRC — FlexRay メッセージ RAM 設定レジスタ

メッセージ RAM 設定レジスタは、スタティックセグメント、ダイナミックセグメント、および FIFO に割り当てられるメッセージバッファ数を設定します。

メッセージ RAM は、スタティックバッファ領域、スタティック + ダイナミックバッファ領域、FIFO 領域の、最大 3 つの異なる領域に分けることができます。スタティックバッファ領域が存在する場合、スタティックバッファ領域は、メッセージバッファ 0 から始まります。

スタティック + ダイナミックバッファ領域の始まりは、FLXAnFRMRC.FDB により設定されます。FLXAnFRMRC.FDB でスタティックバッファ領域の終りを定義します。スタティックバッファ領域が存在しない場合、スタティック + ダイナミックバッファ領域が、メッセージバッファ 0 から始まります。

FIFO 領域の始まりは、FLXAnFRMRC.FFB により設定されます。FLXAnFRMRC.FFB が前の領域の終り（スタティックバッファ領域、またはスタティック + ダイナミックバッファ領域）を定義します。

スタティックバッファ領域もスタティック + ダイナミックバッファ領域も存在しない場合、FIFO 領域が、メッセージバッファ 0 から始まります。

最後に設定された領域の終り（スタティックバッファ領域、スタティック + ダイナミックバッファ領域、または FIFO 領域）は、FLXAnFRMRC.LCB で設定されます。

図 21.2 に、3 領域すべてが設定された場合のメッセージ RAM の設定例を示します。

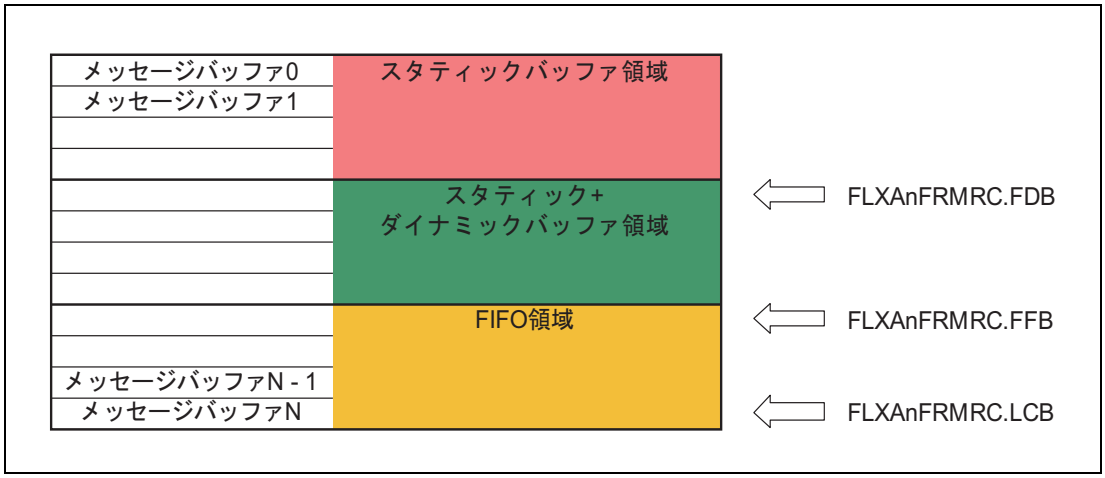


図 21.2 メッセージ RAM の構成

注 意

1. Sync ノードの場合（FLXAnFRSUCC1.TXSY = '1'）、または SINGLE スロットモードに設定されている場合（FLXAnFRSUCC1.TSM = '1'）、メッセージバッファ 0 および 1 は Sync フレーム用または SNGLE スロットフレーム用に確保されるので、ノード固有のキースロット ID を設定してください。Sync ノードまたは SINGLE スロットモードとして設定されていない場合、メッセージバッファ 0 および 1 は他のメッセージバッファと同様に扱われます。
2. ヘッダセクション数は最大で 128 です。したがって、最大で 128 個のメッセージバッファを設定できます。データセクションの最大長は 254 バイトです。データセクション長は、メッセージバッファごとに個別に設定できます。詳細については、**「21.3.13 メッセージ RAM」**を参照してください。
3. サイクルフィルタリングを使用することで 2 個以上のメッセージバッファをスロット 1 に割り当てる場合、それらはすべて「スタティックバッファ領域」か「スタティック + ダイナミックバッ

ファ領域」セクションの先頭に配置しなければなりません。

4. FlexRay プロトコル仕様では、各ノードがそれぞれのキースロットでフレームを送信する必要があります。したがって、少なくともメッセージバッファ 0 は、キースロットでの送信のため予約されます。このため、FIFO 領域 に割り当てることができるメッセージバッファは最大 127 個です。ただしこの場合でも、スタティックセグメントでの送信スロットを持たず、プロトコルに一致しない設定は有効となります。
5. ペイロード長およびデータセクション長は、FLXAnFRWRHS2.PL と FLXAnFRWRHS3.DP を使用して FIFO 領域内のすべてのメッセージバッファで同じ値を設定してください。CC が DEFAULT_CONFIG 状態または CONFIG 状態以外の場合、FIFO 領域のメッセージバッファは設定変更できません。

アクセス FLXAnFRMRC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRMRCL、FLXAnFRMRCH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRMRCLL、FLXAnFRMRCLH、FLXAnFRMRCHL、FLXAnFRMRCHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRMRC: <FLXAn_base> + 0300_H,
FLXAnFRMRCL: <FLXAn_base> + 0300_H、FLXAnFRMRCH: <FLXAn_base> + 0302_H,
FLXAnFRMRCLL: <FLXAn_base> + 0300_H、FLXAnFRMRCLH: <FLXAn_base> + 0301_H,
FLXAnFRMRCHL: <FLXAn_base> + 0302_H、FLXAnFRMRCHH: <FLXAn_base> + 0303_H

リセット後の値 $0180\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SPLM	SEC[1:0]		LCB[7:0]							
リセット後の値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FFB[7:0]								FDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.60 FLXAnFRMRC レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
26	SPLM	Sync フレームペイロード Multiplex ビット 0: メッセージバッファ 0 への書き込み禁止 1: メッセージバッファ 0 および 1 への書き込み禁止
25、24	SEC[1:0]	保護バッファビット 00_B: すべてのバッファへの書き込み許可 01_B: スタティックバッファへの書き込み禁止、FIFO への書き込み禁止、送信制限 10_B: すべてのバッファへの書き込み禁止 11_B: すべてのバッファへの書き込み禁止、送信制限
23 ～ 16	LCB[7:0]	最終バッファ番号設定ビット 0 ～ 127: メッセージバッファ数は LCB+1 128: FIFO バッファ設定なし
15 ～ 8	FFB[7:0]	FIFO バッファ先頭位置設定ビット 0: すべて FIFO バッファに設定 1 ～ 127: メッセージバッファ FFB ～ LCB を FIFO バッファに設定 128: メッセージ バッファ設定なし
7 ～ 0	FDB[7:0]	ダイナミックバッファ先頭位置設定ビット 0: スタティックセグメント用にメッセージバッファなし 1 ～ 127: メッセージバッファ 0 ～ FDB-1 をスタティックセグメント用に確保 128: ダイナミックメッセージバッファなし

(1) FLXAnFRMRC.SPLM

Sync フレームペイロード Multiplex ビット

DEFAULT_CONFIG 状態または CONFIG 状態でのみ書き込み可能です。

Sync ノードの場合（FLXAnFRSUCC1 レジスタの TXSY ビットが “1” のとき）または SINGLE スロットモードに設定されている場合（TSM ビットが “1” のとき）有効です。

このビットを “1” にすると、メッセージバッファ 0 および 1 はチャネル A および B で個別のペイロードデータをもつ Sync フレーム送信専用のメッセージバッファとなります。

“0” にした場合、全設定チャネルで同一のペイロードデータをもつ Sync フレームがメッセージバッファ 0 から送信されます。メッセージバッファ 0 およびメッセージバッファ 1 用のチャネルフィルタは SPLM ビット設定に応じて選択されます。

(2) FLXAnFRMRC.SEC

保護バッファビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

DEFAULT_CONFIG 状態、または、CONFIG 状態では、これらのビットは無効です。一時的なロック解除については**「21.3.13.4 アクセスエラーの処理」**を参照してください。

00_B = すべてのバッファに対する書き込み許可
メッセージバッファ（<FFB）への書き込み許可
【例外】ノードが Sync フレーム送信用または SINGLE スロットモードに設定されている場合、メッセージバッファ 0（SPLM ビットが “1” のときはメッセージバッファ 1 も同様）への書き込みは禁止です。

01_B = スタティックバッファへの書き込み禁止、FIFO への書き込み禁止、送信制限
メッセージバッファ（<FDB かつ≧ FFB）への書き込み禁止、およびメッセージバッファ（≧ FDB）のスタティックセグメントへの送信禁止

10_B = すべてのバッファへの書き込み禁止
すべてのメッセージバッファへの書き込み禁止

11_B = すべてのバッファへの書き込み禁止、送信制限
すべてのメッセージバッファへの書き込み禁止、およびメッセージバッファ（≧ FDB）のスタティックセグメントへの送信禁止

(3) FLXAnFRMRC.LCB

最終バッファ番号設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

スタティック + ダイナミックバッファ領域が設定された場合（FLXAnFRMRC.FDB < 128）、ユーザは FLXAnFRMRC.LCB ≧ FLXAnFRMRC.FDB を設定しなければなりません。

FIFO 領域が設定された場合（FLXAnFRMRC.FFB < 128）、ユーザは FLXAnFRMRC.LCB ≧ FLXAnFRMRC.FFB を設定しなければなりません。

(4) FLXAnFRMRC.FFB

FIFO バッファ先頭位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

スタティック + ダイナミックバッファ領域が設定された場合（FLXAnFRMRC.FDB < 128）、ユーザは FLXAnFRMRC.FFB > FLXAnFRMRC.FDB を設定しなければなりません。

(5) FLXAnFRMRC.FDB

ダイナミックバッファ先頭位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

21.2.8.2 FLXAnFRFRF — FlexRay FIFO リジェクションフィルタレジスタ

FlexRay FIFO リジェクションフィルタレジスタは、受信フレームのチャネル、フレーム ID、およびサイクルカウントと比較するユーザ指定のビットシーケンスを定義します。FlexRay FIFO リジェクションフィルタマスクレジスタとともに、FIFO のメッセージを除外するかどうかを決定します。

アクセス FLXAnFRFRF レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRFRFL、FLXAnFRFRFH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRFRFLL、FLXAnFRFRFLH、FLXAnFRFRFHL、FLXAnFRFRFHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRFRF: <FLXAn_base> + 0304_H、
FLXAnFRFRFL: <FLXAn_base> + 0304_H、FLXAnFRFRFH: <FLXAn_base> + 0306_H,
FLXAnFRFRFLL: <FLXAn_base> + 0304_H、FLXAnFRFRFLH: <FLXAn_base> + 0305_H,
FLXAnFRFRFHL: <FLXAn_base> + 0306_H、FLXAnFRFRFHH: <FLXAn_base> + 0307_H

リセット後の値 $0180\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	RNF	RSS	CYF[6:0]						
リセット後の値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FID[10:0]											CH[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.61 FLXAnFRFRF レジスタの内容

ビット位置	ビット名	機能
31 ～ 25	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
24	RNF	Null フレームのリジェクトビット 0: Null フレームを FIFO に格納 1: 全 Null フレームを除外
23	RSS	スタティックセグメントリジェクトビット 0: FIFO をスタティックセグメントにも使用 1: スタティックセグメント内のメッセージを除外
22 ～ 16	CYF[6:0]	サイクルカウンタフィルタビット サイクルカウンタフィルタ
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
12 ～ 2	FID[10:0]	フレーム ID フィルタビット フレーム ID フィルタ値 = 0 ～ 2047
1、0	CH[1:0]	チャネルフィルタビット 00_B: チャネル A およびチャネル B で受信 01_B: チャネル B で受信 10_B: チャネル A で受信 11_B: 受信禁止

(1) FLXAnFRFRF.RNF

Null フレームのリジェクトビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

このビットが “1” の場合、受信した Null フレームは FIFO に格納されません。

(2) FLXAnFRFRF.RSS

スタティックセグメントリジェクトビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

このビットが “1” の場合、FIFO はダイナミックセグメント中のメッセージのみに使用されます。

(3) FLXAnFRFRF.CYF

サイクルカウンタフィルタビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

7 ビットサイクルカウンタフィルタはサイクルセットを指定し、フレーム ID フィルタとチャネルリジェクションフィルタが適用されるサイクルを決定します。このビットで設定されていないサイクルではすべての受信フレームが拒否されます。サイクルカウンタフィルタ設定の詳細は、**「21.3.8.2 サイクルカウンタフィルタリング」**を参照してください。

(4) FLXAnFRFRF.FID

フレーム ID フィルタビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

FIFO で除外するフレーム ID を設定します。FLXAnFRFRFM レジスタの設定をすることで対応するビットを無視させることができます。FLXAnFRFRFM.MFID が 0 のときは、フレーム ID フィルタ値 0 は、除外するフレーム ID がないことを示します。

(5) FLXAnFRFRF.CH

チャネルフィルタビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

両チャネルでの受信が設定されていれば、スタティックセグメント内で、チャネル A および B からの両フレームが同一であっても、両フレームとも FIFO に格納されます。

21.2.8.3 FLXAnFRFRFM — FlexRay FIFO リジェクションフィルタマスクレジスタ

FlexRay FIFO リジェクションフィルタマスクレジスタは、除外フィルタリングに関連するフレーム ID フィルタビットを指定します。ビットに 1 をセットすると、FLXAnFRFRF レジスタの対応するビットは除外フィルタリングに使用されません。

アクセス FLXAnFRFRFM レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRFRFML レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRFRFMLL、FLXAnFRFRFMLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRFRFM: <FLXAn_base> + 0308_H,
FLXAnFRFRFML: <FLXAn_base> + 0308_H,
FLXAnFRFRFMLL: <FLXAn_base> + 0308_H、FLXAnFRFRFMLH: <FLXAn_base> + 0309_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MFID[10:0]											—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 21.62 FLXAnFRFRFM レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
12 ～ 2	MFID[10:0]	マスクフレーム ID フィルタビット 0: 対応するフレーム ID フィルタビットを除外フィルタリングに使用する 1: 対応するフレーム ID フィルタビットを無視
1 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

(1) FLXAnFRFRFM.MFID

マスクフレーム ID フィルタビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

21.2.8.4 FLXAnFRFCL — FlexRay FIFO クリティカルレベルレジスタ

アクセス FLXAnFRFCL レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRFCLL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRFCLLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRFCL: <FLXAn_base> + $030C_H$,
FLXAnFRFCLL: <FLXAn_base> + $030C_H$,
FLXAnFRFCLLL: <FLXAn_base> + $030C_H$

リセット後の値 $0000\ 0080_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.63 FLXAnFRFCL レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
7 ～ 0	CL[7:0]	クリティカルレベル設定ビット クリティカルレベル設定

(1) FLXAnFRFCL.CL

クリティカルレベル設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

受信 FIFO フィルレベル（FLXAnFRFSR.RFFL）が FLXAnFRFCL.CL で設定されるクリティカルレベル以上の場合、FLXAnFRFSR.RFCL が “1” になります。

128 を超える値を設定した場合、FLXAnFRFSR.RFCL が “1” になることはありません。

21.2.9 メッセージバッファステータスレジスタ

21.2.9.1 FLXAnFRMHDS — FlexRay メッセージハンドラステータスレジスタ

アクセス FLXAnFRMHDS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRMHDSL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRMHDSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRMHDSLL レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFRMHDSLH、FLXAnFRMHDSHL、FLXAnFRMHDSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRMHDS: <FLXAn_base> + 0310_H,
FLXAnFRMHDSL: <FLXAn_base> + 0310_H、FLXAnFRMHDSH: <FLXAn_base> + 0312_H,
FLXAnFRMHDSLL: <FLXAn_base> + 0310_H、FLXAnFRMHDSLH: <FLXAn_base> + 0311_H,
FLXAnFRMHDSHL: <FLXAn_base> + 0312_H、FLXAnFRMHDSHH: <FLXAn_base> + 0313_H

リセット後の値 $0000\ 0080_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MBU[6:0]							—	MBT[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	FMB[6:0]							CRAM	MFMB	FMBD	ATBF2	ATBF1	AMR	—	—
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R

表 21.64 FLXAnFRMHDS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
30 ～ 24	MBU[6:0]	メッセージバッファ更新フラグ
23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22 ～ 16	MBT[6:0]	メッセージバッファ送信完了フラグ
15	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
14 ～ 8	FMB[6:0]	誤りメッセージバッファ番号フラグ
7	CRAM	内部 RAM クリアフラグ 0: CLEAR_RAMS コマンド非実行 1: CLEAR_RAMS コマンド実行中
6	MFMB	誤りメッセージバッファ複数検出フラグ 0: 追加の誤りメッセージバッファなし 1: FLXAnFRMHDS.FMBD フラグが “1” のとき別の誤りメッセージバッファを検出
5	FMBD	誤りメッセージバッファ検出フラグ 0: 誤りメッセージバッファなし 1: FLXAnFRMHDS.FMBD で示すメッセージバッファにパリティエラーのある誤りデータを格納
4	ATBF2	非常駐バッファ RAM B アクセスエラーフラグ 0：アクセスエラーなし 1：リード時アクセスエラー検出

表 21.64 FLXAnFRMHDS レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	ATBF1	非常駐バッファ RAM A アクセスエラーフラグ 0：アクセスエラーなし 1：リード時アクセスエラー検出
2	AMR	メッセージ RAM アクセスエラーフラグ 0: アクセスエラーなし 1: リード時アクセスエラー検出
1、0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

(1) FLXAnFRMHDS.MBU

メッセージバッファ更新フラグ

最後に更新されたメッセージバッファ番号を表示します。FLXAnFRNDAT1 ～ FLXAnFRNDAT4 レジスタの対応する新データ（ND）フラグ、FLXAnFRMBSC1 ～ FLXAnFRMBSC4 レジスタの対応するメッセージバッファステータス変化（MBC）フラグの両方または一方も “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXAnFRMHDS.MBT

メッセージバッファ送信完了フラグ

最後にフレーム送信が成功したメッセージバッファ番号を表示します。

メッセージバッファがシングルショットモードの場合、FLXAnFRTXRQ1 ～ FLXAnFRTXRQ4 レジスタの対応する TXR フラグは “0” になっています。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(3) FLXAnFRMHDS.FMB

誤りメッセージバッファ番号フラグ

メッセージバッファ読み出し時にアクセスエラーが発生したことを示します。

AMR フラグと FMBD フラグが “1” のときのみ有効です。

FMBD フラグが “1” のときは更新されません。

CHI コマンド CLEAR_RAMS によってクリアされます。

(4) FLXAnFRMHDS.CRAM

内部 RAM クリアフラグ

CHI コマンドの CLEAR_RAMS コマンドが実行中であることを示します。（メッセージ RAM、入力バッファ、出力バッファ、非常駐バッファすべてのビットが “0” になります）

このビットは CHI コマンド CLEAR_RAMS によってセットされます。

(5) FLXAnFRMHDS.MFMB

誤りメッセージバッファ複数検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、FMBD フラグがセットされる間に他の誤りメッセージバッファが検出されたことを示します。

CHI コマンド CLEAR_RAMS によってクリアされます。

(6) FLXAnFRMHDS.FMBD

誤りメッセージバッファ検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、アクセスエラーによってメッセージバッファが誤りデータを格納していることを示します。

CHI コマンド CLEAR_RAMS によってクリアされます。

(7) FLXAnFRMHDS.ATBF2

非常駐バッファ RAM B アクセスエラーフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、非常駐バッファ RAM B 読み出し時にアクセスエラーが発生していることを示します。

注 意

本フラグが “0” から “1” になると、FLXAnFREIR レジスタの AERR ビットが “1” にセットされます。
CHI コマンド CLEAR_RAMS によってリセットされます。

(8) FLXAnFRMHDS.ATBF1

非常駐バッファ RAM A アクセスエラーフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、非常駐バッファ RAM A 読み出し時にアクセスエラーが発生していることを示します。

注 意

本フラグが “0” から “1” になると、FLXAnFREIR レジスタの AERR ビットが “1” にセットされます。
CHI コマンド CLEAR_RAMS によってリセットされます。

(9) FLXAnFRMHDS.AMR

メッセージ RAM アクセスエラーフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、メッセージ RAM 読み出し時にアクセスエラーが発生していることを示します。

注 意

本フラグが “0” から “1” になると FLXAnFREIR レジスタの AERR フラグが “1” になります。
CHI コマンド CLEAR_RAMS によってクリアされます。

21.2.9.2 FLXAnFRLDTS — FlexRay 最終ダイナミック送信スロットレジスタ

アクセス FLXAnFRLDTS レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRLDTSL、FLXAnFRLDTSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRLDTSLL、FLXAnFRLDTSLH、FLXAnFRLDTSHL、FLXAnFRLDTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRLDTS: <FLXAn_base> + 0314_H,
FLXAnFRLDTSL: <FLXAn_base> + 0314_H、FLXAnFRLDTSH: <FLXAn_base> + 0316_H,
FLXAnFRLDTSLL: <FLXAn_base> + 0314_H、FLXAnFRLDTSLH: <FLXAn_base> + 0315_H,
FLXAnFRLDTSHL: <FLXAn_base> + 0316_H、FLXAnFRLDTSHH: <FLXAn_base> + 0317_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	LDTB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	LDTA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.65 FLXAnFRLDTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。
26 ～ 16	LDTB[10:0]	チャネル B 最終ダイナミック送信スロットフラグ
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ～ 0	LDTA[10:0]	チャネル A 最終ダイナミック送信スロットフラグ

(1) FLXAnFRLDTS.LDTB

チャネル B 最終ダイナミック送信スロットフラグ

ダイナミックセグメントでチャネル B から最後にフレームを送信したときのスロットカウンタ値を格納します。

ダイナミックセグメントの終了時に更新され、チャネル B のダイナミックセグメント中にフレームが送信されなかった場合、“0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXAnFRLDTS.LDTA

チャネル A 最終ダイナミック送信スロットフラグ

ダイナミックセグメントでチャネル A から最後にフレームを送信したときのスロットカウンタ値を格納します。

ダイナミックセグメントの終了時に更新され、チャネル A のダイナミックセグメント中にフレームが送信されなかった場合、“0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

21.2.9.3 FLXAnFRFSR — FlexRay FIFO ステータスレジスタ

アクセス FLXAnFRFSR レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRFSRL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRFSRLL、FLXAnFRFSRLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRFSR: <FLXAn_base> + 0318_H,
FLXAnFRFSRL: <FLXAn_base> + 0318_H,
FLXAnFRFSRLL: <FLXAn_base> + 0318_H、FLXAnFRFSRLH: <FLXAn_base> + 0319_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFFL[7:0]								—	—	—	—	—	RFO	RFCL	RFNE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.66 FLXAnFRFSR レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ～ 8	RFFL[7:0]	受信 FIFO フィルレベルフラグ
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	RFO	受信 FIFO オーバランフラグ 0: 受信 FIFO オーバラン未検出 1: 受信 FIFO オーバラン検出
1	RFCL	受信 FIFO クリティカルフラグ 0: クリティカルレベル未満 1: クリティカルレベル以上
0	RFNE	受信 FIFO データありフラグ 0: 受信 FIFO エンプティ 1: 受信 FIFO にデータあり

(1) FLXAnFRFSR.RFFL

受信 FIFO フィルレベルフラグ

未読の受信データを格納している FIFO バッファ数を表示します。最大値は 128 です。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXAnFRFSR.RFO

受信 FIFO オーバランフラグ

受信 FIFO のオーバランが検出されると “1” になります。

受信 FIFO オーバランが起こると一番古いメッセージに最新の受信メッセージが上書きされます。また FLXAnFREIR レジスタの RFO フラグが “1” になります。

FIFO が読まれると “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(3) FLXAnFRFSR.RFCL

受信 FIFO クリティカルフラグ

FLXAnFRFSR.RFFL の値が FLXAnFRFCL.CL に設定した値以上になると “1” になります。

FLXAnFRFSR.RFCL が “0” から “1” になると FLXAnFRSIR.RFCL ビットが “1” になり、割り込みが許可されている場合、割り込みが発生します。

FLXAnFRFSR.RFFL の値がそれ未満になると “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(4) FLXAnFRFSR.RFNE

受信 FIFO データありフラグ

受信した有効なフレーム（データまたはリジェクションマスク設定によっては Null フレーム）が FIFO に格納されると “1” になります。さらに FLXAnFRSIR レジスタの RFNE ビットも “1” になります。

FIFO のメッセージがすべて読まれると “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

21.2.9.4 FLXAnFRMHDF — FlexRay メッセージハンドラ制限フラグレジスタ

メッセージハンドラには、周辺バスクロック、メッセージ RAM 設定、および FlexRay バストラフィックに関していくつかの制限事項があります。ソフトウェア開発を容易にするため、このレジスタのフラグによって制限違反がわかるようになっています。

アクセス FLXAnFRMHDF レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRMHDFL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRMHDFLL、FLXAnFRMHDFLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRMHDF: <FLXAn_base> + $031C_H$,
FLXAnFRMHDFL: <FLXAn_base> + $031C_H$、
FLXAnFRMHDFLL: <FLXAn_base> + $031C_H$、FLXAnFRMHDFLH: <FLXAn_base> + $031D_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WAHP	TNSB	TNSA	TBFB	TBFA	FNFB	FNFA	SNUB	SNUA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.67 FLXAnFRMHDF レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
8	WAHP	ヘッダパーティションへの書き込みフラグ 0: ヘッダパーティションへの書き込みトライなし 1: ヘッダパーティションへの書き込みトライあり
7	TNSB	チャネル B への転送開始不可フラグ 0: チャネル B への転送なし 1: チャネル B への転送あり
6	TNSA	チャネル A への転送開始不可フラグ 0: チャネル A への転送なし 1: チャネル A への転送あり
5	TBFB	テンポラリバッファ B アクセス失敗フラグ 0: テンポラリバッファ B アクセス成功 1: テンポラリバッファ B アクセス失敗
4	TBFA	テンポラリバッファ A アクセス失敗フラグ 0: テンポラリバッファ A アクセス成功 1: テンポラリバッファ A アクセス失敗
3	FNFB	チャネル B 検査処理未完了フラグ 0: チャネル B で完了しなかった検査処理なし 1: チャネル B で検査処理完了せず

表 21.67 FLXAnFRMHDF レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	FNFA	チャネル A 検査処理未完了フラグ 0: チャネル A で完了しなかった検査処理なし 1: チャネル A で検査処理完了せず
1	SNUB	チャネル B ステータス未更新フラグ 0: チャネル B のメッセージバッファステータス（FLXAnFRMBS）更新時に過負荷状態なし 1: チャネル B の FLXAnFRMBS 更新なし
0	SNUA	チャネル B ステータス未更新フラグ 0: チャネル B のメッセージバッファステータス（FLXAnFRMBS）更新時に過負荷状態なし 1: チャネル B の FLXAnFRMBS 更新なし

(1) FLXAnFRMHDF.WAHP

ヘッダパーティションへの書き込みフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

DEFAULT_CONFIG 状態と CONFIG 状態を除き、メッセージバッファの誤設定により、メッセージハンドラがメッセージ RAM のヘッダパーティションにデータを書き込もうとすると “1” になります。意図しない書き込みからヘッダパーティションを保護するため、書き込み自体は実行されません。

このフラグが “0” から “1” になると FLXAnFREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXAnFRMHDF.TNSB

チャネル B への送信開始不可フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

設定されたスロットの動作ポイントで、チャネル B 上の予定された送信を開始する際メッセージハンドラの準備ができていない場合 “1” になります。

このフラグが “0” から “1” になると FLXAnFREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(3) FLXAnFRMHDF.TNSA

チャネル A への送信開始不可フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

設定されたスロットの動作ポイントで、チャネル A 上の予定された送信を開始する際メッセージハンドラの準備ができていない場合 “1” になります。

このフラグが “0” から “1” になると FLXAnFREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(4) FLXAnFRMHDF.TBFB

テンポラリバッファ B アクセス失敗フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

プロトコルコントローラ（PRT）B が要求するテンポラリバッファ B への読み出しまたは書き込みが所定の時間内に完了しなかった場合 “1” になります。

このフラグが “0” から “1” になると FLXAnFREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(5) FLXAnFRMHDF.TBFA

テンポラリバッファ A アクセス失敗フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

プロトコルコントローラ（PRT）A が要求するテンポラリバッファ A への読み出しまたは書き込みが所定の時間内に完了しなかった場合 “1” になります。

このフラグが “0” から “1” になると FLXAnFREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(6) FLXAnFRMHDF.FNFB

チャネル B 検査処理未完了フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

メッセージハンドラが、過負荷のために検査処理（メッセージ RAM をスキャンして、符合するメッセージバッファを探すこと）を完了できなかったときに “1” になります。

このフラグが “0” から “1” になると FLXAnFREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(7) FLXAnFRMHDF.FNFA

チャネル B 検査処理未完了フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

メッセージハンドラが、過負荷のために検査処理（メッセージ RAM をスキャンして、符合するメッセージバッファを探すこと）を完了できなかったときに “1” になります。

このフラグが “0” から “1” になると FLXAnFREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(8) FLXAnFRMHDF.SNUB

チャネル B ステータス未更新フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

メッセージハンドラが、過負荷のためにメッセージバッファステータス（FLXAnFRMBS）を更新できなかったときに “1” になります。

このフラグが “0” から “1” になると FLXAnFREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(9) FLXAnFRMHDF.SNUA

チャネル A ステータス未更新フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

メッセージハンドラが、過負荷のためにメッセージバッファステータス（FLXAnFRMBS）を更新できなかったときに “1” になります。

このフラグが “0” から “1” になると FLXAnFREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

21.2.9.5 FLXAnFRTXRQi — FlexRay 送信要求レジスタ i（i = 1 ～ 4）

この 4 つのレジスタは、全メッセージバッファの TXR フラグの状態を示します。フラグは、送信バッファに対してのみ有効です。メッセージバッファ数が 128 個未満の場合、使用していない TXR フラグは無効です。

アクセス FLXAnFRTXRQi レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRTXRQiL、FLXAnFRTXRQiH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRTXRQiLL、FLXAnFRTXRQiLH、FLXAnFRTXRQiHL、FLXAnFRTXRQiHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRTXRQi: <FLXAn_base> + 0320_H + (i - 1) × 4_H,
FLXAnFRTXRQiL: <FLXAn_base> + 0320_H + (i - 1) × 4_H,
FLXAnFRTXRQiH: <FLXAn_base> + 0320_H + (i - 1) × 4_H + 2_H,
FLXAnFRTXRQiLL: <FLXAn_base> + 0320_H + (i - 1) × 4_H,
FLXAnFRTXRQiLH: <FLXAn_base> + 0320_H + (i - 1) × 4_H + 1_H,
FLXAnFRTXRQiHL: <FLXAn_base> + 0320_H + (i - 1) × 4_H + 2_H,
FLXAnFRTXRQiHH: <FLXAn_base> + 0320_H + (i - 1) × 4_H + 3_H,

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXRo(o = (i - 1)×32 + 31 ～（i - 1) × 32 + 16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXRo(o = (i - 1)×32 + 15 ～（i - 1) × 32 + 0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.68 FLXAnFRTXRQi レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TXRo	送信要求フラグ o

(1) FLXAnFRTXRQi.TXRo（o =（i - 1）× 32 ～ i × 32 - 1）

送信要求フラグ o

このビットが “1” のとき対応するメッセージバッファの送信準備ができている、または送信中であることを示します。

シングルショットモードでは送信完了後 “0” になります。

CHI コマンド CLEAR_RAMS によってクリアされます。

21.2.9.6 FLXAnFRNDATi — FlexRay 新データレジスタ i（i = 1 ～ 4）

この 4 つのレジスタは、全メッセージバッファの ND フラグの状態を示します。送信バッファの ND フラグは無効です。メッセージバッファ数が 128 個未満の場合、使用していない ND フラグは無効です。

アクセス FLXAnFRNDATi レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRNDATiL、FLXAnFRNDATiH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRNDATiLL、FLXAnFRNDATiLH、FLXAnFRNDATiHL、FLXAnFRNDATiHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRNDATi: <FLXAn_base> + 0330_H + (i - 1) × 4_H,
FLXAnFRNDATiL: <FLXAn_base> + 0330_H + (i - 1) × 4_H,
FLXAnFRNDATiH: <FLXAn_base> + 0330_H + (i - 1) × 4_H + 2_H,
FLXAnFRNDATiLL: <FLXAn_base> + 0330_H + (i - 1) × 4_H,
FLXAnFRNDATiLH: <FLXAn_base> + 0330_H + (i - 1) × 4_H + 1_H,
FLXAnFRNDATiHL: <FLXAn_base> + 0330_H + (i - 1) × 4_H + 2_H,
FLXAnFRNDATiHH: <FLXAn_base> + 0330_H + (i - 1) × 4_H + 3_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NDm(m = (i - 1)×32 + 31 ～（i - 1) × 32 + 16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NDm(m = (i - 1)×32 + 15 ～（i - 1) × 32 + 0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.69 FLXAnFRNDATi レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	NDm	新データフラグ m

(1) FLXAnFRNDATi.NDm（m = （i - 1）× 32 ～ i × 32 - 1）

新データフラグ m

有効な受信データフレームが、メッセージバッファのフィルタ設定に合致していたとき “1” になります。このとき、メッセージバッファで受信したペイロード長や、設定したペイロード長には依存しません。

受信 FIFO に設定しているメッセージバッファを除いて、Null フレームを受信した場合は “1” になりません。

新データ（ND）フラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか、データセクションが出力バッファに転送されたとき “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

21.2.9.7 FLXAnFRMBSCi — FlexRay メッセージバッファステータス変化レジスタ i（i = 1 ～ 4）

この 4 つのレジスタは、全メッセージバッファの MBC フラグの状態を示します。メッセージバッファ数が 128 個未満の場合、使用していない MBC フラグは無効です。

アクセス FLXAnFRMBSCi レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRMBSCiL、FLXAnFRMBSCiH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRMBSCiLL、FLXAnFRMBSCiLH、FLXAnFRMBSCiHL、FLXAnFRMBSCiHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRMBSCi: <FLXAn_base> + 0340_H + (i - 1) × 4_H,
FLXAnFRMBSCiL: <FLXAn_base> + 0340_H + (i - 1) × 4_H,
FLXAnFRMBSCiH: <FLXAn_base> + 0340_H + (i - 1) × 4_H + 2_H,
FLXAnFRMBSCiLL: <FLXAn_base> + 0340_H + (i - 1) × 4_H,
FLXAnFRMBSCiLH: <FLXAn_base> + 0340_H+ (i - 1) × 4_H + 1_H,
FLXAnFRMBSCiHL: <FLXAn_base> + 0340_H + (i - 1) × 4_H + 2_H,
FLXAnFRMBSCiHH: <FLXAn_base> + 0340_H + (i - 1) × 4_H + 3_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBCm(m = (i - 1)×32 + 31 ～（i - 1) × 32 + 16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBCm(m = (i - 1)×32 + 15 ～（i - 1) × 32 + 0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.70 FLXAnFRMBSCi レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	MBCm	メッセージバッファステータス変更フラグ m

(1) FLXAnFRMBSCi.MBCm （m = （i - 1）× 32 ～ i × 32 - 1）

メッセージバッファステータス変更フラグ m

メッセージバッファのヘッダセクション（**「21.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ」**および**「21.3.13.1 ヘッダパーティション」**を参照）に関するステータスフラグ（VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB）の変更の有無を表示します。

MBC フラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか OBF への転送が完了すると “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

21.2.10 入力バッファ

入力バッファ（IBF）は、IBF ホストと IBF シャドウの 2 段バッファ構成になっています。CPU からの書き込みアクセスは IBF ホストへ、メッセージ RAM への転送は IBF シャドウから行います。IBF は、メッセージ RAM 内の選択されたメッセージバッファに転送されるヘッダセクションとデータセクションを保持します。IBF は、メッセージ RAM 内のメッセージバッファの設定と送信バッファのデータセクションの更新に使用されます。

メッセージ RAM 内のメッセージバッファのヘッダセクションを IBF から更新すると、**「21.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ」**章に記載の FlexRay メッセージバッファステータスは自動的に "0" になります。

受信 FIFO に設定したメッセージバッファのヘッダセクションを設定または変更できるのは、CC が DEFAULT_CONFIG 状態または CONFIG 状態の場合のみです。これらのメッセージバッファには、FLXAnFRWRHS2.PLC、および FLXAnFRWRHS3.DP により、ペイロード長およびデータポインタだけが設定できます。アクセプタンスフィルタリングに必要な情報はすべて、FIFO リジェクションフィルタレジスタおよび FIFO リジェクションフィルタマスクレジスタから取り出されます。

入力バッファ（IBF）とメッセージ RAM 間のデータ転送については、**「21.3.12.1 メッセージバッファの設定変更」**で詳しく説明しています。

「21.3.16.1 入力データ転送」に示す入力データ転送機能を使用するとき、および FLXAnFRITS レジスタの ITS ビットが "1" のときは、これらのレジスタに書き込むことはできません。

21.2.10.1 FLXAnFRWRDSx — FlexRay データセクションライトレジスタ x（x = 1 ～ 64）

指定したメッセージバッファのデータセクションへ転送するデータワードを保持します。メッセージ RAM に書き込まれるデータワード数は、FLXAnFRWRHS2 レジスタの PLC ビットに設定されたペイロード長によって定義されます。

アクセス FLXAnFRWRDSx レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRWRDSxL、FLXAnFRWRDSxH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRWRDSxLL、FLXAnFRWRDSxLH、FLXAnFRWRDSxHL、FLXAnFRWRDSxHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRWRDSx: <FLXAn_base> + 0400_H + (x - 1) × 4_H,
FLXAnFRWRDSxL: <FLXAn_base> + 0400_H + (x - 1) × 4_H,
FLXAnFRWRDSxH: <FLXAn_base> + 0400_H + (x - 1) × 4_H + 2_H,
FLXAnFRWRDSxLL: <FLXAn_base> + 0400_H + (x - 1) × 4_H,
FLXAnFRWRDSxLH: <FLXAn_base> + 0400_H + (x - 1) × 4_H + 1_H,
FLXAnFRWRDSxHL: <FLXAn_base> + 0400_H + (x - 1) × 4_H + 2_H,
FLXAnFRWRDSxHH: <FLXAn_base> + 0400_H + (x - 1) × 4_H + 3_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.71 FLXAnFRWRDSx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	MD[31:0]	メッセージデータビット

(1) FLXAnFRWRDSx.MD

メッセージデータビット

メッセージデータのバイトアライメントについては、**「21.3.17 バイトアライメント」**を参照してください。

注 意

1. FLXAnFRWRHS2 レジスタの PLC ビットが奇数ペイロード長を指定している場合、残りのメッセージデータバイトは使用されません。
2. FLXAnFRWRDSx にライトする場合、入力バッファからメッセージ RAM への転送を始める前に、各 32 ビットワードを、1 つの 32 ビットアクセス、連続した 2 つの 16 ビットアクセス、または連続した 4 つの 8 ビットアクセスにより、一杯しておく必要があります。32 ビットワードの全バイトがホスト（8 ビットアクセス、または 16 ビットアクセスのみ）によりライトされていない場合、FLXAnFRWRDSx は、部分的に不定なデータを保持します。
CHI コマンド CLEAR_RAMS でリセットしてください。

21.2.10.2 FLXAnFRWRHS1 — FlexRay ヘッダセクションライトレジスタ 1

アクセス FLXAnFRWRHS1 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRWRHS1L、FLXAnFRWRHS1H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRWRHS1LL、FLXAnFRWRHS1LH、FLXAnFRWRHS1HL、FLXAnFRWRHS1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRWRHS1: <FLXAn_base> + 0500_H,
FLXAnFRWRHS1L: <FLXAn_base> + 0500_H、FLXAnFRWRHS1H: <FLXAn_base> + 0502_H,
FLXAnFRWRHS1LL: <FLXAn_base> + 0500_H、FLXAnFRWRHS1LH: <FLXAn_base> + 0501_H,
FLXAnFRWRHS1HL: <FLXAn_base> + 0502_H、FLXAnFRWRHS1HH: <FLXAn_base> + 0503_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CH[1:0]		—	CYC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.72 FLXAnFRWRHS1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
29	MBI	メッセージバッファ割り込み許可ビット 0: メッセージバッファ割り込み禁止 1: メッセージバッファ割り込み許可
28	TXM	送信モード設定ビット 0: 連続送信モード 1: シングルショットモード
27	PPIT	ペイロードプリアンブルインジケータ送信ビット 0: PPI ビットを “0” にする 1: PPI ビットを “1” にする
26	CFG	メッセージバッファ方向設定ビット 0: 受信バッファに設定 1: 送信バッファに設定
25、24	CH[1:0]	チャネルフィルタ制御ビット
23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22 ～ 16	CYC[6:0]	サイクルコード設定ビット
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
10 ～ 0	FID[10:0]	フレーム ID 設定ビット

(1) FLXAnFRWRHS1.MBI

メッセージバッファ割り込み許可ビット

メッセージバッファ割り込みを許可します。

メッセージハンドラによって受信バッファが更新されると、FLXAnFRSIR レジスタの RXI ビットまたは / および MBSI ビットが “1” になります。また、メッセージバッファからのフレーム送信が完了したとき FLXAnFRSIR レジスタの TXI ビットが “1” になります。

(2) FLXAnFRWRHS1.TXM

送信モード設定ビット

対応するメッセージバッファの送信モードを選択します。送信モードについては、**「21.3.9.3 送信バッファ」**を参照してください。

(3) FLXAnFRWRHS1.PPIT

ペイロードプリアンブルインジケータ送信ビット

対応するメッセージバッファの送信フレームのペイロードプリアンブルインジケータの状態を制御します。

スタティックメッセージバッファでこのビットを “1” にすると、対応するメッセージバッファにネットワーク管理情報が含まれます。

ダイナミックメッセージバッファでこのビットを “1” にすると、ペイロードセグメントの最初の 2 バイトが受信側のメッセージ ID フィルタリングに使用されます。本 FlexRay モジュールでは、メッセージ ID フィルタリングはサポートしていませんが、CPU でサポートすることができます。

(4) FLXAnFRWRHS1.CFG

メッセージバッファ方向設定ビット

対応するバッファを、送信バッファまたは受信バッファとして設定します。受信 FIFO に設定したメッセージバッファについては、このビットは無効です。

データパーティションの先頭に 32 ビット以上の未使用領域を配置しない場合は、ヘッダパーティション（の最終バッファ）直後に配置するメッセージバッファのデータセクションは、このビットを "1" にセットすることにより、送信バッファとして設定してください。

(5) FLXAnFRWRHS1.CH

チャネルフィルタ制御ビット

各バッファに割り当てられている 2 ビットのチャネルフィルタリングフィールドは、受信バッファにはフィルタとして、送信バッファには制御フィールドとして使えます。

CH[1:0]	送信バッファ フレーム送信	受信バッファ 受信したフレームを格納
00_B	送信禁止	受信フレームを無視する
01_B	チャネル A	チャネル A
10_B	チャネル B	チャネル B
11_B	両チャネル（スタティックセグメントのみ）	チャネル A または B（最初に受信した有効なフレームをメッセージバッファへ格納、スタティックセグメントのみ）

注 意

メッセージバッファがダイナミックセグメントに設定されており、かつチャネルフィルタリングフィールドの両方ビットが “1” に設定されている場合、フレームの送受信は行われません（CH = “00_B” にしたのと同じ機能になります）。

(6) FLXAnFRWRHS1.CYC

サイクルコード設定ビット

サイクルカウンタフィルタリングで使用するサイクルセットを定義する 7 ビットのサイクルコードを設定します。

サイクルコードの設定に関する詳細は**「21.3.8.2 サイクルカウンタフィルタリング」**を参照してください。

(7) FLXAnFRWRHS1.FID

フレーム ID 設定ビット

選択したメッセージバッファのフレーム ID を設定します。フレーム ID は、それぞれのメッセージを送受信するためのスロット番号です。

フレーム ID に “0” を設定したメッセージバッファは無効となります。

21.2.10.3 FLXAnFRWRHS2 — FlexRay ヘッダセクションライトレジスタ 2

アクセス FLXAnFRWRHS2 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRWRHS2L、FLXAnFRWRHS2H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRWRHS2LL、FLXAnFRWRHS2LH、FLXAnFRWRHS2HL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRWRHS2: <FLXAn_base> + 0504_H,
FLXAnFRWRHS2L: <FLXAn_base> + 0504_H、FLXAnFRWRHS2H: <FLXAn_base> + 0506_H,
FLXAnFRWRHS2LL: <FLXAn_base> + 0504_H、FLXAnFRWRHS2LH: <FLXAn_base> + 0505_H,
FLXAnFRWRHS2HL: <FLXAn_base> + 0506_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PLC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.73 FLXAnFRWRHS2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22 ～ 16	PLC[6:0]	ペイロード長設定ビット
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
10 ～ 0	CRC[10:0]	ヘッダ CRC 設定ビット（vRF!Header!HeaderCRC） 受信バッファ：設定不要 送信バッファ：ヘッダ CRC を設定

(1) FLXAnFRWRHS2.PLC

ペイロード長設定ビット

ペイロード長（データセクションの長さ）を 2 バイト単位で設定します。

スタティックセグメントでは、FLXAnFRMHDC.SFDL で設定したスタティックフレームのペイロード長により全スタティックフレームのペイロード長が決定します。FLXAnFRWRHS2.PLC で設定したペイロード長がこの値より短い場合、適切な物理長になるようパディングバイトが追加されます。パディングバイトの内容は “0000_H” です（**「21.3.9.3 送信バッファ」**参照）。

(2) FLXAnFRWRHS2.CRC

ヘッダ CRC 設定ビット（vRF!Header!HeaderCRC）

受信バッファの設定は必要ありません。

メッセージバッファの送信には、ヘッダ CRC の計算と設定が必要になります。

ヘッダ CRC の計算では、送信フレームのペイロード長を考慮する必要があります。スタティックセグメントでは全フレームのペイロード長を FLXAnFRMHDC.SFDL で設定します。

21.2.10.4 FLXAnFRWRHS3 — FlexRay ヘッダセクションライトレジスタ 3

アクセス FLXAnFRWRHS3 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRWRHS3L レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRWRHS3LL、FLXAnFRWRHS3LH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRWRHS3: <FLXAn_base> + 0508_H,
FLXAnFRWRHS3L: <FLXAn_base> + 0508_H,
FLXAnFRWRHS3LL: <FLXAn_base> + 0508_H、FLXAnFRWRHS3LH: <FLXAn_base> + 0509_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.74 FLXAnFRWRHS3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
10 ～ 0	DP[10:0]	データポインタ設定ビット

(1) FLXAnFRWRHS3.DP

データポインタ設定ビット

メッセージ RAM 内のメッセージバッファのデータセクションの最初の 32 ビットワードの位置を設定します。

21.2.10.5 FLXAnFRIBCM — FlexRay 入力バッファコマンドマスクレジスタ

FLXAnFRIBCR レジスタで選択したメッセージ RAM 内のメッセージバッファの更新方法を設定します。IBF ホストと IBF シャドウが切り替わるとき、LHSH、LDSH、STXRH ビットと LHSS、LDSS、STXRS ビットもそれぞれ切り替わります。

アクセス FLXAnFRIBCM レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRIBCML レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRIBCMH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRIBCMLL レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFRIBCMHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRIBCM: <FLXAn_base> + 0510_H,
FLXAnFRIBCML: <FLXAn_base> + 0510_H、FLXAnFRIBCMH: <FLXAn_base> + 0512_H,
FLXAnFRIBCMLL: <FLXAn_base> + 0510_H、FLXAnFRIBCMHL: <FLXAn_base> + 0512_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRS	LDSS	LHSS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRH	LDSH	LHSH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 21.75 FLXAnFRIBCM レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	STXRS	送信要求シャドウ設定フラグ 0: TXR フラグを “0” に設定 1: TXR フラグを “1” に設定し、送信予約（転送中または転送完了）
17	LDSS	データセクションシャドウロードフラグ 0: データセクションを更新しない 1: データセクションを転送する（転送中または転送完了）
16	LHSS	ヘッダセクションシャドウロードフラグ 0: ヘッダセクションを更新しない 1: ヘッダセクションを転送する（転送中または転送完了）
15 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
2	STXRH	送信要求ホスト設定ビット 0: TXR フラグを “0” に設定 1: TXR フラグを “1” に設定し、送信予約
1	LDSH	データセクションホストロード設定ビット 0: データセクションを更新しない 1: データセクションを転送する
0	LHSH	ヘッダセクションホストロード設定ビット 0: ヘッダセクションを更新しない 1: ヘッダセクションを転送する

(1) FLXAnFRIBCM.STXRS

送信要求シャドウ設定フラグ

(2) FLXAnFRIBCM.LDSS

データセクションシャドウロードフラグ

(3) FLXAnFRIBCM.LHSS

ヘッダセクションシャドウロードフラグ

(4) FLXAnFRIBCM.STXRH

送信要求ホスト設定ビット

このビットが “1” に設定されている場合、選択されたメッセージバッファの TXR フラグが FLXAnFRTXRQ1 ～ FLXAnFRTXRQ4 レジスタ内で “1” に設定され、そのメッセージバッファは送信バッファとして設定可能になります。シングルショットモードでは、送信完了後にクリアされます。

TXR は、送信バッファに対してのみ有効です。

(5) FLXAnFRIBCM.LDSH

データセクションホストロード設定ビット

(6) FLXAnFRIBCM.LHSH

ヘッダセクションホストロード設定ビット

21.2.10.6 FLXAnFRIBCR — FlexRay 入力バッファコマンド要求レジスタ

CPU が転送先であるメッセージ RAM のメッセージバッファ番号を FLXAnFRIBCR.IBRH に書き込むと、IBF ホストと IBF シャドウが切り替わります。また FLXAnFRIBCR.IBRH と FLXAnFRIBCR.IBRS に格納されているメッセージ番号も切り替わります（「**21.3.12.2 (1) 入力バッファからメッセージ RAM へのデータ転送**」を参照）。

この書き込みにより、FLXAnFRIBCR.IBSYS が “1” にセットされます。次に、メッセージハンドラにより IBF シャドウの内容が FLXAnFRIBCR.IBRS で選択されたメッセージ RAM のメッセージバッファに転送されます。

転送中 IBF ホストに次のメッセージを書き込むことができます。IBF シャドウとメッセージ RAM 間の転送が完了すると、FLXAnFRIBCR.IBSYS は再び “0” になり、FLXAnFRIBCR.IBRH に次のメッセージバッファ番号が書込まれると次のデータ転送が始まります。

FLXAnFRIBCR.IBSYS が “1” のときに FLXAnFRIBCR.IBRH へ書き込もうとすると、FLXAnFRIBCR.IBSYH が “1” にセットされます。データ転送が完了すると IBF ホストと IBF シャドウが切り替わり、FLXAnFRIBCR.IBSYH は “0” にクリアされます。FLXAnFRIBCR.IBSYS は “1” のまま、次の転送が始まります。また FLXAnFRIBCR.IBRH および FLXAnFRIBCR.IBRS に格納されているメッセージバッファ番号も入れ替わります。

FLXAnFRIBCR.IBSYS および FLXAnFRIBCR.IBSYH が “1” のときに IBF レジスタへ書き込もうとすると、FLXAnFREIR.IIBA フラグ（エラーフラグ）が “1” にセットされます。この場合、書き込みは影響せず、IBF は切り替わりません。

アクセス FLXAnFRIBCR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRIBCRL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRIBCRH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRIBCRLL レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFRIBCRLH、FLXAnFRIBCRHL、FLXAnFRIBCRHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRIBCR: <FLXAn_base> + 0514_H,
FLXAnFRIBCRL: <FLXAn_base> + 0514_H、FLXAnFRIBCRH: <FLXAn_base> + 0516_H,
FLXAnFRIBCRLL: <FLXAn_base> + 0514_H、FLXAnFRIBCRLH: <FLXAn_base> + 0515_H,
FLXAnFRIBCRHL: <FLXAn_base> + 0516_H、FLXAnFRIBCRHH: <FLXAn_base> + 0517_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IBSYS	—	—	—	—	—	—	—	—	IBRS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IBSYH	—	—	—	—	—	—	—	—	IBRH[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.76 FLXAnFRIBCR レジスタの内容

ビット位置	ビット名	機能
31	IBSYS	入力バッファビジーシャドウフラグ 0: IBF シャドウからメッセージ RAM へ転送完了 1: IBF シャドウからメッセージ RAM へ転送中
30 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22 ～ 16	IBRS[6:0]	入力バッファ要求シャドウフラグ
15	IBSYH	入力バッファビジーホストフラグ 0: 保留中の転送要求なし 1: IBF シャドウからメッセージ RAM への転送中に次の転送要求あり
14 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6 ～ 0	IBRH[6:0]	入力バッファ要求ホストビット

(1) FLXAnFRIBCR.IBSYS

入力バッファビジーシャドウフラグ

FLXAnFRIBCR.IBRH への書き込みの後に “1” にセットされます。

IBF シャドウとメッセージ RAM 間の転送が進行中であることを示します。

IBF シャドウとメッセージ RAM 間の転送が完了すると “0” にクリアされます。

(2) FLXAnFRIBCR.IBRS

入力バッファ要求シャドウフラグ

更新中もしくは最後に更新した転送先メッセージバッファ番号を保存します。

(3) FLXAnFRIBCR.IBSYH

入力バッファビジーホストフラグ

FLXAnFRIBCR.IBSYS が “1” のときに FLXAnFRIBCR.IBRH への書き込みを行うと “1” にセットされます。

IBF シャドウとメッセージ RAM 間の転送が進行中であることを示します。

IBF シャドウとメッセージ RAM 間の転送が完了すると “0” にクリアされます。

(4) FLXAnFRIBCR.IBRH

入力バッファ要求ホストビット

入力バッファからデータを転送するためのメッセージ RAM 中のターゲットメッセージバッファを選択します。

21.2.11 出力バッファ

出力バッファ（OBF）は、OBF ホストと OBF シャドウの 2 段バッファ構成になっており、メッセージ RAM からメッセージバッファのデータを読み出すのに使用します。CPU による読み出しは OBF ホストから、メッセージハンドラによるメッセージ RAM からの転送は OBF シャドウから行います。**「21.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送」**に OBF とメッセージ RAM 間の転送について詳しく説明しています。

「21.3.16.2 出力データ転送」に示す出力データ転送機能を使用するとき、および FLXAnFROTS レジスタの OTS ビットが "1" のときは、これらのレジスタに書き込むことはできません。

21.2.11.1 FLXAnFRRDDSx — FlexRay データセクションリードレジスタ x（x = 1 ～ 64）

指定したメッセージバッファのデータセクションから読み出されたデータワードを保持します。メッセージ RAM から読み出されるデータワード数は、FLXAnFRRDHS2 レジスタの PLC ビットに設定されたペイロード長によって定義されます。

アクセス FLXAnFRRDDSx レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRRDDSxL、FLXAnFRRDDSxH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRRDDSxLL、FLXAnFRRDDSxLH、FLXAnFRRDDSxHL、FLXAnFRRDDSxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRRDDSx: <FLXAn_base> + 0600_H + (x - 1) × 4_H,
FLXAnFRRDDSxL: <FLXAn_base> + 0600_H + (x - 1) × 4_H,
FLXAnFRRDDSxH: <FLXAn_base> + 0600_H + (x - 1) × 4_H + 2_H,
FLXAnFRRDDSxLL: <FLXAn_base> + 0600_H + (x - 1) × 4_H,
FLXAnFRRDDSxLH: <FLXAn_base> + 0600_H + (x - 1) × 4_H + 1_H,
FLXAnFRRDDSxHL: <FLXAn_base> + 0600_H + (x - 1) × 4_H + 2_H,
FLXAnFRRDDSxHH: <FLXAn_base> + 0600_H + (x - 1) × 4_H + 3_H,

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.77 FLXAnFRRDDSx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	MD[31:0]	メッセージデータフラグ

(1) FLXAnFRRDDSx.MD

メッセージデータフラグ

メッセージデータのバイトアライメントについては、**「21.3.17 バイトアライメント」**を参照してください。

注 意

FLXAnFRWRHS2 レジスタの PLC ビットが奇数ペイロード長を指定している場合、残りのメッセージデータバイトは使用されません。

CHI コマンド CLEAR_RAMS によってクリアされます。

21.2.11.2 FLXAnFRRDHS1 — FlexRay ヘッダセクションリードレジスタ 1

アクセス FLXAnFRRDHS1 レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRRDHS1L、FLXAnFRRDHS1H レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRRDHS1LL、FLXAnFRRDHS1LH、FLXAnFRRDHS1HL、FLXAnFRRDHS1HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRRDHS1: <FLXAn_base> + 0700_H,
FLXAnFRRDHS1L: <FLXAn_base> + 0700_H、FLXAnFRRDHS1H: <FLXAn_base> + 0702_H,
FLXAnFRRDHS1LL: <FLXAn_base> + 0700_H、FLXAnFRRDHS1LH: <FLXAn_base> + 0701_H,
FLXAnFRRDHS1HL: <FLXAn_base> + 0702_H、FLXAnFRRDHS1HH: <FLXAn_base> + 0703_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CH[1:0]		—	CYC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.78 FLXAnFRRDHS1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29	MBI	メッセージバッファ割り込み許可フラグ
28	TXM	送信モードフラグ
27	PPIT	ペイロードプリアンブルインジケータ送信フラグ
26	CFG	メッセージバッファ方向設定フラグ
25、24	CH[1:0]	チャネルフィルタ制御フラグ
23	予約ビット	リードした場合はリセット後の値が読めます。
22 ～ 16	CYC[6:0]	サイクルコード
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ～ 0	FID[10:0]	フレーム ID

(1) FLXAnFRRDHS1.MBI

メッセージバッファ割り込み許可フラグ

FLXAnFRWRHS1 レジスタの MBI ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(2) FLXAnFRRDHS1.TXM

送信モードフラグ

FLXAnFRWRHS1 レジスタの TXM ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(3) FLXAnFRRDHS1.PPIT

ペイロードプリアンブルインジケータ送信フラグ

FLXAnFRWRHS1 レジスタの PPIT ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(4) FLXAnFRRDHS1.CFG

メッセージバッファ方向設定フラグ

FLXAnFRWRHS1 レジスタの CFG ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(5) FLXAnFRRDHS1.CH

チャネルフィルタ制御フラグ

FLXAnFRWRHS1 レジスタの CH ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(6) FLXAnFRRDHS1.CYC

サイクルコード

FLXAnFRWRHS1 レジスタの CYC ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(7) FLXAnFRRDHS1.FID

フレーム ID

FLXAnFRWRHS1 レジスタの FID ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは受信フレーム ID を保持します。

21.2.11.3 FLXAnFRRDHS2 — FlexRay ヘッダセクションリードレジスタ 2

アクセス FLXAnFRRDHS2 レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRRDHS2L、FLXAnFRRDHS2H レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRRDHS2LL、FLXAnFRRDHS2LH、FLXAnFRRDHS2HL、FLXAnFRRDHS2HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRRDHS2: <FLXAn_base> + 0704_H,
FLXAnFRRDHS2L: <FLXAn_base> + 0704_H、FLXAnFRRDHS2H: <FLXAn_base> + 0706_H,
FLXAnFRRDHS2LL: <FLXAn_base> + 0704_H、FLXAnFRRDHS2LH: <FLXAn_base> + 0705_H,
FLXAnFRRDHS2HL: <FLXAn_base> + 0706_H、FLXAnFRRDHS2HH: <FLXAn_base> + 0707_H

リセット後の値 $0000\ 0000_H$

注 意

スタティックバッファ領域、またはスタティックバッファ + ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXAnFRWRHS2 はデータフレームからのみ更新されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PLR[6:0]							—	PLC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.79 FLXAnFRRDHS2 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。
30 ～ 24	PLR[6:0]	受信フレームペイロード長フラグ（vRF!Header!Length）
23	予約ビット	リードした場合はリセット後の値が読めます。
22 ～ 16	PLC[6:0]	設定ペイロード長フラグ
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ～ 0	CRC[10:0]	ヘッダ CRC フラグ （vRF!Header!HeaderCRC）

(1) FLXAnFRRDHS2.PLR

受信フレームペイロード長フラグ（vRF!Header!Length）

受信したデータフレームにより更新されたペイロード長（vRF!Header!Length）が読めます。（例外：受信 FIFO に設定したメッセージバッファでは、Null フレームを受信しても更新されます。）

(2) FLXAnFRRDHS2.PLC

設定ペイロード長フラグ

設定したデータセクションの長さ（2 バイトワードの数）が読めます。

(3) FLXAnFRRDHS2.CRC

ヘッダ CRC フラグ（vRF!Header!HeaderCRC）

受信バッファ時：受信したデータフレームのヘッダ CRC（vRF!Header!HeaderCRC）が読めます。

送信バッファ時：設定したヘッダ CRC が読めます。

(4) Data storage

メッセージがメッセージバッファに格納される場合、受信したペイロード長と設定したペイロード長に関連して次の処理が実行されます。

FLXAnFRRDHS2.PLR > FLXAnFRRDHS2.PLC：メッセージバッファに格納されるペイロードデータは、FLXAnFRRDHS2.PLC が偶数の場合は FLXAnFRRDHS2.PLC のサイズ、奇数の場合は FLXAnFRRDHS2.PLC + 1 のサイズに切り詰められます。

FLXAnFRRDHS2.PLR ≦ FLXAnFRRDHS2.PLC：受信したペイロードデータはメッセージバッファのデータセクションに格納されます。FLXAnFRRDHS2.PLC で定義されたデータセクションの残りのデータバイトには不定値が入ります。

FLXAnFRRDHS2.PLR = 0：メッセージバッファのデータセクションにはすべて不定値が入ります。

FLXAnFRRDHS2.PLC = 0：メッセージバッファにデータセクションが構成されません。メッセージバッファのデータセクションにデータは格納されません。

注 意

1. メッセージ RAM は 4 バイトワード単位で構成されます。受信データがメッセージバッファのデータセクションに格納される場合、メッセージバッファに書き込まれる 2 バイトのデータワード数は次の偶数値に丸められた FLXAnFRRDHS2.PLC の値になります。
2. 受信 FIFO に設定されたメッセージバッファの FLXAnFRRDHS2.PLC の値はすべて同じ値にしてください。
   スタティックバッファ領域、またはスタティックバッファ + ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXAnFRWRHS2 はデータフレームからのみ更新されます。

21.2.11.4 FLXAnFRRDHS3 — FlexRay ヘッダセクションリードレジスタ 3

注 意

スタティックバッファ領域、またはスタティックバッファ + ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXAnFRWRHS3 はデータフレームからのみ更新されます。

アクセス FLXAnFRRDHS3 レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRRDHS3L、FLXAnFRRDHS3H レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRRDHS3LL、FLXAnFRRDHS3LH、FLXAnFRRDHS3HL、FLXAnFRRDHS3HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRRDHS3: <FLXAn_base> + 0708_H,
FLXAnFRRDHS3L: <FLXAn_base> + 0708_H、FLXAnFRRDHS3H: <FLXAn_base> + $070A_H$,
FLXAnFRRDHS3LL: <FLXAn_base> + 0708_H、FLXAnFRRDHS3LH: <FLXAn_base> + 0709_H,
FLXAnFRRDHS3HL: <FLXAn_base> + $070A_H$、FLXAnFRRDHS3HH: <FLXAn_base> + $070B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RES	PPI	NFI	SYN	SFI	RCI	—	—	RCC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.80 FLXAnFRRDHS3 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29	RES	リザーブビット表示フラグ （vRF!Header!Reserved）
28	PPI	ペイロードプリアンブルインジケータフラグ（vRF!Header!PPIndicator）
27	NFI	Null フレームインジケータフラグ（vRF!Header!NFIndicator） 0: 現在まで、該当メッセージバッファにデータフレームは格納されていません。 1: 少なくとも 1 つのデータフレームが該当メッセージバッファに格納されています。
26	SYN	Sync フレームインジケータフラグ （vRF!Header!SyFIndicator） 0: 受信フレームは非 sync フレーム 1: 受信フレームは sync フレーム
25	SFI	Startup フレームインジケータフラグ（vRF!Header!SuFIndicator） 0: 受信フレームは非 Startup フレーム 1: 受信フレームは Startup フレーム
24	RCI	受信チャネルインジケータフラグ （vSS!Channel） 0: チャネル B でフレーム受信 1: チャネル A でフレーム受信
23、22	予約ビット	リードした場合はリセット後の値が読めます。
21 ～ 16	RCC[5:0]	受信サイクルカウンタ （vRF!Header!CycleCount）
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ～ 0	DP[10:0]	データポインタフラグ

(1) FLXAnFRRDHS3.RES

予約ビット表示フラグ（vRF!Header!Reserved）

受信フレームのヘッダにある予約ビットの値が読めます。予約ビットは “0” で送信されます。

(2) FLXAnFRRDHS3.PPI

ペイロードプリアンブルインジケータフラグ（vRF!Header!PPIndicator）

受信フレームのペイロードセグメントに NM ベクタまたはメッセージ ID が含まれるかどうかを定義します。

0 = 受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない

1 = スタティックセグメントの場合：ペイロードの先頭部分に NM ベクタを含む
ダイナミックセグメントの場合：ペイロードの先頭部分にメッセージ ID を含む

(3) FLXAnFRRDHS3.NFI

Null フレームインジケータフラグ （vRF!Header!NFIndicator）

最初に受信したデータフレームを格納すると、“1” に設定されます。

(4) FLXAnFRRDHS3.SYN

Sync フレームインジケータフラグ（vRF!Header!SyFIndicator）

Sync フレームインジケータで Sync フレームを表示します。

(5) FLXAnFRRDHS3.SFI

Startup フレームインジケータフラグ （vRF!Header!SuFIndicator）

Startup フレームインジケータで Startup フレームを表示します。

(6) FLXAnFRRDHS3.RCI

受信チャネルインジケータフラグ （vSS!Channel）

受信バッファを更新するための受信データフレームのチャネルを表示します。

(7) FLXAnFRRDHS3.RCC

受信サイクルカウンタ（vRF!Header!CycleCount）

受信データフレームによって更新されたサイクルカウンタ値が読めます。

(8) FLXAnFRRDHS3.DP

データポインタフラグ

メッセージ RAM 内のメッセージバッファのデータセクションの最初の 32 ビットワードの位置を示します。

FLXAnFRWRHS3 レジスタの DP ビットに設定された値です。

21.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ

FlexRay メッセージバッファステータスは、メッセージバッファに割り当てられたスロットの終了時にチャネルの最新状態に更新されます。

フラグは、CC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ更新されます。

チャネル A かチャネル B のいずれか一方だけがメッセージバッファに割り当てられている場合、割り当てられていないチャネルだけに関連するステータスフラグは “0” になります。両方のチャネルがメッセージバッファに割り当てられている場合、両方のチャネルのフラグが更新されます。

FlexRay メッセージバッファステータスは、スロットカウンタが設定したフレーム ID に到達し、サイクルカウンタフィルタが一致した場合のみ更新されます。CPU が入力バッファを介してメッセージバッファを更新すると、FLXAnFRIBCM レジスタの設定に関係なく、FLXAnFRMBS レジスタのフラグはすべて “0” になります。

送受信フィルタリングの詳細については、**「21.3.8 フィルタリングとマスキング」**、**「21.3.9 送信プロセス」**および**「21.3.10 受信プロセス」**を参照してください。

FLXAnFRMBS.VFRA, FLXAnFRMBS.VFRB, FLXAnFRMBS.SEOA, FLXAnFRMBS.SEOB, FLXAnFRMBS.CEOA, FLXAnFRMBS.CEOB, FLXAnFRMBS.SVOA, FLXAnFRMBS.SVOB, FLXAnFRMBS.TCIA, FLXAnFRMBS.TCIB, FLXAnFRMBS.ESA, FLXAnFRMBS.ESB, FLXAnFRMBS.MLST, FLXAnFRMBS.FTA, FLXAnFRMBS.FTB フラグのいずれかが変化すると、FLXAnFRMBSC1 ～ FLXAnFRMBSC4 レジスタの対応するメッセージバッファの MBC フラグがセットされます。

アクセス FLXAnFRMBS レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRMBSL、FLXAnFRMBSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRMBSLL、FLXAnFRMBSLH、FLXAnFRMBSHL、FLXAnFRMBSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRMBS: <FLXAn_base> + $070C_H$,
FLXAnFRMBSL: <FLXAn_base> + $070C_H$、FLXAnFRMBSH: <FLXAn_base> + $070E_H$,
FLXAnFRMBSLL: <FLXAn_base> + $070C_H$、FLXAnFRMBSLH: <FLXAn_base> + $070D_H$,
FLXAnFRMBSHL: <FLXAn_base> + $070E_H$、FLXAnFRMBSHH: <FLXAn_base> + $070F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RESS	PPIS	NFIS	SYNS	SFIS	RCIS	—	—	CCS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTB	FTA	—	MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.81 FLXAnFRMBS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29	RESS	予約ビットステータスフラグ （vRF!Header!Reserved）
28	PPIS	ペイロードプリアンブルインジケータステータスフラグ （vRF!Header!PPIndicator） 0: PP インジケータは “0” にセット 1: PPI インジケータは “1” にセット
27	NFIS	Null フレームインジケータステータスフラグ（vRF!Header!NFIndicator） 0: 受信フレームは Null フレーム 1: 受信フレームは非 Null フレーム
26	SYNS	Sync フレームインジケータステータスフラグ （vRF!Header!SyFIndicator） 0: Sync フレームを受信せず 1: 受信フレームは Sync フレーム
25	SFIS	Startup フレームインジケータステータスフラグ （vRF!Header!SuFIndicator） 0: Startup フレームを受信せず 1: 受信フレームは Startup フレーム
24	RCIS	受信チャネル表示ステータスフラグ（vSS!Channel） 0: チャネル B でフレーム受信 1: チャネル A でフレーム受信
23、22	予約ビット	リードした場合はリセット後の値が読めます。
21 ～ 16	CCS[5:0]	サイクルカウントステータスフラグ
15	FTB	チャネル B フレーム送信フラグ 0: チャネル B でデータフレーム送信せず 1: チャネル B でデータフレーム送信
14	FTA	チャネル A フレーム送信フラグ 0: チャネル A でデータフレーム送信せず 1: チャネル A でデータフレーム送信
13	予約ビット	リードした場合はリセット後の値が読めます。
12	MLST	メッセージロストフラグ 0: メッセージロストなし 1: 受信バッファのフレームを読む前に次のフレームが上書きされた
11	ESB	チャネル B エンプティスロットフラグ 0: チャネル B で割り当てられたスロットではバスがアイドル状態でない 1: チャネル B で割り当てられたスロットではバスがアイドル状態である
10	ESA	チャネル A エンプティスロットフラグ 0: チャネル A で割り当てられたスロットではバスがアイドル状態でない 1: チャネル A で割り当てられたスロットではバスがアイドル状態である
9	TCIB	チャネル B 送信競合検出フラグ（vSS!TxConflictB） 0: チャネル B で送信競合を検出せず 1: チャネル B で送信競合を検出
8	TCIA	チャネル A 送信競合検出フラグ （vSS!TxConflictA） 0: チャネル A で送信競合を検出せず 1: チャネル A で送信競合を検出
7	SVOB	チャネル B スロット境界違反フラグ（vSS!BViolationB） 0: チャネル B でスロット境界違反を検出せず 1: チャネル B でスロット境界違反検出
6	SVOA	チャネル A スロット境界違反フラグ（vSS!BViolationA） 0: チャネル B でスロット境界違反を検出せず 1: チャネル A でスロット境界違反検出
5	CEOB	チャネル B コンテンツエラーフラグ（vSS!ContentErrorB） 0: チャネル B でコンテンツエラーを検出せず 1: チャネル B でコンテンツエラーを検出
4	CEOA	チャネル A コンテンツエラーフラグ（vSS!ContentErrorA） 0: チャネル A でコンテンツエラーを検出せず 1: チャネル A でコンテンツエラーを検出

表 21.81 FLXAnFRMBS レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	SEOB	チャネル B シンタックスエラーフラグ （vSS!SyntaxErrorB） 0: チャネル B でシンタックスエラーを検出せず 1: チャネル B でシンタックスエラーを検出
2	SEOA	チャネル A シンタックスエラーフラグ （vSS!SyntaxErrorA） 0: チャネル A でシンタックスエラーを検出せず 1: チャネル A でシンタックスエラーを検出
1	VFRB	チャネル B 受信有効フレームフラグ（vSS!ValidFrameB） 0: チャネル B で有効フレーム受信せず 1: チャネル B で有効フレームを受信
0	VFRA	チャネル A 受信有効フレームフラグ（vSS!ValidFrameA） 0: チャネル A で有効フレーム受信せず 1: チャネル A で有効フレームを受信

(1) FLXAnFRMBS.RESS

予約ビットステータスフラグ（vRF!Header!Reserved）

受信フレームのヘッダにある予約ビットの値が読めます。予約ビットは "0" で送信されます。

受信バッファ（FLXAnFRWRHS1.CFG = '0'）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(2) FLXAnFRMBS.PPIS

ペイロードプリアンブルインジケータステータスフラグ（vRF!Header!PPIndicator）

受信フレームのペイロードセグメントに NM ベクタまたはメッセージ ID が含まれるかどうかを定義します。

受信バッファ（FLXAnFRWRHS1.CFG = '0'）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

0 = PP インジケータは '0' にセット

受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない

1 = PPI インジケータは '1' にセット

スタティックセグメントの場合：ペイロードの先頭部分に NM ベクタを含む

ダイナミックセグメントの場合：ペイロードの先頭部分にメッセージ ID を含む

(3) FLXAnFRMBS.NFIS

Null フレームインジケータステータスフラグ（vRF!Header!NFIndicator）

"0" の場合、受信フレームのペイロードセグメントのデータは無効です。

受信バッファ（FLXAnFRWRHS1.CFG = '0'）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(4) FLXAnFRMBS.SYNS

Sync フレームインジケータステータスフラグ （vRF!Header!SyFIndicator）

Sync フレームインジケータで Sync フレームを表示します。

受信バッファ（FLXAnFRWRHS1.CFG = '0'）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(5) FLXAnFRMBS.SFIS

Startup フレームインジケータステータスフラグ（vRF!Header!SuFIndicator）

Startup フレームインジケータで Startup フレームを表示します。

受信バッファ（FLXAnFRWRHS1.CFG = '0'）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(6) FLXAnFRMBS.RCIS

受信チャネル表示ステータスフラグ（vSS!Channel）

フレームを受信したチャネルを表示します。

受信バッファ（FLXAnFRWRHS1.CFG = '0'）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(7) FLXAnFRMBS.CCS

サイクルカウントステータスフラグ

ステータスが更新されたときのサイクルカウンタ値が読めます。

(8) FLXAnFRMBS.FTB

チャネル B フレーム送信フラグ

チャネル B にデータフレームを送信したことを示します。

注 意

CPU のみが FLXAnFRMBS.FTB をクリアすることができます。したがって、本ビットが “1” に設定されるサイクルでサイクルカウントステータス（FLXAnFRMBS.CCS）のみが有効です。

(9) FLXAnFRMBS.FTA

チャネル A フレーム送信フラグ

チャネル A にデータフレームを送信したことを示します。

注 意

CPU のみが FLXAnFRMBS.FTA をクリアすることができます。したがって、本ビットが “1” に設定されるサイクルでサイクルカウントステータス（FLXAnFRMBS.CCS）のみが有効です。

(10) FLXAnFRMBS.MLST

メッセージロストフラグ

CPU がメッセージデータを読む前に、受信したデータフレームによってメッセージバッファが上書きされたとき “1” になります。

受信 FIFO に設定したメッセージバッファを除き、Null フレームの受信による影響はありません。入力バッファを介してメッセージバッファに書き込みを行うか、出力バッファを介してメッセージを読み出すことで ND ビットが “0” になった後、新しいメッセージがメッセージバッファに格納されると、このフラグは “0” になります。

(11) FLXAnFRMBS.ESB

チャネル B エンプティスロットフラグ

エンプティスロットでは、バスがアイドル状態、つまり、フレーム送信が検出されていないことを意味します。この状態は、スタティックスロットおよびダイナミックスロットでチェックされます。

(12) FLXAnFRMBS.ESA

チャネル A エンプティスロットフラグ

エンプティスロットでは、バスがアイドル状態、つまり、フレーム送信が検出されていないことを意味します。この状態は、スタティックスロットおよびダイナミックスロットでチェックされます

(13) FLXAnFRMBS.TCIB

チャネル B 送信競合検出フラグ （vSS!TxConflictB）

送信競合がチャネル B で検出されたときに、“1” に設定されます。

(14) FLXAnFRMBS.TCIA

チャネル A 送信競合検出フラグ（vSS!TxConflictA）

送信競合がチャネル A で検出されたときに、“1” に設定されます。

(15) FLXAnFRMBS.SVOB

チャネル B スロット境界違反フラグ （vSS!BViolationB）

スロット境界違反（設定されたスロットの開始もしくは終了においてチャネルがアクティブであること）がチャネル B に割り当てられたスロットで検出されたことを示します。

(16) FLXAnFRMBS.SVOA

チャネル A スロット境界違反フラグ （vSS!BViolationA）

スロット境界違反（設定されたスロットの開始もしくは終了においてチャネルがアクティブであること）がチャネル A に割り当てられたスロットで検出されたことを示します。

(17) FLXAnFRMBS.CEOB

チャネル B コンテンツエラーフラグ （vSS!ContentErrorB）

チャネル B に割り当てられたスロットでコンテンツエラーが検出されたことを示します。

(18) FLXAnFRMBS.CEOA

チャネル A コンテンツエラーフラグ （vSS!ContentErrorA）

チャネル A に割り当てられたスロットでコンテンツエラーが検出されたことを示します。

(19) FLXAnFRMBS.SEOB

チャネル B シンタックスエラーフラグ（vSS!SyntaxErrorB）

チャネル B に割り当てられたスロットでシンタックスエラーが検出されたことを示します。

(20) FLXAnFRMBS.SEOA

チャネル A シンタックスエラーフラグ （vSS!SyntaxErrorA）

チャネル B に割り当てられたスロットでシンタックスエラーが検出されたことを示します。

(21) FLXAnFRMBS.VFRB

チャネル B 受信有効フレームフラグ （vSS!ValidFrameB）

チャネル B で有効フレームが受信されたときに “1” に設定されます。

(22) FLXAnFRMBS.VFRA

チャネル A 受信有効フレームフラグ （vSS!ValidFrameA）

チャネル A で有効フレームが受信されたときに “1” に設定されます。

21.2.11.6 FLXAnFROBCM — FlexRay 出力バッファコマンドマスクレジスタ

FLXAnFROBCR レジスタの OBRS ビットで選択したメッセージ RAM 内のメッセージバッファによる出力バッファの更新方法を設定します。

FLXAnFROBCR レジスタの REQ ビットによりメッセージ RAM 転送が要求されると、RDSS ビットおよび RHSS ビットの内容が内部メモリにコピーされます。

OBF ホストと OBF シャドウが切り替わるとき、RDSH ビットおよび RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま内部メモリの値と切り替わります。

出力バッファとメッセージ RAM 間のデータ転送についての詳細は、「**21.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送**」を参照してください。

注 意

ヘッダセクションがメッセージ RAM から OBF シャドウに転送された後、FLXAnFRMBSC1 ～ FLXAnFRMBSC4 レジスタの選択されたメッセージバッファの FlexRay メッセージバッファステータス変化フラグ（MBC）がクリアされます。データセクションがメッセージ RAM から OBF シャドウに転送された後、FLXAnFRNDAT1 ～ FLXAnFRNDAT4 レジスタの選択されたメッセージバッファの新データフラグ（ND）がクリアされます。

アクセス FLXAnFROBCM レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROBCML レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROBCMH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROBCMLL レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFROBCMHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFROBCM: <FLXAn_base> + 0710_H,
FLXAnFROBCML: <FLXAn_base> + 0710_H、FLXAnFROBCMH: <FLXAn_base> + 0712_H,
FLXAnFROBCMLL: <FLXAn_base> + 0710_H、FLXAnFROBCMHL: <FLXAn_base> + 0712_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSH	RHSH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSS	RHSS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 21.82 FLXAnFROBCM レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 18	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
17	RDSH	データセクションホスト読み出しフラグ 0: データセクションを読み出さない 1: データセクションをメッセージ RAM から出力バッファへ転送する
16	RHSH	ヘッダセクションホスト読み出しフラグ 0: ヘッダセクションを読み出さない 1: ヘッダセクションをメッセージ RAM から出力バッファへ転送する

表 21.82 FLXAnFROBCM レジスタの内容 (2/2)

ビット位置	ビット名	機能
15 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	RDSS	データセクションシャドウ読み出しビット 0: データセクションを読み出さない 1: データセクションをメッセージ RAM から出力バッファへ転送する
0	RHSS	ヘッダセクションシャドウ読み出しビット 0: ヘッダセクションを読み出さない 1: ヘッダセクションをメッセージ RAM から出力バッファへ転送する

(1) FLXAnFROBCM.RDSH

データセクションホスト読み出しフラグ

(2) FLXAnFROBCM.RHSH

ヘッダセクションホスト読み出しフラグ

(3) FLXAnFROBCM.RDSS

データセクションシャドウ読み出しビット

(4) FLXAnFROBCM.RHSS

ヘッダセクションシャドウ読み出しビット

21.2.11.7 FLXAnFROBCR — FlexRay 出力バッファコマンド要求レジスタ

FLXAnFROBCR.OBSYS ビットが “0” のときに FLXAnFROBCR.REQ ビットに “1” を書き込むと、FLXAnFROBCR.OBSYS ビットが自動的に “1” にセットされます。また、FLXAnFROBCR.OBRS ビットの値は内部メモリにコピーされ、FLXAnFROBCM.RDSS ビットおよび FLXAnFROBCM.RHSS ビットの値は FLXAnFROBCM レジスタの内部メモリにコピーされます。さらに、FLXAnFROBCR.OBRS ビットで選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送が完了すると、FLXAnFROBCM.OBSYS ビットを “0” に戻すことで完了が通知されます。

FLXAnFROBCR.OBSYS ビットが “0” のときに FLXAnFROBCR.VIEW ビットを “1” にセットすると、OBF ホストと OBF シャドウが切り替わります。同時に、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXAnFROBCM レジスタの内部メモリの値と切り替わります。アクセスが可能なメッセージバッファ番号は FLXAnFROBCR.OBRH により示されます。

FLXAnFROBCR.OBSYS ビットが “0” のときに FLXAnFROBCR.REQ ビットと FLXAnFROBCR.VIEW ビットに同時に “1” を書き込むと、FLXAnFROBCR.OBSYS ビットが自動的に “1” にセットされ、OBF シャドウと OBF ホストが切り替わります。同時に、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXAnFROBCM レジスタの内部メモリの値と切り替わります。その後、FLXAnFROBCR.OBRS ビットの値は内部メモリにコピーされ、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送している間、CPU は前回転送されたメッセージバッファを OBF ホストから読み出すことができます。メッセージ RAM と OBF シャドウ間の最新の転送が完了すると、FLXAnFROBCR.OBSYS ビットを “0” に戻すことで完了が通知されます。

FLXAnFROBCR.OBSYS ビットが “1” のとき FLXAnFROBCR[15:8] へ書き込もうとすると、FLXAnFREIR レジスタの IOBA ビットが “1” にセットされます。この場合、書き込みは影響せず、OBF は切り替わりません。

出力バッファとメッセージ RAM 間のデータ転送についての詳細は、「**21.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送**」を参照してください。

アクセス FLXAnFROBCR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROBCRL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROBCRH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROBCRLL、FLXAnFROBCRLH レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFROBCRHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFROBCR: <FLXAn_base> + 0714_H,
FLXAnFROBCRL: <FLXAn_base> + 0714_H、FLXAnFROBCRH: <FLXAn_base> + 0716_H,
FLXAnFROBCRLL: <FLXAn_base> + 0714_H、FLXAnFROBCRLH: <FLXAn_base> + 0715_H,
FLXAnFROBCRHL: <FLXAn_base> + 0716_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	OBRH[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OBSYS	—	—	—	—	—	REQ	VIEW	—	OBRS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.83 FLXAnFROBCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22 ～ 16	OBRH[6:0]	OBF ホスト転送要求フラグ
15	OBSYS	OBF シャドウビジーフラグ 0: 実行中の転送なし 1: メッセージ RAM から OBF シャドウへの転送中
14 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
9	REQ	メッセージ RAM 転送要求ビット 0: 要求なし 1: OBF シャドウへの転送を要求あり
8	VIEW	シャドウバッファ・ホストバッファ切り替えビット 0: 切り替えなし 1: OBF シャドウと OBF ホストを切り替える
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6 ～ 0	OBRS[6:0]	OBF シャドウ転送要求ビット

(1) FLXAnFROBCR.OBRH

OBF ホスト転送要求フラグ

FLXAnFRRDHS1 ～ FLXAnFRRDHS3、FLXAnFRMBS、FLXAnFRRDDS1 ～ FLXAnFRRDDS64 を経由して、現在、アクセスが可能なメッセージバッファ番号を示します。

FLXAnFROBCR.VIEW へ “1” を書き込むと、OBF ホストが切り替わり、転送されたメッセージバッファはアクセス可能となります。

(2) FLXAnFROBCR.OBSYS

OBF シャドウビジーフラグ

FLXAnFROBCR.REQ ビットに “1” を書くと、“1” になります。メッセージ RAM から OBF シャドウへの転送が完了すると、“0” になります。

(3) FLXAnFROBCR.REQ

メッセージ RAM 転送要求ビット

FLXAnFROBCR.OBSYS が “0” の間のみ書き込み可能です。

FLXAnFROBCR.OBRS によって指定されたメッセージバッファをメッセージ RAM から OBF シャドウへ転送します。

(4) FLXAnFROBCR.VIEW

シャドウバッファ・ホストバッファ切り替えビット

FLXAnFROBCR.OBSYS が “0” の間のみ書き込み可能です。

OBF シャドウと OBF ホストを切り替えます。

(5) FLXAnFROBCR.OBRS

OBF シャドウ転送要求ビット

FLXAnFROBCR.OBSYS が “0” の間のみ書き込み可能です。

メッセージ RAM から OBF シャドウに転送する際の転送元メッセージバッファ番号を示します。

受信 FIFO の先頭のメッセージバッファ番号をこのレジスタに書いた場合、GET Index（GIDX、**「21.3.11 FIFO 機能」**参照）で示されるメッセージバッファが OBF シャドウに転送されます。

21.2.12 データ転送制御レジスタ

21.2.12.1 FLXAnFRITC — FlexRay 入力転送設定レジスタ

アクセス FLXAnFRITC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRITCL、FLXAnFRITCH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRITCLL、FLXAnFRITCLH、FLXAnFRITCHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRITC: <FLXAn_base> + 0800_H,
FLXAnFRITCL: <FLXAn_base> + 0800_H、FLXAnFRITCH: <FLXAn_base> + 0802_H,
FLXAnFRITCLL: <FLXAn_base> + 0800_H、FLXAnFRITCLH: <FLXAn_base> + 0801_H,
FLXAnFRITCHL: <FLXAn_base> + 0802_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	ITM[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IQEIE	IQFIE	—	—	—	—	—	—	IQHR	ITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 21.84 FLXAnFRITC レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22 ～ 16	ITM[6:0]	入力キューテーブル最大値ビット 入力バッファハンドラが入力キューに保持可能な、入力ポインタテーブル内のエントリ数を設定します。
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
9	IQEIE	入力キューエンプティ割り込み可能ビット 0: 割り込み不可 1: 割り込み可能
8	IQFIE	入力キューフル割り込み可能ビット 0: 割り込み不可 1: 割り込み可能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	IQHR	入力キュー停止要求ビット 0: 入力キュー動作要求 1: 入力キュー停止要求
0	ITE	入力転送可能ビット 0: 転送不可要求 1: 転送可能要求

(1) FLXAnFRITC.ITM

入力キューテーブル最大値ビット

FLXAnFRITS レジスタの ITS ビットが “0” の場合のみ書き込み可能です。

入力バッファハンドラが入力キューに保持可能な、入力ポインタテーブル内のエントリ数を設定します。

有効値：00_H （1 キューエントリ）～ $7F_H$ （128 キューエントリ）

各エントリは入力ポインタテーブルに 2 ロングワード必要です。

(2) FLXAnFRITC.IQEIE

入力キューエンプティ割り込み可能ビット

入力キューエンプティ割り込みを制御します。

0: 割り込み不可

割り込み要求されず、入力キューエンプティ割り込みラインは解放されます。

1: 割り込み可能

FLXAnFRITS レジスタの IQEIS ビットが "1" の場合、入力キューエンプティ割り込みが発行されます。

(3) FLXAnFRITC.IQFIE

入力キューフル割り込み可能ビット

入力キューフル割り込みを制御します。

0: 割り込み不可

割り込み要求されず、入力キューフル割り込みラインは解放されます。

1: 割り込み可能

FLXAnFRITS レジスタの IQEIS ビットが “1” の場合、入力キューフル割り込みが発行されます。

(4) FLXAnFRITC.IQHR

入力キュー停止要求ビット

FLXAnFRITS レジスタの ITS ビットが “0” の場合、“1” にセットすることはできません。

入力キューの停止を要求します。

停止要求の状態は FLXAnFRITS レジスタの IQH ビットで見ることができます。

本ビットの使用法については「**21.3.16.1 (5) 入力キューの停止**」を参照してください。

0: 入力キュー動作要求

入力キューは動作します。

1: 入力キュー停止要求

入力キューは停止します。動作中の入力転送は完了しますが、以降の転送は行われません。

(5) FLXAnFRITC.ITE

入力転送可能ビット

FLXAnFRIBCR.IBSYS が “0” の場合のみ “1” にセットできます。

FLXAnFRITC.IQHR が “0” の場合のみ “0” にセットできます。それ以外では入力転送できません。

入力転送キューの動作モードを制御します。

入力転送キューの動作状態は FLXAnFRITS レジスタの ITS ビットで見ることができます。

本ビットの使用法については「**21.3.16.1 (1) 起動および停止**」を参照してください。

0: 動作不可要求

入力転送キューがエンプティになると動作不可となります。

1: 動作可能要求

入力転送キューは動作可能となります。入力データの構造体は FlexRay 内部メッセージ RAM へ転送されます。

21.2.12.2 FLXAnFROTC — FlexRay 出力転送設定レジスタ

アクセス FLXAnFROTC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROTCL、FLXAnFROTCH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROTCLL、FLXAnFROTCLH、FLXAnFROTCHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFROTC: <FLXAn_base> + 0804_H,
FLXAnFROTCL: <FLXAn_base> + 0804_H、FLXAnFROTCH: <FLXAn_base> + 0806_H
FLXAnFROTCLL: <FLXAn_base> + 0804_H、FLXAnFROTCLH: <FLXAn_base> + 0805_H,
FLXAnFROTCHL: <FLXAn_base> + 0806_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	FTM[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	FWIE	OWIE	FIE	OIE	—	—	—	—	—	—	OTCS	OTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 21.85 FLXAnFROTC レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
20 ～ 16	FTM[4:0]	FIFO テーブル最大値ビット 出力転送ハンドラが Local RAM や Global RAM 内に保持できる FIFO エントリ数を設定します。
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
11	FWIE	FIFO 転送警告割り込み許可ビット 0: 割り込み不可 1: 割り込み可能
10	OWIE	出力転送警告割り込み許可ビット 0: 割り込み不可 1: 割り込み可能
9	FIE	FIFO 転送割り込み許可ビット 0: 割り込み不可 1: 割り込み可能
8	OIE	出力転送割り込み許可ビット 0: 割り込み不可 1: 割り込み可能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	OTCS	出力転送条件選択ビット 0: 新規データ専用モード 1: 新規データおよびステータス変更モード
0	OTE	出力転送許可ビット 0: 動作禁止要求 1: 動作許可要求

(1) FLXAnFROTC.FTM

FIFO テーブル最大値ビット

FLXAnFROTS レジスタの OTS ビットが “0” の場合のみ書き込み可能です。

出力転送ハンドラが Local RAM や Global RAM 内に保持できる FIFO エントリ数を設定します。

有効値：00_H （1 FIFO エントリ）～ $1F_H$ （32 FIFO エントリ）

(2) FLXAnFROTC.FWIE

FIFO 転送警告割り込み許可ビット

FIFO 転送警告割り込みを制御します。

0: 割り込み不可

割り込み要求されず、FIFO 転送警告割り込みラインは解放されます。

1: 割り込み可能

FLXAnFROTS レジスタの FWIS ビットが “1” の場合、FIFO 転送警告割り込みが発行されます。

(3) FLXAnFROTC.OWIE

出力転送警告割り込み許可ビット

出力転送警告割り込みを制御します。

0: 割り込み不可

割り込み要求されず、出力転送警告割り込みラインは解放されます

1: 割り込み可能

FLXAnFROTS レジスタの OWIS ビットが “1” の場合、出力転送警告割り込みが発行されます。

(4) FLXAnFROTC.FIE

FIFO 転送割り込み許可ビット

FIFO 転送割り込みを制御します。

0: 割り込み不可

割り込み要求されず、FIFO 転送割り込みラインは解放されます。

1: 割り込み可能

FLXAnFROTS レジスタの FIS ビットが “1” の場合、FIFO 転送割り込みが発行されます。

(5) FLXAnFROTC.OIE

出力転送割り込み許可ビット

出力転送割り込みを制御します。

0: 割り込み不可

割り込み要求されず、出力転送割り込みラインは解放されます

1: 割り込み可能

FLXAnFROTS レジスタの OTIS ビットが “1” の場合、出力転送割り込みが発行されます。

(6) FLXAnFROTC.OTCS

出力転送条件選択ビット

FLXAnFROTS レジスタの OTS ビットが “0” の場合のみ書き込み可能です。

出力転送条件を制御します。

0: 新規データ専用モード

FLXAnFRNDATi レジスタの ND ビットは、専用の受信バッファ用の転送条件を検出するために使用されます。

1: 新規データおよびステータス変更モード

FLXAnFRNDATi レジスタの ND ビットおよび FLXAnFRMBSC レジスタの MBC ビットは、専用の送受信バッファの転送条件を検出するために使用されます

(7) FLXAnFROTC.OTE

出力転送許可ビット

FLXAnFROBCR レジスタの OBSYS ビットが “0” の場合のみ “1” にセットできます。

出力転送機能の動作モードを制御します。

出力転送機能の動作状態は FLXAnFROTS レジスタの OTS ビットで見ることができます。

本ビットの使用法については「**21.3.16.2 (2) 出力転送データ構造**」を参照してください。

0: 動作禁止要求

出力バッファ転送は禁止されます。

動作中のメッセージバッファ転送は完了しますが、その後の転送は行われません。

1: 動作許可要求

出力バッファ転送は許可されます。メッセージバッファは FlexRay 内部メッセージ RAM から出力データ構造へ転送されます。

FLXAnFRMRC レジスタに書き込んで E-Ray メッセージ RAM の設定を変更することはできません。

21.2.12.3 FLXAnFRIBA — FlexRay 入力ポインタテーブルベースアドレスレジスタ

アクセス FLXAnFRIBA レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRIBAL、FLXAnFRIBAH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRIBALL、FLXAnFRIBALH、FLXAnFRIBAHL、FLXAnFRIBAHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRIBA: <FLXAn_base> + 0808_H,
FLXAnFRIBAL: <FLXAn_base> + 0808_H、FLXAnFRIBAH: <FLXAn_base> + $080A_H$,
FLXAnFRIBALL: <FLXAn_base> + 0808_H、FLXAnFRIBALH: <FLXAn_base> + 0809_H,
FLXAnFRIBAHL: <FLXAn_base> + $080A_H$、FLXAnFRIBAHH: <FLXAn_base> + $080B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ITA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 21.86 FLXAnFRIBA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ITA[31:0]	入力テーブルアドレスビット 入力ポインタテーブルのベースアドレスを設定します。

(1) FLXAnFRIBA.ITA

入力テーブルアドレスビット

FLXAnFRITS.ITS ビットが “0” の場合のみ書き込み可能です。

アドレスは 32 ビットのアライン値である必要があります。したがって FLXAnFRIBA.ITA[1:0] ビットは常に “0” です。

入力ポインタテーブルのベースアドレスを設定します。

このテーブルは、メッセージバッファを Local RAM や Global RAM から FlexRay 内部メッセージ RAM へ転送する入力転送キューに使用されます。

入力キューのサイズは、FLXAnFRITC.ITM ビット内で設定されます。

各エントリは、入力ポインタテーブル内に 2 ロングワード分必要です。

21.2.12.4 FLXAnFRFBA — FlexRay FIFO ポインタテーブルベースアドレスレジスタ

アクセス FLXAnFRFBA レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRFBAL、FLXAnFRFBAH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRFBALL、FLXAnFRFBALH、FLXAnFRFBAHL、FLXAnFRFBAHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRFBA: <FLXAn_base> + $080C_H$,
FLXAnFRFBAL: <FLXAn_base> + $080C_H$、FLXAnFRFBAH: <FLXAn_base> + $080E_H$,
FLXAnFRFBALL: <FLXAn_base> + $080C_H$、FLXAnFRFBALH: <FLXAn_base> + $080D_H$,
FLXAnFRFBAHL: <FLXAn_base> + $080E_H$、FLXAnFRFBAHH: <FLXAn_base> + $080F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 21.87 FLXAnFRFBA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	FTA[31:0]	FIFO ポインタテーブルアドレスビット FIFO ポインタテーブルのベースアドレスを設定します。

(1) FLXAnFRFBA.FTA

FIFO ポインタテーブルアドレスビット

FLXAnFROTS.OTS ビットが “0” の場合のみ書き込み可能です。

アドレスは 32 ビットのアライン値である必要があります。したがって FLXAnFRFBA.FTA[1:0] ビットは常に “0” です。

FIFO ポインタテーブルのベースアドレスを設定します。

このテーブルは、FlexRay 内部 FIFO から Local RAM や Global RAM へ転送されるメッセージバッファに使用されます。

FIFO のサイズは、FLXAnFROTC.FTM ビットで設定されます。

21.2.12.5 FLXAnFROBA — FlexRay 出力ポインタテーブルベースアドレスレジスタ

アクセス FLXAnFROBA レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROBAL、FLXAnFROBAH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROBALL、FLXAnFROBALH、FLXAnFROBAHL、FLXAnFROBAHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFROBA: <FLXAn_base> + 0810_H,
FLXAnFROBAL: <FLXAn_base> + 0810_H、FLXAnFROBAH: <FLXAn_base> + 0812_H,
FLXAnFROBALL: <FLXAn_base> + 0810_H、FLXAnFROBALH: <FLXAn_base> + 0811_H,
FLXAnFROBAHL: <FLXAn_base> + 0812_H、FLXAnFROBAHH: <FLXAn_base> + 0813_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 21.88 FLXAnFROBA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OTA[31:0]	出力ポインタテーブルアドレスビット 出力ポインタテーブルのベースアドレスを設定します。

(1) FLXAnFROBA.OTA

出力ポインタテーブルアドレスビット

FLXAnFROTS.OTS ビットが “0” の場合のみ書き込み可能です。

アドレスは 32 ビットのアライン値である必要があります。したがって FLXAnFROBA.OTA[1:0] ビットは常に “0” です。

出力ポインタテーブルのベースアドレスを設定します。

このテーブルは、FlexRay 内部メッセージ RAM から Local RAM や Global RAM へ転送されるメッセージバッファに使用されます。

テーブルのサイズは、FlexRay 内部メッセージ RAM の利用度に依存し、最大 128 エントリまでです。

21.2.12.6 FLXAnFRIQC — FlexRay 入力キュー制御レジスタ

アクセス FLXAnFRIQC レジスタは、32 ビット単位でライトのみ可能です。
FLXAnFRIQCL レジスタは、16 ビット単位でライトのみ可能です。
FLXAnFRIQCLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス FLXAnFRIQC: <FLXAn_base> + 0814_H,
FLXAnFRIQCL: <FLXAn_base> + 0814_H,
FLXAnFRIQCLL: <FLXAn_base> + 0814_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	IMBNR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W

表 21.89 FLXAnFRIQC レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	予約ビット	ライトする場合はリセット後の値を書いてください。
6 ～ 0	IMBNR[6:0]	入力メッセージバッファ番号ビット 入力キューに加えるメッセージバッファ番号

(1) FLXAnFRIQC.IMBNR

入力メッセージバッファ番号ビット

FLXAnFRITS レジスタの IQFP ビットが “0” の場合のみ書き込み可能です。

FLXAnFRITS レジスタの ITS ビットが “0” あるいは FLXAnFRITC レジスタの ITE ビットが "0" の場合、書き込みはできません。

読み出すと “0” が読み出されます。

入力キューに加えるメッセージバッファを指定します。

この番号は入力ポインタテーブルの FLXAnFRWRHS4.IMBNR （「**21.3.16.1 (3) 入力ポインタテーブル**」参照）と同じである必要があります。

本レジスタへ書き込む前に、入力データ構造へのアドレスを入力ポインタテーブルのプットインデックス（FLXAnFRITS.IPIDX）の位置に書き込む必要があります。

本レジスタへ書き込むと、入力プットインデックス（FLXAnFRITS.IPIDX）がインクリメントされます。

21.2.12.7 FLXAnFRUIR — FlexRay ユーザ入力転送要求レジスタ

アクセス FLXAnFRUIR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRUIRL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRUIRLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRUIR: <FLXAn_base> + 0818_H,
FLXAnFRUIRL: <FLXAn_base> + 0818_H,
FLXAnFRUIRLL: <FLXAn_base> + 0818_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIDX[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.90 FLXAnFRUIR レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
7 ～ 0	UIDX[7:0]	入力インデックス要求ユーザビット 入力転送用に要求された入力ポインタテーブルインデックスを設定します。

(1) FLXAnFRUIR.UIDX

入力インデックス要求ユーザビット

FLXAnFRITS レジスタの UIRP ビットが “0” の場合のみ書き込み可能です。

FLXAnFRITS レジスタの ITS ビットが “0” の場合、本レジスタに書き込みはできません。

FLXAnFRITS レジスタの UIRP ビットが “1” の場合、本レジスタに書き込みはできません。

FLXAnFRITS レジスタの IQH ビットが “1” の場合、本レジスタに書き込みはできません。

FLXAnFRITC.ITM+1 のみ書き込み可能です。

この値は入力転送を要求されたユーザの入力ポインタテーブルインデックスを指定します。

本レジスタへ書き込む前に、入力データ構造へのアドレスを入力ポインタテーブルのインデックス UIDX の位置に書き込む必要があります。

本レジスタに書き込むと、要求された入力データ構造は入力データ構造の位置から FlexRay 内部メッセージ RAM へ転送されます。

キューに加えられた入力転送とは反対に、関連する FLXAnFRDA レジスタの DA フラグはユーザ入力転送には影響されません。

21.2.12.8 FLXAnFRUOR — FlexRay ユーザ出力転送要求レジスタ

アクセス FLXAnFRUOR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRUORL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRUORLL、FLXAnFRUORLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRUOR: <FLXAn_base> + $081C_H$,
FLXAnFRUORL: <FLXAn_base> + $081C_H$、
FLXAnFRUORLL: <FLXAn_base> + $081C_H$、FLXAnFRUORLH: <FLXAn_base> + $081D_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	URDS	—	—	UMBNR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.91 FLXAnFRUOR レジスタの内容

ビット位置	ビット名	機能
31 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
9	URDS	リードデータセクション要求ユーザビット 0: データセクションは転送されない 1: データセクションは転送される
8、7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6 ～ 0	UMBNR[6:0]	出力メッセージバッファ番号要求ユーザビット 出力転送用に要求されるメッセージバッファ番号を設定します。

(1) FLXAnFRUOR.URDS

リードデータセクション要求ユーザビット

FLXAnFROTS レジスタの UORP ビットが “0” の場合のみ書き込み可能です。

FLXAnFROTS レジスタの OTS ビットが “0” の場合、本レジスタに書き込みはできません。

FLXAnFROTS レジスタの UORP ビットが “1” の場合、本レジスタに書き込みはできません。

0: データセクションは転送されない

UMBNR ビットで選択されたメッセージバッファのデータセクションは要求されていません。

1: データセクションは転送される

UMBNR ビットで選択されたメッセージバッファのデータセクションが要求されています。

(2) FLXAnFRUOR.UMBNR

出力メッセージバッファ番号要求ユーザビット

FLXAnFROTS レジスタの UORP ビットが “0” の場合のみ書き込み可能です。

FLXAnFROTS レジスタの OTS ビットが “0” の場合、本レジスタに書き込みはできません。

FLXAnFROTS レジスタの UORP ビットが “1” の場合、本レジスタに書き込みはできません。

FlexRay モジュールが CONFIG 状態でない場合、UMBNR を専用の受信バッファおよび送信バッファに制限してください。

本レジスタに書き込むと、要求されたメッセージバッファのヘッダセクションと任意でデータセクション（URDS によって設定）が、FlexRay 内部メッセージ RAM から出力ポインタテーブル内の出力構造データポインタによって定義された出力データ構造の位置に転送されます。

21.2.12.9 FLXAnFRAHBC — FlexRay H-Bus 設定レジスタ

アクセス FLXAnFRAHBC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRAHBCL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRAHBCLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRAHBC: <FLXAn_base> + 0840_H,
FLXAnFRAHBCL: <FLXAn_base> + 0840_H,
FLXAnFRAHBCLL: <FLXAn_base> + 0840_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	HPROT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 21.92 FLXAnFRAHBC レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3 ～ 0	HPROT[3:0]	保護制御ビット HPROT

(1) FLXAnFRAHBC.HPROT

保護制御ビット

FLXAnFRITS レジスタの ITS ビットが “0” かつ FLXAnFROTS レジスタの OTS ビットが “0” の場合のみ、本レジスタに書き込むことができます。

本レジスタは、H-Bus 保護制御シグナルに割り当てられた値を設定します。

21.2.13 データ転送ステータスレジスタ

21.2.13.1 FLXAnFRITS — FlexRay 入力転送ステータスレジスタ

アクセス FLXAnFRITS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRITSL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRITSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRITSLL、FLXAnFRITSHL、FLXAnFRITSHH レジスタは、8 ビット単位でリードのみ可能です。
FLXAnFRITSLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRITS: <FLXAn_base> + 0820_H,
FLXAnFRITSL: <FLXAn_base> + 0820_H、FLXAnFRITSH: <FLXAn_base> + 0822_H,
FLXAnFRITSLL: <FLXAn_base> + 0820_H、FLXAnFRITSLH: <FLXAn_base> + 0821_H,
FLXAnFRITSHL: <FLXAn_base> + 0822_H、FLXAnFRITSHH: <FLXAn_base> + 0823_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IGIDX[6:0]							—	IPIDX[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IQFP	—	—	IQEIS	IQFIS	—	—	—	—	—	UIRP	IQH	ITS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 21.93 FLXAnFRITS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
30 ～ 24	IGIDX[6:0]	入力キューゲットインデックスビット 入力ポインタテーブルのゲットインデックスを示します。
23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22 ～ 16	IPIDX[6:0]	入力キュープットインデックスビット 入力ポインタテーブルのプットインデックスを示します
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
12	IQFP	入力キューフル条件保留ビット 0: 入力キュー内のエントリが使用可能 1: 入力キュー内のすべてのエントリが使用中
11、10	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
9	IQEIS	入力キューエンプティ 割り込みステータスビット 0: 入力キューエンプティ条件は検出されない 1: 入力キューエンプティ条件検出
8	IQFIS	入力キューフル割り込みステータスビット 0: 入力キューフル条件は検出されない 1: 入力キューフル条件検出
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

表 21.93 FLXAnFRITS レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	UIRP	ユーザ入力転送要求保留ビット 0: ユーザ入力転送要求の保留なし 1: ユーザ入力転送要求保留
1	IQH	入力キュー停止ビット 0: 入力キューは停止しない 1: 入力キュー停止
0	ITS	入力転送ビット 0: 無効 1: 有効

(1) FLXAnFRITS.IGIDX

入力キューゲットインデックスビット

FLXAnFRITS レジスタの IQH ビットが “1” の場合のみ有効です。

入力キューハンドラが次に転送する入力ポインタインデックスを示します。

有効値：00_H ～ FLXAnFRITC.ITM

入力データ構造が Local RAM や Global RAM から転送され、関連する FLXAnFRDA レジスタの DA フラグがクリアされると、ゲットインデックスはインクリメントされます。

FLXAnFRITS レジスタの ITS ビットが “0” から “1” に変化すると、このインデックスは 00_H になります。

(2) FLXAnFRITS.IPIDX

入力キュープットインデックスビット

入力ポインタテーブル内の次の入力データ構造ポインタが格納される位置を表します。

有効値：00_H ～ FLXAnFRITC.ITM

最大値に到達すると、プットインデックスは 00_H から続けます。

FLXAnFRIQC レジスタの IMBNR ビットに書き込まれるとこのインデックスはインクリメントされます。

ITS ビットが “0” から “1” に変化すると、このインデックスは 00_H になります。

(3) FLXAnFRITS.IQFP

入力キューフル条件保留ビット

入力キューがフルであることを示します。

本ビットが “1” であるとき、FLXAnFRIQC レジスタの IMBNR ビットへの書き込みによって、さらに入力転送要求することはできません。

〔クリア条件〕

入力キュー内に 1 つのエンプティエントリがある場合

〔セット条件〕

入力キュー内のすべてのエントリが使用中の場合

(4) FLXAnFRITS.IQEIS

入力キューエンプティ割り込みステータスビット

“0” を書き込んでも影響はありません。

本ビットが “1” の場合、FLXAnFRITC レジスタの IQEIE ビットが有効であれば入力キューエンプティ割り込みが発生します。

〔クリア条件〕

“1” を書き込むとクリアされます。

ITS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

すべての保留中の入力転送が処理され、最終的に入力キューがエンプティになったとき、本ビットはセットされます。

(5) FLXAnFRITS.IQFIS

入力キューフル割り込みステータスビット

“0” を書き込んでも影響はありません。

本ビットが “1” の場合、FLXAnFRITC レジスタの IQFIE ビットが有効であれば入力キューフル割り込みが発生します。

本フラグは割り込みステータスフラグを意味します。現在の入力キューステータスを表すものではありません。このステータスについては IQFP ビットを参照してください。

〔クリア条件〕

本ビットに “1” を書き込むとクリアされます。

ITS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

入力キュー内のすべてのエントリが使用中の場合セットされます。

(6) FLXAnFRITS.UIRP

ユーザ入力転送要求保留ビット

ユーザ入力転送がまだ保留中であることを表します。

本ビットが “1” の場合、さらに FLXAnFRUIR レジスタの UIDX ビットに書き込みアクセスを行うことはできません。

〔クリア条件〕

ユーザ入力転送要求が入力転送ハンドラによって処理されている場合、本ビットはクリアされます。

〔セット条件〕

FLXAnFRUIR レジスタの UIDX ビットに書き込まれると、本ビットはセットされます。

(7) FLXAnFRITS.IQH

入力キュー停止ビット

入力キューのステータスを表します。

本ビットが “1” の場合、さらに FLXAnFRUIR レジスタの UIDX ビットに書き込みアクセスを行うことはできません。

〔クリア条件〕

FLXAnFRITC レジスタの IQHR ビットが “0” のとき、本ビットはクリアされます。

〔セット条件〕

FLXAnFRITC レジスタの IQHR ビットが “1” にセットされ実行中の入力転送がない場合、すぐに本ビットはセットされます。

実行中の入力転送が終了し FLXAnFRITC レジスタの IQHR ビットが “1” にセットされたあとでのみ、本ビットはセットされます。

(8) FLXAnFRITS.ITS

入力転送ステータスビット

入力キューハンドラのステータスを表します。

本ビットが “1” の間、アドレスエリア <FLXAn_base> + 0400_H ～ <FLXAn_base> + $05FF_H$ への読み出しあるいは書き込みアクセスはできません。また、FLXAnFRSUCC1.CMD レジスタに CLEAR_RAMS コマンドを書き込むことはできません。

入力転送キューインデックスと関連するステータスフラグは、本ビットが “0” から “1” に変化すると、“0” になります。

〔クリア条件〕

FLXAnFRITC レジスタの ITE ビットが “0” にセットされ保留中の入力転送がない場合、すぐに本ビットはクリアされます。

すべての保留中の要求が処理され FLXAnFRITC レジスタの ITE ビットが “0” にセットされたあと、本ビットはクリアされます。

〔セット条件〕

FLXAnFRITC レジスタの ITE ビットが “1” にセットされると、本ビットはセットされます。

21.2.13.2 FLXAnFROTS — FlexRay 出力転送ステータスレジスタ

アクセス FLXAnFROTS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROTSL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROTSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROTSLL、FLXAnFROTSHL、FLXAnFROTSHH レジスタは、8 ビット単位でリードのみ可能です。
FLXAnFROTSLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFROTS: <FLXAn_base> + 0824_H,
FLXAnFROTSL: <FLXAn_base> + 0824_H、FLXAnFROTSH: <FLXAn_base> + 0826_H,
FLXAnFROTSLL: <FLXAn_base> + 0824_H、FLXAnFROTSLH: <FLXAn_base> + 0825_H,
FLXAnFROTSHL: <FLXAn_base> + 0826_H、FLXAnFROTSHH: <FLXAn_base> + 0827_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	FFL[5:0]						—	—	—	FGIDX[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FWP	OWP	FDA	—	FWIS	OWIS	FIS	OTIS	—	—	—	—	—	UORP	—	OTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 21.94 FLXAnFROTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 30	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
29 ～ 24	FFL[5:0]	FIFO フィルレベルビット 未処理の出力 FIFO 構造数を表します。
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
20 ～ 16	FGIDX[4:0]	FIFO ゲットインデックスビット FIFO ポインタテーブル内のゲットインデックスを示します。
15	FWP	FIFO 転送警告条件保留ビット 0: 保留中の FIFO 転送警告条件なし 1: 保留中の FIFO 転送警告条件あり
14	OWP	出力転送警告条件保留ビット 0: 保留中の出力転送警告条件なし 1: 保留中の出力転送警告条件あり
13	FDA	FIFO データ使用可能ビット 0: 使用可能な FIFO 構造なし 1: 現在の FLXAnFROTS.FGIDX インデックスの位置の FIFO 構造が使用可能
12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
11	FWIS	FIFO 転送警告割り込みステータスビット 0: FIFO 転送警告条件検出せず 1: FIFO 転送警告条件検出
10	OWIS	出力転送警告割り込みステータスビット 0: 出力転送警告条件検出せず 1: 出力転送警告条件検出
9	FIS	FIFO 転送割り込みステータスビット 0: Local RAM や Global RAM 内で更新された FIFO 構造なし 1: Local RAM や Global RAM 内で FIFO 構造更新

表 21.94 FLXAnFROTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	OTIS	出力転送割り込みステータスビット 0: Local RAM や Global RAM 内で更新された出力構造なし 1: Local RAM や Global RAM 内で出力構造更新
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
2	UORP	ユーザ出力転送要求保留ビット 0: 保留中のユーザ出力転送なし 1: ユーザ出力転送保留中
1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	OTS	出力転送ステータスビット 0: 無効 1: 有効

(1) FLXAnFROTS.FFL

FIFO フィルレベルビット

Local RAM や Global RAM 内の使用可能な出力 FIFO 構造の数を表します。

有効値：00_H ～ FLXAnFROTC.FTM +1

値 00_H は、FIFO がエンプティであることを示します。

値 FLXAnFROTC.FTM+1 は、FIFO がフル状態でこれ以上 FIFO 転送できないことを示します。

１つの FIFO データ構造が FlexRay 内部 FIFO から Local RAM や Global RAM へ転送されると、本ビットはインクリメントされます。

ユーザが FDA ビットに “1” を書き込んで Local RAM や Global RAM 内の 1 つの FIFO データ構造を解放すると、本ビットはデクリメントされます。

OTS ビットが “0” から “1” に変化すると、本ビットに 00_H がセットされます。

(2) FLXAnFROTS.FGIDX

FIFO ゲットインデックスビット

FIFO ポインタテーブル内で現在の出力データ構造ポインタを読み出すことができる位置を示すインデックスです。

有効値：00_H ～ FLXAnFROTC.FTM

最大値に到達するとゲットインデックスは 00_H から続けます。

FDA ビットに “1” が書き込まれ 1 つの FIFO データ構造が解放されると、このインデックスはインクリメントされます。

OTS ビットが “0” から “1” に変化すると、このインデックスは 00_H になります。

(3) FLXAnFROTS.FWP

FIFO 転送警告条件保留ビット

FIFO 転送警告条件を示します。

〔クリア条件〕

フリーな出力データ構造がある場合（FLXAnFROTS.FFL ≦ FLXAnFROTC.FTM）本ビットはクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

出力転送ハンドラが FIFO メッセージバッファへの転送条件を検出したにもかかわらずフリーな出力データ構造がない場合（FLXAnFROTS.FFL = FLXAnFROTC.FTM+1）、本ビットはセットされます。

(4) FLXAnFROTS.OWP

出力転送警告条件保留ビット

出力転送警告条件を示します。

〔クリア条件〕

出力ハンドラ転送条件保留中と検出されたすべての出力構造ポインタが解放される（専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け）と、本ビットはクリアされます。

FLXAnFROTS.OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

出力転送ハンドラが転送条件を検出した（専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け）にもかかわらず関連する出力構造ポインタがアプリケーションによってまだ解放されていない場合（データ使用可能フラグが “1” のまま）、本ビットはセットされます。

出力転送ハンドラが専用の送信および受信メッセージバッファへの転送条件を検出したにもかかわらず同じメッセージバッファに対して保留中の入力転送がある場合（データ使用可能フラグが入力転送要求のために “1” にセットされている）、本ビットはセットされます。

(5) FLXAnFROTS.FDA

FIFO データ使用可能ビット

“0” を書き込んでも影響はありません。

本ビットが “1” の場合、次の有効な出力データ構造は使用可能です。

関連するデータ構造ポインタは FIFO ポインタテーブルの FGIDX ビットの位置にあります。

本ビットに “1” を書き込むと、

- FLXAnFROTS.FGIDX ビットがインクリメントされ、
- FIFO フィルレベルビット（FLXAnFROTS.FFL）がデクリメントされます。

未処理のデータ構造がある場合、本ビットは “1” のままです。

〔クリア条件〕

本ビットに “1” が書き込まれ FIFO フィルレベルビットが 00_H になると、本ビットはクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

Local RAM や Global RAM 内に少なくとも 1 つ使用可能な FIFO データ構造がある場合、本ビットはセットされます。

(6) FLXAnFROTS.FWIS

FIFO 転送警告割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXAnFROTC レジスタの FWIE ビットが有効であると、本ビットが “1” の場合 FIFO 転送警告割り込みが発生します。

〔クリア条件〕

本ビットに “1” を書き込むとクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

出力転送ハンドラが FIFO メッセージバッファへの転送条件を検出したにもかかわらずフリーな出力データ構造がない場合（FLXAnFROTS.FFL = FLXAnFROTC.FTM+1）、本ビットはセットされます。

(7) FLXAnFROTS.OWIS

出力転送警告割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXAnFROTC レジスタの OWIE ビットが有効であると、本ビットが “1” の場合出力転送警告割り込みが発生します。

〔クリア条件〕

本ビットに “1” を書き込むとクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

出力転送ハンドラが転送条件を検出した（専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け）にもかかわらず関連する出力構造ポインタがアプリケーションによってまだ解放されていない場合（データ使用可能フラグが “1” のまま）、本ビットはセットされます。

出力転送ハンドラが専用の送信および受信メッセージバッファへの転送条件を検出したにもかかわらず同じメッセージバッファに対して保留中の入力転送がある場合（データ使用可能フラグが入力転送要求のために “1” にセットされている）、本ビットはセットされます。

(8) FLXAnFROTS.FIS

FIFO 転送割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXAnFROTC レジスタの FIE ビットが有効であると、本ビットが “1” の場合 FIFO 転送割り込みが発生します。

〔クリア条件〕

本ビットに “1” を書き込むとクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

FIFO データ構造が転送ハンドラによって更新されると、また、FFL ビットが 00_H から 01_H に変化すると、本ビットはセットされます。

(9) FLXAnFROTS.OTIS

出力転送割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXAnFROTC レジスタの OIE ビットが有効であると、本ビットが “1” の場合出力転送割り込みが発生します。

〔クリア条件〕

本ビットに “1” を書き込むとクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

出力データ構造が転送ハンドラによって更新される（専用の送信あるいは受信メッセージバッファから、あるいはユーザ出力転送要求によって）と、本ビットはセットされます。

(10) FLXAnFROTS.UORP

ユーザ出力転送要求保留ビット

ユーザ出力転送が保留中であることを示します。

本ビットが “1” の場合、さらに FLXAnFRUOR レジスタの UMBNR ビットへ書き込みアクセスを行うことはできません。

〔クリア条件〕

ユーザ出力転送要求が出力転送ハンドラによって処理された場合、本ビットはクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

〔セット条件〕

FLXAnFRUOR レジスタの UMBNR ビットへ書き込むと、本ビットはセットされます。

(11) FLXAnFROTS.OTS

出力転送ステータスビット

出力転送ハンドラの状態を示します。

本ビットが “1” の間、アドレスエリア <FLXAn_base> + 0600_H ～ <FLXAn_base> + $07FF_H$ への読み出しもしくは書き込みアクセスはできません。また、FLXAnFRSUCC1.CMD レジスタへ CLEAR_RAMS コマンドを提供することはできません。

本ビットが “1” の間、E-Ray メッセージ RAM の設定を FLXAnFRMRC レジスタへの書き込みによって変更することはできません。

出力ハンドラ転送インデックスおよび関連する状態フラグは、本ビットが “0” から “1” に変化すると “0” にセットされます。

〔クリア条件〕

OTE ビットが “0” にセットされ動作中の出力転送がない場合、すぐに本ビットはクリアされます。

動作中の転送が完了後 FLXAnFROTC レジスタの OTE ビットが “0” の場合、本ビットはクリアされます。

〔セット条件〕

FLXAnFROTC レジスタの OTE ビットが “1” の場合、本ビットはセットされます。

21.2.13.3 FLXAnFRAES — FlexRay アクセスエラーステータスレジスタ

アクセス FLXAnFRAES レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRAESL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRAESLL レジスタは、8 ビット単位でリードのみ可能です。
FLXAnFRAESLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRAES: <FLXAn_base> + 0828_H,
FLXAnFRAESL: <FLXAn_base> + 0828_H,
FLXAnFRAESLL: <FLXAn_base> + 0828_H、FLXAnFRAESLH: <FLXAn_base> + 0829_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MAE	FAE	OAE	IAE	EIDX[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 21.95 FLXAnFRAES レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
11	MAE	複数アクセスエラービット 0: 複数のアクセスエラーなし 1: 複数のアクセスエラー発生
10	FAE	FIFO 転送アクセスエラービット 0: FIFO 転送中にアクセスエラーなし 1: FIFO 転送中にアクセスエラー発生
9	OAE	出力転送アクセスエラービット 0: 出力転送中にアクセスエラーなし 1: 出力転送中にアクセスエラー発生
8	IAE	入力転送アクセスエラービット 0: 入力転送中にアクセスエラーなし 1: 入力転送中にアクセスエラー発生
7 ～ 0	EIDX[7:0]	エラーインデックスビット データ転送ポインタインデックス番号

(1) FLXAnFRAES.MAE レジスタの内容

複数アクセスエラービット

“0” を書き込んでも影響はありません。

データ転送中に複数のエラーが発生したことを示します。

〔クリア条件〕

本ビットに “1” を書き込むとクリアされます。

〔セット条件〕

FAE 、OAE あるいは IAE ビットがセットされ、かつ次の条件のうち 1 つが満たされると本ビットはセットされます。

- FIFO データ転送中に保護されたアドレスへのアクセス発生
- 出力データ転送中に保護されたアドレスへのアクセス発生
- 入力データ転送中に保護されたアドレスへのアクセス発生

(2) FLXAnFRAES.FAE

FIFO 転送アクセスエラービット

“0” を書き込んでも影響はありません。

FIFO データ転送中に 1 回アクセスエラーが発生したことを示します。

〔クリア条件〕

本ビットに “1” を書き込むとクリアされます。

〔セット条件〕

FIFO 転送中に Local RAM や Global RAM アクセスエラーが検出され OAE 、IAE 、MAE ビットが “0” の場合、本ビットはセットされます。

(3) FLXAnFRAES.OAE

出力転送アクセスエラービット

“0” を書き込んでも影響はありません。

出力データ転送中に 1 回アクセスエラーが発生したことを示します。

〔クリア条件〕

本ビットに “1” を書き込むとクリアされます。

〔セット条件〕

出力転送中に Local RAM や Global RAM アクセスエラーが検出され FAE 、IAE 、MAE ビットが “0” の場合、本ビットはセットされます。

(4) FLXAnFRAES.IAE

入力転送アクセスエラービット

“0” を書き込んでも影響はありません。

入力データ転送中に 1 回アクセスエラーが発生したことを示します。

〔クリア条件〕

本ビットに “1” を書き込むとクリアされます。

〔セット条件〕

入力転送中に Local RAM や Global RAM アクセスエラーが検出され OAE 、FAE 、MAE ビットが “0” の場合、本ビットはセットされます。

(5) FLXAnFRAES.EIDX

エラーインデックスビット

FAE 、OAE 、あるいは IAE ビットのうち 1 つが “1” の場合のみ有効です。

FAE ビットが “1” の場合、本ビットはアクセスエラーが発生した際に使用された FIFO プットインデックスの値を保持します。

OAE ビットが “1” の場合、本ビットはアクセスエラーが発生した際に使用された出力テーブルエントリ（メッセージバッファ番号に関連）を保持します。

IAE ビットが “1” の場合、本ビットは、入力転送中にアクセスエラーが発生したとき、またはユーザが入力転送を要求したときに使用された入力ポインタテーブルゲットインデックスを保持します。

FAE 、OAE 、あるいは IAE ビットのうち 1 つが “0” から “1” に変化すると、本ビットは更新されます。

21.2.13.4 FLXAnFRAEA — FlexRay アクセスエラーアドレスレジスタ

アクセス FLXAnFRAEA レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRAEAL、FLXAnFRAEAH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRAEALL、FLXAnFRAEALH、FLXAnFRAEAHL、FLXAnFRAEAHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRAEA: <FLXAn_base> + $082C_H$,
FLXAnFRAEAL: <FLXAn_base> + $082C_H$、FLXAnFRAEAH: <FLXAn_base> + $082E_H$,
FLXAnFRAEALL: <FLXAn_base> + $082C_H$、FLXAnFRAEALH: <FLXAn_base> + $082D_H$,
FLXAnFRAEAHL: <FLXAn_base> + $082E_H$、FLXAnFRAEAHH: <FLXAn_base> + $082F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AEA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AEA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.96 FLXAnFRAEA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	AEA[31:0]	アクセスエラーアドレスビット アクセスエラーが発生したときの Local RAM や Global RAM 内のアドレス

(1) FLXAnFRAEA.AEA

アクセスエラーアドレスビット

FAE 、OAE 、あるいは IAE ビットのうち 1 つが “1” の場合のみ有効です。

FLXAnFRAES レジスタ内で示されたアクセスエラーのアドレスを表します。

FAE 、OAE 、あるいは IAE ビットのうち 1 つが “0” から “1” に変化すると、本ビットは更新されます。

21.2.13.5 FLXAnFRDAi — FlexRay メッセージデータ使用可能レジスタ i（i = 0 ～ 3）

アクセス FLXAnFRDAi レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRDAiL、FLXAnFRDAiH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRDAiLL、FLXAnFRDAiLH、FLXAnFRDAiHL、FLXAnFRDAiHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRDAx: <FLXAn_base> + 0830_H + i × 4_H,
FLXAnFRDAxL: <FLXAn_base> + 0830_H + i × 4_H,
FLXAnFRDAxH: <FLXAn_base> + 0830_H + i × 4_H + 2_H,
FLXAnFRDAxLL: <FLXAn_base> + 0830_H + i × 4_H,
FLXAnFRDAxLH: <FLXAn_base> + 0830_H + i × 4_H + 1_H,
FLXAnFRDAxHL: <FLXAn_base> + 0830_H + i × 4_H + 2_H,
FLXAnFRDAxHH: <FLXAn_base> + 0830_H + i × 4_H + 3_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAb(b = i ×32 + 31 ～ i × 32 + 16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAb(b = i ×32 + 15 ～ i × 32 + 0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.97 FLXAnFRDAi レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DAb	データ使用可能ビット 0: 使用可能なデータなし 1: 使用可能なデータあり

(1) FLXAnFRDAi.DAb（b = i × 32 ～（i + 1）× 32 - 1）

データ使用可能ビット b

“0” のビットに “1” を書き込むことはできません。

入力転送のステータスを維持するため、入力転送に関連するビットをクリアすることはできません。

本レジスタは、入力および出力転送用に使用されます。

各フラグは FlexRay メッセージバッファに対応します。

〔クリア条件〕

入力転送 :

入力データ構造が Local RAM や Global RAM から転送されると、本ビットはクリアされます。データ構造およびデータ構造ポインタは関連するフラグが “0” のとき変更可能です。

出力転送 :

“1” を書き込むと本ビットはクリアされます。

〔セット条件〕

入力転送 :

対応するメッセージバッファ番号が FLXAnFRIQC.IMBNR に書き込まれると、本ビットはセットされます。

本ビットが “1” である限り、この入力転送要求に対応する入力データ構造およびデータ構造ポインタを変更することはできません。

出力転送 :

このメッセージバッファに対応する出力データ構造が更新されると、本ビットはセットされます。

本ビットが “1” である限り、データ構造は持続します。出力ハンドラによるデータ構造の更新は行われません。本ビットが “1” である間、アプリケーションにはこのメッセージバッファ番号の出力ポインタテーブル内の出力データ構造ポインタを変更することが許可されます。

21.3 機能説明

本章では FlexRay のインプリメンテーションについて、関連する FlexRay プロトコルの特長とあわせて説明します。FlexRay プロトコルについての詳細な情報については FlexRay 通信システムプロトコル仕様を参照してください。

21.3.1 FlexRay モジュール動作制御

21.3.1.1 FlexRay モジュールイネーブル

ハードウェアリセット後あるいは FlexRay モジュールがディセーブル（**「21.3.1.2 FlexRay モジュールディセーブル」**参照）になったあと FlexRay モジュールはリセット状態になり（FLXAnFROS.OS は '0'）、FlexRay コアモジュールのクロックはディセーブルになります。

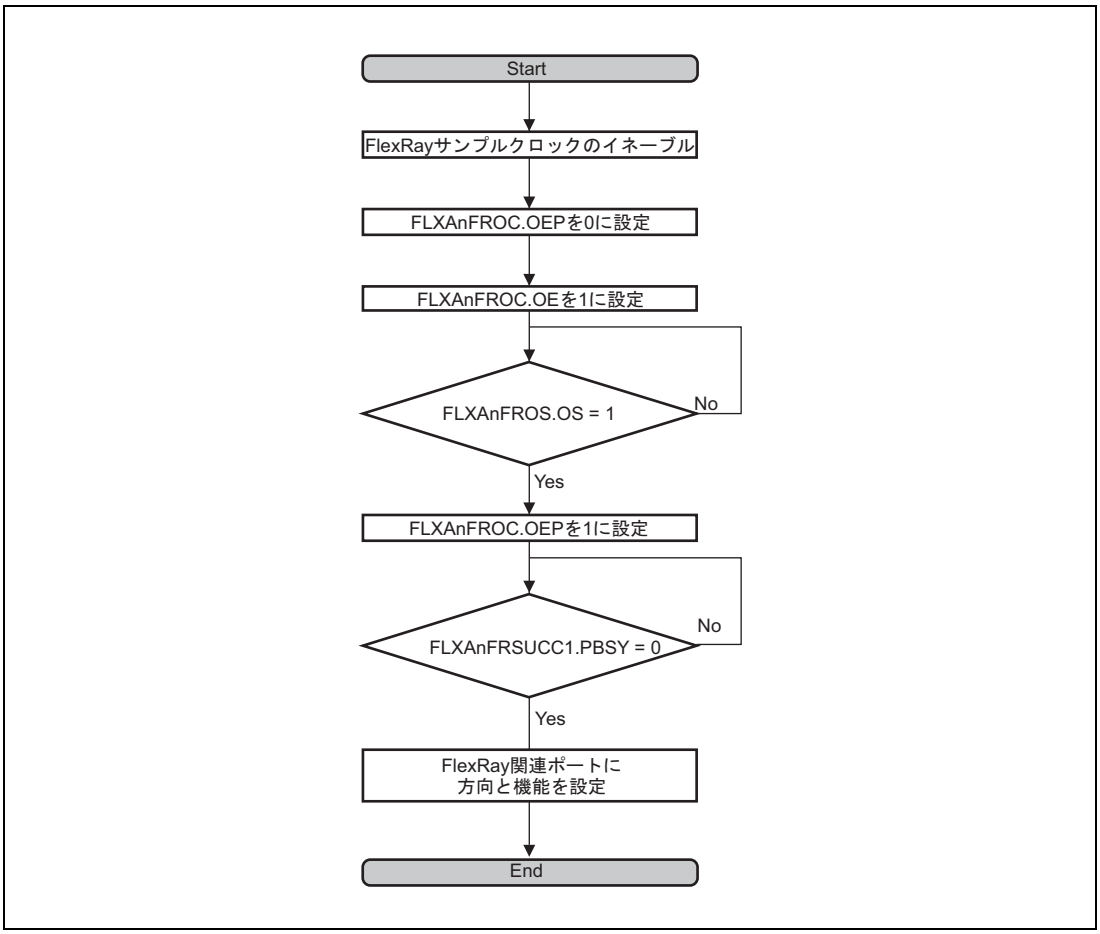


図 21.3 FlexRay イネーブルの流れ

21.3.1.2 FlexRay モジュールディセーブル

FlexRay モジュールはいつでもディセーブルにできます。しかし、FLXAnFROC.OE レジスタを使用して FlexRay モジュールをディセーブルにするのは、FlexRay モジュールが HALT、CONFIG、あるいは DEFAULT_CONFIG 状態のときのみにすることをお勧めします。ほかの状態のときに FlexRay モジュールをリセットすると動作中の FlexRay 通信を中止することになります。

データ転送機能を使用している場合、FlexRay モジュールをディセーブルにする前にその機能をディセーブルすることも必要です。（入力転送機能の中断については**「21.3.16.1 (1)**

起動および停止」を、出力転送の中断については「**21.3.16.2 (2) 出力転送データ構造**」を参照してください。）

FlexRay モジュールをディセーブルするには次に示すフローで行います。

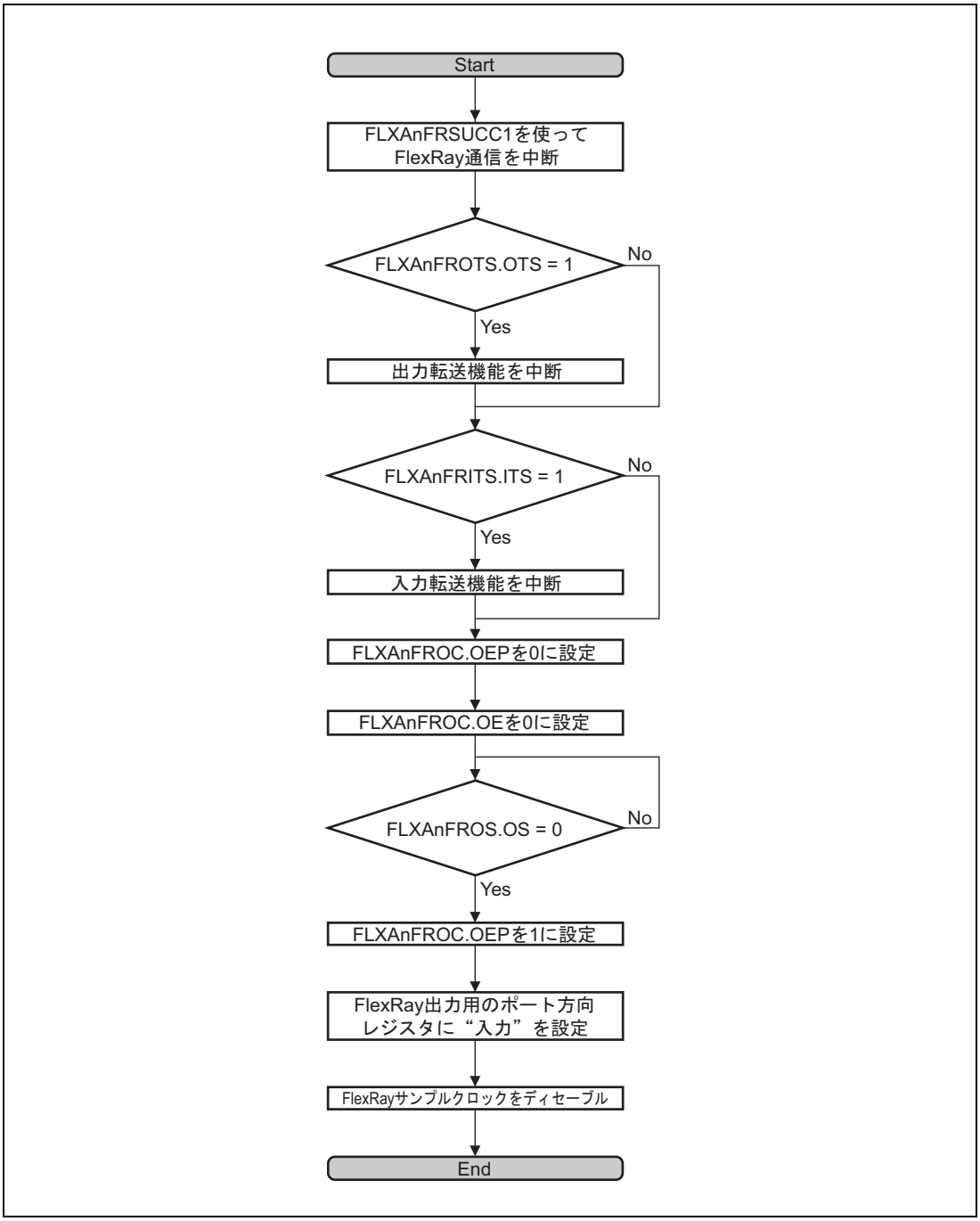


図 21.4 FlexRay ディセーブルの流れ

21.3.2 通信サイクル

FlexRay ネットワーク上の通信は、フレームとシンボルがベースになっています。ウェイクアップシンボル（WUS）および衝突回避シンボル（CAS）は、タイムスケジュールをセットアップするために通信サイクル外で転送されます。フレームおよびメディアアクセステストシンボル（MTS）は、通信サイクル内で転送されます。

FlexRay 通信 サイクルは以下の 4 つの部分で構成されます。

- スタティックセグメント
- ダイナミックセグメント（オプション）
- シンボルウィンドウ（オプション）
- ネットワークアイドル時間（NIT）

スタティックセグメント、ダイナミックセグメント、およびシンボルウィンドウでネットワーク通信時間（NCT）が構成されます。通信チャネルごとにスロットカウンタは 1 から始まりダイナミックセグメントの終了時に到達するまでカウントアップされます。両チャネルは同じ調停グリッドつまり、同じ同期 MT 値を使用します。

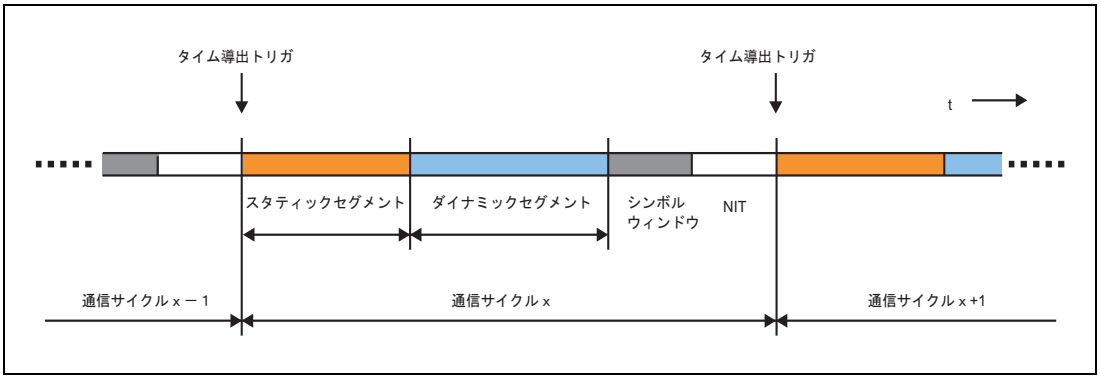


図 21.5 通信サイクルの構造

21.3.2.1 スタティックセグメント

スタティックセグメントには以下の特長があります。

- タイムスロットが固定長（オプションとしてバスガーディアンによるプロテクトあり）
- 各スタティックスロットのアクションポイントでフレーム送信開始
- 両チャネルのすべてのフレームで同じペイロード長

パラメータ：

スタティックスロット数（FLXAnFRGTUC7.NSS）

スタティックスロット長（FLXAnFRGTUC7.SSL）

スタティックフレームペイロード長（FLXAnFRMHDC.SFDL）

アクションポイントオフセット（FLXAnFRGTUC9.APO）

21.3.2.2 ダイナミックセグメント

ダイナミックセグメントには以下の特長があります。

- すべてのコントローラにバスアクセスあり（バスガーディアンによるプロテクト不可）
- 可変ペイロード長、可変スロット長、チャネルごとに異なる設定
- ミニスロットアクションポイントでフレーム送信開始

パラメータ：

ミニスロット数（FLXAnFRGTUC8.NMS）

ミニスロット長（FLXAnFRGTUC8.MSL）

ミニスロットアクションポイントオフセット（FLXAnFRGTUC9.MAPO）

最終送信開始（最終ミニスロット）（FLXAnFRMHDC.SLT）

21.3.2.3 シンボルウィンドウ

シンボルウィンドウ期間中、メディアアクセステストシンボル（MTS）は各チャネルで 1 回だけ送信できます。

MTS シンボルは NORMAL_ACTIVE 状態でバスガーディアンをテストするために送信されます。

シンボルウィンドウには以下の特長があります。

- 1 つのシンボル送信
- MTS シンボルの送信はシンボルウィンドウアクションポイントで開始

パラメータ：

シンボルウィンドウアクションポイントオフセット（FLXAnFRGTUC9.APO）（スタティックスロットと同じ）

ネットワークアイドル時間開始位置（FLXAnFRGTUC4.NIT）

21.3.2.4 ネットワークアイドル時間（NIT）

ネットワークアイドル時間中、CC は以下の処理を行います。

- クロック補正項（オフセットおよびレート）の計算
- オフセット補正開始後、複数の MT にわたってオフセット補正値を分散
- タスク関連のクラスタサイクル実行

パラメータ：

ネットワークアイドル時間開始位置設定（FLXAnFRGTUC4.NIT）

オフセット補正開始位置設定（FLXAnFRGTUC4.OCS）

21.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定

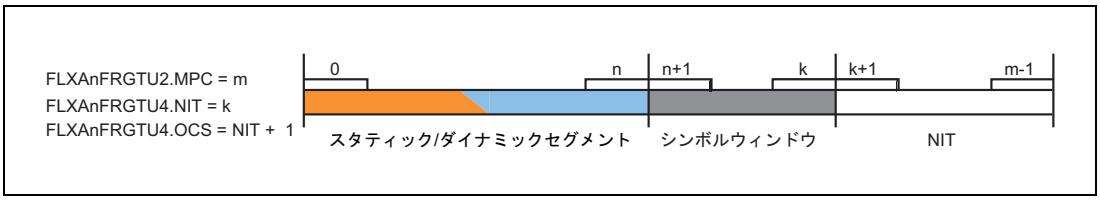


図 21.6 NIT 開始位置とオフセット補正開始位置の設定

サイクル当たりの MT 数（gMacroPerCycle）を m とすると、FLXAnFRGTUC2 レジスタの MPC ビットの設定値は m となります。

スタティック / ダイナミックセグメントは、MT 値 0 で開始、n で終了します。ここで n は、

n = スタティックセグメント長 + ダイナミックセグメントオフセット + ダイナミックセグメント長 -1MT

n = gNumberOfStaticSlots o gdStaticSlot + ダイナミックセグメントオフセット + gNumberOfMinislots o gdMinislot - 1 MT

スタティックセグメント長は FLXAnFRGTUC7.SSL および FLXAnFRGTUC7.NSS で設定します。

ダイナミックセグメント長は FLXAnFRGTUC8.MSL および FLXAnFRGTUC8.NMS で設定します。

ダイナミックセグメントオフセットは、

gdActionPointOffset ≦ gdMinislotActionPointOffset: の場合

ダイナミックセグメントオフセット = 0MT

gdActionPointOffset > gdMinislotActionPointOffset の場合

ダイナミックセグメントオフセット = gdActionPointOffset - gdMinislotActionPointOffset

NIT は MT 値 k+1 で開始、サイクルの最終 MT:m-1 で終了します。NIT は、FLXAnFRGTUC4.NIT = k で設定します。

本モジュールでは、オフセット補正開始位置は “FLXAnFRGTUC4.OCS ≧ FLXAnFRGTUC4.NIT + 1 = k+1” を満たす必要があります。

シンボルウィンドウ長は、スタティック / ダイナミックセグメントの終了時から NIT の開始点までの MT 数（k-n）で決まります。

21.3.3 通信モード

FlexRay プロトコル仕様書では、タイムトリガ式分散（TT-D）モードを定義しています。

21.3.3.1 タイムトリガ式分散（TT-D）

TT-D モードでは以下の設定が可能です。

- スタティック専用 : スタティックスロット 2 個以上 + シンボルウィンドウ（オプション）
- スタティック / ダイナミック混合:スタティックスロット 2 個以上 + ダイナミックセグメント + シンボルウィンドウ（オプション）

タイムトリガ式分散動作には、最低 2 つの Coldstart ノードが必要です。クラスタのスタートアップには 2 つの正常な Coldstart ノードが必要です。各 Startup フレームは Sync フレームでなければならず、そのためすべての Coldstart ノードは Sync ノードになります。

21.3.4 クロック同期

TT-D モードでは分散クロック同期が使用されます。各ノードは、他のノードから受信した Sync フレームのタイミングに応じて個別にクラスタに同期します。

21.3.4.1 グローバルタイム

FlexRay ノードにおいて、通信などの動作は、グローバルタイムという概念に基づいて行われます。FlexRay クラスタと個別のクロックメカニズムを持つ他のノード群とを区別しているのは、このクロック同期メカニズムです。グローバルタイムは、サイクル（サイクルカウンタ）とサイクルタイム（MT カウンタ）という 2 つの値からなるベクタです。

クラスタ定義 :

- MT = FlexRay ネットワークにおける時間計測の基本単位。1MT は整数個の μT で構成されます。
- サイクル長 = MT 単位の通信サイクル時間

21.3.4.2 ローカルタイム

内部的には、ノードは自身の動作を μT の解像度で計測します。μT は特定のノードにおける発振クロックから得られる時間の単位です。したがって μT はコントローラ個別の単位です。μT はコントローラによって長さが異なる可能性があります。1 つのノードのローカルタイムの誤差計測の精度が μT です。

ノード定義 :

- 発振クロック→プリスケーラ→ μT
- μT = CC における時間計測の基本単位。クロック補正は μT 単位で行います。
- サイクルカウンタ +MT カウンタ = ノードから見たグローバルタイム

21.3.4.3 同期プロセス

クロック同期は Sync フレームを用いて行われます。Sync フレームを送信できるのは、事前に設定されたノード（Sync ノード）のみです。2 チャネル構成のクラスタでは、Sync ノードは両方のチャネルに Sync フレームを送信しなければなりません。

FlexRay で同期を行うには、以下の制限を考慮する必要があります。

- 1 通信サイクルにおけるノードあたりの Sync フレーム数は最大 1
- 1 通信サイクルにおけるクラスタあたりの Sync フレーム数は最大 15
- 各ノードは事前に設定された Sync フレーム数（FLXAnFRGTUC2.SNM）をクロック同期に使用しなければならない
- クロック同期およびスタートアップ用として最低 2 つの Sync ノードが必要

クロック同期を行うには、スタティックセグメント内で受信された Sync フレームの到達時間の期待値と実測値の差を計測します。2 チャネル構成のクラスタでは、両チャネルで Sync フレームを送信するように Sync ノードを設定してください。補正項の計算は NIT 期間中（オフセットはすべてのサイクル、レートはすべての奇数サイクル）に FTM アルゴリズムによって行います。詳細は FlexRay プロトコル仕様書の第 8 章を参照してください。

(1) オフセット（位相）補正

- 通信中のサイクルで計測、格納された偏差値のみを使用
- 2 チャネルノードの場合、より小さい方の値を採用
- すべての通信サイクルの NIT 期間に計算
- 偶数サイクルで計算されたオフセット補正値はエラーチェックのみに使用
- 上限値をチェック
- 補正値は符号付き整数の μT 値
- 奇数サイクルで計算された補正値を、次のサイクルの開始位置をずらすために、オフセット補正開始からサイクルの終わり（NIT の終了時）までの MT に分散（MT 長設定）

(2) レート（周波数）補正

- 偶数 / 奇数サイクルペアで計測、格納された 1 対の偏差値を使用
- 2 チャネルノードの場合、両チャネルの差の平均値を使用
- 奇数サイクルの NIT 期間に計算
- クラスタドリフトダンピングにグローバルダンピング値を使用
- 上限値をチェック
- 補正値は符号付き整数の μT 値
- 次の偶数 / 奇数サイクルペアを構成する MT に分散（MT 長設定）

(3) Sync フレーム送信

Sync フレームの送信はバッファ 0 および 1 からのみ可能です。メッセージバッファ 1 が Sync フレーム送信用となるのは、2 つのチャネルで Sync フレームのペイロードが異なる場合です。この場合、FLXAnFRMRC レジスタの SPLM ビットを “1” にセットしてください。

Sync フレーム送信に使用するメッセージバッファにはキースロット ID の設定が必要です。設定は DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。Sync フレームを送信するノードでは、FLXAnFRSUCC1 レジスタの TXSY ビットを “1” にセットしてください。

(4) 外部クロック同期

通常のオペレーションにおいて、独立したクラスタ間ではかなりのクロック誤差が生じる可能性があります。

独立したクラスタ間の同期をとるには、各クラスタ内のノード間が同期しているかどうかにかかわらず、外部同期が必要となります。外部同期にはクラスタに対するレート補正値、オフセット補正値を推測する同期アプリケーションが必要です。

- 外部オフセット / レート補正値は符号付き整数
- 外部オフセット / レート補正値は、計算されたオフセット / レート補正値に加算されます
- 総合オフセット / レート補正値（内部 + 外部）は設定された上限値に対しチェックされません

21.3.5 エラー処理

本モジュールにおけるエラー処理は、単一ノードで下位レイヤのプロトコルエラーが発生しても、影響を受けないノード間の通信は継続できることを保証するものです。場合によっては、通常動作を再開するために上位レイヤでのプログラム処理が必要な場合もあります。エラー処理状態が変化すると FLXAnFREIR.PEMC フラグが “1” にセットされます。また割り込みが許可されている場合、割り込み要求が発生します。FLXAnFRCCEV.ERRM により現在のエラーモードを確認できます。

表 21.98 POC のエラーモード（劣化モデル）

エラーモード	動作
ACTIVE	完全稼働 状態：NORMAL_ACTIVE CC が完全に同期し、クラスタ内クロック同期をサポートしています。CPU は、割り込み（許可されている場合）または FLXAnFREIR レジスタ、FLXAnFRSIR レジスタのエラー / ステータス割り込みフラグを読み出すことによりすべてのエラーとステータス変化を知ることができます。
PASSIVE	縮小稼働 状態：NORMAL_PASSIVE、CC 自動復帰可能 CC はフレームとシンボルの送信を停止し、受信済みフレームの処理のみ実行します。クロック同期メカニズムは受信済みフレームに基づき継続します。クラスタ内クロック同期に関しては積極的には関与しません。CPU は、割り込み（許可されている場合）または FLXAnFREIR レジスタ、FLXAnFRSIR レジスタのエラー / ステータス割り込みフラグを読み出すことによりすべてのエラーとステータス変化を知ることができます。
COMM_HALT	稼動停止 状態：HALT、CC 自動復帰禁止 CC はフレームおよびシンボルの処理、クロック同期処理、MT 生成を停止します。CPU は、FLXAnFREIR レジスタ、FLXAnFRSIR レジスタのエラー / ステータス割り込みフラグを読み出すことで、エラー / ステータス情報にアクセスすることができます。バスドライバは無効です。

21.3.5.1 クロック補正失敗カウンタ

クロック補正失敗カウンタが、FLXAnFRSUCC3.WCP で定義している「クロック補正回数最大値」に達すると、POC は NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態に遷移します。また、FLXAnFRSUCC3.WCF で定義している「クロック補正エラー回数最大値」に達すると、NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態から HALT 状態に遷移します。

CC がプロトコルスタートアップフェーズを終了した後、クロック補正失敗カウンタ（FLXAnFRCCEV.CCFC）を読み出すと、ノードがクロック補正項を計算できなかった期間がわかります。クロック補正失敗カウンタは、オフセット補正欠落フラグ（FLXAnFRSFS.MOCS）またはレート補正欠落フラグ（FLXAnFRSFS.MRCS）のいずれかが “1” のとき、奇数コミュニケーションサイクルの終了時にインクリメントされます。

いずれのフラグも “1” でない場合、クロック補正失敗カウンタは奇数コミュニケーションサイクルの終了時に 0 にクリアされます。

「クロック補正エラー回数最大値」に達すると、クロック補正失敗カウンタは停止します（最大値に達してからインクリメントしても 0 に戻りません）。CC が READY 状態に入るか、NORMAL_ACTIVE 状態になると、クロック補正失敗カウンタは 0 に初期化されます。

注 意

FLXAnFRSUCC1.HCSE が “1” に設定されていない場合、HALT 状態への遷移はできません。

21.3.5.2 Passive-to-Active カウンタ

Passive to Active カウンタは、POC の NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移を制御します。FLXAnFRSUCC1.PTA は、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移が許可される前に必要となる、クロック補正に成功した連続した偶数 / 奇数サイクルペア数を設定します。

FLXAnFRSUCC1.PTA が 0 の場合、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移はできません。

21.3.5.3 HALT コマンド

ローカルノードの FlexRay 通信を停止するには、HALT コマンドを発行することで CC を HALT 状態にします。HALT コマンドは FLXAnFRSUCC1.CMD ビットに “0110_B” を書き込むことで実現します。FlexRay ネットワーク全体の通信を停止する場合は、すべてのノードが同時に HALT コマンドを適用するように、上位レイヤプロトコルが確認する必要があります。

HALT 状態へ遷移する前の POC の状態は、FLXAnFRCCSV.PSL フラグから読み出せます。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で HALT コマンドが発行された場合、POC は現行サイクルの終了時に HALT 状態に遷移します。それ以外の状態で発行された場合、FLXAnFRSUCC1.CMD ビットは “0000_B”（無効コマンド）になり、FLXAnFREIR.CNA フラグが “1” にセットされます。割り込みが許可されている場合、割り込み要求が発生します

21.3.5.4 FREEZE コマンド

CPU は、重大なエラー状態を検出した場合、FREEZE コマンドを発行することで CC を HALT 状態にします。

FREEZE コマンドは FLXAnFRSUCC1.CMD ビットに “0111_B” を書き込むことで実現します。FREEZE コマンドは、現在の POC の状態に関係なくただちに HALT 状態に遷移させます。

HALT 状態へ遷移する前の POC の状態は、FLXAnFRCCSV.PSL フラグから読み出せます。

注　意

FREEZE コマンド または READY コマンドによって通信を停止した後に Leading Coldstart ノードとして再びスタートアップしたとき、FlexRay モジュールの内部状態によって、サイクル 0 で Startup フレームを送信しない場合があります。この現象は Startup フレームをスロット 1 ～スロット 7 のいずれかのスロットに設定している場合に発生します。
ハードウェアリセット後の ColdStart ではこの現象は発生しません。
この現象が発生した場合においても、2 回目の ColdStart の試みは成功します。ColdStart 時間が長くなりますが、FlexRay システムの ColdStart はこの現象によって阻害されません。
この現象を回避したい場合は、Startup/Sync フレームをスタティックスロット 8 以上のスタティックスロットに配置してください。

21.3.6 通信コントローラの状態

21.3.6.1 通信コントローラ状態遷移図

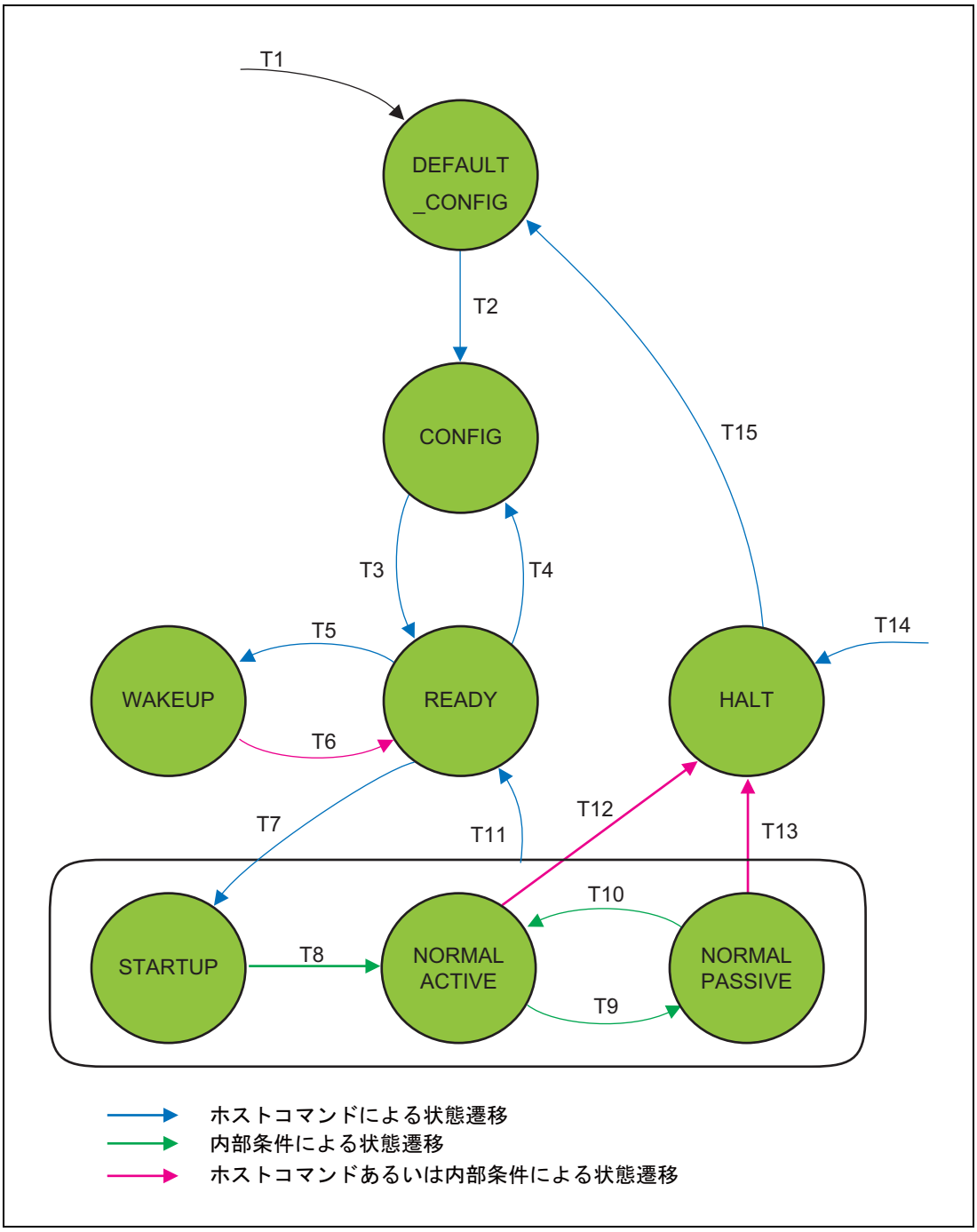


図 21.7 FlexRay 通信コントローラの状態遷移図

状態遷移は、リセット、FLXAnFR0RXDA、FLXAnFR0RXDB、POC ステートマシン、CHI コマンドベクタ（FLXAnFRSUCC1.CMD）で制御します。

FREEZE コマンド（FLXAnFRSUCC1.CMD = “0111_B”）実行後、CC はいずれの状態にあっても、HALT 状態に遷移します。

表 21.99 FlexRay モジュールの状態遷移条件

T#	Condition	From	To
1	リセット	すべて	DEFAULT_CONFIG
2	CONFIG コマンド発行 （FLXAnFRSUCC1.CMD = “0001_B”）	DEFAULT_CONFIG	CONFIG
3	ロック解除シーケンス +READY コマンド発行 （FLXAnFRSUCC1.CMD = “0010_B”）	CONFIG	READY
4	CONFIG コマンド発行 （FLXAnFRSUCC1.CMD = “0001_B”）	READY	CONFIG
5	WAKEUP コマンド発行 （FLXAnFRSUCC1.CMD = “0011_B”）	READY	WAKEUP
6	Wakeup パターン送信完了 Wakeup パターン受信完了 フレームヘッダ受信完了 Wakeup 衝突検出 READY コマンド発行 （FLXAnFRSUCC1.CMD = “0010_B”）	WAKEUP	READY
7	RUN コマンド発行（FLXAnFRSUCC1.CMD = “0100_B”）	READY	STARTUP
8	STARTUP 成功	STARTUP	NORMAL_ACTIVE
9	クロック補正失敗カウンタ値が FLXAnFRSUCC3.WCP が設定したクロック補正パッシブ最大値に到達	NORMAL_ACTIVE	NORMAL_PASSIVE
10	クロック補正成功サイクルペア数が FLXAnFRSUCC1.PTA が設定した Passive-to-Active の制限値に到達	NORMAL_ACTIVE	NORMAL_ACTIVE
11	READY コマンド発行 （FLXAnFRSUCC1.CMD = “0010_B”）	STARTUP, NORMAL_ACTIVE, NORMAL_PASSIVE	READY
12	FLXAnFRSUCC1.HCSE ビットが “1” のときにクロック補正失敗カウンタ値が FLXAnFRSUCC3.WCF の設定値に到達、または、HALT コマンド発行 （FLXAnFRSUCC1.CMD = “0110_B”）	NORMAL_ACTIVE	HALT
13	FLXAnFRSUCC1.HCSE ビットが “1” のときにクロック補正失敗カウンタ値が FLXAnFRSUCC3.WCF の設定値に到達、または、HALT コマンド発行 （FLXAnFRSUCC1.CMD = “0110_B”）	NORMAL_PASSIVE	HALT
14	FREEZE コマンド発行 （FLXAnFRSUCC1.CMD = “0111_B”）	すべて	HALT
15	CONFIG コマンド発行 （FLXAnFRSUCC1.CMD = “0001_B”）	HALT	DEFAULT_CONFIG

21.3.6.2 DEFAULT_CONFIG 状態

DEFAULT_CONFIG 状態では、CC は停止しています。すべての制御レジスタにアクセスでき、端子は非アクティブ状態です。

CC は以下の場合に DEFAULT_CONFIG 状態へ遷移します。

- リセット後（HW リセットあるいは SW リセット）
- HALT 状態から抜けたとき

DEFAULT_CONFIG 状態を抜けるには、FLXAnFRSUCC1.CMD ビットに “0001_B” を書き込むことで、CONFIG 状態に遷移します。

21.3.6.3 CONFIG 状態

CONFIG 状態では、CC は停止しています。すべての制御レジスタにアクセスでき、端子は非アクティブ状態です。この状態で CC の初期設定を行います。

CC は以下の場合に DEFAULT_CONFIG 状態へ遷移します。

- DEFAULT_CONFIG 状態から抜けたとき
- READY 状態から抜けたとき

HALT 状態と DEFAULT_CONFIG 状態を経由して CONFIG 状態に遷移した場合、ステータス情報と設定内容を解析することができます。CONFIG 状態から抜ける前に設定に間違いがないか確認する必要があります。

CONFIG 状態から抜けるには、**「21.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ」**に記載のロック解除シーケンスを実行します。CONFIG 状態のロックを解除した直後に、次の状態に遷移するため FLXAnFRSUCC1.CMD ビットに書き込む必要があります。

注 意

FLXAnFRMHDS[14:0] ビット、FLXAnFRTXRQ1 ～ FLXAnFRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、CONFIG 状態から READY 状態への遷移による影響を受けません。

CONFIG 状態では、モジュールクロック（バスクロック、サンプルクロック）を停止することで、CC を省電力モードにすることができます。クロックを停止する前に、すべてのメッセージ RAM の転送が完了していることを確認する必要があります。

21.3.6.4 READY 状態

CONFIG 状態のロックを解除し、FLXAnFRSUCC1.CMD に “0010_B” を書き込むと、READY 状態に遷移します。この状態から WAKEUP 状態に遷移してクラスタウェイクアップを実行したり、STARTUP 状態に遷移して Coldstart を実行したり稼動中のクラスタに統合することができます。

CC は以下の場合に READY 状態へ遷移します。

- FLXAnFRSUCC1.CMD ビットに “0010_B”（READY コマンド）を書き込み、CONFIG 状態、WAKEUP 状態、STARTUP 状態、NORMAL_ACTIVE 状態、または NORMAL_PASSIVE 状態から抜けたとき

CC は以下の場合に READY 状態から抜けます。

- FLXAnFRSUCC1.CMD ビットに “0001_B”（CONFIG コマンド）を書き込み、CONFIG 状態に遷移したとき
- "FLXAnFRSUCC1.CMD ビットに “0011_B”（WAKEUP コマンド）を書き込み、WAKEUP 状態に遷移したとき
- "FLXAnFRSUCC1.CMD ビットに “0100_B”（RUN コマンド）を書き込み、STARTUP 状態に遷移したとき

STARTUP 状態に遷移すると、内部カウンタおよび CC ステータスフラグが初期化されます。

注　意

FLXAnFRMHDS[14:0] ビット、FLXAnFRTXRQ1 ～ FLXAnFRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、READY 状態から STARTUP 状態への遷移による影響を受けません。

21.3.6.5 WAKEUP 状態

ここでは、FlexRay モジュールのウェイクアップの設定について説明します。ウェイクアップ処理の詳細および関連する SDL 図については、FlexRay プロトコル仕様書の 7.1 章を参照してください。

CC は以下の場合に WAKEUP 状態へ遷移します。

- FLXAnFRSUCC1.CMD ビットに “0011_B”（WAKEUP コマンド）を書き込み、READY 状態を抜けたとき

CC は以下の場合に WAKEUP 状態を抜けて READY 状態へ遷移します。

- ウェイクアップパターン（WUP）の送信が中断されることなく完了した後
- WUP 受信後
- WUP 衝突検出後
- フレームヘッダ受信後
- FLXAnFRSUCC1.CMD ビットに “0010_B”（READY コマンド）を書き込んだとき

クラスタ内のすべてのノードをウェイクアップさせるため、通信スタートアップ処理の前にクラスタのウェイクアップ処理を行う必要があります。クラスタのウェイクアップ処理を行うには、すべてのバスドライバに電源が供給されていることが必須です。バスドライバは、チャネルでウェイクアップパターンを受信すると自ノードの他のコンポーネントをウェイクアップさせることができます。クラスタ内の少なくとも 1 つのノードに対し外部ウェイクアップソースが必要です。

ウェイクアップ処理はすべてプログラムで制御されます。プログラムによって、バスドライバと CC からクラスタの状態に関する情報を得て、バスガーディアン（使用できる場合）と CC を設定し、クラスタのウェィクアップを行います。CC によって、有効なチャネルのそれぞれに個別にウェイクアップパターンを送信することができます。CC は、WAKEUP 状態でのみウェイクアップパターンを認識します。

ウェイクアップ処理は一度に 1 つのチャネルでのみ実行可能です。CC が CONFIG 状態のときに FLXAnFRSUCC1 レジスタの WUCS ビットで使用するチャネルを選択してください。CC は選択されたチャネル上での通信が妨害されないようにします。選択したチャネルに接続されているすべてのノードがウェイクアップパターンの送信でウェイクアップすることは保証できません。これらのノードからはスタートアップフェーズに移行するまでフィードバックを受けられないからです。ウェイクアップ処理は 2 チャネルシステムのシングルチャネルデバイスに対し、それらが接続されているチャネル上にウェイクアップパターンを送信するだけで、ウェイクアップ処理を起動させることができます。システムスタートアップが必要と思われる Coldstart ノードがあれば、通信スタートアップ処理を開始する前にもう一方のチャネルをウェイクアップさせます。

ウェイクアップ処理では、いくつものノードが同時にシングルチャネルをウェイクアップさせようとするのを許容しますが、ウェイクアップパターンを送信できるノードは 1 つだけです。またウェイクアップパターン衝突耐性があり、2 つのノードが同時にウェイクアップパターンを送信しようとしてエラーが発生しても、衝突した信号も他のノードをウェイクアップさせることができます。

ウェイクアップ処理が終了すると、CC は READY 状態に戻ります。また、FLXAnFRSIR.WST フラグが “1” になり、ウェイクアップ状態に変化があったことがわかります。ウェイクアップステータスベクタは、FLXAnFRCCSV.WSV フラグから読み出せます。有効なウェイクアップパターンを受信した場合、FLXAnFRSIR.WUPA フラグまたは FLXAnFRSIR.WUPB フラグも “1” になります。

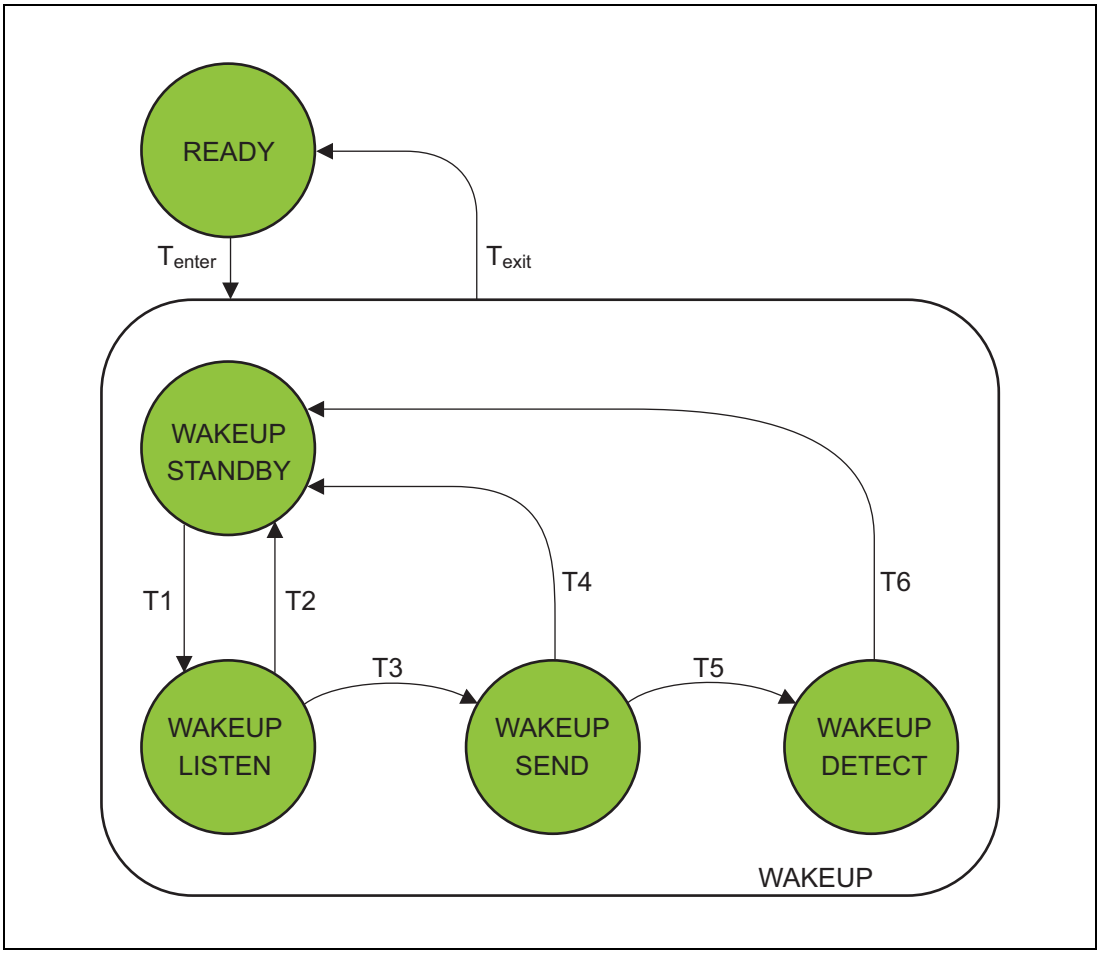


図 21.8 POC 状態 WAKEUP の構成

表 21.100 WAKEUP 時の状態遷移条件

T#	遷移条件	遷移前の状態	遷移後の状態
enter	FLXAnFRSUCC1.CMD ビットに “0011_B”（WAKEUP コマンド）を書き込んで WAKEUP 状態に遷移	READY	WAKEUP
1	CHI コマンドの WAKEUP コマンドにより Wakeup FSM が WAKEUP_LISTEN 状態へ遷移	WAKEUP_STANDBY	WAKEUP_LISTEN
2	FLXAnFRSUCC1.WUCS ビットで設定したチャネルで WUP を受信、またはどちらかの有効なチャネルでフレームヘッダを受信	WAKEUP_LISTEN	WAKEUP_STANDBY
3	タイマイベント	WAKEUP_LISTEN	WAKEUP_SEND
4	ウェイクアップパターンが中断されずに送信完了	WAKEUP_SEND	WAKEUP_STANDBY
5	衝突を検出	WAKEUP_SEND	WAKEUP_DETECT
6	ウェイクアップタイマがタイムアウト、FLXAnFRSUCC1.WUCS ビットで設定したチャネルで WUP を検出、またはどちらかの有効なチャネルでフレームヘッダを受信	WAKEUP_DETECT	WAKEUP_STANDBY
exit	ウェイクアップ処理が完了（T2、T4、または T6 の遷移後）、または FLXAnFRSUCC1.CMD ビットに “0010_B”（READY コマンド）を書き込み READY 状態に遷移 READY コマンドにより WakeupFSM を WAKEUP_STANDBY 状態にリセット	WAKEUP	READY

WAKEUP_LISTEN 状態はウェイクアップタイマとウェイクアップノイズタイマにより制御されます。これら 2 つのタイマは、ListenTimeout 値（FLXAnFRSUCC2.LT ビット）、ListenTimeoutNoise 値（FLXAnFRSUCC2.LTN ビット）で制御します。ListenTimeout 値はノイズがない環境で高速なクラスタのウェイクアップ処理を、ListenTimeoutNoise 値はノイズ干渉に関してより困難な条件下でのウェイクアップ処理を可能にします。

WAKEUP_SEND 状態では、CC は設定されたチャネルにウェイクアップパターンを送信し、衝突の有無をチェックします。ウェイクアップ処理から復帰した後、CHI コマンドの RUN コマンドを発行して STARTUP 状態に遷移する必要があります。

WAKEUP_DETECT 状態では、CC は WAKEUP_SEND 状態で検出された衝突の原因を特定しようとします。モニタリングは FLXAnFRSUCC2.LT ビットで設定した ListenTimeout 値に到達すると制限されます。他のノードによるウェイクアップ試行を意味するウェイクアップパターン検出、または通信中であることを意味するフレームヘッダ受信により、直接 READY 状態に遷移します。検出も受信も行わない場合、ListenTimeout 値に到達後 WAKEUP_DETECT 状態を抜け、衝突原因は不明となります。

プログラムでは考えられうるウェイクアップエラーを推察し、適切に対処することが必要です。ウェイクアップしたノードでのスタートアップ試行は、他の Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。

FlexRay プロトコル仕様書 では、2 つの異なる CC が 2 つのチャネルをウェイクアップさせることを推奨しています。

(1) CPU の役割

CPU はプログラムにより、2 つのチャネルのウェイクアップ処理を調整し、指定したチャネルをウェイクアップさせるかどうかを決定する必要があります。ウェイクアップパターンの送信はプログラムで制御されます。ウェイクアップパターンはリモートバスドライバで検出され、それぞれの CPU に通知されます。

プログラム制御によるウェイクアップ処理（シングルチャネルウェイクアップ）：

- CONFIG 状態で CC を設定する
  - FLXAnFRSUCC1.WUCS ビットでウェイクアップチャネルを選択
- WUP を受信したかどうかローカルバスドライバをチェックする
- 選択したチャネルのバスドライバを有効にする
- READY 状態に遷移するよう CC に指示
- FLXAnFRSUCC1.CMD ビットに “0011_B”（WAKEUP コマンド）を書き込み、選択したチャネルでウェイクアップ処理を開始するよう CC に指示
  - CC は WAKEUP 状態に遷移
  - CC は READY 状態に戻り、ウェイクアップ試行ステータスを CPU に通知
- 他のノードがウェイクアップして設定を完了できるように一定時間待機
- Coldstart ノードの場合
  - 2 チャネル構成のクラスタでは、もう一方のチャネルの WUP を待機
  - FLXAnFRSUCC1.CMD ビットに “1001_B”（ALLOW_COLDSTART コマンド）を書き込み、FLXAnFRCCSV.CSI フラグを “0”（Coldstart 許可）にリセットする
- FLXAnFRSUCC1.CMD ビットに “0100_B”（RUN コマンド）を書き込み、STARTUP 状態に遷移するよう CC に指示

バスドライバがトリガとなるウェイクアップ処理：

- バスドライバがウェイクアップ処理を認識
- バスドライバによるマイコンの電源投入（必要な場合）
- バスドライバによるウェイクアップイベントの CPU への通知
- CPU がローカル CC を設定
- 必要であれば 2 番目のチャネルのウェイクアップ処理を指示、他のノードがウェイクアップして設定を完了できるように一定時間待機
- FLXAnFRSUCC1.CMD ビットに “0100_B”（RUN コマンド）を書き込み、STARTUP 状態に遷移するよう CC に指示

(2) ウェイクアップパターン（WUP）

ウェイクアップパターン（WUP）は、2 つ以上の Wakeup シンボル（WUS）で構成されています。Wakeup シンボルとウェイクアップパターンは、FLXAnFRPRTC1 レジスタと FLXAnFRPRTC2 レジスタで設定されます。

- シングルチャネルウェイクアップでは、Wakeup シンボルを一度に両方のチャネルで送信することはできません。
- 2 つ以上の送信ノードに対し、Wakeup シンボルは衝突耐性あり（2 つの Wakeup シンボルがオーバラップしても認識可能）。
- Wakeup シンボルはクラスタ内のすべてのノードで同じ設定にしてください。
- FLXAnFRPRTC2.TXL ビットで送信 Wakeup シンボルの “L” 幅を設定します。
- FLXAnFRPRTC2.TXI ビットでバス処理検出に使用する Wakeup シンボルのアイドル幅を設定します。
- ウェイクアップには、2 つ以上の送信 Wakeup シンボルからなるウェイクアップパターンが必要です。
- FLXAnFRPRTC1.RWP ビットで Wakeup シンボルの繰り返し回数を 2～63 の範囲で設定します。
- FLXAnFRPRTC1.RXW ビットで Wakeup シンボルの受信ウィンドウ幅を設定します。
- FLXAnFRPRTC2.RXL ビットで Wakeup シンボルの受信 “L” 幅を設定します。
- FLXAnFRPRTC2.RXI ビットで Wakeup シンボルの受信アイドル幅を設定します。

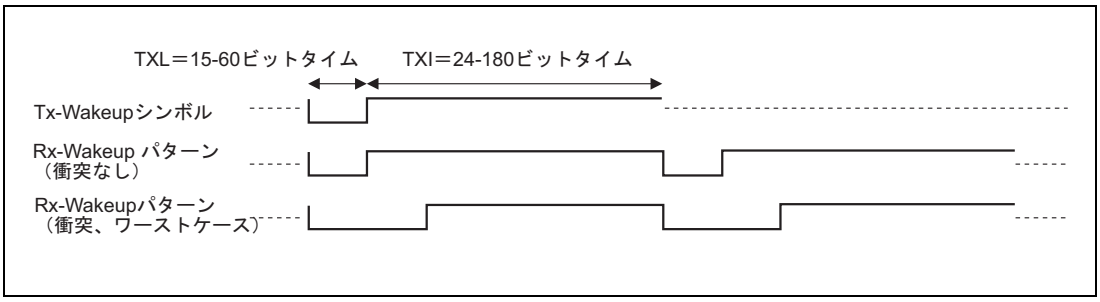


図 21.9 ウェイクアップパターンのタイミング

21.3.6.6 STARTUP 状態

ここでは、FlexRay モジュールのスタートアップの設定について説明します。スタートアップ処理の詳細および関連する SDL 図については、FlexRay プロトコル仕様書の 7.2 章を参照してください。

Coldstart が可能なノードが STARTUP 状態に遷移する場合は、Coldstart 開始前に自ノードのチャネルが 2 つともウェイクアップしていることを確認してください。

全ノードおよびスターが完全にウェイクアップして、設定が完了するのに要する時間はさまざまです。クラスタ通信を開始するには少なくとも 2 つのノードが必要なので、ウェイクアップしたノードでのスタートアップ試行は、他の Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。ご使用のハードウェアによっては、全ノードおよびスターがウェイクアップして設定完了するまでに数百 ms 要する場合があります。

スタートアップ処理はすべてのチャネルで同期して実行されます。スタートアップ処理中、ノードは Startup フレームのみ送信します。Startup フレームは Sync フレームと Null フレームの両方です。

耐故障性がある分散スタートアップ手順は、全ノードの最初の同期で決まります。通常、NORMAL_ACTIVE 状態に遷移するには以下の経路をたどります（**図 21.10** 参照）。

- スケジュール同期を開始する Coldstart パス（LeadingColdstart ノード）
- 他の Coldstart ノードが参加する Coldstart パス（FollowingColdstart ノード）
- 既存の通信スケジュールに統合する統合パス（その他のノード）

Coldstart 試行は衝突回避シンボル（CAS）の送信で開始します。CAS シンボルを送信した 1 つの Coldstart ノードが、CAS シンボル送信後最初の 4 サイクルでフレームを送信します。その後他の Coldstart ノード、次いでその他のすべてのノードが参加します。

Coldstart ノードでは FLXAnFRSUCC1 レジスタの TXST ビットと TXSY ビットが "1" に設定されています。メッセージバッファ 0 には Startup フレームを送信するスロット番号を指定するキースロット ID があります。Startup フレームのフレームヘッダでは Startup フレームインジケータビットが “1” になっています。

ノードが 3 つ以上あるクラスタの場合、少なくとも 3 つのノードを Coldstart ノードに設定します。ノードが 2 つのクラスタの場合は、両ノードとも Coldstart ノードになります。クラスタをスタートアップさせるには 2 つの正常な Coldstart ノードが必要です。

各 Startup フレームは Sync フレームでもあります。したがって各 Coldstart ノードは Sync ノードでもあります。

Coldstart 試行回数は FLXAnFRSUCC1.CSA ビットで設定します。

非 Coldstart ノードが他のノードと統合するには、他のノードからの 2 つ以上の Startup フレームが必要です。

Coldstart ノードのスタートアップ処理が完了する前に、統合を開始できます。2 つ以上の Coldstart ノードがスタートアップ処理を完了するまで、非 Coldstart ノードのスタートアップ処理は完了しません。

非 Coldstart ノードと Coldstart ノードは、TDMA スケジュール情報を引き出す Sync フレームを受信すると、統合パスを通って統合を開始します。統合中は、ノードのクロックをグローバルクロック（レートおよびオフセット）に同期させ、サイクル時間をネットワークで観測できるグローバルスケジュールに一致させる必要があります。その後これらの設定は、すべての有効なネットワークノードと一致しているかチェックされます。チェックが問題なく終了すると、ノードは統合フェーズを抜けて通信に参加することができます。

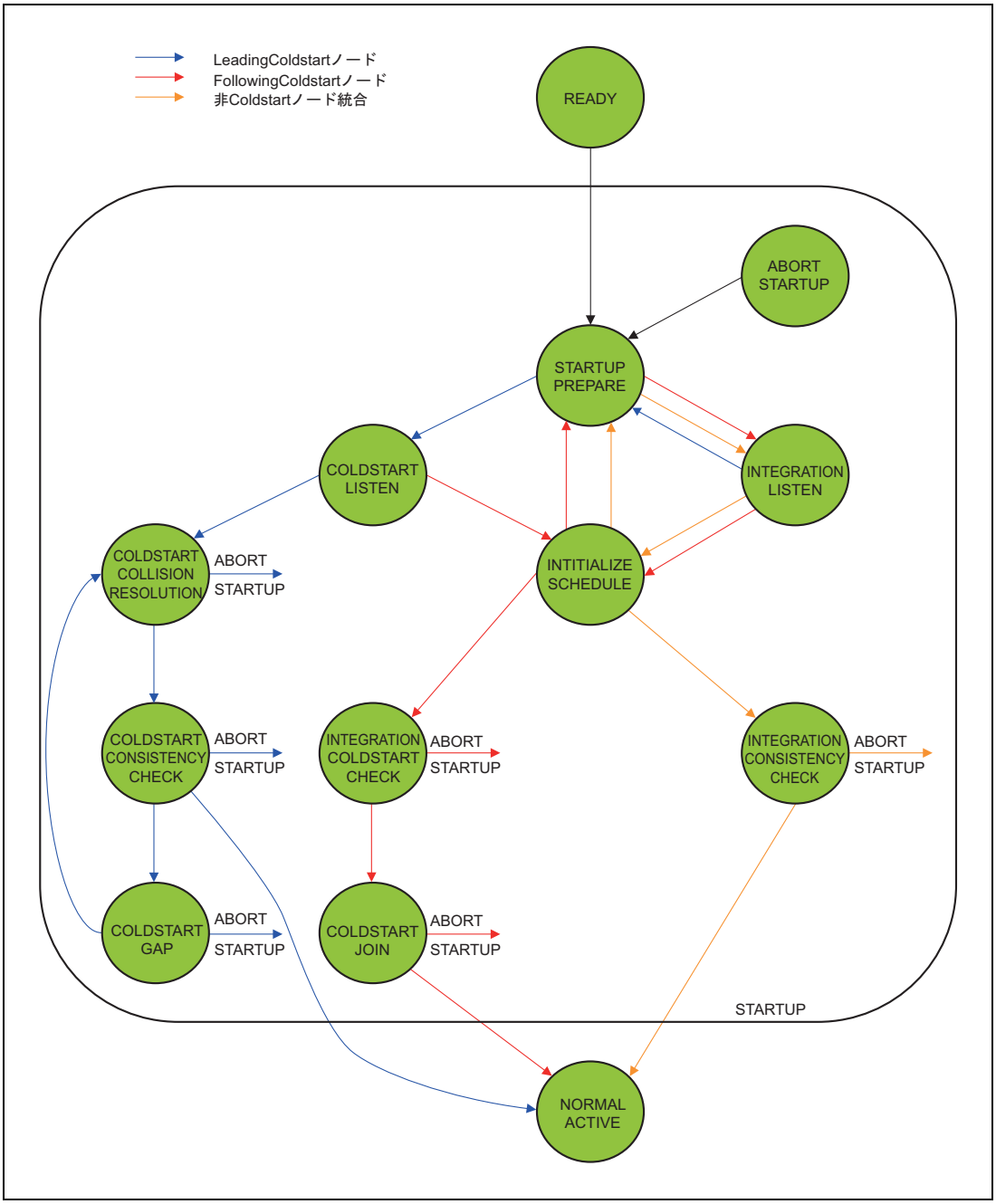


図 21.10 タイムトリガ式スタートアップ状態遷移図

(1) Coldstart 禁止モード

Coldstart 禁止モードではノードは TDMA 通信スケジュールを初期化できません。FLXAnFRCCSV.CSI フラグが “1”（Coldstart 禁止）の場合、ノードによるクラスタ通信の初期化が禁止、つまり、Coldstart パスへの遷移が禁止されます。稼働中のクラスタへの統合または Startup フレーム送信が許可されるのは、他の Coldstart ノードがクラスタ通信の初期化を開始してからになります。

Coldstart 禁止フラグ（FLXAnFRCCSV.CSI ビット）は、POC が READY 状態に遷移すると “1” になります。

プログラムで ALLOW_COLDSTART コマンド（FLXAnFRSUCC1.CMD ビット = “1001_B”）を発行することで "0" にクリアします。

(2) スタートアップタイムアウト

スタートアップタイムアウトとスタートアップノイズタイムアウトの 2 つのタイムアウト値を管理するための 2 つの μT タイマがあります。これらのタイマは CC が COLDSTART_LISTEN 状態に遷移するとスタートします。いずれかのタイマがタイムアウトすると、ノードは通信スタートアップ処理のために初期センシングフェーズ（COLDSTART_LISTEN 状態）を抜けます。

注　意

スタートアップタイマとスタートアップノイズタイマはウェイクアップタイマおよびウェイクアップノイズタイマと同じもので、FLXAnFRSUCC2.LT ビットおよび FLXAnFRSUCC2.LTN ビットという同じ設定値を使用します。

(a) スタートアップタイムアウト

スタートアップタイムアウトは、他のノード間ですでに通信が行われているか、他のノードとの統合要求をしている Coldstart ノードがあるかをノードが判断するために使用する監視時間を制限するものです。スタートアップタイマは FLXAnFRSUCC2.LT ビットで設定します（**「21.2.6.2　FLXAnFRSUCC2 — FlexRay SUC 設定レジスタ 2」**参照）。

スタートアップタイムアウト：

pdListenTimeout = FLXAnFRSUCC2.LT

スタートアップタイマは以下のときに再スタートします。

- COLDSTART_LISTEN 状態に入ったとき
- COLDSTART_LISTEN 状態中に両チャネルがアイドル状態になったとき

スタートアップタイマは以下のときに停止します。

- COLDSTART_LISTEN 状態中、設定されたチャネルの 1 つで通信チャネルアクティビティを検出したとき
- COLDSTART_LISTEN 状態から抜けたとき

一度スタートアップタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。

(b) スタートアップノイズタイムアウト

スタートアップタイマが初めてスタートする（STARTUP_PREPARE 状態から COLDSTART_LISTEN 状態への遷移時）と同時に、スタートアップノイズタイマもスタートします。この付加的なタイムアウトは、ノイズの多い環境におけるスタートアップ処理の信頼性を高めるために使用されます。スタートアップノイズタイムアウトは FLXAnFRSUCC2.LTN ビットで設定します（**「21.2.6.2 FLXAnFRSUCC2 — FlexRay SUC 設定レジスタ 2」**参照）。

スタートアップノイズタイムアウト：

pdListenTimeout × gListenNoise = FLXAnFRSUCC2.LT × （FLXAnFRSUCC2.LTN + 1）

スタートアップノイズタイマは以下のときに再スタートします。

- COLDSTART_LISTEN 状態に入ったとき
- COLDSTART_LISTEN 状態中に正常にデコードされたヘッダまたは CAS シンボルを受信したとき

スタートアップノイズタイマは COLDSTART_LISTEN 状態を抜けると停止します。

一度スタートアップノイズタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。ランダムチャネルアクティビティが検出された場合にはスタートアップノイズタイマは再スタートしないので、このタイムアウトによりノイズの多い環境でも通信クラスタをスタートアップさせることを保証する代替ソリューションが提供されます。

(3) Leading Coldstart ノードの状態遷移（Coldstart の開始）

Coldstart ノードは、COLDSTART_LISTEN 状態に入ると自ノードのチャネルを監視します。

通信が検出されなかった場合、COLDSTART_COLLISION_RESOLUTION 状態に移り、Coldstart 試行を開始します。最初の CAS シンボルの送信の後に、最初の通常サイクルが続きます。このサイクルがサイクル番号 0 となります。

サイクル 0 から当該ノードはスタートアップフレームを送信します。各 Coldstart ノードがそれぞれ Coldstart 試行を実行する可能性があるため、複数のノードが同時に CAS シンボルを送信し、Coldstart パスに入る場合もあります。この状況は、CAS シンボルが送信された後の最初の 4 サイクルで解決されます。

Coldstart 試行を開始したノードがこの 4 サイクル間に CAS シンボルやフレームヘッダを受信すると、すぐに COLDSTART_LISTEN 状態に再遷移します。その結果、Coldstart パスに残るのは 1 つのノードのみになります。サイクル 4 に入ると、他の Coldstart ノードが Startup フレームの送信を開始します。

COLDSTART_COLLISION_RESOLUTION 状態での 4 サイクルの後、Coldstart を開始したノードは COLDSTART_CONSISTENCY_CHECK 状態に入ります。サイクル 4 および 5 の Startup フレームをすべて集めてクロック補正を行います。クロック補正にエラーがなく、1 組以上の有効な Startup フレームを受信した場合、COLDSTART_CONSISTENCY_CHECK 状態を抜けて NORMAL_ACTIVE 状態に移ります。

1 つのノードが実行できる Coldstart 試行回数は、FLXAnFRSUCC1.CSA ビットで設定します。Coldstart 試行残数は FLXAnFRCCSV.RCA ビットから読み出せます。Coldstart 試行が実行されるたび残数は 1 ずつ減算されます。ノードは、この値が 2 以上のときのみ COLDSTART_LISTEN 状態に、1 以上のときのみ COLDSTART_COLLISION_RESOLUTION 状態に遷移できます。Coldstart 試行回数が 1 回の場合、Coldstart は禁止されますが、統合は可能です。

(4) Following Coldstart ノードの状態遷移（Leading Coldstart ノードへの応答）

Coldstart ノードが COLDSTART_LISTEN 状態に入ると、Leading Coldstart ノードからスケジュールとクロック補正を引き出すため、有効な Startup フレームのペアを受信しようとします。

有効な Startup フレームを受信するとただちに INITIALIZE_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION_COLDSTART_CHECK 状態に移ります。

INTEGRATION_COLDSTART_CHECK 状態では、クロック補正が正しく実行され、ノードのスケジュールを初期化した Coldstart ノードがまだ有効であることが確認されます。ノードはすべての Sync フレームを集め、次のサイクルペアでクロック補正を実行します。クロック補正でエラーがなく、統合した同じノードから引き続きフレームを受信している場合、COLDSTART_JOIN 状態に入ります。

COLDSTART_JOIN 状態では、Following Coldstart ノードが Startup フレームの送信を開始し、次のサイクルでも Startup フレームを送信します。その結果、Leading Coldstart ノードとそれに統合するノードが、互いのスケジュールが一致しているかどうかをチェックできます。クロック補正でエラーがあった場合、ノードは統合するのを中断します。この状態にあるノードがすべての偶数サイクルで有効な Startup フレームを 1 つ以上検知し、すべてのサイクルペアで有効な Startup フレームを 1 つ以上検知した場合、ノードは COLDSTART_JOIN 状態を抜け NORMAL_ACTIVE 状態に遷移します。結果として Coldstart を開始したノードの最低 1 サイクル後に、FollowingColdstart ノードは STARTUP 状態から抜けます。

(5) 非 Coldstart ノードの状態遷移

非 Coldstart ノードは、INTEGRATION_LISTEN 状態に入ると自ノードのチャネルを監視します。

有効な Startup フレームを受信するとただちに INITIALIZE_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION_CONSISTENCY_CHECK 状態に移ります。

INTEGRATION_CONSISTENCY_CHECK 状態では、クロック補正が正しく実行されたか、十分な数（2 つ以上）の Coldstart ノードがノードのスケジュールに一致する Startup フレーム送信をしているかを確認します。クロック補正が実行され、エラーが検出されると、ノードは統合するのを中断します。

この状態での最初の偶数サイクル中、有効な Startup フレーム 2 つか、統合したノードの Startup フレームかのどちらかが受信されなければなりません。受信されなければ、ノードは統合するのを中断します。

この状態での最初のサイクルペア中、有効な Startup フレームペア 2 つか、統合したノードの Startup フレームペアかのどちらかが受信されなければなりません。受信されなければ、ノードは統合するのを中断します。

最初のサイクルペア後、偶数サイクルで受信した有効な Startup フレームが 2 つ未満の場合、またはサイクルペアで受信した有効な Startup フレームペアが 2 つ未満の場合、スタートアップは中断されます。

STARTUP 状態を抜け NORMAL_OPERATION 状態に入るためには、この状態においてノードは 2 つの連続したサイクルペアそれぞれに対し 2 つの有効な Startup フレームペアを検知することが必要です。結果として、Coldstart を開始したノードの最低 1 サイクルペア後、かつ奇数サイクルの終了時に、非 Coldstart ノードは STARTUP 状態から抜けます。

21.3.6.7 NORMAL_ACTIVE 状態

最初の CAS シンボルを送信したノード（アクセス競合を解決して Coldstart パスを経て STARTUP に遷移）と、もう 1 つのノードが NORMAL_ACTIVE 状態に入ると、クラスタのスタートアップフェーズが完了します。NORMAL_ACTIVE 状態ではすべての設定されたメッセージが設定どおりに送信されます。ここには Sync フレームだけでなく、データフレームも含まれます。レートおよびオフセット計測は偶数サイクル（偶数 / 奇数サイクルペアが必要です）で行われます。

NORMAL_ACTIVE 状態では以下の標準の通信機能がサポートされます。

- FlexRay バス上での送受信を設定されたとおりに実行
- クロック同期を実施
- CPU インタフェースが動作

CC は以下の場合に NORMAL_ACTIVE 状態を抜けます。

- FLXAnFRSUCC1.CMD ビットに “0110_B”（HALT コマンド）を書き込むことで、現サイクルの終了時に HALT 状態に遷移
- FLXAnFRSUCC1.CMD ビットに “0111_B”（FREEZE コマンド）を書き込むことで、ただちに HALT 状態に遷移
- ACTIVE から COMM_HALT へエラーステータスが変化したことにより HALT 状態に遷移
- ACTIVE から PASSIVE へエラーステータスが変化したことにより NORMAL_PASSIVE 状態に遷移
- FLXAnFRSUCC1.CMD ビットに “0010_B”（READY コマンド）を書き込むことで READY 状態に遷移

21.3.6.8 NORMAL_PASSIVE 状態

エラーステータスが ACTIVE から PASSIVE に変化すると、NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態へ遷移します。

NORMAL_PASSIVE 状態では、ノードはすべてのフレームを受信することができます（ノードが完全に同期していてクロック同期を行う場合）。NORMAL_ACTIVE 状態と違い、ノードは積極的には通信に参加しません、つまりシンボルもフレームも送信しません。

NORMAL_PASSIVE 状態では

- FlexRay バス上での受信を実行
- FlexRay バス上にフレームもシンボルも送信しない
- クロック同期を実施
- CPU インタフェースが動作

CC は以下の場合に NORMAL_PASSIVE 状態を抜けます。

- FLXAnFRSUCC1.CMD ビットに “0110_B”（HALT コマンド）を書き込むことで、現サイクルの終了時に HALT 状態に遷移
- FLXAnFRSUCC1.CMD ビットに “0111_B”（FREEZE コマンド）を書き込むことで、ただちに HALT 状態に遷移
- PASSIVEからCOMM_HALTへエラーステータスが変化したことにより HALT状態に遷移
- PASSIVE から ACTIVE へエラーステータスが変化したことにより NORMAL_ACTIVE 状態に遷移
  この変化は FLXAnFRCCEV.PTAC ビットの値が FLXAnFRSUCC1.PTA ビットの設定値 - 1 になったときに起こります。
- FLXAnFRSUCC1.CMD ビットに “0010_B”（READY コマンド）を書き込むことで READY 状態に遷移

21.3.6.9 HALT 状態

この状態ではすべての通信（送受信）が停止します。

CC は以下の場合に HALT 状態へ遷移します。

- NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で、FLXAnFRSUCC1.CMD ビットに “0110_B”（HALT コマンド）を設定
- 状態にかかわらず、FLXAnFRSUCC1.CMD ビットに “0111_B”（FREEZE コマンド）を設定
- FLXAnFRSUCC1.HCSE ビットが “1” に設定されていて、クロック補正失敗カウンタが「クロック補正エラー回数（HALT 状態への遷移条件）」に達したため NORMAL_ACTIVE 状態から抜けたとき
- FLXAnFRSUCC1.HCSE ビットが “1” に設定されていて、クロック補正失敗カウンタが「クロック補正エラー回数（HALT 状態への遷移条件）」に達したため NORMAL_PASSIVE 状態から抜けたとき

CC は以下の場合に HALT 状態から DEFAULT_CONFIG 状態へ遷移します。

- FLXAnFRSUCC1.CMD ビットに “0001_B”（CONFIG コマンド）を設定

HALT 状態に遷移すると、すべてのレジスタ設定やステータスデータは解析のために保存されます。

プログラムで FLXAnFRSUCC1.CMD ビットに “0110_B”（HALT コマンド）を書き込むと、FLXAnFRCCSV レジスタの HRQ フラグが “1” になり、次のサイクルの終了時、HALT 状態に遷移します。

プログラムで FLXAnFRSUCC1.CMD ビットに “0111_B”（FREEZE コマンド）を書き込むと、ただちに HALT 状態に遷移し、FLXAnFRCCSV レジスタの FSI フラグが “1” になります。

HALT 状態へ遷移する前の POC の状態は、FLXAnFRCCSV.PSL フラグから読み出せます。

21.3.7 ネットワーク管理

生成されたネットワーク管理（NM）ベクタは FLXAnFRNMV1 ～ FLXAnFRNMV3 レジスタで読み出せます。CC は、ペイロードプリアンブルインジケータ（PPI）ビットが “1” になっているすべての有効な受信 NM フレームの中から、すべての NM ベクタをビットごとに OR 演算します。スタティックフレームだけが NM 情報を持つように設定されています。CC は各サイクルの終了時に NM ベクタを更新します。NM ベクタ長は FLXAnFRNEMC.NML ビットにより 0 ～ 12 バイトの範囲で設定します。NM ベクタ長はクラスタ内のすべてのノードで同じ値にしてください。

FlexRay フレームを PPI ビットを “1” にして送信するように送信バッファを設定するには、それぞれの送信バッファのヘッダセクションにある PPIT ビットを、FLXAnFRWRHS1 レジスタの PPIT ビットを使って “1” にしなければなりません。さらにプログラムで NM 情報をそれぞれの送信バッファのデータセクションに書き込む必要があります。

NM ベクタの評価はアプリケーションプログラム側で行う必要があります。

FLXAnFRNMV1 ～ FLXAnFRNMV3 レジスタでの受信 NM ベクタのバイトアライメントについては、**「21.3.17 バイトアライメント」**を参照してください。

注 意

1. **メッセージバッファがネットワーク管理フレームの送信 / 受信用に設定されている場合、メッセージバッファのヘッダ 2 で設定するペイロード長は、FLXAnFRNEMC.NML ビットで設定した NM ベクタ長以上にする必要があります。**
2. **CC が HALT 状態に遷移したとき、サイクルカウンタはインクリメントされないので、NM ベクタも更新されません。このとき FLXAnFRNMV1 ～ FLXAnFRNMV3 レジスタは以前のサイクルの値を保持します。**

21.3.8 フィルタリングとマスキング

フィルタリングは、指定されたメッセージバッファの設定と、実際のスロットカウンタ値、サイクルカウンタ値およびチャネル ID（チャネル A、B）とを比較することで行われます。比較した値が一致した場合にのみ、メッセージバッファは更新 / 送信されます。

フィルタリングは以下の条件で行われます。

- スロットカウンタ
- サイクルカウンタ
- チャネル ID

以下のフィルタの組み合わせがアクセプタンス / 送信フィルタリングに使用できます。

- スロットカウンタ + チャネル ID
- スロットカウンタ + サイクルカウンタ + チャネル ID

メッセージバッファに受信メッセージを格納するには、設定されたすべてのフィルタが一致する必要があります。

注 意

FIFO については、アクセプタンスフィルタは FlexRayFIFO リジェクションフィルタレジスタ（FLXAnFRFRF）と、FlexRayFIFO リジェクションフィルタマスクレジスタ（FLXAnFRFRFM）で設定されます。

設定したチャネルの設定したフレーム ID に相当するタイムスロットでメッセージは送信されます。サイクルカウンタフィルタリングが有効な場合、設定されたサイクルフィルタ値も一致する必要があります。

21.3.8.1 スロットカウンタフィルタリング

すべての送信 / 受信バッファは、ヘッダセクションにフレーム ID を持っています。このフレーム ID が実際のスロットカウンタ値と比較されて、受信 / 送信バッファを対応するスロットに割り当てます。

2 つ以上のメッセージバッファが同じフレーム ID とチャネル ID を持つように設定され、同じスロットに対してサイクルカウンタフィルタ値が一致した場合、最小メッセージバッファ番号を持つメッセージバッファが使用されます。

21.3.8.2 サイクルカウンタフィルタリング

サイクルカウンタフィルタリングはサイクルセットという概念に基づきます。フィルタリングという目的においては、サイクルセットの項目が 1 つでも一致すると、一致と検出されます。サイクルセットは各メッセージバッファのヘッダセクション 1 にあるサイクルコードフィールドで定義されます。

メッセージバッファ 0 または 1 が、FLXAnFRSUCC1.TXST ビット、FLXAnFRSUCC1.TXSY ビット、FLXAnFRSUCC1.TSM ビットによって、Startup フレーム /Sync フレーム、または SINGLE スロットフレームになるように設定されている場合、該当するメッセージバッファのサイクルカウンタフィルタリングは禁止する必要があります。

注 意

FlexRay ネットワークの異なるノード間で、サイクルカウンタフィルタリングを使用してスタティックタイムスロットを共有することは禁止されています。

サイクルセットに含まれるサイクル番号のセットは**表 21.101** のように定義されています。

表 21.101 サイクルセットの定義

サイクル	一致するサイクルカウンタ値
0b000000x	全サイクル
0b000001c	2 サイクルごと （サイクルカウント値）mod2 = c のとき
0b00001cc	4 サイクルごと （サイクルカウント値）mod4 = cc のとき
0b0001ccc	8 サイクルごと （サイクルカウント値）mod8 = ccc のとき
0b001cccc	16 サイクルごと （サイクルカウント値）mod16 = cccc のとき
0b01ccccc	32 サイクルごと （サイクルカウント値）mod32 = ccccc のとき
0b1cccccc	64 サイクルごと （サイクルカウント値 mod64 = cccccc のとき

表 21.102 にサイクルカウンタフィルタリングに使用する有効なサイクルセットの例を示します。

表 21.102 有効なサイクルセット例

サイクル	一致するサイクルカウンタ値
0b0000011	1-3-5-7-…. -63
0b0000100	0-4-8-12-…. -60
0b0001110	6-14-22-30-…. -62
0b0011000	8-24-40-56
0b0100011	3-35
0b1001001	9

メッセージが受信されたサイクルのサイクルカウンタ値と受信バッファのサイクルセットの要素が一致したときのみ、受信メッセージが格納されます。チャネル ID およびフレーム ID も一致する必要があります。

送信バッファに設定したサイクルコードが現在のサイクルカウンタ値に一致した場合、フレームを送信します。チャネル ID およびフレーム ID も一致する必要があります。

21.3.8.3 チャネル ID フィルタリング

メッセージ RAM の各メッセージバッファのヘッダセクションには 2 ビットのチャネルフィルタリング制御フィールド（CH ビット）があります。これらは受信バッファのフィルタおよび送信バッファの制御フィールドとして使用します（**表 21.103** 参照）。

表 21.103 チャネルフィルタリング設定

CH[1:0]	送信バッファのフレーム送信	受信バッファの有効受信フレーム格納
00_B	送信禁止	フレーム無視
01_B	チャネル A	チャネル A で受信
10_B	チャネル B	チャネル B で受信
11_B	両チャネル（スタティックセグメントのみ）	チャネル A または B で受信（最初のセマンティクス的に有効なフレームを格納、スタティックセグメントのみ）

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、送信バッファの内容は、チャネルフィルタリング制御フィールドで設定したチャネルに送信されます。送信バッファは、スタティックセグメントでのみ両方のチャネル（CH ビット＝“11_B”）に送信するように設定できます。

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、チャネルフィルタリング制御フィールドで設定したチャネルで受信した有効な受信フレームが格納されます。受信バッファは、スタティックセグメントでのみ両方のチャネル（CH ビット＝“11_B”）から受信するように設定できます。

注　意

メッセージバッファがダイナミックセグメント用に設定されており、チャネルフィルタリング制御フィールドの両ビットが “1” のとき、フレームの送信は行われず、受信フレームは無視されます（CH ビット = “00_B” と同じ機能）。

21.3.8.4 FIFO フィルタリング

FIFO フィルタリングでは FLXAnFRFRF レジスタおよび FLXAnFRFRFM レジスタを使用します。FIFO フィルタはチャネルフィルタ（FLXAnFRFRF.CH ビット）、フレーム ID フィルタ（FLXAnFRFRF.FID ビット）およびサイクルカウンタフィルタ（FLXAnFRFRF.CYF ビット）から構成されています。FLXAnFRFRF レジスタおよび FLXAnFRFRFM レジスタは DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定できます。FIFO に割り当てられたメッセージバッファのヘッダセクションに対するフィルタ設定は無視されます。

7 ビットのサイクルカウンタフィルタはフレーム ID フィルタとチャネルリジェクションフィルタが適用されるサイクルセットを決定します。FLXAnFRFRF.CYF ビットで設定されたサイクルセットに該当しないサイクルでは、すべてのフレームが除外されます。

FLXAnFRFRF レジスタと FLXAnFRFRFM レジスタの設定によってチャネル ID、フレーム ID およびサイクルカウンタが除外されず、かつ一致する専用受信バッファがない場合、有効な受信フレームが FIFO に格納されます。

21.3.9 送信プロセス

21.3.9.1 スタティックセグメント

スタティックセグメントでは、送信待ちメッセージがある場合、次の送信スロットに対応するフレーム ID を持ったメッセージが送信するために選択されます。

スタティックセグメントに割り当てられた送信バッファのデータセクションは、その前のタイムスロットの終了時まで更新できます。つまり、遅くともこのときまでに FlexRay 入力バッファコマンド要求レジスタ（FLXAnFRIBCR レジスタ）に書き込み、入力バッファからの転送を開始させる必要があります。

21.3.9.2 ダイナミックセグメント

ダイナミックセグメントでは、送信待ちメッセージがある場合、優先度が高い（フレーム ID の小さい）メッセージが次の送信に選択されます。このセグメントではチャネル A とチャネル B で異なるスロットカウンタシーケンスを使用できます（両チャネルで異なるフレーム ID の同時送信が可能）。

ダイナミックセグメントに割り当てられた送信バッファのデータセクションは、その前のスロットの終了時まで更新できます。つまり、遅くともこのときまでに FlexRay 入力バッファコマンド要求レジスタ（FLXAnFRIBCR レジスタ）に書き込み、入力バッファからの転送を開始させる必要があります。

FLXAnFRMHDC.SLT ビットで設定される最終送信開始位置により、最大ミニスロット値が定義されます。このスロット以降、現サイクルのダイナミックセグメントでは新たなフレーム送信は禁止になります。

21.3.9.3 送信バッファ

FlexRay メッセージバッファは、FLXAnFRWRHS1 レジスタにより該当メッセージバッファのヘッダセクションにある CFG ビットに “1” を書き込むことで、送信バッファに設定できます。

送信バッファの CC チャネルへの割り当ては以下のいずれかになります。

- スタティックセグメント：チャネル A またはチャネル B
  チャネル A とチャネル B の両方
- ダイナミックセグメント：チャネル A またはチャネル B

メッセージバッファ 0、1 は、それぞれ FLXAnFRSUCC1.TXST、FLXAnFRSUCC1.TXSY、FLXAnFRSUCC1.TSM ビットで設定したとおり、Startup フレーム、Sync フレーム、指定された SINGLE スロットフレーム専用となります。この場合、DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定変更ができます。このため各ノードは、1 つのコミュニケーションサイクルに多くとも 1 つの Startup フレーム /Sync フレームしか送信できません。他のメッセージバッファから Startup フレーム /Sync フレームを送信することはできません。

スタティックセグメントまたはダイナミックセグメントでの送信用に設定されている他のメッセージバッファはすべて、FLXAnFRMRC.SEC ビットの設定次第でランタイム中に設定変更可能です（**「21.3.12.1 メッセージバッファの設定変更」**参照）。（データポインタによって参照されるという）メッセージ RAM のデータパーティションの構成上、メッセージバッファのヘッダセクションのペイロード長とデータポインタの設定変更はエラーを引き起こす可能性があります。

ランタイム中にメッセージバッファが設定変更（ヘッダセクションを更新）された場合、このメッセージバッファは、対応するコミュニケーションサイクル中に送信されない場合があります。

CC にはヘッダ CRC を計算する機能はありません。プログラムですべての送信バッファにヘッダ CRC を用意する必要があります。ネットワーク管理が必要な場合、該当するメッセージバッファのヘッダセクションにある PPIT ビットを “1” に設定し、データセクションにネットワーク管理情報を書き込む必要があります（**「21.3.7 ネットワーク管理」**参照）

ペイロード長フィールドは 2 バイト単位でペイロード長を設定します。スタティック送信バッファのペイロード長が FLXAnFRMHDC.SFDL ビットに設定したスタティックセグメントでのペイロード長より短い場合、CC はフレームが正しい物理長になるようにパディングバイトを生成します。パディングパターンは “0000_H” です。

注 意

ペイロード長が奇数の場合（PLC ＝ 1、3、5、…）、パディングパターンを確実に “0000_H” にするため、アプリケーションは、メッセージバッファのデータセクションの最後の 16 ビットに “0” を書き込む必要があります。

それぞれの送信バッファには、ホストによる送信バッファの送信モード設定を可能にする、送信モードフラグ TXM が 1 つあります。このビットがセットされると、トランスミッタはシングルショットモードで動作します。このビットがクリアされると、トランスミッタは連続モードで動作します。

シングルショットモードでは、送信完了後に対応する TXR フラグが “0” になります。このとき送信バッファの更新が可能です。

連続送信モードでは、送信が完了しても対応する送信要求フラグ（TXR）は “0” になりません。この場合、フィルタ条件が一致するごとにフレームが送信されます。TXR フラグを “0” にするには、FLXAnFRIBCM レジスタの STXRH ビットが “0” の間に当該メッセージバッファ番号を FLXAnFRIBCR レジスタに書き込みます。

2 つ以上の送信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい送信バッファが対応するスロットで送信されます。

21.3.9.4 フレーム送信

以下にメッセージバッファを送信するための手順を示します。

- FLXAnFRWRHS1 ～ FLXAnFRWRHS3 レジスタによりメッセージ RAM の送信バッファを設定する。
- FLXAnFRWRDSx により送信バッファのデータセクションを書き込む。
- 対象となるメッセージバッファ番号を FLXAnFRIBCR レジスタに書き込むことで、入力バッファからメッセージ RAM に設定値とメッセージデータを転送する。
- FLXAnFRIBCM レジスタで設定した場合、転送完了次第、対象のメッセージバッファの送信要求フラグ（TXR）が “1” になり、メッセージバッファの送信準備が完了する。
- FLXAnFRTXRQ1 ～ FLXAnFRTXRQ4 レジスタの対応する TXR フラグをチェックする（TXR = “0”）ことで、メッセージバッファが送信されたかどうかを確認する（シングルショットモードのみ）。

送信完了後、FLXAnFRTXRQ1 ～ FLXAnFRTXRQ4 レジスタの対応する TXR フラグが “0” になります（シングルショットモードのみ）。また、メッセージバッファのヘッダセクションの MBI ビットが “1” の場合、FLXAnFRSIR レジスタの TXI ビットが “1” になります。割り込みが許可されている場合、割り込み要求が発生します。

21.3.9.5 Null フレーム送信

スタティックセグメントにおいて、送信前に送信要求フラグが “1” になっていない場合、CC は、Null フレームインジケータビットを “0”、ペイロードデータを 0 にして Null フレームを送信します。

以下の場合 Null フレームが送信されます。

- フィルタ条件に合致するメッセージバッファ番号が最も小さいメッセージバッファの送信要求フラグが “1” になっていない場合（TXR = “0”）
- そのスロットに設定された送信バッファのサイクルカウンタフィルタが、現在のサイクルに一致しない場合。この場合、メッセージバッファステータス（FLXAnFRMBS）は更新されません。

ダイナミックセグメントでは Null フレームは送信されません。

21.3.10 受信プロセス

21.3.10.1 専用受信バッファ

一部の FlexRay メッセージバッファは、FLXAnFRWRHS1 レジスタにより該当メッセージバッファのヘッダセクションにある CFG ビットに “0” を書き込むことで、専用受信バッファに設定できます。

受信バッファの CC チャネルへの割り当ては以下のいずれかになります。

- スタティックセグメント：チャネル A またはチャネル B
  チャネル A とチャネル B の両方（最初のセマンティクス的に有効なフレームを格納）
- ダイナミックセグメント：チャネル A またはチャネル B

CC は、FlexRay チャネルプロトコルコントローラ（チャネル A または B）のシフトレジスタから一致するフィルタ設定を持つ受信バッファに、有効な受信メッセージのペイロードデータを転送します。受信バッファは、フレーム CRC 以外のすべてのフレーム要素を格納します。

スタティックセグメントまたはダイナミックセグメントでの受信用に設定されているメッセージバッファはすべて、FLXAnFRMRC.SEC ビットの設定次第でランタイム中に設定変更可能です（**「21.3.12.1 メッセージバッファの設定変更」**参照）。ランタイム中にメッセージバッファの設定を変更（ヘッダセクションを更新）すると、対応するコミュニケーションサイクルで受信メッセージが失われる可能性があります。

2 つ以上の受信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい受信バッファが対応する受信メッセージで更新されます。

21.3.10.2 フレーム受信

以下に専用受信メッセージバッファに送信準備をさせるための手順を示します。

- FLXAnFRWRHS1～FLXAnFRWRHS3 レジスタによりメッセージRAMの受信バッファを設定する。
- 対象となるメッセージバッファ番号を FLXAnFRIBCR レジスタに書き込むことで、入力バッファからメッセージ RAM に設定値を転送する。

上記の手順を実行したら、メッセージバッファは受信バッファとして機能し、メッセージを受信するたびに行われる内部アクセプタンスフィルタリング処理に参加します。最初に一致した受信バッファが受信メッセージにより更新されます。

有効なペイロードセグメントがメッセージバッファのデータセクションに格納された場合、FLXAnFRNDAT1 ～ FLXAnFRNDAT4 レジスタの対応する ND フラグが “1” になります。また、メッセージバッファのヘッダセクションにある MBI ビットが “1” の場合、FLXAnFRSIR レジスタの RXI ビットが “1” になります。割り込みが許可されている場合、割り込み要求が発生します。

メッセージハンドラがメッセージバッファを更新したときに ND ビットがすでに “1” になっていた場合、対応するメッセージバッファの FLXAnFRMBS にある MLST ビットが “1” になり、未処理のメッセージデータは失われます。

フレームを受信しなかった場合、または Null フレームや破損したフレームを受信した場合、このスロットに設定されたメッセージバッファのデータセクションは更新されません。この場合、対応するメッセージバッファステータス（FLXAnFRMBS）だけが更新されます。

メッセージハンドラがメッセージバッファのヘッダセクションにある FlexRay メッセージバッファステータス（FLXAnFRMBS）を変化させたとき、FLXAnFRMBSC1 ～ FLXAnFRMBSC4 レジスタの対応する MBC フラグが “1” になります。また、メッセージバッファのヘッダセクションにある MBI ビットが “1” の場合、FLXAnFRSIR レジスタの MBSI ビットが “1” になります。割り込みが許可されている場合、割り込み要求が発生します。

受信したフレームのペイロード長（PLR）が、対応するメッセージバッファのヘッダセクションにある PLC ビットの設定値より長い場合、メッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。

出力バッファを介してメッセージ RAM から受信バッファを読み出すには、「**21.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送**」に記載の処理を行ってください。

注　意

受信メッセージのペイロードデータとヘッダが出力バッファに転送された場合、ND フラグと MBC フラグは自動的に “0” になります。

21.3.10.3 Null フレーム受信

受信した Null フレームのペイロードセグメントは、一致した専用受信バッファにコピーされません。Null フレームが受信されると、一致したメッセージバッファの FlexRay メッセージバッファステータス（FLXAnFRMBS）だけが受信した Null フレームにより更新されます。一致したメッセージバッファのヘッダ 2 と 3 にあるビットはいずれも変化しません。これらのビットの内容は受信データフレームによってのみ更新されます。

メッセージハンドラがメッセージバッファのヘッダセクションにある FlexRay メッセージバッファステータス（FLXAnFRMBS）を変化させたとき、FLXAnFRMBSC1 ～ FLXAnFRMBSC4 レジスタの対応する MBC フラグが “1” になります。また、メッセージバッファのヘッダセクションにある MBI ビットが “1” の場合、FLXAnFRSIR レジスタの MBSI フラグが “1” になります。割り込みが許可されている場合、割り込み要求が発生します。

21.3.11 FIFO 機能

21.3.11.1 解説

メッセージバッファの一部を FIFO バッファとして設定できます。FIFO に設定したメッセージバッファは、FLXAnFRMRC.FFB ビットで指定したメッセージバッファから始まり、FLXAnFRMRC.LCB ビットで指定したメッセージバッファで終わるレジスタマップ内で、連続しています。最大 127 のメッセージバッファを FIFO に割り当てることができます。

専用受信バッファには一致しなかったが、プログラマブル FIFO フィルタはパスした有効な受信メッセージはすべて FIFO に格納されます。この場合、指定された FIFO メッセージバッファのフレーム ID、ペイロード長、受信サイクルカウント、FlexRay メッセージバッファステータス（FLXAnFRMBS）にはそれぞれ受信フレームの値が上書きされます。FLXAnFRSIR レジスタの RFNE フラグが “1” の場合、受信 FIFO がエンプティでないことを、RFCL ビットが “1” の場合、受信 FIFO フィルレベル（FLXAnFRFSR.RFFL）が FLXAnFRSIR.RFCL ビットで設定されたクリティカルレベル以上であることを、また FLXAnFREIR レジスタの RFO ビットが “1” の場合、FIFO オーバランが検出されたことを示します。割り込みが許可されている場合、割り込み要求が発生します。

Null フレームが FIFO リジェクションフィルタで除去されなかった場合、その Null フレームは FIFO に格納されたときデータフレームのように扱われます。

FIFO に関連した 2 つのインデックスレジスタがあります。PUT インデックスレジスタ（PIDX）は FIFO 内で次に使用可能な場所を示すインデックスです。新しいメッセージを受信したとき、当該メッセージは PIDX レジスタに示されるメッセージバッファに書き込まれます。その後 PIDX レジスタはインクリメントされ、次に使用可能なメッセージバッファを示します。PIDX レジスタが FIFO のメッセージバッファ番号の最大値を超えると、PIDX レジスタには FIFO チェーン内の先頭（最も値が小さい）メッセージバッファの番号が設定されます。GET インデックスレジスタ（GIDX）は次に読み出される FIFO のメッセージバッファを示すために使用します。FIFO 内のメッセージバッファの内容が出力バッファへ転送されると、GIDX レジスタはインクリメントされます。PIDX レジスタと GIDX レジスタへは CPU からアクセスできません。

PIDX レジスタの値が GIDX レジスタの値に達したとき、FIFO は一杯になります。一番古いメッセージが読み出される前に新しいメッセージが書き込まれると、両レジスタはインクリメントされ、新しいメッセージは一番古いメッセージに上書きされます。このとき FIFO オーバランフラグ（FLXAnFREIR.RFO ビット）が “1” になります。

PIDX レジスタの値が GIDX レジスタの値と異なる場合、FIFO がエンプティでないことがわかります。このとき FLXAnFRSIR レジスタの FLXAnFRSIR.RFNE フラグが "1" になります。これは少なくとも 1 つの受信メッセージが FIFO にあることを示します。FIFO エンプティ、FIFO 非エンプティ、FIFO オーバランの状態を、3 つのメッセージバッファからなる FIFO を例に**図 21.11** に示します。

プログラマブル FIFO リジェクションフィルタ（FLXAnFRFRF レジスタ）は、除去されるメッセージのフィルタパターンを定義します。FIFO フィルタはチャネルフィルタ、フレーム ID フィルタ、サイクルカウンタフィルタで構成されます。FLXAnFRFRF レジスタの RSS ビットが “1” の場合、スタティックセグメントで受信したメッセージはすべて FIFO に除去されます。RNF ビットが “1” の場合、受信した Null フレームは FIFO に格納されません。

FlexRay FIFO リジェクションフィルタマスク（FLXAnFRFRFM レジスタ）では、FLXAnFRFRF レジスタのフレーム ID フィルタのどのビットを除外フィルタリングで “don't care” にするかを指定します。

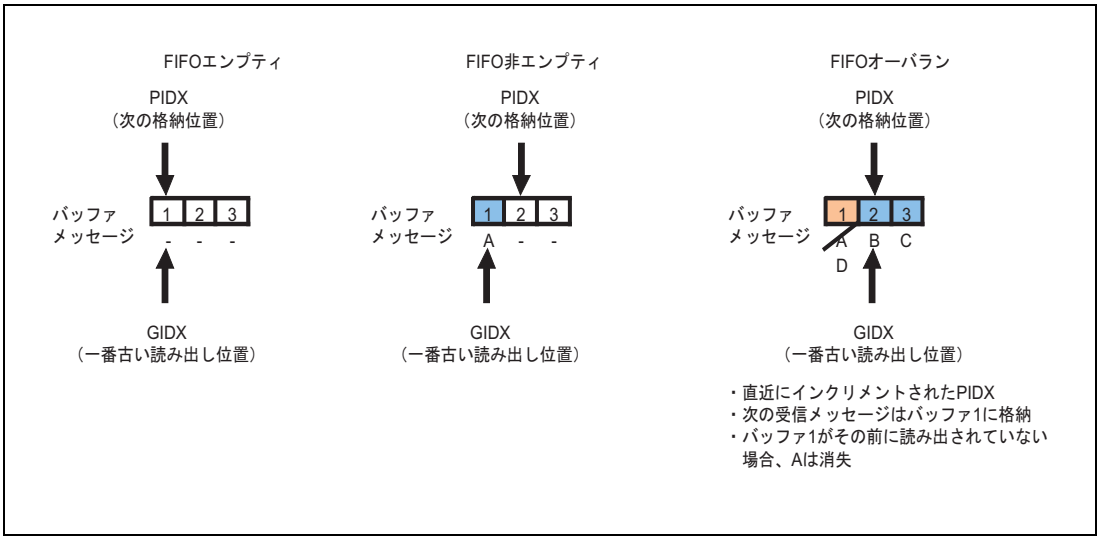


図 21.11 FIFO ステータス：エンプティ、非エンプティ、オーバラン

21.3.11.2 FIFO の設定

FIFO に設定したメッセージバッファの設定（もしくは設定変更）は、CC が DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。CC が DEFAULT_CONFIG 状態または CONFIG 状態にあるとき、FIFO 機能は使用できません。

FIFO に設定したすべてのメッセージバッファにおいて、FLXAnFRWRHS2.PLC ビットで設定するペイロード長は同じ値にする必要があります。メッセージ RAM の各メッセージバッファのデータセクションの最初の 32 ビットへのデータポインタは、FLXAnFRWRHS3.DP ビットで設定します。

アクセプタンスフィルタリングに必要な情報はすべて、FlexRay FIFO リジェクションフィルタレジスタおよび FlexRay FIFO リジェクションフィルタマスクレジスタから取り出されます。FIFO に設定したメッセージバッファのヘッダセクションに設定されている値は、DP ビットおよび PLC ビットを除いて、意味を持ちません。

注 意

1. **受信割り込み要求が発生しないよう、FIFO に設定したメッセージバッファの MBI ビットは FLXAnFRWRHS1 レジスタを使用して “0” にすることを推奨します。**
2. **受信したフレームのペイロード長が、対応するメッセージバッファのヘッダセクションにある FLXAnFRWRHS2.PLC ビットの設定値より長い場合、FIFO のメッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。**

21.3.11.3 FIFO へのアクセス

(1) 出力バッファを使用

DEFAULT_CONFIG 状態または CONFIG 状態以外で FIFO にアクセスするには、（FLXAnFRMRC.FFB ビットで参照される）FIFO の先頭メッセージバッファ番号を FLXAnFROBCR レジスタに書き込み、メッセージ RAM から出力バッファへの転送を起動する必要があります。そうすると、メッセージハンドラが GET インデックスレジスタ（GIDX）で示されるメッセージバッファを出力バッファに転送します。この転送の後、GIDX レジスタはインクリメントされます。

(2) データ転送機能を使用

FIFO に受信したメッセージは、出力データ転送機能を使用して、Local RAM や Global RAM に転送できます。出力データ転送機能については、**「21.3.16.2 出力データ転送」**を参照してください。

21.3.12 メッセージハンドリング

メッセージハンドラは、入力バッファ / 出力バッファとメッセージ RAM 間、メッセージ RAM と 2 つのテンポラリバッファ間のデータ転送を制御します。

メッセージ RAM に格納されたメッセージバッファへのアクセスは、メッセージハンドラステートマシンの制御下で行われます。これにより、2 つの FlexRay チャネルプロトコルコントローラと CPU がメッセージ RAM へアクセスする際の衝突が避けられます。

スタティックセグメントに割り当てられたメッセージバッファのフレーム ID は、1 から FLXAnFRGTUC7.NSS ビットの設定値までの範囲に収まる必要があります。ダイナミックセグメントに割り当てられたメッセージバッファのフレーム ID は、「FLXAnFRGTUC7.NSS ビットの設定値 +1 ～ 2047」の範囲に収まる必要があります。

一致する専用受信バッファ（スタティックセグメントまたはダイナミックセグメント）がない受信メッセージは、FIFO リジェクションフィルタをパスすれば、受信 FIFO（設定されている場合）に格納されます。

ここでは、入力バッファ機能または出力バッファ機能を使用したメッセージバッファの内容へのホストアクセスについて説明します。データ転送機能を使用したメッセージバッファの内容へのアクセスについては、**「21.3.16 データ転送の使用法」**で説明しています。

21.3.12.1 メッセージバッファの設定変更

アプリケーションが 128 を超えるメッセージを扱う必要がある場合、FlexRay オペレーション中にスタティックおよびダイナミックメッセージバッファの設定を変更することができます。入力バッファレジスタ（FLXAnFRWRHS1 ～ FLXAnFRWRHS3 レジスタ）で、各メッセージバッファのヘッダセクションを更新してください。

設定変更は、FlexRay メッセージ RAM 設定レジスタ（FLXAnFRMRC レジスタ）の SEC ビットで可能になります。

設定変更を始める前にメッセージバッファが送信されなかった、あるいは受信フレームにより更新されなかった場合、そのメッセージは失われます。

設定変更されたメッセージバッファが、設定変更されたフレーム ID に従って送信 / 受信される準備が整うタイミングは、ヘッダセクションの更新が完了したときのスロットカウンタの実際の状態に依存します。このため、設定変更されたメッセージバッファが、設定変更されたサイクルで送信されない、あるいは受信フレームにより更新されない場合があります。

メッセージ RAM は**表 21.104** に従ってスキャンされます。

表 21.104 メッセージ RAM のスキャン

スキャンの開始スロット	スロットのスキャン
1	2…15, 1 （次のサイクル）
8	16…23, 1 （次のサイクル）
16	24…31, 1 （次のサイクル）
24	32…39, 1 （次のサイクル）
…	…

メッセージ RAM のスキャンは、スキャンが終了したかどうかに関わらず NIT の開始とともに終了させられます。スロット 2 ～ 15 に対応するメッセージ RAM のスキャンは、現行のサイクルのスロット 1 の先頭で開始します。スロット 1 に対応するメッセージ RAM のスキャンは、次のサイクルのスロット 1 用に設定されたメッセージバッファがあるかどうかを、各メッセージ RAM のスキャンと並行してチェックすることで、その前のサイクルで行われます。

ダイナミックメッセージバッファの先頭番号は FLXAnFRMRC.FDB ビットで設定します。メッセージ RAM のスキャンをダイナミックセグメント中に開始する場合、スキャンは FLXAnFRMRC.FDB ビットで設定されたメッセージバッファ番号から開始されます。

次のサイクルのスロット 1 でメッセージバッファを使用するように再設定するには、以下の点を考慮してください。

- スロット 1 用に再設定するメッセージバッファが「スタティックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージ RAM スキャンが、このメッセージバッファを評価する 前に再設定した場合のみ検出されます。
- スロット 1 用に再設定するメッセージバッファが「スタティックバッファ + ダイナミックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージ RAM スキャンが、このメッセージバッファを評価する前に再設定した場合のみ検出されます。
- NIT が始まるとメッセージ RAM スキャンは終了します。この時点までにメッセージ RAM スキャンが再設定されたメッセージバッファを評価していない場合、そのメッセージバッファは次のサイクル用とは認識されません。

注　意

メッセージバッファの設定変更は、メッセージが失われる可能性があるため、十分に注意して実施してください。最悪の場合（連続サイクルでの設定変更時）、メッセージバッファがまったく送信されなかったり、受信フレームによって更新されなかったりすることもあります。

21.3.12.2 メッセージ RAM へのアクセス

入力バッファとメッセージ RAM 間、メッセージ RAM と出力バッファ間のメッセージ転送は、プログラムで、それぞれ転送先 / 転送元メッセージバッファ番号を FLXAnFRIBCR レジスタまたは FLXAnFROBCR レジスタに書き込むことで起動されます。

FLXAnFRIBCM レジスタ、FLXAnFROBCM レジスタは、選択されたメッセージバッファのヘッダセクションとデータセクションを個別に書き込んだり読み出したりするのに使用します。

FLXAnFRIBCM レジスタの STXR ビットが “1” の場合、選択されたメッセージバッファが更新された後、このメッセージバッファの送信要求フラグ（TXR ビット）は自動的に “1” になります。STXR ビットに “0” を書き込むと、選択されたメッセージバッファの送信要求フラグ（TXR ビット）は “0” になります。これは、連続モードで動作しているメッセージバッファからの送信を停止するのに使用できます。

入力バッファ（IBF）と出力バッファ（OBF）は、二重バッファ構成になっています。この二重バッファの構成の一方は CPU からアクセスでき（IBF ホスト /OBF ホスト）、もう一方（IBF シャドウ /OBF シャドウ）は IBF/OBF とメッセージ RAM 間のデータ転送のためにメッセージハンドラからアクセスされます。

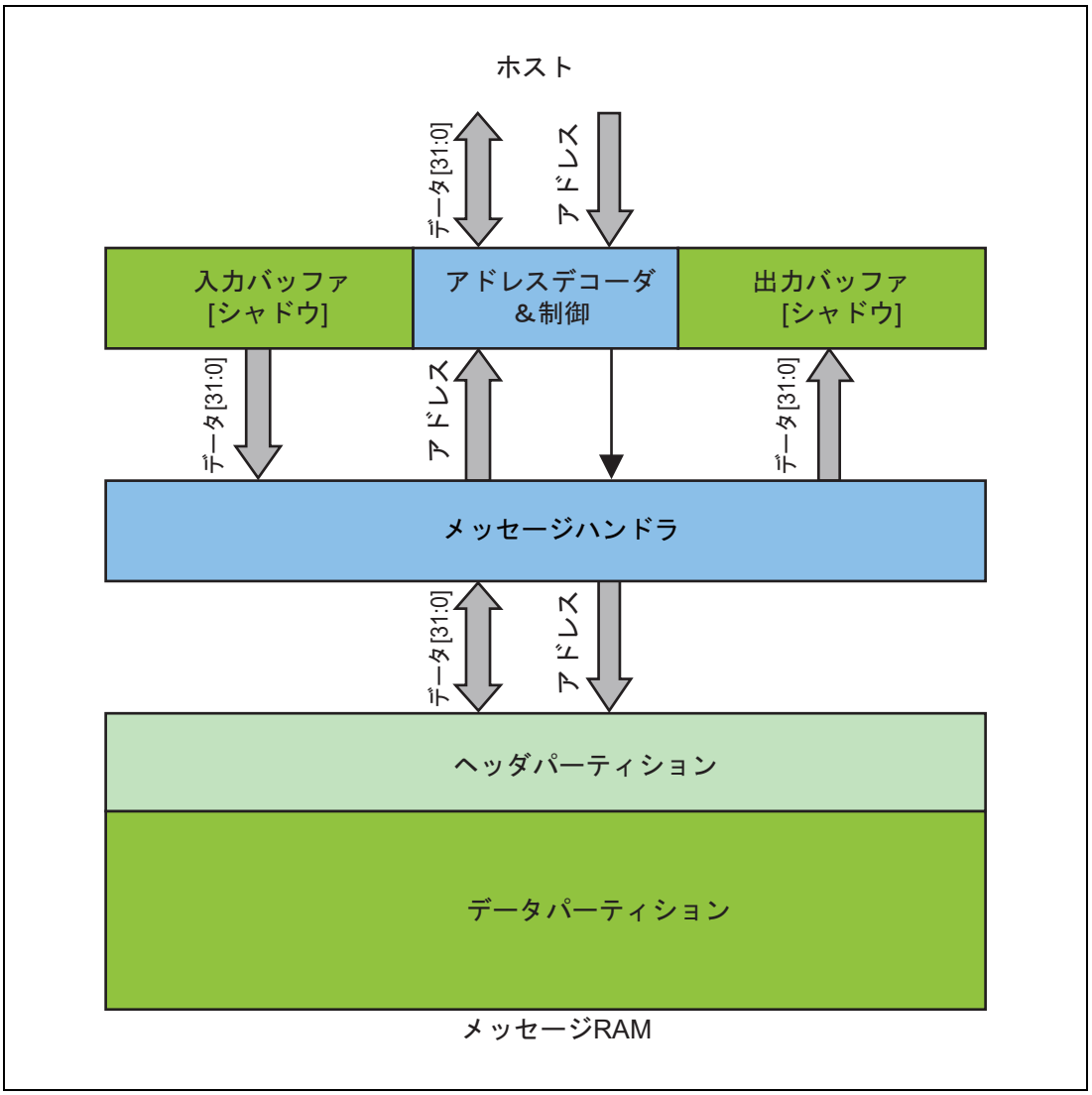


図 21.12 メッセージ RAM へのアクセス

(1) 入力バッファからメッセージ RAM へのデータ転送

メッセージ RAM 内のメッセージバッファを設定あるいは更新するには、データを FLXAnFRWRDSx レジスタに、ヘッダを FLXAnFRWRHS1 ～ FLXAnFRWRHS3 に書き込む必要があります。特殊な動作は FlexRay 入力バッファコマンドマスクレジスタ（FLXAnFRIBCM レジスタ）を設定することで選択されます。

FLXAnFRIBCR.IBRH ビットにメッセージ RAM 内の転送先メッセージバッファ番号を書き込むと、IBF ホストと IBF シャドウが切り替わります（**図 21.13** 参照）。

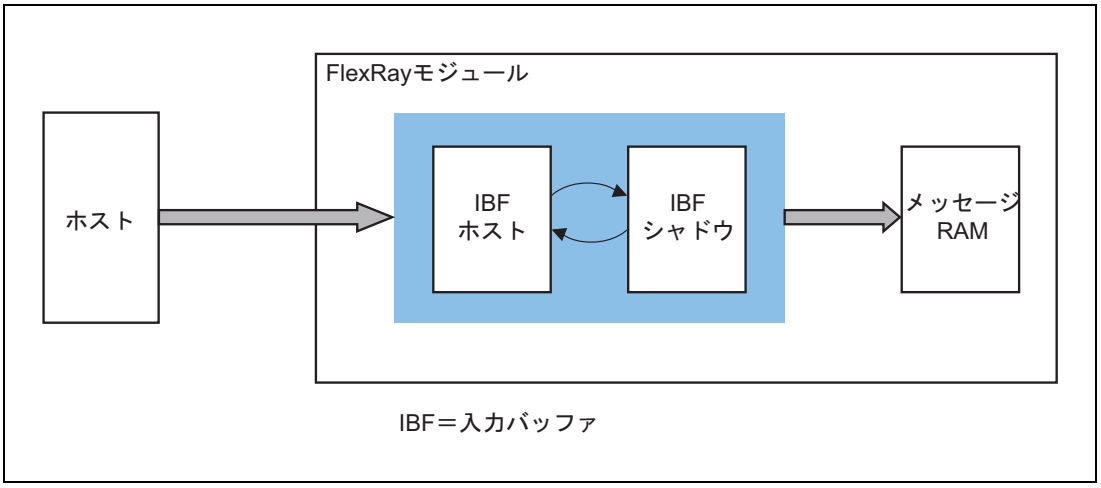


図 21.13 入力バッファのダブルバッファ構造

さらに FLXAnFRIBCM レジスタと FLXAnFRIBCR レジスタの各ビットも、各 IBF セクションにある値を維持したまま切り替わります（**図 21.14** 参照）。

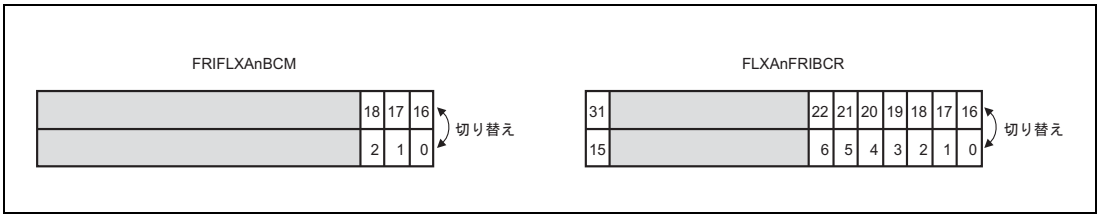


図 21.14 FLXAnFRIBCM レジスタと FLXAnFRIBCR レジスタのビットの切り替え

この書き込み動作により、FLXAnFRIBCR レジスタの IBSYS ビットが “1” にセットされます。その後、メッセージハンドラが IBF シャドウの内容を、メッセージ RAM 内の FLXAnFRIBCR.IBRS ビットで選択されたメッセージバッファへ転送し始めます。

メッセージハンドラが IBF シャドウからメッセージ RAM 内の目的のメッセージバッファへデータを転送している間、次のメッセージを IBF ホストに書き込むことができます。IBF シャドウとメッセージ RAM 間の転送が完了した後、FLXAnFRIBCR.IBSYS ビットは再び “0” になり、FLXAnFRIBCR.IBRH ビットに次の転送先メッセージバッファ番号を書き込むことで、メッセージ RAM への次の転送が開始できます。

FLXAnFRIBCR.IBSYS ビットが “1” のときに FLXAnFRIBCR.IBRH に書き込むと、FLXAnFRIBCR.IBSYH ビットが “1” になります。実行中の IBF シャドウからメッセージ RAM へのデータ転送が完了した後、IBF ホストと IBF シャドウが切り替わり、FLXAnFRIBCR.IBSYH ビットは “0” になります。また、FLXAnFRIBCR.IBSYS ビットは “1” のままになり、次のメッセージ RAM への転送が始まります。さらに、FLXAnFRIBCR.IBRH

ビットと FLXAnFRIBCR.IBRS ビットに入っているメッセージバッファ番号とコマンドマスクフラグも入れ替わります。

8/16/32 ビットのアクセスシーケンス例

IBF を介して n 番目のメッセージ番号を設定 / 更新

- FLXAnFRIBCR.IBSYH ビットが “0” になるまで待つ
- データセクションを FLXAnFRWRDSx に書き込む
- ヘッダセクションを FLXAnFRWRHS1 ～ FLXAnFRWRHS3 レジスタに書き込む
- コマンドマスクを書き込む：FLXAnFRIBCM レジスタの STXRH、LDSH、LHSH ビットの設定
- 目的のメッセージバッファへのデータ転送を要求する：FLXAnFRIBCR.IBRH ビットの設定

IBF を介して n+1 番目のメッセージ番号を設定 / 更新

- FLXAnFRIBCR.IBSYH ビットが “0” になるまで待つ
- データセクションを FLXAnFRWRDSx に書き込む
- ヘッダセクションを FLXAnFRWRHS1 ～ FLXAnFRWRHS3 レジスタに書き込む
- コマンドマスクを書き込む：FLXAnFRIBCM レジスタの STXRH、LDSH、LHSH ビットの設定
- 目的のメッセージバッファへのデータ転送を要求する：FLXAnFRIBCR.IBRH ビットの設定

注　意

FLXAnFRIBCR レジスタの IBSYH ビットが “1” のときに IBF に書き込みアクセスすると、FLXAnFREIR レジスタの IIBA ビットが “1” になります。この場合その書き込みアクセスは無視されます。

表 21.105 FLXAnFRIBCM レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
18	r	STXRS	送信要求シャドウ設定フラグ（転送中または転送完了）
17	r	LDSS	データセクションシャドウロードフラグ （転送中または転送完了）
16	r	LHSS	ヘッダセクションシャドウロードフラグ （転送中または転送完了）
2	r/w	STXRH	送信要求ホスト設定
1	r/w	LDSH	データセクションホストロード設定ビット
0	r/w	LHSH	ヘッダセクションホストロード設定ビット

表 21.106 FLXAnFRIBCR レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
31	r	IBSYS	入力バッファビジーシャドウフラグ IBF シャドウからメッセージ RAM に転送中
22 ～ 16	r	IBRS	入力バッファ要求シャドウフラグ 転送中または最後に転送したメッセージバッファ番号
15	r	IBSYH	入力バッファビジーホストフラグ IBRH で示されるメッセージバッファへの転送が保留中
6 ～ 0	r/w	IBRH	入力バッファ要求ホストビット 次に転送されるメッセージバッファ番号

(2) メッセージ RAM から出力バッファへのデータ転送

メッセージ RAM からメッセージバッファのデータを読み出すには、FLXAnFROBCR レジスタに値を書き込み、FLXAnFROBCM レジスタで設定したデータ転送を行う必要があります。転送完了後、転送されたデータは FLXAnFRRDDSx、FLXAnFRRDHS1 ～ FLXAnFRRDHS3、FLXAnFRMBS レジスタから読み出せます。

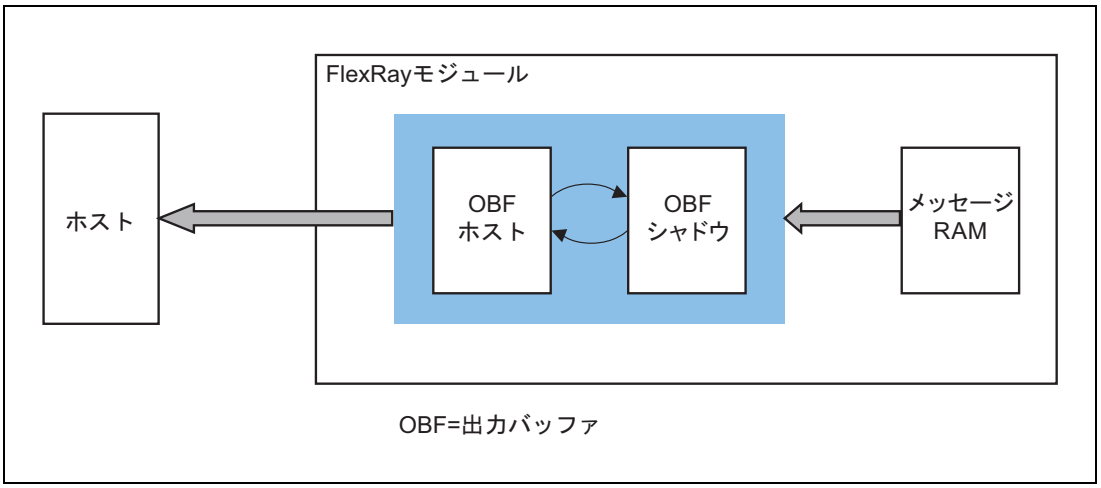


図 21.15 出力バッファのダブルバッファ構造

OBF ホストと OBF シャドウ、FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS、FLXAnFROBCM.RHSH、FLXAnFROBCM.RDSH ビット、FLXAnFROBCR.OBRS、FLXAnFROBCR.OBRH ビットが、FLXAnFROBCR.VIEW ビットと FLXAnFROBCR.REQ ビットの設定に従って切り替わります。

FLXAnFROBCR.REQ ビットに “1” を書き込むと、FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビット、FLXAnFROBCR.OBRS ビットの内容が内部メモリにコピーされます（**図 21.16** 参照）。

FLXAnFROBCR.REQ ビットを “1” にした後、FLXAnFROBCR.OBSYS ビットが “1” になり、FLXAnFROBCR.OBRS ビットで選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。メッセージ RAM から OBF シャドウへの転送が完了すると、FLXAnFROBCR.OBSYS ビットは “0” に戻ります。FLXAnFROBCR.REQ ビットと FLXAnFROBCR.VIEW ビットは、FLXAnFROBCR.OBSYS ビットが “0” のときのみ “1” を書き込めます。

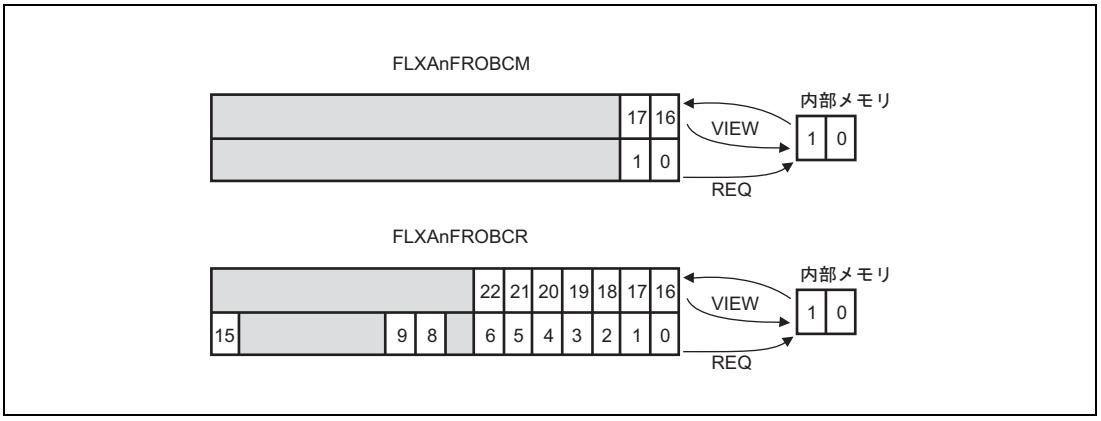


図 21.16 FLXAnFROBCM レジスタと FLXAnFROBCR レジスタのビットの切り替え

FLXAnFROBCR レジスタの OBSYS ビットが “0” のときに VIEW ビットに “1” を書き込むと、OBF ホストと OBF シャドウが切り替わります（**図 21.15** 参照）。

同時に FLXAnFROBCR.OBRH ビット、FLXAnFROBCM.RHSH、FLXAnFROBCM.RDSH ビットの値も内部メモリの値と切り替わります。このように、FLXAnFROBCR.OBRH ビットに格納されたメッセージバッファ番号と、FLXAnFROBCM.RDSH ビット、FLXAnFROBCM.RHSH ビットに格納されたマスク設定が、OBF ホストに書き込まれた転送データと一致することが保証されます（**図 21.16** 参照）。

メッセージハンドラが次のメッセージをメッセージ RAM から OBF シャドウへ転送している間に、CPU は転送されたメッセージバッファを OBF ホストから読み出すことができます。

OBSYS ビットが “0” のときに REQ ビットと VIEW ビットに同時に “1” を書き込むと、OBSYS ビットが自動的に “1” にセットされ、OBF シャドウと OBF ホストが切り替わります。同時に、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXAnFROBCM レジスタの内部メモリの値と切り替わります。その後、FLXAnFROBCR.OBRS ビットの値は FLXAnFROBCR レジスタの内部メモリに、FLXAnFROBCM.RDSS ビットおよび FLXAnFROBCM.RHSS ビットの値は FLXAnFROBCM レジスタの内部メモリにコピーされ、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送している間、CPU は前回転送されたメッセージバッファを OBF ホストから読み出すことができます。メッセージ RAM と OBF シャドウ間の最新の転送が完了すると、FLXAnFROBCR.OBSYS ビットを “0” に戻すことで完了が通知されます。

単一メッセージバッファへの 8/16/32 ビットアクセス例：

1 つのメッセージバッファを読み出すには、FLXAnFROBCR.REQ ビットと FLXAnFROBCR.VIEW ビットに対して個々に書き込みアクセスが必要です。

- FLXAnFROBCR.OBSYS ビットが “0” になるまで待つ
- 出力バッファコマンドマスクを書き込む：FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビットの設定
- FLXAnFROBCR.OBRS ビットと FLXAnFROBCR.REQ ビットに値を書き込むことで（8 ビットのホストインタフェースの場合、FLXAnFROBCR.REQ ビットの前に FLXAnFROBCR.OBRS ビットを書き込む）、メッセージバッファの OBF シャドウへの転送を要求する
- FLXAnFROBCR.OBSYS ビットが “0” になるまで待つ

- FLXAnFROBCR.VIEW ビットに “1” を書き込み、OBF シャドウと OBF ホストを切り替える
- FLXAnFRRDDSx、FLXAnFRRDHS1 ～ FLXAnFRRDHS3、FLXAnFRMBS レジスタを読み出すことで、転送されたメッセージバッファを読み出す

8/16/32 ビットアクセスシーケンス例：

1 回目のメッセージバッファの OBF シャドウへの転送要求を行う。

- FLXAnFROBCR.OBSYS ビットが “0” になるまで待つ
- 1 回目のメッセージバッファに対する出力バッファコマンドマスクを書き込む：FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビットの設定
- FLXAnFROBCR.OBRS ビットと FLXAnFROBCR.REQ ビットに値を書き込むことで（8 ビットのホストインタフェースの場合、FLXAnFROBCR.REQ ビットの前に FLXAnFROBCR.OBRS ビットを書き込む）、1 回目のメッセージバッファの OBF シャドウへの転送を要求する

OBF シャドウと OBF ホストを切り替え、1 回目に転送されたメッセージバッファの読み出しと 2 回目のメッセージバッファの転送要求を行う。

- FLXAnFROBCR.OBSYS ビットが “0” になるまで待つ
- 2 回目のメッセージバッファに対する出力バッファコマンドマスクを書き込む：FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビットの設定
- 2 回目のメッセージバッファのメッセージバッファ番号を FLXAnFROBCR.OBRS ビットに書き込み、FLXAnFROBCR.REQ ビット、FLXAnFROBCR.VIEW ビットに値を書き込むことで（8 ビットのホストインタフェースの場合、FLXAnFROBCR.REQ ビット、FLXAnFROBCR.VIEW ビットの前に FLXAnFROBCR.OBRS ビットに書き込む）、OBF シャドウと OBF ホストを切り替え、同時に 2 回目のメッセージバッファの OBF シャドウへの転送を要求する
- FLXAnFRRDDSx、FLXAnFRRDHS1 ～ FLXAnFRRDHS3、FLXAnFRMBS レジスタを読み出すことで、1 回目に転送されたメッセージバッファを読み出す

…

他のメッセージバッファへの要求をせずに、最後に転送要求したメッセージバッファへのアクセスを要求する。

- FLXAnFROBCR.OBSYS ビットが “0” になるまで待つ
- FLXAnFROBCR.VIEW ビットに書き込み、最後に転送したメッセージバッファへのアクセスを要求する
- FLXAnFRRDDSx、FLXAnFRRDHS1 ～ FLXAnFRRDHS3、FLXAnFRMBS レジスタを読み出すことで、最後に転送されたメッセージバッファを読み出す

表 21.107 FLXAnFROBCM レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
17	r	RDSH	データセクションアクセス可能
16	r	RHSH	ヘッダセクションアクセス可能
1	r/w	RDSS	データセクションシャドウ読み出しビット
0	r/w	RHSS	ヘッダセクションシャドウ読み出しビット

表 21.108 FLXAnFROBCR レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
22 ～ 16	r	OBRH	OBF ホスト転送要求フラグ アクセスできるメッセージバッファ番号
15	r	OBSYS	OBF シャドウビジーフラグ メッセージ RAM から OBF シャドウへ転送中
9	r/w	REQ	メッセージ RAM から OBF シャドウへの転送要求
8	r/w	VIEW	OBF シャドウの閲覧、OBF シャドウと OBF ホストの切り替え
6 ～ 0	r/w	OBRS	OBF 転送要求シャドウビット 次に転送されるメッセージバッファ番号

21.3.12.3 FlexRay プロトコルコントローラからメッセージ RAM へのアクセス

2 つのテンポラリバッファ（TBFA、B）は、2 つの FlexRay プロトコルコントローラとメッセージ RAM 間で転送されるデータのバッファとして使用されます。

各テンポラリバッファ はダブルバッファ構成になっており、完全な FlexRay メッセージを 2 つ格納できます。常に一方のバッファは対応するプロトコルコントローラに割り当てられ、もう一方はメッセージハンドラからアクセスできます。

たとえば、メッセージハンドラが送信テンポラリバッファに次に送信するメッセージを書き込んだ場合、FlexRay チャネルプロトコルコントローラは受信テンポラリバッファにアクセスしてそのとき受信しているメッセージを格納することができます。送信テンポラリバッファに格納されたメッセージの送信中、メッセージハンドラは受信テンポラリバッファに格納されている最後に受信したメッセージをメッセージ RAM に転送し（アクセプタンスフィルタリングをパスした場合）、対応するメッセージバッファを更新します。

テンポラリバッファと、FlexRay チャネルプロトコルコントローラのシフトレジスタ間のデータ転送は 32 ビット単位で行われます。このため FlexRay のメッセージ長にかかわらず、32 ビットのシフトレジスタを使うことができます。

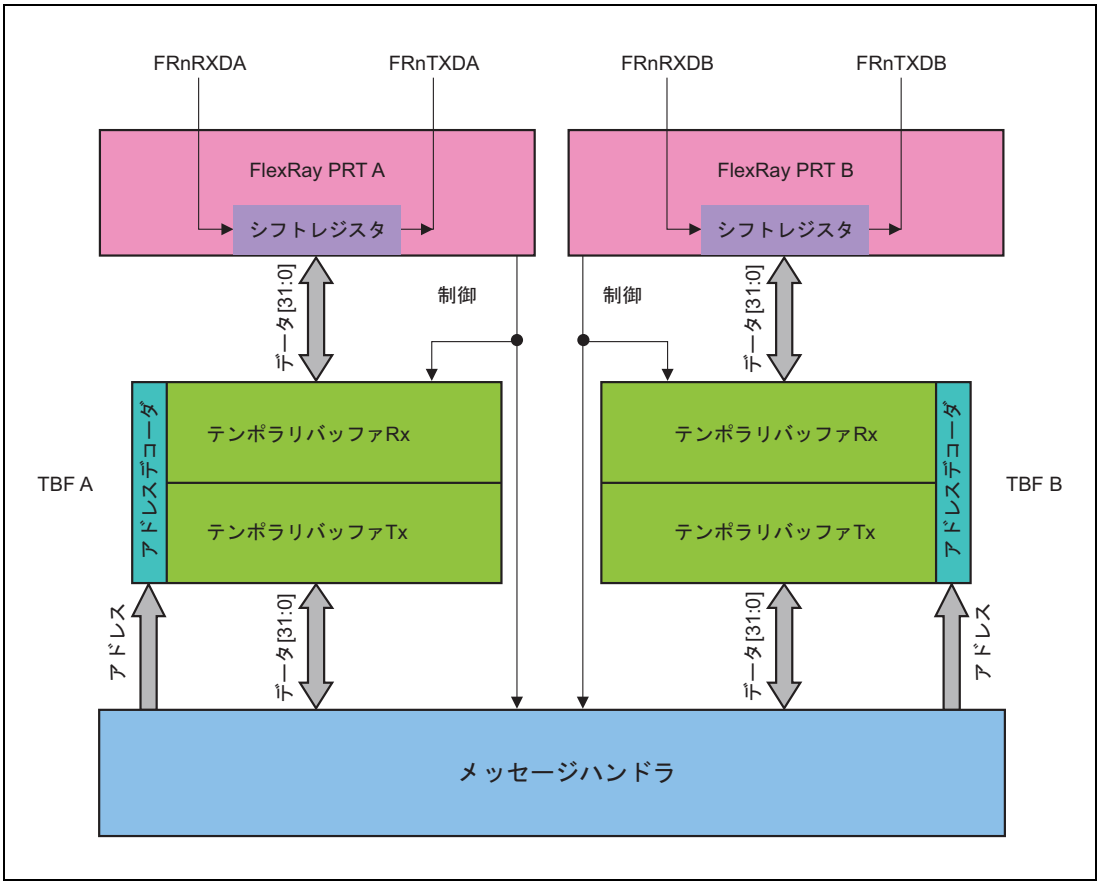


図 21.17 テンポラリバッファへのアクセス

21.3.13 メッセージ RAM

CPU のメッセージ RAM へのアクセスと、FlexRay メッセージ送受信との衝突を避けるために、CPU はメッセージ RAM 内のメッセージバッファに直接アクセスすることはできません。これらのアクセスは入力バッファと出力バッファを介して行います。メッセージ RAM には、設定したペイロード長に応じて最大 128 個のメッセージバッファを持つことができます。

メッセージ RAM は、最大 2048 個の 32 ビットワードを格納することができます。FlexRay フレームごとに異なるデータサイズ（0 ～ 254 バイト）に柔軟に対応するために、メッセージ RAM は**図 21.18** に示すような構造になっています。

ヘッダパーティションの直後に配置されるデータセクションのメッセージバッファを、受信バッファ（FLXAnFRWRHS1.CFG ビットを "0"）または 受信 FIFO バッファに設定した場合、データセクションの先頭には少なくとも 32 ビットの未使用領域を設定してください。この場合、データパーティションは、（(FLXAnFRMRC.LCB[7:0] ビットの設定値 +1）×4）+ 1 で計算されるメッセージ RAM ワード番号から開始できます。

ヘッダパーティションの直後に配置されるデータセクションのメッセージバッファを、送信バッファ（FLXAnFRWRHS1.CFG ビットを "1"）に設定した場合、データパーティションは、(FLXAnFRMRC.LCB[7:0] ビットの設定値 +1）×4 で計算されるメッセージ RAM ワード番号から開始できます。

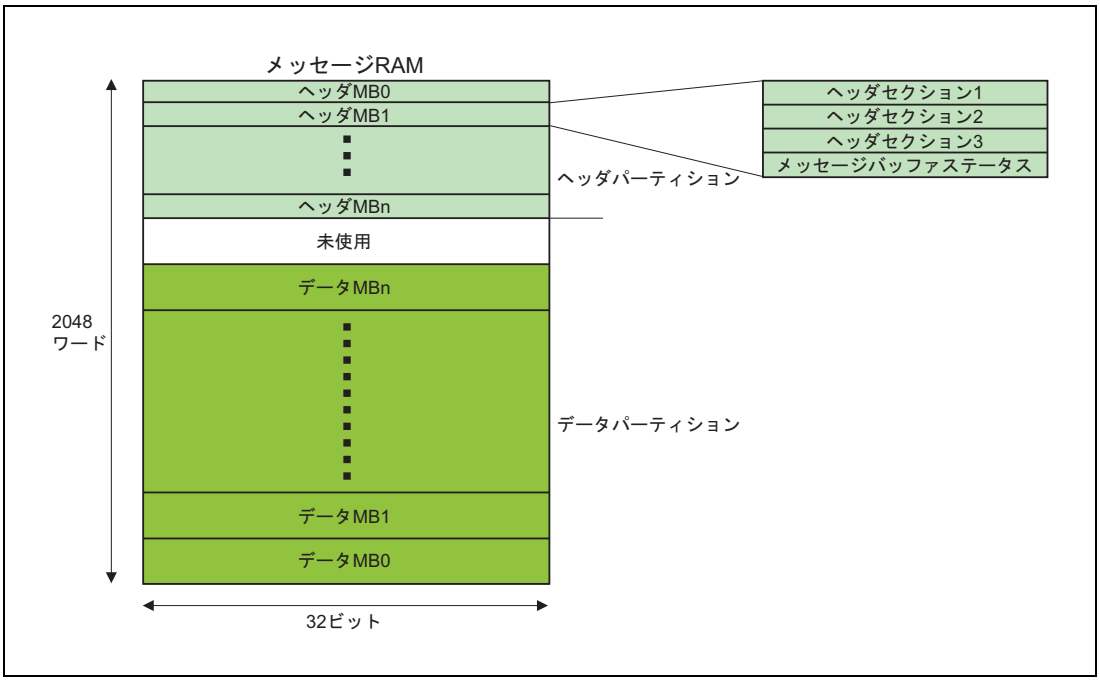


図 21.18 メッセージ RAM 内のメッセージバッファの設定例

ヘッダパーティション：

設定されたメッセージバッファのヘッダセクションを格納します。

- 最大 128 個のメッセージバッファをサポート
- 各メッセージバッファのヘッダセクションは、（32 ビット）×4 ワード
- 各メッセージバッファのヘッダセクション 3 に、データパーティション内の対応するデータセクションへの 11 ビットのデータポインタを格納

データパーティション：

異なるデータ長のデータセクションに対するフレキシブルなメモリ。以下に最大値の例を示します。

- データセクションが 254 バイトの場合、30 個のメッセージバッファ
- データセクションが 128 バイトの場合、56 個のメッセージバッファ
- データセクションが 48 バイトの場合、128 個のメッセージバッファ

注　意

ヘッダパーティションとデータパーティションの合計サイズは 2048 個の 32 ビットワード以下にしてください。

21.3.13.1 ヘッダパーティション

メッセージバッファの設定に使用される各要素と、メッセージバッファステータスは、メッセージ RAM のヘッダパーティションに**表 21.109** に示すように格納されています。メッセージバッファのヘッダセクションの設定は IBF（FLXAnFRWRHS1 ～ FLXAnFRWRHS3 レジスタ）を介して行います。ヘッダセクションの読み出しは OBF（FLXAnFRRDHS1 ～ FLXAnFRRDHS3 レジスタ、FLXAnFRMBS レジスタ）を介して行います。データポインタは、メッセージ RAM のデータパーティション内の対応するメッセージバッファに対するデータセクションの開始位置を定義するもので、事前に計算しておく必要があります。動作中はデータポインタを変更しないでください。受信 FIFO に設定したメッセージバッファの設定 / 再設定は、DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。

各メッセージバッファのヘッダセクションは、メッセージ RAM のヘッダパーティションのうち 4 ワード（1 ワード = 32 ビット）使用します。メッセージバッファ 0 のヘッダは、メッセージ RAM の先頭ワードから始まります。

送信バッファのヘッダ CRC はプログラムで計算する必要があります。

受信ペイロード長（PLR ビット）、受信サイクルカウンタ値（RCC ビット）、受信チャネルインジケータ（RCI ビット）、Startup フレームインジケータ（SFI ビット）、Sync フレームインジケータ（SYN ビット）、Null フレームインジケータ（NFI ビット）、ペイロードプリアンブルインジケータ（PPI ビット）、予約ビット（RES ビット）は、有効なデータフレームを受信したときのみ更新されます。

表 21.109 メッセージ RAM 内のメッセージバッファのヘッダセクション

ビット ワード	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0			MBI	TXM	PPIT	CFG	CH			サイクルコード												フレームID										
1		受信 ペイロード長								設定 ペイロード長												Txバッファ：設定ヘッダCRC Rxバッファ：受信ヘッダCRC										
2			RES	PPI	NFI	SYN	SFI	RCI			受信 サイクルカウント											データポインタ										
3			RESS	PPIS	NFIS	SYNS	SFIS	RCIS			サイクル カウントステータス						FTB	FTA		MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
...	...																															
...	...																															

- フレーム設定
- フィルタ設定
- メッセージバッファコントロール
- メッセージRAM設定
- 受信データフレームによる更新
- メッセージバッファステータス（MBS）
- 未使用

(1) ヘッダセクション 1（ワード 0）

FLXAnFRWRHS1 レジスタを介して書き込み、FLXAnFRRDHS1 レジスタを介して読み出し：

- フレーム ID
  - スロットカウンタフィルタリング設定
- サイクルコード
  - サイクルカウンタフィルタリング設定
- CH ビット
  - チャネルフィルタリング設定
- CFG ビット
  - メッセージバッファ方向設定（受信 / 送信）
- PPIT ビット
  - 送信ペイロードプリアンブルインジケータ
- TXM ビット
  - 送信モード設定（シングルショットモード / 連続モード）
- MBI ビット
  - メッセージバッファ受信 / 送信割り込み許可

(2) ヘッダセクション 2（ワード 1）

FLXAnFRWRHS2 レジスタを介して書き込み、FLXAnFRRDHS2 レジスタを介して読み出し：

- ヘッダ CRC
  - 送信バッファ：プログラムで設定（フレームヘッダから計算）
  - 受信バッファ：受信フレームにより更新
- 設定ペイロード長
  - プログラムで設定したデータセクション長（2 バイトワード単位）
- 受信ペイロード長
  - 受信フレームから格納されたペイロードセグメント長（2 バイトワード単位）

(3) ヘッダセクション 3（ワード 2）

FLXAnFRWRHS3 レジスタを介して書き込み、FLXAnFRRDHS3 レジスタを介して読み出し：

- データポインタ
  - データパーティション内で対応するデータセクションの先頭へのポインタ

FLXAnFRRDHS3 レジスタを介して読み出し、受信バッファでのみ有効、受信フレームにより更新

- 受信サイクルカウント
  - 受信フレームのサイクルカウント値

- RCI ビット
  - 受信チャネルインジケータ
- SFI ビット
  - Startup フレームインジケータ
- SYN ビット
  - Sync フレームインジケータ
- NFI ビット
  - Null フレームインジケータ
- PPI ビット
  - ペイロードプリアンブルインジケータ
- RES ビット
  - 予約ビット

(4) メッセージバッファステータス（FLXAnFRMBS）（ワード 3）

FLXAnFRMBS レジスタを介して読み出し、設定したスロットの終了時に CC により更新：

- VFRA ビット
  - チャネル A 有効フレーム受信
- VFRB ビット
  - チャネル B 有効フレーム受信
- SEOA ビット
  - チャネル A シンタックスエラー検出
- SEOB ビット
  - チャネル B シンタックスエラー検出
- CEOA ビット
  - チャネル A コンテンツエラー検出
- CEOB ビット
  - チャネル B コンテンツエラー検出
- SVOA ビット
  - チャネル A スロット境界違反検出
- SVOB ビット
  - チャネル B スロット境界違反検出
- TCIA ビット
  - チャネル A 送信競合検出
- TCIB ビット
  - チャネル B 送信競合検出

- ESA ビット
  - チャネル A エンプティスロット
- ESB ビット
  - チャネル B エンプティスロット
- MLST ビット
  - メッセージ消失
- FTA ビット
  - チャネル A フレーム送信
- FTB ビット
  - チャネル B フレーム送信
- サイクルカウント
  - ステータスが更新されたときの現在のサイクルカウント
- RCIS ビット
  - 受信チャネルインジケータステータス
- SFIS ビット
  - Startup フレームインジケータステータス
- SYNS ビット
  - Sync フレームインジケータステータス
- NFIS ビット
  - Null フレームインジケータステータス
- PPIS ビット
  - ペイロードプリアンブルインジケータステータス
- RESS ビット
  - 予約ビットステータス

21.3.13.2 データパーティション

メッセージ RAM のデータパーティションは、受信 / 送信に設定されたメッセージバッファのデータセクションを、ヘッダパーティションで定義されたとおりに格納します。メッセージバッファのデータサイズはそれぞれ 0 ～ 254 バイトの範囲で異なる値を持ちます。2 つの FlexRay プロトコルコントローラのシフトレジスタとメッセージ RAM との間、CPU インタフェースとメッセージ RAM との間でのデータ転送を最適化するために、メッセージ RAM の物理幅は 4 バイトに設定されています。

データパーティションはヘッダパーティションの最終ワードの後から始まります。メッセージ RAM 内のメッセージバッファを設定する場合は、データポインタが確実にデータパーティション内のアドレスを指すようにしてください。**表 21.110** は、設定されたメッセージバッファのデータセクションがメッセージ RAM のデータパーティションにどのように格納されるかを示す例です。

メッセージバッファのデータセクションの先頭と終了時に、それぞれメッセージバッファのヘッダセクションで設定されたデータポインタとペイロード長により決まります。これにより、使用できる RAM 空間を、異なるデータ長を持ったメッセージバッファの格納領域として柔軟に使用することができます。

データセクションのサイズが奇数ワード（1 ワード = 2 バイト）の場合、最後の 32 ビットの残り 16 ビットは使用されません（**表 21.110** 参照）。

表 21.110 メッセージ RAM 内のデータパーティションの構成例

ビット ワード	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
...	未使用								未使用								未使用								未使用							
...	未使用								未使用								未使用								未使用							
...	MBnデータ3								MBnデータ2								MBnデータ1								MBnデータ0							
...	...								...								...								...							
...	...								...								...								...							
...	MBnデータ(m)								MBnデータ(m-1)								MBnデータ(m-2)								MBnデータ(m-3)							
...	...								...								...								...							
...	...								...								...								...							
...	...								...								...								...							
...	MB1データ3								MB1データ2								MB1データ1								MB1データ0							
...	...								...								...								...							
2046	MB0データ3								MB0データ2								MB0データ1								MB0データ0							
2047	未使用								未使用								MB0データ5								MB0データ4							

21.3.13.3 メッセージデータ安全性チェック

FlexRay モジュールには、データ安全性チェックサム機能が搭載されており、メッセージ RAM に格納されたデータの安全性を保証しています。**図 21.19** に示すように、メッセージ RAM にはチェックサムジェネレータとチェックサムチェッカが取り付けられています。

RAM にデータが書き込まれると、ローカルのチェックサムジェネレータはチェックサムを生成します。チェックサムは各データワードとともに格納されます。メッセージ RAM からデータワードが読み出されるたびに、チェックサムが照合されます。

チェックサムエラーが検出されると、各アクセスエラーフラグが “1” になります。アクセスエラーフラグ（FLXAnFRMHDS レジスタの AMR、ATBF1、ATBF2 ビット）および誤りメッセージバッファ検出フラグ（FMBD、MFMB、FMB ビット）は FlexRay メッセージハンドラステータスレジスタにあります。これらのシングルアクセスエラーフラグによってエラー割り込みフラグ（FLXAnFREIR レジスタの AERR ビット）が制御されます。

図 21.19 に入力バッファ、テンポラリバッファ、メッセージ RAM 間のデータパスを示します。

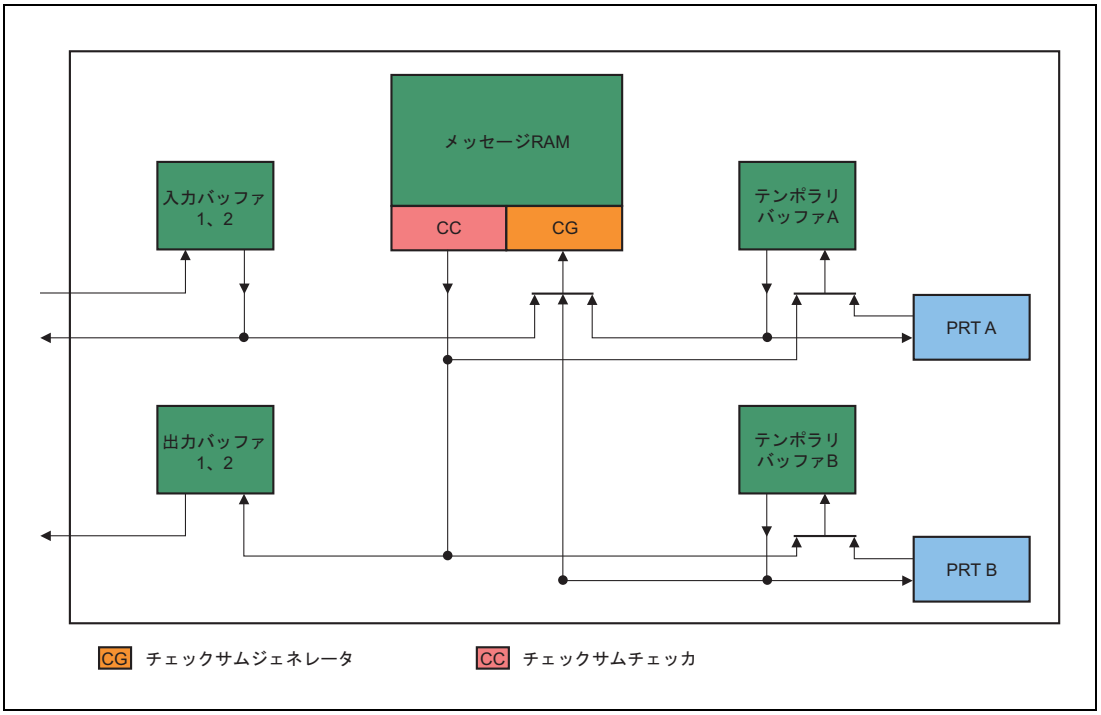


図 21.19 チェックサムの生成と照合

アクセスエラーが検出されると、以下の処理が実行されます。

すべての場合において：

- FLXAnFRMHDS レジスタの各アクセスエラーフラグがセットされます
- アクセスエラーフラグ FLXAnFREIR.AERR が “1” になり、許可されている場合、割り込み要求が発生します。

上記に加え、特殊な場合において：

(1) 各メッセージバッファのヘッダセクションをメッセージ RAM から読み出す際、入力バッファ 1、2 からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが “1” になります。
- FLXAnFRMHDS.FMBD ビットが “1” になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- 該当するメッセージバッファのデータセクションが更新されません。
- 送信バッファ：該当するメッセージバッファへの送信要求は “1” になりません。

(2) メッセージ RAM でヘッダセクションをスキャンしているときのアクセスエラー

- FLXAnFRMHDS.AMR ビットが “1” になります。
- FLXAnFRMHDS.FMBD ビットが “1” になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- メッセージバッファは無視（スキップ）されます。

(3) メッセージ RAM からテンポラリバッファ 1、2 へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが “1” になります。
- FLXAnFRMHDS.FMBD ビットが “1” になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- フレームは送信されません。送信中のフレームはフレーム CRC が 0 に設定されて無効になります。

(4) メッセージ RAM から対応するメッセージバッファのヘッダセクションを読み出しているとき、テンポラリバッファ 1、2 からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが “1” になります。
- FLXAnFRMHDS.FMBD ビットが “1” になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- 該当するメッセージバッファのデータセクションは更新されません。

(5) メッセージ RAM から出力バッファへのデータ転送中のアクセスエラー

- アクセスエラーフラグ FLXAnFREIR.AERR が “1” になります。
- FLXAnFRMHDS.FMBD ビットが “1” になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。

(6) テンポラリバッファ 1、2 からプロトコルコントローラ 1、2 へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.ATBF1、FLXAnFRMHDS.ATBF2 ビットが “1” になります。
- 送信中のフレームはフレーム CRC が 0 に設定されて無効になります。

(7) テンポラリバッファ 1、2 を読み出しているとき、テンポラリバッファ 1、2 からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.ATBF1、FLXAnFRMHDS.ATBF2 ビットが “1” になります。
- FLXAnFRMHDS.FMBD ビットが “1” になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。

(8) テンポラリバッファ 1、2 のデータ読み出し中のアクセスエラー

メッセージハンドラがテンポラリバッファ 1、2 からネットワーク管理情報（PPI = '1'）を持つフレームを読むときにアクセスエラーが起きると、対応する FlexRay ネットワーク管理ベクタレジスタ FLXAnFRNMV1 ～ FLXAnFRNMV3 は更新されません。

21.3.13.4 アクセスエラーの処理

テンポラリビットのフリップによって発生するアクセスエラーは次のような処理で回復することができます。

(1) セルフヒーリング

メッセージ RAM、テンポラリバッファ A、またはテンポラリバッファ B のデータセクションに発生したアクセスエラーは、ホストアクセスあるいは FlexRay 通信によって妨害されたビットへの次の書き込みアクセスによって上書きされます。

(2) CLEAR_RAMS コマンド

DEFAULT_CONFIG あるいは CONFIG 状態のとき呼び出されると、POC コマンド CLEAR_RAMS はメッセージ RAM を “0” にイニシャライズします。

(3) ヘッダセクションの一時的なロック解除

ロックされたメッセージバッファのヘッダセクション内で発生したアクセスエラーは、入力バッファからロックされたバッファのヘッダセクションへ転送することによって回復します。この転送のため、FLXAnFRIBCR への書き込みアクセス（メッセージバッファ番号の指定）のあとすぐに、CONFIG 状態から出るためにロック解除の正常な手順が行われる必要があります。（**「21.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ」**参照）

この 1 回の転送により、ヘッダが FIFO のものであるか、あるいはロックが FLXAnFRMRC レジスタの SEC ビットにより制御されているかにかかわらず、対応するメッセージバッファのヘッダはロックが解除され新規データによって更新されます。

21.3.14 割り込み

CC によってエラーやステータス変化が検出された、フレームの送受信が完了した、設定したタイマ割り込みが有効になった、あるいはストップウォッチイベントが起こった場合に、ただちに割り込み要求が発生するというように、割り込みはプロトコルタイミングと密接な関係があります。これにより、CPU は特定のエラー状態やステータス変化、タイマイベントに対して速やかに対応することができます。その一方、割り込み要求が多すぎると、アプリケーションが要求する期限に間に合わない状況を生むことになります。このため、CC は個々の割り込み要因に対して個別に許可 / 禁止を制御できるようになっています。

割り込み要求は、次の場合に発生します。

- エラーが検出された
- ステータスフラグが “1” になった
- タイマが設定された値に達した
- 入力バッファからメッセージ RAM、またはメッセージ RAM から出力バッファへのメッセージ転送が完了した
- Local RAM や Global RAM からメッセージ RAM、またはメッセージ RAM から Local RAM や Global RAM へのメッセージ転送が完了した
- ストップウォッチイベントが発生した

状態の変化やエラーの発生に際して、状態を探知することと、割り込み要求を生成することは、2 つの独立したタスクです。割り込みが許可されているか禁止されているかに関わらず、CC は対応する状態を探知し、表示します。現在のステータス情報とエラー情報は、FLXAnFREIR レジスタ、FLXAnFRSIR レジスタ、FLXAnFROS レジスタ、FLXAnFROTS レジスタ、FLXAnFRITS レジスタを読み出すことで得られます。

汎用割り込みライン、FlexRay0 割り込み要求と FlexRay1 割り込み要求は、FLXAnFREIES および FLXAnFRSIES 内の有効な割り込みによって制御されます。これら 2 つの割り込み要求は、FLXAnFRILE レジスタの EINT0 ビットと EINT1 ビットを設定することで、個別に有効 / 無効にすることができます。

入力データ転送割り込みライン、FlexRay 入力キューエンプティ割り込み、FlexRay 入力キューフル割り込みは FLXAnFRITS 内の割り込みを許可することによって制御されます。さらに、各入力データ転送割り込みは FLXAnFRITC 内の対応するビットをプログラムすることによって個別に有効 / 無効にすることができます。

出力データ転送割り込みライン、FlexRay FIFO 転送警告割り込み、FlexRay 出力転送警告割り込み、FlexRay FIFO 転送割り込み、FlexRay 出力転送割り込みは、FLXAnFROTS 内の割り込みを許可することによって制御されます。さらに、各出力データ転送割り込みは FLXAnFROTC 内の対応するビットをプログラムすることによって個別に有効 / 無効にすることができます。

3 つのタイマ割り込みラインは FLXAnFROS レジスタの割り込みを許可することによって制御されます。さらに、各割り込みは FLXAnFROC レジスタの T0IE、T1IE、T2IE ビットをプログラムすることによって個別に有効 / 無効にすることができます。

IBF/OBF とメッセージ RAM 間のデータ転送が完了すると、FLXAnFRSIR レジスタの TIBC ビットまたは TOBC ビットが “1” になります。

ストップウォッチイベントは FLXAnSTPWT 入力端子がトリガとなる場合があります。

21.3.15 FlexRay 設定パラメータ

表 21.111 FlexRay 設定パラメータ (1/2)

パラメータ	ビット（フィールド）
pKeySlotusedForStartup	FLXAnFRSUCC1 レジスタの TXST
pKeySlotUsedForSync	FLXAnFRSUCC1 レジスタの TXSY
gColdStartAttempts	FLXAnFRSUCC1 レジスタの CSA
pAllowPassiveToActive	FLXAnFRSUCC1 レジスタの PTA
pWakeupChannel	FLXAnFRSUCC1 レジスタの WUCS
pSingleSlotEnabled	FLXAnFRSUCC1 レジスタの TSM
pAllowHaltDueToClock	FLXAnFRSUCC1 レジスタの HCSE
pChannels	FLXAnFRSUCC1 レジスタの CCH
pdListenTimeOut	FLXAnFRSUCC2 レジスタの LT
gListenNoise	FLXAnFRSUCC2 レジスタの LTN
gMaxWithoutClockCorrectionPassive	FLXAnFRSUCC3 レジスタの WCP
gMaxWithoutClockCorrectionFatal	FLXAnFRSUCC3 レジスタの WCF
gNetworkManagementVectorLength	FLXAnFRNEMC レジスタの NML
gdTSSTransmitter	FLXAnFRPRTC1 レジスタの TSST
gdCASRxLowMax	FLXAnFRPRTC1 レジスタの CASM
gdSampleClockPeriod	FLXAnFRPRTC1 レジスタの BRP
pSamplesPerMicrotick	FLXAnFRPRTC1 レジスタの BRP
gdWakeupSymbolRxWindow	FLXAnFRPRTC1 レジスタの RXW
pWakeupPattern	FLXAnFRPRTC1 レジスタの RWP
gdWakeupSymbolRxIdle	FLXAnFRPRTC2 レジスタの RXI
gdWakeupSymbolRxLow	FLXAnFRPRTC2 レジスタの RXL
gdWakeupSymbolTxIdle	FLXAnFRPRTC2 レジスタの TXI
gdWakeupSymbolTxLow	FLXAnFRPRTC2 レジスタの TXL
gPayloadLengthStatic	FLXAnFRMHDC レジスタの SFDL
pLatestTx	FLXAnFRMHDC レジスタの SLT
pMicroPerCycle	FLXAnFRGTUC1 レジスタの UT
gMacroPerCycle	FLXAnFRGTUC2 レジスタの MPC
gSyncNodeMax	FLXAnFRGTUC2 レジスタの SNM
pMicroInitialOffset[A]	FLXAnFRGTUC3 レジスタの UIOA
pMicroInitialOffset[B]	FLXAnFRGTUC3 レジスタの UIOB
pMacroInitialOffset[A]	FLXAnFRGTUC3 レジスタの MIOA
pMacroInitialOffset[B]	FLXAnFRGTUC3 レジスタの MIOB
gdNIT	FLXAnFRGTUC4 レジスタの NIT
gOffsetCorrectionStart	FLXAnFRGTUC4 レジスタの OCS
pDelayCompensation[A]	FLXAnFRGTUC5 レジスタの DCA
pDelayCompensation[B]	FLXAnFRGTUC5 レジスタの DCB
pClusterDriftDamping	FLXAnFRGTUC5 レジスタの CDD
pDecodingCorrection	FLXAnFRGTUC5 レジスタの DEC
pdAcceptedStartupRange	FLXAnFRGTUC6 レジスタの ASR
pdMaxDrift	FLXAnFRGTUC6 レジスタの MOD
gdStaticSlot	FLXAnFRGTUC7 レジスタの SSL
gNumberOfStaticSlots	FLXAnFRGTUC7 レジスタの NSS

表 21.111 FlexRay 設定パラメータ (2/2)

パラメータ	ビット（フィールド）
gdMinislot	FLXAnFRGTUC8 レジスタの MSL
gNumberOfMinislots	FLXAnFRGTUC8 レジスタの NMS
gdActionPointOffset	FLXAnFRGTUC9 レジスタの APO
gdMinislotActionPointOffset	FLXAnFRGTUC9 レジスタの MAPO
gdDynamicSlotIdlePhase	FLXAnFRGTUC9 レジスタの DSI
pOffsetCorrectionOut	FLXAnFRGTUC10 レジスタの MOC
pRateCorrectionOut	FLXAnFRGTUC10 レジスタの MRC
pExternOffsetCorrection	FLXAnFRGTUC11 レジスタの EOC
pExternRateCorrection	FLXAnFRGTUC11 レジスタの ERC

21.3.16 データ転送の使用法

FlexRay メッセージを直接 Local RAM や Global RAM（ユーザ RAM）へ格納するのを可能にし、FlexRay 内部メッセージ RAM と Local RAM や Global RAM 間の転送を実現し、また最小の CPU サポートでこれを行うメカニズムが組み込まれています。Local RAM や Global RAM 内のデータは、Local RAM や Global RAM 内に格納されているデータポインタテーブルに置かれたデータ構造ポインタによって位置づけられます。

Local RAM や Global RAM から FlexRay 内部メッセージ RAM へのデータ転送（入力転送）はアプリケーションによって開始する必要があります。これらの転送はメッセージバッファを設定する、あるいは転送データを更新するために使用されます。

FlexRay 内部メッセージ RAM から Local RAM や Global RAM へのデータ転送（出力転送）は、受信メッセージバッファあるいは FlexRay 内部 FIFO への受信、またはスロットステータスの変更によって自動的に開始されます。特定のユーザ転送要求によっても開始されます。

入力および出力データ転送は、独立して実行されます。入力データ転送が実行されると、アプリケーションは FlexRay 入力バッファを使用してメッセージバッファに直接アクセスすることはできません。出力データ転送が実行されると、アプリケーションは FlexRay 出力バッファを使用してメッセージバッファに直接アクセスすることはできません。

21.3.16.1 入力データ転送

自動入力データ転送機能が有効な場合、最小の CPU サポートで入力データ構造は Local RAM や Global RAM から FlexRay 内部メッセージ RAM へ転送されます。

(1) 起動および停止

入力データ転送機能は使用する前に起動する必要があります。入力転送ハンドラは入力キュープットインデックス（FLXAnFRITS.IPIDX）およびゲットインデックス（FLXAnFRITS.IGIDX）を “0” に初期化します。また、FLXAnFRITS レジスタ内の割り込み状態フラグ（IQEIS と IQFIS）は、“0” にセットしてください。

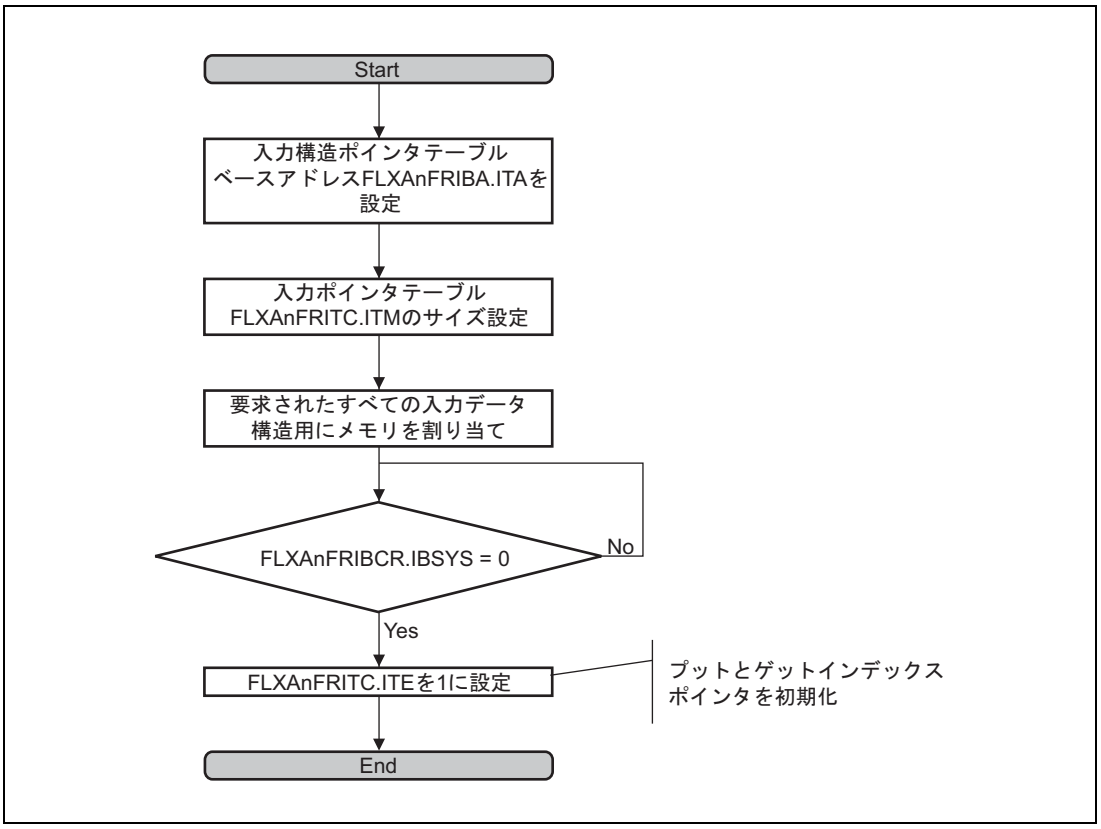


図 21.20 入力転送許可の流れ

入力転送機能の停止要求は、いつでもできます。入力キュープットインデックスと入力キューステータスは入力転送機能の状態によらず保持されます。

転送機能が無効になる前に（FLXAnFRITS.IT によって示される状態）、ユーザ要求の入力転送およびすべての入力転送は完了します。

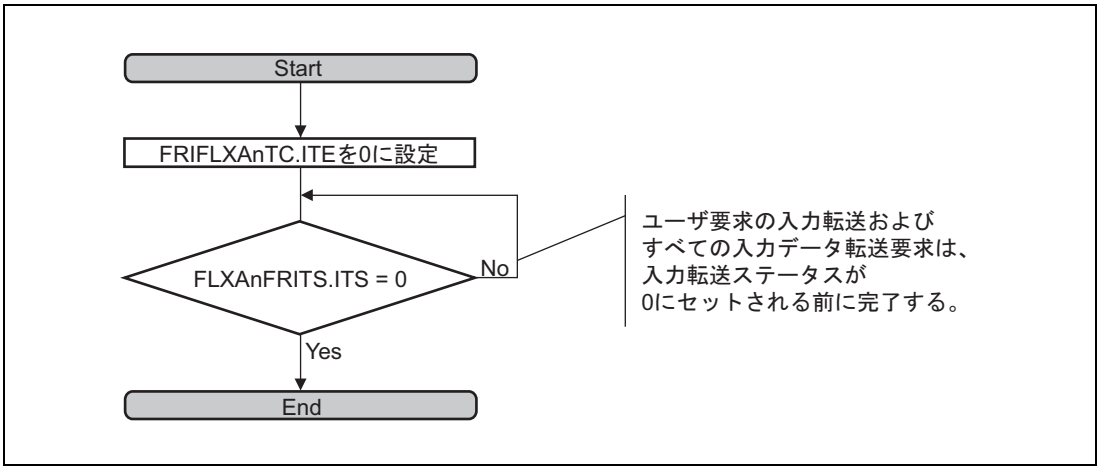


図 21.21 入力転送禁止の流れ

(2) 入力データ構造

アプリケーションはメッセージバッファの設定（入力データ構造）のための内容を提供するために Local RAM や Global RAM 内での位置を確保する必要があります。

この入力データ構造の位置は、これも Local RAM や Global RAM 内に位置する入力データ構造ポインタによって定義される必要があります。

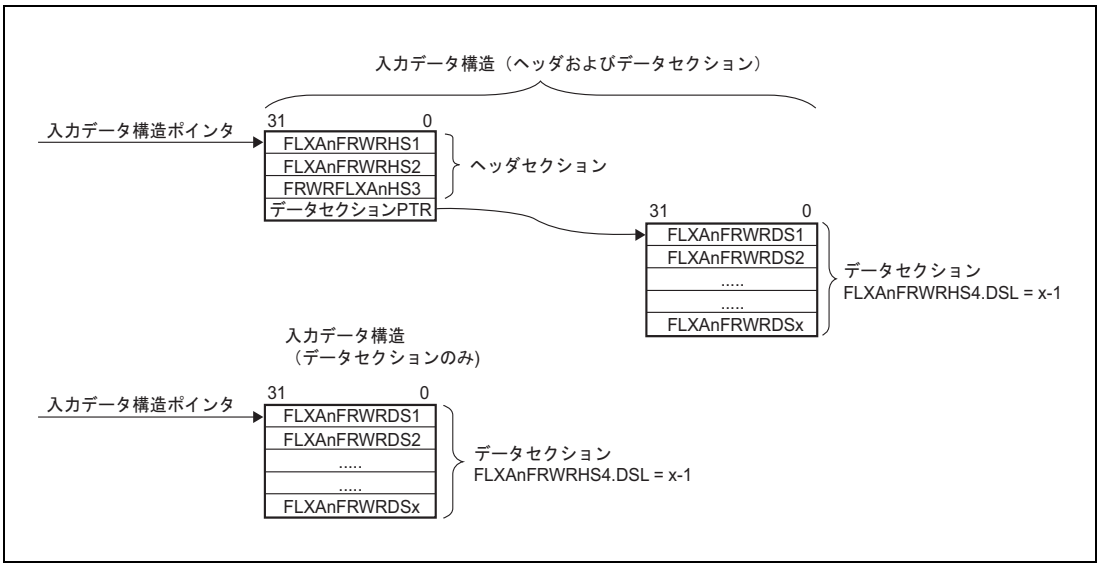


図 21.22 入力データ構造

一般的に、入力データ構造は 2 つのセクション（ヘッダセクションおよびデータセクション）から構成されます。

ヘッダセクションは FLXAnFRWRHS1、FLXAnFRWRHS2、FLXAnFRWRHS3 とデータセクションポインタから構成されます。

ビットアライメントおよびヘッダセクション内のビット機能については、**「21.3.13.1 ヘッダパーティション」**を参照してください。

入力ポインタテーブル内の制御フィールド （FLXAnFRWRHS4）の設定によって、データ構造ポインタは FLXAnFRWRHS1 あるいは FLXAnFRWRDS1 のアドレスと関連します。データ構造ポインタは 32 ビットアドレスにアラインされる必要があります。

FLXAnFRWRHS4 に関連するアドレスのビット LHS が “1” にセットされている場合、有効なヘッダセクションを提供する必要があります。この場合 FLXAnFRWRHS1 はデータ構造の先頭の要素です。

FLXAnFRWRHS4 に関連するアドレスのビット LHS が “0” にセットされている場合、ヘッダセクションは必要ありません。この場合 FLXAnFRWRDS1 はデータ構造の先頭の要素です。

FLXAnFRWRHS4 に関連するアドレスのビット LDS が “1” にセットされている場合、有効なデータセクションを提供する必要があります。データセクションへのポインタは先頭のペイロードロングワード（FLXAnFRWRDS1）のアドレスに関連し、32 ビットアドレスにアラインされる必要があります。

FLXAnFRWRHS4 に関連するアドレスのビット LDS が “0” にセットされている場合、データセクションは必要ありません。データセクションポインタは入力ハンドラによって評価されません。

入力データ構造内の FlexRay ペイロードデータのバイト順は、FLXAnFROC.BEC によって決定されます。データセクション内のペイロードデータのアライメントについては**「21.3.13.2 データパーティション」**および**「21.3.17 バイトアライメント」**を参照してください。

Local RAM や Global RAM に割り当てられるデータセクションの長さと大きさは FLXAnFRWRHS4 に関連するアドレス内のビット DSL の設定に依存します。

FlexRay コア内部メッセージ RAM への転送のため、FLXAnFRWRHS2.PLC によって設定された 16 ビットワードの数が使用されます。アプリケーションは正しい数のデータワードが Local RAM や Global RAM 内に提供されていることを保証する必要があります。バッファが FLXAnFRWRHS2.PLC によって奇数のペイロード長を持つように設定されている場合、アプリケーションは埋め込みデータがすべて “0” であることを保証するためにペイロードセクションの最後の 16 ビットに “0” を書き込む必要があります。

(3) 入力ポインタテーブル

Local RAM や Global RAM 内の入力データ構造から FlexRay 内部メッセージ RAM へデータを転送するために、関連する入力データ構造ポインタと制御フィールドを Local RAM や Global RAM 内にある入力ポインタテーブルに追加する必要があります。

このテーブルの先頭の要素の位置は入力ポインタテーブルベースアドレス（FLXAnFRIBA.ITA）によって示されます。このベースアドレスは 32 ビットアドレスにアラインされる必要があります。

キュー入力できる入力要求の最大値は、入力キューテーブル最大値レジスタ（FLXAnFRITC.ITM）によって定義されます。

入力ポインタテーブルエントリごとに 2 ロングワード必要です。キュー入力される転送要求のために要求される入力ポインタテーブルのアドレス幅は次の式で計算されます。

入力ポインタテーブルサイズ（バイト）＝(((FLXAnFRITC.ITM ＋ 1)×2)×4)

式 1

ユーザ要求入力転送用の入力ポインタエントリは入力ポインタテーブルの最後に追加される必要があります。

このエントリに関連するポインタテーブルのインデックス、つまり、FLXAnFRUIR.UIDX に書き込まれた値は FLXAnFRITC.ITM+1 です。ユーザ要求入力転送に関連する入力ポインタテーブル内のアドレス（ユーザ入力アドレス）は、次の式で計算されます。

ユーザ入力アドレス＝ FLXAnFRIBA.ITA ＋入力ポインタテーブルサイズ

式 2

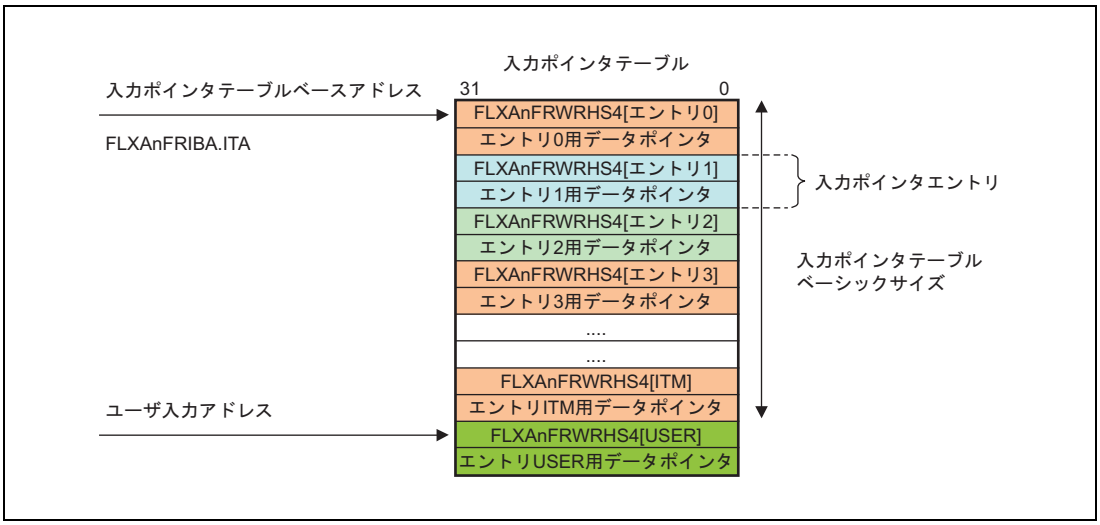


図 21.23 入力ポインタテーブル

入力ポインタテーブルは制御フィールド FLXAnFRWRHS4 およびメッセージバッファコンテンツ（ヘッダセクションあるいはデータセクション、またはその両方）が格納されている Local RAM や Global RAM へのポインタを保持しています。

アプリケーションは、転送要求が開始される前に、プットインデックスの位置に関連する入力ポインタテーブル内のアドレスに FLXAnFRWRHS4 および入力データ構造ポインタを書き込む必要があります。

FLXAnFRWRHS4:

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	DSL[5:0]					

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	INV	STR	LDS	LHS	—	IMBNR[6:0]						

表 21.112 FLXAnFRWRHS4 の内容

ビット位置	ビット名	機能
31 ～ 22	予約ビット	リードした値は不定です。ライト時は常に ”0” の値を設定してください。
21 ～ 16	DSL[5:0]	データセクション長ビット 32 ビット単位のデータセクション長を指定します。
15 ～ 12	予約ビット	リードした値は不定です。ライト時は常に ”0” の値を設定してください。
11	INV	転送要求セットビット 0: データ構造は有効で FlexRay 内部メッセージ RAM に転送されます。 1: データ構造は無効です。この入力ポインタエントリを使用した FlexRay 内部メッセージ RAM の更新はできません。
10	STR	転送要求セットビット 0: IMBNR ビットで選択されたメッセージバッファ用の FLXAnFRTXRQx.TXR ビットは “0” にセットされています。このメッセージバッファから転送されるデータはありません。 1: IMBNR ビットで選択されたメッセージバッファ用の FLXAnFRTXRQx.TXR ビットは転送用にメッセージバッファを解放するため “1” にセットされています。アプリケーションは STR ビットを受信バッファ用に "1" にセットすることはできません。
9	LDS	ロードデータセクションビット 0: データセクションの更新なし 1: IMBNR ビットで選択されたメッセージバッファ用のデータセクションが更新された
8	LHS	ロードヘッダセクションビット 0: ヘッダセクションの更新なし 1: IMBNR ビットで選択されたメッセージバッファ用のヘッダセクションが更新された
7	予約ビット	リードした値は不定です。ライト時は常に ”0” の値を設定してください。
6 ～ 0	IMBNR[6:0]	メッセージバッファ番号更新ビット 転送用の FlexRay 内部メッセージ RAM 内のターゲットメッセージバッファ番号を選択します。

保護メッセージバッファ用に LHS ビットをセットすることはできないことに注意してください。

LDS ビットは、IMBNR ビットによって選択されたメッセージバッファのデータセクションが更新されるかどうかを定義します。

LDS ビットが “1” にセットされている場合、ペイロードデータの（DSL + 1）個の 32 ビットワードが、Local RAM や Global RAM から IMBNR ビットによって選択されたメッセージバッファへ転送されます。

LDS ビットが “0” にセットされている場合、ペイロードデータは Local RAM や Global RAM から転送されません。

転送されたペイロードは、設定されたペイロード長（FLXAnFRWRHS2 に関連したアドレス内の PLC ビット）とは関係ないことに注意してください。

送られたデータ構造の無効化に INV ビットを使うことができます。本ビットは入力キューが停止した場合に送られたデータ構造の転送をキャンセルするためにだけ使用してください（「**21.3.16.1(5) 入力キューの停止**」参照）。

本ビットが “1” にセットされている場合、メッセージバッファ番号（IMBNR）は更新されません。“0” にセットされている場合、メッセージバッファ番号（IMBNR）は更新されます。

(4) 入力データ構造の転送機能

入力データ構造の転送機能を使用するためには入力転送が起動されている必要があります（「**21.3.16.1(1) 起動および停止**」参照）。起動プロセスには、転送されるデータ構造用のソース位置（入力データ構造）を指定するために入力ポインタテーブル（「**21.3.16.1(3) 入力ポインタテーブル**」参照）をセットアップすることが必要です。入力転送が可能になるとゲットインデックスポインタが “0” に初期化されます。

すべての FlexRay 内部メッセージバッファは、入力ポインタテーブル内に構築された入力転送キューを使用して更新することができます。アプリケーションは入力ポインタテーブルに転送されるデータ構造へポインタおよび制御フィールド（テーブルエントリ）を書き込む必要があります。このため、アプリケーションはポインタが書き込まれる位置を示す入力ポインタテーブル用のプットインデックスを保持する必要があります。

このテーブルエントリを入力ハンドラに送るため、アプリケーションは入力キュー制御レジスタ（FLXAnFRIQC.IMBNR）にターゲットメッセージバッファ番号を書き込む必要があります。その後アプリケーションはアプリケーション内部プットインデックスをインクリメントします。

入力キュー制御レジスタに書き込むことによって、データ許可フラグ（FLXAnFRDAi.DA[IMBNR]）は自動的に “1” にセットされます。また入力転送ハンドラは、ステータスレジスタ内のプットインデックスポインタ（FLXAnFRITS.IPIDX）を保持します。

入力キューがフルになった場合（待機中の入力転送要求の数が入力キューテーブルのサイズと等しい）、FLXAnFRITS.IQFP および FLXAnFRITS.IQFIS は “1” にセットされます。入力キュー内に有効な入力キューがある場合、入力キューフル条件保留フラグ（FLXAnFRITS.IQFP）が “1” から “0” に変化します。それによって入力キューフル割り込みステータスフラグ（FLXAnFRITS.IQFIS）はアプリケーションによってクリアされる必要があります。

FLXAnFRITS レジスタの IQFP ビットが “1” である限りアプリケーションは FLXAnFRIQC レジスタの IMBNR ビットに書き込むことはできません。

入力キューがエンプティになった場合（待機中の入力転送要求の数がゼロになる）、FLXAnFRITS.IQEIS は “1” にセットされます。

入力キューエンプティ割り込みステータスフラグ（FLXAnFRITS.IQEIS）はアプリケーションによってクリアされる必要があります。

入力データ構造の FlexRay メッセージ RAM への転送は、FlexRay モジュール内で処理され FLXAnFRITS.IGIDX にフラグを立てられたゲットインデックスポインタによって制御されます。このインデックスは入力ポインタテーブルのアドレスオフセットではなく入力エントリを示すことに注意してください。

入力キューがエンプティではない場合、転送ハンドラは転送キューの入力ポインタテーブルエントリを読み出し、その入力ポインタが示すアドレスから入力データ構造の転送を開始します。要求されたデータワード分が FlexRay モジュールへ転送されると、その転送されたメッセージ番号に対するデータ有効フラグが “0” になり転送ハンドラ内のゲットインデックスが 1 つインクリメントされます。

無効化されたデータ構造の場合（「**21.3.16.1(5) 入力キューの停止**」参照）、FlexRay 内部メッセージバッファは更新されず関連するデータ有効フラグは自動的に “0” になります。データ有効フラグの変更は転送要求のキャンセルの確認のために使用されます。

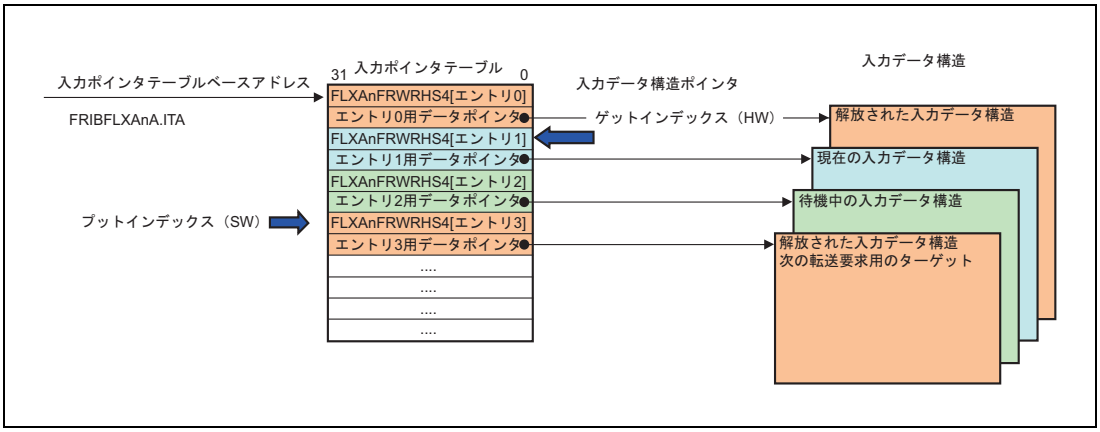


図 21.24 入力ポインタテーブル

また、要求されたヘッダセクションをセットアップすることによって入力データ転送を使用して受信メッセージバッファを設定することができ、FlexRay モジュール内で更新されるヘッダセクションだけにマークすることができます（FLXAnFRWRHS4.LDS = '0', FLXAnFRWRHS4.LHS = '1'）。

(5) 入力キューの停止

送られたデータ構造を除去することはできませんが、入力キューが停止した際、無効にし更新することはできます。

すでに入力キューに送られたデータ構造をキャンセルするために、FLXAnFRITC.IQHR に “1” を書き込んでキューを停止することができます。

動作中の入力転送が完了した後、キューは停止し FLXAnFRITS.IQH は “0” から “1” へ変わります。

入力キューのエントリを無効化するために FLXAnFRWRHS4.INV は “1” にセットされる必要があります。FWRHS4 のほかのすべてのビットは変更できません。

送られたメッセージがすでに FlexRay 内部メッセージ RAM に転送されたかどうかを次に示す流れを使って解析してください。

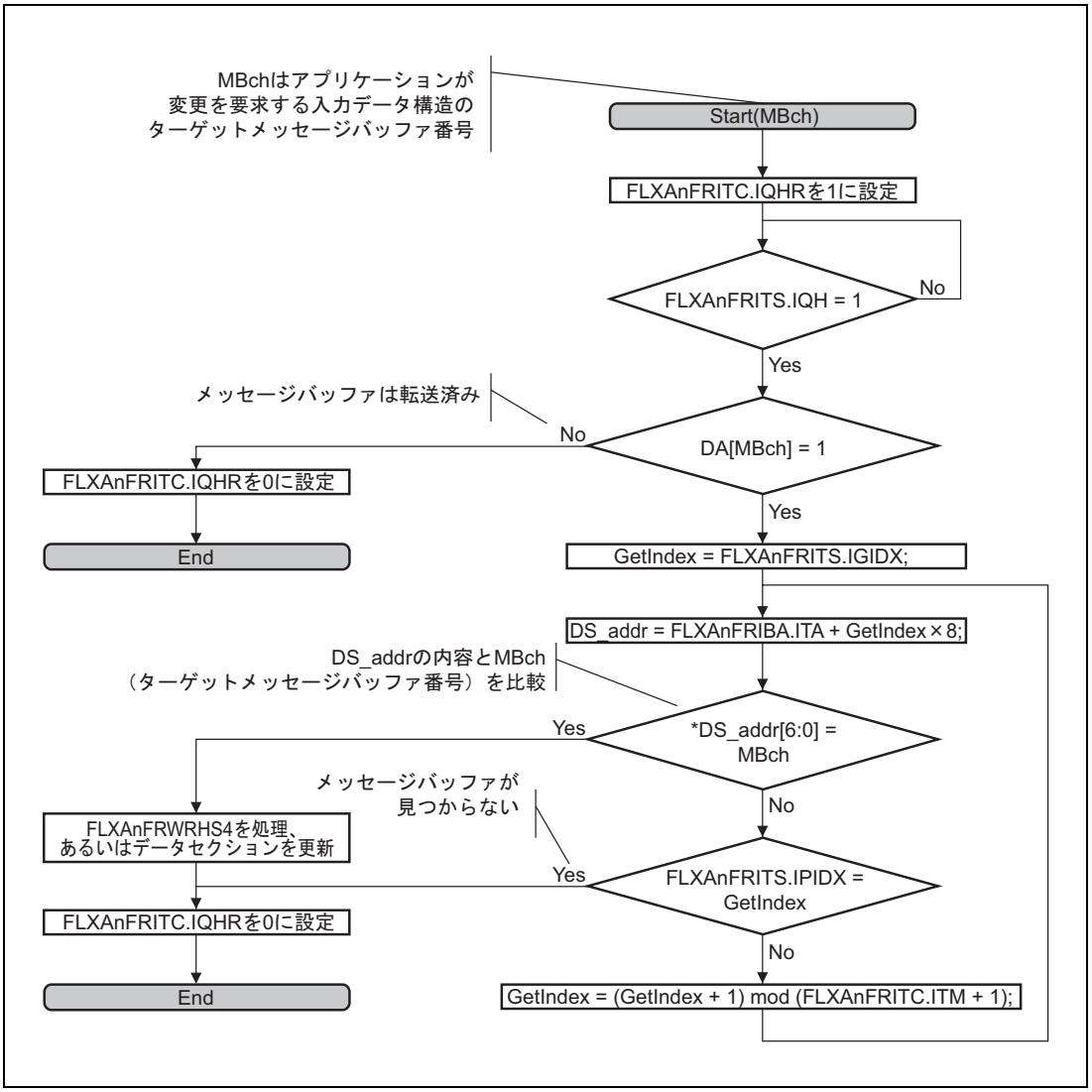


図 21.25 入力テーブルの解析

メッセージバッファがすでに FlexRay 内部メッセージ RAM に転送された場合、実際のキューを迂回し要求されたメッセージバッファを更新するためにユーザ入力転送要求を使用することができます（「**21.3.16.1(6) ユーザ要求入力転送の転送機能**」参照）。

(6) ユーザ要求入力転送の転送機能

この機能を使用するためには入力転送が起動されていることが必要です（「**21.3.16.1(1) 起動および停止**」参照）。

FLXAnFRUIR.UIDX を使用して、アプリケーションは入力データ構造の転送を要求することができます。ユーザ入力転送要求が最初に行われます。

アプリケーションは、入力ポインタテーブルへ転送されるデータ構造へポインタおよび制御フィールド（テーブルエントリ）を書き込む必要があります。ユーザ入力転送要求用のテーブルエントリを入力ポインタテーブルの最後に追加してください（「**21.3.16.1(3) 入力ポインタテーブル**」参照）。

入力ハンドラにこのテーブルエントリを送るため、アプリケーションはインデックス（FLXAnFRITC.ITM+1）をユーザ転送要求レジスタ（FLXAnFRUIR.UIDX）に書き込む必要があります。

ユーザ入力転送要求レジスタに書き込むことによって、ユーザ入力転送要求保留フラグ（FLXAnFRITS.UIRP）が自動的に “1” にセットされます。

このフラグが “1” の間、アプリケーションはさらにユーザ入力転送要求を行うことはできません。

要求された入力転送が完了するとユーザ入力転送要求保留フラグ（FLXAnFRITS.UIRP）は “1” から “0” に変化します。続いて、次の保留転送が処理されます。

21.3.16.2 出力データ転送

出力データ転送機能が有効な場合、受信メッセージ（専用メッセージバッファ内あるいはFlexRay 受信 FIFO 内）は、出力データハンドラによって Local RAM や Global RAM へ転送されます。出力データハンドラは、アプリケーションの要求によってメッセージバッファの内容を Local RAM や Global RAM へ転送することもできます。また、出力ハンドラはメッセージバッファの状態が変化した際、転送を開始することもできます。

(1) 起動および停止

出力データ転送機能は、使用の前に起動をかける必要があります。出力転送ハンドラはFIFO プットおよびゲットインデックスポインタと FIFO フィルレベル（FLXAnFROTS.FGIDX と FLXAnFROTS.FFL）を “0” にイニシャライズし、FLXAnFROTS レジスタの FDA、OWP、FWP、UORP ビットを “0” にセットします。また割り込みステータスフラグ（FLXAnFROTS.OTIS、FLXAnFROTS.FIS、FLXAnFROTS.OWIS、FLXAnFROTS.FWIS）を “0” にセットします。

起動をかけることによって専用バッファに関連したデータ有効フラグ（FLXAnFRDAi.DA）に影響することはありません。これらのフラグはアプリケーションによってクリアされる必要があります。

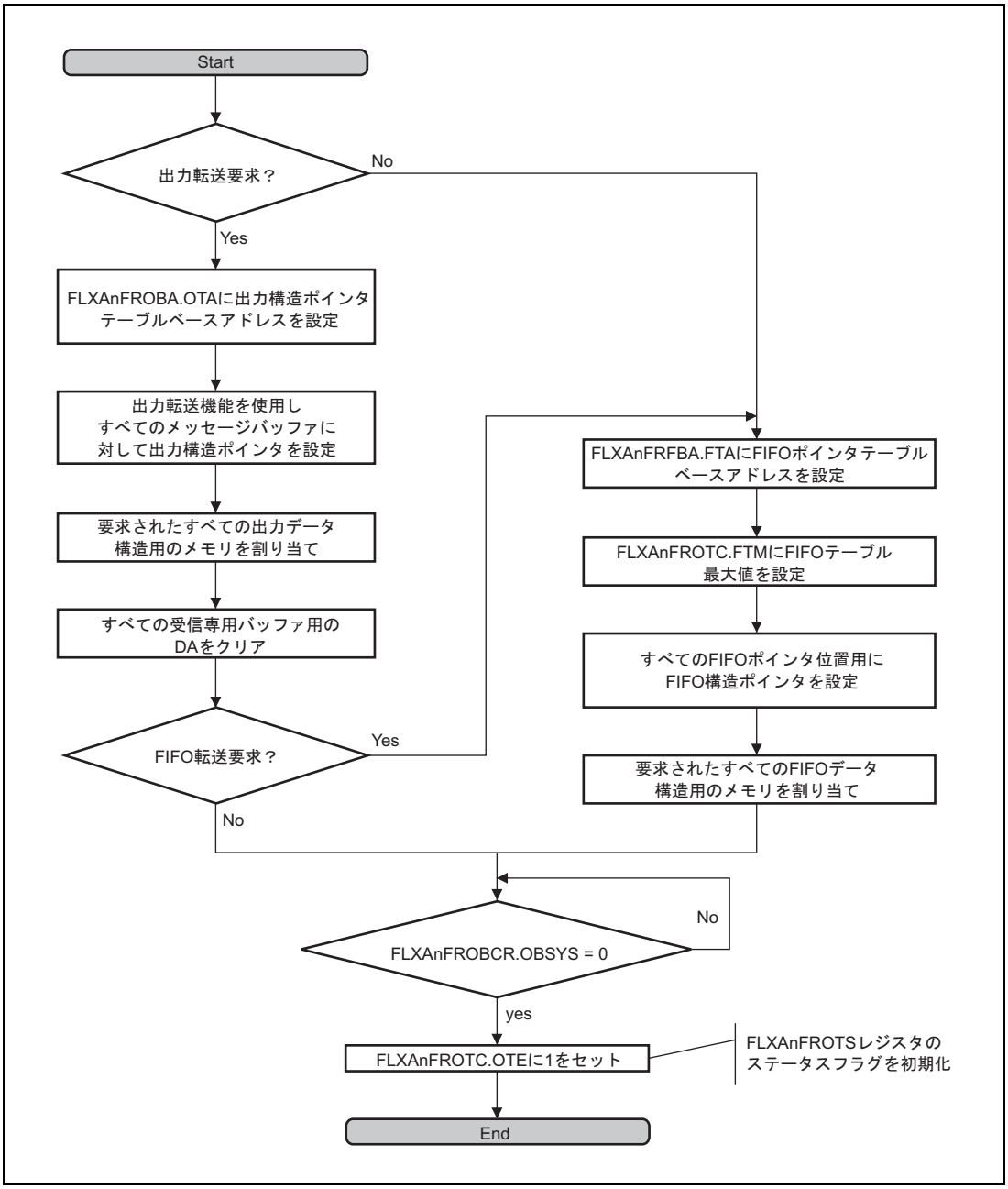


図 21.26 出力転送許可の流れ

出力データ転送機能の停止要求はいつでも可能です。実行中の転送は完了し、この転送の完了についてフラグが立てられます。この間 FLXAnFROTS.OTS は “1” のままです。

FLXAnFROTS.OTS が “1” から “0” に変化すると、出力転送機能は停止します。出力転送機能が無効な場合、データ有効ステータスフラグおよび FIFO ゲットインデックスは維持されます。

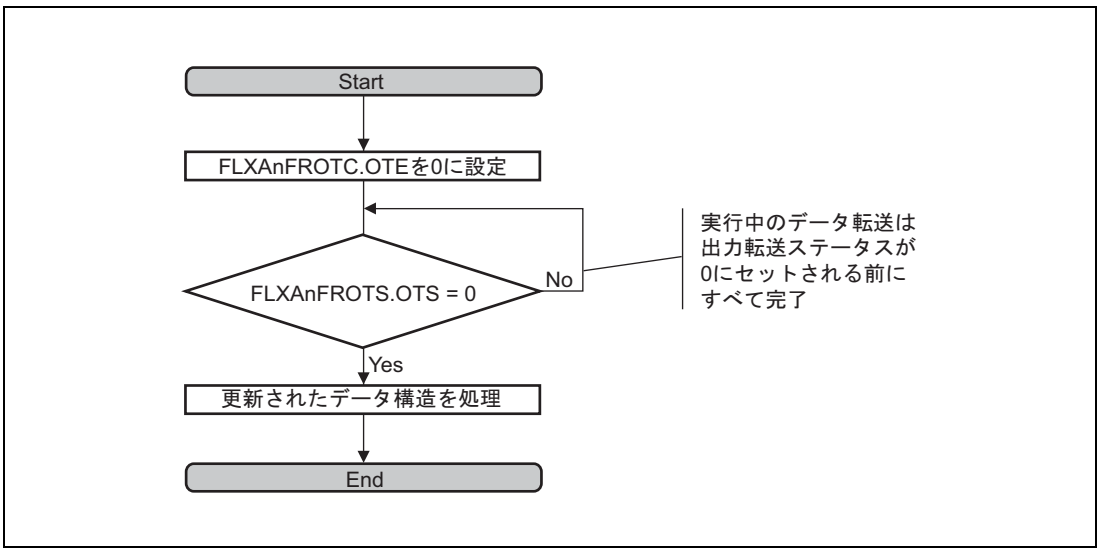


図 21.27 出力転送禁止の流れ

(2) 出力転送データ構造

Local RAM や Global RAM 内のデータは出力データ構造内に格納されます。出力データ構造の位置は出力データ構造ポインタ（これも Local RAM や Global RAM 内にある）によって決定されます。出力データ構造およびインデックス付けについて**図 21.28** に示します。

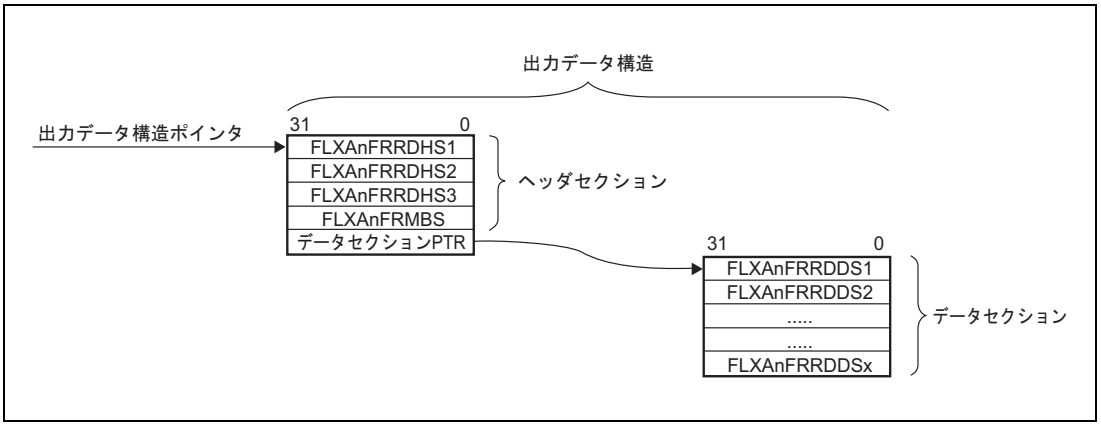


図 21.28 出力データ構造

出力データ構造は 2 つのセクション（ヘッダセクションおよびデータセクション）で構成されます。ヘッダセクションは FLXAnFRRDHS1、FLXAnFRRDHS2、FLXAnFRRDHS3、FLXAnFRMBS およびデータセクションポインタによって構成されます。FLXAnFRRDHS1 はこの構造の最初の要素で 32 ビットアドレスにアラインされている必要があります。データ構造ポインタは FLXAnFRRDHS1 のアドレスに対応しています。ヘッダセクション内のビットアライメントおよびビット機能については**「21.3.13.1 ヘッダパーティション」**を参照してください。

FLXAnFRRDDS1 はデータセクションの最初の要素です。データセクションポインタは FLXAnFRRDDS1 のアドレスに対応し 32 ビットアドレスにアラインされている必要があります。出力データ構造内の FlexRay ペイロードデータのバイト順は FLXAnFROC レジスタの BEC ビットによって決定されます。データセクション内のペイロードデータのアライメントについては**「21.3.13.2 データパーティション」**を参照してください。

Local RAM や Global RAM 内に割り当てられているデータセクションの長さと構造全体のサイズは、関連したメッセージバッファの設定されたペイロード長（FLXAnFRRDHS2.PLC）に依存します。設定されたペイロード長が奇数ワードである、あるいは受信されたペイロード長（FLXAnFRRDHS2.PLR）が設定されたペイロード長より短い場合、Local RAM や Global RAM 内の残りのデータワードは使用されず、アプリケーションが使用することはできません。

出力データ構造は 3 種すべての出力転送に特有です。ヘッダセクションのみが転送される場合、データセクションポインタは出力ハンドラによって評価されずデータセクションは変更されません。

(3) 出力ポインタテーブル

出力データ転送機能のためアプリケーションは Local RAM や Global RAM 内の出力ポインタテーブルをセットアップする必要があります。このテーブルの最初の要素の位置を出力ポインタテーブルベースアドレス（FLXAnFROBA.OTA）にプログラムする必要があります。このベースアドレスは 32 ビットアドレスにアラインされる必要があります。

出力ポインタテーブルのサイズは、最後に設定された専用メッセージバッファとユーザ出力転送要求に使用される最大のメッセージバッファ数のうち最大の値に定義されます。

出力ポインタテーブルはメモリ空間がターゲットメッセージバッファのコンテンツ（ヘッダセクションおよびデータセクション）向けに用意されている Local RAM や Global RAM の位置を示すポインタ（出力データ構造ポインタ）を保持しています。

出力ポインタテーブル内のエントリのアドレスと関連するメッセージバッファの番号とは 1 対 1 の関係です（**図 21.29** 参照）。出力ポインタテーブルは FLXAnFROBA.OTA で設定されたアドレスのメッセージバッファ番号 0 のエントリで始まり、昇順に次のメッセージバッファ番号へと続きます。すべてのメッセージバッファに対して 32 ビットのアラインされたアドレスです（メッセージバッファ 1 はアドレス OTA + 4、メッセージバッファ 2 はアドレス OTA + 8 など）。

ND ビットのセットのみが転送条件の場合（FLXAnFROTC.OTCS が “0” にセット）、専用受信バッファとして設定された、あるいはユーザ出力転送要求に使用されるメッセージバッファだけが有効なポインタエントリを持つ必要があります。

ND ビットのセットあるいは MBC ビットのセットが転送条件の場合（FLXAnFROTC.OTCS が “1” にセット）、すべての専用受信バッファおよび専用送信バッファが有効なポインタエントリを持つ必要があります。

(4) FIFO 出力ポインタテーブル

FlexRay モジュール内部 FIFO は、Local RAM や Global RAM 内に待機中のバッファ構造によって拡張可能です。

FlexRay モジュール内部 FIFO が使用される場合、アプリケーションは FIFO 出力ポインタテーブルをセットアップする必要があります。このテーブルの最初の要素の位置は FIFO ポインタテーブルベースアドレス（FLXAnFRFBA.FTA）によって決定されます。このベースアドレスは 32 ビットのアドレスにアラインされる必要があります。

FIFO ポインタテーブルのサイズとキューに追加可能なメッセージの最大数は、FIFO テーブル最大ビット（FLXAnFROTC.FTM）によって定義されます。

FIFO ポインタテーブルはメモリ空間がターゲットメッセージバッファのコンテンツ（ヘッダセクションおよびデータセクション）に用意されている Local RAM や Global RAM の位置を示すポインタ（出力データ構造ポインタ）を保持しています。テーブルエントリごとにデータポインタはこのテーブル内に設定されています。

(5) 専用メッセージバッファの転送機能

この転送機能を使用するためには出力転送が起動されている必要があります（「**21.3.16.2 (1) 起動および停止**」参照）。起動プロセスには、転送するデータの転送先の位置（出力データ構造）を指定するために出力ポインタテーブル（「**21.3.16.2 (3) 出力ポインタテーブル**」参照）のセットアップが必要です。**図 21.29** に出力ポインタテーブルの出力データ構造との対応方法を示します。

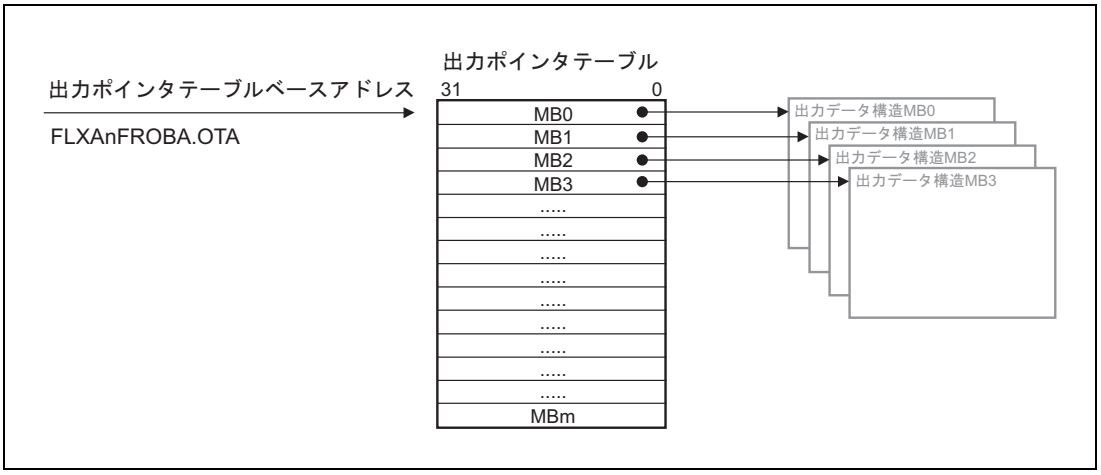


図 21.29 出力データ構造とインデックス

FLXAnFROTC.OTCS によって、出力転送条件が「新データ専用モード」と「新データおよびステータス変更モード」の間で選択可能です。

「新データ専用モード」では、有効な FlexRay データフレームが、関連する FLXAnFRNDAT レジスタの ND フラグがセットされる専用受信バッファに格納された場合、出力データ転送は開始されます。FLXAnFRNDAT レジスタの ND フラグは転送処理中自動的に “0” にセットされます。ヘッダセクションも転送され、FLXAnFRMBSC レジスタの MBC フラグは “0” にセットされます。

「新データおよびステータス変更モード」では、出力データ転送は「新データ専用モード」の説明で記述したように開始されます。さらに出力データ転送は、メッセージバッファステータスが変更されただけでも開始されます。この変更により関連する FLXAnFRMBSC レジスタの MBC フラグがセットされます。この場合、ヘッダセクションだけが転送されます。レジスタ内のフラグは転送処理中自動的に “0” にセットされます。

メッセージバッファのデータを FlexRay 内部メッセージ RAM から出力データ構造に転送後、対応する FLXAnFRDAi （i = 0 ～ 3）レジスタのデータ有効フラグは “1” にセットされます。出力データ構造の更新についても出力転送割り込みステータスフラグ（FLXAnFROTS.OTIS）のセットによりフラグが立てられます。

データ有効フラグが “1” の間は、対応する出力データ構造は更新されません。

- データ有効フラグが “1” であり有効受信メッセージが格納された、あるいは
- when FLXAnFROTC.OTCS が “1” でありメッセージバッファステータスが更新されたとき

上記の場合、出力転送警告割り込みフラグ（FLXAnFROTS.OWIS）が “1” にセットされ、新データは有効であるが出力データ構造転送が処理できないことをアプリケーションに知らせます。さらに出力転送警告条件の状態を連続して示す FLXAnFROTS.OWP が “1” にセットされます。

FlexRay 内部メッセージ RAM 内の有効受信メッセージは追加の受信メッセージによって上書きされた場合、メッセージ消失フラグ（FLXAnFRMBS.MLST）が “1” にセットされます。このフラグはメッセージバッファが出力データ構造へ転送されたあと評価されます。

次に出力データ構造を処理する方法について説明します。

(a) データセクションコピー方式

出力データ構造から Local RAM や Global RAM の異なる位置に情報をコピーし、関連するデータ有効フラグをクリアすることによって出力データ構造を解放するオプションです。アプリケーションはさらに処理を行うため、コピーされた情報を使用することが必要です。

(b) データ構造ポインタ方式

別のオプションとして、出力ポインタテーブル内の出力データ構造ポインタを変更し、関連するデータ有効フラグをクリアすることによって出力データ構造を解放する方法があります。変更された出力データポインタはフリーのデータ構造に対応します。アプリケーションはさらに処理を行うため元のデータ構造を使用する必要があります。

(c) データセクションポインタ方式

3 番目のオプションとして、出力データ構造内のデータセクションポインタを変更し、関連するデータ有効フラグをクリアすることによって出力データ構造を解放する方法があります。変更されたデータセクションポインタはフリーなメモリエリアに対応する必要があります。アプリケーションはデータセクションポインタを送ることによってさらに処理するため、元のデータセクションを使用する必要があります。

(6) FIFO メッセージバッファの転送機能

このバッファ転送機能を使用するためには、出力転送が起動されている必要があります（「**21.3.16.2 (1) 起動および停止**」参照）。起動プロセスには、要求された出力データ構造の格納用に用意された Local RAM や Global RAM 内の位置を指定するため FIFO ポインタテーブル（「**21.3.16.2 (4) FIFO 出力ポインタテーブル**」参照）のセットアップが必要です。

FIFO データ転送は、有効なデータフレームが FlexRay 内部 FIFO に格納されると開始されます。

内部 FIFO から出力データ構造への転送後、FIFO 割り込みステータスフラグ（FLXAnFROTS.FIS）および FLXAnFROTS.FDA が “1” にセットされます。ビット FLXAnFROTS.FIS は割り込みソースとして使用可能です。ビット FLXAnFROTS.FDA は FIFO がエンプティではないことを示します。

レジスタ内で設定された出力構造は FLXAnFROTS.FTM になるまで待機可能です。

拡張 FIFO バッファ構造への転送はインデックスポインタによって制御されます。このプットインデックスは FIFO 転送ハンドラによって制御され、1 つのメッセージを出力データ構造に転送後インクリメントされます。FIFO 受信ハンドラは、FLXAnFROTS.FGIDX 内でフラグが立てられるゲットインデックスも保持しています。このゲットインデックスの値は、アプリケーションがステータスを読み出す、あるいはソフトウェア変数を保持することによって分かります。ゲットインデックス（リセット後の値は “0”）は、FLXAnFROTS.FDA に “1” を書き込むことによってアプリケーションが FIFO キューの一番古いエントリを解放すると 1 つインクリメントされます。プットインデックスとゲットインデックスを比較することによって FIFO ハンドラは待機中のバッファ構造の現在のフィルレベルを知ることができます。

現在の FIFO フィルレベルは FLXAnFROTS.FFL 内にセットされます。FLXAnFROTS.FDA が “1” の場合、少なくとも 1 つのエントリが FIFO キュー内に存在します。

Local RAM や Global RAM 内の待機中のバッファ構造がフルの場合（FLXAnFROTS.FFL = FLXAnFROTC.FTM+1）、転送は開始されず、新しいメッセージは FlexRay 内部 FIFO 内に残り、FIFO 転送警告割り込みステータスフラグ（FLXAnFROTS.FWIS）が “1” にセットされます。

FlexRay 内部 FIFO 構造がフルになった場合、FlexRay 内部 FIFO 構造内のメッセージは上書きされます。FlexRay コアモジュールの関連するステータスフラグおよび設定レジスタは、要求される警告の通知を生成するために使用されます。

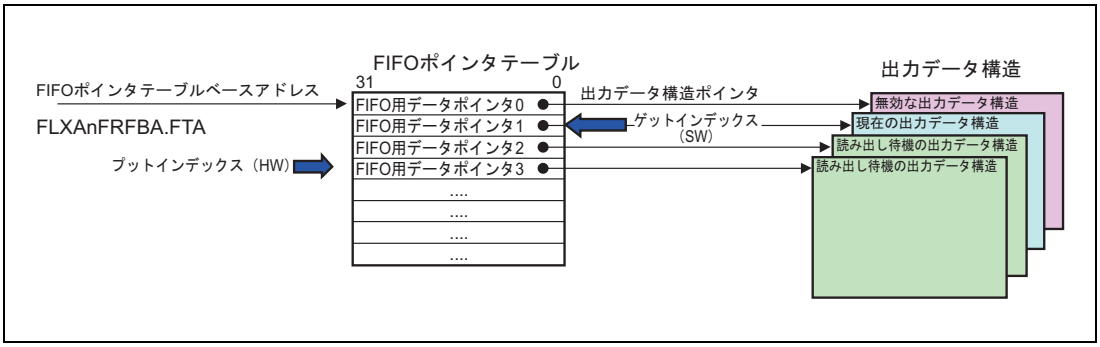


図 21.30 FIFO ポインタテーブル

(7) ユーザ出力転送要求の転送機能

この転送機能を使用するためには、出力転送が起動されている必要があります（「**21.3.16.2 (1) 起動および停止**」参照）。起動プロセスには、データ（出力データ構造）の転送用に用意された Local RAM や Global RAM 内の位置を指定するため出力ポインタテーブル（「**21.3.16.2 (3) 出力ポインタテーブル**」参照）をセットアップすることが必要です。

FLXAnFRUOR.UMBNR を使って、アプリケーションは専用メッセージバッファの出力データ構造への転送を要求することができます。CONFIG 状態以外では、FlexRay 内部 FIFO の一部であるメッセージバッファを要求することはできません。

ヘッダセクションは常に出力データ構造に転送されます。データセクションの転送は FLXAnFRUOR.URDS を “1” にセットすることによって可能です。選択されたメッセージバッファの内容は、出力ポインタテーブル内のポインタによって決定された出力データ構造の位置に格納されます。

FLXAnFRDAi レジスタの DA ビットによるデータ有効ステータスおよび転送のブロッキングはユーザ要求転送のために使用されます。要求バッファ番号（FLXAnFRUOR.UMBNR）に関連する FLXAnFRDAi レジスタの DA ビットは、転送要求が作られる前に解放される必要があります。

FLXAnFRUOR.UMBNR への書き込み後、ビット FLXAnFROTS.UORP は “1” にセットされ保留中のユーザ転送要求があることを示します。転送が処理されると、ビット FLXAnFROTS.UORP は "0" にセットされ、ビット FLXAnFROTS.OTIS は “1” にセットされ、要求バッファ番号（FLXAnFRUOR.UMBNR）に関連する FLXAnFRDAi レジスタの DA ビットは “1” にセットされます。

ユーザ出力転送要求をキューに入れることはできません。アプリケーションは FLXAnFRUOR.UMBNR に書き込む前にビット FLXAnFROTS.UORP をチェックする必要があります。

入力転送キュー内で保留中のメッセージバッファに対してユーザ出力転送要求を作成することはできません。

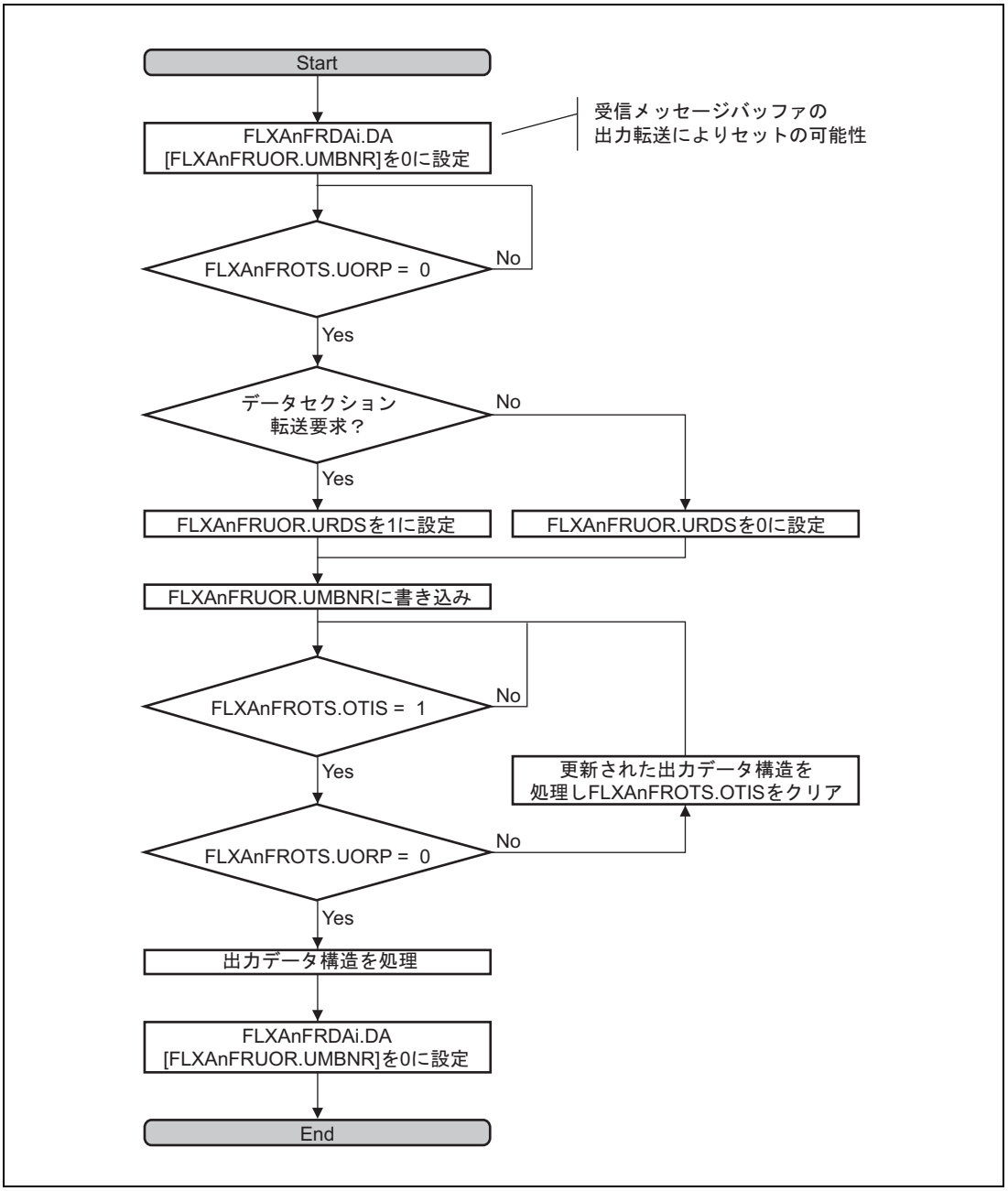


図 21.31 ユーザ出力転送要求の流れ

ユーザ要求によって指定されたデータ構造が、受信メッセージバッファの更新（これによって FLXAnFRDAi レジスタの DA ビットがセットされる）により更新される可能性のあることに注意してください。DA フラグのセットによりユーザ出力転送要求が抑制されます。したがって、FLXAnFROTS.UORP のポーリングは、要求されたメッセージバッファの転送が完了した時点を特定する安全な方法ではありません。ビット FLXAnFROTS.OTIS あるいは FLXAnFRDAi レジスタの DA ビットを代わりに使用することができます。正確な流れはソフトウェアのアーキテクチャに依存します。

21.3.16.3 データ構造転送のスケジューリング

周期的に異なるタイプの転送要求がチェックされます。確かな転送時間をを保証するために、異なるタイプの転送は異なる優先度を持ちます。

最高の優先度を持つ要求された入力転送を使って、動作中の入力転送キューへ送られるデータ構造の転送を行ってください。保留中の入力転送要求がある間は新規の出力転送を開始することはできません。

特定の順序で 3 つの出力転送要求のタイプがチェックされます。

(1) 昇順のすべての専用メッセージバッファ

FLXAnFROTC.OTCS が “0” にセットされている場合、FLXAnFRNDATn レジスタのフラグにセットすると転送先のエリアがフリー（FLXAnFRDAi レジスタの DA ビットが “0”）であれば出力データ構造へのメッセージバッファの転送が行われます。

FLXAnFROTC.OTCS が “1” にセットされている場合、FLXAnFRNDATn レジスタのフラグにセットする、あるいは FLXAnFRMBSCn レジスタのフラグにセットすると転送先のエリアがフリー（FLXAnFRDAi レジスタの DA ビットが “0”）であれば出力データ構造へのメッセージバッファの転送が行われます。

(2) FlexRay 内部 FIFO

FlexRay 内部 FIFO がエンプティではなくフリーな転送先エリアがある場合、1 つの FIFO メッセージが FIFO ポインタテーブルによってアドレスされた出力データ構造へ転送されます。

(3) ユーザ出力要求

保留中のユーザ出力転送要求がある場合、1 つのメッセージバッファが対応する出力データ構造へ転送されます。

入力転送が発生するとチェックシーケンスは中断されます。

21.3.16.4 データ転送アクセスエラーの場合の動き

データ転送機能によってアクセスされるメモリ空間は、メモリ保護ユニット（MPU）によって保護されている可能性があります。保護されているアドレスが入力あるいは出力転送によってアクセスされたことを MPU が指摘すると、アクセスエラーイベントが生成され FLXAnFRAES レジスタの関連ビットがセットされます。

実行中の転送は即座に終了しますが完了した転送は処理され、さらにアクセスエラーが発生する可能性があります。続くアクセスエラーは FLXAnFRAES.MAE のみで知らされます。他のステータスフラグは更新されません。

(1) 入力転送時のアクセスエラー

入力転送中にアクセスエラーが発生した場合

- 実行中の転送は即座に終了します。FlexRay 内部メッセージ RAM は更新されません。
- FlexRayモジュールがアクセスしようとしたアドレスがFLXAnFRAEA レジスタに書き込まれます。
- FLXAnFRAES.IAE が “1” にセットされます。
- 入力ポインタテーブルインデックスが FLXAnFRAES.EIDX 内に書き込まれます。
- 通常の入力転送の場合、関連する FLXAnFRDAi レジスタの DA ビットは“0”にセットされます。
- ユーザ入力転送要求の場合、FLXAnFRITS.UIRP は “0” にセットされます。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。さらにアプリケーションは入力アクセスエラーフラグ（FLXAnFRAES.IAE）をクリアする必要があります。

(2) 出力転送時のアクセスエラー

出力転送中にアクセスエラーが発生した場合：

- 実行中の転送は即座に終了しますが、データ構造の更新は開始される可能性があります。
- FlexRayモジュールがアクセスしようとしたアドレスがFLXAnFRAEA レジスタに書き込まれます。
- FLXAnFRAES. OAE が “1” にセットされます。
- 出力ポインタテーブルインデックスが FLXAnFRAES.EIDX 内に書き込まれます。
- 通常の出力転送の場合、関連する FLXAnFRDAi レジスタの DA ビットは “0” のままで、出力転送割り込みは生成されません。
- ユーザ出力転送要求の場合、FLXAnFROTS.UORP は “0” にセットされます。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。Local RAM や Global RAM 内のデータ構造を有効とみなすことはできません。

さらにアプリケーションは出力アクセスエラーフラグ（FLXAnFRAES. OAE）をクリアする必要があります。

メッセージバッファの FlexRay モジュール内部転送は、Local RAM や Global RAM アクセスエラーが検出される前に完了しています。出力転送は再開できません。データの消失を避けるため、アプリケーションは正しい Local RAM や Global RAM の位置へのこのメッセージバッファのユーザ出力転送要求を行うことができます。

(3) FIFO 転送時のアクセスエラー

FIFO 転送中にアクセスエラーが発生した場合

- 実行中の転送は即座に終了します。
- FlexRayモジュールがアクセスしようとしたアドレスがFLXAnFRAEA レジスタに書き込まれます。
- FLXAnFRAES. FAE が “1” にセットされます。
- FIFO ポインタテーブルインデックスが FLXAnFRAES.EIDX 内に書き込まれます。
- FIFO インデックスポインタは変更されず、よって FIFO ステータスフラグは変更しません。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。

さらにアプリケーションは FIFO アクセスエラーフラグ（FLXAnFRAES. FAE）をクリアする必要があります。

Local RAM や Global RAM 内のデータを有効とみなすことはできずアプリケーションに解放されません。メッセージを回復することはできません。

21.3.16.5 RAM 読み出しエラーの場合の動作

FlexRay 内部メッセージ RAM には ECC チェックメカニズムがあります。補正できない RAM 読み出しエラーが発生した場合、アプリケーションは FLXAnFRMHDS レジスタのステータスを解析し、**「21.3.16.3 データ構造転送のスケジューリング」**に記述されているようにやり直す必要があります。エラーが動作中の転送に関連する場合、入力および出力転送ハンドラもメッセージ RAM 内で検出されたこれらのエラーについてやり直します。

また、テンポラリバッファ A およびテンポラリバッファ B にも同様に ECC チェックメカニズムがあります。

補正できない RAM 読み出しエラーは、データ転送機能に影響を与えませんが、**「21.3.13.1(4) メッセージバッファステータス（FLXAnFRMBS）（ワード 3）」**に記述されているように取り扱う必要があります。

すべての場合、読み出しエラーを起こしたデータが Local RAM や Global RAM へ転送されることはありません。アプリケーション内で回復不能な場合、メッセージは消失します。

(1) TBF から MBF への転送時の読み出しエラー

この内部転送はすべての有効な受信 FlexRay メッセージに対して行われます。

読み出しエラーは FlexRay メッセージ RAM 内のヘッダセクションを読み出す場合のみに発生します（FLXAnFRMHDS の読み出しエラーフラグ参照）。この場合メッセージバッファは再設定される必要があります。

専用受信メッセージバッファについて、関連する FRNDAT フラグはセットされません。したがって影響を受けるメッセージバッファは出力データ構造に転送されません。

FlexRay 内部 FIFO バッファに関して FRNDAT フラグはセットされませんが、FlexRay 内部 FIFO プットインデックスはインクリメントされます。このことにより、FlexRay 内部 FIFO バッファから出力バッファへの転送手順が開始されます。しかし、ヘッダセクション内に読み出しエラーが依然として存在する場合、出力データ構造の更新は開始されません（**「21.3.16.5 (2) MBF から OBF への転送時の読み出しエラー」**参照）。したがって Local RAM や Global RAM 内のデータは正しいままです。

保留中の FIFO 転送がある間、メッセージバッファに関連する FIFO の補正あるいはその他の再設定は Local RAM や Global RAM 内に不正なデータをもたらす可能性があることに注意してください。再設定が始まる前に出力データ転送を停止し、出力データ転送を停止する前に FlexRay 内部 FIFO をフラッシュすることを強くお勧めします。

(2) MBF から OBF への転送時の読み出しエラー

この内部転送はすべての出力データ転送（専用受信、FIFO、ユーザ要求）に対して行われます。

読み出しエラーはヘッダおよびデータセクションで発生する可能性があります（FLXAnFRMHDS の読み出しエラーフラグ参照）。両方の場合、メッセージは消失します。エラーがヘッダセクションにある場合、メッセージバッファは再設定される必要があります。エラーがデータセクションにある場合、エラーは次のデータセクションの更新によって修正されます。

メッセージ RAM から出力バッファへの転送中に読み出しエラーが発生した場合、出力データ構造は更新されず、データ有効ビットは “1” にセットされません。また、FIFO プットインデックスおよび FIFO フィルレベルは変更されません。ユーザ出力転送要求の場合、出力データ構造の更新が行われなくても FLXAnFROTS.UORP が “0” にセットされます。

(3) IBF から MBF への転送時の読み出しエラー

この内部転送はすべての入力データ転送に対して行われます。

メッセージ RAM からのヘッダセクションの読み出しが原因で（FLXAnFRMHDS 内の読み出しエラーフラグ参照）、要求されたヘッダセクションの更新ができない場合（FLXAnFRWRHS4 のビット LHS が “0” にセット）のみ、読み出しエラーが発生します。この場合、メッセージバッファは再設定される必要があります。

読み出しエラーが入力データ転送中に発生した場合、実際に転送された入力キュー内のメッセージは消失します。

(4) メッセージ RAM 読み出しエラー

ヘッダセクション読み出し中の読み出しエラーは FLXAnFRMHDS レジスタ内に記録されます。

バッファタイプおよびバッファ保護の設定により、メッセージバッファの再設定ができない可能性があります。

「**21.3.13.4 (3) ヘッダセクションの一時的なロック解除**」に記述された方法により、入力転送機能を使ってロックされたメッセージバッファを再設定することはできません。

ロックされたバッファを再設定する前に、入力転送機能および出力転送機能を無効にすることが必要です。

21.3.16.6 データ転送のタイミング

Local RAM や Global RAM と FlexRay 内部メッセージバッファ間の転送のタイミングは 2 つの要素で構成されます。1 つめの要素は、インタフェースバッファとメッセージ RAM 間の FlexRay コア内部転送時間です。2 つ目の要素は、Local RAM や Global RAM とインタフェースバッファ間で要求される転送時間です。

入力および出力ハンドラのコンセプトでは、Local RAM や Global RAM と入力バッファ間の実行中の転送は 1 つだけが認められ、同様に入力バッファとメッセージ RAM 間でも実行中の転送は 1 つだけが認められます。2 つの要求が同時に発生した場合、入力転送タスクが最初に処理されます。

このコンセプトの制約のため、転送時間の算出は、パラレル転送ではなく、出力転送がすべての入力転送が完了したあとに限って開始されるという最悪の場合を想定しています。

(1) FlexRay コア内部転送時間

転送に必要なクロックサイクル数は、FlexRay コアモジュールクロックサイクル（バスクロック）内に設定されます。転送時間は、入力転送と出力転送とで異なります。

インタフェースバッファと FlexRay 内部メッセージ RAM 間の転送に必要な時間は [ERAY_ADD] によって設定されます。

$$cycles_{req_MHD[PL]} = (numberOfConcurrentTasks) \times (setupTime + (DataWords_{req[PL]}) + 75)$$

式 3

データワード数（32 ビット）は以下の式で算出できます。

$$DataWords_{req[PL]} = 4 + floor\left(\frac{PLC+1}{2}\right)$$

式 4

これによって、ヘッダセクションが更新されなくても常にアクセスする必要のあるヘッダセクションのワード数（32 ビット）は 4 となります。

全体で 3 つのパラレルタスクが FlexRay 内部メッセージハンドラ内に存在する可能性があり、並行タスクの数は不明なので、最悪の場合を考慮するためだけでなく並行タスクの数を 3 にセットする必要があります。セットアップ時間と転送されるワード数と合わせて、メッセージハンドラ内部遅延時間 75 バスクロックサイクルを加える必要があります。転送されるペイロードの最大値は最長の場合 64 です。

入力転送時の最長の場合は出力転送時の場合とは異なります。

入力転送の場合、必要なセットアップ時間は 6 バスクロックサイクルです。したがって

$$cycles_{req_MHD_input[64]} = 3 \times (6 + 68 + 75) = 447$$

式 5 メッセージハンドラ内部入力転送時間（最長時）

出力転送の場合、必要なセットアップ時間は 2 バスクロックサイクルです。したがって

$$cycles_{req_MHD_output}[64] = 3 \times (2 + 68 + 75) = 435$$

式 6 メッセージハンドラ内部出力転送時間（最長時）

(2) システムバス転送時間

転送に必要なバスクロックサイクル数はバスクロックサイクル内に書き込まれ、Local RAM や Global RAM と FlexRay モジュール間のすべての種類の転送に対して同一です。

Local RAM や Global RAM と FlexRay インタフェースバッファ間の転送のため転送ハンドラが必要とする時間は以下の式で与えられます。

$$cycles_{req_SB}[PL] = throughput \times (systemTime + DataWords_{req}[PL]) + setupTime$$

式 7 汎用システムバス転送時間算出式

式 4 を使ってペイロードワード（32 ビット）の数を算出することができます。

スループットはシステムバスの利用率およびアプリケーションによって異なります。しかし、データ転送ハンドラは Local RAM や Global RAM へのアクセスの最高の優先度を持ち、データスループット要因は最悪でも XXXX と仮定されます。システム時間（データポインタの Local RAM や Global RAM からの読み出し）はすべての場合 1 にセットすることができます。転送セットアップ時間はすべての場合 3 にセットすることができます。

したがってシステムバス転送時間（バスクロックサイクル内）は以下の式で与えられます。

$$cycles_{req_SB}[64] = throughput \times (2 + 68) + 3 = XXXX \times (2 + 68) + 3$$

式 8 システムバス転送時間（最長時）

システムバス転送時間に加えて、FlexRay モジュール内部処理時間を加える必要があります。必要な内部処理時間のために必要とされるクロックサイクル数は、FlexRay コアモジュールクロックサイクル（バスクロック）内に与えられ、入力転送と出力転送の間で異なりますが、定数として扱うことができます。

$$cycles_{req_THD_input} = 2 + 4 = 6$$

式 9

したがって入力バッファからメッセージ RAM への FlexRay モジュール内部転送の開始には 2 サイクル必要です。さらに内部処理に 4 サイクル必要です。

$$cycles_{req_THD_output} = 3 + 4 = 7$$

式 10

したがって入力バッファからメッセージ RAM への FlexRay モジュール内部転送の開始には 3 サイクル必要です。さらに内部処理に 4 サイクル必要です。

(3) 入力転送時間の概要

Local RAM や Global RAM と FlexRay 内部メッセージバッファ間のデータの転送に必要な最長時間（転送されたペイロードの機能として）は以下の式で算出することができます。

$$t_input_{[PL]} = t_chi \times (cycles_{req_THD_input} + cycles_{req_MHD_input[PL]}) + t_sys \times (cycles_{req_SB[PL]})$$
$$t_input_{[PL]} = t_chi \times (6 + 3 \times [81 + DataWords_{[PL]}]) + t_sys \times (throughput \times [2 + DataWords_{[PL]}] + 3)$$

式 11 入力転送時間

ここで

$$t_sys = (f(sysclk))^{-1}$$

および

$$t_chi = (f(clkp2_flx))^{-1}$$

(4) 出力転送時間の概要

FlexRay 内部メッセージバッファから Local RAM や Global RAM へのデータの転送に必要な最長時間（転送されたペイロードの機能として）は以下の式で算出することができます。

$$t_output_{[PL]} = t_chi \times (cycles_{req_THD_output} + cycles_{req_MHD_output[PL]}) + t_sys \times (cycles_{req_SB[PL]})$$
$$t_output_{[PL]} = t_chi \times (7 + 3 \times [77 + DataWords_{[PL]}]) + t_sys \times (throughput \times [2 + DataWords_{[PL]}] + 3)$$

式 12 出力転送時間

ここで

$$t_sys = (f(sysclk))^{-1}$$

および

$$t_chi = (f(clkp2_flx))^{-1}$$

21.3.17 バイトアライメント

FlexRay プロトコルが受け取ったバイトのアライメントとアプリケーションが必要とするバイトのアライメントが異なる可能性があります。FlexRay モジュールは FLXAnFROC.BEC バイトアライメント機能を提供し、異なるバイト順スタイルをサポートします。

図 21.32 に FlexRay フレーム内のペイロードのバイトアライメントを示します。

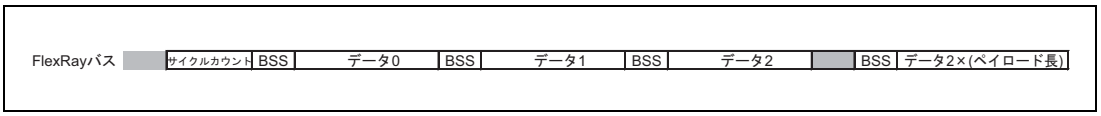


図 21.32 FlexRay バス上のバイトアライメント

21.3.17.1 リトルエンディアンアライメント

FLXAnFROC.BEC が “0” の場合、バイトアライメントは、リトルエンディアン方式です。

(1) FLXAnFRNMVm（m = 1 ～ 3）

NMV バイトのバイトアライメントを以下に示します。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXAnFRNMV1	データ 3								データ 2								データ 1								データ 0							
FLXAnFRNMV2	データ 7								データ 6								データ 5								データ 4							
FLXAnFRNMV3	データ 11								データ 10								データ 9								データ 8							

(2) FLXAnFRWRDSx（x = 1 ～ 64）

FlexRay 入力バッファ内および入力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXAnFRWRDSx.MD[7:0] = $Data_{4x-4}$

FLXAnFRWRDSx.MD[15:8] = $Data_{4x-3}$

FLXAnFRWRDSx.MD[23:16] = $Data_{4x-2}$

FLXAnFRWRDSx.MD[31:24] = $Data_{4x-1}$

FlexRay バス上の転送順は、MSB が最初に転送されて FLXAnFRWRDSx.MD[7:0]、FLXAnFRWRDSx.MD[15:8]、FLXAnFRWRDSx.MD[23:16]、FLXAnFRWRDSx.MD[31:24] です。

(3) FLXAnFRRDDSx（x = 1 ～ 64）

FlexRay 出力バッファ内および出力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXAnFRRDDSx.MD[7:0] = $Data_{4x-4}$

FLXAnFRRDDSx.MD[15:8] = $Data_{4x-3}$

FLXAnFRRDDSx.MD[23:16] = $Data_{4x-2}$

FLXAnFRRDDSx.MD[31:24] = $Data_{4x-1}$

FlexRay バス上の受信順は、MSB が最初に受信されて FLXAnFRRDDSx.MD[7:0]、FLXAnFRRDDSx.MD[15:8]、FLXAnFRRDDSx.MD[23:16]、FLXAnFRRDDSx.MD[31:24] です。

21.3.17.2 ビッグエンディアンアライメント

FLXAnFROC.BEC が “1” の場合、バイトアライメントは、ビッグエンディアン方式です。

(1) FLXAnFRNMVm（m = 1 ～ 3）

NMV バイトのバイトアライメントは以下のとおりです。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXAnFRNMV1	データ 0								データ 1								データ 2								データ 3							
FLXAnFRNMV2	データ 4								データ 5								データ 6								データ 7							
FLXAnFRNMV3	データ 8								データ 9								データ 10								データ 11							

(2) FLXAnFRWRDSx（x = 1 ～ 64）

FlexRay 入力バッファ内および入力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXAnFRWRDSx.MD[7:0] = $Data_{4x-1}$

FLXAnFRWRDSx.MD[15:8] = $Data_{4x-2}$

FLXAnFRWRDSx.MD[23:16] = $Data_{4x-3}$

FLXAnFRWRDSx.MD[31:24] = $Data_{4x-4}$

FlexRay バス上の転送順は、MSB が最初に転送されて FLXAnFRWRDSx.MD[31:24]、FLXAnFRWRDSx.MD[23:16]、FLXAnFRWRDSx.MD[15:8]、FLXAnFRWRDSx.MD[7:0] です。

(3) FLXAnFRRDDSx

FlexRay 出力バッファ内および出力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXAnFRRDDSx.MD[7:0] = $Data_{4x-1}$

FLXAnFRRDDSx.MD[15:8] = $Data_{4x-2}$

FLXAnFRRDDSx.MD[23:16] = $Data_{4x-3}$

FLXAnFRRDDSx.MD[31:24] = $Data_{4x-4}$

FlexRay バス上の受信順は、MSB が最初に受信されて FLXAnFRRDDSx.MD[31:24]、FLXAnFRRDDSx.MD[23:16]、FLXAnFRRDDSx.MD[15:8]、FLXAnFRRDDSx.MD[7:0] です。

21.4 FlexRay RAM のエラー検出／訂正

21.4.1 FlexRay RAM ECC

本製品は以下の FlexRay の RAM、および ECC を搭載しています。

表 21.113 Flex Ray の RAM と ECC の対応

対象	ECC ユニット名
メッセージ RAM（MRAM）	ECCFLXA0
テンポラリバッファ（TBFA）	ECCFLXA0T0
テンポラリバッファ（TBFB）	ECCFLXA0T1

表 21.114 に FlexRay RAM ECC の機能概要を示します。

表 21.114 FlexRay RAM ECC の機能一覧

項目	機能概要
ECC エラー検出／訂正	ECC エラー判定を行います。 下記設定を選択可能です。 • 2 ビットエラー検出と 1 ビットエラー検出／訂正を行います • 2 ビットエラー検出と 1 ビットエラー検出を行います ECC エラー検出 / 訂正を無効にもできます（スルーモード時）。 初期状態は、エラー検出 / 訂正が有効です。
エラー通知	ECC2 ビットエラー発生時は、エラー通知を行います。 • ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 初期状態は、2 ビットエラー検出時のエラー通知許可。 ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。 エラーステータスのクリアビットを持ちます。

注　意

ECC によるエラー検出・訂正を行う場合、使用する RAM 領域を初期化してから使用してください。

21.4.2 割り込み要求

表 21.115 に FlexRay の RAM ECC 割り込み要求を示します。

INTECCDFLRAM は、FlexRay の RAM がサポートする 3 つの ECC（ECCFLXA0、ECCFLXA0T0、ECCFLXA0T1）の割り込み信号をまとめたもの（ 論理和）です。

表 21.115 FlexRay ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	概要	名称	DMA トリガ番号
—	FLXA0 の ECC2 ビットエラー割り込み	INTECCDFLRAM	—

21.4.3 レジスタ名一覧

FlexRay 用のレジスタ一覧を以下に示します。

表 21.116 レジスタ一覧

ユニット名	レジスタ名	略号	アドレス
ECCFLXA0	ECC コントロールレジスタ	ECCFLXA0CTL	$FFC72000_H$
ECCFLXA0	ECC テストモードコントロールレジスタ	ECCFLXA0TMC	$FFC72004_H$
ECCFLXA0	ECC 冗長ビットデータコントロールテストレジスタ	ECCFLXA0TRC	$FFC72008_H$
ECCFLXA0	ECC リダンタントビット入出力代替バッファレジスタ	ECCFLXA0ERDB	$FFC72008_H$
ECCFLXA0	ECC エンコードテストレジスタ	ECCFLXA0ECRD	$FFC72009_H$
ECCFLXA0	ECC 7 ビット冗長ビットデータ保持テストレジスタ	ECCFLXA0HORD	$FFC7200A_H$
ECCFLXA0	ECC デコードシンドロームデータレジスタ	ECCFLXA0SYND	$FFC7200B_H$
ECCFLXA0	ECC エンコード／デコード入出力代替テストレジスタ	ECCFLXA0TED	$FFC7200C_H$
ECCFLXA0T0	ECC コントロールレジスタ	ECCFLXA0T0CTL	$FFC73000_H$
ECCFLXA0T0	ECC テストモードコントロールレジスタ	ECCFLXA0T0TMC	$FFC73004_H$
ECCFLXA0T0	ECC 冗長ビットデータコントロールテストレジスタ	ECCFLXA0T0TRC	$FFC73008_H$
ECCFLXA0T0	ECC リダンタントビット入出力代替バッファレジスタ	ECCFLXA0T0ERDB	$FFC73008_H$
ECCFLXA0T0	ECC エンコードテストレジスタ	ECCFLXA0T0ECRD	$FFC73009_H$
ECCFLXA0T0	ECC 7 ビット冗長ビットデータ保持テストレジスタ	ECCFLXA0T0HORD	$FFC7300A_H$
ECCFLXA0T0	ECC デコードシンドロームデータレジスタ	ECCFLXA0T0SYND	$FFC7300B_H$
ECCFLXA0T0	ECC エンコード／デコード入出力代替テストレジスタ	ECCFLXA0T0TED	$FFC7300C_H$
ECCFLXA0T1	ECC コントロールレジスタ	ECCFLXA0T1CTL	$FFC73010_H$
ECCFLXA0T1	ECC テストモードコントロールレジスタ	ECCFLXA0T1TMC	$FFC73014_H$
ECCFLXA0T1	ECC 冗長ビットデータコントロールテストレジスタ	ECCFLXA0T1TRC	$FFC73018_H$
ECCFLXA0T1	ECC リダンタントビット入出力代替バッファレジスタ	ECCFLXA0T1ERDB	$FFC73018_H$
ECCFLXA0T1	ECC エンコードテストレジスタ	ECCFLXA0T1ECRD	$FFC73019_H$
ECCFLXA0T1	ECC 7 ビット冗長ビットデータ保持テストレジスタ	ECCFLXA0T1HORD	$FFC7301A_H$
ECCFLXA0T1	ECC デコードシンドロームデータレジスタ	ECCFLXA0T1SYND	$FFC7301B_H$
ECCFLXA0T1	ECC エンコード／デコード入出力代替テストレジスタ	ECCFLXA0T1TED	$FFC7301C_H$

21.4.4 ECCFLXA0CTL/ECCFLXA0T0CTL/ECCFLXA0T1CTL — FlexRay ECC コントロールレジスタ

ECCFLXA0CTL/ECCFLXA0T0CTL/ECCFLXA0T1CTL レジスタは FlexRay の ECC のモードを制御、およびステータスの制御を行うレジスタです。

ビット 7, 5 ～ 4 の設定（書き込み）は FlexRay が動作していない時に行ってください。

また、ビット 7 への書き込みは EMCA1, EMCA0 を 01_B にして実行してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス **「表 21.116 レジスター覧」**を参照してください。

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA1	EMCA0	—	—	—	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	—	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—
R/W	R/W 注1	R/W 注1	R	R	R	R/W 注1	R/W 注1	R	R/W	R	R/W	R/W	R	R	R	R

注 1. リード値は常に 0 が読み出されます。

表 21.117 ECCFLXA0CTL/ECCFLXA0T0CTL/ECCFLXA0T1CTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	EMCA1	ECC モード選択ビットへのアクセス制御ビット 1,0 本ビットは ECTHM（ビット 7）の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 01_B のとき、ビット 7 への書き込みが可能になります。
14	EMCA0	
13 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットは ECER2F（ビット 2）の 2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。ECER2F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER2F ビットがクリアされます。1 書き込みと ECER2F のセット要因が競合した際には本ビットの書き込みが優先されます。
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットは ECER1F（ビット 1）の 1 ビットエラー検出／訂正フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。ECER1F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER1F ビットがクリアされます。1 書き込みと ECER1F のセット要因が競合した際には本ビットの書き込みが優先されます。
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTHM	ECC 機能スルーモード選択ビット 本ビットは、ECC 機能の有効／無効を設定するビットです。セット “1” することで、ECC 機能を無効にすることができます。このビットの書き込み時は EMCA1, EMCA0 ＝ 0, 1 を同時に書き込む必要があります。 0：スルーモード禁止（通常動作モード） 1：スルーモード許可（ECC 機能無効）
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	EC1ECP	1 ビットエラー訂正許可ビット 本ビットは ECC エラー検出／訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正を行う。 1：1 ビットエラー検出時にエラー訂正を行わない。

表 21.117 ECCFLXA0CTL/ECCFLXA0T0CTL/ECCFLXA0T1CTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	EC2EDIC	2 ビットエラー検出割り込み制御ビット 本ビットは 2 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0：2 ビットエラー検出時に INTECCDFLRAM 割り込みを発生させない。 1：2 ビットエラー検出時に INTECCDFLRAM 割り込みを発生する。（初期値）
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態（ECTHM = 0）で RAM へのリードアクセス時に 2 ビットエラーが検出されたことを示すフラグです。2 ビットエラー割り込み許可状態（EC2EDIC = 1）で、本フラグがセットされると ECC2 ビットエラー割り込み（INTECCDFLRAM）が発生します。 クリアの際には ECER2C ビット（ビット 10）へ 1 書き込みを行ってください。スルーモード許可選択 （ECTHM = 1）時も本ビットはクリアされます。本ビットがセットされた状態で再度 2 ビットのビットエラーが検出されても割り込みは発生しません。 0：本ビットクリア後、2 ビットエラーは発生していない。 1：2 ビットエラーが発生したことがある。 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
1	ECER1F	1 ビットエラー検出／訂正フラグビット 本ビットはエラー判定許可状態（ECTHM = 0）で RAM へのリードアクセス時に 1 ビットエラーが検出されたことを示すフラグです。クリアの際には ECER1C ビット（ビット 9）へ 1 書き込みを行ってください。スルーモード許可選択（ECTHM = 1）時も本ビットはクリアされます。 0：本ビットクリア後、1 ビットエラーは発生していない。 1：1 ビットエラーが発生したことがある。 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
0	ECEMF	ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。本ビットは RAM 出力データごとに更新されます。RAM を初期化する前にリードすると、本ビットがセットされる可能性があります。スルーモード許可選択（ECTHM = 1）時、およびデコード回路入力データに 1 ビットエラーがないときも本ビットはクリアされます。 0：現在の RAM 出力データには、ビットエラーが存在していない。 1：現在の RAM 出力データでは、ビットエラーが存在する。

注　意

ビット 2, 1 をクリアする場合には、ECC エラー表示フラグ（ECEMF）がセットされていない時にクリアする必要があります。

ビット 2,1 をクリアする場合には RAM 初期化後にクリアすることを推奨します。

21.4.5 ECCFLXA0TMC/ECCFLXA0T0TMC/ECCFLXA0T1TMC — FlexRay ECC テストモードコントロールレジスタ

ECCFLXA0TMC/ECCFLXA0T0TMC/ECCFLXA0T1TMC レジスタはテストモードへの切り替え、およびテストモード制御のためのレジスタです。

本レジスタは FlexRay が RAM アクセスしていないときに使用できます。

ビット 7 への書き込みは ETMA1, ETMA0 を 10_B にして実行してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス **「表 21.116 レジスター覧」**を参照してください。

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA1	ETMA0	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W 注1	R/W 注1	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注 1. リード値は常に 0 が読み出されます。

表 21.118 ECCFLXA0TMC/ECCFLXA0T0TMC/ECCFLXA0T1TMC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ETMA1	ECC テストモードビットへのアクセス制御ビット 1, 0 本ビットは ECTMCE（ビット 7）の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 10_B のとき、ビット 7 への書き込みが可能になります
14	ETMA0	
13 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよび、本レジスタのテスト制御ビットへのアクセスを許可するかを選択するビットです。このビットの書き込み時は、ETMA1, ETMA0 ＝ 1, 0 を同時に書き込む必要があります。 0：テストモードレジスタおよびビットに対するアクセスを禁止する 1：テストモードレジスタおよびビットに対するアクセスを許可する テストレジスタ：ECCFLXA0TED / ECCFLXA0T0TED / ECCFLXA0T1TED, ECCFLXA0TRC / ECCFLXA0T0TRC / ECCFLXA0T1TRC, ECCFLXA0SYND / ECCFLXA0T0SYND / ECCFLXA0T1SYND, ECCFLXA0HORD / ECCFLXA0T0HORD / ECCFLXA0T1HORD, ECCFLXA0ECRD / ECCFLXA0T0ECRD / ECCFLXA0T1ECRD, ECCFLXA0ERDB / ECCFLXA0T0ERDB / ECCFLXA0T1ERDB レジスタ テスト制御ビット：ECTRRS, ECREOS, ECENS, ECDCS, ECREIS
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは ECCFLXA0TED 注1 レジスタをリードする際の読み込み先、および ECCFLXA0ERDB 注2 レジスタをリードする際の読み込み先を選択します。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：ECCFLXA0TED 注1 レジスタのリード値は、ECCFLXA0TED 注1 レジスタの書き込み値となります。 ECCFLXA0ERDB 注2 レジスタのリード値は、ECCFLXA0ERDB 注2 レジスタの書き込み値となります。 1：ECCFLXA0TED 注1 レジスタのリード値は、RAM データが読み出せます。 ECCFLXA0ERDB 注2 レジスタのリード値は、RAM に書き込まれる ECC データとなります。

表 21.118 ECCFLXA0TMC/ECCFLXA0T0TMC/ECCFLXA0T1TMC レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	ECREOS	ECC リダンダントビット出力データ選択ビット 本ビットは RAM に格納する ECC データを書き込みデータに対して生成された ECC データとするか、または ECCFLXA0ERDB 注 2 レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：書き込みデータに対して生成された ECC データを RAM に格納する。 1：ECCFLXA0ERDB 注 2 レジスタの値を RAM に格納する。
2	ECENS	ECC エンコード入力選択ビット 本ビットは ECC データを生成する際の対象データを RAM への書き込みデータとするか、または ECCFLXA0TED 注 1 レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：RAM へのライトデータから ECC データを生成する。 1：ECCFLXA0TED 注 1 レジスタの値から ECC データを生成する。
1	ECDCS	ECC デコード入力選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象データを、RAM データとするか、または ECCFLXA0TED 注 1 レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：RAM データからシンドロームコードの生成と誤り検出を行う。 1：ECCFLXA0TED 注 1 レジスタの値からシンドロームコードの生成と誤り検出を行う。
0	ECREIS	ECC リダンダントビット入力データ選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象 ECC データを、RAM に格納された ECC データとするか、または ECCFLXA0ERDB 注 2 レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア）。 0：RAM に格納された ECC データからシンドロームコードの生成と、誤り検出を行う。 1：ECCFLXA0ERDB 注 2 レジスタの値からシンドロームコードの生成と、誤り検出を行う。

注 1. ECCFLXA0T0TMC 、ECCFLXA0T1TMC レジスタも同じです。

注 2. ECCFLXA0T0ERDB、ECCFLXA0T1ERDB レジスタも同じです。

21.4.6 ECCFLXA0TED/ECCFLXA0T0TED/ECCFLXA0T1TED — FlexRay ECC エンコード／デコード入出力代替テストレジスタ

ECC テストモードにおいて、テストデータを扱うレジスタです。

本レジスタの値から、ECC データの生成またはシンドロームコードの生成を行います。

ECC テストモードがイネーブル（ECCFLXA0TMC 注 1.ECTMCE = 1）である場合にアクセス可能です。ECCFLXA0TMC 注 1.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は $0000\ 0000_H$ となります。

本レジスタは FlexRay が RAM アクセスしていないときに使用できます。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス 「表 21.116 レジスター覧」を参照してください。

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.119 ECCFLXA0TED/ECCFLXA0T0TED/ECCFLXA0T1TED レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ECEDB[31:0]	ECCFLXA0TMC 注 1.ECENS = 1 において、本レジスタの値から ECC データを生成し、本レジスタの値を RAM へ格納します。 ECCFLXA0TMC 注 1.ECDCS = 1 において、本レジスタの値からシンドロームコードを生成し、本レジスタの値を ECC デコードシンドロームデータレジスタ（ECCFLXA0SYND 注 2）に格納します。 また、ECCFLXA0TMC 注 1.ECTRRS = 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM データ [31:0] が読み出されます。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。

注 2. ECCFLXA0T0SYND、ECCFLXA0T1SYND レジスタも同じです。

21.4.7 ECCFLXA0TRC/ECCFLXA0T0TRC/ECCFLXA0T1TRC — FlexRay ECC 冗長ビットデータコントロールテストレジスタ

ECC テストモードにおいて、ECC データに対するテストレジスタで、ECCFLXA0YND / ECCFLXA0T0YND / ECCFLXA0T1YND, ECCFLXA0HORD / ECCFLXA0T0HORD / ECCFLXA0T1HORD, ECCFLXA0ECRD / ECCFLXA0T0HORD / ECCFLXA0T1HORD, ECCFLXA0ERDB / ECCFLXA0T0ERDB / ECCFLXA0T1ERDB の各 ECC4 つの 8 ビットレジスタで構成されます。

ECC テストモードがイネーブル（ECCFLXA0TMC 注 1.ECTMCE = 1）である場合にアクセス可能です。ECCFLXA0TMC 注 1.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は $0000\ 0000_H$ となります。

本レジスタは FlexRay が RAM アクセスしていないときに使用できます。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス **「表 21.116 レジスター覧」**を参照してください。

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECCFLXA0SYND/ECCFLXA0T0SYND/ECCFLXA0T1SYND（**21.4.8** 参照）								ECCFLXA0HORD/ECCFLXA0T0HORD/ECCFLXA0T1HORD（**21.4.9** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECCFLXA0ECRD/ECCFLXA0T0ECRD/ECCFLXA0T1ECRD（**21.4.10** 参照）								ECCFLXA0ERDB/ECCFLXA0T0ERDB/ECCFLXA0T1ERDB（**21.4.11** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.4.8 ECCFLXA0SYND/ECCFLXA0T0SYND/ECCFLXA0T1SYND — FlexRay ECC デコードシンドロームデータレジスタ

ECC テストモードにおいて、生成されたシンドロームコードが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（ECCFLXA0TMC 注 1.ECTMCE = 1）のときリードアクセスのみ可能、ディセーブル（ECCFLXA0TMC 注 1.ECTMCE = 0）のとき読み出し値は 00_H となります。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス **「表 21.116 レジスター覧」**を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.120 ECCFLXA0SYND/ECCFLXA0T0SYND/ECCFLXA0T1SYND レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	SYND[6:0]	生成されたシンドロームコードが随時格納されます。

21.4.9 ECCFLXA0HORD/ECCFLXA0T0HORD/ECCFLXA0T1HORD — FlexRay ECC 7 ビット冗長ビットデータ保持テストレジスタ

ECC テストモードにおいて、読み出した RAM データに対する ECC データが格納されるレジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（ECCFLXA0TMC 注 1.ECTMCE = 1）のときリードアクセスのみ可能、ディセーブル（ECCFLXA0TMC 注 1.ECTMCE = 0) のとき読み出し値は 00_H となります。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス **「表 21.116 レジスター覧」**を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.121 ECCFLXA0HORD/ECCFLXA0T0HORD/ECCFLXA0T1HORD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	HORD[6:0]	読み出した RAM データに対する ECC コードが随時格納されます。 また、ECCFLXA0TMC 注 1.ECTRRS = 1 の場合、ECC FLXA0TED 注 2 レジスタをリードした際にも ECC コードが格納されます。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。

注 2. ECCFLXA0T0TED、ECCFLXA0T1TED レジスタも同じです。

21.4.10 ECCFLXA0ECRD/ECCFLXA0T0ECRD/ECCFLXA0T1ECRD — FlexRay ECC エンコードテストレジスタ

ECC テストモードにおいて、書き込んだ RAM データに対して生成された ECC データが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（ECCFLXA0TMC 注 1.ECTMCE = 1）のときリードアクセスのみ可能、ディセーブル（ECCFLXA0TMC 注 1.ECTMCE = 0）のとき読み出し値は 00_H となります。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス **「表 21.116 レジスター覧」**を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ECRD6	ECRD5	ECRD4	ECRD3	ECRD2	ECRD1	ECRD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.122 ECCFLXA0ECRD/ECCFLXA0T0ECRD/ECCFLXA0T1ECRD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	ECRD[6:0]	RAM データ書き込み時に生成される ECC データを読み出すことができます。 また、ECCFLXA0TMC 注 1.ECENS = 1 の際には、ECC FLXA0TED 注 2 レジスタに書き込んだデータに対する ECC データを読み出すことができます。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。
注 2. ECCFLXA0T0TED、ECCFLXA0T1TED レジスタも同じです。

21.4.11 ECCFLXA0ERDB/ECCFLXA0T0ERDB/ECCFLXA0T1ERDB — FlexRay ECC リダンタントビット入出力代替バッファレジスタ

ECC テストモードにおいて、ECC データを扱うレジスタです。

本レジスタの値は、RAM への書き込み時に生成される ECC データ、または RAM データの読み出し時に読み込まれる ECC データとして扱うことができます。

ECC テストモードがイネーブル（ECCFLXA0TMC 注 1.ECTMCE = 1）である場合に、アクセスが可能です。ECCFLXA0TMC 注 1.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 00_H となります。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス **「表 21.116 レジスター覧」**を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.123 ECCFLXA0ERDB/ECCFLXA0T0ERDB/ECCFLXA0T1ERDB レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	ERDB[6:0]	ECCFLXA0TMC 注 1.ECREOS = 1 の場合、本レジスタの値を ECC データとして RAM へ格納します。 ECCFLXA0TMC 注 1.ECREIS = 1 の場合、本レジスタの値を RAM から読み出された ECC データとします。 また、ECCFLXA0TMC 注 1.ECTRRS = 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM に格納する ECC データが読み出されます。

注 1. ECCFLXA0T0TMC、ECCFLXA0T1TMC レジスタも同じです。

21.4.12 SELB_READTEST — ECCREAD テスト選択レジスタ

FLXAn の ECC のレジスタのリード／ライトチェックに使用します。

詳細は**「16.7.11 SELB_READTEST — ECCREAD テスト選択レジスタ」**を参照してください。

第 22 章　ウインドウウォッチドッグタイマ（WDTA）

本章では、ウインドウウォッチドッグタイマ（WDTA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、WDTA の機能、レジスタについて説明します。

22.1　RH850/F1M WDTA の特長

22.1.1　ユニット数とチャネル数

本製品は、以下のユニット数の WDTA を搭載しています。

表 22.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	2		
名称	WDTAn(n = 0、1)		

表 22.2　添字

添字	説明
n	本章では、ウインドウウォッチドッグタイマ の各ユニットを「n」で識別します。たとえば、WDTAn イネーブルレジスタ（WDTAnWDTE）（n = 0、1）のように記述しています。

22.1.2　レジスタベースアドレス

WDTAn のベースアドレスを以下の表に示します。

WDTAn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 22.3　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<WDTA0_base>	FFED 0000_H
<WDTA1_base>	FFED 1000_H

22.1.3 クロック供給

WDTAn のクロック供給を以下の表に示します。

表 22.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
WDTA0	WDTATCKI	CKSCLK_AWDTA
	レジスタアクセスクロック	CPUCLK2
WDTA1	WDTATCKI	LS IntOSC
	レジスタアクセスクロック	CPUCLK2

22.1.4 割り込み要求

WDTAn の割り込み要求を以下の表に示します。

表 22.5 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
WDTA0			
INTWDTAn	WDTA0 75% 割り込み	40	—
WDTA1			
INTWDTAn	WDTA1 75% 割り込み	41	—

表 22.6 割り込み要求（FE レベルノンマスカブル割り込み）

ユニット割り込み信号	説明	割り込み名称	DMA トリガ番号
WDTA0			
WDTAnTNMI	WDTA0 FENMI 割り込み （WDTA エラー検出モードが、NMI 要求のとき）	WDTA0NMI	—
WDTA1			
WDTAnTNMI	WDTA1 FENMI 割り込み （WDTA エラー検出モードが、NMI 要求のとき）	WDTA1NMI	—

22.1.5 リセット要因

WDTAn のリセット要因を以下に示します。WDTAn は以下のリセット要因で初期化されます。

表 22.7 リセット要因

ユニット名	リセット要因
WDTA0	リセット要因（AWORES）
WDTA1	すべてのリセット要因（ISORES）

備考 WDTA1 は STOP モード状態では停止します。

22.2 概要

22.2.1 機能概要

WDTA には次の機能があります。

- オプションバイトによるリセット解除後の動作モード選択

WDTA の有効・無効、リセット後のカウント開始・停止、カウンタオーバフロー時間の設定、VAC 機能の有効・無効が選択できます。オプションバイトによる WDTA の起動オプションを**表 22.8** に示します。

- WDTA トリガ機能

WDTA は WDTA トリガレジスタへの起動コード書き込みにより、WDTA の起動およびカウンタをリスタートします。起動コードには、固定起動コードまたは可変起動コード（VAC 機能）があります。可変起動コードでは、WDTA トリガレジスタに前回と異なる値（可変値）の書き込みでカウンタをリスタートします。

- 75%割り込み要求信号

オーバフローインターバル時間の 75%に達した時に割り込み要求信号を発生することができます（WDTAnMD.WDTAnWIE により有効無効が可能）。

- ウィンドウ機能

WDTA トリガレジスタの書き込み有効期間（ウィンドウオープン期間）を設定することができます。ウィンドウオープン期間以外で WDTA トリガレジスタに書き込みを行うとエラーが発生します。

- WDTA エラー検出機能

エラー検出時はノンマスカブル割り込み要求、または内部リセットが発生します。

エラー検出要因は**「22.5.3　WDTA エラー検出」**を参照してください。

表 22.8　WDTA の起動オプション

起動オプション	機能	説明	オプションバイト
OPWDEN	WDTA の設定	WDTA の有効／無効を設定します。 0：WDTA 無効 1：WDTA 有効	• WDTA0 OPBT0.OPBT0[19] • WDTA1 OPBT0.OPBT0[23]
OPWDOVF[2:0]	オーバフローインターバル時間リセット値の設定	オーバフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。	• WDTA0/WDTA1 OPBT0.OPBT0[18:16]
OPWDRUN	スタートモードの設定	スタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード 詳細は「**22.5.1　リセット解除後の WDTA**」を参照してください。	• WDTA0 OPBT0.OPBT0[20] • WDTA1 OPBT0.OPBT0[24]
OPWDVAC	可変起動コードの選択	カウンタオーバーフローを回避するためのカウンタリスタートトリガを発生させるトリガレジスタを指定します。 0：WDTAnWDTE（固定） 1：WDTAnEVAC（可変） WDTAnWDTE を選択した場合、このレジスタへの書き込み（起動コード）は、AC_H 固定です。WDTAnEVAC を選択した場合、このレジスタへの書き込みは、可変値となります。詳細は、「**22.5.2　WDTA トリガ**」「**22.5.2.1　VAC 機能使用時の起動コードの計算**」を参照してください。	• WDTA0 OPBT0.OPBT0[22] • WDTA1 OPBT0.OPBT0[26]

備　考

オプションバイトの設定は「**36.9　オプションバイト**」を参照してください。

22.2.2　ブロック図

WDTA の主な構成要素を **図 22.1** に示します。

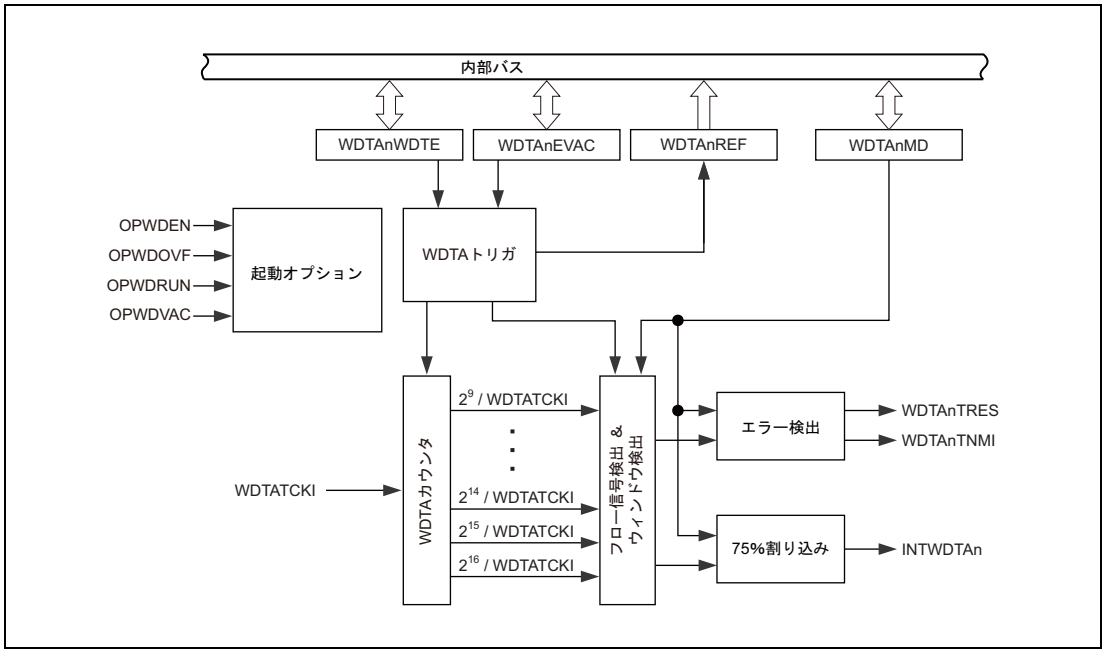


図 22.1　WDTA のブロック図

22.3 レジスタ

22.3.1 レジスター覧

WDTA のレジスター覧を以下の表に示します。

<WDTAn_base> は**「22.1.2　レジスタベースアドレス」**を参照してください。

表 22.9　レジスター覧

モジュール名	レジスタ名	略号	アドレス
WDTAn	WDTA イネーブルレジスタ	WDTAnWDTE	<WDTAn_base> + 0000_H
WDTAn	WDTA イネーブル VAC レジスタ	WDTAnEVAC	<WDTAn_base> + 0004_H
WDTAn	WDTA 基準値レジスタ	WDTAnREF	<WDTAn_base> + 0008_H
WDTAn	WDTA モードレジスタ	WDTAnMD	<WDTAn_base> + $000C_H$

22.3.2 WDTAnWDTE — WDTA イネーブルレジスタ

このレジスタは、VAC 機能を使用していない場合（起動オプション OPWDVAC = 0）の WDTA トリガレジスタです。

AC_H を書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート／リスタートします。詳細は**「22.5.2 WDTA トリガ」**を参照してください。

このレジスタの動作は、起動オプション（OPWDVAC）の設定によって異なります。**「表 22.12 WDTAnWDTE の動作」**を参照してください。

WDTA0 は、AWORES で初期化されます。

WDTA1 は、どのリセット要因でも初期化されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> + 0000_H

リセット後の値 起動オプション（OPWDEN, OPWDRUN, OPWDVAC）により異なります。**「表 22.11 WDTAnRUN7 のリセット後の値」**を参照してください。

ビット	7	6	5	4	3	2	1	0
	WDTAnRUN[7:0]							
リセット後の値	0/1	0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.10 WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	WDTAnRUN [7:0]	固定起動コード（AC_H）を書き込むことにより WDTA トリガを発生し、WDTAn カウントのスタート / リスタートを制御します。AC_H 以外の値を書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。リードした場合、およびライトする場合は、**「表 22.12 WDTAnWDTE の動作」**を参照してください。

WDTAnRUN7 ビットは、WDTA が有効（OPWDEN = 1）かつ VAC 機能が無効（OPWDVAC = 0）の場合のみ有効です。起動オプションによる WDTAnRUN7 ビットのリセット後の値を**表 22.11** に示します。

表 22.11 WDTAnRUN7 のリセット後の値

起動オプション			スタートモード	WDTAnRUN7 のリセット後の値
OPWDEN	OPWDVAC	OPWDRUN		
1	0	1	デフォルトスタート	1
		0	ソフトウェアトリガスタート	0

OPWDVAC 設定による WDTAnWDTE へのリード / ライトアクセス動作を**「表 22.12 WDTAnWDTE の動作」**に示します。

表 22.12 WDTAnWDTE の動作

OPWDVAC	説明	WDTAnWDTE	
		リード時	ライト時
0	VAC 機能無効 WDTAnWDTE 有効	$2C_H$ が読めます（ソフトウェアトリガスタートモード、WDTAn 起動前の場合）。 AC_H が読めます（WDTAn 起動後）。	WDTA トリガ AC_H 注 1 を書いてください。
1	VAC 機能有効 WDTAnWDTE 無効	$2C_H$ が読めます。	ライトは無効です。

注 1.　これ以外の値を書き込んだ場合、エラーが発生します。

22.3.3 WDTAnEVAC — WDTA イネーブル VAC レジスタ

このレジスタは、VAC 機能を使用している場合（起動オプション OPWDVAC = 1）の WDTA トリガレジスタです。

正しい起動コードを書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート／リスタートします。詳細は**「22.5.2 WDTA トリガ」**を参照してください。VAC 機能使用時の起動コードは、**「22.5.2.1 VAC 機能使用時の起動コードの計算」**を参照してください。

このレジスタの動作は、起動オプション（OPWDVAC）の設定によって異なります。**「表 22.15 WDTAnEVAC の動作」**を参照してください。

WDTA0 は、AWORES で初期化されます。

WDTA1 は、どのリセット要因でも初期化されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> ＋ 0004_H

リセット後の値 起動オプション（OPWDEN, OPWDRUN, OPWDVAC）により異なります。**「表 22.14 WDTAnEVAC7 のリセット後の値」**を参照してください。

ビット	7	6	5	4	3	2	1	0
	WDTAnEVAC[7:0]							
リセット後の値	0/1	0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.13 WDTAnEVAC レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	WDTAnEVAC[7:0]	可変起動コードを書き込むことにより WDTA トリガを発生し、WDTAn カウントのスタート／リスタートを制御します。誤った起動コードを書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。 リードした場合、およびライトする場合は、**「表 22.15 WDTAnEVAC の動作」**を参照してください。

WDTAnEVAC7 ビットは、WDTA が有効（OPWDEN = 1）かつ VAC 機能が有効（OPWDVAC = 1）の場合のみ有効です。起動オプションによる WDTAnEVAC7 ビットのリセット後の値を**表 22.14** に示します。

表 22.14 WDTAnEVAC7 のリセット後の値

起動オプション			スタートモード	WDTAnEVAC7 のリセット後の値
OPWDEN	OPWDVAC	OPWDRUN		
1	1	1	デフォルトスタート	1
		0	ソフトウェアトリガスタート	0

OPWDVAC 設定による WDTAnEVAC へのリード／ライトアクセス動作を**表 22.15** に示します。

表 22.15 WDTAnEVAC の動作

OPWDVAC	説明	WDTAnEVAC	
		リード時	ライト時
0	VAC 機能 無効 WDTAnEVAC 無効	$2C_H$ が読めます。	ライトは無効です。
1	VAC 機能 有効 WDTAnEVAC 有効	$2C_H$ が読めます（ソフトウェアトリガスタートモード、WDTAn 起動前の場合）。 最後に書き込まれた可変起動コードの値が読めます（WDTAn 起動後）。	可変起動コード[注1] を書いてください。 詳細は**「22.5.2.1 VAC 機能使用時の起動コードの計算」**を参照してください。

注 1. これ以外の値を書き込んだ場合、エラーが発生します。

22.3.4 WDTAnREF — WDTA 基準値レジスタ

このレジスタは、VAC 機能の起動コードを求めるための基準値が格納されます。トリガ動作ごとに自動的に更新されます。詳細は**「22.5.2.1 VAC 機能使用時の起動コードの計算」**を参照してください。

VAC 機能 が無効の場合（OPWDVAC = 0）、このレジスタを読み出すと 00_H を返します。

WDTA0 は、AWORES で初期化されます。

WDTA1 は、どのリセット要因でも初期化されます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <WDTAn_base> + 0008_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WDTAnREF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.16 WDTAnREF レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	WDTAnREF [7:0]	VAC 機能の起動コードを求めるための基準値

22.3.5 WDTAnMD — WDTA モードレジスタ

オーバフローインターバル時間、75% 割り込み許可／禁止、エラーモード、およびウインドウオープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガレジスタへの書き込みで 有効になります。

最初の WDTA トリガ発生後に、このレジスタの値を変更するとエラーが発生しますが、同じ値を書き込んだ場合はエラーは発生しません。

WDTA0 は、AWORES で初期化されます。

WDTA1 は、どのリセット要因でも初期化されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> + $000C_H$

リセット後の値 起動オプション（OPWDOVF[2:0]）により異なります。**「表 22.8 WDTA の起動オプション」**を参照してください。

ビット	7	6	5	4	3	2	1	0
	—	WDTAnOVF[2:0]			WDTAnWIE	WDTAnERM	WDTAnWS[1:0]	
リセット後の値	0	注 1	注 1	注 1	0	1	1	1
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. WDTAnOVF[2:0] のリセット後の値は、起動オプション OPWDOVF[2:0] により設定可能です。

表 22.17 WDTAnMD レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 4	WDTAn OVF [2:0]	オーバフローインターバル時間を選択します。

WDTAn OVF2	WDTAn OVF1	WDTAn OVF0	オーバフローインターバル時間
0	0	0	2^9 / WDTATCKI
0	0	1	2^{10} / WDTATCKI
0	1	0	2^{11} / WDTATCKI
0	1	1	2^{12} / WDTATCKI
1	0	0	2^{13} / WDTATCKI
1	0	1	2^{14} / WDTATCKI
1	1	0	2^{15} / WDTATCKI
1	1	1	2^{16} / WDTATCKI

3	WDTAnWIE	75% 割り込み要求 INTWDTAn の有効／無効 0：INTWDTAn 無効 1：INTWDTAn 有効
2	WDTAnERM	エラーモードを指定します。 0：NMI 要求モード 1：リセットモード

表 22.17 WDTAnMD レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>1、0</td><td>WDTAnWS[1:0]</td><td>ウインドウオープン期間を選択します。
<table>
<tr><th>WDTAn WS1</th><th>WDTAn WS0</th><th>ウインドウオープン期間</th></tr>
<tr><td>0</td><td>0</td><td>25%</td></tr>
<tr><td>0</td><td>1</td><td>50%</td></tr>
<tr><td>1</td><td>0</td><td>75%</td></tr>
<tr><td>1</td><td>1</td><td>100%</td></tr>
</table></td></tr>
</table>

22.4　割り込み要因

WDTA は、WDTA カウンタ値の状態や WDTA 関連レジスタへの不正なアクセスを検出して、割り込み要求を発生します。WDTA の割り込み要求を以下に示します。

（1） INTWDTAn（WDTA タイマカウント　75% 割り込み要求）
WDTA タイマのカウントオーバフロー時間の 75%で割り込み要求信号を発生します。WDTA モードレジスタ WDTAnMD により、割り込み要求信号の有効 / 無効設定が可能です。

（2） WDTAnTNMI（WDTA エラー検出割り込み）
WDTA エラーの検出により、NMI 割り込み要求を発生します。WDTA モードレジスタ WDTAnMD により、NMI 割り込みとリセットの切り替えが可能です。WDTA エラーの内容は、**「22.5.3　WDTA エラー検出」**を参照してください。

22.5 機能

22.5.1 リセット解除後の WDTA

22.5.1.1 スタートモード

リセット解除後の WDTAn の開始には、ソフトウェアスタートモードとデフォルトスタートモードがあります。スタートモードは起動オプションで選択できます。

各スタータモードを**表 22.18** に示します。

表 22.18 スタートモード

起動オプション OPWDRUN	スタートモード	説明
0	ソフトウェアトリガスタートモード	• リセット解除後、WDTA のカウンタは停止（0000_H） • WDTA トリガレジスタへの起動コードの書き込みでスタートします。
1	デフォルトスタートモード	リセット解除後、WDTA のカウンタを開始します。

22.5.1.2 リセット解除後の WDTA の設定

(1) リセット解除後の WDTA の設定を**表 22.19** に示します。

表 22.19 リセット解除後の WDTA の設定

機能	設定	備考
WDTA 有効・無効	起動オプションで指定	
スタートモード		
VAC 機能		
WDTA オーバフローインターバル時間	起動オプションで設定	WDTA モードレジスタ WDTAnMD 設定により、1 度のみ変更が可能です。
75%割り込みモード	75% 割り込み無効	
エラー時の動作	リセット発生	
ウインドウオープン期間	100%	

WDTA モードレジスタ WDTAnMD の設定は最初の WDTA トリガ（WDTA トリガレジスタ WDTAnWDTE、WDTAnEVAC への起動コード書き込み）で有効になります。WDTAnMD レジスタの設定を変更する場合、WDTA トリガ前に行ってください。

また、WDTAnMD よる WDTA 設定は 1 度のみです。WDTA トリガ後に WDTAnMD の設定値を変更した場合、エラーが発生します。同じ値を設定した場合はエラーは発生しません。

22.5.1.3 デフォルトスタートモードのタイミング

デフォルトスタートモードのタイミングと WDTA 設定への変更を**図 22.2** に示します。

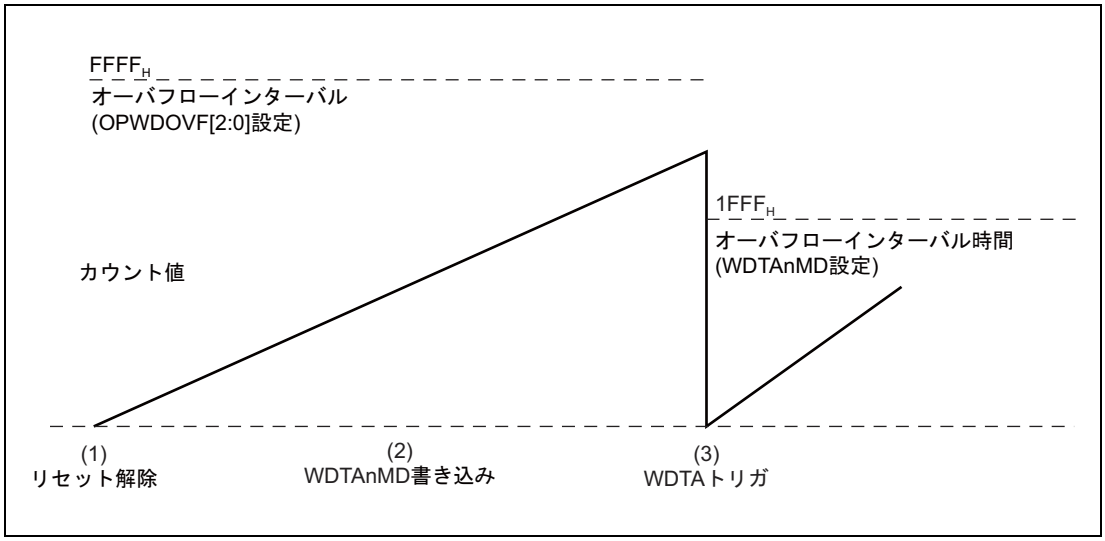


図 22.2 デフォルトスタートモード時の WDTA スタートのタイミング図

図 22.2 のタイミング図は次の動作を示します。

(1) デフォルトスタートモードではリセット解除直後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

例）リセット解除後のオーバフローインターバル時間
$= 2^{16}$/WDTATCKI (OPWDOVF[2:0] = 111_B)

(2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。

(3) WDTA カウンタがオーバフローする前に WDTA トリガレジスタへの書き込みを行ってください。
WDTA トリガにより WDTAnMD の設定が適用されます。

例）WDTA トリガ後のオーバフローインターバル時間
$= 2^{13}$/WDTATCKI

22.5.1.4　ソフトウェアトリガスタートモードのタイミング

ソフトウェアトリガスタートモードのタイミングと WDTA 設定への変更を**図 22.3** に示します。

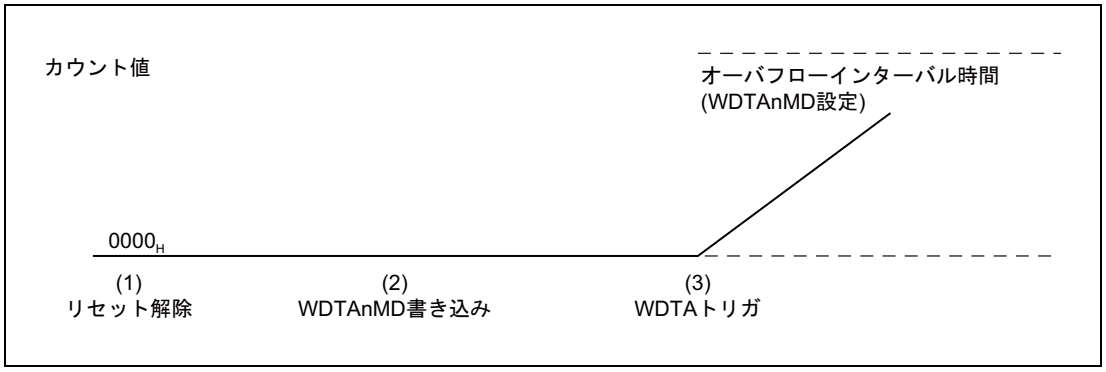


図 22.3　ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図

図 22.3 のタイミング図は次の動作を示します。

(1) リセット解除後、最初の WDTA トリガまで WDTA カウンタは 0000_H のままです。
オーバフローインターバル時間は起動オプションにより設定されますが、カウント動作が行われないため影響はありません。

(2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。

(3) WDTA トリガにより、WDTA カウンタがスタートします。
WDTAnMD で指定したオーバフローインターバル時間とその他の設定が適用されます。

22.5.2 WDTA トリガ

WDTA イネーブルレジスタ WDTAnWDTE、WDTA イネーブル VAC レジスタ WDTAnEVAC に、起動コードと呼ばれる特定の値を書き込むことにより WDTA トリガを発生します。

WDTA トリガには、次の機能があります。

- ソフトウェアトリガスタートモード時の WDTA カウンタの開始
- WDTA カウンタのカウントリスタート
- WDTAnMD レジスタによる WDTA モード設定（リセット解除後、最初の WDTA トリガのみ）

WDTA トリガを発生するレジスタを WDTA トリガレジスタと言い、起動オプション OPWDVAC で指定します。

WDTA トリガレジスタと起動コード設定を**表 22.20** に示します。

表 22.20 WDTA トリガレジスタと起動コード

起動コードの種類	トリガレジスタ	起動コード
固定 （OPWDVAC = 0）	WDTAnWDTE	AC_H
可変 （OPWDVAC = 1）	WDTAnEVAC	詳細は**「22.5.2.1 VAC 機能使用時の起動コードの計算」**を参照してください。

注 意

- **WDTA のクリア処理書き込みを連続で行う場合、以下の期間は次のクリア処理を受け付けません。**
  「12 × CPU クロック注 1 + 6 × WDT クロック注 2」
- **WDTA のクリア処理書き込み後、スタンバイモードに移行した場合、スタンバイモードから復帰後、以下の期間は次のクリア処理を受け付けません。**
  「6 × CPU クロック注 1 + 3 × WDT クロック注 2」

注 1. CPU クロック：CKSC_CPUCLKS_CTL, CKSC_CPUCLKD_CTL で選択したクロック。
注 2. WDT クロック： WDTA0 は、CKSC_AWDTAD_CTL で選択したクロック。
WDTA1 は、LS IntOSC。

22.5.2.1 VAC 機能使用時の起動コードの計算

VAC 機能使用時、WDTA トリガレジスタ WDTAnEVAC に設定する可変起動コード（ExpectWDTE）は、WDTA 基準値レジスタ WDTAnREF を使用して、次式で求めます。

$$\text{ExpectWDTE} = AC_H - \text{WDTAnREF（旧）}$$

なお、WDTAnREF レジスタの値はトリガレジスタ WDTAnEVAC に起動コードが書き込まれるたびに更新されます。WDTAnREF レジスタの更新値は次の式で求められます。

$$\text{WDTAnREF（新）} = \text{（ExpectWDTE を左に 1 ビットローテートシフト）}$$

WDTA トリガ回数ごとの可変起動コードは**表 22.21** のとおりです。

表 22.21 可変起動コードの展開

回数注1	WDTAnREF（旧）		ExpectWDTE (AC_H - WDTAnREF)		WDTAnREF（新）	
0	0000 0000	00_H	1010 1100	AC_H	0101 1001	59_H
1	0101 1001	59_H	0101 0011	53_H	1010 0110	$A6_H$
2	1010 0110	$A6_H$	0000 0110	06_H	0000 1100	$0C_H$
…	…	…	…	…	…	…

注 1. リセット後のトリガ回数

備 考

誤った起動コードを書き込んだ場合、エラーが発生します。

22.5.3 WDTA エラー検出

WDTA は、WDTA のカウントオーバフローの発生や不正な操作をエラーとして検出します。エラー検出項目を以下に示します。

- WDTA カウンタのオーバフロー
- WDTA トリガレジスタへの誤った起動コードの書き込み
- ウィンドウオープン期間以外でのトリガレジスタへの書き込み
- 初回 WDTA トリガ発生後、WDTA モードレジスタ WDTAnMD の設定値を変更しようとした場合
- 初回 WDTA トリガ発生前に、WDTA モードレジスタ WDTAnMD の設定値を 2 回更新する場合

22.5.3.1 WDTA エラーモード

WDTA エラーが検出されたとき、WDTA エラーモードビット WDTAnMD.WDTAnERM の設定により、NMI 割り込み、またはリセットが発生します。リセット解除後のエラーモードビット設定はリセットモードです。

- WDTAnMD.WDTAnERM = 0：NMI モード
- WDTAnMD.WDTAnERM = 1：リセットモード

デフォルトスタートモードが選択されているとき、カウンタがオーバフローした場合のリセットまたは NMI 要求の発生を**図 22.4** に示します。

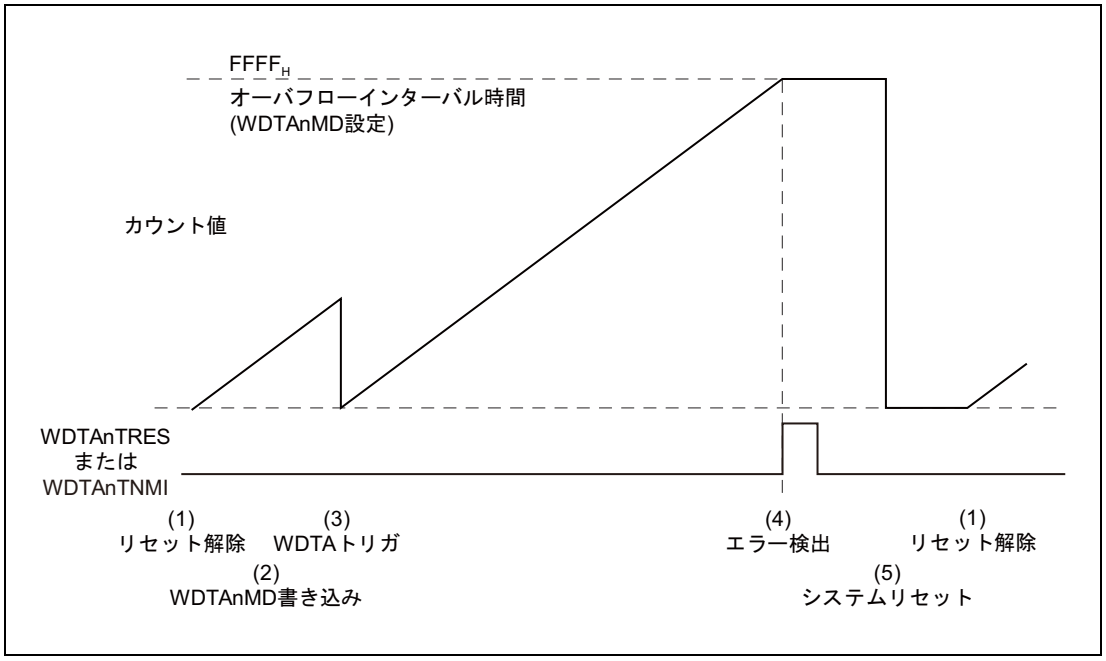


図 22.4　WDTA NMI 要求／リセット発生のタイミング図

図 22.4 のタイミング図は次の動作を示します。

(1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。
リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

(2) WDTAnMD は WDTA トリガ前に設定します。
ここでは 2^{16}/WDTATCKI をオーバフローインターバル時間に設定しています。

(3) WDTA トリガにより WDTAnMD の設定が適用されます。

(4) カウンタがオーバフローすると、エラーが検出されます。エラーモードによって、割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。
カウンタ値は、システムリセットが行われるまで変わりません。

(5) システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

22.5.4 75%割り込み要求信号

WDTA カウンタがオーバフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効／無効を選択することができます。

次の条件下での 75%割り込み要求の発生を**図 22.5** に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、75% 割り込み要求が有効
- WDTA オーバフローインターバル時間：2^{16}/WDTATCKI

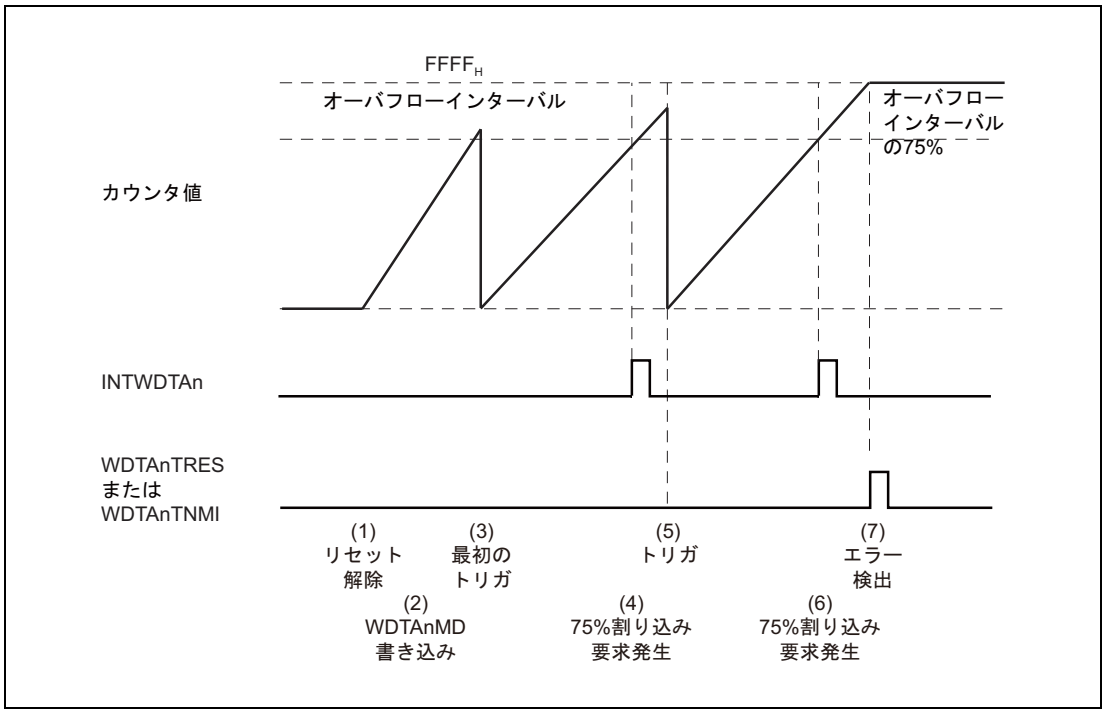


図 22.5 WDTA 75%割り込み要求信号のタイミング図

(1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションによって設定されます。

(2) WDTAnMD は WDTA トリガ前に設定します。ここでは 2^{16}/WDTATCKI をオーバフローインターバル時間に設定しています。

(3) WDTA トリガにより WDTAnMD の設定が適用されます。

(4) WDTA カウンタがオーバフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。

(5) WDTA トリガにより、カウントがリスタートします。

(6) WDTA カウンタがオーバフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。

(7) カウンタがオーバフローすると、エラーが検出されます。エラーモードによって、割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。カウンタ値は、システムリセットが行われるまで変わりません。

22.5.5 ウインドウ機能

WDTA トリガの有効期間（ウィンドウオープン期間）を設定することができます。

ウインドウオープン期間を 100%未満に設定すると、ウインドウオープン期間以外の WDTA トリガによりエラーが発生します。リセット解除後、ウインドウオープン期間は 100%です。最初の WDTA トリガで 、WDTAnMD.WDTAnWS[1:0] に設定した値になります。

次の条件下でのウインドウ機能動作を**図 22.6** に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、25% ウインドウオープン期間が有効（WDTAnWS[1:0]=00_B）
- WDTA オーバフローインターバル時間：2^{16}/WDTATCKI

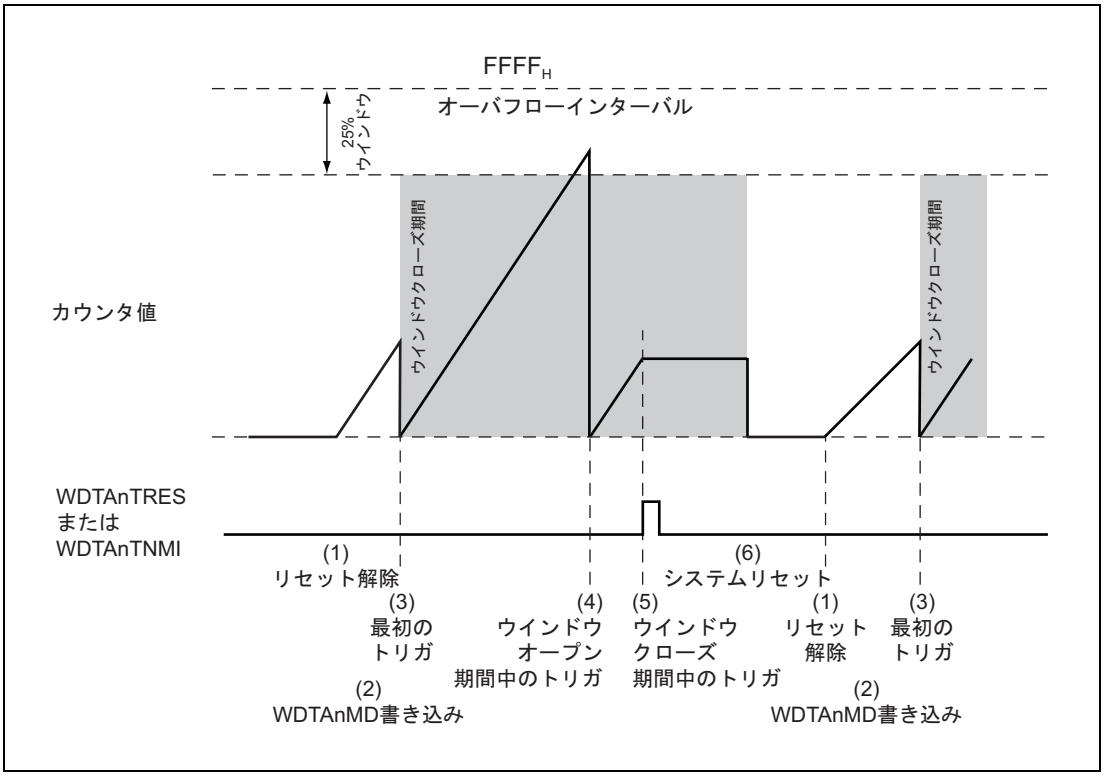


図 22.6 WDTA ウインドウ機能のタイミング図

(1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

(2) WDTAnMD は WDTA トリガ前に設定します。ここでは 2^{16}/WDTATCKI をオーバフローインターバル時間に設定しています。

(3) WDTA トリガにより WDTAnMD の設定が適用されます。

(4) ウインドウオープン期間中に、WDTA トリガにより、カウントがリスタートします。

(5) ウインドウクローズ期間中に、WDTA トリガにより、エラーが検出されます。エラーモードによって、割り込み求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。カウンタ値は、システムリセットが行われるまで変わりません。

(6) システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

第 23 章　OS タイマ（OSTM）

本章では、OS タイマ（OSTM）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、OSTM の機能、レジスタについて説明します。

23.1　RH850/F1M OSTM の特長

23.1.1　ユニット数

本製品は以下のユニット数の OSTM を搭載しています。

表 23.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	5		
名称	OSTMn(n = 0 ～ 4)		

表 23.2　添字

添字	説明
n	本章では、OSTM の各ユニットを「n」（n = 0 ～ 4）で識別します。たとえば、OSTM カウンタレジスタは、OSTMnCNT のように記述しています。

23.1.2　レジスタベースアドレス

OSTMn のベースアドレスを以下の表に示します。

OSTMn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 23.3　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<OSTM0_base>	$FFD7\ 0000_H$
<OSTM1_base>	$FFD7\ 0100_H$
<OSTM2_base>	$FFD7\ 0200_H$
<OSTM3_base>	$FFD7\ 0300_H$
<OSTM4_base>	$FFD7\ 0400_H$

23.1.3 クロック供給

OSTM のクロック供給を以下の表に示します。

表 23.4　クロック供給

ユニット名	ユニットクロック名	供給クロック名
OSTMn	PCLK	CPUCLK2
	レジスタアクセスクロック	CPUCLK2

23.1.4 割り込み要求

OSTM の割り込み要求を以下の表に示します。

表 23.5　割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
OSTM0			
OSTMTINT	OSTM0 割り込み	84	—

表 23.6　割り込み要求（FE レベルマスカブル割り込み要求）

ユニット割り込み信号	説明	割り込み名称	DMA トリガ番号
OSTMn			
OSTMTINT	OSTMn 割り込み	INTOSTMn_FE	—

23.1.5 リセット要因

OSTM のリセット要因を以下に示します。OSTM は以下のリセット要因で初期化されます。

表 23.7　リセット要因

ユニット名	リセット要因
OSTMn	すべてのリセット要因（ISORES）

23.2 概要

OSTM は 32 ビットのタイマ／カウンタです。

OSTM は、インターバルタイマモードまたはフリーランニングコンペアモードで使用できます。動作モードを選択することによりカウント方向（ダウン／アップ）を指定し、割り込み要求の生成を制御します。

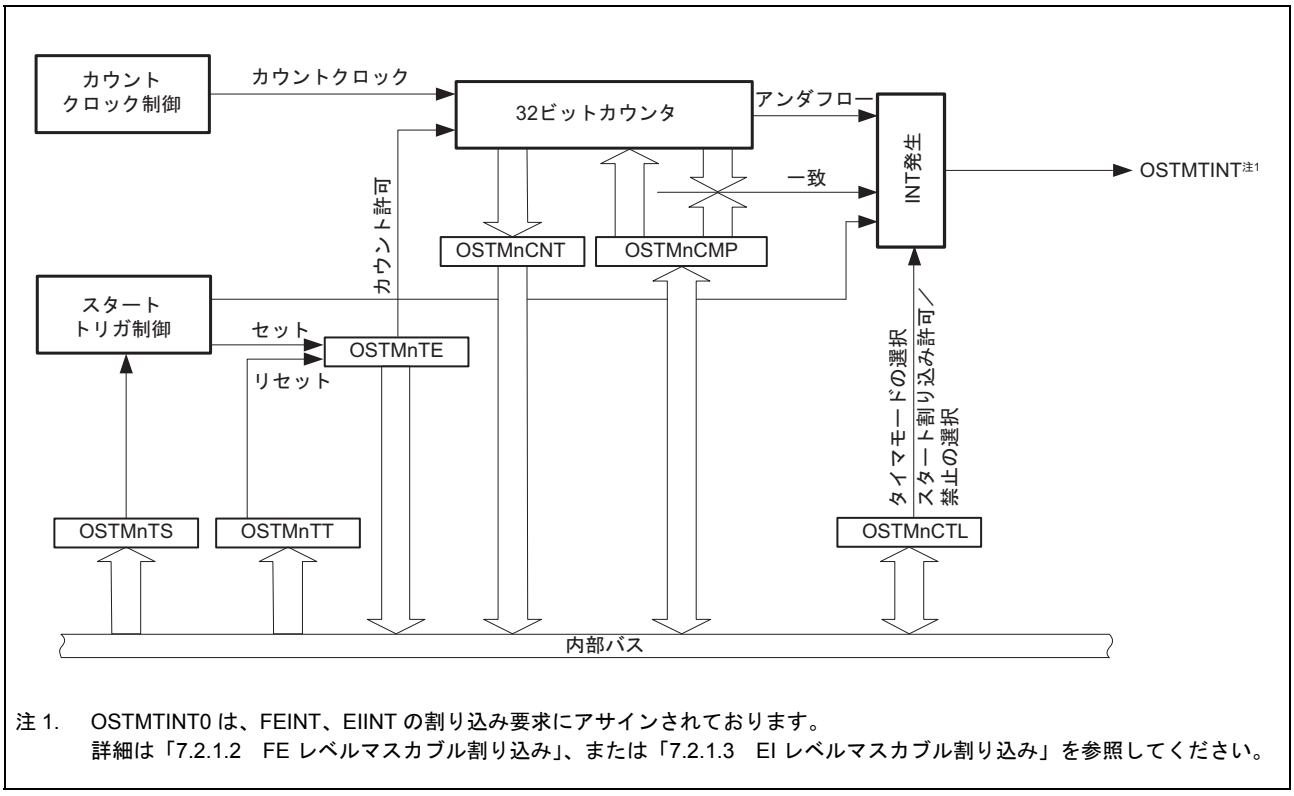
23.2.1 機能概要

OSTM には、次の機能があります。

- 2 つの動作モード
  - インターバルタイマモード
  - フリーランニングコンペアモード
- OSTMTINT 割り込み

23.2.2 ブロック図

OSTM の主な構成要素を次のブロック図に示します。



注 1. OSTMTINT0 は、FEINT、EIINT の割り込み要求にアサインされております。
詳細は「7.2.1.2 FE レベルマスカブル割り込み」、または「7.2.1.3 EI レベルマスカブル割り込み」を参照してください。

図 23.1 OSTM のブロック図

23.2.3 カウントクロック

OSTM はカウントクロックに PCLK を使用します。

23.2.4 割り込み要求（OSTMTINT）

カウンタアンダフローが発生したとき（インターバルタイマモードの場合）またはカウンタが比較値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求 OSTMTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

これを次の図に示します。

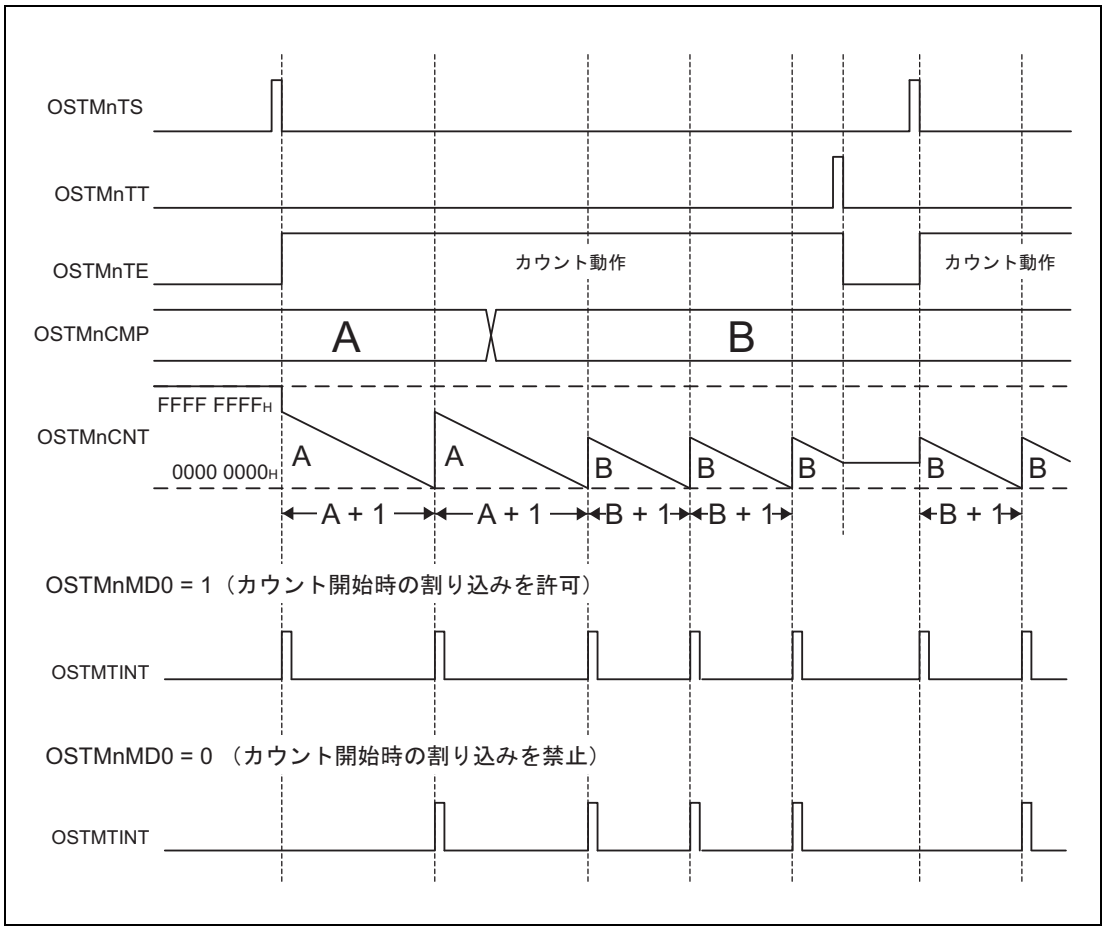


図 23.2 カウント開始時の割り込み生成（インターバルタイマモード）

23.3 レジスタ

23.3.1 レジスター覧

OSTM のレジスター覧を以下の表に示します。

<OSTMn_base> は**「23.1.2　レジスタベースアドレス」**を参照してください。

表 23.8　レジスター覧

モジュール名	レジスタ名	略号	アドレス
OSTMn	OSTMn コンペアレジスタ	OSTMnCMP	<OSTMn_base> + 00_H
OSTMn	OSTMn カウンタレジスタ	OSTMnCNT	<OSTMn_base> + 04_H
OSTMn	OSTMn カウントイネーブルステータスレジスタ	OSTMnTE	<OSTMn_base> + 10_H
OSTMn	OSTMn カウント開始トリガレジスタ	OSTMnTS	<OSTMn_base> + 14_H
OSTMn	OSTMn カウント停止トリガレジスタ	OSTMnTT	<OSTMn_base> + 18_H
OSTMn	OSTMn 制御レジスタ	OSTMnCTL	<OSTMn_base> + 20_H
OSTMn	OSTMn エミュレーションレジスタ	OSTMnEMU	<OSTMn_base> + 24_H

23.3.2 OSTMnCMP — OSTMn コンペアレジスタ

このレジスタは、動作モードによってダウンカウンタの開始値またはカウンタが比較される値を格納します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <OSTMn_base> + 00_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCMP[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.9　OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OSTMnCMP [31:0]	• インターバルタイマモードの場合：ダウンカウンタの開始値 • フリーランニングコンペアモードの場合：比較値

23.3.3 OSTMnCNT — OSTMn カウンタレジスタ

このレジスタはタイマのカウント値を示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <OSTMn_base> + 04_H

リセット後の値 FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.10 OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OSTMnCNT [31:0]	タイマカウンタの値

OSTM の動作モード、カウント方向、スタート値の関係を**表 23.11** に示します。スタート値は動作モードが変更された後にリードされる値です。

表 23.11 動作モード、カウント方向、スタート値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウント方向	スタート値
インターバルタイマモード	0 注 1	ダウン	FFFF $FFFF_H$
フリーランニングコンペアモード	1	アップ	0000 0000_H

注 1. リセット後の値

23.3.4 OSTMnTE — OSTMn カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <OSTMn_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 23.12 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	OSTMnTE	カウンタの状態を示します。 0：カウンタが停止中 1：カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定すると、このビットが 1 になります。 OSTMnTT.OSTMnTT を 1 に設定すると、このビットが 0 にリセットされます。

備　考

カウンタが停止中の間はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバルタイマモードでは OSTMnCMP の設定値から再開します。
- フリーランニングコンペアモードでは、カウント値 $0000\ 0000_H$ で動作を再開します。

23.3.5 OSTMnTS — OSTMn カウント開始トリガレジスタ

このレジスタは、カウントを開始します。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <OSTMn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 23.13 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTS	カウントを開始します。 0：設定は無効です。 1：カウントを開始し、OSTMnTE.OSTMnTE = 1 を設定します。 • インターバルタイマモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 • フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

23.3.6 OSTMnTT — OSTMn カウント停止トリガレジスタ

このレジスタは、カウンタを停止します。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <OSTMn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 23.14 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTT	カウンタを停止します。 0：設定は無効です。 1：カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

23.3.7 OSTMnCTL — OSTMn 制御レジスタ

このレジスタは、カウンタの動作モードを指定し、カウント開始時の割り込み要求 OSTMTINT の生成を制御します。

このレジスタはリード／ライト可能ですが、OSTMnTE.OSTMnTE = 0 のときは書き込み可、OSTMnTE.OSTMnTE = 1 のときは読み出し専用となります。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <OSTMn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OSTMnMD1	OSTMnMD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.15 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OSTMnMD1	カウンタの動作モードを指定します。 0：インターバルタイマモード 1：フリーランニングコンペアモード
0	OSTMnMD0	カウント開始時の OSTMTINT 割り込み要求を制御します。 0：カウント開始時の割り込みを禁止 1：カウント開始時の割り込みを許可

23.3.8 OSTMnEMU — OSTMn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8 ビット単位でリード／ライト可能です。
カウンタ停止中（OSTMnTE.OSTMnTE = 0）、かつ（EPC.SVSTOP = 0）のときにライト動作を行ってください。

アドレス <OSTMn_base> + 24_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	OSTMnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 23.16 OSTMnEMU レジスタの内容

ビット位置	ビット名	機能
7	OSTMnSVSDIS	（EPC.SVSTOP ビット = 0 のとき） 本ビットの値 (1/0) にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット = 1 のとき） 0: デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

23.4 動作

23.4.1 OSTM の起動と停止

OSTM は次のように起動し、停止します。

起動

OSTM は以下の設定で起動します。

- OSTMnTS.OSTMnTS ビット ＝1 に設定

ステータスビット OSTMnTE.OSTMnTE が 1 に設定されます。

動作モードによって、カウンタはカウントダウンまたはカウントアップを開始します。詳細は**「23.4.2　インターバルタイマモード」**と**「23.4.3　フリーランニングコンペアモード」**を参照してください。

停止

OSTM は、OSTMnTT.OSTMnTT ビット ＝1 に設定することで停止します。

ステータスビット OSTMnTE.OSTMnTE がクリアされます。

23.4.2 インターバルタイマモード

インターバルタイマモードでは、OSTM を一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

23.4.2.1 インターバルタイマモードの基本動作

インターバルタイマモードでは、タイマは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタがアンダフローした（$0000\ 0000_H$ に達した）場合に、割り込み要求 OSTMTINT が発生します。

インターバルタイマモード利用時は OSTMnCTL.OSTMnMD1 = 0 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタは次に $0000\ 0000_H$ に到達したときに新しい OSTMnCMP の値をロードします。次に、カウンタは新しい値で動作を継続します。

OSTMTINT 期間

OSTMTINT の期間は次のようになります。

- OSTMTINT 発生期間 ＝カウントクロック期間 ×（OSTMnCMP ＋ 1）

次の図に、インターバルタイマモードでカウンタスタート割り込みを許可された場合の OSTM の基本動作を示します。

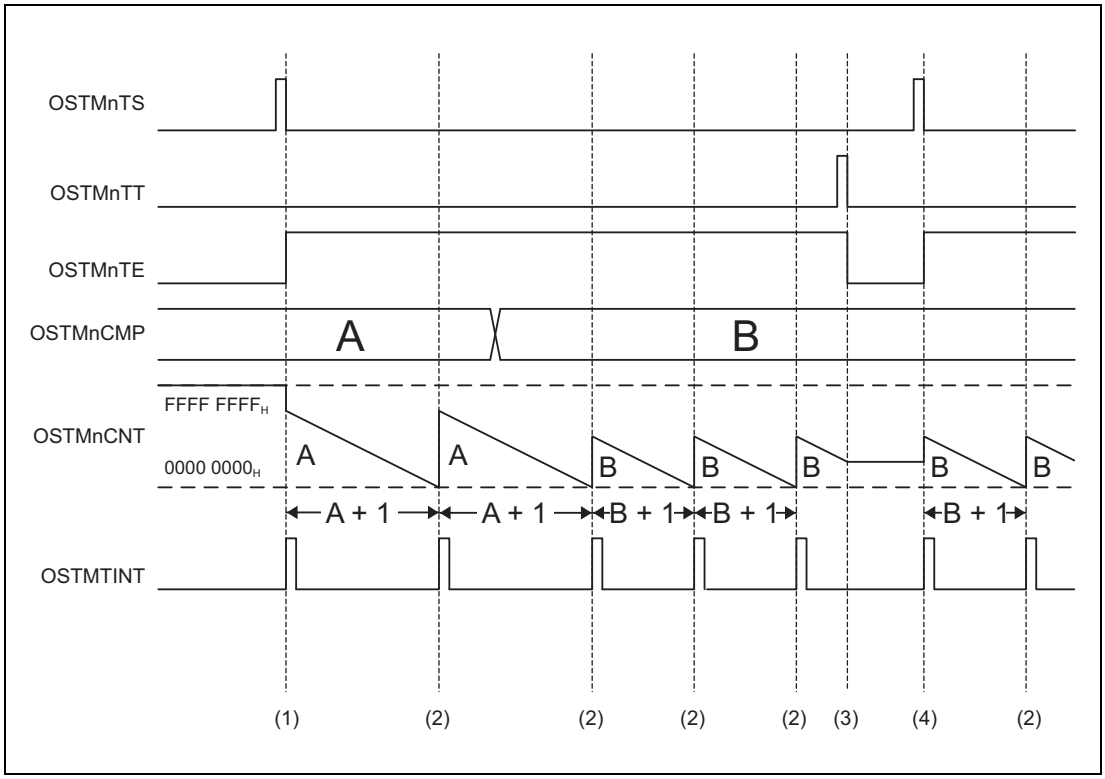


図 23.3 インターバルタイマモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS = 1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウントダウンを開始します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。カウンタ値は OSTMnCNT レジスタで示されます。

(2) カウンタが 0000 0000$_H$ に達すると、割り込み要求 OSTMTINT が発生します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを継続します。

(3) OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に OSTMnTS.OSTMnTS = 1 を設定することによって実行されます。

カウンタは、OSTMnCMP レジスタから開始値をロードしてカウントダウンを継続します。

次の図に、インターバルタイマモードでカウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1）されるタイミング図を示します。

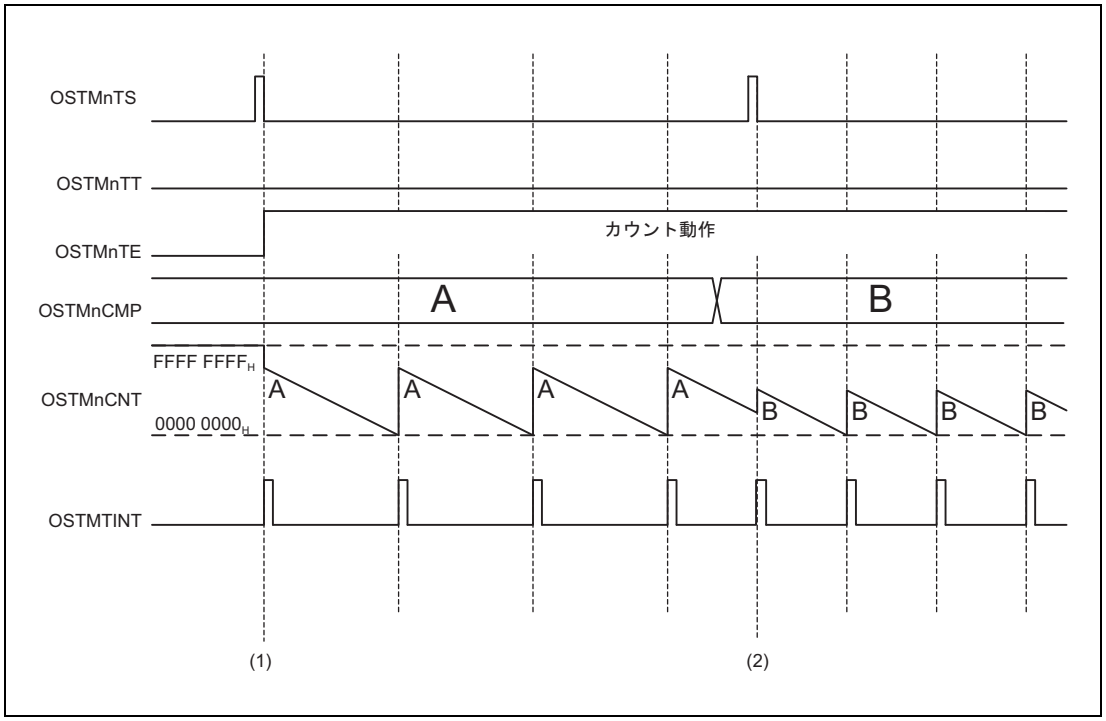


図 23.4　インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、**「図 23.3　インターバルタイマモードの OSTM のタイミング図」**で説明されているように動作を開始します。

(2) カウンタは、動作している間（OSTMnTE.OSTMnTE = 1）OSTMnTS.OSTMnTS = 1 にすると、リスタートします。
カウンタは、ただちに OSTMnCMP の現在値からカウントダウンを再開します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。

23.4.2.2 OSTMnCMP = 0000 0000$_H$ の場合の動作

OSTMnCMP = 0000 0000$_H$ の場合に、OSTM は次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMTINT は常に 1 になります。

次の図に、OSTMnCMP = 0000 0000$_H$ であり、カウンタスタート割り込みが許可された場合の OSTM の動作を示します。

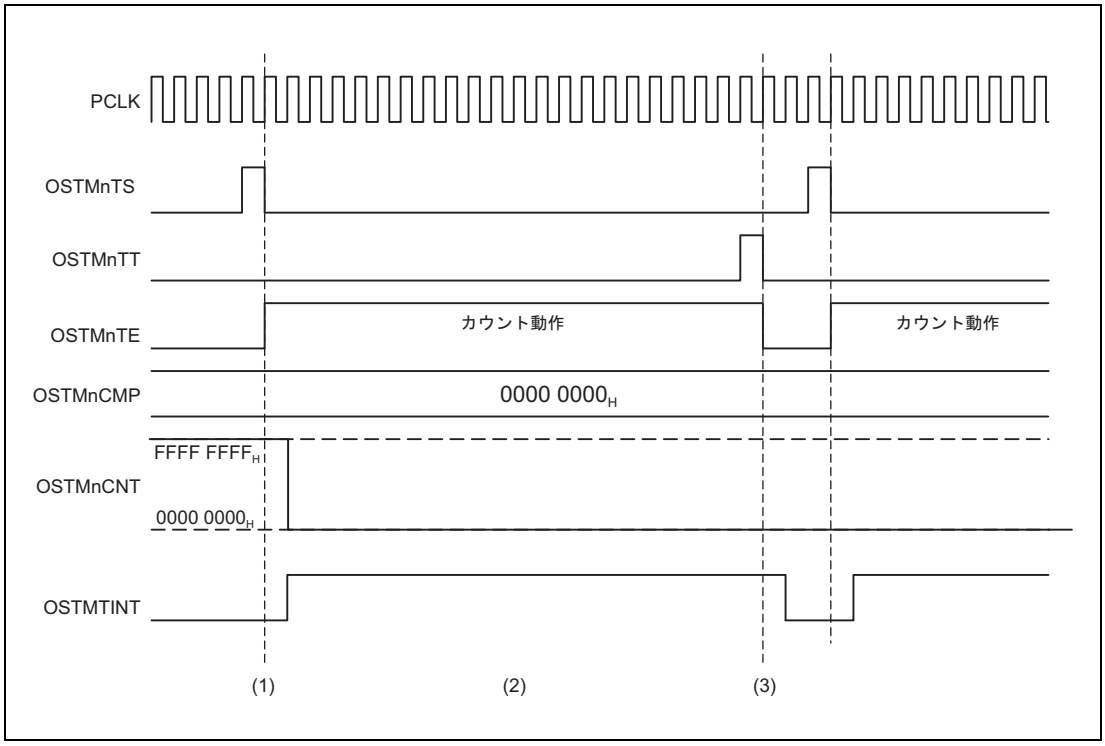


図 23.5 インターバルタイマモードで OSTMnCMP = 0000 0000$_H$ の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000$_H$ のままです。

(2) 割り込み要求 OSTMTINT が継続的に発生します。

(3) カウンタが停止すると、割り込み要求 OSTMTINT が停止します。

カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

23.4.2.3 インターバルタイマモードの設定手順

リセット解除後のインターバルタイマモードの設定手順を次に示します。

設定手順

(1) OSTMnCMP レジスタにカウンタの開始値を設定します。

(2) OSTMnCTL.OSTMnMD1 ビットを 0 に設定することによってインターバルタイマモードを選択します。

(3) カウント開始時の割り込みの許可／禁止を選択します（OSTMnCTL.OSTMnMD0）。

23.4.3 フリーランニングコンペアモード

23.4.3.1 フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは 0000 0000_H から FFFF $FFFF_H$ までカウントアップします。OSTMnCMP レジスタの値が現在のカウント値と一致すると、割り込み要求 OSTMTINT が発生します。

フリーランニングコンペアモード利用時は、OSTMnCTL.OSTMnMD1 = 1 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可（OSTMnCTL.OSTMnMD0 = 1）された場合の OSTM の基本動作を示します。

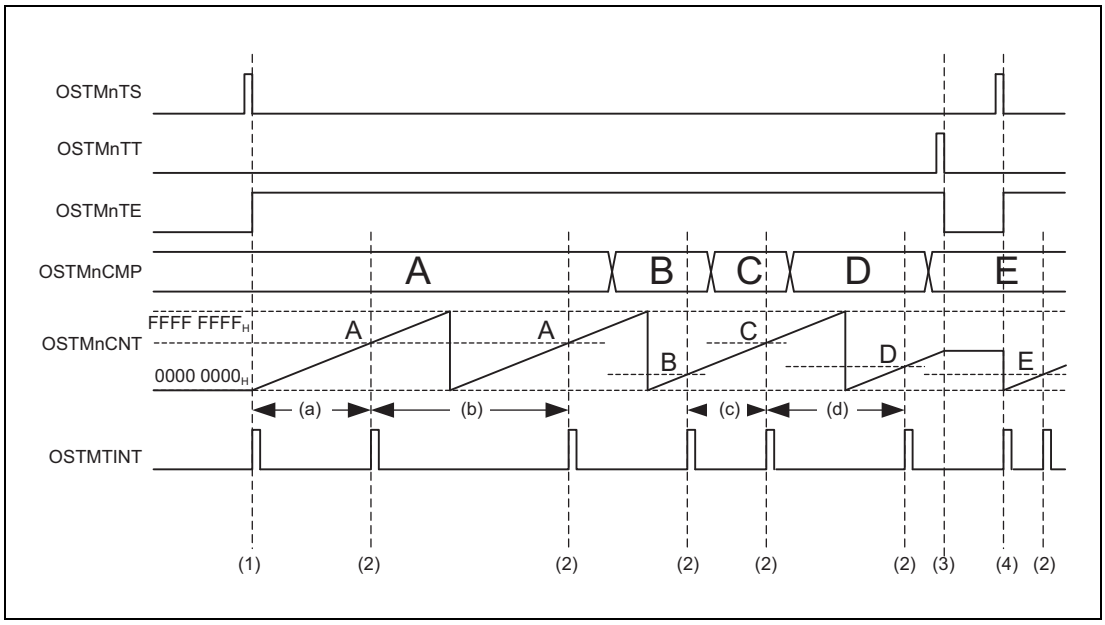


図 23.6 フリーランニングコンペアモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS = 1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは 0000 0000_H から FFFF $FFFF_H$ までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。

(2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMTINT 割り込み要求が発生します。

(3) カウンタが停止すると（OSTMnTT.OSTMnTT = 1）、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS = 1 によりカウントを再開すると、カウンタは 0000 0000_H からカウントを開始します。

OSTMTINT 期間

OSTMTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 23.17 OSTMTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMTINT の発生期間	タイミング図のラベル
カウント開始			(A + 1) × カウントクロック期間	(a)
A	A	書き換えなし	(FFFF $FFFF_H$ + 1) × カウントクロック期間	(b)
B	C > B	B < カウンタ値 < C	(C – B) × カウントクロック期間	(c)
C	D < C	カウンタ値 > D, C	(FFFF $FFFF_H$ – C + D + 1) × カウントクロック期間	(d)

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

23.4.3.2 OSTMnCMP = 0000 0000_H の場合の動作

次の図に、OSTMnCMP = 0000 0000_H であり、カウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1）された場合の OSTM の動作を示します。

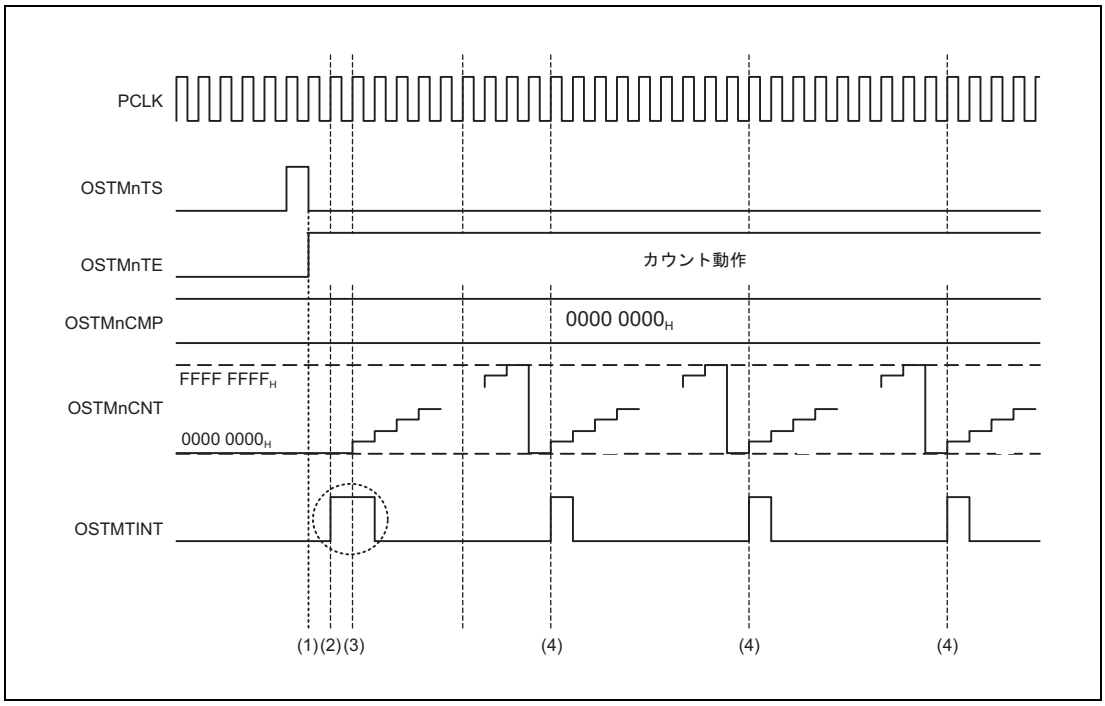


図 23.7 フリーランニングコンペアモードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウントを開始すると、カウンタは 0000 0000_H から FFFF $FFFF_H$ までをカウントします。

(2) カウント開始時に割り込み要求 OSTMTINT が発生します。

(3) 現在のカウント値が OSTMnCMP と一致する場合は、割り込み要求 OSTMTINT が発生します。上記のように OSTMnCMP = 0000 0000_H の場合、OSTMTINT はカウントクロック 2 クロック分発生します。

(4) (FFFF $FFFF_H$ ＋ 1) クロックサイクルごとに、割り込み要求 OSTMTINT が発生します。

カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

23.4.3.3 フリーランニングコンペアモードの設定手順

リセット解除後のフリーランニングコンペアモードの設定手順を次に示します。

設定手順

(1) OSTMnCMP レジスタに比較値を設定します。

(2) OSTMnCTL.OSTMnMD1 ビットを 1 に設定することによってフリーランニングコンペアモードを選択します。

(3) OSTMnCTL.OSTMnMD0 ビットでカウント開始時の割り込みの許可／禁止を選択します。

第 24 章　タイマアレイユニット B（TAUB）

本章では、タイマアレイユニット B（TAUB）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、TAUB の機能、レジスタについて説明します。

24.1　RH850/F1M TAUB の特長

24.1.1　ユニット数とチャネル数

本製品は、以下のユニット数の TAUB を搭載しています。

表 24.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	1	2	
名称	TAUBn (n = 0)	TAUBn (n = 0, 1)	

TAUBn は以下に示すチャネル数のタイマを搭載しています。

表 24.2　TAUBn のユニット構成とチャネルの対応

ユニット名（チャネル名）TAUBn	ユニットチャネル数	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
TAUB0	16	○	○	○
TAUB1	16	—	○	○

表 24.3　添字

添字	説明
n	本章では、TAUB の各ユニットを「n」で識別します。たとえば、TAUBn チャネル出力モードレジスタ（TAUBnTOM）のように記述しています。
m	TAUB には 16 本のチャネルがあります。本章では、各チャネルを「m」（m = 0 ～ 15）で識別しており、特定のチャネルを CHm のように記述しています。 偶数チャネル（m = 0, 2, 4, 6, 8, 10, 12, 14）は CHm_even と記述します。 奇数チャネル（m = 1, 3, 5, 7, 9, 11, 13, 15）は CHm_odd と記述します。

24.1.2　レジスタベースアドレス

TAUBn のベースアドレスを以下の表に示します。

TAUBn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 24.4　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUB0_base>	$FFE3\ 0000_H$
<TAUB1_base>	$FFE3\ 1000_H$

24.1.3 クロック供給

TAUBn のクロック供給を以下の表に示します。

表 24.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAUBn	PCLK	CKSCLK_IPERI2
	レジスタアクセスクロック	CKSCLK_IPERI2

24.1.4 割り込み要求

TAUBn の割り込み要求を以下の表に示します。

表 24.6 割り込み要求 (1/2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUB0			
INTTAUB0I0	チャネル 0 割り込み	142	33
INTTAUB0I1	チャネル 1 割り込み	143	92
INTTAUB0I2	チャネル 2 割り込み	144	34
INTTAUB0I3	チャネル 3 割り込み	145	93
INTTAUB0I4	チャネル 4 割り込み	146	35
INTTAUB0I5	チャネル 5 割り込み	147	94
INTTAUB0I6	チャネル 6 割り込み	148	36
INTTAUB0I7	チャネル 7 割り込み	149	95
INTTAUB0I8	チャネル 8 割り込み	150	96
INTTAUB0I9	チャネル 9 割り込み	151	37
INTTAUB0I10	チャネル 10 割り込み	152	97
INTTAUB0I11	チャネル 11 割り込み	153	38
INTTAUB0I12	チャネル 12 割り込み	154	98
INTTAUB0I13	チャネル 13 割り込み	155	39
INTTAUB0I14	チャネル 14 割り込み	156	99
INTTAUB0I15	チャネル 15 割り込み	157	40
TAUB1			
INTTAUB1I0	チャネル 0 割り込み	256	52
INTTAUB1I1	チャネル 1 割り込み	257	115
INTTAUB1I2	チャネル 2 割り込み	258	53
INTTAUB1I3	チャネル 3 割り込み	259	116
INTTAUB1I4	チャネル 4 割り込み	260	54
INTTAUB1I5	チャネル 5 割り込み	261	117
INTTAUB1I6	チャネル 6 割り込み	262	55
INTTAUB1I7	チャネル 7 割り込み	263	118
INTTAUB1I8	チャネル 8 割り込み	264	119
INTTAUB1I9	チャネル 9 割り込み	265	56
INTTAUB1I10	チャネル 10 割り込み	266	120
INTTAUB1I11	チャネル 11 割り込み	267	57
INTTAUB1I12	チャネル 12 割り込み	268	121

表 24.6 割り込み要求 (2/2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
INTTAUB1I13	チャネル 13 割り込み	269	58
INTTAUB1I14	チャネル 14 割り込み	270	122
INTTAUB1I15	チャネル 15 割り込み	271	59

24.1.5 リセット要因

TAUBn のリセット要因を以下に示します。TAUBn は以下のリセット要因で初期化されます。

表 24.7 リセット要因

ユニット名	リセット要因
TAUBn	すべてのリセット要因（ISORES）

24.1.6 外部入出力信号

TAUBn の外部入出力信号を以下の表に示します。

表 24.8 外部入出力信号 (1/2)

TAUB 信号	説明	ポート端子兼用信号名
TAUB0		
TAUBTTIN0	チャネル 0 入力注 1	TAUB0I0
TAUBTTIN1	チャネル 1 入力注 1	TAUB0I1
TAUBTTIN2	チャネル 2 入力注 1	TAUB0I2
TAUBTTIN3	チャネル 3 入力注 1	TAUB0I3
TAUBTTIN4	チャネル 4 入力注 1	TAUB0I4
TAUBTTIN5	チャネル 5 入力注 1	TAUB0I5
TAUBTTIN6	チャネル 6 入力注 1	TAUB0I6
TAUBTTIN7	チャネル 7 入力注 1	TAUB0I7
TAUBTTIN8	チャネル 8 入力注 1	TAUB0I8
TAUBTTIN9	チャネル 9 入力注 1	TAUB0I9
TAUBTTIN10	チャネル 10 入力注 1	TAUB0I10
TAUBTTIN11	チャネル 11 入力注 1	TAUB0I11
TAUBTTIN12	チャネル 12 入力注 1	TAUB0I12
TAUBTTIN13	チャネル 13 入力注 1	TAUB0I13
TAUBTTIN14	チャネル 14 入力注 1	TAUB0I14
TAUBTTIN15	チャネル 15 入力注 1	TAUB0I15
TAUBTTOUT0	チャネル 0 出力	TAUB0O0
TAUBTTOUT1	チャネル 1 出力	TAUB0O1
TAUBTTOUT2	チャネル 2 出力	TAUB0O2
TAUBTTOUT3	チャネル 3 出力	TAUB0O3
TAUBTTOUT4	チャネル 4 出力	TAUB0O4
TAUBTTOUT5	チャネル 5 出力	TAUB0O5
TAUBTTOUT6	チャネル 6 出力	TAUB0O6

表 24.8 外部入出力信号 (2/2)

TAUB 信号	説明	ポート端子兼用信号名
TAUBTTOUT7	チャネル 7 出力	TAUB0O7
TAUBTTOUT8	チャネル 8 出力	TAUB0O8
TAUBTTOUT9	チャネル 9 出力	TAUB0O9
TAUBTTOUT10	チャネル 10 出力	TAUB0O10
TAUBTTOUT11	チャネル 11 出力	TAUB0O11
TAUBTTOUT12	チャネル 12 出力	TAUB0O12
TAUBTTOUT13	チャネル 13 出力	TAUB0O13
TAUBTTOUT14	チャネル 14 出力	TAUB0O14
TAUBTTOUT15	チャネル 15 出力	TAUB0O15
TAUB1		
TAUBTTIN0	チャネル 0 入力注 1	TAUB1I0
TAUBTTIN1	チャネル 1 入力注 1	TAUB1I1
TAUBTTIN2	チャネル 2 入力注 1	TAUB1I2
TAUBTTIN3	チャネル 3 入力注 1	TAUB1I3
TAUBTTIN4	チャネル 4 入力注 1	TAUB1I4
TAUBTTIN5	チャネル 5 入力注 1	TAUB1I5
TAUBTTIN6	チャネル 6 入力注 1	TAUB1I6
TAUBTTIN7	チャネル 7 入力注 1	TAUB1I7
TAUBTTIN8	チャネル 8 入力注 1	TAUB1I8
TAUBTTIN9	チャネル 9 入力注 1	TAUB1I9
TAUBTTIN10	チャネル 10 入力注 1	TAUB1I10
TAUBTTIN11	チャネル 11 入力注 1	TAUB1I11
TAUBTTIN12	チャネル 12 入力注 1	TAUB1I12
TAUBTTIN13	チャネル 13 入力注 1	TAUB1I13
TAUBTTIN14	チャネル 14 入力注 1	TAUB1I14
TAUBTTIN15	チャネル 15 入力注 1	TAUB1I15
TAUBTTOUT0	チャネル 0 出力	TAUB1O0
TAUBTTOUT1	チャネル 1 出力	TAUB1O1
TAUBTTOUT2	チャネル 2 出力	TAUB1O2
TAUBTTOUT3	チャネル 3 出力	TAUB1O3
TAUBTTOUT4	チャネル 4 出力	TAUB1O4
TAUBTTOUT5	チャネル 5 出力	TAUB1O5
TAUBTTOUT6	チャネル 6 出力	TAUB1O6
TAUBTTOUT7	チャネル 7 出力	TAUB1O7
TAUBTTOUT8	チャネル 8 出力	TAUB1O8
TAUBTTOUT9	チャネル 9 出力	TAUB1O9
TAUBTTOUT10	チャネル 10 出力	TAUB1O10
TAUBTTOUT11	チャネル 11 出力	TAUB1O11
TAUBTTOUT12	チャネル 12 出力	TAUB1O12
TAUBTTOUT13	チャネル 13 出力	TAUB1O13
TAUBTTOUT14	チャネル 14 出力	TAUB1O14
TAUBTTOUT15	チャネル 15 出力	TAUB1O15

注 1. チャネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は**「2.12 ノイズフィルタ & エッジレベル検出回路」**を参照してください。

24.2 概要

24.2.1 機能概要

TAUB には、次の機能があります。

- 単体動作機能（1 チャネルで動作する機能）
- 連動動作機能（マスタチャネル 1 チャネルとスレーブチャネルの複数チャネルで実現する機能）

TAUB は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケーラ、カウント開始値および比較値を保持するための 16 ビットカウンタ TAUBnCNTm と 16 ビットデータレジスタ TAUBnCDRm をそれぞれ備えた 16 チャネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャネルは、単体で、またはほかのチャネルと連動して、動作することが可能です。1 つのマスタチャネルと 1 つ以上のスレーブチャネルの場合、スレーブチャネルは、マスタチャネルに依存します。

あるチャネルを単体動作させる場合、他のチャネルと無関係に動作できます。連動動作機能は、チャネルグループ (マスタチャネルとスレーブチャネルで構成されます) を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

24.2.2 用語

この章で使用されている用語について説明します。

- 単体動作機能／連動動作機能

  TAUB は 16 チャネルで構成されており、各チャネル単独で動作する単体動作機能と、複数のチャネルを組み合わせて動作する連動動作機能があります。

  – 単体動作機能は、他のチャネルと無関係に任意のチャネルで使用可能です。
  – 連動動作機能は、チャネルグループ (マスタチャネルとスレーブチャネルで構成されます) を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

- チャネルグループ

  連動動作機能では、依存関係にあるすべてのチャネルを「チャネルグループ」と呼びます。

  1 つのチャネルグループは、1 つのマスタチャネルと 1 つ以上のスレーブチャネルで構成されます。

- 上位／下位チャネル

  チャネル m から見て、小さい番号または大きい番号のチャネルを上位または下位チャネルと呼びます。

  – 上位チャネル：小さい番号のチャネル
  – 下位チャネル：大きい番号のチャネル

  たとえば、チャネル 5 に対してチャネル 3 は上位チャネル、チャネル 9 は下位チャネルです。チャネル 0 が最上位チャネル、チャネル 15 が最下位チャネルです。

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャネルのカウントクロックとして使用することができる最大 4 つのクロック信号（CK0 ～ CK3）を供給します。

カウントクロック CK0 ～ CK3 は、プリスケーラにより PCLK の 2^0 ～ 2^{15} の分周したクロックを選択することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクタは、各チャネルに対してクロックソースを次から選択します。

- CK0-CK3 のいずれかのクロック（クロックセレクタにより選択）
- TAUBTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード（TAUBnCMORm.TAUBnMD[4:0] ビットにより選択）
- カウント開始許可（TAUBnTS.TAUBnTSm）およびカウント停止（TAUBnTT.TAUBnTTm）

カウントの開始を許可すると、ステータスフラグ TAUBnTE.TAUBnTEm がセットされます。

- カウント方式（アップ／ダウン）（マスタチャネルにより制御可能）

トリガセレクタ

カウンタは、動作が許可されている場合（TAUBnTE.TAUBnTEm = 1）には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- マスタ、または上位チャネルからの INTTAUBnIm
- マスタチャネルのアップ／ダウン出力トリガ信号
- TAUBTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で使える機能です。あるチャネルグループに属する全チャネルのデータレジスタ（TAUBnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは、全チャネルのデータレジスタの新しい値が同時に有効になります。

TAUBnTO コントローラ

各チャネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

24.2.3 タイマ動作機能一覧

このタイマは各チャネルを単体で動作させたり、複数チャネルを組み合わせて動作させることで、下記の機能が実現できます。

表 24.9　TAUB 動作機能一覧

動作機能		設定例
チャネル単体動作機能		**24.12 章**
	インターバルタイマ機能	**24.12.1 章**
	TAUBTTINm 入力インターバルタイマ機能	**24.12.2 章**
	クロック分周機能	**24.12.3 章**
	外部イベントカウント機能	**24.12.4 章**
	ワンパルス出力機能	**24.12.5 章**
	TAUBTTINm 入力パルスインターバル測定機能	**24.12.6 章**
	TAUBTTINm 入力信号幅測定機能	**24.12.7 章**
	TAUBTTINm 入力位置検出機能	**24.12.8 章**
	TAUBTTINm 入力期間カウント検出機能	**24.12.9 章**
	TAUBTTINm 入力パルスインターバル判定機能	**24.12.10 章**
	TAUBTTINm 入力信号幅判定機能	**24.12.11 章**
	オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）	**24.12.12 章**
	オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）	**24.12.13 章**
チャネル単体一斉書き換え機能		**24.13 章**
	一斉書き換えトリガ生成機能タイプ 1	**24.13.1 章**
チャネル連動動作機能		**24.14 章**
	PWM 出力機能	**24.14.1 章**
	ワンショットパルス出力機能	**24.14.2 章**
	ディレイパルス出力機能	**24.14.3 章**
	A/D 変換トリガ出力機能タイプ 1	**24.14.4 章**
	三角波 PWM 出力機能	**24.14.5 章**
	デッドタイム付き三角波 PWM 出力機能	**24.14.6 章**
	A/D 変換トリガ出力機能タイプ 2	**24.14.7 章**

24.2.4 入出力と割り込み要求信号

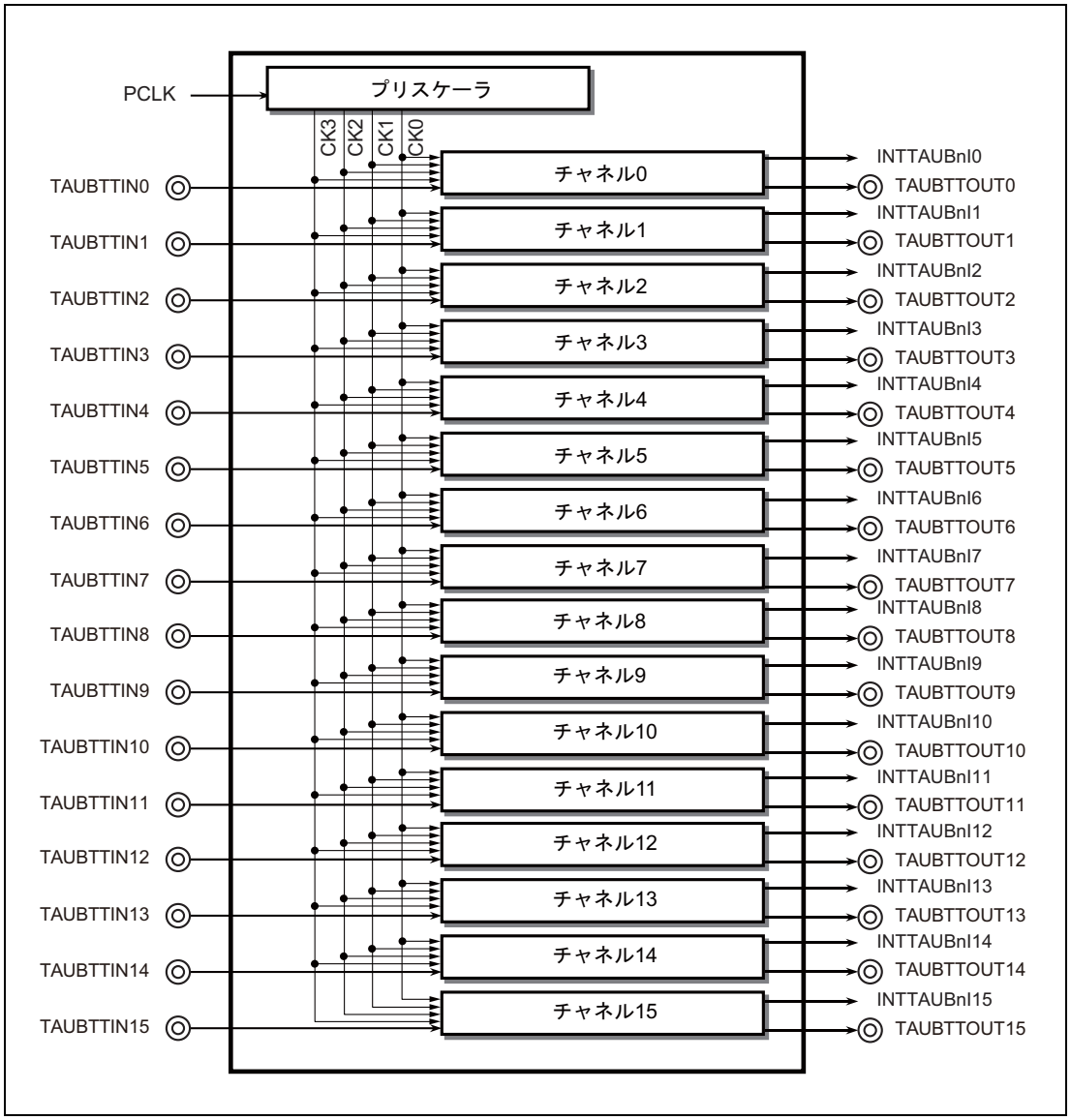


図 24.1 TAUB 入出力と割り込み要求信号

24.2.5 ブロック図

TAUB の主な構成要素を次の図に示します。

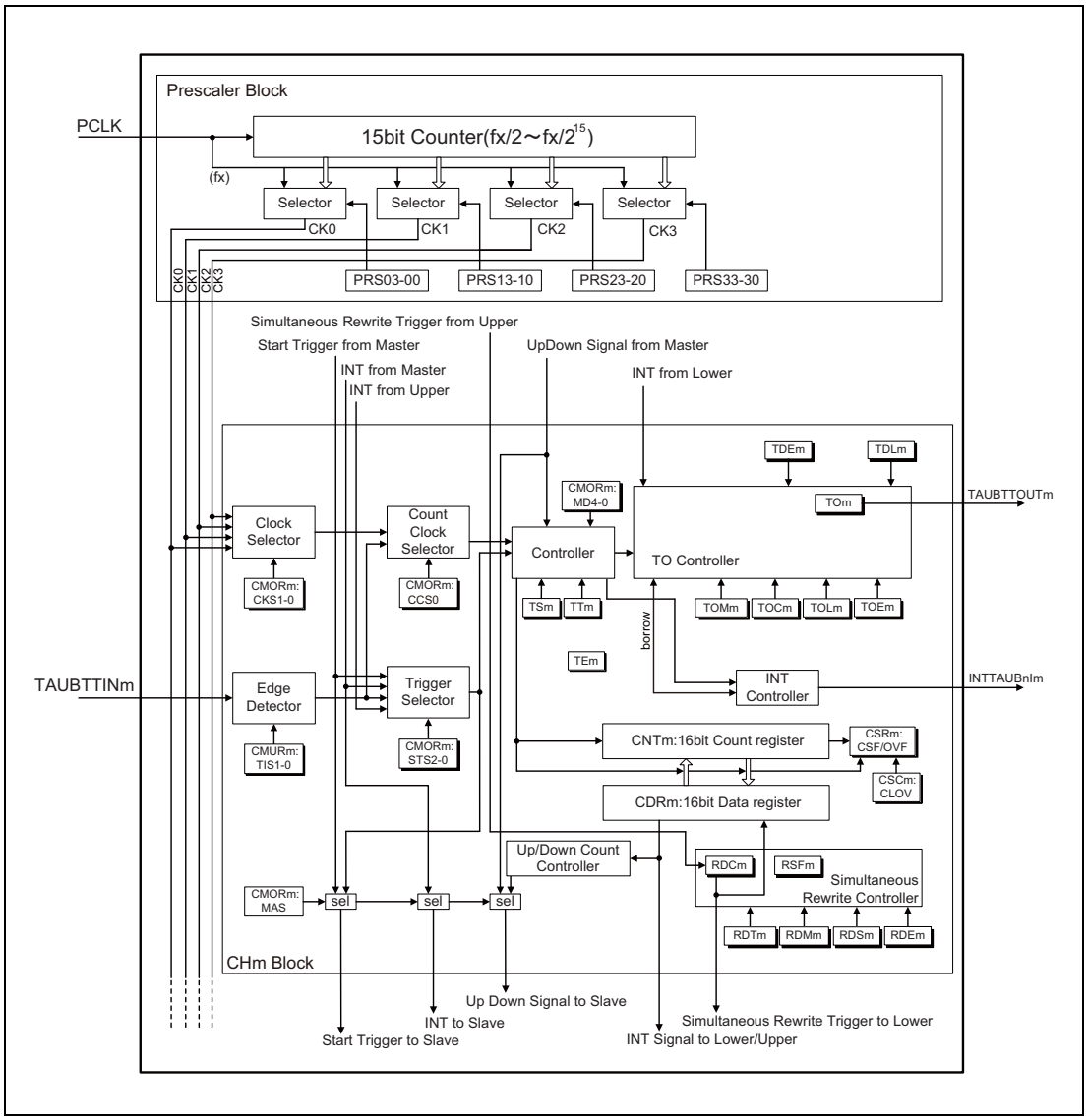


図 24.2 TAUB のブロック図

レジスタ名の「TAUBn」は、図を見やすくするために省略されています。

24.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャネルのカウントクロックとして使用することができる最大4つのクロック信号（CK0 ～ CK3）を供給します。

カウントクロック CK0 ～ CK3 は、プリスケーラにより PCLK の 2^0 ～ 2^{15} の分周したクロックを選択することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクタは、各チャネルに対してクロックソースを次から選択します。

- CK0 ～ CK3 のいずれかのクロック（クロックセレクタにより選択）
- TAUBTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード（TAUBnCMORm.TAUBnMD[4:0] ビットにより選択）
- カウント開始許可（TAUBnTS.TAUBnTSm）およびカウント停止（TAUBnTT.TAUBnTTm）

カウントの開始を許可すると、ステータスフラグ TAUBnTE.TAUBnTEm がセットされます。

- カウント方式（アップ／ダウン）（マスタチャネルにより制御可能）

トリガセレクタ

選択した動作モードにより、カウンタは、動作が許可されている場合（TAUBnTE.TAUBnTEm = 1）には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- TAUBTTINm 入力の有効エッジ
- マスタ、または上位チャネルからの INTTAUBnIm
- マスタチャネルのアップ／ダウン出力トリガ信号
- TAUBTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で使える機能です。あるチャネルグループに属する全チャネルのデータレジスタ（TAUBnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは、全チャネルのデータレジスタの新しい値が同時に有効になります。

TAUBnTO コントローラ

各チャネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

24.3 レジスタ

24.3.1 レジスター覧

TAUB のレジスター覧を以下の表に示します。

<TAUBn_base> は「**24.1.2 レジスタベースアドレス**」を参照してください。

表 24.10 レジスター覧

モジュール名	レジスタ名	略号	アドレス
TAUBn プリスケーラレジスタ			
TAUBn	TAUBn プリスケーラクロック選択レジスタ	TAUBnTPS	<TAUBn_base> + 240_H
TAUBn 制御レジスタ			
TAUBn	TAUBn チャネルデータレジスタ m	TAUBnCDRm	<TAUBn_base> + 0_H + m × 4_H
TAUBn	TAUBn チャネルカウンタレジスタ m	TAUBnCNTm	<TAUBn_base> + 80_H + m × 4_H
TAUBn	TAUBn チャネルモード OS レジスタ m	TAUBnCMORm	<TAUBn_base> + 200_H + m × 4_H
TAUBn	TAUBn チャネルモードユーザレジスタ m	TAUBnCMURm	<TAUBn_base> + $C0_H$ + m × 4_H
TAUBn	TAUBn チャネルステータスレジスタ m	TAUBnCSRm	<TAUBn_base> + 140_H + m × 4_H
TAUBn	TAUBn チャネルステータスクリアトリガレジスタ m	TAUBnCSCm	<TAUBn_base> + 180_H + m × 4_H
TAUBn	TAUBn チャネルスタートトリガレジスタ	TAUBnTS	<TAUBn_base> + $1C4_H$
TAUBn	TAUBn チャネル許可ステータスレジスタ	TAUBnTE	<TAUBn_base> + $1C0_H$
TAUBn	TAUBn チャネルストップトリガレジスタ	TAUBnTT	<TAUBn_base> + $1C8_H$
TAUBn 出力レジスタ			
TAUBn	TAUBn チャネル出力許可レジスタ	TAUBnTOE	<TAUBn_base> + $5C_H$
TAUBn	TAUBn チャネル出力レジスタ	TAUBnTO	<TAUBn_base> + 58_H
TAUBn	TAUBn チャネル出力モードレジスタ	TAUBnTOM	<TAUBn_base> + 248_H
TAUBn	TAUBn チャネル出力コンフィギュレーションレジスタ	TAUBnTOC	<TAUBn_base> + $24C_H$
TAUBn	TAUBn チャネル出力アクティブレベルレジスタ	TAUBnTOL	<TAUBn_base> + 040_H
TAUBn	TAUBn チャネルデッドタイム出力許可レジスタ	TAUBnTDE	<TAUBn_base> + 250_H
TAUBn	TAUBn チャネルデッドタイム出力レベルレジスタ	TAUBnTDL	<TAUBn_base> + 54_H
TAUBn リロードデータレジスタ			
TAUBn	TAUBn チャネルリロードデータ許可レジスタ	TAUBnRDE	<TAUBn_base> + 260_H
TAUBn	TAUBn チャネルリロードデータモードレジスタ	TAUBnRDM	<TAUBn_base> + 264_H
TAUBn	TAUBn チャネルリロードデータ制御 CH 選択レジスタ	TAUBnRDS	<TAUBn_base> + 268_H
TAUBn	TAUBn チャネルリロードデータ制御レジスタ	TAUBnRDC	<TAUBn_base> + $26C_H$
TAUBn	TAUBn チャネルリロードデータトリガレジスタ	TAUBnRDT	<TAUBn_base> + 44_H
TAUBn	TAUBn チャネルリロードステータスレジスタ	TAUBnRSF	<TAUBn_base> + 48_H
TAUBn エミュレーションレジスタ			
TAUBn	TAUBn エミュレーションレジスタ	TAUBnEMU	<TAUBn_base> + 290_H

24.3.2 TAUBn プリスケーラレジスタの詳細

24.3.2.1 TAUBnTPS — TAUBn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャネルの CK0、CK1、CK2、CK3 クロックを指定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUBn_base> + 240_H

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnPRS3[3:0]				TAUBnPRS2[3:0]				TAUBnPRS1[3:0]				TAUBnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.11 TAUBnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能
15 ～ 12	TAUBnPRS3 [3:0]	CK3 クロックを指定します。 TAUBnPRS3[3:0] / CK3 クロック 0000_B / PCLK/2^0 0001_B / PCLK/2^1 0010_B / PCLK/2^2 0011_B / PCLK/2^3 0100_B / PCLK/2^4 0101_B / PCLK/2^5 0110_B / PCLK/2^6 0111_B / PCLK/2^7 1000_B / PCLK/2^8 1001_B / PCLK/2^9 1010_B / PCLK/2^{10} 1011_B / PCLK/2^{11} 1100_B / PCLK/2^{12} 1101_B / PCLK/2^{13} 1110_B / PCLK/2^{14} 1111_B / PCLK/2^{15} 上記ビットは、CK3 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm = 0）場合のみ書き換え可能です。

表 24.11 TAUBnTPS レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>11 ～ 8</td><td>TAUBnPRS2
[3:0]</td><td>CK2 クロックを指定します。
<table>
<tr><th>TAUBnPRS2[3:0]</th><th>CK2 クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは、CK2 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm = 0）場合のみ書き換え可能です。</td></tr>
<tr><td>7 ～ 4</td><td>TAUBnPRS1
[3:0]</td><td>CK1 クロックを指定します。
<table>
<tr><th>TAUBnPRS1[3:0]</th><th>CK1 クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは、CK1 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

表 24.11　TAUBnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能
3 ～ 0	TAUBnPRS0 [3:0]	CK0 クロックを指定します。 TAUBnPRS0[3:0] / CK0 クロック 0000_B / PCLK/2^0 0001_B / PCLK/2^1 0010_B / PCLK/2^2 0011_B / PCLK/2^3 0100_B / PCLK/2^4 0101_B / PCLK/2^5 0110_B / PCLK/2^6 0111_B / PCLK/2^7 1000_B / PCLK/2^8 1001_B / PCLK/2^9 1010_B / PCLK/2^{10} 1011_B / PCLK/2^{11} 1100_B / PCLK/2^{12} 1101_B / PCLK/2^{13} 1110_B / PCLK/2^{14} 1111_B / PCLK/2^{15} 上記ビットは、CK0 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm = 0）場合のみ書き換え可能です。

備　考

TAUBn クロック入力 PCLK については、この章の最初の節内「**24.1.3　クロック供給**」で定義しています。

24.3.3 TAUBn 制御レジスタの詳細

24.3.3.1 TAUBnCDRm — TAUBn チャネルデータレジスタ

このレジスタは、TAUBnCMORm.TAUBnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。
・キャプチャレジスタとして機能時はリードのみ可能です。ライト動作は無視されます。
・コンペアレジスタとして機能時はリード／ライト可能です。

アドレス <TAUBn_base> + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.12 TAUBnCDRm レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnCDR [15:0]	キャプチャ値／コンペア値用データレジスタ

24.3.3.2 TAUBnCNTm — TAUBn チャネルカウンタレジスタ

チャネル m カウンタレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TAUBn_base> + 80_H + m × 4_H

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.13 TAUBnCNTm レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnCNT [15:0]	16 ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUBnTS.TAUBnTSm、TAUBnTT.TAUBnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止（TAUBnTT.TAUBnTTm = 1）

カウント停止後（TAUBnTE.TAUBnTEm = 0）と再許可後（TAUBnTS.TAUBnTSm = 1）のカウンタの初期リード値を次の表に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可（TAUBnTS.TAUBnTSm = 1）されてから 1 カウント後のカウンタのリード値も示します。

表 24.14 カウント再許可後の TAUBnCNTm リード値

モード名	カウント方式（アップ／ダウン）	TAUBnCNTm		
		スタート値[注1]	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	$FFFF_H$	停止値	—
ジャッジモード	ダウンカウント	$FFFF_H$	停止値	—
キャプチャモード	アップカウント	0000_H	停止値	—
イベントカウントモード	ダウンカウント	$FFFF_H$	停止値	—
ワンカウントモード	ダウンカウント	$FFFF_H$	停止値	停止値
キャプチャ＆ワンカウントモード	アップカウント	0000_H	停止値	キャプチャ値＋ 1（TAUBnCDRm）
ジャッジ＆ワンカウントモード	ダウンカウント	$FFFF_H$	停止値	TAUBnCNTm 値－ 1
アップ／ダウンカウントモード	アップ／ダウンカウント	$FFFF_H$	停止値	—
パルスワンカウントモード	ダウンカウント	$FFFF_H$	停止値	0000_H
カウントキャプチャモード	アップカウント	0000_H	停止値	—
ゲートカウントモード	ダウンカウント	$FFFF_H$	停止値	停止値
キャプチャ＆ゲートカウントモード	アップカウント	0000_H	停止値	停止値

注 1. リセット解除後、動作モードを変更した際に TAUBnCNTm にセットされる値

24.3.3.3 TAUBnCMORm — TAUBn チャネルモード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUBn_base> + 200_H + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.15 TAUBnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックを選択します。 動作クロックは TAUBTTINm 入力エッジ検出回路で使用します。 TAUBnCMORm.TAUBnCCS0 ビットの設定により、TAUBnCNTm のカウントクロックとして使用することも可能です。 TAUBn CKS1 / TAUBn CKS0 / 動作クロック選択 0 / 0 / CK0 0 / 1 / CK1 1 / 0 / CK2 1 / 1 / CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	TAUBnCNTm カウンタのカウントクロックを選択します。 TAUBnCCS0 / カウントクロック選択 0 / TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロック 1 / TAUBTTINm 入力信号の有効エッジ
11	TAUBnMAS	チャネル連動動作時に、そのチャネルがマスタチャネルかスレーブチャネルかを指定します。 0：スレーブ 1：マスタ このビット設定は偶数チャネル（CHm_even）に対してのみ有効です。奇数チャネル（CHm_odd）は、0 に固定されています。
10 ～ 8	TAUBnSTS [2:0]	外部スタートトリガを選択します。 TAUBn STS2 / TAUBn STS1 / TAUBn STS0 / 機能説明 0 / 0 / 0 / ソフトウェアトリガ 0 / 0 / 1 / TAUBTTINm 入力信号の有効エッジ。有効エッジは TAUBnCMURm.TAUBnTIS[1:0] で指定 0 / 1 / 0 / TAUBTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用 0 / 1 / 1 / 設定禁止 1 / 0 / 0 / マスタチャネルの INTTAUBnIm がスタート トリガ 1 / 0 / 1 / マスタ設定にかかわらず、上位チャネル（m-1）の INTTAUBnIm がスタート トリガ 1 / 1 / 0 / TAUBTTOUTm 生成ユニットのデッドタイム出力信号 1 / 1 / 1 / マスタチャネルのアップ／ダウン出力トリガ信号

表 24.15 TAUBnCMORm レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7、6</td><td>TAUBnCOS
[1:0]</td><td>チャネル m のキャプチャレジスタ TAUBnCDRm とオーバフローフラグ TAUBnCSRm.TAUBnOVF を更新するタイミングを指定します。
これらのビットはチャネル m がキャプチャ機能（キャプチャモード、キャプチャ＆ワンカウントモード）のときにのみ有効です。
<table>
<tr><th>TAUBn COS1</th><th>TAUBn COS0</th><th>TAUBnCDRm</th><th>TAUBnCSRm.TAUBnOVF</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TAUBTTINm 入力有効エッジを検出すると更新</td><td>TAUBTTINm 入力有効エッジを検出すると更新（クリアまたはセット）
• 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUBnCSRm.TAUBnOVF をセット
• 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUBnCSRm.TAUBnOVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>カウンタオーバフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">TAUBTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新
• TAUBTTINm 入力有効エッジ検出：カウンタ値が TAUBnCDRm に書き込まれる
• オーバフロー発生：$FFFF_H$ が TAUBnCDRm にロードされる。次の TAUBTTINm 入力有効エッジ検出は無視される。</td><td>設定なし</td></tr>
<tr><td>1</td><td>1</td><td>カウンタオーバフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア</td></tr>
</table></td></tr>
<tr><td>5</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 24.15 TAUBnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能
4 ～ 0	TAUBnMD [4:0]	動作モードを指定します。詳細は各機能の設定を参照ください。

TAUBn MD4	TAUBn MD3	TAUBn MD2	TAUBn MD1	TAUBn MD0	機能説明
0	0	0	0	1/0	インターバルタイマモード
0	0	0	1	1/0	ジャッジモード
0	0	1	0	1/0	キャプチャモード
0	0	1	1	0	イベントカウントモード
0	1	0	0	1/0	ワンカウントモード
0	1	0	1	1/0	設定禁止
0	1	1	0	0	キャプチャ＆ワンカウントモード
0	1	1	1	1/0	ジャッジ＆ワンカウントモード
1	0	0	0	0	設定禁止
1	0	0	1	0	アップ／ダウンカウントモード
1	0	1	0	1/0	パルスワンカウントモード
1	0	1	1	1/0	カウントキャプチャモード
1	1	0	0	0	ゲートカウントモード
1	1	0	1	0	キャプチャ＆ゲートカウントモード

モード	TAUBnMD0 ビットの役割
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUBnIm 信号を出力するかどうかを指定します。 0：INTTAUBnIm を出力しない 1：INTTAUBnIm を出力する
イベントカウントモード アップ／ダウンカウントモード	このビットは “0”（カウント動作開始時に INTTAUBnIm 信号を出力しない）に設定してください。
ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 **注 意** ・ワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力しません。 ・パルスワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力します。
ゲートカウントモード	このビットは “0”（カウント中のスタートトリガ検出を禁止）に設定してください。
キャプチャ＆ワンカウントモード キャプチャ＆ゲートカウントモード	このビットは “0” に設定してください。 **注 意** カウント動作開始時に INTTAUBnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。
ジャッジモード ジャッジ＆ワンカウントモード	INTTAUBnIm の出力タイミングを指定します。 0：TAUBnCNTm ≦ TAUBnCDRm 時 1：TAUBnCNTm ＞ TAUBnCDRm 時

24.3.3.4 TAUBnCMURm — TAUBn チャネルモードユーザレジスタ

このレジスタは、TAUBTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUBn_base> + $C0_H$ + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.16 TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS [1:0]	TAUBTTINm 入力信号の有効エッジを指定します。 TAUBn TIS1 / TAUBn TIS0 / 機能説明 0 / 0 / 立ち下がりエッジ 0 / 1 / 立ち上がりエッジ 1 / 0 / 両エッジ検出（ロウレベル幅測定選択） スタートトリガ：立ち下がりエッジ ストップトリガ（キャプチャ）：立ち上がりエッジ 1 / 1 / 両エッジ検出（ハイレベル幅測定選択） スタートトリガ：立ち上がりエッジ ストップトリガ（キャプチャ）：立ち下がりエッジ • TAUBTTINm 入力信号のエッジ検出は、TAUBnCMORm.TAUBnCKS[1:0] で選択した動作クロックに基づいて行われます。

24.3.3.5 TAUBnCSRm — TAUBn チャネルステータスレジスタ

このレジスタは、チャネル m のカウンタのカウント方向とオーバフロー状態を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TAUBn_base> + 140_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnCSF	TAUBnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.17 TAUBnCSRm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	TAUBnCSF	カウント方向を示します。 0：アップカウント 1：ダウンカウント このビットのリード値は、次のモード時にのみ有効です。 • アップ／ダウンカウントモード
0	TAUBnOVF	カウンタオーバフロー状態を示します。 0：オーバフローが発生していない 1：オーバフローが発生 このビットは、次のモード時のみ使用します。 • キャプチャモード • キャプチャ＆ワンカウントモード このビットの機能は、制御ビット TAUBnCMORm.TAUBnCOS[1:0] の設定により異なります。

24.3.3.6 TAUBnCSCm — TAUBn チャネルステータスクリアレジスタ

このレジスタは、チャネル m のオーバフローフラグ TAUBnCSRm.TAUBnOVF をクリアするためのトリガレジスタです。

アクセス 8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUBn_base> + 180_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUBnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 24.18 TAUBnCSCm レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUBnCLOV	0：機能なし 1：オーバフローフラグ TAUBnCSRm.TAUBnOVF をクリア

24.3.3.7 TAUBnTS — TAUBn チャネルスタートトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス 16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス <TAUBn_base> + $1C4_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TS15	TAUBn TS14	TAUBn TS13	TAUBn TS12	TAUBn TS11	TAUBn TS10	TAUBn TS09	TAUBn TS08	TAUBn TS07	TAUBn TS06	TAUBn TS05	TAUBn TS04	TAUBn TS03	TAUBn TS02	TAUBn TS01	TAUBn TS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 24.19 TAUBnTS レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTSm	チャネル m のカウンタ動作を許可します。 0：機能なし 1：カウンタ動作を許可し、TAUBnTE.TAUBnTEm = 1 を設定。 TAUBnTE.TAUBnTEm = 1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

24.3.3.8 TAUBnTE — TAUBn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TAUBn_base> + $1C0_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TE15	TAUBn TE14	TAUBn TE13	TAUBn TE12	TAUBn TE11	TAUBn TE10	TAUBn TE09	TAUBn TE08	TAUBn TE07	TAUBn TE06	TAUBn TE05	TAUBn TE04	TAUBn TE03	TAUBn TE02	TAUBn TE01	TAUBn TE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.20 TAUBnTE レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTEm	チャネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUBnTS.TAUBnTSm を 1 にセットすると、このビットが 1 に設定されます。 TAUBnTT.TAUBnTTm を 1 にセットすると、このビットが 0 にリセットされます。

24.3.3.9 TAUBnTT — TAUBn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス 16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス <TAUBn_base> + $1C8_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TT15	TAUBn TT14	TAUBn TT13	TAUBn TT12	TAUBn TT11	TAUBn TT10	TAUBn TT09	TAUBn TT08	TAUBn TT07	TAUBn TT06	TAUBn TT05	TAUBn TT04	TAUBn TT03	TAUBn TT02	TAUBn TT01	TAUBn TT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 24.21 TAUBnTT レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTTm	チャネル m のカウンタ動作を停止します。 0：機能なし 1：カウンタ動作を停止し、TAUBnTE.TAUBnTEm をリセットします。 TAUBnCNTm、TAUBnTO.TAUBnTOm、TAUBTTOUTm は、カウント停止前の値を保持します。

24.3.4 TAUBn 一斉書き換えレジスタの詳細

24.3.4.1 TAUBnRDE — TAUBn チャネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUBnCDRm/TAUBnTOLm の一斉書き換えを許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 260_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDE15	TAUBn RDE14	TAUBn RDE13	TAUBn RDE12	TAUBn RDE11	TAUBn RDE10	TAUBn RDE09	TAUBn RDE08	TAUBn RDE07	TAUBn RDE06	TAUBn RDE05	TAUBn RDE04	TAUBn RDE03	TAUBn RDE02	TAUBn RDE01	TAUBn RDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.22 TAUBnRDE レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnRDEm	チャネル m のデータレジスタの一斉書き換えを許可／禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

24.3.4.2 TAUBnRDS — TAUBn チャネルリロードデータ制御チャネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャネルを選択します。

アクセス 16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 268_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDS15	TAUBn RDS14	TAUBn RDS13	TAUBn RDS12	TAUBn RDS11	TAUBn RDS10	TAUBn RDS09	TAUBn RDS08	TAUBn RDS07	TAUBn RDS06	TAUBn RDS05	TAUBn RDS04	TAUBn RDS03	TAUBn RDS02	TAUBn RDS01	TAUBn RDS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.23 TAUBnRDS レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnRDSm	一斉書き換えトリガを制御するチャネルを選択します。 0：マスタチャネル 1：別の上位チャネル

24.3.4.3 TAUBnRDM — TAUBn チャネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 264_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDM15	TAUBn RDM14	TAUBn RDM13	TAUBn RDM12	TAUBn RDM11	TAUBn RDM10	TAUBn RDM09	TAUBn RDM08	TAUBn RDM07	TAUBn RDM06	TAUBn RDM05	TAUBn RDM04	TAUBn RDM03	TAUBn RDM02	TAUBn RDM01	TAUBn RDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.24 TAUBnRDM レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0：マスタチャネルのカウンタがカウントを開始したとき 1：三角波周期の山 これらのビット設定は TAUBnRDE.TAUBnRDEm = 1、TAUBnRDS.TAUBnRDSm = 0 時のみ適用されます。

24.3.4.4 TAUBnRDC — TAUBn チャネルリロードデータ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUBnIm 信号を生成するチャネルを指定します。

アクセス 16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + $26C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDC15	TAUBn RDC14	TAUBn RDC13	TAUBn RDC12	TAUBn RDC11	TAUBn RDC10	TAUBn RDC09	TAUBn RDC08	TAUBn RDC07	TAUBn RDC06	TAUBn RDC05	TAUBn RDC04	TAUBn RDC03	TAUBn RDC02	TAUBn RDC01	TAUBn RDC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.25 TAUBnRDC レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnRDCm	チャネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0：一斉書き換えトリガチャネルとならない。 1：一斉書き換えトリガチャネルとして動作する。 これらのビット設定は TAUBnRDE.TAUBnRDEm = 1 、TAUBnRDS.TAUBnRDSm = 1 時のみ適用されます。

24.3.4.5 TAUBnRDT — TAUBn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス <TAUBn_base> + 044_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDT15	TAUBn RDT14	TAUBn RDT13	TAUBn RDT12	TAUBn RDT11	TAUBn RDT10	TAUBn RDT09	TAUBn RDT08	TAUBn RDT07	TAUBn RDT06	TAUBn RDT05	TAUBn RDT04	TAUBn RDT03	TAUBn RDT02	TAUBn RDT01	TAUBn RDT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 24.26 TAUBnRDT レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnRDTm	一斉書き換え許可状態をトリガします。 0：機能なし。0 を書き込む操作は無視されます（動作に影響しません）。 1：一斉書き換え許可フラグ（TAUBnRSFm）を 1 とし、一斉書き換えトリガ待ち状態となります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUBnRDE.TAUBnRDEm = 1

24.3.4.6 TAUBnRSF — TAUBn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TAUBn_base> + 048_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RSF15	TAUBn RSF14	TAUBn RSF13	TAUBn RSF12	TAUBn RSF11	TAUBn RSF10	TAUBn RSF09	TAUBn RSF08	TAUBn RSF07	TAUBn RSF06	TAUBn RSF05	TAUBn RSF04	TAUBn RSF03	TAUBn RSF02	TAUBn RSF01	TAUBn RSF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.27 TAUBnRSF レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnRSFm	一斉書き換えの状態を示します。 0：一斉書き換えトリガの発生により、一斉書き換えが完了したことを示します。 1：一斉書き換え許可状態（TAUBnRDTm = 1）で、一斉書き換えのトリガ待ちを示します。

24.3.5 TAUBn 出力レジスタの詳細

24.3.5.1 TAUBnTOE — TAUBn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUBn_base> + $5C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOE15	TAUBn TOE14	TAUBn TOE13	TAUBn TOE12	TAUBn TOE11	TAUBn TOE10	TAUBn TOE09	TAUBn TOE08	TAUBn TOE07	TAUBn TOE06	TAUBn TOE05	TAUBn TOE04	TAUBn TOE03	TAUBn TOE02	TAUBn TOE01	TAUBn TOE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.28 TAUBnTOE レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTOEm	チャネル単体出力機能を許可／禁止します。 0：タイマ単体出力機能を禁止（ソフトウェア制御） 1：タイマ単体出力機能を許可

24.3.5.2 TAUBnTO — TAUBn チャネル出力レジスタ

このレジスタは、TAUBTTOUTm レベルを指定およびリードします。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUBn_base> + 58_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TO15	TAUBn TO14	TAUBn TO13	TAUBn TO12	TAUBn TO11	TAUBn TO10	TAUBn TO09	TAUBn TO08	TAUBn TO07	TAUBn TO06	TAUBn TO05	TAUBn TO04	TAUBn TO03	TAUBn TO02	TAUBn TO01	TAUBn TO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.29 TAUBnTO レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTOm	このレジスタは、TAUBTTOUTm レベルを指定およびリードします。 0：ロウレベル 1：ハイレベル チャネル単体出力機能が禁止されている（TAUBnTOEm = 0）TAUBnTOm ビットのみライト可能です。

24.3.5.3 TAUBnTOM — TAUBn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUBn_base> + 248_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOM15	TAUBn TOM14	TAUBn TOM13	TAUBn TOM12	TAUBn TOM11	TAUBn TOM10	TAUBn TOM09	TAUBn TOM08	TAUBn TOM07	TAUBn TOM06	TAUBn TOM05	TAUBn TOM04	TAUBn TOM03	TAUBn TOM02	TAUBn TOM01	TAUBn TOM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.30 TAUBnTOM レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作

24.3.5.4 TAUBnTOC — TAUBn チャネル出力コンフィギュレーションレジスタ

このレジスタは、TAUBnTOMm とともに各チャネルの出力モードを指定します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUBn_base> + $24C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOC15	TAUBn TOC14	TAUBn TOC13	TAUBn TOC12	TAUBn TOC11	TAUBn TOC10	TAUBn TOC09	TAUBn TOC08	TAUBn TOC07	TAUBn TOC06	TAUBn TOC05	TAUBn TOC04	TAUBn TOC03	TAUBn TOC02	TAUBn TOC01	TAUBn TOC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.31 TAUBnTOC レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTOCm	出力モードを指定します。 0：動作モード 1 1：動作モード 2 次の表にあるように、出力モードは TAUBnTOM.TAUBnTOMm の設定によっても異なります。

TOMm	TOCm	機能説明
0	0	トグルモード：INTTAUBnIm 発生時にトグル動作が行われます。
	1	セット／リセットモード：カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCNTm、TAUBnCDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。
1	0	チャネル連動動作モード 1：マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。
	1	チャネル連動動作モード 2：ダウンカウント状態で INTTAUBnIm が発生するとセット、アップカウント状態で INTTAUBnIm が発生するとリセットされます。

24.3.5.5 TAUBnTOL — TAUBn チャネル出力レベルレジスタ

このレジスタは、チャネル出力ビット（TAUBnTO.TAUBnTOm）の出力論理を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUBn_base> + 040_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOL15	TAUBn TOL14	TAUBn TOL13	TAUBn TOL12	TAUBn TOL11	TAUBn TOL10	TAUBn TOL09	TAUBn TOL08	TAUBn TOL07	TAUBn TOL06	TAUBn TOL05	TAUBn TOL04	TAUBn TOL03	TAUBn TOL02	TAUBn TOL01	TAUBn TOL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.32 TAUBnTOL レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTOLm	チャネル m 出力ビット（TAUBnTO.TAUBnTOm）の出力論理を指定します。 0：正論理（アクティブハイ） 1：負論理（アクティブロウ） これらのビット設定は、ソフトウェア制御のチャネル単体出力モード及びチャネル単体出力モード 1 以外のすべてのチャネル出力モードに適用されます。

24.3.6 TAUBn のデッドタイム出力レジスタの詳細

24.3.6.1 TAUBnTDE — TAUBn チャネルデッドタイム出力許可レジスタ

このレジスタは、全チャネルのデッドタイム動作を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUBn_base> + 250_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TDE15	TAUBn TDE14	TAUBn TDE13	TAUBn TDE12	TAUBn TDE11	TAUBn TDE10	TAUBn TDE09	TAUBn TDE08	TAUBn TDE07	TAUBn TDE06	TAUBn TDE05	TAUBn TDE04	TAUBn TDE03	TAUBn TDE02	TAUBn TDE01	TAUBn TDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.33 TAUBnTDE レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTDEm	チャネル m のデッドタイム制御動作を許可／禁止します。 0：デッドタイム動作禁止 1：デッドタイム動作許可 対になった偶数／奇数スレーブチャネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUBnTOE.TAUBnTOEm、TAUBnTOM.TAUBnTOMm、TAUBnTOC.TAUBnTOCm = 1

24.3.6.2 TAUBnTDL — TAUBn チャネルデッドタイム出力レベルレジスタ

このレジスタは、デッドタイムを付加する位相を選択します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUBn_base> + 54_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TDL15	TAUBn TDL14	TAUBn TDL13	TAUBn TDL12	TAUBn TDL11	TAUBn TDL10	TAUBn TDL09	TAUBn TDL08	TAUBn TDL07	TAUBn TDL06	TAUBn TDL05	TAUBn TDL04	TAUBn TDL03	TAUBn TDL02	TAUBn TDL01	TAUBn TDL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.34 TAUBnTDL レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUBnTDLm	デッドタイムを付加する位相を選択します。 0：正相 1：逆相 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUBnTOE.TAUBnTOEm、TAUBnTOM.TAUBnTOMm、TAUBnTOC.TAUBnTOCm、TAUBnTDE.TAUBnTDEm = 1

24.3.7 TAUBn エミュレーションレジスタ

24.3.7.1 TAUBnEMU — TAUBn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUBnTE.TAUBnTEm = 0）、かつ（EPC.SVSTOP = 0）のときにライト動作を行ってください。

アドレス <TAUBn_base> + 290_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TAUBn SVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 24.35 TAUBnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUBnSVSDIS	（EPC.SVSTOP ビット = 0 のとき） 本ビットの値 (1/0) にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット = 1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

24.4 操作手順

TAUBn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUBTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

1. TAUBnTPS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUBn 機能を設定してください。
   - 動作モードを設定してください。
   - チャネル出力モードを設定してください。
   - その他の制御ビットを設定してください。
3. TAUBnTS.TAUBnTSm ビットを 1 に設定してカウンタ動作を許可してください。
   カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
4. カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUBnTT.TAUBnTTm ビットを 1 に設定してください。強制リスタートは TAUBnTS.TAUBnTSm ビットを 1 に設定してください。
5. TAUBnTT.TAUBnTTm ビットを 1 に設定して機能を停止してください。

備　考

- 必要な制御ビットと各機能の動作の詳細は、
  - **「24.12　チャネル単体動作機能」**
  - **「24.14　チャネル連動動作機能」**

  を参照してください。
- 機能を変更する場合は、カウント停止中 (TAUBnTE.TAUBnTEm=0) に行ってください。

24.5　チャネル連動動作機能の概念

チャネル連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

ルールの詳細は、**「24.5.1　チャネル連動動作機能のルール」**に示します。

チャネル連動動作の 2 つの特殊な機能の詳細を次の節で説明します。

- **「24.5.2　連動チャネルカウンタの同時動作開始／停止」**
- **「24.6　一斉書き換え」**

24.5.1　チャネル連動動作機能のルール

マスタおよびスレーブチャネル数

- マスタチャネルには、偶数チャネル（CH0、CH2、CH4、…）のみ設定できます。スレーブチャネルには、CH0 を除くすべてのチャネルを設定できます。
- マスタチャネルより下位のチャネルのみスレーブチャネルとして設定でき、1 つのマスタチャネルに対し複数のスレーブチャネルを設定できます。
  例：CH2 がマスタチャネルの場合、CH3 以下（CH3、CH4、CH5、…）をスレーブチャネルに設定できます。
- マスタチャネルを複数使用する場合、マスタチャネルを跨いだスレーブチャネルの設定はできません。
  例：CH0、CH4 がマスタチャネルの場合、CH0 に対して CH1-CH3 までをスレーブチャネルとして設定できますが、CH5-CH15 は設定できません。

動作クロック

- マスタチャネルと連動するスレーブチャネルには同じ動作クロックを設定する必要があります。マスタチャネルとスレーブチャネルの TAUBnCMORm.TAUBnCKS[1:0] ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャネルの使用と動作クロックの基本的な概念を次の図に示します。

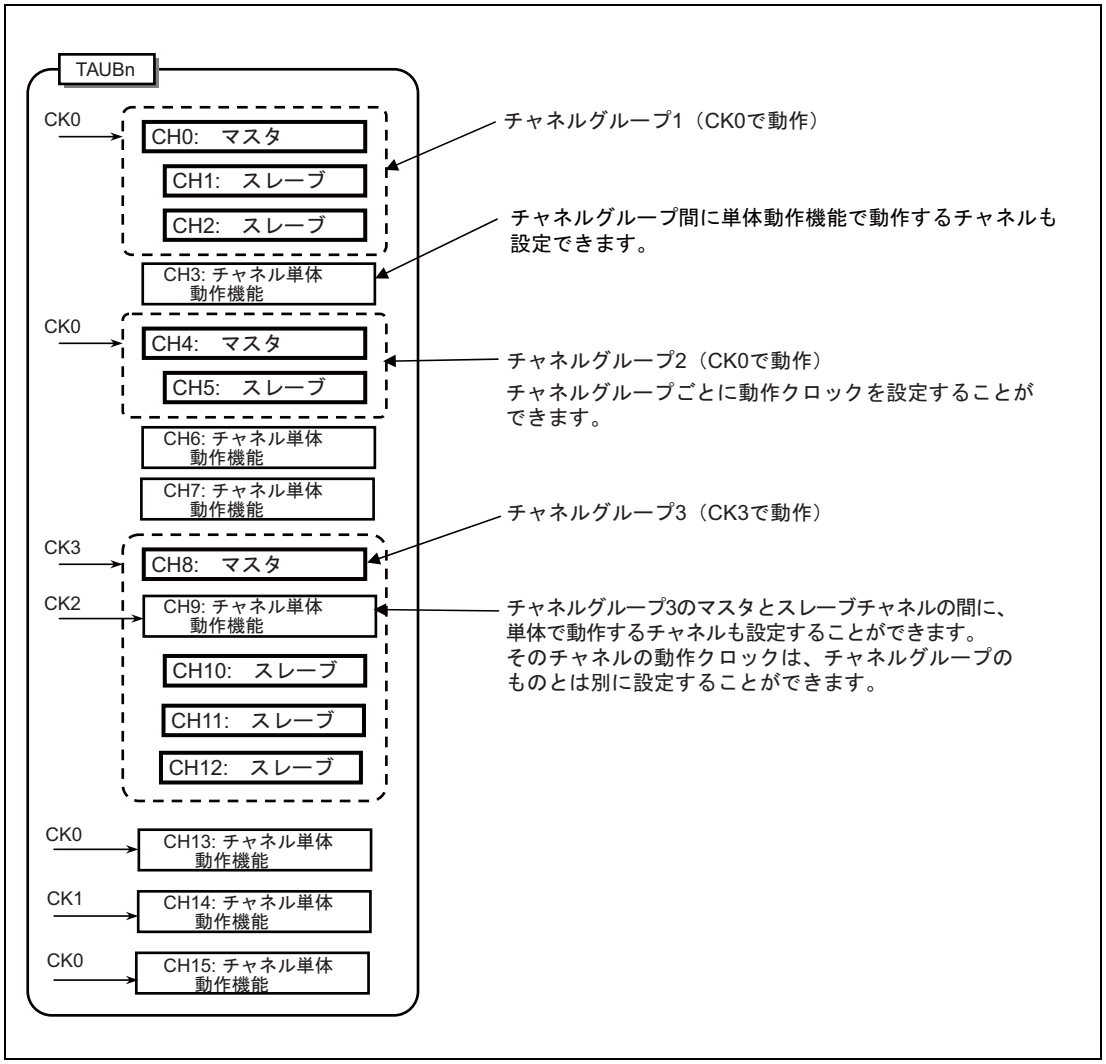


図 24.3 チャネルのグループ化と動作クロックの割り当て

24.5.2 連動チャネルカウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

24.5.2.1 ユニット内の連動チャネルカウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUBnTS.TAUBnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUBnTT.TAUBnTTm ビットを同時に設定する必要があります。

TAUBnTS.TAUBnTSm ビットに 1 を設定することにより、対応する TAUBnTE.TAUBnTEm ビットが 1 にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

24.6 一斉書き換え

24.6.1 動作概要

一斉書き換えとは、複数チャネルのコンペア／スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ（TAUBnCDRm、TAUBnTOLm）は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタチャネルまたは上位チャネル（動作モードによって異なる）のカウンタが特定の値に達した場合
- TAUBnRDC.TAUBnRDCm で指定された上位チャネルにて INTTAUBnIm が発生した場合

一斉書き換えは 3 つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを次の表に示します。

表 24.36 一斉書き換え方法とトリガタイミング

方式	トリガ	TAUBn RDE. TAUBn RDEm	TAUBn RDS. TAUBn RDSm	TAUBn RDM. TAUBn RDMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタチャネルがカウントを再開／開始した場合	1	0	0
B	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合	1	1	0/1

3 つの方法のうち、各チャネル動作機能で使用できる方法を次の表に示します。各チャネル動作機能の詳細は、**「24.13 チャネル単体一斉書き換え機能」**と**「24.14 チャネル連動動作機能」**を参照してください。

表 24.37 チャネル機能と一斉書き換え方法

説明	A	B	C1	TAUBnTOL. TAUBnTOLm
一斉書き換えトリガ出力機能タイプ 1			○	
PWM 出力機能	○		○	○
ワンショットパルス出力機能	○			
ディレイパルス出力機能	○			
三角波 PWM 出力機能		○	○	○
デッドタイム付き三角波 PWM 出力機能		○	○	
A/D 変換トリガ出力機能タイプ 1	○		○	
A/D 変換トリガ出力機能タイプ 2		○	○	

備考 ○：使用可能 空欄：使用不可

24.6.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3 つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

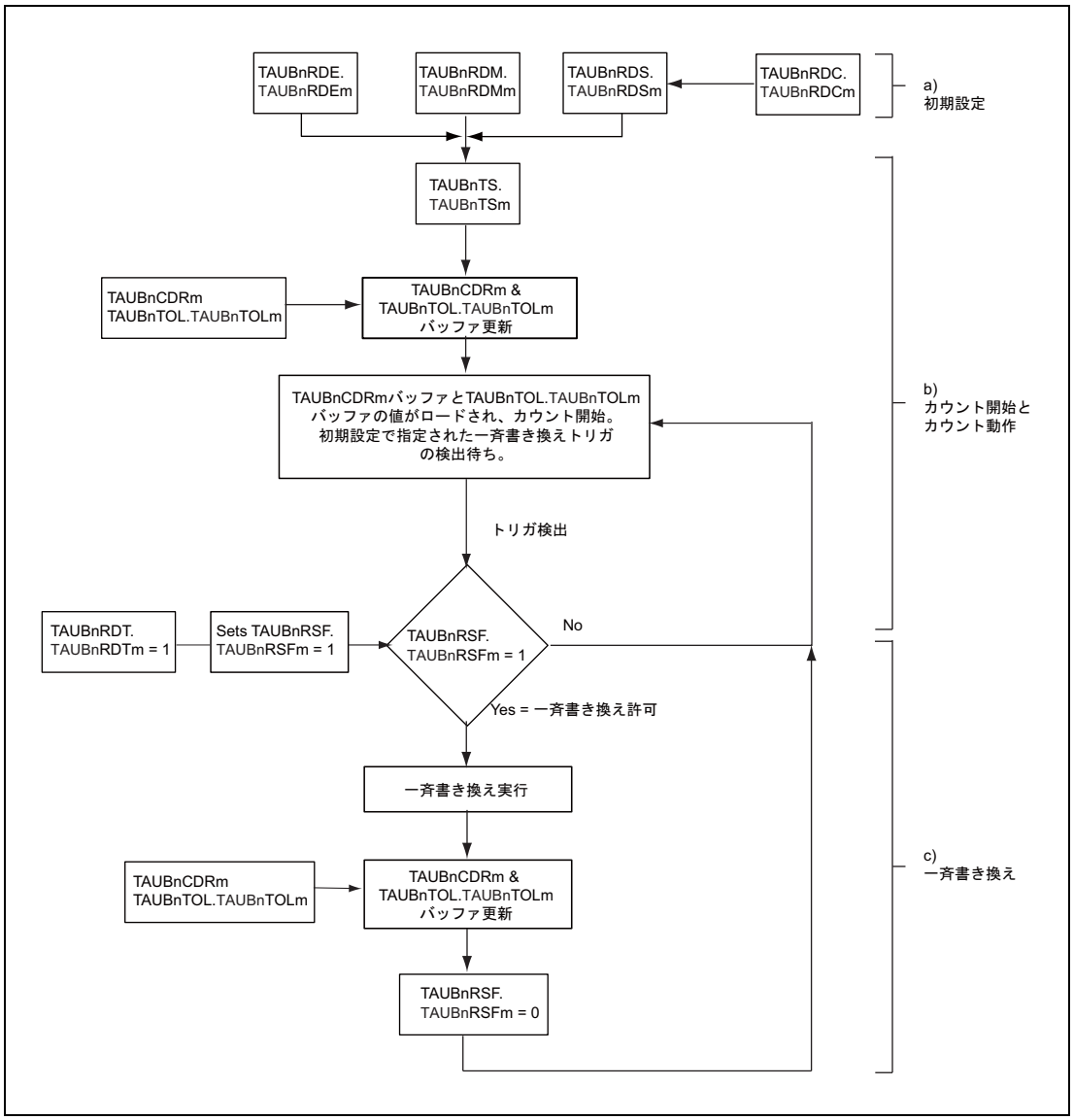


図 24.4 一斉書き換えの基本手順

24.6.2.1　初期設定

- チャネル m にて一斉書き換えを許可するには、TAUBnRDE.TAUBnRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUBnRDM.TAUBnRDMm と TAUBnRDS.TAUBnRDSm を**「表 24.36　一斉書き換え方法とトリガタイミング」**に示す値に設定してください。
- TAUBnRDC.TAUBnRDCm で、一斉書き換えトリガ生成チャネルを指定してください（前提：上位チャネルに TAUBnRDS.TAUBnRDSm が設定されている）。

24.6.2.2　カウント開始とカウント動作

- チャネルグループに属するすべての TAUBnCNTm カウンタ動作を開始するには、対応する TAUBnTS.TAUBnTSm ビットを 1 に設定してください。TAUBnTOL.TAUBnTOLm とデータレジスタ（TAUBnCDRm）の値は、対応する TAUBnTOL.TAUBnTOLm バッファ（TAUBnTOL.TAUBnTOLm buf）とデータバッファレジスタ（TAUBnCDRm buf）にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット（TAUBnRDT.TAUBnRDTm）を 1 に設定することにより、リロードフラグ（TAUBnRSF.TAUBnRSFm）が 1 に設定され、一斉書き換えが許可されます。TAUBnRSF.TAUBnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可（TAUBnRSF.TAUBnRSFm = 1）されているかを確認するために TAUBnRSF.TAUBnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

24.6.2.3　一斉書き換え

- 一斉書き換えが許可（TAUBnRSF.TAUBnRSFm = 1）され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると、TAUBnRSF.TAUBnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

24.6.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中（TAUBnTE.TAUBnTEm = 1）は、TAUBnRDE.TAUBnRDEm、TAUBnRDS.TAUBnRDSm、TAUBnRDM.TAUBnRDMm、TAUBnRDC.TAUBnRDCm を変更することはできません。
- TAUBnTOL.TAUBnTOLm は、PWM 出力機能、または三角波 PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUBnTOL.TAUBnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUBTTOUTm は不正な波形を出力します。
- 上位チャネルで一斉書き換えトリガを発行した場合（TAUBnRDS.TAUBnRDSm = 1）、すべての下位チャネルは TAUBnRDC.TAUBnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUBnRDC.TAUBnRDCm ビットを 1 に設定し、ほかのチャネルの TAUBnRDC.TAUBnRDCm ビットを 0 に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャネルとなります。CH2 は、下位チャネル CH3-CH6 を制御し、CH7 は、下位チャネル CH8-CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャネルを一斉書き換えトリガ生成チャネルとして選択（TAUBnRDE.TAUBnRDEm、TAUBnRDS.TAUBnRDSm = 1）したにもかかわらず、上位チャネルを設定していない場合（TAUBnRDC.TAUBnRDC[15:0] = 0）、一斉書き換えは行いません。

24.6.4 一斉書き換えの種類

次に、タイミング図を使用して 3 つの一斉書き換え方法を説明します。

24.6.4.1 マスタチャネルがカウントを再開／開始した場合の一斉書き換え（方法 A）

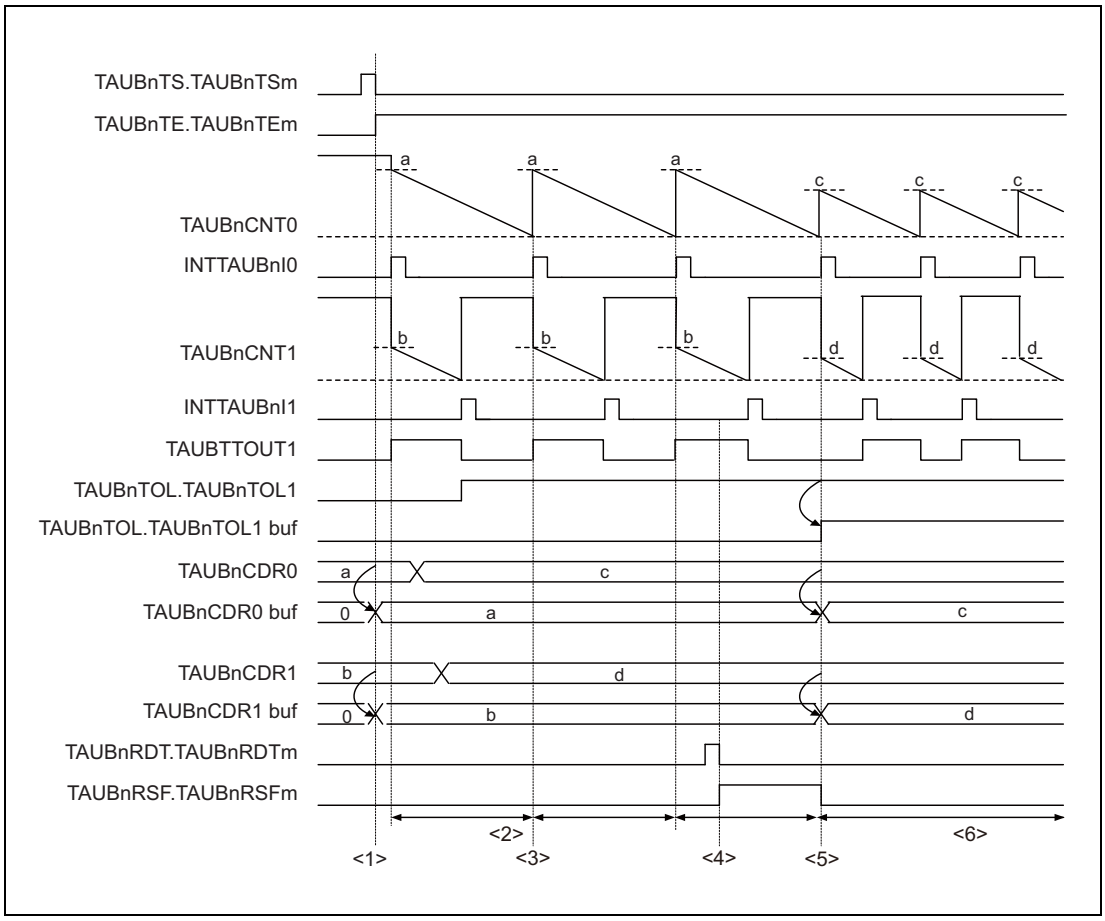


図 24.5 マスタチャネルがカウントを再開／開始した場合の一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 A が適用されます。

説明：

(1) TAUBnTS.TAUBnTSm = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値が TAUBnTOL.TAUBnTOLm バッファにコピーされます。

(2) TAUBnCDRm と TAUBnTOL.TAUBnTOLm レジスタは常に書き込めます。

(3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません（TAUBnRSF.TAUBnRSFm = 0）。

(4) リロードデータトリガビット（TAUBnRDT.TAUBnRDTm）を “1” に設定することにより、ステータスフラグが設定され（TAUBnRSF.TAUBnRSFm = 1）、一斉書き換えが許可されます。

(5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUBnCDRm の値は TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

24.6.4.2 スレーブチャネルの三角波の [山] のタイミングで一斉書き換え（方法 B）

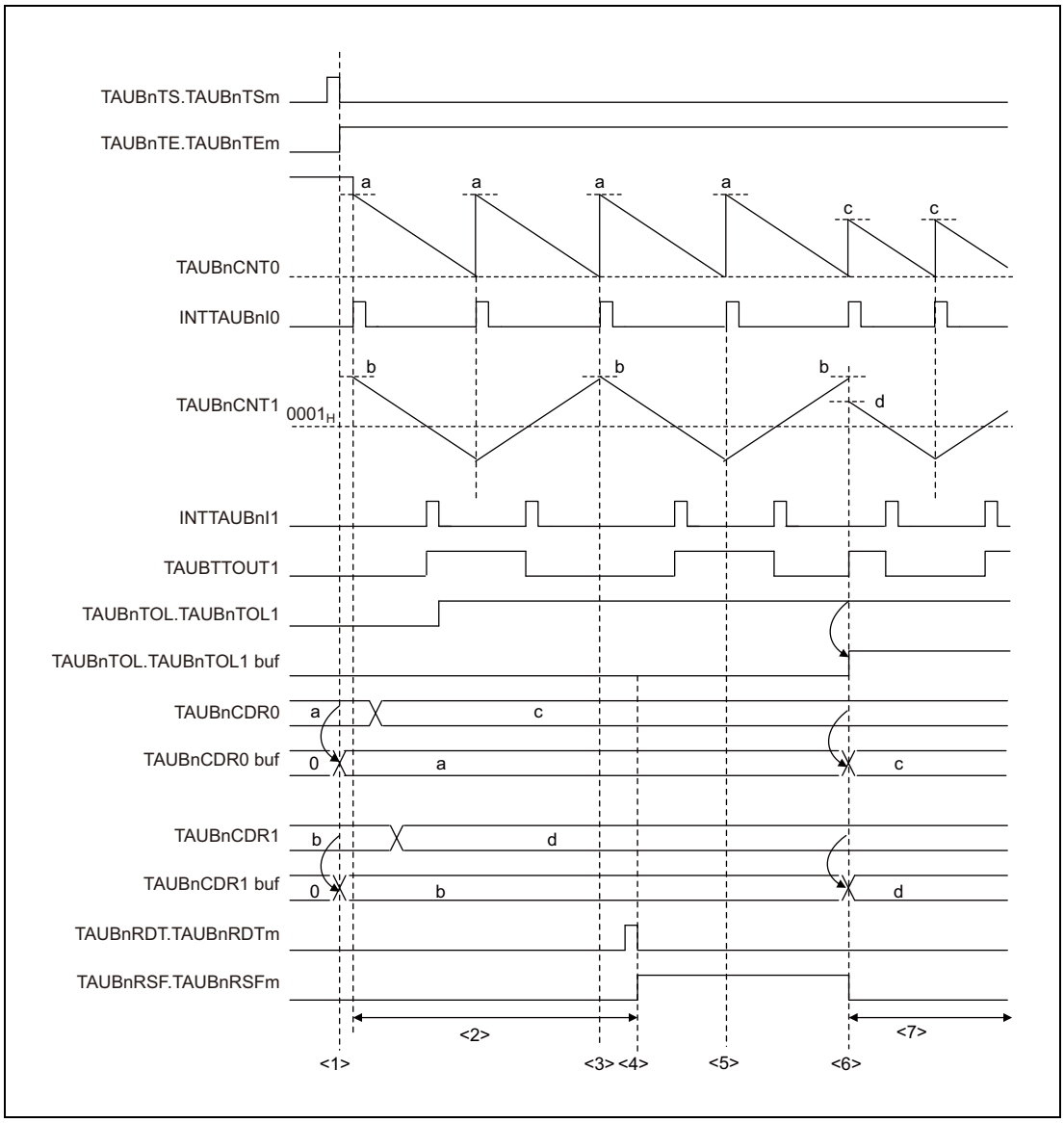


図 24.6 スレーブチャネルの三角波の [山] のタイミングで一斉書き換え

設定：

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 B が適用されます。

説明：

(1) TAUBnTS.TAUBnTSm = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。

(2) TAUBnCDRm と TAUBnTOL レジスタは常に書き込めます。

(3) 一斉書き換えは許可されていないため行われません（TAUBnRSF.TAUBnRSFm = 0）。

(4) リロードデータトリガビット（TAUBnRDT.TAUBnRDTm）を “1” に設定することにより、ステータスフラグが設定され（TAUBnRSF.TAUBnRSFm = 1）、一斉書き換えが許可されます。

(5) 一斉書き換えは、三角波周期の [谷] のタイミングでは発生しません。

(6) 一斉書き換えは、三角波周期の [山] のスタートタイミングで行われます。
TAUBnCDRm の値は TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。

(7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

24.6.4.3 TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合の一斉書き換え（方法 C1）

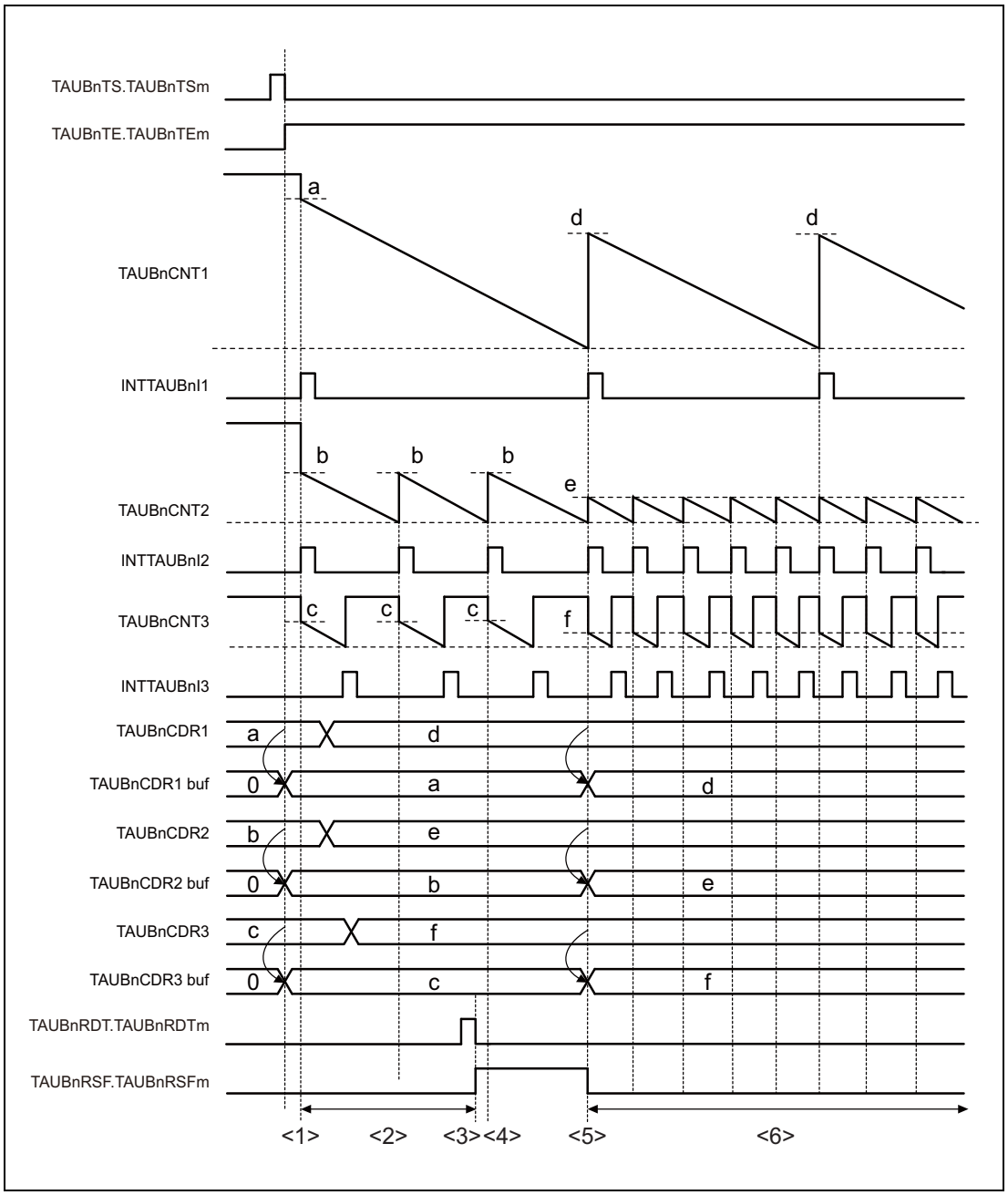


図 24.7 TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合の一斉書き換え

設定：

CH1 は、ダウンカウントを行う上位チャネルです。CH2 は、マスタチャネルです。CH3 は、スレーブチャネルです。一斉書き換え方法 C1 が適用されます。TAUBnRDC レジスタで、一斉書き換えトリガ生成チャネルを指定します。

説明：

(1) TAUBnTS.TAUBnTSm = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。

(2) TAUBnCDRm レジスタは常に書き込めます。

(3) リロードデータトリガビット（TAUBnRDT.TAUBnRDTm）を 1 に設定することにより、ステータスフラグが設定され（TAUBnRSF.TAUBnRSFm = 1）、一斉書き換えが許可されます。

(4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。

(5) 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUBnCDRm の値は対応する TAUBnCDRm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm レジスタの値は再変更できます。

24.7　チャネル出力モード

TAUBTTOUTm 端子の出力は、2 つの方法で制御することができ、2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御（TAUBnTOE.TAUBnTOEm = 0）
  ソフトウェアで制御した場合、出力レジスタビット（TAUBnTO.TAUBnTOm）に書き込んだ値は、出力端子（TAUBTTOUTm）に転送されます。
- TAUB 信号による制御（TAUBnTOE.TAUBnTOEm = 1）
  TAUB 信号で制御した場合、TAUBTTOUTm の出力レベルはセット／リセット、または内部信号によりトグルされます。これに応じて、TAUBTTOUTm の値を反映するために、TAUBnTO.TAUBnTOm の値は更新されます。
  - 単体制御（TAUBnTOM.TAUBnTOMm = 0）
    単体動作の場合、TAUBTTOUTm 端子の出力はチャネル m の設定のみの影響を受けます。したがって、チャネル単体動作を指定（TAUBnTOM.TAUBnTOMm = 0）する必要があります。
  - 連動制御（TAUBnTOM.TAUBnTOMm = 1）
    連動動作の場合、TAUBTTOUTm 端子の出力は、チャネル m とその他のチャネルの設定の影響を受けます。したがって、すべての連動するチャネルに対してチャネル連動動作を指定する必要があります（TAUBnTOM.TAUBnTOMm = 1）。

TAUBnTO.TAUBnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUBTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャネル出力モードを選択するために必要な制御ビットの設定は、**「表 24.38　チャネル出力モード」**に示します。

チャネル出力モードの詳細は次の節を参照してください。

- **「24.7.2　TAUBn 信号により単体制御されるチャネル出力モード」**
- **「24.7.3　TAUBn 信号により連動制御されるチャネル出力モード」**

TAUBnTOm ビットの一括操作

TAUBnTOm ビットへの設定値の反映 / 非反映は、TAUBnTOE.TAUBnTOEm ビットにより制御されます。

TAUBnTO レジスタにライトした時に、TAUBnTOE.TAUBnTOEm ビット =0 を設定したビット（チャネル）にのみ、TAUBnTOm の設定値の書き込みが行われます。
TAUBnTOE.TAUBnTOEm ビット = 1 を設定したビット（チャネル）は、TAUBnTOm の設定値は反映されません。

備　考

TAUBnTO.TAUBnTOm ビットは、ビット番号とチャネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUBnTOL.TAUBnTOLm で指定します。

TAUBnTOL.TAUBnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUBnTOL.TAUBnTOLm を変更すると、TAUBTTOUTm 信号の出力は不定になります。

「**24.6 一斉書き換え**」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを**表 24.38** に示します。

表 24.38 チャネル出力モード

チャネル出力モード	TAUBnTOE. TAUBnTOEm	TAUBnTOM. TAUBnTOMm	TAUBnTOC. TAUBnTOCm	TAUBnTDE. TAUBnTDEm
ソフトウェア制御				
ソフトウェア制御のチャネル単体出力モード	0	x		
TAUB 信号による単体動作制御				
チャネル単体出力モード 1	1	0	0	0
チャネル単体出力モード 2			1	
TAUB 信号による連動動作制御				
チャネル連動出力モード 1	1	1	0	0
チャネル連動出力モード 2			1	0
デッドタイム出力を行うチャネル連動出力モード 2				1

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備 考

1. 次のビットは、カウント動作中（TAUBnTE.TAUBnTEm = 1）は変更できません。
   - TAUBnTOM.TAUBnTOMm
   - TAUBnTOC.TAUBnTOCm
   - TAUBnTDE.TAUBnTDEm

24.7.1 チャネル出力モードを指定するための基本手順

TAUBTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります（TAUBnTOE.TAUBnTOEm = 0）。

（1） TAUBnTO.TAUBnTOm を設定して TAUBTTOUTm 出力の初期レベルを指定してください。

（2） **「表 24.38 チャネル出力モード」**を参照してチャネル出力モードを設定し、TAUBnTOL.TAUBnTOLm ビットで出力論理を設定してください。

（3） カウンタのカウントを開始してください（TAUBnTS.TAUBnTSm = 1）。

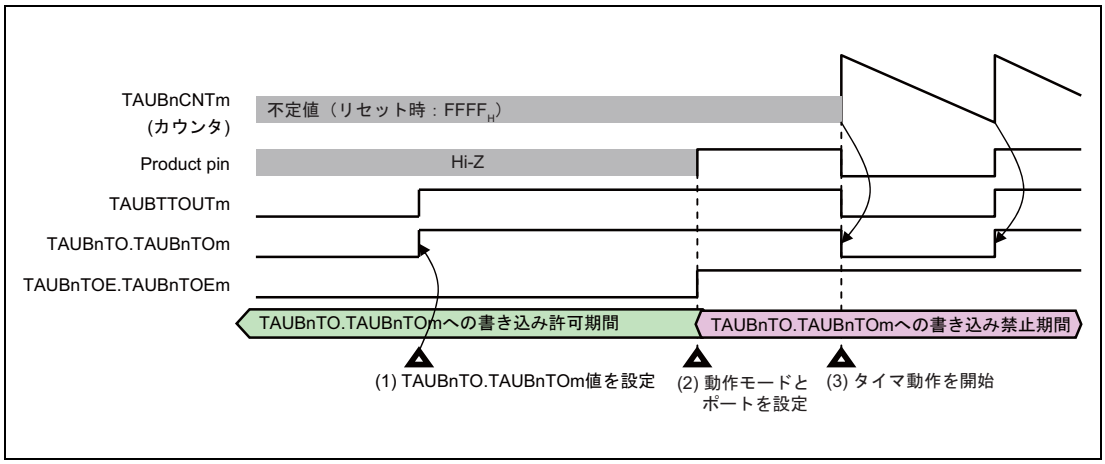


図 24.8 TAUBTTOUTm チャネル出力モードを指定するための基本手順

24.7.2 TAUBn 信号により単体制御されるチャネル出力モード

この節では、TAUBn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、**「表 24.38　チャネル出力モード」**に示します。

24.7.2.1 チャネル単体出力モード 1

セット／リセット条件

この出力モードでは、INTTAUBnIm が検出されると TAUBTTOUTm がトグルされます。TAUBnTOL.TAUBnTOLm の値は無視されます。

前提条件

「表 24.38　チャネル出力モード」に示す条件以外の条件はありません。

24.7.2.2 チャネル単体出力モード 2

セット／リセット条件

この出力モードでは、TAUBTTOUTm は、カウント開始の INTTAUBnIm 発生でセット、TAUBnCNTm と TAUBnCDRm の一致による INTTAUBnIm 発生でリセットされます。

前提条件

「表 24.38　チャネル出力モード」に示す条件以外の条件はありません。

24.7.3 TAUBn 信号により連動制御されるチャネル出力モード

この節では、TAUBn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、**「表 24.38　チャネル出力モード」**に示します。

24.7.3.1 チャネル連動出力モード 1

セット／リセット条件

この出力モードでは、マスタチャネルの INTTAUBnIm がセット信号、スレーブチャネルの INTTAUBnIm がリセット信号となります。マスタチャネルの INTTAUBnIm とスレーブチャネルの INTTAUBnIm が同時発生した場合、スレーブチャネルの INTTAUBnIm（リセット信号）は、マスタチャネルの INTTAUBnIm（セット信号）より優先されます（マスタチャネルは無視されます）。

前提条件

「表 24.38　チャネル出力モード」に示す条件以外の条件はありません。

24.7.3.2 チャネル連動出力モード 2

この出力モードでは、動作モードをアップ／ダウンカウントモードに設定する必要があります。その結果、TAUBTTOUTm より三角波 PWM が出力されます。詳細は**「24.14.5 三角波 PWM 出力機能」**を参照してください。

セット／リセット条件

スレーブチャネルの TAUBnCNTm は、アップ／ダウンカウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUBTTOUTm をトグルします。

前提条件

三角波 PWM 出力を生成するには 2 つで 1 組のチャネルが必要です。TAUBTTOUTm は、機能を開始する前に “0” に設定する必要があります。

24.7.3.3 デッドタイム出力を行うチャネル連動出力モード 2

この出力モードでは、TAUBTTOUTm にデッドタイム遅延が付加されます。セット／リセット条件を**図 24.9** に示します。

セット／リセット条件

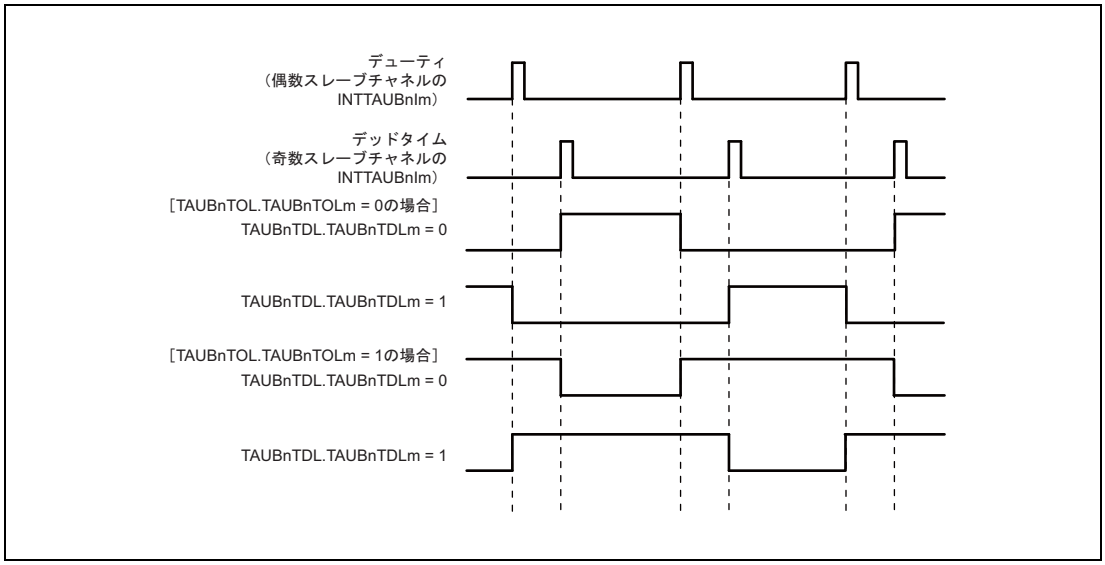


図 24.9 デッドタイム出力を行うチャネル連動出力モード 2 のセット／リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUBnTDL.TAUBnTDLm = 0、立ち下がりエッジの場合は TAUBnTDL.TAUBnTDLm = 1 を設定してください。

前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する 3 つで 1 組のチャネルが必要です。

- マスタチャネル
  マスタチャネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャネル
  偶数スレーブチャネルは、アップ／ダウンカウントモードに設定する必要があります。

- 奇数スレーブチャネル（偶数チャネル＋1）
  奇数スレーブチャネルは、ワンカウントモードに設定する必要があります。

奇数チャネルと偶数チャネルでは、次のビットが同じ値である必要があります。

- TAUBnTOE.TAUBnTOEm
- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

24.8 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUBnTS.TAUBnTSm を “1” に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

24.8.1 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモード

TAUBnTS.TAUBnTSm が “1” に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

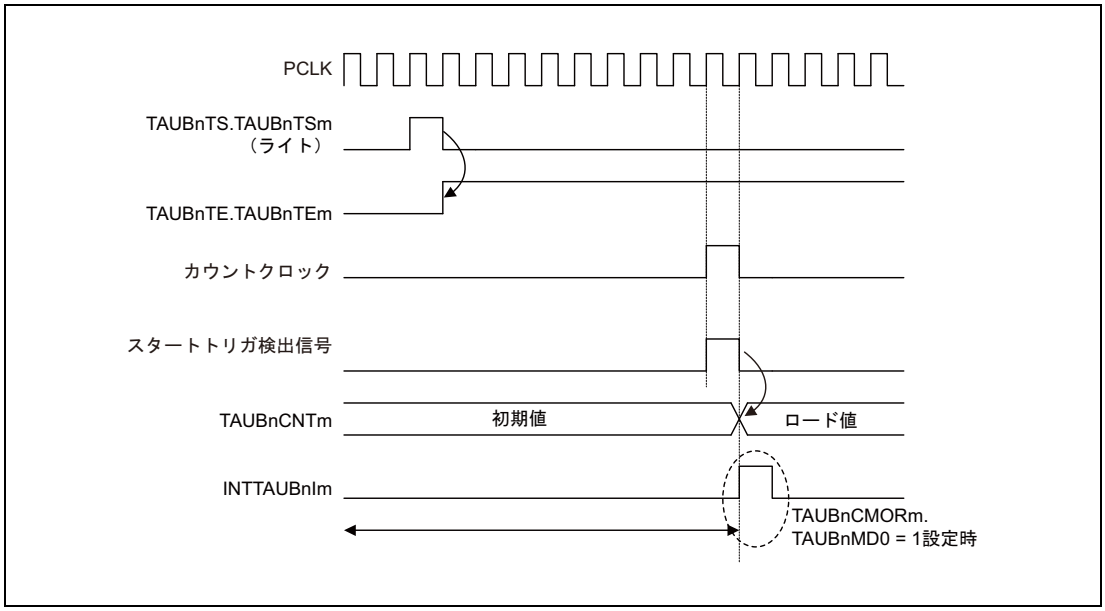


図 24.10 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモードでの開始タイミング

備 考

アップ／ダウンカウントモード時は、必ず TAUBnCMORm.TAUBnMD0 = 0 に設定してください。

24.8.2 イベントカウントモード

TAUBnTS.TAUBnTSm が “1” に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウントクロックサイクルの開始時にデクリメントされます。

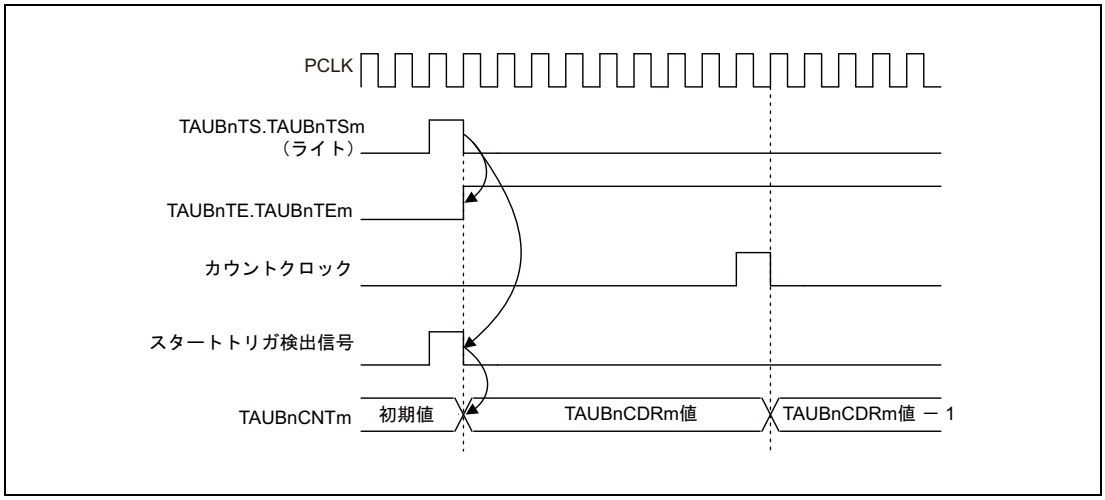


図 24.11 イベントカウントモード時の開始タイミング

24.8.3 その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUBTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

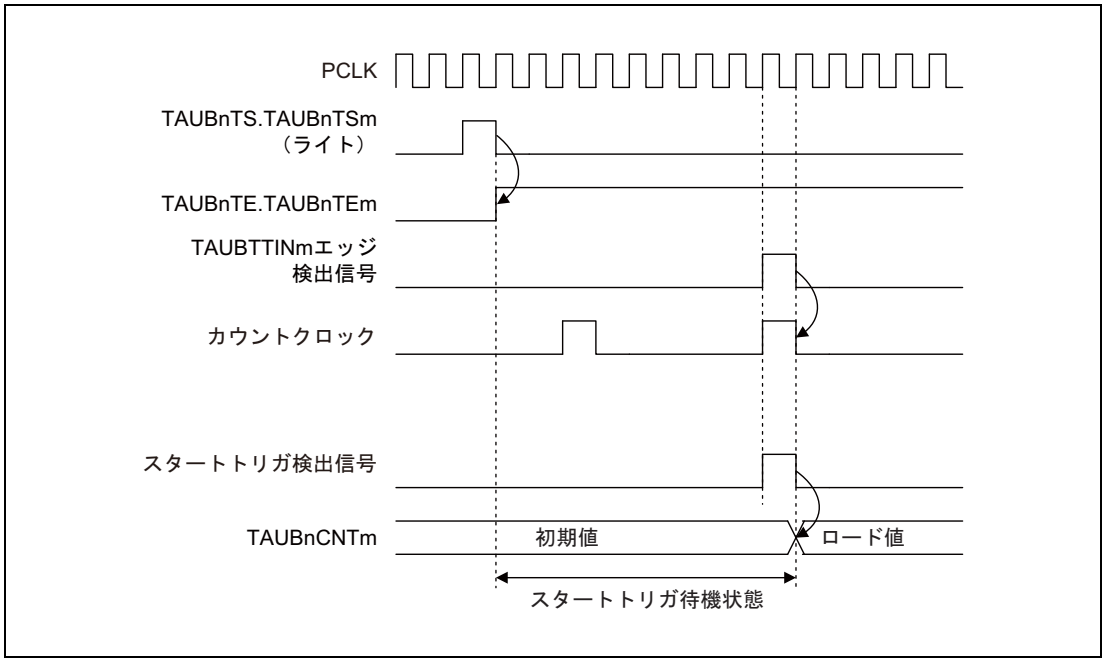


図 24.12 その他の動作モードでのカウント開始タイミング

24.9 カウント開始／リスタート時の TAUBTTOUTm 出力と INTTAUBnIm 生成

カウンタのカウント開始時、TAUBnCMORm.TAUBnMD0 ビットで INTTAUBnIm を発生するかしないかを指定できます。TAUBnCMORm.TAUBnMD0 ビットがカウント開始時の INTTAUBnIm 発生、TAUBTTOUTm に与える影響は、選択した機能に依存します。詳細は各機能の TAUBnCMORm.TAUBnMD0 の説明を参照してください。

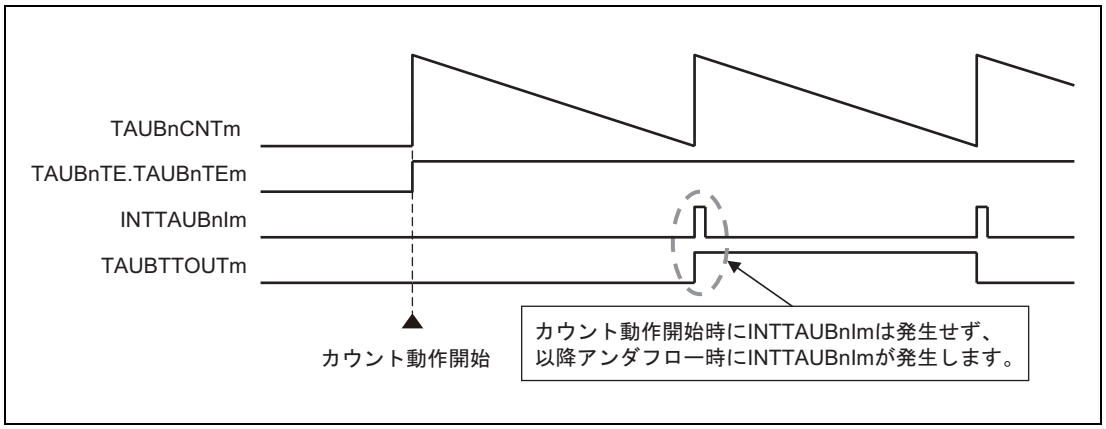


図 24.13 INTTAUBnIm の発生タイミング（TAUBnCMORm.TAUBnMD0=0 設定時）

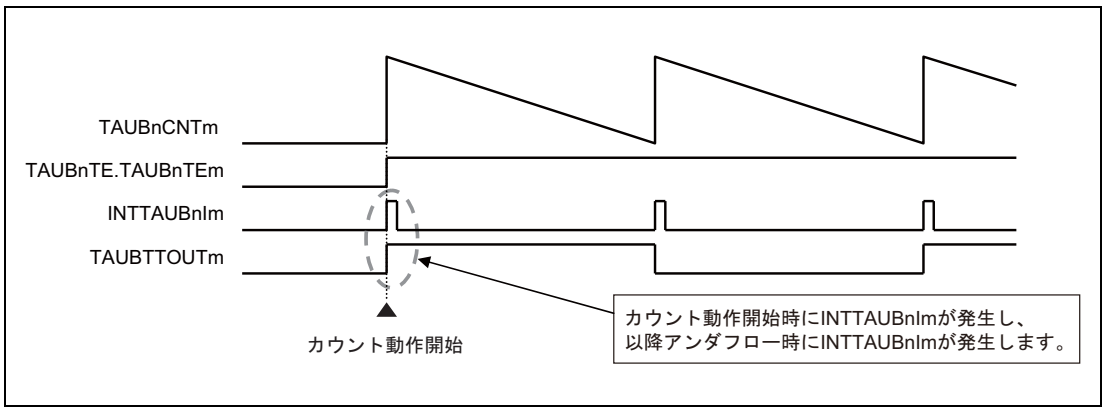


図 24.14 INTTAUBnIm の発生タイミング（TAUBnCMORm.TAUBnMD0=1 設定時）

24.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャネル動作と、ダウンカウントを行うモードでのチャネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャネルに適切かは、ファーストチャネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャネルに、ファーストチャネルでのオーバフロー発生と同時に 0000_H になるようなダウンカウントを行う動作モードを設定します（TAUBnCNTm = $FFFF_H$）。
- セカンドチャネルの TAUBnCDRm を $FFFF_H$ に設定します。
- 2 つのチャネルは同じ速度でカウントを行う必要があります（つまり、カウントクロックが同じでなければなりません）。
- 両チャネルが同じ TAUBTTINm 入力信号でトリガされます。
- 両チャネルのトリガ検出設定（TAUBnCMORm.TAUBnSTS[2:0] と TAUBnCMURm.TAUBnTIS[1:0]）は同じである必要があります。

結果：

ファーストチャネルのアップカウンタでのオーバフロー発生（TAUBnCNTm = $FFFF_H$）と同時にセカンドチャネルのダウンカウンタが 0000_H になります。そしてセカンドチャネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

24.10.1 TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせ例

両チャネルの TAUBTTINm に同時にキャプチャトリガを入力することで、TAUBTTINm 入力パルスインターバル測定機能の TAUBnCNTm の $FFFF_H$ オーバフローを TAUBTTINm 入力インターバルタイマ機能の INTTAUBnIm で検出できます。

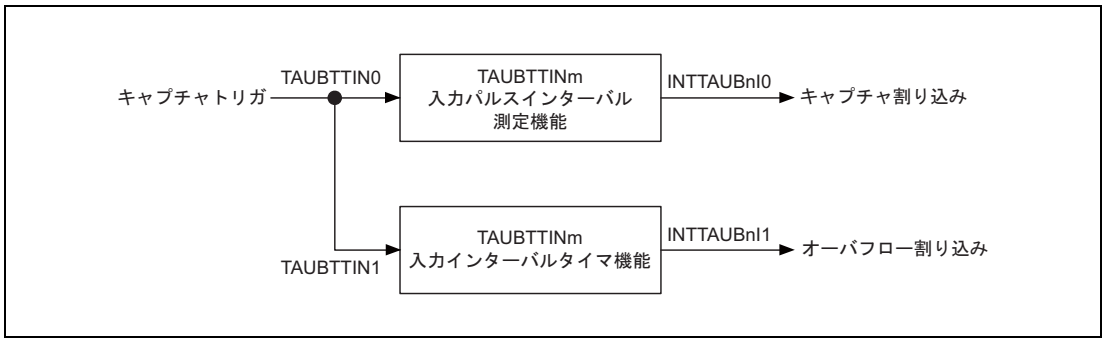


図 24.15 TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせ

タイミング図

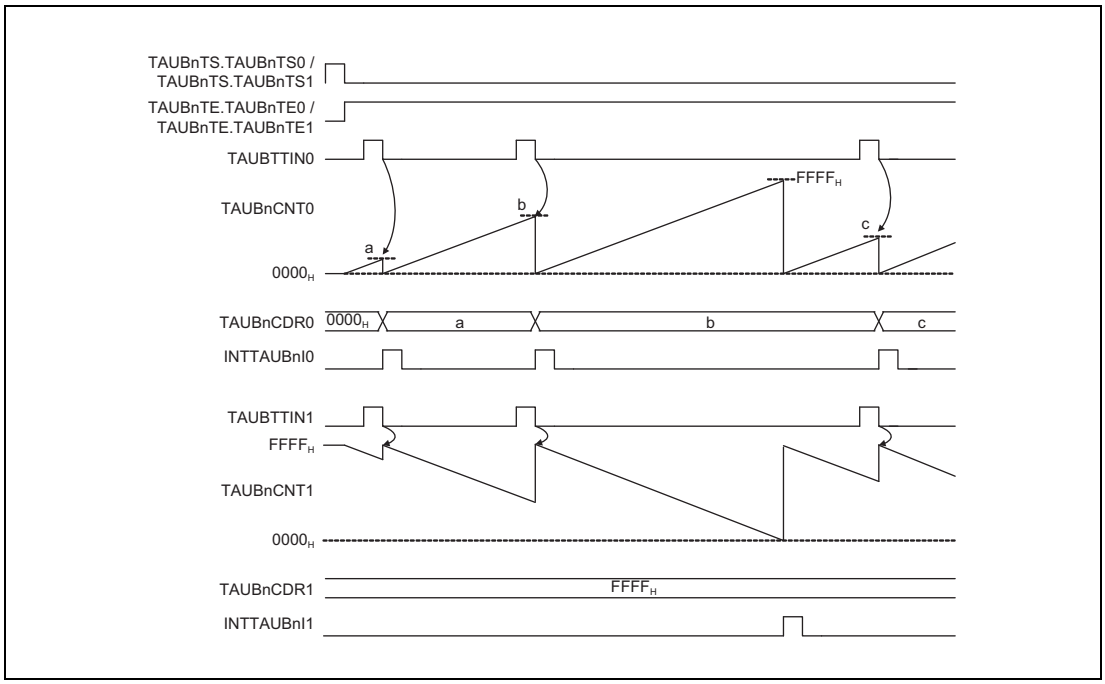


図 24.16 TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせによる割り込み発生

24.10.2 TAUBTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の組み合わせ例

両チャネルの TAUBTTINm に同時にキャプチャトリガを入力することで、TAUBTTINm 入力信号幅測定機能の TAUBnCNTm の FFFFH オーバフローをオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の INTTAUBnIm で検出できます。

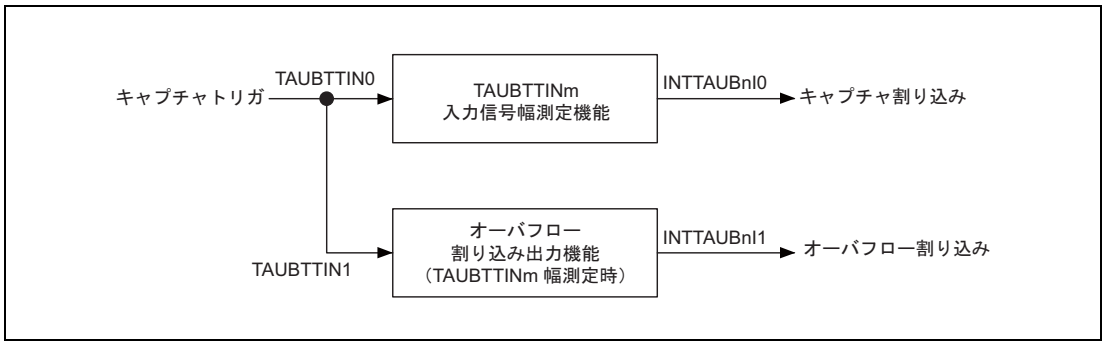


図 24.17 TAUBTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の組み合わせ

タイミング図

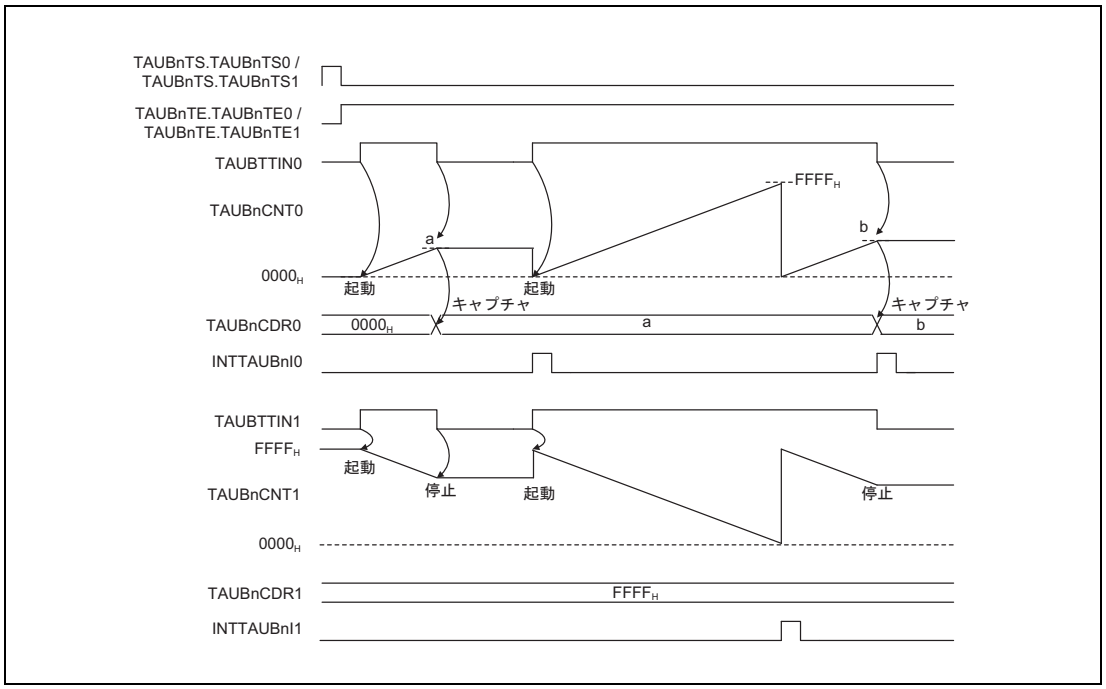


図 24.18 TAUBTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の組み合わせによる割り込み発生

24.10.3 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ例

両チャネルのカウンタを同時に開始することで、TAUBTTINm 入力位置検出機能の TAUBnCNTm の $FFFF_H$ オーバフローをインターバルタイマ機能の INTTAUBnIm で検出できます。

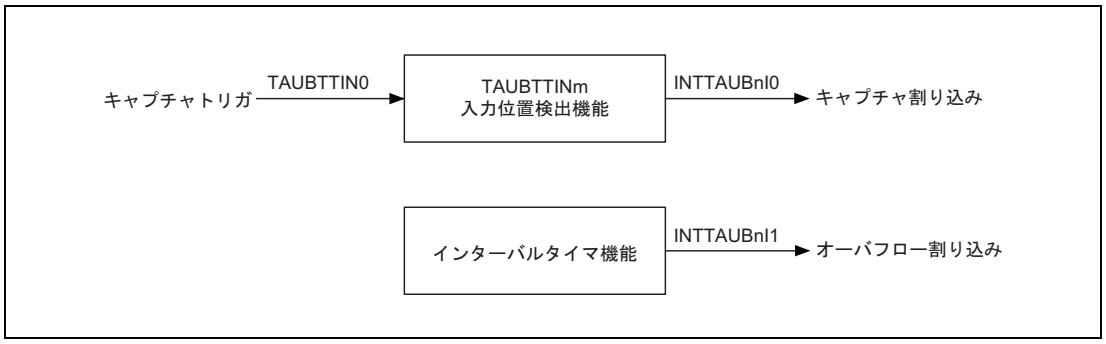


図 24.19 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

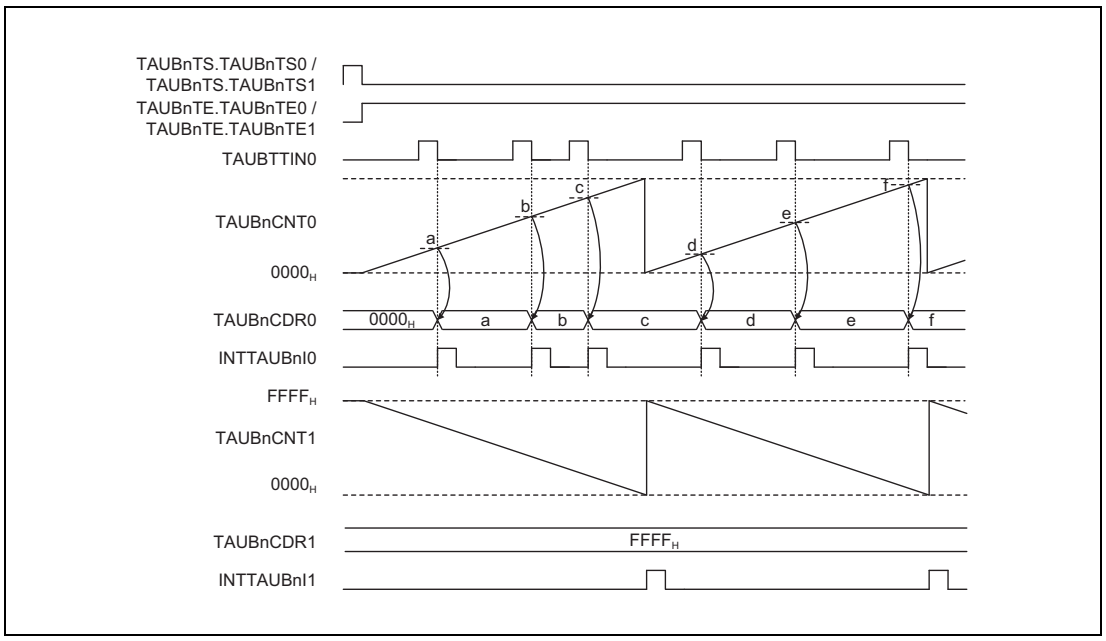


図 24.20 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

24.10.4 TAUBTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の組み合わせ例

両チャネルの TAUBTTINm に同時にキャプチャトリガを入力することで、TAUBTTINm 入力期間カウント検出機能の TAUBnCNTm の $FFFF_H$ オーバフローをオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の INTTAUBnIm で検出できます。

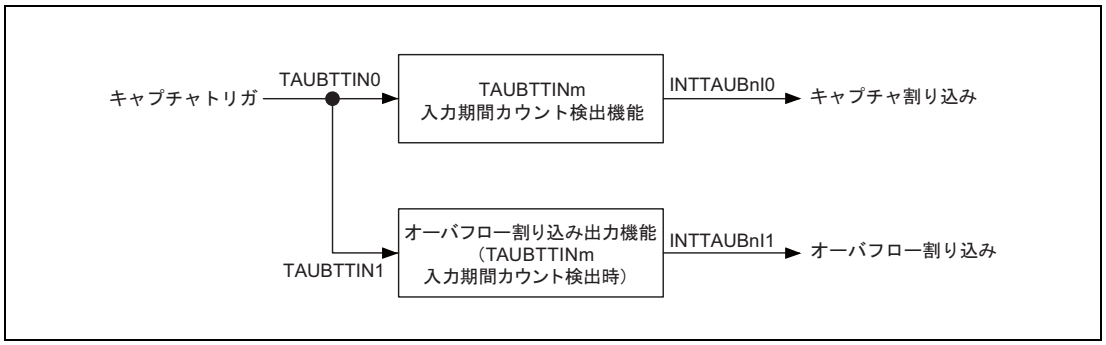


図 24.21 TAUBTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の組み合わせ

タイミング図

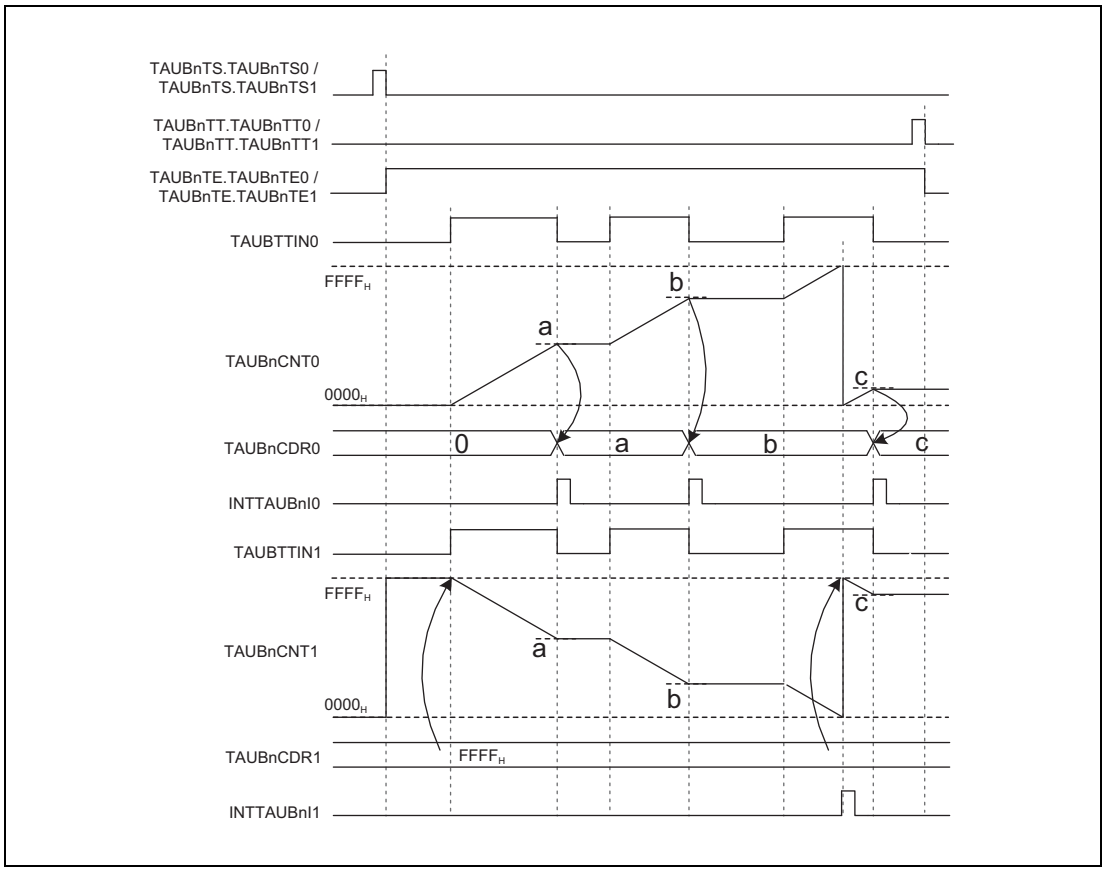


図 24.22 TAUBTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の組み合わせによる割り込み発生

24.11 TAUBTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

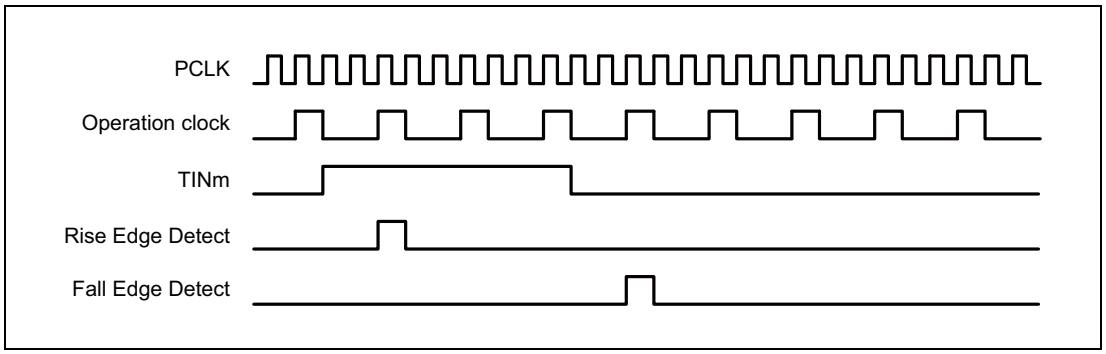


図 24.23　エッジ検出基本動作タイミング

図 24.23 は動作タイミングのイメージです。実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

24.12 チャネル単体動作機能

TAUB の各種単体動作機能を次の項で説明します。単体動作機能の概要は、**「24.2　概要」**を参照してください。

24.12.1　インターバルタイマ機能

24.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み（INTTAUBnIm）を発生する基準タイマとして使用できます。割り込みが発生すると、TAUBTTOUTm 信号はトグルされ、矩形波を出力します。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がトグルされます。その後、TAUBnCDRm の値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUBTTOUTm のトグルも行われません。これにより、TAUBnCMORm.TAUBnMD0 が 1 に設定された場合に対して、反転された TAUBTTOUTm 信号が出力されます。

24.12.1.2 算出式

INTTAUBnIm の周期 = カウントクロック周期 ×（TAUBnCDRm ＋ 1）

TAUBTTOUTm の矩形波周期 = カウントクロック周期 ×（TAUBnCDRm ＋ 1）× 2

24.12.1.3 ブロック図と基本タイミング図

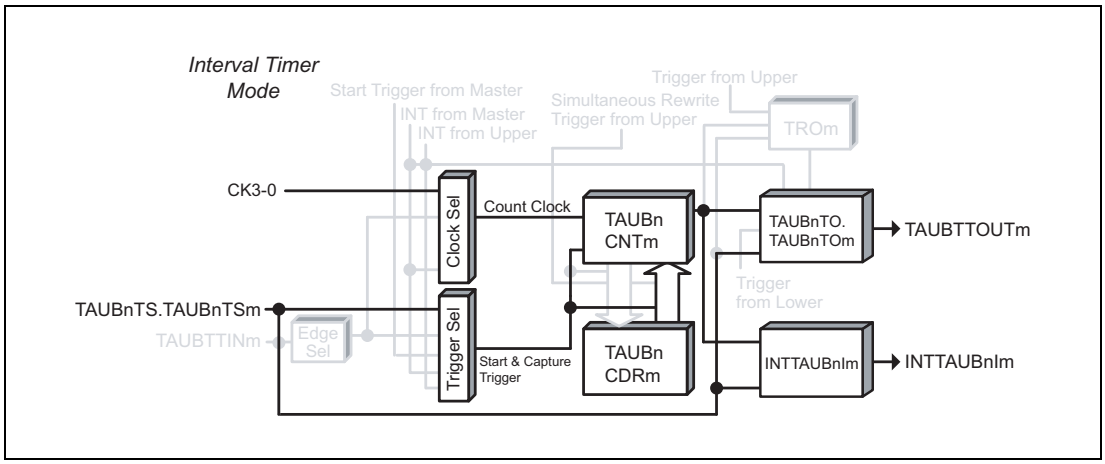


図 24.24 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）

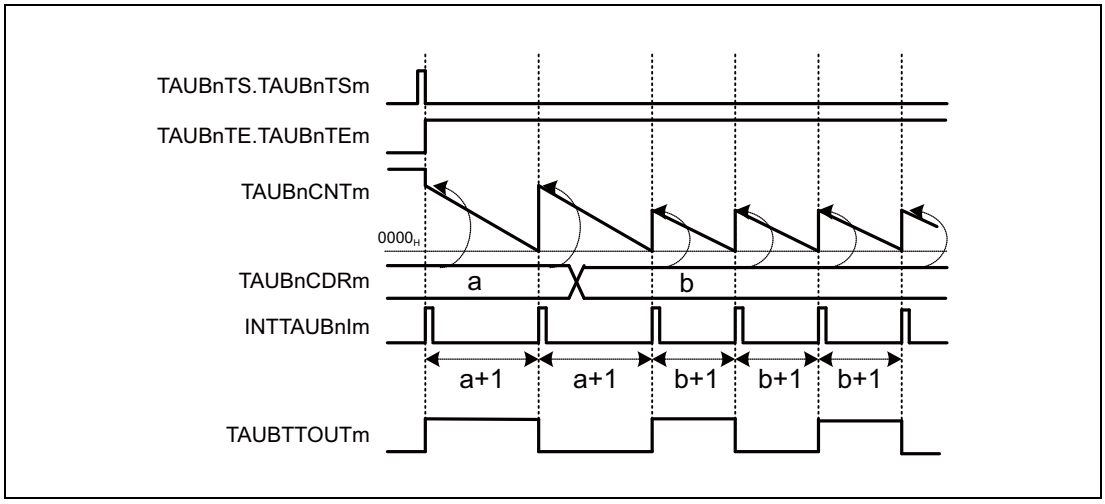


図 24.25 インターバルタイマ機能の基本タイミング図

24.12.1.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.39 インターバルタイマ機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS [2:0]	000_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD [4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生せず、TAUBTTOUTm はトグルされない 1：動作開始または再開時に INTTAUBnIm が発生し、TAUBTTOUTm はトグルされる

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.40 インターバルタイマ機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS [1:0]	00：未使用、00 を設定

(3) チャネル出力モード

表 24.41 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	0_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0_B を書いてください。
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

備 考

チャネル出力モードは、TAUBnTOE.TAUBnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUBTTOUTm を割り込みとは独立させて制御することができます。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.42 インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.1.5 インターバルタイマ機能の操作手順

表 24.43 インターバルタイマ機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを**「表 24.39 インターバルタイマ機能の TAUBnCMORm レジスタの内容」**、**「表 24.40 インターバルタイマ機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを**「表 24.41 チャネル単体出力モード 1 時の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。TAUBnCMORm.TAUBnMD0 = 1 の場合、INTTAUBnIm が発生し、TAUBTTOUTm がトグルされます。
動作中	TAUBnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • 再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 • INTTAUBnIm が発生し、TAUBTTOUTm がトグルされます。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

動作再開

24.12.1.6 特定の設定時のタイミング図

(1) TAUBnCDRm = 0000_H、カウントクロック = PCLK/2

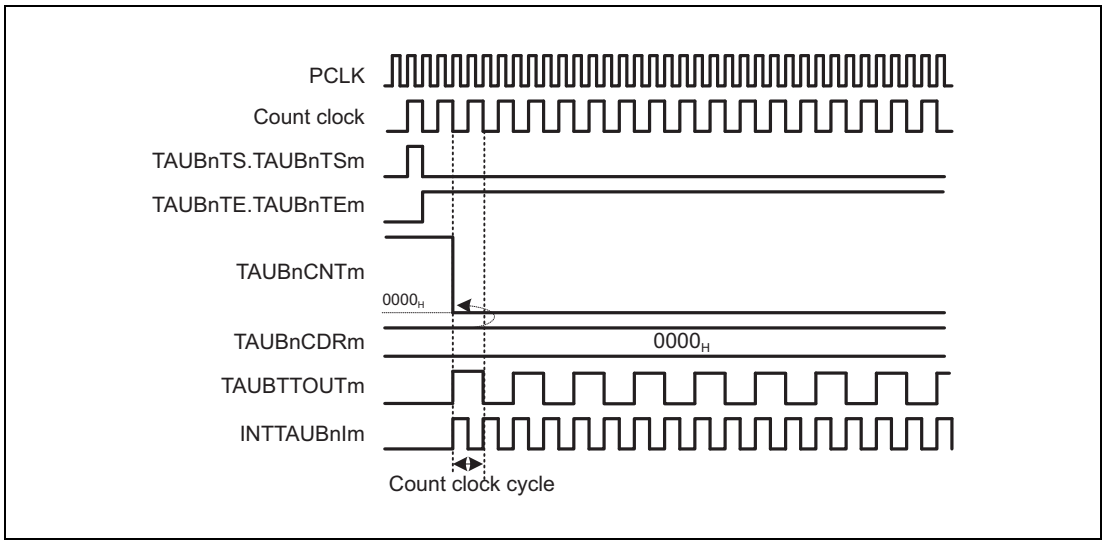


図 24.26 TAUBnCDRm = 0000_H、カウントクロック = PCLK/2

- TAUBnCDRm = 0000_H、かつカウントクロック = PCLK/2 の場合、カウントクロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり、TAUBnCNTm は常に 0000_H です。
- INTTAUBnIm がカウントクロックごとに発生するので、TAUBTTOUTm はカウントクロックごとにトグルされます。

(2) TAUBnCDRm = 0000_H、カウントクロック = PCLK

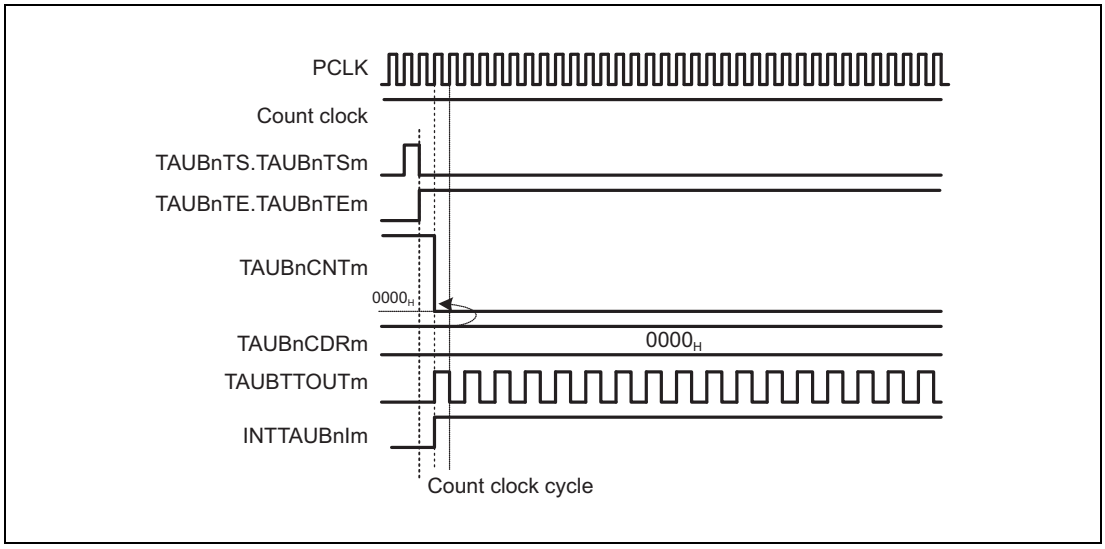


図 24.27　TAUBnCDRm = 0000_H、カウントクロック = PCLK

- TAUBnCDRm = 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり、TAUBnCNTm は常に 0000_H です。
- INTTAUBnIm は、ハイレベル固定になります。1 回目の割り込みは発生しますが、それ以降は発生しません。
  PCLK クロックごとに TAUBTTOUTm がトグルされます。

(3) 動作の停止と再開（TAUBnCMORm.TAUBnMD0 = 1）

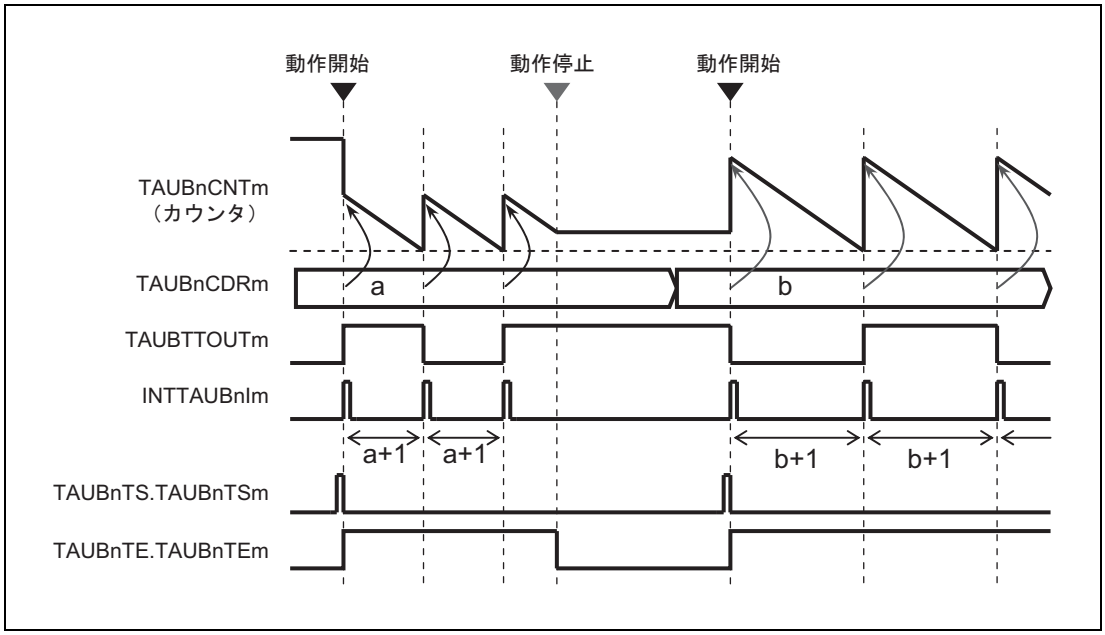


図 24.28 動作の停止と再開（TAUBnCMORm.TAUBnMD0 = 1）

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm と TAUBTTOUTm は停止しますが、値は保持します。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

(4) 動作の停止と再開（TAUBnCMORm.TAUBnMD0 = 0）

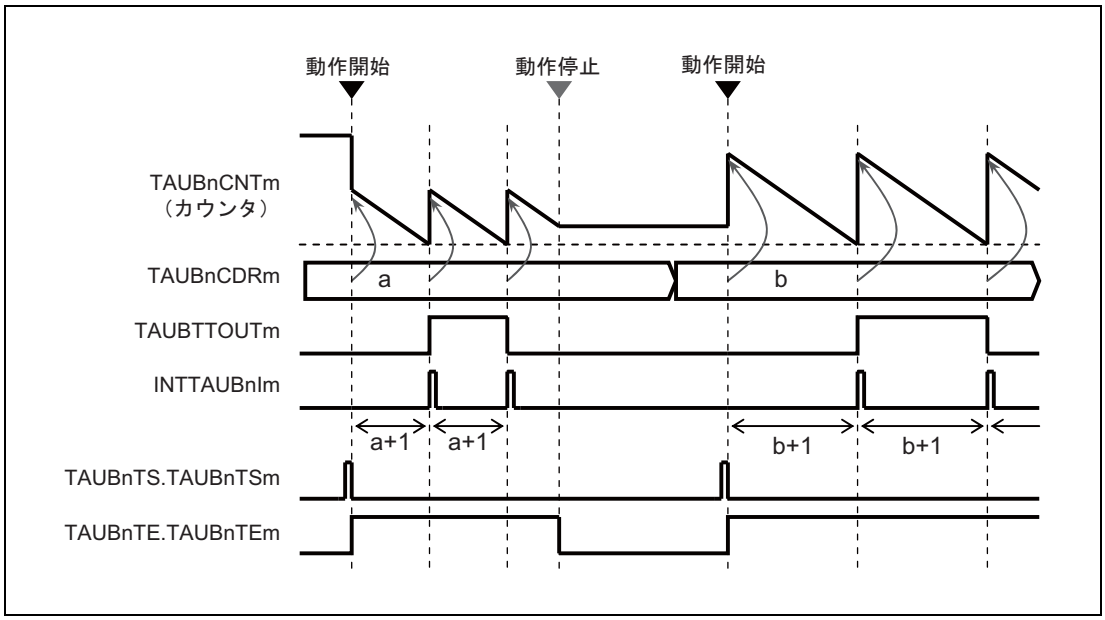


図 24.29 動作の停止と再開（TAUBnCMORm.TAUBnMD0 = 0）

(5) 強制リスタート（TAUBnCMORm.TAUBnMD0 = 1）

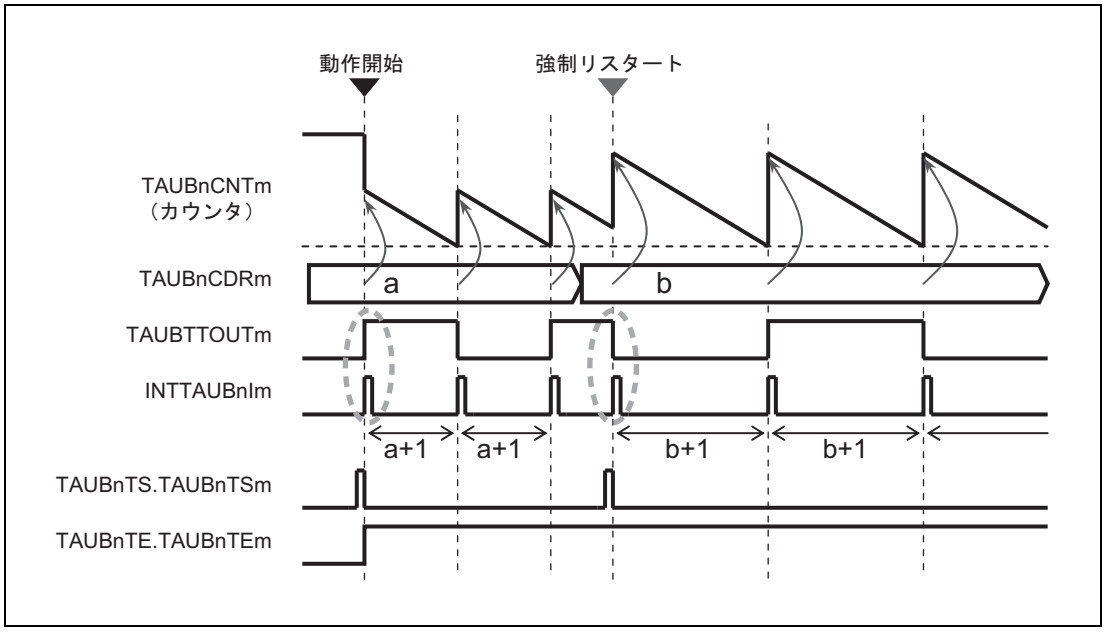


図 24.30 強制リスタート動作（TAUBnCMORm.TAUBnMD0 = 1）

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生し、TAUBTTOUTm はトグル出力します。

(6) 強制リスタート（TAUBnCMORm.TAUBnMD0 = 0）

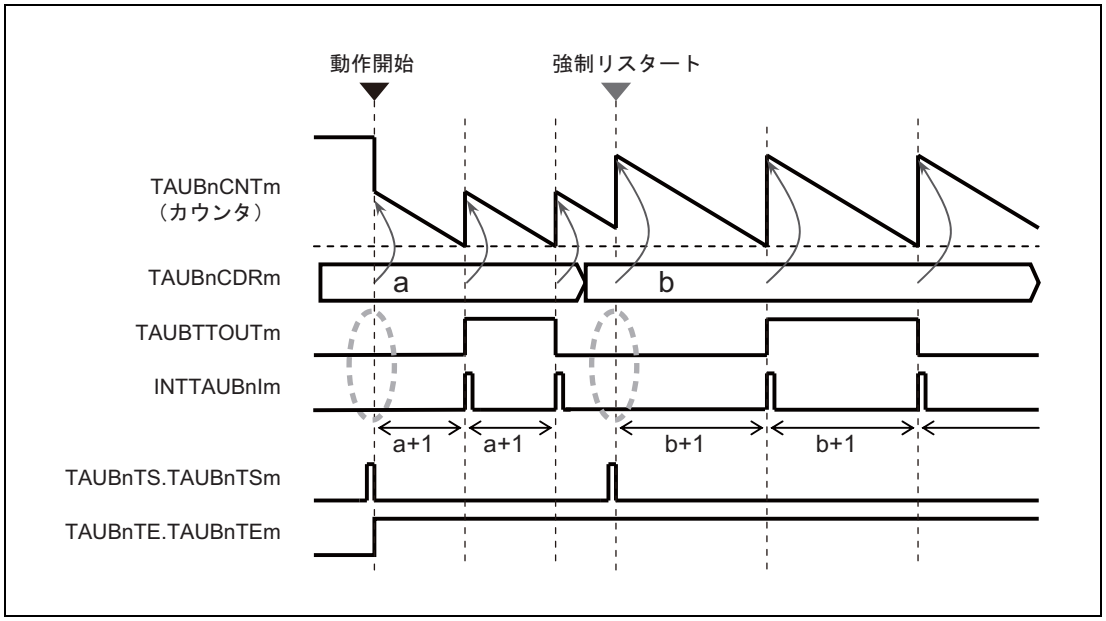


図 24.31　強制リスタート動作（TAUBnCMORm.TAUBnMD0 = 0）

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されると、動作開始または再開時の最初の割り込みは発生せず、TAUBTTOUTm のトグル出力も行われません。

24.12.2 TAUBTTINm 入力インターバルタイマ機能

24.12.2.1 概要

概要

この機能は、一定間隔または有効な TAUBTTINm 入力エッジが検出された場合に、タイマ割り込み（INTTAUBnIm）を発生するための基準タイマとして使用されます。

機能説明

この機能は、チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になるか、有効な TAUBTTINm 入力エッジで、INTTAUBnIm が発生します。その後、TAUBnCDRm の値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

24.12.2.2 ブロック図と基本タイミング図

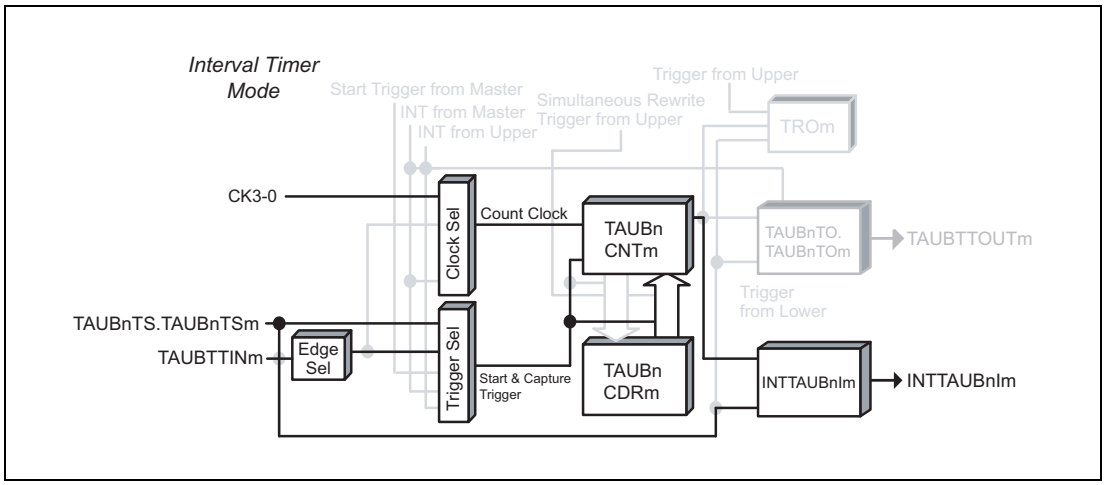


図 24.32 TAUBTTINm 入力インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
- 立ち上がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

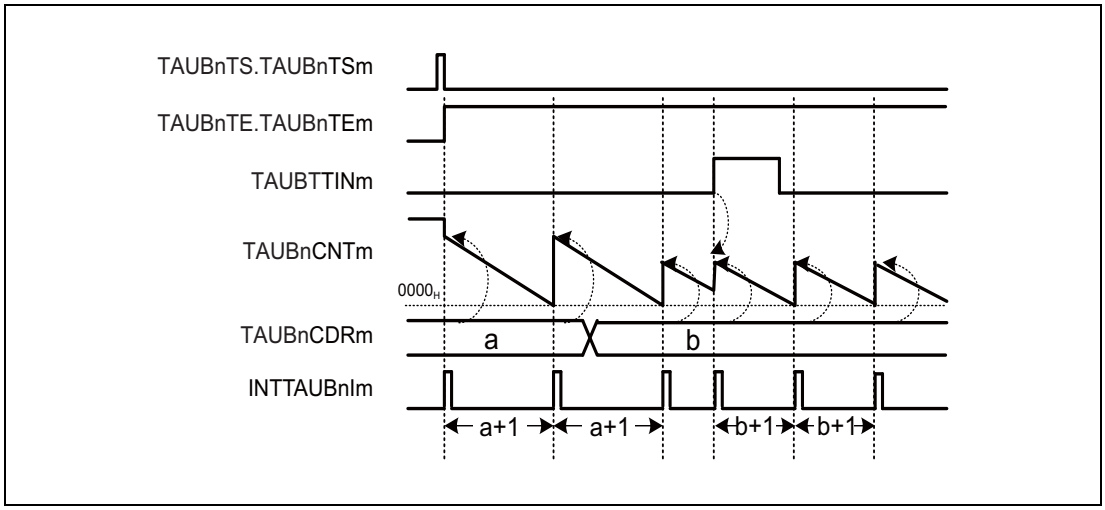


図 24.33 TAUBTTINm 入力インターバルタイマ機能の基本タイミング図

24.12.2.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.44 TAUBTTINm 入力インターバルタイマ機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS [2:0]	001_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD [4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.45 TAUBTTINm 入力インターバルタイマ機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.46 TAUBTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.2.4 TAUBTTINm 入力インターバルタイマ機能の操作手順

表 24.47 TAUBTTINm 入力インターバルタイマ機能

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.44 TAUBTTINm 入力インターバルタイマ機能の TAUBnCMORm レジスタの内容」**と**「表 24.45 TAUBTTINm 入力インターバルタイマ機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。 TAUBnCMORm.TAUBnMD0 = 1 の場合、INTTAUBnIm が発生します。
動作中	TAUBnCMURm.TAUBnTIS[1:0]、TAUBnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。 TAUBTTINm エッジ検出	TAUBnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • 再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 • INTTAUBnIm が発生します。 カウント動作中に TAUBTTINm 入力の有効エッジを検出すると、再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、現在値を保持します。

動作再開

24.12.2.5 特定の設定時のタイミング図

「24.12.1　インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUBTTINm 入力エッジを使用することでカウンタを再開することも可能です。

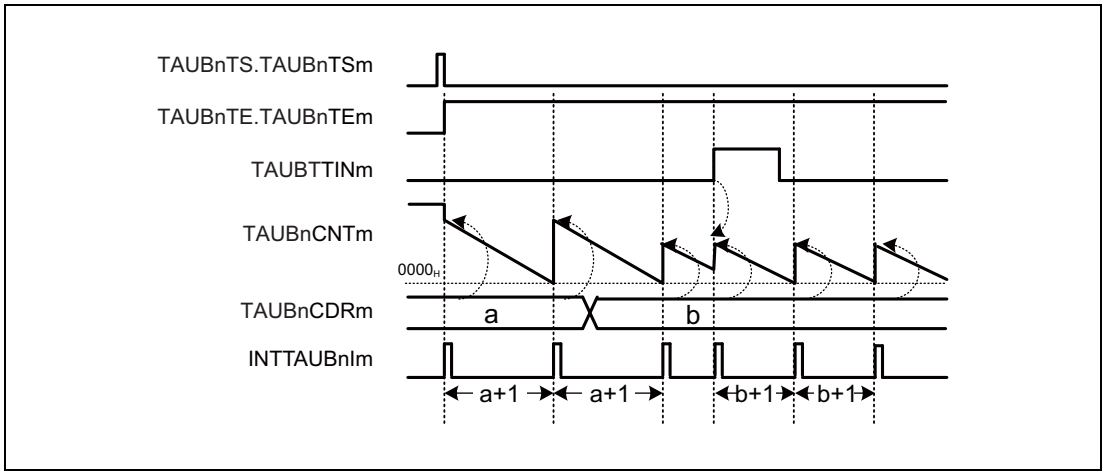


図 24.34　立ち上がり TAUBTTINm 入力エッジ（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）、TAUBnCMORm.TAUBnMD0 = 1 でトリガされたカウンタ

- 有効な TAUBTTINm 入力エッジを検出した場合、割り込み INTTAUBnIm が発生します。この例では、有効エッジは立ち上がりエッジ（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）です。

24.12.3 クロック分周機能

24.12.3.1 概要

概要

この機能は、周波数の分周に使用します。TAUBTTINm 入力信号の周波数を TAUBnCDRm の係数で分周し、割り込み INTTAUBnIm が発生します。

前提条件

- TAUBTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります（**「表 24.48　クロック分周機能の TAUBnCMORm レジスタの内容」**参照）。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタは TAUBTTINm をカウントクロックとして使用し、その TAUBnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUBnIm が発生します。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

備　考

TAUBTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

24.12.3.2 ブロック図と基本タイミング図

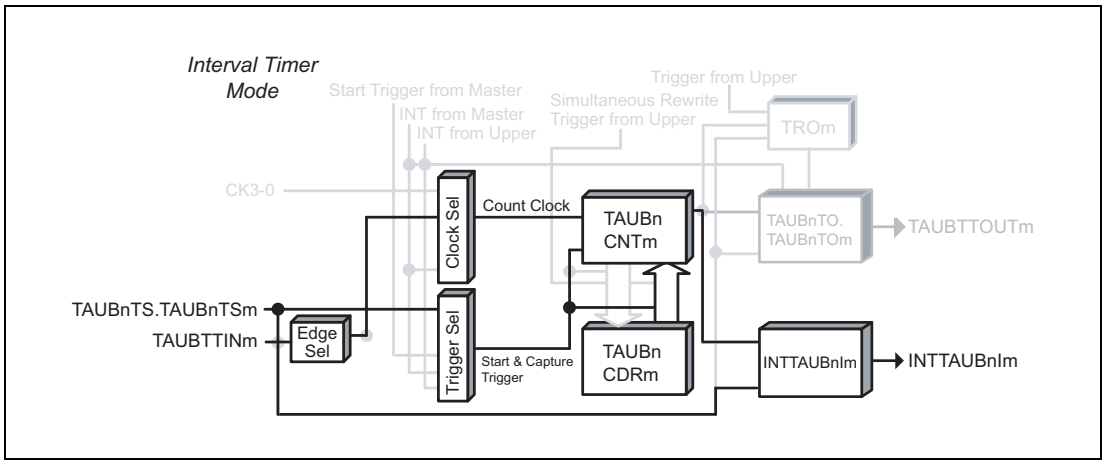


図 24.35 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
- 立ち上がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

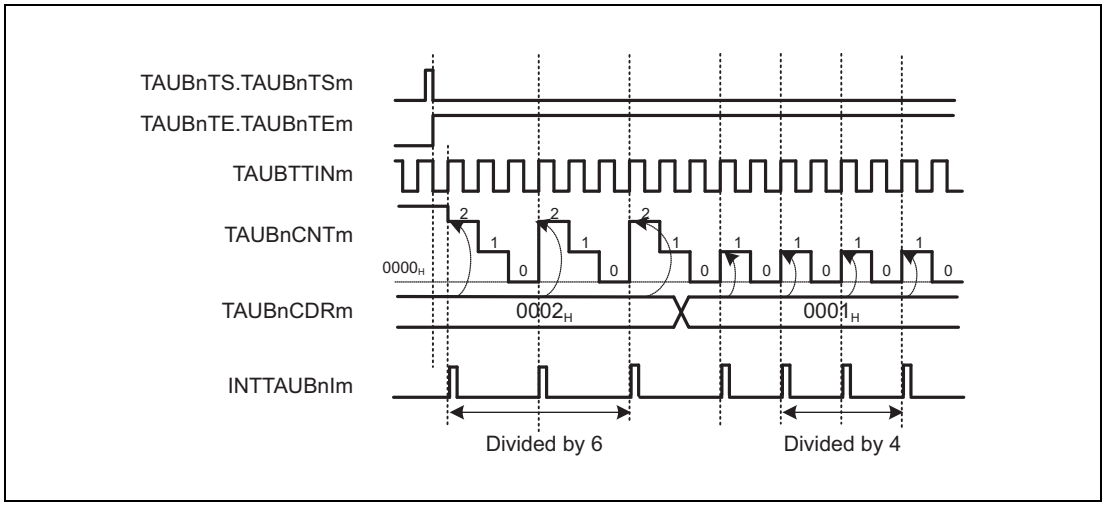


図 24.36 クロック分周機能の基本タイミング図

24.12.3.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.48 クロック分周機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	1_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.49 クロック分周機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、クロック分周機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.50 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.3.4 クロック分周機能の操作手順

表 24.51 クロック分周機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.48 クロック分周機能の TAUBnCMORm レジスタの内容」**と**「表 24.49 クロック分周機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを**「表 24.49 クロック分周機能の TAUBnCMURm レジスタの内容」**に示すように設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードします。TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
動作中	TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBTTINm 入力エッジを検出すると、TAUBnCNTm はダウンカウントを行います。カウンタが 0000_H になった場合： • TAUBnCDRm 値を TAUBnCNTm にロードし、カウント動作を継続します。 • INTTAUBnIm が発生します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

動作再開

24.12.3.5 特定の設定時のタイミング図

(1) TAUBnCDRm = 0000_H

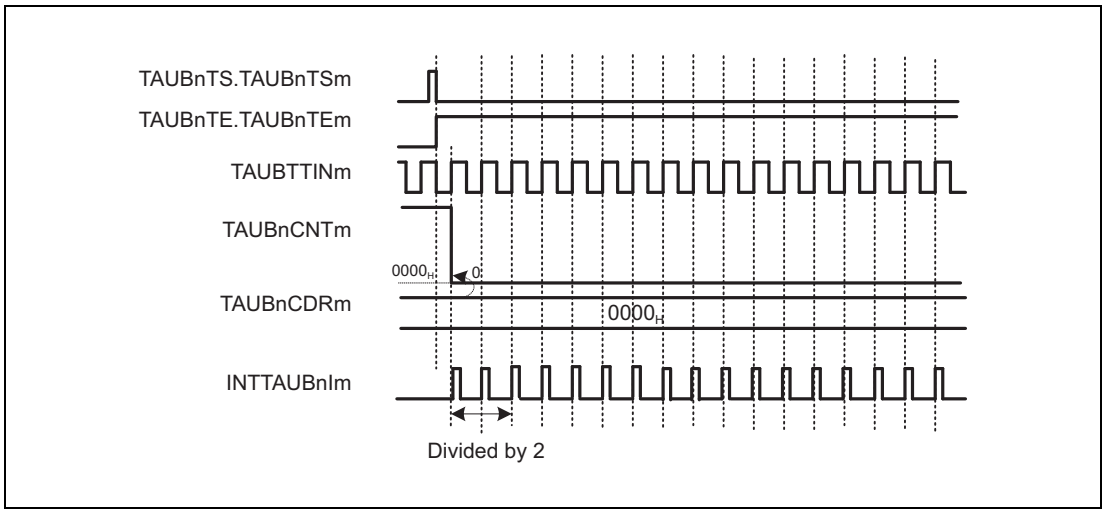


図 24.37 TAUBnCDRm = 0000_H、TAUBnCMORm.TAUBnMD0 = 1、TAUBnCMURm.TAUBnTIS[1:0] = 01_B

- TAUBnCDRm が 0000_H ならば、TAUBnCNTm も必ず 0000_H です。
- INTTAUBnIm がカウントクロックごとに発生します。

図 24.37 は動作タイミングのイメージです。実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間が存在します。

(2) 動作再開

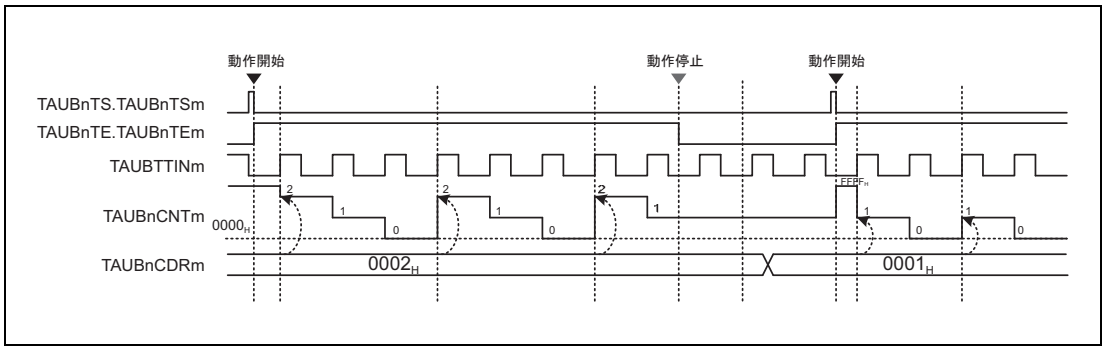


図 24.38 動作再開（TAUBnCMORm.TAUBnMD0 = 1、TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

(3) 強制リスタート

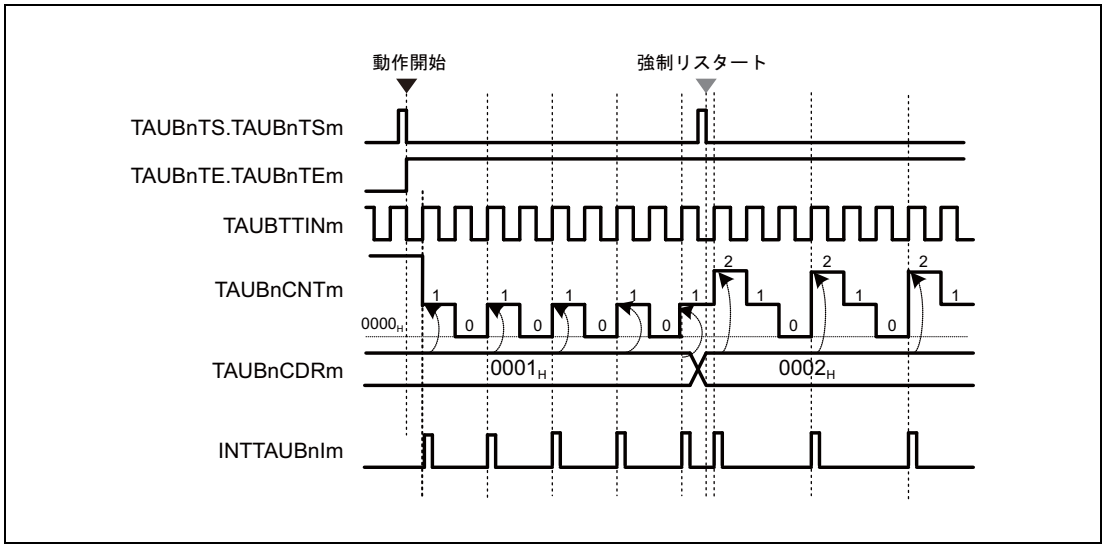


図 24.39 強制リスタート（TAUBnCMORm.TAUBnMD0 = 1、TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

強制リスタート方法を以下に示します。

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUBnCDRm の値が TAUBnCNTm に書き込まれ、カウント動作が再開します。

24.12.4 外部イベントカウント機能

24.12.4.1 概要

概要

この機能は、イベントタイマとして使用します。特定数の TAUBTTINm 入力有効エッジを検出すると割り込み（INTTAUBnIm）を発生します。

前提条件

- 動作モードはイベントカウントモードに設定する必要があります（**「表 24.52 外部イベントカウント機能の TAUBnCMORm レジスタの内容」**参照）。
- この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。

有効な TAUBTTINm 入力エッジを検出すると、TAUBnCNTm 値はデクリメントされます。TAUBnCNTm は、有効な TAUBTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUBnCDRm + 1 検出されると、INTTAUBnIm が発生します。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタ動作を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 00_B のときは、立ち下がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 01_B のときは、立ち上がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 10_B のときは、両エッジがカウントされます。

24.12.4.2 算出式

INTTAUBnIm 発生前に検出される有効エッジ数 = TAUBnCDRm ＋ 1

24.12.4.3 ブロック図と基本タイミング図

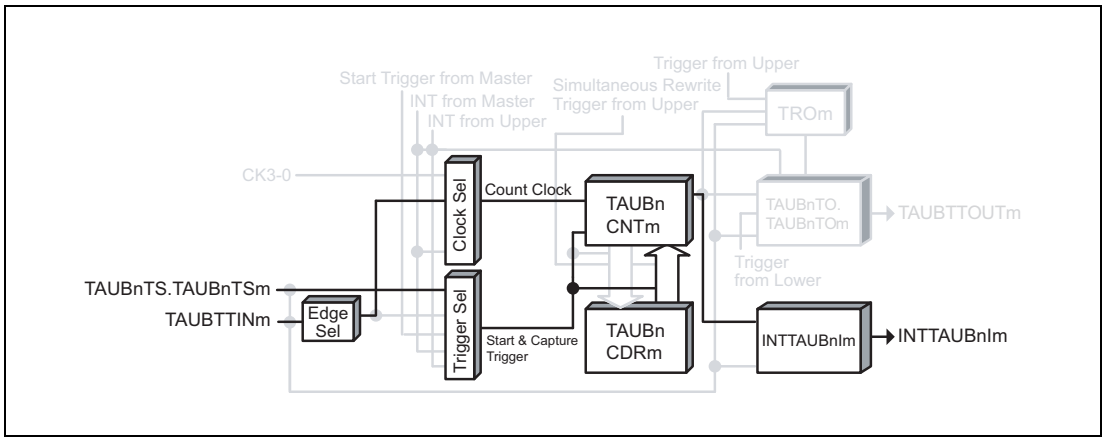


図 24.40 外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

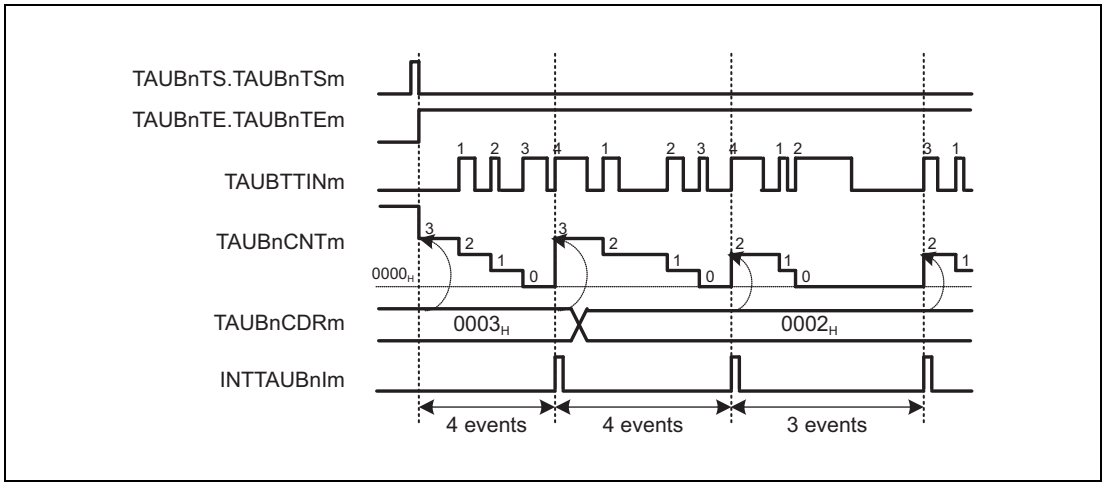


図 24.41 外部イベントカウント機能の基本タイミング図

24.12.4.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.52 外部イベントカウント機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	1_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0011_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.53 外部イベントカウント機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 24.54 外部イベントカウント機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.4.5 外部イベントカウント機能の操作手順

表 24.55 外部イベントカウント機能の操作手順

	操作	TAUBnの状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURmレジスタを、**「表24.52 外部イベントカウント機能のTAUBnCMORmレジスタの内容」**と**「表24.53 外部イベントカウント機能のTAUBnCMURmレジスタの内容」**に示すように設定します。 TAUBnCDRmレジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSmを1に設定します。 TAUBnTS.TAUBnTSmはトリガビットなので、自動的に0にクリアされます。	TAUBnTE.TAUBnTEmが1に設定され、カウントが開始されます。 TAUBnCNTmはTAUBnCDRm値をロードし、TAUBTTINm入力エッジ検出を待ちます。
動作中	TAUBTTINmエッジ検出 TAUBnCDRm値は任意のタイミングで変更可能です。 TAUBnCNTmレジスタは任意のタイミングで読み出し可能です。	TAUBnCNTmはTAUBTTINm入力エッジを検出するたびに、ダウンカウントを行います。有効エッジがTAUBnCDRm + 1検出された場合： • TAUBnCDRm値をTAUBnCNTmにロードし、カウント動作を継続します。 • INTTAUBnImが発生します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTmを1に設定します。 TAUBnTT.TAUBnTTmはトリガビットなので、自動的に0にクリアされます。	TAUBnTE.TAUBnTEmが0にクリアされ、カウンタ動作が停止します。 TAUBnCNTmが停止し、現在値を保持します。

動作再開

24.12.4.6 特定の設定時のタイミング図

(1) TAUBnCDRm = 0000_H

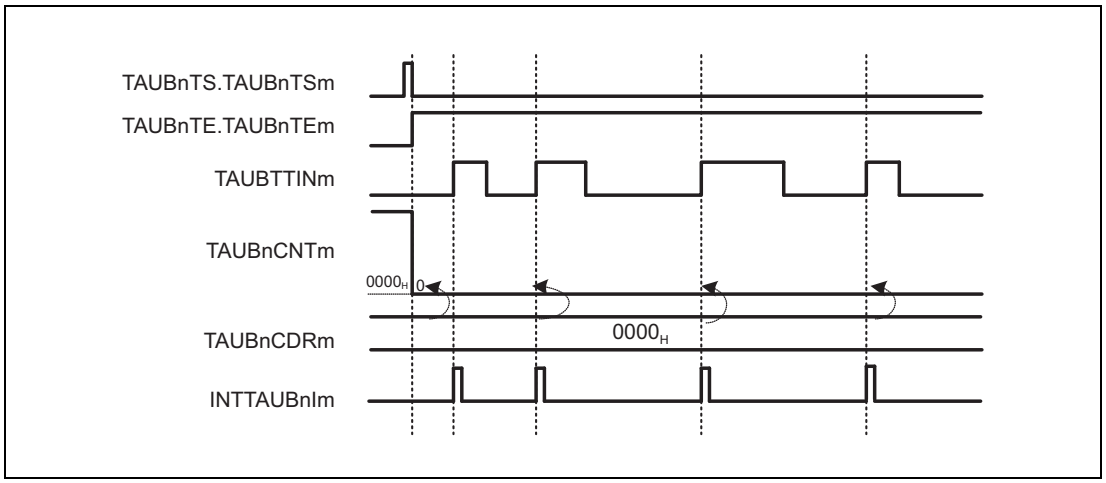


図 24.42 TAUBnCDRm = 0000_H、TAUBnCMURm.TAUBnTIS[1:0] = 01_B

- 0000_H = TAUBnCDRm の場合、有効な TAUBTTINm 入力エッジが検出されるたびに 0000_H が TAUBnCNTm にロードされます。

  つまり、有効な TAUBTTINm 入力エッジが検出されるたびに、INTTAUBnIm が発生します。

(2) 動作の停止と再開

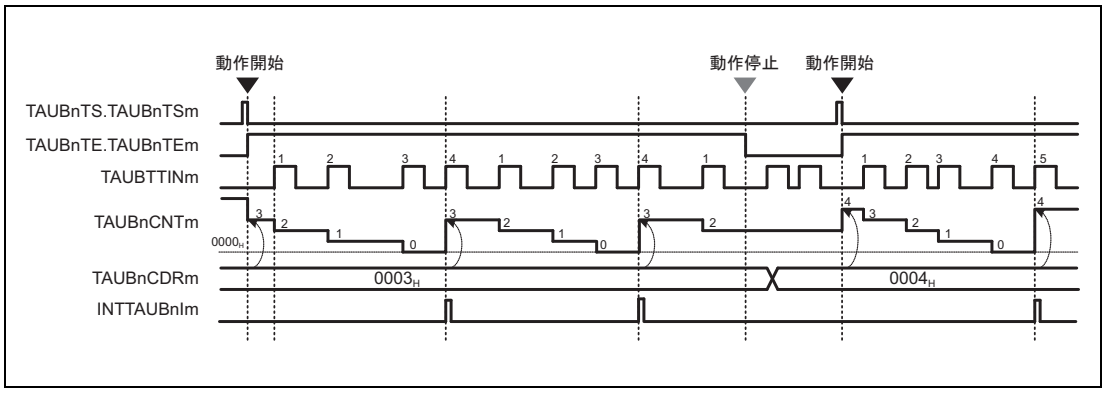


図 24.43 動作の停止と再開（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。TAUBTTINm は継続し、TAUBnCNTm は有効エッジを無視します。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は TAUBnCDRm 値をロードし、カウント動作を再開します。

(3) 強制リスタート

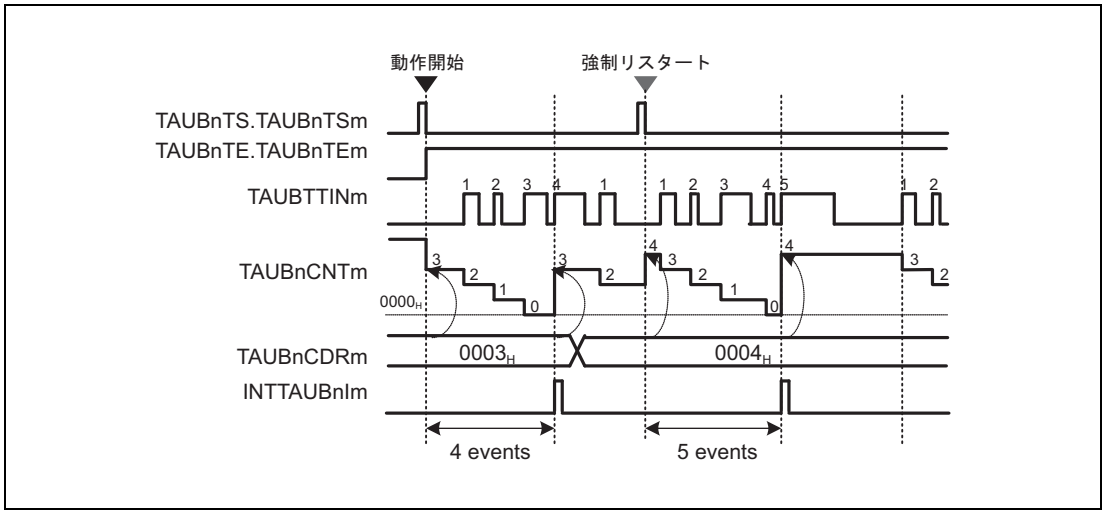


図 24.44 強制リスタート（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

強制リスタートを行うと、変更した TAUBnCDRm の値が TAUBnCNTm に適用されます。

- 動作中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUBnCDRm の値が TAUBnCNTm にロードされ、カウンタは次の有効な TAUBTTINm 入力エッジを待ちます。

24.12.5 ワンパルス出力機能

24.12.5.1 概要

概要

この機能は、有効な TAUBTTINm 入力エッジ検出時とその後一定の間隔で、割り込み（INTTAUBnIm）を発生します。定められた期間内に発生する TAUBTTINm 入力信号パルスは無視されます。

前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります。（**「表 24.56　ワンパルス出力機能の TAUBnCMORm レジスタの内容」**参照）。
- カウント動作中は、トリガ検出を禁止（TAUBnCMORm.TAUBnMD0 = 0）にする必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

有効な TAUBTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUBnCDRm の値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始し、割り込みが発生します。

カウンタが 0001_H になると、割り込みが発生します。カウンタは 0000_H で動作を停止し、次の有効な TAUBTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUBTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

24.12.5.2 算出式

TAUBTTINm-INTTAUBnIm の間隔 = カウントクロック周期 × TAUBnCDRm

24.12.5.3 ブロック図と基本タイミング図

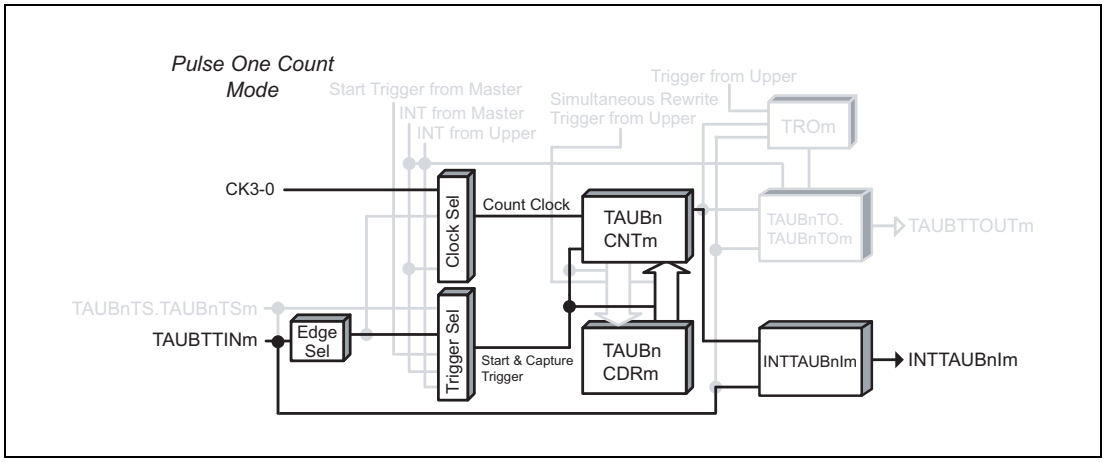


図 24.45 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

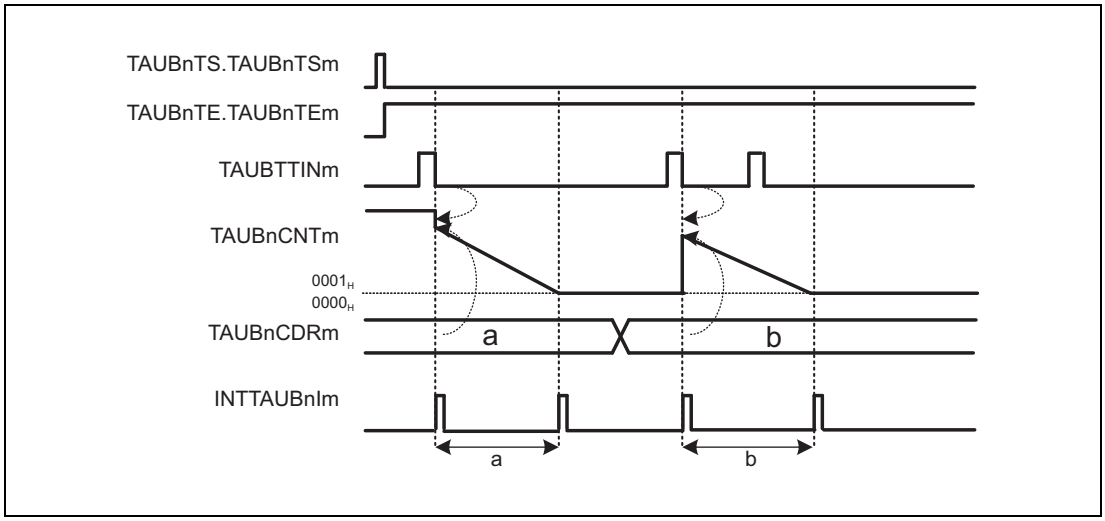


図 24.46 ワンパルス出力機能の基本タイミング図

24.12.5.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.56 ワンパルス出力機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBn MAS	0_B を書いてください。
10 ～ 8	TAUBnSTS [2:0]	001_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD [4:1]	1010_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.57 ワンパルス出力機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.58 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.5.5 ワンパルス出力機能の操作手順

表 24.59 ワンパルス出力機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.56 ワンパルス出力機能の TAUBnCMORm レジスタの内容」**と**「表 24.57 ワンパルス出力機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUBTTINm スタートエッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUBnCNTm は TAUBnCDRm の値をロードします。
動作中	TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm の開始時に INTTAUBnIm が発生します。 TAUBnCNTm がダウンカウントを行います。カウンタが 0001_H になった場合、INTTAUBnIm が発生します。 TAUBnCNTm はカウントを停止し、トリガを待ちます。 TAUBnCNTm のカウント中に発生するトリガは無視されます。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、現在値を保持します。

動作再開

24.12.6 TAUBTTINm 入力パルスインターバル測定機能

24.12.6.1 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUBnCSRm.TAUBnOVF を使用して TAUBTTINm 入力信号の間隔を測定します。

前提条件

- この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタ TAUBnCNTm は、0000_H からカウントを開始します。有効な TAUBTTINm エッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。

有効な TAUBTTINm エッジを検出する前にカウンタが $FFFF_H$ に達すると、カウンタは 0000_H にオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUBnCDRm、TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 24.60 オーバフローの影響

TAUBnCMORm. COS[1:0]	オーバフローが発生した場合		その後、有効な TAUBTTINm 入力が検出された場合	
	TAUBnCDRm	TAUBnCSRm. TAUBnOVF	TAUBnCDRm、TAUBnCNTm	TAUBnCSRm. TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm にロードされる	1
01		1		
10	$FFFF_H$ に設定	0	TAUBnCNTm は 0 に設定され、TAUBnCDRm は変更されない	変化しない
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき、オーバフロービット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBTTINm 信号の間隔を推定できます。ただし、有効な TAUBTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示せません。

TAUBnTT.TAUBnTTm = 1 を設定すると機能を停止できます。これにより、TAUBnTE.TAUBnTEm = 0 が設定されます。TAUBnCNTm が停止し、値を保持します。機能停止中、有効な TAUBTTINm 入力エッジの検出と TAUBnCNTm のキャプチャは行われません。

カウンタは、0000_H にリセットされ、その後動作を継続します。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

備　考

TAUBnCMORm.TAUBnCOS[1:0] = 10_B, 11_B の場合、オーバフロー後の最初の有効な TAUBTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

24.12.6.2 算出式

TAUBTTINm 入力パルスインターバル = カウントクロック周期 ×
[（TAUBnCSRm.TAUBnOVF × ($FFFF_H$ ＋ 1)）＋ TAUBnCDRm キャプチャ値＋ 1]

24.12.6.3 ブロック図と基本タイミング図

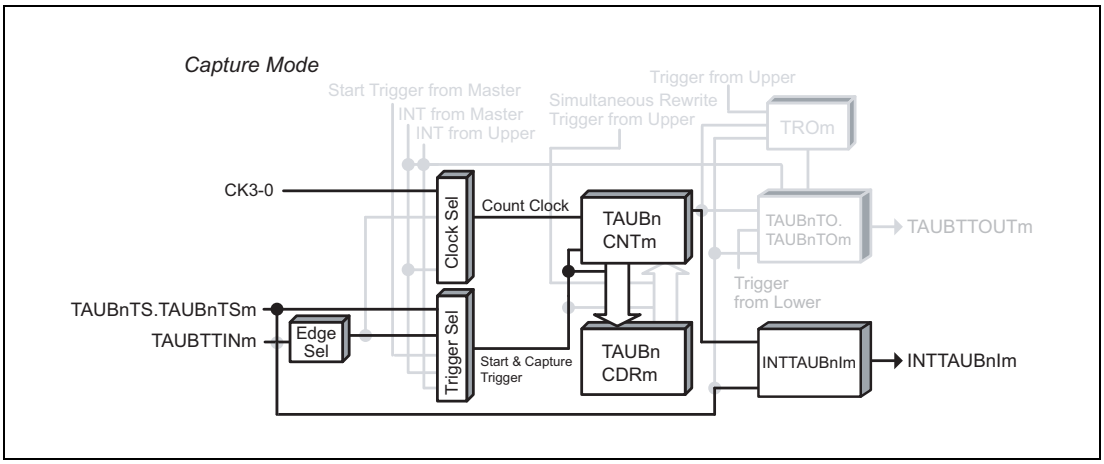


図 24.47 TAUBTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）
- オーバフロー後に有効な TAUBTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する（TAUBnCMORm.TAUBnCOS[1:0] = 00_B）

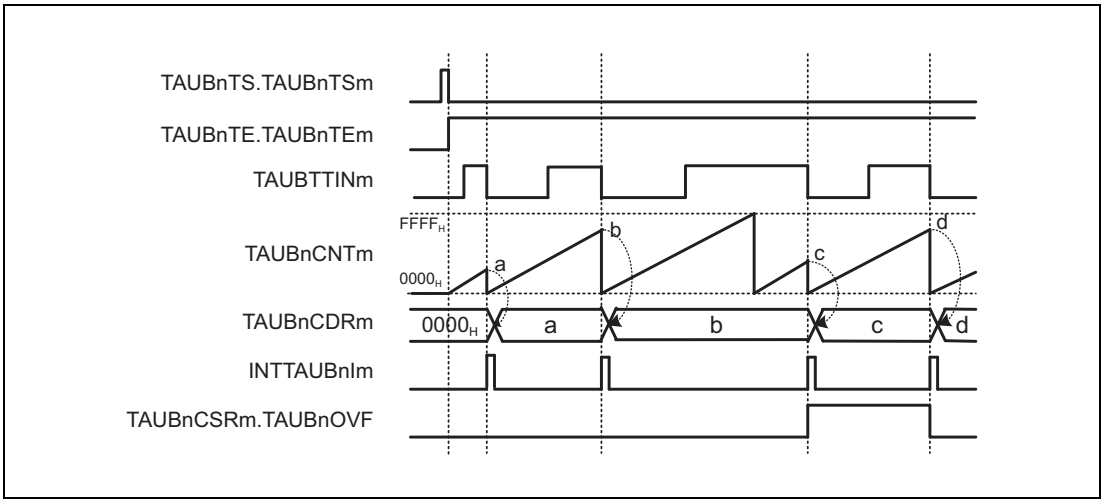


図 24.48 TAUBTTINm 入力パルスインターバル測定機能の基本タイミング図

24.12.6.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.61 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS [2:0]	001_B を書いてください。
7、6	TAUBnCOS [1:0]	**「表 24.60 オーバフローの影響」**を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD [4:1]	0010_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.62 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力パルスインターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.63 TAUBTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.6.5 TAUBTTINm 入力パルスインターバル測定機能の操作手順

表 24.64 TAUBTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.61 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMORm レジスタの内容」**と**「表 24.62 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm が 0000_H にクリアされます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
動作中	TAUBTTINm エッジ検出 TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm、TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV ビットの 1 書き込みが可能。（TAUBnCSRm.TAUBnOVF ビットを 0 にクリア）	TAUBnCNTm は、0000_H からアップカウントを開始します。TAUBTTINm の有効エッジ検出時： • TAUBnCNTmが自身の値をTAUBnCDRmに転送（キャプチャ）して、0000_H に戻ります。 • その後、INTTAUBnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

動作再開

24.12.6.6 特定の設定時のタイミング図：オーバフロー動作

(1) TAUBnCMORm.TAUBnCOS[1:0] = 00_B

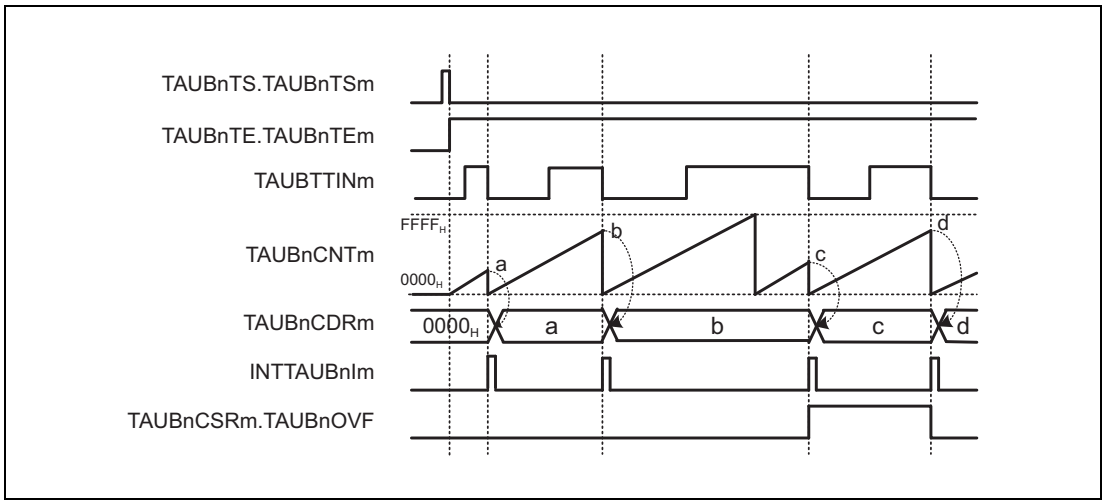


図 24.49 TAUBnCMORm.TAUBnCOS[1:0] = 00_B、TAUBnCMORm.TAUBnMD0 = 0、TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

(2) TAUBnCMORm.TAUBnCOS[1:0] = 01_B

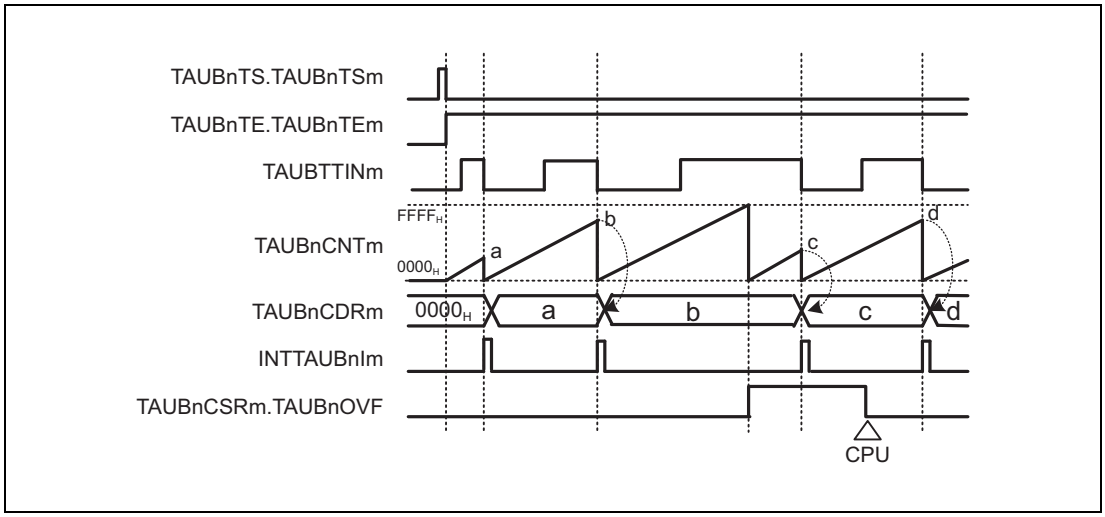


図 24.50 TAUBnCMORm.TAUBnCOS[1:0] = 01_B、TAUBnCMORm.TAUBnMD0 = 0、TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド（TAUBnCSCm.TAUBnCLOV ビット = 1 のセット）でのみクリアされます。

(3) TAUBnCMORm.TAUBnCOS[1:0] = 10_B

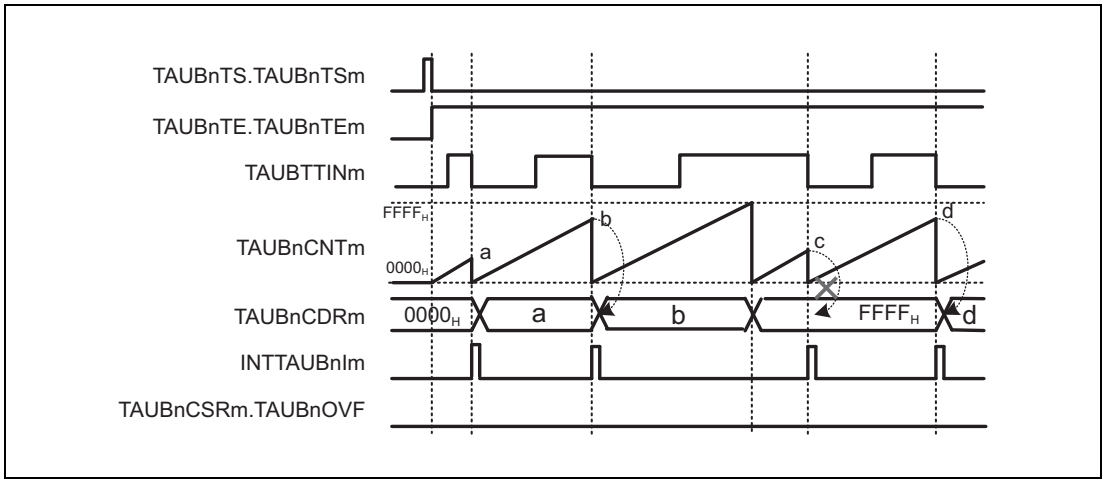


図 24.51 TAUBnCMORm.TAUBnCOS[1:0] = 10_B、TAUBnCMORm.TAUBnMD0 = 0、TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm は $FFFF_H$ に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効なTAUBTTINm入力エッジが検出されると、TAUBnCNTmが0にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。

(4) TAUBnCMORm.TAUBnCOS[1:0] = 11_B

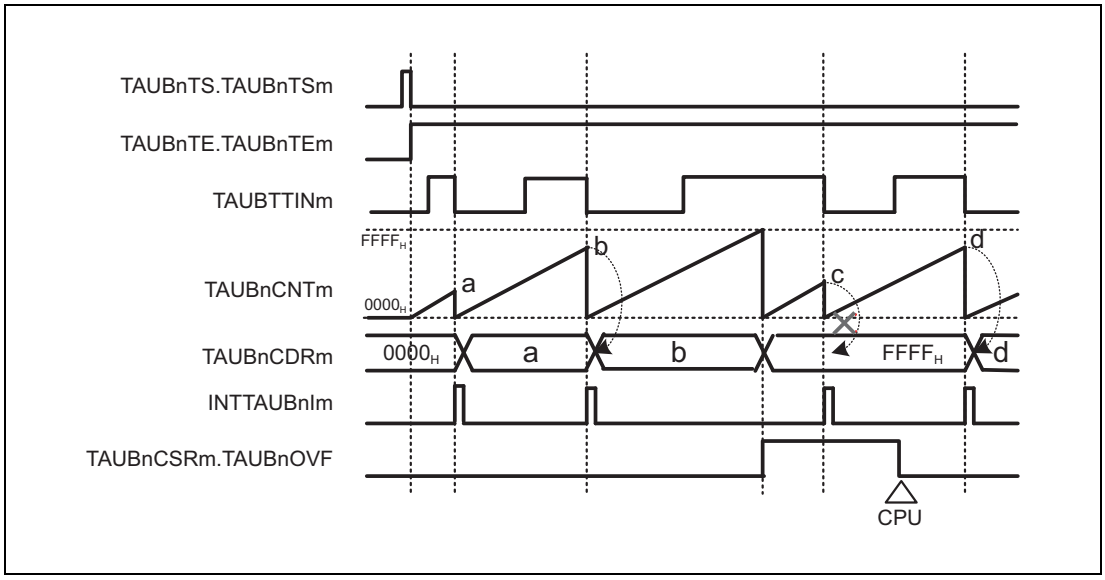


図 24.52 TAUBnCMORm.TAUBnCOS[1:0] = 11_B、TAUBnCMORm.TAUBnMD0 = 0、TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm は $FFFF_H$ に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効なTAUBTTINm入力エッジが検出されると、TAUBnCNTmが0にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

(5) 両エッジ検出（TAUBnCMORm.TAUBnMD0 = 1）

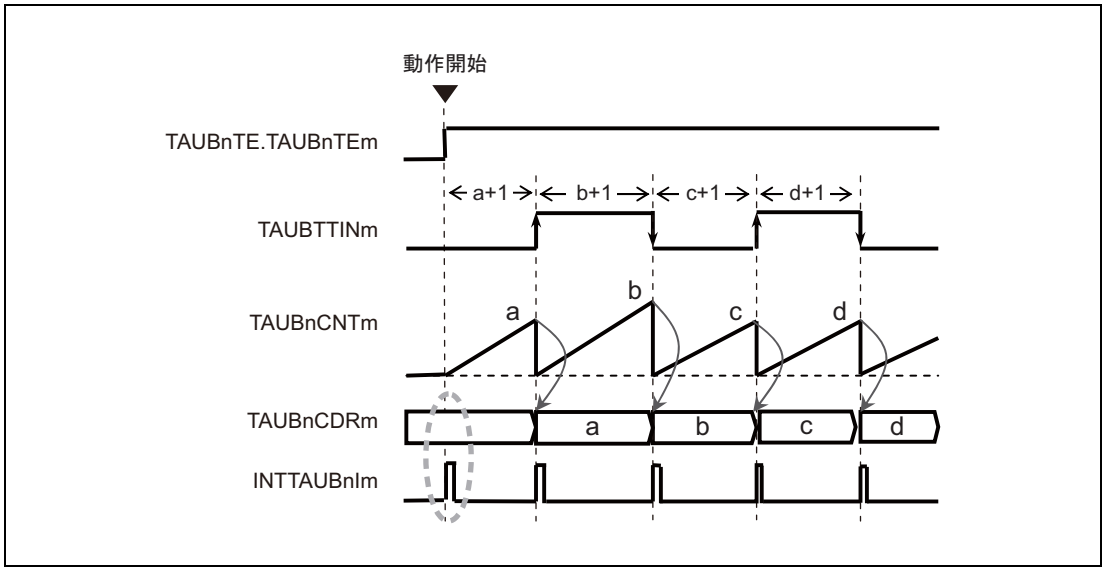


図 24.53　TAUBnCMORm.TAUBnMD0 = 1

TAUBnCMURm.TAUBnTIS[1:0] = 10_B に設定（両エッジ検出を選択）することにより、TAUBTTINm の立ち上がり／立ち下がりエッジの間隔を測定します。

(6) 動作停止およびリスタート（TAUBnCMORm.TAUBnMD0 = 0）

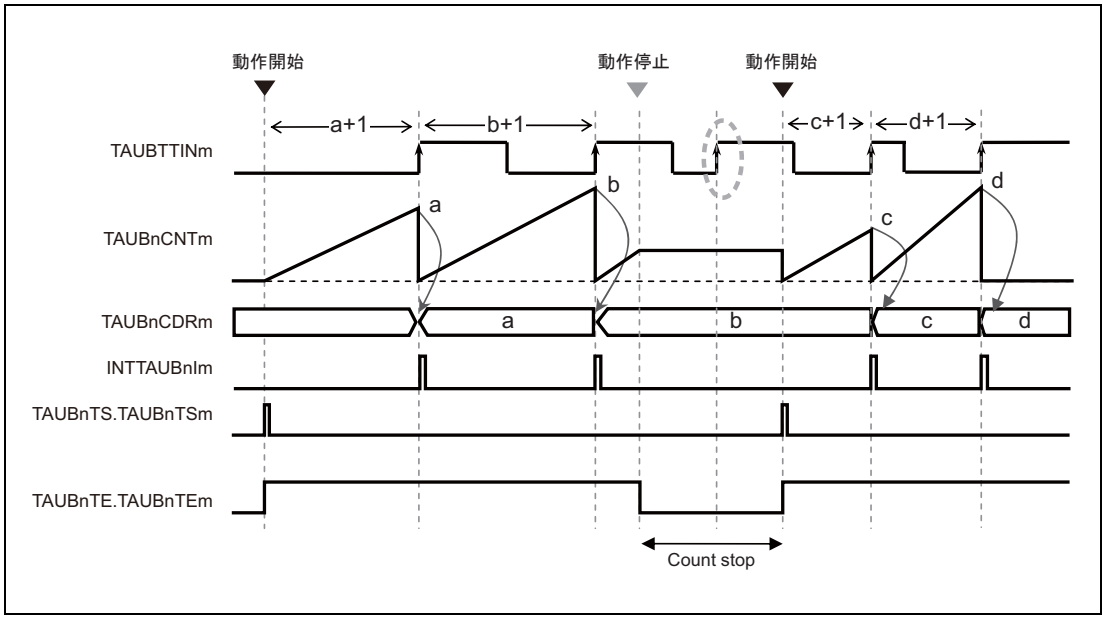


図 24.54 動作の停止と再開（TAUBnCMORm.TAUBnMD0 = 0）

TAUBnTT.TAUBnTTm を 1 に設定することによって TAUBnTE.TAUBnTEm が 0 にクリアされ、カウント動作を停止します。このとき、TAUBnCNTm は状態を保持して停止します。

TAUBnTE.TAUBnTEm が 0 を保持（動作を停止）しているとき、TAUBTTINm 入力は無視されます（エッジ検出は無視され、キャプチャ動作は行われません）。

TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタは 0000_H にクリアされ、カウントアップを再開します。

24.12.7 TAUBTTINm 入力信号幅測定機能

24.12.7.1 概要

概要

この機能は、TAUBTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUBTTINm の信号幅を測定できます。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。有効な TAUBTTINm スタートエッジが検出されると、カウンタ TAUBnCNTm は、0000_H からカウントを開始します。有効な TAUBTTINm ストップエッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは値（TAUBnCDRm + 1）を保持し、次の有効な TAUBTTINm 入力スタートエッジを待ちます。

有効な TAUBTTINm ストップエッジを検出する前にカウンタが $FFFF_H$ に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUBnCDRm、TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 24.65 オーバフローの影響

TAUBnCMORm. COS[1:0]	オーバフローが発生した場合		有効な TAUBTTINm 入力ストップエッジの検出時	
	TAUBnCDRm	TAUBnCSRm. TAUBnOVF	TAUBnCDRm、TAUBnCNTm	TAUBnCSRm. TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm にロードされる	1
01		1		
10	$FFFF_H$ に設定	0	TAUBnCNTm はカウントを停止 TAUBnCDRm は変更されない	変化しない
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき、オーバフロービット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBTTINm 信号の幅を推定できます。ただし、有効な TAUBTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備　考

TAUBnCMORm.TAUBnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUBTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

24.12.7.2 算出式

TAUBTTINm 入力信号幅＝カウントクロック周期×
[（TAUBnCSRm.TAUBnOVF ×（$FFFF_H$ ＋ 1））＋ TAUBnCDRm キャプチャ値＋ 1]

24.12.7.3 ブロック図と基本タイミング図

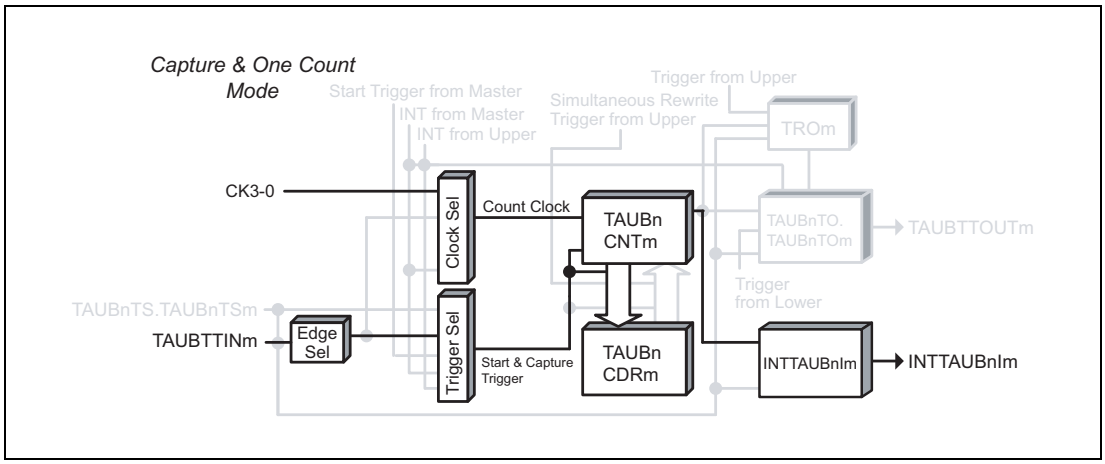


図 24.55 TAUBTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）
- オーバフロー後に有効な TAUBTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する（TAUBnCMORm.TAUBnCOS[1:0] = 00_B）

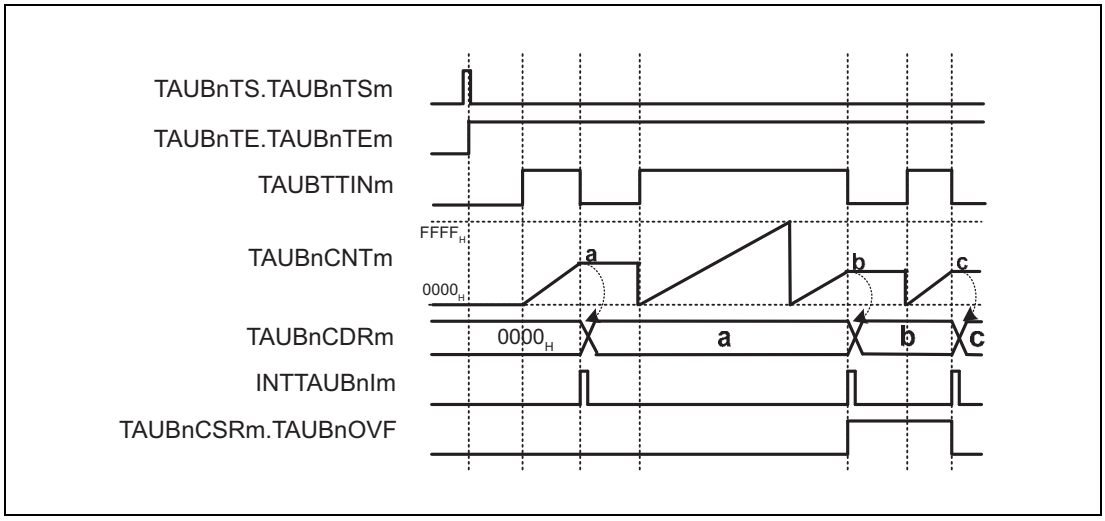


図 24.56 TAUBTTINm 入力信号幅測定機能の基本タイミング図

24.12.7.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.66 TAUBTTINm 入力信号幅測定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	010_B を書いてください。
7、6	TAUBnCOS [1:0]	**「表 24.65 オーバフローの影響」**を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0110_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.67 TAUBTTINm 入力信号幅測定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.68 TAUBTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.7.5 TAUBTTINm 入力信号幅測定機能の操作手順

表 24.69 TAUBTTINm 入力信号幅測定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.66 TAUBTTINm 入力信号幅測定機能の TAUBnCMORm レジスタの内容」**と**「表 24.67 TAUBTTINm 入力信号幅測定機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。 TAUBTTINm スタートエッジを検出すると、TAUBnCNTm はアップカウントを開始します。
動作中	TAUBnCDRm、TAUBnCNTm、TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV ビットは、1 にセット可能です。	TAUBnCNTm は、0000_H からアップカウントを開始します。TAUBTTINm の有効エッジ検出時： • TAUBnCNTmが自身の値をTAUBnCDRmに転送（キャプチャ）して、その値を保持し、 • INTTAUBnIm が発生します。 • カウントはTAUBnCDRm に転送した値 + 1 の値で停止し、TAUBnCNTm は TAUBTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

動作再開

24.12.7.6 特定の設定時のタイミング図：オーバフロー動作

(1) TAUBnCMORm.TAUBnCOS[1:0] = 00_B

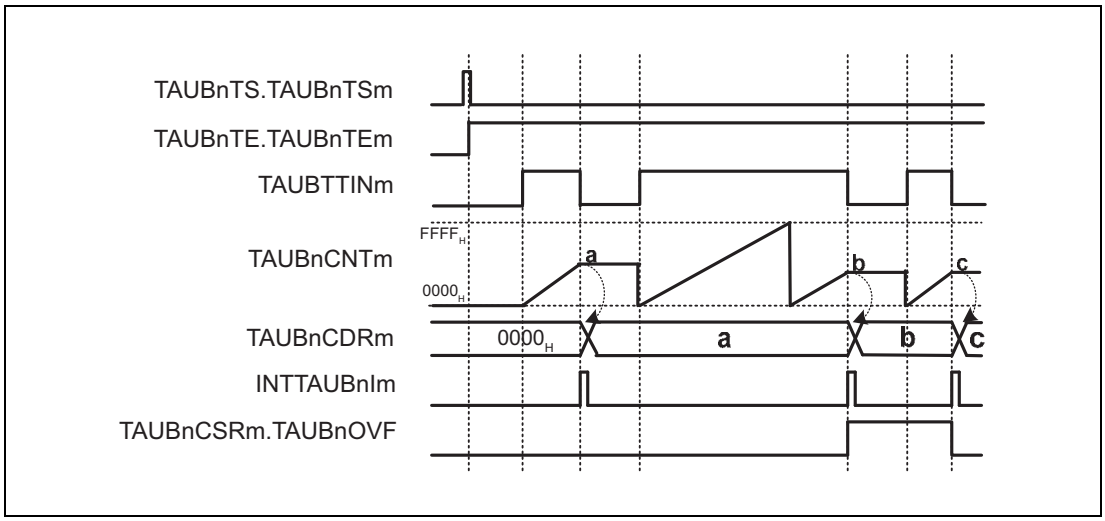


図 24.57 TAUBnCMORm.TAUBnCOS[1:0] = 00_B、TAUBnCMORm.TAUBnMD0 = 0、TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

(2) TAUBnCMORm.TAUBnCOS[1:0] = 01_B

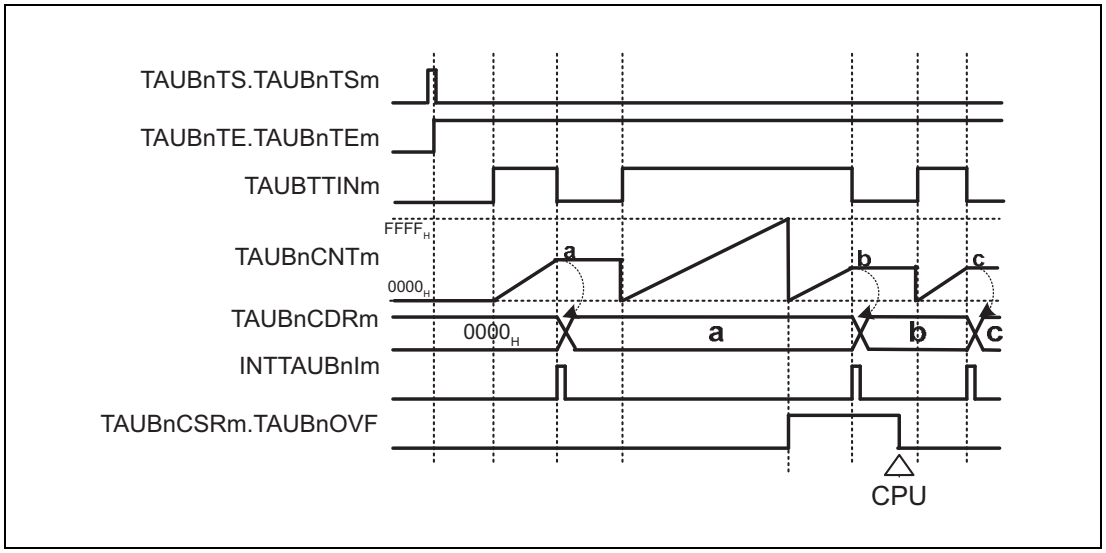


図 24.58 TAUBnCMORm.TAUBnCOS[1:0] = 01_B、TAUBnCMORm.TAUBnMD0 = 0、TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド（TAUBnCSCm.TAUBnCLOV ビット = 1 のセット）でのみクリアされます。

(3) TAUBnCMORm.TAUBnCOS[1:0] = 10_B

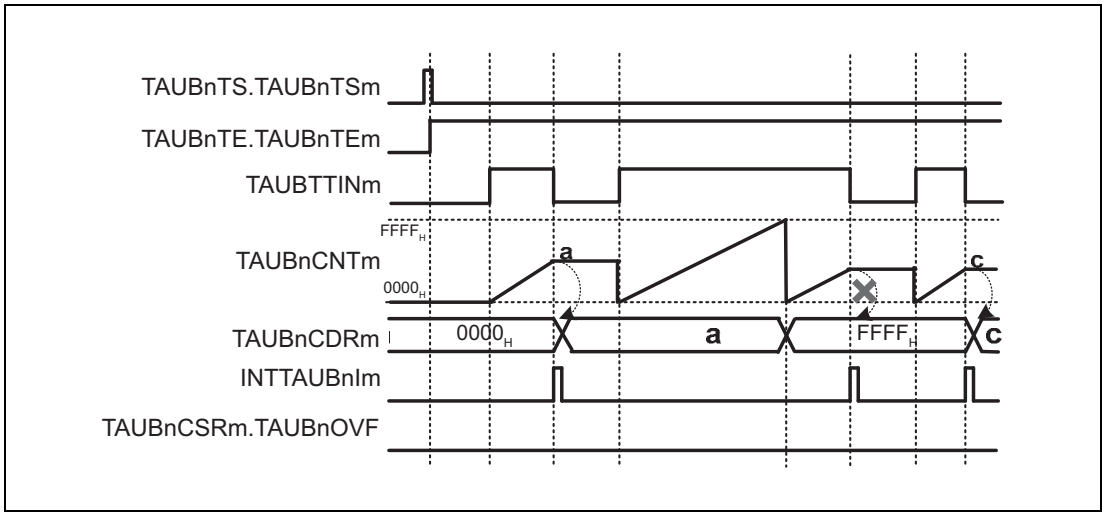


図 24.59 TAUBnCMORm.TAUBnCOS[1:0] = 10_B、TAUBnCMORm.TAUBnMD0 = 0、TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm は $FFFF_H$ に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm がカウントを停止し、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。

(4) TAUBnCMORm.TAUBnCOS[1:0] = 11_B

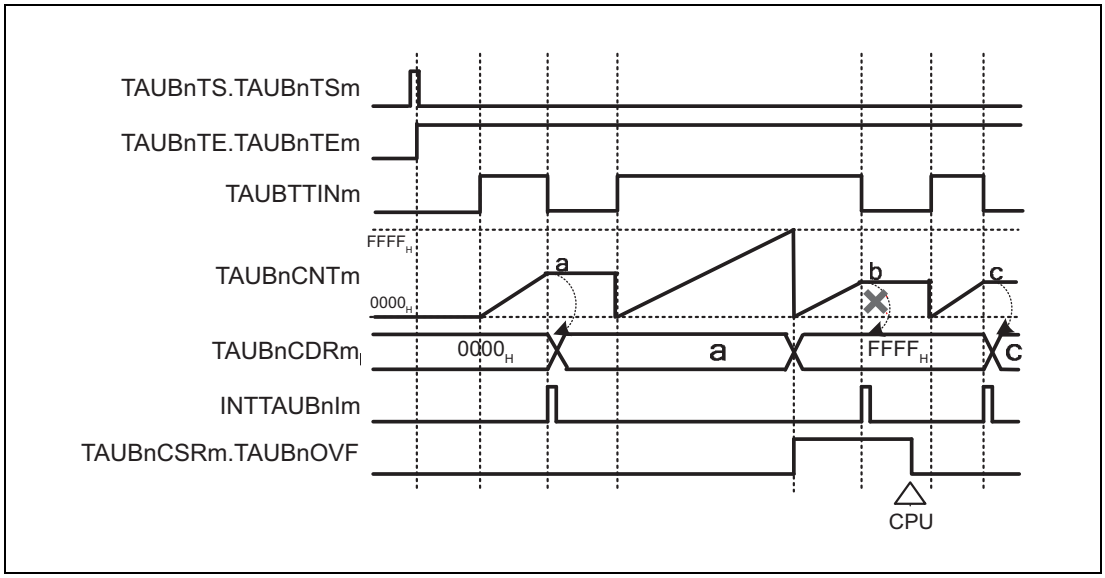


図 24.60 TAUBnCMORm.TAUBnCOS[1:0] = 11_B、TAUBnCMORm.TAUBnMD0 = 0、TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm は $FFFF_H$ に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm がカウントを停止し、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

(5) オーバーフローが発生した場合（ハイレベル 幅測定）

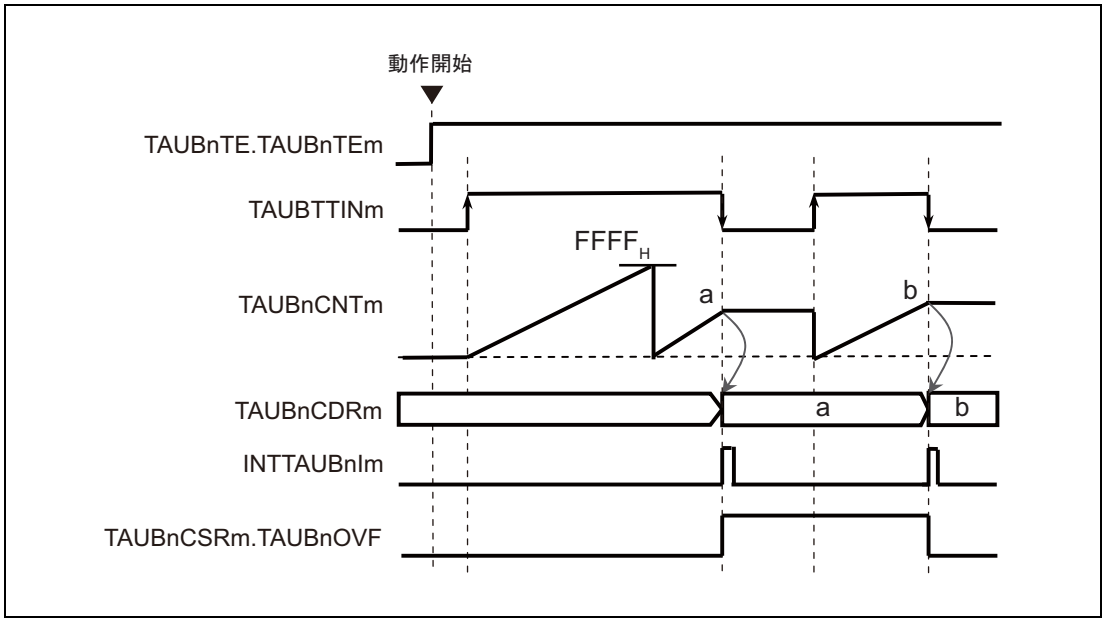


図 24.61 オーバーフローが発生した場合

カウント値がオーバーフローした後にキャプチャトリガを入力すると、カウント値が TAUBnCDRm に転送され、同時に TAUBnCSRm.TAUBnOVF が 1 に設定されます。

次のキャプチャトリガが発生するまで TAUBnCSRm.TAUBnOVF は 1 のままです。

次のキャプチャトリガがオーバーフローをともなわない場合、TAUBnCSRm.TAUBnOVF は 0 クリアされます。

TAUBTTINm 入力信号幅（TAUBnCSRm.TAUBnOVF が 1、TAUBnCDRm が a の場合の例）

= カウントクロックサイクル × ((10000_H × TAUBnCSRm.TAUBnOVF) + (TAUBnCDRm キャプチャ値 + 1))

= カウントクロックサイクル × ((10000_H × 1) + (a + 1))

= カウントクロックサイクル × (10000_H + a + 1)

24.12.8 TAUBTTINm 入力位置検出機能

24.12.8.1 概要

概要

TAUBTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の現在値が TAUBnCDRm にロードされ、割り込み（INTTAUBnIm）が発生します。カウント動作は継続します。

カウンタ値が $FFFF_H$ になると、カウンタは 0000_H からカウント動作を再開します。

備　考

TAUBTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

24.12.8.2 算出式

TAUBTTINm 入力パルスでの機能時間 =

カウントクロック周期 ×（TAUBnCDRm キャプチャ値＋ 1）

24.12.8.3 ブロック図と基本タイミング図

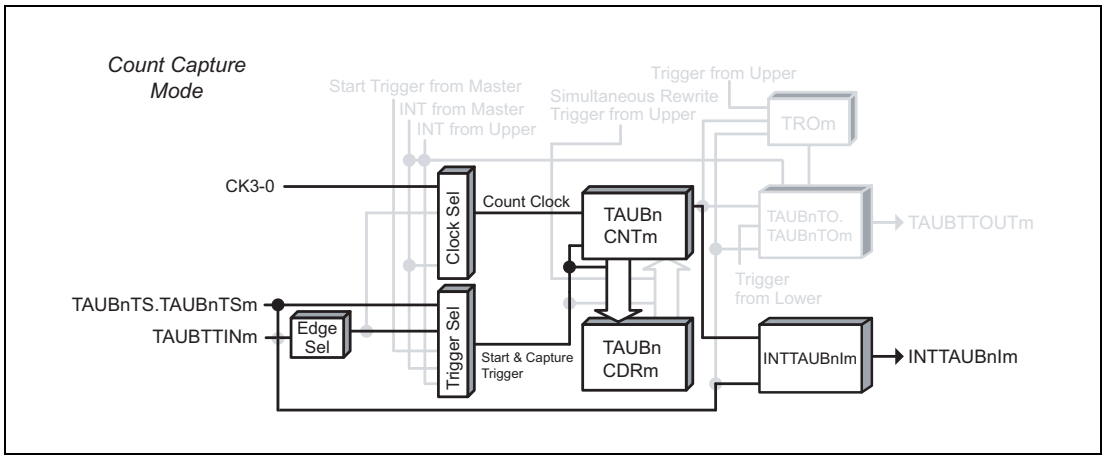


図 24.62 TAUBTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

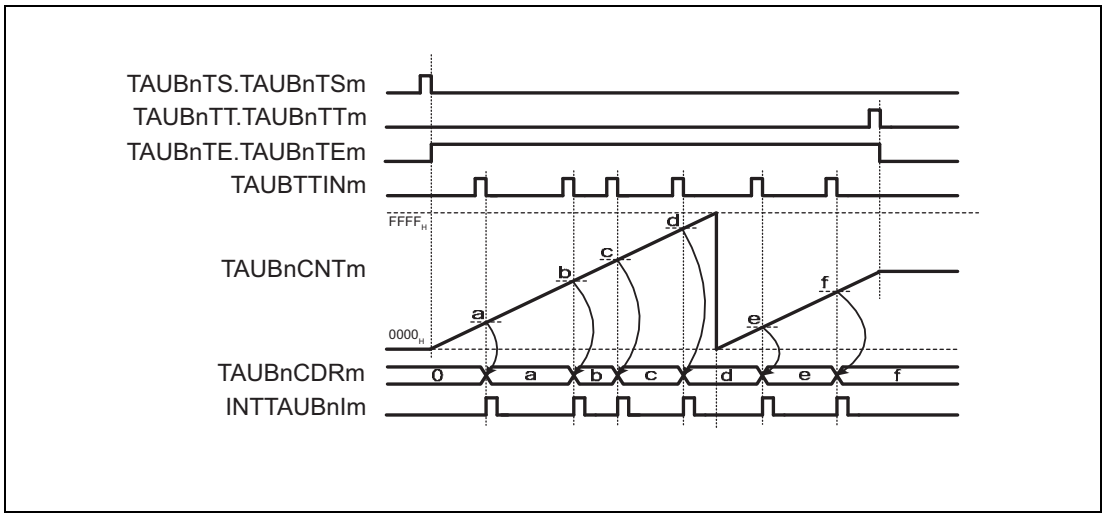


図 24.63 TAUBTTINm 入力位置検出機能の基本タイミング図

24.12.8.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.70 TAUBTTINm 入力位置検出機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	001_B を書いてください。
7、6	TAUBnCOS [1:0]	01_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	1011_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.71 TAUBTTINm 入力位置検出機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.72 TAUBTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.8.5 TAUBTTINm 入力位置検出機能の操作手順

表 24.73 TAUBTTINm 入力位置検出機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.70 TAUBTTINm 入力位置検出機能の TAUBnCMORm レジスタの内容」**と**「表 24.71 TAUBTTINm 入力位置検出機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
動作中	TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm、TAUBnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm は、0000_H からアップカウントを開始します。TAUBTTINm の有効エッジ検出時： • TAUBnCNTmが自身の値をTAUBnCDRmに転送（キャプチャ）します。 • INTTAUBnIm を出力します。 • カウンタ値は 0000_H にクリアされず、TAUBnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUBnCNTm が $FFFF_H$ に達すると、カウンタは 0000_H からカウント動作を再開します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

動作再開

24.12.8.6 特定の設定時のタイミング図

(1) 動作の停止と再開

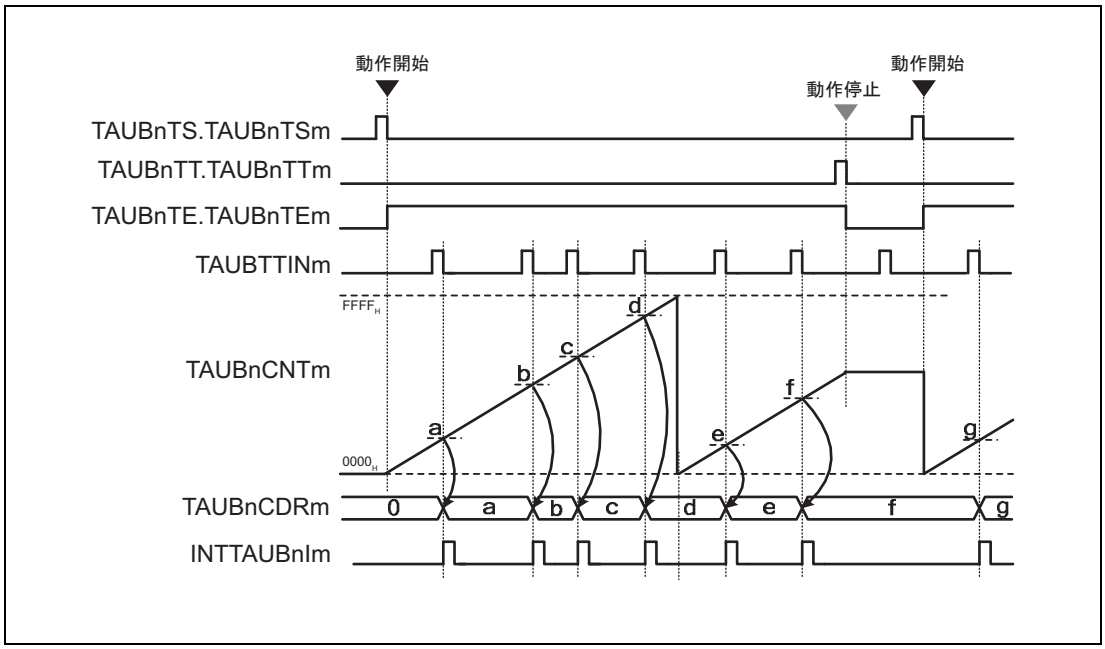


図 24.64 動作の停止と再開（TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は 0000_H からカウントを再開します。

24.12.9 TAUBTTINm 入力期間カウント検出機能

24.12.9.1 概要

概要

この機能は、TAUBTTINm 入力信号の合計幅を測定します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUBTTINm 入力エッジを待ちます。

有効な TAUBTTINm 入力スタートエッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUBTTINm 入力ストップエッジが検出されると、TAUBnCNTm の現在値が TAUBnCDRm にロードされ、割り込み（INTTAUBnIm）が発生します。次の有効な TAUBTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値（TAUBnCDRm + 1）を保持します。

次の有効な TAUBTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が $FFFF_H$ になると、カウンタは 0000_H からカウント動作を再開します。

備　考

1. TAUBTTINm 入力信号は、TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。
2. この機能は、TAUBTTINm 入力の信号幅測定を目的とするため、TAUBnTE.TAUBnTEm = 1 期間中の TAUBnTS.TAUBnTSm のセット（1）は使用できません。

条件

有効なスタートエッジとストップエッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、TAUBTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合、TAUBTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

24.12.9.2 算出式

TAUBTTINm 入力幅累計 =
カウントクロック周期 ×（TAUBnCDRm キャプチャ値 + 1）

24.12.9.3 ブロック図と基本タイミング図

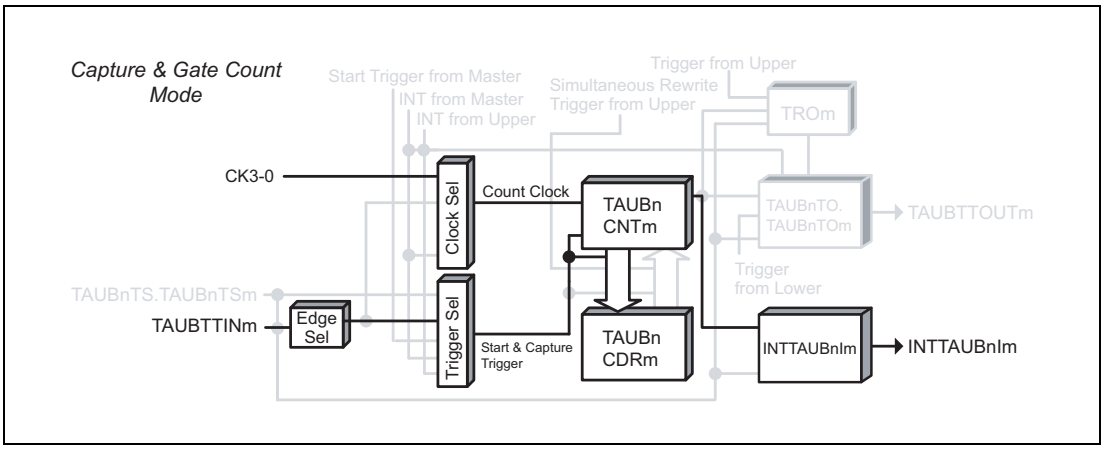


図 24.65 TAUBTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）

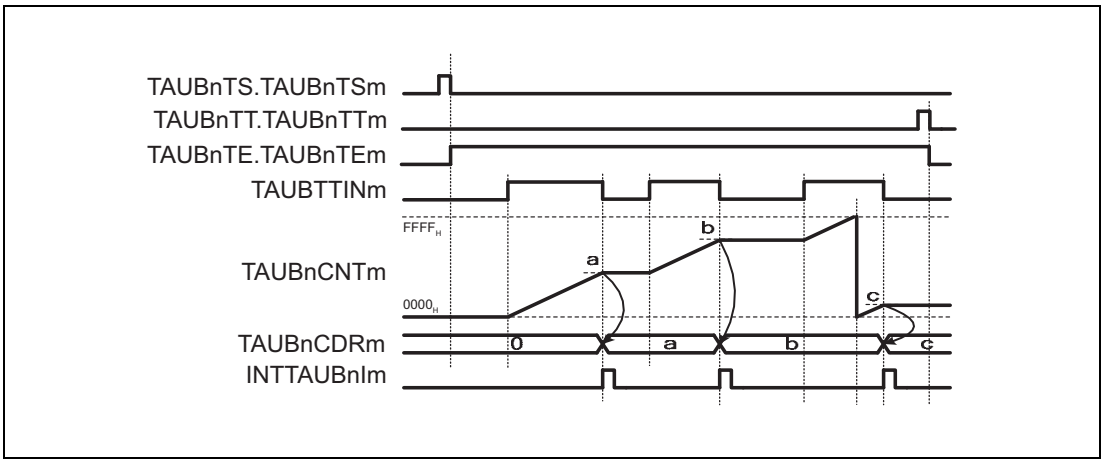


図 24.66 TAUBTTINm 入力期間カウント検出機能の基本タイミング図

24.12.9.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.74 TAUBTTINm 入力期間カウント検出機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	010_B を書いてください。
7、6	TAUBnCOS [1:0]	01_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	1101_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.75 TAUBTTINm 入力期間カウント検出機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.76 TAUBTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.9.5 TAUBTTINm 入力期間カウント検出機能の操作手順

表 24.77 TAUBTTINm 入力期間カウント検出機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.74 TAUBTTINm 入力期間カウント検出機能の TAUBnCMORm レジスタの内容」**と**「表 24.75 TAUBTTINm 入力期間カウント検出機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。
動作中	TAUBTTINm エッジ検出 TAUBnCDRm、TAUBnCNTm、TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUBTTINm スタートエッジ（ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ）を検出すると、TAUBnCNTm は停止値よりアップカウントを開始します。 TAUBnCNTm は、ストップエッジ（ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ）を検出すると、値を TAUBnCDRm に転送し、INTTAUBnIm が発生します。 カウントは TAUBnCDRm に転送した値 + 1 の値で停止し、TAUBnCNTm は TAUBTTINm スタートエッジの検出を待ちます。 TAUBnCNTm が $FFFF_H$ に達すると、カウンタは 0000_H からカウント動作を再開します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

動作再開

24.12.9.6 特定の設定時のタイミング図

(1) 動作の停止と再開

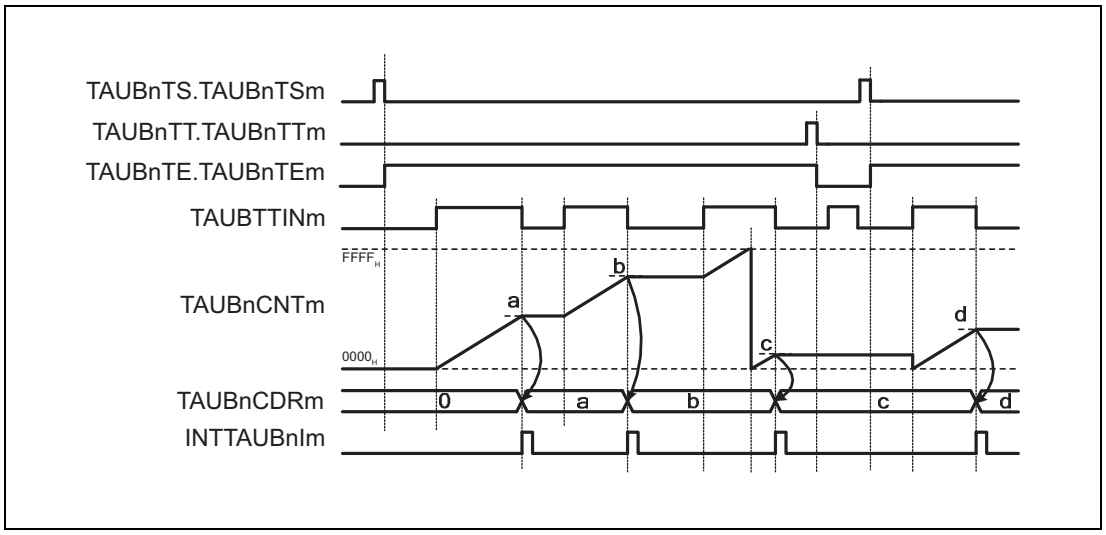


図 24.67　動作の停止と再開（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は 0000_H からカウントを再開します。

24.12.10 TAUBTTINm 入力パルスインターバル判定機能

24.12.10.1概要

概要

この機能は、TAUBTTINm 入力パルスの発生時、カウント値（TAUBnCNTm）とチャネルデータレジスタ（TAUBnCDRm）の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUBnIm が発生します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。

TAUBTTINm 有効エッジが検出された場合、または TAUBnTS.TAUBnTSm が 1 に設定された場合、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUBnIm が発生します。TAUBnCNTm は、TAUBnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUBTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUBnCNTm はオーバフローし、$FFFF_H$ に設定されます。その後、カウンタはダウンカウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。

- TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≦ TAUBnCDRm の場合、INTTAUBnIm が発生します。
- TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生します。

24.12.10.2ブロック図と基本タイミング図

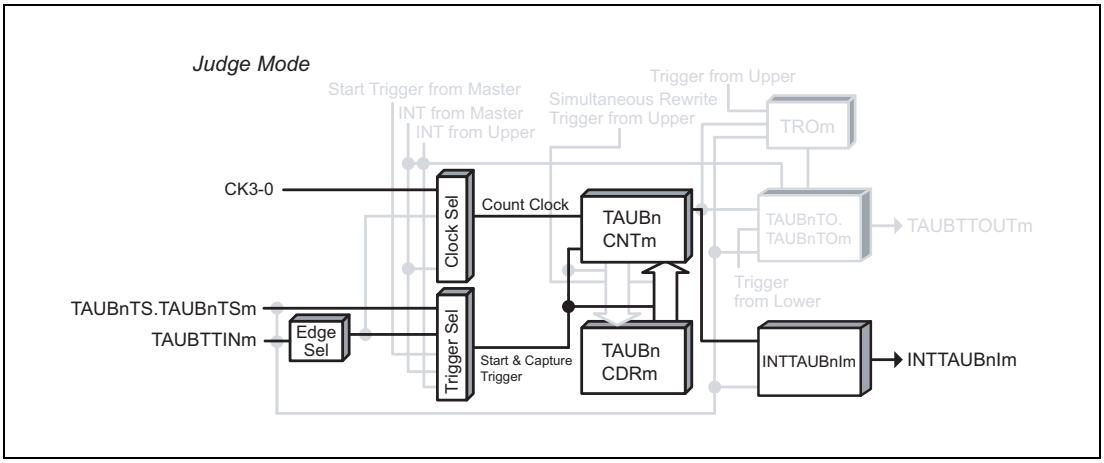


図 24.68 TAUBTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

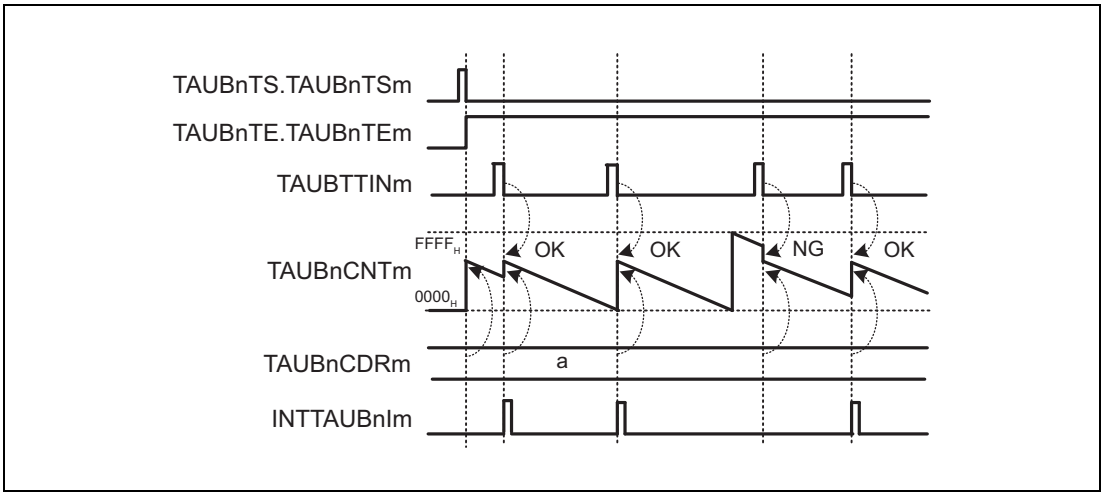


図 24.69 TAUBTTINm 入力パルスインターバル判定機能の基本タイミング図

24.12.10.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.78 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	001_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0001_B を書いてください。
0	TAUBnMD0	0：TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生 1：TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.79 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.80 TAUBTTINm 入力パルスインターバル判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.10.4TAUBTTINm 入力パルスインターバル判定機能の操作手順

表 24.81 TAUBTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.78 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMORm レジスタの内容」**と**「表 24.79 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。
動作中	任意のタイミングで変更可能なレジスタ • TAUBnCDRm レジスタ	TAUBnCMORm.TAUBnMD0 = 0 の場合 TAUBTTINm 入力エッジ検出タイミングで TAUBnCNTm ≦ TAUBnCDRm の場合、INTTAUBnIm が発生します。 TAUBnCMORm.TAUBnMD0 = 1 の場合 TAUBTTINm 入力エッジ検出タイミングで TAUBnCNTm ＞ TAUBnCDRm の場合、INTTAUBnIm が発生します。TAUBTTINm 入力エッジを検出すると、TAUBnCNTm は、TAUBnCDRm の値からダウンカウントを開始します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

24.12.11 TAUBTTINm 入力信号幅判定機能

24.12.11.1概要

概要

この機能は、TAUBTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値（TAUBnCNTm）と TAUBnCDRm の大小判定の結果を割り込み要求信号 INTTAUBnIm より出力します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。有効な TAUBTTINm 入力スタートエッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。

有効な TAUBTTINm ストップエッジが検出されると、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUBnIm が発生します。カウンタ TAUBnCNTm は、比較の結果に関係なく、次の有効な TAUBTTINm スタートエッジを検出するまで値を保持します。

有効な TAUBTTINm ストップエッジを検出する前にカウンタが 0000_H に達すると、TAUBnCNTm はオーバフローし、$FFFF_H$ に設定されます。その後、カウンタはダウンカウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

- 比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。
  - TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≦ TAUBnCDRm の場合、INTTAUBnIm が発生します。
  - TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生します。
- TAUBnCMURm.TAUBnTIS[1:0] ビットで幅測定のタイプを指定します。
  - High 幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合）では、TAUBTTINm 立ち上がりエッジをスタートエッジ、TAUBTTINm 立ち下がりエッジをストップエッジとして使用します。
  - ロウレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合）では、TAUBTTINm 立ち下がりエッジをスタートエッジ、TAUBTTINm 立ち上がりエッジをストップエッジとして使用します。
- この機能では強制リスタートは行えません。

24.12.11.2ブロック図と基本タイミング図

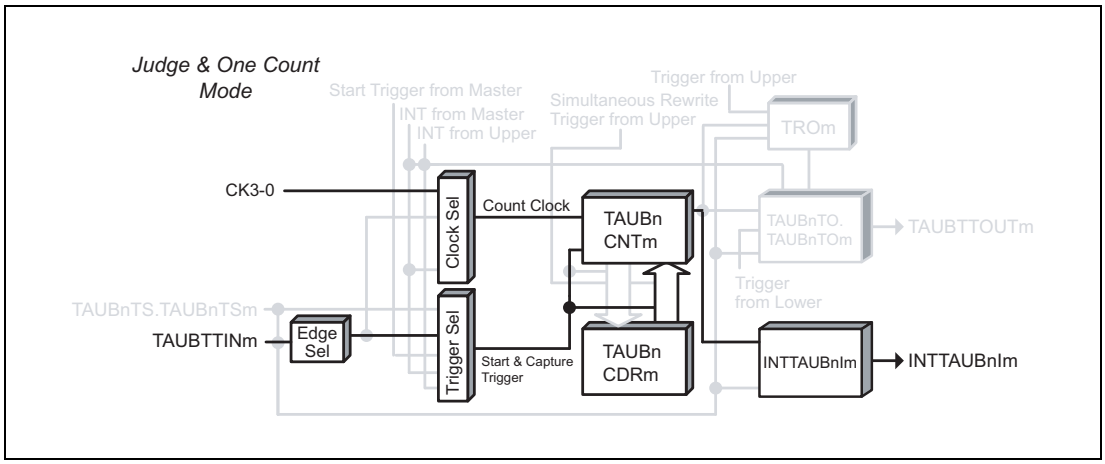


図 24.70 TAUBTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- TAUBnCNTm ≦ TAUBnCDRm（TAUBnCMORm.TAUBnMD0 = 0）の場合、INTTAUBnIm が発生します。
- TAUBTTINm 有効スタートエッジ = 立ち上がりエッジ、TAUBTTINm 有効ストップエッジ = 立ち下がりエッジ（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）

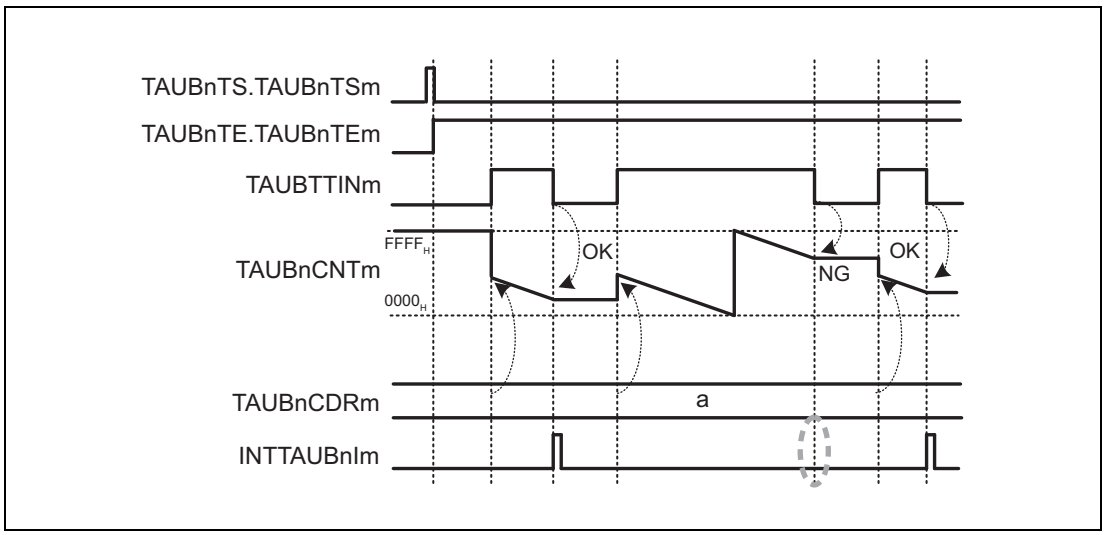


図 24.71 TAUBTTINm 入力信号幅判定機能の基本タイミング図

24.12.11.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.82 TAUBTTINm 入力信号幅判定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	010_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0111_B を書いてください。
0	TAUBnMD0	0：TAUBnCNTm ≦ TAUBnCDRm の場合、INTTAUBnIm が発生 1：TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.83 TAUBTTINm 入力信号幅判定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.84 TAUBTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.11.4TAUBTTINm 入力信号幅判定機能の操作手順

表 24.85 TAUBTTINm 入力信号幅判定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.82 TAUBTTINm 入力信号幅判定機能の TAUBnCMORm レジスタの内容」**と**「表 24.83 TAUBTTINm 入力信号幅判定機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。
動作中	任意のタイミングで変更可能なレジスタ • TAUBnCDRm レジスタ	TAUBTTINm スタートエッジを検出すると、TAUBnCNTm は、TAUBnCDRm の値からダウンカウントを開始します。 TAUBnCMORm.TAUBnMD0 = 0 の場合 TAUBTTINm 入力ストップエッジ検出タイミングで TAUBnCNTm ≦ TAUBnCDRm の場合、INTTAUBnIm が発生します。 TAUBnCMORm.TAUBnMD0 = 1 の場合 TAUBTTINm 入力ストップエッジ検出タイミングで TAUBnCNTm ＞ TAUBnCDRm の場合、INTTAUBnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

24.12.12 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）

24.12.12.1概要

概要

この機能は、各 TAUBTTINm 入力信号の幅を測定します。TAUBTTINm 入力後、（$FFFF_H$ ＋ 1）を超えた場合、割り込みが発生します。

前提条件

- この機能では、TAUBTTOUTm は使用しません。
- TAUBnCDRm の値は、$FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

有効な TAUBTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUBTTINm 入力スタートエッジが検出されると、TAUBnCNTm は $FFFF_H$ をロードし、ダウンカウントを開始します。

ストップエッジを検出する前にカウンタが 0000_H に達すると、割り込みが発生します。

条件

有効なスタートエッジとストップエッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、TAUBTTINm 入力ロウレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合、TAUBTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

24.12.12.2ブロック図と基本タイミング図

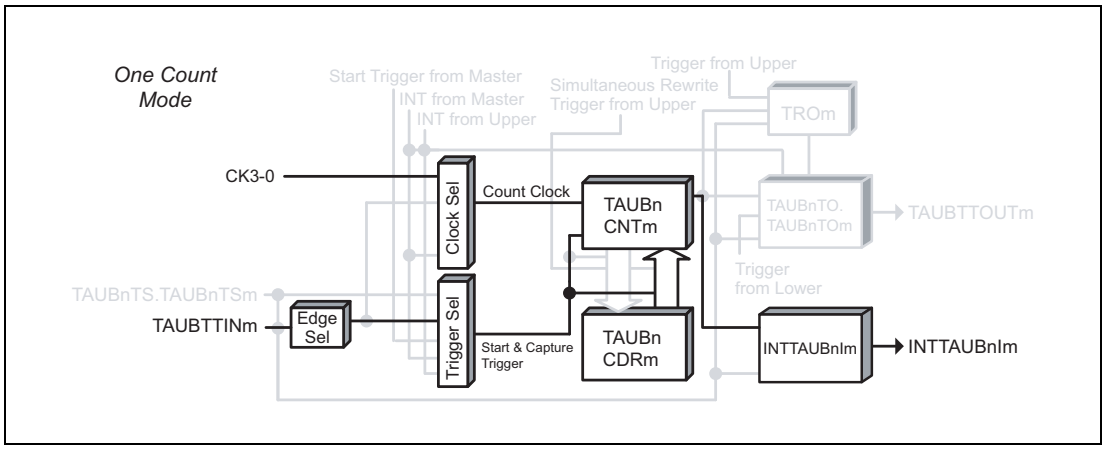


図 24.72 オーバフロー割り込み出力機能のブロック図（TAUBTTINm 幅測定時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）

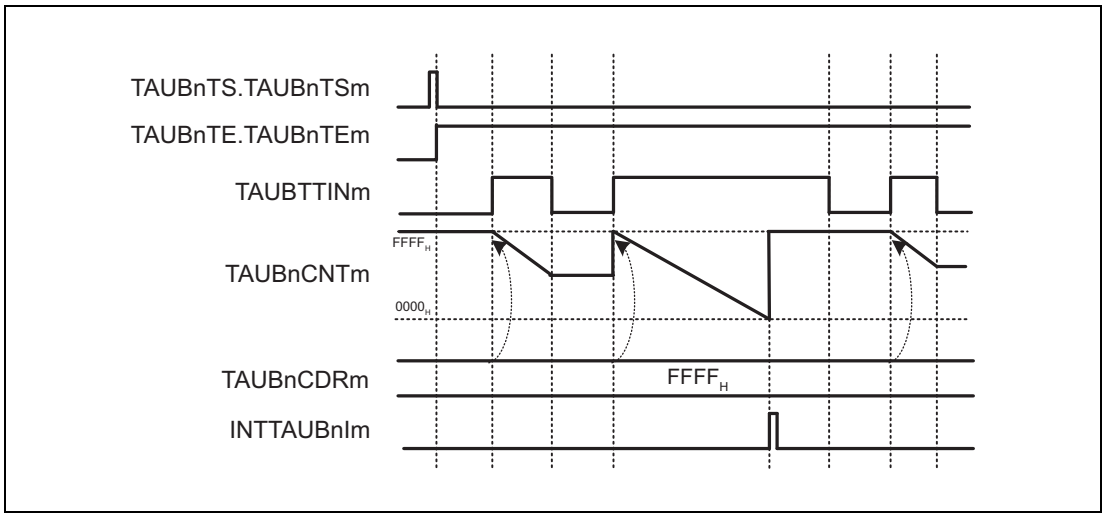


図 24.73 オーバフロー割り込み出力機能の基本タイミング図（TAUBTTINm 幅測定時）

24.12.12.3レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.86 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	010_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.87 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.88 オーバフロー割り込み出力機能の一斉書き換え設定（TAUBTTINm 幅測定時）

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.12.4オーバフロー割り込み出力機能の操作手順（TAUBTTINm 幅測定時）

表 24.89 オーバフロー割り込み出力機能の操作手順（TAUBTTINm 幅測定時）

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.86 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の TAUBnCMORm レジスタの内容」**と**「表 24.87 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタの値を $FFFF_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUBTTINm スタートエッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUBnCDRm の値（$FFFF_H$）を TAUBnCNTm にロードします。
動作中	TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUBnIm が発生します。 カウント動作中に TAUBTTINm の入力ストップエッジを検出した場合： • TAUBnCNTm は停止し、現在値を保持します。 カウント停止中に TAUBTTINm 入力スタートエッジを検出した場合： • 再び TAUBnCDRm の値（$FFFF_H$）を TAUBnCNTm にロードし、ダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

24.12.13 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）

24.12.13.1概要

概要

この機能は、TAUBTTINm 入力信号の合計幅を測定します。TAUBTTINm 入力合計幅が $FFFF_H$ より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

前提条件

- この機能では、TAUBTTOUTm は使用しません。
- TAUBnCDRm の値は、$FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

有効な TAUBTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUBTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。

カウンタが 0000_H になると、割り込みが発生します。TAUBnCNTm に $FFFF_H$ がロードされ、カウンタは TAUBTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

条件

有効なスタートエッジとストップエッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、TAUBTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合、TAUBTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

24.12.13.2ブロック図と基本タイミング図

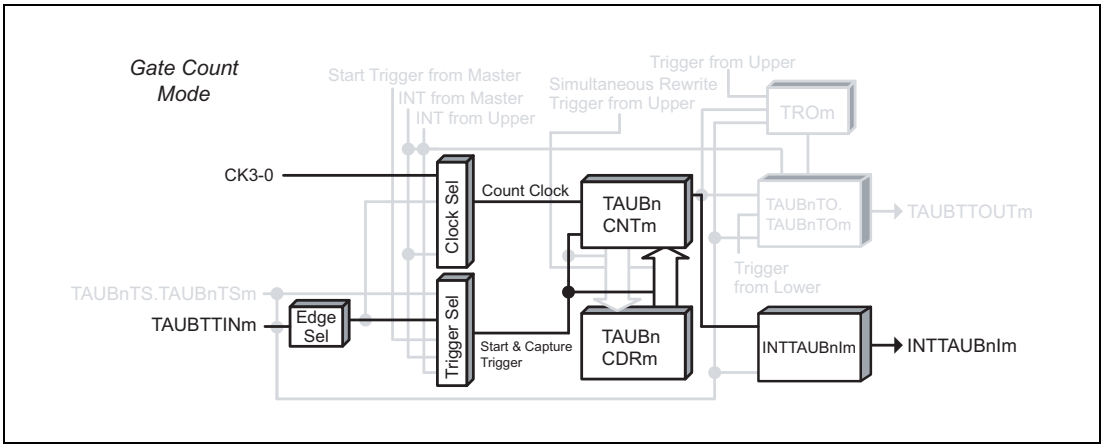


図 24.74 オーバフロー割り込み出力機能のブロック図（TAUBTTINm 入力期間カウント検出時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）

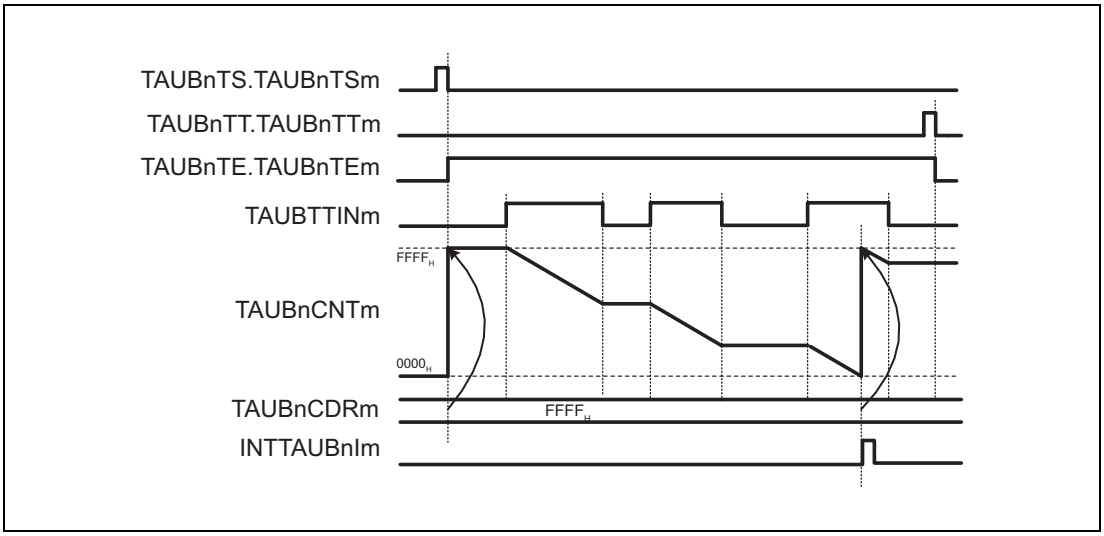


図 24.75 オーバフロー割り込み出力機能の基本タイミング図（TAUBTTINm 入力期間カウント検出時）

24.12.13.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.90 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS [2:0]	010_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	1100_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.91 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、オーバフロー割り込み出力機能（TAUBTTINm 入力期間検出時）では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.92 オーバフロー割り込み出力機能の一斉書き換え設定（TAUBTTINm 入力期間カウント検出時）

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.13.4オーバフロー割り込み出力機能の操作手順（TAUBTTINm 入力期間カウント検出時）

表 24.93 オーバフロー割り込み出力機能の操作手順（TAUBTTINm 入力期間カウント検出時）（１/２）

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 24.90 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の TAUBnCMORm レジスタの内容」**と**「表 24.91 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタの値を $FFFF_H$ に設定します。	チャネル動作を停止しています。

表 24.93 オーバフロー割り込み出力機能の操作手順（TAUBTTINm 入力期間カウント検出時）（２/２）

	操作	TAUBn の状態
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUBTTINm スタートエッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUBnCDRm の値（$FFFF_H$）を TAUBnCNTm にロードします。
動作中	TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUBnIm が発生します。 • TAUBnCDRm の値（$FFFF_H$）を TAUBnCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUBTTINm 入力ストップエッジを検出した場合： • TAUBnCNTm は停止し、現在値を保持します。 カウント停止中に TAUBTTINm 入力スタートエッジを検出した場合： • TAUBnCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

24.13 チャネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

24.13.1 一斉書き換えトリガ生成機能タイプ1

24.13.1.1 概要

概要

下位チャネルが一斉書き換えトリガとして使用できる割り込みを、特定チャネル上で発生する機能です。この割り込みは一定間隔で発生します。上位チャネルは一斉書き換えトリガを生成するチャネル（TAUBnRDC.TAUBnRDCm = 1）、下位チャネルは上位チャネルのトリガを受けて一斉書き換えを行うチャネル（TAUBnRDC.TAUBnRDCm = 0）です。

前提条件

- 上位チャネルとして使用するチャネルより下位の 2 チャネル以上で、それぞれ一斉書き換えが許可されている（TAUBnRDE.TAUBnRDEm = 1）
- 上位チャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 24.94　一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUBnCMORm レジスタの内容」**参照）。
- 下位チャネルに設定可能な動作モードは、**「表 24.37　チャネル機能と一斉書き換え方法」**を参照してください。
- この機能では、TAUBTTOUTm はいずれのチャネルでも使用しません。

機能説明

上位チャネル、下位チャネルのチャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。上位チャネルのデータレジスタバッファ（TAUBnCDRm buf）の現在値がカウンタ（TAUBnCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。下位チャネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000_H になると、そのチャネルで割り込みが発生します。対応する TAUBnCDRm バッファの現在値を TAUBnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャネルが一斉書き換えのトリガチャネルとして設定されていて（TAUBnRDC.TAUBnRDCm = 1）、さらにそれが上位チャネルである場合、一斉書き換えが可能な状態（TAUBnRSF.TAUBnRSFm = 1）にあるすべての下位チャネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUBnIm の発生を検出するチャネルは、該当チャネルに TAUBnRDC.TAUBnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャネルは、TAUBnRDC.TAUBnRDCm ビットを 0 に設定しておく必要があります。

24.13.1.2 算出式

一斉書き換えトリガの生成周期 = カウントクロック周期 ×（TAUBnCDRm ＋ 1）

一斉書き換えを制御するには、次の条件が満たされている必要があります。

［PWM の場合］

TAUBnCDRm = [（一斉書き換え対象マスタチャネルの TAUBnCDRm 値 ＋ 1）× 割り込み数] － 1

［三角波 PWM の場合］

TAUBnCDRm = [（一斉書き換え対象マスタチャネルの TAUBnCDRm 値 ＋ 1）× 2 × 割り込み数] － 1

つまり、TAUBnCDRm + 1 と一斉書き換え対象マスタチャネルの TAUBnCDRm 値＋ 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

24.13.1.3 ブロック図と基本タイミング図

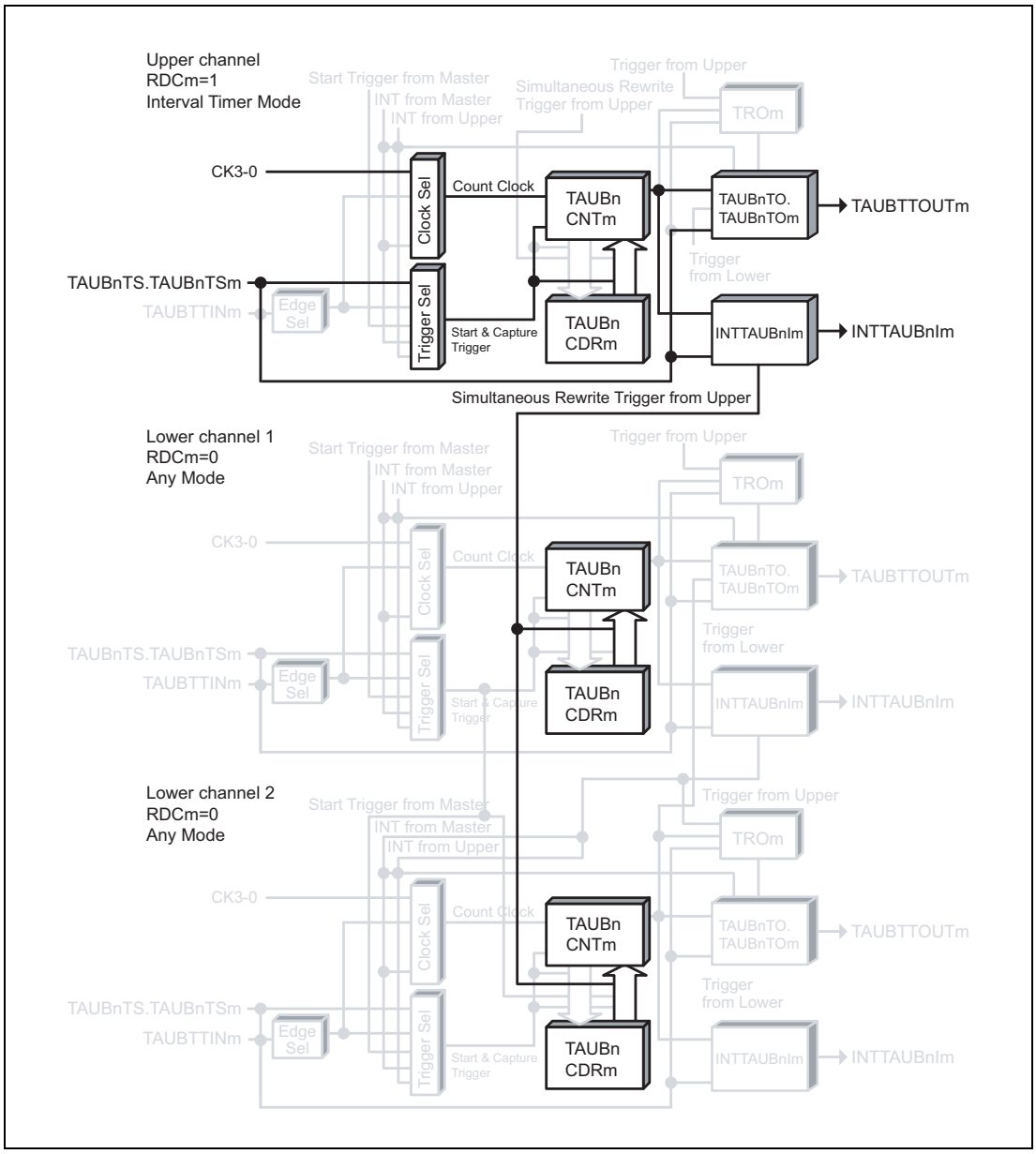


図 24.76 一斉書き換えトリガ生成機能タイプ 1 のブロック図

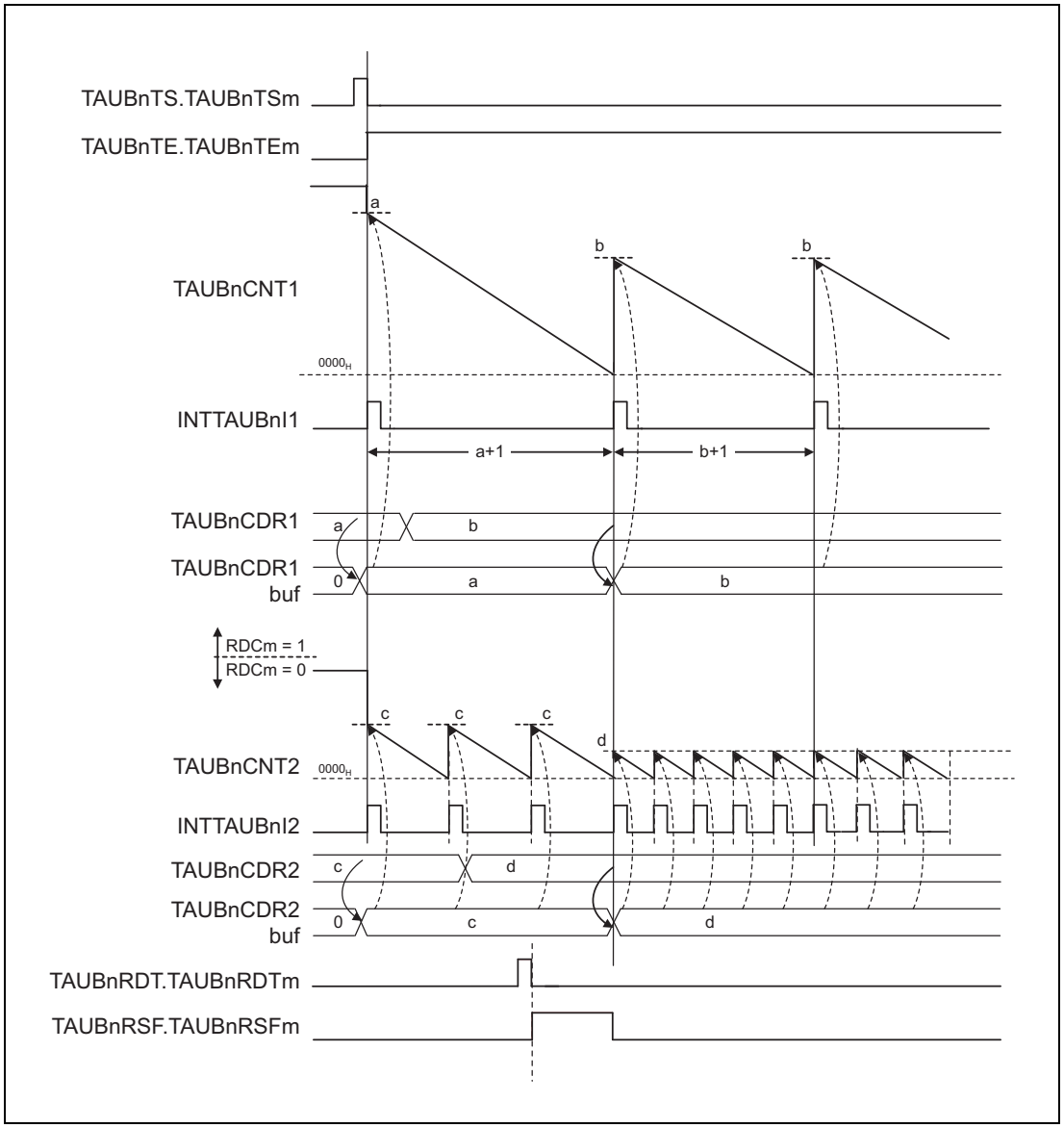


図 24.77　一斉書き換えトリガ生成機能タイプ 1 の基本タイミング図

24.13.1.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.94 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) 上位チャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.95 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 上位チャネルの一斉書き換え

表 24.96 一斉書き換えトリガ生成機能タイプ 1 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	1：チャネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタ

24.13.1.5 下位チャネルのレジスタ設定

(1) 下位チャネルの TAUBnCMORm

下位チャネルの TAUBnCMORm レジスタは、設定可能な動作モードの TAUBnCMORm レジスタ設定にしたがってください（**「表 24.37 チャネル機能と一斉書き換え方法」**を参照してください）。

(2) 下位チャネルの TAUBnCMURm

下位チャネルの TAUBnCMURm レジスタは、設定可能な動作モードの TAUBnCMURm レジスタ設定にしたがってください（**「表 24.37 チャネル機能と一斉書き換え方法」**を参照してください）。

(3) 下位チャネルのチャネル出力モード

下位チャネルの記載（マスタ、スレーブ）設定に従った出力が可能です。一斉書き換えトリガ生成機能タイプ 1 が使用可能な機能については、**「表 24.37 チャネル機能と一斉書き換え方法」**を参照してください。

(4) 下位チャネルの一斉書き換え

表 24.97 一斉書き換えトリガ生成機能タイプ 1 時の下位チャネル一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

24.13.1.6 一斉書き換えトリガ生成機能タイプ1の操作手順

表 24.98 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUBn の状態
チャネルの初期設定	上位チャネルの TAUBnCMORm レジスタと TAUBnCMURm レジスタを、**「表 24.94 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUBnCMORm レジスタの内容」**と**「表 24.95 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUBnCMURm レジスタの内容」**に示すように設定します。 下位チャネルの TAUBnCMORm レジスタと TAUBnCMURm レジスタを、**「24.13.1.5 下位チャネルのレジスタ設定」**に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。TAUBnCMORm.TAUBnMD0 = 1 の場合、INTTAUBnIm が発生します。
動作中	TAUBnRDT.TAUBnRDTm、TAUBnCDR.TAUBnCDRm は変更可能です。 TAUBnRSF.TAUBnRSFm は常に読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • 再びTAUBnCDRmの値をTAUBnCNTmにロードし、カウント動作を継続します。 • INTTAUBnIm が発生します。 TAUBnRDC.TAUBnRDCm が 1 に設定されているチャネルで INTTAUBnIm が発生すると、一斉書き換えが制御されます。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

動作再開

24.14 チャネル連動動作機能

この節では、TAUB のチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、**「24.2　概要」**を参照してください。

24.14.1 PWM 出力機能

24.14.1.1 概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUBTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 24.99　PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（**「表 24.102　PWM 出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容」**参照）。
- この機能では、マスタチャネルで TAUBTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUBnIm が発生し、TAUBTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：

  マスタチャネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUBnIm が発生します。TAUBnCDRm 値を TAUBnCNTm にロードし、ダウンカウントを行います。

- スレーブチャネル：

  マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUBnCDRm（スレーブ）の現在値が TAUBnCNTm （スレーブ）にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。TAUBTTOUTm 信号がアクティブレベルに設定されます。

  カウンタ値が 0000_H になると（デューティ時間が経過すると）INTTAUBnIm が発生し、TAUBTTOUTm 信号がインアクティブレベルに設定されます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUBnIm（次のパルス周期の開始）を待ちます。

マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。**「24.6　一斉書き換え」**を参照してください。

24.14.1.2 算出式

パルス周期 =（TAUBnCDRm（マスタ）＋ 1）× カウントクロック周期

デューティサイクル [%] =（TAUBnCDRm（スレーブ）／（TAUBnCDRm（マスタ）+ 1））× 100

- デューティサイクル = 0 %
  TAUBnCDRm（スレーブ）= 0000_H
- デューティサイクル = 100 %
  TAUBnCDRm（スレーブ）≧ TAUBnCDRm（マスタ）＋ 1

24.14.1.3 ブロック図と基本タイミング図

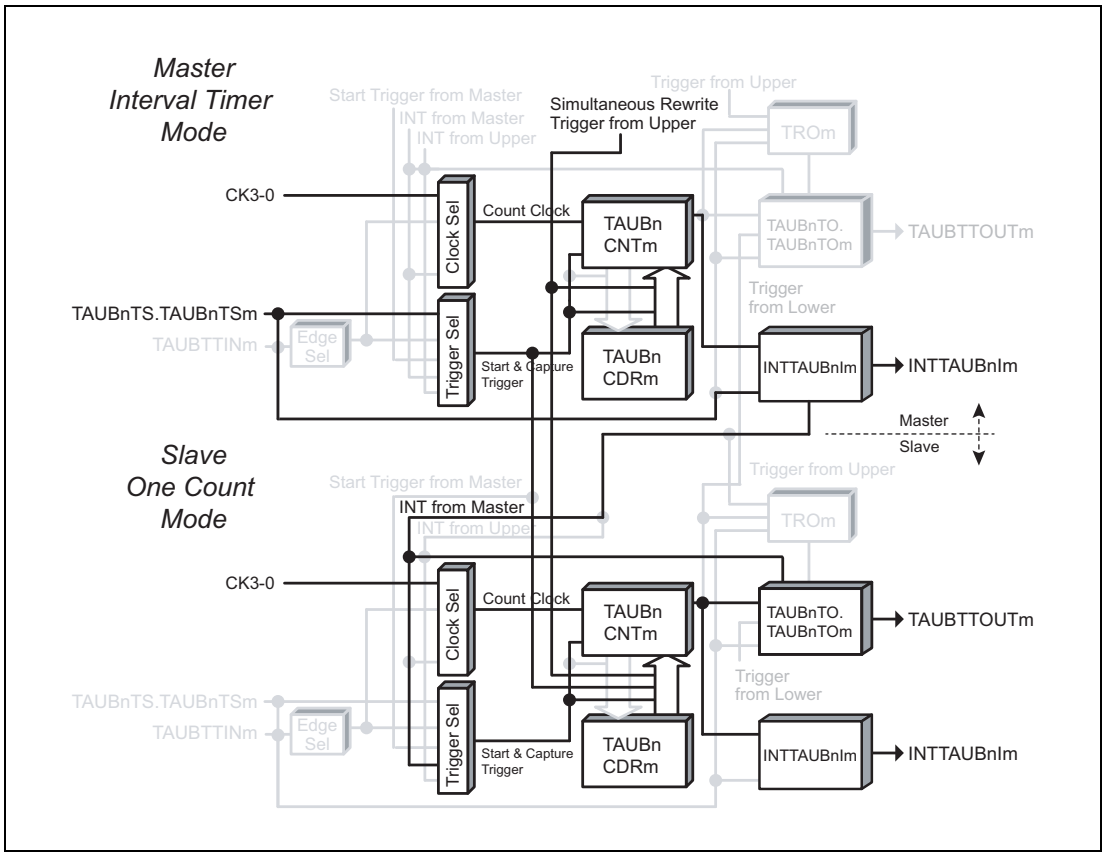


図 24.78 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル：正論理（TAUBnTOL.TAUBnTOLm = 0）

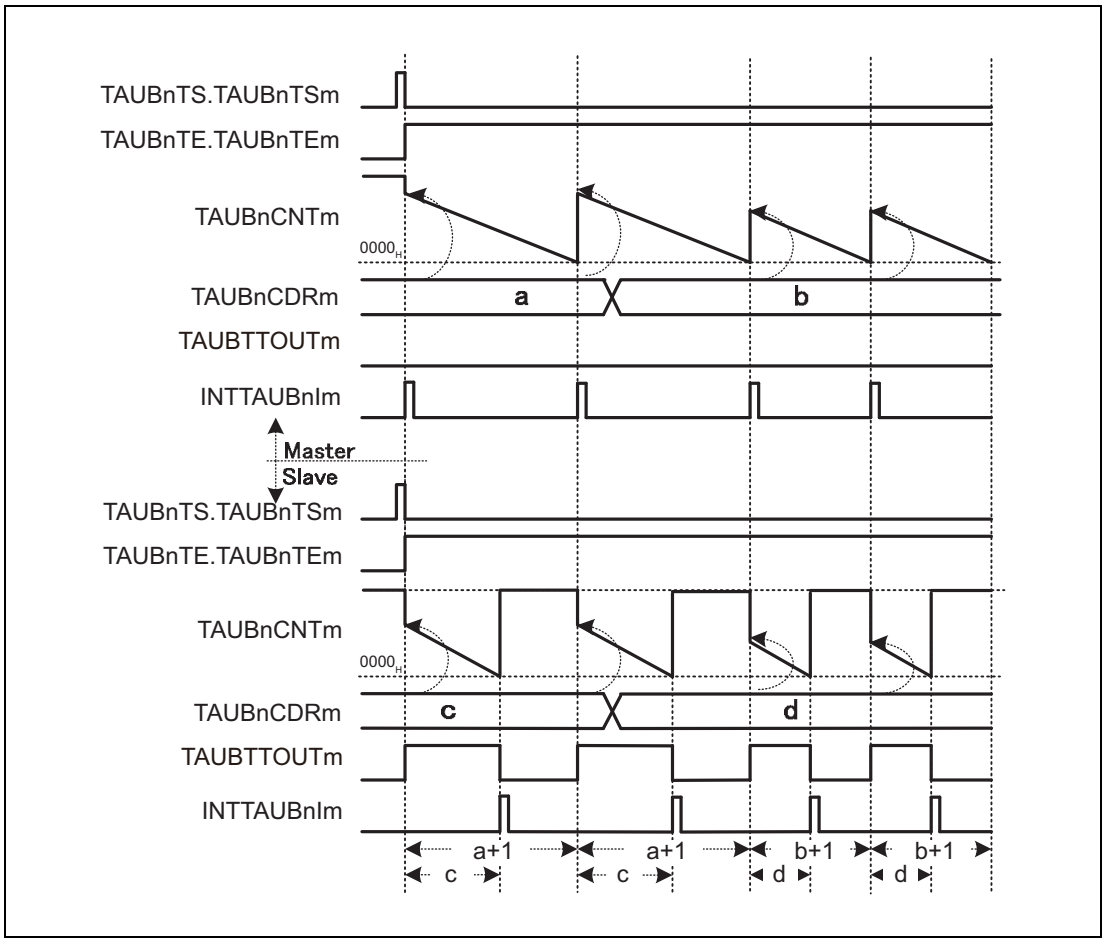


図 24.79 PWM 出力機能の基本タイミング図

備 考

カウント開始から割り込み発生までの間隔は対応する TAUBnCDRm + 1 の値になります。

24.14.1.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.99 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.100 PWM 出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.101 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUBnRDS.TAUBnRDSm ビット = 1 で使用する場合、マスタチャネルの上位に**「24.13.1 一斉書き換えトリガ生成機能タイプ 1」**で動作するチャネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャネル：TAUBnRDCm = 1、TAUBnRDSm = 1

  また、本チャネルの TAUBnCDRm 設定値は下記となります。

  = ((一斉書き換え対象のマスタチャネルの TAUBnCDRm 設定値 +1) × 割り込み回数) – 1
- マスタチャネル：TAUBnRDCm = 0、TAUBnRDSm = 1
- スレーブチャネル：TAUBnRDCm = 0、TAUBnRDSm = 1

TAUBnCDRm（スレーブ）の設定値＞ TAUBnCDRm（マスタ）の設定値＋ 1 の場合は、Duty 値が 100%を超えることになるが、集約し 100%出力とする。

24.14.1.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.102 PWM 出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	100_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) スレーブチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.103 PWM 出力機能のスレーブチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネルのチャネル出力モード

表 24.104 チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.105 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.1.6 PWM 出力機能の操作手順

表 24.106 PWM 出力機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	マスタチャネル：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.1.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.1.5　スレーブチャネルのレジスタ設定」**に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUBnIm が発生し、TAUBTTOUTm（スレーブ）が設定されます。
動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnTOL.TAUBnTOLm は変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタチャネルの TAUBnCNTm は TAUBnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • TAUBnCDRm 値を TAUBnCNTm（マスタ）にロードし、カウント動作を継続します。 • TAUBnCDRm 値を TAUBnCNTm（スレーブ）にロードし、ダウンカウントを行います。 • TAUBTTOUTm（スレーブ）がアクティブレベルに設定されます。 TAUBnCNTm（スレーブ）が 0000_H になった場合： • TAUBnCNTm（スレーブ）のカウント動作が停止します。 • INTTAUBnIm（スレーブ）が発生します。 • TAUBTTOUTm（スレーブ）がインアクティブレベルに設定されます。
動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

動作再開

24.14.1.7 特定の設定時のタイミング図

(1) デューティサイクル = 0 %

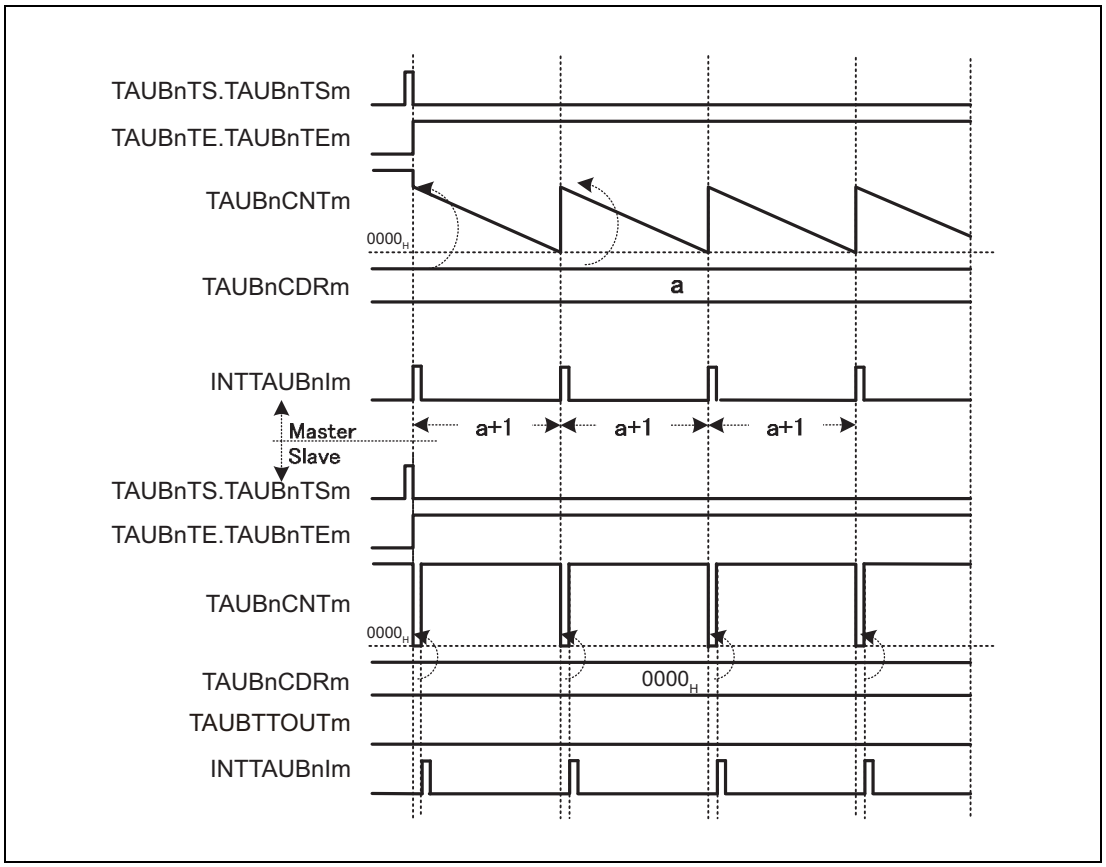


図 24.80 TAUBnCDRm (スレーブ) = 0000_H,
正論理（TAUBnTOL.TAUBnTOLm（スレーブ）= 0）

- マスタチャネルで割り込み（INTTAUBnIm）が発生するたびに、TAUBnCNTm（スレーブ）に 0000_H がロードされます。したがって、スレーブチャネルの割り込み（INTTAUBnIm）が同時発生し、TAUBTTOUTm はアクティブでない状態のままとなります。
- TAUBnCDRm 値を TAUBnCNTm（スレーブ）にロードし、割り込みを発生させます。

(2) デューティサイクル = 100 %

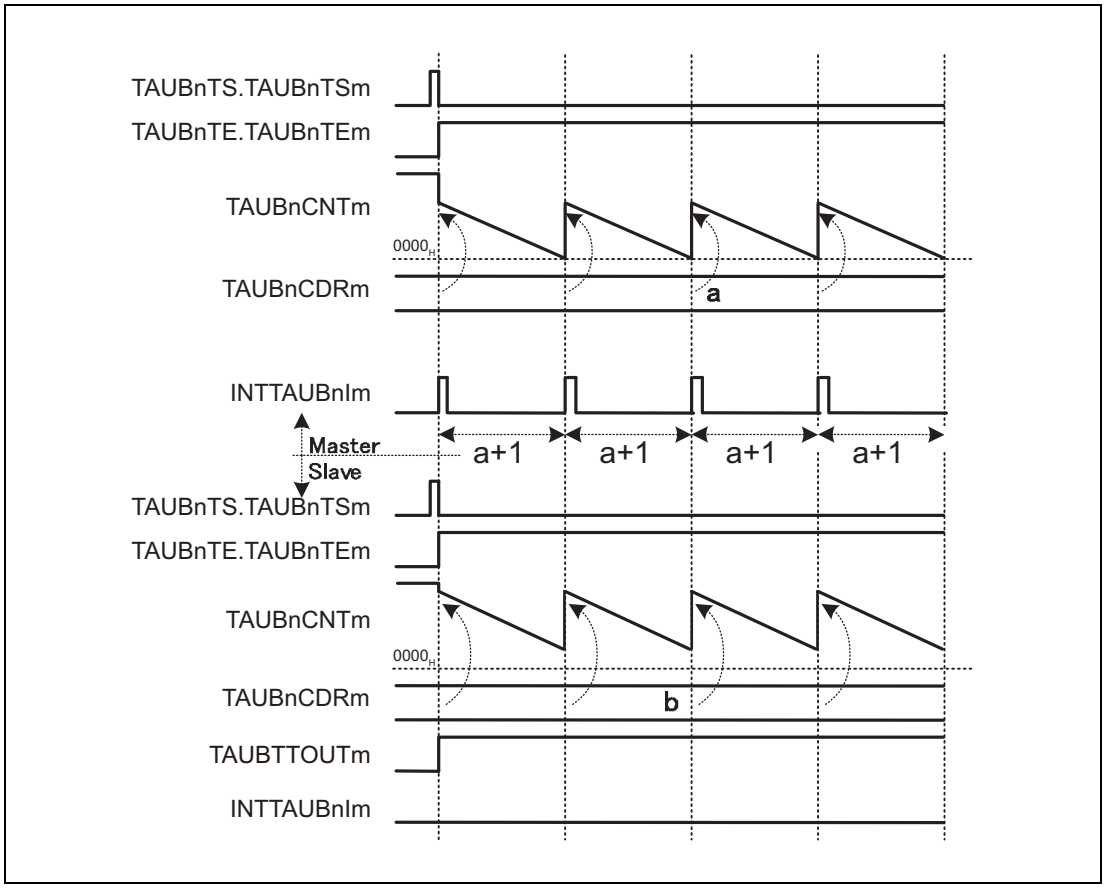


図 24.81　TAUBnCDRm（スレーブ）≧ TAUBnCDRm（マスタ）+ 1
正論理（TAUBnTOL.TAUBnTOLm（スレーブ）= 0）

TAUBnCDRm（スレーブ）値が TAUBnCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは 0000_H にならないため、割り込みが発生しません。TAUBTTOUTm はアクティブ状態のままになります。

(3) 動作の停止と再開

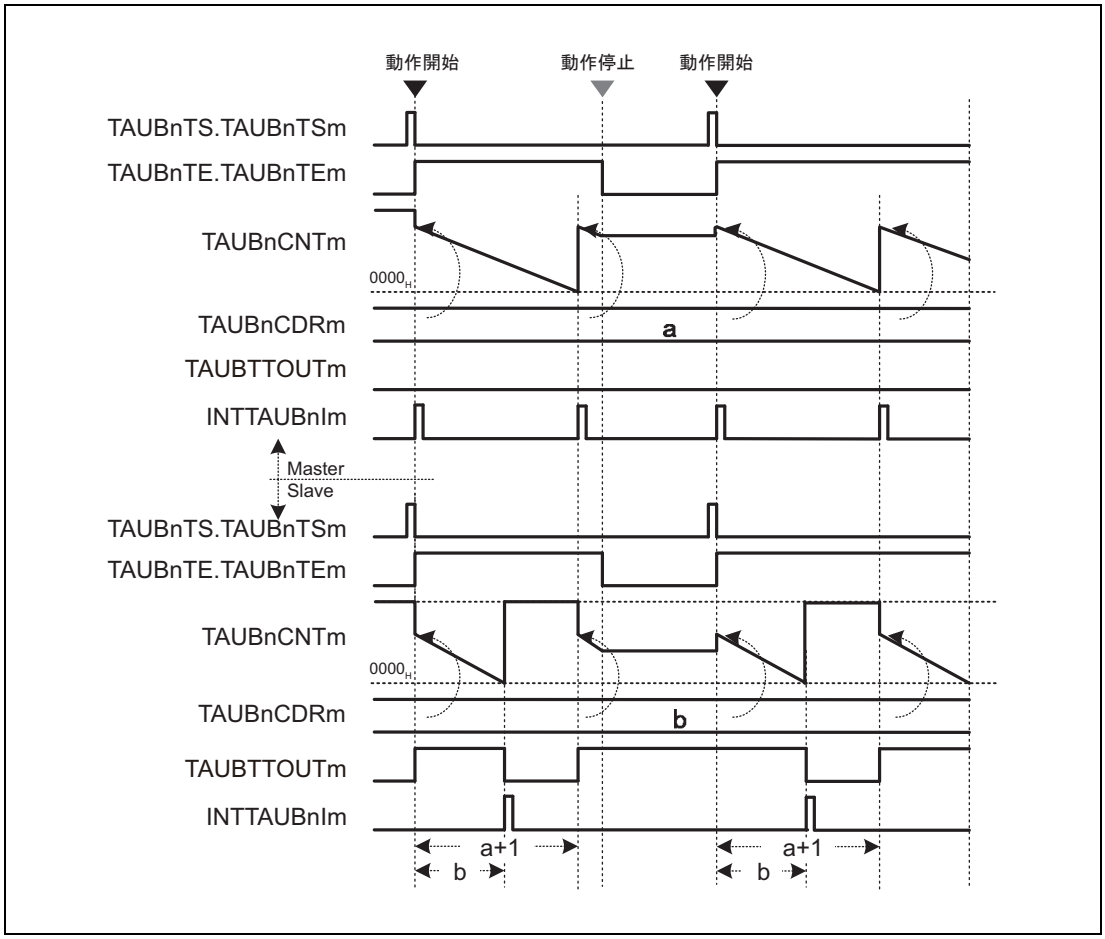


図 24.82 動作の停止と再開
正論理（TAUBnTOL.TAUBnTOLm（スレーブ）= 0）

- マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- 全チャネルの TAUBnCNTm と TAUBTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ／スレーブチャネルの TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタ動作を再開できます。マスタ／スレーブチャネルの TAUBnCDRm 値を TAUBnCNTm にリロードし、この値からダウンカウントを開始します。

(4) 動作の停止と再開（スレーブ出力 初期化）

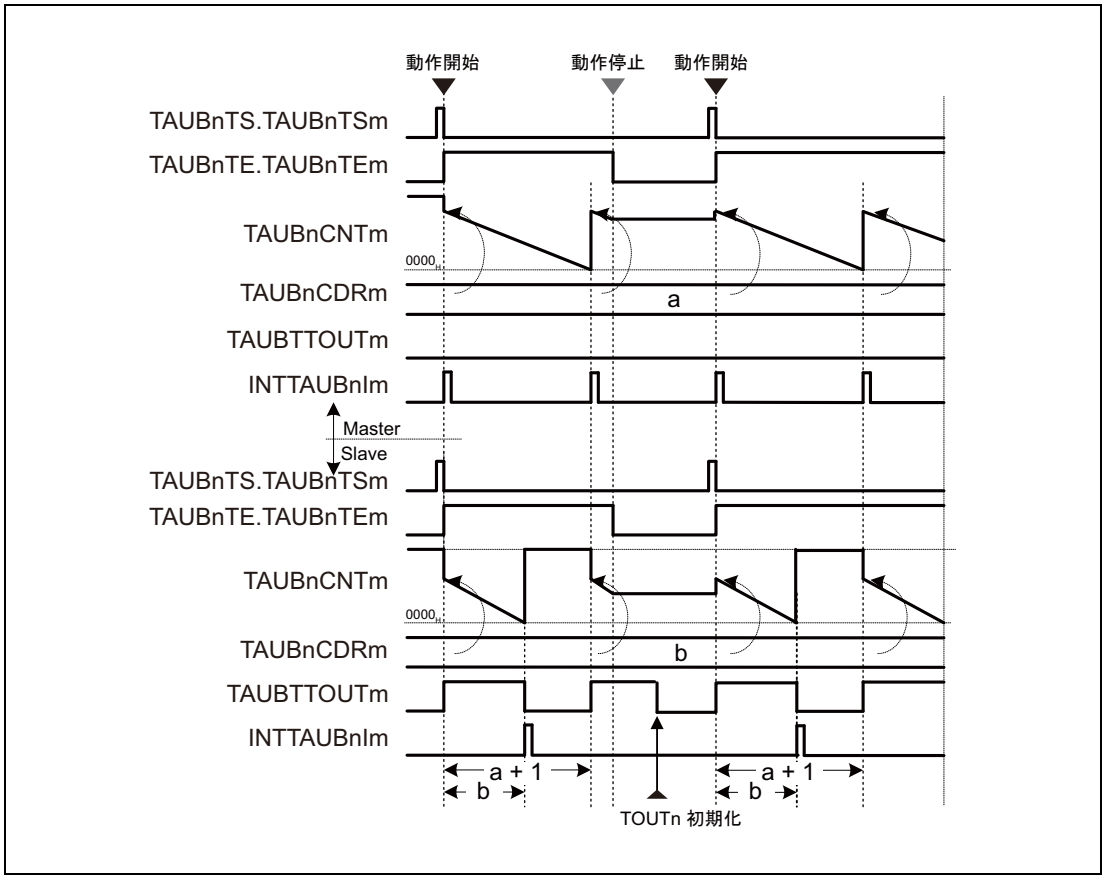


図 24.83 動作の停止と再開（スレーブ出力 初期化）

TAUBnTE.TAUBnTEm = 0 時にスレーブチャネルの TAUBnTOE.TAUBnTOEm を 0 に設定し、TAUBTTOUTm のインアクティブレベルが TAUBnTO.TAUBnTOm に書き込まれると、起動後のカウント動作開始時に INTTAUBnIm が発行されたときに TAUBTTOUTm（スレーブチャネル）の出力レベルがアクティブになります。

24.14.2 ワンショットパルス出力機能

24.14.2.1 概要

概要

マスタチャネルとスレーブチャネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャネルで設定します。パルス幅はスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、ワンカウントモードに設定する必要があります（**「表 24.107　ワンショットパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、パルスワンカウントモードに設定する必要があります（**「表 24.110　ワンショットパルス出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容」**参照）。
- この機能では、マスタチャネルで TAUBTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります。
- TAUBTTINm（マスタ）は、TAUBnCNTm（マスタ）と TAUBnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャネルからの割り込みでのみトリガされ、TAUBTTINm（スレーブ）ではトリガされません。

機能説明

マスタチャネル、スレーブチャネルのチャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

- マスタチャネル：
  次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。カウンタは、この TAUBnCDRm 値からダウンカウントを開始します。TAUBnCMORm.TAUBnMD0 = 0 の場合、遅延時間内に検出されたトリガ（TAUBTTINm）は無視されます。
  マスタチャネルのカウンタが 0000_H になると、INTTAUBnIm が発生します。カウンタは $FFFF_H$ に戻り、次の有効な TAUBTTINm 入力エッジを待ちます。

- スレーブチャネル：
  マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUBnCDRm（スレーブ）の現在値が TAUBnCNTm（スレーブ）にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUBTTOUTm 信号がセットされます。
  カウンタ値が 0001_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタチャネルの次の INTTAUBnIm を待ちます。

マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもマスタチャネルのカウントを再開できます（強制リスタート）。

備　考

1. 動作中に強制リスタートが行われた場合、出力信号の幅は TAUBnCDRm 値（スレーブ）と一致しません。
2. TAUBTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

- マスタチャネルの TAUBnCMORm.TAUBnMD0 が 0 に設定されている場合、カウント中に検出された TAUBTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。**「24.6　一斉書き換え」**を参照してください。

24.14.2.2 算出式

トリガ入力からパルス出力までの遅延時間
= (TAUBnCDRm（マスタ）+ 1) × カウントクロック周期

パルス幅 = (TAUBnCDRm（スレーブ）) × カウントクロック周期

24.14.2.3 ブロック図と基本タイミング図

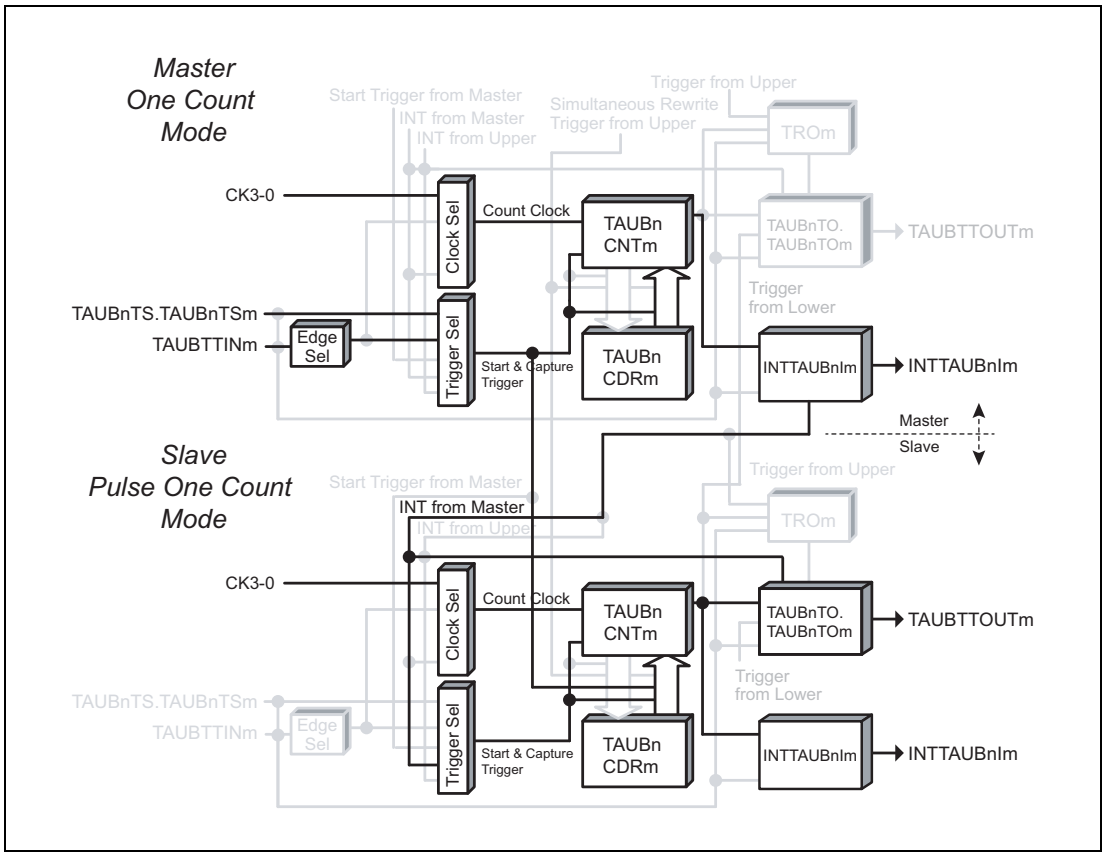


図 24.84 ワンショットパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

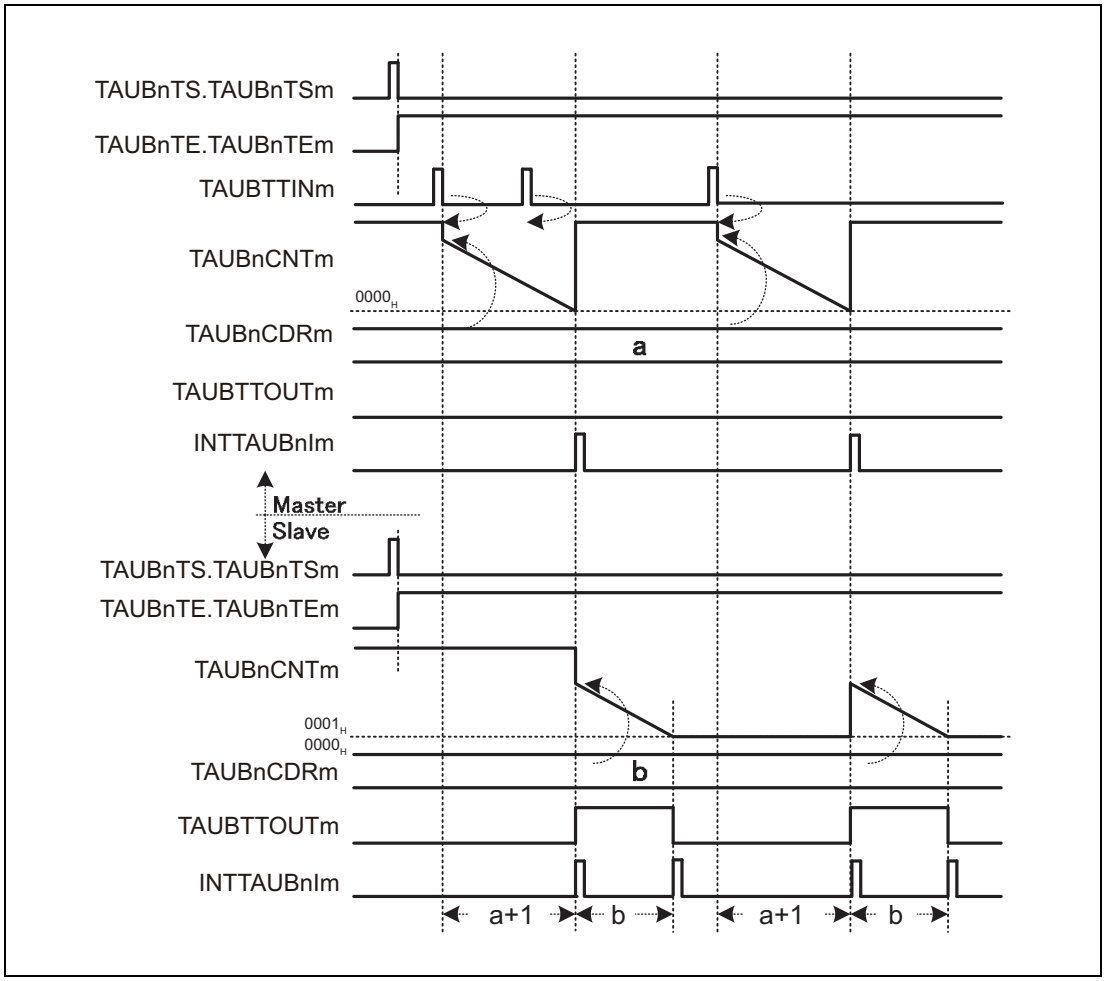


図 24.85 ワンショットパルス出力機能の基本タイミング図

24.14.2.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.107 ワンショットパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	001_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.108 ワンショットパルス出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.109 ワンショットパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.2.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.110 ワンショットパルス出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	100_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	1010_B を書いてください。
0	TAUBnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(2) スレーブチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.111 ワンショットパルス出力機能のスレーブチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネルの出力モード

表 24.112 チャネル単体出力モード 2 のときの制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1：チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0：チャネル単体出力
TAUBnTOC.TAUBnTOCm	1：動作モード 2
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0：デッドタイム動作禁止
TAUBnTDL.TAUBnTDLm	0：デッドタイム動作禁止時（TAUBnTDE.TAUBnTDEm = 0）、0 を設定

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.113 ワンショットパルス出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.2.6 ワンショットパルス出力機能時の操作手順

表 24.114 ワンショットパルス出力機能時の操作手順

	操作	TAUBn の状態
チャネルの初期設定	マスタチャネル：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.2.4 マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.2.5 スレーブチャネルのレジスタ設定」**に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタチャネルは TAUBTTINm 入力を待ちます。
動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	TAUBTTINm 入力の有効エッジを検出すると、マスタチャネルの TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • TAUBnCNTm（マスタ）は $FFFF_H$ に戻り、次の有効な TAUBTTINm 入力エッジを待ちます。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ）にロードし、ダウンカウント動作を開始します。 • INTTAUBnIm（スレーブ）が発生します。 • TAUBTTOUTm（スレーブ）がアクティブレベルになります。 TAUBnCNTm（スレーブ）が 0001_H になった場合： • TAUBnCNTm（スレーブ）のカウント動作が停止します。 • INTTAUBnIm（スレーブ）が発生します。 • TAUBTTOUTm（スレーブ）がインアクティブレベルになります。
動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

動作再開

24.14.2.7 特定のタイミング図

(1) TAUBnCDRm（マスタ）= 0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

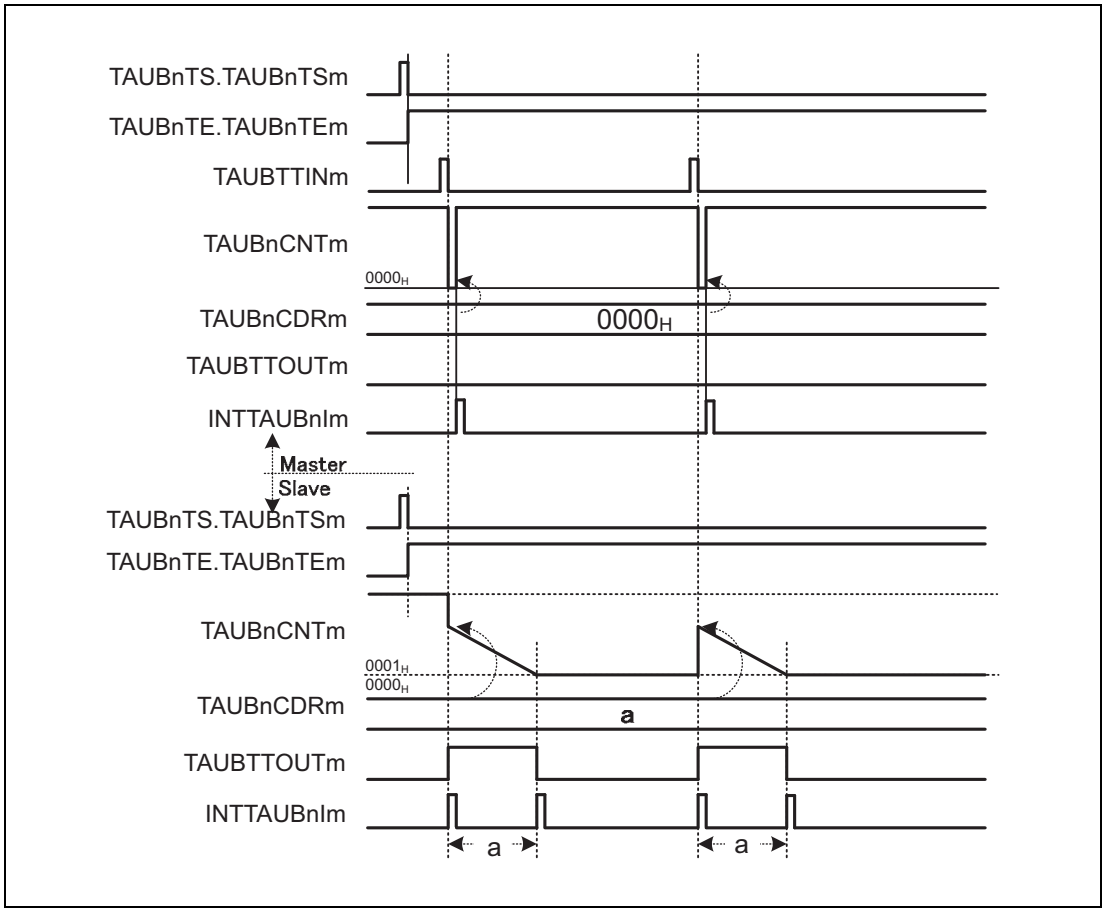


図 24.86 TAUBnCDRm（マスタ）= 0000_H

- TAUBTTINm 入力の有効エッジが検出されたとき、TAUBnCNTm（マスタ）に 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行うと $FFFF_H$ に戻ります。
  したがって、スレーブチャネルのカウンタは TAUBTTINm（マスタ）から 1 カウントクロック遅れて、ダウンカウントを開始します。

(2) TAUBnCDRm（スレーブ）= 0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

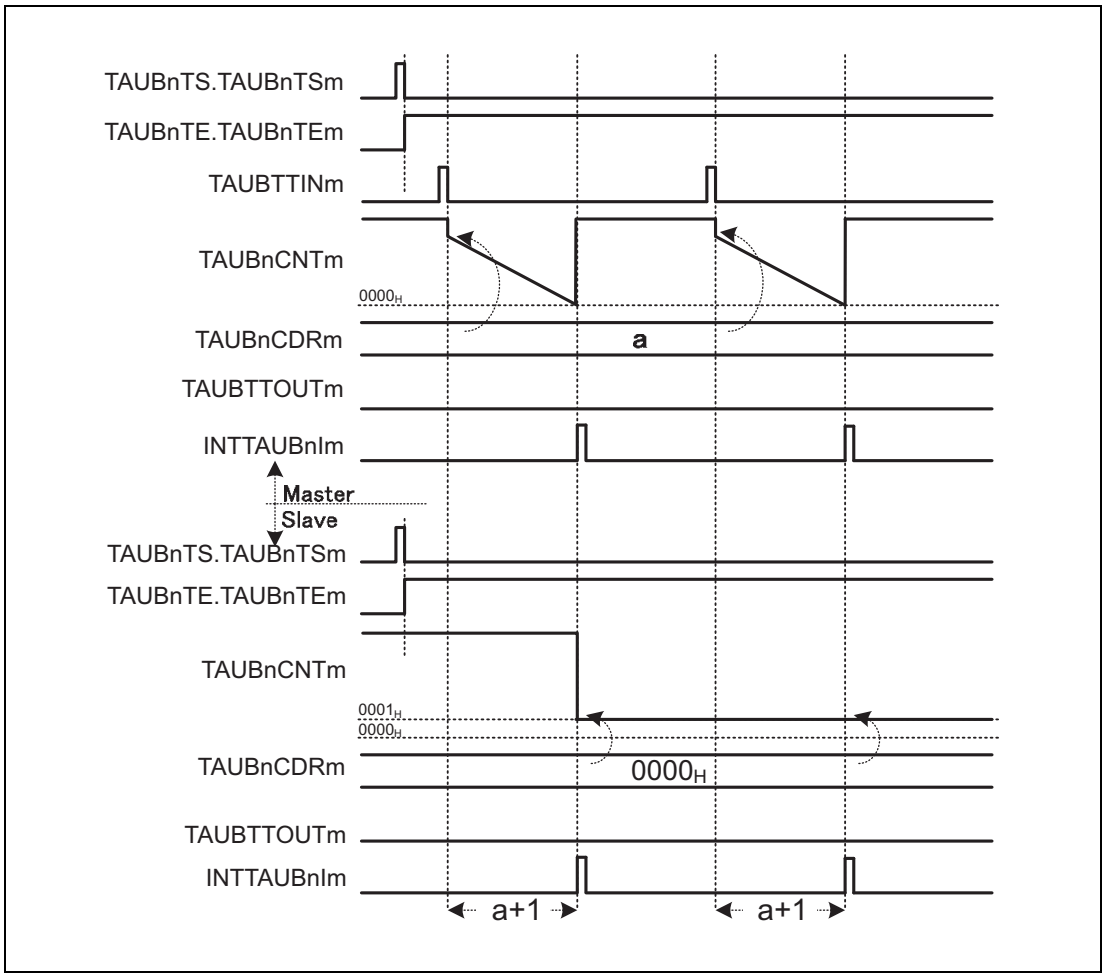


図 24.87 TAUBnCDRm（スレーブ）= 0000_H

- パルス幅が 0 のため、TAUBTTOUTm は非アクティブ状態のままです。

(3) TAUBnCMORm.TAUBnMD0 = 0

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

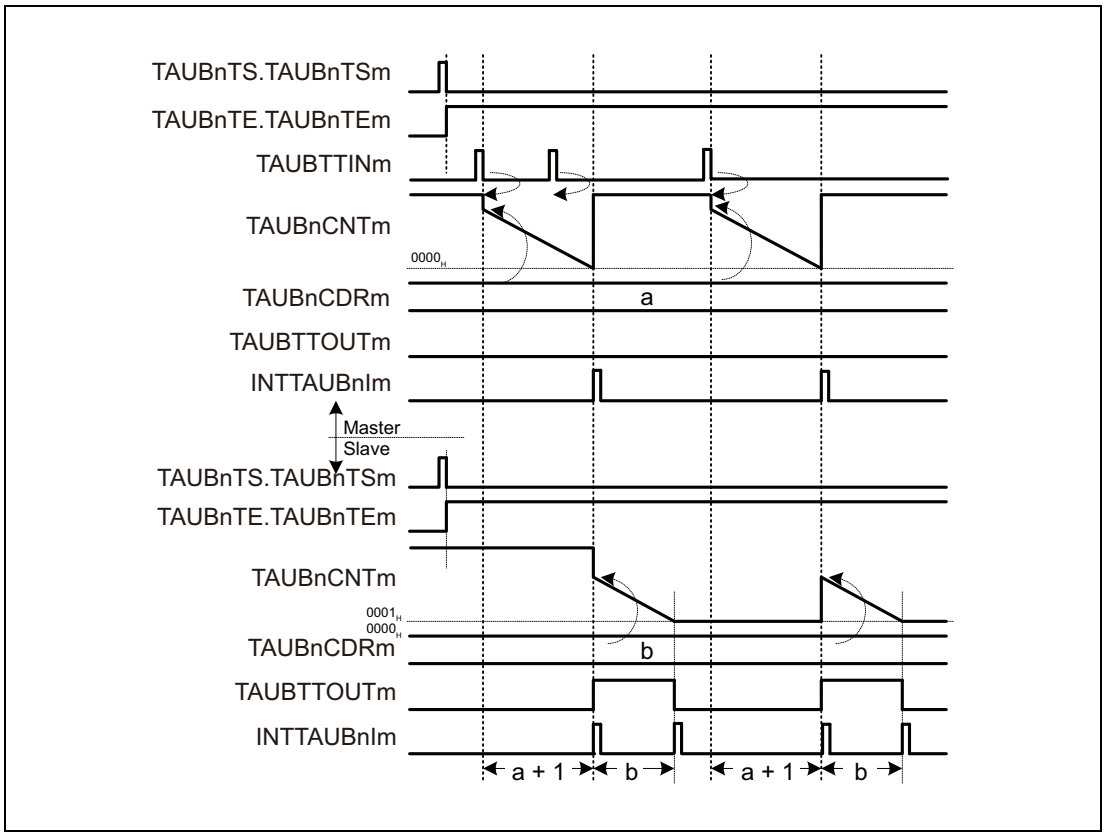


図 24.88　TAUBnCMORm.TAUBnMD0 = 0

- マスタチャネルのダウンカウント中に TAUBTTINm に有効エッジの入力があった場合でもカウンタはダウンカウントを継続します。

(4) TAUBnCMORm.TAUBnMD0 = 1

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可（TAUBnCMORm.TAUBnMD0 = 1）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

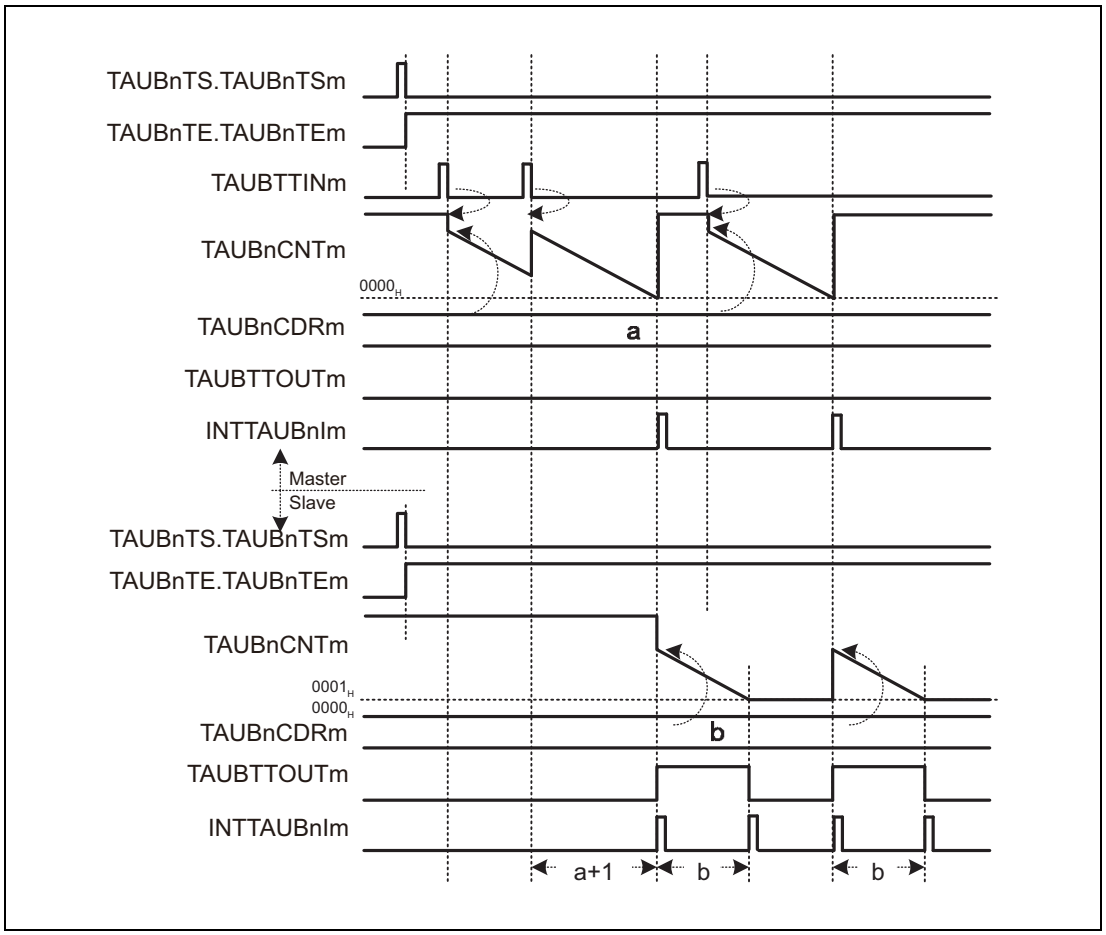


図 24.89 TAUBnCMORm.TAUBnMD0 = 1

- マスタチャネルのダウンカウント中に TAUBTTINm 入力の有効エッジが検出された場合、TAUBnCNTm は TAUBnCDRm の値をリロードします。カウンタは、ダウンカウントを再開します。

これは、TAUBTTINm 入力の有効エッジ検出時の TAUBnCNTm の値によって、INTTAUBnIm 発生間隔のディレイが引き延ばされたことを意味します。

(5) 動作の停止と再開

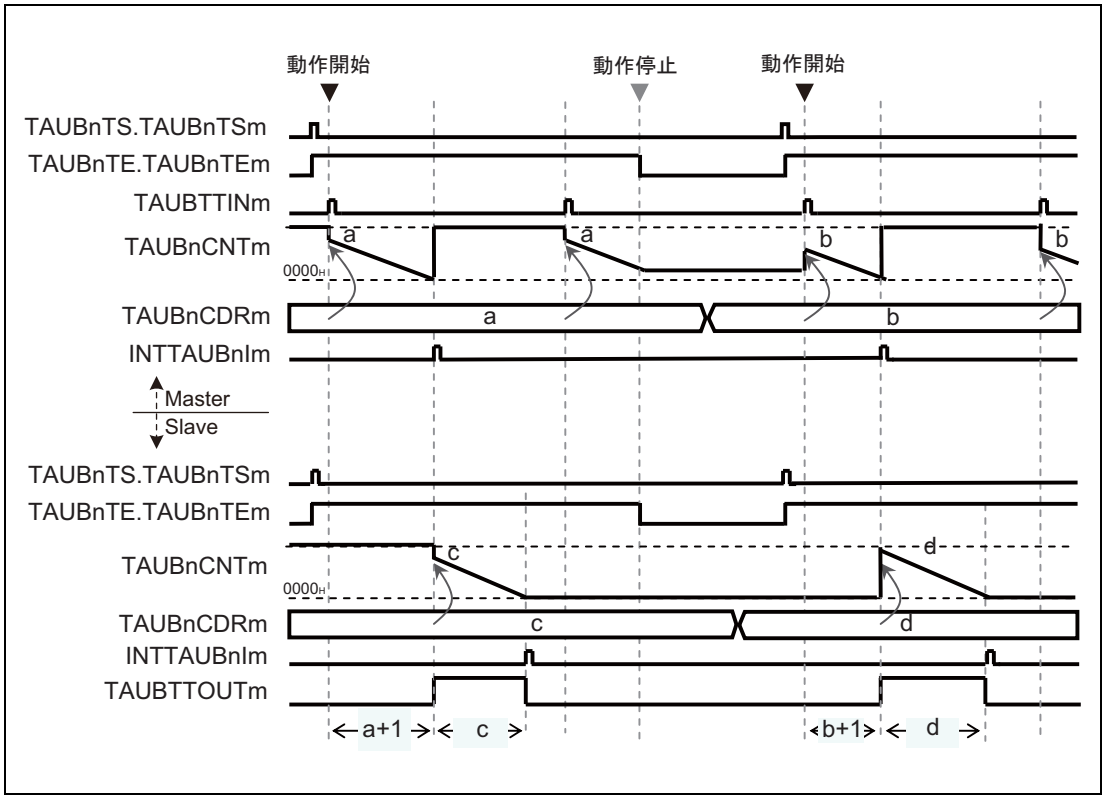


図 24.90 動作の停止と再開

マスタおよびスレーブチャネルの TTm を 1 に設定すると、同時に TAUBnTE.TAUBnTEm が 0 にクリアされます。これにより、カウント動作が停止します。その場合、TAUBnCNTm と TAUBTTOUTm は値を保持した状態で動作を停止します。

マスタおよびスレーブチャネルの TAUBnTS.TAUBnTSm を 1 に設定すると、同時に TAUBnTE.TAUBnTEm が 1 になります。

TAUBnTE.TAUBnTEm が 1 のときスタートトリガが検出されると、TAUBnCDRm の値が TAUBnCNTm に転送され、動作を再開します。

(6) スレーブチャネルカウント中にマスタチャネルがリスタート

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

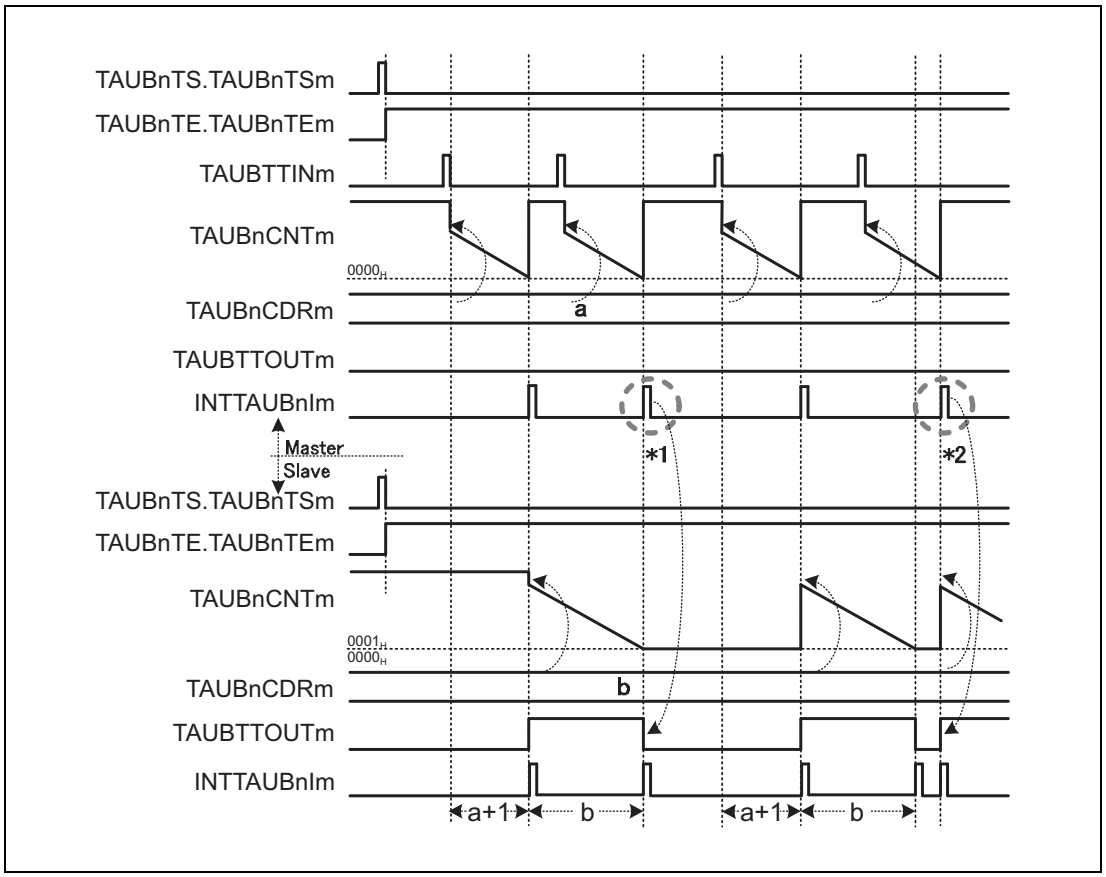


図 24.91 TAUBTTINm 入力間隔≦ディレイ時間 + パルス幅 +1

- スレーブチャネルのカウンタが 0001_H になる前かちょうど 0001_H になったときにマスタチャネルが割り込みを発生した場合 (*1)、割り込み（マスタ）は無視されます。
- スレーブチャネルのカウンタが次のトリガを待つ間にマスタチャネルの割り込みが発生した場合は、TAUBnCDRm（スレーブ）の値がリロードされます。割り込みが発生し、TAUBTTOUTm がトグルされます。TAUBnCNTm（スレーブ）がカウント中に TAUBnCNTm（マスタ）がダウンカウントを開始した場合は (*2)、TAUBTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスを発生するには、マスタチャネルとスレーブチャネルがカウント中でなくスタートトリガ待ち状態のときにマスタチャネルのスタートトリガが検出される必要があります。

24.14.3 ディレイパルス出力機能

24.14.3.1 概要

概要

この機能では、2 種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャネルとスレーブチャネル 1 を使用して定義されています。スレーブチャネル 2 とスレーブチャネル 3 は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブチャネル 2 で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタチャネルで設定します。
- 基準信号のデューティサイクルはスレーブチャネル 1 を、ディレイ信号のデューティサイクルはスレーブチャネル 3 を使用して設定されます。
- 遅延量はスレーブチャネル 2 で設定します。

前提条件

- 4 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 24.115 ディレイパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容」**参照）。
- スレーブチャネル 1、2 の動作モードは、ワンカウントモードに設定する必要があります（**「表 24.118 ディレイパルス出力機能のスレーブチャネル 1 の TAUBnCMORm レジスタの内容」**、**「表 24.122 ディレイパルス出力機能のスレーブチャネル 2 の TAUBnCMORm レジスタの内容」**参照）。
- スレーブチャネル 3 の動作モードは、パルスワンカウントモードに設定する必要があります（**「表 24.125 ディレイパルス出力機能のスレーブチャネル 3 の TAUBnCMORm レジスタの内容」**参照）。
- マスタチャネルおよびスレーブチャネル 2 では TAUBTTOUTm を使用しません。
- スレーブチャネル 1 のチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります。
- スレーブチャネル 3 のチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、チャネルグループのカウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

- マスタチャネル：

  TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUBnIm が発生します。

  マスタチャネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUBnIm が発生します。再び TAUBnCDRm の値をカウンタにロードし、ダウンカウントを行います。

- スレーブチャネル 1、スレーブチャネル 2：

  スレーブチャネル 1、2 はマスタチャネルからの割り込みを検出すると、TAUBnCDRm の現在値からダウンカウントを開始します。TAUBTTOUTm 信号（スレーブ 1）が設定されます。

  – スレーブチャネル 1：
    スレーブチャネル 1 のカウンタ値が 0000_H になると（デューティ時間が経過すると）、INTTAUBnIm が発生し、TAUBTTOUTm 信号がリセットされます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUBnIm を待ちます。

  – スレーブチャネル 2：
    スレーブチャネル 2 のカウンタ値が 0000_H になり遅延時間が経過すると、INTTAUBnIm が発生します。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUBnIm を待ちます。
    INTTAUBnIm（スレーブチャネル 2）が発生することにより、スレーブチャネル 3 のカウンタ動作がトリガされます。

- スレーブチャネル 3：
  スレーブチャネル 3 はスレーブチャネル 2 からの割り込みを検出すると、TAUBnCDRm の現在値からダウンカウントを開始します。INTTAUBnIm が発生し、TAUBTTOUTm 信号（スレーブチャネル 3）がセットされます。
  スレーブチャネル 3 のカウンタ値が 0001_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がリセットされます。
  スレーブチャネル 3 からは遅延された PWM パルスが出力されます。

マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

条件

この機能で一斉書き換えを行うことができます。**「24.6　一斉書き換え」**を参照してください。

24.14.3.2 算出式

パルス周期 =（TAUBnCDRm（マスタ）＋ 1）× カウントクロック周期

デューティ幅 1 =（TAUBnCDRm（スレーブ 1））× カウントクロック周期

遅延幅 =（TAUBnCDRm（スレーブ 2）＋ 1）× カウントクロック周期

デューティ幅 2 =（TAUBnCDRm（スレーブ 3））× カウントクロック周期

ただし、遅延幅の設定値は下記範囲とすること。
0000_H ≦ TAUBnCDRm (スレーブ 2) ＜ TAUBnCDRm (マスタ)

備　考

1. TAUBTTOUTm（スレーブ3）の出力波形は、TAUBTTOUTm（スレーブ1）の出力波形をスレーブ2で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
2. スレーブ3のカウント中に、スレーブ2のINTTAUBnImが発生した場合、スレーブ3は動作を再開します。したがって、TAUBTTOUTm（スレーブ3）の出力波形は、アクティブレベルを保持します。（この場合、TAUBTTOUTm（Slave-CH-3）は、TAUBTTOUTm（Slave-CH-1）の基本パルスをディレイさせた波形を出力できません。）

24.14.3.3 ブロック図と基本タイミング図

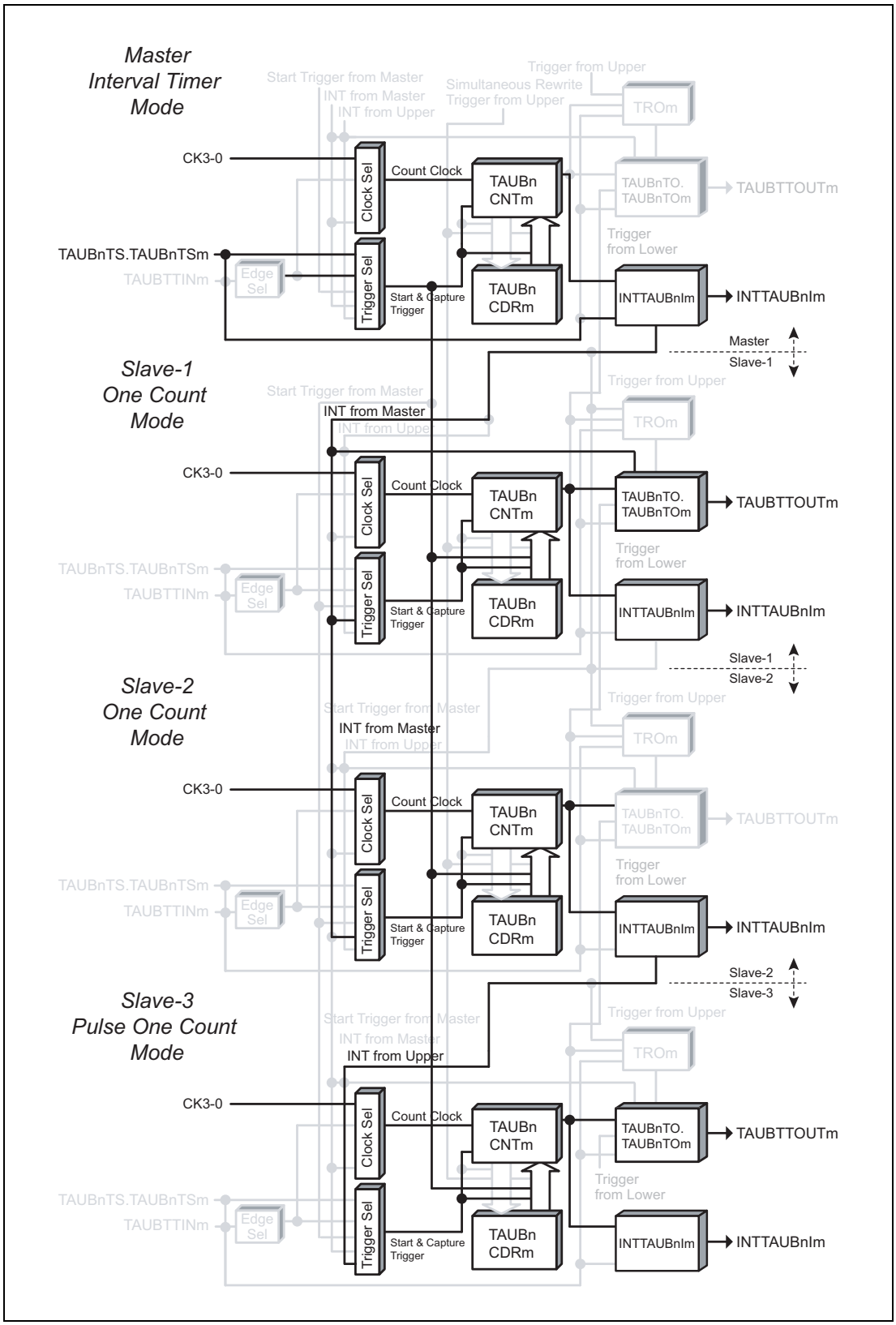


図 24.92 ディレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル 1：正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブチャネル 3：正論理（TAUBnTOL.TAUBnTOLm = 0）

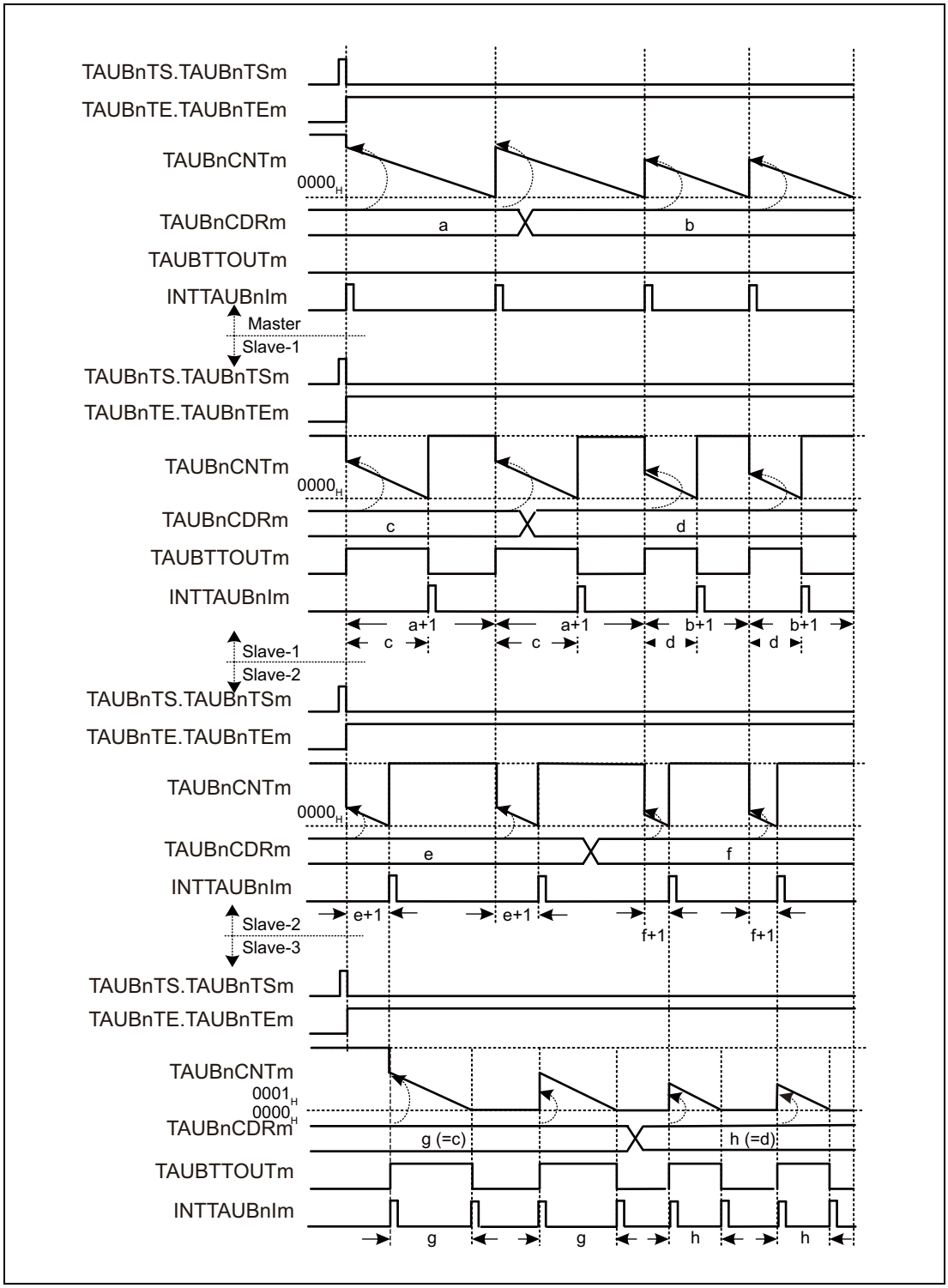


図 24.93 ディレイパルス出力機能の基本タイミング図

24.14.3.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.115 ディレイパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.116 ディレイパルス出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) マスタチャネルのチャネル出力モード

この機能では、マスタチャネルはチャネル出力モードを使用しないため、
TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.117 ディレイパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.3.5 スレーブチャネル 1 のレジスタ設定

(1) スレーブチャネル 1 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.118 ディレイパルス出力機能のスレーブチャネル 1 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	100_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) スレーブチャネル 1 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.119 ディレイパルス出力機能のスレーブチャネル 1 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネル 1 のチャネル出力モード

表 24.120 チャネル連動出力モード 1 時のスレーブチャネル 1 の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.121 ディレイパルス出力機能時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.3.6 スレーブチャネル 2 のレジスタ設定

(1) スレーブチャネル 2 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.122 ディレイパルス出力機能のスレーブチャネル 2 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	100_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) スレーブチャネル 2 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.123 ディレイパルス出力機能のスレーブチャネル 2 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネル 2 のチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) スレーブチャネル 2 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.124 ディレイパルス出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.3.7 スレーブチャネル 3 のレジスタ設定

(1) スレーブチャネル 3 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.125 ディレイパルス出力機能のスレーブチャネル 3 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	101_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	1010_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) スレーブチャネル 3 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.126 ディレイパルス出力機能のスレーブチャネル 3 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネル 3 のチャネル出力モード

表 24.127 チャネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	0_B を書いてください。
TAUBnTOC.TAUBnTOCm	1_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) スレーブチャネル 3 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.128 ディレイパルス出力機能時のスレーブチャネル 3 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.3.8 ディレイパルス出力機能時の操作手順

表 24.129 ディレイパルス出力機能時の操作手順 (1/2)

	操作	TAUBn の状態
チャネルの初期設定	マスタチャネル：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.3.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル 1：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.3.5　スレーブチャネル 1 のレジスタ設定」**に示すように設定します。 スレーブチャネル 2：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.3.6　スレーブチャネル 2 のレジスタ設定」**に示すように設定します。 スレーブチャネル 3：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.3.7　スレーブチャネル 3 のレジスタ設定」**に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。

表 24.129 ディレイパルス出力機能時の操作手順 (2/2)

		操作	TAUBn の状態
動作再開	動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタチャネルとスレーブチャネル 1 ／ 2 のカウンタが動作を開始します。 マスタチャネルで INTTAUBnIm が発生し、TAUBTTOUTm（スレーブチャネル 1）がセットされます。
	動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 1 ／ 2 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。 マスタチャネルのカウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • 再び TAUBnCDRm の値を TAUBnCNTm（マスタ）にロードし、カウント動作を継続します。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ 1 ／ 2）にロードし、ダウンカウントを開始します。 • TAUBTTOUTm（スレーブ 1）がセットされます。 TAUBnCNTm（スレーブ 1）が 0000_H になった場合： • INTTAUBnIm（スレーブ 1）が発生します。 • TAUBTTOUTm（スレーブ 1）がリセットされます。 TAUBnCNTm（スレーブ 2）が 0000_H になった場合： • INTTAUBnIm（スレーブ 2）が発生します。 • INTTAUBnIm（スレーブ 3）が発生します。 • TAUBTTOUTm（スレーブ 3）がセットされます。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ 3）にロードし、ダウンカウント動作を開始します。 TAUBnCNTm（スレーブ 3）が 0001_H になった場合： • INTTAUBnIm（スレーブ 3）が発生します。 • TAUBTTOUTm（スレーブ 3）がリセットされます。
	動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

24.14.3.9 特定のタイミング図

(1) デューティサイクル（スレーブ 3）= 100 %

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm（マスタ）= $000A_H$
- TAUBnCDRm（スレーブ 1）= $000B_H$
- TAUBnCDRm（スレーブ 2）= 0000_H
- TAUBnCDRm（スレーブ 3）= $000B_H$

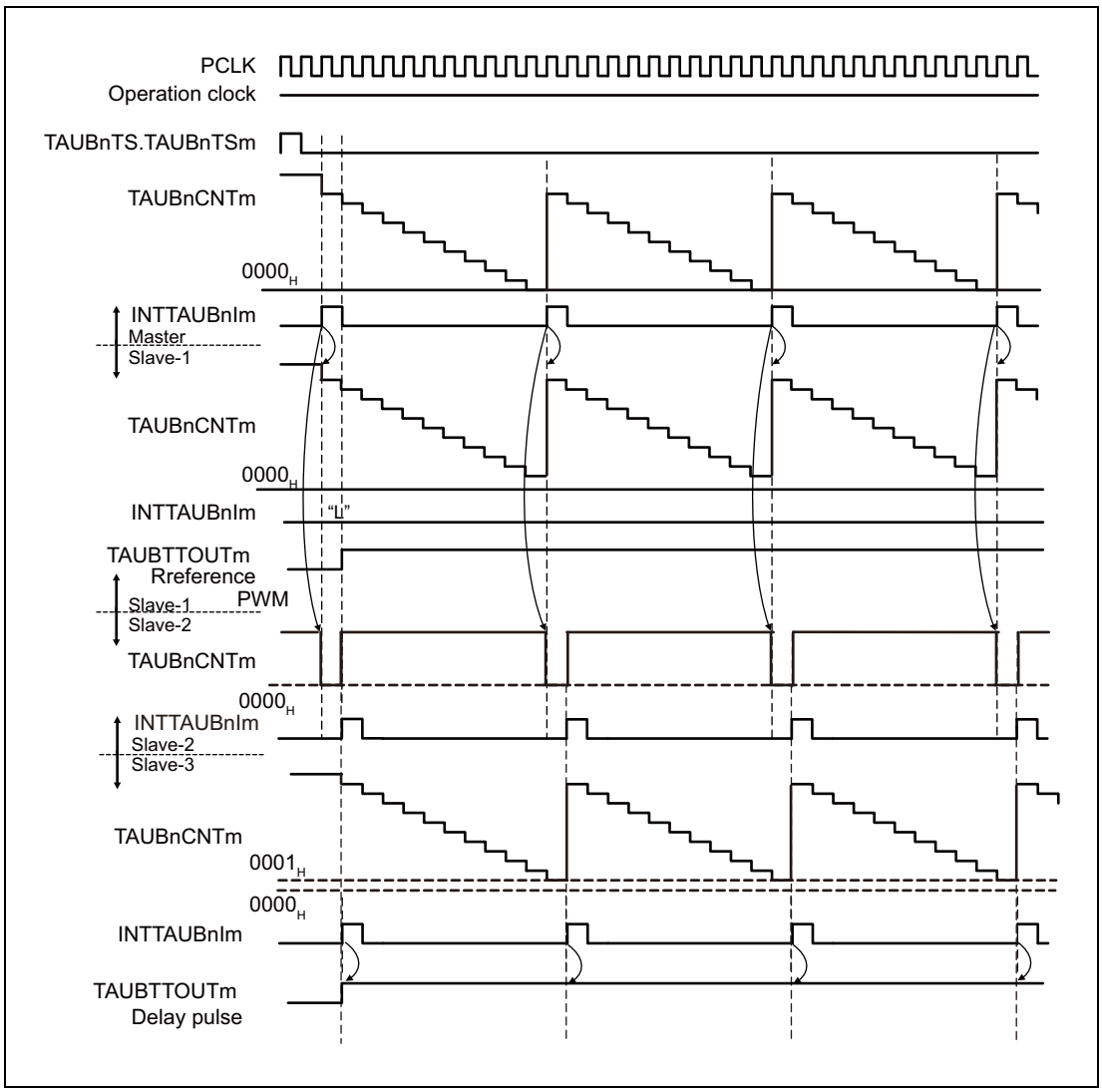


図 24.94 デューティサイクル（スレーブ 3）= 100%

- TAUBnCDRm（スレーブ 1/ スレーブ 3）の値が TAUBnCDRm（マスタ）の値を越える場合は、スレーブチャネル 1 のカウンタは 0000_H にならず、割り込みは発生しません。チャネル 1、3 の TAUBTTOUTm は、アクティブ状態のままになります。

(2) TAUBTTOUTm（スレーブ 1）＝ TAUBTTOUTm（スレーブ 3）

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm（マスタ）＝ $000A_H$
- TAUBnCDRm（スレーブ 1）＝ 0005_H
- TAUBnCDRm（スレーブ 2）＝ 0000_H
- TAUBnCDRm（スレーブ 3）＝ 0005_H

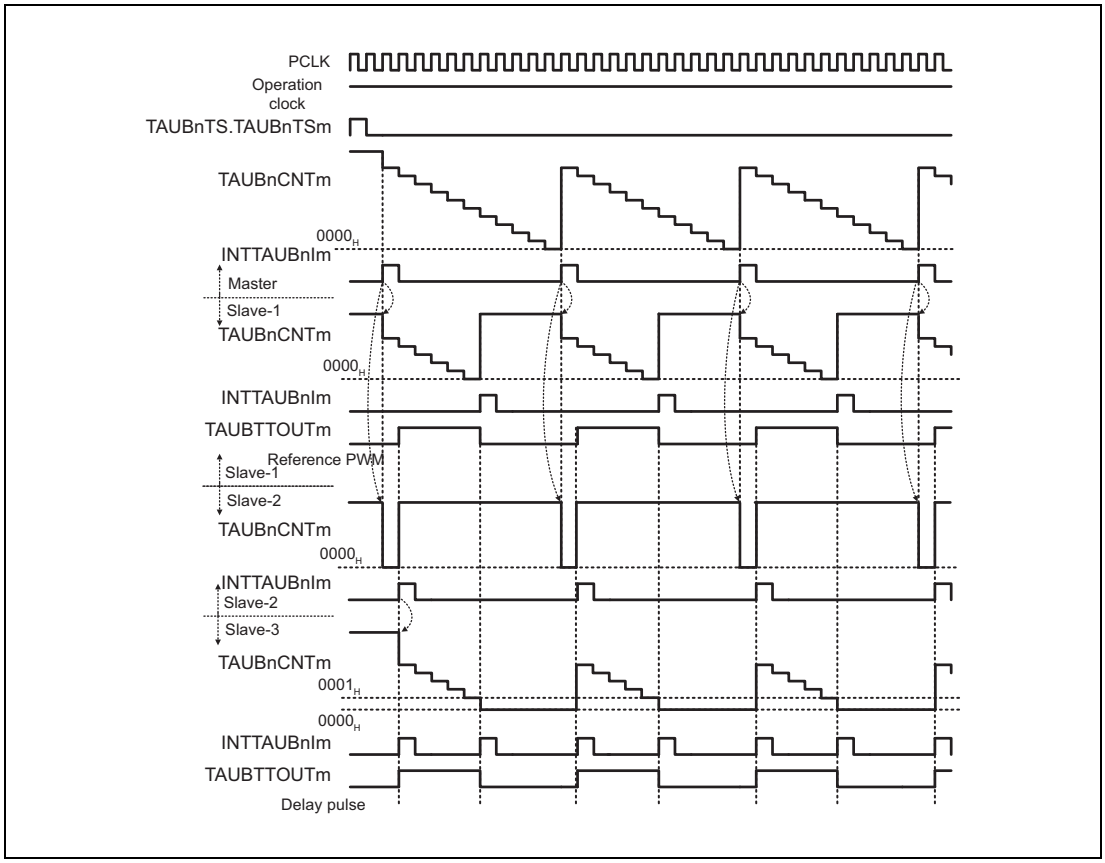


図 24.95　TAUBTTOUTm（スレーブ 1）＝ TAUBTTOUTm（スレーブ 3）

- TAUBnCDRm（スレーブ 2）＝ 0000_H の場合、スレーブチャネル 3 はスレーブチャネル 1 のカウンタから 1 カウントクロック遅れてカウントします。リファレンスパルスとでディレイパルスが 1 カウントクロック遅れて発生します。

24.14.4 A/D 変換トリガ出力機能タイプ 1

24.14.4.1 概要

概要

この機能は、TAUBTTOUTm が出力されないという点を除き、**「24.14.1 PWM 出力機能」**と同じです。

スレーブチャネルの出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

24.14.4.2 ブロック図と基本タイミング図

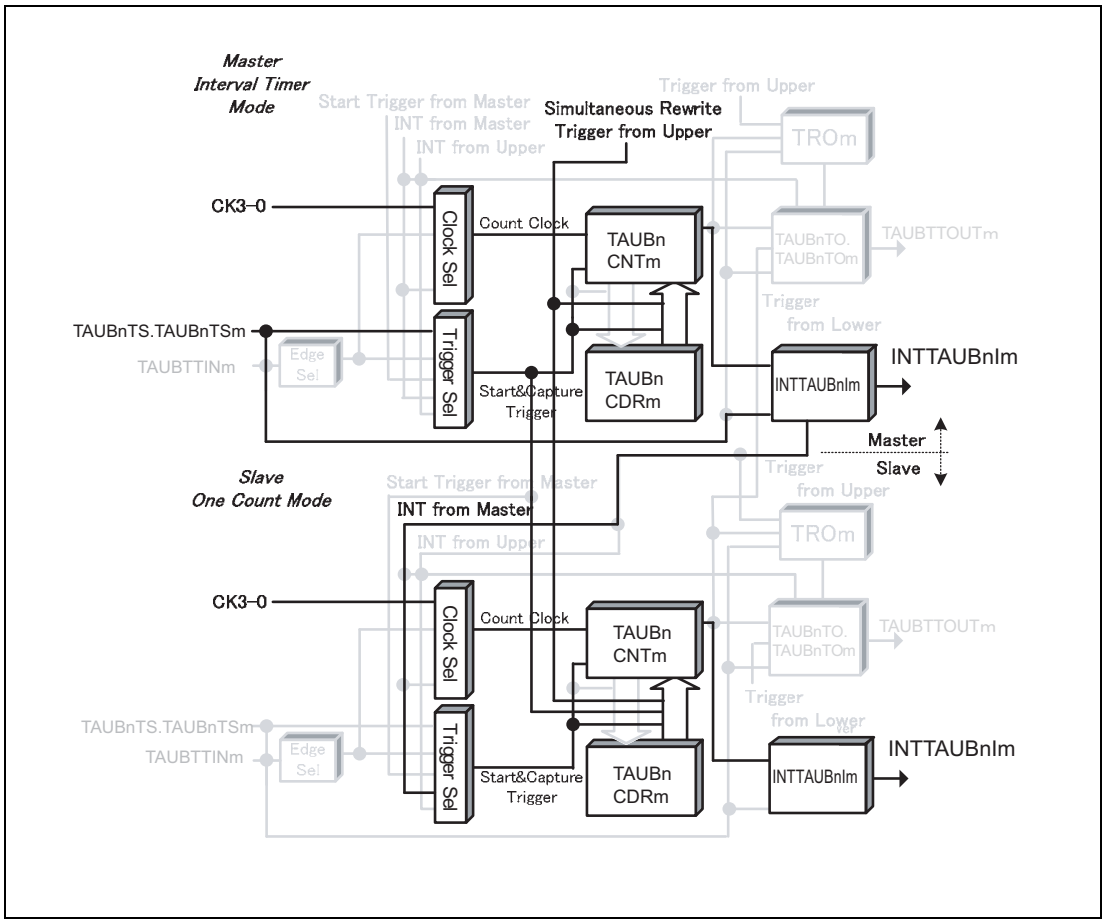


図 24.96 A/D 変換トリガ出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

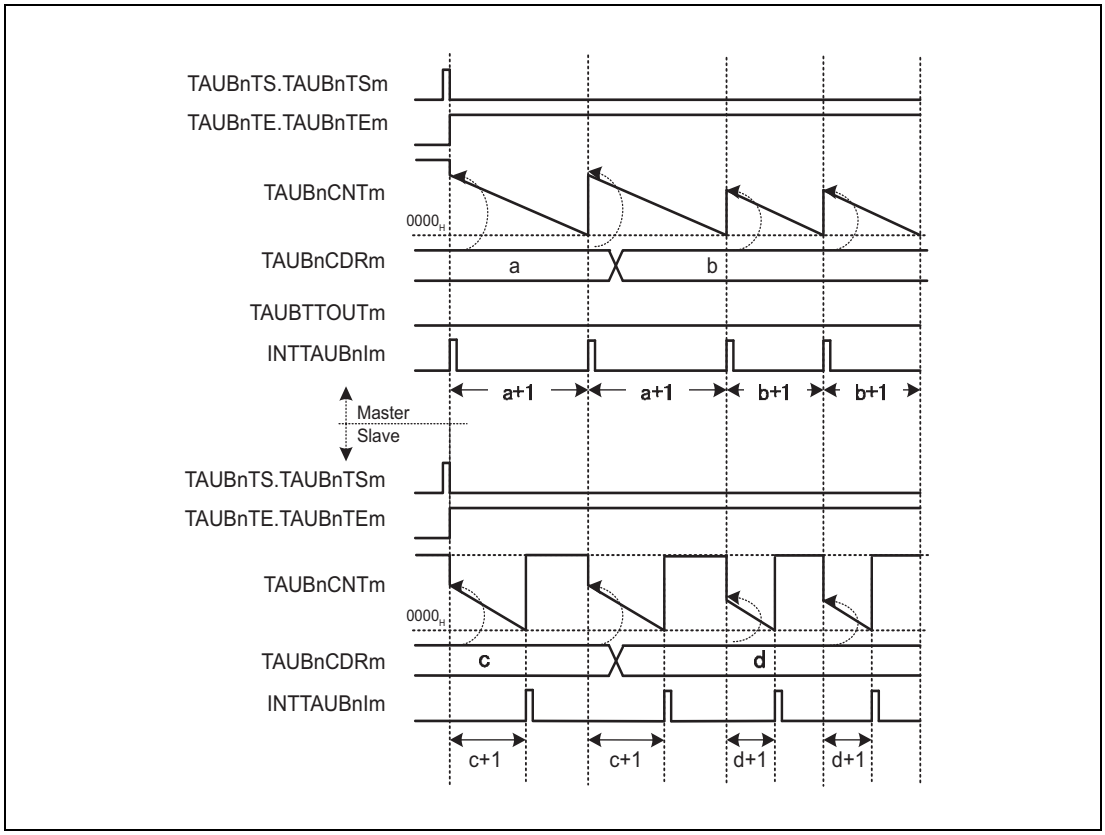


図 24.97　A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

24.14.5 三角波 PWM 出力機能

24.14.5.1 概要

概要

マスタチャネルと 1 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ／スレーブチャネルを用いて、TAUBTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャネルで生成します。マスタチャネルの 1 周期目はスレーブカウンタのダウンステータスを、2 周期目はアップステータスを制御します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 24.130 三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、アップ／ダウンカウントモードに設定する必要があります（**「表 24.134 三角波 PWM 出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容」**参照）。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります。
- スレーブチャネルの出力モードは、チャネル連動出力モード 2 に設定する必要があります。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUBTTOUTm 信号がハイレベルになります。
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 0 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 1 に設定する必要があります。（推奨設定）
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 1 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 0 に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、すべてのチャネルでカウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm が設定され、カウントが可能になります。TAUBnCDRm（マスタ／スレーブ）の値が TAUBnCNTm（マスタ／スレーブ）にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャネルの TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されている場合は、割り込みが発生し、マスタの TAUBTTOUTm 信号がトグルされます。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000_H になると（パルス周期が経過すると）、INTTAUBnIm が発生し、TAUBTTOUTm 信号がトグルされます。その後、再び TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。

- スレーブチャネル：
  マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。
  - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
  - スレーブのカウンタがアップカウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

  スレーブチャネルのカウンタがアップ／ダウンカウント中に 0001_H になると、INTTAUBnIm が発生し、TAUBTTOUTm（スレーブ）信号がセット／リセットされます：

  カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUBnIm を待ちます。

  TAUBnTOL.TAUBnTOLm を設定することにより、動作中に TAUBTTOUTm 信号の正相／逆相を切り替えることができます。

マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタの動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。**「24.6　一斉書き換え」**を参照してください。

24.14.5.2 算出式

パルス周期＝（TAUBnCDRm（マスタ）＋ 1）× カウント・クロック周期

0000_H ≦ TAUBnCDRm（マスタ）＜ $FFFF_H$

キャリア周期（ダウン／アップ）＝（TAUBnCDRm（マスタ）＋ 1）× 2 × カウント・クロック周期

デューティサイクル＝
[（TAUBnCDRm（マスタ）＋ 1 － TAUBnCDRm（スレーブ））／（TAUBnCDRm（マスタ）＋ 1）]× 100

- デューティサイクル＝100 %
  TAUBnCDRm（スレーブ）＝ 0000_H
- デューティサイクル＝0 %
  TAUBnCDRm（スレーブ）≧ TAUBnCDRm（マスタ）＋ 1

24.14.5.3 ブロック図と基本タイミング図

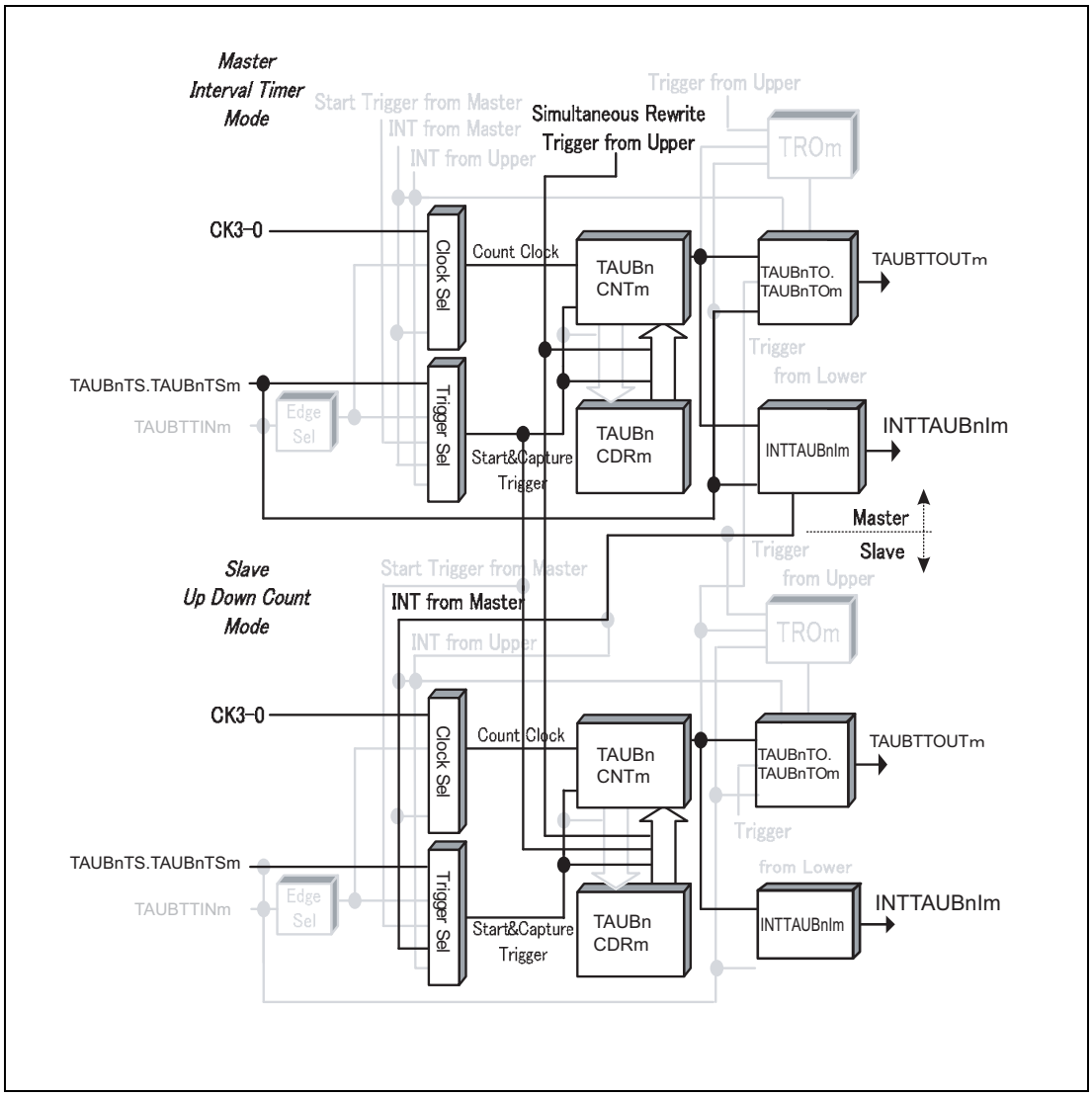


図 24.98 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）

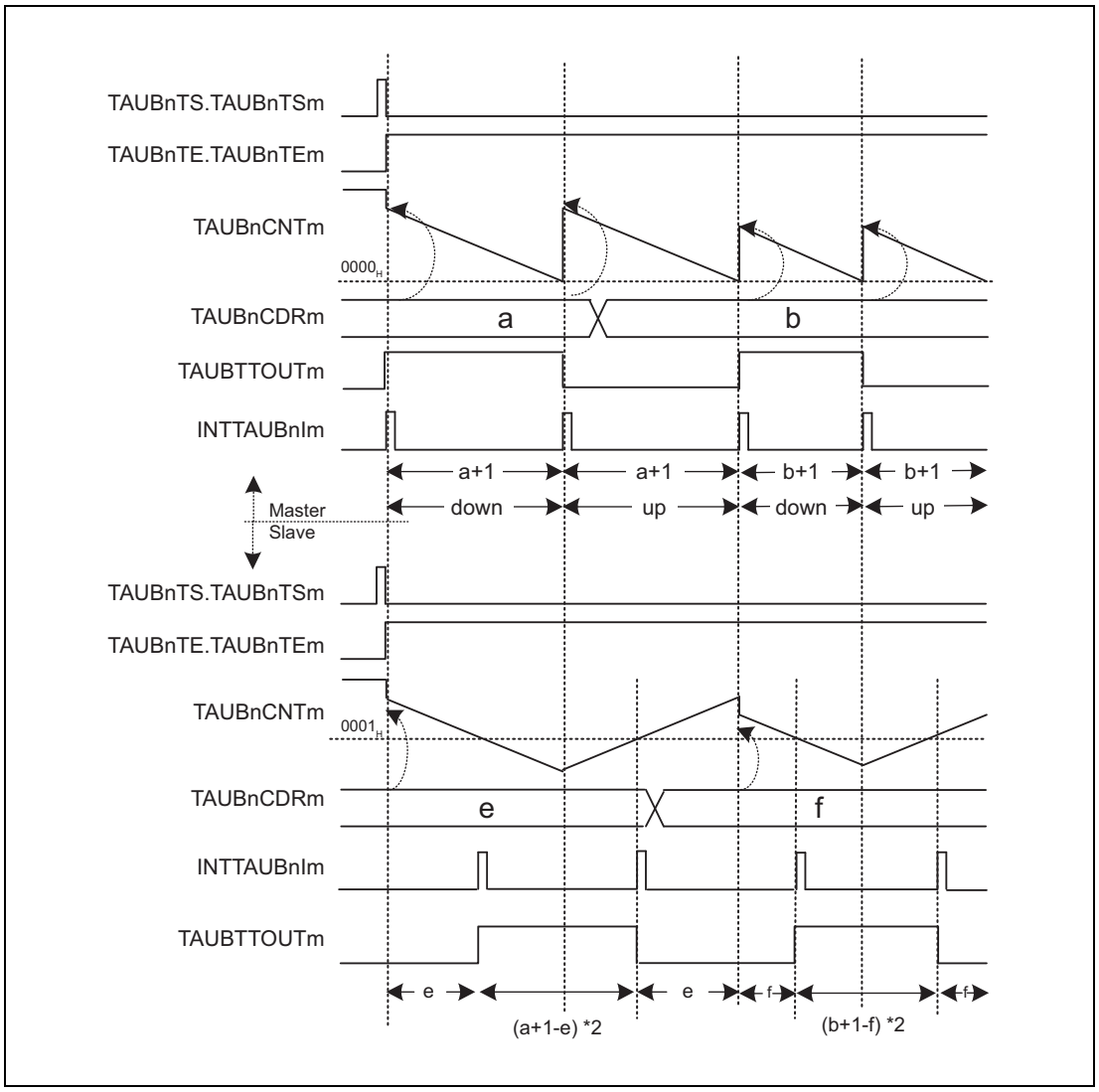


図 24.99 三角波 PWM 出力機能の基本タイミング図

24.14.5.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.130 三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生せず、TAUBTTOUTm はトグルされない 1：動作開始時に INTTAUBnIm が発生し、TAUBTTOUTm はトグルされる

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.131 三角波 PWM 出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) マスタチャネルのチャネル出力モード

表 24.132 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	0_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0_B を書いてください。
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.133 三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUBnRDS.TAUBnRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

24.14.5.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.134 三角波 PWM 出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS [2:0]	111_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	1001_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) スレーブチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.135 三角波 PWM 出力機能のスレーブチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネルのチャネル出力モード

表 24.136 チャネル連動出力モード 2 のときの制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	1_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.137 三角波 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.5.6 三角波 PWM 出力機能時の操作手順

表 24.138 三角波 PWM 出力機能時の操作手順

		操作	TAUBn の状態
	チャネルの初期設定	マスタチャネル：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.5.4 マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.5.5 スレーブチャネルのレジスタ設定」**に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm（マスタ）が発生します。
	動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnTOL.TAUBnTOLm は変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタ／スレーブチャネルの TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • TAUBTTOUTm（マスタ）がトグルされます。 • 再び TAUBnCDRm の値を TAUBnCNTm（マスタ）にロードし、カウント動作を継続します。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ）にロードするか、反対方向のカウントを開始します。 スレーブチャネルの TAUBnCNTm が 0001_H になった場合： • INTTAUBnIm（スレーブ）が発生します。 • TAUBTTOUTm（スレーブ）は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
	動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

24.14.5.7 特定の設定時のタイミング図

(1) デューティサイクル = 0 %

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
  - TAUBnCDRm = a = 5_H
- スレーブチャネル：
  - TAUBnCDRm = 6_H

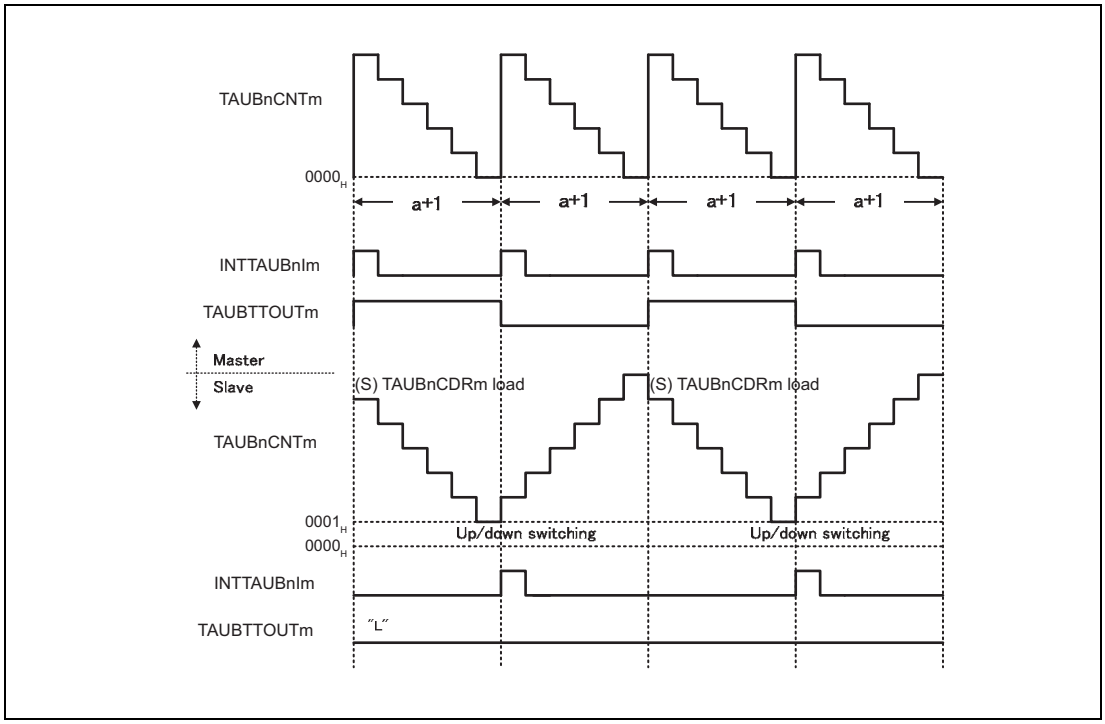


図 24.100 TAUBnCDRm（スレーブ）≧ TAUBnCDRm（マスタ）+ 1

- TAUBnCDRm（スレーブ）値が TAUBnCDRm（マスタ）+1 値以上の場合、ダウンカウント中にスレーブチャネルの INTTAUBnIm は発生しません。セット信号が検出されることがないため、TAUBTTOUTm はロウレベル状態のままになります。

(2) デューティサイクル = 100 %

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
  - TAUBnCDRm = a = 5_H
- スレーブチャネル：
  - TAUBnCDRm = 0_B

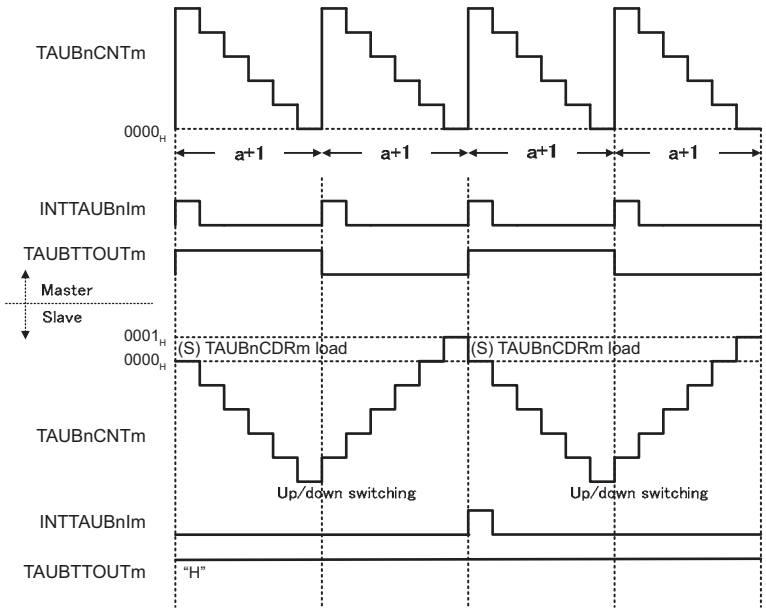


図 24.101　TAUBnCDRm（スレーブ）= 0000_H

- TAUBnCDRm（スレーブ）＝ 0000_H の場合、アップカウント中にスレーブチャネルの INTTAUBnIm は発生しません。リセット信号が検出されることがないため、TAUBTTOUTm はハイレベル状態のままになります。

24.14.6 デッドタイム付き三角波 PWM 出力機能

24.14.6.1 概要

概要

マスタチャネルと 2 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャネル 2/3 の TAUBTTOUTm から出力されます。これにより、マスタ／スレーブチャネルを使って TAUBTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブチャネルの TAUBTTOUTm がセット／リセットされます。TAUBnTDL.TAUBnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUBTTOUTm がただちにセット／リセットされるのか、デッドタイム経過後にセット／リセットされるのかを設定）。デッドタイム時間はスレーブチャネル 3 で設定します。

前提条件

- 3 チャネル。スレーブチャネル 2 と 3 は、偶数チャネル CH（a）と奇数チャネル CH（a ＋ 1）を選択してください。
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 24.140　デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容」**参照）。
- この機能では、スレーブチャネル 1 は使用しません。そのため、スレーブチャネル 2 は必ず偶数チャネル（a）、スレーブチャネル 3 は奇数チャネル（a + 1）です。スレーブチャネル 1 は、個別タイマ（単体機能）として使用可能です。
- スレーブチャネル 2 の動作モードは、アップダウンモードに設定する必要があります（**「表 24.144　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUBnCMORm レジスタの内容」**参照）。
  また、スレーブチャネル 2 は偶数チャネルでなければなりません。
- スレーブチャネル 3 の動作モードは、ワンカウントモードに設定する必要があります（**「表 24.148　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUBnCMORm レジスタの内容」**参照）。
  また、スレーブチャネル 3 は奇数チャネルでなければなりません。
- マスタチャネルのチャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。
- スレーブチャネル 2/3 の出力モードは、デッドタイム出力を行うチャネル連動出力モード 2 に設定する必要があります。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUBTTOUTm 信号が

ハイレベルになります。

– TAUBnCMORm.TAUBnMD0（マスタ）ビットが 0 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 1 に設定する必要があります。（推奨設定）

– TAUBnCMORm.TAUBnMD0（マスタ）ビットが 1 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 0 に設定する必要があります。

備　考

デッドタイム付き三角波 PWM 出力機能では、スレーブチャネル 1 を使用しません。スレーブチャネル 1 は、個別タイマ（単体機能）として使用可能です。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が開始されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャネルの TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されている場合は、割り込みが発生し、マスタの TAUBTTOUTm 信号がトグルされます。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がトグルされます。再び TAUBnCDRm の値をカウンタにロードし、ダウンカウントを行います。

- スレーブチャネル 2：
  マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネル 2 のカウンタ動作がトリガされます。

  – スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。

  – スレーブのカウンタがアップカウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

  カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUBnIm を待ちます。
  スレーブチャネル 2 のカウンタ値が 0001_H になると INTTAUBnIm が発生します。

- スレーブチャネル 3：
  スレーブチャネル 2 で INTTAUBnIm が発生すると、スレーブチャネル 3 のカウンタ動作がトリガされます。そして TAUBnCDRm（スレーブ 3）の現在値が TAUBnCNTm（スレーブ 3）にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。
  カウンタ値が 0000_H になると、INTTAUBnIm が発生します。カウンタは $FFFF_H$ に戻り、スレーブチャネル 2 の次の INTTAUBnIm を待ちます。

「表 24.139　スレーブチャネル 2 で割り込みが発生した際の TAUBTTOUTm の動作」にあるように、対応するチャネルの TAUBnTDL.TAUBnTDLm 設定によって、セット／リセットのタイミング（割り込み発生直後またはデッドタイム経過後）が決まります。

また、TAUBnTOL.TAUBnTOLm の設定によって、対応チャネルからハイレベル信号を出力（TAUBnTOL.TAUBnTOLm = 0）するかロウレベル信号を出力（TAUBnTOL.TAUBnTOLm = 1）するかが決まります。

マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。

スレーブチャネル 2 の TAUBnCDRm 値を 0000_H にして、TAUBTTOUTm を 100% 出力することができます。

備　考

動作中に強制リスタートが発生した場合、TAUBTTOUTm は三角波 PWM 出力波形を出しません。

条件

この機能では一斉書き換えを行うことができます。**「24.6　一斉書き換え」**を参照してください。

TAUBnTOL.TAUBnTOLm と TAUBnTDL.TAUBnTDLm の設定はカウント動作開始前に行う必要があり、スレーブチャネル 2 とスレーブチャネル 3 は TAUBnTOL.TAUBnTOLm か TAUBnTDL.TAUBnTDLm の設定が反対でなければなりません。

表 24.139 スレーブチャネル 2 で割り込みが発生した際の TAUBTTOUTm の動作

TAUBnTDL.TAUBnTDLm	割り込み発生時のスレーブチャネル 2 のカウント方向	TAUBTTOUTm セット／リセットタイミング
0	ダウンカウント	デッドタイム経過後にセット
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後にリセット

24.14.6.2 算出式

パルス周期 =（TAUBnCDRm（マスタ）＋ 1）× カウントクロック周期

0000_H ≦ TAUBnCDRm（マスタ）＜ $FFFF_H$

キャリア周期（ダウン／アップ）= （TAUBnCDRm（マスタ）＋ 1）× 2 × カウントクロック周期

PWM 信号幅（正相）= [（TAUBnCDRm（マスタ）＋ 1 － TAUBnCDRm（スレーブ 2））× 2 －（TAUBnCDRm （スレーブ 3）＋ 1）] × カウントクロック周期

PWM 信号幅（逆相）= [（TAUBnCDRm（マスタ）＋ 1 － TAUBnCDRm（スレーブ 2））× 2 ＋（TAUBnCDRm （スレーブ 3）＋ 1）] × カウントクロック周期

24.14.6.3 ブロック図と基本タイミング図

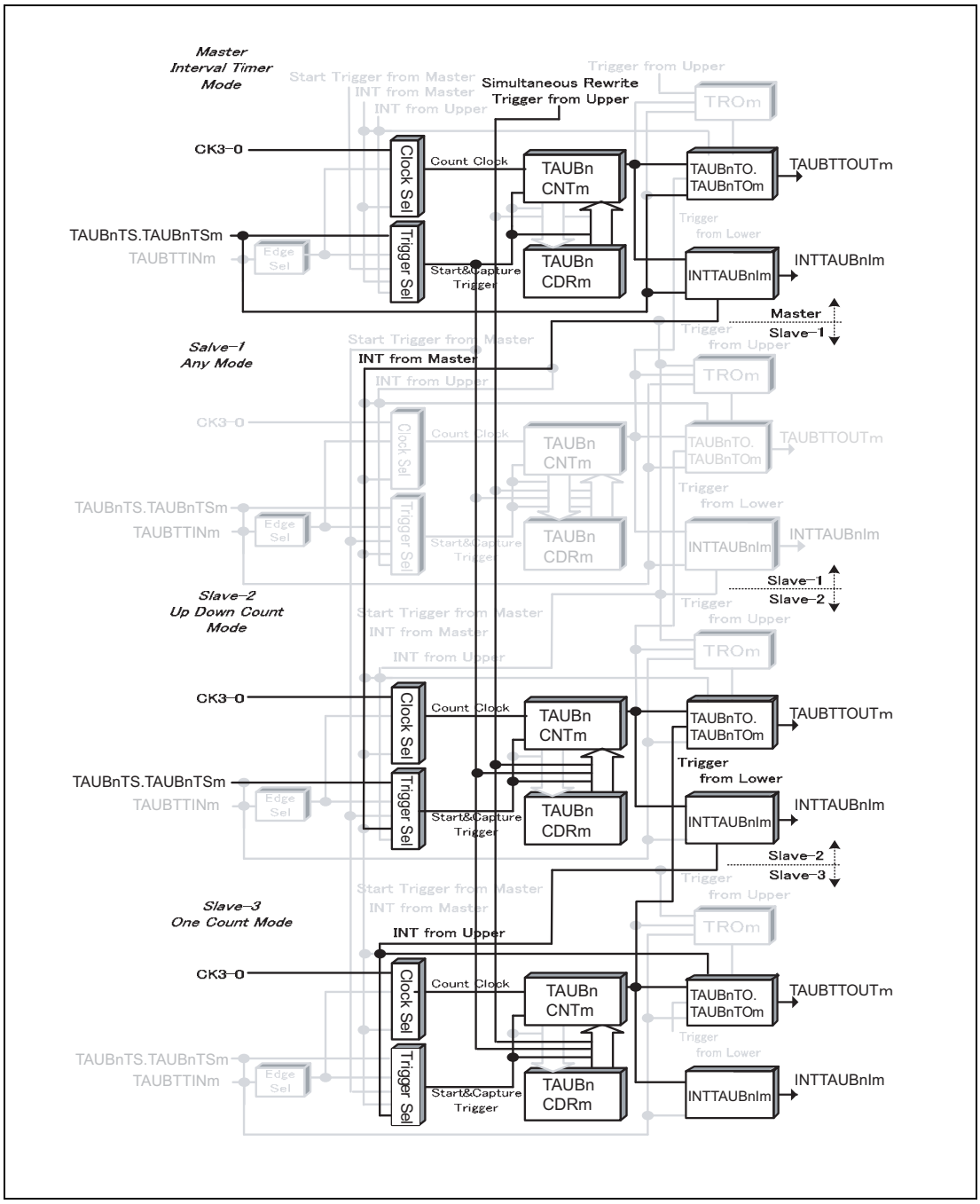


図 24.102 デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
- スレーブチャネル 2：
  - 動作開始時に INTTAUBnIm が発生しない（TAUBnCMORm.TAUBnMD0 = 0）
  - TAUBnTDL.TAUBnTDLm = 0
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブチャネル 3：
  - カウント中のスタートトリガ検出許可（TAUBnCMORm.TAUBnMD0 = 1）
  - TAUBnTDL.TAUBnTDLm = 1
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）

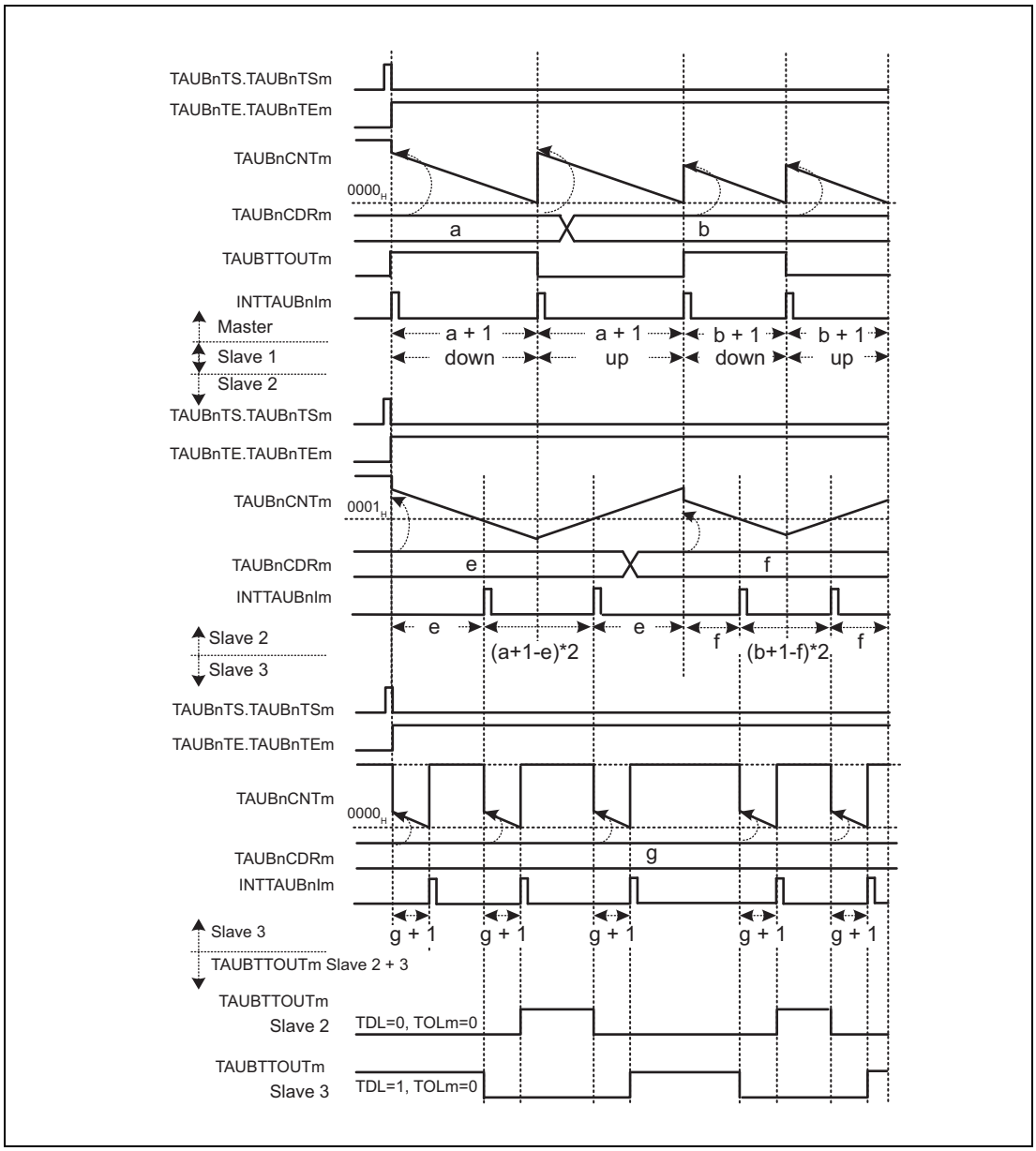


図 24.103 デッドタイム付き三角波 PWM 出力機能の基本タイミング図

24.14.6.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.140 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生せず、TAUBTTOUTm はトグルされない 1：動作開始時に INTTAUBnIm が発生し、TAUBTTOUTm はトグルされる

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.141 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) マスタチャネルのチャネル出力モード

表 24.142 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	0_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0_B を書いてください。
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.143 デッドタイム付き三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUBnRDS.TAUBnRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

24.14.6.5 スレーブチャネル 2 のレジスタ設定

(1) スレーブチャネル 2 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.144 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	111_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	1001_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) スレーブチャネル 2 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.145 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネル 2 のチャネル出力モード

表 24.146 デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	1_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	1_B を書いてください。
TAUBnTDL.TAUBnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加

注　意

TAUBnTDL.TAUBnTDLm は、奇数チャネルと排他設定してください。

(4) スレーブチャネル 2 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.147 三角波 PWM 出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.6.6 スレーブチャネル 3 のレジスタ設定

(1) スレーブチャネル 3 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.148 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10 ～ 8	TAUBnSTS[2:0]	110_B を書いてください。
7、6	TAUBnCOS [1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) スレーブチャネル 3 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.149 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネル 3 のチャネル出力モード

表 24.150 デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	1_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	1_B を書いてください。
TAUBnTDL.TAUBnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加

注　意

TAUBnTDL.TAUBnTDLm は、偶数チャネルと排他設定してください。

(4) スレーブチャネル 3 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.151 三角波 PWM 出力機能時のスレーブチャネル 3 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

24.14.6.7 デッドタイム付き三角波 PWM 出力機能時の操作手順

表 24.152 デッドタイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUBn の状態
チャネルの初期設定	マスタチャネル：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.6.4 マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル 2：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.6.5 スレーブチャネル 2 のレジスタ設定」**に示すように設定します。 スレーブチャネル 3：TAUBnCMORm ／ TAUBnCMURm レジスタとチャネル出力モードを**「24.14.6.6 スレーブチャネル 3 のレジスタ設定」**に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm（マスタ）が発生します。
動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • 再び TAUBnCDRm の値を TAUBnCNTm（マスタ）にロードし、カウント動作を継続します。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ 2）にロードするか、反対方向のカウントを開始します。 TAUBnCNTm（スレーブ 2）が 0001_H になった場合： • INTTAUBnIm（スレーブ 2）が発生します。 • スレーブチャネル 3 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。 スレーブチャネル 3 の TAUBnCNTm が 0000_H になった場合： • INTTAUBnIm が発生します。
動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

動作再開

24.14.6.8 特定の設定時のタイミング図

(1) デューティサイクル = 0 %

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

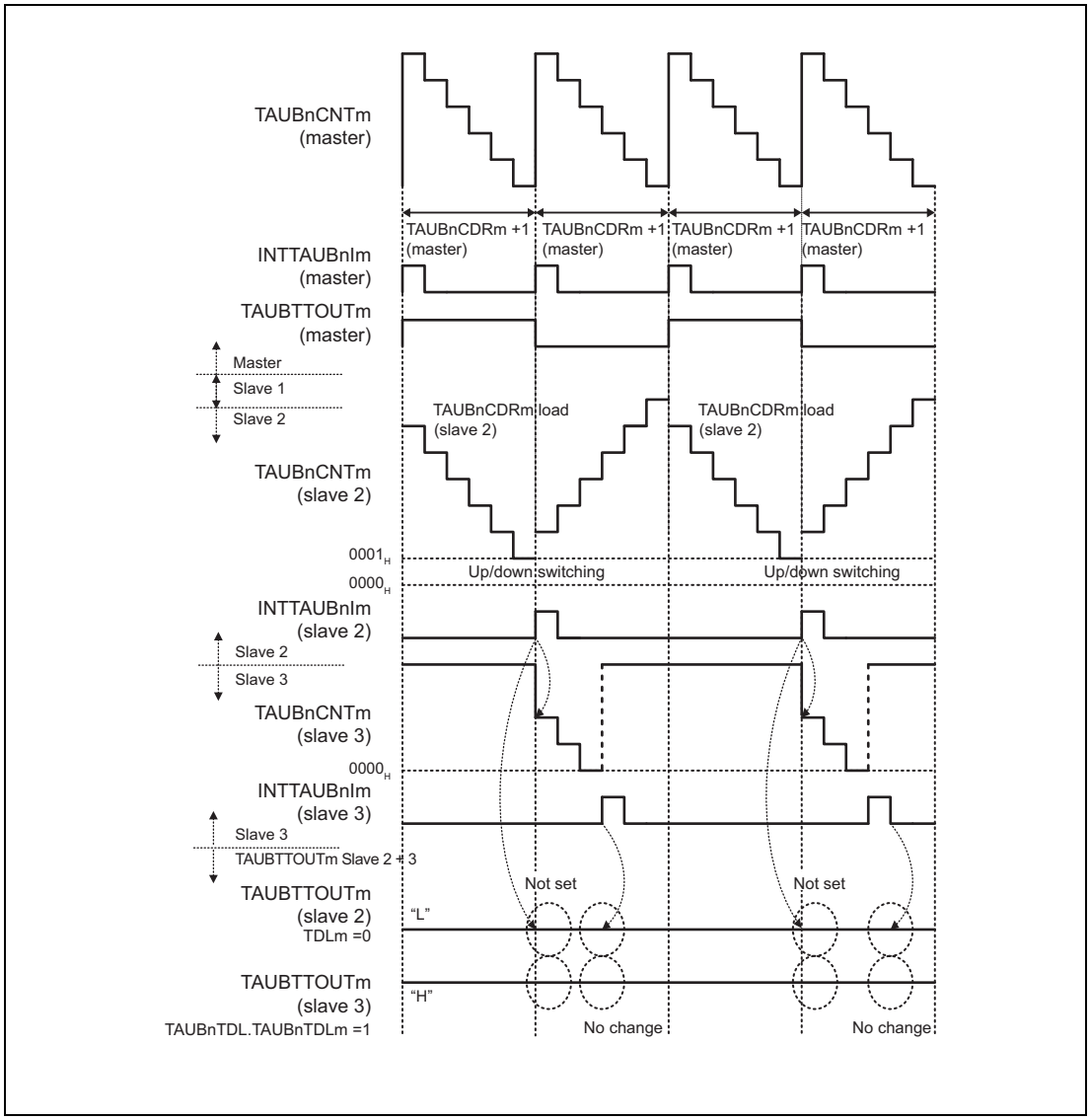


図 24.104 TAUBnCDRm（スレーブ 2）≧ TAUBnCDRm（マスタ）＋ 1

- TAUBnCDRm（スレーブ 2）値が TAUBnCDRm（マスタ）値以上の場合、スレーブチャネルのカウンタはダウンカウント中、0000_H になりません。したがって TAUBTTOUTm 信号のセット／リセットは行われず、初期状態のままになります。アップカウント中にスレーブチャネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(2) デューティサイクル = 100 %

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

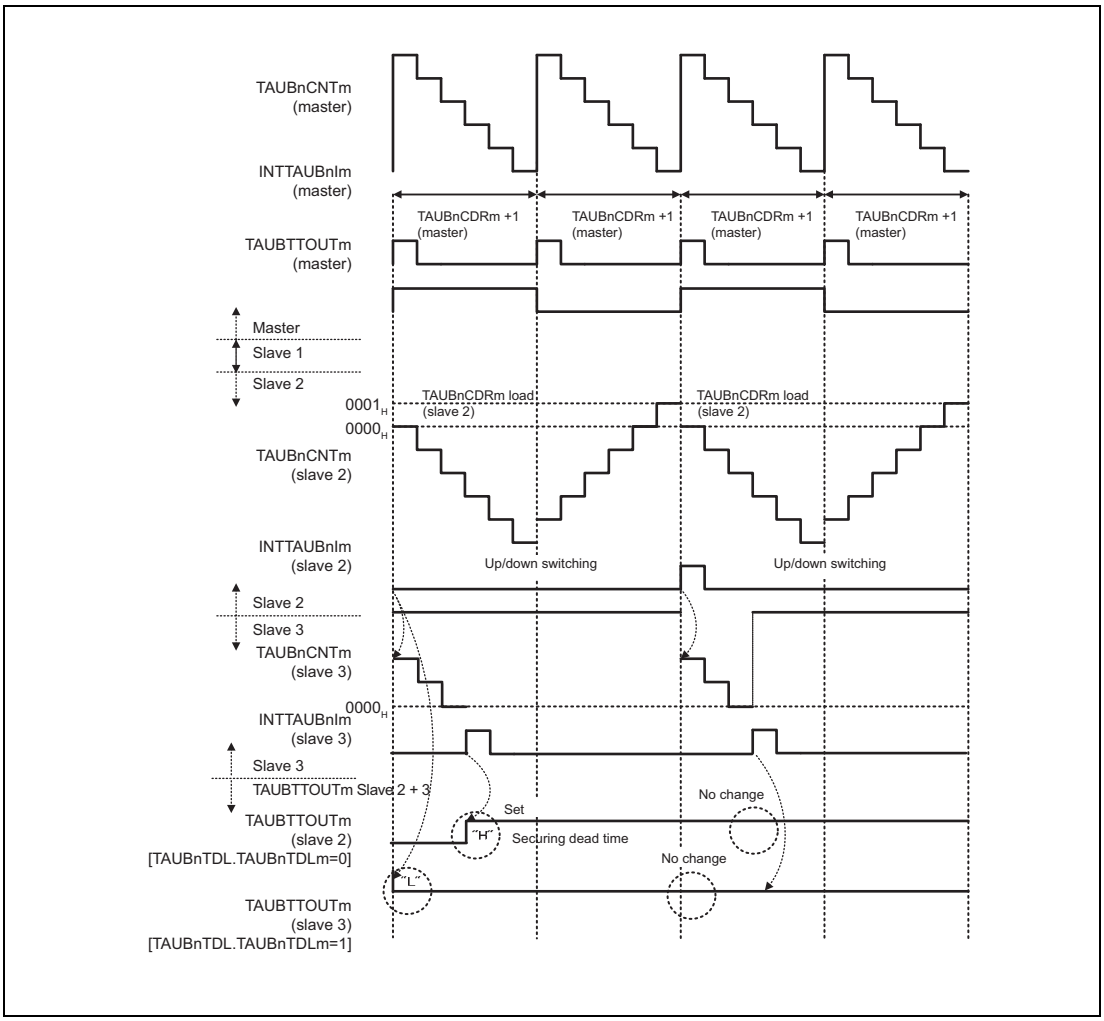


図 24.105 TAUBnCDRm（スレーブ 2）= 0000_H

- TAUBnCDRm（スレーブ 2）＝ 0000_H の場合、スレーブチャネルのカウンタはアップカウント中、0001_H になりません。したがって、アップカウント中に INTTAUBnIm は発生しません。
  - TAUBnTDL.TAUBnTDLm が 0 に設定されているチャネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャネルではリセット条件が満たされることがないため、TAUBTTOUTm のセット／リセットが行われても、信号は新しく設定された状態のままになります。
  - 上図のスレーブチャネル 3 はカウント開始時にセットされます。ただし、TAUBnTDL.TAUBnTDLm が 1 に設定されているスレーブチャネルでは、リセット条件が満たされることがないため、当該チャネルでは TAUBTTOUTm は初期状態のままになります。

(3) TAUBTTOUTm（スレーブ 2）= 0 %、TAUBTTOUTm（スレーブ 3）≧ 0 %

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

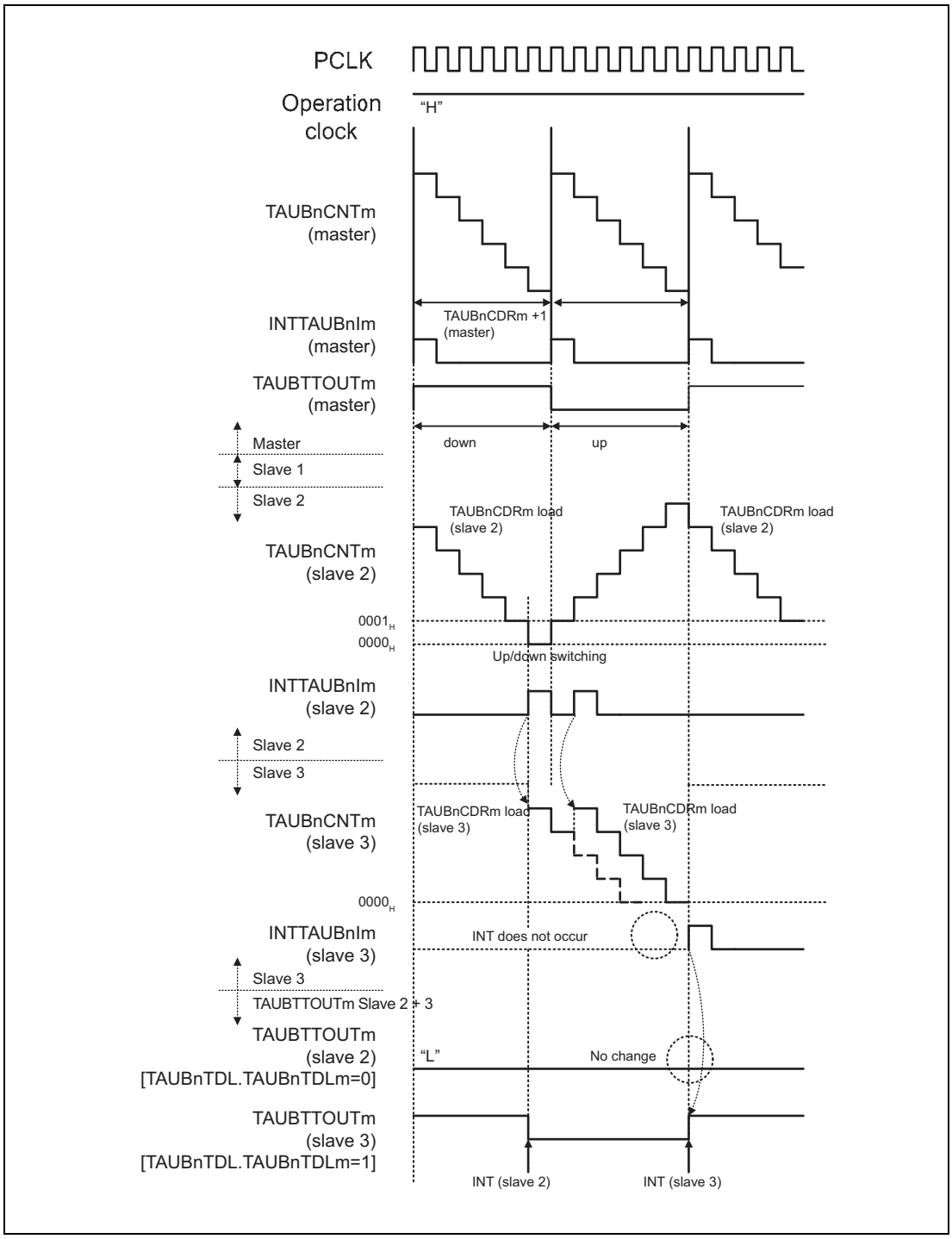


図 24.106 TAUBnCDRm（マスタ）= 0005_H, TAUBnCDRm（スレーブ 2）= 0005_H TAUBnCDRm（スレーブ 3）= 0004_H

- スレーブチャネル2のカウンタが0001_Hになったことを検出後0000_Hになったタイミングで INTTAUBnIm（スレーブ 2）が発生し、スレーブチャネル 3 のダウンカウントが開始します。
- スレーブチャネル 3 がダウンカウント中に INTTAUBnIm（スレーブ 2）が発生した場合、TAUBnCDRm（スレーブ 3）の値はリロードされ、カウンタはこの値でダウンカウントを再開します。
- 上の図では、カウンタがダウンカウント中にチャネル 2 で第 1 の割り込みが発生し、アップカウント中に第 2 の割り込みが発生しています。
- 第 1 の割り込みの後、TAUBnTDL.TAUBnTDLm = 0 となるスレーブは、セットする前にデッドタイムが経過するのを待ちます。ただし、デッドタイムが経過する前にスレーブ 2 で別の割り込みが発生すると、カウンタがアップカウント中のためリセット信号として動作します。つまり、TAUBnTDL.TAUBnTDLm = 0 となるチャネルは常に非アクティブ状態のままです。
- TAUBnTDL.TAUBnTDLm = 1 のスレーブチャネルの TAUBTTOUTm は、対応する INTTAUBnIm が発生するときに通常どおりセット／リセットされます。

(4) TAUBTTOUTm（スレーブ 2）＞ 0 %、TAUBTTOUTm（スレーブ 3）= 100 %

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

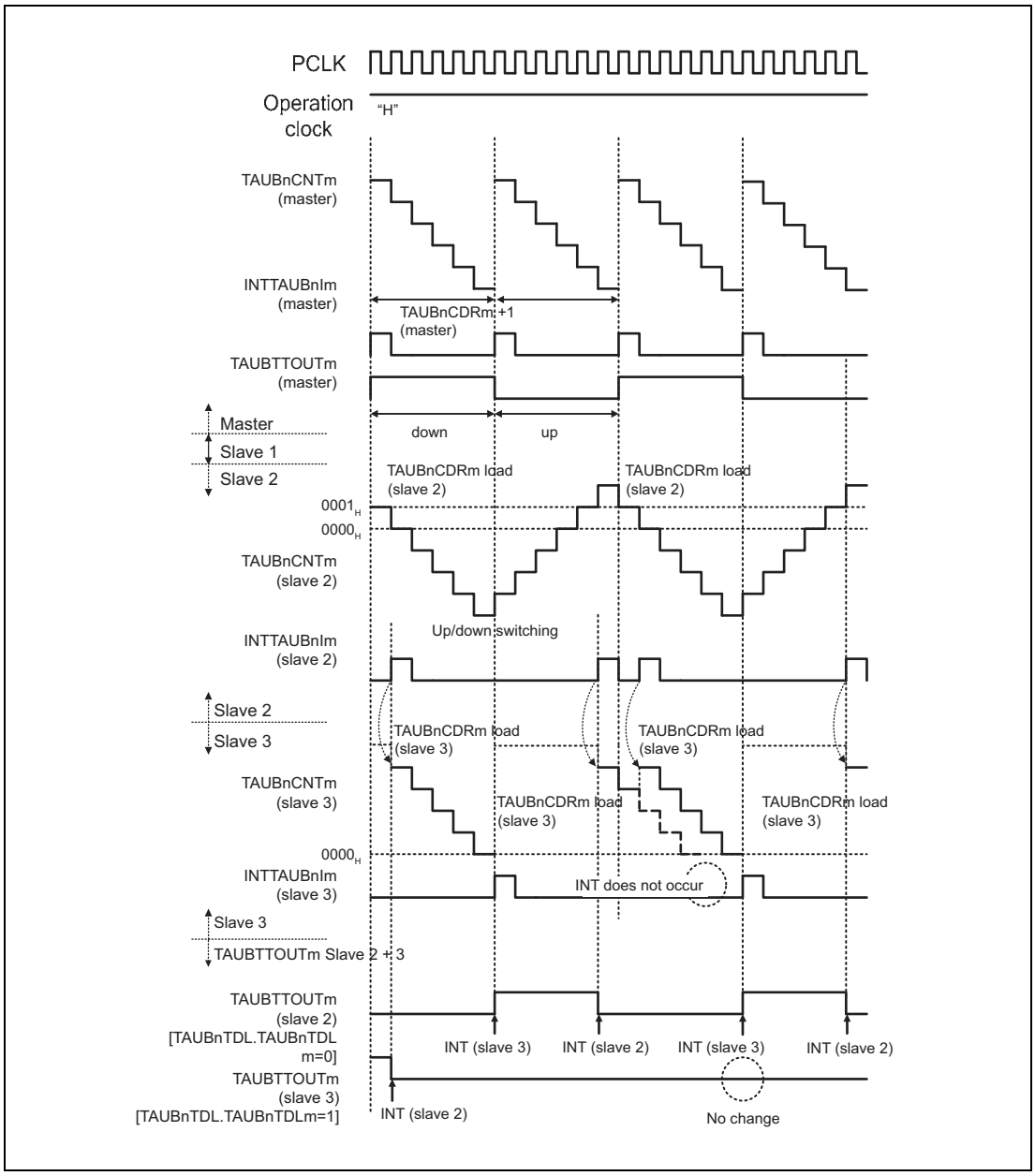


図 24.107 TAUBnCDRm（マスタ）= 0005_H, TAUBnCDRm（スレーブ 2）= 0001_H
TAUBnCDRm（スレーブ 3）= 0004_H
PWM 信号幅（逆相）≧キャリア周期

- スレーブチャネル 2 の第 2 の割り込みの後、TAUBnTDL.TAUBnTDLm = 1 のスレーブはデッドタイム経過後にリセットされます。ただし、デッドタイムが経過する前にスレーブ 2 で別の割り込みが発生するとスレーブ 3 がリスタートされ、次にスレーブチャネル 3 の割り込みが発生するときはカウンタはアップカウント中のためセット信号として動作します。つまり、TAUBnTDL.TAUBnTDLm = 1 のチャネルは常にアクティブな状態のままです。
- TAUBnTDL.TAUBnTDLm = 0 となるスレーブチャネルの TAUBTTOUTm が設定され、対応する INTTAUBnIm が発生するときに正常にリセットされます。

(5) TAUBTTOUTm の正相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

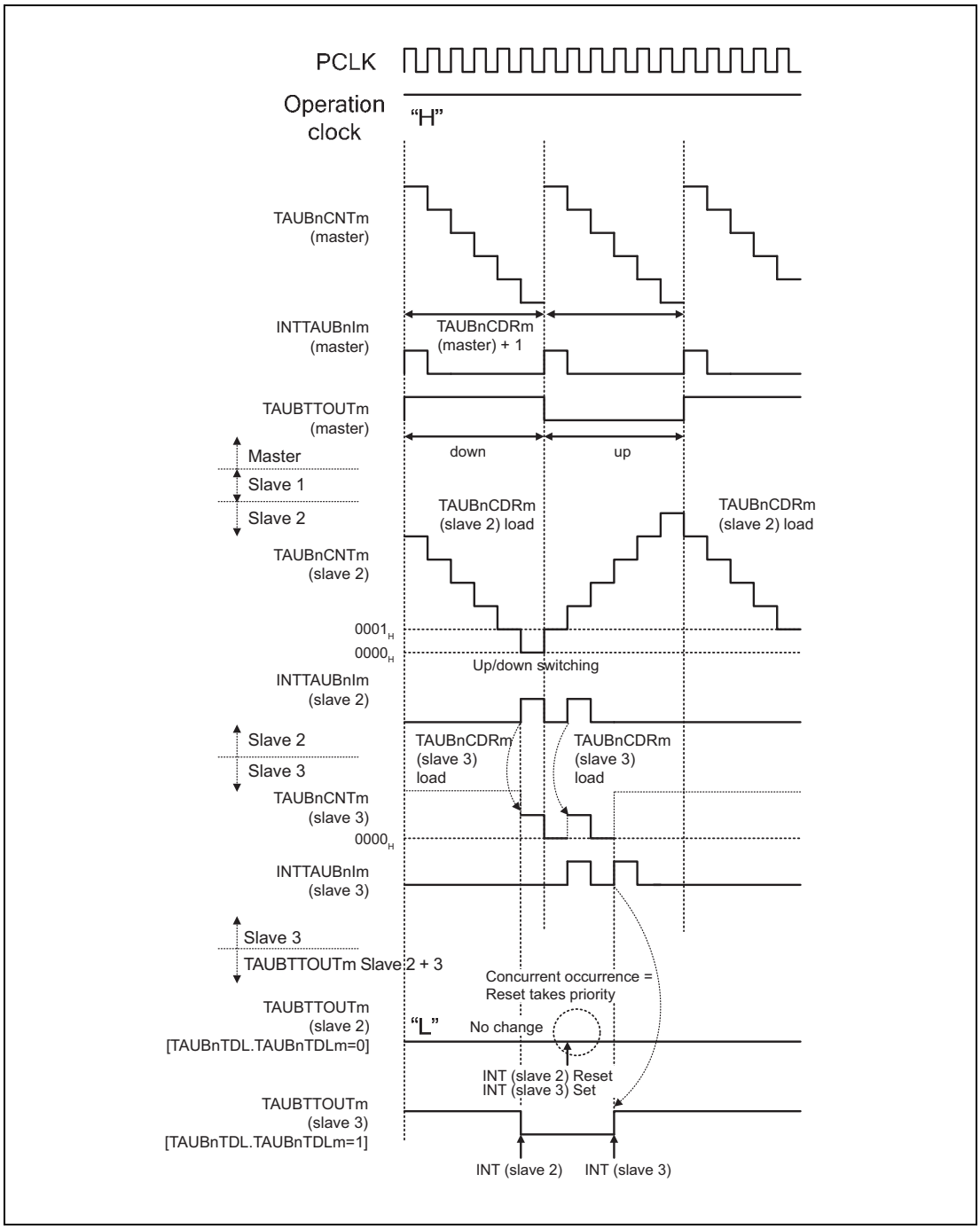


図 24.108 TAUBnCDRm（マスタ）= 0005_H, TAUBnCDRm（スレーブ 2）= 0005_H, TAUBnCDRm（スレーブ 3）= 0001_H
PWM 信号幅（正相）= 0

- スレーブチャネル 3 のカウンタが 0000_H になると INTTAUBnIm が発生し、TAUBnTDL.TAUBnTDLm = 0 （この例ではスレーブチャネル 2）に設定されているスレーブチャネルの TAUBTTOUTm がセットされます。
- スレーブチャネル2がINTTAUBnImを発生し、同時にTAUBTTOUTmをリセットする場合は、TAUBnTOL.TAUBnTOLm = 0 であればリセット信号が優先されます（TAUBnTOL.TAUBnTOLm = 1 の場合はセット信号が優先）。
- TAUBnTDL.TAUBnTDLm = 0 に設定されているスレーブチャネルの TAUBTTOUTm はリセット後の値のままになります。

(6) TAUBTTOUTm の逆相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

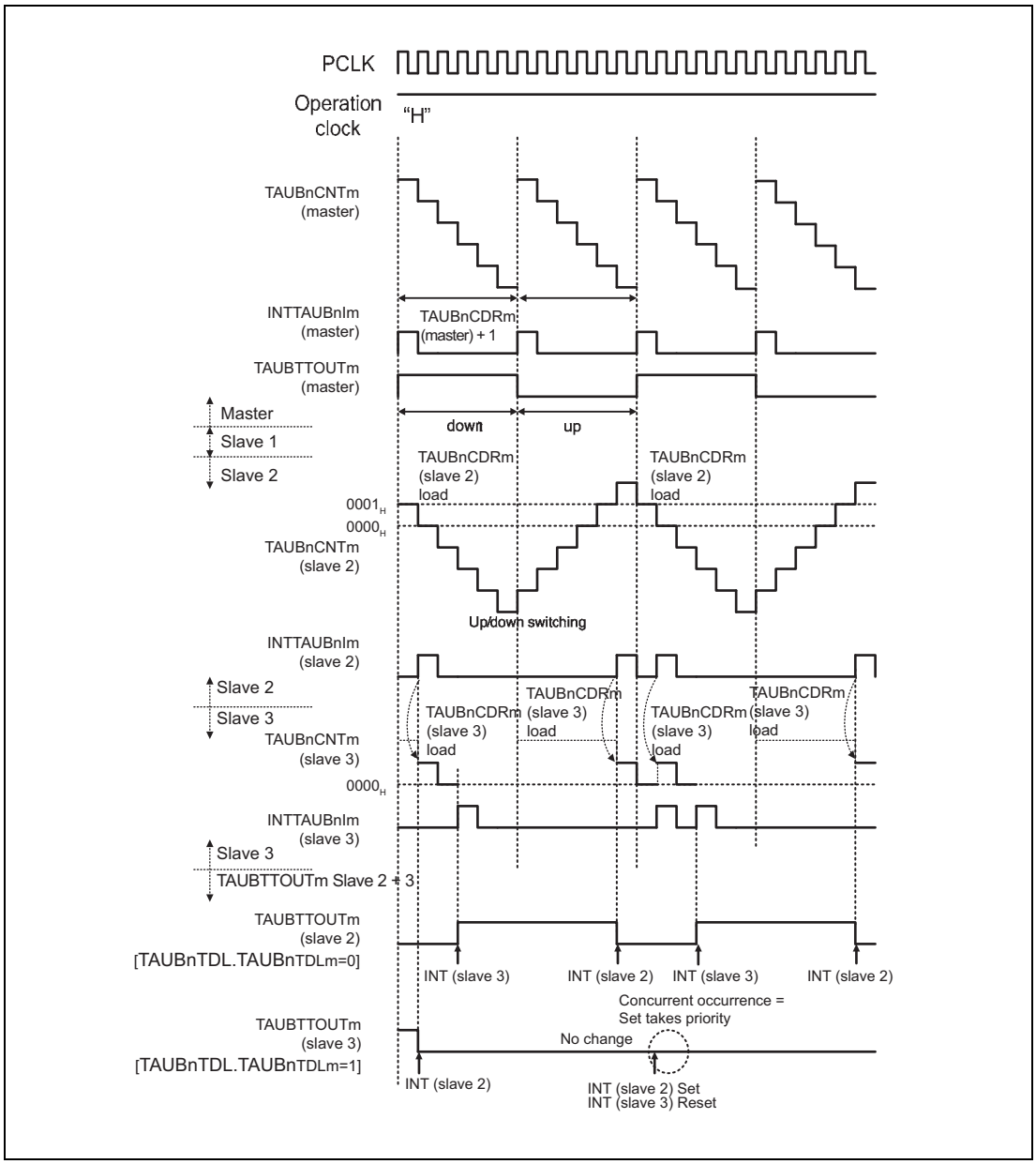


図 24.109 TAUBnCDRm（マスタ）= 0005_H, TAUBnCDRm（スレーブ 2）= 0001_H, TAUBnCDRm（スレーブ 3）= 0001_H
PWM 信号幅（逆相）= キャリア周期

- スレーブチャネル 3 のカウンタが 0000_H になると INTTAUBnIm が発生し、TAUBnTDL.TAUBnTDLm = 1 （この例ではスレーブチャネル 3）に設定されているスレーブチャネルの TAUBTTOUTm がセットされます。
- スレーブチャネル2がINTTAUBnImを発生し、同時にTAUBTTOUTmをリセットする場合は、TAUBnTOL.TAUBnTOLm = 1 であればセット信号が優先されます（TAUBnTOL.TAUBnTOLm = 0 の場合はリセット信号が優先）。
- TAUBnTDL.TAUBnTDLm = 1 に設定されているスレーブチャネルの TAUBTTOUTm はリセット後の値のままになります。

(7)　スレーブ 2　TAUBnCDRm = 000_H（デューティサイクル = 100%）

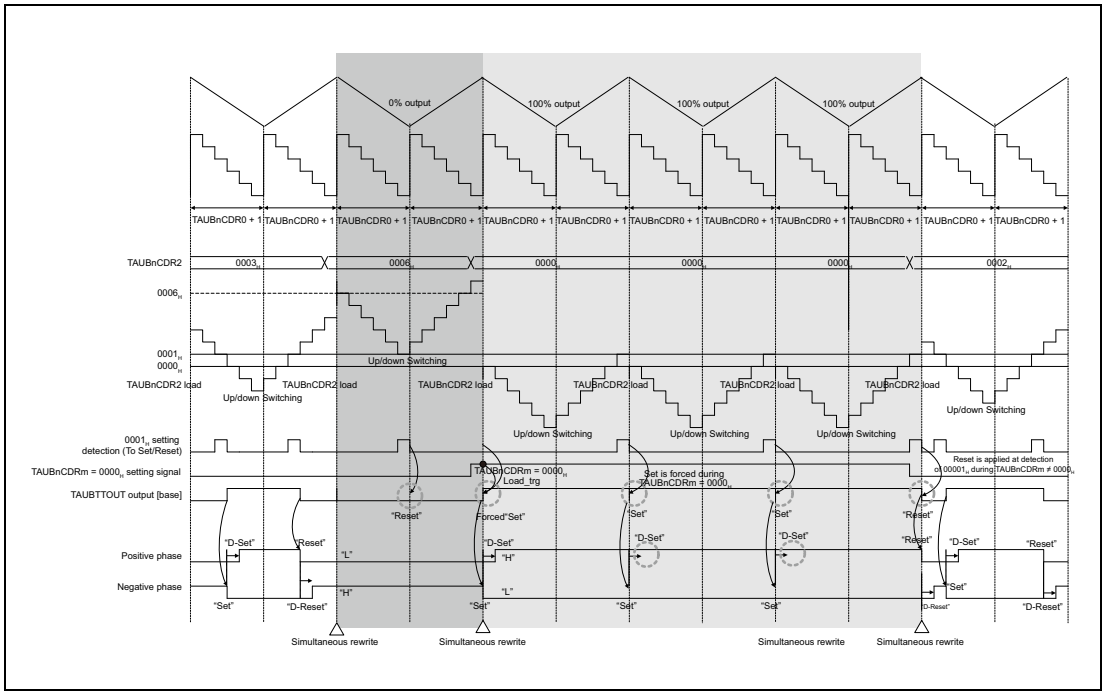


図 24.110　スレーブ 2　TAUBnCDRm = 000_H（デューティサイクル = 100%）

（スレーブチャネル 2）TAUBnCDRm ≠ 0000_H を（スレーブチャネル 2）TAUBnCDRm = 0000_H（100% 出力）に書き換える場合、キャリア周期開始時に逆相に設定し、デッドタイムを確保したあと、正相に設定してください。

（スレーブチャネル 2）TAUBnCDRm = 0000_H（100% 出力）を（スレーブチャネル 2）TAUBnCDRm ≠ 0000_H に書き換える場合、キャリア周期終了時に正相をリセットし、デッドタイムを確保したあと、逆相に設定してください。

24.14.7 A/D 変換トリガ出力機能タイプ 2

24.14.7.1 概要

概要

この機能は、TAUBTTOUTm が出力されないという点を除き、**「24.14.5 三角波 PWM 出力機能」**と同じです。

スレーブチャネルのチャネル出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

24.14.7.2 ブロック図と基本タイミング図

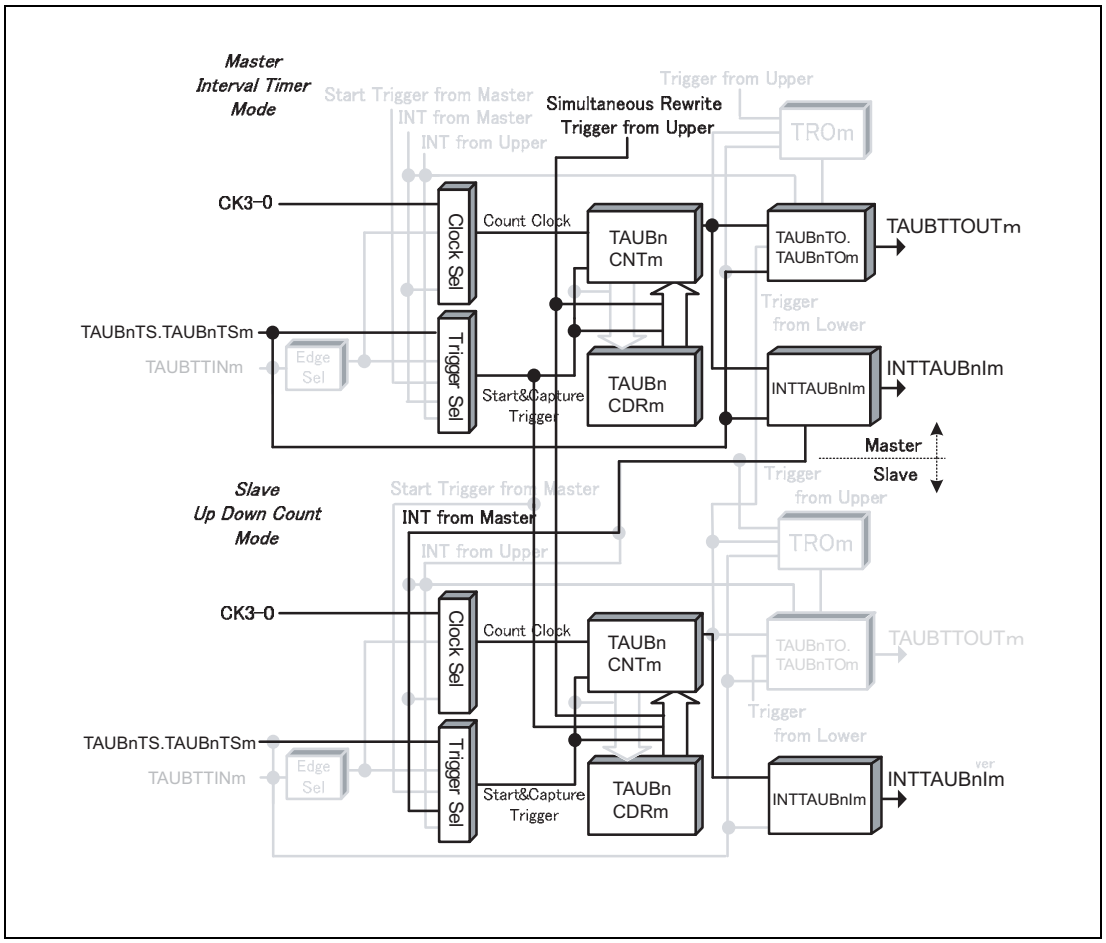


図 24.111 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）

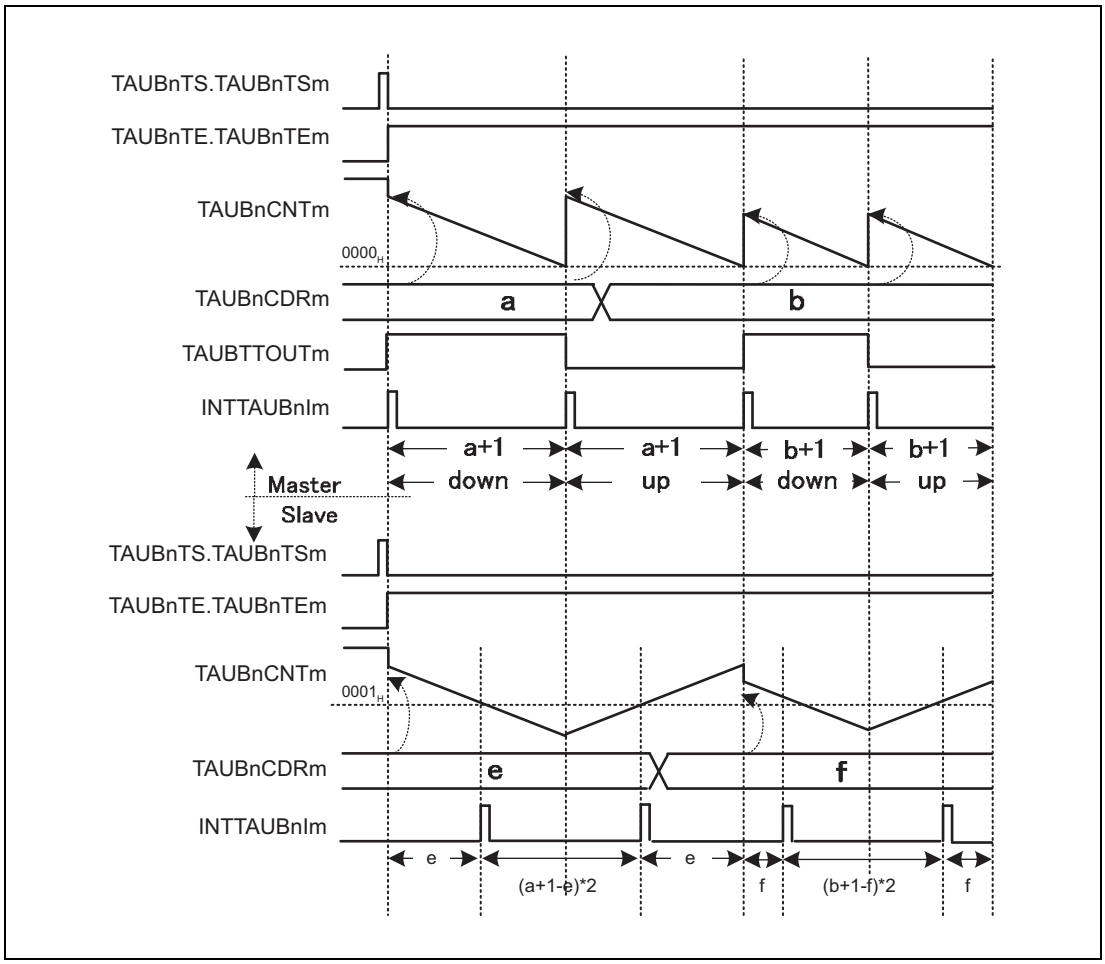


図 24.112 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

第 25 章　タイマアレイユニット D（TAUD）

本章では、タイマアレイユニット D（TAUD）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、TAUD の機能、レジスタについて説明します。

25.1　RH850/F1M TAUD の特長

25.1.1　ユニット数チャネル数

本製品は、以下のユニット数の TAUD を搭載しています。

表 25.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	1		
名称	TAUDn (n=0)		

TAUDn は以下に示すチャネル数のタイマを搭載しています。

表 25.2　TAUDn のユニット構成とチャネルの対応

ユニット名（チャネル名）TAUDn	ユニットチャネル数	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
TAUD0	16	○	○	○

表 25.3　添字

添字	説明
n	本章では、TAUD の各ユニットを「n」で識別します。たとえば、TAUDn チャネル出力モードレジスタ（TAUDnTOM）のように記述しています。
m	TAUD には 16 本のチャネルがあります。本章では、各チャネルを「m」（m = 0 ～ 15）で識別しており、特定のチャネルを CHm のように記述しています。 偶数チャネル（m = 0, 2, 4, 6, 8, 10, 12, 14）は CHm_even と記述します。 奇数チャネル（m = 1, 3, 5, 7, 9, 11, 13, 15）は CHm_odd と記述します。

25.1.2　レジスタベースアドレス

TAUDn のベースアドレスを以下の表に示します。

TAUDn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 25.4　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUD0_base>	$FFE2\ 0000_H$

25.1.3　クロック供給

TAUDn のクロック供給を以下の表に示します。

表 25.5　クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAUDn	PCLK	CKSCLK_IPERI1
	レジスタアクセスクロック	CKSCLK_IPERI1

25.1.4　割り込み要求

TAUDn の割り込み要求を以下の表に示します。

表 25.6　割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUD0			
INTTAUD0I0	チャネル 0 割り込み	8、132	0
INTTAUD0I1	チャネル 1 割り込み	48	15
INTTAUD0I2	チャネル 2 割り込み	9、158	64
INTTAUD0I3	チャネル 3 割り込み	49	76
INTTAUD0I4	チャネル 4 割り込み	10、133	1
INTTAUD0I5	チャネル 5 割り込み	50	16
INTTAUD0I6	チャネル 6 割り込み	11、134	65
INTTAUD0I7	チャネル 7 割り込み	51	77
INTTAUD0I8	チャネル 8 割り込み	12、135	2
INTTAUD0I9	チャネル 9 割り込み	52	17
INTTAUD0I10	チャネル 10 割り込み	13、159	66
INTTAUD0I11	チャネル 11 割り込み	53	78
INTTAUD0I12	チャネル 12 割り込み	14、160	3
INTTAUD0I13	チャネル 13 割り込み	54	18
INTTAUD0I14	チャネル 14 割り込み	15、161	67
INTTAUD0I15	チャネル 15 割り込み	55	79

25.1.5　リセット要因

TAUDn のリセット要因を以下に示します。TAUDn は以下のリセット要因で初期化されます。

表 25.7　リセット要因

ユニット名	リセット要因
TAUDn	すべてのリセット要因（ISORES）

25.1.6 外部入出力信号

TAUDn の外部入出力信号を以下の表に示します。

表 25.8 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
TAUD0		
TAUDTTIN0	チャネル 0 入力注 1	TAUD0I0
TAUDTTIN1	チャネル 1 入力注 1	TAUD0I1
TAUDTTIN2	チャネル 2 入力注 1	TAUD0I2
TAUDTTIN3	チャネル 3 入力注 1	TAUD0I3
TAUDTTIN4	チャネル 4 入力注 1	TAUD0I4
TAUDTTIN5	チャネル 5 入力注 1	TAUD0I5
TAUDTTIN6	チャネル 6 入力注 1	TAUD0I6
TAUDTTIN7	チャネル 7 入力注 1	TAUD0I7
TAUDTTIN8	チャネル 8 入力注 1	TAUD0I8
TAUDTTIN9	チャネル 9 入力注 1	TAUD0I9
TAUDTTIN10	チャネル 10 入力注 1	TAUD0I10
TAUDTTIN11	チャネル 11 入力注 1	TAUD0I11
TAUDTTIN12	チャネル 12 入力注 1	TAUD0I12
TAUDTTIN13	チャネル 13 入力注 1	TAUD0I13
TAUDTTIN14	チャネル 14 入力注 1	TAUD0I14
TAUDTTIN15	チャネル 15 入力注 1	TAUD0I15
TAUDTTOUT0	チャネル 0 出力	TAUD0O0
TAUDTTOUT1	チャネル 1 出力	TAUD0O1
TAUDTTOUT2	チャネル 2 出力	TAUD0O2
TAUDTTOUT3	チャネル 3 出力	TAUD0O3
TAUDTTOUT4	チャネル 4 出力	TAUD0O4
TAUDTTOUT5	チャネル 5 出力	TAUD0O5
TAUDTTOUT6	チャネル 6 出力	TAUD0O6
TAUDTTOUT7	チャネル 7 出力	TAUD0O7
TAUDTTOUT8	チャネル 8 出力	TAUD0O8
TAUDTTOUT9	チャネル 9 出力	TAUD0O9
TAUDTTOUT10	チャネル 10 出力	TAUD0O10
TAUDTTOUT11	チャネル 11 出力	TAUD0O11
TAUDTTOUT12	チャネル 12 出力	TAUD0O12
TAUDTTOUT13	チャネル 13 出力	TAUD0O13
TAUDTTOUT14	チャネル 14 出力	TAUD0O14
TAUDTTOUT15	チャネル 15 出力	TAUD0O15

注 1. チャネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は**「2.12 ノイズフィルタ & エッジレベル検出回路」**を参照してください。

注 意

P0_0 端子を TAUD0I2 または TAUD0O2 として使用する場合、リセット中およびリセット解除後、P0_0 端子（RESETOUT 信号）からロウレベルを出力します。

詳細は**「2.11.1.1 P0_0：RESETOUT」**を参照してください。

25.1.7　内部入出力信号

TAUDn の内部入出力信号を以下の表に示します。

表 25.9　内部入出力信号

ユニット信号名	説明	接続先
TAUDTSSTm	チャネル同時スタートトリガ入力	PIC
TAUDTUDCm(m = 0, 2, 8)	TAUD マスタアップ／ダウン信号出力	PIC

25.1.8　TAUD0 入力の選択

次の図に示すように、ポート TAUD0Im（m = 0 ～ 15）からの出力を TAUDTTINm（m = 0 ～ 15）に入力できます。

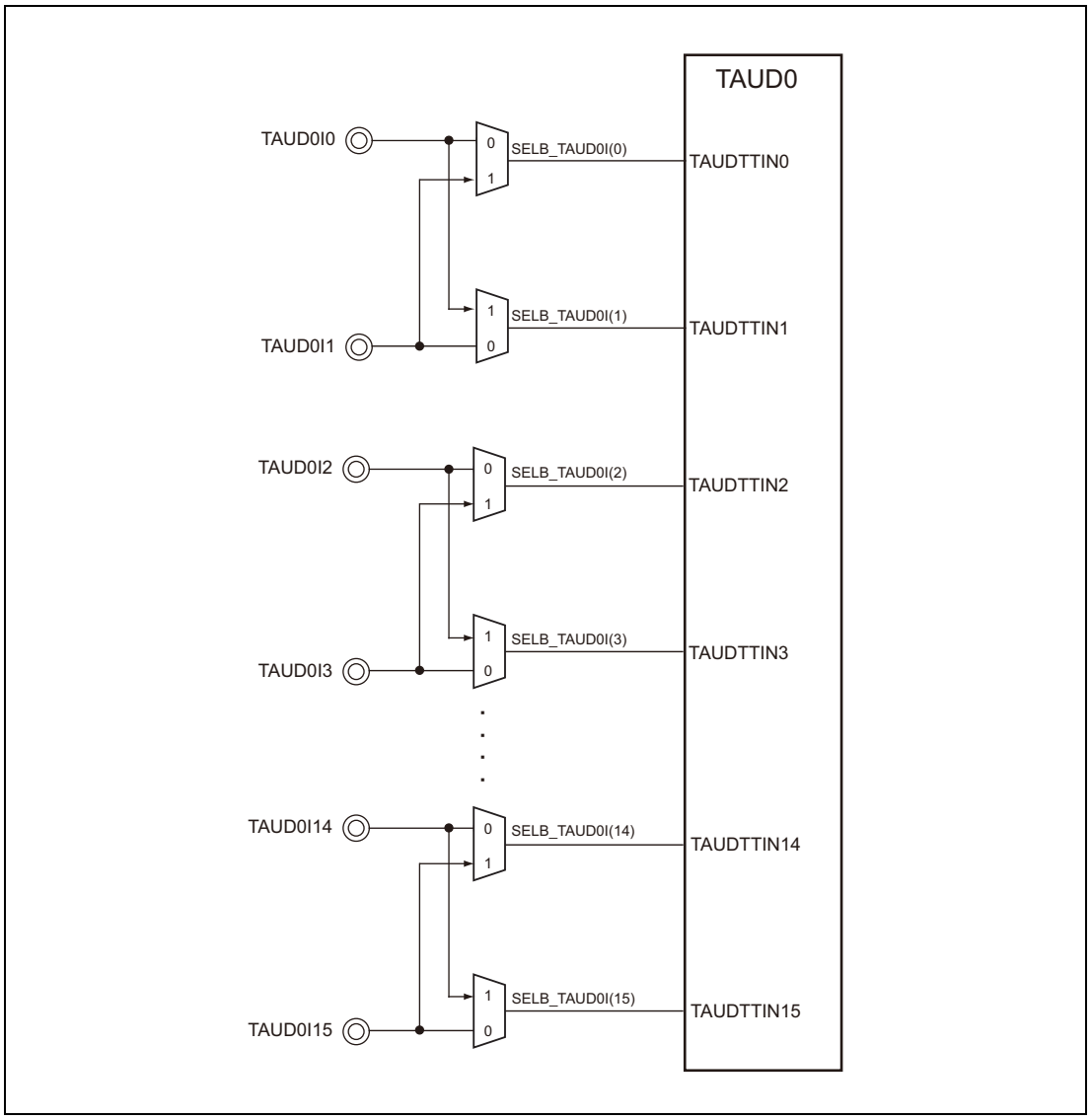


図 25.1　TAUD0 への入力信号の選択

次の表に TAUD0 への入力信号の選択方法について示します。

表 25.10　TAUD0 入力の選択

入力信号	機能	設定
TAUDTTIN [m]	ポート TAUD0I[m]	SELB_TAUD0I [m] = 0
	ポート TAUD0I[m + 1]	SELB_TAUD0I [m] = 1
TAUDTTIN [m + 1]	ポート TAUD0I[m + 1]	SELB_TAUD0I [m + 1] = 0
	ポート TAUD0I[m]	SELB_TAUD0I [m + 1] = 1

25.1.8.1　SELB_TAUD0I — TAUDTTINm 入力信号選択レジスタ

SELB_TAUD0I レジスタは、TAUDTTINm 入力信号を選択するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　FFE2 4000_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SELB_TAUD0I15	SELB_TAUD0I14	SELB_TAUD0I13	SELB_TAUD0I12	SELB_TAUD0I11	SELB_TAUD0I10	SELB_TAUD0I9	SELB_TAUD0I8	SELB_TAUD0I7	SELB_TAUD0I6	SELB_TAUD0I5	SELB_TAUD0I4	SELB_TAUD0I3	SELB_TAUD0I2	SELB_TAUD0I1	SELB_TAUD0I0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.11　SELB_TAUD0I レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	SELB_TAUD0Im	TAUDTTINm の入力信号を選択します。 (m = 0, 2, 4, 6, 8, 10, 12, 14)

TAUD input	Bit [m+1}	Bit [m]	入力信号
TAUDTTIN[m]	x	0	ポート TAUD0I[m] を選択
	x	1	ポート TAUD0I[m + 1] を選択
TAUDTTIN[m+1]	0	x	ポート TAUD0I[m + 1] を選択
	1	x	ポート TAUD0I[m] を選択

注　意

タイマカウント中のチャネルは、入力信号の切り替えを行わないでください。

25.2 概要

25.2.1 機能概要

TAUD には、次の機能があります。

- 16 チャネル
- チャネルごとの 16 ビットカウンタおよび 16 ビットデータレジスタ
- チャネル単体動作
- チャネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- リアルタイム出力
- 外部信号によるカウントの開始
- 割り込み発生

TAUD は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケーラ、カウント開始値および比較値を保持するための 16 ビットカウンタ TAUDnCNTm と 16 ビットデータレジスタ TAUDnCDRm をそれぞれ備えた 16 チャネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャネルは、単体で、またはほかのチャネルと連動して、異なる動作モードで動作することが可能です。1 つのマスタチャネルと 1 つ以上のスレーブチャネルの場合、スレーブチャネルは、マスタチャネルに依存します。

あるチャネルを単体動作させる場合、そのチャネルの動作モードと機能は、ほかのチャネルのそれらに影響を受けません。あるチャネルを連動させる場合、そのチャネルはマスタまたはスレーブチャネルです。マスタチャネルには、複数のスレーブチャネルがある可能性があり、あるチャネルの状態にほかのすべてのチャネルが影響を受けます。たとえば、あるチャネルを使って、ほかのチャネルのカウント開始タイミングやリセットタイミング等を制御できます。

25.2.2 用語

この章で使用されている用語について説明します。

単体動作機能／連動動作機能

単体動作機能／連動動作機能は、チャネル間の依存性を示します。

- あるチャネルがほかのすべてのチャネルから独立して動作している場合をチャネル単体動作と呼びます。
- あるチャネルの動作がほかのチャネルに依存している場合をチャネル連動動作と呼びます。

チャネルグループ

チャネル連動動作では、依存関係にあるすべてのチャネルを「チャネルグループ」と呼びます。

1 つのチャネルグループは、1 つのマスタチャネルと 1 つ以上のスレーブチャネルで構成されます。

動作モード

チャネル m ごとに動作モードを指定できます。動作モードは、あるチャネルの基本動作と機能を規定します。

チャネル連動動作では、チャネルグループに属する各チャネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャモード、イベントカウントモード、インターバルタイマモードなどがあります。

チャネル出力モード

チャネル出力モードは、次のチャネルの TAUDTTOUTm の動作を規定します。

- 1 つのチャネル（単体出力動作）
- チャネルグループに属するすべてのチャネル（連動出力動作）

チャネル単体出力モード 1、デッドタイム出力付きチャネル連動動作モード 2 などがあります。

チャネル動作機能

チャネル動作機能は、次のチャネルの全機能およびすべての特長を規定します。

- 1 つのチャネル（チャネル単体動作）
- チャネルグループに属するすべてのチャネル（チャネル連動動作）

上位／下位チャネル

チャネル m から見て、小さい番号または大きい番号のチャネルを上位または下位チャネルと呼びます。

- 上位チャネル：小さい番号のチャネル
- 下位チャネル：大きい番号のチャネル

たとえば、チャネル 5 に対してチャネル 3 は上位チャネル、チャネル 9 は下位チャネルです。

25.2.3 タイマ動作機能一覧

このタイマは各チャネルを単体で動作させたり、複数チャネルを組み合わせて動作させることで、下記の機能が実現できます。

表 25.12 TAUD 動作機能一覧

動作機能	設定例
チャネル単体動作機能	**25.12 章**
インターバルタイマ機能	**25.12.1 章**
TAUDTTINm 入力インターバルタイマ機能	**25.12.2 章**
クロック分周機能	**25.12.3 章**
外部イベントカウント機能	**25.12.4 章**
ディレイカウント機能	**25.12.5 章**
ワンパルス出力機能	**25.12.6 章**
TAUDTTINm 入力パルスインターバル測定機能	**25.12.7 章**
TAUDTTINm 入力信号幅測定機能	**25.12.8 章**
TAUDTTINm 入力位置検出機能	**25.12.9 章**
TAUDTTINm 入力期間カウント検出機能	**25.12.10 章**
TAUDTTINm 入力パルスインターバル判定機能	**25.12.11 章**
TAUDTTINm 入力信号幅判定機能	**25.12.12 章**
オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）	**25.12.13 章**
オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）	**25.12.14 章**
1 相 PWM 出力機能	**25.12.15 章**
チャネル単体リアルタイム機能	**25.13 章**
リアルタイム出力機能タイプ 1	**25.13.1 章**
リアルタイム出力機能タイプ 2	**25.13.2 章**
チャネル単体一斉書き換え機能	**25.14 章**
一斉書き換えトリガ生成機能タイプ 1	**25.14.1 章**
一斉書き換えトリガ生成機能タイプ 2	**25.14.2 章**
チャネル連動動作機能	**25.15 章**
PWM 出力機能	**25.15.1 章**
ワンショットパルス出力機能	**25.15.2 章**
トリガスタート PWM 出力機能	**25.15.3 章**
ディレイパルス出力機能	**25.15.4 章**
オフセットトリガ出力機能	**25.15.5 章**
A/D 変換トリガ出力機能タイプ 1	**25.15.6 章**
三角波 PWM 出力機能	**25.15.7 章**
デッドタイム付き三角波 PWM 出力機能	**25.15.8 章**
A/D 変換トリガ出力機能タイプ 2	**25.15.9 章**
割り込み要求信号間引き機能	**25.15.10 章**
連動非相補方式変調出力機能と連動相補方式変調出力機能	**25.16 章**
非相補方式変調出力機能タイプ 1	**25.16.1 章**
非相補方式変調出力機能タイプ 2	**25.16.2 章**
相補方式変調出力機能	**25.16.3 章**

25.2.4 入出力と割り込み要求信号

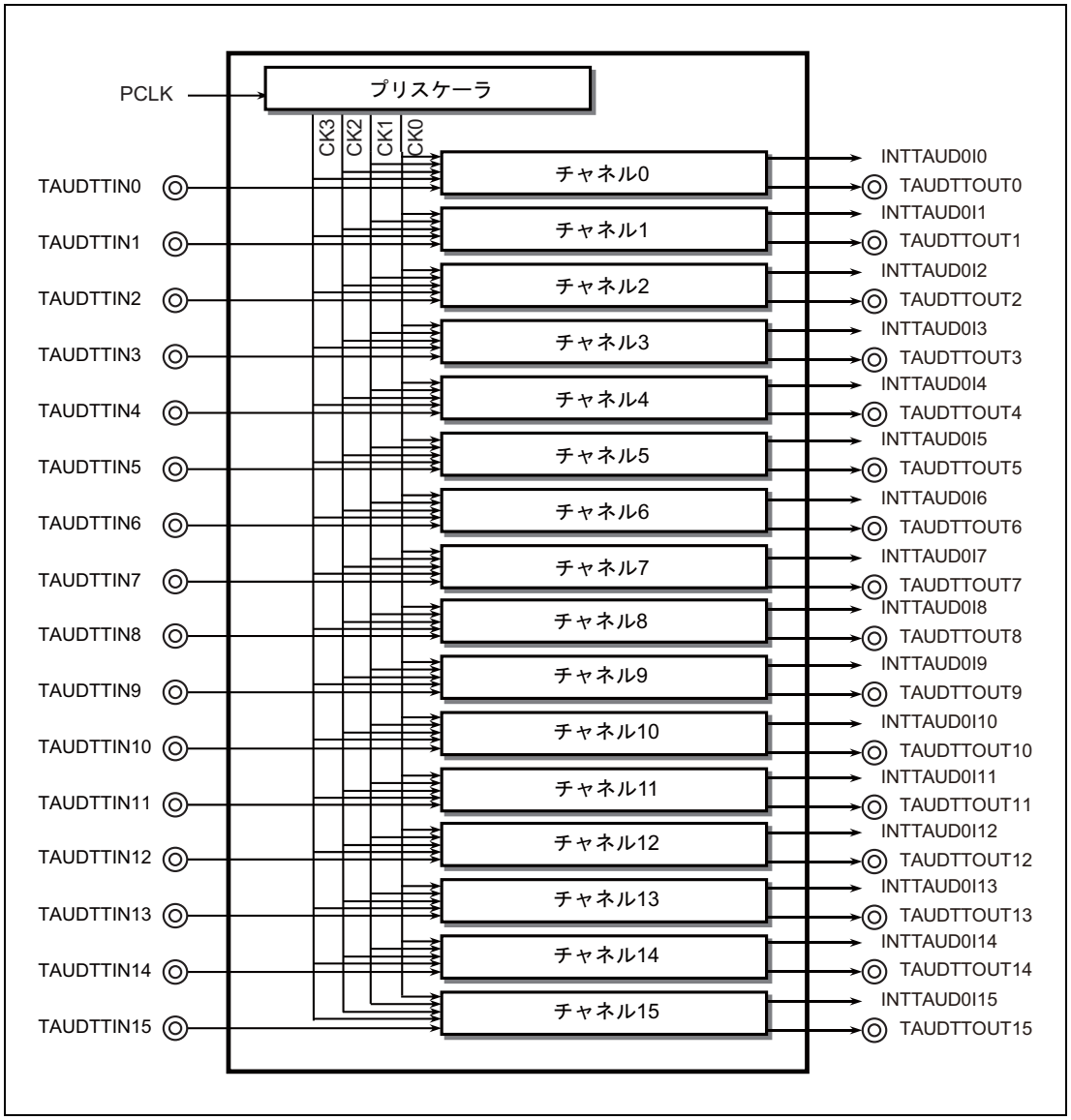


図 25.2　TAUD 入出力と割り込み要求信号

25.2.5 ブロック図

TAUD の主な構成要素を**図 25.3** に示します。

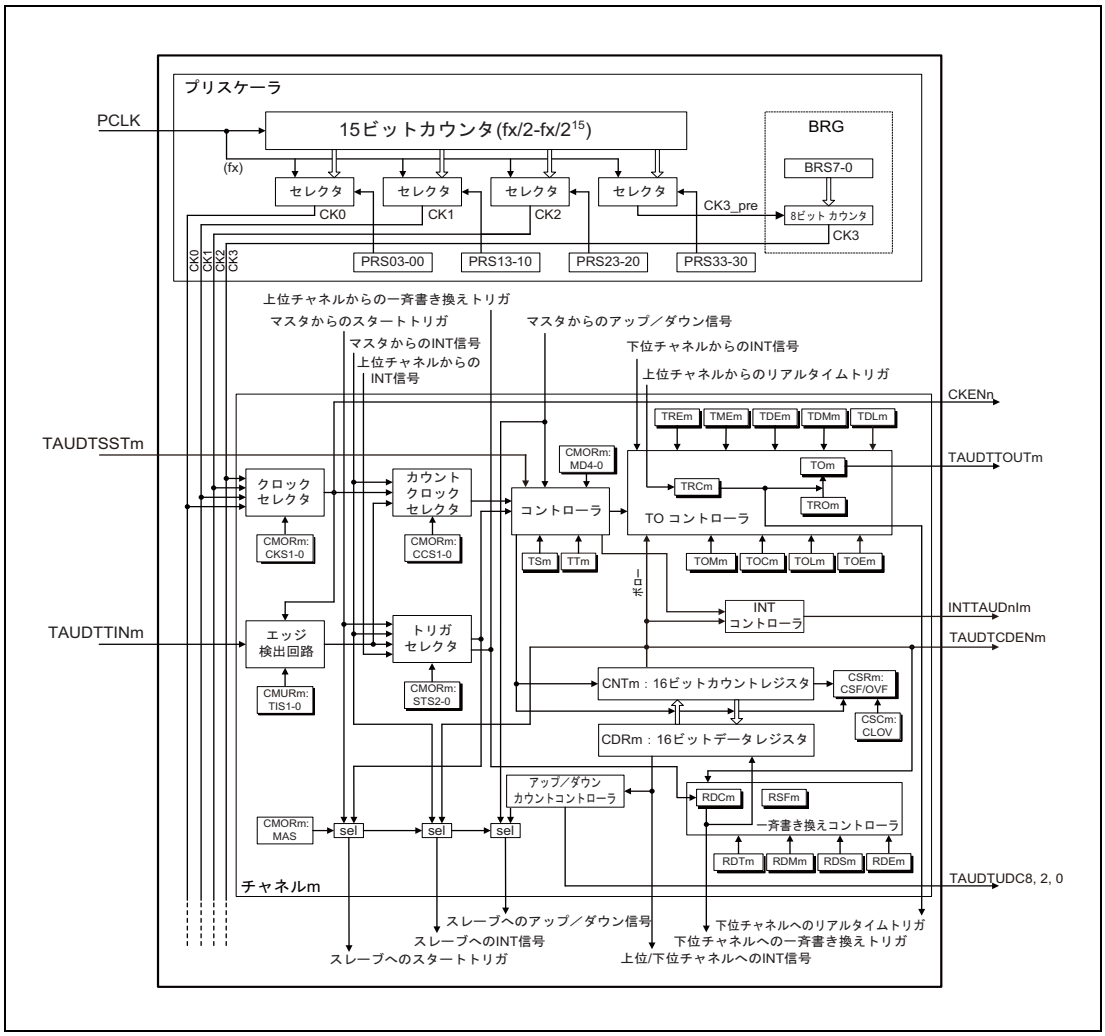


図 25.3 TAUD のブロック図

モジュール名の「TAUDn」は、図を見やすくするために省略されています。

25.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャネルのカウントクロックとして使用することができる最大 4 つのクロック信号（CK0 ～ CK3）を供給します。

カウントクロック CK0 ～ CK2 は、プリスケーラにより PCLK の 2^0 ～ 2^{15} の分周したクロックを選択することができます。4 つ目のカウントクロック CK3 は、BRG を使用することにより、2 のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクタは、各チャネルに対してクロックソースを次から選択します。

- CK0 ～ CK3 のいずれかのクロック（クロックセレクタにより選択）
- マスタチャネルからの INTTAUDnIm
- TAUDTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード（TAUDnCMORm.TAUDnMD[4:0] ビットにより選択）
- カウント開始許可（TAUDnTS.TAUDnTSm）およびカウント停止（TAUDnTT.TAUDnTTm）
  カウントの開始を許可すると、ステータスフラグ TAUDnTE.TAUDnTEm がセットされます。
- カウント方式（アップ／ダウン）（マスタチャネルにより制御可能）

トリガセレクタ

選択した動作モードにより、カウンタは、動作が許可されている場合（TAUDnTE.TAUDnTEm = 1）には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャネル連動スタートトリガ入力 TAUDnTSSTm
- TAUDTTINm 入力の有効エッジ
- マスタ、または上位チャネルからの INTTAUDnIm
- マスタチャネルのアップ／ダウン出力トリガ信号
- TAUDTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で使える機能です。あるチャネルグループに属する全チャネルのデータレジスタ（TAUDnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは、全チャネルのデータレジスタの新しい値が同時に有効になります。

TAUDnTO コントローラ

各チャネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

25.3　レジスタ

25.3.1　レジスター覧

TAUDn のレジスター覧を以下の表に示します。

<TAUDn_base> は「**25.1.2　レジスタベースアドレス**」を参照してください。

表 25.13　レジスター覧

モジュール名	レジスタ名	略号	アドレス
TAUDn プリスケーラレジスタ			
TAUDn	TAUDn プリスケーラクロック選択レジスタ	TAUDnTPS	<TAUDn_base> + 240_H
TAUDn	TAUDn プリスケーラボーレート設定レジスタ	TAUDnBRS	<TAUDn_base> + 244_H
TAUDn 制御レジスタ			
TAUDn	TAUDn チャネルデータレジスタ m	TAUDnCDRm	<TAUDn_base> + m × 4_H
TAUDn	TAUDn チャネルカウンタレジスタ m	TAUDnCNTm	<TAUDn_base> + 80_H + m × 4_H
TAUDn	TAUDn チャネルモード OS レジスタ m	TAUDnCMORm	<TAUDn_base> + 200_H + m × 4_H
TAUDn	TAUDn チャネルモードユーザレジスタ m	TAUDnCMURm	<TAUDn_base> + $C0_H$ + m × 4_H
TAUDn	TAUDn チャネルステータスレジスタ m	TAUDnCSRm	<TAUDn_base> + 140_H + m × 4_H
TAUDn	TAUDn チャネルステータスクリアトリガレジスタ m	TAUDnCSCm	<TAUDn_base> + 180_H + m × 4_H
TAUDn	TAUDn チャネルスタートトリガレジスタ	TAUDnTS	<TAUDn_base> + $1C4_H$
TAUDn	TAUDn チャネル許可ステータスレジスタ	TAUDnTE	<TAUDn_base> + $1C0_H$
TAUDn	TAUDn チャネルストップトリガレジスタ	TAUDnTT	<TAUDn_base> + $1C8_H$
TAUDn 出力レジスタ			
TAUDn	TAUDn チャネル出力許可レジスタ	TAUDnTOE	<TAUDn_base> + $5C_H$
TAUDn	TAUDn チャネル出力レジスタ	TAUDnTO	<TAUDn_base> + 58_H
TAUDn	TAUDn チャネル出力モードレジスタ	TAUDnTOM	<TAUDn_base> + 248_H
TAUDn	TAUDn チャネル出力コンフィギュレーションレジスタ	TAUDnTOC	<TAUDn_base> + $24C_H$
TAUDn	TAUDn チャネル出力アクティブレベルレジスタ	TAUDnTOL	<TAUDn_base> + 040_H
TAUDn	TAUDn チャネルデッドタイム出力許可レジスタ	TAUDnTDE	<TAUDn_base> + 250_H
TAUDn	TAUDn チャネルデッドタイム出力モードレジスタ	TAUDnTDM	<TAUDn_base> + 254_H
TAUDn	TAUDn チャネルデッドタイム出力レベルレジスタ	TAUDnTDL	<TAUDn_base> + 54_H
TAUDn	TAUDn チャネルリアルタイム出力レジスタ	TAUDnTRO	<TAUDn_base> + $4C_H$
TAUDn	TAUDn チャネルリアルタイム出力許可レジスタ	TAUDnTRE	<TAUDn_base> + 258_H
TAUDn	TAUDn チャネルリアルタイム出力制御レジスタ	TAUDnTRC	<TAUDn_base> + $25C_H$
TAUDn	TAUDn チャネル変調出力許可レジスタ	TAUDnTME	<TAUDn_base> + 50_H
TAUDn リロードデータレジスタ			
TAUDn	TAUDn チャネルリロードデータ許可レジスタ	TAUDnRDE	<TAUDn_base> + 260_H
TAUDn	TAUDn チャネルリロードデータモードレジスタ	TAUDnRDM	<TAUDn_base> + 264_H
TAUDn	TAUDn チャネルリロードデータ制御 CH 選択レジスタ	TAUDnRDS	<TAUDn_base> + 268_H
TAUDn	TAUDn チャネルリロードデータ制御レジスタ	TAUDnRDC	<TAUDn_base> + $26C_H$
TAUDn	TAUDn チャネルリロードデータトリガレジスタ	TAUDnRDT	<TAUDn_base> + 44_H
TAUDn	TAUDn チャネルリロードステータスレジスタ	TAUDnRSF	<TAUDn_base> + 48_H
TAUDn エミュレーションレジスタ			
TAUDn	TAUDn エミュレーションレジスタ	TAUDnEMU	<TAUDn_base> + 290_H

25.3.2 TAUDn プリスケーラレジスタの詳細

25.3.2.1 TAUDnTPS — TAUDn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUDnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + 240_H

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnPRS3[3:0]				TAUDnPRS2[3:0]				TAUDnPRS1[3:0]				TAUDnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.14　TAUDnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能
15 ～ 12	TAUDnPRS3 [3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャネルに CK3 動作クロックを供給します。 上記ビットは、CK3 を使用するカウンタがすべて停止している（TAUDnTE.TAUDnTEm = 0）場合のみ書き換え可能です。

TAUDnPRS3[3:0]	CK3_PRE クロック
0000_B	$PCLK/2^0$
0001_B	$PCLK/2^1$
0010_B	$PCLK/2^2$
0011_B	$PCLK/2^3$
0100_B	$PCLK/2^4$
0101_B	$PCLK/2^5$
0110_B	$PCLK/2^6$
0111_B	$PCLK/2^7$
1000_B	$PCLK/2^8$
1001_B	$PCLK/2^9$
1010_B	$PCLK/2^{10}$
1011_B	$PCLK/2^{11}$
1100_B	$PCLK/2^{12}$
1101_B	$PCLK/2^{13}$
1110_B	$PCLK/2^{14}$
1111_B	$PCLK/2^{15}$

表 25.14　TAUDnTPS レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>11 ～ 8</td><td>TAUDnPRS2
[3:0]</td><td>CK2 クロックを指定します。
<table>
<tr><th>TAUDnPRS2[3:0]</th><th>CK2 クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは、CK2 を使用するカウンタがすべて停止している（TAUDnTE.TAUDnTEm = 0）場合のみ書き換え可能です。</td></tr>
<tr><td>7 ～ 4</td><td>TAUDnPRS1
[3:0]</td><td>CK1 クロックを指定します。
<table>
<tr><th>TAUDnPRS1[3:0]</th><th>CK1 クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは、CK1 を使用するカウンタがすべて停止している（TAUDnTE.TAUDnTEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

表 25.14　TAUDnTPS レジスタの内容 (3/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3 ～ 0</td><td>TAUDnPRS0
[3:0]</td><td>CK0 クロックを指定します。
<table>
<tr><th>TAUDnPRS0[3:0]</th><th>CK0 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^0$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^1$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^2$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^3$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^4$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^5$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^6$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^7$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^8$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^9$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
上記ビットは、CK0 を使用するカウンタがすべて停止している（TAUDnTE.TAUDnTEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

備　考

TAUDn クロック入力 PCLK については、この章の最初の節内「**25.1.3　クロック供給**」で定義しています。

25.3.2.2 TAUDnBRS — TAUDn プリスケーラボーレート設定レジスタ

プリスケーラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数＋ 1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUDnTPS.TAUDnPRS3[3:0] で指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + 244_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TAUDnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.15 TAUDnBRS レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	TAUDnBRS [7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。

TAUDnBRS[7:0]	CK3 クロック
$0000\ 0000_B$	CK3_PRE / 1
$0000\ 0001_B$	CK3_PRE / 2
$0000\ 0010_B$	CK3_PRE / 3
$0000\ 0011_B$	CK3_PRE / 4
...	...
$1111\ 1110_B$	CK3_PRE / 255
$1111\ 1111_B$	CK3_PRE / 256

25.3.3 TAUDn 制御レジスタの詳細

25.3.3.1 TAUDnCDRm — TAUDn チャネルデータレジスタ

このレジスタは、TAUDnCMORm.TAUDnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード／ライト可能です。

アドレス <TAUDn_base> + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.16 TAUDnCDRm レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnCDR [15:0]	キャプチャ値／コンペア値用データレジスタ

25.3.3.2 TAUDnCNTm — TAUDn チャネルカウンタレジスタ

チャネル m カウンタレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TAUDn_base> + 80_H + m × 4_H

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.17 TAUDnCNTm レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnCNT [15:0]	16 ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUDnTS.TAUDnTSm、TAUDnTT.TAUDnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止（TAUDnTT.TAUDnTTm = 1）

カウント停止後（TAUDnTE.TAUDnTEm = 0）と再許可後（TAUDnTS.TAUDnTSm = 1）のカウンタの初期リード値を**表 25.18** に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可（TAUDnTS.TAUDnTSm = 1）されてから 1 カウント後のカウンタのリード値も示します。

表 25.18　カウント再許可後の TAUDnCNTm リード値

モード名	カウント方式（アップ／ダウン）	TAUDnCNTm 値		
		スタート値注1	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	$FFFF_H$	停止値	—
ジャッジモード	ダウンカウント	$FFFF_H$	停止値	—
キャプチャモード	アップカウント	0000_H	停止値	—
イベントカウントモード	ダウンカウント	$FFFF_H$	停止値	—
ワンカウントモード	ダウンカウント	$FFFF_H$	停止値	停止値
キャプチャ＆ワンカウントモード	アップカウント	0000_H	停止値	キャプチャ値＋1（TAUDnCDRm）
ジャッジ＆ワンカウントモード	ダウンカウント	$FFFF_H$	停止値	TAUDnCNTm 値－1
アップ／ダウンカウントモード	アップ／ダウンカウント	$FFFF_H$	停止値	—
パルスワンカウントモード	ダウンカウント	$FFFF_H$	停止値	0000_H
カウントキャプチャモード	アップカウント	0000_H	停止値	—
ゲートカウントモード	ダウンカウント	$FFFF_H$	停止値	停止値
キャプチャ＆ゲートカウントモード	アップカウント	0000_H	停止値	停止値

注 1.　リセット解除後、動作モードを変更した際に TAUDnCNTm にセットされる値

25.3.3.3 TAUDnCMORm — TAUDn チャネルモード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

アクセス 16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm = 0）のときのみライト可能です。

アドレス <TAUDn_base> + 200_H + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.19 TAUDnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックを選択します。 動作クロックは TAUDTTINm 入力エッジ検出回路で使用します。 TAUDnCMORm.TAUDnCCS[1:0] ビットの設定により、TAUDnCNTm のカウントクロックとして使用することも可能です。 TAUDn CKS1 / TAUDn CKS0 / 動作クロック選択 0 / 0 / CK0 0 / 1 / CK1 1 / 0 / CK2 1 / 1 / CK3
13、12	TAUDnCCS [1:0]	TAUDnCNTm カウンタのカウントクロックを選択します。 TAUDn CCS1 / TAUDn CCS0 / カウントクロック選択 0 / 0 / TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック 0 / 1 / TAUDTTINm 入力信号の有効エッジ 1 / 0 / 設定禁止 1 / 1 / マスタチャネルの INTTAUDnIm 信号
11	TAUDnMAS	チャネル連動動作時に、そのチャネルがマスタチャネルかスレーブチャネルかを指定します。 0：スレーブ 1：マスタ このビット設定は偶数チャネル（CHm_even）に対してのみ有効です。奇数チャネル（CHm_odd）は、“0” に固定されています。

表 25.19　TAUDnCMORm レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>10 ～ 8</td><td>TAUDnSTS
[2:0]</td><td>外部スタートトリガを選択します。
<table>
<tr><th>TAUDn STS2</th><th>TAUDn STS1</th><th>TAUDn STS0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>ソフトウェアトリガ</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>TAUDTTINm 入力信号の有効エッジ。有効エッジは TAUDnCMURm.TAUDnTIS[1:0] で指定</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>TAUDTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>一斉書き換えトリガ</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>マスタチャネルの INTTAUDnIm がスタートトリガ</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>マスタ設定にかかわらず、上位チャネル（m-1）の INTTAUDnIm がスタートトリガ</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>TAUDTTOUTm 生成ユニットのデッドタイム出力信号</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>マスタチャネルのアップ／ダウン出力トリガ信号</td></tr>
</table></td></tr>
<tr><td>7、6</td><td>TAUDnCOS
[1:0]</td><td>チャネル m のキャプチャレジスタ TAUDnCDRm とオーバフローフラグ TAUDnCSRm.TAUDnOVF を更新するタイミングを指定します。
これらのビットはチャネル m がキャプチャ機能（キャプチャモード、キャプチャ＆ワンカウントモード）のときにのみ有効です。
<table>
<tr><th>TAUDn COS1</th><th>TAUDn COS0</th><th>TAUDnCDRm</th><th>TAUDnCSRm.TAUDnOVF</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TAUDTTINm 入力有効エッジを検出すると更新</td><td>TAUDTTINm 入力有効エッジを検出すると更新（クリアまたはセット）
• 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUDnCSRm.TAUDnOVF をセット
• 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUDnCSRm.TAUDnOVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">TAUDTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新
• TAUDTTINm 入力有効エッジ検出：カウンタ値が TAUDnCDRm に書き込まれる
• オーバフロー発生：$FFFF_H$ が TAUDnCDRm にロードされる。次の TAUDTTINm 入力有効エッジ検出は無視される。</td><td>設定なし</td></tr>
<tr><td>1</td><td>1</td><td>カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア</td></tr>
</table></td></tr>
<tr><td>5</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 25.19　TAUDnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能
4 ～ 0	TAUDnMD [4:0]	動作モードを指定します。

TAUDn MD4	TAUDn MD3	TAUDn MD2	TAUDn MD1	TAUDn MD0	機能説明
0	0	0	0	1/0	インターバルタイマモード
0	0	0	1	1/0	ジャッジモード
0	0	1	0	1/0	キャプチャモード
0	0	1	1	0	イベントカウントモード
0	1	0	0	1/0	ワンカウントモード
0	1	0	1	1/0	設定禁止
0	1	1	0	0	キャプチャ＆ワンカウントモード
0	1	1	1	1/0	ジャッジ＆ワンカウントモード
1	0	0	0	0	設定禁止
1	0	0	1	0	アップ／ダウンカウントモード
1	0	1	0	1/0	パルスワンカウントモード
1	0	1	1	1/0	カウントキャプチャモード
1	1	0	0	0	ゲートカウントモード
1	1	0	1	0	キャプチャ＆ゲートカウントモード

モード	TAUDnMD0 ビットの役割
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUDnIm 信号を出力するかどうかを指定します。 0：INTTAUDnIm を出力しない 1：INTTAUDnIm を出力する
イベントカウントモード アップ／ダウンカウントモード	このビットは “0”（カウント動作開始時に INTTAUDnIm 信号を出力しない）に設定してください。
ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 **注 意** • ワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力しません • パルスワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力します。
ゲートカウントモード	このビットは “0”（カウント中のスタートトリガ検出を禁止）に設定してください。
キャプチャ＆ワンカウントモード キャプチャ＆ゲートカウントモード	このビットは “0” に設定してください。 **注 意** カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。
ジャッジモード ジャッジ＆ワンカウントモード	INTTAUDnIm の出力タイミングを指定します。 0：TAUDnCNTm ≦ TAUDnCDRm 時 1：TAUDnCNTm ＞ TAUDnCDRm 時

25.3.3.4 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ

このレジスタは、TAUDTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + $C0_H$ + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.20 TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS [1:0]	TAUDTTINm 入力信号の有効エッジを指定します。 TAUDn TIS1 / TAUDn TIS0 / 機能説明 0 / 0 / 立ち下がりエッジ 0 / 1 / 立ち上がりエッジ 1 / 0 / 両エッジ検出（ロウレベル幅測定選択） • スタートトリガ：立ち下がりエッジ • ストップトリガ（キャプチャ）：立ち上がりエッジ 1 / 1 / 両エッジ検出（ハイレベル幅測定選択） • スタートトリガ：立ち上がりエッジ • ストップトリガ（キャプチャ）：立ち下がりエッジ TAUDTTINm 入力信号のエッジ検出は、TAUDnCMORm.TAUDnCKS[1:0] で選択した動作クロックに基づいて行われます。

25.3.3.5 TAUDnCSRm — TAUDn チャネルステータスレジスタ

このレジスタは、チャネル m のカウンタのカウント方向とオーバフロー状態を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TAUDn_base> + 140_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnCSF	TAUDnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.21 TAUDnCSRm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	TAUDnCSF	カウント方向を示します。 0：アップカウント 1：ダウンカウント このビットのリード値は、次のモード時にのみ有効です。 • アップ／ダウンカウントモード
0	TAUDnOVF	カウンタオーバフロー状態を示します。 0：オーバフローが発生していない 1：オーバフローが発生 このビットは、次のモード時のみ使用します。 • キャプチャモード • キャプチャ＆ワンカウントモード このビットの機能は、制御ビット TAUDnCMORm.TAUDnCOS[1:0] の設定により異なります。

25.3.3.6 TAUDnCSCm — TAUDn チャネルステータスクリアレジスタ

このレジスタは、チャネル m のオーバフローフラグ TAUDnCSRm.TAUDnOVF をクリアするためのトリガレジスタです。

アクセス 8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUDn_base> + 180_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUDnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 25.22 TAUDnCSCm レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUDnCLOV	0：機能なし 1：オーバフローフラグ TAUDnCSRm.TAUDnOVF をクリア

25.3.3.7 TAUDnTS — TAUDn チャネルスタートトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス 16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス <TAUDn_base> + $1C4_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TS15	TAUDn TS14	TAUDn TS13	TAUDn TS12	TAUDn TS11	TAUDn TS10	TAUDn TS09	TAUDn TS08	TAUDn TS07	TAUDn TS06	TAUDn TS05	TAUDn TS04	TAUDn TS03	TAUDn TS02	TAUDn TS01	TAUDn TS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 25.23 TAUDnTS レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTSm	チャネル m のカウンタ動作を許可します。 0：機能なし 1：カウンタ動作を許可し、TAUDnTE.TAUDnTEm = 1 を設定。 TAUDnTE.TAUDnTEm = 1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

25.3.3.8 TAUDnTE — TAUDn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TAUDn_base> + $1C0_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TE15	TAUDn TE14	TAUDn TE13	TAUDn TE12	TAUDn TE11	TAUDn TE10	TAUDn TE09	TAUDn TE08	TAUDn TE07	TAUDn TE06	TAUDn TE05	TAUDn TE04	TAUDn TE03	TAUDn TE02	TAUDn TE01	TAUDn TE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.24　TAUDnTE レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTEm	チャネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUDnTSSTm（チャネル連動スタートトリガ信号）のトリガ入力を検知するか、TAUDnTS.TAUDnTSm を “1” にセットすると、このビットが “1” に設定されます。 TAUDnTT.TAUDnTTm を “1” にセットすると、このビットが “0” にリセットされます。

25.3.3.9 TAUDnTT — TAUDn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス 16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス <TAUDn_base> + $1C8_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TT15	TAUDn TT14	TAUDn TT13	TAUDn TT12	TAUDn TT11	TAUDn TT10	TAUDn TT09	TAUDn TT08	TAUDn TT07	TAUDn TT06	TAUDn TT05	TAUDn TT04	TAUDn TT03	TAUDn TT02	TAUDn TT01	TAUDn TT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 25.25　TAUDnTT レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTTm	チャネル m のカウンタ動作を停止します。 0：機能なし 1：カウンタ動作を停止し、TAUDnTE.TAUDnTEm をリセットします。 TAUDnCNTm、TAUDnTO.TAUDnTOm、TAUDTTOUTm は、カウント停止前の値を保持します。

25.3.4 TAUDn 一斉書き換えレジスタの詳細

25.3.4.1 TAUDnRDE — TAUDn チャネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUDnCDRm/TAUDnTOLm の一斉書き換えを許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 260_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDE15	TAUDn RDE14	TAUDn RDE13	TAUDn RDE12	TAUDn RDE11	TAUDn RDE10	TAUDn RDE09	TAUDn RDE08	TAUDn RDE07	TAUDn RDE06	TAUDn RDE05	TAUDn RDE04	TAUDn RDE03	TAUDn RDE02	TAUDn RDE01	TAUDn RDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.26 TAUDnRDE レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnRDEm	チャネル m のデータレジスタの一斉書き換えを許可／禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

25.3.4.2 TAUDnRDS — TAUDn チャネルリロードデータ制御チャネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャネルを選択します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 268_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDS15	TAUDn RDS14	TAUDn RDS13	TAUDn RDS12	TAUDn RDS11	TAUDn RDS10	TAUDn RDS09	TAUDn RDS08	TAUDn RDS07	TAUDn RDS06	TAUDn RDS05	TAUDn RDS04	TAUDn RDS03	TAUDn RDS02	TAUDn RDS01	TAUDn RDS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.27 TAUDnRDS レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnRDSm	一斉書き換えトリガを制御するチャネルを選択します。 0：マスタチャネル 1：別の上位チャネル

25.3.4.3 TAUDnRDM — TAUDn チャネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 264_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDM15	TAUDn RDM14	TAUDn RDM13	TAUDn RDM12	TAUDn RDM11	TAUDn RDM10	TAUDn RDM09	TAUDn RDM08	TAUDn RDM07	TAUDn RDM06	TAUDn RDM05	TAUDn RDM04	TAUDn RDM03	TAUDn RDM02	TAUDn RDM01	TAUDn RDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.28 TAUDnRDM レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0：マスタチャネルのカウンタがカウントを開始したとき 1：三角波周期の山 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1、TAUDnRDS.TAUDnRDSm = 0 時のみ適用されます。

25.3.4.4 TAUDnRDC — TAUDn チャネルリロードデータ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUDnIm 信号を生成するチャネルを指定します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + $26C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDC15	TAUDn RDC14	TAUDn RDC13	TAUDn RDC12	TAUDn RDC11	TAUDn RDC10	TAUDn RDC09	TAUDn RDC08	TAUDn RDC07	TAUDn RDC06	TAUDn RDC05	TAUDn RDC04	TAUDn RDC03	TAUDn RDC02	TAUDn RDC01	TAUDn RDC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.29 TAUDnRDC レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnRDCm	チャネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0：一斉書き換えトリガチャネルとならない。 1：一斉書き換えトリガチャネルとして動作する。 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1 、TAUDnRDS.TAUDnRDSm = 1 時のみ適用されます。

25.3.4.5 TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス <TAUDn_base> + 044_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDT15	TAUDn RDT14	TAUDn RDT13	TAUDn RDT12	TAUDn RDT11	TAUDn RDT10	TAUDn RDT09	TAUDn RDT08	TAUDn RDT07	TAUDn RDT06	TAUDn RDT05	TAUDn RDT04	TAUDn RDT03	TAUDn RDT02	TAUDn RDT01	TAUDn RDT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 25.30 TAUDnRDT レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnRDTm	一斉書き換え許可状態をトリガします。 0：機能なし 1：一斉書き換え許可フラグ（TAUDnRSFm）を “1” とし、一斉書き換えトリガ待ち状態となります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUDnRDE.TAUDnRDEm = 1

25.3.4.6 TAUDnRSF — TAUDn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TAUDn_base> + 048_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RSF15	TAUDn RSF14	TAUDn RSF13	TAUDn RSF12	TAUDn RSF11	TAUDn RSF10	TAUDn RSF09	TAUDn RSF08	TAUDn RSF07	TAUDn RSF06	TAUDn RSF05	TAUDn RSF04	TAUDn RSF03	TAUDn RSF02	TAUDn RSF01	TAUDn RSF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.31 TAUDnRSF レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnRSFm	一斉書き換えの状態を示します。 0：一斉書き換えトリガの発生によって、一斉書き換えが完了したことを示します。 1：一斉書き換え許可状態（TAUDnRDTm = 1）で、一斉書き換えのトリガ待ちを示します。

25.3.5 TAUDn 出力レジスタの詳細

25.3.5.1 TAUDnTOE — TAUDn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + $5C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOE15	TAUDn TOE14	TAUDn TOE13	TAUDn TOE12	TAUDn TOE11	TAUDn TOE10	TAUDn TOE09	TAUDn TOE08	TAUDn TOE07	TAUDn TOE06	TAUDn TOE05	TAUDn TOE04	TAUDn TOE03	TAUDn TOE02	TAUDn TOE01	TAUDn TOE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.32　TAUDnTOE レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTOEm	チャネル単体出力機能を許可／禁止します。 0：タイマ単体出力機能を禁止（ソフトウェア制御） 1：タイマ単体出力機能を許可

25.3.5.2 TAUDnTO — TAUDn チャネル出力レジスタ

このレジスタは、TAUDTTOUTm レベルを指定およびリードします。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + 58_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TO15	TAUDn TO14	TAUDn TO13	TAUDn TO12	TAUDn TO11	TAUDn TO10	TAUDn TO09	TAUDn TO08	TAUDn TO07	TAUDn TO06	TAUDn TO05	TAUDn TO04	TAUDn TO03	TAUDn TO02	TAUDn TO01	TAUDn TO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.33　TAUDnTO レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTOm	このレジスタは、TAUDTTOUTm レベルを指定およびリードします。 0：ロウレベル 1：ハイレベル チャネル単体出力機能が禁止されている（TAUDnTOEm = 0）TAUDnTOm ビットのみライト可能です。

25.3.5.3 TAUDnTOM — TAUDn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUDn_base> + 248_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOM15	TAUDn TOM14	TAUDn TOM13	TAUDn TOM12	TAUDn TOM11	TAUDn TOM10	TAUDn TOM09	TAUDn TOM08	TAUDn TOM07	TAUDn TOM06	TAUDn TOM05	TAUDn TOM04	TAUDn TOM03	TAUDn TOM02	TAUDn TOM01	TAUDn TOM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.34 TAUDnTOM レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作

25.3.5.4 TAUDnTOC — TAUDn チャネル出力コンフィギュレーションレジスタ

このレジスタは、TAUDnTOMm とともに各チャネルの出力モードを指定します。

アクセス 16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUDn_base> + $24C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOC15	TAUDn TOC14	TAUDn TOC13	TAUDn TOC12	TAUDn TOC11	TAUDn TOC10	TAUDn TOC09	TAUDn TOC08	TAUDn TOC07	TAUDn TOC06	TAUDn TOC05	TAUDn TOC04	TAUDn TOC03	TAUDn TOC02	TAUDn TOC01	TAUDn TOC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.35 TAUDnTOC レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTOCm	出力モードを指定します。 0：動作モード 1 1：動作モード 2 次の表にあるように、出力モードは TAUDnTOM.TAUDnTOMm の設定によっても異なります。

TAUDn TOMm	TAUDn TOCm	機能説明
0	0	トグルモード：INTTAUDnIm 発生時にトグル動作が行われます。
0	1	セット／リセットモード：カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。
1	0	チャネル連動動作モード 1：マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。
1	1	チャネル連動動作モード 2：ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。

25.3.5.5 TAUDnTOL — TAUDn チャネル出力レベルレジスタ

このレジスタは、チャネル出力ビット（TAUDnTO.TAUDnTOm）の出力論理を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + 040_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOL15	TAUDn TOL14	TAUDn TOL13	TAUDn TOL12	TAUDn TOL11	TAUDn TOL10	TAUDn TOL09	TAUDn TOL08	TAUDn TOL07	TAUDn TOL06	TAUDn TOL05	TAUDn TOL04	TAUDn TOL03	TAUDn TOL02	TAUDn TOL01	TAUDn TOL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.36 TAUDnTOL レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTOLm	チャネル m 出力ビット（TAUDnTO.TAUDnTOm）の出力論理を指定します。 0：正論理（アクティブハイ） 1：負論理（アクティブロウ） これらのビット設定は、ソフトウェア制御のチャネル単体出力モード及びチャネル単体出力モード 1 以外のすべてのチャネル出力モードに適用されます。

25.3.6 TAUDn のデッドタイム出力レジスタの詳細

25.3.6.1 TAUDnTDE — TAUDn チャネルデッドタイム出力許可レジスタ

このレジスタは、全チャネルのデッドタイム動作を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUDn_base> + 250_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TDE15	TAUDn TDE14	TAUDn TDE13	TAUDn TDE12	TAUDn TDE11	TAUDn TDE10	TAUDn TDE09	TAUDn TDE08	TAUDn TDE07	TAUDn TDE06	TAUDn TDE05	TAUDn TDE04	TAUDn TDE03	TAUDn TDE02	TAUDn TDE01	TAUDn TDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.37 TAUDnTDE レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTDEm	チャネル m のデッドタイム制御動作を許可／禁止します。 0：デッドタイム動作禁止 1：デッドタイム動作許可 対になった偶数／奇数スレーブチャネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm = 1

25.3.6.2 TAUDnTDM — TAUDn チャネルデッドタイム出力モードレジスタ

このレジスタは、デッドタイム出力中にデッドタイムを付加するタイミングを指定します。

アクセス 16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUDn_base> + 254_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TDM15	TAUDn TDM14	TAUDn TDM13	TAUDn TDM12	TAUDn TDM11	TAUDn TDM10	TAUDn TDM09	TAUDn TDM08	TAUDn TDM07	TAUDn TDM06	TAUDn TDM05	TAUDn TDM04	TAUDn TDM03	TAUDn TDM02	TAUDn TDM01	TAUDn TDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.38 TAUDnTDM レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTDMm	デッドタイム出力中にデッドタイムを付加するタイミングを指定します。 0：上位偶数チャネルのデューティサイクル検出時（デューティデッドタイム出力） 1：下位奇数チャネルの TIN 入力エッジ検出時（1 相デッドタイム出力） 対になった偶数／奇数スレーブチャネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm、TAUDnTDE.TAUDnTDEm = 1

25.3.6.3 TAUDnTDL — TAUDn チャネルデッドタイム出力レベルレジスタ

このレジスタは、デッドタイムを付加する位相を選択します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + 54_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TDL15	TAUDn TDL14	TAUDn TDL13	TAUDn TDL12	TAUDn TDL11	TAUDn TDL10	TAUDn TDL09	TAUDn TDL08	TAUDn TDL07	TAUDn TDL06	TAUDn TDL05	TAUDn TDL04	TAUDn TDL03	TAUDn TDL02	TAUDn TDL01	TAUDn TDL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.39 TAUDnTDL レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTDLm	デッドタイムを付加する位相を選択します。 0：正相 1：逆相 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm、TAUDnTDE.TAUDnTDEm = 1

25.3.7 TAUDn のリアルタイム／変調出力レジスタの詳細

25.3.7.1 TAUDnTRE — TAUDn チャネルリアルタイム出力許可レジスタ

このレジスタは、リアルタイム出力を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 258_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRE15	TAUDn TRE14	TAUDn TRE13	TAUDn TRE12	TAUDn TRE11	TAUDn TRE10	TAUDn TRE09	TAUDn TRE08	TAUDn TRE07	TAUDn TRE06	TAUDn TRE05	TAUDn TRE04	TAUDn TRE03	TAUDn TRE02	TAUDn TRE01	TAUDn TRE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.40 TAUDnTRE レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTREm	チャネル m のリアルタイム出力を許可／禁止します。 0：リアルタイム出力禁止 1：リアルタイム出力許可 これらのビット設定は TAUDnTOE.TAUDnTOEm = 1 時のみ適用されます。 TAUDnTRE.TAUDnTREm = 0 の場合、TAUDTTOUTm はリアルタイム出力の影響を受けません。 TAUDnTRE.TAUDnTREm = 1 の場合、TAUDTTOUTm はタイマ動作に応じてリアルタイム出力ビット TAUDnTRO.TAUDnTROm の値を出力します。

25.3.7.2 TAUDnTRC — TAUDn チャネルリアルタイム出力制御レジスタ

このレジスタは、各チャネルのリアルタイム出力トリガを制御します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + $25C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRC15	TAUDn TRC14	TAUDn TRC13	TAUDn TRC12	TAUDn TRC11	TAUDn TRC10	TAUDn TRC09	TAUDn TRC08	TAUDn TRC07	TAUDn TRC06	TAUDn TRC05	TAUDn TRC04	TAUDn TRC03	TAUDn TRC02	TAUDn TRC01	TAUDn TRC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.41 TAUDnTRC レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTRCm	チャネル m のリアルタイム出力トリガを生成するチャネルを指定します。 0：このビットが “1” に設定されている次の上位チャネル 1：チャネル m これらのビット設定は TAUDnTRE.TAUDnTREm = 1 時のみ適用されます。

25.3.7.3 TAUDnTRO — TAUDn チャネルリアルタイム出力レジスタ

このレジスタには、TAUDTTOUTm に出力する値を設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + $04C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRO15	TAUDn TRO14	TAUDn TRO13	TAUDn TRO12	TAUDn TRO11	TAUDn TRO10	TAUDn TRO09	TAUDn TRO08	TAUDn TRO07	TAUDn TRO06	TAUDn TRO05	TAUDn TRO04	TAUDn TRO03	TAUDn TRO02	TAUDn TRO01	TAUDn TRO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.42 TAUDnTRO レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTROm	TAUDTTOUTm に出力する値を設定します。 0：ロウレベル 1：ハイレベル TAUDnTRE.TAUDnTREm = 0 のとき、リアルタイム出力トリガが発生しても TAUDnTROm の値は TAUDTTOUTm には出力されません。

25.3.7.4 TAUDnTME — TAUDn チャネル変調出力許可レジスタ

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + 050_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TME15	TAUDn TME14	TAUDn TME13	TAUDn TME12	TAUDn TME11	TAUDn TME10	TAUDn TME09	TAUDn TME08	TAUDn TME07	TAUDn TME06	TAUDn TME05	TAUDn TME04	TAUDn TME03	TAUDn TME02	TAUDn TME01	TAUDn TME00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.43 TAUDnTME レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TAUDnTMEm	チャネル m のタイマ出力とリアルタイム出力の変調出力を許可／禁止します。 0：変調禁止 1：変調許可 これらのビット設定は TAUDnTOE.TAUDnTOEm、TAUDnTRE.TAUDnTREm = 1 時にのみ適用されます。

25.3.8 TAUDn エミュレーションレジスタ

25.3.8.1 TAUDnEMU — TAUDn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm = 0）、かつ（EPC.SVSTOP = 0）のときにライト動作を行ってください。

アドレス <TAUDn_base> + 290_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TAUDn SVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 25.44 TAUDnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUDn SVSDIS	（EPC.SVSTOP ビット = 0 のとき） 本ビットの値（1/0）にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット = 1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

25.4　操作手順

TAUDn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUDTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

(1) TAUDnTPS と TAUDnBRS レジスタを設定して CK0 ～ CK3 のクロック周波数を指定してください。

(2) 任意の TAUDn 機能を設定してください。
- 動作モードを設定してください。
- チャネル出力モードを設定してください。
- その他の制御ビットを設定してください。

(3) TAUDnTS.TAUDnTSm ビットを “1” に設定してカウンタ動作を許可してください。
カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。

(4) カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUDnTT.TAUDnTTm ビットを 1 に設定してください。強制リスタートは TAUDnTS.TAUDnTSm ビットを 1 に設定してください。

(5) TAUDnTT.TAUDnTTm ビットを “1” に設定して機能を停止してください。

備　考

1. 必要な制御ビットと各機能の動作の詳細は、
「25.12　チャネル単体動作機能」
「25.15　チャネル連動動作機能」
を参照してください。
2. 機能を変更する場合は、カウント停止中（TAUDnTE.TAUDnTEm = 0）に行ってください。

25.5　チャネル連動動作の概念

連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。チャネルの設定には、いくつかのルールがあります。ルールの詳細は、**「25.5.1　チャネル連動動作のルール」**に示します。

チャネル連動動作の 2 つの特殊な機能の詳細を次の節で説明します。

- **「25.5.2　連動チャネルカウンタの同時動作開始／停止」**
- **「25.6　一斉書き換え」**

25.5.1　チャネル連動動作のルール

マスタおよびスレーブチャネル数

- マスタチャネルには、偶数チャネル（CH0、CH2、CH4、…）のみ設定できます。スレーブチャネルには、CH0 を除くすべてのチャネルを設定できます。
- マスタチャネルより下位のチャネルのみスレーブチャネルとして設定でき、1 つのマスタチャネルに対し複数のスレーブチャネルを設定できます。
  例：CH2 がマスタチャネルの場合、CH3 以下（CH3、CH4、CH5、…）をスレーブチャネルに設定できます。
- マスタチャネルを複数使用する場合、マスタチャネルを跨いだスレーブチャネルの設定はできません。
  例：CH0、CH4 がマスタチャネルの場合、CH0 に対して CH1 ～ CH3 までをスレーブチャネルとして設定できますが、CH5 ～ CH15 は設定できません。

動作クロック

- マスタチャネルと連動するスレーブチャネルには同じ動作クロックを設定する必要があります。マスタチャネルとスレーブチャネルの TAUDnCMORm.TAUDnCKS[1:0] ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャネルの使用と動作クロックの基本的な概念を**図 25.4** に示します。

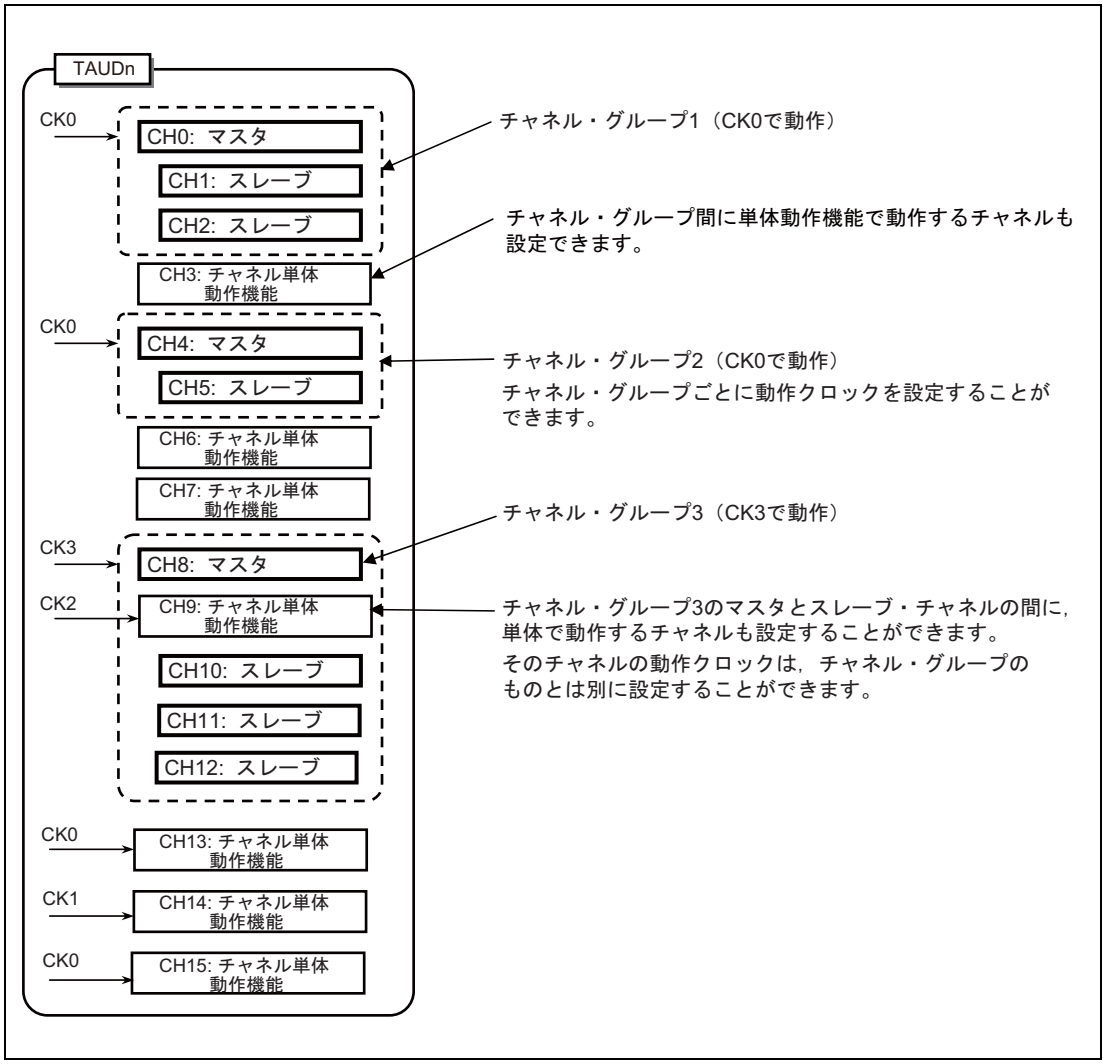


図 25.4　チャネルのグループ化と動作クロックの割り当て

マスタチャネル、スレーブチャネルの制御トリガ信号

- マスタチャネルは、制御トリガ信号をスレーブチャネルに出力することができます。
- スレーブチャネルは、マスタチャネルの制御トリガ信号を使用できますが、スレーブチャネル自身の制御トリガ信号を下位チャネルに出力することはできません。
- マスタチャネルは、自身より上位のマスタチャネルの制御トリガ信号を使用することはできません。

25.5.2 連動チャネルカウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

25.5.2.1 ユニット内の連動チャネルカウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUDnTS.TAUDnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUDnTT.TAUDnTTm ビットを同時に設定する必要があります。

TAUDnTS.TAUDnTSm ビットに “1” を設定することにより、対応する TAUDnTE.TAUDnTEm ビットが “1” にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

25.5.2.2 ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

ユニット間の同時スタート方法の詳細は、**「29.8　同時スタートトリガ機能」**を参照してください。

25.6　一斉書き換え

25.6.1　動作概要

一斉書き換えとは、複数チャネルのコンペア／スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ（TAUDnCDRm、TAUDnTOLm）は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタチャネルまたは上位チャネル（動作モードによって異なる）のカウンタが特定の値に達した場合
- TAUDnRDC.TAUDnRDCm で指定された上位チャネルにて INTTAUDnIm が発生した場合

一斉書き換えは 4 つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを**表 25.45** に示します。

表 25.45　一斉書き換え方法とトリガタイミング

方式	トリガ	TAUDnRDE. TAUDnRDEm	TAUDnRDS. TAUDnRDSm	TAUDnRDM. TAUDnRDMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタチャネルがカウントを再開／開始した場合	1	0	0
B	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合	1	1	0/1
C2	外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合	1	1	0/1

4 つの方法のうち、各チャネル動作機能で使用できる方法を**表 25.46** に示します。各チャネル動作機能の詳細は、**「25.14　チャネル単体一斉書き換え機能」**と**「25.15　チャネル連動動作機能」**と**「25.16　連動非相補方式変調出力機能と連動相補方式変調出力機能」**を参照してください。

表 25.46　チャネル機能と一斉書き換え方法

機能	A	B	C1	C2	TAUDnTOL. TAUDnTOLm
一斉書き換えトリガ出力機能タイプ 1			○		
PWM 出力機能	○		○		○
ワンショットパルス出力機能	○				
トリガスタート PWM 出力機能	○			○	
ディレイパルス出力機能	○				
三角波 PWM 出力機能		○	○		○
デッドタイム付き三角波 PWM 出力機能		○	○		
割り込み要求信号間引き機能	○	○	○		
AD 変換トリガ出力機能タイプ 1	○		○		
AD 変換トリガ出力機能タイプ 2		○	○		
非相補方式変調出力機能タイプ 1	○		○		

表 25.46　チャネル機能と一斉書き換え方法

機能	A	B	C1	C2	TAUDnTOL. TAUDnTOLm
非相補方式変調出力機能タイプ2		○	○		
相補方式変調出力機能		○	○		

備考　○：使用可能　空欄：使用不可

25.6.2　一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を**図 25.5** に示します。3 つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

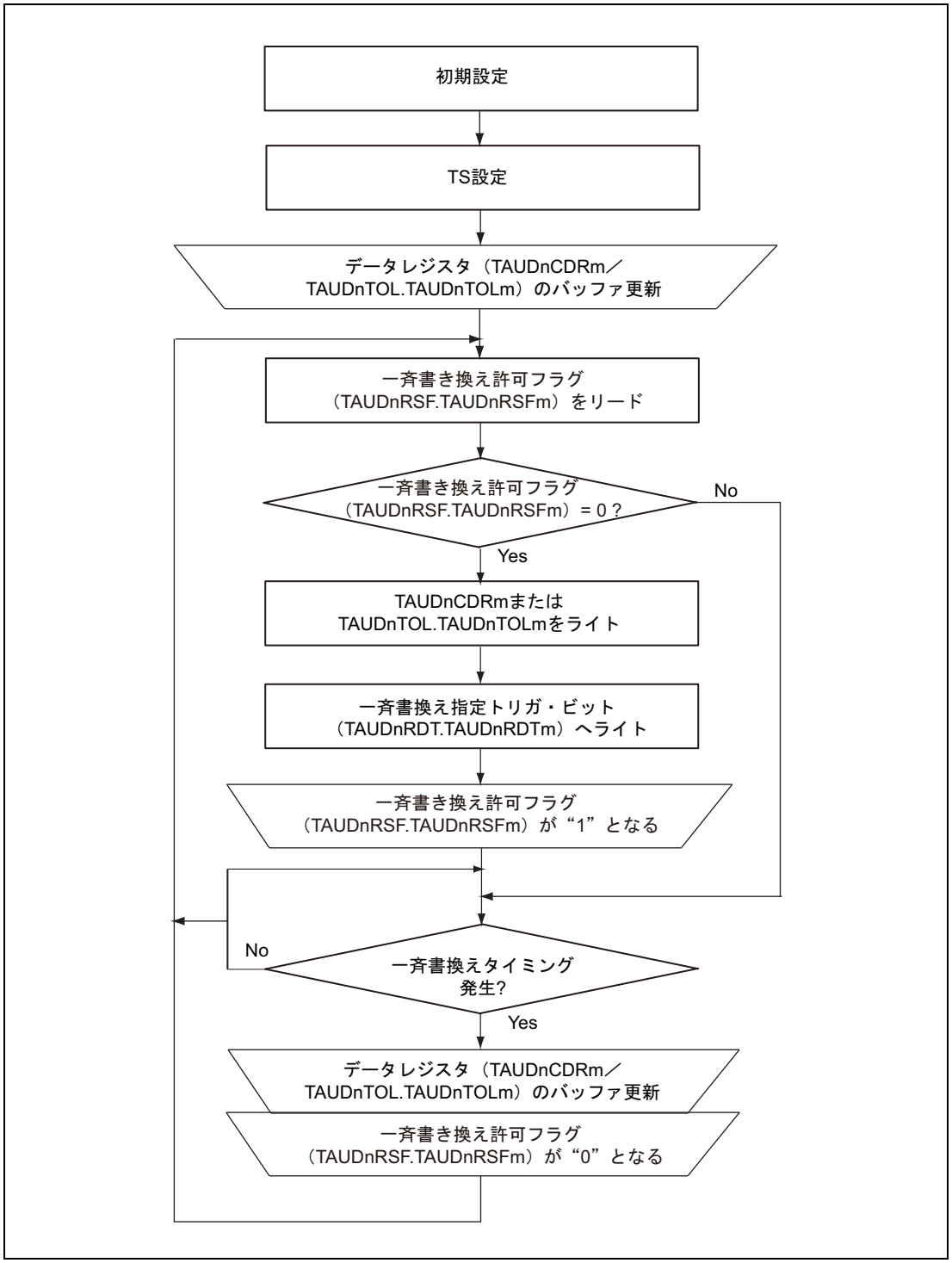


図 25.5　一斉書き換えの基本手順

25.6.2.1 初期設定

- チャネル m にて一斉書き換えを許可するには、TAUDnRDE.TAUDnRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUDnRDM.TAUDnRDMm と TAUDnRDS.TAUDnRDSm を**「表 25.45　一斉書き換え方法とトリガタイミング」**に示す値に設定してください。
- TAUDnRDC.TAUDnRDCm で、一斉書き換えトリガ生成チャネルを指定してください（前提：上位チャネルに TAUDnRDS.TAUDnRDSm が設定されている）。

25.6.2.2 カウント開始とカウント動作

- チャネルグループに属するすべての TAUDnCNTm カウンタ動作を開始するには、対応する TAUDnTS.TAUDnTSm ビットを “1” に設定してください。TAUDnTOL.TAUDnTOLm とデータレジスタ（TAUDnCDRm）の値は、対応する TAUDnTOL.TAUDnTOLm バッファ（TAUDnTOL.TAUDnTOLm buf）とデータバッファレジスタ（TAUDnCDRm buf）にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を “1” に設定することにより、リロードフラグ（TAUDnRSF.TAUDnRSFm）が “1” に設定され、一斉書き換えが許可されます。TAUDnRSF.TAUDnRSFm は一斉書き換えが完了するまで “1” のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可（TAUDnRSF.TAUDnRSFm = 1）されているかを確認するために TAUDnRSF.TAUDnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

25.6.2.3 一斉書き換え

- 一斉書き換えが許可（TAUDnRSF.TAUDnRSFm = 1）され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると、TAUDnRSF.TAUDnRSFm ビットは “0” に設定され、システムは次の一斉書き換えトリガを待ちます。

25.6.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中（TAUDnTE.TAUDnTEm = 1）は、TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm、TAUDnRDM.TAUDnRDMm、TAUDnRDC.TAUDnRDCm を変更することはできません。
- PWM 出力機能または三角波 PWM 出力機能は、動作している場合でも TAUDnTOL.TAUDnTOLm を書き換えることができます。ほかの機能は、動作を開始する前に TAUDnTOL.TAUDnTOLm を書き換える必要があります。ほかの機能で動作しているときに書き換えた場合、TAUDTTOUTm は不正な値を出力します。
- 上位チャネルで一斉書き換えトリガを発行した場合（TAUDnRDS.TAUDnRDSm = 1）、すべての下位チャネルは TAUDnRDC.TAUDnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUDnRDC.TAUDnRDCm ビットを “1” に設定し、ほかのチャネルの TAUDnRDC.TAUDnRDCm ビットを “0” に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャネルとなります。CH2 は、下位チャネル CH3 ～ CH6 を制御し、CH7 は、下位チャネル CH8 ～ CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャネルを一斉書き換えトリガ生成チャネルとして選択（TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm = 1）したにもかかわらず、上位チャネルを設定していない場合（TAUDnRDC.TAUDnRDC[15:0] = 0）、一斉書き換えは行いません。

25.6.4 一斉書き換えの種類

次に、タイミング図を使用して 4 つの一斉書き換え方法を説明します。

25.6.4.1 マスタチャネルがカウントを再開／開始した場合の一斉書き換え（方法 A）

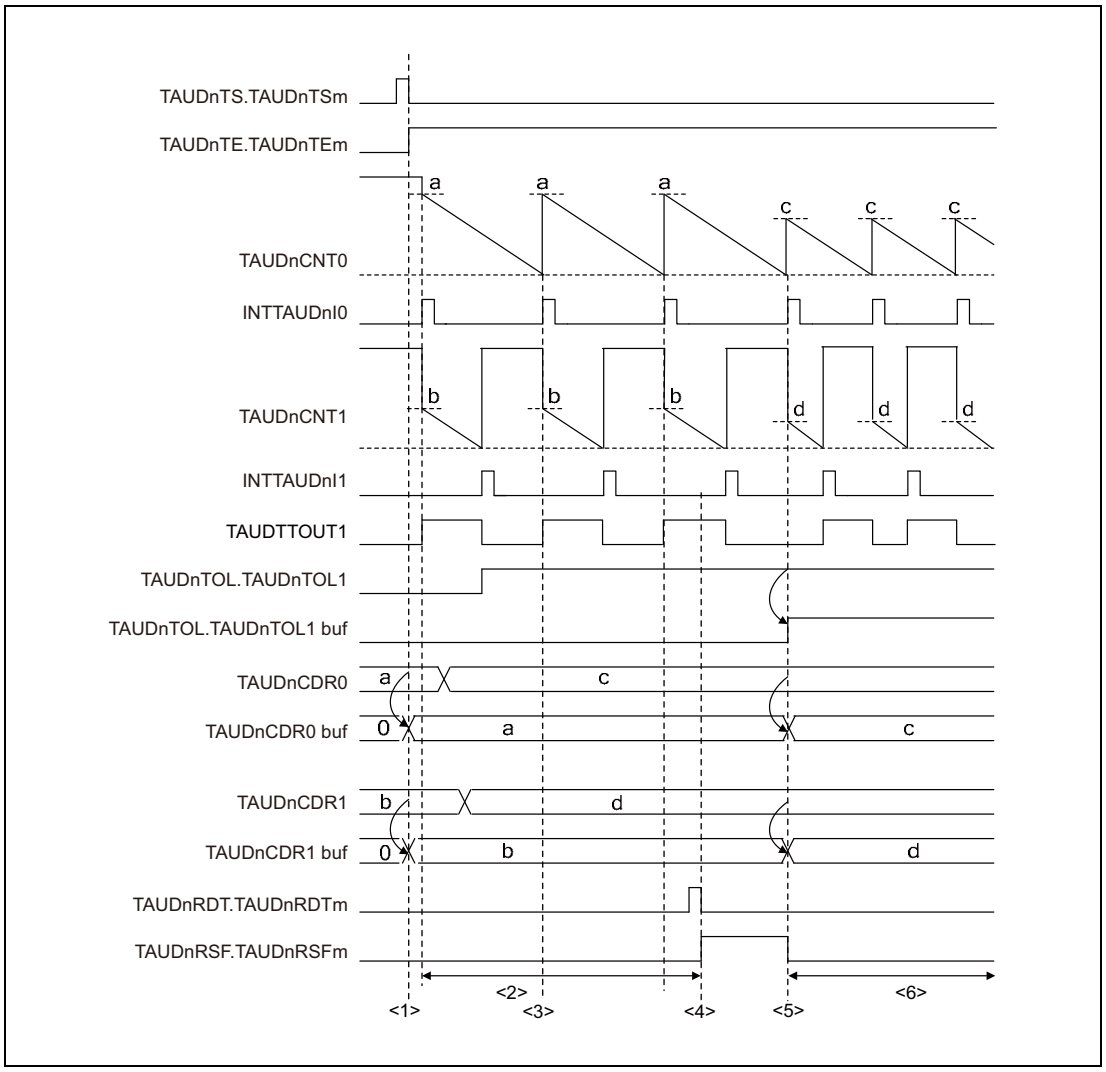


図 25.6 マスタチャネルがカウントを再開／開始した場合の一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 A が適用されます。

説明：

(1) TAUDnTS.TAUDnTSm = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値が TAUDnTOL.TAUDnTOLm バッファにコピーされます。

(2) TAUDnCDRm と TAUDnTOL.TAUDnTOLm レジスタは常に書き込めます。

(3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません（TAUDnRSF.TAUDnRSFm = 0）。

(4) リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を “1” に設定することにより、ステータスフラグが設定され（TAUDnRSF.TAUDnRSFm = 1）、一斉書き換えが許可されます。

(5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

25.6.4.2 スレーブチャネルの三角波の [山] のタイミングで一斉書き換え（方法 B）

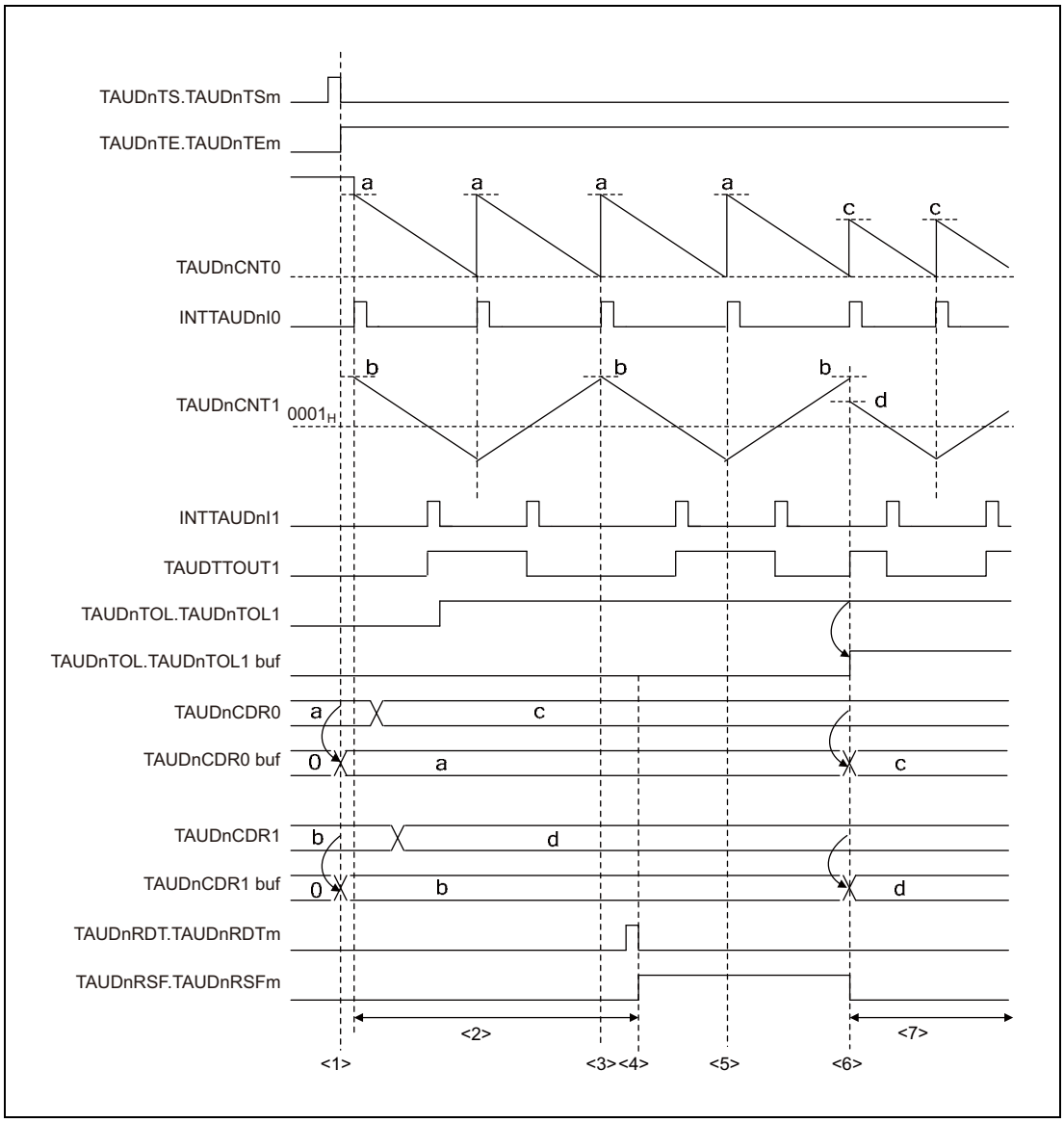


図 25.7 スレーブチャネルの三角波の [山] のタイミングで一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 B が適用されます。

説明：

(1) TAUDnTS.TAUDnTSm = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。

(2) TAUDnCDRm と TAUDnTOL レジスタは常に書き込めます。

(3) 一斉書き換えは許可されていないため行われません（TAUDnRSF.TAUDnRSFm = 0）。

(4) リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を “1” に設定することにより、ステータスフラグが設定され（TAUDnRSF.TAUDnRSFm = 1）、一斉書き換えが許可されます。

(5) 一斉書き換えは、三角波周期の [谷] のタイミングでは発生しません。

(6) 一斉書き換えは、三角波周期の [山] のスタートタイミングで行われます。
TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。

(7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

25.6.4.3 TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え（方法 C1）

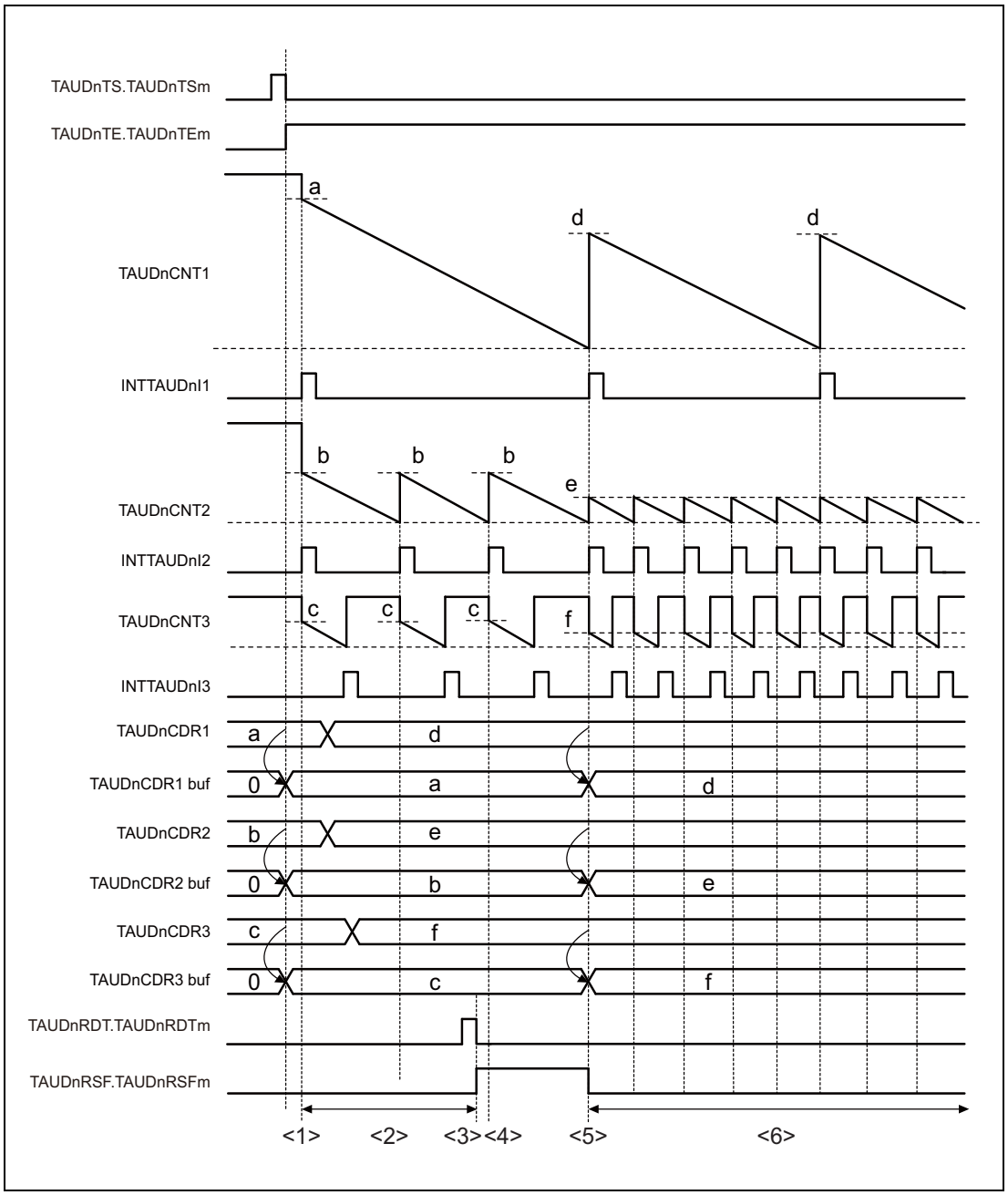


図 25.8 TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、ダウンカウントを行う上位チャネルです。CH2 は、マスタチャネルです。CH3 は、スレーブチャネルです。一斉書き換え方法 C1 が適用されます。TAUDnRDC レジスタで、一斉書き換えトリガ生成チャネルを指定します。

説明：

(1) TAUDnTS.TAUDnTSm = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。

(2) TAUDnCDRm レジスタは常に書き込めます。

(3) リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を “1” に設定することにより、ステータスフラグが設定され（TAUDnRSF.TAUDnRSFm = 1）、一斉書き換えが許可されます。

(4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。

(5) 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUDnCDRm の値は対応する TAUDnCDRm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。

25.6.4.4 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え（方法 C2）

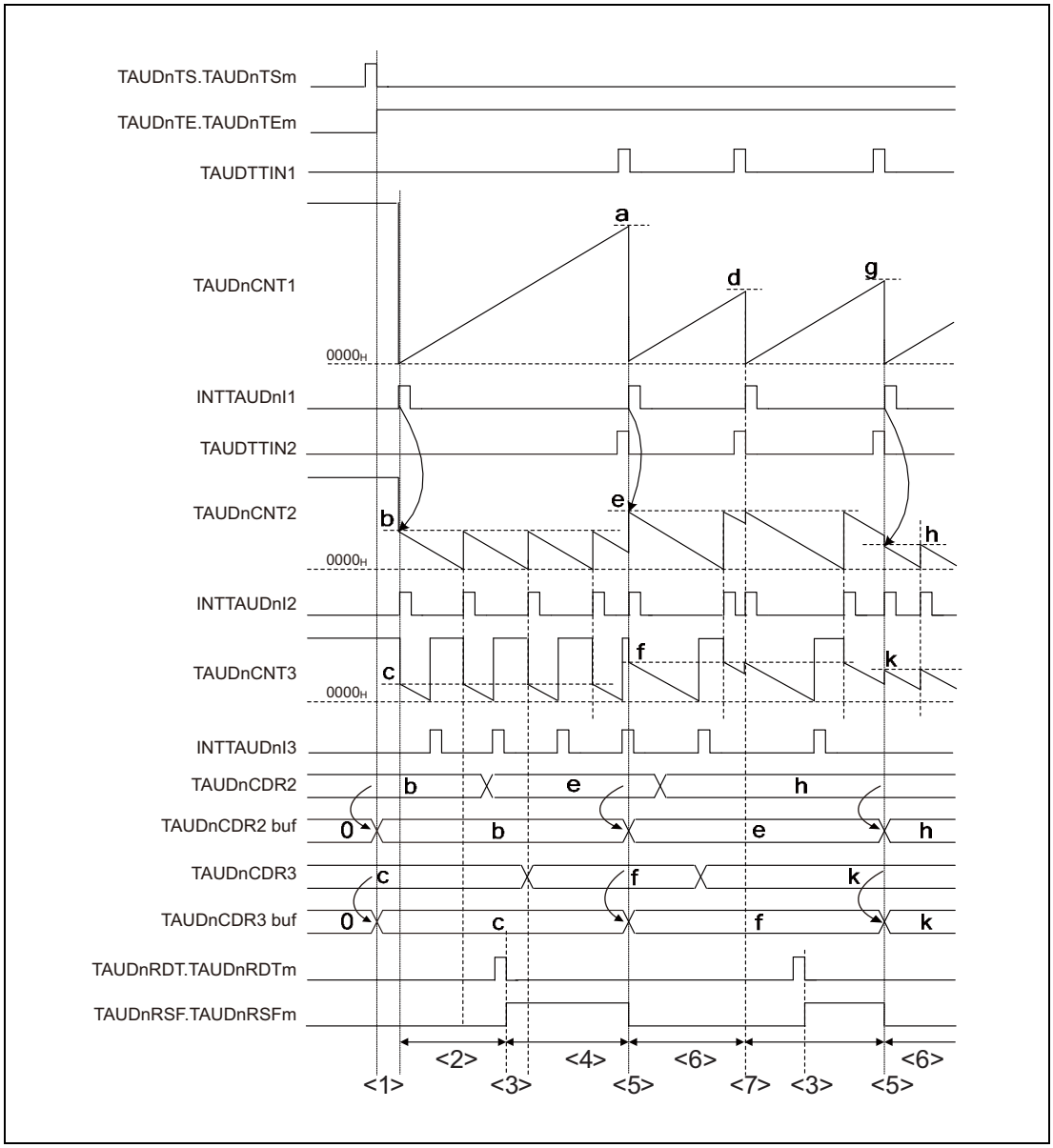


図 25.9 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、アップカウントを行う上位チャネルです。CH2 は、マスタチャネルです。CH3 は、スレーブチャネルです。チャネル連動動作方法 C2 が適用されます。TAUDnRDC レジスタは、INTTAUDnIm トリガにてモニタする上位チャネルを指定します。

説明：

(1) TAUDnTS.TAUDnTSm = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。ただし、TAUDnCDR1 はキャプチャモードのため、TAUDnCDR1 の値が TAUDnCDR1 バッファにコピーされません。

(2) TAUDnCDRm レジスタは常に書き込めます。

(3) リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を “1” に設定することにより、ステータスフラグが設定され（TAUDnRSF.TAUDnRSFm = 1）、一斉書き換えが許可されます。

(4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。

(5) 一斉書き換えは、外部信号 TIN1 で発生する INT1 をトリガとして行われます。TAUDnCDRm の値は、対応する TAUDnCDRm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。

(7) TIN2 で外部信号が発生しますが、一斉書き換えは許可されていない（TAUDnRSF.TAUDnRSFm = 0）ため行われません。

25.7　チャネル出力モード

TAUDTTOUTm 端子の出力は、2 つの方法で制御することができ、2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御（TAUDnTOE.TAUDnTOEm = 0）
  ソフトウェアで制御した場合、出力レジスタビット（TAUDnTO.TAUDnTOm）に書き込んだ値は、出力端子（TAUDTTOUTm）に転送されます。
- TAUD 信号による制御（TAUDnTOE.TAUDnTOEm = 1）
  TAUD 信号で制御した場合、TAUDTTOUTm の出力レベルはセット／リセット、または内部信号によりトグルされます。これに応じて、TAUDTTOUTm の値を反映するために、TAUDnTO.TAUDnTOm の値は更新されます。
  - 単体制御（TAUDnTOM.TAUDnTOMm = 0）
    単体動作の場合、TAUDTTOUTm 端子の出力はチャネル m の設定のみの影響を受けます。したがって、チャネル単体動作を指定（TAUDnTOM.TAUDnTOMm = 0）する必要があります。
  - 連動制御（TAUDnTOM.TAUDnTOMm = 1）
    連動動作の場合、TAUDTTOUTm 端子の出力は、チャネル m とその他のチャネルの設定の影響を受けます。したがって、すべての連動するチャネルに対してチャネル連動動作を指定する必要があります（TAUDnTOM.TAUDnTOMm = 1）。

TAUDnTO.TAUDnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUDTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャネル出力モードを選択するために必要な制御ビットの設定は、**「表 25.47　チャネル出力モード」**に示します。

チャネル出力モードの詳細は次の節を参照してください。

- **「25.7.2　TAUDn 信号により単体制御されるチャネル出力モード」**
- **「25.7.3　TAUDn 信号により連動制御されるチャネル出力モード」**

TAUDnTOm ビットの一括操作

TAUDnTOm ビットへの設定値の反映 / 非反映は、TAUDnTOE.TAUDnTOEm ビットにより制御されます。

TAUDnTO レジスタにライトした時に、TAUDnTOE.TAUDnTOEm ビット =0 を設定したビット（チャネル）にのみ、TAUDnTOm の設定値の書き込みが行われます。
TAUDnTOE.TAUDnTOEm ビット = 1 を設定したビット（チャネル）は、TAUDnTOm の設定値は反映されません。

備　考

TAUDnTO.TAUDnTOm ビットは、ビット番号とチャネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUDnTOL.TAUDnTOLm で指定します。

TAUDnTOL.TAUDnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUDnTOL.TAUDnTOLm を変更すると、TAUDTTOUTm 信号の出力は不定になります。

「25.6　一斉書き換え」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを**表 25.47** に示します。

表 25.47　チャネル出力モード

チャネル出力モード	TAUDn TOE. TAUDn TOEm	TAUDn TOM. TAUDn TOMm	TAUDn TOC. TAUDn TOCm	TAUDn TDE. TAUDn TDEm	TAUDn TRE. TAUDn TREm	TAUDn TME. TAUDn TMEm	TAUDn TDM. TAUDn TDMm
ソフトウェア制御							
ソフトウェア制御のチャネル単体出力モード	0	X					
TAUD 信号による単体動作制御							
チャネル単体出力モード 1	1	0	0	0	0	0	0
リアルタイム出力を行うチャネル単体出力モード 1					1		
チャネル単体出力モード 2			1		0		
TAUD 信号による連動動作制御							
チャネル連動出力モード 1	1	1	0	0	0	0	0
非相補方式変調出力を行うチャネル連動出力モード 1					1	X	
チャネル連動出力モード 2			1	0	0	0	0
デッドタイム出力を行うチャネル連動出力モード 2				1			
1 相 PWM 出力を行うチャネル連動出力モード 2							1
相補方式変調出力を行うチャネル連動出力モード 2					1	1	0
非相補方式変調出力を行うチャネル連動出力モード 2			1	0			

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備　考

1. 次のビットは、カウント動作中（TAUDnTE.TAUDnTEm = 1）は変更できません。
   - TAUDnTOM.TAUDnTOMm
   - TAUDnTOC.TAUDnTOCm
   - TAUDnTDE.TAUDnTDEm
   - TAUDnTRE.TAUDnTREm
   - TAUDnTDM.TAUDnTDMm
2. 次のビットは、変調出力を行うチャネル出力モードを除き、カウント動作中（TAUDnTE.TAUDnTEm = 1）は変更できません。
   - TAUDnTME.TAUDnTMEm
   - TAUDnTDL.TAUDnTDLm

25.7.1　チャネル出力モードを指定するための基本手順

TAUDTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります（TAUDnTOE.TAUDnTOEm = 0）。

(1) TAUDnTO.TAUDnTOm を設定して TAUDTTOUTm 出力の初期レベルを指定してください。

(2) **「表 25.47　チャネル出力モード」**を参照してチャネル出力モードを設定し、TAUDnTOL.TAUDnTOLm ビットで出力論理を設定してください。

(3) カウンタのカウントを開始してください（TAUDnTS.TAUDnTSm = 1）。

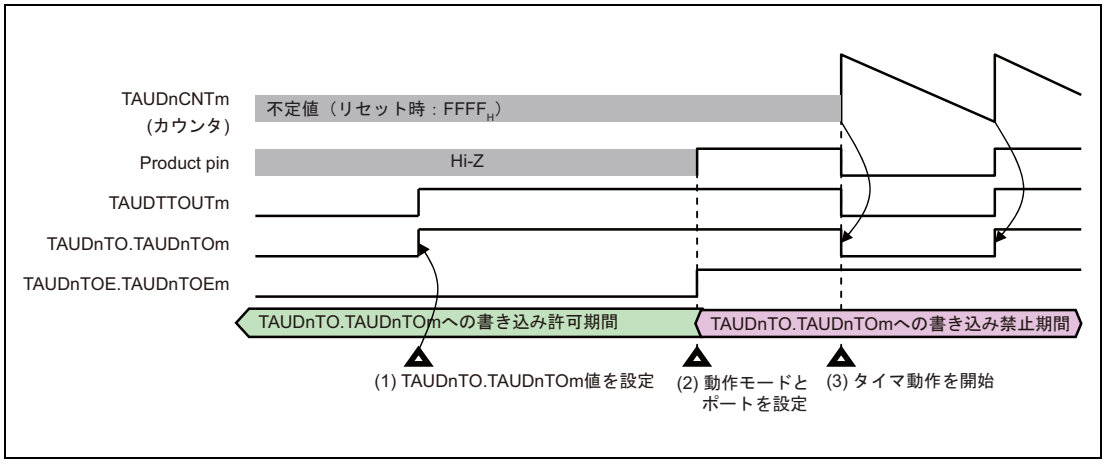


図 25.10　TAUDTTOUTm チャネル出力モードを指定するための基本手順

25.7.2 TAUDn 信号により単体制御されるチャネル出力モード

この節では、TAUDn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、**「表 25.47　チャネル出力モード」**に示します。

25.7.2.1 チャネル単体出力モード 1

セット／リセット条件

この出力モードでは、INTTAUDnIm が検出されると TAUDTTOUTm がトグルされます。TAUDnTOL.TAUDnTOLm の値は無視されます。

前提条件

「表 25.47　チャネル出力モード」に示す条件以外の条件はありません。

25.7.2.2 リアルタイム出力を行うチャネル単体出力モード 1

この出力モードでは、トリガチャネルの TAUDnTRO.TAUDnTROm ビットが TAUDTTOUTm に出力されます。トリガチャネルは、対応する TAUDnTRC.TAUDnTRCm ビットを “1” に設定することで指定します。トリガチャネルは、TAUDnTRC.TAUDnTRCm = 0 が設定されているすべての下位チャネルを制御します。

セット／リセット条件

TAUDnTRO.TAUDnTROm ビットの値は、トリガチャネルで INTTAUDnIm 割り込みが発生した場合にのみ TAUDTTOUTm に転送されます。INTTAUDnIm 割り込みは、次のいずれかの場合に発生します。

- 指定した周期
- 有効な TAUDTTINm 入力エッジ、またはカウント開始の検出

トリガの種類は、TAUDnCMORm.TAUDnMD[4:1] ビットで設定します。

前提条件

マスタチャネルおよびスレーブチャネルは、ともにトリガ生成チャネルとして設定できます。TAUDnTRC.TAUDnTRCm を “1” に設定したチャネルは、TAUDnTRE.TAUDnTREm の値にかかわらずトリガ生成チャネルとして動作します。

上位チャネルの TAUDnTRC.TAUDnTRCm に “1” を設定したチャネルが上位にない場合、または TAUDnTRC.TAUDnTRC0 = 0 を設定したチャネルは、リアルタイム出力を行いません。

これを**図 25.11** に示します。

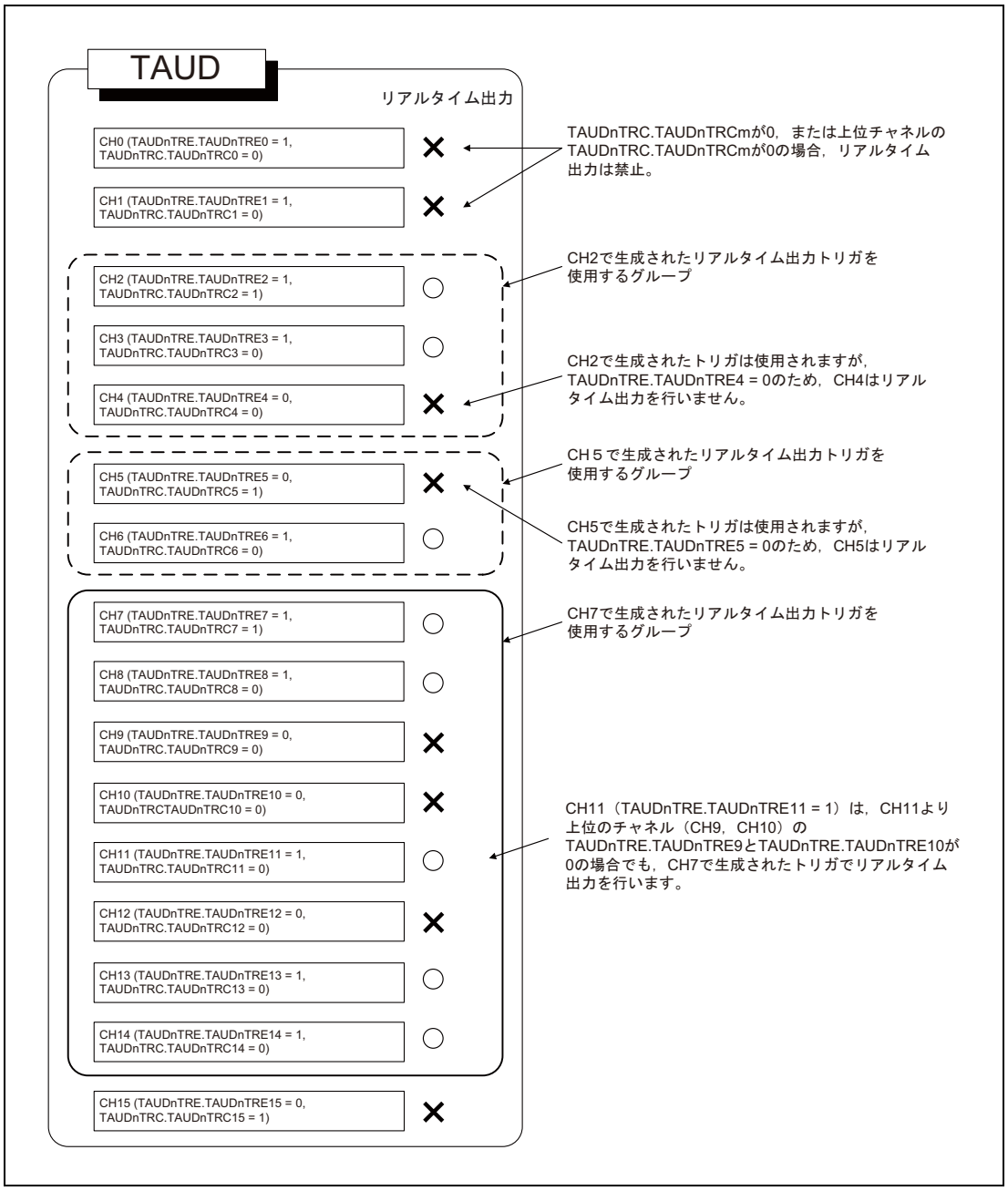


図 25.11　リアルタイム出力

25.7.2.3 チャネル単体出力モード 2

セット／リセット条件

この出力モードでは、TAUDTTOUTm は、カウント開始の INTTAUDnIm 発生でセット、TAUDnCNTm と TAUDnCDRm の一致による INTTAUDnIm 発生でリセットされます。

前提条件

「表 25.47　チャネル出力モード」に示す条件以外の条件はありません。

25.7.3 TAUDn 信号により連動制御されるチャネル出力モード

この節では、TAUDn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、**「表 25.47　チャネル出力モード」**に示します。

25.7.3.1 チャネル連動出力モード 1

セット／リセット条件

この出力モードでは、マスタチャネルの INTTAUDnIm がセット信号、スレーブチャネルの INTTAUDnIm がリセット信号となります。マスタチャネルの INTTAUDnIm とスレーブチャネルの INTTAUDnIm が同時発生した場合、スレーブチャネルの INTTAUDnIm（リセット信号）は、マスタチャネルの INTTAUDnIm（セット信号）より優先されます（マスタチャネルは無視されます）。

前提条件

「表 25.47　チャネル出力モード」に示す条件以外の条件はありません。

25.7.3.2 非相補方式変調出力を行うチャネル連動出力モード 1

セット／リセット条件

この出力モードでは、TAUDTTOUTm は、あるチャネルの PWM 出力とリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）間の AND 演算の結果を出力します。

デッドタイムが付加される位相は、正相位相の場合は TAUDnTDL.TAUDnTDLm = 0、逆相位相の場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

PWM 出力を生成するには 3 つ以上のチャネル 1 組が必要です。マスタチャネルとスレーブチャネル 1 は周期を生成し、スレーブチャネル 2 はデューティサイクルを生成します。代表的なアプリケーションでは、スレーブチャネル 2 と同様に動作するスレーブチャネルをさらに 5 つ使用します。

同じチャネルの PWM 出力とリアルタイム出力ビットのみ組み合わせることができます。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEm を変更した場合、TAUDnTME.TAUDnTMEm の新しい値は、指定したチャネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEm と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、マスタチャネルで INTTAUDnIm が検出されたときに適用されます。

25.7.3.3 チャネル連動出力モード 2

この出力モードでは、動作モードをアップ／ダウンカウントモードに設定する必要があります。その結果、TAUDTTOUTm より三角波 PWM が出力されます。詳細は**「25.15.7 三角波 PWM 出力機能」**を参照してください。

セット／リセット条件

スレーブチャネルの TAUDnCNTm は、アップ／ダウンカウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUDTTOUTm をトグルします。

前提条件

三角波 PWM 出力を生成するには 2 つで 1 組のチャネルが必要です。TAUDTTOUTm は、機能を開始する前に “0” に設定する必要があります。

25.7.3.4 デッドタイム出力を行うチャネル連動出力モード 2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット／リセット条件を**図 25.12** に示します。

セット／リセット条件

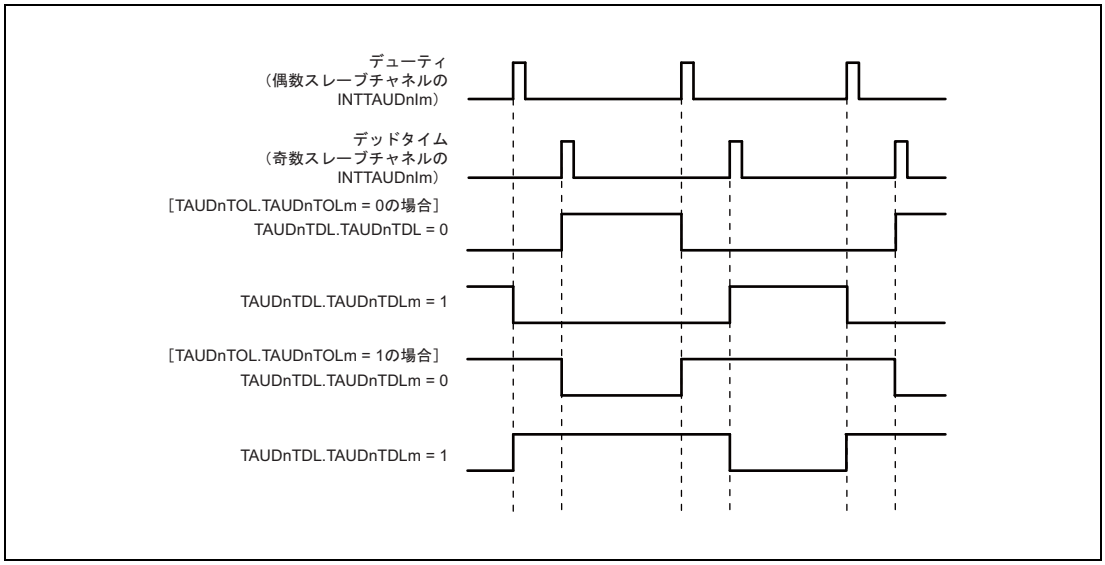


図 25.12 デッドタイム出力を行うチャネル連動出力モード 2 のセット／リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する 3 つで 1 組のチャネルが必要です。

- マスタチャネル
  マスタチャネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャネル
  偶数スレーブチャネルは、アップ／ダウンカウントモードに設定する必要があります。

- 奇数スレーブチャネル（偶数チャネル＋1）
  奇数スレーブチャネルは、ワンカウントモードに設定する必要があります。

奇数チャネルと偶数チャネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

25.7.3.5　1 相 PWM 出力を行うチャネル連動出力モード 2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット／リセット条件を**図 25.13** に示します。

セット／リセット条件

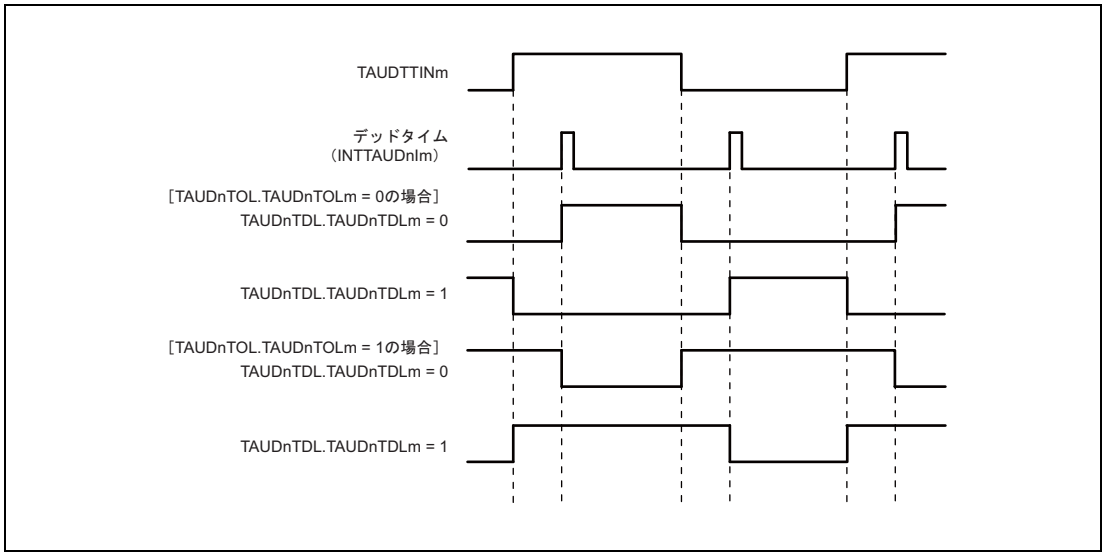


図 25.13　1 相 PWM 出力を行うチャネル連動出力モード 2 のセット／リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

1 相 PWM 出力を制御するには、2 つで 1 組のチャネルが必要です。

- 偶数スレーブチャネル
- 奇数スレーブチャネル（偶数チャネル＋1）
  奇数スレーブチャネルは、ワンカウントモードに設定する必要があります。

奇数チャネルと偶数チャネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

25.7.3.6 相補方式変調出力を行うチャネル連動出力モード 2

セット／リセット条件

この出力モードでは、TAUDTTOUTm は、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）、変調出力ビット（TAUDnTME.TAUDnTMEm）、出力レベルビット（TAUDnTOL.TAUDnTOLm）の値に応じて PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。

詳細は**「25.16.3　相補方式変調出力機能」**を参照してください。

前提条件

このモードでは、4 つ以上のチャネル 1 組が必要です。マスタチャネルとスレーブチャネル 1 は周期を生成し、スレーブチャネル 2 はデューティサイクルを生成し、スレーブチャネル 3 はデッドタイムを生成します。スレーブチャネル 2 とスレーブチャネル 3 は 2 つで 1 組です。代表的なアプリケーションでは、チャネル 2、チャネル 3 と同様に動作するスレーブチャネルをさらに 4 つ使用します。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEm を動作中に変更した場合、TAUDnTME.TAUDnTMEm の新しい値は、指定したチャネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEm と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、偶数スレーブチャネルで INTTAUDnIm が検出されたときに適用されます。

25.7.3.7 非相補方式変調出力を行うチャネル連動出力モード 2

非相補方式変調出力を行うチャネル連動出力モード 1 とは PWM 波形が異なります。

モード 1 では矩形波ですが、モード 2 では三角波です。

25.8 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUDnTS.TAUDnTSm を “1” に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

25.8.1 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモード

TAUDnTS.TAUDnTSm が “1” に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

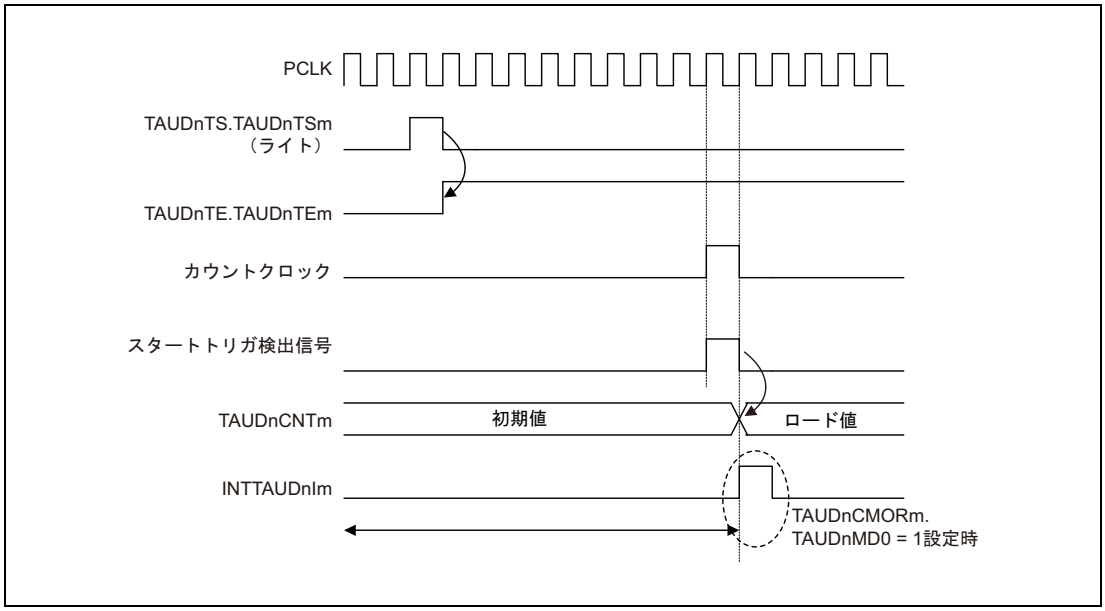


図 25.14 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモードでの開始タイミング

備 考

アップ／ダウンカウントモード時は、必ず TAUDnCMORm.TAUDnMD0 = 0 に設定してください。

25.8.2 イベントカウントモード

TAUDnTS.TAUDnTSm が “1” に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウントクロックサイクルの開始時にデクリメントされます。

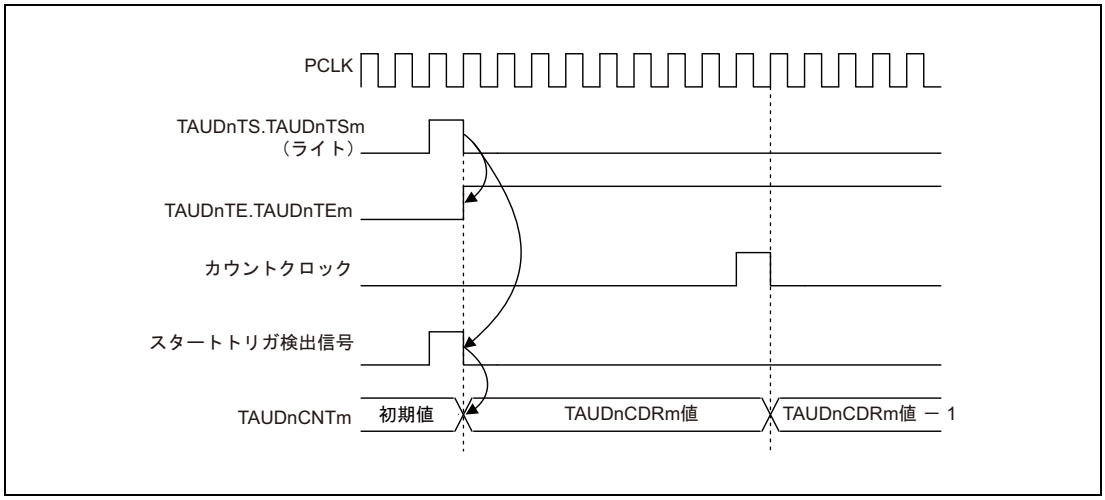


図 25.15 イベントカウントモード時の開始タイミング

25.8.3 その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUDTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

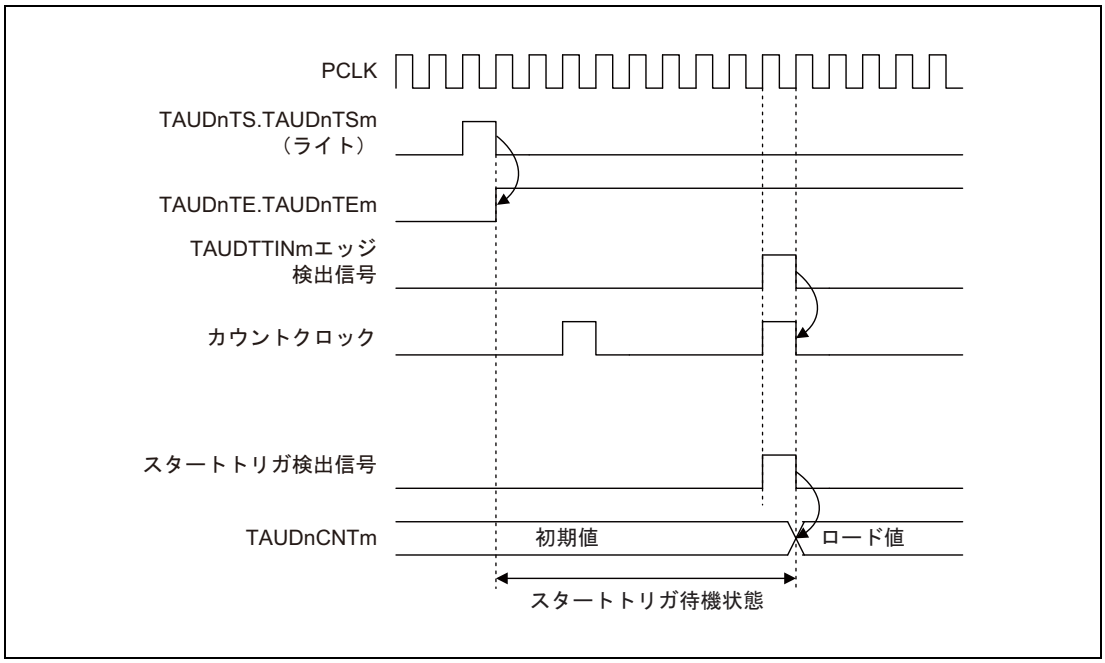


図 25.16 その他の動作モードでのカウント開始タイミング

25.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成

カウンタのカウント開始時、TAUDnCMORm.TAUDnMD0 ビットで INTTAUDnIm を発生するかしないかを指定できます。

TAUDnCMORm.TAUDnMD0 ビットがカウント開始時の INTTAUDnIm 発生、TAUDTTOUTm に与える影響は、選択した機能に依存します。詳細は、各機能の TAUDnCMORm.TAUDnMD0 の説明を参照してください

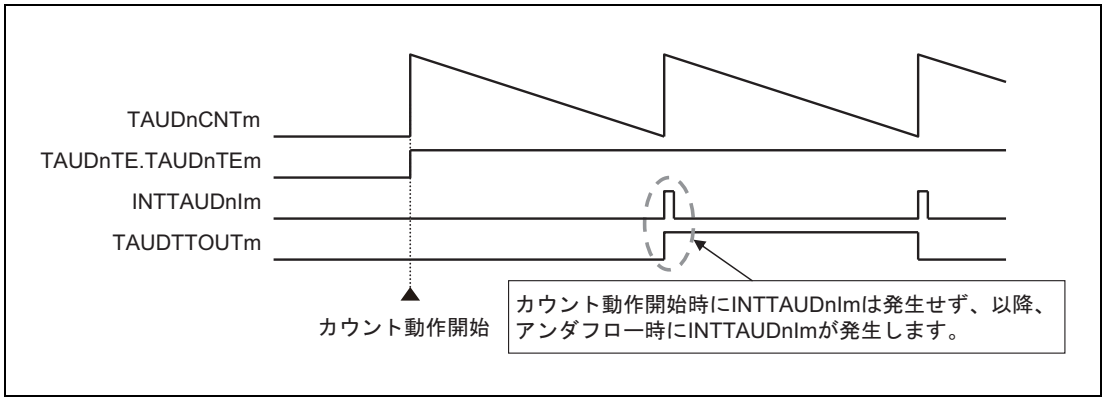


図 25.17　INTTAUDnIm の発生タイミング（TAUDnCMORm.TAUDnMD0 = 0 設定時）

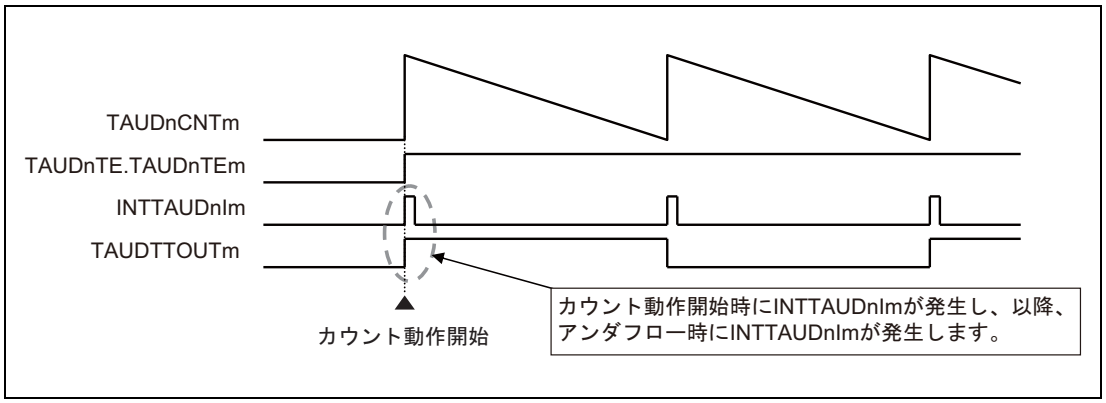


図 25.18　INTTAUDnIm の発生タイミング（TAUDnCMORm.TAUDnMD0 = 1 設定時）

25.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャネル動作と、ダウンカウントを行うモードでのチャネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャネルに適切かは、ファーストチャネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャネルに、ファーストチャネルでのオーバフロー発生と同時に 0000_H になるようなダウンカウントを行う動作モードを設定します（TAUDnCNTm = $FFFF_H$）。
- セカンドチャネルの TAUDnCDRm を $FFFF_H$ に設定します。
- 2 つのチャネルは同じ速度でカウントを行う必要があります（つまり、カウントクロックが同じでなければなりません）。
- 両チャネルが同じ TAUDTTINm 入力信号でトリガされます。
- 両チャネルのトリガ検出設定（TAUDnCMORm.TAUDnSTS[2:0] と TAUDnCMURm.TAUDnTIS[1:0]）は同じである必要があります。

結果：

ファーストチャネルのアップカウンタでのオーバフロー発生（TAUDnCNTm = $FFFF_H$）と同時にセカンドチャネルのダウンカウンタが 0000_H になります。そしてセカンドチャネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

25.10.1 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力パルスインターバル測定機能の TAUDnCNTm の $FFFF_H$ オーバフローを TAUDTTINm 入力インターバルタイマ機能の INTTAUDnIm で検出できます。

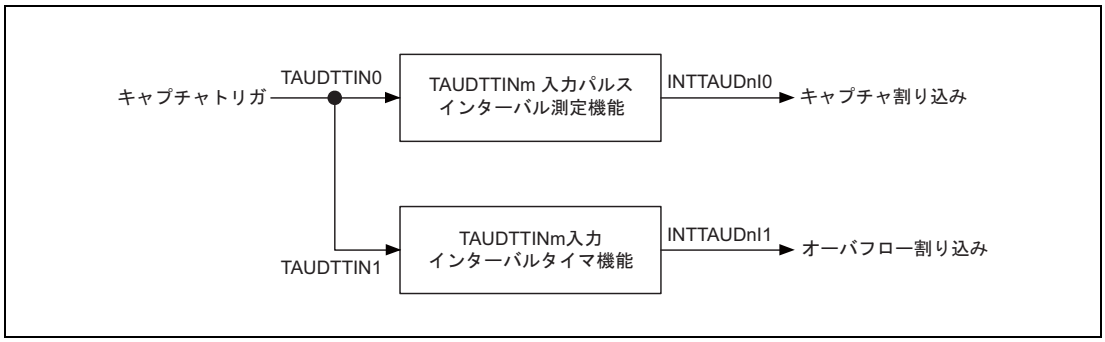


図 25.19 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

タイミング図

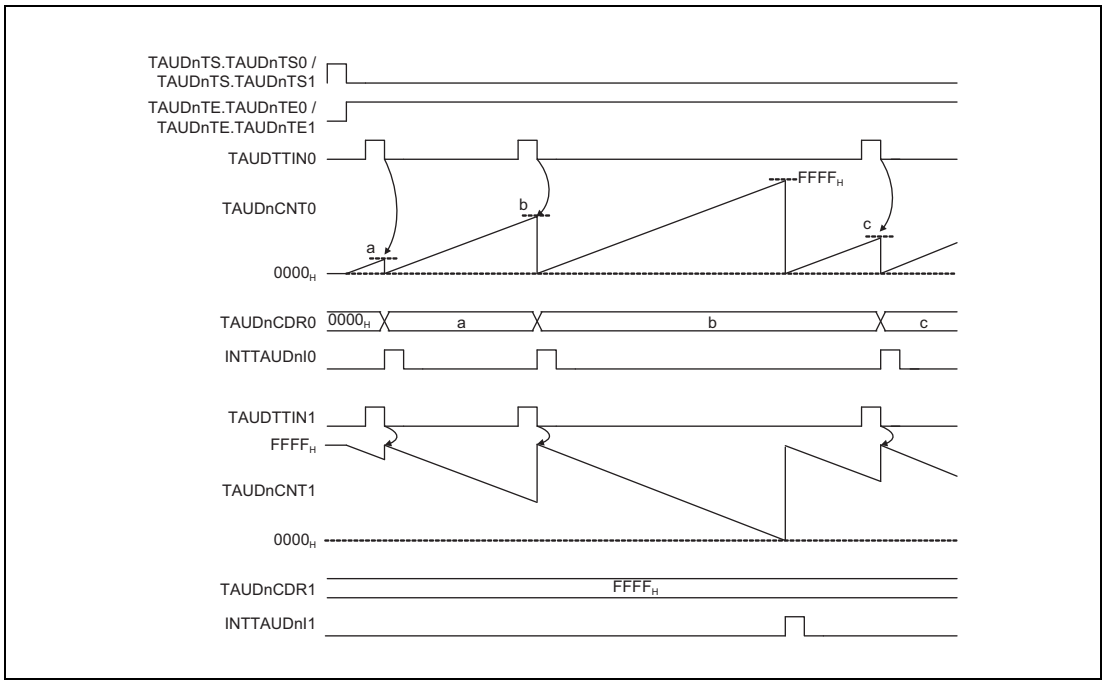


図 25.20 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせによる割り込み発生

25.10.2 TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力信号幅測定機能の TAUDnCNTm の $FFFF_H$ オーバフローをオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の INTTAUDnIm で検出できます。

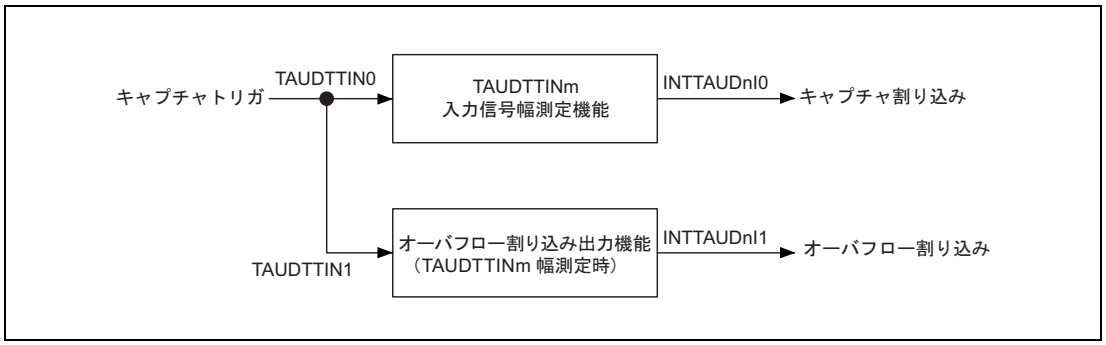


図 25.21 TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせ

タイミング図

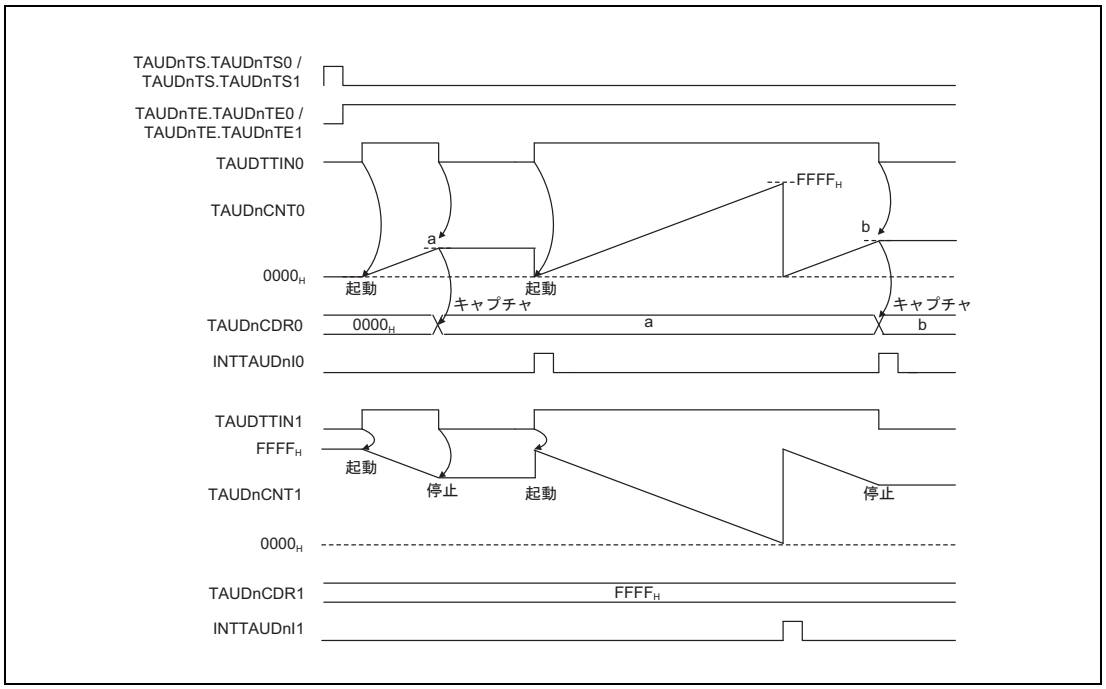


図 25.22 TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせによる割り込み発生

25.10.3 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャネルのカウンタを同時に開始することで、TAUDTTINm 入力位置検出機能の TAUDnCNTm の $FFFF_H$ オーバフローをインターバルタイマ機能の INTTAUDnIm で検出できます。

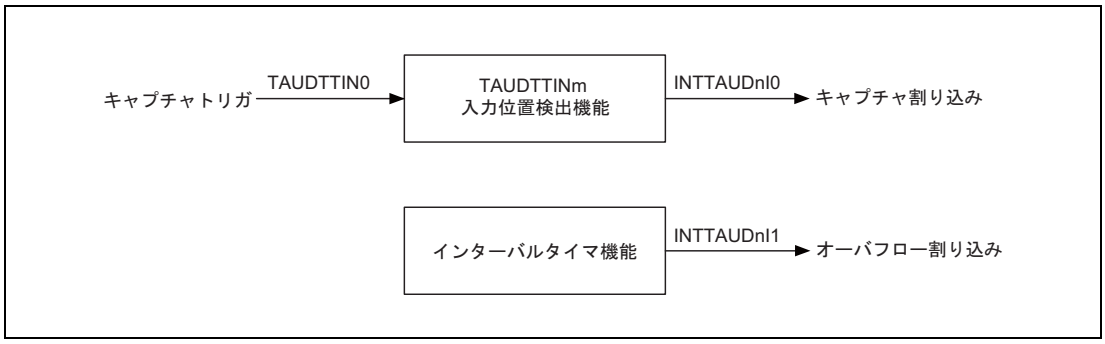


図 25.23 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

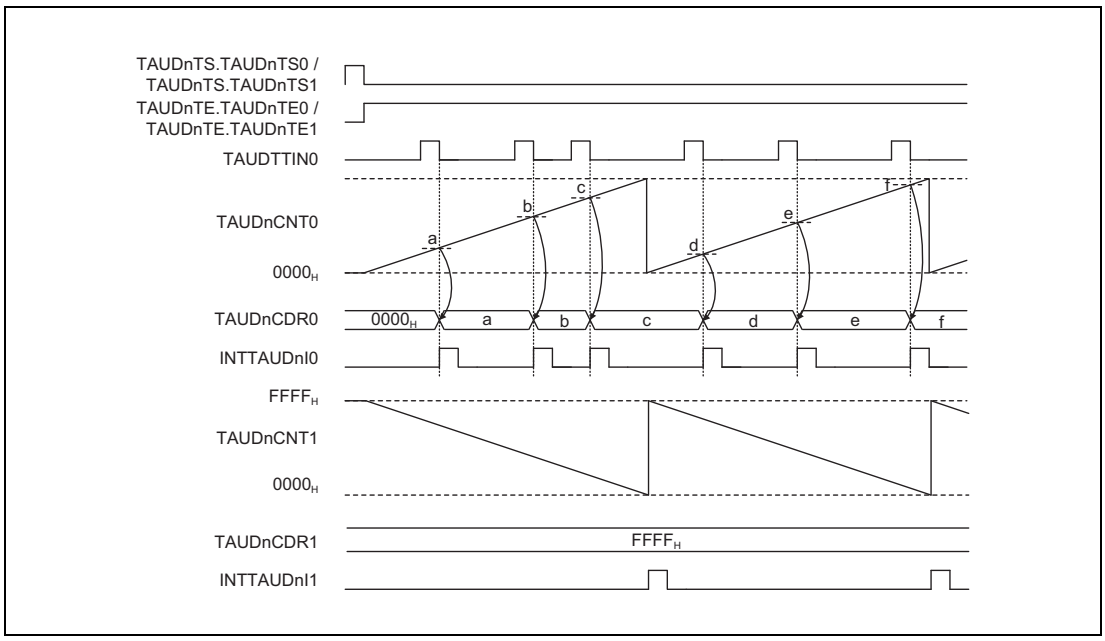


図 25.24 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

25.10.4 TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力期間カウント検出機能の TAUDnCNTm の $FFFF_H$ オーバフローをオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の INTTAUDnIm で検出できます。

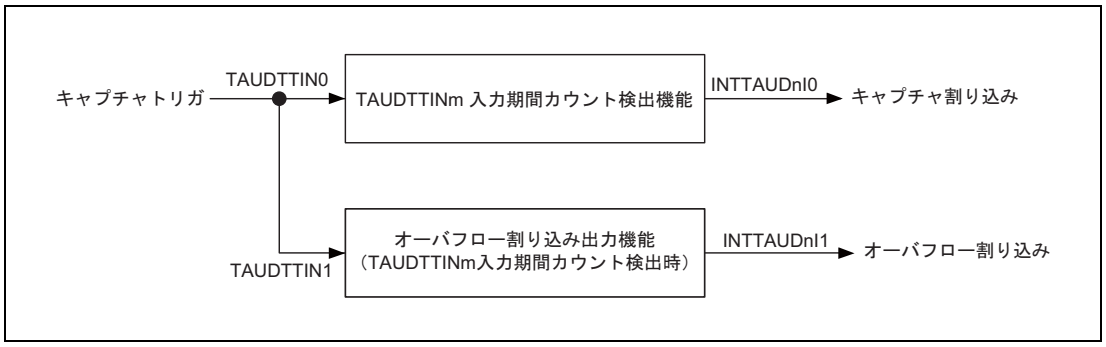


図 25.25　TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせ

タイミング図

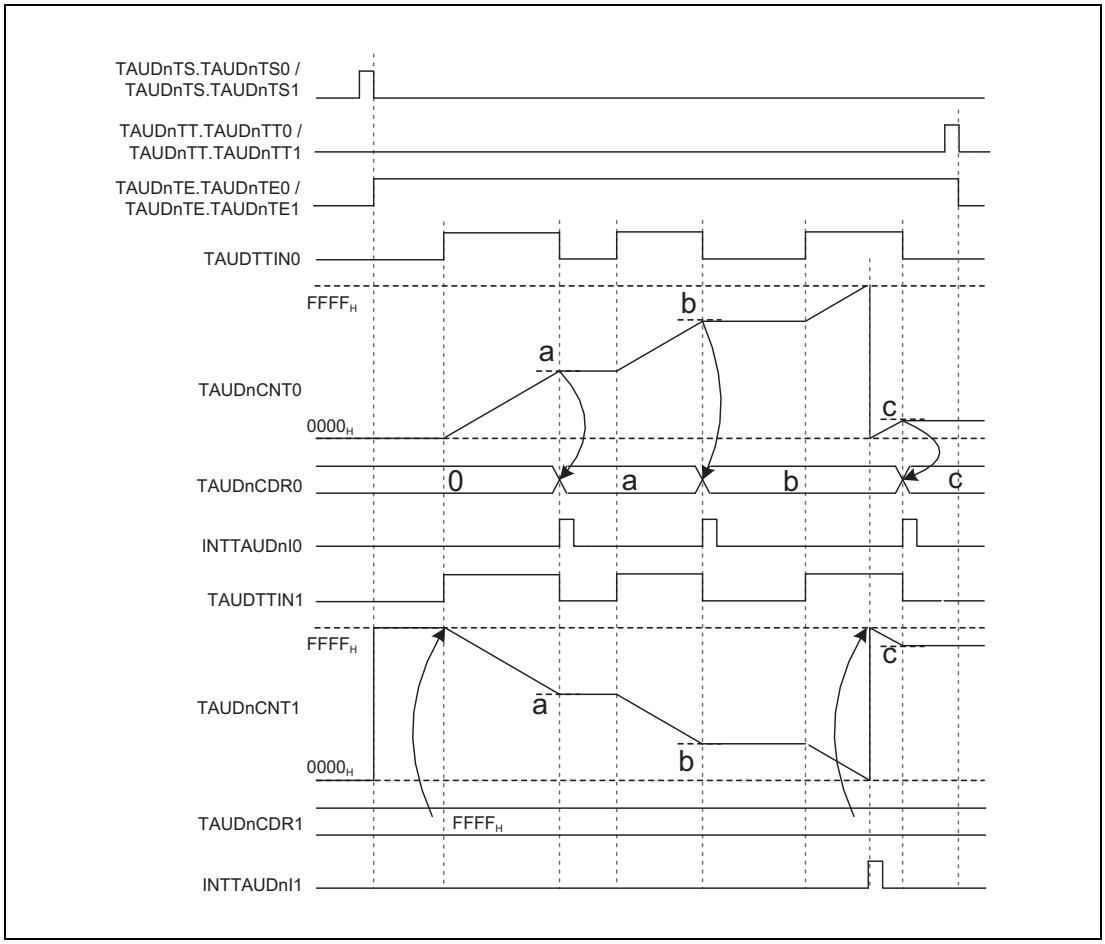


図 25.26　TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせによる割り込み発生

25.11 TAUDTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを**図 25.27** に示します。

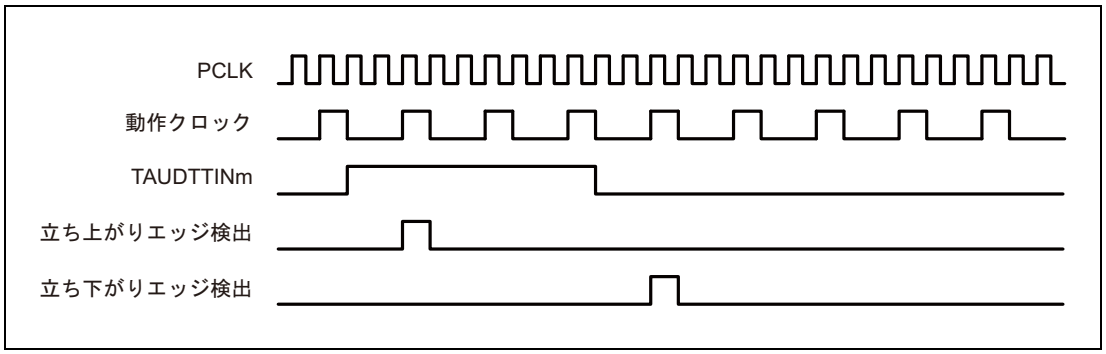


図 25.27　エッジ検出基本動作タイミング

図 25.27 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

25.12 チャネル単体動作機能

TAUD の各種チャネル単体動作機能を次の項で説明します。チャネル単体動作の概要は、**「25.2　概要」**を参照してください。

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

25.12.1 インターバルタイマ機能

25.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み（INTTAUDnIm）を発生する基準タイマとして使用できます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります（**「表 25.48　インターバルタイマ機能の TAUDnCMORm レジスタの内容」**参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。**「25.7 チャネル出力モード」**を参照してください。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSm を “1” に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が “1” に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は、**「25.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」**を参照してください。

25.12.1.2 算出式

INTTAUDnIm の周期 = カウントクロック周期 ×（TAUDnCDRm ＋ 1）

TAUDTTOUTm の矩形波周期 = カウントクロック周期 ×（TAUDnCDRm ＋ 1）× 2

25.12.1.3 ブロック図と基本タイミング図

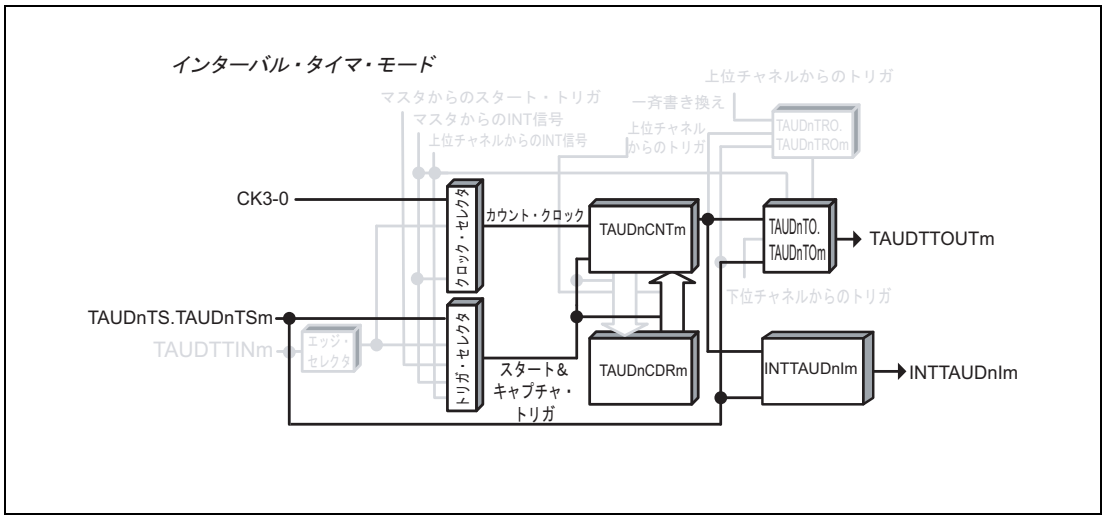


図 25.28 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0 = 1）

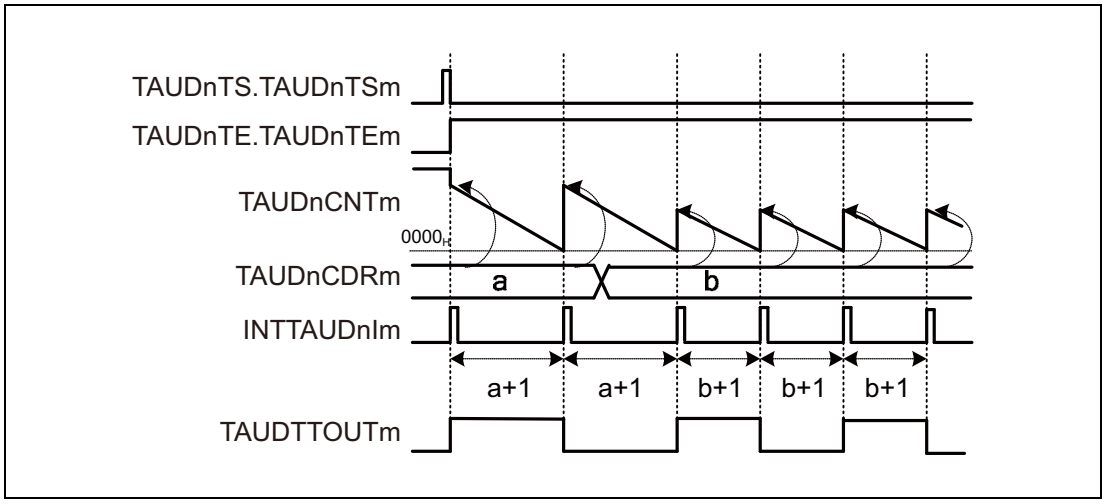


図 25.29 インターバルタイマ機能の基本タイミング図

25.12.1.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.48 インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.49 インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) チャネル出力モード

表 25.50　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

備　考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「**25.7　チャネル出力モード**」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.51　インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.1.5　インターバルタイマ機能の操作手順

表 25.52　インターバルタイマ機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを**「表 25.48　インターバルタイマ機能の TAUDnCMORm レジスタの内容」**、**「表 25.49 インターバルタイマ機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを**「表 25.50　チャネル単体出力モード 1 時の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作中	TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • 再びTAUDnCDRmの値をTAUDnCNTmにロードし、カウント動作を継続します。 • INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.12.1.6　特定の設定時のタイミング図

(1) TAUDnCDRm = 0000_H、カウントクロック = PCLK/2

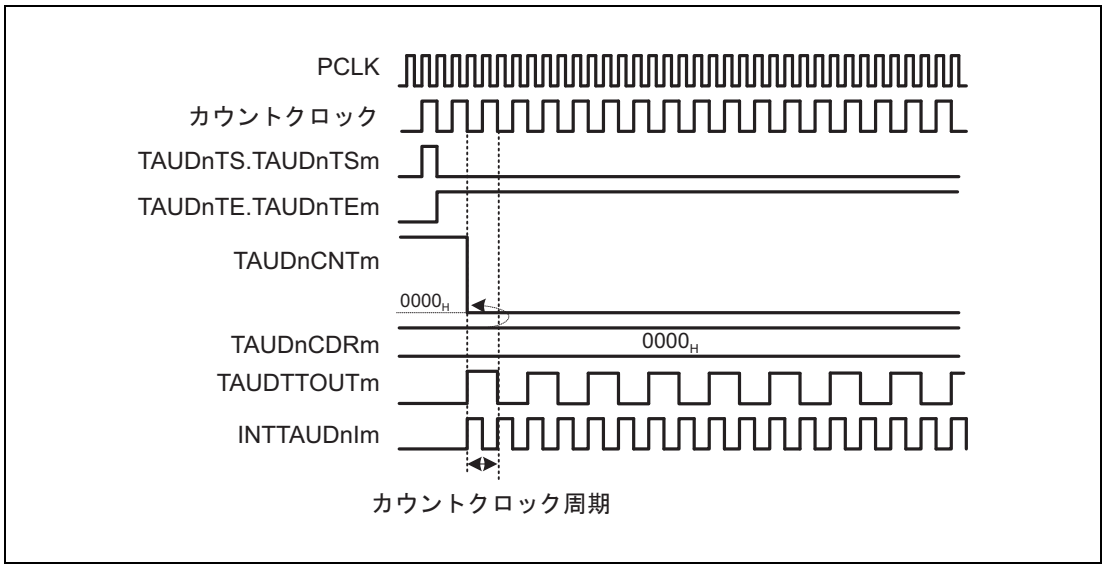


図 25.30　TAUDnCDRm = 0000_H、カウントクロック = PCLK/2

- TAUDnCDRm = 0000_H、かつカウントクロック = PCLK/2 の場合、カウントクロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000_H です。
- INTTAUDnIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

(2) TAUDnCDRm = 0000_H、カウントクロック = PCLK

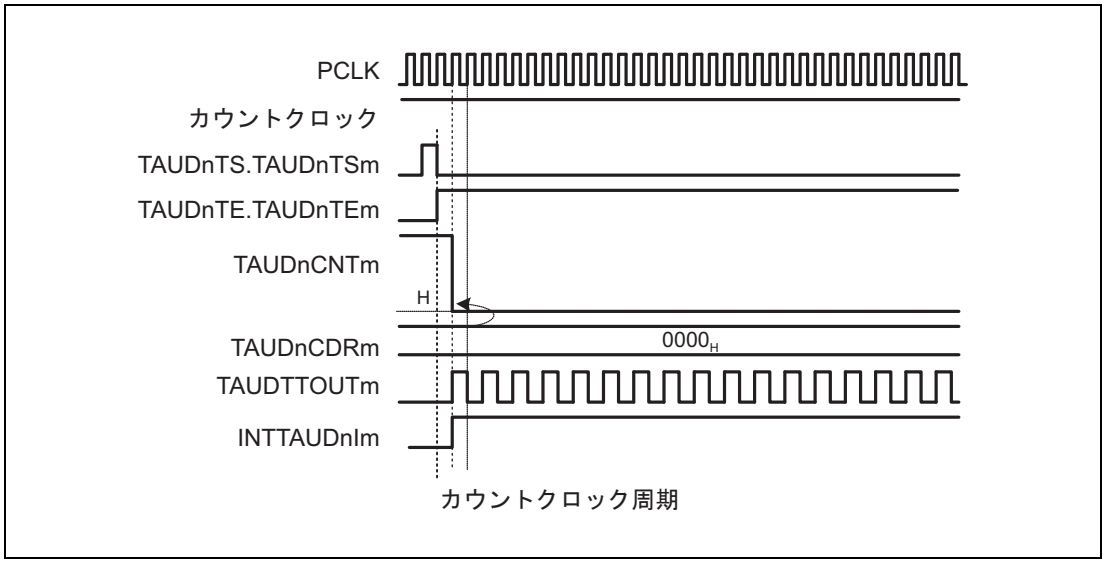


図 25.31　TAUDnCDRm = 0000H、カウントクロック = PCLK

- TAUDnCDRm = 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000_H です。
- INTTAUDnIm は、ハイレベル固定になります。1 回目の割り込みは発生しますが、それ以降は発生しません。
  PCLK クロックごとに TAUDTTOUTm がトグルされます。

(3) 動作の停止と再開

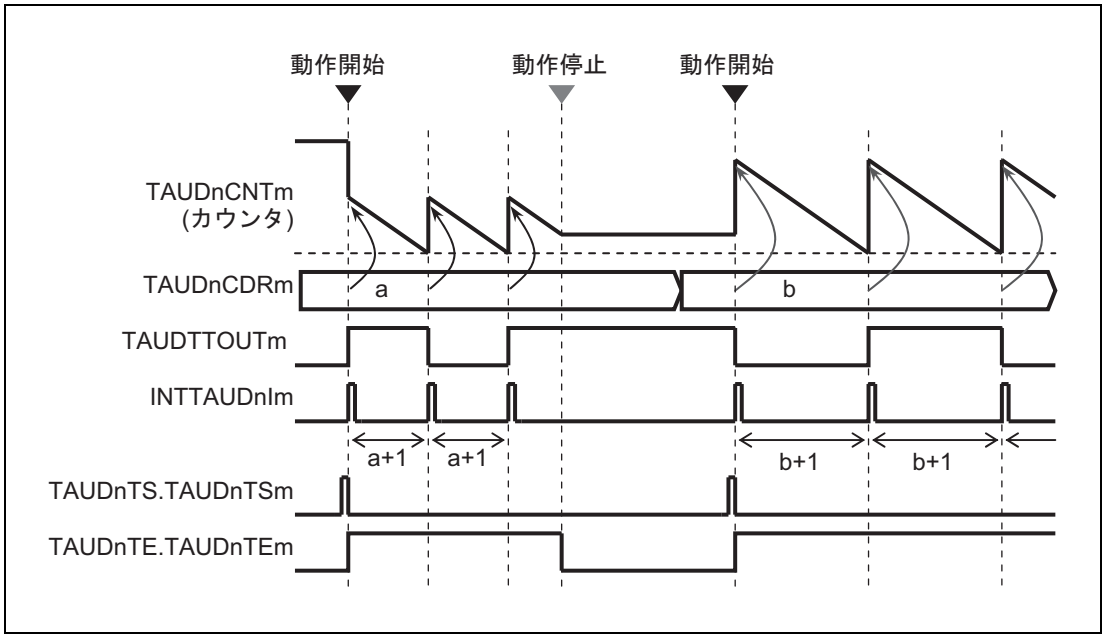


図 25.32　動作の停止と再開（TAUDnCMORm.TAUDnMD0 = 1）

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。
- TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

(4) 強制リスタート（TAUDnCMORm.TAUDnMD0 = 1）

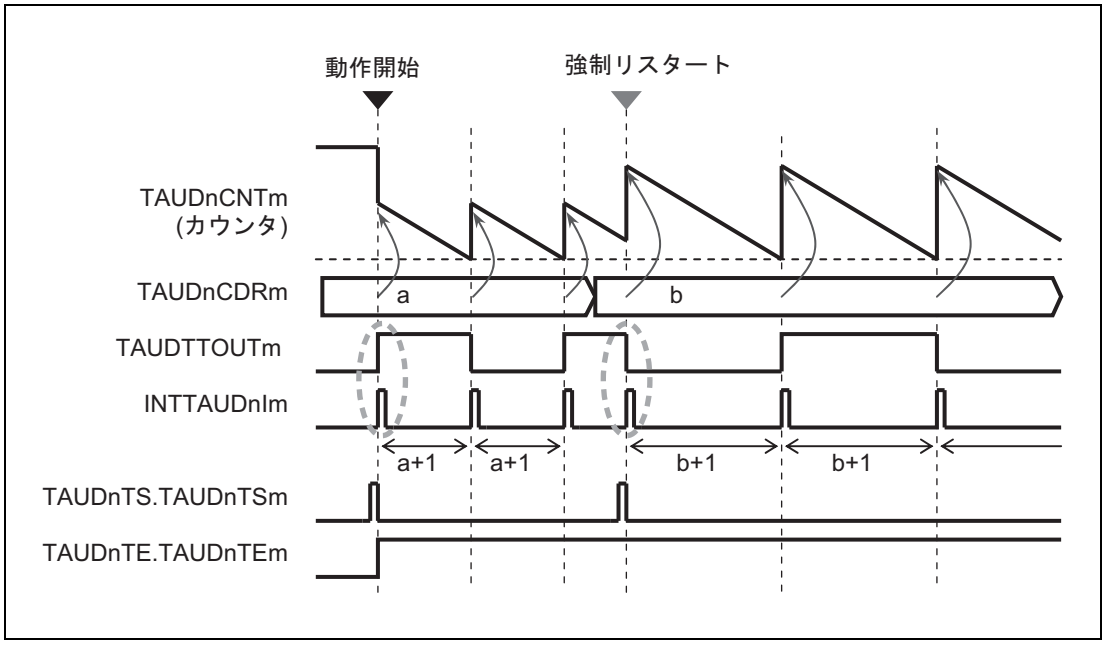


図 25.33　強制リスタート動作（TAUDnCMORm.TAUDnMD0 = 1）

- カウント中に TAUDnTS.TAUDnTSm を “1” に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUDnCMORm.TAUDnMD0 ビットが “1” に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUDnCDRm の値は、TAUDnCNTm に反映されて、カウントを開始します。変更した TAUDnCDRm の値を即時反映させる場合は、強制リスタートをしてください。
- 強制リスタート時は、割り込み（INTTAUDnIm）が発生し、TAUDTTOUTm が反転します。

(5) 強制リスタート（TAUDnCMORm.TAUDnMD0 = 0）

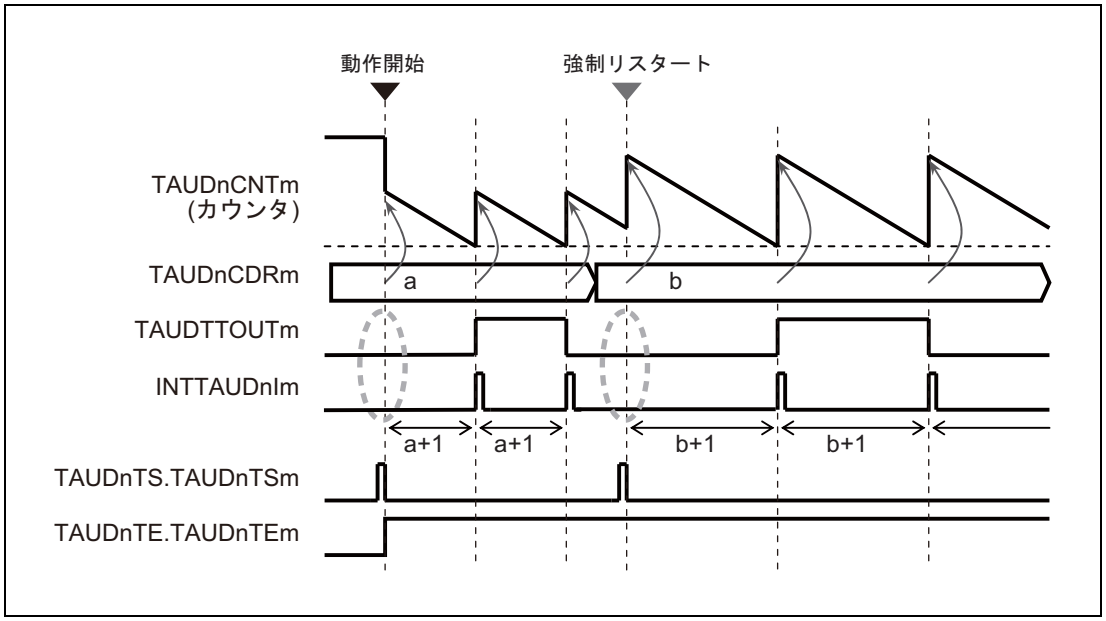


図 25.34　強制リスタート動作（TAUDnCMORm.TAUDnMD0 = 0）

- 強制リスタート時は、割り込み（INTTAUDnIm）が発生しません。TAUDTTOUTm も反転しません。

25.12.2 TAUDTTINm 入力インターバルタイマ機能

25.12.2.1 概要

概要

この機能は、一定間隔または有効な TAUDTTINm 入力エッジが検出された場合に、タイマ割り込み（INTTAUDnIm）を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります（**「表 25.53 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容」**参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。**「25.7 チャネル出力モード」**を参照してください。

機能説明

この機能は、有効な TAUDTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します（**「25.12.1　インターバルタイマ機能」**参照）。トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

25.12.2.2 算出式

INTTAUDnIm の周期 = カウントクロック周期 ×（TAUDnCDRm ＋ 1）

TAUDTTOUTm の矩形波周期 = カウントクロック周期 ×（TAUDnCDRm ＋ 1）× 2

25.12.2.3 ブロック図と基本タイミング図

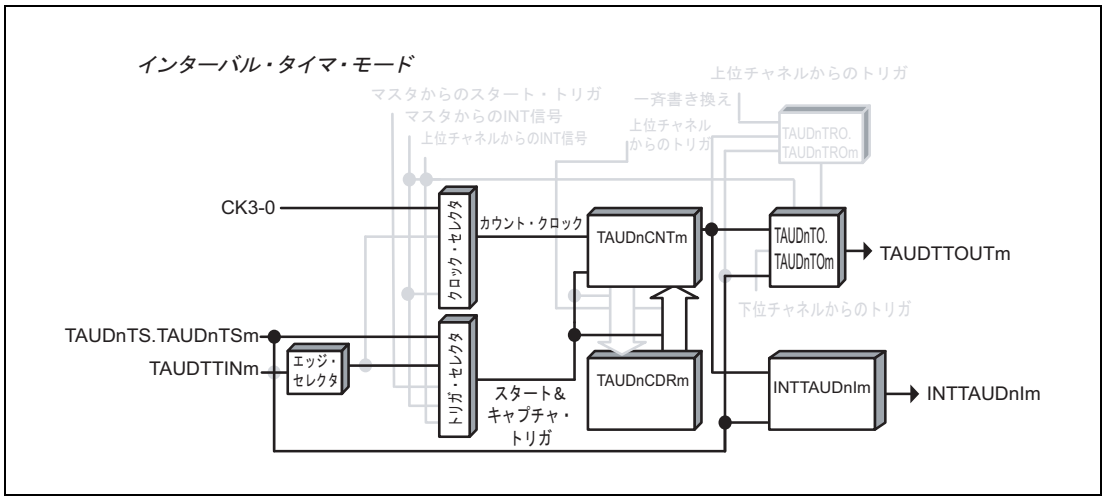


図 25.35 TAUDTTINm 入力インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0 = 1）
- 立ち上がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 01_B）

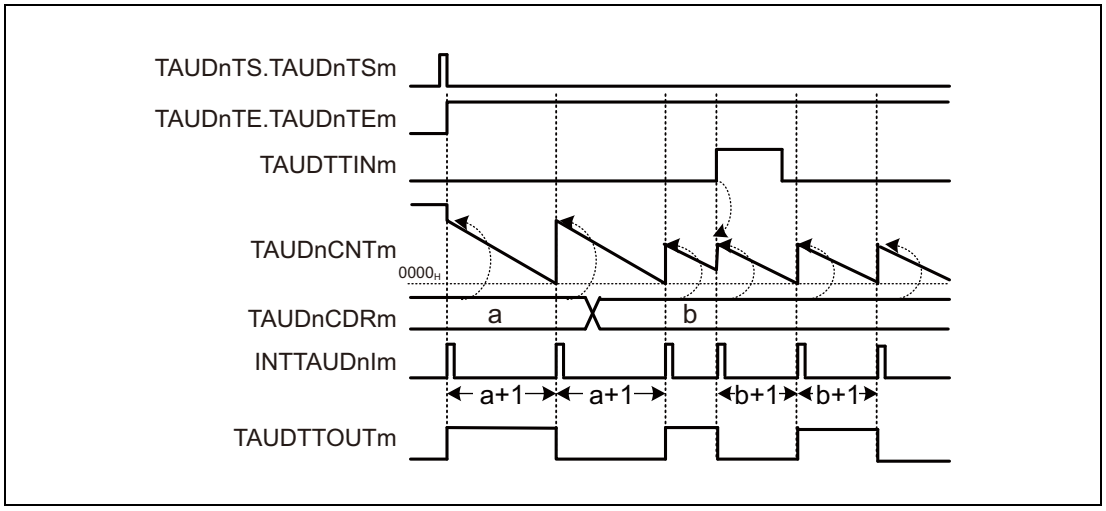


図 25.36 TAUDTTINm 入力インターバルタイマ機能の基本タイミング図

25.12.2.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.53　TAUDTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.54　TAUDTTINm 入力インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 25.55　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

備　考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「**25.7　チャネル出力モード**」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.56　TAUDTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.2.5 TAUDTTINm 入力インターバルタイマ機能の操作手順

表 25.57　TAUDTTINm 入力インターバルタイマ機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.53　TAUDTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容」**と**「表 25.54　TAUDTTINm 入力インターバルタイマ機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを**「表 25.55　チャネル単体出力モード 1 時の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。 TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作中	TAUDnCMURm.TAUDnTIS[1:0]、TAUDnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。 TAUDTTINm エッジ検出	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • 再びTAUDnCDRmの値をTAUDnCNTmにロードし、カウント動作を継続します。 • INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。 カウント動作中に TAUDTTINm 入力の有効エッジを検出すると、再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.12.2.6 特定の設定時のタイミング図

「25.12.1　インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUDTTINm 入力エッジを使用することでカウンタを再開することも可能です。

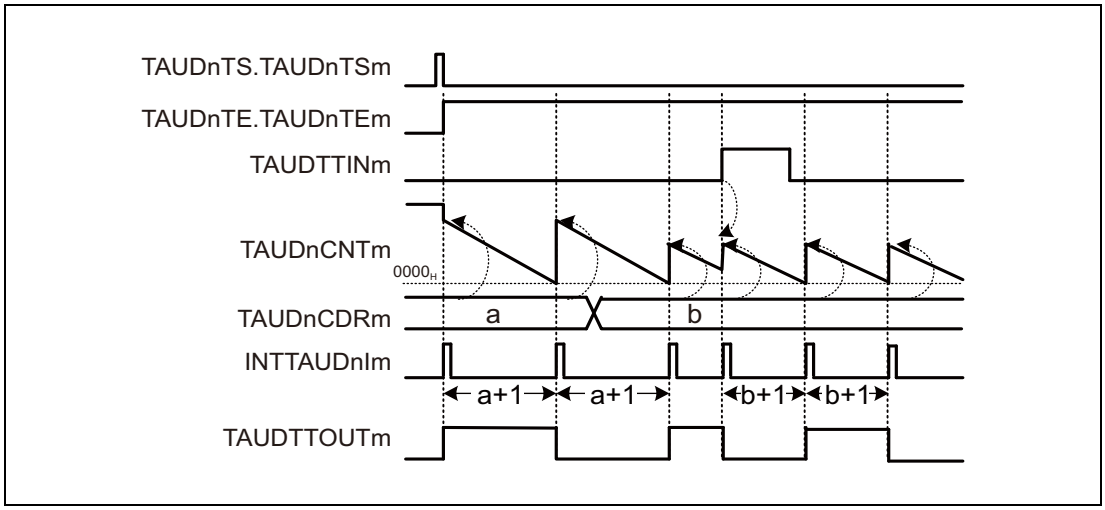


図 25.37　立ち上がり TAUDTTINm 入力エッジ（TAUDnCMURm.TAUDnTIS[1:0] = 01_B）、TAUDnCMORm.TAUDnMD0 = 1 でトリガされたカウンタ

- 有効な TAUDTTINm 入力エッジを検出した場合、TAUDTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ（TAUDnCMURm.TAUDnTIS[1:0] = 01_B）です。

25.12.3　クロック分周機能

25.12.3.1　概要

概要

この機能は、周波数の分周に使用します。TAUDTTINm 入力信号の周波数を TAUDnCDRm の係数で分周し、結果として得られる信号を TAUDTTOUTm に出力します。

前提条件

- TAUDTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります（**「表 25.58　クロック分周機能の TAUDnCMORm レジスタの内容」**参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。**「25.7 チャネル出力モード」**を参照してください。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタは TAUDTTINm をカウントクロックとして使用し、その TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSm を “1” に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が “1” に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は**「25.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」**を参照してください。

備　考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

25.12.3.2　算出式

- 立ち上がりエッジ検出選択時：
  TAUDTTOUTm 周波数 = TAUDTTINm 周波数／［（TAUDnCDRm ＋ 1）× 2］
- 立ち下がりエッジ検出選択時：
  TAUDTTOUTm 周波数 = TAUDTTINm 周波数／［（TAUDnCDRm ＋ 1）× 2］
- 両エッジ検出選択時：
  TAUDTTOUTm 周波数 = TAUDTTINm 周波数／（TAUDnCDRm ＋ 1）

25.12.3.3　ブロック図と基本タイミング図

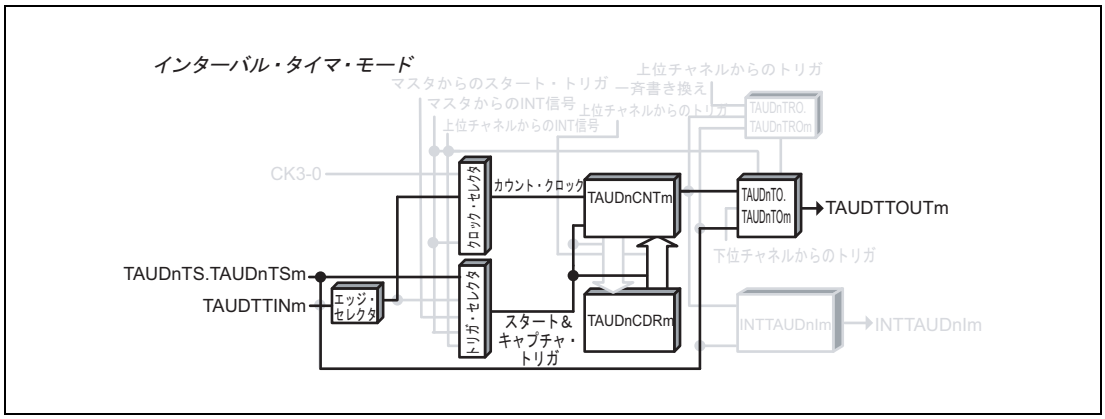


図 25.38　クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0 = 1）
- 立ち上がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 01_B）

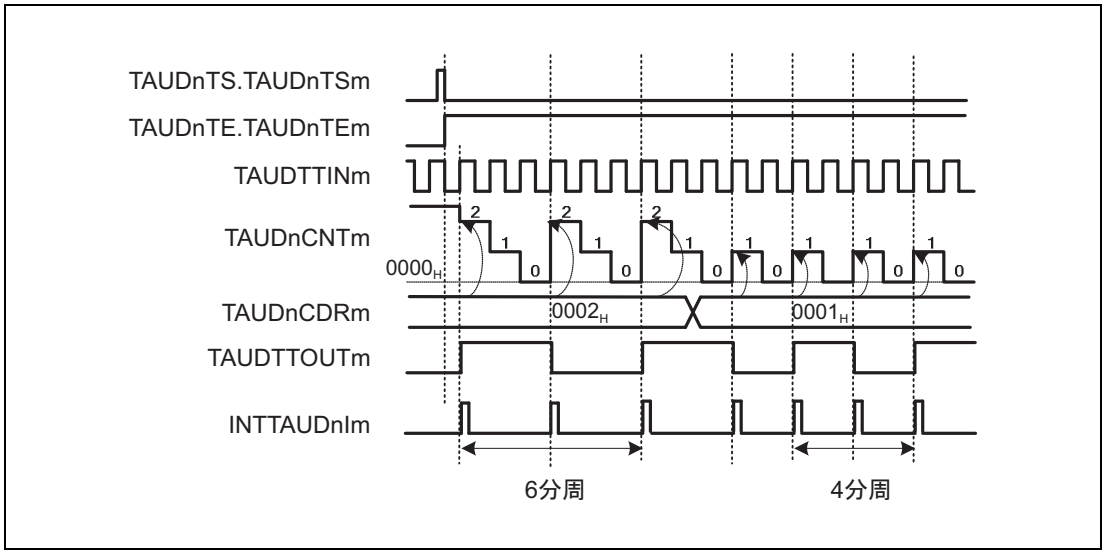


図 25.39　クロック分周機能の基本タイミング図

25.12.3.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.58 クロック分周機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.59 クロック分周機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 25.60　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、クロック分周機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.61　クロック分周機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.3.5　クロック分周機能の操作手順

表 25.62　クロック分周機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.58　クロック分周機能の TAUDnCMORm レジスタの内容」**と**「表 25.59　クロック分周機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを**「表 25.60　チャネル単体出力モード 1 時の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードします。TAUDnCMORm.TAUDnMD0 が “1” の場合は、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作中	TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDTTINm 入力エッジを検出すると、TAUDnCNTm はダウンカウントを行います。カウンタが 0000_H になった場合： • TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 • INTTAUDnIm が発生します。 • TAUDTTOUTm がトグルされます。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

動作再開

25.12.3.6 特定の設定時のタイミング図

(1) TAUDnCDRm = 0000_H

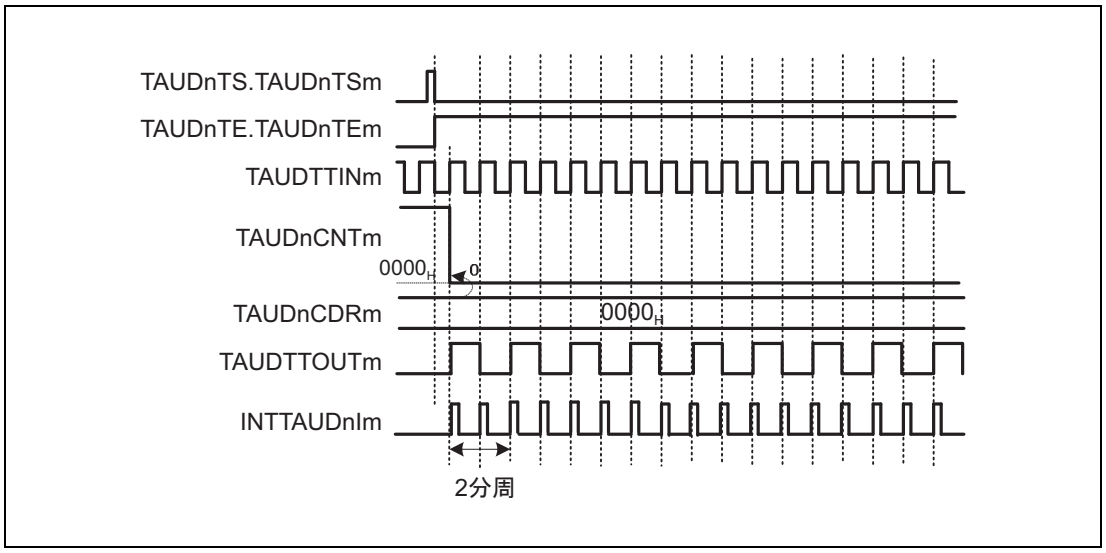


図 25.40 TAUDnCDRm = 0000_H、TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01_B

- TAUDnCDRm が 0000_H ならば、TAUDnCNTm も必ず 0000_H です。
- INTTAUDnIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

図 25.40 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間があるため、TINm 検出から TOUTm 出力までディレイが存在します。

(2) 動作再開

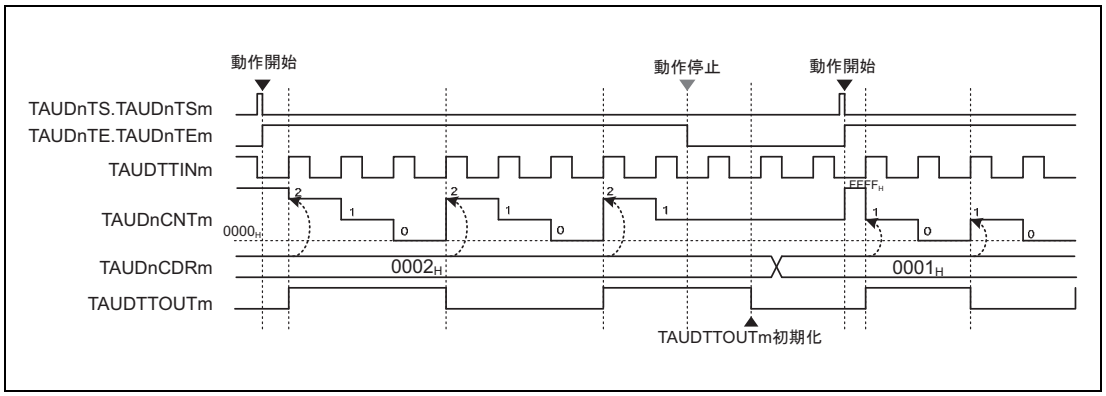


図 25.41 動作再開（TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01_B）

TAUDTTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時（TAUDnTE.TAUDnTEm = 0）に TAUDnTOE.TAUDnTOEm = 0 を設定。
- その後、TAUDnTO.TAUDnTOm に “0” または “1” を書き込んで、TAUDTTOUTm の新しいスタート値を設定。

(3) 強制リスタート

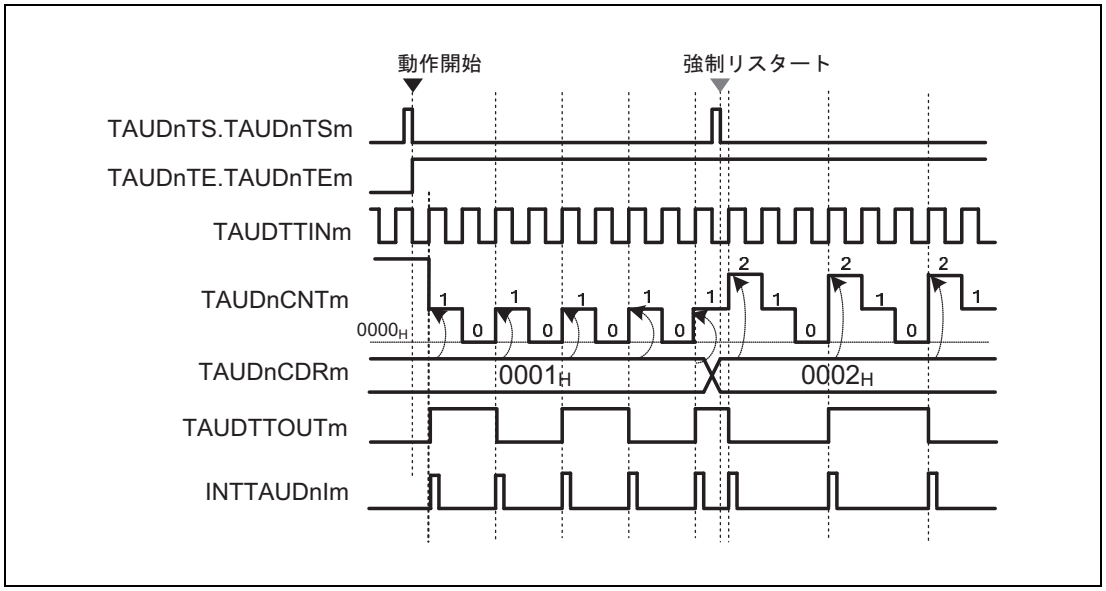


図 25.42　強制リスタート（TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01_B）

- 動作中に TAUDnTS.TAUDnTSm = 1 を設定すると、いったん停止しなくてもカウントを強制的に再開できます。
- TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウント動作が再開されます。
- TAUDTTOUTm は、強制リスタート前の出力レベルで動作が再開されます。

25.12.4 外部イベントカウント機能

25.12.4.1 概要

概要

この機能は、イベントタイマとして使用します。特定数の TAUDTTINm 入力有効エッジを検出すると割り込み（INTTAUDnIm）を発生します。

前提条件

- 動作モードはイベントカウントモードに設定する必要があります（**「表 25.63　外部イベントカウント機能の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。

有効な TAUDTTINm 入力エッジを検出すると、TAUDnCNTm 値はデクリメントされます。TAUDnCNTm は、有効な TAUDTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUDnCDRm + 1 検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。TAUDnTS.TAUDnTSm を “1” に設定すると、カウンタ動作を再開できます。カウント中に TAUDnTS.TAUDnTSm を “1” に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B のときは、立ち下がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B のときは、立ち上がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B のときは、両エッジがカウントされます。

25.12.4.2 算出式

INTTAUDnIm 発生前に検出される有効エッジ数 = TAUDnCDRm ＋ 1

25.12.4.3 ブロック図と基本タイミング図

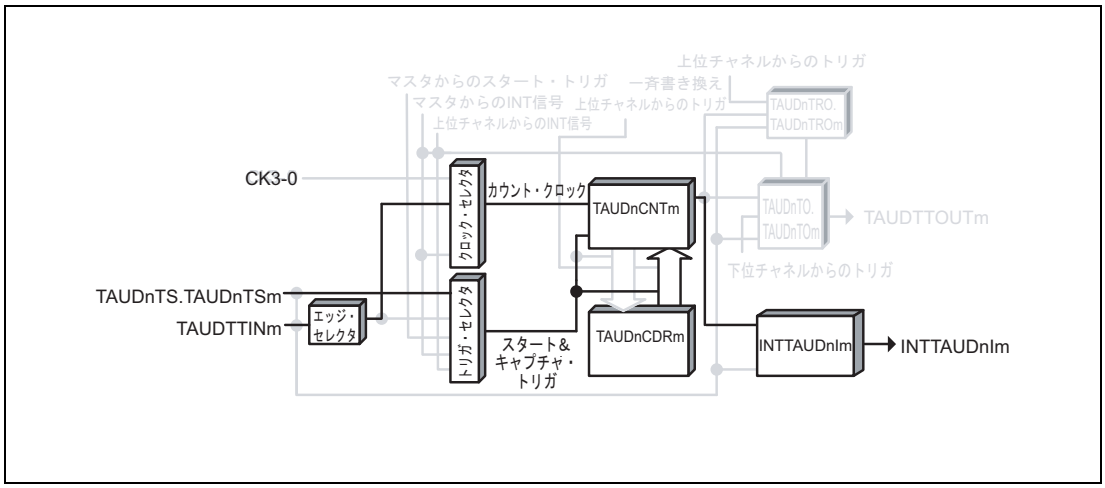


図 25.43 外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 01_B）

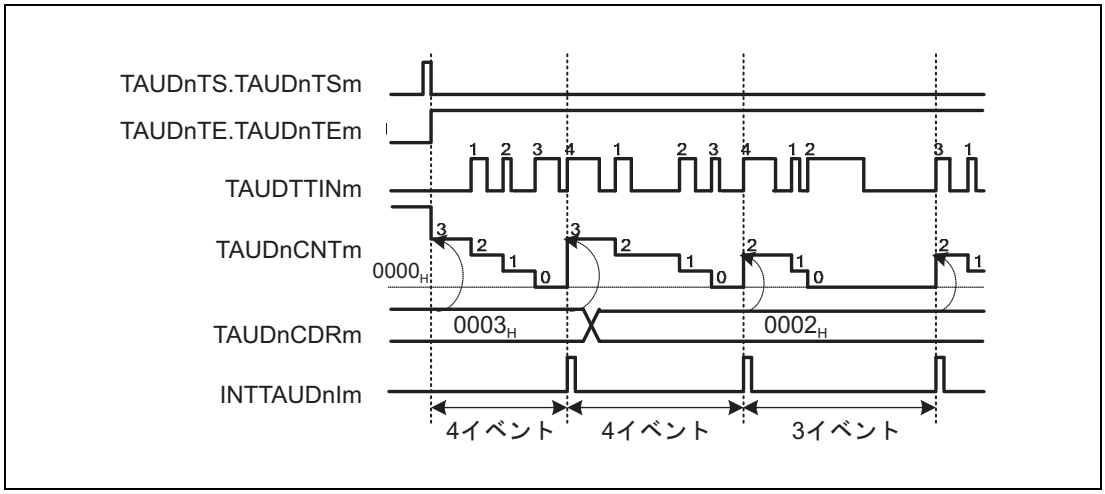


図 25.44 外部イベントカウント機能の基本タイミング図

25.12.4.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.63 外部イベントカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.64 外部イベントカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.65　外部イベントカウント機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.4.5 外部イベントカウント機能の操作手順

表 25.66　外部イベントカウント機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.63　外部イベントカウント機能の TAUDnCMORm レジスタの内容」**と**「表 25.64　外部イベントカウント機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードし、TAUDTTINm 入力エッジ検出を待ちます。
動作中	TAUDTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は TAUDTTINm 入力エッジを検出するたびに、ダウンカウントを行います。有効エッジが TAUDnCDRm + 1 検出された場合： • TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 • INTTAUDnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

25.12.4.6 特定の設定時のタイミング図

(1) TAUDnCDRm = 0000_H

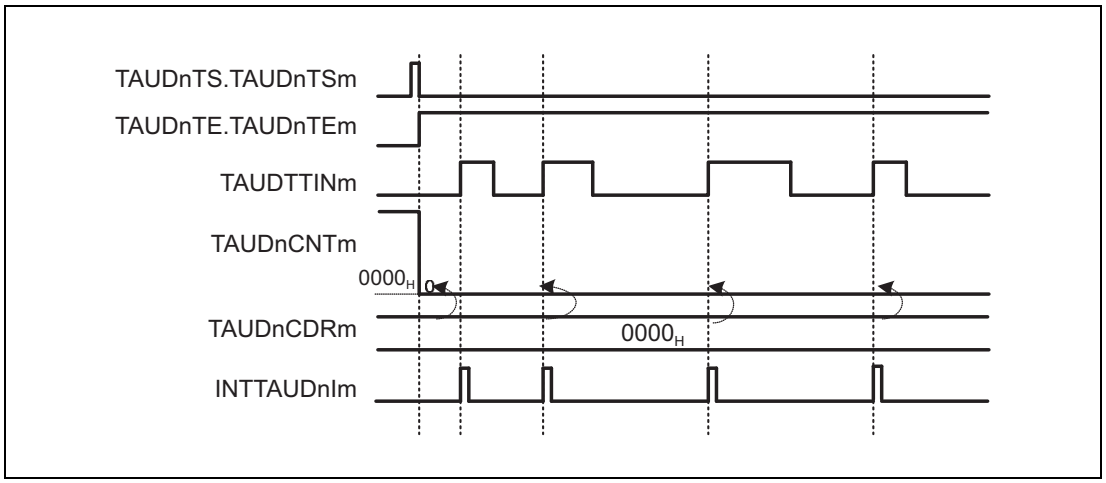


図 25.45 TAUDnCDRm = 0000_H、TAUDnCMURm.TAUDnTIS[1:0] = 01_B

- 0000_H = TAUDnCDRm の場合、有効な TAUDTTINm 入力エッジが検出されるたびに 0000_H が TAUDnCNTm にロードされます。
  つまり、有効な TAUDTTINm 入力エッジが検出されるたびに、INTTAUDnIm が発生します。

(2) 動作の停止と再開

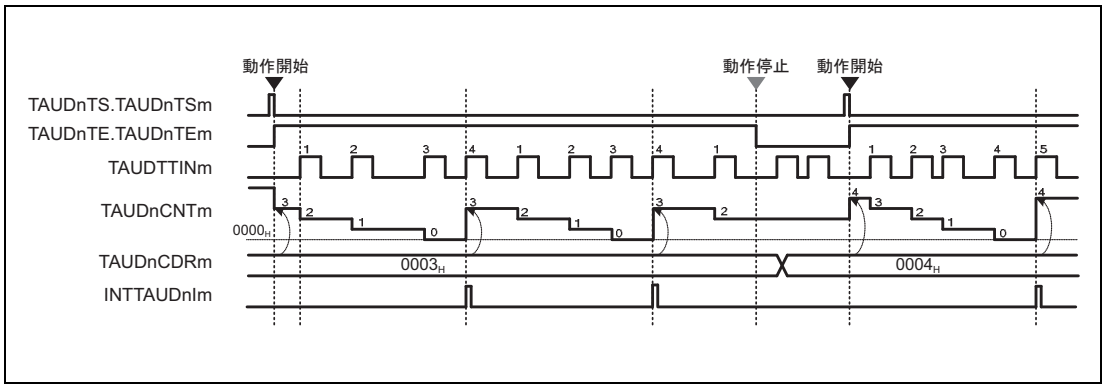


図 25.46 動作の停止と再開（TAUDnCMURm.TAUDnTIS[1:0] = 01_B）

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。TAUDTTINm は継続し、TAUDnCNTm は有効エッジを無視します。
- TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。TAUDnCNTm は TAUDnCDRm 値をロードし、カウント動作を再開します。

(3) 強制リスタート

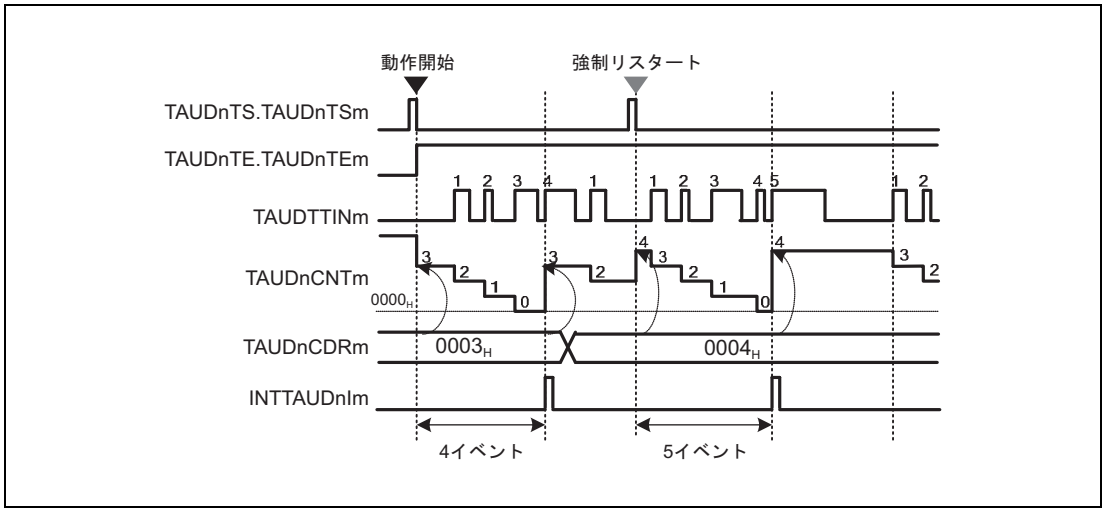


図 25.47 強制リスタート（TAUDnCMURm.TAUDnTIS[1:0] = 01_B）

強制リスタートを行うと、変更した TAUDnCDRm の値が TAUDnCNTm に適用されます。

- 動作中に TAUDnTS.TAUDnTSm を “1” に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタは次の有効な TAUDTTINm 入力エッジを待ちます。

25.12.5 ディレイカウント機能

25.12.5.1 概要

概要

この機能は、TAUDTTINm 入力信号に対して一定の遅延がある割り込み（INTTAUDnIm）を発生します。遅延期間に発生した TAUDTTINm 入力信号パルスは無視されます。

前提条件

- 動作モードはワンカウントモードに設定する必要があります（**「表 25.67　ディレイカウント機能の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。
- カウント動作中は、スタートトリガを無効（TAUDnCMORm.TAUDnMD0 = 0）にする必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは $FFFF_H$ に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

25.12.5.2 算出式

TAUDTTINm-INTTAUDnIm 間の遅延 = カウントクロック周期 ×（TAUDnCDRm ＋ 1）

25.12.5.3　ブロック図と基本タイミング図

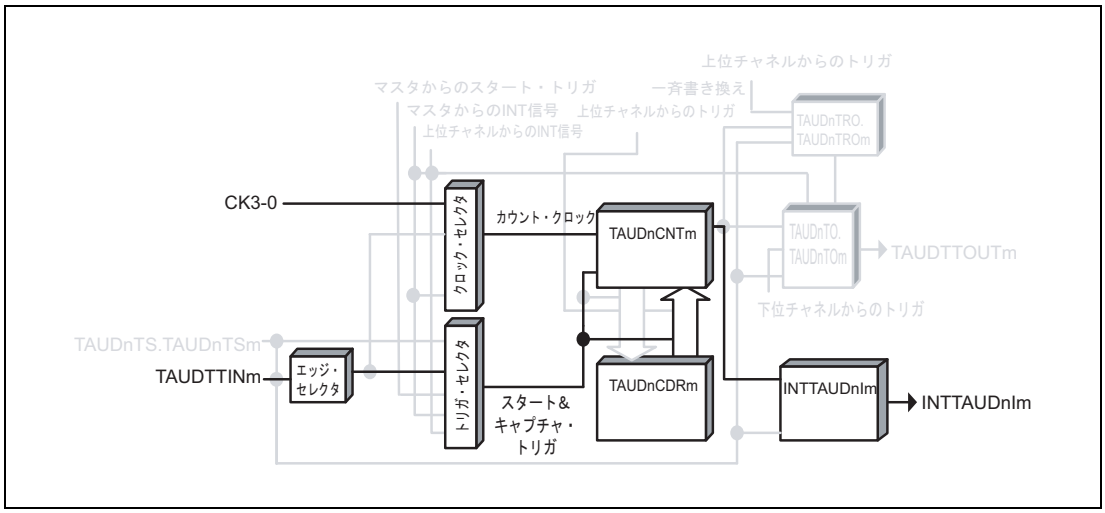


図 25.48　ディレイカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

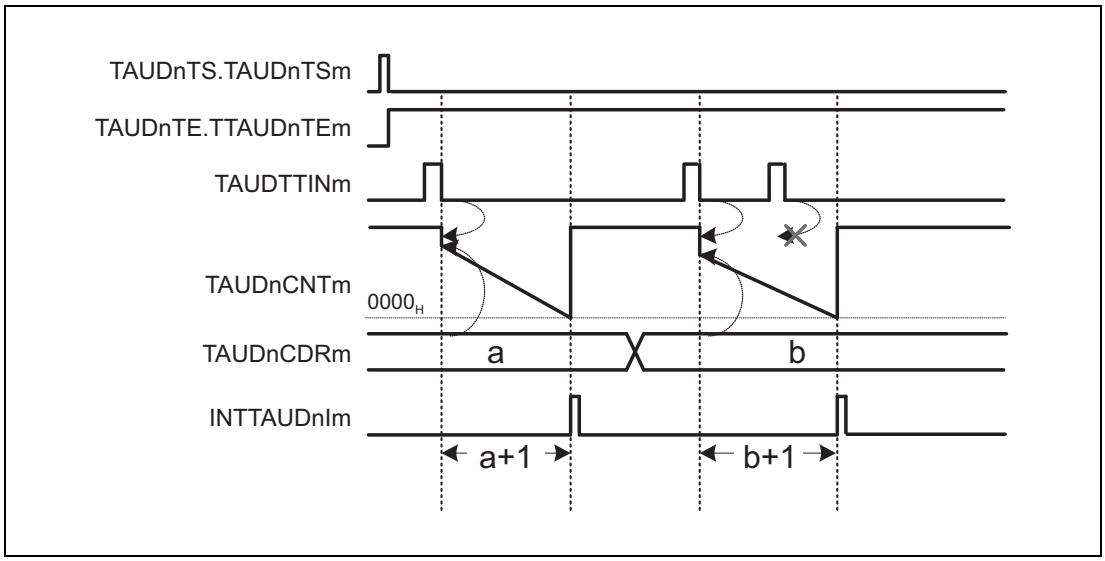


図 25.49　ディレイカウント機能の基本タイミング図

25.12.5.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.67　ディレイカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガは無効とする

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.68　ディレイカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、ディレイカウント機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.69　ディレイカウント機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.5.5 ディレイカウント機能の操作手順

表 25.70　ディレイカウント機能の操作手順

		操作	TAUDn の状態
	チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.67　ディレイカウント機能の TAUDnCMORm レジスタの内容」**と**「表 25.68　ディレイカウント機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が “1” に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値を TAUDnCNTm にロードします。
	動作中	TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： INTTAUDnIm が発生します。 TAUDnCNTm はカウントを停止し、$FFFF_H$ を戻し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。 以降、この動作を繰り返します。
	動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、値を保持します。

25.12.6　ワンパルス出力機能

25.12.6.1　概要

概要

この機能は、有効な TAUDTTINm 入力エッジ検出時とその後一定の間隔で、割り込み（INTTAUDnIm）を発生します。定められた期間内に発生する TAUDTTINm 入力信号パルスは無視されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります（**「表 25.71　ワンパルス出力機能の TAUDnCMORm レジスタの内容」**参照）。
- チャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります。**「25.7 チャネル出力モード」**を参照してください。
- カウント動作中は、トリガ検出を禁止（TAUDnCMORm.TAUDnMD0 = 0）にする必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm がアクティブレベルに設定されます。

カウンタが 0001_H になると、割り込みが発生し、TAUDTTOUTm がインアクティブレベルに設定されます。カウンタは 0000_H で動作を停止し、次の有効な TAUDTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

25.12.6.2 算出式

TAUDTTINm-INTTAUDnIm の間隔 = TAUDTTOUTm（タイマ出力）幅 = カウントクロック周期 × TAUDnCDRm

25.12.6.3 ブロック図と基本タイミング図

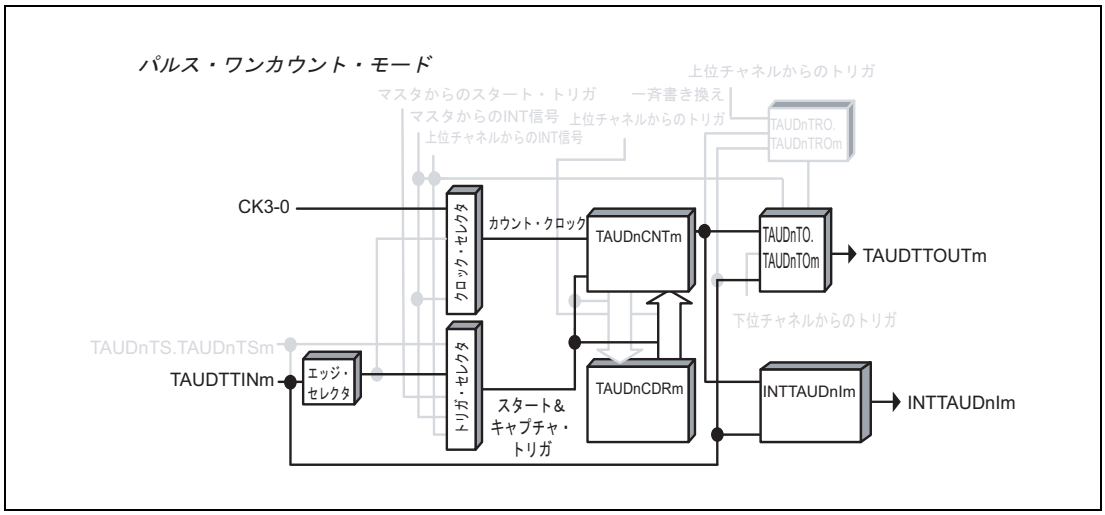


図 25.50 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

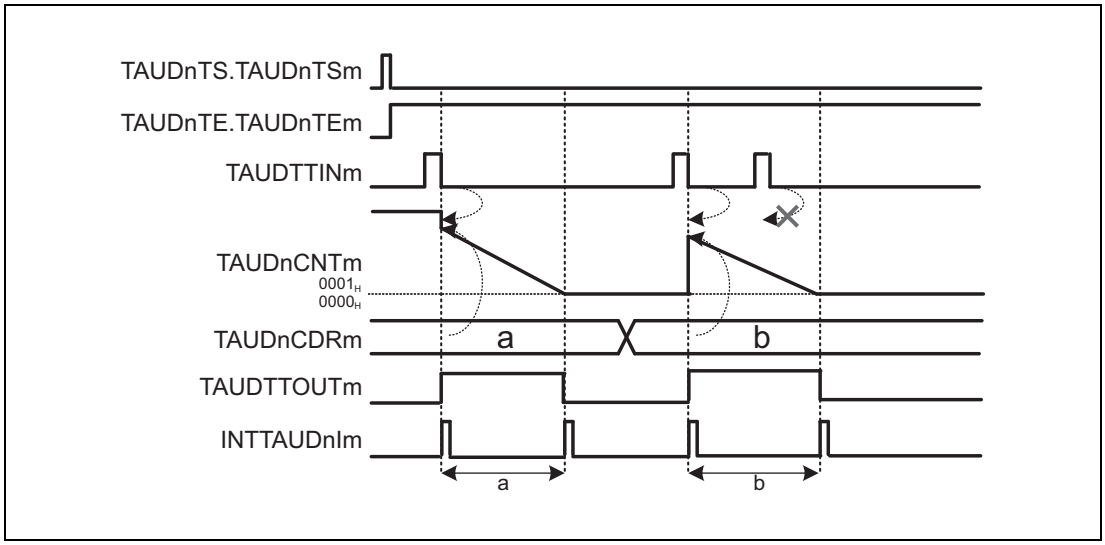


図 25.51 ワンパルス出力機能の基本タイミング図

25.12.6.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.71 ワンパルス出力機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガを無効とする

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.72 ワンパルス出力機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 25.73　チャネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：ソフトウェア制御のチャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

備　考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は**「表 25.47　チャネル出力モード」**を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.74　ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.6.5　ワンパルス出力機能の操作手順

表 25.75　ワンパルス出力機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.71　ワンパルス出力機能の TAUDnCMORm レジスタの内容」**と**「表 25.72　ワンパルス出力機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを**「表 25.73　チャネル単体出力モード 2 時の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が “1” に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をロードします。
動作中	TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm の開始時に INTTAUDnIm が発生し、TAUDTTOUTm はアクティブレベルに設定されます。 TAUDnCNTm がダウンカウントを行います。カウンタが 0001_H になった場合： • INTTAUDnIm が発生します。 • TAUDTTOUTm がインアクティブレベルに設定されます。 TAUDnCNTm はカウントを停止し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.12.7 TAUDTTINm 入力パルスインターバル測定機能

25.12.7.1 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUDnCSRm.TAUDnOVF を使用して TAUDTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャモードに設定する必要があります（**「表 25.77 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm エッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが $FFFF_H$ に達すると、カウンタは 0000_H にオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 25.76 オーバフローの影響

TAUDnCMORm. TAUDnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUDTTINm 入力が検出された場合	
	TAUDnCDRm	TAUDnCSRm. TAUDnOVF	TAUDnCDRm、TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロードされる	1
01		1		
10	$FFFF_H$ に設定	0	TAUDnCNTm は “0” に設定され、TAUDnCDRm は変更されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の間隔を推定できます。ただし、有効な TAUDTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示せません。

TAUDnTT.TAUDnTTm = 1 を設定すると機能を停止できます。これにより、TAUDnTE.TAUDnTEm = 0 が設定されます。TAUDnCNTm が停止し、値を保持します。機能停止中、有効な TAUDTTINm 入力エッジの検出と TAUDnCNTm のキャプチャは行われません。

カウンタは、0000_H にリセットされ、その後動作を継続します。

条件

TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は**「25.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」**を参照してください。

備　考

TAUDnCMORm.TAUDnCOS[1:0] = 10_B, 11_B の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

25.12.7.2　算出式

TAUDTTINm 入力パルスインターバル = カウントクロック周期 ×
[（TAUDnCSRm.TAUDnOVF ×（$FFFF_H$ ＋ 1））＋ TAUDnCDRm キャプチャ値＋ 1]

25.12.7.3 ブロック図と基本タイミング図

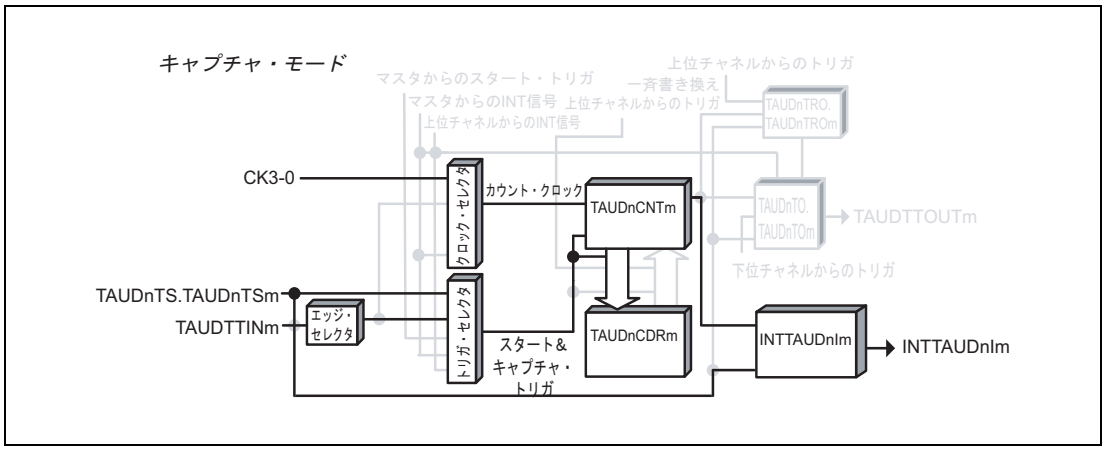


図 25.52 TAUDTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0 = 0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を “1” に設定する（TAUDnCMORm.TAUDnCOS[1:0] = 00_B）

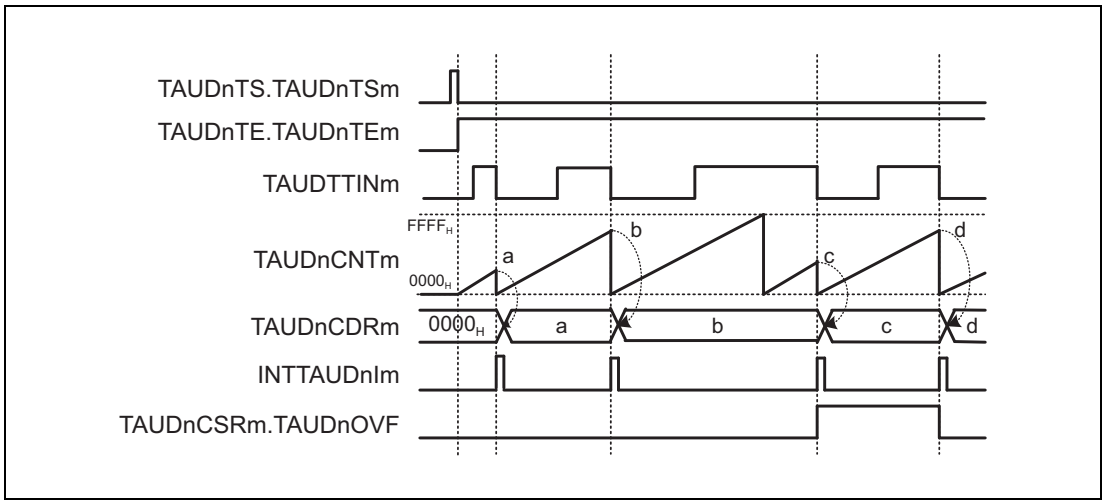


図 25.53 TAUDTTINm 入力パルスインターバル測定機能の基本タイミング図

25.12.7.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.77　TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	**「表 25.76　オーバフローの影響」**を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.78　TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力パルス測定機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.79 TAUDTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.7.5 TAUDTTINm 入力パルスインターバル測定機能の操作手順

表 25.80 TAUDTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.77 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」**と**「表 25.78 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCNTm が 0000_H にクリアされます。 TAUDnCMORm.TAUDnMD0 が “1” の場合は、INTTAUDnIm が発生します。
動作中	TAUDTTINm エッジ検出 TAUDnCMURm.TAUDnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットの 1 書き込みが可能。（TAUDnCSRm.TAUDnOVF ビットを “0” にクリア）	TAUDnCNTm は、0000_H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： • TAUDnCNTmが自身の値をTAUDnCDRmに転送（キャプチャ）して、0000_H に戻ります。 • その後、INTTAUDnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

動作再開

25.12.7.6 特定の設定時のタイミング図：オーバフロー動作

(1) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

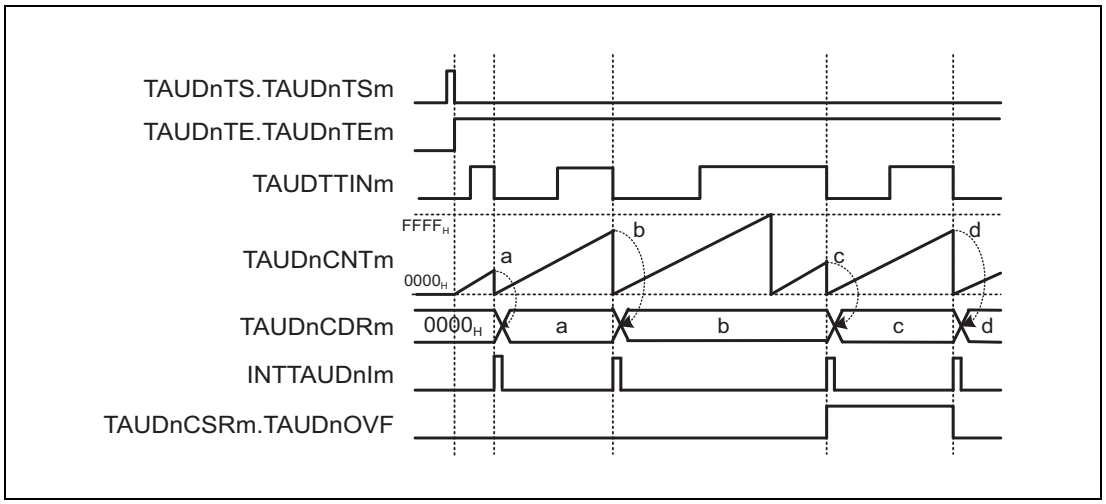


図 25.54 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は “0” のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が “1” に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が “0” にクリアされます。

(2) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

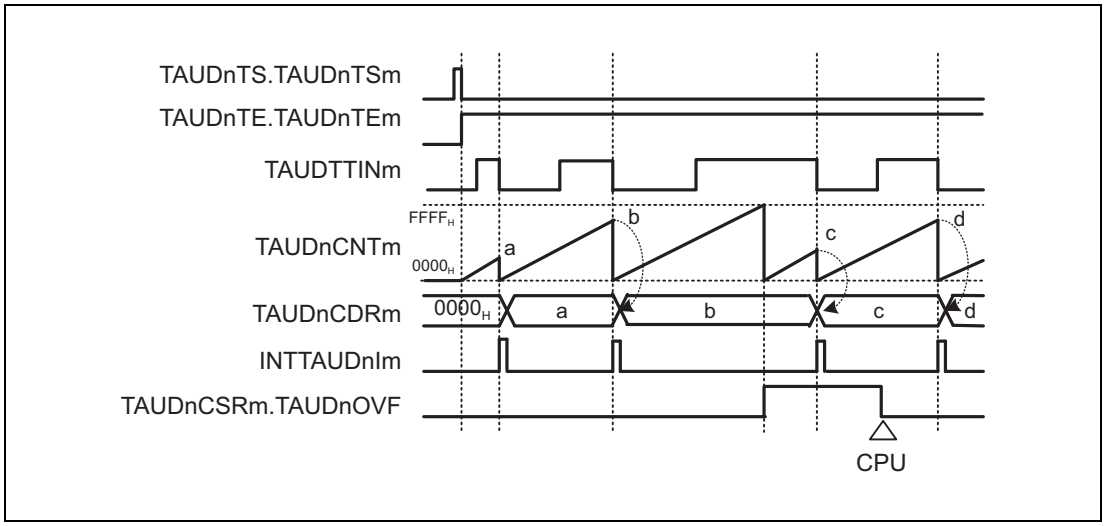


図 25.55 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は “1” に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド（TAUDnCSCm.TAUDnCLOV ビット =1 のセット）でのみクリアされます。

(3) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

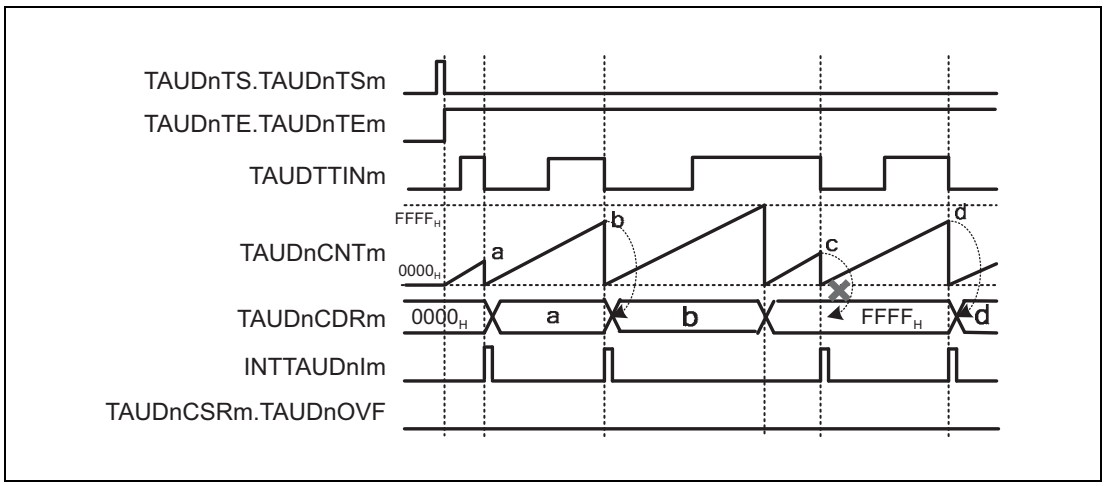


図 25.56 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm は $FFFF_H$ に設定され、TAUDnCSRm.TAUDnOVF の値は “0” のままです。
- 次の有効なTAUDTTINm入力エッジが検出されると、TAUDnCNTmが“0”にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

(4) TAUDnCMORm.TAUDnCOS[1:0] = 11_B

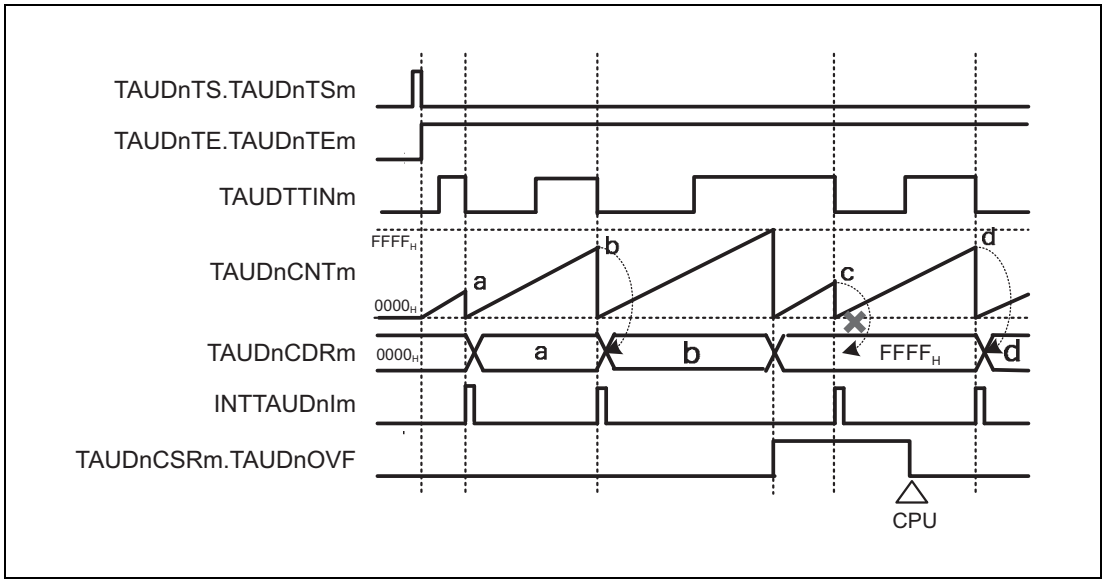


図 25.57 TAUDnCMORm.TAUDnCOS[1:0] = 11_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm は $FFFF_H$ に設定され、TAUDnCSRm.TAUDnOVF は “1” に設定されます。
- 次の有効なTAUDTTINm入力エッジが検出されると、TAUDnCNTmが“0”にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでクリアされます。

25.12.8 TAUDTTINm 入力信号幅測定機能

25.12.8.1 概要

概要

この機能は、TAUDTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUDTTINm の信号幅を測定できます。

前提条件

- 動作モードはキャプチャ & ワンカウントモードに設定する必要があります（**「表 25.82 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCMORm.TAUDnMD0 は、“0” に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm スタートエッジが検出されると、カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm ストップエッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは値（TAUDnCDRm + 1）を保持し、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが $FFFF_H$ に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 25.81 オーバフローの影響

TAUDnCMORm. TAUDnCOS[1:0]	オーバフローが発生した場合		有効な TAUDTTINm 入力ストップエッジの検出時	
	TAUDnCDRm	TAUDnCSRm. TAUDnOVF	TAUDnCDRm、TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロードされる	1
01		1		
10	$FFFF_H$ に設定	0	TAUDnCNTm はカウントを停止 TAUDnCDRm は変更されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の幅を推定できます。ただし、有効な TAUDTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備 考

TAUDnCMORm.TAUDnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

25.12.8.2 算出式

TAUDTTINm 入力信号幅 = カウントクロック周期 ×
[（TAUDnCSRm.TAUDnOVF ×（$FFFF_H$ ＋ 1））＋ TAUDnCDRm キャプチャ値＋ 1]

25.12.8.3 ブロック図と基本タイミング図

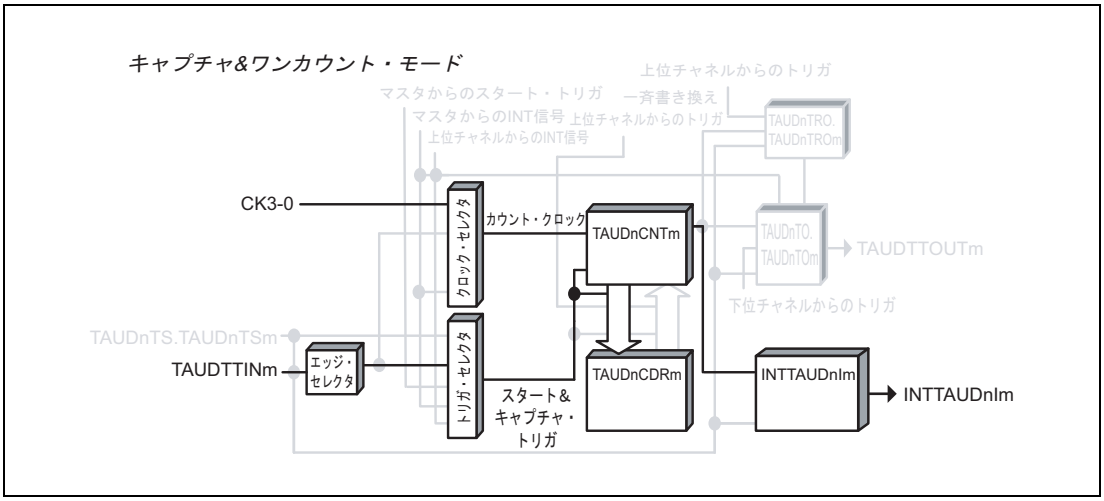


図 25.58 TAUDTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0] = 11_B）
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を “1” に設定する（TAUDnCMORm.TAUDnCOS[1:0] = 00_B）

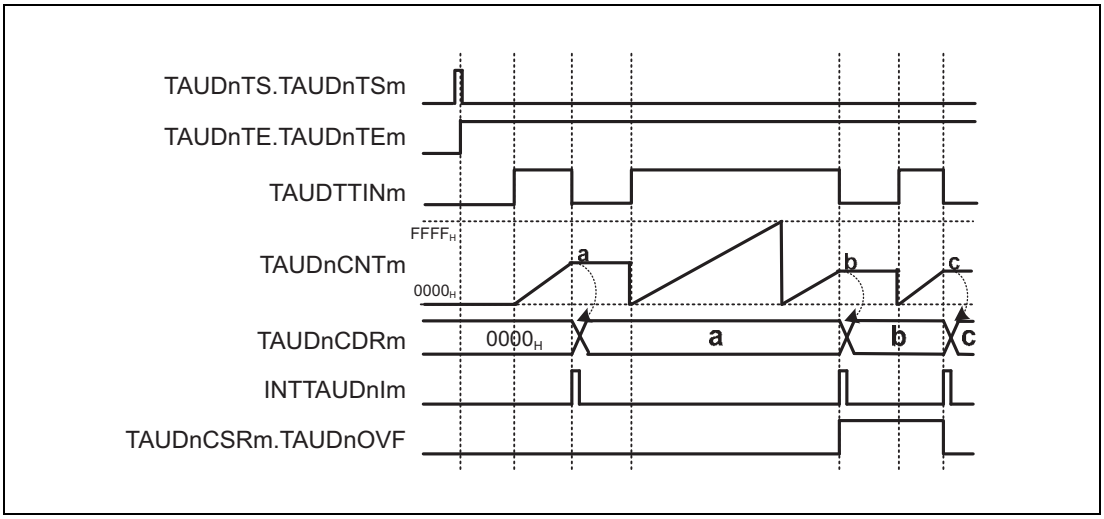


図 25.59 TAUDTTINm 入力信号幅測定機能の基本タイミング図

25.12.8.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.82　TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	**「表 25.81　オーバフローの影響」**を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0110：キャプチャ & ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.83　TAUDTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.84 TAUDTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.8.5 TAUDTTINm 入力信号幅測定機能の操作手順

表 25.85 TAUDTTINm 入力信号幅測定機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.82 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容」**と**「表 25.83 TAUDTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 TAUDTTINm スタートエッジを検出すると、TAUDnCNTm はアップカウントを開始します。
動作中	TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットは、“1” にセット可能です。	TAUDnCNTm は、0000_H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： • TAUDnCNTmが自身の値をTAUDnCDRmに転送（キャプチャ）して、その値を保持し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値 + 1 の値で停止し、TAUDnCNTm は TAUDTTINm スタートエッジの検出を待ちます。以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

動作再開

25.12.8.6 特定の設定時のタイミング図：オーバフロー動作

(1) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

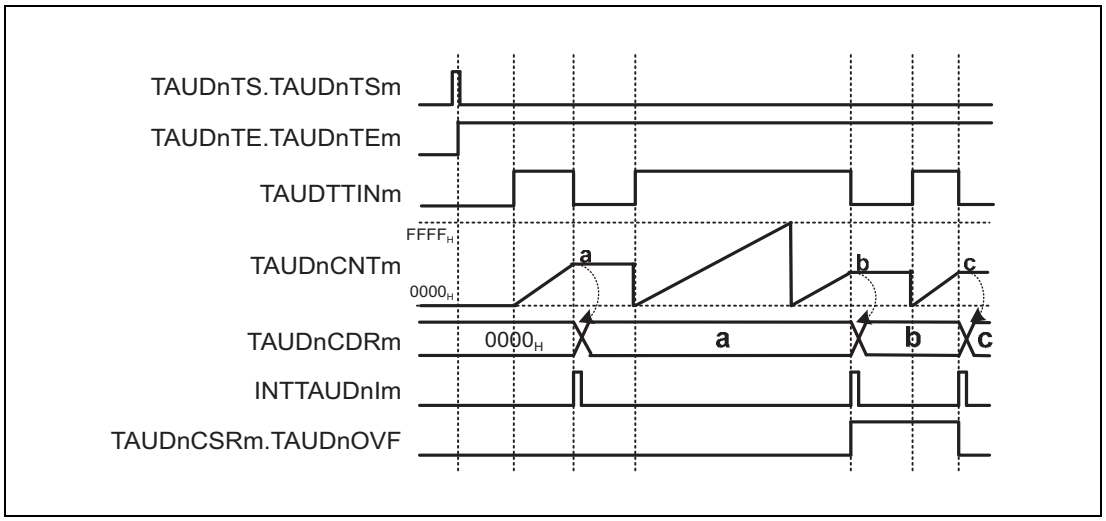


図 25.60 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は “0” のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が “1” に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が “0” にクリアされます。

(2) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

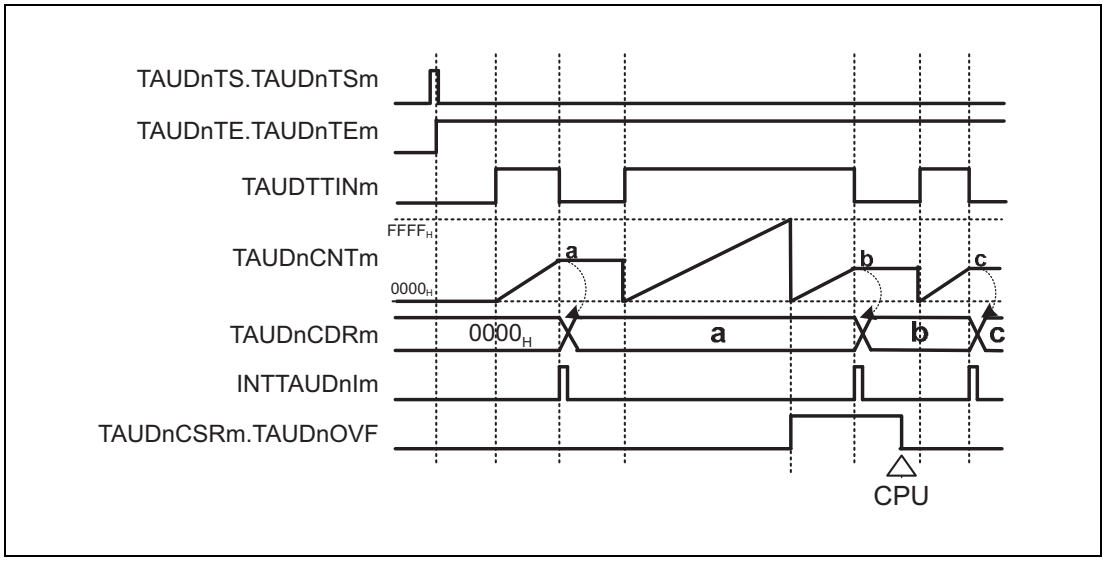


図 25.61 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は “1” に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド（TAUDnCSCm.TAUDnCLOV ビット =1 のセット）でのみクリアされます。

(3) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

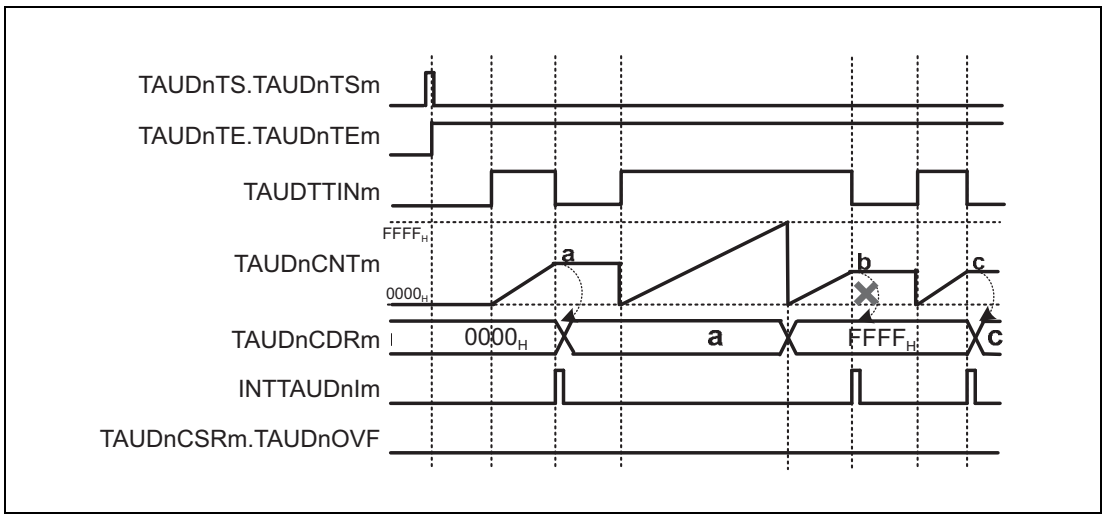


図 25.62 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は $FFFF_H$ に設定され、TAUDnCSRm.TAUDnOVF の値は “0” のままです。
- 次の有効なTAUDTTINm入力エッジが検出されると、TAUDnCNTmがカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

(4) TAUDnCMORm.TAUDnCOS[1:0] = 11_B

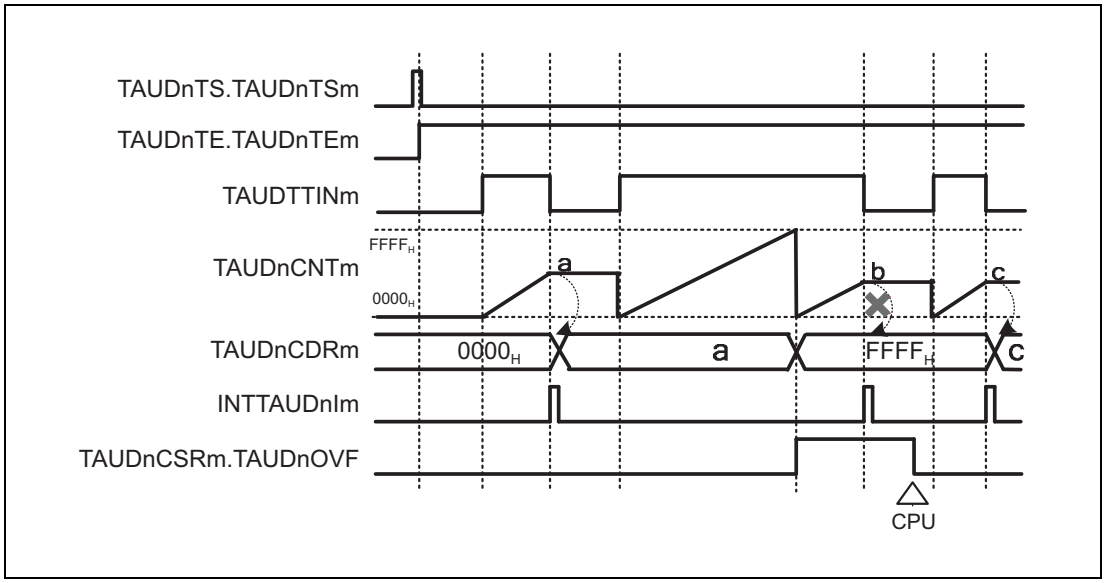


図 25.63 TAUDnCMORm.TAUDnCOS[1:0] = 11_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は $FFFF_H$ に設定され、TAUDnCSRm.TAUDnOVF は “1” に設定されます。
- 次の有効なTAUDTTINm入力エッジが検出されると、TAUDnCNTmがカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでクリアされます。

25.12.9 TAUDTTINm 入力位置検出機能

25.12.9.1 概要

概要

TAUDTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります（**「表 25.86 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み（INTTAUDnIm）が発生します。カウント動作は継続します。

カウンタ値が $FFFF_H$ になると、カウンタは 0000_H からカウント動作を再開します。

備　考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は**「25.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」**を参照してください。

25.12.9.2 算出式

TAUDTTINm 入力パルスでの機能時間 =

カウントクロック周期 ×（TAUDnCDRm キャプチャ値＋ 1）

25.12.9.3 ブロック図と基本タイミング図

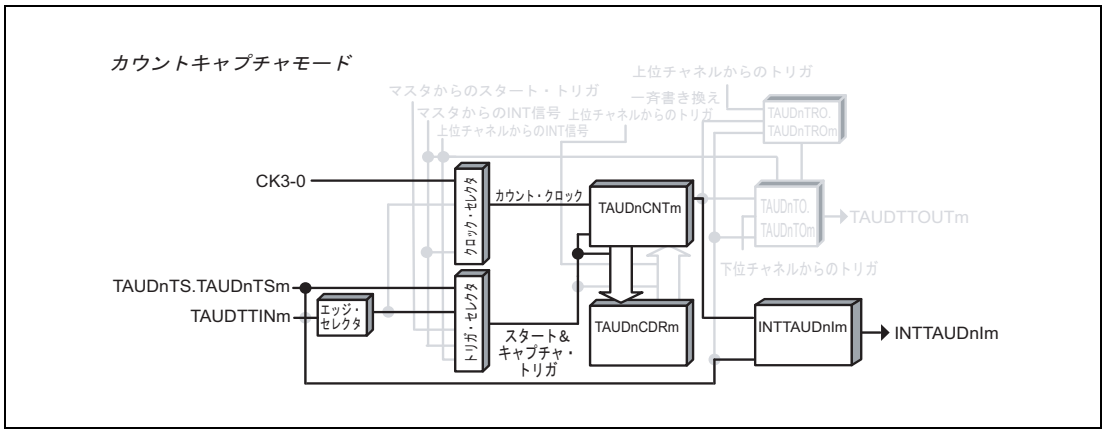


図 25.64 TAUDTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0 = 0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

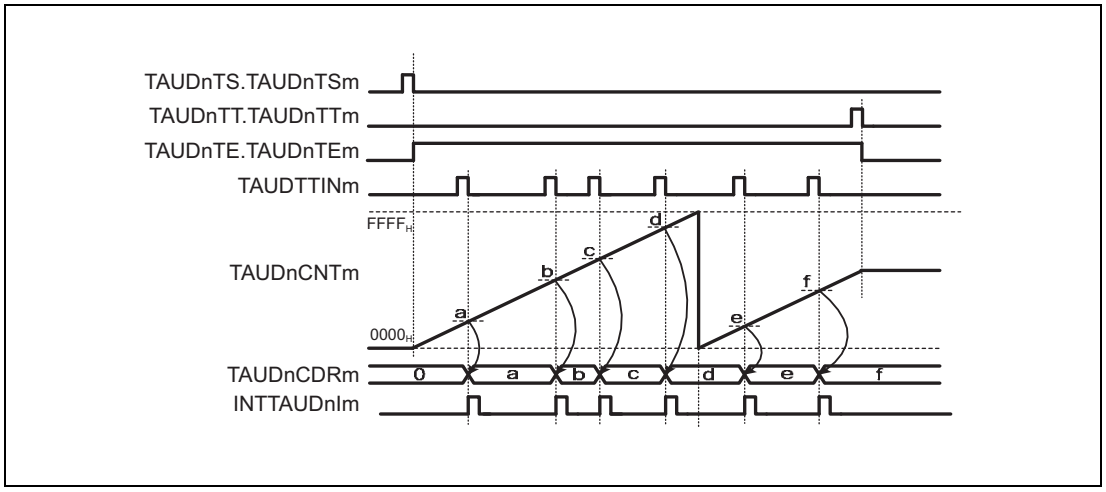


図 25.65 TAUDTTINm 入力位置検出機能の基本タイミング図

25.12.9.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.86 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	01：この値に設定してください
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1011：カウントキャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.87 TAUDTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.88 TAUDTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.9.5 TAUDTTINm 入力位置検出機能の操作手順

表 25.89 TAUDTTINm 入力位置検出機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.86 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容」**と**「表 25.87 TAUDTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCMORm.TAUDnMD0 が “1” の場合は、INTTAUDnIm が発生します。
動作中	TAUDnCMURm.TAUDnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は、0000_H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： • TAUDnCNTm が自身の値を TAUDnCDRm に転送（キャプチャ）します。 • INTTAUDnIm を出力します。 • カウンタ値は 0000_H にクリアされず、TAUDnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUDnCNTm が $FFFF_H$ に達すると、カウンタは 0000_H からカウント動作を再開します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

動作再開

25.12.9.6 特定の設定時のタイミング図

(1) 動作の停止と再開

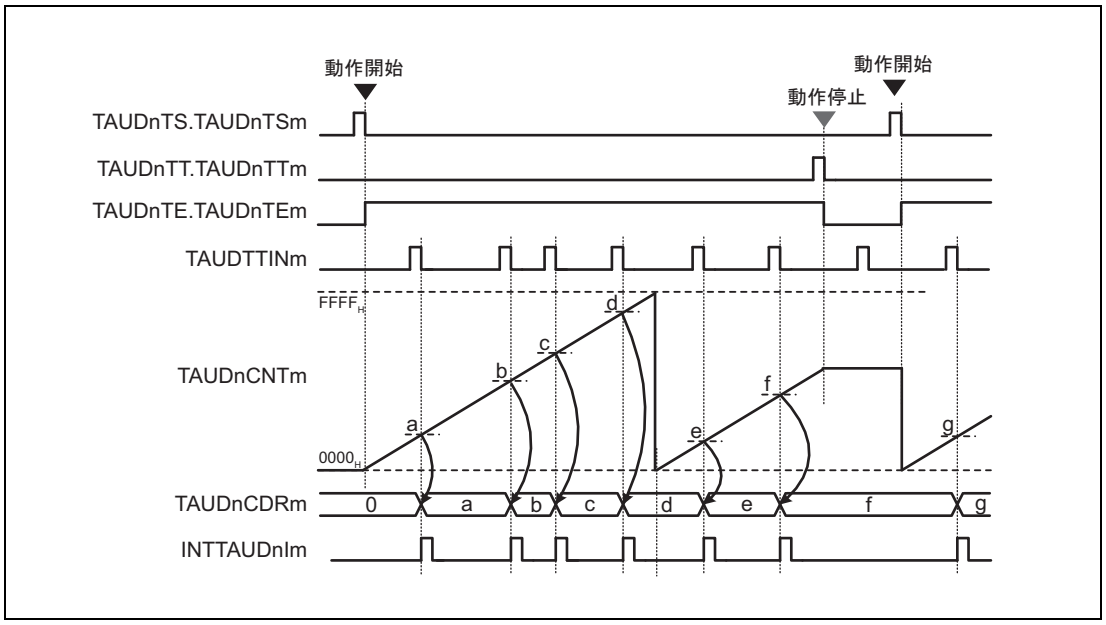


図 25.66 動作の停止と再開（TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

25.12.10 TAUDTTINm 入力期間カウント検出機能

25.12.10.1 概要

概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。

前提条件

- 動作モードはキャプチャ & ゲートカウントモードに設定する必要があります（**「表 25.90 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUDTTINm 入力エッジを待ちます。

有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUDTTINm 入力ストップエッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み（INTTAUDnIm）が発生します。次の有効な TAUDTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値（TAUDnCDRm + 1）を保持します。

次の有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が $FFFF_H$ になると、カウンタは 0000_H からカウント動作を再開します。

備　考

1. TAUDTTINm 入力信号は、TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。
2. この機能は、TAUDTTINm 入力の信号幅測定を目的とするため、TAUDnTE.TAUDnTEm = 1 期間中の TAUDnTS.TAUDnTSm のセット（1）は使用できません。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、TAUDTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

25.12.10.2 算出式

TAUDTTINm 入力幅累計 =
　カウントクロック周期 ×（TAUDnCDRm キャプチャ値 + 1）

25.12.10.3 ブロック図と基本タイミング図

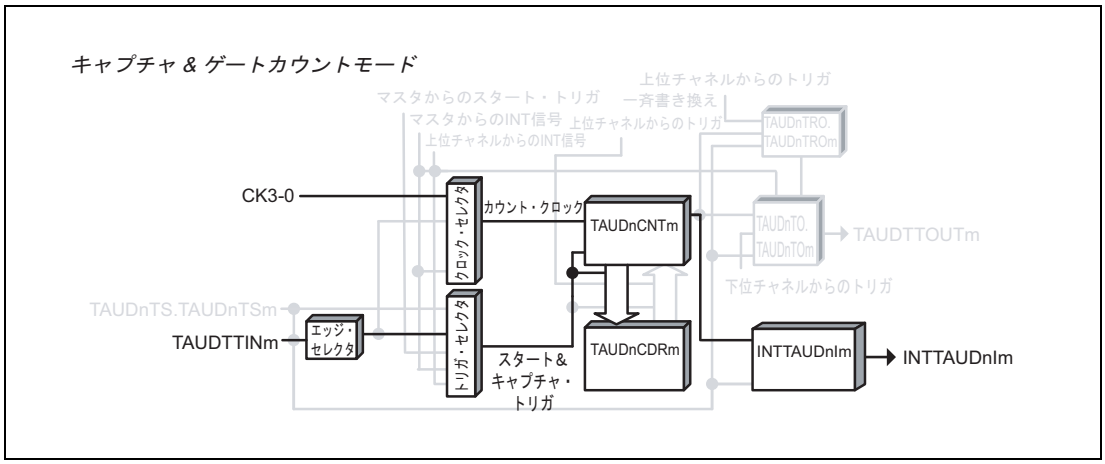


図 25.67　TAUDTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0] = 11_B）

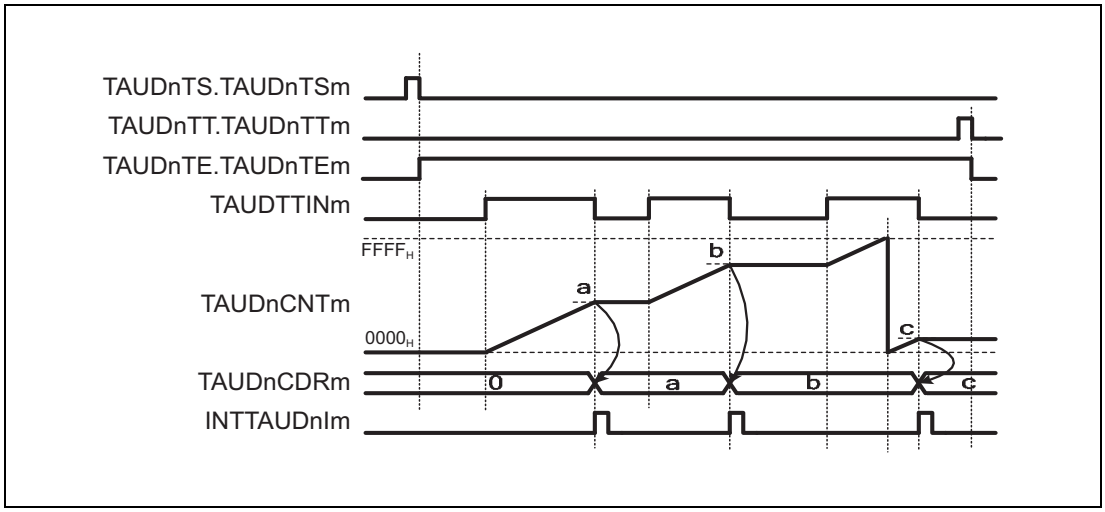


図 25.68　TAUDTTINm 入力期間カウント検出機能の基本タイミング図

25.12.10.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.90 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	01：この値に設定してください
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1101：キャプチャ＆ゲートカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.91 TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.92　TAUDTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.10.5 TAUDTTINm 入力期間カウント検出機能の操作手順

表 25.93　TAUDTTINm 入力期間カウント検出機能の操作手順

		操作	TAUDn の状態
	チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.90　TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」**と**「表 25.91　TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作再開	動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。
	動作中	TAUDTTINm エッジ検出 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUDTTINm スタートエッジ（ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ）を検出すると、TAUDnCNTm は停止値よりアップカウントを開始します。 TAUDnCNTm は、ストップエッジ（ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ）を検出すると、値を TAUDnCDRm に転送し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値 + 1 の値で停止し、TAUDnCNTm は TAUDTTINm スタートエッジの検出を待ちます。 TAUDnCNTm が $FFFF_H$ に達すると、カウンタは 0000_H からカウント動作を再開します。 以降、この動作を繰り返します。
	動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

25.12.10.6 特定の設定時のタイミング図

(1) 動作の停止と再開

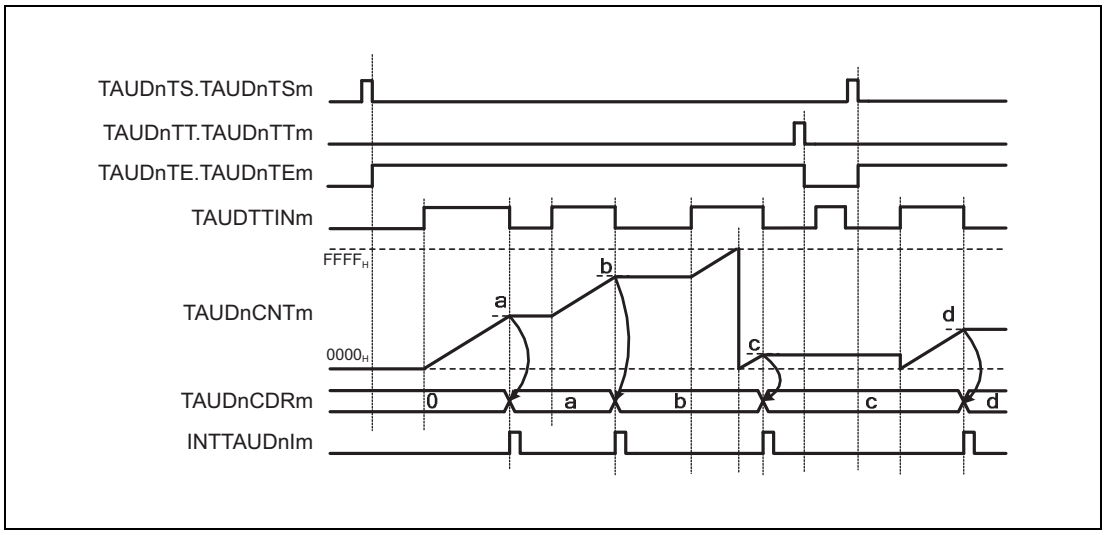


図 25.69　動作の停止と再開（TAUDnCMURm.TAUDnTIS[1:0] = 11_B）

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

25.12.11 TAUDTTINm 入力パルスインターバル判定機能

25.12.11.1 概要

概要

この機能は、TAUDTTINm 入力パルスの発生時、カウント値（TAUDnCNTm）とチャネルデータレジスタ（TAUDnCDRm）の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。

前提条件

- 動作モードはジャッジモードに設定する必要があります（**「表 25.94　TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

TAUDTTINm 有効エッジが検出された場合、または TAUDnTS.TAUDnTSm が “1” に設定された場合、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。TAUDnCNTm は、TAUDnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、$FFFF_H$ に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。

- TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。

25.12.11.2 ブロック図と基本タイミング図

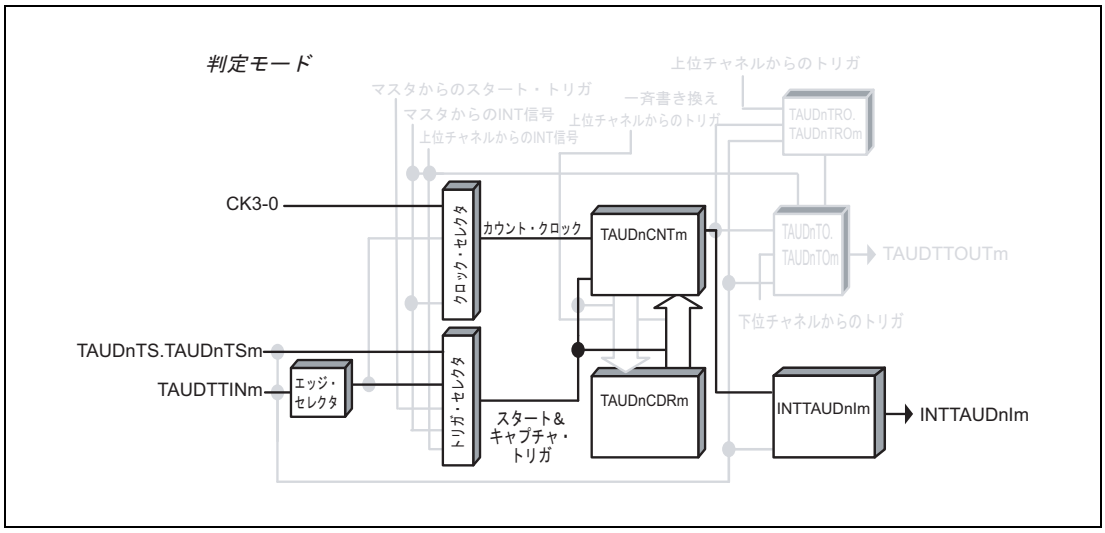


図 25.70 TAUDTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

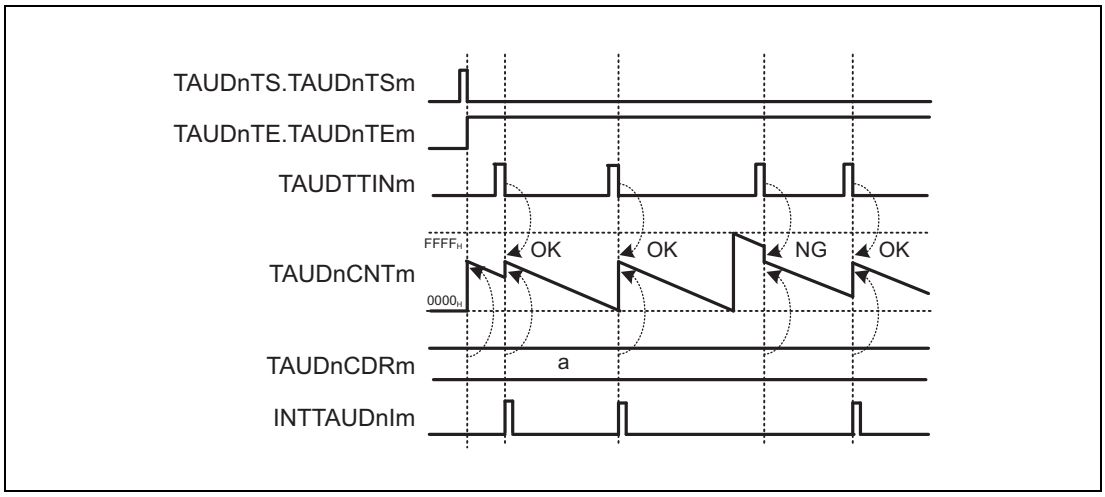


図 25.71 TAUDTTINm 入力パルスインターバル判定機能の基本タイミング図

25.12.11.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.94 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0001：ジャッジモード
0	TAUDnMD0	0：TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.95 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.96　TAUDTTINm 入力パルスインターバル判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.11.4 TAUDTTINm 入力パルスインターバル判定機能の操作手順

表 25.97　TAUDTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.94　TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容」**と**「表 25.95　TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。
動作中	任意のタイミングで変更可能なレジスタ • TAUDnCDRm レジスタ	TAUDnCMORm.TAUDnMD0 = 0 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDnCNTm ≦ TAUDnCDRm の場合、INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0 = 1 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm 発生します。TAUDTTINm 入力エッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

25.12.12 TAUDTTINm 入力信号幅判定機能

25.12.12.1 概要

概要

この機能は、TAUDTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値（TAUDnCNTm）と TAUDnCDRm の大小判定の結果を割り込み要求信号 INTTAUDnIm より出力します。

前提条件

- 動作モードはジャッジ & ワンカウントモードに設定する必要があります（**「表 25.98 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm 入力スタートエッジが検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

有効な TAUDTTINm ストップエッジが検出されると、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。カウンタ TAUDnCNTm は、比較の結果に関係なく、次の有効な TAUDTTINm スタートエッジを検出するまで値を保持します。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、$FFFF_H$ に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

- 比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。
  - TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。
  - TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMURm.TAUDnTIS[1:0] ビットで幅測定のタイプを指定します。
  - ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合）では、TAUDTTINm 立ち上がりエッジをスタートエッジ、TAUDTTINm 立ち下がりエッジをストップエッジとして使用します。
  - ロウレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合）では、TAUDTTINm 立ち下がりエッジをスタートエッジ、TAUDTTINm 立ち上がりエッジをストップエッジとして使用します。
- この機能では強制リスタートは行えません。

25.12.12.2 ブロック図と基本タイミング図

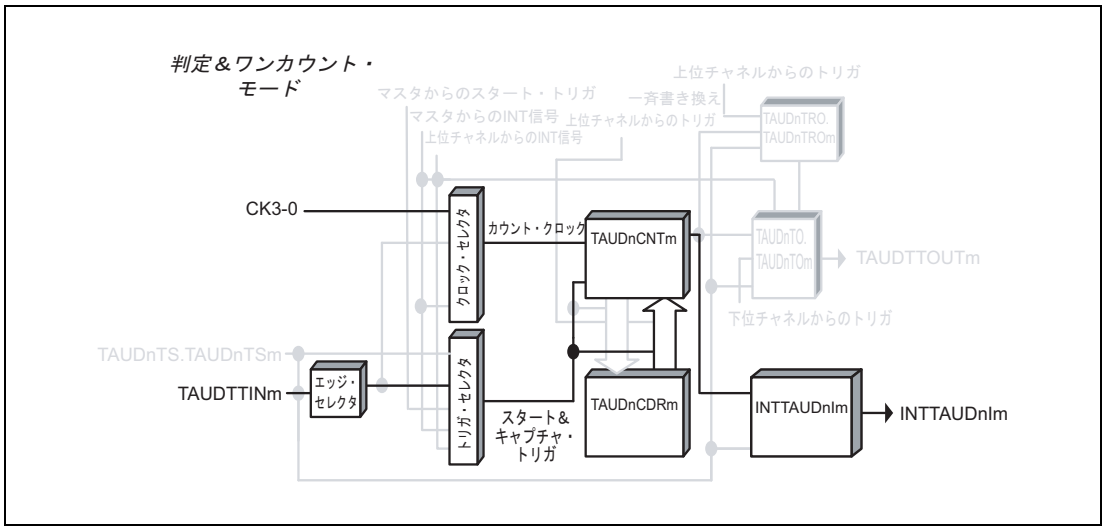


図 25.72 TAUDTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- TAUDnCNTm ≤ TAUDnCDRm（TAUDnCMORm.TAUDnMD0 = 0）の場合、INTTAUDnIm が発生します。
- TAUDTTINm 有効スタートエッジ = 立ち上がりエッジ、TAUDTTINm 有効ストップエッジ = 立ち下がりエッジ（TAUDnCMURm.TAUDnTIS[1:0] = 11_B）

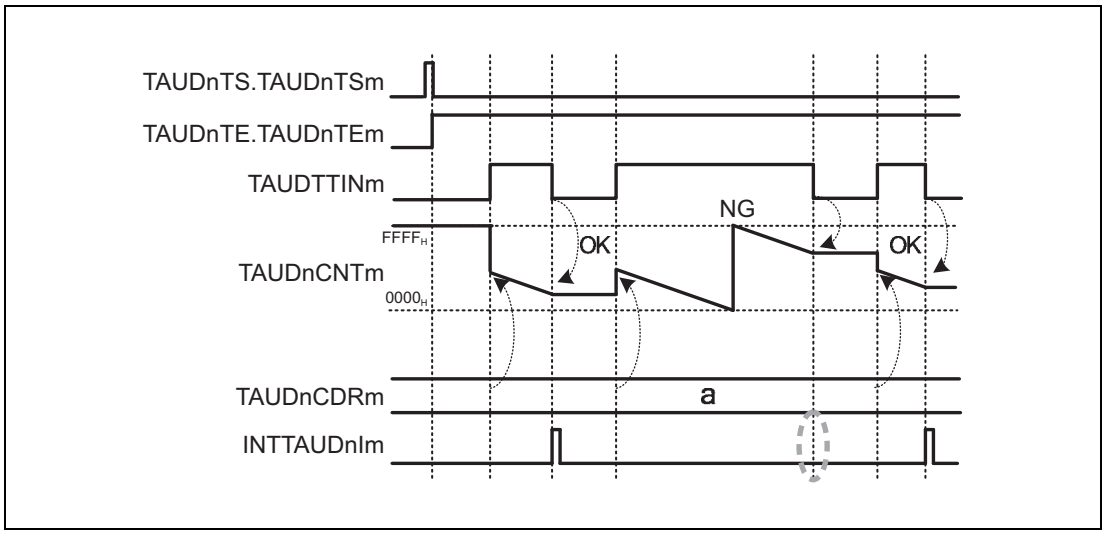


図 25.73 TAUDTTINm 入力信号幅判定機能の基本タイミング図

25.12.12.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.98 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0111：ジャッジ＆ワンカウントモード
0	TAUDnMD0	0：TAUDnCNTm ≦ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.99 TAUDTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.100　TAUDTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.12.4 TAUDTTINm 入力信号幅判定機能の操作手順

表 25.101　TAUDTTINm 入力信号幅判定機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.98　TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容」**と**「表 25.99　TAUDTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。
動作中	任意のタイミングで変更可能なレジスタ • TAUDnCDRm レジスタ	TAUDTTINm スタートエッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。 TAUDnCMORm.TAUDnMD0 = 0 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで TAUDnCNTm ≦ TAUDnCDRm の場合、INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0 = 1 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm 発生します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

25.12.13 オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）

25.12.13.1 概要

概要

この機能は、各 TAUDTTINm 入力信号の幅を測定します。TAUDTTINm 入力後、（$FFFF_H$ ＋ 1）を超えた場合、割り込みが発生します。

前提条件

- 動作モードはワンカウントモードに設定する必要があります（**「表 25.102　オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCDRm の値は、$FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCNTm に $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUDTTINm 入力スタートエッジが検出されると、TAUDnCNTm は $FFFF_H$ をロードし、ダウンカウントを開始します。

ストップエッジを検出する前にカウンタが 0000_H に達すると、割り込みが発生します。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、TAUDTTINm 入力ロウレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合、TAUDTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

25.12.13.2 ブロック図と基本タイミング図

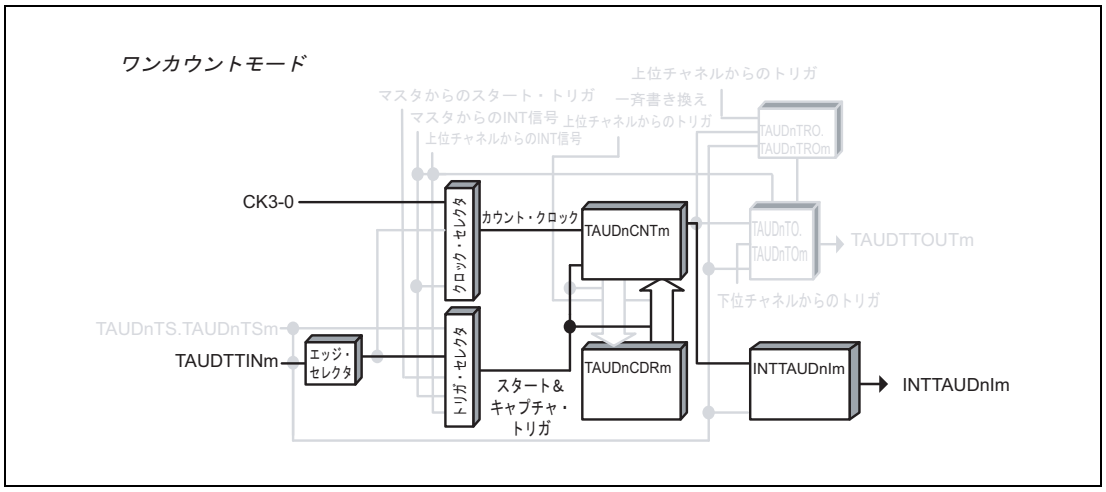


図 25.74 オーバフロー割り込み出力機能のブロック図（TAUDTTINm 幅測定時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0] = 11_B）

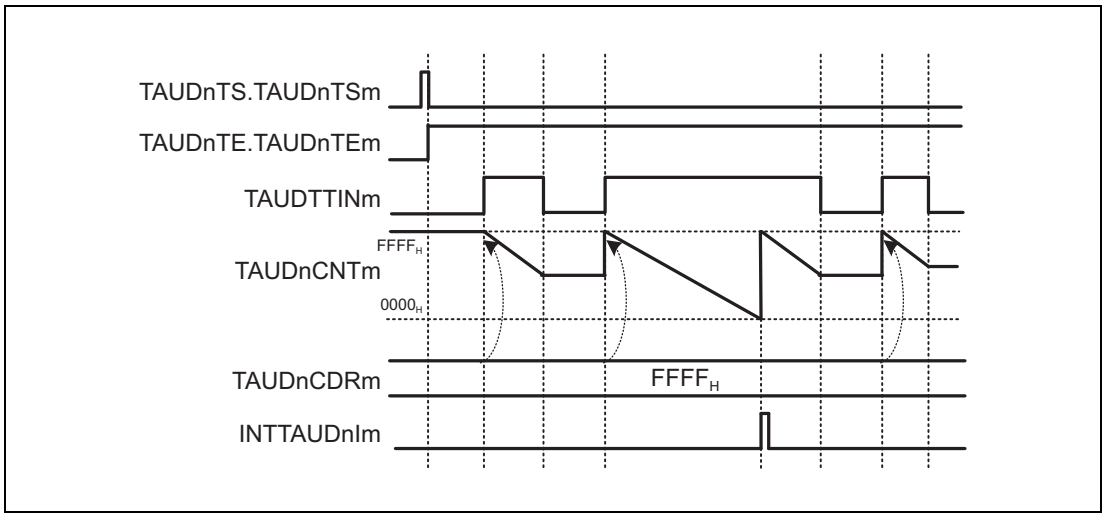


図 25.75 オーバフロー割り込み出力機能の基本タイミング図（TAUDTTINm 幅測定時）

25.12.13.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.102　オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.103　オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.104　オーバフロー割り込み出力機能の一斉書き換え設定（TAUDTTINm 幅測定時）

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.13.4 オーバフロー割り込み出力機能の操作手順（TAUDTTINm 幅測定時）

表 25.105　オーバフロー割り込み出力機能の操作手順（TAUDTTINm 幅測定時）

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.102　オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMORm レジスタの内容」**と**「表 25.103　オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を $FFFF_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が “1” に設定され、TAUDnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値（$FFFF_H$）を TAUDnCNTm にロードします。
動作中	TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUDnIm が発生します。 カウント動作中に TAUDTTINm 入力ストップエッジを検出した場合： • TAUDnCNTm は停止し、現在値を保持します。 カウント停止中に TAUDTTINm 入力スタートエッジを検出した場合： • 再び TAUDnCDRm の値（$FFFF_H$）を TAUDnCNTm にロードし、ダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

25.12.14 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）

25.12.14.1 概要

概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。TAUDTTINm 入力合計幅が $FFFF_H$ より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

前提条件

- 動作モードはゲートカウントモードに設定する必要があります（**「表 25.106　オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCDRm の値は、$FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCNTm に $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUDTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。

カウンタが 0000_H になると、割り込みが発生します。TAUDnCNTm に $FFFF_H$ がロードされ、カウンタは TAUDTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、TAUDTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

25.12.14.2 ブロック図と基本タイミング図

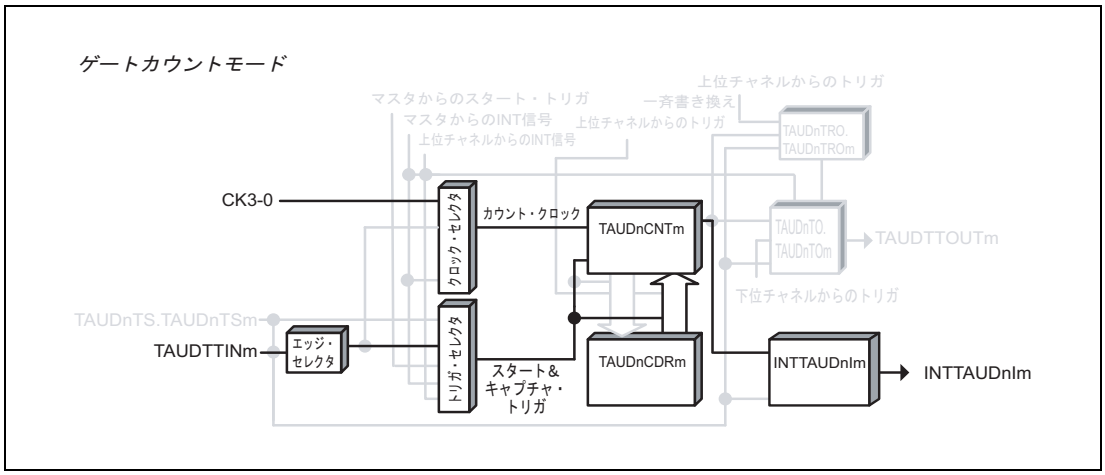


図 25.76 オーバフロー割り込み出力機能のブロック図（TAUDTTINm 入力期間カウント検出時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0] = 11_B）

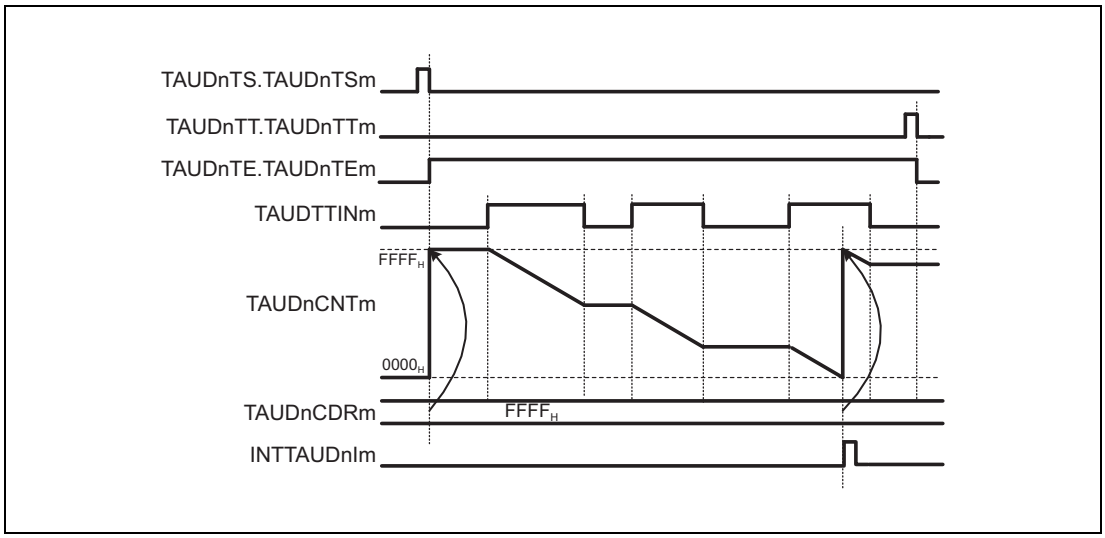


図 25.77 オーバフロー割り込み出力機能の基本タイミング図（TAUDTTINm 入力期間カウント検出時）

25.12.14.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.106　オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1100：ゲートカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.107　オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、オーバフロー割り込み出力機能（TAUDTTINm 入力期間検出時）では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.108 オーバフロー割り込み出力機能の一斉書き換え設定（TAUDTTINm 入力期間カウント検出時）

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.14.4 オーバフロー割り込み出力機能の操作手順（TAUDTTINm 入力期間カウント検出時）

表 25.109 オーバフロー割り込み出力機能の操作手順（TAUDTTINm 入力期間カウント検出時）

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 25.106 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMORm レジスタの内容」**と**「表 25.107 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を $FFFF_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が “1” に設定され、TAUDnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値（$FFFF_H$）を TAUDnCNTm にロードします。
動作中	TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUDnIm が発生します。 • TAUDnCDRm の値（$FFFF_H$）を TAUDnCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUDTTINm 入力ストップエッジを検出した場合： • TAUDnCNTm は停止し、現在値を保持します。 カウント停止中に TAUDTTINm 入力スタートエッジを検出した場合： • TAUDnCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

25.12.15 1 相 PWM 出力機能

25.12.15.1 概要

概要

TAUDTTINm 入力信号にデッドタイムを付加する機能です。その結果として得られる PWM 信号は、そのチャネルおよび上位チャネルの TAUDTTOUTm から出力されます。

前提条件

- 2 つ（もしくはそれ以上）のチャネルで、それぞれデッドタイム制御が許可されている（TAUDnTDE.TAUDnTDEm = 1）
- 下位チャネルの動作モードは、ワンカウントモードに設定する必要があります（**「表 25.111 1 相 PWM 出力機能の下位チャネルの TAUDnCMORm レジスタの内容」**参照）。
- 上位チャネルには任意の動作モードを設定可能です。
- 上位下位チャネルのチャネル出力モードは、1 相 PWM 出力を行うチャネル連動出力モード 2 に設定する必要があります。**「25.7 チャネル出力モード」**を参照してください。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは $FFFF_H$ に戻り、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

表 25.110 デッドタイムが付加される TAUDTTOUTm と TAUDTTINm の状態

TAUDnCMURm. TAUDnTIS[1:0]	TAUDnTOL. TAUDnTOLm	デッドタイムが付加される TAUDTTOUTm	TAUDnTDL. TAUDnTDLm	付加時の TAUDTTINm の状態
10	0	TAUDTTOUTm low	0	ハイレベル
			1	ロウレベル
	1	TAUDTTOUTm high	0	ハイレベル
			1	ロウレベル
11	0	TAUDTTOUTm low	0	ロウレベル
			1	ハイレベル
	1	TAUDTTOUTm high	0	ロウレベル
			1	ハイレベル

条件

- TAUDnCMURm.TAUDnTIS[1:0] ビットで幅測定のタイプを指定します。
  - TAUDnCMURm.TAUDnTIS[1:0] = 10_B：両エッジを有効エッジとして検出（ロウレベル幅測定）
  - TAUDnCMURm.TAUDnTIS[1:0] = 11_B：両エッジを有効エッジとして検出（ハイレベル幅測定）

- TAUDnTDL.TAUDnTDLm ビットで、下位チャネルでの割り込み発生時または有効な TAUDTTINm エッジの検出時の各チャネルの TAUDTTOUTm の動作を指定します。
  - TAUDnTDL.TAUDnTDLm = 0 の場合、割り込みを TAUDTTOUTm セットのトリガ、有効な TAUDTTINm エッジを TAUDTTOUTm リセットのトリガとして使用します。
  - TAUDnTDL.TAUDnTDLm = 1 の場合、有効な TAUDTTINm エッジを TAUDTTOUTm セットのトリガ、割り込みを TAUDTTOUTm リセットのトリガとして使用します。
- この機能では強制リスタートは行えません。

25.12.15.2 ブロック図と基本タイミング図

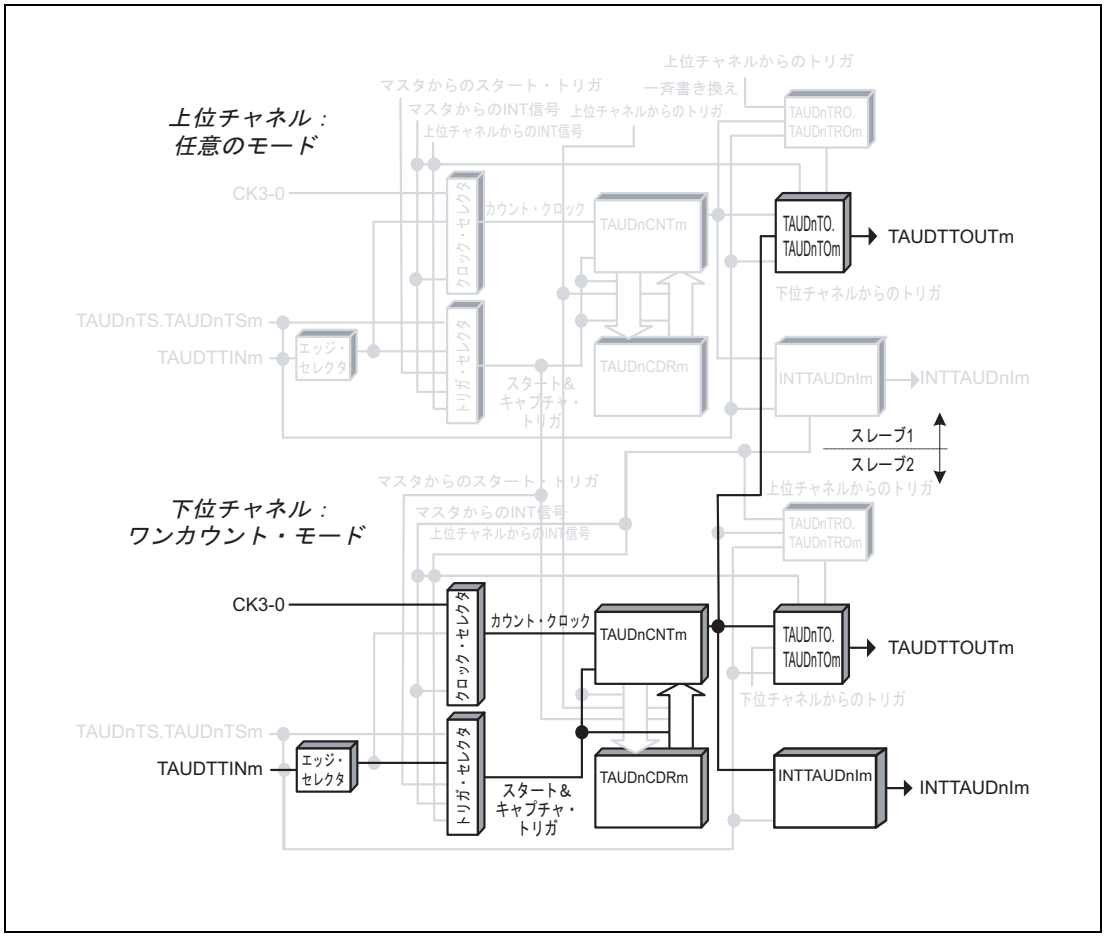


図 25.78 1 相 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0] = 11_B）

この設定では、デューティをアクティブハイとして考えています。

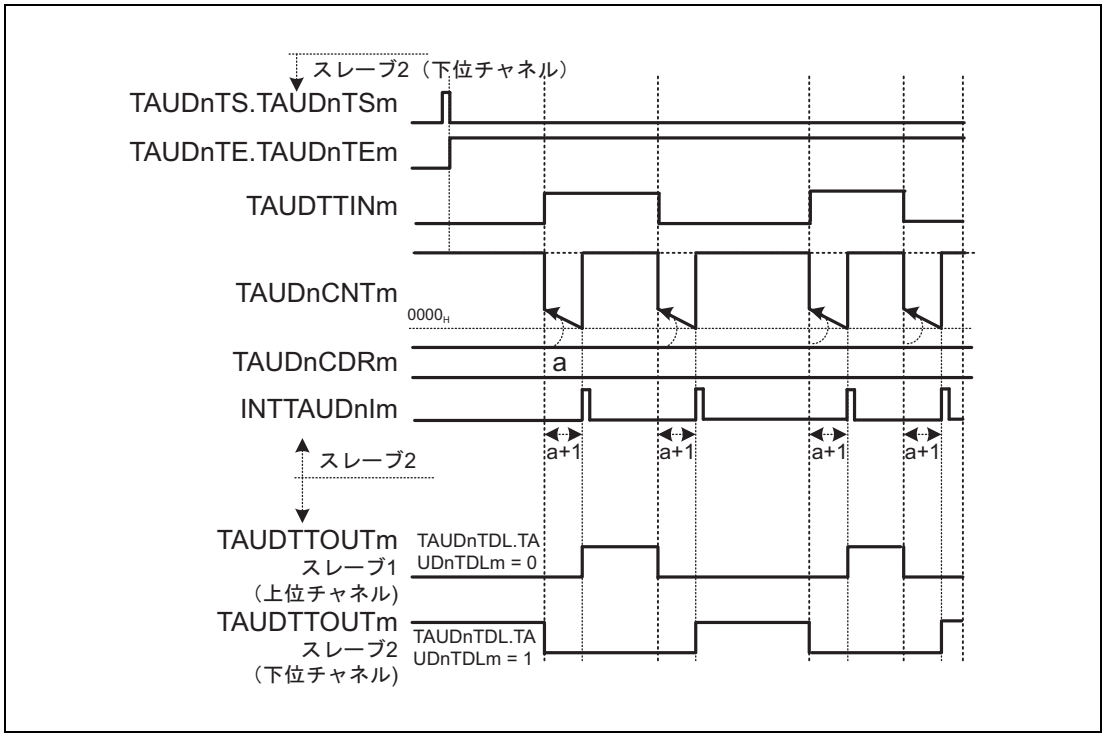


図 25.79　1 相 PWM 出力機能の基本タイミング図

25.12.15.3 下位チャネルのレジスタ設定

(1) 下位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.111　1 相 PWM 出力機能の下位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) 下位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.112　1 相 PWM 出力機能の下位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) 下位チャネルのチャネル出力モード

表 25.113　1 相 PWM 出力を行うチャネル連動出力モード 2 の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1：下位奇数チャネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相幅のデットタイムを付加 1：逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

注　意

TAUDnTDL.TAUDnTDLm は、上位チャネルと排他設定してください。

(4) 下位チャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、1 相 PWM 出力機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.114　1 相 PWM 出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.15.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

上位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 上位チャネルの TAUDnCMURm

上位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 上位チャネルのチャネル出力モード

表 25.115　1 相 PWM 出力を行うチャネル連動出力モード 2 の上位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1：下位奇数チャネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相幅のデットタイムを付加 1：逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

注　意

TAUDnTDL.TAUDnTDLm は、下位チャネルと排他設定してください。

(4) 上位チャネルの一斉書き換え

上位チャネルの一斉書き換えレジスタは任意の設定が可能です。

25.12.15.5 1 相 PWM 出力機能の操作手順

表 25.116　1 相 PWM 出力機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「表 25.111　1 相 PWM 出力機能の下位チャネルの TAUDnCMORm レジスタの内容」**と**「表 25.112　1 相 PWM 出力機能の下位チャネルの TAUDnCMURm レジスタの内容」**に示すように設定します。 上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「25.12.15.4　上位チャネルのレジスタ設定」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを**「表 25.113　1 相 PWM 出力を行うチャネル連動出力モード 2 の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTOE.TAUDnTOEm（スレーブチャネル 1、2）を “1” に設定（動作再開時のみ）します。 スレーブチャネル 2 に TAUDnTS.TAUDnTSm = 1 を設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm は “1” に設定され（スレーブチャネル 2）、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 TAUDnCNTm は TAUDnCDRm 値をロードします。
動作中	TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	スレーブチャネル 2 の TAUDnCNTm はダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUDnIm が発生します。 • TAUDnCNTm がカウントを停止します。 TAUDTTINm のエッジ検出信号とスレーブチャネル 2 の INTTAUDnIm 信号により TAUDTTOUTm を変化させデッドタイム付き 1 相 PWM 波形を出力する。 以降、動作を繰り返す。
動作停止	スレーブチャネル 2 に TAUDnTT.TAUDnTTm = 1 を設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

動作再開

25.13 チャネル単体リアルタイム機能

この節では、TAUDnTRO.TAUDnTROm ビット値をリアルタイム出力する機能について説明します。

25.13.1 リアルタイム出力機能タイプ 1

25.13.1.1 概要

概要

指定したチャネルでの割り込み（INTTAUDnIm）発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能では、設定した一定の間隔で割り込みが発生します。

上位チャネルはリアルタイム出力トリガを生成するチャネル（TAUDnTRC.TAUDnTRCm = 1）、下位チャネルは上位チャネルのトリガを受けてリアルタイム出力を行うチャネル（TAUDnTRC.TAUDnTRCm = 0）です。

前提条件

- 他チャネルの TAUDTTOUTm 制御を使用するチャネル
- 上位チャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.117　リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容」**参照）。
- 下位チャネルには任意の動作モードを設定可能です。
- 全チャネルのチャネル出力モードは、リアルタイム出力を行うチャネル単体出力モード 1 に設定する必要があります。**「25.7　チャネル出力モード」**を参照してください。
- 上位チャネルはリアルタイム出力が許可された状態にしておく必要があります（TAUDnTRE.TAUDnTREm = 1）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、上位チャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャネルのデータレジスタ（TAUDnCDRm）の現在値がカウンタ（TAUDnCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。

上位チャネルのカウンタが 0000_H に達すると、INTTAUDnIm が発生し、TAUDTTOUTm が全チャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）の現在値を出力します（TAUDnTRE.TAUDnTREm = 1 のチャネルのみ）。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャネルは、該当チャネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャネルは、TAUDnTRC.TAUDnTRCm ビットを “0” に設定しておく必要があります。

- 下位チャネルのリアルタイム出力が禁止（TAUDnTRE.TAUDnTREm = 0）されている場合、またはチャネル自体が書き換えトリガとして使用されている場合（TAUDnTRC.TAUDnTRCm = 1）、そのチャネルでの INTTAUDnIm 発生時にそのチャネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- 下位チャネルのリアルタイム出力が許可されていて（TAUDnTRE.TAUDnTREm = 1）、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャネルでの INTTAUDnIm 発生時にそのチャネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は**「25.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」**を参照してください。

25.13.1.2　算出式

INTTAUDnIm の発生周期 = カウントクロック周期 ×（TAUDnCDRm 値＋ 1）

25.13.1.3　ブロック図と基本タイミング図

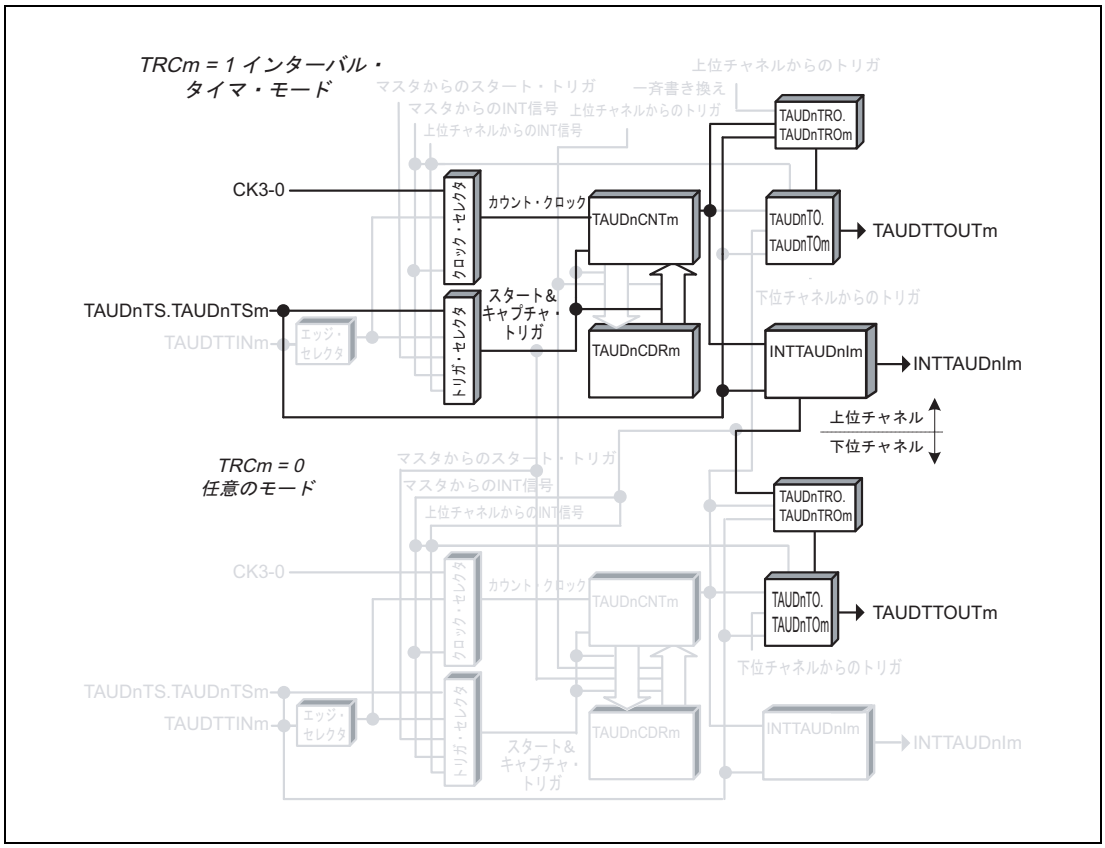


図 25.80　リアルタイム出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0 = 1）

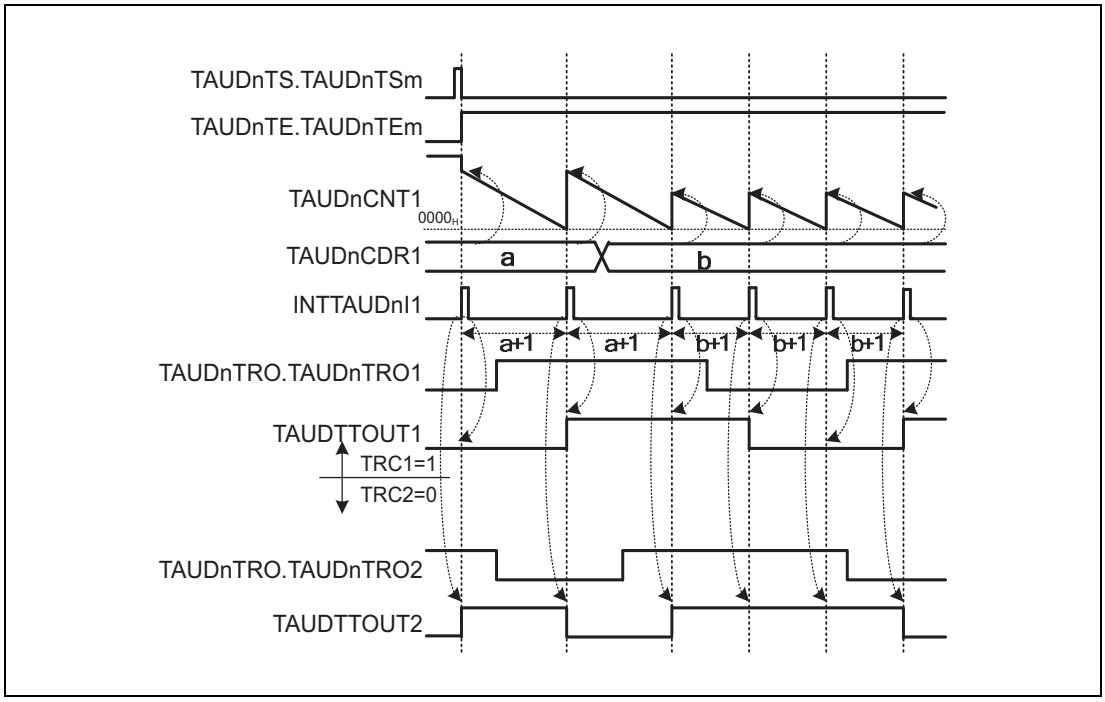


図 25.81　リアルタイム出力機能タイプ 1 の基本タイミング図

25.13.1.4　上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.117　リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.118　リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) 上位チャネルのチャネル出力モード

表 25.119　リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1：チャネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) 上位チャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、リアルタイム出力機能タイプ 1 では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.120　リアルタイム出力機能タイプ 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.13.1.5 下位チャネルのレジスタ設定

(1) 下位チャネルの TAUDnCMORm

下位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 下位チャネルのチャネル出力モード

表 25.121　リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) 下位チャネルの一斉書き換え

下位チャネルの一斉書き換えレジスタは任意の設定が可能です。

25.13.1.6　リアルタイム出力機能タイプ 1 の操作手順

表 25.122　リアルタイム出力機能タイプ 1 の操作手順

	操作	TAUDn の状態
チャネルの初期設定	上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「表 25.117　リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容」**と**「表 25.118　リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMURm レジスタの内容」**に示すように設定します。 下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「25.13.1.5　下位チャネルのレジスタ設定」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します（TAUDnTRC.TAUDnTRCm = 1 のチャネルのみ）。 制御ビットを**「表 25.119　リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。 制御ビットを**「表 25.121　リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTRC.TAUDnTRCm が “1” に設定されているチャネルでは、TAUDnTS.TAUDnTSm = 1 を設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	［TAUDnTRC.TAUDnTRCm が “1” に設定されているチャネル］ TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 が “1” の場合は、INTTAUDnIm が発生します。
動作中	TAUDnCDRm レジスタと TAUDnTRO.TAUDnTROm は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 • INTTAUDnIm が発生します。 • TAUDTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

動作再開

25.13.1.7　特定の設定時のタイミング図

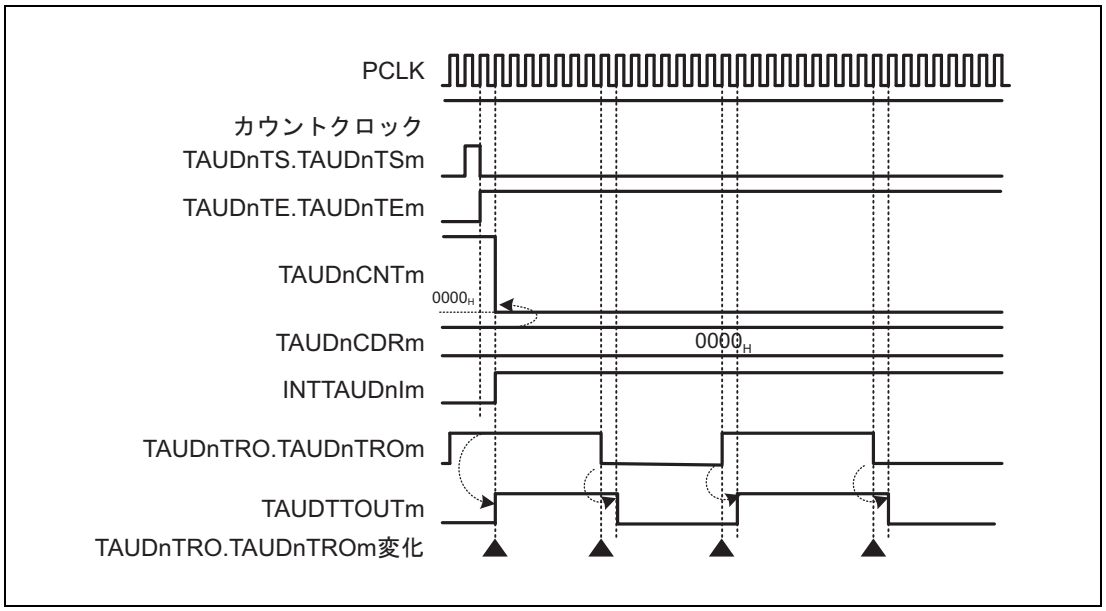


図 25.82　TAUDnCDRm = 0000_H、TAUDnCMORm.TAUDnMD0 = 1

- TAUDTTOUTmの値はTAUDnTRO.TAUDnTROmの設定値から1 PCLK周期遅延して変化します。

25.13.2　リアルタイム出力機能タイプ 2

25.13.2.1　概要

概要

指定したチャネルでの割り込み（INTTAUDnIm）発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャネルはリアルタイム出力トリガを生成するチャネル（TAUDnTRC.TAUDnTRCm = 1）、下位チャネルは上位チャネルのトリガを受けてリアルタイム出力を行うチャネル（TAUDnTRC.TAUDnTRCm = 0）です。

前提条件

- 他チャネルの TAUDTTOUTm 制御を使用するチャネル
- 上位チャネルの動作モードは、キャプチャモードに設定する必要があります（**「表 25.123　リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容」**参照）。
- 下位チャネルには任意の動作モードを設定可能です。
- 全チャネルのチャネル出力モードは、リアルタイム出力を行うチャネル単体出力モード 1 に設定する必要があります。**「25.7　チャネル出力モード」**を参照してください。
- 上位チャネルはリアルタイム出力が許可された状態にしておく必要があります（TAUDnTRE.TAUDnTREm = 1）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、上位チャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャネルのカウンタがアップカウントを開始します。

上位チャネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、TAUDTTOUTm が全チャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）の現在値を出力します（TAUDnTRE.TAUDnTREm = 1 のチャネルのみ）。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャネルは、該当チャネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャネルは、TAUDnTRC.TAUDnTRCm ビットを “0” に設定しておく必要があります。
- 下位チャネルのリアルタイム出力が禁止（TAUDnTRE.TAUDnTREm = 0）されている場合、またはチャネル自体が書き換えトリガとして使用されている場合（TAUDnTRC.TAUDnTRCm = 1）、そのチャネルでの INTTAUDnIm 発生時にそのチャネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。

- 下位チャネルのリアルタイム出力が許可されていて（TAUDnTRE.TAUDnTREm = 1）、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャネルでの INTTAUDnIm 発生時にそのチャネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は**「25.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」**を参照してください。

25.13.2.2　ブロック図と基本タイミング図

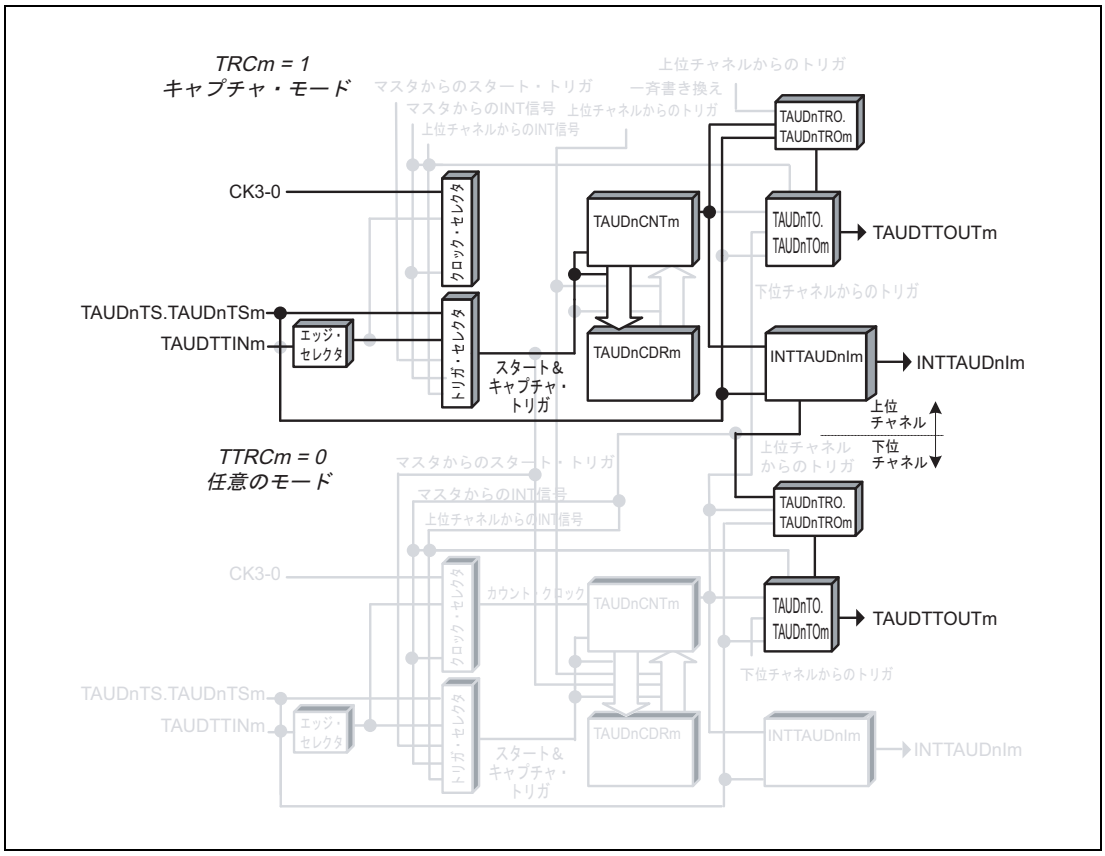


図 25.83　リアルタイム出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0 = 0）

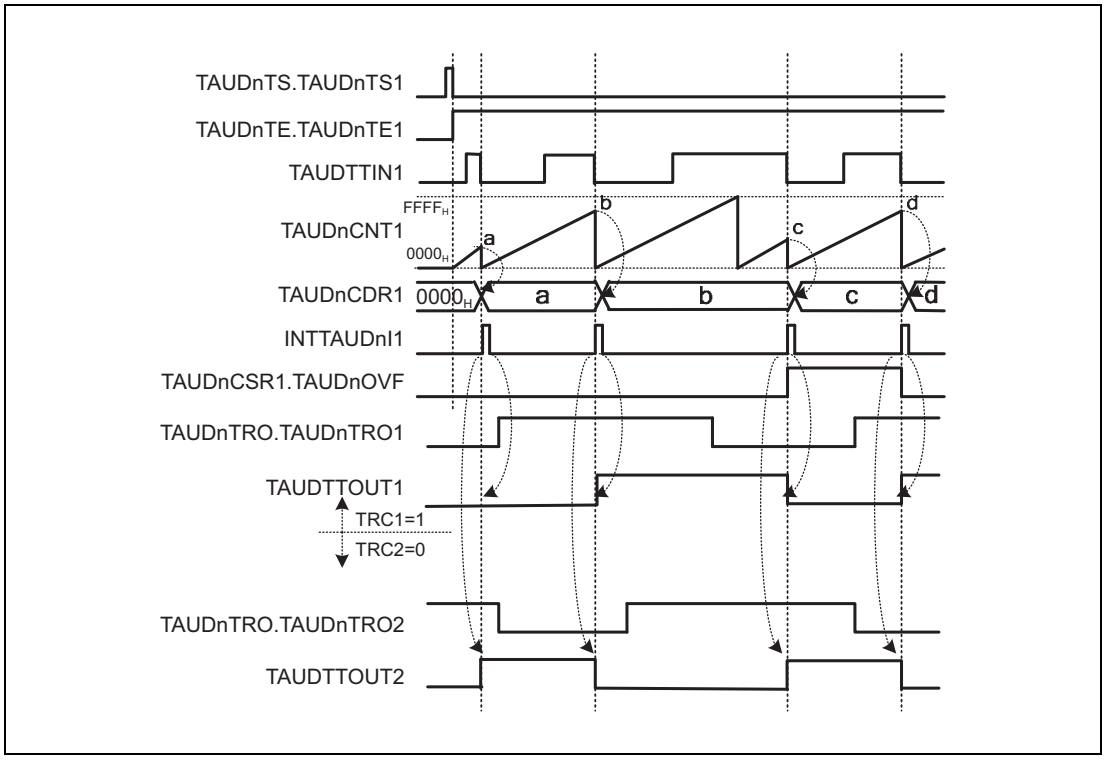


図 25.84　リアルタイム出力機能タイプ 2 の基本タイミング図

25.13.2.3　上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.123　リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.124　リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) 上位チャネルのチャネル出力モード

表 25.125　リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1：チャネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) 上位チャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、リアルタイム出力機能タイプ 2 では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.126　リアルタイム出力機能タイプ 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.13.2.4 下位チャネルのレジスタ設定

(1) 下位チャネルの TAUDnCMORm

下位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 下位チャネルのチャネル出力モード

表 25.127　リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) 下位チャネルの一斉書き換え

下位チャネルの一斉書き換えレジスタは任意の設定が可能です。

25.13.2.5　リアルタイム出力機能タイプ 2 の操作手順

表 25.128　リアルタイム出力機能タイプ 2 の操作手順

	操作	TAUDn の状態
チャネルの初期設定	上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「表 25.123　リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容」**と**「表 25.124　リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMURm レジスタの内容」**に示すように設定します。 下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「25.13.2.4　下位チャネルのレジスタ設定」**に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します（TAUDnTRC.TAUDnTRCm = 1 のチャネル）。 制御ビットを**「表 25.125　リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。 制御ビットを**「表 25.127　リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTRC.TAUDnTRCm が “1” に設定されているチャネルでは、TAUDnTS.TAUDnTSm を設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	[TAUDnTRC.TAUDnTRCm が “1” に設定されているチャネル] TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCNTm が 0000_H にクリアされます。 TAUDnCMORm.TAUDnMD0 が “1” の場合は、INTTAUDnIm が発生します。
動作中	TAUDnTRO.TAUDnTROm は任意のタイミングで変更可能です。	TAUDnCNTm は、0000_H からアップカウントを開始します。 TAUDTTINm 入力の有効エッジ検出時： • TAUDnCDRm の値を TAUDnCNTm にキャプチャし、カウンタを 0000_H にクリアします。 • INTTAUDnIm が発生します。 • TAUDnCSRm.TAUDnOVF ビットは TAUDTTINm 入力有効エッジを検出したとき、オーバフロー発生後ならば 1 にセット、オーバフロー発生前ならば 0 にクリアされます。 TAUDTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm、TAUDnCSRm.TAUDnOVF、TAUDTTOUTm は現在値を保持します。

動作再開

25.13.2.6　特定のタイミング図

(1) 動作の開始と停止

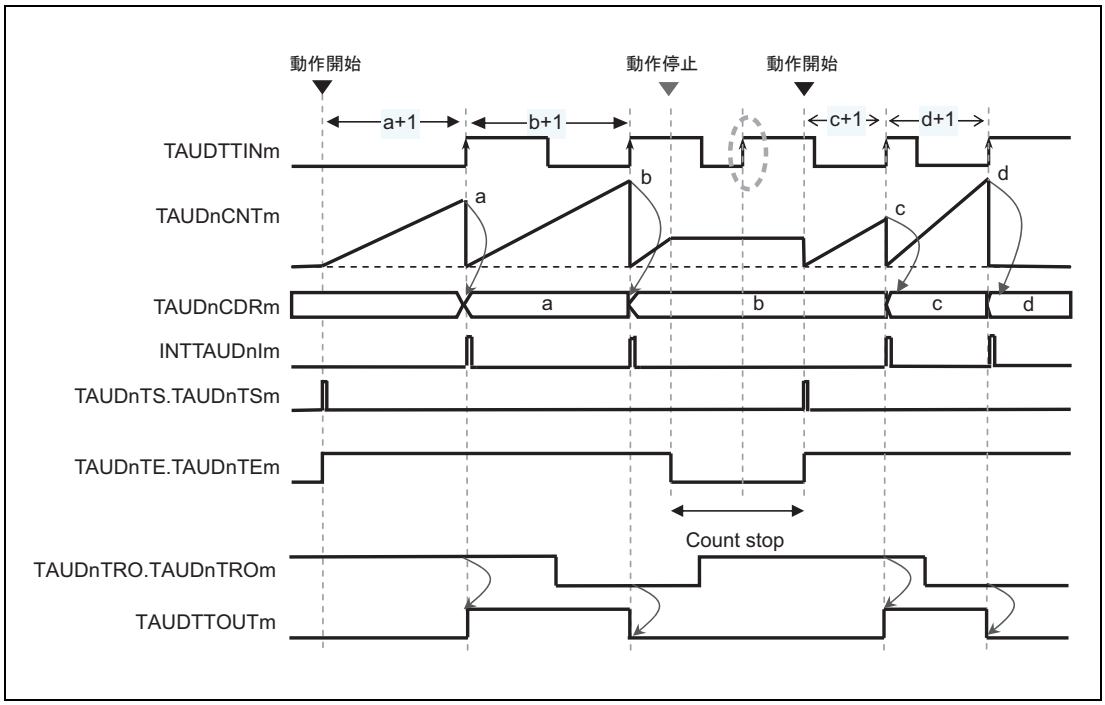


図 25.85　動作の開始と停止（TAUDnCMORm.TAUDnMD0 = 0）

- TAUDnTS.TAUDnTSm が “1” に設定され、カウンタがアップカウントを開始します。
- 有効な入力エッジが検出されると、カウンタの現在値がデータレジスタ（TAUDnCDRm）に書き込まれ、割り込みが発生します。
- TAUDTTOUTm はリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）の現在値を出力し、カウンタはリセットされ、アップカウントを再開します。
- TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。
- カウンタが停止している場合（TAUDnTE.TAUDnTEm ＝ 0）、有効な入力エッジは無視され、割り込みは発生しません。

25.14 チャネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

25.14.1 一斉書き換えトリガ生成機能タイプ 1

25.14.1.1 概要

概要

下位チャネルが一斉書き換えトリガとして使用できる割り込みを、特定チャネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャネルは一斉書き換えトリガを生成するチャネル（TAUDnRDC.TAUDnRDCm = 1）、下位チャネルは上位チャネルのトリガを受けて一斉書き換えを行うチャネル（TAUDnRDC.TAUDnRDCm = 0）です。

前提条件

- 上位チャネルとして使用するチャネルより下位の 2 チャネル以上で、それぞれ一斉書き換えが許可されている（TAUDnRDE.TAUDnRDEm = 1）
- 上位チャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.129　一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容」**参照）。
- 下位チャネルに設定可能な動作モードは、**「表 25.46　チャネル機能と一斉書き換え方法」**を参照してください。
- この機能では、TAUDTTOUTm はいずれのチャネルでも使用しません。

機能説明

上位チャネル、下位チャネルのチャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャネルのデータレジスタバッファ（TAUDnCDRm buf）の現在値がカウンタ（TAUDnCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。下位チャネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000_H になると、そのチャネルで割り込みが発生します。対応する TAUDnCDRm バッファの現在値を TAUDnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャネルが一斉書き換えのトリガチャネルとして設定されていて（TAUDnRDC.TAUDnRDCm = 1）、さらにそれが上位チャネルである場合、一斉書き換えが可能な状態（TAUDnRSF.TAUDnRSFm = 1）にあるすべての下位チャネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUDnIm の発生を検出するチャネルは、該当チャネルに TAUDnRDC.TAUDnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャネルは、TAUDnRDC.TAUDnRDCm ビットを “0” に設定しておく必要があります。
- TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。**「25.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」**を参照してください。

25.14.1.2　算出式

一斉書き換えトリガの生成周期 = カウントクロック周期 ×（TAUDnCDRm ＋ 1）

一斉書き換えを制御するには、次の条件が満たされている必要があります。

［PWM の場合］

TAUDnCDRm = [（一斉書き換え対象マスタチャネルの TAUDnCDRm 値＋ 1）× 割り込み数] － 1

［三角波 PWM の場合］

TAUDnCDRm = [（一斉書き換え対象マスタチャネルの TAUDnCDRm 値＋ 1）× 2 × 割り込み数] － 1

つまり、TAUDnCDRm + 1 と一斉書き換え対象マスタチャネルの TAUDnCDRm 値 + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

25.14.1.3　ブロック図と基本タイミング図

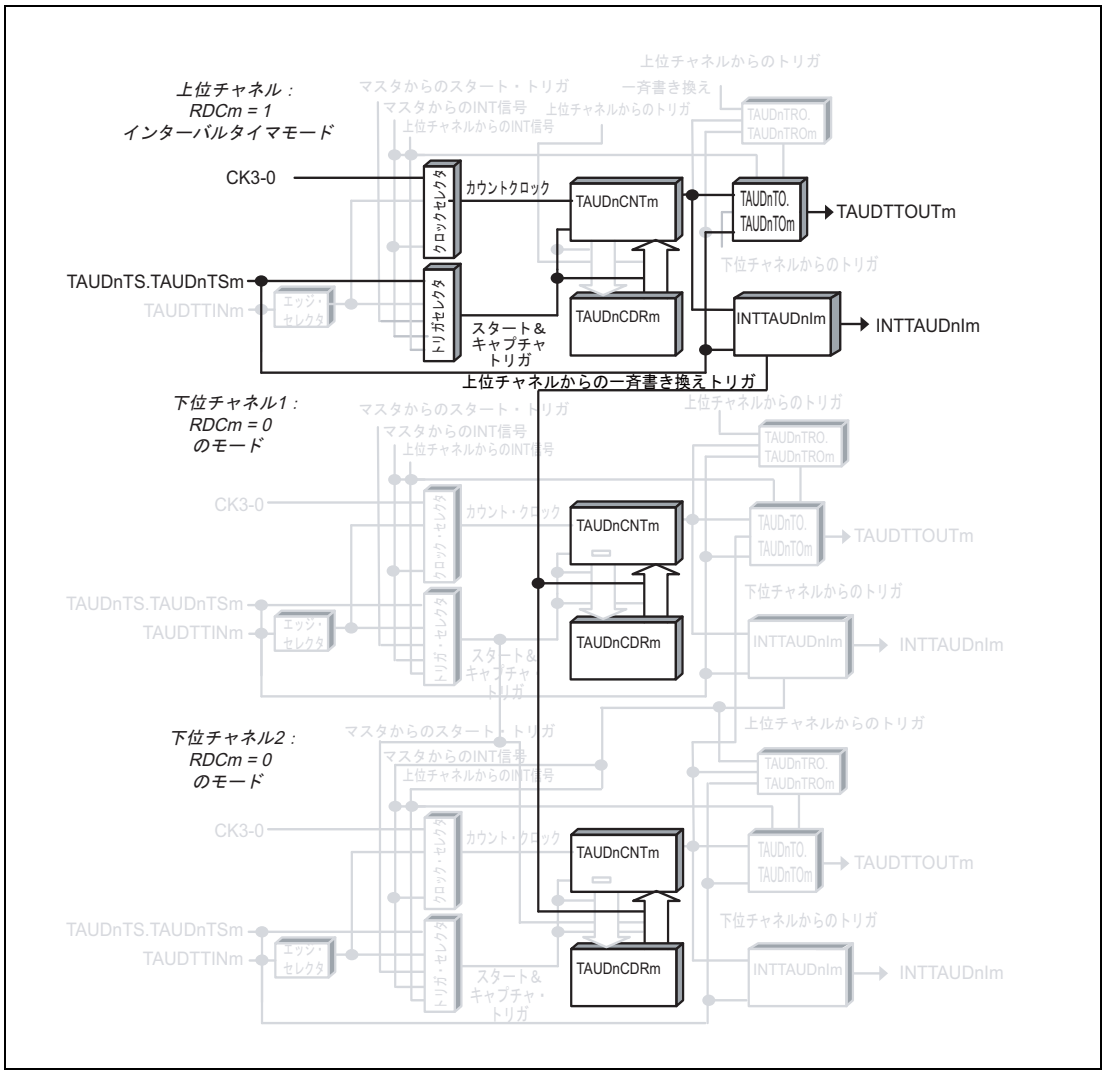


図 25.86　一斉書き換えトリガ生成機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0 = 1）

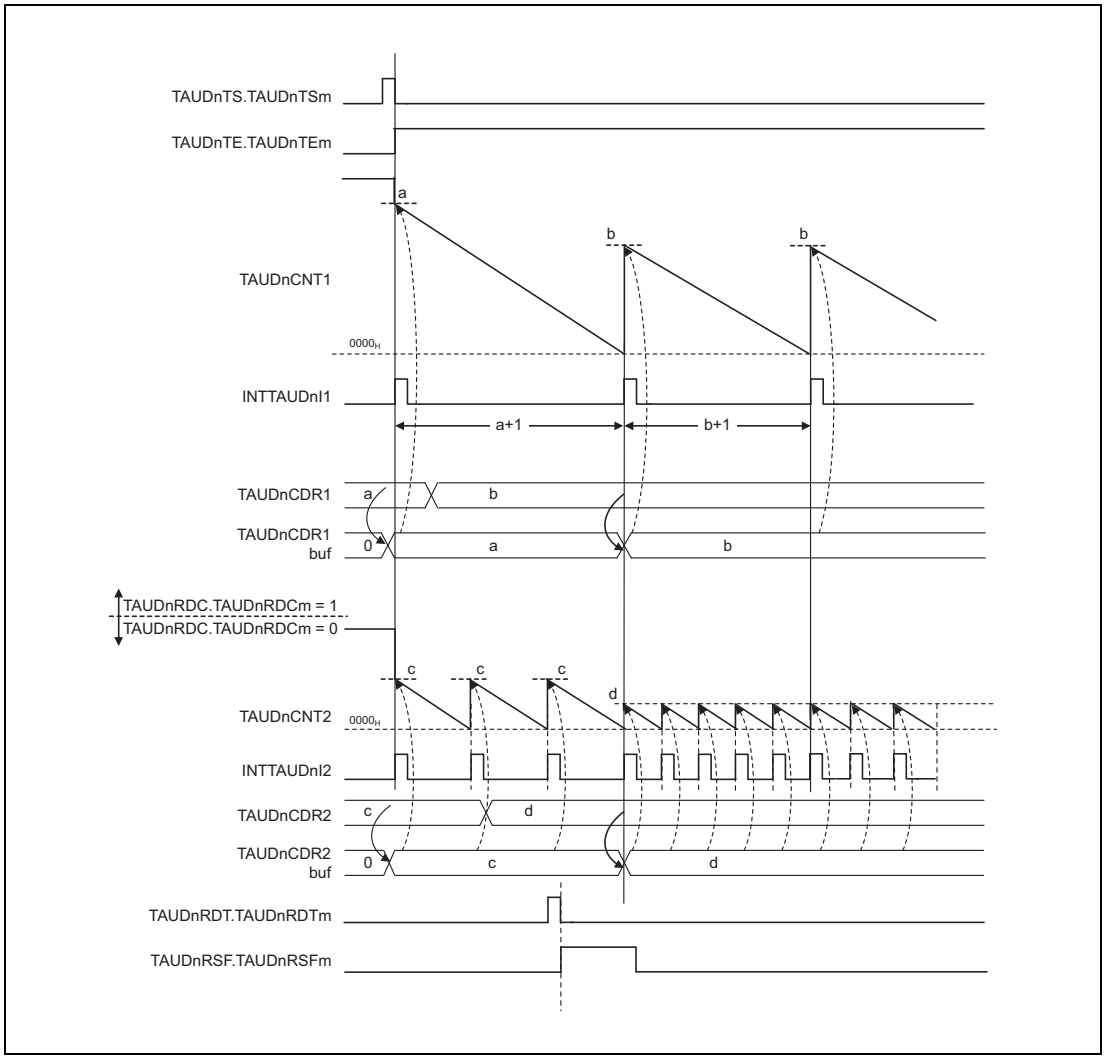


図 25.87　一斉書き換えトリガ生成機能タイプ 1 の基本タイミング図

25.14.1.4　上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.129　一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.130　一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 上位チャネルの一斉書き換え

表 25.131　一斉書き換えトリガ生成機能タイプ 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	1：チャネルで一斉書き換えのトリガとなる INTTAUDnIm 信号をモニタ

25.14.1.5　下位チャネルのレジスタ設定

(1) 下位チャネルの TAUDnCMORm

下位チャネルの TAUDnCMORm レジスタは、設定可能な動作モードの TAUDnCMORm レジスタ設定に従ってください（**「表 25.46　チャネル機能と一斉書き換え方法」**を参照してください）。

(2) 下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは、設定可能な動作モードの TAUDnCMURm レジスタ設定に従ってください（**「表 25.46　チャネル機能と一斉書き換え方法」**を参照してください）。

(3) 下位チャネルのチャネル出力モード

下位チャネルの記載（マスタ、スレーブ）設定に従った出力が可能です。一斉書き換えトリガ生成機能タイプ 1 が使用可能な機能については、**「表 25.45　一斉書き換え方法とトリガタイミング」**を参照してください。

(4) 下位チャネルの一斉書き換え

表 25.132　一斉書き換えトリガ生成機能タイプ 1 時の下位チャネル一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

25.14.1.6　一斉書き換えトリガ生成機能タイプ 1 の操作手順

表 25.133　一斉書き換えトリガ生成機能タイプ 1 の操作手順

	操作	TAUDn の状態
チャネルの初期設定	上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「表 25.129　一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容」**と**「表 25.130　一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMURm レジスタの内容」**に示すように設定します。 下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「25.14.1.5　下位チャネルのレジスタ設定」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生します。
動作中	TAUDnRDT.TAUDnRDTm、TAUDnCDR.TAUDnCDRm は変更可能です。TAUDnRSF.TAUDnRSFm は常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 • INTTAUDnIm が発生します。 TAUDnRDC.TAUDnRDCm が “1” に設定されているチャネルで INTTAUDnIm が発生すると、一斉書き換えが制御されます。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

動作再開

25.14.2　一斉書き換えトリガ生成機能タイプ 2

25.14.2.1　概要

概要

下位チャネルが一斉書き換えトリガとして使用できる割り込みを、特定チャネル上で発生する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャネルは一斉書き換えトリガを生成するチャネル（TAUDnRDC.TAUDnRDCm = 1）、下位チャネルは上位チャネルのトリガを受けて一斉書き換えを行うチャネル（TAUDnRDC.TAUDnRDCm = 0）です。

前提条件

- 上位チャネルとして使用するチャネルより下位の 2 チャネル以上で、それぞれ一斉書き換えが許可されている（TAUDnRDE.TAUDnRDEm = 1）
- 上位チャネルの動作モードは、キャプチャモードに設定する必要があります（**「表 25.134　一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容」**参照）。
- 下位チャネルに設定可能な動作モードは、**「表 25.46　チャネル機能と一斉書き換え方法」**を参照してください。

機能説明

上位チャネル、下位チャネルのチャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャネルのカウンタがアップカウントを開始し、下位チャネルのカウンタは選択されている動作モードにしたがってカウントを開始します。

上位チャネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、下位チャネルでトリガ検出による割り込みが発生します。

上位チャネルで TAUDnRDC.TAUDnRDCm = 1 の場合、一斉書き換えが可能な状態（TAUDnRSF.TAUDnRSFm = 1）にあるすべての下位チャネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUDnIm の発生を検出するチャネルは、該当チャネルに TAUDnRDC.TAUDnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャネルは、TAUDnRDC.TAUDnRDCm ビットを “0” に設定しておく必要があります。

- TAUDnCMORm.TAUDnMD0 ビットを “1” に設定した場合、動作開始時に割り込みが発生します。詳細は**「25.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」**を参照してください。

25.14.2.2　ブロック図と基本タイミング図

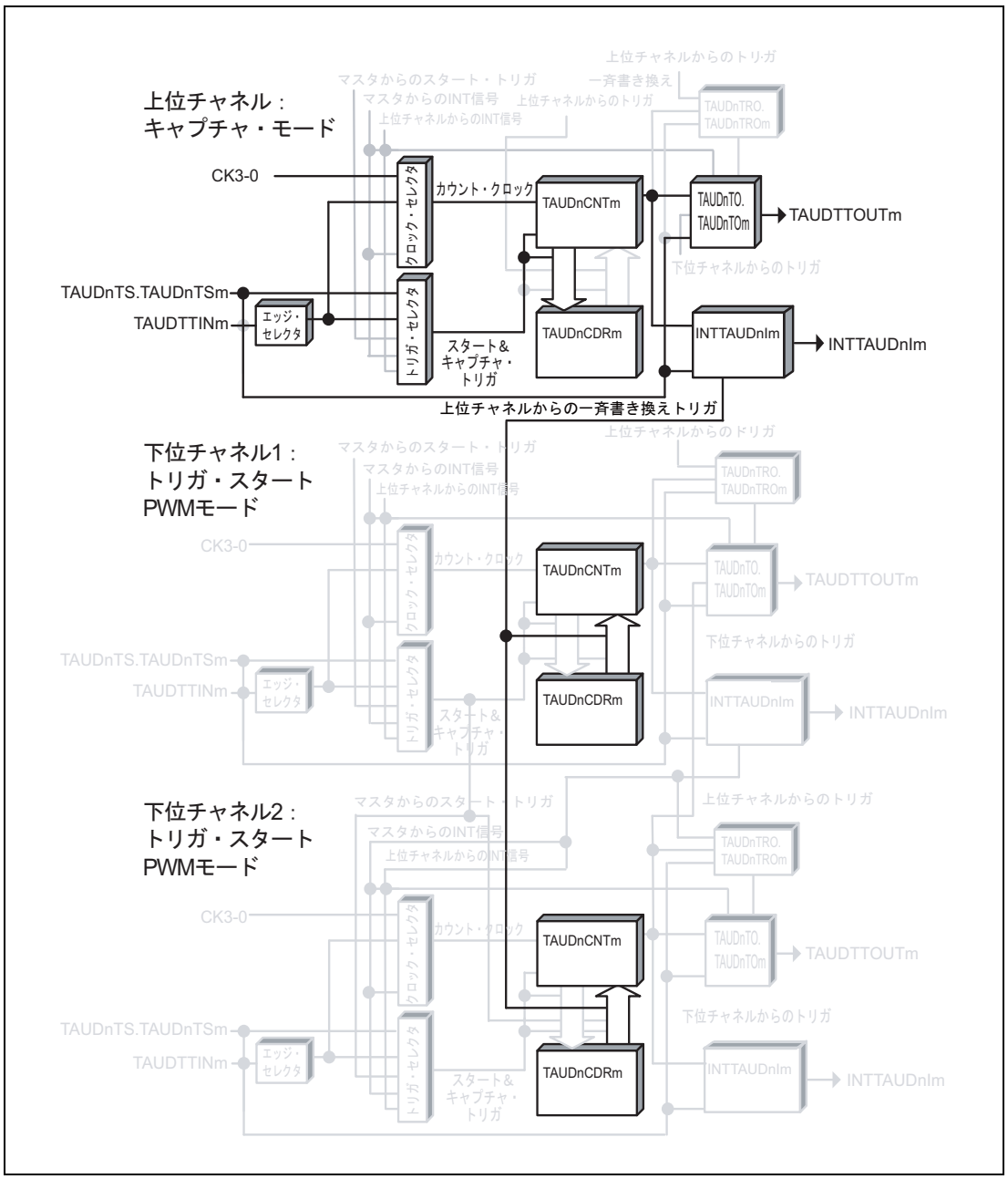


図 25.88　一斉書き換えトリガ生成機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0 = 1）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）
- 上位チャネル（CH1）が一斉書き換えトリガを生成

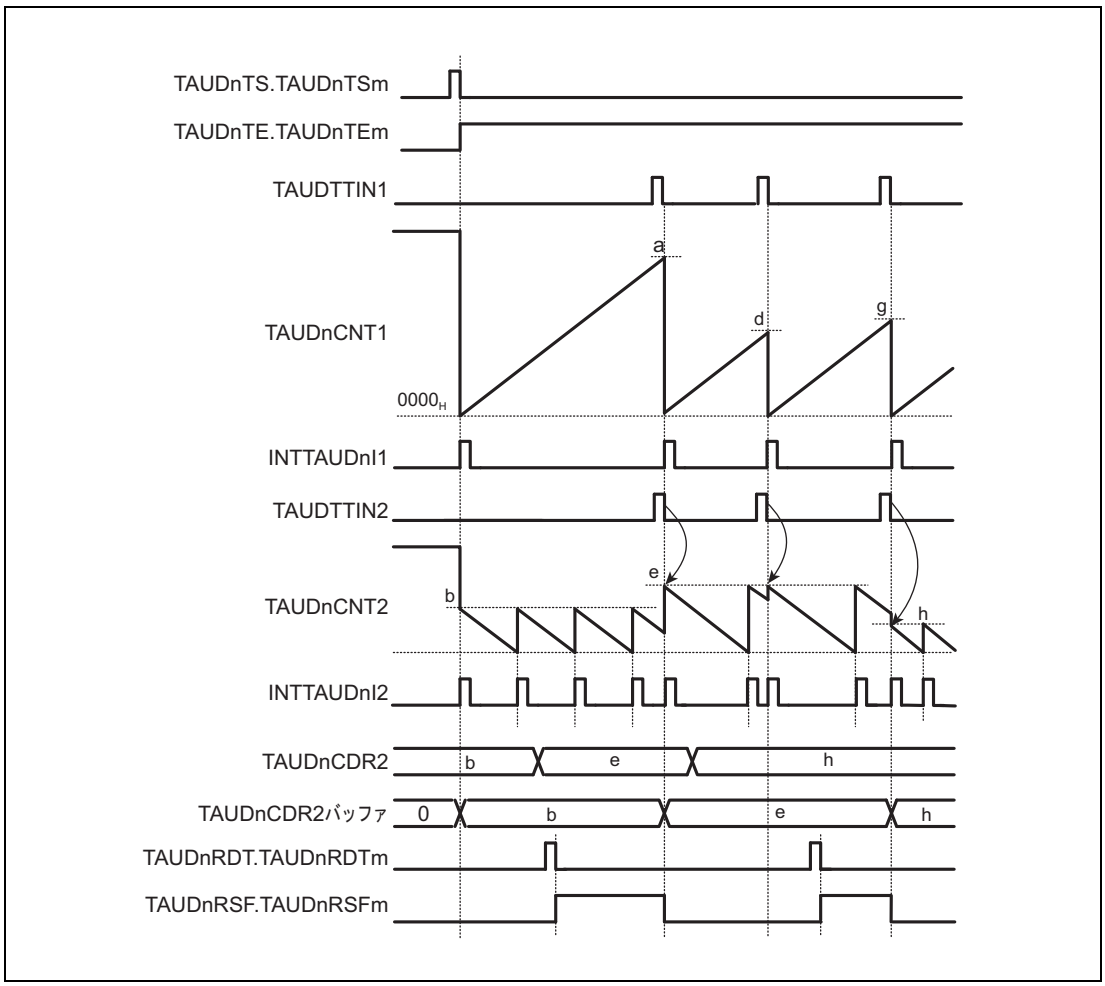


図 25.89　一斉書き換えトリガ生成機能タイプ 2 の基本タイミング図

25.14.2.3　上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.134　一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0” を設定
10 ～ 8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.135　一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 上位チャネルの一斉書き換え

表 25.136　一斉書き換えトリガ生成機能タイプ 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	1：チャネルで一斉書き換えのトリガとなる INTTAUDnIm 信号をモニタ

25.14.2.4　下位チャネルのレジスタ設定

(1) 下位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.137　一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2) 下位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.138　一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) 下位チャネルのチャネル出力モード

トリガスタート PWM モード設定にしたがった出力が可能です。

(4) 下位チャネルの一斉書き換え

表 25.139　一斉書き換えトリガ生成機能タイプ 2 時の下位チャネル一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

25.14.2.5　一斉書き換えトリガ生成機能タイプ 2 の操作手順

表 25.140　一斉書き換えトリガ生成機能タイプ 2 の操作手順

		操作	TAUDn の状態
	チャネルの初期設定	上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「表 25.134　一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容」**と**「表 25.135　一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMURm レジスタの内容」**に示すように設定します。 下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「表 25.137　一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMORm レジスタの内容」**と**「表 25.138　一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作再開	動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCNTm が 0000_H にクリアされます。 TAUDnCMORm.TAUDnMD0 が “1” の場合は、INTTAUDnIm が発生します。
	動作中	TAUDnRDT.TAUDnRDTm は任意のタイミングで設定可能です。 TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。	TAUDnCNTm は、0000_H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： • TAUDnCNTm が自身の値を TAUDnCDRm に転送（キャプチャ）して、0000_H に戻ります。 • INTTAUDnIm が発生します。 TAUDnRDC.TAUDnRDCm が “1” に設定されているチャネルで INTTAUDnIm が発生すると、一斉書き換えが制御されます。 以降、この動作を繰り返します。
	動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

25.15 チャネル連動動作機能

この節では、TAUD のチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、**「25.2　概要」**を参照してください。

この節では、一定間隔で PWM 信号を発生させる機能について述べます。

25.15.1 PWM 出力機能

25.15.1.1 概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.141　PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（**「表 25.144　PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容」**参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。TAUDnCDRm 値を TAUDnCNTm にロードし、ダウンカウントを行います。
- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUDnCDRm（スレーブ）の現在値が TAUDnCNTm（スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
  TAUDTTOUTm 信号がアクティブレベルに設定されます。
  カウンタ値が 0000_H になると（デューティ時間が経過すると）INTTAUDnIm が発生し、TAUDTTOUTm 信号がインアクティブレベルに設定されます。カウンタは $FFFF_H$ に戻

り、マスタチャネルの次の INTTAUDnIm（次のパルス周期の開始）を待ちます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。**「25.6　一斉書き換え」**を参照してください。

25.15.1.2　算出式

パルス周期 =（TAUDnCDRm（マスタ）＋ 1）× カウントクロック周期

デューティサイクル [%] =（TAUDnCDRm（スレーブ）／（TAUDnCDRm（マスタ）+ 1））× 100

- デューティサイクル = 0%
  TAUDnCDRm（スレーブ）= 0000_H
- デューティサイクル = 100%
  TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）＋ 1

25.15.1.3　ブロック図と基本タイミング図

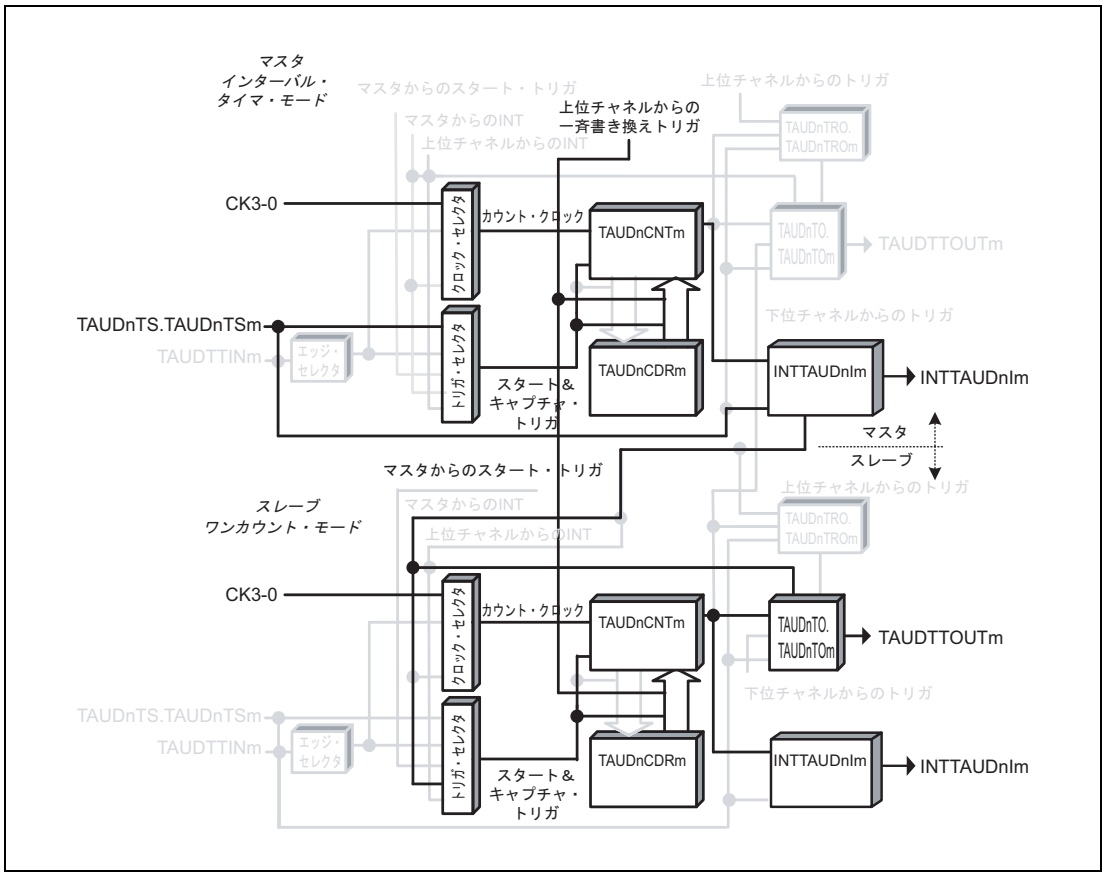


図 25.90　PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル：正論理（TAUDnTOL.TAUDnTOLm = 0）

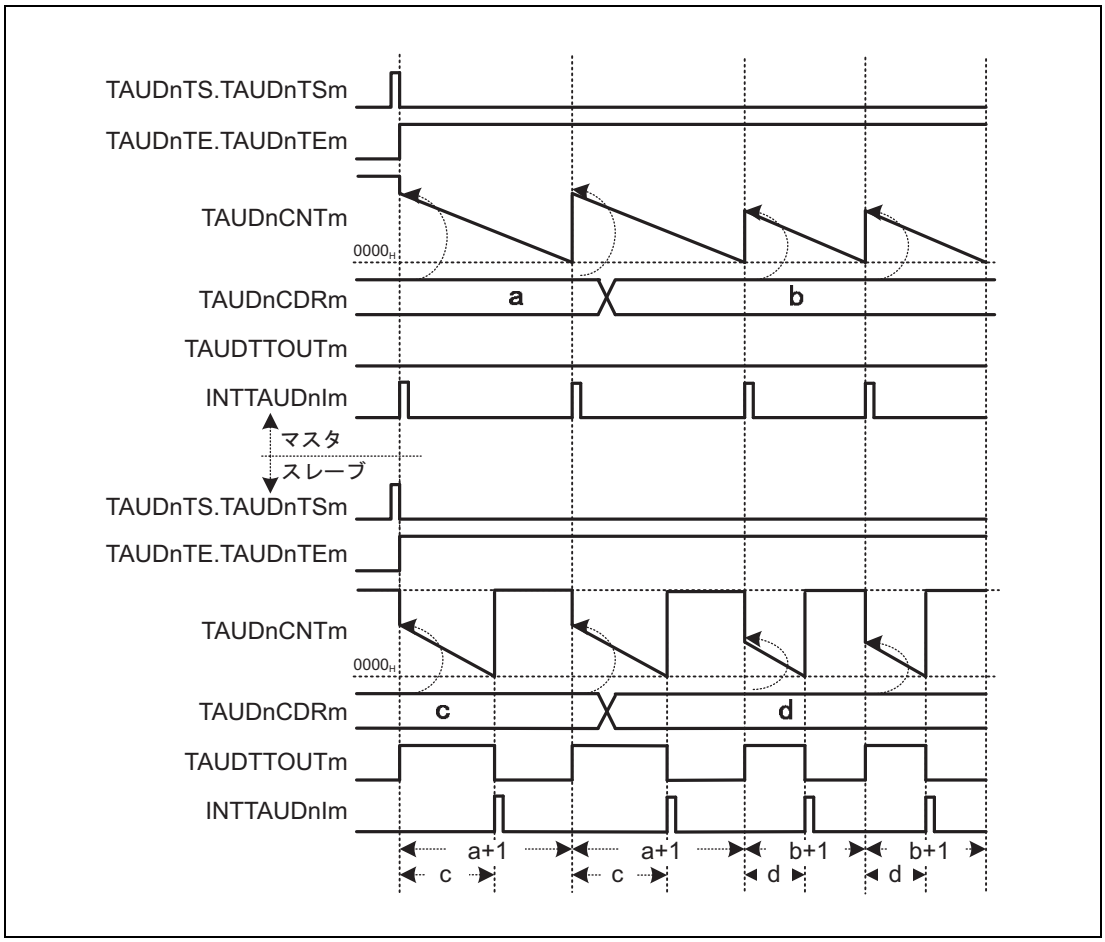


図 25.91　PWM 出力機能の基本タイミング図

備　考

- カウント開始から割り込み発生までの間隔は対応するTAUDnCDRm+1の値になります。
- スレーブチャネルの TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

25.15.1.4　マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.141　PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.142　PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.143　PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUDnRDS.TAUDnRDSm ビット =1 で使用する場合、マスタチャネルの上位に**「25.14.1　一斉書き換えトリガ生成機能タイプ 1」**で動作するチャネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャネル：TAUDnRDCm = 1、TAUDnRDSm = 1
  また、本チャネルの TAUDnCDRm 設定値は下記となります。
  =（(一斉書き換え対象のマスタチャネルの TAUDnCDRm 設定値 +1）× 割り込み回数）–1
- マスタチャネル：TAUDnRDCm = 0、TAUDnRDSm = 1
- スレーブチャネル：TAUDnRDCm = 0、TAUDnRDSm = 1

TAUDnCDRm（スレーブ）の設定値＞ TAUDnCDRm（マスタ）の設定値＋ 1 の場合は、Duty 値が 100%を超えることになるが、集約し 100%出力とする。

25.15.1.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.144 PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.145 PWM 出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネルのチャネル出力モード

表 25.146　チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.147　PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.1.6　PWM 出力機能の操作手順

表 25.148　PWM 出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.1.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル :TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.1.5　スレーブチャネルのレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が “1” に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）が設定されます。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnTOL.TAUDnTOLm は変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUDnIm（マスタ）が発生します。 • TAUDnCDRm 値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 • TAUDnCDRm 値を TAUDnCNTm（スレーブ）にロードし、ダウンカウントを行います。 • TAUDTTOUTm（スレーブ）がアクティブレベルに設定されます。 TAUDnCNTm（スレーブ）が 0000_H になった場合： • INTTAUDnIm（スレーブ）が発生します。 • TAUDTTOUTm（スレーブ）がインアクティブレベルに設定されます。また、スレーブチャネルのカウント動作が停止します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.15.1.7　特定の設定時のタイミング図

(1) デューティサイクル = 0%

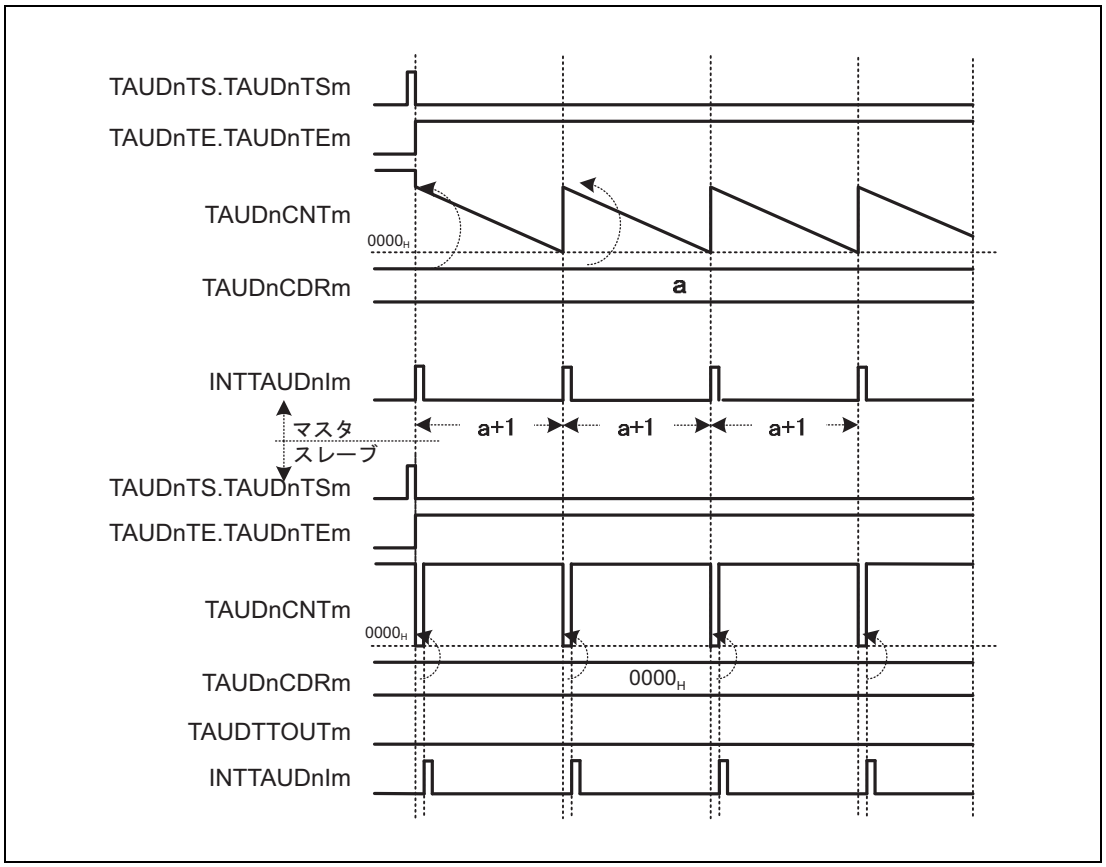


図 25.92　TAUDnCDRm（スレーブ）= 0000_H、正論理（TAUDnTOL.TAUDnTOLm（スレーブ）= 0）

- マスタチャネルで割り込み（INTTAUDnIm）が発生するたびに、TAUDnCNTm（スレーブ）に 0000_H がロードされます。したがって、スレーブチャネルの割り込み INTTAUDnIm）が同時発生し、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDnCDRm 値を TAUDnCNTm（スレーブ）にロードし、割り込みを発生させます。

(2) デューティサイクル = 100%

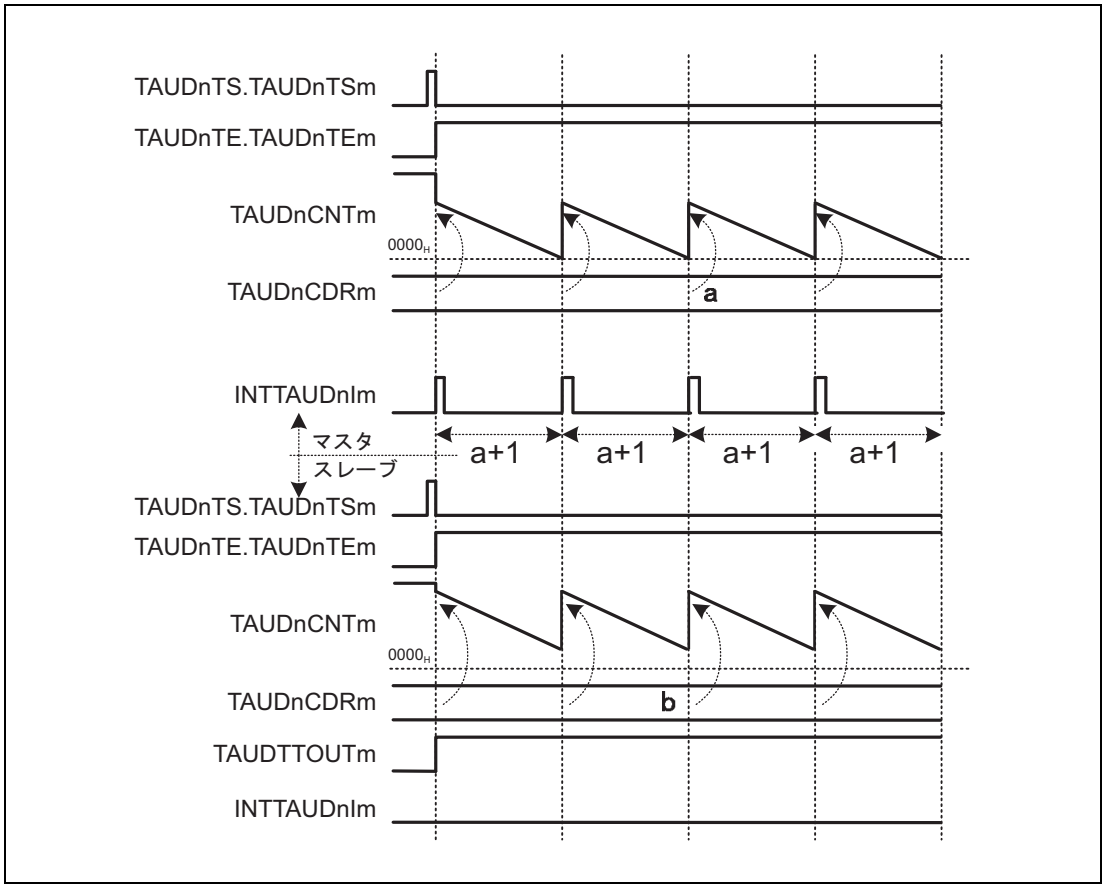


図 25.93　TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）+ 1
正論理（TAUDnTOL.TAUDnTOLm（スレーブ）= 0）

- TAUDnCDRm（スレーブ）値が TAUDnCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは 0000_H にならないため、割り込みが発生しません。
  TAUDTTOUTm はアクティブ状態のままになります。

(3) 動作の停止と再開

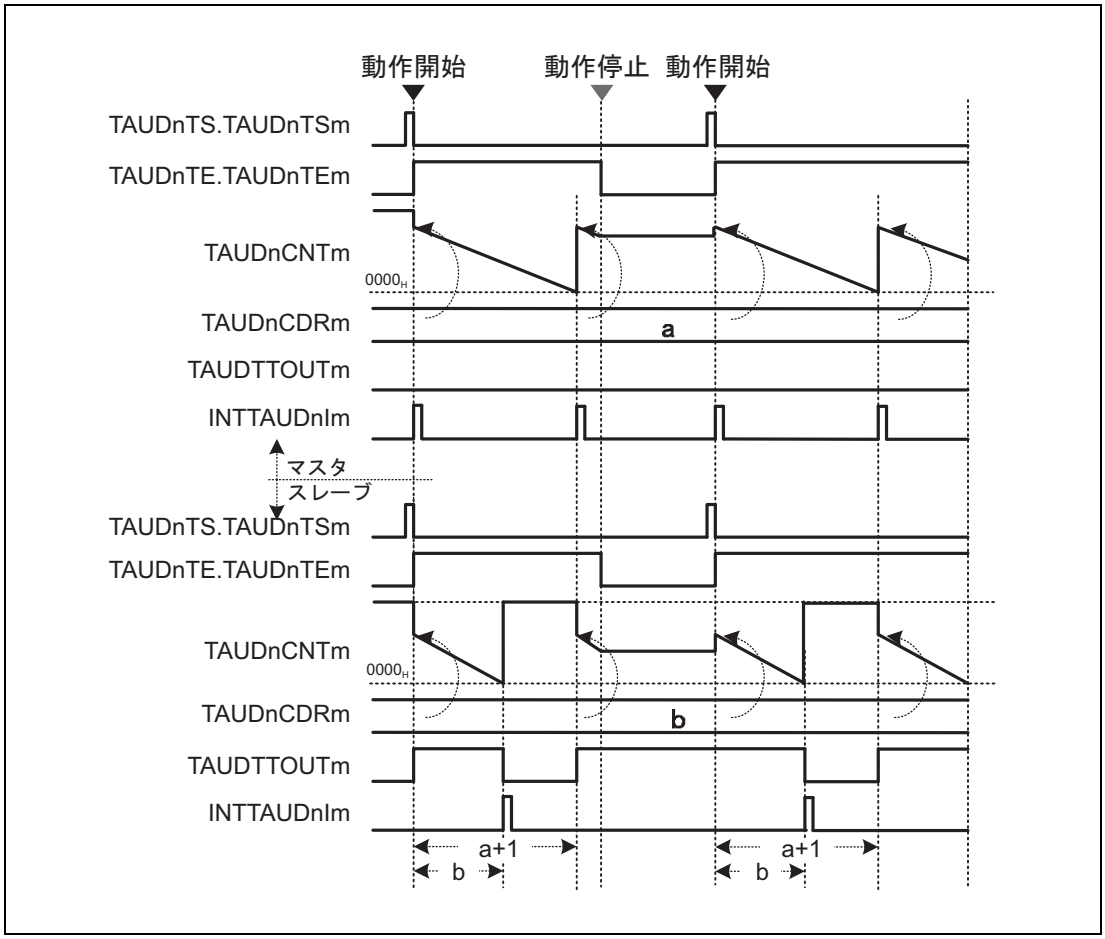


図 25.94 動作の停止と再開
正論理（TAUDnTOL.TAUDnTOLm（スレーブ）= 0）

- マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- 全チャネルの TAUDnCNTm と TAUDTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ／スレーブチャネルの TAUDnTS.TAUDnTSm を “1” に設定すると、カウンタ動作を再開できます。マスタ／スレーブチャネルの TAUDnCDRm 値を TAUDnCNTm にロードし、この値からダウンカウントを開始します。

25.15.2　ワンショットパルス出力機能

25.15.2.1　概要

概要

マスタチャネルとスレーブチャネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャネルで設定します。パルス幅はスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、ワンカウントモードに設定する必要があります（**「表 25.149　ワンショットパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、パルスワンカウントモードに設定する必要があります（**「表 25.152　ワンショットパルス出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容」**参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- TAUDTTINm（マスタ）は、TAUDnCNTm（マスタ）と TAUDnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャネルからの割り込みでのみトリガされ、TAUDTTINm（スレーブ）ではトリガされません。

機能説明

マスタチャネル、スレーブチャネルのチャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

- マスタチャネル：
  次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。カウンタは、この TAUDnCDRm 値からダウンカウントを開始します。TAUDnCMORm.TAUDnMD0 = 0 の場合、遅延時間内に検出されたトリガ（TAUDTTINm）は無視されます。
  マスタチャネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。カウンタは $FFFF_H$ に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。
- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUDnCDRm（スレーブ）の現在値が TAUDnCNTm（スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm 信号がセットされます。
  カウンタ値が 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタチャネルの次の INTTAUDnIm を待ちます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

カウント中に TAUDnTS.TAUDnTSm を “1” に設定すると、いったん停止しなくてもマスタチャネルのカウントを再開できます（強制リスタート）。

条件

- マスタチャネルの TAUDnCMORm.TAUDnMD0 が “0” に設定されている場合、カウント中に検出された TAUDTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。**「25.6　一斉書き換え」**を参照してください。

25.15.2.2　算出式

トリガ入力からパルス出力までの遅延時間

= （TAUDnCDRm（マスタ）+ 1）× カウントクロック周期

パルス幅 = （TAUDnCDRm（スレーブ））× カウントクロック周期

25.15.2.3　ブロック図と基本タイミング図

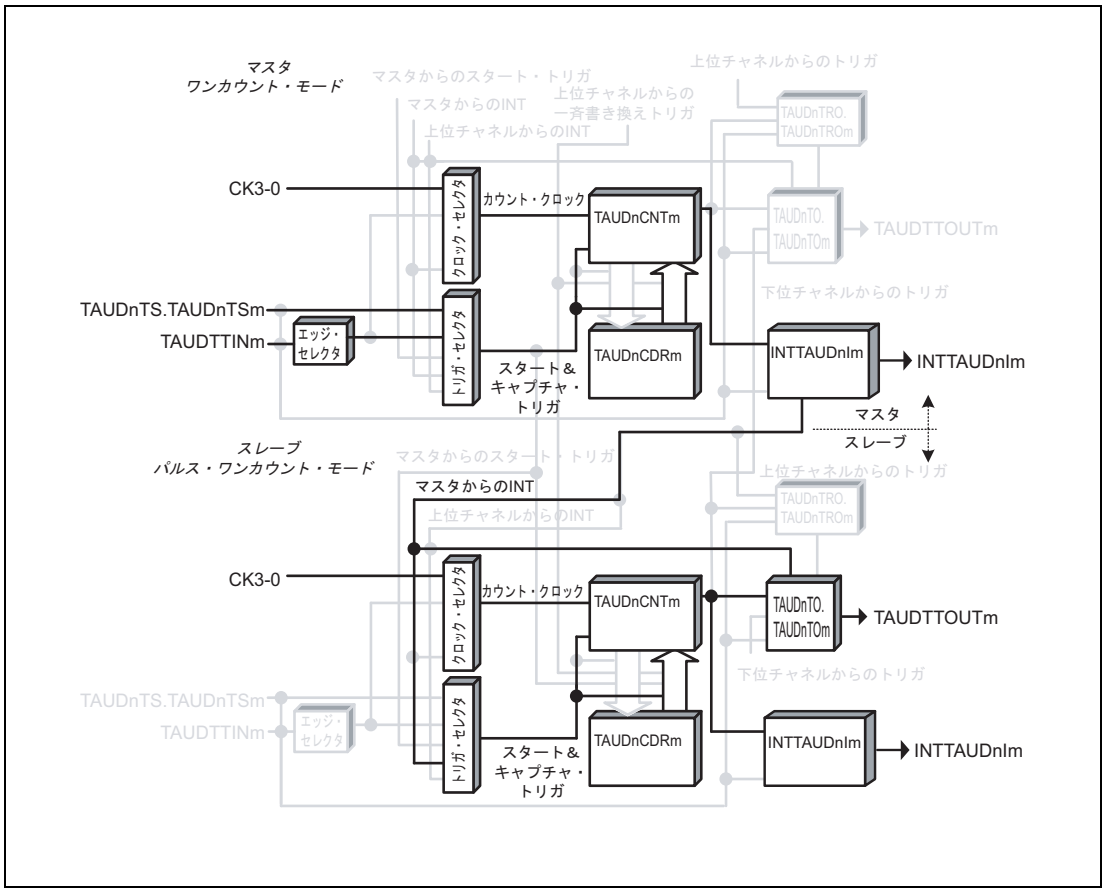


図 25.95　ワンショットパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUDnCMORm.TAUDnMD0 = 0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

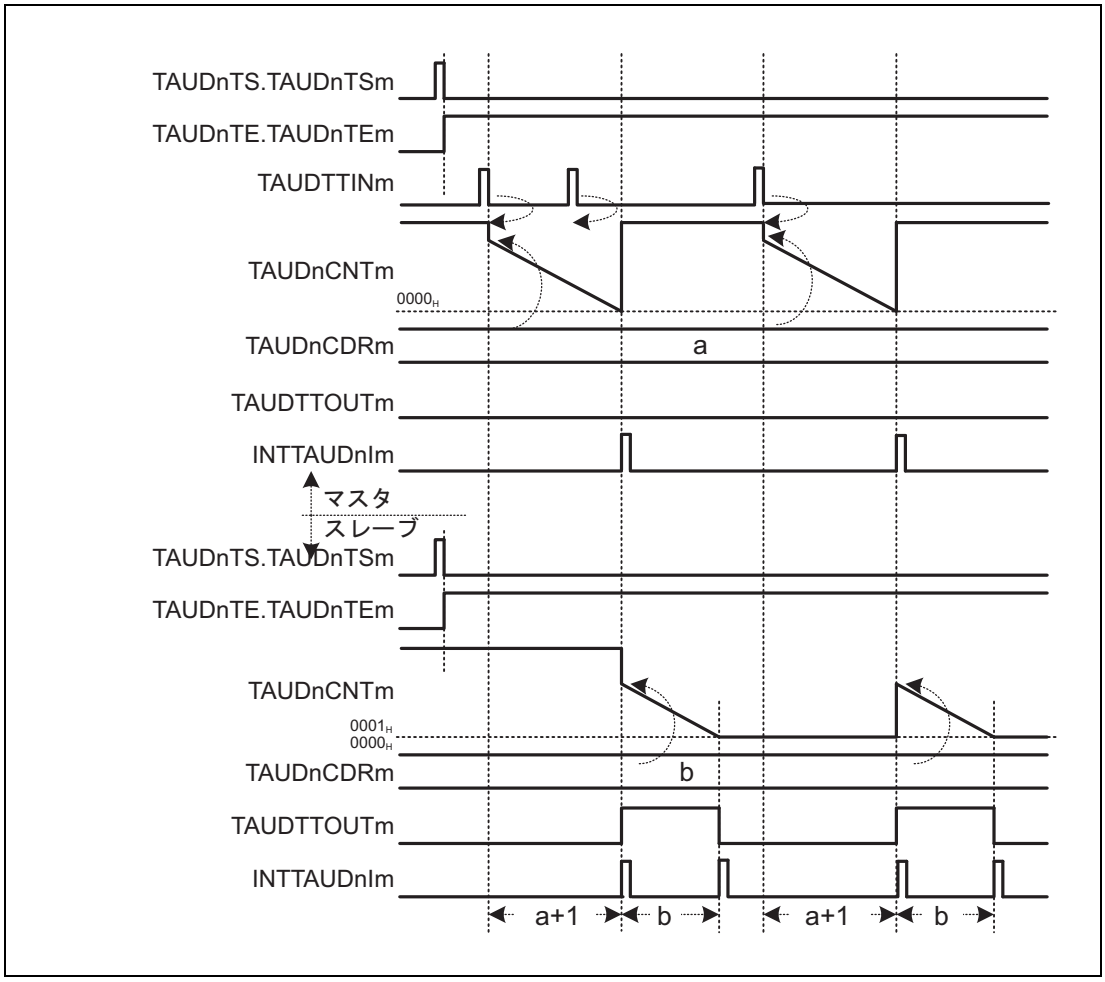


図 25.96　ワンショットパルス出力機能の基本タイミング図

25.15.2.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.149 ワンショットパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.150 ワンショットパルス出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.151　ワンショットパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.2.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.152 ワンショットパルス出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.153 ワンショットパルス出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネルの出力モード

表 25.154　チャネル単体出力モード 2 のときの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.155　ワンショットパルス出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.2.6　ワンショットパルス出力機能時の操作手順

表 25.156　ワンショットパルス出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.2.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.2.5　スレーブチャネルのレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が “1” に設定され、マスタチャネルは TAUDTTINm 入力を待ちます。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	TAUDTTINm 入力の有効エッジを検出すると、マスタチャネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUDnIm（マスタ）が発生します。 • TAUDnCNTm（マスタ）は $FFFF_H$ に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。 • 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードし、ダウンカウント動作を開始します。 • INTTAUDnIm（スレーブ）が発生します。 • TAUDTTOUTm（スレーブ）がアクティブレベルになります。 TAUDnCNTm（スレーブ）が 0001_H になった場合： • INTTAUDnIm（スレーブ）が発生します。 • TAUDTTOUTm（スレーブ）がインアクティブレベルになります。また、スレーブチャネルのカウント動作が停止します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.15.2.7　特定のタイミング図

(1) TAUDnCDRm（マスタ）= 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUDnCMORm.TAUDnMD0 = 0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

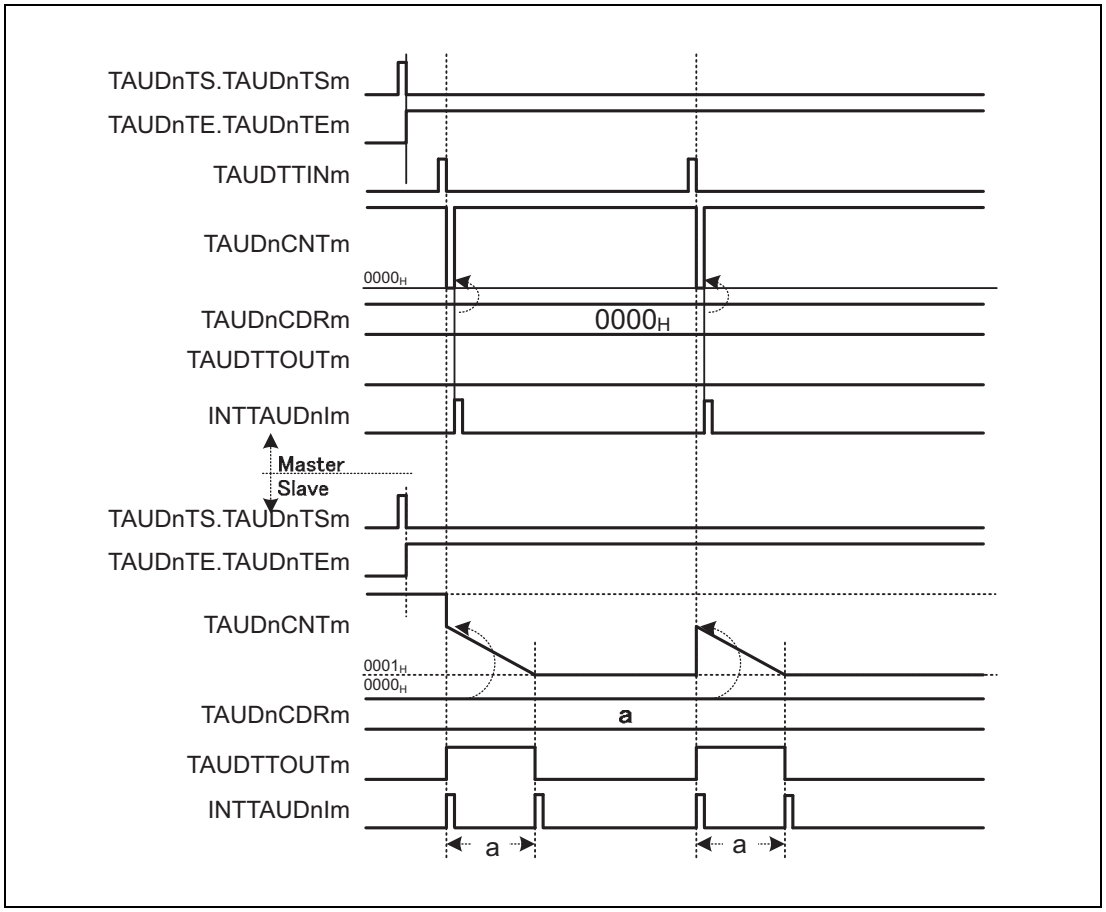


図 25.97　TAUDnCDRm（マスタ）= 0000_H

- 有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm（マスタ）に値 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行うと $FFFF_H$ に戻ります。
  したがって、スレーブチャネルのカウンタは TAUDTTINm（マスタ）から 1 カウントクロック遅れて、ダウンカウントを開始します。

(2) TAUDnCDRm（スレーブ）= 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUDnCMORm.TAUDnMD0 = 0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

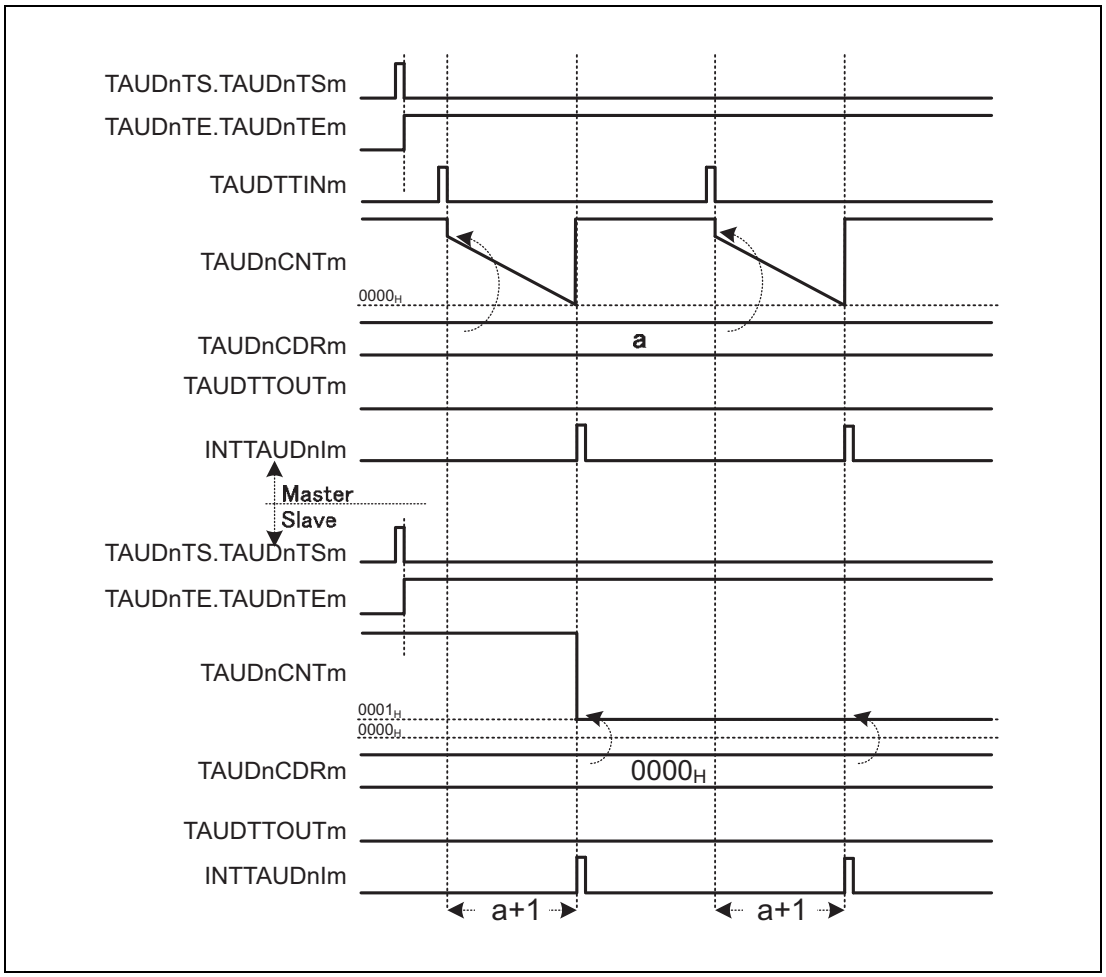


図 25.98 TAUDnCDRm（スレーブ）= 0000_H

- パルス幅が “0” のため、TAUDTTOUTm は非アクティブ状態のままです。

(3) TAUDnCMORm.TAUDnMD0 = 1

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可（TAUDnCMORm.TAUDnMD0 = 1）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

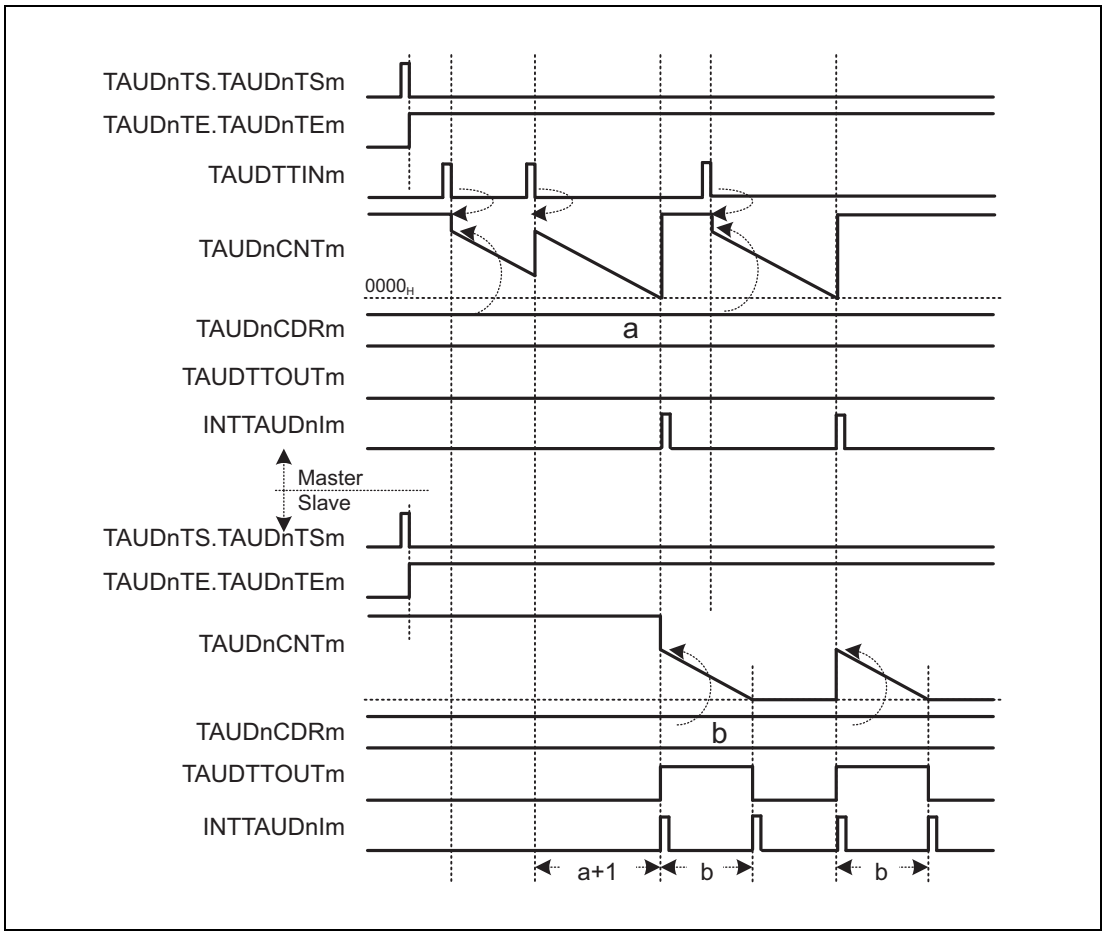


図 25.99 TAUDnCMORm.TAUDnMD0 = 1

- マスタチャネルのカウンタがダウンカウント中に TAUDTTINm 入力の有効エッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をリロードします。カウンタはダウンカウントを再開します。
  これは、TAUDTTINm 入力の有効エッジ検出時の TAUDnCNTm の値によってディレイが引き延ばされたことを意味します。

(4) スレーブチャネルカウント中にマスタチャネルがリスタート

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUDnCMORm.TAUDnMD0 = 0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

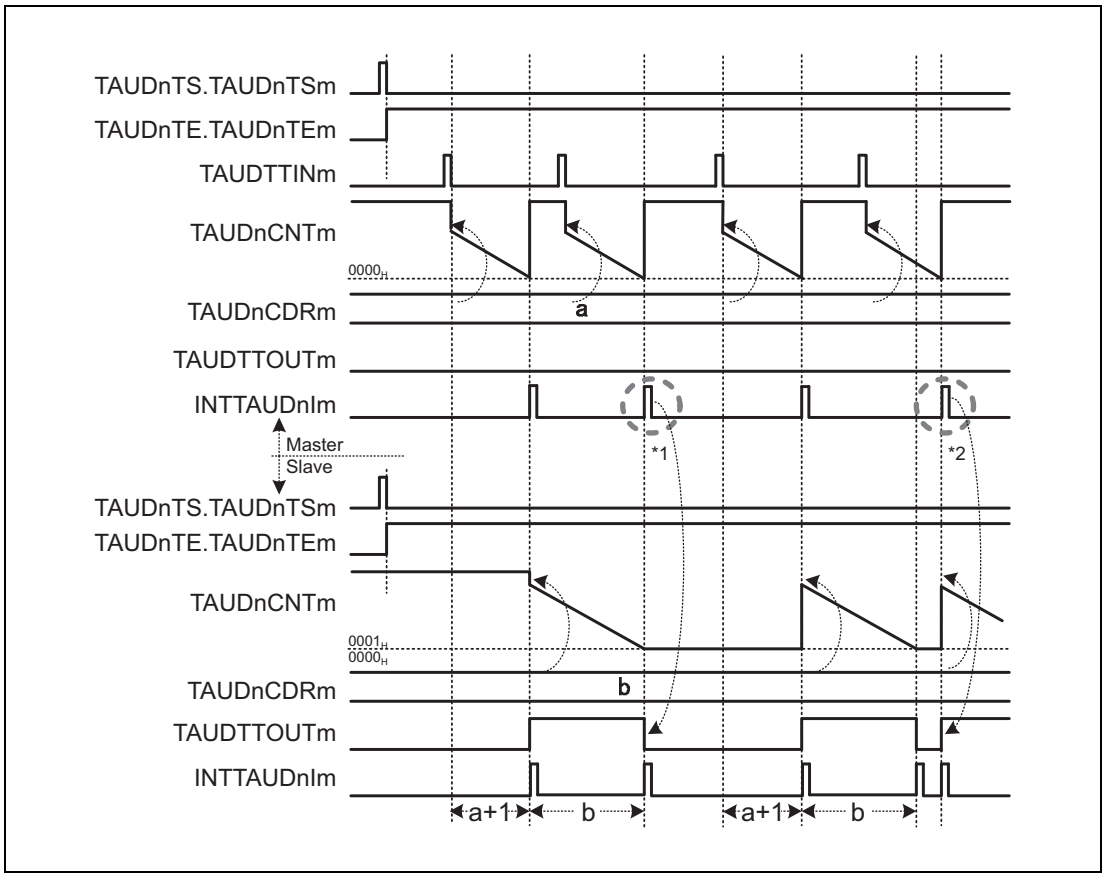


図 25.100 TAUDTTINm 入力間隔≦ディレイ時間 + パルス幅 +1

- スレーブチャネルのカウンタが 0001_H になる前またはちょうど 0001_H になったときにマスタチャネルが割り込みを発生した場合 (*1) は、割り込み（マスタ）が無視されます。
- スレーブチャネルのカウンタが次のトリガを待つ間にマスタチャネルの割り込みが発生した場合は、TAUDnCDRm（スレーブ）の値がリロードされます。割り込みが発生し、TAUDTTOUTm がトグルされます。TAUDnCNTm（スレーブ）がカウント中に TAUDnCNTm（マスタ）がダウンカウントを開始した場合 (*2) は、TAUDTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスを発生するには、マスタチャネルとスレーブチャネルがカウント中でなくスタートトリガ待ち状態のときにマスタチャネルのスタートトリガが検出される必要があります。

25.15.3　トリガスタート PWM 出力機能

25.15.3.1　概要

概要

マスタチャネルとスレーブチャネルを 1 つずつ使用して PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。トリガスタート PWM 出力機能は、有効な TAUDTTINm 入力エッジでマスタチャネルをリセット可能である点を除いて PWM 出力機能と同じです。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.157　トリガスタート PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（**「表 25.160　トリガスタート PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネルの出力モードは、チャネル連動出力モード 1 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ（マスタ／スレーブ）動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：
  TAUDnCDRm の現在値がカウンタ（TAUDnCNTm）にロードされ、INTTAUDnIm が発生し、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
  カウンタ値が 0000_H になりパルス周期が経過すると、INTTAUDnIm が発生し、TAUDnCDRm 値を TAUDnCNTm（マスタ／スレーブ）にロードします。
  有効な TAUDTTINm 入力エッジが検出されると、マスタチャネルのカウンタは TAUDnCDRm の現在値をロードしてダウンカウントを再開し、割り込みが発生します。
- スレーブチャネル：
  スレーブチャネルはマスタチャネルからの割り込みを検出すると、TAUDnCDRm の現在値からダウンカウントを開始します。TAUDTTOUTm 信号がアクティブレベルに設定されます。
  カウンタ値が 0000_H になると（デューティ時間が経過すると）、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUDnIm を待ちます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm は停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。**「25.6　一斉書き換え」**を参照してください。

25.15.3.2　算出式

パルス周期 =（TAUDnCDRm（マスタ）+ 1）× カウントクロック周期

デューティサイクル [%] = [TAUDnCDRm（スレーブ）／（TAUDnCDRm（マスタ）+ 1] × 100

- デューティサイクル = 0%
  TAUDnCDRm（スレーブ）= 0000_H
- デューティサイクル = 100%
  TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）+ 1

25.15.3.3　ブロック図と基本タイミング図

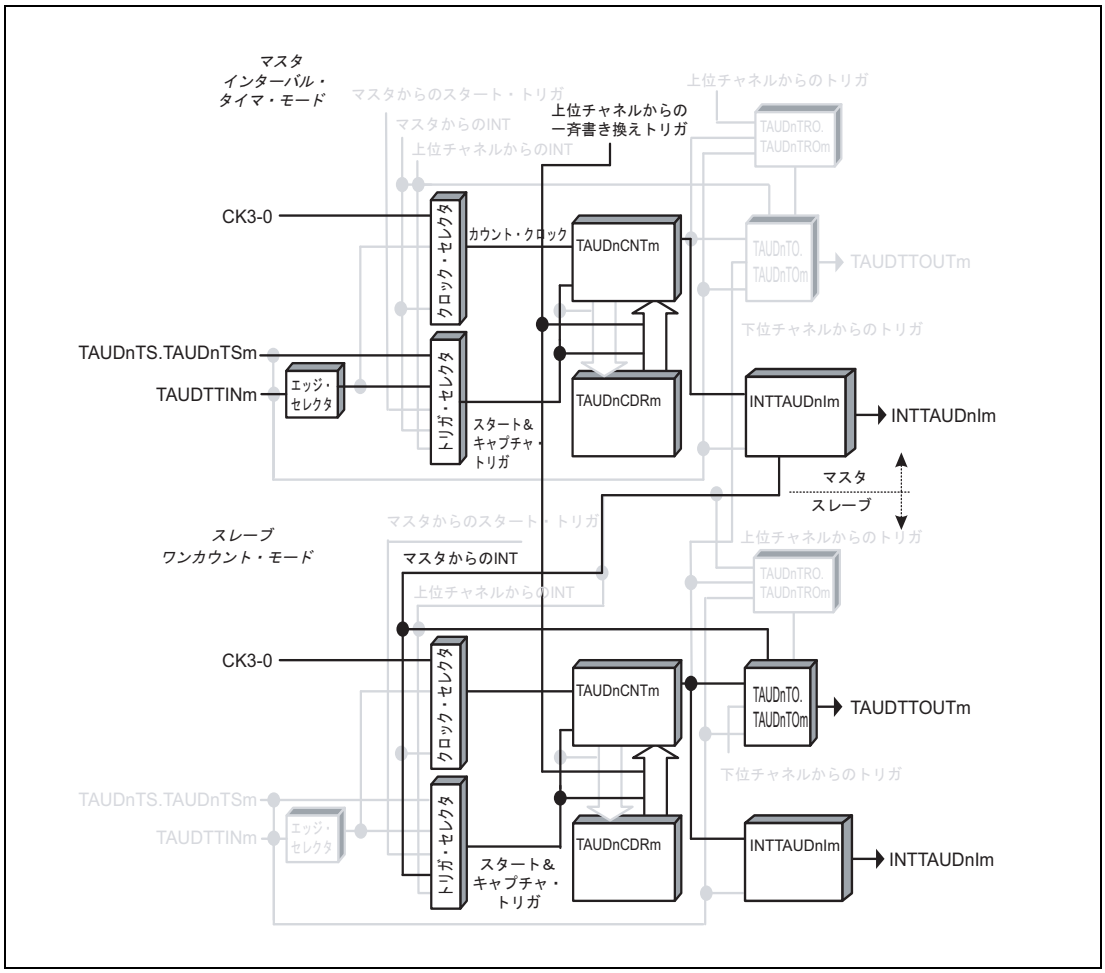


図 25.101　トリガスタート PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 01_B）
- 正論理（TAUDnTOL.TAUDnTOLm（スレーブ）= 0）

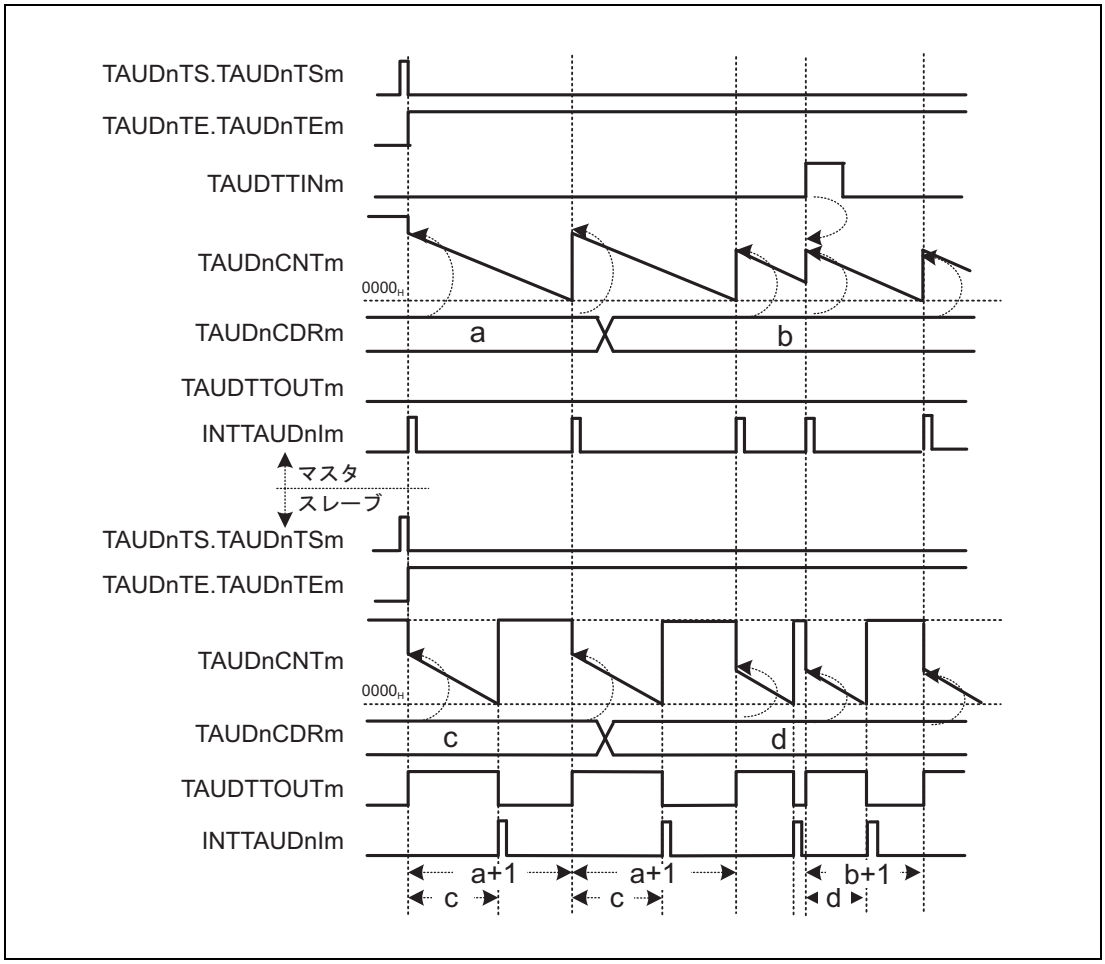


図 25.102　トリガスタート PWM 出力機能の基本タイミング図

備　考

スレーブチャネルの TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

25.15.3.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.157 トリガスタート PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.158 トリガスタート PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.159　トリガスタート PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.3.5　スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.160　トリガスタート PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効 マスタチャネルとスレーブチャネルの TAUDnMD[0] ビット値は同一である必要があります。

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.161　トリガスタート PWM 出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネルの出力モード

表 25.162　チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.163　トリガスタート PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.3.6　トリガスタート PWM 出力機能時の操作手順

表 25.164　トリガスタート PWM 出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.3.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル :TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.3.5　スレーブチャネルのレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が “1” に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUDnIm が発生します。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUDnIm（マスタ）が発生します。 • TAUDnCDRm 値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 • TAUDnCDRm 値を TAUDnCNTm（スレーブ）にロードし、ダウンカウント動作を開始します。 • TAUDTTOUTm（スレーブ）が設定されます。 スレーブチャネルの TAUDnCNTm が 0000_H になった場合： • INTTAUDnIm（スレーブ）が発生します。 • TAUDTTOUTm（スレーブ）がインアクティブレベルに設定されます。また、スレーブチャネルのカウント動作が停止します。 マスタチャネルの TAUDnCNTm がダウンカウント中にマスタチャネルで TAUDTTINm 入力が検出された場合： • TAUDnCNTm（マスタ／スレーブ）は TAUDnCDRm 値をロードし、ダウンカウントを行います。 • INTTAUDnIm（マスタ）が発生します。 • TAUDTTOUTm（スレーブ）がアクティブレベルに設定されます。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.15.3.7 特定の設定時のタイミング図

(1) デューティサイクル = 0%

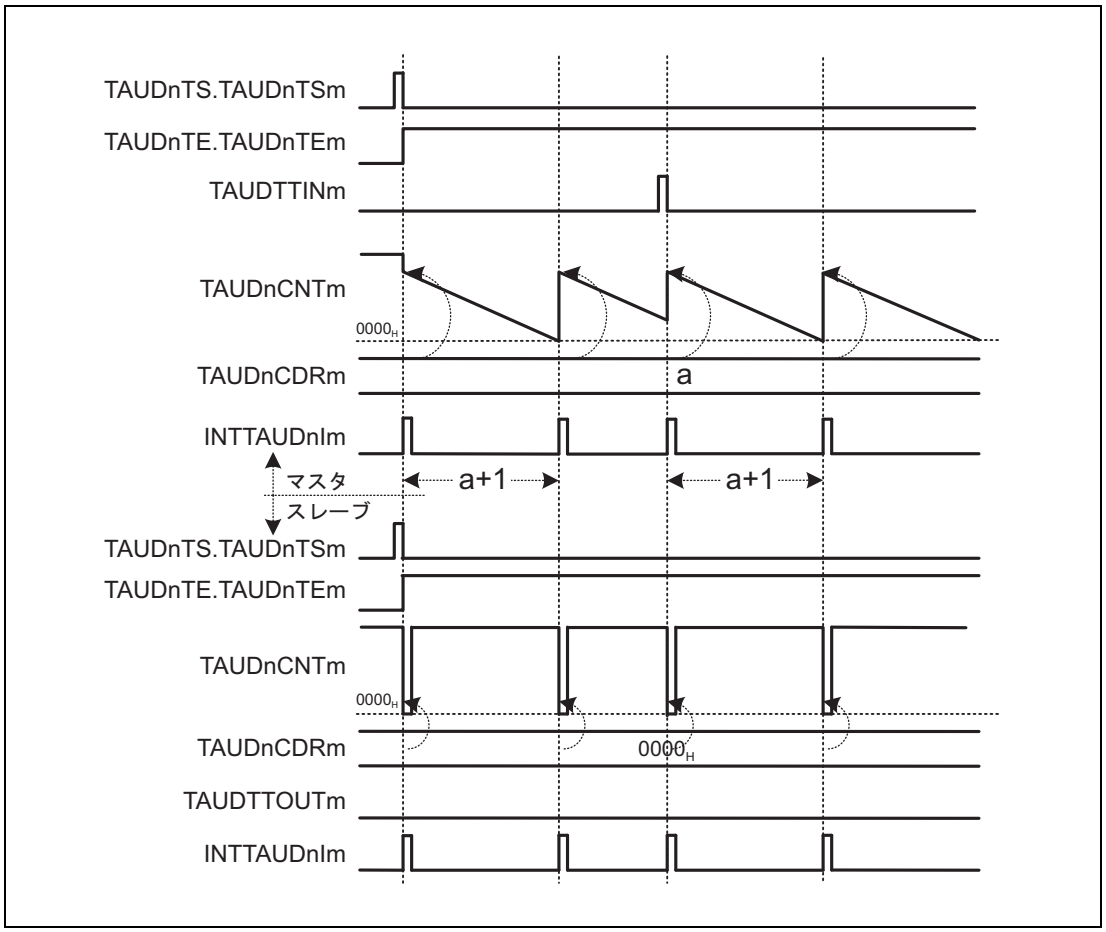


図 25.103 TAUDnCDRm（スレーブ）= 0000_H、
正論理（TAUDnTOL.TAUDnTOLm（スレーブ）= 0）
立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

- マスタチャネルで割り込み（INTTAUDnIm）が発生するたびに、TAUDnCNTm（スレーブ）に 0000_H がロードされます。したがって、TAUDnCNTm（スレーブ）はカウントを開始できず、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDnCNTm（スレーブ）は TAUDnCDRm 値がロードされるたびに割り込みを発生させます。
  有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm（スレーブ）に変化はありません。

(2) デューティサイクル = 100%

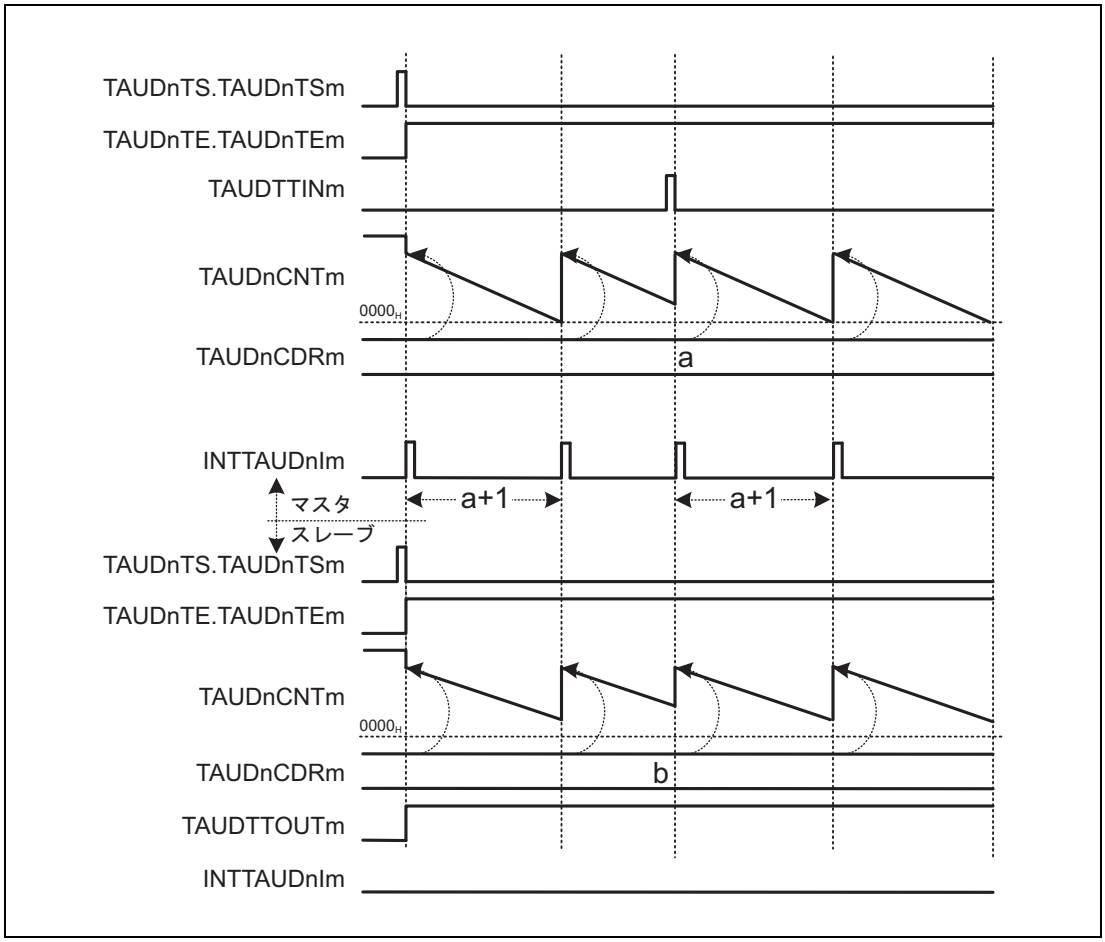


図 25.104　TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）+ 1
正論理（TAUDnTOL.TAUDnTOLm（スレーブ）= 0）
立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

- TAUDnCDRm（スレーブ）値が TAUDnCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは 0000_H にならないため、割り込みが発生しません。
  TAUDTTOUTm はアクティブ状態のままになります。
  有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm（スレーブ）に変化はありません。

(3) TAUDTTINm 検出とアクティブなスレーブカウンタ

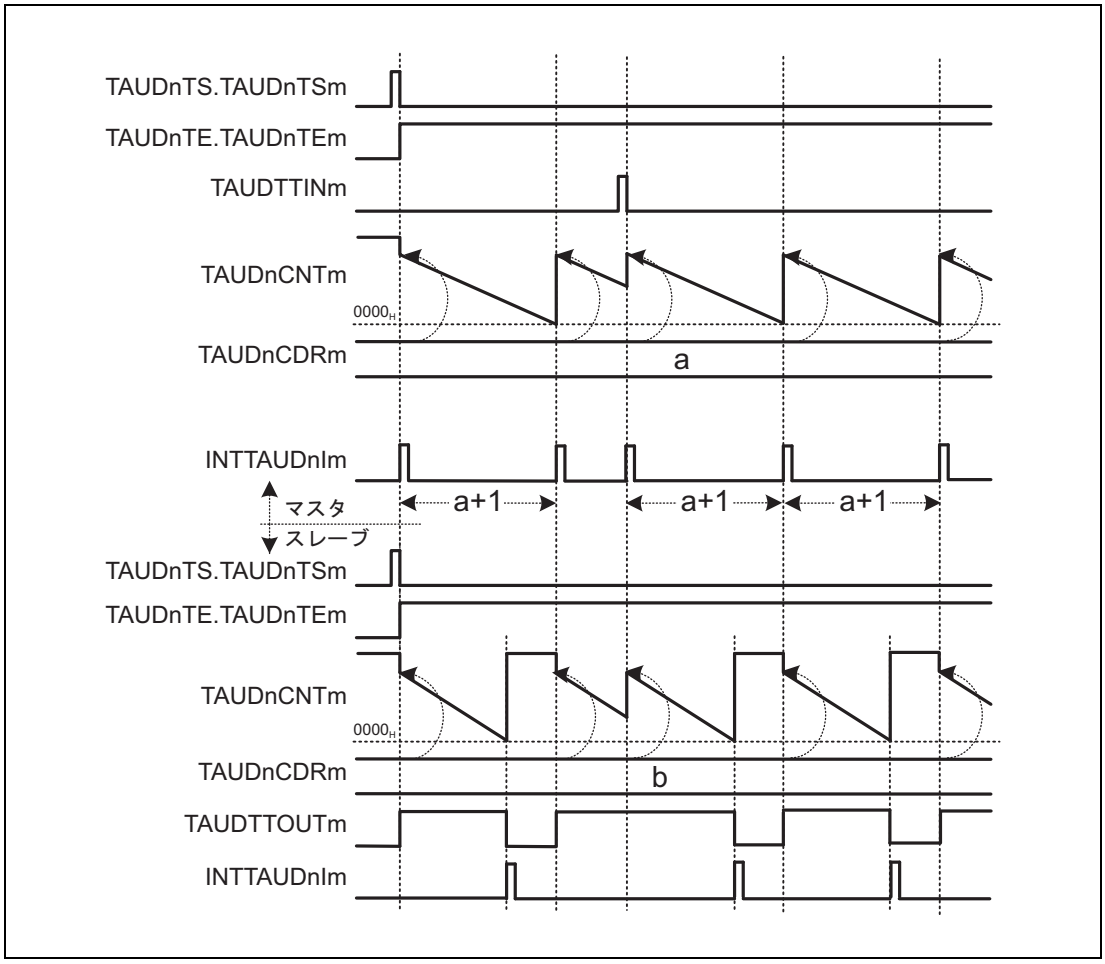


図 25.105　正論理（TAUDnTOL.TAUDnTOLm（スレーブ）= 0）
立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

- TAUDnCNTm（スレーブ）がダウンカウント中に TAUDnCDRm（スレーブ）値をロードした場合、TAUDTTOUTm は変化せず、デューティを拡張します。
  デューティはスレーブチャネルのデータレジスタの値に対応していません。

25.15.4　ディレイパルス出力機能

25.15.4.1　概要

概要

この機能では、2 種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャネルとスレーブチャネル 1 を使用して定義されています。スレーブチャネル 2 とスレーブチャネル 3 は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブチャネル 2 で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタチャネルで設定します。
- 基準信号のデューティサイクルはスレーブチャネル 1 を、ディレイ信号のデューティサイクルはスレーブチャネル 3 を使用して設定されます。
- 遅延量はスレーブチャネル 2 で設定します。

前提条件

- 4 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.165　ディレイパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネル 1、2 の動作モードは、ワンカウントモードに設定する必要があります（**「表 25.168　ディレイパルス出力機能のスレーブチャネル 1 の TAUDnCMORm レジスタの内容」**、**「表 25.172　ディレイパルス出力機能のスレーブチャネル 2 の TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネル 3 の動作モードは、パルスワンカウントモードに設定する必要があります（**「表 25.175　ディレイパルス出力機能のスレーブチャネル 3 の TAUDnCMORm レジスタの内容」**参照）。
- マスタチャネルおよびスレーブチャネル 2 では TAUDTTOUTm を使用しません。
- スレーブチャネル 1 のチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- スレーブチャネル 3 のチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、チャネルグループのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

- マスタチャネル：
  TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUDnIm が発生します。マスタチャネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャネル 1、スレーブチャネル 2：

スレーブチャネル 1、2 はマスタチャネルからの割り込みを検出すると、TAUDnCDRm の現在値からダウンカウントを開始します。TAUDTTOUTm 信号（スレーブ 1）が設定されます。

– スレーブチャネル 1：
スレーブチャネル 1 のカウンタ値が 0000_H になると（デューティ時間が経過すると）、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUDnIm を待ちます。

– スレーブチャネル 2：
スレーブチャネル 2 のカウンタ値が 0000_H になり遅延時間が経過すると、INTTAUDnIm が発生します。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUDnIm を待ちます。
INTTAUDnIm（スレーブチャネル 2）が発生することにより、スレーブチャネル 3 のカウンタ動作がトリガされます。

- スレーブチャネル 3：
スレーブチャネル 3 はスレーブチャネル 2 からの割り込みを検出すると、TAUDnCDRm の現在値からダウンカウントを開始します。INTTAUDnIm が発生し、TAUDTTOUTm 信号（スレーブチャネル 3）がセットされます。
スレーブチャネル 3 のカウンタ値が 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。
スレーブチャネル 3 からは遅延された PWM パルスが出力されます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

条件

この機能で一斉書き換えを行うことができます。**「25.6　一斉書き換え」**を参照してください。

25.15.4.2 算出式

パルス周期＝（TAUDnCDRm（マスタ）＋1）×カウントクロック周期

デューティ幅1＝（TAUDnCDRm（スレーブ1））×カウントクロック周期

遅延幅＝（TAUDnCDRm（スレーブ2）＋1）×カウントクロック周期

デューティ幅2＝（TAUDnCDRm（スレーブ3））×カウントクロック周期

ただし、遅延幅の設定値は下記範囲とすること。
0000_H ≦ TAUDnCDRm（スレーブ2）＜ TAUDnCDRm（マスタ）

備　考

1. TAUDTTOUTm（スレーブ3）の出力波形は、TAUDTTOUTm（スレーブ1）の出力波形をスレーブ2で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
2. スレーブ3のカウント中に、スレーブ2のINTTAUD0Imが発生した場合、スレーブ3は動作を再開します。従って、TAUDTTOUTm（スレーブ3）の出力波形は、アクティブレベルを保持します。（この場合、TAUDTTOUTm（Slave-CH-3）は、TAUDTTOUTm（Slave-CH-1）の基本パルスをディレイさせた波形を出力できません。）

25.15.4.3　ブロック図と基本タイミング図

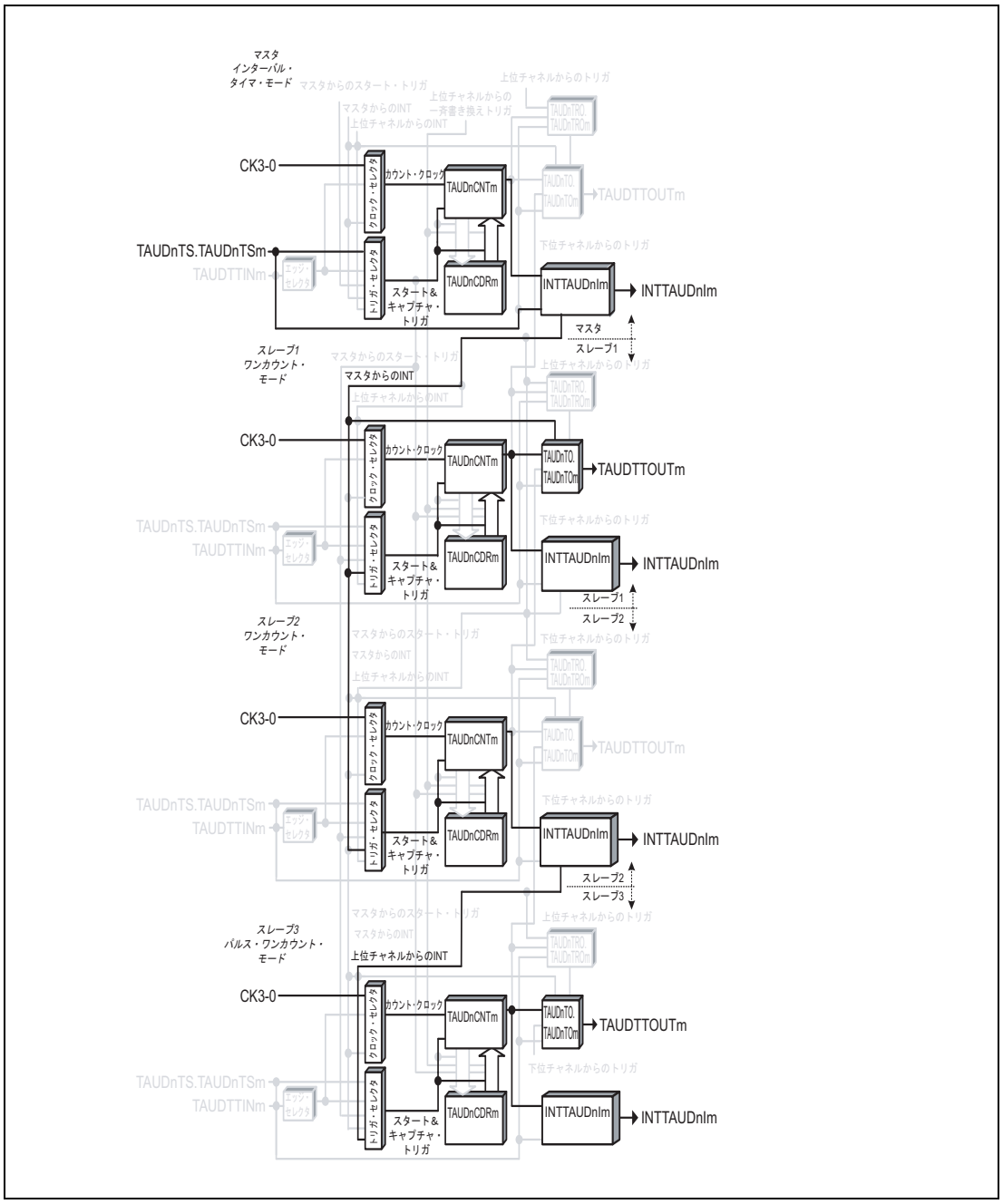


図 25.106　ディレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル 1：正論理（TAUDnTOL.TAUDnTOLm = 0）
- スレーブチャネル 3：正論理（TAUDnTOL.TAUDnTOLm = 0）

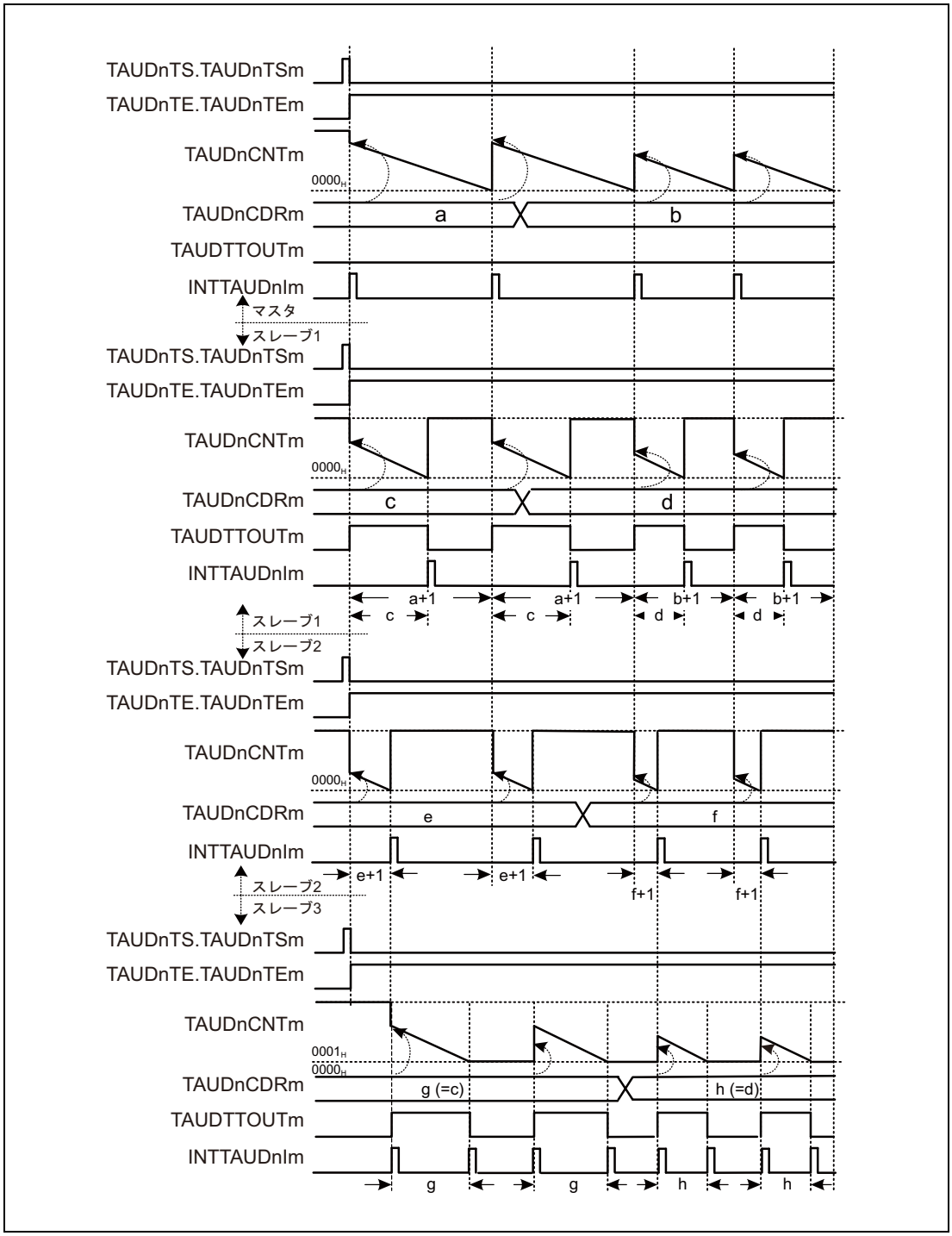


図 25.107　ディレイパルス出力機能の基本タイミング図

備　考

スレーブチャネル 1 の TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

25.15.4.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.165 ディレイパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.166 ディレイパルス出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) マスタチャネルのチャネル出力モード

この機能では、マスタチャネルはチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.167　ディレイパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.4.5　スレーブチャネル 1 のレジスタ設定

(1) スレーブチャネル 1 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.168　ディレイパルス出力機能のスレーブチャネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(2) スレーブチャネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.169　ディレイパルス出力機能のスレーブチャネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネル 1 のチャネル出力モード

表 25.170　チャネル連動出力モード 1 時のスレーブチャネル 1 の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.171　ディレイパルス出力機能時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.4.6　スレーブチャネル 2 のレジスタ設定

(1) スレーブチャネル 2 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.172　ディレイパルス出力機能のスレーブチャネル 2 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(2) スレーブチャネル 2 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.173　ディレイパルス出力機能のスレーブチャネル 2 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネル 2 のチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) スレーブチャネル 2 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.174　ディレイパルス出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.4.7　スレーブチャネル 3 のレジスタ設定

(1) スレーブチャネル 3 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.175　ディレイパルス出力機能のスレーブチャネル 3 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	101：マスタ設定にかかわらず、上位チャネル（m-1）の INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(2) スレーブチャネル 3 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.176　ディレイパルス出力機能のスレーブチャネル 3 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネル 3 のチャネル出力モード

表 25.177　チャネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネル 3 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.178　ディレイパルス出力機能時のスレーブチャネル 3 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.4.8　ディレイパルス出力機能時の操作手順

表 25.179　ディレイパルス出力機能時の操作手順　(1/2)

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.4.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル 1：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.4.5　スレーブチャネル 1 のレジスタ設定」**に示すように設定します。 スレーブチャネル 2：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.4.6　スレーブチャネル 2 のレジスタ設定」**に示すように設定します。 スレーブチャネル 3：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.4.7　スレーブチャネル 3 のレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。

表 25.179　ディレイパルス出力機能時の操作手順 (2/2)

	操作	TAUDn の状態
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が “1” に設定され、マスタチャネルとスレーブチャネル 1 ／ 2 のカウンタが動作を開始します。 マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブチャネル 1）が設定されます。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 1 ／ 2 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 マスタチャネルのカウンタが 0000_H になった場合： • INTTAUDnIm（マスタ）が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 • 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ 1 ／ 2）にロードし、ダウンカウントを開始します。 • TAUDTTOUTm（スレーブ 1）がセットされます。 TAUDnCNTm（スレーブ 1）が 0000_H になった場合： • INTTAUDnIm（スレーブ 1）が発生します。 • TAUDTTOUTm（スレーブ 1）がリセットされます。 TAUDnCNTm（スレーブ 2）が 0000_H になった場合： • INTTAUDnIm（スレーブ 2）が発生します。 • INTTAUDnIm（スレーブ 3）が発生します。 • TAUDTTOUTm（スレーブ 3）がセットされます。 • 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ 3）にロードし、ダウンカウント動作を開始します。 TAUDnCNTm（スレーブ 3）が 0001_H になった場合： • INTTAUDnIm（スレーブ 3）が発生します。 • TAUDTTOUTm（スレーブ 3）がリセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.15.4.9　特定のタイミング図

(1) デューティサイクル（スレーブ 3）= 100%

図 25.108 には以下の値が適用されます。

- TAUDnCDRm（マスタ）= $000A_H$
- TAUDnCDRm（スレーブ 1）= $000B_H$
- TAUDnCDRm（スレーブ 2）= 0000_H
- TAUDnCDRm（スレーブ 3）= $000B_H$

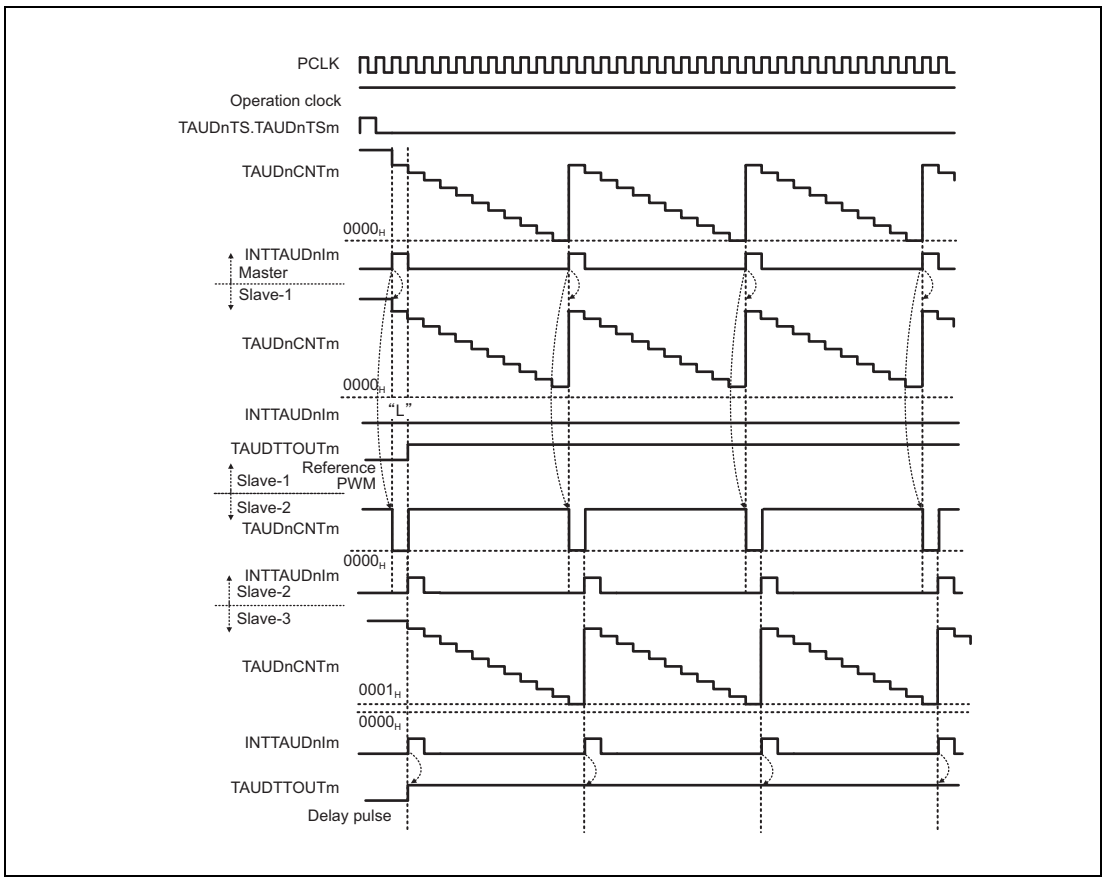


図 25.108　デューティサイクル（スレーブ 3）= 100%

- TAUDnCDRm（スレーブ 1/ スレーブ 3）の値が TAUDnCDRm（マスタ）の値を越える場合は、スレーブチャネル 1 のカウンタは 0000_H にならず、割り込みは発生しません。チャネル 1、3 の TAUDTTOUTm は、アクティブ状態のままになります。

(2) TAUDTTOUTm（スレーブ 1）= TAUDTTOUTm（スレーブ 3）

図 25.109 には以下の値が適用されます。

- TAUDnCDRm（マスタ）= $000A_H$
- TAUDnCDRm（スレーブ 1）= 0005_H
- TAUDnCDRm（スレーブ 2）= 0000_H
- TAUDnCDRm（スレーブ 3）= 0005_H

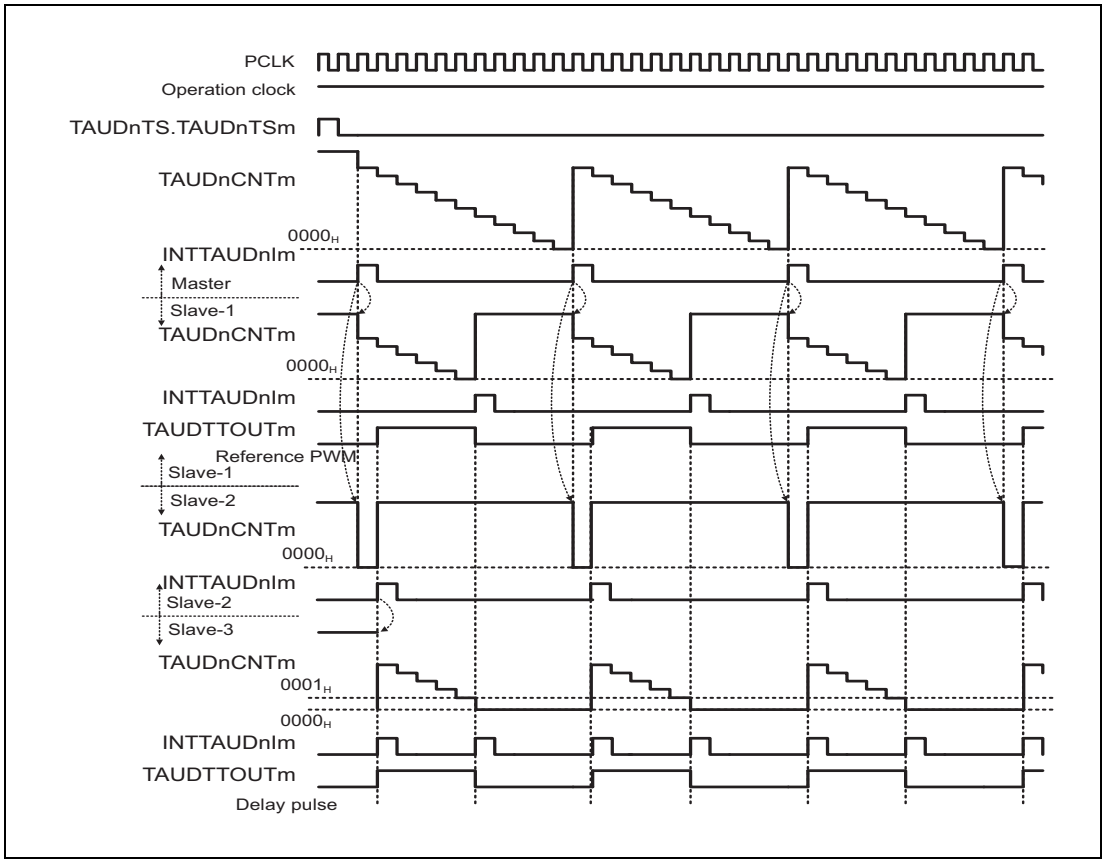


図 25.109　TAUDTTOUTm（スレーブ 1）= TAUDTTOUTm（スレーブ 3）

- TAUDnCDRm（スレーブ 2）= 0000_H の場合、スレーブチャネル 3 のカウンタはスレーブチャネル 1 のカウンタより 1 クロックカウント後にカウントを開始します。基本パルスとディレイパルスは 1 クロックカウントの遅延で出力されます。

25.15.5 オフセットトリガ出力機能

25.15.5.1 概要

概要

マスタチャネルとスレーブチャネルをひとつずつ使用して、PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス幅（期間）を設定できます。パルス周期はマスタチャネルの有効な入力エッジを検出して設定します。パルス幅はスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、キャプチャモードに設定する必要があります（**「表 25.180　オフセットトリガ出力機能のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（**「表 25.183　オフセットトリガ出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネルの出力モードは、チャネル連動出力モード 1 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。マスタチャネルのカウンタ（TAUDnCNTm）は 0000_H からアップカウントを開始します。

- マスタチャネル：
  有効な TAUDTTINm 入力エッジが検出されると、カウンタ（TAUDnCNTm）の現在値がマスタチャネルのデータレジスタ（TAUDnCDRm）にロードされます。そして INTTAUDnIm が発生し、カウンタは 0000_H からアップカウントを再開します。
- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生すると、TAUDTTOUTm 信号（スレーブ）がセットされ、スレーブチャネルのカウンタ動作がトリガされます。TAUDnCDRm（スレーブ）の現在値が TAUDnCNTm（スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
  カウンタ値が 0000_H になると（デューティ時間が経過すると）、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUDnIm を待ちます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

25.15.5.2 算出式

パルス幅＝（TAUDnCDRm（スレーブ））×カウントクロック周期

デューティサイクル [%] = [TAUDnCDRm（スレーブ）／（TAUDnCDRm（マスタ）＋ 1）] × 100

- デューティサイクル = 0%
  TAUDnCDRm（スレーブ）= 0000_H
- デューティサイクル = 100%
  TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）＋ 1

25.15.5.3 ブロック図と基本タイミング図

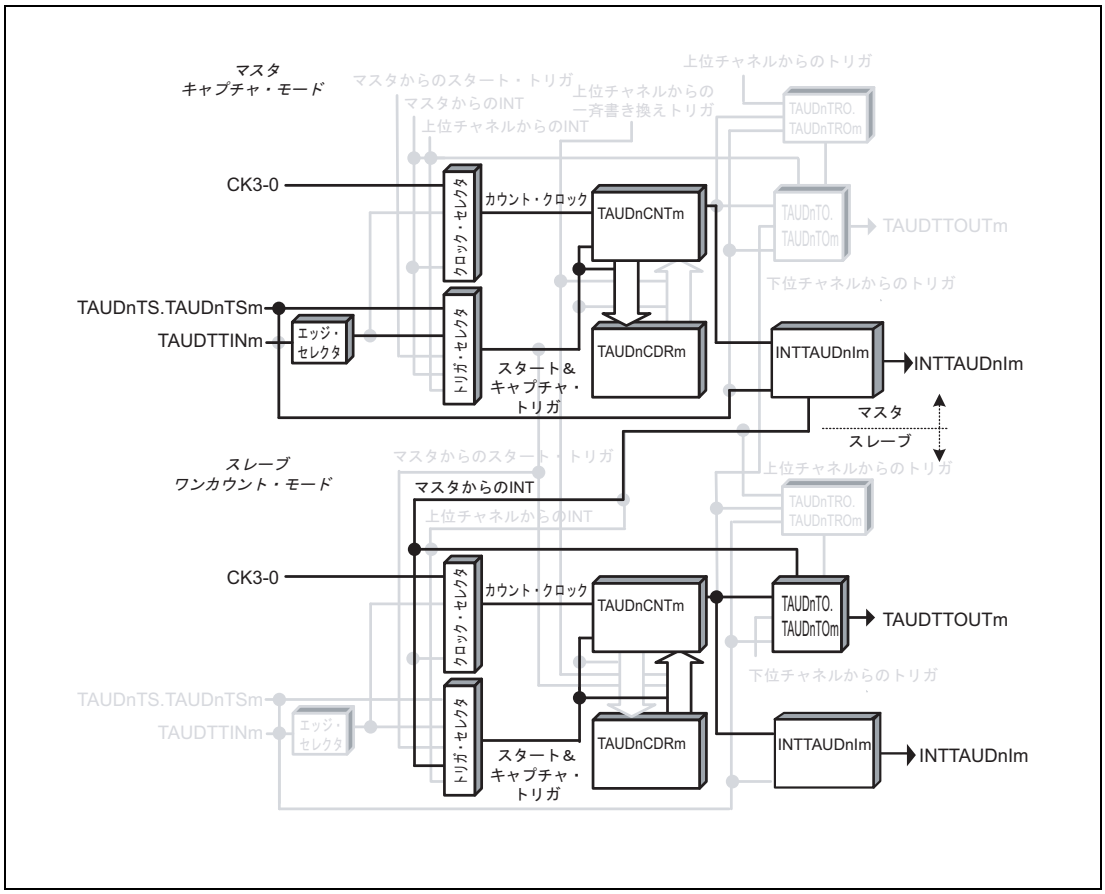


図 25.110 オフセットトリガ出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

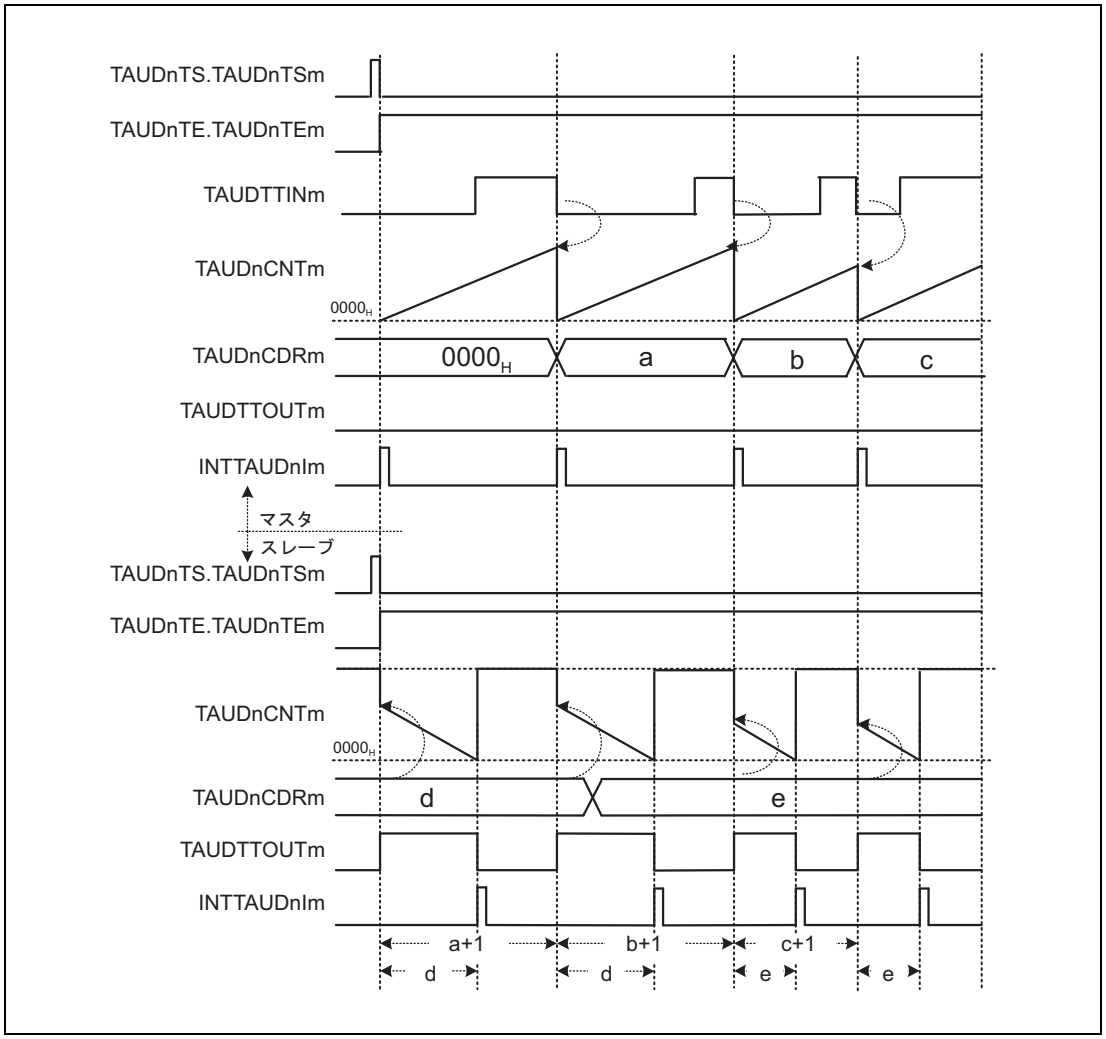


図 25.111　オフセットトリガ出力機能の基本タイミング図

備　考

スレーブチャネルの TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

25.15.5.4　マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.180　オフセットトリガ出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	11：TAUDTTINm 入力有効エッジ検出およびカウンタオーバフローの発生によって更新： – TAUDTTINm 入力有効エッジ検出：カウンタ値が TAUDnCDRm に書き込まれます。 – オーバフロー発生：TAUDnCDRm に $FFFF_H$ を書き込みます。次に検出される TAUDTTINm 入力有効エッジは無視されます。 TAUDnCSRm.TAUDnOVF はカウンタオーバフロー時に設定され、CPU 命令（TAUDnCSCm.TAUDnCLOV に "1" 設定）でクリアされます。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.181　オフセットトリガ出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) マスタチャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.182　オフセットトリガ出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.15.5.5　スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.183　オフセットトリガ出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.184　オフセットトリガ出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネルのチャネル出力モード

表 25.185　チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは “0” に設定する必要があります。

表 25.186　オフセットトリガ出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm = 0）、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.15.5.6　オフセットトリガ出力機能時の操作手順

表 25.187　オフセットトリガ出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.5.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.5.5　スレーブチャネルのレジスタ設定」**に示すように設定します。 マスタチャネルの TAUDnCDRm レジスタはキャプチャレジスタとして動作します。 スレーブチャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が “1” に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 • TAUDnCNTm（マスタ）がアップカウントを行います。 • TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードし、ダウンカウントを行います。 マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）がセットされます。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCSCm.TAUDnCLOV は “1” に設定可能です。 スレーブチャネルの TAUDnCDRm は INTTAUDnIm（マスタ）発生後、変更可能です。 TAUDnCNT.TAUDnCNTm と TAUDnCSRm は任意のタイミングで読み出し可能です。	スレーブチャネルの TAUDnCNTm が 0000_H になった場合： • INTTAUDnIm（スレーブ）が発生します。 • TAUDTTOUTm（スレーブ）がリセットされ、スレーブのカウントが停止します。 マスタチャネルで TAUDTTINm 入力エッジが検出された場合： • INTTAUDnIm（マスタ）が発生します。 • TAUDnCNTm（マスタ）は 0000_H にリセットされ、その後カウント動作を継続します。 • 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードし、ダウンカウントを行います。 • TAUDTTOUTm（スレーブ）がセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.15.5.7 特定のタイミング図

(1) デューティサイクル = 0%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

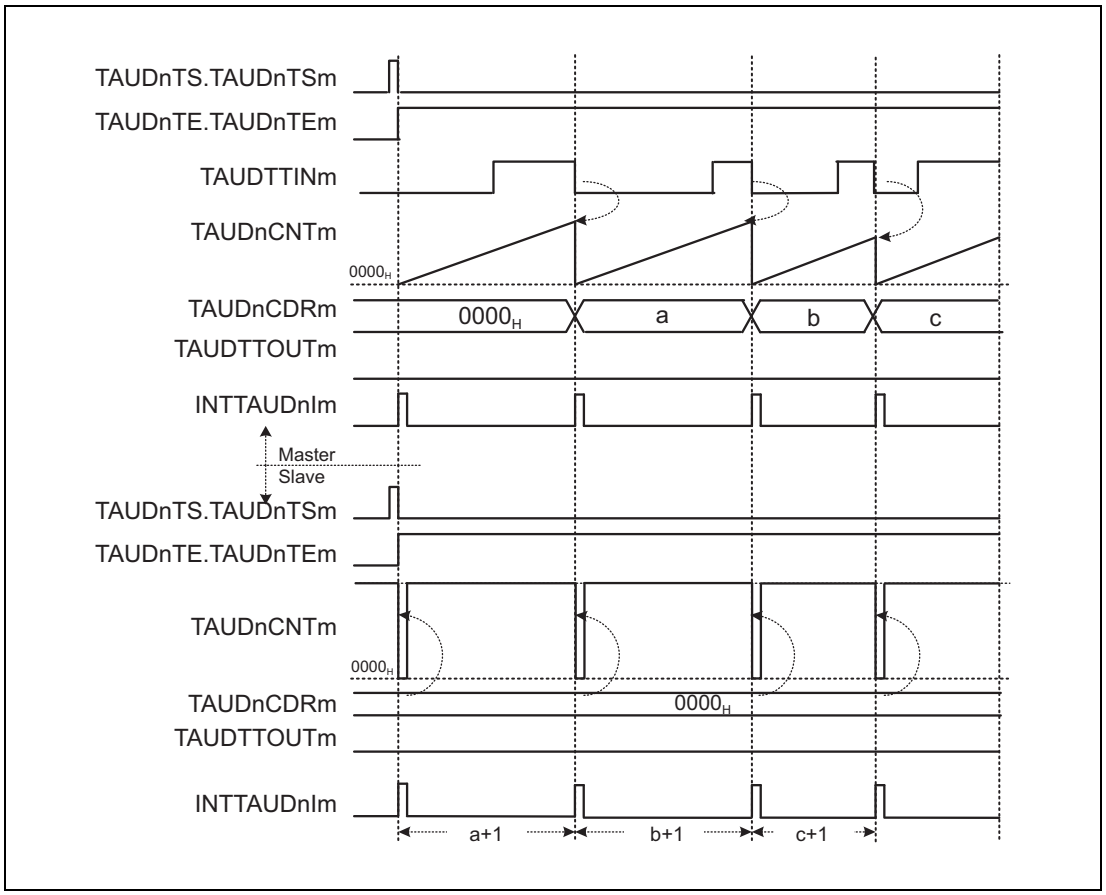


図 25.112 TAUDnCDRm（slave）= 0000_H

- TAUDnCDRm（スレーブ）= 0000_H の場合は、マスタチャネルが割り込み（INTTAUDnIm）を発生するたびに TAUDnCNTm に 0000_H が書き込まれ、TAUDnCNTm はカウントを開始できません。TAUDTTOUTm は非アクティブ状態のままです。
- TAUDnCNTm（スレーブ）は、TAUDnCDRm の値がリロードされるたびに割り込みを発生します。スレーブチャネルとマスタチャネルは同じ周期で割り込みを発生します。

(2) デューティサイクル = 100%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

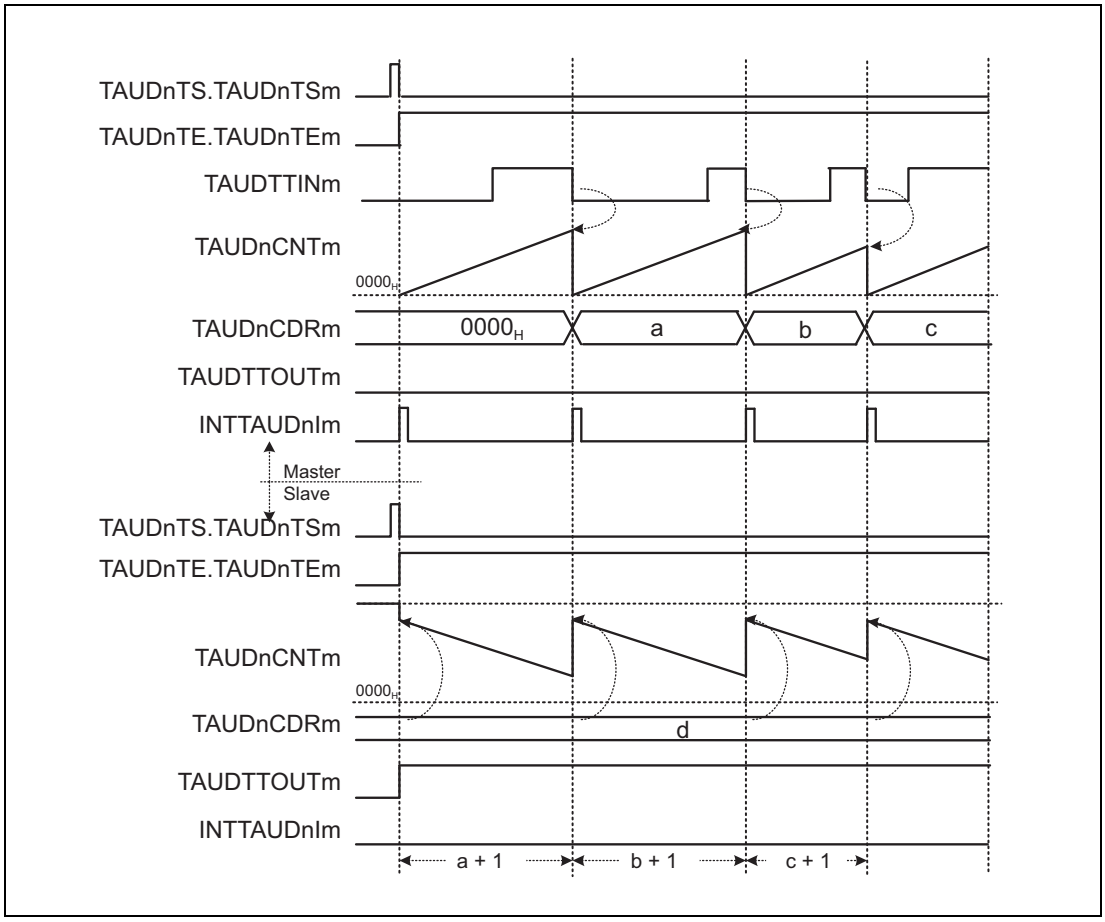


図 25.113　TAUDnCDRm（slave）≧ TAUDnCDRm（master）+ 1

- TAUDnCDRm（スレーブ）の値が有効な入力エッジのインターバルを超える場合は、スレーブチャネルのカウンタは 0000_H にはならず、割り込みは発生しません。
  TAUDTTOUTm はアクティブ状態のままになります。

25.15.6　A/D 変換トリガ出力機能タイプ 1

25.15.6.1　概要

概要

この機能は、TAUDTTOUTm が出力されないという点を除き、**「25.15.1　PWM 出力機能」**と同じです。

スレーブチャネルの出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

25.15.6.2　ブロック図と基本タイミング図

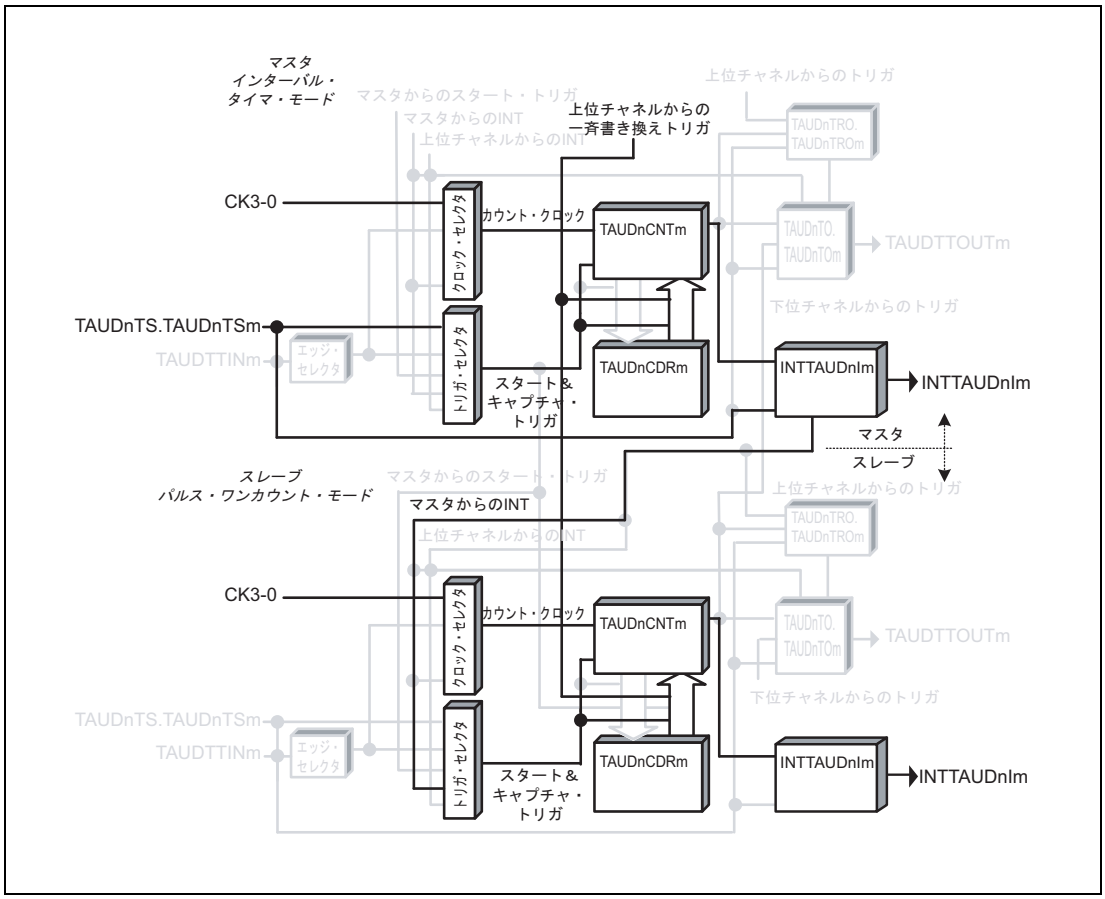


図 25.114　A/D 変換トリガ出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

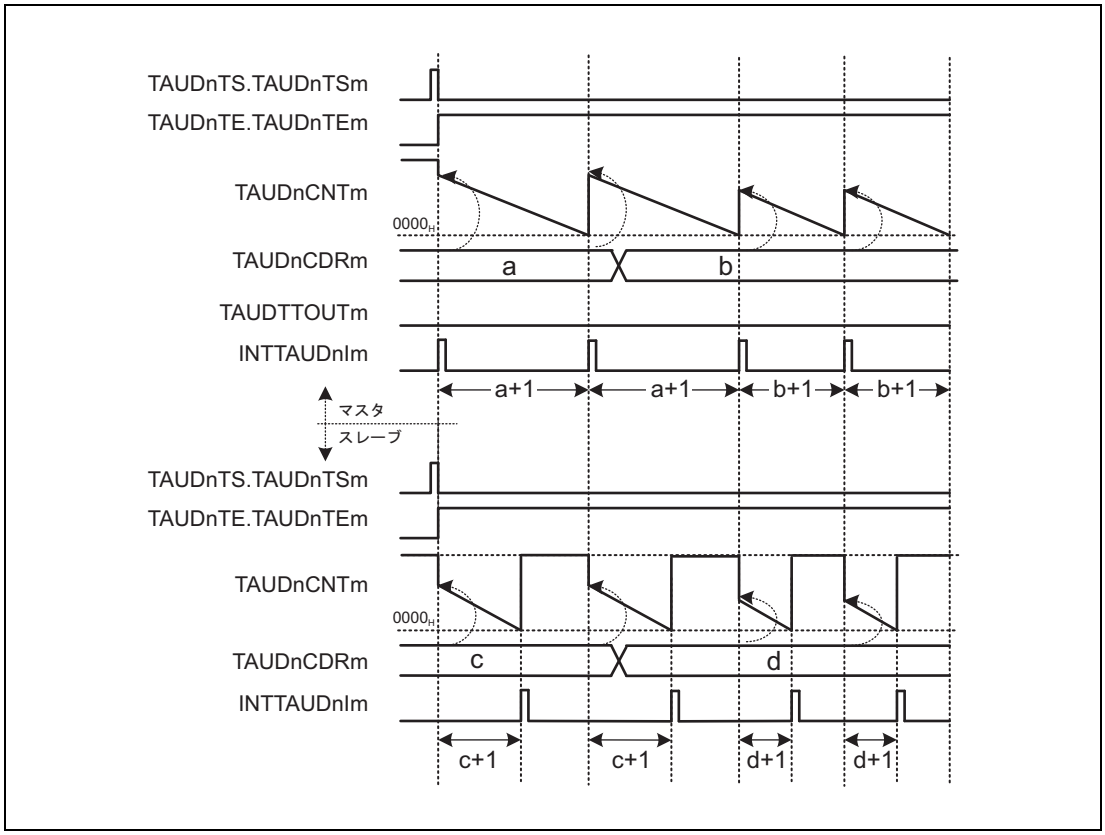


図 25.115　A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

25.15.7　三角波 PWM 出力機能

25.15.7.1　概要

概要

マスタチャネルと 1 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ／スレーブチャネルを用いて、TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャネルで生成します。マスタチャネルの 1 周期目はスレーブカウンタのダウンステータスを、2 周期目はアップステータスを制御します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.188　三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、アップ／ダウンカウントモードに設定する必要があります（**「表 25.192　三角波 PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容」**参照）。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- スレーブチャネルの出力モードは、チャネル連動出力モード 2 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
  - TAUDnCMORm.TAUDnMD0（マスタ）ビットが “0” に設定されている場合、TAUDnTOE.TAUDnTOEm が “0” の間、TAUDnTO.TAUDnTOm を “1” に設定する必要があります。（推奨設定）
  - TAUDnCMORm.TAUDnMD0（マスタ）ビットが “1” に設定されている場合、TAUDnTOE.TAUDnTOEm が “0” の間、TAUDnTO.TAUDnTOm を “0” に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、すべてのチャネルでカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。TAUDnCDRm（マスタ／スレーブ）の値が TAUDnCNTm（マスタ／スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルの TAUDnCMORm.TAUDnMD0 ビットが “1” に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000_H になると（パルス周期が経過すると）、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。

- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。
  - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
  - スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

  スレーブチャネルのカウンタがアップ／ダウンカウント中に 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）信号がセット／リセットされます。
  カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUDnIm を待ちます。
  TAUDnTOL.TAUDnTOLm を設定することにより、動作中に TAUDTTOUTm 信号の正相／逆相を切り替えることができます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタの動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。**「25.6　一斉書き換え」**を参照してください。

25.15.7.2　算出式

パルス周期＝（TAUDnCDRm（マスタ）＋ 1）× カウントクロック周期

0000_H ≦ TAUDnCDRm（マスタ）＜ $FFFF_H$

キャリア周期（ダウン／アップ）＝（TAUDnCDRm（マスタ）＋ 1）× 2 × カウントクロック周期

デューティサイクル [%] ＝
[（TAUDnCDRm（マスタ）＋ 1 － TAUDnCDRm（スレーブ））／（TAUDnCDRm（マスタ）＋ 1）]× 100

- デューティサイクル＝100%
  TAUDnCDRm（スレーブ）＝ 0000_H
- デューティサイクル＝0%
  TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）＋ 1

25.15.7.3 ブロック図と基本タイミング図

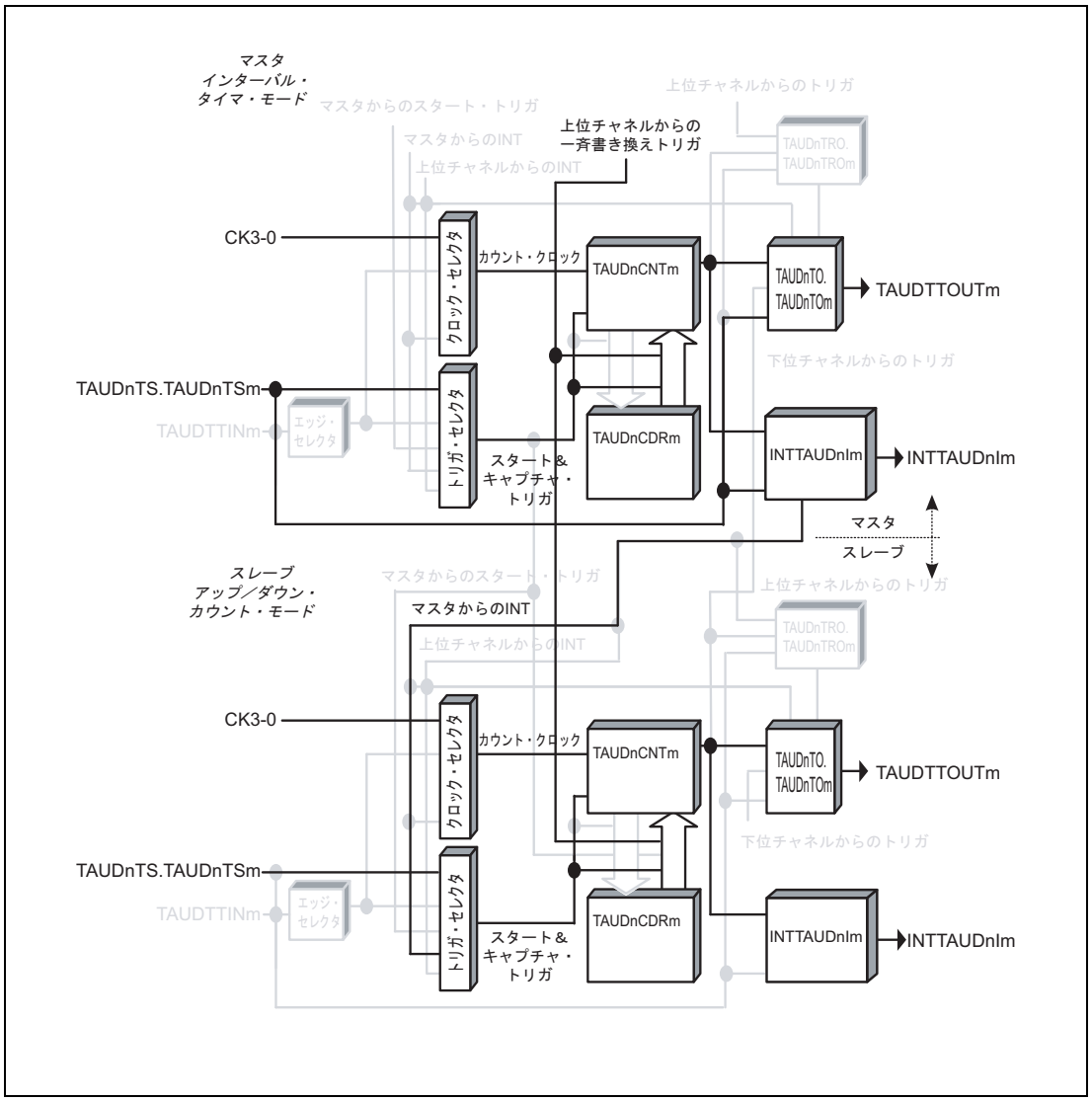


図 25.116 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  - 動作開始時に INTTAUDnIm が発生する
    （TAUDnCMORm.TAUDnMD0 = 1）

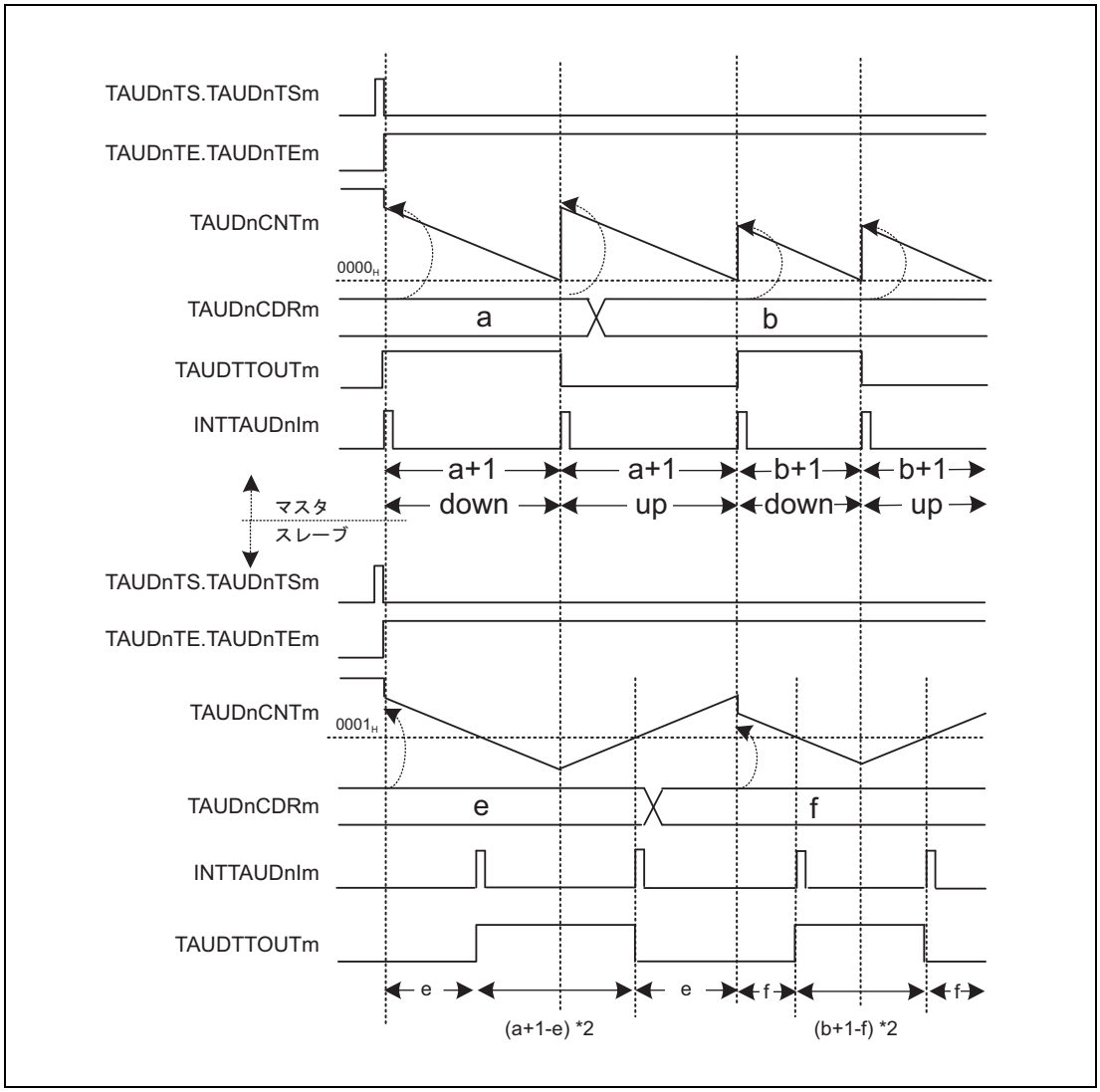


図 25.117　三角波 PWM 出力機能の基本タイミング図

25.15.7.4　マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.188　三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.189　三角波 PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) マスタチャネルのチャネル出力モード

表 25.190　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.191　三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

25.15.7.5　スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.192　三角波 PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1001：アップ／ダウンカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.193　三角波 PWM 出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネルのチャネル出力モード

表 25.194　チャネル連動出力モード 2 のときの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.195　三角波 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.7.6　三角波 PWM 出力機能時の操作手順

表 25.196　三角波 PWM 出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.7.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル :TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.7.5　スレーブチャネルのレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が “1” に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで TAUDnCMORm.TAUDnMD0 が “1” に設定されている場合は、INTTAUDnIm（マスタ）が発生します。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnTOL.TAUDnTOLm は変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタ／スレーブチャネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000_H になった場合： • INTTAUDnIm（マスタ）が発生します。 • TAUDTTOUTm（マスタ）がトグルされます。 • 再び TAUDnCDRm の値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 • 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードするか、反対方向のカウントを開始します。 スレーブチャネルの TAUDnCNTm が 0001_H になった場合： • INTTAUDnIm（スレーブ）が発生します。 • TAUDTTOUTm（スレーブ）は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.15.7.7　特定の設定時のタイミング図

(1) デューティサイクル = 0%

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0 = 1）
  - TAUDnCDRm = a = 5_H
- スレーブチャネル：
  - TAUDnCDRm = 6_H

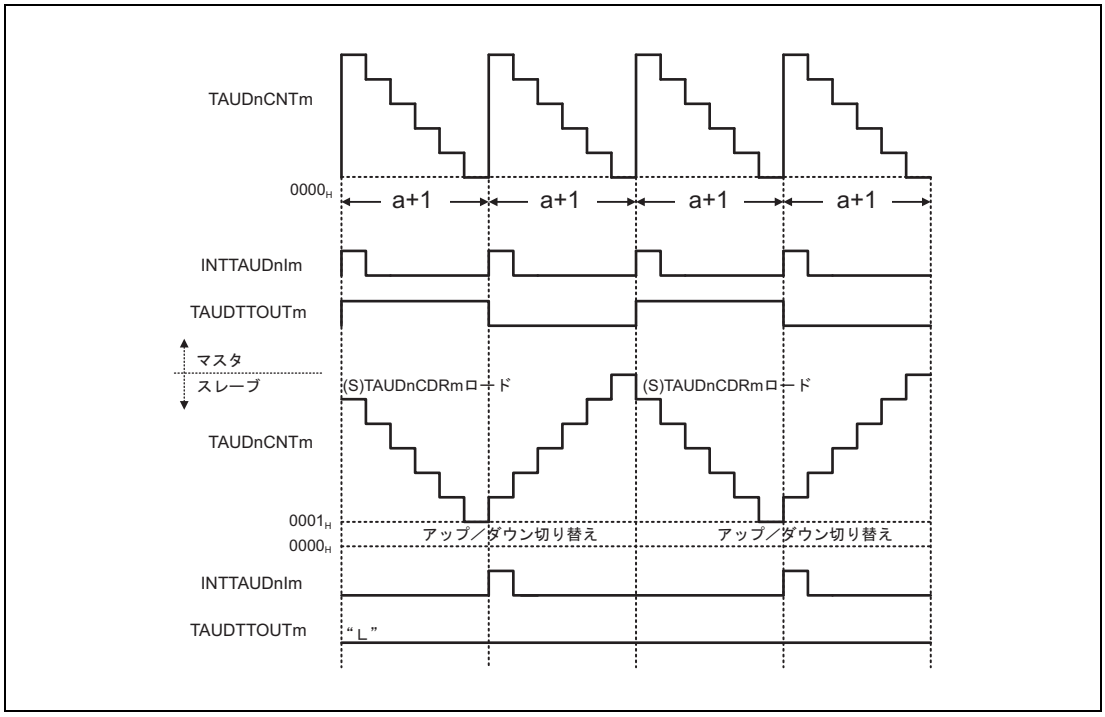


図 25.118　TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）+ 1

- TAUDnCDRm（スレーブ）値が TAUDnCDRm（マスタ）+1 値以上の場合、ダウンカウント中にスレーブチャネルの INTTAUDnIm は発生しません。セット信号が検出されることがないため、TAUDTTOUTm はロウレベル状態のままになります。

(2) デューティサイクル = 100%

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0 = 1）
  - TAUDnCDRm = a = 5_H
- スレーブチャネル：
  - TAUDnCDRm = 0_H

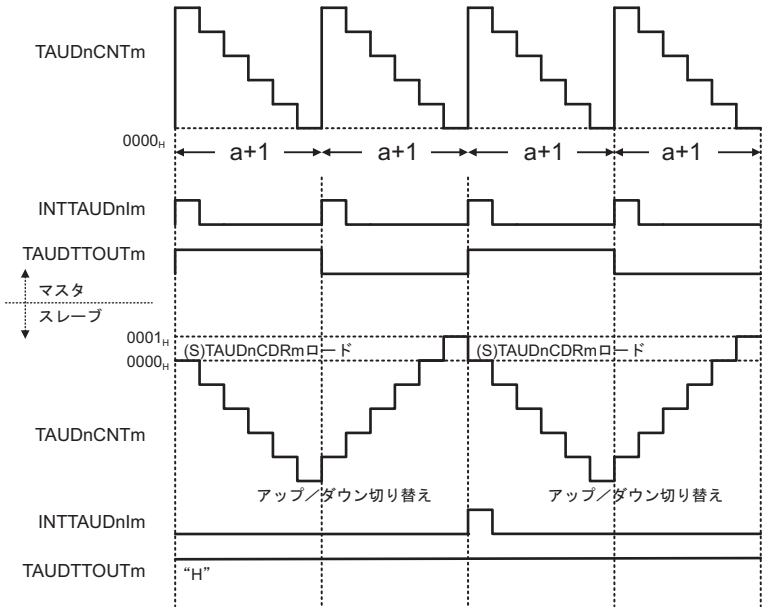


図 25.119　TAUDnCDRm（スレーブ）= 0000_H

- TAUDnCDRm（スレーブ）＝ 0000_H の場合、アップカウント中にスレーブチャネルの INTTAUDnIm は発生しません。リセット信号が検出されることがないため、TAUDTTOUTm はハイレベル状態のままになります。

25.15.8　デッドタイム付き三角波 PWM 出力機能

25.15.8.1　概要

概要

マスタチャネルと 2 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャネル 2/3 の TAUDTTOUTm から出力されます。これにより、マスタ／スレーブチャネルを使って TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブチャネルの TAUDTTOUTm がセット／リセットされます。TAUDnTDL.TAUDnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUDTTOUTm がただちにセット／リセットされるのか、デッドタイム経過後にセット／リセットされるのかを設定）。デッドタイム時間はスレーブチャネル 3 で設定します。

前提条件

- 3 チャネル。スレーブチャネル 2 と 3 は、偶数チャネル CH（a）と奇数チャネル CH（a ＋ 1）を選択してください。
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.198　デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- この機能では、スレーブチャネル 1 は使用しません。そのため、スレーブチャネル 2 は必ず偶数チャネル（a）、スレーブチャネル 3 は奇数チャネル（a + 1）です。スレーブチャネル 1 は、個別タイマ（単体機能）として使用可能です。
- スレーブチャネル 2 の動作モードは、アップダウンモードに設定する必要があります（**「表 25.202　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUDnCMORm レジスタの内容」**参照）。
  また、スレーブチャネル 2 は偶数チャネルでなければなりません。
- スレーブチャネル 3 の動作モードは、ワンカウントモードに設定する必要があります（**「表 25.206　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUDnCMORm レジスタの内容」**参照）。
  また、スレーブチャネル 3 は奇数チャネルでなければなりません。
- マスタチャネルのチャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- スレーブチャネル 2/3 の出力モードは、デッドタイム出力を行うチャネル連動出力モード 2 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
  - TAUDnCMORm.TAUDnMD0（マスタ）ビットが “0” に設定されている場合、TAUDnTOE.TAUDnTOEm が “0” の間、TAUDnTO.TAUDnTOm を “1” に設定する必要があります。（推奨設定）

– TAUDnCMORm.TAUDnMD0（マスタ）ビットが “1” に設定されている場合、TAUDnTOE.TAUDnTOEm が “0” の間、TAUDnTO.TAUDnTOm を “0” に設定する必要があります。

備　考

デッドタイム付き三角波 PWM 出力機能では、スレーブチャネル 1 を使用しません。スレーブチャネル 1 は、個別タイマ（単体機能）として使用可能です。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルの TAUDnCMORm.TAUDnMD0 ビットが “1” に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャネル 2：
  マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネル 2 のカウンタ動作がトリガされます。
  – スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
  – スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

  カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUDnIm を待ちます。
  スレーブチャネル 2 のカウンタ値が 0001_H になると INTTAUDnIm が発生します。
- スレーブチャネル 3：
  スレーブチャネル 2 で INTTAUDnIm が発生すると、スレーブチャネル 3 のカウンタ動作がトリガされます。そして TAUDnCDRm（スレーブ 3）の現在値が TAUDnCNTm（スレーブ 3）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
  カウンタ値が 0000_H になると、INTTAUDnIm が発生します。カウンタは $FFFF_H$ に戻り、スレーブチャネル 2 の次の INTTAUDnIm を待ちます。

「表 25.197　スレーブチャネル 2 で割り込みが発生した際の TAUDTTOUTm の動作」にあるように、対応するチャネルの TAUDnTDL.TAUDnTDLm 設定によって、セット／リセットのタイミング（割り込み発生直後またはデッドタイム経過後）が決まります。

また、TAUDnTOL.TAUDnTOLm の設定によって、対応チャネルからハイレベル信号を出力（TAUDnTOL.TAUDnTOLm = 0）するかロウレベル信号を出力（TAUDnTOL.TAUDnTOLm = 1）するかが決まります。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

スレーブチャネル 2 の TAUDnCDRm 値を 0000_H にして、TAUDTTOUTm を 100% 出力することができます。

条件

この機能では一斉書き換えを行うことができます。**「25.6　一斉書き換え」**を参照してください。

TAUDnTOL.TAUDnTOLm と TAUDnTDL.TAUDnTDLm の設定はカウント動作開始前に行う必要があり、スレーブチャネル 2 とスレーブチャネル 3 は TAUDnTDL.TAUDnTDLm の設定が反対でなければなりません。

表 25.197　スレーブチャネル 2 で割り込みが発生した際の TAUDTTOUTm の動作

TAUDnTDL. TAUDnTDLm	割り込み発生時のスレーブチャネル 2 のカウント方向	TAUDTTOUTm セット／リセットタイミング
0	ダウンカウント	デッドタイム経過後にセット
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後にリセット

25.15.8.2　算出式

パルス周期 =（TAUDnCDRm（マスタ）＋ 1）× カウントクロック周期

0000_H ≦ TAUDnCDRm（マスタ）＜ $FFFF_H$

キャリア周期（ダウン／アップ）=（TAUDnCDRm（マスタ）＋ 1）× 2 × カウントクロック周期

PWM 信号幅（正相）= [（TAUDnCDRm（マスタ）＋ 1 － TAUDnCDRm（スレーブ 2））× 2 －（TAUDnCDRm（スレーブ 3）＋ 1）] × カウントクロック周期

PWM 信号幅（逆相）= [（TAUDnCDRm（マスタ）＋ 1 － TAUDnCDRm（スレーブ 2））× 2 ＋（TAUDnCDRm（スレーブ 3）＋ 1）] × カウントクロック周期

25.15.8.3 ブロック図と基本タイミング図

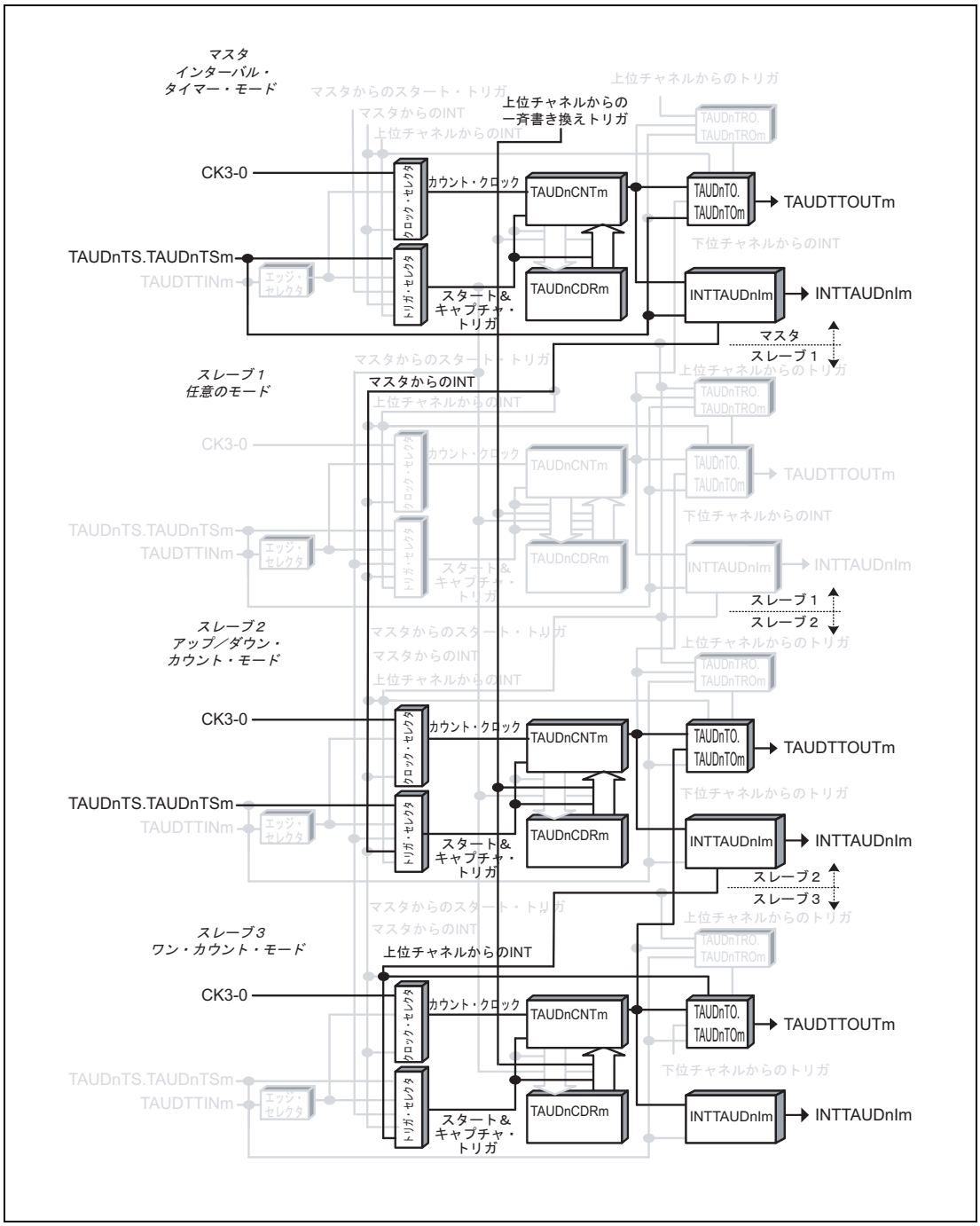


図 25.120 デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUDnIm が発生する
    （TAUDnCMORm.TAUDnMD0 = 1）

- スレーブチャネル 2：
  - 動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0 = 0）
  - TAUDnTDL.TAUDnTDLm = 0
  - 正論理（TAUDnTOL.TAUDnTOLm = 0）
- スレーブチャネル 3：
  - カウント中のスタートトリガ検出許可（TAUDnCMORm.TAUDnMD0 = 1）
  - TAUDnTDL.TAUDnTDLm = 1
  - 正論理（TAUDnTOL.TAUDnTOLm = 0）

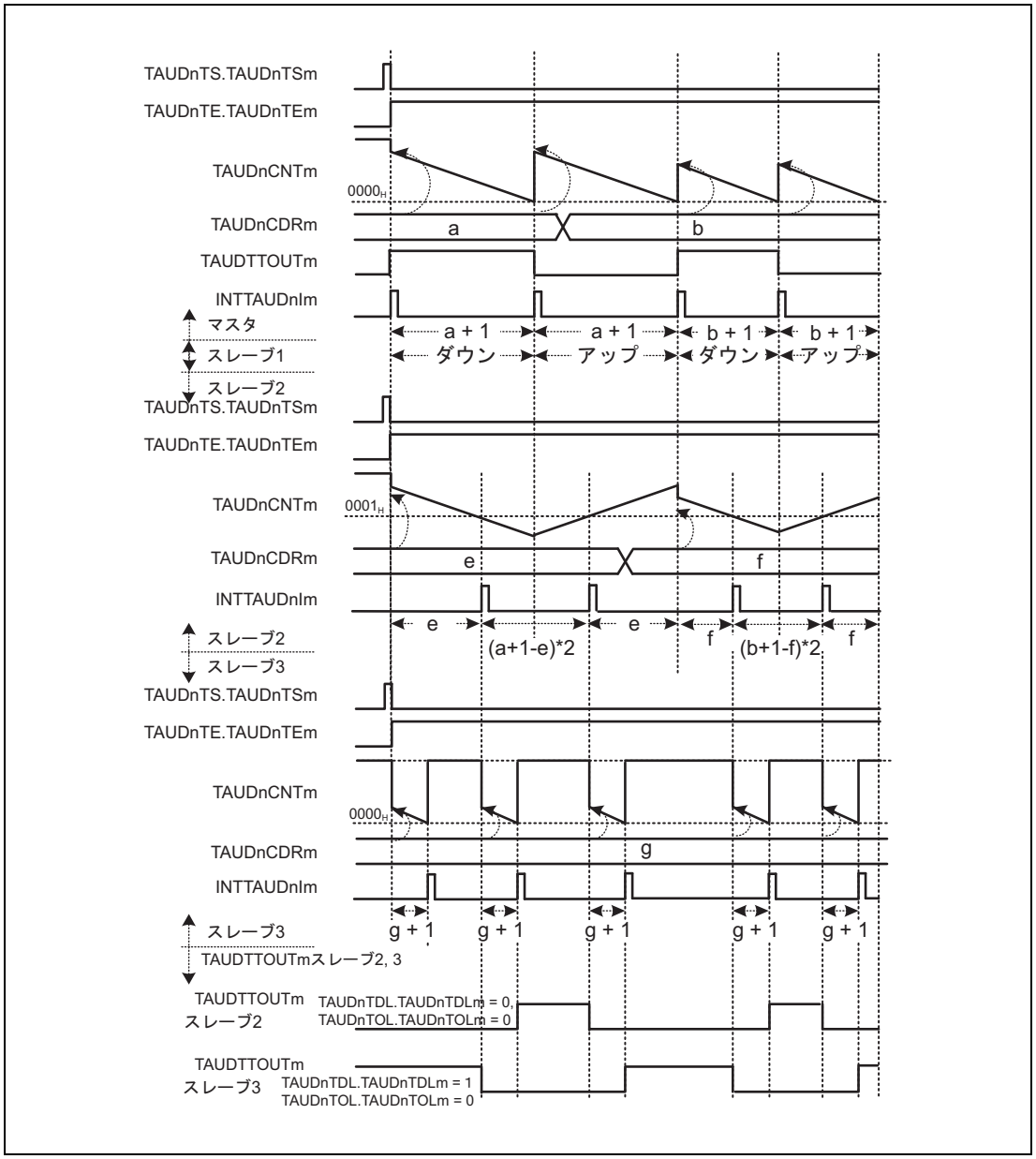


図 25.121 デッドタイム付き三角波 PWM 出力機能の基本タイミング図

25.15.8.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.198 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.199 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) マスタチャネルのチャネル出力モード

表 25.200　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.201　デッドタイム付き三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

25.15.8.5　スレーブチャネル 2 のレジスタ設定

(1) スレーブチャネル 2 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.202　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1001：アップ／ダウンカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) スレーブチャネル 2 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.203　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネル 2 のチャネル出力モード

表 25.204　デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

注　意

TAUDnTDL.TAUDnTDLm は、奇数チャネルと排他設定してください。

(4) スレーブチャネル 2 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.205　三角波 PWM 出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.8.6　スレーブチャネル 3 のレジスタ設定

(1) スレーブチャネル 3 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.206　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	110：TAUDTTOUTm 生成ユニットのデッドタイム出力信号
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) スレーブチャネル 3 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.207　デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネル 3 のチャネル出力モード

表 25.208　デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

注　意

TAUDnTDL.TAUDnTDLm は、偶数チャネルと排他設定してください。

(4) スレーブチャネル 3 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.209　三角波 PWM 出力機能時のスレーブチャネル 3 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.8.7　デッドタイム付き三角波 PWM 出力機能時の操作手順

表 25.210　デッドタイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.8.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル 2：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.8.5　スレーブチャネル 2 のレジスタ設定」**に示すように設定します。 スレーブチャネル 3：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.8.6　スレーブチャネル 3 のレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が “1” に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで TAUDnCMORm.TAUDnMD0 が “1” に設定されている場合は、INTTAUDnIm（マスタ）が発生します。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000_H になった場合： • INTTAUDnIm（マスタ）が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 • 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ 2）にロードするか、反対方向のカウントを開始します。 TAUDnCNTm（スレーブ 2）が 0001_H になった場合： • INTTAUDnIm（スレーブ 2）が発生します。 • スレーブチャネル 3 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 スレーブチャネル 3 の TAUDnCNTm が 0000_H になった場合： • INTTAUDnIm が発生します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.15.8.8 特定の設定時のタイミング図

(1) デューティサイクル = 0%

図 25.122 での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUDnTDL.TAUDnTDLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUDnTDL.TAUDnTDLm = 1）

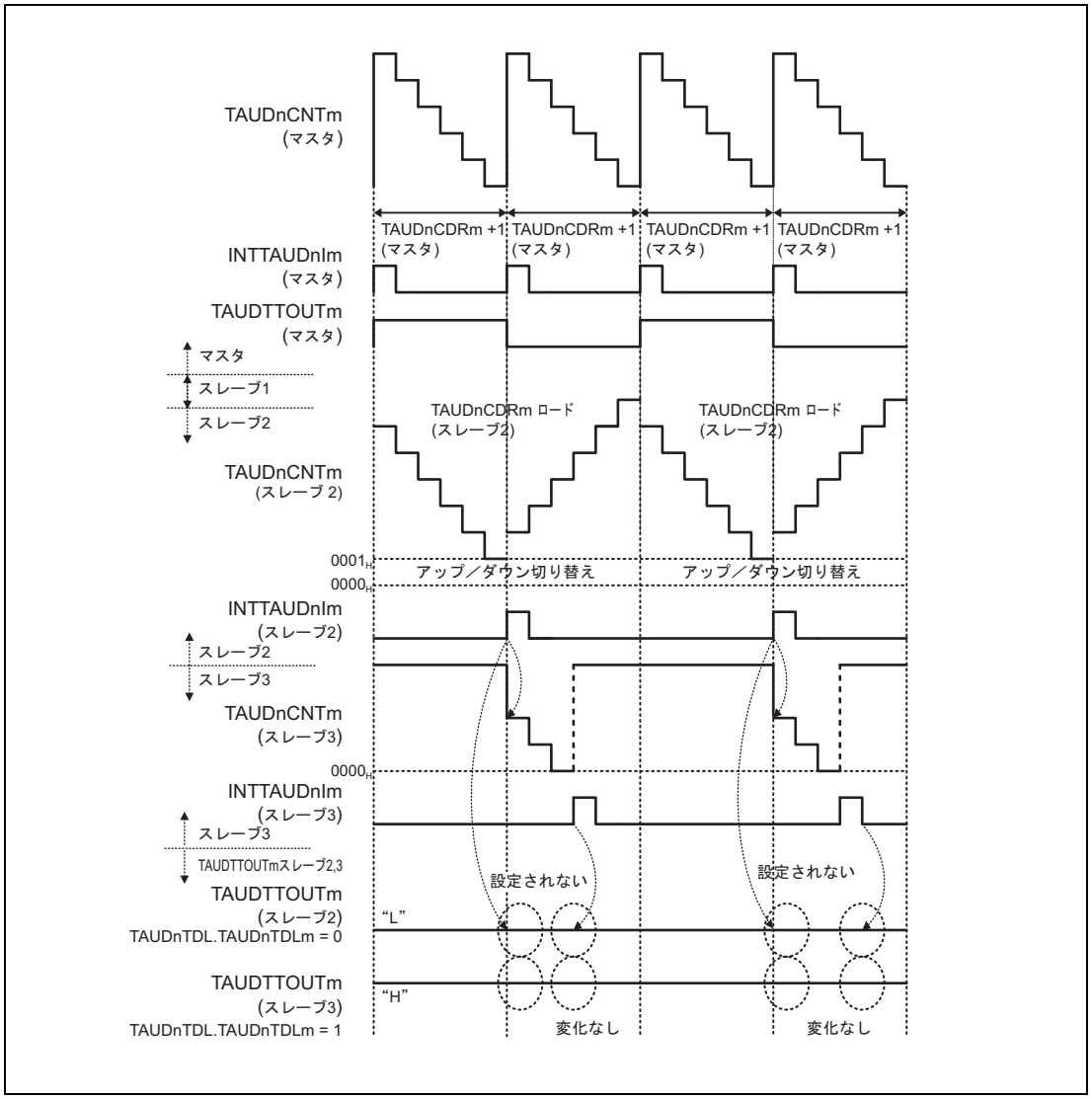


図 25.122 TAUDnCDRm（スレーブ 2）≧ TAUDnCDRm（マスタ）＋ 1

- TAUDnCDRm（スレーブ 2）値が TAUDnCDRm（マスタ）値以上の場合、スレーブチャネルのカウンタはダウンカウント中、0000_H になりません。したがって TAUDTTOUTm 信号のセット／リセットは行われず、初期状態のままになります。アップカウント中にスレーブチャネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(2) デューティサイクル = 100%

図 25.123 での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUDnTDL.TAUDnTDLm = 0）
- スレーブチャネル 3：
  - 負論理（TAUDnTDL.TAUDnTDLm = 1）

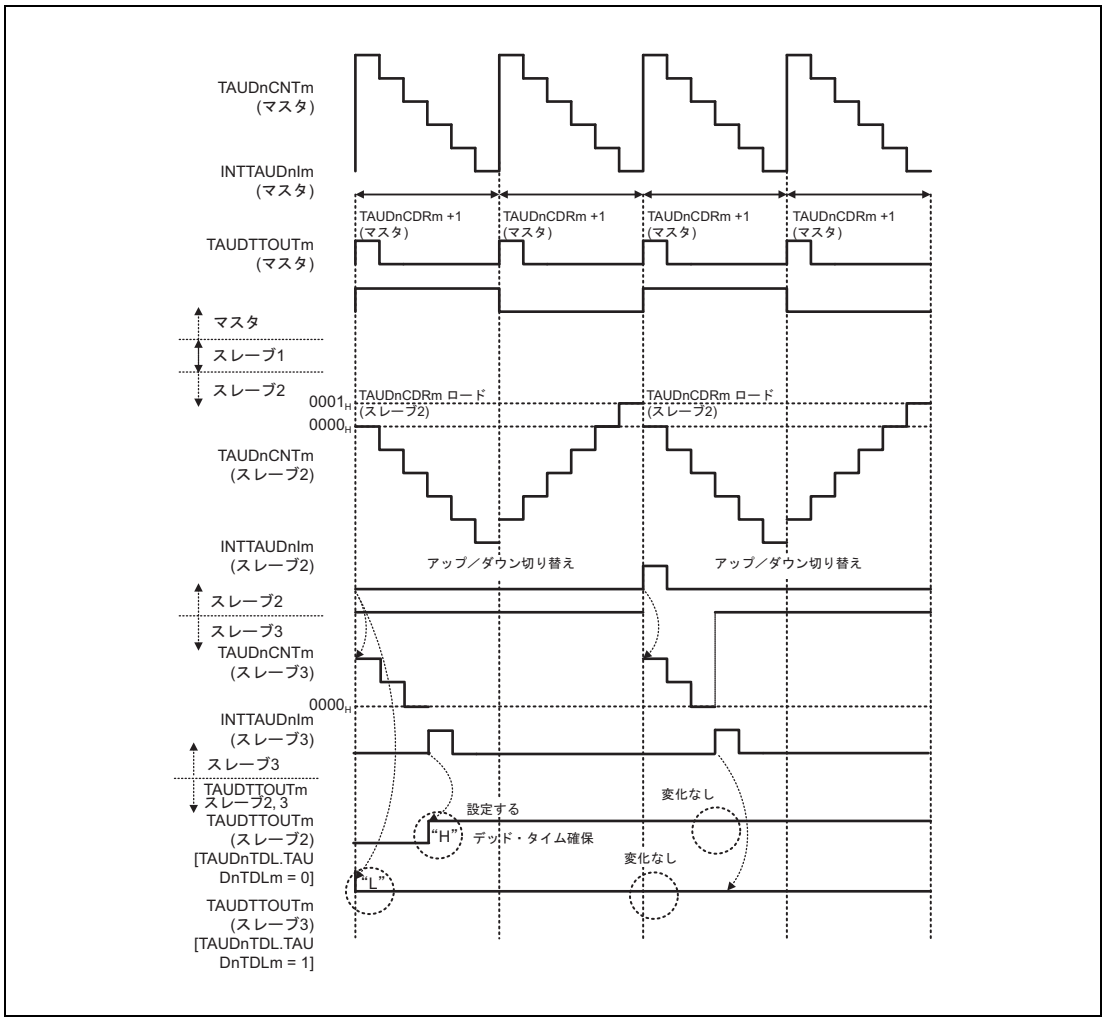


図 25.123　TAUDnCDRm（スレーブ）= 0000_H

- TAUDnCDRm（スレーブ 2）＝ 0000_H の場合、スレーブチャネルのカウンタはアップカウント中、0001_H になりません。したがって、アップカウント中に INTTAUDnIm は発生しません。
  - TAUDnTDL.TAUDnTDLm が “0” に設定されているチャネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャネルではリセット条件が満たされることがないため、TAUDTTOUTm のセット／リセットが行われても、信号は新しく設定された状態のままになります。
  - 上図のスレーブチャネル 3 はカウント開始時にセットされます。ただし、TAUDnTDL.TAUDnTDLm が “1” に設定されているスレーブチャネルでは、リセッ

ト条件が満たされることがないため、当該チャネルでは TAUDTTOUTm は初期状態のままになります。

25.15.9 A/D 変換トリガ出力機能タイプ 2

25.15.9.1 概要

概要

この機能は、TAUDTTOUTm が出力されないという点を除き、**「25.15.7 三角波 PWM 出力機能」**と同じです。

スレーブチャネルのチャネル出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

25.15.9.2 ブロック図と基本タイミング図

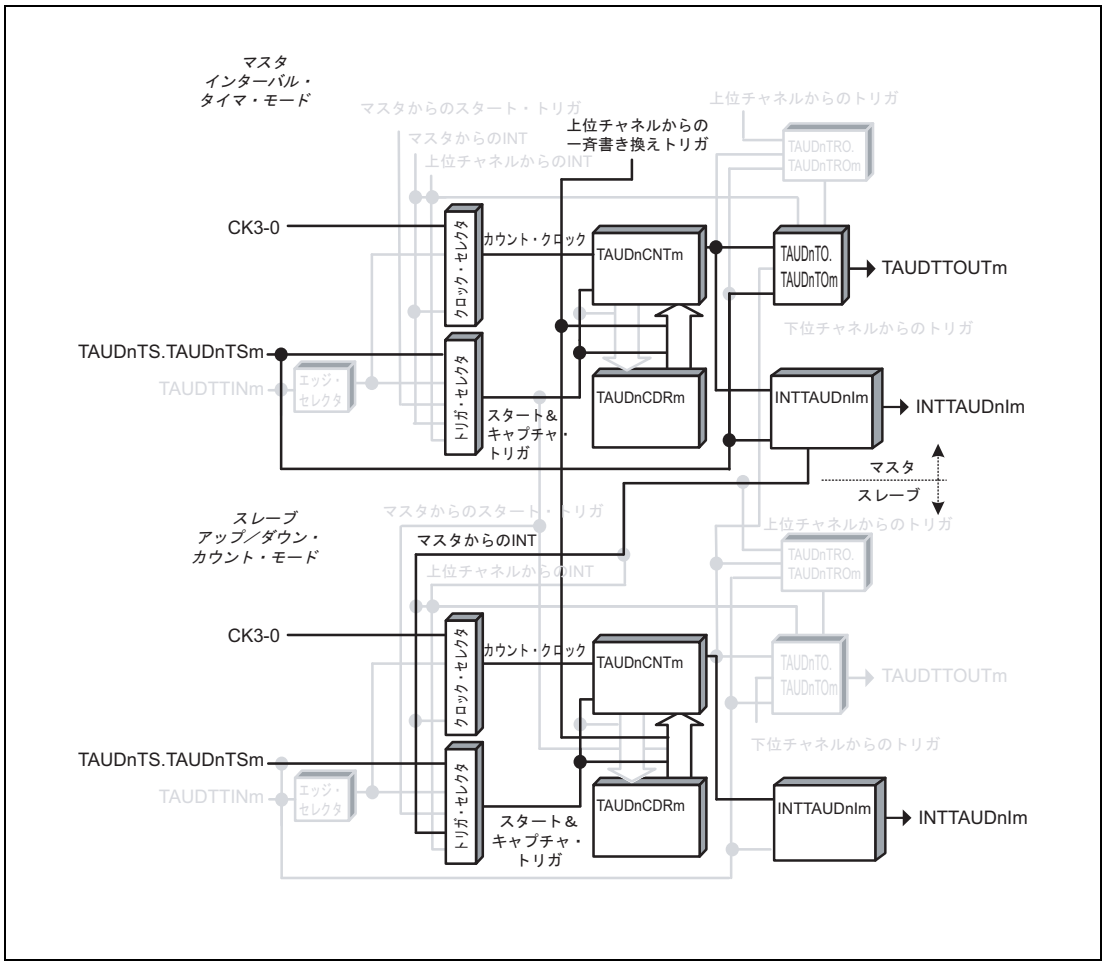


図 25.124 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  - 動作開始時に INTTAUDnIm が発生する
    （TAUDnCMORm.TAUDnMD0 = 1）

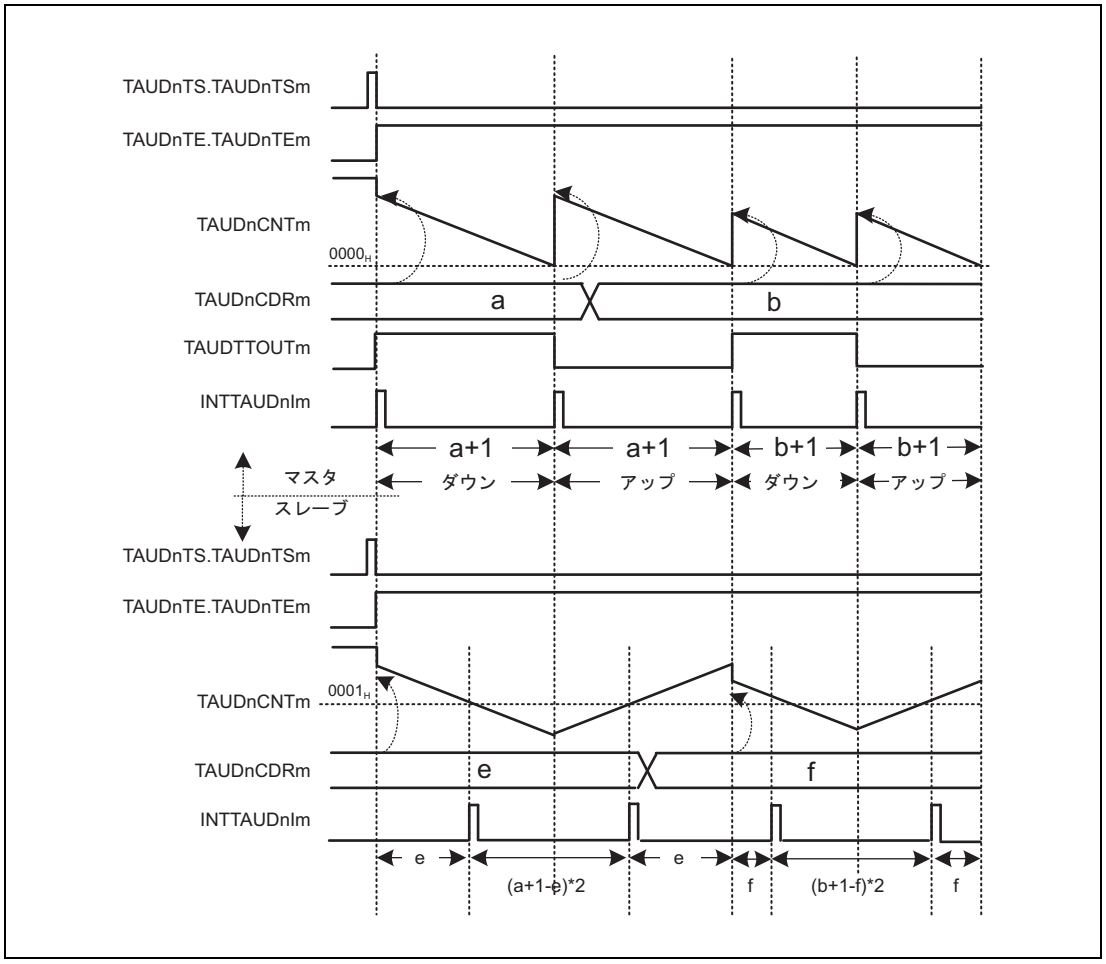


図 25.125　A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

25.15.10 割り込み要求信号間引き機能

25.15.10.1 概要

概要

マスタチャネルの割り込み数を、スレーブチャネルを使って指定した値で割る機能です。

割り込み要求信号間引き機能は、次の機能のサブ機能です。

- PWM 出力機能
  （**「25.15.1　PWM 出力機能」**参照）
- 三角波 PWM 出力機能
  （**「25.15.7　三角波 PWM 出力機能」**参照）
- デッドタイム付き三角波 PWM 出力機能
  （**「25.15.8　デッドタイム付き三角波 PWM 出力機能」**参照）

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.211　割り込み要求信号間引き機能のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、イベントカウントモードに設定する必要があります（**「表 25.214　割り込み要求信号間引き機能のスレーブチャネルの TAUDnCMORm レジスタの内容」**参照）。
- この機能では、TAUDTTOUTm を使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、カウンタ（マスタ／スレーブチャネル両方）の動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。マスタチャネルとスレーブチャネルのデータレジスタ（TAUDnCDRm）の現在値がカウンタ（TAUDnCNTm）にロードされます。

- マスタチャネル：
  マスタチャネルのカウンタが 0000_H になると、INTTAUDnIm が発生し、TAUDnCDRm の値が TAUDnCNTm にロードされます。
- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生するたびに、スレーブチャネルのカウンタをデクリメントします。カウンタが 0000_H になると、マスタチャネルからの次の割り込みを待ちます。そして TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードし、INTTAUDnIm が発生します。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm が停止しますが、値は保持します。

条件

この機能では一斉書き換えを行うことができます。**「25.6 一斉書き換え」**を参照してください。

25.15.10.2 算出式

割り込み除算演算子 = TAUDnCDRm（スレーブチャネル）

– TAUDnCDRm（スレーブチャネル）＋ 1 で定義されたマスタチャネルの INTTAUDnIm 数につき 1 つの INTTAUDnIm が発生します。

25.15.10.3 ブロック図と基本タイミング図

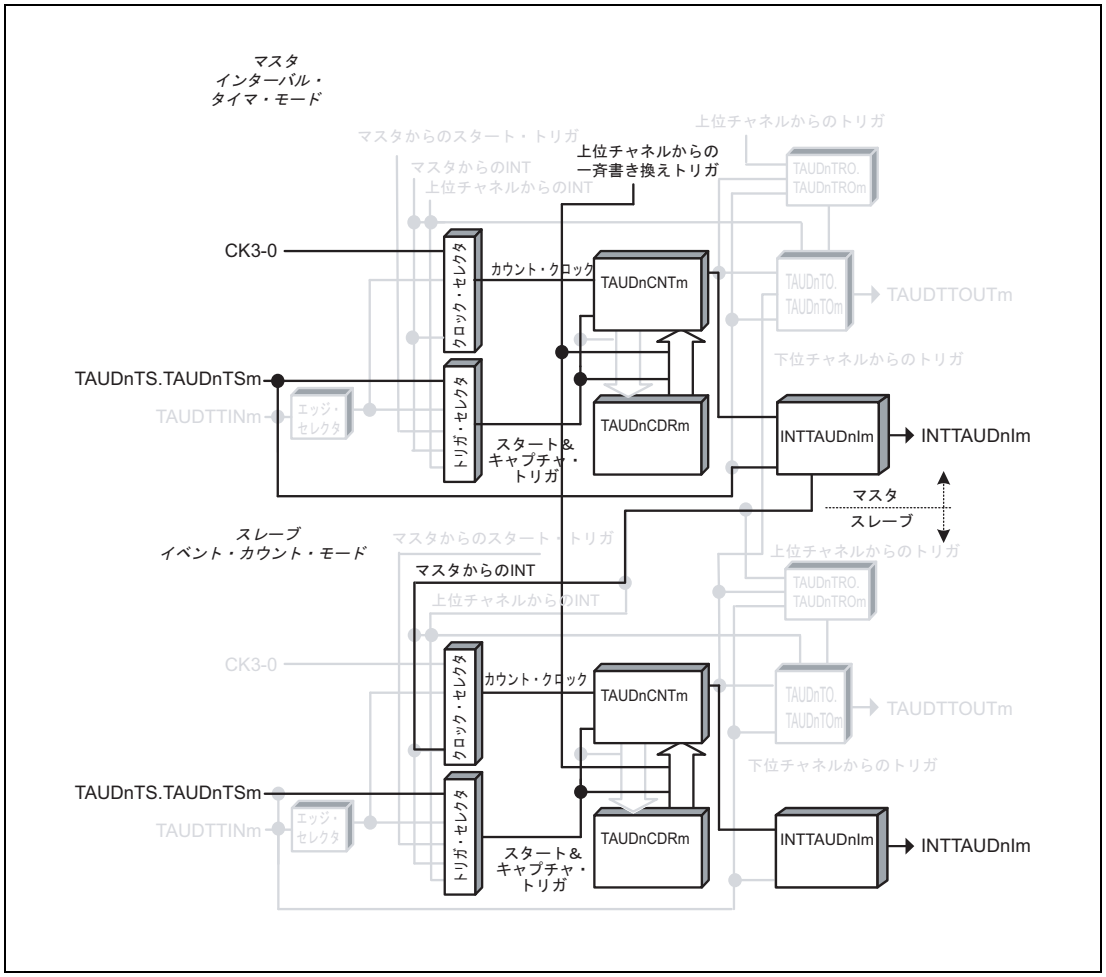


図 25.126 割り込み要求信号間引き機能のブロック図

基本タイミング図での設定は次のようになっています。

マスタチャネル：

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0 = 1）

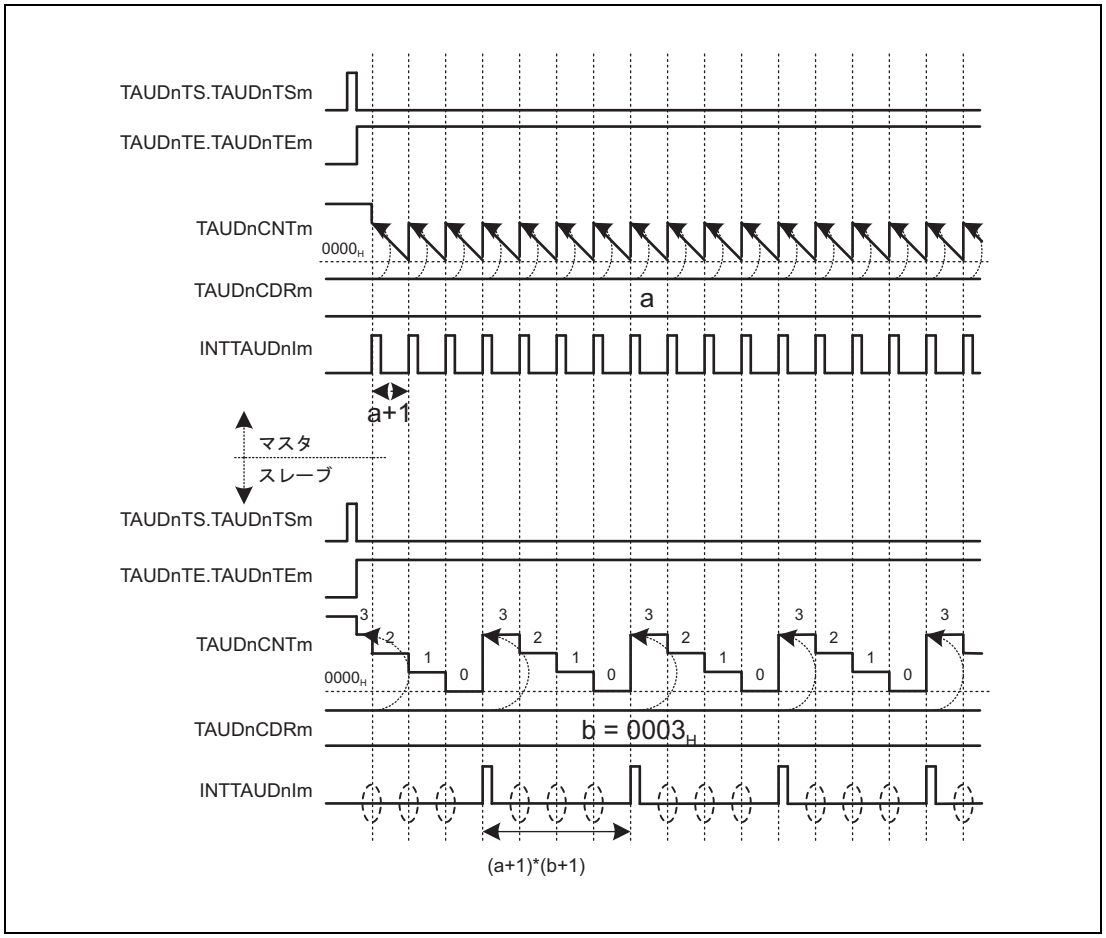


図 25.127　割り込み要求信号間引き機能の基本タイミング図

25.15.10.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.211　割り込み要求信号間引き機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.212　割り込み要求信号間引き機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.213　割り込み要求信号間引き機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.10.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.214 割り込み要求信号間引き機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.215 割り込み要求信号間引き機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネルの出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.216　割り込み要求信号間引き機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

25.15.10.6 割り込み要求信号間引き機能時の操作手順

表 25.217　割り込み要求信号間引き機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.10.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル :TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.15.10.5　スレーブチャネルのレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が “1” に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUDnIm が発生します。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： • INTTAUDnIm（マスタ）が発生します。 • TAUDnCNTm（マスタ）は TAUDnCDRm 値をロードし、カウント動作を継続します。 • スレーブチャネルの TAUDnCNTm は、マスタチャネルの INTTAUDnIm が検出されるごとにダウンカウントを行います。 スレーブチャネルの TAUDnCNTm が 0000_H になった場合： • INTTAUDnIm（スレーブ）が発生します。 • TAUDnCNTm（スレーブ）は TAUDnCDRm 値をロードし、カウント動作を継続します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、現在値を保持します。

動作再開

25.15.10.7 特定の設定時のタイミング図

(1) 割り込み数（マスタ）= 割り込み数（スレーブ）

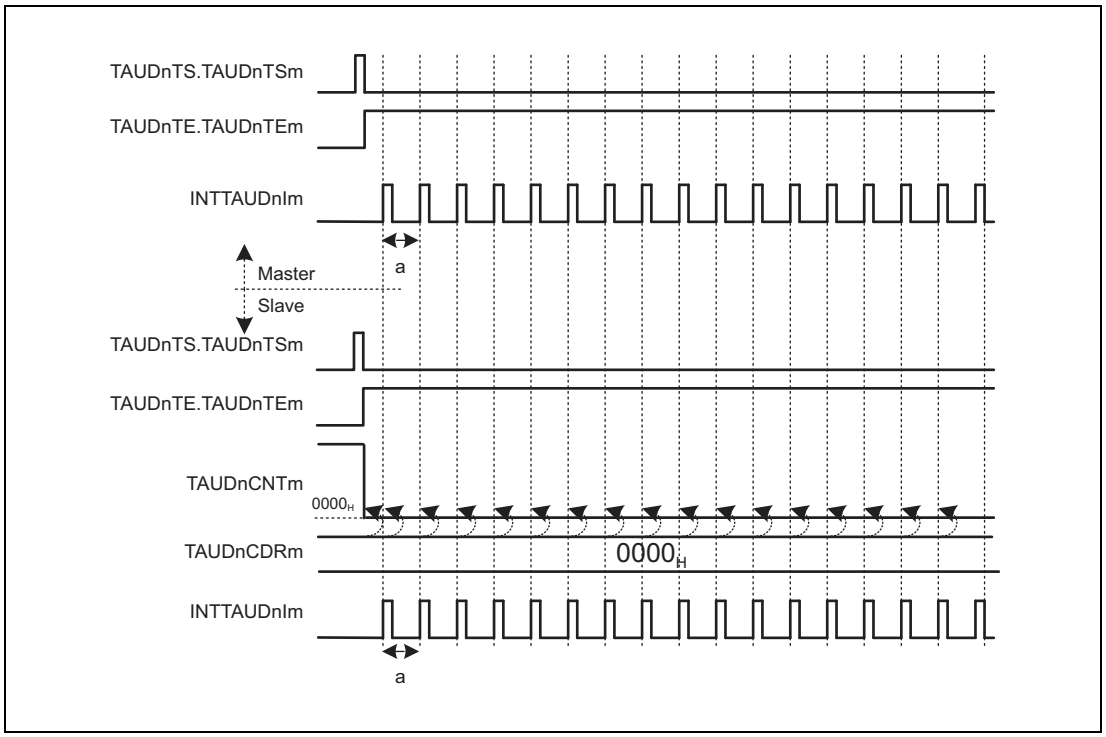


図 25.128　TAUDnCDRm（スレーブ）= 0000_H

- TAUDnCDRm = 0000_H の場合、マスタチャネルの INTTAUDnIm を検出するごとに、スレーブチャネルの TAUDnCDRm の値を TAUDnCNTm にロードします。つまり、TAUDnCNTm は常に 0000_H です。
- したがって、マスタチャネルで割り込みが発生するのと同時に、スレーブチャネルで割り込みが発生することになります。

25.16 連動非相補方式変調出力機能と連動相補方式変調出力機能

この節では、マスタチャネルと 7 個のスレーブチャネルを使用することで、6 相の PWM 出力または三角波 PWM 出力を生成する機能について説明します。

25.16.1 非相補方式変調出力機能タイプ 1

25.16.1.1 概要

概要

この機能では、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力許可ビット（TAUDnTME.TAUDnTMEm）の値に応じて、TAUDTTOUTm から PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。通常は 3 組のチャネルが使用されます。

前提条件

- マスタチャネル × 1、スレーブチャネル × 7
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.219　非相補方式変調出力機能タイプ 1 のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネル 1 ～ 7 の動作モードは、ワンカウントモードに設定する必要があります（**「表 25.222　非相補方式変調出力機能タイプ 1 のスレーブチャネル 1 の TAUDnCMORm レジスタの内容」**、**「表 25.225　非相補方式変調出力機能タイプ 1 のスレーブチャネル 2 ～ 7 の TAUDnCMORm レジスタの内容」**参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- この機能ではスレーブチャネル 1 の TAUDTTOUTm は使用しませんが、TAUDnTRC.TAUDnTRCm は “1” に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- スレーブチャネル 2 ～ 7 のチャネル出力モードは、非相補方式変調出力を行うチャネル連動出力モード 1 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- スレーブチャネル 1 の TAUDnCDRm は、0000_H に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、マスタ／スレーブチャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。データレジスタ（TAUDnCDRm）の値がカウンタ（TAUDnCNTm）にロードされ、カウンタはダウンカウントを開始します。カウンタが 0000_H になると、INTTAUDnIm が発生します。

- スレーブチャネル 1：
  スレーブチャネル 1 がリアルタイム出力のトリガチャネルとして設定されているため（TAUDnTRC.TAUDnTRCm = 1）、スレーブチャネル 1（TAUDnCDRm は 0000_H 固定）で割り込みが発生すると、当該チャネルの割り込み発生をモニタしているチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）値がそれぞれの TAUDTTOUTm 出力に反映されます。割り込み発生後、カウンタは $FFFF_H$ に戻り、マスタチャネルの次の割り込みを待ちます。

- スレーブチャネル 2：
  スレーブチャネル 2 は PWM 出力を生成します。PWM 出力周期はマスタチャネルで指定し、デューティサイクルはスレーブチャネル 2 で指定します。割り込み発生後、カウンタは $FFFF_H$ に戻り、マスタチャネルの次の割り込みを待ちます。

スレーブチャネル 3 ～ 7 はスレーブチャネル 2 と同じように動作します。

「表 25.218　非相補方式変調出力機能タイプ 1 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm = 0）」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力ビット（TAUDnTME.TAUDnTMEm）の値によって決まります。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

条件

- スレーブチャネル 2 ～ 7 で TAUDnTME.TAUDnTMEm = 0 が設定されている場合（TAUDnTOL.TAUDnTOLm = 0）：
  - チャネルの TAUDnTRO.TAUDnTROm が “1” の場合、TAUDTTOUTm はハイレベル信号を出力します。
  - チャネルの TAUDnTRO.TAUDnTROm が “0” の場合、TAUDTTOUTm はロウレベル信号を出力します。
- スレーブチャネル 2 ～ 7 で TAUDnTME.TAUDnTMEm = 1 が設定されている場合（TAUDnTOL.TAUDnTOLm = 0）：
  - チャネルの TAUDnTRO.TAUDnTROm が “1” の場合、TAUDTTOUTm はそのチャネルの対応する PWM（正論理）を出力します。
  - チャネルの TAUDnTRO.TAUDnTROm が “0” の場合、TAUDTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が “1” の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。
  TAUDnTOL.TAUDnTOLm は初期設定のみ可能です（動作中は変更できません）。

表 25.218　非相補方式変調出力機能タイプ 1 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm = 0）

TAUDnTME. TAUDnTMEm	TAUDnTRO. TAUDnTROm	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM（正論理）

- この機能では一斉書き換えを行うことができます。**「25.6　一斉書き換え」**を参照してください。
- スレーブチャネル1のTAUDnCDRm値は、スレーブチャネル2～7でPWMが生成されるのと同時にリアルタイム出力がトリガされるよう、0000_H に設定する必要があります。

- スレーブチャネル 2 ～ 7 で TAUDnTOL.TAUDnTOLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “0”（ロウレベル）に設定します。
- スレーブチャネル 2 ～ 7 で TAUDnTOL.TAUDnTOLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “1”（ハイレベル）に設定します。

25.16.1.2　算出式

スレーブチャネル 2 ～ 7 :

パルス周期 = [TAUDnCDRm（マスタ）＋ 1] × カウントクロック周期

デューティ時間 = [TAUDnCDRm（スレーブ）] × カウントクロック周期

25.16.1.3 ブロック図と基本タイミング図

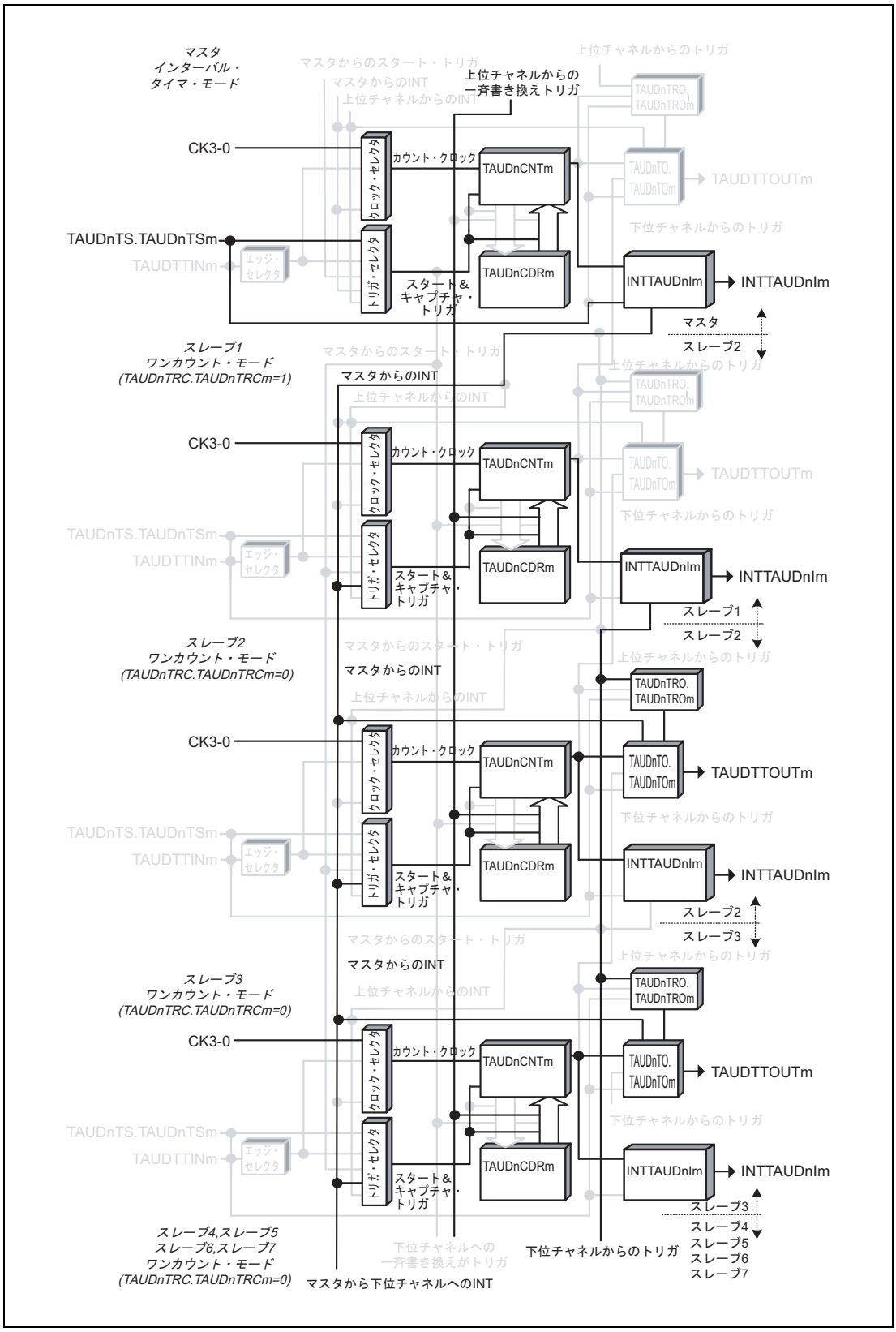


図 25.129 非相補方式変調出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル 2 ～ 7：正論理（TAUDnTOL.TAUDnTOLm = 0）

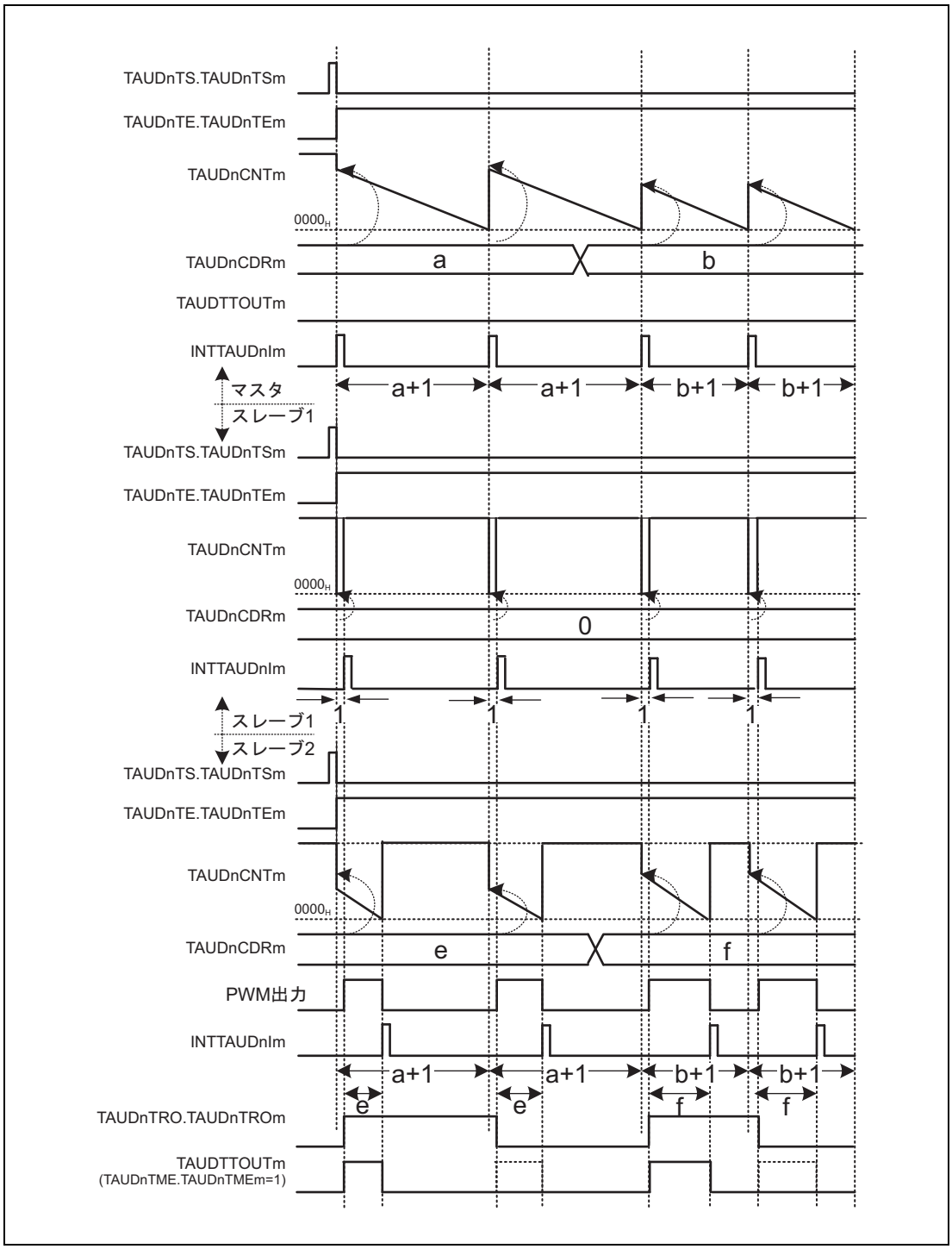


図 25.130 非相補方式変調出力機能タイプ 1 の基本タイミング図

備 考

スレーブチャネル 2 の TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

25.16.1.4　マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.219　非相補方式変調出力機能タイプ 1 のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始または再開時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.220　非相補方式変調出力機能タイプ 1 のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.221　非相補方式変調出力機能タイプ 1 時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

備　考

TAUDnRDS.TAUDnRDSm ビット =1 で使用する場合、マスタチャネルの上位に**「25.14.1　一斉書き換えトリガ生成機能タイプ 1」**で動作するチャネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャネル：TAUDnRDCm = 1、TAUDnRDSm = 1
  また、本チャネルの TAUDnCDRm 設定値は下記となります。
  =（(一斉書き換え対象のマスタチャネルの TAUDnCDRm 設定値 +1）× 割り込み回数）–1
- マスタチャネル：TAUDnRDCm = 0、TAUDnRDSm = 1
- スレーブチャネル：TAUDnRDCm = 0、TAUDnRDSm = 1

25.16.1.5　スレーブチャネル 1 のレジスタ設定

(1) スレーブチャネル 1 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.222　非相補方式変調出力機能タイプ 1 のスレーブチャネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.223　非相補方式変調出力機能タイプ 1 のスレーブチャネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) チャネル出力モード

この機能では、スレーブチャネル 1 ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

注　意

スレーブチャネル 1 をリアルタイム出力のトリガチャネルとして使用するため、TAUDnTRC.TAUDnTRCm を “1” に設定する必要があります。

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.224　非相補方式変調出力機能タイプ 1 時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

25.16.1.6　スレーブチャネル 2 ～ 7 のレジスタ設定

(1) スレーブチャネル 2 ～ 7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.225　非相補方式変調出力機能タイプ 1 のスレーブチャネル 2 ～ 7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャネル 2 ～ 7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.226　非相補方式変調出力機能タイプ 1 のスレーブチャネル 2 ～ 7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネル 2 ～ 7 のチャネル出力モード

表 25.227　非相補方式変調出力を行うチャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止 1：変調許可

(4) スレーブチャネル 2 ～ 7 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.228　非相補方式変調出力機能タイプ 1 時のスレーブチャネル 2 ～ 7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

25.16.1.7　非相補方式変調出力機能タイプ 1 時の操作手順

表 25.229　非相補方式変調出力機能タイプ 1 時の操作手順 (1/2)

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.1.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル 1：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.1.5　スレーブチャネル 1 のレジスタ設定」**に示すように設定します。 スレーブチャネル 2 ～ 7：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.1.6　スレーブチャネル 2 ～ 7 のレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。マスタチャネルの TAUDnCDRm にパルス周期、スレーブチャネル 1 の TAUDnCDRm に 0000_H、スレーブチャネル 2 ～ 7 の TAUDnCDRm にデューティ幅を設定します。 スレーブチャネル 1 に TAUDnTRC.TAUDnTRCm = 1 を設定します。	チャネル動作を停止しています。

表 25.229　非相補方式変調出力機能タイプ 1 時の操作手順 (2/2)

	操作	TAUDn の状態
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	マスタ／スレーブチャネルの TAUDnTE.TAUDnTEm が “1” に設定され、カウンタがダウンカウントを開始します。
動作中	TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネル、スレーブチャネル 1、スレーブチャネル 2 ～ 7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000_H になった場合： • INTTAUDnIm が発生します。 • 再びマスタチャネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 • スレーブチャネル 2 ～ 7 の PWM 出力信号がセットされます。 • 再びスレーブチャネル 1 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 • 再びスレーブチャネル 2 ～ 7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 • スレーブチャネル1のカウンタが0000_Hになった場合： – INTTAUDnIm が発生します。 – スレーブチャネル 2 ～ 7 の TAUDnTRO.TAUDnTROm の値が、TAUDTTOUTm 出力に反映されます。 • スレーブチャネル2～7のカウンタが0000_Hになった場合： – INTTAUDnIm が発生します。 – スレーブチャネル 2 ～ 7 の PWM 出力信号がリセットされます。 スレーブチャネル 2 ～ 7 の TAUDTTOUTm は、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力ビット（TAUDnTME.TAUDnTMEm）の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.16.1.8　特定の設定時のタイミング図

特定の設定時のタイミング図での設定は次のようになっています。

- スレーブチャネル 2 ～ 7：正論理（TAUDnTOL.TAUDnTOLm = 0）

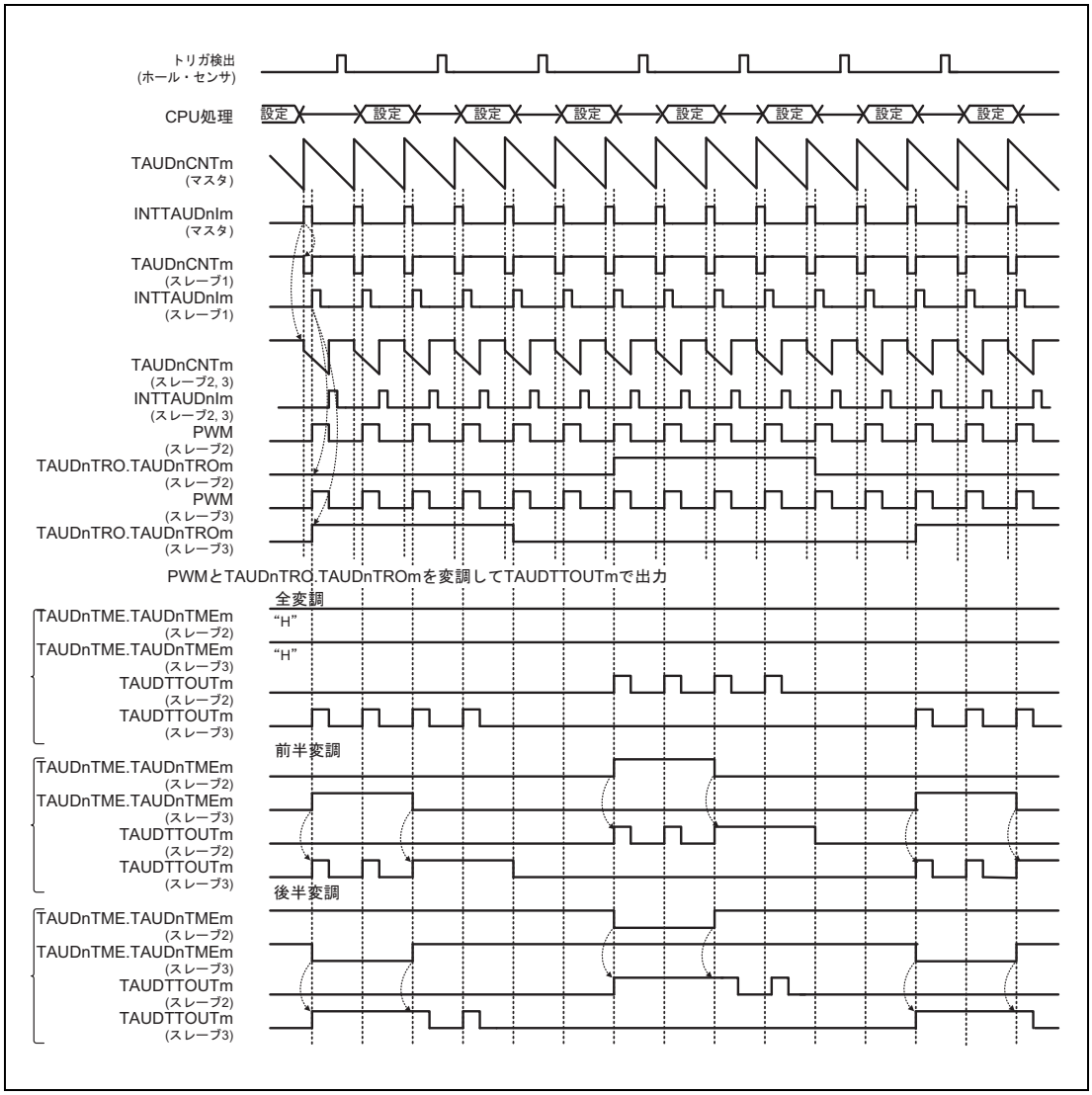


図 25.131　非相補方式変調出力機能タイプ 1 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEm は、カウント開始タイミングとマスタチャネルの周期検出で設定値が反映されます。変更された設定値に従い、TAUDTTOUTm より変調波形を出力します。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

25.16.2　非相補方式変調出力機能タイプ 2

25.16.2.1　概要

概要

この機能では、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力許可ビット（TAUDnTME.TAUDnTMEm）の値に応じて、TAUDTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を出力します。通常は 3 組のチャネルが使用されます。

前提条件

- マスタチャネル × 1、スレーブチャネル × 7
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.231　非相補方式変調出力機能タイプ 2 のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネル 1 の動作モードは、イベントカウントモードに設定する必要があります（**「表 25.235　非相補方式変調出力機能タイプ 2 のスレーブチャネル 1 の TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネル 2 ～ 7 の動作モードは、アップ／ダウンカウントモードに設定する必要があります（**「表 25.238　非相補方式変調出力機能タイプ 2 のスレーブチャネル 2 ～ 7 の TAUDnCMORm レジスタの内容」**参照）。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- この機能ではスレーブチャネル 1 の TAUDTTOUTm は使用しませんが、TAUDnTRC.TAUDnTRCm は “1” に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- スレーブチャネル 2 ～ 7 のチャネル出力モードは、非相補方式変調出力を行うチャネル連動出力モード 2 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、マスタ／スレーブチャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。データレジスタ（TAUDnCDRm）の値がカウンタ（TAUDnCNTm）にロードされます。

- マスタチャネル：
  マスタチャネルのカウンタがダウンカウントを開始します。カウンタが 0000_H になると、INTTAUDnIm が発生します。
- スレーブチャネル 1：
  スレーブチャネル 1 がマスタチャネルからの割り込みを検出すると、TAUDnCNTm 値はデクリメントされます。マスタチャネルからの割り込みが TAUDnCDRm + 1 検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。
  スレーブチャネル 1 がリアルタイム出力のトリガチャネルとして設定されているため（TAUDnTRC.TAUDnTRCm = 1）、スレーブチャネル 1 で割り込みが発生すると、当該チャネルの割り込み発生をモニタしているチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）値がそれぞれの TAUDTTOUTm 出力に反映されます。
- スレーブチャネル 2：
  マスタチャネルからの割り込みを検出すると、TAUDnCNTm は逆方向にカウントを行います。アップカウント中に割り込みを検出すると、再び TAUDnCDRm の値をロードしてからダウンカウントを開始します。
  TAUDnCNTm = 0001_H の場合、割り込みが発生し、PWM 出力信号がセット／リセットされます。

マスタチャネルとスレーブチャネル 2 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャネルは PWM 出力周期を生成し、スレーブチャネル 2 はデューティサイクルを生成します。

スレーブチャネル 3 ～ 7 はスレーブチャネル 2 と同じように動作します。

「表 25.230　非相補方式変調出力機能タイプ 2 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm = 0）」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力ビット（TAUDnTME.TAUDnTMEm）の値によって決まります。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

条件

- スレーブチャネル 2 ～ 7 で TAUDnTME.TAUDnTMEm = 0 が設定されている場合（TAUDnTOL.TAUDnTOLm = 0）：
  - チャネルの TAUDnTRO.TAUDnTROm が “1” の場合、TAUDTTOUTm はハイレベル信号を出力します。
  - チャネルの TAUDnTRO.TAUDnTROm が “0” の場合、TAUDTTOUTm はロウレベル信号を出力します。
- スレーブチャネル 2 ～ 7 で TAUDnTME.TAUDnTMEm = 1 が設定されている場合（TAUDnTOL.TAUDnTOLm = 0）：
  - チャネルの TAUDnTRO.TAUDnTROm が “1” の場合、TAUDTTOUTm はそのチャネルの対応する PWM（正論理）を出力します。
  - チャネルの TAUDnTRO.TAUDnTROm が “0” の場合、TAUDTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が “1” の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。
  TAUDnTOL.TAUDnTOLm は初期設定のみ可能です（動作中は変更できません）。

表 25.230　非相補方式変調出力機能タイプ 2 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm = 0）

TAUDnTME. TAUDnTMEm	TAUDnTRO. TAUDnTROm	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM（正論理）

- この機能では一斉書き換えを行うことができます。**「25.6　一斉書き換え」**を参照してください。
- スレーブチャネル 2 ～ 7 で TAUDnTOL.TAUDnTOLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “0”（ロウレベル）に設定します。
- スレーブチャネル 2 ～ 7 で TAUDnTOL.TAUDnTOLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “1”（ハイレベル）に設定します。

25.16.2.2　算出式

スレーブチャネル 2 ～ 7：

キャリア周期（ダウン／アップ）
= [TAUDnCDRm（マスタ）+ 1] × 2 × カウントクロック周期

デューティ時間
= [TAUDnCDRm（マスタ）＋ 1 － TAUDnCDRm（スレーブ）] × 2 × カウントクロック周期

25.16.2.3 ブロック図と基本タイミング図

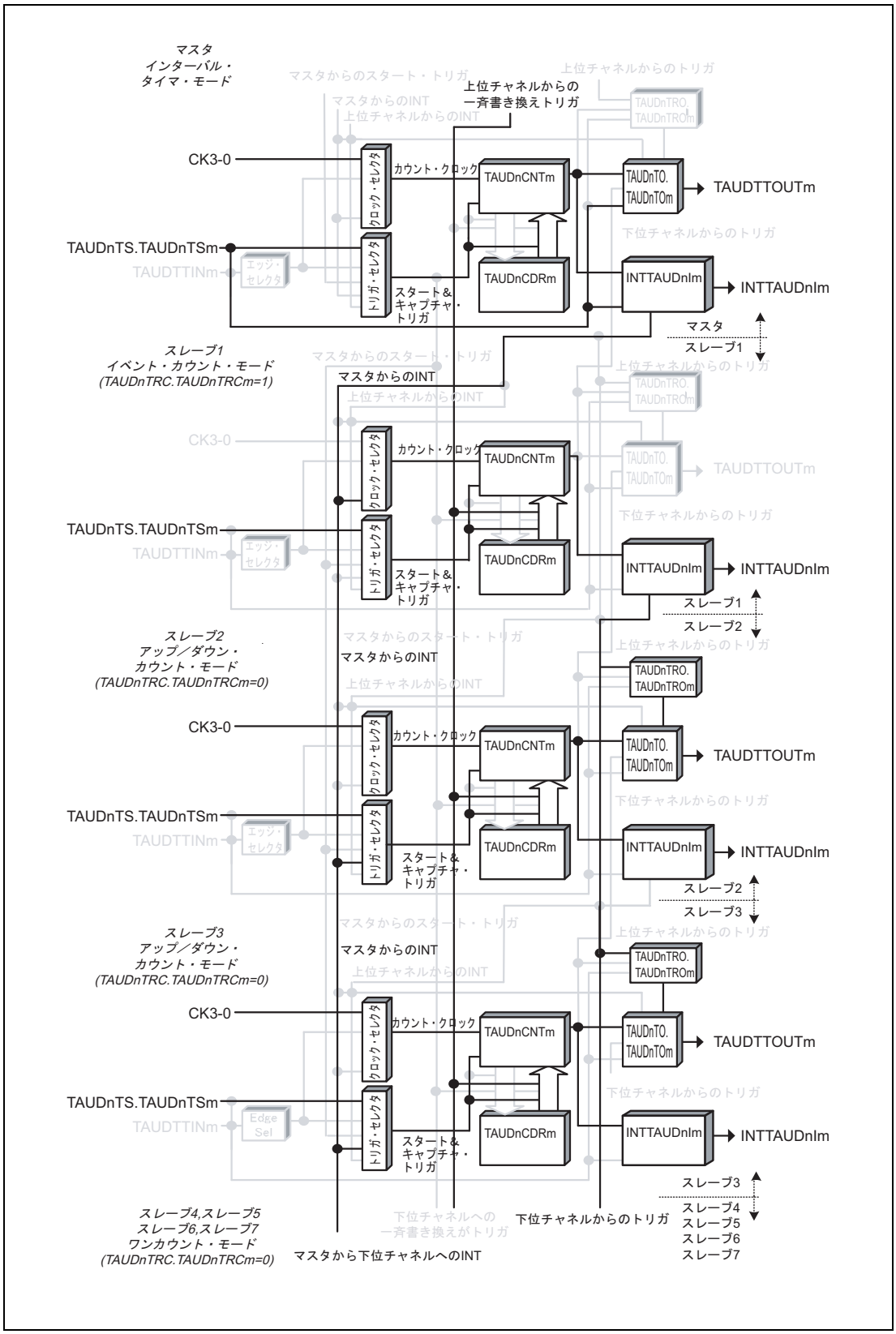


図 25.132 非相補方式変調出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0 = 0）
- スレーブチャネル 2 ～ 7：正論理（TAUDnTOL.TAUDnTOLm = 0）

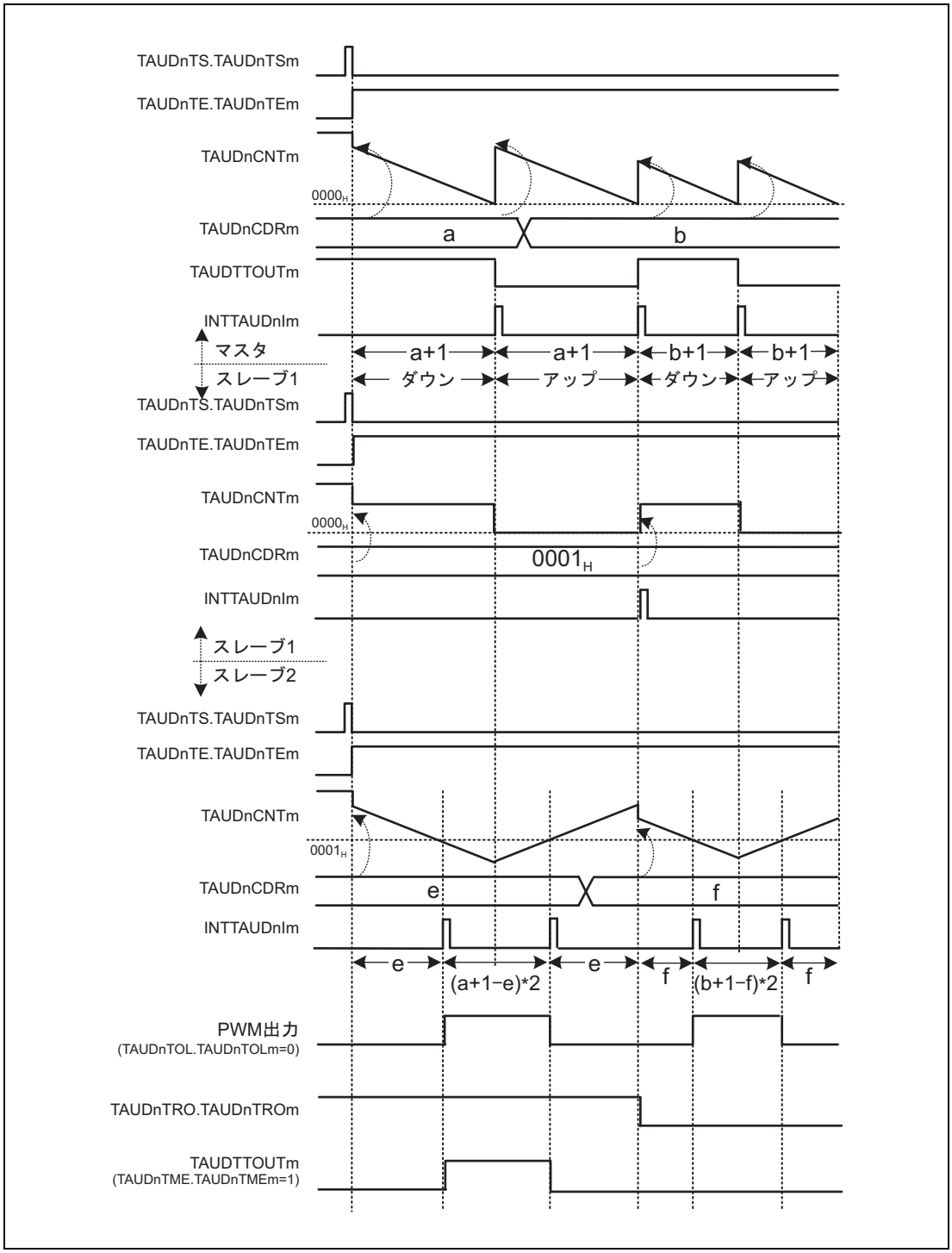


図 25.133　非相補方式変調出力機能タイプ 2 の基本タイミング図

25.16.2.4　マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.231　非相補方式変調出力機能タイプ 2 のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない 1：動作開始または再開時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.232　非相補方式変調出力機能タイプ 2 のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) マスタチャネルのチャネル出力モード

表 25.233　非相補方式変調出力機能タイプ 2 時のマスタチャネルの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.234　非相補方式変調出力機能タイプ 2 時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

25.16.2.5　スレーブチャネル 1 のレジスタ設定

(1) スレーブチャネル 1 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.235　非相補方式変調出力機能タイプ 2 のスレーブチャネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.236　非相補方式変調出力機能タイプ 2 のスレーブチャネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) チャネル出力モード

この機能では、スレーブチャネル 1 ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

注　意

スレーブチャネル 1 をリアルタイム出力のトリガチャネルとして使用するため、TAUDnTRC.TAUDnTRCm を “1” に設定する必要があります。

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.237　非相補方式変調出力機能タイプ 2 時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

25.16.2.6　スレーブチャネル 2 ～ 7 のレジスタ設定

(1) スレーブチャネル 2 ～ 7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.238　非相補方式変調出力機能タイプ 2 のスレーブチャネル 2 ～ 7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1001：アップ／ダウンカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャネル 2 ～ 7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.239　非相補方式変調出力機能タイプ 2 のスレーブチャネル 2 ～ 7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネル 2 ～ 7 の出力モード

表 25.240　非相補方式変調出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止 1：変調許可

(4) スレーブチャネル 2 ～ 7 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.241　非相補方式変調出力機能タイプ 2 時のスレーブチャネル 2 ～ 7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

25.16.2.7　非相補方式変調出力機能タイプ 2 時の操作手順

表 25.242　非相補方式変調出力機能タイプ 2 時の操作手順 (1/2)

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.2.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル 1：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.2.5　スレーブチャネル 1 のレジスタ設定」**に示すように設定します。 スレーブチャネル 2 ～ 7：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.2.6　スレーブチャネル 2 ～ 7 のレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。マスタチャネルの TAUDnCDRm でパルス周期を設定し、スレーブチャネル 1 の TAUDnCDRm でスレーブチャネル 1 がリアルタイム出力トリガを生成するまでに無視するマスタチャネルの割り込み数を設定します。また、スレーブチャネル 2 ～ 7 の TAUDnCDRm にデューティ幅を設定します。 スレーブチャネル 1 に TAUDnTRC.TAUDnTRCm = 1 を設定します。	チャネル動作を停止しています。

表 25.242　非相補方式変調出力機能タイプ 2 時の操作手順 (2/2)

	操作	TAUDn の状態
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	マスタ／スレーブチャネルの TAUDnTE.TAUDnTEm が “1” に設定され、カウンタがダウンカウントを開始します。
動作中	TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2 ～ 7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャネル 1 の TAUDnCDRm の値をロードし、マスタチャネルの割り込みを待ちます。マスタチャネルのカウンタが 0000_H になった場合： • INTTAUDnIm が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 • スレーブチャネル1のTAUDnCNTm値が1減少し、マスタチャネルの次の割り込みを待ちます。 • スレーブチャネル2～7のTAUDnCNTmは再び TAUDnCDRm の値をロードするか、反対方向のカウントを開始します。 • TAUDnCDRm の値がロードされるタイミングで、スレーブチャネル 2 ～ 7 の TAUDnTME.TAUDnTMEm の値が、TAUDTTOUTm 出力に反映されます。 • スレーブチャネル 1 が、マスタチャネルの割り込みを TAUDnCDRm + 1 検出した場合： – INTTAUDnIm が発生します。 – スレーブチャネル 2 ～ 7 の TAUDnTRO.TAUDnTROm の値が、TAUDTTOUTm 出力に反映されます。 • スレーブチャネル2～7のカウンタが0001_Hになった場合： – INTTAUDnIm が発生します。 – スレーブチャネル 2 ～ 7 の PWM 出力信号がセット／リセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

25.16.2.8　特定の設定時のタイミング図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0 = 0）
- スレーブチャネル 2 ～ 7：正論理（TAUDnTOL.TAUDnTOLm = 0）

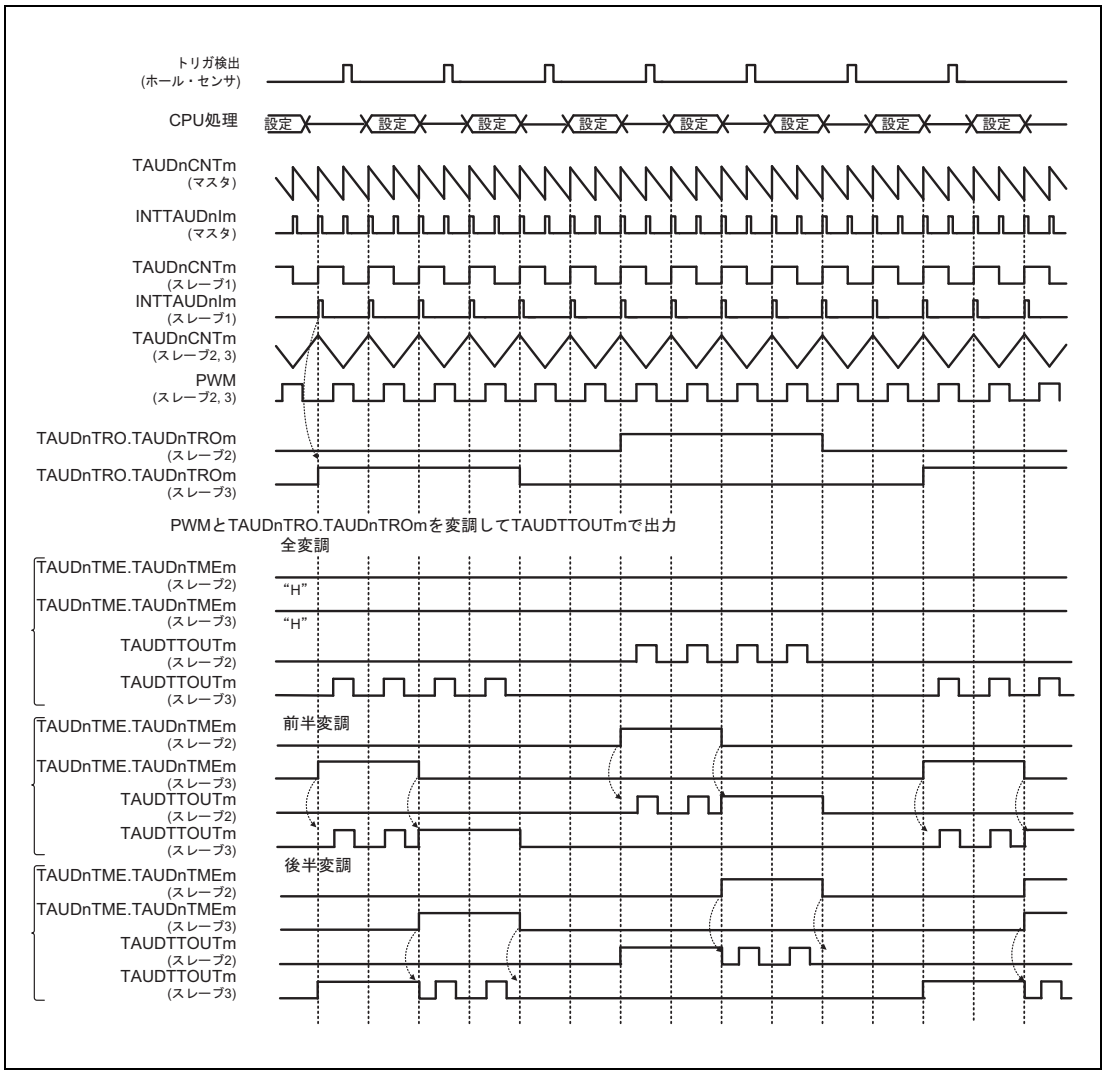


図 25.134　非相補方式変調出力機能タイプ 2 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

25.16.3 相補方式変調出力機能

25.16.3.1 概要

概要

この機能では、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）、変調出力ビット（TAUDnTME.TAUDnTMEm）、出力レベルビット（TAUDnTDL.TAUDnTDLm）の値に応じて、TAUDTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を、デッドタイムを付加して出力します。通常は 3 組のチャネルが使用されます。

前提条件

- マスタチャネル × 1、スレーブチャネル × 7
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 25.244　相補方式変調出力機能のマスタチャネルの TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネル 1 の動作モードは、イベントカウントモードに設定する必要があります（**「表 25.248　相補方式変調出力機能のスレーブチャネル 1 の TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネル 2, 4, 6 の動作モードは、アップ／ダウンカウントモードに設定する必要があります（**「表 25.251　相補方式変調出力機能のスレーブチャネル 2, 4, 6 の TAUDnCMORm レジスタの内容」**参照）。
- スレーブチャネル 3, 5, 7 の動作モードは、ワンカウントモードに設定する必要があります（**「表 25.255　相補方式変調出力機能のスレーブチャネル 3, 5, 7 の TAUDnCMORm レジスタの内容」**参照）。
  また、スレーブチャネル 3, 5, 7 の割り込みは、キャリア周期内での発生回数が一意に決まらないため、割り込み要因として使用しないでください。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- この機能ではスレーブチャネル 1 の TAUDTTOUTm は使用しませんが、TAUDnTRC.TAUDnTRCm は “1” に設定する必要があります（**「25.7　チャネル出力モード」**参照）。
- スレーブチャネル 2 ～ 7 のチャネル出力モードは、相補方式変調出力を行うチャネル連動出力モード 2 に設定する必要があります（**「25.7　チャネル出力モード」**参照）。

機能説明

- マスタチャネル：
  チャネルトリガビット（TAUDnTS.TAUDnTSm）を “1” に設定すると、マスタチャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。マスタチャネルのデータレジスタ（TAUDnCDRm）の値がカウンタ（TAUDnCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。
  マスタチャネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。これによりスレーブチャネル 1 のカウンタ値が 1 減少し、スレーブチャネル 2 のカウンタが反対方向にカウントを開始します。

- スレーブチャネル 1：
  カウンタが 0000_H になると、マスタチャネルからの次の割り込みを待ちます。そして再び TAUDnCDRm の値を TAUDnCNTm（スレーブ 1）にロードし、INTTAUDnIm が発生します。
  スレーブチャネル 1 はリアルタイム出力のトリガチャネルとして設定されます（TAUDnTRC.TAUDnTRCm = 1）。割り込みにより、スレーブチャネル 1 の割り込み発生を検出しているチャネルで、各チャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）の値が適用されます。リアルタイム出力ビット値はアプリケーションソフトで任意のタイミングで変更可能ですが、新しい値はスレーブチャネル 1 で割り込みが発生するまで適用されません。

- スレーブチャネル 2：
  スレーブチャネル 2 のカウンタが 0001_H になると、スレーブチャネル 3 のカウンタがダウンカウントを開始します。スレーブチャネル 3 のカウンタが 0000_H になると、割り込みが発生します。

- スレーブチャネル 2、スレーブチャネル 3：
  マスタチャネルとスレーブチャネル 2 およびスレーブチャネル 3 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャネルは PWM 出力周期を生成し、スレーブチャネル 2 はデューティサイクルを、スレーブチャネル 3 はデッドタイムを生成します。

- スレーブチャネル 4 ～ 7：
  スレーブチャネル 4, 6 はスレーブチャネル 2 と同じように動作し、スレーブチャネル 5, 7 はスレーブチャネル 3 と同じように動作します。

「表 25.243　相補方式変調出力機能時のスレーブチャネル 1 組の TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm = 0）」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）、変調出力ビット（TAUDnTME.TAUDnTMEm）、出力レベルビット（TAUDnTDL.TAUDnTDLm）の値によって決まります。

ただし、チャネル 2 とチャネル 3 の両方からハイレベル信号が出力されることは禁止です（モータドライバのショートを防ぐなどの目的のため）。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

条件

- 1 組のチャネルの双方で TAUDnTME.TAUDnTMEm が “1” に設定されている場合（TAUDnTOL.TAUDnTOLm = 0）：
  - 片方のチャネルの TAUDnTRO.TAUDnTROm が “1” の場合、TAUDTTOUTm はそのチャネルの対応する PWM を出力します。
  - 双方のチャネルの TAUDnTRO.TAUDnTROm が “0” の場合、1 組の TAUDTTOUTm はロウレベル信号を出力します。

- 1 組のチャネルの双方で TAUDnTME.TAUDnTMEm が “0” に設定されている場合（TAUDnTOL.TAUDnTOLm = 0）：
  - TAUDnTRO.TAUDnTROm が “1” の場合、そのチャネルの TAUDTTOUTm はハイレベル信号を出力します。
  - TAUDnTRO.TAUDnTROm が “0” の場合、そのチャネルの TAUDTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が “1” の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。

表 25.243　相補方式変調出力機能時のスレーブチャネル 1 組の TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm = 0）

TAUDnTME.TAUDnTME2	TAUDnTME.TAUDnTME3	TAUDnTRO.TAUDnTRO2	TAUDnTRO.TAUDnTRO3	TAUDnTDL.TAUDnTDL2	TAUDnTDL.TAUDnTDL3	TAUDTTOUT2 出力	TAUDTTOUT3 出力
0	0	0	0	X	X	ロウレベル	ロウレベル
		0	1	1	0	ロウレベル	ハイレベル
		1	0	0	1	ハイレベル	ロウレベル
		1	1	X	X	設定禁止	設定禁止
1	1	0	0	X	X	ロウレベル	ロウレベル
		0	1	1	0	~PWM	PWM
		1	0	0	1	PWM	~PWM
		1	1	X	X	設定禁止	設定禁止

備　考

1. この表の PWM は正相 PWM 信号を示し、~PWM は逆相 PWM 信号を示します（正論理）。正相／逆相は TAUDnTDL.TAUDnTDLm で設定されます。
2. この表に記述のない設定は禁止です。

- 1 組のチャネルの片方で、TAUDnTRO.TAUDnTROm が “1” に設定されている間、TAUDnTME.TAUDnTMEm が継続的に “1” に設定されている場合、その変調は全変調になります。
- 1 組のチャネルの片方で、TAUDnTRO.TAUDnTROm が “1” に設定されている期間の前半で TAUDnTME.TAUDnTMEm が “1” に設定されている場合、その変調は前半変調になります。
- 1 組のチャネルの片方で、TAUDnTRO.TAUDnTROm が “1” に設定されている期間の後半で TAUDnTME.TAUDnTMEm が “1” に設定されている場合、その変調は後半変調になります。

- 2つのチャネルが同時にハイレベル信号の出力となる場合にデッドタイムが正相PWM信号と逆相 PWM 信号のどちらに付加されるかは、TAUDnTDL.TAUDnTDLm ビット値で決まります。
  - TAUDnTDL.TAUDnTDLm = 0 の場合、正相 PWM 信号にデッドタイムを付加
  - TAUDnTDL.TAUDnTDLm = 1 の場合、逆相 PWM 信号にデッドタイムを付加
  - TAUDnTDL.TAUDnTDLm ビット値の操作は、動作中にアプリケーションソフトで行う必要があります。TAUDnTDL.TAUDnTDLm を変更する場合は、TAUDnTRO.TAUDnTROm が 00_B の期間に書き換えてください。
- スレーブチャネル 1 の TAUDnCDRm 値は、キャリア周期（山割り込みタイミング）でスレーブチャネル 1 の INTTAUDnIm を発生させる値に設定する必要があります。
- スレーブチャネル 2 ～ 7 で TAUDnTOL.TAUDnTOLm = 0 が設定されている場合：
  - TAUDnTDL.TAUDnTDLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “0”（ロウレベル）に設定します。
  - TAUDnTDL.TAUDnTDLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “1”（ハイレベル）に設定します。
- スレーブチャネル 2 ～ 7 で TAUDnTOL.TAUDnTOLm = 1 が設定されている場合：
  - TAUDnTDL.TAUDnTDLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “1”（ハイレベル）に設定します。
  - TAUDnTDL.TAUDnTDLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “0”（ロウレベル）に設定します。
- この機能では一斉書き換えを行うことができます。**「25.6　一斉書き換え」**を参照してください。

25.16.3.2　算出式

パルス周期 =（TAUDnCDRm（マスタ）+ 1）× カウントクロック周期

0000_H ≦ TAUDnCDRm（マスタ）< $FFFF_H$

キャリア周期（ダウン／アップ）=
（TAUDnCDRm（マスタ）+ 1）× 2 × カウントクロック周期

スレーブチャネル 2、スレーブチャネル 3：

PWM 信号幅（正相）= [（TAUDnCDRm（マスタ）＋ 1 － TAUDnCDRm（スレーブ 2）× 2）
－（TAUDnCDRm（スレーブ 3）＋ 1）] × カウントクロック周期

PWM 信号幅（逆相）= [（TAUDnCDRm（マスタ）＋ 1 － TAUDnCDRm（スレーブ 2）× 2）
＋（TAUDnCDRm（スレーブ 3）＋ 1）] × カウントクロック周期

スレーブチャネル 4 ～ 7：

スレーブチャネル 4, 6 はスレーブチャネル 2 と同じように、スレーブチャネル 5, 7 はスレーブチャネル 3 と同じように算出してください。

25.16.3.3 ブロック図と基本タイミング図

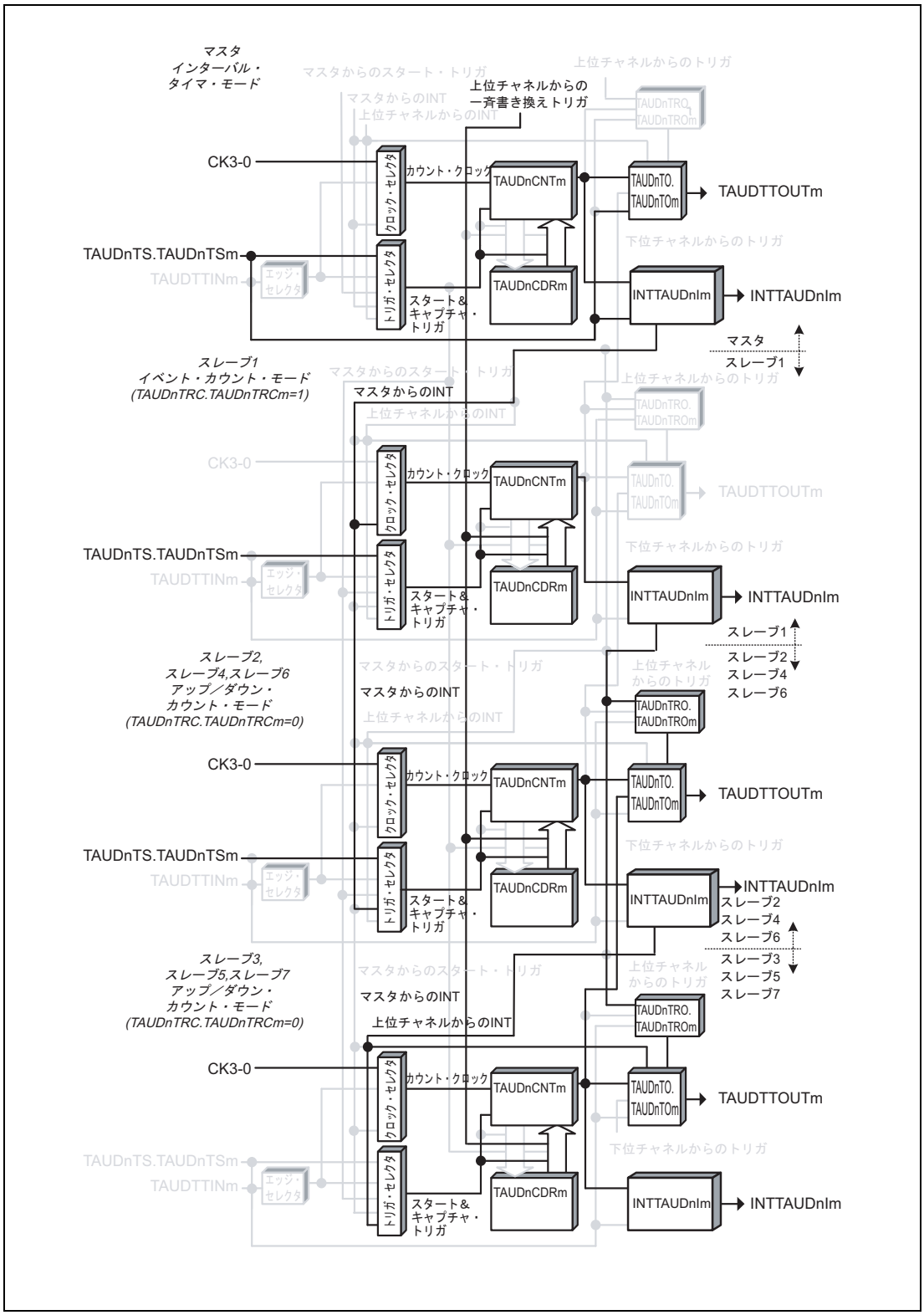


図 25.135 相補方式変調出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDnIm が発生しない
（TAUDnCMORm.TAUDnMD0 = 0）

- スレーブチャネル 1：TAUDnCDRm=0001_H
- スレーブチャネル 2 ～ 7：正論理（TAUDnTOL.TAUDnTOLm = 0）

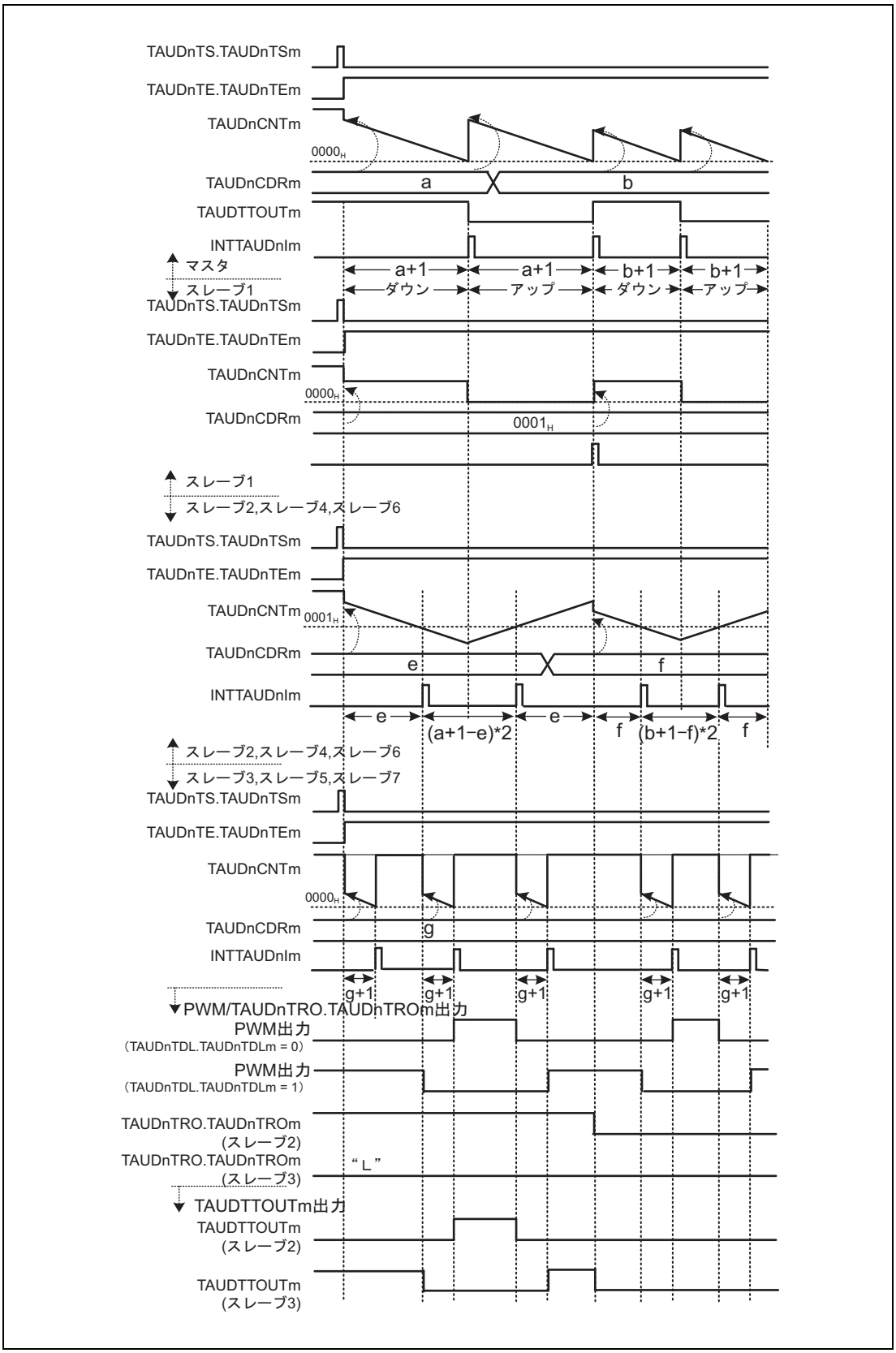


図 25.136 相補方式変調出力機能の基本タイミング図

25.16.3.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.244 相補方式変調出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.245 相補方式変調出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) マスタチャネルのチャネル出力モード

表 25.246　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm = 0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0” を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.247　相補方式変調出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

備　考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

25.16.3.5　スレーブチャネル 1 のレジスタ設定

(1) スレーブチャネル 1 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.248　相補方式変調出力機能のスレーブチャネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.249　相補方式変調出力機能のスレーブチャネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) チャネル出力モード

この機能では、スレーブチャネル 1 ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

注　意

スレーブチャネル 1 をリアルタイム出力のトリガチャネルとして使用するため、TAUDnTRC.TAUDnTRCm を 1 に設定する必要があります。

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.250　相補方式変調出力機能時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

25.16.3.6　スレーブチャネル 2, 4, 6 のレジスタ設定

(1) スレーブチャネル 2, 4, 6 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.251　相補方式変調出力機能のスレーブチャネル 2, 4, 6 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	1001：アップ／ダウンカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャネル 2, 4, 6 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.252　相補方式変調出力機能のスレーブチャネル 2, 4, 6 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネル 2, 4, 6 の出力モード

表 25.253　相補方式変調出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止 1：変調許可

注　意

PWM 出力時、TAUDnTDL.TAUDnTDLm は、奇数チャネルと排他設定してください。

(4) スレーブチャネル 2, 4, 6 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.254　相補方式変調出力機能時のスレーブチャネル 2, 4, 6 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

25.16.3.7　スレーブチャネル 3, 5, 7 のレジスタ設定

(1) スレーブチャネル 3, 5, 7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.255　相補方式変調出力機能のスレーブチャネル 3, 5, 7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10 ～ 8	TAUDnSTS [2:0]	110：デッドタイムトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00” を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) スレーブチャネル 3, 5, 7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.256　相補方式変調出力機能のスレーブチャネル 3, 5, 7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00” を設定

(3) スレーブチャネル 3, 5, 7 の出力モード

表 25.257　相補方式変調出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止 1：変調許可

注　意

PWM 出力時、TAUDnTDL.TAUDnTDLm は、偶数チャネルと排他設定してください。

(4) スレーブチャネル 3, 5, 7 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.258　相補方式変調出力機能時のスレーブチャネル 3, 5, 7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

25.16.3.8　相補方式変調出力機能時の操作手順

表 25.259　相補方式変調出力機能時の操作手順 (1/2)

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.3.4　マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル 1：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.3.5　スレーブチャネル 1 のレジスタ設定」**に示すように設定します。 スレーブチャネル 2, 4, 6：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.3.6　スレーブチャネル 2, 4, 6 のレジスタ設定」**に示すように設定します。 スレーブチャネル 3, 5, 7：TAUDnCMORm ／ TAUDnCMURm レジスタとチャネル出力モードを**「25.16.3.7　スレーブチャネル 3, 5, 7 のレジスタ設定」**に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。マスタチャネルの TAUDnCDRm でパルス周期を設定し、スレーブチャネル 1 の TAUDnCDRm で無視されるマスタチャネル割り込み数を設定します。また、スレーブチャネル 2, 4, 6 の TAUDnCDRm にデューティ幅を、スレーブチャネル 3, 5, 7 にデッドタイム遅延を設定します。 スレーブチャネル 1 に TAUDnTRC.TAUDnTRCm = 1 を設定します。	チャネル動作を停止しています。

表 25.259　相補方式変調出力機能時の操作手順 (2/2)

		操作	TAUDn の状態
動作再開	動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	マスタ／スレーブチャネルの TAUDnTE.TAUDnTEm が “1” に設定され、カウンタがダウンカウントを開始します。
	動作中	TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2 ～ 7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャネル 1 の TAUDnCDRm の値をロードし、マスタチャネルの割り込みを待ちます。マスタチャネルのカウンタが 0000_H になった場合： • INTTAUDnIm が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 • スレーブチャネル1のTAUDnCNTm値が1減少し、マスタチャネルの次の割り込みを待ちます。 • スレーブチャネル 2, 4, 6 の TAUDnCNTm は、再び TAUDnCDRm の値をロードするか、反対方向のカウントを開始します。 • スレーブチャネル2, 4, 6のTAUDnCDRmの値がロードされるタイミングで、スレーブチャネル 2 ～ 7 の TAUDnTME.TAUDnTMEm の値が、TAUDTTOUTm 出力に反映されます。 • スレーブチャネル1のカウンタが0000_Hになると、マスタチャネルからの次の割り込みを待ちます。割り込み検出時： – 再び TAUDnCDRm の値を TAUDnCNTm にロードし、マスタチャネルの次の割り込みを待ちます。 – INTTAUDnIm が発生します。 – TAUDnTRO.TAUDnTROm を変更可能です。 • スレーブチャネル 2, 4, 6 のカウンタが 0001_H になった場合： – INTTAUDnIm が発生します。 – スレーブチャネル m の PWM 出力がセット／リセットされます（設定したチャネル出力モードの条件に一致した場合）。 – スレーブチャネル 3, 5, 7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 • スレーブチャネル 3, 5, 7 のカウンタが 0000_H になった場合： – INTTAUDnIm が発生します。 – スレーブチャネル m の PWM 出力がセット／リセットされます（設定したチャネル出力モードの条件に一致した場合）。
	動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

25.16.3.9 特定の設定時のタイミング図

タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0 = 0）
- スレーブチャネル 1：TAUDnCDRm = 0001_H
- スレーブチャネル 2 ～ 7：正論理（TAUDnTOL.TAUDnTOLm = 0）

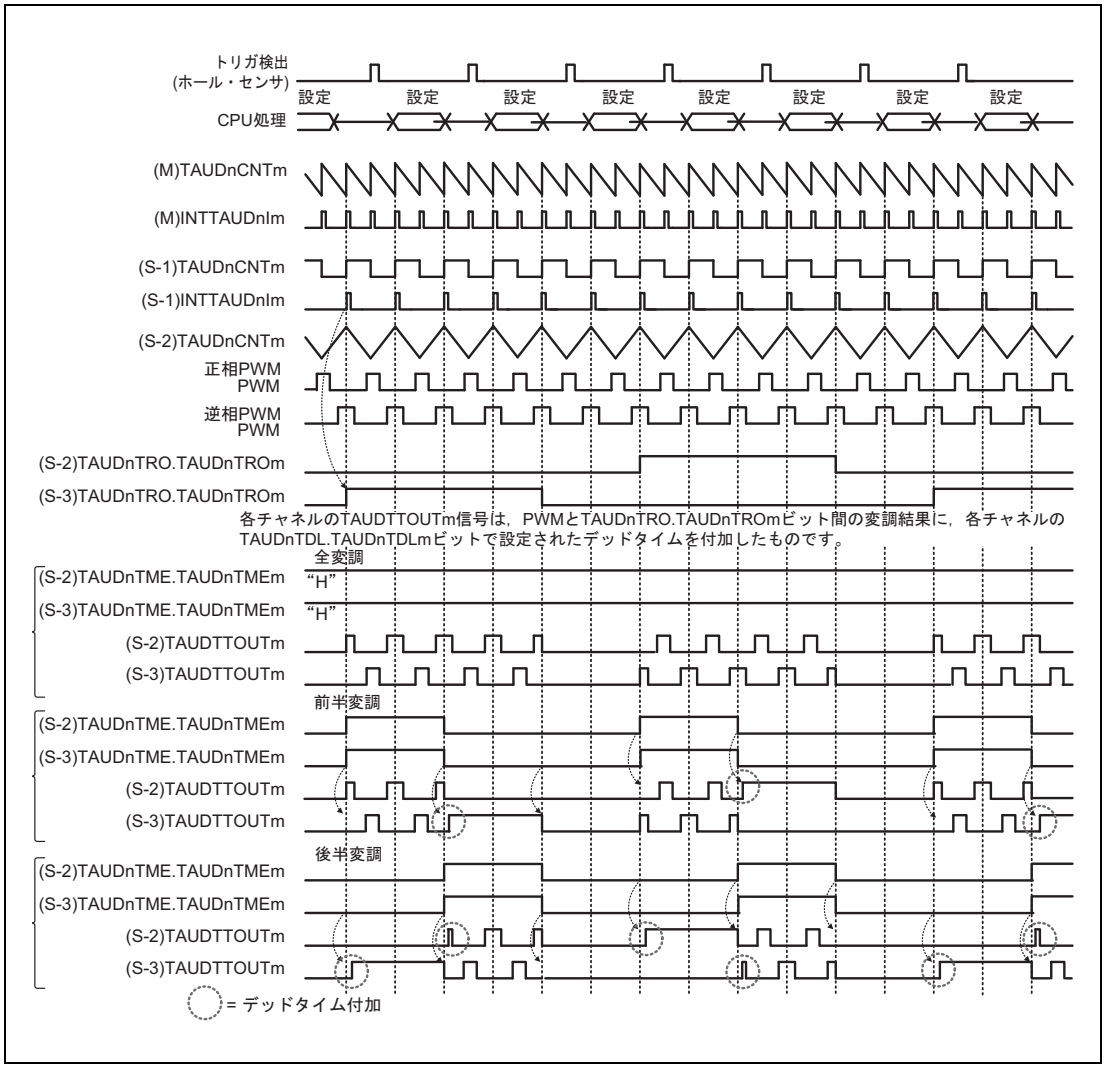


図 25.137 相補方式変調出力機能の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

スレーブチャネル 2, 3 から出力されるのは、変調された PWM 出力信号と TAUDnTRO.TAUDnTROm ビットの値です。

TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

備　考

デッドタイムは、正相と逆相の PWM のエッジが同時に変化するのを抑制するために付加されます。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm、TAUDnTDL.TAUDnTDLm の値を変更できる期間を示しています。

第 26 章　タイマアレイユニット J（TAUJ）

本章では、タイマアレイユニット J（TAUJ）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、TAUJ の機能、レジスタについて説明します。

26.1　RH850/F1M TAUJ の特長

26.1.1　ユニット数

本製品は、以下のユニット数の TAUJ を搭載しています。

表 26.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	2		
名称	TAUJn (n = 0, 1)		

TAUJn は以下のチャネル数のタイマを搭載しています。

表 26.2　TAUJn のユニット構成とチャネルの対応

ユニット名（チャネル名）TAUJn	ユニットチャネル数	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
TAUJ0	4	○	○	○
TAUJ1	4	○	○	○

表 26.3　添字

添字	説明
n	本章では、TAUJ の各ユニットを「n」で識別します。たとえば、TAUJn チャネル出力モードレジスタ（TAUJnTOM）のように記述しています。
m	TAUJ には 4 本のチャネルがあります。本章では、各チャネルを「m」（m = 0 ～ 3）で識別しており、特定のチャネルを CHm のように記述しています。 偶数チャネル（m = 0, 2）は CHm_even と記述します。 奇数チャネル（m = 1, 3）は CHm_odd と記述します。

26.1.2　レジスタベースアドレス

TAUJn のベースアドレスを以下の表に示します。

TAUJn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 26.4　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUJ0_base>	$FFE5\ 0000_H$
<TAUJ1_base>	$FFE5\ 1000_H$

26.1.3 クロック供給

TAUJn のクロック供給を以下の表に示します。

表 26.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAUJ0	PCLK	CKSCLK_ATAUJ
	レジスタアクセスクロック	CKSCLK_ATAUJ
TAUJ1	PCLK	CKSCLK_IPERI1
	レジスタアクセスクロック	CKSCLK_IPERI1

26.1.4 割り込み要求

TAUJn の割り込み要求を以下の表に示します。

表 26.6 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUJ0			
INTTAUJ0I0	チャネル 0 割り込み	80	21
INTTAUJ0I1	チャネル 1 割り込み	81	80
INTTAUJ0I2	チャネル 2 割り込み	82	81
INTTAUJ0I3	チャネル 3 割り込み	83	22
TAUJ1			
INTTAUJ1I0	チャネル 0 割り込み	168	46
INTTAUJ1I1	チャネル 1 割り込み	169	100
INTTAUJ1I2	チャネル 2 割り込み	170	47
INTTAUJ1I3	チャネル 3 割り込み	171	101

26.1.5 リセット要因

TAUJn のリセット要因を以下に示します。TAUJn は以下のリセット要因で初期化されます。

表 26.7 リセット要因

ユニット名	リセット要因
TAUJ0	DeepSTOP モード遷移時を除くリセット要因（AWORES）
TAUJ1	すべてのリセット要因（ISORES）

26.1.6 外部入出力信号

TAUJn の外部入出力信号を以下の表に示します。

表 26.8 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
TAUJ0		
TAUJTTIN0-TAUJTTIN1	チャネル 0-1 入力	TAUJ0I0-TAUJ0I1
TAUJTTIN2	チャネル 2 入力	TAUJ0I2 または RTCA0OUT 注 1
TAUJTTIN3	チャネル 3 入力	TAUJ0I3 または RTCA0OUT 注 1
TAUJTTOUT0-TAUJTTOUT3	チャネル 0-3 出力	TAUJ0O0-TAUJ0O3
TAUJ1		
TAUJTTIN0-TAUJTTIN3	チャネル 0-3 入力	TAUJ1I0-TAUJ1I3
TAUJTTOUT0-TAUJTTOUT3	チャネル 0-3 出力	TAUJ1O0-TAUJ1O3

注 1. **「26.1.8 TAUJ0 入力の選択」**を参照してください。

26.1.7 内部入出力信号

TAUJn の内部入出力信号を以下の表に示します。

表 26.9 内部入出力信号

ユニット信号名	説明	接続先
TAUJnTSSTm 注 1	チャネル同時スタートトリガ入力	PIC

注 1. n = 1 のみ、TAUJ0TSSTm は PIC と接続していません。

26.1.8 TAUJ0 入力の選択

次の図に示すように、RTCA0 からの 1Hz パルス出力（RTCA0OUT）を TAUJTTIN2、TAUJTTIN3 に入力できます。

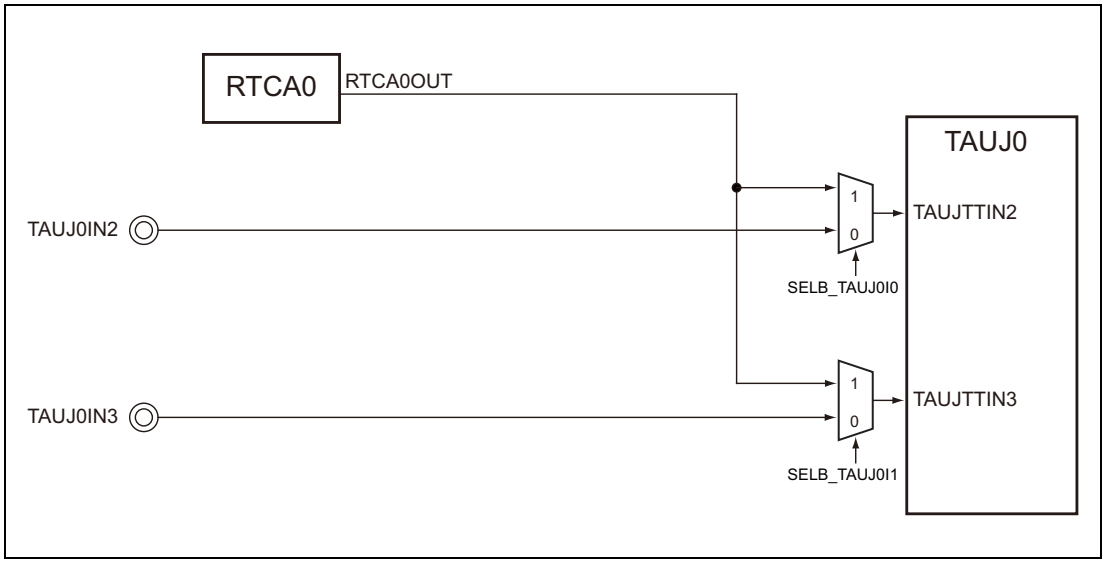


図 26.1　TAUJ0 への入力信号の選択

次の表に TAUJ への入力信号の選択方法について示します。

表 26.10 TAUJ0 入力の選択

入力信号	機能	設定
TAUJTTIN2	ポート TAUJ0I2	SELB_TAUJ0I.SELB_TAUJ0I0 = 0
	RTCA0OUT （リアルタイムクロック 1 Hz 出力）	SELB_TAUJ0I.SELB_TAUJ0I0 = 1
TAUJTTIN3	ポート TAUJ0I3	SELB_TAUJ0I.SELB_TAUJ0I1 = 0
	RTCA0OUT （リアルタイムクロック 1 Hz 出力）	SELB_TAUJ0I.SELB_TAUJ0I1 = 1

26.1.8.1 SELB_TAUJ0I — TAUJTTINm 入力信号選択レジスタ

TAUJ0 入力信号を選択するレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス FFE5 4000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SELB_TAUJ0I1	SELB_TAUJ0I0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.11 SELB_TAUJ0I レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SELB_TAUJ0I1	TAUJTTIN3 への入力信号の選択： 0：ポート TAUJ0I3 1：RTCA0OUT
0	SELB_TAUJ0I0	TAUJTTIN2 への入力信号の選択： 0：ポート TAUJ0I2 1：RTCA0OUT

26.2 概要

26.2.1 機能概要

TAUJ には、次の機能があります。

- 単体動作機能（1 チャネルで動作する機能）
- 連動動作機能（マスタチャネル 1 チャネルとスレーブチャネルの複数チャネルで実現する機能）

TAUJ は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケーラ、カウント開始値および比較値を保持するための 32 ビットカウンタ TAUJnCNTm と 32 ビットデータレジスタ TAUJnCDRm をそれぞれ備えた 4 チャネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャネルは、単体で、またはほかのチャネルと連動して、2 つの動作モードで動作することが可能です。1 つのマスタチャネルと 1 つ以上のスレーブチャネルの場合、スレーブチャネルは、マスタチャネルに依存します。

あるチャネルを単体動作させる場合、他のチャネルと無関係に動作できます。

連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

26.2.2 用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

TAUJ は 4 チャネルで構成されており、各チャネル単独で動作する単体動作機能と、複数のチャネルを組み合わせて動作する連動動作機能があります。

- 単体動作機能は、他のチャネルと無関係に任意のチャネルで使用可能です。
- 連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

チャネルグループ

連動動作機能では、依存関係にあるすべてのチャネルを「チャネルグループ」と呼びます。

1 つのチャネルグループは、1 つのマスタチャネルと 1 つ以上のスレーブチャネルで構成されます。

上位／下位チャネル

チャネル m から見て、小さい番号または大きい番号のチャネルを上位または下位チャネルと呼びます。

- 上位チャネル：小さい番号のチャネル
- 下位チャネル：大きい番号のチャネル

たとえば、チャネル 2 に対してチャネル 1 は上位チャネル、チャネル 3 は下位チャネルです。チャネル 0 が最上位チャネル、チャネル 3 が最下位チャネルです。

26.2.3 タイマ動作機能一覧

このタイマは各チャネルを単体で動作させたり、複数チャネルを組み合わせて動作させることで、下記の機能が実現できます。

表 26.12 TAUJ 動作機能一覧

動作機能		設定例
チャネル単体動作機能		26.12 章
	インターバルタイマ機能	26.12.1 章
	TAUJTTINm 入力インターバルタイマ機能	26.12.2 章
	TAUJTTINm 入力パルスインターバル測定機能	26.12.3 章
	TAUJTTINm 入力信号幅測定機能	26.12.4 章
	TAUJTTINm 入力位置検出機能	26.12.5 章
	TAUJTTINm 入力期間カウント検出機能	26.12.6 章
	オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）	26.12.7 章
	オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）	26.12.8 章
チャネル連動動作機能		26.13 章
	PWM 出力機能	26.13.1 章

26.2.4 入出力と割り込み要求信号

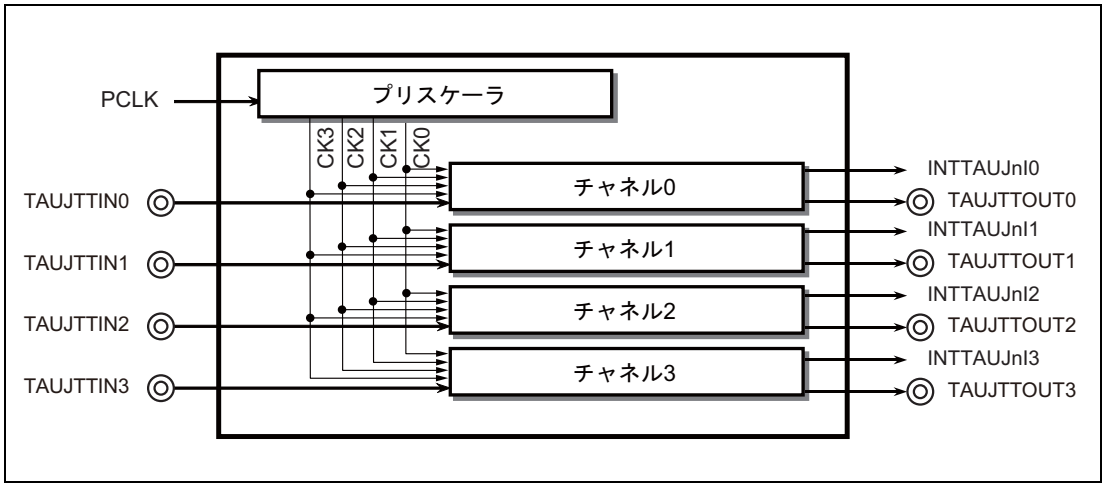


図 26.2　TAUJ 入出力と割り込み要求信号

26.2.5 ブロック図

TAUJ の主な構成要素を次の図に示します。

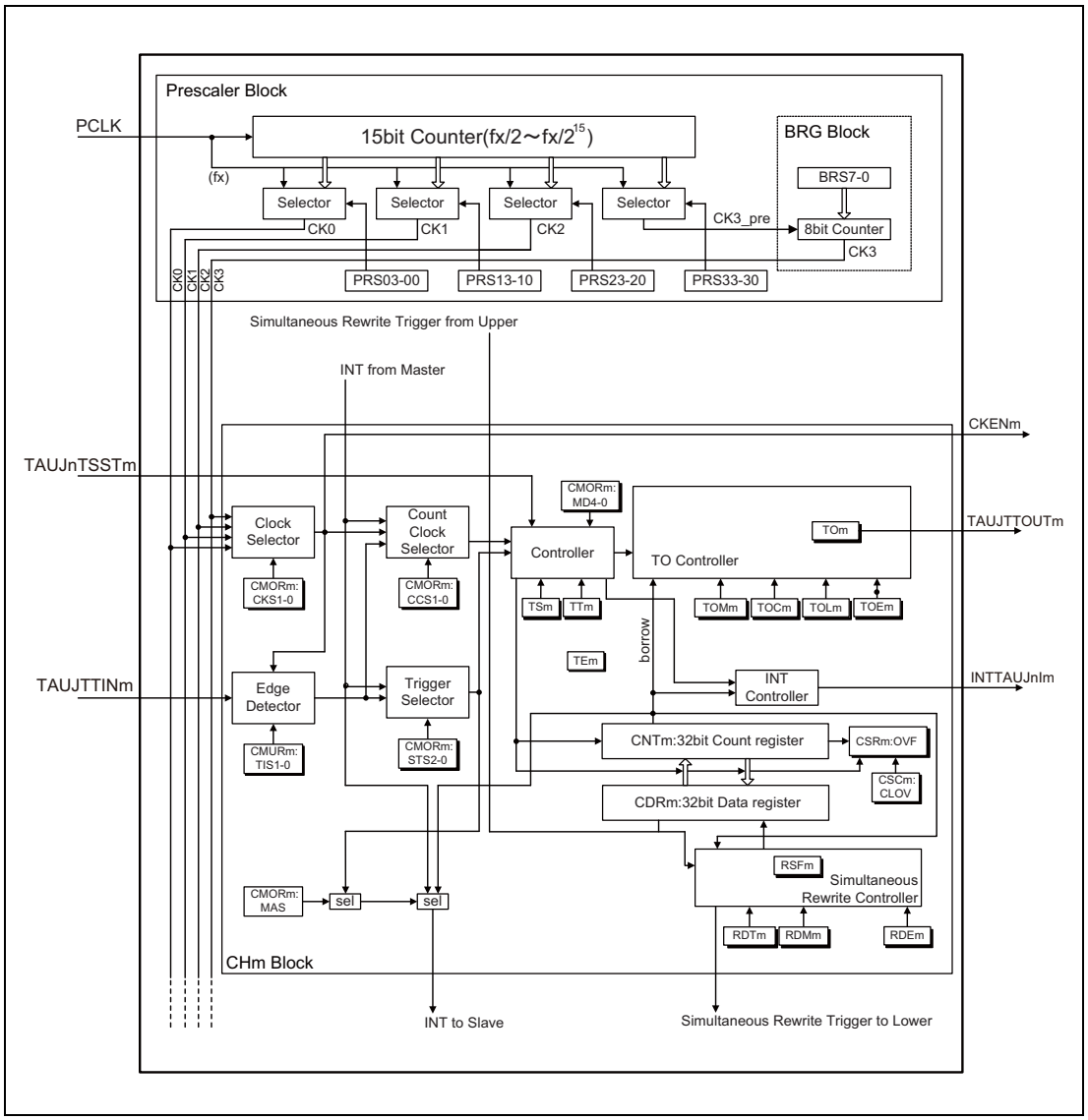


図 26.3 TAUJ のブロック図

レジスタ名の「TAUJn」は、図を見やすくするために省略されています。

26.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャネルのカウントクロックとして使用することができる最大4つのクロック信号（CK0-CK3）を供給します。

カウントクロック CK0-CK2 は、プリスケーラにより PCLK の 2^0-2^{15} の分周したクロックを選択することができます。4つ目のカウントクロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクタは、各チャネルに対してクロックソースを次から選択します。

– CK0-CK3 のいずれかのクロック（クロックセレクタにより選択）

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード（TAUJnCMORm.TAUJnMD[4:0] ビットにより選択）
- カウント開始許可（TAUJnTS.TAUJnTSm）およびカウント停止（TAUJnTT.TAUJnTTm）

カウントの開始を許可すると、ステータスフラグ TAUJnTE.TAUJnTEm がセットされます。

トリガセレクタ

カウンタは、動作が許可されている場合（TAUJnTE.TAUJnTEm = 1）には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

– チャネル連動スタートトリガ入力 TAUJnTSSTm
– TAUJTTINm 入力の有効エッジ
– マスタチャネルからの INTTAUJnIm

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で有効です。あるチャネルグループに属する全チャネルのデータレジスタ（TAUJnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは、全チャネルのデータレジスタの新しい値が同時に有効になります。

TAUJnTO コントローラ

各チャネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

26.3 レジスタ

26.3.1 レジスター覧

TAUJ のレジスター覧を以下の表に示します。

<TAUJn_base> は「**26.1.2 レジスタベースアドレス**」を参照してください。

表 26.13 レジスター覧

モジュール名	レジスタ名	略号	アドレス
TAUJn プリスケーラレジスタ			
TAUJn	TAUJn プリスケーラクロック選択レジスタ	TAUJnTPS	<TAUJn_base> + 90_H
TAUJn	TAUJn プリスケーラボーレート設定レジスタ	TAUJnBRS	<TAUJn_base> + 94_H
TAUJn 制御レジスタ			
TAUJn	TAUJn チャネルデータレジスタ m	TAUJnCDRm	<TAUJn_base> + m × 4_H
TAUJn	TAUJn チャネルカウンタレジスタ m	TAUJnCNTm	<TAUJn_base> + 10_H + m × 4_H
TAUJn	TAUJn チャネルモード OS レジスタ m	TAUJnCMORm	<TAUJn_base> + 80_H + m × 4_H
TAUJn	TAUJn チャネルモードユーザレジスタ m	TAUJnCMURm	<TAUJn_base> + 20_H + m × 4_H
TAUJn	TAUJn チャネルステータスレジスタ m	TAUJnCSRm	<TAUJn_base> + 30_H + m × 4_H
TAUJn	TAUJn チャネルステータスクリアトリガレジスタ m	TAUJnCSCm	<TAUJn_base> + 40_H + m × 4_H
TAUJn	TAUJn チャネルスタートトリガレジスタ	TAUJnTS	<TAUJn_base> + 54_H
TAUJn	TAUJn チャネル許可ステータスレジスタ	TAUJnTE	<TAUJn_base> + 50_H
TAUJn	TAUJn チャネルストップトリガレジスタ	TAUJnTT	<TAUJn_base> + 58_H
TAUJn 出力レジスタ			
TAUJn	TAUJn チャネル出力許可レジスタ	TAUJnTOE	<TAUJn_base> + 60_H
TAUJn	TAUJn チャネル出力レジスタ	TAUJnTO	<TAUJn_base> + $5C_H$
TAUJn	TAUJn チャネル出力モードレジスタ	TAUJnTOM	<TAUJn_base> + 98_H
TAUJn	TAUJn チャネル出力コンフィギュレーションレジスタ	TAUJnTOC	<TAUJn_base> + $9C_H$
TAUJn	TAUJn チャネル出力アクティブレベルレジスタ	TAUJnTOL	<TAUJn_base> + 64_H
TAUJn リロードデータレジスタ			
TAUJn	TAUJn チャネルリロードデータ許可レジスタ	TAUJnRDE	<TAUJn_base> + $A0_H$
TAUJn	TAUJn チャネルリロードデータモードレジスタ	TAUJnRDM	<TAUJn_base> + $A4_H$
TAUJn	TAUJn チャネルリロードデータトリガレジスタ	TAUJnRDT	<TAUJn_base> + 68_H
TAUJn	TAUJn チャネルリロードステータスレジスタ	TAUJnRSF	<TAUJn_base> + $6C_H$
TAUJn エミュレーションレジスタ			
TAUJn	TAUJn エミュレーションレジスタ	TAUJnEMU	<TAUJn_base> + $A8_H$

26.3.2 TAUJn プリスケーラレジスタの詳細

26.3.2.1 TAUJnTPS — TAUJn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base> + 90_H

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.14 TAUJnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能
15 ～ 12	TAUJnPRS3 [3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャネルに CK3 動作クロックを供給します。 上記ビットは、CK3 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm = 0）場合のみ書き換え可能です。

TAUJnPRS3[3:0]	CK3_PRE クロック
0000_B	$PCLK/2^0$
0001_B	$PCLK/2^1$
0010_B	$PCLK/2^2$
0011_B	$PCLK/2^3$
0100_B	$PCLK/2^4$
0101_B	$PCLK/2^5$
0110_B	$PCLK/2^6$
0111_B	$PCLK/2^7$
1000_B	$PCLK/2^8$
1001_B	$PCLK/2^9$
1010_B	$PCLK/2^{10}$
1011_B	$PCLK/2^{11}$
1100_B	$PCLK/2^{12}$
1101_B	$PCLK/2^{13}$
1110_B	$PCLK/2^{14}$
1111_B	$PCLK/2^{15}$

表 26.14 TAUJnTPS レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>11 ～ 8</td><td>TAUJnPRS2
[3:0]</td><td>CK2 クロックを指定します。
<table>
<tr><th>TAUJnPRS2[3:0]</th><th>CK2 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^0$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^1$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^2$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^3$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^4$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^5$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^6$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^7$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^8$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^9$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
上記ビットは、CK2 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm = 0）場合のみ書き換え可能です。</td></tr>
<tr><td>7 ～ 4</td><td>TAUJnPRS1
[3:0]</td><td>CK1 クロックを指定します。
<table>
<tr><th>TAUJnPRS1[3:0]</th><th>CK1 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^0$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^1$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^2$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^3$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^4$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^5$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^6$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^7$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^8$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^9$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
上記ビットは、CK1 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

表 26.14 TAUJnTPS レジスタの内容 (3/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3 ～ 0</td><td>TAUJnPRS0
[3:0]</td><td>CK0 クロックを指定します。
<table>
<tr><th>TAUJnPRS0[3:0]</th><th>CK0 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^0$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^1$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^2$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^3$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^4$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^5$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^6$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^7$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^8$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^9$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
上記ビットは、CK0 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

備　考

TAUJn クロック入力 PCLK については、本章の最初の節内「**26.1.3　クロック供給**」で定義しています。

26.3.2.2 TAUJnBRS — TAUJn プリスケーラボーレート設定レジスタ

プリスケーラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数＋ 1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは 、TAUJnTPS.TAUJnPRS3[3:0] で指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base> + 94_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TAUJnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.15 TAUJnBRS レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	TAUJnBRS [7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。

TAUJnBRS[7:0]	CK3 クロック
$0000\ 0000_B$	CK3_PRE / 1
$0000\ 0001_B$	CK3_PRE / 2
$0000\ 0010_B$	CK3_PRE / 3
$0000\ 0011_B$	CK3_PRE / 4
...	...
$1111\ 1110_B$	CK3_PRE / 255
$1111\ 1111_B$	CK3_PRE / 256

26.3.3 TAUJn 制御レジスタの詳細

26.3.3.1 TAUJnCDRm — TAUJn チャネルデータレジスタ

このレジスタは、TAUJnCMORm.TAUJnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。
・キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
・コンペアレジスタ機能時は、リード／ライト可能です。

アドレス <TAUJn_base> + 0_H + m × 4_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.16 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TAUJnCDR [31:0]	キャプチャ値／コンペア値用データレジスタ

26.3.3.2 TAUJnCNTm — TAUJn チャネルカウンタレジスタ

チャネル m カウンタレジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 10_H + m × 4_H

リセット後の値 FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.17 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TAUJnCNT [31:0]	32 ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTSm、TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止（TAUJnTT.TAUJnTTm = 1）

カウント停止後（TAUJnTE.TAUJnTEm = 0）と再許可後（TAUJnTS.TAUJnTSm = 1）のカウンタの初期リード値を次の表に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可（TAUJnTS.TAUJnTSm = 1）されてから 1 カウント後のカウンタのリード値も示します。

表 26.18　カウント再許可後の TAUJnCNTm リード値

モード名	カウント方式（アップ／ダウン）	TAUJnCNTm		
		スタート値注1	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF $FFFF_H$	停止値	—
キャプチャモード	アップカウント	0000 0000_H	停止値	—
ワンカウントモード	ダウンカウント	FFFF $FFFF_H$	停止値	停止値
キャプチャ＆ワンカウントモード	アップカウント	0000 0000_H	停止値	キャプチャ値＋1（TAUJnCDRm）
カウントキャプチャモード	アップカウント	0000 0000_H	停止値	—
ゲートカウントモード	ダウンカウント	FFFF $FFFF_H$	停止値	停止値
キャプチャ＆ゲートカウントモード	アップカウント	0000 0000_H	停止値	停止値

注 1.　リセット解除後、動作モードを変更した際に TAUJnCNTm にセットされる値

26.3.3.3 TAUJnCMORm — TAUJn チャネルモード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

アクセス 16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUJnTE.TAUJnTEm = 0）のときのみライト可能です。

アドレス <TAUJn_base> + 80_H + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.19 TAUJnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能
15、14	TAUJnCKS [1:0]	動作クロックを選択します。 動作クロックは TAUJTTINm 入力エッジ検出回路で使用します。 TAUJnCMORm.TAUJnCCS[1:0] ビットの設定により、TAUJnCNTm のカウントクロックとして使用することも可能です。 <table><tr><th>TAUJn CKS1</th><th>TAUJn CKS0</th><th>動作クロック選択</th></tr><tr><td>0</td><td>0</td><td>CK0</td></tr><tr><td>0</td><td>1</td><td>CK1</td></tr><tr><td>1</td><td>0</td><td>CK2</td></tr><tr><td>1</td><td>1</td><td>CK3</td></tr></table>
13、12	TAUJnCCS [1:0]	TAUJnCNTm カウンタのカウントクロックを選択します。 <table><tr><th>TAUJn CCS1</th><th>TAUJn CCS0</th><th>動作クロック選択</th></tr><tr><td>0</td><td>0</td><td>TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック</td></tr><tr><td>0</td><td>1</td><td rowspan="3">設定禁止</td></tr><tr><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>
11	TAUJnMAS	チャネル連動動作時に、そのチャネルがマスタチャネルかスレーブチャネルかを指定します。 0：スレーブ 1：マスタ このビット設定は偶数チャネル（CHm_even）に対してのみ有効です。奇数チャネル（CHm_odd）は、0 に固定されています。

表 26.19 TAUJnCMORm レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>10 ～ 8</td><td>TAUJnSTS
[2:0]</td><td>外部スタートトリガを選択します。
<table>
<tr><th>TAUJn STS2</th><th>TAUJnS TS1</th><th>TAUJn STS0</th><th>動作クロック選択</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>ソフトウェアトリガ</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>TAUJTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0] で指定</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>TAUJTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>マスタチャネルの INT</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td rowspan="3">設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>0</td></tr>
<tr><td>1</td><td>1</td><td>1</td></tr>
</table></td></tr>
<tr><td>7、6</td><td>TAUJnCOS
[1:0]</td><td>チャネル m のキャプチャレジスタ TAUJnCDRm とオーバフローフラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。
これらのビットはチャネル m がキャプチャ機能（キャプチャモード、キャプチャ＆ワンカウントモード）のときにのみ有効です。
<table>
<tr><th>TAUJn COS1</th><th>TAUJn COS0</th><th>TAUJnCDRm</th><th>TAUJnCSRm.TAUJnOVF</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TAUJTTINm 入力有効エッジを検出すると更新</td><td>TAUJTTINm 入力有効エッジを検出すると更新（クリアまたはセット）
• 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット
• 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">TAUJTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新
• TAUJTTINm 入力有効エッジ検出：カウンタ値が TAUJnCDRm に書き込まれる
• オーバフロー発生：FFFF FFFF$_H$ が TAUJnCDRm にロードされる。次の TAUJTTINm 入力有効エッジ検出は無視される。</td><td>設定なし</td></tr>
<tr><td>1</td><td>1</td><td>カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア</td></tr>
</table></td></tr>
<tr><td>5</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 26.19 TAUJnCMORm レジスタの内容 (3/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>4 ～ 0</td><td>TAUJnMD
[4:0]</td><td>動作モードを指定します。
<table>
<tr><th>TAUJn MD4</th><th>TAUJn MD3</th><th>TAUJn MD2</th><th>TAUJn MD1</th><th>TAUJn MD0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1/0</td><td>インターバルタイマモード</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1/0</td><td>キャプチャモード</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1/0</td><td>ワンカウントモード</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>キャプチャ＆ワンカウントモード</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1/0</td><td>カウントキャプチャモード</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>ゲートカウントモード</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>キャプチャ＆ゲートカウントモード</td></tr>
</table>
<table>
<tr><th>モード</th><th>TAUJnMD0 ビットの役割</th></tr>
<tr><td>インターバルタイマモード
キャプチャモード
カウントキャプチャモード</td><td>カウント動作開始時（スタートトリガ入力時）に、INTTAUJnIm 信号を出力するかどうかを指定します。
0：INTTAUJnIm を出力しない
1：INTTAUJnIm を出力する</td></tr>
<tr><td>ワンカウントモード</td><td>カウント中のスタートトリガ検出を許可／禁止します。
0：禁止
1：許可
注 意
ワンカウントモードでは、カウント動作開始時に INTTAUJnIm 信号を出力しません。</td></tr>
<tr><td>キャプチャ＆ワンカウントモード
ゲートカウントモード
キャプチャ＆ゲートカウントモード</td><td>このビットは “0” に設定してください。
注 意
カウント動作開始時に INTTAUJnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。</td></tr>
</table></td></tr>
</table>

26.3.3.4 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ

このレジスタは、TAUJTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base> + 20_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.20 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS [1:0]	TAUJTTINm 入力信号の有効エッジを指定します。 TAUJn TIS1 / TAUJn TIS0 / 機能説明 0 / 0 / 立ち下がりエッジ 0 / 1 / 立ち上がりエッジ 1 / 0 / 両エッジ検出（ロウレベル幅測定選択） スタートトリガ：立ち下がりエッジ ストップトリガ（キャプチャ）：立ち上がりエッジ 1 / 1 / 両エッジ検出（ハイレベル幅測定選択） スタートトリガ：立ち上がりエッジ ストップトリガ（キャプチャ）：立ち下がりエッジ TAUJTTINm 入力信号のエッジ検出は、TAUJnCMORm.TAUJnCKS[1:0] で選択した動作クロックに基づいて行われます。

26.3.3.5 TAUJnCSRm — TAUJn チャネルステータスレジスタ

このレジスタは、チャネル m のオーバフロー状態を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 30_H + m × 4_H

リセット後の値 $0x_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnOVF
リセット後の値	0	0	0	0	0	0	–	0
R/W	R	R	R	R	R	R	R	R

表 26.21 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	予約ビット	リードした場合は不定値が読めます。
0	TAUJnOVF	カウンタオーバフロー状態を示します。 0：オーバフローが発生していない 1：オーバフローが発生 このビットは、次のモード時のみ使用します。 • キャプチャモード • キャプチャ＆ワンカウントモード このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOS[1:0] の設定により異なります。

26.3.3.6 TAUJnCSCm — TAUJn チャネルステータスクリアレジスタ

このレジスタは、チャネル m のオーバフローフラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガレジスタです。

アクセス 8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 40_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.22 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUJnCLOV	0：機能なし 1：オーバフローフラグ TAUJnCSRm.TAUJnOVF をクリア

26.3.3.7 TAUJnTS — TAUJn チャネルスタートトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス 8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 54_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTS03	TAUJnTS02	TAUJnTS01	TAUJnTS00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 26.23 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ～ 0	TAUJnTSm	チャネル m のカウンタ動作を許可します。 0：機能なし 1：カウンタ動作を許可し、TAUJnTE.TAUJnTEm = 1 を設定。 TAUJnTE.TAUJnTEm = 1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

26.3.3.8 TAUJnTE — TAUJn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 50_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTE03	TAUJnTE02	TAUJnTE01	TAUJnTE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.24 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。
3 ～ 0	TAUJnTEm	チャネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUJnTSSTm （チャネル連動スタートトリガ信号）のトリガ入力を検知するか、TAUJnTS.TAUJnTSm を 1 にセットすると、このビットが 1 に設定されます。TAUJnTT.TAUJnTTm を 1 にセットすると、このビットが 0 にリセットされます。

26.3.3.9 TAUJnTT — TAUJn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス 8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 58_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTT03	TAUJnTT02	TAUJnTT01	TAUJnTT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 26.25 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ～ 0	TAUJnTTm	チャネル m のカウンタ動作を停止します。 0：機能なし 1：カウンタ動作を停止し、TAUJnTE.TAUJnTEm をリセットします。 TAUJnCNTm、TAUJnTO.TAUJnTOm、TAUJTTOUTm は、カウント停止前の値を保持します。

26.3.4 TAUJn 一斉書き換えレジスタの詳細

26.3.4.1 TAUJnRDE — TAUJn チャネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUJnCDRm の一斉書き換えを許可／禁止します。また、PWM 出力機能で動作しているデータレジスタ TAUJnTOLm の一斉書き換えを許可／禁止します。

アクセス 8 ビット単位でリード／ライト可能です。
TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + $A0_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDE03	TAUJnRDE02	TAUJnRDE01	TAUJnRDE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.26 TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ～ 0	TAUJnRDEm	チャネル m のデータレジスタの一斉書き換えを許可／禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

26.3.4.2 TAUJnRDM — TAUJn チャネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 8 ビット単位でリード／ライト可能です。
TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + $A4_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDM03	TAUJnRDM02	TAUJnRDM01	TAUJnRDM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.27 TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ～ 0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0：マスタチャネルのカウンタがカウントを開始したとき 1：機能なし これらのビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

26.3.4.3 TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 68_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDT03	TAUJnRDT02	TAUJnRDT01	TAUJnRDT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 26.28 TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ～ 0	TAUJnRDTm	一斉書き換え許可状態をトリガします。 0：機能なし 1：一斉書き換え許可状態をトリガする。一斉書き換え許可フラグ（TAUJnRSFm）が 1 に設定されます。システムは一斉書き換えトリガを待ちます。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUJnRDE.TAUJnRDEm = 1

26.3.4.4 TAUJnRSF — TAUJn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + $6C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRSF03	TAUJnRSF02	TAUJnRSF01	TAUJnRSF00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.29 TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。
3 ～ 0	TAUJnRSFm	一斉書き換えの状態を示します。 0：一斉書き換えトリガの発生により、一斉書き換えが完了したこと示します。 1：一斉書き換え許可状態（TAUJnRDTm = 1）で、一斉書き換えのトリガ待ちを示します。

26.3.5 TAUJn 出力レジスタの詳細

26.3.5.1 TAUJnTOE — TAUJn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base> + 60_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOE03	TAUJnTOE02	TAUJnTOE01	TAUJnTOE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.30 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ～ 0	TAUJnTOEm	チャネル単体出力機能を許可／禁止します。 0：タイマ単体出力機能を禁止（ソフトウェア機能） 1：タイマ単体出力機能を許可

26.3.5.2 TAUJnTO — TAUJn チャネル出力レジスタ

このレジスタは、TAUJTTOUTm レベルを指定およびリードします。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base> + $5C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTO03	TAUJnTO02	TAUJnTO01	TAUJnTO00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.31 TAUJnTO レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ～ 0	TAUJnTOm	このレジスタは、TAUJTTOUTm レベルを指定およびリードします。 0：ロウレベル 1：ハイレベル チャネル単体出力機能が禁止されている（TAUJnTOEm = 0）TAUJnTOm ビットのみライト可能です。

26.3.5.3 TAUJnTOM — TAUJn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 8 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUJnTE.TAUJnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUJn_base> + 98_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOM03	TAUJnTOM02	TAUJnTOM01	TAUJnTOM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.32 TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ～ 0	TAUJnTOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作 出力モードは各チャネル出力制御ビット TAUJnTOE.TAUJnTOEm の設定によって変わります。

26.3.5.4 TAUJnTOC — TAUJn チャネル出力コンフィギュレーションレジスタ

このレジスタは、TAUJnTOMm とともに各チャネルの出力モードを指定します。

アクセス 8 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUJnTE.TAUJnTEm = 0）のときのみ、ライト可能です。

アドレス <TAUJn_base> + $9C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOC03	TAUJnTOC02	TAUJnTOC01	TAUJnTOC00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.33 TAUJnTOC レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7 ～ 4</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>3 ～ 0</td><td>TAUJn
TOCm</td><td>出力モードを指定します。
0：動作モード 1（トグルモード）
1：機能なし

ソフトウェア制御のチャネル単体出力モード以外のすべての出力モードでは、必ず 0 に設定してください。
次の表にあるように、出力モードは TAUJnTOM.TAUJnTOMm の設定によっても異なります。
<table>
<tr><th>TAUJn
TOMm</th><th>TAUJn
TOCm</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>トグルモード：INTTAUJnIm 発生時にトグル動作が行われます。</td></tr>
<tr><td>0</td><td>1</td><td>機能なし</td></tr>
<tr><td>1</td><td>0</td><td>チャネル連動動作モード 1：マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。</td></tr>
<tr><td>1</td><td>1</td><td>機能なし</td></tr>
</table></td></tr>
</table>

26.3.5.5 TAUJnTOL — TAUJn チャネル出力レベルレジスタ

このレジスタは、チャネル出力ビット（TAUJnTO.TAUJnTOm）の出力論理を指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base> + 64_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOL03	TAUJnTOL02	TAUJnTOL01	TAUJnTOL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.34 TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ～ 0	TAUJnTOLm	チャネル m 出力ビット（TAUJnTO.TAUJnTOm）の出力論理を指定します。 0：正論理（アクティブハイ） 1：負論理（アクティブロウ） これらのビット設定は、ソフトウェア制御のチャネル単体出力モード及びチャネル単体出力モード 1 以外のすべてのチャネル出力モードに適用されます。

26.3.5.6 TAUJnEMU — TAUJn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUJnTE.TAUJnTEm = 0）、かつ（EPC.SVSTOP = 0）のときにライト動作を行ってください。

アドレス <TAUJn_base> + $A8_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TAUJn SVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 26.35 TAUJnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUJnSVSDIS	（EPC.SVSTOP ビット = 0 のとき） 本ビットの値（1/0）にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット = 1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

26.4 操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUJTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

1. TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUJn 機能を設定してください。
   - 動作モードを設定してください。
   - その他の制御ビットを設定してください。
3. TAUJnTS.TAUJnTSm ビットを 1 に設定してカウンタ動作を許可してください。
   カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
4. カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUJnTT.TAUJnTTm ビットに 1 を設定してください。強制リスタートは TAUJnTS.TAUJnTSm ビットに 1 を設定してください。
5. TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

備　考

1. 必要な制御ビットと各機能の動作の詳細は、**「26.12　チャネル単体動作機能」「26.13　チャネル連動動作機能」**を参照してください。
2. 機能を変更する場合は、カウント停止中（TAUJnTE.TAUJnTEm=0）に行ってください。

26.5　連動動作機能の概念

連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

ルールの詳細は、**「26.5.1　連動動作機能のルール」**に示します。

連動動作機能の詳細を次の節で説明します。

- **「26.13　チャネル連動動作機能」**

26.5.1　連動動作機能のルール

マスタおよびスレーブチャネル数

- マスタチャネルには、偶数チャネル（CH0、CH2）のみ設定できます。スレーブチャネルには、CH0 を除くすべてのチャネルを設定できます。
- マスタチャネルより下位のチャネルのみスレーブチャネルとして設定でき、1 つのマスタチャネルに対し複数のスレーブチャネルを設定できます。
  例：CH2 がマスタチャネルの場合、CH3 をスレーブチャネルに設定できます。
- マスタチャネルを 2 つ使用する場合、マスタチャネルを跨いだスレーブチャネルの設定はできません。
  例：CH0、CH2 がマスタチャネルの場合、CH0 に対して CH1 をスレーブチャネルとして設定できますが、CH3 は設定できません。

動作クロック

- マスタチャネルと連動するスレーブチャネルには同じ動作クロックを設定する必要があります。マスタチャネルとスレーブチャネルの TAUJnCMORm.TAUJnCKS[1:0] ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャネルの使用と動作クロックの基本的な概念を**図 26.4** に示します。

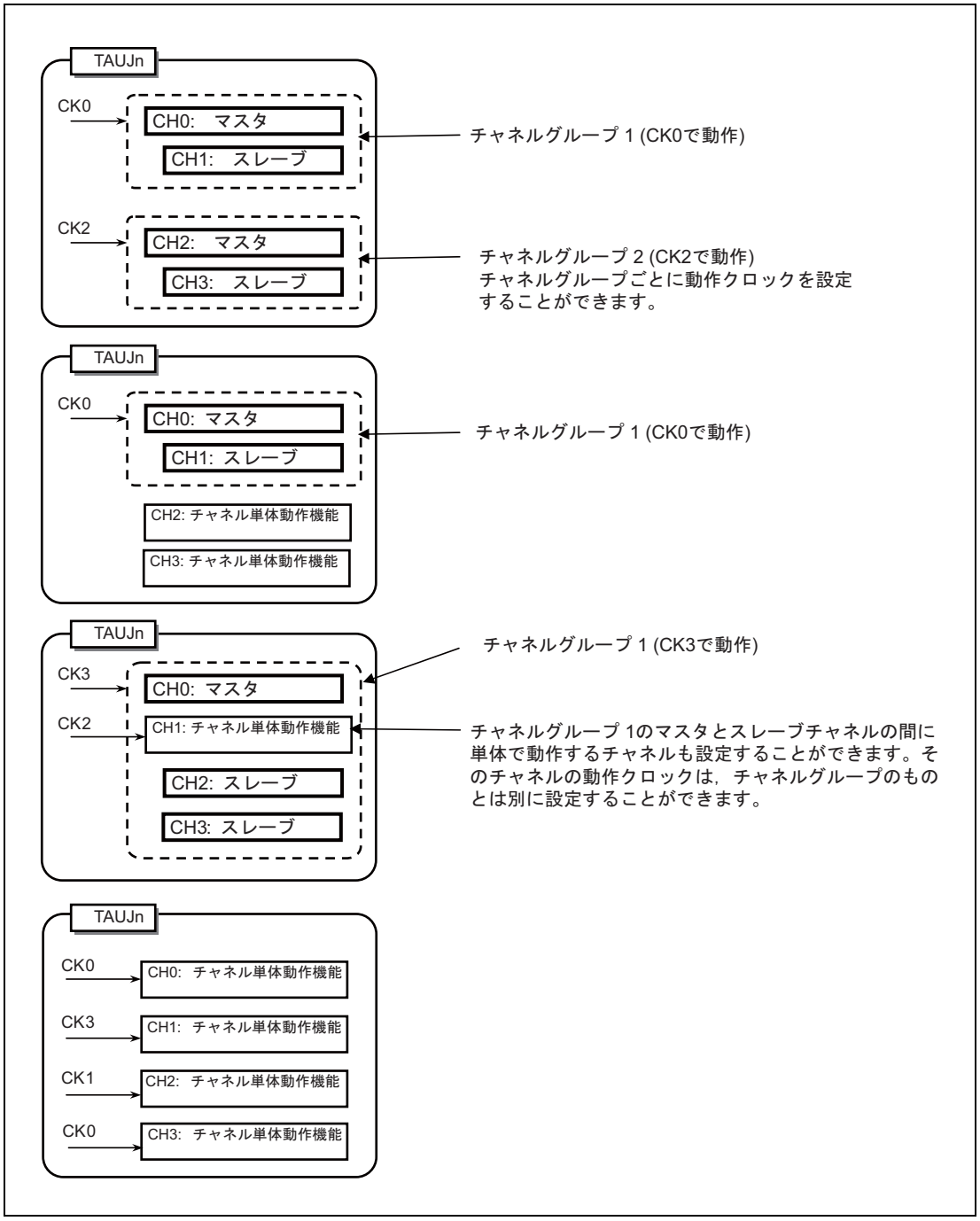


図 26.4　　チャネルのグループ化と動作クロックの割り当て

26.5.2 連動チャネルカウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

26.5.2.1 ユニット内の連動チャネルカウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUJnTS.TAUJnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUJnTT.TAUJnTTm ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSm ビットに 1 を設定することにより、対応する TAUJnTE.TAUJnTEm ビットが 1 にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

26.5.2.2 ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

26.6 一斉書き換え

26.6.1 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3 つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

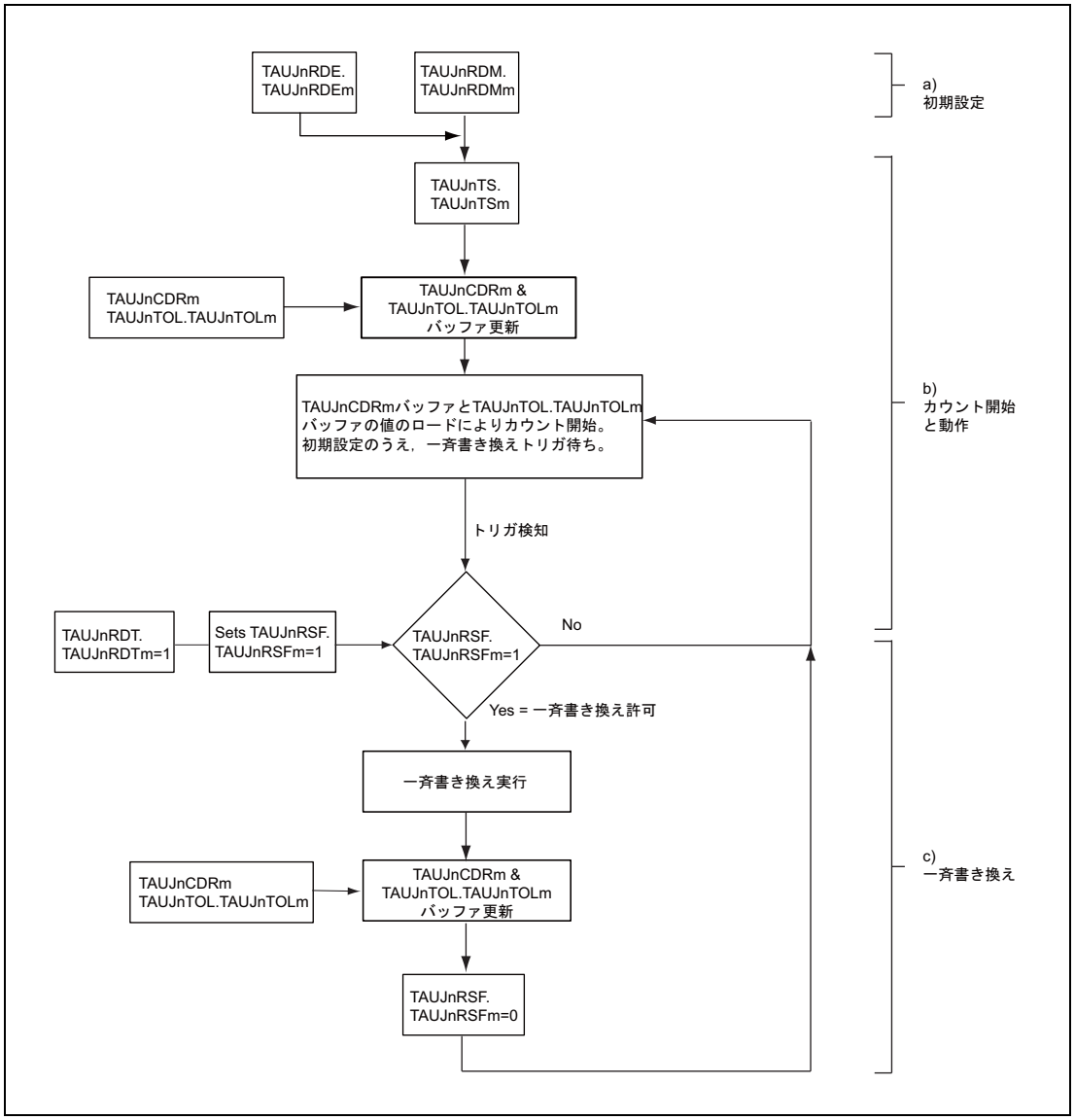


図 26.5 一斉書き換えの基本手順

26.6.1.1 初期設定

- チャネルmにて一斉書き換えを許可するには、TAUJnRDE.TAUJnRDEm = 1を設定してください。
- マスタチャネルがカウント開始時に一斉書き換えの種類を選ぶには、TAUJnRDM.TAUJnRDMmを設定してください。

26.6.1.2 カウント開始とカウント動作

- チャネルグループに属するすべてのTAUJnCNTmカウンタ動作を開始するには、対応するTAUJnTS.TAUJnTSmビットを1に設定してください。TAUJnTOL.TAUJnTOLmとデータレジスタ（TAUJnCDRm）の値は、対応するTAUJnTOL.TAUJnTOLmバッファ（TAUJnTOL.TAUJnTOLm buf）とデータバッファレジスタ（TAUJnCDRm buf）にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット（TAUJnRDT.TAUJnRDTm）を1に設定することにより、リロードフラグ（TAUJnRSF.TAUJnRSFm）が1に設定され、一斉書き換えが許可されます。TAUJnRSF.TAUJnRSFmは一斉書き換えが完了するまで1のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可（TAUJnRSF.TAUJnRSFm = 1）されているかを確認するためにTAUJnRSF.TAUJnRSFmビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

26.6.1.3 一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可（TAUJnRSF.TAUJnRSFm = 1）されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると、TAUJnRSF.TAUJnRSFmビットは0に設定され、システムは次の一斉書き換えトリガを待ちます。

26.6.2 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中（TAUJnTE.TAUJnTEm = 1）は、TAUJnRDE.TAUJnRDEm、TAUJnRDM.TAUJnRDMmを変更することはできません。
- TAUJnTOL.TAUJnTOLmは、PWM出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUJnTOL.TAUJnTOLmはカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUJTTOUTmは不正な波形を出力します。

26.6.3 一斉書き換えの方法

PWM 出力機能での一斉書き換えの方法を次の図で示します。

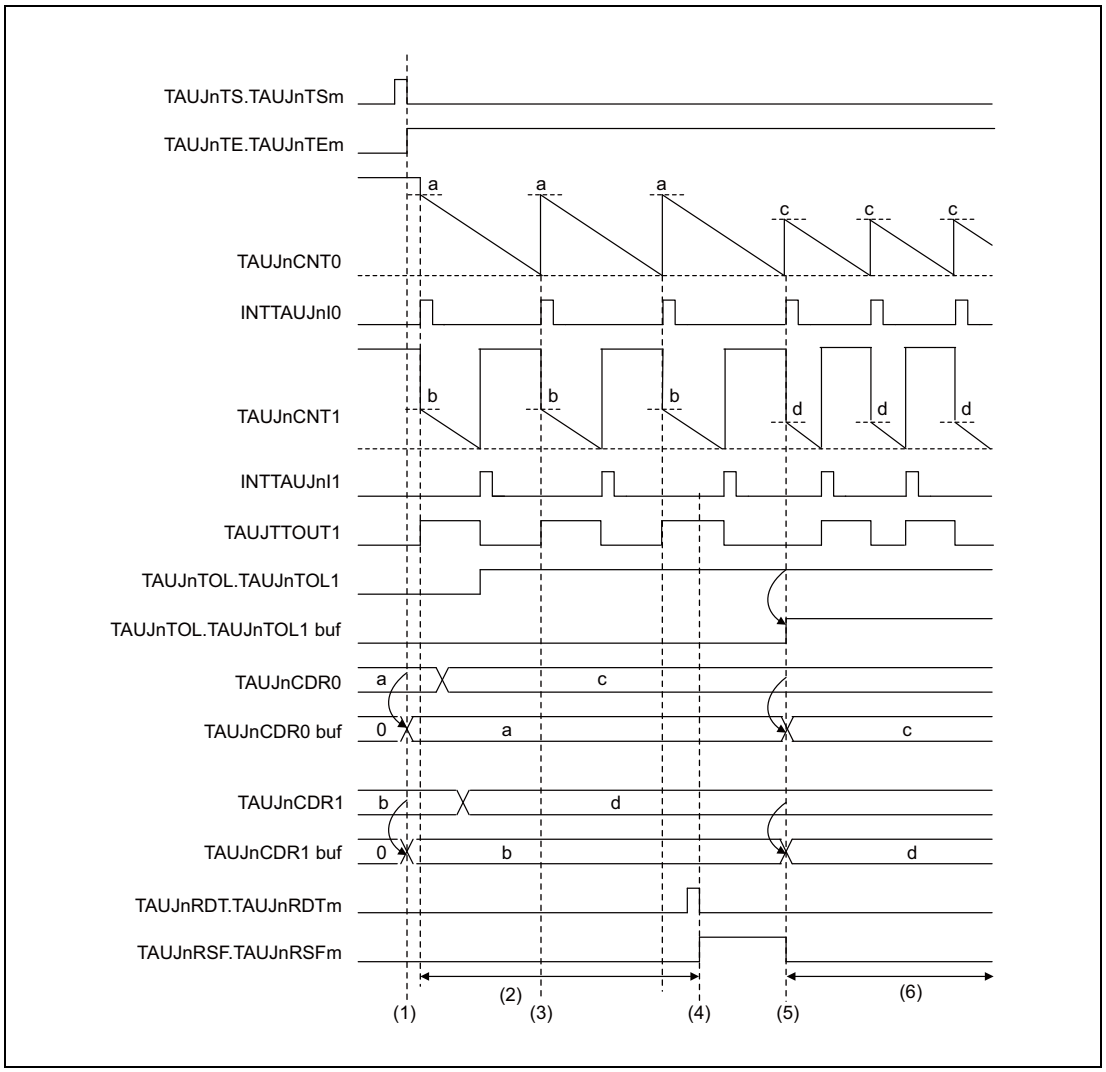


図 26.6 PWM 出力機能での一斉書き換え

設定

CH0 は、PWM 出力機能のマスタチャネルです。CH1 は、PWM 出力機能のスレーブチャネルです。一斉書き換えは、マスタチャネルがカウント開始時に適用されます。

説明：

(1) TAUJnTS.TAUJnTSm = 1 に設定すると、TAUJnCDRm の値が TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値が TAUJnTOL.TAUJnTOLm バッファにコピーされます。

(2) TAUJnCDRm と TAUJnTOL.TAUJnTOLm レジスタは常に書き込めます。

(3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません（TAUJnRSF.TAUJnRSFm = 0）。

(4) リロードデータトリガビット（TAUJnRDT.TAUJnRDTm）を 1 に設定することにより、ステータスフラグが設定され（TAUJnRSF.TAUJnRSFm = 1）、一斉書き換えが許可されます。

(5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUJnCDRm の値は TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。

26.7　チャネル出力モード

TAUJTTOUTm 端子の出力は、2 つの方法で制御することができ、2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御（TAUJnTOE.TAUJnTOEm = 0）
  ソフトウェアで制御した場合、出力レジスタビット（TAUJnTO.TAUJnTOm）に書き込んだ値は、出力端子（TAUJTTOUTm）に転送されます。
- TAUJ 信号による制御（TAUJnTOE.TAUJnTOEm = 1）
  TAUJ 信号で制御した場合、TAUJTTOUTm の出力レベルはセット／リセット、または内部信号によりトグルされます。これに応じて、TAUJTTOUTm の値を反映するために、TAUJnTO.TAUJnTOm の値は更新されます。
  - 単体制御（TAUJnTOM.TAUJnTOMm = 0）
    単体動作の場合、TAUJTTOUTm 端子の出力はチャネル m の設定のみの影響を受けます。したがって、チャネル単体動作を指定（TAUJnTOM.TAUJnTOMm = 0）する必要があります。
  - 連動制御（TAUJnTOM.TAUJnTOMm = 1）
    連動動作の場合、TAUJTTOUTm 端子の出力は、チャネル m とその他のチャネルの設定の影響を受けます。したがって、すべての連動するチャネルに対してチャネル連動動作を指定する必要があります（TAUJnTOM.TAUJnTOMm = 1）。

TAUJnTO.TAUJnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUJTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャネル出力モードを選択するために必要な制御ビットの設定は、**「表 26.36　チャネル出力モード」**に示します。

チャネル出力モードの詳細は次の節を参照してください。

- **「26.7.2　TAUJn 信号により単体制御されるチャネル出力モード」**
- **「26.7.3　TAUJn 信号により連動制御されるチャネル出力モード」**

TAUJnTOm ビットの一括操作

TAUJnTOm ビットへの設定値の反映 / 非反映は、TAUJnTOE.TAUJnTOEm ビットにより制御されます。

TAUJnTO レジスタにライトした時に、TAUJnTOE.TAUJnTOEm ビット =0 を設定したビット（チャネル）にのみ、TAUJnTOm の設定値の書き込みが行われます。
TAUJnTOE.TAUJnTOEm ビット = 1 を設定したビット（チャネル）は、TAUJnTOm の設定値は反映されません。

備　考

TAUJnTO.TAUJnTOm ビットは、ビット番号とチャネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると、TAUJTTOUTm 信号の出力は不定になります。

「26.6　一斉書き換え」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを**表 26.36** に示します。

表 26.36　チャネル出力モード

チャネル出力モード	TAUJnTOE.TAUJnTOEm	TAUJnTOM.TAUJnTOMm
ソフトウェア制御		
ソフトウェア制御のチャネル単体出力モード	0	x
TAUJ 信号による単体動作制御		
チャネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャネル連動出力モード 1	1	1

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備　考

1. 次のビットは、カウント動作中（TAUJnTE.TAUJnTEm = 1）は変更できません。
   - TAUJnTOM.TAUJnTOMm
   - TAUJnTOC.TAUJnTOCm

26.7.1　チャネル出力モードを指定するための基本手順

TAUJTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります（TAUJnTOE.TAUJnTOEm = 0）。

(1) TAUJnTO.TAUJnTOm を設定して TAUJTTOUTm 出力の初期レベルを指定してください。

(2) **「表 26.36　チャネル出力モード」**を参照してチャネル出力モードを設定し、TAUJnTOL.TAUJnTOLm ビットで出力論理を設定してください。

(3) カウンタのカウントを開始してください（TAUJnTS.TAUJnTSm = 1）。

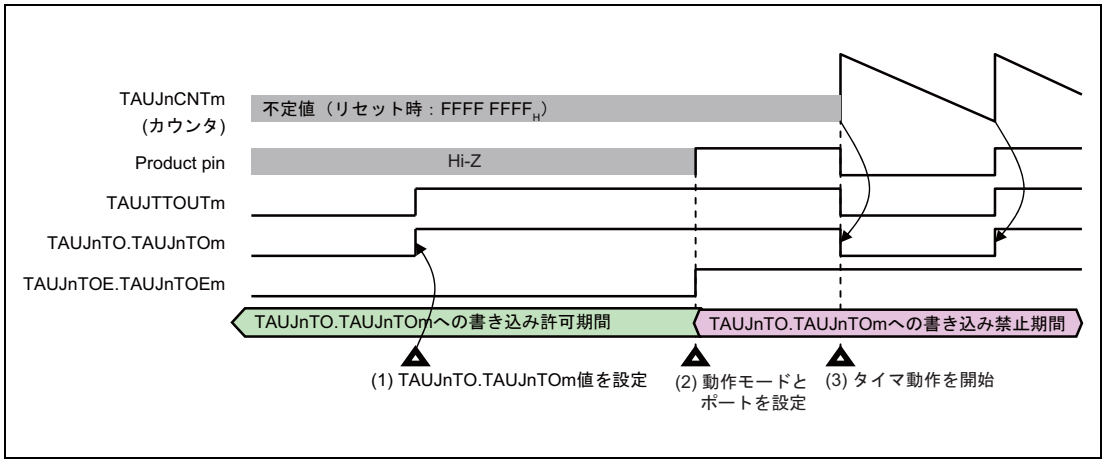


図 26.7　TAUJTTOUTm チャネル出力モードを指定するための基本手順

26.7.2 TAUJn 信号により単体制御されるチャネル出力モード

この節では、TAUJn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、**「表 26.36　チャネル出力モード」**に示します。

26.7.2.1 チャネル単体出力モード 1

セット／リセット条件

この出力モードでは、INTTAUJnIm が検出されると TAUJTTOUTm がトグルされます。TAUJnTOL.TAUJnTOLm の値は無視されます。

前提条件

「表 26.36　チャネル出力モード」に示す条件以外の条件はありません。

26.7.3 TAUJn 信号により連動制御されるチャネル出力モード

この節では、TAUJn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、**「表 26.36　チャネル出力モード」**に示します。

26.7.3.1 チャネル連動出力モード 1

セット／リセット条件

この出力モードでは、マスタチャネルの INTTAUJnIm がセット信号、スレーブチャネルの INTTAUJnIm がリセット信号となります。マスタチャネルの INTTAUJnIm とスレーブチャネルの INTTAUJnIm が同時発生した場合、スレーブチャネルの INTTAUJnIm（リセット信号）は、マスタチャネルの INTTAUJnIm（セット信号）より優先されます（マスタチャネルは無視されます）。

前提条件

「表 26.36　チャネル出力モード」に示す条件以外の条件はありません。

26.8 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUJnTS.TAUJnTSm を “1” に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

26.8.1 インターバルタイマモード、キャプチャモード、カウントキャプチャモード

TAUJnTS.TAUJnTSm が “1” に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

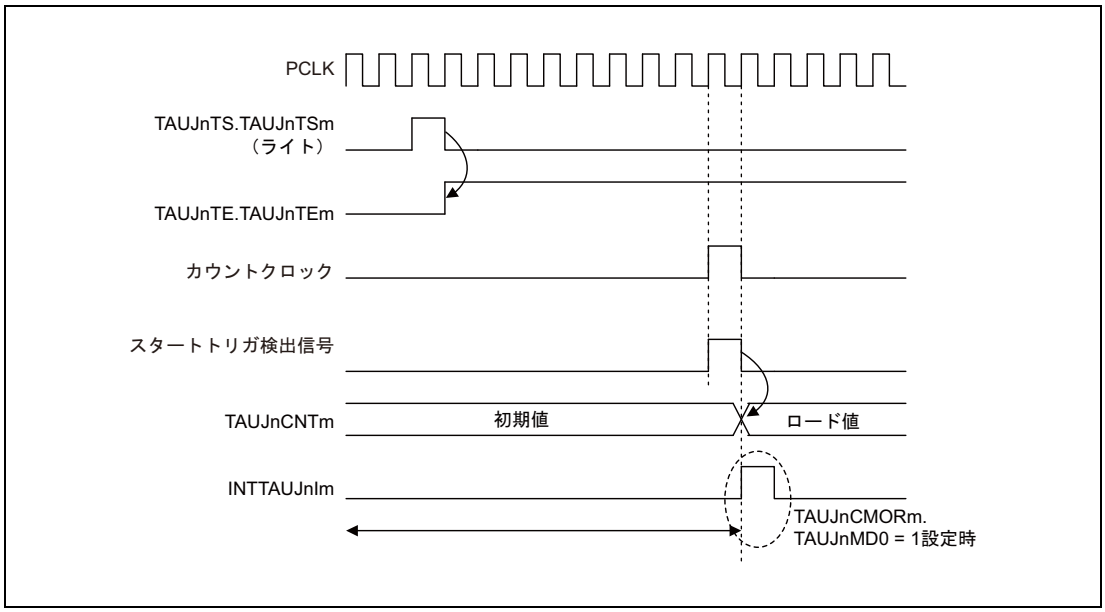


図 26.8 インターバルタイマモード、キャプチャモード、カウントキャプチャモードでの開始タイミング

26.8.2 その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUJTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

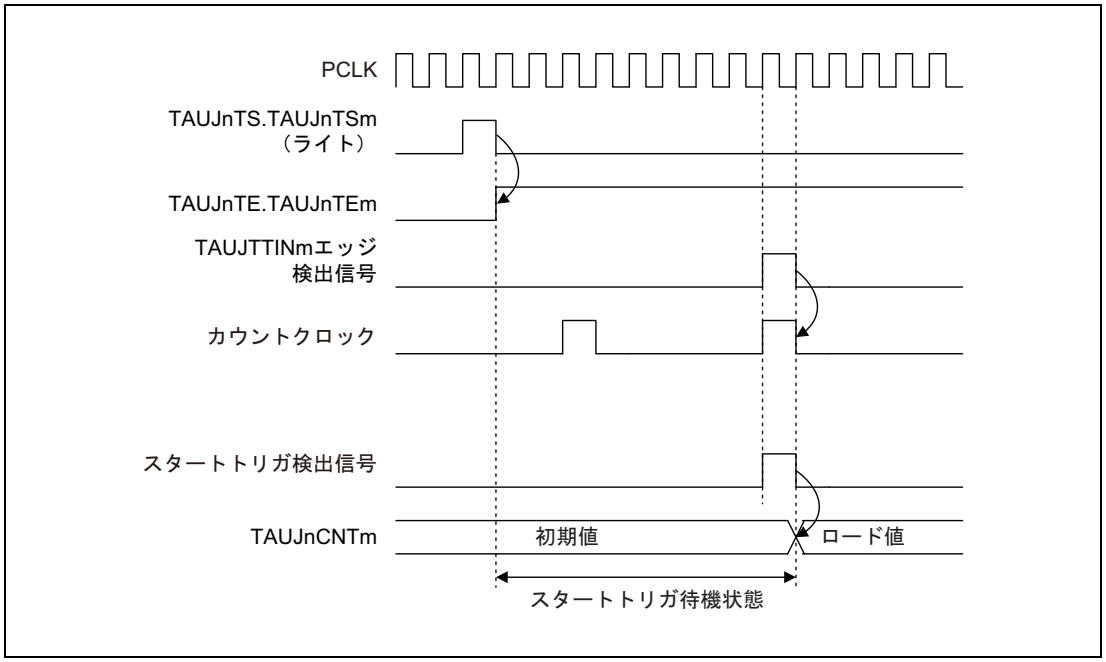


図 26.9　その他の動作モードでのカウント開始タイミング

26.9 カウント開始／リスタート時の TAUJTTOUTm 出力と INTTAUJnIm 生成

カウンタのカウント開始時、TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。MD0 ビットがカウント開始時の INTTAUJnIm 発生、TAUJTTOUTm に与える影響は、選択した機能に依存します。詳細は各機能の TAUJnCMORm.TAUJnMD0 の説明を参照してください。

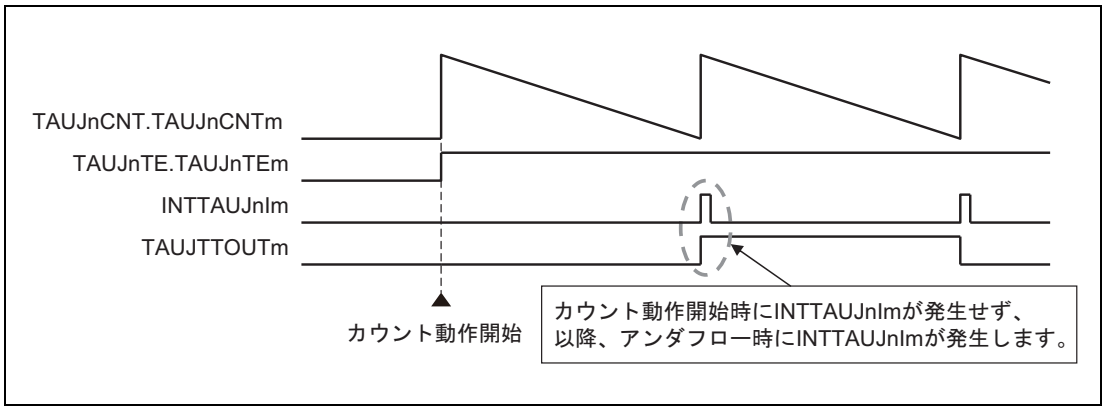


図 26.10 INTTAUJnIm の発生タイミング（TAUJnCMORm.TAUJnMD0 = 0 設定時）

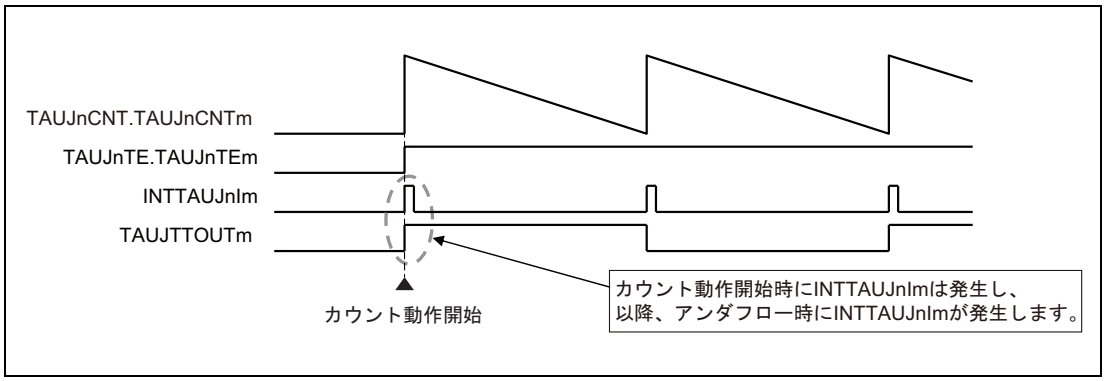


図 26.11 INTTAUJnIm の発生タイミング（TAUJnCMORm.TAUJnMD0 = 1 設定時）

26.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が FFFF $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャネル動作と、ダウンカウントを行うモードでのチャネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャネルに適切かは、ファーストチャネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャネルに、ファーストチャネルでのオーバフロー発生と同時に 0000 0000_H になるようなダウンカウントを行う動作モードを設定します（TAUJnCNTm = FFFF $FFFF_H$）。
- セカンドチャネルの TAUJnCDRm を FFFF $FFFF_H$ に設定します。
- 2 つのチャネルは同じ速度でカウントを行う必要があります（つまり、カウントクロックが同じでなければなりません）。
- 両チャネルが同じ TAUJTTINm 入力信号でトリガされます。
- 両チャネルのトリガ検出設定（TAUJnCMORm.TAUJnSTS[2:0] と TAUJnCMURm.TAUJnTIS[1:0]）は同じである必要があります。

結果：

ファーストチャネルのアップカウンタでのオーバフロー発生（TAUJnCNTm = FFFF $FFFF_H$）と同時にセカンドチャネルのダウンカウンタが 0000 0000_H になります。そしてセカンドチャネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

26.10.1 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャネルの TAUJTTINm に同時にキャプチャトリガを入力することで、TAUJTTINm 入力位置検出機能の TAUJnCNTm の FFFF $FFFF_H$ オーバフローをインターバルタイマ機能の INTTAUJnIm で検出できます。

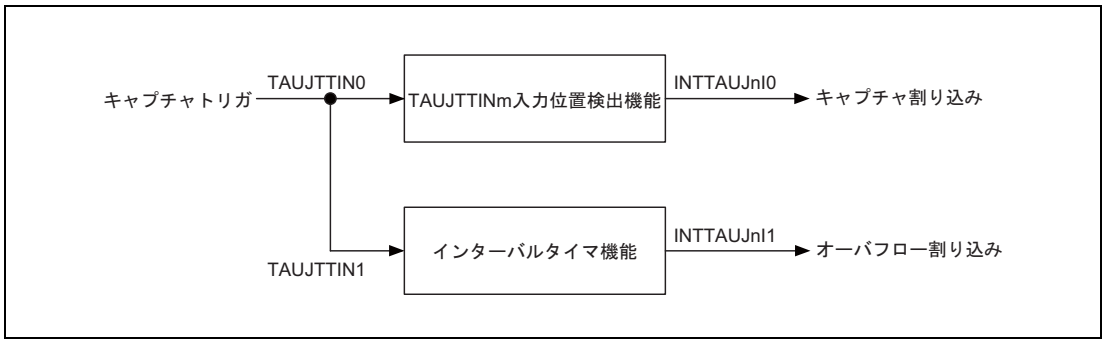


図 26.12 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

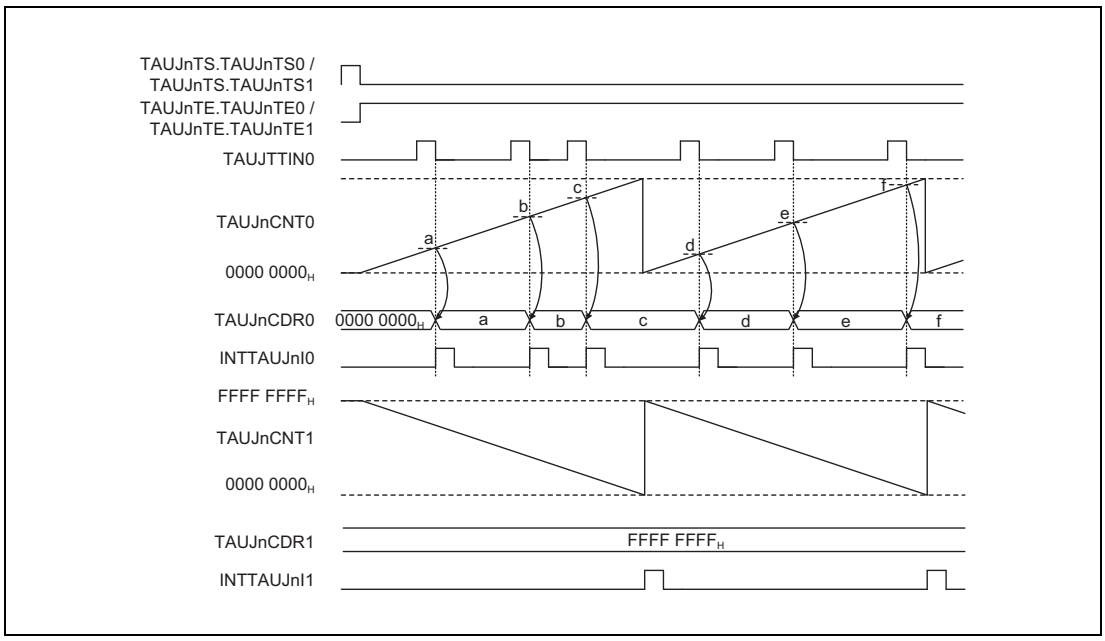


図 26.13 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

26.11 TAUJTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

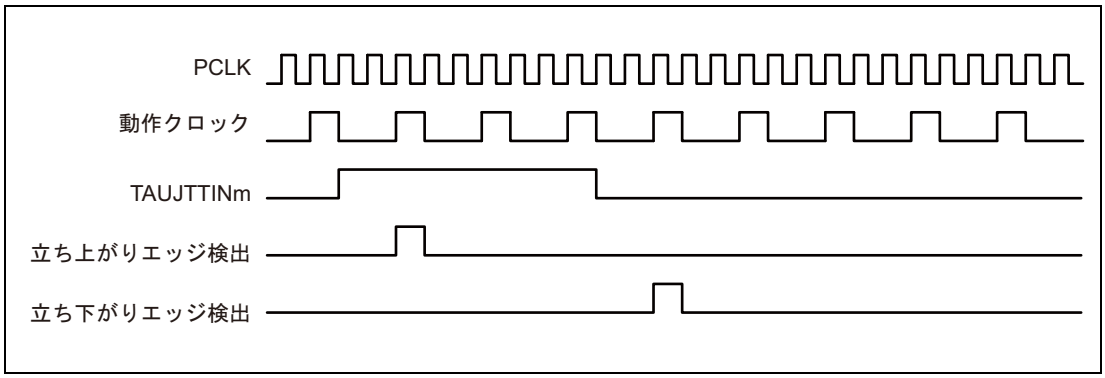


図 26.14　エッジ検出基本動作タイミング

図 26.14 は動作タイミングのイメージです。実際は、TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

26.12 チャネル単体動作機能

TAUJ の各種単体動作機能を次の項で説明します。単体動作機能の概要は、**「26.2　概要」**を参照してください。

26.12.1 インターバルタイマ機能

26.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み（INTTAUJnIm）を発生する基準タイマとして使用できます。割り込みが発生すると、TAUJTTOUTm 信号はトグルされ、矩形波を出力します。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。
TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。

カウンタ値が $0000\ 0000_H$ になると、INTTAUJnIm が発生し、TAUJTTOUTm 信号がトグルされます。その後、TAUJnCDRm の値を TAUJnCNTm にロードし、以降、動作を継続します。

TAUJnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。TAUJnCNTm と TAUJTTOUTm は停止しますが、値は保持します。TAUJnTS.TAUJnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUJTTOUTm のトグルも行われません。これにより、TAUJnCMORm.TAUJnMD0 が 1 に設定された場合に対して、反転された TAUJTTOUTm 信号が出力されます。

26.12.1.2 算出式

INTTAUJnIm の周期 = カウントクロック周期 ×（TAUJnCDRm ＋ 1）

TAUJTTOUTm の矩形波周期 = カウントクロック周期 ×（TAUJnCDRm ＋ 1）× 2

26.12.1.3 ブロック図と基本タイミング図

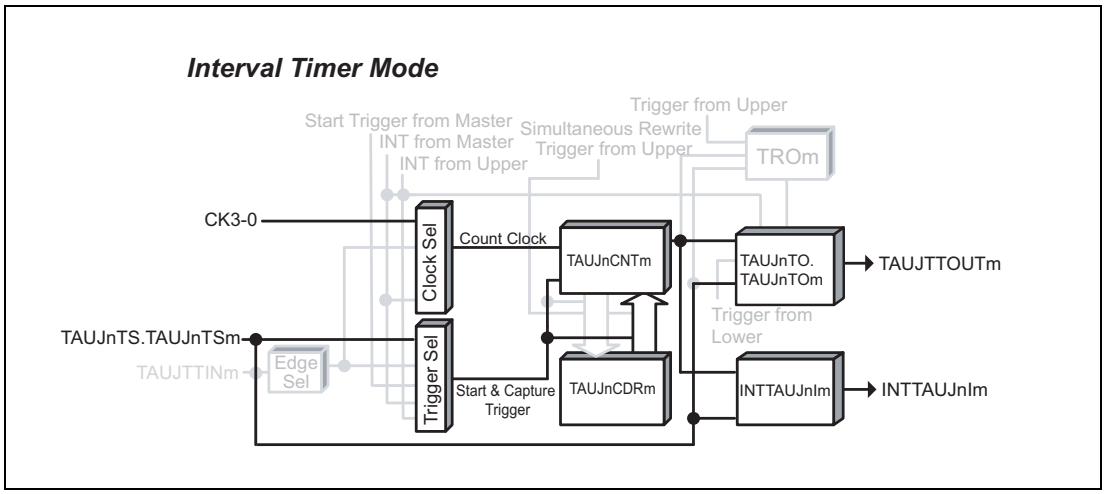


図 26.15 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する（TAUJnCMORm.TAUJnMD0 = 1）

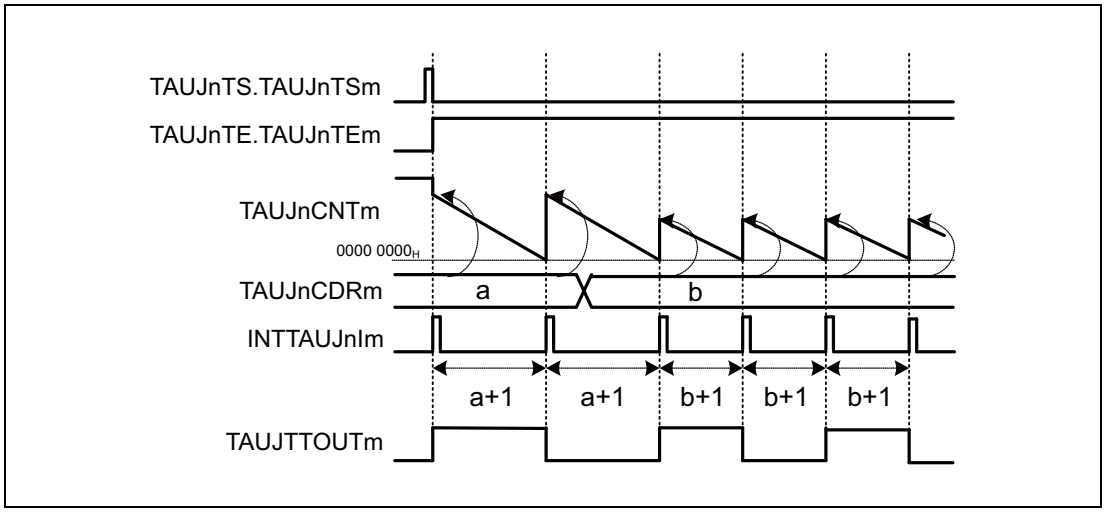


図 26.16 インターバルタイマ機能の基本タイミング図

26.12.1.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.37 インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	000_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	0000_B を書いてください。
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生せず、TAUJTTOUTm はトグルされない 1：動作開始または再開時に INTTAUJnIm が発生し、TAUJTTOUTm はトグルされる

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.38 インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：未使用、00 を設定

(3) チャネル出力モード

表 26.39　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1_B を書いてください。
TAUJnTOM.TAUJnTOMm	0_B を書いてください。
TAUJnTOC.TAUJnTOCm	0_B を書いてください。
TAUJnTOL.TAUJnTOLm	0_B を書いてください。

備　考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTTOUTm を割り込みとは独立させて制御することができます。詳細は「**26.7　チャネル出力モード**」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.40　インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm = 0）、0 を設定

26.12.1.5 インターバルタイマ機能の操作手順

表 26.41 インターバルタイマ機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを**「表 26.37 インターバルタイマ機能の TAUJnCMORm レジスタの内容」**、**「表 26.38 インターバルタイマ機能の TAUJnCMURm レジスタの内容」**に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを**「表 26.39 チャネル単体出力モード 1 時の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJTTOUTm がトグルされます。
動作中	TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが $0000\ 0000_H$ になった場合： • 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 • INTTAUJnIm が発生し、TAUJTTOUTm がトグルされます。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJTTOUTm は停止し、現在値を保持します。

動作再開

26.12.1.6 特定の設定時のタイミング図

(1) TAUJnCDRm = 0000 0000$_H$、カウントクロック = PCLK/2

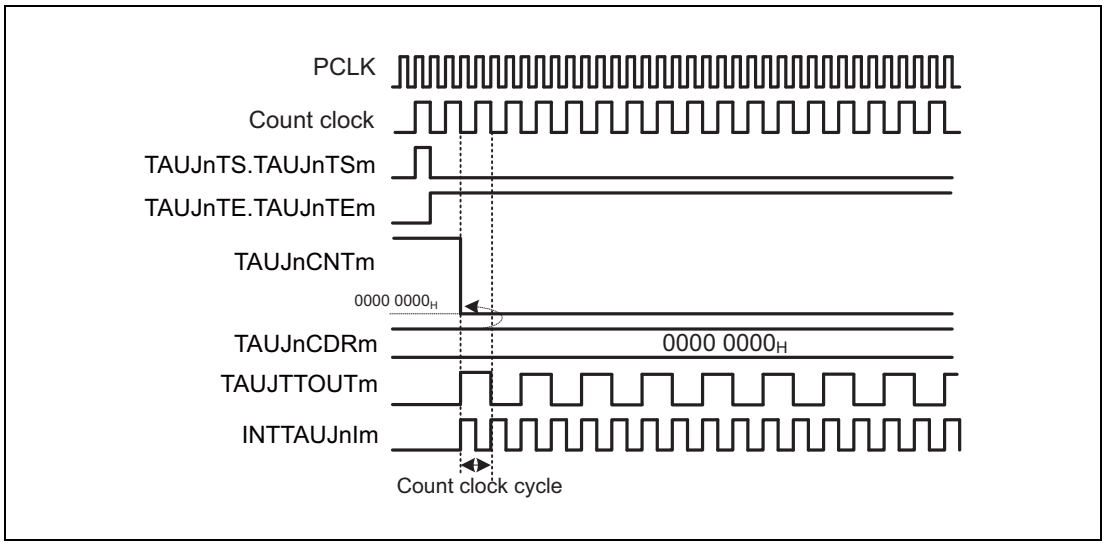


図 26.17 TAUJnCDRm = 0000 0000$_H$、カウントクロック = PCLK/2

- TAUJnCDRm = 0000 0000$_H$、かつカウントクロック = PCLK/2 の場合、カウントクロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000$_H$ です。
- INTTAUJnIm がカウントクロックごとに発生するので、TAUJTTOUTm はカウントクロックごとにトグルされます。

(2) TAUJnCDRm = 0000 0000$_H$、カウントクロック = PCLK

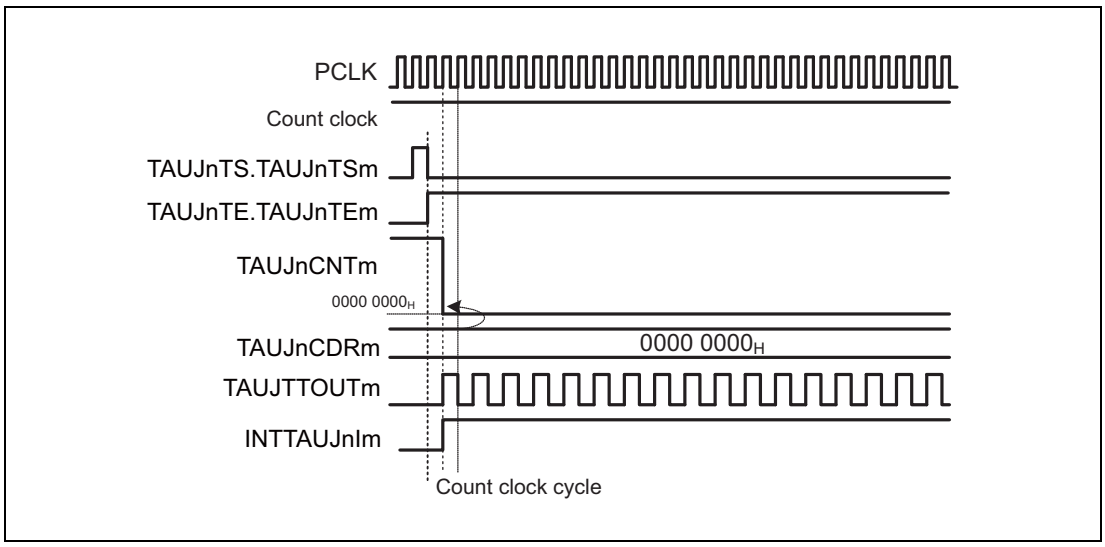


図 26.18 TAUJnCDRm = 0000 0000$_H$、カウントクロック = PCLK

- TAUJnCDRm = 0000 0000$_H$、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000$_H$ です。

- INTTAUJnIm は、ハイレベル固定になります。1 回目の割り込みは発生しますが、それ以降は発生しません。
  PCLK クロックごとに TAUJTTOUTm がトグルされます。

(3) 動作の停止と再開

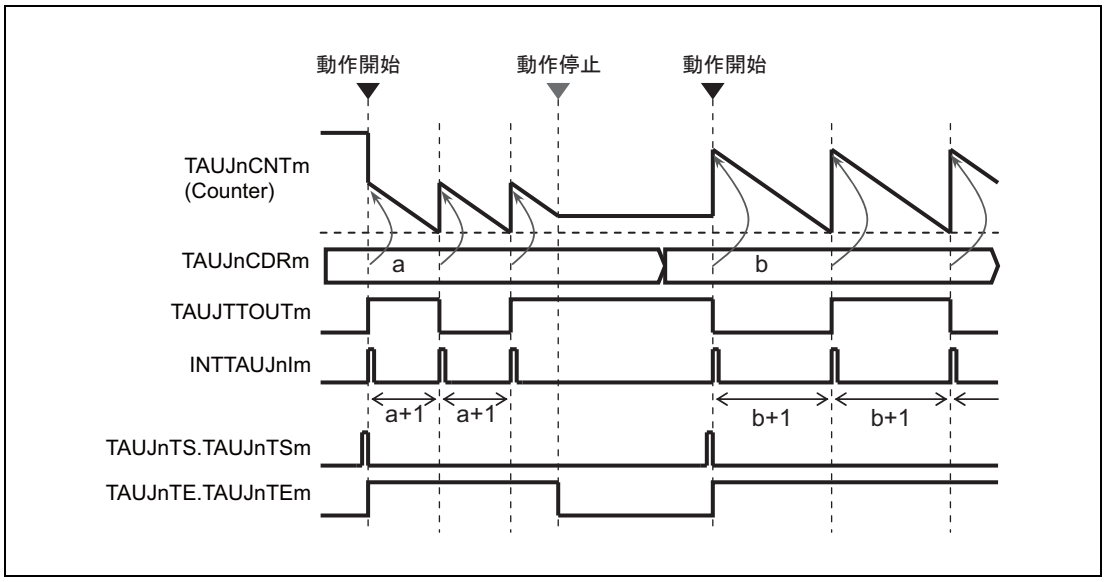


図 26.19 動作の停止と再開（TAUJnCMORm.TAUJnMD0 = 1）

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm と TAUJTTOUTm は停止しますが、値は保持します。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。

(4) 強制リスタート

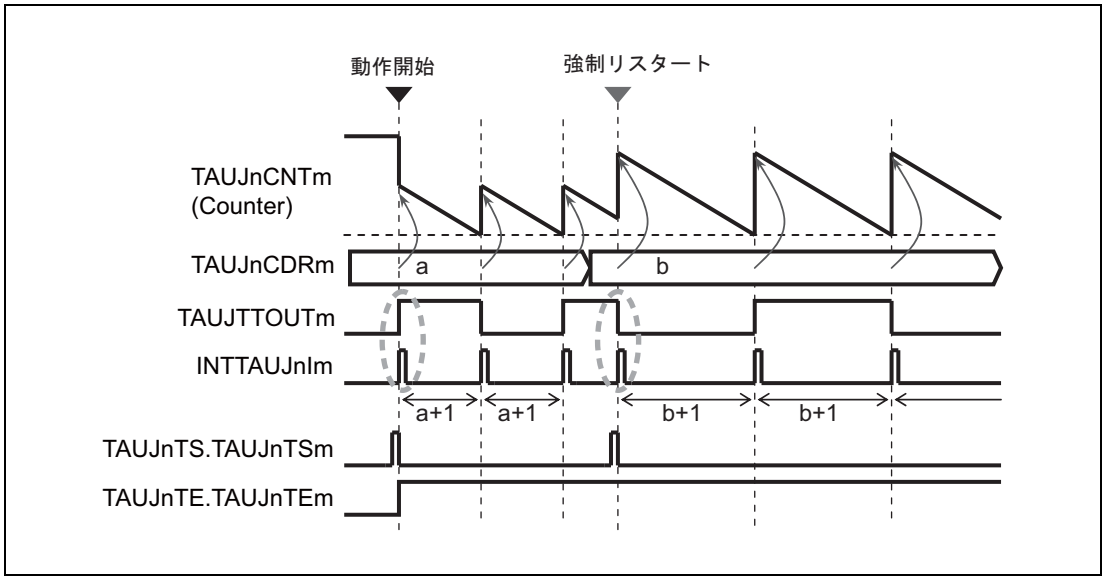


図 26.20 強制リスタート動作（TAUJnCMORm.TAUJnMD0 = 1）

- カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUJnCMORm.TAUJnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUJnCDRm の値は、TAUJnCNTm に反映されて、カウントを開始します。変更した TAUJnCDRm の値を即時反映させる場合は、強制リスタートをしてください。

26.12.2 TAUJTTINm 入力インターバルタイマ機能

26.12.2.1 概要

概要

この機能は、一定間隔または有効な TAUJTTINm 入力エッジが検出された場合に、タイマ割り込み（INTTAUJnIm）を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUJTTOUTm 信号はトグルされ、矩形波を出力します。また、矩形波の出力は、TAUJ0 のみ対応しています。

機能説明

この機能は、有効な TAUJTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します（**「26.12.1 インターバルタイマ機能」**参照）。トリガとして使用するエッジの種類は、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

26.12.2.2 算出式

INTTAUJnIm の周期 = カウントクロック周期 × （TAUJnCDRm ＋ 1）

TAUJTTOUTm の矩形波周期 = カウントクロック周期 ×（TAUJnCDRm ＋ 1）× 2

26.12.2.3 ブロック図と基本タイミング図

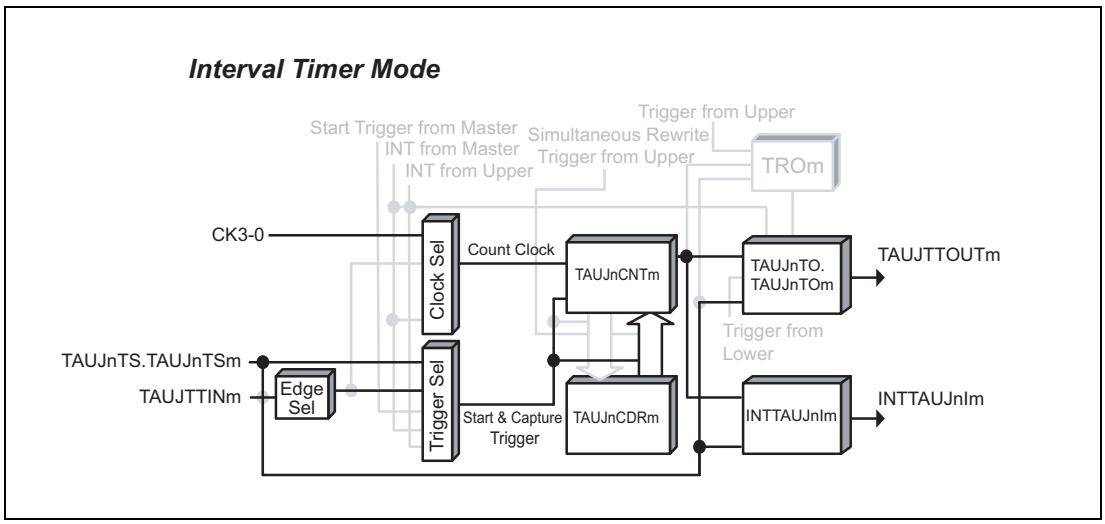


図 26.21 TAUJTTINm 入力インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する（TAUJnCMORm.TAUJnMD0 = 1）
- 立ち上がりエッジ検出（TAUJnCMURm.TAUJnTIS[1:0] = 01_B）

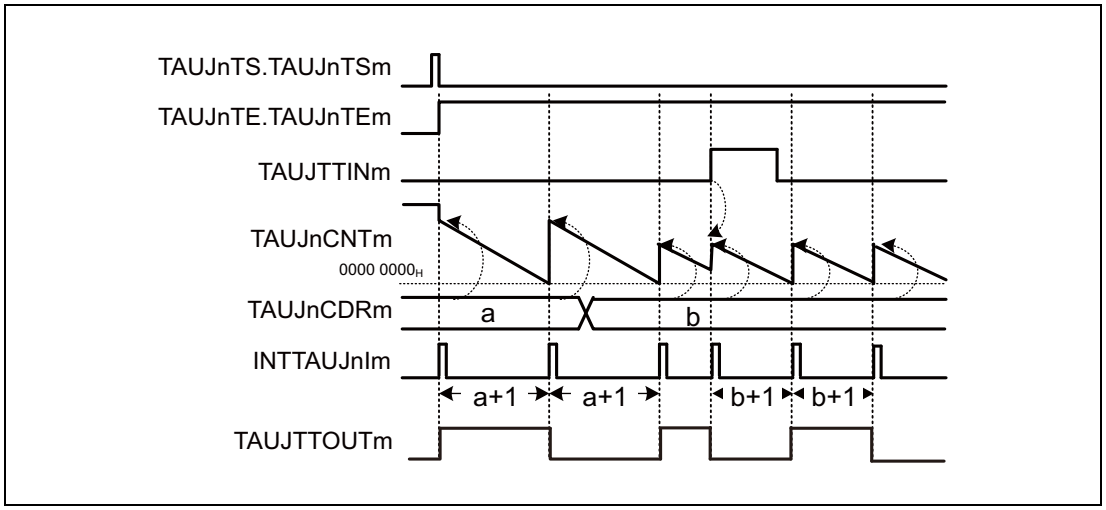


図 26.22　TAUJTTINm 入力インターバルタイマ機能の基本タイミング図

26.12.2.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.42 TAUJTTINm 入力インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	001_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	0000_B を書いてください。
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生せず、TAUJTTOUTm はトグルされない 1：動作開始時に INTTAUJnIm が発生し、TAUJTTOUTm はトグルされる

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.43 TAUJTTINm 入力インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 26.44　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1_B を書いてください。
TAUJnTOM.TAUJnTOMm	0_B を書いてください。
TAUJnTOC.TAUJnTOCm	0_B を書いてください。
TAUJnTOL.TAUJnTOLm	0_B を書いてください。

備　考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTTOUTm を割り込みとは独立させて制御することができます。詳細は「**26.7　チャネル出力モード**」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.45　TAUJTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm = 0）、0 を設定

26.12.2.5 TAUJTTINm 入力インターバルタイマ機能の操作手順

表 26.46 TAUJTTINm 入力インターバルタイマ機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、**「表 26.42 TAUJTTINm 入力インターバルタイマ機能の TAUJnCMORm レジスタの内容」**と**「表 26.43 TAUJTTINm 入力インターバルタイマ機能の TAUJnCMURm レジスタの内容」**に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを**「表 26.44 チャネル単体出力モード 1 時の制御ビット設定」**に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJTTOUTm がトグルされます。
動作中	TAUJnCMURm.TAUJnTIS[1:0]、TAUJnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。 TAUJTTINm エッジ検出	TAUJnCNTm がダウンカウントを行います。カウンタが $0000\ 0000_H$ になった場合： • 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 • INTTAUJnIm が発生し、TAUJTTOUTm がトグルされます。 カウント動作中に TAUJTTINm 入力の有効エッジを検出すると、再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJTTOUTm は停止し、現在値を保持します。

動作再開

26.12.2.6 特定の設定時のタイミング図

「**26.12.1　インターバルタイマ機能**」のタイミング図も適用されますが、それに加えて有効な TAUJTTINm 入力エッジを使用することでカウンタを再開することも可能です。

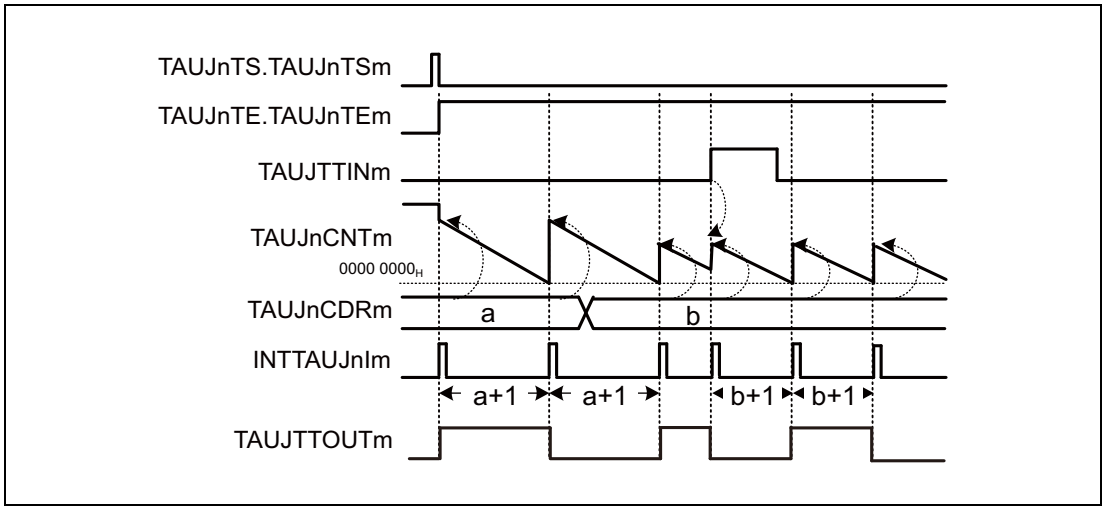


図 26.23　立ち上がり TAUJTTINm 入力エッジ（TAUJnCMURm.TAUJnTIS[1:0] = 01_B）、TAUJnCMORm.TAUJnMD0 = 1 でトリガされたカウンタ

有効な TAUJTTINm 入力エッジを検出した場合、TAUJTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ（TAUJnCMURm.TAUJnTIS[1:0] = 01_B）です。

26.12.3 TAUJTTINm 入力パルスインターバル測定機能

26.12.3.1 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUJnCSRm.TAUJnOVF を使用して TAUJTTINm 入力信号の間隔を測定します。

前提条件

この機能では、TAUJTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタ TAUJnCNTm は、$0000\ 0000_H$ からカウントを開始します。有効な TAUJTTINm エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは、$0000\ 0000_H$ にリセットされ、その後動作を継続します。

有効な TAUJTTINm エッジを検出する前にカウンタが $FFFF\ FFFF_H$ に達すると、カウンタは $0000\ 0000_H$ にオーバフローします。カウンタは、$0000\ 0000_H$ にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 26.47 オーバフローの影響

TAUJnCMORm.COS[1:0]	オーバフローが発生した場合		その後、有効な TAUJTTINm 入力が検出された場合	
	TAUJnCDRm	TAUJnCSRm.TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm.TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	$FFFF\ FFFF_H$ に設定	0	TAUJnCNTm は 0 に設定され、TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の間隔を推定できます。ただし、有効な TAUJTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

TAUJnTT.TAUJnTTm = 1 を設定すると機能を停止できます。これにより、TAUJnTE.TAUJnTEm = 0 が設定されます。TAUJnCNTm が停止し、値を保持します。機能停止中、有効な TAUJTTINm 入力エッジの検出と TAUJnCNTm のキャプチャは行われません。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は**「26.9　カウント開始／リスタート時の TAUJTTOUTm 出力と INTTAUJnIm 生成」**を参照してください。

備　考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

26.12.3.2 算出式

TAUJTTINm 入力パルスインターバル = カウントクロック周期 ×
[（TAUJnCSRm.TAUJnOVF × (FFFF $FFFF_H$ ＋ 1)）＋ TAUJnCDRm キャプチャ値＋ 1]

26.12.3.3 ブロック図と基本タイミング図

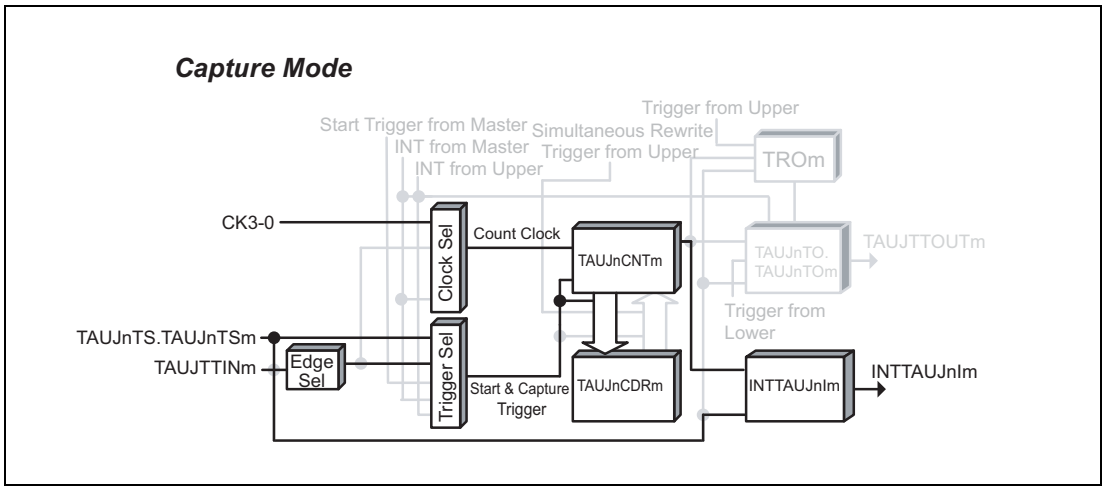


図 26.24　TAUJTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない（TAUJnCMORm.TAUJnMD0 = 0）
- 立ち下がりエッジ検出（TAUJnCMURm.TAUJnTIS[1:0] = 00_B）
- オーバフロー後に有効な TAUJTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する（TAUJnCMORm.TAUJnCOS[1:0] = 00_B）

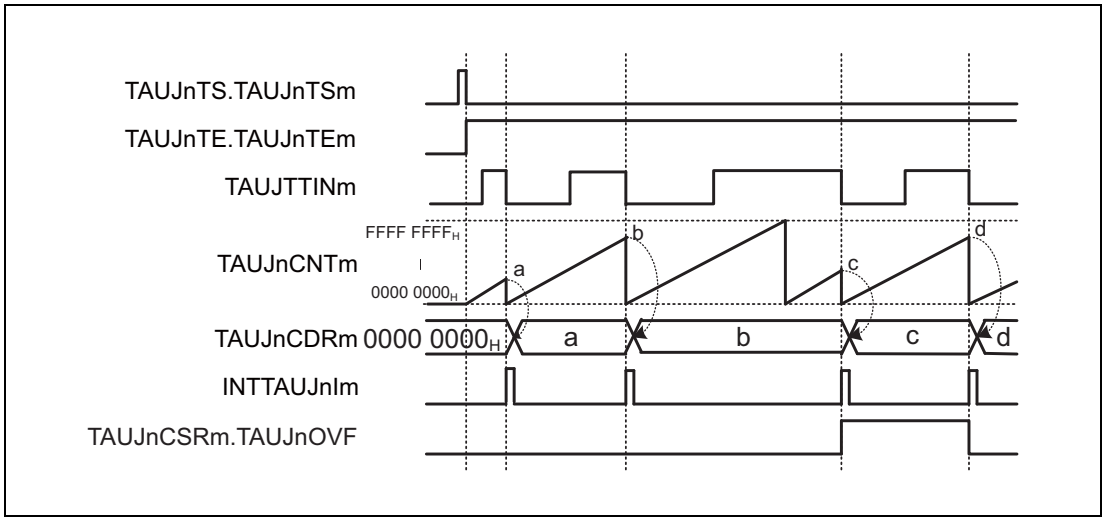


図 26.25　TAUJTTINm 入力パルスインターバル測定機能の基本タイミング図

26.12.3.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.48 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	001_B を書いてください。
7、6	TAUJnCOS[1:0]	**「表 26.47 オーバフローの影響」**を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	0010_B を書いてください。
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生しない 1：動作開始時に INTTAUJnIm が発生する

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.49 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力パルスインターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.50　TAUJTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm = 0）、0 を設定

26.12.3.5 TAUJTTINm 入力パルスインターバル測定機能の操作手順

表 26.51　TAUJTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、**「表 26.48　TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容」**と**「表 26.49　TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容」**に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCNTm が $0000\ 0000_H$ にクリアされます。TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
動作中	TAUJTTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能。（TAUJnCSRm.TAUJnOVF ビットを 0 にクリア）	TAUJnCNTm は、$0000\ 0000_H$ からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： • TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）して、$0000\ 0000_H$ に戻ります。 • その後、INTTAUJnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

動作再開

26.12.3.6 特定の設定時のタイミング図：オーバフロー動作

(1) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

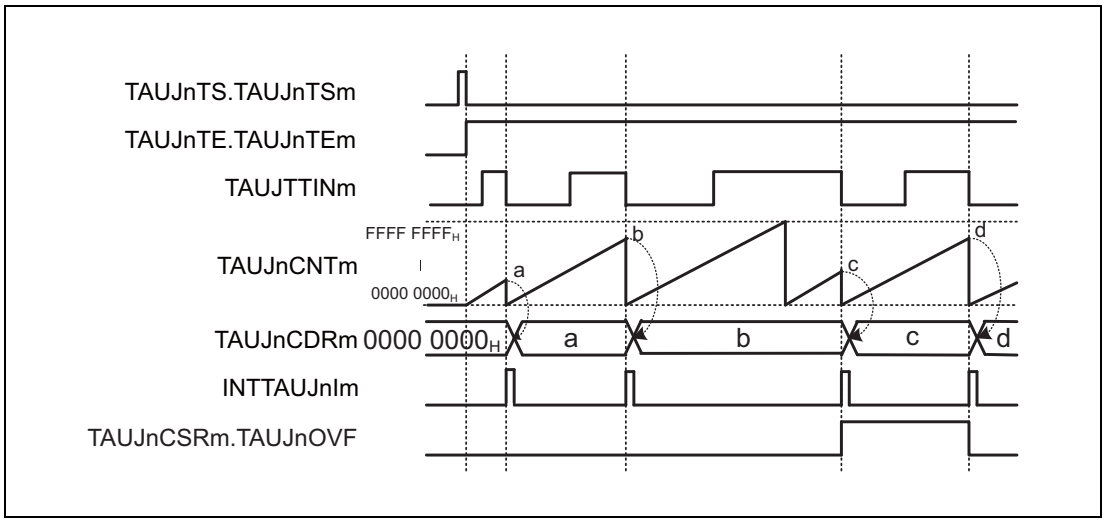


図 26.26 TAUJnCMORm.TAUJnCOS[1:0] = 00_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

(2) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

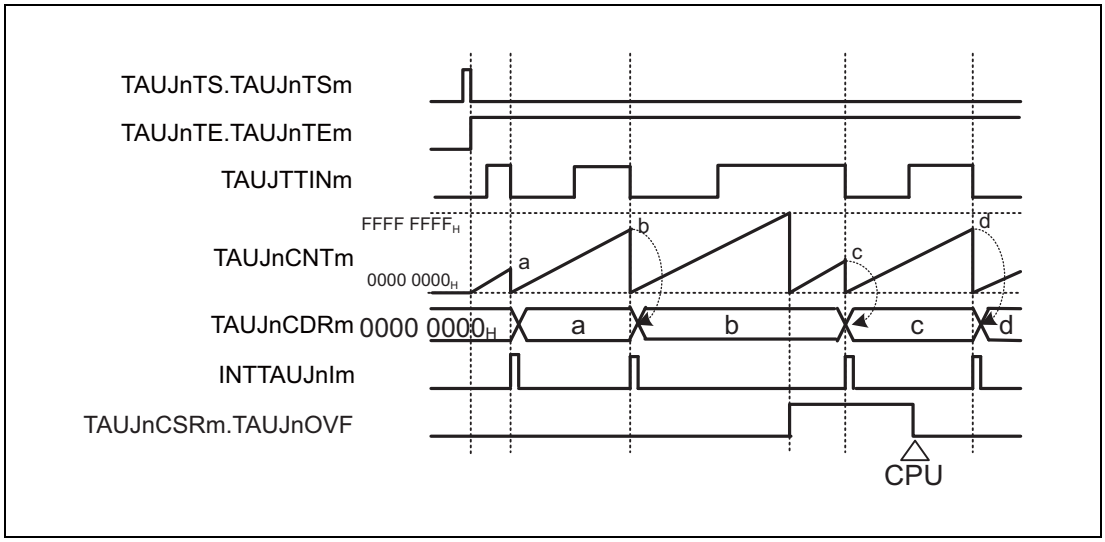


図 26.27 TAUJnCMORm.TAUJnCOS[1:0] = 01_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド（TAUJnCSCm.TAUJnCLOV = 1 のセット）でのみクリアされます。

(3) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

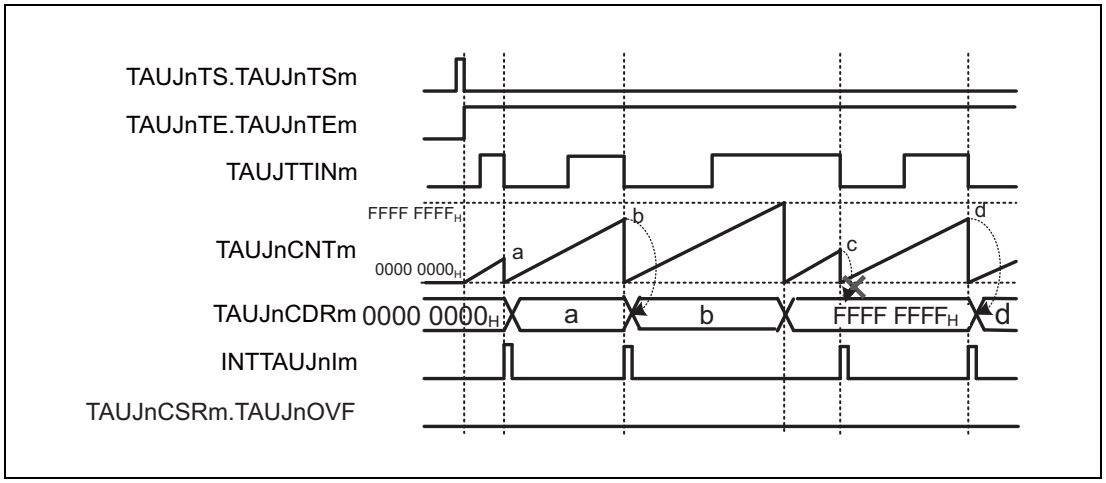


図 26.28 TAUJnCMORm.TAUJnCOS[1:0] = 10_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF$_H$ に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。

(4) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

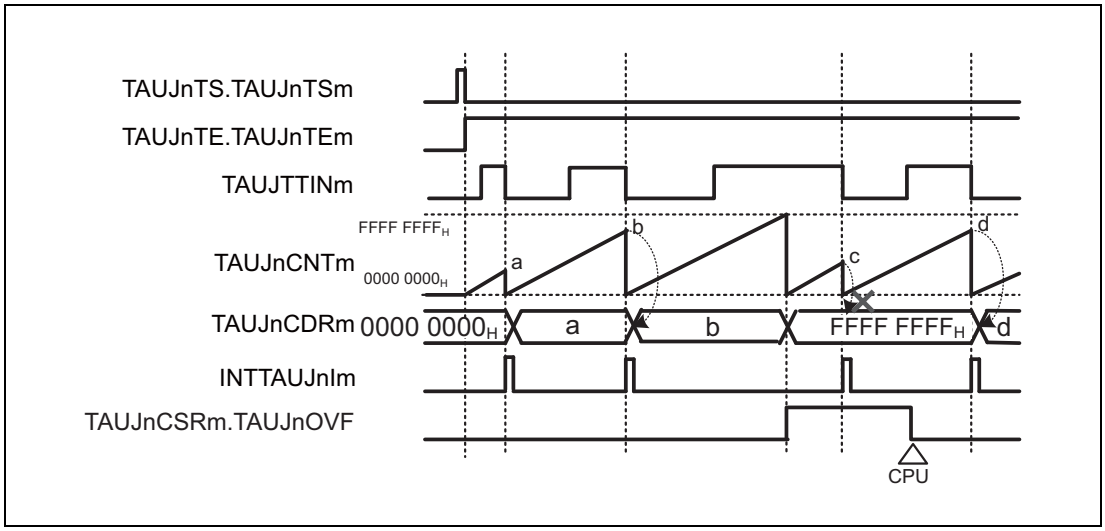


図 26.29 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF $FFFF_H$ に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

26.12.4 TAUJTTINm 入力信号幅測定機能

26.12.4.1 概要

概要

この機能は、TAUJTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUJTTINm の信号幅を測定できます。

前提条件

この機能では、TAUJTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。有効な TAUJTTINm スタートエッジが検出されると、カウンタ TAUJnCNTm は、$0000\ 0000_H$ からカウントを開始します。有効な TAUJTTINm ストップエッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは値を保持し、次の有効な TAUJTTINm 入力スタートエッジを待ちます。

有効な TAUJTTINm ストップエッジを検出する前にカウンタが $FFFF\ FFFF_H$ に達すると、カウンタはオーバフローします。カウンタは、$0000\ 0000_H$ にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 26.52 オーバフローの影響

TAUJnCMORm.COS[1:0]	オーバフローが発生した場合		有効な TAUJTTINm 入力ストップエッジの検出時	
	TAUJnCDRm	TAUJnCSRm.TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm.TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	$FFFF\ FFFF_H$ に設定	0	TAUJnCNTm はカウントを停止 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の幅を推定できます。ただし、有効な TAUJTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備　考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

26.12.4.2 算出式

TAUJTTINm 入力信号幅 = カウントクロック周期 ×
[（TAUJnCSRm.TAUJnOVF ×（FFFF $FFFF_H$ ＋ 1））＋ TAUJnCDRm キャプチャ値＋ 1]

26.12.4.3 ブロック図と基本タイミング図

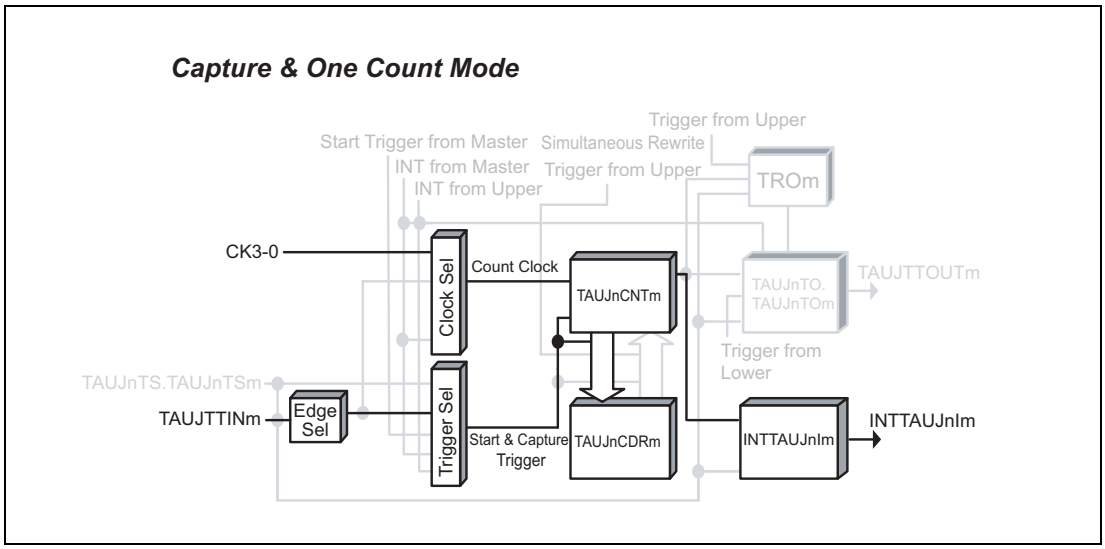


図 26.30 TAUJTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定（TAUJnCMURm.TAUJnTIS[1:0] = 11_B）
- オーバフロー後に有効な TAUJTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する（TAUJnCMORm.TAUJnCOS[1:0] = 00_B）

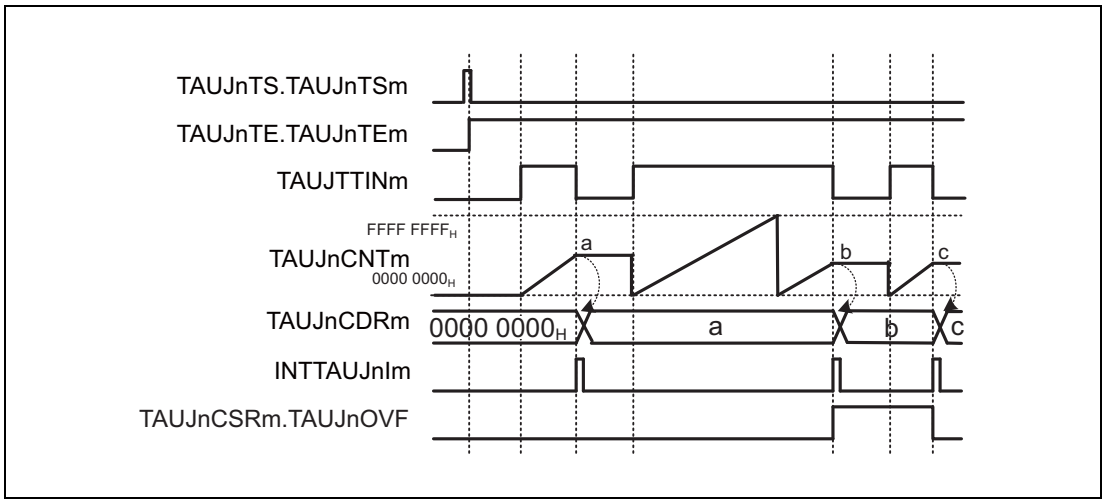


図 26.31 TAUJTTINm 入力信号幅測定機能の基本タイミング図

26.12.4.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.53 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	010_B を書いてください。
7、6	TAUJnCOS[1:0]	**「表 26.52 オーバフローの影響」を参照。**
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	0110_B を書いてください。
0	TAUJnMD0	0_B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.54 TAUJTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.55 TAUJTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm = 0）、0 を設定

26.12.4.5 TAUJTTINm 入力信号幅測定機能の操作手順

表 26.56 TAUJTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、**「表 26.53 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容」**と**「表 26.54 TAUJTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容」**に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。 TAUJTTINm スタートエッジを検出すると、TAUJnCNTm はアップカウントを開始します。
動作中	TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。TAUJnCSCm.TAUJnCLOV ビットは、1 にセット可能です。	TAUJnCNTm は、$0000\ 0000_H$ からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： • TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）して、その値を保持します。 • その後、INTTAUJnIm が発生します。 • カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

動作再開

26.12.4.6 特定の設定時のタイミング図：オーバフロー動作

(1) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

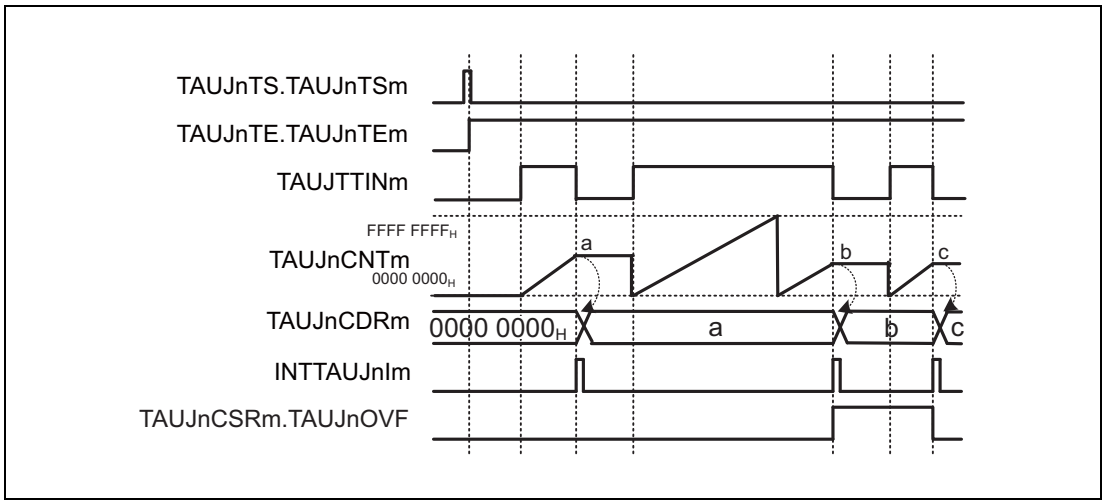


図 26.32 TAUJnCMORm.TAUJnCOS[1:0] = 00_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

(2) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

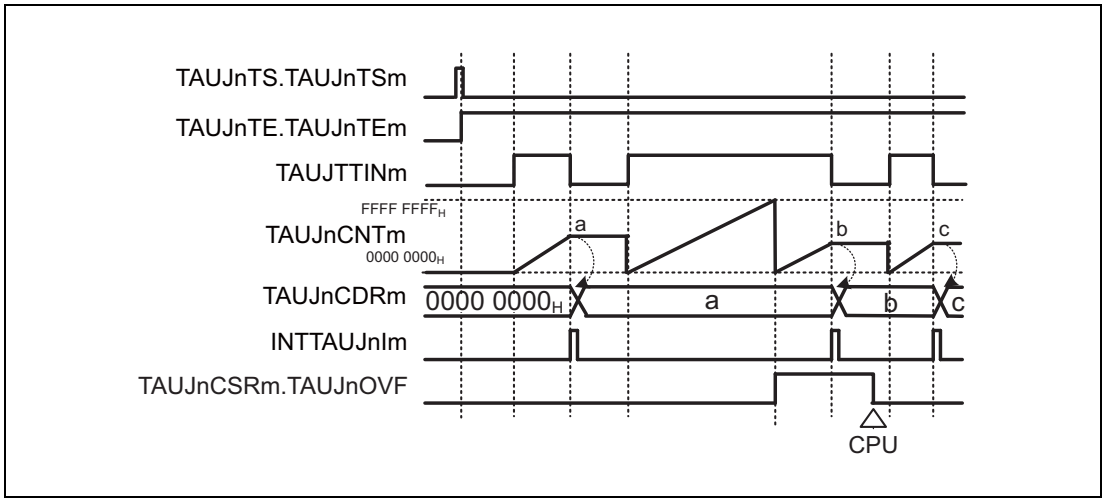


図 26.33 TAUJnCMORm.TAUJnCOS[1:0] = 01_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド（TAUJnCSCm.TAUJnCLOV = 1 のセット）でのみクリアされます。

(3) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

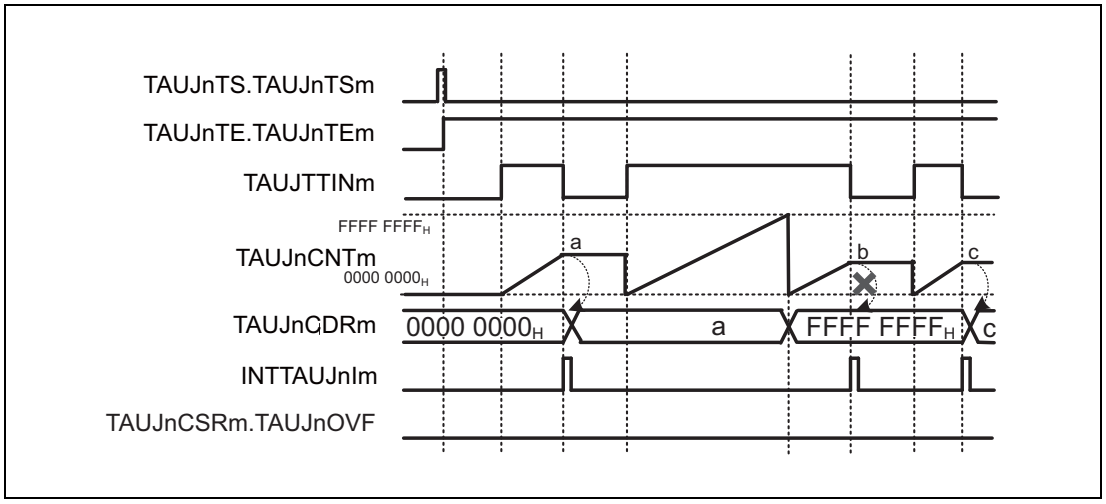


図 26.34 TAUJnCMORm.TAUJnCOS[1:0] = 10_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF$_H$ に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm がカウントを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。

(4) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

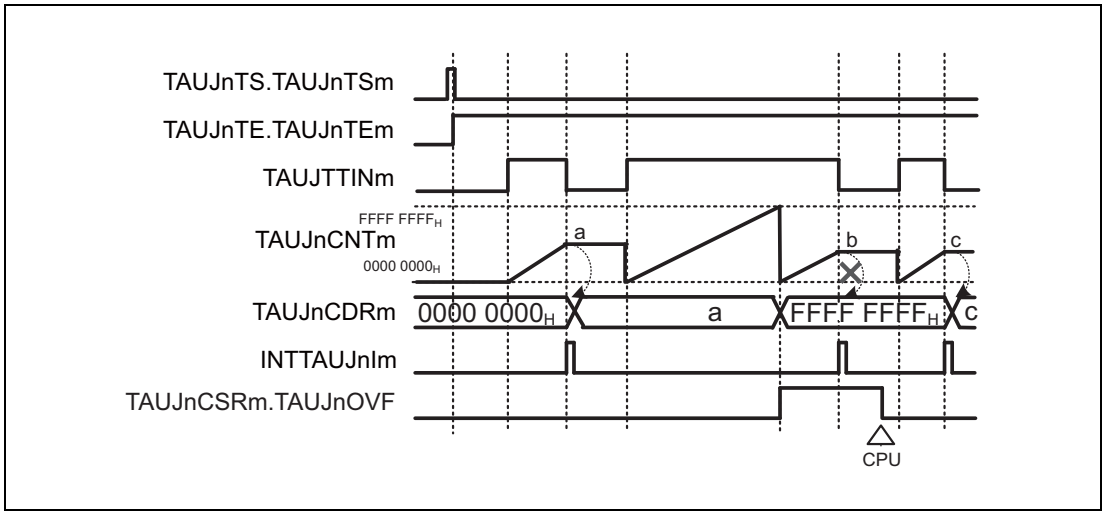


図 26.35 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF$_H$ に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm がカウントを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

26.12.5 TAUJTTINm 入力位置検出機能

26.12.5.1 概要

概要

TAUJTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

- この機能では、TAUJTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、$0000\ 0000_H$ からカウントを開始します。有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み（INTTAUJnIm）が発生します。カウント動作は継続します。

カウンタ値が $FFFF\ FFFF_H$ になると、カウンタは $0000\ 0000_H$ からカウント動作を再開します。

備　考

TAUJTTINm 入力信号は TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUJTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

26.12.5.2 算出式

TAUJTTINm 入力パルスでの機能時間 =

カウントクロック周期 ×（TAUJnCDRm キャプチャ値＋ 1）

26.12.5.3 ブロック図と基本タイミング図

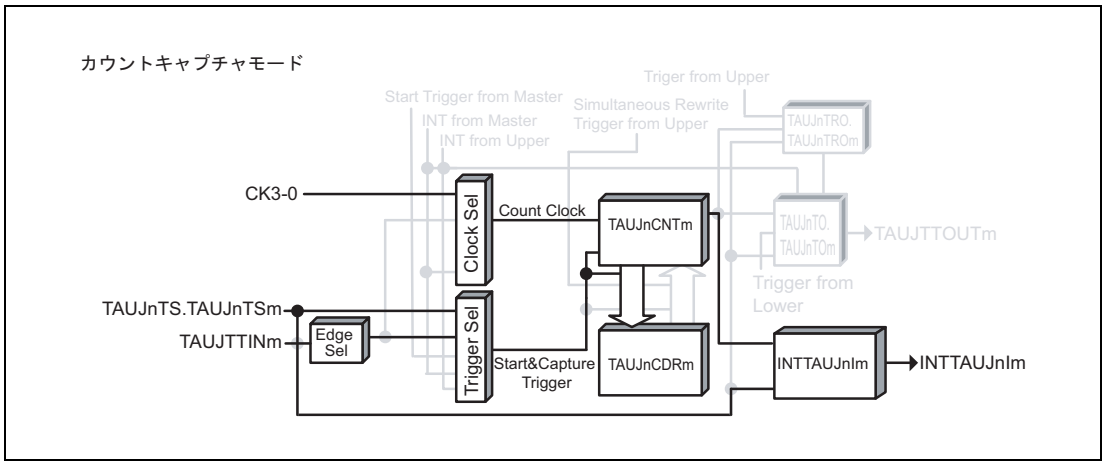


図 26.36 TAUJTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない（TAUJnCMORm.TAUJnMD0 = 0）
- 立ち下がりエッジ検出（TAUJnCMURm.TAUJnTIS[1:0] = 00_B）

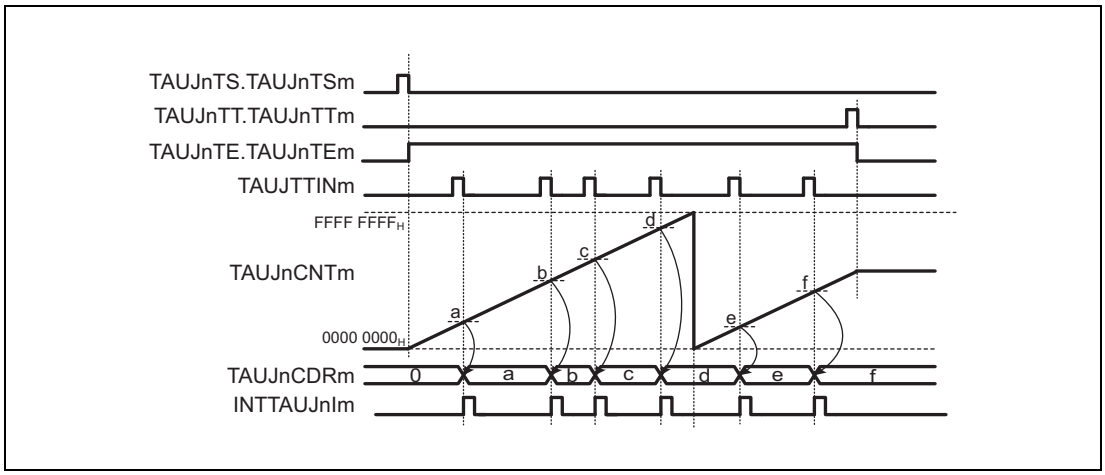


図 26.37 TAUJTTINm 入力位置検出機能の基本タイミング図

26.12.5.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.57 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	001_B を書いてください。
7、6	TAUJnCOS[1:0]	01_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	1011_B を書いてください。
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生しない 1：動作開始時に INTTAUJnIm が発生する

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.58 TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.59 TAUJTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm = 0）、0 を設定

26.12.5.5 TAUJTTINm 入力位置検出機能の操作手順

表 26.60 TAUJTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、**「表 26.57 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容」**と**「表 26.58 TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容」**に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
動作中	TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUJnCNTm は、$0000\ 0000_H$ からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： • TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）します。 • INTTAUJnIm を出力します。 • カウンタ値は $0000\ 0000_H$ にクリアされず、TAUJnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUJnCNTm が $FFFF\ FFFF_H$ に達すると、カウンタは $0000\ 0000_H$ からカウント動作を再開します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

動作再開

26.12.5.6 特定の設定時のタイミング図

(1) 動作の停止と再開

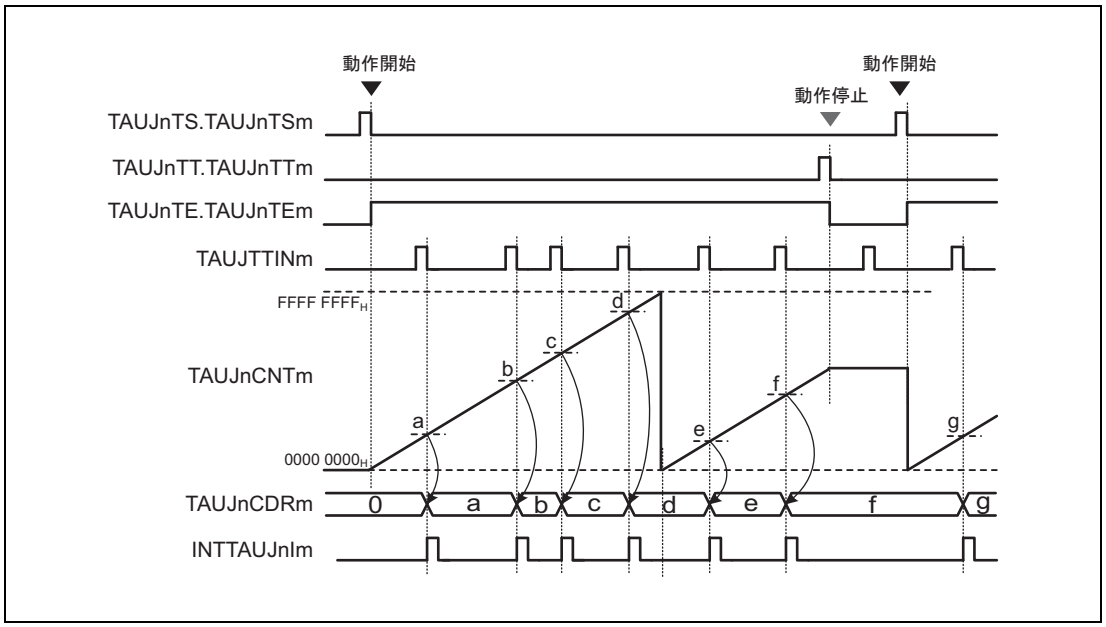


図 26.38 動作の停止と再開（TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B）

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。TAUJnCNTm は $0000\ 0000_H$ からカウントを再開します。

26.12.6 TAUJTTINm 入力期間カウント検出機能

26.12.6.1 概要

概要

この機能は、TAUJTTINm 入力信号の合計幅を測定します。

前提条件

この機能では、TAUJTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUJTTINm 入力エッジを待ちます。

有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、$0000\ 0000_H$ からカウントを開始します。

有効な TAUJTTINm 入力ストップエッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み（INTTAUJnIm）が発生します。次の有効な TAUJTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が $FFFF\ FFFF_H$ になると、カウンタは $0000\ 0000_H$ からカウント動作を再開します。

この機能は、強制的に再開することはできません。

備　考

TAUJTTINm 入力信号は、TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

26.12.6.2 算出式

TAUJTTINm 入力幅累計 =
カウントクロック周期 ×（TAUJnCDRm キャプチャ値 + 1）

26.12.6.3 ブロック図と基本タイミング図

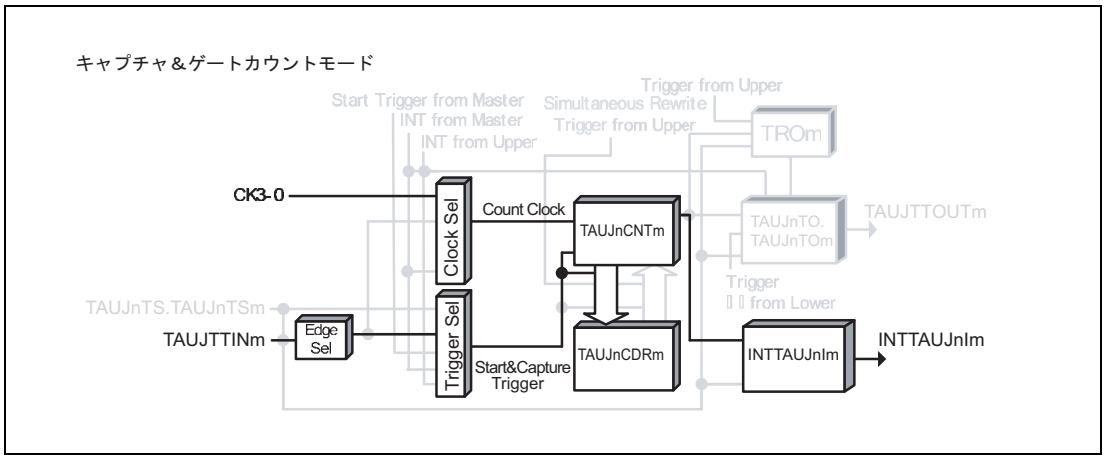


図 26.39 TAUJTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定（TAUJnCMURm.TAUJnTIS[1:0] = 11_B）

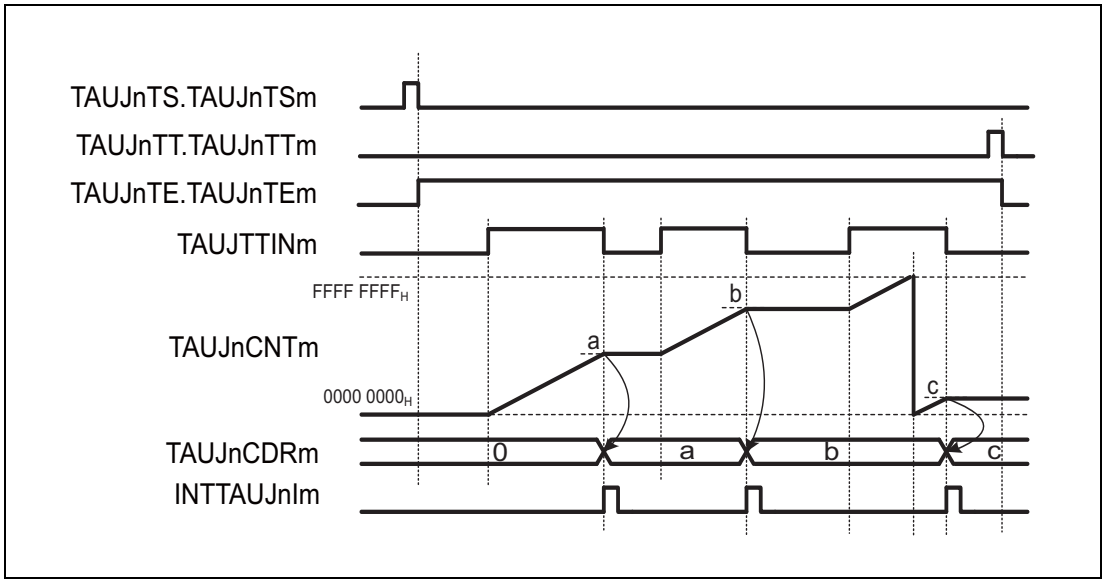


図 26.40 TAUJTTINm 入力期間カウント検出機能の基本タイミング図

26.12.6.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.61 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	010_B を書いてください。
7、6	TAUJnCOS[1:0]	01_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	1101_B を書いてください。
0	TAUJnMD0	0_B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.62 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.63 TAUJTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm = 0）、0 を設定

26.12.6.5 TAUJTTINm 入力期間カウント検出機能の操作手順

表 26.64 TAUJTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、**「表 26.61 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容」**と**「表 26.62 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容」**に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。
動作中	TAUJTTINm エッジ検出 TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUJTTINm スタートエッジ（ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ）を検出すると、TAUJnCNTm は停止値よりアップカウントを開始します。 TAUJnCNTm は、ストップエッジ（ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ）を検出すると、値を TAUJnCDRm に転送し、INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 TAUJnCNTm が FFFF $FFFF_H$ に達すると、カウンタは 0000 0000_H からカウント動作を再開します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

動作再開

26.12.6.6 特定の設定時のタイミング図

(1) 動作の停止と再開

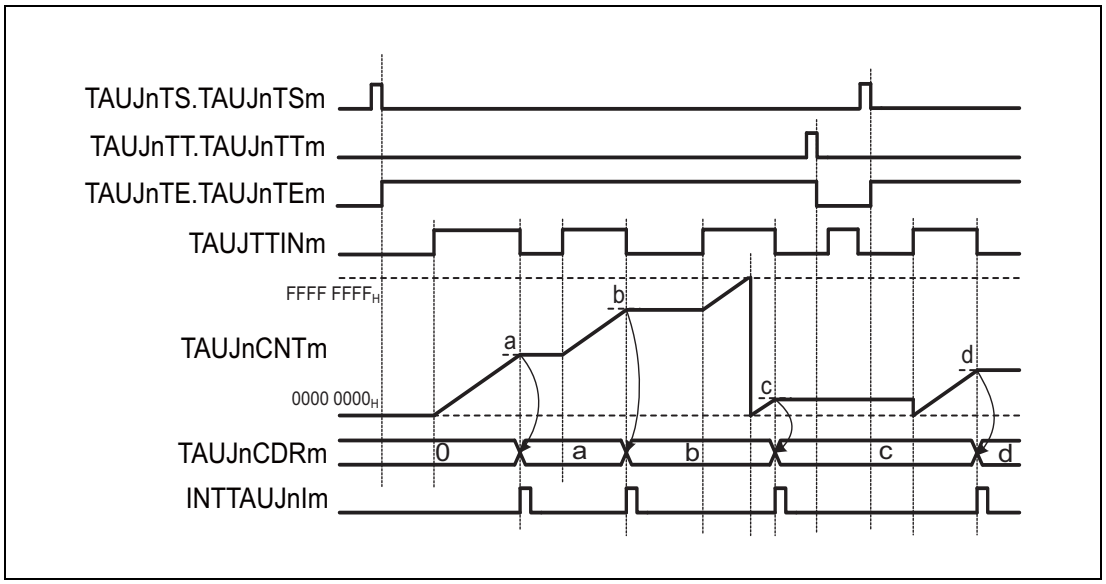


図 26.41 動作の停止と再開（TAUJnCMURm.TAUJnTIS[1:0] = 11_B）

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。TAUJnCNTm は $0000\ 0000_H$ からカウントを再開します。

26.12.7 オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）

26.12.7.1 概要

概要

この機能は、各 TAUJTTINm 入力信号の幅を測定します。TAUJTTINm 入力後、（FFFF $FFFF_H$ ＋ 1）を超えた場合、割り込みが発生します。

前提条件

- この機能では、TAUJTTOUTm は使用しません。
- TAUJnCDRm の値は、FFFF $FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。

有効な TAUJTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUJTTINm 入力スタートエッジが検出されると、TAUJnCNTm は FFFF $FFFF_H$ をロードし、ダウンカウントを開始します。

ストップエッジを検出する前にカウンタが 0000 0000_H に達すると、割り込みが発生します。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJTTINm 入力ロウレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

26.12.7.2 ブロック図と基本タイミング図

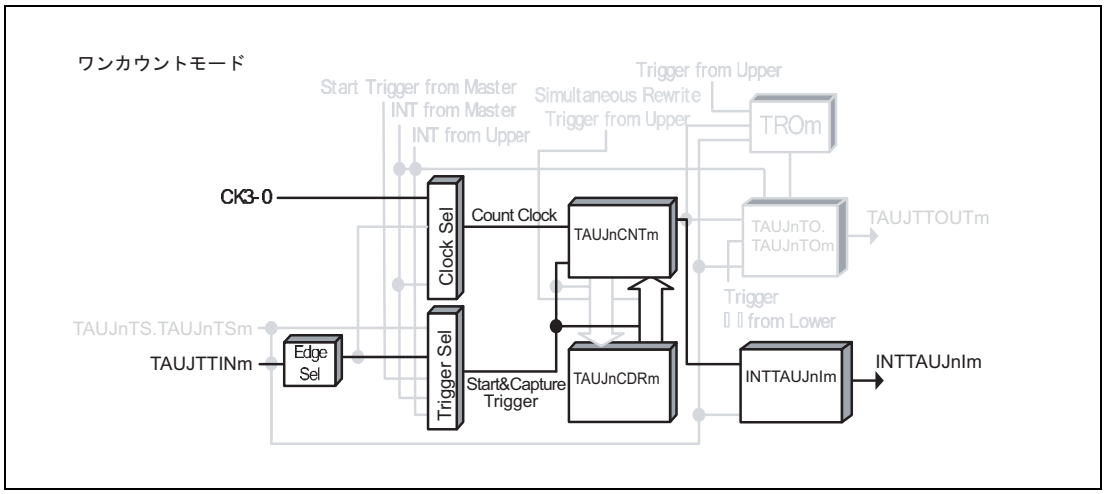


図 26.42 オーバフロー割り込み出力機能のブロック図（TAUJTTINm 幅測定時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUJnCMURm.TAUJnTIS[1:0] = 11_B）

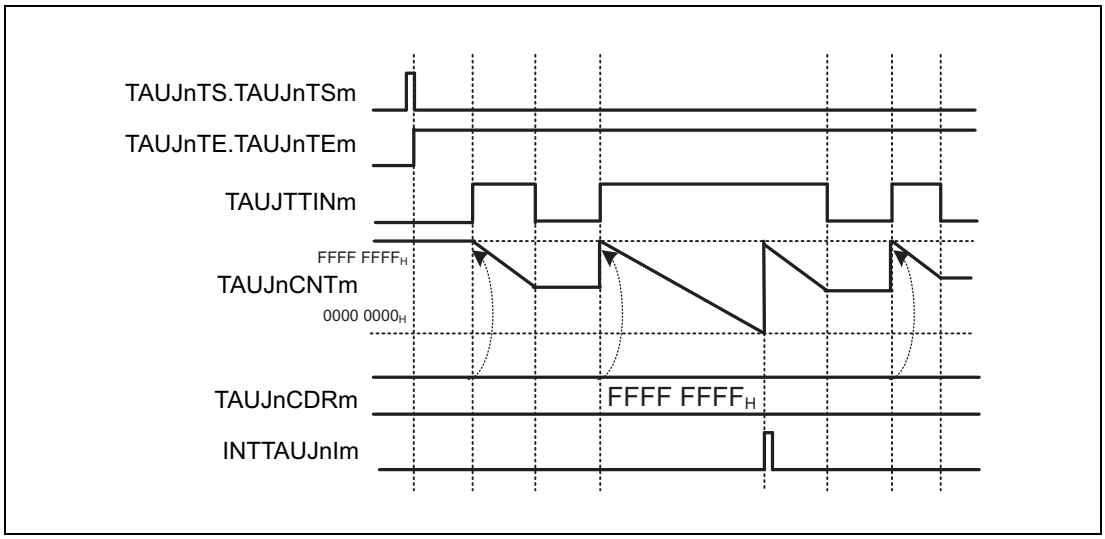


図 26.43 オーバフロー割り込み出力機能の基本タイミング図（TAUJTTINm 幅測定時）

26.12.7.3 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.65 オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	010_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	0100_B を書いてください。
0	TAUJnMD0	0_B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.66 オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.67 オーバフロー割り込み出力機能の一斉書き換え設定（TAUJTTINm 幅測定時）

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm = 0）、0 を設定

26.12.7.4 オーバフロー割り込み出力機能の操作手順（TAUJTTINm 幅測定時）

表 26.68 オーバフロー割り込み出力機能の操作手順（TAUJTTINm 幅測定時）

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、**「表 26.65 オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）の TAUJnCMORm レジスタの内容」**と**「表 26.66 オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）の TAUJnCMURm レジスタの内容」**に示すように設定します。 TAUJnCDRm レジスタの値を FFFF $FFFF_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUJTTINm スタートエッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUJnCDRm の値（FFFF $FFFF_H$）を TAUJnCNTm にロードします。
動作中	TAUJnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000_H になった場合： • INTTAUJnIm が発生します。 カウント動作中に TAUJTTINm の逆エッジを検出した場合： • TAUJnCNTm はカウントを停止し、トリガを待ちます。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm が停止し、現在値を保持します。

動作再開

26.12.8 オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）

26.12.8.1 概要

概要

この機能は、TAUJTTINm 入力信号の合計幅を測定します。TAUJTTINm 入力合計幅が FFFF $FFFF_H$ より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

前提条件

- この機能では、TAUJTTOUTm は使用しません。
- TAUJnCDRm の値は、FFFF $FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。

有効な TAUJTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUJTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。

カウンタが 0000 0000_H になると、割り込みが発生します。TAUJnCNTm に FFFF $FFFF_H$ がロードされ、カウンタは TAUJTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

26.12.8.2 ブロック図と基本タイミング図

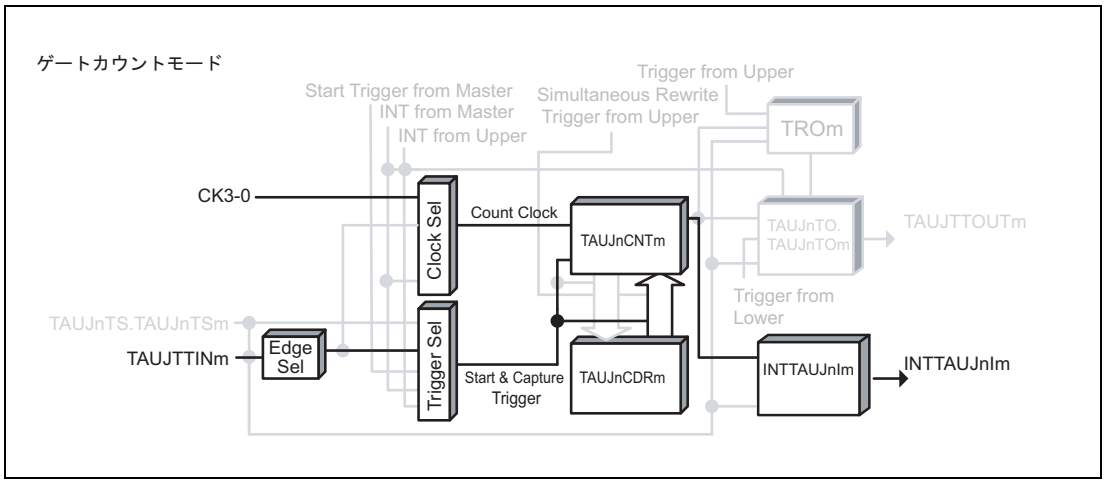


図 26.44 オーバフロー割り込み出力機能のブロック図
（TAUJTTINm 入力期間カウント検出時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUJnCMURm.TAUJnTIS[1:0] = 11_B）

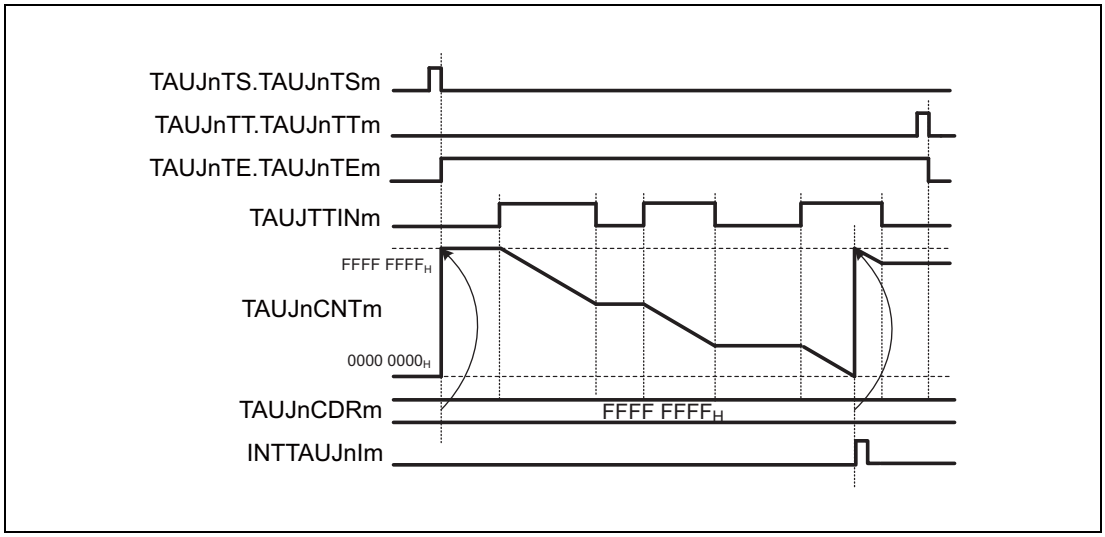


図 26.45 オーバフロー割り込み出力機能の基本タイミング図
（TAUJTTINm 入力期間カウント検出時）

26.12.8.3 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.69 オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	010_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	1100_B を書いてください。
0	TAUJnMD0	0_B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.70 オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、オーバフロー割り込み出力機能（TAUJTTINm 入力期間検出時）では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.71 オーバフロー割り込み出力機能の一斉書き換え設定（TAUJTTINm 入力期間カウント検出時）

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm = 0）、0 を設定

26.12.8.4 オーバフロー割り込み出力機能の操作手順（TAUJTTINm 入力期間カウント検出時）

表 26.72 オーバフロー割り込み出力機能の操作手順（TAUJTTINm 入力期間カウント検出時）

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、**「表 26.69 オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）の TAUJnCMORm レジスタの内容」**と**「表 26.70 オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）の TAUJnCMURm レジスタの内容」**に示すように設定します。 TAUJnCDRm レジスタの値を FFFF $FFFF_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUJTTINm スタートエッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUJnCDRm の値（FFFF $FFFF_H$）を TAUJnCNTm にロードします。
動作中	TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000_H になった場合： • INTTAUJnIm が発生します。 • TAUJnCDRm の値（FFFF $FFFF_H$）を TAUJnCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUJTTINm の逆エッジを検出した場合： • TAUJnCNTm は停止し、停止値を維持します。 カウント停止中に TAUJTTINm の有効エッジを検出した場合： • TAUJnCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm が停止し、現在値を保持します。

動作再開

26.13 チャネル連動動作機能

この節では、TAUJ のチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、**「26.2　概要」**を参照してください。

26.13.1 PWM 出力機能

26.13.1.1 概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUJTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（**「表 26.73　PWM 出力機能のマスタチャネルの TAUJnCMORm レジスタの内容」**参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（**「表 26.76　PWM 出力機能のスレーブチャネルの TAUJnCMORm レジスタの内容」**参照）。
- この機能では、マスタチャネルで TAUJTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります（**「26.7　チャネル出力モード」**参照）。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。
TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUJnIm が発生し、TAUJTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：
  マスタチャネルのカウンタ値が $0000\ 0000_H$ になりパルス周期時間が経過すると、INTTAUJnIm が発生します。TAUJnCDRm 値を TAUJnCNTm にロードし、ダウンカウントを行います。
- スレーブチャネル：
  マスタチャネルで INTTAUJnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUJnCDRm（スレーブ）の現在値が TAUJnCNTm （スレーブ）にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。
  TAUJTTOUTm 信号がアクティブレベルに設定されます。
  カウンタ値が $0000\ 0000_H$ になると（デューティ時間が経過すると）INTTAUJnIm が発生し、TAUJTTOUTm 信号がインアクティブレベルに設定されます。カウンタは $FFFF\ FFFF_H$ に戻り、マスタチャネルの次の INTTAUJnIm（次のパルス周期の開始）を待ちます。

マスタ／スレーブチャネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUJnCNTm と TAUJTTOUTm が停止しますが、それぞれの値は保持します。TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。**「26.6　一斉書き換え」**を参照してください。

26.13.1.2 算出式

パルス周期＝（TAUJnCDRm（マスタ）＋1）×カウントクロック周期

デューティサイクル[%]＝（TAUJnCDRm（スレーブ）／（TAUJnCDRm（マスタ）＋1））×100

– デューティサイクル＝0 %
  TAUJnCDRm（スレーブ）＝$0000\ 0000_H$

– デューティサイクル＝100 %
  TAUJnCDRm（スレーブ）≧ TAUJnCDRm（マスタ）＋1

26.13.1.3 ブロック図と基本タイミング図

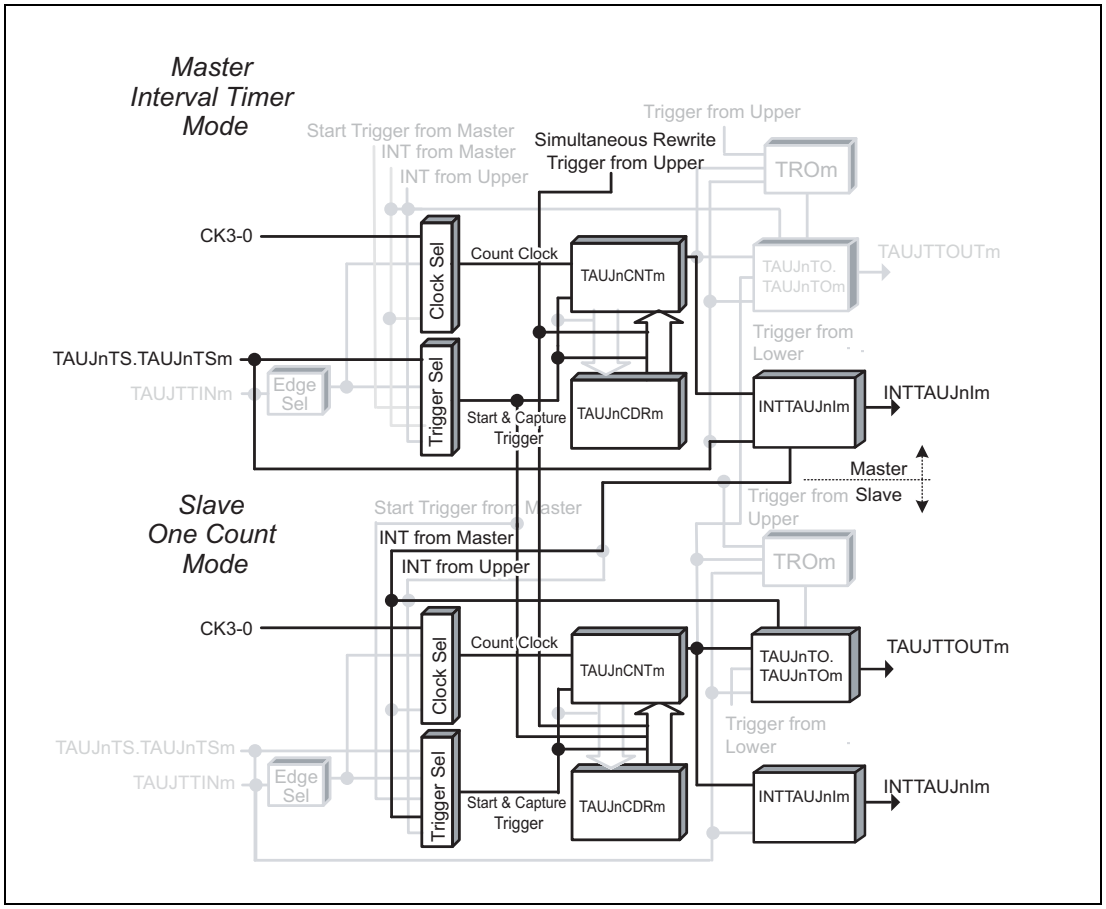


図 26.46 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル : 正論理（TAUJnTOL.TAUJnTOLm = 0）

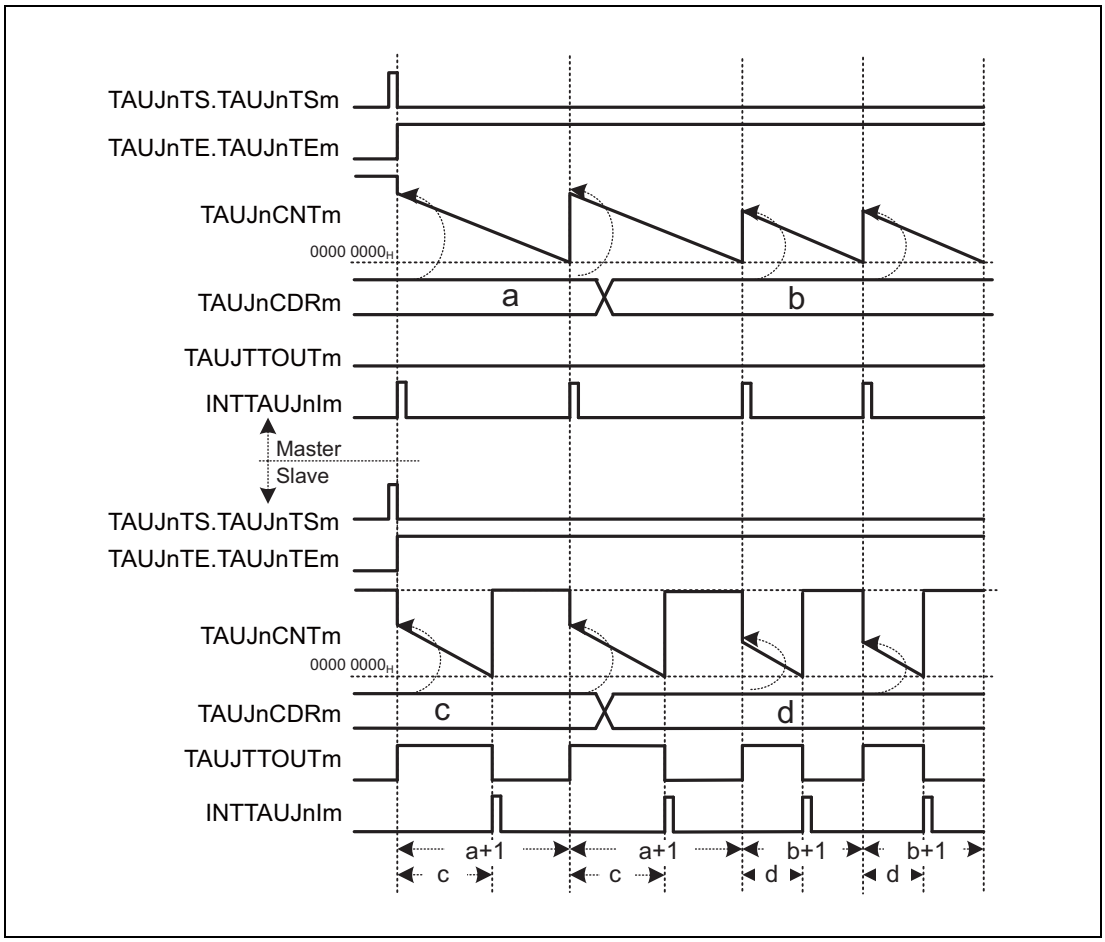


図 26.47 PWM 出力機能の基本タイミング図

備 考

- カウント開始から割り込み発生までの間隔は対応するTAUJnCDRm + 1の値になります。
- スレーブチャネルの TAUJTTOUTm は、マスタチャネルの INTTAUJnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

26.13.1.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.73 PWM 出力機能のマスタチャネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	1_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	000_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	0000_B を書いてください。
0	TAUJnMD0	1_B を書いてください。

(2) マスタチャネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.74 PWM 出力機能のマスタチャネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：未使用、00 を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 26.75 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1：一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成

26.13.1.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.76 PWM 出力機能のスレーブチャネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10 ～ 8	TAUJnSTS[2:0]	100_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 1	TAUJnMD[4:1]	0100_B を書いてください。
0	TAUJnMD0	1_B を書いてください。

(2) スレーブチャネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.77 PWM 出力機能のスレーブチャネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネルのチャネル出力モード

表 26.78 チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1_B を書いてください。
TAUJnTOM.TAUJnTOMm	1_B を書いてください。
TAUJnTOC.TAUJnTOCm	0_B を書いてください。
TAUJnTOL.TAUJnTOLm	0：正論理 1：負論理

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 26.79 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1：一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成

26.13.1.6 PWM 出力機能の操作手順

表 26.80 PWM 出力機能時の操作手順

		操作	TAUJn の状態
	チャネルの初期設定	マスタチャネル：TAUJnCMORm ／ TAUJnCMURm レジスタとチャネル出力モードを**「26.13.1.4 マスタチャネルのレジスタ設定」**に示すように設定します。 スレーブチャネル：TAUJnCMORm ／ TAUJnCMURm レジスタとチャネル出力モードを**「26.13.1.5 スレーブチャネルのレジスタ設定」**に示すように設定します。 全チャネルの TAUJnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	マスタチャネルとスレーブチャネルの TAUJnTS.TAUJnTSm を同時に 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUJnIm が発生し、TAUJTTOUTm（スレーブ）が設定されます。
	動作中	TAUJnCDRm は任意のタイミングで変更可能です。 TAUJnCNTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。 TAUJnRDT.TAUJnRDTm は動作中に変更可能です。	マスタチャネルの TAUJnCNTm は TAUJnCDRm 値をロードし、ダウンカウントを行います。カウンタが $0000\ 0000_H$ になった場合： • INTTAUJnIm（マスタ）が発生します。 • TAUJnCDRm 値を TAUJnCNTm（マスタ）にロードし、カウント動作を継続します。 • TAUJnCDRm 値を TAUJnCNTm（スレーブ）にロードし、ダウンカウントを行います。 • TAUJTTOUTm（スレーブ）がアクティブレベルに設定されます。 TAUJnCNTm（スレーブ）が $0000\ 0000_H$ になった場合： • INTTAUJnIm（スレーブ）が発生します。 • TAUJTTOUTm（スレーブ）がインアクティブレベルに設定されます。
	動作停止	マスタチャネルとスレーブチャネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJTTOUTm は停止し、現在値を保持します。

26.13.1.7 特定の設定時のタイミング図

(1) デューティサイクル = 0 %

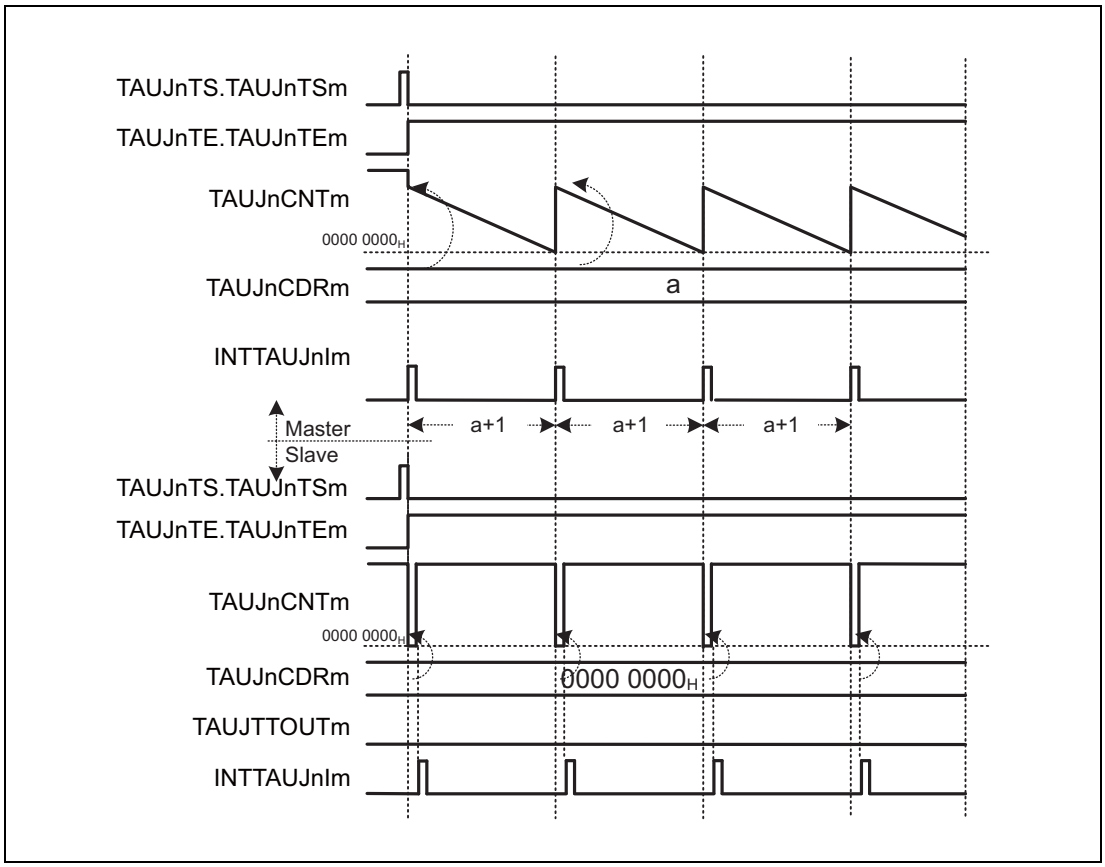


図 26.48 TAUJnCDRm（スレーブ）= 0000 0000$_H$,
正論理（TAUJnTOL.TAUJnTOLm（スレーブ）= 0）

- マスタチャネルで割り込み（INTTAUJnIm）が発生するたびに、TAUJnCNTm（スレーブ）に 0000 0000$_H$ がロードされます。したがって、スレーブチャネルの割り込み（INTTAUJnIm）が同時発生し、TAUJTTOUTm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm（スレーブ）にロードし、割り込みを発生させます。

(2) デューティサイクル = 100 %

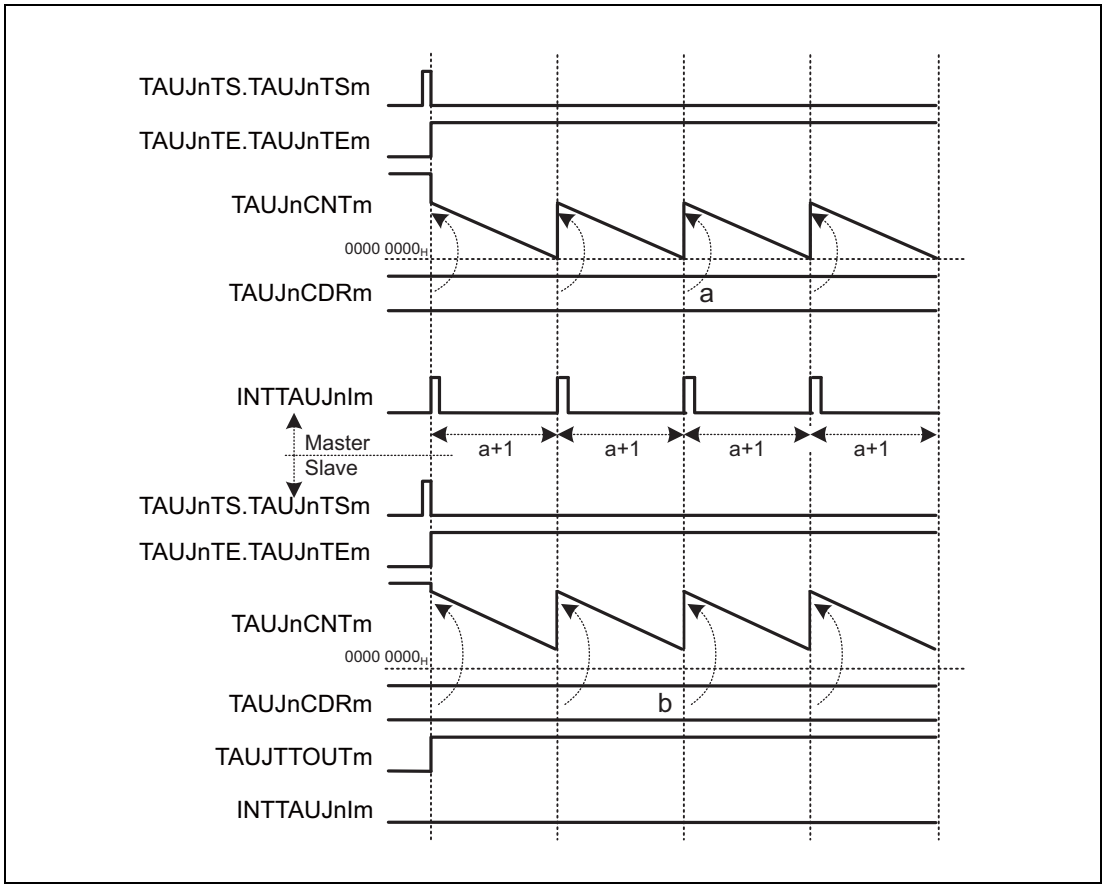


図 26.49　TAUJnCDRm（スレーブ）≧ TAUJnCDRm（マスタ）+ 1
正論理（TAUJnTOL.TAUJnTOLm（スレーブ）= 0）

TAUJnCDRm（スレーブ）値が TAUJnCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは $0000\ 0000_H$ にならないため、割り込みが発生しません。TAUJTTOUTm はアクティブ状態のままになります。

(3) 動作の停止と再開

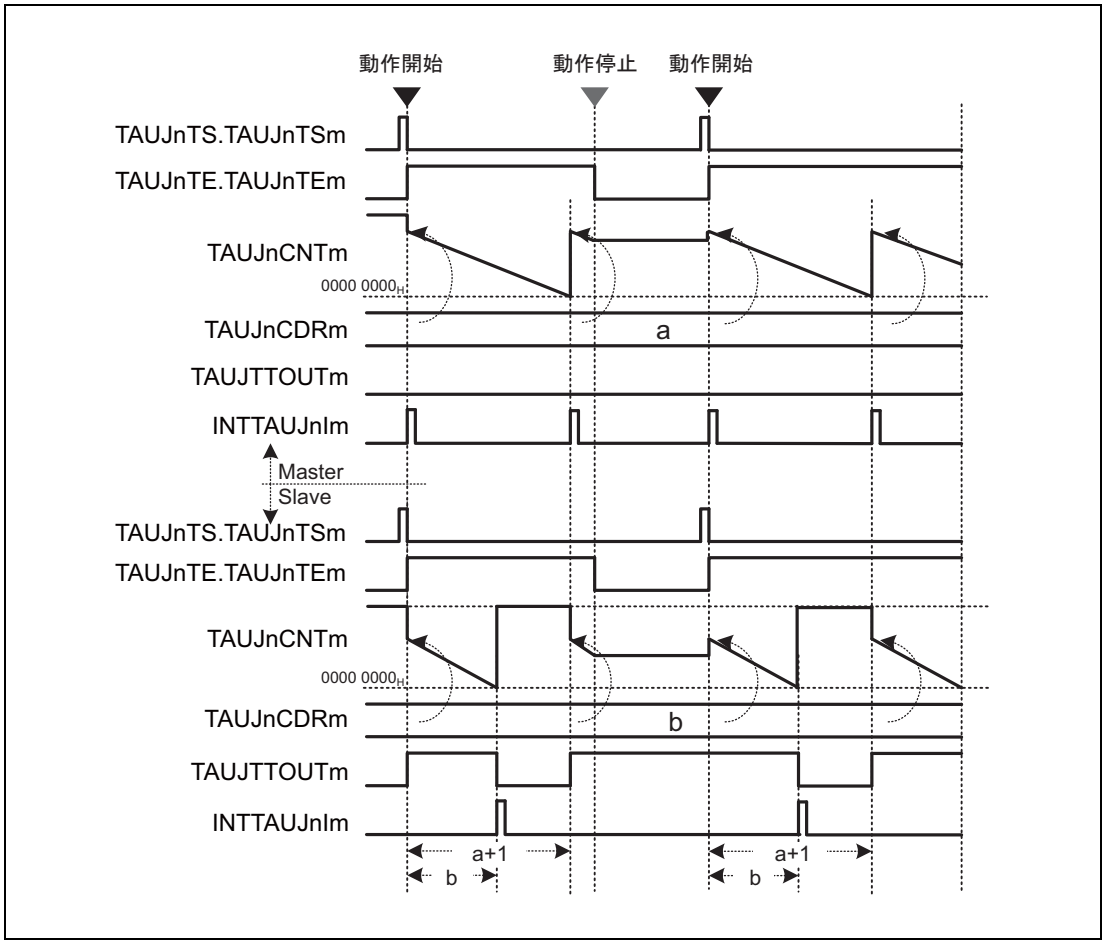


図 26.50 動作の停止と再開
正論理（TAUJnTOL.TAUJnTOLm（スレーブ）= 0）

- マスタ／スレーブチャネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャネルの TAUJnCNTm と TAUJTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ／スレーブチャネルの TAUJnTS.TAUJnTSm を 1 に設定すると、カウンタ動作を再開できます。マスタ／スレーブチャネルの TAUJnCDRm 値を TAUJnCNTm にロードし、この値からダウンカウントを開始します。

第 27 章　リアルタイムクロック（RTCA）

本章では、リアルタイムクロック（RTCA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、RTCA の機能、レジスタについて説明します。

27.1　RH850/F1M RTCA の特長

27.1.1　ユニット数とチャネル数

本製品は以下のユニット数の RTCA を搭載しています。

RTCA　1 ユニットは、1 チャネルのリアルタイムクロックを持っています。本章のユニット数とチャネル数は同義です。

表 27.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	1		
名称	RTCAn (n = 0)		

表 27.2　添字

添字	説明
n	本章では、リアルタイムクロック A の各ユニットを「n」（n = 0）で識別します。たとえば、RTCAn コントロールレジスタ 0（RTCAnCTL0）のように記述しています。

27.1.2　レジスタベースアドレス

RTCAn のベースアドレスを以下の表に示します。

RTCAn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 27.3　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RTCA0_base>	FFE7 8000_H

27.1.3　クロック供給

RTCAn のクロック供給を以下の表に示します。

表 27.4　クロック供給

ユニット名	ユニットクロック名	供給クロック名
RTCA0	RTCATCKI	CKSCLK_ARTCA
	PCLK	CPUCLK2
	レジスタアクセスクロック	CPUCLK2

27.1.4　割り込み要求

RTCAn の割り込み要求を以下の表に示します。

表 27.5　割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RTCA0			
RTCATINT1S	1 秒インターバル割り込み	209	—
RTCATINTAL	アラーム割り込み	210	—
RTCATINTR	定周期割り込み	211	—

27.1.5　リセット要因

RTCAn のリセット要因を以下に示します。RTCAn は以下のリセット要因で初期化されます。

表 27.6　リセット要因

ユニット名	リセット要因
RTCA0	パワーアップリセット（PURES）

27.1.6　外部入出力信号

RTCAn の外部入出力信号を以下の表に示します。

表 27.7　外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
RTCA0		
RTCAT1HZ	1 Hz パルス出力	RTCA0OUT 注 1

注 1.　RTCA0OUT は TAUJ0 に接続されます。詳細は、「**第 26 章　タイマアレイユニット J（TAUJ）**」を参照してください。

27.2　概要

27.2.1　機能概要

RTCA には、次の機能があります。

- 32 kHz-4.194304 MHz のカウントクロックの選択
- 年、月、日、曜日、時間、分、秒のカウンタおよびサブカウンタを用いて最長 99 年までカウント可能。うるう年はハードウェアで自動的に処理。
- 1 Hz パルス出力機能
- 定周期割り込み機能
- アラーム割り込み機能
- 32.768 kHz カウントクロック使用時のクロック誤差補正機能

27.2.2　ブロック図

RTCA の主な構成要素を次のブロック図に示します。

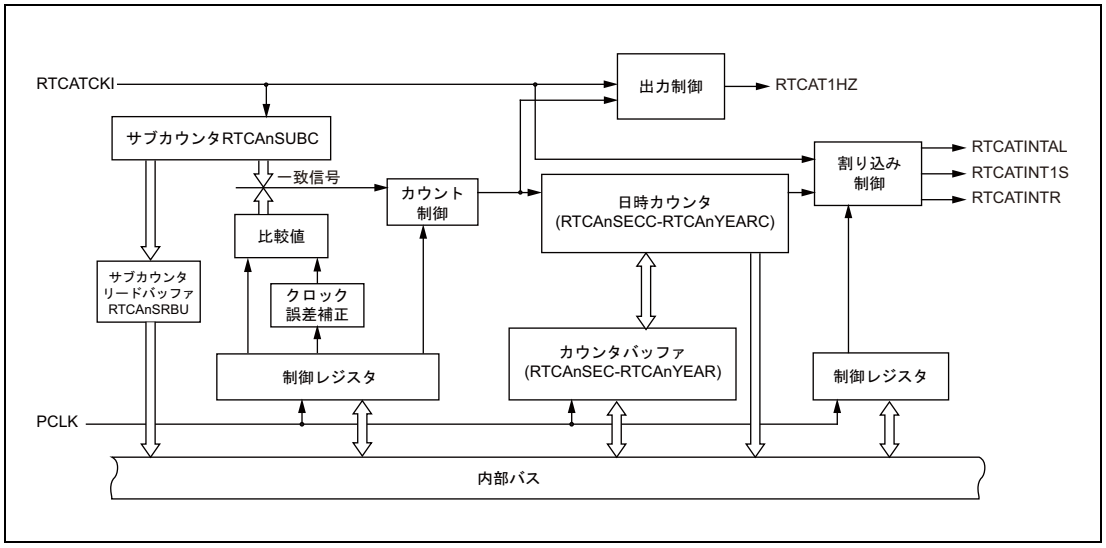


図 27.1　RTCA のブロック図

27.2.3 ブロック図の用語

リアルタイムクロック RTCA は、現在の日付と時刻に関する情報を提供し、ウエイクアップ信号（割り込み、アラーム）を発生します。この情報はカウントクロック RTCATCKI から得られます。

サブカウンタ

RTCATCKI はサブカウンタ RTCAnSUBC への入力です。サブカウンタは、0 から比較値に達するまでカウントアップします。比較値は、常に RTCATCKI の周波数－1（Hz）で定義します。したがって、サブカウンタは 1 秒後にオーバフローします。オーバフロー後サブカウンタは 0 にリセットされ、続いて秒カウンタ RTCAnSECC が（指定によって割り込み RTCATINT1S も）カウントアップされます。

サブカウンタは、0.25 秒、0.5 秒、または 1 秒ごとの定周期割り込みと、1 Hz の出力パルスを発生できます。

時刻と日付のカウンタ

分、時間、曜日、日、月、年のカウンタもカウントアップします。各カウンタには固有のオーバフロー値が設定されています。下位のすべてのカウンタがオーバフローすると、上位のカウンタをカウントアップします。

日カウンタ（RTCAnDAYC）のオーバフロー値は、現在の月によって変わります（28 日、30 日、31 日のいずれか）。また、2 月の場合は年カウンタ RTCAnYEARC によっても変わります（0, 4, 8, 12 などはうるう年と見なされる）。

時カウンタ RTCAnHOURC は、12 時間表示と 24 時間表示との切り替えが可能です。

秒、分、時間、日、月のカウンタは、オーバフローによって定周期割り込み（RTCATINTR）を発生できます。

また、分、時間、曜日のカウンタは、指定の時刻（例：毎週火曜日と木曜日の 10:32）にアラーム割り込み（RTCATINTAL）を発生できます。

カウンタバッファ

すべてのカウンタは任意のタイミングで直接読み出すことができます。リード／ライトレジスタにアクセスするためのクロック信号とカウントクロックは、通常非同期です。読み出し動作中にサブカウンタがオーバフローした場合、すべての読み出し値が最新ではない可能性があります。したがって、カウンタの読み出しは特定の手順で実行する必要があります。詳細は**「27.5.3　クロックカウンタの読み出し」**を参照してください。

同期を維持するために、カウンタへの直接書き込みは禁止されています。

すべてのカウンタには、読み出しおよび書き込み用のバッファレジスタが用意されています。バッファレジスタにより、同期を維持しながらカウンタの値を読み出し、日付と時刻の設定を行うことができます。バッファレジスタを使用する場合、まずサブカウンタの動作を中断し、再起動する必要があります（**「27.5.3　クロックカウンタの読み出し」**および**「27.5.2　クロックカウンタの更新」**を参照）。

RTCAnTIMEC レジスタと RTCAnCALC レジスタ、およびそれぞれに対応するバッファレジスタを使用すると、時刻（時間、分、秒）および日付（曜日、日、月、年）の確認と設定を 1 回の読み出し／書き込み動作で行うことができます。

27.3 レジスタ

27.3.1 レジスター覧

RTCA のレジスター覧を以下の表に示します。

<RTCAn_base> は「**27.1.2 レジスタベースアドレス**」を参照してください。

表 27.8 レジスター覧

モジュール名	レジスタ名	略号	アドレス
制御レジスタ			
RTCAn	制御レジスタ 0	RTCAnCTL0	<RTCAn_base> + 00_H
RTCAn	制御レジスタ 1	RTCAnCTL1	<RTCAn_base> + 04_H
RTCAn	制御レジスタ 2	RTCAnCTL2	<RTCAn_base> + 08_H
サブカウンタレジスタ			
RTCAn	サブカウントレジスタ	RTCAnSUBC	<RTCAn_base> + $0C_H$
RTCAn	サブカウントレジスタリードバッファ	RTCAnSRBU	<RTCAn_base> + 10_H
RTCAn	クロック誤差補正レジスタ	RTCAnSUBU	<RTCAn_base> + 38_H
RTCAn	サブカウンタコンペアレジスタ	RTCAnSCMP	<RTCAn_base> + $3C_H$
クロックカウンタレジスタとバッファレジスタ			
RTCAn	秒カウントレジスタ	RTCAnSECC	<RTCAn_base> + $4C_H$
RTCAn	秒カウントバッファレジスタ	RTCAnSEC	<RTCAn_base> + 14_H
RTCAn	分カウントレジスタ	RTCAnMINC	<RTCAn_base> + 50_H
RTCAn	分カウントバッファレジスタ	RTCAnMIN	<RTCAn_base> + 18_H
RTCAn	時カウントレジスタ	RTCAnHOURC	<RTCAn_base> + 54_H
RTCAn	時カウントバッファレジスタ	RTCAnHOUR	<RTCAn_base> + $1C_H$
RTCAn	曜日カウントレジスタ	RTCAnWEEKC	<RTCAn_base> + 58_H
RTCAn	曜日カウントバッファレジスタ	RTCAnWEEK	<RTCAn_base> + 20_H
RTCAn	日カウントレジスタ	RTCAnDAYC	<RTCAn_base> + $5C_H$
RTCAn	日カウントバッファレジスタ	RTCAnDAY	<RTCAn_base> + 24_H
RTCAn	月カウントレジスタ	RTCAnMONC	<RTCAn_base> + 60_H
RTCAn	月カウントバッファレジスタ	RTCAnMONTH	<RTCAn_base> + 28_H
RTCAn	年カウントレジスタ	RTCAnYEARC	<RTCAn_base> + 64_H
RTCAn	年カウントバッファレジスタ	RTCAnYEAR	<RTCAn_base> + $2C_H$
特定カウンタレジスタとバッファレジスタ			
RTCAn	時間カウントレジスタ	RTCAnTIMEC	<RTCAn_base> + 68_H
RTCAn	時間カウントバッファレジスタ	RTCAnTIME	<RTCAn_base> + 30_H
RTCAn	カレンダカウントレジスタ	RTCAnCALC	<RTCAn_base> + $6C_H$
RTCAn	カレンダカウントバッファレジスタ	RTCAnCAL	<RTCAn_base> + 34_H
アラーム時間設定レジスタ			
RTCAn	アラーム分設定レジスタ	RTCAnALM	<RTCAn_base> + 40_H
RTCAn	アラーム時設定レジスタ	RTCAnALH	<RTCAn_base> + 44_H
RTCAn	アラーム曜日設定レジスタ	RTCAnALW	<RTCAn_base> + 48_H
エミュレーションレジスタ			
RTCAn	エミュレーションレジスタ	RTCAnEMU	<RTCAn_base> + 74H

27.3.2 RTCA 制御レジスタの詳細

27.3.2.1 RTCAnCTL0 — RTCA 制御レジスタ 0

サブカウンタ RTCAnSUBC のカウント動作、時カウンタ RTCAnHOURC とアラーム時設定レジスタ RTCAnALH の時間表示（12 時間表示／ 24 時間表示）、および動作モードを制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + 00_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnCE	RTCAn CEST	RTCAn AMPM	RTCAn SLSB	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R	R	R	R

表 27.9 RTCAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	RTCAnCE	サブカウンタ RTCAnSUBC の動作を開始／停止します。 0：サブカウンタ動作停止 出力端子と制御レジスタ RTCAnCTL2 内の状態フラグはすべてクリアされます。 1：サブカウンタ動作開始 サブカウンタはカウントアップします。
6	RTCAnCEST	サブカウンタの動作／停止状態を示します。 0：サブカウンタ停止状態 1：サブカウンタ動作状態 この状態フラグの使い方については、**「27.5.1 RTCA の初期設定」**を参照してください。
5	RTCAnAMPM	時カウンタ RTCAnHOURC とアラーム時設定レジスタ RTCAnALH の時間表示を選択します。 0：12 時間表示（1-12、午前／午後） 1：24 時間表示（0-23） 時間表示については、**「表 27.21 12 時間表示と 24 時間表示」**を参照してください。
4	RTCAnSLSB	動作モードを選択します。 0：32.768 kHz モード 1：周波数選択モード 動作モードについては、**「27.4 動作」**を参照してください。 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE ビット = 1）は動作モードを変更できません。 RTCAn の初期設定については、**「27.5.1 RTCA の初期設定」**を参照してください。
3 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

27.3.2.2 RTCAnCTL1 — RTCA 制御レジスタ 1

割り込み要求発生と 1 Hz パルス出力を制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAn EN1HZ	RTCAn ENALM	RTCAn EN1S	RTCAn CT2	RTCAn CT1	RTCAn CT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.10 RTCAnCTL1 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	RTCAnEN1HZ	1 Hz パルス出力（RTCAT1HZ）の許可／禁止を指定します。 0：RTCAT1HZ 禁止（RTCAT1HZ は 0 に固定） 1：RTCAT1HZ 許可
4	RTCAnENALM	アラーム割り込み要求発生（RTCATINTAL）の許可／禁止を指定します。 0：RTCATINTAL 禁止 1：RTCATINTAL 許可
3	RTCAnEN1S	1 秒割り込み要求発生（RTCATINT1S）の許可／禁止を設定します。 0：RTCATINT1S 禁止 1：RTCATINT1S 許可
2 ～ 0	RTCAnCT[2:0]	定周期割り込み要求（RTCATINTR）の設定を行います。

RTCAnCT [2:0]	RTCATINTR 割り込み要求発生	
	インターバル	タイミング
000	割り込み要求発生なし	
001	0.25 秒に一度	0.25 秒、0.5 秒、0.75 秒、1 秒
010	0.5 秒に一度	0.5 秒、1 秒
011	1 秒に一度	毎秒
100	1 分に一度	毎分 00 秒
101	1 時間に一度	毎時 00 分 00 秒
110	1 日に一度	毎日 00 時 00 分 00 秒 （毎日午前 0 時）
111	1 月に一度	毎月 1 日 00 時 00 分 00 秒 （毎月 1 日午前 0 時）

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnCT[2:0] の設定を変更すると、RTCATINTR にグリッチが出力されます。そのため、割り込みをマスクする処理を行ってください。

27.3.2.3 RTCAnCTL2 — RTCA 制御レジスタ 2

ステータス情報を格納し、サブカウンタ RTCAnSUBC から専用のサブカウンタリードバッファ RTCAnSRBU へのデータ転送とクロックカウンタ（RTCAnSECC-RTCAnYEARC）の動作設定を制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAn WUST	RTCAn WSST	RTCAn RSST	RTCAn RSUB	RTCAn WST	RTCAn WAIT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W

表 27.11 RTCAnCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	RTCAnWUST	RTCAnSUBU への書き込み動作が完了したかどうかを示します。 0：RTCAnSUBU への書き込み完了 1：RTCAnSUBU への書き込み実行中 書き込み動作は次にサブカウンタがオーバフローすると終了します。 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnSUBU への書き込み動作が完了した場合、このビットに 1 が設定されます。 詳細は**「27.5.5 RTCAnSUBU への書き込み」**を参照してください。
4	RTCAnWSST	RTCAnSCMP への書き込み動作が完了したかどうかを示します。 0：RTCAnSCMP への書き込み完了 1：RTCAnSCMP への書き込み実行中 書き込み動作は次にサブカウンタがオーバフローすると終了します。 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnSCMP への書き込み動作が完了した場合、このビットに 1 が設定されます。 詳細は**「27.5.6 RTCAnSCMP への書き込み」**を参照してください。
3	RTCAnRSST	サブカウンタ（RTCAnSUBC）の値がサブカウントレジスタリードバッファ（RTCAnSRBU）に転送されたかどうかを示します。 0：転送中、もしくは転送トリガ待ち中 1：転送完了 このビットは RTCAnRSUB = 1 によりクリア（転送がトリガ）されます。 転送が完了すると自動的にセットされます。 詳細は**「27.5.4 RTCAnSRBU の読み出し」**を参照してください。
2	RTCAnRSUB	サブカウントレジスタリードバッファ（RTCAnSRBU）へのサブカウンタ（RTCAnSUBC）値の転送のトリガ／転送状態のクリアをします。 0：転送状態（RTCAnRSST）のクリア 1：転送のトリガ サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnSRBU の値を読みたいときは、このビットを使います。RTCAnSUBC の値は、RTCATCKI に同期して RTCAnSRBU にロードされます。 詳細は**「27.5.4 RTCAnSRBU の読み出し」**を参照してください。

表 27.11　RTCAnCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	RTCAnWST	すべてのクロックカウンタ（RTCAnSECC-RTCAnYEARC）の状態を示します。 0：すべてのクロックカウンタが動作中 1：すべてのクロックカウンタが停止 サブカウンタは動作を継続 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）にクロックカウンタの値を読み出したり書き込んだりする場合は、クロックカウンタを停止する必要があります。クロックカウンタを停止するには RTCAnWAIT = 1 に設定してください。
0	RTCAnWAIT	すべてのクロックカウンタ（RTCAnSECC-RTCAnYEARC）の動作を再開／停止します。 0：すべてのクロックカウンタの動作を、ただちに、またはクロックカウンタの書き込み動作完了直後に再開 1：すべてのクロックカウンタの動作を一時的に停止 サブカウンタは動作を継続 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）にカウンタバッファを読み出したり書き込んだりする場合は、クロックカウンタを停止する必要があります。 **注 意** オーバフローしたことは、1 回分しか保持できません。したがって、オーバフローが 2 回発生した場合でも、リスタート時に秒カウンタは、+1 しかしません。そのため、処理は 1 秒以内に完了する必要があります。

27.3.3 RTCA サブカウンタレジスタの詳細

27.3.3.1 RTCAnSUBC — RTCA サブカウントレジスタ

1 秒の基準時間をカウントします。このレジスタはカウントクロック RTCATCKI を使用して動作します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RTCAn_base> + $0C_H$

リセット後の値 $0000\ 0000_H$

次の場合も初期化されます。

– 秒カウントバッファレジスタ（RTCAnSEC）または時間カウントバッファレジスタ（RTCAnTIME）に値を書き込み、秒カウントレジスタに値が反映されるとき

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnSUBC[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCAnSUBC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.12 RTCAnSUBC レジスタの内容

ビット位置	ビット名	機能
31 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ～ 0	RTCAnSUBC [21:0]	サブカウンタの値 サブカウンタは、RTCAnCTL0.RTCAnCEST = 1 の場合のみ動作します。

備　考

1. このサブカウンタは、読み出し動作が PCLK 同期で行われているときに、RTCATCKI に同期して動作します。このサブカウンタを動作中（RTCAnCTL0.RTCAnCEST = 1）に読み出した場合、RTCATCKI に同期しないため、誤った結果が得られることがあります。
   動作中にサブカウンタの値を読み出す場合は、サブカウントレジスタリードバッファを使用してください。
   詳細は「**27.5.4 RTCAnSRBU の読み出し**」を参照してください。
2. このサブカウンタのカウント動作は、選択した動作モードによって異なります。詳細は「**27.4 動作**」を参照してください。

27.3.3.2　RTCAnSRBU — RTCA サブカウントレジスタリードバッファ

サブカウンタ RTCAnSUBC のリードバッファです。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 10_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnSRBU[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCAnSRBU[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.13　RTCAnSRBU レジスタの内容

ビット位置	ビット名	機能
31 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ～ 0	RTCAnSRBU [21:0]	サブカウンタ RTCAnSUBC を最後に読み出したときの値 RTCAnCTL2.RTCAnRSUB ビットを 1 に設定すると、このリードバッファに、RTCATCKI に同期して、RTCAnSUBC の値がロードされます。

備　考

RTCAnSRBU の読み出しは、「**27.5.4　RTCAnSRBU の読み出し**」に示すフローチャートに従って実行してください。

27.3.3.3 RTCAnSUBU — RTCA クロック誤差補正レジスタ

クロック誤差補正を有効にし、指定します。このレジスタの設定は、32.768 kHz モード時（RTCAnCTL0.RTCAnSLSB = 0）にのみ適用されます。

クロック誤差補正については、**「27.4.4 クロック誤差補正」**を参照してください。

アクセス 8 ビット単位でリード／ライト可能です。
サブカウンタ動作中にこのレジスタに書き込みを行う場合は、次の点に注意してください。

- 前回の RTCAnSUBU への書き込み処理が完了している必要があります（RTCAnCTL2.RTCAnWUST = 0）。
- 書き込み動作は次にサブカウンタがオーバフローすると終了します。

アドレス <RTCAn_base> + 38_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCAn DEV	RTCAn F6	RTCAnF[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.14 RTCAnSUBU レジスタの内容

ビット位置	ビット名	機能
7	RTCAnDEV	クロック誤差補正を 1 分間に何度実行するかを指定します。 0：毎分 3 回（RTCAnSECC = 00、20、40 時） 1：毎分 1 回（RTCAnSECC = 00 時）
6	RTCAnF6	サブカウンタの値を増加させるか減少させるかを指定します。 0：増加（+ の補正） 増加値 = （RTCAnF[5:0] の値 – 1）× 2 1：減少（– の補正） 減少値 = （RTCAnF[5:0] を反転した値 + 1）× 2
5 ～ 0	RTCAnF[5:0]	誤差補正値

備 考

1. RTCAnF[5:1] = 00000_B の場合、クロック誤差補正は実行されません。
2. RTCAnSUBU への書き込みは、次の説明に従って実行してください。
   - **「27.5.1 RTCA の初期設定」**
   - **「27.5.5 RTCAnSUBU への書き込み」**

27.3.3.4 RTCAnSCMP — RTCA サブカウンタコンペアレジスタ

周波数選択モード時（RTCAnCTL0.RTCAnSLSB = 1）の、サブカウンタ RTCAnSUBC の比較値を設定します。

サブカウンタの値がこのレジスタの値に一致すると、オーバフロー信号を秒カウンタ RTCAnSECC に出力し、サブカウンタ値をクリアします。

このレジスタの値は、入力クロック RTCATCKI の周波数に応じて設定してください。

アクセス 32 ビット単位でリード／ライト可能です。
サブカウンタ動作中にこのレジスタに書き込みを行う場合は、次の点に注意してください。

- 前回の RTCAnSCMP への書き込み処理が完了している必要があります（RTCAnCTL2.RTCAnWSST = 0）。
- 書き込み動作は次にサブカウンタがオーバフローすると終了します。

アドレス <RTCAn_base> + $3C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnSCMP[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCAnSCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.15 RTCAnSCMP レジスタの内容

ビット位置	ビット名	機能
31 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21 ～ 0	RTCAnSCMP [21:0]	周波数選択モードでのサブカウンタ比較値

例

RTCAnSCMP の設定例を次に示します。

- RTCATCKI = 4 MHz = 4,000,000 Hz
- RTCAnSCMP = 4,000,000 － 1 = 3,999,999 （10 進値）= $3D08FF_H$
- サブカウンタの値が $3D08FF_H$ から 0_H に変わると、秒カウンタ RTCAnSECC がカウントアップされます。

備 考

1. このレジスタに 3198 （10 進値）以下の値が設定された場合、RTCA の動作は保証できません。
2. RTCAnSCMP への書き込みは、**「27.5.1 RTCA の初期設定」**と**「27.5.6 RTCAnSCMP への書き込み」**の説明に従って実行してください。

27.3.4 RTCA クロックカウンタレジスタとバッファレジスタの詳細

27.3.4.1 RTCAnSECC — RTCA 秒カウントレジスタ

このレジスタは秒カウンタです。秒を 00 から 59 まで（BCD）カウントします。

本レジスタは以下のカウント動作を行います。

- サブカウンタ RTCAnSUBC のオーバフローによってカウントアップされます。

秒カウンタ停止中（RTCAnCTL2.RTCAnWST = 1）にサブカウンタがオーバフローすると、秒カウンタは次のように動作します。

  – 秒カウンタ停止中にサブカウンタが 1 回オーバフローした場合、オーバフローは内部で保持されます。
  秒カウンタは、リスタートしたときに +1 カウントアップします。
  – 秒カウンタ停止中にサブカウンタが 2 回以上オーバフローした場合、オーバフローの回数は内部で保持できません。
  秒カウンタは、リスタートしたときに +1 カウントアップします。
  – 秒カウンタ停止中に秒カウンタが更新された場合、サブカウンタのオーバフローは無視されます。

- 秒カウンタは、その値が 59 から 00 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は分カウンタ（RTCAnMINC）のトリガとなります。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <RTCAn_base> + $4C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnSECC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.16 RTCAnSECC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	RTCAnSECC [6:0]	秒（BCD）

備　考

1. RTCAnSECC の読み出しは、**「27.5.3　クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、秒カウントバッファレジスタ RTCAnSEC または時間カウントバッファレジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**

27.3.4.2　RTCAnSEC — RTCA 秒カウントバッファレジスタ

秒カウンタ RTCAnSECC の読み出し／書き込み用バッファレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 14_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnSEC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.17　RTCAnSEC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	RTCAnSEC [6:0]	秒（BCD）

備　考

1. このレジスタへの書き込みには、00-59（BCD）のみ使用できます。
2. RTCAnSEC の読み出しと書き込みは、次の説明に従って実行してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**
   - **「27.5.3　クロックカウンタの読み出し」**

27.3.4.3　RTCAnMINC — RTCA 分カウントレジスタ

このレジスタは分カウンタです。分を 00 から 59 まで（BCD）カウントします。

本レジスタは以下のカウント動作を行います。

- 秒カウンタ RTCAnSECC のオーバフローによってカウントアップされます。
- 分カウンタは、その値が 59 から 00 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は時カウンタ（RTCAnHOURC）のトリガとなります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 50_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnMINC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.18　RTCAnMINC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます
6 ～ 0	RTCAnMINC [6:0]	分（BCD）

備　考

1. RTCAnMINC の読み出しは、**「27.5.3　クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、分カウントバッファレジスタ RTCAnMIN または時間カウントバッファレジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**

27.3.4.4 RTCAnMIN — RTCA 分カウントバッファレジスタ

分カウンタ RTCAnMINC の読み出し／書き込み用バッファレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnMIN[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.19 RTCAnMIN レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	RTCAnMIN [6:0]	分（BCD）

備　考

1. このレジスタへの書き込みには、00-59（BCD）のみ使用できます。
2. RTCAnMIN の読み出しと書き込みは、次の説明に従って実行してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**
   - **「27.5.3　クロックカウンタの読み出し」**

27.3.4.5 RTCAnHOURC — RTCA 時カウントレジスタ

このレジスタは時カウンタです。時間を BCD でカウントします。カウント範囲は、選択した時間表示によって異なります。**「表 27.21　12 時間表示と 24 時間表示」**を参照してください。

本レジスタは以下のカウント動作を行います。

- 分カウンタ RTCAnMINC のオーバフローによってカウントアップされます。
- 時カウンタは、その値が 23 から 00 に変わったとき（24 時間表示の場合）、または 31 から 12 に変わったとき（12 時間表示の場合）に、オーバフロー信号を発生します。このオーバフロー信号は次の 2 つのカウンタのトリガとなります。
  - 曜日カウンタ（RTCAnWEEKC）
  - 日カウンタ（RTCAnDAYC）

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 54_H

リセット後の値　12_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnHOURC[5:0]					
リセット後の値	0	0	0	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R

表 27.20　RTCAnHOURC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。
5 ～ 0	RTCAnHOURC [5:0]	時間（BCD） 詳細は**「表 27.21　12 時間表示と 24 時間表示」**を参照してください。

備　考

1. RTCAnHOURC の読み出しは、**「27.5.3　クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、時カウントバッファレジスタ RTCAnHOUR または時間カウントバッファレジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**

12 時間表示と 24 時間表示

RTCAnHOURC のカウント値は、選択した時間表示によって異なります。

12 時間表示を選択した場合（RTCAnCTL0.RTCAnAMPM = 0）、RTCAnHOURC レジスタのビット 5 は午前／午後を示します。

- RTCAnHOURC[5] = 0：午前
- RTCAnHOURC[5] = 1：午後

12 時間表示と 24 時間表示における RTCAnHOURC のカウント範囲を次の表に示します。

表 27.21　12 時間表示と 24 時間表示

12 時間表示（RTCAnAMPM = 0）			24 時間表示（RTCAnAMPM = 1）	
時間	RTCAnHOURC		時間	RTCAnHOURC
午前 0 時	12_H		0	00_H
午前 1 時	01_H		1	01_H
午前 2 時	02_H		2	02_H
午前 3 時	03_H		3	03_H
午前 4 時	04_H		4	04_H
午前 5 時	05_H		5	05_H
午前 6 時	06_H		6	06_H
午前 7 時	07_H		7	07_H
午前 8 時	08_H		8	08_H
午前 9 時	09_H		9	09_H
午前 10 時	10_H		10	10_H
午前 11 時	11_H		11	11_H
午後 0 時	32_H	↓ 12 時間表示では、 RTCAnHOUR.RTCAnHOUR[5] = 1 にて 午後を指定	12	12_H
午後 1 時	21_H		13	13_H
午後 2 時	22_H		14	14_H
午後 3 時	23_H		15	15_H
午後 4 時	24_H		16	16_H
午後 5 時	25_H		17	17_H
午後 6 時	26_H		18	18_H
午後 7 時	27_H		19	19_H
午後 8 時	28_H		20	20_H
午後 9 時	29_H		21	21_H
午後 10 時	30_H		22	22_H
午後 11 時	31_H		23	23_H

27.3.4.6　RTCAnHOUR — RTCA 時カウントバッファレジスタ

時カウンタ RTCAnHOURC の読み出し／書き込み用バッファレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 1CH

リセット後の値　12_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnHOUR[5:0]					
リセット後の値	0	0	0	1	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.22　RTCAnHOUR レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ～ 0	RTCAnHOUR [5:0]	時間（BCD） 詳細は**「表 27.21　12 時間表示と 24 時間表示」**を参照してください。

備　考

1. このレジスタへの書き込みには、次の値（BCD）のみ使用できます。
   - 12 時間表示（RTCAnCTL0.RTCAnAMPM = 0）：
     01-12 または 21-32
   - 24 時間表示（RTCAnCTL0.RTCAnAMPM = 1）：
     00-23
2. RTCAnHOUR の読み出しと書き込みは、次の説明に従って実行してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**
   - **「27.5.3　クロックカウンタの読み出し」**

27.3.4.7　RTCAnWEEKC — RTCA 曜日カウントレジスタ

このレジスタは曜日カウンタです。0 から 6 までカウントします。

本レジスタは以下のカウント動作を行います。

- 時カウンタ RTCAnHOURC のオーバフローによってカウントアップされます。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 58_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	RTCAnWEEKC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.23　RTCAnWEEKC レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ～ 0	RTCAnWEEKC [2:0]	曜日

備　考

1. RTCAnWEEKC の読み出しは、**「27.5.3　クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、曜日カウントバッファレジスタ RTCAnWEEK またはカレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**

27.3.4.8 RTCAnWEEK — RTCA 曜日カウントバッファレジスタ

曜日カウンタ RTCAnWEEKC の読み出し／書き込み用バッファレジスタです。

RTCAnWEEK の値と曜日との特定の対応はありません。用途に応じて対応を設定してください。

例：0 = 日曜日、1 = 月曜日、…、6 = 土曜日

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	RTCAnWEEK[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 27.24 RTCAnWEEK レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	RTCAnWEEK [2:0]	曜日

備　考

1. このレジスタへの書き込みには、0-6（BCD）のみ使用できます。
2. RTCAnWEEK の読み出しと書き込みは、次の説明に従って実行してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**
   - **「27.5.3　クロックカウンタの読み出し」**

27.3.4.9 RTCAnDAYC — RTCA 日カウントレジスタ

このレジスタは日カウンタです。月カウンタ（RTCAnMONC）と年カウンタ（RTCAnYEARC）の値に応じて、01 から最大 31 まで（BCD）カウントします。

- 01-31（1 月、3 月、5 月、7 月、8 月、10 月、12 月）
- 01-30（4 月、6 月、9 月、11 月）
- 01-29（2 月、うるう年）
- 01-28（2 月、通常年）

0、4、8、12 年などがうるう年となります。

本レジスタは以下のカウント動作を行います。

- 時カウンタ RTCAnHOURC のオーバフローによってカウントアップされます。
- 日カウンタは、その値が 28、29、30、31 のいずれかから 01 に変わったときに、オーバフロー信号を発生します。このオーバフロー信号は月カウンタ（RTCAnMONC）のトリガとなります。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <RTCAn_base> + $5C_H$

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnDAYC[5:0]					
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R

表 27.25 RTCAnDAYC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。
5 ～ 0	RTCAnDAYC [5:0]	日（BCD）

備　考

1. RTCAnDAYC の読み出しは、**「27.5.3　クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、日カウントバッファレジスタ RTCAnDAY またはカレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**

27.3.4.10 RTCAnDAY — RTCA 日カウントバッファレジスタ

日カウンタ RTCAnDAYC の読み出し／書き込み用バッファレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + 24_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnDAY[5:0]					
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.26 RTCAnDAY レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ～ 0	RTCAnDAY [5:0]	日（BCD）

備　考

1. このレジスタへの書き込みには、01-31（BCD）のみ使用できます。
   - 01-31（1 月、3 月、5 月、7 月、8 月、10 月、12 月）
   - 01-30（4 月、6 月、9 月、11 月）
   - 01-29（2 月、うるう年）
   - 01-28（2 月、通常年）
2. RTCAnDAY の読み出しと書き込みは、次の説明に従って実行してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**
   - **「27.5.3　クロックカウンタの読み出し」**

27.3.4.11 RTCAnMONC — RTCA 月カウントレジスタ

このレジスタは月カウンタです。年間の月を 01 から 12 まで（BCD）カウントします。

本レジスタは以下のカウント動作を行います。

- 日カウンタ RTCAnDAYC のオーバフローによってカウントアップされます。
- 月カウンタは、その値が 12 から 01 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は年カウンタ（RTCAnYEARC）のトリガとなります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 60_H

リセット後の値　01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RTCAnMONC[4:0]				
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R

表 27.27　RTCAnMONC レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。
4 ～ 0	RTCAnMONC [4:0]	月（BCD）

備　考

1. RTCAnMONC の読み出しは、**「27.5.3　クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、月カウントバッファレジスタ RTCAnMONTH またはカレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**

27.3.4.12 RTCAnMONTH — RTCA 月カウントバッファレジスタ

月カウンタ RTCAnMONC の読み出し／書き込み用バッファレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + 28_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RTCAnMONTH[4:0]				
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 27.28 RTCAnMONTH レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 0	RTCAnMONTH [4:0]	月（BCD）

備　考

1. このレジスタへの書き込みには、01-12（BCD）のみ使用できます。
2. RTCAnMONTH の読み出しと書き込みは、次の説明に従って実行してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**
   - **「27.5.3　クロックカウンタの読み出し」**

27.3.4.13 RTCAnYEARC — RTCA 年カウントレジスタ

このレジスタは年カウンタです。年を 00 から最大 99 まで（BCD）カウントします。

00、04、08、…、92、96 年（4 年ごと）はうるう年となります。

本レジスタは以下のカウント動作を行います。

- 月カウンタ RTCAnMONC のオーバフローによってカウントアップされます。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 64_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnYEARC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.29　RTCAnYEARC レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	RTCAnYEARC [7:0]	年（BCD）

備　考

1. RTCAnYEARC の読み出しは、**「27.5.3　クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、年カウントバッファレジスタ RTCAnYEAR またはカレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**

27.3.4.14 RTCAnYEAR — RTCA 年カウントバッファレジスタ

年カウンタ RTCAnYEARC の読み出し／書き込み用バッファレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + $2C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnYEAR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.30 RTCAnYEAR レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	RTCAnYEAR [7:0]	年（BCD）

備　考

1. このレジスタへの書き込みには、00-99（BCD）のみ使用できます。
2. RTCAnYEAR の読み出しと書き込みは、次の説明に従って実行してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**
   - **「27.5.3　クロックカウンタの読み出し」**

27.3.5 RTCA 特定カウンタレジスタとバッファレジスタの詳細

27.3.5.1 RTCAnTIMEC — RTCA 時間カウントレジスタ

RTCAnHOURC、RTCAnMINC、RTCAnSECC の各カウンタ値を同時に読み出すことができます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RTCAn_base> + 68_H

リセット後の値 $0012\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnHOURC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RTCAnMINC[6:0]							—	RTCAnSECC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.31 RTCAnTIMEC レジスタの内容

ビット位置	ビット名	機能
31 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ～ 16	RTCAnHOURC[5:0]	時間（BCD） 詳細は**「表 27.21 12 時間表示と 24 時間表示」**を参照してください。
15	予約ビット	リードした場合はリセット後の値が読めます。
14 ～ 8	RTCAnMINC[6:0]	分（BCD）
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	RTCAnSECC[6:0]	秒（BCD）

備 考

1. RTCAnTIMEC の読み出しは、**「27.5.3 クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、時間カウントバッファレジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
   - **「27.5.1 RTCA の初期設定」**
   - **「27.5.2 クロックカウンタの更新」**

27.3.5.2　RTCAnTIME — RTCA 時間カウントバッファレジスタ

RTCAnHOUR、RTCAnMIN、RTCAnSEC の各バッファレジスタ値を同時に読み出したり、書き込んだりすることができます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 30_H

リセット後の値　$0012\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnHOUR[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RTCAnMIN[6:0]							—	RTCAnSEC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.32　RTCAnTIME レジスタの内容

ビット位置	ビット名	機能
31 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21 ～ 16	RTCAnHOUR[5:0]	時間（BCD） 詳細は**「表 27.21　12 時間表示と 24 時間表示」**を参照してください。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ～ 8	RTCAnMIN[6:0]	分（BCD）
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	RTCAnSEC[6:0]	秒（BCD）

備　考

RTCAnTIME の読み出しと書き込みは、次の説明に従って実行してください。

- **「27.5.1　RTCA の初期設定」**
- **「27.5.2　クロックカウンタの更新」**
- **「27.5.3　クロックカウンタの読み出し」**

27.3.5.3 RTCAnCALC — RTCA カレンダカウントレジスタ

RTCAnYEARC、RTCAnMONC、RTCAnDAYC、RTCAnWEEKC の各カウンタ値を同時に読み出すことができます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RTCAn_base> + $6C_H$

リセット後の値 $0001\ 0100_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RTCAnYEARC[7:0]								—	—	—	RTCAnMONC[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RTCAnDAYC[5:0]						—	—	—	—	—	RTCAnWEEKC[2:0]		
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.33 RTCAnCALC レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RTCAnYEARC[7:0]	年（BCD）
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。
20 ～ 16	RTCAnMONC[4:0]	月（BCD）
15 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。
13 ～ 8	RTCAnDAYC[5:0]	日（BCD）
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ～ 0	RTCAnWEEKC[2:0]	曜日（BCD）

備　考

1. RTCAnCALC の読み出しは、**「27.5.3　クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、カレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - **「27.5.1　RTCA の初期設定」**
   - **「27.5.2　クロックカウンタの更新」**

27.3.5.4 RTCAnCAL — RTCA カレンダカウントバッファレジスタ

RTCAnYEAR、RTCAnMONTH、RTCAnDAY、RTCAnWEEK の各バッファレジスタ値を同時に読み出したり、書き込んだりすることができます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + 34_H

リセット後の値 $0001\ 0100_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RTCAnYEAR[7:0]								—	—	—	RTCAnMONTH[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RTCAnDAY[5:0]						—	—	—	—	—	RTCAnWEEK[2:0]		
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 27.34 RTCAnCAL レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RTCAnYEAR[7:0]	年（BCD）
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ～ 16	RTCAnMONTH[4:0]	月（BCD）
15 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ～ 8	RTCAnDAY[5:0]	日（BCD）
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	RTCAnWEEK[2:0]	曜日（BCD）

備　考

RTCAnCAL の読み出しと書き込みは、次の説明に従って実行してください。

- **「27.5.1 RTCA の初期設定」**
- **「27.5.2 クロックカウンタの更新」**
- **「27.5.3 クロックカウンタの読み出し」**

27.3.6 RTCA アラーム時間設定レジスタの詳細

27.3.6.1 RTCAnALM — RTCA アラーム分設定レジスタ

アラーム割り込み発生時間の「分」を指定します。

詳細な説明と設定例は、**「27.4.3　アラーム割り込み機能」**を参照してください。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 40_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnALM[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.35 RTCAnALM レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	RTCAnALM[6:0]	アラーム割り込み発生時間の「分」（BCD）

備　考

1. 00-59（BCD）以外の値を設定すると、アラーム割り込み要求は発生しません。
2. サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnALM の設定を変更すると、RTCATINTAL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

27.3.6.2　RTCAnALH — RTCA アラーム時設定レジスタ

アラーム割り込み発生時間の「時」を指定します。

詳細な説明と設定例は、**「27.4.3　アラーム割り込み機能」**を参照してください。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 44_H

リセット後の値　12_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnALH[5:0]					
リセット後の値	0	0	0	1	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.36　RTCAnALH レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ～ 0	RTCAnALH[5:0]	アラーム割り込み発生時間の「時」（BCD）

備　考

1. 次の範囲以外の値を設定した場合、アラーム割り込み要求は発生しません。
   - 12 時間表示（RTCAnCTL0.RTCAnAMPM = 0）：
     01-12 または 21-32
   - 24 時間表示（RTCAnCTL0.RTCAnAMPM = 1）：
     00-23
2. サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnALH の設定を変更すると、RTCATINTAL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

27.3.6.3　RTCAnALW — RTCA アラーム曜日設定レジスタ

アラーム割り込み発生時間の「曜日」を指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 48_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnALW[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.37　RTCAnALW レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	RTCAnALW[6:0]	アラーム割り込み要求発生時間の曜日 m（m = 0-6）を指定します。 0：曜日 m にアラーム割り込み要求は発生しない 1：曜日 m の、RTCAnALM と RTCAnALH で設定した時間にアラーム割り込み要求を発生する このレジスタのビットは、曜日カウンタ（RTCAnWEEKC）のカウント値に対応します。

備　考

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnALW の設定を変更すると、RTCATINTAL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

例

日曜日を RTCAnWEEK = 0、月曜日を RTCAnWEEK = 1、火曜日を RTCAnWEEK = 2、… 土曜日を RTCAnWEEK = 6 と設定した場合：

- アラームを日曜日に設定するには、RTCAnALW = 0000 0001 を設定します。
- アラームを月曜日と水曜日に設定するには、RTCAnALW = 0000 1010 を設定します。
- アラームを火曜日、木曜日、土曜日に設定するには、RTCAnALW = 0101 0100 を設定します。

その他の例は、**「27.4.3　アラーム割り込み機能」**を参照してください。

27.3.7 RTCA エミュレーションレジスタ

27.3.7.1 RTCAnEMU — RTCA エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。
EPC.SVSTOP = 0 のときにライト動作を行ってください。

アドレス <RTCAn_base> + 74_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCAn SVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 27.38 RTCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	RTCAnSVSDIS	（EPC.SVSTOP ビット =0 のとき） 本ビットの値（1/0）に関わらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット =1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

27.4　動作

RTCA には次の 2 つの動作モードがあります。

- 周波数選択モード
- 32.768 kHz モード

使用可能な入力クロック RTCATCKI によって使用できる動作モードが異なります。動作モードによって、秒カウンタとそれに伴うすべての後続カウンタのカウント動作のトリガとなるサブカウンタの比較値が異なります。クロック誤差補正は 32.768 kHz モード時のみ使用可能です。

2 つの動作モードの主な特徴を次の表に示します。

表 27.39　RTCA 動作モードの概要

	周波数選択モード	32.768 kHz モード	
		クロック誤差補正無効時	クロック誤差補正有効時
使用可能な入力クロック RTCATCKI	32 kHz-4.194304 MHz の任意の周波数	32.768 kHz	32.76180000 kHz-32.77420000 kHz の任意の周波数
サブカウンタ RTCAnSUBC の動作	• RTCAnSCMP の値に達するとオーバフロー • RTCAnSCMP は RTCATCKI － 1（Hz）に設定	$7FFF_H$ に達するとオーバフロー	次の条件でオーバフロー： $7FFF_H$ または 20 秒または 60 秒ごとに $7FFF_H$ ±RTCAnSUBU.RTCAnF[5:0]

動作モードは制御ビット RTCAnCTL0.RTCAnSLSB で選択します。RTCA の初期設定で動作モードを設定する方法については、**「27.5.1　RTCA の初期設定」**を参照してください。

注　意

1. **入力クロック RTCATCKI は有効周波数範囲内である必要があります。**
2. **動作モードは、サブカウンタ動作許可状態（RTCAnCTL0.RTCAnCEST = 1）では変更できません。**

27.4.1 クロックカウンタの表示形式

クロックカウンタ（RTCAnSECC-RTCAnYEARC）は BCD コード（2 進化 10 進数）で動作します。各桁はそれぞれ 2 進数列で表されます。

数値の各桁を表すビット数は有効データ範囲に応じて異なります。たとえば、年カウンタの月の 10 の位は 1 ビット（0、1）ですが、分カウンタの 10 の位は 3 ビット（0-5）です。

10 進数の 0 から 59 を 2 進数と BCD で表したものを次の表に示します。

表 27.40 BCD コードの例：秒カウンタまたは分カウンタ（0-59）

10 進数	2 進数	BCD
0	000000	000 0000
1	000001	000 0001
2	000010	000 0010
3	000011	000 0011
4	000100	000 0100
5	000101	000 0101
6	000110	000 0110
7	000111	000 0111
8	001000	000 1000
9	001001	000 1001
10	001010	001 0000
11	001011	001 0001
12	001100	001 0010
:	:	:
58	111010	101 1000
59	111011	101 1001

27.4.2 定周期割り込み機能

割り込み RTCATINTR は、発生タイミングを 0.25 秒、0.5 秒、1 秒（毎秒）、1 分（毎分）、1 時間（毎時）、1 日（毎日）、または 1 月（毎月）に指定して発生させることができます。

定周期割り込み機能は、RTCAnCTL1.RTCAnCT[2:0] ビットによって制御されます。

27.4.3 アラーム割り込み機能

特定の曜日（1 つ以上）の特定の時刻に割り込み RTCATINTAL を発生するよう指定できます。この割り込みはウエイクアップ信号として使用できます。

アラーム割り込み機能の有効／無効は RTCAnCTL1.RTCAnENALM ビットで指定します。

アラームの設定は、次の制御レジスタで指定します。

- RTCAnALW は曜日（1 つ以上）を選択します。

曜日を指定するビットの割り当ては、曜日カウントバッファレジスタ RTCAnWEEK で定義します。

- RTCAnALH と RTCAnALM は時間と分を BCD で指定します。

例

アラーム制御レジスタの設定例を、12 時間表示と 24 時間表示の両方についてそれぞれ次の表に示します。

この例では、日曜日が RTCAnWEEK = 0、月曜日が RTCAnWEEK = 1、火曜日が RTCAnWEEK = 2、… 土曜日が RTCAnWEEK = 6 です。

表 27.41　12 時間表示（RTCAnCTL0.RTCAnAMPM = 0）のアラーム時間設定例

アラーム設定時間	RTCAnALW	RTCAnALH	RTCAnALM
日曜日　午前 7:00	01_H	07_H	00_H
日曜日と月曜日　午後 12:15	03_H	32_H	15_H
月曜日、水曜日、金曜日　午後 5:30	$2A_H$	25_H	30_H
毎日　午後 10:45	$7F_H$	30_H	45_H

表 27.42　24 時間表示（RTCAnCTL0.RTCAnAMPM = 1）のアラーム時間設定例

アラーム設定時間	RTCAnALW	RTCAnALH	RTCAnALM
日曜日　7:00	01_H	07_H	00_H
日曜日と月曜日　12:15	03_H	12_H	15_H
月曜日、水曜日、金曜日　17:30	$2A_H$	17_H	30_H
毎日　22:45	$7F_H$	22_H	45_H

27.4.4　クロック誤差補正

クロック誤差補正機能は、発振回路の公称クロック速度からの偏差を補正します。クロック誤差補正では、入力クロック速度として 32.76180 kHz から 32.77420 kHz を指定できます。

クロック誤差補正は 32.768 kHz 動作モード時のみ使用可能です。この動作モードでは、公称クロック速度が 32.768 kHz に想定されており、サブカウンタのオーバフロー値は $7FFF_H$ に固定されています。

入力クロック速度が公称クロックから逸脱している場合のクロック誤差を次の図に示します。

RTCATCKI = 32.768 kHz

「図 27.2　RTCATCKI = 32.768 kHz、クロック誤差補正不要」に、RTCATCKI が公称クロック速度 32.768 kHz に一致している場合のタイミング図を示します。この場合、クロック誤差補正は必要ありません。

32.768 kHz のクロックで 0 から 32767 まで（0-$7FFF_H$）カウントすると、ちょうど 1 秒になります。

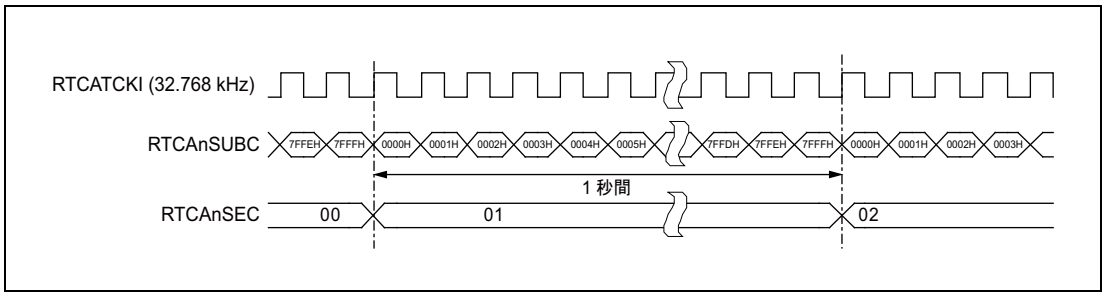


図 27.2　RTCATCKI = 32.768 kHz、クロック誤差補正不要

RTCATCKI = 32.769 kHz

「図 27.3　RTCATCKI = 32.769 kHz、クロック誤差補正無効」に、RTCATCKI が公称クロック速度 32.768 kHz から逸脱している場合のタイミング図を示します。この例では、RTCATCKI は 32.769 kHz の発振回路と接続しています。クロック誤差補正は許可されていません。

32.769 kHz のクロックで 0 から 32767 まで（0-$7FFF_H$）カウントすると、約 0.99997 秒（32768/32769）になります。このとき「正の誤差」（32.768 kHz より速い）が発生し、1 か月では RTCA には実際の時刻から約－ 79 秒の偏差が発生することになります。

誤差 = （32768/32769 － 1）× 60（秒）× 60（分）× 24（時間）× 30（日）

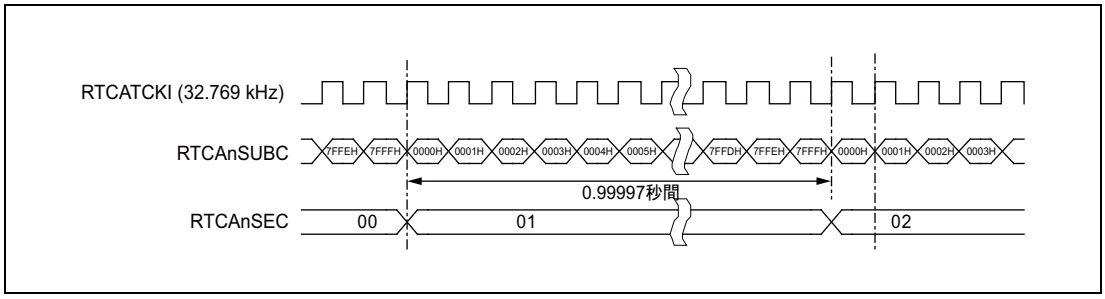


図 27.3　RTCATCKI = 32.769 kHz、クロック誤差補正無効

クロック誤差補正は、サブカウンタの 1 秒間を定期的に延長または短縮して実行します。RTCAnSUBU レジスタの次のパラメータを設定することによって、サブカウンタの上限値 $7FFF_H$ を増減できます。

- 1 より大きい補正値
- 演算子（+ ／ –）
- 周期（20 秒ごとまたは 60 秒ごと）

補正されたオーバフローの値が 20 秒ごとまたは 60 秒ごとに適用され、平均して RTCAnSECC がちょうど 1 秒ごとにトリガされるようにします。

27.4.4.1 補正値と演算子の設定

補正値と演算子は、RTCAnSUBU レジスタの RTCAnF6, RTCAnF[5:0] ビットで指定します。

- RTCAnF6 は、オーバフローの値を増加させるか減少させるかを指定します。
- RTCAnF[5:0] は補正値を指定します。

補正値は次のように計算されます。

表 27.43 補正値の設定

RTCAnF6	増加／減少	補正値
0	増加	（RTCAnF[5:0] の値－ 1）× 2
1	減少	（RTCAnF[5:0] を反転した値 + 1）× 2

補正値の設定例を次の表に示します。

表 27.44 補正値の設定例

RTCAnF6	RTCAnF[5:0]	補正値	RTCAnSUBC の カウント上限値
0	15_H	（15_H － 1）× 2 = 40	32768 + 40 = 32808
1	15_H	（$\overline{15_H}$ + 1）× 2 = （$2A_H$ + 1）× 2 = 86	32768 – 86 = 32682

27.4.4.2 反復周期の影響

RTCAnF6, RTCAnF[5:0] で設定された補正値による RTCAnSUBC のカウント上限値の変更は、毎秒行われるわけではありません。補正値を適用する周期は、RTCAnDEV ビットで指定します。

このビットの設定は、補正可能な周波数範囲と補正精度にも影響します。

RTCAnDEV の設定の概要を次の表に示します。

表 27.45 RTCAnSUBU.RTCAnDEV ビットの設定

RTCAnDEV	RTCAnSUBC カウント上限値の 変更タイミング	補正可能な周波数範囲	補正精度
0	20 秒ごと （RTCAnSECC = 00、20、40）	32.76180000-32.77420000 kHz	
1	60 秒ごと （RTCAnSECC = 00）	32.76593333-32.77006667 kHz	RTCAnDEV = 0 時の 3 倍の補正精度

27.4.4.3 設定例

補正可能な周波数を、RTCAnDEV および RTCAnF6, RTCAnF[5:0] の設定値とあわせて次の表に示します。

表 27.46 RTCAnDEV = 0 時に補正可能な周波数範囲

入力クロック周波数	RTCAnF6	RTCAnF[5:0]	RTCAnSUBC の補正値
—	0	000000	補正なし
—	0	000001	補正なし
32.76810000 kHz	0	000010	20 秒ごと、RTCAnSUBC カウント値 + 2
32.76820000 kHz	0	000011	20 秒ごと、RTCAnSUBC カウント値 + 4
32.76830000 kHz	0	000100	20 秒ごと、RTCAnSUBC カウント値 + 6
...	...	...	...
32.77400000 kHz	0	111101	20 秒ごと、RTCAnSUBC カウント値 + 120
32.77410000 kHz	0	111110	20 秒ごと、RTCAnSUBC カウント値 + 122
32.77420000 kHz （上限）	0	111111	20 秒ごと、RTCAnSUBC カウント値 + 124
—	1	000000	補正なし
—	1	000001	補正なし
32.76180000 kHz （下限）	1	000010	20 秒ごと、RTCAnSUBC カウント値－ 124
32.76190000 kHz	1	000011	20 秒ごと、RTCAnSUBC カウント値－ 122
32.76200000 kHz	1	000100	20 秒ごと、RTCAnSUBC カウント値－ 120
...	...	...	...
32.76770000 kHz	1	111101	20 秒ごと、RTCAnSUBC カウント値－ 6
32.76780000 kHz	1	111110	20 秒ごと、RTCAnSUBC カウント値－ 4
32.76790000 kHz	1	111111	20 秒ごと、RTCAnSUBC カウント値－ 2

表 27.47 RTCAnDEV = 1 時に補正可能な周波数範囲

入力クロック周波数	RTCAnF6	RTCAnF[5:0]	RTCAnSUBC の補正値
—	0	000000	補正なし
—	0	000001	補正なし
32.76803333 kHz	0	000010	60 秒ごと、RTCAnSUBC カウント値 + 2
32.76806667 kHz	0	000011	60 秒ごと、RTCAnSUBC カウント値 + 4
32.76810000 kHz	0	000100	60 秒ごと、RTCAnSUBC カウント値 + 6
...	...	...	...
32.77000000 kHz	0	111101	60 秒ごと、RTCAnSUBC カウント値 + 120
32.77003333 kHz	0	111110	60 秒ごと、RTCAnSUBC カウント値 + 122
32.77006667 kHz （上限）	0	111111	60 秒ごと、RTCAnSUBC カウント値 + 124
—	1	000000	補正なし
—	1	000001	補正なし
32.76593333 kHz （下限）	1	000010	60 秒ごと、RTCAnSUBC カウント値－ 124
32.76596667 kHz	1	000011	60 秒ごと、RTCAnSUBC カウント値－ 122
32.76600000 kHz	1	000100	60 秒ごと、RTCAnSUBC カウント値－ 120
...	...	...	...
32.76790000 kHz	1	111101	60 秒ごと、RTCAnSUBC カウント値－ 6
32.76793333 kHz	1	111110	60 秒ごと、RTCAnSUBC カウント値－ 4
32.76796667 kHz	1	111111	60 秒ごと、RTCAnSUBC カウント値－ 2

27.5　設定、書き込み、読み出しの手順

以降の各項では、RTCA の設定と RTCA クロックカウンタの読み出しおよび書き込みの手順を説明するフローを示します。

27.5.1　RTCA の初期設定

各カウンタの初期設定値を設定する前に、RTCA を停止させる必要があります。

27.5.1.1　RTCA の停止手順

RTCA の停止は次のフローチャートに従って実行してください。

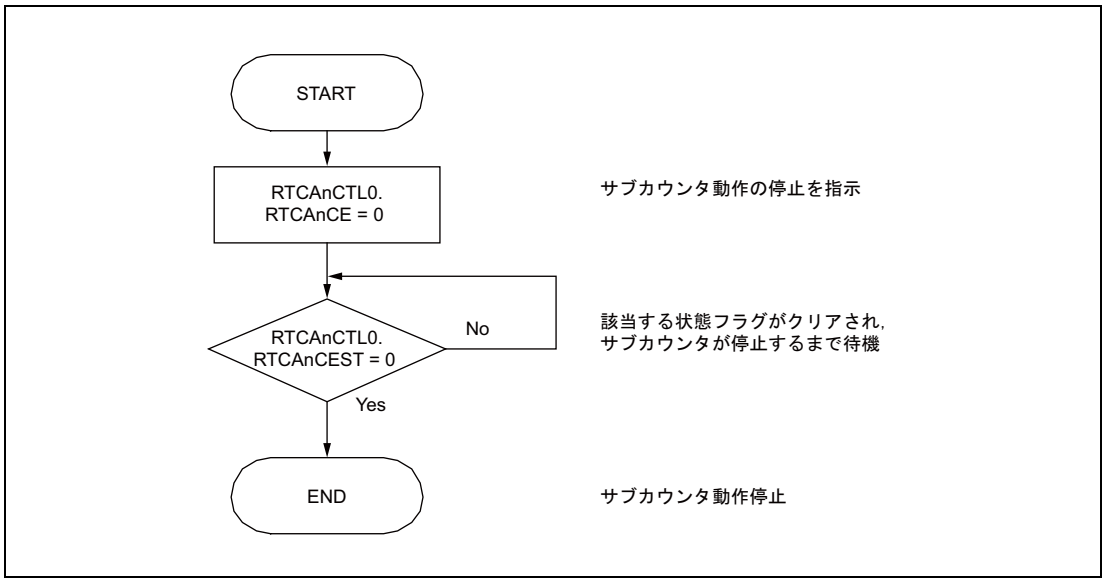


図 27.4　RTCA の停止手順

27.5.1.2 RTCA の初期設定手順

RTCA の初期設定は次のフローチャートに従って実行してください。

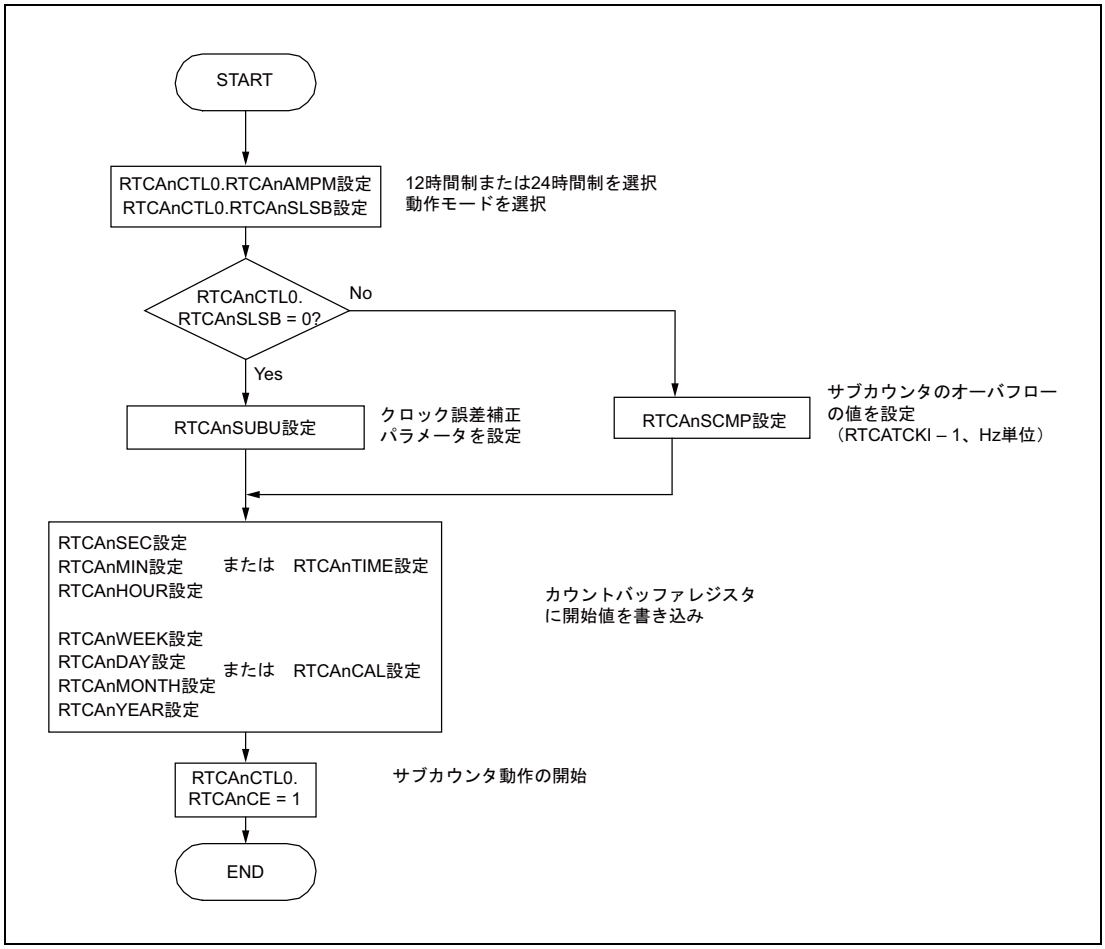


図 27.5 RTCA の初期設定手順

注 意

内部クロックカウンタは RTCATCKI と同期して作動します。

また、上記フローの終了後、初期設定完了まで RTCATCKI 期間 × 2 必要です。

したがって、PCLK は、初期設定完了まで連続的に供給する必要があります。

RTCA 初期設定値設定後に PCLK 供給を止めるには、最初に RTCAnCTL0.RTCAnCEST = 1 であることを確認してください。

27.5.2 クロックカウンタの更新

クロックカウンタ RTCAnSECC-RTCAnYEARC は、サブカウンタ動作中に停止したり更新したりできます。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE ＝1）にクロックカウンタの更新を行う場合は、次のフローチャートに従って実行してください。

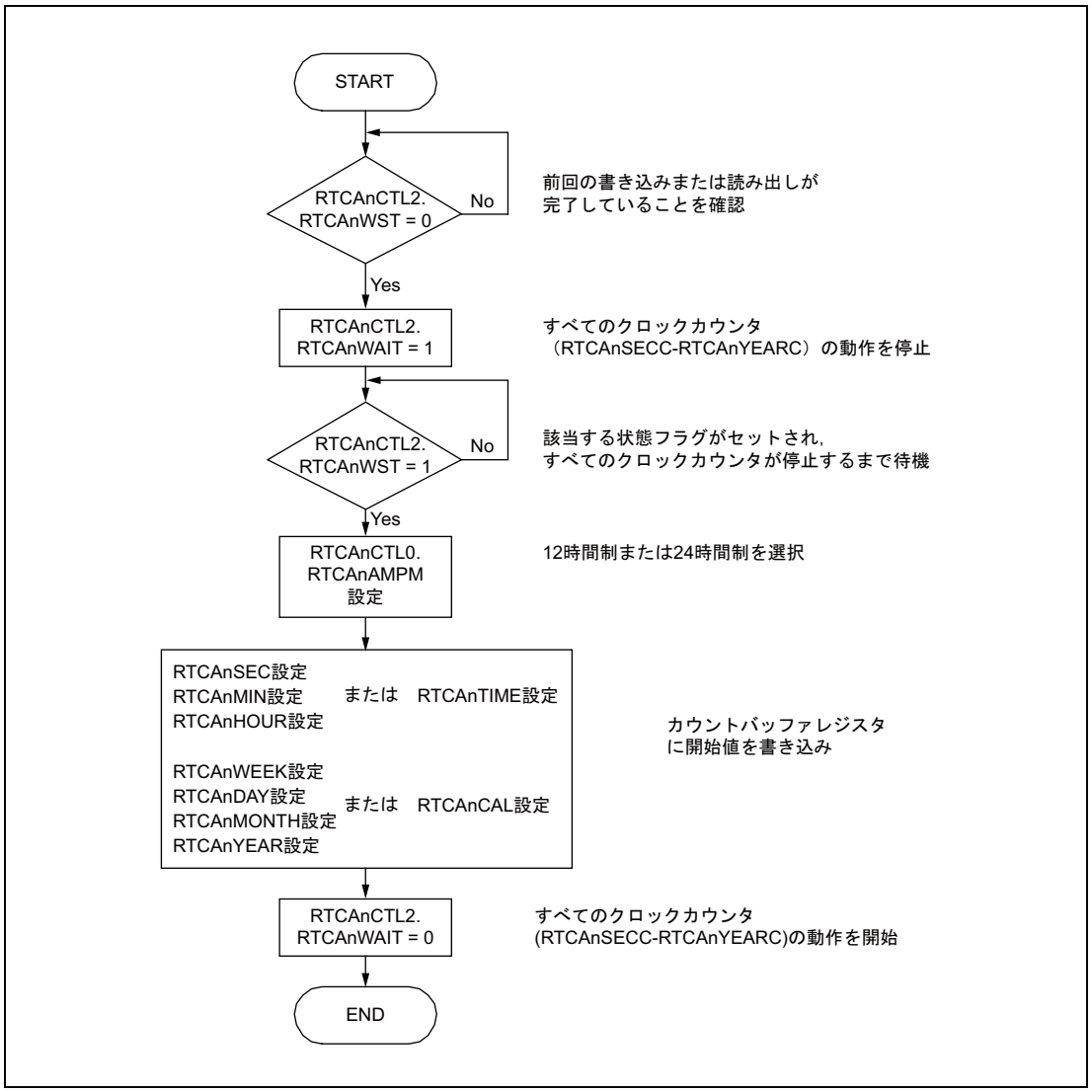


図 27.6 クロックカウンタ値の更新

注 意

1. **内部クロックカウンタは RTCATCKI と同期して作動します。**
   また、上記フロー終了後、クロックカウンタの更新、カウント動作再開まで RTCATCKI 期間 × 2 必要です。
   したがって、PCLK は、クロックカウンタの更新完了まで連続的に供給する必要があります。
   クロックカウンタの更新後に PCLK 供給を止めるには、最初に RTCAnCTL2.RTCAnWST = 0 であることを確認してください。
2. **更新処理は 1 秒以内に完了する必要があります。更新処理が 1 秒以内に完了しなかった場合、リアルタイムクロックは正しくカウントしなくなります。**

3. **サブカウンタのオーバフローは内部に 1 回分だけ保持でき、クロックカウンタのリスタート後に値が保持されていれば、秒カウンタを +1 カウントアップします。**
4. **クロックカウンタ停止中にサブカウンタが 2 回以上オーバフローした場合、オーバフローの回数は内部で保持できません。秒カウンタは、リスタートしたときに +2 でなく +1 だけカウントアップします。**

27.5.3 クロックカウンタの読み出し

サブカウンタ動作許可時にクロックカウンタを読み出すには、次の 2 つの方法があります。

- カウントバッファレジスタの読み出し
- カウンタレジスタの読み出し

2 つの方法の利点と欠点の概要を次の表に示します。

表 27.48 2 つの読み出し方法の比較

	利点	欠点
カウントバッファレジスタの読み出し	各クロックカウンタの読み出しは互いに同期して行われるため、何度も読み出す必要がありません。	RTCAnCTL2.RTCAnWAIT = 1 の設定からデータ転送の完了までプログラムのウエイトステートが発生します。
カウントレジスタの読み出し	プログラムのウエイトステートは発生しません。	クロックカウンタの読み出しは RTCATCKI と非同期に行われるため、リード中にサブカウンタのカウントアップが発生した場合は、読み出しを数回行う必要があります。

27.5.3.1 カウントバッファレジスタ読み出し手順

次の操作を行ってください。

1. すべてのクロックカウンタを停止します（RTCAnCTL2.RTCAnWAIT = 1）。
   各クロックカウンタの値が、それぞれ対応するカウントバッファレジスタに転送されます。
2. カウントバッファレジスタを読み出します。

RTCAnCTL2.RTCAnWAIT = 1 の設定からデータ転送の完了までプログラムのウエイトステートが発生します。

最大遅延時間は、PCLK 期間 ×3 + RTCATCKI 期間 ×2 です。たとえば、RTCA が PCLK = 60 MHz と RTCATCKI = 32.768 kHz で動作する場合、遅延時間は約 61 μsec となります。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCEST = 1）にカウントバッファレジスタ読み出しを行う場合は、次のフローチャートに従って実行してください。

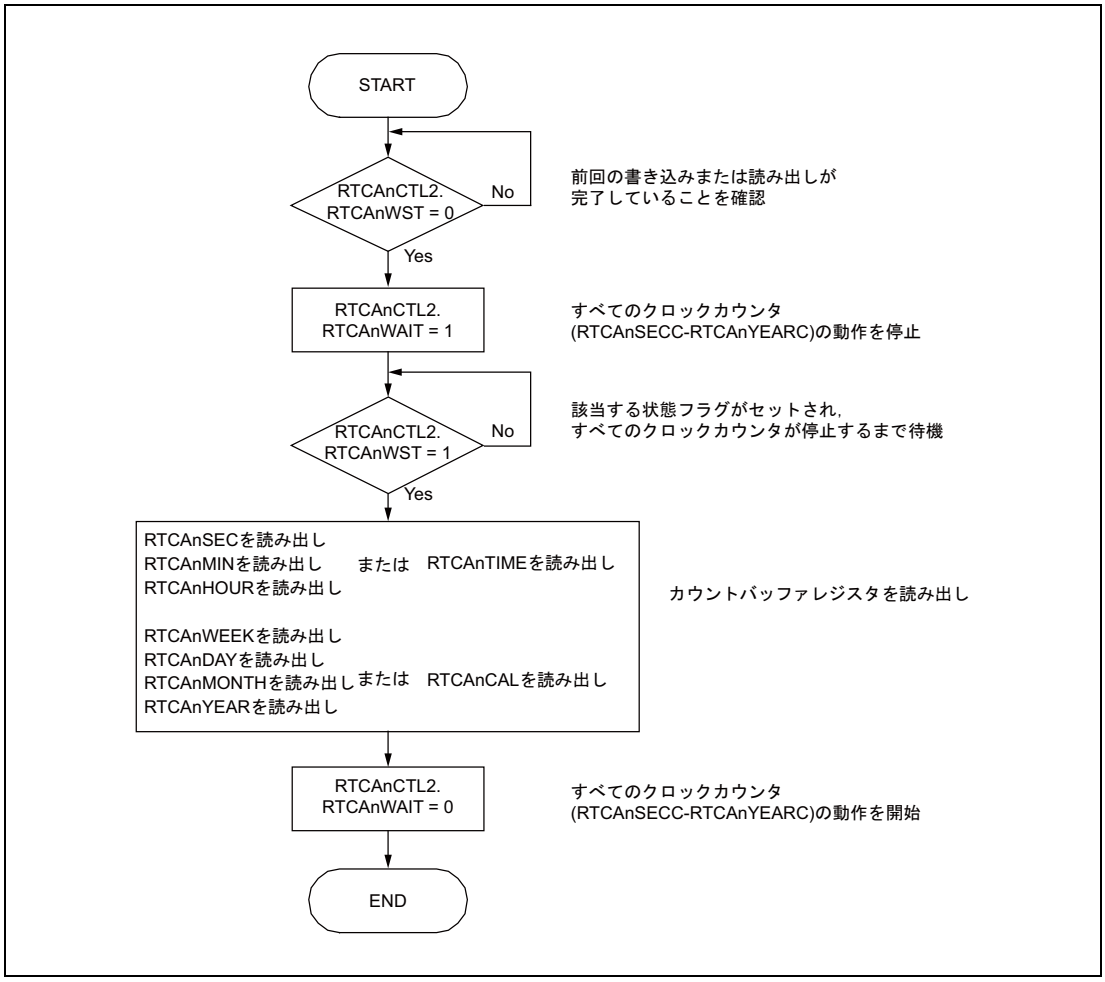


図 27.7 クロックカウントバッファレジスタの読み出し

注 意

1. **内部クロックカウンタは RTCATCKI と同期して作動します。**
   また、上記フロー終了後、クロックカウンタのカウント動作再開まで RTCATCKI 期間 × 2 必要です。
   したがって、PCLK は、クロックカウンタのカウント動作再開まで連続的に供給する必要があります。
   カウントバッファレジスタ読み出し後に PCLK 供給を止めるには、最初に RTCAnCTL0.RTCAnCEST = 1 であることを確認してください。
2. **読み出し処理は 1 秒以内に完了する必要があります。読み出し処理が 1 秒以内に完了しなかった場合、リアルタイムクロックは正しくカウントしなくなります。**
3. **サブカウンタのオーバフローは内部に 1 回分だけ保持でき、クロックカウンタのリスタート後に秒カウンタを +1 カウントアップします。**
4. **クロックカウンタ停止中にサブカウンタが 2 回以上オーバフローした場合、オーバフローの回数は内部で保持できません。秒カウンタは、リスタートしたときに +2 でなく +1 だけカウントアップします。**

27.5.3.2 カウンタレジスタ直接読み出し手順

カウンタの読み出し中にサブカウンタがオーバフローしたかどうかを確認するために、秒カウンタ RTCAnSECC を二度（手順開始時と終了時）読み出す必要があります。最初の読み出し値と 2 回目の読み出し値を比較します。

- 最初の読み出し値 = 2 回目の読み出し値：
  カウンタ読み出し動作中にサブカウンタのオーバフローは発生していません。
- 最初の読み出し値 ≠ 2 回目の読み出し値：
  カウンタ読み出し動作中にサブカウンタのオーバフローが発生しています。再度読み出しを行って、現在のカウンタ値を取得する必要があります。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）にカウンタレジスタ直接読み出しを行う場合は、次のフローチャートに従って実行してください。

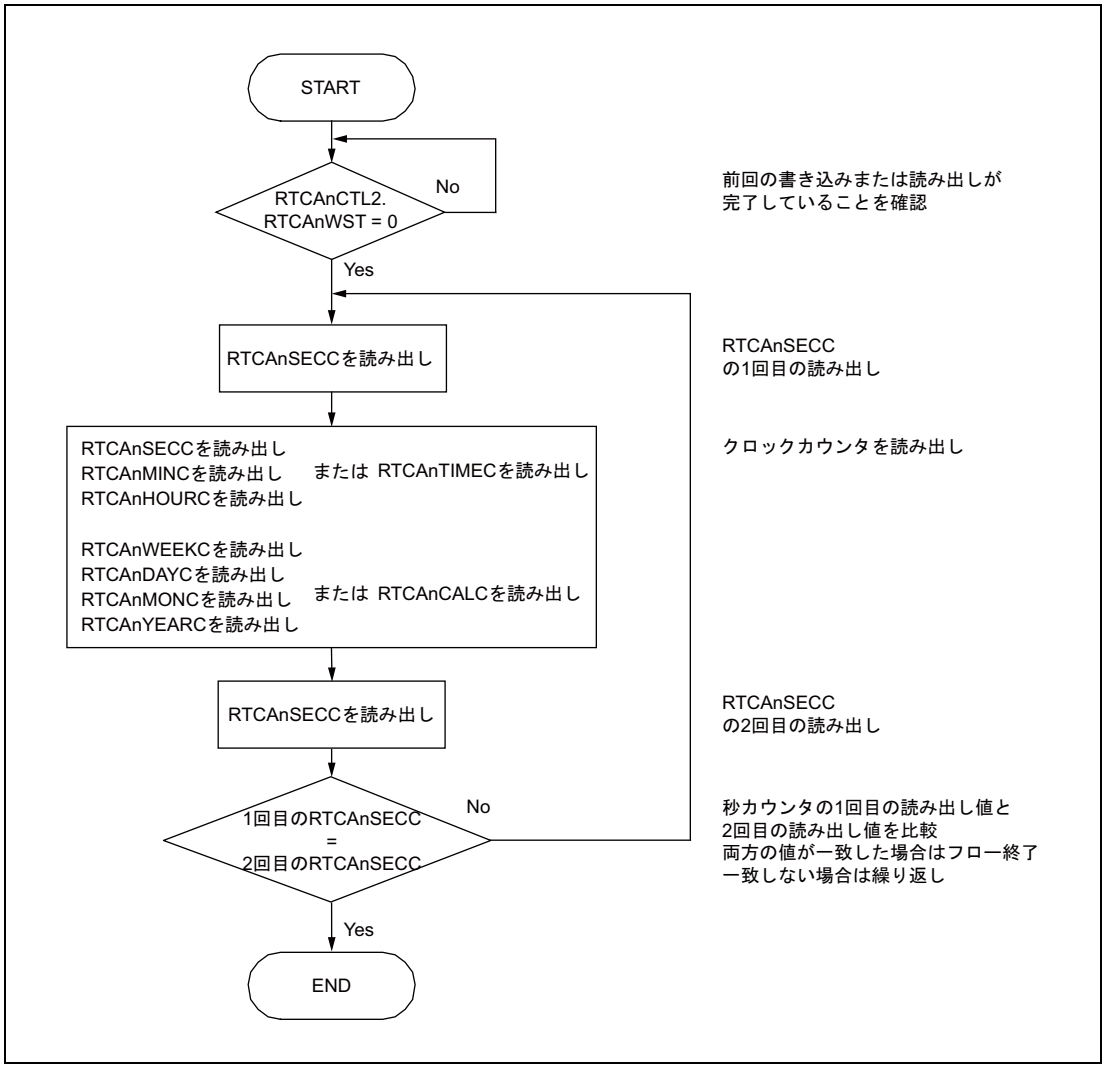


図 27.8 クロックカウンタレジスタの読み出し

備 考

読み出し処理は 1 秒以内に完了する必要があります。

27.5.4 RTCAnSRBU の読み出し

RTCAnSRBU はサブカウンタのリードバッファレジスタです。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnSRBU を読み出す場合は、次のフローチャートに従って実行してください。

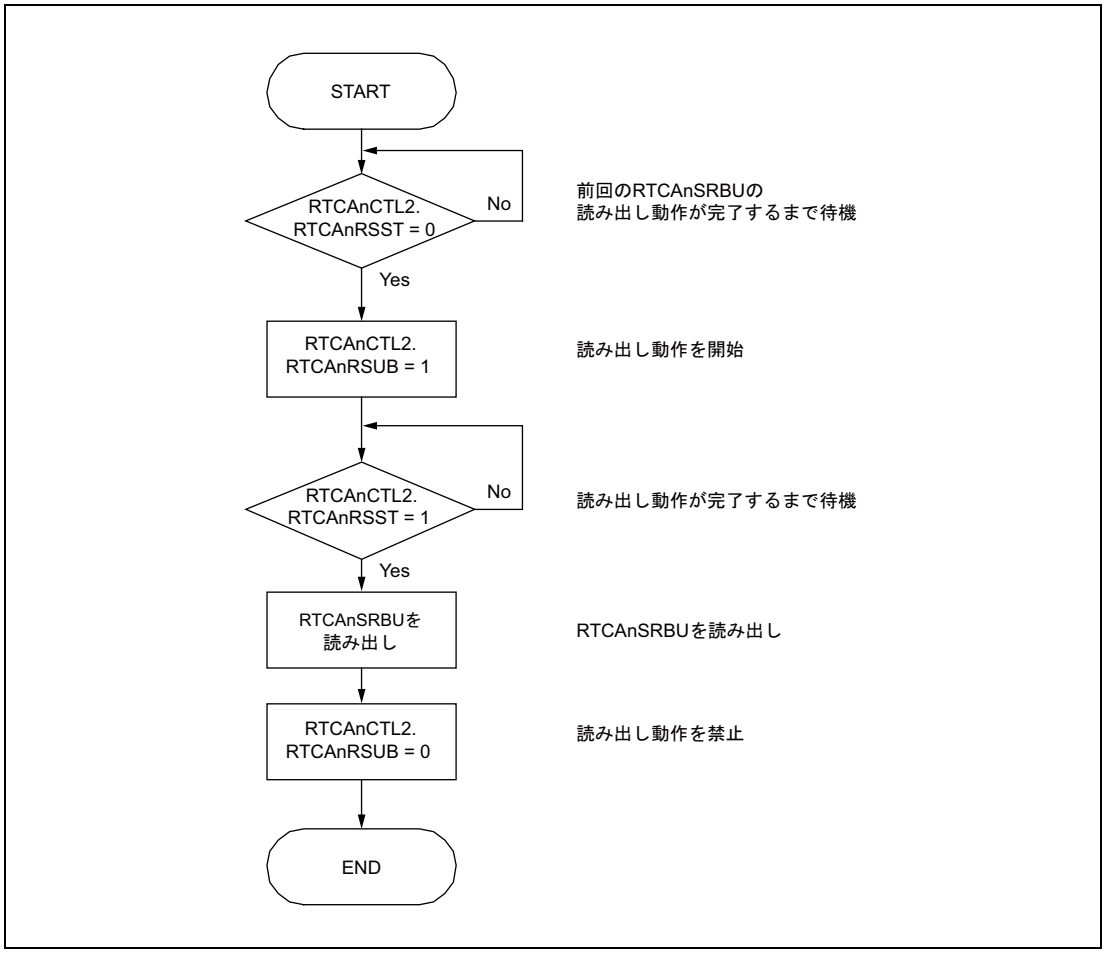


図 27.9　RTCAnSRBU レジスタの読み出し

27.5.5 RTCAnSUBU への書き込み

RTCAnSUBU はサブカウンタのクロック誤差補正レジスタです。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnSUBU への書き込みを行う場合は、次のフローチャートに従って実行してください。

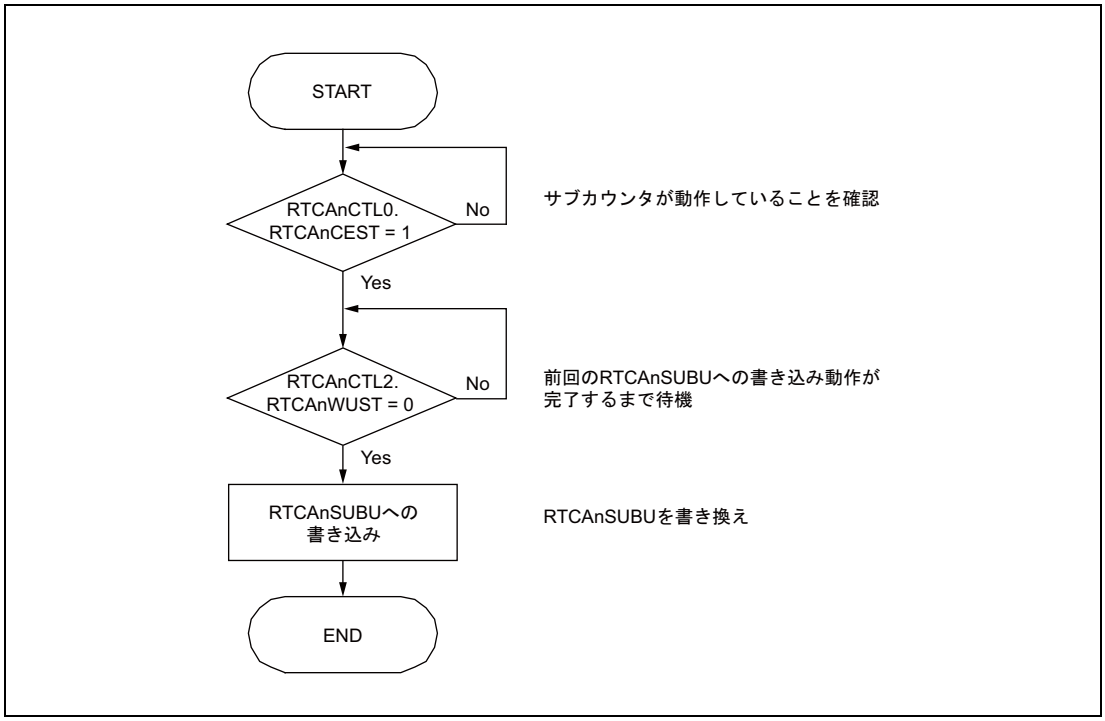


図 27.10　RTCAnSUBU レジスタへの書き込み

備　考

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnSUBU への書き込みを行うと、状態フラグ RTCAnCTL2.RTCAnWUST がセットされます。この状態フラグは、RTCAnSUBU への書き込み動作が完了するとクリアされます。これは次回の RTCAnSUBC のオーバフローと同期します。

RTCAnCTL2.RTCAnWUST は最大 1 秒間セットされます。そのためポーリング（このフローの最初で RTCAnCTL2.RTCAnWUST = 1 を確認）する際は、ご注意ください。

27.5.6 RTCAnSCMP への書き込み

RTCAnSCMP はサブカウンタコンペアレジスタです。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnSCMP への書き込みを行う場合は、次のフローチャートに従って実行してください。

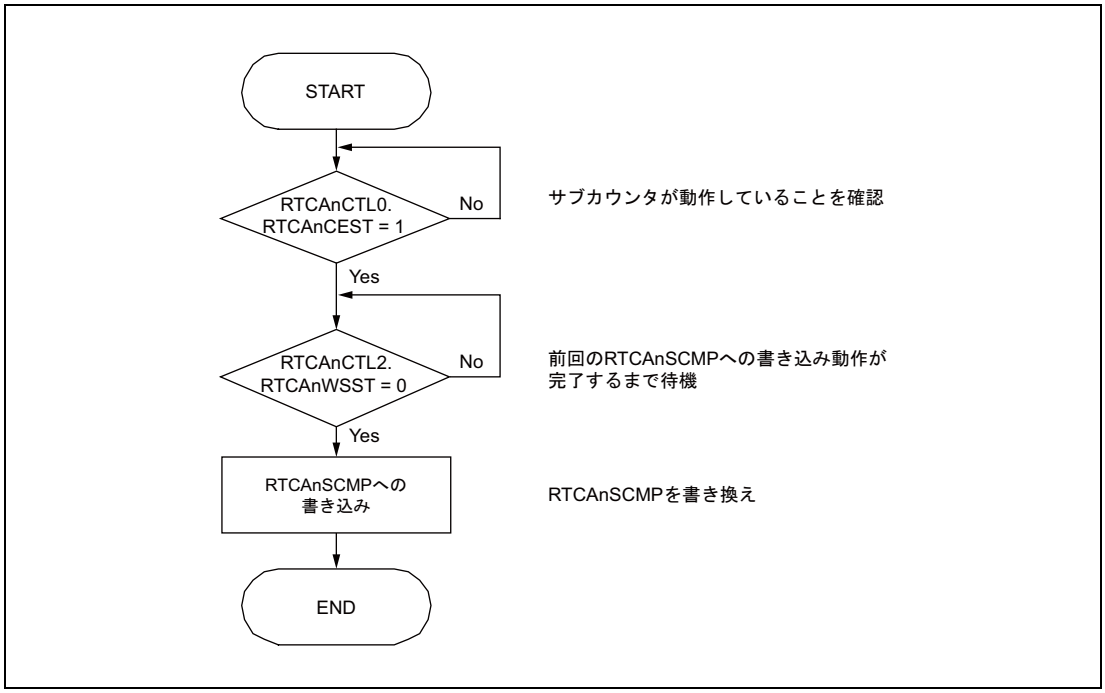


図 27.11　RTCAnSCMP レジスタへの書き込み

備　考

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE = 1）に RTCAnSCMP への書き込みを行うと、状態フラグ RTCAnCTL2.RTCAnWSST がセットされます。この状態フラグは、RTCAnSCMP への書き込み動作が完了するとクリアされます。これは次回の RTCAnSUBC のオーバフローと同期します。

RTCAnCTL2.RTCAnWSST は最大 1 秒間セットされます。そのためポーリング（このフローの最初で RTCAnCTL2.RTCAnWSST = 1 を確認）する際は、ご注意ください。

27.6 タイミング図

27.6.1 カウンタスタートのタイミング

バッファレジスタに時間を設定してからカウンタがスタートするまでのタイミングを次の図に示します。

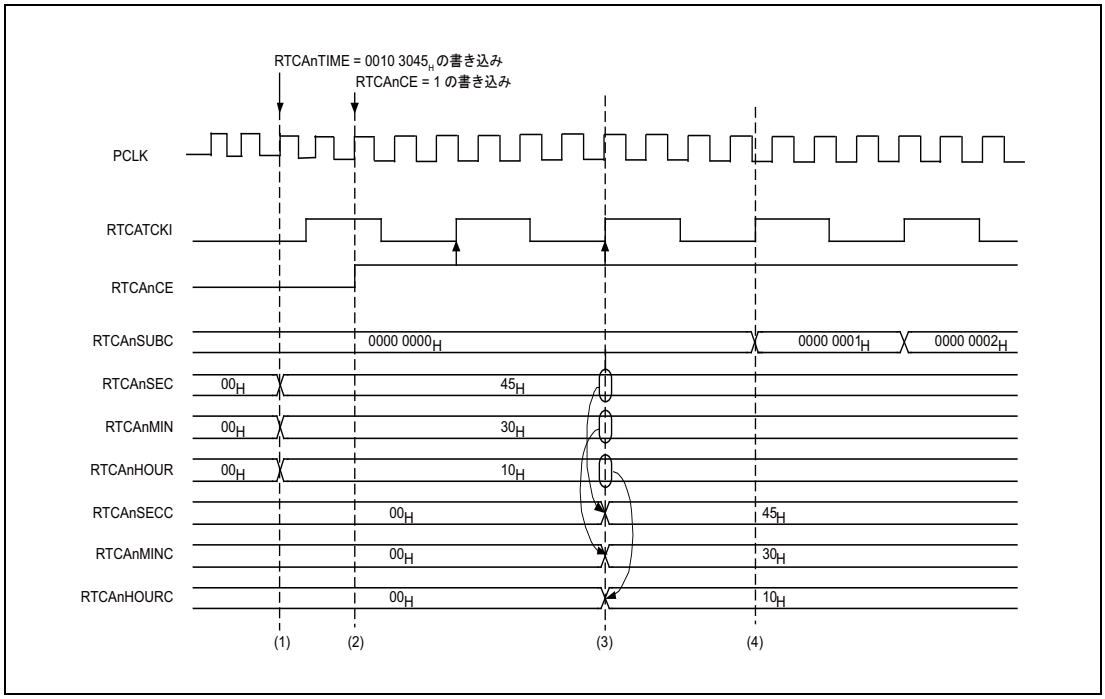


図 27.12 カウンタスタートタイミング

上記のタイミング図における各動作について説明します。

(1) RTCAnTIME = 0010 3045_H を設定することで、時間カウントバッファの初期設定値が 10:30:45 に設定される。
カウントバッファレジスタ RTCAnSEC、RTCAnMIN、RTCAnHOUR にも自動的に書き込まれる。

(2) RTCAnCTL0.RTCAnCE = 1 によって、サブカウンタが動作を開始する。

(3) RTCATCKI の 2 回目の立ち上がりエッジで、各バッファレジスタの値が対応するカウントレジスタにロードされる。

(4) RTCATCKI の次の立ち上がりエッジで、サブカウンタのカウントアップを開始する。

27.6.2 カウンタ動作許可時のクロックカウンタ更新のタイミング

バッファレジスタに時間を設定してからカウンタが動作を再開するまでのタイミングを次の図に示します。

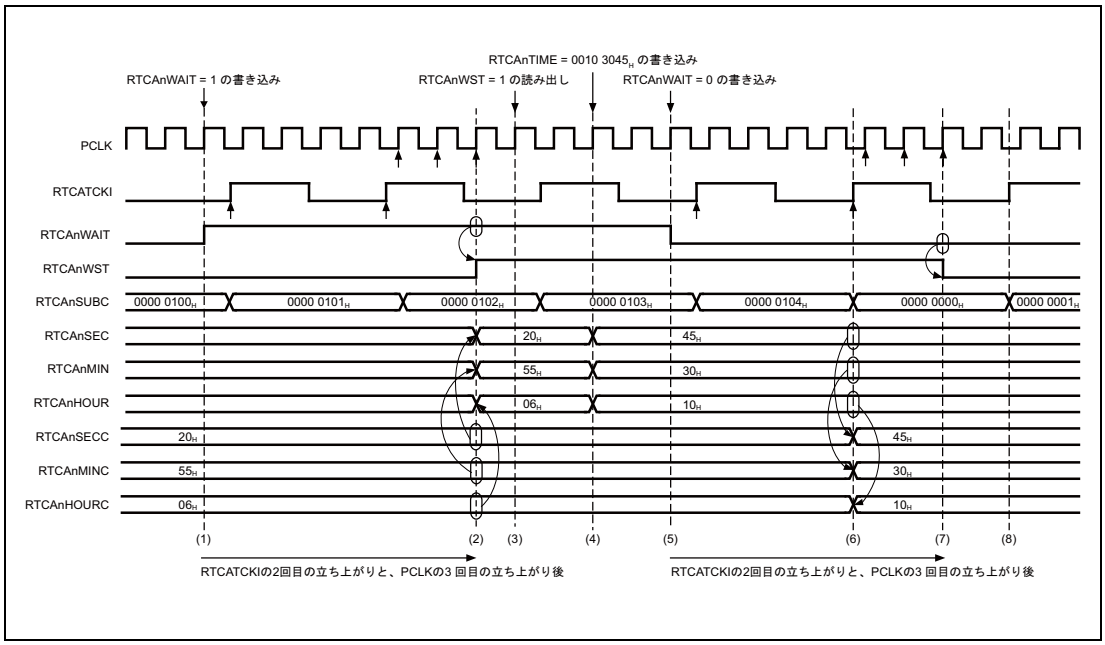


図 27.13 クロックカウンタ更新タイミング

上記のタイミング図における各動作について説明します。

(1) クロックカウンタの停止をトリガ（RTCAnCTL2.RTCAnWAIT = 1）。

(2) RTCATCKI の 2 回目の立ち上がりエッジと PCLK の 3 回目の立ち上がりエッジ後に、RTCAnCTL2.RTCAnWST = 1 が設定され、クロックカウンタが停止する。
サブカウンタはカウント動作を継続する。

(3) RTCAnCTL2.RTCAnWST = 1 が読み出し可能状態になる。

(4) RTCAnTIME = 0010 3045_H を設定することで、時間カウントバッファの初期設定値が 10:30:45 に設定される。
カウントバッファレジスタ RTCAnSEC, RTCAnMIN, RTCAnHOUR にも自動的に書き込まれる。

(5) クロックカウンタのリスタートをトリガ（RTCAnCTL2.RTCAnWAIT = 0）。

(6) RTCATCKI の 2 回目の立ち上がりエッジで、各バッファレジスタの値が対応するカウントレジスタにロードされる。RTCAnSECC への書き込みが行われ、RTCAnSUBC がクリアされる。

(7) PCLK の 3 回目の立ち上がりエッジで、RTCAnCTL2.RTCAnWST = 0 が設定される。

(8) クロックカウンタが動作を再開する。

27.6.3 カウンタ動作許可時のサブカウンタリードバッファ読み出しのタイミング

サブカウンタリードバッファ RTCAnSRBU を読み出すタイミングを次の図に示します。

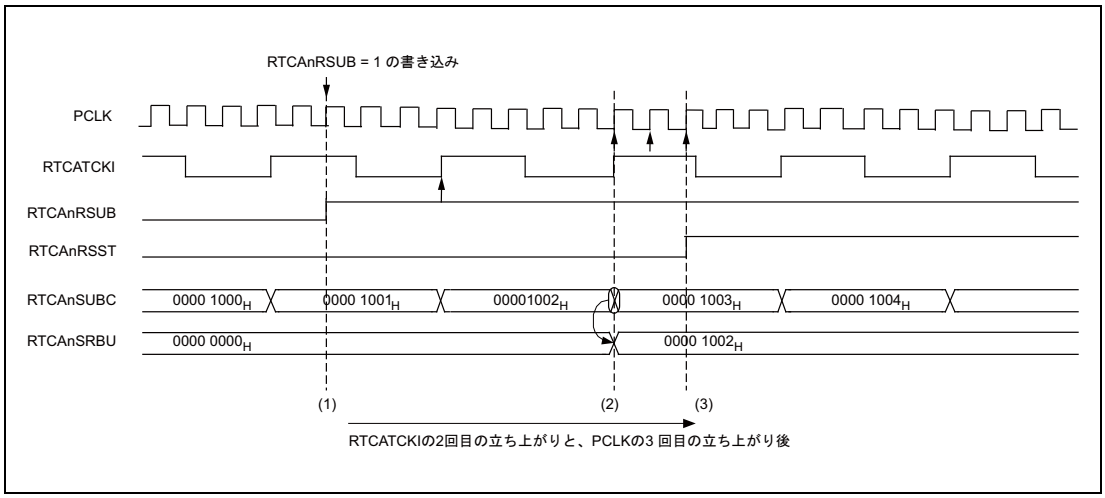


図 27.14 サブカウンタリードバッファレジスタ読み出しタイミング

上記のタイミング図における各動作について説明します。

(1) RTCAnRSUB = 1 を設定することで、サブカウンタ値を RTCAnSRBU へロードするトリガとなる。

(2) RTCATCKI の 2 回目の立ち上がりエッジで、RTCAnSUBC の値が RTCAnSRBU にロードされる。

(3) PCLK の 3 回目の立ち上がりエッジで、RTCAnCTL2.RTCAnRSST = 1 が設定され、RTCAnSRBU が読み出し可能状態になる。

第 28 章　エンコーダタイマ（ENCA）

本章では、エンコーダタイマ（ENCA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、ENCA の機能、レジスタについて説明します。

28.1　RH850/F1M ENCA の特長

28.1.1　ユニット数とチャネル数

本製品は以下のユニット数の ENCA を搭載しています。

ENCA　1 ユニットは 1 チャネルの ENCA を持っています。本章のユニット数とチャネル数は同義です

表 28.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	1		
名称	ENCAn (n = 0)		

表 28.2　添字

添字	説明
n	本章では、エンコーダタイマの各ユニットを「n」（n = 0）で識別します。たとえば、ENCAn 制御レジスタは ENCAnCTL と記述します。

28.1.2　レジスタベースアドレス

ENCAn のベースアドレスを以下の表に示します。

ENCAn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 28.3　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ENCA0_base>	$FFE8\ 0000_H$

28.1.3　クロック供給

ENCAn のクロック供給を以下の表に示します。

表 28.4　クロック供給

ユニット名	ユニットクロック名	供給クロック名
ENCA0	PCLK	CKSCLK_IPERI1
	レジスタアクセスクロック	CKSCLK_IPERI1

28.1.4 割り込み要求

ENCAn の割り込み要求を以下の表に示します。

表 28.5　割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
ENCA0			
ENCATIOV	オーバフロー割り込み	85	—
ENCATIUD	アンダフロー割り込み	86	—
ENCATINT0	キャプチャ／コンペアー致割り込み 0	87	—
ENCATINT1	キャプチャ／コンペアー致割り込み 1	88	—
ENCATIEC	エンコーダクリア割り込み	89	—

28.1.5 リセット要因

ENCAn のリセット要因を以下に示します。ENCAn は以下のリセット要因で初期化されます。

表 28.6　リセット要因

ユニット名	リセット要因
ENCA0	すべてのリセット要因（ISORES）

28.1.6 外部入出力信号

ENCAn の外部入出力信号を以下の表に示します。

表 28.7　外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
ENCA0		
ENCATTIN0	ENCAn キャプチャ・トリガ入力 0 注 1	ENCA0TIN0
ENCATTIN1	ENCAn キャプチャ・トリガ入力 1 注 1	ENCA0TIN1
ENCAnE0	ENCAn エンコーダ入力 0 注 1	ENCA0E0
ENCAnE1	ENCAn エンコーダ入力 1 注 1	ENCA0E1
ENCAnEC	ENCAn エンコーダクリア入力注 1	ENCA0EC

注 1.　各入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「**2.12　ノイズフィルタ & エッジレベル検出回路**」を参照してください。

28.1.7 内部入出力信号

ENCA-PIC 間で接続する入出力信号を**表 28.8** に示します。

表 28.8　内部入出力信号

ユニット信号名	説明	接続
ENCATSST	同時スタートトリガ	PIC
ENCATTIN1	ENCAn キャプチャトリガ入力 1	PIC

28.2　概要

28.2.1　機能概要

- エンコーダ入力信号からカウンタ制御信号を生成し、PCLK と同期してカウント動作を実行
- 外部トリガ信号を利用してカウンタ値をキャプチャするキャプチャ機能
- カウンタ値とのコンペア一致判定を行うコンペア機能
- キャプチャとコンペア用に別々に設定できる 2 つのキャプチャ／コンペアレジスタ
- コンペア動作中にコンペア一致と判定された結果、生成される割り込み要求信号出力をマスクするための割り込みマスク機能
- アンダフローが発生したときにキャプチャ／コンペアレジスタの値をカウンタにロードする機能
- タイマカウンタのクリア条件にエンコーダ入力信号を利用可能
- タイマカウンタクリア条件を満たすエンコーダ入力信号の判定基準としてエッジまたはレベルを選択可能
- カウンタのオーバフローとアンダフローの検出機能およびエラーフラグとエラー発生割り込みの出力機能
- 5 つの割り込み：キャプチャ／コンペア割り込み（2）、カウンタクリア割り込み（1）、オーバフロー割り込み（1）、アンダフロー割り込み（1）

28.2.2 ブロック図

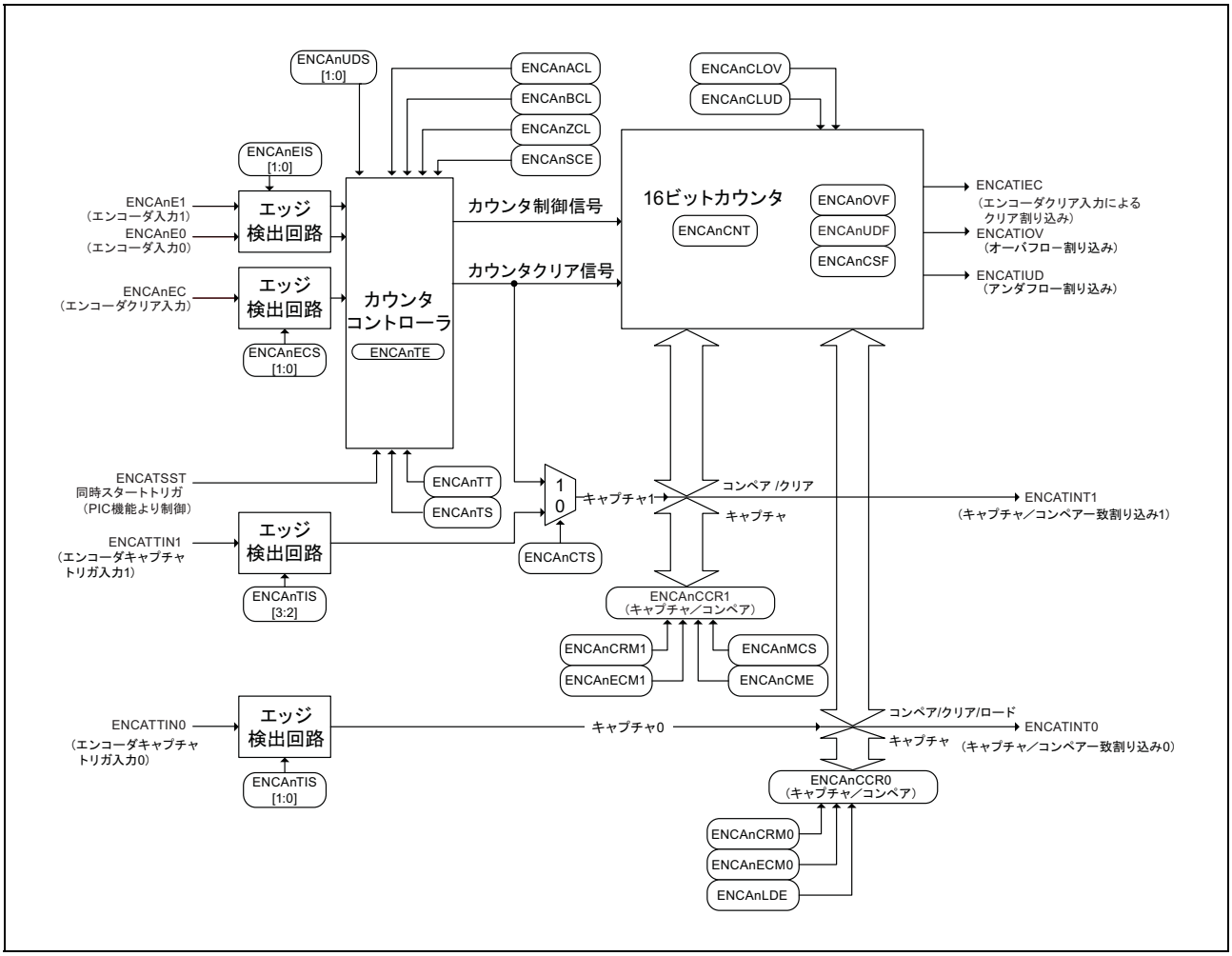


図 28.1 ENCA のブロック図

28.3　レジスタ

28.3.1　レジスター覧

ENCA のレジスター覧を以下の表に示します。

<ENCAn_base> は「**28.1.2　レジスタベースアドレス**」を参照してください。

表 28.9　レジスター覧

モジュール名	レジスタ名	略号	アドレス
ENCAn	ENCAn キャプチャ／コンペアレジスタ 0	ENCAnCCR0	<ENCAn_base>
ENCAn	ENCAn キャプチャ／コンペアレジスタ 1	ENCAnCCR1	<ENCAn_base> + 04_H
ENCAn	ENCAn カウンタレジスタ	ENCAnCNT	<ENCAn_base> + 08_H
ENCAn	ENCAn ステータスフラグレジスタ	ENCAnFLG	<ENCAn_base> + $0C_H$
ENCAn	ENCAn ステータスフラグクリアレジスタ	ENCAnFGC	<ENCAn_base> + 10_H
ENCAn	ENCAn タイマイネーブルステータスレジスタ	ENCAnTE	<ENCAn_base> + 14_H
ENCAn	ENCAn タイマスタートトリガレジスタ	ENCAnTS	<ENCAn_base> + 18_H
ENCAn	ENCAn タイマストップトリガレジスタ	ENCAnTT	<ENCAn_base> + $1C_H$
ENCAn	ENCAn I/O 制御レジスタ 0	ENCAnIOC0	<ENCAn_base> + 20_H
ENCAn	ENCAn 制御レジスタ	ENCAnCTL	<ENCAn_base> + 40_H
ENCAn	ENCAn I/O 制御レジスタ 1	ENCAnIOC1	<ENCAn_base> + 44_H
ENCAn	ENCAn エミュレーションレジスタ	ENCAnEMU	<ENCAn_base> + 48_H

28.3.2 ENCAnCTL — ENCAn 制御レジスタ

本レジスタは、エンコーダタイマのさまざまな動作の設定に使用されます。

アクセス 16 ビット単位でリード／ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCAn_base> + 40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCAnCME	ENCAnMCS	—	—	—	—	ENCAnCRM1	ENCAnCRM0	ENCAnCTS	—	—	ENCAnLDE	ENCAnECM1	ENCAnECM0	ENCAnUDS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 28.10 ENCAnCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ENCAnCME	エンコーダクリアマスクイネーブルビット このビットは、コンペア機能が使用されているときにコンペアー致割り込み検出のマスキングを有効または無効にするために使用されます。 0：ENCAnCCR1 レジスタのコンペアー致割り込み（ENCATINT1）マスク機能を無効にします。 1：ENCAnCCR1 レジスタのコンペアー致割り込み（ENCATINT1）マスク機能を有効にします。 このビットは ENCAnCRM1 = 0 のときにのみ有効になります。 このビットが「1」にセットされているときに ENCAnECM1 を「1」にセットすることは禁止されています。
14	ENCAnMCS	エンコーダマスククリア選択ビット このビットは、コンペア機能が使用されているときにコンペアー致割り込み検出 ENCATINT1 のマスキングをキャンセルするためのトリガの選択に使用されます。 このビットは ENCAnCRM1 = 0 のときにのみ有効になります。 0：ENCAnCCR1 レジスタへの書き込みが行われると、コンペアー致割り込み検出のマスキングをキャンセルします。 1：以下の 3 つの動作のいずれかが実行されたときにコンペアー致割り込み検出のマスキングをキャンセルします。 – エンコーダクリア入力によるタイマカウンタクリア動作 – ENCAnECM0 = 1 のときに ENCAnCNT と ENCAnCCR0 がコンペアー致したときのタイマカウンタクリア動作 – ENCAnLDE = 1 のときのアンダフローの検出による ENCAnCCR0 からタイマカウンタへのロード
13 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	ENCAnCRM1	ENCAnCCR1 レジスタモードビット 0：ENCAnCCR1 をコンペアレジスタとして使用します。 1：ENCAnCCR1 をキャプチャレジスタとして使用します。
8	ENCAnCRM0	ENCAnCCR0 レジスタモードビット 0：ENCAnCCR0 をコンペアレジスタとして使用します。 1：ENCAnCCR0 をキャプチャレジスタとして使用します。
7	ENCAnCTS	ENCAnCCR1 キャプチャトリガ選択ビット ENCAnCCR1 レジスタへのキャプチャ動作のトリガを選択するビットです。 このビットは ENCAnCRM1 = 1 のときにのみ有効になります。 0：キャプチャトリガ 1 信号の ENCATTIN1 を ENCAnCCR1 レジスタへのキャプチャトリガとして使用します。 1：ENCAnSCE で選択されるカウンタクリア信号を、ENCAnCCR1 レジスタへのキャプチャトリガとして使用します。
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 28.10 ENCAnCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	ENCAnLDE	ENCAn カウンタロードイネーブルビット このビットは、アンダフローが発生したときに設定値をカウンタにロードすることを許可または禁止するために使用されます。 このビットは ENCAnCRM0 = 0 のときにのみ有効になります。 ENCAnCRM0 = 1 のときは、このビットの値にかかわらず、アンダフローの発生によるカウンタへの ENCAnCCR0 レジスタの設定値のロードは行われません。 0：カウンタのアンダフローが発生したときに ENCAnCCR0 レジスタの設定値をカウンタにロードすることを禁止します。 1：カウンタのアンダフローが発生したときに ENCAnCCR0 レジスタの設定値をカウンタにロードすることを許可します。
3	ENCAnECM1	エンコーダクリアモードビット 1 このビットは、カウンタ値と ENCAnCCR1 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCAnCRM1 = 0 のときにのみ有効になります。 0：タイマカウンタ値と ENCAnCCR1 の設定値が一致したときにカウンタを 0000_H にクリアしません。 1：次のカウントがダウンカウントであれば、タイマカウンタ値と ENCAnCCR1 の設定値が一致したときにカウンタを 0000_H にクリアします。
2	ENCAnECM0	エンコーダクリアモードビット 0 このビットは、カウンタ値と ENCAnCCR0 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCAnCRM0 = 0 のときにのみ有効になります。 0：タイマカウンタ値と ENCAnCCR0 の設定値が一致したときにカウンタを 0000_H にクリアしません。 1：次のカウントがアップカウントであれば、タイマカウンタ値と ENCAnCCR0 の設定値が一致したときにカウンタを 0000_H にクリアします。
1、0	ENCAnUDS [1:0]	アップダウンカウント選択ビット 1 と 0 ENCAnE0 と ENCAnE1 を使用するカウンタアップ／ダウン制御ビットです。 00：ENCAnE0 の有効エッジを検出したときに以下のカウントを実行します – ENCAnE1 = H の場合はダウンカウント – ENCAnE1 = L の場合はアップカウント 01：ENCAnE0 の有効エッジを検出したときにアップカウントを実行します。ENCAnE1 の有効エッジを検出したときにダウンカウントを実行します。 10：ENCAnE0 の立ち上がりエッジでダウンカウントを実行します。ENCAnE0 の立ち下がりエッジでアップカウントを実行します。ただし、カウントは ENCAnE1 = L のときにのみ実行されます。 11：ENCAnE0 と ENCAnE1 の両方のエッジを検出します。検出されたエッジとレベル両方の組み合わせに基づいてカウント動作を決定 します。

28.3.3 ENCAnIOC0 — ENCAn I/O 制御レジスタ 0

本レジスタは、キャプチャトリガ 0 と 1（ENCATTIN0 と ENCATTIN1）の入力エッジの選択に使用されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <ENCAn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ENCAnTIS[3:2]		ENCAnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 28.11 ENCAnIOC0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3、2	ENCAnTIS[3:2]	キャプチャトリガ 1 の入力エッジ選択ビットです。 これらのビットは ENCAnCTL レジスタの ENCAnCRM1 = 1 かつ ENCAnCTS = 0 である場合にのみ有効になります。 ENCAnCRM1 と ENCAnCTS がそれ以外の値に設定されているときは無効です。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。
1、0	ENCAnTIS[1:0]	キャプチャトリガ 0 の入力エッジ選択ビットです。 これらのビットは ENCAnCTL.ENCAnCRM0 = 1 の場合にのみ有効になります。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。

28.3.4 ENCAnIOC1 — ENCAn I/O 制御レジスタ 1

このレジスタは、エンコーダ入力に対するクリア条件の設定とエッジの選択に使用されます。

アクセス 8 ビット単位でリード／ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCAn_base> + 44_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ENCAnSCE	ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnECS[1:0]		ENCAnEIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.12 ENCAnIOC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	ENCAnSCE	エンコーダ特殊クリアイネーブルビット これはエンコーダ特殊クリアイネーブルビットです。 このビットを 1 にセットする場合は、ENCAnUDS1 と ENCAnUDS0 を 10_B または 11_B に設定してください。ENCAnUDS1 と ENCAnUDS0 が 00_B または 01_B に設定された状態でこのビットを 1 にセットした場合の動作は保証されません。 0：（ENCAnECS1 と ENCAnECS0 で設定された）ENCAnEC の有効エッジを検出すると、カウンタをクリアします。 1：（ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットで設定された）ENCAnE0、ENCAnE1、ENCAnEC の入力レベル条件を検出すると、カウンタをクリアします。
6	ENCAnZCL	入力 Z クリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダクリア入力（ENCAnEC）のクリア条件の設定に使用されます。 このビットは ENCAnSCE = 1 のときにのみ有効であり、ENCAnSCE = 0 のときは無効です。 0：クリア条件：ロウレベル 1：クリア条件：ハイレベル
5	ENCAnBCL	入力 B クリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力 1（ENCAnE1）のクリア条件の設定に使用されます。 このビットは ENCAnSCE = 1 のときにのみ有効であり、ENCAnSCE = 0 のときは無効です。 0：クリア条件：ロウレベル 1：クリア条件：ハイレベル
4	ENCAnACL	入力 A クリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力 0（ENCAnE0）のクリア条件の設定に使用されます。 このビットは ENCAnSCE = 1 のときにのみ有効であり、ENCAnSCE = 0 のときは無効です。 0：クリア条件：ロウレベル 1：クリア条件：ハイレベル
3、2	ENCAnECS [1:0]	エンコーダクリア入力エッジ選択ビット 1 と 0 これらはエンコーダクリア入力エッジ選択ビットです。 これらのビットは ENCAnSCE = 0 のときにのみ有効であり、ENCAnSCE = 1 のときは無効です。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。

表 28.12 ENCAnIOC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1、0	ENCAnEIS [1:0]	エンコーダエッジ入力選択ビット 1 と 0 これらはエンコーダ入力エッジ選択ビットです。 これらのビットは、ENCAnUDS1 と ENCAnUDS0 が 00_B または 01_B のときにのみ有効であり、ENCAnUDS1 と ENCAnUDS0 が 10_B または 11_B のときは無効です。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。

28.3.5 ENCAnFLG — ENCAn ステータスフラグレジスタ

本レジスタには ENCAn のタイマカウンタのステータスフラグが格納されます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ENCAn_base> + $0C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENCAnCSF	ENCAnUDF	ENCAnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 28.13 ENCAnFLG レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	ENCAnCSF	カウンタステータスフラグ このビットには現在のタイマカウンタの動作が反映されます。 0：タイマカウンタがアップカウント状態にあります。 1：タイマカウンタがダウンカウント状態にあります。
1	ENCAnUDF	アンダフローフラグ このビットには、タイマカウンタの動作中にアンダフローが発生したかどうかが反映されます。このビットはカウント動作の開始時にクリアされます。 0：次のいずれかの場合に、このフラグは「0」にクリアされます。 – ENCAnFGC レジスタの ENCAnCLUD に「1」が書き込まれる – ENCAnTE = 0 のときに ENCAnTS ビットを「1」にセットすること、または同時スタートトリガ入力（ENCATSST 信号）を " ハイ " にすることによってフラグが「0」にクリアされます。 1：エンコーダタイマカウント動作中にアンダフローが発生すると、このフラグが「1」にセットされます。
0	ENCAnOVF	オーバフローフラグ このビットには、タイマカウンタの動作中にオーバフローが発生したかどうかが反映されます。 このビットはカウント動作の開始時にクリアされます。 0：次のいずれかの場合に、このフラグは「0」にクリアされます。 – ENCAnFGC レジスタの ENCAnCLOV に「1」が書き込まれる – ENCAnTE = 0 のときに ENCAnTS ビットを「1」にセットすること、または同時スタートトリガ入力（ENCATSST 信号）を " ハイ " にすることによってフラグが「0」にクリアされます。 1：エンコーダタイマカウント動作中にオーバフローが発生すると、このフラグが「1」にセットされます。

28.3.6 ENCAnFGC — ENCAn ステータスフラグクリアレジスタ

本レジスタは ENCAnFLG のタイマカウンタステータスフラグをクリアするために使用されます。

アクセス 8 ビット単位でライトのみ可能です。
本レジスタは、読み出すと常に 0 を返します。

アドレス <ENCAn_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ENCAnCLUD	ENCAnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 28.14 ENCAnFGC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	ENCAnCLUD	アンダフローフラグクリア このビットはアンダフローフラグをクリアします。 0：書き込みは無視されます。 1：ENCAnFLG レジスタの ENCAnUDF をクリアします（アンダフロー検出のクリア）。
0	ENCAnCLOV	オーバフローフラグクリア このビットはオーバフローフラグをクリアします。 0：書き込みは無視されます。 1：ENCAnFLG レジスタの ENCAnOVF をクリアします（オーバフロー検出のクリア）。

28.3.7 ENCAnCCR0 — ENCAn キャプチャ／コンペアレジスタ 0

このレジスタは 16 ビットのキャプチャ／コンペアレジスタ 0 です。

アクセス 16 ビット単位でリード／ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード／ライト可能です。

アドレス <ENCAn_base> + 00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCAnCCR0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.15 ENCAnCCR0 レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	ENCAnCCR0 [15:0]	キャプチャ／コンペアレジスタ 0 アンダフローが発生した場合は、ENCAnCTL.ENCAnLDE の設定に従って、本レジスタの設定値をカウンタにロードすることができます。詳細については、レジスタ ENCAnCTL の ENCAnLDE ビットの説明を参照してください。 • ENCAnCTL.ENCAnCRM0 = 0 の場合: ENCAnCCR0 はコンペアレジスタになります。タイマカウンタ値との比較の対象になる値を設定します。 • ENCAnCTL.ENCAnCRM0 = 1 の場合: ENCAnCCR0 はキャプチャレジスタになります。 キャプチャされたタイマカウンタ値が格納されます。

28.3.8 ENCAnCCR1 — ENCAn キャプチャ／コンペアレジスタ 1

このレジスタは 16 ビットのキャプチャ／コンペアレジスタ 1 です。

アクセス 16 ビット単位でリード／ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード／ライト可能です。

アドレス <ENCAn_base> + 04_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCAnCCR1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.16 ENCAnCCR1 レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	ENCAnCCR1 [15:0]	キャプチャ／コンペアレジスタ 1 キャプチャ動作中、本レジスタへのキャプチャトリガは、ENCAnCTL.ENCAnCTS の設定によって異なります。詳細については、ENCA 制御レジスタ ENCAnCTL の ENCAnCTS ビットの説明を参照してください。 • ENCAnCTL.ENCAnCRM1 = 0 の場合：ENCAnCCR1 はコンペアレジスタになります。 タイマカウンタ値との比較の対象になる値を設定します。 • ENCAnCTL.ENCAnCRM1 = 1 の場合：ENCAnCCR1 はキャプチャレジスタになります。 キャプチャされたタイマカウンタ値が格納されます。

28.3.9 ENCAnCNT — ENCAn カウンタレジスタ

本レジスタは 16 ビットのタイマカウンタレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。
本レジスタへの書き込みは、動作の停止中にのみ行うことができます。

アドレス <ENCAn_base> + 08_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCAnCNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.17 ENCAnCNT レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	ENCAnCNT [15:0]	カウンタレジスタ • ENCAnTE.ENCAnTE の状態：0（初期設定）：カウント停止 任意の値をタイマカウンタに設定できます。 • ENCAnTE.ENCAnTE の状態：0 → 1（動作開始）：カウント動作開始 設定された任意の値からのアップ／ダウンカウント動作を開始します。 • ENCAnTE.ENCAnTE の状態：1（動作中）：カウント実行中 アップ／ダウンカウント動作を実行中です。 • ENCAnTE.ENCAnTE の状態：1 → 0（停止）：カウント停止 動作停止直前のカウンタ値が保持され、カウント動作が停止します。

28.3.10 ENCAnTE — ENCAn タイマイネーブルステータスレジスタ

本レジスタは ENCAn の動作状態を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ENCAn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCAnTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 28.18 ENCAnTE レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ENCAnTE	タイマステータスイネーブルビット ENCAn の動作可能／停止状態を示すステータスビットです。 このビットは、ENCAnTT.ENCAnTT に「1」が書き込まれると「0」にクリアされます。 また、このビットは、ENCAnTS.ENCAnTS に「1」が書き込まれるか、ENCATSST 信号にハイレベルが入力されると「1」にセットされます。 0：動作停止状態 1：動作可能状態

28.3.11　ENCAnTS — ENCAn タイマスタートトリガレジスタ

本レジスタは、ENCAn を動作可能状態に設定するトリガビットです。

アクセス　8 ビット単位でライトのみ可能です。
常に 00_H としてリードされます。本レジスタへの書き込みは ENCAnTE.ENCAnTE が 0 のときにのみ行うことができます。

アドレス　<ENCAn_base> + 18_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCAnTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 28.19　ENCAnTS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ENCAnTS	タイマスタートトリガビット ENCAn を動作可能状態に設定するトリガビットです。 0：書き込みは無視されます。 1：ENCAnTE.ENCAnTE = 1 に設定することで、ENCAn を動作可能状態に設定します。

28.3.12 ENCAnTT — ENCAn タイマストップトリガレジスタ

本レジスタは、ENCAn を動作停止状態に設定するトリガビットです。

アクセス 8 ビット単位でライトのみ可能です。
常に 00_H としてリードされます。

アドレス <ENCAn_base> + $1C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCAnTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 28.20 ENCAnTT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ENCAnTT	タイマストップトリガビット ENCAn を動作停止状態に設定するトリガビットです。 0：書き込みは無視されます。 1：ENCAnTE.ENCAnTE を 0 にクリアし、ENCAn をカウント動作停止状態に設定します。

28.3.13 ENCAnEMU — ENCAn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8 ビット単位でリード／ライト可能です。
カウンタ停止中（ENCAnTE.ENCAnTE = 0）、かつ（EPC.SVSTOP = 0）のときにライト動作を行ってください。

アドレス <ENCAn_base> + 48_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ENCAnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 28.21 ENCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	ENCAnSVSDIS	• EPC.SVSTOP ビット = 0 のとき 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 • EPC.SVSTOP ビット = 1 のとき 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

28.4 動作

ENCAn は、エンコーダ入力を利用してカウンタアップ／ダウン制御とクリア制御を行うことでタイマカウンタを動作させます。ENCAnCCR0 レジスタと ENCAnCCR1 レジスタは、専用のコンペアレジスタとしても専用のキャプチャレジスタとしても使用することができます。

28.4.1 タイマカウンタの動作

以下で ENCAn のタイマカウンタの動作について説明します。

以下の図では段階ごとに動作を示しています。個々の動作の詳しい説明については、図中の番号に対応する番号を参照してください。

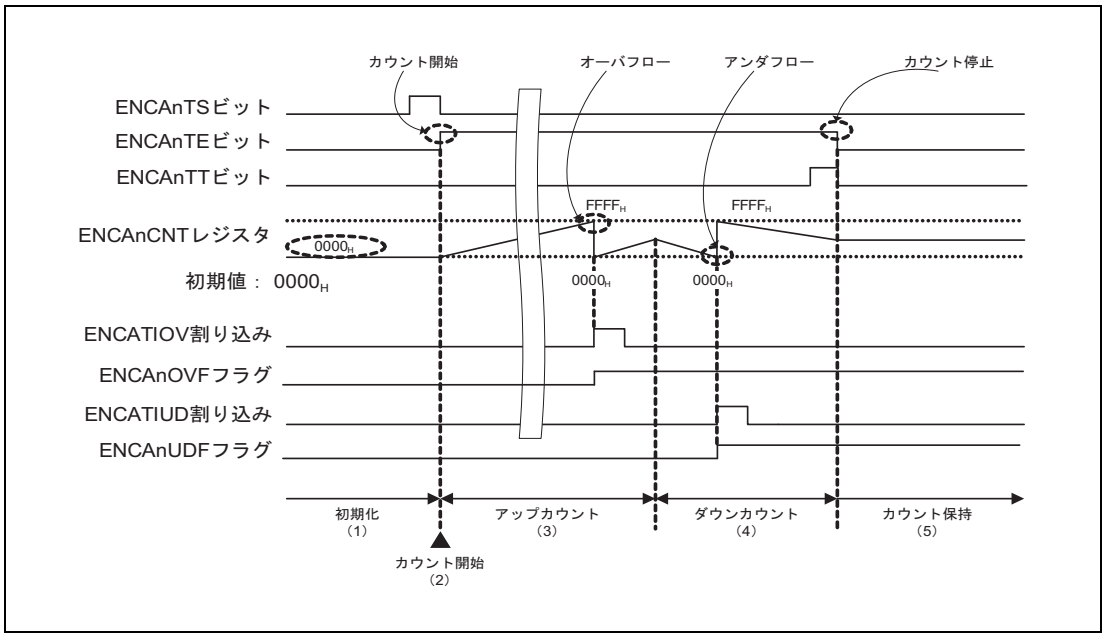


図 28.2　タイマカウンタの初期設定値設定／開始／停止

(1) タイマカウンタの初期値設定

カウンタ動作停止状態（ENCAnTE = 0）のときに ENCAn カウンタレジスタ（ENCAnCNT）の初期値を設定することができます。

(2) タイマカウンタの起動

タイマスタートトリガビット（ENCAnTS）に「1」を書き込むことによってタイマステータスイネーブルビット（ENCAnTE）が「1」にセットされ、カウント動作許可状態となり、エンコーダ入力の有効エッジが検出されるとカウント動作が実行されます。

(3) オーバフロー動作

カウンタ値が $FFFF_H$ のときにアップカウントが実行されると、オーバフローが発生します。カウンタ値が $FFFF_H$ から 0000_H になると、オーバフロー割り込み（ENCATIOV）が発生し、オーバフローフラグ（ENCAnOVF）が「1」にセットされます。オーバフローフラグクリアビット（ENCAnCLOV）が「1」にセットされると、オーバフローフラグ（ENCAnOVF）が「0」にクリアされます。動作の詳細については、**「28.6.1　オーバフローの発生とオーバフローフラグクリア操作」**を参照してください。

(4) アンダフローの動作

カウンタ値が 0000_H のときにダウンカウントが実行されると、アンダフローが発生します。カウンタ値が 0000_H から $FFFF_H$ になると、アンダフロー割り込み（ENCATIUD）が発生し、アンダフローフラグ（ENCAnUDF）が「1」にセットされます。アンダフローフラグクリアビット（ENCAnCLUD）が「1」にセットされると、アンダフローフラグ（ENCAnUDF）が「0」にクリアされます。動作の詳細については、**「28.6.2　アンダフローの発生とアンダフローフラグクリア操作」**を参照してください。

(5) タイマカウンタの停止

タイマストップトリガビット（ENCAnTT）に「1」を書き込むことによって、タイマステータスイネーブルビット（ENCAnTE）が「0」にクリアされ、カウント動作が停止します。その時点で、タイマカウンタは 0000_H にリセットされず、カウント動作が停止する直前の値を保持します。

28.4.2 タイマカウンタのアップ／ダウン制御

アップ／ダウン制御は、ENCAnUDS1 と ENCAnUDS0 の設定に従ってエンコーダ入力（ENCAnE0, ENCAnE1）の位相を判定することによって行われます。

28.4.2.1 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 00_B の場合

表 28.22 ENCAnUDS1, ENCAnUDS0 ビット = 00_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
0	0	立ち上がりエッジ	ハイレベル	ダウン
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ロウレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		

ENCAnE0 の有効エッジは、ENCAnEIS1 と ENCAnEIS0 を設定することによって指定します。

カウント動作は ENCAnE0 と ENCAnE1 端子の有効エッジとレベルが一致するとアップ／ダウンカウントを行います。

以下のタイミング図は、ENCAnUDS1, ENCAnUDS0 ビット = 00_B のときのカウント動作を示しています。

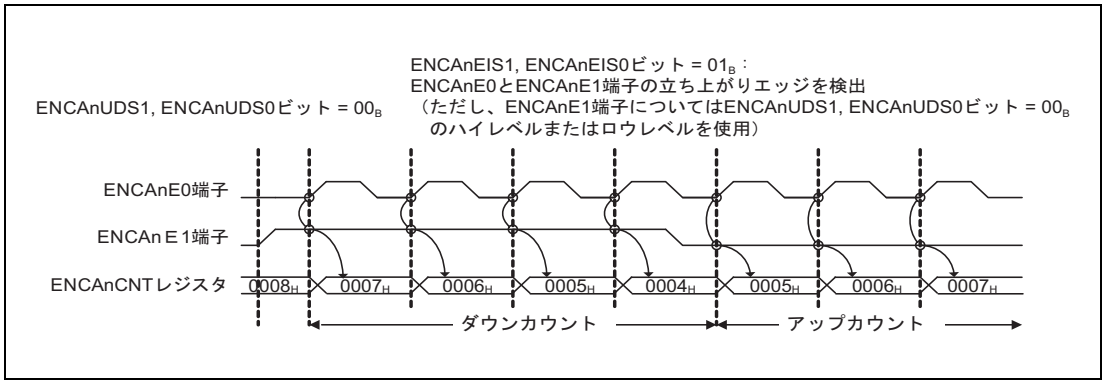


図 28.3 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 00_B のときのカウント動作

28.4.2.2 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 01_B の場合

表 28.23 ENCAnUDS1, ENCAnUDS0 ビット = 01_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
0	1	ロウレベル	立ち上がりエッジ	ダウン
			立ち下がりエッジ	
			両方のエッジ	
		ハイレベル	立ち上がりエッジ	
			立ち下がりエッジ	
			両方のエッジ	
		立ち上がりエッジ	ロウレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ハイレベル	
		立ち下がりエッジ		
		両方のエッジ		
		同時入力		保持

ENCAnE0 と ENCAnE1 の有効エッジは、ENCAnEIS1 と ENCAnEIS0 を設定することによって指定します。

カウント動作は、ENCAnE0, ENCAnE1 端子の有効エッジとレベルが一致するとアップ／ダウンカウントを行います。また、有効エッジが重なるとカウントを保持します。

以下のタイミング図は、ENCAnUDS1, ENCAnUDS0 ビット = 01_B のときのカウント動作を示しています。

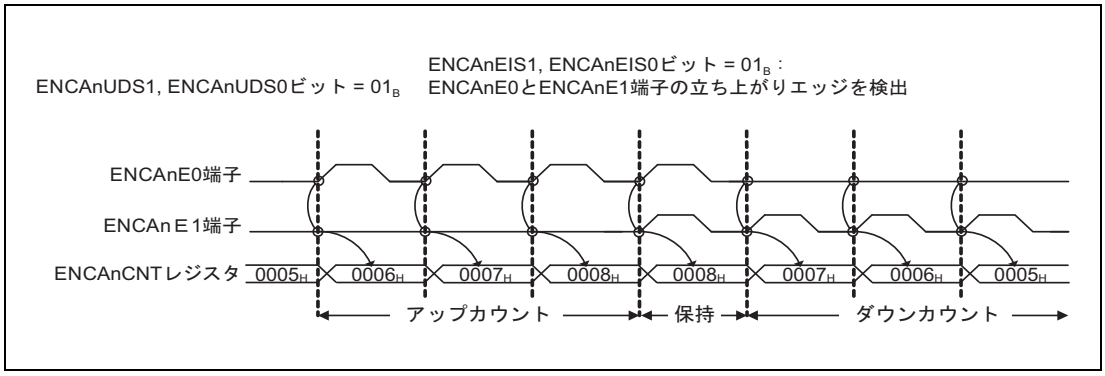


図 28.4 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 01_B のときのカウント動作

28.4.2.3 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 10_B の場合

表 28.24 ENCAnUDS1, ENCAnUDS0 ビット = 10_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
1	0	立ち上がりエッジ	ロウレベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウレベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウレベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイレベル	
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ハイレベル	

ENCAnE0 と ENCAnE1 の有効エッジの指定（ENCAnEIS1 と ENCAnEIS0 の設定）は無効です。

以下のタイミング図は、ENCAnUDS1, ENCAnUDS0 ビット = 10_B のときのカウント動作を示しています。

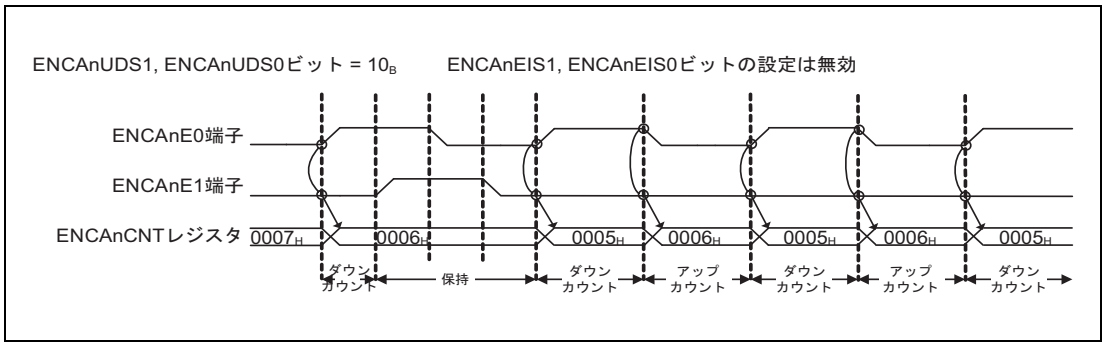


図 28.5 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 10_B のときのカウント動作

28.4.2.4 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 11_B の場合

表 28.25 ENCAnUDS1, ENCAnUDS0 ビット = 11_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
1	1	ロウレベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウレベル	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイレベル	
		立ち上がりエッジ	ハイレベル	アップ
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	
		ロウレベル	立ち上がりエッジ	
		同時入力		保持

ENCAnE0 と ENCAnE1 の有効エッジの指定（ENCAnEIS1 と ENCAnEIS0 の設定）は無効です。

ENCAnE0 と ENCAnE1 の有効エッジが重なるとカウンタ値が保持されます。

以下のタイミング図は、ENCAnUDS1, ENCAnUDS0 ビット = 11_B のときのカウント動作を示しています。

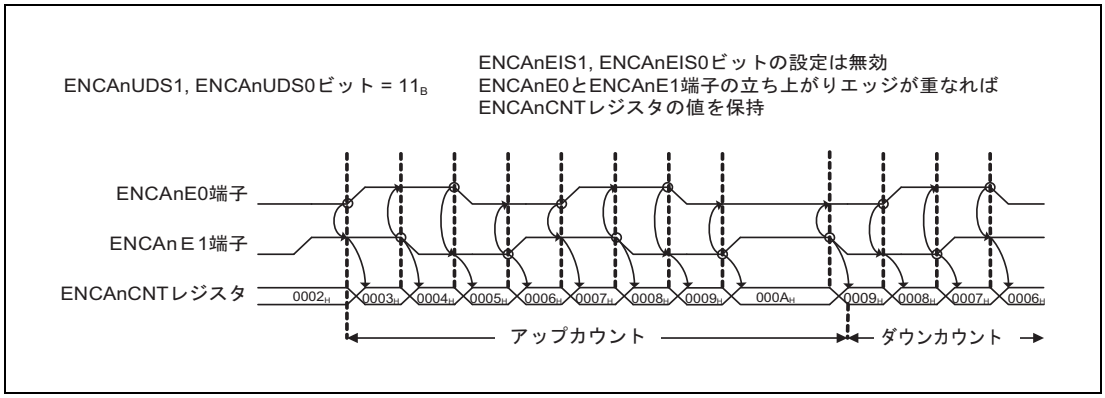


図 28.6 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 11_B のときのカウント動作

28.4.3 エンコーダ入力によるタイマカウンタクリア制御

タイマカウンタは、エンコーダクリア入力（ENCAnEC）によって 0000_H にクリアされます。

ENCAnIOC1 レジスタの ENCAnSCE ビット、ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビット、ENCAnECS1 ビットおよび ENCAnECS0 ビットを制御することによって、2 種類のクリア方法を選択できます。

表 28.26 エンコーダ入力によるタイマカウンタクリア制御の内容

クリア方法	ENCAnSCE	ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnECS1, ENCAnECS0
(1)	0	無効	無効	無効	有効
(2)	1	有効	有効	有効	無効

28.4.3.1 ENCAnSCE = 0 のときのクリア方法

- ENCAnEC の有効エッジを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCAnEC の有効エッジは ENCAnECS1 ビットと ENCAnECS0 ビットを設定することによって指定します。
- ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号（ENCATIEC）が出力されます。

ENCAnSCE = 0 のときのクリア動作については、**「28.6.19　ENCAnSCE = 0 のときに ENCAnEC によるクリアのタイミングで行われるキャプチャ動作」**のタイミング図を参照してください。

28.4.3.2　ENCAnSCE = 1 のときのクリア方法

- ENCAnEC 入力、ENCAnE1 入力、ENCAnE0 入力のクリアレベルを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCAnEC 入力、ENCAnE1 入力、ENCAnE0 入力のクリアレベルは、ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットを設定することによって指定します。
- ENCAnECS1 ビットと ENCAnECS0 ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号（ENCATIEC）が出力されます。

ENCAnZCL、ENCAnBCL、ENCAnACL の設定に従って行われるタイマカウンタのクリア条件を**表 28.27** の表に示します。

表 28.27　タイマカウンタのクリア条件

カウンタクリア条件の設定			エンコーダの端子入力レベル		
ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnEC	ENCAnE1	ENCAnE0
0	0	0	ロウ	ロウ	ロウ
0	0	1	ロウ	ロウ	ハイ
0	1	0	ロウ	ハイ	ロウ
0	1	1	ロウ	ハイ	ハイ
1	0	0	ハイ	ロウ	ロウ
1	0	1	ハイ	ロウ	ハイ
1	1	0	ハイ	ハイ	ロウ
1	1	1	ハイ	ハイ	ハイ

28.4.4 ENCAnCCR0 の機能

28.4.4.1 コンペア機能

- ENCAnCRM0 = 0 のとき、ENCAnCCR0 レジスタは専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCAnCCR0 の設定値がコンペア一致すると、コンペア 0 一致割り込み（ENCATINT0）が出力されます。
- ENCAnECM0 = 1 の場合、次のカウント動作がアップカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 28.28 ENCAnCCR0 のコンペア機能

ENCAnCCR0 の機能	コンペア一致クリア制御	次のカウント動作	ENCAnCCR0 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCAnCRM0	ENCAnECM0		
0（コンペア）	0	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）。
		ダウンカウント	
	1	アップカウント	タイマカウンタを 0000_H にクリアします。
		ダウンカウント	タイマカウンタをクリアしません（カウント動作を継続します）。

ENCAnLDE = 1 の場合

- アンダフローが発生すると、ENCAnCCR0 レジスタの設定値がタイマカウンタにロードされます。
- アンダフロー割り込み（ENCATIUD）が出力されます。

備　考

ENCAnLDE = 1 のときのタイミング図については**「28.6.8　開始直後の ENCAnLDE 機能の利用」**から **「28.6.12　ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」**を参照してください。

28.4.4.2 キャプチャ機能

- ENCAnCRM0 = 1 のとき、ENCAnCCR0 レジスタは専用のキャプチャレジスタとして機能します。
- キャプチャトリガ入力 0（ENCATTIN0) の有効エッジを検出すると、タイマカウンタの値が ENCAnCCR0 に格納されます。
- キャプチャ動作中にキャプチャ 0 割り込み（ENCATINT0）が出力されます。

備　考

ENCAnCCR0 へのキャプチャ動作については、**「28.6.14　カウントクロック間のキャプチャ動作（ENCAnCCR0）」**と**「28.6.17　コンペア一致クリア制御無効時のエンコーダの動作」**のタイミング図を参照してください。

28.4.5 ENCAnCCR1 の機能

28.4.5.1 コンペア機能

- ENCAnCRM1 = 0 のとき、ENCAnCCR1 レジスタは、専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCAnCCR1 の設定値がコンペア一致すると、コンペア 1 一致割り込み（ENCATINT1）が出力されます。
- ENCAnECM1 = 1 の場合は、次のカウント動作がダウンカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 28.29 ENCAnCCR1 のコンペア機能

ENCAnCCR1 の機能	コンペア一致クリア制御	次のカウント動作	ENCAnCCR1 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCAnCRM1	ENCAnECM1		
0（コンペア）	0	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）。
		ダウンカウント	
	1	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）。
		ダウンカウント	タイマカウンタを 0000_H にクリアします。

コンペア一致割り込みマスク機能

- ENCAnCME = 1 のときは、コンペア 1 一致割り込みマスク機能が有効です。この状態では、タイマカウンタの値と ENCAnCCR1 の設定値が初めて一致したときにコンペア 1 一致割り込みが出力されますが、2 回目以降のコンペア一致によって生成される割り込みはマスクされます。
- ENCAnCME = 1 かつ ENCAnMCS = 0 のときは、ENCAnCCR1 レジスタへの書き込み操作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます（再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます）。
- ENCAnCME = 1 かつ ENCAnMCS = 1 のときは、エンコーダクリア入力によるタイマカウンタのクリア動作または ENCAnCCR0 レジスタ値とタイマカウンタ値との一致によるタイマカウンタのクリア動作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます（再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます）。
- ENCAnCME = 1 かつ ENCAnMCS = 1 かつ ENCAnLDE = 1 のときは、アンダフロー検出時の ENCAnCCR0 レジスタからタイマカウンタへのロード動作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます（再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます）。
- コンペア 1 一致割り込みマスク機能を有効にする場合、ENCAnECM1 を「1」にセットすることはできません。

表 28.30　ENCAnCCR1 のコンペア一致割り込みマスク機能

ENCAnCCR1 の機能	コンペア 1 一致割り込みマスク	割り込みマスクキャンセルトリガ	ENCAnCCR1 とコンペアが一致したときのコンペア 1 一致割り込みの出力
ENCAnCRM1	ENCAnCME	ENCAnMCS	
0（コンペア）	0（マスク機能無効）	—（設定無効）	コンペア一致が発生するたびにコンペア 1 一致割り込みを出力します。
	1（マスク機能有効）	0（ENCAnCCR1 への書き込み操作）	最初のコンペア一致でコンペア 1 一致割り込みを 1 回出力します（キャンセルトリガが発生するまで、2 回目以降の一致によって生成される割り込みはマスクされます）。
		1（タイマカウンタクリア動作）（ENCAnLDE = 1 のときのアンダフロー発生による ENCAnCCR0 からタイマカウンタへのロード）	

28.4.5.2　キャプチャ機能

ENCAnCRM1 = 1 のとき、ENCAnCCR1 レジスタは、専用のキャプチャレジスタとして機能します。

備　考

ENCAnCCR1 へのキャプチャ動作については、**「28.6.13　カウントクロック間のキャプチャ動作（ENCAnCCR1）」**のタイミング図を参照してください。

ENCAnCTS のさまざまな設定に対応する動作を以下の表に示します。

表 28.31　ENCAnCTS のさまざまな設定に対応する動作

ENCAnCCR1 の機能	キャプチャトリガの選択	キャプチャトリガ信号	タイマカウンタのクリア	割り込みの発生
ENCAnCRM1	ENCAnCTS			
1（キャプチャ）	0	キャプチャトリガ 1 入力（ENCATTIN1）	タイマカウンタをクリアしません。	(1) キャプチャ 1 割り込み（ENCATINT1）
	1	エンコーダクリア入力（ENCAnSCE で設定）	タイマカウンタをクリアします。	(1) キャプチャ 1 割り込み（ENCATINT1） (2) エンコーダクリア割り込み（ENCATIEC）

備　考

ENCAnCTS = 0 または ENCAnCTS = 1 のときのタイミング図については、以下を参照してください。

「28.6.3　エンコーダクリア入力（ENCAnEC 端子）によるカウントクリアとキャプチャ動作」、「28.6.4　オーバフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合」、「28.6.5　アンダフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合」、「28.6.11　ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力（ENCAnEC 端子）の入力によるクリア動作との競合」、「28.6.12 ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」。

28.4.5.3 コンペアレジスタが一致したときのタイマカウンタのクリア

タイマカウンタ値と ENCAnCCR0, ENCAnCCR1 の設定値がコンペア一致したときに、ENCAnCTL レジスタの ENCAnECM1 ビットと ENCAnECM0 ビットの設定に従って行われるタイマカウンタのクリア動作の詳細を以下の表に示します。

表 28.32 コンペアレジスタが一致したときのタイマカウンタのクリア動作の詳細

ENCAnECM1 と ENCAnECM0	次のカウント動作	ENCAnCCR1 とのコンペア一致が発生したときのタイマカウンタのクリア	ENCAnCCR0 とのコンペア一致が発生したときのタイマカウンタのクリア
00	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタをクリアしません（カウント動作を継続します）
	ダウンカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタをクリアしません（カウント動作を継続します）
01	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタを 0000_H にクリアします
	ダウンカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタをクリアしません（カウント動作を継続します）
10	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタをクリアしません（カウント動作を継続します）
	ダウンカウント	タイマカウンタを 0000_H にクリアします。	タイマカウンタをクリアしません（カウント動作を継続します）
11	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタを 0000_H にクリアします
	ダウンカウント	タイマカウンタを 0000_H にクリアします。	タイマカウンタをクリアしません（カウント動作を継続します）

28.4.6 タイマカウンタの起動／停止

28.4.6.1 タイマの起動

ENCAnTS ビットを 1 にセットすることによってタイマの動作を開始することができます。

PIC を設定することにより、他のタイマと同時スタートが可能です。詳細は、**「29.8 同時スタートトリガ機能」**を参照してください。

28.4.6.2 タイマの停止

ENCAnTT ビットが「1」にセットされると ENCAnTE ビットが 0 になり、タイマが停止します。

28.5 設定の順序

28.5.1 ENCAn の設定手順

以下で ENCAn の設定の手順を説明します。

表 28.33 ENCAn の設定の手順

	操作	設定の状態
初期設定	リセット解除	電源オン状態、動作停止状態。 （各レジスタへの書き込みは許可）
ENCAn の 初期設定	以下の初期設定を実行します。 • カウンタの設定 • カウンタクリアの設定 • ENCAnCCR0 レジスタの設定 • ENCAnCCR1 レジスタの設定	カウント動作停止状態です。 動作状態を示す ENCAnTE ビット = 0 です。
	カウンタの初期値の設定を実行します。 • ENCAnCNT レジスタに任意の 16 ビット値を設定します。 （このレジスタを設定した後、ENCAnTS ビットを「1」にセットすると、設定されたカウント値からカウンタの動作が開始されます）。	ここで設定される値がカウンタレジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 • ENCAnTS ビットを「1」にセットします。	カウンタ動作開始状態です。 動作状態を示す ENCAnTE ビットの値が 1 であり、カウントクロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 • ENCAnCCR0 レジスタの設定 • ENCAnCCR1 レジスタの設定 • ENCAnIOC0 レジスタの設定	初期設定で設定されたカウント動作が実行され、ENCAnE0 端子と ENCAnE1 端子に従ってアップカウント／ダウンカウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 • ENCAnTT ビットを「1」に設定します。	カウンタ動作停止状態です。 動作状態を示す ENCAnTE ビット = 0 です。
ENCAn 停止	リセット	設定レジスタが初期化されます。

28.5.1.1 カウンタの初期設定手順

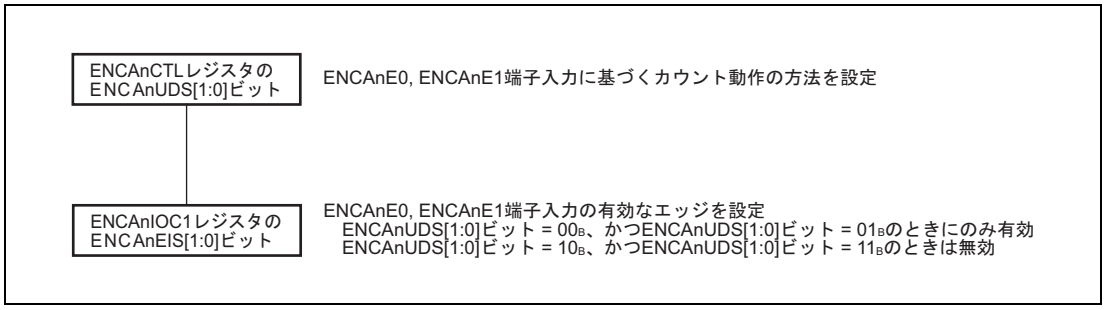


図 28.7 カウンタの初期設定手順

28.5.1.2　カウンタクリアのための初期設定手順

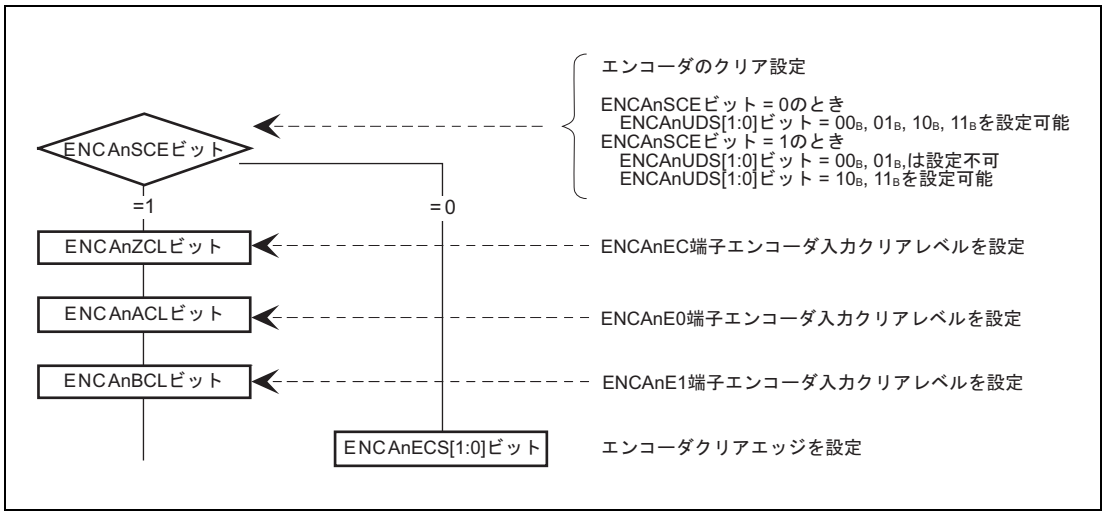


図 28.8　カウンタクリアのための初期設定手順

28.5.1.3　ENCAnCCR0 レジスタの設定手順

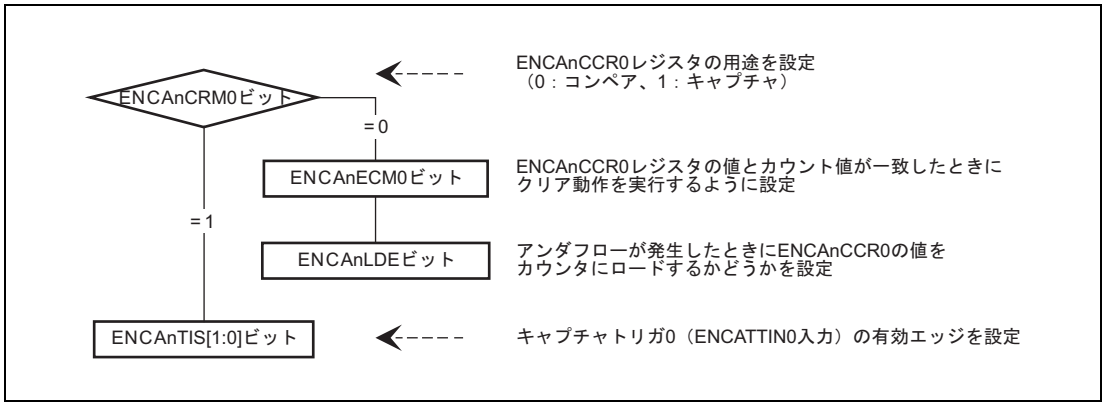


図 28.9　ENCAnCCR0 レジスタの設定手順

28.5.1.4　ENCAnCCR1 レジスタの設定手順

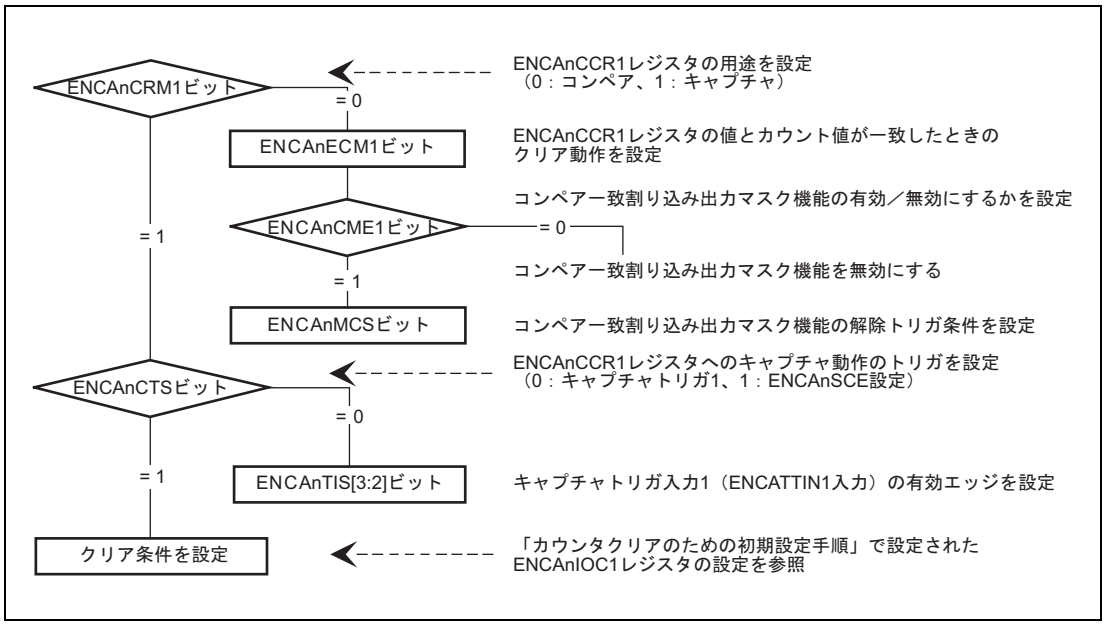


図 28.10　ENCAnCCR1 レジスタの設定手順

28.6　タイミング図

28.6.1　オーバフローの発生とオーバフローフラグクリア操作

カウンタ値が $FFFF_H$ のときにアップカウントが実行されると、オーバフローが発生します。オーバフローが発生すると、オーバフロー割り込み（ENCATIOV）が出力され、オーバフローフラグ（ENCAnOVF）が「1」にセットされます。オーバフロークリアビット（ENCAnCLOV）が「1」にセットされると、オーバフローフラグ（ENCAnOVF）が「0」にクリアされます。

オーバフロー発生とオーバフローフラグクリアの動作について説明します。

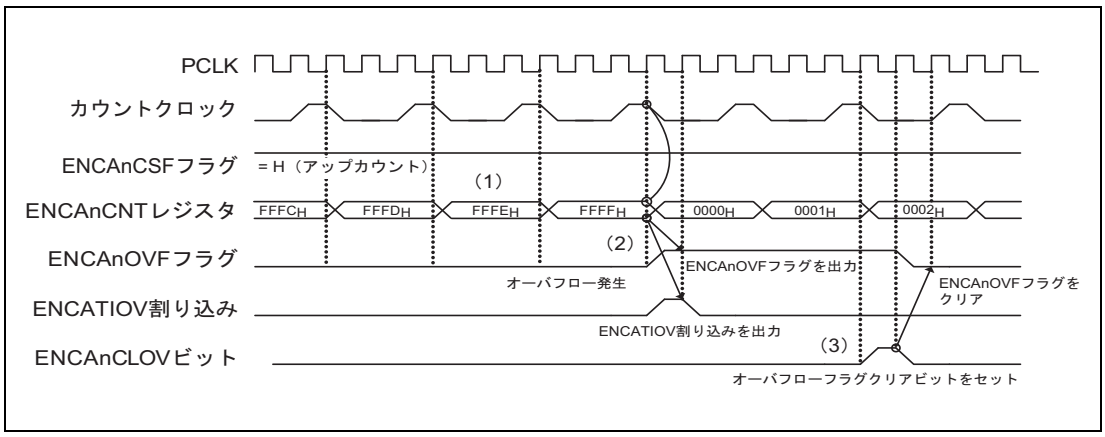


図 28.11　オーバフローの発生とオーバフローフラグクリアの設定

(1) カウント値が $FFFE_H$ から $FFFF_H$ にアップカウントします。

(2) カウント値が $FFFF_H$ から 0000_H に変化するとオーバフローが発生します。同時に、オーバフロー割り込みが出力され、オーバフローフラグが「1」にセットされます。

(3) オーバフローフラグのクリア方法で、ENCAnFGC レジスタの ENCAnCLOV ビットを「1」にセットすることで「0」にクリアされます。また、ENCAnTE レジスタの ENCAnTE ビット = 0 のときに ENCAnTS レジスタの ENCAnTS ビットに「1」を設定するか、ENCATSST（同時スタートトリガ入力）の入力信号を「ハイ」にすることでもオーバフローフラグはクリアされます。

28.6.2　アンダフローの発生とアンダフローフラグクリア操作

カウンタ値が 0000H のときにダウンカウントが実行されると、アンダフローが発生します。アンダフローが発生すると、アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）が「1」にセットされます。アンダフロークリアビット（ENCAnCLUD）が「1」にセットされると、アンダフローフラグ（ENCAnUDF）が「0」にクリアされます。

アンダフロー発生とアンダフローフラグクリアの動作について説明します。

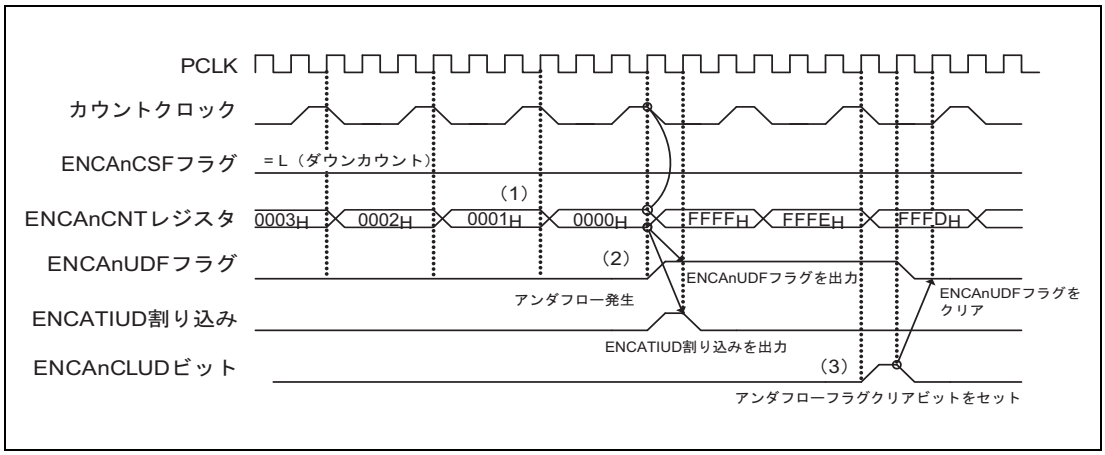


図 28.12　アンダフローの発生とアンダフローフラグクリアの設定

(1) カウント値が 0001_H から 0000_H にダウンカウントします。

(2) カウント値が 0000_H から $FFFF_H$ に変化するとアンダフローが発生します。同時に、アンダフロー割り込みが出力され、アンダフローフラグが「1」にセットされます。

(3) アンダフローフラグのクリア方法で、ENCAnFGC レジスタの ENCAnCLUD ビットを「1」にセットすることで「0」にクリアされます。また、ENCAnTE レジスタの ENCAnTE ビット = 0 のときに ENCAnTS レジスタの ENCAnTS ビットに「1」を設定するか、ENCATSST（同時スタートトリガ）の入力信号を「ハイ」することでもオーバフローフラグはクリアされます。

28.6.3 エンコーダクリア入力（ENCAnEC 端子）によるカウントクリアとキャプチャ動作

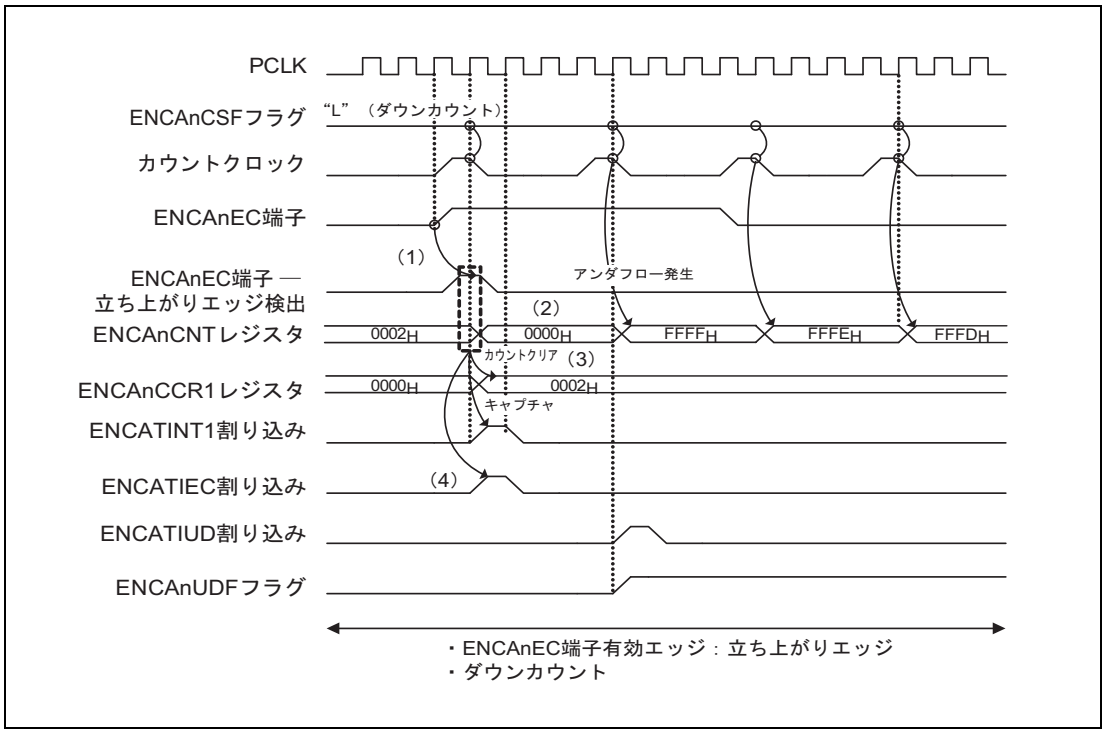


図 28.13 エンコーダクリア入力（ENCAnEC 端子）によるカウントクリアとキャプチャ動作のタイミング図

設定条件

- ENCAnCTL レジスタの ENCAnCRM1 ビット = 1
  （ENCAnCCR1 レジスタをキャプチャとして選択）
- ENCAnCTL レジスタの ENCAnCTS ビット = 1
  （ENCAnEC 端子入力をキャプチャトリガ入力として選択）
- ENCAnIOC1 レジスタの ENCAnECS1, ENCAnECS0 ビット = 01_B
  （ENCAnEC 端子入力の立ち上がりエッジ検出として選択）

（1） ENCAnEC 端子入力トリガの立ち上がりエッジでキャプチャ動作が実行されます。

（2） ENCAnEC 端子の入力によるクリア動作が実行され、カウント値が 0000_H にセットされます。

（3） ENCAnEC 端子入力の立ち上がりエッジでカウンタ値（0002_H）が ENCAnCCR1 レジスタにキャプチャされます。

（4） 同時に、ENCAnEC 端子の入力によるクリア割り込み（ENCATIEC）とキャプチャ割り込み（ENCATINT1）が出力されます。

28.6.4 オーバフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合

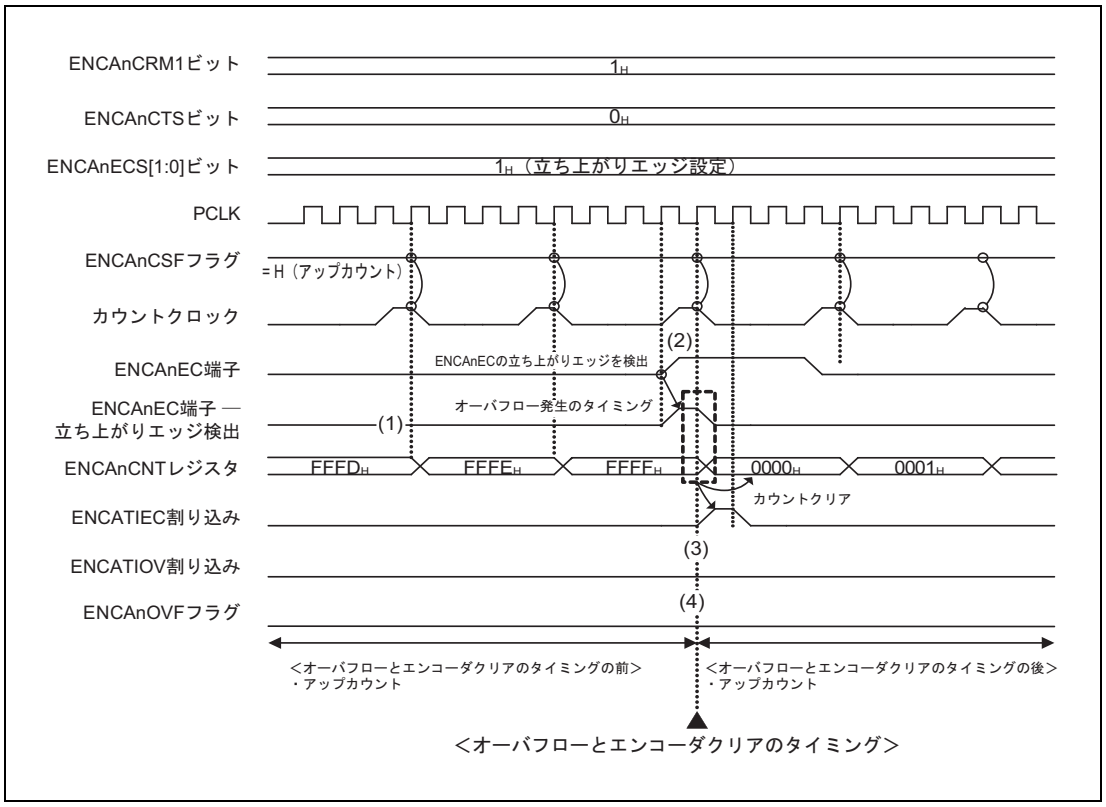


図 28.14　オーバフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合

(1) $FFFD_H$ からのアップカウントが継続的に実行されます。

(2) カウント値 $FFFF_H$ でオーバフローが発生すると同時に ENCAnEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。カウンタ値が 0000_H にクリアされます。

(3) エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア入力によるクリア割り込み（ENCATIEC）が出力されます。エンコーダクリア入力によるクリアがオーバフローの発生と同時に行われるため、オーバフロー割り込みは出力されません　（オーバフローは発生しません。エンコーダクリア入力によるクリアが実行されます）。

(4) ステップ（3）と同様にオーバフローが発生しないため、オーバフローフラグもセットされません。

28.6.5 アンダフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合

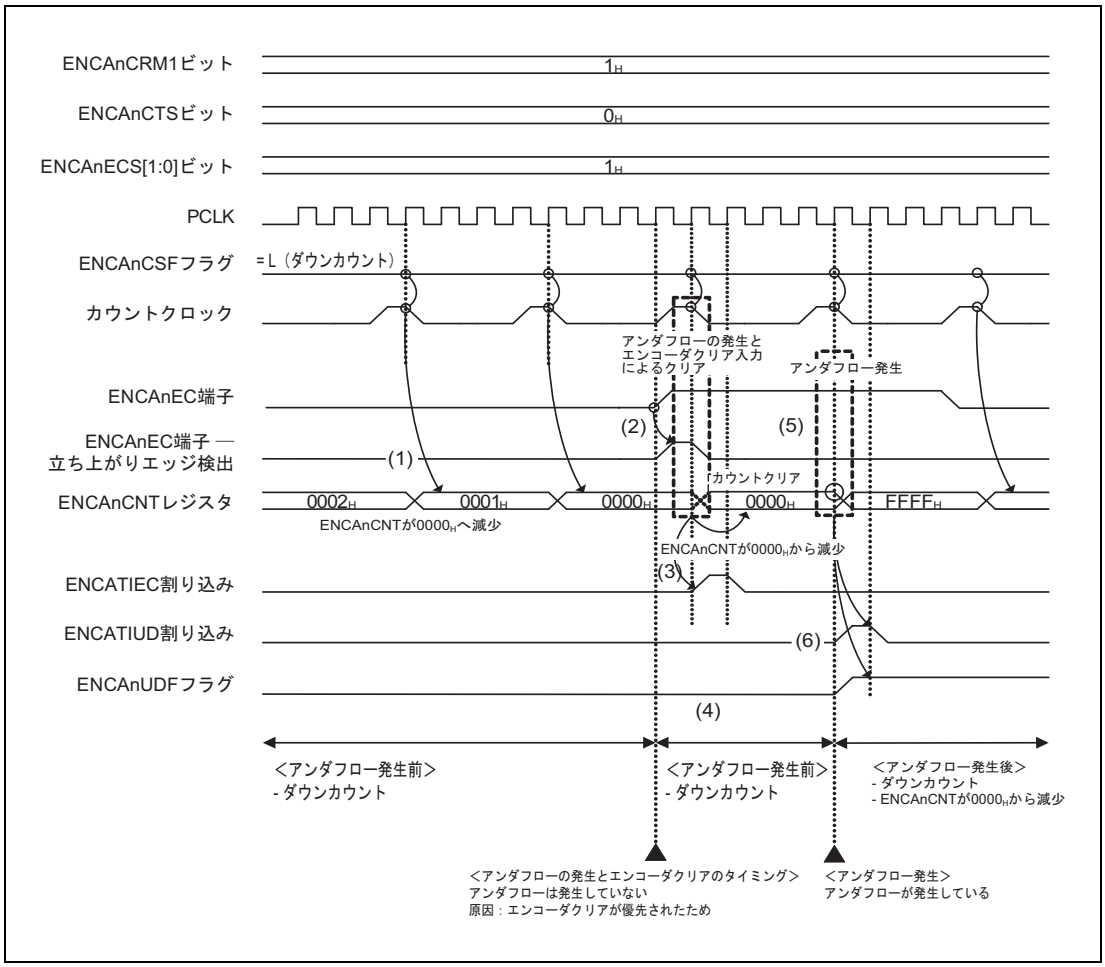


図 28.15 アンダフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合

(1) 0002_H からのダウンカウントが継続的に実行されます。

(2) カウント値 0000_H でアンダフローが発生すると同時に ENCAnEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。クリア動作中に次のクロック信号が入力されても、カウンタ値は 0000_H のまま変わりません。

(3) エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア割り込み（ENCATIEC）が出力されます。エンコーダクリア入力によるクリアがアンダフローの発生と同時に行われるため、アンダフロー割り込みは出力されません（アンダフローは発生しません。エンコーダクリア入力によるクリアが実行されます）。

(4) ステップ（3）と同様にアンダフローが発生しないため、アンダフローフラグもセットされません。

(5) エンコーダクリア入力によるクリア動作によってカウンタ値が 0000_H になったあと、さらにダウンカウントが行われることで、カウンタ値が 0000_H から $FFFF_H$ へ変化し、アンダフローが発生します。

(6) アンダフローが発生すると、アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

28.6.6　開始直後のオーバフロー動作

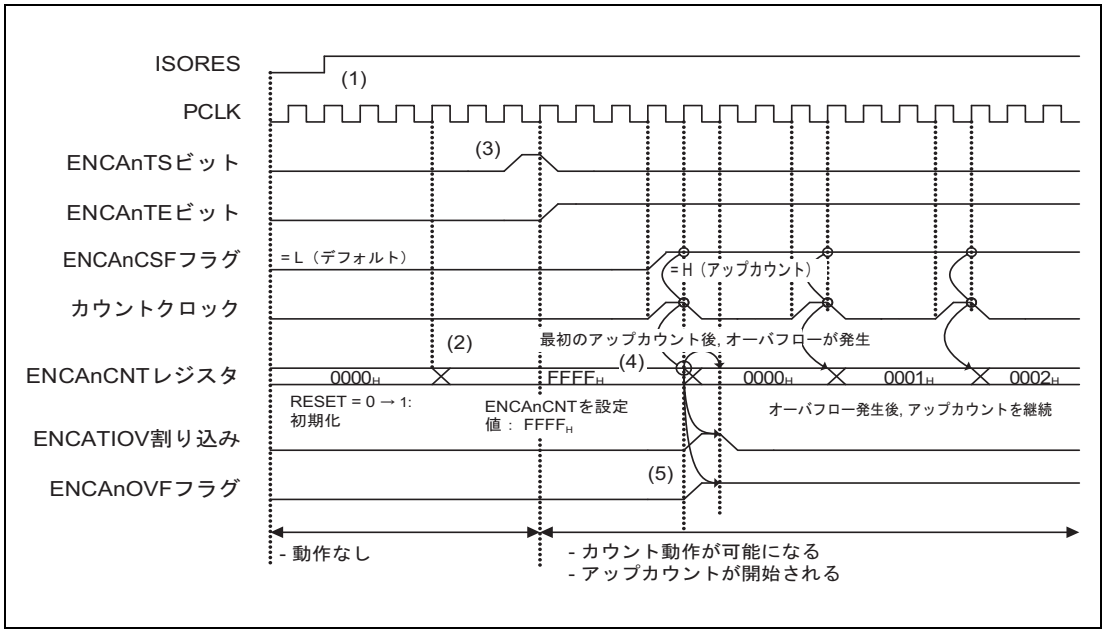


図 28.16　開始直後のオーバフロー動作

(1) ISORES の値が「0」から「1」に変わると、ステータスがリセットからリセット解除されます。

(2) $FFFF_H$ がタイマカウンタに初期設定値として設定されます。

(3) ENCAnTS が「1」にセットされ、動作が開始されます。ENCAnTE が「1」になり、動作が可能になったことを示します。

(4) 初期設定されたカウント値である $FFFF_H$ からのアップカウントが実行されることで、カウンタ値が $FFFF_H$ から 0000_H へ変化し、動作開始直後にオーバフローが発生します。

(5) 同時に、動作開始直後のオーバフローの発生によって、オーバフロー割り込み（ENCATIOV）が出力され、オーバフローフラグ（ENCAnOVF）がセットされます。

28.6.7　開始直後のアンダフロー動作

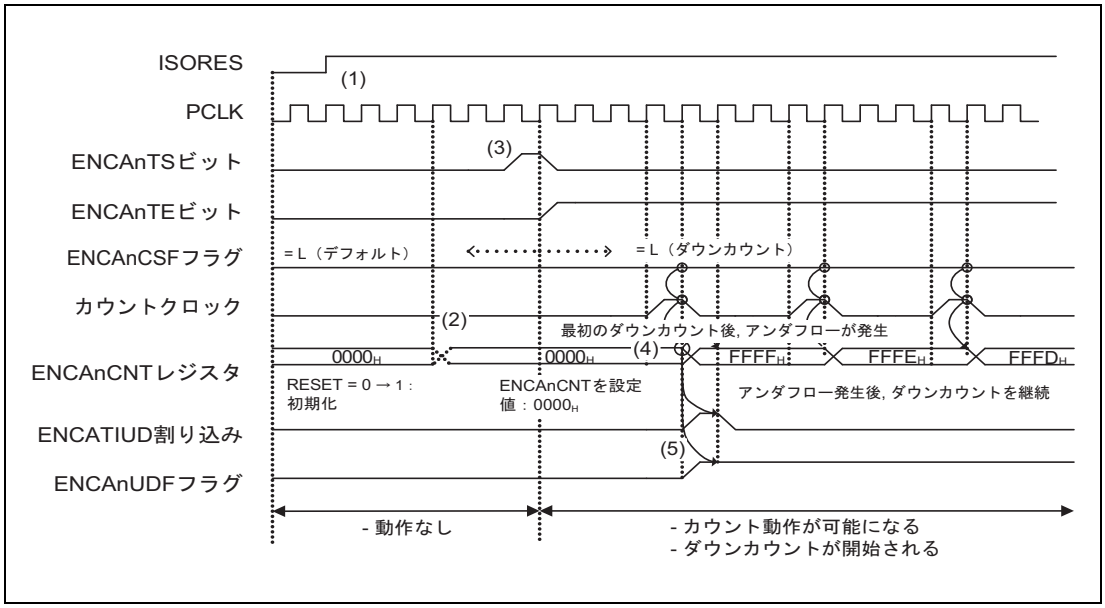


図 28.17　開始直後のアンダフロー動作

(1) ISORES の値が「0」から「1」に変わると、ステータスがリセットからリセット解除されます。

(2) 0000_H がタイマカウンタに初期設定値として設定されます。

(3) ENCAnTS が「1」にセットされ、動作が開始されます。ENCAnTE が「1」になり、動作が可能になったことを示します。

(4) 初期設定されたカウント値である 0000_H からのダウンカウントが実行されることで、カウンタ値が 0000_H から $FFFF_H$ へ変化し、動作開始直後にアンダフローが発生します。

(5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

28.6.8 開始直後の ENCAnLDE 機能の利用

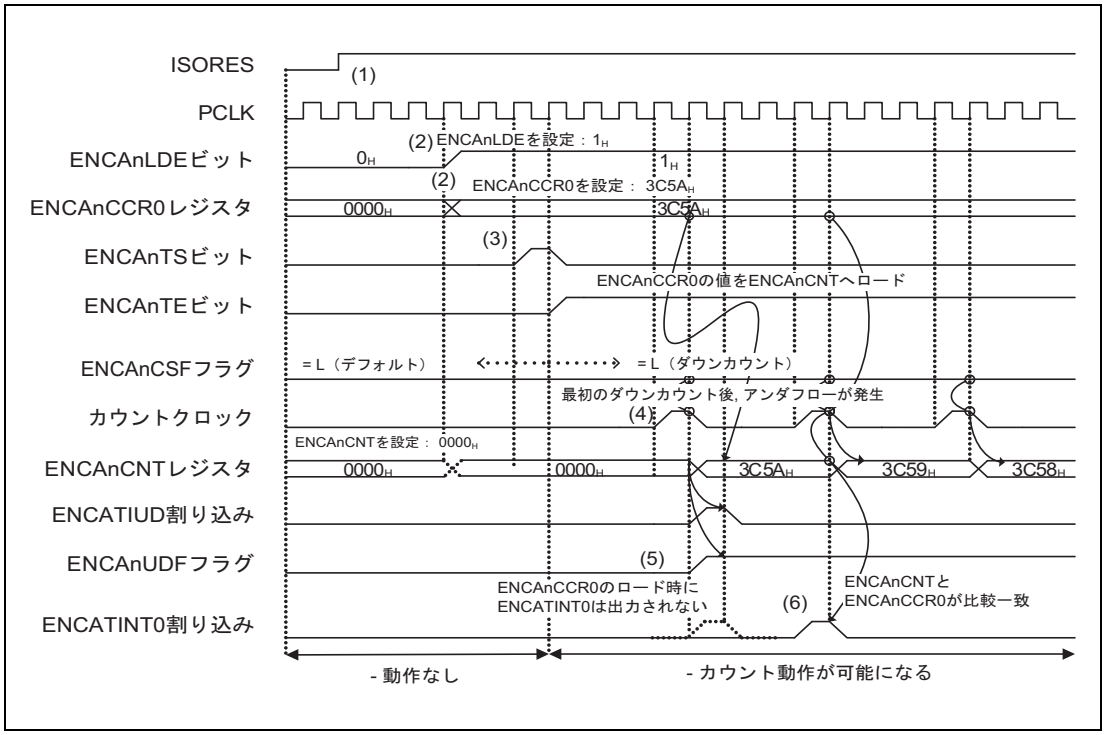


図 28.18 開始直後の ENCAnLDE 機能の利用

(1) ISORES の値が「0」から「1」に変わると、ステータスがリセットからリセット解除されます。

(2) ロードイネーブルビット（ENCAnLDE）が「1」にセットされ、キャプチャ／コンペアレジスタ 0（ENCAnCCR0）が $3C5A_H$ に設定され、タイマカウンタが初期設定値 0000_H に設定されます。

(3) ENCAnTS が「1」にセットされ、動作が開始されます。ENCAnTE が「1」になり、動作が可能になったことを示します。

(4) 初期設定されたカウント値である 0000_H からのダウンカウントが実行されることで、動作開始直後にアンダフローが発生します。ENCAnLDE が「1」にセットされているため、ENCAnCCR0 の値である $3C5A_H$ がタイマカウンタにロードされます（ENCATINT0 はロード時に出力されません）。

(5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます（アンダフローが発生した後、ロードされた値（$3C5A_H$）からのダウンカウント動作が継続します）。

(6) ENCAnCCR0 の値が ENCAnCNT にロードされたあと、ENCAnCCR0 との一致が検出され、ENCATINT0 が出力されます。

28.6.9 ENCAnLDE 機能（カウント値のロード）

(1) <ENCAnLDE = 0 の場合 >

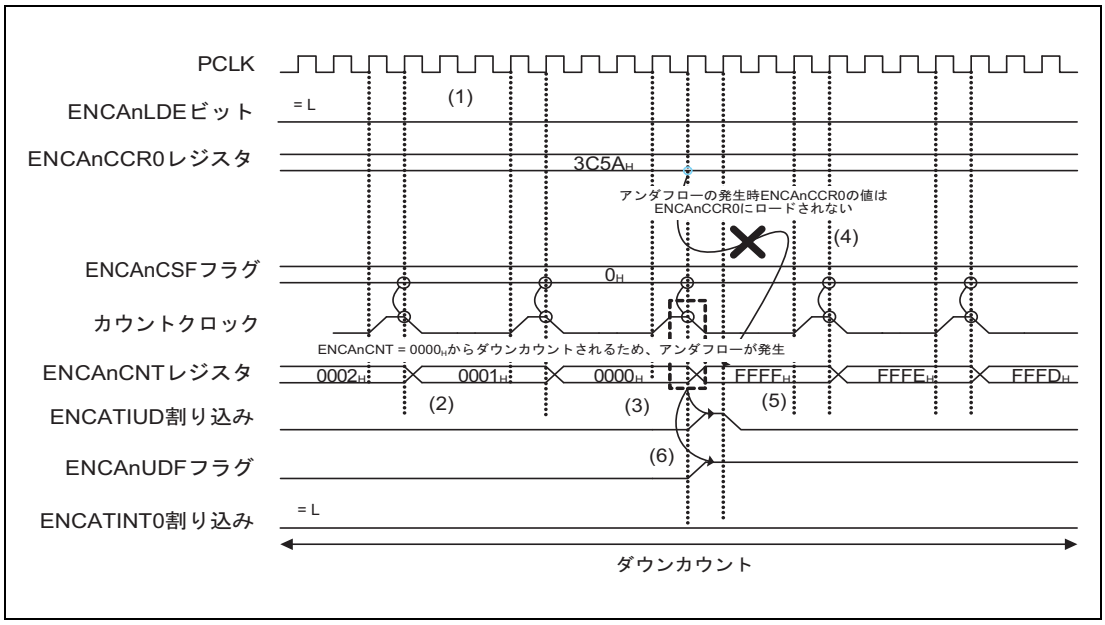


図 28.19　ENCAnLDE 機能（ENCAnLDE = 0 の場合）

(1) ENCAnLDE が「0」に設定されています（アンダフローが発生しても、ENCAnCCR0 の値はロードされません）。

(2) ダウンカウントが実行されます：$0002_H \rightarrow 0001_H \rightarrow 0000_H$

(3) カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。

(4) ENCAnLDE が「0」に設定されているため、アンダフローが発生したときに ENCAnCCR0 レジスタの設定値はカウンタにロードされません。

(5) 動作がアンダフロー動作に変化します（カウンタ値：$0000_H \rightarrow FFFF_H$）。

(6) アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

(2) <ENCAnLDE = 1 の場合 >

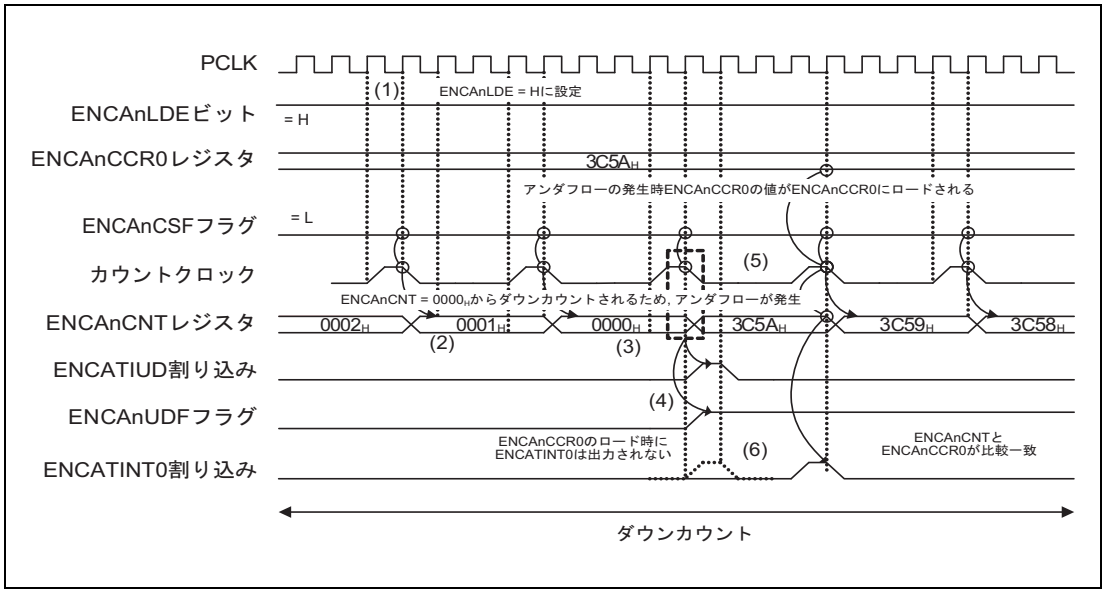


図 28.20　ENCAnLDE 機能（ENCAnLDE = 1 の場合）

(1) ENCAnLDE が「1」に設定されています（アンダフローが発生すると、ENCAnCCR0 の値がカウンタにロードされます)。

(2) ダウンカウントが実行されます：$0002_H \rightarrow 0001_H \rightarrow 0000_H$

(3) カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。

(4) アンダフロー割り込みが出力され、アンダフローフラグがセットされます。

(5) ENCAnLDE が「1」にセットされているため、アンダフローが発生すると ENCAnCCR0 レジスタの設定値がカウンタにロードされます。ENCAnCNT が $3C5A_H$ に設定されます。

(6) ENCAnCCR0 の値が ENCAnCNT に設定された後、ENCAnCNT の値と ENCAnCCR0 の値がカウントクロックで一致すれば、コンペア一致割り込み（ENCATINT0）が出力されます。

28.6.10 ENCAnLDE 機能（カウンタ値のロード）と ENCAnCCR0 レジスタの書き換えとの競合

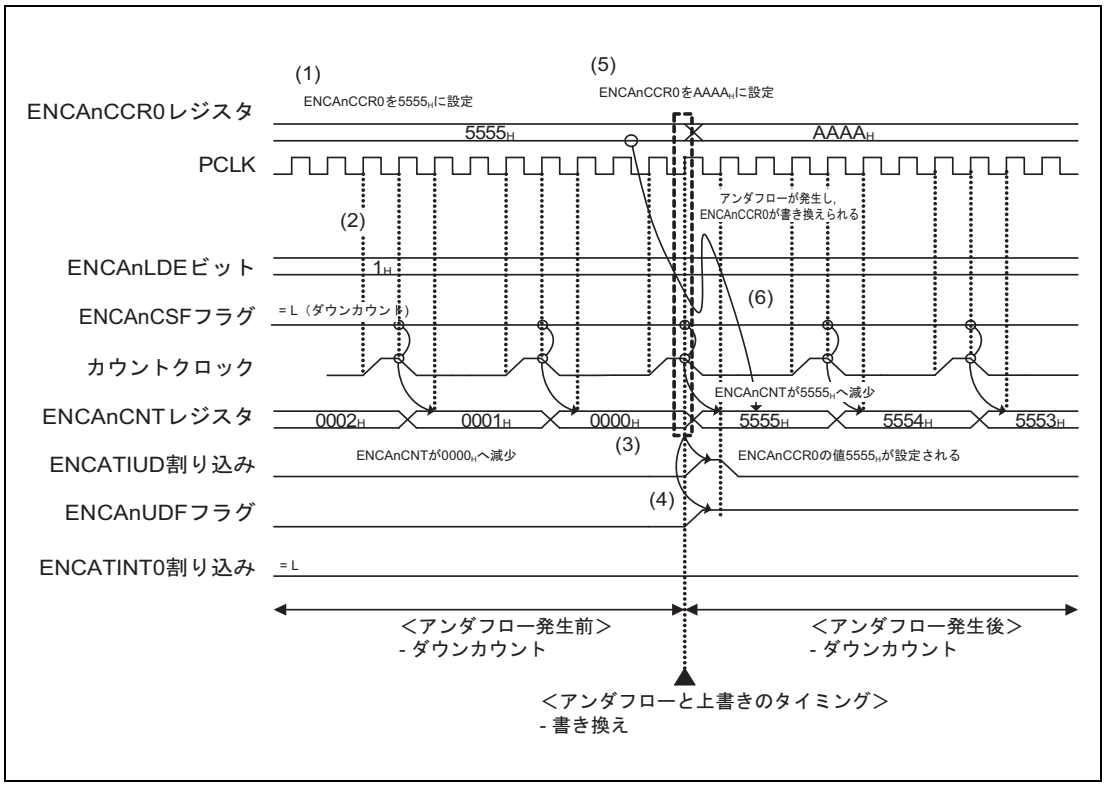


図 28.21　ENCAnLDE 機能と ENCAnCCR0 レジスタの書き換えとの競合

(1) ENCAnCCR0 レジスタは、現在 5555_H に設定されています。

(2) ENCAnLDE は現在「1」にセットされています。

(3) $0002_H \rightarrow 0001_H \rightarrow 0000_H$ とダウンカウントが実行され、アンダフローが発生します。

(4) アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

(5) アンダフローが発生すると同時に、ENCAnCCR0 レジスタの値が 5555_H から $AAAA_H$ に書き換えられます。

(6) さらに、アンダフローが発生すると同時に、書き換えられる前の ENCAnCCR0 の値（5555_H）が ENCAnCNT に設定されます。

28.6.11 ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力（ENCAnEC 端子）の入力によるクリア動作との競合

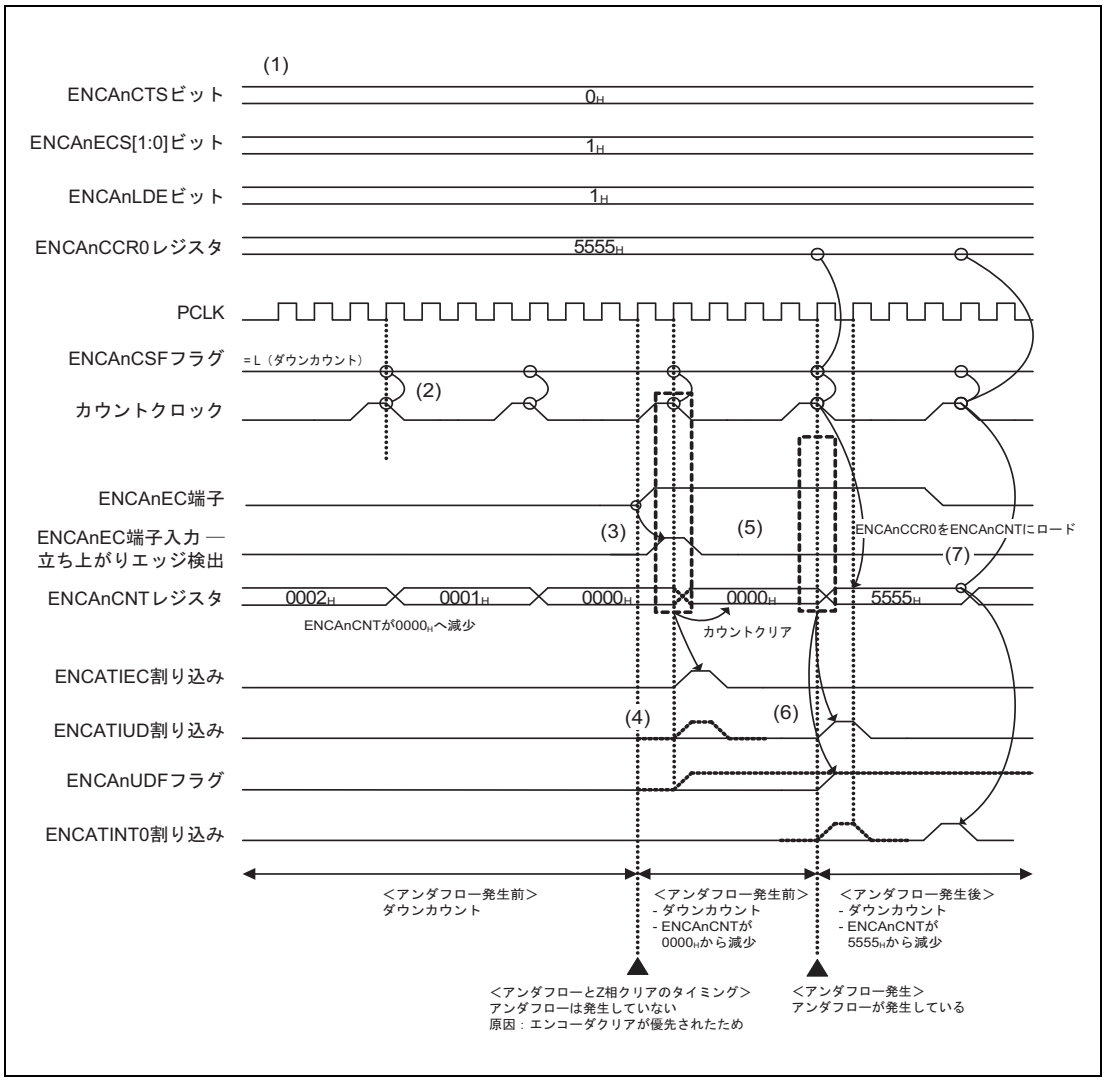


図 28.22 ENCAnLDE 機能とエンコーダクリア入力によるクリア動作との競合

(1) 以下の値が設定されています。ENCAnCTS = 0、ENCAnECS[1:0] = 01_B、ENCAnLDE = 1、ENCAnCCR0 = 5555_H。

(2) ダウンカウントが実行されます：$0002_H \rightarrow 0001_H \rightarrow 0000_H$。

(3) カウント値が 0000_H になったときに ENCAnEC 端子の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。

(4) カウント値が 0000_H に達したときにカウントクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み（ENCATIEC）が出力されます。さらに、カウント値 0000_H でダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み（ENCATIUD）は出力されず、アンダフローフラグ（ENCAnUDF）もセットされません。

(5) エンコーダクリア入力によるクリアによってカウント値が 0000_H にクリアされたあと、ダウンカウントが実行され、アンダフローが発生します。

（6） アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

（7） ENCAnLDE = 1 であるため、アンダフローが発生すると ENCAnCCR0 の値が ENCAnCNT にロードされます。

（8） ENCAnCCR0 の値が ENCAnCNT に設定されたあと、カウントクロックに基づいてコンペア一致の検出が行われ、ENCAnCNT と ENCAnCCR0 が一致するとコンペア一致割り込み（ENCATINT0）が出力されます。

28.6.12 ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント

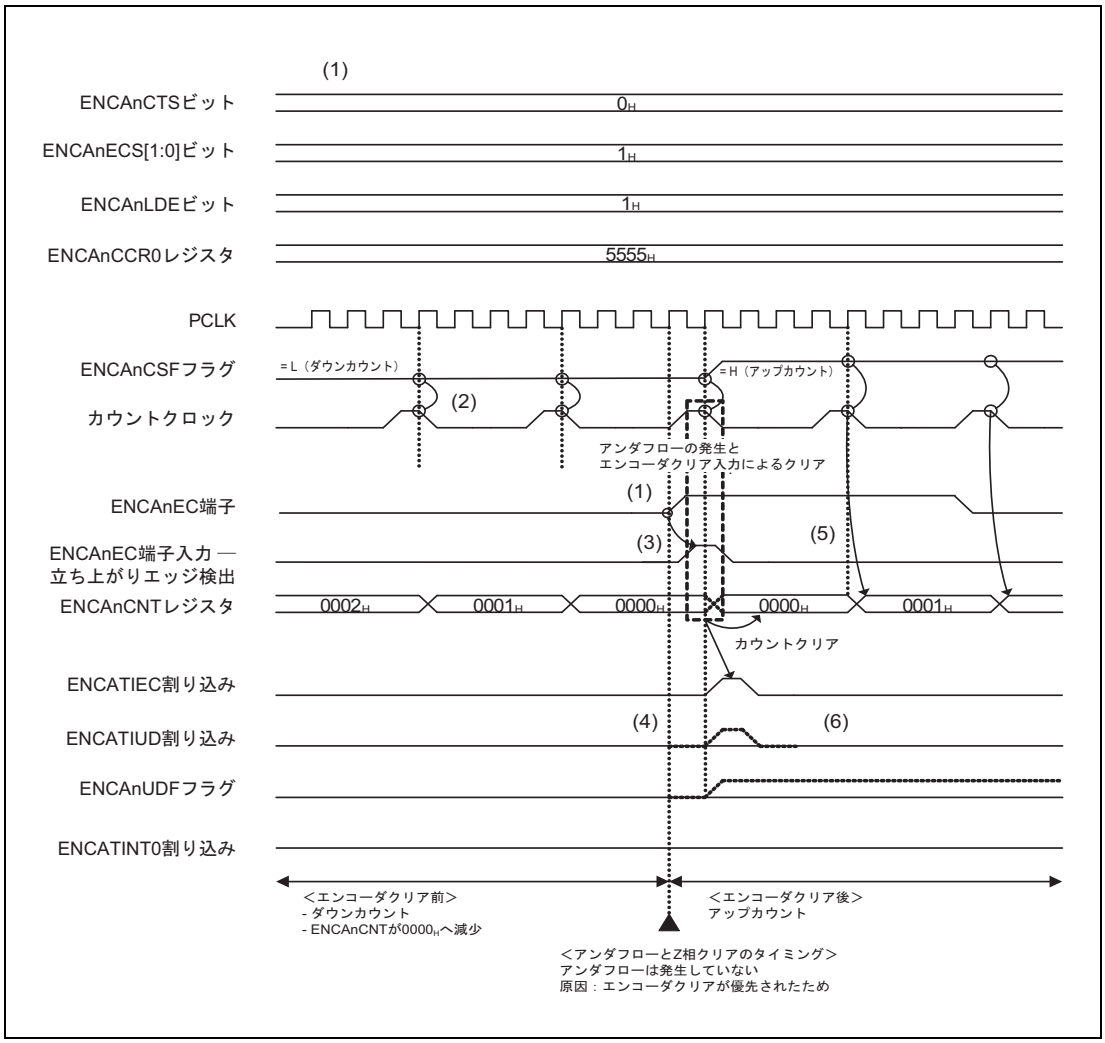


図 28.23 ENCAnLDE 機能とエンコーダクリアとの競合後のアップカウント

(1) 以下の値が設定されています。ENCAnCTS = 0、ENCAnECS[1:0] = 01_B、ENCAnLDE = 1、ENCAnCCR0 = 5555_H。

(2) ダウンカウントが実行されます：$0002_H \rightarrow 0001_H \rightarrow 0000_H$。

(3) カウント値が 0000_H になったときに ENCAnEC 端子の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。

(4) カウント値が 0000_H に達したときにカウントクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み（ENCATIEC）が出力されます。さらに、カウント値 0000_H のときにダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み（ENCATIUD）は出力されず、アンダフローフラグ（ENCAnUDF）もセットされません。

(5) エンコーダクリア入力によるクリアによってカウント値が 0000_H にクリアされたあと、アップカウントが実行されます。

(6) アンダフロー割り込み（ENCATIUD）は出力されず、アンダフローフラグ（ENCAnUDF）もセットされません。

28.6.13　カウントクロック間のキャプチャ動作（ENCAnCCR1）

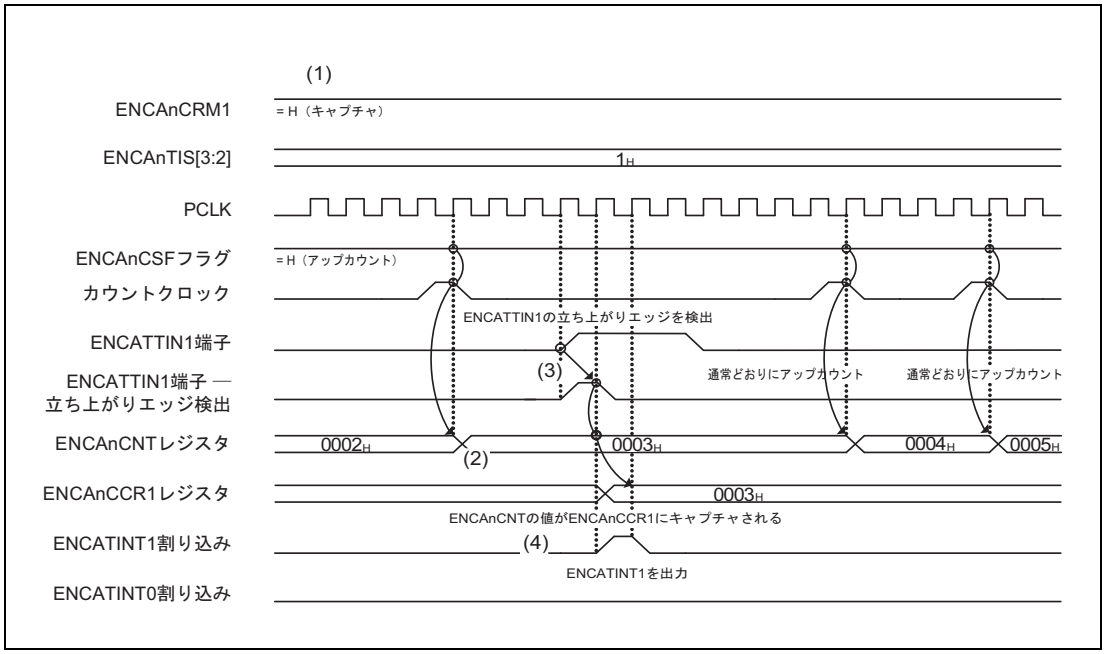


図 28.24　カウントクロック間のキャプチャ動作（ENCAnCCR1）

(1)　以下の値が設定されています。ENCAnCRM1 = 1、ENCAnTIS[3:2] = 01_B。

(2)　アップカウントが実行されます。

(3)　ENCATTIN1 入力の立ち上がりエッジが検出され、カウント値が ENCAnCCR1 にキャプチャされます。

(4)　ENCAnCCR1 レジスタへのキャプチャに対応する割り込み（ENCATINT1）が出力されます。

28.6.14　カウントクロック間のキャプチャ動作（ENCAnCCR0）

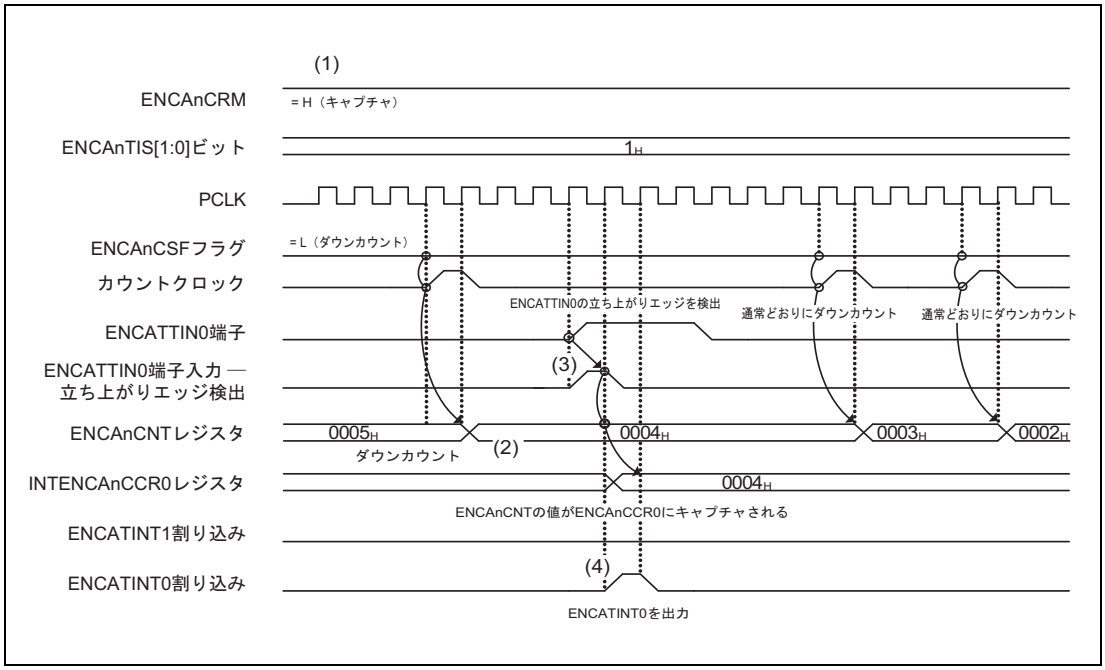


図 28.25　カウントクロック間のキャプチャ動作（ENCAnCCR0）

(1)　以下の値が設定されています。ENCAnCRM0 = 1、ENCAnTIS[1:0] = 01_B。

(2)　ダウンカウントが実行されます。

(3)　ENCATTIN0 入力の立ち上がりエッジが検出され、カウント値が ENCAnCCR0 にキャプチャされます。

(4)　ENCAnCCR0 レジスタへのキャプチャに対応する割り込み（ENCATINT0）が出力されます。

28.6.15 コンペアー致クリア制御有効かつ ENCAnCTS = 0 のときのエンコーダの動作

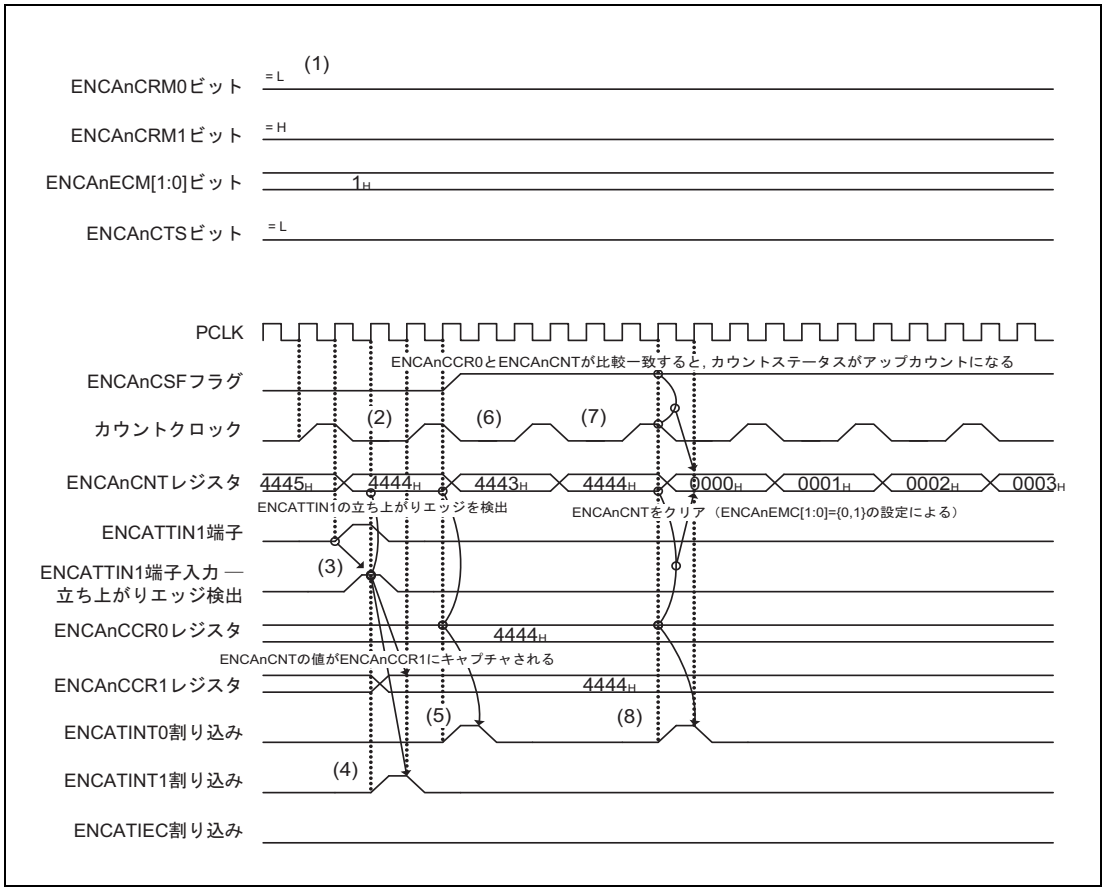


図 28.26 コンペアー致クリア制御有効かつ ENCAnCTS = 0 のときのエンコーダの動作

(1) 以下の値が設定されています。ENCAnCCR0 = 4444_H、ENCAnCRM0 = 0、ENCAnCRM1 = 1、ENCAnECM[1:0] = 01_B、ENCAnCTS = 0。

(2) ダウンカウントが実行されます。

(3) ENCATTIN1 の立ち上がりエッジが検出され、ENCAnCNT の値 4444_H が ENCAnCCR1 レジスタにキャプチャされます。

(4) ENCAnCCR1 へのキャプチャに対応する割り込み（ENCATINT1）が出力されます。

(5) ENCAnCNT（4445_H から 4444_H へダウンカウントされる）と ENCAnCCR0（4444_H）がコンペアー致すると、ENCAnCCR0 とのコンペアー致割り込み（ENCATINT0）が出力されます。

(6) カウント動作がアップカウントに変わります。

(7) ENCAnCNT が 4443_H から 4444_H へカウントアップされると ENCAnCCR0 とのコンペアー致が再び発生します。コンペアー致が発生したときのカウント動作がアップカウントであるため、ENCAnECM1 と ENCAnECM0 の設定（01_B）に従ってカウント値がクリアされ、ENCAnCNT の値が 0000_H になります。

(8) ENCAnCNT が 4444_H になると、ENCAnCCR0 とのコンペアー致割り込み（ENCATINT0）が出力されます。

28.6.16 コンペアー致クリア制御有効かつ ENCAnCTS = 1 のときのエンコーダの動作

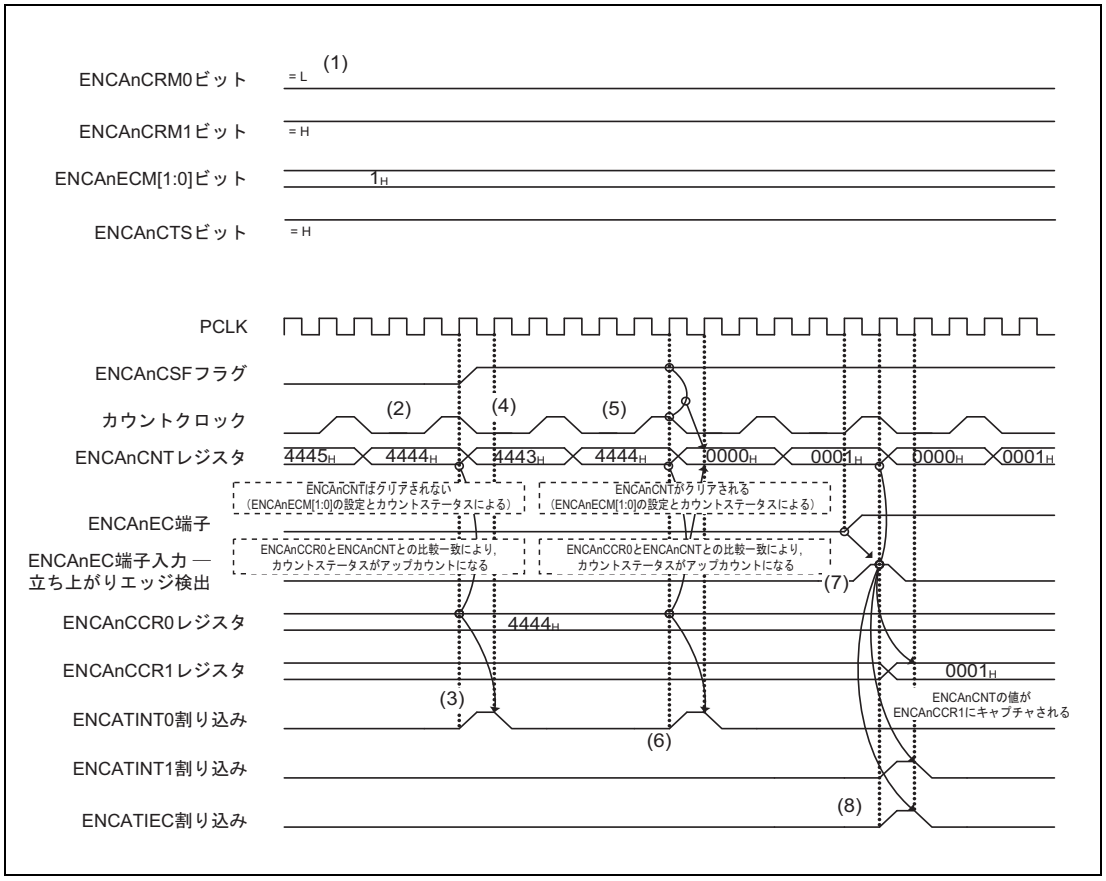


図 28.27 コンペアー致クリア制御有効かつ ENCAnCTS = 1 のときのエンコーダの動作

(1) 以下の値が設定されています。ENCAnCCR0 = 4444_H、ENCAnCRM0 = 0、ENCAnCRM1 = 1、ENCAnECM[1:0] = 01_B、ENCAnCTS = 1。

(2) ダウンカウントが実行されます。

(3) ENCAnCNT（4445_H から 4444_H へダウンカウントされる) と ENCAnCCR0（4444_H）がコンペアー致すると、コンペア／キャプチャ割り込み 0（ENCATINT0）が出力されます。

(4) カウント動作がアップカウントに変わります。

(5) ENCAnCNT が 4443_H から 4444_H へカウントアップされると ENCAnCCR0 とのコンペアー致が再び発生します。コンペアー致が発生したときのカウント動作がアップカウントであるため、ENCAnECM1 と ENCAnECM0 の設定（01_B）に従ってカウント値がクリアされ、ENCAnCNT の値が 0000_H になります。

(6) ENCAnCNT が 4444_H になると、ENCAnCCR0 とのコンペアー致割り込み（ENCATINT0）が出力されます。

(7) カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。この時点で ENCAnEC 信号の立ち上がりエッジが検出されることによって ENCAnCNT の値 0001_H が ENCAnCCR1 にキャプチャされ、カウンタが 0000_H にクリアされます。

(8) ENCAnCCR1 レジスタへのキャプチャに対応する割り込み（ENCATINT1）と ENCAnEC によるクリア割り込み（ENCATIEC）が出力されます。

28.6.17　コンペアー致クリア制御無効時のエンコーダの動作

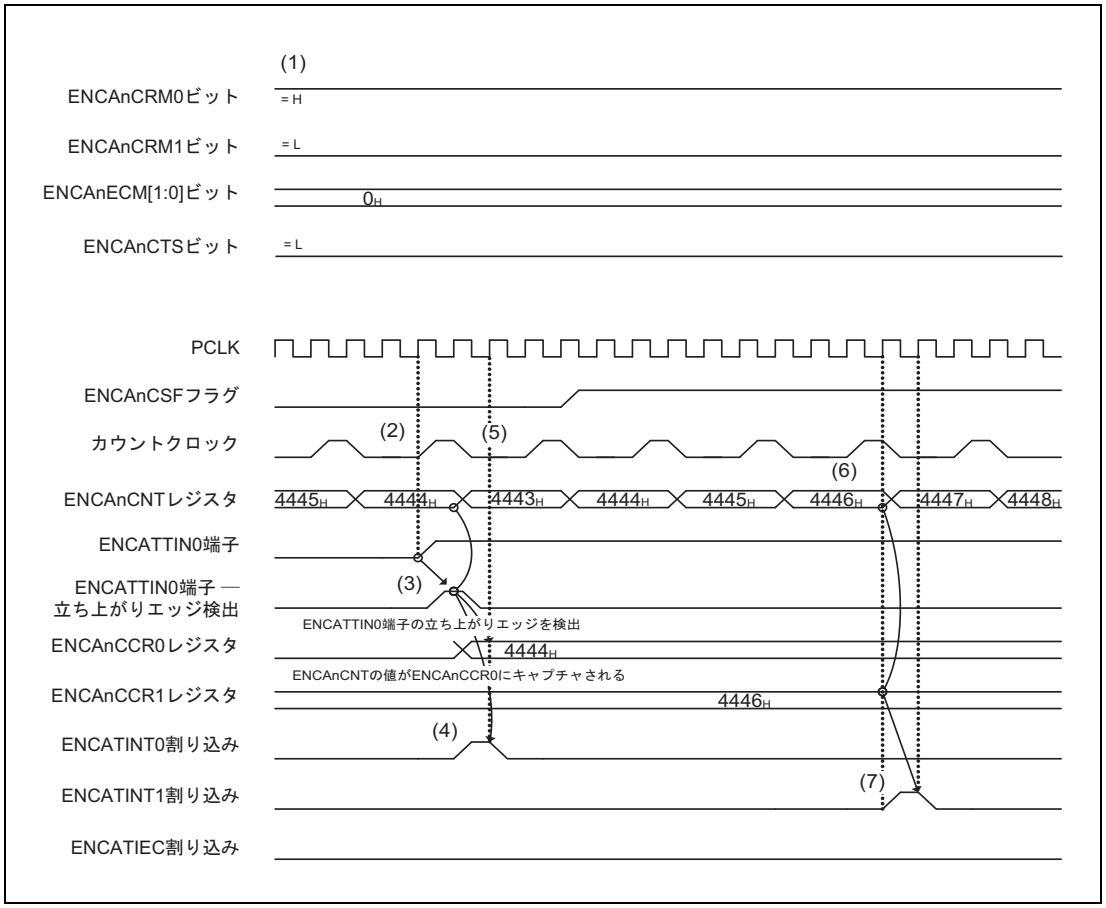


図 28.28　コンペアー致クリア制御無効時のときのエンコーダの動作

(1) 以下の値が設定されています。ENCAnCCR1 = 4446_H、ENCAnCRM0 = 1、ENCAnCRM1 = 0、ENCAnECM[1:0] = 00_B、ENCAnCTS = 0。

(2) ダウンカウントが実行されます。

(3) ENCATTIN0 の立ち上がりエッジが検出されると、ENCAnCNT の値（4444_H）が ENCAnCCR0 にキャプチャされます。

(4) ENCAnCCR0 へのキャプチャに対応する割り込み（ENCATINT0）が出力されます。

(5) カウント動作がアップカウントに変わります。

(6) ENCAnCNT が 4446_H になると、ENCAnCCR1 とのコンペア一致が検出されます。

(7) ENCAnCCR1 とのコンペア一致割り込み（ENCATINT1）が出力されます。

28.6.18 ENCAnSCE = 1 のときに ENCAnEC、ENCAnE0、ENCAnE1 によるクリアのタイミングで行われるキャプチャ動作

28.6.18.1 付随するキャプチャ動作

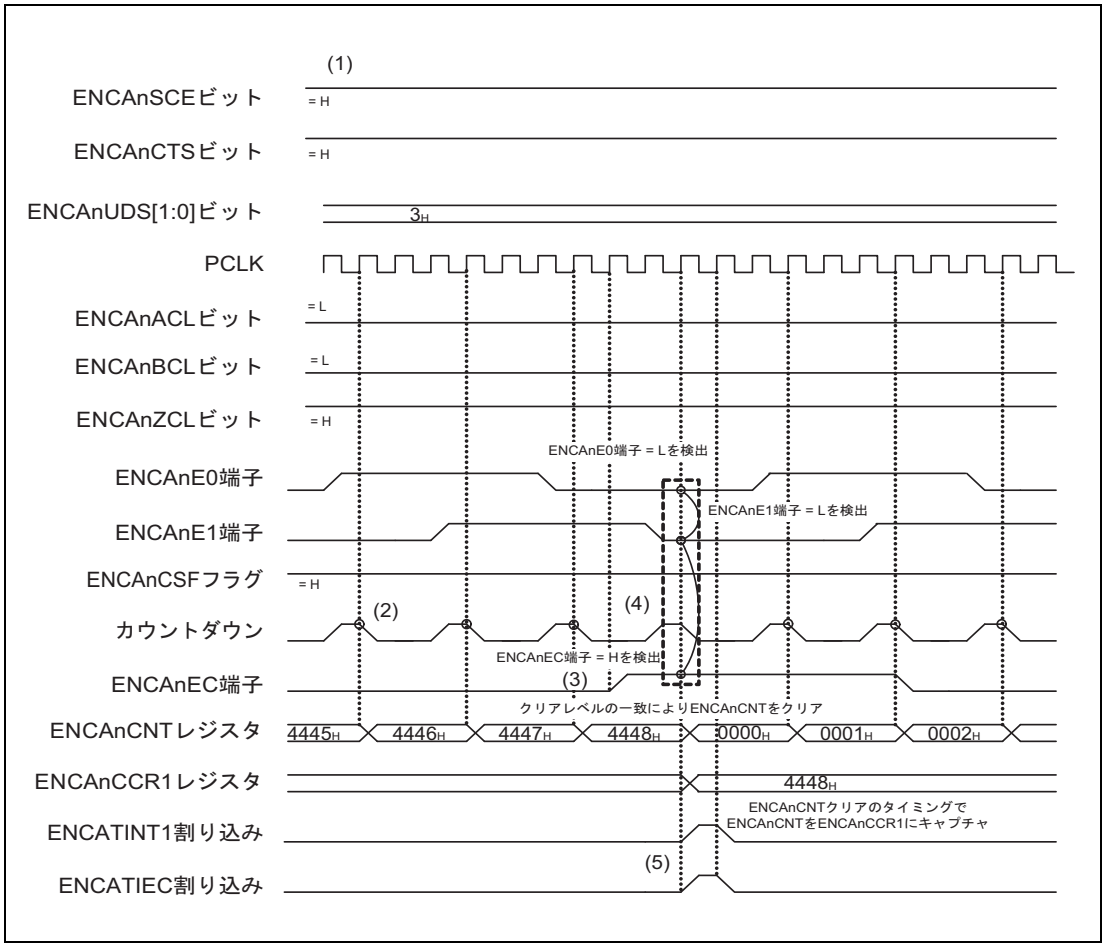


図 28.29 ENCAnSCE = 1 のときに ENCAnEC、ENCAnE0、ENCAnE1 によるクリアのタイミングで行われるキャプチャ動作

(1) 以下の設定が行われています。ENCAnSCE = 1、ENCAnCTS = 1、ENCAnUDS[1:0] = 11_B、ENCAnACL = 0、ENCAnBCL = 0、ENCAnZCL = 1。

(2) アップカウントが実行されます。

(3) ENCAnEC の立ち上がりエッジではカウント値はクリアされません。

(4) ENCAnE0、ENCAnE1、ENCAnEC が設定されたクリアレベルに達すると、カウント値がクリアされます。クリアのタイミングでカウント値が ENCAnCCR1 にキャプチャされます。

(5) クリアのタイミングで、ENCAnCCR1 へのキャプチャに対応する割り込み（ENCATINT1）と ENCAnEC によるクリア割り込み（ENCATIEC）が出力されます。

28.6.18.2 アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合（ENCAnACL=1、ENCAnBCL=0、ENCAnZCL=1、ENCAnUDS[1:0] = 11_B のとき）

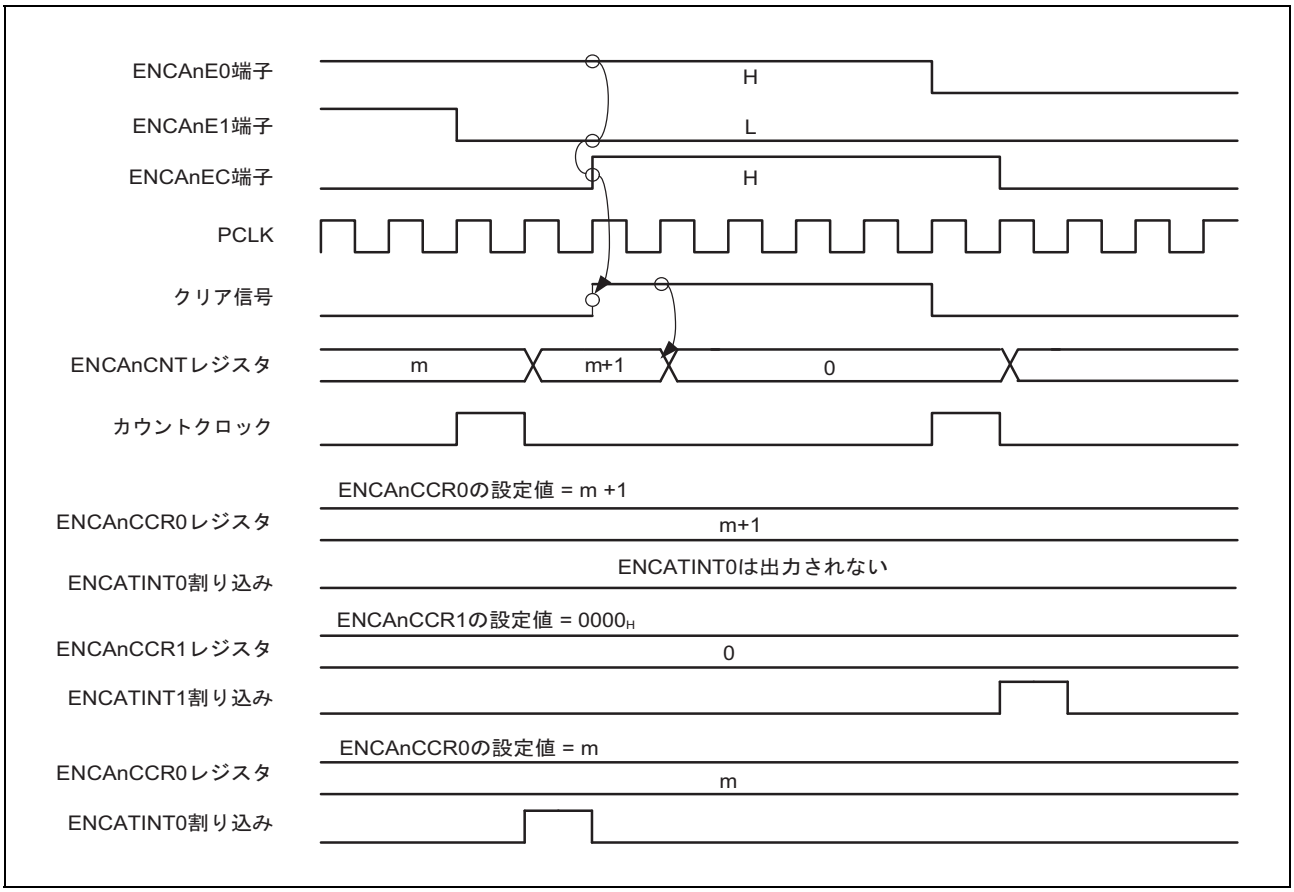


図 28.30　アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合のクリアのタイミング

28.6.18.3 アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングと同じだった場合（ENCAnACL=1、ENCAnBCL=0、ENCAnZCL=1、ENCAnUDS[1:0] = 11_B のとき）

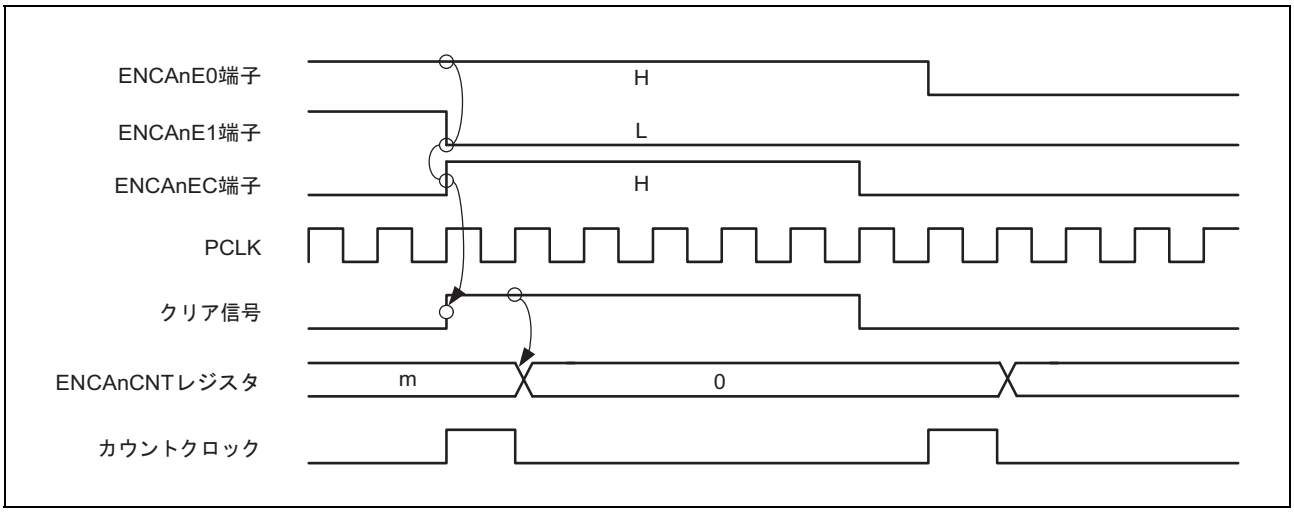


図 28.31　アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングと同じだった場合のクリアのタイミング

28.6.18.4 アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより早かった場合 （ENCAnACL = 1、ENCAnBCL = 0、ENCAnZCL = 1、ENCAnUDS[1:0] = 11_B のとき）

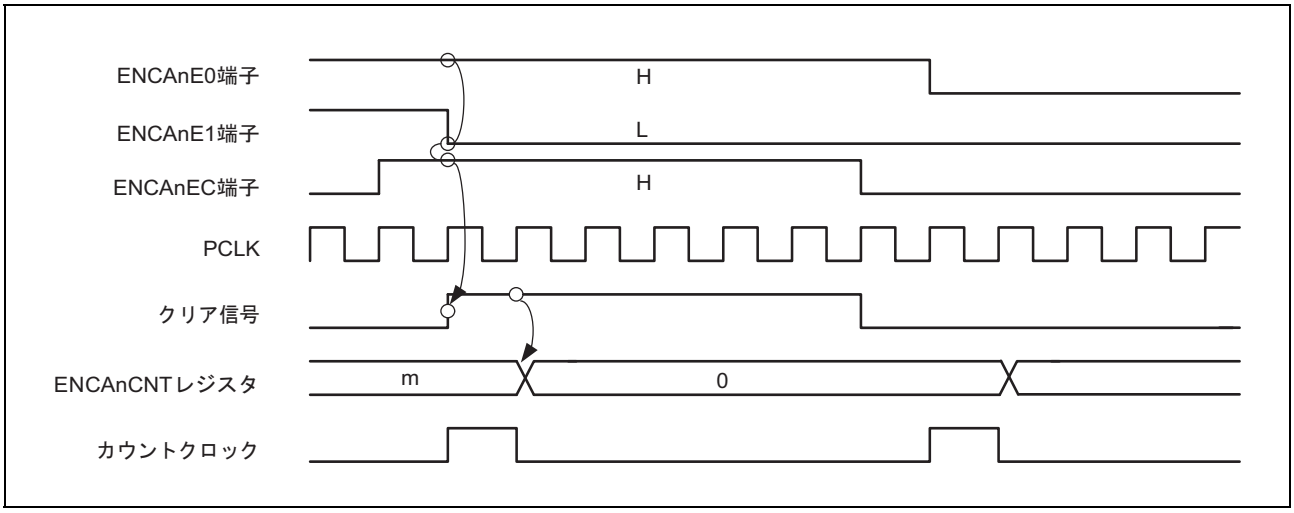


図 28.32　アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより早かった場合のクリアのタイミング

28.6.18.5 ダウンカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合 （ENCAnACL = 1、ENCAnBCL = 0、ENCAnZCL = 1、ENCAnUDS[1:0] = 11_B のとき）

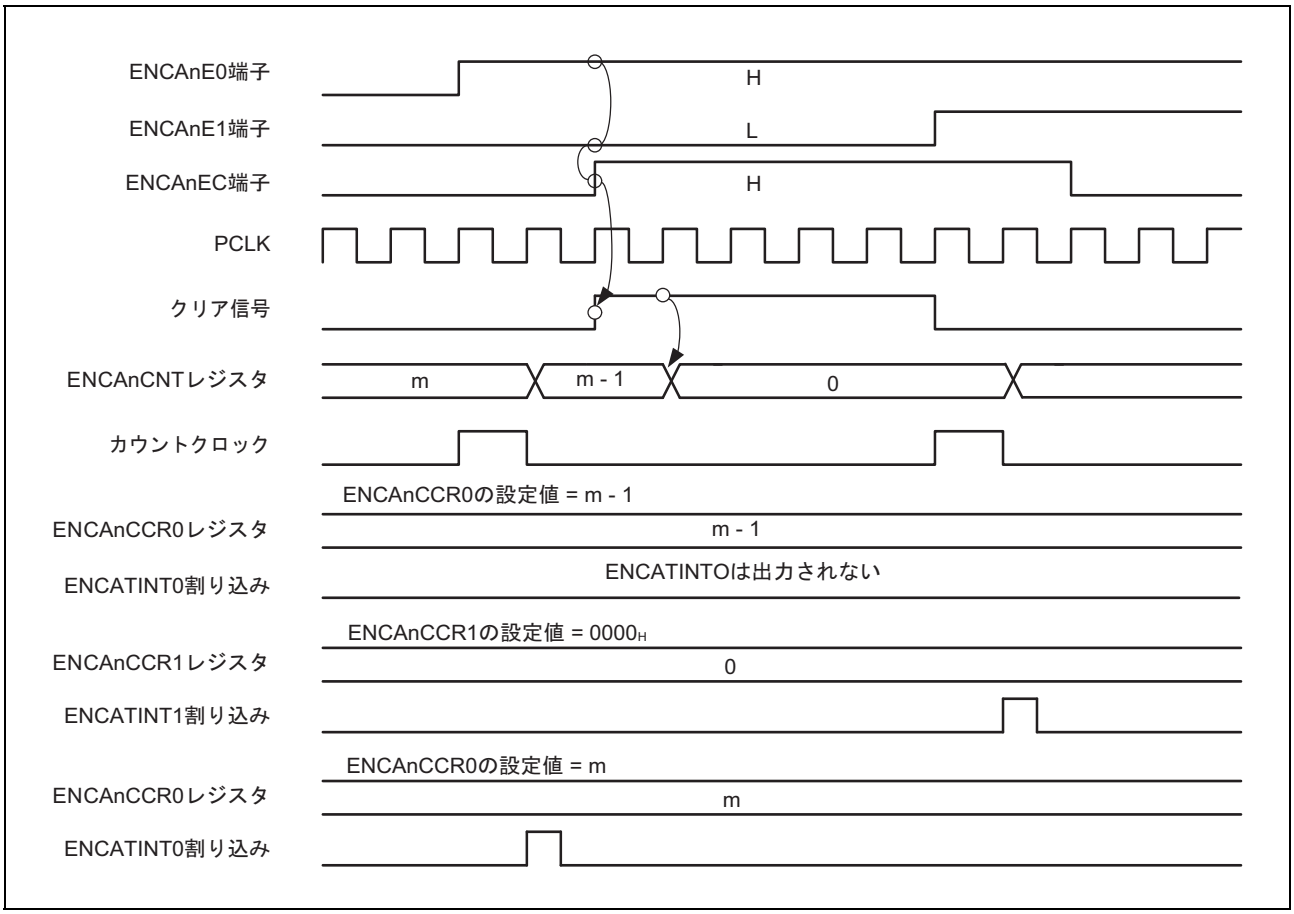


図 28.33　ダウンカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合のクリアのタイミング

28.6.19 ENCAnSCE = 0 のときに ENCAnEC によるクリアのタイミングで行われるキャプチャ動作

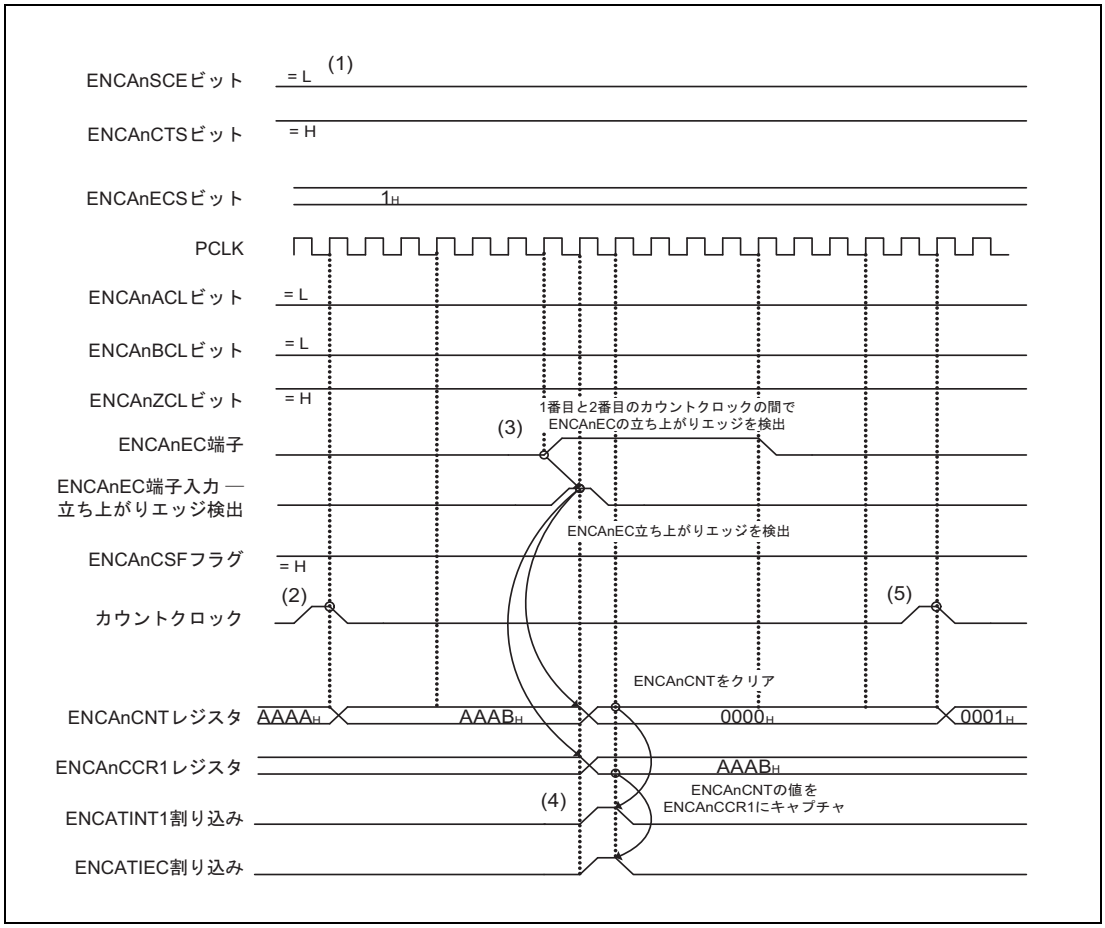


図 28.34 ENCAnSCE = 0 のときに ENCAnEC によるクリアのタイミングで行われるキャプチャ動作

(1) 以下の値が設定されています。ENCAnSCE = 0、ENCAnCTS = 1、ENCAnECS[1:0] = 01_B。

(2) アップカウントが実行されます。

(3) ENCAnEC の立ち上がりエッジが検出され、ENCAnCNT の値（$AAAB_H$）が ENCAnCCR1 にキャプチャされます。同時に、ENCAnEC によるクリア動作が行われるため、ENCAnCNT は 0000_H にクリアされます。

(4) ENCAnCCR1 へのキャプチャ割り込み 1（ENCATINT1）と ENCAnEC によるエンコーダクリア割り込み（ENCATIEC）が出力されます。

(5) カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。

第 29 章　モータ制御

本章では、モータ制御全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、モータ制御機能、レジスタについて説明します。

29.1　RH850/F1M モータ制御の特長

29.1.1　ユニット数とチャネル数

モータ制御機能は、タイマモータ制御ユニット（TAPA）と TAPA と周辺タイマを接続するペリフェラルインタコネクション（PIC）で構成し、周辺タイマおよび A/D コンバータとの組み合わせによりモータ制御波形を生成します。

本製品は、以下のユニット数の TAPA および PIC を搭載しています。

表 29.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
TAPA			
ユニット数	1		
名称	TAPAn (n = 0)		
PIC			
ユニット数	1		
名称	PIC0		

表 29.2　添字

添字	説明
n	本章では、TAPA、およびモータ制御機能が使用するタイマ、A/D コンバータのユニットを「n」（n = 0）で識別します。たとえば、TAPAn 制御レジスタ 0（TAPAnCTL0）のように記述しています。
m	使用するタイマ、A/D コンバータのチャネルを「m」で識別します。たとえば、TAUDn のチャネルは CHm と記述します。
x	A/D コンバータのスキャングループを「x」（x = 1 ～ 3）で識別します。
j	A/D コンバータのスキャントリガ番号を「j」（j = 0 ～ 2）で識別します。

各製品の添字が示す値を以下に示します。

表 29.3 各製品の添字対応

各製品の添字対応
全製品
m = 0 ～ 15 （例 . TAUDn）
x = 1 ～ 3
j = 0 ～ 2

29.1.2 レジスタベースアドレス

TAPAn および PIC0 のベースアドレスを以下の表に示します。

TAPAn、PIC0 のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 29.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAPA0_base>	FFE9 0000_H
<PIC0_base>	FFDD 0000_H

29.1.3 クロック供給

TAPAn、PIC0 のクロック供給を以下の表に示します。

表 29.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAPAn	PCLK	CKSCLK_IPERI1
	レジスタアクセスクロック	CKSCLK_IPERI1
PIC0	PCLK	CKSCLK_IPERI1
	レジスタアクセスクロック	CKSCLK_IPERI1

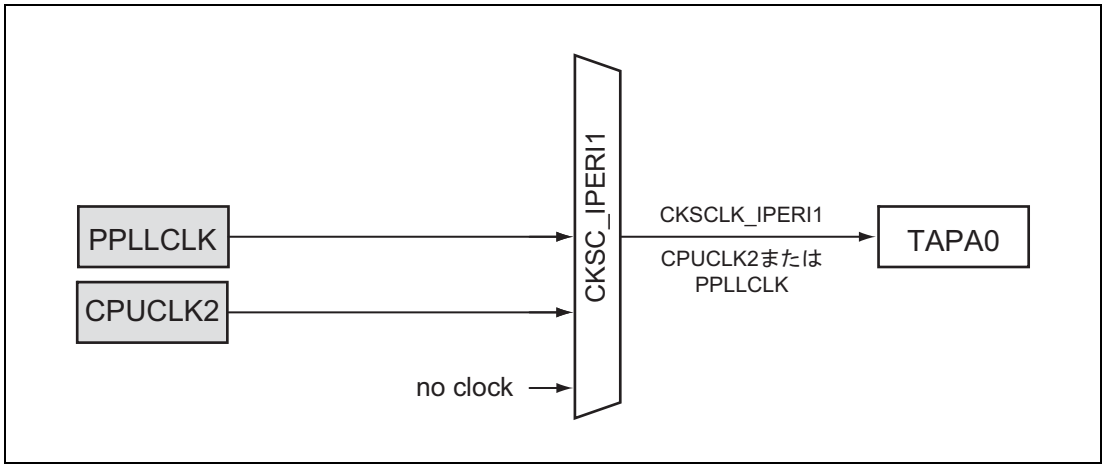


図 29.1 TAPA クロック供給

29.1.4　割り込み要求

TAPA0 の割り込み要求を以下の表に示します。

表 29.6　割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAPA0			
TAPATIPEK0	山割り込み 0	16、116	—
TAPATIVLY0	谷割り込み 0	17、117	—

29.1.5　リセット要因

TAPAn、PIC0 のリセット要因を以下に示します。TAPAn、PIC0 は以下のリセット要因で初期化されます。

表 29.7　リセット要因

ユニット名	リセット要因
TAPA0	すべてのリセット要因（ISORES）
PIC0	すべてのリセット要因（ISORES）

29.1.6　外部入出力信号

TAPAn、PIC0 の外部出力信号を以下の表に示します。

表 29.8　外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
PIC		
TOUTU	モータ制御出力 U 相（正相）	TAPA0UP
TOUTUB	モータ制御出力 U 相（逆相）	TAPA0UN
TOUTV	モータ制御出力 V 相（正相）	TAPA0VP
TOUTVB	モータ制御出力 V 相（逆相）	TAPA0VN
TOUTW	モータ制御出力 W 相（正相）	TAPA0WP
TOUTWB	モータ制御出力 W 相（逆相）	TAPA0WN
TAPA		
TAPATHASIN	モータ制御出力 Hi-Z 制御入力	TAPA0ESO

注　意

TAPA0UP、TAPA0UN、TAPA0VP、TAPA0VN、TAPA0WP、TAPA0WN、TAPA0ESO として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m = 1）に設定してください。

29.1.7　内部出力信号

TAPAn、PIC0 の内部出力信号を以下の表に示します。

表 29.9　内部出力信号

ユニット信号名	説明	接続先
TAPA0		
$\overline{\text{TAPATHZOUT0}}$	TAPA0UP/TAPA0UN 出力バッファ Hi-Z 制御出力注 1	ポート
$\overline{\text{TAPATHZOUT1}}$	TAPA0VP/TAPA0VN 出力バッファ Hi-Z 制御出力注 1	ポート
$\overline{\text{TAPATHZOUT2}}$	TAPA0WP/TAPA0WN 出力バッファ Hi-Z 制御出力注 1	ポート
TAPATADOUT0	A/D 変換トリガ信号 0 出力注 2	ADCA0 ハードウェアトリガ拡張
TAPATADOUT1	A/D 変換トリガ信号 1 出力注 2	ADCA0 ハードウェアトリガ拡張
PIC0		
TAPATHASIN	TAPA0 非同期 Hi-Z 制御信号注 1、注 3	TAPA0
TAPATSIM0	TAUD マスタチャネル割り込み信号 （TAUD0：INTTAUD0I0、INTTAUD0I2、INTTAUD0I8）	TAPA0
TAPATUDCM0	TAUD マスタ アップ／ダウン信号 （TAUD0：TAUD0UDC0、TAUD0UDC2、TAUD0UDC8）	TAPA0
TAPATCDENS0	TAUD スレーブ 0 一致検出注 4 （ADCA0 ハードウェアトリガ拡張： ADOPA1ADCATTIN00）	TAPA0
TAPATCDENS1	TAUD スレーブ 1 一致検出注 4 （ADCA0 ハードウェアトリガ拡張： ADOPA2ADCATTIN00）	TAPA0

注 1.　詳細については、**「29.4.6　TAPA0 Hi-Z 制御入力選択」**を参照してください。

注 2.　これらの信号は、A/D 変換開始用のトリガソースとして使用できます。**「表 31.47　A/D 変換ハードウェアトリガ一覧」**を参照してください。

注 3.　この信号はノイズフィルタを経由します。**「2.12　ノイズフィルタ & エッジレベル検出回路」**および**「2.13　ポートノイズフィルタ & エッジ／レベル検出機能説明」**を参照してください。

注 4.　これらの信号は、A/D コンバータ ADCA0 ハードウェアトリガ選択にて選択されます。**「表 31.47　A/D 変換ハードウェアトリガ一覧」**を参照してください。

29.2 概要

29.2.1 機能概要

モータ制御機能は、モータ制御ユニット（TAPA）とタイマアレイユニット D（TAUDn）や A/D（ADCAn）を組み合わせて以下の機能を実現します。

- 非同期 Hi-Z 制御機能
  端子入力やエラー信号による TAUDn 出力の Hi-Z 制御が可能
- 割り込み信号出力機能
  TAUDn が出力する INTn 信号により山割り込み、谷割り込み要求信号出力が可能
- A/D 変換開始トリガ選択機能
  TAUDn が出力する INTn 信号により A/D 変換開始トリガ出力が可能

また、ペリフェラルインタコネクション（PIC) との組み合わせにより以下の機能を実現します。

- タイマ同時スタートトリガ
  TAUD0、TAUJ1 各チャネル、ENCAn タイマの同時スタートが可能
- トリガ＆パルス幅測定機能
  ENCAn の割り込み信号を TAUDn や TAUJ1 に入力し、トリガ周期測定が可能
- A/D トリガエンコーダキャプチャ機能
  A/D 変換開始トリガタイミングで、ENCAn のカウンタ値のキャプチャが可能
- デッドタイム付き 3 相 PWM 出力機能／デッドタイム付き高精度三角波 PWM 出力機能
  TAUDn によるデッドタイム付 3 相 PWM 出力が可能
- デッドタイム付きディレイパルス出力機能
  周期タイミングに対するディレイパルス出力（デッドタイム付）が可能

29.2.2 モータ制御機能の構成

モータ制御機能の周辺ブロック構成を以下に示します。

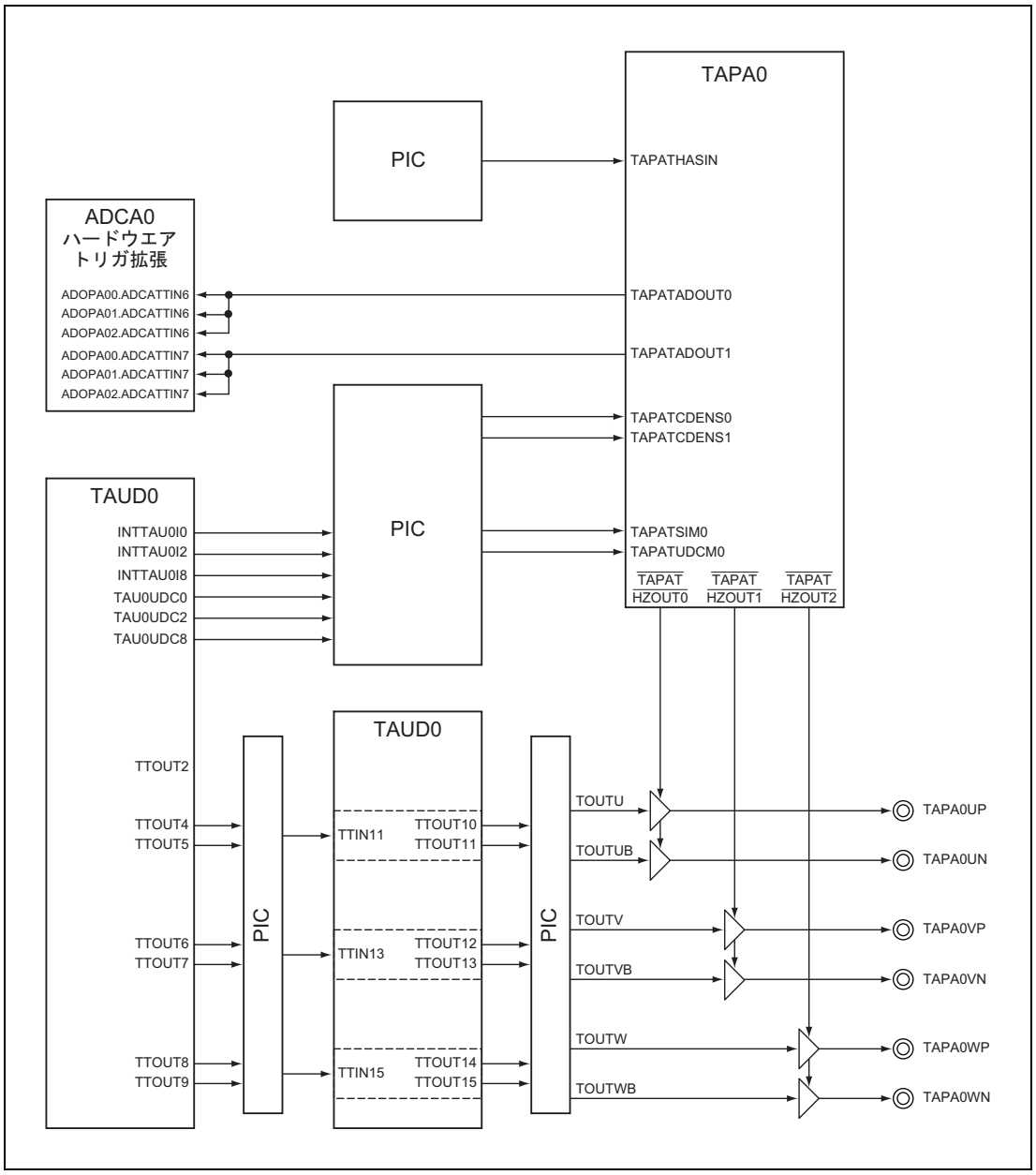


図 29.2 モータ制御の構成

TAUDn と PIC を使用して、モータ制御出力信号（デッドタイム付三相 PWM 出力信号）を生成します。

タイマ制御ユニット (TAPA) は、モータ制御出力の Hi-Z 制御を行います。

また、PIC は TAUDn、TAUJ1 の各チャネルや ENCAn、および TAPA 間を組み合わせることによりモータ用途向けの機能を実現します。

29.2.3　ブロック図

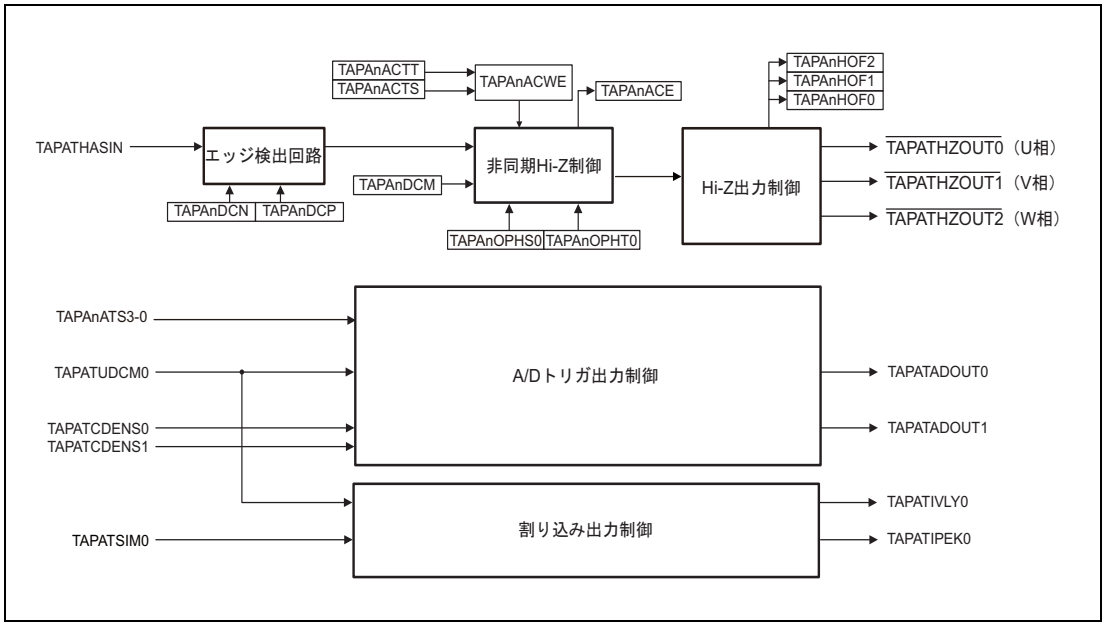


図 29.3　TAPA の周辺ブロック図

備　考

PIC の周辺ブロック図は、各機能説明の節を参照してください。

29.2.4 用語説明

タイマカウンタの「山」と「谷」、「山割り込み」と「谷割り込み」について

このドキュメントでは、TAUD のカウントアップステータスから、マスタチャネルの INT 発生までを「山」期間とし、発生するマスタチャネルの INT を「山割り込み」と定義します。

また、TAUD のカウントダウンステータスから、マスタチャネルの INT 発生までを「谷」期間とし、発生するマスタチャネルの INT を「谷割り込み」と定義します。

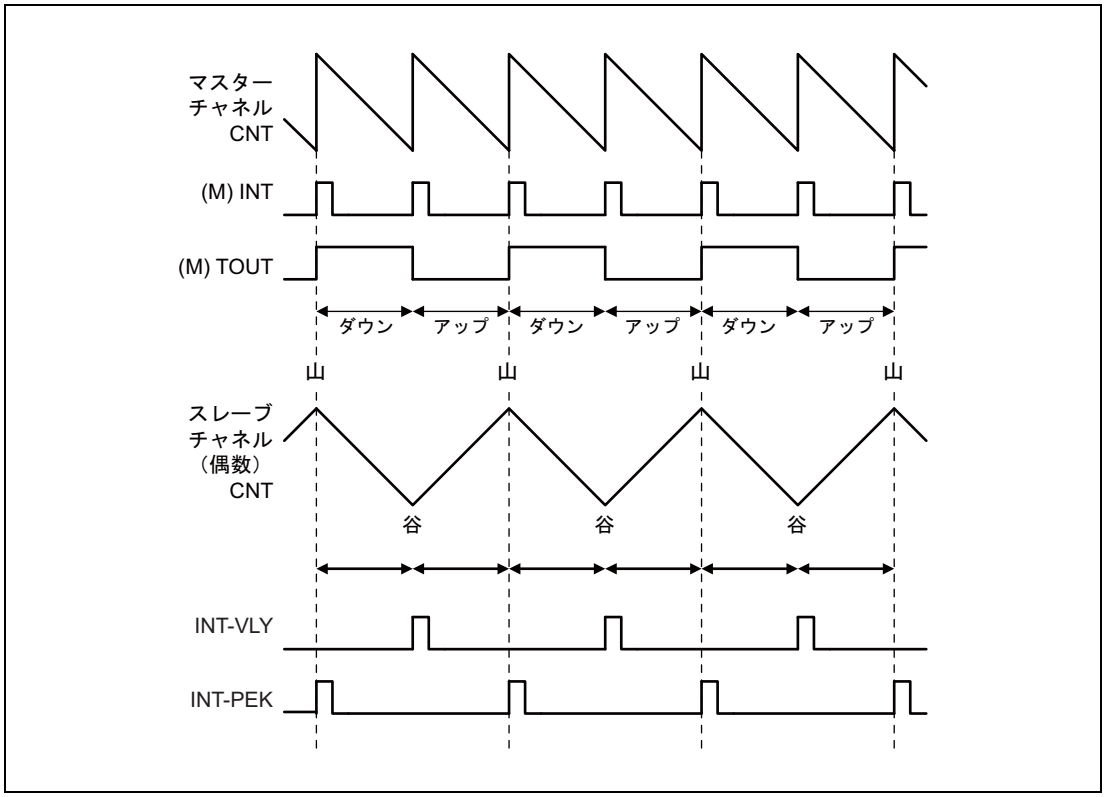


図 29.4 山割り込みと谷割り込み

29.3　レジスタ

29.3.1　レジスター覧

TAPAn および PIC0 のレジスター覧を以下の表に示します。

<TAPAn_base> および <PIC0_base> は「**29.1.2　レジスタベースアドレス**」を参照してください。

表 29.10　レジスター覧

モジュール名	レジスタ名	略号	アドレス
TAPAn	制御レジスタ 0	TAPAnCTL0	<TAPAn_base> + 20_H
TAPAn	制御レジスタ 1	TAPAnCTL1	<TAPAn_base> + 24_H
TAPAn	フラグレジスタ	TAPAnFLG	<TAPAn_base> + 00_H
TAPAn	非同期 Hi-Z 制御ライトイネーブルレジスタ	TAPAnACWE	<TAPAn_base> + 04_H
TAPAn	非同期 Hi-Z 制御スタートトリガレジスタ	TAPAnACTS	<TAPAn_base> + 08_H
TAPAn	非同期 Hi-Z 制御ストップトリガレジスタ	TAPAnACTT	<TAPAn_base> + $0C_H$
TAPAn	Hi-Z スタートトリガレジスタ	TAPAnOPHS	<TAPAn_base> + 14_H
TAPAn	Hi-Z ストップトリガレジスタ	TAPAnOPHT	<TAPAn_base> + 18_H
TAPAn	エミュレーションレジスタ	TAPAnEMU	<TAPAn_base> + 28_H
PIC0	同時スタートトリガ制御レジスタ	PIC0SST	<PIC0_base> + 04_H
PIC0	同時スタート制御レジスタ 0	PIC0SSER0	<PIC0_base> + 10_H
PIC0	同時スタート制御レジスタ 2	PIC0SSER2	<PIC0_base> + 18_H
PIC0	Hi-Z 出力制御レジスタ 0	PIC0HIZCEN0	<PIC0_base> + 80_H
PIC0	A/D 変換トリガ出力制御レジスタ 400	PIC0ADTEN400	<PIC0_base> + 90_H
PIC0	A/D 変換トリガ出力制御レジスタ 401	PIC0ADTEN401	<PIC0_base> + 94_H
PIC0	A/D 変換トリガ出力制御レジスタ 402	PIC0ADTEN402	<PIC0_base> + 98_H
PIC0	タイマ入出力制御レジスタ 200	PIC0REG200	<PIC0_base> + $C0_H$
PIC0	タイマ入出力制御レジスタ 201	PIC0REG201	<PIC0_base> + $C4_H$
PIC0	タイマ入出力制御レジスタ 202	PIC0REG202	<PIC0_base> + $C8_H$
PIC0	タイマ入出力制御レジスタ 203	PIC0REG203	<PIC0_base> + CC_H
PIC0	タイマ入出力制御レジスタ 30	PIC0REG30	<PIC0_base> + $E8_H$
PIC0	タイマ入出力制御レジスタ 31	PIC0REG31	<PIC0_base> + EC_H

備　考

PIC 関連レジスタは、各機能説明の節を参照してください。

29.3.2 TAPAnCTL0 — TAPA 制御レジスタ 0

このレジスタで、非同期 Hi-Z 制御機能の設定を行います。

このレジスタの値は、TAPAnFLG.TAPAnACE = 0、かつ、対応する TAUD のマスタチャネルの TAUDnTEm = 0 の場合のみ書き換えることができます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAPAn_base> + 20_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TAPAn DCM	TAPAn DCN	TAPAn DCP	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 29.11 TAPAnCTL0 レジスタの内容

ビット位置	ビット名	機能
15 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TAPAnDCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0: TAPATHASIN 信号入力に関係なく、TAPAnOPHT0 ビットの操作を有効 1: TAPATHASIN 信号入力がインアクティブの場合にのみ、TAPAnOPHT0 ビット操作を有効
3、2	TAPAnDCN、TAPAnDCP	Hi-Z 入力エッジ選択ビット TAPATHASIN 信号の有効エッジを指定する制御ビットです。
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

TAPAn DCN	TAPAn DCP	動作説明
0	0	有効エッジを検出しない
0	1	立ち上がりエッジを有効エッジとして検出 （アクティブレベル = High）
1	0	立ち下がりエッジを有効エッジとして検出 （アクティブレベル = Low）
1	1	設定禁止

29.3.3 TAPAnCTL1 — TAPA 制御レジスタ 1

このレジスタで、A/D 変換トリガを指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAPAn_base> ＋ 24_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAPAnATS3	TAPAnATS2	TAPAnATS1	TAPAnATS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 29.12 TAPAnCTL1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3、2	TAPAnATS3、TAPAnATS2	A/D 変換トリガ 1 選択ビット A/D 変換トリガ出力 1（TAPATADOUT1 信号）を指定する制御ビットです。
1、0	TAPAnATS1、TAPAnATS0	A/D 変換トリガ 0 選択ビット A/D 変換トリガ出力 0（TAPATADOUT0 信号）を指定する制御ビットです。

TAPAn ATS3	TAPAn ATS2	動作説明
0	0	三角波のダウンカウント中の INT 信号
0	1	設定禁止
1	0	三角波のアップ／ダウンカウント中の INT 信号
1	1	三角波のアップ／ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号

TAPAn ATS1	TAPAn ATS0	動作説明
0	0	三角波のダウンカウント中の INT 信号
0	1	設定禁止
1	0	三角波のアップ／ダウンカウント中の INT 信号
1	1	三角波のアップ／ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号

29.3.4 TAPAnFLG — TAPA フラグレジスタ

非同期 Hi-Z 制御のフラグレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TAPAn_base> + 00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TAPAn HOF2	TAPAn HOF1	TAPAn HOF0	—	—	—	—	—	—	—	TAPAnA CE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.13 TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	TAPAnHOF2	W 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0：TAPAnTHZOUT2 の現在の出力がハイレベル 1：TAPAnTHZOUT2 の現在の出力がロウレベル
9	TAPAnHOF1	V 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0：TAPAnTHZOUT1 の現在の出力がハイレベル 1：TAPAnTHZOUT1 の現在の出力がロウレベル
8	TAPAnHOF0	U 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0：TAPAnTHZOUT0 の現在の出力がハイレベル 1：TAPAnTHZOUT0 の現在の出力がロウレベル
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	TAPAnACE	非同期 Hi-Z 制御イネーブルビット 0：非同期 Hi-Z 制御が停止状態 1：非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件：TAPAnACWE ビット = 1 時の TAPAnACTT への “1” 書き込み セット条件：TAPAnACWE ビット = 1 時の TAPAnACTS への “1” 書き込み

29.3.5 TAPAnACWE — TAPA 非同期 Hi-Z 制御ライトイネーブルレジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAPAn_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACWE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 29.14 TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnACWE	非同期制御ライトイネーブルビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 “1” に書き込み後、TAPAnACTS ビットと TAPAnACTT ビットに “1” を書き込むことによって、自動的に “0” にクリアされます。 0：TAPAnACTS ビットと TAPAnACTT ビットへの書き込み禁止 1：TAPAnACTS ビットと TAPAnACTT ビットへの書き込み許可

29.3.6 TAPAnACTS — TAPA 非同期 Hi-Z 制御スタートトリガレジスタ

非同期 Hi-Z 制御用のスタートトリガを許可します。

アクセス 8 ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.15 TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnACTS	非同期 Hi-Z 制御スタートトリガビット 非同期 Hi-Z 制御用のスタートトリガを許可します。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0：“0” 書き込みは、無視されます（機能として意味を持ちません）。 1：TAPAnACE = 1 の場合に非同期 Hi-Z 制御を許可

29.3.7 TAPAnACTT — TAPA 非同期 Hi-Z 制御ストップトリガレジスタ

非同期 Hi-Z 制御用のストップトリガを許可します。

アクセス 8 ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + $0C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.16 TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnACTT	非同期 Hi-Z 制御ストップトリガビット 非同期 Hi-Z 制御用のストップトリガを許可します。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0：“0” 書き込みは無視されます（機能として意味を持ちません）。 1：TAPAnACE = 0 の場合に非同期 Hi-Z 制御を停止

29.3.8 TAPAnOPHS — TAPA Hi-Z スタートトリガレジスタ

モータ制御出力端子に対する Hi-Z 制御を開始するためのソフトウェアトリガレジスタです。

アクセス 8 ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.17 TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHS0	Hi-Z 制御スタートトリガビット モータ制御出力端子の Hi-Z 制御を開始します。 0：“0” 書き込みは無視されます（機能として意味を持ちません）。 1：Hi-Z 制御を開始

29.3.9 TAPAnOPHT — TAPA Hi-Z ストップトリガレジスタ

モータ制御出力端子に対する Hi-Z 制御を停止するためのソフトウェアトリガレジスタです。

アクセス 8 ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.18 TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHT0	Hi-Z 制御ストップトリガビット モータ制御出力端子の Hi-Z 制御を停止します。 0：“0” 書き込みは無視されます（機能として意味を持ちません）。 1：Hi-Z 制御を停止。本ビットの設定有効／無効の条件は TAPAnCTL0.TAPAnDCM で設定します。

29.3.10 TAPAnEMU — TAPA エミュレーションレジスタ

このレジスタは、エミュレーションのために SVSTOP による動作を制御します。

アクセス 8 ビット単位でリード／ライト可能です。
（SVSTOP = ロウの場合は、書き換えのみ可能です。）

アドレス <TAPAn_base> + 28_H

リセット後の値 リードすると常に 00_H が読めます。

ビット	7	6	5	4	3	2	1	0
	TAPAnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 29.19 TAPAnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAPAnSVSDIS	SVSTOP の禁止に使用します。 0：SVSTOP が有効。（SVSTOP = H が入力された場合、Hi-Z 制御出力をロウレベルに設定する） 1：SVSTOP が無効。（Hi-Z 制御出力のレベルは SVSTOP 入力のレベルによって変化しない）
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

29.4　非同期 Hi-Z 制御機能

マイコンによって制御されるタイマモータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、マイコンによる制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態に設定します。

29.4.1　概要

非同期 Hi-Z 制御により、TAPAn からの出力を強制的に停止する機能です。

- TAPATHASIN がアクティブレベルになると、モータ制御出力端子のレベルは Hi-Z に設定され、モータ制御出力は強制的に停止します。
- Hi-Z 状態になったモータ制御出力は、Hi-Z ストップトリガレジスタ（TAPAnOPHT0）への書き込みによって再開することができます。
- モータ制御出力の Hi-Z 状態設定は、Hi-Z 制御スタートトリガレジスタ（TAPAnOPHS）への書き込みにより行うことも可能です。
- PIC の設定により、エラー発生時の Hi-Z 制御入力の許可・禁止が可能です。

29.4.2　システム構成例

モータ制御出力（TAPA0UP / TAPA0UN / TAPA0VP / TAPA0VN / TAPA0WP / TAPA0WN）を、外部エラー検出信号（TAPA0ESO 信号）にて Hi-Z 制御する場合のシステム構成例を下記に示します。

外部エラー検出信号の有効エッジを検出すると、モータ制御出力を Hi-Z にします。

エラー発生時にマイコンがフリーズする可能性を想定し、外部のエラー検出信号を継続的に処理することによって、クロックがない状態でもモータ制御用タイマ出力を Hi-Z にできるようにしています。

なお、エラーは、エラー検出信号の有効エッジを検出したときにのみ検出されます。したがって、出力レベルが固定されている場合エラーは検出されず、信号レベルは変化しません。

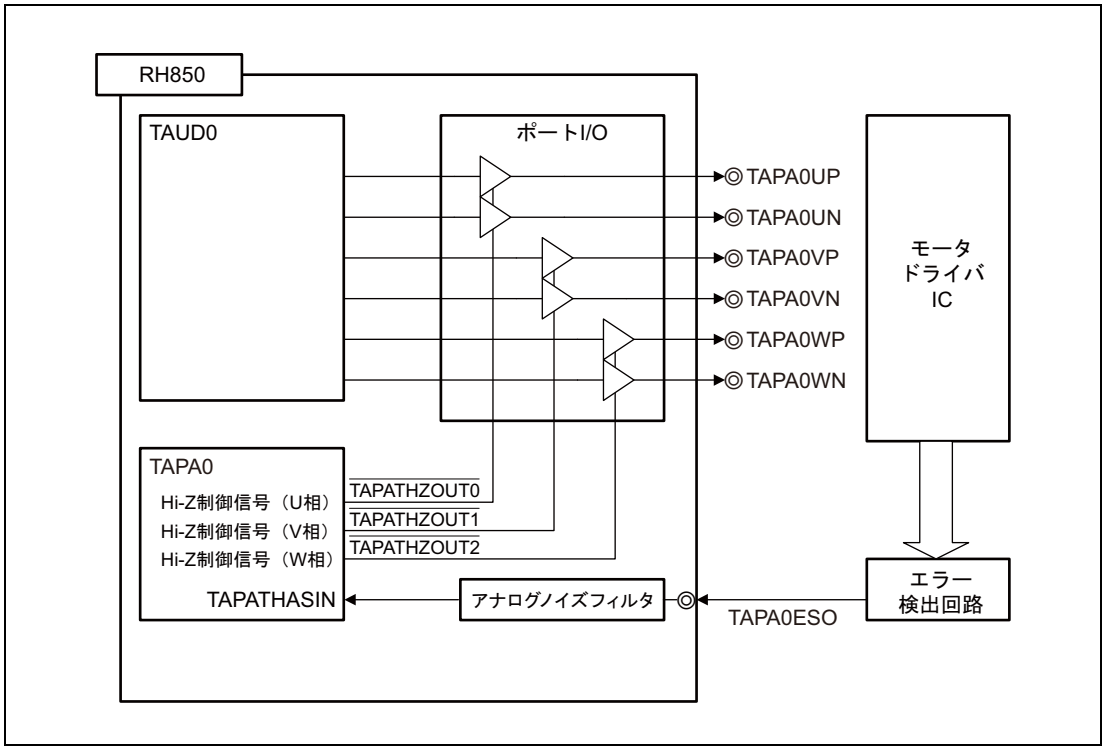


図 29.5　端子入力に対応した非同期 Hi-Z 制御のシステム構成例

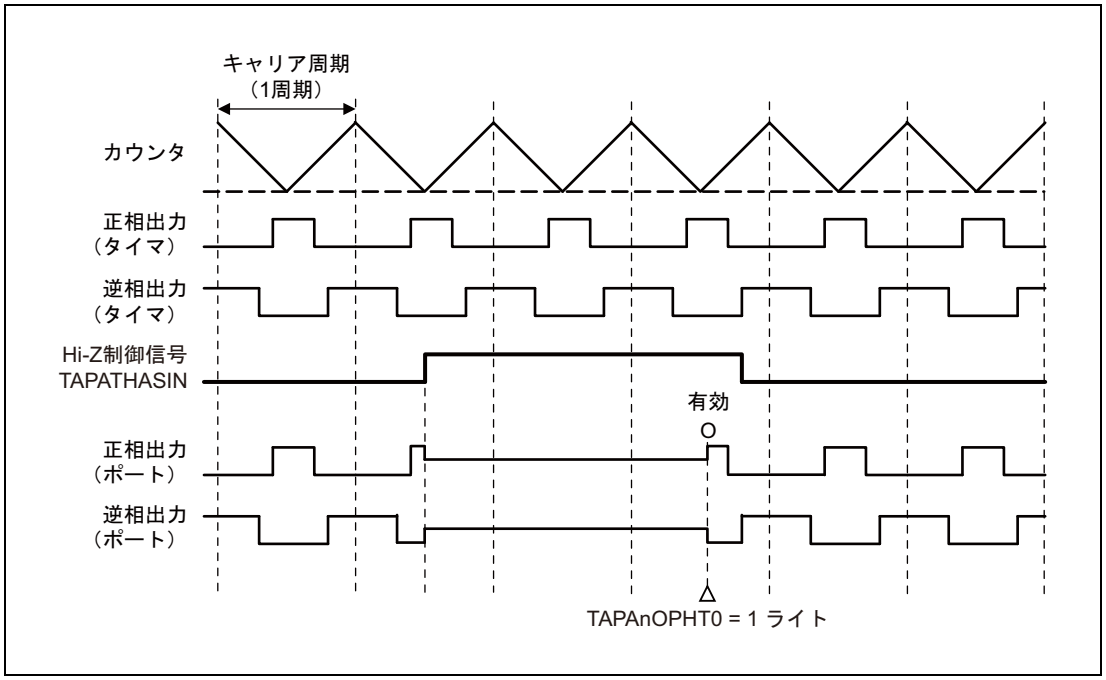
29.4.3 基本動作

モータ制御出力端子の Hi-Z 制御は次の方法で開始できます。

- 非同期 Hi-Z 制御信号（TAPATHASIN）の有効エッジ検出
- Hi-Z 制御信号のスタートトリガビット（TAPAnOPHS.TAPAnOPHS0）をセット

Hi-Z 制御信号のストップトリガビット（TAPAnOPHT.TAPAnOPHT0）をセットするまで、モータ制御出力端子が Hi-Z 状態になります。ただし、TAPAnOPHT0 ビットの設定有効／無効の条件は、TAPAnCTL0.TAPAnDCM で設定します。

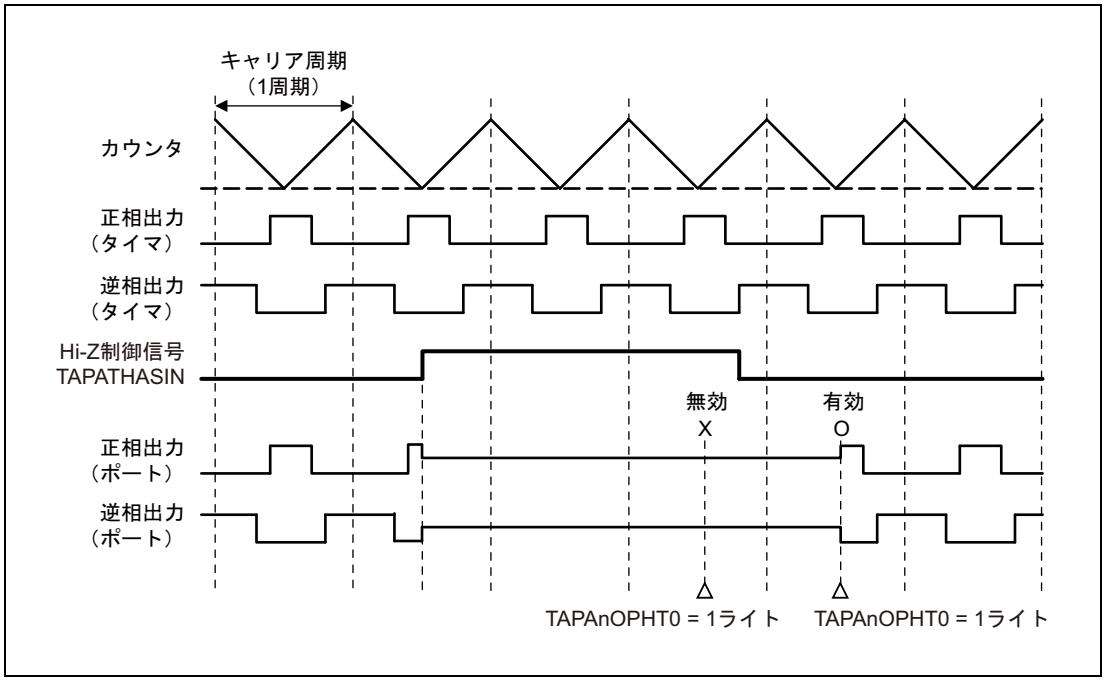
(1) TAPAnCTL0.TAPAnDCM = 0、TAPAnDCP = 1、TAPAnDCN = 0 時



TAPATHASIN の有効エッジを検出すると、モータ制御出力を強制的に停止（Hi-Z 出力）します。

TAPATHASIN のレベルに関係なく、TAPAnOPHT.TAPAnOPHT0 に “1” を書き込むことによって、モータ制御出力が再開します。

(2) TAPAnCTL0.TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時



TAPATHASIN の有効エッジを検出すると、モータ制御出力を強制的に停止（Hi-Z 出力）します。

TAPATHASIN がアクティブレベル（TAPAnCTL0.TAPAnDCP = 1 のためハイレベル）の間、Hi-Z 制御信号のストップトリガビット（TAPAnOPHT.TAPAnOPHT0）への “1” 書き込みは無視されます。

TAPATHASIN がインアクティブ（TAPAnCTL0.TAPAnDCP = 1 のためロウレベル）レベルとなったあと、TAPAnOPHT.TAPAnOPHT0 に “1” を書き込むことによって、モータ制御出力が再開します。

29.4.4 ソフトウェアトリガによる非同期 Hi-Z 制御

Hi-Z 制御スタートトリガビット（TAPAnOPHS.TAPAnOPHS0）および Hi-Z 制御ストップトリガビット（TAPAnOPHT.TAPAnOPHT0）で、モータ制御出力の Hi-Z 制御ができます。

(1) Hi-Z 制御スタートトリガビット（TAPAnOPHS.TAPAnOPHS0）の動作

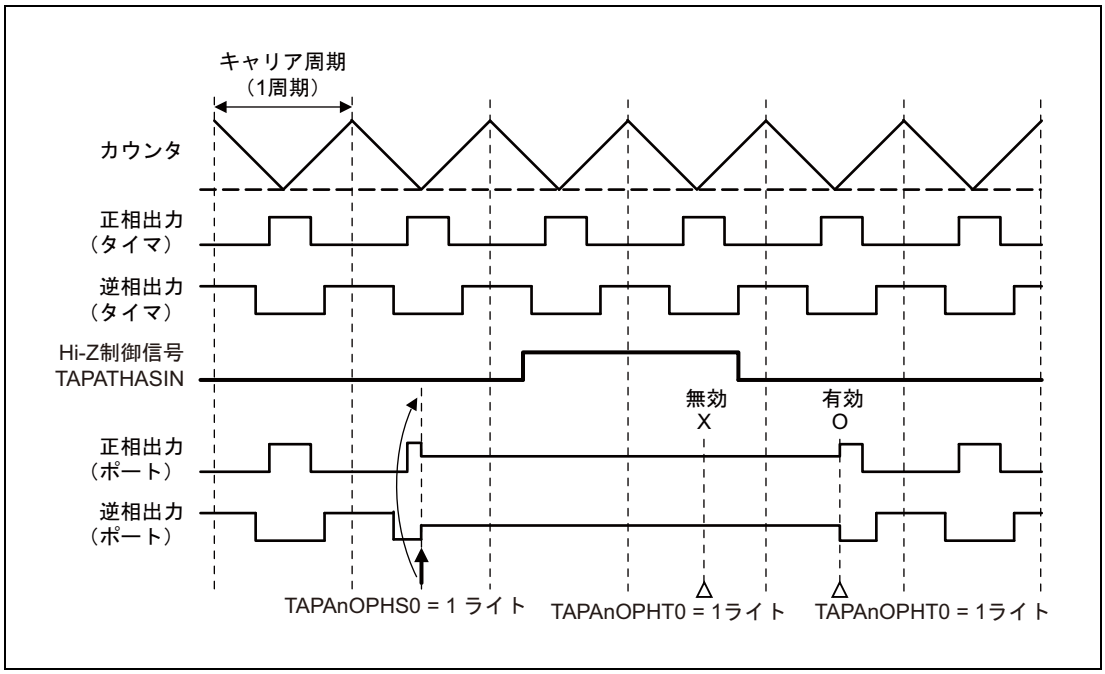
TAPAnDCM	動作
0/1	TAPAnOPHS0 ビットに “1” を書き込むことによって、Hi-Z 制御を開始し、モータ制御出力を強制的に停止（Hi-Z 出力）します。

(2) Hi-Z 制御ストップトリガビット（TAPAnOPHT.TAPAnOPHT0）の動作

Hi-Z 制御ストップトリガの有効／無効は次の条件に依存します。

TAPAnDCM	動作
0	TAPAnOPHT0 ビットに “1” を書き込むことによって、Hi-Z 制御を停止し、モータ制御出力を再開します。
1	TAPATHASIN がインアクティブ中、TAPAnOPHT0 ビットに “1” を書き込むことによって、Hi-Z 制御を停止し、モータ制御出力を再開します。 TAPATHASIN がアクティブ中は、TAPAnOPHT0 ビットへの “1” の書き込みは無視されます。

(3) TAPAnCTL0.TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時



TAPAnOPHS0 ビットに “1” を書き込むことによってモータ制御出力を強制的に停止（Hi-Z 出力）します。

その後、TAPATHASIN の立ち上がりエッジを検出しても、モータ制御出力は Hi-Z のままです。

TAPATHASIN がアクティブレベル（TAPAnDCN = 0、TAPAnDCP = 1 のためハイレベル）の間、TAPAnOPHT0 ビットへの書き込みは無視されます。

TAPATHASIN の立ち下がりエッジ検出後、TAPATHASIN がインアクティブ（TAPAnDCN = 0、TAPAnDCP = 1 のためロウレベル）の期間に TAPAnOPHT0 ビットに “1” を書き込むことによってモータ制御出力が再開します。

29.4.5 操作手順

以下に非同期入力 Hi-Z 制御機能の操作手順を示します。

	動作	TAPA の状態
初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP ビット、TAPAnDCN ビットを設定（入力エッジ選択） TAPAnDCM ビットを設定（クリアモード選択）	非同期 Hi-Z 制御停止 （TAPAnFLG.TAPAnACE = 0）
動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに “1” を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS ビットに “1” を設定	TAPAnACTS ビットの書き込み可能 非同期 Hi-Z 制御許可 （TAPAnFLG.TAPAnACE = 1）
動作中	タイマ機能の出力に対して Hi-Z 制御を開始（スタート）する方法は、以下のとおりです。 • TAPAnOPHS レジスタで制御 • 非同期 Hi-Z 制御信号（TAPATHASIN）で制御 タイマ機能出力の Hi-Z 制御を終了（ストップ）する方法は、以下のとおりです。 • TAPAnOPHT レジスタで制御 (TAPAnDCM ビット = 1 の場合は TAPATHASIN 信号がインアクティブ時のみ TAPAnOPHT レジスタによる制御が可能) TAPAnFLG レジスタで常に TAPA の動作状態が読み出し可能です。	非同期 Hi-Z 制御信号（TAPATHASIN）の有効エッジ検出、または Hi-Z 制御スタートトリガビットを設定（TAPAnOPHS0 ビット = 1）することによって、モータ制御出力端子の Hi-Z 制御を開始。 TAPAnDCM ビットで設定した動作モードに従い、Hi-Z 制御ストップトリガビットを設定（TAPAnOPHT0 ビット = 1）することによって、モータ制御出力端子の Hi-Z 制御を停止。
動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに “1” を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT ビットに “1” を設定	TAPAnACTT ビットの書き込み許可 非同期 Hi-Z 制御停止 （TAPAnFLG.TAPAnACE = 0）

動作再開

29.4.6 TAPA0 Hi-Z 制御入力選択

エラー発生時にモータ制御出力を停止するには、下図に示すように、PIC にてエラーイベントを選択し、TAPA0 にてモータ制御出力を Hi-Z 状態にします。

PIC0HIZCEN0 = 00_H 設定、または TAPA0ACWE = 01_H 設定後、TAPA0ACTT = 01_H 設定することにより、TAPA 機能を停止できます。

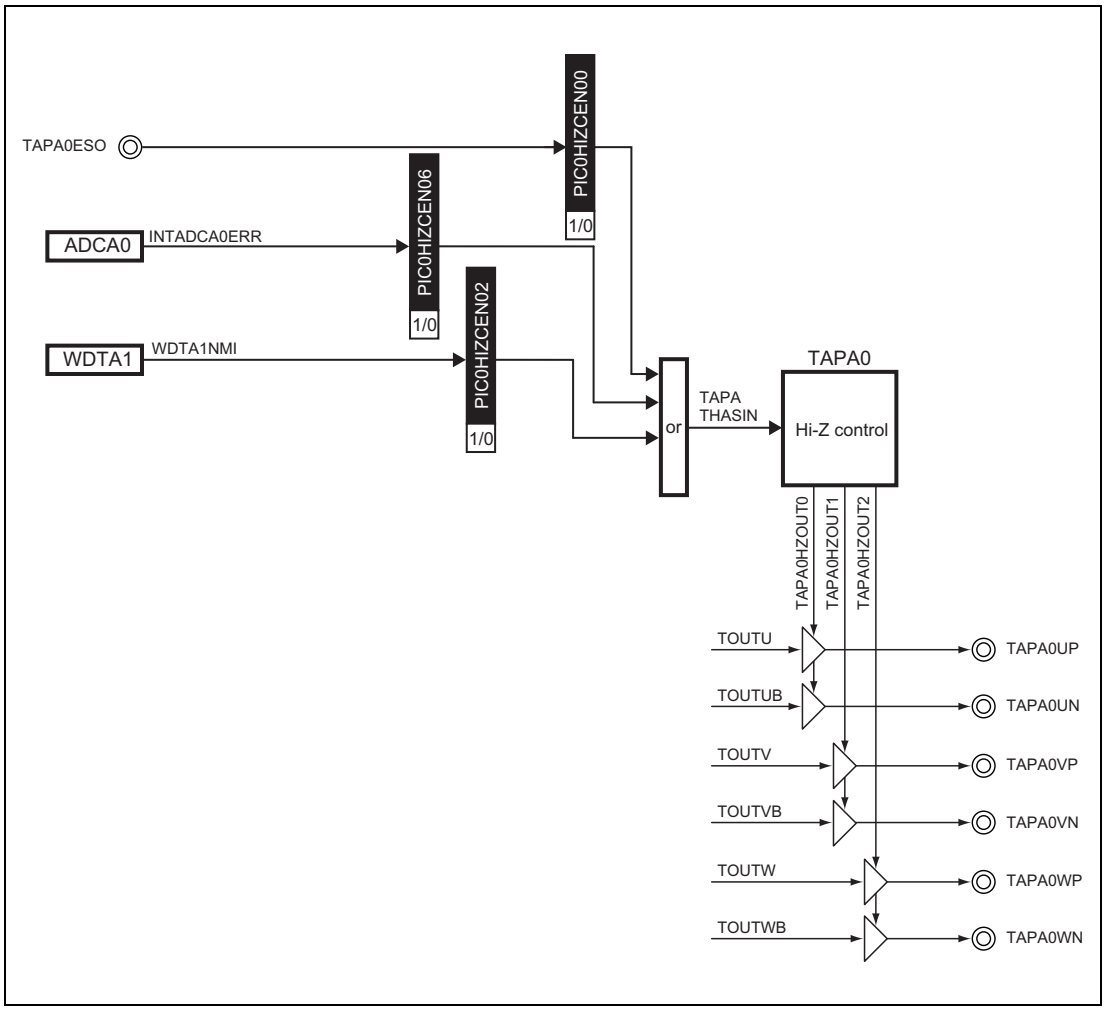


図 29.6 Hi-Z 制御ブロック図

Hi-Z 状態への切り替えは、以下の入力により可能です。

- TAPA0ESO 端子入力
- A/D コンバータ ADCA0 エラー信号 ADCA0ERR

ウインドウウォッチドッグタイマ WDTA1 ノンマスカブル割り込み WDTA1NMI、
または、これらの信号の詳細については、各機能の説明を参照してください。

29.4.7 レジスタ

29.4.7.1 PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n ＝ 0）

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <PIC0_base> + 80_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 29.20 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
5 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可

29.5　INT 信号出力選択機能

29.5.1　INT 信号出力選択機能の構成

TAUD の三角波キャリア周期生成チャネル（マスタ）の INT 信号が接続された TAPATSIM0 信号とカウンタのアップ／ダウン信号が接続された TAPATUDCM0 信号から、山割り込み TAPATIPEK0 と谷割り込み TAPATIVLY0 を生成する機能です。

本製品における TAPATSIM0 信号の接続先は**「29.1.7　内部出力信号」**を参照してください。

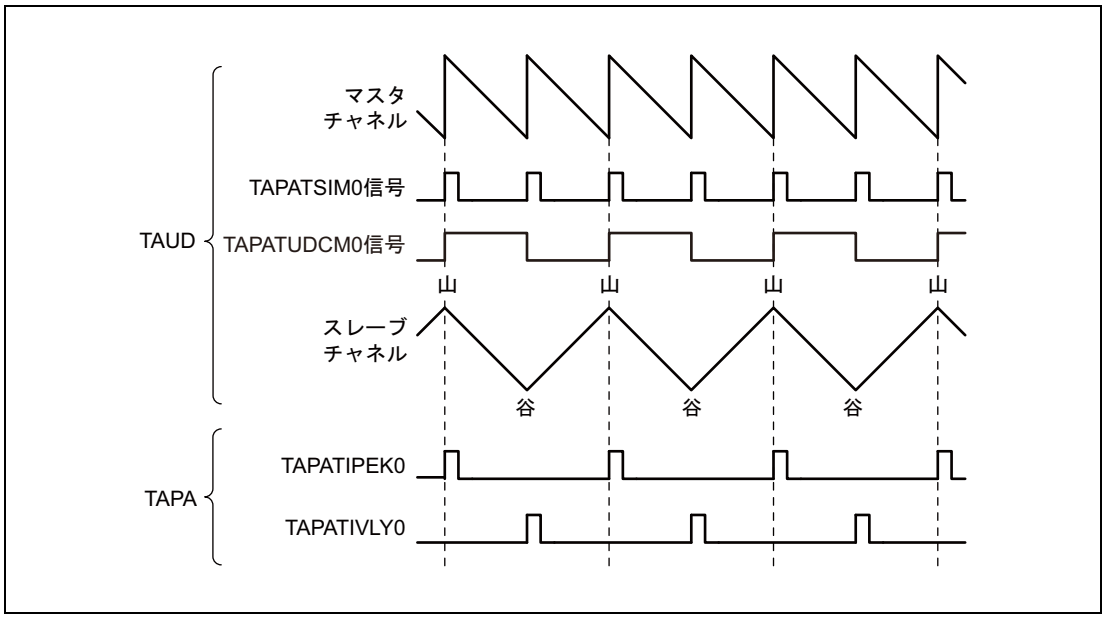


図 29.7　INT 信号出力選択機能の基本動作タイミング

マスタチャネルで三角波キャリア周期を生成します。

1/2 三角波キャリア周期ごとに発生するマスタチャネルの INT 信号は TAPATSIM0 信号として TAPAn に入力されます。TAPAn は入力された TAPATSIM0 信号と TAPATUDCM0 信号により、TAPATUDCM0 信号がハイ・レベルの間、TAPATIPEK0 信号（山割り込み）を生成し、TAPATUDCM0 信号がロウ・レベルの間、TAPATIVLY0 信号（谷割り込み）を生成します。

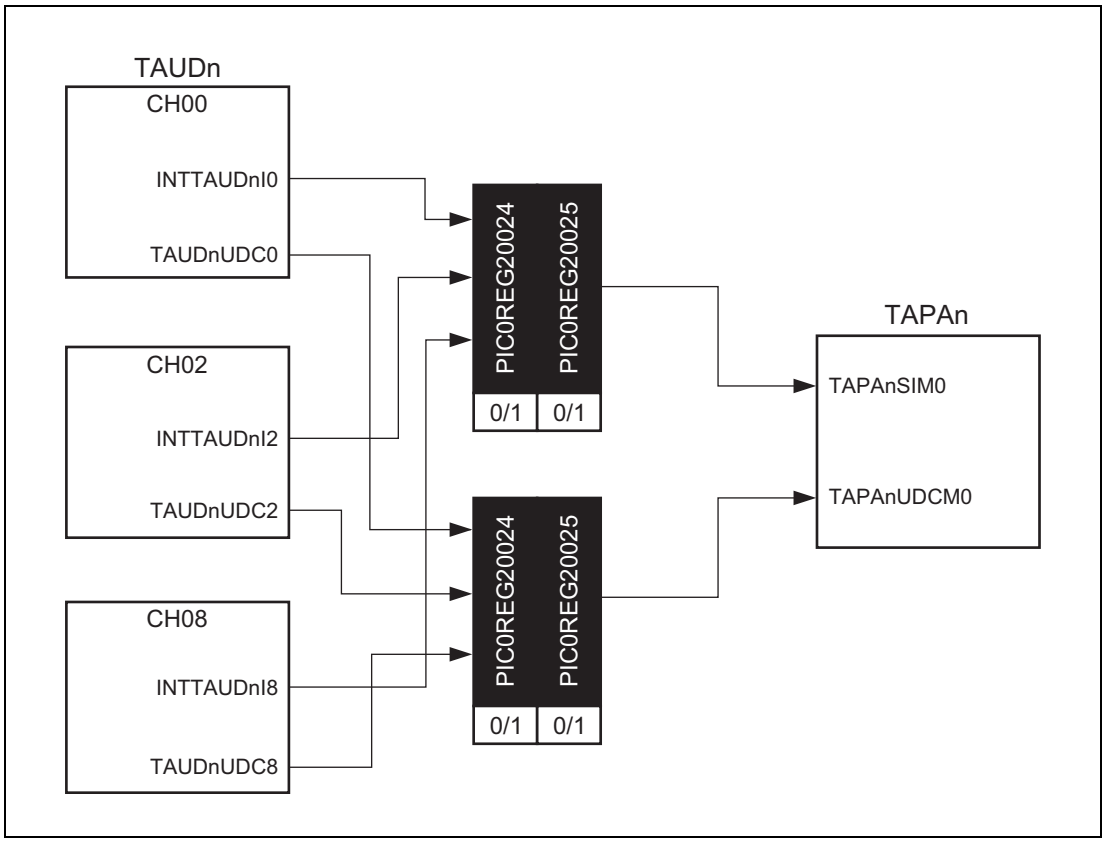
注　意

山割り込み TAPATIPEK0 と谷割り込み TAPATIVLY0 は TAUD のマスタチャネルの機能にかかわらず発生します。

これらの山割り込み、谷割り込みを使用しない場合は、それぞれ ICTAPAnIPEK0 レジスタと ICTAPAnIVLY0 レジスタにてマスクしてください。

29.5.2 ブロック図

INT 信号出力選択機能は下記レジスタにて TAUDn と TAPAn を接続します。



29.5.3 レジスタ

29.5.3.1 PIC0REG2n0 — タイマ入出力制御レジスタ 2n0 (n = 0)

TAPA0 の入力選択を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス PIC0REG200：FFDD 00C0$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC0REG2n025	PIC0REG2n024	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.21 PIC0REG2n0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	予約ビット	注 1
25 ～ 24	PIC0REG2n025 PIC0REG2n024	TAPATSIM0, TAPATUDCM0 で使用する TAUDn のチャネルを選択します。 00：選択なし 01：TAUD0 チャネル 0 選択 10：TAUD0 チャネル 2 選択 11：TAUD0 チャネル 8 選択
23 ～ 0	予約ビット	注 1

注 1. PIC0REG2n0 レジスタに “0” を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.6 A/D コンバータ変換トリガ選択機能

TAUD の三角波キャリア周期とのコンペア一致割り込みに接続された TAPATCDENS0 信号／TAPATCDENS1 信号、または谷割り込み信号（TAPATIVLY0）から A/D コンバータ変換トリガ用信号（TAPATADOUT0/TAPATADOUT1）を出力する機能です。

29.6.1 A/D コンバータ変換トリガ選択機能の構成

表 29.22 TAPATADOUT 信号生成に使用する信号一覧

出力信号	スレーブ一致検出信号	谷割り込み信号
TAPATADOUT0	TAPATCDENS0	TAPATIVLY0
TAPATADOUT1	TAPATCDENS1	TAPATIVLY0

表 29.23 TAPAnCTL1.TAPAnATS[3:2]、TAPATADOUT1 の動作

TAPAnATS3	TAPAnATS2	動作説明
0	0	三角波のダウンカウント中の INT 信号を TAPATADOUT1 から出力
0	1	三角波のアップカウント中の INT 信号を TAPATADOUT1 から出力
1	0	三角波のアップ／ダウンカウント中の INT 信号を TAPATADOUT1 から出力
1	1	三角波のアップ／ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 を TAPATADOUT1 から出力

表 29.24 TAPAnCTL1.TAPAnATS[1:0]、TAPATADOUT0 の動作

TAPAnATS1	TAPAnATS0	動作説明
0	0	三角波のダウンカウント中の INT 信号を TAPATADOUT0 から出力
0	1	三角波のアップカウント中の INT 信号を TAPATADOUT0 から出力
1	0	三角波のアップ／ダウンカウント中の INT 信号を TAPATADOUT0 から出力
1	1	三角波のアップ／ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 を TAPATADOUT0 から出力

29.6.2 ブロック図

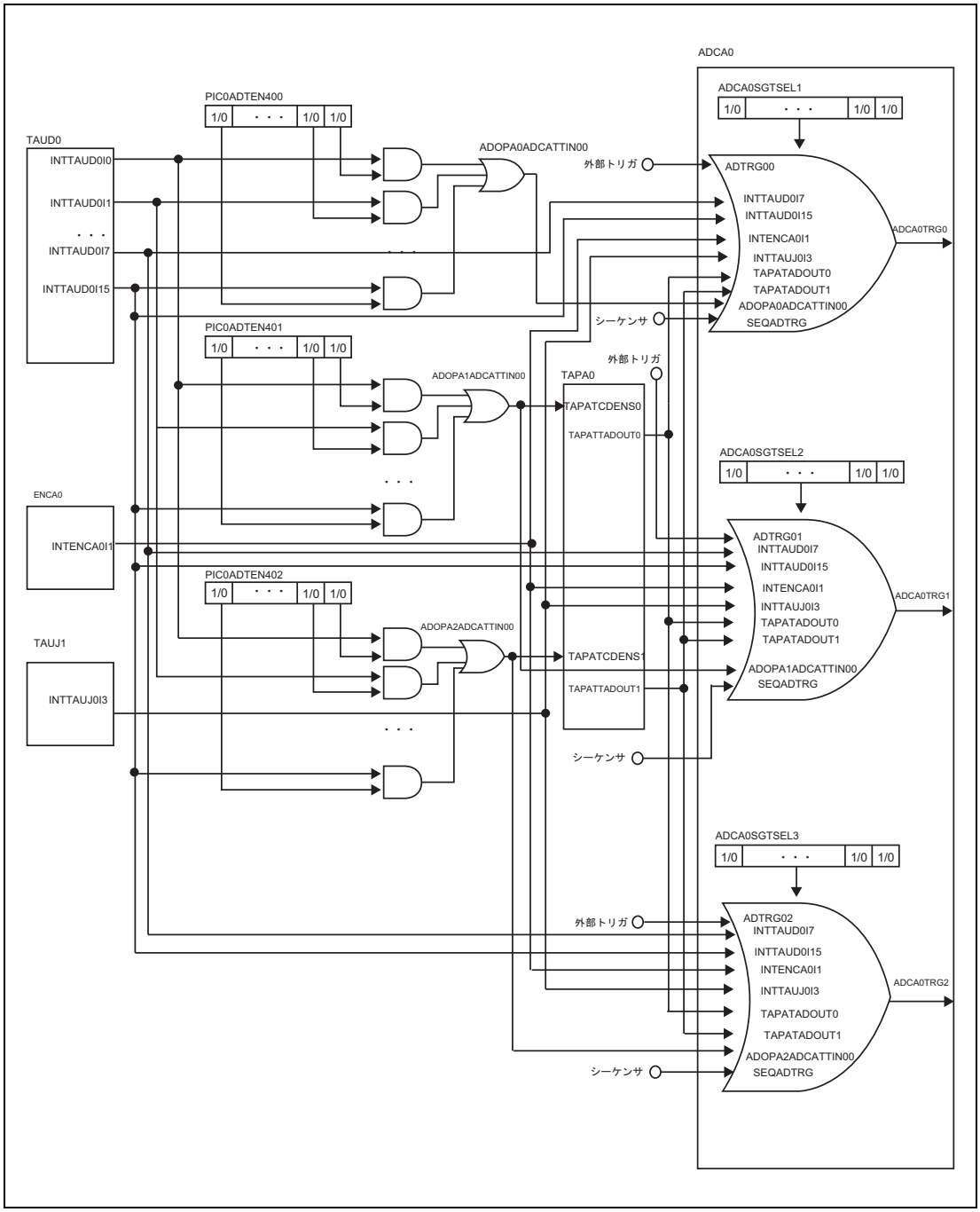


図 29.8 A/D 変換トリガ選択機能のブロック図

備 考

ADCA0SGTSEL レジスタ設定詳細は、「**31.3.4.1 ADCAnSGTSELx — スキャングループ x 開始トリガ制御レジスタ x**」を参照ください。

29.6.3 三角波 PWM モード時の A/D コンバータトリガ出力制御動作波形

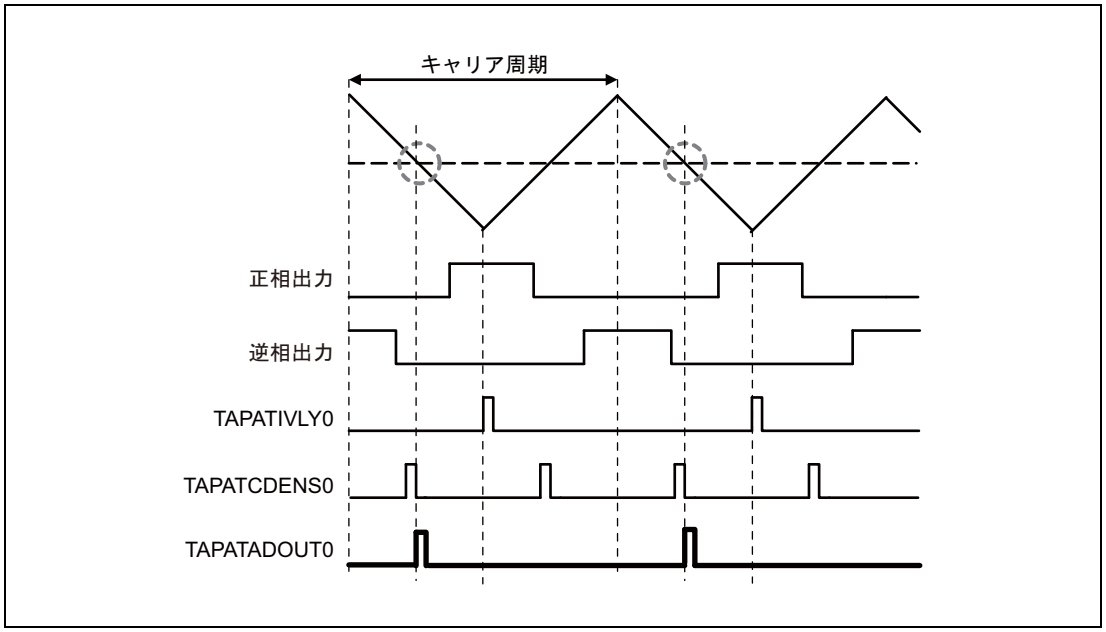


図 29.9　TAPAnATS[1:0] ビット = 00_B：三角波がダウンカウント中に INT 信号を出力

三角波がダウンカウント中の TAPATCDENS0 信号 /TAPATCDENS1 信号は、A/D コンバータ変換トリガ用信号（TAPATADOUT0/TAPATADOUT1）として出力されます。

三角波がアップカウント中は、A/D コンバータ変換トリガ用信号は出力されません。

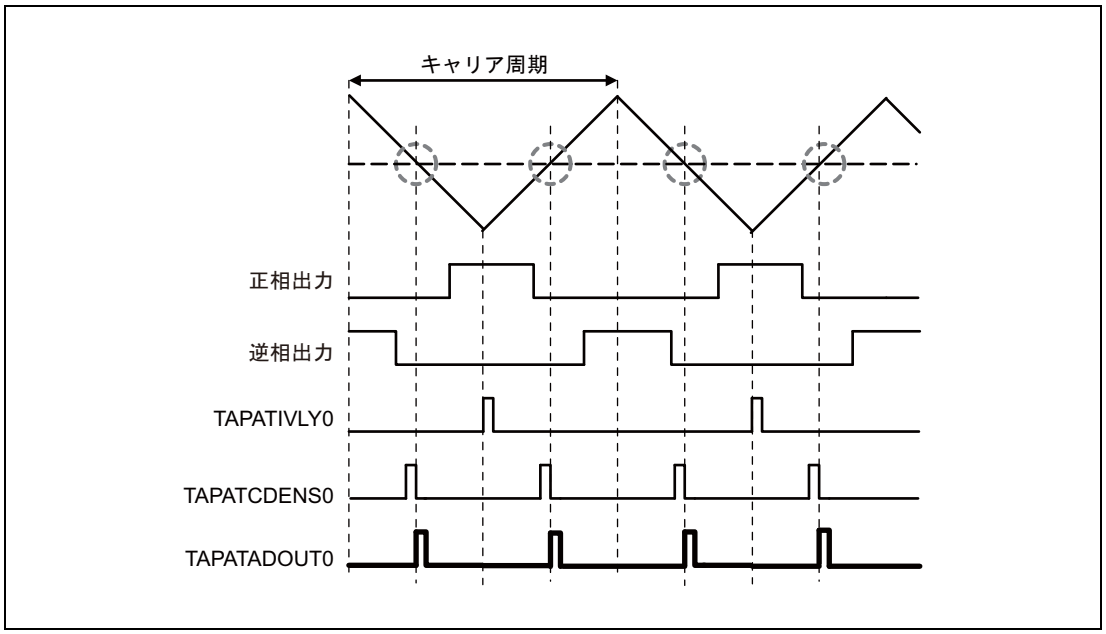


図 29.10　TAPAnATS[1:0] ビット = 10_B：三角波がアップ／ダウンカウント中に INT 信号を出力

TAPATCDENS0 信号 /TAPATCDENS1 信号は A/D コンバータ変換トリガ用信号（TAPATADOUT0/TAPATADOUT1）として出力されます。

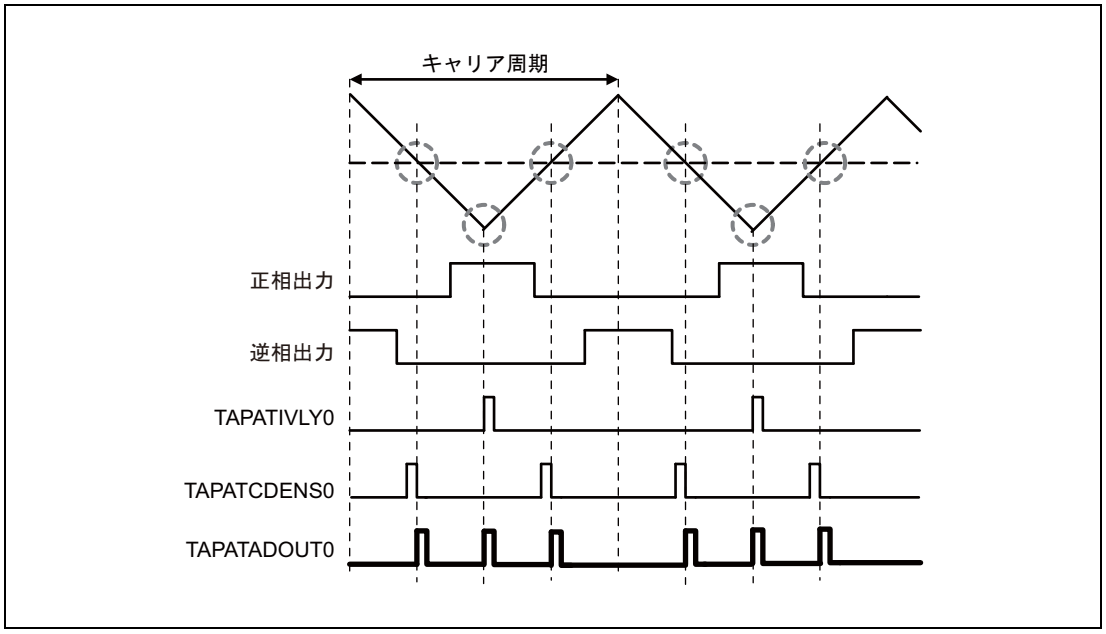


図 29.11　TAPAnATS[1:0] ビット = 11_B：三角波がアップ／ダウンカウント中の INT 信号と谷割り込みを出力

TAPATCDENS0 信号 /TAPATCDENS1 信号と谷割り込み TAPATIVLY0 が A/D コンバータ変換トリガ用信号（TAPATADOUT0/TAPATADOUT1）として出力されます。

29.6.4 A/D コンバータ変換トリガ選択機能の操作手順

以下に A/D コンバータ変換トリガ選択機能の操作手順を示します。

	動作	TAUD、TAPA の状態
初期設定	TAUD を初期設定します。 タイマ動作モードを確定 TAPAnCTL1 レジスタを設定します。 TAPAnATS[1:0] を設定（TAPATADOUT0 の設定） TAPAnATS[3:2] を設定（TAPATADOUT1 の設定） 使用する信号に合わせて PIC0ADTEN4nj、PIC0REG2n0 レジスタを設定します。 PIC0ADTEN4nj を設定（TAPATCDENS0, 1 の設定） PIC0REG2n0 を設定（TAPATIVLY0 の設定）	TAUD、TAPA は動作停止。
動作開始	TAUD を動作開始します。	TAUD のカウント動作が開始します。
動作中	TAUD は、各機能の設定に従って動作します。	A/D 変換トリガ選択機能は、TAUD からの割り込み入力（TAPATCDENS1/TAPATCDENS0）、TAPA で生成した谷割り込み信号（TAPATIVLY0）をもとに、TAPAnATS[1:0] の設定に従って TAPATADOUT0、または TAPAnATS[3:2] の設定に従って TAPATADOUT1 を出力します。
動作停止	TAUD を動作停止します。	TAUD のカウント動作が停止します。

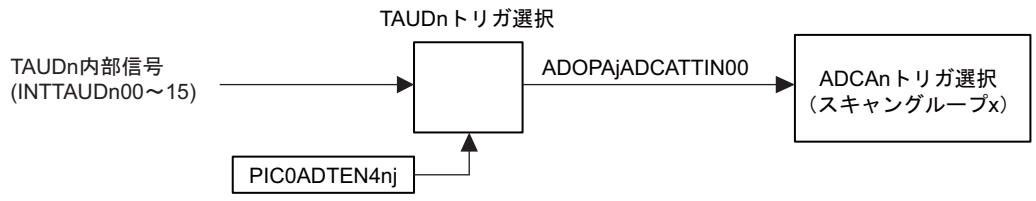
動作再開

29.7　ADCA トリガ選択機能

29.7.1　機能概要

TAUDn の各チャネル出力を使って、ADCA ハードウェアトリガ信号を生成する機能です。

29.7.2　構成



備考　詳細は、**「図 29.8　A/D 変換トリガ選択機能のブロック図」**を参照してください。

図 29.12　ADCA トリガ選択機能ブロック図

29.7.3 レジスタ

29.7.3.1 PIC0ADTEN4nj — A/D 変換トリガ出力制御レジスタ 4nj（n = 0、j = 0-2）

TAUDn チャネル m からの ADCA0 開始トリガソースを選択します。（m = 0-15）

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PIC0_base> + 90_H + 4 × j

リセット後の値 $0000\ 0000_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC0 ADTEN 4nj15	PIC0 ADTEN 4nj14	PIC0 ADTEN 4nj13	PIC0 ADTEN 4nj12	PIC0 ADTEN 4nj11	PIC0 ADTEN 4nj10	PIC0 ADTEN 4nj09	PIC0 ADTEN 4nj08	PIC0 ADTEN 4nj07	PIC0 ADTEN 4nj06	PIC0 ADTEN 4nj05	PIC0 ADTEN 4nj04	PIC0 ADTEN 4nj03	PIC0 ADTEN 4nj02	PIC0 ADTEN 4nj01	PIC0 ADTEN 4nj00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.25 PIC0ADTEN4nj レジスタの内容

ビット位置	ビット名	機能
15 - 0	PIC0ADTEN4nj15 ～ PIC0ADTEN4nj00	TAUDn の CHm（m = 0 ～ 15）のトリガソースを設定 0：TAUDn CHm の A/D トリガソース禁止 1：TAUDn CHm の A/D トリガソース許可

29.7.4　動作機能の設定例

(1) 初期設定 : 使用する TAUD0 の各チャネルの機能を設定します。

(2) A/D 変換トリガ出力制御レジスタ 4nj（PIC0ADTEN4nj）設定：
TAUD0 の各チャネルからの割り込み要求信号を A/D 変換のスキャングループのトリガとして選択するには、A/D 変換トリガ出力レジスタ 4nj（PIC0ADTEN4nj）のビットを "1" にしてください。

– レジスタ設定操作は、A/D 停止時に行ってください。

(3) A/D 変換トリガ選択制御レジスタ（ADCA0SGTSELx）設定：
各トリガに対応するビットを 1 にすることで各トリガからの論理和 (OR) を取った信号を A/D 変換のスキャングループの開始トリガに使用できます。

– レジスタ設定操作は、A/D 停止時に行ってください。

(4) TAUD0 の動作許可：
(1) で設定した TAUD0 の各チャネルがスタートします。

29.7.5　設定フロー

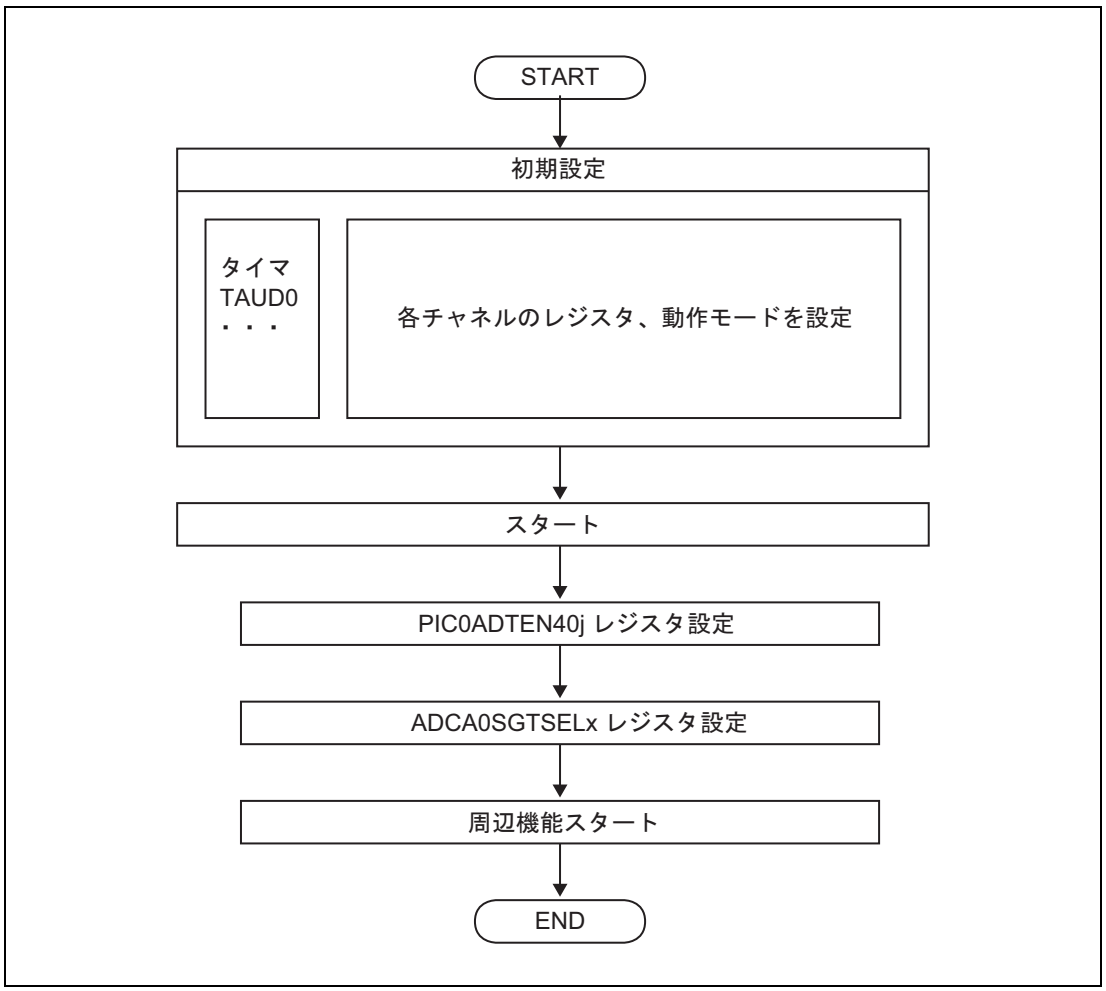


図 29.13　設定フロー（j = 0 ～ 2）

29.8　同時スタートトリガ機能

29.8.1　機能概要

各タイマ（TAUD0、TAUJ1、ENCA0）の任意の組み合わせでの同時スタートが可能です。

29.8.2　構成

(1) 構成

表 29.26　同時スタートトリガ機能の構成

構成／タイマ機能	タイマ
タイマ構成	TAUD0、TAUJ1、ENCA0

(2) ブロック図

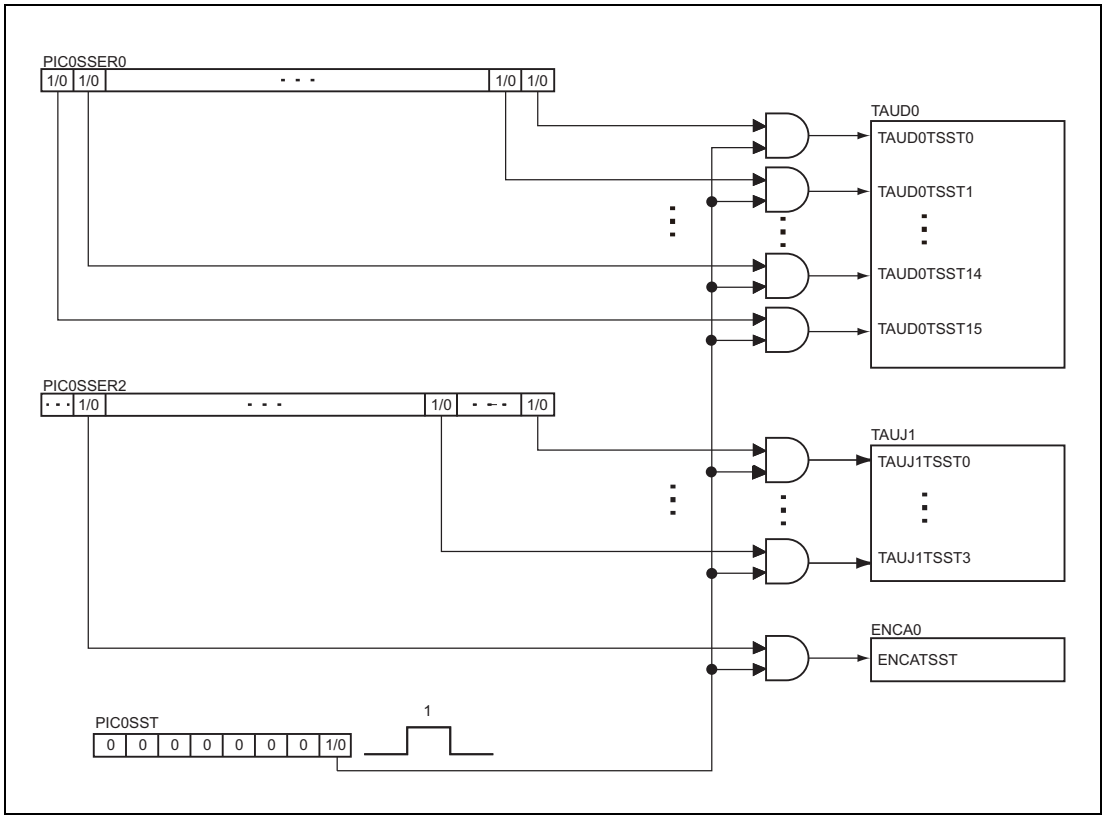


図 29.14　同時スタートトリガのブロック図

29.8.3 レジスタ

29.8.3.1 PIC0SSER0 — 同時スタート制御レジスタ 0

PIC0SSER0 レジスタは、TAUD0 の各チャネルのスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PIC0_base> + 10_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC0SSER015	PIC0SSER014	PIC0SSER013	PIC0SSER012	PIC0SSER011	PIC0SSER010	PIC0SSER009	PIC0SSER008	PIC0SSER007	PIC0SSER006	PIC0SSER005	PIC0SSER004	PIC0SSER003	PIC0SSER002	PIC0SSER001	PIC0SSER000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.27 PIC0SSER0 レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PIC0SSER015 ～ PIC0SSER000	TAUD0 の CHm の同時スタートトリガ許可を設定します。 0：同時スタートトリガ禁止 1：同時スタートトリガ許可

29.8.3.2 PIC0SSER2 — 同時スタート制御レジスタ 2

PIC0SSER2 レジスタは、ENCA0、TAUJ1 のスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PIC0_base> + 18_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PIC0SSER214(ENCA0)	—	—	—	—	—	—	—	—	—	—	PIC0SSER203	PIC0SSER202	PIC0SSER201	PIC0SSER200
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 29.28 PIC0SSER2 レジスタの内容

ビット位置	ビット名	機能
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	PIC0SSER214	ENCA0 の同時スタートトリガ許可を設定します。 0：同時スタートトリガ禁止 1：同時スタートトリガ許可
13 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ～ 0	PIC0SSER203 ～ PIC0SSER200	TAUJ1 の CHm の同時スタートトリガ許可を設定します。 0：同時スタートトリガ禁止 1：同時スタートトリガ許可

29.8.3.3 PIC0SST — 同時スタートトリガ制御レジスタ

アクセス 8 ビット単位でライトのみ可能です。

アドレス <PIC0_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SYNCTRG
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.29 PIC0SST レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SYNCTRG	同時スタート許可に設定したタイマに対して、スタートトリガを生成します。リード時は常に “0” が読めます。 0：無効 1：同時スタートトリガ生成（1PCLK 幅のパルスを出力）

29.8.4 動作例

(1) タイマ構成の動作例 :

任意の動作モードで動作する各タイマの任意の組み合わせでの同時スタートを行います。

(2) 同時スタート許可設定 :

同時スタートさせる対象タイマについて、PIC0SSER0、PIC0SSER2 の該当ビットを 1 にすることで、各タイマの同時スタートを許可します。

(3) スタートトリガ出力 :

PIC0SST の SYNCTRG ビットに 1 をライトすることで、(2) で設定された対象タイマが同時にスタートします。

(4) スタートしていないチャネルに対して (2)、(3) を繰り返すことで、異なる対象タイマを複数回に分けて同時にスタートできます。

29.8.5　設定フロー

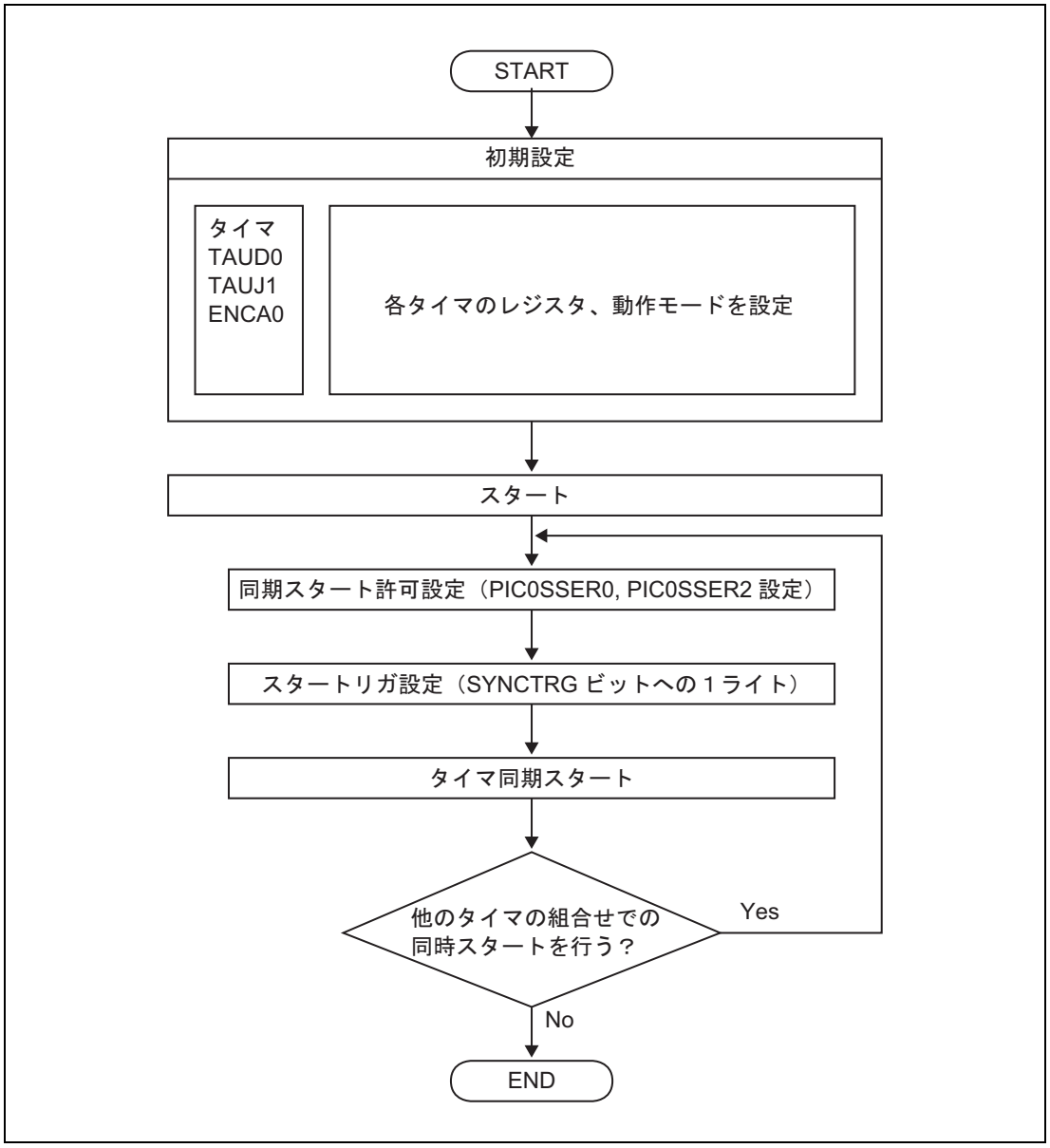


図 29.15　設定フロー

29.9 トリガ＆パルス幅測定機能

29.9.1 機能概要

ENCA0 から出力されるトリガを TAUJ1、TAUD0 に入力し、トリガの周期を測定することが可能です。

29.9.2 構成

(1) 構成

表 29.30 トリガ＆パルス幅測定機能の構成

構成／タイマ機能	タイマ
タイマ構成	ENCA0、TAUD0、TAUJ1

表 29.31 TAUJ1/TAUD0 各チャネル機能設定

TAU	チャネル	機能名	M/S 注 1	パルス幅測定対象トリガ
TAUJ1	00	TINm 入力パルスインターバル測定機能	S	ENCAT0IEC 注 2
	01	TINm 入力パルスインターバル測定機能	S	ENCAT0IEC 注 2
TAUD0	00	TINm 入力パルスインターバル測定機能	S	ENCAT0EQ0、ENCAT0EQ1
	01	TINm 入力パルスインターバル測定機能	S	ENCAT0EQ1
	02	TINm 入力パルスインターバル測定機能	S	ENCAT0EQ0

注 1. M：マスタチャネル　S：スレーブチャネル

注 2. ENCAT0IEC は、**「表 28.5　割り込み要求」**の ENCATIEC（エンコーダクリア割り込み）と読み替えてください。

(2) ブロック図

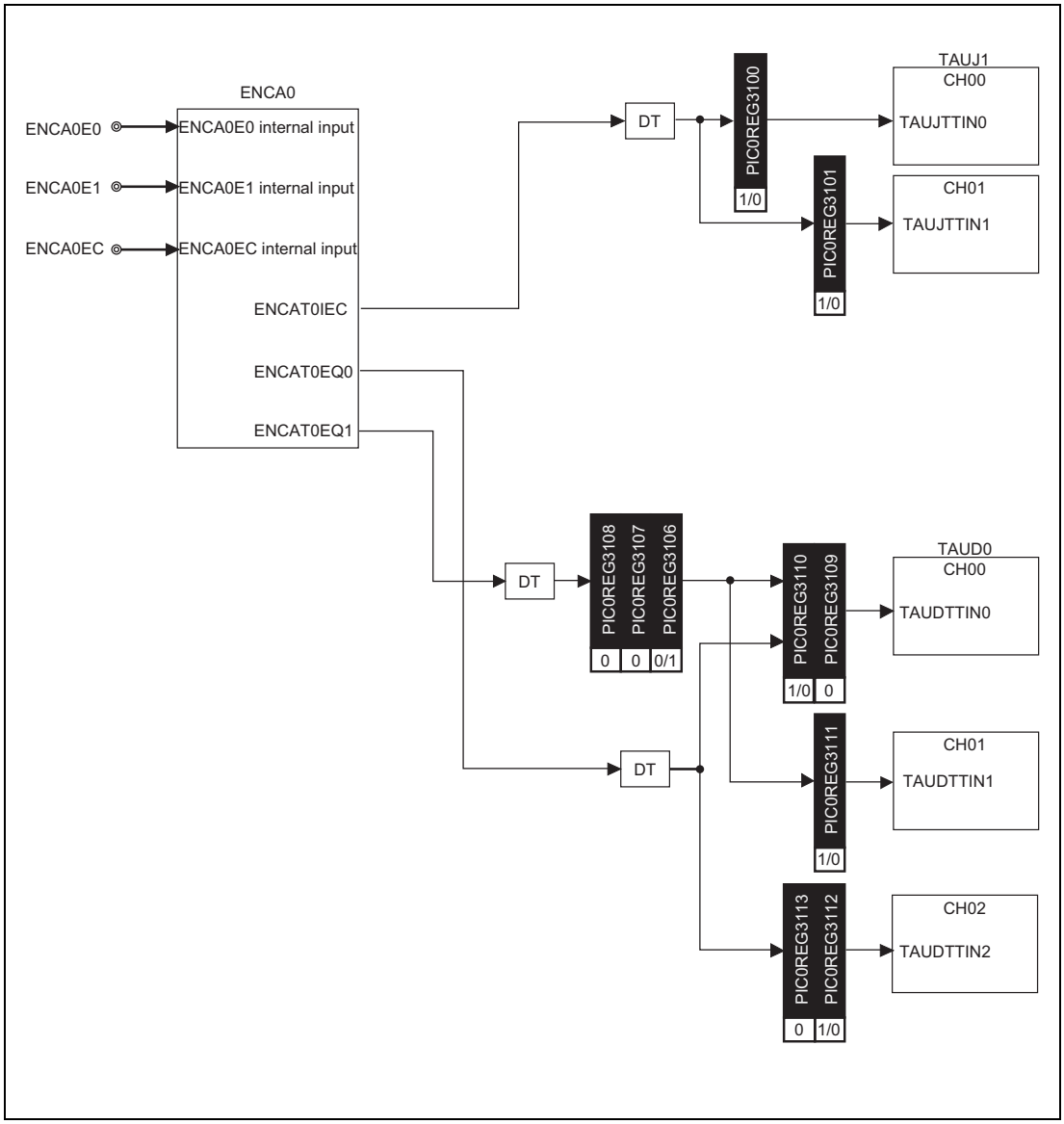


図 29.16 トリガ＆パルス幅測定機能のブロック図

29.9.3 レジスタ

29.9.3.1 PIC0REG31 — タイマ入出力制御レジスタ 31

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <PIC0_base> + EC_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PIC0REG3113	PIC0REG3112	PIC0REG3111	PIC0REG3110	PIC0REG3109	PIC0REG3108	PIC0REG3107	PIC0REG3106	—	—	—	—	PIC0REG3101	PIC0REG3100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 29.32 PIC0REG31 レジスタの内容 (1/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31 ～ 14</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>13、12</td><td>PIC0REG3113
～
PIC0REG3112</td><td>TAUD0 の CH2 への TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG3113</th><th>PIC0REG3112</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>TAUD0 の CH2 をトリガ幅測定に使用しない</td></tr>
<tr><td>0</td><td>1</td><td>ENCAT0EQ0 の DT 出力信号</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>11</td><td>PIC0REG3111</td><td>TAUD0 の CH1 への TIN 入力信号を選択します。
0：TAUD0 の CH1 をトリガ幅測定に使用しない。
1：PIC0REG3106 ～ PIC0REG3108 で選択した信号 (ENCATEQ1 信号測定時)</td></tr>
<tr><td>10、9</td><td>PIC0REG3110
～
PIC0REG3109</td><td>TAUD0 の CH0 への TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG3110</th><th>PIC0REG3109</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>PIC0REG3106 ～ PIC0REG3108 で選択した信号</td></tr>
<tr><td>1</td><td>0</td><td>ENCAT0EQ0 の DT 出力信号</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>8 ～ 6</td><td>PIC0REG3108
～
PIC0REG3106</td><td>TAUD0 の CH0, CH1 への TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG3108</th><th>PIC0REG3107</th><th>PIC0REG3106</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>TAUD0 の CH0 をトリガ測定に使用しない</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>ENCAT0EQ1 の DT 出力信号</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

表 29.32 PIC0REG31 レジスタの内容 (2/2)

ビット位置	ビット名	機能
5 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	PIC0REG3101	TAUJ1 の CH1 への TIN 入力信号を選択します。 0：TAUJ1 の CH1 をトリガ幅測定に使用しない。 1：ENCAT0IEC の DT 出力信号
0	PIC0REG3100	TAUJ1 の CH0 への TIN 入力信号を選択します。 0：TAUJ1 の CH0 をトリガ幅測定に使用しない。 1：ENCAT0IEC の DT 出力信号

29.9.4 動作例

ENCA0 のトリガ信号（ENCAT0IEC、ENCAT0EQ0、ENCAT0EQ1）と、TAUD0、TAUJ1 の次の機能の組み合わせにより実現します。

- TAUDTTINm 入力パルスインターバル測定機能（TAUD0）
- TAUJTTINm 入力パルスインターバル測定機能（TAUJ1）

また、TINm に入力するトリガ信号をレベル変化のトグル信号へ変換するため、PIC 内の以下機能を使用します。

- DT 回路

トリガ & パルス幅測定機能は、ENCA0 から出力されるトリガ信号の間隔を TAUD0 の TAUDTTINm 入力パルスインターバル測定機能、TAUJ1 の TAUJTTINm 入力パルスインターバル測定機能により測定できる機能を実現します。

(1) TAUDTTINm 入力パルスインターバル測定機能、TAUJTTINm 入力パルスインターバル測定機能

TAUD0、TAUJ1 の TINm の有効エッジを検出すると CNTm の値を CDRm にキャプチャし、CNTm をクリアします。

注　意

本機能では、TINm で検出する有効エッジを両エッジ検出（TAUD0CMURm.TAUD0TIS[1:0] = 10_B、TAUJ1CMURm.TAUJ1TIS[1:0] = 10_B）とする設定にしてください。

TAUD、TAUJ の機能の詳細については、それぞれの章を参照してください。

(2) DT 回路

ENCA0 が出力するトリガ信号をレベル変化のトグル信号に変換します。

「図 29.17　DT 回路動作」に示すとおり、入力であるトリガ信号の発生ごとに出力信号をトグルさせます。

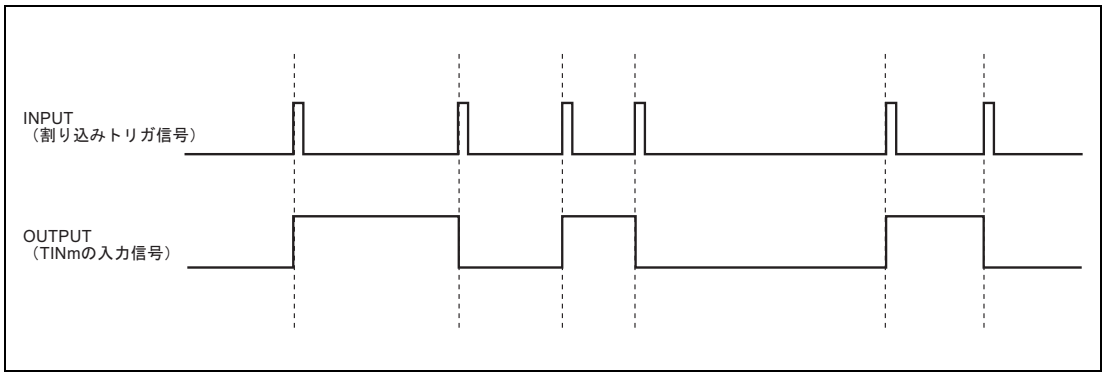


図 29.17　DT 回路動作

PIC は、ENCA0 からのトリガ信号の発生間隔を測定するための TAUD0,TAUJ1 への入力信号変換および信号接続を提供します。

次にトリガ＆パルス幅測定機能のタイミング図を示します。

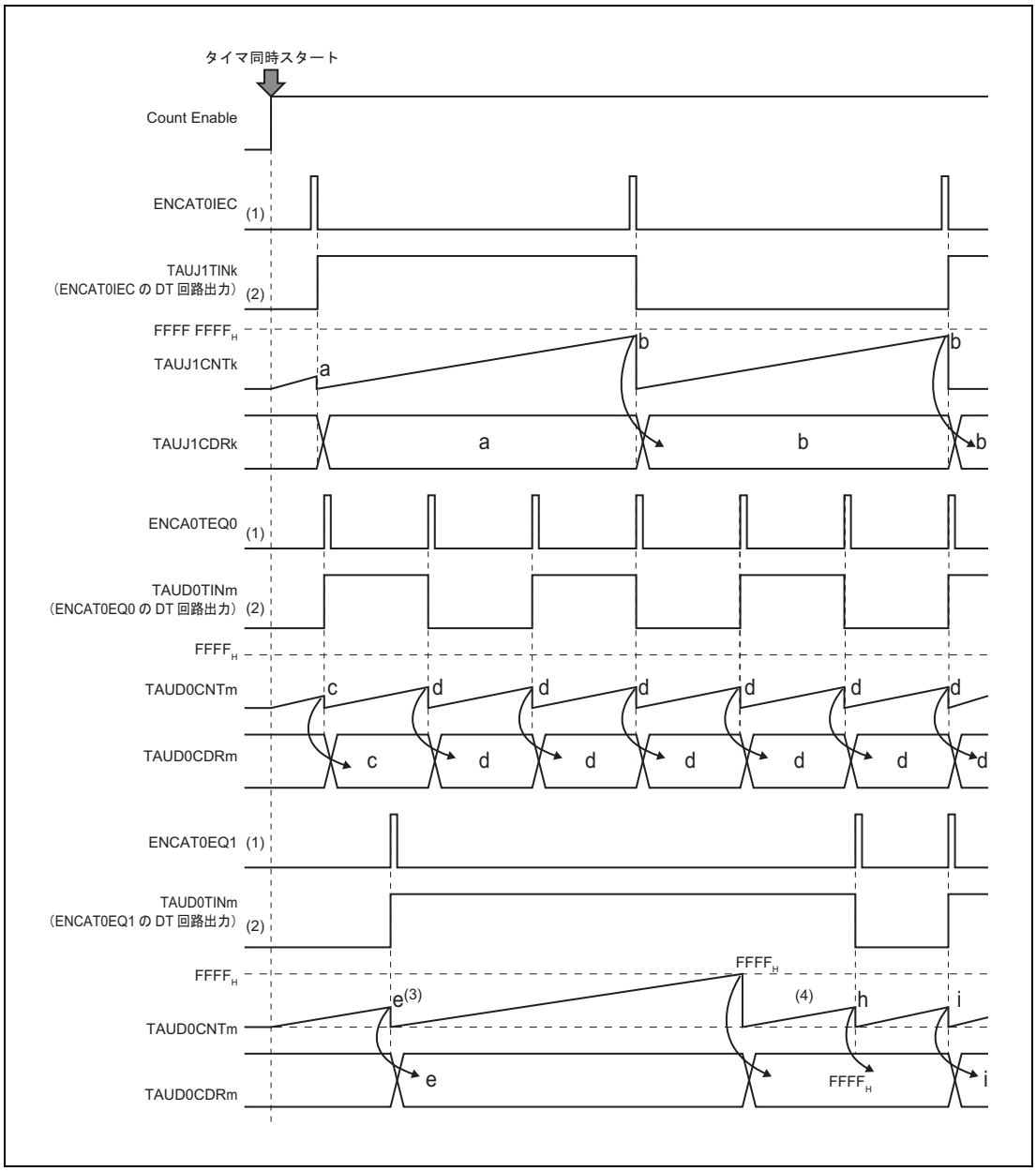


図 29.18 トリガ＆パルス幅測定機能の動作例 （m = 0 - 2, k = 0, 1）

（1） ENCA0 は次のトリガ信号を出力します。

- ENCAT0IEC (ENCA0EC 入力によりタイマカウンタ値がクリアされた時出力される割り込みトリガ信号)
- ENCAT0EQ0 (タイマカウンタ値とコンペアレジスタ 0 の値が一致したタイミングで出力されるトリガ信号)
- ENCAT0EQ1 (タイマカウンタ値とコンペアレジスタ 1 の値が一致したタイミングで出力されるトリガ信号)

（2） ENCA0 から出力された各トリガ信号は DT 回路によりレベル変化のトグル信号に変換し TAUD0 および TAUJ1 の TINm へ出力します。

(3) TAUD0 および TAUJ1 の TINm 有効エッジを両エッジ設定とすることにより、TINm のトグルタイミングで CNTm 値を CDRm へ取り込みます。同時に CNTm を 0000_H にクリアする動作を繰り返します。
動作開始から最初にキャプチャした値（図中で a）は、TAUJ 動作開始から、トリガ入力までの期間です。

(4) オーバフロー時は $FFFF_H$（TAUJ の場合は、$FFFF\ FFFF_H$）をキャプチャし、その後の最初のトリガではカウント値をキャプチャしません。

以上の動作により、トリガ発生間隔 を測定できます。

次の表にトリガ信号と計測タイマの組み合わせおよびその経路を設定する PIC レジスタと入出力を選択するレジスタのビット設定の一覧を示します。計測するトリガ信号と使用する計測タイマに応じて、適宜設定してください。

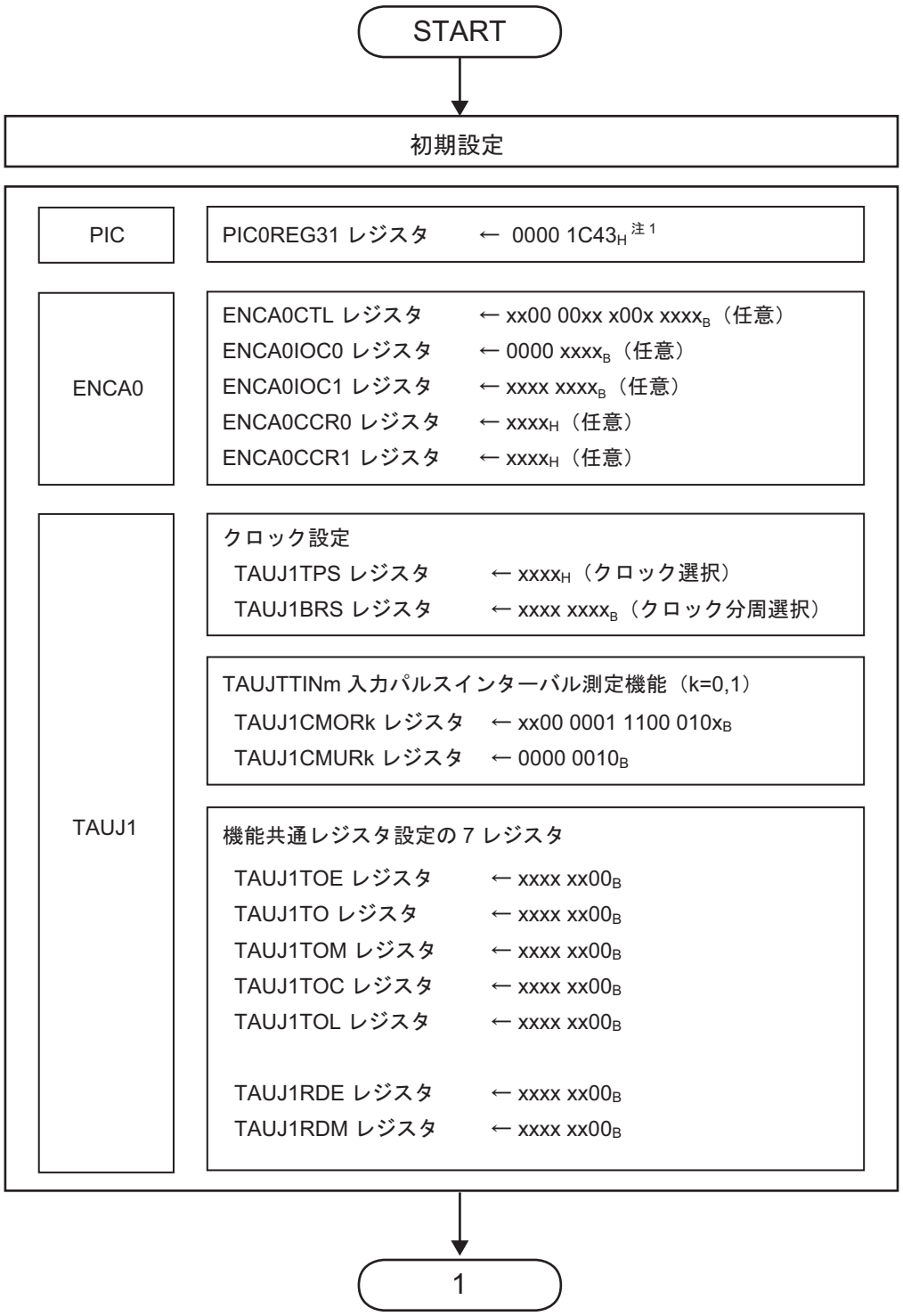
表 29.33 トリガ信号と計測タイマの組み合わせ

割り込みトリガ信号	計測タイマ	PIC レジスタのビット設定	
ENCAT0IEC	TAUJ1 CH0	PIC0REG3100 = 1	
	TAUJ1 CH1	PIC0REG3101 = 1	
ENCAT0EQ0	TAUD0 CH0	PIC0REG3109 = 0 PIC0REG3110 = 1	
	TAUD0 CH2	PIC0REG3112 = 1 PIC0REG3113 = 0	
ENCAT0EQ1	TAUD0 CH0	PIC0REG3106 = 1 PIC0REG3107 = 0 PIC0REG3108 = 0	PIC0REG3109 = 0 PIC0REG3110 = 0
	TAUD0 CH1		PIC0REG3111 = 1

29.9.5 設定フロー

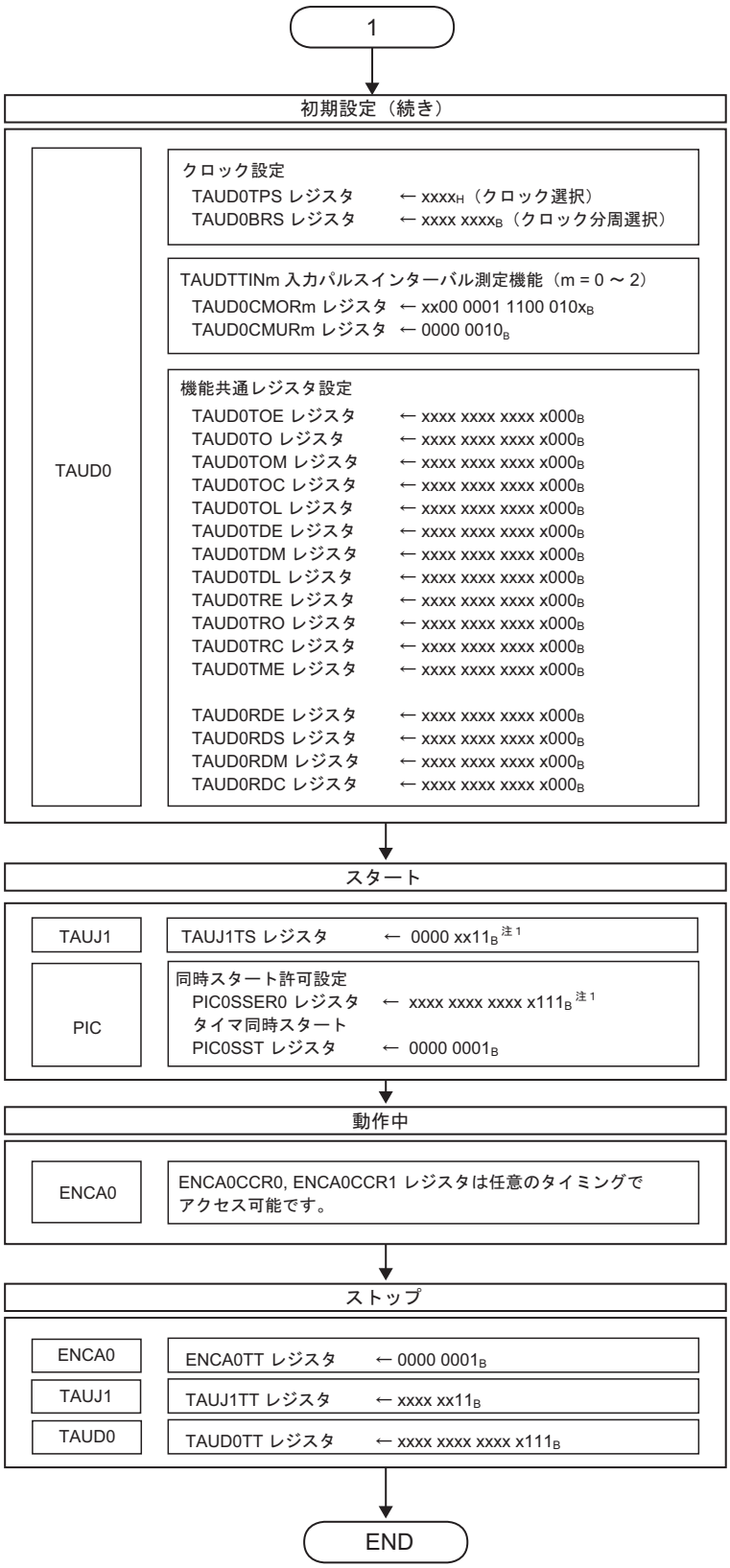
本節に示す設定フローは、以下の組み合わせすべてでパルス間隔を計測する設定フローを記載しています。トリガ信号と測定に使用するタイマの組み合わせについては**「表 29.33 トリガ信号と計測タイマの組み合わせ」**を参照してください。

エンコーダタイマ	トリガ信号	計測タイマ
ENCA0	ENCAT0IEC	TAUJ1 CH0、TAUJ1 CH1
	ENCAT0EQ0	TAUD0 CH0、TAUD0 CH2
	ENCAT0EQ1	TAUD0 CH0、TAUD0 CH1



注 1. 測定したいトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。

図 29.19 設定フロー



注 1. 測定したいトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。

図 29.20 設定フロー（続き）

29.9.6 動作機能の設定例

各レジスタの設定値の例を示します。

本節に示す設定例は、以下の組み合わせすべてでパルス間隔を計測する設定を記載しています。

トリガ信号と測定に使用するタイマの組み合わせについては**「表 29.33 トリガ信号と計測タイマの組み合わせ」**を参照してください。

エンコーダタイマ	トリガ信号	計測タイマ
ENCA0	ENCAT0IEC	TAUJ1 CH0, TAUJ1 CH1
	ENCAT0EQ0	TAUD0 CH0, TAUD0 CH2
	ENCAT0EQ1	TAUD0 CH0, TAUD0 CH1

表 29.34 ENCA0 設定

レジスタ	ビット位置	ビット名	設定値	備考
ENCA0CTL	15	ENCA0CME	任意	コンペアー致割り込み検出マスク許可／禁止を選択
	14	ENCA0MCS	任意	コンペアー致割り込み検出マスク解除トリガ選択
	13-10		0	0 固定
	9	ENCA0CRM1	任意	ENCA0CCR1 レジスタの用途を選択
	8	ENCA0CRM0	任意	ENCA0CCR0 レジスタの用途を選択
	7	ENCA0CTS	任意	ENCA0CCR1 のキャプチャ動作のトリガ選択
	6-5		0	0 固定
	4	ENCA0LDE	任意	アンダフロー発生時のリロード許可／禁止を選択
	3	ENCA0ECM1	任意	ENCA0CCR1 のコンペアー致時のカウンタクリアの許可／禁止を選択
	2	ENCA0ECM0	任意	ENCA0CCR0 のコンペアー致時のカウンタクリアの許可／禁止を選択
	1、0	ENCA0UDS[1:0]	任意	ENCA0E0 および ENCA0E1 によるカウンタアップ／ダウン制御を選択
ENCA0IOC0	7-4		0	0 固定
	3、2	ENCA0TIS[3:2]	任意	キャプチャトリガ 1（ENCA0I1）の有効エッジを選択
	1、0	ENCA0TIS[1:0]	任意	キャプチャトリガ 0（ENCA0I0）の有効エッジを選択
ENCA0IOC1	7	ENCA0SCE	任意	エンコーダ特殊クリア許可を選択
	6	ENCA0ZCL	任意	エンコーダ特殊クリアの Z 相のクリアレベルを選択
	5	ENCA0BCL	任意	エンコーダ特殊クリアの B 相のクリアレベルを選択
	4	ENCA0ACL	任意	エンコーダ特殊クリアの A 相のクリアレベルを選択
	3、2	ENCA0ECS[1:0]	任意	エンコーダクリア入力（Z 相）エッジを選択
	1、0	ENCA0EIS[1:0]	任意	エンコーダ入力（A、B 相）エッジを選択

表 29.35 TAUJ1 の設定（k = 0, 1）
TAUJ1（TAUJTTINm 入力パルスインターバル測定機能）

レジスタ	ビット位置	ビット名	設定値	備考
TAUJ1CMORk	15、14	TAUJ1CKS[1:0]	任意	動作クロック設定
	13、12	TAUJ1CCS[1:0]	00	
	11	TAUJ1MAS	0	
	10、9、8	TAUJ1STS[2:0]	001	
	7、6	TAUJ1COS[1:0]	11	
	5		0	0 固定
	4、3、2、1	TAUJ1MD[4:1]	0010	
	0	TAUJ1MD0	任意	
TAUJ1CMURk	1、0	TAUJ1TIS[1:0]	10	

備　考

TAUJ1CMORk を TAUDTTINm 入力パルスインターバル測定機能として使用する場合、TAUJ1CKS[1:0]（動作クロック選択）、TAUJ1MD0（カウント開始時の INTm 出力制御）の各ビットは任意に設定できます。
TAUJ1COS[1:0](オーバフロー動作の選択) ビットも任意設定可能ですが本機能では固定値で使用してください。
他の制御ビットは固定値となります。詳細は**「第 26 章　タイマアレイユニット J（TAUJ）」**を参照してください。
TAUJ 共通レジスタ（TAUJ1TOE、TAUJ1TO、TAUJ1TOM、TAUJ1TOC、TAUJ1TOL, TAUJ1RDE、TAUJ1RDM）については、使用するチャネルに対応するビットのみ「0」に設定してください

表 29.36　TAUD0 の設定（m = 0-2）
TAUD0（TAUDTTINm 入力パルスインターバル測定機能）

レジスタ	ビット位置	ビット名	設定値	備考
TAUD0CMORm	15、14	TAUD0CKS[1:0]	任意	動作クロック設定
	13、12	TAUD0CCS[1:0]	00	
	11	TAUD0MAS	0	
	10-8	TAUD0STS[2:0]	001	
	7、6	TAUD0COS[1:0]	11	
	5		0	0 固定
	4-1	TAUD0MD[4:1]	0010	
	0	TAUD0MD0	任意	
TAUD0CMURm	1、0	TAUD0TIS[1:0]	10	

備　考

TAUD0CMORm を TAUDTTINm 入力パルスインターバル測定機能として使用する場合、TAUD0CKS[1:0]（動作クロック選択）、TAUD0MD0（カウント開始時の INTm 出力制御）の各ビットは任意に設定できます。
TAUD0COS[1:0]（オーバフロー動作の選択）ビットも任意設定可能ですが本機能では固定値で使用してください。
他の制御ビットは固定値となります。詳細は**「第 25 章　タイマアレイユニット D（TAUD）」**を参照してください。
TAUD 共通レジスタ（TAUD0TOE、TAUD0TO、TAUD0TOM、TAUD0TOC、TAUD0TOL, TAUD0TDE、TAUD0TDM、TAUD0TDL、TAUD0TRE、TAUD0TRO、TAUD0TRC、TAUD0TME、TAUD0RDE、TAUD0RDS、TAUD0RDM、TAUD0RDC）については、使用するチャネルに対応するビットのみ「0」に設定してください。

表 29.37　PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG31	13、12	PIC0REG3113 PIC0REG3112	0 1	TAUD0TTIN2 への入力信号に ENCAT0EQ0 の DT 出力信号を選択
	11	PIC0REG3111	1	TAUD0TTIN1 への入力信号に PIC0REG3106 ～ 08 で選択した信号（ENCAT0EQ1 の DT 出力信号）を選択
	10、9	PIC0REG3110 PIC0REG3109	1 0	TAUD0TTIN0 への入力信号に ENCAT0EQ0 の DT 出力信号を選択
	8-6	PIC0REG3108 PIC0REG3107 PIC0REG3106	0 0 1	TAUD0TTIN1, TAUD0TTIN0 への入力信号として ENCAT0EQ1 の DT 出力信号を選択
	1	PIC0REG3101	1	TAUJ1TTIN1 への入力信号に ENCAT0IEC の DT 出力信号を選択
	0	PIC0REG3100	1	TAUJ1TTIN0 への入力信号に ENCAT0IEC の DT 出力信号を選択

29.10 A/D トリガエンコーダキャプチャ機能

29.10.1 機能概要

A/D 変換トリガ信号を ENCA0 のキャプチャ信号として使用することにより、A/D 変換に同期したエンコーダカウンタ値を取得することが可能です。

29.10.2 構成

(1) 構成

表 29.38 A/D トリガエンコーダキャプチャ機能の構成

A/D コンバータ	エンコーダ タイマ
ADCA0	ENCA0

(2) ブロック図

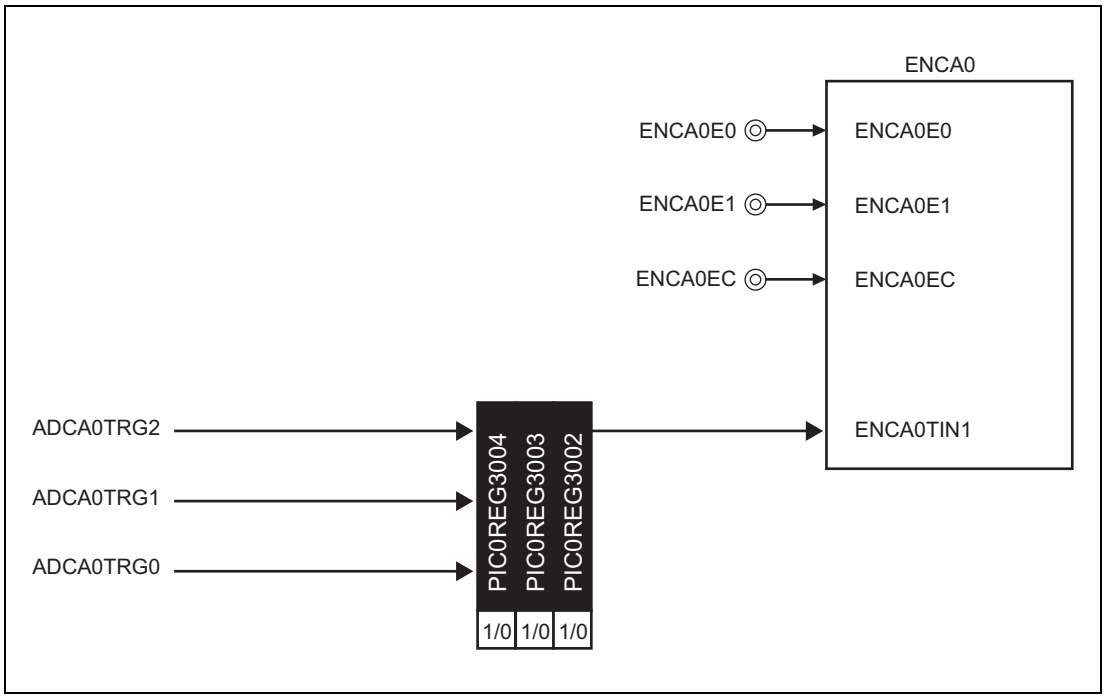


図 29.21 A/D トリガエンコーダキャプチャ機能のブロック図

注 意

1. **ENCA0 が ENCA0TIN1 端子の入力信号をキャプチャするまでのクロック数に比べて、ADCA0TRG0、ADCA0TRG1、ADCA0TRG2 端子の入力信号をキャプチャするまでのクロック数は、CKSCLK_IPERI1 で 1 クロックと CKSCLK_AADCA で 3 クロックを加えた遅延が発生するため、遅延を考慮した構成にしてください。**
2. **エッジ検出機能は、デジタルノイズ除去フィルタのエッジ検出機能レジスタ FCLA0CTL0_ADC0、FCLA0CTL1_ADC0、FCLA0CTL2_ADC0(詳細は、「2.12.1.4 デジタルフィルタタイプ D 付き入力端子」を参照してください。）で設定し、ENCA0 の ENCA0TIN1 キャプチャのエッジ検出機能は、立ち上がりエッジ設定（ENCA0IOC0. ENCA0TIS[3:2]=01_B）にしてください。ENCA0IOC0.ENCA0TIS[3:2]=10_B（立ち下りエッジ）、ENCA0IOC0.ENCA0TIS[3:2]=11_B（両エッジ）の設定はしないでください。**

29.10.3 レジスタ

29.10.3.1 PIC0REG30 — タイマ入出力制御レジスタ 30

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <PIC0_base> + $E8_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC0REG3004	PIC0REG3003	PIC0REG3002	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 29.39 PIC0REG30 レジスタの内容

ビット位置	ビット名	機能
31 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 2	PIC0REG3004 ～ PIC0REG3002	ENCA0TIN1 への入力信号を選択します。
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

PIC0REG3004	PIC0REG3003	PIC0REG3002	入力信号
0	0	0	ENCA0 で A/D トリガ信号によるキャプチャは行わない
0	1	0	ADCA0TRG2
0	1	1	ADCA0TRG1
1	0	0	ADCA0TRG0
上記以外			設定禁止

29.10.4 動作例

A/D 変換トリガ信号 ADCAnTRGi（n = 0, i = 0 ～ 2）を ENCA0 に接続することで実現します。

注 意

本機能を使用する場合は、ENCA0 の割り込み信号 ENCA0INT1 を A/D コンバータトリガとして選択しないでください。選択した場合、「ADCAnTRG1 発生→ ENCA0 キャプチャ動作→キャプチャ実行による ENCA0INT1 発生→ ADCAnTRG1 発生」のループが成立してしまい正常動作できなくなります。

次に ADCA0TRG1 をトリガとした A/D トリガエンコーダキャプチャ機能のタイミング図を示します。

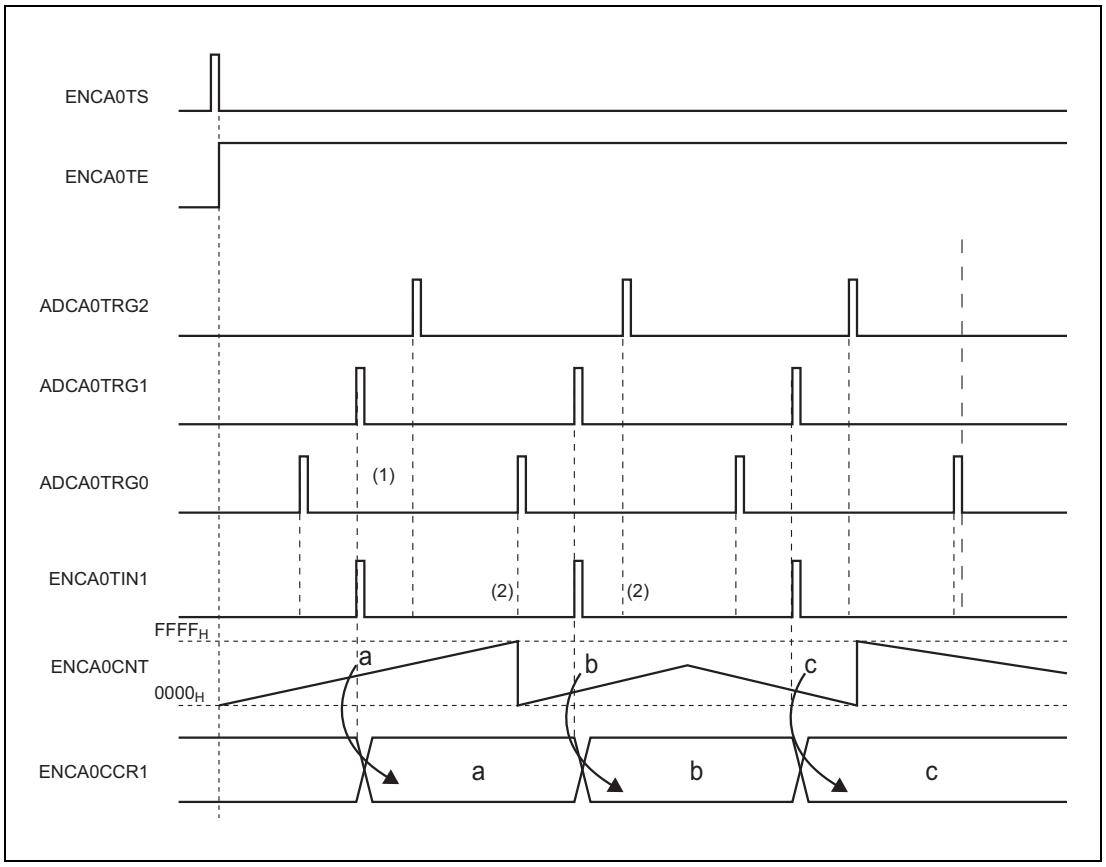


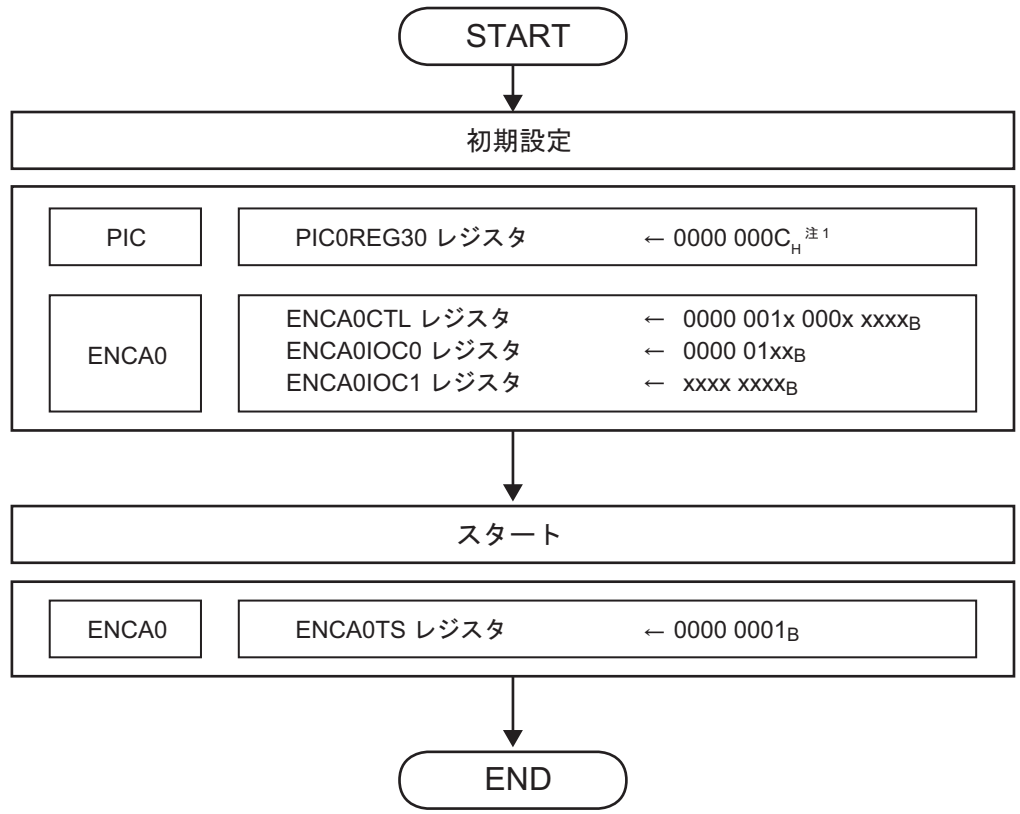
図 29.22 トリガエンコーダキャプチャ機能の動作例

(1) ENCA0 のキャプチャトリガ 1 信号 ENCA0TIN1 として ADCA0TRG1 を選択した場合、有効となる ADCA0TRG1 を ENCA0TIN1 信号として ENCA0 に入力するため、ENCA0 のキャプチャが発生します。

(2) ADCA0TRG1 以外のハードウェアトリガ信号（ADCA0TRG0、ADCA0TRG2）の発生では、ENCA0TIN1 信号が発生しないため、ENCA0 のキャプチャ動作は実行されません。

29.10.5 設定フロー

本節に示す設定フローは、エンコーダタイマ ENCA0 のキャプチャ動作を ADCA0TRG1 信号で実行する設定フローを記載しています。



注 1. キャプチャ動作を実行するハードウエアトリガによって適宜設定を変更してください。

図 29.23 設定フロー

29.10.6 動作機能の設定例

各レジスタの設定値の例を示します。

本節に示す設定値は、エンコーダタイマ ENCA0 のキャプチャ動作を ADCA0TRG1 信号で実行する設定値を記載しています。キャプチャ動作を実行するハードウェアトリガによって適宜設定を変更してください。

表 29.40 ENCAn 設定

レジスタ	ビット位置	ビット名	設定値	備考
ENCAnCTL	15	ENCAnCME	0	コンペアー致割り込み検出マスク禁止を選択
	14	ENCAnMCS	0	コンペアー致割り込み検出マスク解除トリガ選択
	13 ～ 10		0	0 固定
	9	ENCAnCRM1	1	ENCAnCCR1 レジスタをキャプチャ用に設定
	8	ENCAnCRM0	任意	ENCAnCCR0 レジスタの用途を選択
	7	ENCAnCTS	0	ENCATTIN1 をキャプチャトリガとして選択。
	6、5		0	0 固定
	4	ENCAnLDE	任意	ENCAnCCR0 レジスタのアンダフロー発生時のリロード許可／禁止を選択
	3	ENCAnECM1	任意	ENCAnCCR1 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
	2	ENCAnECM0	任意	ENCAnCCR0 レジスタのコンペアー致時のカウンタクリアの許可／禁止を選択
	1、0	ENCAnUDS[1:0]	任意	ENCAnE0 と ENCAnE1 によるカウンタアップ／ダウン制御を選択
ENCAnIOC0	7 ～ 4		0	0 固定
	3、2	ENCAnTIS[3:2]	0 注 1 1 注 1	キャプチャトリガ 1（ENCATTIN1）の有効エッジを立ち上がりエッジ検出に選択
	1、0	ENCAnTIS[1:0]	任意	キャプチャトリガ 0（ENCATTIN0）の有効エッジを選択
ENCAnIOC1	7	ENCAnSCE	任意	エンコーダ特殊クリア許可を選択
	6	ENCAnZCL	任意	エンコーダ特殊クリアの Z 相のクリア条件（入力レベル）を選択
	5	ENCAnBCL	任意	エンコーダ特殊クリアの B 相のクリア条件（入力レベル）を選択
	4	ENCAnACL	任意	エンコーダ特殊クリアの A 相のクリア条件（入力レベル）を選択
	3、2	ENCAnECS[1:0]	任意	エンコーダクリア入力 (Z 相) エッジを選択
	1、0	ENCAnEIS[1:0]	任意	エンコーダ入力 (A,B 相) エッジを選択
PIC0REG30	4	PIC0REG3004	任意	ENCATTIN1 の ADCA0 トリガ信号を選択
	3	PIC0REG3003	任意	
	2	PIC0REG3002	任意	

注 1. キャプチャ動作を実行するハードウェアトリガによって適宜設定を変更してください。

備 考

ENCA0CTL の ENCA0CRM1 = 1（ENCA0CCR1 レジスタの用途）、ENCA0CTS = 0（ENCA0CCR1 レジスタへのキャプチャトリガ要因）のみ固定値となります。その他は任意設定可能です。

29.11 デッドタイム付き 3 相 PWM 出力機能

29.11.1 機能概要

1 周期にそれぞれ 1 回以下のセット信号（アクティブレベル変化タイミング信号）、クリア信号（非アクティブレベル変化タイミング信号）を生成し、それらを利用したデッドタイム付き 3 相 PWM 波形を出力します。

TAUD の PWM 出力機能では、デューティ値指定により 1 周期にクリアタイミングのみ設定しますが、本機能によりセットタイミングも指定可能となり、より自由度の高いデッドタイム付き PWM を出力できます。

29.11.2 構成

本機能のユニット、チャネル構成を下記に示します。 **(n = 0)**

表 29.41 デッドタイム付き 3 相 PWM 出力機能の構成

タイマ	タイマモータ制御機能
TAUD0 CH2、CH4 ～ CH15（使用チャネル固定）	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm → INTTAUDnIm （TAUDn チャネル m 割り込み）
- TINm → TAUDTTINm （TAUDn チャネル m 入力）
- TOUTm → TAUDTTOUTm（TAUDn チャネル m 出力）
- CDRm → TAUDnCDRm （TAUDn チャネル m データレジスタ）
- CNTm → TAUDnCNTm （TAUDn チャネル m カウンタレジスタ）

(1) TAUDn 設定

CH10、12、14 は、TOUTm のみ使用するため、TOUTm を使用しない機能であれば使用可能です（m = 10, 12, 14）。

表 29.42 TAUDn 設定 (1/2)

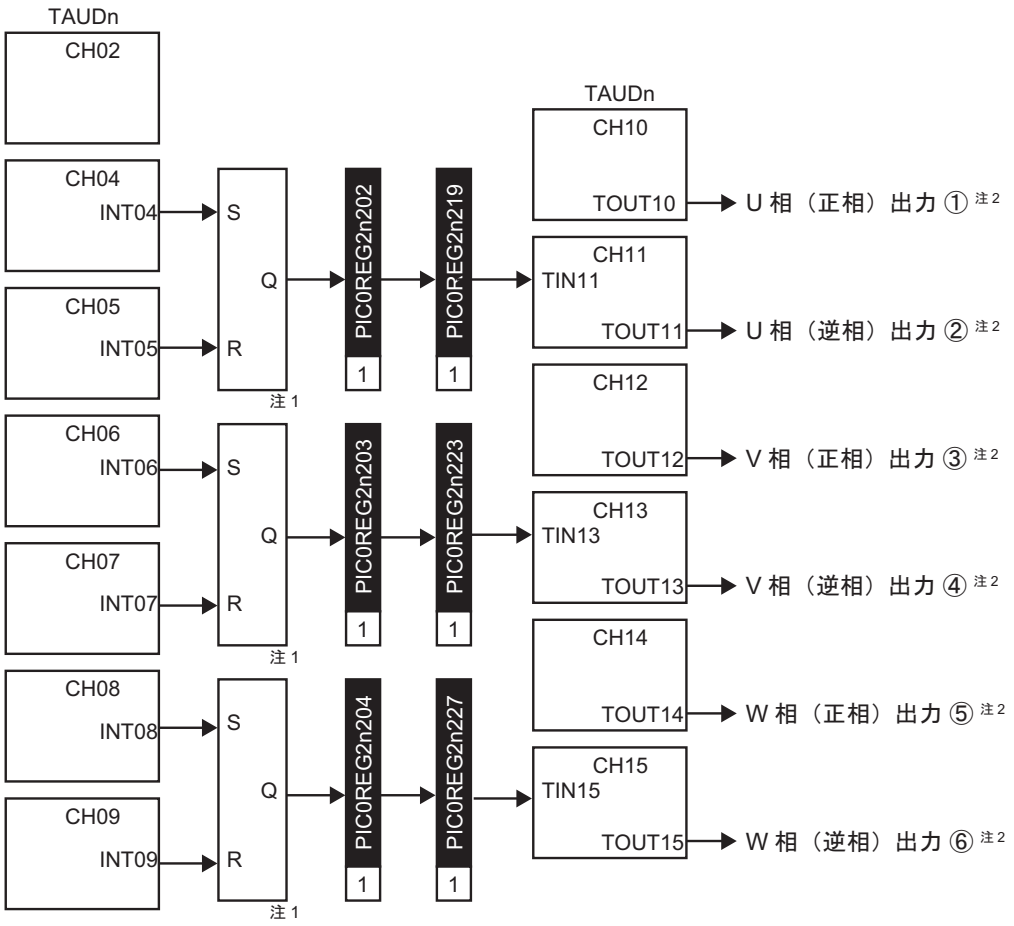
CH	機能名	M/S	CDR 設定値	説明
2	PWM 出力機能 （CH2 は CH4-CH9 のマスタチャネル）	M	周期	
4		S	デューティ (U 相 セット)	
5		S	デューティ (U 相 クリア)	
6		S	デューティ (V 相 セット)	
7		S	デューティ (V 相 クリア)	
8		S	デューティ (W 相 セット)	
9		S	デューティ (W 相 クリア)	
10	TOUT10 を使用しない機能であれば任意	S		TOUT10：U 相出力
11	1 相 PWM 出力機能	S	デッドタイム (U 相)	TOUT11：UB 相出力

表 29.42　TAUDn 設定 (2/2)

CH	機能名	M/S	CDR 設定値	説明
12	TOUT12 を使用しない機能であれば任意	S		TOUT12：V 相出力
13	1 相 PWM 出力機能	S	デッドタイム (V 相)	TOUT13：VB 相出力
14	TOUT14 を使用しない機能であれば任意	S		TOUT14：W 相出力
15	1 相 PWM 出力機能	S	デッドタイム (W 相)	TOUT15：WB 相出力

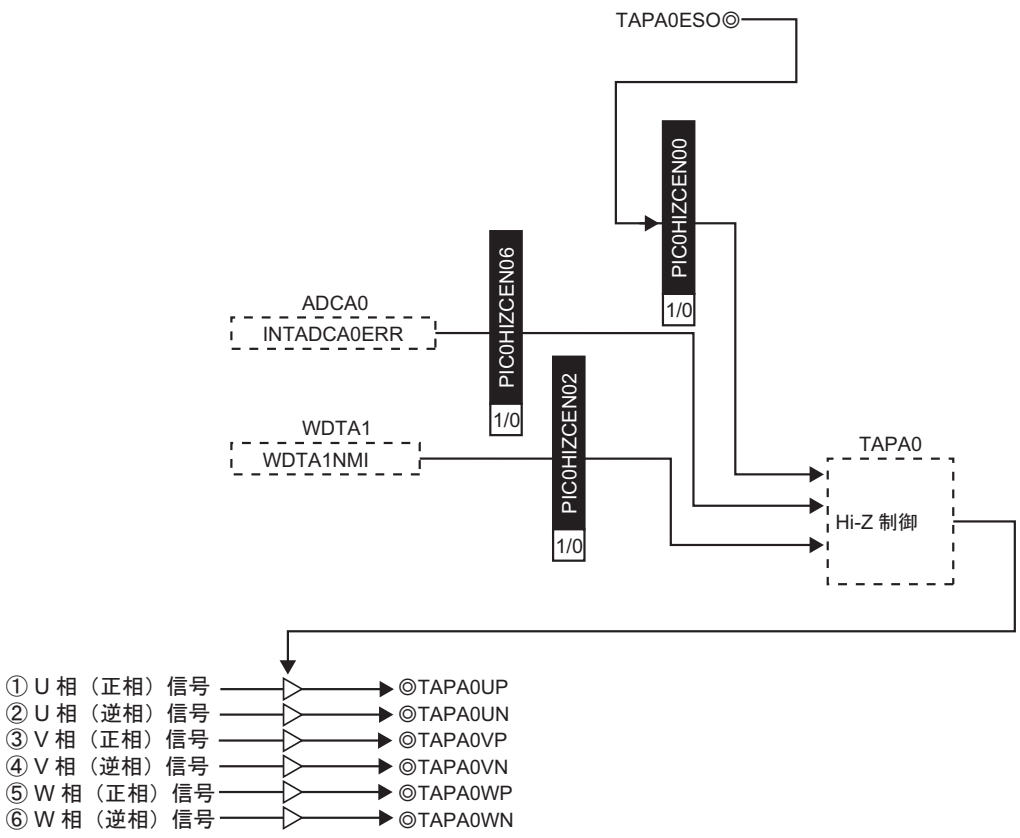
備考　M = マスタチャネル
S = スレーブチャネル

(2) ブロック図



注 1. SR フリップフロップ回路
注 2. 接続先は**「図 29.25 モータ出力バッファ制御ブロック図」**を参照してください。

図 29.24 デッドタイム付き 3 相 PWM 出力のブロック図



備考　この破線ブロックは各機能の章を参照してください。
ADCA0：**「第 31 章　A/D コンバータ（ADCA）」**
TAPA0：**「29.4　非同期 Hi-Z 制御機能」**
WDTA1：**「第 22 章　ウインドウウォッチドッグタイマ（WDTA）」**

図 29.25　モータ出力バッファ制御ブロック図

29.11.3 レジスタ

29.11.3.1 PIC0REG2n2 — タイマ入出力制御レジスタ 2n2（n = 0）

アクセス 32 ビット単位でリード／ライト可能です。

アドレス PIC0REG202：FFDD 00C8$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC0REG2n227	—	—	—	PIC0REG2n223	—	—	—	PIC0REG2n219	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC0REG2n204	PIC0REG2n203	PIC0REG2n202	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 29.43 PIC0REG2n2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	予約ビット	注 1
27	PIC0REG2n227	TAUDTTIN15 への入力信号を選択します。 PIC0REG2n227 ／ 入力信号 1 ／ PIC0REG2n204 ビットで選択した信号 上記以外 ／ 設定禁止
26 ～ 24	予約ビット	注 1
23	PIC0REG2n223	TAUDTTIN13 への入力信号を選択します。 PIC0REG2n223 ／ 入力信号 1 ／ PIC0REG2n203 ビットで選択した信号 上記以外 ／ 設定禁止
22 ～ 20	予約ビット	注 1
19	PIC0REG2n219	TAUDTTIN11 への入力信号を選択します。 PIC0REG2n219 ／ 入力信号 1 ／ PIC0REG2n202 ビットで選択した信号 上記以外 ／ 設定禁止
18 ～ 5	予約ビット	注 1
4	PIC0REG2n204	TAUDTTIN15 への TIN 入力信号を選択します。 0：設定禁止 1：INTTAUDnI8, INTTAUDnI9 によるセット／クリア出力を選択
3	PIC0REG2n203	TAUDTTIN13 への TIN 入力信号を選択します。 0：設定禁止 1：INTTAUDnI6, INTTAUDnI7 によるセット／クリア出力を選択
2	PIC0REG2n202	TAUDTTIN11 への TIN 入力信号を選択します。 0：設定禁止 1：INTTAUDnI4, INTTAUDnI5 によるセット／クリア出力を選択
1、0	予約ビット	注 1

注 1. PIC0REG2n2 レジスタに “0” を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.11.3.2 PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n = 0）

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <PIC0_base> + 80_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 29.44 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
5 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可

29.11.4　動作例

1 周期にそれぞれ 1 回以下のセット信号、クリア信号を生成し、それらを利用したデッドタイム付き 3 相 PWM 波形を出力します。

TAUD の次の機能の組み合わせにより実現します。

- PWM 出力機能
- 1 相 PWM 出力機能

また、PWM 出力機能で生成するセット信号、クリア信号から 1 相 PWM 出力機能の入力 TINm（m = 11, 13, 15）へ供給する PWM 波形を作成するため、PIC 内の以下機能を使用します。

- SR フリップフロップ回路

3 相 PWM 出力は、上記機能で実現したデッドタイム付き 1 相 PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のセット／クリア信号は、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので、ここでは 1 相（U 相）についてのみ説明を行います。

29.11.4.1 PWM 出力機能

CH2、CH4、CH5 の組み合わせで使用します。

CDR02 に周期、CDR04 に U 相セット値、CDR05 に U 相クリア値を設定することで、INT04,05 から 1 相 PWM 出力機能の入力 TIN11 を生成する SR フリップフロップ回路へのセット／クリア信号を生成します。

V 相、W 相については、上記 U 相のセット／クリア信号生成で使用した CH4,CH5 をそれぞれ CH6、CH7（V 相）、CH8、CH09（W 相）で実現します。

29.11.4.2 1 相 PWM 出力機能

CH10、CH11 の組み合わせで 1 相 PWM を TOUT10、TOUT11 から出力します。

CDR11 にデッドタイム値を設定することで、TIN11 入力に対してデッドタイム付 1 相 PWM を出力します。

V 相、W 相については、それぞれ CH12、CH13（V 相）、CH14、CH15（W 相）で、同様にデッドタイム付き 1 相 PWM を出力します。

注　意

PWM 出力機能、1 相 PWM 出力機能で使用する TAUDn 各チャネルの動作クロック設定は同一クロックを設定してください。

TAUD の機能の詳細については、**「第 25 章　タイマアレイユニット D（TAUD）」**の章を参照してください。

29.11.4.3 SR フリップフロップ回路

TAUD の CH4 で生成される U 相セット信号、CH5 で生成される U 相クリア信号を入力とし、1 相 PWM 出力機能の入力 TIN11 へ供給する PWM 波形を生成します。

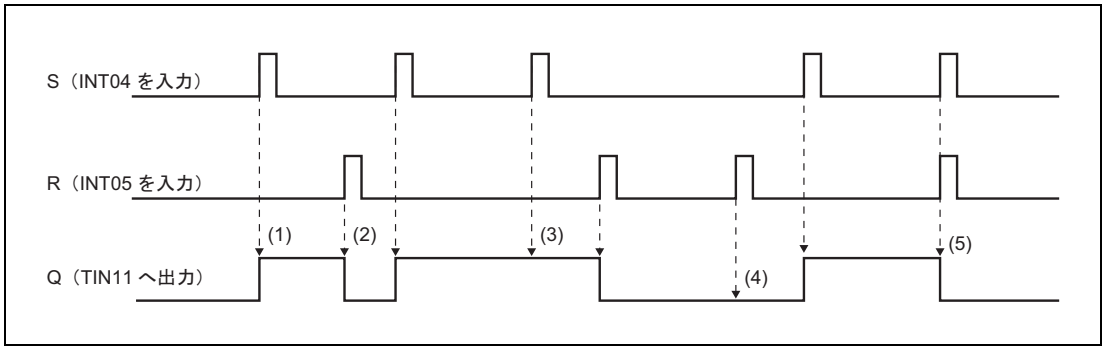


図 29.26 SR フリップフロップ回路の動作タイミング図（U 相の例）

(1) 入力 S に信号が入力されると、S の立ち上がりで出力 Q がハイレベルになります。

(2) 入力 R に信号が入力されると、R の立ち上がりで出力 Q はロウレベルになります。

(3) 出力 Q がハイレベルの状態で入力 S に信号が入力されても出力 Q には影響しません。

(4) 出力 Q がロウレベルの状態で入力 R に信号が入力されても出力 Q には影響しません。

(5) 入力 S および入力 R に同時に信号が入力された場合、入力 R が優先され R の立ち上がりで出力 Q はロウレベルになります。

V 相、W 相については、それぞれ INT06、INT07（V 相）、INT08、INT09（W 相）を入力とし、TIN13（V 相）、TIN15（W 相）へ供給する PWM 波形を生成します。

「1 相 PWM 出力機能」で生成する PWM の出力変化タイミングを「PWM 出力機能」により生成します。

「PWM 出力機能」は、PWM のアクティブレベル出力タイミングのセット信号、非アクティブレベル出力タイミングのクリア信号を生成します。このセット／クリア信号を SR フリップフロップ回路に入力することにより、任意タイミングで変化する PWM 信号を生成します。

「1 相 PWM 出力機能」は、生成された PWM 信号の変化にしたがい、正相／逆相 PWM の生成、デッドタイム付加を行い 1 相 PWM 信号の出力を行います。

PIC は、「PWM 出力機能」で生成されたセット／クリア信号を「SR フリップフロップ回路」によって「1 相 PWM 出力機能」の TIN 入力として使用する接続を提供します。

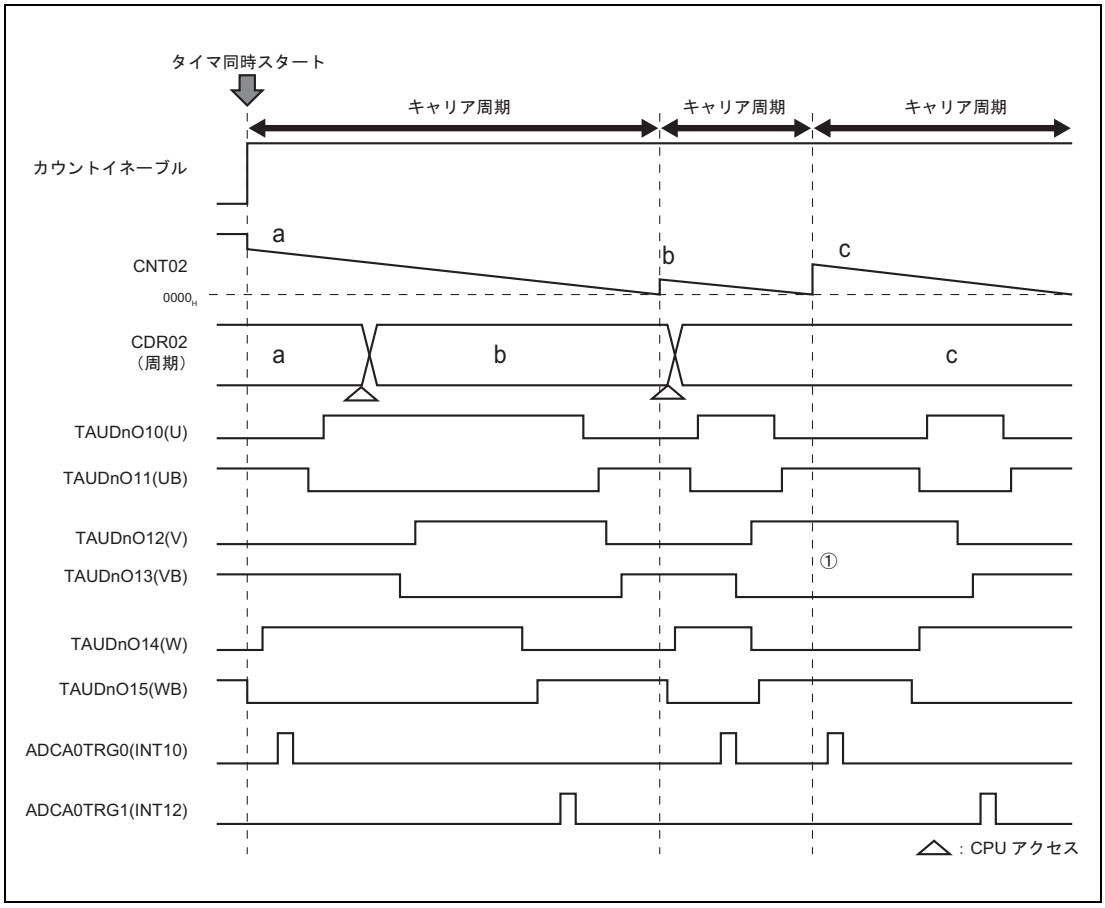


図 29.27　デッドタイム付加の 3 相 PWM（U・UB, V・VB, W・WB）出力例

図 29.27 にデッドタイム付き 3 相 PWM 出力機能の代表的出力例を示します。

セット／クリア信号出力タイミングの設定次第では、キャリア周期を跨いだ PWM 出力（①部分）なども可能になります。

下段 ADCA0TRG0、ADCA0TRG1 は、「1 相 PWM 出力機能」では使用しない、CH10、CH12 の CNT および INT 信号を使用し、「A/D トリガ出力機能 Type-1」機能による A/D トリガ信号出力を実行した例です。

このように、1 相 PWM 出力機能では、正相出力を行うチャネルでは信号出力を行う TOUTm のみを使用するため、CNTm、CDRm、INTm を使用する任意の機能を設定可能です。詳細は**「第 25 章　タイマアレイユニット D（TAUD）」**を参照してください（m = 10, 12, 14）

次の図以降に、デッドタイム付き 3 相 PWM 出力機能のタイミング図を示します。

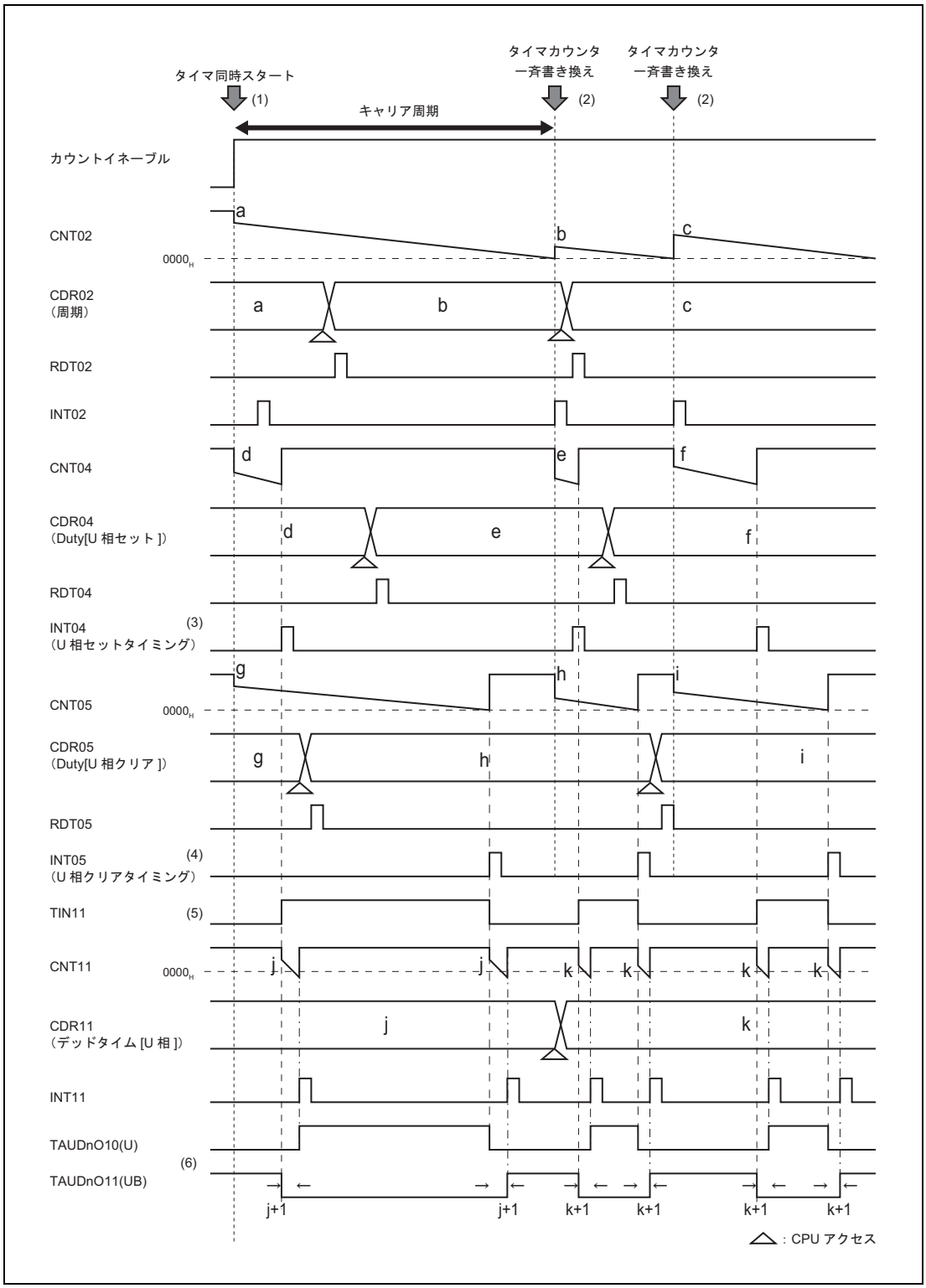


図 29.28 デッドタイム付加の 1 相 PWM（U 相、UB 相）出力例

図 29.28 の U 相 PWM 出力を行うタイマ構成の動作例について説明します。

(1) タイマ同時スタートにより、CH2（キャリア周期タイマ）、CH4（U 相セット信号出力タイミングタイマ）、CH5（U 相クリア信号出力タイミングタイマ）が同時スタートします。
CH11 もタイマスタートしていますが、カウント開始タイミングである TIN11 のエッジが検出されるまで、カウント動作は行われません。

(2) CH4、CH5 は、CH2 のアンダフローにより、CDR04、CDR05 からそれぞれ CNT04、CNT05 へ設定値のリロードが行われます。

(3) CH4 のアンダフローにより、U 相セットタイミング信号（INT04）が発生します。

(4) CH5 のアンダフローにより、U 相クリアタイミング信号（INT05）が発生します。

(5) INT04（セットタイミング信号）、INT05（クリアタイミング信号）を入力とした SR フリップフロップ回路の出力を PIC 機能により、「1 相 PWM 出力機能」の入力 TIN11 へ供給します。

(6) 「1 相 PWM 出力機能」は TIN11 のエッジ検出により、デッドタイムを付加した PWM 波形を生成し出力します。

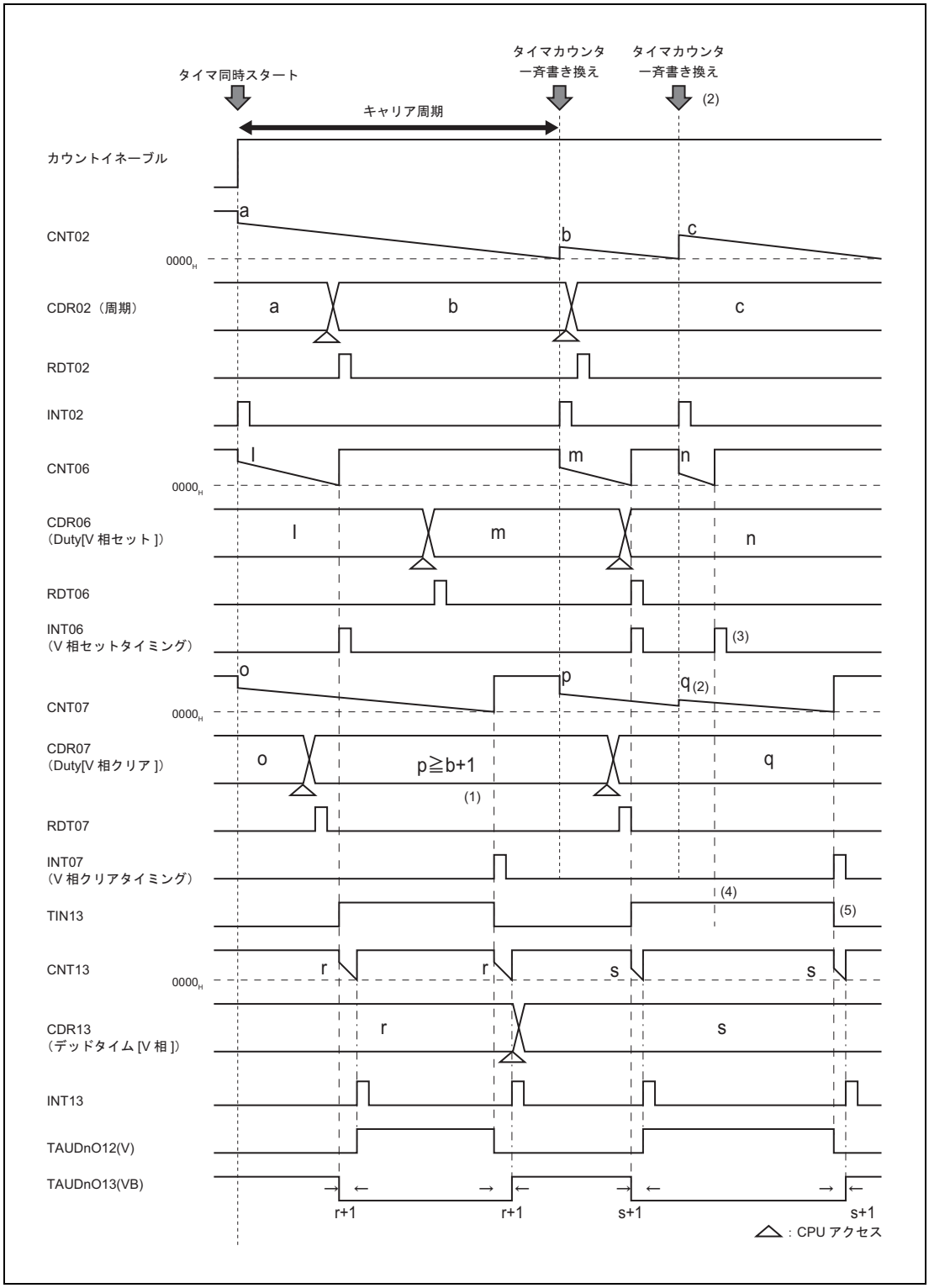


図 29.29 デッドタイム付加の 1 相 PWM（V 相、VB 相）出力例

図 29.29 の V 相 PWM 出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1 相 PWM 出力機能」による PWM 出力までの動作については U 相の動作例の説明を参照してください。

(1) V 相クリアタイミング信号（INT07）を生成する CH7（V 相クリア信号出力タイミングタイマ）設定値を CH2（キャリア周期タイマ）設定値より大きくした場合、

(2) CH7 のアンダフローによる V 相クリアタイミング信号（INT07）発生前に、CH2（キャリア周期タイマ）のアンダフローが発生し、CH7 の設定値はリロードされます。

(3) これにより、本来発生すべき V 相クリアタイミング信号（INT07）は発生せず、V 相セットタイミング信号（INT06）が連続して発生することになります。

(4) この場合、V 相セットタイミング信号（INT06）は SR フリップフロップ回路により無視されるため、PWM 出力波形に影響しません。このため、出力される PWM 出力はキャリア周期を跨ぐ波形が出力されます。

(5) PWM 出力は次の V 相クリアタイミング信号（INT07）のタイミングで変化します。

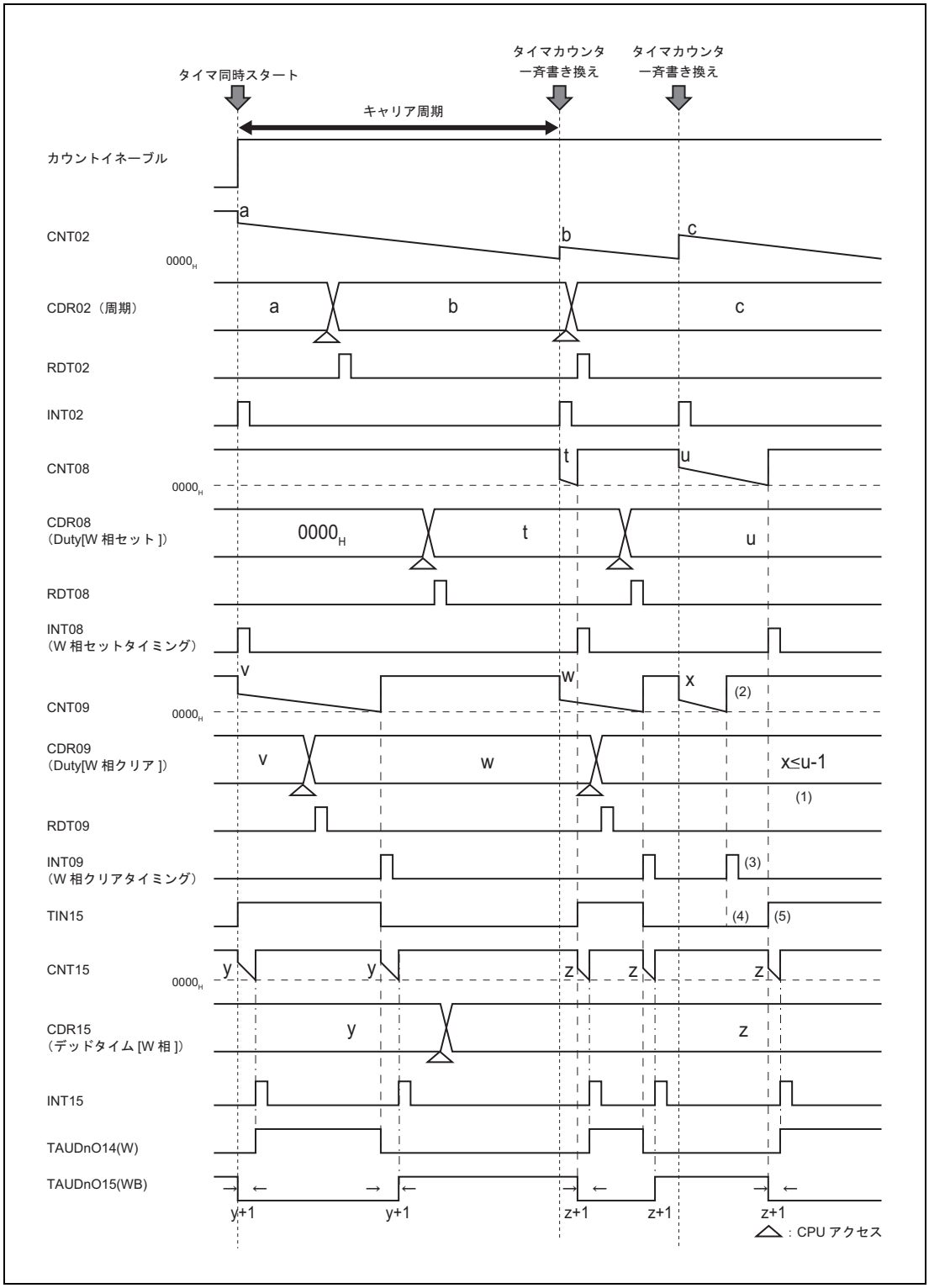


図 29.30 デッドタイム付加の 1 相 PWM（W 相、WB 相）出力例

図 29.30 の W 相 PWM 出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1 相 PWM 出力機能」による PWM 出力までの動作については U 相の動作例の説明を参照してください。

(1) W 相クリアタイミング信号（INT09）を生成する CH09（W 相クリア信号出力タイミングタイマ）設定値を CH8（W 相セット信号出力タイミングタイマ）設定値より小さくした場合、

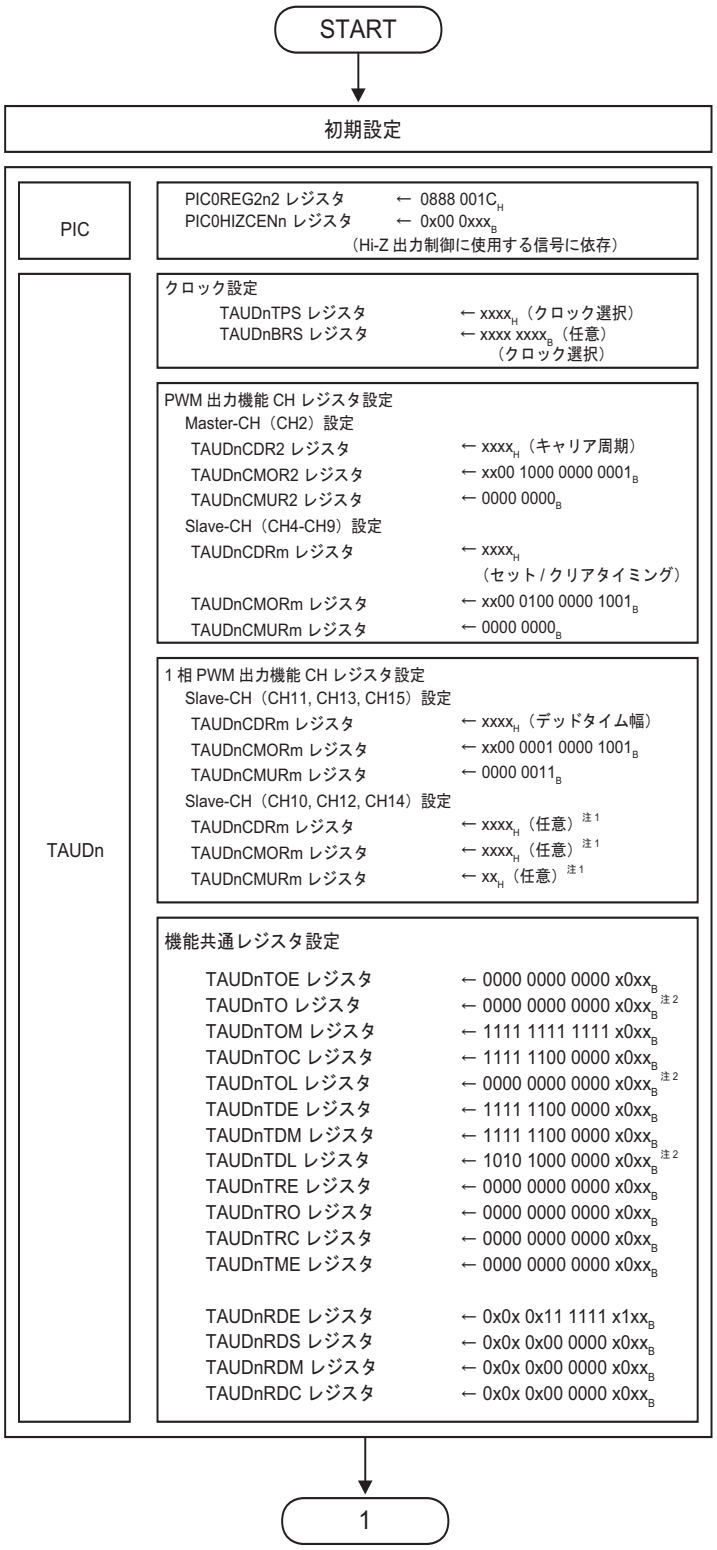
(2) CH8 のアンダフローによる W 相セットタイミング信号（INT08）発生前に、CH09（W 相クリア信号出力タイミングタイマ）のアンダフローが発生し、W 相クリアタイミング信号（INT09）が発生します。

(3) これにより、W 相クリアタイミング信号（INT09）が連続して発生することになります。

(4) この場合、連続して発生した W 相クリアタイミング信号（INT09）は SR フリップフロップ回路により無視されるため PWM 出力波形に影響しません。

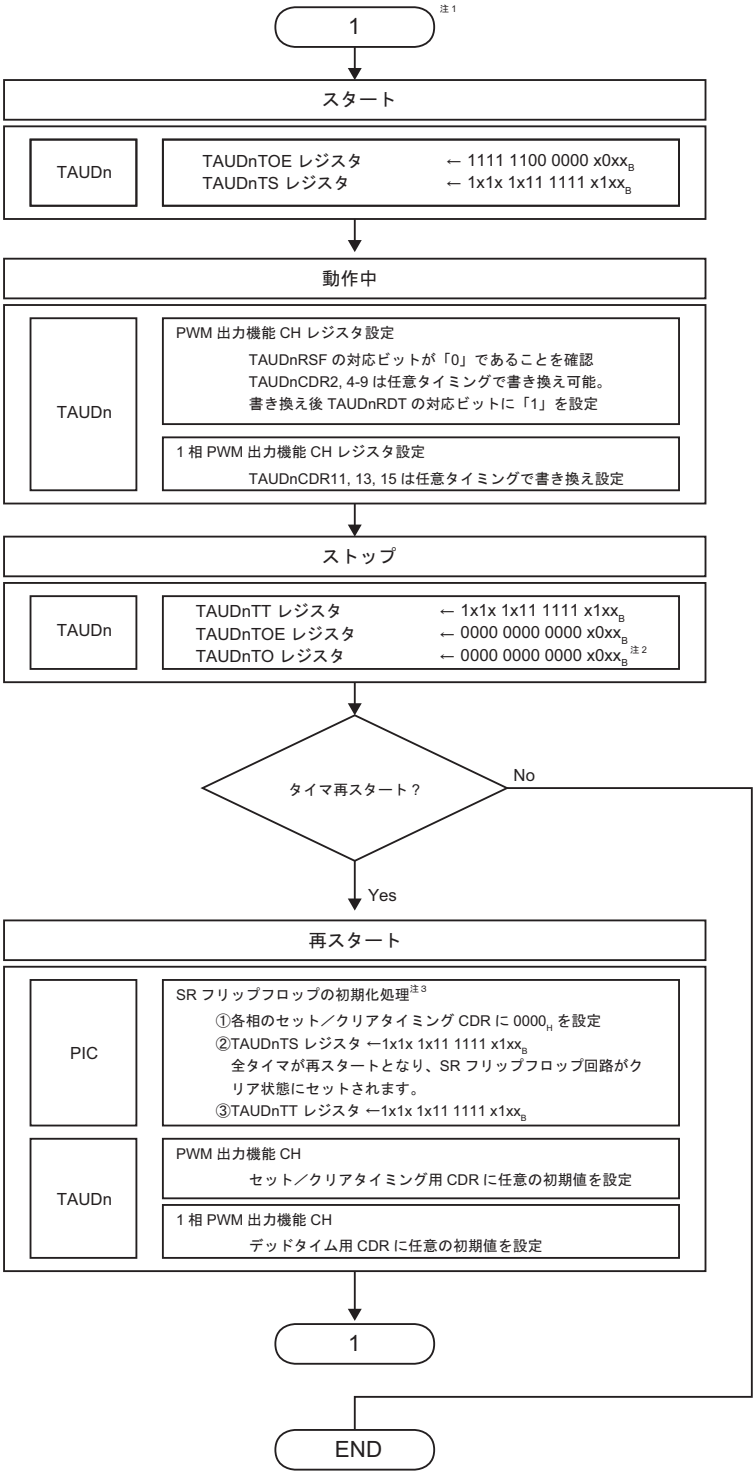
(5) PWM 出力は次の W 相セットタイミング信号（INT08）のタイミングで変化します。

29.11.5 設定フロー



注 1. TOUTm を使用しない機能を指定してください。
注 2. 出力する PWM のアクティブレベルによって設定値を変更してください

図 29.31 設定フロー（アクティブハイの例）



注 1. 選択レジスタと使用する出力ポートの設定は、PIC とタイマの初期設定後に行ってください。
注 2. 出力する PWM のアクティブレベルによって設定値を変更してください。
注 3. 初期化処理を行わない場合、SR フリップフロップ回路の状態がタイマ停止時の状態となり、場合によってはタイマ再スタートの出力パルスが意図しないレベルで出力される可能性があります。

図 29.32 設定フロー（アクティブハイの例）（続き）

29.11.6 動作機能の設定例

各レジスタの設定値の例を示します。

29.11.6.1 TAUDn 設定（アクティブハイの例）

表 29.45 TAUDn CH2 関連 (PWM 出力機能マスタチャネル) 注 1

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR2	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10-8	TAUDnSTS[2:0]	000	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ～ 1	TAUDnMD[4:1]	0000	
	0	TAUDnMD0	1	
TAUDnCMUR2	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD の PWM 出力機能で定義されている名称です。
詳細については「**第 25 章　タイマアレイユニット D（TAUD）**」の章を参照してください。
注 2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 29.46 TAUDn CH4-CH9 関連 （PWM 出力機能スレーブチャネル注 1）(m = 4-9)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ～ 8	TAUDnSTS[2:0]	100	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ～ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD の PWM 出力機能で定義されている名称です。詳細については「**第 25 章　タイマアレイユニット D（TAUD）**」の章を参照してください。
注 2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備　考

PWM 出力機能の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「**第 25 章　タイマアレイユニット D（TAUD）**」の章を参照してください。

表 29.47　TAUDn　CH11, 13, 15 関連（1 相 PWM 出力機能）（m =　11, 13, 15）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 1	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ～ 8	TAUDnSTS[2:0]	001	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ～ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	11	TINm 両エッジを有効エッジとして検出 (High 幅)

注 1.　動作クロックは、PWM 出力機能のマスタチャネル（CH2）と同一のクロック設定にしてください。

備　考

1 相 PWM 出力機能の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。CH10、12、14 については TOUTm 出力を使用しない機能（A/D トリガ出力など）であれば、任意に使用可能です。詳細は「**第 25 章　タイマアレイユニット D（TAUD）**」の章を参照してください。

表 29.48　TAUDn チャネル共通 (1/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOE	15 ～ 10	TAUDnTOE15 ～ TAUDnTOE10	0 1	タイマ動作禁止 タイマ動作許可
	9 ～ 4	TAUDnTOE09 ～ TAUDnTOE04	0	TOUT09 ～ TOUT04 は未使用のため 0 固定
	3	TAUDnTOE03	任意	
	2	TAUDnTOE02	0	TOUT02 は未使用のため 0 固定
	1、0	TAUDnTOE01 TAUDnTOE00	任意	
TAUDnTO	15 ～ 10	TAUDnTO15 ～ TAUDnTO10	0 注 1	TOUT15 ～ TOUT10 にロウレベルを出力
	9 ～ 4	TAUDnTO09 ～ TAUDnTO04	0	TOUT09 ～ TOUT04 にロウレベルを出力
	3	TAUDnTO03	任意	
	2	TAUDnTO02	0	TOUT02 にロウレベルを出力
	1、0	TAUDnTO01 TAUDnTO00	任意	
TAUDnTOM	15 ～ 4	TAUDnTOM15 ～ TAUDnTOM04	1	連動動作モード
	3	TAUDnTOM03	任意	
	2	TAUDnTOM02	0	単体動作モード
	1、0	TAUDnTOM01 TAUDnTOM00	任意	

表 29.48 TAUDn チャネル共通 (2/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOC	15 ～ 10	TAUDnTOC15 ～ TAUDnTOC10	1	連動動作モード 2
	9 ～ 4	TAUDnTOC09 ～ TAUDnTOC04	0	連動動作モード 1
	3	TAUDnTOC03	任意	
	2	TAUDnTOC02	0	動作モード 1
	1、0	TAUDnTOC01 TAUDnTOC00	任意	
TAUDnTOL	15 ～ 4	TAUDnTOL15 ～ TAUDnTOL04	0 注 1	正論理出力（アクティブハイ）
	3	TAUDnTOL03	任意	
	2	TAUDnTOL02	0	正論理出力（アクティブハイ）
	1、0	TAUDnTOL01 TAUDnTOL00	任意	
TAUDnTDE	15 ～ 10	TAUDnTDE15 ～ TAUDnTDE10	1	デッドタイム制御可能注 2
	9 ～ 4	TAUDnTDE09 ～ TAUDnTDE04	0	デッドタイム制御禁止
	3	TAUDnTDE03	任意	
	2	TAUDnTDE02	0	デッドタイム制御禁止
	1、0	TAUDnTDE01 TAUDnTDE00	任意	
TAUDnTDM	15 ～ 10	TAUDnTDM15 ～ TAUDnTDM10	1	下位奇数チャネルの TINm 入力エッジ検出でデッドタイムを生成する。
	9 ～ 4	TAUDnTDM09 ～ TAUDnTDM04	0	デッドタイム制御禁止のため無効
	3	TAUDnTDM03	任意	
	2	TAUDnTDM02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDM01 TAUDnTDM00	任意	
TAUDnTDL	15	TAUDnTDL15	1 注 1	W 相逆相として動作
	14	TAUDnTDL14	0 注 1	W 相正相として動作
	13	TAUDnTDL13	1 注 1	V 相逆相として動作
	12	TAUDnTDL12	0 注 1	V 相正相として動作
	11	TAUDnTDL11	1 注 1	U 相逆相として動作
	10	TAUDnTDL10	0 注 1	U 相正相として動作
	9 ～ 4	TAUDnTDL09 ～ TAUDnTDL04	0	デッドタイム制御禁止のため無効
	3	TAUDnTDL03	任意	
	2	TAUDnTDL02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDL01 TAUDnTDL00	任意	
TAUDnTRE	15 ～ 4	TAUDnTRE15 ～ TAUDnTRE04	0	リアルタイム出力停止
	3	TAUDnTRE03	任意	
	2	TAUDnTRE02	0	リアルタイム出力停止
	1、0	TAUDnTRE01 TAUDnTRE00	任意	

表 29.48 TAUDn チャネル共通 (3/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTRO	15 ～ 4	TAUDnTRO15 ～ TAUDnTRO04	0	リアルタイム出力禁止のため無効
	3	TAUDnTRO03	任意	
	2	TAUDnTRO02	0	リアルタイム出力禁止のため無効
	1、0	TAUDnTRO01 TAUDnTRO00	任意	
TAUDnTRC	15 ～ 4	TAUDnTRC15 ～ TAUDnTRC04	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	3	TAUDnTRC03	任意	
	2	TAUDnTRC02	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	1、0	TAUDnTRC01 TAUDnTRC00	任意	
TAUDnTME	15 ～ 4	TAUDnTME15 ～ TAUDnTME04	0	タイマ出力とリアルタイム出力の変調出力禁止
	3	TAUDnTME03	任意	
	2	TAUDnTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1、0	TAUDnTME01 TAUDnTME00	任意	
TAUDnRDE	15	TAUDnRDE15	0	一斉書き換え禁止
	14	TAUDnRDE14	任意	
	13	TAUDnRDE13	0	一斉書き換え禁止
	12	TAUDnRDE12	任意	
	11	TAUDnRDE11	0	一斉書き換え禁止
	10	TAUDnRDE10	任意	
	9 ～ 4	TAUDnRDE09 ～ TAUDnRDE04	1	一斉書き換え許可
	3	TAUDnRDE03	任意	
	2	TAUDnRDE02	1	一斉書き換え許可
	1、0	TAUDnRDE01 TAUDnRDE00	任意	
TAUDnRDS	15	TAUDnRDS15	0	別の上位チャネルにより、一斉書き換えを許可しない
	14	TAUDnRDS14	任意	
	13	TAUDnRDS13	0	別の上位チャネルにより、一斉書き換えを許可しない
	12	TAUDnRDS12	任意	
	11	TAUDnRDS11	0	別の上位チャネルにより、一斉書き換えを許可しない
	10	TAUDnRDS10	任意	
	9 ～ 4	TAUDnRDS09 ～ TAUDnRDS04	0	マスタチャネルにより一斉書き換えを許可する
	3	TAUDnRDS03	任意	
	2	TAUDnRDS02	0	マスタチャネルにより一斉書き換えを許可する
	1、0	TAUDnRDS01 TAUDnRDS00	任意	

表 29.48 TAUDn チャネル共通 (4/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnRDM	15	TAUDnRDM15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDM14	任意	
	13	TAUDnRDM13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDM12	任意	
	11	TAUDnRDM11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDM10	任意	
	9 ～ 4	TAUDnRDM09 ～ TAUDnRDM04	0	マスタチャネルのカウント開始タイミングで信号をロード
	3	TAUDnRDM03	任意	
	2	TAUDnRDM02	0	マスタチャネルのカウント開始タイミングで信号をロード
	1、0	TAUDnRDM01 TAUDnRDM00	任意	
TAUDnRDC	15	TAUDnRDC15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDC14	任意	
	13	TAUDnRDC13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDC12	任意	
	11	TAUDnRDC11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDC10	任意	
	9 ～ 4	TAUDnRDC09 ～ TAUDnRDC04	0	一斉書き換えトリガ生成チャネルとして動作しない
	3	TAUDnRDC03	任意	
	2	TAUDnRDC02	1	一斉書き換えトリガ生成チャネルとして動作しない
	1、0	TAUDnRDC01 TAUDnRDC00	任意	

注 1.　使用システムによって設定を変更してください。

注 2.　デッドタイム制御を行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細は「**第 25 章　タイマアレイユニット D（TAUD）**」の章を参照してください。

29.11.6.2 PIC の設定

表 29.49 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n2	27	PIC0REG2n227	1	PIC0REG2n204 ビットで選択した入力を選択
	23	PIC0REG2n223	1	PIC0REG2n203 ビットで選択した入力を選択
	19	PIC0REG2n219	1	PIC0REG2n202 ビットで選択した入力を選択
	4	PIC0REG2n204	1	INTTAUDnI8、INTTAUDnI9 によるセット／クリア出力を選択
	3	PIC0REG2n203	1	INTTAUDnI6、INTTAUDnI7 によるセット／クリア出力を選択
	2	PIC0REG2n202	1	INTTAUDnI4、INTTAUDnI5 によるセット／クリア出力を選択

29.12 デッドタイム付き高精度三角波 PWM 出力機能

29.12.1 機能概要

TAUD の「デッドタイム付き三角波 PWM 出力機能」に対し、デューティ 100%および 0%近傍のデッドタイム可変領域の制御を可能にする機能です。より高精度な三角波 PWM を出力できます。

TAUD のデッドタイム付き三角波 PWM 機能による PWM 出力では、たとえば三角波を U 相 0%出力に遷移させた場合、UB 相のデッドタイムパルスを出力することができません（**図 29.33** 参照）。

本機能では、TAUD のタイマ出力を組み合わせてパルスを生成し、PWM 出力に対してデッドタイムパルスを擬似的に付加します。

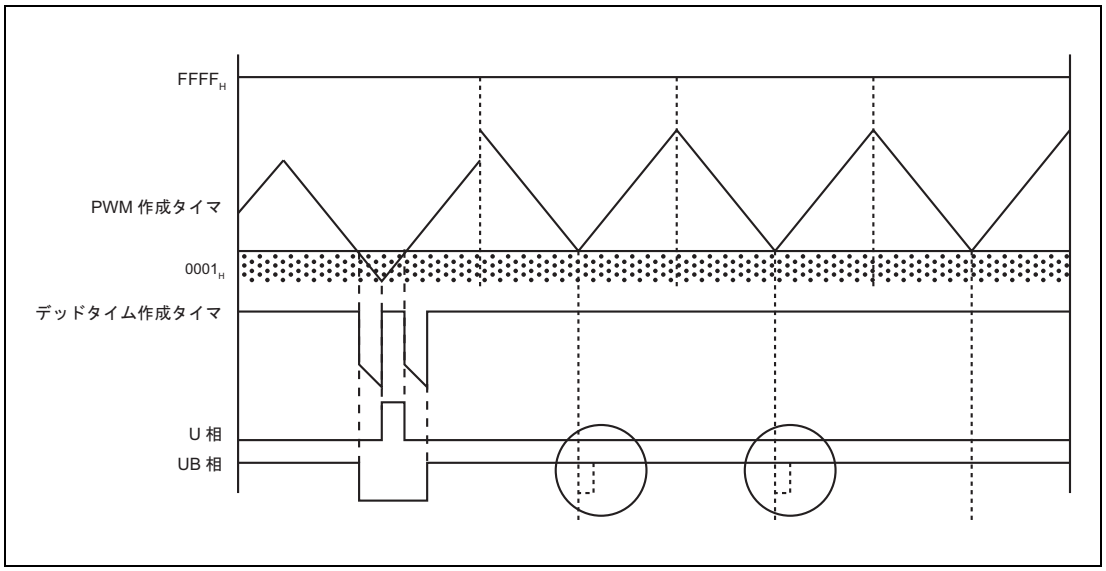


図 29.33 TAUD のデッドタイム付き三角波 PWM 出力機能によるデッドタイム出力タイミング

29.12.2 構成

本機能のユニット、チャネル構成を下記に示します。(n = 0)

表 29.50 デッドタイム付きディレイパルス出力機能の構成

タイマ	タイマモータ制御機能
TAUD0 CH2、CH4 ～ CH15（使用チャネル固定）	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm → INTTAUDnIm （TAUDn チャネル m 割り込み）
- TINm → TAUDTTINm （TAUDn チャネル m 入力）
- TOUTm → TAUDTTOUTm（TAUDn チャネル m 出力）
- CDRm → TAUDnCDRm （TAUDn チャネル m データレジスタ）
- CNTm → TAUDnCNTm （TAUDn チャネル m カウンタレジスタ）

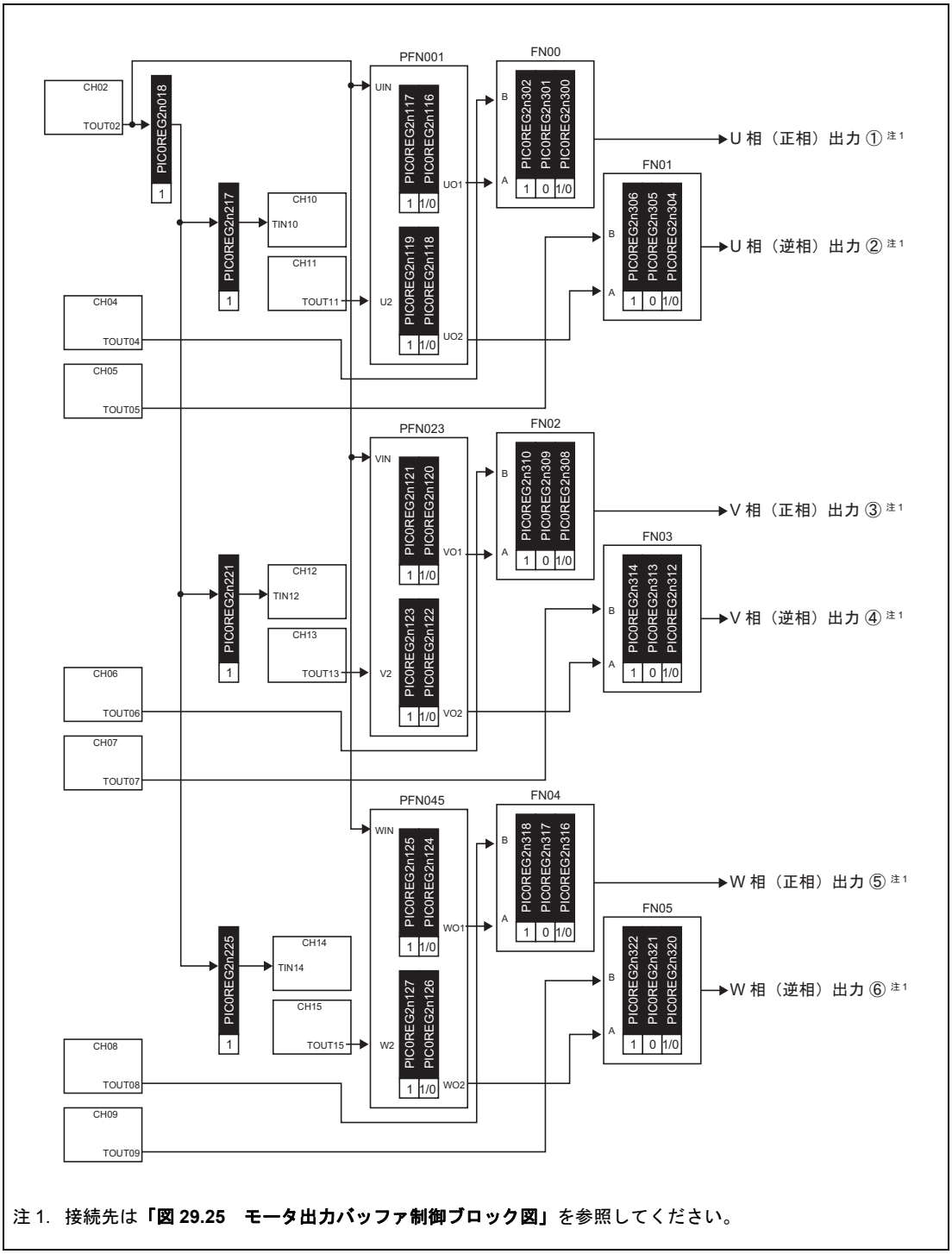
(1) TAUDn 構成

表 29.51 TAUD 構成

CH	機能名	M/S 注 備考	CDR 設定値	説明
2	デッドタイム付き三角波 PWM 出力機能（CH2 は CH4-CH09 のマスタチャネル）	M	周期	
4		S	デューティ (U 相)	
5		S	デッドタイム (U 相)	
6		S	デューティ (V 相)	
7		S	デッドタイム (V 相)	
8		S	デューティ (W 相)	
9		S	デッドタイム (W 相)	
10	ワンショットパルス出力機能	M	ディレイ	U 相 PWM にデッドタイム可変領域で挿入するパルスを生成
11		S	パルス幅	
12	ワンショットパルス出力機能	M	ディレイ	V 相 PWM にデッドタイム可変領域で挿入するパルスを生成
13		S	パルス幅	
14	ワンショットパルス出力機能	M	ディレイ	W 相 PWM にデッドタイム可変領域で挿入するパルスを生成
15		S	パルス幅	

備考 M= マスタチャネル
S= スレーブチャネル

(2) ブロック図



注 1. 接続先は「**図 29.25　モータ出力バッファ制御ブロック図**」を参照してください。

図 29.34　デッドタイム付き高精度三角波 PWM 出力機能のブロック図

29.12.3 レジスタ

29.12.3.1 PIC0REG2n0 — タイマ入出力制御レジスタ 2n0 (n = 0)

TAUDn の入力選択を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス PIC0REG200：FFDD 00C0$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC0REG2n018	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.52 PIC0REG2n0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	予約ビット	注 1
18	PIC0REG2n018	TAUDTTIN10, TAUDTTIN12, TAUDTTIN14 への TIN 入力信号を選択します。 0：設定禁止 1：TAUDTTOUT2 を選択
17 ～ 0	予約ビット	注 1

注 1. PIC0REG2n0 レジスタに “0” を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.12.3.2 PIC0REG2n1 — タイマ入出力制御レジスタ 2n1 (n = 0)

組み合わせ回路の論理選択を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス PIC0REG201：FFDD 00C4$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC0REG2n127	PIC0REG2n126	PIC0REG2n125	PIC0REG2n124	PIC0REG2n123	PIC0REG2n122	PIC0REG2n121	PIC0REG2n120	PIC0REG2n119	PIC0REG2n118	PIC0REG2n117	PIC0REG2n116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.53 PIC0REG2n1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 28	予約ビット	注 1
27、26	PIC0REG2n127 PIC0REG2n126	TAUDn の CH9 に設定した出力論理に合わせて、FN05 A 入力信号を選択します。 PIC0REG2n127 / PIC0REG2n126 / 入力信号 1 / 0 / 組み合わせ回路出力（アクティブハイ設定時に選択（TAUDnTOL09 = 0）） 1 / 1 / 組み合わせ回路反転出力（アクティブロウ設定時に選択（TAUDnTOL09 = 1）） 上記以外 / 設定禁止
25、24	PIC0REG2n125 PIC0REG2n124	TAUDn の CH8 に設定した出力論理に合わせて、FN04 A 入力信号を選択します。 PIC0REG2n125 / PIC0REG2n124 / 入力信号 1 / 0 / 組み合わせ回路出力（アクティブハイ設定時に選択（TAUDnTOL08 = 0）） 1 / 1 / 組み合わせ回路反転出力（アクティブロウ設定時に選択（TAUDnTOL08 = 1）） 上記以外 / 設定禁止
23、22	PIC0REG2n123 PIC0REG2n122	TAUDn の CH7 に設定した出力論理に合わせて、FN03 A 入力信号を選択します。 PIC0REG2n123 / PIC0REG2n122 / 入力信号 1 / 0 / 組み合わせ回路出力（アクティブハイ設定時に選択（TAUDnTOL07 = 0）） 1 / 1 / 組み合わせ回路反転出力（アクティブロウ設定時に選択（TAUDnTOL07 = 1）） 上記以外 / 設定禁止

表 29.53 PIC0REG2n1 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>21、20</td><td>PIC0REG2n121
PIC0REG2n120</td><td>TAUDn の CH6 に設定した出力論理に合わせて、FN02 A 入力信号を選択します。
<table>
<tr><th>PIC0REG2n 121</th><th>PIC0REG2n 120</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDnTOL06 = 0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDnTOL06 = 1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>19、18</td><td>PIC0REG2n119
PIC0REG2n118</td><td>TAUDn の CH5 に設定した出力論理に合わせて、FN01 A 入力信号を選択します。
<table>
<tr><th>PIC0REG2n 119</th><th>PIC0REG2n 118</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDnTOL05 = 0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDnTOL05 = 1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>17、16</td><td>PIC0REG2n117
PIC0REG2n116</td><td>TAUDn の CH4 に設定した出力論理に合わせて、FN00 A 入力信号を選択します。
<table>
<tr><th>PIC0REG2n 117</th><th>PIC0REG2n 116</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDnTOL04 = 0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDnTOL04 = 1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>15 ～ 0</td><td>予約ビット</td><td>注 1</td></tr>
</table>

注 1. PIC0REG2n1 レジスタに “0” を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.12.3.3 PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0)

アクセス 32 ビット単位でリード／ライト可能です。

アドレス PIC0REG202：FFDD 00C8$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC0REG2n225	—	—	—	PIC0REG2n221	—	—	—	PIC0REG2n217	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.54 PIC0REG2n2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	予約ビット	注 1
25	PIC0REG2n225	TAUDTTIN14 への TIN 入力信号を選択します PIC0REG2n225：1 → PIC0REG2n018 ビットで選択した信号（TAUDn の CH2 の TOUT） PIC0REG2n225：上記以外 → 設定禁止
24 ～ 22	予約ビット	注 1
21	PIC0REG2n221	TAUDTTIN12 への TIN 入力信号を選択します。 PIC0REG2n221：1 → PIC0REG2n018 ビットで選択した信号（TAUDn の CH2 の TOUT） PIC0REG2n221：上記以外 → 設定禁止
20 ～ 18	予約ビット	注 1
17	PIC0REG2n217	TAUDTTIN10 への TIN 入力信号を選択します。 PIC0REG2n217：1 → PIC0REG2n018 ビットで選択した信号（TAUDn の CH2 の TOUT） PIC0REG2n217：上記以外 → 設定禁止
16 ～ 0	予約ビット	注 1

注 1. PIC0REG2n2 レジスタに “0” を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.12.3.4 PIC0REG2n3 — タイマ入出力制御レジスタ 2n3 (n = 0)

組み合わせ回路の論理選択を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス PIC0REG203：FFDD 00CC$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC0REG2n322	PIC0REG2n321	PIC0REG2n320	—	PIC0REG2n318	PIC0REG2n317	PIC0REG2n316
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PIC0REG2n314	PIC0REG2n313	PIC0REG2n312	—	PIC0REG2n310	PIC0REG2n309	PIC0REG2n308	—	PIC0REG2n306	PIC0REG2n305	PIC0REG2n304	—	PIC0REG2n302	PIC0REG2n301	PIC0REG2n300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 29.55 PIC0REG2n3 レジスタの内容 (1/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31 ～ 23</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>22
21
20</td><td>PIC0REG2n322
PIC0REG2n321
PIC0REG2n320</td><td>TAUDn の CH9 に設定した出力論理に合わせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG2n322</th><th>PIC0REG2n321</th><th>PIC0REG2n320</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択 (TAUDnTOL09=0))</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
(アクティブロウ設定時に選択 (TAUDnTOL09=1))</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>19</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>18
17
16</td><td>PIC0REG2n318
PIC0REG2n317
PIC0REG2n316</td><td>TAUDn の CH8 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG2n318</th><th>PIC0REG2n317</th><th>PIC0REG2n316</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL08 = 0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
(アクティブロウ設定時に選択（TAUDnTOL08 = 1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>15</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>14
13
12</td><td>PIC0REG2n314
PIC0REG2n313
PIC0REG2n312</td><td>TAUDn の CH7 に設定した出力論理にあわせて、入力信号 A,B の論理演算を選択します。
<table>
<tr><th>PIC0REG2n314</th><th>PIC0REG2n313</th><th>PIC0REG2n312</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL07 = 0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL07 = 1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>11</td><td>予約ビット</td><td>注 1</td></tr>
</table>

表 29.55 PIC0REG2n3 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>10
9
8</td><td>PIC0REG2n310
PIC0REG2n309
PIC0REG2n308</td><td>TAUDn の CH6 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG2n310</th><th>PIC0REG2n309</th><th>PIC0REG2n308</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL06 = 0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL06 = 1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>7</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>6
5
4</td><td>PIC0REG2n306
PIC0REG2n305
PIC0REG2n304</td><td>TAUDn の CH5 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG2n306</th><th>PIC0REG2n305</th><th>PIC0REG2n304</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL05 = 0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL05 = 1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>3</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>2
1
0</td><td>PIC0REG2n302
PIC0REG2n301
PIC0REG2n300</td><td>TAUDn の CH4 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG2n302</th><th>PIC0REG2n301</th><th>PIC0REG2n300</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL04 = 0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL04 = 1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

注 1. PIC0REG2n3 レジスタに “0” を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.12.3.5 PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n = 0）

TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス PIC0HIZCEN0：FFDD 0080_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 29.56 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
5 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可

29.12.4 動作例

TAUD の次の機能の組み合わせにより実現します。

- デッドタイム付き三角波 PWM 出力機能
- ワンショットパルス出力機能

また、デッドタイム可変領域で挿入するデッドタイム可変領域パルスを正相／逆相用に生成するため、PIC 内の以下機能を使用します。

- 組み合わせ回路（PFN001、PFN023、PFN045）

また、デッドタイム可変領域で挿入するデッドタイム可変領域パルスを三角波 PWM 出力波形と合成するため、PIC 内の以下機能を使用します。

- 論理演算回路（FN0i）（i ＝ 0 ～ 5）

デッドタイム付き高精度三角波 PWM 出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てることにより実現します。したがって、PWM 出力のデッドタイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので、ここでは 1 相（U 相）について説明を行います。

29.12.4.1 デッドタイム付き三角波 PWM 出力機能

CH2、CH4、CH5 を組み合わせて使用し、TOUT04、TOUT05 よりデッドタイム付き三角波 PWM が出力されます。

29.12.4.2 ワンショットパルス出力機能

CH10、CH11 を組み合わせて使用し、CH10 の TIN10 （TOUT02）の有効エッジからディレイ（CDR10）分遅らせた幅 CDR11 のパルスを TOUT11 として出力します。

このパルスはデューティ 100%および 0% 近傍で使用するデッドタイム可変領域パルスとして利用します。

注　意

ワンショットパルス出力機能の各 CDR 設定値は、以下の条件を満たすように設定してください。CDR05 ≧（CDR10 ＋ CDR11）

上記条件を満たさない値を設定した場合、出力波形に影響を与える可能性があります。影響を最小にするには、上記設定値条件とともに、デッドタイム可変領域パルスが必要になる状況まで、CDR11 には 0000_H を設定しておいてください。
TIN10（TOUT02）の有効エッジは両エッジ検出、また TAUDnTOL11 = 1（アクティブロウ）に設定してください。
デッドタイム付き三角波 PWM 出力機能、ワンショットパルス出力機能で使用する TAUDn の各チャネルの動作クロック設定は同一クロックを設定してください。

TAUD の機能の詳細については、**「第 25 章　タイマアレイユニット D（TAUD）」**を参照してください。

29.12.4.3 U 相組み合わせ回路（PFN001）

ワンショットパルス出力機能で生成したパルスを、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM へ付加するためのデッドタイム可変領域パルス（FN00 A、FN01 A）を生成します。

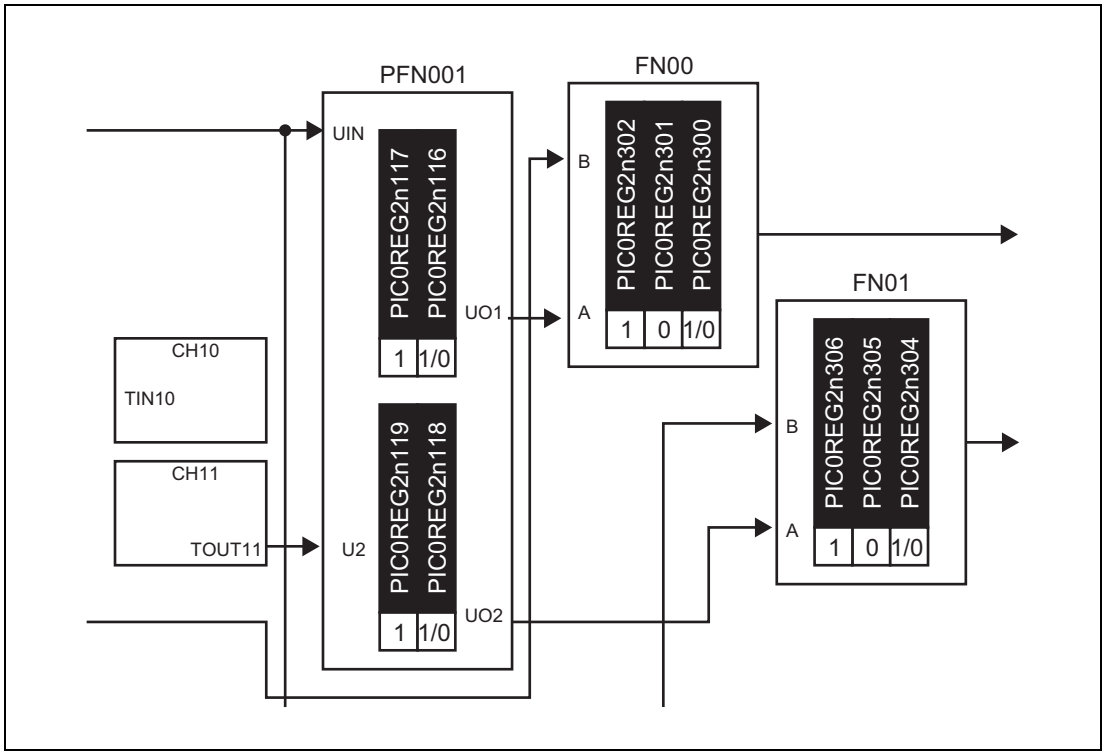


図 29.35 ブロック図抜粋（PFN001、FN00、FN01）

組み合わせ回路の入力（UIN、U2）と出力（UO1、UO2）の関係を以下の表に示します。

表 29.57 U、UB 相組み合わせ回路（PFN001）の入出力表

- UO1（U 相デッドタイム可変領域パルス）出力

UIN（TOUT02）	U2（TOUT11）	UO1	
		PIC0REG2n117, 16 = 10_B U 相出力アクティブハイ （TAUDnTOL04 = 0）	PIC0REG2n117, 16 = 11_B U 相出力アクティブロウ （TAUDnTOL04 = 1）
0	0	1	0
0	1	1	0
1	0	0	1
1	1	1	0

- UO2（UB 相デッドタイム可変領域パルス）出力

UIN（TOUT02）	U2（TOUT11）	UO2	
		PIC0REG2n119, 18 = 10_B UB 相出力アクティブハイ （TAUDnTOL05 = 0）	PIC0REG2n119, 18 = 11_B UB 相出力アクティブロウ （TAUDnTOL05 = 1）
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

備 考

PIC0REG2n116、PIC0REG2n117、PIC0REG2n118、PIC0REG2n119 の設定は、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM の U 相／UB 相アクティブレベルによって設定を変更します。

29.12.4.4 論理演算回路（FN0i）（i = 0、1）

デッドタイム付き三角波 PWM 出力機能の三角波 PWM 出力（TOUT04、TOUT05）と組み合わせ回路出力（PFN001 の UO1、UO2）を合成し、デッドタイム可変領域パルスを付加した PWM を生成します。

論理演算回路は PIC0REG2n3 レジスタの設定（U 相出力はビット 0 からビット 2 まで、UB 相出力はビット 4 からビット 6 までを設定）によって、合成論理を切り替えます。

本機能での設定は、以下の表のように設定してください。TAPAnUP 端子と TAPAnUM 端子からは設定された合成論理に従い合成した信号を出力します。

表 29.58 論理演算回路（FN0i）（i = 0、1）設定と TAPAnUP、TAPAnUM 端子出力

- U 相出力（TOUT04）

アクティブレベル	PIC0REG2n302 ～ 00	TAPAnUP 端子の出力波形
アクティブハイ （TAUDnTOL04 = 0）	100B	FN00 B（TOUT04）と FN00 A（UO1）の AND
アクティブロウ （TAUDnTOL04 = 1）	101B	FN00 B （TOUT04）と FN00 A（UO1）の OR

- UB 相出力（TOUT05）

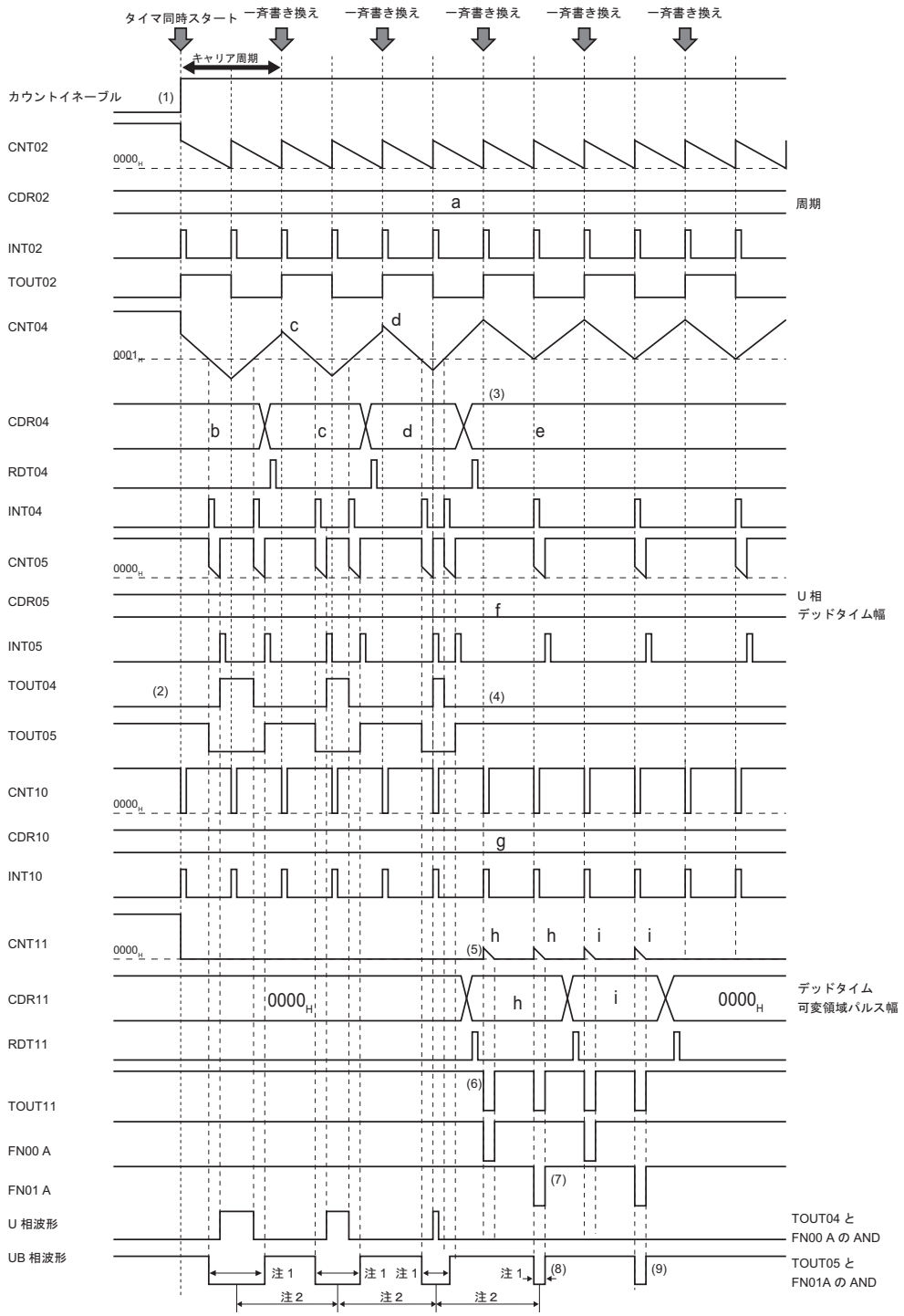
アクティブレベル	PIC0REG2n306 ～ 04	TAPAnUM 端子出力
アクティブハイ （TAUDnTOL05 = 0）	100B	FN01 B（TOUT05）と FN01 A（UO2）の AND
アクティブロウ （TAUDnTOL05 = 1）	101B	FN01 B （TOUT05）と FN01 A（UO2）の OR

これにより TAUD においてもデューティが 0% または 100%近傍時に、出力精度確保を目的としたデッドタイム可変制御が可能となるため TAUD 機能のデッドタイム付き三角波 PWM 出力機能よりも高精度な三角波 PWM を出力することができます。

V、VB 相、W、WB 相については**「図 29.34 デッドタイム付き高精度三角波 PWM 出力機能のブロック図」**に示す通り、使用するチャネルやレジスタの設定ビットが異なりますが、設定値は同じになります。

PIC は、「デッドタイム付き三角波 PWM 出力機能」で生成された PWM 信号に「ワンショットパルス出力機能」によって生成されたパルスを PIC 機能の「組み合わせ回路」および「論理演算回路」により付加する接続を提供します。

次の図以降にデッドタイム付き高精度三角波 PWM 出力機能のタイミング図を示します。



注 1. デッドタイム可変領域パルスは、三角波を使用している両側伸縮するパルスとは異なり、鋸波を使用しているため片側伸縮となります。

注 2. デッドタイム可変領域パルスが片側伸縮のため、デッドタイム可変領域での 1 相 PWM の出力周期は、付加するデッドタイム可変領域パルス幅の 1/2 分長くなります。

図 29.36 デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDnTOL04 = 0（アクティブハイ）、TAUDnTOL05 = 0（アクティブハイ）の場合）

図 29.36 の U 相 PWM 出力を行うタイマ構成で U 相 0%、UB 相 100%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブハイです。

(1) タイマ動作開始により、TAUDn の CH2、CH4、CH5 によるデッドタイム付き三角波 PWM 出力機能を開始します。

(2) デッドタイム付き三角波 PWM 出力機能により、TOUT04,TOUT05 からデッドタイム付き PWM 波形が出力されます。

(3) CDR04 に U 相デューティ 0%出力値を設定します。

(4) (3) の設定により、TOUT04 の出力は非アクティブレベル、TOUT05 の出力はアクティブレベルとなります。ただし、この動作ではデッドタイム可変領域のパルスは出力されません。

(5) デッドタイム可変領域パルスを作成するため、③の U 相デューティ 0%設定時に、デッドタイム可変領域パルス幅となる値を CDR11 に設定します。
この例では、出力 PWM への影響を考慮し、デッドタイム可変領域に入るまで CDR11 の設定値を 0000_H に固定しています。

(6) デッドタイム可変領域パルスは、TOUT02 のエッジタイミングで CDR10 に設定されているディレイ時間経過後、CDR11 に設定された幅のパルスとして出力されます。

(7) (6) で出力されたパルスは、組み合わせ回路（PFN001）により U 相用（FN00 A）、UB 相用（FN01 A）のデッドタイム可変領域パルスに変換されます。

(8) (7) で生成されたパルスは、論理演算回路（FN00、FN01）で、TOUT04、TOUT05 出力波形と合成され、TAPAnUP（U 相出力）および TAPAnUM（UB 相出力）から出力されます。

(9) 以後、デッドタイム可変領域パルス幅を指定する CDR11 への設定値を変更することにより、任意のデッドタイム可変領域パルスをが付加されます。

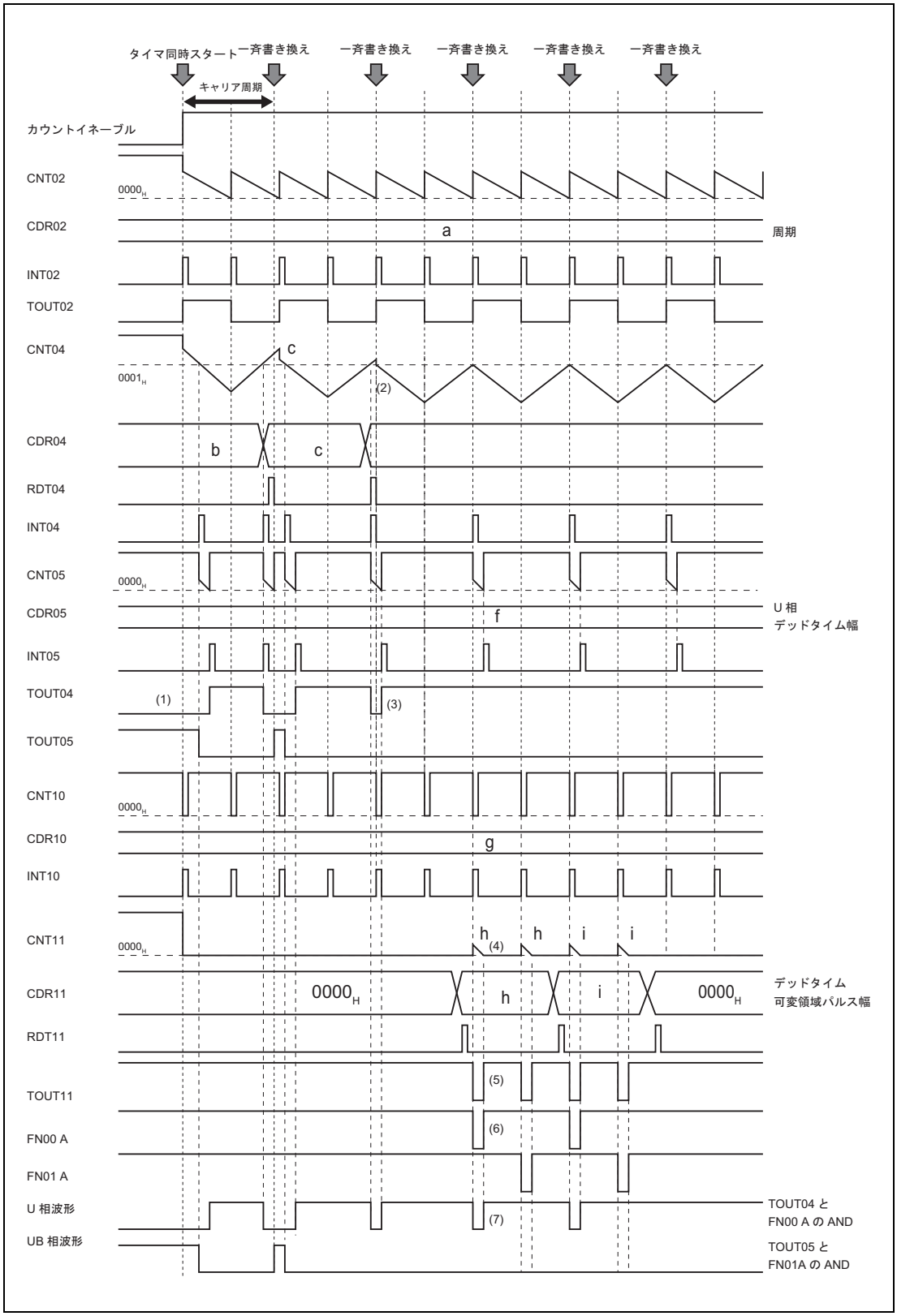


図 29.37 デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDnTOL04 = 0 (アクティブハイ)、TAUDnTOL05 = 0 (アクティブハイ) の場合）

図 29.37 の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブハイです。

(1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は同じです。

(2) CDR04 に U 相デューティ 100%出力値（CDR04 = 0000_H）を設定します。

(3) (2) の設定により、TOUT04 の出力はアクティブレベル、TOUT05 の出力は非アクティブレベルとなります。ただし、この動作ではデッドタイム可変領域パルスは出力されません。

(4) デッドタイム可変領域パルスを作成するため、②の U 相デューティ 100%設定から 1 周期後に、デッドタイム可変領域パルス幅となる値を CDR11 に設定します。
この例では、出力 PWM への影響を考慮し、デッドタイム可変領域に入るまで CDR11 の設定値を 0000_H に固定しています。

(5) デッドタイム可変領域パルスは、TOUT02 のエッジタイミングで CDR10 に設定されているディレイ時間経過後、CDR11 に設定された幅のパルスとして出力されます。

(6) (5) で出力されたパルスは、組み合わせ回路（PFN001）により U 相用（FN00 A）、UB 相用（FN01 A）のデッドタイム可変領域パルスに変換されます。

(7) (6) で生成されたパルスは、論理演算回路（FN00、FN01）で、TOUT04、TOUT05 出力波形と合成され、TAPAnUP（U 相出力）および TAPAnUM（UB 相出力）から出力されます。

注　意

CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合、図 29.38 で示す通り、機能仕様上①で示す TOUT04 から出力される最後の PWM に対し、(2) で示される分、デッドタイム可変領域パルスが影響を与えてしまいます。
この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。

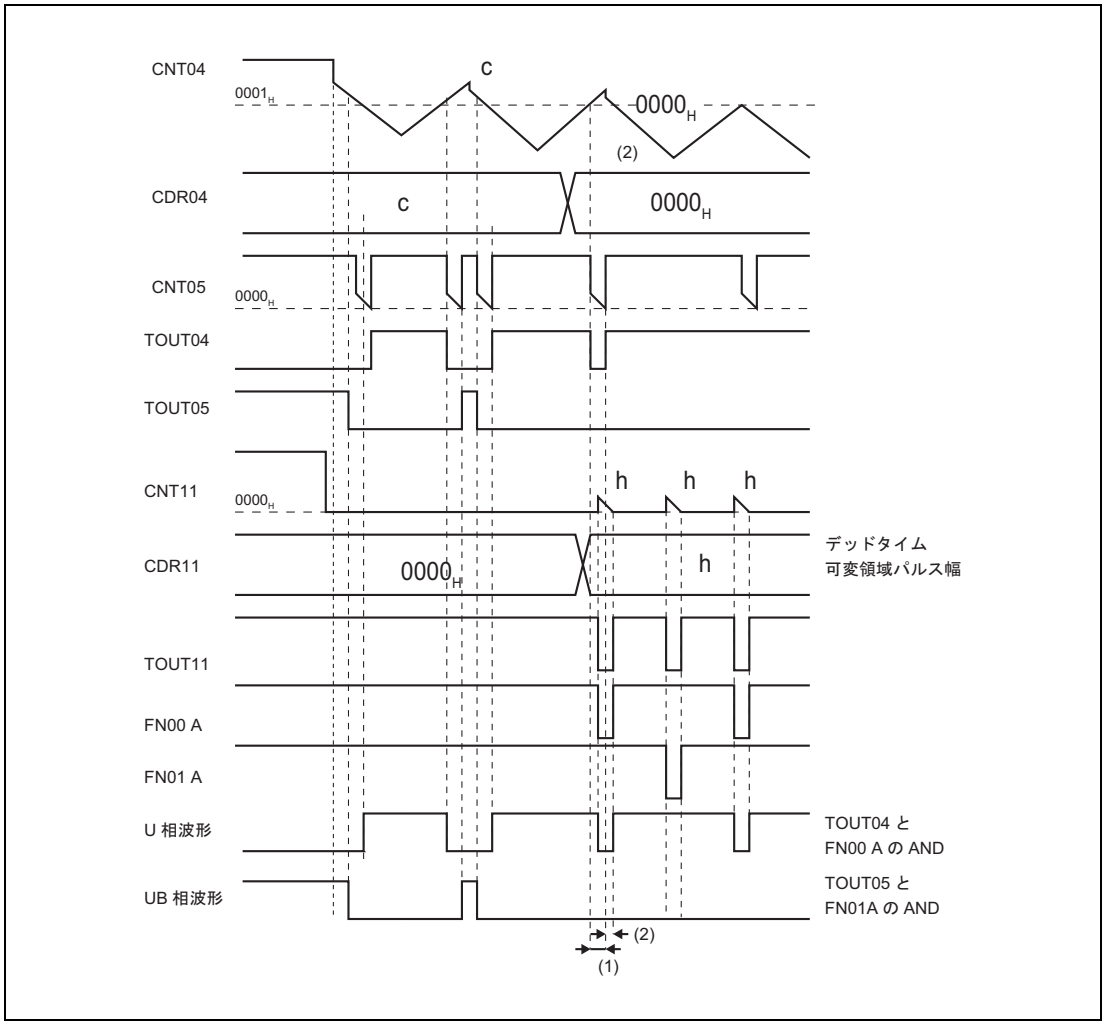


図 29.38　デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響する例

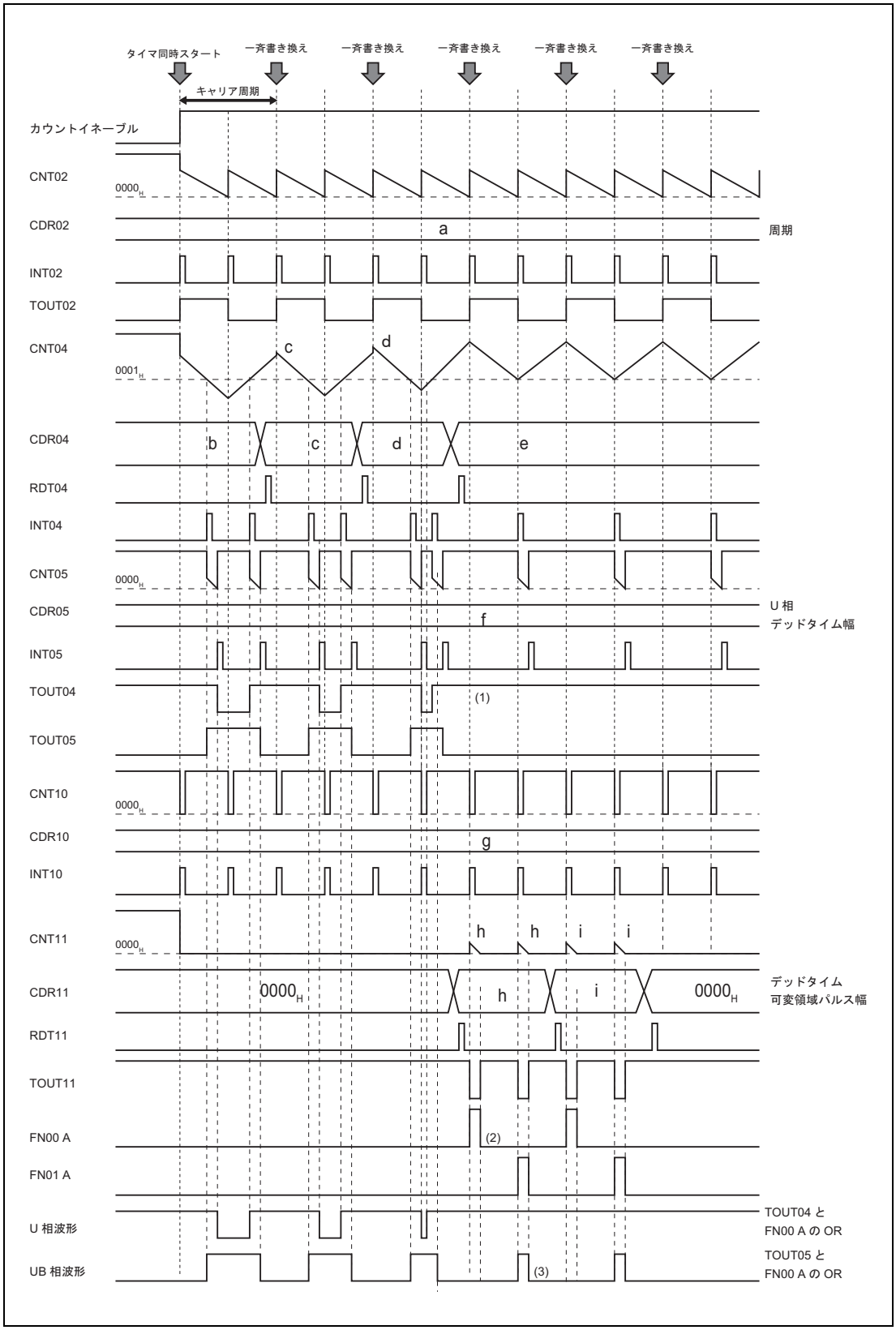


図 29.39 デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDnTOL04 = 1 (アクティブロウ)、TAUDnTOL05 = 1 (アクティブロウ) の場合）

図 29.39 の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブロウです。

(1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は、**「図 29.36　デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDnTOL04 = 0（アクティブハイ）、TAUDnTOL05 = 0（アクティブハイ）の場合）」**と同じです。ただし、PWM 出力として TOUT04 と TOUT05 からはアクティブロウの PWM が出力されます。

(2) そのため、組み合わせ回路設定（PIC0REG2n116, 17、PIC0REG2n118, 19）を PWM 出力に合わせたアクティブロウ出力に設定します。これによりアクティブロウ用のデッドタイム可変領域パルスが U 相用（FN00 A）、UB 相用（FN01 A）として出力されます。

(3) さらに、論理演算回路設定（PIC0REG2n302 ～ 00、PIC0REG2n306 ～ 04）も PWM 出力に合わせたアクティブロウ出力に設定します。(2) で生成されたパルスは、TOUT04、TOUT05 出力波形と合成され、TAPAnUP（U 相出力）および TAPAnUM（UB 相出力）からアクティブロウ用 PWM として出力されます。

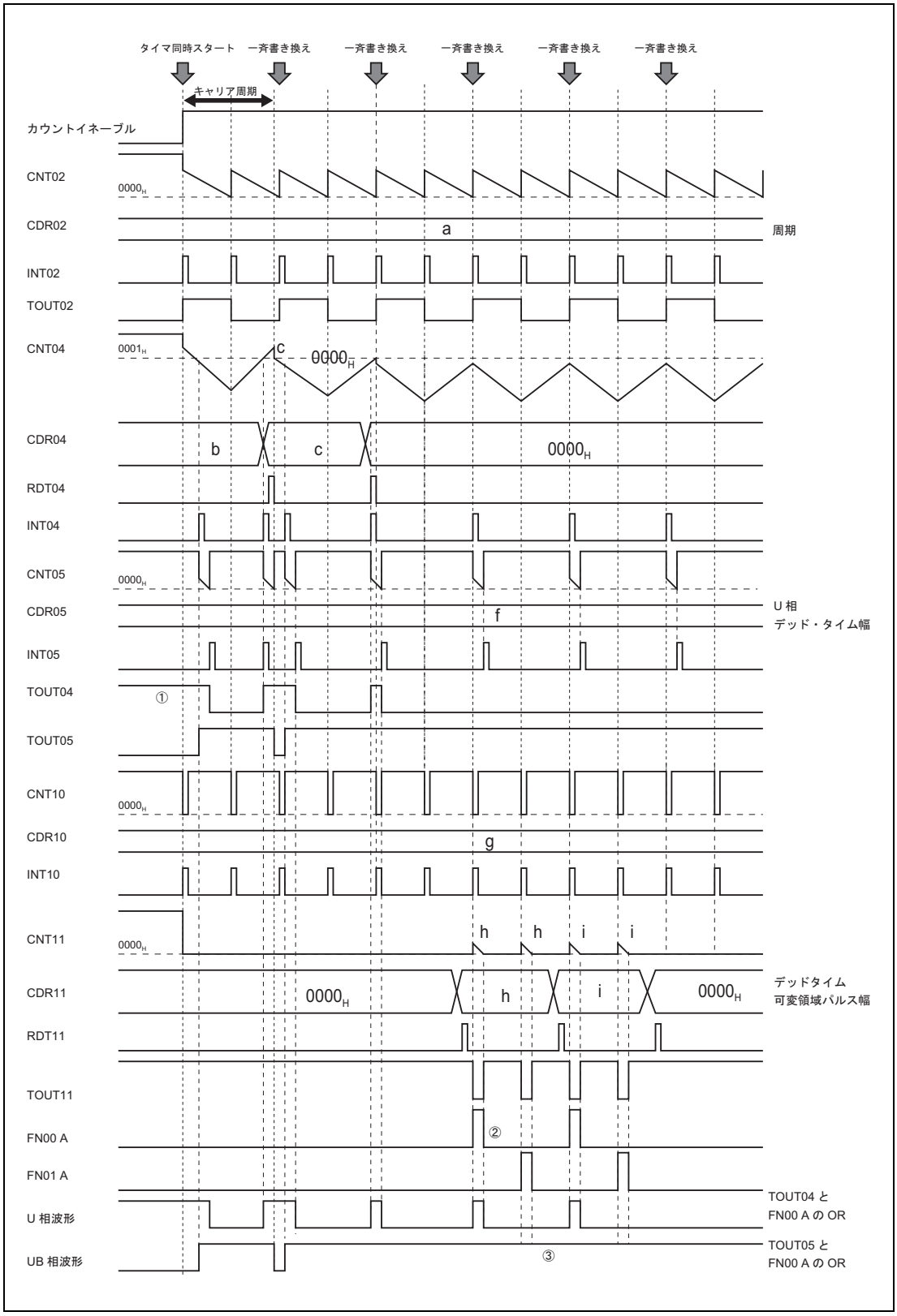


図 29.40 デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDnTOL04 = 0 (アクティブロウ)、TAUDnTOL05 = 0 (アクティブロウ) の場合）

図 29.40 の U 相 PWM 出力を行うタイマ構成で U 相 0%、UB 相 100%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブロウです。

(1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は**「図 29.37　デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例 （TAUDnTOL04 = 0 (アクティブハイ)、TAUDnTOL05 = 0 (アクティブハイ) の場合）」**と同じです。ただし、PWM 出力としてアクティブロウの PWM が出力されます。

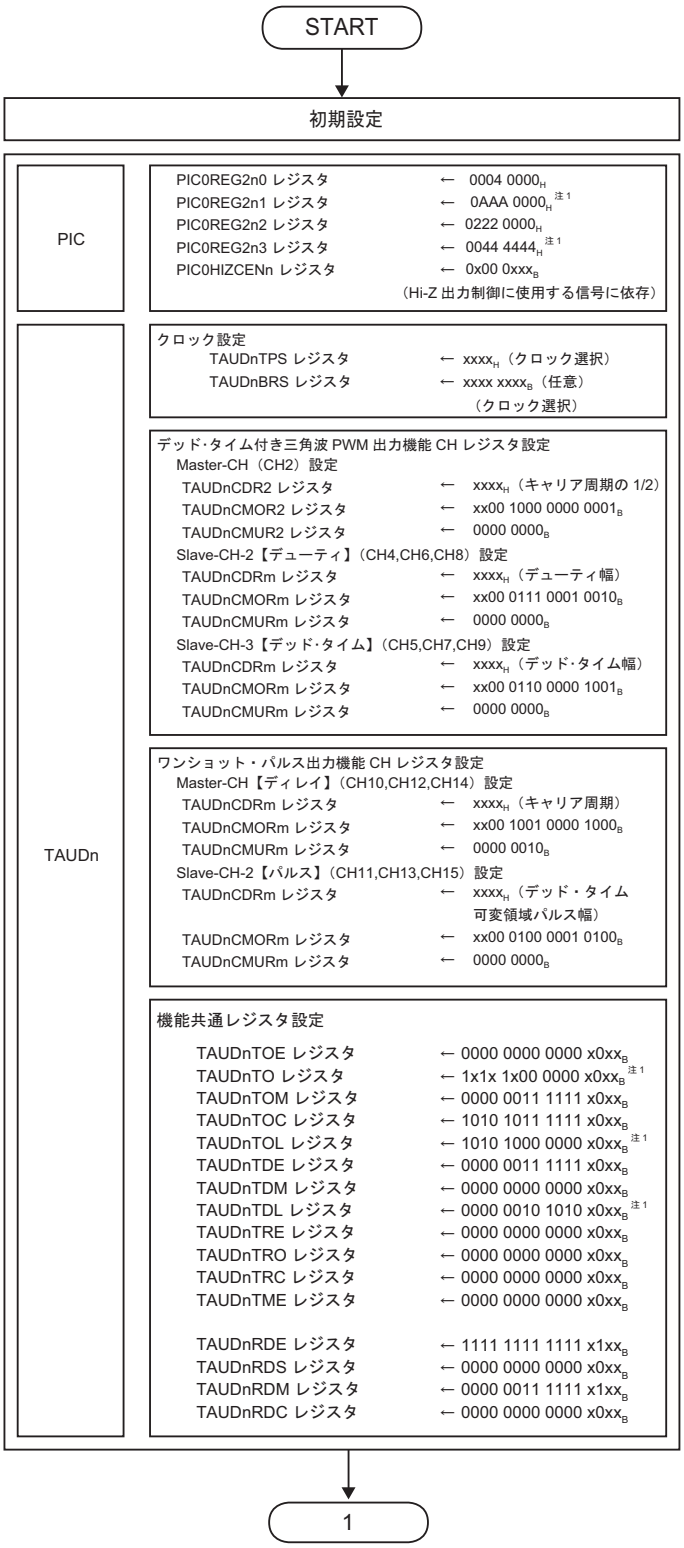
(2) そのため、組み合わせ回路設定（PIC0REG2n116, 17、PIC0REG2n118, 19）を PWM 出力に合わせたアクティブロウ出力に設定します。これによりアクティブロウ用のデッドタイム可変領域パルスが U 相用（FN00A）、UB 相用（FN01A）として出力されます。

(3) さらに、論理演算回路設定（PIC0REG2n302 ～ 00、PIC0REG2n306 ～ 04）も PWM 出力に合わせたアクティブロウ出力に設定します。(2) で生成されたパルスは、TOUT04、TOUT05 出力波形と合成され、TAPAnUP（U 相出力）および TAPAnUM（UB 相出力）からアクティブロウ用 PWM として出力されます。

注　意

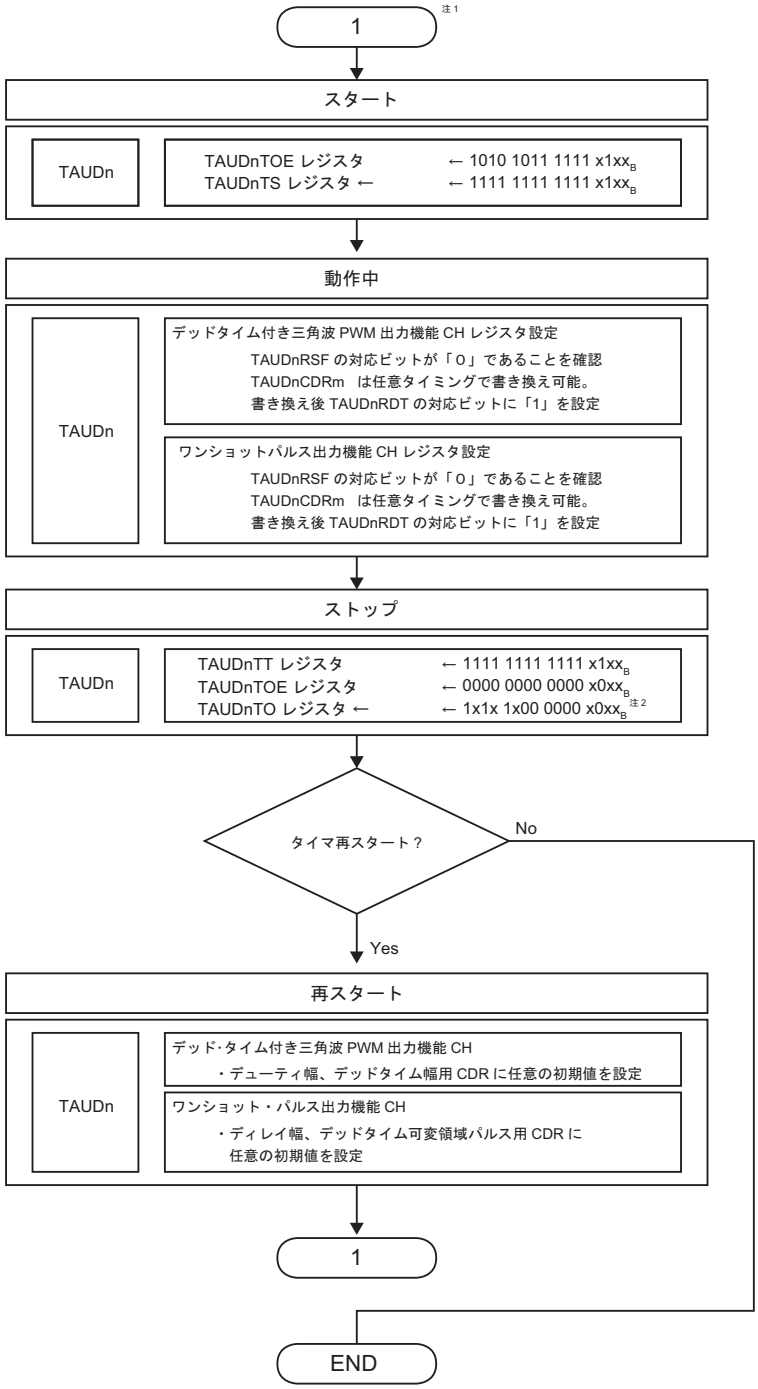
CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合、機能仕様上 TOUT04 から出力される最後の PWM に影響を与えてしまいます。
この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。
詳細は「図 29.38　デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響する例」を参照してください。

29.12.5 設定フロー



注 1. 出力する PWM のアクティブレベルによって設定値を変更してください。

図 29.41 設定フロー（アクティブハイの例）



注 1. 選択レジスタと使用する出力ポートの設定は、PIC とタイマの初期設定後に行ってください。
注 2. 出力する PWM のアクティブレベルによって設定値を変更してください。

図 29.42 設定フロー（アクティブハイの例）（続き）

29.12.6 動作機能の設定例

各レジスタの設定値の例を示します。

29.12.6.1 TAUDn 設定（アクティブハイの例）

表 29.59 TAUDn CH2 関連 (デッドタイム付き三角波 PWM 出力機能マスタチャネル注 1)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR2	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10 ～ 8	TAUDnSTS[2:0]	000	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4 ～ 1	TAUDnMD[4:1]	0000	
	0	TAUDnMD0	1	動作開始時に、INTm を出力し、TOUTm もトグル動作を行う
TAUDnCMUR2	1、0	TAUDnTIS[1:0]	00	固定

注 1. マスタチャネルおよびスレーブチャネルは TAUD のデッドタイム付き三角波 PWM 出力機能で定義されている名称です。詳細については「**第 25 章　タイマアレイユニット D（TAUD）**」の章を参照してください。

注 2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備　考

デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm は、TAUDnCKS[1:0](動作クロック選択) と TAUDnMD0 のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「**第 25 章　タイマアレイユニット D（TAUD）**」を参照してください。
本機能では、TAUDnMD0 = 1 を設定してください。

表 29.60 TAUDn CH4,6,8 関連 (デッドタイム付き三角波 PWM 出力機能スレーブチャネル 2 注 1)（m = 4, 6, 8)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ～ 8	TAUDnSTS[2:0]	111	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4 ～ 1	TAUDnMD[4:1]	1001	
	0	TAUDnMD0	0	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注 1. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。
デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2、スレーブチャネル 3 の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「**第 25 章　タイマアレイユニット D（TAUD）**」の章を参照してください。

注 2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 29.61　TAUDn　CH5, 7, 9 関連　（デッドタイム付き三角波 PWM 出力機能スレーブチャネル 3 注 1）（m =　5, 7, 9）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ～ 8	TAUDnSTS[2:0]	110	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4 ～ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注 1.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。
デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2、スレーブチャネル 3 の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は**「第 25 章　タイマアレイユニット D（TAUD）」**の章を参照してください。

注 2.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 29.62　TAUDn　CH10, 12, 14 関連　（ワンショットパルス出力機能マスタチャネル注 1）（m = 10, 12, 14）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10 ～ 8	TAUDnSTS[2:0]	001	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4 ～ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	0	カウント中のスタートトリガは無効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	10	両エッジを有効エッジとして検出

注 1.　マスタチャネルおよびスレーブチャネルは TAUD のワンショットパルス出力機能で定義されている名称です。詳細については**「第 25 章　タイマアレイユニット D（TAUD）」**の章を参照してください。

注 2.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 29.63 TAUDn CH11, 13, 15 関連 （ワンショットパルス出力機能スレーブチャネル注 1）（m = 11, 13, 15）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ～ 8	TAUDnSTS[2:0]	100	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4 ～ 1	TAUDnMD[4:1]	1010	
	0	TAUDnMD0	0	カウント中のスタートトリガは無効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のワンショットパルス出力機能で定義されている名称です。詳細については**「第 25 章　タイマアレイユニット D（TAUD）」**の章を参照してください。

注 2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。またデッドタイム付き三角波 PWM 出力機能のマスタチャネル（CH2）と同一のクロック設定にしてください。

備　考

ワンショットパルス出力機能の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）と TAUDnMD0 のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は**「第 25 章　タイマアレイユニット D（TAUD）」**を参照してください。
本機能では、TAUDnMD0 = 0 に設定してください。

表 29.64 TAUDn チャネル共通 (1/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOE	15	TAUDnTOE15	0 1	タイマ動作禁止 タイマ動作許可
	14	TAUDnTOE14	0	
	13	TAUDnTOE13	0 1	タイマ動作禁止 タイマ動作許可
	12	TAUDnTOE12	0	
	11	TAUDnTOE11	0 1	タイマ動作禁止 タイマ動作許可
	10	TAUDnTOE10	0	
	9 ～ 4	TAUDnTOE09 ～ TAUDnTOE04	0 1	タイマ動作禁止 タイマ動作許可
	3	TAUDnTOE03	任意	
	2	TAUDnTOE02	0 1	タイマ動作禁止 タイマ動作許可
	1,0	TAUDnTOE01 TAUDnTOE00	任意	

表 29.64 TAUDn チャネル共通 (2/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTO	15	TAUDnTO15	1 注1	TOUT15 にハイレベルを出力
	14	TAUDnTO14	任意	
	13	TAUDnTO13	1 注1	TOUT13 にハイレベルを出力
	12	TAUDnTO12	任意	
	11	TAUDnTO11	1 注1	TOUT11 にハイレベルを出力
	10	TAUDnTO10	任意	
	9 ～ 4	TAUDnTO09 ～ TAUDnTO04	0 注1	TOUT09 ～ TOUT04 にロウレベルを出力
	3	TAUDnTO03	任意	
	2	TAUDnTO02	0	TOUT02 にロウレベルを出力
	1,0	TAUDnTO01 TAUDnTO00	任意	
TAUDnTOM	15 ～ 10	TAUDnTOM15 ～ TAUDnTOM10	0	単体動作モード
	9 ～ 4	TAUDnTOM09 ～ TAUDnTOM04	1	連動動作モード
	3	TAUDnTOM03	任意	
	2	TAUDnTOM02	0	単体動作モード
	1,0	TAUDnTOM01 TAUDnTOM00	任意	
TAUDnTOC	15	TAUDnTOC15	1	動作モード 2
	14	TAUDnTOC14	0	動作モード 1
	13	TAUDnTOC13	1	動作モード 2
	12	TAUDnTOC12	0	動作モード 1
	11	TAUDnTOC11	1	動作モード 2
	10	TAUDnTOC10	0	動作モード 1
	9 ～ 4	TAUDnTOC09 ～ TAUDnTOC04	1	動作モード 2
	3	TAUDnTOC03	任意	
	2	TAUDnTOC02	0	動作モード 1
	1,0	TAUDnTOC01 TAUDnTOC00	任意	
TAUDnTOL	15	TAUDnTOL15	1 注1	反転論理出力（アクティブロウ）
	14	TAUDnTOL14	任意	
	13	TAUDnTOL13	1 注1	反転論理出力（アクティブロウ）
	12	TAUDnTOL12	任意	
	11	TAUDnTOL11	1 注1	反転論理出力（アクティブロウ）
	10	TAUDnTOL10	任意	
	9 ～ 4	TAUDnTOL09 ～ TAUDnTOL04	0 注1	正論理出力（アクティブハイ）
	3	TAUDnTOL03	任意	
	2	TAUDnTOL02	0	正論理出力（アクティブハイ）
	1,0	TAUDnTOL01 TAUDnTOL00	任意	

表 29.64 TAUDn チャネル共通 (3/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTDE	15 ～ 10	TAUDnTDE15 ～ TAUDnTDE10	0	デッドタイム制御禁止
	9 ～ 4	TAUDnTDE09 ～ TAUDnTDE04	1	デッドタイム制御許可注2
	3	TAUDnTDE03	任意	
	2	TAUDnTDE02	0	デッドタイム制御禁止
	1、0	TAUDnTDE01 TAUDnTDE00	任意	
TAUDnTDM	15 ～ 9	TAUDnTDM15 ～ TAUDnTDM09	0	
	3	TAUDnTDM03	任意	
	2	TAUDnTDM02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDM01 TAUDnTDM00	任意	
TAUDnTDL	15 ～ 10	TAUDnTDL15 ～ TAUDnTDL10	0	デッドタイム制御禁止のため無効
	9	TAUDnTDL09	1注1	W 相逆相として動作
	8	TAUDnTDL08	0注1	W 相正相として動作
	7	TAUDnTDL07	1注1	V 相逆相として動作
	6	TAUDnTDL06	0注1	V 相正相として動作
	5	TAUDnTDL05	1注1	U 相逆相として動作
	4	TAUDnTDL04	0注1	U 相正相として動作
	3	TAUDnTDL03	任意	
	2	TAUDnTDL02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDL01 TAUDnTDL00	任意	
TAUDnTRE	15 ～ 4	TAUDnTRE15 ～ TAUDnTRE04	0	リアルタイム出力禁止
	3	TAUDnTRE03	任意	
	2	TAUDnTRE02	0	リアルタイム出力禁止
	1、0	TAUDnTRE01 TAUDnTRE00	任意	
TAUDnTRO	15 ～ 4	TAUDnTRO15 ～ TAUDnTRO04	0	リアルタイム出力禁止のため無効
	3	TAUDnTRO03	任意	
	2	TAUDnTRO02	0	リアルタイム出力禁止のため無効
	1、0	TAUDnTRO01 TAUDnTRO00	任意	
TAUDnTRC	15 ～ 4	TAUDnTRC15 ～ TAUDnTRC04	0	リアルタイム出力トリガ生成チャネルとして動作しない
	3	TAUDnTRC03	任意	
	2	TAUDnTRC02	0	リアルタイム出力トリガ生成チャネルとして動作しない
	1、0	TAUDnTRC01 TAUDnTRC00	任意	

表 29.64 TAUDn チャネル共通 (4/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTME	15 ～ 4	TAUDnTME15 ～ TAUDnTME04	0	タイマ出力とリアルタイム出力の変調出力禁止
	3	TAUDnTME03	任意	
	2	TAUDnTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1、0	TAUDnTME01 TAUDnTME00	任意	
TAUDnRDE	15 ～ 4	TAUDnRDE15 ～ TAUDnRDE04	1	一斉書き換え許可
	3	TAUDnRDE03	任意	
	2	TAUDnRDE02	1	一斉書き換え許可
	1 0	TAUDnRDE01 TAUDnRDE00	任意	
TAUDnRDS	15 ～ 4	TAUDnRDS15 ～ TAUDnRDS04	0	別の上位チャネルにより、一斉書き換えを許可しない
	3	TAUDnRDS03	任意	
	2	TAUDnRDS02	0	別の上位チャネルにより、一斉書き換えを許可しない
	1 0	TAUDnRDS01 TAUDnRDS00	任意	
TAUDnRDM	15 ～ 10	TAUDnRDM15 ～ TAUDnRDM10	0	マスタチャネルのカウント開始タイミングで一斉書き換えする
	9 ～ 4	TAUDnRDM09 ～ TAUDnRDM04	1	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで一斉書き換えする
	3	TAUDnRDM03	任意	
	2	TAUDnRDM02	1	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで一斉書き換えする
	1 0	TAUDnRDM01 TAUDnRDM00	任意	
TAUDnRDC	15 ～ 4	TAUDnRDC15 ～ TAUDnRDC04	0	一斉書き換えトリガ生成チャネルとして動作しない
	3	TAUDnRDC03	任意	
	2	TAUDnRDC02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1 0	TAUDnRDC01 TAUDnRDC00	任意	

注 1.　使用システムによって設定を変更してください。

注 2.　デッドタイム制御行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。
詳細は「**第 25 章　タイマアレイユニット D（TAUD）**」を参照してください。

29.12.6.2 PIC の設定（アクティブハイの例）

表 29.65 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n0	18	PIC0REG2n018	1	TAUDn の CH2 の TOUT を選択
PIC0REG2n1	27 26	PIC0REG2n127 PIC0REG2n126	1 0	W 相逆相アクティブハイ組合せ回路出力
	25 24	PIC0REG2n125 PIC0REG2n124	1 0	W 相正相アクティブハイ組合せ回路出力
	23 22	PIC0REG2n123 PIC0REG2n122	1 0	V 相逆相アクティブハイ組合せ回路出力
	21 20	PIC0REG2n121 PIC0REG2n120	1 0	V 相正相アクティブハイ組合せ回路出力
	19 18	PIC0REG2n119 PIC0REG2n118	1 0	U 相逆相アクティブハイ組合せ回路出力
	17 16	PIC0REG2n117 PIC0REG2n116	1 0	U 相正相アクティブハイ組合せ回路出力
PIC0REG2n2	25	PIC0REG2n225	1	PIC0REG2n018 ビットで選択した入力を選択
	21	PIC0REG2n221	1	PIC0REG2n018 ビットで選択した入力を選択
	17	PIC0REG2n217	1	PIC0REG2n018 ビットで選択した入力を選択
PIC0REG2n3	22 21 20	PIC0REG2n322 PIC0REG2n321 PIC0REG2n320	1 0 0	W 相逆相アクティブハイ論理演算回路出力
	18 17 16	PIC0REG2n318 PIC0REG2n317 PIC0REG2n316	1 0 0	W 相正相アクティブハイ論理演算回路出力
	14 13 12	PIC0REG2n314 PIC0REG2n313 PIC0REG2n312	1 0 0	V 相逆相アクティブハイ論理演算回路出力
	10 9 8	PIC0REG2n310 PIC0REG2n309 PIC0REG2n308	1 0 0	V 相正相アクティブハイ論理演算回路出力
	6 5 4	PIC0REG2n306 PIC0REG2n305 PIC0REG2n304	1 0 0	U 相逆相アクティブハイ論理演算回路出力
	2 1 0	PIC0REG2n302 PIC0REG2n301 PIC0REG2n300	1 0 0	U 相正相アクティブハイ論理演算回路出力

29.13 デッドタイム付きディレイパルス出力機能

29.13.1 機能概要

周期タイミングからディレイ分遅らせたデッドタイム付き 3 相 PWM を出力します。

「デッドタイム付き 3 相 PWM 出力機能」と異なり、次の周期内にリセットを持つ PWM も出力可能です。

29.13.2 構成

本機能のユニット、チャネル構成を下記に示します。(n = 0, m = 0 ～ 15)

表 29.66 デッドタイム付きディレイパルス出力機能の構成

タイマ	タイマモータ制御機能
TAUD0 CH2 ～ CH15（使用チャネル固定）	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm → INTTAUDnIm （TAUDn チャネル m 割り込み）
- TINm → TAUDTTINm （TAUDn チャネル m 入力）
- TOUTm → TAUDTTOUTm（TAUDn チャネル m 出力）
- CDRm → TAUDnCDRm （TAUDn チャネル m データレジスタ）
- CNTm → TAUDnCNTm （TAUDn チャネル m カウンタレジスタ）

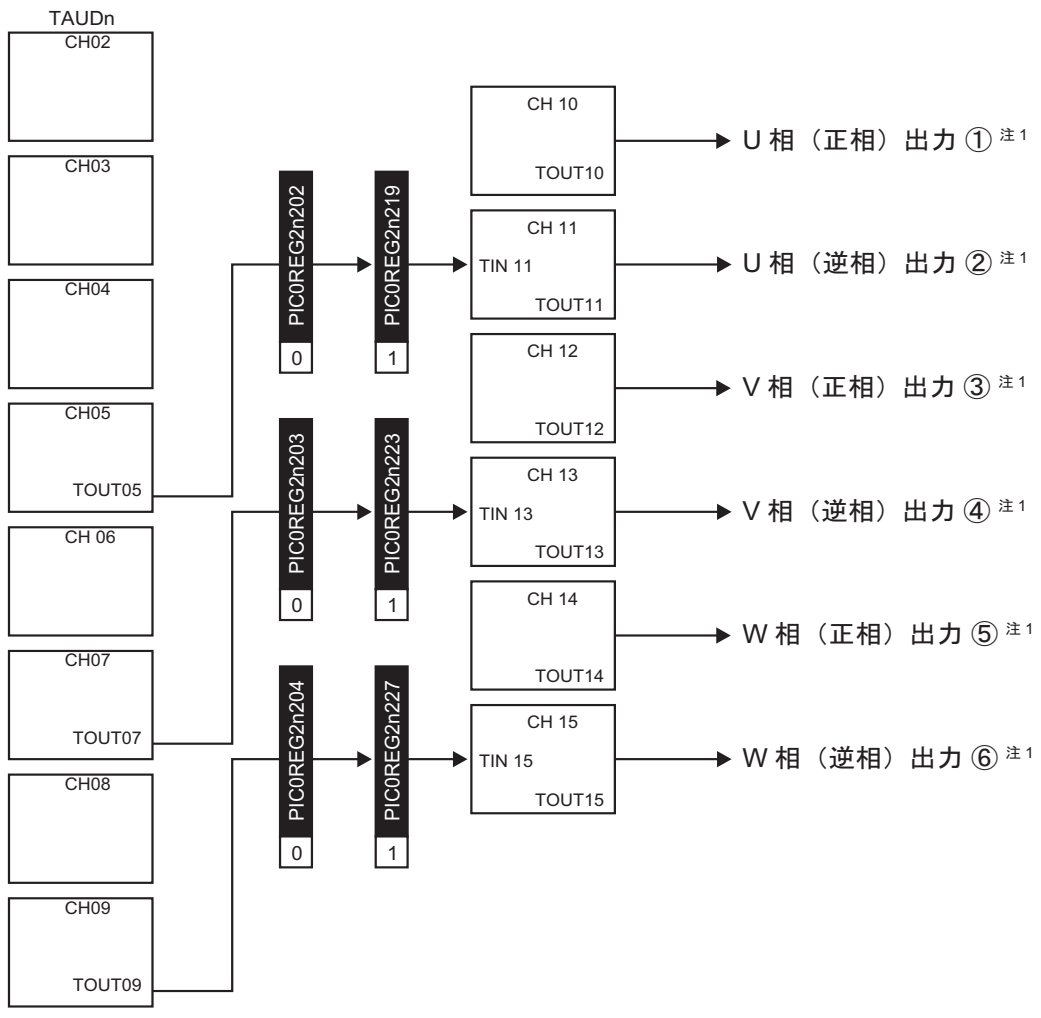
29.13.2.1 TAUDn 構成

CH3 の CDRm 値は TOUT0 ～ TOUT15 に影響を与えないため、CH3 の INTm は A/D 変換トリガ生成などほかの用途に使用することも可能です。

表 29.67 TAUDn 構成

CH	機能名	M/S 注 1	CDR 設定値	説明
2	ディレイパルス出力機能 （CH2 は CH3-CH9 のマスタチャネル）	M	周期	
3		S		予約
4		S	ディレイ (U 相)	
5		S	パルス幅 (U 相)	
6		S	ディレイ (V 相)	
7		S	パルス幅 (V 相)	
8		S	ディレイ (W 相)	
9		S	パルス幅 (W 相)	
10	TOUTm を使用しない機能であれば任意	S		TOUT：U 相出力
11	1 相 PWM 出力機能	S	デッドタイム (U 相)	TOUT：UB 相出力
12	TOUTm を使用しない機能であれば任意	S		TOUT：V 相出力
13	1 相 PWM 出力機能	S	デッドタイム (V 相)	TOUT：VB 相出力
14	TOUTm を使用しない機能であれば任意	S		TOUT：W 相出力
15	1 相 PWM 出力機能	S	デッドタイム (W 相)	TOUT：WB 相出力

注 1. M= マスタチャネル
S= スレーブチャネル



注 1.　接続先は「**図 29.25　モータ出力バッファ制御ブロック図**」を参照してください。

図 29.43　デッドタイム付きディレイパルス出力のブロック図

29.13.3 レジスタ

29.13.3.1 PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0)

TAUDn CHm 入力信号の選択を行うレジスタです。ここでは、デッドタイム付きディレイパルス出力機能で使用するビットについて説明します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス PIC0REG202：FFDD 00C8$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC0REG2n227	—	—	—	PIC0REG2n223	—	—	—	PIC0REG2n219	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC0REG2n204	PIC0REG2n203	PIC0REG2n202	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 29.68 PIC0REG2n2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 28	予約ビット	注 1
27	PIC0REG2n 227	TAUDTTIN15 への TIN 入力信号を選択します。 PIC0REG2n227 ／ 入力信号 1 ／ PIC0REG2n204 ビットで選択した信号 上記以外 ／ 設定禁止
26 ～ 24	予約ビット	注 1
23	PIC0REG2n 223	TAUDTTIN13 への TIN 入力信号を選択します。 PIC0REG2n223 ／ 入力信号 1 ／ PIC0REG2n203 ビットで選択した信号 上記以外 ／ 設定禁止
22 ～ 20	予約ビット	注 1
19	PIC0REG2n 219	TAUDTTIN11 への TIN 入力信号を選択します。 PIC0REG2n219 ／ 入力信号 1 ／ PIC0REG2n202 ビットで選択した信号 上記以外 ／ 設定禁止
18 ～ 5	予約ビット	注 1
4	PIC0REG2n 204	TAUDTTIN15 へ供給する信号を選択します 0：TAUDTTOUT9 を選択 1：設定禁止

表 29.68 PIC0REG2n2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	PIC0REG2n203	TAUDTTIN13 へ供給する信号を選択します 0：TAUDTTOUT7 を選択 1：設定禁止
2	PIC0REG2n202	TAUDTTIN11 へ供給する信号を選択します 0：TAUDTTOUT5 を選択 1：設定禁止
1、0	予約ビット	注 1

注 1. PIC0REG2n2 レジスタに “0” を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.13.3.2 PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n = 0）

TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス PIC0HIZCEN0：FFDD 0080_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 29.69 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
5 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可

29.13.4　動作例

TAUD の次の機能の組み合わせにより実現します。

- ディレイパルス出力機能
- 1 相 PWM 出力機能

ディレイパルス出力機能により、周期タイミングからディレイ分遅れた PWM を生成します。次に 1 相 PWM 出力機能により、その PWM に対しデッドタイムを付加した 1 相 PWM を出力します。

デッドタイム付きディレイパルス出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のデッドタイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので、ここでは 1 相（U 相）について説明を行います。

29.13.4.1 ディレイパルス出力機能

CH2、CH4、CH5 を組み合わせて使用し、CH2 で設定した周期に対し、CH4 で生成したディレイ分だけ遅れた、1 相 PWM 出力用基本 PWMTOUT05 より出力されます。

なお、CH3 は本機能実現のための予約タイマとしていますので、他機能では使用しないでください。

注　意

周期を超えるディレイ量の設定はしないでください。

29.13.4.2 1 相 PWM 出力機能

CH10、CH11 の組み合わせで 1 相 PWM を TOUT10,TOUT11 から出力します。

CDR11 にデッドタイム値を設定することで、TIN11 入力に対してデッドタイム付 1 相 PWM を出力します。

V 相、W 相については、それぞれ CH12、CH13（V 相）、CH14、CH15（W 相）を使用し、同様にデッドタイム付 1 相 PWM を出力します。

注　意

ディレイパルス出力機能、1 相 PWM 出力機能で使用する TAUDn の各チャネルの動作クロック設定は同一クロックを設定してください。

TAUD 機能の詳細については、**「第 25 章　タイマアレイユニット D（TAUD）」**の章を参照してください。

「デッドタイム付きディレイパルス出力機能」と「デッドタイム付き 3 相 PWM 出力機能」の違いについて説明します。

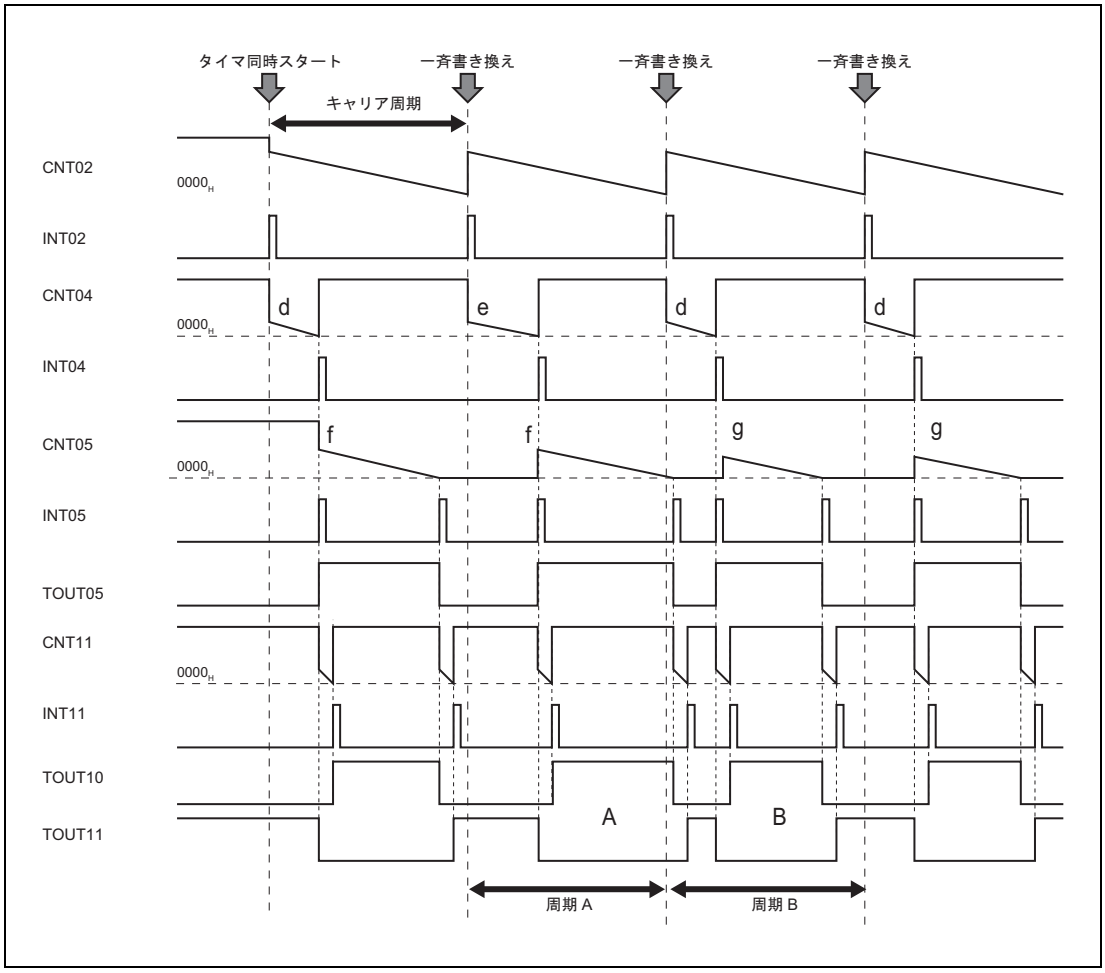


図 29.44 デッドタイム付ディレイパルス出力による PWM 出力

図 29.44 では、PWM 波形 A は周期 A の範囲で出力されるべき PWM 波形ですが、ディレイタイミングを長く取っているため PWM クリア位置が周期 A を超えた位置で発生しています。それに続き、周期 B の PWM 波形である PWM 波形 B が出力されています。

図 29.44「デッドタイム付ディレイパルス出力による PWM 出力」を「デッドタイム付き 3 相 PWM 出力機能」で実現しようとした場合、以下のような動作となります。

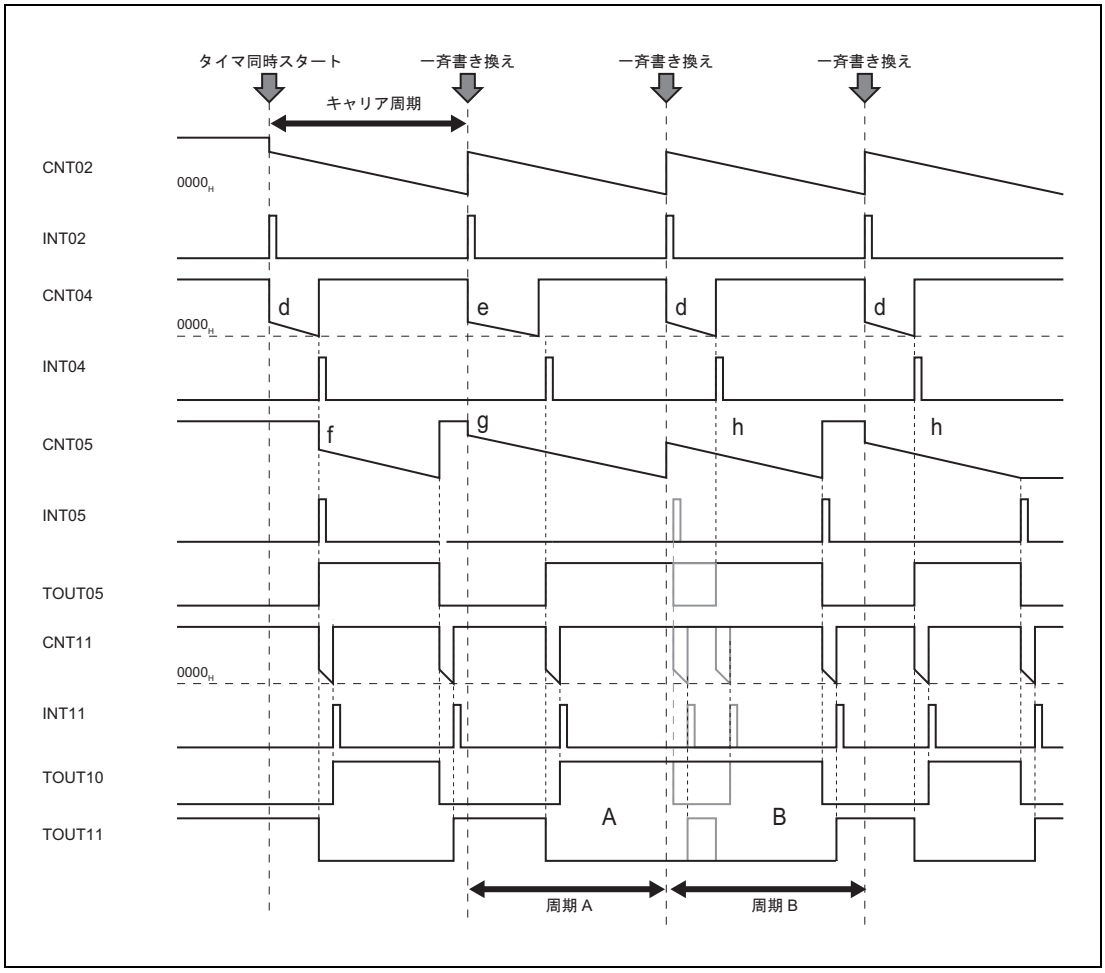


図 29.45 デッドタイム付き 3 相 PWM 出力機能による PWM 出力①

図 29.45 は、「デッドタイム付き 3 相 PWM 出力機能」のセットタイミングを遅らせ、クリアタイミングをキャリア周期より長くとることで、出力される PWM がキャリア周期 A を超える様に設定した例です。

周期 A に対する PWM 波形 A のセットタイミングは前頁の図と同じですが、クリアタイミングが周期 A より長いため、先に周期によるリロード動作が発生してしまい、PWM 波形 A のクリアタイミングが発生しません。

さらに、周期 B に対応する PWM 波形 B のセットタイミングでは、すでに PWM 波形がセット状態であるためセットタイミングは無視されます。結果、周期 B のクリアタイミングまで PWM 波形の変化は発生せず、PWM 波形 A と PWM 波形 B を合わせた PWM 波形が出力されることになります。

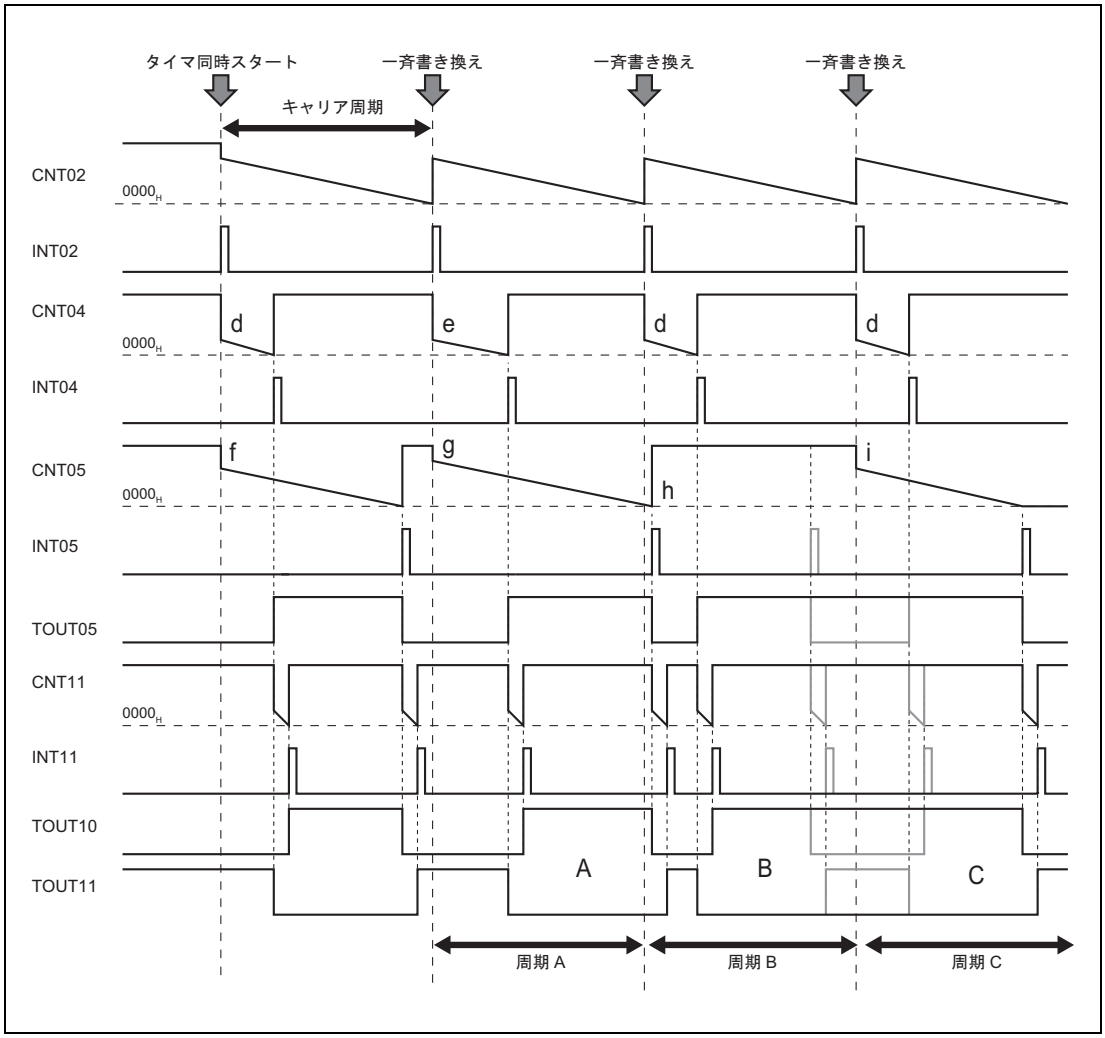


図 29.46 デッドタイム付き 3 相 PWM 出力機能による PWM 出力②

図 29.46 は、「デッドタイム付き 3 相 PWM 出力機能」で周期 A より長いクリアタイミングのカウンタ動作を周期 B で引継ぎ、周期 B の先頭で PWM 出力 A のクリアを行うよう動作させた例です。

周期 A に対する PWM 波形 A は「デッドタイム付きディレイパルス出力機能」と同様の出力となりますが、クリアタイミングを周期 B の先頭で使用してしまっているため、周期 B で出力すべき PWM 出力 B のクリアタイミングが発生しません。

さらに、周期 C に対応する PWM 波形 C のセットタイミングでは、すでに PWM 波形がセット状態であるためセットタイミングは無視されます。結果、周期 C のクリアタイミングまで PWM 波形の変化は発生せず、PWM 波形 B と PWM 波形 C を合わせた PWM 波形が出力されることになります。

このように、「デッドタイム付きディレイパルス出力機能」では「デッドタイム付き 3 相 PWM 出力機能」よりも自由度の高い PWM 出力タイミングを実現することが可能です。

PIC は、「ディレイパルス出力機能」により生成された PWM 出力タイミングを「1 相 PWM 出力機能」の入力とする接続を提供します。

図 29.47 に「デッドタイム付きディレイパルス出力機能」のタイミング図を示します。

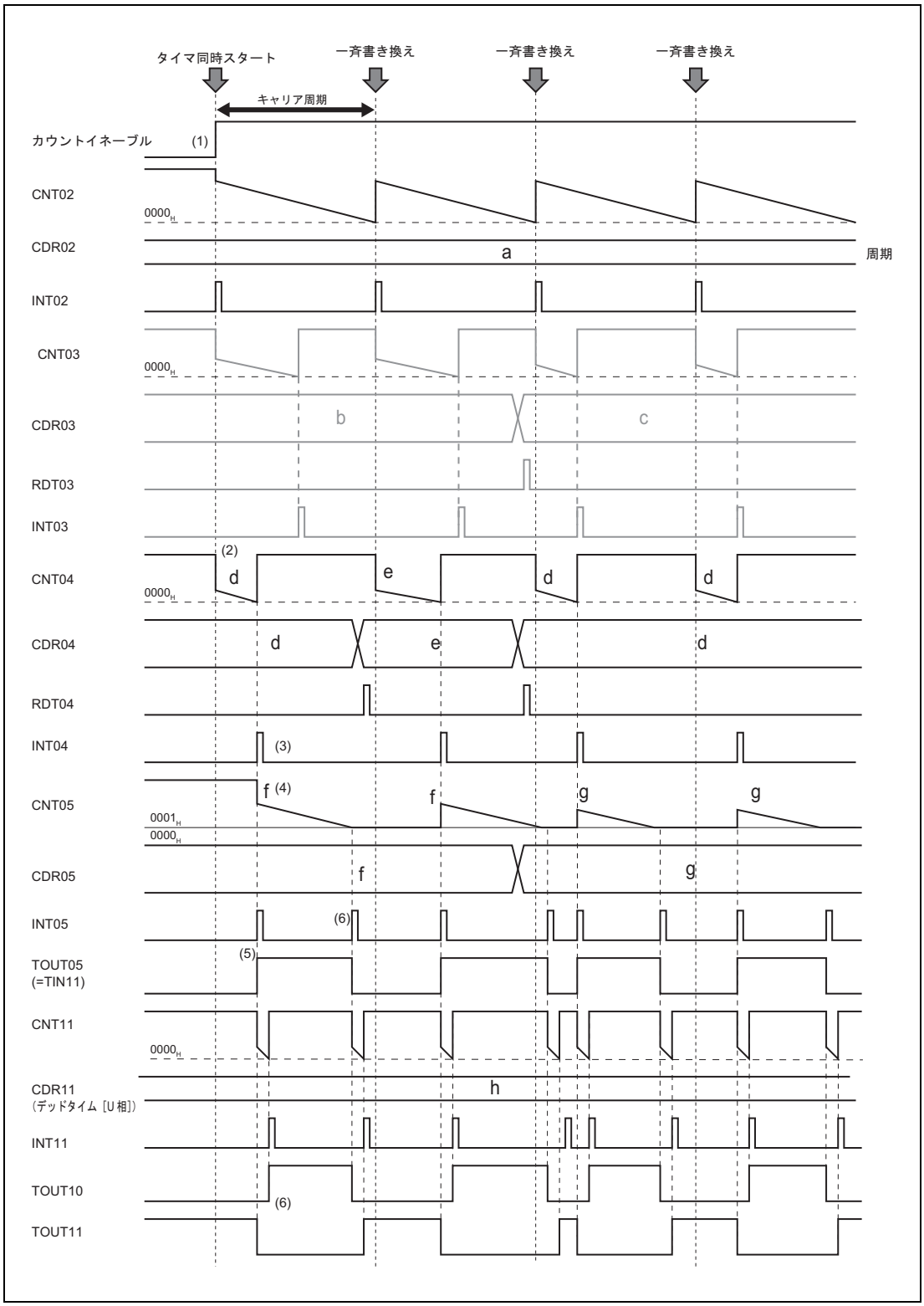


図 29.47 デッドタイム付きディレイパルス出力

図 29.47 のデッドタイム付きディレイパルス出力について説明します。

(1) タイマ同時スタートにより、CH2（キャリア周期タイマ）、CH4（ディレイタイミングタイマ）が同時スタートします。
CH5（PWM デューティタイマ）、CH11（デッドタイムタイマ）もタイマスタートしていますが、CH5 のカウント開始タイミングである INT04 および、CH11 のカウント開始タイミングである TIN11 のエッジが検出されるまで、カウント動作は行われません。
CH3 は本機能での PWM 出力に影響しないため説明を省略します。

(2) CH4 は、CH2 のアンダフローにより、CDR04 から CNT04 へ設定値のリロードが行われます。

(3) CH4 のアンダフローにより、ディレイタイミング信号（INT04）が発生します。

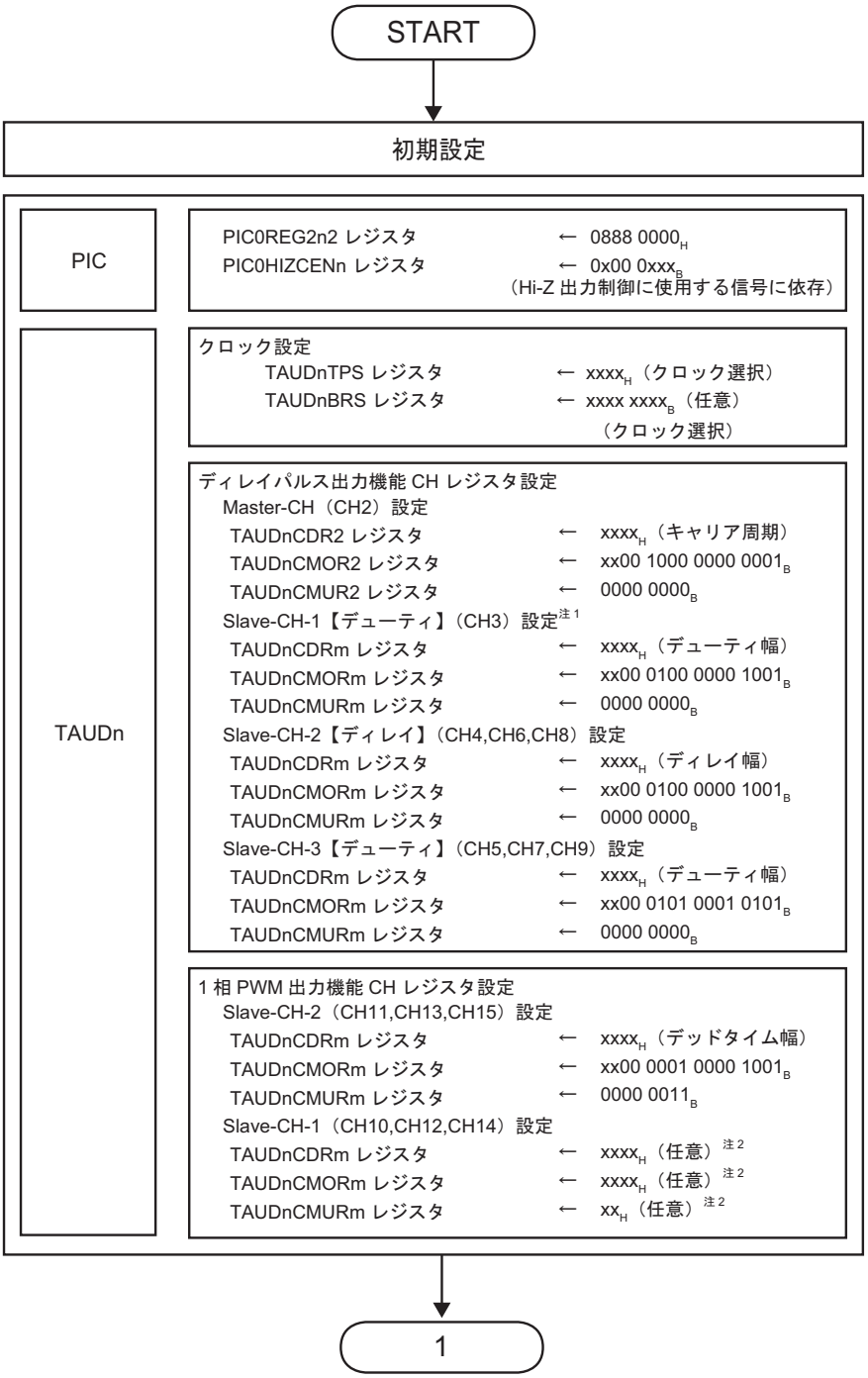
(4) INT04 の発生により、CDR05 から CNT05 に設定値がリロードされ CH5（PWM デューティタイマ）が動作開始します。

(5) このとき、INT05 が発生し TOUT05 の出力レベルがアクティブレベルに変化します。

(6) CH5 のアンダフローにより再び INT05 が発生するとともに、TOUT05 がインアクティブレベルに変化します。この CH4 および CH5 のアンダフローで変化する TOUT05 を「1 相 PWM 出力機能」の入力 TIN11 へ供給します。

(7) 「1 相 PWM 出力機能」は TIN11 のエッジ検出により、デッドタイムを付加した PWM 波形を生成し出力します。

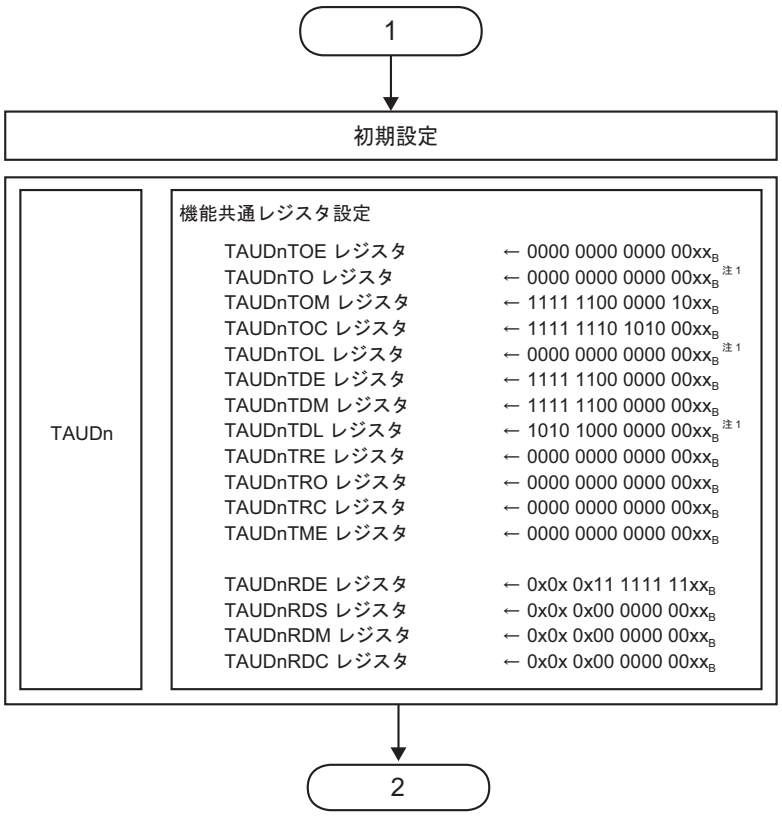
29.13.5 設定フロー



注 1. 本機能では動作に影響しないスレーブチャネルですが、ディレイパルス出力機能の構成チャネルのため設定は行います。

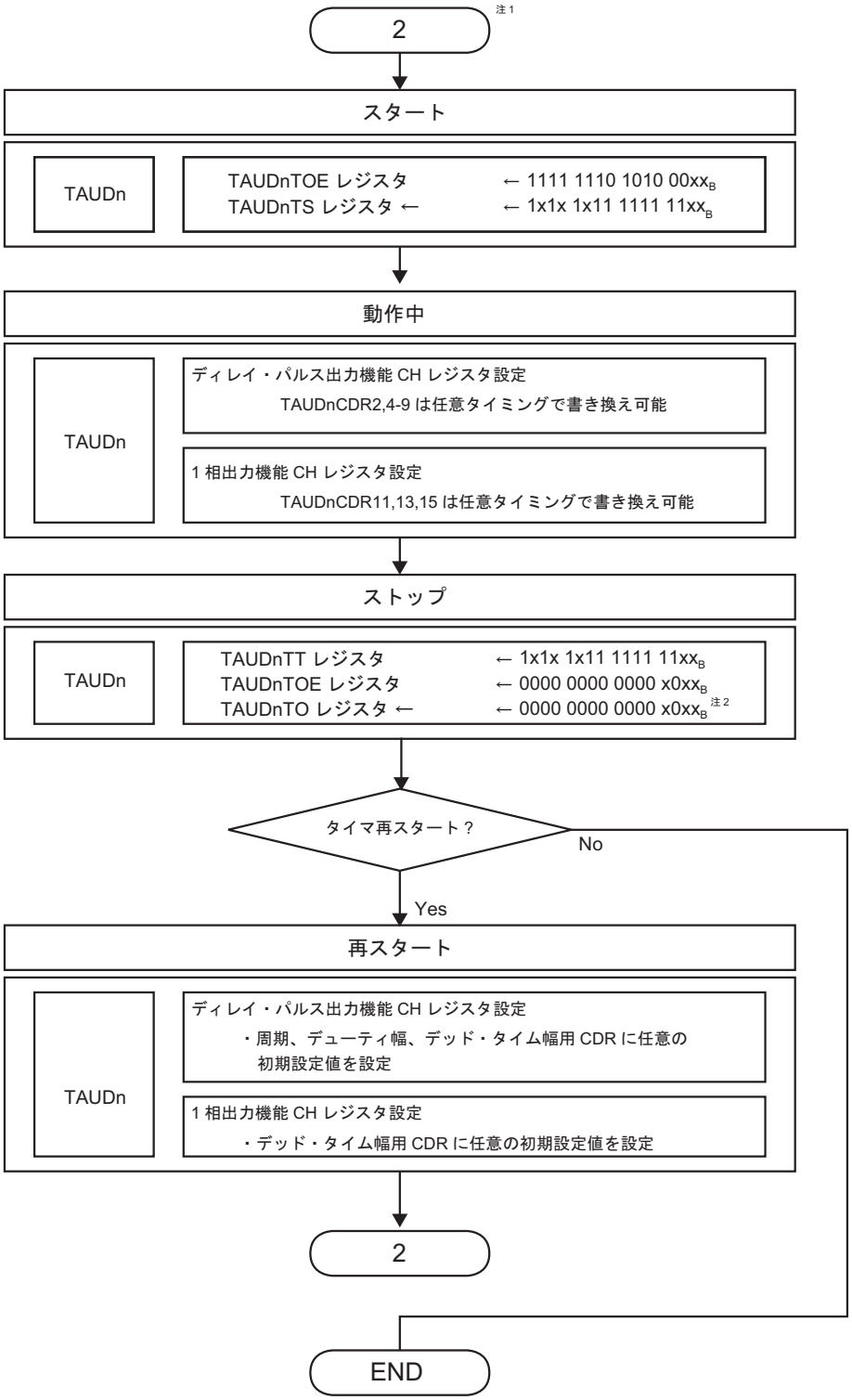
注 2. TOUTm を使用しない機能を指定してください。

図 29.48 設定フロー（アクティブハイの例）



注 1. 出力する PWM のアクティブレベルによって設定値を変更してください

図 29.49 設定フロー（アクティブハイの例）（続き）



注 1. 選択レジスタと使用する出力ポートの設定は、PIC とタイマの初期設定後に行ってください。
注 2. 出力する PWM のアクティブレベルによって設定値を変更してください。

図 29.50 設定フロー（アクティブハイの例）（続き）

29.13.6 動作機能の設定例

各レジスタの設定値の例を示します。

29.13.6.1 TAUDn 設定

表 29.70 TAUDn CH2 関連 (ディレイパルス出力機能マスタチャネル注 1)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR2	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10 ～ 8	TAUDnSTS[2:0]	000	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ～ 1	TAUDnMD[4:1]	0000	
	0	TAUDnMD0	1	動作開始時に INTm を出力する
TAUDnCMUR2	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「**第 25 章　タイマアレイユニット D（TAUD）**」を参照してください。
注 2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 29.71 TAUDn CH3 関連 (ディレイパルス出力機能スレーブチャネル注 1 注 2)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR3	15、14	TAUDnCKS[1:0]	任意注 3	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ～ 8	TAUDnSTS[2:0]	100	スタートトリガ：マスタチャネルの INTm 検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ～ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMUR3	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「**第 25 章　タイマアレイユニット D（TAUD）**」を参照してください。
注 2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。
注 3. 本機能では動作に影響しないチャネルですが、ディレイパルス出力機能の構成チャネルのため設定は行います。

備　考

ディレイパルス出力機能の TAUDnCMORm では、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「**第 25 章　タイマアレイユニット D（TAUD）**」の章を参照してください。

表 29.72 TAUDn CH4, 06, 08 関連
（ディレイパルス出力機能スレーブチャネル 2 注 1）（m = 4, 6, 8）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ～ 8	TAUDnSTS[2:0]	100	スタートトリガ：マスタチャネルの INTm 検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ～ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については**「第 25 章　タイマアレイユニット D（TAUD）」**の章を参照してください。
注 2. 動作クロックは、スレーブチャネルとマスタチャネルで同一設定にする必要があります。

備　考

ディレイパルス出力機能の TAUDnCMORm では、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は**「第 25 章　タイマアレイユニット D（TAUD）」**の章を参照してください。

表 29.73 TAUDn CH5, 07, 09 関連
（ディレイパルス出力機能スレーブチャネル 3 注 1）（m = 5, 7, 9）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ～ 8	TAUDnSTS[2:0]	101	スタートトリガ：上位チャネルの INTm 検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ～ 1	TAUDnMD[4:1]	1010	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については**「第 25 章　タイマアレイユニット D（TAUD）」**の章を参照してください。
注 2. 動作クロックは、スレーブチャネルとマスタチャネルで同一設定にする必要があります。

備　考

ディレイパルス出力機能の TAUDnCMORm では、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は**「第 25 章　タイマアレイユニット D（TAUD）」**を参照してください。

表 29.74 TAUDn CH11, 13, 15 関連 （1 相 PWM 出力機能）（m = 11, 13, 15）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 1	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ～ 8	TAUDnSTS[2:0]	001	スタートトリガ：TINm 入力の有効エッジ検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ～ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	11	TINm 両エッジを有効エッジとして検出（High 幅）

注 1.　動作クロックは、PWM 出力機能のマスタチャネル（CH2）と同一のクロック設定にしてください。

備　考

1 相 PWM 出力機能の TAUDnCMORm では、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は**「第 25 章　タイマアレイユニット D（TAUD）」**の章を参照してください。
CH10,12,14 については TOUTm 出力を使用しない機能（A/D トリガ出力など）であれば、任意に使用可能です。

表 29.75 TAUDn チャネル共通 (1/3)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOE	15 ～ 10	TAUDnTOE15 ～ TAUDnTOE10	0 1	タイマ動作禁止 タイマ動作許可
	9	TAUDnTOE09	0 1	タイマ動作禁止 タイマ動作許可
	8	TAUDnTOE08	0	TOUT08 は未使用のため 0 固定
	7	TAUDnTOE07	0 1	タイマ動作禁止 タイマ動作許可
	6	TAUDnTOE06	0	TOUT06 は未使用のため 0 固定
	5	TAUDnTOE05	0 1	タイマ動作禁止 タイマ動作許可
	4	TAUDnTOE04	0	TOUT04 は未使用のため 0 固定
	3	TAUDnTOE03	0	TOUT03 は未使用のため 0 固定
	2	TAUDnTOE02	0	TOUT02 は未使用のため 0 固定
	1 0	TAUDnTOE01 TAUDnTOE00	任意	
TAUDnTO	15 ～ 10	TAUDnTO15 ～ TAUDnTO10	0 注 1	TOUT15 ～ TOUT10 にロウレベルを出力
	9 ～ 2	TAUDnTO09 ～ TAUDnTO02	0	TOUT09 ～ TOUT02 にロウレベルを出力
	1 0	TAUDnTO01 TAUDnTO00	任意	
TAUDnTOM	15 ～ 10	TAUDnTOM15 ～ TAUDnTOM10	1	連動動作モード
	9 ～ 4	TAUDnTOM09 ～ TAUDnTOM04	0	単体動作モード
	3	TAUDnTOM03	1	連動動作モード
	2	TAUDnTOM02	0	単体動作モード
	1 0	TAUDnTOM01 TAUDnTOM00	任意	
TAUDnTOC	15 ～ 10	TAUDnTOC15 ～ TAUDnTOC10	1	連動動作モード 2
	9 ～ 4	TAUDnTOC09 ～ TAUDnTOC04	1,0,1, 0,1,0	CH5, CH7, CH9：動作モード 2 CH4, CH6, CH8：動作モード 1
	3	TAUDnTOC03	0	動作モード 1
	2	TAUDnTOC02	0	動作モード 1
	1 0	TAUDnTOC01 TAUDnTOC00	任意	
TAUDnTOL	15 ～ 10	TAUDnTOL15 ～ TAUDnTOL10	0 注 1	正論理出力（アクティブハイ）
	9 ～ 2	TAUDnTOL09 ～ TAUDnTOL02	0	正論理出力（アクティブハイ）
	1 0	TAUDnTOL01 TAUDnTOL00	任意	
TAUDnTDE	15 ～ 10	TAUDnTDE15 ～ TAUDnTDE10	1	デッドタイム制御許可注 2
	9 ～ 2	TAUDnTDE09 ～ TAUDnTDE02	0	デッドタイム制御禁止
	1 0	TAUDnTDE01 TAUDnTDE00	任意	

表 29.75 TAUDn チャネル共通 (2/3)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTDM	15 ～ 10	TAUDnTDM15 ～ TAUDnTDM10	1	下位奇数チャネルの TINm 入力エッジ検出でデッドタイムを生成する。
	9 ～ 2	TAUDnTDM09 ～ TAUDnTDM02	0	デッドタイム制御停止のため無効
	1 0	TAUDnTDM01 TAUDnTDM00	任意	
TAUDnTDL	15	TAUDnTDL15	1 注1	W 相逆相位相として動作
	14	TAUDnTDL14	0 注1	W 相正相位相として動作
	13	TAUDnTDL13	1 注1	V 相逆相位相として動作
	12	TAUDnTDL12	0 注1	V 相正相位相として動作
	11	TAUDnTDL11	1 注1	U 相逆相位相として動作
	10	TAUDnTDL10	0 注1	U 相正相位相として動作
	9 ～ 2	TAUDnTDL09 ～ TAUDnTDL02	0	デッドタイム制御禁止のため無効
	1 0	TAUDnTDL01 TAUDnTDL00	任意	
TAUDnTRE	15 ～ 2	TAUDnTRE15 ～ TAUDnTRE02	0	リアルタイム出力禁止
	1,0	TAUDnTRE01 TAUDnTRE00	任意	
TAUDnTRO	15 ～ 2	TAUDnTRO15 ～ TAUDnTRO02	0	リアルタイム出力禁止のため無効
	1 0	TAUDnTRO01 TAUDnTRO00	任意	
TAUDnTRC	15 ～ 2	TAUDnTRC15 ～ TAUDnTRC02	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	1 0	TAUDnTRC01 TAUDnTRC00	任意	
TAUDnTME	15 ～ 2	TAUDnTME15 ～ TAUDnTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1 0	TAUDnTME01 TAUDnTME00	任意	
TAUDnRDE	15	TAUDnRDE15	0	一斉書き換え禁止
	14	TAUDnRDE14	任意	
	13	TAUDnRDE13	0	一斉書き換え禁止
	12	TAUDnRDE12	任意	
	11	TAUDnRDE11	0	一斉書き換え禁止
	10	TAUDnRDE10	任意	
	9 ～ 2	TAUDnRDE09 ～ TAUDnRDE02	1	一斉書き換え許可
	1 0	TAUDnRDE01 TAUDnRDE00	任意	

表 29.75 TAUDn チャネル共通 (3/3)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnRDS	15	TAUDnRDS15	0	別の上位チャネルにより、一斉書き換えを許可しない
	14	TAUDnRDS14	任意	
	13	TAUDnRDS13	0	別の上位チャネルにより、一斉書き換えを許可しない
	12	TAUDnRDS12	任意	
	11	TAUDnRDS11	0	別の上位チャネルにより、一斉書き換えを許可しない
	10	TAUDnRDS10	任意	
	9 ～ 2	TAUDnRDS09 ～ TAUDnRDS02	0	マスタチャネルにより一斉書き換えを許可する
	1 0	TAUDnRDS01 TAUDnRDS00	任意	
TAUDnRDM	15	TAUDnRDM15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDM14	任意	
	13	TAUDnRDM13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDM12	任意	
	11	TAUDnRDM11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDM10	任意	
	9 ～ 2	TAUDnRDM09 ～ TAUDnRDM02	0	マスタチャネルのカウント開始タイミングで信号をロード
	1 0	TAUDnRDM01 TAUDnRDM00	任意	
TAUDnRDC	15	TAUDnRDC15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDC14	任意	
	13	TAUDnRDC13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDC12	任意	
	11	TAUDnRDC11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDC10	任意	
	9 ～ 2	TAUDnRDC09 ～ TAUDnRDC02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1 0	TAUDnRDC01 TAUDnRDC00	任意	

注 1.　使用システムによって設定を変更してください。

注 2.　デッドタイム制御を行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細は「**第 25 章　タイマアレイユニット D（TAUD）**」を参照してください。

29.13.6.2 PIC の設定

表 29.76 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n2	27	PIC0REG2n227	1	PIC0REG2n204 ビットで選択した入力を選択
	23	PIC0REG2n223	1	PIC0REG2n203 ビットで選択した入力を選択
	19	PIC0REG2n219	1	PIC0REG2n202 ビットで選択した入力を選択
	4	PIC0REG2n204	0	TAUDTTOUT9 を選択
	3	PIC0REG2n203	0	TAUDTTOUT7 を選択
	2	PIC0REG2n202	0	TAUDTTOUT5 を選択

第 30 章 PWM 出力／診断（PWM-Diag）

本章では、PWM 出力／診断（PWM-Diag）機能全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、PWM-Diag を構成する各ユニットの機能、レジスタについて説明します。

30.1 RH850/F1M PWM-Diag の特長

30.1.1 ユニット数とチャネル数

PWM-Diag は、クロックを生成する PWBA、PWM を生成する PWGA、A/D 変換トリガを生成する PWSA で構成します。各ユニット数を以下に示します。

PWGA 1 ユニット当たり 1 チャネルの PWM 出力が可能です。本章の PWGA ユニット数とチャネル数は同義です。

表 30.1 ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
PWBA			
ユニット数	1		
名称	PWBAn (n = 0)		
PWGA			
ユニット数	64	72	80
名称	PWGAn (n = 0 ～ 63)	PWGAn (n = 0 ～ 71)	PWGAn (n = 0 ～ 79)
PWSA			
ユニット数	1		
名称	PWSAn (n = 0)		

表 30.2 添字

添字	説明
n	本章では、PWM-Diag 機能を構成する各ユニットを「n」で識別します。たとえば、PWBAn のステータスレジスタは、PWBAnTE のように記述しています。
m	PWBA の生成クロックを「m」（m = 0 ～ 3）で識別します。例えば、PWMCLKm のクロック周期設定レジスタは PWBAnBRSm のように記述します。
x, y	PWM-Diag チャネルに対応する A/D コンバータ設定レジスタ番号を「x, y」で識別します。例えば PWSAnPVCRx_y（x_y = 00_01, 02_03, ..., 78_79）のように記述しています。
j	PWGAn からのトリガチャネル番号（エンコード値）を格納するレジスタを「j」で識別します。例えば PWSAnQUEj（j ＝ 0 ～ 7）レジスタのように記述しています。
k	同じ機能を持つレジスタを「k」で識別します。例えば、SLPWGAk レジスタ（k = 0 ～ 2）のように記述しています。

各製品の添字が示す値を以下に示します。

表 30.3 各製品の添字対応

各製品の添字対応		
144 pin	176 pin	233 pin
x = 00, 02, ,,, 62 y = 01, 03, ,,, 63	x = 00, 02, ,,, 70 y = 01, 03, ,,, 71	x = 00, 02, ,,, 78 y = 01, 03, ,,, 79
j = 0 ～ 7	j = 0 ～ 7	j = 0 ～ 7
k = 0 ～ 2	k = 0 ～ 2	k = 0 ～ 2

30.1.2 レジスタベースアドレス

PWM-Diag のベースアドレスを以下の表に示します。

PWM-Diag のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 30.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PWBAn_base>	FFE7 2800_H
<PWGAn_base>	FFE7 1000_H + 40_H × n
<PWSAn_base>	FFE7 0000_H

30.1.3 クロック供給

PWM-Diag のクロック供給を以下の表に示します。

表 30.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
PWBAn	PCLK	CKSCLK_IPERI2
PWGAn	PCLK	CKSCLK_IPERI2
PWSAn	PCLK	CKSCLK_IPERI2

30.1.4 割り込み要求

PWM-Diag の割り込み要求を以下の表に示します。

表 30.6 割り込み要求 (1/2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT0	PWGA0 割り込み	92	—
PWGA_INT1	PWGA1 割り込み	93	—
PWGA_INT2	PWGA2 割り込み	94	—
PWGA_INT3	PWGA3 割り込み	95	—
PWGA_INT4	PWGA4 割り込み	85	—
PWGA_INT5	PWGA5 割り込み	86	—
PWGA_INT6	PWGA6 割り込み	87	—
PWGA_INT7	PWGA7 割り込み	88	—
PWGA_INT8	PWGA8 割り込み	96	—
PWGA_INT9	PWGA9 割り込み	97	—
PWGA_INT10	PWGA10 割り込み	98	—
PWGA_INT11	PWGA11 割り込み	99	—
PWGA_INT12	PWGA12 割り込み	100	—
PWGA_INT13	PWGA13 割り込み	101	—
PWGA_INT14	PWGA14 割り込み	102	—
PWGA_INT15	PWGA15 割り込み	103	—
PWGA_INT16	PWGA16 割り込み	145	—
PWGA_INT17	PWGA17 割り込み	147	—
PWGA_INT18	PWGA18 割り込み	149	—
PWGA_INT19	PWGA19 割り込み	151	—
PWGA_INT20	PWGA20 割り込み	124	—
PWGA_INT21	PWGA21 割り込み	125	—
PWGA_INT22	PWGA22 割り込み	126	—
PWGA_INT23	PWGA23 割り込み	127	—
PWGA_INT24	PWGA24 割り込み	184	—
PWGA_INT25	PWGA25 割り込み	185	—
PWGA_INT26	PWGA26 割り込み	153	—
PWGA_INT27	PWGA27 割り込み	186	—
PWGA_INT28	PWGA28 割り込み	187	—
PWGA_INT29	PWGA29 割り込み	188	—
PWGA_INT30	PWGA30 割り込み	155	—
PWGA_INT31	PWGA31 割り込み	157	—
PWGA_INT32	PWGA32 割り込み	189	—
PWGA_INT33	PWGA33 割り込み	190	—
PWGA_INT34	PWGA34 割り込み	191	—
PWGA_INT35	PWGA35 割り込み	192	—
PWGA_INT36	PWGA36 割り込み	193	—
PWGA_INT37	PWGA37 割り込み	194	—
PWGA_INT38	PWGA38 割り込み	195	—
PWGA_INT39	PWGA39 割り込み	196	—
PWGA_INT40	PWGA40 割り込み	197	—

表 30.6 割り込み要求 (2/2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT41	PWGA41 割り込み	198	—
PWGA_INT42	PWGA42 割り込み	199	—
PWGA_INT43	PWGA43 割り込み	200	—
PWGA_INT44	PWGA44 割り込み	201	—
PWGA_INT45	PWGA45 割り込み	202	—
PWGA_INT46	PWGA46 割り込み	203	—
PWGA_INT47	PWGA47 割り込み	204	—
PWGA_INT48	PWGA48 割り込み	240	—
PWGA_INT49	PWGA49 割り込み	241	—
PWGA_INT50	PWGA50 割り込み	242	—
PWGA_INT51	PWGA51 割り込み	243	—
PWGA_INT52	PWGA52 割り込み	244	—
PWGA_INT53	PWGA53 割り込み	245	—
PWGA_INT54	PWGA54 割り込み	246	—
PWGA_INT55	PWGA55 割り込み	247	—
PWGA_INT56	PWGA56 割り込み	248	—
PWGA_INT57	PWGA57 割り込み	249	—
PWGA_INT58	PWGA58 割り込み	250	—
PWGA_INT59	PWGA59 割り込み	251	—
PWGA_INT60	PWGA60 割り込み	252	—
PWGA_INT61	PWGA61 割り込み	253	—
PWGA_INT62	PWGA62 割り込み	254	—
PWGA_INT63	PWGA63 割り込み	255	—
PWGA_INT64	PWGA64 割り込み	277	—
PWGA_INT65	PWGA65 割り込み	278	—
PWGA_INT66	PWGA66 割り込み	279	—
PWGA_INT67	PWGA67 割り込み	280	—
PWGA_INT68	PWGA68 割り込み	281	—
PWGA_INT69	PWGA69 割り込み	282	—
PWGA_INT70	PWGA70 割り込み	283	—
PWGA_INT71	PWGA71 割り込み	284	—
PWGA_INT72	PWGA72 割り込み	290	—
PWGA_INT73	PWGA73 割り込み	291	—
PWGA_INT74	PWGA74 割り込み	292	—
PWGA_INT75	PWGA75 割り込み	293	—
PWGA_INT76	PWGA76 割り込み	294	—
PWGA_INT77	PWGA77 割り込み	295	—
PWGA_INT78	PWGA78 割り込み	296	—
PWGA_INT79	PWGA79 割り込み	297	—
PWSA_INT_QFULL	PWSA キューフル割り込み	91	—

30.1.5　リセット要因

PWM-Diag のリセット要因を以下に示します。PWM-Diag の各ユニットは以下のリセット要因で初期化されます。

表 30.7　リセット要因

ユニット名	リセット要因
PWBAn PWGAn PWSAn	すべてのリセット要因（ISORES）

30.1.6　外部入出力信号

PWM-Diag の外部入出力信号を以下の表に示します。

表 30.8　外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
PWGA_TOUTn （ユニット：PWGA）	PWGA ユニット n 出力	PWGAnO

注　意

P0_0 端子を PWGA10O として使用する場合、リセット中およびリセット解除後、P0_0 端子（RESETOUT 信号）からロウレベルを出力します。

詳細は「**2.11.1.1　P0_0：RESETOUT**」を参照してください。

30.1.7 内部信号

PWM-Diag 間、PWM-Diag と他の機能を接続する入出力信号を以下の表に示します。

表 30.9 内部出力信号

ユニット信号名	説明	接続先
PWBA0		
PWMCLK0	PWGA カウントクロック 0	PWGAn
PWMCLK1	PWGA カウントクロック 1	PWGAn
PWMCLK2	PWGA カウントクロック 2	PWGAn
PWMCLK3	PWGA カウントクロック 3	PWGAn
PWGAn		
PWGA_TRGOUT	PWGAn トリガ	PWSA0
PWSA0		
PWSA_ADTRG[1:0]	A/D コンバータユニット選択信号	ADCA0, ADCA1
PWSA_PVCR_VALUE[11:0]	A/D コンバータ制御信号	ADCA0, ADCA1
ADCAn		
ADC_CONV_ENDn	A/D 変換終了信号	PWSA0

30.1.8 機能概要

本機能はクロック分周（PWBA）、PWM ジェネレータ（PWGA）、A/D 変換トリガ選択機能（PWSA）、A/D コンバータ（ADCA）の 4 種類のユニットから構成されます。

PWBA

- クロック分周

  PWBA は PCLK を分周した PWMCLKm カウントクロックを生成し、PWM ジェネレータ PWGA に供給します。

  PWMCLKm カウントクロックの周期は、PWBAnBRSm レジスタの設定により、次式で表されます。

  PWMCLKm カウントクロックの周期 = (PWBAnBRSm の設定値 × 2) × PCLK 周期

  また、PWBA はオンチップデバッグユニット使用時の動作を PWBAnEMU レジスタにより制御可能です。

PWGA

PWGA は、PWBA からの入力クロック PWMCLKm より、PWM 波形と PWSA への A/D 変換トリガを出力します。

- PWM 波形出力 PWGA_TOUTn

  PWM 波形は PWGA_TOUTn 端子より出力します。PWGAnCNT レジスタ（12 ビットのフリーランカウンタ）のカウントフロー周期が PWM 周期になります。PWM 出力のハイ期間は PWGAnCSDR および PWGAnCRDR レジスタに設定します。

PWM 波形の周期および Duty は次の式で表されます。

PWM 波形の周期 = PWGAnCNT (12 bit フルカウント：FFF_H + 1)
× カウントクロックの周期
= 4096 × PWMCLKm カウントクロックの周期

PWGAnCRDR[11:0] > PWGAnCSDR[11:0] のとき、

PWM 波形のハイレベル期間 =
(PWGAnCRDR レジスタ設定値 – PWGAnCSDR レジスタ設定値)
× PWMCLKm カウントクロックの周期

PWM 波形の Duty(%) = PWM 波形のハイレベル期間 ÷ PWM 波形周期 × 100
= (PWGAnCRDR レジスタ設定値 – PWGAnCSDR レジスタ設定値) ÷ 4096 × 100

なお、PWGAnCRDR レジスタ設定値 = PWGAnCSDR レジスタ設定値のとき、PWM 出力はロウレベル固定になります。

PWGAnCRDR レジスタに $1xxx_H$（ビット 12 に “1”）を設定すると、PWM 出力はハイレベル固定になります。

- A/D 変換トリガ出力 PWGA_TRGOUTn

PWSA への A/D 変換トリガ信号 PWGA_TRGOUTn は、PWM 出力 PWGA_TOUTn がハイレベルのとき、PWGAnCTDR レジスタ設定値と PWGAnCNT レジスタ値の一致検出により発生します。

発生タイミングは、次の式で表されます。

A/D 変換トリガ信号発生タイミング = PWGAnCTDR レジスタ設定値
× PWMCLKm カウントクロックの周期

- PWGA 割り込み要求信号 PWGA_INTn

PWGA は、PWM 出力 PWGA_TOUTn の立下りで割り込み要求信号 PWGA_INTn を発生します。

なお、PWM 出力がロウレベル固定のときは PWGAnCRDR レジスタ設定値と PWGAnCNT レジスタ値（フリーランカウンタ値）との一致検出で PWGA_INTn を発生し、PWM 出力がハイレベル固定のときは PWGAnCNT レジスタのカウントフローで PWGA_INTn を発生します。

PWSA

PWSA は、PWM ジェネレータ（PWGA）からの A/D 変換トリガ信号 PWGA_TRGOUTn により、A/D コンバータに対して必要な設定情報を送信し、A/D 変換開始トリガを出力します。

- PWSA による A/D 変換制御

PWSA は、PWGAn から入力されたトリガのチャネル番号に対応した PWSAnPVCRx_y レジスタに設定された A/D 変換に必要な情報（ADC の物理チャネル情報、外付け MPX 制御情報、エラー検出レベル選択情報）を A/D コンバータに出力します。

同じタイミングで、ADCA0 または ADCA1 に A/D 変換トリガ（PWSA_ADTRG）を出力します。（A/D 変換中に受けた入力トリガ信号 PWGA_TRGOUTn のデータは、PWSAnQUE に最大 8 個まで格納し保持されます。）

A/D コンバータに出力する設定情報は次のトリガ発生時まで保持されます。

A/D コンバータで PWM-Diag 機能からトリガされた A/D 変換が完了すると、PWSA は PWSAnQUE レジスタに格納された次の A/D 変換をトリガします。

- PWGA からの A/D 変換トリガキュー

  PWGAn からの A/D 変換トリガ信号 PWGA_TRGOUTn の入力は、PWSAnQUEj レジスタにチャネル番号として格納されます。PWSAnQUEj レジスタは、キュー構造により、A/D 変換中に受けた A/D 変換トリガ信号 PWGA_TRGOUTn のチャネル番号を最大 8 個格納します。

  PWSAnQUEj レジスタのキューがフルになる以下の状態において、PWSA キュー フル割り込みが発生します。

  – PWSAnQUE7 へのトリガ番号の書き込みが生じた場合
  – PWGA_TRGOUTn 入力時、既に PWSAnQUE7 にトリガ番号の書き込まれていて書き込み先がない場合

ADCA

PWSA から、A/D 変換に必要な情報と A/D 変換トリガを受けて A/D 変換を実施します。

A/D 変換は PWM-Diag 専用のスキャングループを用いて実施し、A/D 変換完了後は、PWSA に A/D 変換完了を通知します。

A/D コンバータの基本的な動作については、**「第 31 章　A/D コンバータ（ADCA）」**を参照してください。

PWM-Diag 機能使用時の A/D コンバータの動作については**「31.4.7.1　PWM-Diag 機能時の A/D 変換動作」**参照してください。

30.1.9 ブロック図

PWM-Diag と A/D コンバータを組み合わせた LED 接続回路の回路例を示します。

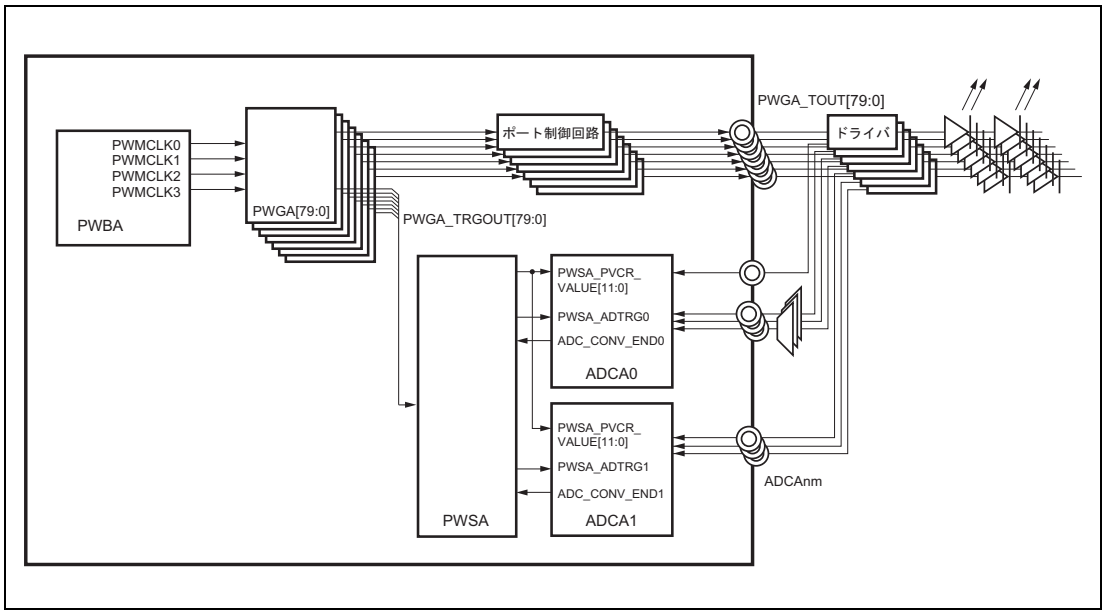


図 30.1 PWM-Diag と A/D コンバータを使用した LED 制御回路の接続例

30.2　レジスタ

30.2.1　レジスター覧

PWM 出力／診断のレジスター覧を以下の表に示します。

<PWBAn_base>、<PWSAn_base>、<PWGAn_base> は、**「30.1.2　レジスタベースアドレス」**を参照してください。

表 30.10　PWM 出力／診断（PMW-Diag）レジスタの一覧

モジュール名	レジスタ名	略号	アドレス
PWBAn	PWMCLKm 周期設定レジスタ	PWBAnBRSm	<PWBAn_base> ＋ 0004_H × m
	PWMCLKm イネーブルステータスレジスタ	PWBAnTE	<PWBAn_base> ＋ 0010_H
	PWMCLKm スタートトリガレジスタ	PWBAnTS	<PWBAn_base> ＋ 0014_H
	PWMCLKm ストップトリガレジスタ	PWBAnTT	<PWBAn_base> ＋ 0018_H
	PWBA エミュレーションレジスタ	PWBAnEMU	<PWBAn_base> ＋ $001C_H$
PWGAn	PWM 出力セット条件レジスタ	PWGAnCSDR	<PWGAn_base> ＋ 0000_H
	PWM 出力リセット条件レジスタ	PWGAnCRDR	<PWGAn_base> ＋ 0004_H
	PWGA_TRGOUTn 発生条件レジスタ	PWGAnCTDR	<PWGAn_base> ＋ 0008_H
	バッファレジスタリロードトリガレジスタ	PWGAnRDT	<PWGAn_base> ＋ $000C_H$
	バッファレジスタリロードステータスレジスタ	PWGAnRSF	<PWGAn_base> ＋ 0010_H
	PWM 周期カウントレジスタ	PWGAnCNT	<PWGAn_base> ＋ 0014_H
	PWGA 制御レジスタ	PWGAnCTL	<PWGAn_base> ＋ 0020_H
	PWGAnCSDR バッファレジスタ	PWGAnCSBR	<PWGAn_base> ＋ 0024_H
	PWGAnCRDR バッファレジスタ	PWGAnCRBR	<PWGAn_base> ＋ 0028_H
	PWGAnCTDR バッファレジスタ	PWGAnCTBR	<PWGAn_base> ＋ $002C_H$
—	PWGA 同期トリガレジスタ	SLPWGAk	FFE7 3000_H + k × 4_H
PWSAn	PWSA 制御レジスタ	PWSAnCTL	<PWSAn_base> ＋ 0000_H
	トリガキューステータスレジスタ	PWSAnSTR	<PWSAn_base> ＋ 0004_H
	トリガキューステータスクリアレジスタ	PWSAnSTC	<PWSAn_base> ＋ 0008_H
	トリガキューレジスタ	PWSAnQUEj	<PWSAn_base> ＋ 0020_H ＋ j × 4_H
	PWM-Diag モード A/D 設定レジスタ	PWSAnPVCRx_y	<PWSAn_base> ＋ 0040_H + x × 2_H
	PWSA エミュレーション制御レジスタ	PWSAnEMU	<PWSAn_base> ＋ $000C_H$

30.2.1.1 PWBAnBRSm レジスタ

PWMCLKm のクロック周期を設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です

アドレス <PWBAn_base> ＋ 0004_H × m

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWBAnBRSm[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.11 PWBAnBRSm レジスタの内容

ビット位置	ビット名	機能
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ～ 0	PWBAnBRSm[10:0]	PWMCLKm のクロック周期設定レジスタ – PWBAnBRSm = 0：PWMCLKm = PCLK – PWBAnBRSm = 1：PWMCLKm = PCLK / 2 × 1 – PWBAnBRSm = 2：PWMCLKm = PCLK / 2 × 2 … – PWBAnBRSm = n：PWMCLKm = PCLK / 2 × n （n = 1-2047） 上記ビットは、PWMCLKm を使用するカウンタがすべて停止している（PWBAnTE.PWBATEm = 0）場合のみ書き換え可能です。

30.2.1.2 PWBAnTE レジスタ

PWMCLKm（m ＝ 0 ～ 3）の出力状態を示すステータスレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <PWBAn_base> ＋ 0010_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWBAnTE3	PWBAnTE2	PWBAnTE1	PWBAnTE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.12 PWBAnTE レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	PWBAnTE3	PWMCLK3 の動作状態を示すステータスフラグ 0：停止中 1：動作中
2	PWBAnTE2	PWMCLK2 の動作状態を示すステータスフラグ 0：停止中 1：動作中
1	PWBAnTE1	PWMCLK1 の動作状態を示すステータスフラグ 0：停止中 1：動作中
0	PWBAnTE0	PWMCLK0 の動作状態を示すステータスフラグ 0：停止中 1：動作中

30.2.1.3 PWBAnTS レジスタ

PWMCLKm（m ＝ 0 ～ 3）のスタートトリガレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <PWBAn_base> ＋ 0014_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWBAnTS3	PWBAnTS2	PWBAnTS1	PWBAnTS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 30.13 PWBAnTS レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	PWBAnTS3	PWMCLK3 のスタートトリガビット 0：“0” 書き込みは機能として意味をもちません。 1：PWMCLK3 の出力を開始します。
2	PWBAnTS2	PWMCLK2 のスタートトリガビット 0：“0” 書き込みは機能として意味をもちません。 1：PWMCLK2 の出力を開始します。
1	PWBAnTS1	PWMCLK1 のスタートトリガビット 0：“0” 書き込みは機能として意味をもちません。 1：PWMCLK1 の出力を開始します。
0	PWBAnTS0	PWMCLK0 のスタートトリガビット 0：“0” 書き込みは機能として意味をもちません。 1：PWMCLK0 の出力を開始します。

30.2.1.4 PWBAnTT レジスタ

PWMCLKm（m ＝ 0 ～ 3）のストップトリガレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <PWBAn_base> ＋ 0018_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWBAnTT3	PWBAnTT2	PWBAnTT1	PWBAnTT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 30.14 PWBAnTT レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	PWBAnTT3	PWMCLK3 のストップトリガビット 0：“0” 書き込みは機能として意味をもちません。 1：PWMCLK3 の出力を停止します。
2	PWBAnTT2	PWMCLK2 のストップトリガビット 0：“0” 書き込みは機能として意味をもちません。 1：PWMCLK2 の出力を停止します。
1	PWBAnTT1	PWMCLK1 のストップトリガビット 0：“0” 書き込みは機能として意味をもちません。 1：PWMCLK1 の出力を停止します。
0	PWBAnTT0	PWMCLK0 のストップトリガビット 0：“0” 書き込みは機能として意味をもちません。 1：PWMCLK0 の出力を停止します。

30.2.1.5 PWBAnEMU レジスタ

エミュレーション時の動作を設定するレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <PWBAn_base> ＋ $001C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PWBAnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 30.15 PWBAnEMU レジスタの内容

ビット位置	ビット名	機能
7	PWBAnSVSDIS	（EPC.SVSTOP ビット = 0 のとき） 本ビットの値（1 / 0）にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット = 1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 上記ビットは、PWMCLKm を使用するカウンタがすべて停止している（PWBAnTE.PWBATEm = 0）場合のみ書き換え可能です。
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

30.2.1.6 PWGAnCTL — PWGA 制御レジスタ

PWGAnCTL レジスタは PWBA からのカウントクロックを選択するレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <PWGAn_base> ＋ 0020_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWGAnCKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 30.16 PWGAnCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PWGAnCKS[1:0]	カウントクロックイネーブル入力 PWMCLK3 ～ PWMCLK0 の選択ビット 00：カウントクロックとして、PWMCLK0 を使用 01：カウントクロックとして、PWMCLK1 を使用 10：カウントクロックとして、PWMCLK2 を使用 11：カウントクロックとして、PWMCLK3 を使用 上記ビットは、PWGAn 動作停止時（SLPWGAk.SLPWGA[31:0] = 0）のみ書き換え可能です。

30.2.1.7 PWGAnCNT — PWM 周期カウントレジスタ

カウンタレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PWGAn_base> ＋ 0014_H

リセット後の値 $0FFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCNT[11:0]											
リセット後の値	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.17 PWGAnCNT レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ～ 0	PWGAnCNT[11:0]	12 ビットカウンタ値

30.2.1.8 PWGAnCSDR — PWM 出力セット条件レジスタ

PWGA_TOUTn 出力のセット条件を設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PWGAn_base> ＋ 0000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCSDR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.18 PWGAnCSDR レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ～ 0	PWGAnCSDR[11:0]	PWM 出力のセット条件を設定します。 PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に設定値が PWGAnCSBR レジスタに反映されます。

30.2.1.9 PWGAnCRDR — PWM 出力リセット条件レジスタ

PWGA_TOUTn 出力のリセット条件を設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PWGAn_base> ＋ 0004_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PWGAnCRDR[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.19 PWGAnCRDR レジスタの内容

ビット位置	ビット名	機能
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～ 0	PWGAnCRDR[12:0]	PWM 出力のリセット条件を設定します。 PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に設定値が PWGAnCRBR レジスタに反映されます。

30.2.1.10 PWGAnCTDR — PWGA_TRGOUTn 発生条件レジスタ

PWGA_TRGOUTn の発生条件を設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PWGAn_base> ＋ 0008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCTDR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.20 PWGAnCTDR レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ～ 0	PWGAnCTDR[11:0]	PWSAn への A/D 変換トリガ発生条件を設定します。 PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に設定値が PWGAnCTBR レジスタに反映されます。

30.2.1.11 PWGAnCSBR — PWGAnCSDR バッファレジスタ

PWGAnCSDR レジスタのバッファレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PWGAn_base> ＋ 0024_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCSBR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.21 PWGAnCSBR レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ～ 0	PWGAnCSBR[11:0]	PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に PWGAnCSDR の設定値が反映されます。 PWGAnCNT レジスタと値が一致すると端子出力がハイレベルになります。

30.2.1.12 PWGAnCRBR — PWGAnCRDR バッファレジスタ

PWGA_TOUTn のリセット条件のバッファレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PWGAn_base> ＋ 0028_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PWGAnCRBR[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.22 PWGAnCRBR レジスタの内容

ビット位置	ビット名	機能
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。
12 ～ 0	PWGAnCRBR[12:0]	PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に PWGAnCRDR の設定値が反映されます。 PWGAnCNT レジスタと値が一致すると端子出力がロウレベルになります。

30.2.1.13 PWGAnCTBR — PWGAnCTDR バッファレジスタ

PWGA_TRGOUTn の発生条件を示すバッファレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PWGAn_base> ＋ $002C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCTBR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.23 PWGAnCTBR レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ～ 0	PWGAnCTBR[11:0]	PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に PWGAnCTDR の設定値が反映されます。 PWGAnCNT レジスタと値が一致すると PWSAn へトリガを送信します。

30.2.1.14 PWGAnRSF — バッファレジスタリロードステータスレジスタ

一斉書き換え制御のステータスレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <PWGAn_base> ＋ 0010_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWGAnRSF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.24 PWGAnRSF レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	PWGAnRSF	一斉書き換え制御ステータスビット 0：一斉書き換え許可状態。一斉書き換えトリガ信号発生後は、一斉書き換えの完了を示す。 1：一斉書き換え処理実行中で、完了待ち状態

30.2.1.15 PWGAnRDT — バッファレジスタリロードトリガレジスタ

一斉書き換え要求トリガレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <PWGAn_base> ＋ $000C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWGAnRDT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.25 PWGAnRDT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	PWGAnRDT	一斉書き換え要求トリガビット 0：“0” 書き込みは機能として意味をもちません。 1：コンペアレジスタ（PWGAnCSDR, PWGAnCRDR, PWGAnCTDR）の一斉書き換え要求をトリガする。PWGAnRSF.PWGAnRSF を “1” にセットする。

30.2.1.16 SLPWGAk — PWGA 同期トリガレジスタ（k = 0 ～ 2）

各チャネルを同時に開始、停止をトリガするレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFE7 3000_H + k × 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SLPWGA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SLPWGA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.26 SLPWGAk レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	SLPWGA[31:0]	複数のチャネルに同時に開始、停止をトリガします。 0：該当するチャネルを停止する 1：該当するチャネルを開始する 各ビットは以下のチャネルに該当します。 SLPWGA0.SLPWGA[31:0]：PWGA31 - PWGA0 SLPWGA1.SLPWGA[31:0]：PWGA63 - PWGA32 SLPWGA2.SLPWGA[15:0]：PWGA79 - PWGA64

30.2.1.17 PWSAnCTL レジスタ

PWSA の動作制御レジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <PWSAn_base> ＋ 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWSAnENBL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 30.27 PWSAnCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWSAnENBL	動作許可制御ビット 0：動作禁止（初期状態） “0” を書き込むことで PWSAnSTR、PWSAnQUEj が初期化されます 1：動作許可

30.2.1.18 PWSAnSTR レジスタ

PWSAnQUEj レジスタのトリガ発生チャネル番号の格納状況を示すステータスレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <PWSAn_base> ＋ 0004_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWSAnQFL	PWSAnQNE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.28 PWSAnSTR レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	PWSAnQFL	A/D 変換トリガのキューイングの状態を示します。 0：チャネル番号が格納されていない PWSAnQUEj レジスタが存在する。 1：全ての PWSAnQUEj レジスタにチャネル番号が格納された状態を示す
0	PWSAnQNE	トリガキューにトリガが入っている状態を表すビット 0：PWSAnQUEj レジスタにチャネル番号が格納されていない、または PWSAnQUE0 にのみチャネル番号が格納された、A/D 変換中の状態 1：PWSAnQUEj レジスタの j = 1 以降に変換待ちのチャネルが格納されている状態

30.2.1.19 PWSAnSTC レジスタ

PWSAnSTR レジスタのステータスをクリアするレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <PWSAn_base> ＋ 0008_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWSAnCLFL	PWSAnCLNE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 30.29 PWSAnSTC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	PWSAnCLFL	PWSAnQFL クリアビット 0：PWSAnQFL は状態を保持（“0” 書き込みは機能として意味を持たない） 1：PWSAnQFL を 0 クリアする
0	PWSAnCLNE	PWSAnQNE クリアビット 0：PWSAnQNE は状態を保持（“0” 書き込みは機能として意味を持たない） 1：PWSAnQNE を 0 クリアする

30.2.1.20 PWSAnQUEj（j ＝ 0 ～ 7）レジスタ

PWGAn からのトリガを受けたチャネルの番号を格納するレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <PWSAn_base> ＋ 0020_H ＋ j × 4_H

リセット後の値 $7F_H$

ビット	7	6	5	4	3	2	1	0
	—	PWSAnQUEj[6:0]						
リセット後の値	0	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R

表 30.30 PWSAnQUEj レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 0	PWSAnQUEj[6:0]	トリガの発生した PWGA のチャネル番号（0 ～ 79）が PWSAnQUE0 から PWSAnQUE7 まで順番に格納されます。 PWSAnQUE0 の A/D 変換完了後、PWSAnQUE1 ～ PWSAnQUE7 の値が PWSAnQUE0 ～ PWSAnQUE6 にシフトします。

備　考

複数チャネルで同時にトリガが発生した場合、チャネル番号の小さいトリガが優先されます。

30.2.1.21 PWSAnPVCRx_y（x ＝ 00, 02, 04 ... 78、y = 01, 03, 05 ... 79）レジスタ

各チャネルに対応する A/D コンバータの設定を行います。

PWSA0PVCR02_03 のように連続する 2 つのチャネルを設定し、上位 16bit が奇数チャネル、下位 16bit が偶数チャネルに該当します。

トリガ発生時に設定値は A/D コンバータの ADCAnPWDVCR レジスタに送られます。

ADCAnPWDVCR レジスタについては**「第 31 章 A/D コンバータ（ADCA）」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <PWSAn_base> ＋ 0040_H ＋ x × 2_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	PWSAn SLADy	PWSAn VRDTy [27]	PWSAnVRDTy[26:24]			PWSAnVRDTy [23:22]		PWSAnVRDTy[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PWSAn SLADx	PWSAn VRDTx [11]	PWSAnVRDTx[10:8]			PWSAnVRDTx [7:6]		PWSAnVRDTx[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.31 PWSAnPVCRx_y レジスタの内容

ビット位置	ビット名	機能
31 ～ 29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28	PWSAnSLADy	ADCA 選択ビット（奇数チャネル） 0：ADCA0 に出力 1：ADCA1 に出力
27	PWSAnVRDTy[27]	ADCAnPWDVCR.MPXE ビットの設定値となります。（奇数チャネル）
26 ～ 24	PWSAnVRDTy [26:24]	ADCAnPWDVCR.MPXV[2:0] ビットの設定値となります。（奇数チャネル）
23 ～ 22	PWSAnVRDTy[23:22]	ADCAnPWDVCR.ULS[1:0] ビットの設定値となります。（奇数チャネル）
21 ～ 16	PWSAnVRDTy[21:16]	ADCAnPWDVCR.GCTRL[5:0] ビットの設定値となります。（奇数チャネル）
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	PWSAnSLADx	ADCA 選択ビット（偶数チャネル） 0：ADCA0 に出力 1：ADCA1 に出力
11	PWSAnVRDTx[11]	ADCAnPWDVCR.MPXE ビットの設定値となります。（偶数チャネル）
10 ～ 8	PWSAnVRDTx [10:8]	ADCAnPWDVCR.MPXV[2:0] ビットの設定値となります。（偶数チャネル）
7 ～ 6	PWSAnVRDTx[7:6]	ADCAnPWDVCR.ULS[1:0] ビットの設定値となります。（偶数チャネル）
5 ～ 0	PWSAnVRDTx[5:0]	ADCAnPWDVCR.GCTRL[5:0] ビットの設定値となります。（偶数チャネル）

30.2.1.22 PWSAnEMU — エミュレーション制御レジスタ

エミュレーション時の動作を設定するレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <PWSAn_base> + $000C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWSAnSVSDIS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 30.32 PWSAnEMU レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWSAnSVSDIS	（EPC.SVSTOP ビット = 0 のとき） 本ビットの値（1 / 0）にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）動作を継続 （EPC.SVSTOP ビット = 1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで） – A/D への出力状態を保持し、ブレークポイント期間中に入力された ADC_CONV_ENDn 入力は内部保持してブレーク解除後に PWSAnQUEj の更新を行う。 – PWGA_TRGOUT 入力はブレーク期間中も受け付け、PWSA_INT_QFULL も出力する。 – レジスタに対する書き込みと読み出しは可能である。 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）動作を継続 上記ビットは、PWMCLKm を使用するカウンタがすべて停止している（PWBAnTE.PWBATEm = 0）、すべてのチャネル PWGAn が停止中（SLPWGAk.SLPWGA）、すべてのチャネル PWGAn からトリガが発生していない（PWSAnQUE0 がリセット後の値）場合のみ書き換え可能です。

30.3 操作手順

PWM-Diag の動作開始、動作停止の設定手順を以下に示します。

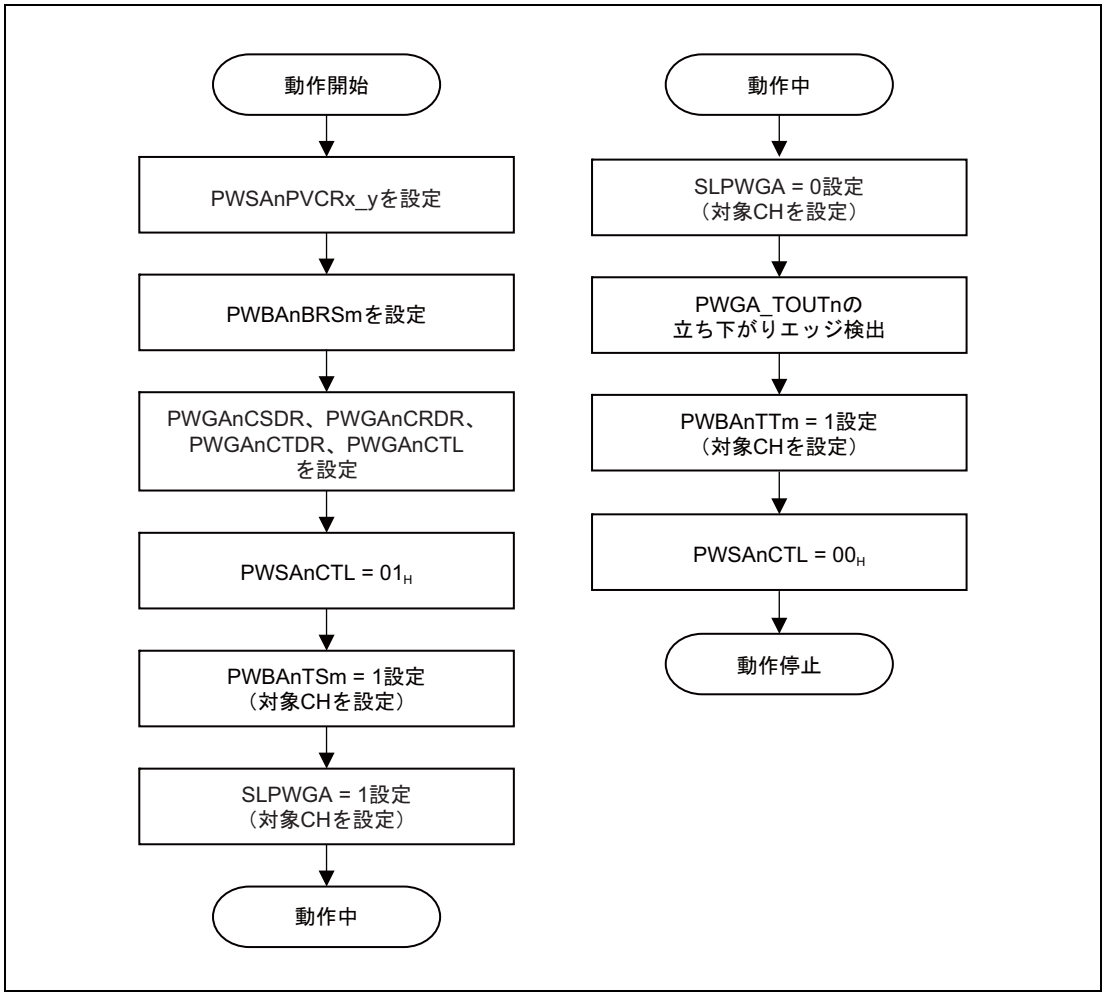


図 30.2 PWM-Diag の操作手順

PWGA の一斉書き換えの手順を以下に示します。

「コンペアレジスタ」と記載している箇所は、「PWGAnCSDR」、「PWGAnCRDR」、「PWGAnCTDR」を意味します。

また、「バッファレジスタ」と記載している箇所は、「PWGAnCSBR」、「PWGAnCRBR」「PWGAnCTBR」を意味します。

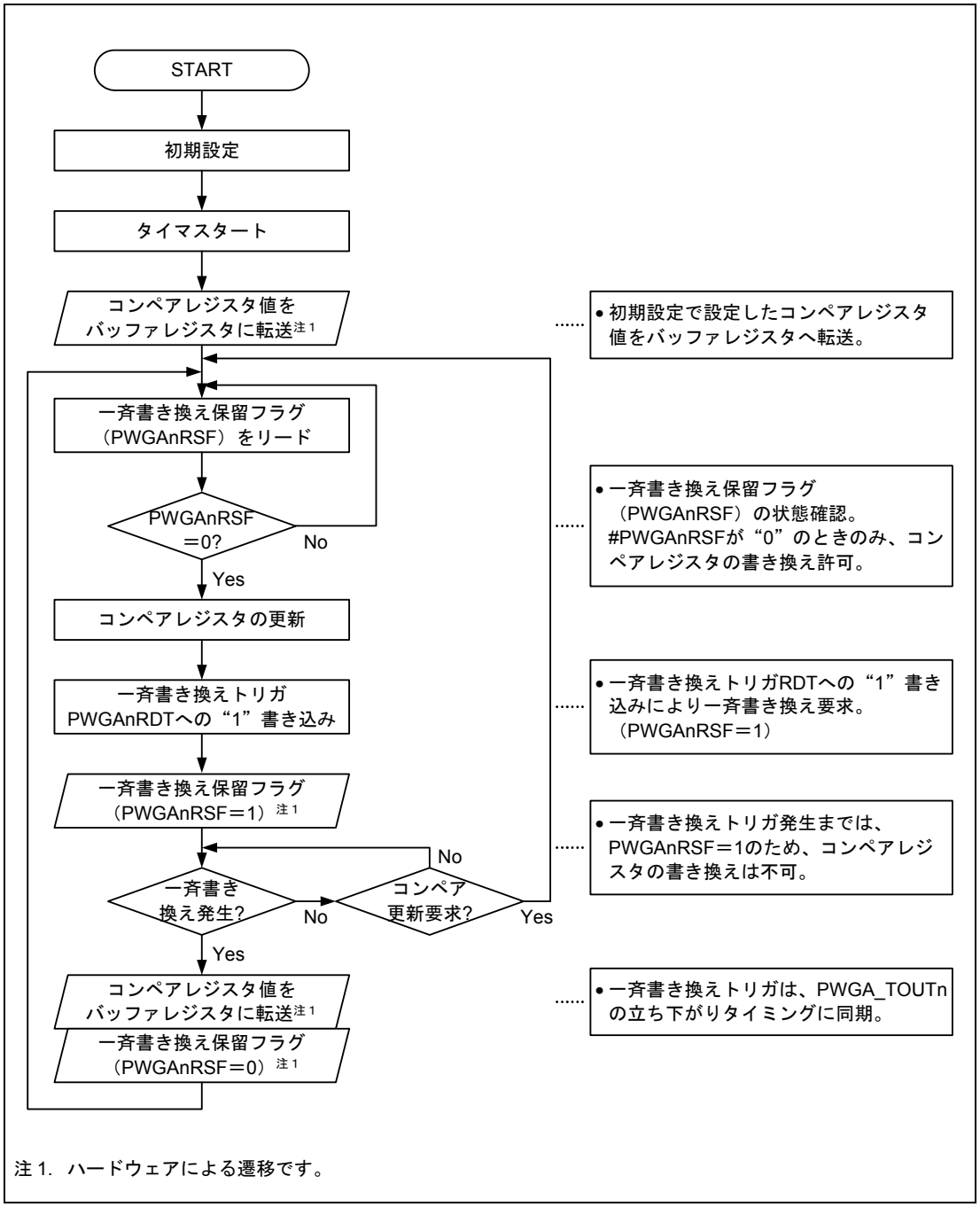


図 30.3 一斉書き換え手順

30.4 PWM-Diag の動作波形

30.4.1 PWGA による PWM 波形出力と A/D 変換トリガ出力の動作波形

30.4.1.1 PWGA の基本動作波形

PWGA の基本動作波形を以下に示します。

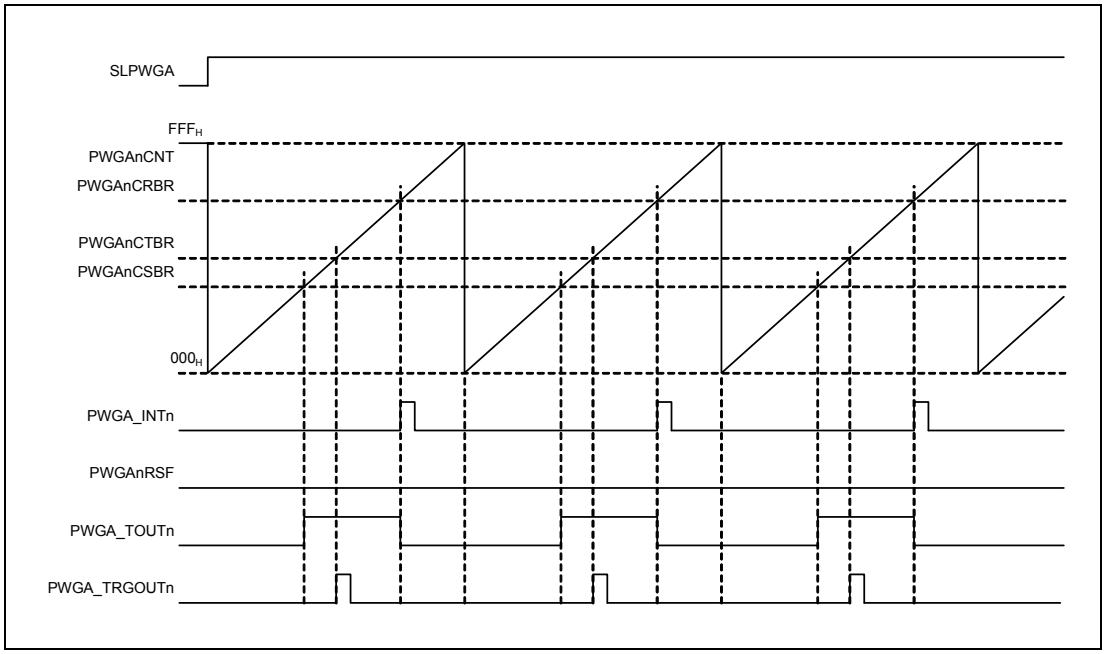


図 30.4 基本波形図

30.4.1.2 PWGA の一斉書き換え実施時の動作波形

PWGA の一斉書き換え実施時の動作波形を以下に示します。

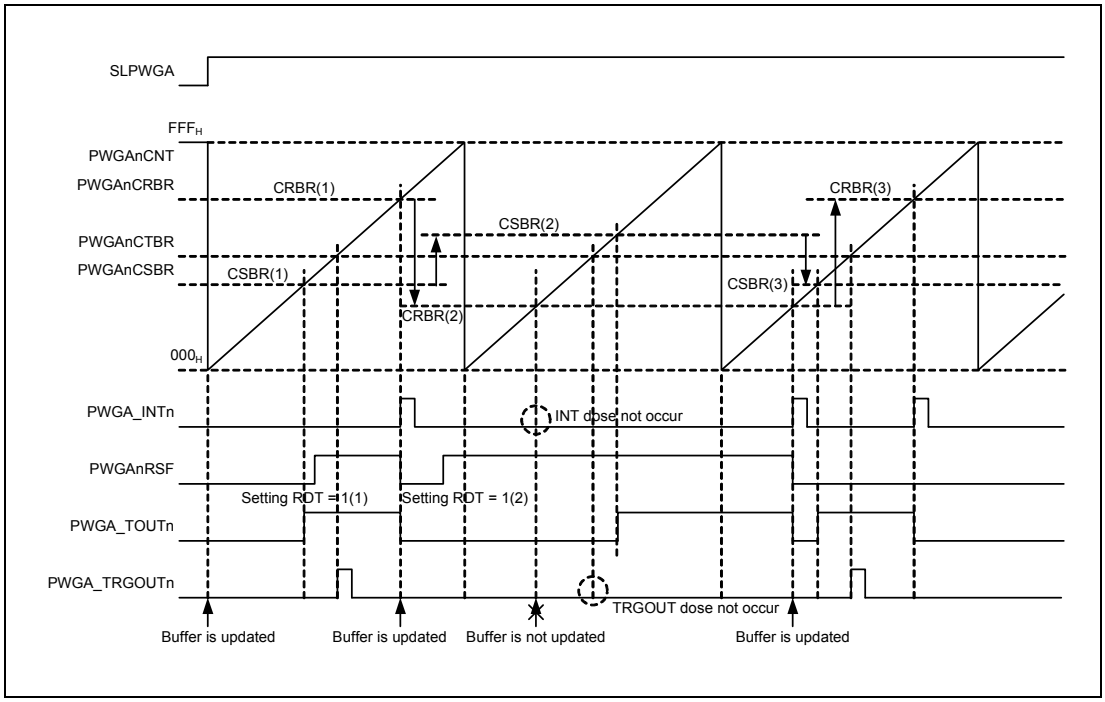


図 30.5 一斉書き換え実施時の波形図

PWGAnCSDR レジスタと PWGAnCRDR レジスタを再設定して、PWGAnRDT レジスタまたは SLPWGAk レジスタをセットすることで一斉書き換えを実施します。

また、1 インターバルで設定値の関係が PWGAnCSDR > PWGAnCRDR の場合は、そのインターバルでの立下りは意味をなさず、次のインターバルの立下りが有効となります。

また、PWGA_TRGOUTn は、PWGA_TOUTn がハイレベルの状態でなければ有効になりません。

30.4.1.3 PWGA の動作停止・再開時の動作波形

PWGA の動作停止・再開時の動作波形を以下に示します。

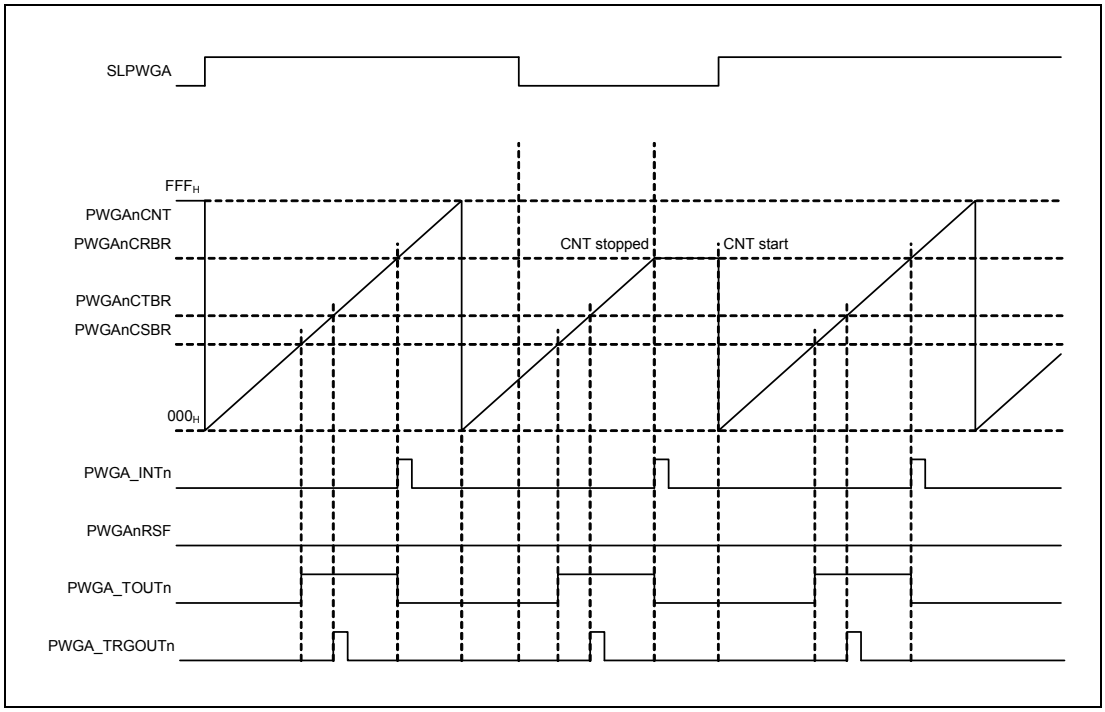


図 30.6 動作停止動作再開 (1)

SLPWGA ＝ 1 → 0 設定後、PWGA_INTn 発生により、PWGAnCNT は動作を停止します。

PWGA_INTn 発生後、SLPWGA ＝ 0 → 1 設定により、PWGAnCNT が 000_H からカウント動作を再開します。

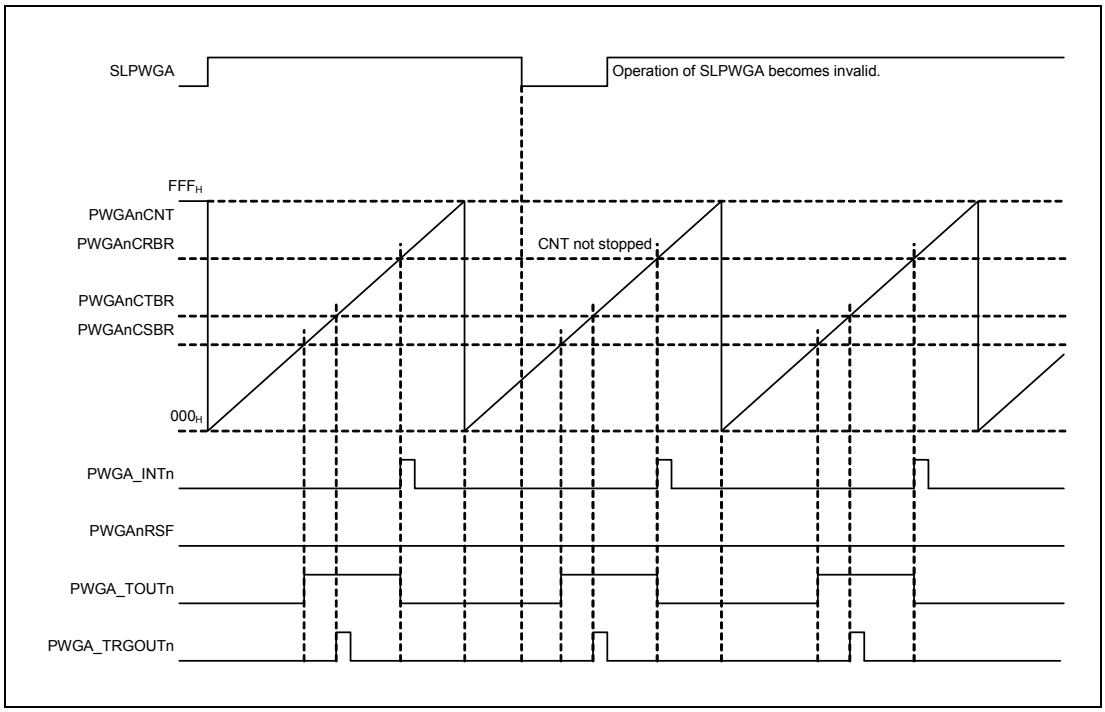


図 30.7 動作停止動作再開 (2)

SLPWGA ＝ 1 → 0 設定後、PWGA_INTn 発生前に SLPWGA ＝ 0 → 1 設定した場合、SLPWGA の操作は無効となり、PWGAnCNT はカウント動作を継続します。

30.4.1.4 PWGA の特定の設定時の動作波形

PWGA の特定の設定時の動作波形を以下に示します。

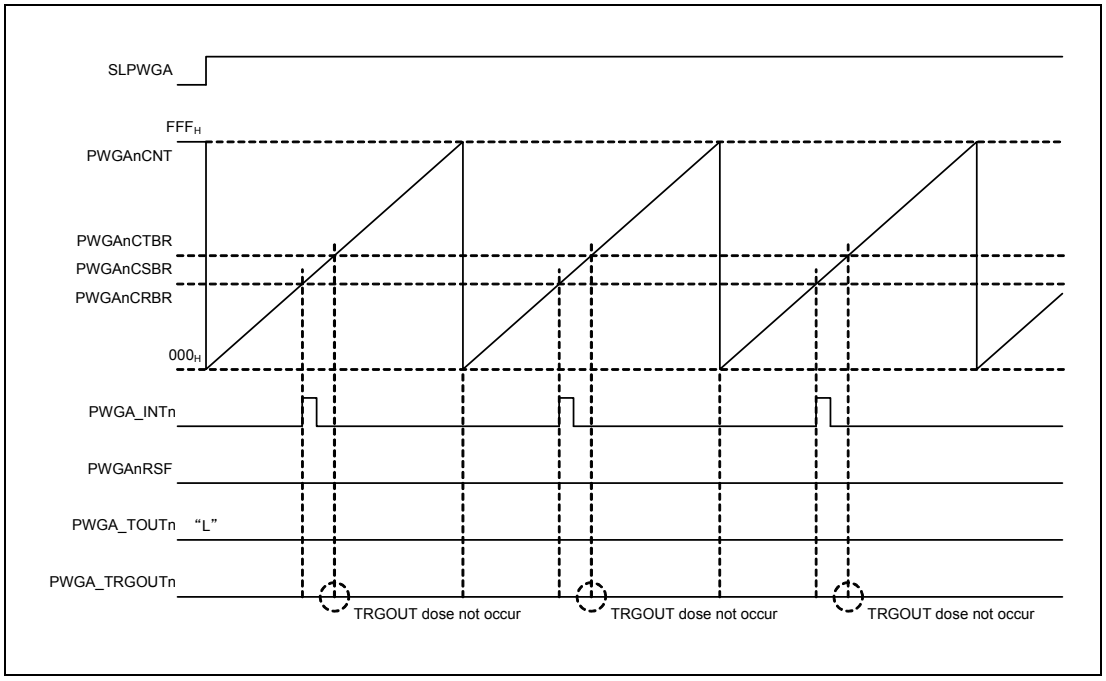


図 30.8 PWGA_TOUTn ＝ 0%出力波形

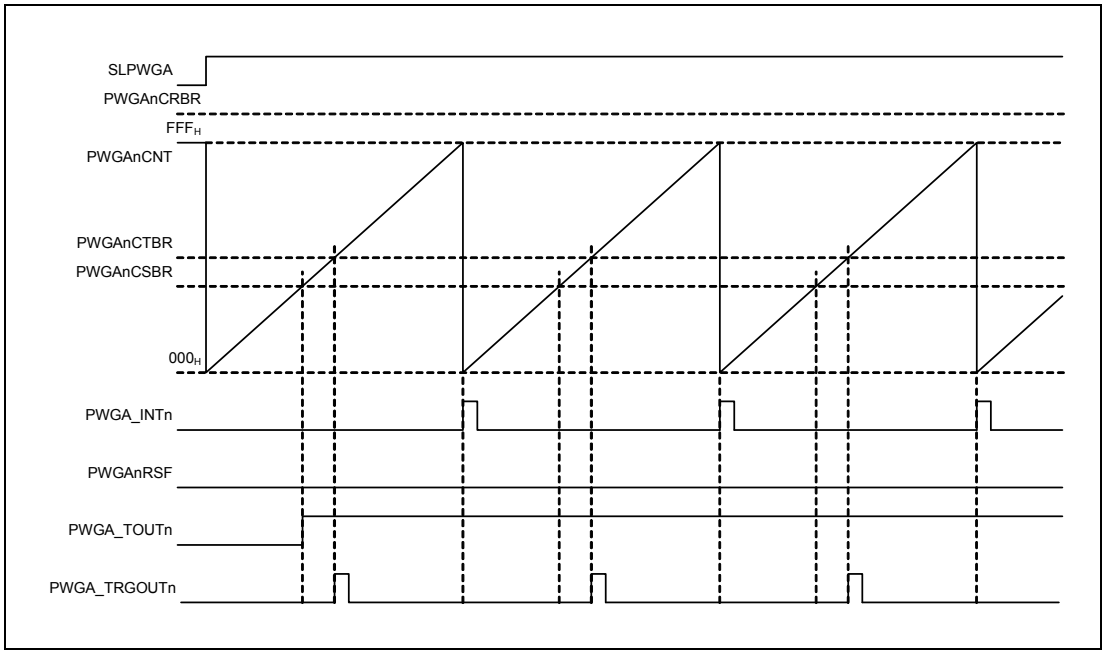
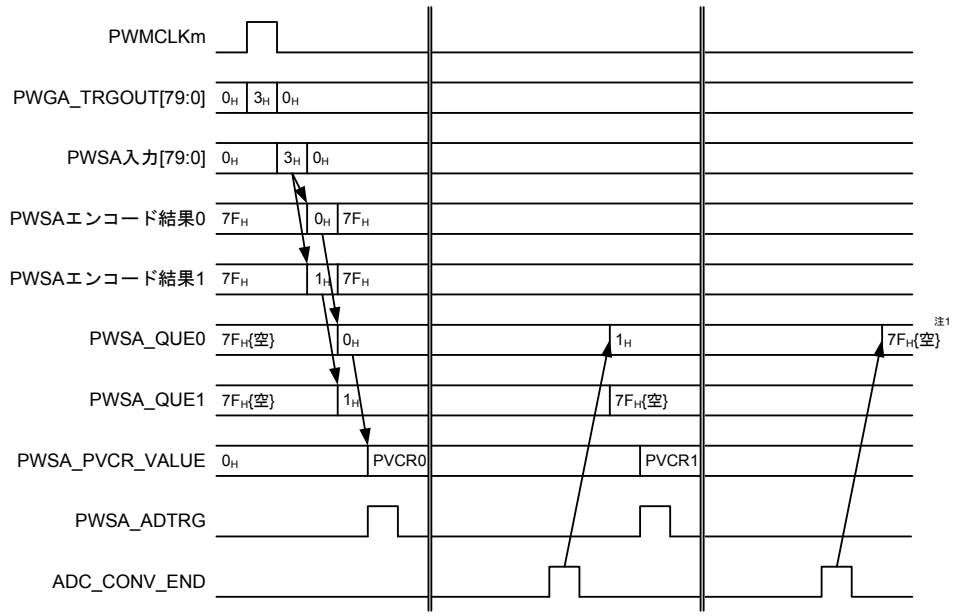


図 30.9 PWGA_TOUTn ＝ 100%出力波形

30.4.2 PWSA による A/D 変換トリガ発生時の動作波形

PWSA の動作例を以下に示します。



注 1. QUE0 は A/D 変換実行中の PWGA_TRG 番号を表します。$7F_H$ は初期値（AD 変換が実行されていない状態）を表しています。

図 30.10 PWSA の動作例

(1) PWGA のチャネル 0、1 で同時にトリガが発生。チャネル番号の小さいチャネル 0 が PWSAnQUE0、番号の大きいチャネル 1 が PWSAnQUE1 に格納される。PWSAnQUE0 に格納された値に対応する PWSAnPVCR00_01 の下位 16bit のデータを A/D コンバータに送信、A/D コンバータにトリガを出力する。
このときチャネル 1 に対応する A/D 変換は待機状態となるため、PWSAnSTR.PWSAnQNE ビットがセットされる。

(2) (1) で実行した A/D 変換の完了を受けて、PWSAnQUE1 のチャネル番号が PWSAnQUE0 に移動し、PWSAnQUE1 は空の状態となる。
続けて、(1) 同様に PWSAnQUE0 に格納された値に対応する PWSAnPVCR00_01 の上位 16bit のデータを A/D コンバータに送信、A/D コンバータにトリガを出力する。

(3) (2) で実行した A/D 変換の完了を受けて、PWSAnQUE0 は空の状態となる。

30.5　A/D コンバータ（ADCA）の PWM-Diag 関連機能

本節では、PWM-Diag 機能で使用する A/D コンバータについて説明します。

30.5.1　PWM-Diag 機能使用時の ADCA レジスタ

- PWSA の動作開始前に、以下のレジスタを使用して A/D コンバータの設定を行う必要があります。
  - PWM-Diag 用スキャングループ制御レジスタ（ADCAnPWDSGCR）
- PWM-Diag動作中は変換中のチャネルに対応するPWSAnPVCRx_yの値がA/Dコンバータの以下のレジスタに設定されます。
  - PWM-Diag 仮想チャネルレジスタ（ADCAnPWDVCR）
- A/D 変換完了後は、以下のレジスタをリードすることで変換結果を確認できます。
  - PWM-Diag データレジスタ（ADCAnPWDTSNDR）
  - PWM-Diag データ付帯情報レジスタ（ADCAnPWDDIR）
- 上限 / 下限エラー検出機能を使用することで、A/D 変換結果が期待値の範囲を超えていることを確認できます。上限 / 下限エラー検出機能は以下のレジスタで設定します。
  - 上限 / 下限エラーレジスタ（ADCAnULER）
- PWM-Diag スキャングループのスキャン終了フラグは以下のレジスタでクリアできます。
  - PWM-Diag スキャン終了フラグクリアレジスタ（ADCAnPWDSGSEFCR）

第 31 章 A/D コンバータ（ADCA）

本章では、A/D コンバータ（ADCA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、ADCA の機能、レジスタについて説明します。

31.1 RH850/F1M ADCA の特長

31.1.1 ユニット数とチャネル数

本製品は、以下のユニット数の ADCA を搭載しています。

表 31.1 ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	2		
名称	ADCAn (n = 0, 1)		

ADCAn ユニットには A/D 入力端子に対応した物理チャネルと A/D 変換結果の格納先に対応した仮想チャネルがあります。各製品が使用できるチャネル数は以下の通りです。

表 31.2 ADCAn のユニット構成と物理チャネルの対応

ユニット名（チャネル数）ADCAn		RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ADCA0	12 ビット変換用端子注 1	16		
	10 ビット変換用端子注 2	18		
ADCA1	12 ビット変換用端子注 1	8	16	
	10 ビット変換用端子注 2	4	8	20

注 1. 10 ビットモード選択時は 10 ビット変換用端子として使用可能です。

注 2. 12 ビットモード選択時は 10 ビット変換用端子の変換結果の下位 2 ビットをマスクして使用する必要があります。

表 31.3 ADCAn のユニット構成と仮想チャネルの対応

ユニット名（チャネル数）ADCAn	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ADCA0	50		
ADCA1	12	24	36

表 31.4 添字

添字	説明
n	本章では、ADCA の各ユニットを「n」（n = 0, 1）で識別します。たとえば、PWM-Diag 仮想チャネルレジスタ（ADCAnPWDVCR）のように記述しています。
m	本章では、ADCAn の物理チャネル（ユニット内チャネル）を「m」で識別しています。たとえば、ANInm のように記述しています。
j	本章では、ADCAn の仮想チャネルを「j」で識別しています。たとえば、仮想チャネルレジスタを ADCAnVCRj のように記述します。
x	本章では、ADCAn の各スキャングループ（SG）を「x」（x = 1 ～ 3）で識別します。たとえば、スキャングループ x 開始制御レジスタを ADCAnSGSTCRx のように記述します。
k	本章では、T&H 対応の物理チャネル番号を「k」で識別します（k = 0 ～ 5）。たとえば、T&H イネーブルレジスタ ADCAnTHER の T&H イネーブルビットを THkE のように記述します。

各製品の添字が示す値を以下に示します。

表 31.5 各製品の添字対応

各製品の添字対応		
144 pin	176 pin	233 pin
m = 0 ～ 27, 30 ～ 35 (ADCA0) m = 0 ～ 11 (ADCA1)	m = 0 ～ 27, 30 ～ 35 (ADCA0) m = 0 ～ 23 (ADCA1)	m = 0 ～ 27, 30 ～ 35 (ADCA0) m = 0 ～ 35 (ADCA1)
j = 0 ～ 49 (ADCA0) j = 0 ～ 11 (ADCA1)	j = 0 ～ 49 (ADCA0) j = 0 ～ 23 (ADCA1)	j = 0 ～ 49 (ADCA0) j = 0 ～ 35 (ADCA1)
x = 1 ～ 3		
k = 0 ～ 5		

31.1.2 レジスタベースアドレス

ADCAn のベースアドレスを以下の表に示します。

ADCAn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 31.6 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ADCA0_base>	FFF2 0000_H
<ADCA1_base>	FFD6 $D000_H$

31.1.3 クロック供給

ADCAn のクロック供給を以下の表に示します。

表 31.7 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ADCA0	ADCLK	CKSCLK_AADCA
	レジスタアクセスクロック	CKSCLK_AADCA
ADCA1	ADCLK	CKSCLK_IADCA
	レジスタアクセスクロック	CPUCLK2

31.1.4 割り込み要求

ADCAn の割り込み要求を以下の表に示します。

表 31.8 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号	その他トリガ信号
ADCA0				
INT_ADE	A/D エラー割り込み	56	—	モータ制御
INT_SG1	スキャングループ 1（SG1）終了割り込み	18	4	LPS
INT_SG2	スキャングループ 2（SG2）終了割り込み	19	5	LPS
INT_SG3	スキャングループ 3（SG3）終了割り込み	20, 32	6	LPS
ADC_CONV_END0	スキャングループ 4 (SG4）A/D 変換終了信号	—	7	—
ADCA1				
INT_ADE	A/D エラー割り込み	212	—	—
INT_SG1	スキャングループ 1（SG1）終了割り込み	213	103	—
INT_SG2	スキャングループ 2（SG2）終了割り込み	214	104	—
INT_SG3	スキャングループ 3（SG3）終了割り込み	215	105	—
ADC_CONV_END1	スキャングループ 4 (SG4）A/D 変換終了信号	—	106	—

31.1.5 リセット要因

ADCAn のリセット要因を以下に示します。ADCAn は以下のリセット要因で初期化されます。

表 31.9 リセット要因

ユニット名	リセット要因
ADCA0	DeepSTOP モード遷移時を除くリセット要因（AWORES）
ADCA1	すべてのリセット要因（ISORES）

31.1.6 外部入出力信号

ADCAn の外部入出力信号を以下の表に示します。

表 31.10 ADCA0 外部入出力信号 (1/2)

ユニット信号名	説明	ポート端子兼用信号名
ADCA0		
A0Vss	アナログ部のグランド端子	A0Vss
A0VREF	アナログ部の電源、基準電圧端子	A0VREF
ANI000	12 ビット分解能アナログ入力端子（T&H 対応）	ADCA0I0
ANI001	12 ビット分解能アナログ入力端子（T&H 対応）	ADCA0I1
ANI002	12 ビット分解能アナログ入力端子（T&H 対応）	ADCA0I2
ANI003	12 ビット分解能アナログ入力端子（T&H 対応）	ADCA0I3
ANI004	12 ビット分解能アナログ入力端子（T&H 対応）	ADCA0I4
ANI005	12 ビット分解能アナログ入力端子（T&H 対応）	ADCA0I5
ANI006	12 ビット分解能アナログ入力端子	ADCA0I6
ANI007	12 ビット分解能アナログ入力端子	ADCA0I7
ANI008	12 ビット分解能アナログ入力端子	ADCA0I8
ANI009	12 ビット分解能アナログ入力端子	ADCA0I9
ANI010	12 ビット分解能アナログ入力端子	ADCA0I10
ANI011	12 ビット分解能アナログ入力端子	ADCA0I11
ANI012	12 ビット分解能アナログ入力端子	ADCA0I12
ANI013	12 ビット分解能アナログ入力端子	ADCA0I13
ANI014	12 ビット分解能アナログ入力端子	ADCA0I14
ANI015	12 ビット分解能アナログ入力端子	ADCA0I15
ANI016	10 ビット分解能アナログ入力端子	ADCA0I0S
ANI017	10 ビット分解能アナログ入力端子	ADCA0I1S
ANI018	10 ビット分解能アナログ入力端子	ADCA0I2S
ANI019	10 ビット分解能アナログ入力端子	ADCA0I3S
ANI020	10 ビット分解能アナログ入力端子	ADCA0I4S
ANI021	10 ビット分解能アナログ入力端子	ADCA0I5S
ANI022	10 ビット分解能アナログ入力端子	ADCA0I6S
ANI023	10 ビット分解能アナログ入力端子	ADCA0I7S
ANI024	10 ビット分解能アナログ入力端子	ADCA0I8S
ANI025	10 ビット分解能アナログ入力端子	ADCA0I9S
ANI026	10 ビット分解能アナログ入力端子	ADCA0I10S
ANI027	10 ビット分解能アナログ入力端子	ADCA0I11S
ANI028	10 ビット分解能アナログ入力端子	注 1
ANI029	10 ビット分解能アナログ入力端子	注 1
ANI030	10 ビット分解能アナログ入力端子	ADCA0I14S
ANI031	10 ビット分解能アナログ入力端子	ADCA0I15S
ANI032	10 ビット分解能アナログ入力端子	ADCA0I16S
ANI033	10 ビット分解能アナログ入力端子	ADCA0I17S
ANI034	10 ビット分解能アナログ入力端子	ADCA0I18S
ANI035	10 ビット分解能アナログ入力端子	ADCA0I19S
ADCA0TRG0	外部トリガ端子（スキャングループ 1）注 2	ADCA0TRG0

表 31.10 ADCA0 外部入出力信号 (2/2)

ユニット信号名	説明	ポート端子兼用信号名
ADCA0TRG1	外部トリガ端子（スキャングループ 2）注 2	ADCA0TRG1
ADCA0TRG2	外部トリガ端子（スキャングループ 3）注 2	ADCA0TRG2
ADCA0SEL0	外付けアナログマルチプレクサ（MPX）出力端子 0	ADCA0SEL0
ADCA0SEL1	外付けアナログマルチプレクサ（MPX）出力端子 1	ADCA0SEL1
ADCA0SEL2	外付けアナログマルチプレクサ（MPX）出力端子 2	ADCA0SEL2

注 1. RH850/F1M は未対応です。
注 2. 外部トリガ端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は**「2.12 ノイズフィルタ & エッジレベル検出回路」**を参照してください。

注 意

ANI028（ADCA0I12S）、ANI029（ADCA0I13S）は RH850/F1M では未対応のため、書き込みおよび制御は行わないでください。

本章の説明にて、ANI028（ADCA0I12S）、ANI029（ADCA0I13S）を含むものについて、ANI028（ADCA0I12S）、ANI029（ADCA0I13S）は未対応であると読み替えてください。

表 31.11 ADCA1 外部入出力信号 (1/2)

ユニット信号名	説明	ポート端子兼用信号名
ADCA1		
A1Vss	アナログ部のグランド端子	A1Vss
A1VREF	アナログ部の電源、基準電圧端子	A1VREF
ANI100	12 ビット分解能アナログ入力端子	ADCA1I0
ANI101	12 ビット分解能アナログ入力端子	ADCA1I1
ANI102	12 ビット分解能アナログ入力端子	ADCA1I2
ANI103	12 ビット分解能アナログ入力端子	ADCA1I3
ANI104	12 ビット分解能アナログ入力端子	ADCA1I4
ANI105	12 ビット分解能アナログ入力端子	ADCA1I5
ANI106	12 ビット分解能アナログ入力端子	ADCA1I6
ANI107	12 ビット分解能アナログ入力端子	ADCA1I7
ANI108	12 ビット分解能アナログ入力端子	ADCA1I8
ANI109	12 ビット分解能アナログ入力端子	ADCA1I9
ANI110	12 ビット分解能アナログ入力端子	ADCA1I10
ANI111	12 ビット分解能アナログ入力端子	ADCA1I11
ANI112	12 ビット分解能アナログ入力端子	ADCA1I12
ANI113	12 ビット分解能アナログ入力端子	ADCA1I13
ANI114	12 ビット分解能アナログ入力端子	ADCA1I14
ANI115	12 ビット分解能アナログ入力端子	ADCA1I15
ANI116	10 ビット分解能アナログ入力端子	ADCA1I0S
ANI117	10 ビット分解能アナログ入力端子	ADCA1I1S
ANI118	10 ビット分解能アナログ入力端子	ADCA1I2S
ANI119	10 ビット分解能アナログ入力端子	ADCA1I3S
ANI120	10 ビット分解能アナログ入力端子	ADCA1I4S

表 31.11 ADCA1 外部入出力信号 (2/2)

ユニット信号名	説明	ポート端子兼用信号名
ANI121	10 ビット分解能アナログ入力端子	ADCA1I5S
ANI122	10 ビット分解能アナログ入力端子	ADCA1I6S
ANI123	10 ビット分解能アナログ入力端子	ADCA1I7S
ANI124	10 ビット分解能アナログ入力端子	ADCA1I8S
ANI125	10 ビット分解能アナログ入力端子	ADCA1I9S
ANI126	10 ビット分解能アナログ入力端子	ADCA1I10S
ANI127	10 ビット分解能アナログ入力端子	ADCA1I11S
ANI128	10 ビット分解能アナログ入力端子	ADCA1I12S
ANI129	10 ビット分解能アナログ入力端子	ADCA1I13S
ANI130	10 ビット分解能アナログ入力端子	ADCA1I14S
ANI131	10 ビット分解能アナログ入力端子	ADCA1I15S
ANI132	10 ビット分解能アナログ入力端子	ADCA1I16S
ANI133	10 ビット分解能アナログ入力端子	ADCA1I17S
ANI134	10 ビット分解能アナログ入力端子	ADCA1I18S
ANI135	10 ビット分解能アナログ入力端子	ADCA1I19S
ADCA1TRG0	外部トリガ端子 (スキャングループ 1) 注 1	ADCA1TRG0
ADCA1TRG1	外部トリガ端子 (スキャングループ 2) 注 1	ADCA1TRG1
ADCA1TRG2	外部トリガ端子 (スキャングループ 3) 注 1	ADCA1TRG2

注 1. 外部トリガ端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は**「2.12 ノイズフィルタ & エッジレベル検出回路」**を参照してください。

31.2 概要

31.2.1 機能概要

ADCA の特長を以下に示します。

- 10 ビットと 12 ビット分解能をサポート
- 逐次比較変換方式
- A/D 入力チャネル数
  ADCA0 は最大 34 チャネル、ADCA1 は最大 36 チャネルの A/D 変換ができます。
  また ADCA0 は、外付けアナログマルチプレクサ（MPX）の接続に対応しアナログ入力チャネルを拡張できます。
- トラック＆ホールド（T&H）回路を内蔵
  ADCA0 の ANI000 ～ ANI005（ADCA0I0 ～ ADCA0I5）はトラック＆ホールド回路を内蔵しています。最大 6 チャネルのアナログ入力を同時サンプリングできます。
- スキャングループによる A/D 変換制御
  スキャングループごとに A/D 変換チャネルや変換モード（スキャンモード）を設定することができます。
- 2 種類のスキャンモード
  マルチサイクルスキャンモード：指定された回数のスキャンを実行します。
  連続スキャンモード：スキャンを繰り返し実行します。
- 非同期／同期サスペンド＆レジューム機能
  スキャングループの処理中に別のスキャングループの処理を割り込むことができます。
- スキャングループの開始トリガ
  各スキャングループは、ソフトウェア / ハードウェア / 外部トリガにより処理を開始することができます。
- スキャン終了割り込みと DMA 転送をサポート
  各スキャングループは、終了仮想チャネルポインタが指す仮想チャネルの処理が終了もしくは任意の仮想チャネルが終了するたびに INTC に対して割り込み要求の発生、および DMA 転送 の起動ができます。
- A/D 変換チャネルリピート機能
  同じチャネルを 2 もしくは 4 回連続で A/D 変換し、結果をデータレジスタに格納します。
- 豊富なセーフティ機能
  A/D 変換回路の診断 、チャネルマルチプレクサの診断、オープン端子の診断、T&H 回路の診断、A/D 変換結果の上限 / 下限チェック、データレジスタのオーバライトチェック、データレジスタのリード＆クリア機能が整備されています。
- 1 チャネルあたりの最短 A/D 変換時間
  1.15μs（MPX 未使用時）
  2.30μs（MPX 使用時）

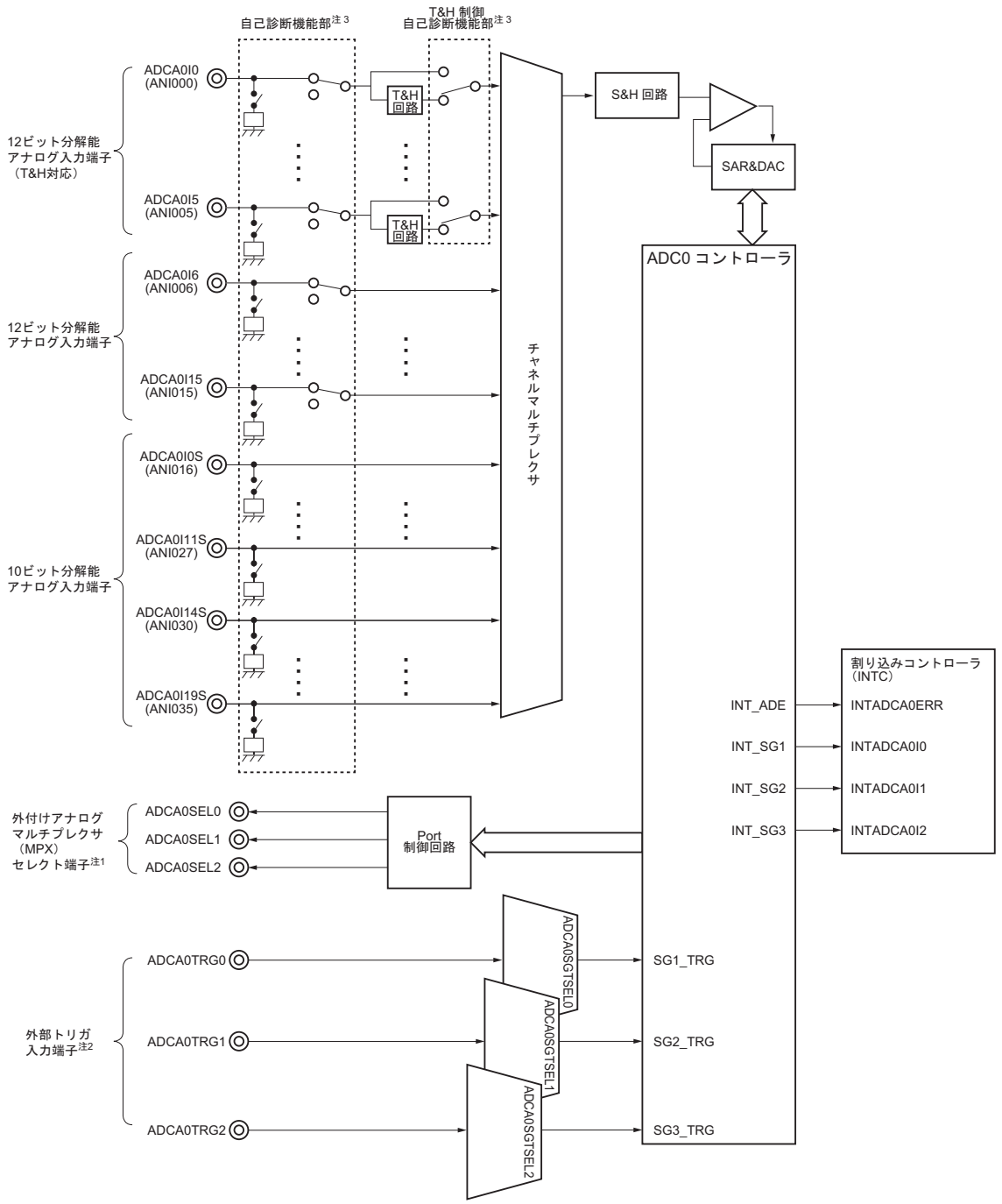
備　考

- 物理チャネル (ANInm)
  ADCA0, 1 各ユニットの A/D 入力チャネルを物理チャネルと呼びます。各ユニットの物理チャネルを ADCA0 では ANI0m（m = 0 ～ 27, 30 ～ 35）、ADCA1 では ANI1m（m = 0 ～ 35）で表します。
  RH850/F1M ポート兼用端子名では 12 ビット分解能の A/D 入力チャネルを ADCAnIm、10 ビット分解能の A/D 入力チャネルを ADCAnImS で表します。本章では物理チャネルと RH850/F1M のポート兼用端子名を併記しています。
- 仮想チャネル（ADCAnVCRj）
  ADCA0 に最大 50 チャネル、ADCA1 に最大 36 チャネル分の仮想チャネルがあります。仮想チャネルにはスキャン対象となる物理チャネルを指定します。
  仮想チャネル番号が小さい順番にスキャンしていきます。仮想チャネルを用いることで、スキャンする順番を任意に設定することができます。またスキャン結果は仮想チャネルに対応したデータレジスタ（ADCAnDRj）に格納されます。
- スキャングループ（SGx）
  3 系統のスキャングループ（SG1, 2, 3）、および 1 系統の PWM-Diag グループ（SG4）があります。A/D 変換はスキャングループ単位で行われ、各グループの変換チャネルは、変換開始および変換終了の仮想チャネル（スキャン範囲）を設定することで任意に選択できます。

31.2.2 ブロック図

ADCA0 のブロック図を**図 31.1** に、ADCA1 のブロック図を**図 31.2** に示します。

(1) ADCA0 の構成



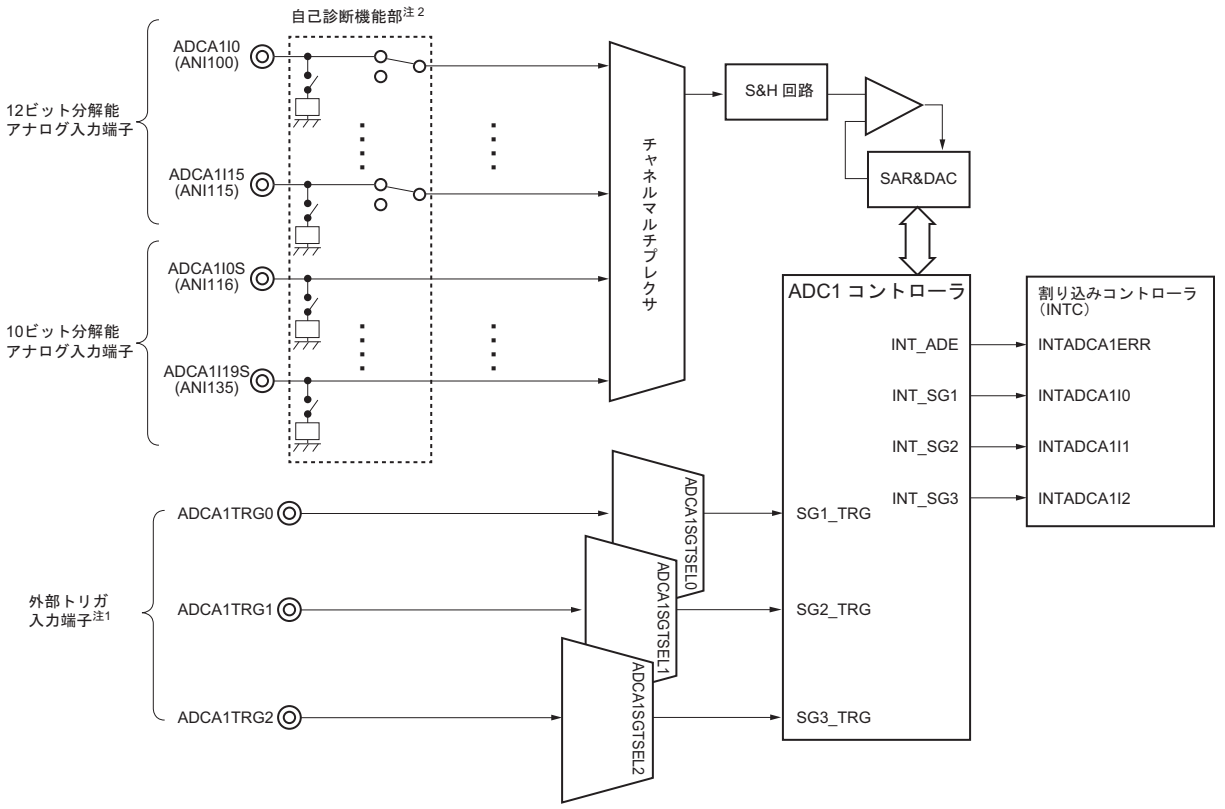
注 1. 外付けアナログマルチプレクサの接続例については**「図 31.4 外付けアナログマルチプレクサの接続例」**を参照してください。

注 2. 詳細は**「図 31.3 外部トリガ入力端子内部接続図」**を参照してください。

注 3. 自己診断機能部については**「31.5 自己診断機能」**を参照してください。

図 31.1 ADCA0 ブロック図

(2) ADCA1 の構成



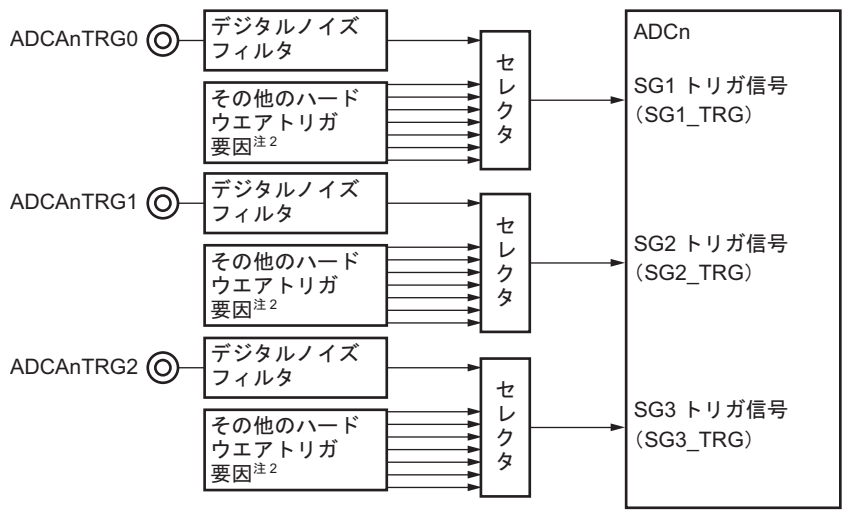
注 1. 詳細は**「図 31.3 外部トリガ入力端子内部接続図」**を参照してください。
注 2. 自己診断機能部については**「31.5 自己診断機能」**を参照してください。

図 31.2 ADCA1 ブロック図

(3) 外部トリガ入力端子の構成

外部トリガ入力端子は、ADCAn の起動要因であるハードウェアトリガの一要因です。

外部トリガ入力端子の構成を次に示します。



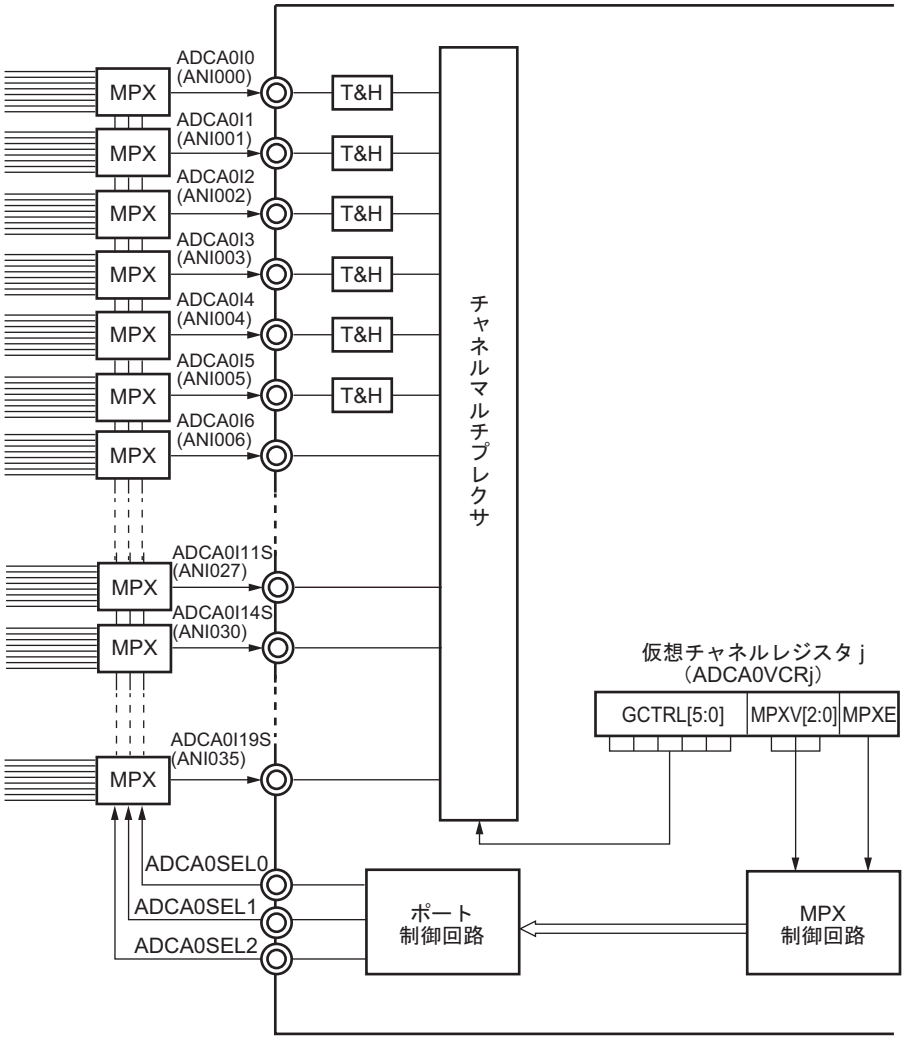
注 1. 外部トリガ入力端子によるトリガ受付条件の設定は「**2.12 ノイズフィルタ & エッジレベル検出回路**」を参照してください。

注 2. ハードウェアトリガ要因については「**表 31.47 A/D 変換ハードウェアトリガ一覧**」を参照してください。

図 31.3 外部トリガ入力端子内部接続図

(4) 外付けアナログマルチプレクサ（MPX）の構成

外付けアナログマルチプレクサ（MPX）は ADCA0I0 ～ ADCA0I19S の任意の入力信号端子への接続が可能です。外付けアナログマルチプレクサの接続例を次に示します。



備考 外付けアナログマルチプレクサ (MPX) を使用時、T&H 機能は使用できません。

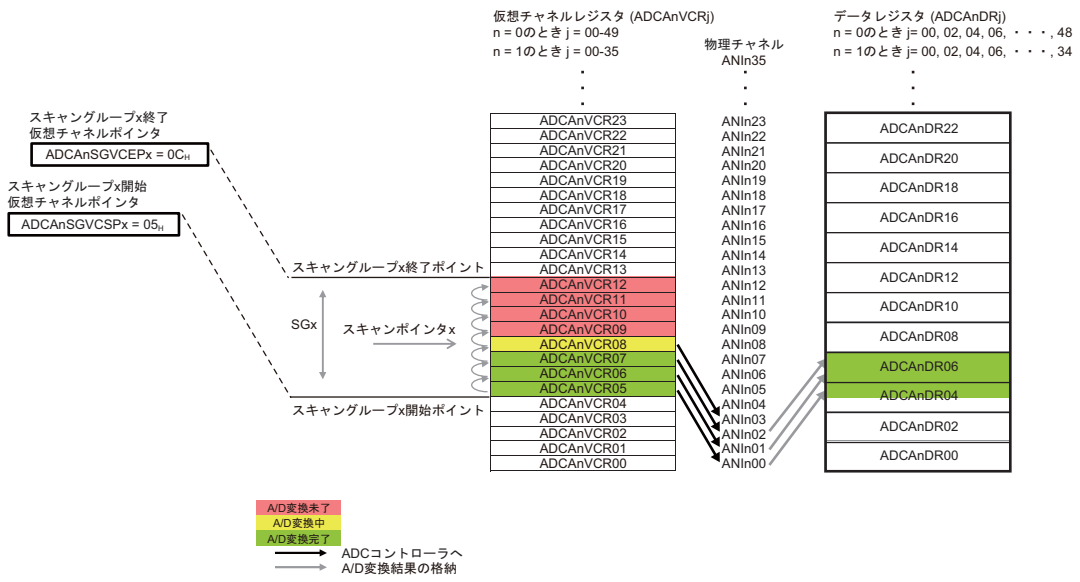
図 31.4 外付けアナログマルチプレクサの接続例

(5) 仮想チャネル

仮想チャネルはスキャン対象となる物理チャネルを指定します。

仮想チャネルは ADCAnVCRj レジスタにて制御します。

仮想チャネルの使用例を次に示します。



例) 仮想チャネル 5 チャネル目から 12 チャネル目をスキャングループ x でスキャンを開始したとき

1. ADCAnVCRj レジスタには仮想チャネル j がどの物理チャネル (ANInm) を A/D 変換するかを設定します。A/D 変換する端子の順番 を自由に設定することができます（ここでは ANIn0 から ANIn7 を選択した場合の例を示します）)
2. スキャンポインタ x は " スキャングループ x 開始ポイント " から " スキャングループ x 終了ポイント " まで順次 ADCAnVCRj レジスタに設定された物理チャネルを読み取って、読み取った物理アドレスに対して A/D 変換を開始します。
3. 仮想チャネル j のスキャン結果はデータレジスタ j に格納されます。

図 31.5 仮想レジスタの使用例

31.3 レジスタ

31.3.1 レジスター覧

ADCA のレジスター覧を以下の表に示します。

<ADCAn_base> は「**31.1.2 レジスタベースアドレス**」を参照してください。

表 31.12 レジスター覧 (1/2)

モジュール名	レジスタ名	略号	アドレス
ADCA 固有レジスタ（仮想チャネル）			
ADCAn	仮想チャネルレジスタ j	ADCAnVCRj	<ADCAn_base> ＋ j × 4_H
ADCAn	PWM-Diag 仮想チャネルレジスタ	ADCAnPWDVCR	<ADCAn_base> ＋ $0F4_H$
ADCAn	データレジスタ j	ADCAnDRj	<ADCAn_base> ＋ 100_H ＋ j × 2_H
ADCAn	データ付帯情報レジスタ j	ADCAnDIRj	<ADCAn_base> ＋ 200_H ＋ j × 4_H
ADCAn	PWM-Diag データレジスタ	ADCAnPWDTSNDR	<ADCAn_base> ＋ 178_H
ADCAn	PWM-Diag データ付帯情報レジスタ	ADCAnPWDDIR	<ADCAn_base> ＋ $2F4_H$
ADCA 固有レジスタ（制御）			
ADCAn	A/D 強制終了レジスタ	ADCAnADHALTR	<ADCAn_base> ＋ 300_H
ADCAn	A/D 制御レジスタ	ADCAnADCR	<ADCAn_base> ＋ 304_H
ADCAn	MPX カレントレジスタ	ADCAnMPXCURR	<ADCAn_base> ＋ $30C_H$
ADCAn	T&H サンプリング開始制御レジスタ	ADCAnTHSMPSTCR	<ADCAn_base> ＋ 314_H
ADCAn	T&H 制御レジスタ	ADCAnTHCR	<ADCAn_base> ＋ 318_H
ADCAn	T&H グループ A ホールド開始制御レジスタ	ADCAnTHAHLDSTCR	<ADCAn_base> ＋ $31C_H$
ADCAn	T&H グループ B ホールド開始制御レジスタ	ADCAnTHBHLDSTCR	<ADCAn_base> ＋ 320_H
ADCAn	T&H グループ A 制御レジスタ	ADCAnTHACR	<ADCAn_base> ＋ 324_H
ADCAn	T&H グループ B 制御レジスタ	ADCAnTHBCR	<ADCAn_base> ＋ 328_H
ADCAn	T&H イネーブルレジスタ	ADCAnTHER	<ADCAn_base> ＋ $32C_H$
ADCAn	T&H グループ選択レジスタ	ADCAnTHGSR	<ADCAn_base> ＋ 330_H
ADCAn	サンプリング制御レジスタ	ADCAnSMPCR	<ADCAn_base> ＋ 380_H
ADCA 固有レジスタ（セーフティ関連）			
ADCAn	セーフティ制御レジスタ	ADCAnSFTCR	<ADCAn_base> ＋ 334_H
ADCAn	上限／下限テーブルレジスタ 0	ADCAnULLMTBR0	<ADCAn_base> ＋ 338_H
ADCAn	上限／下限テーブルレジスタ 1	ADCAnULLMTBR1	<ADCAn_base> ＋ $33C_H$
ADCAn	上限／下限テーブルレジスタ 2	ADCAnULLMTBR2	<ADCAn_base> ＋ 340_H
ADCAn	エラークリアレジスタ	ADCAnECR	<ADCAn_base> ＋ 344_H
ADCAn	上限下限エラーレジスタ	ADCAnULER	<ADCAn_base> ＋ 348_H
ADCAn	オーバライトエラーレジスタ	ADCAnOWER	<ADCAn_base> ＋ $34C_H$
スキャングループ固有レジスタ			
ADCAn	スキャングループ x 開始制御レジスタ	ADCAnSGSTCRx	<ADCAn_base> ＋ x × 40_H ＋ 400_H
ADCAn	PWM-Diag 用スキャングループ制御レジスタ	ADCAnPWDSGCR	<ADCAn_base> ＋ 508_H
ADCAn	スキャングループ x 制御レジスタ	ADCAnSGCRx	<ADCAn_base> ＋ x × 40_H ＋ 408_H
ADCAn	スキャングループ x 開始仮想チャネルポインタ	ADCAnSGVCSPx	<ADCAn_base> ＋ x × 40_H ＋ $40C_H$
ADCAn	スキャングループ x 終了仮想チャネルポインタ	ADCAnSGVCEPx	<ADCAn_base> ＋ x × 40_H ＋ 410_H
ADCAn	スキャングループ x マルチサイクルレジスタ	ADCAnSGMCYCRx	<ADCAn_base> ＋ x × 40_H ＋ 414_H
ADCAn	PWM-Diag スキャン終了フラグクリアレジスタ	ADCAnPWDSGSEFCR	<ADCAn_base> ＋ 518_H
ADCAn	スキャングループ x スキャン終了フラグクリアレジスタ	ADCAnSGSEFCRx	<ADCAn_base> ＋ x × 40_H ＋ 418_H

表 31.12 レジスタ一覧 (2/2)

モジュール名	レジスタ名	略号	アドレス
ADCAn	スキャングループステータスレジスタ	ADCAnSGSTR	<ADCAn_base> ＋ 308_H
ハードウェアトリガ固有レジスタ			
ADCAn	スキャングループ x 開始トリガ制御レジスタ	ADCAnSGTSELx	<ADCAn_base> ＋ x × 40_H ＋ $41C_H$
自己診断固有レジスタ			
ADCAn	自己診断制御レジスタ 0	ADCAnDGCTL0	<ADCAn_base> ＋ 350_H
ADCAn	自己診断制御レジスタ 1	ADCAnDGCTL1	<ADCAn_base> ＋ 354_H
ADCAn	プルダウン制御レジスタ 1	ADCAnPDCTL1	<ADCAn_base> ＋ 358_H
ADCAn	プルダウン制御レジスタ 2	ADCAnPDCTL2	<ADCAn_base> ＋ $35C_H$
エミュレーション固有レジスタ			
ADCAn	エミュレーション制御レジスタ	ADCAnEMU	<ADCAn_base> ＋ 388_H

31.3.2 ADCA 固有レジスタ

ADCA0 と ADCA1 で個別に備えるレジスタを説明します。

31.3.2.1 ADCAnVCRj — 仮想チャネルレジスタ j

仮想チャネルを制御するレジスタです。

アクセス ADCAnVCRj は 32 ビット単位でリード／ライト可能です。
ADCAnVCRjL は 16 ビット単位でリード／ライト可能です。
ADCAnVCRjLL および ADCAnVCRjLH は 8 ビット単位でリード／ライト可能です。

アドレス ADCAnVCRj：<ADCAn_base> + j × 4_H
ADCAnVCRjL：<ADCAn_base> + j × 4_H
ADCAnVCRjLL：<ADCAn_base> + j × 4_H
ADCAnVCRjLH：<ADCAn_base> + j × 4_H + 1_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MPXE 注1	MPXV[2:0] 注1			—	—	CNVCLS 注2	ADIE	ULS[1:0]		GCTRL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.13 ADCAnVCRj レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	MPXE 注1	MPX イネーブルビット 0：MPX の使用を禁止します。 A/D 変換する前にウエイト を挿入しません 1：MPX の使用を許可します。仮想チャネルの開始時に MPXV[2:0] を ADCAnSEL0-2 から出力します。A/D 変換する前に 1A/D 変換時間のウエイト を挿入します
14 ～ 12	MPXV[2:0] 注1	外付けアナログマルチプレクサに転送する MPX の値を設定する。
11、10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	CNVCLS 注2	自己診断時の A/D 変換種別選択ビット 0：自己診断時にホールド値 A/D 変換 1：自己診断時に通常 A/D 変換 ただし、自己診断時に通常 A/D 変換を実施する場合で、かつ MPX を使用する場合（MPXE をセット）には、A/D 変換する前に、A/D 変換時間のウエイトを挿入します。 一方、自己診断時にホールド値 A/D 変換を実施する場合は MPX は使用できません。

表 31.13 ADCAnVCRj レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	ADIE	A/D 変換終了割り込みイネーブルビット 0：SGx の仮想チャネル j の A/D 変換終了でスキャングループ x 終了割り込み（INT_SGx）を発生しない 1：SGx の仮想チャネル j の A/D 変換終了でスキャングループ x 終了割り込み（INT_SGx）を発生する
7、6	ULS[1:0]	上限値 / 下限値テーブル選択ビット 00：上限／下限のチェックをしない 01：ADCAnULLMTBR0 で上限／下限のチェックをする 10：ADCAnULLMTBR1 で上限／下限のチェックをする 11：ADCAnULLMTBR2 で上限／下限のチェックをする
5 ～ 0	GCTRL[5:0]	物理チャネル選択ビット： 0_H ～ 23_H ：対応する ANIn を選択 24_H ：A/D コンバータの診断チャネルを選択 その他：設定禁止 備考本ビットは対応する物理チャネルを設定します。「**表 31.5 各製品の添字対応**」、「**表 31.10 ADCA0 外部入出力信号**」、「**表 31.11 ADCA1 外部入出力信号**」を参照してください。

注 1. 本ビットは ADCA0 のみ対応しています。ADCA1 においては、ライトする場合はリセット後の値を書いてください。

注 2. 本ビットは j = 33-35 のときのみ対応しています。それ以外の場合、ライトする場合はリセット後の値を書いてください。

注 意

誤動作を防ぐため、ADCAnVCRj の設定は対象スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ対象スキャングループの TRGMD が 0 のとき、行ってください。

表 31.14 物理チャネルの選択 (1/2)

GCTRL5	GCTRL4	GCTRL3	GCTRL2	GCTRL1	GCTRL0	選択されるアナログ入力端子
0	0	0	0	0	0	ADCAnI0（物理チャネル ANIn00）
0	0	0	0	0	1	ADCAnI1（物理チャネル ANIn01）
0	0	0	0	1	0	ADCAnI2（物理チャネル ANIn02）
0	0	0	0	1	1	ADCAnI3（物理チャネル ANIn03）
0	0	0	1	0	0	ADCAnI4（物理チャネル ANIn04）
0	0	0	1	0	1	ADCAnI5（物理チャネル ANIn05）
0	0	0	1	1	0	ADCAnI6（物理チャネル ANIn06）
0	0	0	1	1	1	ADCAnI7（物理チャネル ANIn07）
0	0	1	0	0	0	ADCAnI8（物理チャネル ANIn08）
0	0	1	0	0	1	ADCAnI9（物理チャネル ANIn09）
0	0	1	0	1	0	ADCAnI10（物理チャネル ANIn10）
0	0	1	0	1	1	ADCAnI11（物理チャネル ANIn11）
0	0	1	1	0	0	ADCAnI12（物理チャネル ANIn12）
0	0	1	1	0	1	ADCAnI13（物理チャネル ANIn13）
0	0	1	1	1	0	ADCAnI14（物理チャネル ANIn14）
0	0	1	1	1	1	ADCAnI15（物理チャネル ANIn15）
0	1	0	0	0	0	ADCAnI0S（物理チャネル ANIn16）
0	1	0	0	0	1	ADCAnI1S（物理チャネル ANIn17）
0	1	0	0	1	0	ADCAnI2S（物理チャネル ANIn18）
0	1	0	0	1	1	ADCAnI3S（物理チャネル ANIn19）
0	1	0	1	0	0	ADCAnI4S（物理チャネル ANIn20）

表 31.14 物理チャネルの選択 (2/2)

GCTRL5	GCTRL4	GCTRL3	GCTRL2	GCTRL1	GCTRL0	選択されるアナログ入力端子
0	1	0	1	0	1	ADCAnI5S（物理チャネル ANIn21）
0	1	0	1	1	0	ADCAnI6S（物理チャネル ANIn22）
0	1	0	1	1	1	ADCAnI7S（物理チャネル ANIn23）
0	1	1	0	0	0	ADCAnI8S（物理チャネル ANIn24）
0	1	1	0	0	1	ADCAnI9S（物理チャネル ANIn25）
0	1	1	0	1	0	ADCAnI10S（物理チャネル ANIn26)
0	1	1	0	1	1	ADCAnI11S（物理チャネル ANIn27）
0	1	1	1	0	0	ADCAnI12S（物理チャネル ANIn28）注 1
0	1	1	1	0	1	ADCAnI13S（物理チャネル ANIn29）注 1
0	1	1	1	1	0	ADCAnI14S（物理チャネル ANIn30）
0	1	1	1	1	1	ADCAnI15S（物理チャネル ANIn31）
1	0	0	0	0	0	ADCAnI16S（物理チャネル ANIn32）
1	0	0	0	0	1	ADCAnI17S（物理チャネル ANIn33）
1	0	0	0	1	0	ADCAnI18S（物理チャネル ANIn34）
1	0	0	0	1	1	ADCAnI19S（物理チャネル ANIn35）
1	0	0	1	0	0	A/D 変換回路の診断チャネル
上記以外						設定禁止

注 1. ADCA1 のみが対象で、ADCA0 では設定禁止

31.3.2.2 ADCAnPWDVCR — PWM-Diag 仮想チャネルレジスタ

PWM-Diag（SG4）の仮想チャネル設定（PWSAnPVCRx_y. レジスタ設定）を示すレジスタです。

アクセス ADCAnPWDVCR は 32 ビット単位でリードのみ可能です。
ADCAnPWDVCRL は 16 ビット単位でリードのみ可能です。
ADCAnPWDVCRLL は 8 ビット単位でリードのみ可能です。
ADCAnPWDVCRLH は 8 ビット単位でリードのみ可能です。

アドレス ADCAnPWDVCR：<ADCAn_base> + $0F4_H$
ADCAnPWDVCRL：<ADCAn_base> + $0F4_H$
ADCAnPWDVCRLL：<ADCAn_base> + $0F4_H$
ADCAnPWDVCRLH：<ADCAn_base> +$0F4_H$ + 1_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MPXE 注 1	MPXV[2:0] 注 1			—	—	—	—	ULS[1:0]		GCTRL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.15 ADCAnPWDVCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。
15	MPXE 注 1	PWSAnPVCRx_y.PWSAnVRDTy[27]（奇数チャネル）、または PWSAnPVCRx_y.PWSAnVRDTx[11]（偶数チャネル）ビットにより以下の設定を行います。 MPX イネーブルビット 外付けアナログマルチプレクサを使用するときにセットします。 0：MPX の使用を禁止します。 1：MPX の使用を許可します。仮想チャネルの開始時に MPXV[2:0] を ADCAnSEL0-2 から出力します。A/D 変換する前に 1A/D 変換時間のウエイトを挿入します
14 ～ 12	MPXV[2:0] 注 1	PWSAnPVCRx_y.PWSAnVRDTy[26:24]（奇数チャネル）、または PWSAnPVCRx_y.PWSAnVRDTx[10:8]（偶数チャネル）ビットにより、外付けアナログマルチプレクサに転送する MPX の値を設定します。
11 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。
7 ～ 6	ULS[1:0]	PWSAnPVCRx_y.PWSAnVRDTy[23:22]（奇数チャネル）、または PWSAnPVCRx_y.PWSAnVRDTx[7:6]（偶数チャネル）により以下の設定を行います。 上限値 / 下限値テーブル選択ビット 00：上限／下限のチェックをしない 01：ADCAnULLMTBR0 で上限／下限のチェックをする 10：ADCAnULLMTBR1 で上限／下限のチェックをする 11：ADCAnULLMTBR2 で上限／下限のチェックをする
5 ～ 0	GCTRL[5:0]	PWSAnPVCRx_y.PWSAnVRDTy[21:16]（奇数チャネル）、または PWSAnPVCRx_y.PWSAnVRDTx[5:0]（偶数チャネル）により以下の設定を行います。 物理チャネル選択ビット 仮想チャネル j に割り当てる、物理チャネルを指定します。 チャネルの選択は、**「表 31.14 物理チャネルの選択」**を参照してください。

注 1. 本ビットは ADCA0 のみ対応しています。
ADCA1 においては、リードした場合はリセット後の値が読めます。

31.3.2.3 ADCAnDRj — データレジスタ j

ADCAnVCRj、ADCAnVCR (j+1) に対応した A/D 変換結果を格納する 32/16 ビットの読み出し専用レジスタです。A/D 変換結果は、上位に ADCAnVCR (j+1) の変換結果 (ADCAnDR(j+1)) を格納し、下位に ADCAnVCRj の変換結果 (ADCAnDRj) を格納します。

アクセス ADCAnDRj は 32 ビット単位でリードのみ可能です。
ADCAnDRjL, ADCAnDRjH は 16 ビット単位でリードのみ可能です。

アドレス ADCAnDRj：<ADCAn_base> + 100_H + j × 2_H
ADCAnDRjL：<ADCAn_base> + 100_H + j × 2_H
ADCAnDRjH：<ADCAn_base> + 100_H + j × 2_H+ 2_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DR(j+1)[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRj[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.16 ADCAnDRj レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	DR(j+1)[15:0]	A/D 変換結果データを格納する。 （ADCAnVCR(j+1) で設定されたチャネルに対しての A/D 変換結果を転送する）
15 ～ 0	DRj[15:0]	A/D 変換結果データを格納する。 （ADCAnVCRj で設定されたチャネルに対しての A/D 変換結果を転送する）

注 意

チャネル数が奇数の場合、ADCAnDRj レジスタの上位ビット (DR(j+1)[15:0] は使用できません。
また、仮想チャネル 33、34、35 を自己診断専用で使用する場合、チャネル 32 用の下位ビット (DRj[15:0]) は使用不可になります。

備 考

1. j = 00, 02, …, 46, 48（ADCA0 の場合）
   j = 00, 02, …, 32, 34（ADCA1 の場合）
2. 本レジスタのデータフォーマットは、ADCAnADCR.CRAC、ADCAnADCR.CTYP を制御することで、以下に示すデータフォーマットとなります。
   - ADCAnADCR.CTYP= “0”、ADCAnADCR.CRAC = “0” →右詰め
     → ADCAnVCR(j+1) の A/D 変換結果は bit27-16 に、ADCAnVCRj の A/D 変換結果は bit11-0 に転送される。
   - ADCAnADCR.CTYP= “0”、ADCAnADCR.CRAC = “1” →左詰め
     → ADCAnVCR(j+1) の A/D 変換結果は bit31-bit20 に、ADCAnVCRj の A/D 変換結果は bit15-4 に転送される。
   - ADCAnADCR.CTYP= “1”、ADCAnADCR.CRAC = “0” →右詰め
     → ADCAnVCR(j+1) の A/D 変換結果は bit25-16 に、ADCAnVCRj の A/D 変換結果は bit9-0 に転送される。
   - ADCAnADCR.CTYP= “1”、ADCAnADCR.CRAC = “1” →左詰め
     → ADCAnVCR(j+1) の A/D 変換結果は bit31-22 に、ADCAnVCRj の A/D 変換結果は bit15-6 に転送される。

31.3.2.4 ADCAnDIRj — データ付帯情報レジスタ j

ADCAnDRj の A/D 変換結果と A/D 変換値に付帯する情報を格納する 32 ビットの読み出し専用のレジスタです。

A/D 変換結果は ADCAnDRj の値が転送され、A/D 変換値に付帯する情報は、ライトフラグ (WFLG)、MPX 値 (MPXV[2:0])、物理チャネル (ID[5:0]) が転送されます。ADCAnDIRj に格納される A/D 変換結果は、ADCAnDRj レジスタのデータフォーマットと同等です。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ADCAn_base> + 200_H + j × 4_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MPXE 注1	MPXV[2:0] 注1			—	—	WFLG	—	—	—	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.17 ADCAnDIRj レジスタの内容

ビット位置	ビット名	機能
31	MPXE 注1	MPX イネーブルフラグビット 0：MPX 機能を使用していない 1：MPX 機能を使用している
30 ～ 28	MPXV[2:0] 注1	MPX 値を格納します。 格納される MPX 値は、直前の変換結果の MPX 値となります。
27、26	予約ビット	リードした場合はリセット後の値が読めます。
25	WFLG	ライトフラグ 0：ADCAnDRj もしくは ADCAnDIRj をリードした（読み出されたときにクリア） 1：ADCAnDRj に A/D 変換値を格納した（格納したときにセット）
24 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ～ 16	ID[5:0]	変換結果に対応する物理チャネル番号（GCTRL）を格納します。 格納される物理チャネル番号は、直前の変換結果に対応する物理チャネル番号です。
15 ～ 0	DR[15:0]	A/D 変換結果を格納します。

注 1. 本ビットは ADCA0 のみ対応しています。ADCA1 においては、リードした場合はリセット後の値が読めます。

31.3.2.5 ADCAnPWDTSNDR — PWM-Diag データレジスタ

PWM-Diag の A/D 変換結果を格納する 32/16 ビットの読み出し専用レジスタです。変換結果は、上位に PWM-Diag の変換結果 (PWDDR) を格納します。

アクセス ADCAnPWDTSNDR は 32 ビット単位でリードのみ可能です。
ADCAnPWDTSNDRH は 16 ビット単位でリードのみ可能です。

アドレス ADCAnPWDTSNDR：<ADCAn_base> + 178_H
ADCAnPWDTSNDRH：<ADCAn_base> + $17A_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWDDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.18 ADCAnPWDTSNDR レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	PWDDR[15:0]	PWM-Diag A/D 変換結果データを格納する。
15 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。

備　考

本レジスタのデータフォーマットは、ADCAnADCR.CRAC、ADCAnADCR.CTYP を制御することで、以下に示すデータフォーマットとなります。

- ADCAnADCR.CTYP = “0”、ADCAnADCR.CRAC = “0” →右詰め
  → ADCAnPWDVCR の A/D 変換結果は bit27-16 に転送される。
- ADCAnADCR.CTYP = “0”、ADCAnADCR.CRAC = “1” →左詰め
  → ADCAnPWDVCR の A/D 変換結果は bit31-bit20 に転送される。
- ADCAnADCR.CTYP = “1”、ADCAnADCR.CRAC = “0” →右詰め
  → ADCAnPWDVCR の A/D 変換結果は bit25-16 に転送される。
- ADCAnADCR.CTYP = “1”、ADCAnADCR.CRAC = “1” →左詰め
  → ADCAnPWDVCR の A/D 変換結果は bit31-22 に転送される。

31.3.2.6 ADCAnPWDDIR — PWM-Diag データ付帯情報レジスタ

PWM-Diag 使用時の A/D 変換結果と A/D 変換値に付帯する情報を格納する 32 ビットの読み出し専用のレジスタです。

A/D 変換結果は ADCAnPWDTSNDR.PWDDR[15:0] の値が転送され、A/D 変換値に付帯する情報は、ライトフラグ (WFLG)、MPX 値 (MPXV[2:0])、物理チャネル (ID[5:0]) が転送されます。ADCAnPWDDIR に格納される A/D 変換結果は、ADCAnPWDTSNDR レジスタのデータフォーマットと同等です。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ADCAn_base> + $2F4_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MPXE 注1	MPXV[2:0] 注1			—	—	WFLG	—	—	—	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PWDDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.19 ADCAnPWDDIR レジスタの内容

ビット位置	ビット名	機能
31	MPXE 注1	MPX イネーブルフラグビット 0：MPX 機能を使用していない 1：MPX 機能を使用している
30 ～ 28	MPXV[2:0] 注1	MPX 値を格納します。 格納される MPX 値は、直前の変換結果の MPX 値となります。
27 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	WFLG	ライトフラグ 0：ADCAnPWDTSNDR もしくは、ADCAnPWDDIR をリードした（読み出されたときにクリア） 1：ADCAnPWDTSNDR に A/D 変換値を格納した（格納したときにセット）
24 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ～ 16	ID[5:0]	変換結果に対応する物理チャネル番号（GCTRL）を格納します。 格納される物理チャネル番号は、直前の変換結果に対応する物理チャネル番号です。
15 ～ 0	PWDDR[15:0]	PWM-Diag A/D 変換結果を格納します。

注 1. 本ビットは ADCA0 のみ対応しています。
ADCA1 においては、リードした場合はリセット後の値が読めます。

31.3.2.7 ADCAnADHALTR — A/D 強制終了レジスタ

ADCAn のすべての SG の変換を終了するレジスタです。読み出しは常に 0 です。

アクセス ADCAnADHALTR は 32 ビット単位でライトのみ可能です。
ADCAnADHALTRL は 16 ビット単位でライトのみ可能です。
ADCAnADHALTRLL は 8 ビット単位でライトのみ可能です。

アドレス ADCAnADHALTR：<ADCAn_base> + 300_H
ADCAnADHALTRL：<ADCAn_base> + 300_H
ADCAnADHALTRLL：<ADCAn_base> + 300_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HALT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.20 ADCAnADHALTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HALT	ADCA 強制終了トリガ 全スキャングループを終了かつ初期化し、ADCA をアイドル状態にします。 0 の書き込み：機能なし 1 の書き込み：終了する

31.3.2.8 ADCAnADCR — A/D 制御レジスタ

ADCAn の共通制御を行うレジスタです。

アクセス ADCAnADCR は 32 ビット単位でリード／ライト可能です。
ADCAnADCRL は 16 ビット単位でリード／ライト可能です。
ADCAnADCRLL は 8 ビット単位でリード／ライト可能です。

アドレス ADCAnADCR：<ADCAn_base> + 304_H
ADCAnADCRL：<ADCAn_base> + 304_H
ADCAnADCRLL：<ADCAn_base> + 304_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DGON	—	CRAC	CTYP	—	—	SUSMTD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R	R/W	R/W

表 31.21 ADCAnADCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	DGON	自己診断電圧スタンバイ制御ビット 0：自己診断電圧回路を OFF します。 1：自己診断電圧回路を ON、または基準電圧の更新を行います。
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CRAC	アライメント制御ビット 0：PWDDR, ADCAnDRj への変換結果の格納を右詰めにする。 1：PWDDR, ADCAnDRj への変換結果の格納を左詰めにする。
4	CTYP	12/10 ビット選択モードビット 0：12 ビットモード 1：10 ビットモード
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	SUSMTD [1:0]	サスペンドモード選択ビット 高優先スキャングループが低優先スキャングループに割り込むときのサスペンド方式を選択します。 00：高優先度 SG および SVSTOP が割り込むとき同期サスペンド 01：SG1 に高優先度 SG(SG2,3,4) と SVSTOP が割り込むときは非同期サスペンド SG2 に高優先度 SG(SG3,4) と SVSTOP が割り込むときは同期サスペンド SG3 に高優先度 SG(SG4) と SVSTOP が割り込むときは同期サスペンド 10：高優先度 SG および SVSTOP が割り込むとき非同期サスペンド 11：設定禁止

注 意

誤動作を防ぐため、ADCAnADCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備　考

- 同期サスペンド：
  低優先 SG を処理中に高優先 SG の要求が発生したとき、A/D 変換中のチャネルの処理が終了してから高優先 SG の A/D 変換を実行します。高優先 SG の処理が終了後、低優先 SG の A/D チャネルの変換を再開します。
- 非同期サスペンド：
  低優先 SG を処理中に高優先 SG の要求が発生したとき、A/D 変換中のチャネルの処理を中断し高優先 SG の A/D 変換を実行します。高優先 SG の処理が終了後、低優先 SG の中断した A/D チャネルから変換を再開します。

詳細は**「図 31.21　同期サスペンド & レジューム動作例」**と**「図 31.22　非同期サスペンド & レジューム動作例」**を参照してください。

31.3.2.9 ADCAnMPXCURR — MPX カレントレジスタ

外付けアナログマルチプレクサ用の MPX 値を格納するレジスタです。

アクセス ADCAnMPXCURR は 32 ビット単位でリードのみ可能です。
ADCAnMPXCURRL は 16 ビット単位でリードのみ可能です。
ADCAnMPXCURRLL は 8 ビット単位でリードのみ可能です。

アドレス ADCAnMPXCURR：<ADCAn_base> + $30C_H$
ADCAnMPXCURRL：<ADCAn_base> + $30C_H$
ADCAnMPXCURRLL：<ADCAn_base> + $30C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MPXCUR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.22 ADCAnMPXCURR レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ～ 0	MPXCUR[2:0]	カレントの MPX 値を格納します。 ADCAnVCRj.MPXE=1 に設定し、仮想チャネルの変換を開始した場合は、ADCAnVCRj.MPXV[2:0] の設定値を格納します。 ADCAnPWDVCR.MPXE=1 に設定し、仮想チャネルの変換を開始した場合は、ADCAnPWDVCR.MPXV[2:0] の設定値を格納します。

備 考

RH850/F1M では ADCA0 のみ対応しています。

31.3.2.10 ADCAnTHSMPSTCR — T&H サンプリング開始制御レジスタ

全 T&Hk（k = 0-5）のサンプリング開始を制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnTHSMPSTCR は、32 ビット単位でライトのみ可能です。
ADCAnTHSMPSTCRL は、16 ビット単位でライトのみ可能です。
ADCAnTHSMPSTCRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnTHSMPSTCR：<ADCAn_base> + 314_H
ADCAnTHSMPSTCRL：<ADCAn_base> + 314_H
ADCAnTHSMPSTCRLL：<ADCAn_base> + 314_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SMPST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.23 ADCAnTHSMPSTCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SMPST	T&H サンプリング開始制御トリガ 0：機能しません 1：全 T&H のサンプリングを開始します T&H 回路がサンプリング状態となる条件は以下のとおりです。 • T&H 停止中のサンプリング開始条件 1： ADCAnTHER.THkE = 1（k = 0-5）の状態で、ADCAnTHSMPSTCR.SMPST に 1 を書き込んだとき。 • オートサンプリング時の連続サンプリング開始条件： ADCAnTHER.THkE = 1（k = 0-5）の状態、かつ ADCAnTHCR.ASMPMSK = 1 の状態で、T&Hk のホールド値の A/D 変換が終了したとき。

備　考

RH850/F1M では ADCA0 のみ対応しています。

31.3.2.11 ADCAnTHCR — T&H 制御レジスタ

T&H 回路にホールドされた値の A/D 変換終了後のサンプリング遷移を制御するレジスタです。

ホールド値の A/D 変換が終了後の T&H 回路のサンプリングを自動的に開始することで、次回以降のホールド完了トリガ発生までの時間を短縮します。

アクセス ADCAnTHCR は、32 ビット単位でリード／ライト可能です。
ADCAnTHCRL は、16 ビット単位でリード／ライト可能です。
ADCAnTHCRLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnTHCR：<ADCAn_base> + 318_H
ADCAnTHCRL：<ADCAn_base> + 318_H
ADCAnTHCRLL：<ADCAn_base> + 318_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ASMPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.24 ADCAnTHCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ASMPMSK	自動サンプリングマスク制御ビット 0：自動サンプリングをしない 1：自動サンプリングする

注 意

誤動作を防ぐため、ADCAnTHCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備 考

RH850/F1M では ADCA0 のみ対応しています。

31.3.2.12 ADCAnTHAHLDSTCR — T&H グループ A ホールド開始制御レジスタ

T&H グループ A のホールド開始を制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnTHAHLDSTCR は、32 ビット単位でライトのみ可能です。
ADCAnTHAHLDSTCRL は、16 ビット単位でライトのみ可能です。
ADCAnTHAHLDSTCRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnTHAHLDSTCR：<ADCAn_base> + $31C_H$
ADCAnTHAHLDSTCRL：<ADCAn_base> + $31C_H$
ADCAnTHAHLDSTCRLL：<ADCAn_base> + $31C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.25 ADCAnTHAHLDSTCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ A ホールド開始制御トリガ 0：機能しません 1：T&H グループ A のホールドを開始します T&H 回路グループ A がホールド状態となる条件は以下のとおりです。 • ADCAnTHER.THkE = 1（k = 0-5）の状態、かつ ADCAnTHGSR.THkGS =0（k = 0-5）の状態で、ADCAnTHAHLDSTCR.HLDST に 0 を書き込んだとき

備　考

RH850/F1M では ADCA0 のみ対応しています。

31.3.2.13 ADCAnTHBHLDSTCR — T&H グループ B ホールド開始制御レジスタ

T&H グループ B のホールド開始を制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnTHBHLDSTCR は、32 ビット単位でライトのみ可能です。
ADCAnTHBHLDSTCRL は、16 ビット単位でライトのみ可能です。
ADCAnTHBHLDSTCRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnTHBHLDSTCR：<ADCAn_base> + 320_H
ADCAnTHBHLDSTCRL：<ADCAn_base> + 320_H
ADCAnTHBHLDSTCRLL：<ADCAn_base> + 320_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.26 ADCAnTHBHLDSTCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ B ホールド開始制御トリガ 0：機能しません 1：T&H グループ B のホールドを開始します T&H 回路グループ B がホールド状態となる条件は以下のとおりです。 • ADCAnTHER.THkE = 1（k = 0-5）の状態、かつ ADCAnTHGSR.THkGS = 1（k = 0-5）の状態で、ADCAnTHBHLDSTCR.HLDST に 1 を書き込んだとき

備　考

RH850/F1M では ADCA0 のみ対応しています。

31.3.2.14 ADCAnTHACR — T&H グループ A 制御レジスタ

T&H グループ A を制御するレジスタです。

アクセス ADCAnTHACR は、32 ビット単位でリード／ライト可能です。
ADCAnTHACRL は、16 ビット単位でリード／ライト可能です。
ADCAnTHACRLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnTHACR：<ADCAn_base> + 324_H
ADCAnTHACRL：<ADCAn_base> + 324_H
ADCAnTHACRLL：<ADCAn_base> + 324_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	HLDCTE	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 31.27 ADCAnTHACR レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	HLDCTE	T&H グループ A ホールド完了トリガイネーブルビット 本ビットは、T&H 回路の自己診断時に使用します。 0：自己診断を行わない 1：自己診断を行う 注：ADCAnTHACR の SGS[1:0] と ADCAnTHBCR の SGS[1:0] で選択されていないスキャングループのトリガ入力は、SGx_TRG (x = 1-3) トリガが選択されます。
4	HLDTE	T&H グループ A ホールドトリガイネーブルビット 0：T&H グループ A のホールド開始トリガに、SGS[1:0] で選択した SGx (x = 1-3) トリガを選択する 1：T&H グループ A のホールド開始トリガに、SGS[1:0] で選択した SGx (x = 1-3) トリガを選択しない 注：ADCAnTHACR.HLDTE の設定にかかわらず、ADCAnTHAHLDSTCR.HLDST はホールド開始トリガとなります。 また、T&H 回路の自己診断を行う際は、本ビットは 0 をセットしてください。
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	SGS[1:0]	T&H グループ A スキャングループ選択ビット 00：T&H グループ A にスキャングループを選択しない。 01：T&H グループ A に SG1 を選択する。 10：T&H グループ A に SG2 を選択する。 11：T&H グループ A に SG3 を選択する。 注： 1. ADCAnTHACR.SGS[1:0] = 0_H に設定した場合は、T&H は動作しません。ADCAnTHER.THkE で T&Hk を有効にする場合は、必ず SGS[1:0] でスキャングループを指定してください。 2. T&H グループ B と同じスキャングループを選択することは禁止です。

注　意

誤動作を防ぐため、ADCAnTHACR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備　考

RH850/F1M では ADCA0 のみ対応しています。

31.3.2.15 ADCAnTHBCR — T&H グループ B 制御レジスタ

T&H グループ B を制御するレジスタです。

アクセス ADCAnTHBCR は、32 ビット単位でリード／ライト可能です。
ADCAnTHBCRL は、16 ビット単位でリード／ライト可能です。
ADCAnTHBCRLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnTHBCR：<ADCAn_base> + 328_H
ADCAnTHBCRL：<ADCAn_base> + 328_H
ADCAnTHBCRLL：<ADCAn_base> + 328_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	HLDCTE	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 31.28 ADCAnTHBCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	HLDCTE	T&H グループ B ホールド完了トリガイネーブルビット 本ビットは、T&H 回路の自己診断時に使用します。 0：自己診断を行わない 1：自己診断を行う 注：ADCAnTHACR の SGS[1:0] と ADCAnTHBCR の SGS[1:0] で選択されていないスキャングループのトリガ入力は、SGx_TRG (x = 1-3) トリガが選択されます。
4	HLDTE	T&H グループ B ホールドトリガイネーブルビット 0：T&H グループ B のホールド開始トリガに、SGS[1:0] で選択した SGx (x = 1-3) トリガを選択する 1：T&H グループ B のホールド開始トリガに、SGS[1:0] で選択した SGx (x = 1-3) トリガを選択しない 注：ADCAnTHBCR.HLDTE の設定にかかわらず、ADCAnTHBHLDSTCR.HLDST はホールド開始トリガとなります。また、T&H 回路の自己診断を行う際は、本ビットは 0 をセットしてください。
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	SGS[1:0]	T&H グループ B スキャングループ選択ビット 00：T&H グループ B にスキャングループを選択しない。 01：T&H グループ B に SG1 を選択する。 10：T&H グループ B に SG2 を選択する。 11：T&H グループ B に SG3 を選択する。 注： 1. ADCAnTHBCR.SGS[1:0] = 0_H に設定した場合は、T&H は動作しません。ADCAnTHER.THkE で T&Hk を有効にする場合は、必ず SGS[1:0] でスキャングループを指定してください。 2. T&H グループ A と同じスキャングループを選択することは禁止です。

注　意

誤動作を防ぐため、ADCAnTHBCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備　考

RH850/F1M では ADCA0 のみ対応しています。

31.3.2.16 ADCAnTHER — T&H イネーブルレジスタ

各 T&H の有効／無効を制御するレジスタです。

アクセス ADCAnTHER は 32 ビット単位でリード／ライト可能です。
ADCAnTHERL は 16 ビット単位でリード／ライト可能です。
ADCAnTHERLL は 8 ビット単位でリード／ライト可能です。

アドレス ADCAnTHER：<ADCAn_base> + $32C_H$
ADCAnTHERL：<ADCAn_base> + $32C_H$
ADCAnTHERLL：<ADCAn_base> + $32C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TH5E	TH4E	TH3E	TH2E	TH1E	TH0E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31.29 ADCAnTHER レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	TH5E	T&H5 イネーブルビット 0：T&H5 無効 1：T&H5 有効 注：TH5E = 0 に設定した場合、T&H5 は常に停止状態です。
4	TH4E	T&H4 イネーブルビット 0：T&H4 無効 1：T&H4 有効 注：TH4E = 0 に設定した場合、T&H4 は常に停止状態です。
3	TH3E	T&H3 イネーブルビット 0：T&H3 無効 1：T&H3 有効 注：TH3E = 0 に設定した場合、T&H3 は常に停止状態です。
2	TH2E	T&H2 イネーブルビット 0：T&H2 無効 1：T&H2 有効 注：TH2E = 0 に設定した場合、T&H2 は常に停止状態です。
1	TH1E	T&H1 イネーブルビット 0：T&H1 無効 1：T&H1 有効 注：TH1E = 0 に設定した場合、T&H1 は常に停止状態です。
0	TH0E	T&H0 イネーブルビット 0：T&H0 無効 1：T&H0 有効 注：TH0E = 0 に設定した場合、T&H0 は常に停止状態です。

注 意

誤動作を防ぐため、ADCAnTHER の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備 考

RH850/F1M では ADCA0 のみ対応しています。

31.3.2.17 ADCAnTHGSR — T&H グループ選択レジスタ

各 T&H の T&H グループを選択するレジスタです。

アクセス ADCAnTHGSR は、32 ビット単位でリード／ライト可能です。
ADCAnTHGSRL は、16 ビット単位でリード／ライト可能です。
ADCAnTHGSRLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnTHGSR：<ADCAn_base> + 330_H
ADCAnTHGSRL：<ADCAn_base> + 330_H
ADCAnTHGSRLL：<ADCAn_base> + 330_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TH5GS	TH4GS	TH3GS	TH2GS	TH1GS	TH0GS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31.30 ADCAnTHGSR レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	TH5GS	T&H5 グループ選択ビット 0：T&H5 をグループ A に選択 1：T&H5 をグループ B に選択
4	TH4GS	T&H4 グループ選択ビット 0：T&H4 をグループ A に選択 1：T&H4 をグループ B に選択
3	TH3GS	T&H3 グループ選択ビット 0：T&H3 をグループ A に選択 1：T&H3 をグループ B に選択
2	TH2GS	T&H2 グループ選択ビット 0：T&H2 をグループ A に選択 1：T&H2 をグループ B に選択
1	TH1GS	T&H1 グループ選択ビット 0：T&H1 をグループ A に選択 1：T&H1 をグループ B に選択
0	TH0GS	T&H0 グループ選択ビット 0：T&H0 をグループ A に選択 1：T&H0 をグループ B に選択

注　意

- T&H0 ～ T&H2 を T&H3 ～ T&H5 と同じグループに設定しないでください。
  例
  - グループ A：0ch、1ch、2ch
    グループ B：3ch、4ch、5ch　→設定可能
  - グループ A：0ch
    グループ B：1ch、2ch　→設定可能
  - グループ A：0ch、1ch、3ch
    グループ B：2ch、4ch　→設定禁止
- 誤動作を防ぐため、ADCAnTHGSR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備　考

RH850/F1M では ADCA0 のみ対応しています。

31.3.2.18 ADCAnSMPCR — サンプリング制御レジスタ

サンプリング時間を設定をレジスタです。SG4（PWM-Diag）と SG1-3 のサンプリング時間を制御します。

アクセス ADCAnSMPCR は、32 ビット単位でリード／ライト可能です。
ADCAnSMPCRL は、16 ビット単位でリード／ライト可能です。
ADCAnSMPCRLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnSMPCR：<ADCAn_base> + 380_H
ADCAnSMPCRL：<ADCAn_base> + 380_H
ADCAnSMPCRLL：<ADCAn_base> + 380_H

リセット後の値 $0000\ 0018_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SMPT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.31 ADCAnSMPCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 0	SMPT[7:0]	サンプリング時間（サイクル数）設定ビットです。 12_H：18 サイクル（ADCLK = 8MHz ～ 32MHz） 18_H：24 サイクル（ADCLK = 8MHz ～ 40MHz） これ以外の値は設定禁止です。

注 意

- 誤動作を防ぐため、ADCAnSMPCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。
- SMPT を変更した場合、仮想チャネルレジスタ j（ADCAnVCRj）、または PWM-Diag 仮想チャネルレジスタ（ADCAnPWDVCR）によって MPX を使用する際の、A/D 変換ウエイト時間も変更されます。

31.3.2.19 ADCAnSFTCR — セーフティ制御レジスタ

セーフティ制御に関するレジスタです。

アクセス ADCAnSFTCR は、32 ビット単位でリード／ライト可能です。
ADCAnSFTCRL は、16 ビット単位でリード／ライト可能です。
ADCAnSFTCRLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnSFTCR：<ADCAn_base> + 334_H
ADCAnSFTCRL：<ADCAn_base> + 334_H
ADCAnSFTCRLL：<ADCAn_base> + 334_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RDCLRE	ULEIE	OWEIE	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 31.32 ADCAnSFTCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	RDCLRE	リード＆クリアイネーブル A/D 変換結果をリードした時に A/D 変換結果をハードウェアでクリアするか選択します。 0：ADCAnPWDTSNDR/ADCAnDRj もしくは ADCAnPWDDIR/ADCAnDIRj のリードで ADCAnPWDTSNDR/ADCAnDRj と ADCAnPWDDIR/ADCAnDIRj をクリアしない 1：ADCAnPWDTSNDR/ADCAnDRj もしくは ADCAnPWDDIR/ADCAnDIRj のリードで ADCAnPWDTSNDR/ADCAnDRj と ADCAnPWDDIR/ADCAnDIRj をクリアする ADCAnDIRj の WFLG は、RDCLRE によらず、ADCAnDRj もしくは ADCAnDIRj のリードでクリアされます。
3	ULEIE	上限／下限エラー検出時の A/D エラー割り込み（INT_ADE）イネーブル 0：禁止 1：許可
2	OWEIE	オーバーライトエラー検出時の A/D エラー割り込み（INT_ADE）イネーブル 0：禁止 1：許可
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

誤動作を防ぐため、ADCAnSFTCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき行ってください。

31.3.2.20 ADCAnULLMTBR0 ～ 2 — 上限／下限テーブルレジスタ 0 ～ 2

A/D 変換値の上限／下限エラー検出閾値を設定するレジスタです。

ADCAnPWDVCR.ULS[1:0]、ADCAnVCRj.ULS[1:0] の設定により、ADCAnULLMTBR0 ～ 2 のいずれかを指定し、それぞれ ADCAnPWDTSNDR、ADCAnDRj と比較します。

アクセス ADCAnULLMTBR0 ～ 2 は、32 ビット単位でリード／ライト可能です。
ADCAnULLMTBR0L ～ 2L, ADCAnULLMTBR0H ～ 2H は、16 ビット単位でリード／ライト可能です。

アドレス ADCAnULLMTBR0：<ADCAn_base> + 338_H
ADCAnULLMTBR1：<ADCAn_base> + $33C_H$
ADCAnULLMTBR2：<ADCAn_base> + 340_H

ADCAnULLMTBR0L：<ADCAn_base> + 338_H
ADCAnULLMTBR1L：<ADCAn_base> + $33C_H$
ADCAnULLMTBR2L：<ADCAn_base> + 340_H

ADCAnULLMTBR0H：<ADCAn_base> + 338_H + 2_H
ADCAnULLMTBR1H：<ADCAn_base> + $33C_H$+ 2_H
ADCAnULLMTBR2H：<ADCAn_base> + 340_H + 2_H

リセット後の値 $FFF0\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULMTB[11:0]												—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLMTB[11:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 31.33 ADCAnULLMTBR0 ～ 2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	ULMTB[11:0]	上限テーブル A/D 変換値の上限エラー検出閾値を指定します。下記条件が成立したとき上限エラー（ADCAnULER.UE）をセットします。 ULMTB[11:0] ＜ A/D 変換値
19 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 4	LLMTB[11:0]	下限テーブル A/D 変換値の下限エラー検出閾値を指定します。下記条件が成立したとき下限エラー（ADCAnULER.LE）をセットします。 LLMTB[11:0] ＞ A/D 変換値
3 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

- A/D 変換を 10 ビットモード (ADCAnADCR.CTYP=1) で指定した場合、ULMTB[1:0] は 11_B、LLMTB[1:0] は 00_B にセットしてください。
- 誤動作を防ぐため、ADCAnULLMTBR0 ～ 2 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。
- 上限テーブル (ULMTB[11:0]) > 下限テーブル (LLMTB[11:0]) となるように設定してください。

31.3.2.21 ADCAnECR — エラークリアレジスタ

エラークリアを制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnECR は、32 ビット単位でライトのみ可能です。
ADCAnECRL は、16 ビット単位でライトのみ可能です。
ADCAnECRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnECR：<ADCAn_base> + 344_H
ADCAnECRL：<ADCAn_base> + 344_H
ADCAnECRLL：<ADCAn_base> + 344_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	ULEC	OWEC	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	W	W	R	R

表 31.34 ADCAnECR レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	ULEC	上限エラーフラグ（ADCAnULER.UE）および、下限エラーフラグ（ADCAnULER.LE）クリア、上限／下限エラーキャプチャ (ADCAnULER.ULECAP[5:0]) 、上限／下限エラー発生時のスキャングループビット (ULSG[1:0])、MPX 使用有無ビット (MPXE)、および上限／下限エラー発生時の MPX 値格納ビット (MPXV[2:0]) クリア 0：機能しません 1：クリアします
2	OWEC	オーバライトエラーフラグ（ADCAnOWER.OWE）および、オーバライトエラーキャプチャ (ADCAnOWER.OWECAP[5:0]) クリア 0：機能しません 1：クリアします
1、0	予約ビット	ライトする場合はリセット後の値を書いてください。

31.3.2.22 ADCAnULER — 上限／下限エラーレジスタ

上限／下限エラーに関する情報を示す読み出し専用レジスタです。

アクセス ADCAnULER は、32 ビット単位でリードのみ可能です。
ADCAnULERL は、16 ビット単位でリードのみ可能です。

ADCAnULERLH は、8 ビット単位でリードのみ可能です。
ADCAnULERLL は、8 ビット単位でリードのみ可能です。

アドレス ADCAnULER：<ADCAn_base> + 348_H
ADCAnULERL：<ADCAn_base> + 348_H

ADCAnULERLL：<ADCAn_base> + 348_H
ADCAnULERLH：<ADCAn_base> + 348_H + 1_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UE	LE	ULSG[1:0]		MPXE	MPXV[2:0]			—	—	ULECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.35 ADCAnULER レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。
15	UE	上限エラーフラグ 0：上限エラー未検出 1：上限エラー検出 セット条件 A/D 変換値が、指定した上限／下限テーブルレジスタ 0 ～ 2（ADCAnULLMTBR0 ～ 2）で設定した上限閾値を上回ったとき。 本ビットがセットされている状態で、以降の A/D 変換による上限値エラーを検出した場合は、ADCAnULER レジスタの更新は行いません。 クリア条件 ADCAnECR.ULEC に 1 を書き込んだとき
14	LE	下限エラーフラグ 0：下限エラー未検出 1：下限エラー検出 セット条件 A/D 変換値が、指定した上限／下限テーブルレジスタ 0 ～ 2（ADCAnULLMTBR0 ～ 2）で設定した下限閾値を下回ったとき。 本ビットがセットされている状態で、以降の A/D 変換による下限値エラーを検出した場合は、ADCAnULER レジスタの更新は行いません。 クリア条件 ADCAnECR.ULEC に 1 を書き込んだとき。
13、12	ULSG[1:0]	上限／下限エラー発生時のスキャングループビット 00：上限／下限エラーなし 01：上限／下限エラー発生時のスキャングループが SG1-SG3 10：上限／下限エラー発生時のスキャングループが PWM-Diag キャプチャ条件 UE = 0 かつ LE = 0 の状態で A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき クリア条件 ADCAnECR.ULEC に 1 を書き込んだとき

表 31.35 ADCAnULER レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	MPXE 注 1	MPX 使用有無ビット 0：上限／下限エラー発生時、MPX 機能を使用していない。 1：上限／下限エラー発生時、MPX 機能を使用している。 キャプチャ条件 UE = 0 かつ LE = 0 の状態で A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき クリア条件 ADCAnECR.ULEC に 1 を書き込んだとき
10 ～ 8	MPXV[2:0] 注 1	上限／下限エラー発生時の MPX 値を格納する。 キャプチャ条件 UE = 0 かつ LE = 0 の状態で A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき クリア条件 ADCAnECR.ULEC に 1 を書き込んだとき
7	予約ビット	リードした場合は不定値が読めます。
6	予約ビット	リードした場合はリセット後の値が読めます。
5 ～ 0	ULECAP[5:0]	上限／下限エラーキャプチャ 上限／下限エラーが発生したときの物理チャネルをキャプチャします。 キャプチャ条件 UE = 0 かつ LE = 0 の状態で A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき クリア条件 ADCAnECR.ULEC に 1 を書き込んだとき

注 1. 本ビットは ADCA0 のみ対応しています。
ADCA1 においては、リードした場合はリセット後の値が読めます。

備 考

ADCAnULER は、A/D 変換値が ADCAnDRj または ADCAnPWDTSNDR にセットされるときに更新されます。

31.3.2.23 ADCAnOWER — オーバライトエラーレジスタ

オーバライトエラーを示す 32/16/8 ビットの読み出し専用レジスタです。オーバライトエラーの対象は SG1-SG3 であり PWM-Diag では実施されません。

アクセス ADCAnOWER は、32 ビット単位でリードのみ可能です。
ADCAnOWERL は、16 ビット単位でリードのみ可能です。
ADCAnOWERLL は、8 ビット単位でリードのみ可能です。

アドレス ADCAnOWER：<ADCAn_base> + $34C_H$
ADCAnOWERL：<ADCAn_base> + $34C_H$
ADCAnOWERLL：<ADCAn_base> + $34C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OWE	—	OWECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.36 ADCAnOWER レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	OWE	オーバライトエラーフラグ 0：オーバライトエラー未検出 1：オーバライトエラー検出 セット条件 ADCAnDIRj.WFLG ＝ 1 の状態で A/D 変換値が ADCAnDRj に書き込まれたとき。 本ビットがセットされている状態で、以降の A/D 変換によるオーバーライトエラーを検出した場合は、ADCAnOWER レジスタの更新は行いません。 クリア条件 ADCAnECR.OWEC に 1 を書き込んだとき
6	予約ビット	リードした場合はリセット後の値が読めます。
5 ～ 0	OWECAP[5:0]	オーバライトエラーキャプチャ オーバライトエラーが発生したときの仮想チャネル番号をキャプチャします。 キャプチャ条件 OWE ＝ 0 かつ ADCAnDIRj.WFLG ＝ 1 の状態で A/D 変換値が ADCAnDRj に書き込まれたとき クリア条件 ADCAnECR.OWEC に 1 を書き込んだとき

備　考

ADCAnOWER は、A/D 変換値が ADCAnDRj にセットされるときに更新されます。

31.3.3 スキャングループ（SG）固有レジスタ

各スキャングループで個別に備えるレジスタを説明します。

31.3.3.1 ADCAnSGSTCRx — スキャングループ x 開始制御レジスタ

スキャングループ x の開始を制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnSGSTCRx は、32 ビット単位でライトのみ可能です。
ADCAnSGSTCRxL は、16 ビット単位でライトのみ可能です。
ADCAnSGSTCRxLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnSGSTCRx：<ADCAn_base> + 400_H + x × 40_H
ADCAnSGSTCRxL：<ADCAn_base> + 400_H + x × 40_H
ADCAnSGSTCRxLL：<ADCAn_base> + 400_H + x × 40_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SGST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.37 ADCAnSGSTCRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SGST	スキャングループ開始トリガ ADCAnSGSTR.SGACT[3：1] = 0 の状態で SGST に 1 を書き込むと、対象 SGx が開始されます。

31.3.3.2 ADCAnSGCRx — スキャングループ x 制御レジスタ

スキャングループ x の制御に関するレジスタです。

アクセス ADCAnSGCRx は、32 ビット単位でリード／ライト可能です。
ADCAnSGCRxL は、16 ビット単位でリード／ライト可能です。
ADCAnSGCRxLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnSGCRx：<ADCAn_base> + x × 40_H + 408_H
ADCAnSGCRxL：<ADCAn_base> + x × 40_H + 408_H
ADCAnSGCRxLL：<ADCAn_base> + x × 40_H + 408_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	SCANMD	ADIE	SCT[1:0]		—	TRGMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W

表 31.38 ADCAnSGCRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	SCANMD	スキャンモード 0：マルチサイクルスキャンモード 1：連続スキャンモード SG2, SG3 の場合、本ビットには 0 をライトしてください。
4	ADIE	スキャン終了割り込みイネーブル 0：SGx のスキャン終了で INT_SGx を出力しない 1：SGx のスキャン終了で INT_SGx を出力する
3、2	SCT[1:0]	チャネルリピート回数選択ビット 00：チャネルリピート回数を 1 回に選択する。 01：チャネルリピート回数を 2 回に選択する。 10：チャネルリピート回数を 4 回に選択する。 11：設定禁止
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TRGMD	トリガモード 0：SGx_TRG へのトリガ入力無効（ハードウェアトリガ無効） 1：SGx へのトリガ入力に SGx_TRG 開始トリガもしくはホールド完了トリガ A/B を選択 備　考 TRGMD ビットの設定に関わらず、ソフトウェアトリガは有効です。

注　意

誤動作を防ぐため、ADCAnSGCRx 設定（A/D 変換終了時の TRGMD のクリアを除く）は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 の時、行ってください。

31.3.3.3 ADCAnPWDSGCR — PWM-Diag 用スキャングループ制御レジスタ

PWM-Diag を制御するレジスタです。

アクセス ADCAnPWDSGCR は、32 ビット単位でリード／ライト可能です。
ADCAnPWDSGCRL は、16 ビット単位でリード／ライト可能です。
ADCAnPWDSGCRLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnPWDSGCR：<ADCAn_base> + 508_H
ADCAnPWDSGCRL：<ADCAn_base> + 508_H
ADCAnPWDSGCRLL：<ADCAn_base> + 508_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWDTRGMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.39 ADCAnPWDSGCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWDTRGMD	PWM-Diag トリガモード選択ビット 0：PWSA_ADTRG のトリガ入力無効 1：PWM-Diag スキャングループへのトリガ入力に PWSA_ADTRG を選択する。

注 意

誤動作を防ぐため、ADCAnPWDSGCR の設定は PWM-Diag スキャングループ（SG4）の SGACT が 0 の状態（スキャングループ起動前）のとき、行ってください。

31.3.3.4 ADCAnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ

仮想チャネルの開始ポインタを指定するレジスタです。

アクセス ADCAnSGVCSPx は、32 ビット単位でリード／ライト可能です。
ADCAnSGVCSPxL は、16 ビット単位でリード／ライト可能です。
ADCAnSGVCSPxLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnSGVCSPx：<ADCAn_base> + x × 40_H + $40C_H$
ADCAnSGVCSPxL：<ADCAn_base> + x × 40_H + $40C_H$
ADCAnSGVCSPxLL：<ADCAn_base> + x × 40_H + $40C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	VCSP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31.40 ADCAnSGVCSPx レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ～ 0	VCSP[5:0]	開始仮想チャネルポインタ SGx のスキャンを開始する仮想チャネルを指定します。

注 意

- ADCAnSGVCSPx ≦ ADCAnSGVCEPx となるように設定してください。
- チャネルポインタへの書き込みは、ADCAnSGVCSPx → ADCAnSGVCEPx の順番で続けて行ってください。SGx を起動すると、ADCAnSGVCSPx から ADCAnSGVCEPx で指定された仮想チャネルの A/D 変換を実行します。
- ADCAnSGVCSPx は、A/D 変換動作中に書き込みは可能ですが、レジスタへの反映は ADCAnSGVCEPx 書き込み時です。書き換え後は次回の SGx を起動するときに反映されます。
- ハードウェアトリガを使用する場合は、動作中の書き込みは禁止です。

31.3.3.5 ADCAnSGVCEPx — スキャングループ x 終了仮想チャネルポインタ

仮想チャネルの終了ポインタを指定するレジスタです。

アクセス ADCAnSGVCEPx は、32 ビット単位でリード／ライト可能です。
ADCAnSGVCEPxL は、16 ビット単位でリード／ライト可能です。
ADCAnSGVCEPxLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnSGVCEPx：<ADCAn_base> + x × 40_H + 410_H
ADCAnSGVCEPxL：<ADCAn_base> + x × 40_H + 410_H
ADCAnSGVCEPxLL：<ADCAn_base> + x × 40_H + 410_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	VCEP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31.41 ADCAnSGVCEPx レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ～ 0	VCEP[5:0]	終了仮想チャネルポインタ SGx のスキャンを終了する仮想チャネルを指定します。

注 意

- ADCAnSGVCSPx ≦ ADCAnSGVCEPx となるように設定してください。
- SGx を起動すると、ADCAnSGVCSPx から ADCAnSGVCEPx の仮想チャネルを実行します。SGx 処理中であっても ADCAnSGVCEPx の書き換えは可能です。書き換え後は次回の SGx を起動するときに反映されます。

31.3.3.6 ADCAnSGMCYCRx — スキャングループ x マルチサイクルレジスタ

マルチサイクルスキャンモード時のスキャン回数を指定する 32/16/8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス ADCAnSGMCYCRx は、32 ビット単位でリード／ライト可能です。
ADCAnSGMCYCRxL は、16 ビット単位でリード／ライト可能です。
ADCAnSGMCYCRxLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnSGMCYCRx：<ADCAn_base> + x × 40_H + 414_H
ADCAnSGMCYCRxL：<ADCAn_base> + x × 40_H + 414_H
ADCAnSGMCYCRxLL：<ADCAn_base> + x × 40_H + 414_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCYC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.42 ADCAnSGMCYCRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	MCYC[1:0]	マルチサイクル数指定 マルチサイクルスキャンモード時のスキャン回数を指定します。 00B：スキャン回数 1 回 01B：スキャン回数 2 回 10B：設定禁止 11B：スキャン回数 4 回

注 意

- 誤動作を防ぐため、ADCAnSGMCYCRx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ TRGMD が 0 のとき、行ってください。
- SGx を起動すると、ADCAnSGVCSPx から ADCAnSGVCEPx までの仮想チャネルのスキャンを ADCAnSGMCYCRx で指定した回数だけ繰り回数実行します。

31.3.3.7 ADCAnPWDSGSEFCR — PWM-Diag スキャン終了フラグクリアレジスタ

PWM-Diag 用のスキャン終了フラグ（SEF）のクリアを制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnPWDSGSEFCR は、32 ビット単位でライトのみ可能です。
ADCAnPWDSGSEFCRL は、16 ビット単位でライトのみ可能です。
ADCAnPWDSGSEFCRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnPWDSGSEFCR：<ADCAn_base> + 518_H
ADCAnPWDSGSEFCRL：<ADCAn_base> + 518_H
ADCAnPWDSGSEFCRLL：<ADCAn_base> + 518_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWDSEFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.43 ADCAnPWDSGSEFCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	PWDSEFC	PWM-Diag 用スキャン終了フラグクリアトリガビット 0：機能しません 1：PWM-Diag 用スキャン終了フラグ（ADCAnSGSTR.SEF[4]）をクリアします

31.3.3.8 ADCAnSGSEFCRx — スキャングループ x スキャン終了フラグクリアレジスタ

スキャン終了フラグ（ADCAnSGSTR.SEFx）をクリアする書き込み専用のレジスタです。読み出しは常に 0 です。

アクセス ADCAnSGSEFCRx は、32 ビット単位でライトのみ可能です。
ADCAnSGSEFCRxL は、16 ビット単位でライトのみ可能です。
ADCAnSGSEFCRxLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnSGSEFCRx：<ADCAn_base> + x × 40_H + 418_H
ADCAnSGSEFCRxL：<ADCAn_base> + x × 40_H + 418_H
ADCAnSGSEFCRxLL：<ADCAn_base> + x × 40_H + 418_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.44 ADCAnSGSEFCRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SEFC	スキャン終了フラグクリアトリガビット 0 ：機能しません 1 ：対象 SG のスキャン終了フラグ（ADCAnSGSTR.SEF[3:1]）をクリアします

31.3.3.9 ADCAnSGSTR — スキャングループステータスレジスタ

T&H、SVSTOP、スキャングループ x、PWM-Diag スキャングループの状態を示すレジスタです。SHACT、SGACT は HALT 実行時にクリアもされます。

アクセス ADCAnSGSTR は 32 ビット単位でリードのみ可能です。
ADCAnSGSTRL は 16 ビット単位でリードのみ可能です

アドレス ADCAnSGSTR：<ADCAn_base> + 308_H
ADCAnSGSTRL：<ADCAn_base> + 308_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SHACT	SGACT[5:1]					—	—	—	—	SEF[4:1]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.45 ADCAnSGSTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 15	予約ビット	リードした場合はリセット後の値が読めます。
14	SHACT	T&H ステータスフラグビット 0：T&H 停止中 1：T&H 変換中もしくはサンプリング中
13	SGACT[5]	SVSTOP ステータスフラグビット 0：SVSTOP を解除 1：SVSTOP を受け付け
12	SGACT[4]	PWM-Diag 用スキャングループ（SG4）ステータスフラグ 0：PWM-Diag （SG4)A/D 変換完了 1：PWM-Diag （SG4)A/D 変換中もしくはサスペンド状態
11	SGACT[3]	スキャングループ 3（SG3）ステータスフラグ 0：スキャングループ 3 A/D 変換完了 1：スキャングループ 3 A/D 変換中もしくはサスペンド状態
10	SGACT[2]	スキャングループ 2（SG2）ステータスフラグ 0：スキャングループ 2 A/D 変換完了 1：スキャングループ 2 A/D 変換中もしくはサスペンド状態
9	SGACT[1]	スキャングループ 1（SG1）ステータスフラグ 0：スキャングループ 1 A/D 変換完了 1：スキャングループ 1 A/D 変換中もしくはサスペンド状態
8 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	SEF[4]	PWM-Diag 用スキャン終了フラグ スキャン結果データのステータスを示します。 0：いずれかの操作が行われたときクリアされます。 ・PMW-Diag の ADCAnPWDTSNDR を読み出したとき ・PWM-Diag の ADCAnPWDDIR を読み出したとき ・ADCAnPWDSGSEFCR.PWDSEFC に “1” を書いたとき 1：PWM-Diag の ADCAnPWDTSNDR に A/D 変換結果が書き込まれたとき

表 31.45 ADCAnSGSTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	SEF[3]	SG3 スキャン終了フラグ スキャン結果データのステータスを示します。 0：いずれかの操作が行われたときクリアされます。 ・ADCAnSGVCEP3 が示す仮想チャネルの ADCAnDRj を読み出したとき ・ADCAnSGVCEP3 が示す仮想チャネルの ADCAnDIRj を読み出したとき ・ADCAnSGSEFCRx.SEFC に "1" を書いたとき 1：ADCAnSGVCEP3 が示す仮想チャネルの ADCAnDRj に A/D 変換結果が書き込まれたとき
2	SEF[2]	SG2 スキャン終了フラグ スキャン結果データのステータスを示します。 0：いずれかの操作が行われたときクリアされます。 ・ADCAnSGVCEP2 が示す仮想チャネルの ADCAnDRj を読み出したとき ・ADCAnSGVCEP2 が示す仮想チャネルの ADCAnDIRj を読み出したとき ・ADCAnSGSEFCRx.SEFC に "1" を書いたとき 1：ADCAnSGVCEP2 が示す仮想チャネルの ADCAnDRj に A/D 変換結果が書き込まれたとき
1	SEF[1]	SG1 スキャン終了フラグ スキャン結果データのステータスを示します。 0：いずれかの操作が行われたときクリアされます。 ・ADCAnSGVCEP1 が示す仮想チャネルの ADCAnDRj を読み出したとき ・ADCAnSGVCEP1 が示す仮想チャネルの ADCAnDIRj を読み出したとき ・ADCAnSGSEFCRx.SEFC に "1" を書いたとき 1：ADCAnSGVCEP1 が示す仮想チャネルの ADCAnDRj に A/D 変換結果が書き込まれたとき
0	予約ビット	リードした場合はリセット後の値が読めます。

31.3.4 ハードウェアトリガ固有レジスタ

31.3.4.1 ADCAnSGTSELx — スキャングループ x 開始トリガ制御レジスタ x

SGx に対する、A/D 変換トリガ（ハードウェアトリガ）を設定するレジスタです。

アクセス ADCAnSGTSELx は、32 ビット単位でリード／ライト可能です。
ADCAnSGTSELxL は、16 ビット単位でリード／ライト可能です。

アドレス ADCAnSGTSELx：<ADCAn_base> + x × 40_H + $41C_H$
ADCAnSGTSELxL：<ADCAn_base> + x × 40_H + $41C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TxSEL8 注 1	TxSEL7 注 1	TxSEL6 注 1	TxSEL5 注 1	TxSEL4 注 1	TxSEL3 注 1	TxSEL2 注 1	TxSEL1 注 1	TxSEL0 注 1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. ADCA1 は TxSEL0 ～ TxSEL3 のみ対応しています。それ以外のビットについて、ライトする場合はリセット後の値を書いてください。

表 31.46 ADCAnSGTSELx レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ～ 0	TxSELp (p=0 ～ 8)	A/D 変換トリガ（ハードウェアトリガ）選択ビット 0：ハードウェアトリガ禁止 1：ハードウェアトリガ許可 **注 意** TxSELp を 1 にセットする場合は、いずれか一つのビットのみを 1 にセットしてください

選択できるハードウェアトリガを次に示します。

表 31.47 A/D 変換ハードウェアトリガ一覧

ユニット	制御レジスタ／ビット		トリガ入力信号	
	レジスタ名	ビット名	名称	接続先ユニット
ADCA0	ADCA0SGTSEL1	T1SEL0	ADCA0TRG0	外部トリガ端子
		T1SEL1	INTTAUJ0I3	TAUJ0
		T1SEL2	INTTAUD0I7	TAUD0
		T1SEL3	INTTAUD0I15	TAUD0
		T1SEL4	SEQADTRG	LPS
	ADCA0SGTSEL1	T1SEL5	INTENCA0I1	ENCA0
		T1SEL6	TAPATADOUT0	モータ制御（TAPA0）
		T1SEL7	TAPATADOUT1	モータ制御（TAPA0）
		T1SEL8	ADOPA0ADCATTIN00	モータ制御（PIC0）
	ADCA0SGTSEL2	T2SEL0	ADCA0TRG1	外部トリガ端子
		T2SEL1	INTTAUJ0I3	TAUJ0
		T2SEL2	INTTAUD0I7	TAUD0
		T2SEL3	INTTAUD0I15	TAUD0
		T2SEL4	SEQADTRG	LPS
		T2SEL5	INTENCA0I1	ENCA0
		T2SEL6	TAPATADOUT0	モータ制御（TAPA0）
		T2SEL7	TAPATADOUT1	モータ制御（TAPA0）
		T2SEL8	ADOPA1ADCATTIN00	モータ制御（PIC0）
	ADCA0SGTSEL3	T3SEL0	ADCA0TRG2	外部トリガ端子
		T3SEL1	INTTAUJ0I3	TAUJ0
		T3SEL2	INTTAUD0I7	TAUD0
		T3SEL3	INTTAUD0I15	TAUD0
		T3SEL4	SEQADTRG	LPS
		T3SEL5	INTENCA0I1	ENCA0
		T3SEL6	TAPATADOUT0	モータ制御（TAPA0）
		T3SEL7	TAPATADOUT1	モータ制御（TAPA0）
		T3SEL8	ADOPA2ADCATTIN00	モータ制御（PIC0）
ADCA1	ADCA1SGTSEL1	T1SEL0	ADCA1TRG0	外部トリガ端子
		T1SEL1	INTTAUJ1I3	TAUJ1
		T1SEL2	INTTAUB0I7	TAUB0
		T1SEL3	INTTAUB0I15	TAUB0
	ADCA1SGTSEL2	T2SEL0	ADCA1TRG1	外部トリガ端子
		T2SEL1	INTTAUJ1I3	TAUJ1
		T2SEL2	INTTAUB0I7	TAUB0
		T2SEL3	INTTAUB0I15	TAUB0
	ADCA1SGTSEL3	T3SEL0	ADCA1TRG2	外部トリガ端子
		T3SEL1	INTTAUJ1I3	TAUJ1
		T3SEL2	INTTAUB0I7	TAUB0
		T3SEL3	INTTAUB0I15	TAUB0

注　意

1. LPS のトリガ要因（SEQADTRG）を許可する場合は、ADCA0SGTSEL1.T1SEL4、ADCA0SGTSEL2.T2SEL4 または ADCA0SGTSEL3.T3SEL4 から 1 つのみを許可してください。
2. 誤動作を防ぐため、ADCAnSGTSELx の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）、かつ全スキャングループの TRGMD が 0 のときに行ってください。

31.3.5 自己診断固有レジスタ

31.3.5.1 ADCAnDGCTL0 — 自己診断制御レジスタ 0

自己診断電圧レベルを制御するレジスタです。

アクセス ADCAnDGCTL0 は、32 ビット単位でリード／ライト可能です。
ADCAnDGCTL0L は、16 ビット単位でリード／ライト可能です。
ADCAnDGCTL0LL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnDGCTL0：<ADCAn_base> + 350_H
ADCAnDGCTL0L：<ADCAn_base> + 350_H
ADCAnDGCTL0LL：<ADCAn_base> + 350_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PSEL2	PSEL1	PSEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 31.48 ADCAnDGCTL0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	PSEL[2:0]	自己診断電圧レベル選択ビット。

ADCAnDGCTL0			出力信号			
PSEL2	PSEL1	PSEL0	ADDIAGOUT	DIAGOUT2	DIAGOUT1	DIAGOUT0
0	0	0	Hi-z	Hi-z	Hi-z	Hi-z
0	0	1	AnVSS	$2/3AnV_{REF}$	$1/2AnV_{REF}$	$1/3AnV_{REF}$
0	1	0	$1/3AnV_{REF}$	$1/3AnV_{REF}$	$2/3AnV_{REF}$	$1/2AnV_{REF}$
0	1	1	$1/2AnV_{REF}$	$1/2AnV_{REF}$	$1/3AnV_{REF}$	$2/3AnV_{REF}$
1	0	0	$2/3AnV_{REF}$	Hi-z	Hi-z	Hi-z
1	0	1	AnV_{REF}	$1/3AnV_{REF}$	$1/3AnV_{REF}$	$1/3AnV_{REF}$
1	1	0	AnV_{REF}	$1/2AnV_{REF}$	$1/2AnV_{REF}$	$1/2AnV_{REF}$
1	1	1	AnV_{REF}	$2/3AnV_{REF}$	$2/3AnV_{REF}$	$2/3AnV_{REF}$

31.3.5.2 ADCAnDGCTL1 — 自己診断制御レジスタ 1

自己診断チャネルを制御するレジスタです。

アクセス ADCAnDGCTL1 は、32 ビット単位でリード／ライト可能です。
ADCAnDGCTL1L は、16 ビット単位でリード／ライト可能です。

アドレス ADCAnDGCTL1：<ADCAn_base> + 354_H
ADCAnDGCTL1L：<ADCAn_base> + 354_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.49 ADCAnDGCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15、12、9、6、3、0	CDG[15, 12, 9, 6, 3, 0]	自己診断チャネル選択ビット 0：ANInm を選択 1：DIAGOUT0 を選択
13、10、7、4、1	CDG[13, 10, 7, 4, 1]	自己診断チャネル選択ビット 0：ANInm を選択 1：DIAGOUT1 を選択
14、11、8、5、2	CDG[14, 11, 8, 5, 2]	自己診断チャネル選択ビット 0：ANInm を選択 1：DIAGOUT2 を選択

注 意

誤動作を防ぐため、ADCAnDGCTL1 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）、かつ全スキャングループの TRGMD が 0 のときに行ってください。

31.3.5.3 ADCAnPDCTL1 — プルダウン制御レジスタ 1

プルダウン抵抗を接続するチャネルを指定します。

詳細は、**「31.5.3 オープン端子の診断」**を参照してください。

アクセス ADCAnPDCTL1 は、32 ビット単位でリード／ライト可能です。
ADCAnPDCTL1L は、16 ビット単位でリード／ライト可能です。

アドレス ADCAnPDCTL1：<ADCAn_base> + 358_H
ADCAnPDCTL1L：<ADCAn_base> + 358_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDNA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.50 ADCAnPDCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 0	PDNA[15:0]	プルダウンイネーブル制御ビット 対応する物理チャネル（ANIn[00:15]）の端子に、内蔵プルダウン抵抗を接続するか否かを設定します。 0：内蔵プルダウン抵抗を接続しません 1：内蔵プルダウン抵抗を接続します

注 意

誤動作を防ぐため、ADCAnPDCTL1 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）、かつ全スキャングループの TRGMD が 0 のときに行ってください。

備 考

内蔵プルダウン抵抗値についてはデータシートの「電気的特性」の章を参照してください。

31.3.5.4 ADCAnPDCTL2 — プルダウン制御レジスタ 2

プルダウン抵抗を接続するチャネルを指定します。

詳細は、**「31.5.3 オープン端子の診断」**を参照してください。

アクセス ADCAnPDCTL2 は、32 ビット単位でリード／ライト可能です。
ADCAnPDCTL2H および ADCAnPDCTL2L は、16 ビット単位でリード／ライト可能です。
ADCAnPDCTL2HL, ADCAnPDCTL2LH および ADCAnPDCTL2LL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnPDCTL2：<ADCAn_base> + $35C_H$
ADCAnPDCTL2L：<ADCAn_base> + $35C_H$
ADCAnPDCTL2H：<ADCAn_base> + $35C_H$ + 2_H
ADCAnPDCTL2HL：<ADCAn_base> + $35C_H$ +2_H
ADCAnPDCTL2LL：<ADCAn_base> + $35C_H$
ADCAnPDCTL2LH：<ADCAn_base> + $35C_H$ + 1_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	PDNB[19:16] 注 1			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDNB[15:0] 注 1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. ADCA0 では、PDNB[13:12] は予約ビットです。ライトする場合はリセット後の値を書いてください。

表 31.51 ADCAnPDCTL2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ～ 0	PDNB[19:0]	プルダウンイネーブル制御ビット 対応する物理チャネル（ANIn[16:35]）の端子に、内蔵プルダウン抵抗を接続するか否かを設定します。 0：内蔵プルダウン抵抗を接続しません 1：内蔵プルダウン抵抗を接続します

注 意

誤動作を防ぐため、ADCAnPDCTL2 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）、かつ全スキャングループの TRGMD が 0 のときに行ってください。

備 考

内蔵プルダウン抵抗値についてはデータシートの「電気的特性」の章を参照してください。

31.3.6 エミュレーション固有レジスタ

31.3.6.1 ADCAnEMU — エミュレーション制御レジスタ

SVSTOP ディセーブル信号を制御するレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <ADCAn_base> + 388_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	SVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 31.52 ADCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	SVSDIS	SVSTOP ディセーブルビット 0：SVSTOP を有効にする 1：SVSTOP を無効にする SVSTOP 有効時の A/D 変換動作は、**「31.4.10.3 SVSTOP 動作」**を参照してください。
6 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

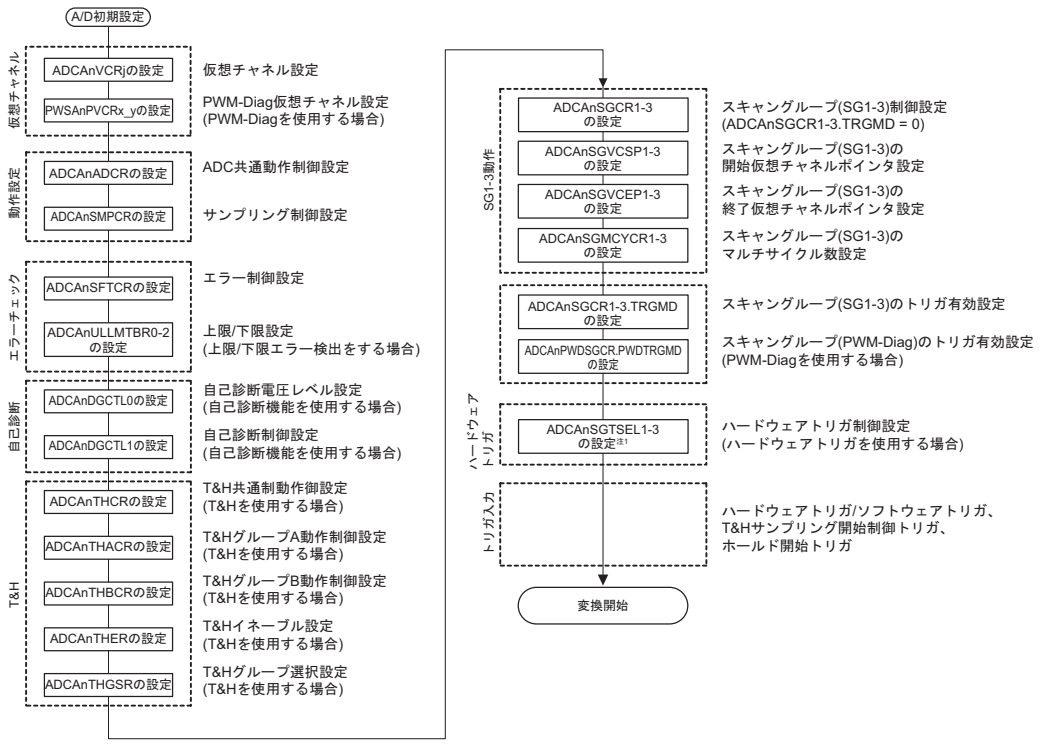
注 意

誤動作を防ぐため、SVSDIS の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のときに実施してください。

31.4 動作

31.4.1 初期設定

図 31.6 に A/D 変換の初期設定例を示します。トリガ入力については、**図 31.7** を参照してください。割り込み要求信号については、**「31.4.12 スキャン終了割り込み要求」**を参照してください。



備考 必要に応じて設定してください。

注 1. ADCAnSGTSEL1-3 の設定前に、**「表 31.47 A/D 変換ハードウェアトリガ一覧」**で示すトリガ入力信号が動作する場合は、**表 31.47** の注意事項に従ってください。

図 31.6 初期設定フロー

31.4.2 トリガ入力

トリガ入力を以下に示します。

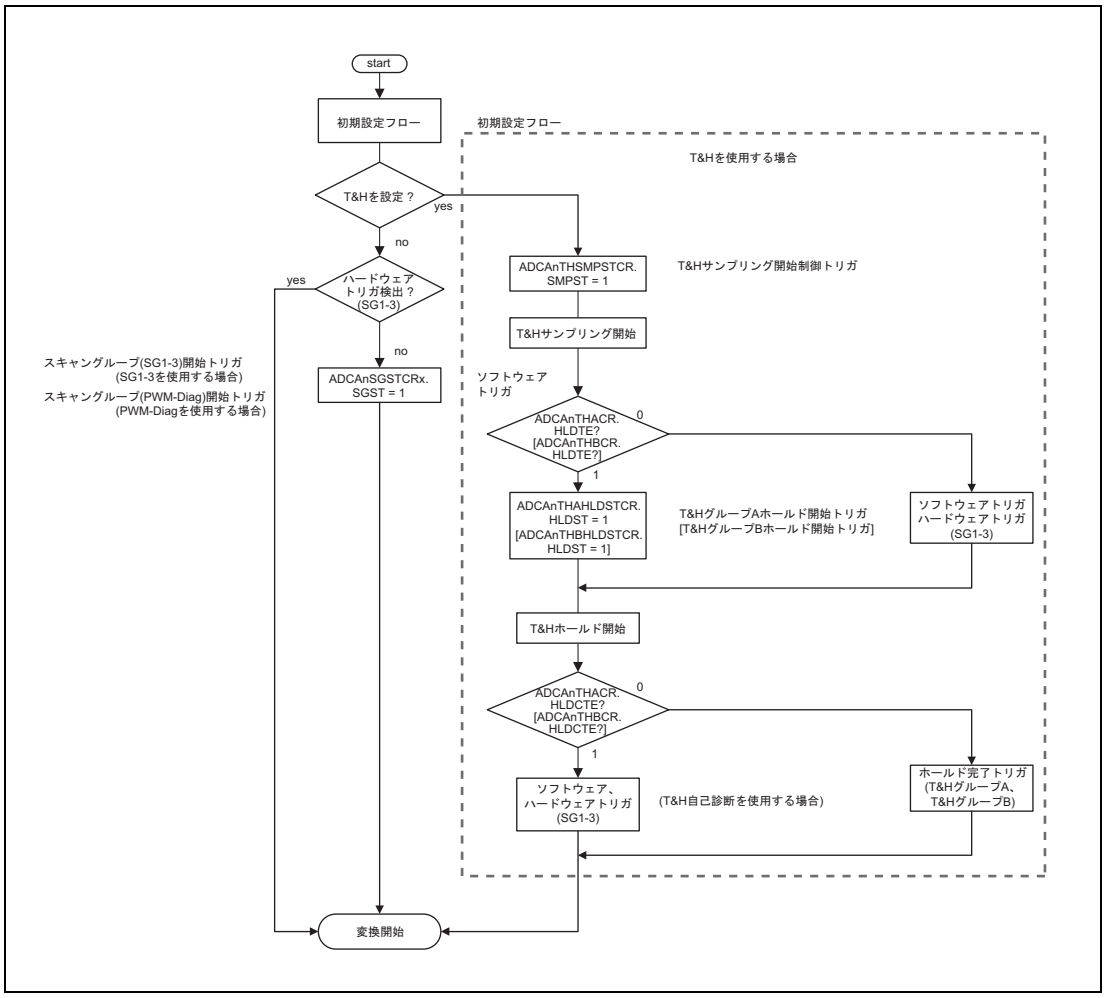


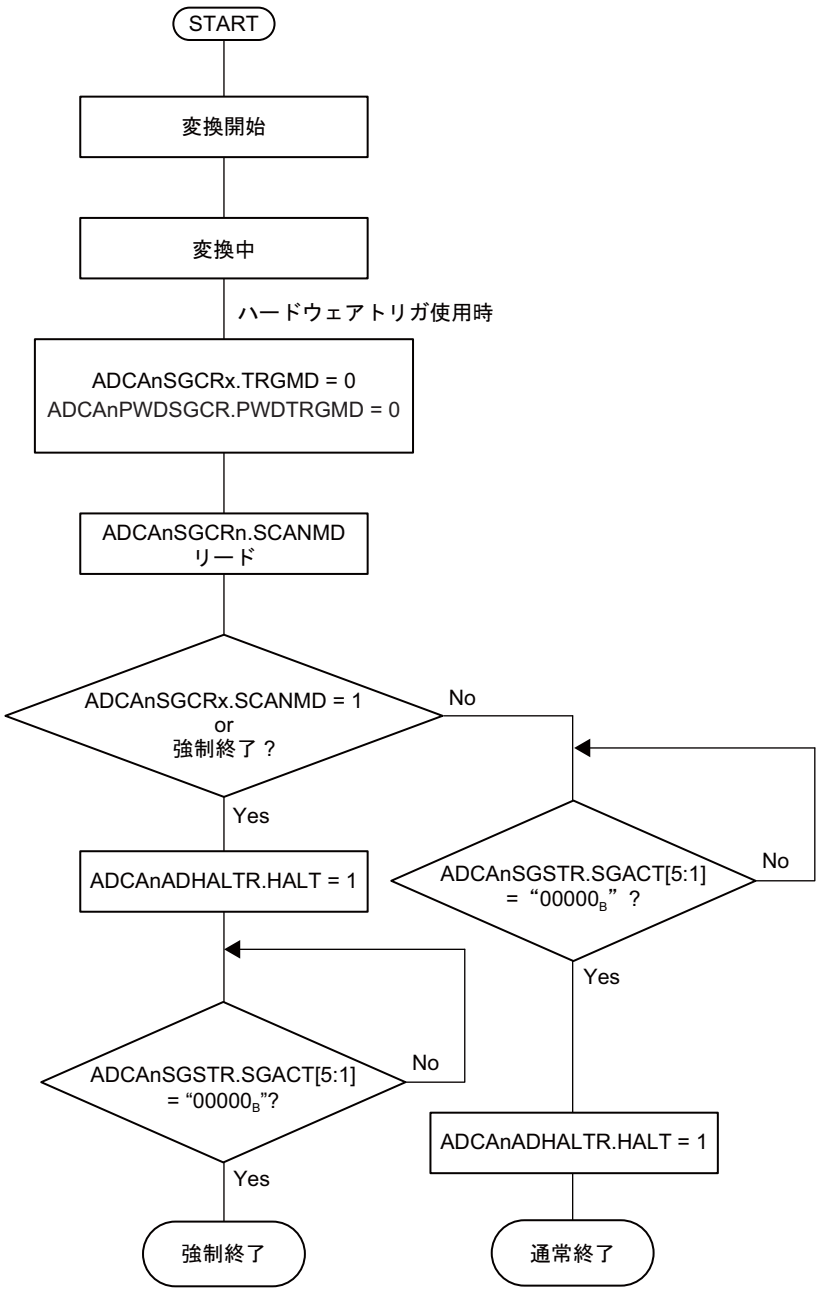
図 31.7 トリガ入力フロー

備 考

スキャン動作中に SG 起動トリガが発生した場合、SG 起動トリガは無視されます。

31.4.3 A/D 変換終了

A/D 変換終了フローは以下の通りです。



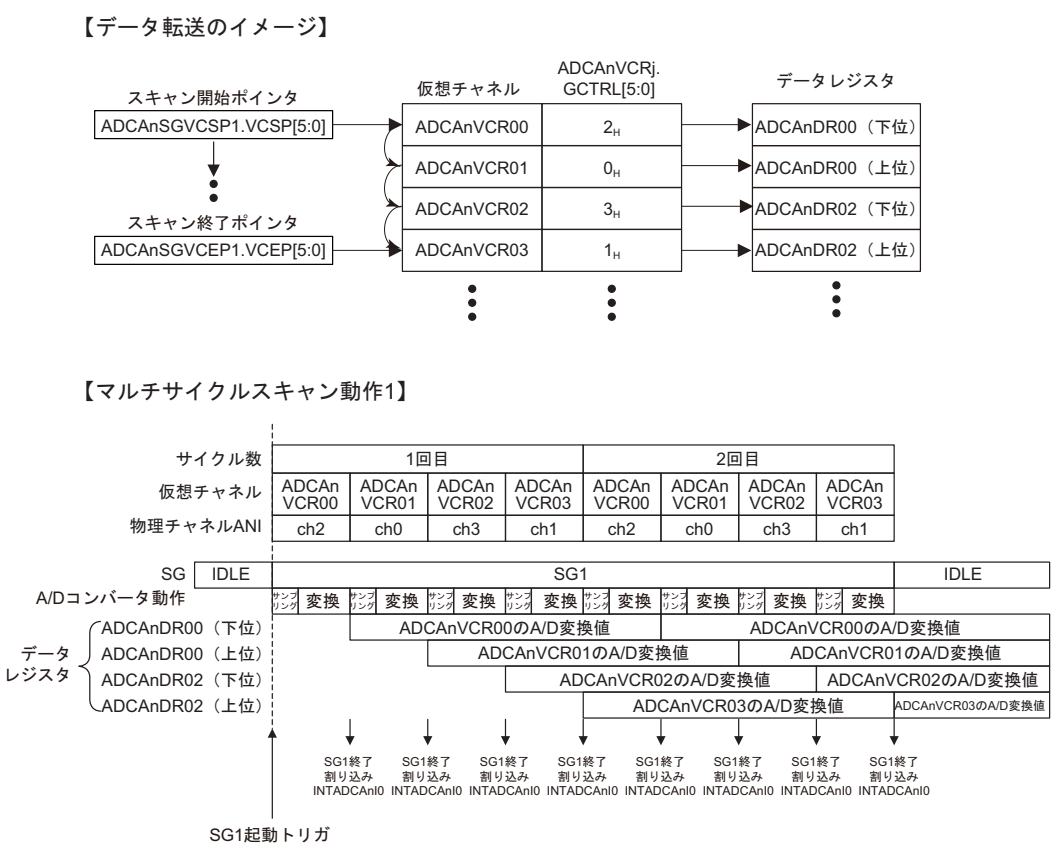
備考 通常終了時の最後の HALT セットは変換状態と IDLE 状態を明確にする処理です。通常終了時の HALT セット有無による A/D 変換精度には影響ありません。

図 31.8 A/D 変換終了フロー

31.4.4 スキャングループ動作例

(1) マルチサイクルスキャンモード

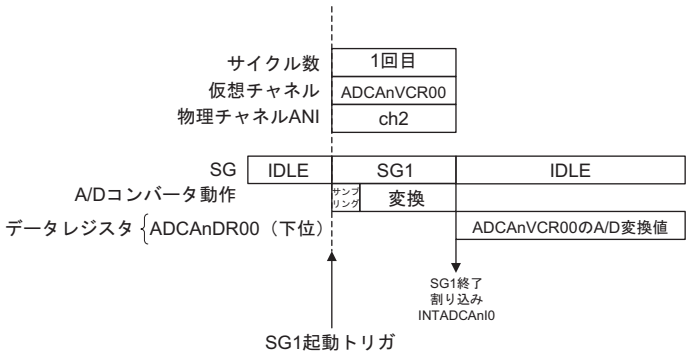
スキャングループ 1 にてマルチサイクルスキャンモードの 2 サイクルスキャンで仮想チャネルを 4 チャネル分変換する場合の動作例を示します。



条件
スキャングループ 1： マルチサイクルスキャンモード、マルチサイクルスキャン 2 回、
仮想チャネル 0 ～ 3 の A/D 変換

図 31.9 マルチサイクルスキャン動作例 1

マルチサイクルスキャンモードを使用し、1 端子を 1 回スキャンする場合の動作例を示します。



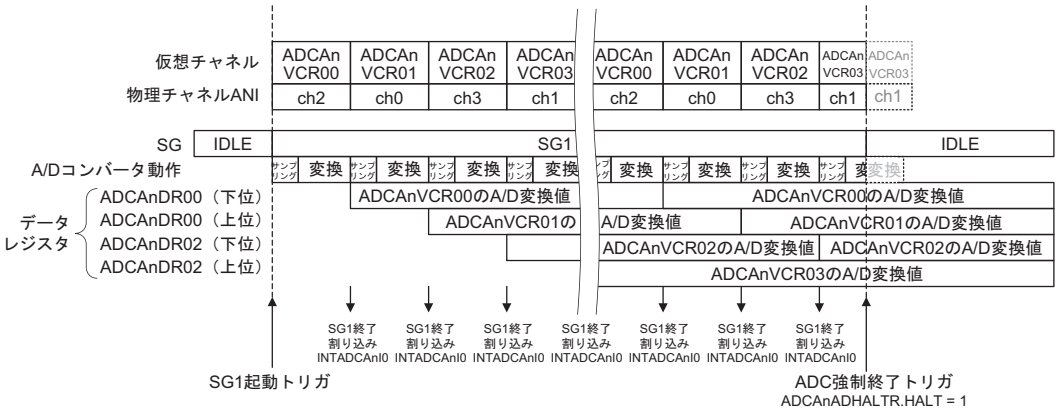
条件
スキャングループ 1： マルチサイクルスキャンモード、マルチサイクルスキャン 1 回、
仮想チャネル 0 の A/D 変換

図 31.10 マルチサイクルスキャン動作例 2

(2) 連続スキャンモード

連続スキャンモードは、ADCAnSGVCSPx.VCSP[5:0] ～ ADCAnSGVCEPx.VCEP[5:0] で指定したポインタが示す SG のチャネルを、ADCAnADHALTR.HALT をアサートするまで A/D 変換を実施するモードです。本連続スキャンモードは、SG1 のみ対応します。

次に、連続スキャンモードの動作例を示します。



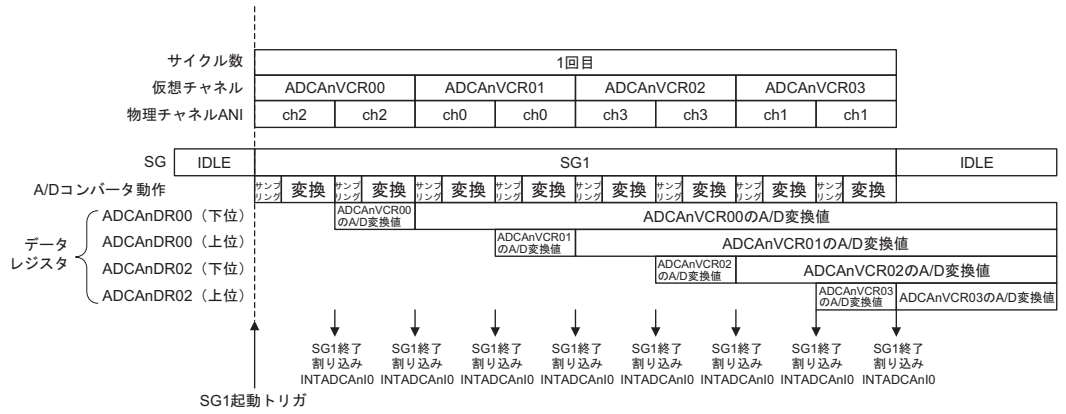
条件
スキャングループ 1： 連続スキャンモード、仮想チャネル 0 ～ 3 の A/D 変換

図 31.11 連続スキャンの動作例

31.4.5 チャネルリピートモード

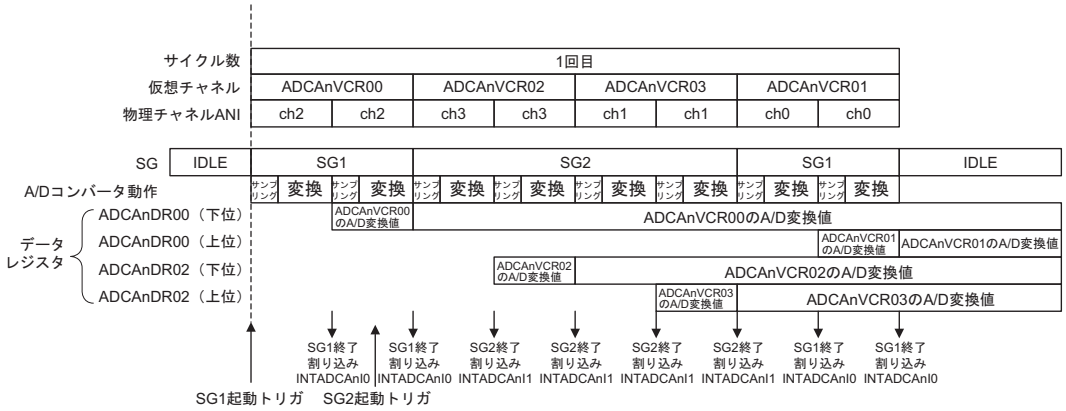
チャネルリピートモードは、ADCAnSGVCSPx.VCSP[5:0] ～ ADCAnSGVCEPx.VCEP[5:0] で指定したポインタが示す SG のチャネルを、ADCAnSGCRx.SCT[1:0] で指定したチャネルリピート回数分の A/D 変換を実施するモードです。各 SG で排他的に動作し、チャネルリピート回数は、1 回、2 回、4 回数分の選択が可能です。

次に、それぞれの条件での動作例を示します。



条件

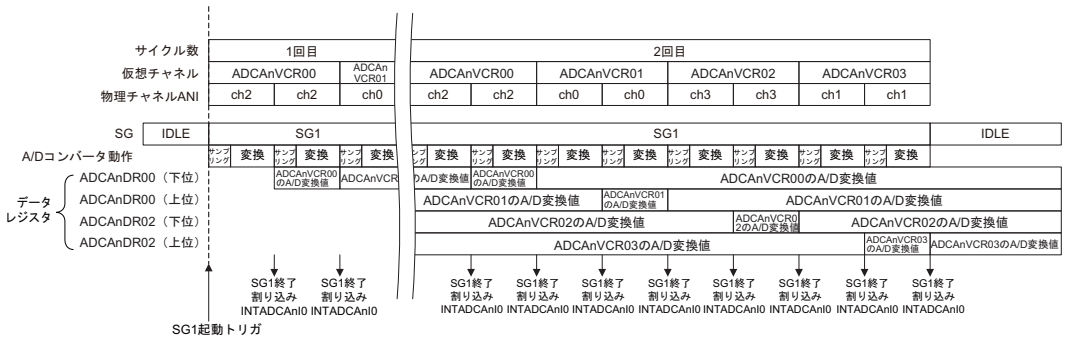
スキャングループ 1： マルチサイクルスキャンモード、チャネルリピート 2 回、
マルチサイクルスキャン 1 回、仮想チャネル 0 ～ 3 の A/D 変換



条件

スキャングループ 1： マルチサイクルスキャンモード、チャネルリピート 2 回、
マルチサイクルスキャン 1 回、仮想チャネル 0 ～ 1 の A/D 変換
スキャングループ 2： マルチサイクルスキャンモード、チャネルリピート 2 回、
マルチサイクルスキャン 1 回、仮想チャネル 2 ～ 3 の A/D 変換

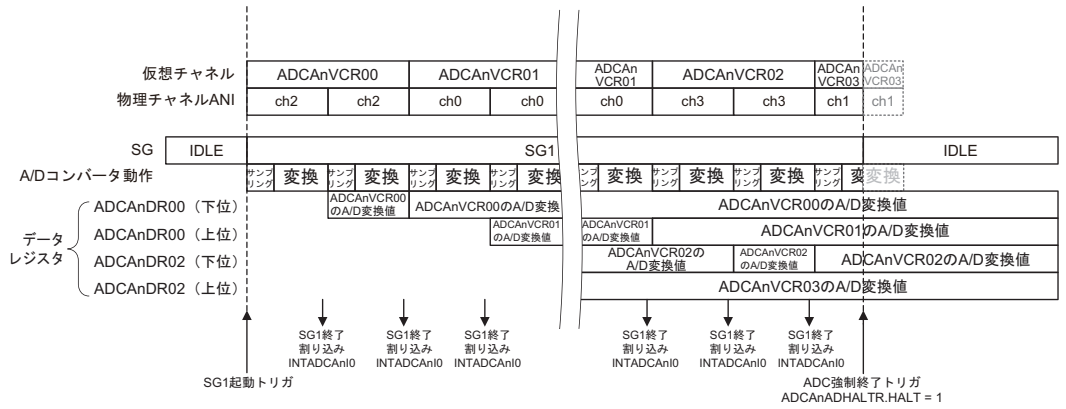
図 31.12 チャネルリピート動作例 1



条件

スキャングループ１： マルチサイクルスキャンモード、チャネルリピート２回、
マルチサイクルスキャン２回、仮想チャネル０～３の A/D 変換

図 31.13 チャネルリピート動作例 2



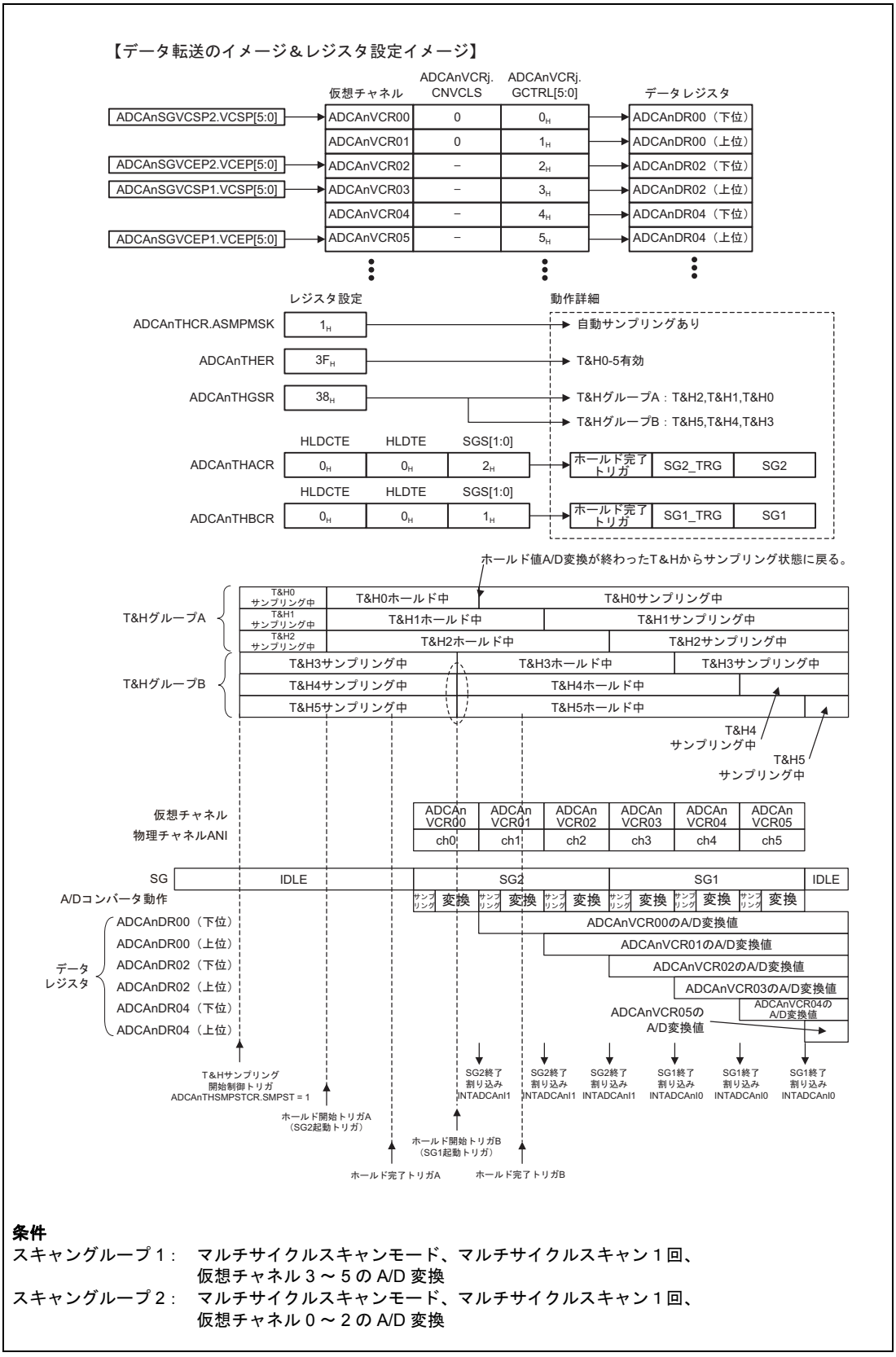
条件

スキャングループ１： 連続スキャンモード、チャネルリピート２回、仮想チャネル０～３の A/D 変換

図 31.14 チャネルリピート動作例 3

31.4.6 同時トラック & ホールド動作例

同時トラック & ホールドの動作例を**図 31.15** に示します。



条件

スキャングループ 1： マルチサイクルスキャンモード、マルチサイクルスキャン 1 回、
仮想チャネル 3 ～ 5 の A/D 変換

スキャングループ 2： マルチサイクルスキャンモード、マルチサイクルスキャン 1 回、
仮想チャネル 0 ～ 2 の A/D 変換

図 31.15 同時トラック & ホールド動作例 1

注　意

- 異なるグループで同じ物理チャネルを指定しないでください。
- マルチサイクルスキャンモードで 2 サイクル以上のスキャン回数、連続スキャンモードを使用した、T&H 動作は禁止です。
- ADCAnTHSMPSTCR.SMPST はグループ A,B 共通となっているため、グループ A,B の両方の T&H 動作を終了させてから、セットしてください。
- ADCAnTHACR レジスタまたは ADCAnTHBCR レジスタの HLDCTE ＝ 1、HLDTE ＝ 1 に設定し、ADCAnTHAHLDSTCR レジスタまたは ADCAnTHBHLDSTCR レジスタの HLDST をライトし T&H をホールド状態にする前に、ハードウェアトリガをアサートするとスキャン動作を開始します。その場合、T&H はサンプリング状態のままチャネルスイッチが開くため、スキャン結果は全て不定となります。HLDCTE ＝ 1、HLDTE ＝ 1 に設定し、HLDST のライト前にハードウェアトリガをアサートすることは禁止です。
- 0-2 チャネルのいずれかと 3-5 チャネルのいずれかを同じグループに設定することは禁止です。
- T&Hサンプリング開始制御トリガからホールド開始トリガまでの間が450ns以上となるように使用してください。
- ホールド開始トリガからグループのA/D変換完了までは10μs以内となるよう設定してください。
  サスペンドモードでは、サスペンド期間が 10μs を超える場合は、低優先度のスキャングループのチャネルに T&H を使用しないでください。

31.4.7 外付けアナログマルチプレクサでの A/D 変換

それぞれの A/D 変換例を示します。

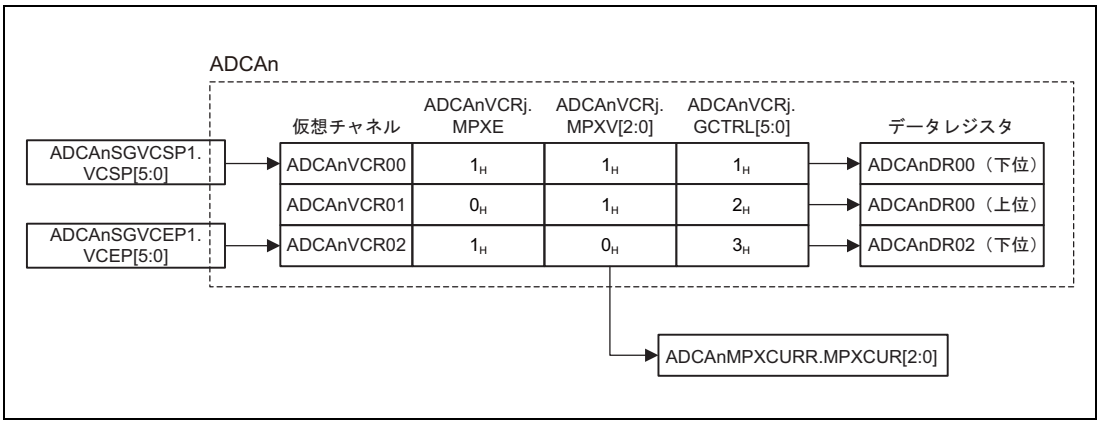


図 31.16 データ転送＆レジスタ設定イメージ

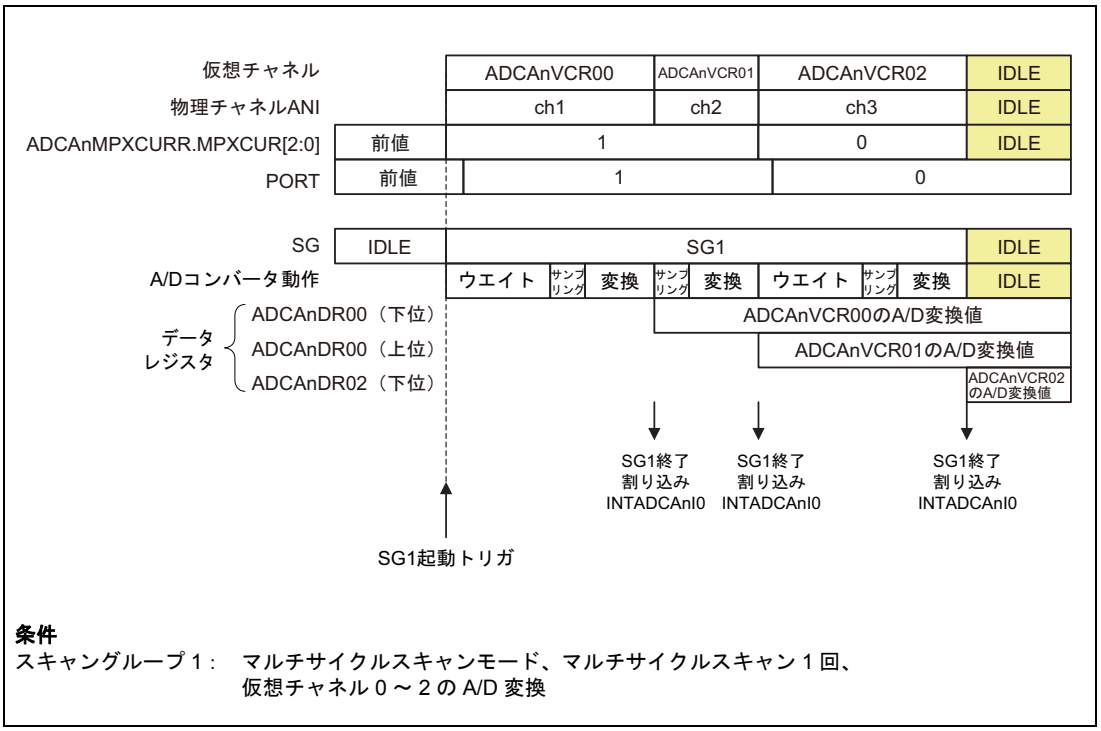
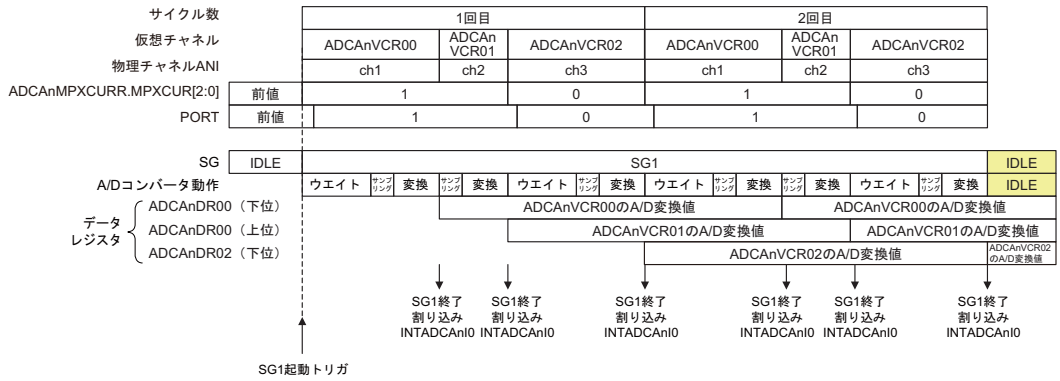


図 31.17 外付けアナログマルチプレクサでの A/D 変換動作 1

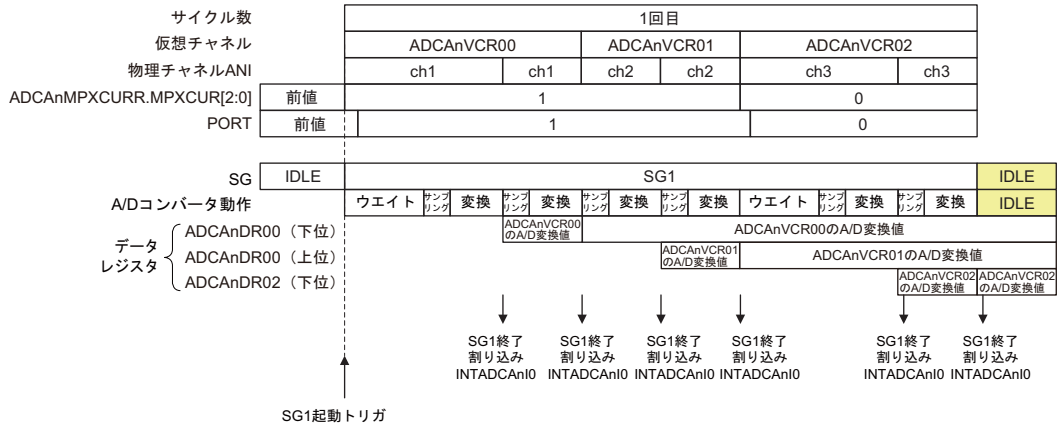


条件

スキャングループ１： マルチサイクルスキャンモード、マルチサイクルスキャン２回、仮想チャネル０～２の A/D 変換

備考 ウエイトは 1A/D 変換時間

図 31.18 外付けアナログマルチプレクサでの A/D 変換動作 2



条件

スキャングループ１： マルチサイクルスキャンモード、チャネルリピート２回、マルチサイクルスキャン１回、仮想チャネル０～２の A/D 変換

図 31.19 外付けアナログマルチプレクサでの A/D 変換動作 3

31.4.7.1 PWM-Diag 機能時の A/D 変換動作

PWM-Diag 機能使用時は、A/D コンバータは PWM-Diag からの信号により、A/D 変換を行います。

PWM-Diag 機能の詳細は、**「第 30 章 PWM 出力／診断（PWM-Diag）」**を参照してください。

A/D コンバータは、A/D 変換トリガ選択（PWSA）の信号により、MPX の設定情報を受け取り A/D 変換を制御します。PWM-Diag 機能時の A/D 変換フローは次の通りです。

（1） ADCAnPWDVCR.MPXV[2:0] に MPX のチャネル MPX 値を設定します。MPX には最大で 8 チャネルの指定が可能です。

（2） PWM-Diag からのトリガ信号 PWSA_ADTRG により、A/D 変換を開始します。尚、MPX イネーブルビット ADCAnPWDVCR.MPXE が ‘1’ のとき、A/D 変換開始前に 1A/D 変換時間のウエイトを挿入します。

（3） A/D 変換終了時、PWM-Diag に対してスキャン終了を通知します。

注 意

PWM-Diag 機能のトリガ信号 PWSA_ADTRG は、SGx_TRG（x = 1-3）よりも高優先度の為、他のスキャングループは、PWM-Diag が終了するまで待たされる場合があります。

MPX を使用した PWM-Diag 動作の例を**図 31.20** に示します。

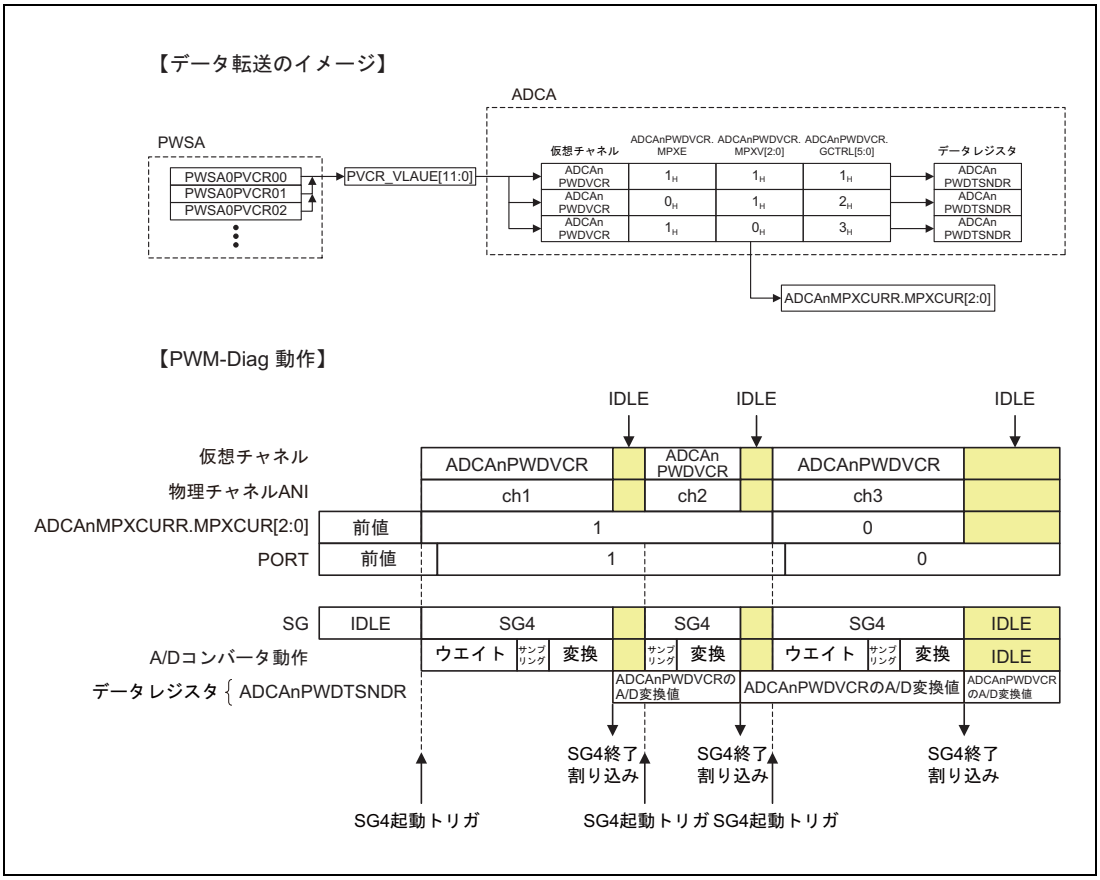


図 31.20 PWM-Diag 動作

31.4.8 同期サスペンド & レジューム動作例

同期サスペンド & レジューム動作の例を**図 31.21** に示します。低優先 SG に対して高優先 SG が割り込む場合についての動作です。

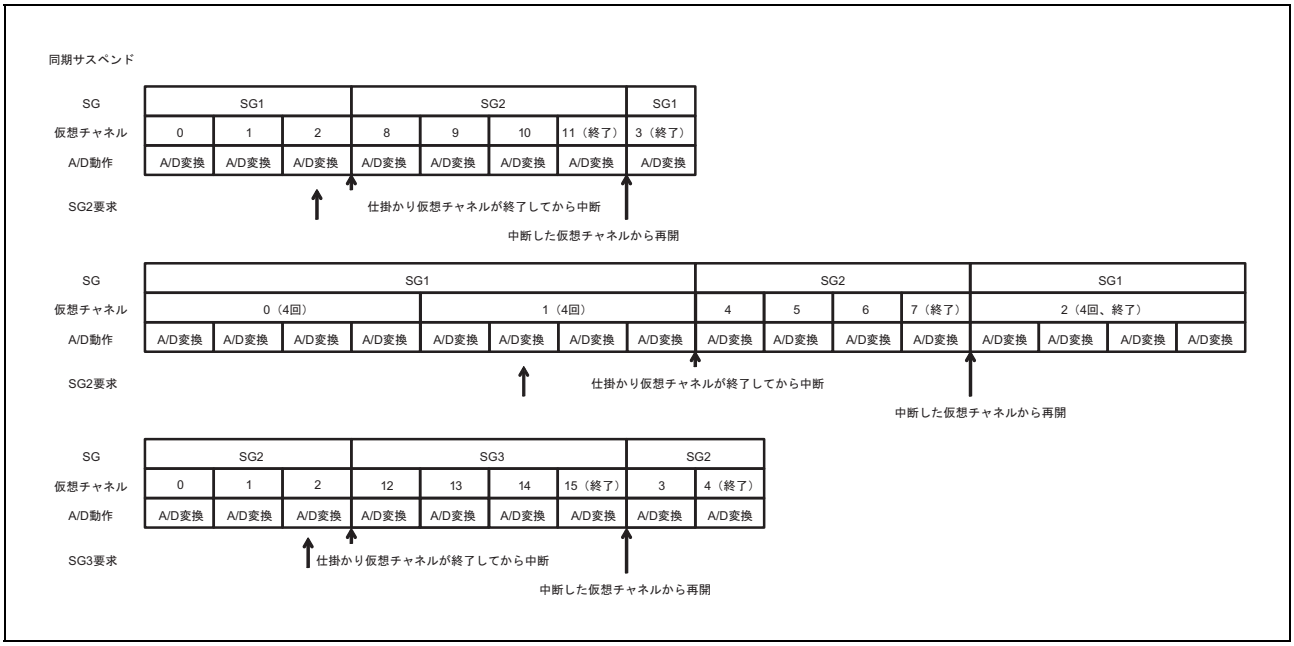


図 31.21 同期サスペンド & レジューム動作例

備 考

スキャングループの優先順位は、次の通りです。

低い 高い

SG1 ＜ SG2 ＜ SG3 ＜ PWM-Diag（SG4）

31.4.9 非同期サスペンド & レジューム動作例

非同期サスペンド & レジューム動作の例を**図 31.22** に示します。低優先 SG に対して高優先 SG が割り込む場合の動作です。

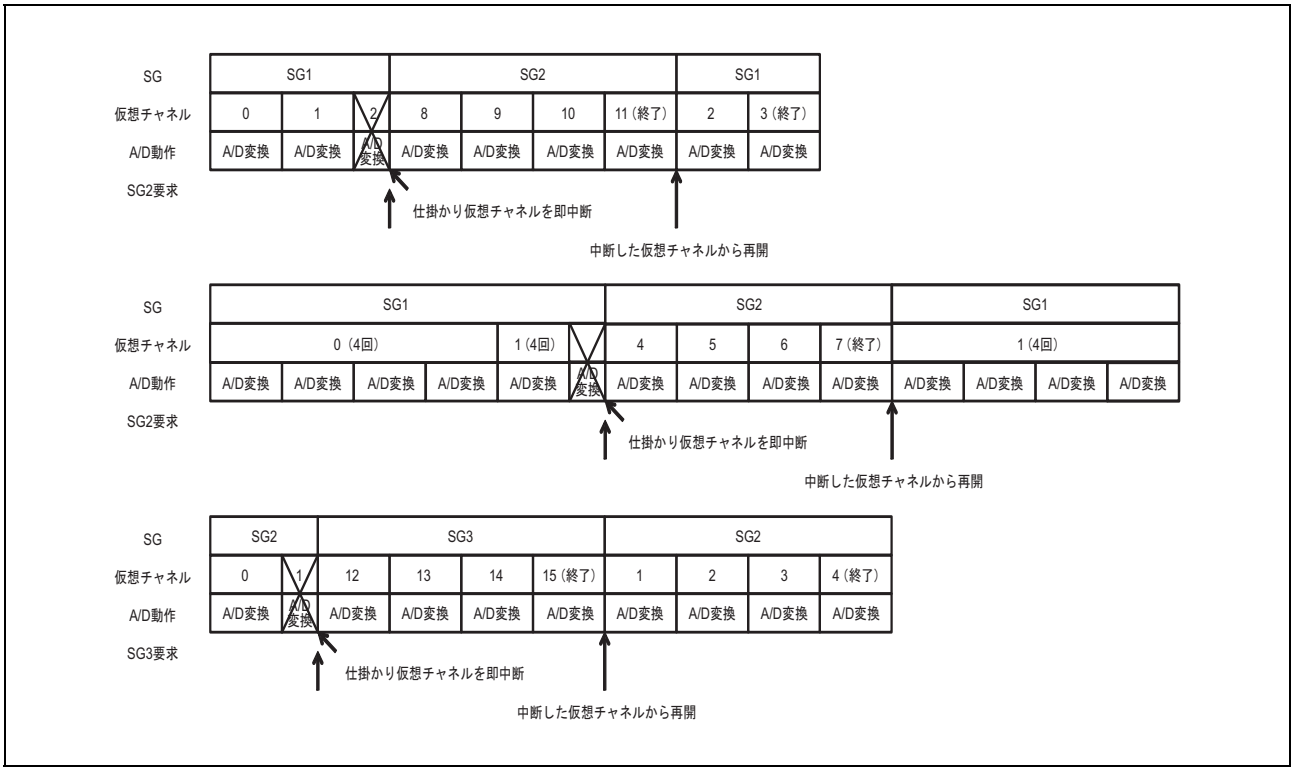


図 31.22 非同期サスペンド & レジューム動作例

備 考

スキャングループの優先順位は、次の通りです。

低い 高い

SG1 ＜ SG2 ＜ SG3 ＜ PWM-Diag（SG4）

31.4.10 エラー検出機能

ADCAn は上限／下限エラーとオーバーライトエラーに対応しています。

31.4.10.1 上限／下限エラー検出機能

上限／下限エラーは、A/D 変換が終了するとき、A/D 変換データが、上限テーブル ADCAnULLMTBR0.ULMTB[11:0] より大きいか、下限テーブル ADCAnULLMTBR0.LLMTB[11:0] より小さいかを判定します。

31.4.10.2 オーバーライトエラー検出機能

ADCAnDIRj.WFLG = 1（A/D 変換結果が格納）状態で、仮想チャネルの ADCAnDIRj レジスタまたは ADCAnDRj レジスタがリードされず、次の A/D 変換結果が ADCAnDRj レジスタにライトされたとき、オーバーライトエラーを検出します。

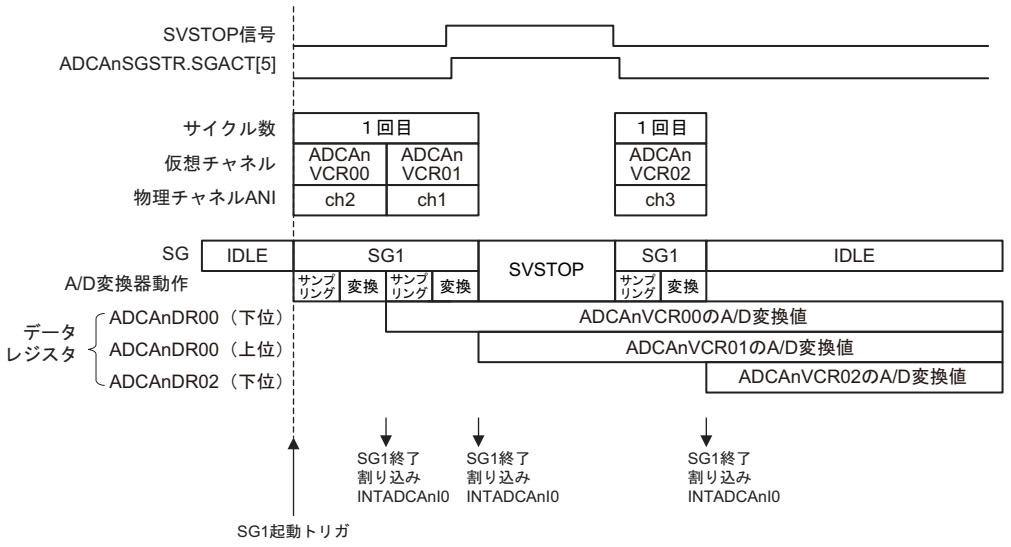
31.4.10.3 SVSTOP 動作

オンチップデバッガコントロールユニットにより供給される SVSTOP 信号により、SVSTOP 機能をサポートしています。SVSTOP 機能は、エミュレーションのブレーク時に SVSTOP 信号が入力されることで、A/D コンバータの変換動作を停止します。SVSTOP 期間中は、外部アクセスによって ADCAnDRj、ADCAnDIRj、ADCAnSGSTR、ADCAnULER、ADCAnOWER、ADCAnPWDTSNDR、ADCAnPWDDIR レジスタをリードした場合でも各レジスタへの影響はありません。

ADCAnEMU.SVSDIS = 0 を設定時に、SVSTOP= ハイレベルを入力した時に、ADCAnSGSTR.SGACT[5] に 1 をセットし、SVSTOP 状態に遷移します。尚、SVSTOP 中のハードウェアトリガとソフトウェアトリガは有効です。また、ADCAnEMU.SVSDIS = 1 を設定時に、SVSTOP = ハイレベルを入力した場合は、SVSTOP 状態に遷移しません。なお、SVSTOP 中に ADHALT（A/D 変換強制終了）は行わないでください。

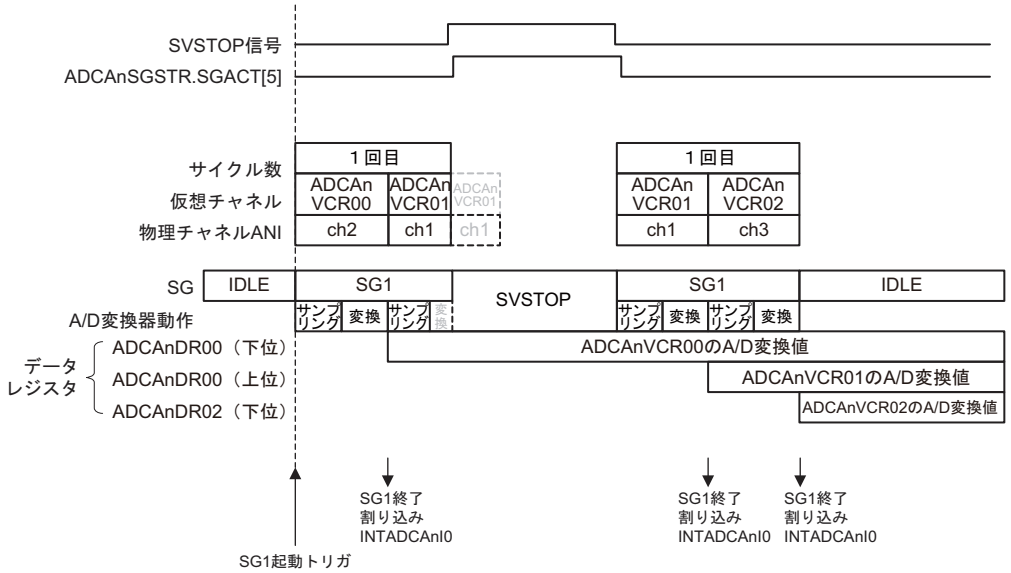
同期サスペンドの場合、SVSTOP = ハイレベルを入力してから変換中のチャネルが終了するまでの間、新たな起動トリガを受け付けることができません。この時間は最大 1A/D 変換時間となります。

以下に、SVSTOP による動作例を示します。



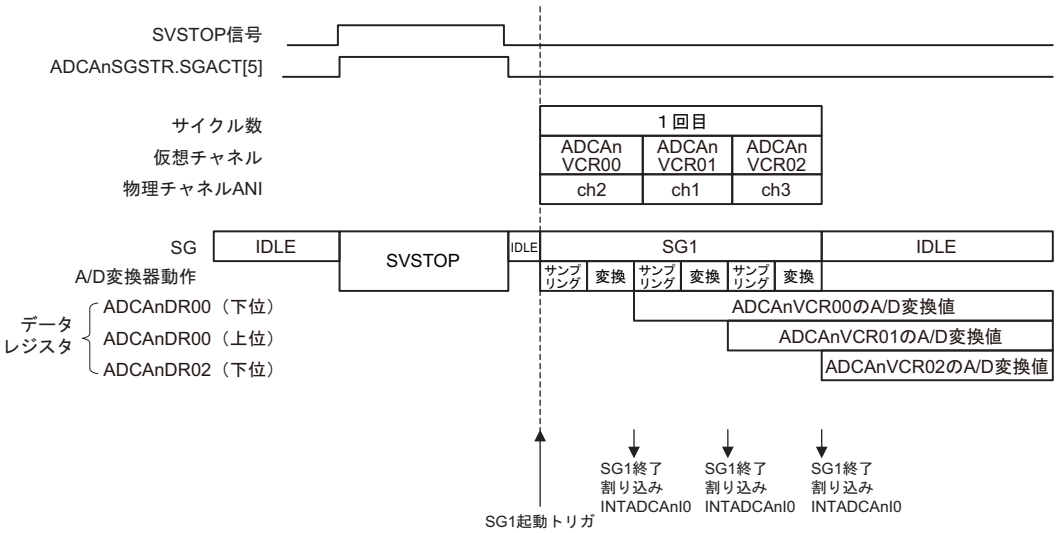
備考 変換完了後は SVSTOP 中も SG 起動トリガを受け付けます。

図 31.23 SVSTOP 動作例 (ADCAnADCR.SUSMTD = “00”, ADCAnEMU.SVSDIS = “0”)



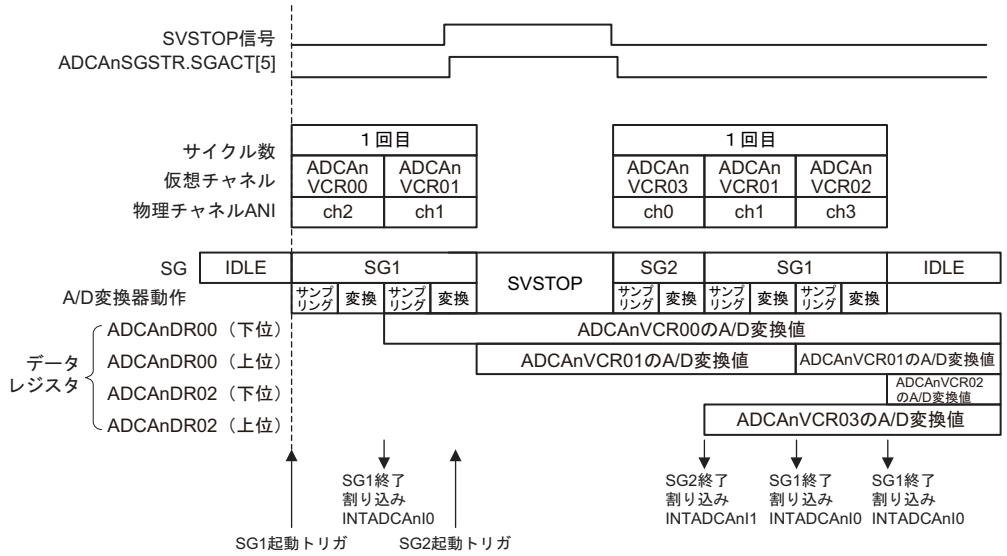
備考 SVSTOP 中も SG 起動トリガを受け付けます。

図 31.24 SVSTOP 動作例 (ADCAnADCR.SUSMTD = “10”, ADCAnEMU.SVSDIS = “0”)



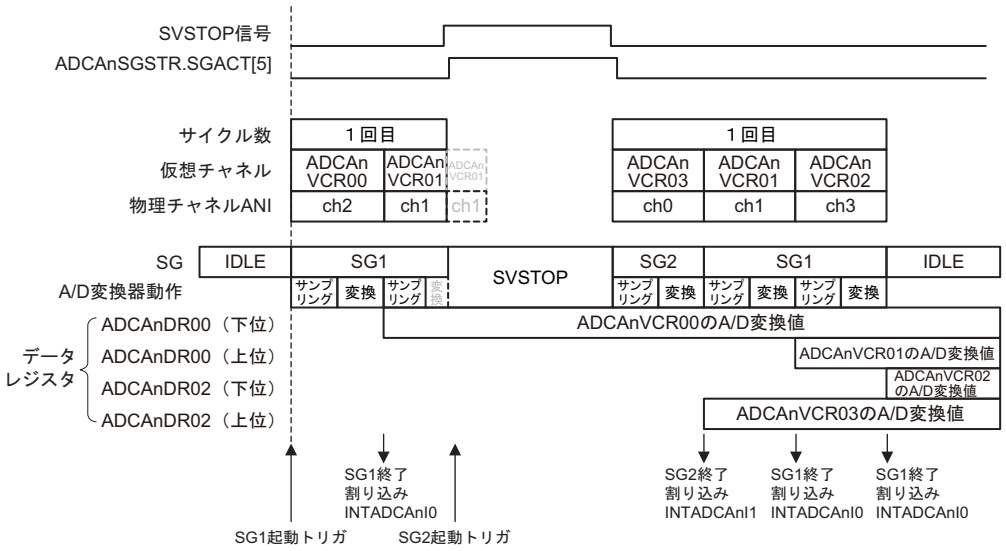
備考 SVSTOP 中も SG 起動トリガを受け付けます。

図 31.25 IDLE 期間中の SVSTOP 動作例 (ADCAnADCR.SUSMTD = “00”, ADCAnEMU.SVSDIS = “0”)



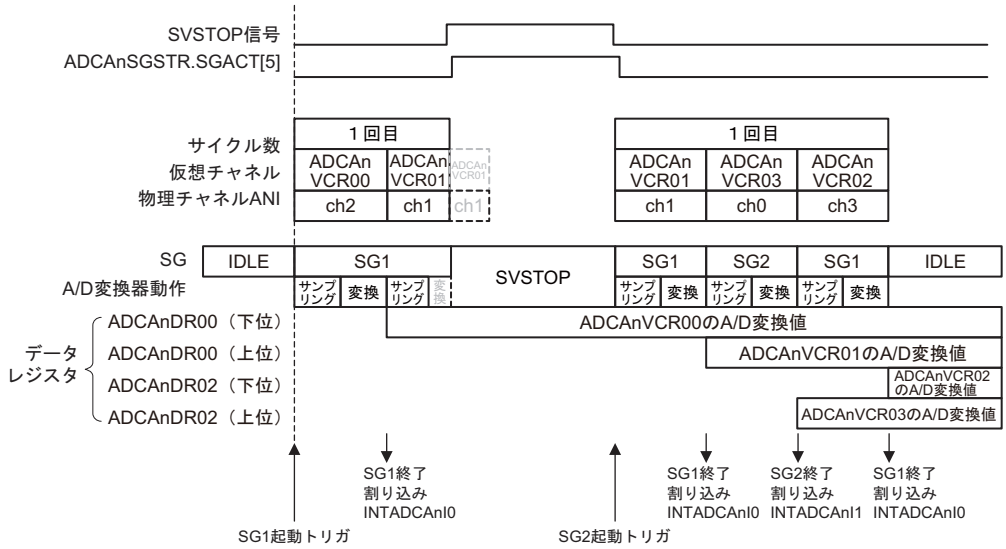
備考 SVSTOP の受付後も変換中のチャネルは停止しませんが、SG 終了割り込みが発生しません。
このチャネルは SVSTOP クリア後に再変換が行われます。
変換完了後は SVSTOP 中も SG 起動トリガを受け付けます。

図 31.26 SVSTOP 開始と高優先 SG 開始トリガの競合 (ADCAnADCR.SUSMTD = “00”, ADCAnEMU.SVSDIS = “0”)



備考 SVSTOP 中も SG 起動トリガを受け付けます。

図 31.27 SVSTOP 開始と高優先 SG 開始トリガの競合 (ADCAnADCR.SUSMTD = “10”, ADCAnEMU.SVSDIS = “0”)



備考 SVSTOP 中も SG 起動トリガを受け付けます。
SVSTOP のクリアとスキャングループ開始トリガセットが競合した場合は、優先度に依存せず中断したスキャングループから再開します。

図 31.28 SVSTOP クリアと高優先 SG 開始トリガの競合 (ADCAnADCR.SUSMTD = “10”, ADCAnEMU.SVSDIS = “0”)

31.4.11 ハードウェアトリガによるスキャングループの起動

SGx_TRG へのハードウェアトリガ入力で、スキャングループ x を起動することができます。使用できるハードウェア要因は**「表 31.47 A/D 変換ハードウェアトリガ一覧」**を参照してください。ハードウェアトリガで SGx_TRG を起動するときは、トリガに使用する周辺機能を設定し、A/D 変換トリガ選択制御レジスタ（ADCAnSGTSELx）に開始トリガを設定してください。外部トリガ入力端子によるハードウェアトリガではデジタルフィルタの設定を行ってください。詳細は**「2.12 ノイズフィルタ & エッジレベル検出回路」**を参照してください。開始トリガは複数設定することができます。

31.4.11.1 ADHALT によるスキャングループ停止

ADCAnADHALTR.HALT（A/D 強制終了トリガ) をセットすることで、A/D 変換を強制終了し、スキャングループステータスレジスタ（(ADCAnSGSTR）をクリアします。
ADCAnULER（上限 / 下限エラーレジスタ）のエラーフラグはクリアされません。
ADCAnADHALTR.HALT をセットした場合は、ADCAnSGSTR.SGACT がクリアされたことを確認してください。

31.4.12 スキャン終了割り込み要求

スキャングループ x は、INTC へのスキャン終了割り込み要求（INT_SGx）を発生することができます。ADCAnSGCRx の ADIE を 1 に設定すると SGx のスキャン終了で INT_SGx を出力し、0 に設定すると SGx のスキャン終了時の INT_SGx の出力を禁止できます。また、ADCAnVCRj の ADIE を 1 に設定すると SGx の仮想チャネル j の A/D 変換終了で INT_SGx を出力し、0 に設定すると SGx の仮想チャネル j の A/D 変換終了時の INT_SGx の出力を禁止できます。ADCAnSGCRx と ADCAnVCRj の ADIE を “1” にしたとき、SGx のスキャン終了と仮想チャネル j の A/D 変換終了が同じタイミングとなるため、INT_SGx は 1 度のみ発生します。

例 1 : ADCAnSGCR1 の ADIE ＝ 0、VCR0 の ADIE ＝ 1、VCR1 の ADIE ＝ 0、SG1 で仮想チャネル 0 ～ 1 のスキャン実行
仮想チャネル 0 の A/D 変換終了で INT_SG1 が出力します。

例 2 : ADCAnSGCR2 の ADIE ＝ 0、VCR0 の ADIE ＝ 1、VCR1 の ADIE ＝ 1、SG2 で仮想チャネル 0 ～ 1 のスキャン実行
仮想チャネル 0 と仮想チャネル 1 の A/D 変換終了で INT_SG2 が出力します。

例 3 : ADCAnSGCR3 の ADIE ＝ 1、VCR0 の ADIE ＝ 0、VCR1 の ADIE ＝ 0、SG3 で仮想チャネル 0 ～ 1 のスキャン実行
スキャン終了（仮想チャネル 1 の A/D 変換終了）で INT_SG3 が出力します。

さらに、スキャン終了時に DMAC を起動することができます。

DMAC の設定については**「第 8 章 DMA」**を参照してください。

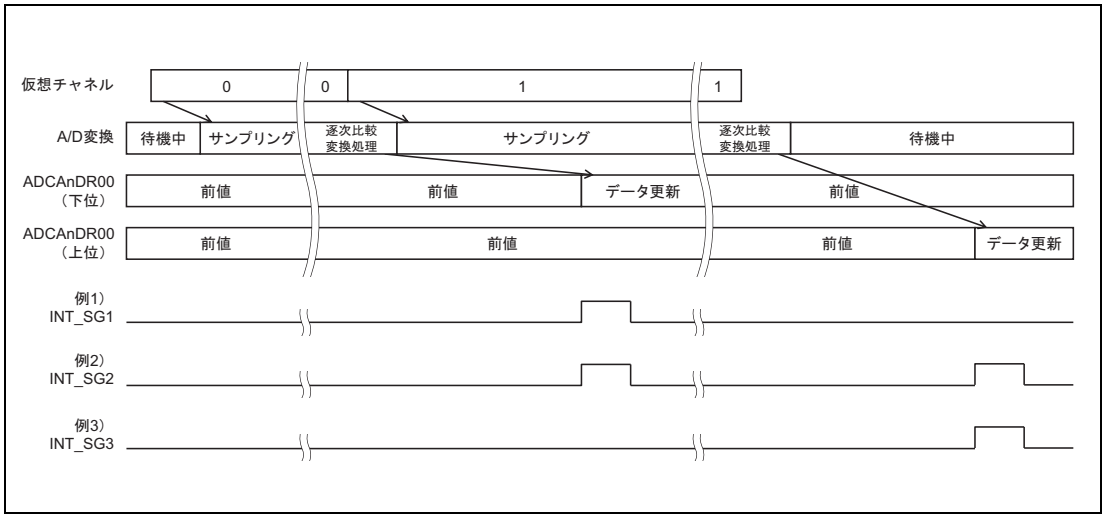


図 31.29 スキャン変換終了割り込み発生

31.4.13 A/D エラー割り込み要求

ADCA は、INTC への A/D エラー割り込み要求（INT_ADE）を発生することができます。ADCAnSFTCR の ULEIE、OWEIE が 1 に設定されたエラー要因の OR 条件を INT_ADE として発生します。0 に設定されたエラー要因の INT_ADE は、割り込みを出力しません。

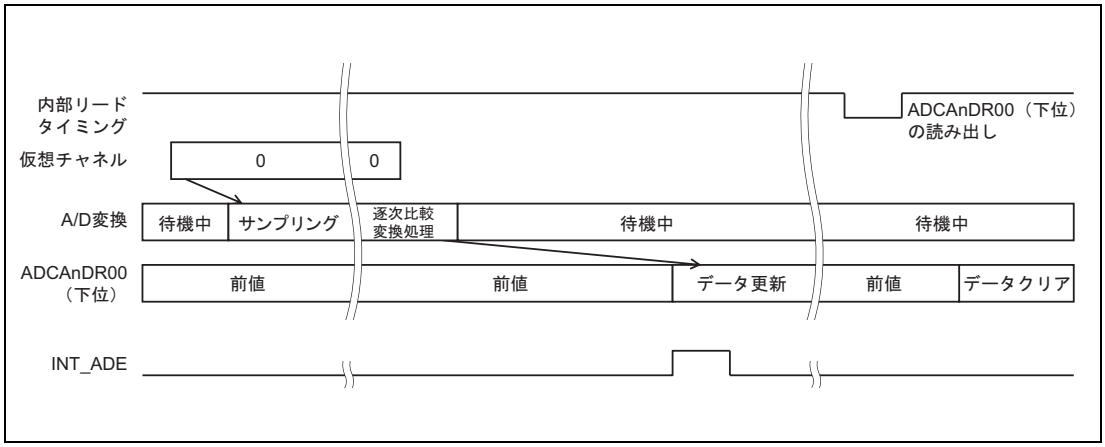


図 31.30 A/D エラー割り込み（例：オーバライトエラー）

31.5 自己診断機能

ADCAn が機能しているかどうかを確認するために、次の自己診断機能が使用できます。

「31.5.1 A/D 変換回路の診断」

「31.5.2 チャネルマルチプレクサの診断」

「31.5.3 オープン端子の診断」

「31.5.4 T&H 回路の診断」

自己診断機能の概要を次の図に示し、詳細を後続の項で説明します。

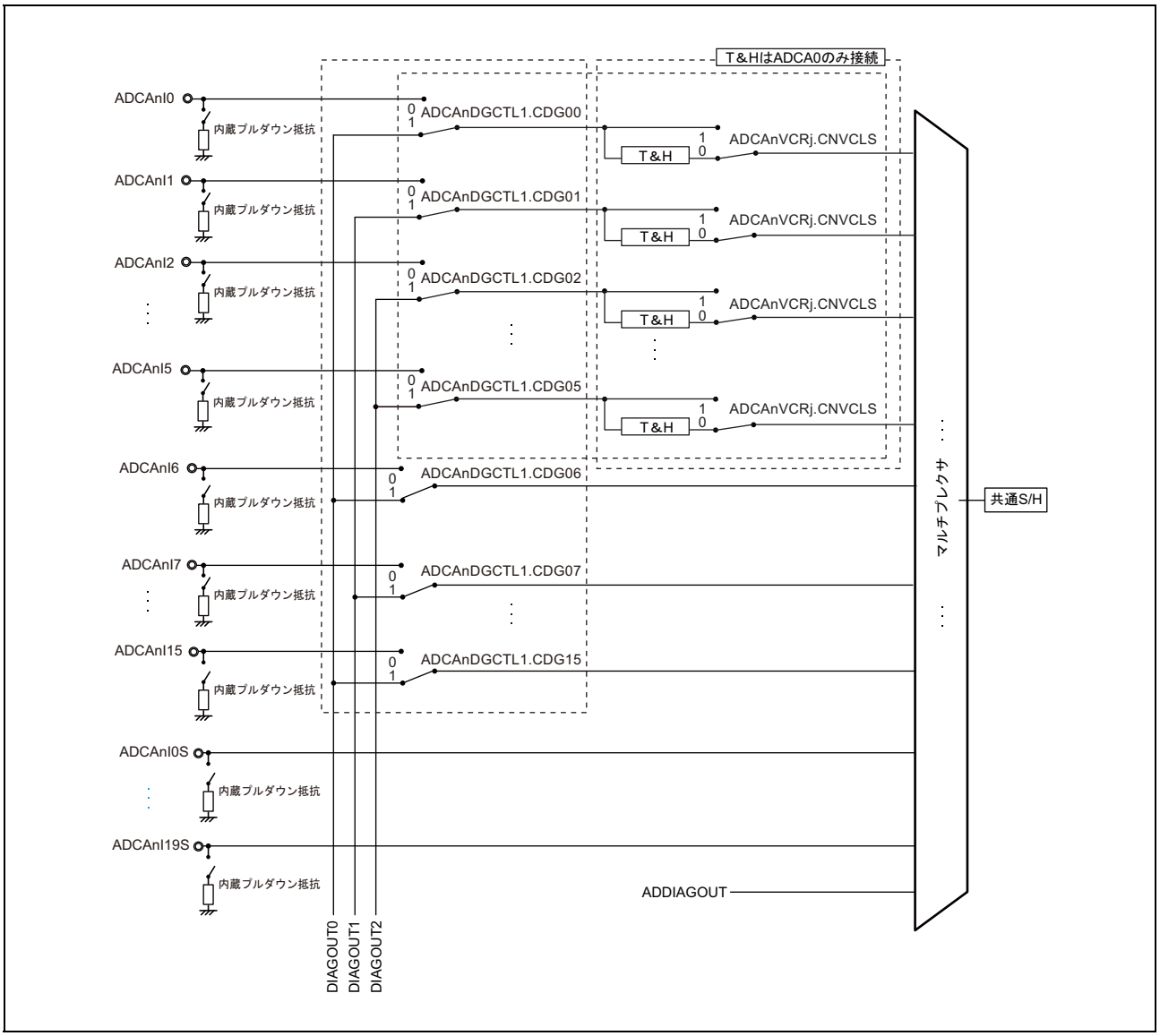


図 31.31 自己診断機能の概要

備 考

点線で囲まれた部分は製品依存の機能です。

31.5.1 A/D 変換回路の診断

A/D 変換回路の診断は、自己診断電圧（ADDIAGOUT）に対する A/D 変換と変換結果の確認とにより、A/D 変換回路が正常に動作していることを確認することができます。A/D 変換結果が期待値と異なる場合、内部回路が破損している可能性があります。A/D 変換回路自己診断機能の特徴を以下に示します。

- ADCAnDGCTL0.PSEL[2:0] レジスタにより、自己診断電圧（ADDIAGOUT）レベルとして AnV_{REF}, $2/3AnV_{REF}$, $1/3AnV_{REF}$, $1/2AnV_{REF}$, AnVSS を選択できます。
- A/D 変換回路の自己診断は、SG1-3 の A/D 変換のいずれかを実施することで、A/D 変換回路の診断が可能です。

31.5.1.1 診断手順

以下に診断手順を示します。

ADC の共通設定は自己診断を行う前に行ってください。

1. ADCAnADCR.DGON =1 に設定し、自己診断電圧回路を有効にする。
2. 500 ns 待つ。
3. ADCAnDGCTL0.PSEL[2:0] ビットを設定し、自己診断電圧レベルを選択する。
4. ADCAnADCR.DGON = 1 に設定し、電圧レベルを更新する。
5. 500 ns 待つ。
6. 任意の ADCAnVCRj.GCTRL[5:0] ビットを 100100_B に設定し、診断チャネルを選択する。
7. ADCAnVCRj.ADIE = 1 に設定し、A/D 変換完了割り込みを有効にする。
8. ADCAnSGVCSPx を設定し、仮想チャネルの開始ポインタを指定する。
9. ADCAnSGVCEPx を設定し、仮想チャネルの完了ポインタを指定する。
10. A/D 変換を実行するために、スキャングループの開始トリガを生成する。
11. 変換割り込みが発生すると、結果をリードし、期待値と比較する。
12. 結果が期待値である場合、A/D 変換は正常に実行されている。

備　考

- A/D 変換中でも、ADCAnDGCTL0.PSEL[2:0] への書き込みで、自己診断電圧レベルを変更することができます。この場合、ADCAnDGCTL0.PSEL[2:0] の値は、次の A/D 変換から有効になります。
- ADCAnADCR.DGON をクリア（0）する際は、次の手順で実行してください。
  1. 全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 であることを確認します。
  2. ADCAnDGCTL0.PSEL[2:0] をクリアします。
  3. ADCAnADCR.DGON をクリア します。

31.5.2 チャネルマルチプレクサの診断

チャネルマルチプレクサの診断は、アナログ入力から A/D 変換回路までの経路が正常であることを診断する機能です。

診断 A/D 変換用電圧（DIAGOUT0、DIAGOUT1, DIAGOUT2）を ADCAnDGCTL0.PSEL[2:0]と、接続するチャネルを ADCAnDGCTL1 レジスタで設定し、複数のアナログチャネルを使用した A/D 変換を行います。

A/D 変換結果が期待値と異なる場合、内部回路が破損していることがあります。以下に、チャネルマルチプレクサの自己診断機能について示します。

- 診断するチャネル（ADCA0I0 ～ ADCA0I15、ADCA1I0 ～ ADCA1I15）を任意に選択できます。
- 自己診断電圧レベルは、$2/3AnV_{REF}$,$1/3AnV_{REF}$,$1/2AnV_{REF}$ を選択でき、各チャネルには、3 つの基準電圧のうちひとつを割り当てることができます。

表 31.53 診断チャネルの選択

接続先	選択チャネル
DIAGOUT0	チャネル 0, 3, 6, 9, 12, 15
DIAGOUT1	チャネル 1, 4, 7, 10, 13
DIAGOUT2	チャネル 2, 5, 8, 11, 14

- 複数のチャネルを使用して SG1-3 の A/D 変換のいずれかを実施することで、チャネルマルチプレクサの診断が可能です。

31.5.2.1 診断手順

以下に診断手順を示します。

ADC の共通設定は自己診断を行う前に行ってください。

1. ADCAnADCR.DGON =1 に設定し、自己診断電圧回路を有効にする。
2. 500 ns 待つ。
3. ADCAnDGCTL0.PSEL[2:0] ビットを設定し、自己診断電圧レベルを選択する。
4. ADCAnADCR.DGON = 1 に設定し、電圧レベルを更新する。
5. 500 ns 待つ。
6. 2 つ以上の ADCAnVCRj レジスタを使用する。
   ADCAnVCRj.GCTRL[5:0] ビットを設定し、物理チャネルを選択する。
   ADCAnVCRj.ADIE ビットを設定し、A/D 変換完了割り込みを有効にする。
7. ADCAnSGVCSPx レジスタを設定し、仮想チャネルの開始ポインタを指定する。
8. ADCAnSGVCEPx レジスタを設定し、仮想チャネルの完了ポインタを指定する。
9. ADCAnDGCTL1 レジスタを設定し、物理チャネルを自己診断チャネルに指定する。
10. A/D 変換を実行するために、スキャングループの開始トリガを生成する。
11. 変換割り込みが発生すると、結果をリードし、期待値と比較する。
12. 結果が期待値である場合、A/D 変換は正常に実行されている。

備　考

- A/D 変換中でも、ADCAnDGCTL0.PSEL[2:0] への書き込みで、自己診断電圧レベルを変更することができます。この場合、ADCAnDGCTL0.PSEL[2:0] ビットの値は、次の A/D 変換から有効になります。
- ADCAnADCR.DGON をクリア（0）する際は、次の手順で実行してください。
  1. 全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 であることを確認します。
  2. ADCAnDGCTL0.PSEL[2:0] をクリアします。
  3. ADCAnADCR.DGON をクリア します。

31.5.3 オープン端子の診断

オープン端子の診断は、アナログ入力端子 （ADCAnIm、ADCAnImS）が断線などの理由によりオープン状態となっていることを検出する機能です。

内部プルダウン抵抗は、アナログ入力端子を診断するために接続できます。

アナログ入力端子 （ADCAnIm、ADCAnImS）に、自己診断機能用のプルダウン抵抗を接続して対象チャネルの A/D 変換を行います。

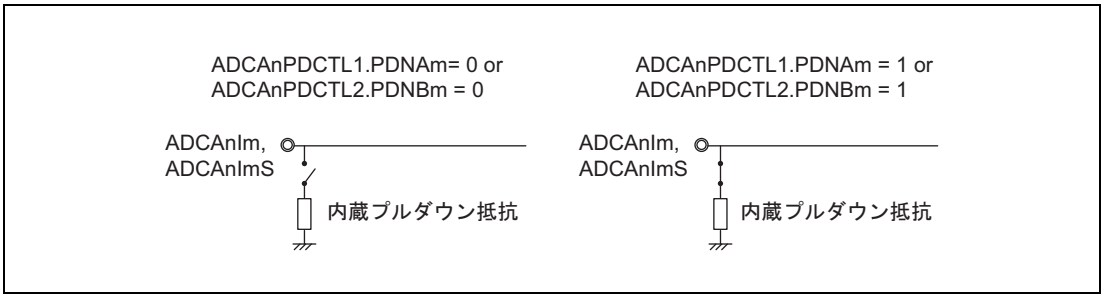


図 31.32 内蔵プルダウン抵抗の設定

断線が起こっている場合、変換結果はほぼ 0V に減衰し、オープン検出と判断することが可能です。

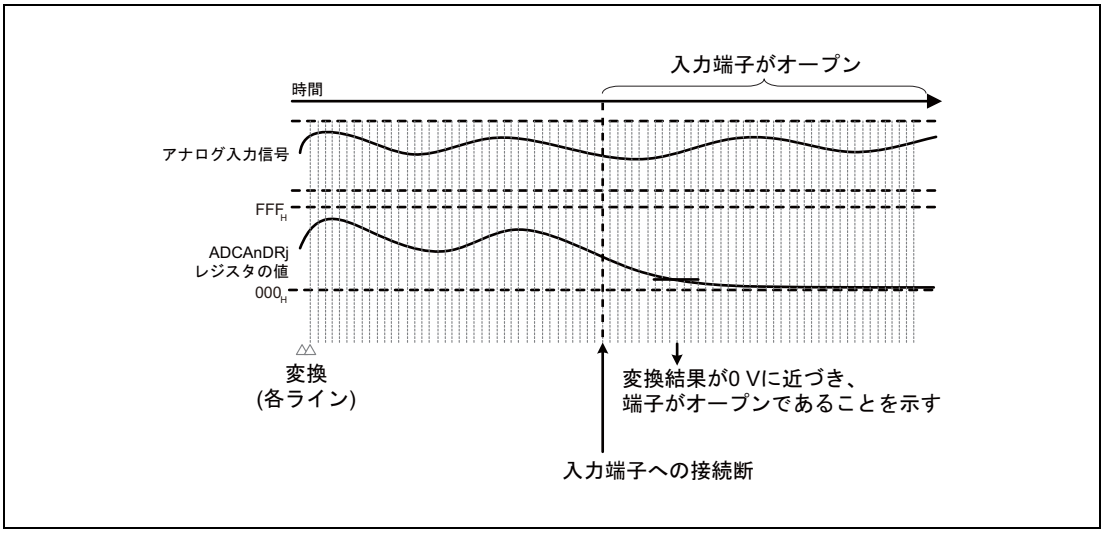


図 31.33 アナログ入力信号の断線検出

注 意

1. **通常の A/D 変換動作中は、プルダウン抵抗を接続しないでください。接続されたプルダウン抵抗は、入力電圧の低下をもたらし、誤った A/D 変換結果になる可能性があります。**
2. **プルダウン抵抗を接続しても、電圧レベルがアナログ入力電圧にほぼ等しい場合、本機能で切断を検出することはできません。**

31.5.3.1　診断手順

1. 診断したいアナログ入力端子（ADCAnIm、ADCAnImS）に対応する ADCAnPDCTL1.PDNA または ADCAnPDCTL2.PDNB を設定し、プルダウン抵抗を有効にする。
2. A/D 変換を実行するために、スキャングループの開始トリガを生成する。
3. 同じアナログ入力に対し、A/D 変換を複数回実行する。
4. チャネルの A/D 変換結果を監視し、結果が 0V まで低下するかどうかを確認する。

31.5.4 T&H 回路の診断

T&H 回路の診断は、ADCA0I0 ～ ADCA0I5 の T&H0 ～ T&H5 回路が正しく機能していることを診断することが可能です。

仮想チャネルレジスタ 33 ～ 35（ADCA0VCR33 ～ 35）を専用で使用し、T&H 回路を経由する電位の変換結果と T&H 回路を経由しない電位の変換結果を比較することで、T&H 回路の故障を検出することができます。

この診断では ADCA0THACR.HLDCTE = 1（ADCA0THBCR.HLDCTE = 1）、ADCA0THACR.HLDTE = 0 （ADCA0THBCR.HLDTE = 0）に設定し、A/D 変換トリガをホールド開始トリガおよびホールド完了トリガとして使用します。

ADCAnDGCTL0.PSEL[2:0] で選択された基準電圧（DIAGOUT0、DIAGOUT1、DIAGOUT2）を、診断対象となるチャネルへ ADCAnDGCTL1 レジスタにより接続してください。

31.5.4.1 診断手順（T&H 回路チャネル 0 の診断の例）

1. ADCA0ADCR.DGON = 1 に設定し、自己診断電圧回路を有効にする。
2. 500 ns 待つ。
3. ADCA0DGCTL0.PSEL[2:0] = 001_B に設定し、1/3AnV$_{REF}$ 電圧レベルを選択する。
4. ADCA0ADCR.DGON = 1 に設定し、電圧レベルを更新する。
5. 500 ns 待つ。
6. ADCA0DGCTL1.CDG0 = 1 に設定し、DIAGOUT0 を有効にする。
7. ADCA0VCR33 ～ 35.GCTRL[5:0] = 000000_B に設定し、物理チャネル 0 を選択する。
8. ADCA0VCR33, 34.CNVCLS = 1 に設定し、通常の変換を選択する。
9. ADCA0VCR35.CNVCLS = 0 に設定し、ホールド値の変換を選択する。
10. ADCA0THACR.SGS[1:0] = 01_B に設定し、SG1 を “T&H グループ A” に設定する。
11. ADCA0THER.TH0E = 1 に設定し、T&H 回路チャネル 0 を有効にする。
12. ADCA0THGSR.TH0GS = 0 に設定し、T&H 回路チャネル 0 を "T&H グループ A" に設定する。
13. ADCA0SGVCSP1.VCSP[5:0] = 100001_B に設定し、SG1 の開始ポインタを VCR33 に設定する。
14. ADCA0SGVCEP1.VCEP[5:0] = 100011_B に設定し、SG1 の完了ポインタを VCR35 に設定する。
15. ADCA0DGCTL0.PSEL[2:0] = 011_B に設定し、2/3AnV$_{REF}$ 電圧レベルを選択する。
16. ADCA0THSMPSTCR.SMPST = 1 に設定し、T&H サンプリングを実行する。
17. 500ns 待つ。
18. ADCA0SGSTCR1.SGST = 1 に設定し、SG1 の A/D 変換を実行する。
19. ADCA0DIR33 ～ 35 をリードし、SG1 の A/D 変換が完了したどうか、A/D 変換結果を確認する。

備　考

ADCAnADCR.DGON をクリア（0）する際は、次の手順で実行してください。

1. 全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 であることを確認します。
2. ADCAnTHER レジスタにより、診断を行った T&Hk を無効にします。
3. ADCAnDGCTL0.PSEL[2:0] をクリアします。
4. ADCAnADCR.DGON をクリア します。

31.5.4.2 診断方法

（1） 基準電圧 “A” は、基準電圧信号 DIAGOUT0 ～ DIAGOUT2 のいずれかに適用されます。T&H 回路は、電圧 “A” を保持し、A/D 変換は T&H 回路を使用せずに行われます。

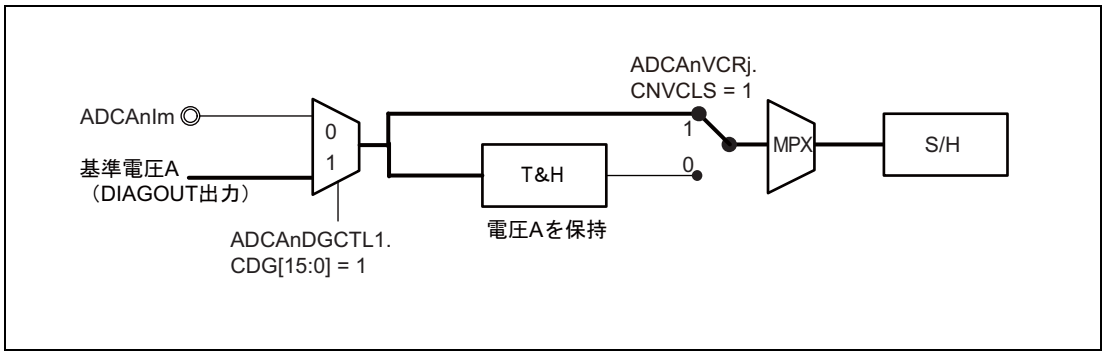


図 31.34 T&H 回路診断手順（1）

（2） 基準電圧 “B” は、基準電圧信号 DIAGOUT0 ～ DIAGOUT2 のいずれかに適用されます。T&H 回路は、電圧 “A” をまだ保持し、A/D 変換は T&H 回路を使用せずに行われます（基準電圧 “A” がホールド中であるので、基準電圧 “B” はホールドされません）。

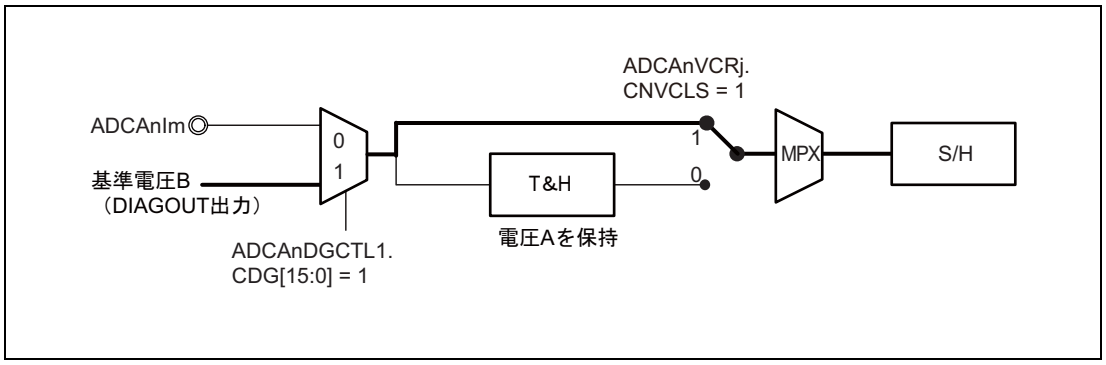


図 31.35 T&H 回路診断手順（2）

（3） A/D 変換が T&H 回路を使用して行われます。T&H 回路は、電圧 A を保持し続けます。

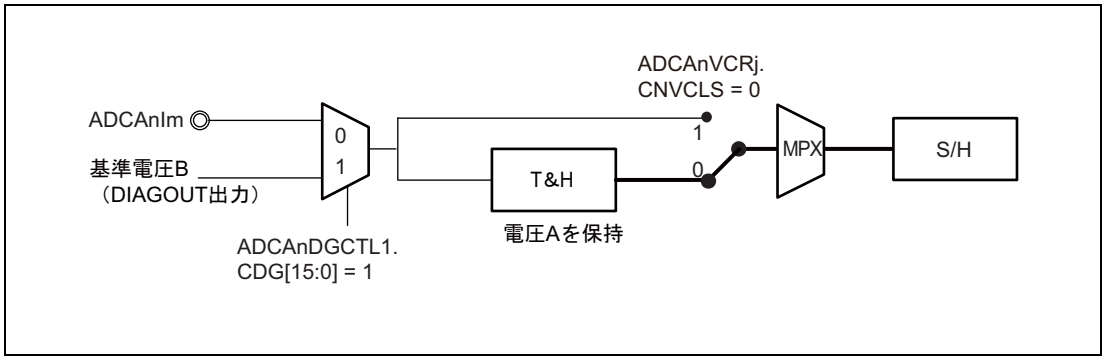


図 31.36 T&H 回路診断手順（3）

（4） T&H 回路の診断が正常に実行された場合、以下の結果になります。
1. 最初（1）の結果は、電圧 “A” です。
2. 2 番目（2）の結果は、電圧 “B” です。
3. 最後（3）の結果は、再度、電圧 “A” です。

31.6 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
  A/D コンバータのデジタル出力コード値
- 量子化誤差
  A/D コンバータが本質的に有する誤差であり、1/2LSB で与えられる（**図 31.37**）。
- オフセット誤差
  デジタル出力が最小電圧値 000_H から 001_H に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- フルスケール誤差
  デジタル出力が FFE_H から FFF_H に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- DNL（微分非直線性誤差）
  理想デジタル出力コード幅（Vq）と実際のデジタル出力コード幅（Va）との偏差であり、（Va − Vq）/Vq で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない。
- INL（積分非直線性誤差）
  ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの偏差であり、000_H から任意のデジタル出力コードまでの DNL の積分で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない。
- 絶対精度
  デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、DNL、および INL を含む。

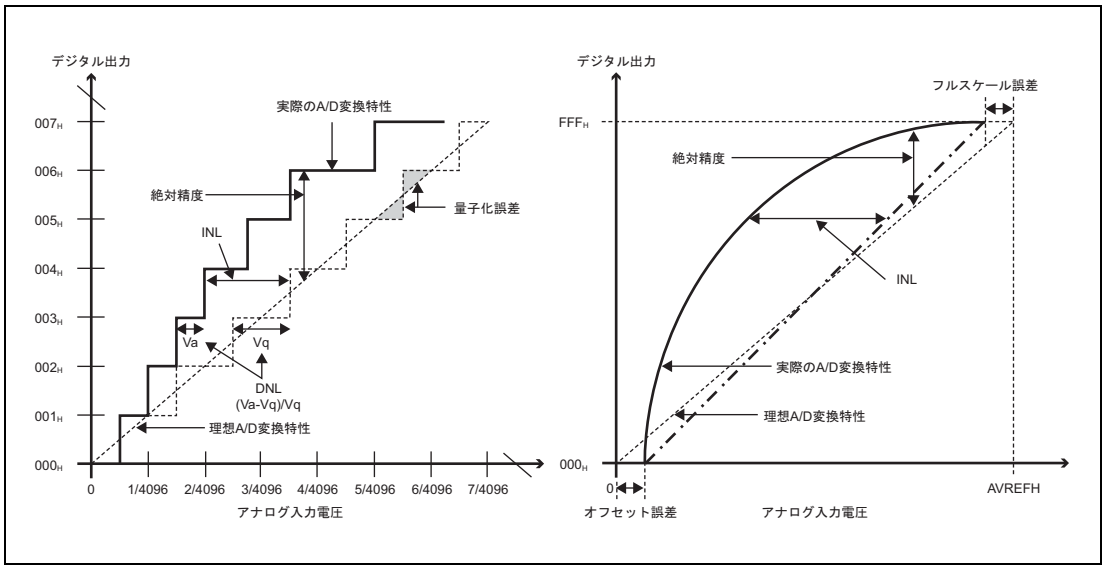


図 31.37 A/D 変換精度の定義

31.7 使用上の注意事項

31.7.1 チャネル入力電圧の範囲

注 意

ADCAnIm, ADCAnImS 入力電圧は規格の範囲内で使用してください。チャネル入力電圧がAnVREF を上回るか AnVSS を下回ると、そのチャネルの変換値が飽和し、ほかのチャネルの電気的特性にも影響を与えることがあります。

ADCAnIm 端子に過電圧をかけ、この端子で ADC 自己診断（チャネルマルチプレクサの診断）が実行されると、診断電圧に対するオフセット電圧を測定できます。診断設定によっては、過電圧の端子に隣接する端子も過電圧の影響を受けます。この問題を回避するためのアドバイスが 2 つあります。注入電流のないグループは、影響を受けずに測定でき ます。

ケース 1：ADC 自己診断が実行される 1 本の端子に注入電流を付加

1 回目の ADC 自己診断変換サイクル：

→ ADCA0I0 のみが選択される（CDG0=1、CDG1 ～ 15=0）←注入電流

2 回目の ADC 自己診断変換サイクル：

→ その他の ADCA0I1 ～ 15 が選択される（CDG0=0、CDG1 ～ 15=1）←注入電流ではない

ケース 2：ADC 自己診断が実行される複数の端子に注入電流を付加

1 回目の ADC 自己診断変換サイクル：

→ ADCA0I0 のみが選択される（CDG0=1、CDG1 ～ 15=0）←注入電流

2 回目の ADC 自己診断変換サイクル：

→ ADCA0I1 のみが選択される（CDG0=0、CDG1=1、CDG2 ～ 15=0）←注入電流

3 回目の ADC 自己診断変換サイクル：

→ ADCA0I2 のみが選択される（CDG0=0、CDG1=0、CDG2=1、CDG3 ～ 15=0）←注入電流

n 回目の ADC 自己診断変換サイクル：

→ その他の ADCA0In ～ 15 が選択される（CDG_{n-1}=0、CDGn ～ 15=1）←注入電流ではない

31.7.2 アプリケーション設計上の注意事項

(1) アナログ入力端子（ADCAnIm, ADCAnImS）

- ADCAnIm, ADCAnImS 端子の入力電圧は規格の範囲内でご使用ください。AnVREF 以上または AnVSS 以下の電圧が入力されることを避けるため、V_F が 0.3 V 以下のダイオードでクランプすることを推奨します。特に AnVREF 以上、AnVSS 以下の電圧を入力すると、そのチャネルの変換値は不定となり、保証できません。また、ほかのチャネルの変換値にも影響を与えることがあります。
- アナログ入力端子（ADCAnIm, ADCAnImS）は、外部のアナログ信号入力源との間に抵抗 Re を接続、AnVSS 端子間にコンデンサ Ce を接続しノイズを除去してください。
- アナログ信号線とディジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによって A/D 変換特性が悪化する恐れがあります。
- ADCAnIm, ADCAnImS 端子に近いポートは、入力、出力ともに、大きな電流駆動を避け、トグルによるスイッチングを極力控えることを推奨します。

- スタンバイ機能を使用する場合、スタンバイを有効にする対象の A/D 変換停止を確認し、ADCAnSGCRx.TRGMD、ADCAnTHER.THkE を 0 にしてください。
- ADCA0 を LPS に使う場合（スタンバイ機能使用時も含む）は、ADCA0SGCRx.TRGMD を 1 にして、ADCA0SGTSELx.TxSEL は SEQTRG（LPS）のみ有効にしてください（詳細は**「第 13 章　ロウパワーサンプラ（LPS）」**を参照してください）。
- T&H で使用するチャネルは、外付けアナログマルチプレクサへ接続しないでください。
- T&H を使用する場合は、動作中に物理チャネルおよび仮想チャネルの変更は禁止です。
- PWM-Diag を使用しない場合は PWM-Diag 関係のレジスタのライトアクセスは禁止です。リードした場合の値は不定です。

(2) 電源の配線

ディジタル回路のスイッチング・ノイズなどが、A/D コンバータ精度に及ぼす影響を最小限にするため、次の対策を推奨します。

- 電源ラインは、片面ベタとするか、または、極力太いパターンで格子状に接続してください。
- 電源端子（EVCC, BVCC, AnVREF）とグランド端子（EVSS, BVSS, AnVSS）間の端子リード直近にバイパス・コンデンサを挿入してください。
- アナログ電源（AnVREF）は、ディジタル電源（EVCC, BVCC）から分離し、シリーズ・レギュレータより供給することを推奨します。ディジタル電源と共通にする場合、電源供給元でアナログ電源、ディジタル電源と電解コンデンサを 1 点ショートし、ボード上のパターンを別々に配線してください。
  さらに、アナログ電源入口にチップ・インダクタの挿入を推奨します。また、アナログ・グランドも、電源グランド元でアナログ・グランド、ディジタル・グランドと電解コンデンサを 1 点アースし、ボード上のパターンを別々に配線してください。
  なお、本製品のアナログ電源は、アナログ基準電圧も兼ねています。

(3) A/D 変換結果のばらつきについて

電源電圧の変動やノイズなどの影響により A/D 変換結果がばらつくことがあります。また、アナログ入力端子（ADCAnIm, ADCAnImS）および基準電圧入力端子（AnVREF, AnVSS）にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

これらのばらつきや、不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理で軽減させてください。

次にソフトウェア処理の例を示します。

- 複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

以下の両方の条件が当てはまると、高優先 SG の A/D 変換精度が低下することがあります。

(1) 低優先 SG（SG1 など）の A/D 変換中に、高優先 SG （SG3 など）の変換トリガが発生する。

(2) 高優先 SG（SG3 など）のチャネル T&H 機能が有効化されている。

上記の例は、SG の組み合わせの一例です。SG の優先度は、SG4 > SG3 > SG2 > SG1 となります。変換エラーの変動は、外部回路およびカスタマボードに搭載されているデバイスに応じて異なります。

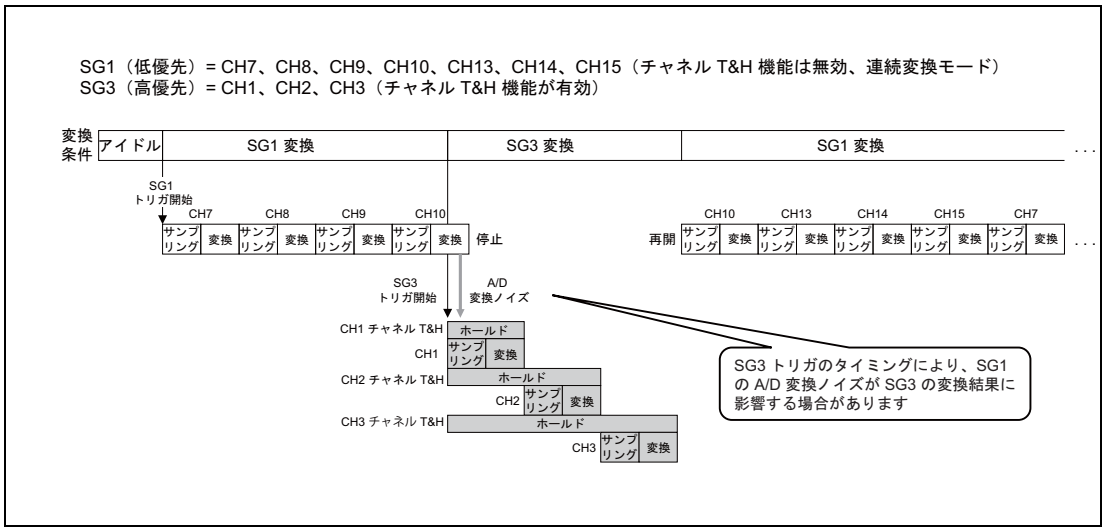


図 31.38 SG の優先度

ソフトウェア処理の例を以下に示します。

- SG3 にチャネル T&H が使用可能なチャネルが含まれる場合、低優先 SG（SG1 など）の A/D 変換は、高優先 SG（SG3 など）の変換トリガの 3 ADCLK 前に終了する必要があります。
- 低優先 SG（SG1 など）の変換中に高優先 SG（SG3 など）の変換トリガが発生することがある場合は、高優先 SG のチャネル T&H 機能を無効にします。
- 前述の両方の条件を使用する必要がある場合は、低優先 SG （SG1 など）の A/D 変換中に、次のタイミング（次の図で矢印付きの線で示した期間）と同期するように、高優先 SG （SG3 など）の変換トリガタイミングを調整します。

推奨される時間以上にトリガ時間を調整しても、データシートで指定されている変換エラーは排除できません。

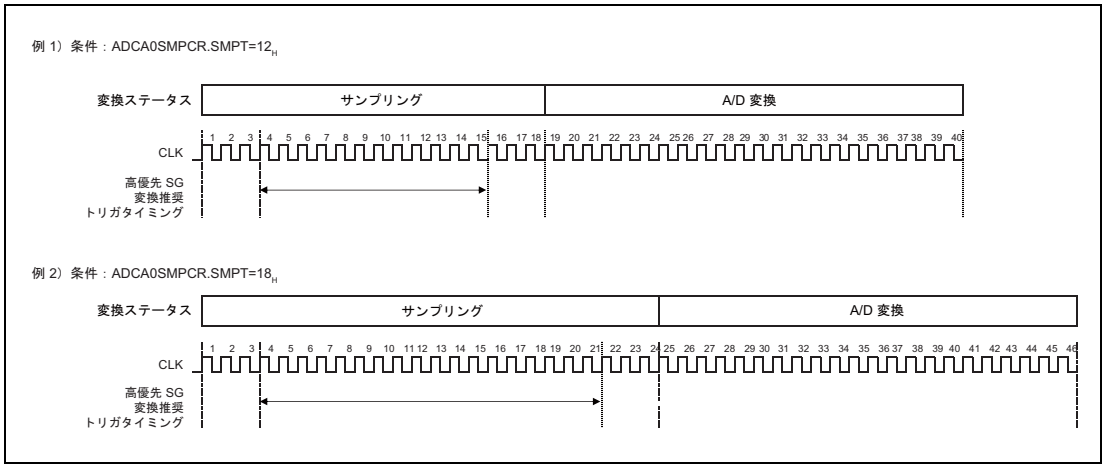


図 31.39 SG 変換トリガタイミング

前述の 3 つのソフトウェア処理を使用できない場合は、以下の処理が推奨されます。

- A/D 変換を数回実行し、それらの A/D 変換結果の平均を使用する。
- 連続 A/D 変換を数回実行し、異常な変換結果を除外し、その他の結果のみを使用する。
- 異常な A/D 変換結果が検出された場合は、直ちに異常な動作に進まずに、A/D 変換をもう 1 回実行してから、異常な動作に進む。

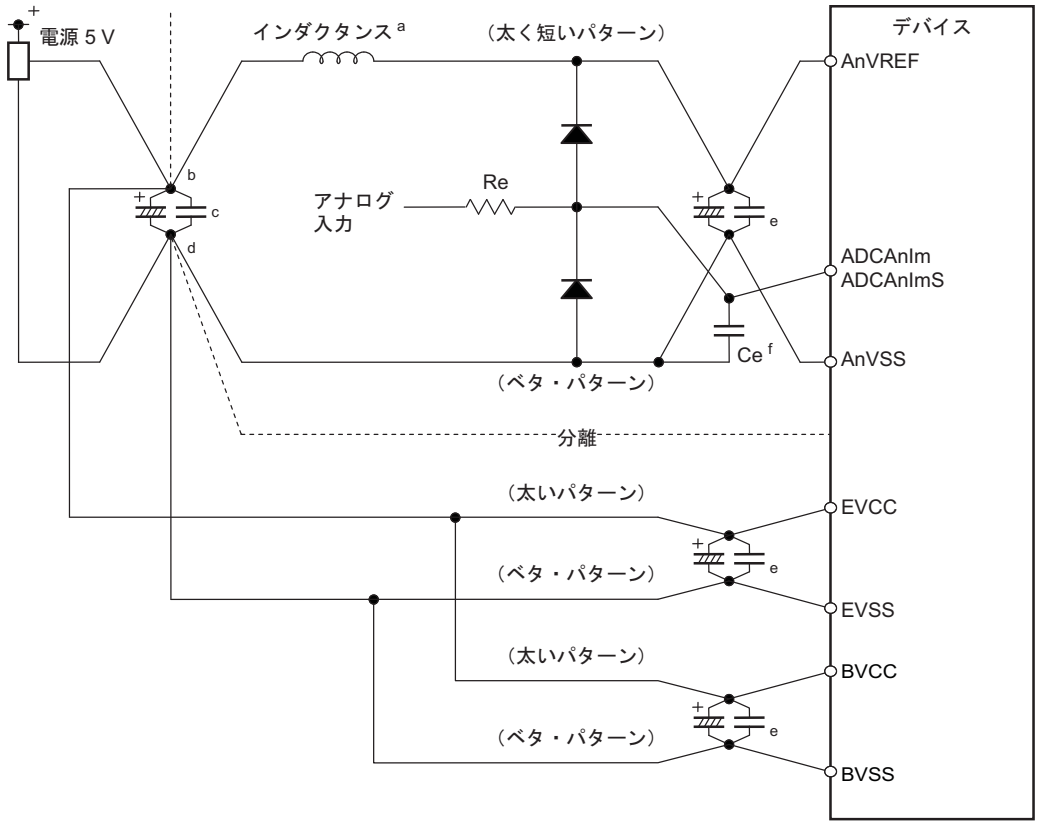
上記の処理の効果は、外部回路およびカスタマボードに搭載されているデバイスに応じて異なります。システムの十分な評価を行うことが推奨されます。

(4) 兼用入出力について

アナログ入力（ADCAnIm、ADCAnImS）端子はポート端子と兼用になっています。

ADCAnIm 端子、ADCAnImS 端子のいずれかを選択して A/D 変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を 実行しないでください。変換精度が低下することがあります。

また、A/D 変換中に出力ポートに設定している端子でポートに接続される外部回路の影響で出力電流が変動する場合も、変換精度が低下することがあります。A/D 変換中の端子に隣接する端子へデジタルパルスを印加したりデジタルパルスを出力したりすると、カップリングノイズによって A/D 変換値が期待どおりに得られないこともあります。したがって、A/D 変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。



a) アナログ電源入口にインダクタを挿入。
b) アナログ電源とディジタル電源を 5 V 電源のそばで 1 点ショートし、ボード上のパターンを分離配線
c) 供給電源のそばにバイパス・コンデンサ（電解コンデンサ、積層セラミック・コンデンサ）を配置
d) アナログ・グランドとディジタル・グランドを電源のそばで 1 点ショートし、ボード上のパターンを分離配線
e) デバイスの各電源端子のそばにバイパス・コンデンサ（電解コンデンサ、積層セラミック・コンデンサ）を配置
f) デバイスのアナログ入力端子のそばにコンデンサ Ce を配置

図 31.40 電源配線例

第 32 章　キーリターン（KR）

本章では、キーリターン（KR）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、KR の機能、レジスタについて説明します。

32.1　RH850/F1M KR の特長

32.1.1　ユニット数とチャネル数

本製品は以下のユニット数のキーリターンを搭載しています。

表 32.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	1		
名称	KRn (n = 0)		

KR ユニットは、以下のチャネル数のキーリターン機能を搭載しています。

表 32.2　KRn のユニット構成とチャネルの対応

ユニット名（チャネル名）KRn	チャネル数	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
KR0	8	○	○	○

表 32.3　添字

添字	説明
n	本章では、キーリターン の各ユニットを「n」（n = 0）で識別します。たとえば、キーリターンモードレジスタを KRnKRM のように記述しています。
m	本章では、キーリターン の各チャネルを「m」（m = 0 ～ 7）で識別します。例えば、KRnKRM（キーリターンモードレジスタ）のキー入力許可ビットは KRnKRMm のように記述します。

32.1.2　レジスタベースアドレス

KRn のベースアドレスを以下の表に示します。

KRn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 32.4　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<KR0_base>	$FFF7\ 8000_H$

32.1.3 クロック供給

KRn のクロック供給を以下の表に示します。

表 32.5　クロック供給

ユニット名	ユニットクロック名	供給クロック名
KR0	PCLK	CPUCLK4
	レジスタアクセスクロック	CPUCLK4

32.1.4 割り込み要求

KRn の割り込み要求を以下の表に示します。

表 32.6　割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
KR0			
INTKRn	キー割り込み	90	—

32.1.5 リセット要因

KRn のリセット要因を以下に示します。KRn は以下のリセット要因で初期化されます。

表 32.7　リセット要因

ユニット名	リセット要因
KR0	すべてのリセット要因（ISORES）

32.1.6 外部入出力信号

KRn の外部入出力信号を以下の表に示します。

表 32.8　外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
KR0		
KRnTPKR7 ～ KRnTPKR0	キー入力信号	KR0I7 ～ KR0I0

32.2　概要

32.2.1　機能概要

キーリターン機能は以下の特徴を持っています。

8 つのキー入力端子（KRnTPKR7 ～ KRnTPKR0）のいずれかにハイからロウの立ち下がり信号を入力することによってキー割り込み要求信号（INTKRn）を生成することができます。

32.2.2　ブロック図

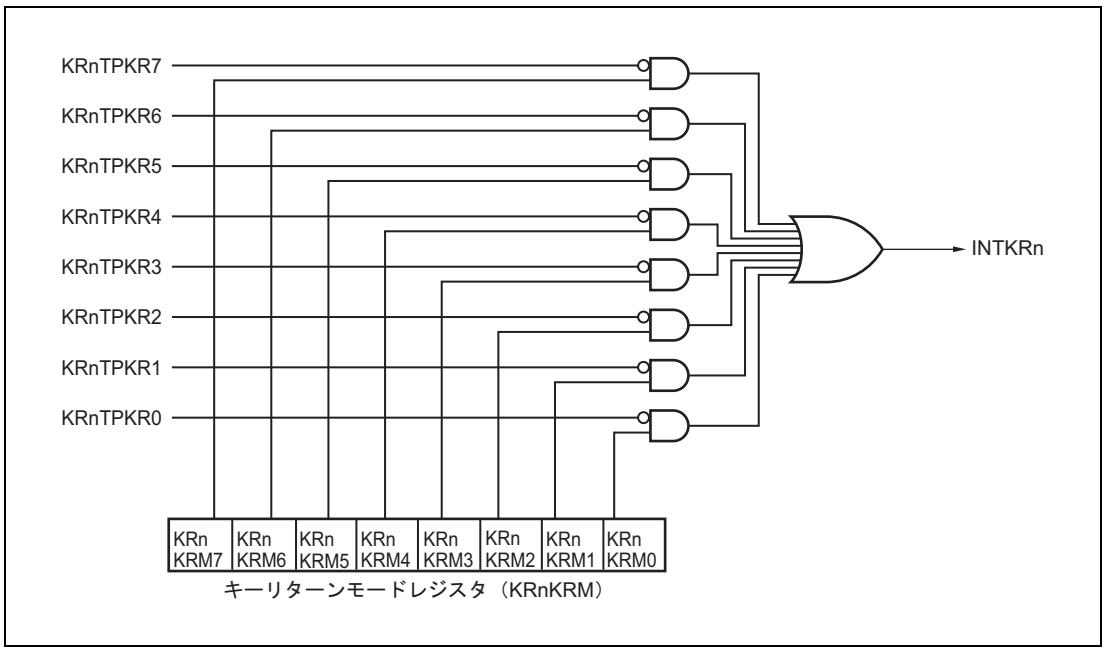


図 32.1　キーリターン機能のブロック図

32.3 レジスタ

32.3.1 レジスター覧

KR のレジスター覧を以下の表に示します。

<KRn_base> は**「32.1.2　レジスタベースアドレス」**を参照してください。

表 32.9　レジスター覧

モジュール名	レジスタ名	略号	アドレス
KRn	キーリターンモードレジスタ	KRnKRM	<KRn_base>

32.3.2 KRnKRM — キーリターンモードレジスタ

本レジスタでは、キー入力信号の検出を許可または禁止します。

アクセス　8 ビット単位または 1 ビット単位でリード／ライト可能です。

アドレス　<KRn_base>

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	KRnKRM7	KRnKRM6	KRnKRM5	KRnKRM4	KRnKRM3	KRnKRM2	KRnKRM1	KRnKRM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.10　KRnKRM - キーリターンモードレジスタの内容

ビット位置	ビット名	機能
7 ～ 0	KRnKRMm	キー入力信号の検出を許可または禁止します。 0：禁止 1：許可

32.4 動作

32.4.1 割り込み要求 INTKRn

キー入力端子 KRnTPKRm への入力が許可されているときに（KRnKRM.KRnKRMm = 1）、対応するキー入力端子 KRnTPKRm にハイレベルからロウレベルに変化すると、割り込み要求 INTKRn を生成します。

図 32.2 は割り込み要求が生成される仕組みを示しています。

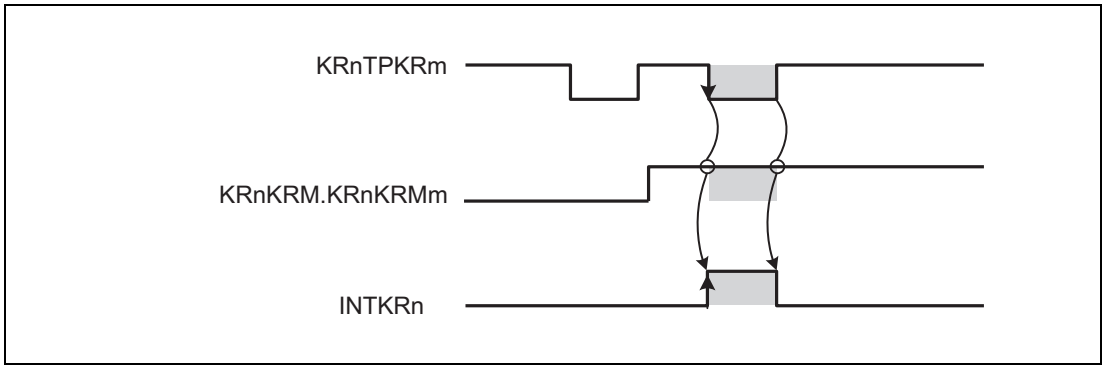


図 32.2 割り込み要求の生成

注 意

1. **キー入力端子 KRnTPKRm のいずれかがロウレベルのとき、別のキー入力がハイレベルからロウレベルに変化しても INTKRn は生成されません。全てのキー入力端子がハイレベルになってからロウレベルに変化することで次の INTKRn が発生します。**
2. **KRnKRM.KRnKRMm の設定変更と同時にキー入力値が変化すると、意図しないキー割り込み要求 INTKRn が生成されることがあります。**
   したがって、KRnKRM.KRnKRMm を 0 から 1 へ、または 1 から 0 へ変更する前に、割り込みコントローラの INTKRn をマスク（禁止）してください。

第 33 章　ファンクショナルセーフティ

本章は RH850/F1M シリーズに搭載している安全機構の概要を記載しています。

本マイコンは ISO26262 における SEooC（Safety Element out of Context）として開発しております。

開発プロセスや安全機構の詳細に関しては、当社の営業窓口までお問い合わせください。

以下に本マイコンの備える故障検出機能を示します。

33.1　概要

ECC

メモリやデータ転送経路の故障検出や、一部の故障に対して訂正を行います。

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。

詳細は、**「11.7　クロックモニタ A（CLMA）」**を参照してください。

データ CRC

CRC を生成することにより、データの誤りを検出します。

詳細は、**「第 34 章　データ CRC（DCRA）」**を参照してください。

書き込み保護レジスタ

書き込み保護されたレジスタを、不正なプログラムの実行による不注意な書込みアクセスから保護します。

詳細は、**「第 5 章　書き込み保護レジスタ」**を参照してください。

33.2 ECC および EDC

33.2.1 概要

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコーダとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 33.1 ECC 概要

対象		対象データ幅 [bit]	エラー検出時の動作					故障注入
			検出／訂正	SYSERR	割り込み通知	エラーステータス	アドレスキャプチャ	
Code Flash		128	SEC-DED	DED 注 2	SEC	○	○	○
Data Flash		32	SEC-DED	—	DED	○	—	○
Local RAM(CPU1)		32	SEC-DED	DED 注 2	SEC	○	—	○
Retention RAM		32	SEC-DED	DED 注 2	SEC	○	○	○
命令キャッシュ (データ)		64	SEC-DED 注 3	—	SEC	○	○	○
命令キャッシュ (TAG)		32	SED-DED	—	SED 注 4	○	○	○
周辺 RAM 注 1	CSIH	32	SEC-DED	—	DED	○	—	○
	RSCAN	32	SEC-DED	—	DED	○	—	○
	FlexRay	32	SEC-DED	—	DED	○	—	○

注 1. 各周辺 IP 用の ECC の詳細は、以下の各章を参照してください。
・RS-CAN RAM :「**20.11 RS-CAN RAM のエラー検出／訂正**」
・CSIHnRAM :「**16.7 CSIHn RAM のエラー検出／訂正**」
・FlexRay :「**21.4 FlexRay RAM のエラー検出／訂正**」

注 2. DMA アクセスの時は、SYSERR が発生しません。DMA 転送終了後、以下のビットで ECC 2 ビットエラーが発生していないことを確認してください。
・CF1STERSTR_VCI.DEDF0 (Code Flash)
・LR1STERSTR_PE1.DEDFn (ローカル RAM CPU1)
・GR1STERSTR_VCI.DEDFn (リテンション RAM)

注 3. ECC 1 ビットエラー訂正は ICCTRL.D1EIV にて選択可能です。

注 4. シングルエラーが発生した場合、エントリはクリアされフェッチが繰り返されます。

対象データ幅

ECC エンコードの対象となるデータ幅を示します。

これより小さいビット幅のデータを書き込む場合は、以下の処理が必要となります。このとき、(1) の読み出し時にも ECC はチェックされます。

(1) 書き換え対象データを含む ECC エンコード対象データの読み出し

(2) 書き換え対象データの入れ替え

(3) (2) で生成したデータの書き戻し

検出 / 訂正

SEC-DED : 1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。

SED-DED : 1 ビットエラーおよび 2 ビットエラーの検出が可能です。

SYSERR

エラー検出時に SYSERR を発生させることが可能です。

割り込み通知

エラー検出時に割り込みを発生させることが可能です。

エラーステータス

エラー検出時に、検出したエラー内容のステータスを保持します。

アドレスキャプチャ

エラー検出時に、エラーを発生したアドレスを保持します。

故障注入

意図的に ECC エラーを発生させることによって、ECC デコーダが正しくエラー通知できるかを自己診断することができます。

33.2.2　アドレスパリティ

本製品は、以下のメモリに対してアドレス EDC（パリティ）を搭載しています。これによって、アドレスデコード時のエラーを検出可能です。また、パリティエンコーダとメモリ間のアドレスに生じたエラーの検出も可能です。

表 33.2　アドレスパリティ概要

対象	パリティビット	エラーステータス	アドレスキャプチャ	故障注入
Code Flash	1bit	○	○	○

注　意

DMA アクセスの時は、SYSERR が発生しません。DMA 転送終了後、以下のビットでアドレスパリティエラーが発生していないことを確認してください。

- **CF1STERSTR_VCI.APEF0**

33.2.3 Code Flash の ECC およびアドレスパリティ

33.2.3.1 概要

Code Flash 用 ECC の概要を以下に示します。

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効 / 無効を選択可能 有効時は下記設定を選択可能 • 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 • 2 ビットエラー検出と 1 ビットエラー検出を行います。無効時はエラー検出・訂正を行いません。 初期状態は機能を有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。
アドレスパリティ	アドレスパリティチェックの有効 / 無効を選択可能 アドレスパリティチェックはアドレスデコード時に行います。 初期状態は機能有効。
エラー通知	ECC エラー発生時は、エラー通知を行います。 **ECC エラー** • ECC2 ビットエラー検出時のエラー（SYSERR 例外）通知許可／禁止 SEGCONT.ROME ビット（リセット後の値：通知禁止）、VCIE ビット（リセット後の値：通知禁止）で選択可能です。DMA 転送の際は、エラー通知されません。 詳細は、**「表 33.1 ECC 概要」**を参照してください。 • ECC1 ビットエラー検出時のエラー通知（INTECCSCFLI0 割り込み）許可／禁止 FEINTFMSK.ECCSCFLI0FEIFMSK（INTECCSCFLI0 割り込みのマスク）ビット（初期値：割り込みをマスクする）および、CFERRINT.SEDIE（ECC1 ビットエラー通知制御）ビット（初期値：通知禁止）で選択可能です。 **パリティエラー** • アドレスパリティエラー検出時のエラー（SYSERR 例外）通知許可／禁止 SEGCONT.ROME ビット（リセット後の値：通知禁止）、VCIE ビット（リセット後の値：通知禁止）で選択可能です。DMA 転送の際は、エラー通知されません。 詳細は、**「表 33.2 アドレスパリティ概要」**を参照してください。 初期状態は、2 ビットエラー検出時のエラー通知禁止、1 ビットエラー検出時のエラー通知禁止。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出、アドレスパリティエラー検出をモニタできます。 ECC1 ビットエラーステータスは、どのエラーステータスもセットされていない状態でのみセットされます。 ECC2 ビットエラーステータスは、ECC1 ビットエラーステータスがセットされていてもセットされます。 エラーステータスのクリアレジスタを搭載します。
アドレスキャプチャ	どのエラーステータスもセットされていない状態で最初に発生したエラー発生アドレスをキャプチャします。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラー、アドレスパリティエラーを検出した場合もキャプチャされます。
自己診断	ROM データと、ECC ビットやアドレスパリティビットをダイレクトに読みだすことができます。 ROM データと、ECC ビットやアドレスパリティビットに任意のデータを書き込むことができます。
命令実行抑制	命令フェッチ時の ECC2 ビットエラー検出で SYSERR 例外を発生させ、不正命令の実行を回避することができます。

ECC デコーダは Code Flash インタフェースにつながる各読み出しポート（CPU1、インタコネクト）それぞれに対応して用意されています。**図 33.1** を参照してください。

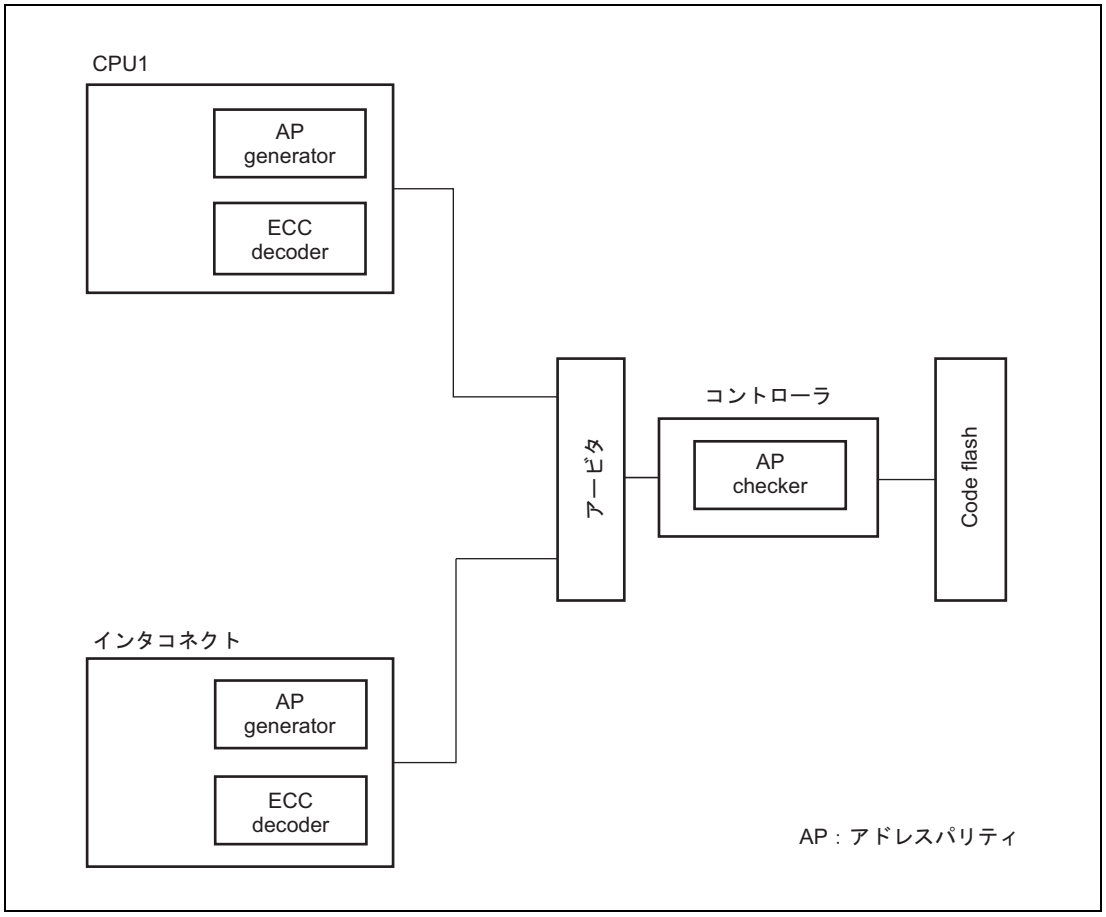


図 33.1 Code Flash の ECC

33.2.3.2 割り込み要求

コードフラッシュ ECC の割り込み要求を以下に示します。

表 33.3 コードフラッシュ ECC の割り込み要求（CPU リードアクセス時）

ユニット割り込み信号	概要	名称	DMA トリガ番号
—	コードフラッシュ ECC1 ビットエラー割り込み	INTECCSCFLI0	—
—	コードフラッシュ ECC2 ビットエラー割り込み	SYSERR	—

33.2.3.3 レジスター覧

表 33.4 レジスター覧

レジスタ名	略号注 1	アドレス
Code Flash アドレスパリティコントロールレジスタ	CFAPCTL	FFC6 2000$_H$
Code Flash ECC コントロールレジスタ (VCI)	CFECCCTL_VCI	FFC6 2200$_H$
Code Flash エラー情報コントロールレジスタ (VCI)	CFERRINT_VCI	FFC6 2204$_H$
Code Flash ステータスクリアレジスタ (VCI)	CFSTCLR_VCI	FFC6 2208$_H$
Code Flash エラーカウントオーバフローステータスレジスタ (VCI)	CFOVFSTR_VCI	FFC6 220C$_H$
Code Flash 1st エラーステータスレジスタ (VCI)	CF1STERSTR_VCI	FFC6 2210$_H$
Code Flash 1st エラーアドレスレジスタ (VCI)	CF1STEADR0_VCI	FFC6 2250$_H$
Code Flash ECC コントロールレジスタ (PE1)	CFECCCTL_PE1	FFC6 2400$_H$
Code Flash エラー情報コントロールレジスタ (PE1)	CFERRINT_PE1	FFC6 2404$_H$
Code Flash ステータスクリアレジスタ (PE1)	CFSTCLR_PE1	FFC6 2408$_H$
Code Flash エラーカウントオーバフローステータスレジスタ (PE1)	CFOVFSTR_PE1	FFC6 240C$_H$
Code Flash 1st エラーステータスレジスタ (PE1)	CF1STERSTR_PE1	FFC6 2410$_H$
Code Flash 1st エラーアドレスレジスタ (PE1)	CF1STEADR0_PE1	FFC6 2450$_H$
Code Flash サブテストコントロールレジスタ (VCI)	CFSTSTCTL_VCI	FFC6 2350$_H$
Code Flash サブテストコントロールレジスタ (PE1)	CFSTSTCTL_PE1	FFC6 2550$_H$

注 1. 略号において、“_VCI”、“_PE1” が付いているレジスタは、各アクセスポートに対応する ECC コントローラごとに用意されているレジスタとなります。
“_VCI” はシステムインタコネクト 1 から Code Flash へのアクセス用、“_PE1” は CPU1 からのアクセス用の ECC コントローラを示します。

33.2.3.4 レジスタ詳細

(1) CFAPCTL — Code Flash アドレスパリティコントロールレジスタ

CFAPCTL レジスタは、アドレスパリティチェックの有効／無効を設定するレジスタです。CFAPCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス CFAPCTL レジスタは、32 ビット単位でリード / ライト可能です。
CFAPCTLL レジスタは、16 ビット単位でリード / ライト可能です。

アドレス CFAPCTL：$FFC6\ 2000_H$
CFAPCTLL：$FFC6\ 2000_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	APTESTA	APARIDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.5 CFAPCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合は、常に “0” が読みだされます。必ず “0” を設定してください。
15 14	PROT[1:0]	APARIDIS ビット、APTESTA ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読みだすと常に “0” が読み出されます。 本レジスタへの書き込みは、PROT1, PROT0 = 0,1 で行ってください。
13 ～ 2	予約ビット	リードした場合は、常に “0” が読みだされます。必ず “0” を設定してください。
1	APTESTA	アドレスパリティチェッカーテスト アドレスパリティチェッカーをテストモードに設定してください。 APTESTA = 1 の場合、アドレスパリティジェネレータによって発生したパリティを反転します。 このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。
0	APARIDIS	アドレスパリティチェックの無効化 アドレスパリティ回路によるアドレスパリティチェック可否を設定するためのビットです。 このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0：アドレスパリティチェックを許可 1：アドレスパリティチェックを禁止

(2) CFECCCTL_VCI/PE1 — Code Flash ECC コントロールレジスタ

CFECCCTL レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。CFECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス CFECCCTL_VCI、CFECCCTL_PE1 レジスタは、32 ビット単位でリード / ライト可能です。
CFECCCTL_VCIL、CFECCCTL_PE1L レジスタは、16 ビット単位でリード / ライト可能です。

アドレス CFECCCTL_VCI : FFC6 2200_H
CFECCCTL_VCIL : FFC6 2200_H
CFECCCTL_PE1 : FFC6 2400_H
CFECCCTL_PE1L : FFC6 2400_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.6 CFECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可 / 禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効 / 無効を設定できます。このビットの書き込み時は (PROT1,PROT0) = (0,1) を同時に書き込む必要があります。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(3) CFERRINT_VCI/PE1 — Code Flash エラー情報コントロールレジスタ

CFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時にエラー通知信号発生の有効 / 無効を設定するためのレジスタです。

アクセス CFERRINT_VCI、CFERRINT_PE1 レジスタは、32 ビット単位でリード / ライト可能です。
CFERRINT_VCIL、CFERRINT_PE1L レジスタは、16 ビット単位でリード / ライト可能です。
CFERRINT_VCILL、CFERRINT_PE1LL レジスタは、8 ビット単位でリード / ライト可能です。

アドレス CFERRINT_VCI：FFC6 2204$_H$
CFERRINT_VCIL：FFC6 2204$_H$
CFERRINT_VCILL：FFC6 2204$_H$
CFERRINT_PE1：FFC6 2404$_H$
CFERRINT_PE1L：FFC6 2404$_H$
CFERRINT_PE1LL：FFC6 2404$_H$

リセット後の値 0000 0006$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.7 CFERRINT レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知（FE レベルマスカブル割り込み要求）の発生を制御するビットです。 0：ECC 1 ビットエラー通知禁止 1：ECC 1 ビットエラー通知許可

(4) CFSTCLR_VCI/PE1 — Code Flash ステータスクリアレジスタ

CFSTCLR レジスタは、エラーステータスレジスタ (CF1STERSTR) のエラーフラグ、エラーオーバフローステータスレジスタ (CFOVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (CF1STEADR) をクリアするためのレジスタです。

アクセス CFSTCLR_VCI、CFSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。
CFSTCLR_VCIL、CFSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。
CFSTCLR_VCILL、CFSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス CFSTCLR_VCI：FFC6 2208$_H$
CFSTCLR_VCIL：FFC6 2208$_H$
CFSTCLR_VCILL：FFC6 2208$_H$
CFSTCLR_PE1：FFC6 2408$_H$
CFSTCLR_PE1L：FFC6 2408$_H$
CFSTCLR_PE1LL：FFC6 2408$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 33.8 CFSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーオーバフローフラグクリアビット 0：無効（“0” を設定しても CF1STERSTR レジスタの APEF0、DEDF0、SEDF0 フラグ、CFOVFSTR レジスタの ERROVF0 フラグ、および CF1STEADR0 レジスタに影響はありません。） 1：CF1STERSTR レジスタの APEF0、DEDF0、SEDF0 フラグ、CFOVFSTR レジスタの ERROVF0 フラグ、および CF1STEADR0 レジスタをクリアします。

(5) CFOVFSTR_VCI/PE1 — Code Flash エラーカウントオーバフローステータスレジスタ

CFOVFSTR レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。

アクセス CFOVFSTR_VCI、CFOVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CFOVFSTR_VCIL、CFOVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
CFOVFSTR_VCILL、CFOVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス CFOVFSTR_VCI：FFC6 220C$_H$
CFOVFSTR_VCIL：FFC6 220C$_H$
CFOVFSTR_VCILL：FFC6 220C$_H$
CFOVFSTR_PE1：FFC6 240C$_H$
CFOVFSTR_PE1L：FFC6 240C$_H$
CFOVFSTR_PE1LL：FFC6 240C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.9 CFOVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（APEF0、DEDF0、SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラー（エラーオーバフローフラグ）が発生したかどうかを示します。 0：発生していない 1：発生した

(6) CF1STERSTR_VCI/PE1 — Code Flash 1st エラーステータスレジスタ

CF1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのエラーモニタフラグがセットされている状態で、ECC 2 ビットエラーまたはアドレスパリティエラーが発生すると、ECC 1 ビットのエラーフラグを保持したまま、ECC 2 ビットエラーのエラーフラグまたはアドレスパリティエラーフラグがセットされます。

CF1STERSTR レジスタは内部リセット、外部リセット、または CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス CF1STERSTR_VCI、CF1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CF1STERSTR_VCIL、CF1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
CF1STERSTR_VCILL、CF1STERSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス CF1STERSTR_VCI : FFC6 2210$_H$
CF1STERSTR_VCIL : FFC6 2210$_H$
CF1STERSTR_VCILL : FFC6 2210$_H$
CF1STERSTR_PE1 : FFC6 2410$_H$
CF1STERSTR_PE1L : FFC6 2410$_H$
CF1STERSTR_PE1LL : FFC6 2410$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.10 CF1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	APEF0	アドレスパリティエラーモニタフラグ 0 : アドレスパリティエラーは発生していません。 1 : アドレスパリティエラーは発生しました。 クリア条件 : CFSTCLR.STCLR0 ビットに 1 をセット セット条件 : DEDF0, APEF0 どちらも 0 の状態で、アドレスパリティエラー発生
1	DEDF0	ECC 2 ビットエラーモニタフラグ 0 : ECC2 ビットエラーは発生していません。 1 : ECC2 ビットエラーは発生しました。 クリア条件 : CFSTCLR.STCLR0 ビットに 1 をセット セット条件 : DEDF0, APEF0 どちらも 0 の状態で、ECC2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ 0 : ECC1 ビットエラーは発生していません。 1 : ECC1 ビットエラーは発生しました。 クリア条件 : CFSTCLR.STCLR0 ビットに 1 をセット セット条件 : DEDF0, SEDF0, APEF0 すべてが 0 の状態で、ECC1 ビットエラー発生

(7) CF1STEADR0_VCI/PE1 — Code Flash 1st エラーアドレスレジスタ

CF1STEADR レジスタは、エラー発生時のアドレスを保持するためのレジスタです。CF1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーまたはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラーまたはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、このレジスタの EADR[24 : 4] ビットは、実アドレスの [24 : 4] ビットに対応しています。

実アドレスは、コードフラッシュがマッピングされている上位アドレス [31:25] ビットを追加することによってベースアドレスとして計算できます。CF1STEADR レジスタは内部リセット、外部リセット、または CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス CF1STEADR0_VCI、CF1STEADR0_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CF1STEADR0_VCIL、CF1STEADR0_VCIH、CF1STEADR0_PE1L、CF1STEADR0_PE1H レジスタは、16 ビット単位でリードのみ可能です。
CF1STEADR0_VCILL、CF1STEADR0_VCILH、CF1STEADR0_VCIHL、CF1STEADR0_VCIHH、CF1STEADR0_PE1LL、CF1STEADR0_PE1LH、CF1STEADR0_PE1HL、CF1STEADR0_PE1HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス CF1STEADR0_VCI : FFC6 2250_H
CF1STEADR0_VCIL : FFC6 2250_H
CF1STEADR0_VCIH : FFC6 2252_H
CF1STEADR0_VCILL : FFC6 2250_H
CF1STEADR0_VCILH : FFC6 2251_H
CF1STEADR0_VCIHL : FFC6 2252_H
CF1STEADR0_VCIHH : FFC6 2253_H
CF1STEADR0_PE1 : FFC6 2450_H
CF1STEADR0_PE1L : FFC6 2450_H
CF1STEADR0_PE1H : FFC6 2452_H
CF1STEADR0_PE1LL : FFC6 2450_H
CF1STEADR0_PE1LH : FFC6 2451_H
CF1STEADR0_PE1HL : FFC6 2452_H
CF1STEADR0_PE1HH : FFC6 2453_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	EADR[24:16]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:4]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.11　CF1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 25	予約ビット	リードした場合はリセット後の値が読めます。
24 ～ 4	EADR[24:4]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーまたはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラーまたはアドレスパリティエラー発生後はアドレス情報の更新はしません。 クリア条件： CFSTCLR レジスタの STCLR0 ビットを 1 にセット
3 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。

(8) CFSTSTCTL_VCI/PE1 — Code Flash サブテストコントロールレジスタ

CFSTSTCTL レジスタは ECC テスト（自己診断）時に使用するレジスタです。Code Flash 専用のレジスタです。ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。本レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス CFSTSTCTL_VCI、CFSTSTCTL_PE1 レジスタは、32 ビット単位でリード / ライト可能です。
CFSTSTCTL_VCIL、CFSTSTCTL_PE1L レジスタは、16 ビット単位でリード / ライト可能です。

アドレス CFSTSTCTL_VCI : FFC6 2350_H
CFSTSTCTL_VCIL : FFC6 2350_H
CFSTSTCTL_PE1 : FFC6 2550_H
CFSTSTCTL_PE1L : FFC6 2550_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.12 CFSTSTCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読みだすと常に 0 が読みだされます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。

ECC テストモード（ECCTST = 1）に設定した Code Flash アクセスポートからは正しい命令を読み出せません。CPU 用のアクセスポートをテストモードに設定中は（ECCTST ビットの操作中も含みます）、CPU はローカル RAM やリテンション RAM 上のプログラムを実行するようにし、Code Flash から命令をフェッチしないようにしてください。

CPU には小容量のデータバッファを備えています。これらのバッファに古い値がこれらのバッファに残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、**「3.2.2 命令キャッシュ、データバッファ」**を参照してください。

ECC テストモードに設定した Code Flash アクセスポートからは、16n 番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 33.13 Code Flash の読み出し結果

ビット番号	内容
31 ～ 10	常に 0 です。
9	アドレスパリティビット
8 ～ 0	ECC ビット

33.2.4 Data Flash の ECC

33.2.4.1 概要

Data Flash 用 ECC の概要を以下に示します。

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効 / 無効を選択可能 有効時は下記設定を選択可能 • 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 • 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態は機能を有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 • ECC2 ビットエラー検出時のエラー通知（INTECCDEEP0 割り込み）許可／禁止を選択可 FEINTFMSK レジスタの ECCDEEP0FEIFMSK（INTECCDEEP0 割り込みのマスク）ビット（リセット後の値：割り込みをマスクする）および、DFERRINT レジスタの DEDIE（ECC 2 ビットエラー通知制御）ビット（リセット後の値：通知許可）で選択可能です。 • ECC1 ビットエラー検出時のエラー通知は行われません。 初期状態は、2 ビットエラー検出時のエラー通知禁止。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。 どのエラーステータスもセットされていない状態でのみセットされます。 エラーステータスのクリアレジスタを搭載します。
自己診断	ROM データと、ECC ビットをダイレクトに読みだすことができます。 ROM データと、ECC ビットに任意のデータを書き込むことができます。

33.2.4.2 割り込み要求

データフラッシュ ECC の割り込み要求を以下に示します。

表 33.14 データフラッシュ ECC の割り込み要求（リードアクセス時）

ユニット割り込み信号	概要	名称	DMA トリガ番号
—	データフラッシュ ECC 2 ビットエラー割り込み	INTECCDEEP0	—

33.2.4.3 レジスター覧

表 33.15 レジスター覧

レジスタ名	略語	アドレス
Data Flash ECC コントロールレジスタ	DFECCCTL	FFC6 2A00$_H$
Data Flash エラーステータスレジスタ	DFERSTR	FFC6 2A04$_H$
Data Flash エラーステータスクリアレジスタ	DFERSTC	FFC6 2A08$_H$
Data Flash エラー通知コントロールレジスタ	DFERRINT	FFC6 2A14$_H$
Data Flash テストコントロールレジスタ	DFTSTCTL	FFC6 2A1C$_H$

33.2.4.4 レジスタ詳細

(1) DFECCCTL — Data Flash ECC コントロールレジスタ

DFECCCTL レジスタは、ECC エラー検出・訂正の有効 / 無効、1 ビットエラー訂正の許可 / 禁止を設定するレジスタです。DFECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス DFECCCTL レジスタは、16 ビット単位でリード / ライト可能です。

アドレス DFECCCTL：FFC6 2A00$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SEDDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.16 DFECCCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCDIS ビット、SEDDIS ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SEDDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可 / 禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正します 1：1 ビットエラー検出時にエラー訂正しません
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効 / 無効を設定できます。 このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 初期状態は ECC エラー検出・訂正機能が有効です。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(2) DFERSTR — Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

ECC エラー訂正・検出有効時に、ECC 1 ビットエラーが検出されると SEDF ビットがセットされ、ECC 2 ビットエラーが検出されると DEDF ビットがセットされます。

アクセス DFERSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス DFERSTR：FFC6 2A04$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 33.17 DFERSTR レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは発生していません。 1：ECC2 ビットエラーは発生しました。 クリア条件： DFERSTC.ERRCLR ビットに 1 をセット セット条件： SEDF、DEDF がすべて 0 の状態で、ECC2 ビットエラー発生
0	SEDF	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは発生していません。 1：ECC1 ビットエラーは発生しました。 クリア条件： DFERSTC.ERRCLR ビットに 1 をセット セット条件： SEDF、DEDF がすべて 0 の状態で、ECC1 ビットエラー発生

(3) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。

アクセス DFERSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス DFERSTC：FFC6 2A08$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERRCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 33.18 DFERSTC レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ERRCLR	DFERSTR レジスタの SEDF,DEDF フラグクリアビット 1 書き込みで DFERSTR レジスタの SEDF,DEDF フラグをクリアします。

(4) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC2 ビットエラー検出時にエラー通知信号発生の有効 / 無効を設定するためのレジスタです。

アクセス DFERRINT レジスタは、8 ビット単位でリード / ライト可能です。

アドレス DFERRINT：FFC6 2A14$_H$

リセット後の値 02$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDIE	—
リセット後の値	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R

表 33.19 DFERRINT レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC 2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時にエラーのエラー通知の発生を制御するビットです。 0：ECC 2 ビットエラー通知禁止 1：ECC 2 ビットエラー通知許可
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(5) DFTSTCTL — Data Flash テストコントロールレジスタ

ECC テスト時に使用するレジスタです。

ECC テストモード (ECCTST = 1) 設定後、ECC ビットのデータを読み出すことができます。

DFTSTCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス DFTSTCTL レジスタは、16 ビット単位でリード / ライト可能です。

アドレス $FFC6\ 2A1C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.20 DFTSTCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読みだすと常に 0 が読みだされます。 DFTSTCTL レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストモードビット ECC テストモードに設定します 0 : 通常モード 1 : ECC テストモード

33.2.5 ローカル RAM（CPU1）の ECC

33.2.5.1 概要

CPU1 のローカル RAM 用 ECC の仕様概要を以下に示します。

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効 / 無効を選択可能 有効時は下記設定を選択可能 • 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 • 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 **ECC エラー** • ECC 2 ビットエラー検出時のエラー（SYSERR 例外）通知許可 / 禁止 SEGCONT レジスタの TCME ビット（初期値：通知禁止）で選択可能です。 • ECC 1 ビットエラー検出時のエラー通知（INTECCRAM 割り込み）許可 / 禁止 FEINTFMSK レジスタの ECCRAMFEIFMSK（INTECCRAM 割り込みのマスク）ビット（初期値：割り込みをマスクする）および、LRERRINT レジスタの SEDIE（ECC1 ビットエラー通知許可）ビット（初期値：通知禁止）で選択可能です。 初期状態は、2 ビットエラー検出時のエラー通知禁止、1 ビットエラー検出時のエラー通知禁止。
エラーステータス	ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
自己診断	RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データと ECC ビットをダイレクトに読み出すことができます。
その他	命令フェッチ時の ECC2 ビットエラー検出で SYSERR 例外を発生させ、不正命令の実行を回避することができます。

注　意

ローカル RAM に対して、ECC によるエラー検出・訂正を有効にしてアクセスする場合、使用する RAM をアクセスサイズの 32 ビット長で初期化してから使用してください。

初期化前の RAM をリードした場合、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

また、32 ビット長で初期化しなかった場合（例えば 8 ビットや 16 ビットのアクセスで初期化した場合）、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

CPU1 のローカル RAM は、最大で 128 ビットのデータを同時にリード／ライト可能な構成となっています。一方で、ECC は 32 ビットのデータ毎に用意されており、各 32 ビットデータをバンク 0 ～ 3 と称しています。ここで、アドレスの小さい方（つまりデータの LSB 側）がバンク 0、アドレスの大きい方（つまりデータの MSB 側）がバンク 3 となります。アドレスとバンク番号の関係は以下の通りです。

表 33.21 アドレスとバンク番号の関係

アドレスの下位 4 ビット（16 進表記）	F_H ～ C_H	B_H ～ 8_H	7_H ～ 4_H	3_H ～ 0_H
バンク番号	バンク 3	バンク 2	バンク 1	バンク 0

33.2.5.2 割り込み要求

ローカル RAM ECC の割り込み要求を以下に示します。

表 33.22 ローカル RAM ECC の割り込み要求

ユニット割り込み信号	概要	名称	DMA トリガ番号
—	ローカル RAM ECC 1 ビットエラー割り込み	INTECCRAM	—
—	ローカル RAM ECC 2 ビットエラー割り込み	SYSERR 注 1	—

注 1. DMA アクセスの時は、SYSERR が発生しません。DMA 転送終了後、以下のビットで ECC 2 ビットエラーが発生していないことを確認してください。
・LR1STERSTR_PE1.DEDFn

33.2.5.3 レジスター覧

表 33.23 レジスター覧

レジスタ名	略号	アドレス
ローカル RAM テストコントロールレジスタ（PE1）	LRTSTCTL_PE1	FFC6 5004_H
ローカル RAM テストデータリードバッファ 0（PE1）	LRTDATBF0_PE1	FFC6 5008_H
ローカル RAM テストデータリードバッファ 1（PE1）	LRTDATBF1_PE1	FFC6 $500C_H$
ローカル RAM ECC コントロールレジスタ（PE1）	LRECCCTL_PE1	FFC6 5400_H
ローカル RAM エラー情報コントロールレジスタ（PE1）	LRERRINT_PE1	FFC6 5404_H
ローカル RAM ステータスクリアレジスタ（PE1）	LRSTCLR_PE1	FFC6 5408_H
ローカル RAM 1st エラーステータスレジスタ（PE1）	LR1STERSTR_PE1	FFC6 5410_H

33.2.5.4 レジスタ詳細

(1) LRTSTCTL_PE1 — ローカル RAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）設定後、ECC ビットへ任意のデータを書き込むことができます。RAM データ、ECC ビットの選択は DATSEL ビットで行います。

LRTSTCTL レジスタへの書き込みは、PROT1,PROT0 を 01_B にして実行してください。

アクセス LRTSTCTL_PE1 レジスタは 32 ビット単位でリード／ライト可能です。
LRTSTCTL_PE1L レジスタは 16 ビット単位でリード／ライト可能です。

アドレス LRTSTCTL_PE1 : $FFC6\ 5004_H$
LRTSTCTL_PE1L : $FFC6\ 5004_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.24 LRTSTCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST, DATSEL ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読みだすと常に 0 が読みだされます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビットのデータをダイレクトにリードすることができます。
0	DATSEL	データ選択ビット ECCTST = 1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 0 : RAM データ選択 1 : ECC ビット選択

注 意

ローカル RAM の ECC テストモードを有効（ECCTST = 1）にした場合、ローカル RAM へのアクセスは 4 バイトアクセスで実施してください。

(2) LRTDATBFn_PE1 — ローカル RAM テストデータリードバッファ n (n = 0,1)

ECC テスト（自己診断）時、ECC ビットを読み出すことができます。ローカル RAM テストコントロールレジスタ LRTSTCTL の ECCTST = 1 のときに、ローカル RAM を読み出すと ECC ビットが読み出され、本バッファに保持されます。

アクセス LRTDATBFn_PE1 レジスタは 32 ビット単位でリードのみ可能です。

アドレス LRTDATBFn_PE1：FFC6 5008H + n × 4_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	LRDATABF[22:16]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	LRDATABF[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.25 LRTDATBFn レジスタの内容

ビット位置	ビット名	機能
31 ～ 25	予約ビット	リードした場合はリセット後の値が読めます。
24 ～ 23	予約ビット	リードした場合は不定値が読めます。
22 ～ 16	LRDATABF [22:16]	ローカル RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 ローカル RAM の対応するバンク読み出し時にローカル RAM（バンク（2n+1））の ECC ビットが LRTDATABF[22:16] に、格納されます。
15 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。
8 ～ 7	予約ビット	リードした場合は不定値が読めます。
6 ～ 0	LRDATABF [6:0]	ローカル RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 ローカル RAM の対応するバンク読み出し時にローカル RAM（バンク（2n））の ECC ビットが LRTDATABF[6:0] にされます。

(3) LRECCCTL_PE1 — ローカル RAM ECC コントロールレジスタ

LRECCCTL レジスタは、ECC エラー検出・訂正の有効 / 無効、1 ビットエラー訂正の許可 / 禁止を設定するレジスタです。LRECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス LRECCCTL_PE1 レジスタは 32 ビット単位でリード／ライト可能です。
LRECCCTL_PE1L レジスタは 16 ビット単位でリード／ライト可能です。

アドレス LRECCCTL_PE1：$FFC6\ 5400_H$
LRECCCTL_PE1L：$FFC6\ 5400_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.26 LRECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可 / 禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効 / 無効を設定できます。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(4) LRERRINT_PE1 — ローカル RAM エラー情報コントロールレジスタ

LRERRINT レジスタは、ECC1 ビットエラー検出時にエラー通知信号発生の有効 / 無効を設定するためのレジスタです。

アクセス LRERRINT_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
LRERRINT_PE1L レジスタは、16 ビット単位でリード／ライト可能です。
LRERRINT_PE1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス LRERRINT_PE1：FFC6 5404$_H$
LRERRINT_PE1L：FFC6 5404$_H$
LRERRINT_PE1LL：FFC6 5404$_H$

リセット後の値 0000 0006$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.27 LRERRINT レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC 1 ビットエラー通知禁止 1：ECC 1 ビットエラー通知許可

(5) LRSTCLR_PE1 — ローカル RAM ステータスクリアレジスタ

LRSTCLR レジスタは、エラーステータスレジスタ (LR1STERSTR) のエラーフラグをクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス LRSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。
LRSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。
LRSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス LRSTCLR_PE1：FFC6 5408$_H$
LRSTCLR_PE1L：FFC6 5408$_H$
LRSTCLR_PE1LL：FFC6 5408$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 3	STCLR 2	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W	W

表 33.28 LRSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	STCLR3	エラーステータスフラグクリアビット (バンク 3 用) 1 書き込みで LR1STERSTR レジスタの DEDF3, SEDF3 フラグをクリアします。
2	STCLR2	エラーステータスフラグクリアビット (バンク 2 用) 1 書き込みで LR1STERSTR レジスタの DEDF2, SEDF2 フラグをクリアします。
1	STCLR1	エラーステータスフラグクリアビット (バンク 1 用) 1 書き込みで LR1STERSTR レジスタの DEDF1, SEDF1 フラグをクリアします。
0	STCLR0	エラーステータスフラグクリアビット (バンク 0 用) 1 書き込みで LR1STERSTR レジスタの DEDF0, SEDF0 フラグをクリアします。

(6) LR1STERSTR_PE1 — ローカル RAM 1st エラーステータスレジスタ

LR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。各バンクにて、エラーフラグのいずれかが設定されている間、ほかのエラーが同じバンクで発生した場合、フラグの状態は更新されません。

しかし、ECC2 ビットエラーフラグがセットされていない時に、ECC2 ビットエラーが発生した場合は、対応するエラーフラグが設定されます。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。LR1STERSTR レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス LR1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
LR1STERSTR_PE1L、LR1STERSTR_PE1H レジスタは、16 ビット単位でリードのみ可能です。
LR1STERSTR_PE1LL、LR1STERSTR_PE1LH、LR1STERSTR_PE1HL、LR1STERSTR_PE1HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス LR1STERSTR_PE1：FFC6 5410$_H$
LR1STERSTR_PE1L：FFC6 5410$_H$
LR1STERSTR_PE1LL：FFC6 5410$_H$
LR1STERSTR_PE1LH：FFC6 5411$_H$
LR1STERSTR_PE1H：FFC6 5412$_H$
LR1STERSTR_PE1HL：FFC6 5412$_H$
LR1STERSTR_PE1HH：FFC6 5413$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DEDF3	SEDF3	—	—	—	—	—	—	DEDF2	SEDF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF1	SEDF1	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.29 LR1STERSTR レジスタの内容

ビット位置	ビット名	機能
7+8n:2+8n	予約ビット	リードした場合はリセット後の値が読めます。
1+8n	DEDFn	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは発生していません。 1：ECC2 ビットエラーは発生しました。 クリア条件： LRSTCLR.STCLRn ビットに 1 をセット セット条件： DEDFn が 0 の状態で、ECC2 ビットエラー発生
0+8n	SEDFn	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは発生していません。 1：ECC1 ビットエラーは発生しました。 クリア条件： LRSTCLR.STCLRn ビットに 1 をセット セット条件： DEDFn, SEDFn がどちらも 0 の状態で、ECC1 ビットエラー発生

備考 n = 0 ～ 3、ここで "n" はバンク番号を示します。

33.2.6 リテンション RAM の ECC

注 意

RH850/F1M は、RH850/F1H で搭載していた グローバル RAM を搭載していません。そのグローバル RAM 領域をリテンション RAM の領域として使用しています。そのため、グローバル RAM 用の ECC をリテンション RAM 用の ECC として使用します。レジスタ名、レジスタの説明では、グローバル RAM の記載が出てきますが、リテンション RAM と読み替えてください。

33.2.6.1 概要

リテンション RAM 用 ECC の仕様概要を以下に示します。

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効 / 無効を選択可能 有効時は下記設定を選択可能 • 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 • 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 • ECC2 ビットエラー検出時のエラー（SYSERR 例外）通知許可 / 禁止 SEGCONT レジスタの VCIE ビット（リセット後の値：通知禁止）で選択可能です。 • ECC1 ビットエラー検出時のエラー通知（INTECCRAM 割り込み）許可 / 禁止 FEINTFMSK.ECCRAMFEIFMSK（INTECCRAM 割り込みのマスク）ビット（初期値：割り込みをマスクする）および、GRERRINT.SEDIE（ECC1 ビットエラー通知制御）ビット（初期値：通知禁止）で選択可能です。 初期状態は、2 ビットエラー検出時のエラー通知禁止、1 ビットエラー検出時のエラー通知禁止。
エラーステータス	ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
自己診断	RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データと ECC ビットをダイレクトに読み出すことができます。
アドレスキャプチャ	どのエラーステータスもセットされていない状態で最初に発生した ECC エラー発生アドレスをキャプチャします。 さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラー検出した場合もキャプチャされます。
その他	命令フェッチの時の 2 ビット ECC エラーの検出に応答した SYSERR 例外の生成が不正な命令の実行を防ぎます。

ECC エンコーダおよびデコーダはリテンション RAM につながる各アクセスポート（CPU1、インタコネクト）それぞれに対応して用意されています。また、RMW 処理に対応した ECC デコーダおよび ECC エンコーダも用意されています。**図 33.2** を参照してください。

- RMW 処理

  ビット操作命令や、2 バイトライト、1 バイトライトは、次の 3 ステップで実行されます。

  ① 32 ビットデータのリード

  ②所定データのリプレースによるライトデータの生成（モディファイ）

  ③ 32 ビットデータのライト、の 3 ステップで実行されます。

  本節では、これをリード・モディファイ・ライト（RMW）処理と称します。

  リテンション RAM における RMW 処理は、各バンクに対応したコントローラ内で行われます。

  RMW 処理では、①のリードに対応して ECC デコードが行われ、③のライトに対応して ECC エンコードが行われます。

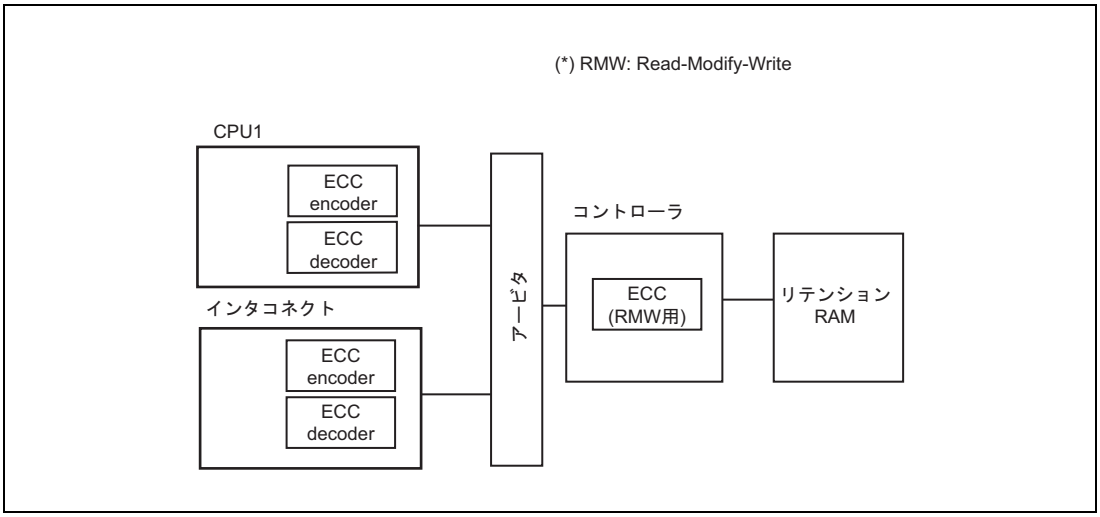


図 33.2　リテンション RAM の ECC

リテンション RAM は、最大で 64 ビットのデータを同時にリード／ライト可能な構成となっています。

一方で、ECC は 32 ビットのデータごとに用意されています。つまり、**図 33.2** の ECC decoer と ECC encoder、ECC（RMW 用）は、すべて上位 32 ビットデータ用と、下位 32 ビットデータ用にそれぞれ 2 つずつ用意されております。

表 33.30　アドレスと対応する ECC 回路

アドレスの下位 3 ビット	7_H ～ 4_H	3_H ～ 0_H
対応する ECC 回路	上位 32 ビット	下位 32 ビット

注　意

ローカル RAM（CPU1）では ECC の単位に応じたデータをバンク 0 ～ 3 と呼んでいます。混乱を避けるためにバンクという言葉を使わずに上位 32 ビット、下位 32 ビットという呼び方とします。

33.2.6.2　割り込み要求

リテンション RAM ECC の割り込み要求を以下に示します。

表 33.31　リテンション RAM ECC の割り込み要求

ユニット割り込み信号	概要	名称	DMA トリガ番号
—	リテンション RAM ECC 1 ビットエラー割り込み	INTECCRAM	—
—	リテンション RAM ECC2 ビットエラー割り込み	SYSERR	—

33.2.6.3 レジスター覧

注 意

表 33.32 のグローバル RAM は、リテンション RAM と読み替えてください。

表 33.32 レジスター覧

レジスタ名	略号注1	アドレス
グローバル RAM ECC コントロールレジスタ（GRAMC）	GRECCCTL_GRAMC	FFC6 4000$_H$
グローバル RAM テストコントロールレジスタ	GRTSTCTL	FFC6 4004$_H$
グローバル RAM テストデータリードバッファ 2	GRTDATBF2	FFC6 4010$_H$
グローバル RAM テストデータリードバッファ 3	GRTDATBF3	FFC6 4014$_H$
グローバル RAM ECC デコーダ入力データバッファ 0	GRDECINBF0	FFC6 4018$_H$
グローバル RAM ECC デコーダ入力データバッファ 1	GRDECINBF1	FFC6 401C$_H$
グローバル RAM ECC コントロールレジスタ（VCI）	GRECCCTL_VCI	FFC6 4200$_H$
グローバル RAM エラー情報コントロールレジスタ（VCI）	GRERRINT_VCI	FFC6 4204$_H$
グローバル RAM ステータスクリアレジスタ（VCI）	GRSTCLR_VCI	FFC6 4208$_H$
グローバル RAM エラーカウントオーバフローステータスレジスタ（VCI）	GROVFSTR_VCI	FFC6 420C$_H$
グローバル RAM 1st エラーステータスレジスタ（VCI）	GR1STERSTR_VCI	FFC6 4210$_H$
グローバル RAM 1st エラー（下位 32 ビットデータ）アドレスレジスタ（VCI）	GR1STEADR0_VCI	FFC6 4250$_H$
グローバル RAM 1st エラー（上位 32 ビットデータ）アドレスレジスタ（VCI）	GR1STEADR1_VCI	FFC6 4254$_H$
グローバル RAM ECC コントロールレジスタ（PE1）	GRECCCTL_PE1	FFC6 4400$_H$
グローバル RAM エラー情報コントロールレジスタ（PE1）	GRERRINT_PE1	FFC6 4404$_H$
グローバル RAM ステータスクリアレジスタ（PE1）	GRSTCLR_PE1	FFC6 4408$_H$
グローバル RAM エラーカウントオーバフローステータスレジスタ（PE1）	GROVFSTR_PE1	FFC6 440C$_H$
グローバル RAM 1st エラーステータスレジスタ（PE1）	GR1STERSTR_PE1	FFC6 4410$_H$
グローバル RAM 1st エラー（下位 32 ビットデータ）アドレスレジスタ（PE1）	GR1STEADR0_PE1	FFC6 4450$_H$
グローバル RAM 1st エラー（上位 32 ビットデータ）アドレスレジスタ（PE1）	GR1STEADR1_PE1	FFC6 4454$_H$

注 1. 略号において、“_GRAMC”、“_VCI”、“_PE1” が付いているレジスタは、各 ECC コントローラごとに用意されているレジスタとなります。
“_GRAMC” は 8 ビットまたは 16 ビットデータをリテンション RAM に書き込む際のリード／モディファイ／ライトのリードアクセス用の ECC コントローラです。“_VCI” はシステムインタコネクト 1 からリテンション RAM へのアクセス用、“_PE1” は CPU1 からリテンション RAM へのアクセス用の ECC コントローラへのアクセス用の ECC コントローラを示します。

33.2.6.4 レジスタ詳細

注 意

本節に記載されていますグローバル RAM は、リテンション RAM と読み替えてください。

(1) GRECCCTL_GRAMC — グローバル RAM ECC コントロールレジスタ

グローバル RAM 共通の ECC コントロールレジスタです。Read-Modify-Write（RMW）処理時の ECC 処理の内容を指定します。本レジスタへの書き込みは、PROT1、PROT0 を 01_B にして実行してください。

アクセス GRECCCTL_GRAMC レジスタは、32 ビット単位でリード／ライト可能です。
GRECCCTL_GRAMCL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス GRECCCTL_GRAMC：FFC6 4000_H
GRECCCTL_GRAMCL：FFC6 4000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.33 GRECCCTL_GRAMC レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	RMW 時 ECC1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可 / 禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	RMW 時 ECC ディスエーブルビット ECC エラー検出・訂正機能の有効 / 無効を設定できます。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。初期状態は ECC エラー検出・訂正機能が有効です。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効 **注 意** エラー検出・訂正機能が無効の場合でもエンコード機能は有効です。

(2) GRTSTCTL — グローバル RAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）設定後、ECC ビットへ任意のデータを書き込むことができます。RAM データ、ECC ビットの選択は DATSEL0, 1 ビットで行います。また、グローバル RAM コントローラ内の ECC デコーダの入出力を制御し、テスト（自己診断）することが可能です。

本レジスタへの書き込みは、PROT1、PROT0 を 01_B にして実行してください。

アクセス GRTSTCTL レジスタは、32 ビット単位でリード／ライト可能です。
GRTSTCTLL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス GRTSTCTL：FFC6 4004_H
GRTSTCTLL：FFC6 4004_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	ECCTST	DECINEN	DATSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 33.34 GRTSTCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST, DECINEN, DATSEL[1:0] ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読みだすと常に 0 が読みだされます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビットのデータをダイレクトにリードすることができます。
2	DECINEN	GRAMC ECC デコーダエラー注入許可ビット ECCTST = 1 のときに有効。ECC デコーダ入力バッファのデータを更新データ用の ECC デコーダへ入力することを許可する。 このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0：ECC デコーダ入力バッファのデータが選択されない 1：ECC デコーダ入力バッファのデータが選択される

表 33.34 GRTSTCTL レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>1 ～ 0</td><td>DATSEL[1:0]</td><td>読み出しバッファ格納データ選択ビット 0, 1
ECCTST = 1 のときに有効。読み出しバッファ GRTDATBFn に格納するデータ、RAM の各フィールドに書き込むデータ、RMW 時に RMW 時更新データ用 ECC デコーダに入力するデータを選択します。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。
<table>
<tr><th>DATSEL1</th><th>DATSEL0</th><th>動作</th></tr>
<tr><td>0</td><td>0</td><td>• GRTDATBFn：RMW を含む読み出し時に、ECC ビットが格納されます。
• グローバル RAM：RMW を含む書き込み時に、ライトアクセスのサイズやアドレスに応じたデータ領域を更新します。ECC ビットは更新されません。</td></tr>
<tr><td>0</td><td>1</td><td>• GRTDATBFn：RMW を含む読み出し時に、ECC ビットが格納されます。
• グローバル RAM：RMW を含む書き込み時に、ECC ビットのみを更新します。データ領域は更新されません。</td></tr>
<tr><td>1</td><td>0</td><td>• GRTDATBFn：RMW 時に、“RMW 時リードデータ用 ECC デコード結果 ” が格納されます。RMW 以外のリード動作では更新されません。
• グローバル RAM：通常動作モード（ECCTST = 0）と同じ動作です。</td></tr>
<tr><td>1</td><td>1</td><td>• GRTDATBFn：RMW 時に、“RMW 時更新データ用 ECC デコード結果 ” が格納されます。RMW 以外のリード動作では更新されません。
• グローバル RAM：通常動作モード（ECCTST = 0）と同じ動作です。
• 本設定の場合に限り、RMW 時更新データ用 ECC デコーダには、CPU などから送られるライトデータの代わりに、GRDECINBF0/1 の値が入力されます。</td></tr>
</table>
いずれの場合も、CPU や DMAC へのリード結果には通常と同じデータが読みだされます。</td></tr>
</table>

(3) GRTDATBFn — グローバル RAM テストデータリードバッファ n (n = 2, 3)

テストモード（ECCTST = 1）のとき、RAM データと ECC ビット、ECC デコーダ出力を読み出すことができます。グローバル RAM テストコントロールレジスタの DATSEL1, 0 ビットで選択したデータが、RAM を読み出すと本バッファに格納されます。

アクセス GRTDATBFn レジスタは、32 ビット単位でリードのみ可能です。

アドレス GRTDATBFn：FFC6 4008_H + n × 4_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRTDATBF[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRTDATBF[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.35 GRTDATBFn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	GRTDATBF [31:0]	グローバル RAM テストコントロールレジスタの ECCTST = 1（テストモード）のときに有効です。

DATSEL1	DATSEL0	GRTDATBF[31:0]
0	0	RAM 読み出し時に、ECC ビットが GRTDATBF[6:0] に格納されます。GRTDATBF[7] は不定です。GRTDATBF[31:8] には 0 が格納されます。
0	1	
1	0	RMW 時にリード用 ECC デコーダ出力データ（更新後）が GRTDATBF[31:0] に格納されます。
1	1	RMW 時に更新データ用 ECC デコーダ出力データ（更新後）が GRTDATBF[31:0] に格納されます。

備考 n = 2、3
“n = 2” は下位 32 ビットを表し、 “n = 3” は上位 32 ビットを表します

(4) GRDECINBF0 — グローバル RAM ECC デコーダ入力データバッファ 0

RMW 時の更新データ用 ECC デコーダへの入力データを格納するレジスタです。本レジスタのデータは 32 ビットの RAM データとして ECC デコーダに入力します。

アクセス GRDECINBF0 レジスタは、32 ビット単位でリード／ライト可能です。

アドレス GRDECINBF0：FFC6 4018$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRDECINBF0[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRDECINBF0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 33.36 GRDECINBF0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	GRDECINBF0 [31:0]	グローバル RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが 32 ビットの RAM データとして、更新データ用の ECC デコーダへ入力します。バンク A/B、上位 32 ビット / 下位 32 ビットに対して共用レジスタです。

(5) GRDECINBF1 — グローバル RAM ECC デコーダ入力データバッファ 1

RMW 時の更新データ用 ECC デコーダへの入力データを格納するレジスタです。本レジスタのデータは 7 ビットの ECC データとして ECC デコーダに入力します。

アクセス GRDECINBF1 レジスタは、32 ビット単位でリード／ライト可能です。

アドレス GRDECINBF1：FFC6 401C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	GRDECINBF1[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 33.37 GRDECINBF1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	GRDECINBF1 [6:0]	グローバル RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが 7 ビットの ECC データとして、更新データ用の ECC デコーダへ入力します。 バンク A/B、上位 32 ビット / 下位 32 ビットに対して共用レジスタです。

(6) GRECCCTL_VCI/PE1 — グローバル RAM ECC コントロールレジスタ

GRECCCTL レジスタは、ECC エラー検出・訂正の有効 / 無効、1 ビットエラー訂正の許可 / 禁止を設定するレジスタです。GRECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス GRECCCTL_VCI、GRECCCTL_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
GRECCCTL_VCIL、GRECCCTL_PE1L レジスタは、16 ビット単位でリード／ライト可能です。

アドレス GRECCCTL_VCI : FFC6 4200_H
GRECCCTL_VCIL : FFC6 4200_H
GRECCCTL_PE1 : FFC6 4400_H
GRECCCTL_PE1L : FFC6 4400_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.38 GRECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可 / 禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効 / 無効を設定できます。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(7) GRERRINT_VCI/PE1 — グローバル RAM エラー情報コントロールレジスタ

GRERRINT レジスタは、ECC1 ビットエラー検出時にエラー通知信号発生の有効 / 無効を設定するためのレジスタです。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス GRERRINT_VCI、GRERRINT_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
GRERRINT_VCIL、GRERRINT_PE1L レジスタは、16 ビット単位でリード／ライト可能です。
GRERRINT_VCILL、GRERRINT_PE1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス GRERRINT_VCI : FFC6 4204_H
GRERRINT_VCIL : FFC6 4204_H
GRERRINT_VCILL : FFC6 4204_H
GRERRINT_PE1 : FFC6 4404_H
GRERRINT_PE1L : FFC6 4404_H
GRERRINT_PE1LL : FFC6 4404_H

リセット後の値 $0000\ 0006_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.39 GRERRINT レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(8) GRSTCLR_VCI/PE1 — グローバル RAM ステータスクリアレジスタ

GRSTCLR レジスタは、エラーステータスレジスタ (GR1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (GROVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (GR1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス GRSTCLR_VCI、GRSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。
GRSTCLR_VCIL、GRSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。
GRSTCLR_VCILL、GRSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス GRSTCLR_VCI : FFC6 4208_H
GRSTCLR_VCIL : FFC6 4208_H
GRSTCLR_VCILL : FFC6 4208_H
GRSTCLR_PE1 : FFC6 4408_H
GRSTCLR_PE1L : FFC6 4408_H
GRSTCLR_PE1LL : FFC6 4408_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 33.40 GRSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	STCLR1	エラーステータスフラグクリアビット（上位 32 ビットデータ用） 1 書き込みで、GR1STERSTR レジスタの EXDEDF1, EXSEDF1, DEDF1, SEDF1 フラグ、GROVFSTR レジスタの ERROVF1 フラグ、および GR1STEADR1 レジスタをクリアします。
0	STCLR0	エラーステータスフラグクリアビット（下位 32 ビットデータ用） 1 書き込みで、GR1STERSTR レジスタの EXDEDF0, EXSEDF0, DEDF0, SEDF0 フラグ、GROVFSTR レジスタの ERROVF0 フラグ、および GR1STEADR0 レジスタをクリアします。

(9) GROVFSTR_VCI/PE1 — グローバル RAM エラーカウントオーバフローステータスレジスタ

GROVFSTR レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス GROVFSTR_VCI、GROVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
GROVFSTR_VCIL、GROVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
GROVFSTR_VCILL、GROVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス GROVFSTR_VCI : FFC6 420C$_H$
GROVFSTR_VCIL : FFC6 420C$_H$
GROVFSTR_VCILL : FFC6 420C$_H$
GROVFSTR_PE1 : FFC6 440C$_H$
GROVFSTR_PE1L : FFC6 440C$_H$
GROVFSTR_PE1LL : FFC6 440C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.41 GROVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	ERROVF1	エラーオーバフローフラグ（上位 32 ビットデータ用） エラーステータスレジスタのいずれかのエラーフラグ（EXDEDF1, EXSEDF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバフローフラグ（下位 32 ビットデータ用） エラーステータスレジスタのいずれかのエラーフラグ（EXDEDF0, EXSEDF0, DEDF0,SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(10) GR1STERSTR_VCI/PE1 — グローバル RAM 1st エラーステータスレジスタ

GR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。上位 32 ビットと下位 32 ビットは、エラー検出及びステータス更新は独立して動作します。

エラーフラグのいずれかがそれぞれ、上位 32 ビットに設定され、下位 32 ビット中に別のエラーが発生した場合、フラグのステータスが更新されません。

ECC2 ビットエラーのいずれか（または両方）EXSEDFn または SEDFn ビットが設定されている場合にのみ発生した場合は、対応するエラーフラグが設定されています。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。GR1STERSTR レジスタは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス GR1STERSTR_VCI、GR1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
GR1STERSTR_VCIL、GR1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
GR1STERSTR_VCILL、GR1STERSTR_VCILH、GR1STERSTR_PE1LL、GR1STERSTR_PE1LH レジスタは、8 ビット単位でリードのみ可能です。

アドレス GR1STERSTR_VCI : FFC6 4210_H
GR1STERSTR_VCIL : FFC6 4210_H
GR1STERSTR_VCILL : FFC6 4210_H
GR1STERSTR_VCILH : FFC6 4211_H
GR1STERSTR_PE1 : FFC6 4410_H
GR1STERSTR_PE1L : FFC6 4410_H
GR1STERSTR_PE1LL : FFC6 4410_H
GR1STERSTR_PE1LH : FFC6 4411_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	EXDEDF1	EXSEDF1	—	—	DEDF1	SEDF1	—	—	EXDEDF0	EXSEDF0	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.42 GR1STERSTR レジスタの内容

ビット位置	ビット名	機能
7+8×n 6+8×n	予約ビット	リードした場合はリセット後の値が読めます。
5+8×n	EXDEDFn	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは発生していません。 1：ECC2 ビットエラーは発生しました。 クリア条件： GRSTCLR.STCLRn ビットに 1 をセット セット条件： EXDEDFn, DEDFn がどちらも 0 の状態で、ECC2 ビットエラー発生（GRAM RMW 時）
4+8×n	EXSEDFn	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは発生していません。 1：ECC1 ビットエラーは発生しました。 クリア条件： GRSTCLR.STCLRn ビットに 1 をセット セット条件： EXDEDFn, EXSEDFn, DEDFn, SEDFn がすべて 0 の状態で、ECC1 ビットエラー発生（GRAM RMW 時）
3+8×n 2+8×n	予約ビット	リードした場合はリセット後の値が読めます。
1+8×n	DEDFn	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは発生していません。 1：ECC2 ビットエラーは発生しました。 クリア条件： GRSTCLR.STCLRn ビットに 1 をセット セット条件： EXDEDFn, DEDFn がどちらも 0 の状態で、ECC2 ビットエラー発生
0+8×n	SEDFn	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは発生していません。 1：ECC1 ビットエラーは発生しました。 クリア条件： GRSTCLR.STCLRn ビットに 1 をセット セット条件： EXDEDFn, EXSEDFn, DEDFn, SEDFn がすべて 0 の状態で、ECC1 ビットエラー発生

備考　n = 0, 1、n = 0 は下位 32 ビットを、n = 1 は上位 32 ビットを示します。

(11) GR1STEADRn_VCI/PE1 — グローバル RAM 1st エラーアドレスレジスタ n（n = 0, 1）

GR1STEADRn レジスタは、エラー発生時のアドレスを保持するためのレジスタです。GR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

また、このレジスタの EADR[20：0] ビットは、実アドレスの [20：0] ビットに対応しています。

実アドレスは、グローバル RAM がマッピングされている上位アドレス [31:21] ビットを追加することによってベースアドレスとして計算できます。GR1STEADR レジスタは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。下位 32 ビットデータアクセス時には GR1STEADR0 にアドレスは保持されます。上位 32 ビットデータアクセス時には GR1STEADR1 にアドレスは保持されます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス GR1STEADRn_VCI、GR1STEADRn_PE1 レジスタは、32 ビット単位でリードのみ可能です。
GR1STEADRn_VCIL、GR1STEADRn_VCIH、GR1STEADRn_PE1L、GR1STEADRn_PE1H レジスタは、16 ビット単位でリードのみ可能です。
GR1STEADRn_VCILL、GR1STEADRn_VCILH、GR1STEADRn_VCIHL、GR1STEADRn_PE1LL、GR1STEADRn_PE1LH、GR1STEADRn_PE1HL レジスタは、8 ビット単位でリードのみ可能です。

アドレス
GR1STEADRn_VCI：FFC6 4250_H + n × 4_H
GR1STEADRn_VCIL：FFC6 4250_H + n × 4_H
GR1STEADRn_VCILL：FFC6 4250_H + n × 4_H
GR1STEADRn_VCILH：FFC6 4251_H + n × 4_H
GR1STEADRn_VCIH：FFC6 4252_H + n × 4_H
GR1STEADRn_VCIHL：FFC6 4252_H + n × 4_H
GR1STEADRn_PE1：FFC6 4450_H + n × 4_H
GR1STEADRn_PE1L：FFC6 4450_H + n × 4_H
GR1STEADRn_PE1LL：FFC6 4450_H + n × 4_H
GR1STEADRn_PE1LH：FFC6 4451_H + n × 4_H
GR1STEADRn_PE1H：FFC6 4452_H + n × 4_H
GR1STEADRn_PE1HL：FFC6 4452_H + n × 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	EADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.43 GR1STEADRn レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。
20 ～ 0	EADR[20:0]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 GR1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

33.2.7 命令キャッシュの ECC

33.2.7.1 概要

命令キャッシュ用 ECC の仕様概要を以下に示します。

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効 / 無効を選択可能 有効時は下記設定を選択可能 • 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 • 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正[注 1]、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時にエラー通知を行います。 • ECC 1 ビットエラー検出時のエラー通知（INTECCRAM 割り込み）許可 / 禁止 FEINTFMSK.ECCRAMFEIFMSK（INTECCRAM 割り込みのマスク）ビット（初期値：割り込みをマスクする）、IDERRINT.SEDIE および、ITERRINT.SEDIE（ECC1 ビットエラー通知制御）ビット（初期値：通知禁止）で選択可能です。 初期状態は、2 ビットエラー通知禁止、1 ビットエラー通知禁止。
エラーステータス	ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
自己診断	キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込むことができます。 同じく RAM データと ECC ビットをダイレクトに読み出すことができます。 上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード／デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能です。
アドレスキャプチャ	どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。

注 1. 命令キャッシュタグの ECC 機能は、ECC1 ビットのエラー訂正機能がありません。

33.2.7.2 レジスター覧

表 33.44 レジスター覧

レジスタ名	略号	アドレス
命令キャッシュデータ RAM ECC コントロールレジスタ（PE1）	IDECCCTL_PE1	FFC6 0400$_H$
命令キャッシュデータ RAM エラー情報コントロールレジスタ（PE1）	IDERRINT_PE1	FFC6 0404$_H$
命令キャッシュデータ RAM エラーステータスクリアレジスタ（PE1）	IDSTCLR_PE1	FFC6 0408$_H$
命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ（PE1）	IDOVFSTR_PE1	FFC6 040C$_H$
命令キャッシュデータ RAM 1st エラーステータスレジスタ（PE1）	ID1STERSTR_PE1	FFC6 0410$_H$
命令キャッシュデータ RAM (Bank0) 1st エラーアドレスレジスタ（PE1）	ID1STEADR0_PE1	FFC6 0450$_H$
命令キャッシュデータ RAM (Bank1) 1st エラーアドレスレジスタ（PE1）	ID1STEADR1_PE1	FFC6 0454$_H$
命令キャッシュタグ RAM ECC コントロールレジスタ（PE1）	ITECCCTL_PE1	FFC6 1400$_H$
命令キャッシュタグ RAM エラー情報コントロールレジスタ（PE1）	ITERRINT_PE1	FFC6 1404$_H$
命令キャッシュタグ RAM エラーステータスクリアレジスタ（PE1）	ITSTCLR_PE1	FFC6 1408$_H$
命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ（PE1）	ITOVFSTR_PE1	FFC6 140C$_H$
命令キャッシュタグ RAM 1st エラーステータスレジスタ（PE1）	IT1STERSTR_PE1	FFC6 1410$_H$
命令キャッシュタグ RAM 1st エラーアドレスレジスタ（PE1）	IT1STEADR0_PE1	FFC6 1450$_H$

33.2.7.3 レジスタ詳細

(1) IDECCCTL_PE1 — 命令キャッシュデータ RAM ECC コントロールレジスタ

IDECCCTL レジスタは、キャッシュデータ RAM の ECC エラー検出・訂正の有効 / 無効を設定するレジスタです。IDECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス IDECCCTL_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
IDECCCTL_PE1L レジスタは、16 ビット単位でリード／ライト可能です。

アドレス IDECCCTL_PE1 : FFC6 0400_H
IDECCCTL_PE1L : FFC6 0400_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.45 IDECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効 / 無効を設定できます。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

備考 ECC1 ビットエラー訂正は ICCTRL.D1EIV によって選択可能です。

(2) IDERRINT_PE1 — 命令キャッシュデータ RAM エラー情報コントロールレジスタ

IDERRINT レジスタは、キャッシュデータ RAM の ECC1 ビットエラー検出時にエラー通知の許可 / 禁止を設定するためのレジスタです。

アクセス IDERRINT_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
IDERRINT_PE1L レジスタは、16 ビット単位でリード／ライト可能です。
IDERRINT_PE1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス IDERRINT_PE1 : FFC6 0404_H
IDERRINT_PE1L : FFC6 0404_H
IDERRINT_PE1LL : FFC6 0404_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.46 IDERRINT レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(3) IDSTCLR_PE1 — 命令キャッシュデータ RAM エラーステータスクリアレジスタ

IDSTCLR レジスタは、エラーステータスレジスタ (ID1STERSTR) のエラーフラグ、エラーオーバフローステータスレジスタ (IDOVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (ID1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス IDSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。
IDSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。
IDSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス IDSTCLR_PE1：FFC6 0408$_H$
IDSTCLR_PE1L：FFC6 0408$_H$
IDSTCLR_PE1LL：FFC6 0408$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 33.47 IDSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	STCLR1	エラーステータスフラグクリアビット (バンク 1 用) 1 書き込みで「ID1STERSTR レジスタの DEDF1, SEDF1 フラグ」、「IDOVFSTR レジスタの ERROVF1 フラグ」および「ID1STEADR1 レジスタ」をクリアします。
0	STCLR0	エラーステータスフラグクリアビット (バンク 0 用) 1 書き込みで「ID1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「IDOVFSTR レジスタの ERROVF0 フラグ」および「ID1STEADR0 レジスタ」をクリアします。

(4) IDOVFSTR_PE1 — 命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ

IDOVFSTR レジスタは、キャッシュデータ RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス IDOVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
IDOVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
IDOVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス IDOVFSTR_PE1：FFC6 040C$_H$
IDOVFSTR_PE1L：FFC6 040C$_H$
IDOVFSTR_PE1LL：FFC6 040C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.48 IDOVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	ERROVF1	エラーオーバフローフラグ (バンク 1 用) エラーステータスレジスタのいずれかのエラーフラグ (DEDF1, SEDF1) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバフローフラグ (バンク 0 用) エラーステータスレジスタのいずれかのエラーフラグ (DEDF0, SEDF0) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(5) ID1STERSTR_PE1 — 命令キャッシュデータ RAM 1st エラーステータスレジスタ

ID1STERSTR レジスタは、キャッシュデータ RAM の最初に発生したエラーをモニタするためのレジスタです。バンク 0 とバンク 1 のエラー検出とフラグの更新は独立しています。同じバンク内の両方のエラーフラグ（DEDFn, SEDFn）が 0 のときにエラーが発生すると、エラーステータスが設定されます。

また、SEDFn が設定されているときに ECC2 ビットエラーが発生すると、DEDFn がセットされます。このような場合、SEDFn は更新されません。DEDFn がすでに同じバンクに設定されている間は、ECC1 ビットエラーが発生しても SEDFn がセットされないことに注意してください。

ID1STERSTR レジスタは、システムリセット、IDSTCLR レジスタの STCLR ビットを 1 に設定することにより 0 にクリアされます。

エラーが発生した Way は本レジスタを使用しても識別できないことに注意してください。

アクセス ID1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
ID1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
ID1STERSTR_PE1LL、ID1STERSTR_PE1LH レジスタは、8 ビット単位でリードのみ可能です。

アドレス ID1STERSTR_PE1 : FFC6 0410_H
ID1STERSTR_PE1L : FFC6 0410_H
ID1STERSTR_PE1LL : FFC6 0410_H
ID1STERSTR_PE1LH : FFC6 0411_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF1	SEDF1	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.49 ID1STERSTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。
9	DEDF1	ECC2 ビットエラーモニタフラグ (バンク 1 用) 0 : ECC2 ビットエラーは検出していません。 1 : ECC2 ビットエラーは検出しました。 クリア条件 : IDSTCLR.STCLR1 ビットに 1 をセット セット条件 : DEDF1 が 0 の状態で、ECC2 ビットエラー発生
8	SEDF1	ECC1 ビットエラーモニタフラグ (バンク 1 用) 0 : ECC1 ビットエラーは検出していません。 1 : ECC1 ビットエラーは検出しました。 クリア条件 : IDSTCLR.STCLR1 ビットに 1 をセット セット条件 : SEDF1, DEDF1 がどちらも 0 の状態で、ECC1 ビットエラー発生

表 33.49 ID1STERSTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ (バンク 0 用) 0：ECC2 ビットエラーは検出していません。 1：ECC2 ビットエラーは検出しました。 クリア条件： IDSTCLRSTCLR0 ビットに 1 をセット セット条件： DEDF0 が 0 の状態で、ECC2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ (バンク 0 用) 0：ECC1 ビットエラーは検出していません。 1：ECC1 ビットエラーは検出しました。 クリア条件： IDSTCLR.STCLR0 ビットに 1 をセット セット条件： SEDF0, DEDF0 がどちらも 0 の状態で、ECC1 ビットエラー発生

(6) ID1STEADRn_PE1 — 命令キャッシュデータ RAM (Bankn) 1st エラーアドレスレジスタ（n = 0, 1）

ID1STEADR レジスタは、エラーが発生するアドレスを保持します。ID1STERSTR レジスタの該当する同じバンクのすべてのエラーフラグが 0 のときに、エラーが発生すると、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーを示しているときに、ECC2 ビットエラーが発生した場合、アドレス情報は更新されます。ECC2 ビットエラーが発生した後にアドレス情報は更新されません。本レジスタは、キャッシュ RAM の物理アドレスを保持します。EADRn[6：0] はエントリアドレスを格納し、EADRn[8] は Way グループ番号を格納します。EADRn[7] は常に 0 になります。

ID1STERSTR レジスタは、システムリセット、または IDSTCLR レジスタの STCLR ビットを 1 に設定することにより 0 にクリアされます。

アクセス ID1STEADRn_PE1 レジスタは、32 ビット単位でリードのみ可能です。
ID1STEADRn_PE1L レジスタは、16 ビット単位でリードのみ可能です。
ID1STEADRn_PE1LL、ID1STEADRn_PE1LH レジスタは、8 ビット単位でリードのみ可能です。

アドレス ID1STEADRn_PE1：FFC6 0450_H + n × 4_H
ID1STEADRn_PE1L：FFC6 0450_H + n × 4_H
ID1STEADRn_PE1LL：FFC6 0450_H + n × 4_H
ID1STEADRn_PE1LH：FFC6 0451_H + n × 4_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EADRn[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.50 ID1STEADRn レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。
8 ～ 0	EADRn[8:0]	1st エラー発生アドレス（バンク n 用） 1st エラー発生時のアドレスをモニタするためのレジスタです。 ID1STERSTR レジスタのバンク n 用のすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーが発生するとアドレス情報を更新します。 ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

備考 Way グループについては **3.2.2.2 命令キャッシュ機能**を参照してください。

(7) ITECCCTL_PE1 — 命令キャッシュタグ RAM ECC コントロールレジスタ

ITECCCTL レジスタは、キャッシュ TAG RAM の ECC エラー検出の有効 / 無効を設定するレジスタです。ITECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス ITECCCTL_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
ITECCCTL_PE1L レジスタは、16 ビット単位でリード／ライト可能です。

アドレス ITECCCTL_PE1：FFC6 1400_H
ITECCCTL_PE1L：FFC6 1400_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.51 ITECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出機能の有効 / 無効を設定できます。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0：ECC エラー検出機能が有効 1：ECC エラー検出機能が無効

(8) ITERRINT_PE1 — 命令キャッシュタグ RAM エラー情報コントロールレジスタ

ITERRINT レジスタは、キャッシュ TAG RAM の ECC1 ビットエラー検出時にエラー通知の許可 / 禁止を設定するためのレジスタです。

アクセス ITERRINT_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
ITERRINT_PE1L レジスタは、16 ビット単位でリード／ライト可能です。
ITERRINT_PE1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス ITERRINT_PE1 : FFC6 1404_H
ITERRINT_PE1L : FFC6 1404_H
ITERRINT_PE1LL : FFC6 1404_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.52 ITERRINT レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(9) ITSTCLR_PE1 — 命令キャッシュタグ RAM エラーステータスクリアレジスタ

ITSTCLR レジスタは、エラーステータスレジスタ (IT1STERSTR) のエラーフラグ、エラーオーバフローステータスレジスタ (ITOVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (IT1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス ITSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。
ITSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。
ITSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス ITSTCLR_PE1 : FFC6 1408$_H$
ITSTCLR_PE1L : FFC6 1408$_H$
ITSTCLR_PE1LL: FFC6 1408$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 33.53 ITSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーステータスフラグクリアビット 1 書き込みで「IT1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「ITOVFSTR レジスタの ERROVF0 フラグ」および「IT1STEADR0 レジスタ」をクリアします。

(10) ITOVFSTR_PE1 — 命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ

ITOVFSTR レジスタは、キャッシュ TAG RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス ITOVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
ITOVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
ITOVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス ITOVFSTR_PE1：FFC6 140C$_H$
ITOVFSTR_PE1L：FFC6 140C$_H$
ITOVFSTR_PE1LL：FFC6 140C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.54 ITOVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ (DEDF0, SEDF0) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(11) IT1STERSTR_PE1 — 命令キャッシュタグ RAM 1st エラーステータスレジスタ

IT1STERSTR レジスタはキャッシュ TAG RAM の最初に発生したエラーをモニタするためのレジスタです。

エラーフラグが 0 の状態で、ECC 2bit エラーが発生すると、エラーフラグを上書きします。

DEDF0 が既に設定されているときに ECC の 1 ビットエラーが発生すると SEDF0 が設定されません。

IT1STERSTR レジスタは内部リセット、外部リセット、又は、ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。エラーが発生した Way は本レジスタを使用しても識別できないことに注意してください。

アクセス IT1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
IT1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
IT1STERSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス IT1STERSTR_PE1 : FFC6 1410$_H$
IT1STERSTR_PE1L : FFC6 1410$_H$
IT1STERSTR_PE1LL : FFC6 1410$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.55 IT1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ 0 : ECC2 ビットエラーは検出していません。 1 : ECC2 ビットエラーは検出しました。 クリア条件 : ITSTCLR.STCLR0 ビットに 1 をセット セット条件 : DEDF0 が 0 の状態で、ECC2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ 0 : ECC1 ビットエラーは検出していません。 1 : ECC1 ビットエラーは検出しました。 クリア条件 : ITSTCLR.STCLR0 ビットに 1 をセット セット条件 : SEDF0, DEDF0 がどちらも 0 の状態で、ECC1 ビットエラー発生

(12) IT1STEADR0_PE1 — 命令キャッシュタグ RAM 1st エラーアドレスレジスタ

IT1STEADR レジスタは、エラーが発生するアドレスを保持します。IT1STERSTR レジスタの該当する同じバンクのすべてのエラーフラグが 0 のときに、エラーが発生すると、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーを示しているときに、ECC2 ビットエラーが発生した場合、アドレス情報は更新されます。ECC2 ビットエラーが発生した後にアドレス情報は更新されません。本レジスタは、EADRn[6：0] はエントリアドレスを格納し、EADRn[8] は Way グループ番号を格納します。EADRn[7] は常に 0 になります。IT1STEADR レジスタは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス IT1STEADR0_PE1 レジスタは、32 ビット単位でリードのみ可能です。
IT1STEADR0_PE1L レジスタは、16 ビット単位でリードのみ可能です。
IT1STEADR0_PE1LL、IT1STEADR0_PE1LH レジスタは、8 ビット単位でリードのみ可能です。

アドレス IT1STEADR0_PE1：FFC6 1450$_H$
IT1STEADR0_PE1L：FFC6 1450$_H$
IT1STEADR0_PE1LL：FFC6 1450$_H$
IT1STEADR0_PE1LH：FFC6 1451$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EADR[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.56 IT1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。
8 ～ 0	EADR[8:0]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

33.3 メモリ保護

33.3.1 概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU
  CPU が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU から発行されることはありません。詳細は、「*RH850G3M　ユーザーズマニュアル　ソフトウェア編*」を参照してください。
- スレーブガード
  あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。
  - PEG
    ローカル RAM を不正なアクセスから保護します。ただし、ローカル RAM を備える CPU 自身からのアクセスは保護対象外です。例えば、CPU1 から CPU1 内のローカル RAM へのアクセスは、PEG によってプロテクトされることはありません。
    詳細は**「第 3 章　CPU システム」**を参照してください。
  - GRG
    リテンション RAM を不正なアクセスから保護します。

33.3.1.1 スレーブガードの識別子

スレーブガードでは、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

表 33.57 識別子

識別子	機能
UM	CPU のアクセス時に、その CPU の動作モードを示します。 0：スーパバイザモード 1：ユーザモード DMAC のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子は必ず 0 となります。
SPID	CPU のアクセス時に、その CPU に設定されたシステム保護識別子 SPID の値を示します。 DMAC のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子は必ず 00_B となります。
PEID	アクセス元のバスマスタを示します。 000_B：予約 001_B：CPU1 010_B：予約 011_B：予約 100_B：その他のバスマスタ（H-Bus バスマスタ） 101_B：予約 110_B：予約 111_B：予約 DMAC のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。

33.3.2 GRG（Global RAM Guard）

本製品は、4 チャネルの GRG を実装しています。以下に GRG の詳細を記します。

注 意

RH850/F1M は、RH850/F1H で搭載していた グローバル RAM を搭載していません。そのグローバル RAM 領域をリテンション RAM の領域として使用しています。そのため、GRG (Global RAM Guard) をリテンション RAM Guard として使用します。レジスタ名、レジスタの説明では、グローバル RAM の記載が出てきますが、リテンション RAM と読み替えてください。

33.3.2.1 レジスター覧

表 33.58 レジスター覧

レジスタ名	シンボル	アドレス
GRG プロテクション設定レジスタ 0	MGDGRPROT0	FFC4 9000$_H$
GRG コンペアベースアドレスレジスタ 0	MGDGRBAD0	FFC4 9004$_H$
GRG コンペアアドレス有効レジスタ 0	MGDGRADV0	FFC4 9008$_H$
GRG プロテクション設定レジスタ 1	MGDGRPROT1	FFC4 9010$_H$
GRG コンペアベースアドレスレジスタ 1	MGDGRBAD1	FFC4 9014$_H$
GRG コンペアアドレス有効レジスタ 1	MGDGRADV1	FFC4 9018$_H$
GRG プロテクション設定レジスタ 2	MGDGRPROT2	FFC4 9020$_H$
GRG コンペアベースアドレスレジスタ 2	MGDGRBAD2	FFC4 9024$_H$
GRG コンペアアドレス有効レジスタ 2	MGDGRADV2	FFC4 9028$_H$
GRG プロテクション設定レジスタ 3	MGDGRPROT3	FFC4 9030$_H$
GRG コンペアベースアドレスレジスタ 3	MGDGRBAD3	FFC4 9034$_H$
GRG コンペアアドレス有効レジスタ 3	MGDGRADV3	FFC4 9038$_H$
GRG コントロールレジスタ（VCI）	MGDGRSCTL_VCI	FFC4 9100$_H$
GRG エラーステータスレジスタ（VCI）	MGDGRSSTAT_VCI	FFC4 9104$_H$
GRG エラーアクセスタイプレジスタ（VCI）	MGDGRSTYPE_VCI	FFC4 910C$_H$
GRG コントロールレジスタ（PE1）	MGDGRSCTL_PE1	FFC4 9200$_H$
GRG エラーステータスレジスタ（PE1）	MGDGRSSTAT_PE1	FFC4 9204$_H$
GRG エラーアクセスタイプレジスタ（PE1）	MGDGRSTYPE_PE1	FFC4 920C$_H$

- MGDGRPROTn、MGDGRBADn、MGDGRADVn は、各チャネルの保護内容を設定します。（n：0 ～ 3）
- MGDGRSCTL_*、MGDGRSSTAT_*、MGDGRSTYPE_* は、各アクセスポートにおけるエラー情報を示します。“_VCI” はシステムインタコネクトからリテンション RAM へのアクセス、“_PE1” は CPU1 からリテンション RAM へのアクセスを示します。

33.3.2.2 レジスタ詳細

(1) MGDGRPROTn — GRG プロテクション設定レジスタ n（n = 0 ～ 3）

アクセス MGDGRPROTn レジスタは、32 ビット単位でリード／ライト可能です。
MGDGRPROTnL、MGDGRPROTnH レジスタは、16 ビット単位でリード／ライト可能です。
MGDGRPROTnLLMGDGRPROTnHL、MGDGRPROTnHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス MGDGRPROTn：FFC4 9000H + n × 10_H
MGDGRPROTnL：FFC4 9000H + n × 10_H
MGDGRPROTnLL：FFC4 9000H + n × 10_H
MGDGRPROTnH：FFC4 9002H + n × 10_H
MGDGRPROTnHL：FFC4 9002H + n × 10_H
MGDGRPROTnHH：FFC4 9003H + n × 10_H

リセット後の値 07FF $FFF0_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	EN	—	—	—	—	UM	—	—	—	PEID4	—	—	PEID1	—	—
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R/W	R	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SPID1	SPID0	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R

表 33.59 MGDGRPROTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	EN	保護イネーブル 0：保護を禁止します。 1：保護を許可します。 本レジスタで許可したアクセスのみ可能。
29 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	UM	ユーザーモードでのアクセス 0：管理者モードでのアクセスを許可します。 1：ユーザーモードと管理者モードでのアクセスを許可します。
24 ～ 22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	PEID4	PEID=4（H-BUS に接続される周辺装置）によるアクセス[注1] 0：PEID4 でのアクセスを許可しません。 1：PEID4 でのアクセスを許可します。
20、19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	PEID1	PEID=1（CPU1）によるアクセス[注1] 0：PEID1 でのアクセスを許可しません。 1：PEID1 でのアクセスを許可します。
17 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 33.59 MGDGRPROTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	SPID1	SPID=1（CPU1）によるアクセス注2 0：SPID1 でのアクセスを許可しません。 1：SPID1 でのアクセスを許可します。
5	SPID0	SPID=0（H-BUS に接続される周辺装置）によるアクセス注2 0：SPID0 でのアクセスを許可しません。 1：SPID0 でのアクセスを許可します。
4 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 1.　PEID によるアクセス
PEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注 2.　SPID によるアクセス
SPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

注　意

グローバル RAM ガード (GRG）はライトアクセスのみサポートしています。ガードの設定はリードアクセスには機能しません。

(2) MGDGRBADn — GRG コンペアベースアドレスレジスタ n（n = 0 ～ 3）

アクセス MGDGRBADn レジスタは、32 ビット単位でリード／ライト可能です。
MGDGRBADnL、MGDGRBADnH レジスタは、16 ビット単位でリード／ライト可能です。
MGDGRBADnLH、MGDGRBADnHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス MGDGRBADn：FFC4 9004H + n × 10_H
MGDGRBADnL：FFC4 9004H + n × 10_H
MGDGRBADnLH：FFC4 9005H + n × 10_H
MGDGRBADnH：FFC4 9006H + n × 10_H
MGDGRBADnHL：FFC4 9006H + n × 10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	AD[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD[15:9]							—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

表 33.60 MGDGRBADn レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ～ 9	AD[20:9]	コンペアベースアドレス[注 1] GRG プロテクション設定レジスタ n（MGDGRPROTn）で指定した保護設定の適用範囲のベースアドレスを設定します。
8 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 1. 詳細は **33.3.2.2 レジスタ詳細**の (3) MGDGRADVn — GRG コンペアアドレス有効レジスタ n（n = 0 ～ 3）を参照してください。

(3) MGDGRADVn — GRG コンペアアドレス有効レジスタ n（n = 0 ～ 3）

アクセス MGDGRADVn レジスタは、32 ビット単位でリード／ライト可能です。
MGDGRADVnL、MGDGRADVnH レジスタは、16 ビット単位でリード／ライト可能です。
MGDGRADVnLH、MGDGRADVnHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス MGDGRADVn：FFC4 9008H + n × 10_H
MGDGRADVnL：FFC4 9008H + n × 10_H
MGDGRADVnLH：FFC4 9009H + n × 10_H
MGDGRADVnH：FFC4 900AH + n × 10_H
MGDGRADVnHL：FFC4 900AH + n × 10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADV[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADV[15:9]							—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

表 33.61 MGDGRADVn レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ～ 9	ADV[20:9]	コンペアアドレス有効 MGDGRADVn[20:9] = 1 のビットはアドレスコンペアを実行します。 MGDGRADVn[20:9] がすべて 1 の場合は MGDGRBADn で指定されたアドレスをベースに最小単位である 512 バイトが保護対象となります。ただし、 MGDGRADVn[20:9] がすべて 0 の場合はグローバル RAM 全域が保護対象となります。
8 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

設定例：

MGDGRBADn[20:9] = 800_H, MGDGRADVn[20:9] = $FF7_H$ に設定した場合、グローバル RAM ガード保護領域 n は $FEF00000_H$ ～ $FEF001FF_H$ と $FEF01000_H$ ～ $FEF011FF_H$ になります。

考え方：

MGDGRBADn[20:9] = 800_H をセットするとベースアドレスは $FEF00000_H$ となり設定可能範囲を下線で示すと、次のようになります。

1	1	1	1	1	1	1	0	1	1	1	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	0	0	0	0	0	0	0	0	B
F				E				F				0				0				0				0				0			H

MGDGRADVn[20:9] = $FF7_H$ の場合、次のようになります。

0	0	0	0	0	0	0	0	0	0	0	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**0**	**1**	**1**	**1**	0	0	0	0	0	0	0	0	B

0 をセットしたビットと下位 9 ビットは対象外なので、保護対象範囲は以下となります。

1	1	1	1	1	1	1	0	1	1	1	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**×**	**0**	**0**	**0**	×	×	×	×	×	×	×	×	B

よって保護範囲は次のようになります。

1	1	1	1	1	1	1	0	1	1	1	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	0	0	0	0	0	0	0	0	B

から

1	1	1	1	1	1	1	0	1	1	1	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	1	1	1	1	1	1	1	1	B

および

1	1	1	1	1	1	1	0	1	1	1	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	0	0	0	0	0	0	0	0	B

から

1	1	1	1	1	1	1	0	1	1	1	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	1	1	1	1	1	1	1	1	B

16 進数で表すと次の各 512 バイト、計 1 K バイトを保護します。

- $FEF00000_H$ ～ $FEF001FF_H$
- $FEF01000_H$ ～ $FEF011FF_H$

(4) MGDGRSCTL_VCI/PE1 — GRG コントロールレジスタ n

アクセス MGDGRSCTL_VCI、MGDGRSCTL_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
MGDGRSCTL_VCIL、MGDGRSCTL_PE1L レジスタは、16 ビット単位でリード／ライト可能です。
MGDGRSCTL_VCILL、MGDGRSCTL_PE1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス MGDGRSCTL_VCI：FFC4 9100$_H$
MGDGRSCTL_VCIL：FFC4 9100$_H$
MGDGRSCTL_VCILL：FFC4 9100$_H$
MGDGRSCTL_PE1：FFC4 9200$_H$
MGDGRSCTL_PE1L：FFC4 9200$_H$
MGDGRSCTL_PE1LL：FFC4 9200$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERRCLO	ERRCLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.62 MGDGRSCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ERRCLO	エラーエントリオーバフローフラグクリア 0：動作しません。 1：オーバフローフラグをクリアします。
0	ERRCLE	GRG 保護違反フラグクリア 0：動作しません。 1：エラーフラグをクリアします。 ただし**表 33.63** に示す通り ERRCLO と同時にセットしてください。

表 33.63 ERRCLO と ERRCLE の組み合わせ

ERRCLO	ERRCLE	機能
0	0	いずれのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF ビットおよび ERR ビットをクリアします。

(5) MGDGRSSTAT_VCI/PE1 — GRG エラーステータスレジスタ

アクセス MGDGRSSTAT_VCI、MGDGRSSTAT_PE1 レジスタは、32 ビット単位でリードのみ可能です。
MGDGRSSTAT_VCIL、MGDGRSSTAT_PE1L レジスタは、16 ビット単位でリードのみ可能です。
MGDGRSSTAT_VCILL、MGDGRSSTAT_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス MGDGRSSTAT_VCI：FFC4 9104$_H$
MGDGRSSTAT_VCIL：FFC4 9104$_H$
MGDGRSSTAT_VCILL：FFC4 9104$_H$
MGDGRSSTAT_PE1：FFC4 9204$_H$
MGDGRSSTAT_PE1L：FFC4 9204$_H$
MGDGRSSTAT_PE1LL：FFC4 9204$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.64 MGDGRSSTAT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 GRG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラー検出フラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 なお、INTGUARD の発生ではオーバーフローが起きているかは判別できません。本ビットの値を確認するようにしてください。またオーバフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	GRG 保護違反エラーフラグ 0：GRG 保護違反未発生 1：GRG 保護違反発生

(6) MGDGRSTYPE_VCI/PE1 — GRG エラーアクセスタイプレジスタ

アクセス MGDGRSTYPE_VCI、MGDGRSTYPE_PE1 レジスタは、32 ビット単位でリードのみ可能です。
MGDGRSTYPE_VCIL、MGDGRSTYPE_PE1L レジスタは、16 ビット単位でリードのみ可能です。
MGDGRSTYPE_VCILL、MGDGRSTYPE_VCILH、MGDGRSTYPE_PE1LL、MGDGRSTYPE_PE1LH レジスタは、8 ビット単位でリードのみ可能です。

アドレス MGDGRSTYPE_VCI : FFC4 910C$_H$
MGDGRSTYPE_VCIL : FFC4 910C$_H$
MGDGRSTYPE_VCILL : FFC4 910C$_H$
MGDGRSTYPE_VCILH : FFC4 910D$_H$
MGDGRSTYPE_PE1 : FFC4 920C$_H$
MGDGRSTYPE_PE1L : FFC4 920C$_H$
MGDGRSTYPE_PE1LL : FFC4 920C$_H$
MGDGRSTYPE_PE1LH : FFC4 920D$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.65 MGDGRSTYPE レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合は不定値が読めます。
15 ～ 13	PEID[2:0]	GRG 保護違反を発生させたアクセスのアクセス元の PEID
12 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	GRG 保護違反を発生させたアクセスのアクセス元の SPID
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	GRG 保護違反を発生させたアクセスのアクセス元の UM
5 ～ 0	予約ビット	リードした場合は不定値が読めます。

第 34 章　データ CRC（DCRA）

本章では、データ CRC 機能 A（DCRA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1M に固有の特長について説明します。それ以降の節では、DCRA の機能、レジスタについて説明します。

34.1　RH850/F1M DCRA の特長

34.1.1　ユニット数

本製品は以下のユニット数の DCRA を搭載しています。

表 34.1　ユニット数

製品名	RH850/F1M 144 pin	RH850/F1M 176 pin	RH850/F1M 233 pin
ユニット数	4		
名称	DCRAn (n = 0 ～ 3)		

表 34.2　添字

添字	説明
n	本章では、データ CRC 機能 A の各ユニットを「n」（n = 0 ～ 3）で識別します。たとえば、DCRAn 制御レジスタは DCRAnCTL と記述します。

34.1.2　レジスタベースアドレス

DCRAn のベースアドレスを以下の表に示します。

DCRAn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 34.3　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DCRA0_base>	$FFF7\ 0000_H$
<DCRA1_base>	$FFF7\ 1000_H$
<DCRA2_base>	$FFF7\ 2000_H$
<DCRA3_base>	$FFF7\ 3000_H$

34.1.3　クロック供給

DCRAn のクロック供給を以下の表に示します。

表 34.4　クロック供給

ユニット名	ユニットクロック名	供給クロック名
DCRAn	PCLK	CPUCLK4
	レジスタアクセスクロック	CPUCLK4

34.1.4 リセット要因

DCRAn のリセット要因を以下に示します。DCRAn は以下のリセット要因で初期化されます。

表 34.5　リセット要因

ユニット名	リセット要因
DCRAn	すべてのリセット要因（ISORES）

34.2 概要

34.2.1 機能概要

データ CRC 機能 A を利用して、CRC で保護された任意の長さとさまざまなビット幅を持つデータストリームを検証または生成することができます。

- 32 ビットイーサネット CRC
  $(X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X^{1}+1)$
- 16 ビット CCITT CRC
  $(X^{16}+X^{12}+X^{5}+1)$
- 任意のデータブロック長の CRC を生成できます。
- CRC データレジスタが初期化されると、CRC 入力レジスタへの書き込みアクセスを行うたびに、選択されている多項式に従って新しい CRC が生成され、その結果が CRC データレジスタに格納されます。

34.2.2 ブロック図

以下の図は、データ CRC 機能 A のブロック図を示しています。

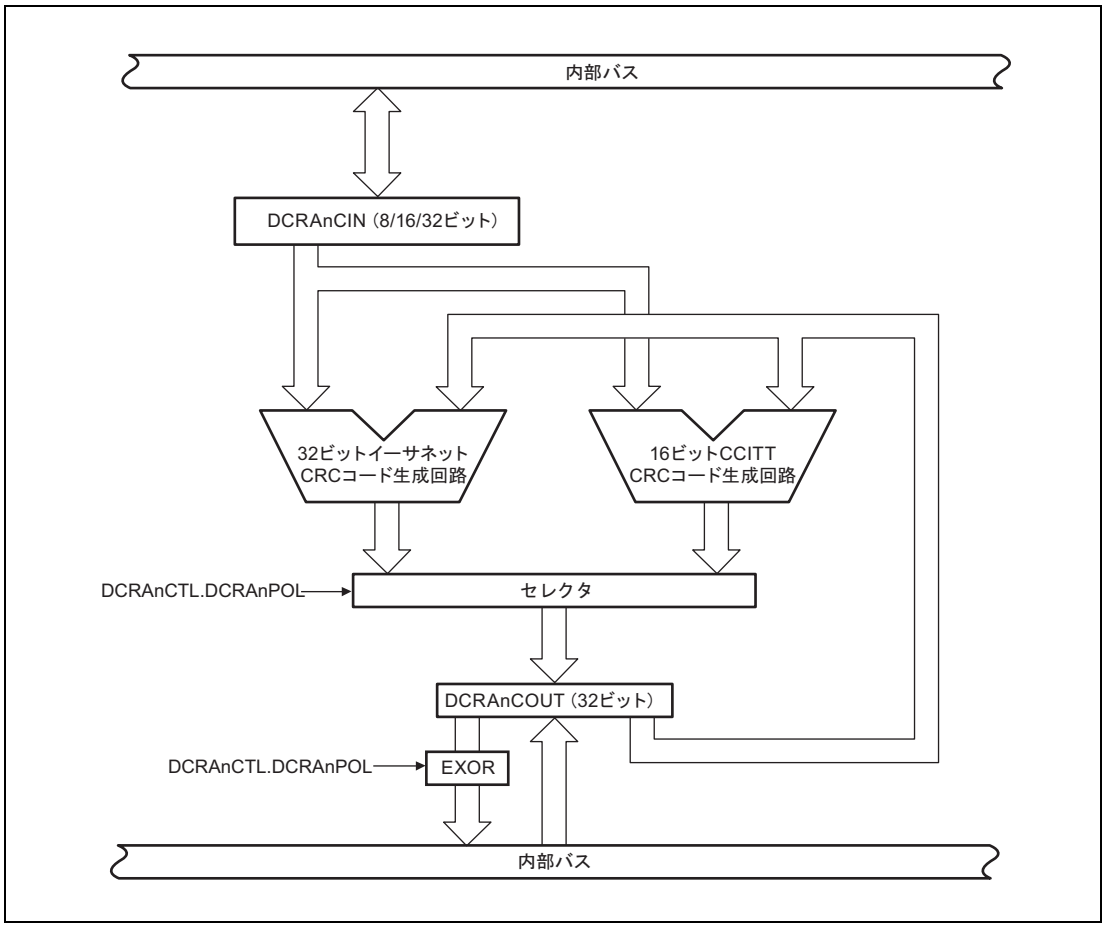
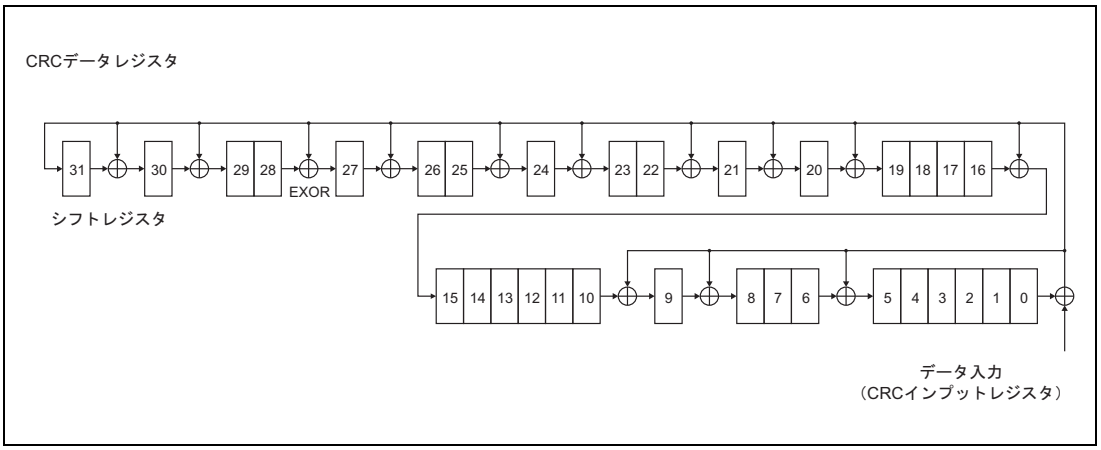


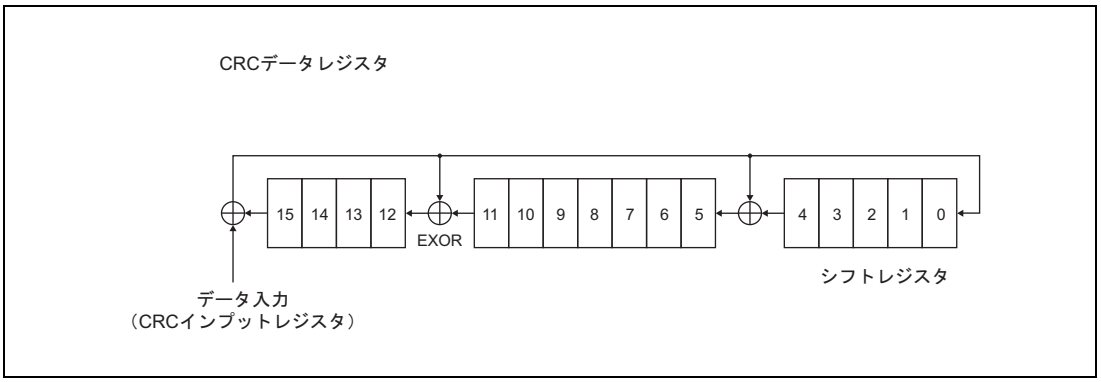
図 34.1 データ CRC 機能 A のブロック図

34.2.3 演算回路

- 32 ビットイーサネット



- 16 ビット CCITT



34.3　レジスタ

34.3.1　レジスター覧

DCRA のレジスター覧を以下の表に示します。

<DCRAn_base> は**「34.1.2　レジスタベースアドレス」**を参照してください。

表 34.6　レジスター覧

モジュール名	レジスタ名	略号	アドレス
DCRAn	CRC 入力レジスタ	DCRAnCIN	<DCRAn_base> + 00_H
DCRAn	CRC データレジスタ	DCRAnCOUT	<DCRAn_base> + 04_H
DCRAn	CRC 制御レジスタ	DCRAnCTL	<DCRAn_base> + 20_H

34.3.2 DCRAnCIN — CRC 入力レジスタ

本レジスタには CRC 計算用の入力データが格納されます。CRC 計算に使われる有効ビット幅を DCRAnCTL.DCRAnISZ[1:0] で設定する必要があります。

本レジスタにデータを書き込むと、CRC コードが生成されます。

DCRAnCIN への書き込みが行われると、ただちに CRC の計算が開始されます。データブロックの最初のデータを DCRAnCIN レジスタに書き込む前に、DCRAnCOUT レジスタを初期開始値で初期化する必要があります。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <DCRAn_base>

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAnCIN[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAnCIN[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.7 DCRAnCIN レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DCRAnCIN [31:0]	CRC 計算用入力データ 以下の有効ビット幅に対応しています。 • 有効ビット幅 32 ビット：DCRAnCIN[31:0] • 有効ビット幅 16 ビット：DCRAnCIN[15:0] • 有効ビット幅 8 ビット：DCRAnCIN[7:0]

34.3.3 DCRAnCOUT — CRC データレジスタ

本レジスタには 32 ビットイーサネット多項式または 16 ビット CCITT 多項式によって生成された CRC コードの結果が格納されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <DCRAn_base> + 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAnCOUT[31:16]															
リセット後の値 注1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAnCOUT[15:0]															
リセット後の値 注1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. リセット後のリード値は、リセット後の CRC 生成方式の選択が 32 ビットイーサネット多項式になっているため、0000 0000_H になります。

表 34.8 DCRAnCOUT レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DCRAnCOUT [31:0]	CRC コード生成の結果 16 ビット CCITT 多項式を有効にした場合は、ビット 15 ～ 0 が CRC の結果を示します。ビット 31 ～ 16 は不定になります。 本レジスタのリード値は、以下の値と EXOR 演算された値となります。 • 32 ビットイーサネット多項式の場合：FFFF $FFFF_H$ • 16 ビット CCITT 多項式の場合：0000_H 例えば、32 ビットイーサネット多項式で、DCRAnCOUT = 5555 5555_H のとき AAAA $AAAA_H$ がリードされます。

注 意

データブロックの最初のデータを DCRAnCIN レジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。

34.3.4 DCRAnCTL — CRC 制御レジスタ

本レジスタは CRC 生成プロセスを制御します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <DCRAn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DCRAnISZ[1:0]		DCRAnPOL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 34.9 DCRAnCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2, 1	DCRAnISZ[1:0]	CRC 入力ビット幅を指定します。 00: 32 ビット（DCRAnCIN[31:0]） 01: 16 ビット（DCRAnCIN[15:0]） 10: 8 ビット（DCRAnCIN[7:0]） 11: 設定禁止
0	DCRAnPOL	CRC 生成方式を指定します。 0：32 ビットイーサネット CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は LSB（最下位ビット）が先頭になります。つまり、CRC 入力ビット幅が 8 ビット（DCRAnISZ[1:0]= 10_B）の場合は、DCRAnCIN レジスタのビット位置 7 ～ 0 が入力データとなり、ビット位置 0（LSB）が入力データの先頭ビットになります。 1：16 ビット CCITT CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は MSB（最上位ビット）が先頭になります。つまり、CRC 入力ビット幅が 8 ビット（DCRAnISZ[1:0]= 10_B）の場合は、DCRAnCIN レジスタのビット位置 7 ～ 0 が入力データとなり、ビット位置 7（MSB）が入力データの先頭ビットになります。

注 意

- CRC 生成方式（DCRAnCTL.DCRAnPOL）を変更した場合は、DCRAnCOUT レジスタを初期化（初期開始値を設定）する必要があります。
- データブロックのビット幅に合わせて CRC 入力ビット幅（DCRAnCTL.DCRAnISZ[1:0]）を設定する必要があります。データブロックの処理中に CRC 入力ビット幅を変更することは禁止されています（データブロックの構成単位は N バイト、ハーフワードまたは 1 ワードです）。DCRAnCOUT レジスタから最終的な CRC の結果を読み出したあとは、CRC 入力ビット幅を変更することができます。その場合は、あとで DCRAnCOUT レジスタを初期化（初期開始値を設定）する必要があります。

34.4 動作

データ CRC 機能 A は任意のデータブロック長の CRC（巡回冗長検査）を生成します。データは、8 ビット単位、16 ビット単位または 32 ビット単位でデータ CRC 機能に転送されます。32 ビットイーサネット用または 16 ビット CCITT 用の CRC 多項式を選択できます。
CRC 入力レジスタ（DCRAnCIN）への最初の書き込みアクセスを行う前に、DCRAnCOUT レジスタに初期開始値を設定する必要があります。

以下のフローチャートは、CRC の生成の流れを示しています。

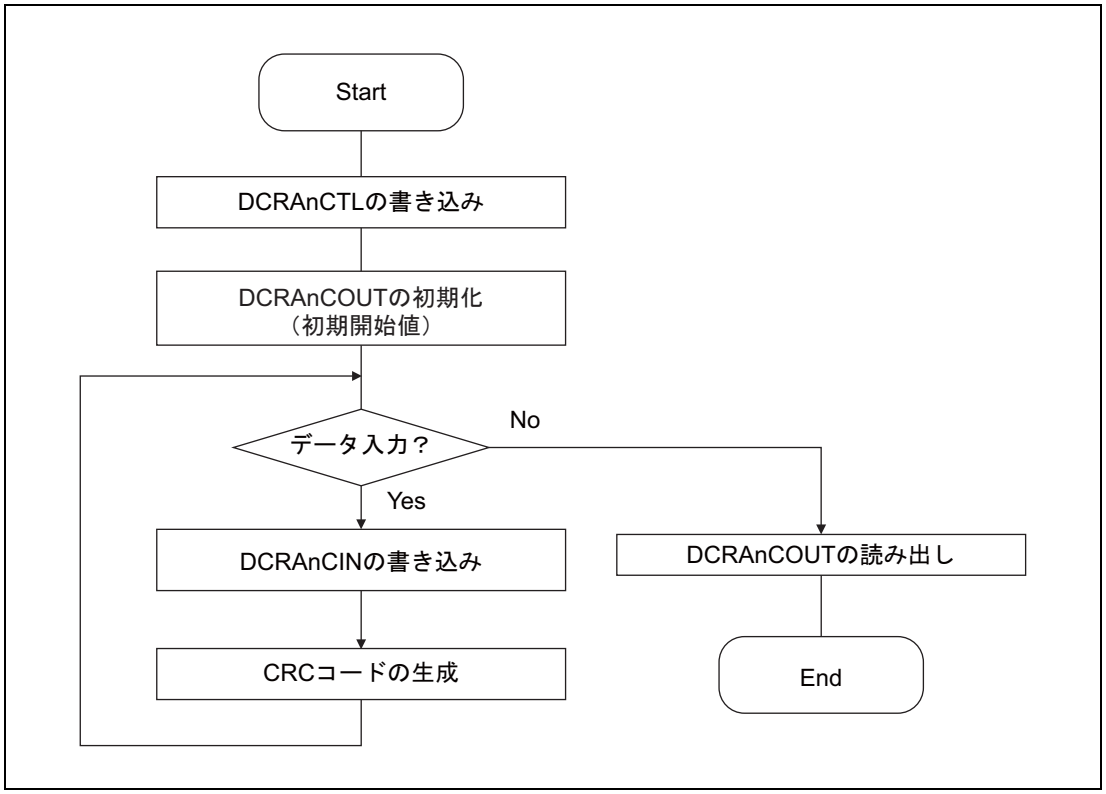


図 34.2 データ CRC 機能 A のフロー図

備 考

1. 最初のデータを DCRAnCIN に書き込む前に、CRC 出力レジスタ DCRAnCOUT を初期化（初期開始値を設定）する必要があります。
2. DCRAnCTL.DCRAnPOL を変更することによって多項式を変更した場合は、DCRAnCOUT を再初期化（初期開始値を設定）する必要があります。
3. 各多項式の初期開始値の設定例
   以下に設定例を示します。

表 34.10 初期開始値の設定例（リセット時にリードした場合の例）

	初期開始値	EXOR 値	DCRAnCOUT リード値
16 ビット CCITT	XXXX $FFFF_H$	XXXX 0000_H	XXXX $FFFF_H$
32 ビットイーサネット	FFFF $FFFF_H$	FFFF $FFFF_H$	0000 0000_H

備考 X：不定

第 35 章　オンチップデバッグユニット（OCD）

このマイクロコントローラには、オンチップデバッグ機能があります。オンチップデバッグエミュレータの使用により、ターゲットシステムに搭載されたマイクロコントローラでプログラムをデバッグできます。

このマイクロコントローラに組み込まれたデバッグ機能は、IEEE-ISTO5001™-2003 クラス 3 注 1、Nexus デバッグインタフェース標準に準拠しています。

注 1. $\overline{\text{EVTO}}$ 端子を搭載する製品のみ対応

注　意

本章で説明するデバッグ機能は、マイクロコントローラではサポートされますが、使用できるかどうかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズマニュアルを参照してください。

35.1　RH850/F1M の OCD の概要

35.1.1　機能概要

以下のオンチップデバッグ機能がサポートされます。

(1) デバッグインタフェース

デバッグインタフェースとして、“Nexus Interface”、“Low Pin Debug Interface（1 pin）（以下 LPD（1 pin）と略します）”、“Low Pin Debug Interface（4 pin）（以下 LPD（4 pin）と略します）” をサポートしています。

これらのデバッグインタフェースを使用して、オンチップデバッグが可能です。

(2) デバッグモニタ機能

デバッグ専用のモニタプログラム領域が搭載され、デバッグ時に使用されます。

モニタプログラムを実行することで次の基本的なデバッグ機能を使用できます。

- ユーザプログラムのダウンロード
- メモリとレジスタのリードとライト
- 任意のアドレスで始まるユーザプログラムの実行

(3) オンチップブレーク

任意の実行アドレスに最大 12 本のブレークポイントを指定できます。また、12 本のブレークポイントのうち、任意のアクセス（アクセスアドレス、アクセスデータ）に最大 4 本のブレークポイントを指定できます。

(4) ソフトウェアブレーク

任意の実行アドレスにソフトウェアブレークポイントを指定できます。

(5) ペリフェラルブレーク

ペリフェラルブレーク機能は、ユーザ作成プログラムが停止した場合（ブレークポイントなどで）に、マイクロコントローラの周辺モジュールへ停止要求を生成します。

(6) 強制ブレーク

ユーザプログラムの実行を強制的に中断できます。

(7) 強制リセット

マイクロコントローラ（本デバイス）を強制的にリセットできます。

(8) リアルタイム RAM モニタ（RRM）

プログラム実行中にメモリをリードできます。このリードアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(9) ダイナミックメモリ変更（DMM）

プログラム実行中にメモリをライトできます。このライトアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(10) タイマ機能

32 ビットカウンタを使用し、デバッグ用クロックに基づいてユーザプログラムの実行時間を測定できます。

測定精度についてはご使用のデバッガのユーザーズマニュアルを参照してください。

(11) マスク機能

以下の要因をマスクすることが可能です。

- POC リセットおよびウエイクアップリセットを除いた全リセット要因

(12) Hot plug-in 機能

通常動作モードから外部リセット入力なしで、デバッグを開始することができます。

備　考

Hot plug-in 機能を使用し、かつマイコンのパワーセーブモードを使用する際は、INTDCUTDI 割り込み処理にてパワーセーブモードからのウエイクアップ処理が必要となります。

(13) セキュリティ機能

フラッシュメモリの内容が権限のないユーザにリードされないように、128 ビットの ID コードをマイクロコントローラにライトすることができます。デバッガ起動時にユーザが入力するコードがマイクロコントローラにライトされた ID コードに一致しない場合は、フラッシュメモリにアクセスできません。

ID コードの設定方法の詳細は、ご使用のデバッガのユーザーズマニュアルを参照してください。

(14) トレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することができます。

備　考

トレース機能は 4MB 製品のみサポート

35.2 ペリフェラルブレークの制御

ペリフェラルブレーク機能は、ユーザ作成プログラムが停止した場合（ブレークポイントなどで）に、マイクロコントローラの周辺モジュールへ停止要求を生成します。

ペリフェラルブレーク時の周辺モジュールの動作は次のようになります。

a. EPC.SVSTOP の設定に関わらず無条件で停止するモジュール

表 35.1 EPC.SVSTOP の設定に関わらず無条件で停止するモジュール

モジュール
ウインドウウォッチドッグタイマ（WDTA）

b. EPC.SVSTOP = 1 のときでもエミュレーションレジスタの設定で動作を継続できるモジュール

表 35.2 EPC.SVSTOP = 1 のときでもエミュレーションレジスタの設定で動作を継続できるモジュール

モジュール	エミュレーションレジスタ	n
OS タイマ（OSTM）	OSTMnEMU.OSTMnSVSDIS 0：STOP during break 1：continue during break	0-9
タイマアレイユニット D（TAUD）	TAUDnEMU.TAUDnSVSDIS 0：STOP during break 1：continue during break	0
タイマアレイユニット B（TAUB）	TAUBnEMU.TAUBnSVSDIS 0：STOP during break 1：continue during break	0, 1
タイマアレイユニット J（TAUJ）	TAUJnEMU.TAUJnSVSDIS 0：STOP during break 1：continue during break	0, 1
リアルタイマクロック（RTCA）	RTCAnEMU.RTCAnSVSDIS 0：STOP during break 1：continue during break	0
クロック同期シリアルインタフェース G（CSIG）	CSIGnEMU.CSIGnSVSDIS 0：STOP during break 1：continue during break	0-3
クロック同期シリアルインタフェース H（CSIH）	CSIHnEMU.CSIHnSVSDIS 0：STOP during break 1：continue during break	0-3
タイマモータ制御機能（TAPA）	TAPAnEMU.TAPAnSVSDIS 0：STOP during break 1：continue during break	0
エンコーダタイマ（ENCA）	ENCAnEMU.ENCAnSVSDIS 0：STOP during break 1：continue during break	0
PWM 出力 / 診断（PWM-Diag）	PWBAnEMU.PWBAnSVSDIS 0：STOP during break 1：continue during break	0
	PWSAnEMU.PWSAnSVSDIS 0：STOP during break 1：continue during break	0
A/D コンバータ（ADCA）	ADCAnEMU.ADCAnSVSDIS 0：STOP during break 1：continue during break	0, 1

注　意

レジスタの詳細については、各章のレジスタ説明を参照してください。

c. EPC.SVSTOP = 1 のとき停止するモジュール

表 35.3　EPC.SVSTOP = 1 のとき停止するモジュール

モジュール
LIN/UART インタフェース（RLIN3）
ロウパワーサンプラ（LPS）

35.3　レジスタ

35.3.1　EPC — エミュレーション周辺制御 レジスタ

デバッグ時の各周辺機能（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止（SVSTOP）機能を持ちます。

アクセス　ユーザプログラムからのアクセスは禁止です。

アドレス　—

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	SVSTOP	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—

表 35.4　EPC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	—
6	SVSTOP	デバッグ時の各周辺機能（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止 0：動作を停止しない 1：動作を停止する
5 ～ 0	予約ビット	—

備　考

EPC はデバッガによって設定されます。ユーザプログラムによる設定は禁止です。デバッガの設定についてはデバッガのユーザーズマニュアルを参照してください。

35.4 オンチップデバッグ使用上の注意

35.4.1 デバッグに使用したデバイスの処理

デバッグに使用したデバイスを量産製品に搭載しないでください。デバッグ中にフラッシュメモリが書き換えられているため、フラッシュメモリの書き込み・消去の耐久性を保証できません。

35.4.2 デバッグ接続時のリセット発生について

デバッガを使用する際、プログラム開始直後に リセットが発生するプログラムを実行すると、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンがリセットするため、同通信が不正動作となる可能性があります。

この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。プログラム開始直後にリセットが発生するプログラムをデバッグする場合、デバッガを正常に動作させるために、プログラム開始とリセット発生の間にウェイトを挿入してください。

35.4.3 デバッガ接続時の DeepSTOP モードへの移行

デバッガの使用時に、実行直後に DeepSTOP モードへの移行が発生するプログラムが実行されると、OCD エミュレータとマイコン間の通信準備が完了する前に、マイコンは Isolated エリアへの電源供給を停止します。そのため、同通信が不正動作となる可能性があります。

この通信準備時間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。プログラム開始直後に DeepSTOP モードへ遷移するプログラムをデバッグする場合、デバッガを正常に動作させるために、リセット解除と DeepSTOP モードへ遷移するまでの間にウェイトを挿入してください。

第 36 章　フラッシュメモリ

本章では、RH850/F1M に搭載するフラッシュメモリについて説明します。

最初の節では、搭載するフラッシュメモリの特長、メモリマップ、フラッシュメモリプログラミング、ECC など、RH850/F1M に固有の特長について説明します。

36.1　特長

- コードフラッシュメモリとデータフラッシュメモリを内蔵
  コードフラッシュは、プログラムコードとデータが格納可能なフラッシュメモリで、ユーザ領域と拡張ユーザ領域があります。
  データフラッシュは、データ格納用のフラッシュメモリです。
- フラッシュメモリの書き換え方式
  シリアルインタフェースを使用したフラッシュプログラミングと、ユーザープログラムによる書き換え（セルフプログラミング）をサポートします。
- BGO（Back Ground Operation）のサポート
  BGO 機能によりデータフラッシュの書き込み / 消去中、コードフラッシュ上のプログラム実行が可能です。
- フラッシュメモリデータの保護
  - フラッシュメモリの不正改ざんや不正読み出しを防ぐセキュリティ機能をサポート
  - フラッシュメモリの誤書き換えを防止するプロテクション機能をサポート
- オプションバイト機能
  ポート、WDTA、CVM のリセット解除後の動作を設定します。
- コードフラッシュ、データフラッシュメモリの誤り検出 / 訂正機能（ECC）
  ECC 機能を内蔵し、2 ビットエラー検出、1 ビットエラー検出 / 訂正が可能です。
- セルフプログラミング中の割り込み受け付け可能

コードフラッシュ、データフラッシュメモリの誤り検出 / 訂正機能の詳細は、以下の節を参照してください。

- **「33.2.3　Code Flash の ECC およびアドレスパリティ」**
- **「33.2.4　Data Flash の ECC」**

36.2 メモリ構成

36.2.1 コードフラッシュメモリマッピング

図 36.1 に、4MB 製品のコードフラッシュメモリマッピングを示します。RH850/F1M のコードフラッシュメモリのユーザ領域は 8 K バイトまたは 32 K バイトのブロックに分割されており、各ブロック単位で消去可能です。また、32K バイトの拡張ユーザ領域を 1 ブロック搭載しています。ユーザ領域と拡張ユーザ領域は、ユーザプログラムの格納領域として利用可能です。

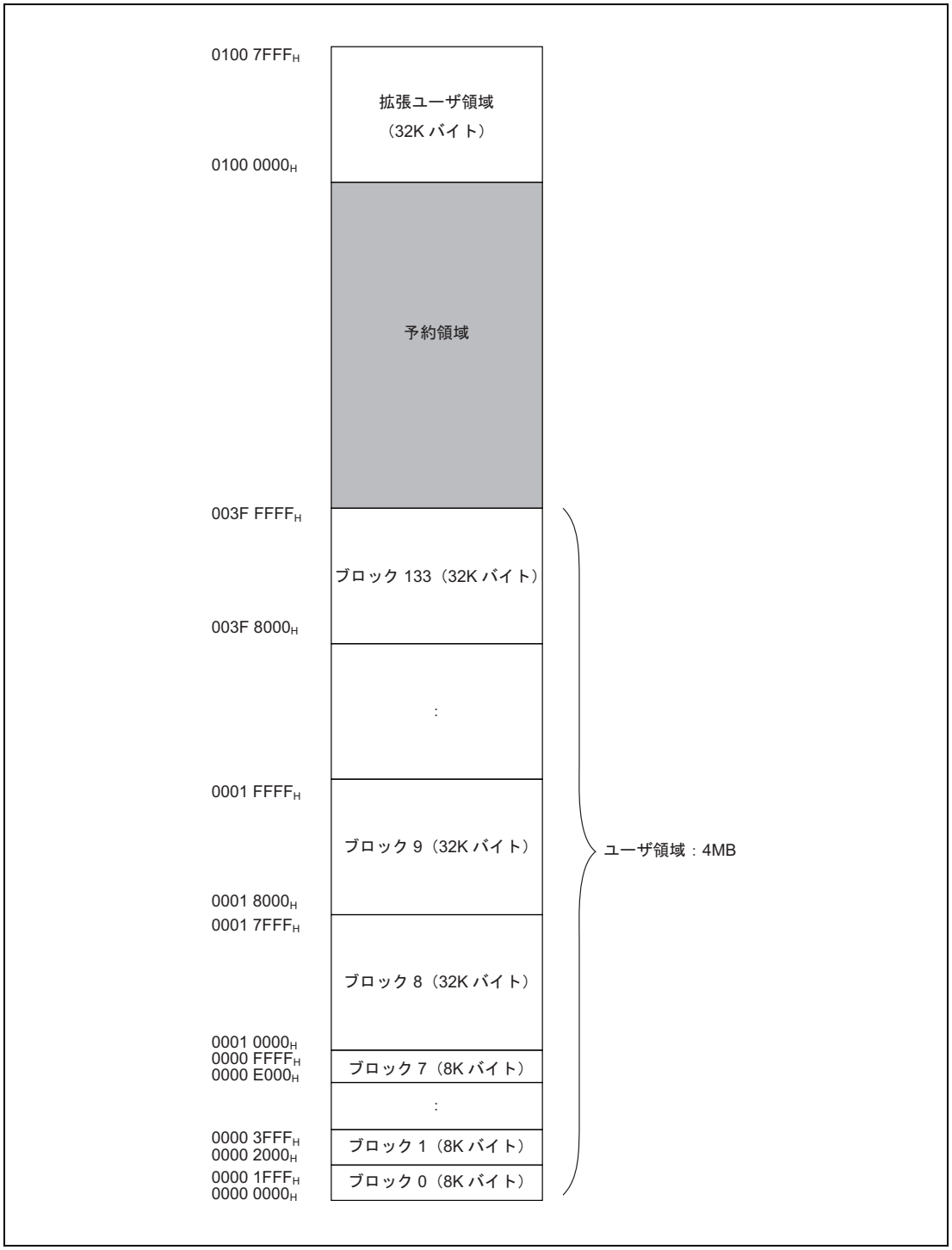


図 36.1 4MB コードフラッシュメモリマッピング

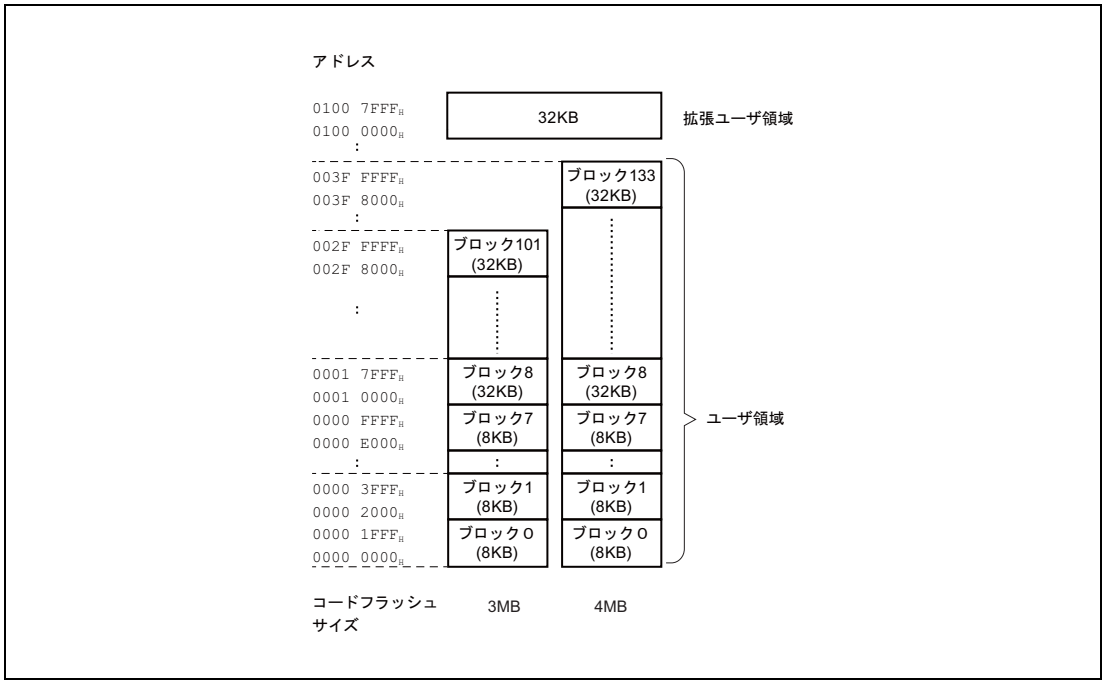


図 36.2 コードフラッシュのメモリマップ

36.2.2 データフラッシュメモリマッピング

RH850/F1M のデータフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位で消去可能です。**図 36.3** に、データフラッシュメモリマッピングを示します。

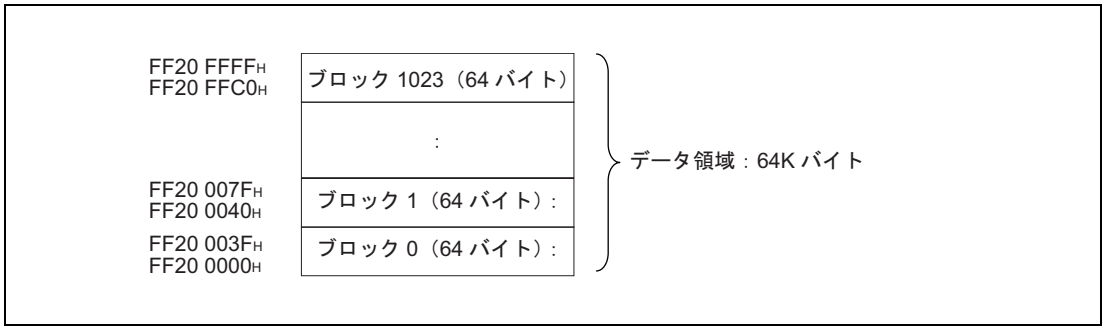


図 36.3 データフラッシュメモリマッピング

36.3　フラッシュメモリ関連の動作モード

図 36.4 に、フラッシュメモリに関するモードの遷移図を示します。モードの設定方法については、**「第 6 章　動作モード」**を参照してください。

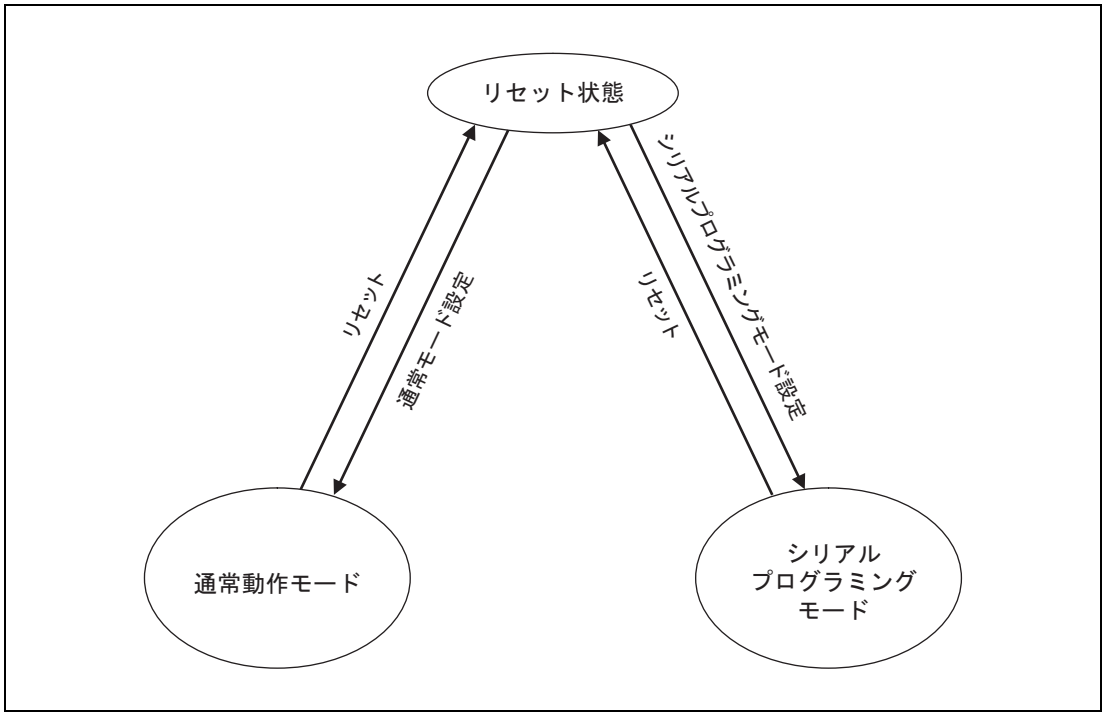


図 36.4　フラッシュメモリに関するモード遷移図

各モードでの書き込み／消去が可能なフラッシュメモリの領域、リセット解除後の起動プログラムを**表 36.1** に示します。

表 36.1　各モードでの書き込み / 消去領域、リセット解除後の起動プログラム

項目	通常動作モード	シリアルプログラミングモード
書き込み／消去が可能な領域	• ユーザ領域 • 拡張ユーザ領域 • データ領域	• ユーザ領域 • 拡張ユーザ領域 • データ領域
リセット解除後の起動プログラム	ユーザ領域または拡張ユーザ領域のプログラム （可変リセットベクタで変更可能）	シリアルプログラミング用ファームウェアプログラム

36.4 機能

36.4.1 機能概要

RH850/F1M フラッシュメモリは、専用フラッシュメモリプログラマによるシリアルインタフェースを介した書き換え（シリアルプログラミング）により、ターゲットシステム、またはフラッシュアダプタシステム上で実装前の書き換えが可能です。

また、フラッシュメモリに書かれたユーザプログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんを防止します。

ユーザプログラムによる書き換え（セルフプログラミング）は、エンドユーザでのターゲットシステムのプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各書き換え方式の概要と対応する動作モードを**表 36.2** に示します。

表 36.2 書き換え方式

書き換え方式	機能概要	動作モード
シリアル プログラミング	専用フラッシュメモリプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。	シリアル プログラミング モード
	専用フラッシュメモリプログラマと専用プログラムアダプタボードを用いることにより、ターゲットシステムに実装する前に、フラッシュメモリのオフボード書き換えが可能です。	
セルフ プログラミング	シリアルプログラミングによりコードフラッシュメモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。 セルフプログラミングによるデータフラッシュメモリの書き換え時には、BGO 機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。このため、コードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。 セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。ローカル RAM または外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード

セルフプログラミング用にライブラリを提供しています。セルフプログラミングライブラリの詳細については、本デバイスの対象となるコードフラッシュライブラリとデータフラッシュライブラリのユーザーズマニュアルを参照してください。

フラッシュメモリの機能一覧を**表 36.3** に示します。シリアルプログラミングにおける各機能は、専用フラッシュメモリプログラマのコマンドで実現されます。セルフプログラミングおける各機能は、ライブラリ関数またはユーザプログラムによるフラッシュメモリの読み出しで実現されます。

表 36.3　基本機能一覧

機能	概要	サポートの有無 （○：サポート、△：条件付サポート ×：未サポート）	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックが書き込まれていないことの確認を行います。消去後に書き込んでいない状態のコードフラッシュメモリとデータフラッシュメモリの読み出し結果は保証されません。消去後に書き込んでいない状態の確認には、ブランクチェックを使用してください。	○	△ （データフラッシュのみサポート）
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
プログラム	指定したアドレスの書き込みを行います。	○	○
ベリファイ／チェックサム	フラッシュメモリから読み出したデータと、フラッシュメモリプログラマから転送されたデータの比較を行います。	○	× （ユーザプログラムにて読み出しは可能）
リード	フラッシュメモリに書き込まれたデータの読み出しを行います。	○	○
OTP（One Time Programming）設定	指定したコードフラッシュメモリのブロックに対する OTP の設定を行います（OTP を設定のみ可能、解除は不可能）。	○	○
ID 設定	シリアルプログラミング時の専用フラッシュメモリプログラマ接続制御、オンチップデバッグ接続、セルフプログラミングによるコードフラッシュメモリ書き込みに使用する ID の設定を行います。	○	○
セキュリティ設定	シリアルプログラミング用のセキュリティ機能の設定を行います。	○	△ （設定を許可から禁止にする場合のみ可能）
プロテクション設定	コードフラッシュメモリの各ブロックのロックビット、可変リセットベクタ機能用のリセットベクタ値の設定を行います。	△ （可変リセットベクタ機能用のリセットベクタ値の設定はサポートしていません。）	○
オプションバイト設定	オプションバイトの設定を行い、RH850/F1M の初期設定を変更します。	○	○
コンフィギュレーションクリア	ID 設定、セキュリティ設定、プロテクション設定、オプションバイト設定を初期化します。	○	×

シリアルプログラミングの詳細につきましては、各フラッシュライタのユーザーズマニュアルを参照してください。

セルフプログラミングの詳細については、本デバイスの対象となるコードフラッシュライブラリとデータフラッシュライブラリのユーザーズマニュアルを参照してください。

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

OTP と ID 認証は、シリアルプログラミングおよびセルフプログラミングともに使用できるセキュリティ機能です。

シリアルプログラミング時は、ID 認証、専用フラッシュメモリプログラマ接続禁止、コマンド禁止（ブロック消去コマンド禁止／プログラムコマンド禁止／リードコマンド禁止）のいずれかのセキュリティ機能を使用可能です。

フラッシュメモリでサポートされるセキュリティ機能を**表 36.4**、**表 36.5** に示します。

表 36.4　セキュリティ機能一覧

機能	機能概要
OTP	コードフラッシュメモリのユーザ領域の各ブロックおよび拡張ユーザ領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィギュレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングの有効化を ID 認証結果で制御可能です。
専用フラッシュメモリプログラマ接続禁止	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィギュレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ブロック消去コマンド禁止	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィギュレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。コンフィギュレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。
リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィギュレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。

表 36.5 セキュリティ設定時の動作

機能	各セキュリティ設定時の消去／書き込み／読み出し動作 （○：実行可能、×：実行不可）		セキュリティ設定 注意事項	
	シリアルプログラミング	セルフプログラミング	シリアルプログラミング	セルフプログラミング
OTP	• OTP 設定された領域 – ブロック消去コマンド：× – プログラムコマンド：× – リードコマンド：○ • OTP 設定されていない領域 – ブロック消去コマンド：○ – プログラムコマンド：○ – リードコマンド：○	• OTP 設定された領域 – ブロック消去：× – 書き込み：× – 読み出し：○ • OTP 設定されていない領域 – ブロック消去：○ – 書き込み：○ – 読み出し：○	• OTP 設定の解除が不可能 • コンフィギュレーションクリアコマンドの実行が不可能	OTP 設定の解除が不可能
ID 認証	• ID が不一致の場合 – ブロック消去コマンド：× – プログラムコマンド：× – リードコマンド：× • ID が一致した場合 – ブロック消去コマンド：○ – プログラムコマンド：○ – リードコマンド：○	• ID が不一致の場合 – コードフラッシュメモリ ・ブロック消去：× ・書き込み：× ・読み出し：○ – データフラッシュメモリ ・ブロック消去：○ ・書き込み：○ ・読み出し：○ • ID が一致した場合 – ブロック消去：○ – 書き込み：○ – 読み出し：○	• コンフィギュレーションクリアコマンドによる禁止設定の初期化が可能 • ブロック消去コマンド禁止の設定が不可能 • プログラムコマンド禁止の設定が不可能 • リードコマンド禁止の設定が不可能	ID 認証機能は常に有効
専用フラッシュメモリプログラマ接続禁止	• ブロック消去コマンド：× • プログラムコマンド：× • リードコマンド：×	• ブロック消去：○ • 書き込み：○ • 読み出し：○	コンフィギュレーションクリアコマンドの実行が禁止されるため、禁止設定の初期化が不可能	コンフィギュレーションクリアコマンドがサポートなしのため、禁止設定の初期化が不可能
ブロック消去コマンド禁止	• ブロック消去コマンド：× • プログラムコマンド：○ • リードコマンド：○	• ブロック消去：○ • 書き込み：○ • 読み出し：○	• コンフィギュレーションクリアコマンドの実行が禁止されるため、禁止設定の初期化が不可能 • シリアルプログラミング用の ID 認証機能の有効設定が不可能	
プログラムコマンド禁止	• ブロック消去コマンド：× • プログラムコマンド：× • リードコマンド：○	• ブロック消去：○ • 書き込み：○ • 読み出し：○	• コンフィギュレーションクリアコマンドによる禁止設定の初期化が可能 • シリアルプログラミング用の ID 認証機能の有効設定が不可能	
リードコマンド禁止	• ブロック消去コマンド：○ • プログラムコマンド：○ • リードコマンド：×	• ブロック消去：○ • 書き込み：○ • 読み出し：○		

フラッシュメモリは、各種のプロテクション機能をサポートしています。フラッシュメモリでサポートされるプロテクション機能を**表 36.6** に示します。

表 36.6 プロテクション機能一覧

機能	機能概要
ブロック保護	コードフラッシュメモリのユーザ領域の各ブロックおよび拡張ユーザ領域に対して、個別に書き込み／消去の有効／無効を設定可能です。ロックビットがセットされ、かつロックビット機能が有効に設定された領域は、セルフプログラミングで書き込み／消去禁止です。 ロックビット機能を有効から無効に変更することで、再度書き込み／消去を実施することも可能です。コードフラッシュメモリをブロック消去すると、当該ブロックのロックビットも消去されます。
ハードウェアプロテクション	FLMD0 端子のレベルで、コードフラッシュメモリの書き込み／消去を禁止することが可能です。 - FLMD0 = 0: 書き換え禁止 - FLMD0 = 1: 書き換え許可
可変リセットベクタ	プロテクション設定機能でリセットベクタを変更可能です。**図 36.5** に示すように、既存のプログラムを残した状態で新しい起動プログラムを書き込んだ後、リセットベクタを新しい起動プログラム領域に変更することで、安全にプログラムの更新を実施することが可能です。リセットベクタで指定できる領域は、ユーザ領域および、拡張ユーザ領域です。

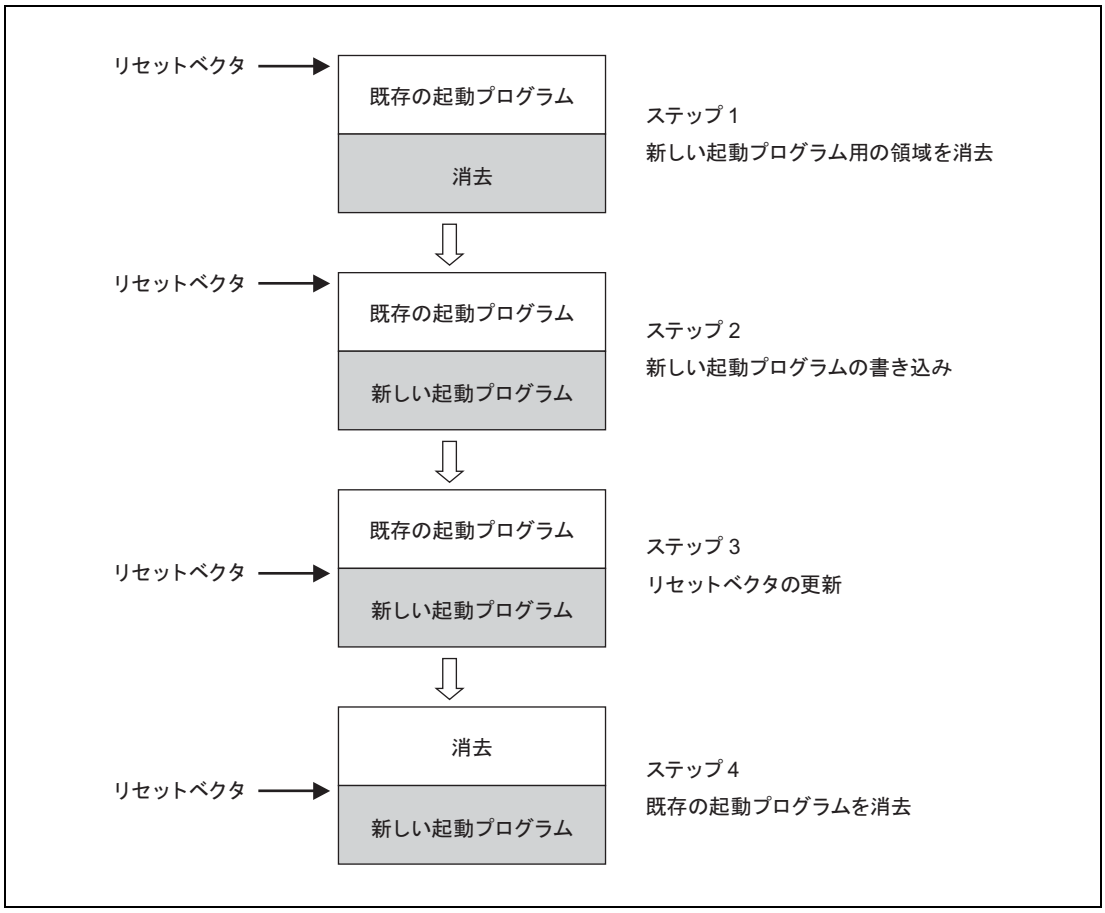


図 36.5 可変リセットベクタ機能を利用した起動プログラムの更新方法

備 考

ステップ 4 実施後、リセットを実施することで、RBASE が変更されたリセットベクタに更新されます。

36.5 シリアルプログラミング

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリの操作を行うことができます。

シリアルプログラミング

シリアルプログラミング時に、マイクロコントローラはボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはターゲットマイクロコントローラを操作することができます。

36.5.1 プログラミング環境

マイクロコントローラのフラッシュメモリにデータを操作するための推奨される環境を次に示します。

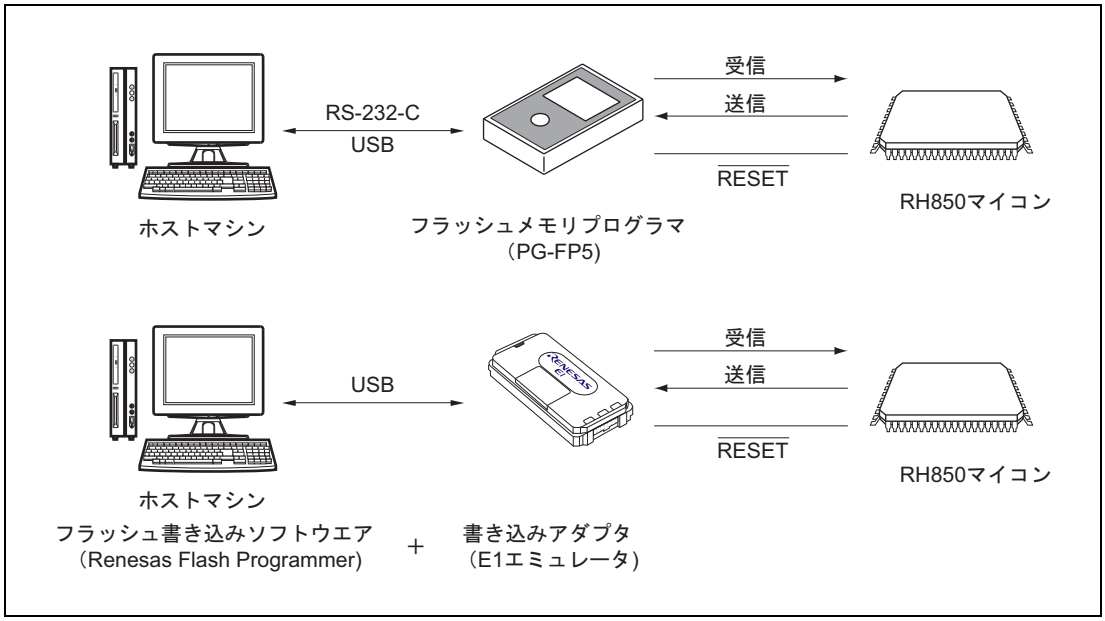


図 36.6 フラッシュメモリのプログラムを操作するための環境

フラッシュメモリプログラマ PG-FP5、またはフラッシュ書き込みソフトウェア Renesas Flash Programmer（ホストマシンで動作）と E1 エミュレータを書き込みアダプタとして使用することで、ルネサスエレクトロニクス製のフラッシュメモリ搭載マイコンをユーザが使用するボードに実装したまま、プログラムの消去、書き込み、ベリファイなどが簡単に操作できます。

フラッシュメモリプログラマ PG-FP5 は、ホストマシンからの書き込み操作、またはスタンドアロンモードでの書き込み操作が可能です。フラッシュ書き込みソフトウェア（Renesas Flash Programmer）は、ホストマシンから書き込み操作が可能です。

備 考

PG-FP5 の詳細は「PG-FP5 フラッシュメモリプログラマユーザーズマニュアル」を、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は「Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザーズマニュアル」をご参照ください。

36.6 通信モード

36.6.1 非同期フラッシュプログラミングインタフェース 1 wire UART

シングルワイヤ非同期シリアルプログラミングインタフェース 1 wire UART は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FPDR(JP0_0)：受信データ入力／送信データ出力

36.6.2 非同期フラッシュプログラミングインタフェース 2 wire UART

ダブルワイヤ非同期シリアルプログラミングインタフェース 2 wire UART は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FPDR(JP0_0)：受信データ入力
- FPDT(JP0_1)：送信データ出力

36.6.3 同期フラッシュプログラミングインタフェース CSI

同期シリアルプログラミングインタフェース CSI は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FPDR(JP0_0)：受信データ入力
- FPDT(JP0_1)：送信データ出力
- FPCK(JP0_2)：シリアルクロック入力

フラッシュメモリプログラマはシリアルデータクロック SCK を出力し、マイクロコントローラはスレーブとして動作します。

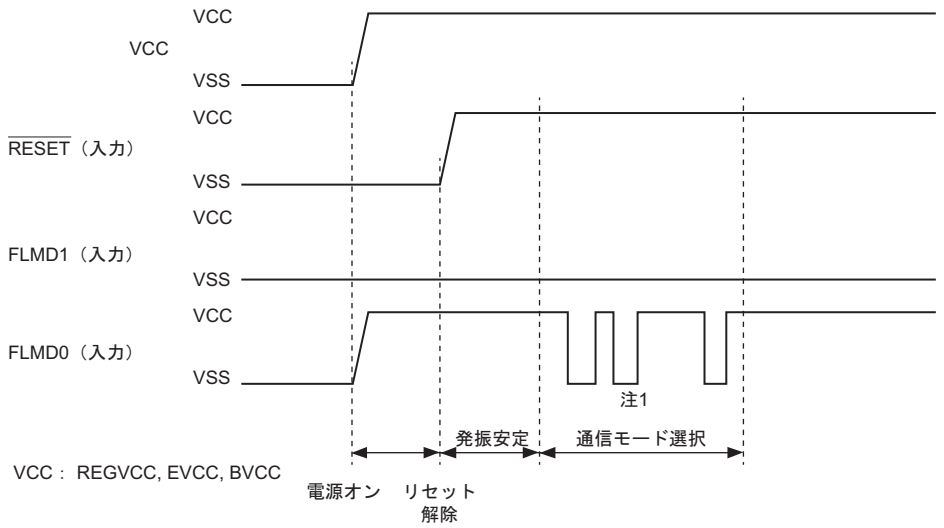
備　考

Renesas Flash Programmer の詳細は『Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザーズマニュアル』を参照してください。

36.6.4 通信方式の選択

RH850/F1M では、フラッシュメモリプログラミングモードに遷移後、FLMD0 端子にパルス（最大 7 パルス）を入力することで通信方式を選択します。この FLMD0 パルスは専用フラッシュメモリプログラマが生成します。

パルス数と通信方式の関係を**図 36.7** 次に示します。



注 1. 挿入されるクロック数は通信方式によって、次のようになります。

FLMD0 パルス	通信方式
0	2 wire UART
7	1 wire UART
3	CSI
その他	設定禁止

図 36.7 通信方式の選択

36.7 セルフプログラミング

36.7.1 概要

RH850/F1M は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。ルネサスエレクトロニクスが提供するコードフラッシュライブラリとデータフラッシュライブラリをユーザのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。

データフラッシュメモリの書き換え時には、BGO 機能を利用してコードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。また、あらかじめローカル RAM または外部メモリに転送した書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることもできます。

ローカル RAM または外部メモリにあらかじめ転送した書き換え用のプログラムを実行して、コードフラッシュメモリを書き換えることができます。

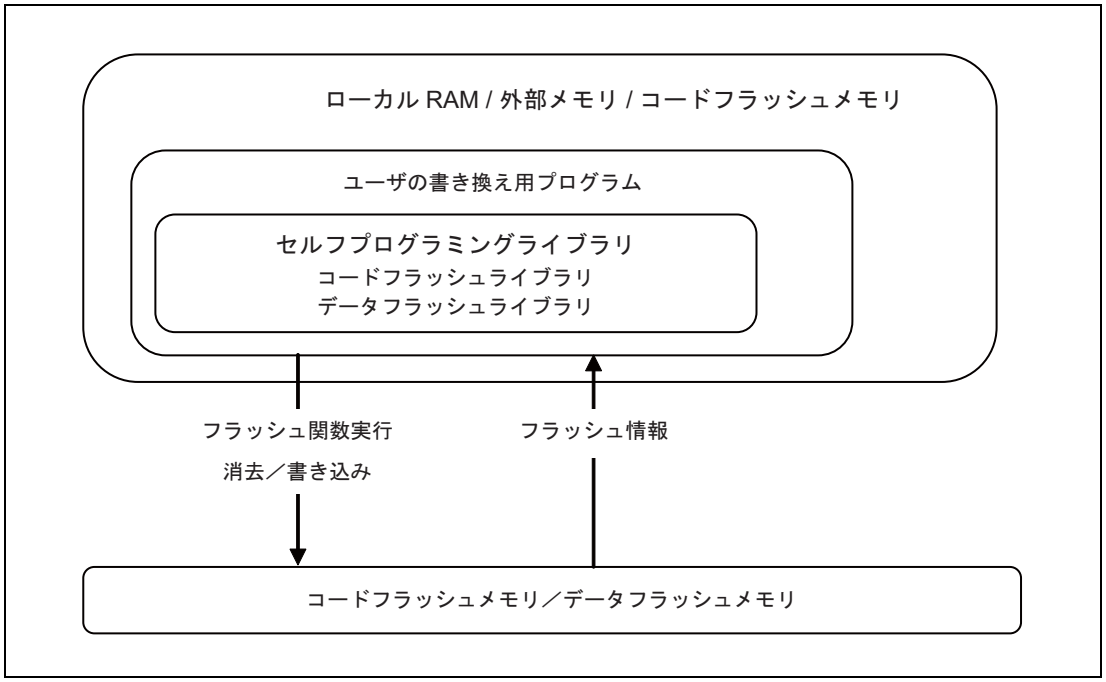


図 36.8 セルフプログラミングの概念

フラッシュセルフプログラミングに関する詳細は、本デバイスの対象となるコードフラッシュライブラリとデータフラッシュライブラリのユーザーズマニュアルを参照してください。

36.7.2 BGO 機能

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが**表 36.7** の組み合わせである場合には、BGO 機能を利用することができます。

表 36.7　BGO 機能を利用可能な条件

書き換え対象領域	読み出し対象領域
データフラッシュメモリ	コードフラッシュメモリ

36.7.3 セルフプログラミングの有効化

セルフプログラミング機能は通常動作モードから起動できます。

セルフプログラミング機能によるコードフラッシュの消去および書き込みは、FLMD0 端子をハイレベルにすることにより有効になります。

これにより誤動作時に、プログラムが不要に書き換えられることを回避します。

FLMD0 端子をハイレベルにするには次のいずれかを行ってください。

- FLMD0 端子を外部でプルアップする
- FLMDCNT レジスタにより FLMD0 端子のプルアップする。

FLMDCNT レジスタの概要を、**「36.7.3.1　FLMDCNT レジスタ」**に示します。

36.7.3.1　FLMDCNT レジスタ

FLMD0 端子の内蔵プルアップ／プルダウンを指定するレジスタです。

このレジスタを更新するためには、FLMDPCMD レジスタを使った正しい書き込みシーケンスが必要です。詳細は**「第 5 章　書き込み保護レジスタ」**を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFA0 0000_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLMDPUP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 36.8　FLMDCNT レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FLMDPUP	FLMD0 端子ソフト制御 0：プルダウン選択 1：プルアップ選択

36.8　フラッシュメモリの読み出し

36.8.1　コードフラッシュメモリの読み出し

通常モードのコードフラッシュメモリの読み出し時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）のコードフラッシュメモリを読み出すと、ECC エラーが検出されて例外が発生しますので注意してください。

36.8.2　データフラッシュメモリの読み出し

通常モードのデータフラッシュメモリの読み出し時には、事前に EEPRDCYCL レジスタにデータフラッシュメモリの読み出しサイクル数を設定してください。読み出しサイクル数を設定後にデータフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）のデータフラッシュメモリの値は不定です。未書き込み状態の確認には、ブランクチェック機能を使用してください。

36.8.2.1 EEPRDCYCL — データフラッシュウエイトサイクル制御レジスタ

このレジスタは、データフラッシュへリードアクセスする際のウェイトを設定するレジスタです。

データフラッシュへリードアクセスする際のウェイト数は、CPU の動作周波数（CPUCLK）に合わせて設定してください。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC5 9810$_H$

リセット後の値 0F$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	WAIT[3:0]			
リセット後の値	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 36.9 EEPRDCYCL レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ～ 0	WAIT[3:0]	ウエイトサイクル数

WAIT [3:0]	ウエイトサイクル数	CPU 動作周波数		
		40 MHz 以下	40 MHz ～ 80 MHz	80 MHz ～ 120 MHz
0000	1	設定禁止	設定禁止	設定禁止
0001	2	○	設定禁止	設定禁止
0010	3	○	○	設定禁止
0011	4	○	○	○
0100	5	○	○	○
0101	6	○	○	○
0110	7	○	○	○
0111	8	○	○	○
1000	9	○	○	○
上記以外	10	○	○	○

備 考

1. ウエイトサイクル数よりデータフラッシュへのリードアクセス時間は、次のように算出できます。

   データフラッシュのリードアクセス時間 =
   {28 + （ウエイトサイクル数 × 4）} ÷ CPU 動作周波数

   ただし、前後の実行命令の組み合わせにより変化する場合があります。
2. “ ○ ” は 設定可能なウエイトサイクル数を示します。

36.8.2.2 PRDNAMEn — 製品名格納レジスタ（n = 1 ～ 3）

製品名を格納するレジスタです。製品型名が 16 バイトの ASCII コードで格納され、PRDNAME1、PRDNAME2、PRDNAME3 は、それぞれ製品型名の 4 ～ 1 バイト目、8 ～ 5 バイト目、12 ～ 9 バイト目に該当します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス PRDNAME1：FFCD $00D0_H$
PRDNAME2：FFCD $00D4_H$
PRDNAME3：FFCD $00D8_H$

リセット後の値 表 36.11 を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRDNAMEn[31:24] 注 1								PRDNAMEn[23:16] 注 1							
リセット後の値																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRDNAMEn[15:8] 注 1								PRDNAMEn[7:0] 注 1							
リセット後の値																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. n は 1 ～ 3

表 36.10 PRDNAMEn レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	—	製品名：4 バイト目（PRDNAME1）、8 バイト目（PRDNAME2）、12 バイト目（PRDNAME3）
23 ～ 16	—	製品名：3 バイト目（PRDNAME1）、7 バイト目（PRDNAME2）、11 バイト目（PRDNAME3）
15 ～ 8	—	製品名：2 バイト目（PRDNAME1）、6 バイト目（PRDNAME2）、10 バイト目（PRDNAME3）
7 ～ 0	—	製品名：1 バイト目（PRDNAME1）、5 バイト目（PRDNAME2）、9 バイト目（PRDNAME3）

以下に、製品情報関連のレジスター覧を示します。

表 36.11 製品情報関連のレジスター覧

製品型名	PRDNAME1	PRDNAME2	PRDNAME3
R7F701544	3746 3752	3435 3130	2020 2034
R7F701545	3746 3752	3435 3130	2020 2035
R7F701548	3746 3752	3435 3130	2020 2038
R7F701549	3746 3752	3435 3130	2020 2039
R7F701552	3746 3752	3535 3130	2020 2032
R7F701553	3746 3752	3535 3130	2020 2033
R7F701564	3746 3752	3635 3130	2020 2034
R7F701565	3746 3752	3635 3130	2020 2035
R7F701568	3746 3752	3635 3130	2020 2038
R7F701569	3746 3752	3635 3130	2020 2039
R7F701572	3746 3752	3735 3130	2020 2032
R7F701573	3746 3752	3735 3130	2020 2033

36.9 オプションバイト

フラッシュメモリにはさまざまな目的でユーザが指定したデータを保持する拡張領域（オプションバイト）があります。オプションバイト設定による周辺機能の初期設定等の変更はリセット解除後に有効になります。

36.9.1 オプションバイトの設定

フラッシュメモリにプログラムを書き込む場合は、下記のオプションに対応するオプションバイト領域を必ず設定してください。

オプションバイトで決定するオプション機能は次のとおりです。

- ポートグループ JP0 の機能
- WDTA1 の起動コード方式
- WDTA1 のスタートモード
- WDTA1 の有効／無効
- WDTA0 の起動コード方式
- WDTA0 のスタートモード
- WDTA0 の有効／無効
- WDTA0 および WDTA1 オーバフローインターバル時間の初期値
- 高電圧監視許可
- 低電圧監視許可

36.9.2 OPBT0 — オプションバイト 0

オプションバイトの設定値、及びビット位置を以下に示します。

設定方法の詳細につきましては、シリアルプログラミング時は各フラッシュライタのユーザーズマニュアルを、セルフプログラミング時はコードフラッシュライブラリを参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OPJTAG[1:0]		—	—	WDT 1_3	—	WDT 1_1	WDT 1_0	WDT 0_3	—	WDT 0_1	WDT 0_0	WDT_2	WDT_1	WDT_0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CVM_HD_EN	CVM_LD_EN	—	—	—	—

表 36.12 オプションバイト 0 の設定 (1/2)

ビット位置	ビット名	機能
31	予約ビット	ライトする場合は “1” を書いてください。
30、29	OPJTAG[1:0]	ポートグループ JP0 の機能を制御します。 00：JP0 は汎用／兼用機能ポートに使用されます。 01：JP0 は LPD（4 pin）として使用されます。 10：JP0 は LPD（1 pin）として使用されます。 11：JP0 は Nexus I/F として使用されます。
28、27	予約ビット	ライトする場合は “1” を書いてください。
26	WDT1_3	WDTA1 の起動コード方式を指定します。 0：固定起動コード 1：可変起動コード
25	予約ビット	ライトする場合は “1” を書いてください。
24	WDT1_1	WDTA1 のスタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード
23	WDT1_0	WDTA1 の有効／無効を設定します。 0：WDTA1 無効 1：WDTA1 有効
22	WDT0_3	WDTA0 の起動コード方式を指定します。 0：固定起動コード 1：可変起動コード
21	予約ビット	ライトする場合は “1” を書いてください。
20	WDT0_1	WDTA0 のスタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード
19	WDT0_0	WDTA0 の有効／無効を設定します。 0：WDTA0 無効 1：WDTA0 有効
18 ～ 16	WDT_[2:0]	WDTA0 および WDTA1 のオーバフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。
15 ～ 11	予約ビット	ライトする場合は “1” を書いてください。
10	予約ビット	ライトする場合は “0” を書いてください。
9 ～ 6	予約ビット	ライトする場合は “1” を書いてください。

表 36.12 オプションバイト 0 の設定 (2/2)

ビット位置	ビット名	機能
5	CVM_HD_EN	高電圧監視許可 0：高電圧検出を禁止 1：高電圧検出を許可
4	CVM_LD_EN	低電圧監視許可 0：低電圧検出を禁止 1：低電圧検出を許可
3 ～ 0	予約ビット	ライトする場合は “1” を書いてください。

36.9.3 OPBT1 — オプションバイト 1

オプションバイトの設定値、及びビット位置を以下に示します。

設定方法の詳細につきましては、シリアルプログラミング時は各フラッシュライタのユーザーズマニュアルを、セルフプログラミング時はコードフラッシュライブラリを参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 36.13 オプションバイト 1 の設定

ビット位置	ビット名	機能
31 ～ 10	予約ビット	ライトする場合は “1” を書いてください。
9	予約ビット	ライトする場合は “0” を書いてください。
8 ～ 4	予約ビット	ライトする場合は “1” を書いてください。
3	予約ビット	ライトする場合は “0” を書いてください。
2	予約ビット	ライトする場合は “1” を書いてください。
1、0	予約ビット	ライトする場合は “0” を書いてください。

36.10 使用上の注意事項

(1) 書き込み／消去を中断した領域の読み出し

書き込み／消去を中断したフラッシュメモリ領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去を中断した領域の命令フェッチやデータ読み出しが発生しないように注意してください。

(2) 消去後に書き込んでいない状態のコードフラッシュメモリの読み出し

消去後に書き込んでいない状態（未書き込み状態）のコードフラッシュメモリ領域を読み出すと、ECC エラーが検出して例外が発生しますので注意してください。領域が未書き込み状態か確認したい場合は、ブランクチェックを使用してください。

(3) 追加書き込みの禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みのフラッシュメモリ領域を書き換えたい場合には、必ず当該領域を消去してください。

(4) 書き込み／消去中のリセット

書き込み／消去中に外部リセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、$\overline{\text{RESET}}$ 入力ロウレベルの最小値以上のリセット入力期間の後にリセット解除してください。

(5) 書き込み／消去中の割り込み／例外ベクタの配置

書き込み／消去中に割り込み／例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタフェッチのアドレスをコードフラッシュメモリ以外に設定してください。

(6) 書き込み／消去中の異常終了

$\overline{\text{RESET}}$ 端子によるリセット発生などで書き込み／消去が異常終了したことにより、データが不定状態となったフラッシュメモリ領域の消去／書き込み状態を確認するベリファイ手段はありません。書き込み／消去が異常終了した領域に対しては、ブランクチェック機能では正しく消去状態の判定をできません。再度消去処理を行って、該当領域を完全な消去状態にした後にご使用ください。

コードフラッシュメモリの書き込み／消去が正常に終了しなかった場合、ロックビットが有効になることがあります。この場合には、ロックビットを無効化した状態で、当該ブロックの消去を実施して、ロックビットを消去してください。

(7) 書き込み／消去中の禁止事項

書き込み／消去中は、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする。
- 周辺クロックの動作周波数を変更する。

第 37 章 RAM

本章では、RH850/F1M に搭載する RAM について説明します。

37.1 特長

- RH850/F1M では、以下の RAM を搭載しています。
  - ローカル RAM
    高速アクセスが可能な RAM です。DeepSTOP モードではローカル RAM の値を保持しません。
  - リテンション RAM
    DeepSTOP モードでリテンション RAM の値を保持します。
    また、電源電圧（REGVCC）が POC 電圧を下回っても、RAM 保持電圧 V_{VLVI} を下回ってさえなければ RAM データは保持されます。

各 RAM のアクセス時間を以下の表に示します。

表 37.1 RAM アクセス時間 （CPU1 からのアクセス）

アクセス種別	RAM	1st アクセス（CPUCLK）	連続アクセス時（CPUCLK）
命令フェッチ時	ローカル RAM	9	9
	リテンション RAM	13	13
リードアクセス時	ローカル RAM	2	1
	リテンション RAM	12	1
ライトアクセス時	ローカル RAM	2	1
	リテンション RAM	12	1

備 考

上記の表のアクセスクロック数は前後の命令の組み合わせによって変化する可能性があります。

RAM アクセスがミスアラインの場合には、アクセスクロック数は増加します。

- ローカル RAM、リテンション RAM は、誤り検出／訂正機能（ECC）を搭載しています。ECC 機能には 2 ビットエラー検出と 1 ビットエラー検出・訂正機能が含まれます。詳細は、**「第 33 章 ファンクショナルセーフティ」**を参照してください。

37.2 メモリ構成

図 37.1 にローカル RAM、リテンション RAM のメモリマップを示します。

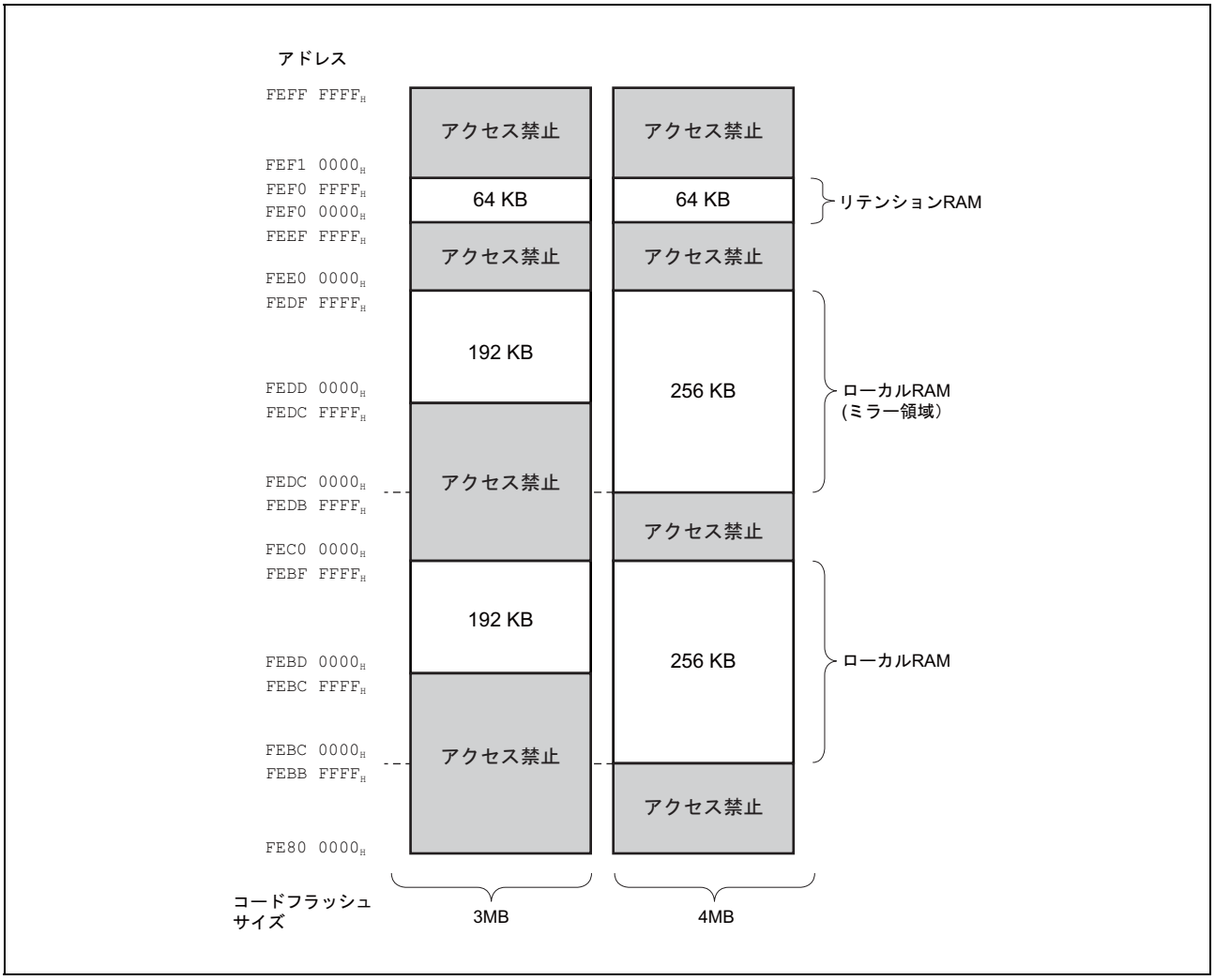


図 37.1 ローカル RAM、リテンション RAM のメモリマップ

37.3 使用上の注意事項

ローカル RAM、リテンション RAM に対して、ECC によるエラー検出 / 訂正機能を有効にしてアクセスする場合、使用する RAM をアクセスサイズの最大ビット長で初期化してから使用してください。

初期化前の RAM をアクセスした場合、ECC エラーを検出する可能性があります。また最大ビット長で初期化しなかった場合、たとえば 32 ビット幅の RAM を 8 ビットや 16 ビットのアクセスで初期化した場合、ECC エラーを検出する可能性があります。

第 38 章　バウンダリスキャン

本章では、バウンダリスキャン全般について説明します。

RH850/F1M は JTAG インタフェースを内蔵し、バウンダリスキャン機能を提供します。

38.1　概要

バウンダリスキャンは IEEE 標準 1149.1 で定義されたテスト方式です。プリント基板に搭載されたデバイス間の接続テストに使用します。RH850/F1M のバウンダリスキャンは IEEE Std 1149.1-2001 に準拠します。

38.2　特長

- 5 本の制御信号（DCUTCK、DCUTDI、DCUTDO、DCUTMS、および $\overline{\text{DCUTRST}}$）
- TAP コントローラ
- インストラクションレジスタ
- バイパスレジスタ
- バウンダリスキャンレジスタ

JTAG インタフェースは 4 つのインストラクション・モードを備えています。

- BYPASS
  IEEE 1149.1 に対応したテストモード
- EXTEST
  IEEE 1149.1 に対応したテストモード
- SAMPLE/PRELOAD
  IEEE 1149.1 に対応したテストモード
- IDCODE
  IEEE 1149.1 に対応したテストモード

JTAG インタフェースのブロック図を**図 38.1** に示します。

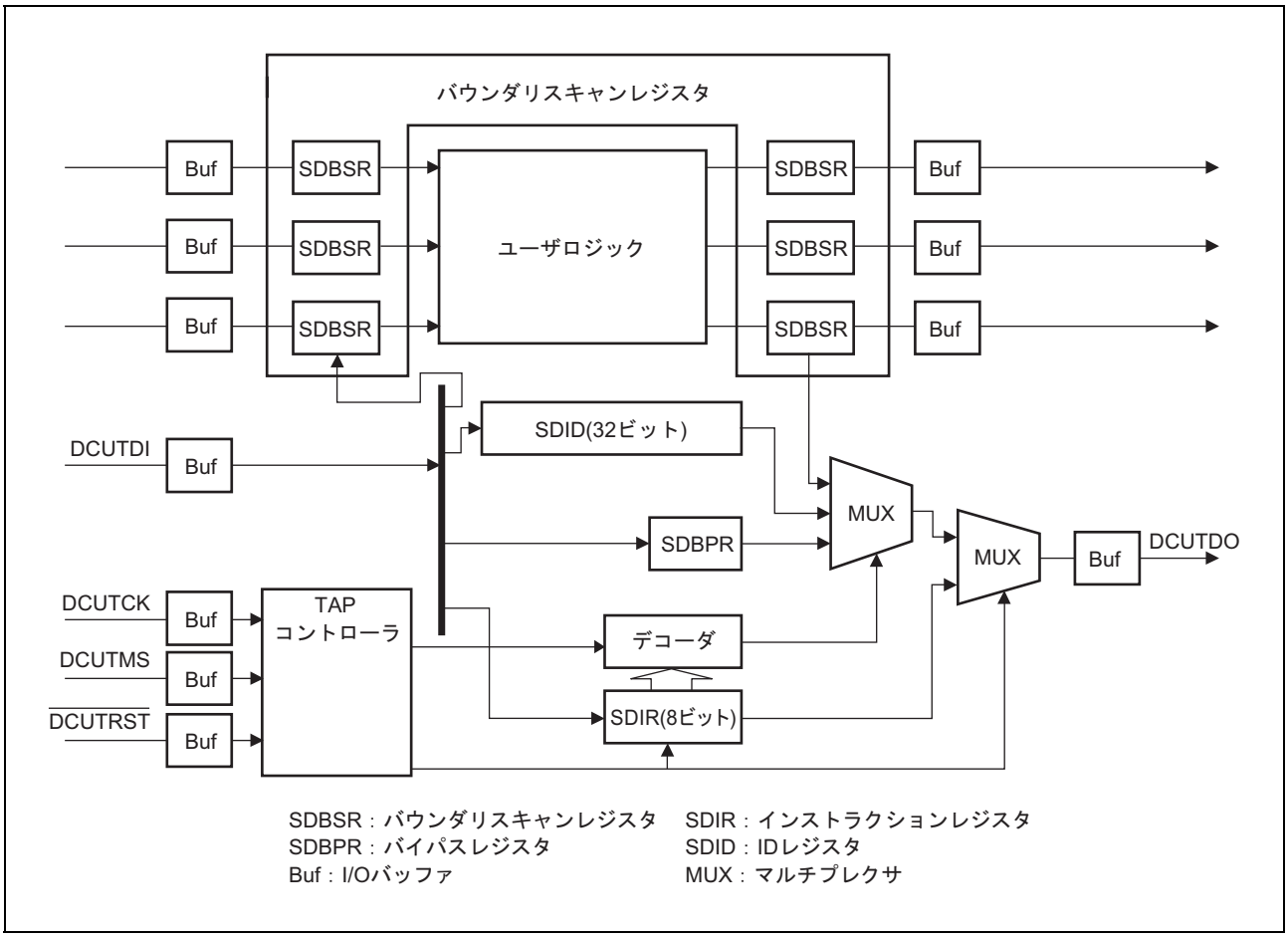


図 38.1　JTAG インタフェースブロック図

38.3　外部入出力端子

JTAG の制御信号には DCUTCK、DCUTDI、DCUTMS、DCUTDO、$\overline{\text{DCUTRST}}$ の 5 本があります。

表 38.1 に端子構成を示します。

表 38.1　端子構成

名称	説明
DCUTCK	シリアルデータ入出力用クロック端子 このクロックに同期して、DCUTDI にデータを入力、DCUTDO からデータを出力します。
DCUTMS	モードセレクト入力端子 DCUTCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは**「図 38.2　TAP コントローラ状態遷移図」**を参照してください。
$\overline{\text{DCUTRST}}$	リセット入力端子 ロウレベル入力で JTAG インタフェースをリセットします。DCUTCK クロックとは非同期で受け付けます。
DCUTDI	シリアルデータ入力端子 DCUTCK に同期してデータを入力し、JTAG インタフェースにデータを送ります。
DCUTDO	シリアルデータ出力端子 DCUTCK に同期して JTAG インタフェースのデータを出力します。

38.4 レジスタの説明

JTAG インタフェースは次のレジスタを内蔵しています。すべてのレジスタは CPU からアクセスできません。

- SDIR ：インストラクションレジスタ
- SDID ：ID レジスタ
- SDBPR：バイパスレジスタ
- SDBSR：バウンダリスキャンレジスタ

表 38.2 レジスタ構成

レジスタ名	略称	アクセスサイズ	初期値注 1
インストラクションレジスタ	SDIR	8	55_H
ID レジスタ	SDID	32	注 2
バイパスレジスタ	SDBPR	1	不定
バウンダリスキャンレジスタ	SDBSR	—	不定

注 1. （$\overline{\text{DCUTRST}}$ 端子が 0、または TAP が Test-Logic-Reset 状態）で初期化。
注 2. 製品により異なります。当社の営業窓口までお問い合わせください。

インストラクションは、シリアルデータ入力端子（DCUTDI）からシリアル転送によりインストラクションレジスタ（SDIR）へ入力できます。バイパスレジスタ（SDBPR）は 1 ビットのレジスタで、BYPASS モード時、DCUTDI と DCUTDO はこのレジスタに接続されます。また、バウンダリスキャンレジスタ（SDBSR）は、SAMPLE/PRELOAD モード、および EXTEST モード時 DCUTDI と DCUTDO はこのレジスタに接続されます。ID レジスタ（SDID）は 32 ビットのレジスタで IDCODE モード時、DCUTDO を通じて固定コードが出力できます。

表 38.3 に JTAG インタフェースの各レジスタで可能なシリアル転送の種類を示します。

表 38.3 シリアル転送の種類

レジスタ	シリアル入力	シリアル出力
SDIR	可能	不可注 1
SDBPR	可能	可能
SDBSR	可能	可能
SDID	不可	可能

注 1. 固定値が読み出されます。

38.4.1 インストラクションレジスタ（SDIR）

インストラクションレジスタ（SDIR）はバウンダリスキャンのインストラクションを保持する 8 ビットのレジスタです。$\overline{\text{DCUTRST}}$ のロウレベル入力または、TAP の Test-Logic-Reset 状態のときに初期化されます。このレジスタに予約となっているインストラクションをセットした場合の動作は保証しません。

表 38.4 バウンダリスキャンインストラクション

インストラクションコード								説明
0	0	0	0	0	0	0	0	JTAG EXTEST
0	1	0	0	0	0	0	0	JTAG SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	JTAG IDCODE（初期値）
1	1	1	1	1	1	1	1	JTAG BYPASS
上記以外								予約

38.4.2 ID レジスタ（SDID）

ID レジスタ（SDID）は、32 ビットのレジスタで、製品固有の ID を持ちます。

JTAG インタフェースから IDCODE のインストラクションがセットされたときに読み出し可能です。CPU からアクセスできません。

読み出される値は、**「表 38.2 レジスタ構成」**を参照してください。

38.4.3 バイパスレジスタ（SDBPR）

バイパスレジスタ（SDBPR）は 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は端子 DCUTDI と DCUTDO の間に接続されます。初期値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{DCUTRST}}$ のロウレベル入力でも初期化されません。

38.4.4 バウンダリスキャンレジスタ（SDBSR）

バウンダリスキャンレジスタ（SDBSR）は、外部入出力端子を制御するシフトレジスタです。SDIR に “SAMPLE/PRELOAD”、“EXTEST” インストラクションがセットされると、端子 DCUTDI と DCUTDO の間に SDBSR が接続されます。初期値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{DCUTRST}}$ のロウレベル入力でも初期化されません。

38.5 動作説明

38.5.1 TAP コントローラ

図 38.2 に TAP コントローラの状態遷移図を示します。遷移条件は DCUTCK の立ち上がりエッジにおける DCUTMS 値です。

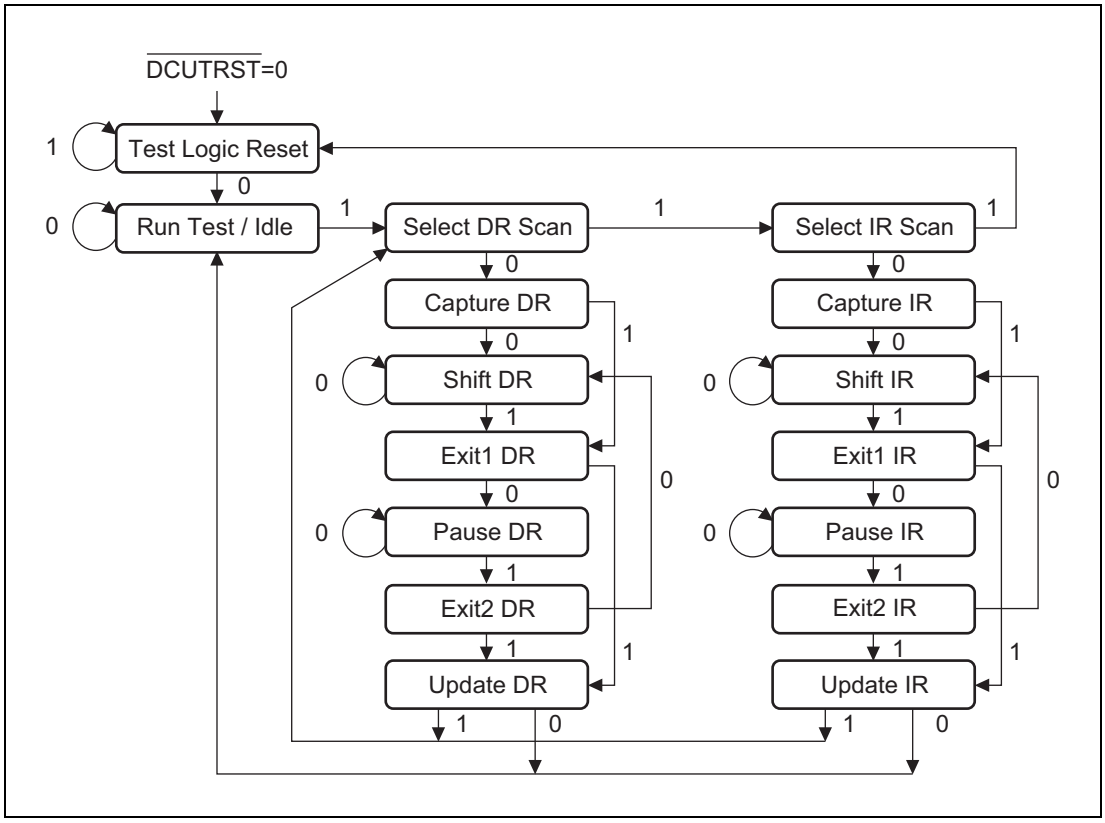


図 38.2 TAP コントローラ状態遷移図

備 考

DCUTDI 値は DCUTCK の立ち上がりエッジでサンプリングし、DCUTCK の立ち下がりエッジでシフトします。DCUTDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。$\overline{\text{DCUTRST}}$ のロウレベル入力により DCUTCK とは非同期で Test-Logic-Reset 状態へ遷移します。

38.5.2 サポートするインストラクション

38.5.2.1 BYPASS

BYPASS インストラクションは、バイパスレジスタを動作させる必須の標準インストラクションです。このインストラクションはシフトパスを短縮してプリント基板上の他の製品のシリアルデータを転送高速化するためのものです。このインストラクションの実行中、テスト回路はシステム回路に何も影響を与えません。

38.5.2.2 SAMPLE/PRELOAD

SAMPLE/PRELOAD インストラクションは本製品の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードするインストラクションです。本インストラクション実行中、本製品の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。本インストラクションの実行により本製品のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは本製品の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST インストラクションに先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST インストラクションを実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力端子から不定値が出力される（EXTEST インストラクションでは出力端子に常にパラレル出力ラッチを出力する）ことになります。

38.5.2.3 EXTEST

本インストラクションでは、本製品をプリント基板に実装したとき、外部回路をテストするためのものです。本インストラクションの実行時、出力端子はバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD インストラクションですでに設定されています）をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST インストラクションを N 回用いてテストを行うとき、N 回目のテストデータは（N-1）回目のスキャンアウトのときにスキャンインされます。

本インストラクションの Capture-DR 状態で出力端子のバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。（シフト動作で入れ替えます）。

38.5.2.4 IDCODE

JTAG インタフェースの端子を JTAG で規定されている “IDCODE” モードに設定できます。JTAG インタフェースを初期化した場合（$\overline{\text{DCUTRST}}$ のロウレベル入力、または TAP を Test-Logic-Reset 状態にする）、“IDCODE” モードになります。

38.5.3 バウンダリスキャン対象の端子

バウンダリスキャンは全端子の内、電源端子や外部クロック入力端子などを除いた端子が対象になります。

バウンダリスキャンの対象外の端子を**表 38.5** に示します。

表 38.5　バウンダリスキャン対象外の端子

機能	端子名
JTAG インタフェース	DCUTCK, DCUTDI, DCUTDO, DCUTMS, $\overline{\text{DCUTRST}}$
電源端子	REGVCC, AWOVCL, AWOVSS, ISOVCL, ISOVSS EVCC, BVCC, EVSS, BVSS
電源端子 （A/D コンバータ）	A0VREF, A1VREF, A0VSS, A1VSS
クロック	X1, X2, XT1, IP0_0/XT2
MODE	P10_8/FLMD1, P10_1/MODE0, P10_2/MODE1

次の信号は、バウンダリスキャン時にサンプリングのみを実行します。

表 38.6　バウンダリスキャン（サンプリングのみ）対象端子

機能	端子名
リセット	$\overline{\text{RESET}}$
MODE	FLMD0

次の端子はアナログバッファと共有しています。したがって、バウンダリスキャンは汎用入出力部のみに適用します。

表 38.7　バウンダリスキャン（汎用入出力部のみ）対象端子

機能	端子名
ADCA0 入力	P8_0-12, P9_0-4, AP0_0-15
ADCA1 入力	P18_0-15, P19_0-3, AP1_0-15

備　考

バウンダリスキャンモード時、P10_1 = ロウ、P10_2 ＝ハイ、P10_8 ＝ハイに端子レベルを固定してください。

38.6 使用上の注意

1. インストラクションは、いったんセットされると他のインストラクションが発行されないかぎり変更されません。同じインストラクションを連続して与える場合は、チップ動作に影響のないインストラクション（BYPASS モード等）をいったん設定してから再度インストラクションを設定する必要があります。
2. バウンダリスキャンモードでの起動時は、$\overline{\text{RESET}}$=High の状態で $\overline{\text{DCUTRST}}$ を解除してください。併せて、$\overline{\text{DCUTRST}}$ を解除する前に、DCUTMS にハイレベルを入力して下さい。$\overline{\text{DCUTRST}}$ を解除した後は 600ns + DCUTCK 5 クロックサイクルの間、ハイレベルを保持して下さい。
3. DCUTCK に入力可能な最大周波数はデータシートの「電気的特性」を参照してください。
4. DCUTDI、DCUTDO 間に接続されるレジスタのビット数を超えてシリアル転送した場合、レジスタのビット数を超えて DCUTDO から出力されるシリアルデータは、DCUTDI から入力されたデータとなります。
5. シリアル転送シーケンスがくずれた場合、必ず $\overline{\text{DCUTRST}}$ のアサートを行ってください。このとき、転送動作にかかわらず、転送が最初から始まります。
6. DCUTDO の出力タイミングは DCUTCK の立ち下がりからになります。
7. デバッグ容易化のため、$\overline{\text{DCUTRST}}$ の基板上の配線はパターンカットが容易なように配慮してください。

第 39 章　電源とパワードメイン

本章では、RH850/F1M の電源とパワードメインについて説明します。

39.1　機能

内部回路は、Always-On（AWO）エリアと Isolated（ISO）エリアの 2 つの独立したパワードメインに分割されています。

AWO エリアの電源は、すべての動作モードおよびスタンバイモードで常時電源が供給されています。

ISO エリアの電源は、全体の消費電力を低減するためにスタンバイモードに応じて切断することができます。

各々のパワードメインに対して、専用のオンチップ電圧レギュレータが内部供給電圧を生成します。

デバイスの動作には以下の電圧が必要です。

- オンチップ電圧レギュレータ用電源電圧 REGVCC。電圧レギュレータの出力電圧は、各々のパワードメイン内のデジタル回路に供給されます。
- I/O ポート用電源電圧 EVCC および BVCC。
- A/D コンバータおよび専用の I/O ポート用電源電圧 A0VREF および A1VREF。

39.1.1 電源端子

下の表はすべての電源端子およびその用途を示します。

表 39.1　電源端子

電源	電源端子	電圧供給先
内部回路用電源	REGVCC	• AWO エリアおよび ISO エリアのオンチップ電圧レギュレータ • ポートグループ IP0 • MainOSC • SubOSC • POC / LVI
	AWOVCL 注 1	
	AWOVSS	
	ISOVCL 注 1	
	ISOVSS	
I/O ポート用電源	EVCC	$\overline{\text{RESET}}$, FLMD0 （233 pin 製品） • ポートグループ JP0、P0、P1、P2、P3、P8、P9、P20 （176 pin 製品） • ポートグループ JP0、P0、P1、P2、P8、P9、P20 （144 pin 製品） • ポートグループ JP0、P0、P1、P8、P9、P20
	EVSS	
	BVCC	（233 pin 製品） • ポートグループ P10、P11、P12、P13、P18、P19 （176 pin 製品） • ポートグループ P10、P11、P12、P18 (144 pin 製品) • ポートグループ P10、P11、P12、P18
	BVSS	
A/D コンバータ用電源	A0VREF	• ADCA0 のアナログ回路、ポートグループ AP0
	A0VSS	
	A1VREF	• ADCA1 のアナログ回路、ポートグループ AP1
	A1VSS	

備考　各電源の電圧範囲については、データシートの「電気的特性」を参照してください。

注 1.　内蔵電圧レギュレータ用安定化容量の接続端子

39.1.2 パワードメインのブロック図

下の図は電源回路の概要を示します。

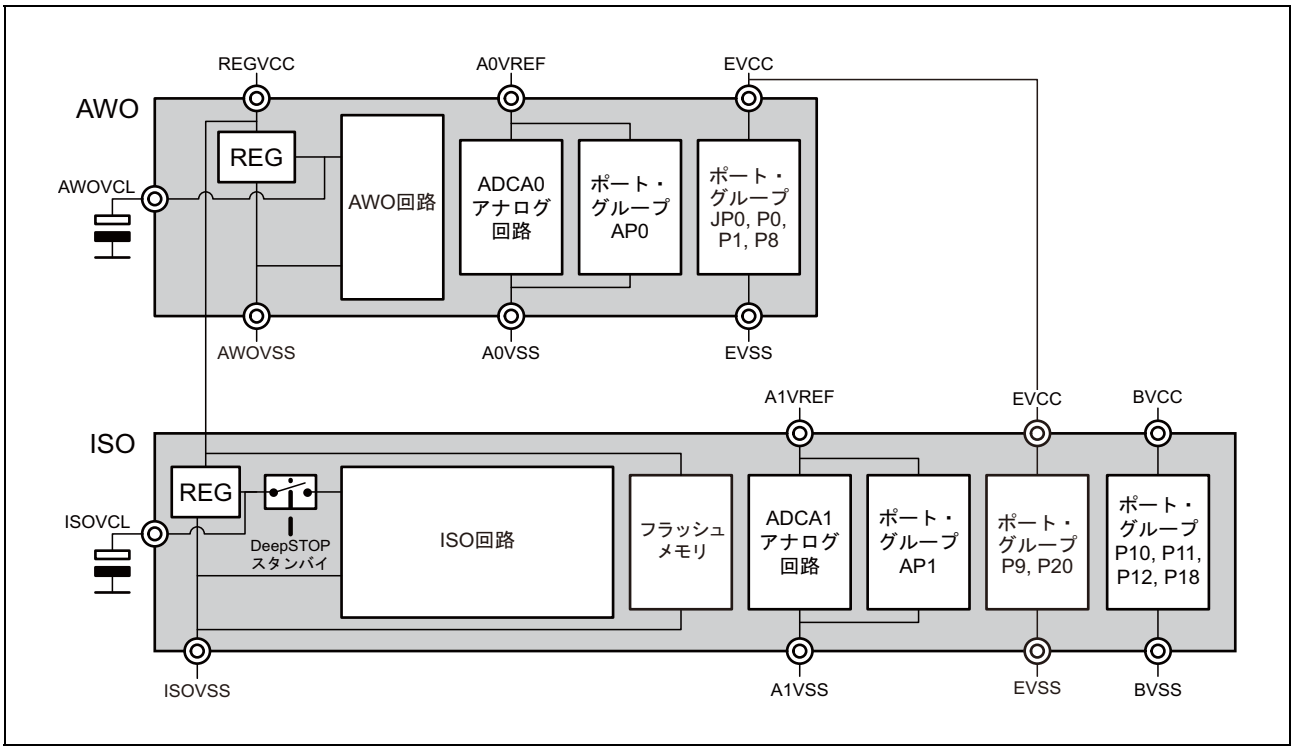


図 39.1 電源回路の概要（144 pin）

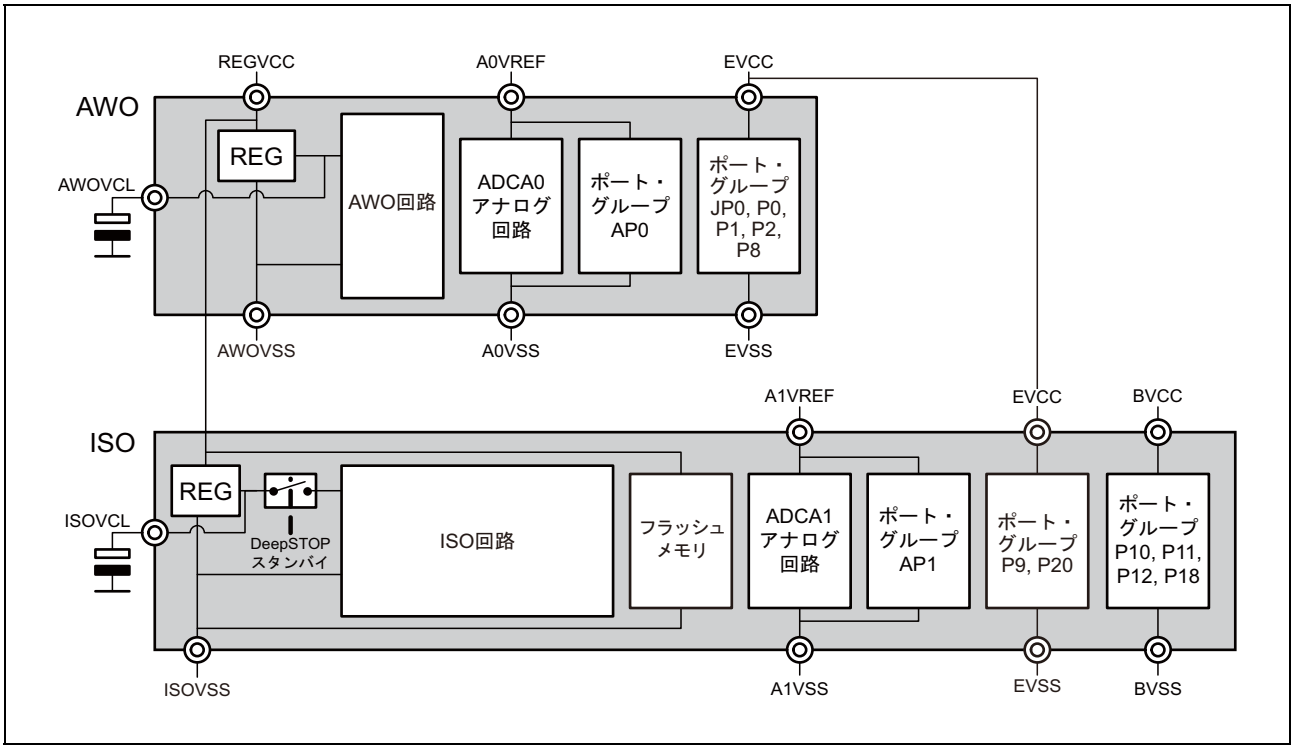


図 39.2 電源回路の概要（176 pin）

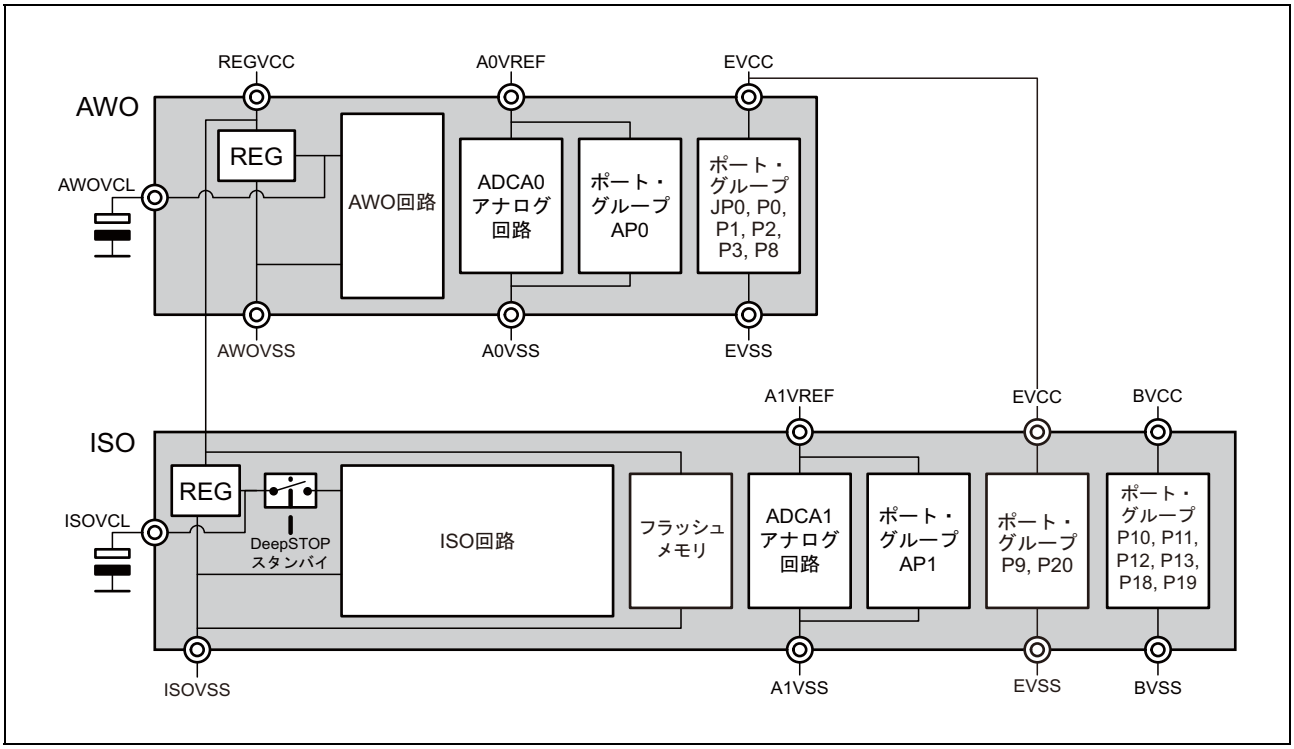


図 39.3　電源回路の概要（233 pin）

39.1.3 パワードメインの配置

下の表は、パワードメインで分類されたマイクロコントローラの機能モジュールを示します。

表 39.2　機能モジュールとパワードメイン

パワードメイン	機能
AWO エリア	• STBC、リセットコントローラ • リテンション RAM • MainOSC、SubOSC、LS IntOSC、HS IntOSC、CLMA0、CLMA1 • WDTA0、RTCAn、TAUJ0、ADCA0、LPS • ポートグループ JP0、P0、P1、P2、P3、P8、AP0、IP0
ISO エリア	• CPU サブシステム • コード フラッシュ、データフラッシュ、ローカル RAM • PLL0、PLL1、CLMA2 • WDTA1、DCRAn、TAUDn、TAUBn、TAUJ1、OSTMn、PWM-Diag、CSIGn、CSIHn、RSCANn、RLIN2m、RLIN3n、RIICn、ADCA1、モータ制御、ENCAn、KRn、FLXAn • ポートグループ P9、P10、P11、P12、P13、P18、P19、P20、AP1

RH850/F1M ユーザーズマニュアル
ハードウェア編

発行年月日　2014年11月13日　Rev.0.10
　　2016年05月23日　Rev.1.03

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2016 Renesas Electronics Corporation. All rights reserved.
Colophon 3.0

RH850/F1M

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0518JJ0103